การเข้ารหัสสัญญาณวีดีโอ

VIDEO SCRAMBLE

โดย
นาย พฤติ พงษ์จินดา
นาย สมทรัพย์ พึ่งโพธิ์เจริญพันธ์

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต
สาขาเทคโนโลยีอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ การเข้ารหัสสัญญาณวีดีโอ (Video Scrambler)

โดย
นาย พฤติ พงษ์จินดา **เลขประจำตัว 35-103111**
นาย สมทรัพย์ พึ่งโพธิ์เจริญพันธ์ **เลขประจำตัว 35-103121**

อาจารย์ที่ปรึกษา **รศ.ดร. กนก เจนจิระพงศ์เวช**
อ. กฤดากร กล่อมการ

ภาควิชา เทคนิคอุตสาหกรรม
ปีการศึกษา 2537

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
อนุมัติให้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ

( )
..... กรรมการ

( )
..... กรรมการ

( )
..... กรรมการ

( )
..... กรรมการ

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลงได้ด้วยความเรียบร้อย ด้วยการให้ความสนับสนุนจากผู้มีพระคุณดังต่อไปนี้

1. รศ. ดร. กนก เจนจิระพงศ์เวช
2. อ. กฤดากร กล่อมการ
3. เพื่อนๆและพี่ๆทุกท่านในแผนกติดตั้งฯ และศูนย์ระบบดาวเทียม กอง ทด.กสท.

ทางกลุ่มผู้จัดทำ ขอกราบขอบพระคุณมา ณ ที่นี้ด้วย อนึ่งกลุ่มผู้จัดทำขอมอบคุณความดีทั้งหลายจากปริญญานิพนธ์ฉบับนี้แก่ บิดา มารดา ตลอดจนถึงญาติมิตรที่ล่วงลับไปแล้วทุกท่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเข้ารหัสสัญญาณวีดีโอ

Video Scrambler

โดย นาย พฤติ พงษ์จินดา รหัส 35-103111
นาย สมทรัพย์ พึ่งโพธิ์เจริญพันธ์ รหัส 35-103121

อาจารย์ที่ปรึกษา รศ. ดร. กนก เจนจิระพงศ์เวช
อ. กฤดากร กล่อมการ

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เสนอการออกแบบวงจรเข้ารหัสสัญญาณวีดีโอ สำหรับการส่ง TV โดยวิธีการเข้ารหัสด้วยสัญญาณรูปไซน์(Sinewave Scramble) ซึ่งเป็นการสังเคราะห์สัญญาณรูปคลื่นไซน์ที่ความถี่ค่าหนึ่งสำหรับอ้างอิง แล้วมอดดูเลทไปกับสัญญาณวีดีโอซึ่งผลที่ได้จะเป็นการเข้ารหัสของสัญญาณวีดีโอ

ABSTRACT

This thesis presents the designed of Video Scramble for Television Transmission. Encode video baseband by modulated with reference sinewave is used in this thesis.

The Decoder use the same technique that use in Transmitter , the phase shifter circuit is also used in the decoder for adjust phase of reference signal that may be cause of distortion of video picture.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนำ

ปริญญานิพนธ์ฉบับนี้กล่าวถึงการศึกษาการรักษาความลับของการส่งสัญญาณทีวี ซึ่งเน้นถึงการเข้ารหัสของสัญญาณ โดยการมอดดูเมทสัญญาณวีดีโอ(Composite Video)ไปกับสัญญาณอ้างอิงที่สังเคราะห์ขึ้นเองด้วยวงจรเฟสล็อกลูป และใช้คริสตอลออสซิเลเตอร์เป็นตัวกำเนิดสัญญาณรูปไซน์เพื่อนำมาทำสัญญาณอ้างอิง(Reference Signal) ที่ความถี่ 94 kHz มาใช้ในการเข้าและถอดรหัส.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1. นำเรื่อง	1.
บทที่ 2. ระบบสัญญาณภาพรวม	2.
บทที่ 3. เทคนิคการเข้ารหัส (Scrambling)	6.
บทที่ 4. ทฤษฎีวงจรกรองความถี่ (Filter)	13.
บทที่ 5. ทฤษฎีเฟสล็อกลูป (Phase locked loop)	22.
บทที่ 6. การทำวงจร เข้ารหัส (Video Scrambling)	31.
บทที่ 7. การทำวงจร ถอดรหัส (Video Descrambling)	39.
บทที่ 8. สรุปผลการทดลอง	46.
บรรณานุกรม	47.

ภาคผนวก

ก. รูปขยายของวงจร และ ลายปริ้นซ์

ข. Data Sheets

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
นำเรื่อง

เนื่องจากในปัจจุบันนี้ได้เริ่มเข้าสู่ยุคของสารสนเทศ ซึ่งมีการติดต่อสื่อสารและส่งข่าวสารข้อมูลต่างๆ อย่างมากมาย หรือแม้แต่จะเป็นการให้บริการข้อมูลข่าวสาร ความบันเทิงต่างๆ ต่อบุคคล หรือกลุ่มบุคคลที่ต้องการเท่านั้น เพราะข่าวสารที่จะส่งนั้นเป็นความลับ จึงต้องมีการป้องกันข้อมูลข่าวสารนั้นจากบุคคลภายนอกที่ไม่เกี่ยวข้อง ดังนั้นจึงได้มีการพัฒนาวิธีการในการป้องกันข้อมูลข่าวสาร เพื่อให้สามารถใช้กับระบบสื่อสารทั่วๆ ไปได้ โดยจะเน้นไปที่การเปลี่ยนแปลงข้อมูลหรือสัญญาณที่เกี่ยวข้องแทน นั่นก็คือ การเปลี่ยนแปลงข้อมูลให้อยู่ในอีกรูปแบบหนึ่งซึ่งไม่สามารถจะรับรู้ข้อมูลได้ด้วยระบบปกติ หรือกล่าวได้ว่าข้อมูลได้มีการเข้ารหัส (Encode) แล้ว การที่จะรับรู้ข้อมูลนั้นเราจะต้องมีการถอดรหัสข้อมูล (Decoded) ก่อน

การเปลี่ยนแปลงข้อมูลเพื่อให้อยู่ในอีกรูปแบบหนึ่ง ซึ่งไม่สามารถรับรู้ข้อมูลได้และสามารถเปลี่ยนกลับมาให้อยู่ในรูปแบบที่รับรู้ได้นี้ เราเรียกการเปลี่ยนแปลงข้อมูลไป (เข้ารหัส) ว่า "Scrambling" และเรียกการเปลี่ยนแปลงข้อมูลกลับ (ถอดรหัส) ว่า "Descrambling"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ระบบสัญญาณภาพรวม

โดยปกติแล้ว เครื่องส่งจะทำการส่งสัญญาณมาในรูปแบบของสัญญาณภาพรวม (Composite Video Signal) ซึ่งสัญญาณที่เครื่องรับโทรศัพท์ต้องการใช้ มีดังนี้

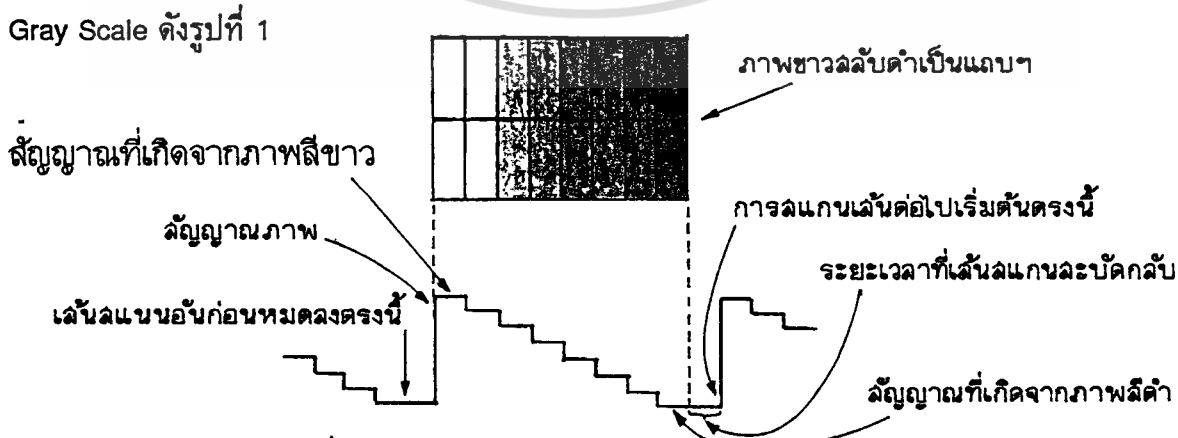
1. สัญญาณภาพ (Audeo)
2. สัญญาณเสียง (Video)
3. สัญญาณแบลงกิ้ง (Blanking)
4. สัญญาณซิงโครไนซ์ (Synchronize)
5. สัญญาณอีควอไลซิ่ง (Equalizing)

ในส่วนของสัญญาณเสียงจะมีการใช้คลื่นพาห์ (Carrier) เฉพาะ และทำการส่งแยกต่างหาก เพราะว่าระบบเสียงในโทรทัศน์เป็นระบบ FM ในขณะที่สัญญาณภาพและสัญญาณอื่น ๆ นั้น เราจะรวมเข้าเป็นสัญญาณเดียวในรูปแบบของสัญญาณภาพรวม (Composite Video Signal) แล้วใช้คลื่นพาห์ภาพส่งออกไป การที่เราจะต้องส่งสัญญาณทั้ง 5 ตัวนี้ออกอากาศ เพื่อวัตถุประสงค์ดังนี้

1. สัญญาณภาพและเสียง เพื่อให้ให้เกิดภาพและเสียงขึ้นในเครื่องรับโทรทัศน์
2. สัญญาณ Blanking เพื่อให้มีการลบเส้นสะบัดกลับที่เกิดขึ้นทั้งในแนวตั้ง (Vertical) และแนวนอน (Horizontal)
3. สัญญาณ Synchronize เพื่อให้วงจรหักเหทางแนวตั้ง และแนวนอนของเครื่องรับโทรทัศน์ ทำงานสอดคล้องกับเครื่องส่ง
4. สัญญาณ Equlizing เพื่อช่วยให้สัญญาณ Synchronize ทั้งทางแนวตั้งและแนวนอนยังคงรูปเดิมอยู่ได้ แม้ว่าจะเป็นการ Scan แบบสลับเส้นก็ตาม

2.1 สัญญาณภาพขาว-ดำ

สมมติว่าเราจะดูระดับสัญญาณขาว-ดำ เราจะกล่าวได้ว่าภาพที่เป็นสีขาว คือภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำ คือภาพที่ไม่มีความสว่างเลย ภาพจำลองที่ใช้อธิบายลักษณะของภาพได้ดีที่สุด คือแถบภาพที่มีความแตกต่างของระดับขาวดำทีละน้อย ซึ่งเราเรียกว่าระดับ Gray Scale ดังรูปที่ 1



รูปที่ 1 แสดงระดับสัญญาณขาว-ดำ Gray Scale

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1 จะแสดงให้เห็นถึงระดับของ Gray Scale ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามา ซึ่งเป็นระดับที่มีความแรงของสัญญาณภาพมากที่สุด จึงให้ความสว่างมากที่สุด และระดับสัญญาณค่อย ๆ ลดลงจากสีขาว เป็นสีมัว เทา และ ดำ นั้น

อันที่จริงแล้ว สัญญาณภาพเป็นสัญญาณความถี่ทางไฟฟ้า ซึ่งมีความถี่สูงต่ำไม่เท่ากัน โดยจะมีความถี่สูงสุดไม่เกิน 4 MHz ในระบบ FCC และไม่เกิน 5 MHz ในระบบ CCIR ภาพที่เกิดจากความถี่สูง ย่อมมีความละเอียดมากกว่าภาพที่เกิดจากความถี่ต่ำ

2.2 สัญญาณ Blanking

เมื่อมีการ Scan ของลำอิเล็กตรอนที่หน้าจอ จะทำให้เกิดเส้น Retrace หรือเส้นสะบัดกลับ ซึ่งเป็นเส้นที่เราไม่ต้องการ ดังนั้นเครื่องส่งจึงต้องส่งสัญญาณ Blanking มา เพื่อให้เครื่องรับสามารถลบเส้นสะบัดกลับได้อย่างถูกต้อง โดยมีอยู่ 2 แบบด้วยกันคือ

1. Horizontal Blanking
2. Vertical Blanking

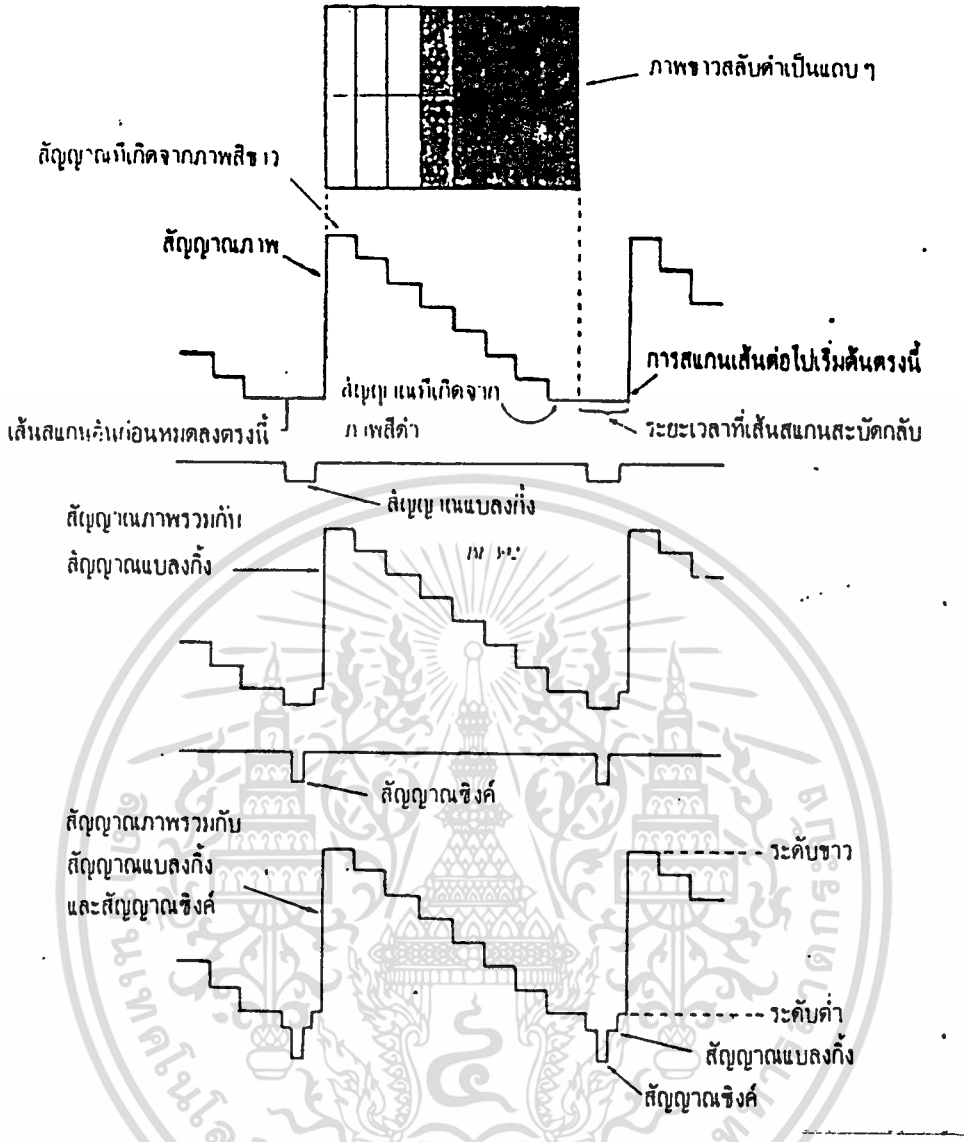
2.3 สัญญาณ Synchronize

เป็นสัญญาณที่ทำให้การ Scan เป็นไปอย่างถูกต้อง ทั้งการ Scan ในแนวตั้งและแนวนอน มีอยู่ 2 แบบด้วยกัน คือ

1. Horizontal Synchronize เป็น Synchronize ทางแนวนอนมีความถี่ 15,625 Hz (ในระบบ CCIR) หรือ 15,750 Hz (ในระบบ Fcc) ถ้าไม่มีสัญญาณนี้ส่งมาด้วย ภาพจะเกิดการล้ม
2. Vertical Synchronize เป็น Synchronize ทางแนวตั้งมีความถี่ 50 Hz (ในระบบ CCIR) หรือ 60 Hz (ในระบบ FCC) ถ้าไม่มีสัญญาณนี้จะทำให้เกิดภาพเลื่อน

เนื่องจากความถี่ของสัญญาณ Synchronize กับสัญญาณ Blanking ทั้งทางแนวนอน และแนวตั้งมีความถี่เท่ากัน ดังนั้นเวลาส่งเราจึงต้องกำหนดตำแหน่งของการส่งให้ถูกต้อง เพื่อไม่ให้เกิดการกวนกันได้ ในทางปฏิบัติจึงให้สัญญาณ Synch Pulse มีขนาดความกว้างน้อยกว่า Blanking Pulse และใช้วิธีการส่งแบบผสม กล่าวคือส่ง Synch Pulse กับ Blanking Pulse ไปด้วยกัน โดยให้ Blanking Pulse เป็นฐานของ Synch Pulse และเมื่อมีการจัดระดับของสัญญาณส่วนนี้เทียบกับ Gray Scale ระดับของ Blanking จะอยู่ต่ำกว่าระดับของสีดำ ส่วน Synch จะเป็นระดับที่ต่ำกว่าสีดำและต่ำกว่า Blanking ลงไปอีก สัญญาณเหล่านี้จึงไม่มีส่วนต่อการมองเห็น หรือไม่ไปกวนสัญญาณภาพ ดูรูปที่ 2 ประกอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

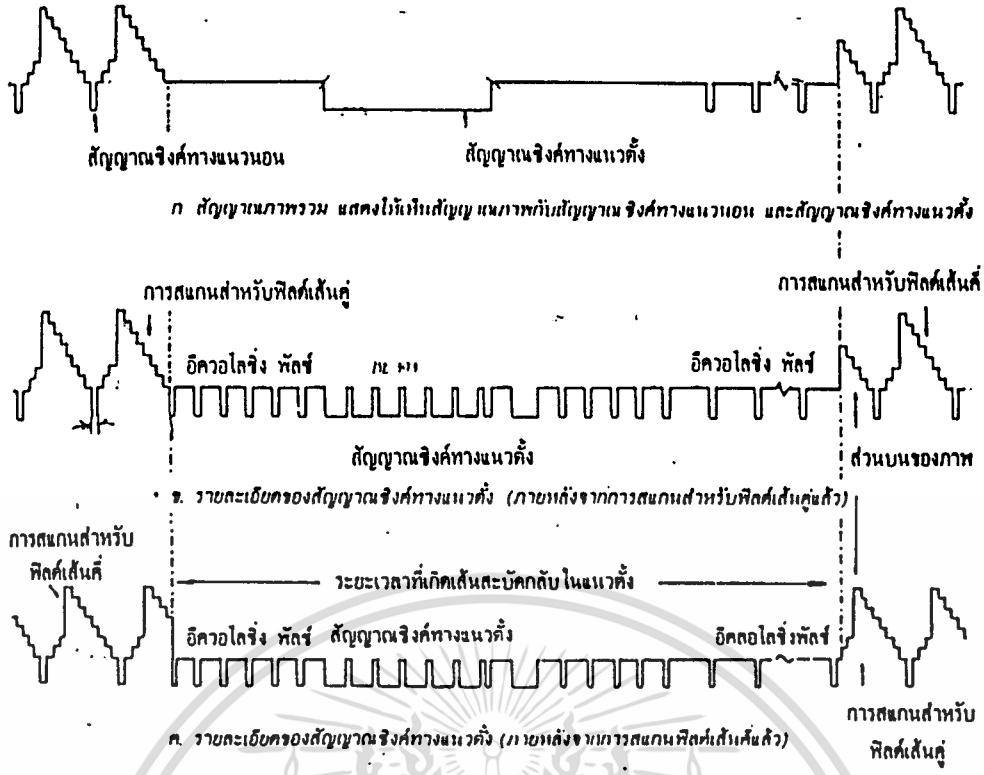


รูปที่ 2 แสดงลักษณะของสัญญาณรวมเบื้องต้น

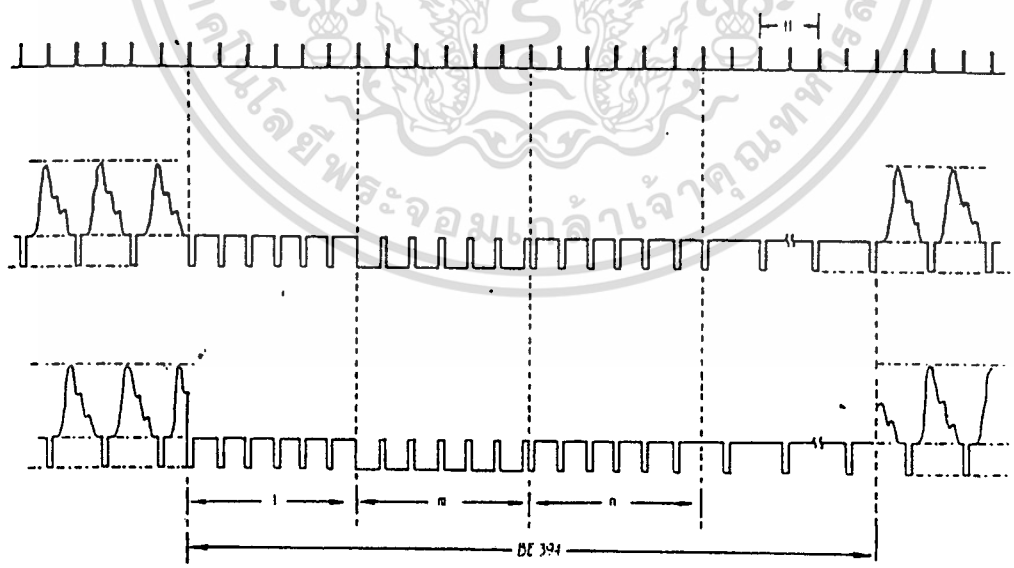
2.4 สัญญาณ Equalizing

เป็นสัญญาณที่ใช้บังคับรูปร่างของสัญญาณ Synchronize ทางแนวตั้ง ให้คงรูปอยู่ได้อย่างถูกต้อง และยังช่วยให้การ Scan แบบสลับเส้นเป็นไปได้อย่างถูกต้องด้วย สามารถขึ้นเส้นคู่เส้นคี่ในตำแหน่งที่ถูกต้องได้ และยังส่งผลทางอ้อมให้สัญญาณ Synchronize ทางแนวนอนไม่ขาดช่วงหายไป ในขณะส่งสัญญาณทางแนวตั้งด้วยสัญญาณนี้จะมีขนาดของ Pulse รวมเท่ากับ Vertical Synchronize Pulse สัญญาณส่วนนี้จะถูกแบ่งออกเป็น 6 ลูกเล็ก ๆ ในระบบ 525 เส้น และเป็น 5 ลูกในระบบ 625 เส้น ดังแสดงในรูปที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 แสดงสัญญาณภาพรวมที่มีรายละเอียดทุกอย่าง



รูปที่ 4 แสดงระบบ Pulse ในฟิลด์ของการ
Synchronize ของระบบโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

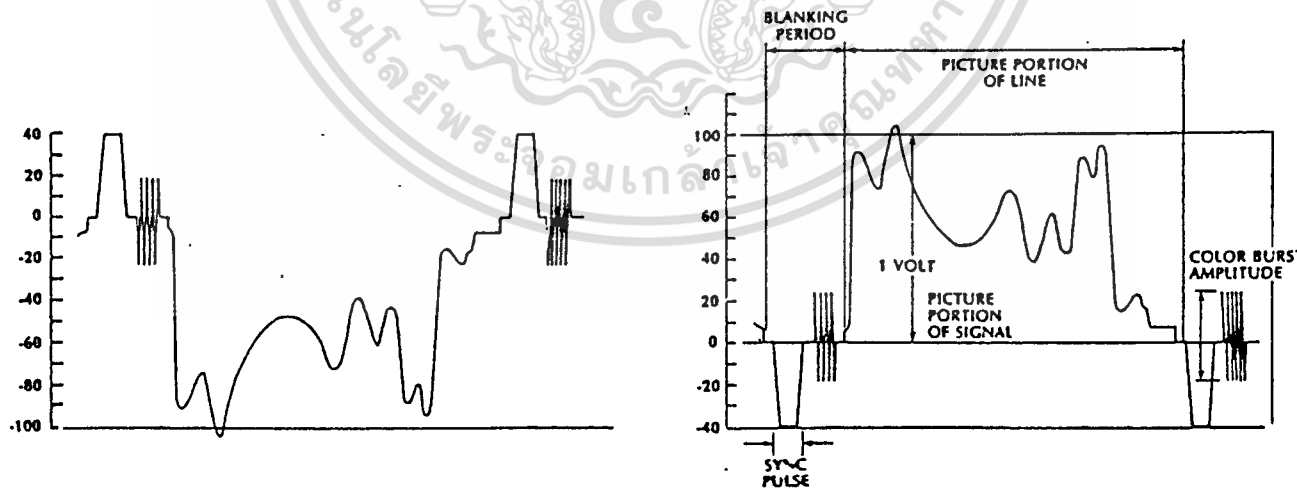
บทที่ 3
เทคนิคการเข้ารหัส (Scrambling)

การ Scrambling มีคำจำกัดความที่กว้างมาก โดยหมายถึง "การเปลี่ยนแปลงข้อมูลจากแบบปกติให้อยู่ในรูปแบบพิเศษ ซึ่งไม่สามารถรับรู้ได้ด้วยระบบปกติและสามารถเปลี่ยนแปลงข้อมูลจากรูปแบบพิเศษนั้น ให้กลับมาอยู่ในรูปแบบปกติได้" ซึ่งจะเห็นได้ว่าแม้แต่การเกิด Noise ในการส่งก็อาจจะจัดว่าเป็นการ Scrambling ได้ถ้า Noise นั้นจะทำให้เราไม่สามารถรับรู้ภาพจากสัญญาณ Video นั้นได้และเราก็สามารถที่จะกำจัดสัญญาณ Noise นั้นออกไปได้หมด จนสามารถดูภาพได้ชัดเจนเหมือนปกติ ในการ Scrambling สัญญาณ Video นั้นทำได้หลายแบบ ดังนี้

1 การกลับสัญญาณ Video (Video Inversion)

หลักการ วิธีการนี้จำทการกลับสัญญาณ Video, Synch Pulse, Burst รวมทั้ง Blinking หรือกล่าวได้ว่ากลับสัญญาณทุกสัญญาณ โดยจะกลับจากบวกเป็นลบ และจากลบเป็นบวก

เทคนิคการ Scrambling แบบนี้ ได้เริ่มต้นใช้ในระบบ Cable TV และจัดได้ว่าเป็นการ Scrambling แบบที่เป็นธรรมชาติมากที่สุด เพราะไม่มีการเปลี่ยนแปลงรูปแบบของสัญญาณที่มีอยู่ในสัญญาณ Composite Video เลย เพียงแต่กลับขั้วของสัญญาณเท่านั้น ดังนั้นเราจึงสามารถ Descrambling สัญญาณกลับมาสู่รูปแบบเดิมได้ง่าย เพียงใส่วงจรสลับขั้วของสัญญาณที่เครื่องรับเท่านั้น แต่การที่สามารถ Descrambling ได้ง่ายนี้ ทำให้เทคนิคนี้มีการรักษาความปลอดภัยของข้อมูลในระดับที่ต่ำมาก เพราะถ้าผู้ที่ต้องการดูข้อมูลจากสัญญาณ Video นี้ รู้ว่าใช้เทคนิค Scrambling แบบนี้ ก็สามารถ Descrambling ได้ง่ายเช่นกัน ซึ่งผลของการใช้เทคนิคนี้ จะมีผลดังรูปที่ 1



รูปที่ 1 แสดงผลของ Video Inversion

จากรูปที่ 1 จะเห็นว่า Complete Video Line จะถูกกลับจากบวกเป็นลบ และลบเป็นบวก ทำให้ที่เครื่องรับไม่สามารถเช็ค Synch ได้ และข้อมูลของภาพจะอยู่ในรูป Negative นอกจากนี้ Color Burst จะถูกเลื่อนเฟสไป 180 องศาด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับระบบโทรทัศน์ผ่านดาวเทียม จะไม่สามารถใช้เทคนิคการ Scrambling แบบนี้ได้ เพราะแรงดันไฟของระบบจะถูกแปลงลงทั้งข้าง High และ Low ซึ่งหมายความว่า ในเครื่องรับโทรทัศน์ผ่านดาวเทียมนั้น จะมีอุปกรณ์สลับขั้วของสัญญาณอยู่แล้ว จะทำให้สัญญาณที่ถูก Scrambling แบบนี้ไม่มีผล เพราะจะสามารถรับได้อย่างปกติ

2 การแทน Synch (Synch Replacement)

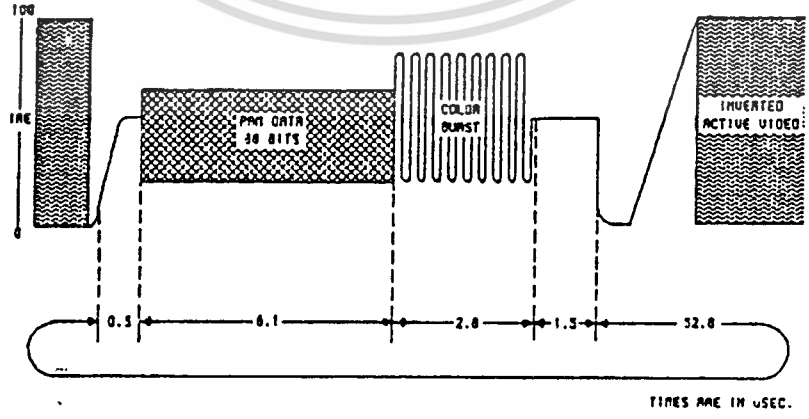
หลักการ จะมีการแทนสัญญาณ Synch Pulse ทางแนวนอน (Horizontal Synch) และทางแนวตั้ง (Vertical Synch) ด้วยสัญญาณรูปแบบอื่น

เทคนิคการ Scrambling แบบนี้ มีการใช้ในอเมริกาเหนือ และยุโรป และเป็นส่วนหนึ่งในหลาย ๆ เทคนิคที่มีการใช้ระบบ OAK Orion และ Video Cipher II ทั้งสองระบบ ในระบบ Orion ช่วงของ Horizontal Synch จะรวมถึงสัญญาณ Synch Burst ความถี่ 25 MHz ซึ่งตามด้วยสัญญาณ Data Burst ส่วนระบบ Video Cipher II นั้น จะมีการนำสัญญาณ Data Burst มาแทนสัญญาณ Synch และนำข้อมูลของสัญญาณ Synch นั้นเข้าไปรวมอยู่ในส่วนของสัญญาณ Data Burst

เทคนิค จะไม่มีการรักษาความปลอดภัยของข้อมูลเลย เช่นเดียวกับเทคนิคการ Scrambling แบบ Video Inversion (แบบที่ 1) ทำให้สามารถทำการ Descrambling ได้ง่าย ซึ่งทำได้ 2 แบบ คือ

1. แบบที่เสียค่าใช้จ่ายต่ำ จะใช้วิธีการ Detect สัญญาณเพื่อให้ได้สัญญาณ Synch โดยใช้วงจร Monostable

2. แบบที่เสียค่าใช้จ่ายสูง จะใช้วงจร Synch Regeneration โดยใช้สัญญาณ Color Burst หรือสัญญาณส่วนอื่น ๆ ในการ Lock เพื่อสร้างสัญญาณ Synch ขึ้นมาใหม่



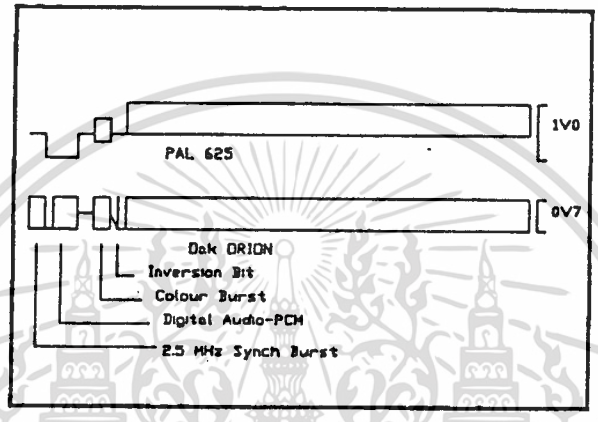
รูปที่ 2 แสดงผลของ Synch Replacement

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3 Active Inversion

หลักการจะทำการกลับขั้วของสัญญาณ Video แบบ Active

การ Scrambling แบบ Active Inversion นี้ เป็นการกลับขั้วของข้อมูลภาพของ Video ทีละ Line ซึ่งให้ผลในด้านการรักษาความปลอดภัยที่ดีกว่าระบบที่ผ่านมา แต่อย่างไรก็ตาม ในสภาพทั่ว ๆ ไปแล้ว สัญญาณ Video จะกลับขั้วโดยใช้พื้นฐานของ Alternat Line ซึ่งมีการรักษาความปลอดภัยที่ต่ำอยู่ดี และในบางระบบจะใช้ในลักษณะ Field ต่อ Field



รูปที่ 3 แสดงผลของ Active Inversion
ในระบบ OAK Orion

จากรูปที่ 3 จะพบว่า การเปลี่ยนแปลงของ Key ของ Descrambler แบบ Active Video Inversion คือวิธีการที่ง่ายที่สุดที่จะทำให้เหมือนกับว่ามันมี Key ที่แสดงขั้วของสัญญาณ Video สำหรับแต่ละ Line

นอกจากนี้ เทคนิคนี้ยังแบ่งได้เป็น 2 แบบ คือ

1. แบบที่มี Key
2. แบบที่ไม่มี Key (no Key)

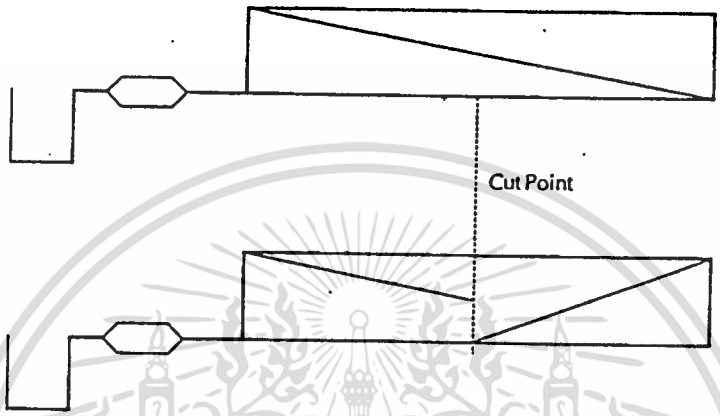
แบบมี Key จะมีการรักษาความปลอดภัยในระดับที่ต่ำกว่า (Key คือ Pulse ในช่วงของสัญญาณ ซึ่งใช้แสดงขั้วของสัญญาณ Video) Key Pulse นี้ จะสามารถ Detect ได้อย่างง่าย

แบบไม่มี Key จะมีลักษณะที่แตกต่างออกไป เพราะไม่มีสิ่งที่ใช้แสดงขั้วของสัญญาณ Video ในส่วนประกอบของ Line เลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4 ตัด และ กลับขั้ว (Cut And Invert)

หลักการ สัญญาณ Line Vido จะถูกแบ่งออกเป็นส่วนย่อย ๆ ที่เรียกว่า "Segment" จำนวนหลาย ๆ Segment ตามที่ต้องการ และทำการสลับขั้วของสัญญาณ Line Video ในส่วนของ Segment ใด Segment หนึ่ง หรือจะทำพร้อมกันทีเดียวทีละหลาย ๆ Segment เลยก็ได้ จากจำนวนของ Segment ที่ได้แบ่ง



รูปที่ 4 แสดงผลของ Cut and Invert

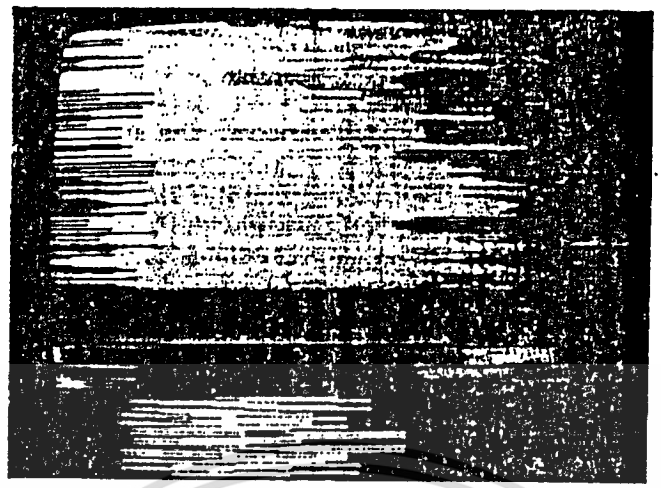
จาก 4 จะพบว่ามีการแบ่งสัญญาณ Line Video ออกเป็น 2 Segment และทำการกลับขั้วของสัญญาณ Lino Video ในช่วง Segment หลัง

เทคนิคการ Scrambling แบบนี้ จะไม่เหมาะกับวงจรทางด้าน Analog เพราะจะออกแบบได้ยากมาก แต่มันจะเหมาะกับการออกแบบทาง Digital ซึ่งจะทำได้ง่าย และมีประสิทธิภาพที่ดีกว่า ซึ่งมีระบบที่ใช้ในยุโยปหลายระบบ ที่ใช้หลักการนี้ไปประยุกต์ใช้งาน ซึ่งผลของระดับความสำเร็จในการรักษาความปลอดภัย ที่ได้ของแต่ละระบบนั้น จะขึ้นอยู่กับจำนวนของ Segment ต่อ Line Video และจำนวนของ Segment ที่ถูกกลับขั้วที่ระบบนั้นใช้

5 ตัดและหมุน (Cut and Rotate)

หลักการ จะคล้ายกันกับการ Scrambling แบบ Cut and Invert ในส่วนที่มีการแบ่งสัญญาณออกเป็น Segment หลาย ๆ Segment แต่เทคนิคนี้จะทำการเลื่อน Segment มาไว้ที่ Segment และเลื่อน Segment แรกไปที่ Segment ที่สอง ไปเรื่อยๆ ตามลำดับจนครบทั้งหมด ซึ่งจะมีลักษณะเป็นการหมุน Segment เป็นวงกลมโดย Segment สุดท้ายจะต่ออยู่กับ Segment แรก ในขณะที่แบบ Cut and Invert จะกลับขั้ว Segment ของ Line Video

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
034857



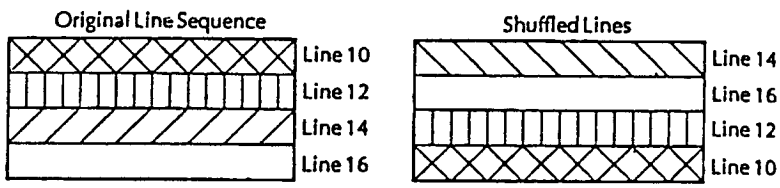
รูปที่ 5 แสดงผลของ Cut and Rotate

จากรูป 5 จะเป็นการ Scrambling แบบ Cut and Rotate โดยจะแบ่งออกเป็น 5 Segment ด้วยกัน แล้วทำการหมุน Segment 1 ครั้ง

การ Scrambling แบบนี้ ที่มีใช้ในยุโรป จะมีประสิทธิภาพดีมาก จำนวนของจุดตัวอย่างหรือ Segment ต่อ Line ที่เลือกใช้คือ 256 ซึ่งจำนวนจุดตัดที่ค่านี้ เราสามารถที่จะกำหนดให้อยู่ในรูปของข้อมูลขนาด 8 บิตได้ โดยจะอยู่ในรูปแบบของ Word หรือ Byte ก็ได้

6 Line Shuffle

หลักการ จะทำการสับเปลี่ยนอันดับของ Line ใน Field หรือ Frame เพื่อให้ส่ง Line ในคำสั่งที่ผิดจากปกติ เช่น Line ที่ 10 อาจจะถูกส่งไปในอันดับของ Line ที่ 99 และ Line ที่ 99 ก็จะถูกส่งไปอันดับที่ 10 แทน เป็นต้น ทำให้การแสดงภาพพบหน้าจอเครื่องรับแสดงภาพที่ผิดพลาด เพราะ Line Video ที่รับเข้ามา สลับอันดับกันอยู่



รูปที่ 6 แสดงผลของ Line Shuffle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.6 จะพบว่ามีการจัดลำดับของ Line ใหม่จากลำดับที่ต่อเนื่องคือ Line 10, Line 12, Line 14 และ Line 16 ตามลำดับ มาเป็น Line 14 ขึ้นก่อน และตามด้วย Line 16, Line 12 และ Line 10 แทน

การ Sorambling วิธีนี้จะต้องใช้ Field หรือ Fra,e เพื่อใช้เก็บข้อมูลในการสลับ Line และวงจร Digital เป็นจำนวนมาก

7 การเลื่อน Sinewave Synch (Sinewave Synch shifting)

หลักการ เพิ่ม Sinewave เข้าไปในสัญญาณ Line Video โดยมีความถี่เท่ากับความถี่ Line หรือเป็นจำนวนเท่าของความถี่ Line

การ Scrambling เทคนี้มี 2 รูปแบบคือ

1. ใช้ความถี่ Sinewave เท่ากับความถี่ Line
2. ใช้ความถี่ Sinewave เป็นจำนวนเท่าของความถี่ Line

ซึ่งทั้งสองแบบ จะมีการทำงานที่เรียบง่าย กล่าวคือแรงดัน Sinewave จะไปดันให้ส่วนของ Synch Pulse เลื่อนเข้าไปอยู่ในย่านของสัญญาณ Video ผลก็คือ จะทำให้เครื่องรับโทรทัศน์ไม่สามารถ Lock หรือ Synchronize ได้ ทำให้ภาพที่ได้จะม้วน หรือขาด ดังรูป 7

รูปที่ 7 แสดงผลของ Sinewave Synch Shifting

การเพิ่ม Sinewave เข้าไป จะมีผลทำให้ไปเพิ่ม Amplitude ของสัญญาณ Video ถ้าสัญญาณ Video ไม่ถูกลดทอนก่อนที่จะทำการ Scrambling โดยยังคงเหลืออยู่ในระดับมาตรฐานแล้ว การเพิ่ม Sinewave เข้าไป จะทำให้เกิดการ Overdeviation ดังนั้นจะทำให้ภาพเพี้ยนไป

การเลื่อน Sinewave Synch นี้ จะทำให้ Horizontal และ Vertcl Synch Pulse ถูกเลื่อนเข้าไปในย่านของ Active Video ซึ่ง Sinewave จะ Modulate กับ Active Vdieo ด้วย หมายความว่า Amplitude ของ Video จะต้องถูกลดทอนก่อนที่จะทำการ Scrambling เพื่อให้

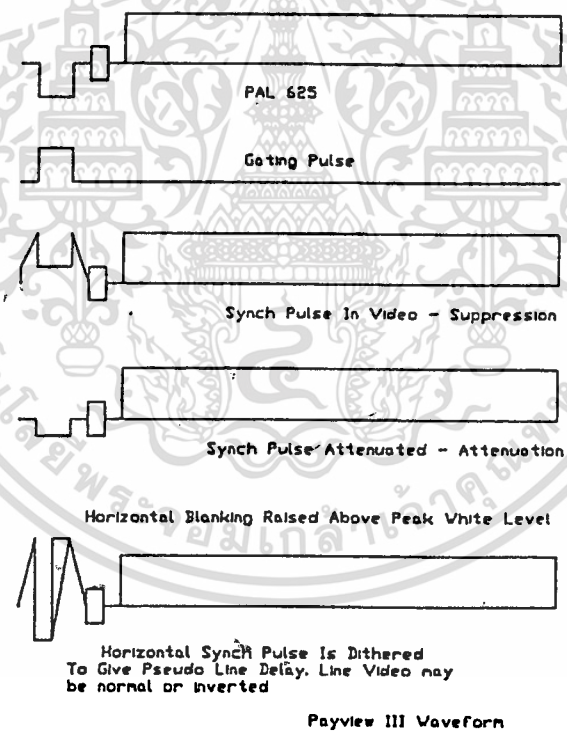
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ Scramble ตกลงมาอยู่ภายในการจำกัดแรงดันในการส่ง Synch Seperator ของเครื่องรับโทรทัศน์จะไม่สามารถที่จะแยก Active Video ออกจากข้อมูลของ Synch ได้

8 การเลื่อน Pulse Synch (Pulse Synch Shifting)

หลักการ ใส่ Pusle Synch เข้าไปในย่านของสัญญาณ Video ซึ่งใช้ได้ทั้งทาง Horizontal และ Vertical Synch

การเลื่อน Pulse Synch สามารถป้องกันเครื่องรับโทรทัศน์จากการ Lock ภาพได้อย่างมีประสิทธิภาพ วิธีนี้จะมีการทำงานที่ไม่เหมือนกับ Sinewave synch Shifting เพราะวิธีนี้จะมีผลต่อช่วงของสัญญาณ Synch เท่านั้น Waveform ของ Scrambling และ Descrambling ที่ถูกเพิ่มเข้าไปในสัญญาณ Video คือขบวนของ Pulse (Pulse Train)



รูปที่ 8 แสดงผลของ Pulse Synch Shifting

เมื่อ Pulse Train ซึ่งจำเป็นสำหรับการ Descrambling สัญญาณที่ถูกส่งไปตามคู่สายที่แยกจากกันจะใช้การเลื่อน Gate Pulse

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

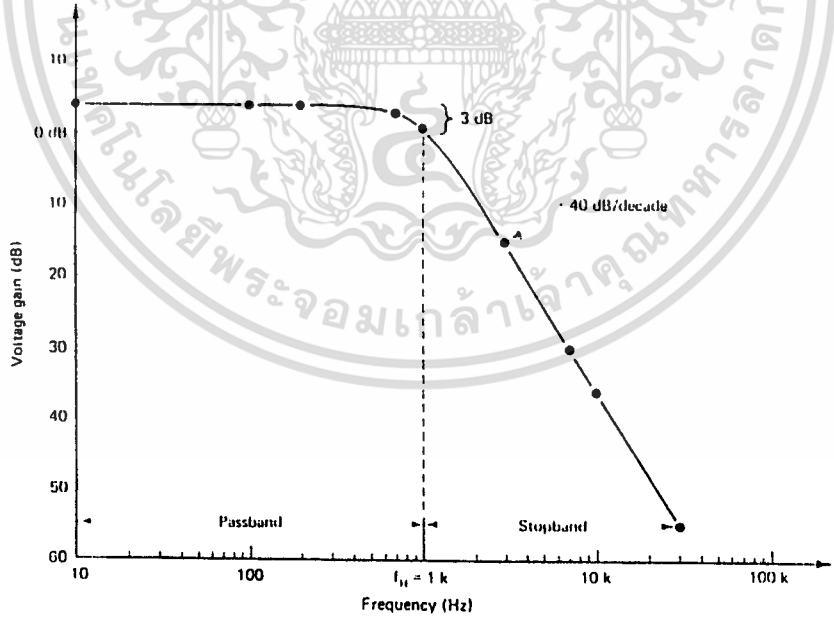
บทที่ 4
ทฤษฎีวงจรกรองความถี่ (Filter)

ในการใช้งานวงจรอิเล็กทรอนิกส์ บางครั้งเราอาจต้องการให้สัญญาณบางความถี่ผ่านเข้ามาเท่านั้น โดยที่สัญญาณที่มีความถี่อื่นนอกเหนือจากนั้นจะถูกกำจัดออกไป ซึ่งนี่คือประโยชน์ของวงจรกรองความถี่ชนิดต่างๆ ซึ่งมีด้วยกันหลายแบบดังนี้

1. วงจรกรองความถี่ต่ำ (Low Pass Filter)
2. วงจรกรองความถี่เป็นช่วง (Band Pass Filter)
3. วงจรกรองความถี่สูง (High Pass Filter)
4. วงจรนอท์ชฟิลเตอร์ (Notch Filter)

1 วงจรกรองความถี่ต่ำ (Low Pass Filter, LPF)

ในทางอุดมคติ วงจรกรองความถี่ต่ำจะกันไม่ให้สัญญาณที่มีความถี่สูงกว่าความถี่ f_c (cut off Frequency) ผ่านเข้าไปในวงจรเลย แม้จะมีความถี่สูงกว่า f_c เพียงเล็กน้อยก็ตาม แต่ในความเป็นจริงแล้วลักษณะของความถี่สูงที่ถูกกันออกไปจะไม่เป็นเช่นนั้น แต่จะค่อยๆ ถูกลดอัตราขยายลงเรื่อยๆ โดยจุดที่มีความถี่เท่ากับ f_c นี้อาจเรียกได้หลายอย่าง เช่น ความถี่ 0.707 (ขนาด V_{out} จะลดลงเหลือเพียง 70.7% เมื่อเทียบกับ V_{in} สูงสุด) ความถี่ - 3 dB (อัตราขยายของ V_{out} ลดลง 3 dB) หรือความถี่หักมุม เป็นต้น กล่าวโดย

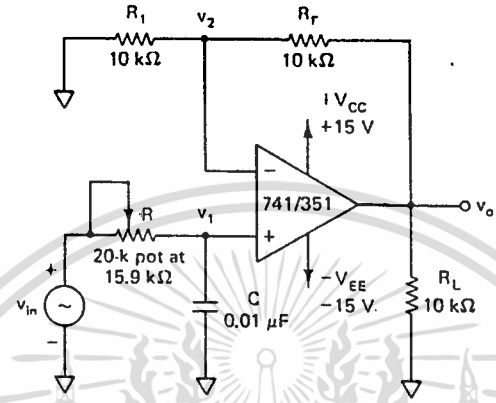


รูปที่ 1 กราฟแสดงการตอบสนองต่อความถี่ของ LPF

สรุปแล้ววงจรนี้จะลดทอนขนาดของสัญญาณที่มีความสูงกว่า f_c ซึ่งเรียกช่วงของสัญญาณที่มีความถี่ต่ำกว่า f_c ว่า "ช่วงให้ผ่านได้" (Pass Band) และที่มีความถี่สูงกว่าว่า "ช่วงที่ถูกกั้น" (Stop Band)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟรูปที่ 1 จะพบว่าเมื่อสัญญาณมีความถี่สูงกว่าความถี่ f_c แล้วจะมีสัญญาณบางเส้น ที่ถูกลดทอนด้วยอัตราที่น้อยกว่าสัญญาณเส้นอื่นๆ เช่น สัญญาณที่มีความชัน - 20 dB/decade (อัตราขยายจะลดลง 20 dB ต่อความถี่ที่เพิ่มขึ้น 10 เท่า) จะมีความชันน้อยกว่าสัญญาณที่มีค่า - 60 dB/decade คุณสมบัตินี้เกิดขึ้นจากการออกแบบวงจรกรองความถี่ และเป็นที่แน่นอนว่า ยิ่งค่าความชันมีค่าเป็นลบมากขึ้นเท่าใด วงจรก็จะมีคุณสมบัติใกล้เคียงกับวงจรในอุดมคติมากขึ้นเท่านั้น



รูปที่ 2 วงจร Low Pass Filter ขั้นพื้นฐาน

รูปที่ 2 แสดงตัวอย่างของวงจร Low Pass Filter แบบพื้นฐาน ซึ่งใช้ออปแอมป์ที่ถูกต่อในลักษณะของวงจรตามแรงดัน และใช้หลักการแบ่งแรงดันธรรมดา ณ ขั้ว Input บวก โดยใช้คุณสมบัติที่ว่าความถี่ของสัญญาณ Input จะมีผลต่อค่า Impedance ของตัวเก็บประจุ ดังสมการ

$$X_C = 1/W \qquad (W = 2pf)$$
$$= 1/2pf_C$$

โดยที่ f คือความถี่ของสัญญาณ Input ดังนั้นเมื่อสัญญาณมีความถี่ต่ำ X_C จะมีค่าสูง ทำให้แรงดันเกือบทั้งหมดจากตกคร่อมตัวเก็บประจุ C และเป็นผลให้แรงดัน Output V_C มีค่าประมาณเท่ากับ V_{in} ด้วย ในขณะที่สัญญาณมีความถี่สูง จะทำให้ X_C มีค่าต่ำ เป็นผลให้ตัวเก็บประจุเสมือนถูกลัดวงจร ดังนั้น V_{out} จะมีค่าต่ำด้วย จะสรุปได้ว่า ช่วงของสัญญาณที่มีความถี่ต่ำจะผ่านไปปรากฏที่ Output ได้โดยที่สัญญาณซึ่งมีความถี่สูงจะถูกกั้นเอาไว้ และเราสามารถหาความถี่ fc ที่แบ่งช่วงสัญญาณออกเป็นสองส่วนได้ดังสมการ

$$f_C = 1/2pRC$$

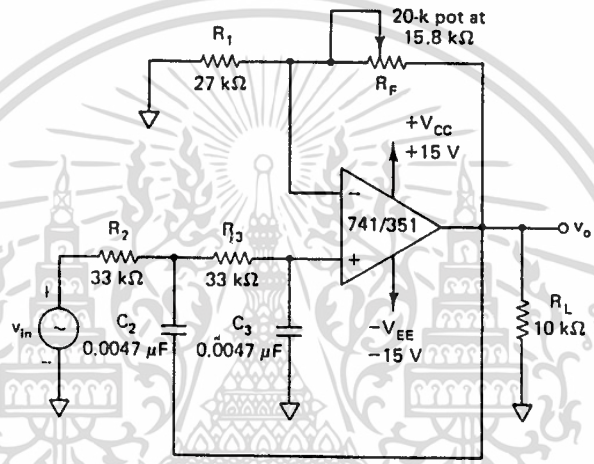
วงจร Low Pass Filter ในรูปที่ 2 จะมีความชันประมาณ -20 dB/decade และจากการใช้อุปกรณ์ เช่น ตัวเก็บประจุในวงจร สัญญาณที่วัดได้จาก Out put จะมีเฟสไม่ตรงกับ Input เลยทีเดียว แต่จะมีการเลื่อนเฟสออกไปเท่ากับ - 45 (ถึงแม้จะป้อน ณ ขั้ว Input บวกเลยก็ตาม) ซึ่งหากความชันมีค่าเป็นลบสูงเท่าใด เฟสก็จะถูกเลื่อนไปเรื่อยๆ โดยทั่วไปแล้ว เฟสของสัญญาณ Output จะเลื่อนไป - 45 ทุกๆ ความชันที่ลดลง - 20 dB/decade ตัวอย่าง เช่น สำหรับสัญญาณที่มีความชัน - 40 dB/ddecade เฟสของ Output จะถูกเลื่อนออกไป - 90 เมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่มีความชัน - 40 dB/ddecade เฟสของ Output จะถูกเลื่อนออกไป - 90 เมื่อเทียบกับสัญญาณ Inpiut

รูปที่ 3 แสดงวงจรที่ถูกปรับปรุงให้มีความชันถึง - 40 dB/decade โดยมีตัวเก็บประจุทำหน้าที่เช่นเดิม แต่เพิ่มตัวเก็บประจุ C_1 เข้ามา ในการป้อนสัญญาณกลับมาหักล้างกับสัญญาณ Input ที่ความถี่สูง (เนื่องจาก X_{C1} จะมีค่าลดลง) และเราสามารถหาความถี่ f_c จากสมการได้ดังนี้

$$fc = 1/[2pR_1R_2C_1C_2]$$



รูปที่ 3 แสดงวงจร Low Pass Filter
ที่มีความชันถึง - 40 dB/deccde

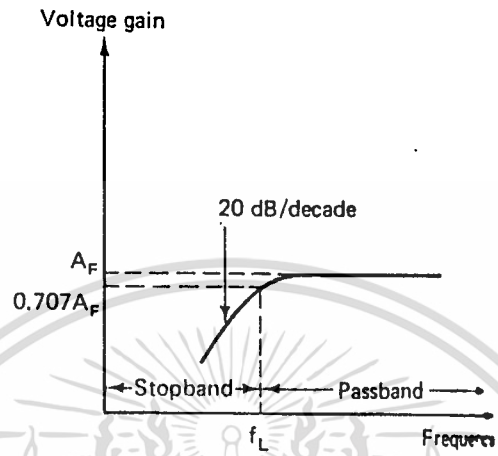
สมการนี้จะให้ผลแม่นยำมาก ถ้าความต้านทาน R_1 และ R_2 ที่ใช้มีขนาดเท่ากัน และตัวเก็บประจุ C1 มีค่า Capacitance สูงกว่า C_2 R_3 ควรมีค่าเท่ากับ $R_1 + R_2$ เพื่อให้สัญญาณ Outpút มีลักษณะใกล้เคียงกับสัญญาณ Input มากที่สุด และยังช่วยในการปรับ Offset ให้เกิดสมดุลย์อีกด้วย

2 วงจรกรองความถี่สูง (High Pass Filter, HPF)

หลังจากที่ได้ศึกษาวงจร Low Pass Filter มาแล้ว เราจะสามารถเข้าใจหลักการทำงานของวงจร High Pass Filter ได้ง่ายขึ้น นอกจากนี้ยังพบว่าสามารถนำสมการต่าง ๆ ของวงจร Low Pass Filter มาใช้ในการคำนวณวงจร High Pass Filter ได้อีกด้วย

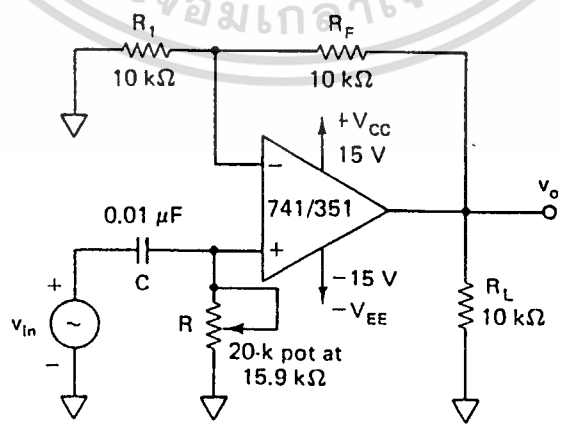
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากชื่อของวงจรชนิดนี้ เราสามารถบอกได้ทันทีว่า วงจรนี้จะยอมให้สัญญาณความถี่สูงผ่านไปสู่ Output ได้เท่านั้น แต่จะกันไม่ให้สัญญาณความถี่ต่ำผ่านไปได้ แต่ในความเป็นจริง วงจรนี้ก็จะมีลักษณะเช่นเดียวกับวงจร Low Pass Filter คือจะเกิดความถี่ fc ขึ้น และอัตราขยายจะค่อยๆ ลดลง คือจะไม่ตกลงในแนวดิ่งเลยทันทีทันใด ดังรูปที่ 4



รูปที่ 4 แสดงคุณสมบัติการตอบสนองความถี่
ของวงจร High Pass Filter

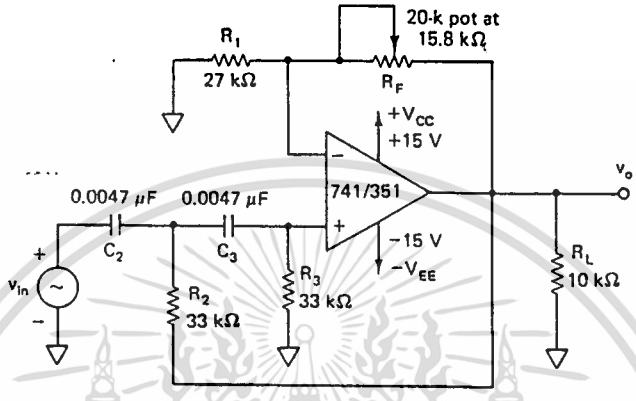
เราสามารถสร้างวงจรนี้ได้ โดยการสลับตำแหน่งของ R กับ C ของวงจร Low Pass Filter ได้ดังรูปที่ 5 และสามารถอธิบายหลักการทำงานได้ โดยอาศัยคุณสมบัติที่ว่า ที่ความถี่สูง ค่า Impedance ของ C จะมีค่าต่ำ ดังนั้นสัญญาณ Input เกือบทั้งหมดจึงตกคร่อม R และมีศักดาเท่ากับ V_{out} แต่ที่ความถี่ต่ำกว่า f_c ของ Impedance จะมีค่าสูง ทำให้แรงดันเกือบหมดตกคร่อม C และเป็นผลให้แรงดันที่ตกคร่อม R และแรงดันที่ Output มีค่าต่ำมาก โดยที่วงจรในรูปที่ 5 นี้มีความชันประมาณ - 20 dB/decade และมีค่าความถี่ f_c ที่หาได้จากสมการเดียวกับวงจร Low Pass Filter



รูปที่ 5 แสดงวงจร High Pass Filter
ที่มีความชัน - 20 dB/decade

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรในรูปที่ 5 เราสามารถปรับปรุงให้มีความชันถึง - 40 dB/decaade ได้โดยเพิ่ม R และ C เข้าไปดังรูปที่.6 โดยวงจรนี้จะมีการทำงานที่มีประสิทธิภาพมากที่สุด ก็ต่อเมื่อเรากำหนดให้ C_1 มีค่าเท่ากับ C_2 และ R_3 มีค่าเท่ากับ R_2 โดยมี R_2 เป็นตัวป้อนสัญญาณกลับเพื่อการกรองสัญญาณอีกครั้งหนึ่ง



รูปที่ 6 แสดงวงจร High Pass Filter
ที่มีความชัน - 40 dB/decade

3 วงจรกรองความถี่เป็นช่วง (Band Pass Filter, BPF)

วงจร Band Pass Filter คือวงจรที่ยอมให้สัญญาณบางความถี่ผ่านไปได้เท่านั้น ดูคุณสมบัติการตอบสนองความถี่ของวงจรได้ในรูปที่ 7

จากรูปที่ 7 จะพบว่า ณ ความถี่ที่ Output มีขนาดสูงสุด เราเรียกว่าความถี่รีโซแนนท์ (Resonant Frequency, f_r) และที่ความถี่ซึ่งแรงดัน Output ลดลงเหลือเท่ากับ 70.7% ทั้งด้านที่ความถี่สูงขึ้น และความถี่ลดลง เรียกว่าความถี่ f_H และ f_L ตามลำดับ โดยที่ผลต่างของความถี่ทั้งสองนี้ ($f_H - f_L$) จะแสดงค่า Bandwidth (BW) มีขนาดต่ำกว่า 10% ของความถี่ f_r จะเรียกวงจรนี้ว่า วงจร Filter ช่วงแคบ แต่จะเรียกว่าเป็นวงจร Filter ช่วงกว้าง ถ้า BW มีค่าสูงกว่า 10% ของ f_r นอกจากนี้แล้วยังให้นิยามสำหรับค่า Q (Quality Factor) ว่าเป็นอัตราส่วนระหว่างความถี่ fr กับ BW ดังสมการ

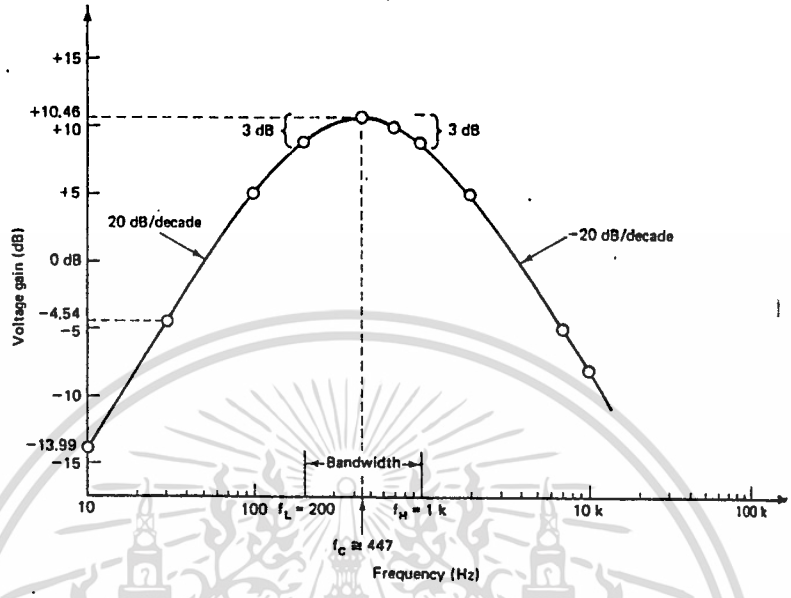
$$Q = f_r / BW$$

วงจรที่มีค่า Q สูงมากเท่าใด BW ก็จะยิ่งแคบเท่านั้น (เข้าใกล้วงจรในอุดมคติ ซึ่งต้องการเลือกความถี่ที่ผ่านวงจรได้เพียงค่าเดียว) และ Output ที่ได้จะมีขนาดสูงขึ้นด้วย เส้นประในรูปที่ 7 แสดงวงจร Band Pass Filter ที่มีค่า Q ค่อนข้างต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

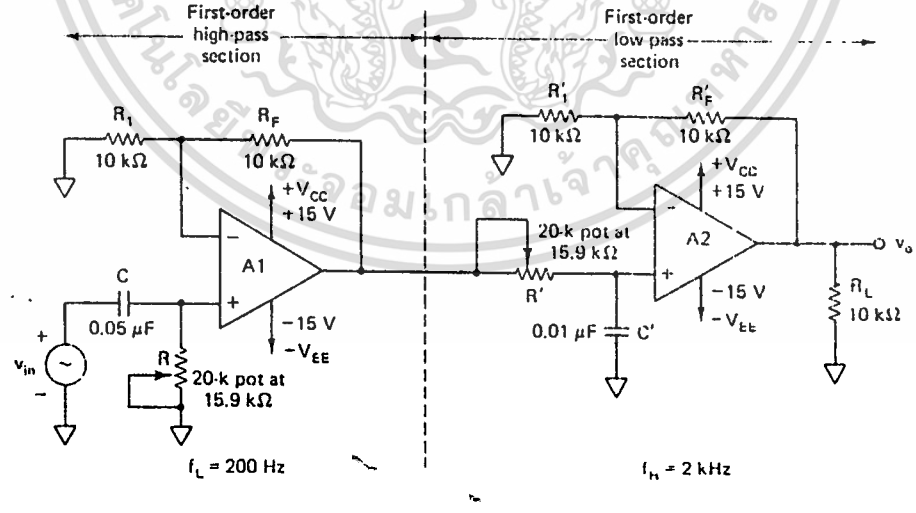
วงจรในรูปที่ 8 แสดงวงจร Band Pass Filter ซึ่งได้จากการรวมวงจร Low Pass Filter และ High Pass Filter เข้าด้วยกัน (โดยที่วงจรใดจะมาก่อนกันก็ได้) R_1 และ C_2 คืออุปกรณ์ที่ในการกรองความถี่ต่ำ ส่วน R2 และ C_1 จะใช้กรองความถี่สูง โดยมามารถหาค่าความถี่ f_r ได้จากสมการ

$$fr = 1/[2p\ R_pR_3C_1C_2]$$



รูปที่ 7 แสดงคุณสมบัติการตอบสนองต่อความถี่ของ Band Pass Filter

โดยที่ $R_p = R_1 // R_2 = R_1R_2/[R_1 + R_2]$



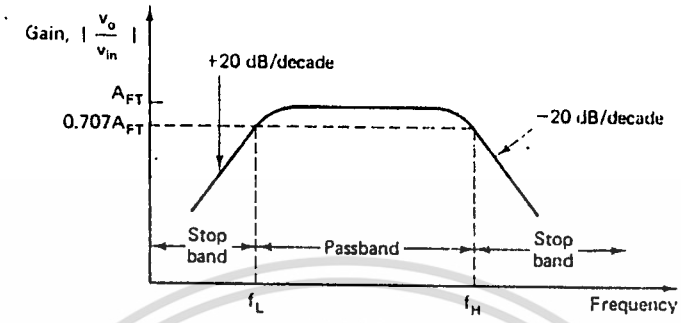
รูปที่ 8 แสดงวงจร Band Pass Filter แบบรวม HPF กับ LPF

และหาค่า Q จากสมการ

$$Q = 0.5\ R_3 / R_3 \qquad \text{เมื่อ} \quad C_1 = C_2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

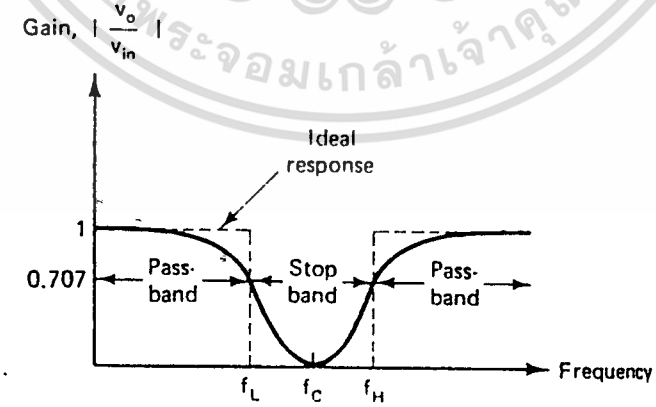
ในกรณีต้องการวงจร Band Pass Filter ซึ่งมีช่วงกว้างมากๆ เราสามารถนำวงจร Low Pass Filter และ High Pass Filter มาต่อร่วมกันได้เลย โดยใช้ f_c ของวงจร Low Pass Filter เป็น f_H และใช้ f_C ของวงจร High Pass Filter เป็น f_L ซึ่งจะได้กราฟแสดงการตอบสนองต่อความถี่ดังรูปที่ 9



รูปที่ 9 แสดงกราฟคุณสมบัติตอบสนองความถี่ ของ BPF ที่ใช้ LPF กับ HPF ต่อร่วมกัน

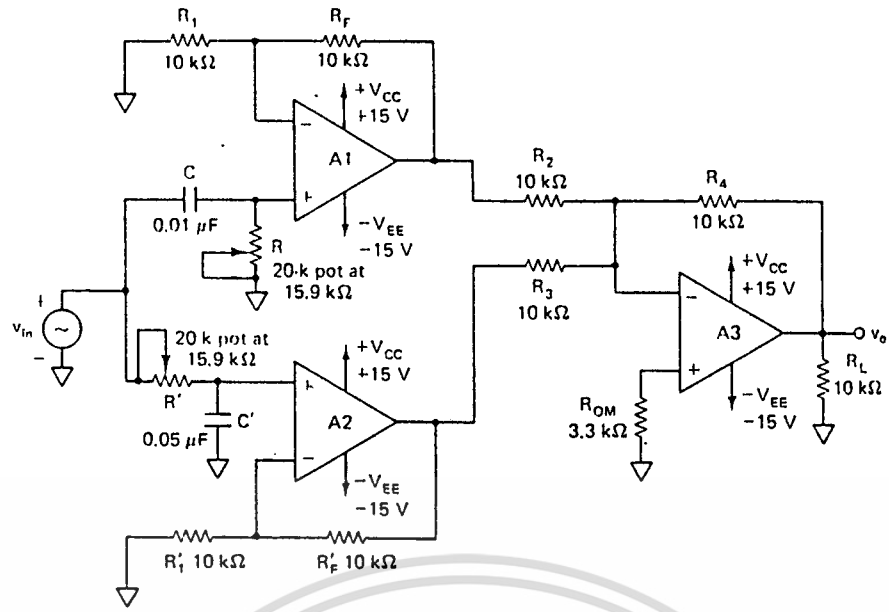
4. วงจรนอท์ชฟิลเตอร์ (Notch Filter)

วงจรชนิดนี้จะทำงานตรงกันข้ามกับวงจรกรองความถี่เป็นช่วง โดยวงจรนี้จะยอมให้ความถี่ทุกๆ ค่าผ่านไปได้ ยกเว้นความถี่ช่วงหนึ่งที่ได้กำหนดไว้ โดยทั่วไปวงจรชนิดนี้ มักถูกใช้เพื่อกันสัญญาณรบกวน ที่เราทราบค่าความถี่แล้ว รูปที่ 10 แสดงการตอบสนองต่อความถี่ของวงจร Notch Filter



รูปที่ 10 แสดงการตอบสนองความถี่ของวงจร Notch Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 11 แสดงวงจร Notch Filter แบบพื้นฐาน

จากรูป 11 เราสามารถคำนวณหาค่า fr ได้จากสมการ

$$fr = 1/[2p\ R_1R_4C_1C_2]$$

และหาค่า Q ของวงจรเมื่อ C1 = C2 ได้จากสมการ

$$Q = 0.5\ [R4 / R1]$$

นอกจากนี้ ยังสามารถนำค่า Q นี้มาคำนวณหาความชันได้อีกด้วย โดยที่

(ความชัน) $N = \{[1/Q] - [2Q(1-Rp)/Rp]\}/[1/Q]$;$Rp = R3/[R2+R3]$

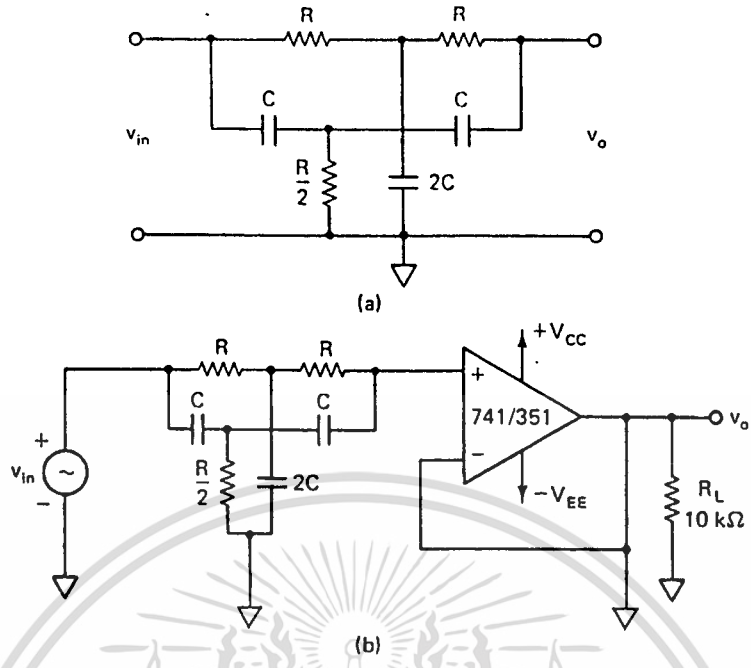
ซึ่งโดยปกติแล้ว R3 ที่ใช้งานจะมีค่าสูงกว่า R2 ประมาณ 50 เท่า

การทำงานของวงจรในรูปที่ 11 สามารถอธิบายได้ดังนี้ แรงดัน Input จะถูกแบ่งตามอัตราส่วนระหว่าง R2 และ R ซึ่งแรงดันนี้จะถูกป้อนให้แก่ขั้ว Input ทั้งสองของออปแอมป์ ที่ความถี่ต่ำกว่า fr ค่า Impedance Xc ของตัวเก็บประจุจะสูงมาก ดังนั้นจึงไม่มีการป้อนสัญญาณกลับ เป็นผลให้ Vout = {R3/[R2+R3]}*Vin

= Vin เมื่อ R3 = 50Rin

แต่เมื่อความถี่ของ Input เข้าใกล้ fr Reactance ของตัวเก็บประจุจะทำงานร่วมกับตัวต้านทานในการป้อนสัญญาณ Output กลับสู่ Input เป็นผลให้แรงดัน Output ลดลง และเกิดการเลื่อนเฟสด้วย เมื่อความถี่ของ Input มีค่าสูงกว่า fr Impedance ของตัวเก็บประจุจะลดลง และเป็นผลให้ขั้วของ Output เสมือนถูกลัดวงจรกับขั้ว Input ลบ นั่นคือ อัตราขยายมีค่าเป็น 1 กลายเป็นวงจรตามแรงดัน (Voltage Follower) ในการพิจารณาวงจรนี้ เมื่อกล่าวถึงกรณีที่ Impedance ของ C มีค่าสูงๆ ให้คิดว่า C ถูกเปิดวงจร และเมื่อ Impedance ของ C มีค่าลดลงให้คิดเสมือน C ถูกลัดวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 12 แสดงวงจร Notch Filter ชนิด "T" คู่

จากรูปที่ 12 แสดงวงจร Notch Filter ชนิด 'T' คู่ ที่มีการนำเอาอุปกรณ์ Passive มาต่อในลักษณะของตัวกลับหัวกัน โดยมีออปแอมป์ทำหน้าที่เป็นบัฟเฟอร์ วงจรนี้มักให้ค่า Q ค่อนข้างต่ำ (ต่ำกว่า 1) ส่วนวงจรในรูปที่ 12 b แสดงการนำวงจร 12 a มาดัดแปลงเล็กน้อย โดยนำจุดต่อระหว่าง R3 และ C3 ไปป้อนที่ Output ของออปแอมป์ เป็นผลให้ค่า Q มีค่าสูงถึง 50 ซึ่งทำให้เกิดความชันมีค่าสูงมาก (ดังนั้น Output ที่ได้จึงมีลักษณะแหลมมาก) โดยสมการในการคำนวณ fr ยังคงเหมือนกับในวงจรรูป 12 a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ทฤษฎีเฟสล็อกลูป (Phase locked loop)

1. วงจรเฟสล็อกลูปพื้นฐาน (PLL)

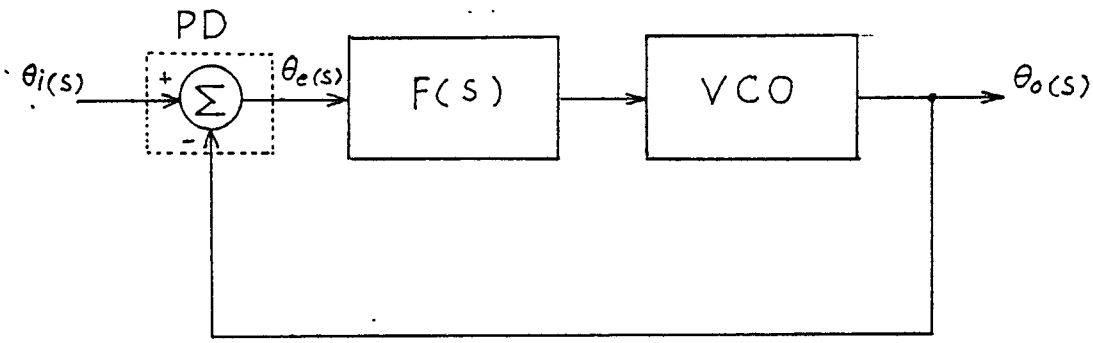
เนื่องจากมีการใช้ระบบ FM Stereo กันอย่างแพร่หลาย ทำให้มีการรวมวงจรส่วนประกอบของระบบ FM Sterep ทั้งหลายเข้าด้วยกัน ทำเป็น IC สำเร็จรูปเพียงตัวเดียว ทำให้สามารถประกอบวงจรเกี่ยวกับ FM Stereo ง่ายขึ้น และประหยัดเวลา ซึ่งโดยทั่วๆ ไปแล้ว IC สำเร็จรูปนี้ จะประกอบไปด้วยส่วนของ Input Amplifier, Phase Detector, VCO (Voltage Controlled Oscillator), Phase Lock Detector บางระบบที่ใช้สำหรับ Audio Muting หรือ Stereo Lamp Switching และ Power Supply Regulator ที่สร้างอยู่ภายใน การเลือกวัสดุที่ใช้ทำ IC ชนิดนี้ จะเลือกชิปที่สามารถทำงานในช่วงของแรงดัน Supply ที่เปลี่ยนแปลงในช่วงกว้าง ปกติแล้ว IC จำพวกนี้ จะมีตัวถังเป็นแบบ DIP ขนาด 14 หรือ 16 ขา และเมื่อมีการผลิตเป็นจำนวนมาก จะทำให้มีราคาถูก และพร้อมที่จะนำไปใช้งานได้เลย โดยหาได้ตามร้านค้าที่ที่จำหน่ายอุปกรณ์อิเล็กทรอนิกส์ หรือขายเป็นส่วนๆ โดยผู้จำหน่ายชิ้นส่วนของ Radio หรือ TV วงจรส่วนใหญ่ที่ใช้งาน จะไม่มีส่วนประกอบจำพวก Coil และอุปกรณ์อื่นๆ ที่หาซื้อได้ยาก อุปกรณ์เหล่านี้ จะเป็นส่วนจำเป็นที่จะต้องใช้เป็นอุปกรณ์ในการ Descrambler เพราะมีการกำเนิดความถี่ Subcarrier 15, 31, 40 หรือ 62 KHz เพื่อใช้ในระบบ Gated Synch, Sine Wave และ SSAVI ในการนำไปใช้งานที่มีการ Demodulate สัญญาณ Subcarrier ของ Hidden Audio ดังนั้นจึงเป็นการทำงานทั้ง 2 อย่างพร้อมกัน

2. ทฤษฎีของวงจรเฟสล็อกลูป

หลักการของวงจร PLL จะทำงานโดยการเปรียบเทียบสัญญาณความถี่ที่ต้องการ ซึ่งปกติแล้วจะได้จาก VCO ที่มีย่านการปรับแต่ (Tune) ตามที่กำหนด กับสัญญาณ Reference โดยปกติแล้วสัญญาณ Reference ก็คือสัญญาณ Input นั่นเอง ทั้งสัญญาณ Input และ VCO จะถูกป้อนให้กับวงจร Phase Detector ดูรูปที่ 1 ซึ่ง Phase Detector จะให้ Output ที่เป็นผลต่างของ Phase ระหว่างสัญญาณ Input ทั้งสอง จากนั้น Output ที่ได้จาก Phase Detector นี้จะถูกขยาย และจ่ายให้กับวงจรVCO VCOจะทำหน้าที่เลื่อนความถี่ไปในทิศทางที่จะทำให้ความแตกต่างระหว่าง Input (Reference) กับที่เกิดจากตัวมันเองลดลง บางครั้งอาจจะต้องทำงานกับความถี่ Input ที่มีค่าเป็นหลายๆ เท่า ในแบบนี้จะมีการใส่วงจรหารความถี่ (Frequency Devider) ด้วย N เข้าไปในส่วนที่เป็น Feedback Loop

Phase Detector จะผลิตสัญญาณ Output AC ถ้าสัญญาณ Input ที่ป้อนเข้ามาทั้งสองสัญญาณมีความถี่ที่แตกต่างกัน แต่ถ้า Input ที่ป้อนเข้ามามีความถี่เท่ากัน ก็จะให้แรงดัน Output DC ที่แสดงถึงความต่างเฟสของสัญญาณแทน ดังนั้น Loop จะถูก Lock Phase Error ที่เกิดขึ้น จะมีค่าอยู่ระหว่าง Input ทั้งสองซึ่งในที่นี้มีค่าคงที่ ดังนั้น Ferquency Error เท่ากับ 0 ในทางกลับกันระบบ Automatic Frequency Control (AFC) จะเกิด Frequency Error เสมอ

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 แสดง Block Diagram ของ PLL

โดยที่ $\theta o(s)$ คือ เฟสเอาท์พุทของระบบ (rad)
$\theta i(s)$ คือ เฟสอินพุทหรือเฟสอ้างอิงของระบบ (rad)
$\theta e(s)$ คือ เฟสเออเรอร์ของระบบ (rad)
PD คือ เฟสดีเทคเตอร์
VCO คือ วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน
F(s) คือ วงจรกรองความถี่ต่ำผ่าน

3. Transfer function ของ loop

โดยแท้จริงแล้ว PLL เป็นระบบไม่เชิงเส้นแต่สามารถจะจำลองระบบเพื่อให้ง่ายต่อการวิเคราะห์และกำหนดเงื่อนไขในการออกแบบให้เป็นระบบเชิงเส้นได้ โดยให้ความต่างเฟสระหว่างเฟสดีเทคเตอร์อินพุทและเฟสที่ป้อนกลับมีเฟสต่างกันไม่มาก และให้เฟสเอาท์พุทของเฟสดีเทคเตอร์เป็นแรงดัน (Va) โดยขึ้นอยู่กับความต่างเฟสของอินพุทและเฟสป้อนกลับหรือเขียนได้เป็น

$$Va = Kd(\theta i - \theta o) \qquad \text{-----(1)}$$

โดยที่ Kd เป็นค่าเฟสดีเทคเตอร์เกนมีขนาดเป็น V/rad และในกรณีที่ให้ระบบเป็นแบบเชิงเส้น เราจะได้ความถี่เอาท์พุทของวงจร VCO ที่เบี่ยงเบนออกจากความถี่ศูนย์กลางคือ

$$\Delta\omega = KoVc \qquad \text{-----(2)}$$

โดยที่ Vc เป็นแรงดันอินพุทของวงจร VCO , Ko เป็น VCO เกนมีขนาด rad/v
ดังนั้นเราสามารถเขียนความถี่ที่เอาท์พุทของ VCO คือ

$$\omega o = \omega c + \Delta\omega = \omega c + KoVc \qquad \text{-----(3)}$$

โดยที่ ωc เป็นความถี่อิสระ (free running) ของ VCO และจากความถี่เป็นการอนุพันธ์ของเฟสเทียบกับเวลาหรือเขียนได้เป็น

$$\Delta\omega = d\theta o/dt = KoVc \qquad \text{-----(4)}$$

หรือเขียนเฟสเอาท์พุทของลูปอยู่ในรูปของ

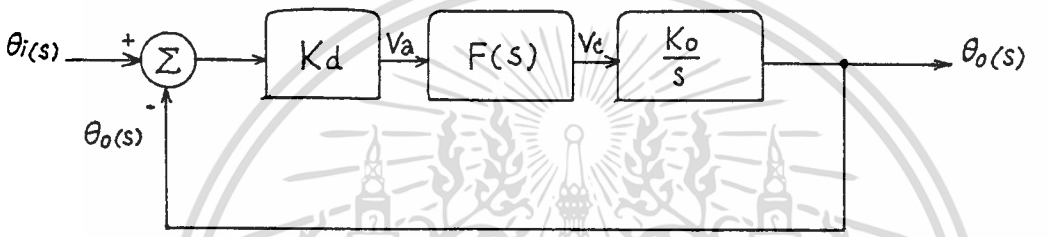
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\theta_o(t) = \int_o^t \Delta\omega \, dt \qquad \text{-----(5)}$$

กรณีในระบบของ PLL ถ้าทำการวิเคราะห์ด้วยลาปลาซทรานฟอร์ม (Laplace transform) เราเขียนเฟสเอาท์พุทได้เป็น

$$\theta_o(s) = [K_o V_c]/s \qquad \text{-----(6)}$$

ดังนั้นระบบ PLL สามารถแสดงแบบจำลองได้ดังรูปที่ 2.



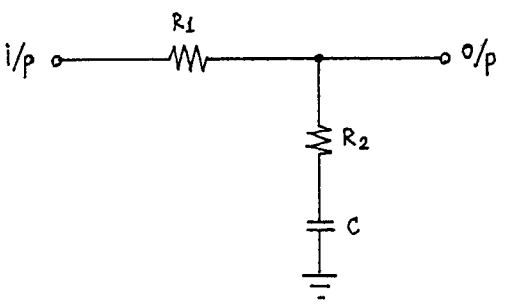
รูปที่ 2. แสดงแบบจำลองของ PLL

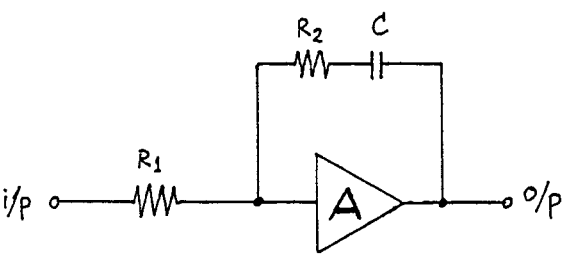
โดยจากรูปเราสามารถเขียนสมการของทรานเฟอร์ฟังก์ชั่นของระบบได้ดังนี้

$$\theta_o(s)/\theta_i(s) = [K_d K_o F(s)/s]/[1 + [K_d K_o F(s)/s]] \qquad \text{-----(7)}$$

วงจรกรองความถี่ใน Loop

สำหรับกรณีวงจรกรองความถี่ต่ำผ่าน F(s) ในลูปซึ่งเป็นตัวควบคุมคุณสมบัติทางไดนามิกของลูป ในที่นี้ขอกล่าวเพียง 2 ประเภทคือ วงจรกรองแบบพาสซีฟหรือวงจรกรองแบบลีด-แล็ก (lead-lag filter) และวงจรกรองความถี่แบบแอคตีฟ





รูปที่ 3.1 แสดงวงจรกรองแบบพาสซีฟ รูปที่ 3.2 แสดงวงจรกรองแบบแอคตีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองแบบพาสซีฟ หรือวงจรกรองแบบลีด-แล็ก (lead-lag filter) แสดงในรูปที่ 3.1 มีทรานเฟอร์ฟังก์ชั่นคือ

$$F(s) = \{ST_2 + 1\}/\{ST_1 + 1\} \qquad \text{-----(8)}$$

โดยที่ $T_1 = (R_1 + R_2)C$

$T_2 = R_2C$

ส่วนวงจรกรองความถี่แบบแอคตีฟ มีทรานเฟอร์ฟังก์ชั่นคือ

$$F(s) = \{ST_2 + 1\}/\{ST_1\} \qquad \text{-----(9)}$$

โดยที่ $T_1 = R_1C$

$T_2 = R_2C$

โดย A เป็นเกนของวงจรกรองความถี่กำหนดให้มีค่ามากๆ ถ้าแทนสมการ (8) ลงในสมการ (7) จะได้ทรานเฟอร์ฟังก์ชั่นของเฟสเอาท์พุทต่อเฟสอินพุทคือ

$$H1(s) = \frac{\theta o(s)}{\theta i(s)} = \frac{KoKd(ST_2 + 1)/T_1}{S^2 + S(1 + KoKdT_2)]/T_1 + KoKd/T_1} \qquad \text{-----(10)}$$

หรือถ้าวงจรกรองแบบแอคตีฟ แทนสมการ (9) ลงในสมการ (7) จะได้ทรานเฟอร์ฟังก์ชั่นของ PLL คือ

$$H2(s) = \frac{KoKd(ST_2 + 1)/T_1}{S^2 + S(KoKdT_2)/T_1 + KoKd/T_1} \qquad \text{-----(11)}$$

จากทรานเฟอร์ฟังก์ชั่น (10),(11) สามารถเขียนให้อยู่ในเทอมของ ระบบป้อนกลับแบบเซอร์โว (servo) ได้เป็น

$$H1(s) = \frac{S([2\zeta\omega n - \omega n^2]/KoKd) + \omega n^2}{S^2 + 2\zeta\omega nS + \omega n^2} \qquad \text{-----(12)}$$

โดยที่ $\omega n = \sqrt{KoKd/T_1}$

$\zeta = (1/2)\sqrt{(KoKd/T_1)*(T_2 + [1/KoKd])}$

ถ้าค่าของ KoKd >> ωn แล้วทรานเฟอร์ฟังก์ชั่น H1 จะประมาณได้ว่า

$$H1(s) = \frac{2\zeta\omega nS + \omega n^2}{S^2 + 2\zeta\omega nS + \omega n^2} \qquad \text{-----(13)}$$

สำหรับ PLL ที่ใช้วงจรกรองความถี่แบบแอคตีฟในลูป ทรานเฟอร์ฟังก์ชั่นคือ

$$H2(s) = \frac{2\zeta\omega nS + \omega n^2}{S^2 + 2\zeta\omega nS + \omega n^2} \qquad \text{-----(14)}$$

โดยที่ $\omega n = \sqrt{KoKd/T_1}$

$\zeta = (T_2/2)\sqrt{KoKd/T_1} = (T_2\omega n)/2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และถ้าค่าเฟสเออเรอร์เป็นความแตกต่างระหว่างเฟสอินพุทต่อเฟสที่ป้อนกลับแล้วจะได้

$$\theta e(s) = \theta i(s) - \theta o(s) \qquad \text{-----(15)}$$

ซึ่งทรานเฟอร์ฟังก์ชั่นของเฟสเออเรอร์ต่อเฟสอินพุทของ PLL แสดงได้คือ

$$\theta e(s)/\theta i(s) = 1 - \{ \theta o(s)/\theta i(s) \} \qquad \text{-----(16)}$$

หรือเขียนใหม่ได้เป็น

$$\theta e(s)/\theta i(s) = S/\{ S + KoKdF(s) \} \qquad \text{-----(17)}$$

ถ้า PLL ใช้วงจรกรองชนิดลีด-แล็กแบบพาสซีฟแล้ว ทรานเฟอร์ฟังก์ชั่นของเฟสเออเรอร์ต่อเฟสอินพุทสามารถเขียนใหม่ได้เป็น

$$H3(s) = \frac{\theta e(s)}{\theta i(s)} = \frac{S([S + \omega n^2]/KoKd)}{S^2 + 2\zeta\omega nS + \omega n^2} \qquad \text{-----(18)}$$

หรือ

$$H3(s) = \frac{S(S + \{1/T_1\})}{S^2 + 2\zeta\omega nS + \omega n^2} \qquad \text{-----(19)}$$

ถ้ากำหนดค่าของลูปเกนมีค่ามากกว่าค่าความถี่ธรรมชาติ ($KoKd >> \omega n$) แล้ว

$$H3(s) = \frac{S^2}{S^2 + 2\zeta\omega nS + \omega n^2} \qquad \text{-----(20)}$$

สำหรับทรานเฟอร์ฟังก์ชั่นของเฟสเออเรอร์ต่อเฟสอินพุทของPLLที่ใช้วงจรกรอง แบบ แอคตีฟ หาได้โดยแทนสมการที่ (9) ลงในสมการที่ (17) จะได้ทรานเฟอร์ฟังก์ชั่นดังนี้

$$H4(s) = \frac{\theta e(s)}{\theta i(s)} = \frac{S^2}{S^2 + 2\zeta\omega nS + \omega n^2} \qquad \text{-----(21)}$$

ซึ่งมีค่าเท่ากับสมการที่ (20)

4. Phase Detector

สำหรับเฟสดีเทคเตอร์ หรืออาจเรียกได้ว่าเฟสคอมพาเรเตอร์ (phase comparator) เป็นอุปกรณ์ที่เปรียบเทียบสัญญาณอ้างอิงหรือเฟสอินพุทกับเฟสเอาท์พุทที่ป้อนกลับจาก VCO และให้แรงดันเอาท์พุทเป็นแรงดันที่แปรตามค่าความต่างเฟส สำหรับเฟสดีเทคเตอร์สามารถแบ่งออกเป็น 2 ประเภทคือ อนาลอกเฟสดีเทคเตอร์และดิจิตอลเฟสดีเทคเตอร์ โดย PLL ที่ใช้อนาลอกเฟสดีเทคเตอร์หรืออาจเรียกได้ว่าอนาลอกเฟสล็อกลูป (analog phase locked loop : APLL) และใน PLL ที่ใช้ดิจิตอลเฟสดีเทคเตอร์ หรืออาจเรียกว่า ดิจิตอลเฟสล็อกลูป (digital phase locked loop : DPLL) โดยทั่วไปทั่วไปแล้วถ้ากล่าวถึง PLL นั่นหมายถึงอนาลอกเฟสล็อกลูป สำหรับเฟสดีเทค-เตอร์ที่ใช้ในอนาลอกเฟสล็อกลูปที่ใช้กันมากก็คือ วงจรคูณแบบกิลเบริด์ (Gilbert multiplier) และสำหรับ DPLL มักใช้เฟสดีเทคเตอร์ แบบเฟสฟรีเควนซีดีเทคเตอร์ (Phase frequency detector : PFD)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. การเข้าสู่สภาวะล็อกและการติดตามสัญญาณของ PLL

เนื่องจากการประยุกต์ใช้งานที่สำคัญอันหนึ่งในระบบโทรคมนาคม สำหรับ PLL ก็คือ การใช้สำหรับติดตามสัญญาณเพื่อจะทำการดีมอดดูเลทหรือทำการซิงโครไนซ์สัญญาณขึ้นมาใหม่จากสัญญาณอินพุทซึ่งเป็นคลื่นพาห์ ดังนั้นการวิเคราะห์ความสามารถติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุทและความสามารถสำหรับเริ่มต้นล็อกความถี่อินพุทจึงมีความสำคัญ โดยในที่นี้เป็นการวิเคราะห์สำหรับอนาลอกเฟสล็อกลูปเท่านั้น

5.1 พิสัยล็อก (Lock range)

เป็นพิสัยที่ความถี่ของ VCO ของลูปสามารถติดตามความถี่อินพุท (tracking) หลังจากลูปเริ่มต้นล็อกกับสัญญาณอินพุทแล้ว ดังนั้นอาจเรียกพิสัยแทรคกิ้ง (tracking range) หรือ "พิสัยโฮล" (hold in range) การหาพิสัยล็อกสูงสุดนั้น หาได้จากการสมมติว่าความถี่ที่ป้อนเข้าลูปเป็นความถี่สูงสุดของ PLL ทำการล็อกจากสมการ

$$\lim_{t\to\infty} \theta e(t) = \lim_{s\to 0} S\theta e(s) \qquad \text{-----(22)}$$

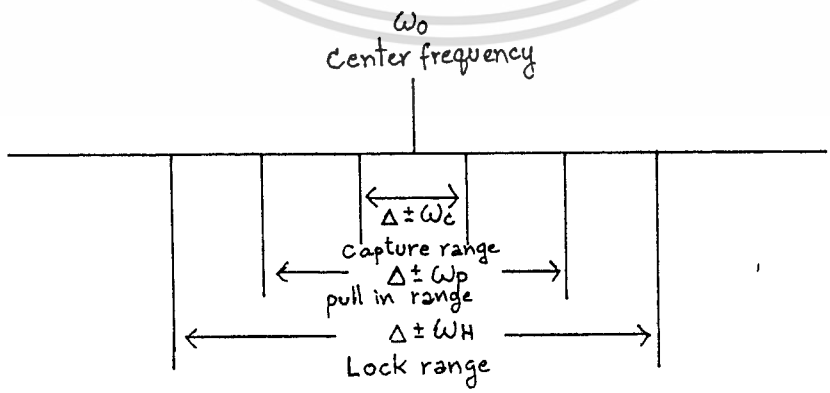
ซึ่งเฟสเออเรอร์ของ PLL ที่จำลองระบบในสภาวะที่ค่าของเฟสเออเรอร์มีค่าน้อยๆ สำหรับเฟสเออเรอร์ที่มีค่ามากๆ เขียนได้

$$\lim_{t\to 0} \sin\theta e(t) = \frac{\Delta\omega_H}{KoKdF(o)} \qquad \text{-----(23)}$$

ค่า $\Delta\omega_H$ เป็นค่าพิสัยล็อกซึ่งจะเกิดขึ้นสูงสุดเมื่อมุมของ θe เท่ากับ $\pm \pi/2$ หรือฟังก์ชั่น $\sin \theta e(t)$ มีค่าสูงสุดคือ ± 1 ดังนั้น

$$\Delta\omega_H = KoKdF(o) \qquad \text{-----(24)}$$

หรือจะเท่ากับลูปเกนในกรณีของ PLL ที่ใช้วงจรกรองแบบพาสซีฟ และ $\Delta\omega_H$ มีค่าเท่ากับ ∞ กรณี PLL ในวงจรกรองแบบแอคตีฟ



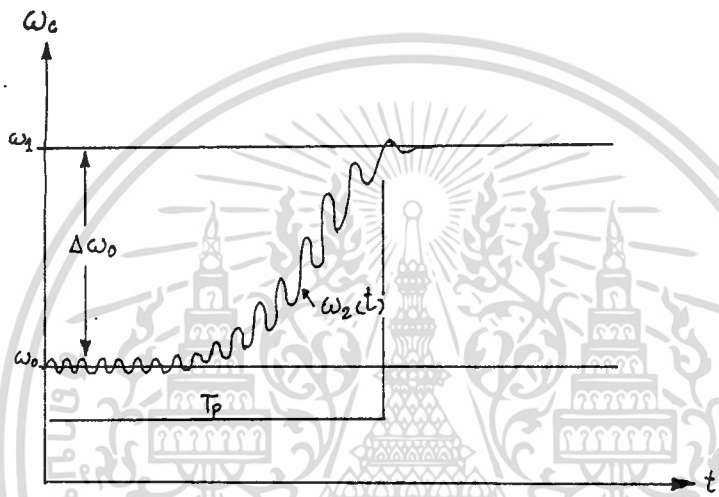
รูปที่ 4. แสดงพิสัยล็อก,พิสัยพูลอิน,พิสัยแคปเจอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 พิสัยพูลอิน (Pull In range)

เป็นพิสัยที่ PLL สามารถจะล็อกกับสัญญาณอินพุทได้โดยลูปอยู่ในสภาวะเริ่มต้นไม่ได้ล็อกกับความถี่อินพุท ปรากฏการเริ่มต้นล็อกสามารถอธิบายได้โดยสมมติให้ลูปเปิดออกระหว่างวงจรกรองความถี่ในลูป (loop filter) และ VCO ถ้าที่อินพุทมีความถี่เข้ามา ($\omega 1$) ใกล้ความถี่ VCO ($\omega 2$) เฟสดีเทคเตอร์ซึ่งเป็นอนาลอกมัลติพลายเออร์จะให้ผลรวมและผลต่างของความถี่ระหว่างความถี่อินพุทและความถี่เอาท์พุท VCO โดยที่เอาท์พุทของวงจรกรองจะมีเพียงผลต่างของความถี่ซึ่งกำหนดให้เท่ากับ $\Delta\omega_o$ หรือเขียนได้

$$\Delta\omega_o = d\theta e(t)/dt \qquad \text{-----(25)}$$



รูปที่ 5. แสดงการเกิดสัญญาณบีทโน๊ต

ความถี่ $\Delta\omega_o$ จะเป็นสัญญาณอินพุทของ VCO ซึ่งจะมอดดูเลทแบบ FM หรือสัญญาณเอาท์พุทเป็นสัญญาณไซน์โดยขนาดของความถี่เปลี่ยนแปลงตามเวลา ถ้าระหว่างขบวนการมอดดูเลท ค่าความถี่ของ VCO เคลื่อนเข้าใกล้ความถี่อินพุทดังนั้นค่า $\Delta\omega_o$ จะลดลง ค่า $d\theta e(t)/dt$ ก็จะลดตามลงมาเช่นกัน ทำให้ผลการเปลี่ยนแปลงแรงดันของเฟสดีเทคเตอร์ทางด้านเอาท์พุท จะช้าลงเมื่อเทียบกับเวลา แต่ถ้าระหว่างขบวนการมอดดูเลท ค่าความถี่ของ VCO เคลื่อนจากความถี่อินพุทจะทำให้ค่า $\Delta\omega_o$ เพิ่มมากขึ้น ค่า $d\theta e(t)/dt$ เพิ่มขึ้นแรงดันเอาท์พุทของเฟสดีเทคเตอร์เปลี่ยนแปลงอย่างรวดเร็วเมื่อเทียบกับเวลาแสดงการเกิดสัญญาณบีทโน๊ตในรูปที่ 5.

ภายใต้เงื่อนไขดังกล่าวแสดงถึงสัญญาณเฟสดีเทคเตอร์เอาท์พุท ได้ดังรูปสัญญาณบีทโน๊ตที่เป็นลักษณะไม่สมมาตรจะให้ค่าแรงดันดีซีเฉลี่ย ที่ทำให้ความถี่ของ VCO เคลื่อนที่เข้าไปสู่ความถี่อินพุทจนกระทั่งเท่ากันหรือเกิดการล็อกช่วงเวลาที่ PLL ใช้สำหรับการล็อกนี้เรียกว่า "เวลาพูลอิน" (pull in time) โดยถ้า $\Delta\omega_o$ มากกว่าค่าของลูปเกนมากๆแล้ว ($\Delta\omega_o >> K_oK_d$) ค่าเวลาพูลอินจะประมาณได้คือ

$$T_P = [\Delta\omega_o]^2/2\zeta[\omega_n^3] \qquad \text{-----(26)}$$

ซึ่งค่า $\Delta\omega_o$ ที่เป็นความแตกต่างระหว่างความถี่อินพุทและความถี่อิสระของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 พิสัยแคปเจอร์ (Capture range)

เป็นพิสัยที่ PLL สามารถจะล็อกกับความถี่อินพุท โดยสภาพของลูปไม่ได้เริ่มต้นล็อกเช่นเดียวกับพิสัยพูลอิน แต่พิสัยแคปเจอร์นี้ช่วงความถี่จะแคบกว่า โดยผลต่างความถี่อินพุทเข้ามากับความถี่ของ VCO ไม่ทำให้เกิดสัญญาณลักษณะบีทโน๊ตที่เอาท์พุทของเฟสดีเทคเตอร์ หรือกล่าวได้ว่าผลต่างของความถี่สูงสุดของ VCO เอาท์พุทได้จากการมอดดูเลท โดยแรงดันที่ผ่านลูปฟิลเตอร์นี้ได้คือ

$$|\Delta\omega c| = KoKdF|j\Delta\omega| \qquad \text{-----(27)}$$

โดย $|F(j\Delta\omega)|$ เป็นอัตราการลดทอนของวงจรกรองความถี่ต่อความถี่ที่แตกต่างกันระหว่างความถี่อินพุทและความถี่ของ VCO (ที่เป็นความถี่อิสระ) สำหรับวงจรกรองความถี่แบบพาสซีฟขนาดของแมกนีจูดทรานเฟอร์ฟังก์ชั่นแสดงได้คือ

$$F(j\omega) = \sqrt{\frac{1 + (\omega T_2)}{1 + (\omega T_1)}} \qquad \text{-----(28)}$$

หรือประมาณได้ว่า

$$F(j\omega) = T_2/T_1 \qquad \text{-----(29)}$$

ดังนั้น

$$\Delta\omega c = [KoKdT_2]/T_1 \qquad \text{-----(30)}$$

หรือ

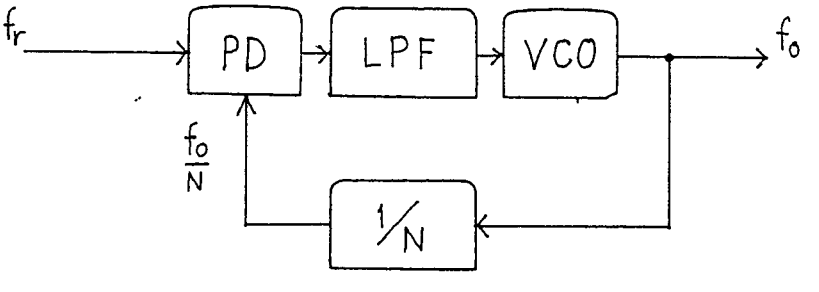
$$\Delta\omega c = 2\zeta\omega n \qquad \text{-----(31)}$$

6. การสังเคราะห์ความถี่ด้วย PLL

การสังเคราะห์ความถี่ด้วย PLL เป็นการสร้างความถี่ขึ้นใหม่ ด้วยสัญญาณความถี่อ้างอิงที่มาตราฐานโดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงได้ดังรูปที่ 6.

จากรูปส่วนที่เพิ่มเข้าไปจากโครงสร้างของ PLL ที่ได้กล่าวมาแล้วก็คือวงจรหาร N (1/N) โดยถ้า fr เป็นความถี่อ้างอิงที่มีความถี่ที่คงที่แล้ว ความถี่เอาท์พุทของ VCO จะเท่ากับขนาดของความถี่อ้างอิง (frequency reference : fr) คูณกับจำนวนหาร N หรือเขียนได้

$$fo = fr * N \qquad \text{-----(32)}$$



รูปที่ 6. แสดงโครงสร้าง PLL สำหรับการสังเคราะห์ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือกล่าวได้ว่าความถี่เอาท์พุท(fo) จะเป็นจำนวนเท่าของความถี่อ้างอิงที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์(PD) หารด้วยจำนวน N ให้เท่ากับความถี่อ้างอิง สำหรับทรานเฟอร์ฟังก์ชั่นของ PLL ที่มีวงจรหาร N ในส่วนป้อนกลับเขียนทรานเฟอร์ฟังก์ชั่นได้คือ

$$\frac{\theta o(s)}{\theta r(s)} = \frac{[KoKdF(s)]/S}{1 + [KoKdF(s)]/[NS]} \qquad \text{-----(33)}$$

สำหรับทรานเฟอร์ฟังก์ชั่นของลูปใดๆ เขียนได้

$$\frac{\theta o(s)}{\theta r(s)} = \frac{G(s)}{1 + G(s)H(s)} \qquad \text{-----(34)}$$

โดย

G(s) = Forward Gain

H(s) = Feedback Gain

G(s)H(s) = Open loop Gain

จาก (33) เราได้ Forward Gain คือ

$$G(s) = [KoKdF(s)]/S \qquad \text{-----(35)}$$

และ Open loop Gain คือ

$$G(s)H(s) = [KoKdF(s)]/[NS] \qquad \text{-----(36)}$$

สำหรับในการสังเคราะห์ความถี่วงจรกรองความถี่ต่ำ (LPF) ในลูปจะเลือกใช้วงจรกรองแบบแอคตีฟ เนื่องจากดึงกระแสอินพุทน้อย ทำให้ค่าความผิดพลาดในสภาวะสงบของเฟสดีเทค-เตอร์เอาท์พุทมีค่าน้อย จากวงจรกรองในลูปในรูปที่ 3.2 ซึ่งมีทรานเฟอร์ฟังก์ชั่นแสดงในสมการที่(9) เรานำมาแทนลงในสมการ (33) จะได้

$$\frac{\theta o(s)}{\theta r(s)} = \frac{KoKd(ST_2 + 1)/T_1}{S^2 + [S(KoKdT_2)/NT_1] + KoKd/NT_1} \qquad \text{-----(37)}$$

จะได้ความถี่ธรรมชาติของลูป และ ค่าแดมปิ้งแฟคเตอร์คือ

$$\omega n = (KoKd/NT_1)^{1/2}$$

$$\zeta = (T_2/2)\omega n \qquad \text{-----(38)}$$

ค่าความถี่ธรรมชาติ, ค่าแดมปิ้งแฟคเตอร์ของลูปจะเป็นพารามิเตอร์ที่เราสามารถกำหนดได้ โดยการกำหนดค่าพารามิเตอร์ดังกล่าว เราจะกำหนดโดยพิจารณาจากความต้องการต่อการตอบสนองของลูปในสภาวะทรานเซี้ยน ความสามารถมอดดูเลทความถี่ที่ต้องการในกรณีที่ลูป ถูกมอดดูเลทด้วยสัญญาณเบสแบนด์ และความเสถียรภาพของลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การทำวงจร เข้ารหัส (Video Scrambling)

จากบทที่ผ่านๆ มา เราจะกล่าวถึงเนื้อหาส่วนที่เป็นพื้นฐานของการ Scrambling เพื่อให้สามารถเข้าใจการทำงานได้ง่ายขึ้น ในบทนี้เราจะกล่าวถึงตัวชิ้นงานในแง่ของส่วนประกอบและการทำงานในแต่ละส่วน

ในส่วนของชิ้นงานนี้จะประกอบไปด้วยส่วนที่สำคัญ 2 ส่วนคือ

1. ส่วน Scrambling
2. ส่วน Descrambling

ซึ่งทั้งสองส่วนนี้จะเป็นแบบ Sinewave คือ Sinewave Scrambling และ Sinewave Descrambling โดยส่วนของ Sinewave Scrambling จะประกอบไปด้วย

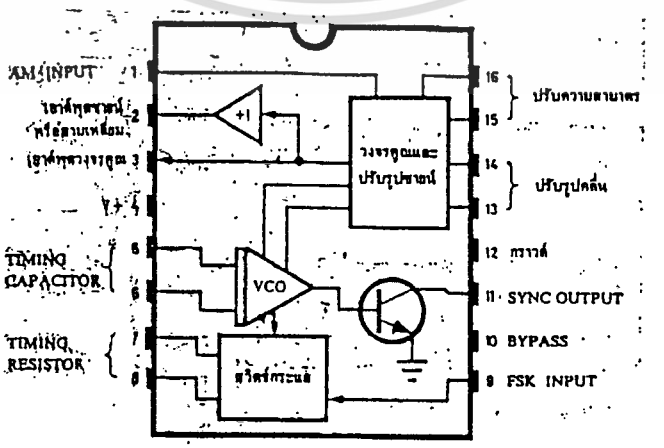
1. วงจรกำเนิดสัญญาณ Sinewave ที่ความถี่ 94 kHz
2. วงจร Add หรือ Modulate สัญญาณ Sinewave เข้ากับสัญญาณ Video ให้เป็น Composite Video Signal

1. วงจรกำเนิดสัญญาณ Sinewave

วงจรกำเนิดสัญญาณ Sinewave ทำหน้าที่กำเนิดสัญญาณ Sinewave ที่ความถี่ 94 kHz เพื่อนำไป Add หรือ Modulate เข้ากับสัญญาณ Composite Video Signal โดยวงจรกำเนิดสัญญาณ Sinewave นี้จะใช้ IC เบอร์ XR-2206 ซึ่งเป็น IC สำเร็จรูปในการกำเนิดสัญญาณ Sinewave มีโครงสร้างภายในตัว IC ดังรูปที่ 1. และสามารถปรับแต่ง Sinewave ตามความต้องการได้โดยการกำหนดพารามิเตอร์ต่างๆ ดังนี้

ตัวต้านทานปรับค่าได้ VR-3 ต่อระหว่างขา 13 กับ 14 จะใช้ปรับแต่งรูปคลื่นของสัญญาณ Sinewave ให้มีความเพี้ยนน้อยที่สุด

ตัวต้านทานปรับค่าได้ VR-4 ต่อระหว่างขา 15 กับ 16 ใช้ปรับความสมมาตรทางด้านบวกและด้านลบของรูปคลื่น Sinewave

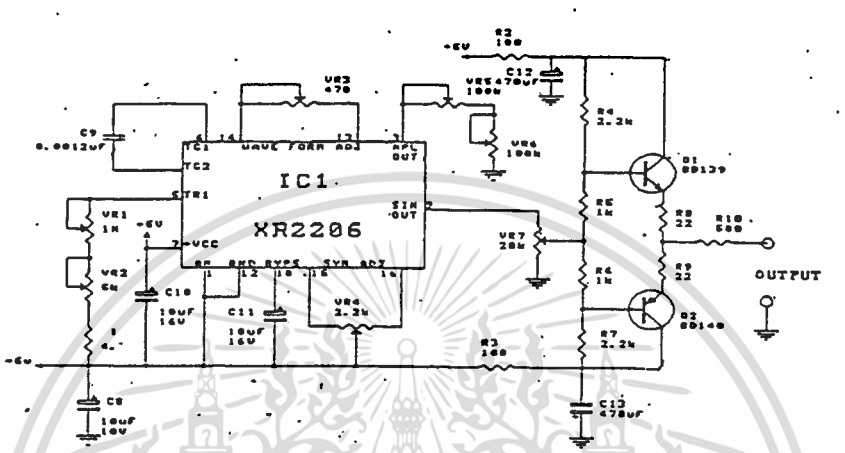


รูปที่ 1. แสดงโครงสร้างภายในของ IC เบอร์ XR-2206

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวเก็บประจุที่ต่ออยู่ระหว่างขา 5 กับ 6 และตัวต้านทานที่ขา 7 (R1,VR1 และ VR2) ใช้กำหนดค่าของความถี่ที่ต้องการ โดยหาได้จากสมการ F = 1/RC

ตัวต้านทานปรับค่าได้ (VR5 และ VR6) ต่อระหว่างขา 3 กับ กราวด์ และแรงดันที่ขา 1 ใช้กำหนดความแรงของสัญญาณ Sinewave



รูปที่ 2. แสดงวงจรกำเนิดสัญญาณ Sinewave

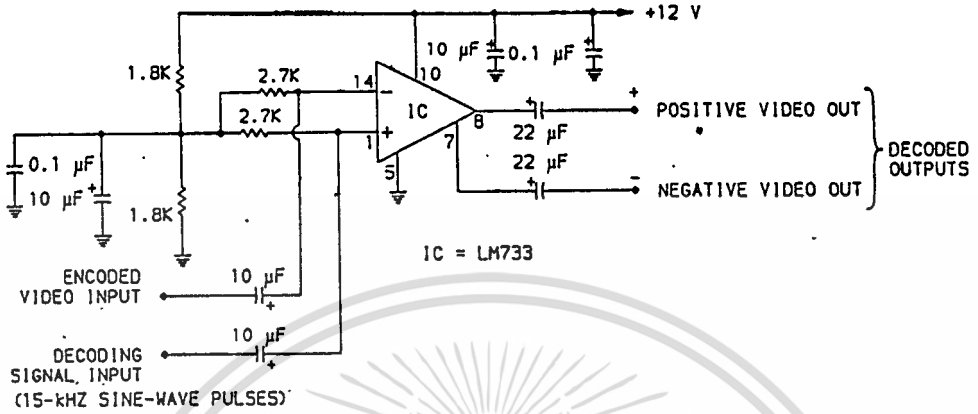
จากรูปที่ 2. เมื่อเรากำหนดค่าพารามิเตอร์ต่างๆ ของ IC XR-2206 จะได้สัญญาณ Sinewave ที่ต้องการที่ขา 2 ผ่าน VR7 เพื่อปรับระดับของแรงดันแล้วป้อนให้กับส่วน output ซึ่งในส่วนของ output จะประกอบไปด้วยทรานซิสเตอร์ 2 ตัว (Q1 BC139 และ BC140) ต่อเป็นวงจร Completementary โดย Q1 จะทำงานเมื่ออินพุทเป็นบวก และ Q2 จะทำงานเมื่ออินพุทเป็นลบ และเพื่อป้องกันมิให้เกิดความเพี้ยนของสัญญาณทาง output หรือที่เรียกกันว่า Cross over distortion จึงกำหนดไบอัสให้กับทรานซิสเตอร์ทั้งสองด้วยค่า R9-R12 ซึ่งจะจำกัดกระแสไบอัสที่ค่าประมาณ 40 mA.

นอกจากนี้ที่แหล่งจ่ายไฟของทรานซิสเตอร์ทั้งสองจะใส่ R6 กับ C14 ซึ่งจะทำหน้าที่เป็น Decoupling เพื่อปรับแรงดันไฟตรงให้เรียบ โดยมี ripple น้อยที่สุดทำให้ปราศจากสัญญาณรบกวน แม้จะมีขนาดต่ำ

2. วงจร Add หรือ Modulate

ทำหน้าที่ Add หรือ Modulate สัญญาณ Sinewave เข้ากับ Composite video signal หรือกล่าวได้ว่าเป็น " การเข้ารหัส (Scrambling) " ดังแสดงในรูปที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

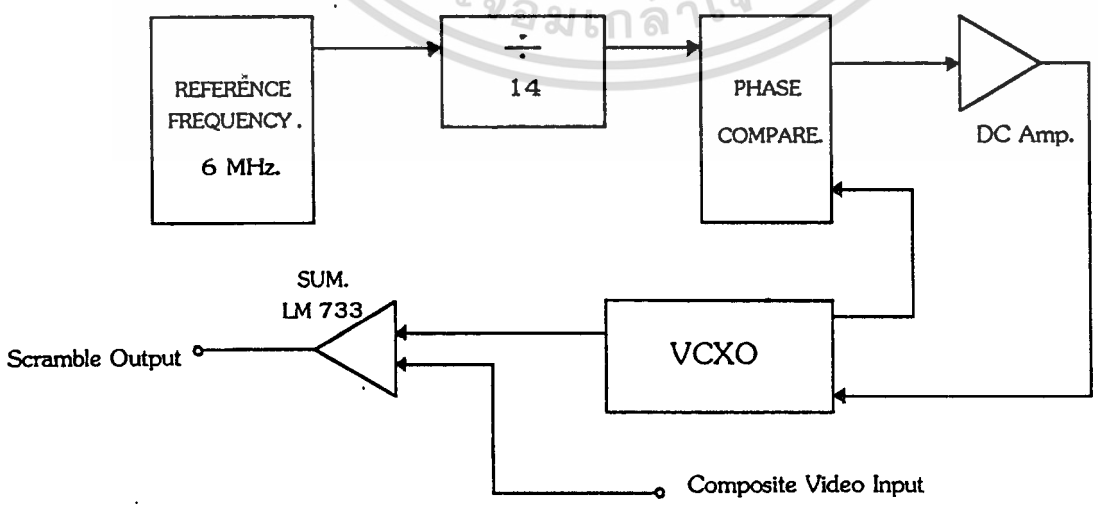


รูปที่ 3. แสดงวงจร Add หรือ Modulate

จากที่กล่าวมาจะพบว่าในส่วนของการ Scrambling นี้จะไม่ยุ่งยากซับซ้อนเท่าใดนัก เพราะเป็นเพียงการนำเอาสัญญาณ Sinewave มาผสมกับสัญญาณ Video เท่านั้น แต่ในส่วนของการ Descrambling นั้นจะต้องมีการดึงเอาสัญญาณ Sinewave ออกมา แล้วทำการกลับเฟส และต้องปรับขนาดของสัญญาณ Sinewave เพื่อให้มีค่าเท่ากับส่วนที่ผสมมากับ Video ดังนั้นวงจรจึงมีความซับซ้อนมากกว่า ดังจะได้กล่าวต่อไป.

Concept ของการปรับปรุงวงจร Scramble

พิจารณาจาก Block Diagram ต่อไปนี้.

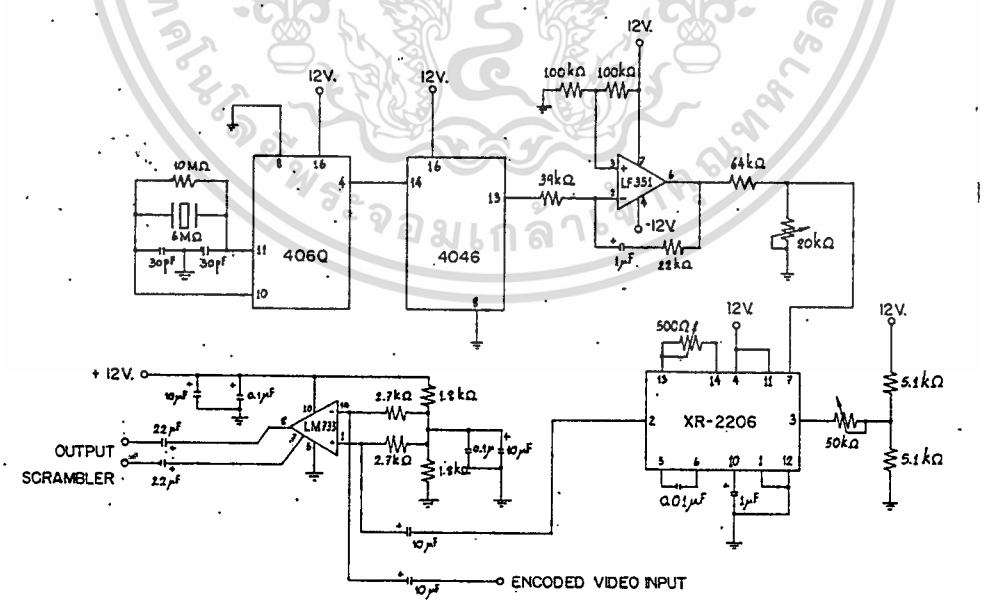


รูปที่ 4. แสดง Scramble Block Diagram ที่ปรับปรุงขึ้นใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรที่กล่าวมาแล้วข้างต้น ได้มีการเปลี่ยนแปลงวงจรของ Scramble และ Descramble บางส่วนเพื่อให้ประสิทธิภาพของวงจรดีขึ้น

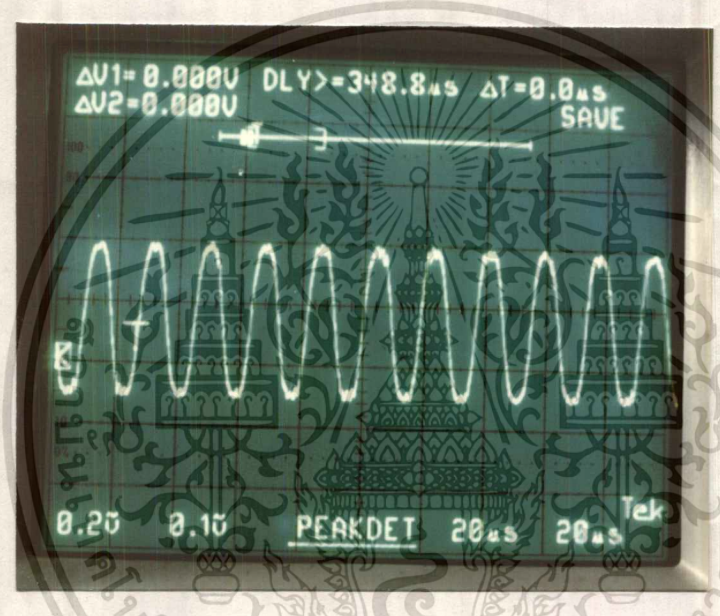
ทางด้าน Scramble จากวงจรเดิมเปลี่ยนมาใช้ IC เบอร์ 4060 เพื่อเป็นวงจรสร้างความถี่อ้างอิงของลูป ซึ่งเป็นวงจรรวมนับไบนารี 14 หลัก พร้อมด้วยวงจรออสซิเลเตอร์ในตัว สำหรับออสซิเลเตอร์จะใช้คริสตอลขนาด 6 MHz สำหรับควบคุมความถี่โดยที่เอาท์พุทที่ขา 4 ซึ่งมีความถี่เท่ากับ 94 kHz เพื่อนำมาทำความถี่อ้างอิงของลูป หลังจากนั้นจะนำสัญญาณ 94 kHz เข้ามาเปรียบเทียบเฟสด้วย IC เบอร์ 4046 เพื่อทำการเปรียบเทียบเฟสกับสัญญาณที่ได้มาจากขา 11 ของ IC XR-2206 ซึ่งมีความถี่เท่ากับ 94 kHz เช่นเดียวกัน ส่วน IC Op-amp เบอร์ LF 351 ทำหน้าที่ควบคุมแรงดันไฟ DC เพื่อไปจ่ายไฟให้กับ IC เบอร์ XR-2206 ซึ่งทำหน้าที่เป็นวงจร ออสซิเลเตอร์แบบ VCO (Voltage Control Oscillator) เมื่อได้สัญญาณ 94 kHz นี้แล้ว นำไปป้อนให้กับ IC เบอร์ LM 733 ซึ่งทำหน้าที่เป็นตัวเข้ารหัส (Scramble) โดยจะนำสัญญาณวีดีโอเข้ามา รวมกับสัญญาณรูปไซน์(Sinewave) ความถี่ 94 kHz ซึ่งจะได้สัญญาณวีดีโอที่เข้ารหัสแล้วตามต้องการ



VIDEO SCRAMBLING CIRCUIT

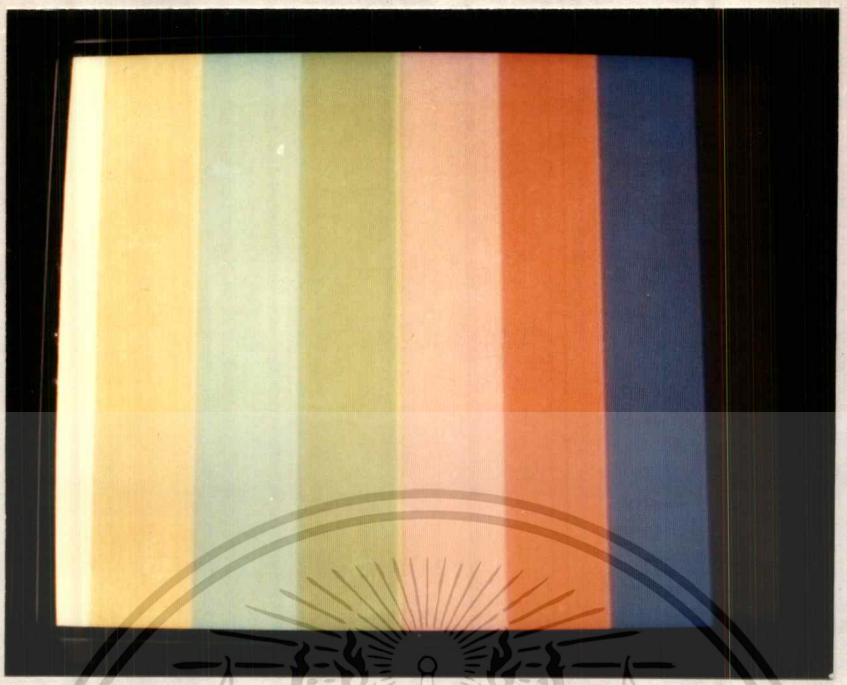
รูปที่ 5. แสดง วงจรเข้ารหัสที่ปรับปรุงใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

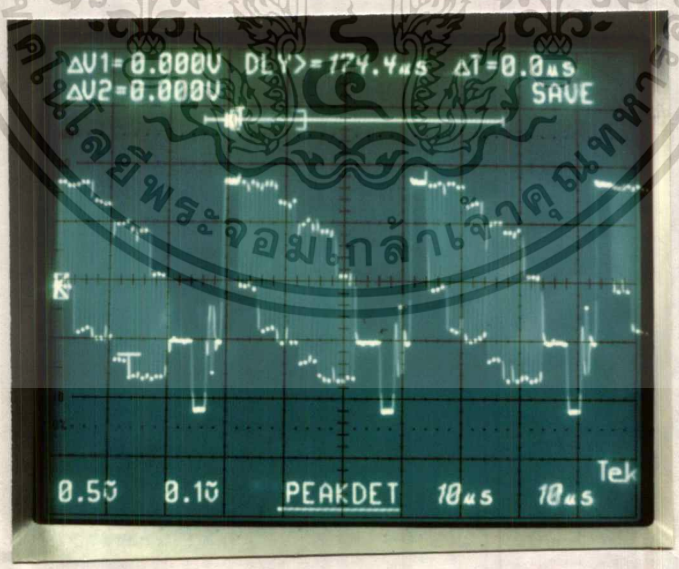


รูปที่ 6. แสดง Reference Signal (Sinewave 94 kHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



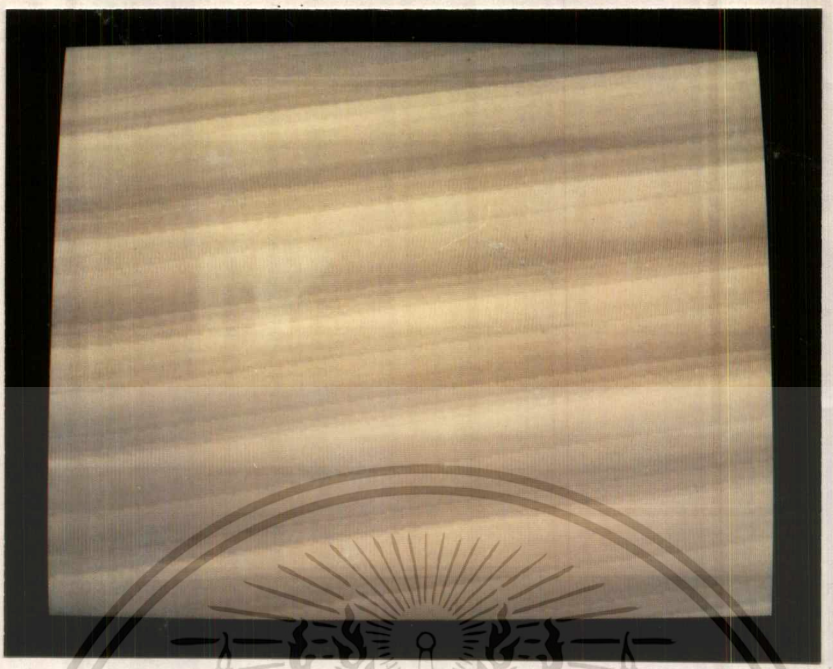
(a.)



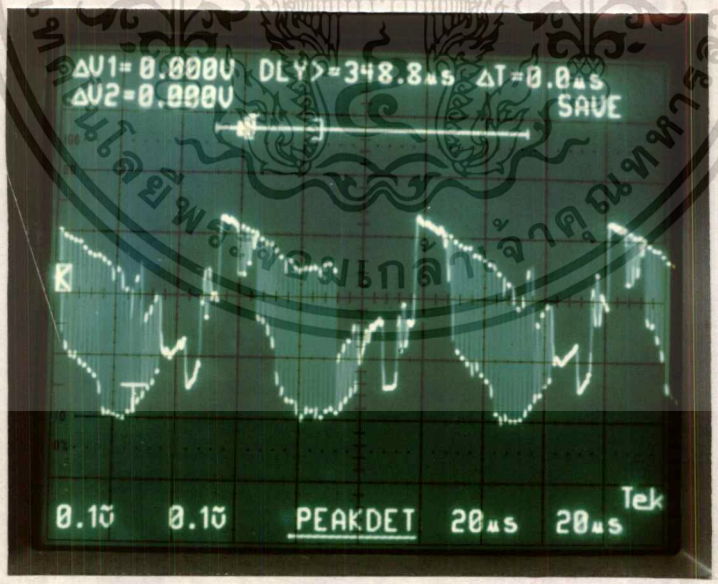
(b.)

รูปที่ 7. แสดง Composite Video Input (a.)Color Bar และ (b.)Oscilloscope Monitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



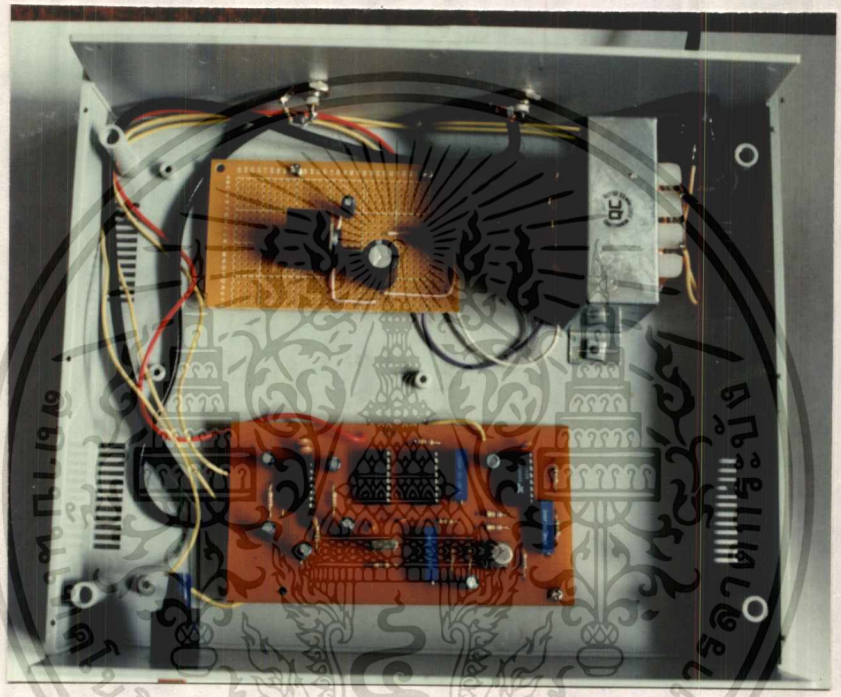
(a.)



(b.)

รูปที่ 8. แสดง Video Scramble Output (a.)TV Monitor (b.)Oscilloscope Monitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 9. แสดง ตัวชิ้นงานของวงจรเข้ารหัส (Video Scramble)

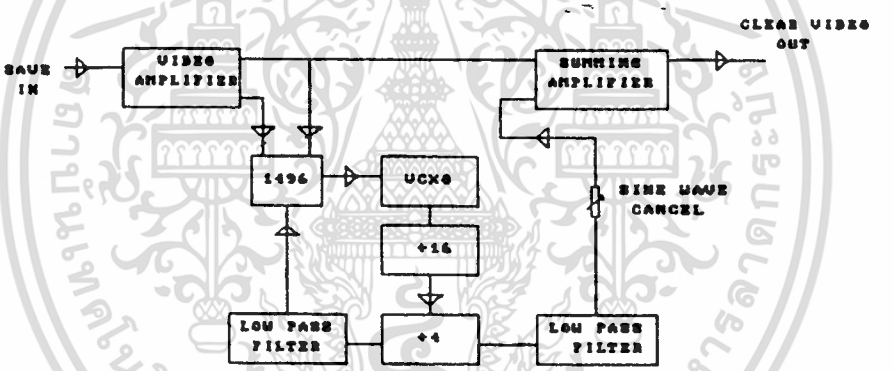
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

การทำวงจร ถอดรหัส (Safe Descrambling)

การทำงานของวงจร SAFE Descrambling เมื่อดูจาก Block diagram ดังรูปที่ 1. แล้วจะเห็นว่ามีส่วนประกอบสำคัญดังนี้

1. ภาควงจร Video Amplifier
2. ภาควงจร Voltage Control Oscillator (VCO)
3. ภาควงจร หารความถี่
4. ภาควงจร Phase Shift
5. ภาควงจร Phase Detector
6. ภาควงจร Low-pass Filter

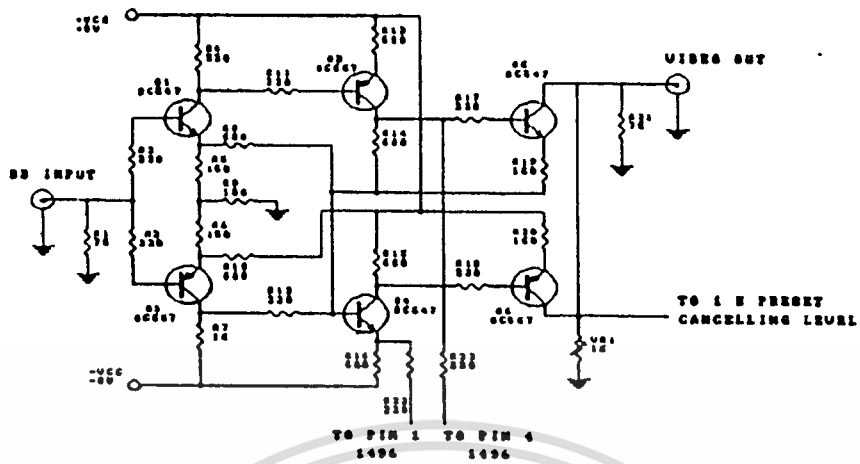


รูปที่ 1. แสดง Block diagram ของ SAFE Descrambling

1. ภาควงจร Video Amplifier

ภาควงจร Video Amplifier เป็นวงจรขยาย Class B โดยใช้ทรานซิสเตอร์เบอร์ BC547 และเบอร์ BC557 อย่างละ 2 ตัว (Q1-Q4) ประกอบกันเป็นวงจร Complementary ซึ่งจะเป็นสัญญาณส่วนหนึ่งส่งไปภาค Phase Detector เพื่อทำการเช็ค Phase กับสัญญาณจาก Oscillator และสัญญาณอีกส่วนหนึ่งจะส่งไปยัง Summing Amplifier โดยภาคนี้จะทำการหักล้างสัญญาณ Sinewave ที่ผสมอยู่กับสัญญาณ Video ด้วย Sinewave ความถี่ 94 kHz ที่ส่งมาจากภาค Filter โดยปรับระดับของสัญญาณ Sinewave ได้โดยปรับที่ VR Preset 1 kHz โดยวงจรส่วนนี้แสดงดังรูปที่ 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

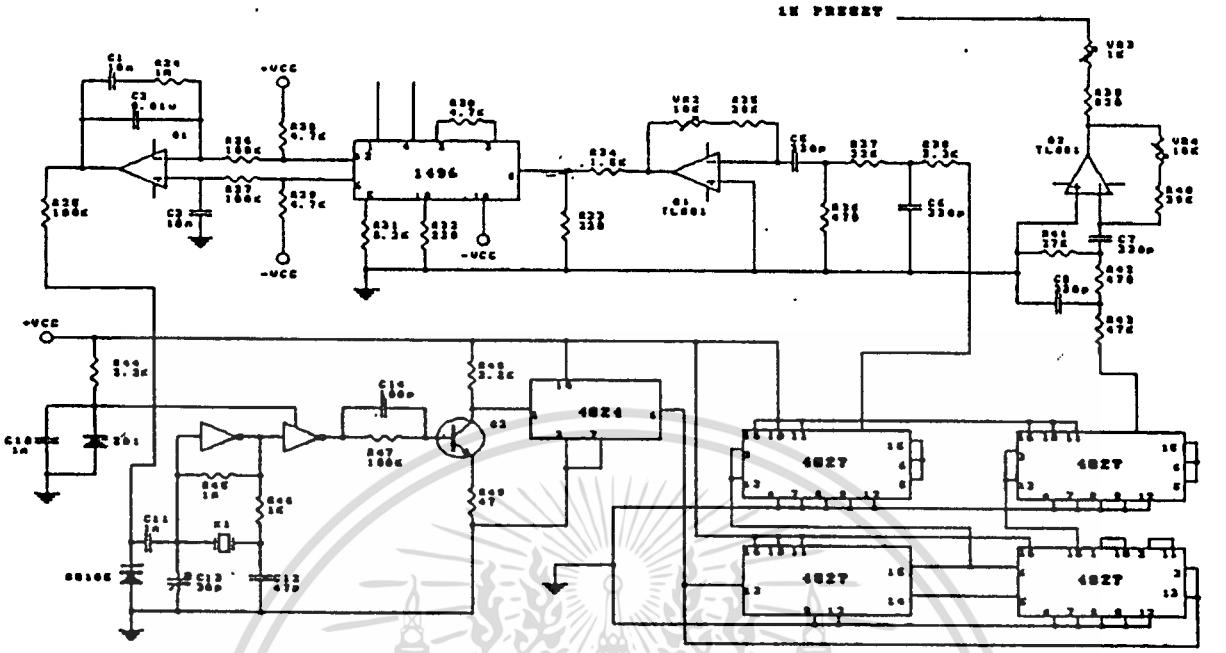


รูปที่ 2. แสดงวงจร Video และ Summing Amplifier

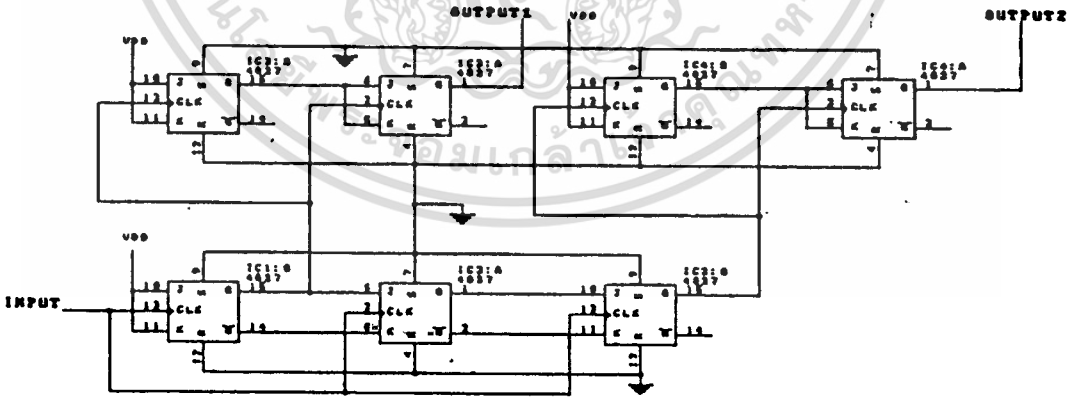
2. ภาควงจร Phase locked loop

เป็นการรวมเอาภาควงจร Phase Detector, วงจรหารความถี่, วงจร Low-pass Filter และส่วนของ Voltage Control Oscillator (VCO) เข้าไว้ด้วยกัน โดยการให้กำเนิดสัญญาณ Sinewave ที่ความถี่ 6 MHz และส่งผ่านแก่วงจรหารความถี่โดยใช้ IC เบอร์ 4024 ซึ่งถูกต่อเป็นวงจรหาร 16 สัญญาณที่ปรากฏทาง output ขา 6 จะเป็นสัญญาณ Squarewave ความถี่ประมาณ 376 kHz และส่งผ่านให้กับวงจรหาร 4 ซึ่งใช้ IC เบอร์ 4027 ซึ่งมีโครงสร้างภายในเป็น JK FlipFlop 4 ตัว และอีกส่วนหนึ่งจะถูกเลื่อนเฟส 360 องศา โดยการนำ JK FlipFlop มาประกอบเป็นวงจร Shift registor 2 ครั้ง และนำไปผ่านวงจรหาร 4 ซึ่งเอาท์พุทส่วนแรกและส่วนที่สองมี Phase ต่างกัน 90 องศา แต่มีความถี่ 94 kHz เท่ากัน สัญญาณความถี่ 94 kHz ทั้งสองจะถูกส่งไปยังวงจร Elliptical Filter ที่ใช้ IC เบอร์ TL-081 ทำหน้าที่เปลี่ยนสัญญาณ Squarewave ให้เป็นสัญญาณ Sinewave ซึ่งเป็นสัญญาณ Sinewave ที่มี Phase ต่างกันอยู่ 90 องศาอยู่เช่นเดิม สัญญาณ Sinewave ส่วนแรกจะถูกส่งไปยังภาค Phase Detector (IC เบอร์ 1496) ซึ่งจะทำการเปรียบเทียบเฟสกับสัญญาณส่วนที่มาจากภาค Video Amplifier ถ้าสัญญาณมีเฟสตรงกันสัญญาณทางด้านเอาท์พุทที่ขา 12 และ 6 จะมีขนาดเท่ากัน แล้วส่งผ่านไปที่วงจร Low-pass Filter ซึ่งจะแปลงสัญญาณเป็นแรงดันไฟตรงส่งไปควบคุม Oscillator เพื่อกำเนิดสัญญาณที่มีเฟสตรงกัน ซึ่งถ้ามีเฟสตรงกันแล้วก็จะไม่มีแรงดันไฟส่งไป ส่วนสัญญาณ Sinewave อีกส่วนหนึ่งจะส่งให้แก่ภาค Summing Amplifier เพื่อทำการหักล้างกับสัญญาณ Sinewave ที่ถูก Add มากับสัญญาณ Video ด้วยภาค Scrambling สำหรับวงจร PLL จะแสดงดังรูปที่ 3. และวงจรหารความถี่ด้วย 4 จะแสดงดังรูปที่ 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3. แสดงรายละเอียดวงจร PLL ของภาค Descrambling



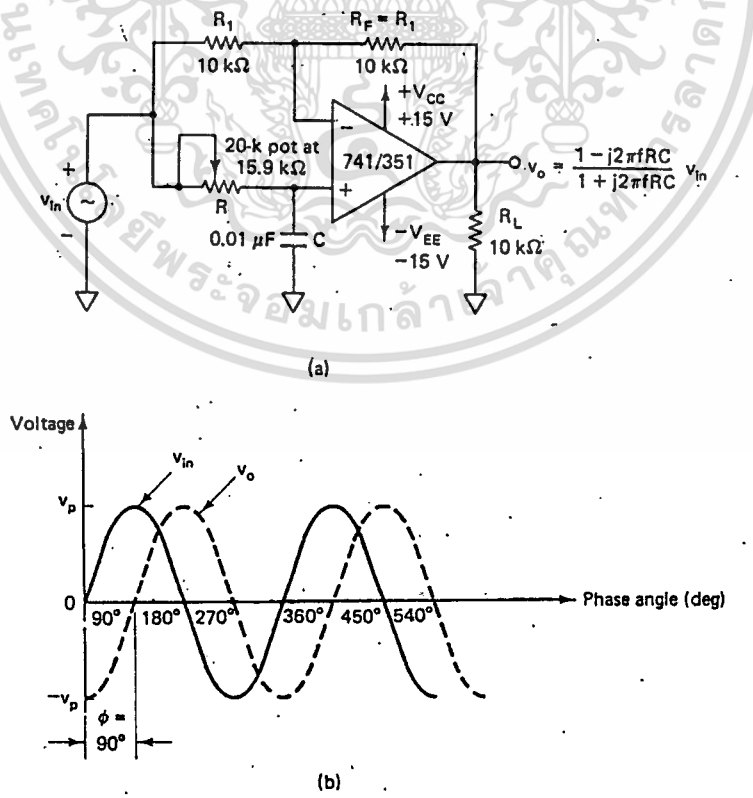
รูปที่ 4. แสดงรายละเอียดของวงจรหาร 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางด้าน วงจร Descramble ได้ทำการเปลี่ยนแปลงวงจรบางส่วนเช่ยเดียวกับวงจรทางด้านของ Scramble โดยมี

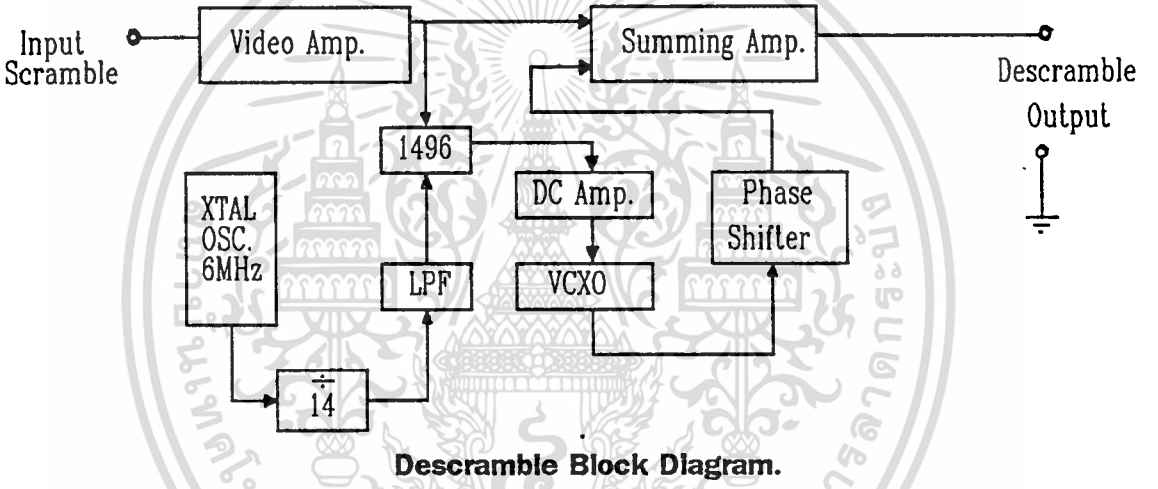
3. ภาควงจร Video Amplifier ที่แก้ไขขึ้นใหม่

ภาควงจร Video Amplifier เป็นวงจรขยาย Class B โดยใช้ทรานซิสเตอร์เบอร์ BC 547 และเบอร์ BC 557 อย่างละ 2 ตัว ประกอบกันเป็นวงจร Complementary ซึ่งทำหน้าที่เป็นวงจร Phase detector กับสัญญาณจาก Oscillator โดยถูกส่งไปยังภาค Phase detector (IC เบอร์ 1496) หลังจากนั้นสัญญาณที่เอาท์พุทขา 12 และขา 6 ของ IC เบอร์ 1496 จะถูกป้อนให้กับวงจร Low-pass filter เพื่อเป็น อินพุท Voltage ให้กับ IC XR-2206 เพื่อกำเนิดความถี่ Sinewave ที่ 94 kHz ส่วนวงจรสร้างความถี่อ้างอิงจะใช้คริสตอลออสซิเลเตอร์ กับ IC เบอร์ 4060 เพื่อหารความถี่จาก 6 MHz ให้เหลือ 94 kHz ซึ่งสัญญาณจาก IC เบอร์ 4060 นี้จะเป็นสัญญาณ Squarewave ดังนั้นจึงนำสัญญาณนี้ป้อนให้กับ IC เบอร์ LF 351 เพื่อทำให้เป็น Sinewave แล้วจึงนำสัญญาณนี้ส่งต่อไปยัง IC เบอร์ 1496 เพื่อทำการเปรียบเทียบเฟสต่อไป ส่วนที่เอาท์พุทของ IC XR-2206 ที่ขา 2 จะถูกป้อนให้กับ IC เบอร์ LF 351 เพื่อเลื่อนเฟสของสัญญาณ Sinewave หลังจากนี้จะนำสัญญาณ Sinewave ที่มีเฟส ต่างกัน 90 องศา เข้ามารวมกับสัญญาณที่ถูกเข้ารหัสไว้ แล้ว เข้ามาทำการ Descramble ที่ IC เบอร์ LM 733 ก็จะได้สัญญาณที่เอาท์พุทของวงจร Descramble เป็นสัญญาณวีดีโอดังเดิม (Composite Video).



รูปที่ 5. แสดงวงจร Phase Shifter ที่เพิ่มเข้าไปในวงจร Descramble

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

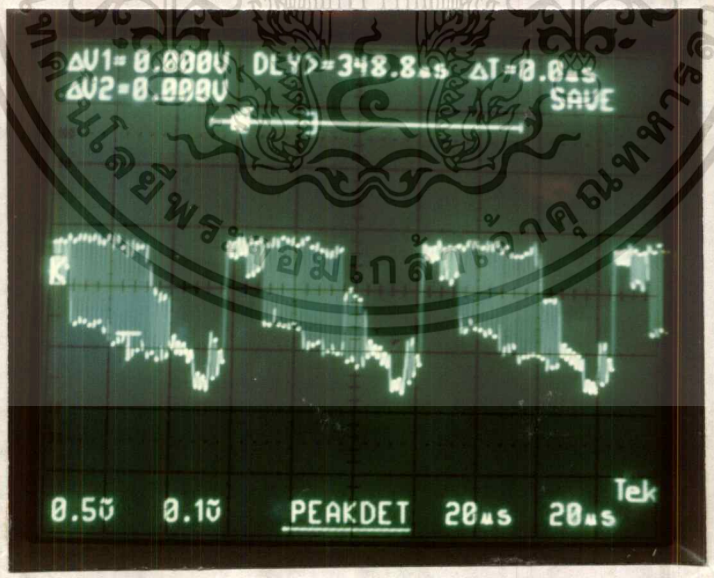


Descramble Block Diagram.

รูปที่ 6. แสดง Descramble Block Diagram ที่ปรับปรุงขึ้นใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

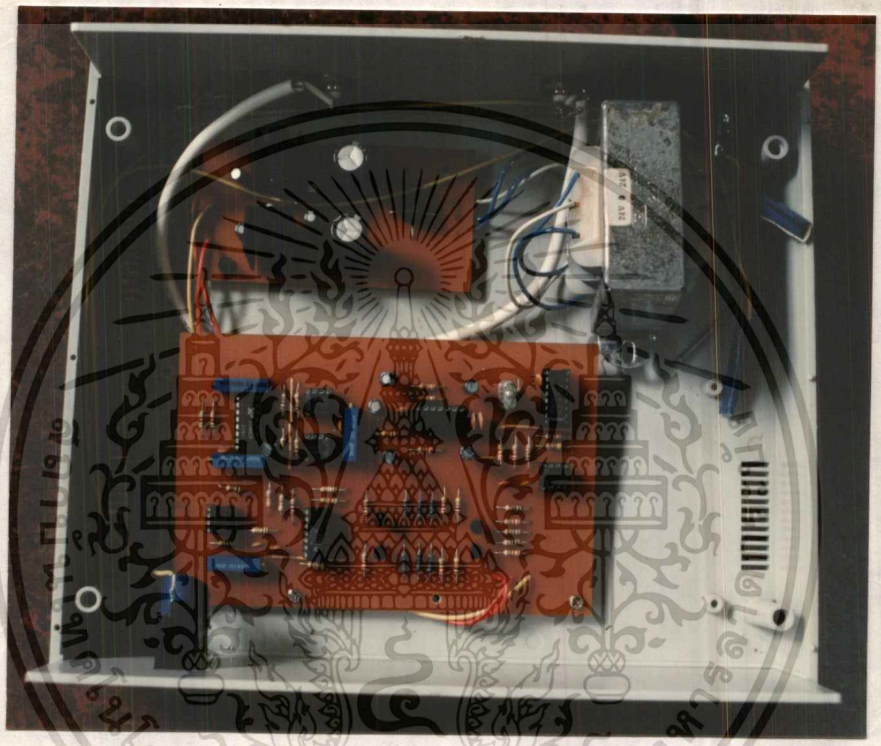
(a.)



(b.)

รูปที่ 7. แสดง Video Descramble Output (a.)TV Monitor (b.)Oscilloscope Monitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



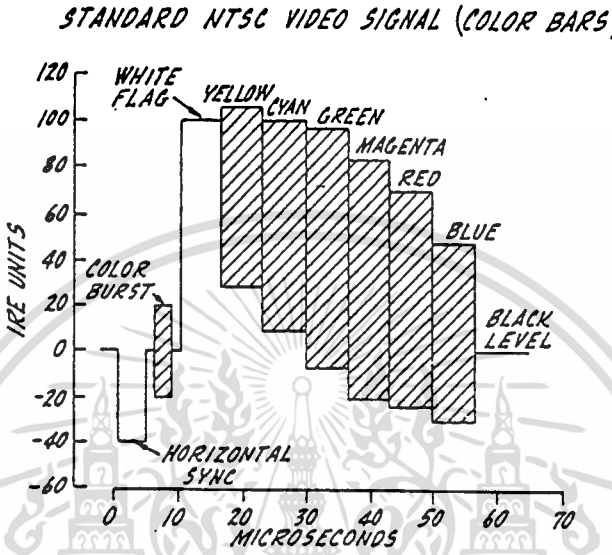
รูปที่ 8. แสดง ตัวชิ้นงานของวงจรถอดรหัส (Video Descramble)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

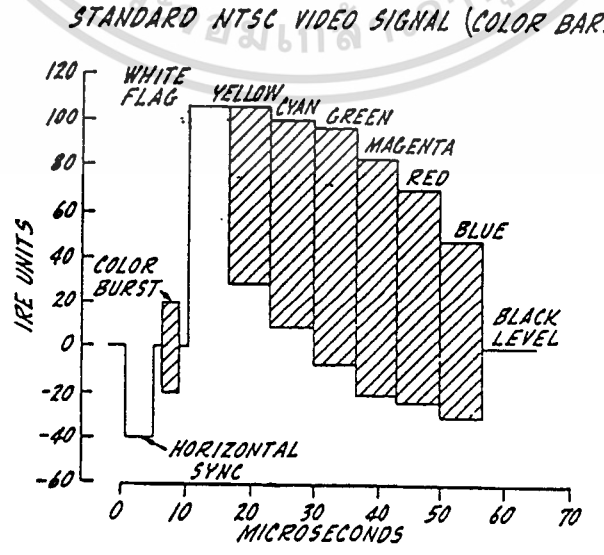
สรุปผลการทดลอง

สัญญาณที่ถูก Descramble ออกมานั้นจะมีลักษณะ ใกล้เคียงกับสัญญาณด้านอินพุท ของวงจร Scramble จากสัญญาณที่ใช้ในการทดลอง (Color bar) จาก Pattern Generator



รูปที่ 1. แสดง Color bar มาตราฐาน

ส่วนทางด้านเอาท์พุทของวงจร Descramble นั้น ทางด้าน low frequency ของ Color bar pattern Generator มีการขยายมากเกินไป ซึ่งเป็นผลสืบเนื่องมาจากการขยายของ IC เบอร์ LM 733 จึงทำให้แถบความถี่สีเหลืองซึ่งอยู่ใกล้กับสีขาว มี Gain เท่ากันทำให้แถบของสีเหลืองหายไปรวมกันเป็นสีขาวทั้งหมดดังรูปที่ 2.



รูปที่ 2. แสดง Color bar pattern ที่ได้จากวงจร Descramble

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

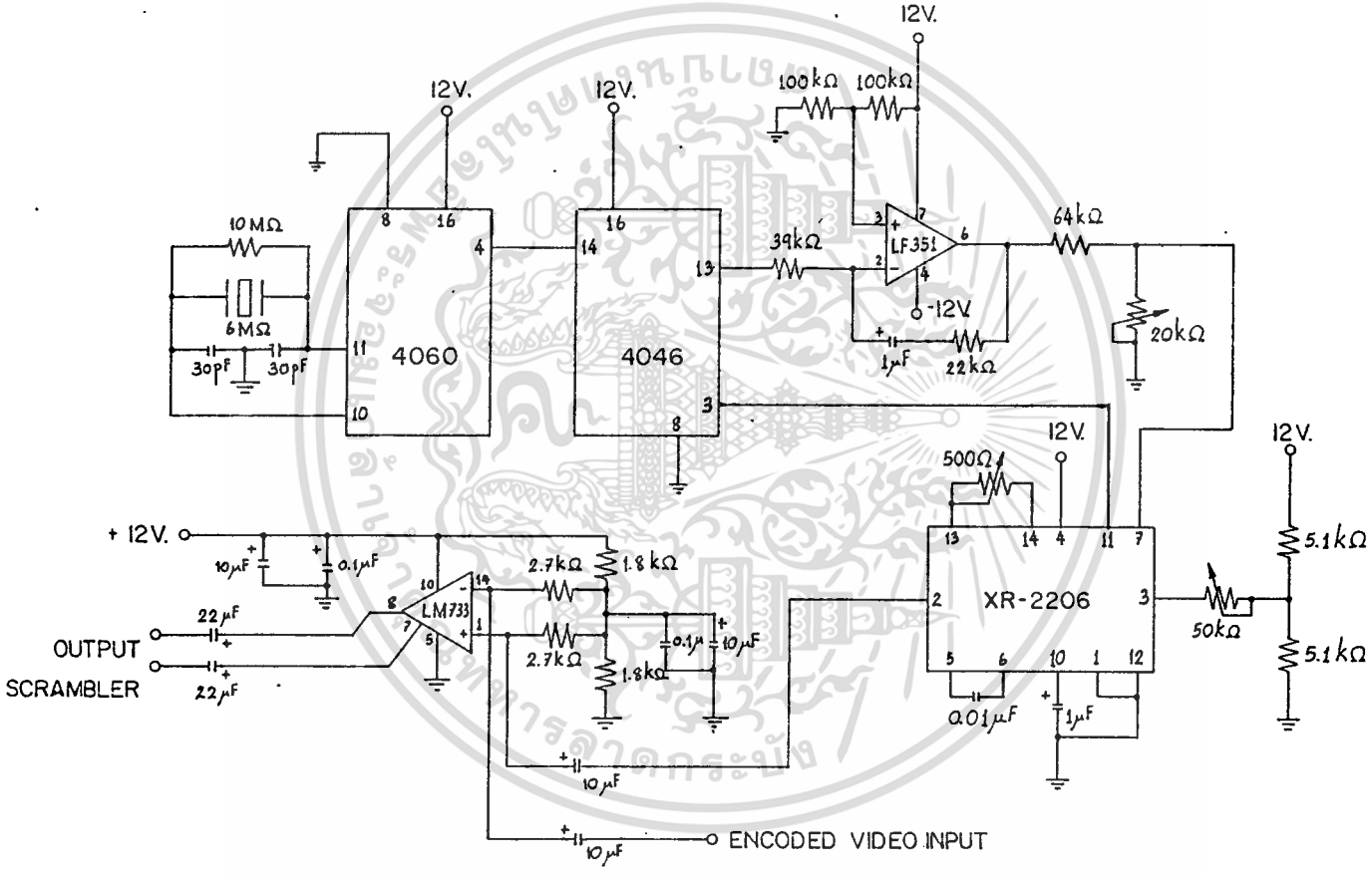
1. Video Scrambling and Descrambling for Satellite and cable TV ของ Rudolf F. Graf and Willian Sheets
2. World Satellite TV and Scrambling Methods. The Technicians Handbook 2nd Edition ของ Frank Baylin,Richard Maddos and John McCormac
3. Operational Amplifiers & Linear Integrated Circuits 4th Edition ของ Robert F. Coughlin and Frederick F. Driscoll
4. Op-amps and Linear Integrated Circuits 3rd Edition ของ Ramakant A. Gayakwad
5. กฤดากร กล่อมการ " การออกแบบระบบส่งข้อมูลในช่องสัญญาณวิทยุกระจายเสียงแบบ FM. " วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

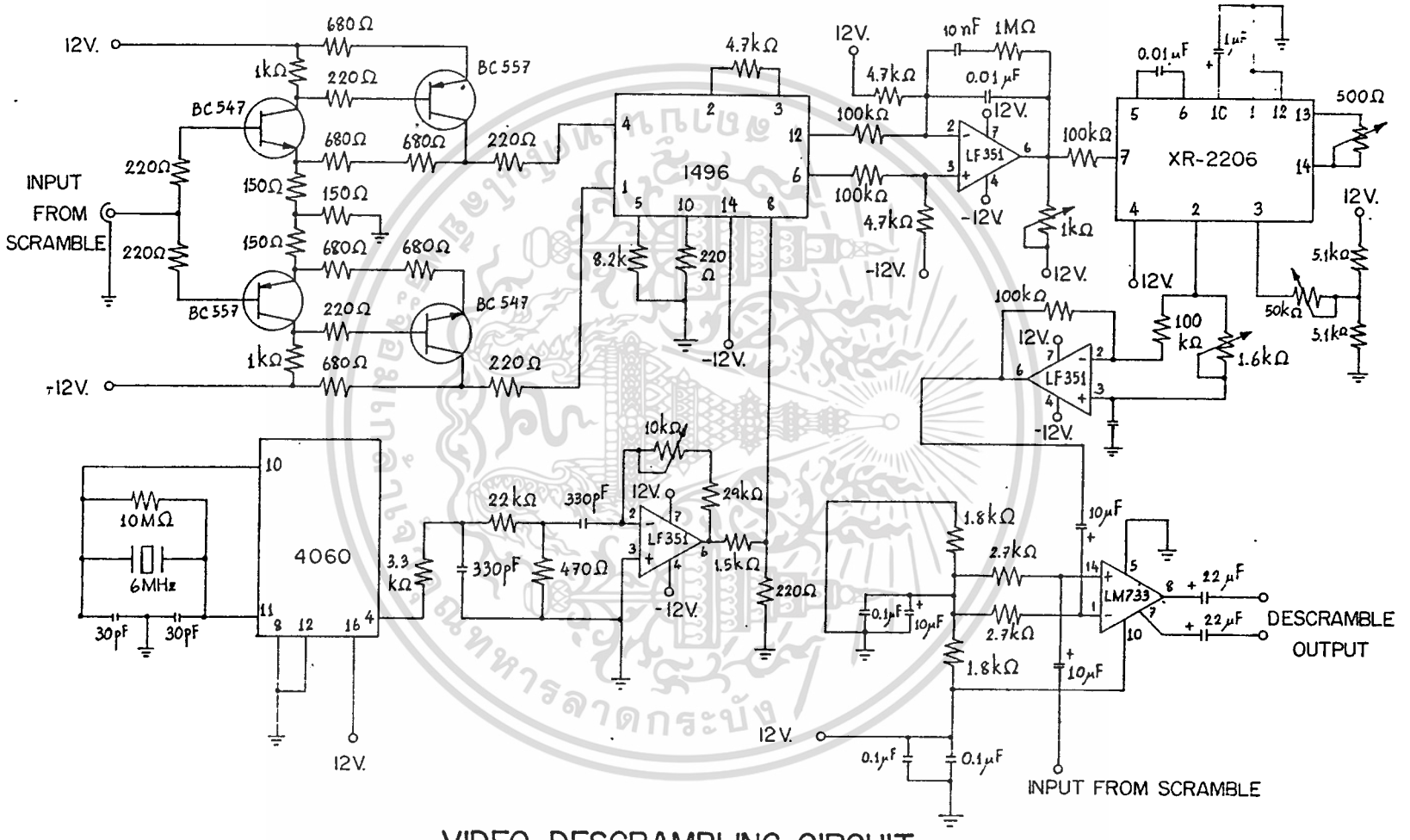
ภาคผนวก ก.

รูปขยายของวงจร และ ลายปริ้นซ์

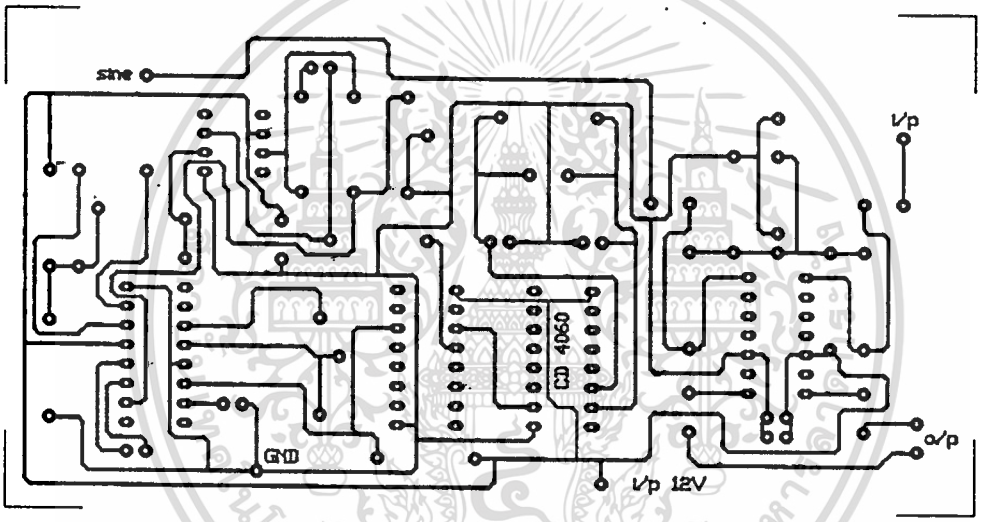
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



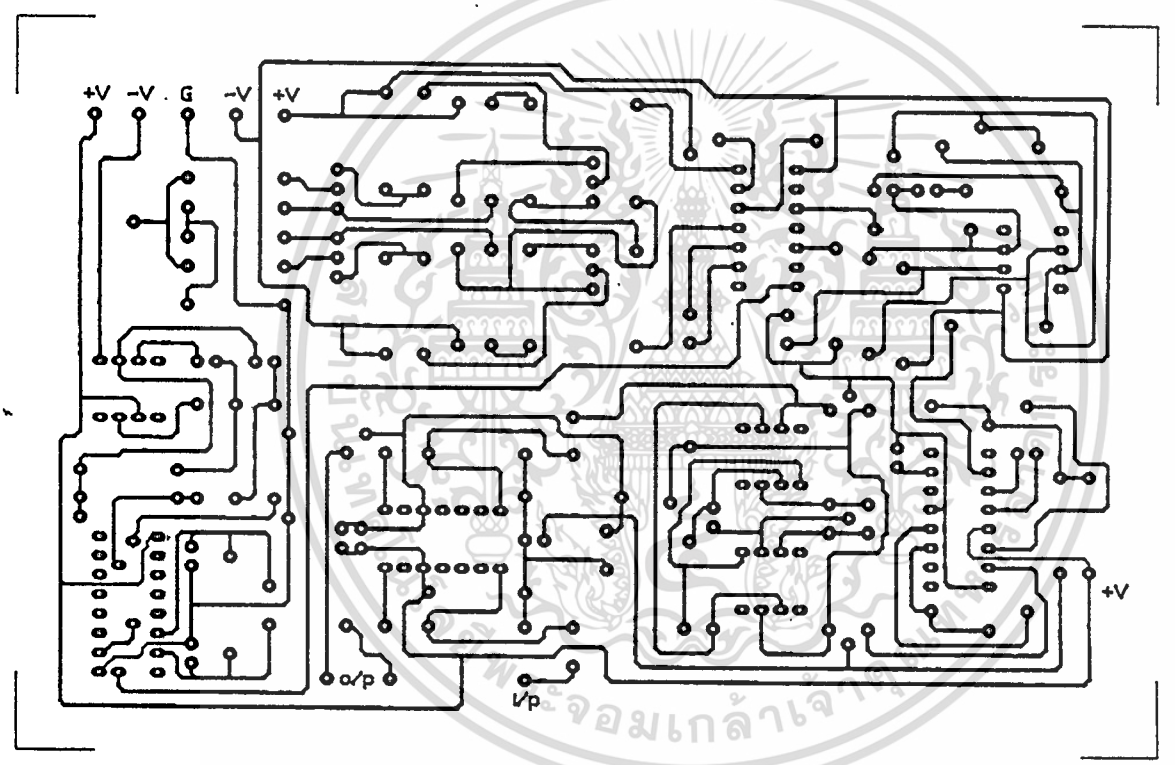
VIDEO SCRAMBLING CIRCUIT



VIDEO DESCRAMBLING CIRCUIT

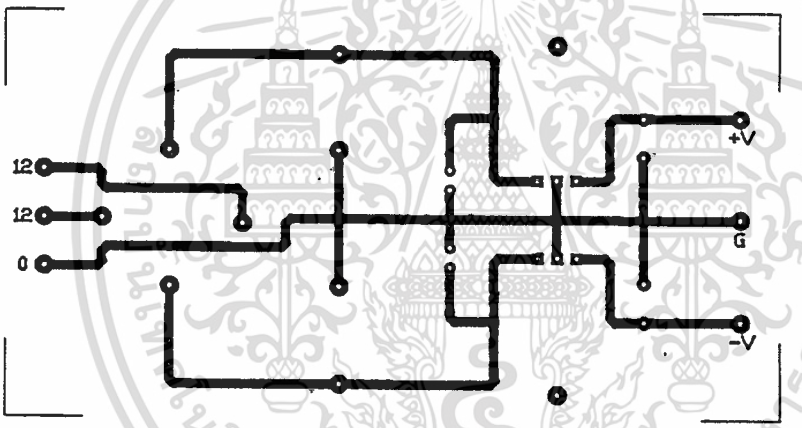


ลายวงจร เข้ารหัส



ลายวงจร ถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจร Regulate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

μA733

ELECTRICAL CHARACTERISTICS (T_A = 25°C, V_S = ±6.0 V unless otherwise specified)

PARAMETER (see definitions)	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Voltage Gain					
Gain 1 (Note 2)		300	400	500	
Gain 2 (Note 3)		90	100	110	
Gain 3 (Note 4)		9.0	10	11	
Bandwidth	R_S = 50Ω				
Gain 1			40		MHz
Gain 2			90		MHz
Gain 3			120		MHz
Risetime	R_S = 50Ω, V_{OUT} = 1 V_{p-p}				
Gain 1			10.5		ns
Gain 2			4.5	10	ns
Gain 3			2.5		ns
Propagation Delay	R_S = 50Ω, V_{OUT} = 1 V_{p-p}				
Gain 1			7.5		ns
Gain 2			6.0	10	ns
Gain 3			3.6		ns
Input Resistance					
Gain 1			4.0		kΩ
Gain 2		20	30		kΩ
Gain 3			250		kΩ
Input Capacitance	Gain 2		2.0		pF
Input Offset Current			0.4	3.0	μA
Input Bias Current			9.0	20	μA
Input Noise Voltage	R_S = 50Ω, BW = 1 kHz to 10 MHz		12		μVrms
Input Voltage Range		±1.0			V
Common Mode Rejection Ratio					
Gain 2	V_{CM} = ±1 V, f ≤ 100 kHz	60	86		dB
Gain 2	V_{CM} = ±1 V, f = 5 MHz		60		dB
Supply Voltage Rejection Ratio					
Gain 2	ΔV_S = ±0.5 V	50	70		dB
Output Offset Voltage					
Gain 1			0.6	1.5	V
Gain 2 and Gain 3			0.35	1.0	V
Output Common Mode Voltage		2.4	2.9	3.4	V
Output Voltage Swing		3.0	4.0		V_{p-p}
Output Sink Current		2.5	3.6		mA
Output Resistance			20		Ω
Power Supply Current			18	24	mA
The following specifications apply for −55°C ≤ T_A ≤ +125°C					
Differential Voltage Gain					
Gain 1 (Note 2)		200		600	
Gain 2 (Note 3)		80		120	
Gain 3 (Note 4)		8.0		12	
Input Resistance					
Gain 2		8.0			kΩ
Input Offset Current				5.0	μA
Input Bias Current				40	μA
Input Voltage Range		±1.0			V
Common Mode Rejection Ratio		50			dB
Supply Voltage Rejection Ratio		50			dB
Output Offset Voltage					
Gain 1				1.5	V
Gain 2 and Gain 3				1.2	V
Output Swing		2.5			V_{p-p}
Output Sink Current		2.2			mA
Positive Supply Current				27	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

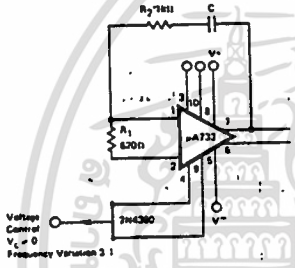
ภาคผนวก ข.

Data Sheets

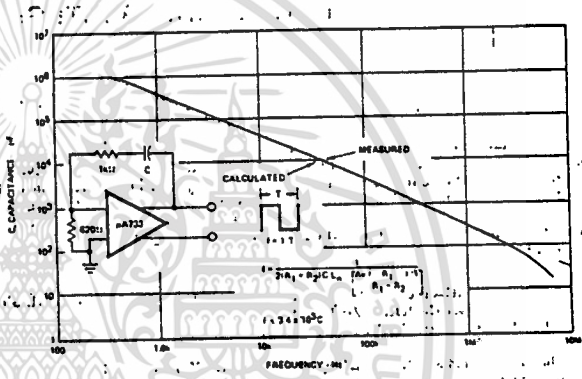
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS

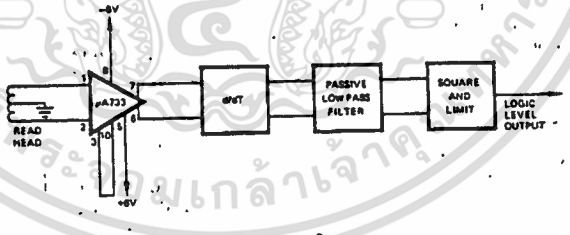
VOLTAGE CONTROLLED OSCILLATOR



OSCILLATOR FREQUENCY FOR VARIOUS CAPACITOR VALUES



PHASE ENCODING PLAYBACK SYSTEM



Phase Linearity:	±4° from 2 to 5 MHz
Input Resistance:	30 kΩ
Input Capacity:	2 pF
Fixed Gain:	100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

μA733

DIFFERENTIAL VIDEO AMPLIFIER

FAIRCHILD LINEAR INTEGRATED CIRCUITS

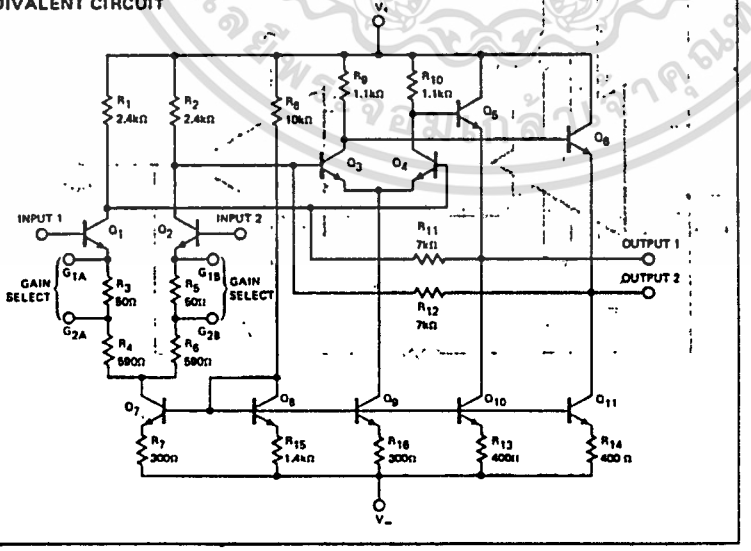
GENERAL DESCRIPTION — The μA733 is a monolithic two-stage Differential Input, Differential Output Video Amplifier constructed using the Fairchild Planar* epitaxial process. Internal series-shunt feedback is used to obtain wide bandwidth, low phase distortion, and excellent gain stability. Emitter follower outputs enable the device to drive capacitive loads and all stages are current-source biased to obtain high power supply and common mode rejection ratios. It offers fixed gains of 10, 100 or 400 without external components, and adjustable gains from 10 to 400 by the use of a single external resistor. No external frequency compensation components are required for any gain option. The device is particularly useful in magnetic tape or disc file systems using phase or NRZ encoding and in high speed thin film or plated wire memories. Other applications include general purpose video and pulse amplifiers where wide bandwidth, low phase shift, and excellent gain stability are required.

- 120 MHz BANDWIDTH
- 250 kΩ INPUT RESISTANCE
- SELECTABLE GAINS OF 10, 100, AND 400
- NO FREQUENCY COMPENSATION REQUIRED

ABSOLUTE MAXIMUM RATINGS

Supply Voltage	±8 V
Differential Input Voltage	±5 V
Common Mode Input Voltage	±6 V
Output Current	10 mA
Internal Power Dissipation (Note 1)	
Metal Can	500 mW
Flatpak	570 mW
DIP	670 mW
Operating Temperature Range	
Military (μA733)	−55° C to +125° C
Commercial (μA733C)	0° C to +70° C
Storage Temperature Range	−65° C to +150° C
Lead Temperature (Soldering, 60 second time limit)	300° C

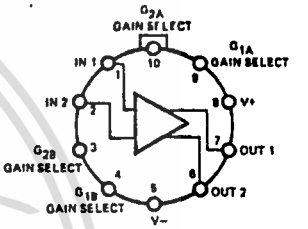
EQUIVALENT CIRCUIT



Notes on following pages.

CONNECTION DIAGRAMS

10-LEAD METAL CAN
(TOP VIEW)
PACKAGE OUTLINE 5N
PACKAGE CODE H

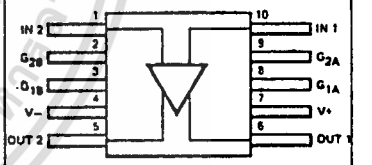


Note: Pin 5 connected to case.

ORDER INFORMATION

TYPE	PART NO.
μA733	μA733HM
μA733C	μA733HC

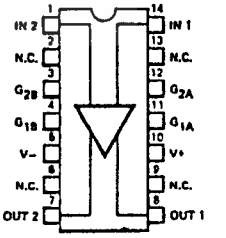
10-LEAD FLATPAK
(TOP VIEW)
PACKAGE OUTLINE 3F
PACKAGE CODE F



ORDER INFORMATION

TYPE	PART NO.
μA733	μA733FM

14-LEAD DIP
(TOP VIEW)
PACKAGE OUTLINE 6A
PACKAGE CODE D



ORDER INFORMATION

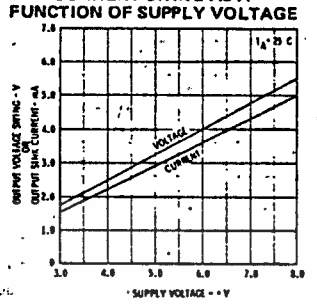
TYPE	PART NO.
μA733	μA733DM
μA733C	μA733DC

*Planar is a patented Fairchild process.

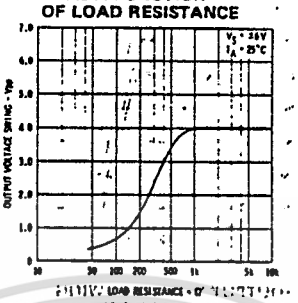
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CURVES FOR μA733 AND μA733C

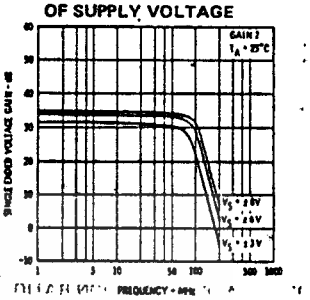
OUTPUT VOLTAGE AND CURRENT SWING AS A FUNCTION OF SUPPLY VOLTAGE



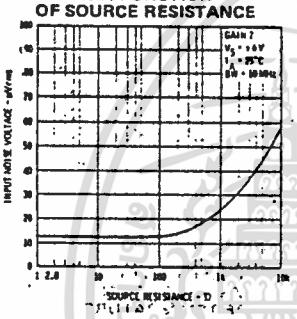
OUTPUT VOLTAGE SWING AS A FUNCTION OF LOAD RESISTANCE



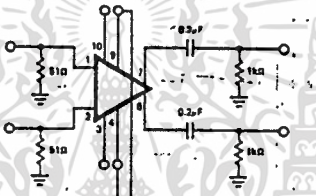
GAIN VERSUS FREQUENCY AS A FUNCTION OF SUPPLY VOLTAGE



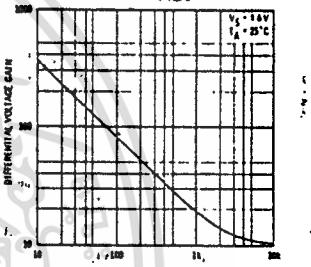
INPUT NOISE VOLTAGE AS A FUNCTION OF SOURCE RESISTANCE



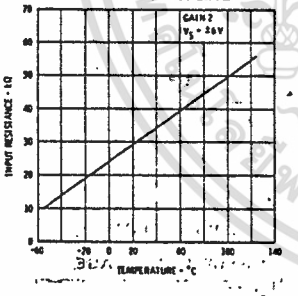
VOLTAGE GAIN ADJUST CIRCUIT



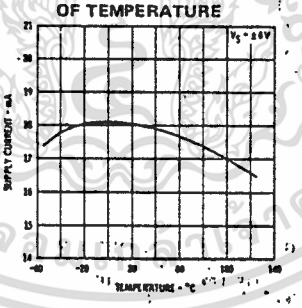
VOLTAGE GAIN AS A FUNCTION OF R_{ADJ}



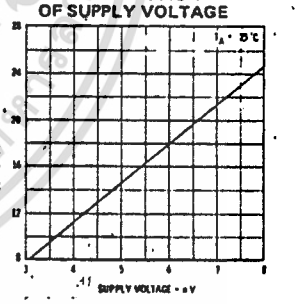
INPUT RESISTANCE AS A FUNCTION OF TEMPERATURE



SUPPLY CURRENT AS A FUNCTION OF TEMPERATURE



SUPPLY CURRENT AS A FUNCTION OF SUPPLY VOLTAGE



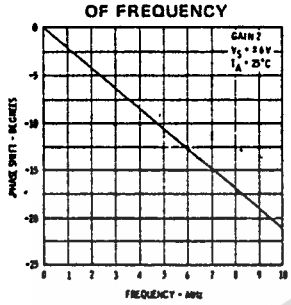
NOTES

1. Rating applies to ambient temperatures up to 70°C. Above 70°C ambient derate linearly at 6.3 mW/°C for the Metal Can, 8.3 mW/°C for the DIP and 7.1 mW/°C for the Flatpak.
2. Gain Select pins G_{1A} and G_{1B} connected together.
3. Gain Select pins G_{2A} and G_{2B} connected together.
4. All Gain Select pins open.

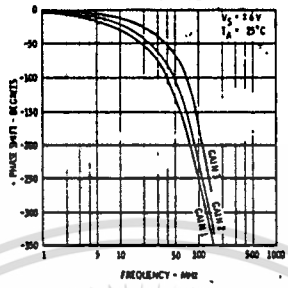
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CURVES FOR μA733 AND μA733C

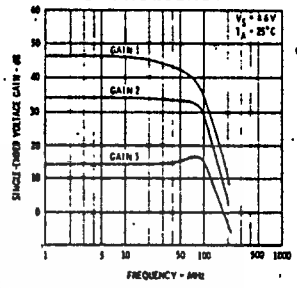
PHASE SHIFT AS A FUNCTION OF FREQUENCY



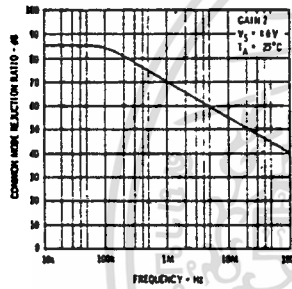
PHASE SHIFT AS A FUNCTION OF FREQUENCY



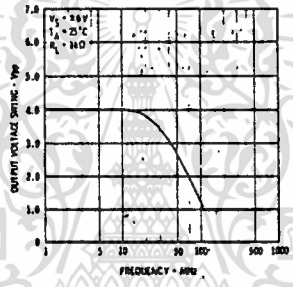
VOLTAGE GAIN AS A FUNCTION OF FREQUENCY



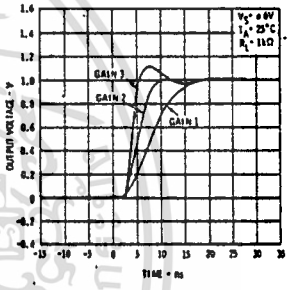
COMMON MODE REJECTION RATIO AS A FUNCTION OF FREQUENCY



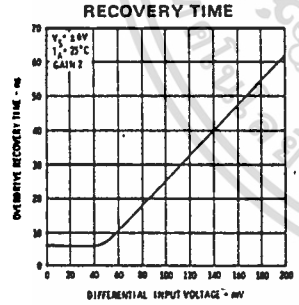
OUTPUT VOLTAGE SWING AS A FUNCTION OF FREQUENCY



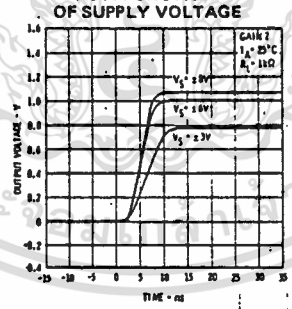
PULSE RESPONSE



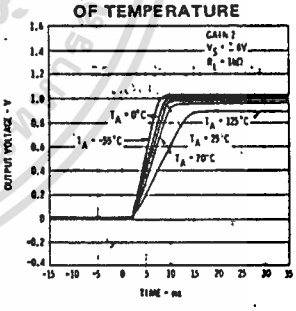
DIFFERENTIAL OVERDRIVE RECOVERY TIME



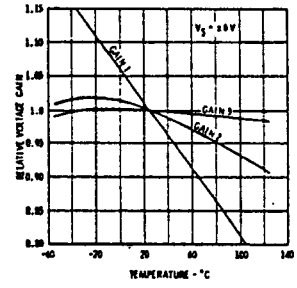
PULSE RESPONSE AS A FUNCTION OF SUPPLY VOLTAGE



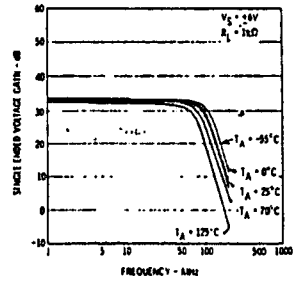
PULSE RESPONSE AS A FUNCTION OF TEMPERATURE



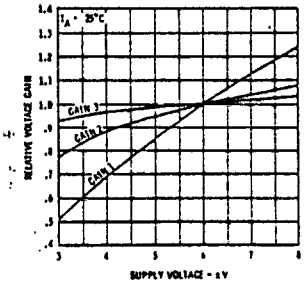
VOLTAGE GAIN AS A FUNCTION OF TEMPERATURE



GAIN VERSUS FREQUENCY AS A FUNCTION OF TEMPERATURE



VOLTAGE GAIN AS A FUNCTION OF SUPPLY VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

μA733C

ELECTRICAL CHARACTERISTICS (T_A = 25°C, V_S = ±6.0 V unless otherwise specified)

PARAMETER (see definitions)	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Voltage Gain					
Gain 1 (Note 2)		250	400	600	
Gain 2 (Note 3)		80	100	120	
Gain 3 (Note 4)		8.0	10	12	
Bandwidth	R_S = 50Ω				
Gain 1			40		MHz
Gain 2			90		MHz
Gain 3			120		MHz
Risetime	R_S = 50Ω, V_{OUT} = 1 V_{p-p}				
Gain 1			10.5		ns
Gain 2			4.5	12	ns
Gain 3			2.5		ns
Propagation Delay	R_S = 50Ω, V_{OUT} = 1 V_{p-p}				
Gain 1			7.5		ns
Gain 2			6.0	10	ns
Gain 3			3.6		ns
Input Resistance					
Gain 1			4.0		kΩ
Gain 2		10	30		kΩ
Gain 3			250		kΩ
Input Capacitance	Gain 2		2.0		pF
Input Offset Current			0.4	5.0	μA
Input Bias Current			9.0	30	μA
Input Noise Voltage	R_S = 50Ω, BW = 1 kHz to 10 MHz		12		μV_{rms}
Input Voltage Range		±1.0			V
Common Mode Rejection Ratio					
Gain 2	V_{CM} = ±1 V, f ≤ 100 kHz	60	86		dB
Gain 2	V_{CM} = ±1 V, f = 5 MHz		60		dB
Supply Voltage Rejection Ratio					
Gain 2	ΔV_S = ±0.5 V	50	70		dB
Output Offset Voltage					
Gain 1			0.6	1.5	V
Gain 2 and Gain 3			0.35	1.5	V
Output Common Mode Voltage		2.4	2.9	3.4	V
Output Voltage Swing		3.0	4.0		V_{p-p}
Output Sink Current		2.5	3.6		mA
Output Resistance			20		Ω
Power Supply Current			18	24	mA
The following specifications apply for 0°C ≤ T_A ≤ ±70°C					
Differential Voltage Gain					
Gain 1 (Note 2)		250		600	
Gain 2 (Note 3)		80		120	
Gain 3 (Note 4)		8.0		12	
Input Resistance—Gain 2		8.0			kΩ
Input Offset Current				6.0	μA
Input Bias Current				40	μA
Input Voltage Range		±1.0			V
Common Mode Rejection Ratio					
Gain 2	V_{CM} = ±1 V, f ≤ 100 kHz	50			dB
Supply Voltage Rejection Ratio					
Gain 2	ΔV_S = ±0.5 V	50			dB
Output Offset Voltage (All Gain)				1.5	V
Output Voltage Swing		2.8			V_{p-p}
Output Sink Current		2.5			mA
Power Supply Current				27	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

microCMOS

MM54HC4060/MM74HC4060
14 Stage Binary Counter

General Description

The MM54HC4060/MM74HC4060 is a high speed binary ripple carry counter. These counters are implemented utilizing microCMOS technology, 3.5 micron silicon gate P-well CMOS, to achieve speed performance similar to LS-TTL logic while retaining the low power and high noise immunity of CMOS.

The 'HC4060 is a 14-stage counter which increments on the falling edge (negative transition) of the input clock, and all their outputs are reset to a low level by applying a logical high on their reset input. The 'HC4060 also has two additional inputs to enable easy connection of either an RC or crystal oscillator.

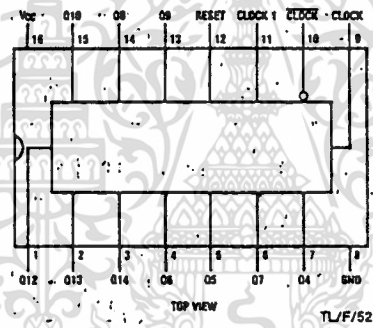
This device is pin equivalent to the CD4060. All inputs are protected from damage due to static discharge by protection diodes to V_{CC} and ground.

Features

- Typical propagation delay: 16 ns
- Wide operating voltage range: 2–6V
- Low input current: 1 μA maximum
- Low quiescent current: 80 μA maximum (74 series)
- Output drive capability: 10 LS-TTL loads

Connection Diagram

Dual-In-Line Package

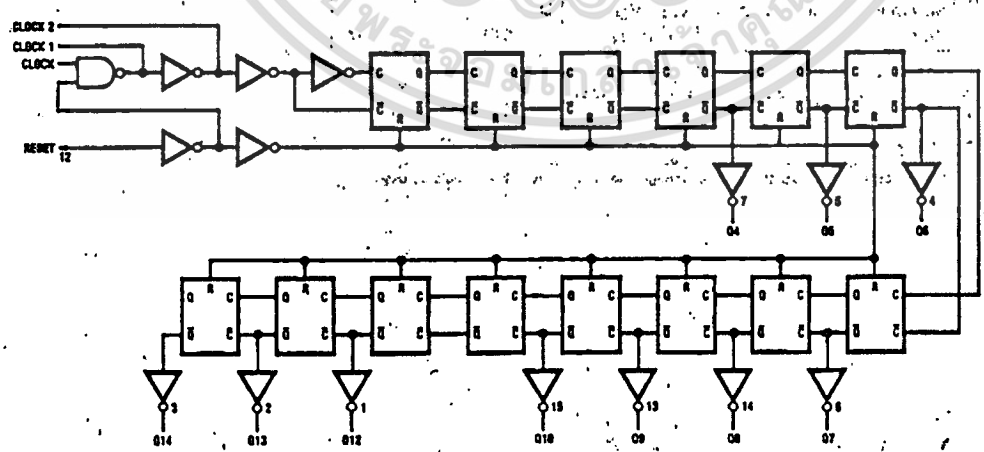


TL/F/5216–4

MM54HC4060/MM74HC4060

54HC4060 (J) 74HC4060 (J, N)

Logic Diagram



TL/F/5216–8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

Supply Voltage(V_{CC})	−0.5 to +7.0V
DC Input Voltage(V_{IN})	−1.5 to V_{CC}+1.5V
DC Output Voltage(V_{OUT})	−0.5 to V_{CC}+0.5V
Clamp Diode Current(I_{CD})	±20 mA
DC Output Current, per pin(I_{OUT})	±25 mA
DC Vcc or GND Current, per pin(I_{CC})	±50 mA
Storage Temperature Range(T_{STG})	−65°C to +150°C
Power Dissipation(P_D) (Note 3)	500 mW
Lead Temperature(T_L) (Soldering 10 seconds)	260°C

Operating Conditions

	Min	Max
Supply Voltage(V_{CC})	2	6
DC Input or Output Voltage (V_{IN},V_{OUT})	0	V_{CC}
Operating Temperature Range(T_A)		
MM74HC	−40	+85
MM54HC	−55	+125
Input Rise or Fall Times (t_r, t_f) V_{CC} = 2.0V		1000
V_{CC} = 4.5V		500
V_{CC} = 6.0V		400

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	Vcc	T_A = 25°C	74HC T_A = −40 to 85°C	54HC T_A = −55 to 125°C
				Typ	Guaranteed Limits	
V_{IH}	Minimum High Level Input Voltage		2.0V	1.5	1.5	1.5
			4.5V	3.15	3.15	3.15
			6.0V	4.2	4.2	4.2
V_{IL}	Maximum Low Level Input Voltage		2.0V	0.3	0.3	0.3
			4.5V	0.9	0.9	0.9
			6.0V	1.2	1.2	1.2
V_{OH}	Minimum High Level Output Voltage	V_{IN} = V_{IH} or V_{IL}				
		$\|I_{OUT}\| \le 20\ \mu A$	2.0V	2.0	1.9	1.9	1.9
			4.5V	4.5	4.4	4.4	4.4
			6.0V	6.0	5.9	5.9	5.9
	(except pins 11 and 12)	V_{IN} = V_{IH} or V_{IL}					
		$\|I_{OUT}\| \le 4.0$ mA	4.5V	4.2	3.98	3.84	3.7
		$\|I_{OUT}\| \le 5.2$ mA	6.0V	5.7	5.48	5.34	5.2
V_{OL}	Maximum Low Level Output Voltage	V_{IN} = V_{IH} or V_{IL}					
		$\|I_{OUT}\| \le 20\ \mu A$	2.0V	0	0.1	0.1	0.1
			4.5V	0	0.1	0.1	0.1
			6.0V	0	0.1	0.1	0.1
	(except pins 11 and 12)	V_{IN} = V_{IH} or V_{IL}					
		$\|I_{OUT}\| \le 4$ mA	4.5V	0.2	0.26	0.33	0.4
		$\|I_{OUT}\| \le 5.2$ mA	6.0V	0.2	0.26	0.33	0.4
I_{IN}	Maximum Input Current	V_{IN} = V_{CC} or GND	6.0V		±0.1	±1.0	±1.0
I_{CC}	Maximum Quiescent Supply Current	V_{IN} = V_{CC} or GND					
		I_{OUT} = 0 μA	6.0V		8.0	80	160

Note 1: Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation temperature derating: plastic "N" package: −12 mW/°C from 65°C to 85°C ceramic "J" package: −12 mW/°C from 100°C to 125°C

Note 4: For a power supply of 5V ±10% the worst case output voltages (V_{OH}, and V_{OL}) occur for HC at 4.5V. Thus the 4.5V values should be used when designing with this supply. Worst case V_{IH} and V_{IL} occur at V_{CC} = 5.5V and 4.5V respectively. (The V_{IH} value at 5.5V is 3.85V.) The worst case leakage currents (I_{IN}, I_{CC}, and I_{OZ}) occur for CMOS at the higher voltage and so the 6.0V values should be used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics

5V, $T_A = 25°C$, $C_L = 15$ pF, $t_r = t_f = 6$ ns

Symbol	Parameter	Conditions	Typ	Guaranteed Limit	Units
	Maximum Operating Frequency		40	20	MHz
t_{PLH}	Maximum Propagation Delay Clock to Q_4	(Note 5)	40	55	ns
t_{PLH}	Maximum Propagation Delay Reset to Any Q		16	40	ns
	Minimum Reset Removal Time		10	20	ns
	Minimum Pulse Width		10	16	ns

Electrical Characteristics $V_{CC} = 2.0V$ to $6.0V$, $C_L = 50$ pF, $t_r = t_f = 6$ ns (unless otherwise specified)

Symbol	Parameter	Conditions	V_{CC}	$T_A = 25°C$		T_A74HC $T_A = -40$ to $85°C$	T_A54HC $T_A = -55$ to $125°C$	Units
				Typ	Guaranteed Limits			
	Maximum Operating Frequency		2.0V	10	4	3	3	MHz
			4.5V	40	20	6	13	MHz
			6.0V	50	24		16	MHz
t_{PLH}	Maximum Propagation Delay Clock to Q_4		2.0V	120	300		450	ns
			4.5V	42	60		90	ns
			6.0V	35	47		62	ns
	Maximum Propagation Delay Reset to Any Q		2.0V	72	240		358	ns
			4.5V	24	48	60	72	ns
			6.0V	20	41	51	61	ns
	Minimum Reset Removal Time		2.0V		100	125	150	ns
			4.5V		20	25	30	ns
			6.0V		17	21	25	ns
	Minimum Pulse Width		2.0V		80	100	120	ns
			4.5V		16	20	24	ns
			6.0V		14	17	20	ns
	Maximum Input Rise and Fall Time		2.0V		1000	1000	1000	ns
			4.5V		500	500	500	ns
			6.0V		400	400	400	ns
t_{TLH}	Maximum Output Rise and Fall Time		2.0V	30	75	95	110	ns
			4.5V	10	15	19	22	ns
			6.0V	9	13	16	19	ns
	Power Dissipation Capacitance (Note 6)	(per package)		55				pF
	Maximum Input Capacitance			5	10	10	10	pF

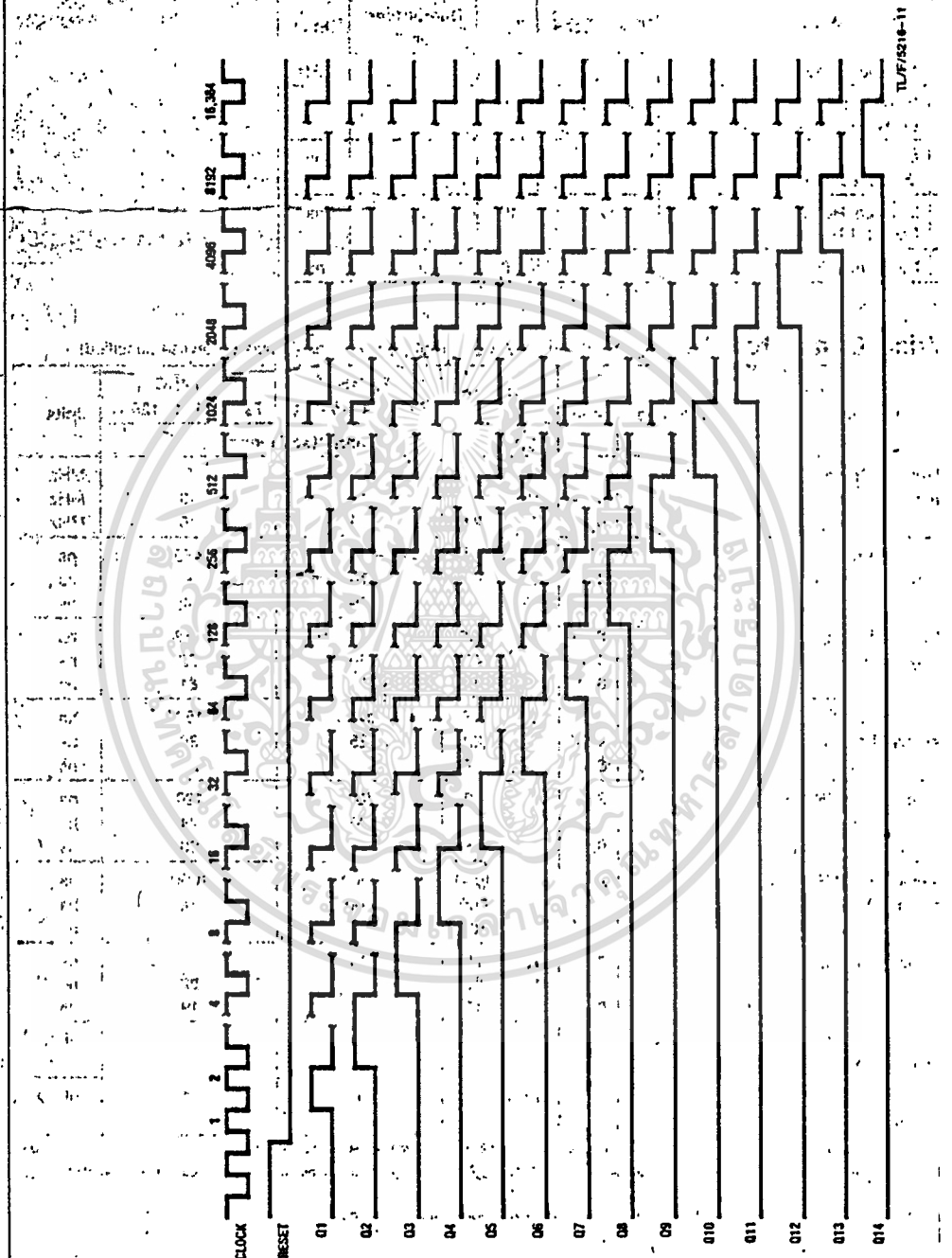
Typical Propagation delay time to any output can be calculated using: $t_p = 17 + 12(N-1)$ ns; where N is the number of the output, Q_W, at $V_{CC} = 5V$.

C_{PD} determines the no load dynamic power consumption, $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$, and the no load dynamic current consumption, $I_S = V_{CC} f + I_{CC}$.

Refer to back of this section for Typical MM54/74HC AC Switching Waveforms and Test Circuits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maxmum Ratings (Notes 1 & 2)

Supply Voltage (V_{CC})	−0.5 to +7.0V
DC Input Voltage (V_{IN})	−1.5 to V_{CC} + 1.5V
DC Output Voltage (V_{OUT})	−0.5 to V_{CC} + 0.5V
Clamp Diode Current (I_{IK}, I_{OK})	±20 mA
DC Output Current per pin (I_{OUT})	±25 mA
DC V_{CC} or GND Current, per pin (I_{CC})	±50 mA
Storage Temperature Range (T_{STG})	−65°C to +150°C
Power Dissipation (P_D) (Note 3)	500 mW
Lead Temperature (T_L) (Soldering 10 seconds)	260°C

Operating Conditions

	Min
Supply Voltage (V_{CC})	2
DC Input or Output Voltage (V_{IN}, V_{OUT})	0
Operating Temperature Range (T_A)	
MM74HC	−40
MM54HC	−55
Input Rise or Fall Times (t_r, t_f) V_{CC} = 2.0V	
V_{CC} = 4.5V	
V_{CC} = 6.0V	

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	V_{CC}	T_A = 25°C	74HC T_A = −40 to 85°C	54HC T_A = −55 to 125°C
				Typ	Guaranteed Limits	
V_{IH}	Minimum High Level Input Voltage		2.0V	1.5	1.5	1.5
			4.5V	3.15	3.15	3.15
			6.0V	4.2	4.2	4.2
V_{IL}	Maximum Low Level Input Voltage		2.0V	0.3	0.3	0.3
			4.5V	0.9	0.9	0.9
			6.0V	1.2	1.2	1.2
V_{OH}	Minimum High Level Output Voltage	V_{IN} = V_{IH} or V_{IL} $\|I_{OUT}\| \le 20\ \mu A$	2.0V	2.0	1.9	1.9
			4.5V	4.5	4.4	4.4
			6.0V	6.0	5.9	5.9
		V_{IN} = V_{IH} or V_{IL} $\|I_{OUT}\| \le 4.0$ mA	4.5V	4.2	3.98	3.84	3.7
		$\|I_{OUT}\| \le 8.2$ mA	6.0V	5.7	5.48	5.34	5.2
V_{OL}	Maximum Low Level Output Voltage	V_{IN} = V_{IH} or V_{IL} $\|I_{OUT}\| \le 20\ \mu A$	2.0V	0	0.1	0.1	0.1
			4.5V	0	0.1	0.1	0.1
			6.0V	0	0.1	0.1	0.1
		V_{IN} = V_{IH} or V_{IL} $\|I_{OUT}\| \le 4.0$ mA	4.5V	0.2	0.26	0.33	0.4
		$\|I_{OUT}\| \le 5.2$ mA	6.0V	0.2	0.26	0.33	0.4
I_{IN}	Maximum Input Current (Pins 3,5,9)	V_{IN} = V_{CC} or GND	6.0V		±0.1	±1.0	±1.0
I_{IN}	Maximum Input Current (Pin 14)	V_{IN} = V_{CC} or GND	6.0V		2	3	4
I_{OZ}	Maximum TRI-STATE Output Leakage Current	V_{OUT} = V_{CC} or GND $\overline{G}$ = V_{IH}	6.0V		±0.5	±5.0	±10
I_{CC}	Maximum Quiescent Supply Current	V_{IN} = V_{CC} or GND I_{OUT} = 0 μA	6.0V		8.0	80	160

Note 1: Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation temperature derating — plastic "N" package: −12 mW/°C from 65°C to 85°C; ceramic "J" package: −12 mW/°C from 100°C to 125°C.

Note 4: For a power supply of 5V ±10% the worst case output voltages (V_{OH}, and V_{OL}) occur for HC at 4.5V. Thus the 4.5V values should be used when designing with this supply. Worst case V_{IH} and V_{IL} occur at V_{CC} = 5.5V and 4.5V respectively. (The V_{IH} value at 5.5V is 3.85V.) The worst case leakage currents (I_{CC}, and I_{OZ}) occur for CMOS at the higher voltage and so the 6.0V values should be used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

...rical Characteristics

...C, C_L = 50 pF, $t_r = t_f$ = 6 ns (unless otherwise specified)

Parameters	Conditions	V_{CC}	T = 25°C	74HC	54HC	Units
			Typ	Guaranteed Limits		
AC Coupled Input Sensitivity, Signal In	C (series) = 100 pF f_{IN} = 500 kHz	2.0V 4.5V 6.0V	100 200 300	200 400 600	225 450 650	250 500 700	mV mV mV
Maximum Output Rise and Fall Time		2.0V 4.5V 6.0V	30 9 8	75 15 12	95 19 15	110 22 19	ns ns ns
Maximum Input Capacitance			5	10	10	10	pF
...parator I							
Maximum Propagation Delay		2.0V 4.5V 6.0V	58 20 18	165 35 30	206 44 38	250 52 45	ns ns ns
Maximum Power Dissipation Capacitance							pF
...parator II							
Maximum Propagation Delay Comp. Output		2.0V 4.5V 6.0V	60 20 18	150 30 25	190 38 32	225 45 38	ns ns ns
Maximum TRI-STATE Enable Time		2.0V 4.5V 6.0V	60 20 18	150 30 25	190 38 32	225 45 38	ns ns ns
Maximum TRI-STATE Enable Time		2.0V 4.5V 6.0V	72 22 19	200 40 34	250 50 42	300 60 51	ns ns ns
Maximum TRI-STATE Disable Time		2.0V 4.5V 6.0V	72 22 19	200 40 34	250 50 42	300 60 51	ns ns ns
Maximum TRI-STATE Disable Time		2.0V 4.5V 6.0V	72 22 19	200 40 34	250 50 42	300 60 51	ns ns ns
Maximum Propagation Delay High to Low to Phase Pulses		2.0V 4.5V 6.0V	72 22 19	200 40 34	250 50 42	300 60 51	ns ns ns
Maximum Propagation Delay Low to High to Phase Pulses		2.0V 4.5V 6.0V	72 22 19	200 40 34	250 50 42	300 60 51	ns ns ns
Maximum Power Dissipation Capacitance							pF
...parator III							
Maximum Propagation Delay		2.0V 4.5V 6.0V					ns ns ns
Maximum Power Dissipation Capacitance							pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

PRELIMINARY

microCMOS

MM54HC4046/MM74HC4046
microCMOS Phase Lock Loop

General Description

The MM54HC4046/MM74HC4046 is a low power phase lock loop utilizing 3.5μ silicon-gate P-well microCMOS technology to obtain high frequency operation both in the phase comparator and VCO sections. This device contains a low power linear voltage controlled oscillator (VCO), a source follower, and three phase comparators. The three phase comparators have a common signal input and a common comparator input. The signal input has a self-bias amplifier allowing signals to be either capacitively coupled to the phase comparators with a small signal or directly coupled with standard input logic levels. This device is similar to the CD4046 except that the Zener diode in the metal gate CMOS device has been replaced with a third phase comparator.

Phase comparator I is an exclusive OR (XOR) gate. It provides a digital error signal that maintains a 90 phase shift between the VCO's center frequency and the input signal (50% duty cycle input) waveforms. This phase detector is also susceptible to locking onto harmonics of the input frequency than phase comparator I, but provides better noise rejection.

Phase comparator III is an SR flip-flop gate. It can be used to provide the phase comparator functions and is similar to the first comparator in performance.

Phase comparator II is an edge sensitive digital sequential network. Two signal outputs are provided, a comparator output and a phase pulse output. The comparator output is a TRI-STATE® output that provides a signal that locks the VCO output signal to the input signal with 0 phase shift between them. This comparator is more susceptible to noise throwing the loop out of lock, but is less likely to lock onto harmonics than the other two comparators.

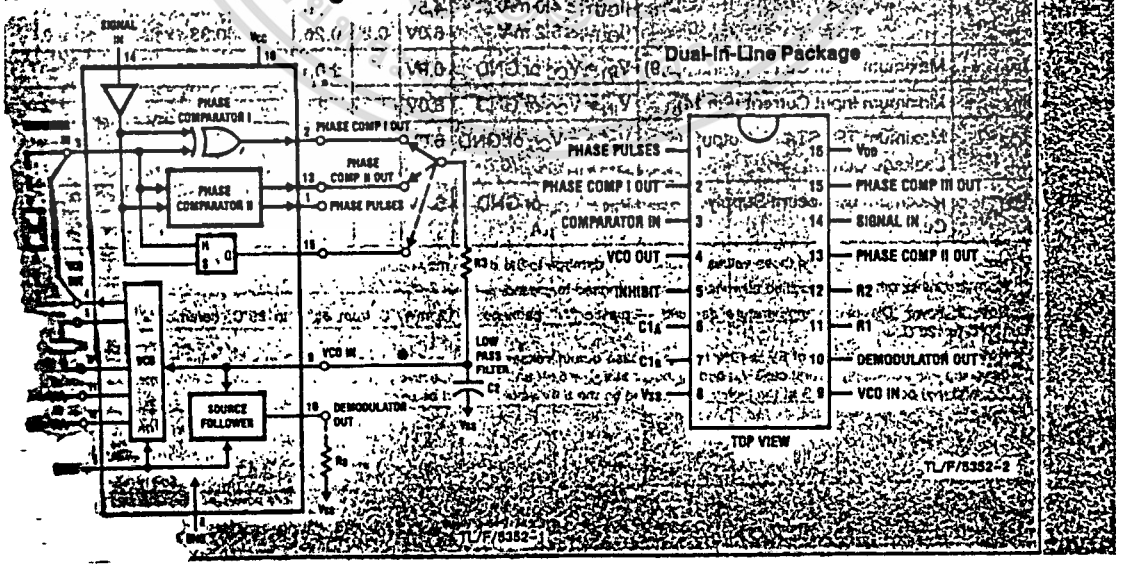
In a typical application all three comparators feed an external filter network which in turn feeds the VCO input. This input is a very high impedance CMOS input which also drives the source follower. The VCO's operating frequency is set by three external components connected to the C1A, C1B, R1 and R2 pins. An inhibit pin is provided to disable the VCO and the source follower, providing a method of putting the IC in a low power state.

The source follower is a MOS transistor whose gate is connected to the VCO input and whose drain connects the Demodulator output. This output normally is used by tying a resistor from pin 10 to ground, and provides a means of looking at the VCO input without loading down modifying the characteristics of the PLL filter.

Features

- Low dynamic power consumption:
  (VCC = 4.5V)
- Maximum VCO operating frequency: 20 MHz (VCC = 4.5V)
- Fast comparator response time (VCC = 4.5V)
  - Comparator I: 20 ns
  - Comparator II: 25 ns
  - Comparator III: 20 ns
- VCO has high linearity and high temperature stability

Block and Connection Diagrams



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

V_{CC} = 2.0 to 6.0V, CL = 50 pF, $t_r = t_f$ = 6 ns (unless otherwise specified)

Symbol	Parameters	Conditions	V_{CC}	T = 25°C	74HC	54HC
				Typ	Guaranteed Limits	
Voltage Controlled Oscillator (Specified to operate from V_{CC} = 3.0V to 6.0V						
f_{MAX}	Maximum Operating Frequency	C1 = 10 pF, R1 = 100, R2 = 00 $VCO_{in} = V_{CC}$	4.5V 6.0V		20 25	18 23	15 20
	Linearity	VCO_{in} = 2.25 ± 1V VCO_{in} = 3 ± 1.5V	4.5V 6.0V	1.0 1.0			
	Temperature-Frequency Stability	No Frequency Offset	4.5V 6.0V				
	Temperature-Frequency Stability	Frequency Offset	4.5V 6.0V				
	Duty Cycle			50			
Demodulator Output							
	Offset Voltage VCO_{in}-V_{dem}	R_s = 1 kΩ		1.5	2.2	2.7	3.2
	Linearity	R_s = 5 kΩ	2.0V		0.1	0.2	0.3

Detailed Circuit Description

VOLTAGE CONTROLLED OSCILLATOR/SOURCE FOLLOWER

The VCO requires two or three external components to operate. These are R1, R2, C1. Resistor 1 and capacitor C1 are selected to determine the center frequency of the VCO (see typical performance curves). R2 can be used to set the offset frequency with 0V at VCO input. If R2 is omitted the VCO range is from 0 Hz; as R2 is decreased, the offset frequency is increased. The effect of R2 is shown in the design information table and typical performance curves. By increasing the value of R2 the lock range of PLL is decreased and the gain (volts/Hz) is increased. Thus, for a narrow lock range, large swings on the input will cause less frequency variation.

Internally, the resistors set a current in a current mirror shown in *Figure 1*. The mirrored current drives one

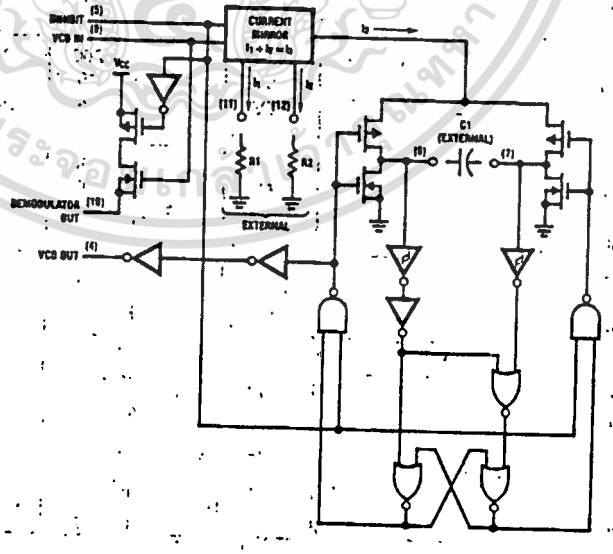


FIGURE 1. Logic Diagram for VCO

TL/F/5382-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

...ted Circuit Description (Continued)

...capacitor; once the capacitor charges up to the threshold of the Schmitt Trigger the oscillator logic flips the mirror over and causes the mirror to charge the opposite side of the capacitor. The output from the internal logic is taken to pin 4.

...input to the VCO is a very high impedance CMOS input and thus will not load down the loop filter, easing the filter design. In order to make signals at the VCO input available without degrading the loop performance, a source follower transistor is provided. This transistor can be used by connecting a resistor to ground and its drain pin will follow the VCO input signal.

...inhibit signal is provided to allow disabling of the VCO and the source follower. This is useful if the internal VCO is being used, but an external one is. A logic high on inhibit will disable the VCO and source follower.

...output of the VCO is a standard high speed CMOS output with an equivalent LS-TTL fanout of 10. The VCO output is approximately a square wave. This output can either directly feed the comparator input of the phase comparators or feed external prescalers (counters) to enable frequency synthesis.

PHASE COMPARATORS

All three phase comparators have two inputs, Signal In and Comparator In. The Signal In has a special DC bias network that enables AC coupling of input signals. If the signals are not AC coupled then this input requires logic levels the same as standard 54HC/74HC. The comparator input is a standard digital input. Both input structures are shown in *Figure 3.*

The outputs of these comparators are essentially standard 54HC/74HC voltage outputs (comparator II is TRI-STATE).

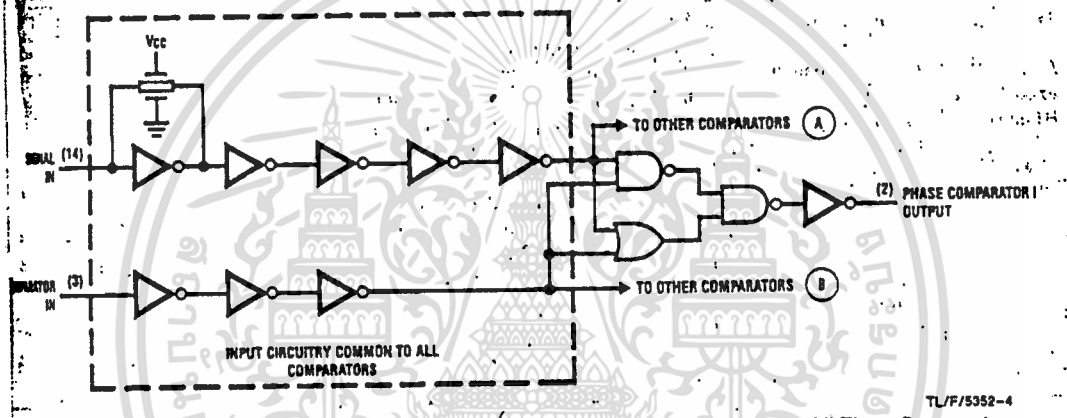


FIGURE 3. Logic Diagram for Phase Comparator I and the Common Input Circuit for All Three Comparators

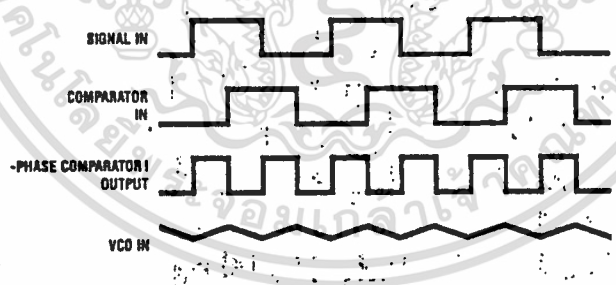
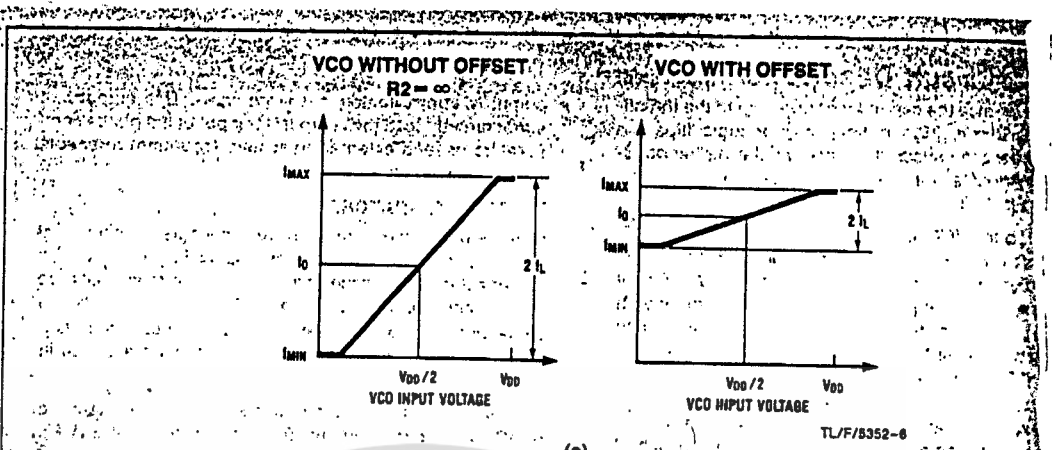


FIGURE 4. Typical Phase Comparator I Waveforms

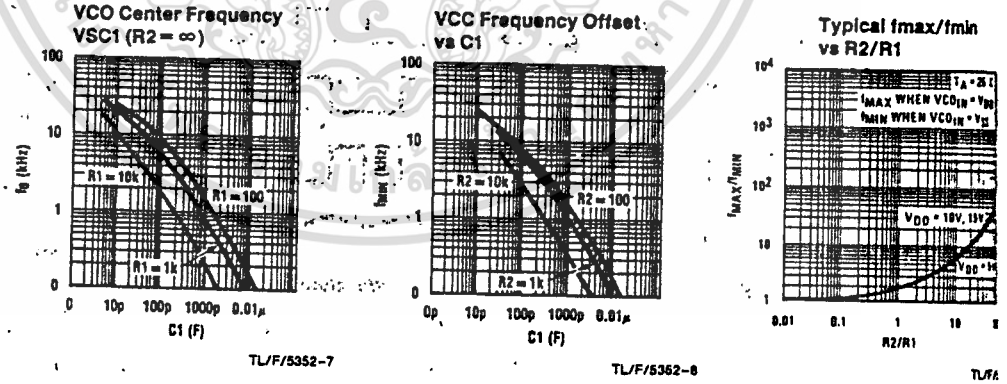
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)

Comparator I		Comparator II		Comparator III	
$R_2 = \infty$	$R_2 \neq \infty$	$R_2 = \infty$	$R_2 \neq \infty$	$R_2 = \infty$	R_2
–Given: f_0 –Use f_0 with *Figure 5a* to determine R1 and C1	–Given: f_0 and f_L –Calculate f_{min} from the equation $f_{min} = f_0 - f_L$ –Use f_{min} with *Figure 5b* to determine R2 and C1 –Calculate f_{max}/f_{min} from the equation $f_{max}/f_{min} = f_0 + f_L/f_0 - f_L$ –Use f_{max}/f_{min} with *Figure 5c* to determine ratio R2/R1 to obtain R1	–Given: f_{max} –Calculate f_0 from the equation $f_0 = f_{max}/2$ –Use f_0 with *Figure 5a* to determine R1 and C1	–Given: f_{min} and f_{max} –Use f_{min} with *Figure 5b* to determine R2 and C1 –Calculate f_{max}/f_{min} –Use f_{max}/f_{min} with *Figure 5c* to determine ratio R2/R1 to obtain R1		

(b)



(c) (d) (e)

FIGURE 2. VCO Characteristics: a) Idealized Transfer Function
b) Determining External Components
c), d), e) Typical Frequency Characteristics versus Component Values

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Circuit Description (Continued)

operation V_{CC} and ground voltage levels
loop filter. This differs from some phase
supply a current output to the loop filter
be considered in the design. (The CD4046
a voltage.)

the state tables for all three comparators.

ARATOR I

is a simple XOR gate similar to the 54/
its operation is similar to an overdriven bal-
tor. To maximize lock range the input
must have a 50% duty cycle. Typical input
waveforms are shown in *Figure 4*. The output of
detector feeds the loop filter which averages the
. The frequency range upon which the PLL
initially out of lock is defined as the capture
capture range for phase detector I is depen-
VCO filter employed. The capture range can be
the lock range, which is equal to the VCO fre-
.

the detector operates, refer to *Figure 4*. When
inputs are applied to this comparator, an
whose duty cycle is dependent on the
between the two signals results. As the
ence increases, the output duty cycle
the voltage after the loop filter increases.
to achieve lock when the PLL input fre-
the VCO input, voltage must increase
and the phase difference between comparator In and signal In will increase. At an input frequency equal to f_{min}, the VCO input is at 0V. This requires the phase detector output to be grounded; hence, the two input signals must be in phase. When the input frequency is f_{max}, the VCO input must be V_{CC} and the phase detector inputs must be 180° out of phase.

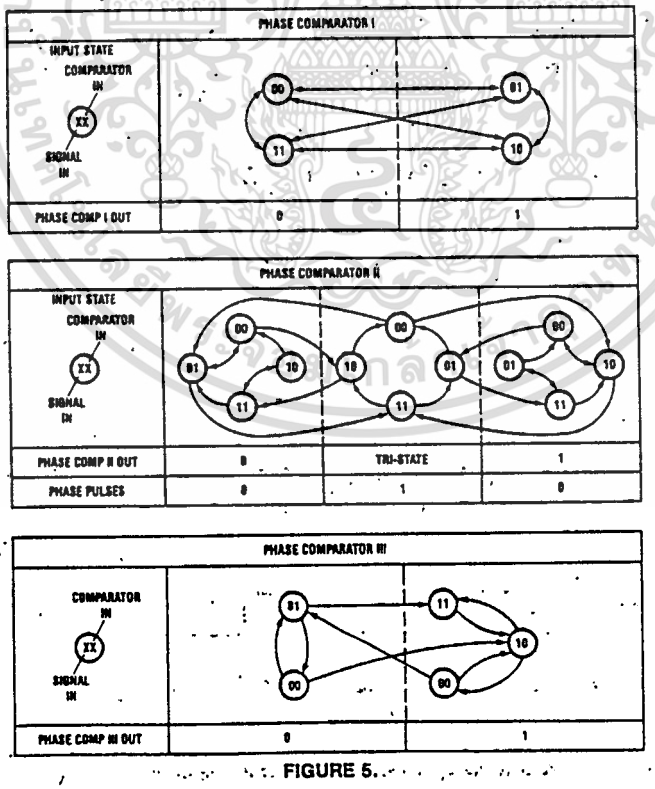
The XOR is more susceptible to locking onto harmonics of the signal input than the digital phase detector II. For instance, a signal 2 times the VCO frequency results in the same output duty cycle as a signal equal to the VCO frequency. The difference is that the output frequency of the 2f example is twice that of the other example. The loop filter and the VCO range should be designed to prevent locking on to harmonics.

PHASE COMPARATOR II

This detector is a digital memory network. It consists of four flip-flops and some gating logic, a three state output and a phase pulse output as shown in *Figure 6*. This comparator acts only on the positive edges of the input signals and is thus independent of signal duty cycle.

Phase comparator II operates in such a way as to force the PLL into lock with 0 phase difference between the VCO output and the signal input positive waveform edges. *Figure 7* shows some typical loop waveforms. First assume that the signal input phase is leading the comparator input. This

Comparator State Diagrams



TL/F/5352–10

FIGURE 5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Detailed Circuit Description (Continued)

means that the VCO's frequency must be increased to bring its leading edge into proper phase alignment. Thus the phase detector II output is set high. This will cause the loop filter to charge up the VCO input, increasing the VCO frequency. Once the leading edge of the comparator input is detected, the output goes TRI-STATE holding the VCO input at the loop filter voltage. If the VCO still lags the signal then the phase detector will again charge up to VCO input for the time between the leading edges of both waveforms.

If the VCO leads the signal then when the leading edge of the VCO is seen, the output of the phase comparator goes low. This discharges the loop filter until the leading edge of the signal is detected at which time the output disables itself again. This has the effect of slowing down the VCO to again make the rising edges of both waveforms coincidental.

When the PLL is out of lock, the VCO will be running either slower or faster than the signal input. If it is running slower the phase detector will see more signal rising edges and so the output of the phase comparator will be high a majority of the time, raising the VCO's frequency. Conversely, if the VCO is running faster than the signal, the output of the detector will be low most of the time and the VCO's output frequency will be decreased.

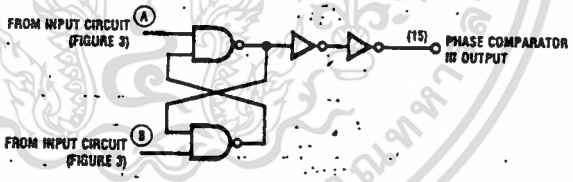
As one can see, when the PLL is locked the output of phase comparator II will be almost always disabled except for minor corrections at the leading edge of the waveforms. When the detector is TRI-STATE the phase pulse output is high. This output can be used to determine when the PLL is in the locked condition.

This detector has several interesting characteristics. Over the entire VCO frequency range there is no phase difference between the comparator input and the signal input. The lock range of the PLL is the same as the capture range. Minimal power is consumed in the loc in lock the detector output is a high impe when no signal is present, the detector will a leading edges, so the comparator output will r ing the VCO to f_{min} operating frequency.

Phase comparator II is more susceptible to no the phase lock loop to unlock. If a noise puls the signal input, the comparator treats it as a tive edge of the signal and will cause the outp until the VCO leading edge is seen, potentiall signal input period. This would cause the VCO during that time. When using the phase comp output of that phase detector would be distur the short duration of the noise spike and would upset.

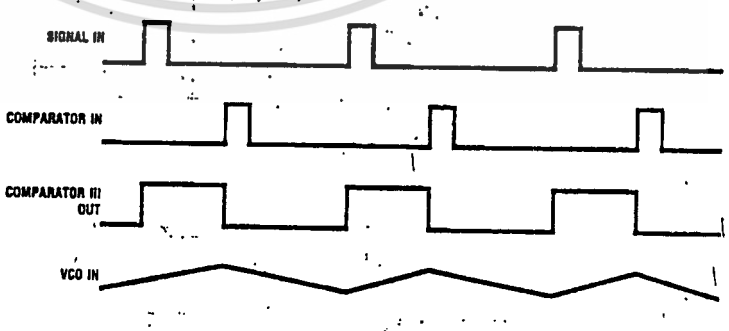
PHASE COMPARATOR III

This comparator is a simple SR flip-flop which a as a phase comparator as shown in *Figure 8*. It similar characteristics to the edge sensitive co see how this detector works, assume input applied to the signal and comparator inputs a *Figure 9*. When the signal input leads the input, the flop is set. This will charge up the loo cause the VCO to speed up, bringing the comp phase with the signal input. When using short input, this comparator behaves very similarly to t comparator. But one can see that if the signal long pulse, the output of the comparator will be one no matter how many comparator input p received. Also, if the VCO input is a square wav and the signal input is pulse, then the VCO will comparator output low much of the time. Then ideal to condition the signal and comparator inp pulses. This is most easily done by using capacitor.



TL/F/5352–11

FIGURE 8. Phase Comparator III Logic Diagram



TL/F/5352–12

FIGURE 9. Typical Waveforms for Phase Comparator III

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

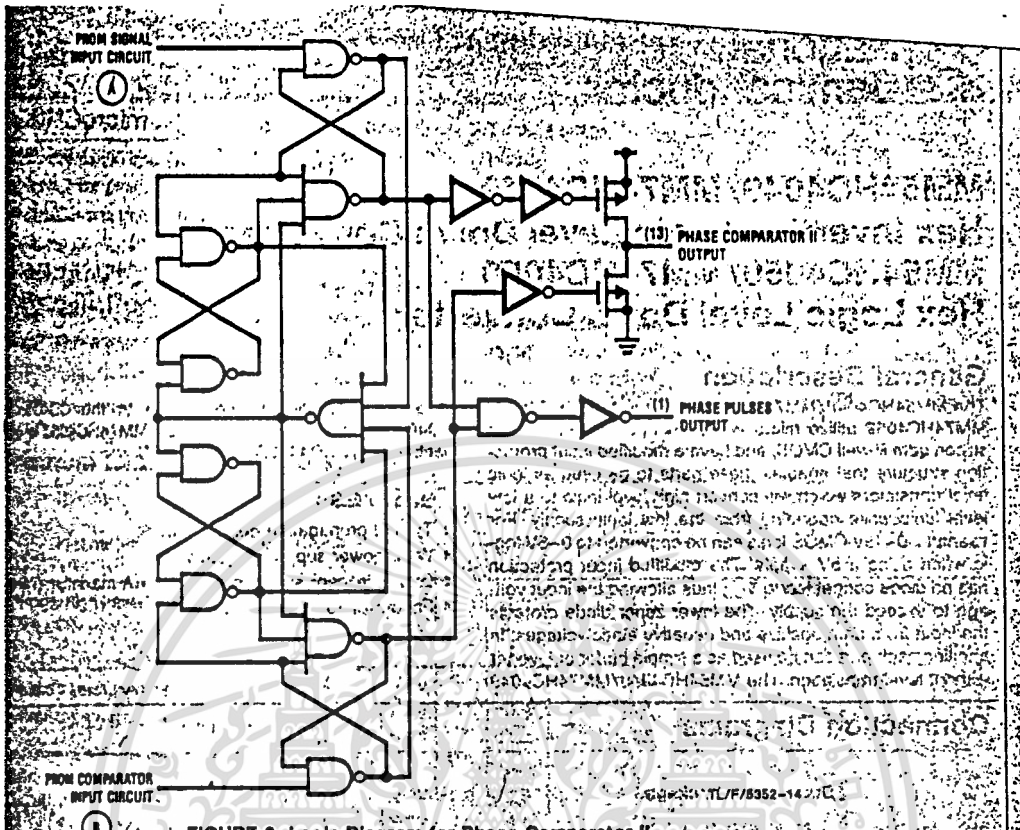


FIGURE 6. Logic Diagram for Phase Comparator II

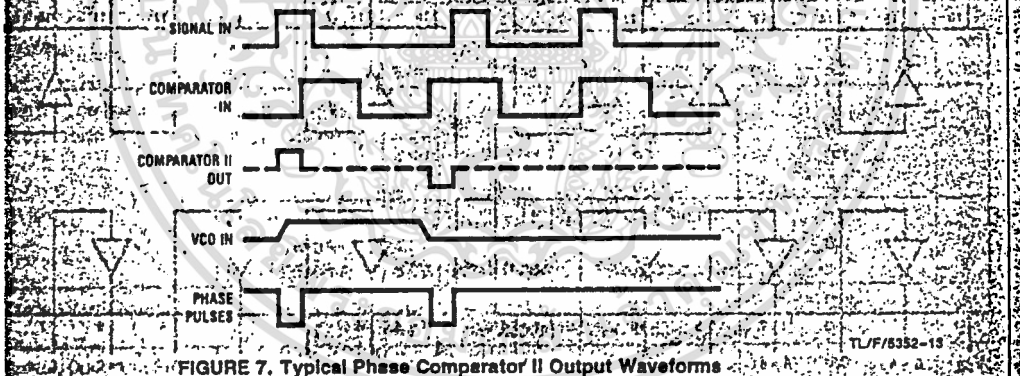


FIGURE 7. Typical Phase Comparator II Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

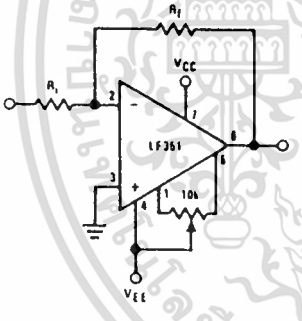
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

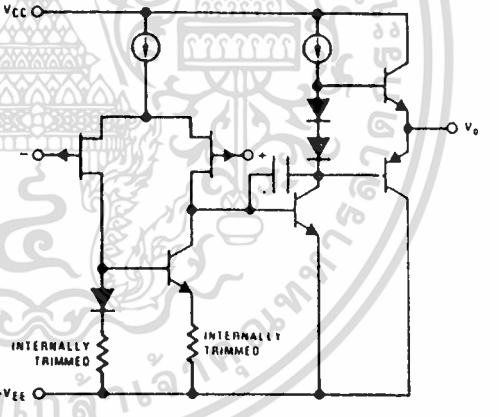
Features

■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/$\sqrt{Hz}$
■ Low input noise current	0.01 pA/$\sqrt{Hz}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, V_O 20 Vp-p, BW = 20 Hz-20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection

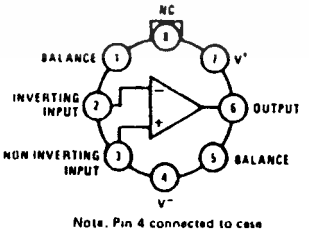


Simplified Schematic



Connection Diagrams (Top Views)

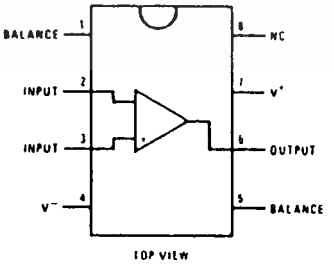
Metal Can Package



Note. Pin 4 connected to case

Order Number LF351H
See NS Package Number H08C

Dual-In-Line Package



TOP VIEW

Order Number LF351J, LF351M or LF351N
See NS Package Number J08A, M08A or N08E

TL/H/5648-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	± 18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to + 70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	± 30V
Input Voltage Range (Note 2)	± 15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to + 150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C

	H Package	N Package
θ_{jA}	164°C/W (Still Air)	120°C/W
	66°C/W	
	(400 LF/min Air Flow)	
θ_{jC}	21°C/W	

Soldering Information

Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 10\,k\Omega$, $T_A = 25°C$		5	10	mV
		Over Temperature			13	mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10\,k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4)		25	100	pA
		$T_j \leq 70°C$			4	nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4)		50	200	pA
		$T_j \leq 70°C$			8	nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$	25	100		V/mV
		$V_O = \pm 10V$, $R_L = 2\,k\Omega$				
		Over Temperature	15			V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10\,k\Omega$	± 12	± 13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	± 11	± 15		V
				12		V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10\,k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		$V/\mu s$
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_J = 25°C$, $f = 1000$ Hz		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{JA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_J. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_J = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum

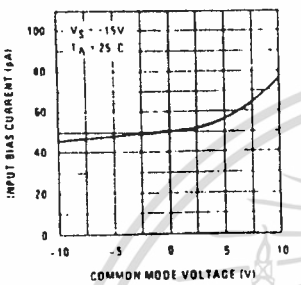
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From $\pm 15V$ to $\pm 5V$

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

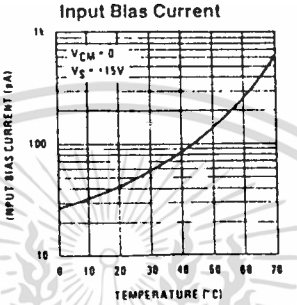
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

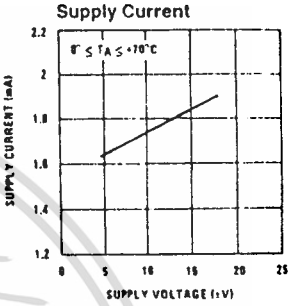
Input Bias Current



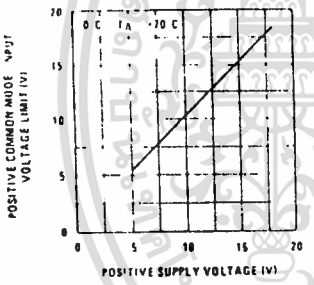
Input Bias Current



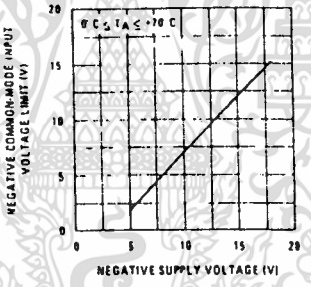
Supply Current



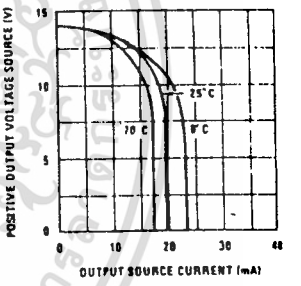
Positive Common-Mode Input Voltage Limit



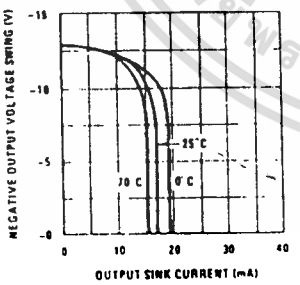
Negative Common-Mode Input Voltage Limit



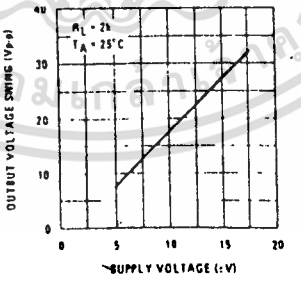
Positive Current Limit



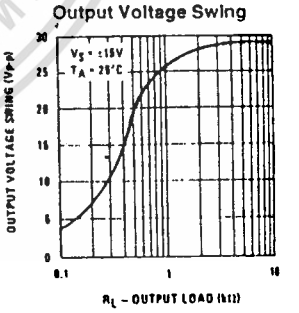
Negative Current Limit



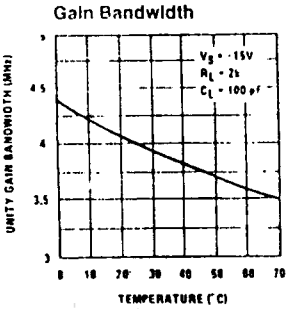
Voltage Swing



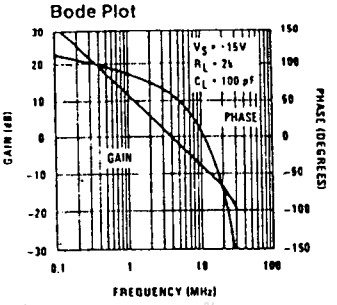
Output Voltage Swing



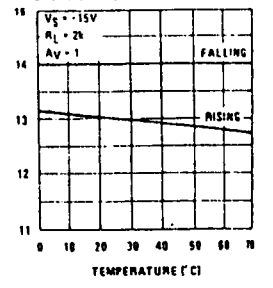
Gain Bandwidth



Bode Plot



Slew Rate

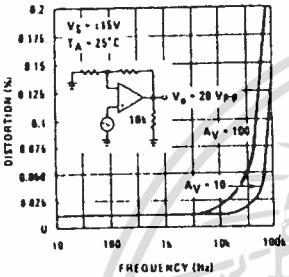


TL/H/5648-7

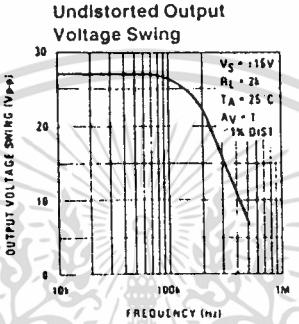
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

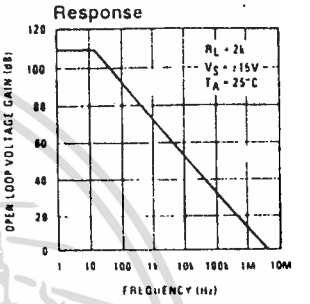
Distortion vs Frequency



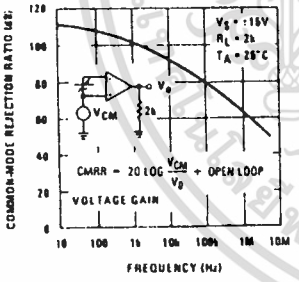
Undistorted Output Voltage Swing



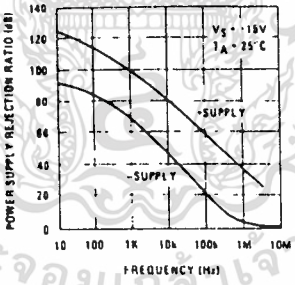
Open Loop Frequency Response



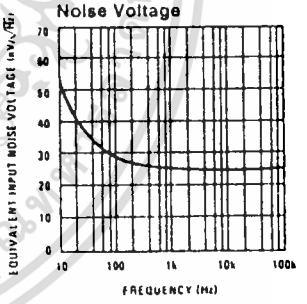
Common-Mode Rejection Ratio



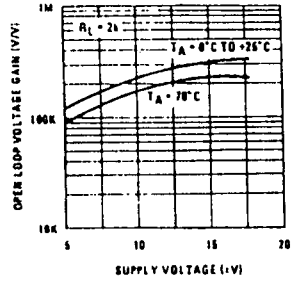
Power Supply Rejection Ratio



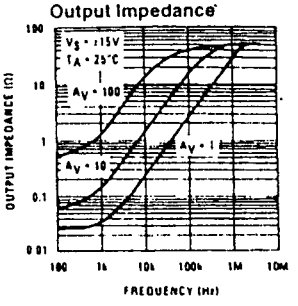
Equivalent Input Noise Voltage



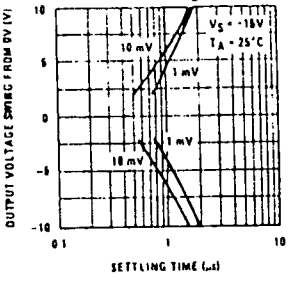
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

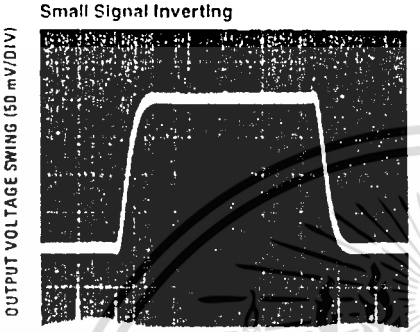


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

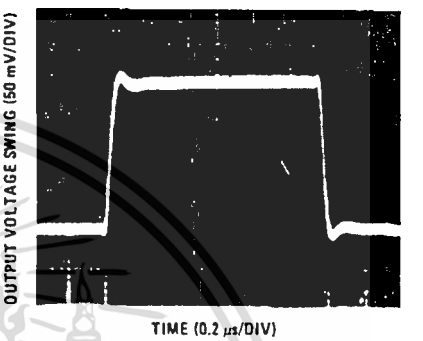
Pulse Response

Small Signal Inverting



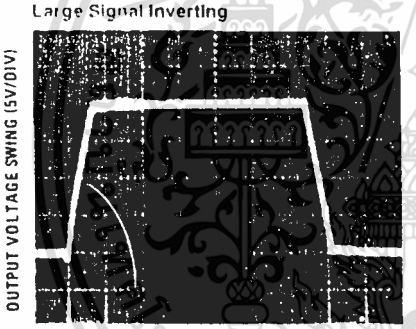
TL/H/5648-4

Small Signal Non-Inverting



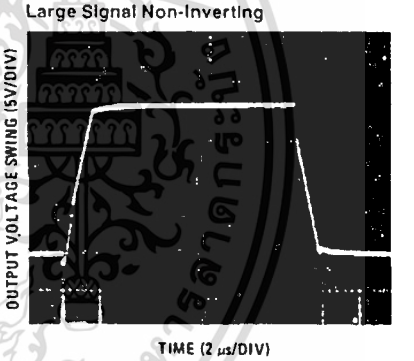
TL/H/5648-5

Large Signal Inverting



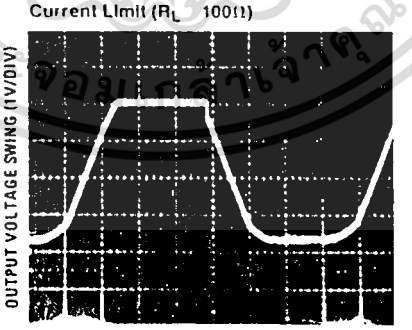
TL/H/5648-6

Large Signal Non-Inverting



TL/H/5648-7

Current Limit (R_L 100Ω)



TL/H/5648-8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ± 4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF351 will drive a 2 kΩ load resistance to ± 10V over the full temperature range of 0°C to + 70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

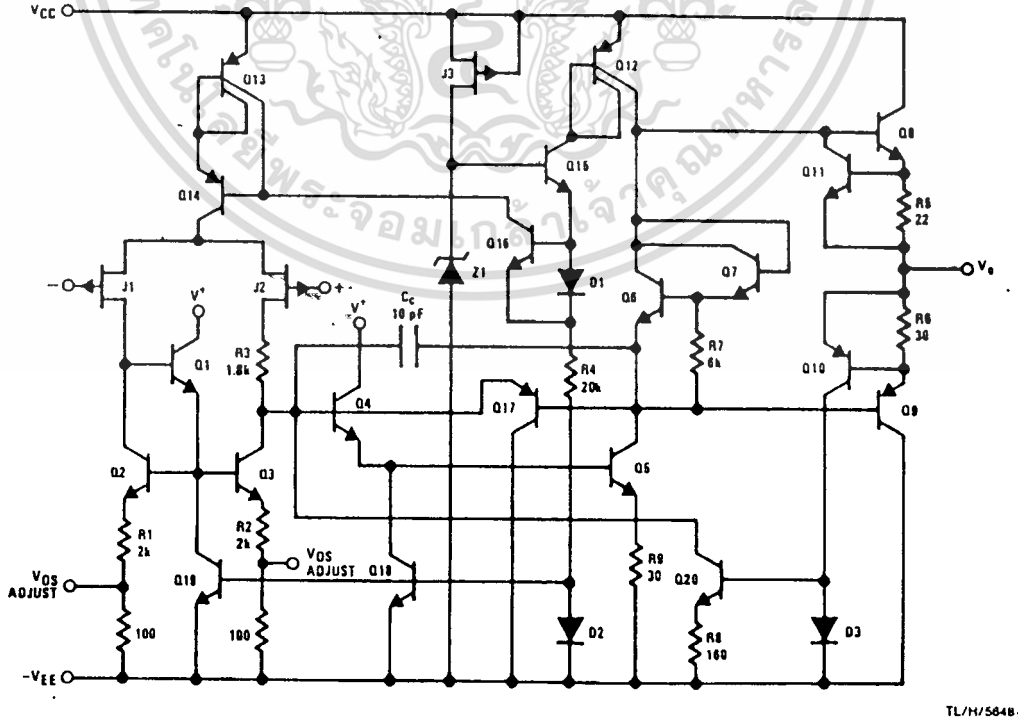
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant

Detailed Schematic

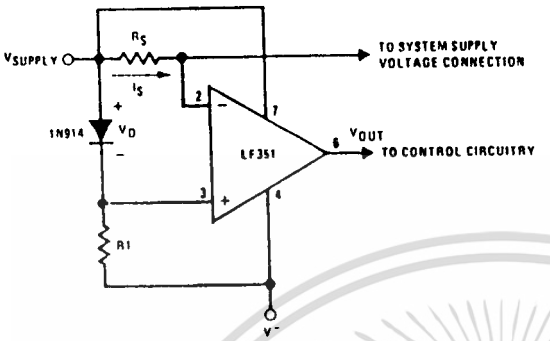


TL/H/5648-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

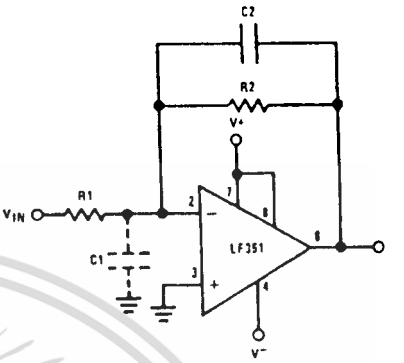
Typical Applications

Supply Current Indicator/Limiter



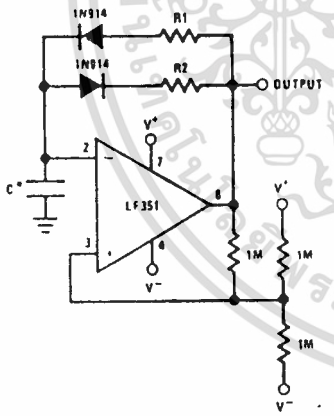
• V_{OUT} switches high when $R_S I_S \sim V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that: R2C2 ≤ R1C1

Ultra-Low (or High) Duty Cycle Pulse Generator



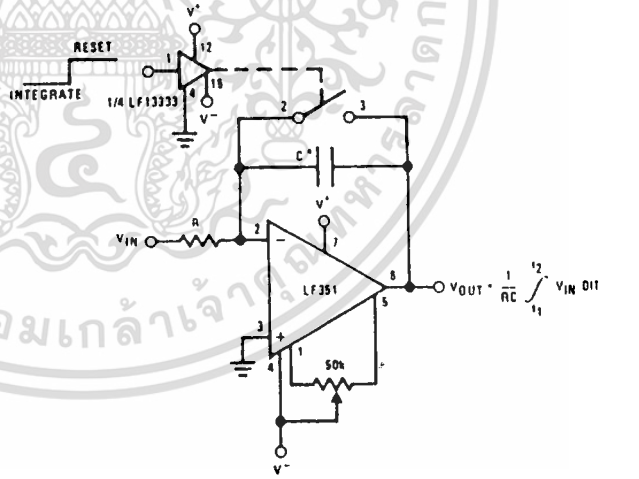
• $t_{OUTPUT\ HIGH} \approx R1C\ ln \frac{4.8}{4.8} \frac{2V_S}{V_S}$

• $t_{OUTPUT\ LOW} \approx R2C\ ln \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



TL/H/5648-17

*Low leakage capacitor

• 50k pot used for less sensitive V_{OS} adjust

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1496
MC1596

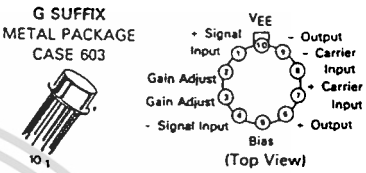
BALANCED MODULATOR/DEMODULATOR

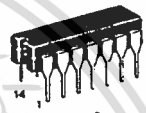
BALANCED MODULATOR/ DEMODULATOR

. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression – 65 dB typ @ 0.5 MHz
  – 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection – 85 dB typ

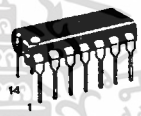
G SUFFIX
METAL PACKAGE
CASE 603





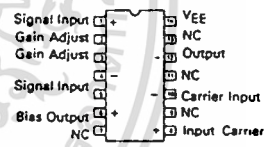
L SUFFIX
CERAMIC PACKAGE
CASE 632

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)



P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN ASSIGNMENTS



ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	−55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

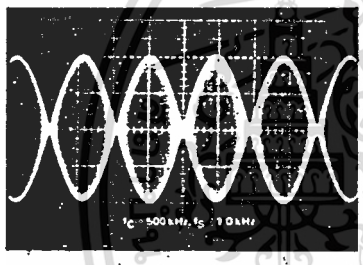


FIGURE 1 –
SUPPRESSED CARRIER
OUTPUT WAVEFORM

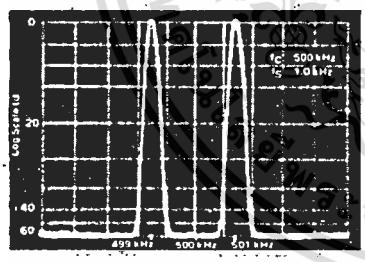


FIGURE 2 –
SUPPRESSED CARRIER
SPECTRUM

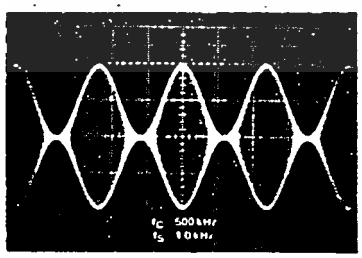
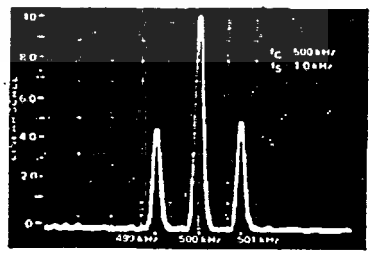


FIGURE 3 –
AMPLITUDE MODULATION
OUTPUT WAVEFORM

FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_6 - V_7$, $V_8 - V_1$, $V_9 - V_7$, $V_9 - V_8$, $V_7 - V_4$, $V_7 - V_1$, $V_8 - V_4$, $V_6 - V_8$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_7 - V_8$ $V_4 - V_1$	+5.0 $\pm(5 + I_5R_e)$	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C, all input and output characteristics are single-ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough	5	1	V_{CFT}							μV(rms)
V_C = 60 mV(rms) sine wave and offset adjusted to zero, f_C = 1.0 kHz				—	40	—	—	40	—	
f_C = 10 MHz				—	140	—	—	140	—	mV(rms)
V_C = 300 mVp-p square wave: offset adjusted to zero, f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	
offset not adjusted, f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression	5	2	V_{CS}							dB
f_S = 10 kHz, 300 mV(rms)										
f_C = 500 kHz, 60 mV(rms) sine wave				50	65	—	40	65	—	
f_C = 10 MHz, 60 mV(rms) sine wave				—	50	—	—	50	—	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms)	8	8	BW_{3dB}							MHz
Carrier Input Port, V_C = 60 mV(rms) sine wave				—	300	—	—	300	—	
f_S = 1.0 kHz, 300 mV(rms) sine wave										
Signal Input Port, V_S = 300 mV(rms) sine wave				—	80	—	—	80	—	
$\lvert V_C \rvert$ = 0.5 Vdc										
Signal Gain	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
V_S = 100 mV(rms), f = 1.0 kHz; $\lvert V_C \rvert$ = 0.5 Vdc										
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz	6	—								
Parallel Input Resistance			r_{ip}	—	200	—	—	200	—	kΩ
Parallel Input Capacitance			c_{ip}	—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz	6	—								
Parallel Output Resistance			r_{op}	—	40	—	—	40	—	kΩ
Parallel Output Capacitance			c_{oo}	—	5.0	—	—	5.0	—	pF
Input Bias Current	7	—								μA
$I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$			I_{bS} I_{bC}	— —	12 12	25 25	— —	12 12	30 30	
Input Offset Current	7	—								μA
$I_{ioS} = I_1 - I_4$; $I_{ioC} = I_7 - I_8$			$\lvert I_{ioS} \rvert$ $\lvert I_{ioC} \rvert$	— —	0.7 0.7	5.0 5.0	— —	0.7 0.7	7.0 7.0	
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)	7	—	$\lvert TC_{Iio} \rvert$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_6 - I_9$)	7	—	$\lvert I_{oo} \rvert$	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)	7	—	$\lvert TC_{Ioo} \rvert$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\lvert V_C \rvert$ = 0.5 Vdc	9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current	7	6								mAdc
$I_6 + I_8$			I_{CC}	—	2.0	3.0	—	2.0	4.0	
I_{10}			I_{EE}	—	3.0	4.0	—	3.0	5.0	
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

GENERAL OPERATING INFORMATION*

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_O}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26\text{ mV}}{I_5\text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5.

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e, assuming $V_9 = V_6$, $I_5 = I_6 = I_9$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{10}) + I_5 (V_5 - V_{10})$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_9$$

$$I_B << I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V - -\phi}{I_5} - 500\ \Omega$$

where: R_5 is the resistor between pin 5 and ground

ϕ = 0.75 V at T_A = +25°C

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table:

$$30\text{ Vdc} \geq [(V_6, V_9) - (V_7, V_8)] \geq 2\text{ Vdc}$$

$$30\text{ Vdc} \geq [(V_7, V_8) - (V_1, V_4)] \geq 2.7\text{ Vdc}$$

$$30\text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7\text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_9,\ V_7 = V_8,\ V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21C} = \left.\frac{i_o \text{ (each sideband)}}{v_s \text{ (signal)}}\right| V_O = 0$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21S} = \left.\frac{i_o \text{ (signal)}}{v_s \text{ (signal)}}\right| V_C = 0.5\text{ Vdc}, V_O = 0$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Output Signal, V_o

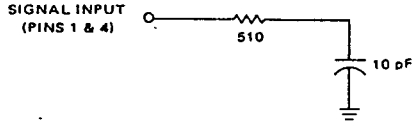
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.

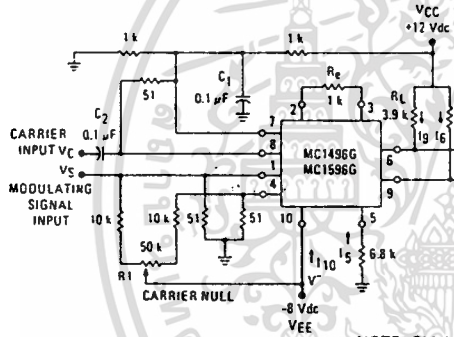


An alternate method for low-frequency applications is to insert a 1 kOhm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS*

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 6 – INPUT-OUTPUT IMPEDANCE

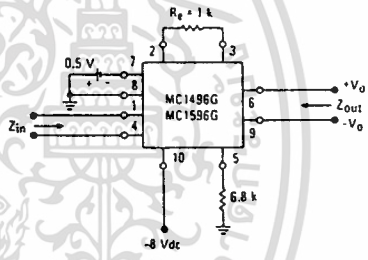


FIGURE 7 – BIAS AND OFFSET CURRENTS

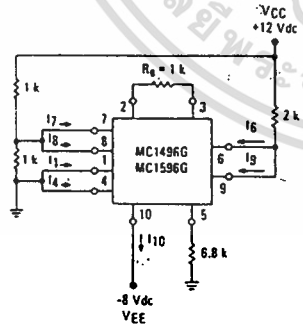
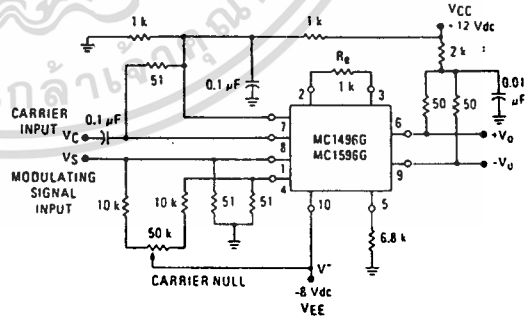


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON MODE GAIN

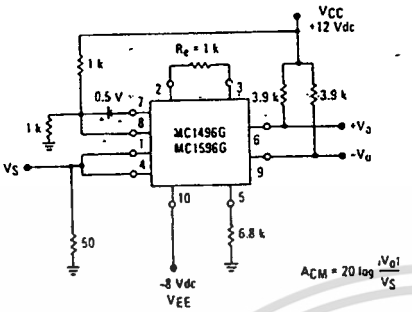
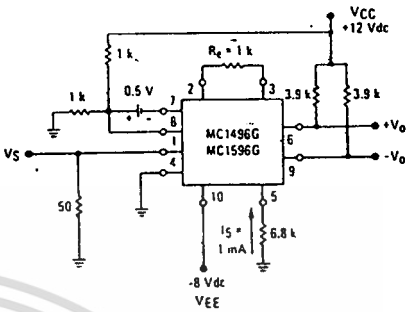


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

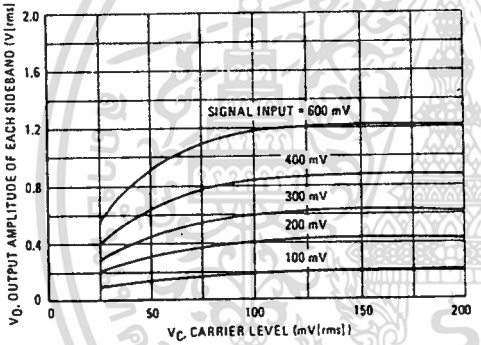


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

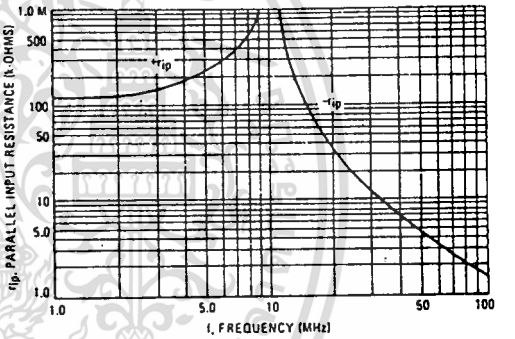


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

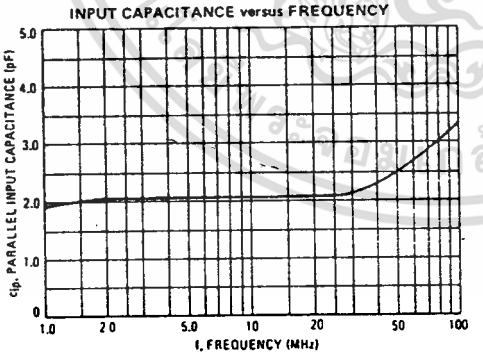
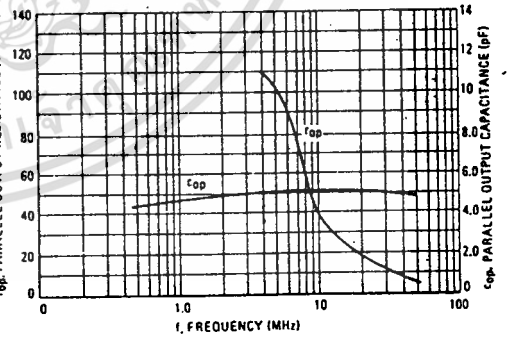


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

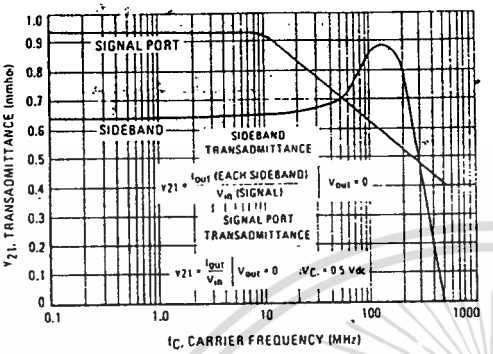


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

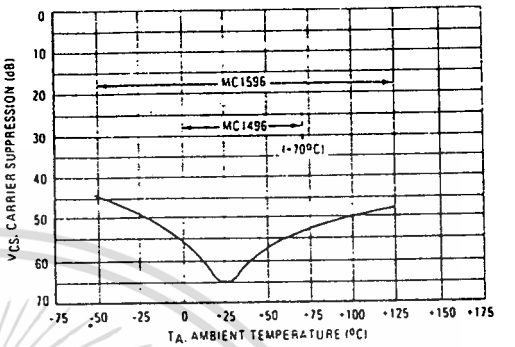


FIGURE 17 – SIGNAL PORT FREQUENCY RESPONSE

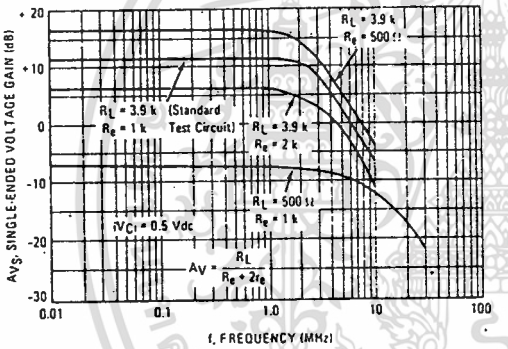


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

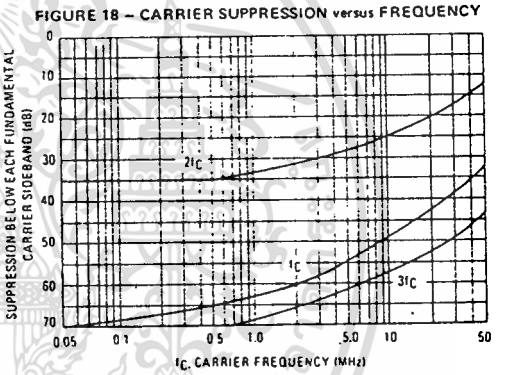


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

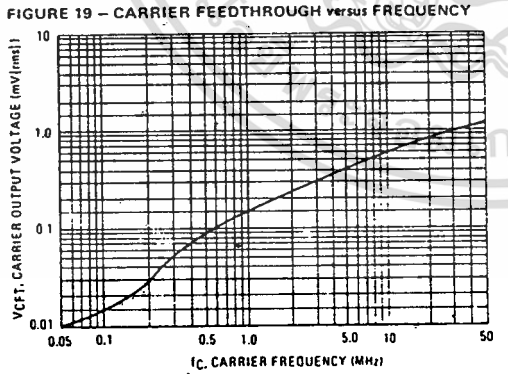
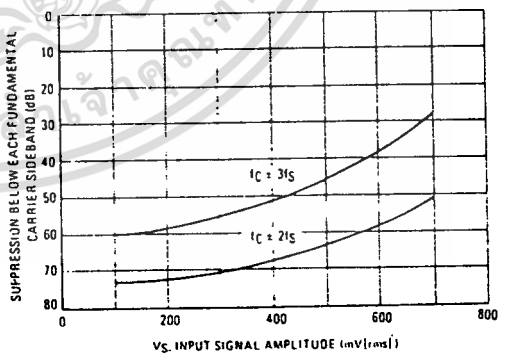


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

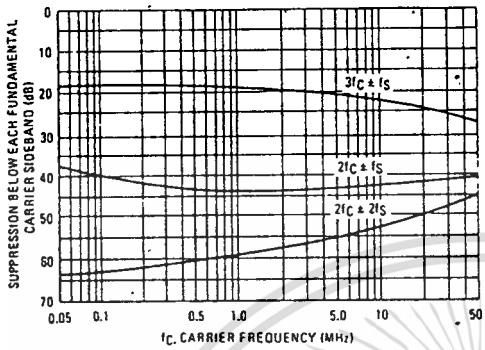
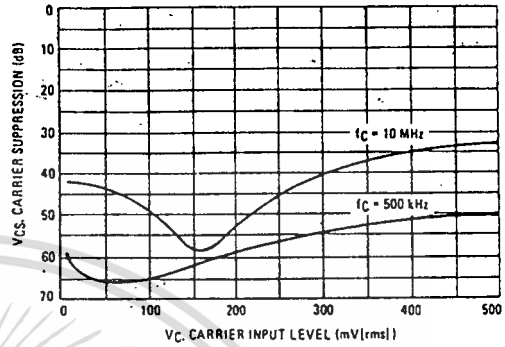


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output

FIGURE 23 – CIRCUIT SCHEMATIC*

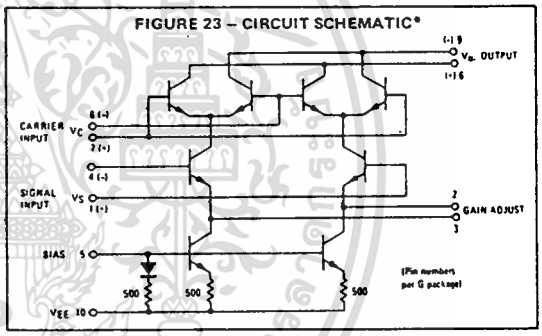
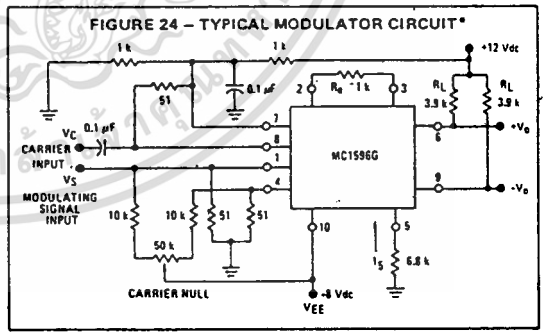


FIGURE 24 – TYPICAL MODULATOR CIRCUIT*



*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V \approx (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637\, R_L}{R_E + 2r_e}$	$f_C \pm f_M$, $3f_C \pm f_M$, $5f_C \pm f_M$.

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C:
$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 7 and 8 should be increased to 1.0 μF. Also, the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provde an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 26 – BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

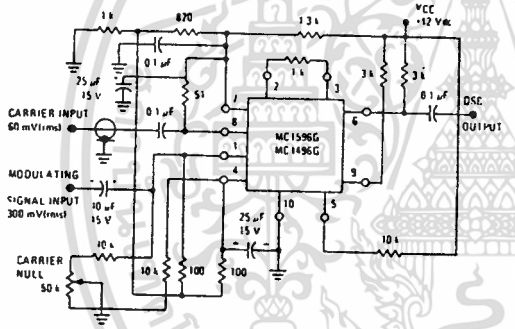


FIGURE 27 – BALANCED MODULATOR-DEMODULATOR

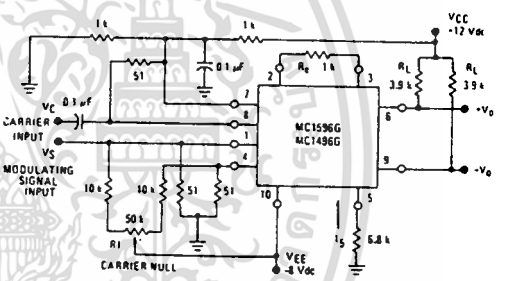


FIGURE 28 – AM MODULATOR CIRCUIT

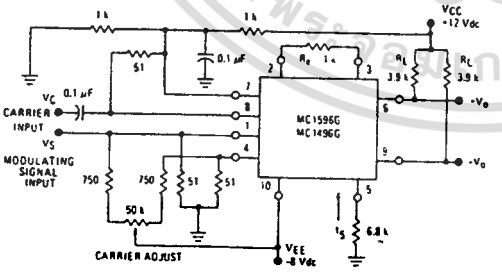
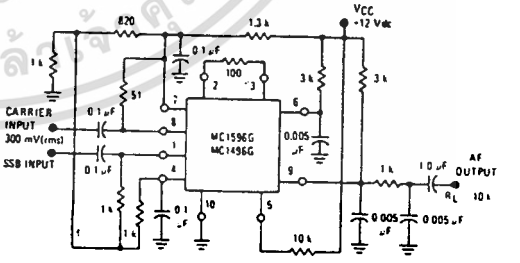


FIGURE 29 – PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FEATURES

Low-Sine Wave Distortion	.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

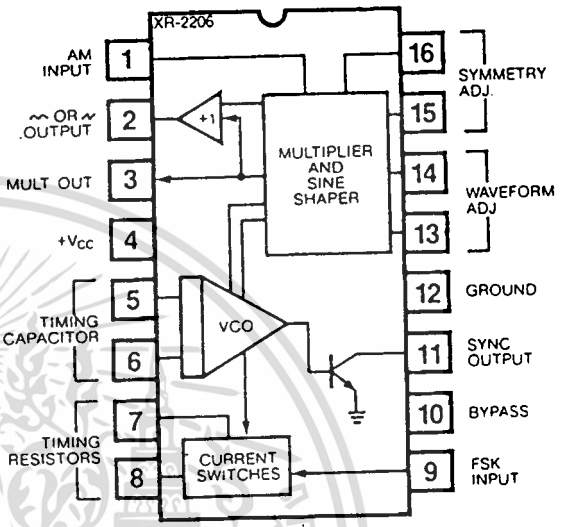
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency porportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\,\mu F$, $R_1 = 100\,k\Omega$, $R_2 = 10\,k\Omega$, $R_3 = 25\,k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTCS								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10\,k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	C = 1000 pF, $R_1 = 1\,k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	C = 50 μF, $R_1 = 2\,M\Omega$
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	$0°C \leq T_A \leq 75°C$, $R_1 = R_2 = 20\,k\Omega$
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20\,k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ $R_1 = 1\,k\Omega$, f_L @ $R_1 = 2\,M\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1$ kHz, $f_H = 10$ kHz
1000:1 Sweep		8			8		%	$f_L = 100$ Hz, $f_H = 100$ kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor C	0.001		100	0.001		100	μF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/kΩ	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30\,k\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10$ pF
Fall Time		50			50		nsec	$C_L = 10$ pF
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2$ mA
Leakage Current		0.1	20		0.1	100	μA	$V_{11} = 26V$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 2

Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to $\approx$0.5% by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

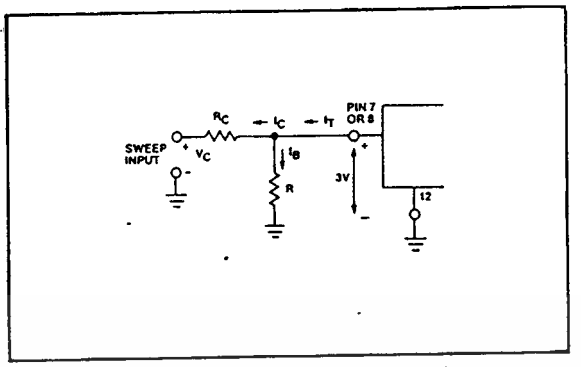


Figure 9: Circuit Connection for Frequency Sweep.

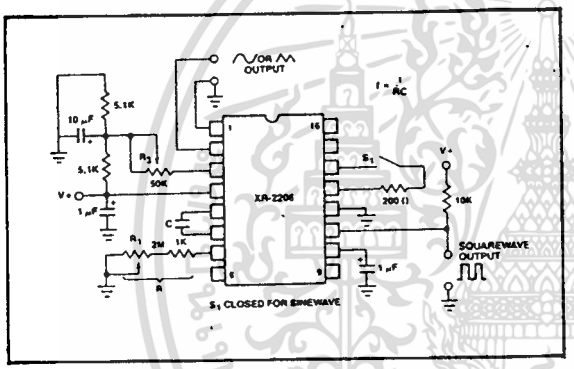


Figure 10: Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3.)

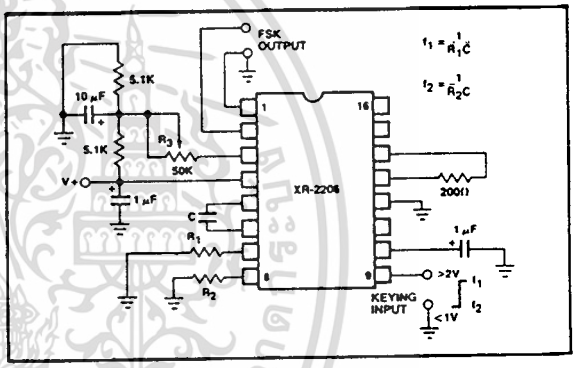


Figure 12: Sinusoidal FSK Generator.

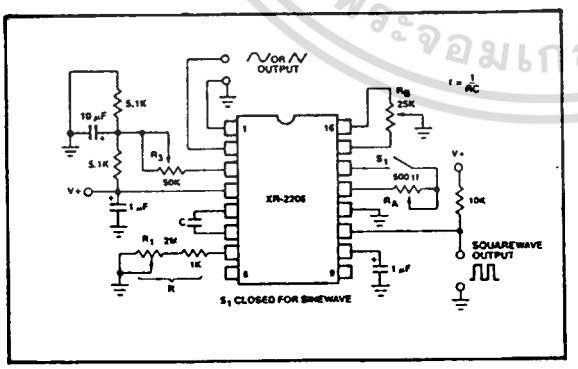


Figure 11: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing — See Figure 2.)

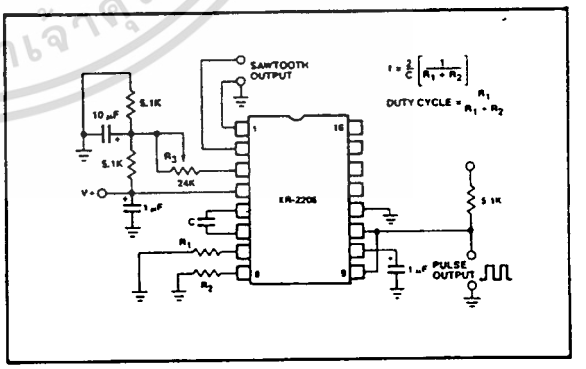


Figure 13: Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

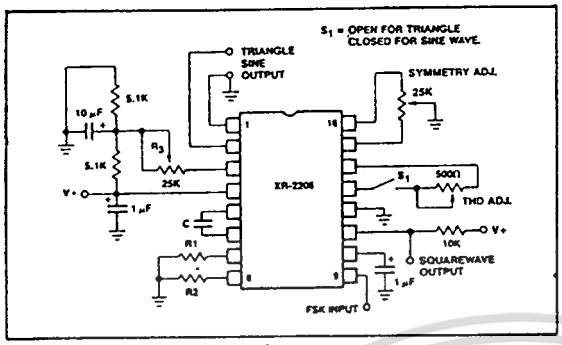


Figure 1: Basic Test Circuit.

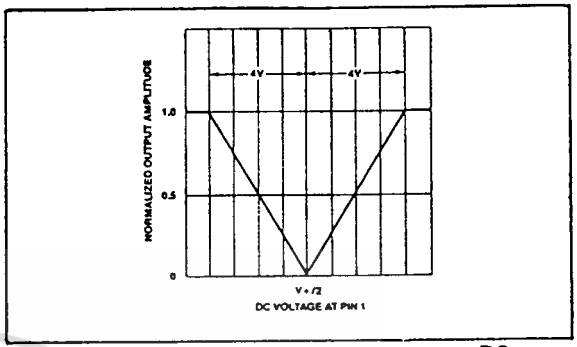


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

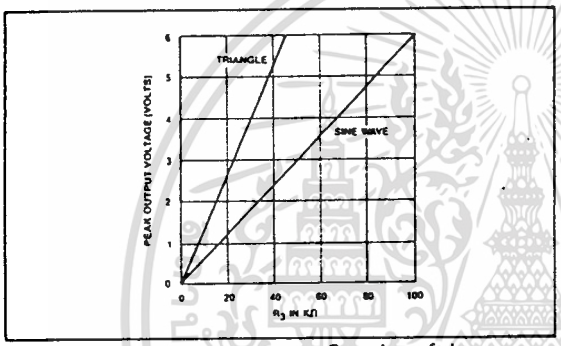


Figure 2: Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

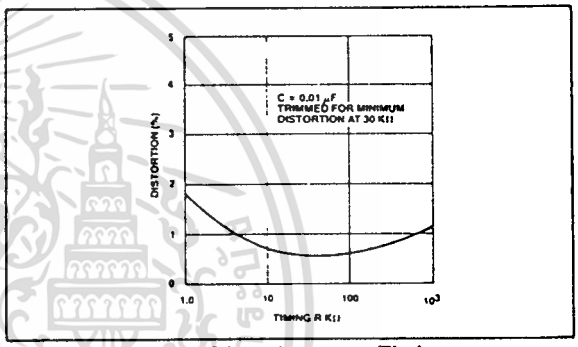


Figure 6: Trimmed Distortion versus Timing Resistor.

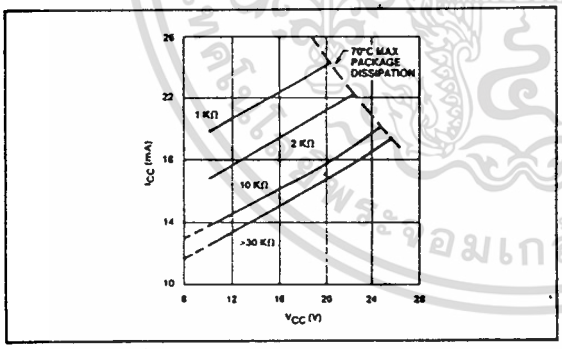


Figure 3: Supply Current versus Supply Voltage, Timing, R.

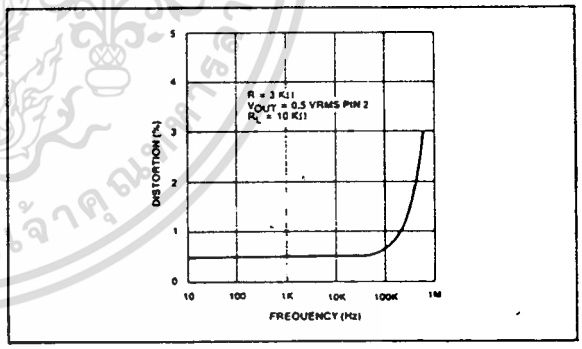


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

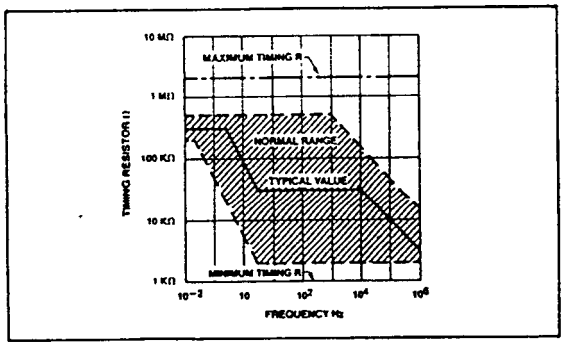


Figure 4: R versus Oscillation Frequency.

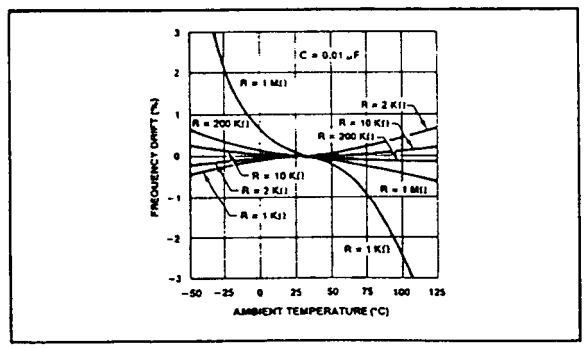


Figure 8: Frequency Drift versus Temperature.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:
The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, are shown in Figure 4. Temperature stability is optimum for 4 kΩ < R < 200 kΩ. Recommended values of C are from 1000 pF to 100 μF

Frequency Sweep and Modulation:
Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8.

$$f = \frac{320 I_T \text{ (mA)}}{C \text{ } (\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T, over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC} \left[1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right)\right] \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = - \frac{0.32}{R_C C} \text{ Hz/V}$$

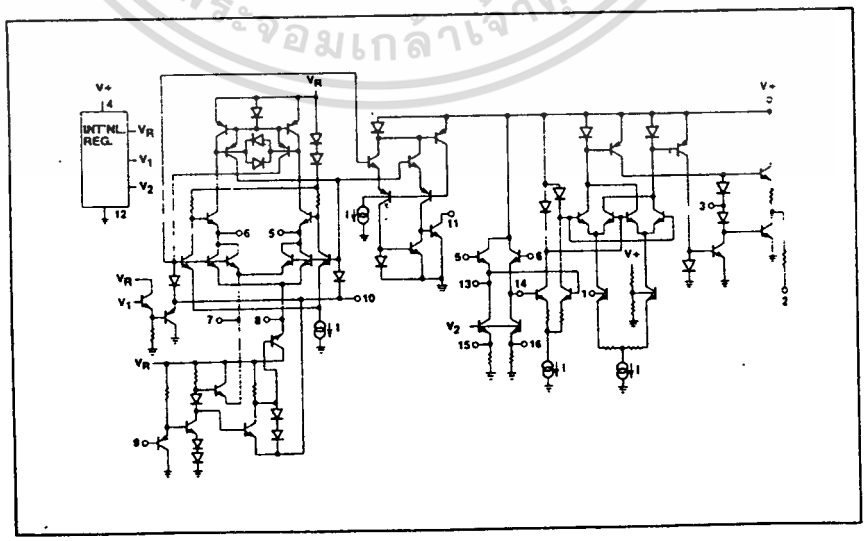
CAUTION: For safe operation of the circuit, I_T should be limited to $\leq$3 mA.

Output Amplitude:
Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160 mV peak per kΩ of R_3. Thus, for example, R_3 = 50 kΩ would produce approximately ±3V sinusoidal output amplitude.

Amplitude Modulation:
Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ±4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+.

EQUIVALENT SCHEMATIC DIAGRAM



HIGH QUALITY FUNCTION GENERATOR SYSTEM WITH THE XR-2206

January

INTRODUCTION

Waveform or function generators capable of producing am/fm modulated sine wave outputs find a wide range of applications in electrical measurement and laboratory instrumentation. This application note describes the design, construction and the performance of such a complete function generator system suitable for laboratory usage or hobbyist applications. The entire function generator is comprised of a single XR-2206 monolithic IC and a limited number of passive circuit components. It provides the engineer, student, or hobbyist with a highly versatile laboratory instrument for waveform generation at a very small fraction of the cost of conventional function generators available today.

GENERAL DESCRIPTION

The basic circuit configuration and the external components necessary for the high-quality function generator system is shown in Figure 1. The circuit shown in the figure is designed to operate with either a 12 V single power supply, or with ±6 V split supplies. For most applications, split-supply operation is preferred since it results in an output dc level which is nearly at ground potential.

The circuit configuration of Figure 1 provides three basic waveforms: sine, triangle and square wave. There are four overlapping frequency ranges which give an overall frequency range of 1 Hz to 100 kHz. In each range, the frequency may be varied over a 100:1 tuning range.

The sine or triangle output can be varied from 0 to over 6 V (peak to peak) from a 600 ohm source at the output terminal.

A squarewave output is available at the sync output terminal for oscilloscope synchronizing or driving logic circuits.

TYPICAL PERFORMANCE CHARACTERISTICS

The performance characteristics listed below are not guaranteed or warranted by Exar. However, they represent the typical performance characteristics measured by Exar's application engineers during the laboratory evaluation of the function generator system shown in Figure 1. The typical performance specifications listed below apply only when all of the recommended assembly instructions and adjustment procedures are followed:

(a) **Frequency Ranges:** The function generator sys designed to operate over four overlapping freq ranges:

1 Hz to 100 Hz
10 Hz to 1 kHz
100 Hz to 10 kHz
1 kHz to 100 kHz

The range selection is made by switching in di timing capacitors.

(b) **Frequency Setting:** At any range setting, freq can be varied over a 100:1 tuning range with a tiometer (see R_{13} of Figure 1).

(c) **Frequency Accuracy:** Frequency accuracy of th 2206 is set by the timing resistor R and the capacitor C, and is given as:

$$f = 1/RC$$

The above expression is accurate to within ±5 % range setting. The timing resistor R is the series nation of resistors R_4 and R_{13} of Figure 1. The capacitor C is any one of the capacitors C_3 throug shown in the figure.

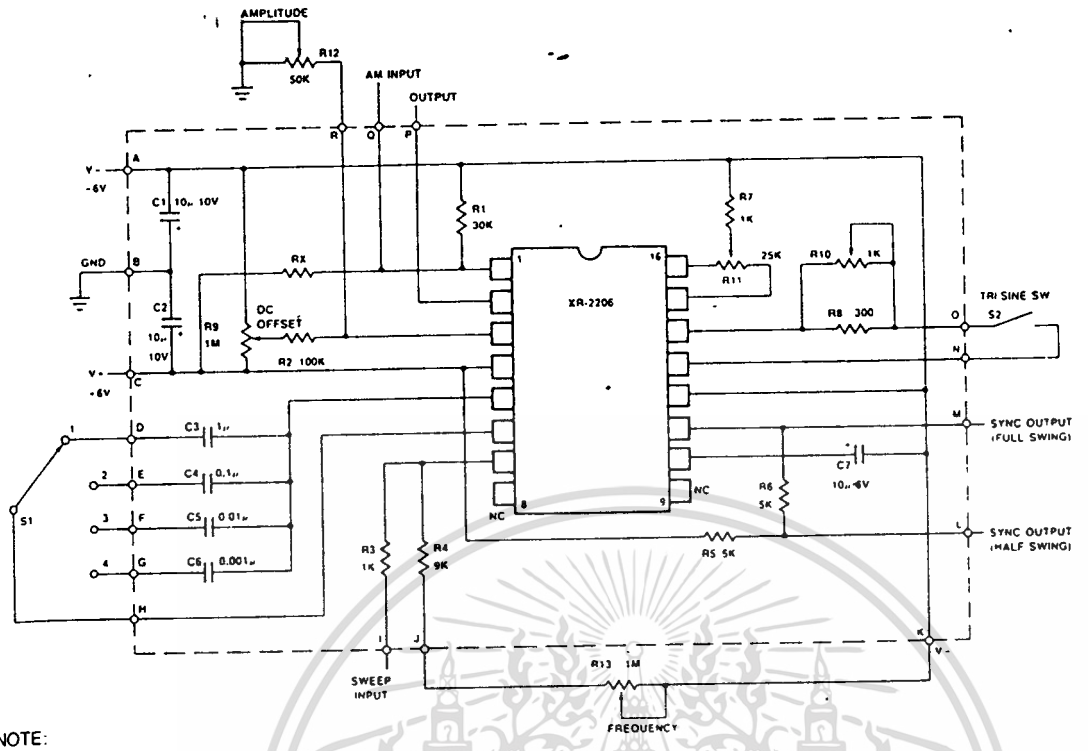
(d) **Sine and Triangle Output:** The sine and triangle amplitudes are variable from 0 V to 6 V_{pp}. The am is set by an external potentiometer, R_{12} of Figur any given amplitude setting, the triangle amplitude is approximately twice as high a sinewave output. The internal impedance of the is 600 Ω.

(e) **Sinewave Distortion:** The total harmonic distor sinewave is less than 1 % from 10 Hz to 10 kHz a than 3 % over the entire frequency range. The se of a waveform is made by the triangle/sine s switch, S_2.

(f) **Sync Output:** The sync output provides a 50 % cycle pulse output with either full swing or upp swing of the supply voltage depending on the ch sync output terminals on the printed circuit boar Figure 1).

EXAR INTEGRATED SYSTEMS, INC.
750 Palomar Avenue, Sunnyvale, CA 94088 (408) 732-7970 TWX 910-339-9233

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



NOTE:

1. For Single Supply Operation Lift GND Connection Keeping R12 Across Terminals R and B Intact, and Connect Terminal A to GND.

2. For Maximum Output, R_X may be open. R_X = 68 KΩ is Recommended for External Amplitude Modulation

igure 1. Circuit Connection Diagram for Function Generator. (See Note 1 for Single Supply Operation.)

) Frequency Modulation (External Sweep): Frequency can be modulated or swept by applying an external control voltage to sweep terminal (Terminal I of Figure 1). When not used, this terminal should be left open-circuited. The open circuit voltage at this terminal is approximately 3 V above the negative supply voltage and its impedance is approximately 1000 ohms.

) Amplitude Modulation: The output amplitude varies linearly with modulation voltage applied to am input (terminal Q of Figure 1). The output amplitude reaches its minimum as the am control voltage approaches the half of the total power supply voltage. The phase of the output signal reverses as the amplitude goes through its minimum value. The total dynamic range is approximately 55 dB, with am control voltage range of 4 V referenced to the half of the total supply voltage. When not used, am terminal should be left open-circuited.

) Power Source: Split supplies: ±6 V, or single supply: +12 V. Supply Current 15 mA (see Figure 3).

EXPLANATION OF CIRCUIT CONTROLS:

Switches

Range Select Switch, S1: Selects the frequency range of operation for the function generator. The frequency is inversely proportional to the timing capacitor connected across Pins 5 and 6 of the XR-2206 circuit. Nominal capacitance values and frequency ranges corresponding to switch positions of S1 are as follows:

Position	Nominal Range	Timing Capacitance
1	1 Hz to 100 Hz	1 μF
2	10 Hz to 1 kHz	0.1 μF
3	100 Hz to 10 kHz	0.01 μF
4	1 Hz to 100 kHz	0.001 μF

If additional frequency ranges are needed, they can be added by introducing additional switch positions.

Triangle/Sine Waveform Switch, S2: Selects the triangle or sine output waveform.

Trimmers and Potentiometers

Dc Offset Adjustment, R9: The potentiometer used for adjusting the dc offset level of the triangle or sine output waveform.

Sinewave Distortion Adjustment, R10: Adjusted to minimize the harmonic content of sinewave output.

Sinewave Symmetry Adjustment, R11: Adjusted to optimize the symmetry of the sinewave output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Amplitude Control, R12: Sets the amplitude of the triangle or sinewave output.

Frequency Adjust, R13: Sets the oscillator frequency for any range setting of S1. Thus, R13 serves as a frequency dial on a conventional waveform generator and varies the frequency of the oscillator over an approximate 100 to 1 range.

Terminals

A. Negative Supply −6 V
B. Ground
C. Positive Supply +6 V
D. Range 1, timing capacitor terminal
E. Range 2, timing capacitor terminal
F. Range 3, timing capacitor terminal
G. Range 4, timing capacitor terminal
H. Timing capacitor common terminal
I. Sweep Input
J. Frequency adjust potentiometer terminal
K. Frequency adjust potentiometer negative supply terminal
L. Sync output (1/2 swing)
M. Sync output (full swing)
N. Triangle/sine waveform switch terminals
O. Triangle/sine, waveform switch terminals
P. Triangle or sinewave output
Q. AM input
R. Amplitude control terminal

PARTS LIST

The following is a list of external circuit components necessary to provide the circuit interconnections shown in Figure 1.

Capacitors:

C1, C2, C7	Electrolytic, 10 μF, 10 V
C3	Mylar, 1 μF, nonpolar, 10 %
C4	Mylar, 0.1 μF, 10 %
C5	Mylar, 0.01 μF, 10 %
C6	Mylar, 1000 pF, 10 %

Resistors:

R1	30 KΩ, 1/4 W, 10 %
R2	100 KΩ, 1/4 W, 10 %
R3, R7	1 KΩ, 1/4 W, 10 %
R4	9 KΩ, 1/4 W, 10 %
R5, R6	5 KΩ, 1/4 W, 10 %
R8	300 Ω, 1/4 W, 10 %
RX	62 KΩ, 1/4 W, 10 % (RX can be eliminated for maximum output)

Potentiometers:

R9	Trim, 1 MΩ, 1/4 W
R10	Trim, 1 KΩ, 1/4 W
R11	Trim, 25 KΩ, 1/4 W

The following additional items are recommended to convert the circuit of Figure 1 to a complete laboratory instrument:

Potentiometers:

R12	Amplitude control, linear, 50 KΩ
R13	Frequency control, audio taper, 1 MΩ

Switches:

S1	Rotary switch, 1-pole, 4 positions
S2	Toggle or slide, SPST

Case:

7" × 4" × 4" (approx.) Metal or Plastic
(See Figures 4(a) and 4(b).)

Power Supply:

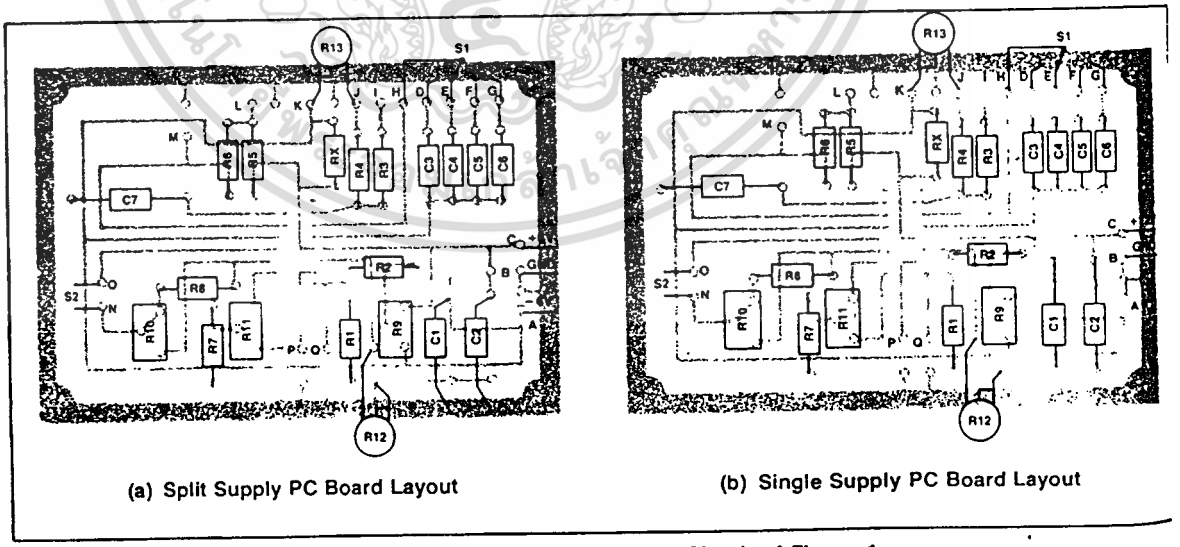
Dual supplies ±6 V or single +12 V
Batteries or power supply unit
(See Figures 3(a) and 3(b).)

Miscellaneous:

Knobs, solder, wires, terminals, etc.

BOARD LAYOUT

Figures 2(a) and 2(b) show the recommended printed-circuit board layout for the function generator circuit of Figure 1.



(a) Split Supply PC Board Layout

(b) Single Supply PC Board Layout

Figure 2. Recommended PC Board Layout for Function Generator Circuit of Figure 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ECOMMENDED ASSEMBLY PROCEDURE

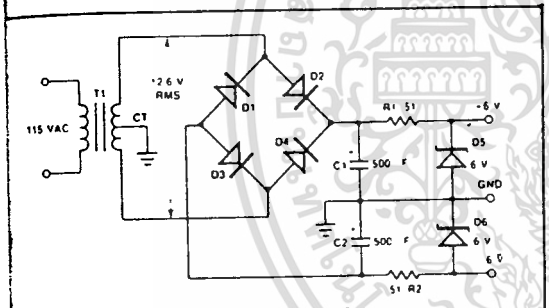
The following instructions and recommendations for the assembly of the function generator assume that the basic PC board layout of Figure 2(a) or 2(b) is used in the circuit assembly.

All the parts of the generator, with the exception of frequency adjust potentiometer, amplitude control potentiometer, triangle/sine switch and frequency range select switch, are mounted on the circuit board.

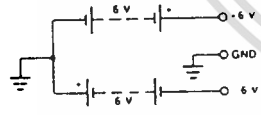
Install and solder all resistors, capacitors and trimmer resistors on the PC board first. Be sure to observe the polarity of capacitors C1, C2, C7. The timing capacitors C3. C4. C5 and C6 must be non-polar type. Now install IC1 on the board. We recommend the use of an IC socket to prevent possible damage to the IC during soldering and to provide for easy replacement in case of a malfunction.

The entire generator board along with power supply or batteries and several switches and potentiometers will fit into a case of the type readily available at electronic hobby shops. It will be necessary to obtain either output jacks or terminals for the outputs and am and frequency sweep inputs.

Install the frequency adjust pot, the frequency range select switch, the output amplitude control pot, the power switch, and the triangle/sine switch on the case. Next, install the PC board in the case, along with a power supply.



(a) Zener Regulated Supply



(b) Battery Power Supply

T1· Filament Transformer
Primary 115 V/Secondary 12 6 VCT 0 5 A
D1-D4: IN4001 or Similar
D5, D6: IN4735 or Similar
R1, R2: 51 Ω, 1/2 W, 10 %

Figure 3. Recommended Power Supply Configurations.

Any simple power supply having reasonable regulation may be used. Figure 3 gives some recommended power supply configurations.

Precaution: Keep the lead lengths small for the range selector switch.

ADJUSTMENT PROCEDURE

When assembly is completed and you are ready to put the function generator into operation, make sure that the polarity of power supply and the orientation of the IC unit are correct. Then apply the dc power to the unit.

To adjust for minimum distortion, connect the scope probe to the triangle/sine output. Close S2 and adjust the amplitude control to give non-clipping maximum swing. Then adjust R10 and R11 alternately for minimum distortion by oberving the sinusoidal waveform. If a distortion meter is available, you may use it as a final check on the setting of sine-shaping trimmers. The minimum distortion obtained in this manner is typically less than 1 % from 1 Hz to 10 kHz and less than 3 % over the entire frequency range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า