



# ระบบป้องกันการลอบดักฟังสัญญาณเสียง AUDIO SCRAMBLING SYSTEM



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต  
สาขาวิชาเทคโนโลยีโทรคมนาคม

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุญาตให้นำไปใช้  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และ พ.ศ. 2537 ถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## หัวข้อปริญญานิพนธ์

ระบบป้องกันการลอกคัดฟังสัญญาณเสียง  
AUDIO SCRAMBLING SYSTEM

## ชื่อนักศึกษา

นาย สมนึก วิศาลสกุลวงษ์

เลขประจำตัว 35103160

นาย ไสภณ สิริเลิศรักษา

เลขประจำตัว 35103169

## อาจารย์ที่ปรึกษา

ผศ.วิชัย สุรพัฒน์

## ภาควิชา

เทคนิคอุตสาหกรรม

## ปีการศึกษา

2537

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

## คณะกรรมการตรวจสอบปริญญานิพนธ์

ประธานกรรมการ

( )

กรรมการ

( )

กรรมการ

( )

กรรมการ

( )

กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

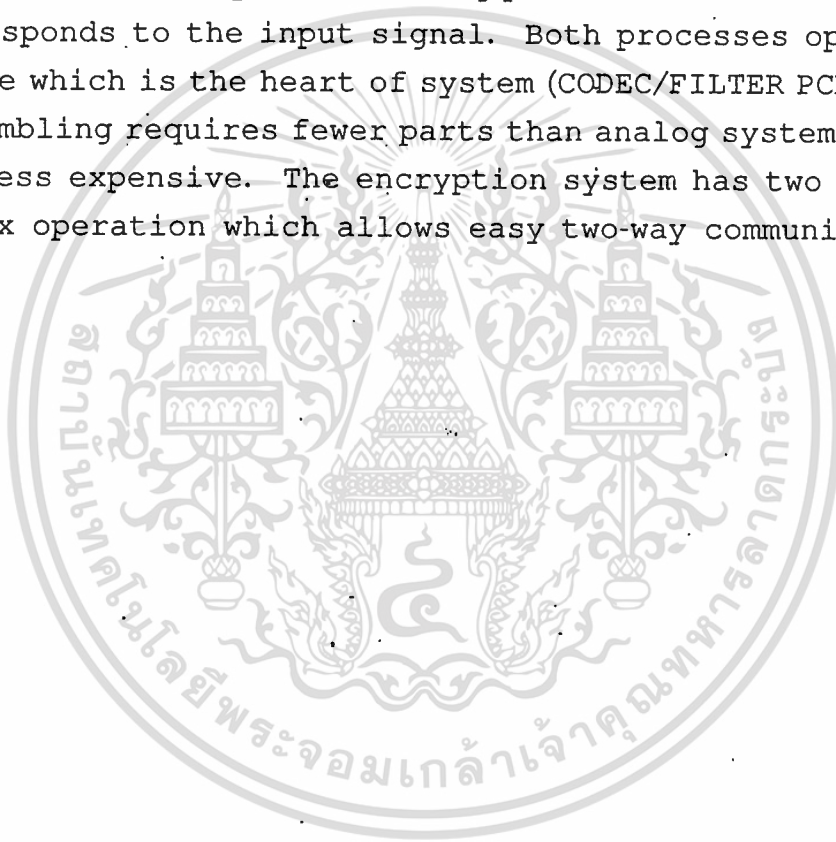
## บทคัดย่อ

ในการติดต่อสื่อสารนั้น เราต้องการความเป็นส่วนตัวหรือความปลอดภัยของข่าวสารข้อมูลที่สนทนา ใ  
โครงการนี้จึงถูกจัดทำขึ้นเพื่อใช้ป้องกันการลอบดักฟังสัญญาณเสียงซึ่งเป็นแบบดิจิตอล การทำงานของระบบใช้  
การผสมสัญญาณแบบพัลส์โค้ดมอดูเลชัน จะได้สัญญาณเสียงที่อยู่ในรูปแบบดิจิตอล สัญญาณดิจิตอลที่ได้จะนำ  
ไปทำการสแรมบลิ้ง และแปลงเป็นสัญญาณอนาลอกที่มีแถบความถี่กลับกับสัญญาณเสียงที่เข้ามา ส่วนการดีส  
แรมบลิ้งจะนำสัญญาณเสียงที่รับมาแปลงเป็นสัญญาณดิจิตอล และทำการดีสแรมบลิ้งกลับเป็นสัญญาณเสียงเดิม  
โดยการทำงานทั้งสองขบวนการจะใช้ไอซีชนิดเดียวกัน ซึ่งเป็นหัวใจของระบบคือ CODEC/FILTER PCM จึง  
ทำให้มีอุปกรณ์น้อยกว่าระบบอนาลอก ระบบจึงมีขนาดเล็ก ราคาไม่แพง ระบบการปกปิดข้อมูลนี้จะมีสองช่อง  
สัญญาณเพื่อการทำงานแบบฟูลดูเพล็กซ์ ทำให้ติดต่อสื่อสารได้สองทิศทางพร้อมกัน



## ABSTRACT

Telephone conversation, some form of speech encryption is needed for privacy or security. This project is made for digital audio scrambling system. This system is accomplished by mixing the audio input with pulse code modulation. The digitized audio is produced. It is scrambled and converted to analog signal which inverts the input frequency spectrum. Analog voice scrambling is converted to digital signal and reinverted by descrambling process. The final audio signal that corresponds to the input signal. Both processes operate by the same device which is the heart of system (CODEC/FILTER PCM). A digital voice scrambling requires fewer parts than analog system. It is small size and less expensive. The encryption system has two channels for full-duplex operation which allows easy two-way communication.



## กิตติกรรมประกาศ

ระบบป้องกันการลอบดักฟังสัญญาณเสียงที่จัดทำขึ้นนี้ จะไม่สามารถเกิดขึ้นได้เลย หากไม่ได้รับความร่วมมือจากอาจารย์และเพื่อนร่วมงาน โดยเฉพาะ อาจารย์วิชัย สุรพัฒน์ ซึ่งช่วยอำนวยความสะดวกในการทำงาน นำเสนอและให้คำปรึกษาแนะนำจนโครงการเสร็จลุล่วงตามเป้าหมายในเวลาที่กำหนด ถึงแม้ว่าโครงการนี้จะเพียงโครงการเล็ก ๆ แต่ก็สามารถนำไปใช้ประโยชน์ในการติดต่อสื่อสารที่ต้องการความเป็นส่วนตัวในข่าวสารข้อมูลได้ดีพอสมควร

การทำงานหากได้ผู้ปรึกษาที่ดี มีความรู้ความสามารถ และมีประสิทธิภาพ มีเพื่อนร่วมงานที่ช่วยกันปฏิบัติงานงานนั้นย่อมสำเร็จลุล่วงตามเป้าหมาย แม้ว่าจะมีอุปสรรคในการทำงานบ้างก็ตาม ก็สามารถจะแก้ไขได้

จึงขอขอบคุณอาจารย์ที่ปรึกษา เพื่อนร่วมงาน และผู้ที่เกี่ยวข้องทุกคนที่มีส่วนช่วยให้โครงการนี้สำเร็จลุล่วงไปด้วยดี

ผู้จัดทำ

# สารบัญ

บทคัดย่อภาษาไทย

หน้า

ก.

บทคัดย่อภาษาอังกฤษ

ข.

กิตติกรรมประกาศ

ค.

สารบัญตาราง

สารบัญภาพ

คำนำ

|         |                                                      |    |
|---------|------------------------------------------------------|----|
| บทที่ 1 | ระบบการเข้ารหัสสัญญาณเสียง (Audio Encryption System) | 1  |
|         | - การเข้ารหัสเสียงพูดด้วยวิธีทางอนาลอก               | 1  |
|         | - การเข้ารหัสเสียงพูดด้วยวิธีทางดิจิตอล              | 4  |
|         | - การสแกนแบบลอและดีสแแกรมเบลล์                       | 6  |
|         | - การส่งสัญญาณแบบสวนทิศทางกันได้                     | 8  |
| บทที่ 2 | พัลส์โคดมอดูเลชัน (Pulse Code Modulation)            | 11 |
|         | - การแซมปลิง (Sampling)                              | 11 |
|         | - การจัดระดับ (Quantizing)                           | 14 |
|         | - คอมแพนดิง (Companding)                             | 15 |
|         | - การเข้ารหัส (Coding)                               | 20 |
| บทที่ 3 | วงจรกรองความถี่ (Filter)                             | 29 |
|         | - วงจรกรองความถี่ต่ำผ่าน                             | 29 |
|         | - วงจรกรองความถี่สูงผ่าน                             | 29 |
|         | - วงจรกรองแถบความถี่ผ่าน                             | 30 |
|         | - วงจรกรองตัดแถบความถี่                              | 30 |
|         | - สวิตคาปาซิเตอร์ฟิลเตอร์                            | 33 |
| บทที่ 4 | วงจรแปลงสัญญาณ (Converters)                          | 37 |
|         | - วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก                    | 37 |
|         | - วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล                    | 41 |

|                                                     |                                                                         |           |
|-----------------------------------------------------|-------------------------------------------------------------------------|-----------|
| <b>บทที่ 5.</b>                                     | <b>High-Speed CMOS</b>                                                  | <b>46</b> |
| - ชนิดของ HCMOS                                     |                                                                         | 46        |
| - HCMOS กับ CMOS มาตรฐาน                            |                                                                         | 47        |
| - วงจรเชื่อมต่อ                                     |                                                                         | 49        |
| <b>บทที่ 6</b>                                      | <b>โครงสร้างของ IC TP 3054</b>                                          | <b>53</b> |
| - รายละเอียดของขา IC                                |                                                                         | 55        |
| - รายละเอียดของการใช้งาน                            |                                                                         | 56        |
| - ข้อมูลในการประยุกต์ใช้งานของไอซี TP 3054          |                                                                         | 59        |
| - เทคนิคการออกแบบ CODEC/FILTER เบอร์ TP 3054        |                                                                         | 62        |
| <b>บทที่ 7</b>                                      | <b>ระบบป้องกันการลอบดักฟังสัญญาณเสียง<br/>(Audio Scrambling System)</b> | <b>66</b> |
| - หลักการทำงานของระบบป้องกันการลอบดักฟังสัญญาณเสียง |                                                                         | 69        |
| - วงจรกำเนิดสัญญาณ (Oscillator)                     |                                                                         | 71        |
| - วงจรหารสอง                                        |                                                                         | 72        |
| - วงจรหาร 256                                       |                                                                         | 73        |
| - วงจร Timing Generator                             |                                                                         | 74        |
| - วงจรเข้ารหัสสัญญาณเสียง                           |                                                                         | 75        |
| - วงจรถอดรหัสสัญญาณเสียง                            |                                                                         | 77        |
| - วงจรแหล่งจ่ายไฟ                                   |                                                                         | 78        |
| - การสร้างและการทดสอบ                               |                                                                         | 80        |
| - ส่วนประกอบต่าง ๆ และการนำไปใช้งาน                 |                                                                         | 81        |
| <b>บทสรุปและผลการทดลอง</b>                          |                                                                         | <b>86</b> |
| <b>เอกสารอ้างอิง</b>                                |                                                                         | <b>87</b> |
| <b>ภาคผนวก</b>                                      |                                                                         | <b>88</b> |

# สารบัญตาราง

|                |                                                                         | หน้า |
|----------------|-------------------------------------------------------------------------|------|
| <b>บทที่ 1</b> |                                                                         |      |
| ตารางที่ 1     | ความยาวสูงสุดของ Pseudo-Random Sequence                                 | 7    |
| <b>บทที่ 2</b> |                                                                         |      |
| ตารางที่ 1     | รหัสไบนารีแบบต่าง ๆ                                                     | 20   |
| ตารางที่ 2     | การเปรียบเทียบระบบการเข้ารหัสแบบต่าง ๆ                                  | 28   |
| <b>บทที่ 4</b> |                                                                         |      |
| ตารางที่ 1     | ตารางเปรียบเทียบแรงดันของวงจร<br>Successive-Approximation D/A Converter | 43   |
| ตารางที่ 2     | ตารางเปรียบเทียบแรงดันของวงจรแปลงสัญญาณ A/D Flash                       | 45   |
| <b>บทที่ 6</b> |                                                                         |      |
| ตารางที่ 1     | การเลือกความถี่มาสเตอร์คล็อก                                            | 57   |
| ตารางที่ 2     | ตารางค่าความต้านทาน Attenuator                                          | 61   |

# สารบัญภาพ

หน้า

## บทที่ 1

|           |                                                          |   |
|-----------|----------------------------------------------------------|---|
| รูปที่ 1  | Power Spectrum Density ของสัญญาณเสียงก่อนการสแกมบลิง     | 1 |
| รูปที่ 2  | Power Spectrum Density ของสัญญาณเสียงหลังการสแกมบลิง     | 2 |
| รูปที่ 3  | หลักการเข้ารหัสเสียงพูดด้วยวิธี Band Shift Inversion     | 2 |
| รูปที่ 4  | หลักการเข้ารหัสเสียงพูดด้วยวิธี Band Scrambler           | 3 |
| รูปที่ 5  | Time-Element Scrambler                                   | 4 |
| รูปที่ 6  | การเข้ารหัสเสียงพูดด้วยวิธีทางดิจิทัล                    | 5 |
| รูปที่ 7  | การดัดแปลงการเข้ารหัสเสียงพูดด้วยวิธีทางดิจิทัลให้ดีขึ้น | 5 |
| รูปที่ 8  | ชิพริจิสเตอร์ 3 ภาคต่อให้มีการป้อนกลับ                   | 6 |
| รูปที่ 9  | การสแกมเบลและดีสแกมเบล                                   | 7 |
| รูปที่ 10 | การเกิดลูปย้อนกลับเมื่อไม่มีวงจรไฮบริด                   | 8 |
| รูปที่ 11 | การแก้การเกิดสภาพออสซิลเลตโดยเพิ่มวงจรไฮบริด             | 9 |
| รูปที่ 12 | วงจรไฮบริดเนทเวิร์ค                                      | 9 |

## บทที่ 2

|           |                                                                       |    |
|-----------|-----------------------------------------------------------------------|----|
| รูปที่ 1  | กระบวนการเข้ารหัสและถอดรหัสของระบบ PCM                                | 11 |
| รูปที่ 2  | กระบวนการเข้ารหัสและถอดรหัส (โดเมนเวลาและโดเมนความถี่)                | 12 |
| รูปที่ 3  | การพัวพันเกิดจากแถบคลื่นซ้อนกัน                                       | 13 |
| รูปที่ 4  | การพัวพันเกิดจากการสอดแทรก                                            | 14 |
| รูปที่ 5  | การจัดระดับ                                                           | 14 |
| รูปที่ 6  | การควอนไทซ์และควอนไทซ์นอยส์                                           | 16 |
| รูปที่ 7  | คุณลักษณะการจัดระดับด้วยคอมเพรสเซอร์และเอกซ์แพนเดอร์                  | 16 |
| รูปที่ 8  | คุณลักษณะของคอมเพรสชันของไดโอด                                        | 17 |
| รูปที่ 9  | แบบอย่างคุณลักษณะของคอมเพรสชัน                                        | 17 |
| รูปที่ 10 | คุณลักษณะของคอมแพนดิงเมื่อ $A = 87.6$                                 | 18 |
| รูปที่ 11 | ความสัมพันธ์ระหว่างระดับอินพุตต่อ $S/N_0$ เมื่อใช้คอมแพนดิงวิธีต่าง ๆ | 19 |
| รูปที่ 12 | หลักการของการเข้ารหัส                                                 | 21 |
| รูปที่ 13 | โครงสร้างของระบบ ADPCM                                                | 24 |
| รูปที่ 14 | โครงสร้างของระบบ ADM                                                  | 25 |
| รูปที่ 15 | หลักการของการเปลี่ยนสแต็บในการจัดระดับของระบบ ADM                     | 26 |
| รูปที่ 16 | โครงสร้างของการเข้ารหัส-ถอดรหัสของ APC-AB                             | 27 |

## บทที่ 3

|           |                                                     |    |
|-----------|-----------------------------------------------------|----|
| รูปที่ 1  | วงจรกรองความถี่ต่ำผ่าน                              | 29 |
| รูปที่ 2  | วงจรกรองความถี่สูงผ่าน                              | 29 |
| รูปที่ 3  | วงจรกรองแถบความถี่ผ่าน                              | 30 |
| รูปที่ 4  | วงจรกรองตัดแถบความถี่                               | 30 |
| รูปที่ 5  | วงจรกรองแบบพาสซีฟ                                   | 31 |
| รูปที่ 6  | วงจรกรองแบบแอคทีฟ                                   | 32 |
| รูปที่ 7  | โครงสร้างภายในของ MOSFET                            | 33 |
| รูปที่ 8  | การต่อ MOSFET ร่วมกับตัวเก็บประจุ                   | 34 |
| รูปที่ 9  | การทำงานของสวิตคาปาซิเตอร์                          | 34 |
| รูปที่ 10 | แบบการทำงานของสวิตคาปาซิเตอร์ด้วยตัวต้านทาน         | 34 |
| รูปที่ 11 | ความต้านทานสมมูลย์ของสวิตคาปาซิเตอร์                | 35 |
| รูปที่ 12 | การใช้สวิตคาปาซิเตอร์กับวงจรกรองความถี่ประเภทพาสซีฟ | 36 |
| รูปที่ 13 | การใช้สวิตคาปาซิเตอร์กับวงจรกรองความถี่ประเภทแอคทีฟ | 36 |

## บทที่ 4

|           |                                                    |    |
|-----------|----------------------------------------------------|----|
| รูปที่ 1  | วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกแบบ Weight-resistor | 37 |
| รูปที่ 2  | วงจร D/A แบบ R-2R Ladder                           | 39 |
| รูปที่ 3  | โครงสร้างสำเร็จรูปของ R-2R Ladder                  | 39 |
| รูปที่ 4  | วงจรเมื่อ $LSB = 1$ และการ $MSB = 1$               | 39 |
| รูปที่ 5  | ความสัมพันธ์ระหว่างสัญญาณดิจิตอลกับสัญญาณอนาลอก    | 40 |
| รูปที่ 6  | วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกด้วย FET สวิต | 41 |
| รูปที่ 7  | Counter-Controlled A/D Converter                   | 41 |
| รูปที่ 8  | รูปคลื่นของ Counter-Controlled A/D Converter       | 43 |
| รูปที่ 9  | วงจร Successive-Approximation A/D Converter        | 43 |
| รูปที่ 10 | วงจรแปลงสัญญาณ A/D Flash                           | 44 |

## บทที่ 5

|          |                                                        |    |
|----------|--------------------------------------------------------|----|
| รูปที่ 1 | วงจรป้องกันอินพุทของ HCMOS                             | 48 |
| รูปที่ 2 | แหล่งจ่ายไฟเลี้ยง 5 โวลต์ สำหรับ HCMOS โดยใช้แบตเตอรี่ | 49 |
| รูปที่ 3 | แหล่งจ่ายไฟสำหรับ HCMOS โดยใช้กระแสสลับ                | 49 |
| รูปที่ 4 | วิธีการเชื่อมต่อระหว่าง HC/HCT กับ TTL และ TTL กับ HCT | 50 |
| รูปที่ 5 | วิธีการเชื่อมต่อ TTL กับ HC                            | 50 |
| รูปที่ 6 | การเชื่อมต่อ CMOS แรงดันสูงกับ CMOS แรงดันต่ำ          | 51 |
| รูปที่ 7 | การเชื่อมต่อ TTL กับ HCMOS แรงดันต่ำ                   | 51 |

## บทที่ 6

|          |                              |    |
|----------|------------------------------|----|
| รูปที่ 1 | Block diagram ของ TP 3054    | 54 |
| รูปที่ 2 | Synchronous Application      | 61 |
| รูปที่ 3 | การออกแบบลายวงจรสำหรับ COMBO | 63 |

## บทที่ 7

|           |                                                                   |    |
|-----------|-------------------------------------------------------------------|----|
| รูปที่ 1  | การสแกนเบลโดยใช้การผสมสัญญาณเสียงกับสัญญาณคลื่นพาห์               | 66 |
| รูปที่ 2  | การสุ่มตัวอย่างสัญญาณ Sinewave 1 KHz                              | 68 |
| รูปที่ 3  | บล็อกไดอะแกรมของระบบป้องกันการลอบดักฟังสัญญาณเสียง                | 70 |
| รูปที่ 4  | วงจรกำเนิดสัญญาณ                                                  | 71 |
| รูปที่ 5  | วงจรหารสอง                                                        | 72 |
| รูปที่ 6  | วงจรหาร 256                                                       | 73 |
| รูปที่ 7  | วงจร Timing Generator                                             | 74 |
| รูปที่ 8  | วงจรเข้ารหัสสัญญาณเสียง (Voice Scrambler)                         | 75 |
| รูปที่ 9  | วงจรถอดรหัสสัญญาณเสียง (Voice Descrambler)                        | 77 |
| รูปที่ 10 | วงจรแหล่งจ่ายไฟ                                                   | 78 |
| รูปที่ 11 | Audio Scrambling System                                           | 79 |
| รูปที่ 12 | ส่วนประกอบภายในของเครื่องป้องกันการลอบดักฟังสัญญาณเสียง           | 81 |
| รูปที่ 13 | ลายวงจรด้านบนของแผ่นวงจรหลัก                                      | 81 |
| รูปที่ 14 | ลายวงจรด้านล่างของแผ่นวงจรหลัก                                    | 82 |
| รูปที่ 15 | ลายวงจรของแผ่นวงจรแหล่งจ่ายไฟ                                     | 82 |
| รูปที่ 16 | ส่วนประกอบภายนอกของเครื่องป้องกันการลอบดักฟังสัญญาณเสียง          | 83 |
| รูปที่ 17 | การต่อเครื่องป้องกันการลอบดักฟังสัญญาณเสียงเข้ากับเครื่องโทรศัพท์ | 84 |
| รูปที่ 18 | การเชื่อมต่อเครื่องป้องกันการลอบดักฟังสัญญาณเสียงเข้าด้วยกัน      | 85 |
| รูปที่ 19 | โครงการที่เสร็จสมบูรณ์แล้ว                                        | 85 |

## คำนำ

ในปัจจุบันการติดต่อสื่อสารมีความสำคัญอย่างมาก โดยเฉพาะอย่างยิ่ง การติดต่อสื่อสารด้วยโทรศัพท์ ไม่ว่าจะเป็นโทรศัพท์ธรรมดา หรือโทรศัพท์เคลื่อนที่ก็ตาม ในการติดต่อสื่อสารรูปแบบนี้ย่อมต้องการความเป็นส่วนตัวจึงไม่ต้องการให้ข่าวสารในการสนทนารั่วไหลออกไป เนื่องจากการลอบดักฟังสัญญาณเสียง

ดังนั้น จึงได้จัดทำโครงการนี้ขึ้นเพื่อใช้เป็นระบบป้องกันการลอบดักฟังสัญญาณเสียงซึ่งข้อดีของโครงการนี้ก็คือ เป็นระบบป้องกันการลอบดักฟังสัญญาณเสียงแบบดิจิทัล ที่ทำงานแบบฟูลดูเพล็กซ์ ใช้อุปกรณ์น้อยและราคาไม่แพง อีกทั้งยังสามารถใช้งานได้ดีพอสมควร เมื่อเปรียบเทียบกับระบบอนาลอก

จึงหวังว่า โครงการนี้คงเป็นประโยชน์ต่อผู้ที่สนใจจะศึกษาและประยุกต์ใช้งานในอุตสาหกรรมที่เกี่ยวข้องกับระบบการสื่อสารพอสมควร



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## ระบบการเข้ารหัสสัญญาณเสียง

### Audio Encryption System

การเข้ารหัสเสียงพูด (Encrypting Speech) แบ่งตามเทคนิคการสร้างได้ 2 วิธีคือ ทางด้านอนาล็อก (Analog) และทางด้านดิจิทัล (Digital)

การเข้ารหัสเสียงพูดด้วยวิธีทางอนาล็อก (Analog Encrypting Speech) มีหลายระบบด้วยกัน

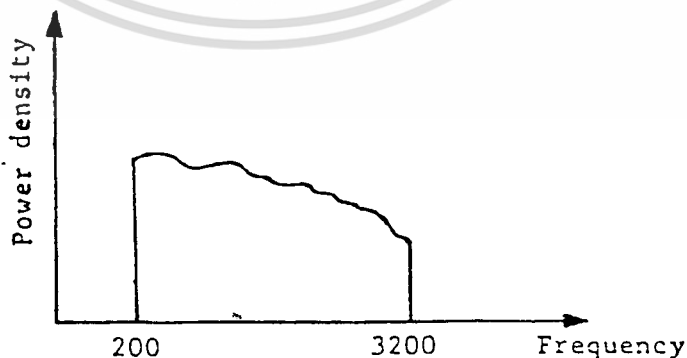
- Speech Inversion
- Band Shift Inversion
- Band Scramber or Band Splitter
- Time Element Scrambler

#### การเข้ารหัสเสียงพูดด้วยวิธี Speech Inversion

Speech Inversion เป็นการสแกนบลิ้ง (Scrambling) โดยใช้การเปลี่ยน (Invert) ย่านความถี่ทั้งหมด จากย่านความถี่สูงให้กลายเป็นความถี่ต่ำและจากย่านความถี่ต่ำให้กลายเป็นความถี่สูง

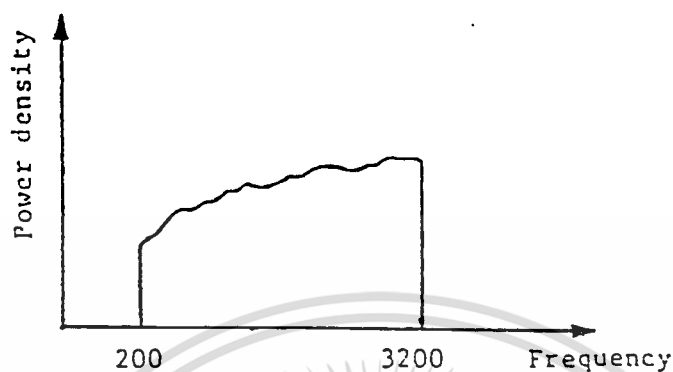
การสแกนบลิ้งแบบนี้เป็นวิธีที่ง่าย แต่ไม่ปลอดภัยมากนัก เพราะสามารถที่จะดิสแกนบลิ้ง (Descrambling) ได้ง่ายเช่นกัน โดยการรีอินเวิร์ท (Reinvert) แบบลองผิดลองถูก (Trial and Error) ก็จะได้สัญญาณเดิมกลับมา

การเพิ่ม Conbitional ของการสแกนบลิ้งทำได้โดยการใช้ความถี่พาหะ (Carrier Frequency) ในการ Invert ต่างกัน



รูปที่ 1 แสดง Power Spectrum Density

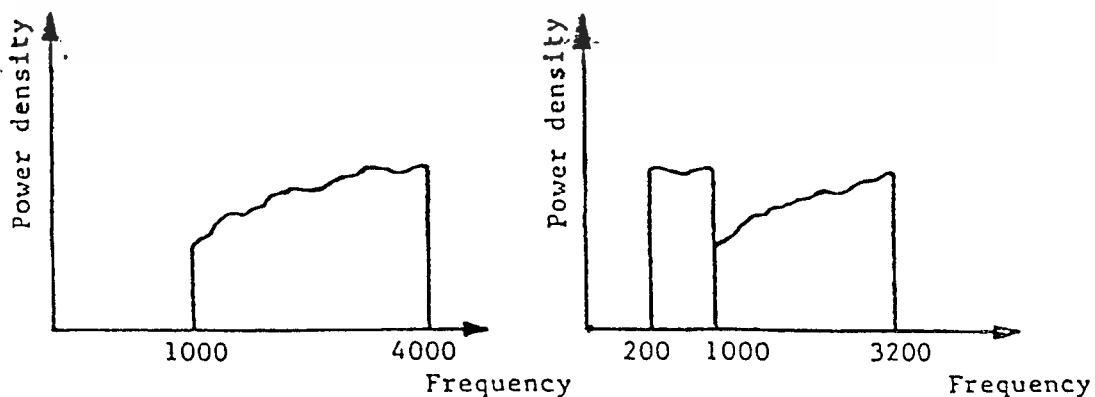
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานของสัญญาณเสียงก่อนการสแกนบลิ้ง  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 แสดง Power Spectrum Density  
ของสัญญาณเสียงหลังการสแกรมปลิง

### การเข้ารหัสเสียงพูดด้วยวิธี Band-Shift Inversion

วิธีนี้เป็นการปรับปรุง Speech Inversion โดยการเปลี่ยน (Invert) ย่านความถี่ทั้งหมดจากความถี่สูงให้กลายเป็นความถี่ต่ำ และจากความถี่ต่ำให้กลายเป็นความถี่สูง จากนั้น ก็จะเลื่อน (Shift) ย่านความถี่บางช่วงจากตำแหน่งเดิมที่ปลายด้านหนึ่งไปไว้ที่ตำแหน่งใหม่ที่ปลายอีกด้านหนึ่งโดย Bandwidth ทั้งหมดของสัญญาณจะยังคงเท่าเดิม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 3 แสดงหลักการเข้ารหัสเสียงพูดด้วยวิธี Band Shift Inversion

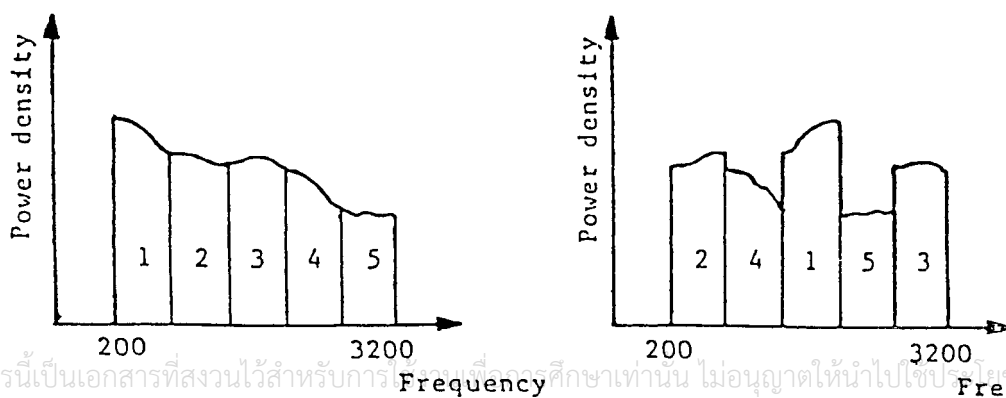
เนื่องจากวิธีนี้ปรับปรุงมาจาก Speech Inversion ดังนั้น Comditional ที่เป็นไปได้ยังมีจำนวนจำกัด วิธีที่จะเพิ่ม Comditional อาจทำได้โดยใช้ Pseudo Random Generator เป็นตัวเลือกตำแหน่งการเลื่อนที่แตกต่างกัน และแต่ละแบบให้มีช่วงเวลา (Time Interval) ประมาณ 10-20 ms. หลังจจัดลำดับให้สลับเปลี่ยนกันไปในลักษณะเป็นวงกลม (Cyclical) หลักการนี้เราเรียกว่า Cyclical Band Shift Inversion ทำให้ Comditional ที่เป็นไปได้มากขึ้น

ข้อเสียของระบบเข้ารหัสเสียงพูดด้วยวิธี Band-Shift Inversion มีอยู่ 2 ข้อคือ ข้อแรกเนื่องจาก Comditional ที่เป็นไปได้ยังไม่มากพอ ทำให้การดีสแกรมบลิ้งยังทำได้โดยง่ายด้วยวิธีแบบลองผิดลองถูก (Trial and Error) ข้อที่สองคือ จะยังมีบางส่วนของสัญญาณที่ถูกสแกรมบลิ้งแล้วแต่จะถูกเปลี่ยนแปลงไปไม่มากนัก ทำให้ผู้ที่ขำนาญและคุ้นเคยกับเสียงที่ถูกสแกรมบลิ้งแล้วสามารถที่จะเอาข้อมูลออกได้

### การเข้ารหัสเสียงพูดด้วยวิธี Band Scrambler or Band Spitter

วิธีการนี้แบนด์วิดธ์ของสัญญาณเสียงพูด (Speech Bandwidth) จะถูกแบ่งออกเป็นส่วน ๆ เท่ากัน ซึ่งแต่ละส่วนเรียกว่าแบนด์ย่อย (Sub Band) แต่ละแบนด์ย่อยจะถูกสแกรมบลิ้ง โดยการสลับลำดับ (Permutation) แบนด์ย่อยเสียใหม่ในบางระบบอาจมีการ Invert แบนด์ย่อยด้วย

รูปที่ 4 แสดงตัวอย่างของ Band Scrambler แบบง่าย โดยแบ่งออกเป็น 5 แบนด์ย่อยจากรูปแบนด์ย่อยที่ 1, 2 และ 5 ถูก Invert และถูกสลับตำแหน่ง สำหรับตัวอย่างดัง กล่าวมีการจัดลำดับที่เป็นไปได้ (Possible Reordering) เท่ากับ  $5!$  และมี Comditional สำหรับการ Reinvert เท่ากับ  $2^5$  นั่นหมายถึงจะสามารถจะมี Comditional ได้มากถึง  $5! * 2^5$  เท่ากับ 3840 แบบ แต่ไม่ใช่ทั้งหมดที่สามารถนำไปใช้ได้ มีบางส่วนที่สัญญาณหลังจากการสแกรมบลิ้งแล้วที่มีการเปลี่ยนแปลงสมบูรณ์ (คือไม่สามารถเข้าใจรายละเอียดได้) ส่วนที่เหลือซึ่งเป็นส่วนใหญ่ ไม่สามารถนำมาใช้งานได้ เพราะยังสามารถที่จะเข้าใจความหมายได้แบบคลุมเคลือ สาเหตุที่เป็นเช่นนั้นก็เพราะว่า 40% ของ Power Spectrum Density ส่วนใหญ่ของเสียงพูดของคนเราจะอยู่ที่ 2 แบนด์ย่อยแรก (200-1700 Hz) นั่นหมายความว่ายังมีเพียง 2 แบนด์ย่อยแรกก็สามารถพอที่จะเข้าใจความหมายได้ วิธีแก้ก็คือ ต้องแบ่ง 2 แบนด์ย่อยแรกให้มากขึ้น แล้วใช้ Pseudo Random Generator เป็นตัวกำหนดการจัดลำดับที่แตกต่างกันทุก ๆ 100-200ms. โดยการเรียกใช้จากการ Addressing ที่ตำแหน่งใดตำแหน่งหนึ่ง แต่การทำวิธีนี้มีข้อจำกัดคือ การเพิ่มจำนวนแบนด์ย่อยมาก ๆ อาจจะดูเหมือนเป็นการเพิ่มจำนวนการจัดลำดับและความปลอดภัยของข่าวสาร แต่ถ้ามากเกินไปจะทำให้ยุ่งยากในทางปฏิบัติ เพราะการเพิ่มจำนวนแบนด์ย่อยจะต้องใช้ฟิลเตอร์และส่วนประกอบอื่น ๆ เพิ่มเติม ทำให้สัญญาณรบกวนในระบบมีมากขึ้น ทำให้การปรับปรุงแก้ไข (Modification) การ สแกรมบลิ้งมากเกินไปไม่ได้ทำให้คุณภาพของเสียงดีขึ้น

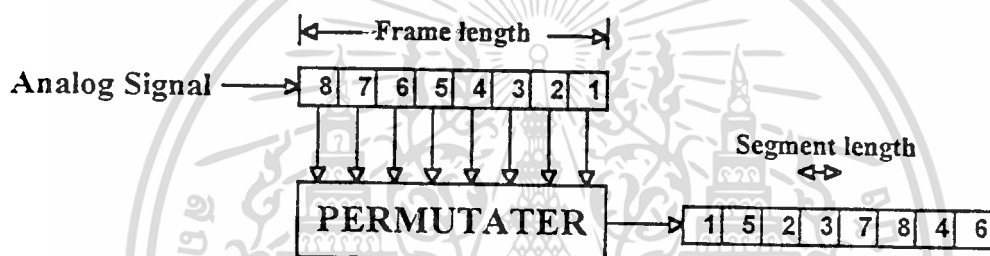


รูปที่ 4 แสดงถึงหลักการเข้ารหัสเสียงพูดด้วยวิธี Band Scrambler

## การเข้ารหัสสัญญาณเสียงแบบ Time Element Scramblers (T.E.S.)

การทำงานของ Time Element Scramblers (T.E.S.) อาศัยหลักการพื้นฐานโดยขั้นแรก แบ่งสัญญาณอนาล็อกเป็นคาบเวลา (Time period) เท่า ๆ กัน โดยแต่ละส่วน เรียกว่าเฟรมแล้วแต่ละเฟรมจะถูกแบ่งย่อยออกเป็นคาบเวลาเล็ก ๆ เรียกว่าเซ็กเมนต์ (Segment) และในทุก ๆ เฟรมของอินพุตจะสแกนมาถึงเซ็กเมนต์เหล่านั้นด้วยวิธี การสลับลำดับ (Permutation)

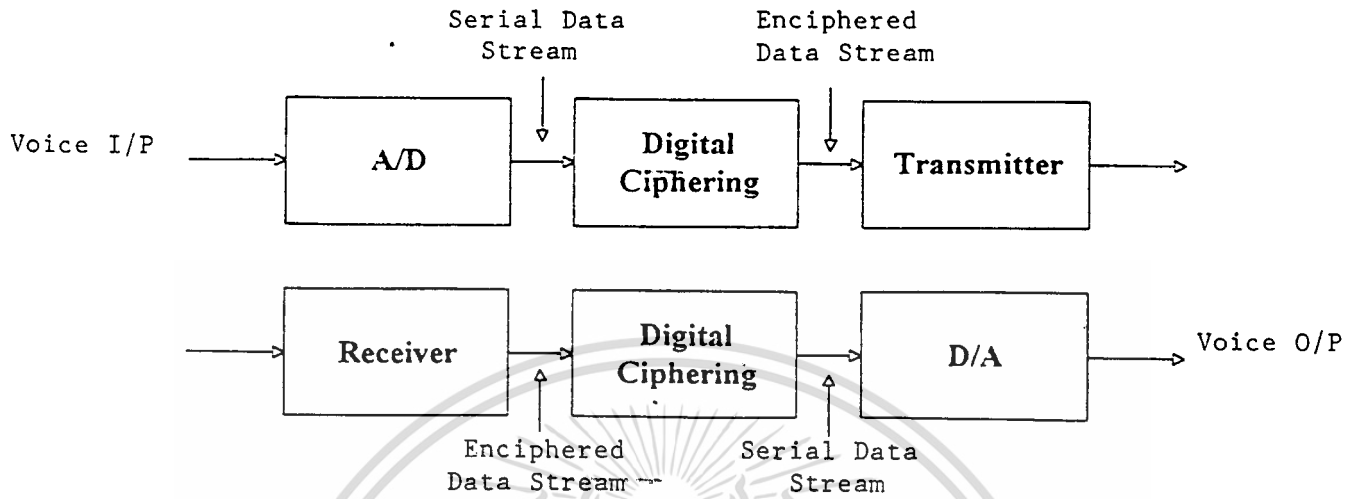
วิธีการดังกล่าวอธิบายด้วยแผนภาพการทำงาน (Block diagram) ดังแสดงในรูปที่ 5 ซึ่งในที่นี้ แต่ละเฟรมจะถูกแบ่งออกเป็น 8 เซ็กเมนต์



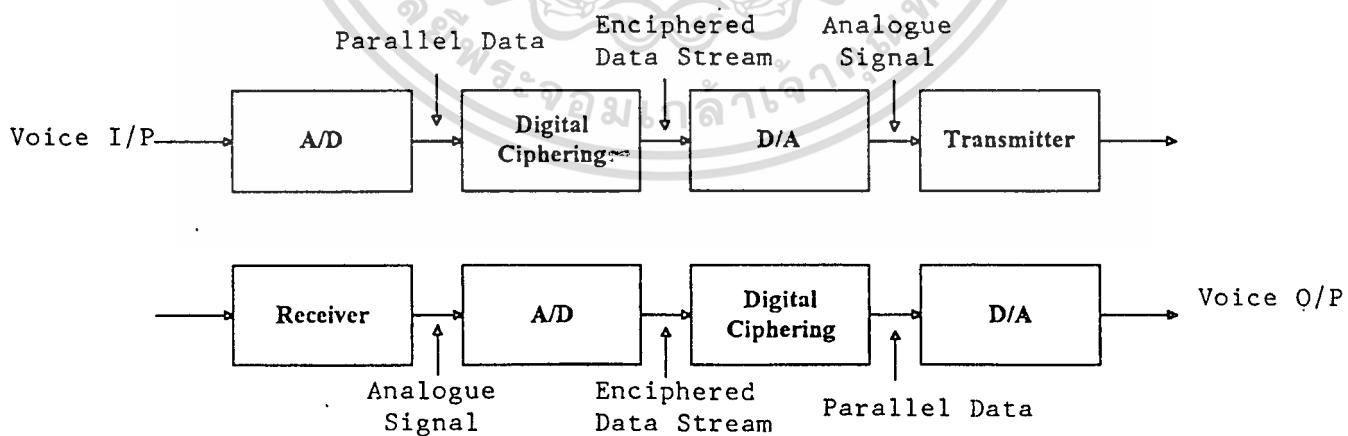
รูปที่ 5 Time Element Scrambler

## การเข้ารหัสเสียงพูดด้วยวิธีทางดิจิทัล (Digital Encrypting Speech)

การเข้ารหัสเสียงพูดด้วยวิธีทางดิจิทัลเป็นอีกวิธีหนึ่งที่ได้ประสิทธิภาพในการป้องกันข้อมูลอย่างสูงแบบหนึ่ง จากรูปที่ 6 เสียงที่ถูกเปลี่ยน (Convert) เป็นสัญญาณดิจิทัลจะอยู่ในรูปของ Serial Data Stream ซึ่งอาจจะเป็น 64 Kbps, 32 Kbps, 16 Kbps, 9.6 Kbps, 4.8 Kbps หรือ 2.4 Kbps ของ อัตราความเร็วของบิต (bit rate) ขนาด 9.6 Kbps และที่สูงกว่าจะเป็นการเพิ่มแบนด์วิดธ์ของสัญญาณ ทำให้เพิ่มความยุ่งยากในการนำไปใช้งาน โดยจะต้องพิจารณาถึงระบบเชื่อมโยงการส่งผ่าน (Transmission link) ที่สามารถตอบสนองต่อสัญญาณที่ได้ใช้สำหรับอัตราความเร็วของบิตที่ต่ำกว่า 9.6 Kbps สามารถที่จะนำไปใช้ได้ก็จริง แต่ทั้งนี้ประสิทธิภาพสัมพันธ์กับการลดรูปของการจำรูปแบบของเสียง (Reduction in Voice Recognition) ซึ่งมีขบวนการที่ยุ่งยากและซับซ้อนต้องใช้อุปกรณ์จำนวนมากและมีราคาแพง



รูปที่ 6 แสดงการเข้ารหัสเสียงพูดด้วยวิธีทางดิจิตอล



รูปที่ 7 แสดงการดัดแปลงการเข้ารหัสเสียงพูดด้วยวิธีทางดิจิตอลให้ดีขึ้น

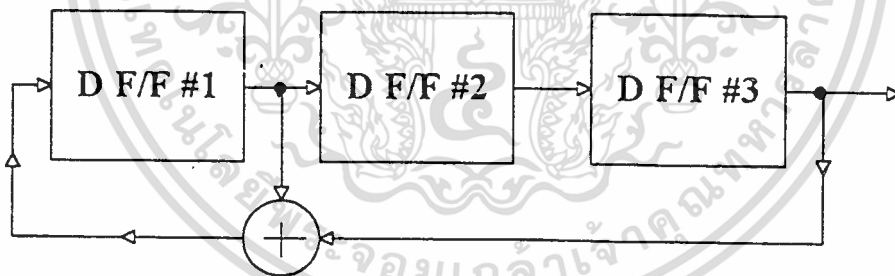
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## การสแกนเบลและดีสแกนเบล (Scrambler and Descrambler)

### หลักการสแกนเบลและการดีสแกนเบล

จากหลักการทำงานของข้อมูลสำหรับลำดับแบบกึ่งสุ่ม (Pseudo Random Sequences) ซึ่งสามารถสร้างได้โดยใช้ชิพรีจิสเตอร์ (Shift register) ต่อให้มีการป้อนกลับ (feedback) แบบ Modulo 2 adder ชิพรีจิสเตอร์นี้ประกอบขึ้นจากฟลิปฟล็อปต่อกัน เมื่อชิพรีจิสเตอร์ได้รับ clock สถานะของฟลิปฟล็อปแต่ละตัวจะถูกส่งไปที่ฟลิปฟล็อปตัวถัดไป สัญญาณที่ถูก tap ออมาจะผ่าน Modulo 2 adder และป้อนกลับไปที่ฟลิปฟล็อปตัวแรก

จากรูปที่ 8 พิจารณาที่ตัวกำเนิด 3 Sequence สมมติให้สถานะเริ่มแรกของฟลิปฟล็อปเป็น "1" ทั้งหมด เมื่อมี clock เข้ามา ข้อมูลของฟลิปฟล็อปตัวที่ 1 และ 3 จะถูกรวมกัน ข้อมูลของฟลิปฟล็อปตัวที่ 1 และ 2 จะถูกเลื่อนไปที่ตัวที่ 2 และ 3 เอาท์พุทที่ Mod 2 จะถูกส่งกลับไปที่ฟลิปฟล็อปตัวที่ 1 ข้อมูลของชิพรีจิสเตอร์จะวนเป็นรอบมีสถานะต่างกัน 7 สถานะ แล้วจึงจะวนกลับไปซ้ำที่เดิม เอาท์พุทของ three state sequence นี้จะเริ่มจากฟลิปฟล็อปตัวสุดท้ายของชิพรีจิสเตอร์จะผลิตลำดับ 110100 ลำดับ 7 บิตนี้จะเป็นแบบสุ่ม



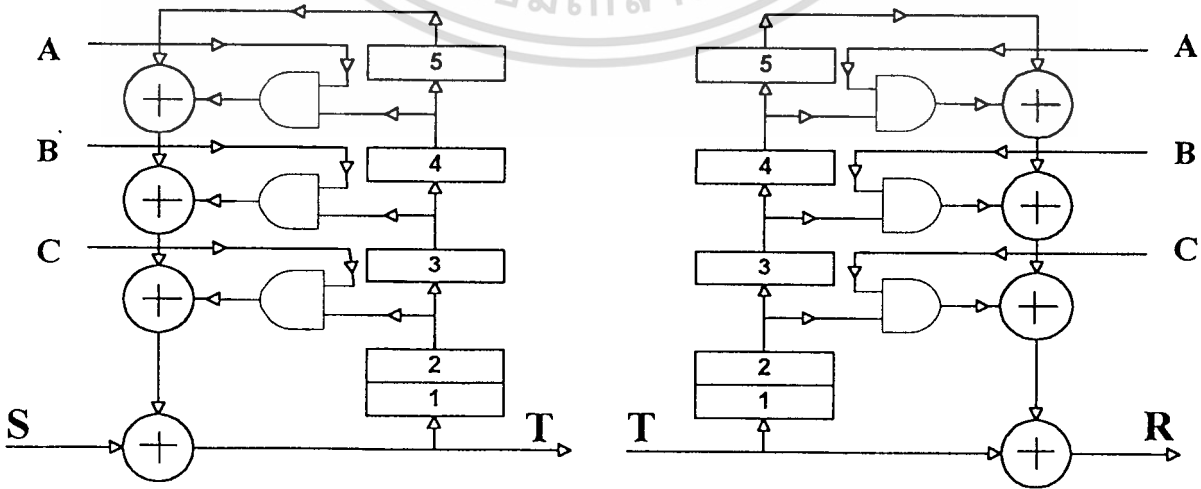
รูปที่ 8 ชิพรีจิสเตอร์ 3 ภาค ต่อให้มีการป้อนกลับ

ความยาวของ Pseudo random นี้จะคำนวณได้จากจำนวนของชิพรีจิสเตอร์ feedback tap และสภาพเริ่มแรกของฟลิปฟล็อปสังเกตจากรูปที่ 9 สถานะเริ่มแรกที่เป็น "0" ทั้งหมดจะไม่ใช้ในการกำเนิดลำดับนี้ ค่าความยาวของลำดับสูงสุดหาได้จาก  $n$ -state shift register คือ  $2^n - 1$  ตัวอย่างของค่าลำดับสูงสุดตามตารางที่ 1 สำหรับจำนวนชิพรีจิสเตอร์ต่าง ๆ

ตารางที่ 1 ความยาวสูงสุดของ Pseudo Random Sequence

| จำนวน shift reg | Feed back TAP | Period of sequence |
|-----------------|---------------|--------------------|
| 3               | 1,3           | 7                  |
| 4               | 1,4           | 15                 |
| 5               | 2,5           | 31                 |
| 6               | 1,6           | 63                 |
| 7               | 1,7           | 127                |
| 8               | 1,6,7,8       | 255                |
| 9               | 4,9           | 511                |
| 10              | 3,10          | 1023               |
| 11              | 2,11          | 2047               |

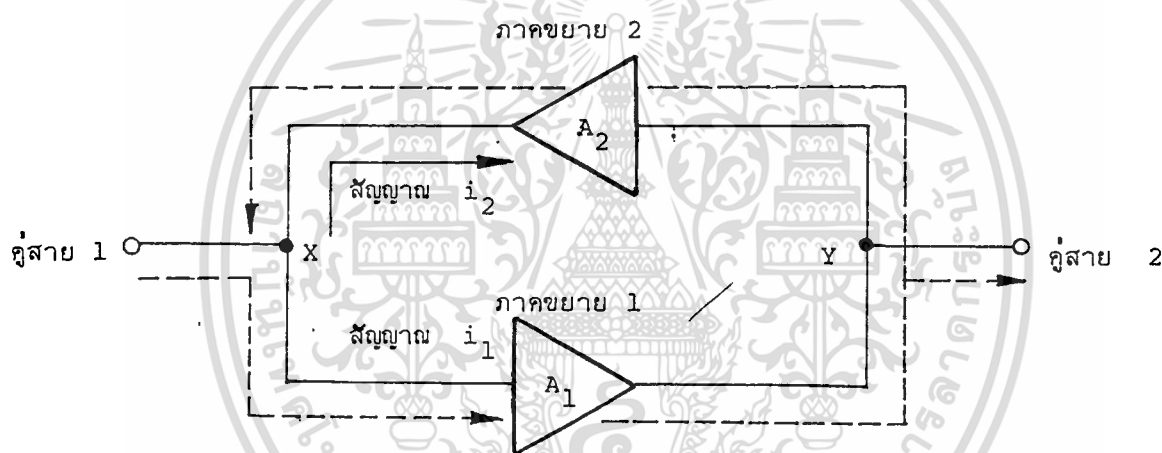
Pseudo random จะนำมาใช้เป็นสแกรมเบลอข้อมูลโดย Modulo 2 adders ของข้อมูลกับลำดับ Pseudo random ตามรูปที่ 8 เป็น block diagram ของสแกรมเบลอและดิสแกรมเบลอ ซึ่งจะใช้ prescribad pseudo random (PR) sequence สังเกตว่า PR sequence generator ที่ใช้จะเหมือนกันทั้งสแกรมเบลอและดิสแกรมเบลอ ซึ่งสแกรมเบลอจะใช้ป้อนกลับ ส่วนดิสแกรมเบลอจะใช้ป้อนตาม (feed forward)



## การส่งสัญญาณแบบสวนทิศทางกันได้

ปัจจุบันการติดต่อสื่อสารโดยเฉพาะระบบโทรศัพท์ที่มีความสำคัญมาก นอกจากเราจะใช้พูดคุยกันแล้ว ยังช่วยในการเชื่อมต่อข้อมูลในระบบคอมพิวเตอร์ เนื่องจากระบบ Scramble ของเราต้องการออกแบบให้ใช้กับระบบการสื่อสารแบบ Full duplex ดังนั้น ในบทนี้เรา จะมีการศึกษาถึงการส่งสัญญาณแบบสวนทิศทางกันในคู่สาย 2 เส้น

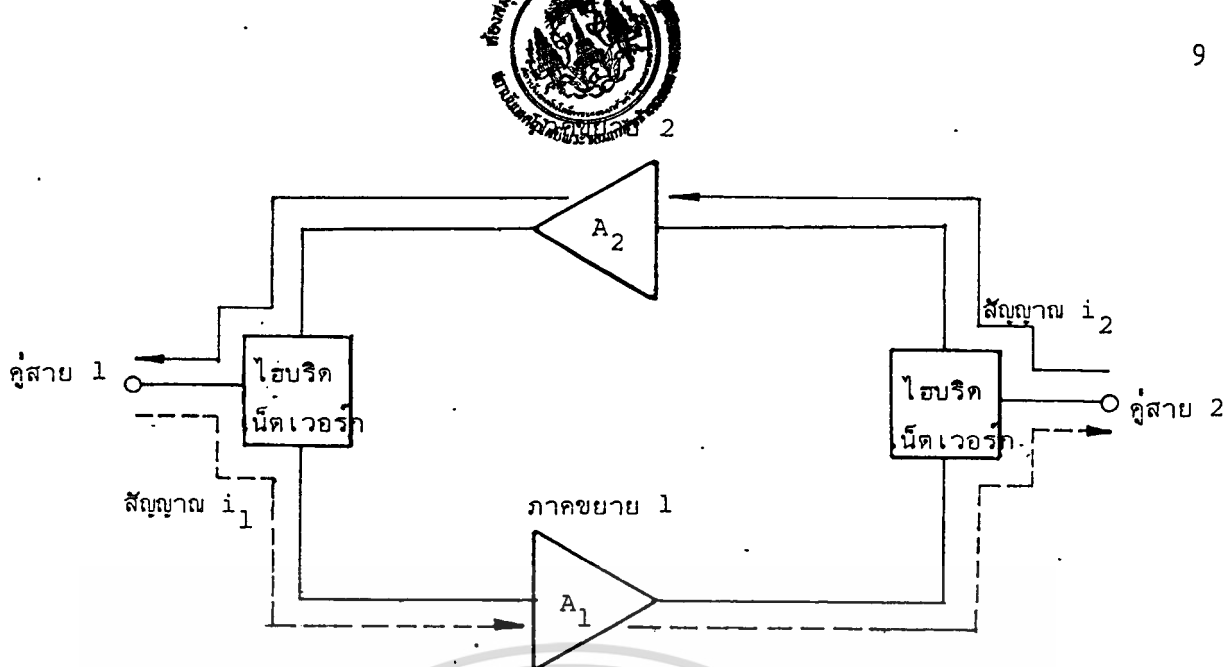
ในระบบโทรศัพท์ที่ใช้ 2 สายอย่างในประเทศไทยเรา สายสัญญาณ 2 เส้นนี้จะเป็นตัวผ่านสัญญาณทั้ง 2 ทิศทางในขณะเดียวกัน ปัญหาก็คือ ทำอย่างไรจึงจะส่งสัญญาณสวนทางกันได้บนสายสัญญาณ 2 เส้น และหากมีการขยายสัญญาณด้วยจะใช้ด้านใดเป็นอินพุต ด้านใดเป็นเอาท์พุท



รูปที่ 10 การเกิดลูปย้อนกลับเมื่อไม่มีวงจรไฮบริด

จากรูปที่ 10 เป็นการแก้ปัญหาลักษณะหนึ่ง โดยใช้ภาคขยายสัญญาณวางสลับทิศทางกัน มี A1 และ A2 เป็นอุปกรณ์ทวนสัญญาณโดยมีการขยายในทิศทางตรงกันข้าม ถ้าสมมติว่า คู่สาย 1 มีการส่งสัญญาณขึ้น ก็จะมีสัญญาณ  $i$  วิ่งเข้าที่จุด X แล้วแยกเป็น  $i_1$  และ  $i_2$  สัญญาณ  $i_2$  ไม่สามารถผ่านวงจรขยาย A2 ได้เพราะผิดทิศทาง แต่สัญญาณ  $i_1$  จะถูกขยายโดยวงจรขยาย A1 แล้วไหลเข้าที่จุด Y สัญญาณ  $i_1$  บางส่วนจะถูกขยายโดยวงจรขยาย A2 อีกครั้ง ทำให้สัญญาณ  $i_1$  เดินทางครบ loop เกิดการป้อนกลับแบบบวก ทำให้เกิดการ Oscillate ขึ้น การแก้ปัญหานี้ก็ต้องนำวงจรที่สามารถกันสัญญาณ  $i_1$  ไม่ให้ไหลย้อนกลับเข้าไปในวงจรขยาย A2 ได้ ซึ่งวงจรนั้นก็คือ วงจร Hi birdge ซึ่งก็จะเป็นดังรูปที่ 11

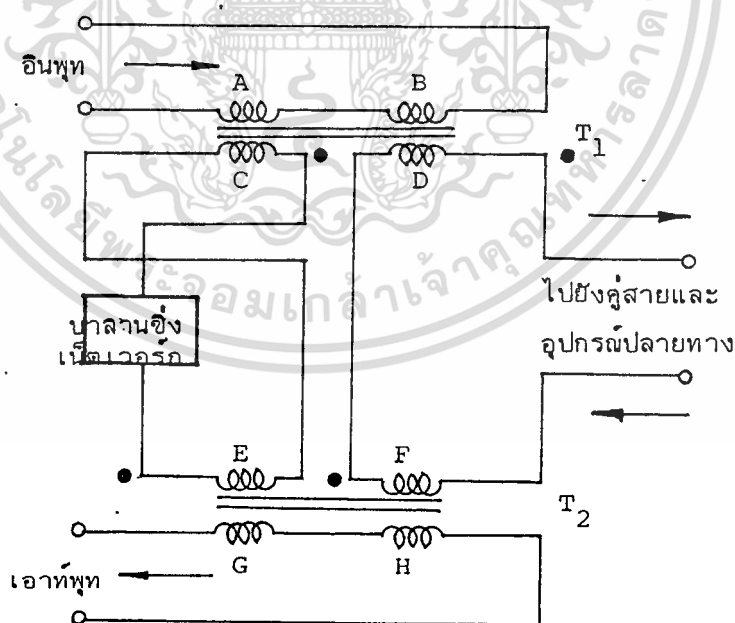
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 11 การแก้การเกิดสภาพออสซิลเลตโดยเพิ่มวงจรไฮบริด

### การทำงานของวงจร Hi-bridge

วงจร Hi bridge แสดงไว้ในรูปที่ 12 ประกอบด้วย Balancing network และหม้อแปลง T1 และ T2 จุด (dot) ที่เห็นในวงจรเป็นตัวชี้ถึงเฟสของขดลวด ถ้าไม่ถูกต้องแล้ววงจรก็จะไม่สามารถทำงานได้



รูปที่ 12 วงจรไฮบริดเนตเวิร์ค

เริ่มต้นเมื่อมีสัญญาณเข้ามาทาง Input ที่ขดลวด A และ B ทางด้านปฐมภูมิทำให้เกิดการ coupling ไปยังขดลวด C และ D ทางด้านทุติยภูมิตามลำดับ เนื่องจากการ coupling ของขดลวด B จะทำให้มีสัญญาณปรากฏที่ขดลวด D, F และโหลด ดังนั้น สัญญาณจะไปปรากฏที่คู่สายขณะเดียวกัน ขดลวด F ก็จะทำให้เกิดสัญญาณที่ขดลวด H ด้วย

ทางด้านขดลวด C เกิดมีสัญญาณ coupling จากขดลวด A เช่นกัน ไหลผ่าน balancing network และขดลวด E ซึ่งขดลวด E ก็จะมี coupling ไปยังขดลวด G อีก โดยมีค่าเท่ากับสัญญาณที่ขดลวด H แต่มีทิศทางการหักล้างกัน หรือต่างเฟสกัน  $180$  องศา จึงเกิดการหักล้างกันเป็นผลทำให้ไม่มีสัญญาณจาก Input ไปปรากฏที่ Output

วงจร Hi-bridge จะกันไม่ให้สัญญาณที่ Input ไปปรากฏที่ output ได้อย่าง  $100\%$  ก็ต่อเมื่อ Balancing network มีอิมพีแดนซ์แมตช์กับอิมพีแดนซ์รวมของคู่สาย ซึ่งมีทั้งค่าความต้านทานและค่ารีแอกแตนซ์รวมอยู่ด้วย

คราวนี้ถ้าเกิดมีการส่งสัญญาณมาจากคู่สายข้าง สัญญาณก็จะไหลผ่าน D และ F เกิดการ coupling ไปยังขดลวด B และ H ตามลำดับ ที่ขดลวด H จึงมีสัญญาณปรากฏผ่านขดลวด G ด้วย จึงเกิดการ coupling ที่ขดลวด E ซึ่งจะไหลผ่าน Balancing network และขดลวด C ด้วย และจะเหนี่ยวนำให้เกิดสัญญาณที่ขดลวด A อีก ซึ่งมีค่าเท่ากับสัญญาณเหนี่ยวนำที่ขด B อันเนื่องมาจากขดลวด D แต่ต่างเฟส  $180$  องศา ฉะนั้นจึงไม่มีสัญญาณออกไปทาง Input ของวงจร Hi-bridge



## บทที่ 2

### พัลส์โค้ดมอดูเลชัน (Pulse Code Modulation)

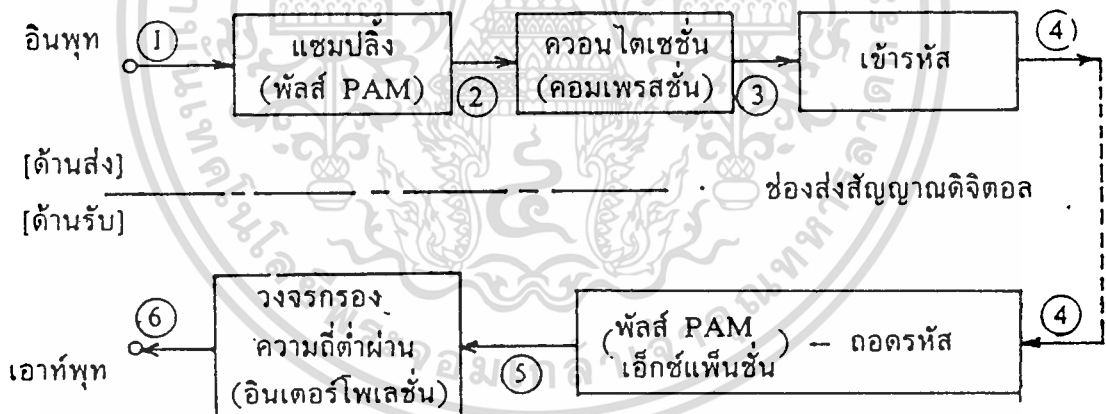
#### การเข้ารหัสของสัญญาณเสียง

ในปัจจุบันระบบ PCM ถูกนำไปใช้อย่างกว้างขวางโดยเฉพาะสำหรับสัญญาณเสียง และในระยะหลัง ๆ นี้ การพัฒนาระบบนี้เพื่อนำไปใช้กับสัญญาณภาพก็มีบทบาทขึ้นด้วย ดังนั้น ในบทนี้ในตอนแรกจะกล่าวถึงการนำระบบ PCM ไปใช้กับสัญญาณเสียงก่อน ในตอนท้ายจึงจะกล่าวถึงการพัฒนาระบบ PCM ในรูปแบบต่าง ๆ เพื่อนำไปใช้ทั้งสัญญาณเสียงและสัญญาณภาพ

#### กระบวนการเข้ารหัสและถอดรหัสของพีซีเอ็ม

รูปที่ 1 แสดงขั้นตอนการประมวลสัญญาณเพื่อให้ได้รับ PCM กล่าวอย่างกว้าง ๆ ก็คือ การเข้ารหัส (Coding) และการนำสัญญาณไปแปลงกลับซึ่งเรียกว่า การถอดรหัส (Decoding) เพื่อให้ได้สัญญาณเดิม สำหรับรูป 2 แสดงลักษณะคลื่นในโดเมนเวลาและสเปกตรัมในโดเมนความถี่ของแต่ละขั้นตอนในกระบวนการนี้ ซึ่งหลักการของแต่ละขั้นตอน จะกล่าวให้ละเอียดดังต่อไปนี้

(สัญญาณเสียงที่เป็นอนาล็อก)



(สัญญาณเสียงที่เป็นอนาล็อก)

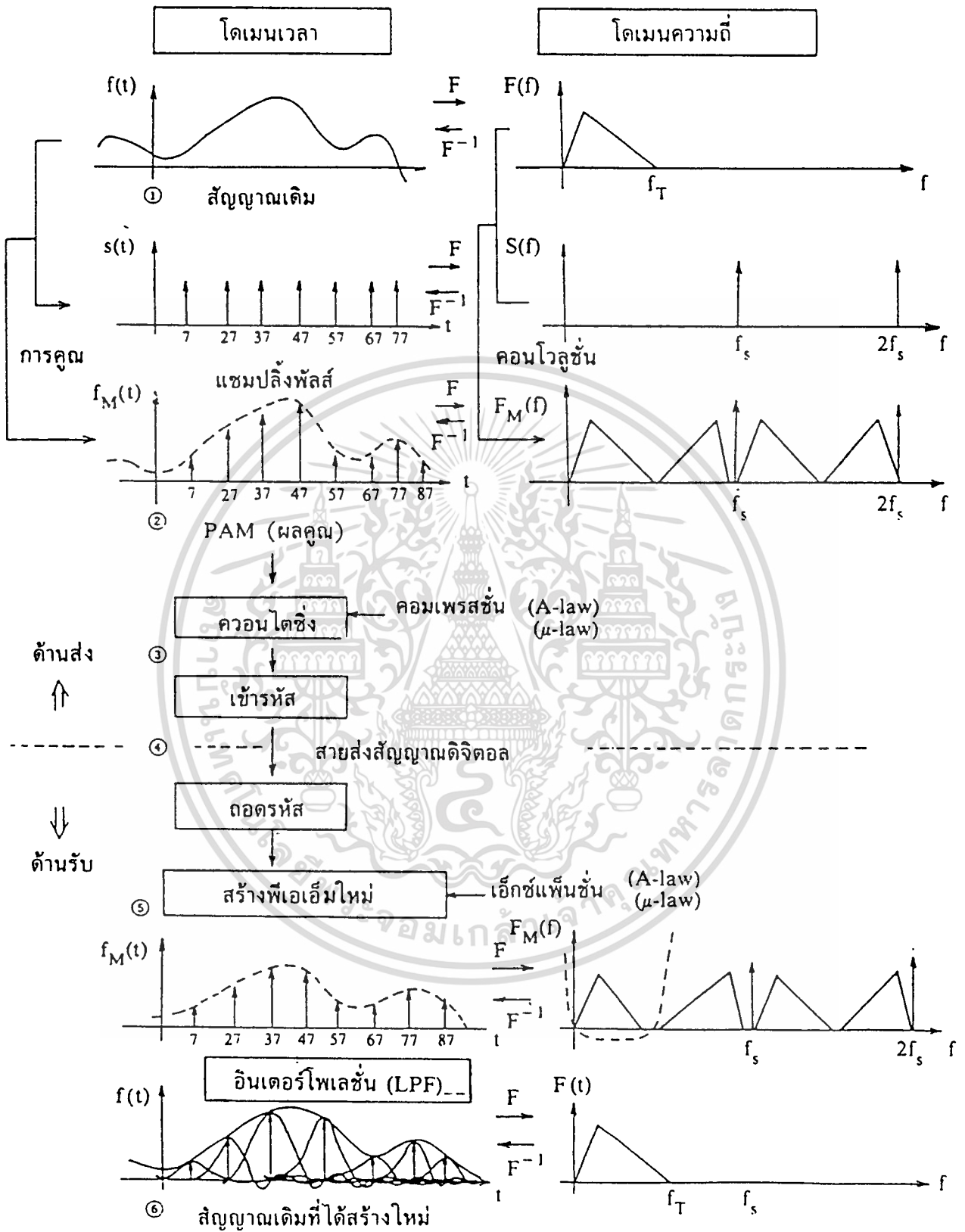
รูปที่ 1 กระบวนการเข้ารหัสและถอดรหัสของระบบ PCM

#### การแซมปลิง (Sampling)

ตามที่ทราบกันดีแล้วว่าแซมปลิงคือ การทำสัญญาณซึ่งมีค่าต่อเนื่องให้เป็นแบบดิสครีทในช่วงเวลาที่เท่า ๆ กัน และตามที่ได้กล่าวมาแล้วข้างต้นว่า ทฤษฎีการแซมปลิงนั้น ถ้าเก็บแซมเปิลด้วยอัตรา 2 เท่าหรือมากกว่า ความถี่สูงสุดของสัญญาณอนาล็อกแล้ว จะสามารถทำให้อาณัติสัญญาณเดิมกลับคืนมาได้ เนื่องจากสัญญาณเสียงที่ใช้ในระบบโทรศัพท์นั้นถูกจำกัดให้มีความถี่ระหว่าง 0.3-3.4 KHz ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 กระบวนการเข้ารหัสและถอดรหัส (โดเมนเวลาและโดเมนความถี่)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราการแซมปลิงต่ำสุดจะต้องเท่ากับ 6.8 KHz สำหรับในทางปฏิบัติจะใช้ 8 KHz คือแซมปลิงทุก ๆ 125  $\mu\text{sec}$  ( $1/8 \times 10^3$ )

การแซมปลิงนี้ จะแปลงสัญญาณอนาล็อกให้เป็นขบวนพัลส์ซึ่งเรียกว่า PAM และจะมีผลดีได้จะต้องมีเงื่อนไขดังต่อไปนี้

ก) สัญญาณอินพุตต้องไม่มีองค์ประกอบเกินความถี่สูงสุด  $f_0$

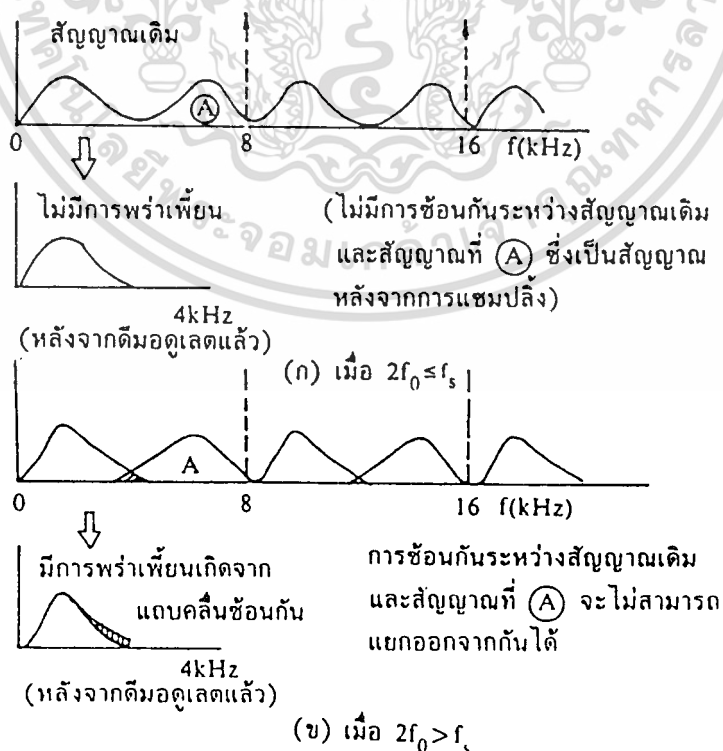
ข) ขบวนพัลส์ที่ใช้สำหรับแซมปลิงจะต้องเป็นอิมพัลส์ซึ่งมีความกว้าง 0 และมีแอมพลิจูดเป็นอนันต์

ค) ทางด้านรับต้องใช้วงจรกรองความถี่ต่ำตามอุดมคติ (ideal low pass filter) ซึ่งยอมให้ความถี่ต่ำกว่า  $f_0$  ผ่านได้ทั้งหมด

แต่อย่างไรก็ตาม ในทางปฏิบัตินั้น จะไม่สามารถทำให้เป็นไปตามเงื่อนไขดังกล่าวข้างต้นได้อย่างสมบูรณ์ เมื่อเป็นเช่นนี้จะเกิดการพราเพี้ยน (distortion) ต่าง ๆ ขึ้น คือ

### การพราเพี้ยนเกิดจากแถบคลื่นซ้อนกัน (Aliasing distortion)

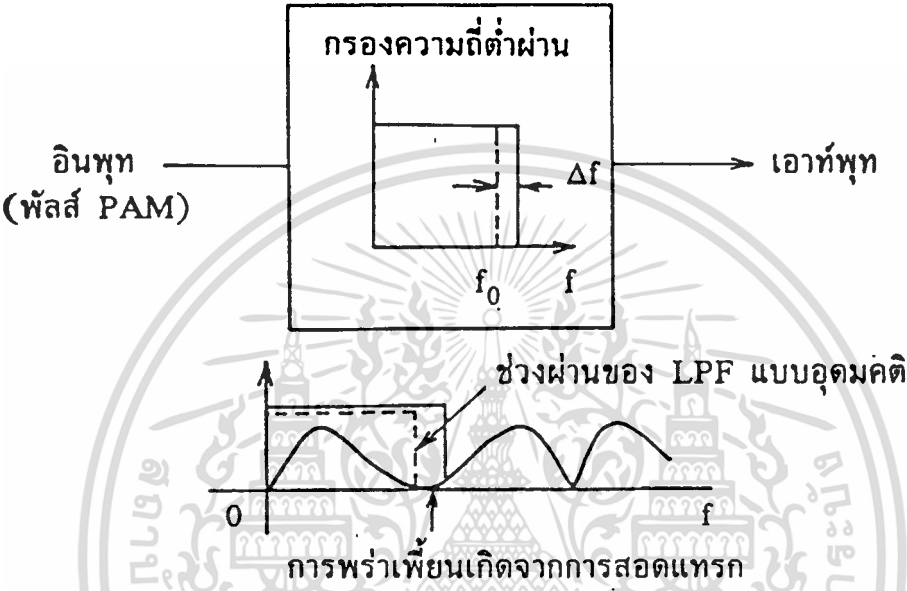
ถ้าความถี่สูงสุดของสัญญาณอินพุตเป็น  $f_0$  และความถี่ที่ใช้แซมปลิงเป็น  $f_s$  เมื่อ  $f_s \geq 2 f_0$  วงจรกรองความถี่ต่ำทางด้านรับจะขจัดองค์ประกอบความถี่ที่มากกว่า  $f_0$  ออกทำให้ง่ายต่อการทำสัญญาณเดิมให้กลับคืนมาได้ ตามรูป 3 (ก) แต่ถ้าสัญญาณอินพุตมีองค์ประกอบความถี่สูงกว่า  $f_s/2$  รวมอยู่ด้วยขบวนพัลส์ PAM ที่ได้รับจะมีสเปกตรัมเกิดขึ้น ดังแสดงไว้ในรูป 3 (ข) จะเห็นได้ว่ามีความถี่สเปกตรัมซ้อนกันระหว่างสัญญาณเดิมกับ LSB จึงเป็นการลำบากที่จะทำให้สัญญาณเดิมกลับคืนมาได้อย่างสมบูรณ์ แม้ว่าวงจรกรองความถี่จะกรองความถี่ที่สูงกว่า  $f_0$  ออกแล้วก็ตามก็ยังคงเหลือรอยสเปกตรัมอยู่กับสัญญาณที่ได้ตีมอดูเลตแล้ว ปรากฏการณ์เช่นนี้เรียกว่า Aliasing distortion



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับวิชาการ การพราเพี้ยนเกิดจากแถบคลื่นซ้อนกัน ให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพัวเพี้ยนเกิดจากการสอดแทรก (Interpolation distortion)

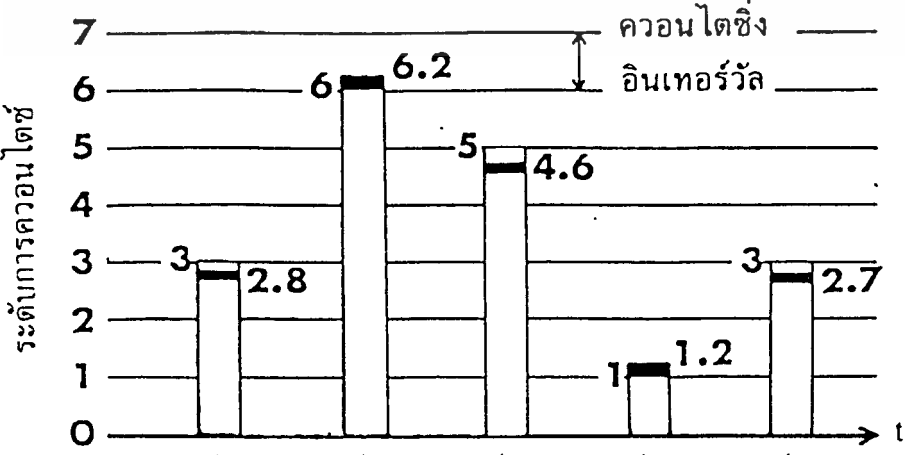
การติมอดูเลตพัลส์ PAM ทางด้านรับนั้นจะได้ LPF ตามอุดมคติ ดังที่ได้กล่าวมาแล้วข้างต้นว่า ในทางปฏิบัติไม่สามารถจะสร้างวงจรแบบนี้ได้ จึงเพียงแต่สร้างให้มีคุณลักษณะใกล้เคียงกันเท่านั้น ดังนั้นจึงไม่สามารถจะกำจัดความถี่ที่สูงกว่า  $f_0$  และฮาร์โมนิกส์ต่าง ๆ ออกไปได้ตามที่แสดงไว้ในรูป 4 สิ่งดังกล่าวเหล่านี้จะสอดแทรกเข้าไปปนกับสัญญาณที่ได้จากการติมอดูเลต จึงเป็นผลทำให้เกิดการพัวเพี้ยนซึ่งเรียกว่า Interpolating distortion



รูปที่ 4 การพัวเพี้ยนเกิดจากการสอดแทรก

การจัดระดับ (Quantizing)

ขบวนพัลส์ PAM ที่ผ่านการแซมปลิงมาแล้ว ยังถือว่าเป็นชนิดอนาล็อกอยู่ คือมันจะมีแอมพลิจูดที่เปลี่ยนแปลงอย่างต่อเนื่องไปกับเวลาที่เป็นช่วง ๆ การจัดระดับคือ กระบวนการที่เปลี่ยนแอมพลิจูดของ PAM เหล่านั้นให้เป็นค่าตัวเลขแบบดิสครีตตามที่แสดงไว้ในรูปที่ 5



รูปที่ 5 การจัดระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงชื่อของเอกสารทุกครั้งที่มีการนำไปใช้

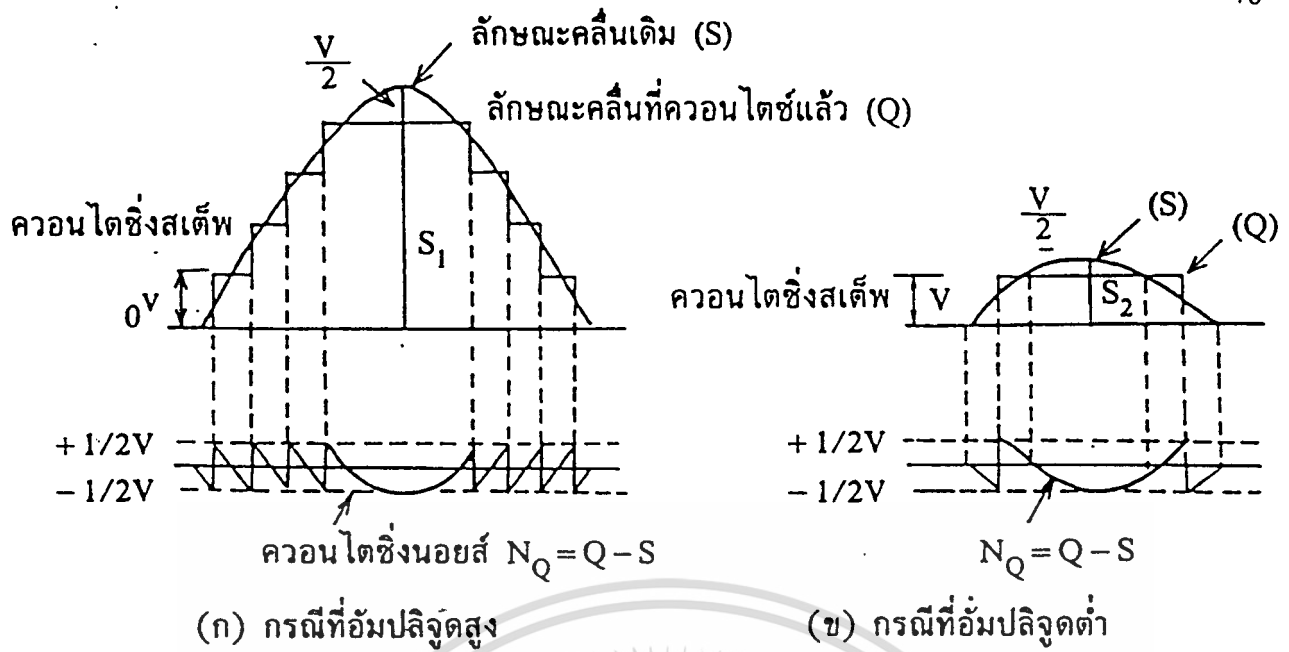
จากรูปที่ 5 แอมพลิจูดของแซมเปิลทุกตัวของ PAM จะถูกจัดให้เป็นระดับซึ่งเรียกว่าระดับควอนไทซ์ (Quantizing level) โดยมีระยะห่างระหว่างระดับข้างเคียง เรียกว่า ควอนไทซ์อินเทอร์วัล (Quantizing interval) หรือควอนไทซ์สเต็ปพื้นที่เท่ากัน กรณีนี้เรียกว่าการจัดระดับแบบยูนิฟอร์มหรือแบบลิเนียร์ (Uniform Quantizing) ขนาดของแซมเปิลทุกตัวจะแสดงด้วยค่าระดับควอนไทซ์ที่ใกล้เคียงที่สุด เช่น ขนาดของแซมเปิลที่  $t = t_1$  คือ 2.8 จะจัดให้เป็นระดับ 3 หรือค่าแซมเปิลที่  $t = t_2$  มีขนาด 6.2 จะจัดให้เป็น 6 เป็นต้น จะเห็นได้ว่าสัญญาณ PAM ที่ถูกจัดระดับแล้วจะเป็นเพียงค่าโดยประมาณของสัญญาณอนาล็อกเท่านั้น ดังนั้น ส่วนเกินและส่วนขาดจากการจัดระดับจึงเป็นค่าผิดพลาดระหว่างสัญญาณเดิมและค่าที่ได้จัดระดับ ซึ่งค่าผิดพลาดนี้เรียกว่า ควอนไทซ์นอยส์ (Quantizing noise) หรือความพร่าเพี้ยนจากการควอนไทซ์ (Quantizing Distortion)

อนึ่ง จากหลักการที่กล่าวมานี้ ทางปฏิบัติจะไม่สามารถหลีกเลี่ยงควอนไทซ์นอยส์ได้ แต่เพื่อรักษาคุณภาพของเสียงในการสนทนาให้ดี จึงจำเป็นต้องทำให้นอยส์นี้ลดลง ในเบื้องต้นคือการลดควอนไทซ์อินเทอร์วัลให้แคบลงอย่างพอเพียงก็สามารถจะลดควอนไทซ์นอยส์ได้ในระดับหนึ่ง อย่างเช่น ถาลดอินเทอร์วัลให้เหลือครึ่งหนึ่งนั้นจะสอดคล้องกับการเพิ่มจำนวนบิตอีก 1 บิต นั่นคือ พาวเวอร์ของควอนไทซ์นอยส์จะลดลง 6 dB ทุก ๆ การเพิ่ม 1 บิต

### คอมแพนดิง (Companding)

ตามที่ได้อธิบายมาแล้วว่าเราไม่สามารถจะหลีกเลี่ยงควอนไทซ์นอยส์ที่เกิดขึ้นได้ แต่จะต้องทำให้ลดลง โดยการลดควอนไทซ์อินเทอร์วัล หรือการเพิ่มจำนวนระดับนั่นเอง แต่เมื่อเพิ่มจำนวนระดับขึ้นแล้ว จำนวนบิตที่ใช้จะเพิ่มขึ้น จึงจำเป็นต้องใช้ความเร็วในการส่งสัญญาณดิจิทัลให้สูงขึ้น ตามปกติควอนไทซ์นอยส์จะเกิดขึ้นอย่างสม่ำเสมอในทุกอินเทอร์วัล โดยไม่เกี่ยวข้องกับแอมพลิจูดของสัญญาณเดิม หรือกล่าวอีกนัยหนึ่งคือ พาวเวอร์ของควอนไทซ์นอยส์เกือบจะคงที่โดยไม่ขึ้นอยู่กับสัญญาณ และในการวัดคุณภาพของการเข้ารหัสของสัญญาณเสียงจะใช้อัตราส่วนของสัญญาณ  $S$  ต่อควอนไทซ์นอยส์  $N_0$  เมื่อเป็นเช่นนี้จะเข้าใจได้ว่าในกรณีที่สัญญาณมีระดับสูง  $S/N_0$  จะดีกว่ากรณีที่สัญญาณมีระดับต่ำ ดังนั้น จึงจำเป็นต้องพิจารณาควอนไทซ์นอยส์ในบริเวณที่สัญญาณมีระดับต่ำ อย่างเช่นตามรูปที่ 6 กรณีที่เป็นการจัดระดับแบบยูนิฟอร์มจะเห็นได้ว่า เมื่อสัญญาณมีพาวเวอร์ต่ำ นอยส์จะมีระดับสูงเมื่อเทียบกับระดับของสัญญาณจึงทำให้  $S/N_0$  เลวลง ด้วยเหตุนี้จึงใช้การจัดระดับโดยวิธีอื่น กล่าวคือ แบบนอนยูนิฟอร์ม (Non-Uniform Quantizing) คือบริเวณที่สัญญาณมีแอมพลิจูดต่ำจะใช้ควอนไทซ์สเต็ปแคบ ๆ และในทางตรงกันข้ามบริเวณที่สัญญาณมีแอมพลิจูดสูงจะใช้ควอนไทซ์สเต็ปกว้าง ๆ ซึ่งการทำให้เป็นแบบนอนยูนิฟอร์มนั้นจะใช้หลักการของ Companding เข้าช่วย

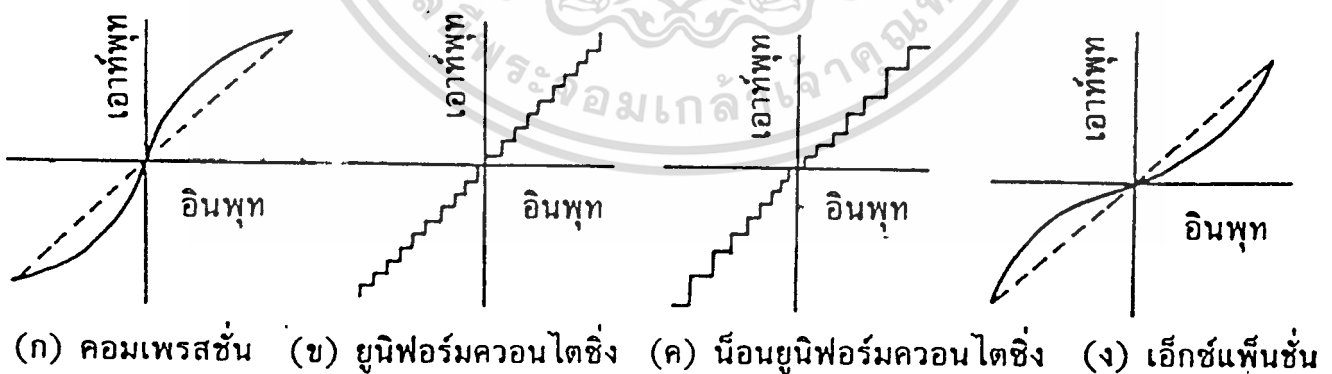
คอมแพนดิงเป็นชื่อรวมของวงจรคอมเพรสเซอร์ (Compressor) ซึ่งใช้สำหรับด้านส่ง และวงจรเอกซ์แพนเดอร์ (Expander) ซึ่งใช้สำหรับด้านรับ คุณสมบัติของวงจรนี้จะกล่าวในภายหลัง อย่างไรก็ตาม ตัวอย่างการจัดระดับควอนไทซ์แบบนอนยูนิฟอร์มได้แสดงไว้ในรูปที่ 7 ซึ่งมีขั้นตอนคือ ก่อนที่จะทำการจัดระดับจะผ่านสัญญาณไปยังวงจรคอมเพรสเซอร์ ซึ่งมีคุณลักษณะของอินพุต/เอาต์พุตตามรูปที่ 7(ก) แล้วทำการจัดระดับแบบยูนิฟอร์ตามรูปที่ 7(ข) ก็จะได้การจัดระดับแบบนอนยูนิฟอร์ตามรูปที่ 7(ค) สำหรับทางด้านรับนั้นเมื่อสัญญาณ PCM ผ่านขั้นตอนการถอดรหัสแล้วก็จะผ่านไปยังวงจรเอกซ์แพนเดอร์ซึ่งมีคุณลักษณะตรงกันข้ามกับคอมเพรสเซอร์ตามรูปที่ 7(ง)



$$\frac{\frac{V}{2}}{S_1} < \frac{\frac{V}{2}}{S_2}$$

รูปที่ 6 การควอนไทซ์และควอนไทซ์นอยส์

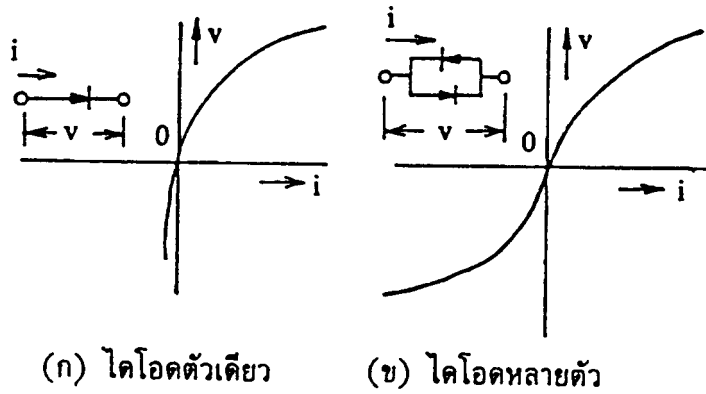
อนึ่ง กรณีที่จัดระดับแบบยูนิฟอร์มนั้นจะใช้ประมาณ 2,000 ระดับ ซึ่งจะรักษาคุณภาพของเสียงให้ดีในการเข้ารหัสจะต้องใช้ถึง 11 บิตต่อแซมเปิล 1 ตัว แต่ถ้าใช้แบบนอนยูนิฟอร์มแล้วจะใช้เพียง 7 บิต ซึ่งมีระดับเพียง 128 เท่านั้น ก็เพียงพอที่จะทำให้  $S/N_Q$  ใกล้เคียงกับการจัดระดับแบบยูนิฟอร์ม CCITT กำหนดว่าให้ใช้ 8 บิตต่อแซมเปิล 1 ตัว และระดับการควอนไทซ์ 256 ก็จะเป็นการรับรองว่าเสียงพูดจะมีคุณภาพที่ดี



รูปที่ 7 คุณลักษณะการจัดระดับด้วยคอมเพรสเซอร์และเอ็กซ์แพนเดอร์

สำหรับคุณลักษณะของคอมเพรสเซอร์นั้นจะเป็นแบบลอการิทึม รูปแบบโดยทั่วไปจะใช้คุณสมบัติของ V-I ของไดโอด ตามรูปที่ 8 กรณีที่ใช้เป็นคอมเพรสเซอร์จะมีกระแส  $i$  เป็นอินพุตโวลเตจ  $v$  เป็นเอาต์พุต สำหรับกรณีที่ใช้เป็นเอ็กซ์แพนเดอร์จะมีโวลเตจเป็นอินพุต และกระแส  $i$  เป็นเอาต์พุต

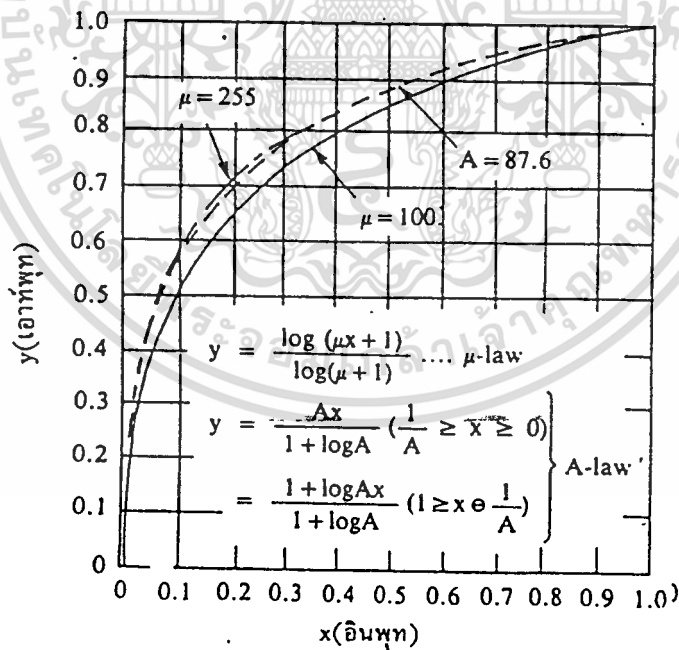
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8 คุณลักษณะคอมเพรสชันของโคโอด

คุณลักษณะของคอมเพรสเซอร์ที่ใช้สำหรับประกอบการเข้ารหัสสัญญาณเสียงในปัจจุบันคือ  $\mu$ -law ซึ่งใช้ใน Hierarchy ของระบบ 1.5 Mb/s และ A-law ใช้ใน Hierarchy ของระบบ 2 Mb/s คุณลักษณะทั้ง 2 แบบนี้แสดงไว้ในรูปที่ 9 เฉพาะกรณีของ  $\mu = 100$ ,  $\mu = 255$  และ  $A = 87.6$

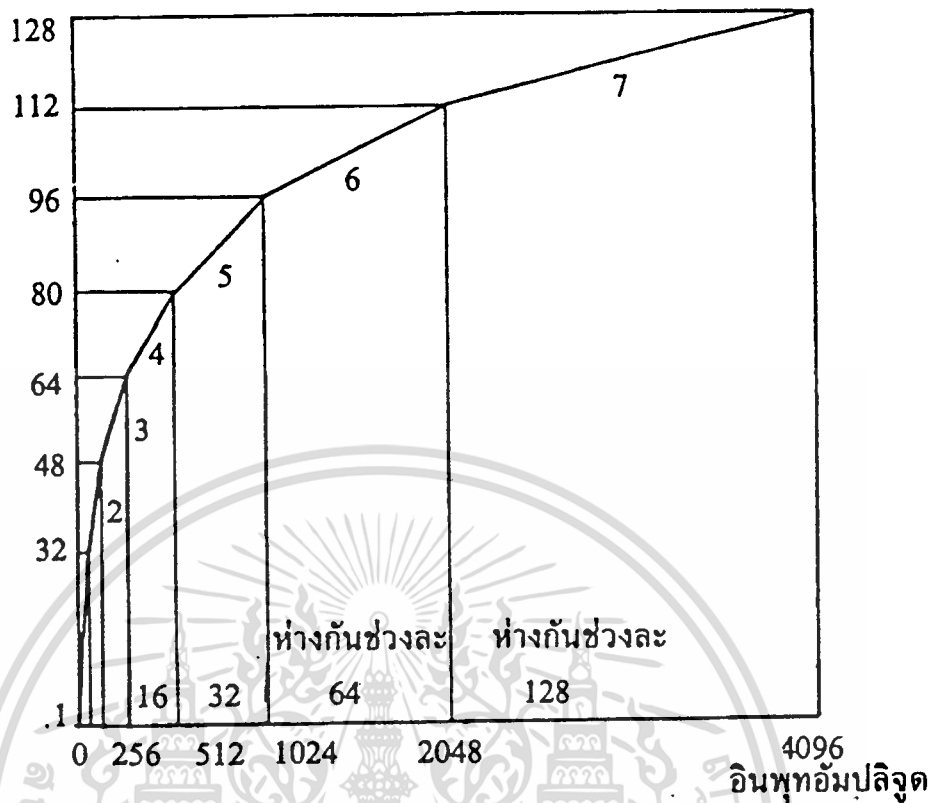
กรณีที่  $\mu = 100$  จะใช้วงจรคอมเพรสเซอร์ตามรูปที่ 8 แต่กรณี  $\mu = 255$  และ  $A = 87.6$  จะใช้วงจรคอมเพรสเซอร์ที่มีคุณลักษณะเป็นเส้นตรง โดยแยกเป็นส่วน ๆ ซึ่งมีคุณลักษณะใกล้เคียงกับในรูปที่ 9 ตามปกติในวงจรเข้ารหัสจะมีหน้าที่นี้ร่วมอยู่ด้วยแล้วนำการกด (Compress) และเข้ารหัสไปพร้อม ๆ กัน วงจรเข้ารหัสนี้ถูกเรียกว่า Broken line encoder



รูปที่ 9 แบบอย่างคุณลักษณะของคอมเพรสชัน

อนึ่ง กรณีที่ใช้  $\mu = 255$  จะประมาณด้วยเส้นตรง 15 เส้น สำหรับกรณีที่ใช้  $A = 87.6$  จะแบ่งเป็นเส้นตรง 13 ส่วน โดยส่วนที่ 1 จะเป็นเส้นตรงผ่านจุดเริ่มต้นไปทั้งทางบวกและทางลบ สำหรับคุณลักษณะของ A-law นี้ แสดงไว้ในรูปที่ 10 ซึ่งแสดงคุณลักษณะเฉพาะด้านบวกเท่านั้น อินพุตแอมพลิจูด 4096 จะสอดคล้องกับสัญญาณ ซึ่งมีทาวเวอร์ 3.14 dBm0 สำหรับเอาท์พุทนั้นจะถูกจัดให้เป็น 256 ระดับ (ทั้งด้านบวกและลบ) คือใช้ 8 บิตต่อแซมเปิล 1 ตัว

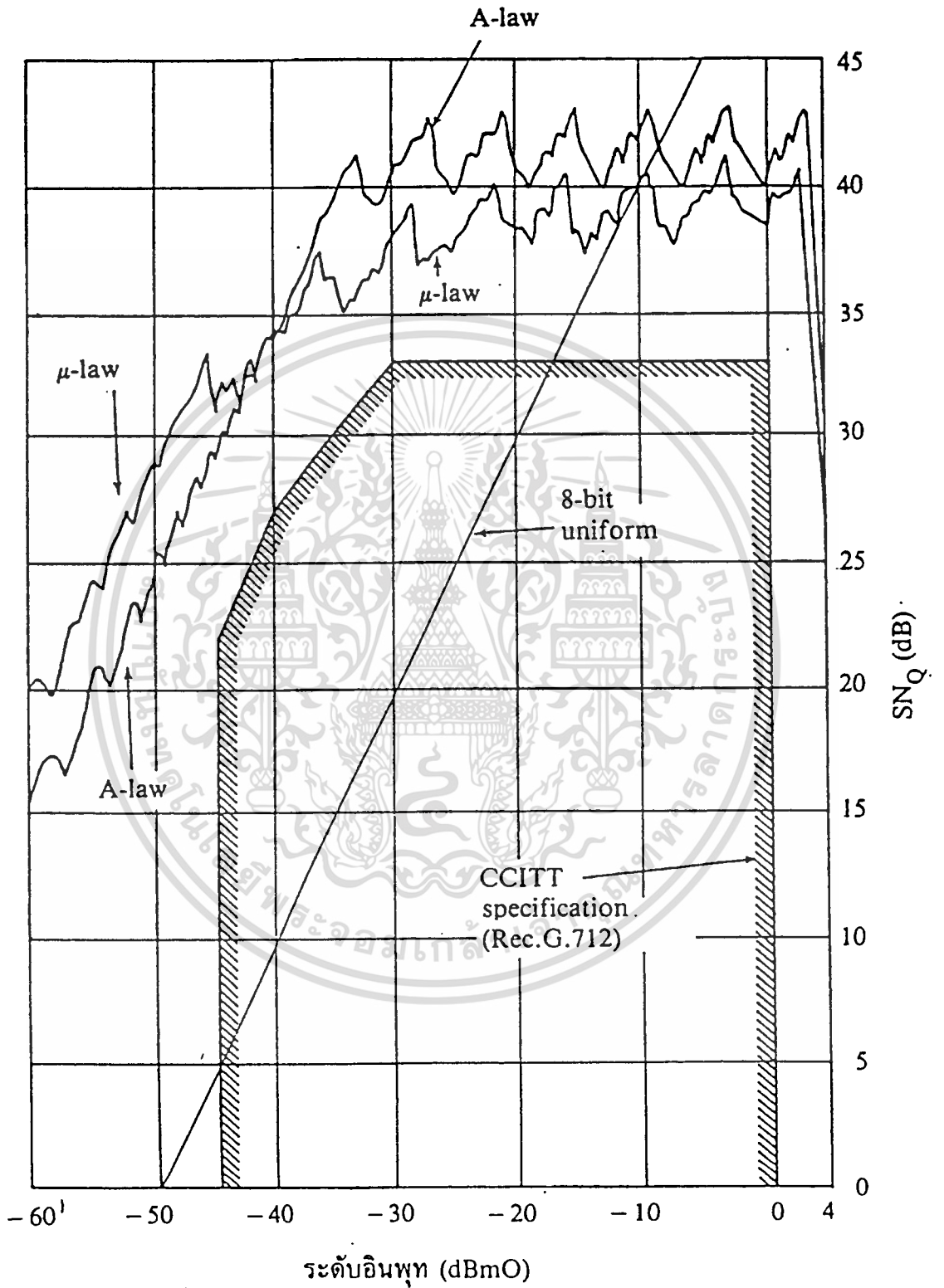
ค่าเอาท์พุท  
(ระดับการควอนไทซ์)



รูปที่ 10 คุณลักษณะของคอมแพนดิงเมื่อ  $A = 87.6$

เมื่อเปรียบเทียบคุณลักษณะของคอมเพรสเซอร์ระหว่าง A-law และ  $\mu$ -law ที่เกี่ยวข้องกับ  $S/N_0$  แล้วตามรูปที่ 11 จะเห็นได้ว่า คุณลักษณะของทั้ง A-law และ  $\mu$ -law จะเป็นแบบพื่นเลื่อย เนื่องจากส่วนโค้งของคอมแพนเดอร์ถูกประมาณค่าให้เป็นเส้นตรงส่วนย่อย ๆ และจะเห็นได้ว่าส่วนที่สัญญาณมีพาวเวอร์สูง A-law จะมี  $S/N_0$  ต่ำกว่า ในทางตรงกันข้ามส่วนที่สัญญาณมีพาวเวอร์ต่ำจะมี  $S/N_0$  ต่ำกว่า ทั้งนี้เนื่องจาก ภาระแรกควอนไทซ์อินเทอร์วัลของ A-law มีขนาดแคบกว่าของ  $\mu$ -law สำหรับกรณีหลังของ A-law จะกว้างกว่า แต่อย่างไรก็ตาม ทั้ง A-law และ  $\mu$ -law นั้นพิจารณาได้ว่าจะมี  $S/N_0$  สูง และเกือบคงที่แม้ว่าสัญญาณจะมีพาวเวอร์ต่ำ

จากหลักการที่ได้กล่าวมาแล้วนี้จะเข้าใจได้ว่า การปรับปรุง  $S/N_0$  ในบริเวณสัญญาณซึ่งมีพาวเวอร์ต่ำ โดยใช้วิธีจัดระดับแบบนอนยูนิฟอร์มจะมีผลดีกว่าแบบยูนิฟอร์มเป็นอย่างมาก



รูปที่ 11 ความสัมพันธ์ระหว่างระดับอินพุตต่อ  $S/N_0$  เมื่อใช้คอมเพรสชันวิธีต่าง ๆ

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## การเข้ารหัส (Coding)

หลังจากขบวนพัลส์ PAM ได้ผ่านขั้นตอนการจัดระดับมาแล้ว จะต้องเปลี่ยนขนาดเหล่านั้นให้เป็นรหัสไบนารี (binary codes) กรณีที่เป็นสัญญาณเสียงสำหรับการส่งทางโทรศัพท์ จะถูกเปลี่ยนเป็นรหัส 8 บิต ซึ่งสามารถแสดงค่าแอมพลิจูดได้  $2^8 (= 256)$  ระบบการเข้ารหัสจะมีหลาย ๆ แบบ แต่ส่วนมากจะใช้กัน 3 แบบดังแสดงไว้ในตารางที่ 1 ซึ่งแสดงไว้เพียง 3 บิต เพื่อง่ายต่อการเข้าใจ

ตารางที่ 1 รหัสไบนารีแบบต่าง ๆ

| ระดับการควอนไทซ์ | รหัสไบนารี<br>แบบธรรมดา | รหัสไบนารี<br>แบบเกรย์ | รหัสไบนารี<br>แบบสมมาตร |
|------------------|-------------------------|------------------------|-------------------------|
| 0                | 000                     | 000                    | 011                     |
| 1                | 001                     | 001                    | 010                     |
| 2                | 010                     | 011                    | 001                     |
| 3                | 011                     | 010                    | 000                     |
| 4                | 100                     | 110                    | 100                     |
| 5                | 101                     | 111                    | 101                     |
| 6                | 110                     | 101                    | 110                     |
| 7                | 111                     | 100                    | 111                     |

รหัสไบนารีแบบธรรมดา (Natural binary code) จะใช้สัมประสิทธิ์  $a_1, a_2, \dots, a_n$  จากสมการแสดงขนาดของแอมพลิจูดของสัญญาณ  $m$  เป็นรหัสโดยตรง คือ

$$m = a_1 \cdot 2^{n-1} + a_2 \cdot 2^{n-2} + \dots + a_n \cdot 2^0$$

รหัสไบนารีแบบเกรย์ (Gray code) เป็นการเข้ารหัสโดยที่รหัสข้างเคียงซึ่งสอดคล้องกับระดับข้างเคียงจะมีบิตที่แตกต่างกันเพียงตำแหน่งเดียวเท่านั้น

รหัสไบนารีแบบสมมาตร (Symmetrical binary code) ในรหัสนี้ บิตแรกจะชี้ว่าสัญญาณจะเป็นบวกหรือลบ บิตที่ 2 จนถึงบิตสุดท้ายจะแสดงค่าสมบูรณ์ของสัญญาณ แล้วนำมาจัดเรียงใหม่อย่างสมมาตรจากกึ่งกลางของระดับควอนไทซ์ไปถึงระดับสูงสุดหรือระดับต่ำสุด ดังนั้น การเข้ารหัสแบบนี้จึงเหมาะสมที่จะใช้แสดงสัญญาณที่อยู่ในรูปของไบโพลาร์

ตามที่ได้อธิบายมาแล้วข้างต้น ไม่ว่าจะเป็นการเข้ารหัสแบบใดก็ตาม เมื่อบิตใด ๆ เกิดการผิดพลาด เนื่องจากนอยส์ในช่องสัญญาณแล้ว เมื่อสัญญาณอนาล็อกถูกสร้างกลับมาใหม่ที่ด้านรับ S/N ซึ่งเลวลงอยู่แล้วจะมีค่าแตกต่างกันเป็นอย่างมาก เมื่อบิตที่ผิดพลาดมีตำแหน่งต่างกัน

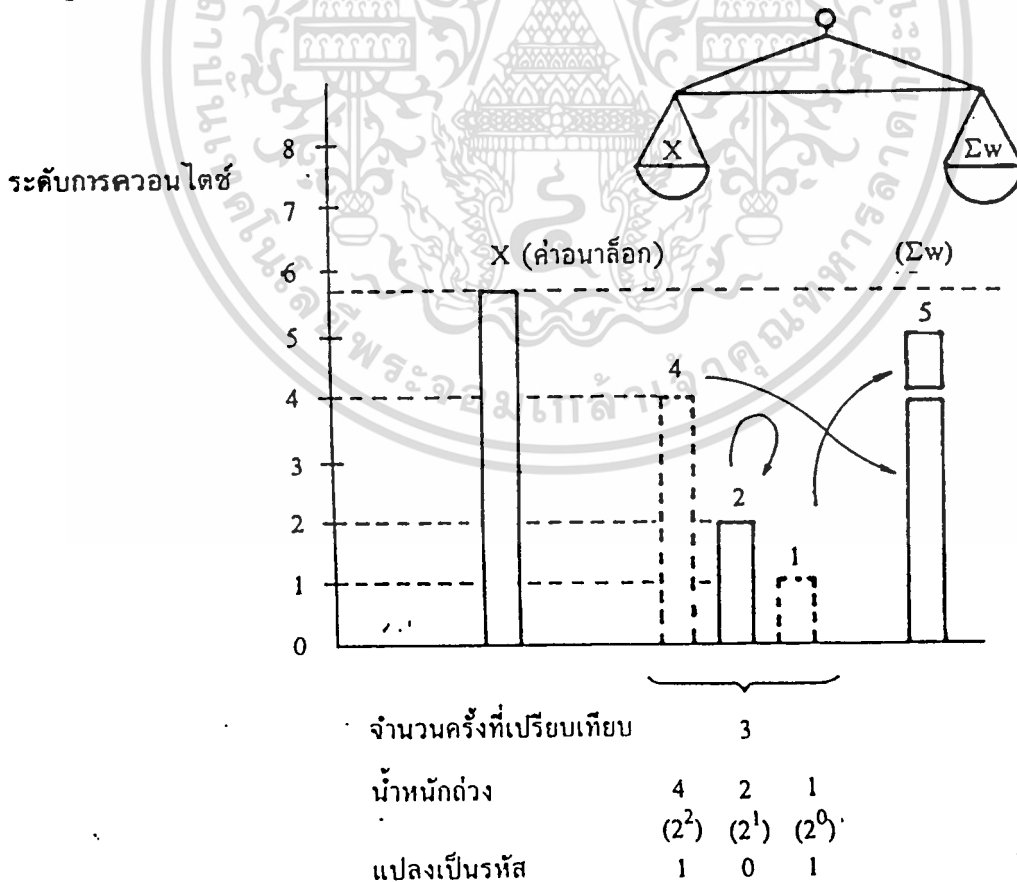
อนึ่ง ความสัมพันธ์ระหว่างอัตราการผิดพลาด (error rate) และ S/N จะแตกต่างกัน เมื่อโครงสร้างของสัญญาณต่างกัน และโดยทั่วไปแล้ว การผิดพลาดของรหัสจะมีน้อยอย่างพอเพียงและผลที่เกิดจากควอนไทซ์นั้นจะมีมากกว่าผลที่เกิดจากบิตเออเรอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## กระบวนการเข้ารหัส

ตามที่ได้กล่าวมาแล้วข้างต้นว่า สัญญาณที่ผ่านการจัดระดับมาแล้วจะถูกเปลี่ยนให้เป็นรหัสไบนารีแบบสมมาตร การทำงานของวงจรเข้ารหัสในเบื้องต้นจะคล้ายกับการชั่งน้ำหนักด้วยเครื่องชั่ง ซึ่งจะทราบขนาดของแชนแนลจากการอ่านค่าของน้ำหนักถ่วง หลักการของการเข้ารหัสแสดงไว้ในรูปที่ 12 ซึ่งการจัดระดับและการเข้ารหัสถูกกระทำไปพร้อม ๆ กัน

ตามรูปที่ 12 สมมติว่าต้องการชั่งของซึ่งมีน้ำหนักไม่เกิน 8 กรัม โดยมีน้ำหนักจริง 5.7 กรัม ในขณะนี้จะมีสเกลจาก 0-8 กรัม ซึ่งเป็นเสมือนระดับการควอนไทซ์ และสมมติว่าเครื่องชั่งมีน้ำหนักถ่วงเป็น 1, 2 และ 4 กรัม ซึ่งเป็นเสมือนจำนวนบิตคือ 3 บิตในระบบไบนารี ในการวัดน้ำหนักที่ต้องการทราบว่าจะมีค่าเป็นอย่างไรนั้น ตอนแรกลองนำน้ำหนักถ่วง 4 กรัมใส่ลงไปก่อน เนื่องจากน้ำหนักที่ต้องการทราบยังคงหนักกว่าจึงต้องใส่น้ำหนักถ่วง 2 กรัมเพิ่มเข้าไปอีก (ถ้าเป็นไปในลักษณะตรงกันข้าม ต้องเอาน้ำหนักถ่วง 4 กรัมออก แล้วเริ่มต้นใหม่ด้วยการใส่น้ำหนักถ่วง 2 กรัมลงไป) ขณะนี้จะทราบว่าน้ำหนักรวมจะหนักกว่าของที่นำมาชั่ง ดังนั้นจึงต้องเอาน้ำหนักถ่วง 2 กรัมออก แล้วนำ 1 กรัมใส่ลงไป ก็เป็นอันสิ้นสุดการชั่ง จะเห็นได้ว่าน้ำหนักถ่วงที่ใช้อยู่ขณะนี้คือ 4 กรัม และ 1 กรัม จึงกำหนดให้เป็นลอจิก "1" สำหรับน้ำหนักถ่วง 2 กรัม นั้นไม่ได้ใช้จึงกำหนดให้เป็นลอจิก "0" เมื่อเรียงลำดับของการใส่น้ำหนักถ่วงแต่ละตัวแล้วจึงมีรหัสเป็น "101" แต่ก็ทราบกันดีว่ารหัส "101" คือหมายเลข 5 ซึ่งบอกให้ทราบว่าของที่นำมาชั่งจะมีน้ำหนักอย่างน้อยที่สุด 5 กรัม แต่น้อยกว่า 6 กรัม ผลต่างระหว่างน้ำหนักจริงและน้ำหนักที่ชั่งได้คือ 0.7 กรัม นั้น ในทางปฏิบัติจริง ๆ สิ่งนี้คือควอนไทซ์นอยส์นั่นเอง



รูปที่ 12 หลักการของการเข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## การเข้ารหัสของเสียงอย่างมีประสิทธิภาพสูง (High-Efficiency Voice Coding)

### หลักการของ High-Efficiency Voice Coding (HEVC)

ระบบการเข้ารหัสของ PCM นั้น โดยทั่วไปจะนำไปใช้กับโครงข่ายสื่อสารที่เกี่ยวข้องกับการเข้ารหัสของสัญญาณเสียง ซึ่งสัญญาณเสียงในขั้นแรกจะถูกแปลงไปในรูปของข่าวสารทางดิจิทัลด้วยความเร็ว 64 kb/s และเมื่อสัญญาณอนาล็อกถูกเปลี่ยนให้เป็นดิจิทัลนั้นจะเกิดควอนไทซ์นอยส์เสมอ เมื่อเป็นเช่นนี้ การเปลี่ยนสัญญาณเสียงซึ่งมีแบนด์วิดท์ 4 KHz จากอนาล็อกให้เป็นดิจิทัลต้องใช้ความเร็วประมาณ 100 kb/s จึงจะทำให้ควอนไทซ์นอยส์ลดลง และเป็นผลทำให้คุณภาพของสัญญาณดีขึ้นได้ แต่อย่างไรก็ตามก็จำเป็นต้องทำให้อัตราการส่งนั้นต่ำพอที่จะรักษาคุณภาพที่ต้องการไว้ได้ ดังนั้น ตามที่ทราบมาแล้วว่าระบบการเข้ารหัสของ PCM ซึ่งใช้ในทางปฏิบัตินั้นได้นำคอมพิวเตอร์มาใช้ เพื่อรักษาคุณภาพของสัญญาณให้เหมือนกับการจัดระดับแบบยูนิฟอร์ม สิ่งนี้ก็เป็นหลักการหนึ่งในความคิดอย่างกว้าง ๆ ของ HEVC ซึ่งถูกนำมาใช้เป็นระบบมาตรฐานสากล

### คุณสมบัติของสัญญาณเสียงและการกีดส่วนเกิน

เนื่องจากมนุษย์เป็นแหล่งกำเนิดในการส่งและรับข่าวสารด้วยเสียงจึงพิจารณาได้ว่าสัญญาณเสียงจะมีส่วนเกิน (redundancy) ของปริมาณข่าวสารอยู่บ้าง ในการส่งหรือเก็บสัญญาณเสียงนั้น ถ้าเป็นไปได้ก็ไม่จำเป็นต้องเก็บข้อมูลให้หมดอย่างสมบูรณ์ แต่ว่าในขณะเดียวกันต้องสามารถรับได้อย่างมีประสิทธิภาพสูงด้วย ถ้าข่าวสารที่เกินความจำเป็นถูกกีดไว้ แม้ว่าจะใช้อัตราการส่งซึ่งต่ำกว่าอย่างเช่น 32 kb/s หรือ 16 kb/s ก็สามารถรักษาคุณภาพในการส่งสัญญาณได้ดีเท่ากับที่ส่งด้วยความเร็ว 64 kb/s หรือไม่ว่าจะมีคุณภาพที่สูงกว่าความเร็ว 64 kb/s ก็ได้ ถ้าการพัฒนาเป็นไปอย่างจริงจังแล้ว อาจเป็นไปได้ที่จะใช้เส้นทางการส่งสัญญาณและหน่วยความจำที่มีประสิทธิภาพยิ่งขึ้นได้ ดังนั้น การวิจัยและพัฒนากระทำต่อเนื่องไปถึงการพัฒนาแบบ HEVC ให้เป็นมาตรฐาน ซึ่งจะลดส่วนเกินของเสียงมนุษย์และกีดสัญญาณเสียงอย่างมีประสิทธิภาพ

ต่อไปนี้จะกล่าวถึงคุณลักษณะของสัญญาณเสียงและการได้ยินเสียงของมนุษย์ ตลอดจนถึงเทคนิคการลดส่วนเกินของสัญญาณเสียงซึ่งได้พัฒนาขึ้นจากการใช้คุณลักษณะดังกล่าว

### คุณลักษณะของสัญญาณเสียง

- 1) ระดับแอมพลิจูดของสัญญาณที่มีขนาดต่ำจะเกิดขึ้นบ่อย
- 2) ระดับของสัญญาณจะเปลี่ยนแปลงอย่างมากไปกับเวลา
- 3) สเปกตรัมความถี่จะไม่เป็นแบบยูนิฟอร์ม และแนวโน้มของพาวเวอร์ของเสียงส่วนใหญ่อยู่ในบริเวณความถี่ต่ำ
- 4) เมื่อแซมปลิงสัญญาณเสียงเพื่อทำให้เป็นดิจิทัลนั้น แซมเปิลระหว่างตัวข้างเคียงจะมีความคล้ายคลึงกันอย่างมาก
- 5) สัญญาณเสียงในขณะที่ยสนทนากันจะมีคาบเวลา (pitch)

## คุณลักษณะของการได้ยินเสียงของมนุษย์

- 1) เมื่อสัญญาณมีพาวเวอร์สูง (เสียงดัง) ควอนไทซ์นอยส์จะถูกกดโดยสัญญาณไว้ ซึ่งตามความเป็นจริงแล้วจะไม่ได้ยินนอยส์นี้เลย
  - 2) โดยการสังเกตอย่างแนชัดว่าจะได้ยินเสียงแตกต่างกันในแต่ละความถี่ แต่จะได้ยินชัดที่สุดในบริเวณใกล้กับความถี่ 0.8 KHz ส่วนความถี่ที่อยู่นอกเหนือจากนี้จะมีผลการได้ยินน้อย
  - 3) ถ้าข่าวสารที่มี หรือ ขาด คาบเวลาของเสียงกิตติ หรือ pitch ของสัญญาณเสียงและสเปกตรัมของเสียงกิตติ ถูกรักษาไว้อย่างแนชัดแล้ว เสียงที่ได้ยินนั้นจะมีลักษณะใกล้เคียงกับสัญญาณเดิม
- เทคนิคการกดส่วนเกินของเสียงโดยอาศัยคุณลักษณะของสัญญาณเสียงและการได้ยินดังกล่าวข้างต้นมีดังนี้

## การจัดระดับแบบอแดปทีฟ (Adaptive Quantizing)

กระทำโดยการเปลี่ยนขนาดของควอนไทซ์สแต็ปให้เป็นไปตามระดับของสัญญาณ อย่างเช่น ทำให้ขนาดของสแต็ปห่างขึ้นเมื่อมีระดับสัญญาณสูง วิธีนี้จะหลีกเลี่ยงการเพิ่มของควอนไทซ์นอยส์อย่างมีประสิทธิภาพ และในขณะเดียวกันก็สามารถลดบิตเรตด้วย แต่ยังไม่ได้ผลดีและจะไม่ทำให้  $S/N_0$  เพิ่มขึ้นแต่อย่างใด ดังนั้น วิธีนี้จึงนำไปใช้กับระบบ HEVC เกือบทุกชนิด

## การเข้ารหัสโดยการคาดคะเน (Predictive Coding)

วิธีนี้เป็นการคาดคะเนสัญญาณอินพุต ปัจจุบันจากสัญญาณอินพุตตัวก่อน โดยการใช้ความสัมพันธ์ (correlation) ระหว่างระยะห่างของแซมเปิลข้างเคียงหรือ pitch เมื่อมีสัญญาณจริงเข้ามา จึงหาผลต่างระหว่างสัญญาณจริงนี้กับสัญญาณที่คาดคะเนได้ แล้วทำการส่งออกไปโดยอาศัยวิธีนี้ จะทำให้แอมพลิจูดของสัญญาณที่คาดคะเนได้มีขนาดน้อยกว่าแอมพลิจูดของสัญญาณอินพุต จึงสามารถกดปริมาณข่าวสารได้

## การแบ่งตามแถบความถี่ (Band Division)

สัญญาณอินพุตจะถูกแบ่งให้เป็นหลายแถบความถี่ ขั้นตอนการเข้ารหัสและการจัดบิตต่าง ๆ ของส่วนที่มีความสำคัญของทุกแถบความถี่ จะถูกกำหนดไว้เป็นอิสระกัน จึงสามารถกดปริมาณข่าวสารทั้งหมดได้

## การแบ่งตามเวลา (Time Division)

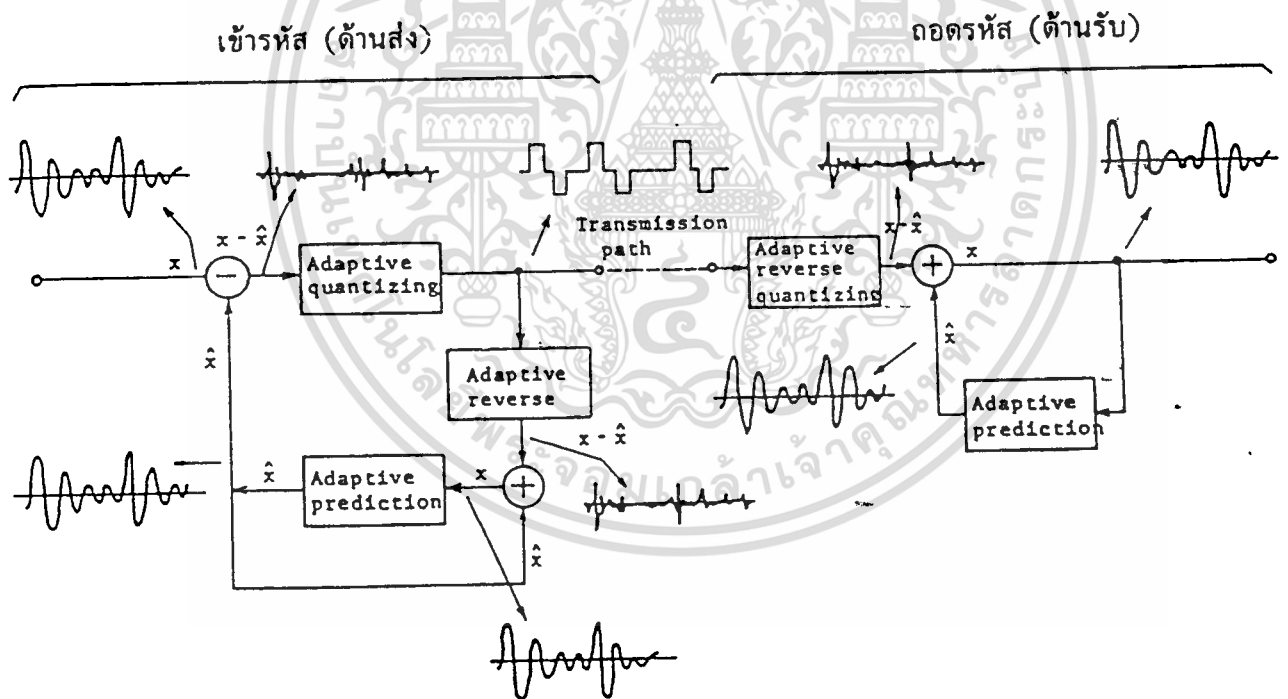
สัญญาณอินพุตจะถูกแบ่งเป็นเป็นช่วง ๆ ตามแกนเวลา และทำการจัดบิตตามพาวเวอร์ของสัญญาณในแต่ละช่วงเวลานั้น

## ชนิดของระบบ HEVC

### การเข้ารหัสแบบอแดพทีฟดิฟเฟอเรนเชียลพัลส์โค้ดโมดูเลชัน (Adaptive Differential Pulse Code Modulation)

ในระบบ PCM ที่กล่าวมาแล้วนั้นจะจัดระดับของสัญญาณเสียงจากแอมป์โดยตรง แต่สำหรับในระบบ ADPCM จะจัดระดับโดยใช้ผลต่างระหว่างค่าแอมป์ เนื่องจากค่าแอมป์ซึ่งอยู่ใกล้เคียงกันจะมีลักษณะคล้ายคลึงกัน ดังนั้นจึงคาดคะเนสัญญาณอินพุตปัจจุบันด้วยสัญญาณอินพุตที่เข้ามาก่อน แล้วจัดระดับโดยใช้ผลต่างระหว่างสัญญาณที่คาดคะเนและสัญญาณปัจจุบันเพื่อทำการส่งออกไปและผลต่างนี้มีค่าน้อยจึงทำให้จำนวนบิตในการเข้ารหัสลดลงได้ โครงสร้างเบื้องต้นของ ADPCM แสดงไว้ในรูปที่ 13

จากรูปที่ 13 ขั้นแรก ที่วงจรเข้ารหัส (ด้านส่ง) จะสร้างผลต่าง ( $x - \hat{x}$ ) ระหว่างสัญญาณอินพุต  $x$  และสัญญาณที่คาดคะเน  $\hat{x}$  จากอินพุตตัวก่อน ๆ โดยวงจรดิฟเฟอเรนติเอเตอร์ (Differentiator) ต่อจากนั้นจะนำผลต่าง  $x - \hat{x}$  ของสัญญาณไปจัดระดับ การที่จะทำให้สัญญาณซึ่งมีผลผลิตนี้มีการเปลี่ยนแปลงของระบบอย่างรวดเร็วขึ้น จะไม่ใช้การจัดระดับแบบยูนิฟอร์ม แต่จะใช้วิธีจัดระดับเพื่อให้เพิ่มขึ้นหรือลดลงโดยอาศัยแอมป์ตัวก่อน (Adaptive Quantizing) วิธีนี้จะปรับปรุงคุณภาพให้ดีขึ้น



รูปที่ 13 โครงสร้างของระบบ ADPCM

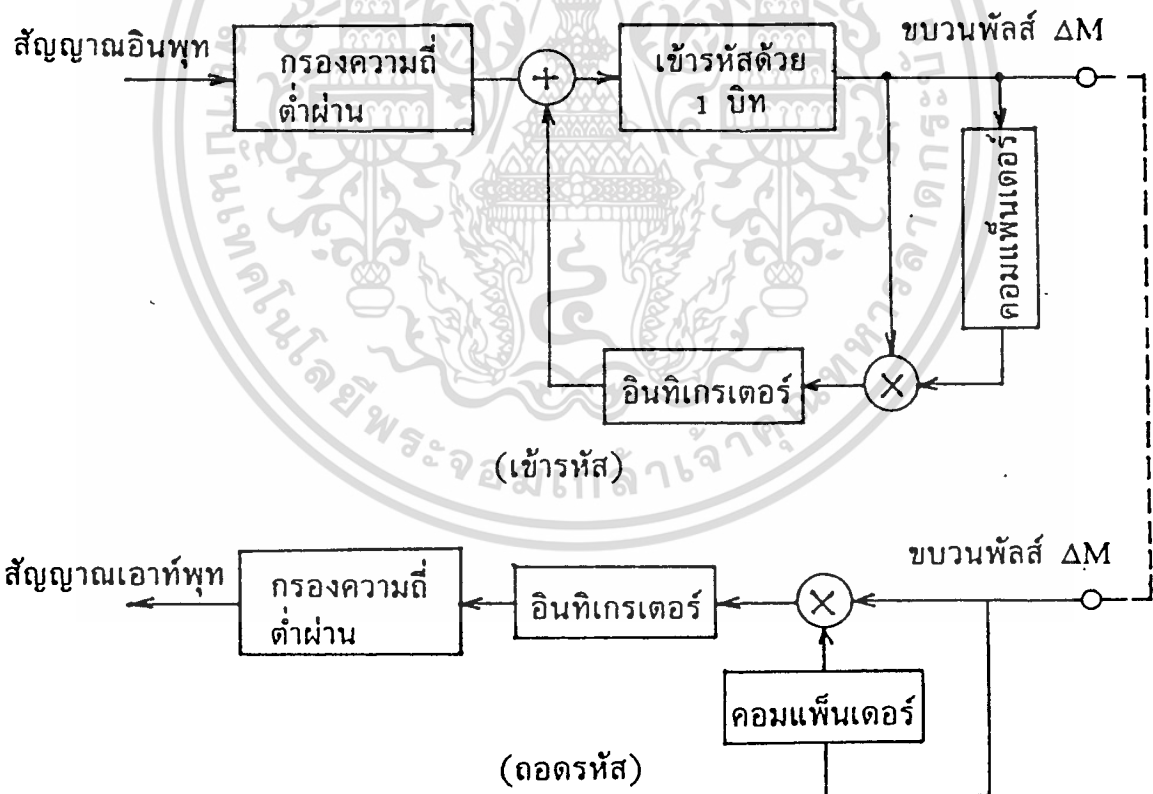
โดยอาศัยวิธีการเข้ารหัสแบบ ADPCM นี้จะใช้เพียง 32 kb/s ซึ่งมีคุณภาพใกล้เคียงกับระบบ PCM ซึ่งใช้ 7 บิต (56 kb/s) ซึ่งเป็นที่คาดหวังว่าในระยะหลัง ๆ นี้ จะสามารถใช้ LSI สำหรับระบบนี้ได้อย่างกว้างขวาง

## การเข้ารหัสแบบอแดปทีฟเดลต้ามอดูเลชัน (Adaptive Delta Modulation)

ในขณะที่ความถี่ในการแซมปลิงสูงขึ้นผลต่างระหว่างค่าแซมเปิลข้างเคียงจะน้อยลง ระบบการเข้ารหัสแบบ ADM จะพิจารณาจากจุดนี้คือ ใช้ความถี่ในการแซมปลิงให้สูงขึ้นและเข้ารหัสของผลต่างของสัญญาณเพื่อส่งออกไปด้วย 1 บิต ตามรูปที่ 14 ซึ่งแสดงโครงสร้างของการเข้ารหัส/ถอดรหัสแบบ ADM ประกอบด้วยคอมแพเรเตอร์ (comparator) อินทิเกรเตอร์ (integrator), D/A คอนเวอร์เตอร์และวงจรลอจิกที่จำเป็นบางวงจร เนื่องจากมีขนาดเล็กและการสูญเสียพลังงานน้อยจึงสามารถสร้างได้โดยง่าย

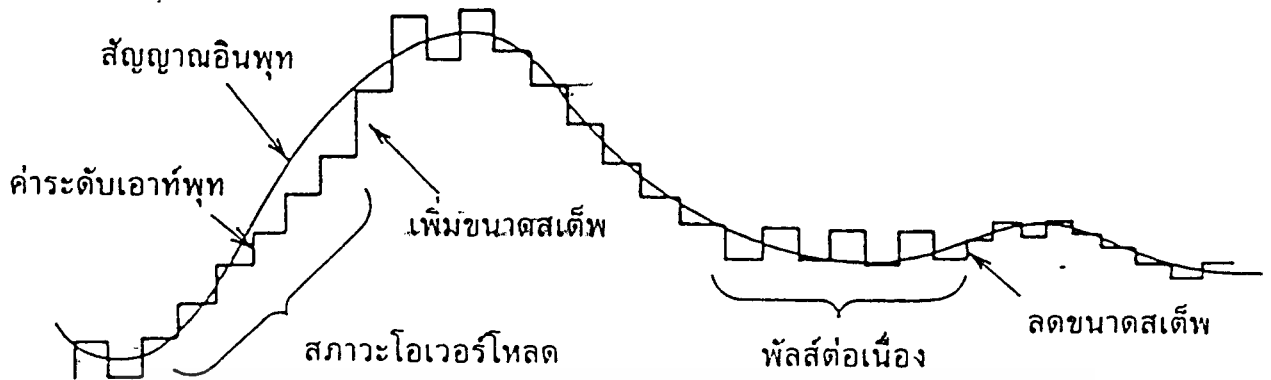
กรณีที่เข้ารหัสโดยใช้เพียง 4 บิต จะกำหนดขนาดของสเต็ป (step) จากขบวนพัลส์ที่เข้ามาก่อน (ขบวนพัลส์ M) กล่าวคือ ตามรูปที่ 15 กรณีที่พัลส์ซึ่งมีขั้วเหมือนกันเกิดขึ้นอย่างต่อเนื่องจะกำหนดว่าเป็นโอเวอร์โหลด ในขณะนี้จะเพิ่มขนาดของ step ให้กว้างขึ้น ในทางตรงกันข้ามถ้าพัลส์ซึ่งมีขั้วสลับกันเกิดขึ้นอย่างต่อเนื่องแล้ว ในการลดควอนไทซ์นอยส์จะต้องลดขนาดของ step ให้แคบลง

วงจรเข้ารหัส/ถอดรหัสแบบ ADM สามารถสร้างได้ด้วย LSI ชิป เมื่อเปรียบเทียบกับคุณภาพที่ใช้บิตเรท 32 kb/s แล้วจะดีกว่าระบบการเข้ารหัสแบบ ADPCM หรือ APC-AB (ที่จะกล่าวในตอนต่อไป) แต่อย่างไรก็ตาม ADM ก็มีข้อดีหลายประการเช่นผลที่เกิดจากการผิดพลาด



รูปที่ 14 โครงสร้างของระบบ ADM

ของการใช้ในการส่งน้อยที่ไม่จำเป็นต้องใช้เฟรมซิงค์ที่มีขนาดเล็ก ทำงานที่โวลเตจต่ำและมีการสูญเสียพลังงานน้อย คาดว่าระบบนี้เหมาะสมที่จะนำไปใช้กับการสื่อสารระบบวิทยุเคลื่อนที่ (Mobile system)



รูปที่ 15 หลักการของการเปลี่ยนสเต็ปในการจัดระดับของระบบ ADM

### ระบบการเข้ารหัสแบบ APC-AB (Adaptive Predictive Coding with Adaptive Bit allocation)

รูปที่ 16 แสดงโครงสร้างของการเข้ารหัสแบบ APC-AB ซึ่งจะใช้ทั้งการแบ่งแถบความถี่และการแบ่งช่วงเวลาพร้อมกับเทคนิคเบื้องต้นของการเข้ารหัสโดยการคาดคะเน การจัดระดับแบบบอดี้พ็ว และการจัดเรียงบิต เพื่อให้คุณภาพการเข้ารหัสดีขึ้น

ระบบ ADM และ ADPCM ที่กล่าวมาแล้วนั้นถูกประดิษฐ์ขึ้นที่ห้องทดลองเบลล์ของสหรัฐอเมริกา ส่วนระบบนี้ได้พัฒนาที่ห้องทดลองของบริษัท NTT ณ ประเทศญี่ปุ่น

ขั้นตอนในการเข้ารหัสคือ ก่อนอื่นจะแบ่งสัญญาณเสียงออกเป็นหลาย ๆ ช่วงความถี่แล้วเคลื่อนย้ายแต่ละแถบความถี่เหล่านั้นไปถึงกระแสตรง (DC) เพื่อเป็นสัญญาณให้เป็นความถี่ต่ำ ในขณะที่คุณลักษณะของพาวเวอร์และสเปกตรัมของสัญญาณเสียงจะแยกกันออกมา โดยอาศัยพื้นฐานของคุณลักษณะดังกล่าว ในการเข้ารหัสจะกำจัดสัญญาณแถบความถี่ต่ำซึ่งมีพาวเวอร์สเปกตรัมน้อยและสัญญาณที่มีคาบเวลาออกไป โดยจะจัดระดับเฉพาะสัญญาณที่เหลือจากการถูกกดส่วนเกินไว้แล้วเท่านั้น และจะไม่จัดระดับแบบยูนิฟอร์ม แต่จะกำหนดจำนวนบิตให้สอดคล้องกับขนาดของพาวเวอร์ของสัญญาณ

อนึ่ง คุณลักษณะของสัญญาณเสียงที่ได้แยกออกมานั้นในขณะเดียวกันจะถูกส่งไปยังด้านรับเพื่อใช้เป็นส่วนหนึ่งในการสร้างสัญญาณให้กลับรูปเดิม

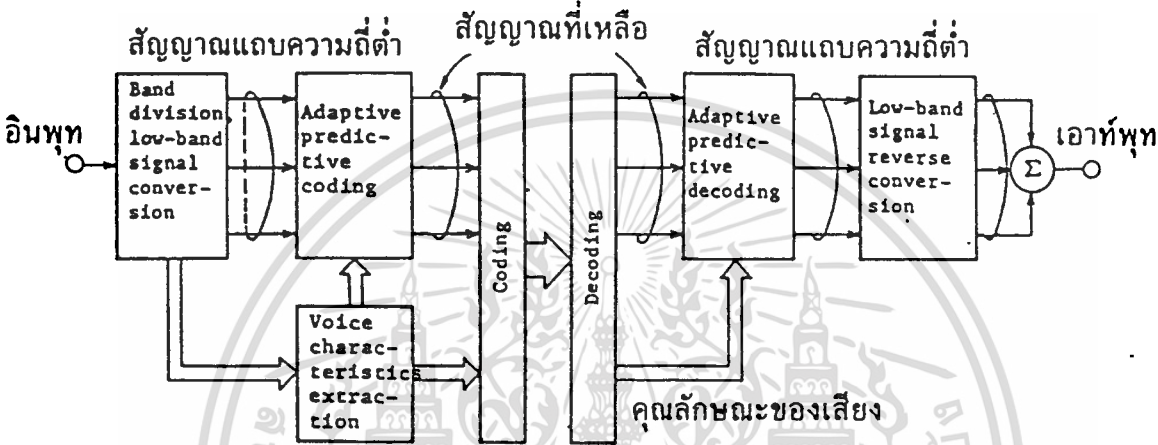
การกำหนดจำนวนบิตขณะที่จัดระดับนั้นจะกำหนดให้เป็นสัดส่วนทางลอการิทึมของพาวเวอร์ในช่วงเวลาและความถี่ ถ้าในช่วงเวลาหนึ่งมีพาวเวอร์สูงและในช่วงเวลานั้นมีพาวเวอร์สเปกตรัมมากแล้ว จะใช้จำนวนบิตมาก โดยวิธีนี้จะได้รับสัญญาณเสียงที่มีคุณภาพสูงจากข่าวสารที่มีปริมาณน้อย

การถอดรหัสที่ด้านรับก็จะกระทำในทางตรงกันข้าม และจะรวมสัญญาณส่วนเกินที่ไม่ได้เข้ารหัสจากด้านส่งเข้าไปด้วยกันเพื่อสร้างสัญญาณแถบความถี่ต่ำ จากนั้นก็จะเคลื่อนย้ายให้กลับไปสู่แถบความถี่เดิม และเมื่อรวมแถบความถี่ทั้งหลายเข้าด้วยกันแล้วก็จะได้สัญญาณเสียงเดิมกลับคืนมา

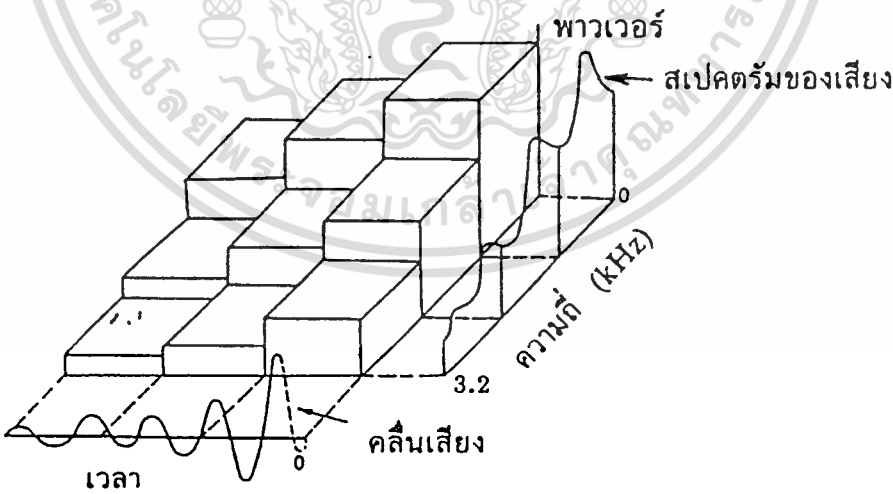
ตามที่ได้อธิบายมาแล้วข้างต้น เนื่องจากระบบการเข้ารหัสแบบ APC-AB จะรวมเทคโนโลยี การเข้ารหัสอย่างมีประสิทธิภาพสูงหลาย ๆ ชนิดเข้าด้วยกัน ดังนั้น ปริมาณการคำนวณในการประมวลผลข้อมูลจะมีความซับซ้อน แต่อย่างไรก็ตาม สามารถจะเข้ารหัสของสัญญาณเสียงให้มีคุณภาพดีได้โดยเฉพาะที่บิตเรต 16 kb/s จะให้ผลเป็นอย่างดี และเป็นที่ยอมรับว่า จะทำให้ปัญหาของปริมาณการคำนวณหมดไปเมื่อเทคโนโลยีของ VLSI และการประมวลผลสัญญาณดิจิทัลก้าวหน้ายิ่งขึ้น ถ้าทำให้วงจรมีขนาดเล็กลงได้ ระบบนี้จะถูกนำไปใช้กันอย่างกว้างขวางต่อไป

อนึ่ง โครงสร้างของ HEVC ทั้ง 3 แบบจะใช้ส่งด้วยบิตเรทที่เหมาะสม และวงจรจะมีขนาดแตกต่างกันไป จึงขอสรุปโดยการเปรียบเทียบพารามิเตอร์ต่าง ๆ ของระบบเหล่านั้นตามตารางที่ 2 และการที่จะนำระบบใด ๆ ไปใช้ในโครงข่ายโทรคมนาคมนั้น จำเป็นต้องเลือกระบบที่เหมาะสมโดยพิจารณาอย่างรอบคอบเกี่ยวกับการใช้งานและมีสถานะความจำเป็นด้วย

สัญญาณแถบความถี่เต็ม



(ก) โครงร่างของระบบการเข้ารหัสแบบ APC-AB



(ข) ขนาดของพาวเวอร์ของสัญญาณเสียงต่อเวลาและความถี่

รูปที่ 16 โครงร่างของการเข้ารหัส-ถอดรหัสแบบ APC-AB

ตารางที่ 2 การเปรียบเทียบระบบการเข้ารหัสแบบต่าง ๆ

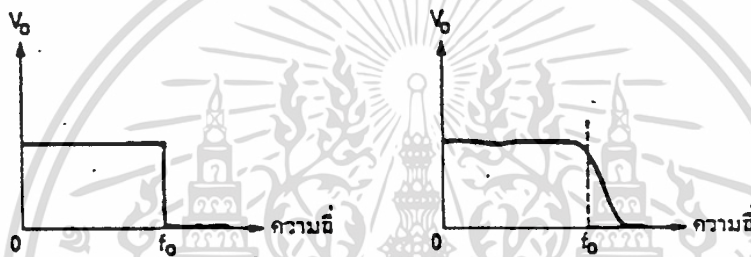
| ระบบการเข้ารหัส                         | PCM                                           | ADPCM                                                     | ADM                              | APC-AB                                         |
|-----------------------------------------|-----------------------------------------------|-----------------------------------------------------------|----------------------------------|------------------------------------------------|
| บิตเรท (kb/s)                           | 64                                            | 32                                                        | 32                               | 16                                             |
| ความถี่ที่เปลี่ยนแปลง (KHz)             | 8                                             | 8                                                         | 32                               | 8                                              |
| เวลาที่ดีเลย์ (ไม่รวมดีเลย์ของฟิลเตอร์) | ประมาณ 200 $\mu$ S                            | ประมาณ 200 $\mu$ S                                        | ประมาณ 50 $\mu$ S                | ประมาณ 50 mS                                   |
| สัญญาณเชิงโครโม                         | เฟรมอะไหล่แมนที่                              | เฟรมอะไหล่แมนที่                                          | บิตเชิงโครโม                     | เฟรมอะไหล่แมนที่                               |
| ควอนไทซ์นอยส์ (S/N) <sub>seg</sub>      | ประมาณ 38 dB                                  | ประมาณ 30 dB                                              | ประมาณ 25 dB                     | 28 dB                                          |
| การลดลงเนื่องจากการผิดพลาดในการส่ง      | การลดลงจะสังเกตเห็นไม่ชัดเจนถึง BER $10^{-5}$ | การลดลงจะสังเกตเห็นไม่ชัดเจนถึง BER $10^{-4}$ - $10^{-3}$ | ลดลงเล็กน้อย จนถึง BER $10^{-3}$ | ลดลงอย่างมากถ้าพารามิเตอร์ของข่าวสารไม่ถูกต้อง |
| อัตราการส่งสูงสุดของ MODEM              | 9,600 b/s                                     | 4,800 b/s                                                 | 2,400 b/s                        | ส่ง MODEM ไม่ได้                               |
| ขนาดของฮาร์ดแวร์                        | 1                                             | 10                                                        | 1                                | 100                                            |

หมายเหตุ : (S/N) SEG คือ ค่าเฉลี่ยของ (S/N<sub>o</sub>) ซึ่งได้จากการแบ่งสัญญาณเสียงที่ปรากฏที่อินพุทของวงจรเข้ารหัสเป็นช่วง ๆ ละ 10-20 ms คำนี้อาจได้ตรงกับค่าที่ประเมินว่าจะได้มากกว่าค่า S/N<sub>o</sub> ตามปกติ

### บทที่ 3 วงจรกรองความถี่ (Filter)

#### วงจรกรองความถี่ต่ำผ่าน (Low pass filter)

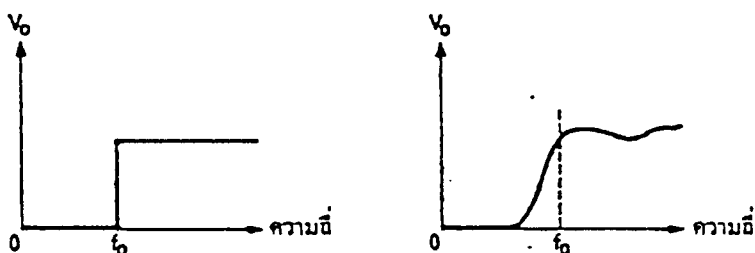
วงจรกรองความถี่ชนิดนี้จะยอมให้ความถี่ตั้งแต่ 0 Hz จนถึงความถี่ที่เรากำหนด ( $f_0$ ) ผ่านวงจรกรองไปได้ ส่วนความถี่ตั้งแต่ความถี่ที่เรากำหนดขึ้นไปไม่สามารถผ่านไปได้จะถูกตัดทิ้งทั้งหมด ดังรูปที่ 1



รูปที่ 1 วงจรกรองความถี่ต่ำผ่าน

#### วงจรกรองความถี่สูงผ่าน (High pass filter)

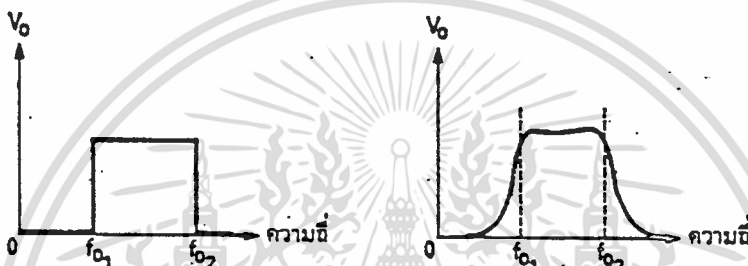
วงจรกรองความถี่ชนิดนี้จะยอมให้ความถี่ตั้งแต่ความถี่ที่เรากำหนด ( $f_0$ ) ผ่านไปได้จนถึงความถี่อนันต์ ส่วนความถี่ต่ำกว่าความถี่ที่กำหนดไม่สามารถผ่านไปได้ ดังแสดงในรูปที่ 2



รูปที่ 2 วงจรกรองความถี่สูงผ่าน

### วงจรกรองแถบความถี่ผ่าน (Band pass filter)

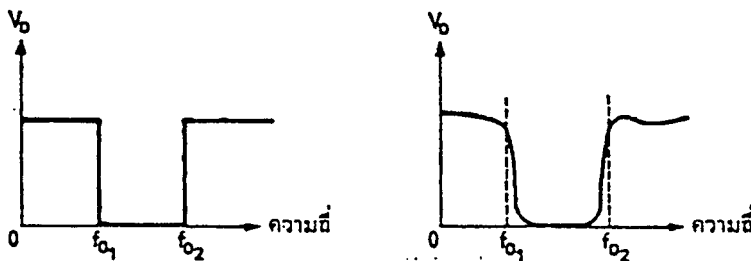
วงจรกรองแถบความถี่ชนิดนี้จะยอมให้ความถี่ผ่านไปได้เป็นย่านความถี่ โดยความถี่ที่จะผ่านไปได้นั้น จะอยู่ในย่านความถี่ที่เรากำหนด 2 จุด คือ  $f_{o1}$  และ  $f_{o2}$  คือความถี่ที่ต่ำกว่า  $f_{o1}$  และสูงกว่าความถี่  $f_{o2}$  จะไม่สามารถผ่านไปได้ ดังแสดงในรูปที่ 3



รูปที่ 3 วงจรกรองแถบความถี่ผ่าน

### วงจรกรองตัดแถบความถี่ (Band stop filter)

วงจรกรองความถี่ชนิดนี้จะตรงกันข้ามกับวงจรกรองแถบความถี่ผ่าน คือหากความถี่ที่ไม่อยู่ในช่วงความถี่ที่กำหนดจะสามารถผ่านไปได้ แต่หากอยู่ในช่วงที่กำหนดจะไม่สามารถผ่านไปได้ ดังแสดงในรูปที่ 4



รูปที่ 4 วงจรกรองตัดแถบความถี่

วงจรกรองความถี่ทั้งหมดที่กล่าวมานั้นเป็นวงจรกรองในอุดมคติ แต่หากนำไปใช้งานจริงจะเกิดปัญหา จะมีช่วงการกระเพื่อมของรูปคลื่น (Ripple) ดังนั้นในทางปฏิบัตินั้นเราต้องพยายามทำให้ช่วงการกรองความถี่นั้นมีความชันมากที่สุด เพื่อจะได้ใกล้เคียงกับอุดมคติจริง ๆ

ปัจจัยที่จะทำให้วงจรกรองความถี่มีประสิทธิภาพที่ดี ใกล้เคียงอุดมคติมากที่สุดก็คือ ค่า โรลออฟ (Roll off) ซึ่งคือ อัตราลดทอนของสัญญาณต่อจำนวนความถี่ที่เปลี่ยนไป หรืออีกนัยหนึ่งก็คือ ความชันของการส่งผ่านนั่นเอง มีหน่วยเป็น dB/decade และ dB/octave

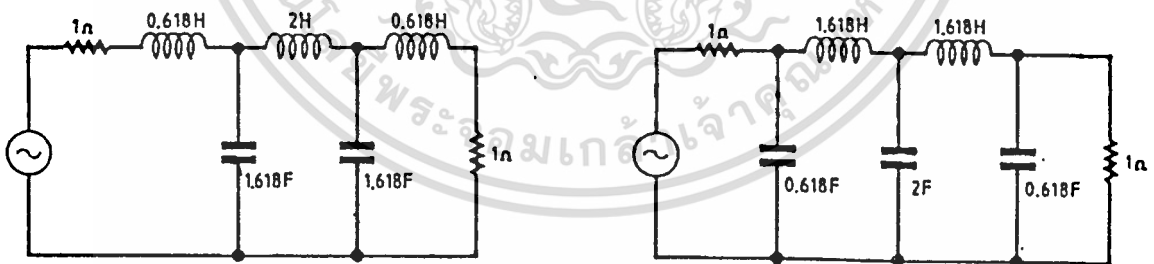
สิ่งที่เราควรรู้อีกอย่างก็คือ Cut off frequency ( $f_c$ ) ซึ่งจะเป็นตัวที่แบ่งแถบความถี่และแถบตัดความถี่ออกจากกัน โดยเราจะกำหนดไว้ที่จุดที่มีค่าการทดสอบของสัญญาณเท่ากับ  $-3$  dB

เราสามารถแบ่งวงจรกรองขั้นพื้นฐานตามอุปกรณ์ที่นำมาประกอบเป็นวงจรกรองโดยแบ่งได้ 2 แบบด้วยกัน คือ

- วงจรกรองแบบพาสซีฟ (Passive filter)
- วงจรกรองแบบแอกทีฟ (Active filter)

### วงจรกรองแบบพาสซีฟ (Passive filter)

วงจรกรองแบบนี้จะประกอบด้วยอุปกรณ์พาสซีฟเป็นหลัก เช่น ตัวเก็บประจุและตัวเหนี่ยวนำ และอาจจะมีตัวต้านทานประกอบรวมอยู่ด้วย ดังแสดงในรูปที่ 5

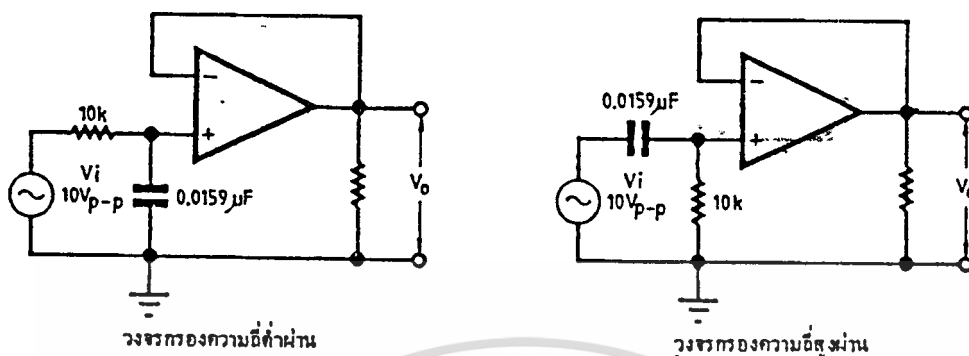


รูปที่ 5 แสดงวงจรกรองแบบพาสซีฟ

วงจรกรองแบบนี้จะมีราคาแพงและยากแก่การออกแบบ แต่สามารถตอบสนองความถี่ได้สูง และสามารถใช้งานได้โดยไม่ต้องมีแหล่งจ่ายไฟใด ๆ ทั้งสิ้น แต่ในทางปฏิบัตินั้นเราไม่ค่อยนิยมใช้เท่าไร

### วงจรกรองแบบแอกทีฟ (Active filter)

วงจรกรองแบบนี้จะใช้อุปกรณ์ active เช่น พวกรทรานซิสเตอร์, ไดโอดหรือออปแอมป์ ทำงานร่วมกับตัวเก็บประจุและตัวต้านทาน ซึ่งจะช่วยให้ประสิทธิภาพของวงจรกรองดีขึ้น ดังแสดงในรูปที่ 6



รูปที่ 6 แสดงวงจรกรองแบบแอคทีฟ

ข้อดีของวงจรกรองแบบนี้คือ ปรับแต่งและออกแบบง่ายไม่ยุ่งยากซับซ้อนมีเสถียรภาพในการทำงานสูง ขนาดเล็กและราคาถูก แต่จะตอบสนองทางความถี่ได้ต่ำกว่าแบบพาสซีฟ และยังต้องใช้ไฟเลี้ยงในการทำงานด้วย แต่โดยส่วนรวมแล้วจะเห็นได้ว่า วงจรกรองแบบแอคทีฟ จะดีกว่าวงจรกรองแบบพาสซีฟ ดังนั้น เราจึงนิยมใช้ วงจรกรองชนิดนี้มากกว่า

### การเลือกใช้ชนิดของวงจรกรอง

ในการเลือกใช้งานวงจรกรองนั้นเราจะต้องคำนึงถึงปัญหาต่าง ๆ ที่เกิดขึ้น และต้องให้เหมาะสม เช่น บางประเภทเราต้องการความราบเรียบของแถบความถี่มาก บางประเภทต้องการการส่งผ่านของแถบความถี่ที่ใช้เวลานั้น เราก็จะใช้วงจรกรองแต่ละชนิดแตกต่างกันไป ดังนั้น เราจะกล่าวถึงวงจรกรองแต่ละชนิดที่เราจะเลือกใช้ให้เหมาะสมกับความต้องการของเราได้ โดยพิจารณาจากวงจรกรองเหล่านี้

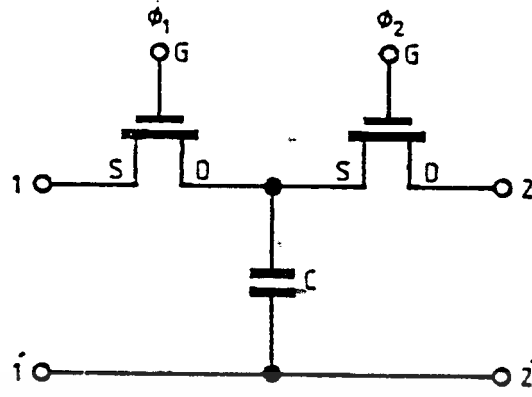
### วงจรกรองชนิดบัตเตอร์เวิร์ธ (Butter worth filter)

ลักษณะพิเศษของวงจรกรองชนิดนี้คือ ให้อัตราการขยายสัญญาณเท่ากันทุกความถี่ที่ผ่านได้ ดังนั้น ช่วงกระเพื่อมที่เกิดขึ้นจะมีค่าน้อยมากถือได้ว่าวงจรกรองชนิดนี้มีความราบเรียบของแถบความถี่สูงสุดในบรรดาวงจรกรองชนิดต่าง ๆ แต่ข้อเสียของวงจรชนิดนี้ก็คือ การส่งผ่านแถบความถี่ทำได้ไม่ดีนัก แต่แก้ไขได้โดยเพิ่มจำนวนอุปกรณ์เข้าไป แต่ก็จะทำให้การออกแบบยุ่งยากและซับซ้อนขึ้นไปอีก

### วงจรกรองชนิดชีบีเชฟ (Chebyshev. filter)

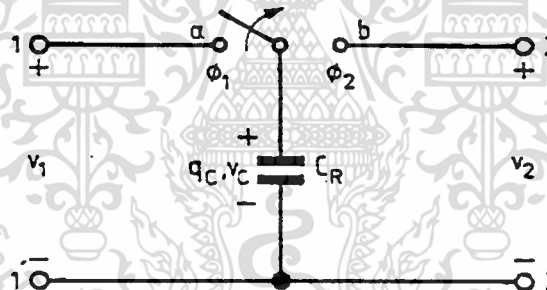
ลักษณะของวงจรกรองชนิดนี้ จะมีข้อดีตรงที่มีการส่งผ่านของแถบความถี่ความชันมากหรือมีค่า Roll off สูง แต่จะมีระดับของช่วงกระเพื่อมสูงกว่าวงจรกรองชนิดใด ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

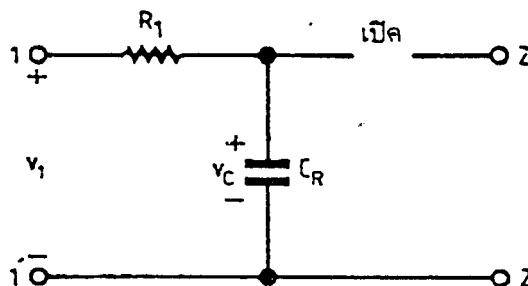


รูปที่ 8 การต่อ MOSFET ร่วมกับตัวเก็บประจุ

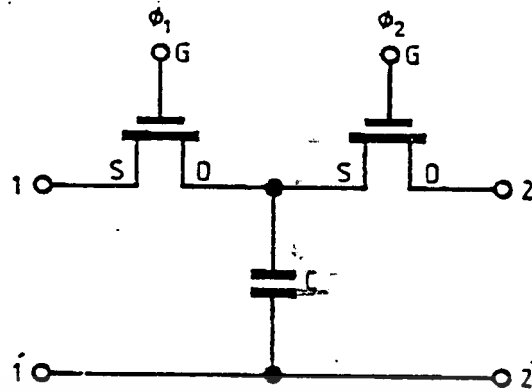
จากรูปที่ 9 ให้แรงดัน  $V_1$  เปลี่ยนแปลงไปตามเวลาหรือเป็นพัลส์ เริ่มต้นให้สวิตช์โยกไปที่ตำแหน่ง a. เราสามารถแทนสภาวะนี้ดังรูปที่ 10



รูปที่ 9 แสดงการทำงานของสวิตช์คาปาซิเตอร์

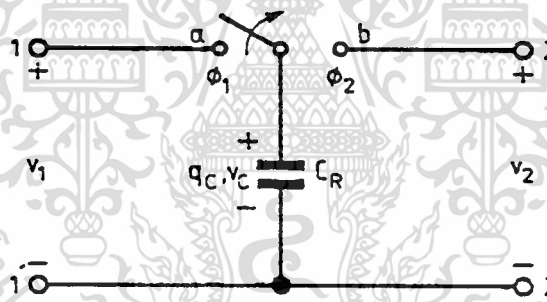


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
รูปที่ 10 เราสามารถแทนการทำงานของสวิตช์คาปาซิเตอร์  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้  
ด้วยตัวด้านทาน

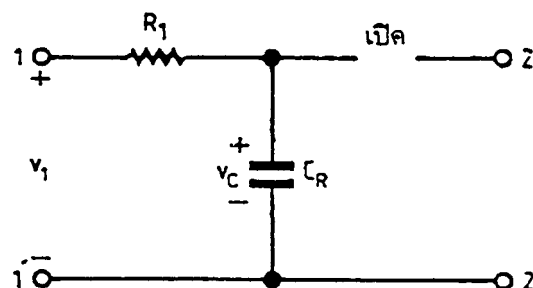


รูปที่ 8 การต่อ MOSFET ร่วมกับตัวเก็บประจุ

จากรูปที่ 9 ให้แรงดัน  $V_1$  เปลี่ยนแปลงไปตามเวลาหรือเป็นพัลส์ เริ่มต้นให้สวิตช์โยกไปที่ตำแหน่ง a. เราสามารถแทนสถานะนี้ด้วยรูปที่ 10



รูปที่ 9 แสดงการทำงานของสวิตช์คาปาซิเตอร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
รูปที่ 10 เราสามารถแทนการทำงานของสวิตช์คาปาซิเตอร์  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้  
ด้วยตัวด้านทาน

$R_1$  คือความต้านทานของ MOSFET ตัวที่ 1 ขณะอยู่ในสภาวะต่อ MOSFET ตัวที่ 2 อยู่ในสภาวะจาก ทำให้ความต้านทานสูงมากเหมือนกับเปิดวงจร ถ้า  $V_1$  เปลี่ยนแปลงช้ามาก ถือว่าคงที่ ตัวเก็บประจุ  $C_R$  จะประจุไฟตามสูตรคาบเวลา  $T = R_1 C_R$  ค่าความต้านทาน  $R_1$  ประมาณ 10 กิโลโอห์ม ตัวเก็บประจุ  $C_R$  มีค่าประมาณ 10 PF ค่าแรงดันประจุได้ที่ 63% ดังนั้น ใช้เวลา

$$T = R_1 C_R = 10^4 \times 10^{-12} = 10^{-8} \text{ วินาที}$$

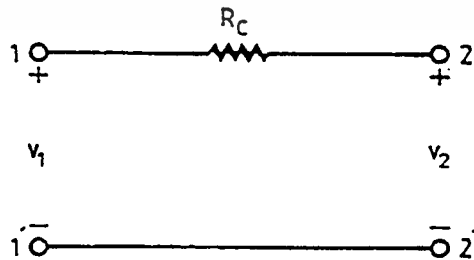
ขณะที่ตัวเก็บประจุ ประจุไฟอยู่นั้น ให้ค่า  $V_1$  เปลี่ยนแปลง ขณะเดียวกันเมื่อสวิตช์โยกไปตำแหน่ง b แรงดันคายประจุเป็น  $\Delta q_c = C_R (V_1 - V_2)$  คาบเวลาที่คายประจุเป็น  $T_C$  จะได้กระแสเฉลี่ยเป็น

$$\begin{aligned} i(t) &= \Delta q / \Delta t \\ &= C_R (V_1 - V_2) / T_C \end{aligned}$$

ขณะเดียวกันเราสามารถจะแทนด้วยค่าความต้านทานสมมูลย์  $R = V/I$  จะได้

$$\begin{aligned} R_c &= (V_1 - V_2) / i(t) \\ &= T_C / C_R \\ &= 1 / f_c R_c \end{aligned}$$

จากค่า  $R_c$  ที่ได้เราสามารถแทนได้ด้วยรูปที่ 11 หรือจะกล่าวได้ว่าสวิตช์คาปาซิเตอร์จากรูปที่ 9 สามารถประมาณค่าด้วยค่าความต้านทานสมมูลย์ รูปที่ 11 สำหรับการประมาณค่า  $R_c$  จำเป็นที่จะต้องให้ค่าของความถี่นาฬิกาที่สูงกว่าความถี่  $V_1$  และ  $V_2$  มาก ๆ แต่ค่าจะต้องอยู่ในช่วงที่ยอมรับได้คือ  $C_R$  มีค่าประมาณ  $10^{-12}$  ฟาร์รัด และค่า  $R_c$  จะอยู่ในช่วง 10 เมกกะโอห์ม

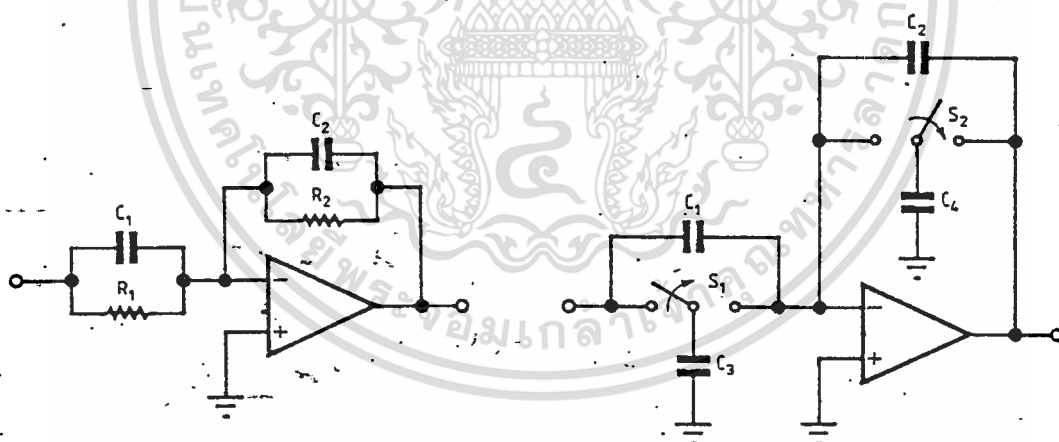


## วงจรกรองความถี่ที่ใช้สวิตคาปาซิเตอร์

จากหลักการข้างต้น เราสามารถสร้างความต้านทาน ซึ่งจะนำไปใช้ในวงจรกรองความถี่ด้วยสวิตคาปาซิเตอร์ โดยที่ค่าความต้านทานนี้จะเปลี่ยนแปลงตามค่าความถี่นาฬิกา จากรูปที่ 12, 13 แสดงให้เห็นตัวอย่างในการใช้สวิตคาปาซิเตอร์แทนความต้านทาน  $R_1$



รูปที่ 12 การใช้สวิตคาปาซิเตอร์กับวงจรกรองความถี่ประเภทพาสซีฟ



รูปที่ 13 การใช้สวิตคาปาซิเตอร์กับวงจรกรองความถี่ประเภทแอ็กทีฟ

## บทที่ 4

### วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอก (Digital to Analog Converters)

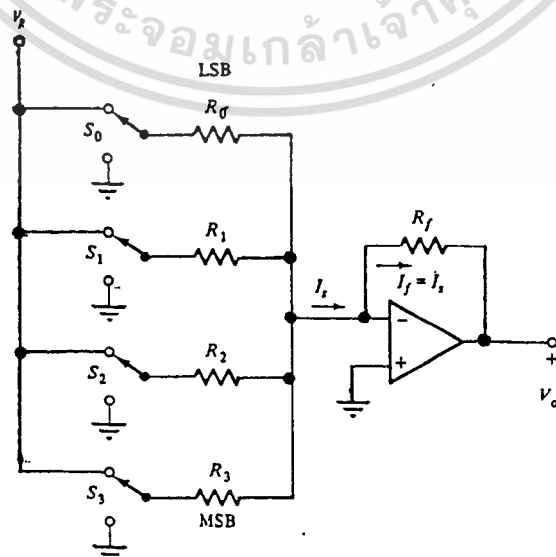
ในปัจจุบันนี้ วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอก มีอยู่หลายรูปแบบที่ใช้ งานกัน ซึ่งมีความจำเป็นมากในระบบโทรคมนาคมในปัจจุบัน ที่เกี่ยวข้องกับการเปลี่ยนรูปแบบของสัญญาณแต่ละชนิด มีข้อมูลหลาย ๆ รูปแบบที่แตกต่างกันจะต้องใช้การเชื่อมต่อระหว่างอุปกรณ์ที่เป็นแบบอนาลอกกับอุปกรณ์ที่เป็นดิจิทัล อย่างเช่น การตรวจสอบการสื่อสารข้อมูลระยะไกล การสื่อสารด้วยสัญญาณเสียงและภาพ ซึ่งในที่นี้จะพิจารณาวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอกที่ใช้กันทั่ว ๆ ไป

#### วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอกแบบ Weighted-Resistor

วงจร D/A Converter แบบนี้แสดงได้ในรูปที่ 1 ซึ่งเราจะใช้ความต้านทานนำมาต่อร่วมกับบออปแอมป์ โดยในที่นี้จะแปลงจากจำนวนดิจิทัล 4 บิตไปเป็นแรงดันแบบอนาลอก ในทางปฏิบัติเราสามารถแปลงสัญญาณดิจิทัลเป็นอนาลอกได้มากกว่า 4 บิต แรงดันของลอจิกแต่ละบิตแทนด้วย  $A_3, A_2, A_1, A_0$  ตามลำดับ โดยจะใช้ไอเล็กทรอนิกส์สวิตช์  $S_3, S_2, S_1$  และ  $S_0$  ทำหน้าที่ตัดต่อวงจร เมื่อ  $A$  มีสถานะของลอจิกเป็น 1 สวิตช์  $S$  จะต่อกับแรงดันอ้างอิง  $V_R$  แต่ถ้า  $A$  มีสถานะของลอจิกเป็น 0 สวิตช์  $S$  จะต่อกับกราวด์ ความต้านทาน  $R_0 - R_3$  ทำหน้าที่ขั้วน้ำหนักของเลขไบนารีแต่ละบิต ดังแสดงได้ดังนี้

$$\begin{aligned} \text{LSB.} \quad R_0 &= R/2^0 = R \\ R_1 &= R/2^1 = R/2 \\ R_2 &= R/2^2 = R/4 \\ \text{MSB} \quad R_3 &= R/2^3 = R/8 \end{aligned} \quad (1)$$

เมื่อ  $R$  คือ ความต้านทานซึ่งสามารถเลือกเพื่อกำหนดระดับอิมพีแดนซ์ของวงจร



รูปที่ 1 วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบ weight-resistor

ในการหาความสัมพันธ์เอาท์พุทของสัญญาณอนาล็อก  $V_o$  ที่เอาท์พุทของออปแอมป์ กับสัญญาณดิจิตอลที่เป็นอินพุท จะสามารถหาได้จากสมการที่ 2

$$I_s = V_R (A_3/R_3 + A_3/R_2 + A_1/R_1 + A_0/R_0) \quad (2)$$

จากสมการที่ (1) แทนในสมการที่ (2) จะได้

$$I_s = V_R R (2^3 A_3 + 2^2 A_3 + 2^1 A_1 + 2^0 A_0) \quad (3)$$

เมื่อ  $A_1 = 1$  ทำให้  $S_1$  ถูกตัดกับ  $V_R$  และถ้า  $A_1 = 0$  สวิต  $S_1$  จะต่อกับกราวนด์ สมการ(3) จะแสดงให้เห็นว่าค่าที่ได้ของ  $I_s$  จะเป็นอัตราส่วนโดยตรงกับจำนวนเลขไบนารี  $A_3 A_2 A_1 A_0$  ตัวอย่างเช่น ถ้าอินพุท  $A_3 A_2 A_1 A_0 = 1111$  จะได้  $I_s = 15 V_R/R$  ขณะที่ ถ้า  $A_3 A_2 A_1 A_0 = 0110$  จะได้  $I_s = 6 V_R/R$  ดังนั้น แรงดันเอาท์พุท  $V_o$  จะได้

$$V_o = I_f R_f = -I_f R_f = R_f V_R/R (2^3 A_3 + 2^2 A_3 + 2^1 A_1 + 2^0 A_0) \quad (4)$$

ดังนั้น จะเห็นว่าแรงดันเอาท์พุทจะเป็นอัตราส่วนโดยตรงกับค่าตัวเลขของอินพุทที่เป็นเลขไบนารี

### วงจรแปลงสัญญาณ D/A แบบ R-2R Ladder

วงจรแปลงสัญญาณ D/A แบบ R-2R Ladder แสดงในรูปที่ 2 ซึ่งไม่ต้องการความกว้างของย่านความต้านทานมากนัก วงจรนี้จะใช้ค่าความต้านทานเพียง 2 ค่าเท่านั้น คือ R กับ 2R ซึ่งเป็นข้อดีของวงจรแบบนี้ ทำให้สามารถสร้างความต้านทานให้อยู่ในโครงสร้างสำเร็จได้ดังรูปที่ 3

เราสามารถอธิบายการทำงานของวงจรได้ดังนี้คือ ในรูปที่ 2 ถ้าให้สวิตทั้งหมดต่อกับกราวนด์ ยกเว้นสวิต  $S_0$  จากทฤษฎีของเทวินิน จะได้วงจรดังแสดงในรูปที่ 4 ซึ่งความต้านทานเทวินินที่ได้จะมีค่า  $3R$  ส่วนแรงดันเทวินินจะได้  $V_R/16$  แต่หากเราให้สวิต  $S_1$  ต่อกับ  $V_R$  ส่วนสวิตอื่นต่อลงกราวนด์ เราก็จะได้ความต้านทานเทวินินมีค่า  $3R$  เช่นกัน ส่วนแรงดันเทวินินจะได้  $V_R/8$  และเมื่อเปลี่ยนเป็นสวิต  $S_2$  หรือ  $S_2$  ต่อกับ  $V_R$  บ้างก็จะได้ความต้านทานเทวินินเท่ากับ  $3R$  ส่วนแรงดันเทวินินจะมีค่า  $V_R/4$  และ  $V_R/2$  ตามลำดับ ดังนั้นเราสามารถสรุปได้ว่า  $V_o$  ของวงจรรูปที่ 2 จะมีค่าดังสมการ (5)

$$V_o = -R_f V_R / 3R (S_3/2^1 + S_2/2^2 + S_1/2^3 + S_0/2^4) \quad (5)$$

หรือ

$$V_o = \frac{-R_f V_R}{48R} (2^3 S_3 + 2^2 S_2 + 2^1 S_1 + 2^0 S_0) \quad (6)$$

ในการหาความสัมพันธ์เอาท์พุทของสัญญาณอนาล็อก  $V_o$  ที่เอาท์พุทของออปแอมป์ กับสัญญาณดิจิตอลที่เป็นอินพุท จะสามารถหาได้จากสมการที่ 2

$$I_s = V_R (A_3/R_3 + A_2/R_2 + A_1/R_1 + A_0/R_0) \quad (2)$$

จากสมการที่ (1) แทนในสมการที่ (2) จะได้

$$I_s = V_R R (2^3 A_3 + 2^2 A_2 + 2^1 A_1 + 2^0 A_0) \quad (3)$$

เมื่อ  $A_1 = 1$  ทำให้  $S_1$  ถูกตัดกับ  $V_R$  และถ้า  $A_1 = 0$  สวิต  $S_1$  จะต่อกับกราวด์ สมการ(3) จะแสดงให้เห็นว่าค่าที่ได้ของ  $I_s$  จะเป็นอัตราส่วนโดยตรงกับจำนวนเลขไบนารี  $A_3 A_2 A_1 A_0$  ตัวอย่างเช่น ถ้าอินพุท  $A_3 A_2 A_1 A_0 = 1111$  จะได้  $I_s = 15 V_R / R$  ขณะที่ ถ้า  $A_3 A_2 A_1 A_0 = 0110$  จะได้  $I_s = 6 V_R / R$  ดังนั้น แรงดันเอาท์พุท  $V_o$  จะได้

$$V_o = I_f R_f = -I_s R_f = R_f V_R / R (2^3 A_3 + 2^2 A_2 + 2^1 A_1 + 2^0 A_0) \quad (4)$$

ดังนั้น จะเห็นว่าแรงดันเอาท์พุทจะเป็นอัตราส่วนโดยตรงกับค่าตัวเลขของอินพุทที่เป็นเลขไบนารี

### วงจรแปลงสัญญาณ D/A แบบ R-2R Ladder

วงจรแปลงสัญญาณ D/A แบบ R-2R Ladder แสดงในรูปที่ 2 ซึ่งไม่ต้องการความกว้างของย่านความต้านทานมากนัก วงจรนี้จะใช้ค่าความต้านทานเพียง 2 ค่าเท่านั้น คือ R กับ 2R ซึ่งเป็นข้อดีของวงจรแบบนี้ ทำให้สามารถสร้างความต้านทานให้อยู่ในโครงสร้างสำเร็จได้ดังรูปที่ 3

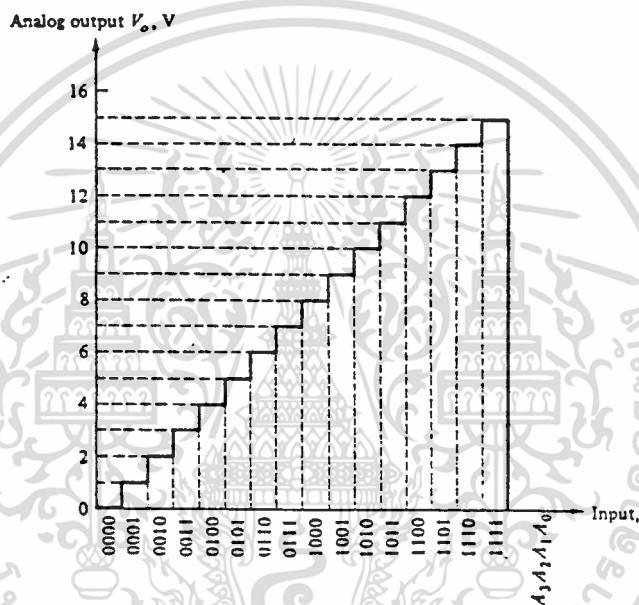
เราสามารถอธิบายการทำงานของวงจรได้ดังนี้คือ ในรูปที่ 2 ถ้าให้สวิตทั้งหมดต่อกับกราวด์ ยกเว้นสวิต  $S_0$  จากทฤษฎีของเทวินิน จะได้วงจรดังแสดงในรูปที่ 4 ซึ่งความต้านทานเทวินินที่ได้จะมีค่า  $3R$  ส่วนแรงดันเทวินินจะได้  $V_R/16$  แต่หากเราให้สวิต  $S_1$  ต่อกับ  $V_R$  ส่วนสวิตอื่นต่อลงกราวด์ เราก็จะได้ความต้านทานเทวินินมีค่า  $3R$  เช่นกัน ส่วนแรงดันเทวินินจะได้  $V_R/8$  และเมื่อเปลี่ยนเป็นสวิต  $S_2$  หรือ  $S_2$  ต่อกับ  $V_R$  บ้างก็จะได้ความต้านทานเทวินินเท่ากับ  $3R$  ส่วนแรงดันเทวินินจะมีค่า  $V_R/4$  และ  $V_R/2$  ตามลำดับ ดังนั้นเราสามารถสรุปได้ว่า  $V_o$  ของวงจรรูปที่ 2 จะมีค่าดังสมการ (5)

$$V_o = -R_f V_R / 3R (S_3/2^1 + S_2/2^2 + S_1/2^3 + S_0/2^4) \quad (5)$$

หรือ

$$V_o = \frac{-R_f V_R}{48R} (2^3 S_3 + 2^2 S_2 + 2^1 S_1 + 2^0 S_0) \quad (6)$$

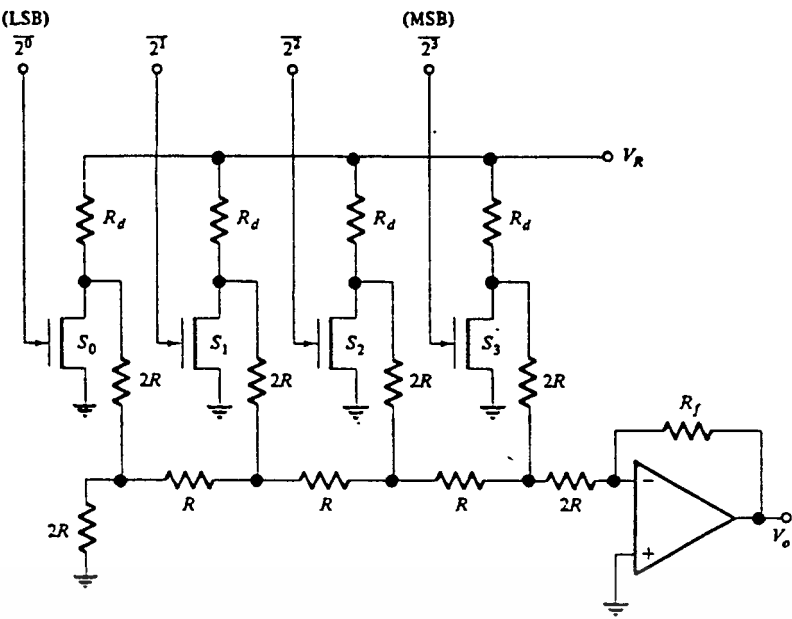
ความละเอียดและความเที่ยงตรงของวงจรกำหนดโดยการเปลี่ยนแปลงที่น้อยที่สุดของแรงดัน  $V_R$  เมื่อจำนวนบิตของเลขไบนารีเปลี่ยนไป ตัวอย่างเช่น เมื่อใช้สัญญาณดิจิทัล 4 บิต จะได้ LSB มีค่า  $1/16$  หมายความว่า ค่าที่เพิ่มขึ้นน้อยที่สุด คือ  $1/16$  ของแรงดันอ้างอิง  $V_R$  สมมติว่าให้  $V_R = 16V$  และ  $R_f = 3R$  LSB จะมีค่า  $1/16$  ซึ่งหนึ่งหน่วยจะทำให้แรงดันเอาต์พุตเปลี่ยนไปที่ละ  $1V$  ถ้าสวิตช์ต่อกับตัวนับ 4 บิต นับตั้งแต่ 0000 - 1111) เอาต์พุตของวงจรแปลงสัญญาณจะเปลี่ยนไป ดังรูปที่ 5 ซึ่งสามารถคำนวณเปอร์เซ็นต์ของความละเอียดได้ดังนี้คือ  $(1/16)(100) = 6.25$  เปอร์เซ็นต์ ถ้าหากเราต้องการความละเอียดมากขึ้นจะต้องเพิ่มจำนวนบิตให้มากขึ้น เช่น เราใช้จำนวนสัญญาณดิจิทัลเท่ากับ 10 บิต จะทำให้ความละเอียดดีขึ้นโดยเปอร์เซ็นต์ของความละเอียดเท่ากับ  $(1/1024)(100)$  ประมาณ 0.1 เปอร์เซ็นต์ ถ้าวงจรแปลงชนิดนี้ให้  $V_R = 16V$  ความละเอียดของแรงดันจะมีค่าประมาณ 16 mV.



รูปที่ 5 แสดงความสัมพันธ์ระหว่างสัญญาณดิจิทัลกับสัญญาณอนาล็อก

สำหรับคุณสมบัติอีกอย่างหนึ่งของวงจร D/A Converter คือความแน่นอนของการแปลงสัญญาณ ซึ่งขึ้นอยู่กับความแตกต่างระหว่างแรงดันอนาล็อกจริงกับเอาต์พุตที่ได้กล่าวมาแล้ว โดยเกิดขึ้นเนื่องจากความแน่นอนของค่าความต้านทานใน ladder และแรงดันอ้างอิง

ในทางปฏิบัติเราใช้ BJT หรือ FET มาทำหน้าที่เป็นสวิตช์อิเล็กทรอนิกส์ ดังแสดงไว้ในรูปที่ 6 ซึ่งเป็นวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาล็อกที่ใช้ FET ทำหน้าที่เป็นสวิตช์อิเล็กทรอนิกส์



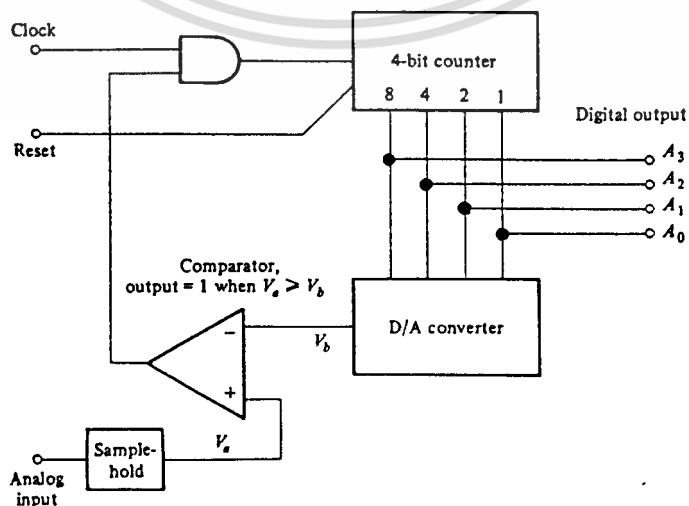
รูปที่ 6 วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอกด้วย FET สวิต

### วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to Digital Converters)

วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลใช้งานในหลาย ๆ งานที่ต้องการแปลงรูปแบบของสัญญาณอนาลอกให้เป็นสัญญาณดิจิทัลเพื่อให้เหมาะสมในการประมวลผลโดยระบบดิจิทัล วิธีการที่นิยมใช้กันทั่ว ๆ ไป มีอยู่ด้วยกัน 2 วิธีคือ

### วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบควบคุมตัวนับ (Counter-Controlled A/D Converter)

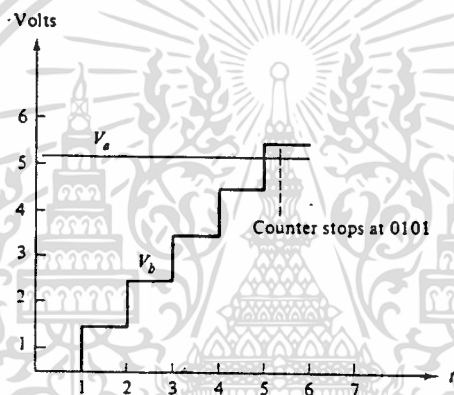
วิธีแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล แบบควบคุมตัวนับ แสดงดังรูปที่ 7 ซึ่ง ประกอบด้วย 3 ส่วนคือวงจรนับ วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก และวงจรเปรียบเทียบสัญญาณอนาลอก (Analog Comparator)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

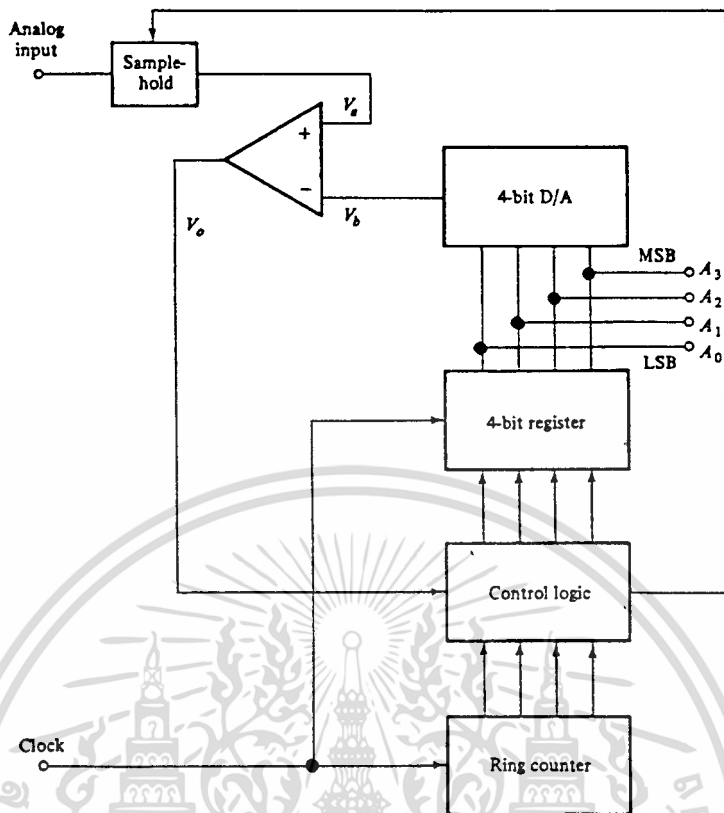
รูปที่ 7 Counter-Controlled A/D Converter

การทำงานของวงจรแปลงชนิดนี้ จะเริ่มเมื่อวงรอบของวงจรมัลติเพลกเซอร์เป็นศูนย์ ทำให้แรงดันเอาต์พุตของวงจร D/A  $V_b = 0$  ซึ่งจะเป็นอินพุตหนึ่งของ Comparator ส่วนอีกอินพุตหนึ่งจะได้จากสัญญาณอนาล็อกซึ่งป้อนผ่านวงจรแซมปลิงแอนด์โฮลด์ (Sampling-Hold) คือ  $V_a$  ทำให้  $V_a$  มีค่ามากกว่า  $V_b$  จึงทำให้ได้เอาต์พุตของ Comparator เป็น 1 และจะไปกระตุ้นให้ AND เกททำงาน ตามสัญญาณนาฬิกาเข้าสู่วงจรมัลติเพลกเซอร์ ทำให้วงจรมัลติเพลกเซอร์ทำการนับขึ้นโดยเริ่มนับตั้งแต่ศูนย์ ซึ่งการนับแต่ละครั้งจะพล็อตให้แรงดัน  $V_b$  จะเพิ่มขึ้นครั้งละ 1 โวลต์ ดังแสดงในรูปที่ 8 การนับจะต่อเนื่องไปจนกระทั่งแรงดันที่เกิดจากการนับนั้นมีค่าเกินสัญญาณอนาล็อก  $V_a$  ซึ่งจะทำให้เอาต์พุตของ Comparator ตกกลับเป็นศูนย์ จะทำให้ AND มีเอาต์พุตเป็นศูนย์ วงจรมัลติเพลกเซอร์ก็จะหยุดการนับ เอาต์พุตที่ได้จากการนับคือ 0101 คือ มีค่า 5V ดังนั้น จะทำให้เราสามารถแปลงสัญญาณอนาล็อกที่เข้ามาเป็นสัญญาณดิจิตอลได้



รูปที่ 8 รูปคลื่นของ Counter-Controlled A/D Converter

ในวงจรแปลงสัญญาณแบบควบคุมตัวนับนั้น สัญญาณอนาล็อกจะเป็นไปอย่างช้า ๆ เราสามารถเพิ่มความเร็วของกระบวนการทำงาน โดยใช้วิธีการของวงจร Successive-Approximation D/A Converter ดังแสดงในรูปที่ 9 ซึ่งวิธีการนี้จะใช้วิธีการเปรียบเทียบแรงดัน  $V_a$  ที่เข้ามากับแรงดัน  $V_b$  เหมือนกัน แต่เป็นการประมาณค่า หาก  $V_a$  มีค่ามากกว่า  $V_b$  จะได้ output เป็น 1 ถ้าน้อยกว่าจะเป็น 0 ก็จะได้ค่าตามตัวอย่างในตารางที่ 1



รูปที่ 9 วงจร Successive-Approximation A/D Converter

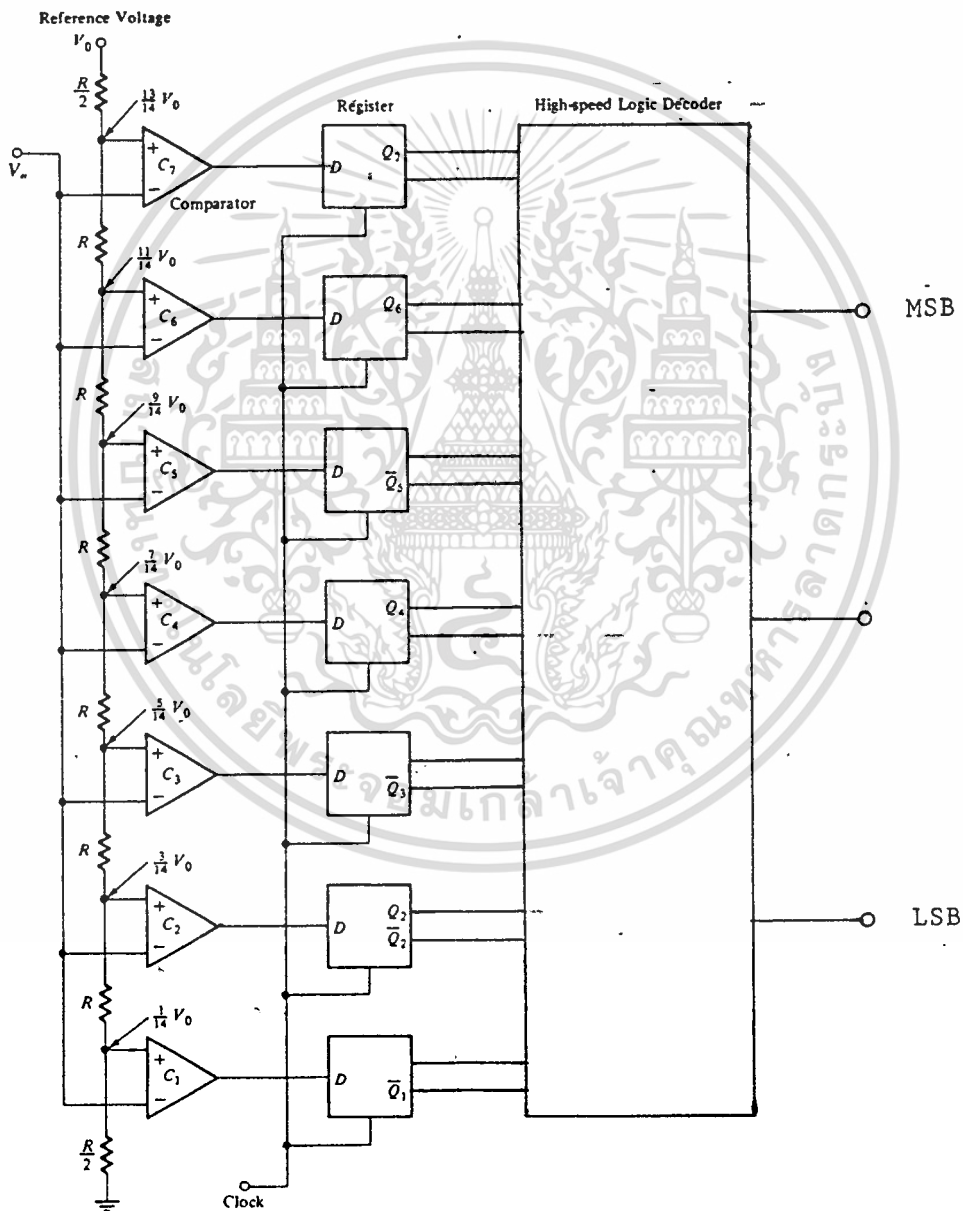
ตารางที่ 1

| Step | V <sub>b</sub> | Comparison             | Answer | A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub> |
|------|----------------|------------------------|--------|-------------------------------------------------------------|
| 1    | 8              | V <sub>a</sub> ≥ 8V ?  | Yes    | 1000                                                        |
| 2    | 12             | V <sub>a</sub> ≥ 12V ? | No     | 1100                                                        |
| 3    | 10             | V <sub>a</sub> ≥ 10V ? | Yes    | 1010                                                        |
| 4    | 11             | V <sub>a</sub> ≥ 11V   | No     | 1011                                                        |
|      | 10             | Read output            |        | 1010                                                        |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบ Flash

วงจรแปลงสัญญาณชนิดนี้จะเป็นที่นิยมใช้กันมาก ดังแสดงในรูปที่ 10 การทำงานของวงจรสามารถอธิบายได้โดยใช้วงจร 3 bit A/D ซึ่งใช้ความต้านทานต่อกันเป็นแบบ Divider network ซึ่งจะทำให้แรงดันอ้างอิงของ Comparator C1 - C7 มีค่าแตกต่างกันไป Comparator C1 - C7 จะใช้เป็นตัวเปรียบเทียบกับสัญญาณอินพุตที่เข้ามาซึ่งเป็นสัญญาณอนาลอก ในที่นี้  $V_a$  ซึ่งเป็นสัญญาณอนาลอกจะอยู่ระหว่าง  $-V_0/14V$  และ  $15V_0/14V$  การเปรียบเทียบสัญญาณอนาลอกแสดงได้ในตารางที่ 2 เอาท์พุทของวงจร Comparator จะส่งต่อไปยัง D Flip Flop ซึ่งทำหน้าที่เป็น Register แล้วจึงส่งผ่าน ไปยังวงจร Decoder เพื่อให้เป็นสัญญาณดิจิทัล

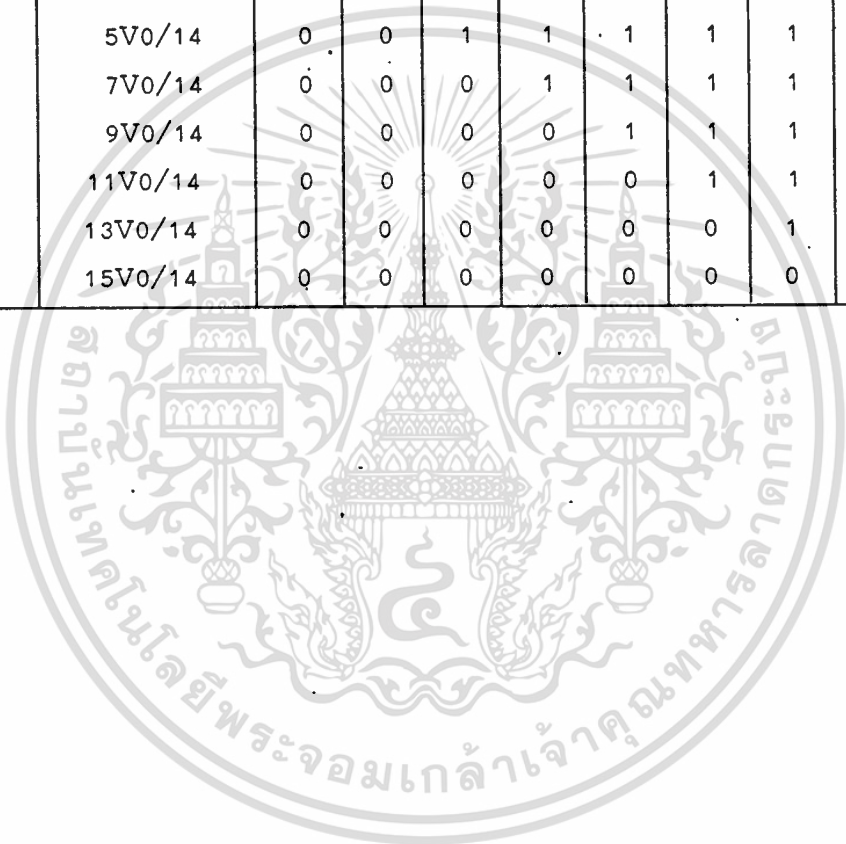


รูปที่ 10 วงจรแปลงสัญญาณ A/D Flash

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2

| Input Analog Voltage |         | Comparator Outputs |    |    |    |    |    |    | Output Logic |   |     |
|----------------------|---------|--------------------|----|----|----|----|----|----|--------------|---|-----|
| Va>                  | Va<     | C1                 | C2 | C3 | C4 | C5 | C6 | C7 | MSB          |   | LSB |
| -V0/14               | V0/14   | 1                  | 1  | 1  | 1  | 1  | 1  | 1  | 1            | 1 | 1   |
| V0/14                | 3V0/14  | 0                  | 1  | 1  | 1  | 1  | 1  | 1  | 1            | 1 | 0   |
| 3V0/14               | 5V0/14  | 0                  | 0  | 1  | 1  | 1  | 1  | 1  | 1            | 0 | 1   |
| 5V0/14               | 7V0/14  | 0                  | 0  | 0  | 1  | 1  | 1  | 1  | 1            | 0 | 0   |
| 7V0/14               | 9V0/14  | 0                  | 0  | 0  | 0  | 1  | 1  | 1  | 0            | 1 | 1   |
| 9V0/14               | 11V0/14 | 0                  | 0  | 0  | 0  | 0  | 1  | 1  | 0            | 1 | 0   |
| 11V0/14              | 13V0/14 | 0                  | 0  | 0  | 0  | 0  | 0  | 1  | 0            | 0 | 1   |
| 13V0/14              | 15V0/14 | 0                  | 0  | 0  | 0  | 0  | 0  | 0  | 0            | 0 | 0   |



## บทที่ 5

### High-Speed CMOS

ข้อดีของ HCMOS เมื่อเปรียบเทียบกับ CMOS หรือ TTL สามารถกล่าวได้ดังนี้คือ

- ☐ ลินเปลืองพลังงานน้อยกว่า TTL
- ☐ ป้องกันสัญญาณรบกวนได้ดีกว่า
- ☐ ใช้งานในย่านแรงดันที่กว้างกว่า TTL
- ☐ เอาท์พุทสามารถเชื่อมต่อได้โดยตรงกับ CMOS หรือ TTL
- ☐ ใช้งานได้ในย่านอุณหภูมิที่กว้างกว่า
- ☐ กระแสอินพุทต่ำกว่า
- ☐ มีความเชื่อถือสูงกว่า
- ☐ สามารถเชื่อมต่อกับอุปกรณ์อื่น ๆ ได้ดีกว่า

#### ชนิดของ HCMOS

HCMOS เป็นอุปกรณ์ที่มีอักษรนำหน้า HC, HCT หรือ HCU ซึ่งอุปกรณ์เหล่านี้จะเริ่มต้นด้วยตัวเลข 74 หรือ 54/74 ตัวเลขเหล่านี้ใน HCMOS จะใช้เป็นพื้นฐานเช่นเดียวกับ TTL หรือ CMOS อย่างเช่น เบอร์ 74HC00 ซึ่งเป็น HCMOS ก็เหมือน TTL เบอร์ 7400 ซึ่งจะประกอบด้วย NAND gate 2 อินพุท 4 ตัวและเช่นเดียวกัน HCMOS เบอร์ 74 HC 4046 A ก็เหมือน CMOS เบอร์ 4046 ซึ่งเป็น PLL IC CMOS HC, HCT, HCU จะบ่งชี้ให้รู้ว่าเป็น HCMOS เฉพาะอย่างคือ

**HC** ถือได้ว่าเป็นมาตรฐานของ HCMOS สามารถใช้งานได้ในแหล่งจ่ายไฟตั้งแต่ 2-6 VDC HCจะมีอินพุทเป็น CMOS และเอาท์พุทก็เป็น CMOS เช่นกัน ดังนั้นจึงสามารถ เชื่อมต่อกับ CMOS และสามารถขับเอาท์พุท ที่เป็น CMOS, TTL หรือ NMOS ได้โดยตรง

**HCT** ถูกออกแบบเป็น HCMOS ที่ใช้งานกับ TTL และ CMOS ซึ่งอินพุทสามารถต่อใช้งานได้โดยตรงกับอินพุทของ TTL HCT ต่างกับ HC คือต้องใช้แหล่งจ่ายไฟ +5 VDC เท่านั้น จึงเหมือนกับ TTL ในบางครั้งเราสามารถนำเอา HCT แทน TTL และ LS/TTL ได้ในวงจรเดิม ซึ่งเอาท์พุทสามารถจะขับ HCMOS หรือ TTL ได้โดยตรง

**HCU** ถูกออกแบบให้ใช้กับอุปกรณ์จำพวกลิเนียร์ เนื่องจากไม่มีบัฟเฟอร์ระดับอินพุทและเอาท์พุทจะแตกต่างกับอุปกรณ์บัฟเฟอร์ทั่ว ๆ ไป เอาท์พุทสามารถขับ CMOS, TTL หรือ NMOS ได้โดยตรง

เมื่อเปรียบเทียบระหว่าง HC กับ HCT จะเห็นว่า HCT จะสิ้นเปลืองพลังงานมากกว่า แต่มีสัญญาณรบกวนน้อยกว่า ใช้งานที่แรงดัน +5V ส่วนมากเราจะใช้ HCT กับ LS TTL มากกว่า HC เพราะว่า HCT สามารถใช้แทน TTL ได้โดยตรง อย่างไรก็ตาม เราจะใช้ HC หรือ HCT ในวงจรหรือใช้ทั้งสองชนิดผสมกันก็ได้ แต่เราจะต้องคำนึงถึงแหล่งจ่ายไฟด้วย โดยทั่วไปแล้วเราจะใช้เป็นชนิด HC ทั้งหมดจะได้เปรียบกว่า ไม่ว่าจะเป็นเรื่องกำลังงาน หรือสัญญาณรบกวน เป็นต้น ไอซี HCT ควรจะใช้เป็นตัวเชื่อมตัวระหว่าง TTL กับ CMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะสังเกตว่า ไอซี HCMOS จะใช้แหล่งจ่ายไฟได้ตั้งแต่ 2-6 V ดังนั้น ใน มาตรฐานของแรงดันนั้น โดยทั่ว ๆ ไปจะใช้ +3V ซึ่งสามารถได้จากแบตเตอรี่แห้ง 2 ก้อน ทำให้วงจรที่ใช้ HCMOS สามารถออกแบบให้ใช้กับอุปกรณ์ที่สามารถพกพาได้

## HCMOS กับ CMOS มาตรฐาน

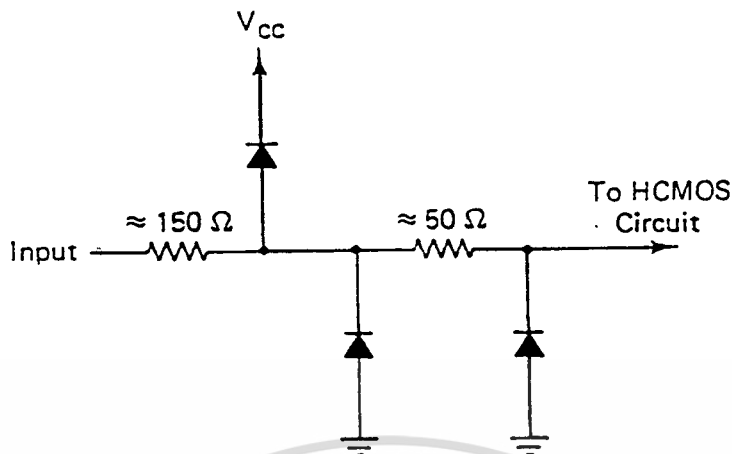
ความแตกต่างระหว่าง CMOS มาตรฐานและ HCMOS เริ่มจากขบวนการผลิตเนื้อสารที่ใช้ผลิตนั้น CMOS มาตรฐานจะใช้เกทเป็นโลหะ หมายความว่า ทรานซิสเตอร์ที่ทำขึ้นบนแผ่นซิลิคอนที่มีเกทเป็นโลหะ ขณะที่ HCMOS จะใช้เกทเป็นซิลิคอน ซึ่งจะทำให้ HCMOS จะมีขนาดเล็กกว่าเกทที่เป็นโลหะ ขนาดความกว้างของเกทที่เล็กกว่าจะทำให้พื้นที่ของ ชิปมีประสิทธิภาพเพิ่มขึ้น ทำให้สามารถจัดการหล่อมล้าของเกทได้ ทำให้ลดความจุของเกทและเพิ่มความเร็วในการใช้งานขึ้น

ความแตกต่างระหว่างเกทที่เป็นโลหะกับเกทที่เป็นซิลิคอน ซึ่งเป็นขบวนการเฉพาะใน การผลิต CMOS มาตรฐาน และ HCMOS ทำให้คุณสมบัติในการใช้งานแตกต่างกัน คือ

|                                                                   | <u>HCMOS</u>                          | <u>STANDARD CMOS</u>                     |
|-------------------------------------------------------------------|---------------------------------------|------------------------------------------|
| <input type="checkbox"/> ย่านแรงดันใช้งาน                         | 2-6 VDC                               | 3-18 VDC                                 |
| <input type="checkbox"/> การสิ้นเปลืองพลังงาน<br>ที่ความถี่ 1 KHz | 5 $\mu$ A/gate                        | 1 $\mu$ A/gate                           |
| <input type="checkbox"/> ความถี่ใช้งาน (D' F/F)                   | 40 MHz                                | 4 MHz                                    |
| <input type="checkbox"/> การหน่วงของการเดินทางของสัญญาณ           | 8 ns.                                 | 125 ns.                                  |
| <input type="checkbox"/> การเชื่อมต่อกับ TTL                      | สามารถขับ TTL ได้โดยตรง<br>ถึง 10 ตัว | ต้องการการเชื่อมต่อ<br>เมื่อโหลดเป็น TTL |

ความคล้ายคลึงกันของ CMOS และ HCMOS คือเรื่องความเสียหายที่จะเกิดขึ้นเนื่องจากไฟฟ้าสถิตย์ ดังนั้นจึงต้องใช้วงจรเพื่อป้องกันการเสียหายที่จะเกิดขึ้น ดังแสดงในรูปที่ 1 เพื่อความปลอดภัยของอุปกรณ์จะต้องปฏิบัติตามนี้คือ

- ☐ ไอซี HCMOS ควรจะเก็บในวัสดุที่เป็นตัวนำ หรือที่ไม่ทำให้เกิดไฟฟ้าสถิตย์ อย่าง เช่น แผ่นโฟมตัวนำ เป็นต้น
- ☐ ควรจะวางอุปกรณ์โดยให้ขาของอุปกรณ์เสียบลงบนแผ่นอลูมิเนียมฟอยล์ เมื่อไม่ได้ใช้งาน
- ☐ ควรใช้เครื่องบัดกรีที่ใช้กำลังงานจากแบตเตอรี่ เชื่อมขาของ HCMOS
- ☐ ก่อนที่จะทำการต่อแหล่งกำเนิดสัญญาณเข้า HCMOS จะต้องแน่ใจว่าได้จ่ายไฟเลี้ยงให้แก่ HCMOS แล้ว
- ☐ ก่อนที่จะจับถือ HCMOS ต้องแน่ใจว่า ร่างกายของผู้ที่จะจับถือ HCMOS ต้องทำการลงกราวนด์แล้ว



รูปที่ 1 วงจรป้องกันอินพุตของ HCMOS

## สิ่งที่ควรทราบในการใช้งาน HCMOS

การใช้งานเบื้องต้นสำหรับ HCMOS นั้นก็เหมือนกับ CMOS คือ

- ☐ ใช้แหล่งจ่ายไฟ ( $V_{dd}$ ) แทนสภาวะลอจิกสูง และ 0V (ground) แทนสภาวะลอจิกต่ำ
- ☐ แรงดันอินพุตต้องไม่เกินแรงดัน  $V_{dd}$
- ☐ ขาอินพุตทั้งหมดที่ไม่ใช้จะต้องต่อกับ  $V_{dd}$  หรือกราวด์เพื่อป้องกัน การทำงานผิดพลาดของ อุปกรณ์
- ☐ อย่าต่อสัญญาณอินพุตเข้าอุปกรณ์ที่ไม่ได้จ่ายไฟเลี้ยงเพราะจะทำให้อุปกรณ์เสียหายได้

ความเร็วในการสวิตช์ของเกทและการสิ้นเปลืองพลังงานของ HCMOS นั้น ขึ้นอยู่กับตัวเก็บประจุที่ทำหน้าที่ decoupling โดยเฉพาะในกรณีที่ใช้งานในความถี่สูง ๆ ค่านี้ควรจะใช้อยู่ระหว่าง 0.022-0.1 ไมโครฟารัดในกรณีที่วงจรประกอบด้วย HCMOS หลาย ๆ ตัว แต่ละตัวจะต้องต่อตัวเก็บประจุซึ่งทำหน้าที่ bypass ด้วย และในกรณีเดียวกันควรจะต้องต่อตัวเก็บประจุ bypass คร่อมวงจรนับ (Counters), อุปกรณ์ที่ทำหน้าที่เป็นแหล่งกำเนิดสัญญาณ และอุปกรณ์ชนิดทรานซิสเตอร์

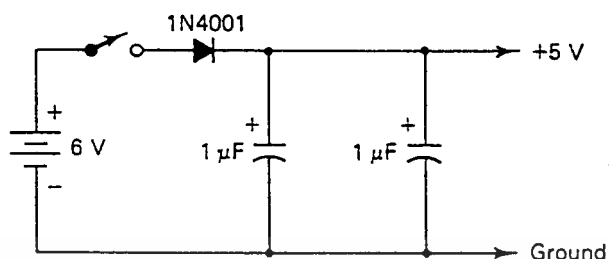
## แหล่งจ่ายไฟเลี้ยง (Power Supplies)

ขณะที่ HCMOS สามารถใช้งานด้วยแหล่งจ่ายไฟตั้งแต่ 2-6 โวลท์ ทำให้สามารถใช้แหล่งจ่ายไฟที่เป็นมาตรฐานได้คือ +5 โวลท์ ซึ่งระดับแรงดันนี้จะใช้กับ TTL ซึ่งจะใช้แรงดันขนาดนี้ จึงทำให้สามารถใช้กับ HC, HCT และ HCU ได้ดีเช่นกัน

เนื่องจาก HCMOS สิ้นเปลืองพลังงานน้อย เราสามารถใช้พลังงานจากแบตเตอรี่ได้ โดยแสดงดังรูปที่ 2 เป็นวงจรที่ใช้แบตเตอรี่ 6 โวลท์ เป็นแหล่งจ่ายแล้วมาลดให้เหลือ 5 โวลท์ โดยใช้ร่วมกับตัวเก็บประจุ 1 ไมโครฟารัด

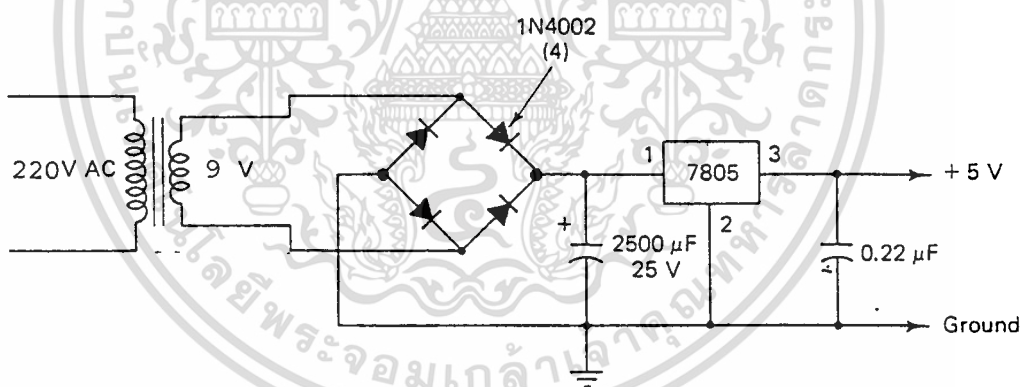
2 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 แหล่งจ่ายไฟเลี้ยง 5 โวลต์ สำหรับ HCMOS โดยใช้แบตเตอรี่

แหล่งจ่ายไฟที่ใช้กับ HCMOS สามารถสร้างได้โดยใช้แหล่งจ่ายไฟกระแสสลับ ดังแสดงในรูปที่ 3 หม้อแปลงที่ใช้เป็นแบบ Step-down คือ แปลงจาก 220 โวลต์ เป็น 9 โวลต์ เอาท์พุทจากหม้อแปลงจะถูกเรกติไฟโดยวงจรบริดจ์ซึ่งประกอบด้วยไดโอด 1N4002 จำนวน 4 ตัว ไอซี 7805 เป็นโวลต์เตจเรกูเลเตอร์ไอซี

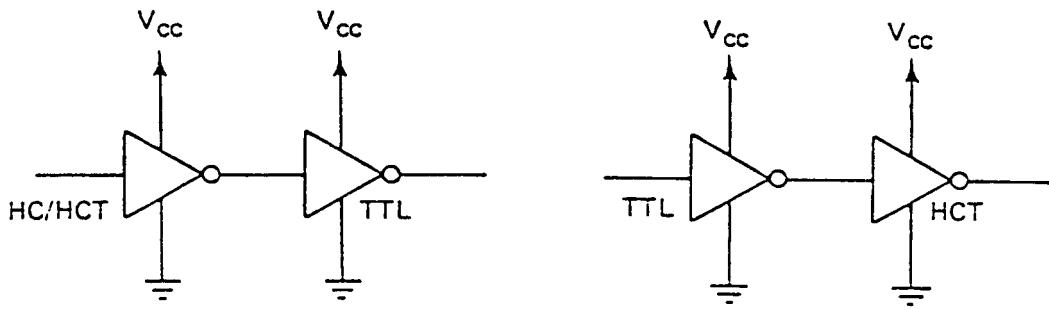


รูปที่ 3 แหล่งจ่ายไฟสำหรับ HCMOS โดยใช้กระแสสลับ

### วงจรเชื่อมต่อ (Interface circuits)

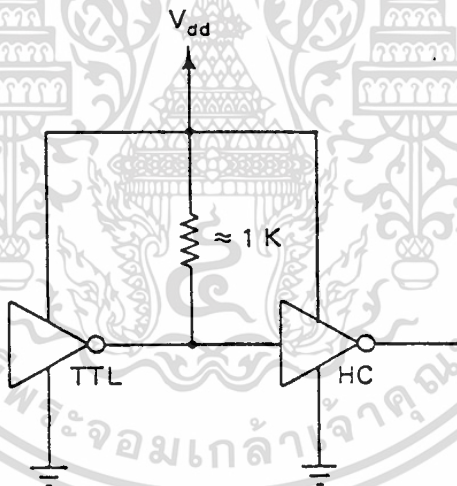
ดังที่ได้กล่าวมาแล้วว่า ข้อดีของ HCMOS คือ สามารถใช้งานแทนไอซี TTL ได้โดยตรง แต่อย่างไรก็ตาม บางครั้งเราต้องใช้การเชื่อมต่อ กรณีที่เราใช้แผ่นวงจรที่ใช้ HCMOS เชื่อมต่อกับแผ่นวงจรอื่น ๆ ที่ใช้ TTL หรือ CMOS มาตรฐาน HCMOS จะมีกระแส เอาท์พุทที่สามารถขับ TTL หรือ CMOS มาตรฐานได้โดยตรง ซึ่งใช้แหล่งจ่ายแหล่งเดียวกัน อย่างไรก็ตาม HCT ซึ่งเป็นชนิดหนึ่งของ HCMOS สามารถขับ TTL ได้โดยตรง แม้ว่าใน ส่วนแรกเราจะบอกว่าให้ใช้ HCT ในกรณีที่จะทำการเชื่อมต่อที่เป็นการเปลี่ยนแปลงระดับก็ตาม ในรูปที่ 4 แสดงให้เห็นวงจรเชื่อมต่อข้างต้น

เพื่อให้มีข้อมูลที่เพียงพอสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4 วิธีการเชื่อมต่อระหว่าง HC/HCT กับ TTL และ TTL กับ HCT

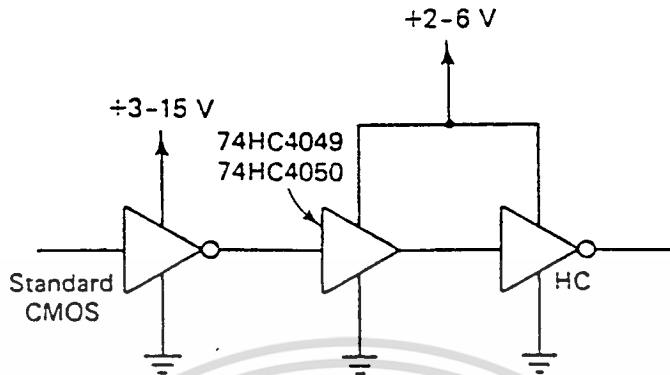
เอาต์พุตของ TTL สามารถที่จะขับอินพุตของ HC ถ้าใช้ความต้านทานพูล-อัพ ใน รูปที่ 5 ค่าของความต้านทาน พูล-อัพ จะขึ้นอยู่กับกระแสเอาต์พุตของ TTL เราจะใช้ค่า ประมาณ 1 กิโลโอห์ม ซึ่งวิธีการนี้ เราจะไม่ใช่กับกรณีที่เชื่อมต่อ TTL กับ HCT การ เชื่อมต่อ TTL กับ HCT เราจะใช้วิธีการดังรูปที่ 4



รูปที่ 5 วิธีการเชื่อมต่อ TTL กับ HC

บางครั้ง อาจจำเป็นที่จะต้องเชื่อมต่อ HCMOS กับ TTL หรือ CMOS มาตรฐาน ซึ่งใช้ระดับแรงดันของ แหล่งจ่ายไฟต่างกัน ในรูปที่ 6 แสดงให้เห็นวิธีการเชื่อมต่อ CMOS มาตรฐาน ซึ่งทำงานที่ระดับแรงดันที่สูงกว่าระดับแรงดันของ HCMOS ดังนั้น รูปแบบที่เหมาะสมในการเชื่อมต่อจะให้ CMOS มาตรฐานทำงานที่ระดับแรงดัน +15V เชื่อมต่อกับ HCMOS ที่ทำงานที่แรงดัน +5V ส่วนที่จำเป็นสำหรับการเชื่อมต่อนี้คือ ส่วนการแปลงระดับแรงดัน โดยใช้ส่วนหนึ่งของไอซี 74HC 4049 ทำหน้าที่เป็นบัฟเฟอร์แบบอินเวอร์ตติ้ง หรือใช้ไอซี 74HC 4050 ซึ่งทำหน้าที่เป็นบัฟเฟอร์แบบนอนอินเวอร์ตติ้ง โดยที่ HCMOS ที่ทำหน้าที่เป็นกันชน (Buffer) นี้จะใช้แหล่งจ่ายไฟแหล่งเดียวกันกับ HCMOS ที่เชื่อมต่อกับ CMOS มาตรฐาน

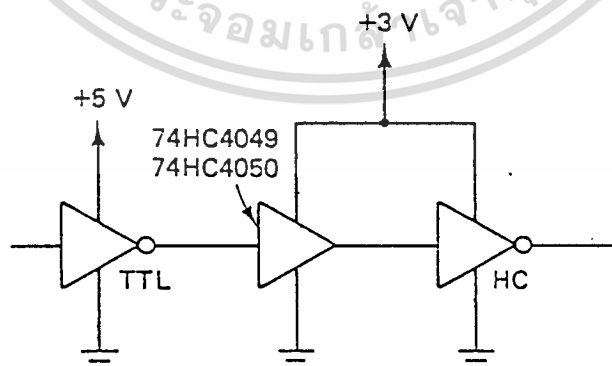
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6 การเชื่อมต่อ CMOS แรงดันสูงกับ HCMOS แรงดันต่ำ

ในบางกรณี HCMOS อาจจะใช้ในระดับแรงดันต่ำกว่า TTL ที่ใช้เป็นตัวจ่ายสัญญาณอินพุต ดังแสดงในรูปที่ 7 ดังนั้นการเชื่อมต่องี้จะเหมือนกับกรณีการเชื่อมต่อในรูปที่ 6 คือ ใช้ไอซี 74HC 4049 หรือ 74HC 4050 ซึ่งเป็น HCMOS ที่ทำหน้าที่แปลงระดับแรงดันเป็นไอซีบัฟเฟอร์ ซึ่งทั้งไอซี HC และไอซีบัฟเฟอร์จะใช้แหล่งจ่ายไฟเดียวกัน ในที่นี้คือ +3V ขณะที่ TTL ใช้แรงดัน +5V

ในทางปฏิบัตินั้น ควรจะหลีกเลี่ยงการใช้งานที่ต้องใช้ไอซี ซึ่งต่างชนิดกันในวงจรเดียวกัน ซึ่งจะทำให้เกิดความยุ่งยากในเรื่องของแหล่งจ่ายไฟ ดังนั้นในโครงการที่จะกล่าวถึงจึงใช้ไอซี HCMOS เท่านั้น



รูปที่ 7 การเชื่อมต่อ TTL กับ HCMOS แรงดันต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ชนิดของรูปร่าง HCMOS

ส่วนมากแล้ว HCMOS ที่เราใช้งานกันอยู่นั้นจะมีอยู่ 3 ชนิดคือ แบบ DIP (Dual in Line Package) ซึ่งมีทั้งแบบพลาสติกและเซรามิก และแบบติดตั้งบนพื้นผิวโดยตรง (Surface mount) สองชนิดแรกจะเป็นแบบที่สะดวกในการใช้งานสามารถที่จะบัดกรีโดยตรง หรือใช้การพันสาย หรือใช้ร่วมกับซอกเก็ต (Sockets) และอาจจะใช้กับแผ่นทดลอง (breadboards) ก็ได้ ส่วนแบบติดตั้งบนพื้นผิวโดยตรงนั้นออกแบบให้บัดกรีติดบนด้านเดียวกับลายวงจรโดยตรง



## บทที่ 6

### โครงสร้างของ IC TP 3054

ในบทนี้จะกล่าวถึงรายละเอียดของ IC ที่เป็นหัวใจในการทำงานของโครงงานนี้ ซึ่งใช้ IC เบอร์ TP 3054 ซึ่งเป็น CODEC/FILTER

#### รายละเอียด

IC TP 3054 ประกอบด้วย Monolithic PCM CODEC/FILTER ซึ่งเป็นแบบ  $\mu$ -law ซึ่งไม่ต้องการสัญญาณควบคุม และมีวงจร A/D และ D/A และ Serial PCM Interface อยู่ภายในในส่วนของการเข้ารหัส (Encode) ของอุปกรณ์นี้ประกอบด้วยวงจรขยายโดย Op-Amp ซึ่งสามารถปรับอัตราขยายได้โดยการเปลี่ยนค่าความต้านทานภายนอกตัว IC ต่อไปก็เป็นส่วนของ RC Active filter ซึ่งมีไว้เพื่อกำจัดสัญญาณรบกวนความถี่สูงออก เพื่อส่งต่อไปยัง Switch Capacitor Band pass filter เพื่อกรองความถี่ที่ต้องการออกไปได้เท่านั้น ในที่นี้จะให้ย่านความถี่ 200-3,400 Hz ผ่านไปได้เท่านั้น ความถี่นอกเหนือจากนี้จะถูกกำจัดทิ้ง ภายในจะมีวงจร Auto zero และ Companding codec ซึ่งจะ sampling สัญญาณที่ filter ได้นั้นเพื่อนำไป companding ต่อไปซึ่งในที่นี้เป็นแบบ  $\mu$ -law

ในส่วนของการถอดรหัส (Decode) จะประกอบด้วย Expanding decoder ซึ่งจะ ใช้สร้างสัญญาณอนาลอกจาก Compander  $\mu$ -law แล้วส่งต่อไปยังวงจร Switch capacitor low pass filter เพื่อกรองความถี่ซึ่งต่ำกว่า 3,400 Hz ให้ผ่านไปได้เท่านั้น แล้วส่งต่อไปยังภาค RC filter เพื่อกำจัดสัญญาณรบกวนทั้งเมื่อจะได้นำไปขยายต่อไปโดย Power amplifier

อุปกรณ์นี้ต้องการความถี่ 2 ความถี่คือ 1.536 MHz, 1.544 MHz หรือ 2.048 MHz เพื่อใช้เป็น Master Clocks ซึ่งอาจจะเป็นการส่งและรับสัญญาณแบบ Asynchronous ซึ่งจะเปลี่ยนแปลงจาก 64 KHz ถึง 2.048 MHz เมื่อส่งและรับแบบ Bit clock และส่งและรับแบบ Frame sync pulse

IC เบอร์นี้ถูกออกแบบให้ใช้กับแหล่งจ่าย  $\pm 5V$  ล้นเปลืองกำลังงานเพียง 60 mw. และหากอยู่ในสภาวะ Stand by จะกินกระแสเพียง 3 mw. เท่านั้น สามารถต่อเชื่อมกับ IC TTL หรือ CMOS ซึ่ง IC เบอร์นี้ถูกออกแบบให้อยู่ในรูปของ Dual in line package



## รายละเอียดของขา IC

### สัญลักษณ์

### หน้าที่

|                 |                                                                                                                                                                                                                                                                                                               |
|-----------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| $V_{BB}$        | ขาที่ต่อกับแหล่งจ่ายไฟชั่วลบ $V_{BB} = -5V \pm 5\%$                                                                                                                                                                                                                                                           |
| GNDA            | อนาลอกกราวนด์ สัญญาณทั้งหมดเทียบกับขา                                                                                                                                                                                                                                                                         |
| $VF_R^O$        | เป็นขา Output ของสัญญาณอนาลอก                                                                                                                                                                                                                                                                                 |
| $V_{CC}$        | ขาที่ต่อกับแหล่งจ่ายไฟชั่วบวก $V_{CC} = +5V \pm 5\%$                                                                                                                                                                                                                                                          |
| $FS_R$          | ขาจับสัญญาณแบบ Frame sync pulse ซึ่งทำงานร่วมกับขา $BCLK_R$ เพื่อเลื่อนข้อมูล PCM เข้าสู่ขา $D_R$ โดยใช้ความถี่ที่เป็นแบบรูปขบวน 8 KHz                                                                                                                                                                        |
| $D_R$           | ขาจับสัญญาณ Input ข้อมูล PCM จะถูกเลื่อนเข้าสู่ $D_R$ ตามขอบขาขึ้นของ $FS_R$                                                                                                                                                                                                                                  |
| $BCLK_R/CLKSEL$ | เป็นขาที่ต่อกับ bit clock ซึ่งใช้เลื่อนข้อมูลสู่ $D_R$ อาจจะเปลี่ยนแปลงได้จาก 64 KHz ถึง 2.048 MHz ซึ่งขาจะเป็นตัวเลือกความถี่ Master clock ใน synchronous mode ซึ่งอาจจะเป็น 1.536/1.544 MHz หรือ 2.048 MHz                                                                                                  |
| $MCLK_R/PDN$    | เป็นขา Master clock ในการรับ ใช้ความถี่ 1.536/1.544 MHz หรือ 2.048 MHz หากเป็น asynchronous mode ใช้ $MCLK_x$ ในทางปฏิบัติควรใช้ synchronous mode ด้วย $MCLK_x$ เมื่อขาถูกต่อกับ logic low ขา $MCLK_x$ ถูก ล็อกเมื่อคาบเวลาภายในทั้งหมด เมื่อ $MCLK_R$ ถูกต่อกับ Logic high IC ตัวนี้จะอยู่ในสภาวะกินกระแสต่ำ |
| $SF_R$          | เมื่อมีสภาวะเป็น logic high ระหว่างที่มีสัญญาณเข้าที่ขา $FS_R$ จะทำให้รู้ว่ากำลังรับสัญญาณเข้ามา (IC TP 3054 ไม่ใช่ขานี้ในการออกแบบ)                                                                                                                                                                          |
| $SIG_R$         | บิตที่ 8 ของข้อมูล PCM จะปรากฏที่ขานี้ หลังจากรับเฟรมของสัญญาณที่ส่งมา (IC TP 3054 ไม่ใช่ขานี้ในการออกแบบ)                                                                                                                                                                                                    |
| $SIG_x$         | เป็นสัญญาณข้อมูลที่เข้ามา ซึ่งข้อมูลนี้จะถูกแทรกไปในบิตที่ 8 ของ PCM Word ระหว่างเฟรมสัญญาณที่ส่ง (IC TP 3054 ไม่ใช่ขานี้ในการออกแบบ)                                                                                                                                                                         |
| $SF_x$          | เมื่อมีสภาวะเป็นลอจิก high ระหว่างที่มีสัญญาณเข้าที่ขา $FS_x$ จะทำให้ทราบว่าเฟรมของสัญญาณกำลังถูกส่ง (IC TP 3054 ไม่ใช่ขานี้ในการออกแบบ)                                                                                                                                                                      |

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำเป็นประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

|                   |                                                                                                                                                            |
|-------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------|
| $MCLK_X$          | มาสเตอร์คัลล็อกในการส่งใช้ความถี่ 1.536/1.544 MHz หรือ 2.048 MHz อาจจะทำเป็นแบบ Asynchronous ด้วย $MCLK_R$ ในทางปฏิบัติควรสร้างจากการใช้งานแบบ Synchronous |
| $FS_X$            | เป็นขาอินพุทของรูปคลื่นที่เข้ามา ซึ่งใช้งานร่วมกับขา $BCLK_X$ เพื่อเลื่อนข้อมูล PCM ออกขา $D_X$ $FS_X$ เป็นขบวนรูปคลื่นความถี่ 8 KHz                       |
| $BCLK_X$          | เป็นขาบิตคัลล็อกซึ่งเลื่อนข้อมูล PCM ออกขา $D_X$ อาจะเปลี่ยนแปลงจาก 64 KHz ถึง 2.048 MHz แต่ต้องให้สัมพันธ์กับขา $MCLK_X$                                  |
| $D_X$             | เป็นขาเอาต์พุทของข้อมูล PCM ซึ่งถูกใช้งานโดยขา $FS_X$ เนื่องจากเป็นแบบ Tri-state                                                                           |
| $\overline{TS}_X$ | Open drain output ซึ่งรูปคลื่นอยู่ในสภาวะลอจิกต่ำระหว่างการเข้ารหัสในไทม์สล็อต (ไอซี TP 3054 ไม่ใช้ขานี้ในการออกแบบ)                                       |
| $GS_X$            | เป็นขานาลอกเอาต์พุทของภาคขยายออปแอมป์ ภาคส่งภายในไอซี ซึ่งใช้สำหรับต่อความต้านทานภายนอกเพื่อกำหนดเกนการขยาย                                                |
| $VF_X I^-$        | เป็นขา Inverting ของออปแอมป์ภาคส่ง                                                                                                                         |
| $VF_X I^+$        | เป็นขา Non-inverting ของออปแอมป์ภาคส่ง                                                                                                                     |

### รายละเอียดของการใช้งาน

#### Power-up

เมื่อพลังงานถูกป้อนให้ในสภาวะแรกจะทำการรีเซท วงจรภายในของไอซี ให้อยู่ในสภาวะเริ่มต้น แล้วจึงจะเข้าสู่สภาวะประหยัดพลังงาน วงจรที่ไม่จำเป็นทั้งหมดจะไม่ทำงานและ  $D_X$ ,  $VF_R O$  จะอยู่ในสภาวะอิมพีแดนซ์สูง เมื่อเข้าสู่ Power-up สภาวะลอจิกต่ำหรือต้องป้อนสัญญาณคัลล็อก เข้าที่ขา  $MCLK_R/PDN$  และหรือ  $FS_R$  ต้องมีรูปคลื่นป้อน ดังนั้น หากจะควบคุมให้มีการทำการในสภาวะใช้พลังงานน้อยต้องให้ขา  $MCLK_R/PDN$  อยู่ในลอจิกสูง ในทางกลับกันจะต้องให้ขา  $FS_X$  และ  $FS_R$  มีลอจิกต่ำอย่างต่อเนื่อง อุปกรณ์ก็จะอยู่ในสภาวะใช้พลังงานน้อยประมาณ 2 ms. หลังจากทีรูปคลื่นสุดท้ายที่ขา  $FS_X$  หรือ  $FS_R$  ผ่านไปแล้ว สภาวะใช้พลังงานสูงจะเกิดขึ้นในรูปคลื่นลูกแรกของ  $FS_X$  หรือ  $FS_R$  เอาต์พุทของข้อมูล PCM ที่ขา  $D_X$  จะยังคงอยู่ในสภาวะอิมพีแดนซ์สูง จนกระทั่งรูปคลื่นลูกที่ 2 เข้ามาที่ขา  $FS_X$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## การใช้งานในแบบ Synchronous

สำหรับการทำงานแบบ Synchronous มาสเตอร์คัลล็อกและบิตคัลล็อกควรจะใช้เหมือนกันทั้งในการส่งและรับ ในโหมดนี้คัลล็อกต้องถูกป้อนเข้าที่ขา  $MCLK_X$  และขา  $MCLK_X/PDN$  สามารถถูกใช้ควบคุมสภาวะการประหยัคพลังงาน ถ้าขา  $MCLK_X/PDN$  มีสภาวะเป็นลอจิกต่ำ จะทำให้อุปกรณ์นี้อยู่ในสภาวะใช้พลังงานสูง ในทางกลับกันถ้าเป็นสภาวะลอจิกสูง จะทำให้อุปกรณ์นี้อยู่ในสภาวะประหยัคพลังงาน ในกรณีนี้  $MCLK_X$  จะถูกเลือกโดยมาสเตอร์คัลล็อก เพื่อให้อยู่ในสภาวะส่งและรับ บิตคัลล็อกต้องถูกป้อนเข้าขา  $BCLK_X$  และ  $BCLK_X/CLKSEL$  สามารถที่จะถูกเลือกอยู่ภายใน สำหรับมาสเตอร์คัลล็อกของ 1.536/1.544 MHz หรือ 2.048 MHz สำหรับการใช้งานด้วยความถี่ 1.544 MHz อุปกรณ์จะถูกชดเชยโดยอัตโนมัติ สำหรับคัลล็อกที่ 193 ของแต่ละเฟรม

ด้วยการทำให้ระดับสัญญาณที่ขา  $BCLK_X/CLKSEL$  คงที่  $BCLK_X$  จะถูกเลือกโดยบิตคัลล็อก สำหรับเลือกทิศทางในการส่งและรับ ตารางที่ 1 แสดงให้เห็นความถี่ของการใช้งาน ซึ่งสามารถเลือกได้โดยขึ้นอยู่กับสภาวะที่  $BCLK_X/CLKSEL$  ใน Synchronous mode บิตคัลล็อก  $BCLK_X$  อาจจะเริ่มจาก 64 KHz ถึง 2.048 MHz แต่ต้องสัมพันธ์กับ  $MCLK_X$ .

แต่ละรูปคลื่นที่ขา  $FS_X$  จะเริ่มวงรอบในการเข้ารหัส และข้อมูล PCM จากวงจรของการเข้ารหัสอันเก่าจะถูกเลื่อนออกที่ขา  $D_X$  บนขอบขาขึ้นของ  $BCLK_X$  หลังจากคาบเวลาของสัญญาณนาฬิกาผ่านไป 8 บิต  $D_X$  จะกลับสู่สภาวะอิมพีแดนซ์สูง ด้วยรูปคลื่นที่  $FS_R$  ข้อมูล PCM จะถูกป้อนผ่าน DR ที่ขอบขาลงของรูปคลื่นที่  $BCLK_X$  (หรือ  $BCLK_R$  ถ้ากำลังทำงาน)  $FS_X$  และ  $FS_R$  ต้องทำงานสัมพันธ์กันด้วย  $MCLK_{X/R}$

| $BCLK_X/CLKSEL$ | Master clock<br>IC TP 3054 |
|-----------------|----------------------------|
| CLOCK           | 1.536 MHz หรือ 1.544 MHz   |
| 0               | 2.048 MHz                  |
| 1               | 1.536 MHz หรือ 1.544 MHz   |

ตารางที่ 1 การเลือกความถี่มาสเตอร์คัลล็อก

## การทำงานในแบบ Asynchronous

สำหรับการทำงานในแบบ Asynchronous จะแยกคัลล็อกในการส่งและรับ  $MCLK_X$  และ  $MCLK_R$  ใช้ความถี่ 1.536 MHz, 1.544 MHz สำหรับไอซีเบอร์นี้ไม่ใช่ สำหรับการสื่อสารที่ดี  $MCLK_R$  ควรจะสัมพันธ์กับ  $MCLK_X$  ซึ่งจะทำให้ง่ายโดยให้ขา  $MCLK_X/PDN$  ต่อกับสแตติกลอจิก จะทำให้  $MCLK_X$  จะต่อกับ  $MCLK_R$  โดยอัตโนมัติภายในไอซี สำหรับการใช้งานความถี่ 1.544 MHz อุปกรณ์นี้จะทำการชดเชยบิตที่ 193 ของคัลล็อกพัลส์ โดยอัตโนมัติในแต่ละเฟรม  $FS_X$  เริ่มเข้ารหัสในแต่ละวงรอบ และต้องสัมพันธ์กับ  $MCLK_X$  และ  $BCLK_X$   $FS_R$  เริ่มถอดรหัสในแต่ละวงรอบและต้องสัมพันธ์กับ  $BCLK_R$   $BCLK_R$  ต้องเป็นสัญญาณคัลล็อก โดยระดับลอจิกแสดงดังตารางที่ 1 ซึ่งจะไม่ใช่สภาวะ Asynchronous  $BCLK_X$  และ  $BCLK_R$  อาจจะใช้งานจาก 64 KHz

ถึง 2.048 MHz

ไม่ว่ากรณีใดๆทั้งนั้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## การทำงานในแบบ Short Frame Sync

อุปกรณ์นี้สามารถทำงานแบบ Short Frame Sync หรือ Long Frame Sync ขึ้นอยู่กับกำลังงานเริ่มแรก หากเป็นแบบ Short Frame Sync ขา  $FS_R$  ต้องมีความยาว 1 บิตของคล็อก ซึ่งต้องสัมพันธ์กับไทม์มิ่ง  $FS_x$  ต้องมีสภาวะเป็นลอจิกสูง ระหว่างที่รูปคลื่นที่ ขอบขาของ  $BCLK_x$  เข้ามา ต่อจากนั้น รูปคลื่นขอบขาขึ้นของ  $BCLK_x$  ก็จะทำให้ขา  $D_x$  อยู่ในสภาวะเป็นกันชน (Buffer) ซึ่งเอาท์พุทที่ได้จะเป็นบิตเครื่องหมาย ขอบขาขึ้นของคล็อก 7 ลูกที่ตามมาจะยังคงเป็น 7 บิต และขอบขาของรูปคลื่นต่อไปจะ disable ขา  $D_x$  ขา  $FS_R$  ต้องอยู่ในสภาวะลอจิกสูงระหว่างที่มีรูปคลื่นทางขอบขาของ  $BCLK_R$  เข้ามาค้างในบิตเครื่องหมาย รูปคลื่นของขอบขาของต่อมา 7 ลูก จะมาค้างอยู่ใน 7 บิตเดิม อุปกรณ์นี้สามารถใช้งานแบบ Short frame sync ทั้งแบบ synchronous และ asynchronous

## การทำงานแบบ Long Frame Sync

การทำงานแบบนี้ Frame Sync Pulse ที่ขา  $FS_x$  และ  $FS_R$  ต้องมีความยาวของคาบเวลา 3 บิตของคล็อกหรือมากกว่า ความสัมพันธ์ทางไทม์มิ่ง ดูรายละเอียดในภาคผนวก สำหรับการทำงานแบบ 64 KHz เฟรมซิงค์พัลส์ ต้องอยู่ในสภาวะต่ำอย่างน้อยเป็นเวลา 160 ns.  $D_x$  ซึ่งเป็นเอาท์พุทบัฟเฟอร์ จะถูกอินเบิลด้วยขอบขาขึ้นของ  $FS_x$  หรือขอบขาขึ้นของ  $BCLK_x$  บิตแรกของคล็อกที่ออกมาจะเป็นบิตเครื่องหมายขอบขาขึ้นของ 7 บิต ที่ตามมาของ  $BCLK_x$  จะยังคงเป็น 7 บิตเดิม  $D_x$  จะถูกดีสเอบิลโดยขอบขาของบิตที่ 8 ที่ตามมา หรือโดยให้ขา  $FS_x$  มีสภาวะต่ำ ขอบขาขึ้นบนรูปคลื่นบนเฟรมซิงค์พัลส์ของการรับ  $FS_R$  จะทำให้ข้อมูล PCM ที่ขา  $D_R$  ยังคงค้างอยู่บนขอบขาของบิตที่ 8 ของรูปคลื่นต่อไปของขา  $BCLK_R$  อุปกรณ์นี้สามารถใช้งานแบบ Long frame sync, ทั้งในการใช้งานแบบ synchronous และ asynchronous

## สัญญาณควบคุม (Signaling)

ไอซี TP 3054 ที่เราใช้เป็นแบบ  $\mu$ -law ที่ไม่ต้องใช้สัญญาณควบคุมในส่วนนี้ เพราะฉะนั้น การออกแบบจริง ๆ เราไม่ต้องใช้ขาเหล่านี้คือ  $SF_x$ ,  $SF_R$ ,  $SIG_x$  และ  $SIG_R$

## ส่วนของภาคส่ง (Transmit Section)

ในส่วนของการส่ง ทางด้านอินพุทจะเป็นออปแอมป์ ซึ่งเกนการขยายสามารถกำหนดได้ด้วยความต้านทานที่ต่อภายนอก 2 ตัว ซึ่งเกนการขยายที่เราต้องการจะสัมพันธ์กับค่าของความต้านทาน  $R_1$ ,  $R_2$  ในรูปที่ 2 การออกแบบให้มีสัญญาณรบกวนต่ำและมีแบนด์วิดท์กว้างต้องให้มีเกนการขยายไม่เกิน 20 dB

ออปแอมป์จะไปขับวงจร band pass filter แบบสวิตคาปาซิเตอร์ ซึ่งใช้คล็อกความถี่ 256 KHz เอาท์พุทของวงจร filter จะต่อโดยตรงเพื่อขับวงจรเข้ารหัสและแซมปิงและโฮล วงจร A/D ที่ใช้ในการคอมแพนดิง จะเป็นแบบ  $\mu$ -law ซึ่งไอซีที่เราใช้ไม่ต้องการสัญญาณควบคุม ส่วนวงจรพีซีซีเอ็นโวลท์เดจเรฟเฟอร์เรนซ์จะถูกปรับโดยทางโรงงาน โดยมีอินพุทโอเวอร์โวลด์ ( $t_{max}$ ) ปกติ 2.5 Vp (ให้ไปดูรายละเอียดในส่วนของการ Transmission characteristic ในภาคผนวก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$FS_x$  ใช้ควบคุมเอาต์พุต การแชมบิงของฟิลเตอร์ และวงรอบของการเข้ารหัสจะเริ่มต้น รหัส 8 บิตจะถูกป้อนเข้าสู่บัพเฟอร์และเลื่อนออกที่ขา  $D_x$  ที่พัลส์ต่อไปของ  $FS_x$  การเข้ารหัสทั้งหมดจะถูกหน่วงประมาณ 165  $\mu s$  บวก 125  $\mu s$  ซึ่งจะรวมเป็น 290  $\mu s$

### ส่วนของวงจรภาครับ (Receive Section)

ส่วนของวงจรรับจะประกอบด้วยวงจรเอ็กแพนดิ้ง DAC ซึ่งจะเป็นตัวขยายวงจรโลว์พาสฟิลเตอร์แบบสวิตคาปาซิเตอร์ ลำดับที่ 5 ที่ความถี่ 256 KHz ซึ่งโลว์พาสฟิลเตอร์ จะอยู่ในแบบ Sin X/X การลดทอนที่กำหนดการแชมบิงและโฮล ความถี่ 8 KHz ต่อจากวงจรฟิลเตอร์จะผ่านไปยังวงจร RC active filter ลำดับที่ 2 แล้วส่งต่อไปยังภาคขยายกำลังไปใช้ขับโหลด 600 โอห์ม ที่ระดับสัญญาณ 7.2 dBm. ภาครับจะเป็นแบบยูติไลซ์ข้อมูลขา  $D_R$  ที่รับเข้ามา เกิดขึ้นด้วยการควบคุมขา  $FS_R$  โดยที่จะเกิดเมื่อขอบขาของคาบเวลา 8 บิตต่อไปของ  $BCLK_R$  การถอดรหัสจะเกิดขึ้นที่ปลายสุดของช่วงเวลาของตัวถอดรหัส. และหลังจากนั้น 10  $\mu s$ . เอาต์พุตตัวถอดรหัส DAC จะเปลี่ยนไปตาม การถอดรหัสทั้งหมดจะถูกหน่วงประมาณ 10  $\mu s$ . บวกกับ 110  $\mu s$ . (การหน่วงของฟิลเตอร์) บวกกับ 62.5  $\mu s$ . ซึ่งรวมทั้งหมดประมาณ 180  $\mu s$ .

### ข้อมูลในการประยุกต์ใช้งานของไอซี TP 3054

#### Power Supplies

จะต้องแน่ใจว่าก่อนจะใช้งานไอซีเบอร์นี้จะต้องตรวจสอบว่า กราวนด์จะต้องต่อก่อนขาอื่น ๆ ทั้งหมด เพื่อความปลอดภัย และการเสียหายของไอซี ขากราวนด์ทั้งหมดของอุปกรณ์ควรจะต้องที่จุดร่วมกัน ถ้าเป็นไปได้ควรจะต้องใกล้กับขา GNMDA มากที่สุด เพื่อหลีกเลี่ยงการไหลของกระแสที่ไหลผ่านความต้านทานที่เกิดขึ้นจากเส้นทางเดินควรจะต้องคาปาซิเตอร์ความจุ 0.1 ไมโครฟารัด คร่อม  $V_{CC}$  และ  $V_{BB}$  กับจุดกราวนด์

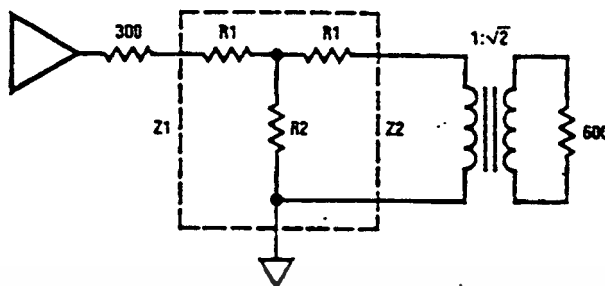
สำหรับทางปฏิบัติ จุดร่วมของ CODEC แต่ละตัว ควรจะต้องกับจุดร่วมของแผ่น PCB จุดร่วมนี้ควรจะต้องคาปาซิเตอร์ความจุ 10 ไมโครฟารัดกับ  $V_{CC}$  และ  $V_{BB}$

#### การปรับแต่งเกณฑ์การขยายของการรับ

สำหรับการใช้งานไอซีเบอร์นี้ เอาต์พุตของภาครับต้องใช้ขับโหลด 600 โอห์ม สัญญาณสูงสุดต้องไม่เกิน  $\pm 2.5V$

อัตราขยายของการรับสามารถปรับแต่งได้โดยการแทรกวงจร T-pad หรือ  $\pi$ -pad ที่เอาต์พุต ดังรูปจะแสดงให้เห็น T-pad และ  $\pi$ -pad attenuator โดยที่ตารางที่ 2 จะเป็นค่าของความต้านทานที่จะออกแบบ T-pad หรือ  $\pi$ -pad attenuator สำหรับการเทอ์มิเนต 600 โอห์ม จะเห็นว่าค่าความต้านทานในตารางที่ 2 จะเป็นค่าที่ไม่เป็นมาตรฐาน ดังนั้นเราจะใช้สมการในการหาค่า ซึ่งจะมีค่าใกล้เคียงที่สุด ในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$R1 = Z1 \left( \frac{N^2 + 1}{N^2 - 1} \right) - 2\sqrt{Z1 \cdot Z2} \left( \frac{N}{N^2 - 1} \right)$$

$$R2 = 2\sqrt{Z1 \cdot Z2} \left( \frac{N}{N^2 - 1} \right)$$

Where:  $N = \sqrt{\frac{\text{POWER IN}}{\text{POWER OUT}}}$

and

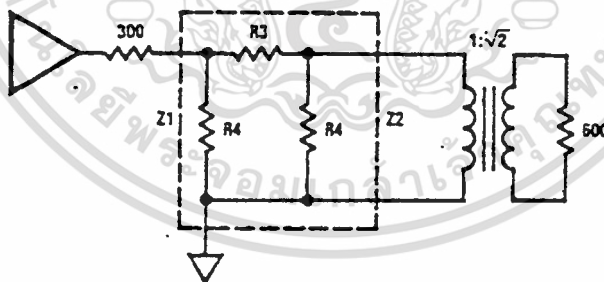
$$S = \sqrt{\frac{Z1}{Z2}}$$

Also:  $Z = \sqrt{Z_{SC} \cdot Z_{OC}}$

Where  $Z_{SC}$  = impedance with short circuit termination

and  $Z_{OC}$  = impedance with open circuit termination

### T - PAD ATTENUATOR



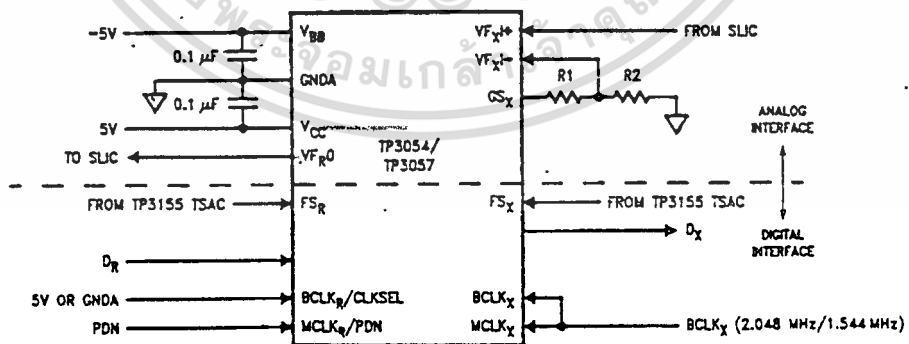
$$R3 = \sqrt{\frac{Z1 \cdot Z2}{2}} \left( \frac{N^2 - 1}{N} \right)$$

$$R4 = Z1 \left( \frac{N^2 - 1}{N^2 - 2NS + 1} \right)$$

### π - PAD ATTENUATOR

| dB  | R1   | R2   | R3    | R4    |
|-----|------|------|-------|-------|
| 0.1 | 1.7  | 26k  | 3.5   | 52k   |
| 0.2 | 3.5  | 13k  | 6.9   | 26k   |
| 0.3 | 5.2  | 8.7k | 10.4  | 17.4k |
| 0.4 | 6.9  | 6.5k | 13.8  | 13k   |
| 0.5 | 8.5  | 5.2k | 17.3  | 10.5k |
| 0.6 | 10.4 | 4.4k | 21.3  | 8.7k  |
| 0.7 | 12.1 | 3.7k | 24.2  | 7.5k  |
| 0.8 | 13.8 | 3.3k | 27.7  | 6.5k  |
| 0.9 | 15.5 | 2.9k | 31.1  | 5.8k  |
| 1.0 | 17.3 | 2.6k | 34.6  | 5.2k  |
| 2   | 34.4 | 1.3k | 70    | 2.6k  |
| 3   | 51.3 | 850  | 107   | 1.8k  |
| 4   | 68   | 650  | 144   | 1.3k  |
| 5   | 84   | 494  | 183   | 1.1k  |
| 6   | 100  | 402  | 224   | 900   |
| 7   | 115  | 380  | 269   | 785   |
| 8   | 139  | 284  | 317   | 698   |
| 9   | 143  | 244  | 370   | 630   |
| 10  | 156  | 211  | 427   | 527   |
| 11  | 168  | 184  | 490   | 535   |
| 12  | 180  | 161  | 550   | 500   |
| 13  | 190  | 142  | 635   | 473   |
| 14  | 200  | 125  | 720   | 450   |
| 15  | 210  | 110  | 816   | 430   |
| 16  | 218  | 98   | 924   | 413   |
| 18  | 233  | 77   | 1.17k | 386   |
| 20  | 248  | 61   | 1.5k  | 366   |

ตารางที่ 2



Note 1: XMIT gain =  $20 \times \log \left( \frac{R1 + R2}{R2} \right)$  where  $(R1 + R2) > 10 \text{ K}\Omega$ .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อรูปที่ 2 เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

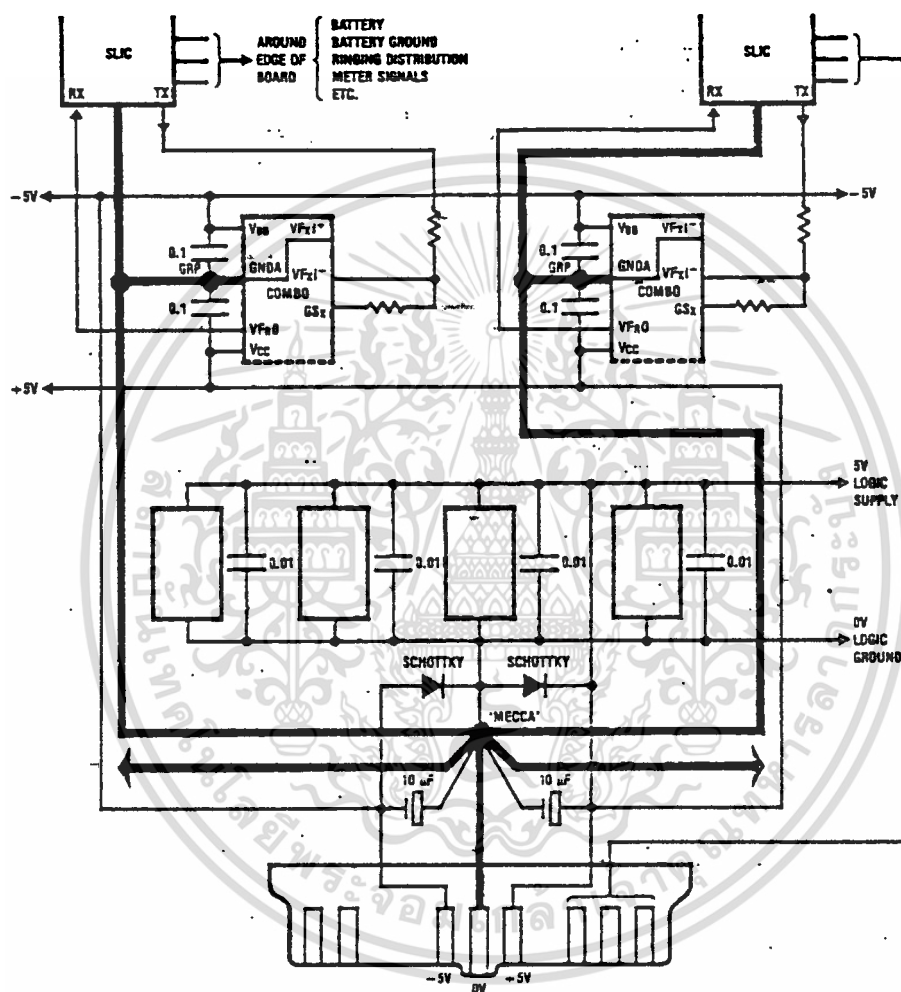
## เทคนิคการออกแบบด้วย CODEC/FILTER เบอร์ TP 3054

ไอซี TP 3054 เป็น PCM CODEC/FILTER ที่สร้างรวมอยู่ในชิปเดียวกัน ซึ่งภายในจะประกอบด้วย A/D และ D/A converter ดังนั้นการออกแบบจะต้องคำนึงถึง การรวมกันของส่วนต่าง ๆ ของอุปกรณ์ในระบบ โดยมีปัจจัยที่ต้องคำนึงถึง 2 ปัจจัยคือ แหล่งจ่ายไฟ เนื่องจากวงจรทำงานที่ความถี่สูง ดังนั้น แหล่งจ่ายไฟต้องมีรีเจกชัน เรโซที่ตีที่ความถี่สูง และปัจจัยอีกอันหนึ่งคือ การต่อระหว่าง Transmit filter และตัวเข้ารหัส ต้องทำการชิลด์ภายในอุปกรณ์

### การออกแบบลายวงจร, กราวนด์ และแหล่งจ่ายไฟ

- 1 เทคนิคที่จำเป็นสำหรับการออกแบบลายวงจรของวงจรรอนาล็อก และส่วนควบคุมทางดิจิทัลและวงจรสวิตช์ จะใช้ขา GNDA ของ CODEC แต่ละตัว ซึ่งทำหน้าที่เป็นจุดกราวนด์อ้างอิง (GRP) สำหรับแต่ละช่องสัญญาณ จุดกราวนด์ของวงจรรอนาล็อกของแต่ละช่องสัญญาณควรต่อให้ใกล้จุดอ้างอิงเท่าที่จะทำได้รวมทั้งกรณีเหล่านี้ด้วยคือ
  - ☐ อนาล็อกกราวนด์ จากวงจร 4-wire ทางด้านของวงจร SLIC
  - ☐ กราวนด์สำหรับจุดต่อออกของออปแอมป์ภาคส่ง
  - ☐ กราวนด์ด้านของตัวเก็บประจุ 0.1 ไมโครฟารัดที่ต่อกับ  $\pm 5V$  ของแหล่งจ่ายไฟ
  - ☐ อนาล็อกกราวนด์สำหรับอัตราการขยายภาคคนออกไอซี หรือการปรับแต่งสัญญาณการลดทอน
- 2 กราวนด์ที่ให้กระแสไหลย้อนกลับจากวงจรลอจิก รีเลย์ และช่องสัญญาณเสียงอื่น ๆ ต้องไม่ไหลเข้าหรือออกจาก GRP ของช่องสัญญาณ เพื่อหลีกเลี่ยงการเกิดสัญญาณรบกวน เพราะฉะนั้น กราวนด์ที่แยกนี้ควรลากจาก GRP ของแต่ละช่องสัญญาณไปที่จุดรวมที่ใกล้กับขอบกราวนด์บนแผ่นคอนเนคเตอร์ ทัว ๆ ไปเราเรียกว่า MECCA ดังแสดงในรูปที่ 3 เพราะฉะนั้นจะมีรูปแบบเป็นรูปดาว จาก MECCA ไปจุด GRP ของแต่ละช่องสัญญาณ เราจะไม่แนะนำให้ลากกราวนด์ของอนาล็อกและดิจิทัลแยกกันแล้วป้อนกลับไปที่แหล่งจ่ายไฟ รีเลย์และวงจรอื่น ๆ ควรจะแยกทางเดินนี้กับกราวนด์ของแบตเตอรี่
- 3 แหล่งจ่ายไฟบวกลบ 5 โวลท์ กับจุด MECCA ควรจะอยู่ใกล้กับจุดต่อออกของแผ่นวงจร ควรใช้ตัวเก็บประจุค่าอย่างน้อย 10 ไมโครฟารัด ต่อคร่อมแหล่งจ่ายไฟทั้ง 2 แหล่ง ตัวเก็บประจุและตัวต้านทานควรใช้ชนิดที่มีคุณภาพดี กระแสที่ประจุตัวเก็บประจุเหล่านี้จะไหลผ่านสายไฟและแถบขดลวด จะทำให้เกิดการกระชากของแรงดัน ซึ่งจะทำให้เกินค่าสูงสุดของอุปกรณ์ที่สามารถทนได้ ก็จะทำให้เกิดการเสียหายขึ้นได้ ดังนั้น แถบความยาวจากตัวต่อกับตัวเก็บประจุควรมีระยะทางสั้นที่สุด และไม่ควรใช้ตัวเก็บประจุที่มีค่าสูงเกินไป
- 4 ทางเดินของแหล่งจ่ายไฟบวกลบ 5 โวลท์ ของวงจร CODEC/FILTER ควรจะให้อยู่ประชิดกับทางเดินของกราวนด์ เพื่อช่วยไม่ให้เกิดสัญญาณรบกวน แหล่งจ่ายไฟแต่ละตัว ควรใช้ตัวเก็บประจุค่า 0.1 ไมโครฟารัด ต่อให้เป็นระยะทางสั้นที่สุดกับ GRP ของ CODEC/FILTER ในที่นี้แนะนำให้ใช้ตัวเก็บประจุแบบเซรามิก ซึ่งจะมีค่าดีที่สุดสำหรับการส่งถ่ายทางด้านความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 5 ทางเดินของแหล่งจ่ายไฟบวกลบ 5 โวลต์ สำหรับสวิตชิง และวงจรควบคุมลอจิก ควรจะต่อแยกจากจุดส่งถ่ายที่ใกล้กับตัวต่อ ไม่ควรจะแยกทางเดินทั่ว ๆ ไปกับจุดต่อแหล่งจ่ายไฟ +5V ที่ต่อเข้าวงจร CODEC/FILTER วงจรลอจิกแต่ละวงจรควรจะต่อตัวเก็บประจุ แบบเซรามิกค่า 0.01 ไมโครฟารัด ครอบมจุดต่อแหล่งจ่ายไฟ +5V กับกราวนด์ โดยต่อให้ใกล้ที่สุด
- 6 การต่อกราวนด์สำหรับวงจรลอจิกและรีเลย์ที่ใช้แรงดันต่ำ อาจจะใช้เป็นขอบกราวนด์บัล หรือกราวนด์ที่เป็นแบบตาราง ซึ่งจะช่วยในการลดทอนสัญญาณรบกวนในสัญญาณดิจิทัล กราวนด์ของระบบลอจิกควรจะต่อโดยตรงกับจุด MECCA
- 7 ไอซีตระกูล TTL และ LSTTL จะใช้กระแสต่างกัน เมื่อเอาท์พุทของไอซีเหล่านี้อยู่ในสภาวะสูงและต่ำ จะเป็นเหตุให้เกิดกระแสจำนวนมากขึ้นในการสวิต และจะไหลผ่านทางเดินและตัวเก็บประจุที่ทำหน้าที่ de-coupling ในทางกลับกันไอซีแบบ CMOS จะไม่มีผลในเรื่องเหล่านี้ และยังมีผลทางด้านสัญญาณรบกวนน้อยกว่า TTL ดังนั้นในการออกแบบเราจะแนะนำให้ใช้ไอซีตระกูล 74 HC. CMOS เราจะใช้ตัวเก็บประจุที่ทำหน้าที่ decoupling เสมอ เมื่อใช้ไอซีตระกูล HC CMOS

#### ข้อควรพิจารณาเกี่ยวกับสัญญาณรบกวน

- 1 สัญญาณลอจิกควรมีทางเดินของสัญญาณที่ดีจากวงจรอนาล็อก และการต่อแหล่งจ่ายไฟ เพื่อที่จะทำให้เกิดสัญญาณรบกวนทางด้านความถี่สูงน้อยที่สุด
- 2 สัญญาณทั้งหมดและวงจรสามารถที่จะทำให้เกิดการเหนี่ยวนำแรงเคลื่อนเข้าสู่สัญญาณเสียง ดังนั้นควรจะถูกออกแบบให้อยู่บริเวณขอบของแผ่นลายวงจร เท่าที่เป็นไปได้ รวมทั้ง
  - ☐ รีเลย์ และสัญญาณเอาท์พุท
  - ☐ จุดแยกสัญญาณกระดิ่ง
  - ☐ ด้าน 2-wire ของวงจรประจำเครื่อง
  - ☐ แบตเตอรี่ -48V
  - ☐ วงจรแปลง DC เป็น AC
- 3 ใช้กราวนด์เพลน เพื่อป้องกันการรบกวนสัญญาณเสียง จากสัญญาณรบกวน เช่น สัญญาณนาฬิกา และสัญญาณข้อมูลและแรงดันสูง
- 4 ออปแอมป์ที่ใช้ที่ภาคส่งภายในไอซี จะทำให้เกิดสัญญาณรบกวนได้ ถ้าเราออกแบบให้มีอัตราขยายสูงเกินไป ดังนั้น ค่าความต้านทานที่ต่อป้อนกลับ ควรมีค่าไม่เกิน 50 กิโลโอห์ม และตัวต้านทานนี้ควรจะอยู่ใกล้กับออปแอมป์มากที่สุด เพื่อทำให้ค่าเก็บประจุน้อยที่สุด

เอกสารนี้เป็นทรัพย์สินของกรมส่งเสริมการค้าระหว่างประเทศ กระทรวงพาณิชย์ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ข้อควรระวังในการป้องกันวงจร

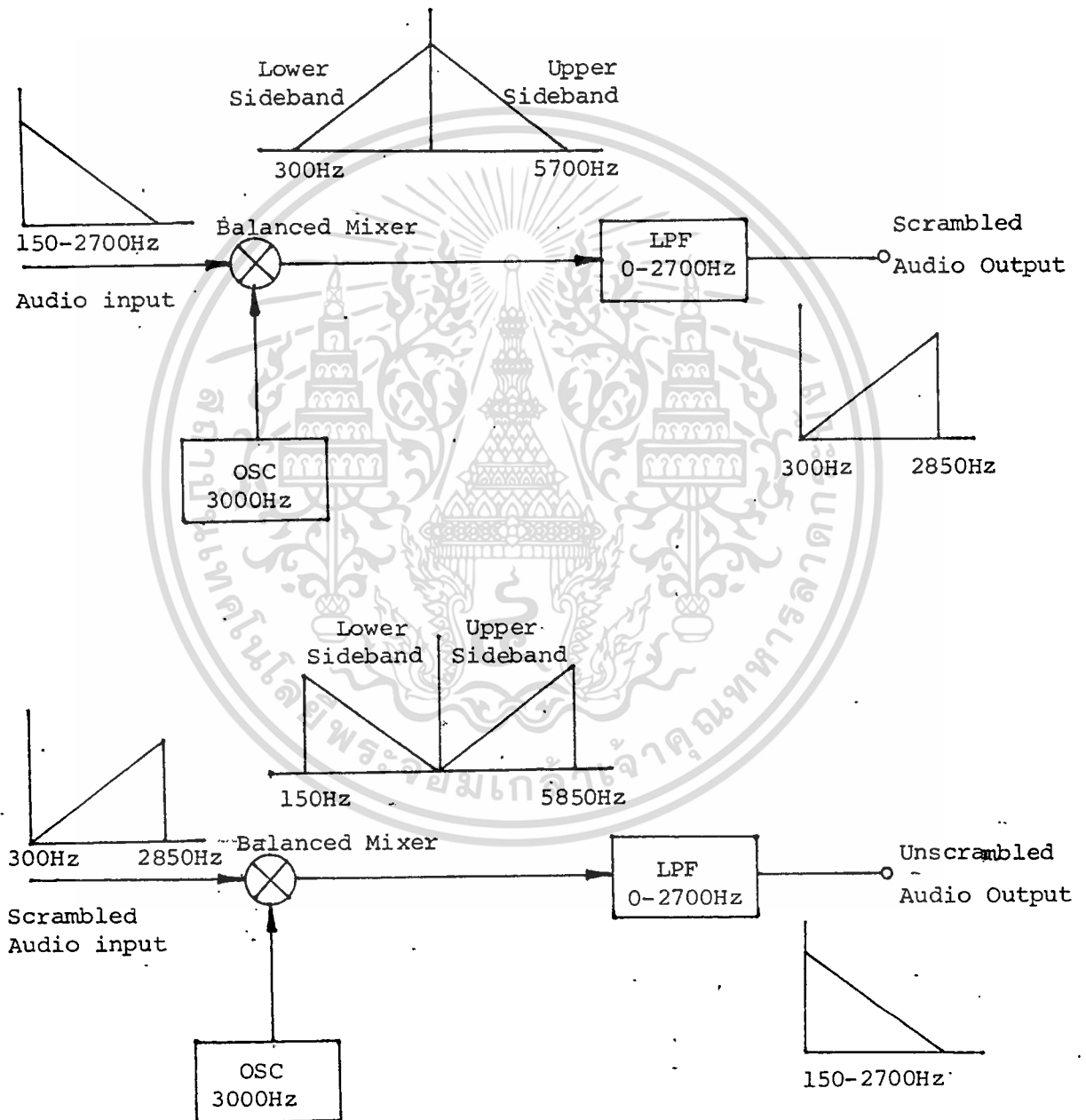
CODEC/FILTER สามารถที่จะจัดให้สามารถใช้งานได้อย่างปลอดภัยและอายุการใช้งานยาวนาน ควรจะต้องคำนึงถึงข้อควรระวังเหล่านี้คือ

- ❑ ตามปกติ CMOS ที่ใช้งานร่วมกับ CODEC/FILTER จะต้องระมัดระวังในการจับถือ เพราะอาจจะทำให้เกิดการเสียหายแก่ CMOS ได้ เนื่องจากไฟฟ้าสถิตย์ ดังนั้น ควรจะบรรจุอยู่กับวัสดุที่ช่วยป้องกันในเรื่องไฟฟ้าสถิตย์และควรจะทำกราวด์บุคคลขณะทำการจับถืออุปกรณ์เหล่านี้ด้วย
- ❑ ต้องมั่นใจว่ากราวด์ถูกต้องกับอุปกรณ์แต่ละตัวก่อนเสมอ เมื่อจะต่อแหล่งจ่ายไฟหรือแหล่งสัญญาณอื่น ๆ
- ❑ ต้องแยกอินพุตและเอาต์พุตของสัญญาณดิจิทัล ระหว่างวงจร CODEC/FILTER กับลายเส้นของแผ่นวงจร blackplane เพื่อป้องกันอุปกรณ์นี้เสียหาย เนื่องจากเกิดการกระชากของแรงดันเนื่องจาก blackplane
- ❑ ควรจะใช้ Schottky diode ต่อคร่อมแหล่งจ่ายไฟ +5V กับกราวด์และกราวด์กับ -5V เพื่อป้องกัน CMOS เสียหายเนื่องจากการสลับเปลี่ยนขั้วของแหล่งจ่ายไฟ ควรใช้ไดโอดเบอร์ IN5820 ถ้าแหล่งจ่ายไฟอนุกรมที่จ่ายวงจร filter ควรใช้ Schottky diode เบอร์ IN5817 ต่อคร่อมขาแหล่งจ่ายไฟ
- ❑ ถ้าวางวงจร CODEC/FILTER ถูกต้องกับหม้อแปลงของวงจรประจำเครื่องจะช่วยต่อต้านการเกิดการกระชากของแรงดันได้ ความต้านทาน 5 กิโลโอห์ม หรือมากกว่าจะช่วยปกป้อง อินพุตของวงจรขยายทางภาคส่งได้ คือขา  $VF_{x1}^{+}$  และ  $VF_{x1}^{-}$  หรือใช้ซิลิกอนไดโอด หรือซีเนอร์ไดโอด 3.9V. 2 ตัวต่อเห็นหลังชนกันต่อระหว่างอินพุตนี้กับกราวด์
- ❑ ซีเนอร์ไดโอด 3.9V 2 ตัวต่อเห็นหลังชนกันช่วยป้องกันเอาต์พุตของวงจรขยายกำลังของภาครับ ควรเลือกซีเนอร์ไดโอดที่มีคุณสมบัติที่ดีและมีการรั่วไหลของกระแสต่ำที่แรงดันต่ำกว่าจุดที่เรียกว่า "knee" เพื่อหลีกเลี่ยง gain-tracking ของช่วงสัญญาณทางภาครับที่ระดับสัญญาณที่สูง

## บทที่ 7

### ระบบป้องกันการลอบดักฟังสัญญาณเสียง (Audio Scrambling System)

จากทฤษฎีต่าง ๆ ที่เราได้ศึกษามาแล้วนั้น เราจะมาศึกษาการทำงานและการออกแบบของวงจรป้องกันการลอบดักฟังสัญญาณเสียงที่ใช้งานจริง



รูปที่ 1 แสดงการสแกรมเบิลโดยใช้การผสมสัญญาณเสียงเข้ากับสัญญาณคลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการที่ใช้จะนำสัญญาณเสียงที่รับเข้ามาทำการผสมตัวอย่างด้วยสัญญาณพัลส์ ดังแสดงในรูปที่ 1- ในที่มีใช้การ Modulation แบบ Balance Modulation ซึ่งเอาที่พหุที่ได้จะได้ทั้งแถบความถี่ทางด้านสูง (Upper Sideband) กับแถบความถี่ทางด้านความถี่ต่ำ (Lower Sideband) โดยแถบความถี่ทางด้านสูงจะอยู่ในช่วงความถี่ประมาณ  $3,000 - 7,000 \text{ Hz}$  และแถบความถี่ทางด้านต่ำจะอยู่ในช่วงความถี่ประมาณ  $150 - 3,000 \text{ Hz}$  แต่ในการออกแบบในที่นี้นั้นเราจะใช้เฉพาะแถบความถี่ต่ำ ( $150 - 3,000 \text{ Hz}$ ) เท่านั้น ส่วนแถบความถี่ทางด้านสูง ( $3,000 - 7,000 \text{ Hz}$ ) เราจะทำการกำจัดทิ้งส่วนแถบความถี่ที่ต้องการเราใช้ LPF Filter เอาไว้

จากหลักการของ Balance mod เราจะเห็นว่า Lower Sideband ที่ filter ได้จะมีสัญญาณคล้ายกับสัญญาณอินพุต แต่สเปกตรัมจะกลับกัน คือ ความถี่ทางด้านต่ำ เมื่อ Mod แล้วจะไปอยู่ทางด้านสูงแทน อย่างเช่นเมื่อสัญญาณที่เข้าเท่ากับ  $500 \text{ Hz}$  ในที่นี้เราใช้คลื่นพาห์เท่ากับ  $3,000 \text{ Hz}$  เราจะได้สัญญาณเอาที่พหุเท่ากับ  $2,500 \text{ Hz}$  หากอินพุตที่เข้ามาเท่ากับ  $1 \text{ KHz}$  สัญญาณเอาที่พหุนี้ได้เท่ากับ  $2 \text{ KHz}$  เป็นต้น

โดยทั่ว ๆ ไปแล้วช่วงความถี่เสียงของคนเราจะอยู่ในช่วง  $300 - 1,000 \text{ Hz}$  และ  $2,000 - 2,500 \text{ Hz}$  ดังนั้นเราจึงสามารถใช้หลักการนี้เพื่อป้องกันการดักฟังทางโทรศัพท์ได้

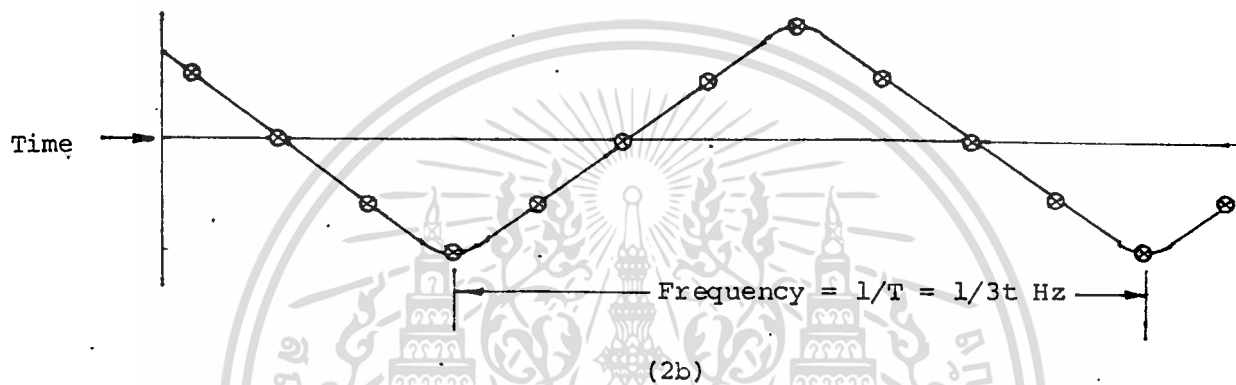
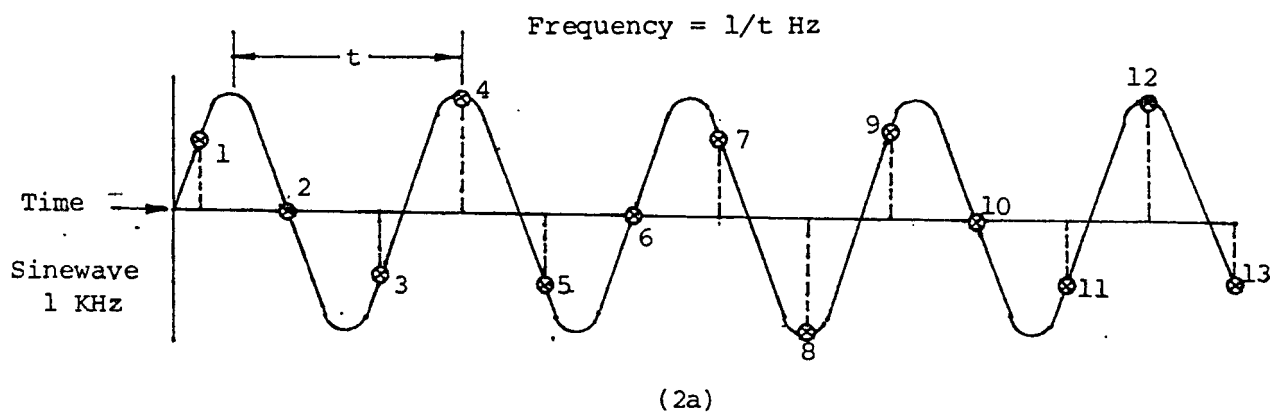
โครงการนี้เป็น Digital Voice Scrambling จึงไม่ต้องการการปรับแต่งและไม่มีการ Switching ขบวนการ Scrambling และ Descrambling เราสามารถใช้ไอซี เพียงตัวเดียวในการทำงานทั้ง 2 ขบวนการนี้ ระบบการปกปิดข่าวสารข้อมูล (Encryption) มี 2 ช่องสัญญาณเพื่อใช้เป็นระบบ Full duplex ซึ่งทำให้ระบบการสื่อสารเป็นไปได้อย่างดีและสะดวก

ก่อนอื่นเราจะศึกษาระบบโดยภาพรวมก่อน โดยการทำงานของระบบนั้น เมื่อมีสัญญาณเสียงเข้ามาสัญญาณนี้ก็จะถูก Filter ให้อยู่ในระบบความถี่ช่วง  $150 - 2,700 \text{ Hz}$  ด้วย Switch Capacitor bandpass filter ซึ่งอยู่ภายในไอซีซึ่งได้กล่าวถึงไปแล้ว

สัญญาณนี้ต่อไปจะถูกทำให้อยู่ในรูปของสัญญาณดิจิทัลโดยการผสมตัวอย่างด้วยสัญญาณ Sampling ความถี่  $5.86 \text{ KHz}$  ซึ่งสัญญาณที่เรานำเข้าทำการ Sampling นั้นจะมีค่าเป็น 2 เท่า ของสัญญาณสูงสุดของความถี่ที่เข้ามา ( $2,700 \text{ Hz}$ ) แล้วทุกวินาที 8 บิต ที่ได้จากการ Sampling จะมีเครื่องหมายกลับกัน ขณะที่ป้อนข้อมูลเข้าสู่ Digital Converter ซึ่งอยู่ภายในตัวไอซีเช่นกัน

จากหลักกวนนี้เป็นผลทำให้สเปกตรัมของสัญญาณอนาล็อกที่ได้จะกลับกันกับสัญญาณเสียงที่เป็นดิจิทัลที่ได้จากการผสมตัวอย่าง ต่อจากนั้นสัญญาณก็จะป้อนเข้าสู่ภาค band pass filter สัญญาณเสียงสุดท้ายที่ได้นั้นจะเหมือนกับสัญญาณที่เข้ามา

ในรูปที่ 2a แสดงให้เห็นการผสมตัวอย่างความถี่ Sinewave  $1 \text{ KHz}$  ซึ่งสัญญาณ Sinewave ที่ได้จากการผสมตัวอย่างที่เป็นจำนวนคู่จะกลับกับสัญญาณที่ยังไม่ทำการ Sampling ผลของสัญญาณที่ได้แสดงให้เห็นในรูป 2b ซึ่งจะทำให้สัญญาณมีความถี่ต่ำลง ในทางกลับกันถ้าเราผสมอย่างความถี่ที่ต่ำลงนี้ในตำแหน่งเดียวกันเราก็สามารถที่จะได้ความถี่เดิมกลับมาได้



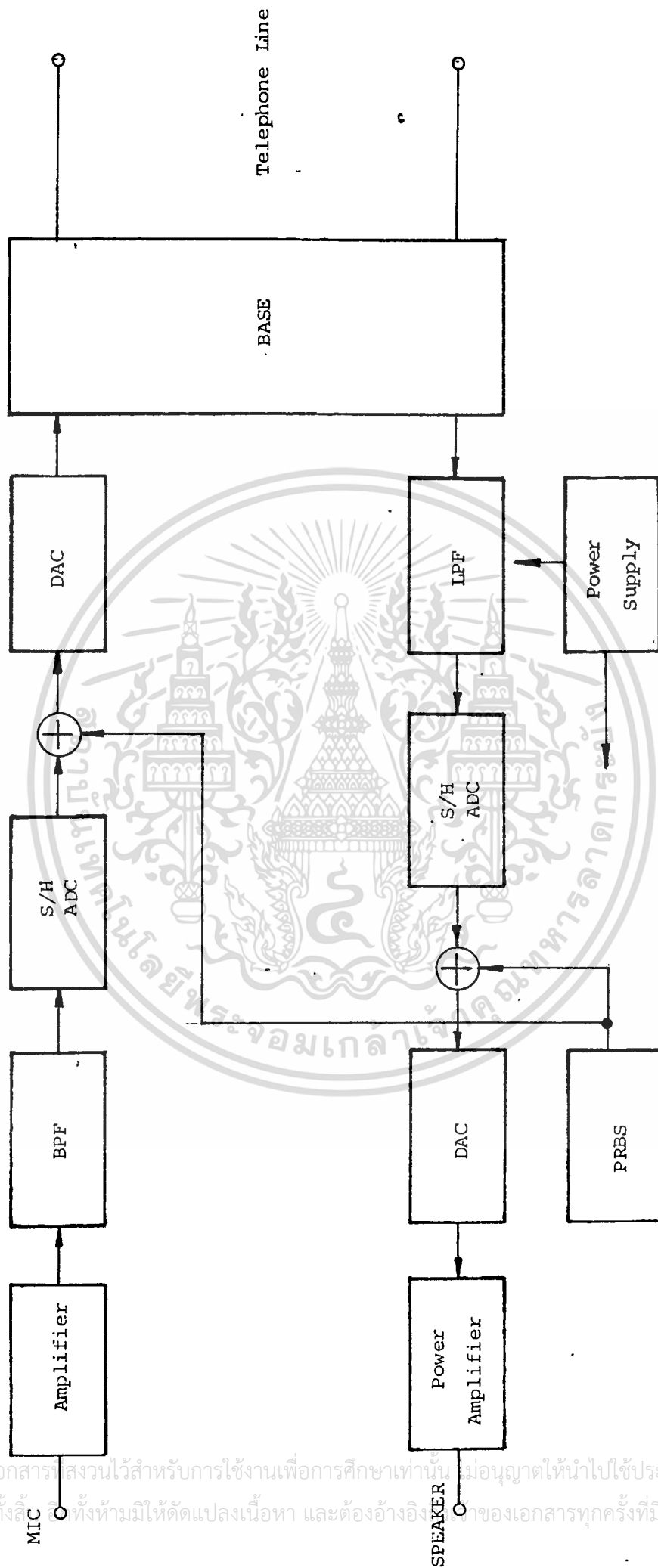
รูปที่ 2 แสดงการสุ่มตัวอย่างสัญญาณ Sinewave 1 KHz

### หลักการทำงานของระบบป้องกันการลอบดักฟังสัญญาณเสียง

หลักการทำงานแสดงดังรูปที่ 3 ซึ่งเป็นบล็อกไดอะแกรมของวงจรที่ใช้งานจริง โดยการทำงานจะเริ่มตั้งแต่สัญญาณเสียงพูดจาก Mic จะถูกป้อนผ่านภาคขยายสัญญาณ (Amplifier) เพื่อทำให้สัญญาณมีขนาดสูงขึ้น แล้วส่งไปยังภาคกรองแถบความถี่ผ่าน (BPF) ซึ่งจะกรองแถบความถี่ย่านสัญญาณเสียงพูด คือ 0-4 KHz ให้ผ่านไปได้ เพื่อส่งไปยังภาคแชนเปลลิงและโฮล (S/H) และแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลด้วย ADC สัญญาณดิจิตอลที่ได้จะนำไป EX-OR กับ PRBS (Pseudo Random Binary Sequences) ทำให้ได้สัญญาณที่เข้ารหัสแล้ว (Scrambling Signal) ส่งต่อไปยังภาคแปลงสัญญาณดิจิตอลเป็นอนาลอก (DAC) เพื่อให้สามารถส่งไปในระยะทางไกล ๆ ได้ แล้วส่งต่อไปยัง Base ซึ่งเป็นเครื่องโทรศัพท์ที่ต่ออยู่กับสายโทรศัพท์ จากที่กล่าวมาทั้งหมดเป็นส่วนหนึ่งของภาคส่ง

ส่วนของภาคส่งสัญญาณเสียงพูดที่ถูกเข้ารหัสแล้ว (Scrambling Signal) จะถูกส่งผ่านสายโทรศัพท์มายังเครื่องรับ จากสัญญาณที่รับได้จะนำมากรองความถี่เฉพาะความถี่ต่ำให้ผ่านไปได้เท่านั้นด้วยภาคกรองความถี่ต่ำผ่าน (LPF) จากนั้นส่งต่อไปยังภาคแชนเปลลิงและโฮล (S/H) เพื่อทำการสุ่มตัวอย่างและแปลงจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอลด้วย ADC สัญญาณดิจิตอลที่ได้จะส่งไป EX-OR กับ PRBS เพื่อทำการถอดรหัสสัญญาณ (Descrambling) จะได้สัญญาณดิจิตอลส่งไปยังภาคแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (DAC) ทำให้ได้สัญญาณเสียงเดิมกลับคืนมา สัญญาณเสียงที่จะได้ยังมีขนาดเล็ก เราจะส่งต่อไปยังภาคขยายสัญญาณ (Power Amplifier) เพื่อให้มีขนาดของสัญญาณสูงขึ้นส่งไปยังลำโพง (Speaker) ภาคแหล่งจ่ายไฟ (Power Supply) สำหรับใช้เป็นแหล่งจ่ายไฟให้กับภาคต่าง ๆ ของระบบป้องกันการลอบดักฟังสัญญาณเสียง

จากหลักการข้างต้น เราสามารถนำไปสร้างเป็นวงจรที่ใช้งานจริงได้ โดยระบบการทำงานทั้งหมดเราจะใช้ไอซีชนิดเดียวกันทำงานทั้งภาคส่งและภาครับคือ ไอซี CODEC/FILTER PCM เบอร์ TP 3054 ซึ่งได้กล่าวถึงรายละเอียดไปแล้วในบทที่ 6 โดยในส่วนของการเข้ารหัสจะใช้ร่วมกับ EX-OR เกท ส่วนวงจรเพิ่มเติมเพื่อใช้ประกอบกับไอซี TP 3054 ก็คือ วงจรกำเนิดสัญญาณ, วงจรหารสอง, วงจรหาร 256, และวงจร Timing generator จะได้กล่าวถึงการทำงานโดยละเอียดต่อไป

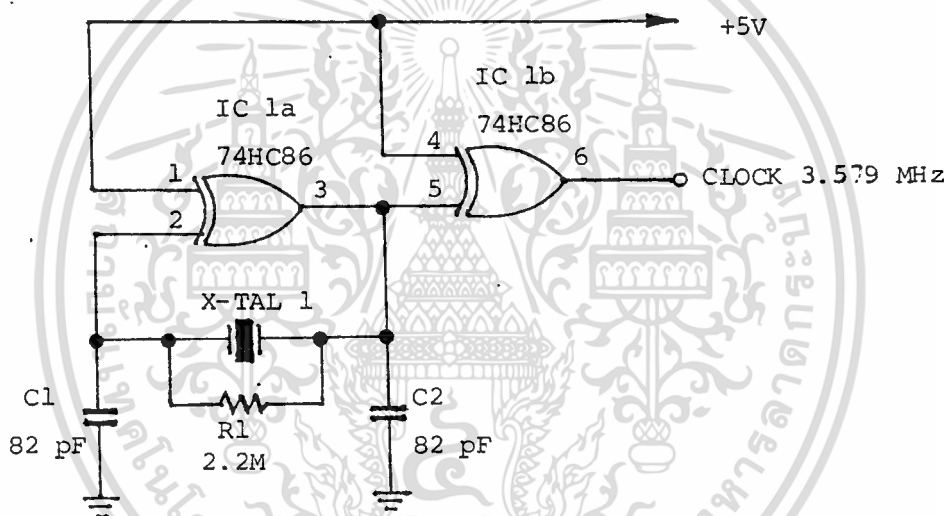


รูปที่ 3 บล็อกไดอะแกรมของระบบป้องกันการลอบดักฟังสัญญาณเสียง

## วงจรการใช้งาน

### วงจรกำเนิดสัญญาณ (Oscillator)

ในโครงงานนี้จากคุณสมบัติของไอซี TP3054 นั้น แนะนำให้ใช้งานร่วมกับไอซี HCMOS ซึ่งเป็นไอซีความเร็วสูง ดังนั้นวงจรกำเนิดสัญญาณที่ใช้จะใช้ไอซี HCMOS เบอร์ 74HC86 ซึ่งโครงสร้างภายในเป็น EX-OR เกท ใช้งานร่วมกับคริสตอล X-TAL 1 ความถี่ 3.579 MHz กับตัวเก็บประจุ C 1, C 2 มีค่า 82 พิโคฟารัด โดยต่อเป็นวงจรกำเนิดสัญญาณแบบเพียร์สออสซิลเลเตอร์ (Pierce Oscillator) แต่ใช้คริสตอลแทนในส่วนที่เป็นตัวเหนี่ยวนำ เนื่องจากเอาท์พุทอิมพีแดนซ์ของ HCMOS จะมีค่าต่ำจึงต้องใช้ R1 ต่อเชื่อม X-TAL เพื่อให้แมทช์กับ HCMOS วงจรที่ใช้งานแสดงในรูปที่ 4

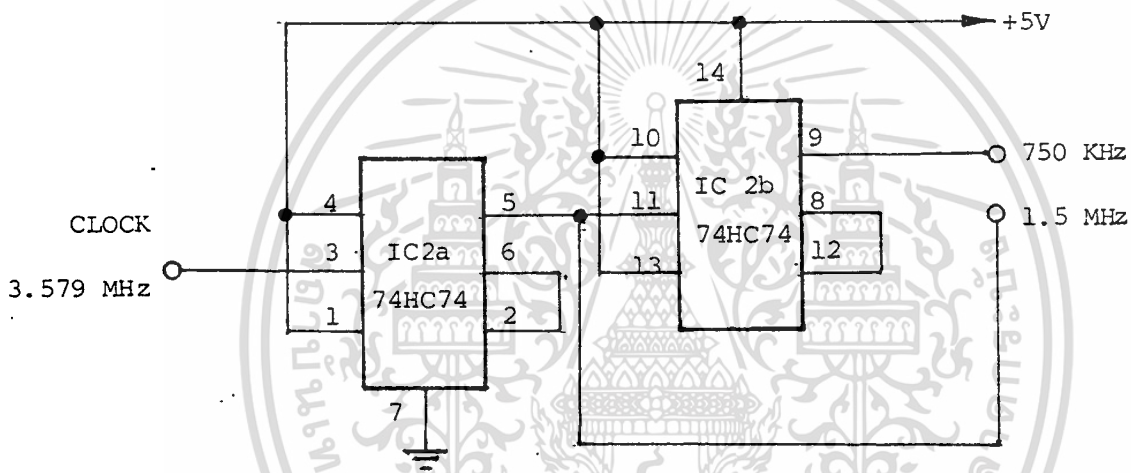


รูปที่ 4 วงจรกำเนิดสัญญาณ

วงจรกำเนิดสัญญาณจะผลิตความถี่เป็นสัญญาณนาฬิกาประมาณ 3 เมกกะเฮิร์ตซ์ เพื่อส่งต่อไปยังวงจรหารเพื่อทำความถี่ให้เหลือประมาณ 1.5 เมกกะเฮิร์ตซ์ เพื่อใช้เป็นมาสเตอร์คล็อก (Master Clock) และแซมปลิงพัลส์ (Sampling Pulse)

## วงจรหารสอง

จากวงจรกำเนิดสัญญาณที่ได้จะนำความถี่ที่ได้มาทำการหารให้เหลือประมาณ 1.5 เมกกะเฮิร์ตซ์ เพื่อใช้เป็น มาสเตอร์คล็อกให้กับไอซี TP.3054 และสัญญาณนาฬิกา 750 กิโลเฮิร์ตซ์ เพื่อเป็นความถี่ให้เลือกอีกความถี่หนึ่ง ในการสแกนเบิ้ล ในโครงงานนี้เราใช้ไอซี HCMOS เบอร์ 74HC74 ซึ่งเป็น D Flip Flop ที่มีขาเซตและรีเซต โดยประกอบอยู่ภายใน 2 ตัว มาต่อกันเป็นวงจรหารสอง ดังแสดงในรูปที่ 5 IC2a ต่อเป็นวงจรหารสองให้เหลือความถี่ประมาณ 1.5 เมกกะเฮิร์ตซ์ เพื่อเป็นมาสเตอร์คล็อก IC2b ต่อเป็นวงจรหารสองเช่นกันหารความถี่ 1.5 เมกกะเฮิร์ตซ์ให้เหลือ 750 กิโลเฮิร์ตซ์ เพื่อเป็นความถี่ให้เลือกในการสแกนเบิ้ลอีกความถี่หนึ่ง

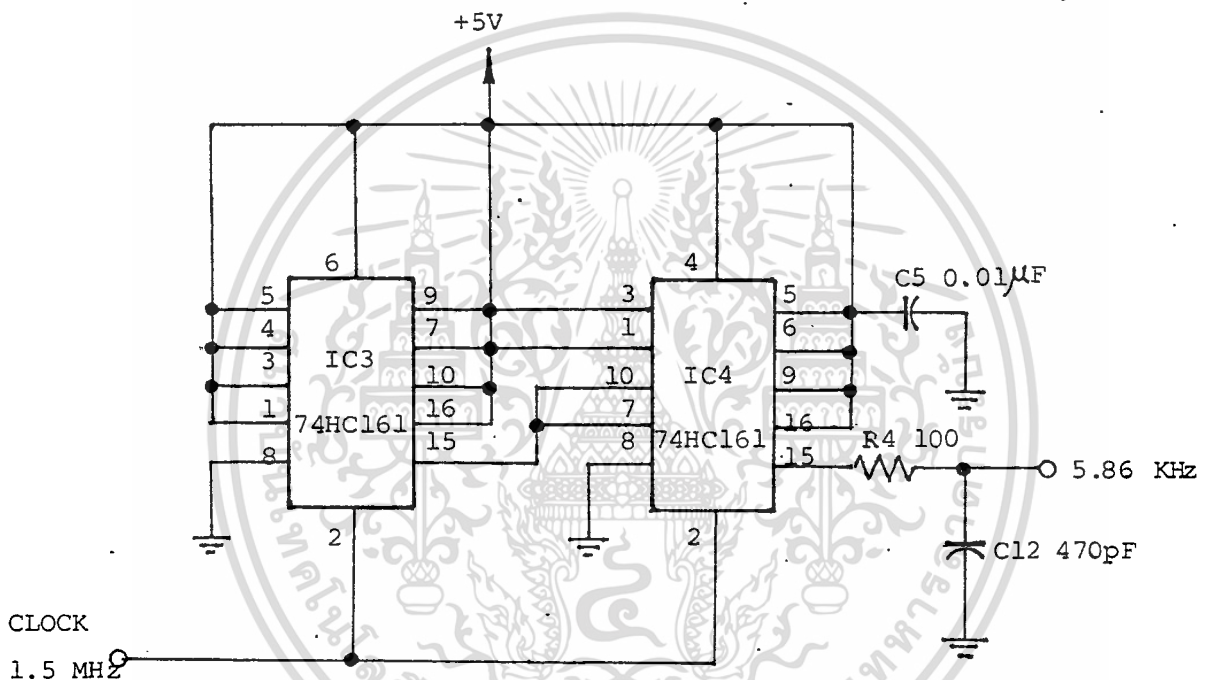


รูปที่ 5 วงจรหารสอง

สัญญาณนาฬิกา 1.5 เมกกะเฮิร์ตซ์ที่ได้จากวงจรหารสองจะส่งต่อไปยังวงจรหาร 256 (Divide 256 Counter) เพื่อสร้างสัญญาณแฮมปลิงต่อไป

## วงจรหาร 256 (Divide 256 Counter)

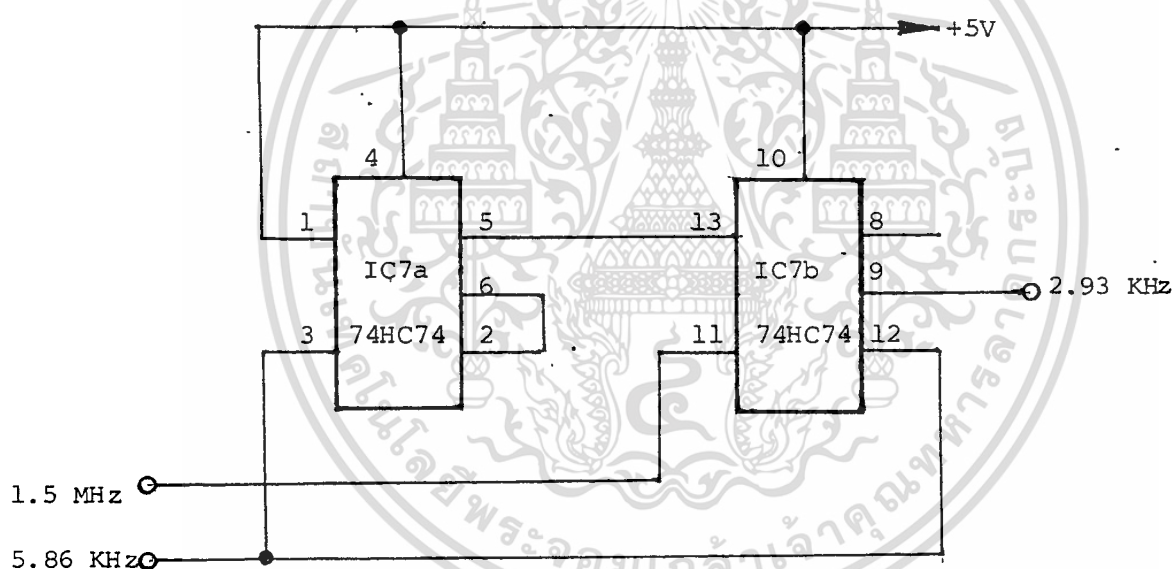
สัญญาณนาฬิกา 1.5 เมกกะเฮิร์ตซ์ที่ได้จากวงจรหารสองจะนำมาเข้าวงจรหาร 256 เพื่อให้ได้ความถี่ 5.86 กิโลเฮิร์ตซ์ เพื่อใช้เป็นสัญญาณแคมป์ลิงให้กับไอซี TP 3054 ซึ่งในที่นี้แนะนำให้ใช้ความถี่ 5.86 กิโลเฮิร์ตซ์ ดังรายละเอียดที่ได้กล่าวมาแล้วข้างต้น ในโครงงานนี้ใช้ไอซี HCMOS เบอร์ 74HC 161 ซึ่งเป็น Presettable Counters (ข้อมูลดูในภาคผนวก) มาต่อเป็นวงจรหาร 256 โดยใช้ IC3 และ IC4 ต่อเป็นวงจรหาร 16 สองภาคต่อเรียงกับแบบ Cascade จะได้วงจรหาร 256 เพื่อใช้เป็น Sampling Pulse สำหรับไอซี TP 3054 และส่งต่อไปยังภาค Timing Generator ต่อไปเพื่อสร้าง Data invert pulse ความถี่ 2.93 กิโลเฮิร์ตซ์ ดังแสดง ในรูปที่ 6.



รูปที่ 6 วงจรหาร 256

## วงจร Timing generator

สัญญาณแคมป์ลิง 5.86 กิโลเฮิร์ตซ์ ส่วนหนึ่งจะส่งมายังวงจร Timing Generator เพื่อสร้างเป็น ขบวนการสัญญาณ ให้เหลือความถี่ 2.93 กิโลเฮิร์ตซ์ ในโครงงานใช้ไอซี HCMOS เบอร์ 74HC74 ซึ่งภายในมี D-F/F 2 ตัว ต่อเป็นวงจร Timing Generator โดย IC7a เป็นวงจรหารสองให้เหลือความถี่ 2.93 กิโลเฮิร์ตซ์ ส่งต่อไปยังขา CLR ของ IC7b เพื่อสร้างเป็นวงจร Timing Generator เพื่อได้พัลส์ 2.93 กิโลเฮิร์ตซ์ นำไปใช้เป็นพัลส์สำหรับ การกลับข้อมูลต่อไปดังแสดงในรูปที่ 7



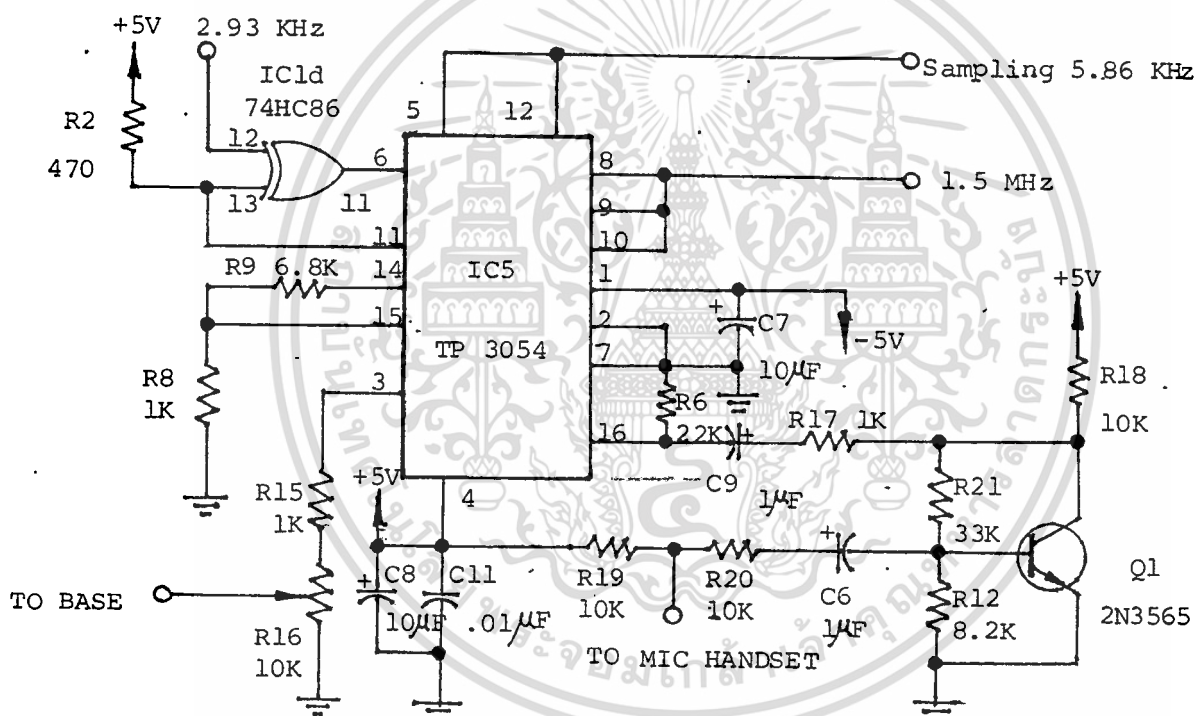
รูปที่ 7 วงจร Timing Generator

รูปขบวนการสัญญาณ 2.93 กิโลเฮิร์ตซ์ที่ได้จากวงจร Timing Generator จะส่งไปยังภาค Voice Scrambler/Descrambler เพื่อใช้ในการเข้ารหัส และถอดรหัสข้อมูลต่อไปซึ่งจะกล่าวถึงในภายหลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## วงจรเข้ารหัสสัญญาณเสียง (Voice Scrambler)

วงจรเข้ารหัสสัญญาณเสียงซึ่งเป็นหัวใจของโครงงานนี้เราจะใช้ไอซี เบอร์ TP 3054 ซึ่งเป็นไอซี CODEC/FILTER PCM ซึ่งรายละเอียดของไอซีเบอร์นี้ได้กล่าวมาแล้วข้างต้น ในรูปที่ 8 แสดงรายละเอียดของวงจรเข้ารหัสสัญญาณเสียงซึ่งในที่นี้อยู่ในย่านสัญญาณเสียงพูด คือความถี่ 300 - 3,400 Hz จากโครงสร้างภายในซึ่งประกอบด้วย CODEC, FILTER, PCM และ OP-AMP เราจะนำมาใช้เป็นวงจรสำหรับการเข้ารหัสสัญญาณเสียง โดยไอซี IC5 จะทำหน้าที่นี้จะใช้ความถี่ 1.5 เมกกะเฮิร์ตซ์ ป้อนเข้าที่ขา 8, 9, 10 ของ IC5 เพื่อเป็นมาสเตอร์ค็อกซ์ขา 8, 9, 10 คือขา MCLK<sub>R</sub>/PDN, MCLK<sub>x</sub> และ BCLK<sub>x</sub> ตามลำดับ ในที่นี้ออกแบบให้ใช้ความถี่ 1.536/1.544 MHz เป็นมาสเตอร์ค็อกซ์ ดังรายละเอียดและหน้าที่ของไอซีที่ได้กล่าวไปแล้วในบทที่ 6



รูปที่ 8 วงจรเข้ารหัสสัญญาณเสียง (Voice Scrambler)

รูปขบวนสัญญาณความถี่ 5.86 KHz ซึ่งได้จากวงจรหาร 256 Counter จะป้อนเข้าขา 5 และ 12 ของ IC5 เพื่อใช้เป็น Sampling pulse สัญญาณเสียงที่เข้ามาเพื่อให้เป็นสัญญาณดิจิตอลโดย A/D ภายในไอซี แล้วส่งออกที่ขา 11 ซึ่งเป็นเอาต์พุตของวงจรภาครับในไอซี จากขานี้จะป้อนเข้าสู่ขา 9 ของ IC1d ซึ่งเป็นอินพุตหนึ่งของ EX-OR เกท อีกขาหนึ่งคือ ขา 10 จะต่ออยู่กับพัลส์ 2.93 KHz หากขา 9 มีสภาวะลอจิกสูง EX-OR ก็จะทำให้หน้าที่เป็นบัฟเฟอร์ คือให้สัญญาณผ่านไ้โดยตรง แต่หากขา 9 มีสภาวะลอจิกต่ำ ก็จะทำให้เกิดการกลับกันของขบวนสัญญาณข้อมูลตามหลักการที่กล่าวมาแล้วข้างต้น จึงทำให้ EX-OR ทำหน้าที่เป็นตัวกลับสัญญาณนั่นเอง เอาต์พุตของสัญญาณจะออกที่ขา 8 ของ IC1d ทำให้เกิดการสลับกันทุก ๆ สัญญาณ Sampling แล้วส่งกลับเข้าขา 6 ของ IC5 ซึ่งเป็นขาอินพุตของวงจรภาครับในไอซี CODEC ผ่านเข้าสู่วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณเสียง

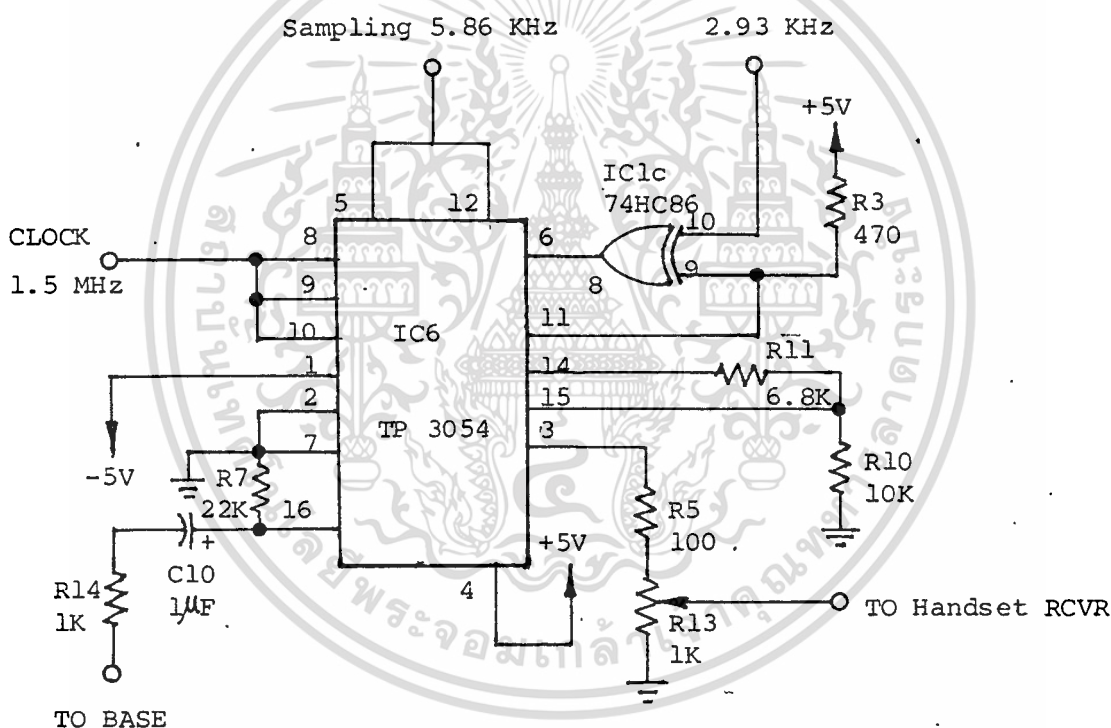
ญาณอนาล็อกและวงจร Low-pass Filter แบบสวิตช์คาปาซิเตอร์ผ่านวงจรขยายออกที่ขา 3 ซึ่งเป็นขาเอาต์พุตของ IC5 จะได้สัญญาณเสียงที่ผ่านการเข้ารหัสแล้ว ความต้านทาน R8, R9 เป็นความต้านทานของวงจรขยายด้วยออปแอมป์ภาคส่งของ IC5 ซึ่งใช้กำหนดเกณฑ์การขยายของออปแอมป์ในที่นี่คือแบบอินเวอร์ต ความต้านทาน R16 ทำหน้าที่ปรับระดับความแรงของสัญญาณที่จะส่งออกไป

ทรานซิสเตอร์ Q1 ในที่นี่ใช้เบอร์ 2N3565 ต่อร่วมกับความต้านทาน R12, R19, R20, R21 และ C6 ทำงานเป็นวงจรขยายสัญญาณเสียงที่รับเข้ามาเพื่อส่งต่อไปยังอินพุตของ IC5 ขา 16 โดยผ่าน R17 และ C9 โดยออกแบบให้มีเกณฑ์การขยายประมาณ 10 dB เพื่อให้สามารถขับ IC5 ได้ดี



## วงจรถอดรหัสสัญญาณเสียง (Voice Descrambler)

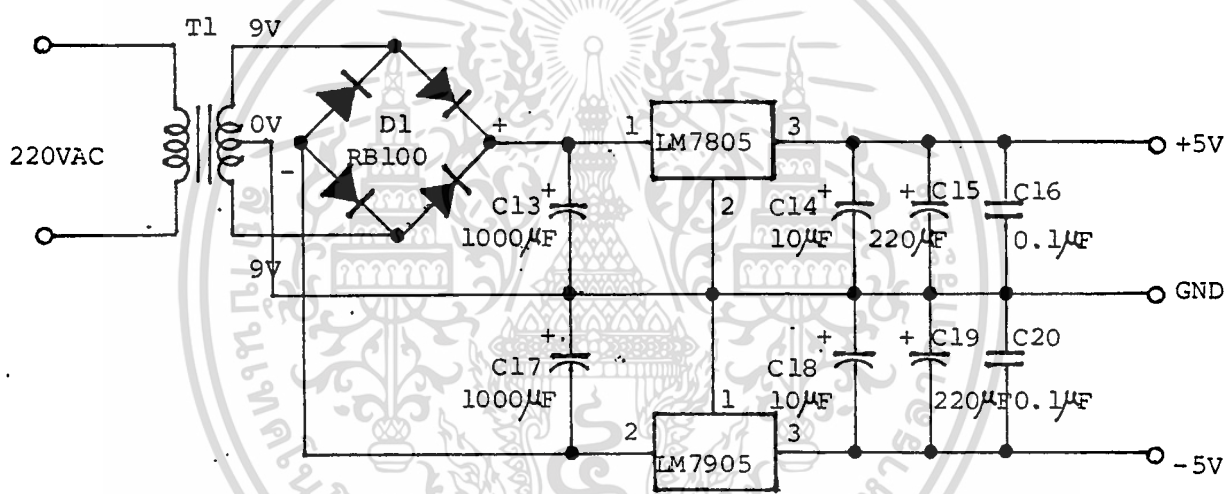
วงจรถอดรหัสสัญญาณเสียงแสดงในรูปที่ 9 ในโครงงานนี้ออกแบบให้ใช้การสื่อสารเป็นแบบ Full Duplex คือสามารถส่งสัญญาณสวนทางกันได้ ดังนั้นในการออกแบบจึงใช้ไอซีเบอร์เดียวกันกับวงจรเข้ารหัสสัญญาณเสียง ทำหน้าที่เป็นวงจรถอดรหัสสัญญาณเสียง คือ ไอซีเบอร์ TP 3054 ซึ่งเป็นไอซี CODEC การทำงานของวงจรถอดรหัสสัญญาณในรูปที่ 9 การออกแบบจะเป็นเช่นเดียวกับการออกแบบของวงจรเข้ารหัสสัญญาณ คือ ขา 5, 12 ของ IC6 จะต่อกับสัญญาณ Sampling 5.86 กิโลเฮิร์ตซ์ ส่วนขา 8, 9, 10 จะต่อกับมาสเตอร์คล็อก 1.5 เมกะเฮิร์ตซ์ ขา 6 ต่อกับขา 11 ของ IC1c ซึ่งขา 12 ต่อกับสัญญาณนาฬิกา 2.93 กิโลเฮิร์ตซ์ และขา 13 ต่อกับขา 11 ของ IC6 และไฟ +5V ซึ่งจะทำให้สัญญาณที่รับเข้ามาที่ขา 16 ของ IC6 ที่ถูกเข้ารหัสกลับเป็นสัญญาณเสียงเดิมไปออกที่เอาต์พุตของ IC6 คือ ขา 3 ความต้านทาน R13 จะทำหน้าที่ปรับระดับของสัญญาณเสียงที่รับเข้ามา



รูปที่ 9 วงจรถอดรหัสสัญญาณเสียง (Voice Descrambler)

## วงจรแหล่งจ่ายไฟ (Power Supply)

ในโครงงานนี้เนื่องจากอุปกรณ์ที่ใช้เป็นไอซี HCMOS และ CODEC/FILTER PCM ซึ่งใช้แหล่งจ่ายไฟ + 5v และ  $\pm 5v$  ตามลำดับ ดังนั้นในการออกแบบจึงใช้วงจรแหล่งจ่ายไฟซึ่งแสดงในรูปที่ 10 ซึ่งใช้วงจรเรกติไฟเออร์แบบบริดจ์ (Bridge Rectifier) ร่วมกับไอซีโกลูเลเตอร์ ซึ่งจะทำหน้าที่ปรับแรงไฟให้อยู่ในระดับคงที่ 5v ในที่นี้ใช้ไอซีเบอร์ LM 7805 สำหรับสร้างแหล่งจ่ายไฟบวกและ LM 7905 สำหรับแหล่งจ่ายไฟลบ โดย C13-C20 เป็นตัวเก็บประจุสำหรับทำให้แรงไฟที่ได้ราบเรียบปราศจากการรบกวน



รูปที่ 10 วงจรแหล่งจ่ายไฟ

จากวงจรที่กล่าวมาทั้งหมดเราสามารถนำมาเชื่อมต่อกันเพื่อให้สามารถใช้งานได้จริงในโครงงานนี้ แสดงได้ในรูปที่ 11 ซึ่งเป็นวงจรของระบบป้องกันการดักฟังสัญญาณเสียงที่สมบูรณ์แล้ว



## การสร้างและการทดสอบ

จากข้อควรระวังในเรื่องของการออกแบบลายวงจรสำหรับไอซี CODED/FILTER PCM เบอร์ TP 3054 นั้นให้ระวังในเรื่องลายวงจรที่จะออกแบบ เพราะจะเป็นสาเหตุหนึ่งที่ทำให้เกิดการรบกวนของสัญญาณขึ้นได้ดังนั้นในการออกแบบลายวงจร ควรจะกลับไปดูข้อควรระวังในการออกแบบว่าควรจะปฏิบัติอย่างไรบ้างเพื่อให้วงจรสามารถใช้งานได้อย่างมีประสิทธิภาพ การออกแบบการวางตำแหน่งของอุปกรณ์ก็จะเป็นตัวกำหนดว่าลายวงจรจะออกมาในรูปแบบใด ดังนั้นควรจะคำนึงถึงส่วนนี้ด้วย

สำหรับการทดสอบวงจรว่าสามารถทำงานได้หรือไม่ทั้งก่อนอื่นเราต้องตรวจสอบเสียก่อนว่าสัญญาณเหล่านี้มีหรือไม่ โดยตรวจสอบที่ตำแหน่งขาแต่ละขาของไอซีเบอร์ TP 3054 ซึ่งถือว่าเป็นหัวใจของระบบ

ขั้นแรกให้ตรวจสอบว่ามีแรงไฟเลี้ยงที่ขา 1 และ 4 ของ IC5 และ IC6 หรือไม่จากนั้นให้ตรวจสอบว่ามีสัญญาณ 1.5 เมกกะเฮิร์ตซ์ที่ขา 8,9,10 ของไอซีทั้งสองหรือไม่ ถ้าหากไม่มีก็ให้ตรวจสอบวงจรกำเนิดสัญญาณ และส่วนที่เกี่ยวข้องต่อไปตรวจสอบที่ ขา 5 และขา 12 ของไอซีทั้งสองมีสัญญาณความถี่ 5.86 กิโลเฮิร์ตซ์หรือไม่ ตรวจสอบที่ขา 10 และ 12 ของ IC1d และ 1c ตามลำดับว่ามีสัญญาณรูปคลื่น 2.93 กิโลเฮิร์ตซ์หรือไม่ ซึ่งสัญญาณนี้อาจจะสังเกตได้ลำบากเล็กน้อย เนื่องจากความกว้างของพัลส์น้อย คือประมาณ 250 ns ต้องใช้ออสilloscope ที่มีคุณภาพ ดีพอสมควร

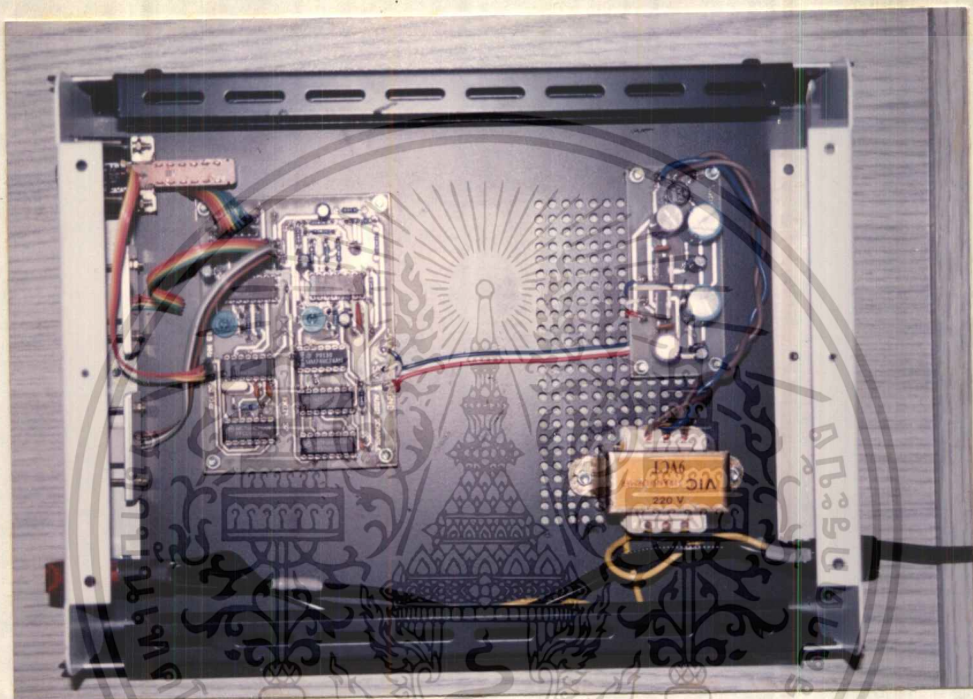
เมื่อตรวจสอบจุดทั้งหมดที่กล่าวมาแล้วว่ามีครบทุกตำแหน่ง ให้ทำการป้อนสัญญาณรูปคลื่นไซน์ ความถี่ประมาณ 1 กิโลเฮิร์ตซ์ ความแรงของสัญญาณประมาณ 0.5 Vpp เข้าที่ตำแหน่งจุดต่อระหว่าง C9 และ R17 แล้วตรวจสอบที่ขา 3 ของ IC5 ต้องมีสัญญาณรูปคลื่นไซน์ กำเนิดขึ้นความถี่ประมาณ 2 กิโลเฮิร์ตซ์ วิธีนี้เป็นการตรวจสอบวงจร Voice Scrambler

ส่วนการตรวจสอบวงจร Voice Descrambler สามารถตรวจสอบได้โดยนำความดันทานประมาณ 100 กิโลโห์มมาต่อระหว่างขา 3 ของ IC5 กับจุดเชื่อมต่อ C10 กับ R14 แล้วป้อนสัญญาณเช่นเดียวกับการตรวจสอบวงจร Voice Scrambler ต่อจากนั้นให้ตรวจสอบที่ ขา 3 ของ IC 6 ว่ามีสัญญาณรูปคลื่นไซน์ความถี่ 1 กิโลเฮิร์ตซ์หรือไม่ ซึ่งต้องมีลักษณะเช่นเดียวกับรูปคลื่นที่ป้อนจากแหล่งกำเนิดสัญญาณทุกประการ ซึ่งถือว่าการทำงานของวงจรถูกต้องและมีประสิทธิภาพ

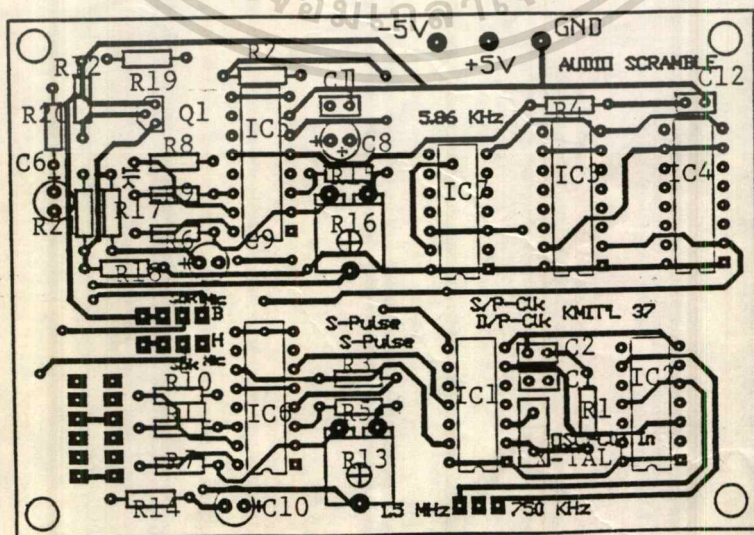
ระบบป้องกันการลอบดักฟังสัญญาณเสียงนั้นนั้นออกแบบให้ใช้งานกับโทรศัพท์ซึ่งไอซีที่ใช้สามารถขับโหลด 600 โห์มได้โดยตรง (อิมพีแดนซ์ของสายโทรศัพท์) ถ้าไม่ใช้กับโทรศัพท์ คือใช้สัญญาณเสียงจากไมโครโฟนหรือแหล่งสัญญาณอื่น ๆ เราก็สามารถใช้อินพุตและเอาต์พุต ต่อโดยตรงกับ CODEC ได้ (ต่อเอาต์พุตของ CODEC เข้ากับลำโพง) สังเกตว่าเมื่อใช้ไมโครโฟนหรือแหล่งกำเนิดสัญญาณอื่น ๆ เช่น เทป หากสัญญาณนั้นมีความแรงของสัญญาณน้อยเกินไปจะต้องนำการขยายสัญญาณก่อนที่จะส่งเข้า CODEC ต่อไป

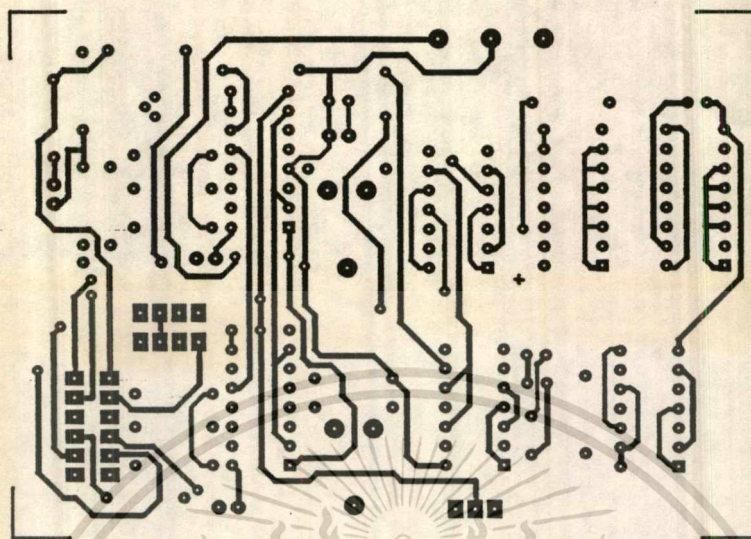
## ส่วนประกอบต่าง ๆ และการนำไปใช้งาน

ส่วนประกอบภายในประกอบด้วยแผ่นวงจรที่สำคัญ ๆ 2 แผ่นคือ แผ่นวงจรหลัก ซึ่งทำหน้าที่สแกนมบิลิ่งและตีสแกนมบิลิ่งสัญญาณเสียง ส่วนอีกแผ่นจะทำหน้าที่เป็นแหล่งจ่ายไฟเพื่อเลี้ยงวงจรหลัก ซึ่งใช้ร่วมกับตัวแปลงดังแสดงในรูปที่ 12 ส่วนลายวงจรของแผ่นวงจรหลักและแผ่นวงจรแหล่งจ่ายไฟ แสดงดังรูปที่ 13, 14 และ 15

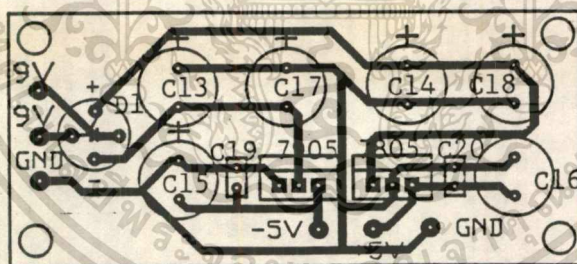


รูปที่ 12 ส่วนประกอบภายในของเครื่องป้องกันการลอบดักฟังสัญญาณเสียง





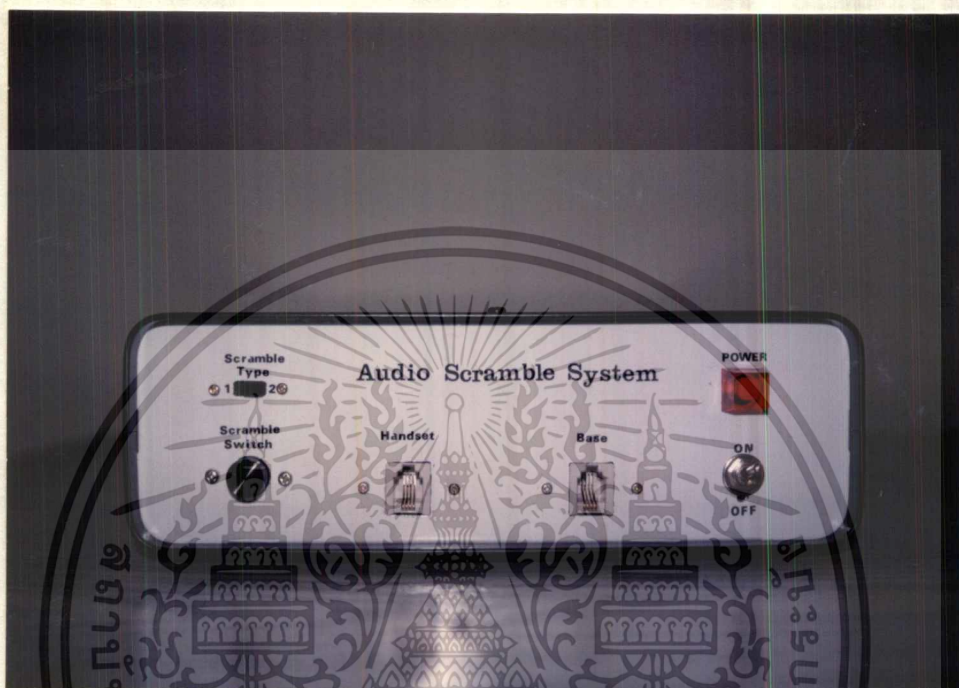
รูปที่ 14 ลายวงจรด้านล่างของแผ่นวงจรหลัก



รูปที่ 15 ลายวงจรของแผ่นวงจรแหล่งจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประกอบภายนอกของเครื่องป้องกันการลอบดักฟังสัญญาณเสียง แสดงดังรูปที่ 16 หน้าที่ของส่วนประกอบต่าง ๆ มีดังนี้คือ

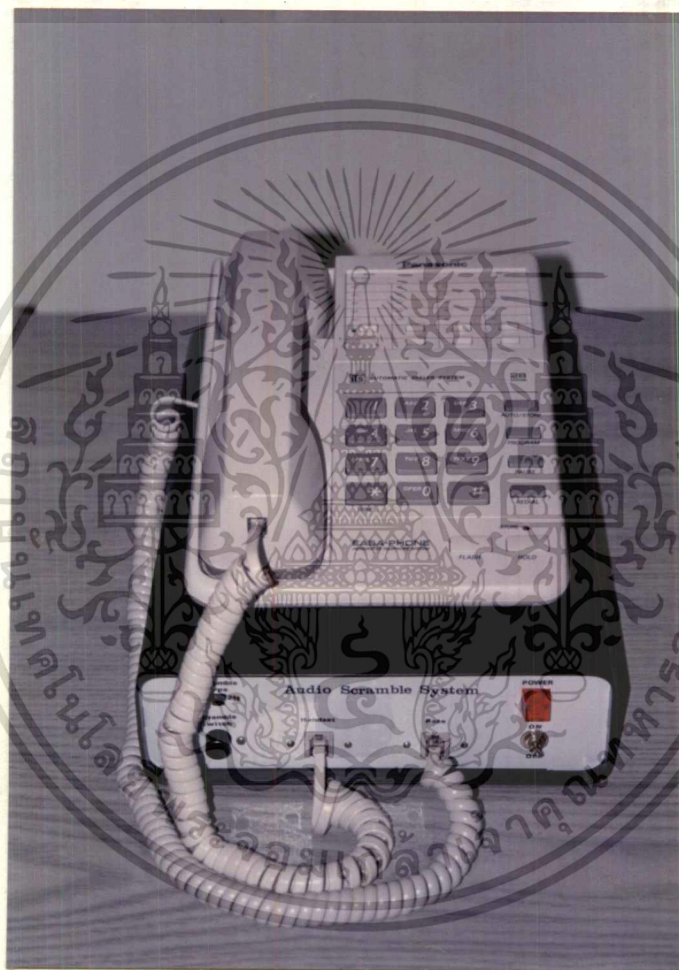


รูปที่ 16 ส่วนประกอบภายนอกของเครื่องป้องกันการลอบดักฟังสัญญาณเสียง

- |                                             |                                                                                                                                                           |
|---------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|
| <input type="checkbox"/> สวิท ON/OFF        | ใช้สำหรับปิด/เปิดแหล่งจ่ายไฟเลี้ยงเครื่อง                                                                                                                 |
| <input type="checkbox"/> หลอดไฟ POWER       | ใช้แสดงให้เห็นว่าเครื่องพร้อมที่จะใช้งานเมื่อหลอดไฟสว่าง                                                                                                  |
| <input type="checkbox"/> Base socket        | เป็น Modular Jack ที่ใช้สำหรับเสียบสายโทรศัพท์ซึ่งปลายอีกด้านหนึ่งต่ออยู่กับตัวเครื่องโทรศัพท์                                                            |
| <input type="checkbox"/> Handset Socket     | เป็น Modular Jack ที่ใช้สำหรับเสียบสายโทรศัพท์ซึ่งปลายอีกด้านหนึ่งต่ออยู่กับปากพูดและหูฟัง (Handset) ของเครื่องโทรศัพท์                                   |
| <input type="checkbox"/> Scramble Switch    | เป็นปุ่มที่ใช้สำหรับการใช้งานในสภาวะป้องกันการลอบดักฟังสัญญาณเสียงเมื่อปุ่มอยู่ในสภาวะกดลง                                                                |
| <input type="checkbox"/> สวิท Scramble type | เป็นสวิทที่ใช้สำหรับเลือกความถี่ในการสแกรมบลิ่ง มี 2 ตำแหน่งคือ 1 และ 2 กรณีที่อยู่ตำแหน่ง 1 ความถี่ประมาณ 750 KHz ส่วนตำแหน่งที่ 2 ความถี่ประมาณ 1.5 MHz |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การนำไปใช้งานเครื่องป้องกันการลอบดักฟังสัญญาณเสียงต้องใช้ร่วมกับเครื่องโทรศัพท์ซึ่งปากพูดและหูฟัง (Handset) ต้องแยกออกจากเครื่องโทรศัพท์โดยการต่อใช้งาน แสดงดังรูปที่ 17 ซึ่ง Handset ต่อเข้ากับ Handset socket และ Base socket ต่ออยู่กับเครื่องโทรศัพท์

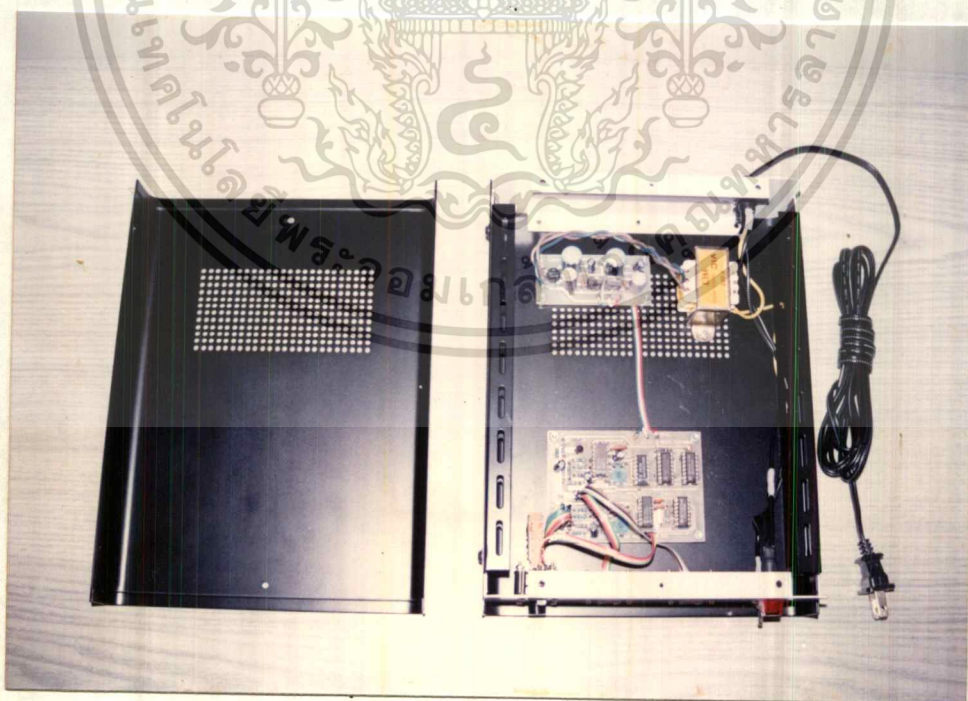


รูปที่ 17 การต่อเครื่องป้องกันการลอบดักฟังสัญญาณเสียงเข้ากับเครื่องโทรศัพท์

ในการใช้งานจะต้องใช้เครื่องป้องกันการลอบดักฟังสัญญาณเสียง 2 เครื่อง คือต้องมีทั้งผู้สนทนาและคู่สนทนา เพื่อให้การทำงานเป็นไปได้อย่างดี การเชื่อมโยงสามารถจำลองได้โดยรูปที่ 18 ซึ่งเครื่องทั้งสองต่อไปยังชุมสาย ในที่นี้คือดัลลัสขาวในรูปที่ 18 การใช้งานก็ทำการกดเลขหมายปลายทางเมื่อทางปลายรับสาย ถ้าต้องการจะสนทนาแบบป้องกันการดักฟังก็ให้กดปุ่ม Scramble switch และเลือก Scramble type ให้ตรงกัน เมื่อสนทนาจบให้วางสายแล้วกด Scramble switch คืนตำแหน่งเดิม โครงการที่เสร็จสมบูรณ์แล้วแสดงดังรูปที่ 19 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 18 การเชื่อมต่อเครื่องป้องกันการลอบดักฟังสัญญาณเสียงเข้าด้วยกัน



รูปที่ 19 โครงการที่เสร็จสมบูรณ์แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทสรุปและผลการทดลอง

ระบบป้องกันการลอบดักฟังสัญญาณเสียงที่จัดทำขึ้นนี้ เป็นระบบที่สามารถใช้งานได้ดีพอสมควร ถึงแม้ว่าจะมีปัญหาบ้างเกี่ยวกับสัญญาณรบกวนต่าง ๆ ที่เกิดขึ้นและรูปแบบของการเข้ารหัสสัญญาณเสียงที่มีให้เลือกไม่มากนัก ซึ่งปัญหาเกี่ยวกับการรบกวนก็ได้พยายามแก้ไขจนสามารถลดการรบกวนให้น้อยลงได้ การรบกวนที่เกิดขึ้นก็เนื่องมาจากใช้แหล่งจ่ายไฟที่ไม่ดีพอและการออกแบบลายวงจรที่ไม่เหมาะสม จึงได้ทำการแก้ไขจุดบกพร่องนี้โดยออกแบบแหล่งจ่ายให้ดีขึ้น และออกแบบลายวงจรใหม่จนได้ลายวงจรและตำแหน่งอุปกรณ์ที่เหมาะสม ส่วนปัญหาเกี่ยวกับระบบของการเข้ารหัสสัญญาณเสียงที่มีให้เลือกน้อย ก็ได้พยายามแก้ไขในจุดนี้อยู่ แต่ยังหารูปแบบที่เหมาะสมยังไม่ได้ในเวลานี้ หากผู้ที่สนใจจะนำไปใช้งานให้มีประสิทธิภาพยิ่งขึ้นแล้วควรจะปรับปรุงในส่วนนี้ อีกปัญหาที่เกิดขึ้นคือ เกี่ยวกับการเชื่อมต่อกับโทรศัพท์ซึ่งใช้ในโครงงานนี้ โทรศัพท์แต่ละเครื่องมีโครงสร้างที่แตกต่างกัน ดังนั้น เราจึงไม่สามารถใช้งานกับโทรศัพท์ทุกเครื่องที่มีอยู่ในท้องตลาด ระบบที่จัดทำขึ้นนี้จะใช้ได้กับโทรศัพท์ที่ปากพูดและหูฟังสามารถแยกออกจากตัวเครื่องได้เท่านั้น ไม่สามารถนำไปใช้กับโทรศัพท์ที่ปากพูดและหูฟังรวมอยู่กับตัวเครื่องได้

อย่างไรก็ตาม ระบบป้องกันการลอบดักฟังสัญญาณเสียงแบบดิจิทัลที่จัดทำขึ้นนี้ก็เป็นอย่างอื่นรูปแบบหนึ่งที่เราควรศึกษาและพัฒนาเพื่อใช้ในระบบการสื่อสารในบ้านเรา ซึ่งต้องการความเป็นส่วนตัวของข่าวสารข้อมูลอย่างมาก



## เอกสารอ้างอิง

- Donald L Schilling & Charles Bebeve : Electronic Circuits Discrete and Intergrated, Third Edition, Mcgraw-Hill. .
- Leon W. Couch II : Digital and Analog Communication, Second Edition, Macmillan Publishing Company, London.
- Motorola : High-Speed CMOS Logic Data.
- National Semiconductor : Telecommunication Data Book.
- Wai-kai Chen : Passive and Active Filters, John Wiley & Sons, Singapore.
- ถวิล กิ่งทอง : เทคโนโลยีการส่งสัญญาณดิจิทัล, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพมหานคร, 2534



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## TP3052, TP3053, TP3054, TP3057 "Enhanced" Serial Interface CODEC/Filter COMBO® Family

### General Description

The TP3052, TP3053, TP3054, TP3057 family consists of  $\mu$ -law and A-law monolithic PCM CODEC/filters utilizing the A/D and D/A conversion architecture shown in Figure 1, and a serial PCM interface. The devices are fabricated using National's advanced double-poly CMOS process (micro-CMOS).

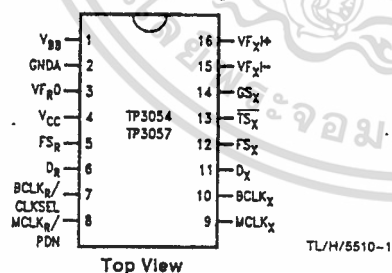
The encode portion of each device consists of an input gain adjust amplifier, an active RC pre-filter which eliminates very high frequency noise prior to entering a switched-capacitor band-pass filter that rejects signals below 200 Hz and above 3400 Hz. Also included are auto-zero circuitry and a companding coder which samples the filtered signal and encodes it in the companded  $\mu$ -law or A-law PCM format. The decode portion of each device consists of an expanding decoder, which reconstructs the analog signal from the companded  $\mu$ -law or A-law code, a low-pass filter which corrects for the  $\sin x/x$  response of the decoder output and rejects signals above 3400 Hz followed by a single-ended power amplifier capable of driving low impedance loads. The devices require two 1.536 MHz, 1.544 MHz or 2.048 MHz transmit and receive master clocks, which may be asynchronous; transmit and receive bit clocks, which may vary from 64 kHz to 2.048 MHz; and transmit and receive frame sync pulses. The timing of the frame sync pulses and PCM data is compatible with both industry standard formats.

### Features

- Complete CODEC and filtering system (COMBO) including:
  - Transmit high-pass and low-pass filtering
  - Receive low-pass filter with  $\sin x/x$  correction
  - Active RC noise filters
  - $\mu$ -law or A-law compatible Coder and DECoder
  - Internal precision voltage reference
  - Serial I/O interface
  - Internal auto-zero circuitry
- $\mu$ -law with signaling, TP3020 or TP5116A timing—TP3052
- $\mu$ -law with signaling, TP5116A family timing—TP3053
- $\mu$ -law without signaling, 16-pin—TP3054
- A-law, 16-pin—TP3057
- Designed for D3/D4 and CCITT applications
- $\pm 5V$  operation
- Low operating power—typically 60 mW
- Power-down standby mode—typically 3 mW
- Automatic power-down
- TTL or CMOS compatible digital interfaces
- Maximizes line interface card circuit density
- Dual-In-Line or surface mount packages
- See also AN-370, "Techniques for Designing with CODEC/Filter COMBO Circuits"

### Connection Diagrams

Dual-In-Line Package

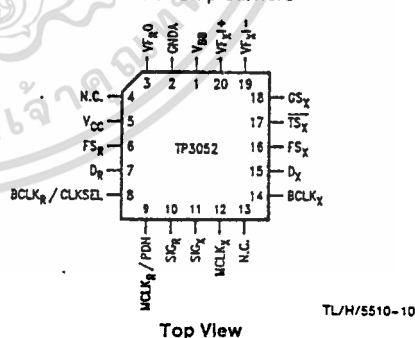


Order Number TP3054J or TP3057J  
See NS Package Number J16A

Order Number TP3054N or TP3057N  
See NS Package Number N16A

Order Number TP3054WM or TP3057WM  
See NS Package Number M16B

Plastic Chip Carriers



Order Number TP3052V\*  
See NS Package Number V20A

## Block Diagram

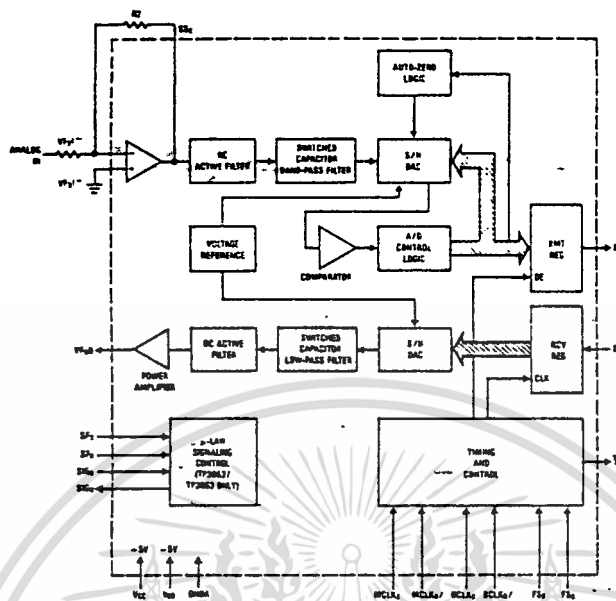


FIGURE 1

TL/H/5510-2

## Pin Description

| Symbol                    | Function                                                                                                                                                                                                                                                                                                                                            | Symbol             | Function                                                                                                                                                                                       |
|---------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| V <sub>BB</sub>           | Negative power supply pin. V <sub>BB</sub> = -5V ± 5%.                                                                                                                                                                                                                                                                                              | SF <sub>R</sub>    | When high during FS <sub>R</sub> , this input indicates a receive signal frame.                                                                                                                |
| GNDA                      | Analog ground. All signals are referenced to this pin.                                                                                                                                                                                                                                                                                              | SIG <sub>R</sub>   | The eighth bit of the PCM data appears at this output after each receive signalling frame.                                                                                                     |
| V <sub>FRO</sub>          | Analog output of the receive power amplifier.                                                                                                                                                                                                                                                                                                       | SIG <sub>X</sub>   | Signal data input. Data at this input is inserted into the 8th bit of the PCM word during transmit signaling frames.                                                                           |
| V <sub>CC</sub>           | Positive power supply pin. V <sub>CC</sub> = +5V ± 5%.                                                                                                                                                                                                                                                                                              | SF <sub>X</sub>    | When high during FS <sub>X</sub> , this input indicates a transmit signaling frame.                                                                                                            |
| FS <sub>R</sub>           | Receive frame sync pulse which enables BCLK <sub>R</sub> to shift PCM data into D <sub>R</sub> . FS <sub>R</sub> is an 8 kHz pulse train. See Figures 2 and 3 for timing details.                                                                                                                                                                   | MCLK <sub>X</sub>  | Transmit master clock. Must be 1.536 MHz, 1.544 MHz or 2.048 MHz. May be asynchronous with MCLK <sub>R</sub> . Best performance is realized from synchronous operation.                        |
| D <sub>R</sub>            | Receive data input. PCM data is shifted into D <sub>R</sub> following the FS <sub>R</sub> leading edge.                                                                                                                                                                                                                                             | FS <sub>X</sub>    | Transmit frame sync pulse input which enables BCLK <sub>X</sub> to shift out the PCM data on D <sub>X</sub> . FS <sub>X</sub> is an 8 kHz pulse train, see Figures 2 and 3 for timing details. |
| BCLK <sub>R</sub> /CLKSEL | The bit clock which shifts data into D <sub>R</sub> after the FS <sub>R</sub> leading edge. May vary from 64 kHz to 2.048 MHz. Alternatively, may be a logic input which selects either 1.536 MHz/1.544 MHz or 2.048 MHz for master clock in synchronous mode and BCLK <sub>X</sub> is used for both transmit and receive directions (see Table 1). | BCLK <sub>X</sub>  | The bit clock which shifts out the PCM data on D <sub>X</sub> . May vary from 64 kHz to 2.048 MHz, but must be synchronous with MCLK <sub>X</sub> .                                            |
| MCLK <sub>R</sub> /PDN    | Receive master clock. Must be 1.536 MHz, 1.544 MHz or 2.048 MHz. May be asynchronous with MCLK <sub>X</sub> for best performance. When MCLK <sub>R</sub> is connected continuously low, MCLK <sub>X</sub> is selected for all internal timing. When MCLK <sub>R</sub> is connected continuously high, the device is powered down.                   | D <sub>X</sub>     | The TRI-STATE <sup>®</sup> PCM data output which is enabled by FS <sub>X</sub> .                                                                                                               |
|                           |                                                                                                                                                                                                                                                                                                                                                     | TS <sub>X</sub>    | Open drain output which pulses low during the encoder time slot.                                                                                                                               |
|                           |                                                                                                                                                                                                                                                                                                                                                     | GS <sub>X</sub>    | Analog output of the transmit input amplifier. Used to externally set gain.                                                                                                                    |
|                           |                                                                                                                                                                                                                                                                                                                                                     | VF <sub>X</sub>  - | Inverting input of the transmit input amplifier.                                                                                                                                               |
|                           |                                                                                                                                                                                                                                                                                                                                                     | VF <sub>X</sub>  + | Non-inverting input of the transmit input amplifier.                                                                                                                                           |

# Functional Description

## POWER-UP

When power is first applied, power-on reset circuitry initializes the COMBO and places it into a power-down state. All non-essential circuits are deactivated and the  $D_X$  and  $V_{FRO}$  outputs are put in high impedance states. To power-up the device, a logical low level or clock must be applied to the  $MCLK_R/PDN$  pin and  $FS_X$  and/or  $FS_R$  pulses must be present. Thus, 2 power-down control modes are available. The first is to pull the  $MCLK_R/PDN$  pin high; the alternative is to hold both  $FS_X$  and  $FS_R$  inputs continuously low—the device will power-down approximately 2 ms after the last  $FS_X$  or  $FS_R$  pulse. Power-up will occur on the first  $FS_X$  or  $FS_R$  pulse. The TRI-STATE PCM data output,  $D_X$ , will remain in the high impedance state until the second  $FS_X$  pulse.

## SYNCHRONOUS OPERATION

For synchronous operation, the same master clock and bit clock should be used for both the transmit and receive directions. In this mode, a clock must be applied to  $MCLK_X$  and the  $MCLK_R/PDN$  pin can be used as a power-down control. A low level on  $MCLK_R/PDN$  powers up the device and a high level powers down the device. In either case,  $MCLK_X$  will be selected as the master clock for both the transmit and receive circuits. A bit clock must also be applied to  $BCLK_X$  and the  $BCLK_R/CLKSEL$  can be used to select the proper internal divider for a master clock of 1.536 MHz, 1.544 MHz or 2.048 MHz. For 1.544 MHz operation, the device automatically compensates for the 193rd clock pulse each frame.

With a fixed level on the  $BCLK_R/CLKSEL$  pin,  $BCLK_X$  will be selected as the bit clock for both the transmit and receive directions. Table 1 indicates the frequencies of operation which can be selected, depending on the state of  $BCLK_R/CLKSEL$ . In this synchronous mode, the bit clock,  $BCLK_X$ , may be from 64 kHz to 2.048 MHz, but must be synchronous with  $MCLK_X$ .

Each  $FS_X$  pulse begins the encoding cycle and the PCM data from the previous encode cycle is shifted out of the enabled  $D_X$  output on the positive edge of  $BCLK_X$ . After 8 bit clock periods, the TRI-STATE  $D_X$  output is returned to a high impedance state. With an  $FS_R$  pulse, PCM data is latched via the  $D_R$  input on the negative edge of  $BCLK_X$  (or  $BCLK_R$  if running).  $FS_X$  and  $FS_R$  must be synchronous with  $MCLK_X/R$ .

TABLE 1. Selection of Master Clock Frequencies

| BCLK <sub>R</sub> /CLKSEL | Master Clock Frequency Selected |                            |
|---------------------------|---------------------------------|----------------------------|
|                           | TP3057                          | TP3052<br>TP3053<br>TP3054 |
| Clocked                   | 2.048 MHz                       | 1.536 MHz or<br>1.544 MHz  |
| 0                         | 1.536 MHz or<br>1.544 MHz       | 2.048 MHz                  |
| 1                         | 2.048 MHz                       | 1.536 MHz or<br>1.544 MHz  |

## ASYNCHRONOUS OPERATION

For asynchronous operation, separate transmit and receive clocks may be applied.  $MCLK_X$  and  $MCLK_R$  must be 2.048

MHz for the TP3057, or 1.536 MHz, 1.544 MHz for the TP3052, 53, 54, and need not be synchronous. For best transmission performance, however,  $MCLK_R$  should be synchronous with  $MCLK_X$ , which is easily achieved by applying only static logic levels to the  $MCLK_R/PDN$  pin. This will automatically connect  $MCLK_X$  to all internal  $MCLK_R$  functions (see Pin Description). For 1.544 MHz operation, the device automatically compensates for the 193rd clock pulse each frame.  $FS_X$  starts each encoding cycle and must be synchronous with  $MCLK_X$  and  $BCLK_X$ .  $FS_R$  starts each decoding cycle and must be synchronous with  $BCLK_R$ .  $BCLK_R$  must be a clock, the logic levels shown in Table 1 are not valid in asynchronous mode.  $BCLK_X$  and  $BCLK_R$  may operate from 64 kHz to 2.048 MHz.

## SHORT FRAME SYNC OPERATION

The COMBO can utilize either a short frame sync pulse (the same as the TP3020/21 CODECs) or a long frame sync pulse. Upon power initialization, the device assumes a short frame mode. In this mode, both frame sync pulses,  $FS_X$  and  $FS_R$ , must be one bit clock period long, with timing relationships specified in Figure 2. With  $FS_X$  high during a falling edge of  $BCLK_X$ , the next rising edge of  $BCLK_X$  enables the  $D_X$  TRI-STATE output buffer, which will output the sign bit. The following seven rising edges clock out the remaining seven bits, and the next falling edge disables the  $D_X$  output. With  $FS_R$  high during a falling edge of  $BCLK_R$  ( $BCLK_X$  in synchronous mode), the next falling edge of  $BCLK_R$  latches in the sign bit. The following seven falling edges latch in the seven remaining bits. All four devices may utilize the short frame sync pulse in synchronous or asynchronous operating mode.

## LONG FRAME SYNC OPERATION

To use the TP5116A/56A long frame mode, both the frame sync pulses,  $FS_X$  and  $FS_R$ , must be three or more bit clock periods long, with timing relationships specified in Figure 3. Based on the transmit frame sync,  $FS_X$ , the COMBO will sense whether short or long frame sync pulses are being used. For 64 kHz operation, the frame sync pulse must be kept low for a minimum of 160 ns. The  $D_X$  TRI-STATE output buffer is enabled with the rising edge of  $FS_X$  or the rising edge of  $BCLK_X$ , whichever comes later, and the first bit clocked out is the sign bit. The following seven  $BCLK_X$  rising edges clock out the remaining seven bits. The  $D_X$  output is disabled by the falling  $BCLK_X$  edge following the eighth rising edge, or by  $FS_X$  going low, whichever comes later. A rising edge on the receive frame sync pulse,  $FS_R$ , will cause the PCM data at  $D_R$  to be latched in on the next eight falling edges of  $BCLK_R$  ( $BCLK_X$  in synchronous mode). All four devices may utilize the long frame sync pulse in synchronous or asynchronous mode.

## SIGNALING

The TP3052 and TP3053  $\mu$ -law COMBOs contain circuitry to insert and extract signaling information in the PCM data stream. The TP3052 is intended for short frame sync applications, and the TP3053 for long frame sync applications, although the TP3053 may also be used in short frame sync applications. The TP3054 and TP3057 have no provision for signaling.

## Functional Description (Continued)

Signaling for the TP3052 is accomplished by applying a frame sync pulse two bit clock periods long, as shown in Figure 2. With  $FS_X$  two bit clock periods long, the data present at  $SIG_X$  input will be inserted as the LSB in the PCM data transmitted during that frame. With  $FS_R$  two bit clock periods long, the LSB of the PCM data read into the  $D_R$  input will be latched and appear on the  $SIG_R$  output pin until updated following the next signaling frame. The decoder will then interpret the lost LSB as " $1/2$ " to minimize noise and distortion. This short frame signaling may also be implemented using the TP3053, providing  $SF_R$  and  $SF_X$  are left open circuit or tied low. The TP3052 is not capable of inserting or extracting signaling information in the long frame mode.

Signaling for the TP3053 may be accomplished in either short or long frame sync mode. The short mode signaling is the same as the TP3052. For long frame signaling, two additional frame sync pulses are required,  $SF_X$  and  $SF_R$ , which indicate transmit and receive signaling frames, respectively. With an  $SF_X$  signaling frame-sync, the data present at the  $SIG_X$  input will be inserted as the LSB in the PCM data transmitted during that frame. With an  $SF_R$  signaling frame sync, the LSB of the PCM data at  $D_R$  will be latched and appear on the  $SIG_R$  output pin until the next signaling frame. The decoder will also do the " $1/2$ " step interpretation to compensate for the loss of the LSB.

### TRANSMIT SECTION

The transmit section input is an operational amplifier with provision for gain adjustment using two external resistors, see Figure 4. The low noise and wide bandwidth allow gains in excess of 20 dB across the audio passband to be realized. The op amp drives a unity-gain filter consisting of RC

active pre-filter, followed by an eighth order switched-capacitor bandpass filter clocked at 256 kHz. The output of this filter directly drives the encoder sample-and-hold circuit. The A/D is of companding type according to  $\mu$ -law (TP3052, TP3053, TP3054) or A-law (TP3057) coding conventions. A precision voltage reference is trimmed in manufacturing to provide an input overload ( $I_{MAX}$ ) of nominally 2.5V peak (see table of Transmission Characteristics). The  $FS_X$  frame sync pulse controls the sampling of the filter output, and then the successive-approximation encoding cycle begins. The 8-bit code is then loaded into a buffer and shifted out through  $D_X$  at the next  $FS_X$  pulse. The total encoding delay will be approximately 165  $\mu$ s (due to the transmit filter) plus 125  $\mu$ s (due to encoding delay), which totals 290  $\mu$ s. Any offset voltage due to the filters or comparator is cancelled by sign bit integration.

### RECEIVE SECTION

The receive section consists of an expanding DAC which drives a fifth order switched-capacitor low pass filter clocked at 256 kHz. The decoder is A-law (TP3057) or  $\mu$ -law (TP3052, TP3053, TP3054) and the 5th order low pass filter corrects for the  $\sin x/x$  attenuation due to the 8 kHz sample/hold. The filter is then followed by a 2nd order RC active post-filter/power amplifier capable of driving a 600 $\Omega$  load to a level of 7.2 dBm. The receive section is unity-gain. Upon the occurrence of  $FS_R$ , the data at the  $D_R$  input is clocked in on the falling edge of the next eight  $BCLK_R$  ( $BCLK_X$ ) periods. At the end of the decoder time slot, the decoding cycle begins, and 10  $\mu$ s later the decoder DAC output is updated. The total decoder delay is  $\sim 10$   $\mu$ s (decoder update) plus 110  $\mu$ s (filter delay) plus 62.5  $\mu$ s ( $1/2$  frame), which gives approximately 180  $\mu$ s.

## Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

$V_{CC}$  to GNDA 7V

$V_{BB}$  to GNDA -7V

Voltage at any Analog Input or Output  $V_{CC} + 0.3V$  to  $V_{BB} - 0.3V$

Voltage at any Digital Input or Output  $V_{CC} + 0.3V$  to  $GNDA - 0.3V$

Operating Temperature Range -25°C to +125°C

Storage Temperature Range -65°C to +150°C

Lead Temperature (Soldering, 10 seconds) 300°C

ESD (Human Body Model) 2000V

Latch-Up Immunity = 100 mA on any Pin

**Electrical Characteristics** Unless otherwise noted, limits printed in **BOLD** characters are guaranteed for  $V_{CC} = 5.0V \pm 5\%$ ,  $V_{BB} = -5.0V \pm 5\%$ ;  $T_A = 0^\circ C$  to  $70^\circ C$  by correlation with 100% electrical testing at  $T_A = 25^\circ C$ . All other limits are assured by correlation with other production tests and/or product design and characterization. All signals referenced to GNDA. Typicals specified at  $V_{CC} = 5.0V$ ,  $V_{BB} = -5.0V$ ,  $T_A = 25^\circ C$ .

| Symbol                                                              | Parameter                                          | Conditions                                                                                               | Min                      | Typ  | Max                                    | Units       |
|---------------------------------------------------------------------|----------------------------------------------------|----------------------------------------------------------------------------------------------------------|--------------------------|------|----------------------------------------|-------------|
| <b>DIGITAL INTERFACE</b>                                            |                                                    |                                                                                                          |                          |      |                                        |             |
| $V_{IL}$                                                            | Input Low Voltage                                  |                                                                                                          |                          |      | <b>0.6</b>                             | V           |
| $V_{IH}$                                                            | Input High Voltage                                 |                                                                                                          | <b>2.2</b>               |      |                                        | V           |
| $V_{OL}$                                                            | Output Low Voltage                                 | $D_X, I_L = 3.2 \text{ mA}$<br>$SIG_R, I_L = 1.0 \text{ mA}$<br>$TS_X, I_L = 3.2 \text{ mA, Open Drain}$ |                          |      | <b>0.4</b><br><b>0.4</b><br><b>0.4</b> | V<br>V<br>V |
| $V_{OH}$                                                            | Output High Voltage                                | $D_X, I_H = -3.2 \text{ mA}$<br>$SIG_R, I_H = -1.0 \text{ mA}$                                           | <b>2.4</b><br><b>2.4</b> |      |                                        | V<br>V      |
| $I_{IL}$                                                            | Input Low Current                                  | $GNDA \leq V_{IN} \leq V_{IL}$ , All Digital Inputs                                                      | -10                      |      | 10                                     | $\mu A$     |
| $I_{IH}$                                                            | Input High Current                                 | $V_{IH} \leq V_{IN} \leq V_{CC}$                                                                         | -10                      |      | 10                                     | $\mu A$     |
| $I_{OZ}$                                                            | Output Current in High Impedance State (TRI-STATE) | $D_X, GNDA \leq V_O \leq V_{CC}$                                                                         | -10                      |      | 10                                     | $\mu A$     |
| <b>ANALOG INTERFACE WITH TRANSMIT INPUT AMPLIFIER (ALL DEVICES)</b> |                                                    |                                                                                                          |                          |      |                                        |             |
| $I_{IXA}$                                                           | Input Leakage Current                              | $-2.5V \leq V \leq +2.5V, VF_{X1}^+ \text{ or } VF_{X1}^-$                                               | -200                     |      | 200                                    | nA          |
| $R_{IXA}$                                                           | Input Resistance                                   | $-2.5V \leq V \leq +2.5V, VF_{X1}^+ \text{ or } VF_{X1}^-$                                               | 10                       |      |                                        | M $\Omega$  |
| $R_{OXA}$                                                           | Output Resistance                                  | Closed Loop, Unity Gain                                                                                  |                          | 1    | 3                                      | $\Omega$    |
| $R_{LXA}$                                                           | Load Resistance                                    | $GS_X$                                                                                                   | 10                       |      |                                        | k $\Omega$  |
| $C_{LXA}$                                                           | Load Capacitance                                   | $GS_X$                                                                                                   |                          |      | 50                                     | pF          |
| $V_{OXA}$                                                           | Output Dynamic Range                               | $GS_X, R_L \geq 10 \text{ k}\Omega$                                                                      | -2.8                     |      | 2.8                                    | V           |
| $A_{VXA}$                                                           | Voltage Gain                                       | $VF_{X1}^+ \text{ to } GS_X$                                                                             | 5000                     |      |                                        | V/V         |
| $F_{UXA}$                                                           | Unity Gain Bandwidth                               |                                                                                                          | 1                        | 2    |                                        | MHz         |
| $V_{OSXA}$                                                          | Offset Voltage                                     |                                                                                                          | -20                      |      | 20                                     | mV          |
| $V_{CMXA}$                                                          | Common-Mode Voltage                                | $CMRR_{XA} > 60 \text{ dB}$                                                                              | -2.5                     |      | 2.5                                    | V           |
| $CMRR_{XA}$                                                         | Common-Mode Rejection Ratio                        | DC Test                                                                                                  | 60                       |      |                                        | dB          |
| $PSRR_{XA}$                                                         | Power Supply Rejection Ratio                       | DC Test                                                                                                  | 60                       |      |                                        | dB          |
| <b>ANALOG INTERFACE WITH RECEIVE FILTER (ALL DEVICES)</b>           |                                                    |                                                                                                          |                          |      |                                        |             |
| $R_{ORF}$                                                           | Output Resistance                                  | Pin $VF_{RO}$                                                                                            |                          | 1    | 3                                      | $\Omega$    |
| $R_{LRF}$                                                           | Load Resistance                                    | $VF_{RO} = \pm 2.5V$                                                                                     | 600                      |      |                                        | $\Omega$    |
| $C_{LRF}$                                                           | Load Capacitance                                   |                                                                                                          |                          |      | 500                                    | pF          |
| $V_{OSRO}$                                                          | Output DC Offset Voltage                           |                                                                                                          | -200                     |      | 200                                    | mV          |
| <b>POWER DISSIPATION (ALL DEVICES)</b>                              |                                                    |                                                                                                          |                          |      |                                        |             |
| $I_{CC0}$                                                           | Power-Down Current                                 | No Load (Note)                                                                                           |                          | 0.5  | 1.5                                    | mA          |
| $I_{BB0}$                                                           | Power-Down Current                                 | No Load (Note)                                                                                           |                          | 0.05 | 0.3                                    | mA          |
| $I_{CC1}$                                                           | Power-Up Active Current                            | No Load                                                                                                  |                          | 6.0  | 9.0                                    | mA          |
| $I_{BB1}$                                                           | Power-Up Active Current                            | No Load                                                                                                  |                          | 6.0  | 9.0                                    | mA          |

Note:  $I_{CC0}$  and  $I_{BB0}$  are measured after first achieving a power-up state.

**Timing Specifications** Unless otherwise noted, limits printed in **BOLD** characters are guaranteed for  $V_{CC} = 5.0V \pm 5\%$ ,  $V_{BB} = -5.0V \pm 5\%$ ,  $T_A = 0^\circ C$  to  $70^\circ C$  by correlation with 100% electrical testing at  $T_A = 25^\circ C$ . All other limits are assured by correlation with other production tests and/or product design and characterization. All signals referenced to GND<sub>A</sub>. Typical values specified at  $V_{CC} = 5.0V$ ,  $V_{BB} = -5.0V$ ,  $T_A = 25^\circ C$ . All timing parameters are measured at  $V_{OH} = 2.0V$  and  $V_{OL} = 0.7V$ . See Definitions and Timing Conventions section for test methods information.

| Symbol     | Parameter                                                                                      | Conditions                                                                                                | Min        | Typ                            | Max   | Units             |
|------------|------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------|------------|--------------------------------|-------|-------------------|
| $1/t_{PM}$ | Frequency of Master Clocks                                                                     | Depends on the Device Used and the BCLK <sub>R</sub> /CLKSEL Pin, MCLK <sub>X</sub> and MCLK <sub>R</sub> |            | 1.536<br>1.544<br><b>2.048</b> |       | MHz<br>MHz<br>MHz |
| $t_{RM}$   | Rise Time of Master Clock                                                                      | MCLK <sub>X</sub> and MCLK <sub>R</sub>                                                                   |            |                                | 50    | ns                |
| $t_{FM}$   | Fall Time of Master Clock                                                                      | MCLK <sub>X</sub> and MCLK <sub>R</sub>                                                                   |            |                                | 50    | ns                |
| $t_{PB}$   | Period of Bit Clock                                                                            |                                                                                                           | 485        | <b>488</b>                     | 15725 | ns                |
| $t_{RB}$   | Rise Time of Bit Clock                                                                         | BCLK <sub>X</sub> and BCLK <sub>R</sub>                                                                   |            |                                | 50    | ns                |
| $t_{FB}$   | Fall Time of Bit Clock                                                                         | BCLK <sub>X</sub> and BCLK <sub>R</sub>                                                                   |            |                                | 50    | ns                |
| $t_{WMH}$  | Width of Master Clock High                                                                     | MCLK <sub>X</sub> and MCLK <sub>R</sub>                                                                   | <b>160</b> |                                |       | ns                |
| $t_{WML}$  | Width of Master Clock Low                                                                      | MCLK <sub>X</sub> and MCLK <sub>R</sub>                                                                   | <b>160</b> |                                |       | ns                |
| $t_{SAFM}$ | Set-Up Time from BCLK <sub>X</sub> High to MCLK <sub>X</sub> Falling Edge                      | First Bit Clock after the Leading Edge of FS <sub>X</sub>                                                 | <b>100</b> |                                |       | ns                |
| $t_{SFFM}$ | Set-Up Time from FS <sub>X</sub> High to MCLK <sub>X</sub> Falling Edge                        | Long Frame Only                                                                                           | <b>100</b> |                                |       | ns                |
| $t_{WBH}$  | Width of Bit Clock High                                                                        | $V_{IH} = 2.2V$                                                                                           | <b>160</b> |                                |       | ns                |
| $t_{WBL}$  | Width of Bit Clock Low                                                                         | $V_{IL} = 0.6V$                                                                                           | <b>160</b> |                                |       | ns                |
| $t_{HBF}$  | Holding Time from Bit Clock Low to Frame Sync                                                  | Long Frame Only                                                                                           | <b>0</b>   |                                |       | ns                |
| $t_{HBFS}$ | Holding Time from Bit Clock High to Frame Sync                                                 | Short Frame Only                                                                                          | <b>0</b>   |                                |       | ns                |
| $t_{SFB}$  | Set-Up Time from Frame Sync to Bit Clock Low                                                   | Long Frame Only                                                                                           | <b>80</b>  |                                |       | ns                |
| $t_{DBD}$  | Delay Time from BCLK <sub>X</sub> High to Data Valid                                           | Load = 150 pF plus 2 LSTTL Loads                                                                          | <b>0</b>   |                                | 140   | ns                |
| $t_{DBTS}$ | Delay Time to TS <sub>X</sub> Low                                                              | Load = 150 pF plus 2 LSTTL Loads                                                                          |            |                                | 140   | ns                |
| $t_{DZC}$  | Delay Time from BCLK <sub>X</sub> Low to Data Output Disabled                                  | $C_L = 0$ pF to 150 pF                                                                                    | 50         |                                | 165   | ns                |
| $t_{DZF}$  | Delay Time to Valid Data from FS <sub>X</sub> or BCLK <sub>X</sub> , Whichever Comes Later     | $C_L = 0$ pF to 150 pF                                                                                    | 20         |                                | 165   | ns                |
| $t_{SSFF}$ | Set-Up Time from SF <sub>X/R</sub> High to FS <sub>X/R</sub>                                   | TP3053 Only                                                                                               | <b>60</b>  |                                |       | ns                |
| $t_{SSFB}$ | Set-Up Time from Signal Frame Sync High to BCLK <sub>X/R</sub> Clock                           | TP3053 Only                                                                                               | <b>60</b>  |                                |       | ns                |
| $t_{SSGB}$ | Set-Up Time from SIG <sub>X</sub> to BCLK <sub>X</sub>                                         | TP3052 and TP3053                                                                                         | <b>100</b> |                                |       | ns                |
| $t_{HBSG}$ | Hold Time from BCLK <sub>X</sub> High to SIG <sub>X</sub>                                      | TP3052 and TP3053                                                                                         | <b>50</b>  |                                |       | ns                |
| $t_{SDB}$  | Set-Up Time from D <sub>R</sub> Valid to BCLK <sub>R/X</sub> Low                               |                                                                                                           | <b>50</b>  |                                |       | ns                |
| $t_{HBD}$  | Hold Time from BCLK <sub>R/X</sub> Low to D <sub>R</sub> Invalid                               |                                                                                                           | <b>50</b>  |                                |       | ns                |
| $t_{HBSF}$ | Hold Time from BCLK <sub>X/R</sub> Low to Signaling Frame Sync                                 | TP3053 Only                                                                                               | <b>100</b> |                                |       | ns                |
| $t_{SF}$   | Set-Up Time from FS <sub>X/R</sub> to BCLK <sub>X/R</sub> Low                                  | Short Frame Sync Pulse (1 Bit Clock Period Long)                                                          | <b>50</b>  |                                |       | ns                |
| $t_{HF}$   | Hold Time from BCLK <sub>X/R</sub> Low to FS <sub>X/R</sub> Low                                | Short Frame Sync Pulse (1 Bit Clock Period Long)                                                          | <b>100</b> |                                |       | ns                |
| $t_{HBF}$  | Hold Time from 3rd Period of Bit Clock Low to Frame Sync (FS <sub>X</sub> or FS <sub>R</sub> ) | Long Frame Sync Pulse (from 3 to 8 Bit Clock Periods Long)                                                | <b>100</b> |                                |       | ns                |
| $t_{WFL}$  | Minimum Width of the Frame Sync Pulse (Low Level)                                              | 64k Bit/s Operating Mode                                                                                  | <b>160</b> |                                |       | ns                |

# Timing Diagrams

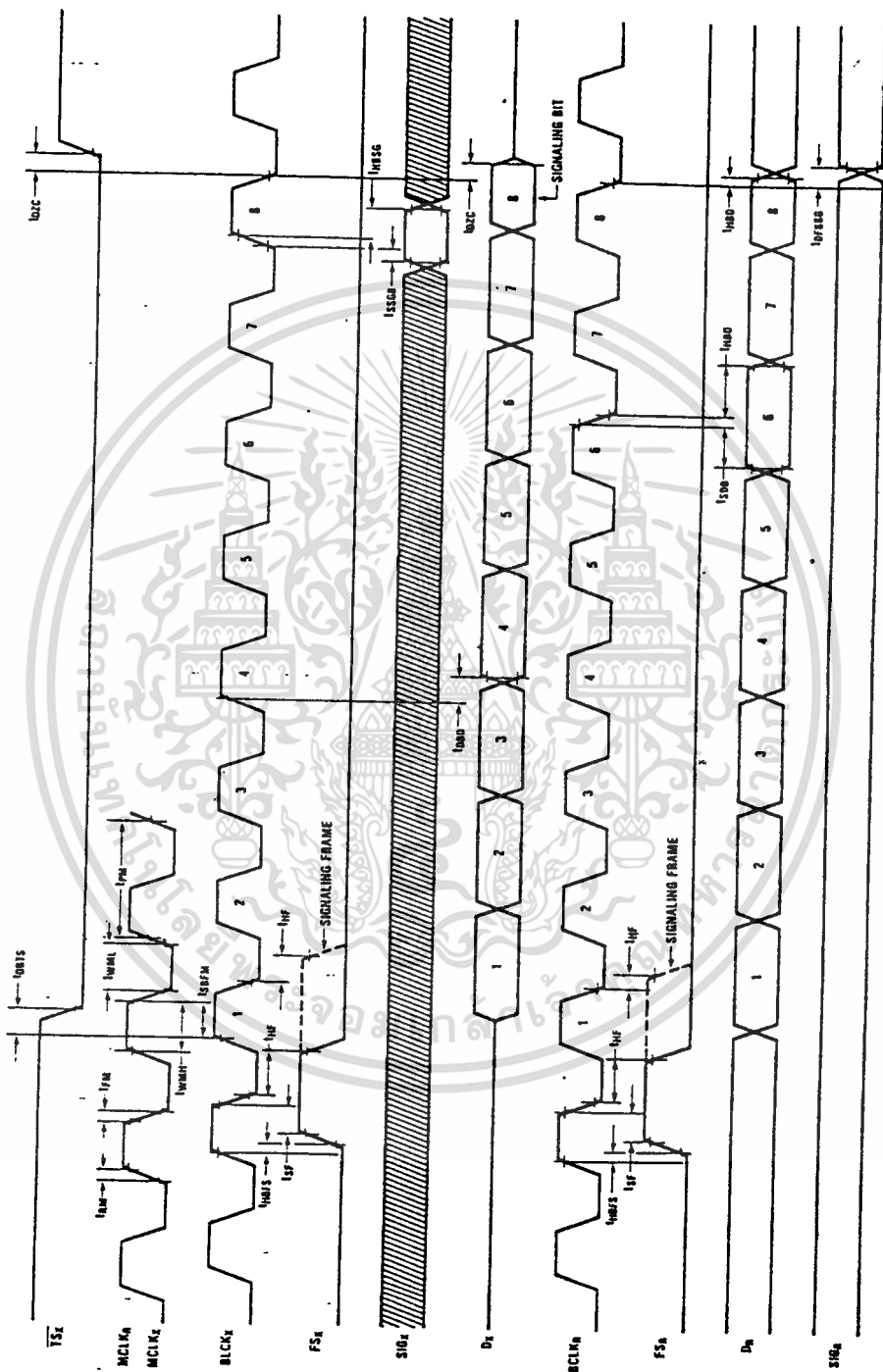


FIGURE 2. Short Frame Sync Timing

TL/H/5510-3

### Timing Diagrams (Continued)

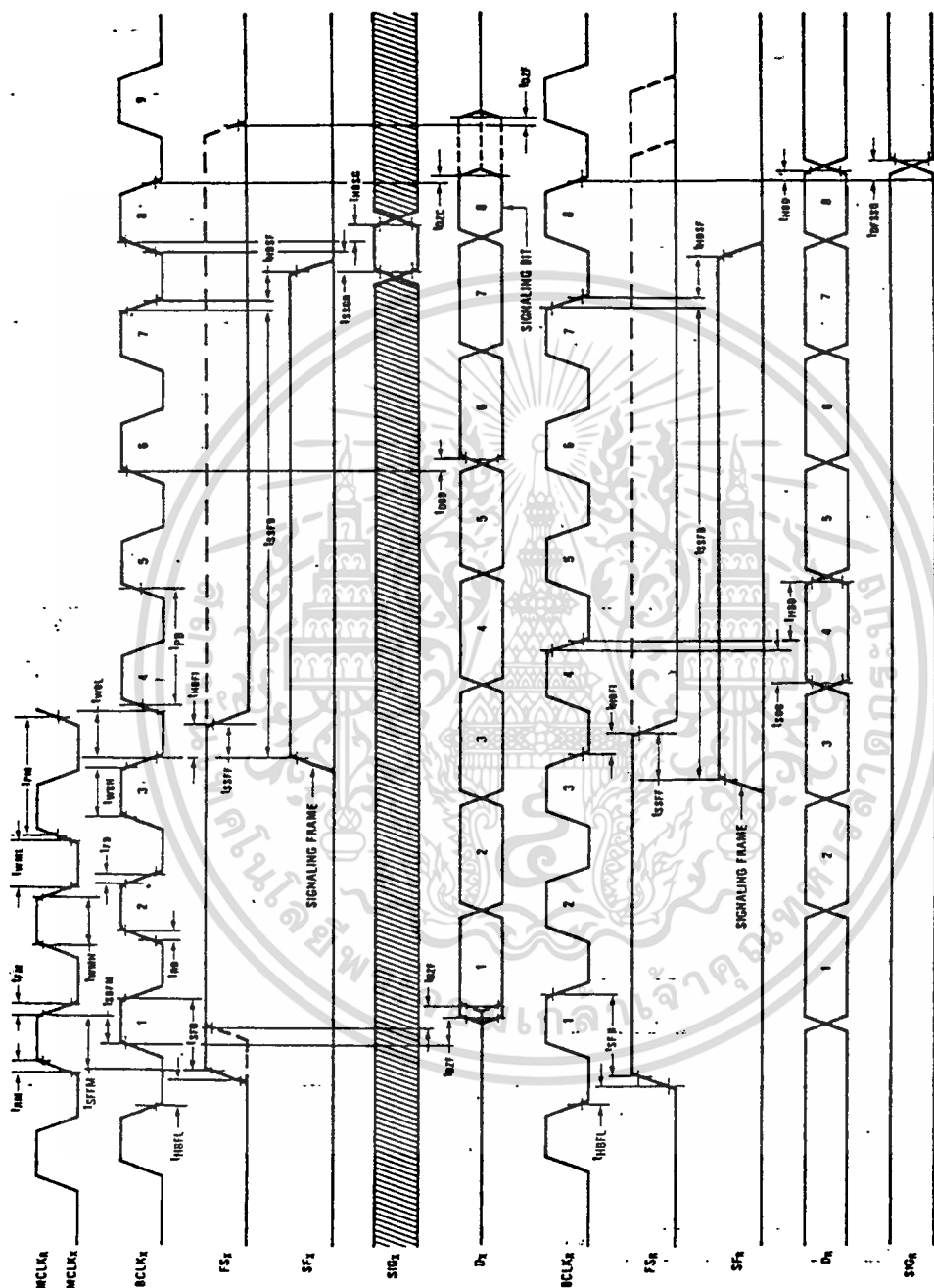


**FIGURE 3. Long Frame Sync Timing**

**Transmission Characteristics**

Unless otherwise noted, limits printed in **BOLD** characters are guaranteed for  $V_{CC} = 5.0V \pm 5\%$ ,  $V_{BB} = -5.0V \pm 5\%$ ;  $T_A = 0^\circ C$  to  $70^\circ C$  by correlation with 100% electrical testing at  $T_A = 25^\circ C$ . All other limits are assured by correlation with other production tests and/or product design and characterization.  $G_{NDA} = 0V$ ,  $f = 1.02 \text{ kHz}$ ,  $V_{IN} = 0 \text{ dBm0}$ ; transmit input amplifier connected for unity gain non-inverting. Typicals specified at  $V_{CC} = 5.0V$ ,  $V_{BB} = -5.0V$ ,  $T_A = 25^\circ C$ .

| Symbol                    | Parameter                                            | Conditions                                                                                                                                                                                                                                                                            | Min                                                                    | Typ            | Max                                                                               | Units                                              |
|---------------------------|------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------|----------------|-----------------------------------------------------------------------------------|----------------------------------------------------|
| <b>AMPLITUDE RESPONSE</b> |                                                      |                                                                                                                                                                                                                                                                                       |                                                                        |                |                                                                                   |                                                    |
|                           | Absolute Levels<br>(Definition of Nominal Gain)      | Nominal 0 dBm0 Level is 4 dBm (600 $\Omega$ )<br>0 dBm0                                                                                                                                                                                                                               |                                                                        | 1.2276         |                                                                                   | V <sub>rms</sub>                                   |
| <b>I<sub>MAX</sub></b>    | Virtual Decision Valve Defined Per CCITT Rec. G711   | Max Overload Level<br>TP3052, TP3053, TP3054 (3.17 dBm0)<br>TP3057 (3.14 dBm0)                                                                                                                                                                                                        |                                                                        | 2.501<br>2.492 |                                                                                   | V <sub>PK</sub><br>V <sub>PK</sub>                 |
| <b>G<sub>XA</sub></b>     | Transmit Gain, Absolute                              | $T_A = 25^\circ C$ , $V_{CC} = 5V$ , $V_{BB} = -5V$<br>Input at $G_{SX} = 0 \text{ dBm0}$ at 1020 Hz<br>TP3052/53/54/57                                                                                                                                                               | <b>-0.15</b>                                                           |                | <b>0.15</b>                                                                       | dB                                                 |
| <b>G<sub>XR</sub></b>     | Transmit Gain, Relative to <b>G<sub>XA</sub></b>     | $f = 16 \text{ Hz}$<br>$f = 50 \text{ Hz}$<br>$f = 60 \text{ Hz}$<br>$f = 200 \text{ Hz}$<br>$f = 300 \text{ Hz} - 3000 \text{ Hz}$<br>$f = 3300 \text{ Hz}$<br>$f = 3400 \text{ Hz}$<br>$f = 4000 \text{ Hz}$<br>$f = 4600 \text{ Hz}$ and Up, Measure Response from 0 Hz to 4000 Hz | <br><br><br><b>-1.8</b><br><b>-0.15</b><br><b>-0.35</b><br><b>-0.7</b> |                | -40<br>-30<br><b>-26</b><br>-0.1<br><b>0.15</b><br><b>0.05</b><br>0<br>-14<br>-32 | dB<br>dB<br>dB<br>dB<br>dB<br>dB<br>dB<br>dB<br>dB |
| <b>G<sub>XAT</sub></b>    | Absolute Transmit Gain Variation with Temperature    | Relative to <b>G<sub>XA</sub></b>                                                                                                                                                                                                                                                     | -0.1                                                                   |                | 0.1                                                                               | dB                                                 |
| <b>G<sub>XAV</sub></b>    | Absolute Transmit Gain Variation with Supply Voltage | Relative to <b>G<sub>XA</sub></b>                                                                                                                                                                                                                                                     | <b>-0.05</b>                                                           |                | <b>0.05</b>                                                                       | dB                                                 |
| <b>G<sub>XRL</sub></b>    | Transmit Gain Variations with Level                  | Sinusoidal Test Method<br>Reference Level = -10 dBm0<br>$V_{FXL} = -40 \text{ dBm0}$ to $+3 \text{ dBm0}$<br>$V_{FXL} = -50 \text{ dBm0}$ to $-40 \text{ dBm0}$<br>$V_{FXL} = -55 \text{ dBm0}$ to $-50 \text{ dBm0}$                                                                 | <b>-0.2</b><br><b>-0.4</b><br><b>-1.2</b>                              |                | <b>0.2</b><br><b>0.4</b><br><b>1.2</b>                                            | dB<br>dB<br>dB                                     |
| <b>G<sub>RA</sub></b>     | Receive Gain, Absolute                               | $T_A = 25^\circ C$ , $V_{CC} = 5V$ , $V_{BB} = -5V$<br>Input = Digital Code Sequence for 0 dBm0 Signal at 1020 Hz<br>TP3052/53/54/57                                                                                                                                                  | <b>-0.15</b>                                                           |                | <b>0.15</b>                                                                       | dB                                                 |
| <b>G<sub>RRL</sub></b>    | Receive Gain, Relative to <b>G<sub>RA</sub></b>      | $f = 0 \text{ Hz}$ to 3000 Hz<br>$f = 3300 \text{ Hz}$<br>$f = 3400 \text{ Hz}$<br>$f = 4000 \text{ Hz}$                                                                                                                                                                              | <b>-0.15</b><br><b>-0.35</b><br><b>-0.7</b>                            |                | <b>0.15</b><br><b>0.05</b><br>0<br>-14                                            | dB<br>dB<br>dB<br>dB                               |
| <b>G<sub>RAT</sub></b>    | Absolute Receive Gain Variation with Temperature     | Relative to <b>G<sub>RA</sub></b>                                                                                                                                                                                                                                                     | -0.1                                                                   |                | 0.1                                                                               | dB                                                 |
| <b>G<sub>RAV</sub></b>    | Absolute Receive Gain Variation with Supply Voltage  | Relative to <b>G<sub>RA</sub></b>                                                                                                                                                                                                                                                     | <b>-0.05</b>                                                           |                | <b>0.05</b>                                                                       | dB                                                 |
| <b>G<sub>RRL</sub></b>    | Receive Gain Variations with Level                   | Sinusoidal Test Method; Reference Input PCM Code Corresponds to an Ideally Encoded PCM Level<br>$= -40 \text{ dBm0}$ to $+3 \text{ dBm0}$<br>$= -50 \text{ dBm0}$ to $-40 \text{ dBm0}$<br>$= -55 \text{ dBm0}$ to $-50 \text{ dBm0}$                                                 | <b>-0.2</b><br><b>-0.4</b><br><b>-1.2</b>                              |                | <b>0.2</b><br><b>0.4</b><br><b>1.2</b>                                            | dB<br>dB<br>dB                                     |
| <b>V<sub>RO</sub></b>     | Receive Output Drive Level                           | $R_L = 600\Omega$                                                                                                                                                                                                                                                                     | -2.5                                                                   |                | 2.5                                                                               | V                                                  |

**Transmission Characteristics**

(Continued) Unless otherwise noted, limits printed in **BOLD** characters are guaranteed for  $V_{CC} = 5.0V \pm 5\%$ ,  $V_{BB} = -5.0V \pm 5\%$ ;  $T_A = 0^\circ C$  to  $70^\circ C$  by correlation with 100% electrical testing at  $T_A = 25^\circ C$ . All other limits are assured by correlation with other production tests and/or product design and characterization. GNDA = 0V,  $f = 1.02$  kHz,  $V_{IN} = 0$  dBm0, transmit input amplifier connected for unity gain non-inverting. Typicals specified at  $V_{CC} = 5.0V$ ,  $V_{BB} = -5.0V$ ,  $T_A = 25^\circ C$ .

| Symbol                                   | Parameter                                   | Conditions                                                                                                                  | Min. | Typ | Max | Units |
|------------------------------------------|---------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------|------|-----|-----|-------|
| ENVELOPE DELAY DISTORTION WITH FREQUENCY |                                             |                                                                                                                             |      |     |     |       |
| D <sub>XA</sub>                          | Transmit Delay, Absolute                    | f = 1600 Hz                                                                                                                 |      | 290 | 315 | μs    |
| D <sub>XR</sub>                          | Transmit Delay, Relative to D <sub>XA</sub> | f = 500 Hz–600 Hz                                                                                                           |      | 195 | 220 | μs    |
|                                          |                                             | f = 600 Hz–800 Hz                                                                                                           |      | 120 | 145 | μs    |
|                                          |                                             | f = 800 Hz–1000 Hz                                                                                                          |      | 50  | 75  | μs    |
|                                          |                                             | f = 1000 Hz–1600 Hz                                                                                                         |      | 20  | 40  | μs    |
|                                          |                                             | f = 1600 Hz–2600 Hz                                                                                                         |      | 55  | 75  | μs    |
|                                          |                                             | f = 2600 Hz–2800 Hz                                                                                                         |      | 80  | 105 | μs    |
|                                          |                                             | f = 2800 Hz–3000 Hz                                                                                                         |      | 130 | 155 | μs    |
| D <sub>RA</sub>                          | Receive Delay, Absolute                     | f = 1600 Hz                                                                                                                 |      | 180 | 200 | μs    |
| D <sub>RR</sub>                          | Receive Delay, Relative to D <sub>RA</sub>  | f = 500 Hz–1000 Hz                                                                                                          | –40  | –25 |     | μs    |
|                                          |                                             | f = 1000 Hz–1600 Hz                                                                                                         | –30  | –20 |     | μs    |
|                                          |                                             | f = 1600 Hz–2600 Hz                                                                                                         |      | 70  | 90  | μs    |
|                                          |                                             | f = 2600 Hz–2800 Hz                                                                                                         |      | 100 | 125 | μs    |
|                                          |                                             | f = 2800 Hz–3000 Hz                                                                                                         |      | 145 | 175 | μs    |
| NOISE                                    |                                             |                                                                                                                             |      |     |     |       |
| N <sub>XC</sub>                          | Transmit Noise, C Message Weighted          | TP3052, TP3053, TP3054                                                                                                      |      | 12  | 15  | dBmC0 |
| N <sub>XP</sub>                          | Transmit Noise, P Message Weighted          | TP3057                                                                                                                      |      | –74 | –67 | dBm0p |
| N <sub>RC</sub>                          | Receive Noise, C Message Weighted           | PCM Code is Alternating Positive and Negative Zero — TP3052/53/54                                                           |      | 8   | 11  | dBmC0 |
| N <sub>RP</sub>                          | Receive Noise, P Message Weighted           | TP3057 PCM Code Equals Positive Zero —                                                                                      |      | –82 | –79 | dBm0p |
| N <sub>RS</sub>                          | Noise, Single Frequency                     | f = 0 kHz to 100 kHz, Loop Around Measurement, V <sub>F<sub>X1</sub></sub> + = 0 Vrms                                       |      |     | –53 | dBm0  |
| PPSR <sub>X</sub>                        | Positive Power Supply Rejection, Transmit   | V <sub>F<sub>X1</sub></sub> + = –50 dBm0<br>V <sub>CC</sub> = 5.0 V <sub>DC</sub> + 100 mVrms<br>f = 0 kHz–50 kHz (Note 2)  | 40   |     |     | dB    |
| NPSR <sub>X</sub>                        | Negative Power Supply Rejection, Transmit   | V <sub>F<sub>X1</sub></sub> + = –50 dBm0<br>V <sub>BB</sub> = –5.0 V <sub>DC</sub> + 100 mVrms<br>f = 0 kHz–50 kHz (Note 2) | 40   |     |     | dB    |
| PPSR <sub>R</sub>                        | Positive Power Supply Rejection, Receive    | PCM Code Equals Positive Zero<br>V <sub>CC</sub> = 5.0 V <sub>DC</sub> + 100 mVrms<br>Measure V <sub>F<sub>R0</sub></sub>   |      |     |     |       |
|                                          |                                             | f = 0 Hz–4000 Hz                                                                                                            | 40   |     |     | dB    |
|                                          |                                             | f = 4 kHz–25 kHz                                                                                                            | 40   |     |     | dB    |
|                                          |                                             | f = 25 kHz–50 kHz                                                                                                           | 36   |     |     | dB    |
| NPSR <sub>R</sub>                        | Negative Power Supply Rejection, Receive    | PCM Code Equals Positive Zero<br>V <sub>BB</sub> = –5.0 V <sub>DC</sub> + 100 mVrms<br>Measure V <sub>F<sub>R0</sub></sub>  |      |     |     |       |
|                                          |                                             | f = 0 Hz–4000 Hz                                                                                                            | 40   |     |     | dB    |
|                                          |                                             | f = 4 kHz–25 kHz                                                                                                            | 40   |     |     | dB    |
|                                          |                                             | f = 25 kHz–50 kHz                                                                                                           | 36   |     |     | dB    |

**Transmission Characteristics** (Continued) Unless otherwise noted, limits printed in **BOLD** characters are guaranteed for  $V_{CC} = 5.0V \pm 5\%$ ,  $V_{BB} = -5.0V \pm 5\%$ ,  $T_A = 0^\circ C$  to  $70^\circ C$  by correlation with 100% electrical testing at  $T_A = 25^\circ C$ . All other limits are assured by correlation with other production tests and/or product design and characterization.  $G_{NDA} = 0V$ ,  $f = 1.02\text{ kHz}$ ,  $V_{IN} = 0\text{ dBm0}$ , transmit input amplifier connected for unity gain non-inverting. Typicals specified at  $V_{CC} = 5.0V$ ,  $V_{BB} = -5.0V$ ,  $T_A = 25^\circ C$ .

| Symbol | Parameter                                          | Conditions                                                                                                                                       | Min | Typ | Max                      | Units                |
|--------|----------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------|-----|-----|--------------------------|----------------------|
| SOS    | Spurious Out-of-Band Signals at the Channel Output | Loop Around Measurement, 0 dBm0, 300 Hz to 3400 Hz Input PCM Code Applied at $D_R$ .<br>4600 Hz–7600 Hz<br>7600 Hz–8400 Hz<br>8400 Hz–100,000 Hz |     |     | –30<br>–30<br>–40<br>–30 | dB<br>dB<br>dB<br>dB |

**DISTORTION**

|                                      |                                                             |                                                                                                                               |                                                                            |  |     |                                  |
|--------------------------------------|-------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------|--|-----|----------------------------------|
| STD <sub>X</sub><br>STD <sub>R</sub> | Signal to Total Distortion Transmit or Receive Half-Channel | Sinusoidal Test Method (Note 3)<br>Level = 3.0 dBm0<br>= 0 dBm0 to –30 dBm0<br>= –40 dBm0 XMT<br>RCV<br>= –55 dBm0 XMT<br>RCV | <b>33</b><br><b>36</b><br><b>29</b><br><b>30</b><br><b>14</b><br><b>15</b> |  |     | dB<br>dB<br>dB<br>dB<br>dB<br>dB |
| SFD <sub>X</sub>                     | Single Frequency Distortion, Transmit                       |                                                                                                                               |                                                                            |  | –46 | dB                               |
| SFD <sub>R</sub>                     | Single Frequency Distortion, Receive                        |                                                                                                                               |                                                                            |  | –46 | dB                               |
| IMD                                  | Intermodulation Distortion                                  | Loop Around Measurement, $V_{FX+} = -4\text{ dBm0}$ to $-21\text{ dBm0}$ , Two Frequencies in the Range 300 Hz–3400 Hz.       |                                                                            |  | –41 | dB                               |

**CROSSTALK**

|                   |                                                      |                                                                              |  |     |     |    |
|-------------------|------------------------------------------------------|------------------------------------------------------------------------------|--|-----|-----|----|
| CT <sub>X-R</sub> | Transmit to Receive Crosstalk, 0 dBm0 Transmit Level | $f = 300\text{ Hz} - 3400\text{ Hz}$<br>$D_R = \text{Quiet PCM Code}$        |  | –90 | –75 | dB |
| CT <sub>R-X</sub> | Receive to Transmit Crosstalk, 0 dBm0 Receive Level  | $f = 300\text{ Hz} - 3400\text{ Hz}$ , $V_{FX+} = \text{Multitone}$ (Note 2) |  | –90 | –70 | dB |

**ENCODING FORMAT AT  $D_X$  OUTPUT**

|                                       | TP3052, TP3053, TP3054<br>$\mu$ -Law | TP3057<br>A-Law<br>(Includes Even Bit Inversion) |
|---------------------------------------|--------------------------------------|--------------------------------------------------|
| $V_{IN}$ (at $G_{SX}$ ) = +Full-Scale | 1 0 0 0 0 0 0 0 0                    | 1 0 1 0 1 0 1 0                                  |
| $V_{IN}$ (at $G_{SX}$ ) = 0V          | 1 1 1 1 1 1 1 1<br>0 1 1 1 1 1 1 1   | 1 1 0 1 0 1 0 1<br>0 1 0 1 0 1 0 1               |
| $V_{IN}$ (at $G_{SX}$ ) = –Full-Scale | 0 0 0 0 0 0 0 0                      | 0 0 1 0 1 0 1 0                                  |

Note 1: Measured by extrapolation from the distortion test result at –50 dBm0.  
 Note 2:  $PPSR_X$ ,  $NPSR_X$ , and  $CT_{R-X}$  are measured with a –50 dBm0 activation signal applied to  $V_{FX+}$ .  
 Note 3: Devices are measured using C message weighted filter for  $\mu$ -Law and psophometric weighted filter for A-Law.

## Applications Information

### POWER SUPPLIES

While the pins of the TP305X family are well protected against electrical misuse, it is recommended that the standard CMOS practice be followed, ensuring that ground is connected to the device before any other connections are made. In applications where the printed circuit board may be plugged into a "hot" socket with power and clocks already present, an extra long ground pin in the connector should be used.

All ground connections to each device should meet at a common point as close as possible to the GNDA pin. This minimizes the interaction of ground return currents flowing through a common bus impedance. 0.1  $\mu$ F supply decoupling capacitors should be connected from this common ground point to  $V_{CC}$  and  $V_{BB}$ , as close to the device as possible.

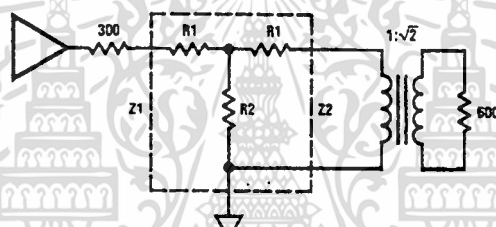
For best performance, the ground point of each CODEC/FILTER on a card should be connected to a common card ground in star formation, rather than via a ground bus.

This common ground point should be decoupled to  $V_{CC}$  and  $V_{BB}$  with 10  $\mu$ F capacitors.

### RECEIVE GAIN ADJUSTMENT

For applications where a TP305X family CODEC/filter receive output must drive a 600 $\Omega$  load, but a peak swing lower than  $\pm 2.5$ V is required, the receive gain can be easily adjusted by inserting a matched T-pad or  $\pi$ -pad at the output. Table II lists the required resistor values for 600 $\Omega$  terminations. As these are generally non-standard values, the equations can be used to compute the attenuation of the closest practical set of resistors. It may be necessary to use unequal values for the R1 or R4 arms of the attenuators to achieve a precise attenuation. Generally it is tolerable to allow a small deviation of the input impedance from nominal while still maintaining a good return loss. For example a 30 dB return loss against 600 $\Omega$  is obtained if the output impedance of the attenuator is in the range 282 $\Omega$  to 319 $\Omega$  (assuming a perfect transformer).

T-Pad Attenuator



$$R1 = Z1 \left( \frac{N^2 + 1}{N^2 - 1} \right) - 2\sqrt{Z1 \cdot Z2} \left( \frac{N}{N^2 - 1} \right)$$

$$R2 = 2\sqrt{Z1 \cdot Z2} \left( \frac{N}{N^2 - 1} \right)$$

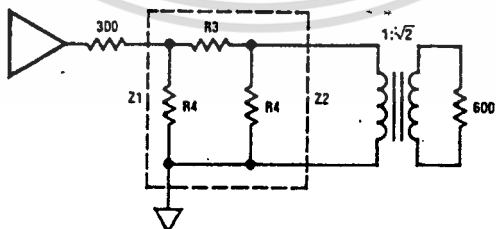
$$\text{Where: } N = \sqrt{\frac{\text{POWER IN}}{\text{POWER OUT}}}$$

$$\text{and } S = \sqrt{\frac{Z1}{Z2}}$$

$$\text{Also: } Z = \sqrt{Z_{SC} \cdot Z_{OC}}$$

Where  $Z_{SC}$  = impedance with short circuit termination  
and  $Z_{OC}$  = impedance with open circuit termination

$\pi$ -Pad Attenuator



$$R3 = \sqrt{\frac{Z1 \cdot Z2}{2} \left( \frac{N^2 - 1}{N} \right)}$$

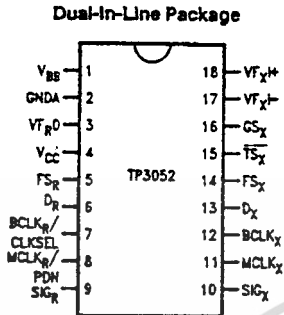
$$R4 = Z1 \left( \frac{N^2 - 1}{N^2 - 2NS + 1} \right)$$

TL/H/5510-5

Note: See Application Note 370 for further details.

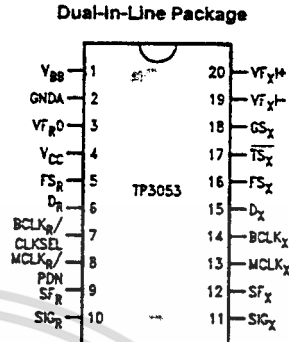


## Connection Diagrams (Continued)



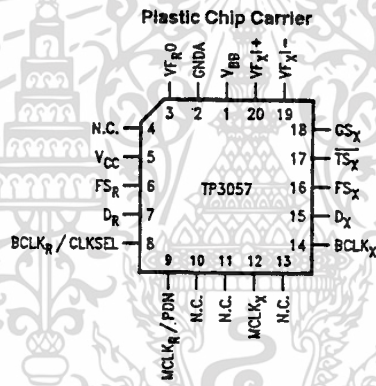
Top View  
Order Number TP3052J  
See NS Package Number J18A

TL/H/5510-8



Top View  
Order Number TP3053J  
See NS Package Number J20A

TL/H/5510-9



Top View  
Order Number TP3057V  
See NS Package Number V20A

TL/H/5510-7

## Techniques for Designing with CODEC/Filter COMBO® Circuits

National Semiconductor  
Application Brief 370  
Chris Stacey  
Jim Wieser  
Gary Rothrock



PCM CODEC/Filter COMBO devices are complex analog and digital sub-systems on a single chip. They contain, for example, an A/D and a D/A converter, each with 13 bit (for u-law) resolution at low signal levels on the bottom chord of the companding characteristic. The TP3050/60 family of microCmos COMBOs are, however, capable of providing extremely high performance even in the unfriendly electrical environment of a multi-channel subscriber line card so long as the printed circuit board is carefully designed as an integral part of the system. Indeed, this family can achieve performance superior to that of other 1 or 2 chip CODEC/Filter circuits due to two key factors; superior Power Supply Rejection Ratio, particularly at high frequencies, and the fact that the critical connection between the transmit filter and the encoder is carefully shielded inside the device. Nevertheless, the following guidelines should be adhered to in order to maintain this high performance in any switching or transmission system.

### GROUND AND POWER SUPPLY LAYOUT

1. Different techniques are necessary for the layout of analog circuits on the card (COMBO, SLIC and any external gain sections) and the digital control and switching circuits. Use the GNDA pin of each COMBO device as the Ground Reference Point (GRP) for each channel. All ANALOG ground connections for each channel should connect as close as possible to the reference point. This includes:
  - a. The analog ground from the 4-wire side of the SLIC circuit.
  - b. The ground for the transmit op amp connection.
  - c. The ground side of the 0.1  $\mu\text{F}$  decoupling capacitors for the +5V and -5V COMBO power supplies.
  - d. The analog ground for any external gain or loss adjustment stage.
2. Ground return currents from logic circuits, relays and other audio channels must not flow into or out from the channel GRPs to avoid generating noise voltages. Therefore a separate ground return should be run from each channel GRP to a common point close to the ground pin on the card connector, commonly called the MECCA. Thus there is a STAR formation from the MECCA to each channel GRP. It is NOT recommended to run separate analog and digital ground returns to the shelf power supply. Relays and other circuits operating from the station battery should, however, have a separate return bus to the battery ground.
3. Decouple the +5V and -5V power supplies to the MECCA close to the card connector. A minimum of 10  $\mu\text{F}$  should be used for each supply, and a capacitor type with a low Effective Series Resistance should be selected. Beware of the effects of the inrush current charging these capacitors as the card is plugged into a "hot" socket. This current flowing through the wire and trace inductance can cause voltage spikes which easily exceed the absolute maximum ratings of various devices on the card and may even damage the connector contacts. The trace length from the connector to the capacitors should be kept short, and excessive values of decoupling capacitor avoided.
4. The +5V and -5V supply busses to the COMBO circuits should be routed adjacent to a ground bus to help ensure that any r.f. noise pick-up is common mode. Each supply must be decoupled by 0.1  $\mu\text{F}$  capacitors with short traces to the GRP of each COMBO. Ceramic capacitors are best for good high frequency decoupling.
5. The +5V bus for the switching and control logic circuits should be a separate connection from the decoupled point close to the card connector. It should not share any common path with the +5V connection to the COMBO circuits. Each logic circuit should be decoupled with a 0.01  $\mu\text{F}$  ceramic capacitor from +5V to ground close to the device.
6. The ground connections for the logic circuits and low voltage relays may use a ground bus or, better still, a ground grid system to maintain good noise margins on digital signals. This logic ground should connect directly to the card MECCA such that logic ground currents do not share common paths with any channel GRP returns.
7. TTL and LSTTL logic families draw considerably different supply currents when their outputs are in the high and low logic states, causing large switching currents to flow through the busses and decoupling capacitors. In contrast, CMOS logic circuits only draw significant currents during state transitions, and these currents are substantially balanced. A CMOS logic system therefore generates far less electrical noise than a similar TTL System. The use of the 74HC CMOS logic family is highly recommended for line card design. It helps to preserve high performance transmission in the analog circuits and offers better noise margins than TTL in the presence of transient voltages induced by relays and ringing signals. Always use +5V decoupling capacitors on each logic device when using "HC" CMOS logic.

## NOISE CONSIDERATIONS

- Logic signals should be routed well away from the analog circuits and their power supply connections wherever possible to minimize high frequency noise being capacitively coupled into the channel and aliased down into the audio passband by the sampling action of the filters and encoder.
- All signals and circuits capable of inducing large emf's into the audio signals should be located around the edge of the card wherever possible. This includes:
  - Relay drive and output signals
  - Ringing distribution
  - The 2-wire side of the SLIC circuits.
  - 48V battery
  - d.c. to d.c. converters
- Ground planes may be used to shield audio signals from noise sources such as clock and data signals and the high voltages listed above. A ground plane is only effective, however, if it carries NO NOISE-INDUCING CURRENTS itself. A single point connection from the ground plane to a quiet return is the best way to assure this.
- The transmit op amp connections become a potential noise source particularly if a high gain is required. The feedback resistor value should not exceed 50K ohms, and the bodies of the feedback and input resistors should be close to the op amp input to minimize capacitive noise pick-up.
- In asynchronous applications (typically transmission systems) the best idle channel noise and signal/distortion performance will be achieved if the transmit and receive filters are clocked synchronously. Thus the MCLK<sub>R</sub>/PDN input on the TP3050/60 COMBO devices should either be connected to MCLK<sub>X</sub> or controlled solely by logic signals as a PDN input only (the COMBO will automatically use MCLK<sub>X</sub> internally). Note that MCLK<sub>R</sub> does not need to be synchronized to BCLK<sub>R</sub> and FSR.
- Ensure that ground is always connected to each device before any other supplies or signals. An extended ground pin should be used on line card connectors.
- Buffer all digital input and output signals between COMBO circuits and the line card backplane. This both protects the COMBO circuits from backplane transients and preserves good logic signal transition times and noise margins.
- CMOS inputs, outputs and supply connections must be protected against even momentary transitions outside the supply voltages. Schottky diodes should be fitted on each card between +5V and GND, and between GND and -5V to clamp transient power supply reversals during power-up. Type 1N5820 is a good choice. If series supply filters are used on a per COMBO basis, each COMBO should have Schottky diodes across its supply pins. In this case smaller diodes, such as 1N5817, can be used.
- If the COMBO circuit is connected to a transformer-type of SLIC circuit additional protection is required against line transients. An input resistor of 5K ohms or more is adequate to protect the transmit op amp inputs, VF<sub>XI</sub><sup>+</sup> and VF<sub>XI</sub><sup>-</sup>. If this is not possible, silicon diodes or a pair of back-to-back 3.9V zener diodes (depending on the required dynamic range) should be connected between the vulnerable input and GND.
- A pair of back-to-back 3.9V zener diodes may also be necessary to protect the receive power amplifier output(s). Select a zener type with a sharp "knee" on the V-I characteristic, and low leakage current at voltages below the knee to avoid impairing the gain-tracking of the receive channel at high signal levels.

Figure 1 illustrates an idealized circuit card layout embodying many of the above techniques. While space constraints may limit the application of some of these techniques, the closer they can be followed, the better the system performance will be.

## APPENDIX I. COMBO TROUBLESHOOTING GUIDE

Table I lists a number of troubles sometimes experienced with COMBO devices and the potential causes of these troubles. For each cause, Table II identifies appropriate solutions.

## CIRCUIT PROTECTION

CMOS CODEC/Filter COMBOs are capable of providing extremely reliable and stable long-term performance provided a few simple precautions are followed:

- Normal CMOS handling techniques should be used to prevent build-up of static charge on the device. These include the use of conductive carriers, and grounding personnel while handling devices.

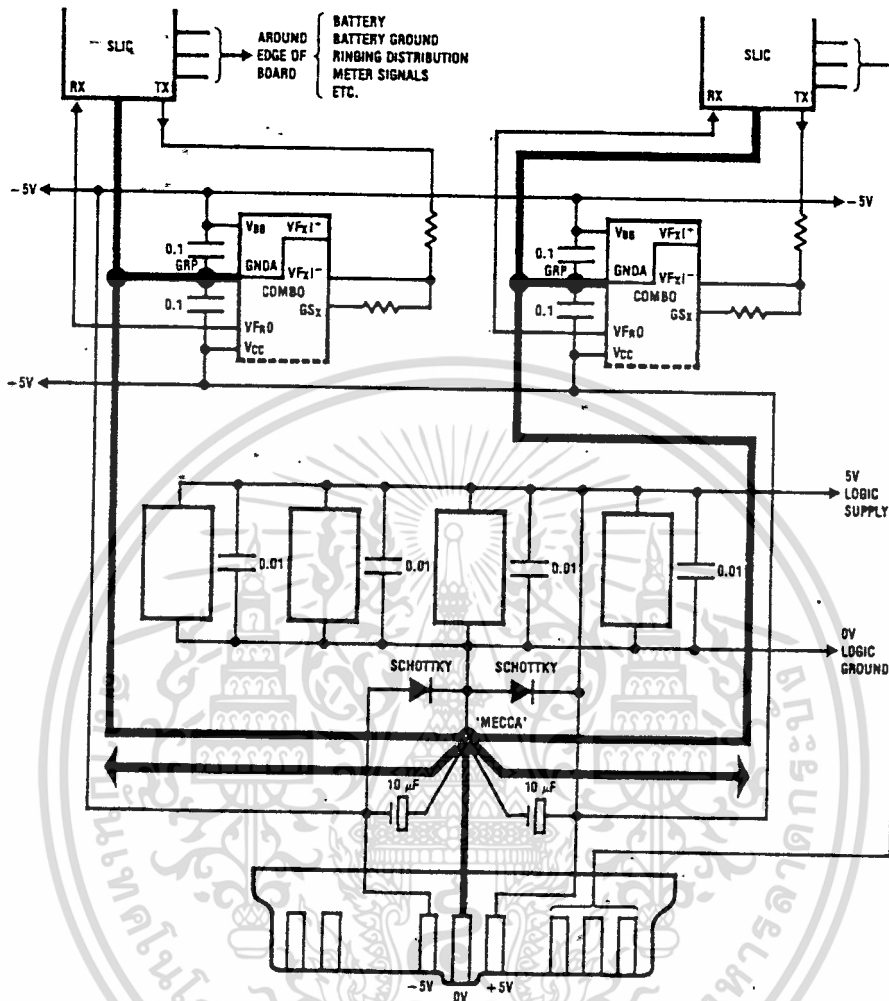


FIGURE 1. Suggested COMBO PCB Layout

1. Use 'STAR' Connection For Each Channel To The 'CHANNEL GRP' At GNDA (Pin 2)
2. Use 'STAR' Connections From Each 'CHANNEL GRP' To The PCB 'MECCA'

Note: GRP = Ground Reference Point

TL/Z/5734-1

## APPENDIX I. COMBO TROUBLESHOOTING GUIDE (Continued)

Table I. COMBO Troubles and Potential Causes

| Trouble                                                        | Potential Cause                                                                                                                                                                                                                                                                                                                                       |
|----------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| • No output at DX and VFRO                                     | • Device Powered Down                                                                                                                                                                                                                                                                                                                                 |
| • Tx AND Rx frequency response incorrect                       | • Incorrect MCLK Frequency                                                                                                                                                                                                                                                                                                                            |
| • Only Rx frequency response incorrect                         | • Incorrect Frame Sync Pulse Frequency                                                                                                                                                                                                                                                                                                                |
| • High distortion at Dx output                                 | <ul style="list-style-type: none"> <li>• Overdriving Input (VFXI)</li> <li>• Incorrect DC Bias on Tx Amp</li> <li>• Overloading Tx Amp Output</li> <li>• Timing Problem</li> </ul>                                                                                                                                                                    |
| • High distortion at VFRO output                               | <ul style="list-style-type: none"> <li>• Timing Problem</li> <li>• Overloading Rx Amp Output</li> <li>• Incorrect Frame Sync Timing Mode</li> </ul>                                                                                                                                                                                                   |
| • Idle Noise and/or S/D out of spec                            | <ul style="list-style-type: none"> <li>• Inadequate or Ineffective Power Supply Decoupling</li> <li>• Poor Grounding</li> <li>• Use of LSB Signalling</li> <li>• Noisy SLIC</li> <li>• Timing Problem</li> <li>• Tones in Output. See Next Item in TROUBLE Column.</li> <li>• Error in Converting Absolute Measurements to Relative Levels</li> </ul> |
| • Low level tones or whistles in output                        | <ul style="list-style-type: none"> <li>• Use of Asynchronous Clocks</li> <li>• Use of Unlocked Switching Supplies</li> <li>• Use of Jittered Clocks or Frame Syncs</li> <li>• Inadequate or Ineffective Power Supply Decoupling</li> <li>• Poor Grounding</li> </ul>                                                                                  |
| • Intrachannel Crosstalk out of spec (4W Ckts)                 | <ul style="list-style-type: none"> <li>• Inadequate or Ineffective Power Supply Decoupling</li> <li>• Poor Grounding</li> <li>• Common Ground Return from Tx and Rx Line Interface Circuitry</li> <li>• Magnetic Coupling between Line Transformers</li> </ul>                                                                                        |
| • Device Gets Warm, Hot, Draws Abnormally High Current or Dies | • Latch-up                                                                                                                                                                                                                                                                                                                                            |
| • Other Causes of Trouble                                      | <ul style="list-style-type: none"> <li>• Damaged Device</li> <li>• Incorrect Power Supply Voltages</li> <li>• Wiring Error</li> <li>• Testing Board on Extender Card</li> </ul>                                                                                                                                                                       |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## APPENDIX I. COMBO TROUBLESHOOTING GUIDE (Continued)

Table II. COMBO Trouble Causes and Solutions

| Causes                                                                                           | Solutions                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |
|--------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <ul style="list-style-type: none"> <li>Timing Problem</li> </ul>                                 | <ul style="list-style-type: none"> <li>Verify with oscilloscope that all timing relationships at the COMBO pins meet data sheet specs.</li> <li>Loop device by connecting Dx to Dr. If COMBO works correctly, timing incompatibility with system may exist.</li> <li>MCLKx and BCLKx MUST be synchronous (derived from same clock).</li> <li>Verify on all device logic inputs that noise and/or ringing does not go beyond allowable logic levels—LOW = <math>-0.3V</math> to <math>+0.6V</math>, HIGH = <math>+2.2V</math> to <math>V_{CC} + 0.3V</math>.</li> <li>Verify BCLKR and MCLKR are not left floating. They should be driven by a low impedance logic level, or hardwired if not clocked.</li> </ul> |
| <ul style="list-style-type: none"> <li>Damaged Device</li> </ul>                                 | <ul style="list-style-type: none"> <li>Replace with known good device</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
| <ul style="list-style-type: none"> <li>Overdriving Input (VFXI)</li> </ul>                       | <ul style="list-style-type: none"> <li>The maximum signal at the Tx amplifier output pin (GSx) should never exceed <math>\pm 2.8V</math> Peak. The Tx amplifier input signal plus offset should therefore never exceed <math>\pm 2.8 V_{pk}</math> divided by amplifier gain.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                         |
| <ul style="list-style-type: none"> <li>Incorrect DC Bias on Tx Amp</li> </ul>                    | <ul style="list-style-type: none"> <li>VFXI+ MUST have a ground reference of 100k or less, preferably equal to the DC resistance seen looking out of VFXI-.</li> <li>AC coupling of the input signal will be needed if there is any DC bias or offset exceeding a few mV.</li> <li>DC offset at GSx should not exceed <math>\pm 200 mV</math>.</li> </ul>                                                                                                                                                                                                                                                                                                                                                        |
| <ul style="list-style-type: none"> <li>Overloading Tx Amp Output</li> </ul>                      | <ul style="list-style-type: none"> <li>Tx amplifier external load at GSx must be 10 k<math>\Omega</math> or greater.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |
| <ul style="list-style-type: none"> <li>Overloading Rx Amp Output</li> </ul>                      | <ul style="list-style-type: none"> <li>Minimum load impedance is 600<math>\Omega</math></li> <li>If load DC resistance is low (i.e., transformer winding), AC coupling may be needed to prevent large DC current flow due to Rx Amp output offset.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| <ul style="list-style-type: none"> <li>Inadequate/Ineffective Power Supply Decoupling</li> </ul> | <ul style="list-style-type: none"> <li>0.1 <math>\mu F</math> ceramic disc decoupling capacitors (good high frequency characteristics) should be placed from <math>V_{CC}</math> to GND and <math>V_{BB}</math> to GND as close as possible to the device pins. Cap lead and trace lengths must be kept short. See GROUND AND POWER SUPPLY LAYOUT section.</li> </ul>                                                                                                                                                                                                                                                                                                                                            |
| <ul style="list-style-type: none"> <li>Poor Grounding</li> </ul>                                 | <ul style="list-style-type: none"> <li>See GROUND AND POWER SUPPLY LAYOUT section.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| <ul style="list-style-type: none"> <li>Incorrect Power Supply Voltages</li> </ul>                | <ul style="list-style-type: none"> <li><math>V_{CC}</math> should be <math>+4.75</math> to <math>+5.25V</math>, <math>V_{BB}</math> should be <math>-4.75</math> to <math>-5.25V</math>.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |
| <ul style="list-style-type: none"> <li>Wiring Error</li> </ul>                                   | <ul style="list-style-type: none"> <li>Inspect ALL device pins with oscilloscope for presence of correct signals and absence of incorrect signals. Inspection should be done directly on the device pins to ensure problems due to bad solder joints or socket connections are found.</li> <li>Device reversed in socket.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                             |
| <ul style="list-style-type: none"> <li>Device powered down</li> </ul>                            | <ul style="list-style-type: none"> <li>MCLKR/PDN pin must be connected to logic LOW or have clock signal applied for device to be powered up. If connected HIGH or allowed to float HIGH, device will be powered down.</li> <li>Missing frame sync pulses will cause device to power down.</li> <li>MCLKx must be applied to the device for proper operation of the power up/down circuitry.</li> </ul>                                                                                                                                                                                                                                                                                                          |
| <ul style="list-style-type: none"> <li>Incorrect MCLK frequency</li> </ul>                       | <ul style="list-style-type: none"> <li>The MCLKX and MCLKR applied frequency must be 2.048, 1.544 or 1.536 MHz. Other frequencies will cause an error in Tx and Rx switched capacitor filter response directly proportional to the MCLK frequency error.</li> <li>BCLKR/CLKSEL pin must be connected as shown in datasheet Table I to select the correct divide ratio for the MCLK frequency being used.</li> </ul>                                                                                                                                                                                                                                                                                              |
| <ul style="list-style-type: none"> <li>Incorrect Frame Sync Pulse frequency</li> </ul>           | <ul style="list-style-type: none"> <li>The Frame Sync frequency must be 8 kHz. The Rx filter has correction for <math>(\sin x)/x</math> roll-off imparted by the decoder response. This correction is not accurate for FSR frequencies/sampling rates other than 8 kHz.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                               |
| <ul style="list-style-type: none"> <li>Incorrect Frame Sync Timing Mode</li> </ul>               | <ul style="list-style-type: none"> <li>The device assumes short frame sync timing at power on initialization. The Tx frame sync pin (FSx) is monitored to determine if long frame timing is being used. If long frame timing is used for the receive side and no Tx frame sync pulse is applied, the device will operate with short frame timing, misreading the data and causing high level distortion (noise) at VFRO.</li> </ul>                                                                                                                                                                                                                                                                              |

## APPENDIX I. COMBO TROUBLESHOOTING GUIDE (Continued)

Table II. COMBO Trouble Causes and Solutions (Continued)

| Causes                                                                                                                 | Solutions                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |
|------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <ul style="list-style-type: none"> <li>• Use of LSB Signalling</li> </ul>                                              | <ul style="list-style-type: none"> <li>• Least Significant Bit Signalling, commonly used in T-1 channel banks, impacts noise and S/D performance. In these applications, TP3052/53 are preferred over TP3054/64, as the decoder interprets the LSB in signalling frames as "<math>\frac{1}{2}</math>" in these devices to minimize noise and S/D.</li> <li>• Bellcore LSSGR (TR-TSY-000064, Class 5 Switch spec) bases S/D requirements on full 8-bit transmission. Measurements are done with LSB signalling turned off. If measurements are done with signalling on, then the spec requirement is reduced by -1.1 dB.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |
| <ul style="list-style-type: none"> <li>• Noisy SLIC</li> </ul>                                                         | <ul style="list-style-type: none"> <li>• Use of a noisy semiconductor SLIC with the COMBO will impact performance, particularly if high gain is also needed in the COMBO Tx Amplifier because the SLIC output level is low.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |
| <ul style="list-style-type: none"> <li>• Common Ground Return from Tx/Rx Line Interface Circuitry</li> </ul>           | <ul style="list-style-type: none"> <li>• Common ground paths for Tx and Rx circuitry may have enough impedance to cause problems, especially in high load-current circuits. Components such as line transformers MUST have separate ground return lines all the way back to the COMBO GND pin.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |
| <ul style="list-style-type: none"> <li>• Magnetic Coupling between Line Transformers</li> </ul>                        | <ul style="list-style-type: none"> <li>• Stray magnetic flux provides coupling between Rx and Tx transformers. This coupling can be minimized by spacing the transformers as far apart as possible. Rotating adjacent transformers by 90° will sometimes help as will use of magnetic shielding material.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |
| <ul style="list-style-type: none"> <li>• Latch-up</li> </ul>                                                           | <ul style="list-style-type: none"> <li>• Latch-up occurs due to violation of Absolute Maximum Ratings when signal voltages instantaneously exceed power supply voltages, or supply voltage polarity reversals have occurred. These may occur when power is applied to the system or a board is plugged into a hot system, as well as other ways. See Items 2 through 6 under the CIRCUIT PROTECTION section of this Application Note for protection measures which must be used.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |
| <ul style="list-style-type: none"> <li>• Error in Converting Absolute Level Measurements to Relative Levels</li> </ul> | <ul style="list-style-type: none"> <li>• Measurements of signal and noise levels at the device VFxl and VFro pins in absolute units of dBm, dBmC and dBmP must be converted to relative levels for comparison to many data sheet spec parameters. Since the 0 dBm0 level at VFxl and VFro is +4 dBm, 4 dB must be subtracted from absolute level readings to convert these to relative dBm0, dBmC0, and dBmP0 levels. This is true only for COMBO I devices and for measurements only at the device pins. Other devices and points in the circuit will in general have different conversion factors between absolute and relative levels.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |
| <ul style="list-style-type: none"> <li>• Use of Asynchronous Clocks</li> </ul>                                         | <ul style="list-style-type: none"> <li>• The term "asynchronous clocks", as used here, refers to two logic signals which are derived from different unlocked oscillator sources. If asynchronous clocks are used on the card with the COMBO device, new "beat" frequencies will be generated within the COMBO due to the highly non-linear nature of the switched capacitor filter and CODEC sampling functions. These beat frequencies will be sum and difference frequencies between the asynchronous clocks and their harmonics, some of which may fall within the speech band. In general, use of asynchronous clocks should be avoided if at all possible. <math>\mu</math>C clocks, for example, should be locked to the system PCM clocks. If asynchronous clocks are unavoidable, as in a PCM channel bank application where Tx and Rx clocks and frame syncs come from different sources, MCLKr should be synchronous with MCLKx for best performance. Also, grounding, power supply decoupling and PCB layout is critical in applications involving asynchronous clocks. See sections entitled GROUND AND POWER SUPPLY LAYOUT and NOISE CONSIDERATIONS for details.</li> </ul> |
| <ul style="list-style-type: none"> <li>• Use of Unlocked Switching Supplies</li> </ul>                                 | <ul style="list-style-type: none"> <li>• Free running switching regulators, converters, etc. can cause problems similar to those caused by asynchronous clocks. All switching supplies should be locked to the system PCM clocks to prevent asynchronous noise spikes on power, ground and signal lines. If unlocked supplies are unavoidable, extra attention must be paid to keeping grounds, power, and signal lines free of the switching noise. See sections entitled GROUND AND POWER SUPPLY LAYOUT and NOISE CONSIDERATIONS. Switching supplies can be locked to any multiple of the 8 kHz sampling frequency.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
| <ul style="list-style-type: none"> <li>• Use of Jittered Clocks or Frame Syncs</li> </ul>                              | <ul style="list-style-type: none"> <li>• Clocks are sometimes locked or recovered using digital PLLs, which impart jitter to the pulse stream. This will be passed on to the analog samples. If the peak to peak jitter is large enough and the frequency lies in the speech band, it may be audible. The jitter frequency is usually related to the difference between the incoming and local frequencies. An analog phase locked loop should be used to eliminate the jitter.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |
| <ul style="list-style-type: none"> <li>• Testing PCB on Extender Card</li> </ul>                                       | <ul style="list-style-type: none"> <li>• Use of an extender card sometimes causes problems during testing. Propagation delays, capacitive loading, reflections, overshoot, ringing and crosstalk are all increased and may cause timing, noise, or other problems. The extender should be removed temporarily to determine if it is causing or contributing to the problem.</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |

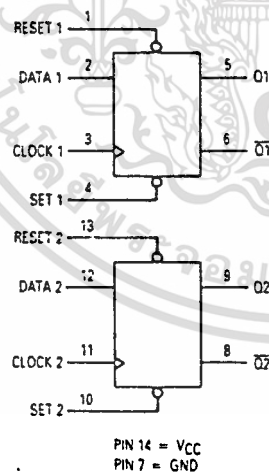
Advance Information  
**Dual D Flip-Flop with Set  
and Reset**  
High-Performance Silicon-Gate CMOS

The MC54/74HC74A is identical in pinout to the LS74. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device consists of two D flip-flops with individual Set, Reset, and Clock inputs. Information at a D-input is transferred to the corresponding Q output on the next positive going edge of the clock input. Both Q and  $\bar{Q}$  outputs are available from each flip-flop. The Set and Reset inputs are asynchronous.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2.0 to 6.0 V
- Low Input Current: 1.0  $\mu$ A
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 128 FETs or 32 Equivalent Gates
- Improvements over HC74
  - Improved Propagation Delays
  - 50% Lower Quiescent Power
  - Improved Input Noise and Latchup Immunity

LOGIC DIAGRAM

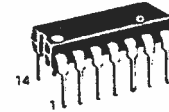


This document contains information on a new product.  
Specifications and information herein are subject to change without notice.

**MC54/74HC74A**



J SUFFIX  
CERAMIC  
CASE 632-08



N SUFFIX  
PLASTIC  
CASE 646-06



D SUFFIX  
SOIC  
CASE 751A-02

ORDERING INFORMATION

|            |         |
|------------|---------|
| MC74HCXXAN | Plastic |
| MC54HCXXAJ | Ceramic |
| MC74HCXXAD | SOIC    |

$T_A = -55^\circ$  to  $125^\circ\text{C}$  for all packages.  
Dimensions in Chapter 6.

PIN ASSIGNMENT

|         |   |    |         |
|---------|---|----|---------|
| RESET 1 | 1 | 14 | VCC     |
| DATA 1  | 2 | 13 | RESET 2 |
| CLOCK 1 | 3 | 12 | DATA 2  |
| SET 1   | 4 | 11 | CLOCK 2 |
| Q1      | 5 | 10 | SET 2   |
| Q1-bar  | 6 | 9  | Q2      |
| GND     | 7 | 8  | Q2-bar  |

FUNCTION TABLE

| Inputs |       |       |      | Outputs   |           |
|--------|-------|-------|------|-----------|-----------|
| Set    | Reset | Clock | Data | Q         | $\bar{Q}$ |
| L      | H     | X     | X    | H         | L         |
| H      | L     | X     | X    | L         | H         |
| L      | L     | X     | X    | H*        | H*        |
| H      | H     |       | H    | H         | L         |
| H      | H     |       | L    | L         | H         |
| H      | H     | L     | X    | No Change | No Change |
| H      | H     | H     | X    | No Change | No Change |
| H      | H     |       | X    | No Change | No Change |

\* Both outputs will remain high as long as Set and Reset are low, but the output states are unpredictable if Set and Reset go high simultaneously.

MC54/74HC74A

MAXIMUM RATINGS\*

| Symbol           | Parameter                                                                                         | Value                         | Unit |
|------------------|---------------------------------------------------------------------------------------------------|-------------------------------|------|
| V <sub>CC</sub>  | DC Supply Voltage (Referenced to GND)                                                             | -0.5 to +7.0                  | V    |
| V <sub>in</sub>  | DC Input Voltage (Referenced to GND)                                                              | -1.5 to V <sub>CC</sub> + 1.5 | V    |
| V <sub>out</sub> | DC Output Voltage (Referenced to GND)                                                             | -0.5 to V <sub>CC</sub> + 0.5 | V    |
| I <sub>in</sub>  | DC Input Current, per Pin                                                                         | ± 20                          | mA   |
| I <sub>out</sub> | DC Output Current, per Pin                                                                        | ± 25                          | mA   |
| I <sub>CC</sub>  | DC Supply Current, V <sub>CC</sub> and GND Pins                                                   | ± 50                          | mA   |
| P <sub>D</sub>   | Power Dissipation in Still Air, Plastic or Ceramic DIP<br>SOIC Package                            | 750<br>500                    | mW   |
| T <sub>stg</sub> | Storage Temperature                                                                               | - 65 to + 150                 | °C   |
| T <sub>L</sub>   | Lead Temperature, 1 mm from Case for 10 Seconds<br>(Plastic DIP or SOIC Package)<br>(Ceramic DIP) | 260<br>300                    | °C   |

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V<sub>in</sub> and V<sub>out</sub> should be constrained to the range GND ≤ (V<sub>in</sub> or V<sub>out</sub>) ≤ V<sub>CC</sub>. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V<sub>CC</sub>). Unused outputs must be left open.

\*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

RECOMMENDED OPERATING CONDITIONS

| Symbol                             | Parameter                                            |                                                                               | Min         | Max                | Unit |
|------------------------------------|------------------------------------------------------|-------------------------------------------------------------------------------|-------------|--------------------|------|
| V <sub>CC</sub>                    | DC Supply Voltage (Referenced to GND)                |                                                                               | 2.0         | 6.0                | V    |
| V <sub>in</sub> , V <sub>out</sub> | DC Input Voltage, Output Voltage (Referenced to GND) |                                                                               | 0           | V <sub>CC</sub>    | V    |
| T <sub>A</sub>                     | Operating Temperature, All Package Types             |                                                                               | - 55        | + 125              | °C   |
| t <sub>r</sub> , t <sub>f</sub>    | Input Rise and Fall Time<br>(Figure 1)               | V <sub>CC</sub> = 2.0 V<br>V <sub>CC</sub> = 4.5 V<br>V <sub>CC</sub> = 6.0 V | 0<br>0<br>0 | 1000<br>500<br>400 | ns   |

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

| Symbol          | Parameter                                      | Test Conditions                                                                                                      | V <sub>CC</sub><br>V | Guaranteed Limit   |                    |                    | Unit |
|-----------------|------------------------------------------------|----------------------------------------------------------------------------------------------------------------------|----------------------|--------------------|--------------------|--------------------|------|
|                 |                                                |                                                                                                                      |                      | 25°C to<br>- 55°C  | ≤ 85°C             | ≤ 125°C            |      |
| V <sub>IH</sub> | Minimum High-Level Input Voltage               | V <sub>out</sub> = 0.1 V or V <sub>CC</sub> - 0.1 V<br> I <sub>out</sub>   ≤ 20 μA                                   | 2.0<br>4.5<br>6.0    | 1.5<br>3.15<br>4.2 | 1.5<br>3.15<br>4.2 | 1.5<br>3.15<br>4.2 | V    |
| V <sub>IL</sub> | Maximum Low-Level Input Voltage                | V <sub>out</sub> = 0.1 V or V <sub>CC</sub> - 0.1 V<br> I <sub>out</sub>   ≤ 20 μA                                   | 2.0<br>4.5<br>6.0    | 0.5<br>1.35<br>1.8 | 0.5<br>1.35<br>1.8 | 0.5<br>1.35<br>1.8 | V    |
| V <sub>OH</sub> | Minimum High-Level Output Voltage              | V <sub>in</sub> = V <sub>IH</sub> or V <sub>IL</sub><br> I <sub>out</sub>   ≤ 20 μA                                  | 2.0<br>4.5<br>6.0    | 1.9<br>4.4<br>5.9  | 1.9<br>4.4<br>5.9  | 1.9<br>4.4<br>5.9  | V    |
|                 |                                                | V <sub>in</sub> = V <sub>IH</sub> or V <sub>IL</sub><br> I <sub>out</sub>   ≤ 4.0 mA<br> I <sub>out</sub>   ≤ 5.2 mA | 4.5<br>6.0           | 3.98<br>5.48       | 3.84<br>5.34       | 3.7<br>5.2         |      |
| V <sub>OL</sub> | Maximum Low-Level Output Voltage               | V <sub>in</sub> = V <sub>IH</sub> or V <sub>IL</sub><br> I <sub>out</sub>   ≤ 20 μA                                  | 2.0<br>4.5<br>6.0    | 0.1<br>0.1<br>0.1  | 0.1<br>0.1<br>0.1  | 0.1<br>0.1<br>0.1  | V    |
|                 |                                                | V <sub>in</sub> = V <sub>IH</sub> or V <sub>IL</sub><br> I <sub>out</sub>   ≤ 4.0 mA<br> I <sub>out</sub>   ≤ 5.2 mA | 4.5<br>6.0           | 0.26<br>0.26       | 0.33<br>0.33       | 0.4<br>0.4         |      |
| I <sub>in</sub> | Maximum Input Leakage Current                  | V <sub>in</sub> = V <sub>CC</sub> or GND                                                                             | 6.0                  | ± 0.1              | ± 1.0              | ± 1.0              | μA   |
| I <sub>CC</sub> | Maximum Quiescent Supply Current (per Package) | V <sub>in</sub> = V <sub>CC</sub> = GND<br>I <sub>out</sub> = 0 μA                                                   | 6.0                  | 2.0                | 20                 | 80                 | μA   |

# MC54/74HC74A

AC ELECTRICAL CHARACTERISTICS ( $C_L = 50 \text{ pF}$ , Input  $t_r = t_f = 6.0 \text{ ns}$ )

| Symbol                   | Parameter                                                                      | VCC<br>V          | Guaranteed Limit |                 |                 | Unit |
|--------------------------|--------------------------------------------------------------------------------|-------------------|------------------|-----------------|-----------------|------|
|                          |                                                                                |                   | 25°C to<br>-55°C | ≤85°C           | ≤125°C          |      |
| $f_{\max}$               | Maximum Clock Frequency (50% Duty Cycle)<br>(Figures 1 and 4)                  | 2.0<br>4.5<br>6.0 | 6.0<br>30<br>35  | 4.8<br>24<br>28 | 4.0<br>20<br>24 | MHz  |
| $t_{PLH}$ ,<br>$t_{PHL}$ | Maximum Propagation Delay, Clock to Q or $\bar{Q}$<br>(Figures 1 and 4)        | 2.0<br>4.5<br>6.0 | 100<br>20<br>17  | 125<br>25<br>21 | 150<br>30<br>26 | ns   |
| $t_{PLH}$ ,<br>$t_{PHL}$ | Maximum Propagation Delay, Set or Reset to Q or $\bar{Q}$<br>(Figures 2 and 4) | 2.0<br>4.5<br>6.0 | 105<br>21<br>18  | 130<br>26<br>22 | 160<br>32<br>27 | ns   |
| $t_{TLH}$ ,<br>$t_{THL}$ | Maximum Output Transition Time, Any Output<br>(Figures 1 and 4)                | 2.0<br>4.5<br>6.0 | 75<br>15<br>13   | 95<br>19<br>16  | 110<br>22<br>19 | ns   |
| $C_{in}$                 | Maximum Input Capacitance                                                      | —                 | 10               | 10              | 10              | pF   |

|     |                                                                                                                                                        |                                          |    |
|-----|--------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------|----|
| CPD | Power Dissipation Capacitance (Per Flip-Flop)<br>Used to determine the no-load dynamic power consumption:<br>$P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ | Typical @ 25°C, $V_{CC} = 5.0 \text{ V}$ | pF |
|     |                                                                                                                                                        | 39                                       |    |

TIMING REQUIREMENTS (Input  $t_r = t_f = 6.0 \text{ ns}$ )

| Symbol        | Parameter                                                           | VCC<br>V          | Guaranteed Limit   |                    |                    | Unit |
|---------------|---------------------------------------------------------------------|-------------------|--------------------|--------------------|--------------------|------|
|               |                                                                     |                   | 25°C to<br>-55°C   | ≤85°C              | ≤125°C             |      |
| $t_{su}$      | Minimum Setup Time, Data to Clock<br>(Figure 3)                     | 2.0<br>4.5<br>6.0 | 80<br>16<br>14     | 100<br>20<br>17    | 120<br>24<br>20    | ns   |
| $t_h$         | Minimum Hold Time, Clock to Data<br>(Figure 3)                      | 2.0<br>4.5<br>6.0 | 3.0<br>3.0<br>3.0  | 3.0<br>3.0<br>3.0  | 3.0<br>3.0<br>3.0  | ns   |
| $t_{rec}$     | Minimum Recovery Time, Set or Reset Inactive to Clock<br>(Figure 2) | 2.0<br>4.5<br>6.0 | 8.0<br>8.0<br>8.0  | 8.0<br>8.0<br>8.0  | 8.0<br>8.0<br>8.0  | ns   |
| $t_w$         | Minimum Pulse Width, Clock<br>(Figure 1)                            | 2.0<br>4.5<br>6.0 | 60<br>12<br>10     | 75<br>15<br>13     | 90<br>18<br>15     | ns   |
| $t_w$         | Minimum Pulse Width, Set or Reset<br>(Figure 2)                     | 2.0<br>4.5<br>6.0 | 60<br>12<br>10     | 75<br>15<br>13     | 90<br>18<br>15     | ns   |
| $t_r$ , $t_f$ | Maximum Input Rise and Fall Times<br>(Figure 1)                     | 2.0<br>4.5<br>6.0 | 1000<br>500<br>400 | 1000<br>500<br>400 | 1000<br>500<br>400 | ns   |

5

# MC54/74HC74A

## SWITCHING WAVEFORMS

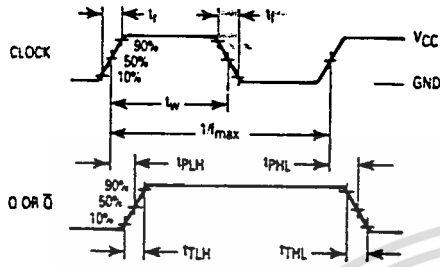


Figure 1.

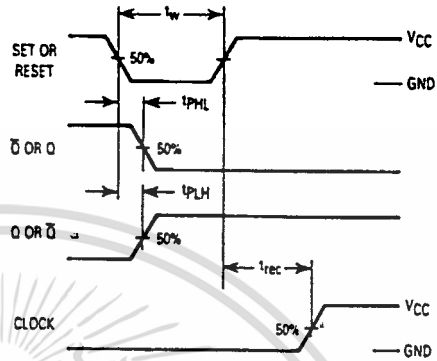


Figure 2.

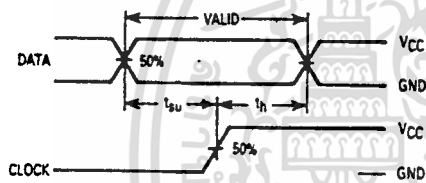
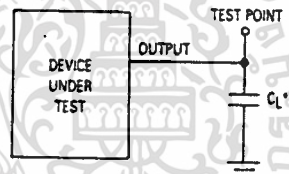


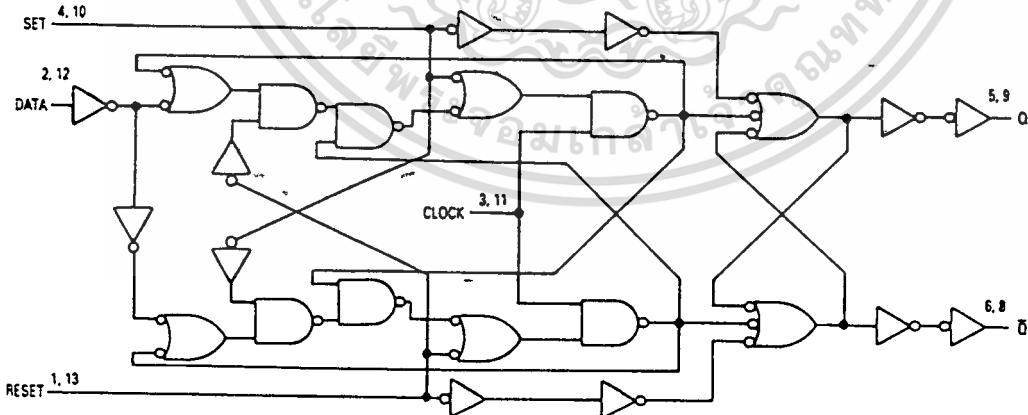
Figure 3.



\*Includes all probe and jig capacitance

Figure 4.

## EXPANDED LOGIC DIAGRAM



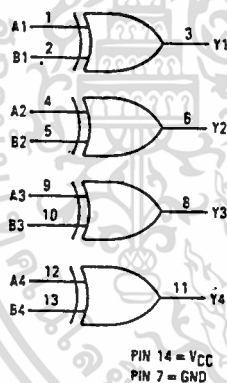
## Quad 2-Input Exclusive OR Gate

### High-Performance Silicon-Gate CMOS

The MC54/74HC86 is identical in pinout to the LS86; this device is similar in function to the MM74C86 and L86, but has a different pinout. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1  $\mu$ A
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 56 FETs or 14 Equivalent Gates

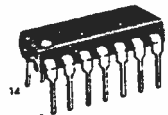
LOGIC DIAGRAM



## MC54/74HC86



J SUFFIX  
CERAMIC  
CASE 632-08



N SUFFIX  
PLASTIC  
CASE 646-06



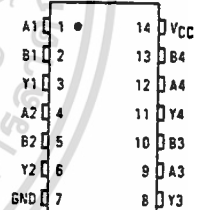
D SUFFIX  
SOIC  
CASE 751A-02

### ORDERING INFORMATION

MC74HCXXN Plastic  
MC54HCXXJ Ceramic  
MC74HCXXD SOIC

$T_A = -55^\circ$  to  $125^\circ\text{C}$  for all packages.  
Dimensions in Chapter 6.

### PIN ASSIGNMENT



### FUNCTION TABLE

| Inputs |   | Output |
|--------|---|--------|
| A      | B | Y      |
| L      | L | L      |
| L      | H | H      |
| H      | L | H      |
| H      | H | L      |

# MC54/74HC86

## MAXIMUM RATINGS\*

| Symbol           | Parameter                                                                                         | Value                          | Unit |
|------------------|---------------------------------------------------------------------------------------------------|--------------------------------|------|
| V <sub>CC</sub>  | DC Supply Voltage (Referenced to GND)                                                             | - 0.5 to + 7.0                 | V    |
| V <sub>in</sub>  | DC Input Voltage (Referenced to GND)                                                              | - 1.5 to V <sub>CC</sub> + 1.5 | V    |
| V <sub>out</sub> | DC Output Voltage (Referenced to GND)                                                             | - 0.5 to V <sub>CC</sub> + 0.5 | V    |
| I <sub>in</sub>  | DC Input Current, per Pin                                                                         | ± 20                           | mA   |
| I <sub>out</sub> | DC Output Current, per Pin                                                                        | ± 25                           | mA   |
| I <sub>CC</sub>  | DC Supply Current, V <sub>CC</sub> and GND Pins                                                   | ± 50                           | mA   |
| P <sub>D</sub>   | Power Dissipation in Still Air, Plastic or Ceramic DIP†<br>SOIC Package†                          | 750<br>500                     | mW   |
| T <sub>sto</sub> | Storage Temperature                                                                               | - 65 to + 150                  | °C   |
| T <sub>L</sub>   | Lead Temperature, 1 mm from Case for 10 Seconds<br>(Plastic DIP or SOIC Package)<br>(Ceramic DIP) | 260<br>300                     | °C   |

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V<sub>in</sub> and V<sub>out</sub> should be constrained to the range GND ≤ (V<sub>in</sub> or V<sub>out</sub>) ≤ V<sub>CC</sub>. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V<sub>CC</sub>). Unused outputs must be left open.

\* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.  
† Derating — Plastic DIP: - 10 mW/°C from 65° to 125°C  
Ceramic DIP: - 10 mW/°C from 100° to 125°C  
SOIC Package: - 7 mW/°C from 65° to 125°C  
For high frequency or heavy load considerations, see Chapter 4.

## RECOMMENDED OPERATING CONDITIONS

| Symbol                             | Parameter                                            | Min                                                                           | Max                     | Unit |
|------------------------------------|------------------------------------------------------|-------------------------------------------------------------------------------|-------------------------|------|
| V <sub>CC</sub>                    | DC Supply Voltage (Referenced to GND)                | 2.0                                                                           | 6.0                     | V    |
| V <sub>in</sub> , V <sub>out</sub> | DC Input Voltage, Output Voltage (Referenced to GND) | 0                                                                             | V <sub>CC</sub>         | V    |
| T <sub>A</sub>                     | Operating Temperature, All Package Types             | - 55                                                                          | + 125                   | °C   |
| t <sub>r</sub> , t <sub>f</sub>    | Input Rise and Fall Time<br>(Figure 1)               | V <sub>CC</sub> = 2.0 V<br>V <sub>CC</sub> = 4.5 V<br>V <sub>CC</sub> = 6.0 V | 0<br>1000<br>500<br>400 | ns   |

## DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

| Symbol          | Parameter                                      | Test Conditions                                                                      | V <sub>CC</sub><br>V | Guaranteed Limit   |                    |                    | Unit |
|-----------------|------------------------------------------------|--------------------------------------------------------------------------------------|----------------------|--------------------|--------------------|--------------------|------|
|                 |                                                |                                                                                      |                      | 25°C to<br>- 55°C  | ≤ 85°C             | ≤ 125°C            |      |
| V <sub>IH</sub> | Minimum High-Level Input Voltage               | V <sub>out</sub> = 0.1 V or V <sub>CC</sub> - 0.1 V<br> I <sub>out</sub>   ≤ 20 μA   | 2.0<br>4.5<br>6.0    | 1.5<br>3.15<br>4.2 | 1.5<br>3.15<br>4.2 | 1.5<br>3.15<br>4.2 | V    |
| V <sub>IL</sub> | Maximum Low-Level Input Voltage                | V <sub>out</sub> = 0.1 V or V <sub>CC</sub> - 0.1 V<br> I <sub>out</sub>   ≤ 20 μA   | 2.0<br>4.5<br>6.0    | 0.3<br>0.9<br>1.2  | 0.3<br>0.9<br>1.2  | 0.3<br>0.9<br>1.2  | V    |
| V <sub>OH</sub> | Minimum High-Level Output Voltage              | V <sub>in</sub> = V <sub>IH</sub> or V <sub>IL</sub><br> I <sub>out</sub>   ≤ 20 μA  | 2.0<br>4.5<br>6.0    | 1.9<br>4.4<br>5.9  | 1.9<br>4.4<br>5.9  | 1.9<br>4.4<br>5.9  | V    |
| V <sub>OL</sub> | Maximum Low-Level Output Voltage               | V <sub>in</sub> = V <sub>IH</sub> or V <sub>IL</sub><br> I <sub>out</sub>   ≤ 4.0 mA | 2.0<br>4.5<br>6.0    | 0.1<br>0.1<br>0.1  | 0.1<br>0.1<br>0.1  | 0.1<br>0.1<br>0.1  | V    |
|                 |                                                | V <sub>in</sub> = V <sub>IH</sub> or V <sub>IL</sub><br> I <sub>out</sub>   ≤ 5.2 mA | 2.0<br>4.5<br>6.0    | 0.1<br>0.1<br>0.1  | 0.1<br>0.1<br>0.1  | 0.1<br>0.1<br>0.1  |      |
| I <sub>in</sub> | Maximum Input Leakage Current                  | V <sub>in</sub> = V <sub>CC</sub> or GND                                             | 6.0                  | ± 0.1              | ± 1.0              | ± 1.0              | μA   |
| I <sub>CC</sub> | Maximum Quiescent Supply Current (per Package) | V <sub>in</sub> = V <sub>CC</sub> or GND<br>I <sub>out</sub> = 0 μA                  | 6.0                  | 2                  | 20                 | 40                 | μA   |

NOTE: Information on typical parametric values can be found in Chapter 4.

5

MC54/74HC86

AC ELECTRICAL CHARACTERISTICS (C<sub>L</sub> = 50 pF, Input t<sub>r</sub> = t<sub>f</sub> = 6 ns)

| Symbol                                 | Parameter                                                                | VCC<br>V          | Guaranteed Limit |                 |                 | Unit |
|----------------------------------------|--------------------------------------------------------------------------|-------------------|------------------|-----------------|-----------------|------|
|                                        |                                                                          |                   | 25°C to<br>-55°C | ≤ 85°C          | ≤ 125°C         |      |
| t <sub>PLH</sub> ,<br>t <sub>PHL</sub> | Maximum Propagation Delay, Input A or B to Output Y<br>(Figures 1 and 2) | 2.0<br>4.5<br>6.0 | 120<br>24<br>20  | 150<br>30<br>26 | 180<br>36<br>31 | ns   |
| t <sub>TLH</sub> ,<br>t <sub>THL</sub> | Maximum Output Transition Time, Any Output<br>(Figures 1 and 2)          | 2.0<br>4.5<br>6.0 | 75<br>15<br>13   | 95<br>19<br>16  | 110<br>22<br>19 | ns   |
| C <sub>in</sub>                        | Maximum Input Capacitance                                                | —                 | 10               | 10              | 10              | pF   |

- NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4.
  2. Information on typical parametric values can be found in Chapter 4.

|     |                                                                                                                                                                                                             |                                         |    |
|-----|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------|----|
| CPD | Power Dissipation Capacitance (Per Gate)<br>Used to determine the no-load dynamic power consumption:<br>$P_D = CPD \cdot V_{CC}^2 \cdot f + I_{CC} \cdot V_{CC}$<br>For load considerations, see Chapter 4. | Typical @ 25°C, V <sub>CC</sub> = 5.0 V | pF |
|     |                                                                                                                                                                                                             | 33                                      |    |

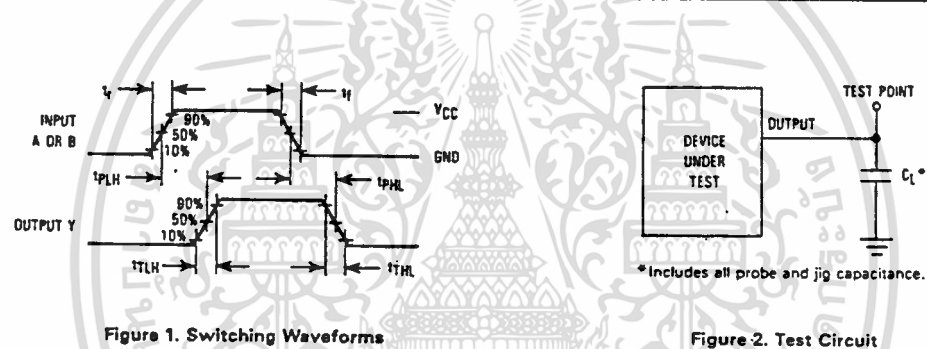
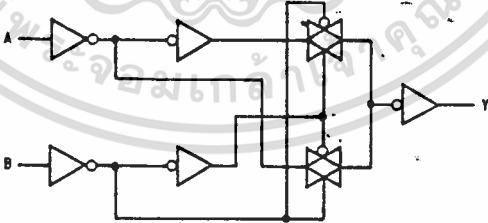


Figure 1. Switching Waveforms

Figure 2. Test Circuit

EXPANDED LOGIC DIAGRAM  
(% of Device)



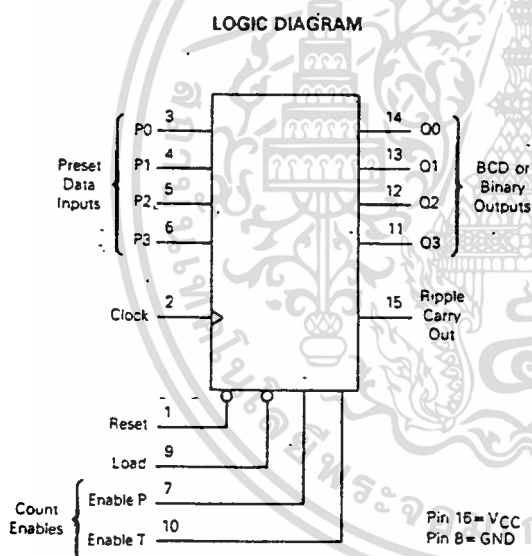
## Presetable Counters

### High-Performance Silicon-Gate CMOS

The MC54/74HC160 through HC163 are identical in pinout to the LS160 through LS163, respectively. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC160 and HC162 are programmable BCD counters with asynchronous and synchronous Reset inputs, respectively. The HC161 and HC163 are programmable 2-bit binary counters with asynchronous and synchronous reset, respectively.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1  $\mu$ A
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 234 FETs or 58.5 Equivalent Gates



| Device | Count Mode | Reset Mode   |
|--------|------------|--------------|
| HC160  | BCD        | Asynchronous |
| HC161  | Binary     | Asynchronous |
| HC162  | BCD        | Synchronous  |
| HC163  | Binary     | Synchronous  |

| FUNCTION TABLE |        |        |          |          |                  |
|----------------|--------|--------|----------|----------|------------------|
|                |        | Inputs |          |          | Output Q         |
| Clock          | Reset* | Load   | Enable P | Enable T |                  |
|                | L      | X      | X        | X        | Reset            |
|                | H      | L      | X        | X        | Load Preset Data |
|                | H      | H      | H        | H        | Count            |
|                | H      | H      | L        | X        | No Count         |
|                | H      | H      | X        | L        | No Count         |

\* HC162 and HC163 only HC160 and HC161 are Asynchronous-Reset Devices

H = high level

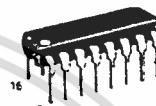
L = low level

X = don't care

**MC54/74HC160**  
**MC54/74HC161**  
**MC54/74HC162**  
**MC54/74HC163**



**J SUFFIX**  
**CERAMIC**  
**CASE 620-09**



**N SUFFIX**  
**PLASTIC**  
**CASE 648-06**



**D SUFFIX**  
**SOIC**  
**CASE 751B-03**

#### ORDERING INFORMATION

MC74HCXXN Plastic  
MC54HCXXJ Ceramic  
MC74HCXXD SOIC

$T_A = -55^\circ$  to  $125^\circ\text{C}$  for all packages.  
Dimensions in Chapter 6.

#### PIN ASSIGNMENT

|          |   |    |                  |
|----------|---|----|------------------|
| Reset    | 1 | 16 | VCC              |
| Clock    | 2 | 15 | Ripple Carry Out |
| P0       | 3 | 14 | Q0               |
| P1       | 4 | 13 | Q1               |
| P2       | 5 | 12 | Q2               |
| P3       | 6 | 11 | Q3               |
| Enable P | 7 | 10 | Enable T         |
| GND      | 8 | 9  | Load             |

# MC54/74HC160•MC54/74HC161•MC54/74HC162•MC54/74HC163

## MAXIMUM RATINGS\*

| Symbol    | Parameter                                                                                         | Value                  | Unit |
|-----------|---------------------------------------------------------------------------------------------------|------------------------|------|
| $V_{CC}$  | DC Supply Voltage (Referenced to GND)                                                             | -0.5 to +7.0           | V    |
| $V_{in}$  | DC Input Voltage (Referenced to GND)                                                              | -1.5 to $V_{CC} + 1.5$ | V    |
| $V_{out}$ | DC Output Voltage (Referenced to GND)                                                             | -0.5 to $V_{CC} + 0.5$ | V    |
| $I_{in}$  | DC Input Current, per Pin                                                                         | $\pm 20$               | mA   |
| $I_{out}$ | DC Output Current, per Pin                                                                        | $\pm 25$               | mA   |
| $I_{CC}$  | DC Supply Current, $V_{CC}$ and GND Pins                                                          | $\pm 50$               | mA   |
| $P_D$     | Power Dissipation in Still Air, Plastic or Ceramic DIP†<br>SOIC Package†                          | 750<br>500             | mW   |
| $T_{stg}$ | Storage Temperature                                                                               | -65 to +150            | °C   |
| $T_L$     | Lead Temperature, 1 mm from Case for 10 Seconds<br>(Plastic DIP or SOIC Package)<br>(Ceramic DIP) | 260<br>300             | °C   |

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation,  $V_{in}$  and  $V_{out}$  should be constrained to the range  $GND \leq (V_{in} \text{ or } V_{out}) \leq V_{CC}$ . Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or  $V_{CC}$ ). Unused outputs must be left open.

\* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

† Derating — Plastic DIP: -10 mW/°C from 65° to 125°C  
Ceramic DIP: -10 mW/°C from 100° to 125°C  
SOIC Package: -7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 4.

## RECOMMENDED OPERATING CONDITIONS

| Symbol                             | Parameter                                            | Min                                                                           | Max             | Unit               |    |
|------------------------------------|------------------------------------------------------|-------------------------------------------------------------------------------|-----------------|--------------------|----|
| V <sub>CC</sub>                    | DC Supply Voltage (Referenced to GND)                | 2.0                                                                           | 6.0             | V                  |    |
| V <sub>in</sub> , V <sub>out</sub> | DC Input Voltage, Output Voltage (Referenced to GND) | 0                                                                             | V <sub>CC</sub> | V                  |    |
| T <sub>A</sub>                     | Operating Temperature, All Package Types             | -55                                                                           | +125            | °C                 |    |
| t <sub>r</sub> , t <sub>f</sub>    | Input Rise and Fall Time<br>(Figure 1)               | V <sub>CC</sub> = 2.0 V<br>V <sub>CC</sub> = 4.5 V<br>V <sub>CC</sub> = 6.0 V | 0<br>0<br>0     | 1000<br>500<br>300 | ns |

## DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

| Symbol   | Parameter                                      | Test Conditions                                                                                        | $V_{CC}$<br>V     | Guaranteed Limit   |                         |                          | Unit          |
|----------|------------------------------------------------|--------------------------------------------------------------------------------------------------------|-------------------|--------------------|-------------------------|--------------------------|---------------|
|          |                                                |                                                                                                        |                   | 25°C to<br>-55°C   | $\leq 85^\circ\text{C}$ | $\leq 125^\circ\text{C}$ |               |
| $V_{IH}$ | Minimum High-Level Input Voltage               | $V_{out} = 0.1 \text{ V or } V_{CC} - 0.1 \text{ V}$<br>$I_{out} \leq 20 \mu\text{A}$                  | 2.0<br>4.5<br>6.0 | 1.5<br>3.15<br>4.2 | 1.5<br>3.15<br>4.2      | 1.5<br>3.15<br>4.2       | V             |
| $V_{IL}$ | Maximum Low-Level Input Voltage                | $V_{out} = 0.1 \text{ V or } V_{CC} - 0.1 \text{ V}$<br>$I_{out} \leq 20 \mu\text{A}$                  | 2.0<br>4.5<br>6.0 | 0.3<br>0.9<br>1.2  | 0.3<br>0.9<br>1.2       | 0.3<br>0.9<br>1.2        | V             |
| $V_{OH}$ | Minimum High-Level Output Voltage              | $V_{in} = V_{IH} \text{ or } V_{IL}$<br>$I_{out} \leq 20 \mu\text{A}$                                  | 2.0<br>4.5<br>6.0 | 1.9<br>4.4<br>5.9  | 1.9<br>4.4<br>5.9       | 1.9<br>4.4<br>5.9        | V             |
|          |                                                | $V_{in} = V_{IH} \text{ or } V_{IL}$<br>$I_{out} \leq 4.0 \text{ mA}$<br>$I_{out} \leq 5.2 \text{ mA}$ | 4.5<br>6.0        | 3.98<br>5.48       | 3.84<br>5.34            | 3.70<br>5.20             | V             |
| $V_{OL}$ | Maximum Low-Level Output Voltage               | $V_{in} = V_{IH} \text{ or } V_{IL}$<br>$I_{out} \leq 20 \mu\text{A}$                                  | 2.0<br>4.5<br>6.0 | 0.1<br>0.1<br>0.1  | 0.1<br>0.1<br>0.1       | 0.1<br>0.1<br>0.1        | V             |
|          |                                                | $V_{in} = V_{IH} \text{ or } V_{IL}$<br>$I_{out} \leq 4.0 \text{ mA}$<br>$I_{out} \leq 5.2 \text{ mA}$ | 4.5<br>6.0        | 0.26<br>0.26       | 0.33<br>0.33            | 0.40<br>0.40             | V             |
| $I_{in}$ | Maximum Input Leakage Current                  | $V_{in} = V_{CC} \text{ or GND}$                                                                       | 6.0               | $\pm 0.1$          | $\pm 1.0$               | $\pm 1.0$                | $\mu\text{A}$ |
| $I_{CC}$ | Maximum Quiescent Supply Current (per Package) | $V_{in} = V_{CC} \text{ or GND}$<br>$I_{out} = 0 \mu\text{A}$                                          | 6.0               | 8                  | 80                      | 160                      | $\mu\text{A}$ |

NOTE: Information on typical parametric values can be found in Chapter 4.

MC54/74HC160•MC54/74HC161•MC54/74HC162•MC54/74HC163

AC ELECTRICAL CHARACTERISTICS ( $C_L = 50 \text{ pF}$ , Input  $t_r = t_f = 6 \text{ ns}$ )

| Symbol                   | Parameter                                                                                           | V <sub>CC</sub><br>V | Guaranteed Limit |                 |                 | Unit |
|--------------------------|-----------------------------------------------------------------------------------------------------|----------------------|------------------|-----------------|-----------------|------|
|                          |                                                                                                     |                      | 25°C to<br>-55°C | ≤85°C           | ≤125°C          |      |
| $f_{\max}$               | Maximum Clock Frequency (50% Duty Cycle)*<br>(Figures 1 and 7)                                      | 2.0<br>4.5<br>6.0    | 6.0<br>30<br>35  | 4.8<br>24<br>28 | 4.0<br>20<br>24 | MHz  |
| $t_{PLH}$                | Maximum Propagation Delay, Clock to Q<br>(Figures 1 and 7)                                          | 2.0                  | 170              | 215             | 255             | ns   |
|                          |                                                                                                     | 4.5                  | 34               | 43              | 51              |      |
|                          |                                                                                                     | 6.0                  | 29               | 37              | 43              |      |
| $t_{PHL}$                |                                                                                                     | 2.0                  | 205              | 255             | 310             |      |
|                          |                                                                                                     | 4.5                  | 41               | 51              | 62              |      |
|                          |                                                                                                     | 6.0                  | 35               | 43              | 53              |      |
| $t_{PHL}$                | Maximum Propagation Delay, Reset to Q (HC160 and HC161 Only)<br>(Figures 2 and 7)                   | 2.0<br>4.5<br>6.0    | 210<br>42<br>36  | 265<br>53<br>45 | 315<br>63<br>54 | ns   |
| $t_{PLH}$                | Maximum Propagation Delay, Enable T to Ripple Carry Out<br>(Figures 3 and 7)                        | 2.0                  | 160              | 200             | 240             | ns   |
|                          |                                                                                                     | 4.5                  | 32               | 40              | 48              |      |
|                          |                                                                                                     | 6.0                  | 27               | 34              | 41              |      |
| $t_{PHL}$                |                                                                                                     | 2.0                  | 195              | 245             | 295             |      |
|                          |                                                                                                     | 4.5                  | 39               | 49              | 59              |      |
|                          |                                                                                                     | 6.0                  | 33               | 42              | 50              |      |
| $t_{PLH}$                | Maximum Propagation Delay, Clock to Ripple Carry Out<br>(Figures 1 and 7)                           | 2.0                  | 175              | 220             | 265             | ns   |
|                          |                                                                                                     | 4.5                  | 35               | 44              | 53              |      |
|                          |                                                                                                     | 6.0                  | 30               | 37              | 45              |      |
| $t_{PHL}$                |                                                                                                     | 2.0                  | 215              | 270             | 325             |      |
|                          |                                                                                                     | 4.5                  | 43               | 54              | 65              |      |
|                          |                                                                                                     | 6.0                  | 37               | 46              | 55              |      |
| $t_{PHL}$                | Maximum Propagation Delay, Reset to Ripple Carry Out (HC160 and HC161<br>Only)<br>(Figures 2 and 7) | 2.0<br>4.5<br>6.0    | 220<br>44<br>37  | 275<br>55<br>47 | 330<br>66<br>56 | ns   |
| $t_{TLH}$ ,<br>$t_{THL}$ | Maximum Output Transition Time, Any Output<br>(Figures 1 and 7)                                     | 2.0<br>4.5<br>6.0    | 75<br>15<br>13   | 95<br>19<br>16  | 110<br>22<br>19 | ns   |
| $C_{in}$                 | Maximum Input Capacitance                                                                           | —                    | 10               | 10              | 10              | pF   |

\* Applies to noncascaded/nonsynchronously clocked configurations only. With synchronously cascaded counters, (1) Clock to Ripple Carry Out propagation delays, (2) Enable T or Enable P to Clock setup times, and (3) Clock to Enable T or Enable P hold times determine  $f_{\max}$ . However, if Ripple Carry Out of each stage is tied to the Clock of the next stage (nonsynchronously clocked), the  $f_{\max}$  in the table above is applicable. See Applications Information in this data sheet.

NOTES:

1. For propagation delays with loads other than 50 pF, see Chapter 4.
2. Information on typical parametric values can be found in Chapter 4.

|     |                                                                                                                                                                                                 |                                          |    |
|-----|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------|----|
| CPD | Power Dissipation Capacitance (Per Package)<br>Used to determine the no-load dynamic power consumption:<br>$P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$<br>For load considerations, see Chapter 4. | Typical @ 25°C, $V_{CC} = 5.0 \text{ V}$ | pF |
|     |                                                                                                                                                                                                 | 60                                       |    |

# MC54/74HC160•MC54/74HC161•MC54/74HC162•MC54/74HC163

## SWITCHING WAVEFORMS

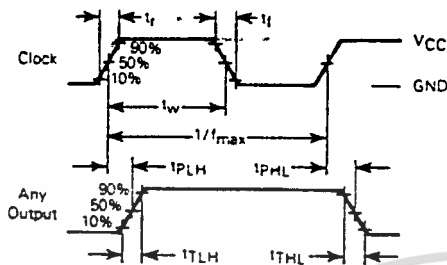


Figure 1.

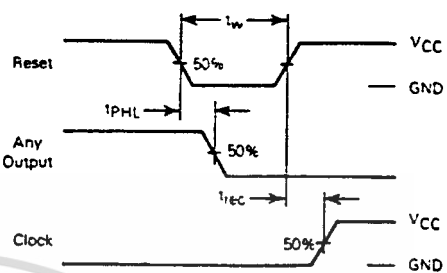


Figure 2.

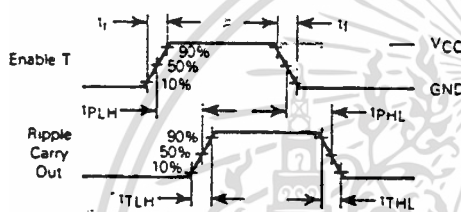


Figure 3.

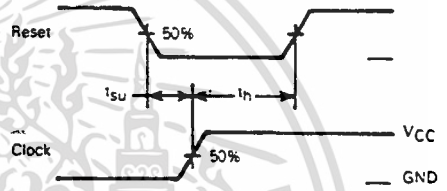


Figure 4. HC162 and HC163 Only.

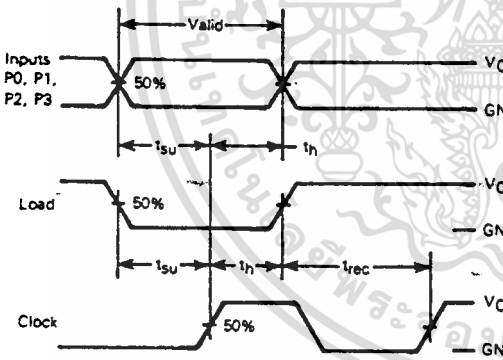


Figure 5.

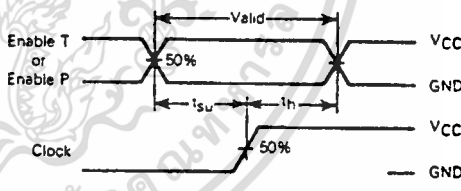
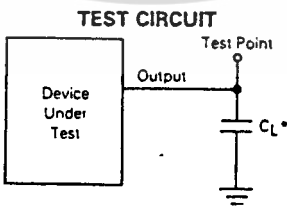


Figure 6.

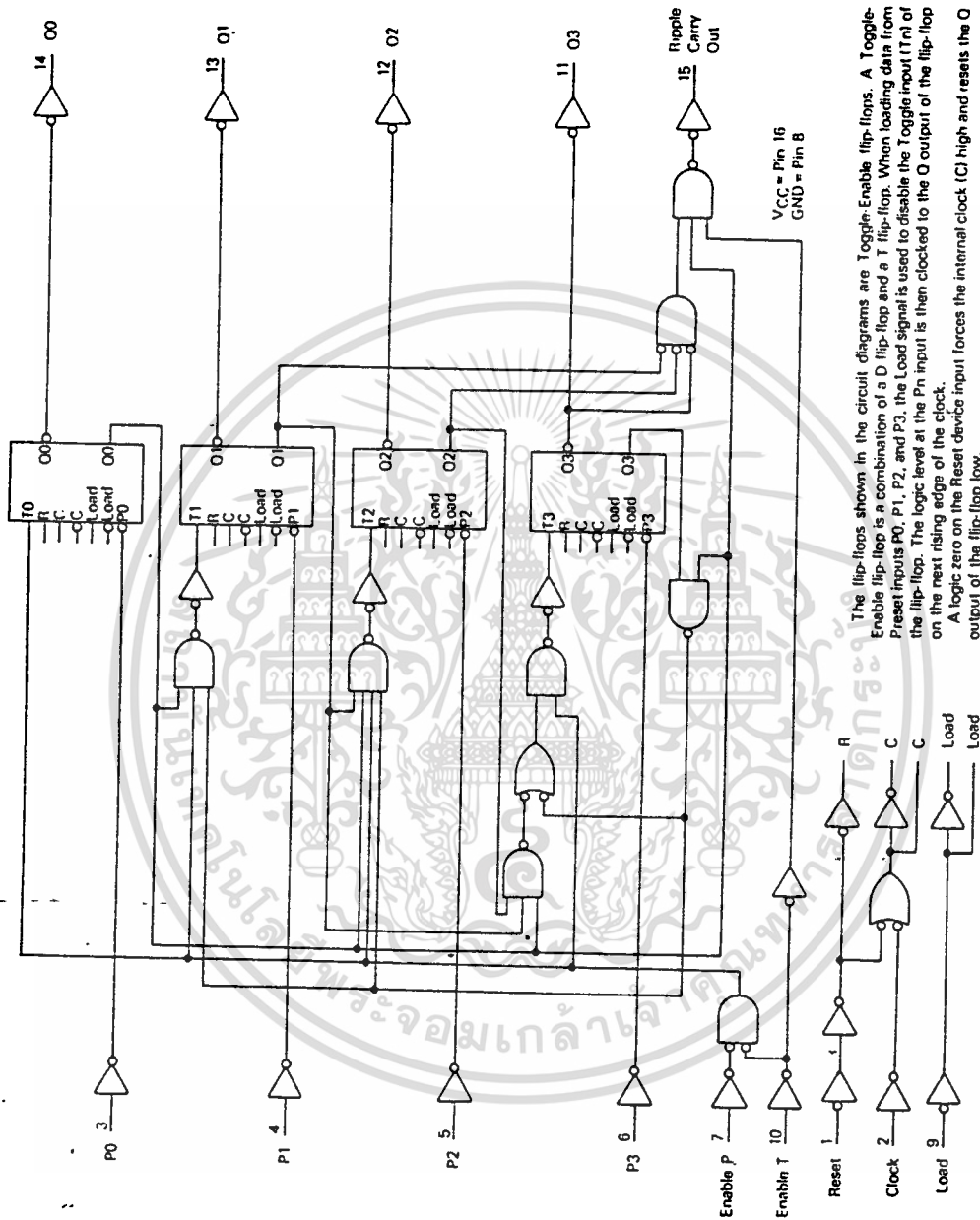


\* Includes all probe and jig capacitance.

Figure 7.

# MC54/74HC160 • MC54/74HC161 • MC54/74HC162 • MC54/74HC163

MC54HC160 • MC74HC160  
BCD Counter with Asynchronous Reset



The flip-flops shown in the circuit diagrams are Toggle-Enable flip-flops. A Toggle-Enable flip-flop is a combination of a D flip-flop and a T flip-flop. When loading data from Preset inputs P0, P1, P2, and P3, the Load signal is used to disable the Toggle input (Tn) of the flip-flop. The logic level at the Pn input is then clocked to the Q output of the flip-flop on the next rising edge of the clock. A logic zero on the Reset device input forces the internal clock (C) high and resets the Q output of the flip-flop low.

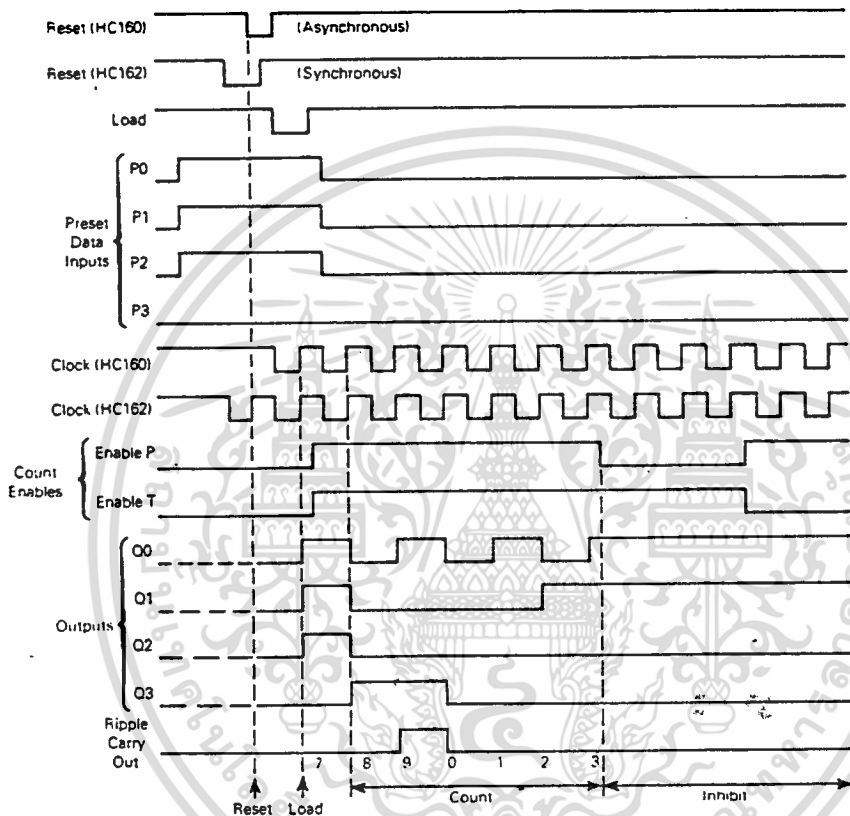


MC54/74HC160•MC54/74HC161•MC54/74HC162•MC54/74HC163

HC160, HC162 TIMING DIAGRAM

Sequence illustrated in waveforms:

1. Reset outputs to zero.
2. Preset to BCD seven.
3. Count to eight, nine, zero, one, two, and three.
4. Inhibit.



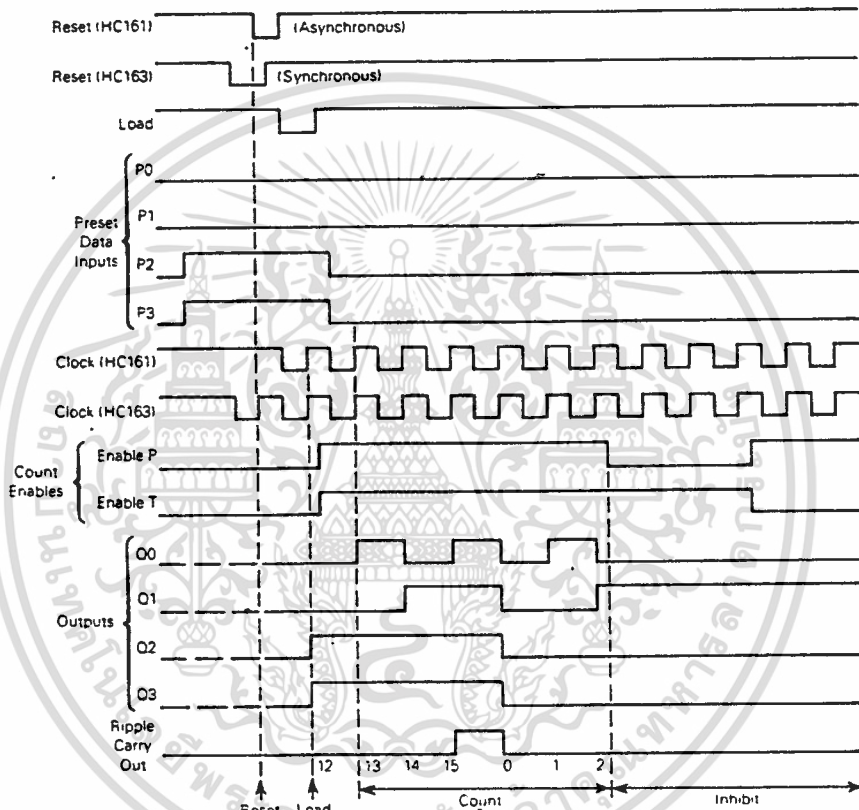
5

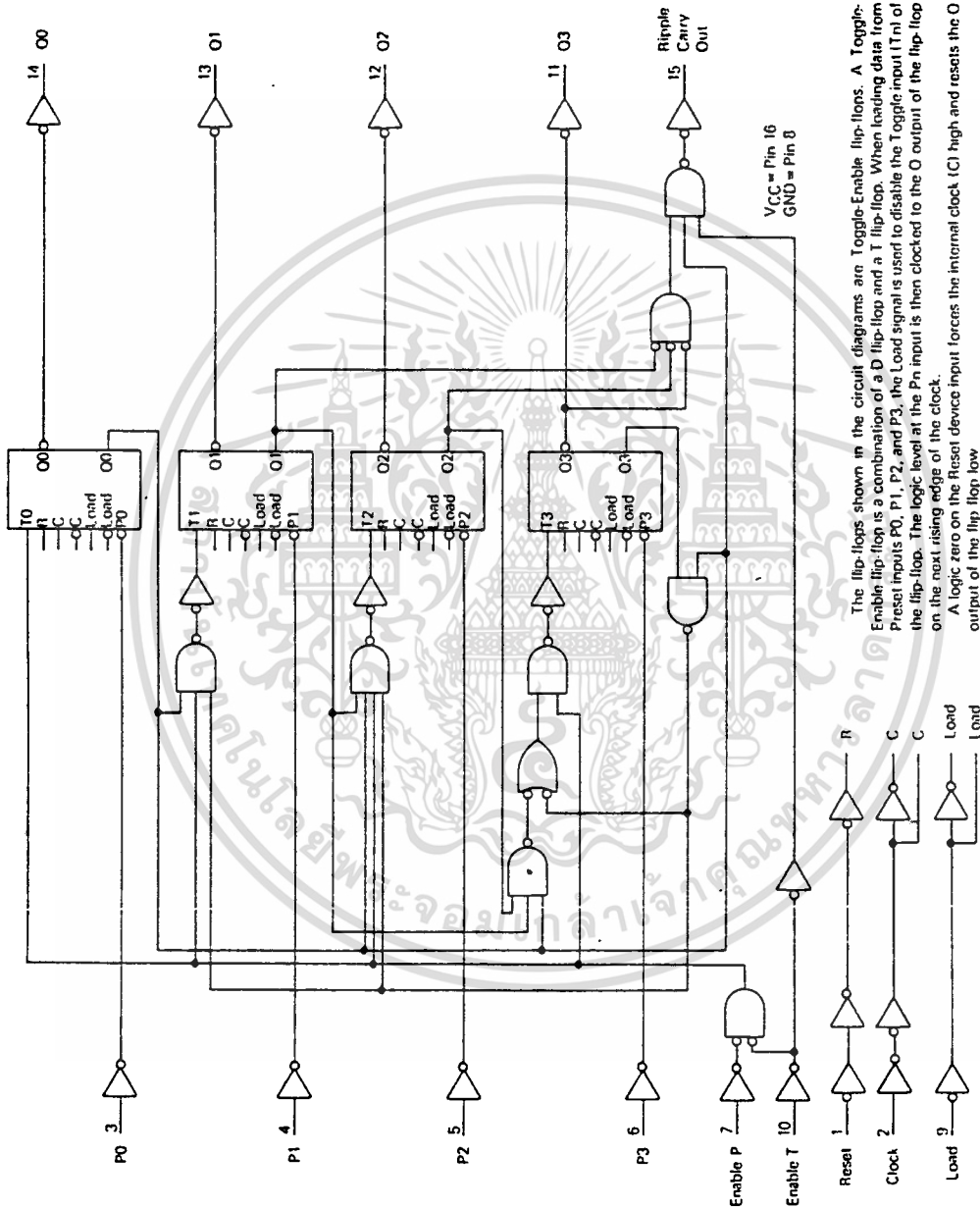
# MC54/74HC160•MC54/74HC161•MC54/74HC162•MC54/74HC163

## HC161, HC163 TIMING DIAGRAM

Sequence illustrated in waveforms.

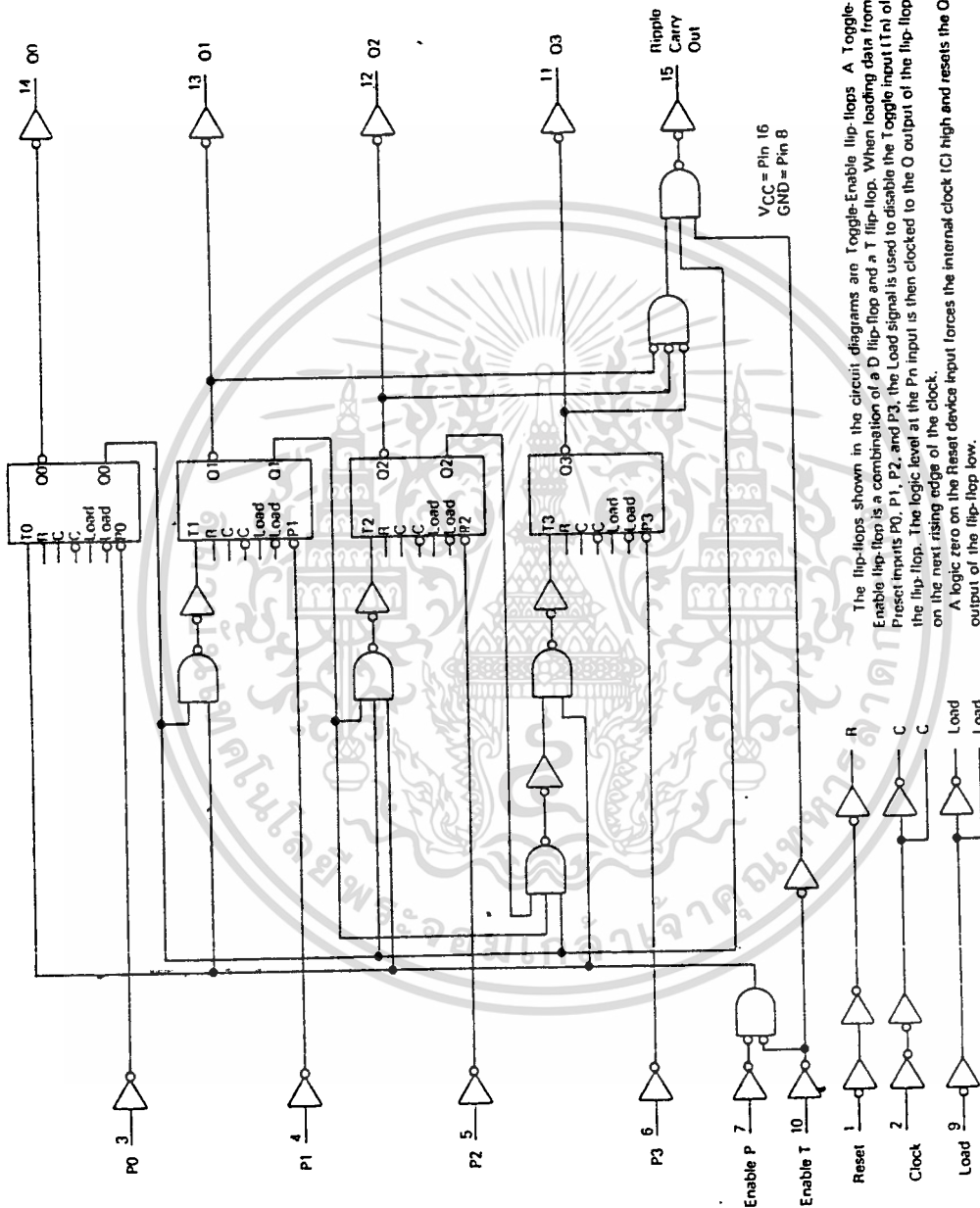
1. Reset outputs to zero
2. Preset to binary twelve
3. Count to thirteen, fourteen, fifteen, zero, one, and two.
4. Inhibit.



MC54HC162 • MC74HC162  
BCD Counter with Synchronous Reset

MC54/74HC160 • MC54/74HC161 • MC54/74HC162 • MC54/74HC163

MC54HC163 • MC74HC163  
4-Bit Binary Counter with Synchronous Reset

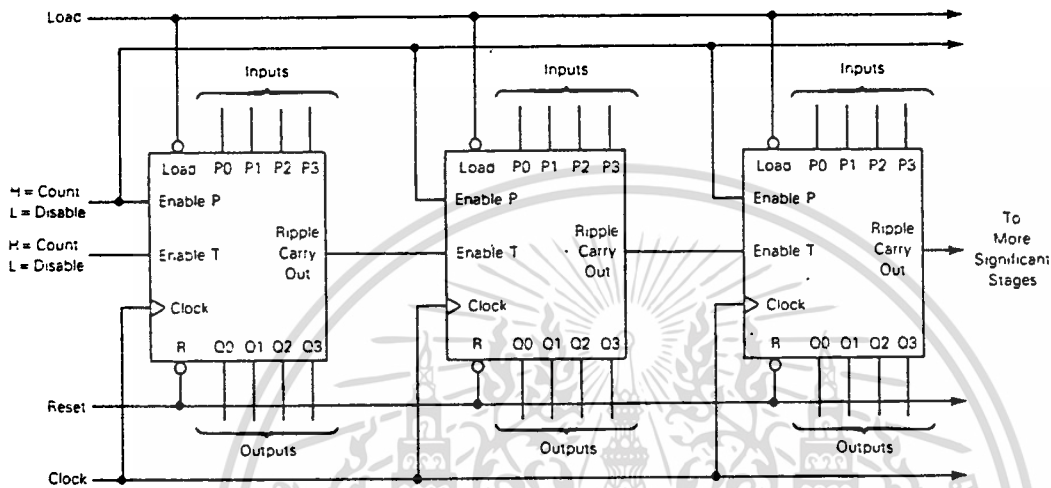


The flip-flops shown in the circuit diagrams are Toggle-Enable flip-flops. A Toggle-Enable flip-flop is a combination of a D flip-flop and a T flip-flop. When loading data from Preset inputs P0, P1, P2, and P3, the Load signal is used to disable the Toggle input (T) of the flip-flop. The logic level at the Pn input is then clocked to the Q output of the flip-flop on the next rising edge of the clock.  
A logic zero on the Reset device input forces the internal clock (C) high and resets the Q output of the flip-flop low.

MC54/74HC160•MC54/74HC161•MC54/74HC162•MC54/74HC163

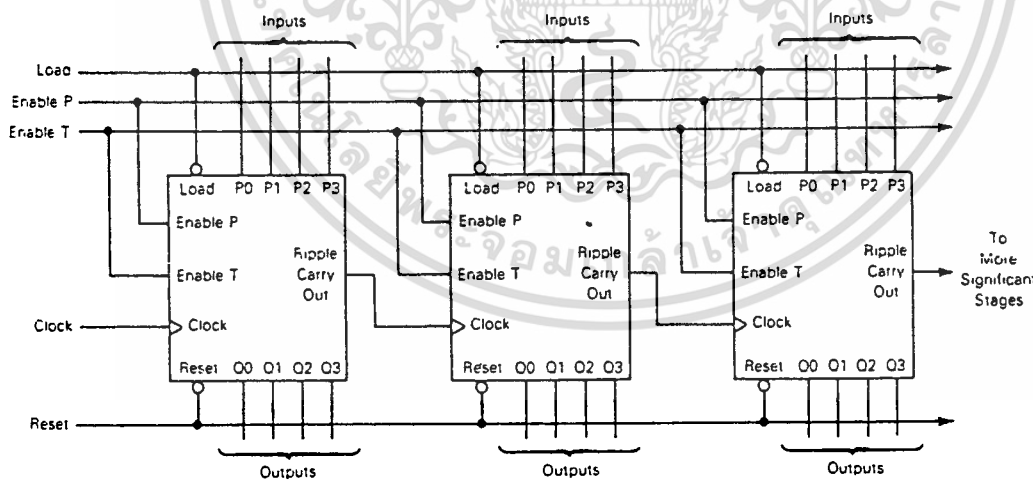
TYPICAL APPLICATIONS  
CASCADING

N-Bit Synchronous Counters



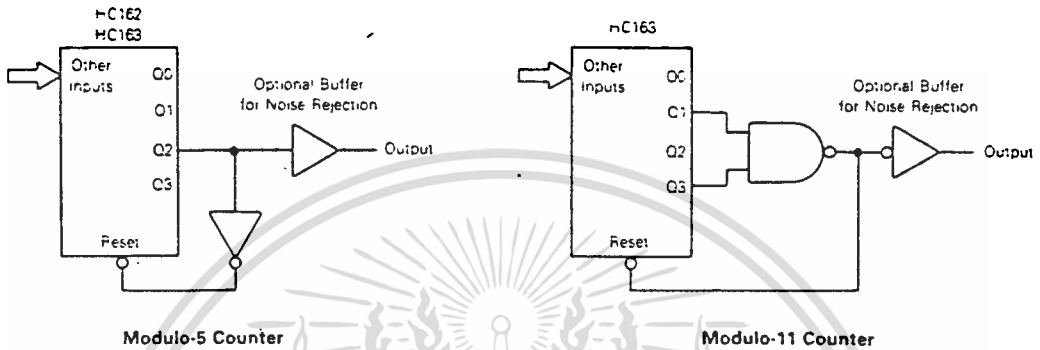
NOTE: When used in these cascaded configurations the clock  $f_{max}$  guaranteed limits may not apply. Actual performance will depend on number of stages. This limitation is due to set up times between Enable (P or T) and Clock.

Nibble Ripple Counter



# MC54/74HC160•MC54/74HC161•MC54/74HC162•MC54/74HC163

## TYPICAL APPLICATIONS VARYING THE MODULUS



The HC162 and HC163 facilitate designing counters of any modulus with minimal external logic. The output is glitch-free due to the synchronous Reset.