เอซีไลน์โมเด็ม

AC LINE MODEM

โดย

นายวัชรพงษ์ เพ็งภาค

นายสมศักดิ์ หอมขาว

นายอำนาจ ยุวสกุลพงศ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

หัวข้อปริญญานิพนธ์ เอซีไลน์โมเด็ม

AC LINE MODEM

ชื่อนักศึกษา นายวัชรพงษ์ เพ็งภาค

นายสมศักดิ์ หอมขาว

นายอำนาจ ยุวสกุลพงศ์

อาจารย์ที่ปรึกษา อาจารย์กฤดากร กล่อมการ

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2537

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

อนุมัติให้รับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรมมการ

( )

..... กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอซีไลน์โมเด็ม

โดย นายวัชรพงษ์ เพ็งภาค รหัส 36012065
นายสมศักดิ์ หอมขาว รหัส 36012077
นายอำนาจ ยุวสกุลพงศ์ รหัส 36012086

อาจารย์ที่ปรึกษา อาจารย์กฤดากร กล่อมการ

ปีการศึกษา 2537

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ ได้เรียบเรียงขึ้นจากการทดลองสร้าง การทำงานของเครื่องส่งข้อมูลทางสายไฟฟ้า ซึ่งทำงานในลักษณะฮาร์ฟดูเพล็ก (Half Duplex) โดยใช้เทคนิคการส่งแบบฟรีเควนซี่ชิพคีย์อิ้ง (Frequency Shift Keying,FSK)และแบบเฟสชิพคีย์อิ้ง (Phase Shift Keying,PSK) เพื่อเปรียบเทียบการส่งสัญญาณในสายไฟฟ้า ซึ่งการส่งข้อมูลใช้สายไฟฟ้าจึงจำเป็นต้องออกแบบส่วนรับส่งสัญญาณที่มีคุณสมบัติป้องกันต่างๆ ให้เหมาะสม เช่น ส่วนป้องกันแรงดันและสัญญาณ 50Hz จากสายไฟฟ้า ซึ่งในแต่ละเครื่องจะประกอบด้วย ชุดส่งและชุดรับของ FSK และ PSK โดยที่ชุดส่งทำการมอดูเลท (Modulate) สร้างความถี่ หรือ เฟสตามลักษณะการเปลี่ยนแปลงของข้อมูล แล้วส่งไปตามสายไฟฟ้า ส่วนชุดรับจะทำการรับสัญญาณสายไฟฟ้าเดียวกันโดยที่จะต้องมีความถี่ตรงกับที่กำหนดไว้แล้วมาทำการดีมอดูเลท (Demodulate) เปลี่ยนกลับเป็นข้อมูลเดิมเหมือนภาคส่ง ด้วยความถี่แคเรียร์ของ FSK เป็น 80KHz - 85KHz และ PSK ความถี่แคเรียร์ของ PSK เป็น 76.8KHz และโมเด็มส่งด้วยอัตรา 600 บิทต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC LINE MODEM

BY MR.WATCHARAPONG PENGPAK NO.36012065

MR.SOMSAK HOMKHAW NO.36012077

MR.AMNAT YUWASAKULPONG NO.36012086

ADVISER MR.KITDAKORN KLOMKARN

YEAR 1994

ABSTRACT

This project concern a design and construction of AC LINE MODEM. This MODEM operates in half duplex system. The two modulation technique have been used in the design. The Frequency Shift Keying (FSK) method is used to compare with the Phase Shift Keying (PSK). Transmitter & receiver section must be designed to have protection properties such as voltage 50Hz signal protection. In the MODEM consists of FSK,PSK transmitter and FSK,PSK receiver with carrier for FSK about 80KHz - 85KHz and PSK about 76.8KHz and bit rate of MODEM about 600 bps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญาญานิพนธ์ฉบับนี้ได้สำเร็จลุล่วงไปได้ด้วยความช่วยเหลือของ อาจารย์ กฤดากร กล่อมการ ซึ่งเป็นอาจารย์ที่ปรึกษาปริญญานิพนธ์ และ อาจารย์ดลชัย สุขเจริญผล ที่ท่านทั้งสองให้คำแนะนำและข้อคิดเห็นต่างๆ ตลอดถึงเพื่อนๆ ห้อง 2M ที่ให้ยืมอุปกรณ์เครื่องมือต่างๆ และคอยให้กำลังใจตลอดมา และ ที่ลืมเสียไม่ได้ คือ สถาบันเทคโนโลยีพระจอมเกล้า ศูนย์นนทบุรี เป็นสถานที่วิจัยและที่อาศัยหลับนอนของกลุ่มผู้วิจัย

อนึ่งคุณความดีใดๆ ที่เกิดจากปริญญานิพนธ์ฉบับนี้ขอมอบให้แด่ บิดามารดา และครูบาอาจารย์ที่ได้ประสิทธิ์ประสาทวิชาความรู้ให้

กลุ่มผู้วิจัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ปัจจุบันการติดต่อสื่อสารข้อมูล โดยเฉพาะในระบบคอมพิวเตอร์การส่งผ่านจากจุดหนึ่งไปยังจุดหนึ่งการส่งข้อมูลแบบอนุกรมก็เป็นแบบหนึ่งที่ใช้กันอย่างกว้างขวาง สายเคเบิ้ลที่ลากจากจุดต่างๆ บางครั้งเมื่อต้องการขยายคู่สายติดต่อผ่านสายเคเบิ้ล จะยุ่งยากและเสียเวลาที่จะต้องเดินสายตามอาคาร

ด้วยเหตุนี้จึงจำเป็นในการที่จะนำเอาวงจร AC LINE MODEM มาใช้ในการส่งข้อมูลจากต้นทางโดยอาศัยผ่านไปทางสายไฟฟ้า 220 Vac ที่ใช้อยู่แล้วภายในตัวอาคารโดยที่ปลายทางสามารถรับข้อมูล โดยไม่ต้องเดินสายเคเบิ้ลให้ยุ่งยากอีก

ชุด AC LINE MODEM ที่ต้นทาง เป็นการนำสัญญาณข้อมูลที่ต้องการจะส่งมาทำการมอดูเลทกับคลื่นพาห์ที่ความถี่หนึ่ง สัญญาณที่มอดูเลทแล้วจะถูกขยายให้แรงขึ้น เพื่อส่งไปตามสายไฟฟ้า 220Vac โดยผ่านวงจรคัปเปลอร์ เป็นตัวกั้นแรงดันไฟสูงจาก 220 Vac ทางปลายทางก็มี ตัวคัปเปลอร์ รับสัญญาณเข้ามาผ่านวงจรแบนด์พาสฟิลเตอร์ เพื่อตัดสัญญาณรบกวนออก นำเอาสัญญาณที่ต้องการไปขยายให้แรงขึ้น แล้วส่งไปดีมอดูเลทเพื่อเอาสัญญาณข้อมูลกลับคืนมา

ในโครงงาน AC LINE MODEM นี้จะเป็นการเปรียบเทียบการส่งข้อมูลผ่านทาง AC LINE 220 Vac ระหว่างการส่งข้อมูลโดยการมอดูเลท แบบ Frequency Shift Keying (FSK) กับแบบ Phase Shift Keying (PSK) โดยศึกษาเกี่ยวกับ เทคนิคการมอดูเลท และการส่งข้อมูลไปตามสายไฟฟ้า 220 Vac ซึ่งเป็นการส่งแบบฮาร์ฟดูเพล็ก (Half Duplex)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค

บทที่

1. บทนำ	1
2. โมเด็ม	2
2.1 หลักการทำงานของโมเด็ม	2
2.2 ชนิดของโมเด็ม	3
3. Frequency Shift Keying (FSK)	5
3.1 FSK Transmitter	5
3.2 FSK Bandwidth	6
3.3 FSK Receiver	9
4. Phase Shift Keying (PSK)	11
4.1 BPSK Transmitter	11
4.2 BPSK Bandwidth	14
4.3 BPSK Receiver	16
5. สัญญาณดิจิตอลเบสแบนด์	22
6. การออกแบบ Frequency Shift Keying (FSK)	24
6.1 การออกแบบ FSK Modulator	24
6.1.1 การปรับแต่งระดับเอาท์พุทไฟตรง	25
6.1.2 การปรับการผิดเพี้ยนรูปคลื่นของสัญญาณเอาท์พุท	26
6.1.3 พิจารณาค่าแบนด์วิท	26
6.2 การออกแบบ FSK Demodulator	26
6.3 การออกแบบวงจร Band Pass Filter สำหรับ FSK	30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

7. การออกแบบ Phase-Shift Keying (PSK) 32

7.1 การออกแบบ PSK Modulator 32

7.1.1 วงจรเข้ารหัสสัญญาณ Differential & Biphase 32

7.1.2 วงจรสร้างความถี่คลื่นพาห์ 76.8KHz 34

7.1.3 วงจรคูณสัญญาณเบสแบนด์กับคลื่นพาห์ 34

7.2 การออกแบบ PSK Demodulator 35

7.2.1 วงจร Band Pass Filter 36

7.2.2 วงจรกู้สัญญาณคลื่นพาห์ 37

7.2.2.1 วงจรยกกำลังสอง 38

7.2.2.2 วงจรเฟสล็อกลูป 39

7.2.2.3 วงจรหาร 2 41

7.2.3 วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK 42

7.2.4 วงจรถอดรหัสสัญญาณ NRZ จาก Biphase 43

8. หลักการทำงานของ AC LINE MODEM 44

8.1 บล็อกไดอะแกรมการทำงานของ AC LINE MODEM 44

8.1.1 ภาคส่ง 44

8.1.2 ภาครับ 44

8.2 วงจรขยายและวงจรคัปเปลอร์ 45

9. สรุปการวิจัยและข้อเสนอแนะ 48

9.1 สรุปผลการทดลอง 48

9.2 บทสรุปและข้อเสนอแนะ 52

เอกสารอ้างอิง 54

ภาคผนวก ก การสร้างสัญญาณกึ่งแรนดัมพ์เพื่อทดสอบวงจร 55

ภาคผนวก ข วงจรที่ใช้ในปริญญานิพนธ์ 56

ภาคผนวก ค วงจรรวม (Data Sheet) ที่ใช้ในปริญญานิพนธ์ 58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
โมเด็ม

ในการสื่อสารข้อมูลซึ่งเป็นสัญญาณดิจิตอล วิธีที่ใช้ในการติดต่อซึ่งกันและกันทำได้ 2 วิธีคือ

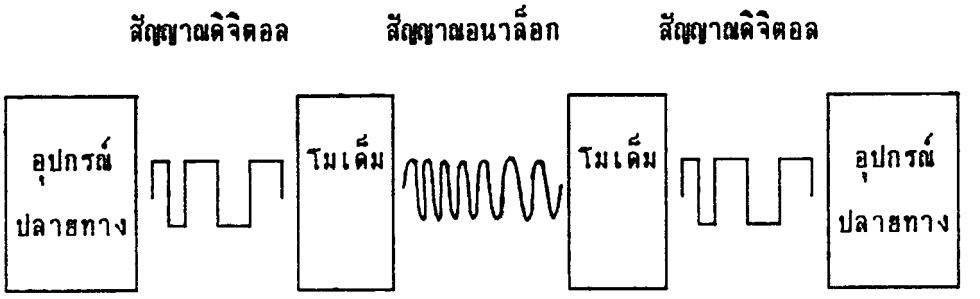
1. ทำการส่งสัญญาณในรูปสัญญาณดิจิตอลเลย กรณีนี้สายส่งสัญญาณที่ใช้จำเป็นต้องมีแบนด์วิทกว้าง เพราะสัญญาณดิจิตอลมีแบนด์วิทกว้าง และถ้าทำการส่งไปในระยะไกลสัญญาณดิจิตอลเกิดการเพี้ยนของรูปสัญญาณได้ง่าย วิธีนี้จึงไม่นิยมใช้

2. ทำการส่งสัญญาณ โดยทำการแปลงสัญญาณให้เป็นสัญญาณอนาล็อกก่อนแล้วจึงทำการส่งออก ซึ่งจะสามารถส่งในสายส่งสัญญาณทั่วไปได้ เพราะสัญญาณอนาล็อกไม่ต้องการแบนด์วิทที่กว้างมากเหมือนสัญญาณดิจิตอล และการส่งแบบนี้จึงต้องมีขั้นตอนการแปลงสัญญาณอนาล็อกกลับเป็นสัญญาณดิจิตอลในการรับ

2.1 หลักการทำงานของโมเด็ม (MODEM)

จากวิธีการส่งสัญญาณดิจิตอลโดยแปลงให้อยู่ในรูปสัญญาณอนาล็อก และแปลงกลับในการรับ ขั้นตอนการทำงานทั้งสองต้องอาศัยอุปกรณ์ที่เรียกว่า "โมเด็ม" การทำงานของ อุปกรณ์มี 2 หน้าที่คือ เป็นตัวแปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อกโดยการมอดูเลท(MOdulation) เพื่อทำการส่งออก และแปลงสัญญาณกลับมาเป็นสัญญาณดิจิตอล โดยการ ดีมอดูเลท (DEModulation) ในการรับจากลักษณะการทำงาน 2 หน้าที่ ดังกล่าวจึงเป็นที่มาของชื่อ **โมเด็ม (MODEM)** ดังนั้นในการติดต่อสื่อสารข้อมูลระหว่างอุปกรณ์ปลายทางจึงต้องมีโมเด็มเป็นตัวเชื่อม แสดงดังรูปที่ 2.1 จะเห็นว่าการใช้โมเด็ม ทำให้การส่งสัญญาณช้าไปบ้าง แต่ก็จะทำให้สามารถส่งสัญญาณดิจิตอลไปทางไกลได้สำเร็จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 ลักษณะการส่งสัญญาณผ่านโมเด็ม

2.2 ชนิดของโมเด็ม

โมเด็มมีอยู่หลายชนิด ซึ่งเราสามารถแบ่งชนิดของโมเด็มเป็นแบบต่างๆ แล้วแต่หลักที่จะนำมาใช้พิจารณา เช่น

แบ่งตามอัตราการส่งข้อมูล แบ่งได้เป็น

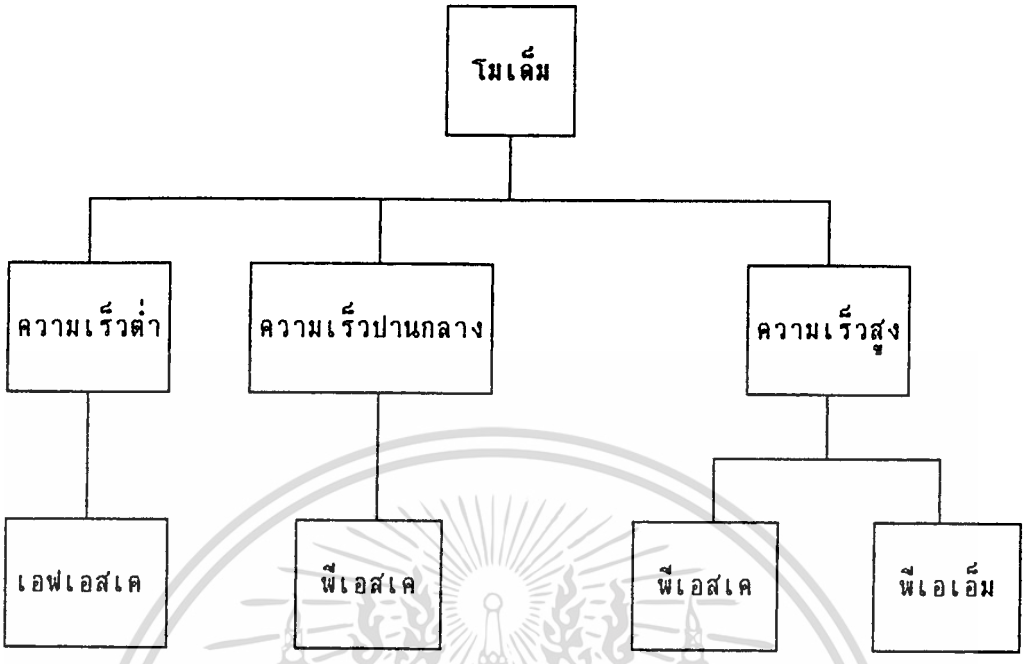
1. อัตราการส่งข้อมูลต่ำ (Low speed) มีอัตราการส่งข้อมูลไม่เกิน 600 บิทต่อวินาที (b/s)
2. อัตราการส่งข้อมูลปานกลาง (Medium speed) มีอัตราการส่งข้อมูลระหว่าง 600-9600 บิทต่อวินาที
3. อัตราการส่งข้อมูลสูง (High speed) มีอัตราการส่งข้อมูลมากกว่า 9600 บิทต่อวินาที

แบ่งตามเทคนิคการมอดูเลท แบ่งได้เป็น

1. ฟรีเควนซี่ชิฟคีย์อิ้ง (Frequency Shift Keying,FSK)
2. เฟสชิฟคีย์อิ้ง (Phase Shift Keying,PSK)
3. เฟสแอมปลิจูดมอดูเลชั่น (Phase Amplitude Modulation,PAM)

สำหรับเทคนิคการมอดูเลทสัญญาณนั้น มีอีกหลายรูปแบบ แต่ค่อนข้างจะใช้กันน้อยจากหลักที่นำมาพิจารณาทั้งสองแบบดังกล่าว สามารถแสดงเป็นไดอะแกรมได้ดังรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 การแบ่งชนิดของโมเด็ม

นอกจากหลักที่กล่าวมาแล้ว โมเด็มก็ยังสามารถแบ่งตามระยะการติดต่อของโครงข่ายได้ 2 แบบ คือ

1.โมเด็มใช้สำหรับระยะไกล (Long-haul modem) โครงข่ายการติดต่อจะใช้การติดต่อในระยะทางไกล โดยต่อผ่านสายโทรศัพท์และชุมสายโทรศัพท์

2.โมเด็มสำหรับระยะใกล้ (Short-haul modem) การติดต่อจะใช้สำหรับระยะใกล้ๆ โครงข่ายการใช้งานมักจะเป็นการติดต่อ แบบจุดต่อจุด (point to point) สายส่งสัญญาณที่ใช้จะเป็นสายเคเบิ้ล ที่ต่อโดยตรง มีขีดจำกัดของระยะการติดต่อ จะกระทำได้ไม่เกิน 10 ไมล์ หรือ 16 กิโลเมตร โดยมีอัตราการส่งข้อมูล แปรเป็นสัดส่วนผกผันกับระยะระหว่างจุดส่งและจุดรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

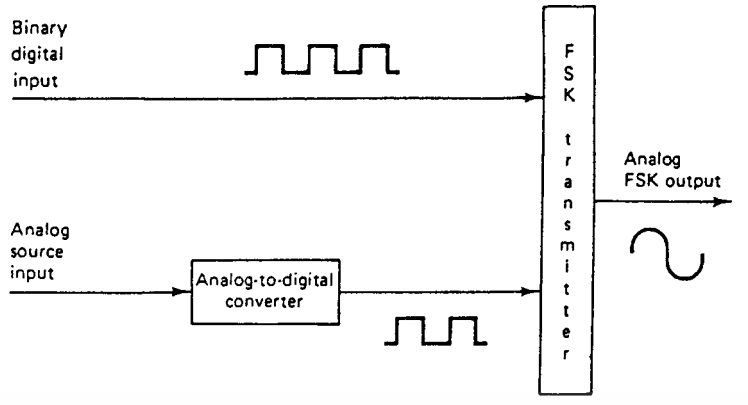
Frequency Shift Keying (FSK)

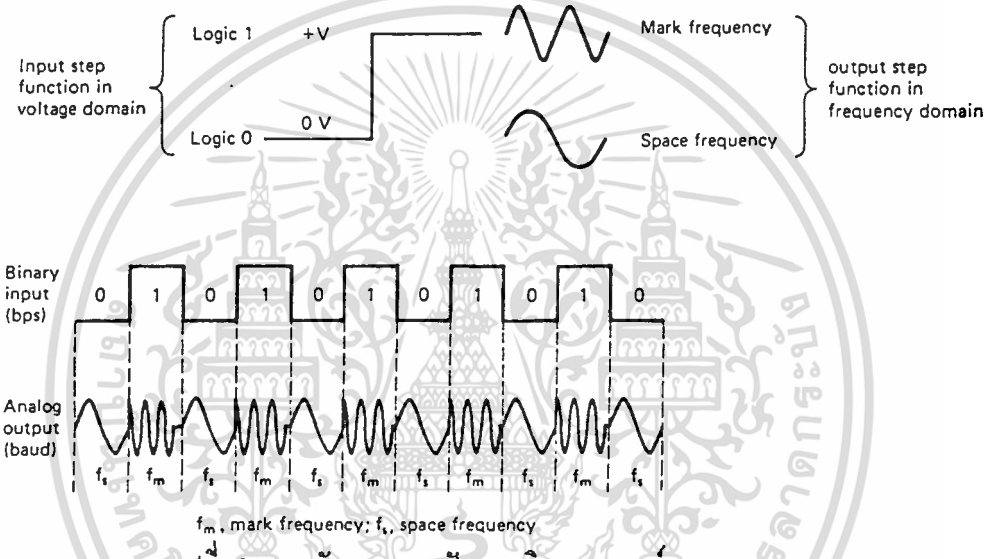
3.1 FSK Transmitter

ตัวส่งสัญญาณ FSK (FSK Transmitter) มีหลักการที่ว่าเมื่อข้อมูลที่เป็นสัญญาณดิจิตอล ที่มีลักษณะเป็นข้อมูลไบนารี จะทำให้ความถี่เลื่อนหรือเบี่ยงเบนไปตามการเปลี่ยนแปลงของข้อมูลไบนารีที่เข้ามา ดังนั้นสัญญาณทางเอาท์พุทของตัวกำเนิด FSK จะอยู่ในรูปของความถี่ที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง (Frequency Continuous) เมื่อข้อมูลไบนารีด้านอินพุทเปลี่ยนแปลงจากสถานะลอจิก "1" เป็นลอจิก "0" (หรือในทางกลับกันคือ ลอจิก "0" เป็นลอจิก "1") สัญญาณเอาท์จาก FSK ก็จะเลื่อนความถี่ระหว่าง 2 ความถี่ ด้วยกัน คือ ความถี่ที่ลอจิก "1" หรือ Mark Frequency(F_m) และความถี่ที่ลอจิก "0 " หรือ Space Frequency (F_s)

การเปลี่ยนแปลง (หรือการเลื่อน) ของความถี่แต่ละครั้ง จะเกิดขึ้นเมื่อสถานะของลอจิกด้านสัญญาณเข้าเปลี่ยนแปลงนั่นคือ อัตราการเปลี่ยนแปลงของสัญญาณออกจะเท่ากับอัตราการเปลี่ยนแปลงสัญญาณเข้า ซึ่งในดิจิตอลมอดูเลชั่น อัตราการเปลี่ยนแปลงของสัญญาณด้านอินพุทของ FSK Generator จะเรียกว่า "อัตราบิท" หรือ Bit Rate มีหน่วยเป็น บิทต่อวินาที (bps) ส่วนอัตราการเปลี่ยนแปลง ของสัญญาณด้านเอาท์พุท ของ FSK Generator เรียกว่า "อัตราบอร์ด" หรือ Baud Rate ดังนั้นในการส่งข้อมูลด้วยเทคนิค FSK อัตราบิทจะเท่ากับอัตราบอร์ดเสมอ ซึ่ง FSK Transmitter ดูจากรูปที่ 3.1 แสดงหลักการ และสัญญาณอินพุท เอาท์พุท ของ FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 3.1 หลักการและสัญญาณอินพุท เอาท์พุทของ FSK

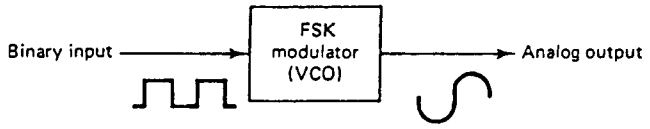
3.2 FSK Bandwidth

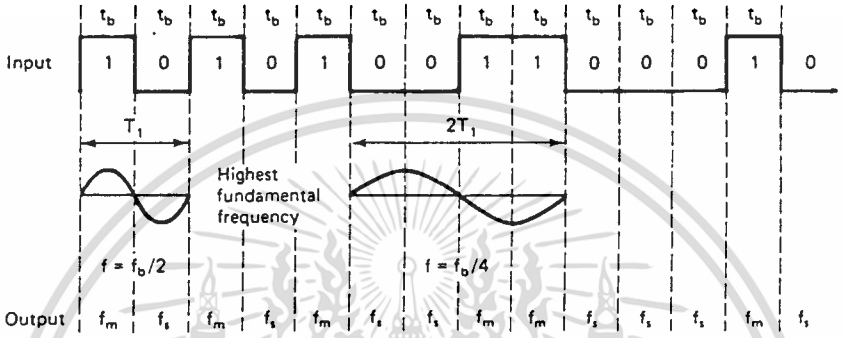
ในระบบการสื่อสารข้อมูลด้วยสัญญาณอนาล็อก หรือ สัญญาณความถี่นั้น แบนด์วิท เป็นสิ่งที่ต้องพิจารณาเป็นอันดับแรก เนื่องจากวิธีการของ FSK อยู่บนพื้นฐานเดียวกันกับวิธีการของ FM ดังนั้นการอธิบายถึงสูตรต่างๆก็ใช้หลักการของ FM ทุกอย่าง

จากรูปที่ 3.2.1 แสดงถึงตัว FSK มอดูเลเตอร์ ซึ่งใช้หลักการเดียวกับ FM มอดูเลเตอร์ คือ ใช้หลักการของ VCO (Voltage Control Oscillator) จะเห็นว่าอัตราการเปลี่ยนแปลงที่เร็วที่สุด ของสัญญาณอินพุท จะเกิดขึ้นเมื่อข้อมูลไบนารีมีลักษณะเป็น "1" และ "0" สลับกันซึ่งก็คือสัญญาณสี่เหลี่ยมนั่นเอง (Square Wave) ตามตัวอย่างในรูปที่ 3.2.1 เป็นสัญญาณในช่วง T_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่หลักของคลื่นสี่เหลี่ยมจะมีค่าเท่ากับครึ่งหนึ่งของ Bit Rate ดังนั้นถ้าพิจารณาเฉพาะความถี่หลักเพียงอย่างเดียวแล้ว ความถี่สูงสุดของสัญญาณดิจิตอลที่ต้องการนำมามอดูเลทแบบ FSK จะเท่ากับครึ่งหนึ่งของ Bit Rate คือ





FSK modulator, t_b, Time of one bit = 1/bps; f_m, mark frequency; f_s, space frequency; T1, period of shortest cycle; 1/T1, fundamental frequency of binary square wave; f_b, input bit rate (bps).

รูปที่ 3.2.1 FSK Modulator

$$F_{amax} = \frac{\text{Bit Rate}}{2}$$

เมื่อ F_{amax} : ความถี่สูงสุดของสัญญาณดิจิตอลที่จะนำมามอดูเลท

ความถี่กลาง (Center Frequency = F_c) ของ VCO จะอยู่ในตำแหน่งกลางระหว่าง Mark Frequency (F_m) กับ Space Frequency (F_s) ดังรูปที่ 3.2.2

ลอจิก "1" ด้านอินพุทจะเลื่อนความถี่ของ VCO จาก F_c ไปเป็น F_m จะเห็นว่าการเปลี่ยนแปลงของข้อมูลไบนารีด้านอินพุทจาก "1" ไป "0" หรือ "0" ไป "1" จะทำให้ความถี่เอาท์พุทของ VCO เลื่อนหรือเบี่ยงเบนกลับไป-มา ระหว่าง F_m กับ F_s เนื่องจากได้กล่าวมาแล้วว่า FSK นั้นก็คือ การมอดูเลทแบบ FM ดังนั้นดัชนีการมอดูเลท (Modulate Index = MI) ใน FSK ก็ทำได้จาก FM คือ

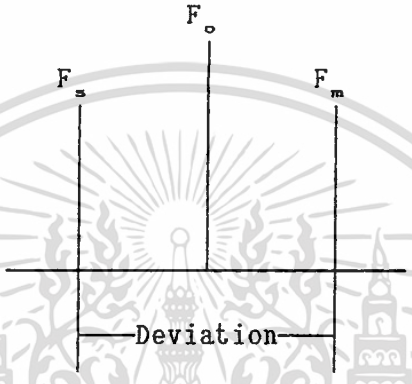
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$MI = \frac{\Delta F}{F_m}$$

เมื่อ MI : ดัชนีการมอดูเลท

ΔF : การเบี่ยงเบนของความถี่ใดๆ จากความถี่กลาง (Hz)

F_m : ความถี่ของสัญญาณที่นำมามอดูเลท (Hz)



รูปที่ 3.2.2 การเบี่ยงเบนความถี่

ค่า MI ที่ยอมให้มีได้สูงสุดคือ ค่า MI ที่ทำให้แบนด์วิทกว้างที่สุด ซึ่งจะเกิดขึ้นเมื่อการเบี่ยงเบนของความถี่ถูกมอดูเลทแล้วและความถี่ของสัญญาณที่นำมามอดูเลทมีค่าสูงสุด

ใน FSK มอดูเลท ค่า ΔF เป็นการเบี่ยงเบนความถี่สูงสุด (Peak Frequency Deviation) ของสัญญาณที่ถูกมอดูเลทแล้ว ซึ่งมีค่าเท่ากับความแตกต่างระหว่าง F_c กับ F_m หรือ F_c กับ F_s ซึ่งก็คือ ครึ่งหนึ่งของความแตกต่างระหว่าง F_m กับ F_s นั้นคือ

$$\Delta F = \frac{F_m - F_s}{2}$$

การเบี่ยงเบนของความถี่สูงสุดขึ้นอยู่กับขนาดหรือแอมปลิจูดของสัญญาณ ที่นำมามอดูเลท (สัญญาณดิจิตอล) เมื่อสถานะทางลอจิกเป็น "1" ก็จะให้แรงดันออกมาค่าหนึ่งคงที่ตามสถานะ (เช่น 5V) หรือ ถ้าเป็นลอจิก "0" ก็จะให้แรงดันออกมาคงที่ ในระดับลอจิก "0" เช่นกัน (เช่น 0V) ดังนั้นความถี่ที่เบี่ยงเบนของ FSK มอดูเลทจะเบี่ยงเบนคงที่และอยู่ในระดับการเบี่ยงเบนของความถี่สูงสุดเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

F_s เป็นความถี่หลักของข้อมูลไบนารีในอินพุท ซึ่งจะทำให้แบนด์วิทกว้างที่สุด เมื่อ F_s = Bit Rate/2 เท่านั้น เพราะฉะนั้นเราสามารถหาค่า MI ได้จาก

$$MI = \frac{\left[\frac{F_m - F_s}{2}\right]}{\left[\frac{F_b}{2}\right]}$$

$$= \frac{F_m - F_s}{F_b}$$

เมื่อ $F_m - F_s$: ความถี่เบี่ยงเบนสูงสุด

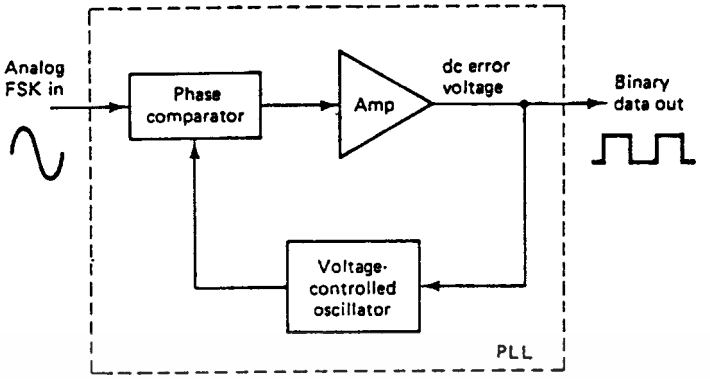
F_b : อัตราบิทของไบนารีอินพุท

3.3 FSK Receiver

ตัวรับสัญญาณ FSK (FSK Receiver) จะเป็นตัวแยกสัญญาณไบนารีออกจากสัญญาณ FSK โดยส่วนมากจะใช้วงจร PLL (Phase Lock Loops) ดังรูปที่ 3.3

PLL ใน FSK Demodulator มีหลักการทำงานเหมือนกับ PLL ใน FM Detector ทุกอย่าง คือจะมีความถี่ฟรีรันนิ่ง เท่ากับ Center Frequency (F_c) และในขณะที่ความถี่อินพุทของ PLL เลื่อนไป-มา ระหว่าง F_m กับ F_s จะทำให้เกิดแรงดันคลาดเคลื่อนไฟตรง (DC Error Voltage) ซึ่งเป็นผลมาจากการเปรียบเทียบทางเฟส(Phase Comparator) ของสัญญาณอินพุท เนื่องจากความถี่อินพุทที่เข้ามายัง PLL มีเพียง 2 ความถี่คือ F_m และ F_s ดังนั้นค่าแรงดันดังกล่าว จึงมีเพียง 2 ระดับแรงดันเท่านั้นซึ่งสามารถ แทนด้วยลอจิก "1" และลอจิก "0" เมื่อความถี่ทางอินพุทเป็น F_m และ F_s ตามลำดับ เราจึงได้สัญญาณเอาท์พุทจาก PLL กลับมาเป็นข้อมูลไบนารีเหมือนกับตอนแรกที่ส่งมาทุกประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
034780



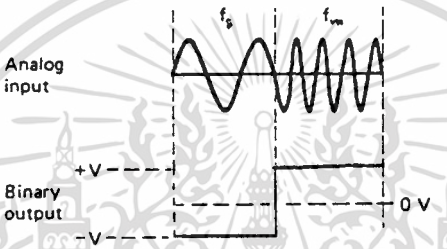


Figure 1-6 PLL-FSK demodulator.

รูปที่ 3.3 PLL - FSK Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

Phase Shift Keying (PSK)

การมอดูเลทแบบ PSK เป็นการมอดูเลทแบบดิจิตอลแบบหนึ่ง ที่มีลักษณะคล้ายคลึงกับการมอดูเลททางเฟส (Phase Modulation) ของสัญญาณดิจิตอล แต่ต่างกันตรงที่สัญญาณที่นำมามอดูเลทนั้น (Modulation Signal) เป็นลักษณะของไบนารีมีระดับแรงดันไฟฟ้าคงที่ 2 ระดับ ทำให้ค่าของเฟสที่เปลี่ยนแปลงของสัญญาณที่ผ่านการมอดูเลท มีค่าจำกัดสำหรับการเปลี่ยนแปลงระดับของพัลซ์แต่ละครั้ง ซึ่งถ้าเป็นกรณีสัญญาณอนาล็อกแล้วการเปลี่ยนแปลงเฟสของสัญญาณที่ผ่านการมอดูเลทแล้ว จะไม่จำกัดค่าเฟส จะเปลี่ยนแปลงอย่างต่อเนื่อง

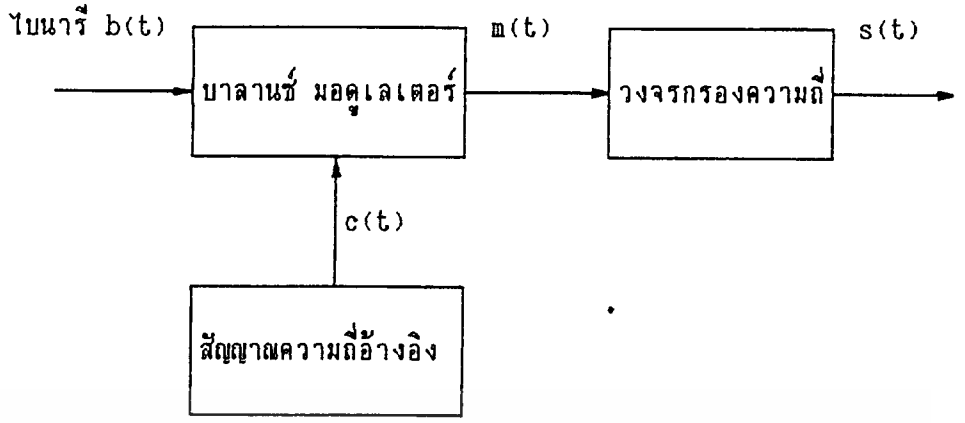
สำหรับ Binary Phase Shift Keying (BPSK) คือ การมอดูเลทแบบ PSK ที่มีค่าการเปลี่ยนเปลงเฟสของสัญญาณที่มอดูเลทระหว่าง 2 ค่าคือ เมื่อสัญญาณดิจิตอลอินพุทมีลอจิกเป็น "1" เฟสของเอาท์พุทจากการมอดูเลทจะมีค่าๆ หนึ่ง ซึ่งต่างเฟสกับกรณีที่สัญญาณดิจิตอลอินพุทเป็นโลจิก "0" ไป 180 องศา

4.1 BPSK Transmitter

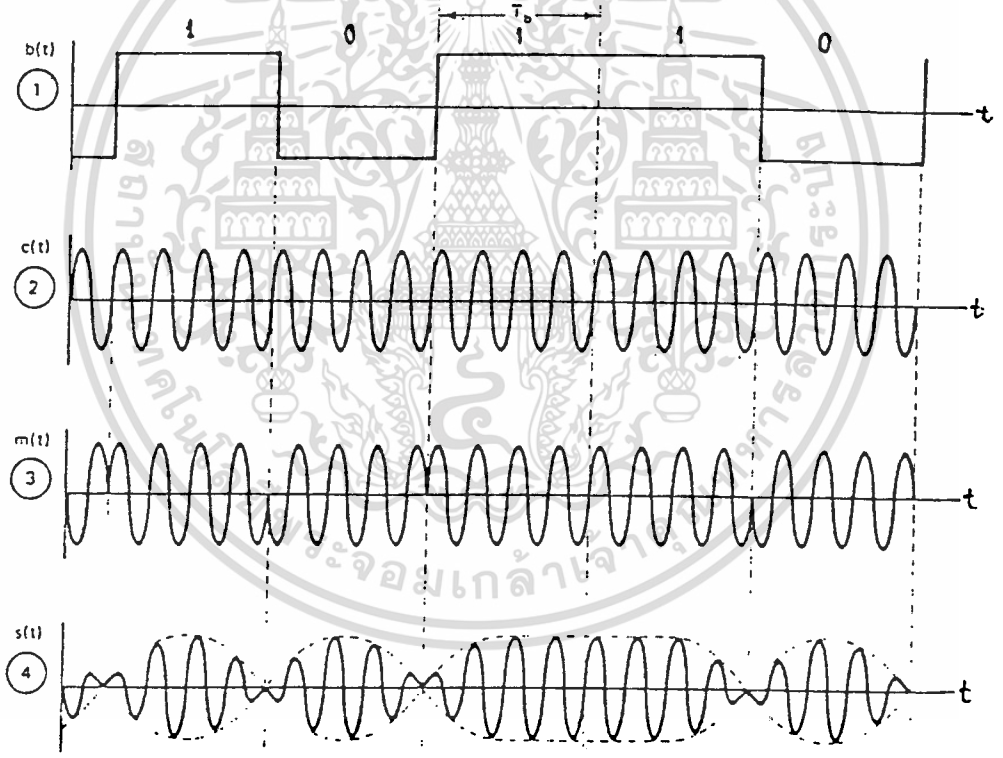
จากรูปที่ 4.1.1 แสดงแผนผังของการมอดูเลทสัญญาณแบบ BPSK ซึ่งสามารถอธิบายการทำงานได้ดังนี้

สัญญาณที่เป็นอินพุทของบาลานซ์มอดูเลเตอร์ (Balanced Modulator) มี 2 สัญญาณคือ สัญญาณพาห์ (Carrier) ที่มีเฟสและความถี่คงที่ สร้างโดยวงจรออสซิลเลเตอร์อ้างอิง (Reference Oscillator) และ สัญญาณข้อมูลดิจิตอลไบนารี (Digital Binary) จากหลักการผสมสัญญาณแบบ BPSK นั้น เราจะได้สัญญาณเอาท์พุทจากบาลานซ์มอดูเลเตอร์ เป็นสัญญาณอนาล็อกหรือสัญญาณพาห์ที่มีการเปลี่ยนแปลงเฟส โดยจะมีค่าระหว่าง 2 ค่าคือ 0 องศา และ 180 องศา การเปลี่ยนแปลงของเฟสที่เกิดขึ้นจะขึ้นอยู่กับสถานะโลจิกของสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1.1 แผนผังการมอดูเลทแบบ BPSK



รูปที่ 4.1.2 แสดงรูปสัญญาณของแต่ละขั้นตอนการทำงานของภาคส่งของ BPSK

ซึ่งจะสามารถแสดงรูปสัญญาณ ของแต่ละขั้นตอนการทำงานได้ ดังรูปที่ 4.1.2 รวมทั้งอธิบายการทำงานด้วยสมการคณิตศาสตร์ ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $b(t)$: ข้อมูลไบนารี มีระดับ +A,-A

$c(t)$: สัญญาณพาห์ $c(t) = \cos w_c t$

$m(t)$: สัญญาณมอดูเลทเตด (modulated signal)

ดังนั้นจะได้ $m(t) = b(t) * c(t)$

$= \pm A\cos w_c t$

$= A\cos(w_c t+\theta_c)$ โดยที่ θ = 0 องศา,180 องศา

จาก $\cos(A+B) = \cos A\cos B - \sin A\sin B$

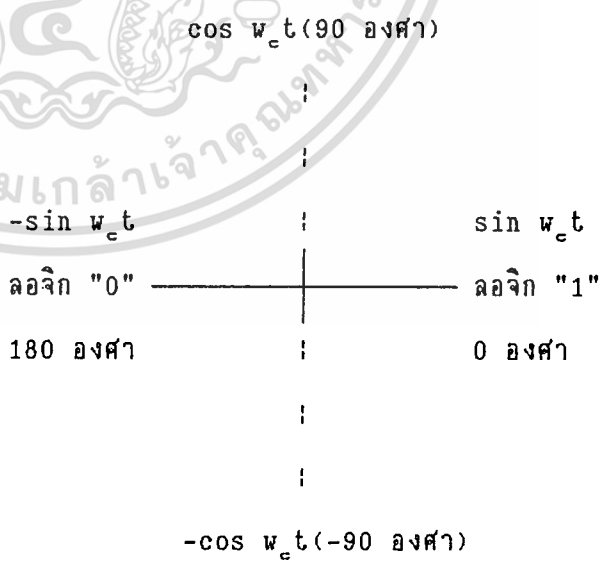
จะได้ว่า $m_1(t) = +A\cos w_c t$ เมื่อ θ = 0 องศา

$m_2(t) = -A\cos w_c t$ เมื่อ θ = 180 องศา

นอกจากนั้น เรายังสามารถแสดงผลจากการมอดูเลท ในรูปแบบอื่นๆ ได้อีก เช่น ตารางค่าความจริง, เฟเซอร์ไดอะแกรม (Phaser Diagram), คอนสเตลเลชั่น (Constel lation Diagram) หรืออีกชื่อเรียก Signal State-space Diagram สำหรับ คอนสเตลเล ชั่นไดอะแกรม นั้น แตกต่างจาก เฟเซอร์ไดอะแกรม คือ จะแสดงเฉพาะตำแหน่งสัมพัทธ์ของพีค (Peak) ของเฟเซอร์

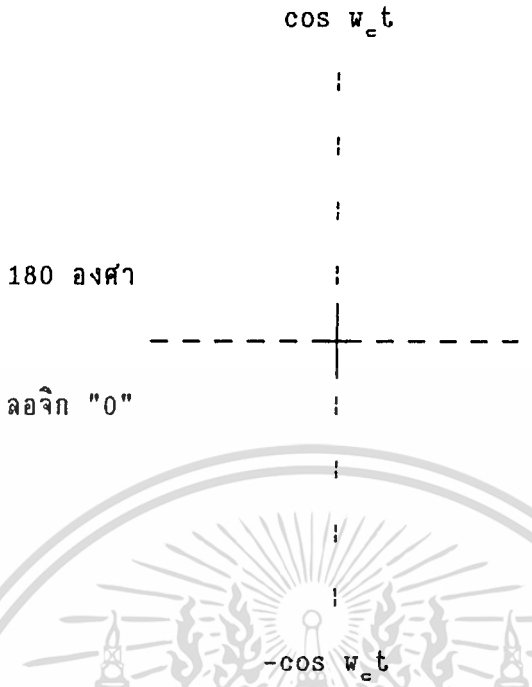
ไบนารี อินพุท	เฟส เอาท์พุท
ลอจิก "0"	180 องศา
ลอจิก "1"	0 องศา

ตารางที่ 4.1.1 ตารางค่าความจริง



รูปที่ 4.1.3 เฟสเซอร์ไดอะแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1.4 คอลสเตลเลชั่นไดอะแกรม

4.2 BPSK Bandwidth

พิจารณาถึงแบนด์วิทที่จำเป็นสำหรับ BPSK ก่อนอื่นสมมติให้ระดับของแรงดันไฟฟ้าของสัญญาณดิจิตอลลอจิก "1" มีค่า +1V และลอจิก "0" มีค่า -1V และจากสัญญาณพาห์อ้างอิงมีค่า cos $w_c t$ ดังนั้นจะได้สัญญาณเอาท์พุทจากการมอดูเลทเป็น +cos $w_c t$ และ -cos $w_c t$ ซึ่งมีค่าของเฟส ตรงกับสัญญาณพาห์อ้างอิง และต่างเฟสไป 180 องศา ตามลำดับจะได้ว่า ถ้าสถานะของสัญญาณดิจิตอลที่เข้าเปลี่ยนแปลงสัญญาณเอาท์พุทจะเปลี่ยนแปลงด้วย ซึ่งสามารถนำไปพิจารณาผลที่มีต่อการมอดูเลทของ BPSK คือ ทำให้อัตราการเปลี่ยนแปลงของเอาท์พุทในหน่วย บอร์ด (Baud) มีค่าเท่ากับอัตราการเปลี่ยนแปลงของอินพุทในหน่วย บิทต่อวินาที (bps) แบนด์วิทของเอาท์พุทจะกว้างมากที่สุดเมื่อมีการเปลี่ยนแปลงสัญญาณดิจิตอลระหว่างลอจิก "0" และ "1"

ความถี่พื้นฐาน (F_s) ของการเปลี่ยนแปลงระหว่างลอจิก "0" และ "1" ของสัญญาณดิจิตอลจะมีค่าเป็นครึ่งหนึ่งของอัตราบิท (F_b) เราสามารถแสดงด้วยสมการคณิตศาสตร์ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทจากการมอดูเลทแบบ BPSK = ความถี่พื้นฐานของสัญญาณดิจิตอล * สัญญาณพาห์

$$= \cos w_m t * \cos w_c t$$

$$= \frac{1}{2}\cos(w_c t + w_m t) + \frac{1}{2}\cos(w_c t - w_m t)$$

จะได้ว่าค่าแบนด์วิททั้งสองข้างของ Nyquist (F_n) มีค่าอย่างน้อยเท่ากับ

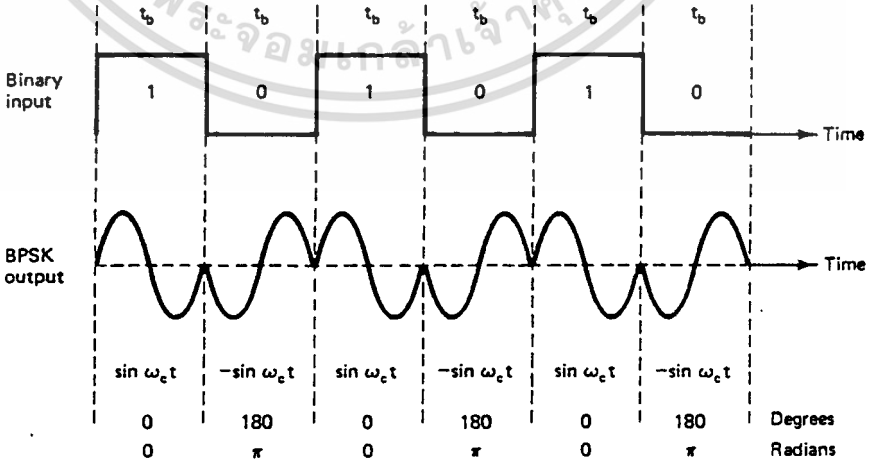
$$= (w_c t + w_m t) - (w_c t - w_m t)$$

$$= 2w_m t$$

จาก $F_m = w_m t = \frac{F_b}{2}$

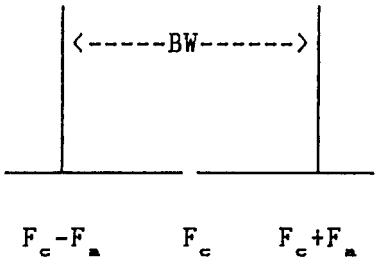
ดังนั้น $F_n = 2\left[\frac{F_b}{2}\right] = F_b$

โดยสามารถแสดงความสัมพันธ์ ของเวลา และ เฟสของเอาท์พุทจากการมอดูเลทแบบ BPSK ดังรูปที่ 4.2.1 ถ้าดูจากสเปกตรัมของการมอดูเลทของ BPSK จะเห็นว่าเป็นแบบดับเบิ้ลไซด์แบนด์ซัพเพรสแคร์เรีย (Double-Sideband Suppressed Carrier) ที่มีความถี่ด้านสูงและด้านต่ำแยกจากความถี่สัญญาณพาห์ด้วยค่าครึ่งหนึ่งของอัตราบิท สรุปได้ว่าแบนด์วิทที่น้อยที่สุดที่ให้สัญญาณเอาท์พุทของ BPSK ผ่านเท่ากับอัตราบิทของอินพุท



รูปที่ 4.2.1 ความสัมพันธ์ของเฟสเอาท์พุทเทียบกับเวลา

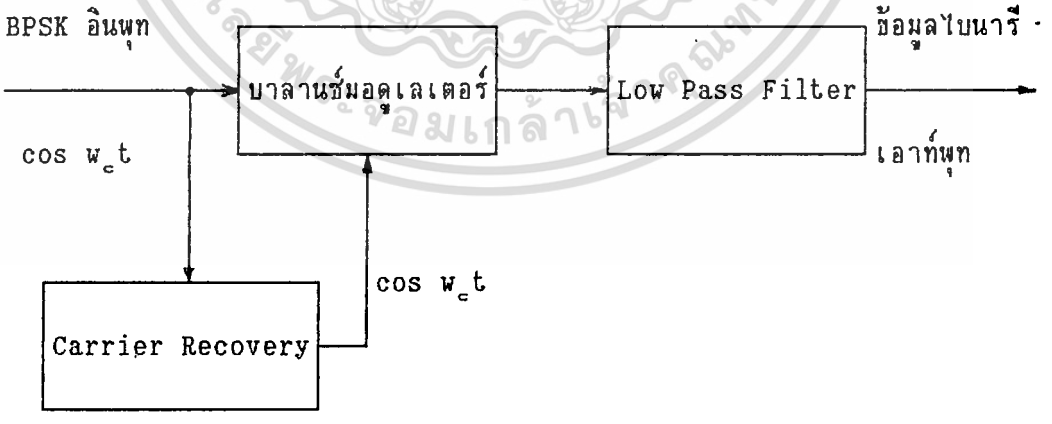
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.2 สเปคตรัมของเอาท์พุท

4.3 BPSK Receiver

จากรูปที่ 4.3.1 แสดงแผนผังของภาครับของ BPSK สามารถอธิบายการทำงานได้ดังนี้ สัญญาณอินพุทที่เข้ามาภาครับมีทั้ง $+\cos w_c t$ และ $-\cos w_c t$ ภาครับจะมีวงจร Carrier Recovery เป็นตัวตรวจจับสัญญาณ เพื่อสร้างสัญญาณพาห์ที่มีค่าเฟสและความถี่เดิมขึ้นมาใหม่ และมีวงจรบาลานซ์มอดูเลเตอร์ ทำการดีมอดูเลทสัญญาณที่รับมา และสัญญาณพาห์ที่สร้างขึ้นใหม่ นำไปผ่าน Low Pass Filter ทำการแยกสัญญาณข้อมูลไบนารีออกจากสเปกตรัมของสัญญาณที่ผ่านการดีมอดูเลท ซึ่งจะเป็นสัญญาณดอมเพล็กซ์



รูปที่ 4.3.1 แผนผังพื้นฐานของภาครับ BPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนั้นเรายังสามารถอธิบายการทำงานด้วยสมการคณิตศาสตร์ได้ดังนี้

- กรณีสัญญาณอินพุทเป็น $\cos w_c t$ (ลอจิก "1")

$$\text{เอาท์พุท} = (\cos w_c t) * (\cos w_c t)$$

$$= \cos^2 w_c t$$

$$= \frac{1}{2}(1-\cos 2w_c t)$$

$$= \frac{1}{2} - \frac{1}{2}(\cos 2w_c t)$$

$$= \frac{1}{2}\ \text{Vdc} \quad \text{ลอจิก "1"} \quad \text{ชุดหลังถูก Filtered Out}$$

จะเห็นว่าเอาท์พุทจากการดีมอดูเลทประกอบด้วย 2 ส่วน คือ ไฟดีซี (dc voltage) และสัญญาณโคซายน์ความถี่ 2 เท่าของสัญญาณพาห์ ($2w_c t$) ทำให้ฮาร์โมนิกที่สองของสัญญาณพาห์ถูกกำจัดทิ้ง ผ่านได้เฉพาะส่วนของไฟดีซี ที่มีค่าบวก แสดงลอจิก "1"

- กรณีสัญญาณอินพุทเป็น $-\cos w_c t$ (ลอจิก "0")

$$\text{เอาท์พุท} = (-\cos w_c t) * (\cos w_c t)$$

$$= -\cos^2 w_c t$$

$$= -\frac{1}{2}(1-\cos 2w_c t)$$

$$= -\frac{1}{2} + \frac{1}{2}(\cos 2w_c t)$$

$$= -\frac{1}{2}\ \text{Vdc} \quad \text{ลอจิก "0"} \quad \text{ชุดหลังถูก Filtered Out}$$

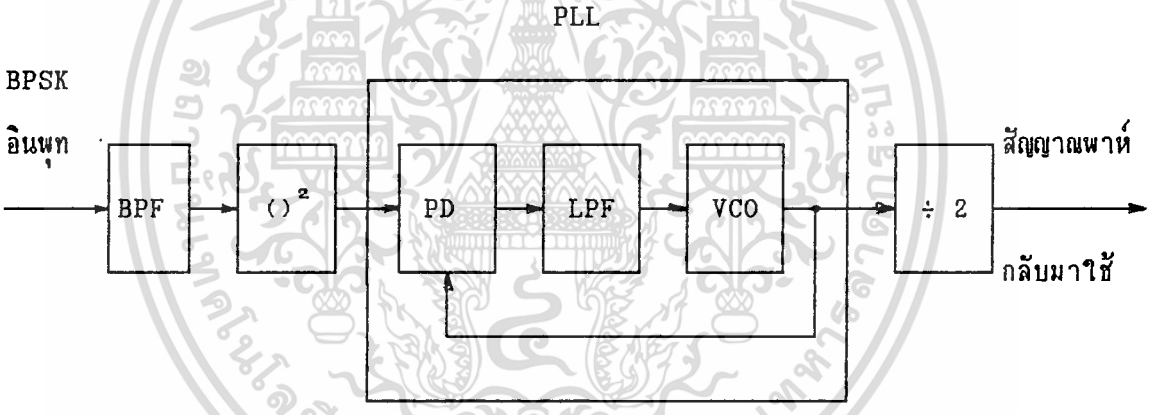
จะเห็นว่าเอาท์พุทที่ได้ประกอบด้วย 2 ส่วนเช่นกันคือ ไฟดีซี และ สัญญาณโคซายน์ ที่มีความถี่เป็น 2 เท่าของสัญญาณพาห์อ้างอิง($2w_c t$) และจะใช้ Low Pass Filter เป็นตัวกำจัดฮาโมนิกที่สองทิ้ง เหลือแต่ไฟดีซี มีค่าเป็นลบ แสดงลอจิก "0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Carrier Recovery

การนำเอาสัญญาณกลับมาใช้ ในภาครับของ BPSK คือกระบวนการในการดึงสัญญาณคลื่นพาห์ที่มีเฟสตรงกับทางด้านส่ง มาจากสัญญาณอินพุทของภาครับ เนื่องจากหลักการมอดูเลทแบบ BPSK ที่กล่าวมาข้างต้น ในการดีมอดูเลทสัญญาณ ต้องอาศัยการสร้างสัญญาณพาห์อ้างอิงที่เฟสตรงกับทางด้านส่ง เพื่อเป็นตัวเปรียบเทียบในการดีเทคเตอร์ การทำงานขั้นตอนดังกล่าว จึงต้องอาศัยวงจร Carrier Recovery

ตามหลักการมอดูเลทของ PSK นั้น สัญญาณพาห์อ้างอิงจะไม่มีการส่งออกถูกซัพเพรส (Suppressed)ในขั้นตอนการมอดูเลททำให้เราไม่สามารถใช้วิธีธรรมดาในการแทร็ค (Track) ตาม โดยเฟสล็อกลูป แบบมาตรฐาน ต้องอาศัยวิธีการที่ซับซ้อน ซึ่งทำได้หลายวิธี วิธีที่ใช้นี้ก็เป็นที่นิยมวิธีหนึ่ง คือ Squaring Loop



รูปที่ 4.3.2 แผนผังของ Squaring Loop

จากรูปที่ 4.3.2 สัญญาณที่รับมาจะนำมาผ่านแบนด์พาสฟิลเตอร์ เพื่อลดความกว้างของสเปคตรัมของสัญญาณรบกวนที่รับมา แล้วนำมายกกำลังสองความถี่ เพื่อเป็นการกำจัดความแตกต่างของสัญญาณที่รับมา ซึ่งได้มาจากการมอดูเลทแบบ BPSK ดังกล่าว ขั้นตอนนี้จะเป็นการสร้างฮาร์โมนิกที่ 2 ของสัญญาณพาห์ เฟสของฮาร์โมนิกจะถูกแทร็คตามโดยเฟสล็อกลูป ความถี่ออกมาจาก VCO จะถูกหารสองและใช้เป็นเฟสอ้างอิงในการดีเทคสัญญาณต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถใช้สมการคณิตศาสตร์มาอธิบายการทำงานของ Squaring Loop ได้ดังนี้ สัญญาณผ่านการมอดูเลทแบบ BPSK เป็นได้ 2 เฟส คือ

- กรณีสัญญาณที่รับมาเป็น $+\sin w_c t$

ผลลัพธ์จากการยกกำลังสอง $(+\sin w_c t)^2 = \frac{1}{2}(1-\cos 2w_c t)$

$$= \frac{1}{2} - \frac{1}{2}(\cos 2w_c t)$$

$\frac{1}{2}$ ถูก Filter Out จึงได้ $= \frac{1}{2}(\cos w_c t)$

- กรณีสัญญาณที่รับมาเป็น $-\sin w_c t$

ผลลัพธ์จากการยกกำลังสอง $(-\sin w_c t)^2 = \frac{1}{2}(1-\cos 2w_c t)$

$$= \frac{1}{2} - \frac{1}{2}(\cos 2w_c t)$$

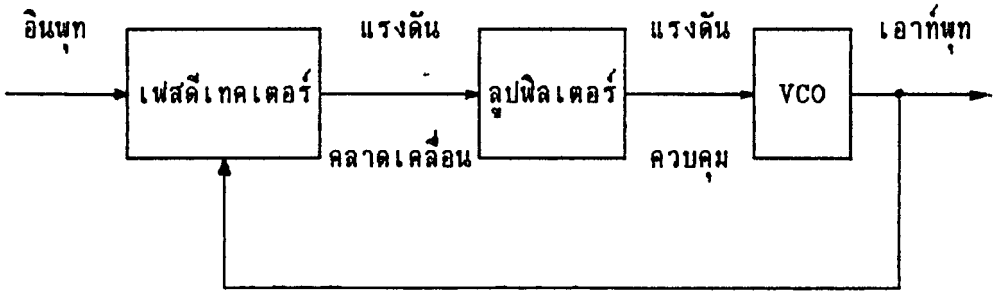
$\frac{1}{2}$ ถูก Filter Out จึงได้ $= \frac{1}{2}(\cos 2w_c t)$

จะเห็นว่าทั้งสองกรณีมีผลลัพธ์ที่เหมือนกัน และส่วนของไฟดีซีก็จะถูกกำจัดโดย ฟิลเตอร์ อนึ่งสำหรับหลักการในการนำความถี่กลับมาใช้ของ BPSK แบบนี้ สามารถนำไปใช้กับ สัญญาณที่มีเทคนิคการเข้ารหัส ที่สูงกว่าแบบไบนารี โดยเปลี่ยนแปลงในส่วน การยกระดับสัญญาณที่รับเข้ามา เพื่อกำจัดความแตกต่างดังกล่าว ซึ่งอาจเป็น สี่เท่า แปดเท่า รวมทั้งในส่วนของกำลังที่ใช้

Phase Lock Loop (PLL)

วงจรเฟสล็อกลูปนับเป็นวงจรที่สำคัญอีกวงจรหนึ่ง มีการใช้งานโดยทั่วไปในการติดต่อสื่อสารแบบอนาล็อกและดิจิตอล รวมทั้งใช้ในการควบคุมระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3.3 แผนผังพื้นฐานของเฟสล็อกลูป

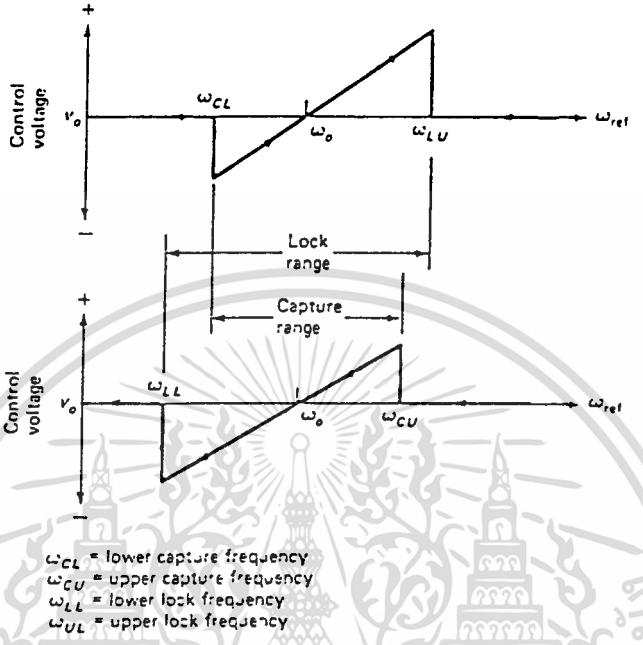
พิจารณาจากรูปที่ 4.3.3 ซึ่งเป็นแผนผังพื้นฐานการทำงานของเฟสล็อกลูปจะเห็นว่าประกอบด้วยส่วนสำคัญ 3 ส่วนได้แก่ ภาคเทียบเฟสหรือเฟสดีเทคเตอร์ (Phase Comparator or Phase Detector) ภาคลูปฟิลเตอร์ (Loop Filter) และภาค VCO (Voltage Control oscillator) ซึ่งมีคุณสมบัติ เป็นวงจรออสซิลเลเตอร์ที่สามารถควบคุมความถี่ได้ด้วยการปรับแรงดันที่ป้อนเข้าหลักการทำงานของเฟสล็อกลูป คือเป็นระบบป้อนกลับ(Feed back) ที่ควบคุมให้วงจรออสซิลเลเตอร์มีความถี่และเฟสเปลี่ยนแปลง ไปตามความถี่และเฟสของสัญญาณอ้างอิงภายนอก

การทำงานนั้น ในตอนแรก ที่ยังไม่มีสัญญาณอ้างอิงภายนอกเข้ามา VCO จะทำงานที่ความถี่รันนิ่ง (Free running) และเรียกการทำงานของเฟสล็อกลูปว่า อยู่ในฟรีรันนิ่งโหมด (Free running mode) เมื่อมีสัญญาณอ้างอิงภายนอก ที่มีช่วงความถี่ที่แน่นอน โดยมีค่าความถี่กลางที่ w_o เฟสล็อกลูปจะเริ่มแทร็คตามสัญญาณ เรียกการทำงานว่า อยู่ในแทร็คกิ้งโหมด (Tracking mode) หรือเฟสมีการล็อกนั้นเอง โดยช่วงความถี่ที่เฟสล็อกลูปเปลี่ยนโหมดการทำงาน จากฟรีรันนิ่งโหมดไปเป็นแทร็คกิ้งโหมด เรียก แคปเจอร์เรนจ์ (Capture rang)

พิจารณาในการทำงานในแทร็คกิ้งโหมด ความต่างเฟสของสัญญาณอ้างอิงภายนอกและสัญญาณจาก VCO จะทำให้เกิดแรงดันคลาดเคลื่อน เพื่อไปควบคุมการทำงาน ในการสร้างความถี่ของ VCO ซึ่งแรงดันคลาดเคลื่อนนี้จะแปรผันกับความต่างเฟสของสัญญาณทั้งสอง โดยทั่วไปในการออกแบบเฟสล็อกลูป กรณีที่ไม่มีความต่างเฟสระหว่างสัญญาณทั้งสอง VCO จะสร้างสัญญาณป้อนกลับที่มีเฟสนำ (Lead) สัญญาณอ้างอิงอยู่ 90 องศา และเฟสจะมีการล็อกเกิดขึ้น การทำงานในการล็อกของเฟสล็อกลูปนั้น จะทำได้ในช่วงหนึ่ง ซึ่งสัญญาณอ้างอิงภายนอกไม่เกินขีดจำกัดของช่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การล็อก (Lock Range) ของเฟสล็อกลูป ช่วงการล็อกของเฟสล็อกลูปอาจมีค่ามากกว่าหรือเท่ากับ แคปเจอร์เรนจ์ โดยทั่วไปจะมีค่ามากกว่า ดังรูปที่ 4.3.4



รูปที่ 4.3.4 กราฟแสดงความสัมพันธ์ระหว่างแคปเจอร์เรนจ์และล็อกเรนจ์ของเฟสล็อกลูป

ช่วงการล็อกของเฟสล็อกลูปจะมีช่วงตั้งแต่ 1% ถึง 60% ของความถี่ฟรีรันนิ่งของ VCO ขึ้นอยู่กับคุณสมบัติเฉพาะของอุปกรณ์ที่ใช้

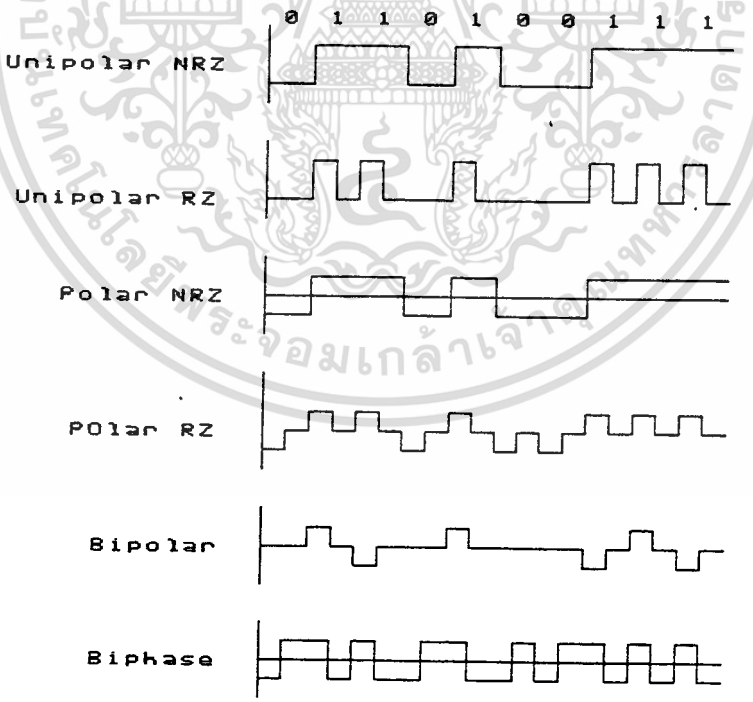
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สัญญาณดิจิตอลเบสแบนด์

การสร้างสัญญาณดิจิตอล เพื่อที่จะทำการส่งออกทางสายนำสัญญาณ ในระบบเบสแบนด์ โดยทั่วไปเรียกว่า ไลน์โคดดิง (Line Coding) การทำไลน์โค้ดดิงแบ่งออกเป็น 2 แบบ คือ แบบที่ใช้ 1 สัญลักษณ์ ต่อ 1 บิท และแบบที่ใช้ 1 สัญลักษณ์ต่อหลายบิท คำว่าสัญลักษณ์ (Symbol) ที่ใช้ในระบบสื่อสารแบบดิจิตอลนั้น หมายถึง สัญญาณที่มีค่าคงที่ ในช่วงเวลาช่วงหนึ่ง และอัตราการเปลี่ยนแปลงของสัญญาณนี้จะถูกเรียกว่า **"บอดเรท"**(Baud Rate) ในกรณีที่ใช้ 1 สัญลักษณ์ต่อ 1 บิทนั้น บอดเรทนี้อาจจะเท่ากับอัตราข้อมูลหรือ **"บิทเรท"** (Bit Rate)ได้ แต่ถ้าไลน์โคดดิงนั้นใช้ 1 สัญลักษณ์ต่อหลายบิท บอดเรทจะต่ำกว่าบิตเรทเสมอ

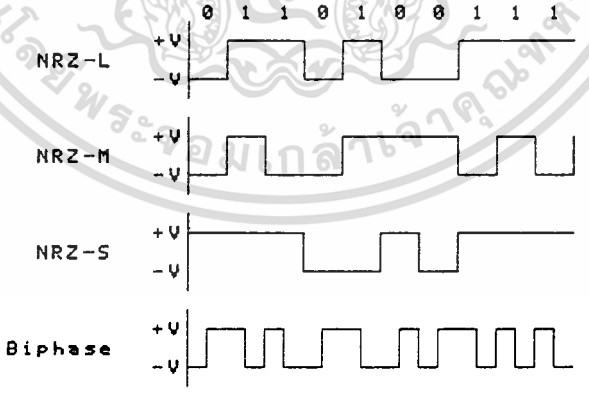
ในโครงงานใช้สัญญาณดิจิตอลแบบใช้ 1 สัญลักษณ์ต่อ 1 บิท ซึ่งแบบนี้ก็ยังแบ่งออกได้เป็น แบบที่ใช้ระดับสัญญาณ 2 ระดับ กับแบบที่ใช้สัญญาณ 3 ระดับ ดังรูปที่ 5.1.1 ตัวอย่างไลน์โคดดิงที่มีใช้ทั่วไปในระบบส่งสัญญาณดิจิตอลแบบเบสแบนด์



รูปที่ 5.1.1 ตัวอย่างไลน์โคดดิงที่ใช้ในระบบส่งสัญญาณดิจิตอลเบสแบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเบสแบนด์สำหรับที่ใช้ในโครงงานนี้ เป็นการส่งข้อมูลที่เป็นดิจิตอลแบบ NRZ หรือ RZ สำหรับ FSK แต่จะใช้ NRZ สำหรับ PSK และการส่งข้อมูลของระบบ PSK มีการเข้ารหัสแบบ Bipase โดยใช้สัญญาณนาฬิกา ฉะนั้นที่ภาครับจะทำการกู้สัญญาณนาฬิกา (Clock) จากสัญญาณเบสแบนด์ที่รับมา เพื่อนำมาถอดรหัส Biphase โดยสัญญาณนาฬิกาที่สร้างขึ้นจากภาครับจะซิงโครไนซ์กับภาคส่ง และเพื่อความสับสนทางเฟสของภาครับ จึงต้องทำการเข้ารหัสเพื่อแก้ไขการกลับ (Invert)ของสัญญาณที่ภาครับ เนื่องจากการส่งสัญญาณผ่านวงจรที่ทำให้เกิดการกลับเฟส ในที่นี้จะกล่าวถึงเฉพาะสัญญาณที่ไม่กลับศูนย์แบบระดับ (Non Return to Zero - Level,NRZ-L) และการเข้ารหัสสัญญาณ NRZ-L ให้เป็นสัญญาณไม่กลับศูนย์แบบอินเวอร์ส (Non Return to Zero Invert,NRZ-I) เรียกอีกชื่อหนึ่งว่าการเข้ารหัสดิฟเฟอเรนเชียล (Differential Encoder) สัญญาณ NRZ-I นั้นเป็นการใช้การเปลี่ยนระดับ (Transition) ของสัญญาณเป็นข้อมูลแทนการใช้ระดับแรงดันแทนข้อมูลในสัญญาณ NRZ-L โดยอาจจะให้ สัญญาณเอาท์พุทเปลี่ยนแปลงระดับทุกครั้งที่สัญญาณอินพุทมีค่าระดับลอจิกเป็น "1" หรือ ให้เอาท์พุทเปลี่ยนแปลงระดับทุกครั้งที่สัญญาณอินพุทมีค่าเป็นศูนย์ หรือเรียกสัญญาณ NRZ-I สองประเภทนี้คือ สัญญาณไม่กลับศูนย์แบบมาร์ค(Non Return to Zero-Mark,NRZ-M) และสัญญาณไม่กลับศูนย์แบบสเปซ (Non Return to Zero-Space,NRZ-S) ตามลำดับ จะเห็นได้ดังรูปที่ 5.1.2



รูปที่ 5.1.2 สัญญาณ NRZ-L, NRZ-M, NRZ-S และ Biphase

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การออกแบบ Frequency Shift Keying (FSK)

6.1 การออกแบบ FSK Modulator

ในการออกแบบ FSK Modulator ได้นำเอาไอซีเบอร์ XR 2206 ซึ่งเป็นโมโนลิธิคฟังก์ชั่นเจนเนอเรเตอร์ กำเนิดรูปคลื่นเอาท์พุทได้ทั้งคลื่นซายน์ คลื่นสามเหลี่ยมคลื่นสี่เหลี่ยม หรือแรมป์ (Ramp) โดยมีย่านความถี่ตั้งแต่ 0.01Hz ถึง 1.0MHz

ในกรณีนี้เราจะใช้ XR 2206 เป็นตัวกำเนิดคลื่นรูปซายน์ในลักษณะ FSK Generator โดยใช้ไทม์มิ่งรีซิสเตอร์ R_{mm} และ R_{ms} ที่ต่อระหว่างขา 7 และขา 8 กับกราวด์ตามลำดับ โดยที่สัญญาณดิจิตอลที่ป้อนมายังขา 9 ของไอซี เป็นตัวกำหนดสัญญาณเอาท์พุท (ขา 2) ถ้าขา 9 อยู่ในสถานะวงจรเปิดหรือมี $V_{in} \geq 2V$ แล้ว R_{mm} จะเป็นตัวกำหนดไทม์มิ่งร่วมกับตัวเก็บประจุที่ต่อคร่อมระหว่างขา 5 กับขา 6 (หรือในทำนองกลับกันถ้าขา 9 มี $V_{in} \leq 1V$ แล้ว R_{ms} จะเป็นตัวกำหนดไทม์มิ่ง รวมกับตัวเก็บประจุระหว่างขา 5 กับขา 6 เช่นเดียวกัน) จึงทำให้ความถี่เอาท์พุทจะอยู่ในช่วงระหว่าง F_m กับ F_s โดยทั้ง F_m และ F_s จะอิสระต่อกัน และสามารถเปลี่ยนแปลงความถี่ได้โดยการเลือกค่า R_{mm} หรือ R_{ms} ตามสมการข้างล่าง

$$F_m = \frac{1}{R_{mm} C_m}$$

$$F_s = \frac{1}{R_{ms} C_m}$$

ตัวเก็บประจุระหว่างขา 5 กับ 6 จะอยู่ในช่วง 1,000 pF - 100μF และตัวต้านทาน R_{mm} และ R_{ms} จะอยู่ในช่วง 4KΩ - 200KΩ

จากสมการเพื่อให้ง่ายในทางปฏิบัติกำหนดให้ C_m = 0.001μF หาค่า R_{mm} และ R_{ms} เมื่อกำหนด F_m = 85KHz และ F_s = 80KHz

$$R_{mm} = \frac{1}{F_m C_m} = \frac{1}{85*10^{3}*0.001*10^{-6}} = 11.76K\Omega$$

เนื่องจากเราต้องสามารถปรับความถี่ได้อิสระ ดังนั้นจึงใช้โปเทนทิโอมิเตอร์ 20KΩต่อระหว่างขา 7 กับกราวด์

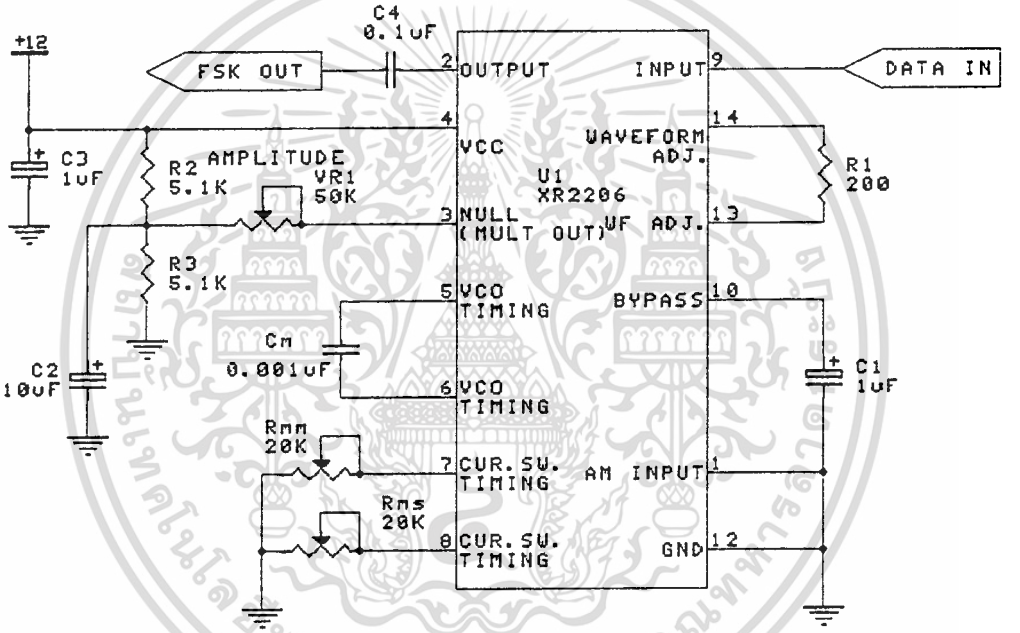
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{ms} = \frac{1}{F_s C_m}$$

$$= \frac{1}{80*10^{3}*0.001*10^{-6}}$$

$$= 12.5K\Omega$$

เนื่องจากเราต้องสามารถปรับความถี่ได้อิสระ ดังนั้นจึงใช้โปเทนทิโอมิเตอร์ 20KΩ ระหว่างขา 8 กับกราวด์ วงจรจะเป็นดังรูปที่ 6.1



รูปที่ 6.1 วงจร FSK Modulator

6.1.1 การปรับแต่งระดับเอาท์พุทไฟตรง

ระดับแรงดันไฟตรงที่ขาเอาท์พุท (ขา 2) จะมีค่าโดยประมาณเท่ากับแรงดันไบอัสที่ขา 3 จากวงจรจะเห็นว่าแรงดันที่ขา 3 จะได้จากการแบ่งแรงดันระหว่างค่าความต้านทาน 5.1KΩ สองตัวกับแรงดันไฟเลี้ยงประมาณ 6V เมื่อแรงดันไฟเลี้ยงในวงจรเป็น +12V และสามารถปรับโดยโปเทนทิโอมิเตอร์ 50KΩ ที่อนุกรมกับขา 3 ดังนั้นการปรับที่ขา 3 ก็เป็นการปรับระดับของสัญญาณเอาท์พุทขา 2 ให้อยู่ในระดับที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.2 การปรับการผิดเพี้ยนรูปคลื่นของสัญญาณเอาท์พุท

ขา 13 และ 14 มีไว้สำหรับปรับแต่งรูปคลื่น เพื่อปรับการผิดเพี้ยน (Distortion) ของรูปร่างสัญญาณ อันเนื่องมาจากการผิดเพี้ยนของฮาร์โมนิก โดยการต่อค่าความต้านทานเข้าไประหว่างขา 13 และ 14 แต่ในคู่มือ XR 2206 แนะนำให้ใช้ค่า 200Ω โดยไม่มีการปรับแต่งแต่อย่างใด

6.1.3 พิจารณาค่าแบนด์วิท

ในการหาค่าแบนด์วิทที่แคบที่สุดจำเป็นต้องรู้ค่า F_m,F_s และ Bit Rate ซึ่งใช้ความเร็ว 600 bps เราหา F_n ได้ดังนี้

จาก MI $= \frac{\Delta F}{F_n}$

เมื่อ $\Delta F = |F_m - F_s|$

$= |85KHz - 80KHz|$

$= 5KHz$

F_n = Bit Rate ซึ่งก็คือ Baud Rate

$= 600$

จะได้ MI $= \frac{5KHz}{600} = 8.33$

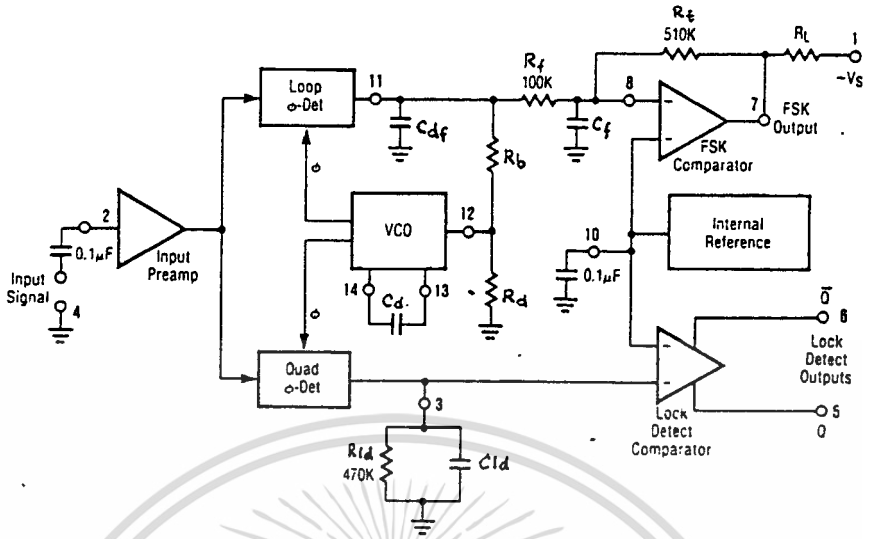
6.2 การออกแบบ FSK Demodulator

ในการออกแบบ FSK Demodulatorได้นำเอาไอซีเบอร์ XR 2211 ซึ่งเป็นโมโนลิธิคเฟสล็อกลูป โดยมีย่านความถี่ในการใช้งานตั้งแต่ 0.01Hz จนถึง 300KHz

โครงสร้างภายในของไอซีเบอร์ XR 2211 ประยุกต์วงจรเป็น FSK Demodulator จะเป็นดังรูปที่ 6.2.1 ส่วนประกอบหลักของ PLL ใน XR 2211 ประกอบด้วย 2 ส่วน คือ

1.Signal Pre-Amp มีหน้าที่จำกัดขนาดของสัญญาณอินพุท ให้อยู่ในค่าประมาณ 2mV rms และขยายอีกครั้งหนึ่งเพื่อให้เป็นสัญญาณระดับสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

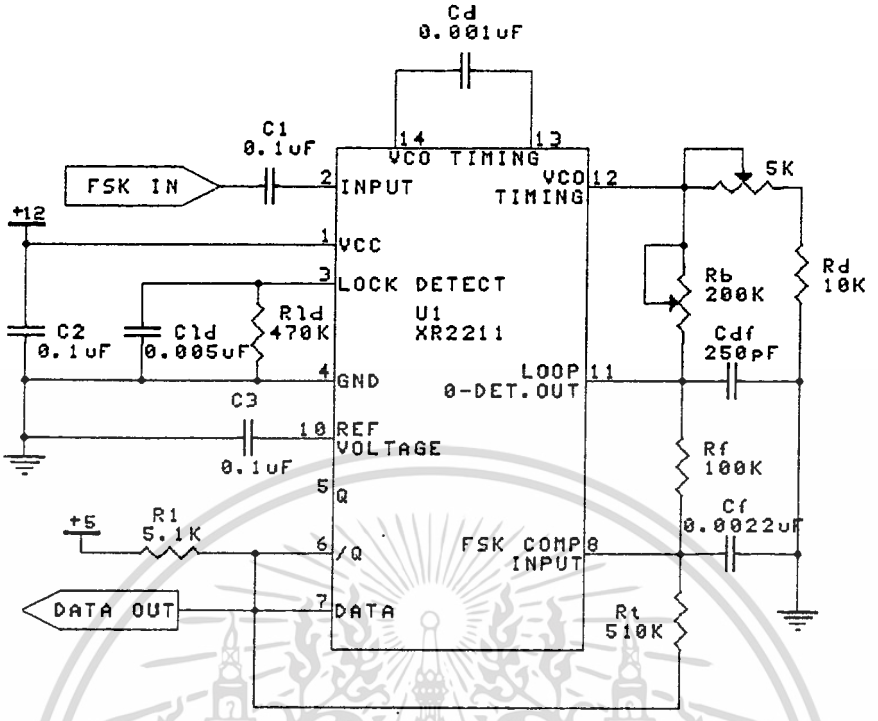


รูปที่ 6.2.1 โครงสร้างภายในของ FSK Demodulator

2.VCO (Voltage Control Oscillator) มีเฟสดีเทคเตอร์เป็นภาคแรก โดยเอาท์พุทจะได้เป็นความถี่ผลบวก และความถี่ผลต่าง คือ 2F และ 0Hz ตามลำดับ เมื่อเฟสดีเทคอยู่ในสถานะ ผลบวก ก็จะได้ DC Error Voltage ออกไปยัง VCO เพื่อควบคุมการผลิตความถี่ออกมาค่าหนึ่ง ในภาวะปกติความถี่ฟรีรันนิ่ง (F_o) จะ set ค่าโดยความต้านทาน R_d และคาปาซิเตอร์ C_d โดยขับผ่านความต้านทาน R_b ซึ่งสามารถหา F_o ได้จาก

$$F_o = \frac{1}{R_d C_d}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2.2 วงจร FSK Demodulator

จากวงจรในรูปที่ 6.2.2 อุปกรณ์ภายนอก คือ R_dC_d จะ Set Free running frequency หรือ Center Frequency (F_o) ของ PLL : R_b จะเซ็ทแบนด์วิท , C_{de} เซ็ท Damping Factor หรือ Filter time constance, C_f และ R_f สำหรับเซ็ท Data FSK Output ค่าความต้านทาน R_t (510KΩ) ระหว่างขา 7 กับค่า 8 เป็นตัวป้อนกลับทางบวกเพื่อให้ Transition Time ของเอาท์พุท FSK เร็วขึ้น

ดังนั้น การออกแบบวงจรจะต้อง หาค่าอุปกรณ์ภายนอกที่จะนำมาต่อดังนี้ คือ

1.คำนวณค่า Center Frequency (F_o) ของ PLL จาก

$$F_o = \frac{F_m + F_s}{2} = \frac{85KHz + 80KHz}{2} = 82.5KHz$$

2.เลือก Timing Capacitor (C_d) เพื่อง่ายในทางปฏิบัติเลือก

$$C_d = 0.001\mu F$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.หาค่า R_d จาก

$$R_d = \frac{1}{F_o C_d} = \frac{1}{82.5*10^{3}*0.001*10^{-6}} = 12.12K\Omega$$

ใช้ตัวต้านทาน 10KΩ ต่ออนุกรมกับโปเทนทิโอมิเตอร์ 5KΩ

4.หาค่า R_b เพื่อตั้ง Bandwidth จาก

$$R_b = \frac{R_d F_o}{\Delta F} \quad ; \text{เมื่อ } \Delta F = |F_m - F_s|$$

$$= \frac{12.12*10^{3}*82.5*10^{3}}{|85*10^{3} - 80*10^{3}|}$$

$$= 199.98K\Omega$$

ใช้โปเทนทิโอมิเตอร์ 200KΩ

5.หาค่า C_{de} เพื่อตั้ง Damping Factor จาก

$$\text{Damping Factor} = \frac{1}{4}\sqrt{\frac{C_d}{C_{de}}}$$

โดยทั่วๆ ไป Damping Factor กำหนดให้เป็น 1/2

เพราะฉะนั้น $C_{de} = \frac{C_d}{4} = \frac{0.001*10^{-6}}{4} = 250pF$

6.หาค่า C_f เมื่อ R_f = 100KΩ R_b = 510KΩ จะหา C_f ได้จาก

$$C_f = \frac{3}{\text{Baud Rate}}\ \mu F$$

$$= \frac{3}{600}\ \mu F$$

$$= 0.005\mu F \text{ ควรเลือกใช้ค่า } 0.0022\mu F \text{ หรือ } 0.0033\mu F$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.หาค่า C_{1d} เมื่อ R_{1d} = 470KΩ

$$C_{1d} = \frac{16}{\left[\frac{F_m - F_s}{2}\right]} \mu F$$

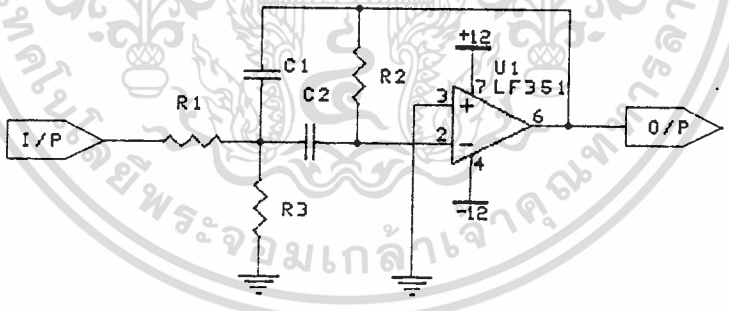
$$= \frac{16}{\left[\frac{5*10^3}{2}\right]} \mu F$$

$$= 0.0064\mu F$$

ควรเลือกใช้ค่า 0.005μF

6.3 <u>การออกแบบวงจรแบนด์พาสฟิลเตอร์ (Band Pass Filter) สำหรับ FSK</u>

การใช้งานของวงจรฟิลเตอร์นั้น เรากำหนดให้เป็นส่วนของอินพุท ก่อนเข้าวงจรดีมอดูเลเตอร์ สัญญาณรบกวนใดๆ ที่จุดนี้จะมีผลกับคุณภาพของวงจร สำหรับ IC XR2206 ที่จะทำงานที่ค่าความผิดพลาดต่ำแล้วค่าสัญญาณอินพุทควรสูงกว่าค่าสัญญาณรบกวนอย่างน้อย 6 เดซิเบล (dB) ซึ่งรูปแบบของวงจรฟิลเตอร์จะเป็นดังรูปที่ 6.3.1



รูปที่ 6.3.1 วงจรแบนด์พาสฟิลเตอร์

วงจรแบนด์พาสฟิลเตอร์เป็นแบบ Narrow Band Active Filter โดยที่มีแบนด์วิท B < 0.1W_c และมี Quality Factor ,Q > 10 ซึ่งสามารถหาค่าต่างๆของวงจรได้ตามสมการดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$B = W_m - W_s$$

$$W_r = \frac{W_m + W_s}{2}$$

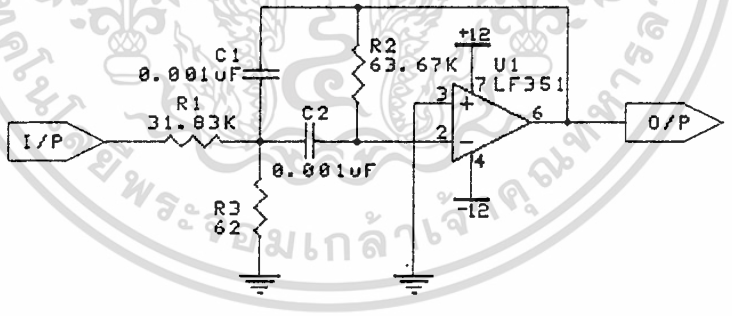
$$Q = \frac{W_r}{B}$$

$$R_2 = \frac{2}{B*C}$$

$$R_1 = \frac{R_2}{2}$$

$$R_3 = \frac{R_2}{4Q^2 - 2}$$

เมื่อกำหนดให้ค่า $C = C_1 = C_2 = 0.001\mu F$ แล้วคำนวณหาค่า R_1, R_2, R_3 จะได้ $R_1 = 31.83K\Omega$, $R_2 = 63.67K\Omega$ และ $R_3 = 62\Omega$ ดังรูปที่ 6.3.2



รูปที่ 6.3.2 วงจรแบนด์พาสฟิลเตอร์สำหรับ FSK

เพื่อความสะดวกในทางปฏิบัติจะใช้ตัวต้านทานปรับค่าได้แทน และสัญญาณที่ได้จากวงจรแบนด์พาสฟิลเตอร์ จะนำมาขยายเพื่อให้มีอัตราขยายพอที่จะให้วงจรดีมอดูเลเตอร์ ดีมอดูเลทสัญญาณได้

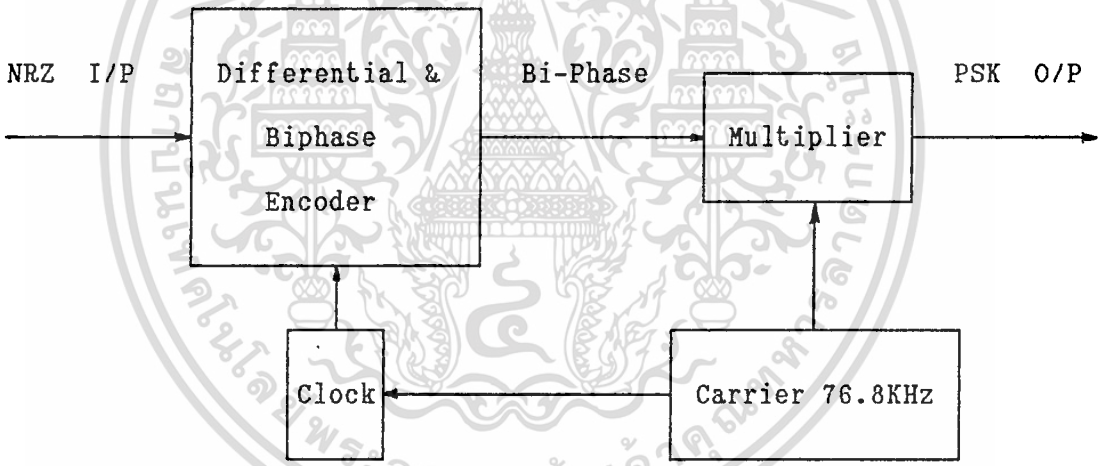
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

การออกแบบ Phase Shift Keying (PSK)

7.1 การออกแบบ PSK Modulator

สำหรับวงจรมอดูเลทสัญญาณ PSK กำหนดให้มีความถี่คลื่นพาห์เท่ากับ 76.8KHz มีบิทเรทเท่ากับ 600 bps โครงสร้างของวงจรแสดงได้ดังรูปที่ 7.1 โดยวงจรมอดูเลทสัญญาณ PSK จะเป็นวงจรคูณสัญญาณคลื่นพาห์ความถี่ 76.8KHz กับสัญญาณเบสแบนด์ Biphase โดยวงจรวงจรมอดูเลทสัญญาณ PSK ประกอบด้วย วงจรสร้างความถี่คลื่นพาห์ 76.8KHz, วงจรเข้ารหัสสัญญาณ Differential & Biphase, วงจรคูณสัญญาณ โดยในส่วนของวงจรเข้ารหัสจะสร้างสัญญาณนาฬิกา (4800Hz) มาจากวงจรสร้างความถี่คลื่นพาห์



รูปที่ 7.1 โครงสร้างของวงจร PSK

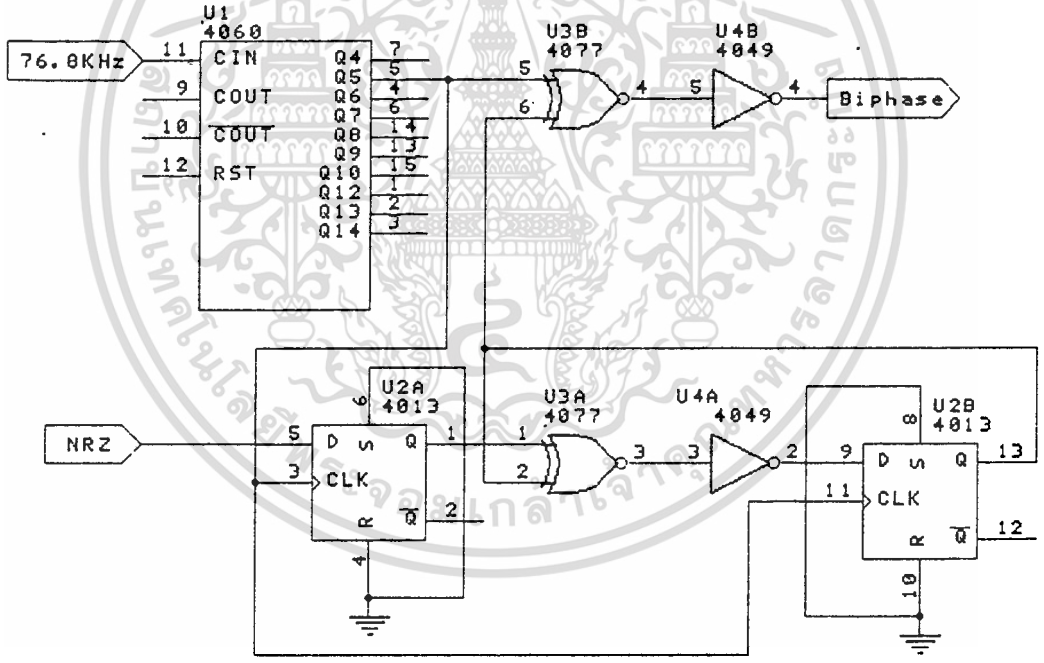
7.1.1 วงจรเข้ารหัสสัญญาณ Differential & Biphase

การเข้ารหัสสัญญาณเบสแบนด์ NRZ เป็น NRZ-I หรือ Differential Encode ซึ่งใช้การเปลี่ยนแปลงขอบของสัญญาณแทนการเปลี่ยนแปลงระดับสัญญาณ สำหรับการมอดูเลทสัญญาณแบบ PSK เพื่อป้องกันการสับสนทางเฟส ซึ่งเป็นเฟสของวงจรกู้สัญญาณคลื่นพาห์ผิดจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\cos w_c t$ เป็น $-\cos w_c t$ ผลจะทำให้การการดีมอดูเลทผิดจากความเป็นจริง ถ้าหากทำการส่งข้อมูลด้วยสัญญาณ NRZ แต่ถ้าหากเราทำการเข้ารหัสสัญญาณ NRZ เป็น NRZ-I แล้วการใช้การเปลี่ยนแปลงขอบของสัญญาณแทนการส่ง 0 หรือ 1 จะสามารถแก้ไขปัญหาเนื่องจากการสับสนทางเฟสได้ ซึ่งในการออกแบบใช้ NRZ-I แบบ NRZ-M ใช้หลักการ Differential encode โดยการมอดูโลแทนได้ด้วยเอ็กคลูซีฟนอร์เกท (4077,U3A) แล้วไปผ่านนอทเกท (4049,U4A) และสำหรับการหน่วงเวลาไป 1 บิท ใช้ดีฟลิปฟลอป (4013,U2B) โดยสัญญาณนาฬิกาของดีฟลิปฟลอปได้จากสัญญาณกำหนดบิทเรทของสัญญาณเบสแบนด์

การเข้ารหัสสัญญาณ Biphase เป็นการนำเอาสัญญาณเบสแบนด์ที่เป็นสัญญาณแบบ NRZ-M นำมาเอ็กซ์คลูซีฟนอร์ (4077,U3B)กับสัญญาณนาฬิกา แล้วนำเอาท์พุทไปผ่านนอทเกท (4049,U4B) จะได้สัญญาณเบสแบนด์เป็น Biphase ซึ่งมีวงจรดังรูปที่ 7.1.1



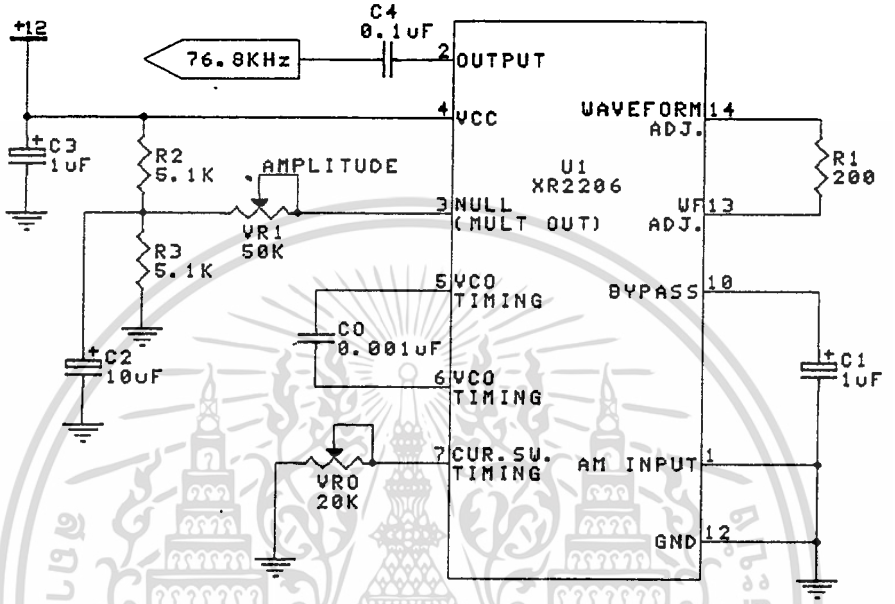
รูปที่ 7.1.1 วงจรเข้ารหัสสัญญาณ Differential & Biphase

โดยสัญญาณนาฬิกาได้มาจากวงจร สร้างความถี่คลื่นพาห์ 76.8KHz มาผ่าน 4046 (U1) ทำหน้าที่สร้างสัญญาณนาฬิกาเป็น 4800Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.1.2 วงจรสร้างความถี่คลื่นพาห์ 76.8KHz

สำหรับการออกแบบวงจรผลิตความถี่ 76.8KHz จะใช้ไอซี XR 2206 ในการออกแบบเหมือนกับการออกแบบของ FSK โดยกำหนดความถี่ F_o = 76.8KHz เป็นความถี่คลื่นพาห์ วงจรแสดงดังรูปที่ 7.1.2



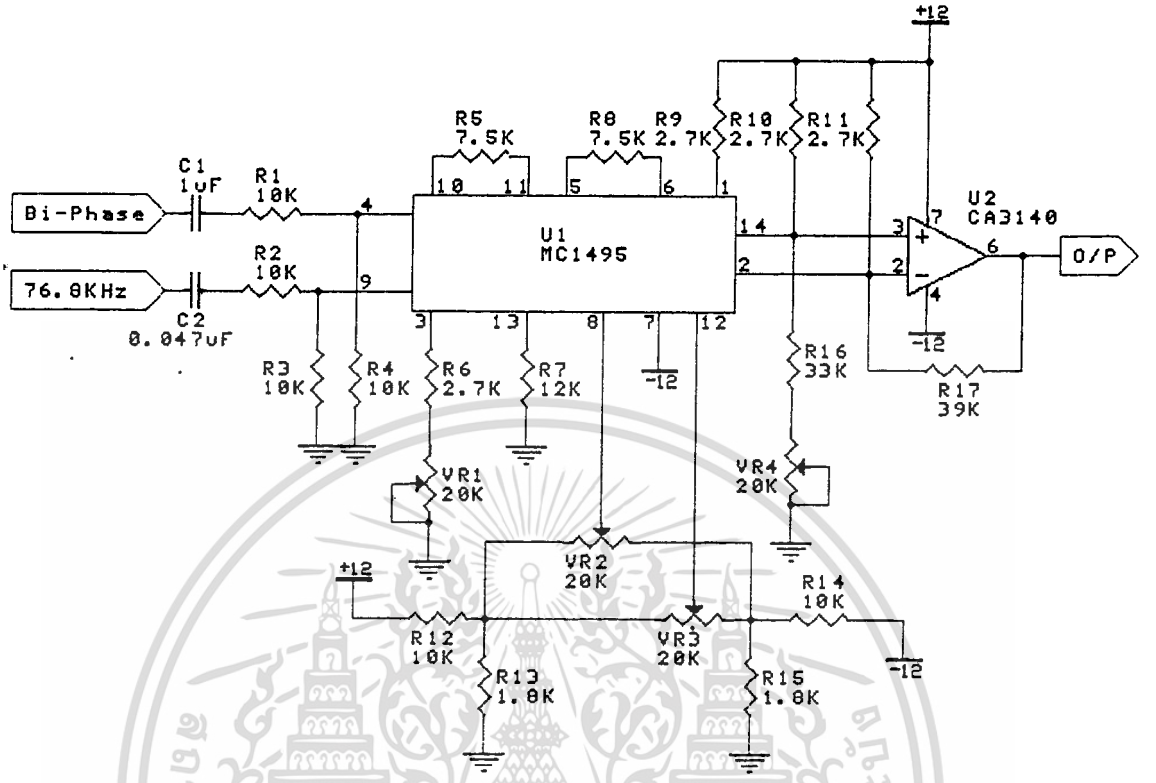
รูปที่ 7.1.2 วงจรสร้างความถี่คลื่นพาห์ 76.8KHz

7.1.3 วงจรคูณสัญญาณเบสแบนด์กับคลื่นพาห์

สำหรับวงจรคูณสัญญาณเบสแบนด์ที่เป็นสัญญาณ Biphase กับความถี่คลื่นพาห์ขนาด 76.8KHz จะใช้ไอซี LM1495 ทำหน้าที่คูณสัญญาณ ดังรูปที่ 7.1.3

จากรูป สัญญาณ Biphase ถูกป้อนเข้าที่ขา 4 และสัญญาณความถี่คลื่นพาห์ 76.8KHz ป้อนเข้าที่ขา 9 ของ LM1495 โดยจัดค่าความต้านทานสำหรับค่าสเกลการคูณคือความต้านทานที่ต่อที่ขา 5,6 ขา 10,11 ขา 3 กับกราวน์ ขา 13 กับกราวน์ โดยเอาท์พุทของ LM1495 ที่อยู่ในรูปของกระแสจะเปลี่ยนเป็นแรงดันโดยใช้ไอซี CA3140

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

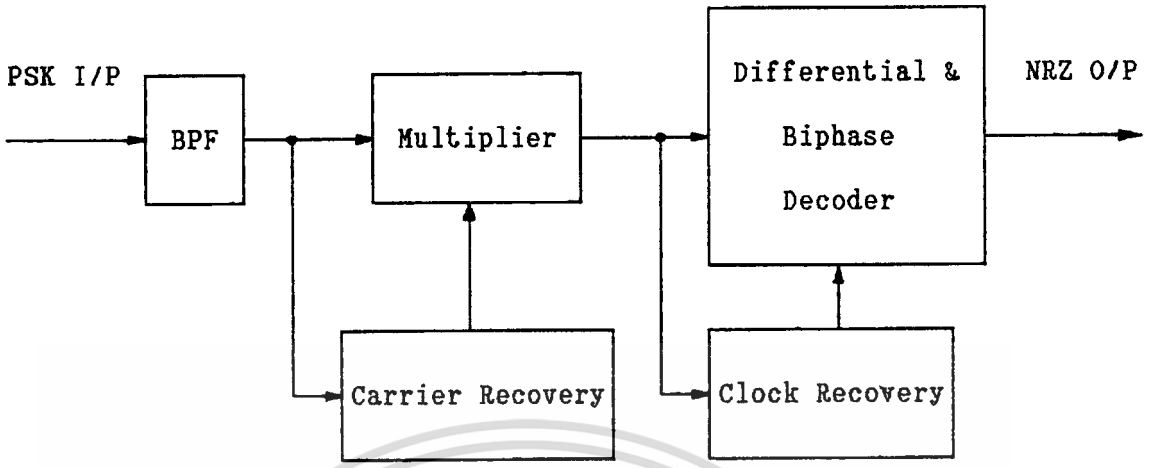


รูปที่ 7.1.3 วงจรคูณสัญญาณ Biphase กับ คลื่นพาห์

7.2 การออกแบบ PSK Demodulator

โครงสร้างวงจรดีมอดูเลทสัญญาณ PSK ซึ่งประกอบด้วยส่วนใหญ่ๆ คือ วงจรกรองความถี่ วงจรโคฮีเรนท์ดีมอดูเลทเตอร์ (Coherent Demodulator) ซึ่งประกอบด้วยวงจรกู้สัญญาณคลื่นพาห์ (Carrier Recovery), วงจรคูณสัญญาณ และสำหรับการส่งสัญญาณ PSK ที่ภาคส่งส่วนของสัญญาณเบสแบนด์เข้ารหัสเป็น Differential & Biphase ดังนั้นเพื่อให้สามารถถอดรหัสเป็น NRZ ได้ ที่ภาครับ จะต้องมีการกู้สัญญาณนาฬิกา (Clock Recovery) และวงจรถอดรหัสสัญญาณ Differential & Biphase เป็น NRZ ซึ่งโครงสร้างแสดงดังรูปที่ 7.2

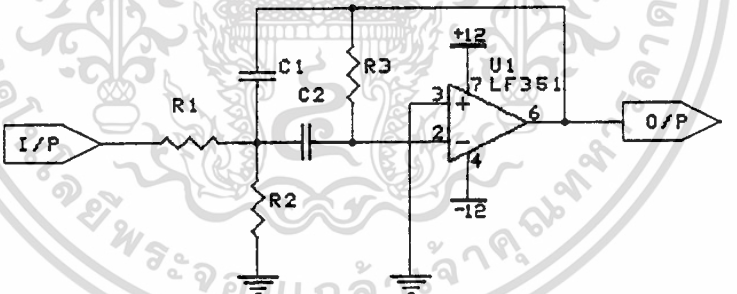
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.2 โครงสร้างภาคดีมอดูเลทสัญญาณ PSK

7.2.1 <u>วงจรกรองความถี่ผ่าน (Band Pass Filter)</u>

สำหรับวงจรกรองความถี่ผ่าน 76.8KHz เลือกใช้วงจร Multiple Feedback ขนาดออร์เดอร์ 2 ที่มีโครงสร้างดังรูปที่ 7.2.1.1



รูปที่ 7.2.1.1 วงจรกรองความถี่ผ่านแบบ Multiple Feedback

ถ้าให้ Q : ค่า Quality Factor ของวงจร

W_o : ความถี่ศูนย์กลาง

H : เกนของวงจรที่ความถี่ผ่าน

สำหรับการออกแบบกำหนดค่า Q, H, W_o และกำหนดค่า $C_1 = C_2 = C$ ค่า R_1, R_2,R_3 สามารถหาได้จาก

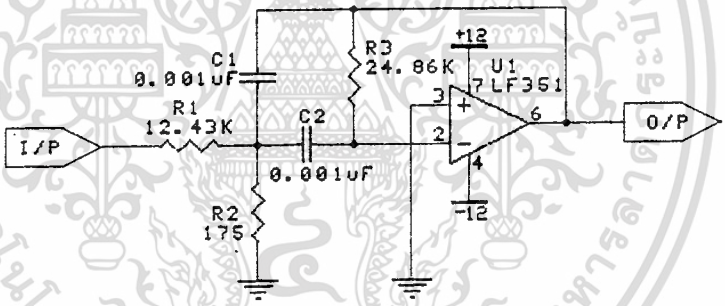
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_1 = \frac{Q}{|H|W_oC}$$

$$R_2 = \frac{Q}{W_oC(2Q^2 - |H|)}$$

$$R_3 = \frac{2Q}{W_oC}$$

การออกแบบวงจรกรองความถี่ผ่านก่อนการดีมอดูเลทของ PSK กำหนดให้มีความถี่ศูนย์กลาง 76.8KHz กำหนดอัตราการขยายที่ความถี่ศูนย์กลางเท่ากับ 1 สำหรับขนาดของแบนด์วิทต้องให้มีขนาดมากกว่า 2 เท่าของความถี่บิทเรท (600 bps) ของสัญญาณเบสแบนด์ ดังนั้นค่า Q ของวงจรต้องน้อยกว่า 7 ในการออกแบบเลือกค่า Q มีขนาดเท่ากับ 6 โดยขนาดของแบนด์วิทจะประมาณเท่ากับ 12.8KHz เพราะฉะนั้น จะได้ค่า R_1, R_2, R_3, เมื่อกำหนดค่า $C_1 = C_2 = C$ เท่ากับ 0.001μF โดยวงจรแสดงดังรูปที่ 7.2.1.2



รูปที่ 7.2.1.2 วงจรกรองความถี่ผ่าน 76.8KHz

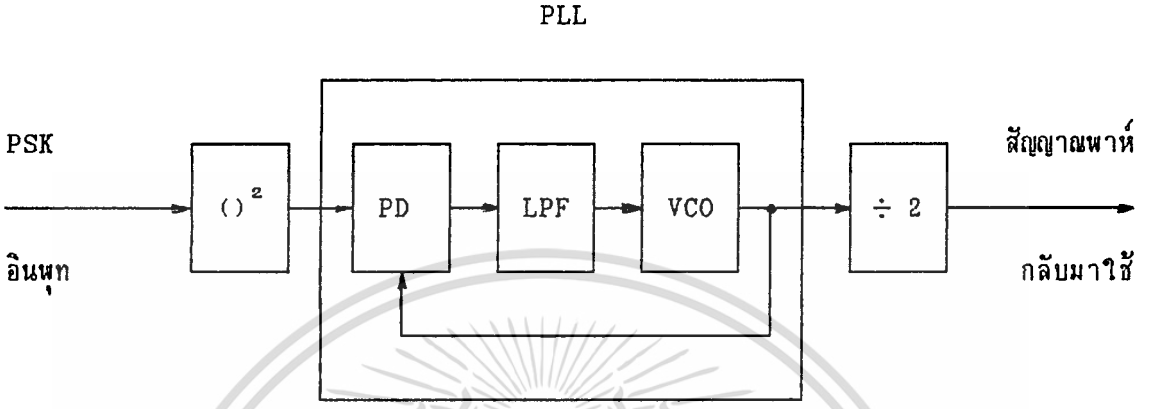
เพราะฉะนั้นจะได้ค่า R_1 = 12.43KΩ ,R_2 = 175Ω และ R_3 = 24.86KΩ แต่เพื่อความสะดวกในทางปฏิบัติ R_1, R_3 จะใช้ตัวต้านทานปรับค่าได้ ส่วน R_2 ใช้ 200Ω แทน

7.2.2 <u>วงจรกู้สัญญาณคลื่นพาห์</u>

วงจรกู้สัญญาณคลื่นพาห์เป็นวงจรสร้างสัญญาณคลื่นพาห์ขึ้น ที่ภาครับของวงจรดีมอดูเลทสัญญาณ PSK โดยสัญญาณที่สร้างขึ้นมาจะมีคุณสมบัติซิงโครไนซ์ทางเฟสกับคลื่นพาห์ ที่ภาคส่งโดยวงจรกู้สัญญาณคลื่นพาห์หรือวงจรสร้างสัญญาณ cos $w_c t$ ขึ้นที่ภาครับ มีหลายชนิด เช่น Squaring

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

loop,Costas loop แต่ในที่นี้จะกล่าวถึง Squaring loop หรือลูปยกกำลังสองสำหรับการกู้สัญญาณคลื่นพาห์โดยสามารถแสดงหลักการของวงจรได้ดังรูปที่ 7.2.2



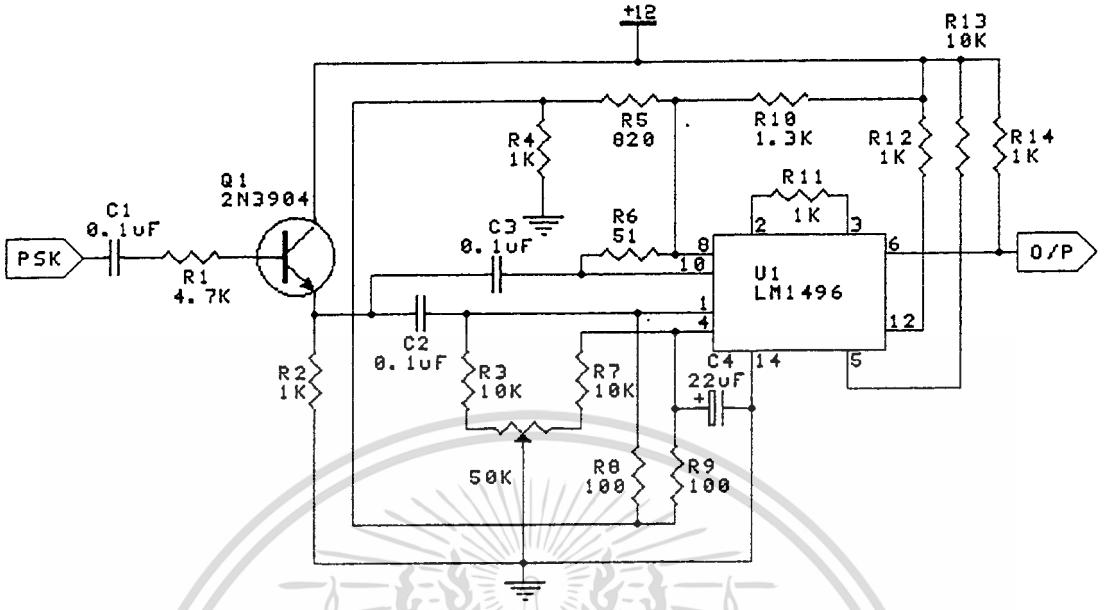
รูปที่ 7.2.2 โครงสร้างวงจรกู้สัญญาณคลื่นพาห์

โดยวงจรกู้สัญญาณคลื่นพาห์ (Carrier Recovery) ประกอบด้วยภาคยกกำลังสองของสัญญาณ (Squaring),วงจร PLL ,วงจรหารสอง การทำงานของวงจรกู้สัญญาณคลื่นพาห์เมื่อรับสัญญาณอินพุท PSK ซึ่งมีเฟส cos $w_c t$ หรือ -cos $w_c t$ ขึ้นอยู่กับสัญญาณเบสแบนด์ วงจรยกกำลังสอง ทำหน้าที่ยกกำลังสองของสัญญาณคลื่นพาห์ โดยเอาท์พุทของวงจรยกกำลังสองจะได้ฮาร์โมนิคที่สองของ cos $w_c t$ หรือ cos2$w_c t$,สัญญาณcos2$w_c t$ จะเป็นอินพุทหรือสัญญาณอ้างอิงของ PLL โดย PLL จะล็อกเฉพาะสัญญาณ cos2$w_c t$ เอาท์พุทของ PLL จะเป็นอินพุทของวงจรหารสอง ซึ่งจะหารความถี่ให้เป็น cos $w_c t$ สำหรับสัญญานอ้างอิงเพื่อการดีมอดูเลทสัญญาณ PSK ต่อไปในทางปฏิบัติสามารถแสดงการออกแบบของส่วนต่างๆ ได้ดังนี้

7.2.2.1 วงจรยกกำลังสอง

หลักการของวงจรยกกำลังสอง จะใช้วงจรคูณสัญญาณโดยอินพุททั้งสองของวงจรคูณสัญญาณต่อเข้าด้วยกันกับสัญญาณที่ต้องการยกกำลังสองโดยวงจรที่ใช้คูณเป็นไอซีที่ใช้คูณสัญญาณขนาดเล็กซึ่งใช้ไอซี LM1496 โดยอินพุทมีขนาดสัญญาณ 100 mv ดังรูปที่ 7.2.2.1

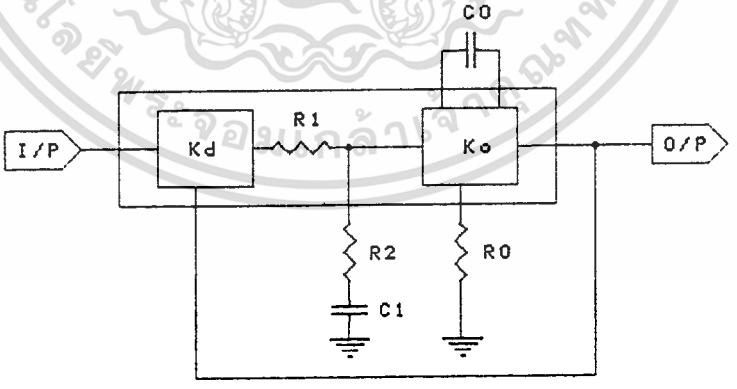
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.2.2.1 วงจรยกกำลังสองสัญญาณ

7.2.2.2 วงจร PLL

วงจร PLL สำหรับล็อกสัญญาณ $\cos 2\omega_c t$ นั้นใช้ไอซี LM565 โดยแสดงโครงสร้างของวงจรได้ดังรูปที่ 7.2.2.2.ก ค่าความถี่ศูนย์กลาง F_o ของลูปตั้งได้จากค่า R_oC_o ตั้งให้มีขนาดสองเท่าของ 76.8KHz หรือเท่ากับ 153.6KHz



รูปที่ 7.2.2.2.ก โครงสร้าง PLL

โดยค่าความถี่ F_o กำหนดได้คือ

$$F_o = \frac{1}{3.7R_oC_o}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้ากำหนด C_o เท่ากับ 330 pF ค่า R_o จะมีขนาดเท่ากับ 5332Ω ในทางปฏิบัติใช้ความต้านทานขนาด 5.6KΩ ต่ออนุกรมกับความต้านปรับค่าได้ขนาด 2KΩ สำหรับการกำหนดค่าเวลาคงตัวของวงจรกรองความถี่ต่ำผ่านในลูปซึ่งเป็นตัวกำหนดลูปนอยส์แบนด์วิดท์ (loop noise band width) และความถี่ธรรมชาติของลูป สำหรับ PLL ทำหน้าที่กู้สัญญาณคลื่นพาห์ หรือแคเรียชิงโครโนซ์ ค่าของลูปนอยส์แบนด์วิดท์หรือความถี่ธรรมชาติของลูปต้องมีขนาดแคบที่สุดเท่าที่จะทำได้ เพื่อให้สัญญานนอยส์ที่เอาท์พุทของ PLL ที่อยู่ในรูปของจิทเตอร์มีขนาดน้อยที่สุดแต่ขนาดของเวลาพูลอิน (Pull in Time) ของลูปจะมีค่าสูง ดังนั้นการกำหนดค่าลูปนอยส์แบนด์วิดท์จะต้องมีขนาดไม่แคบเกินไป โดยจากลูปนอยส์แบนด์วิดท์แสดงได้

$$B_L = \frac{SNR_i B_i}{2 * SNR_L}$$

เมื่อ B_i : แบนด์วิทของวงจรกรองอินพุท

B_L : ลูปนอยส์แบนด์วิท (Loop noise bandwidth)

SNR_i : อัตราส่วนกำลังสัญญาณส่วนกำลังสัญญาณรบกวนที่อินพุท

SNR_L : อัตราส่วนกำลังสัญญาณส่วนกำลังสัญญาณรบกวนของลูป

โดยค่า SNR_L สำหรับ PLL ที่อินพุทเป็นวงจรยกกำลังสอง จะต้องมีขนาดมากกว่าหรือเท่ากับ 12 dB ค่า B_i เป็นแบนด์วิดท์ของวงจรกรองความถี่ที่อินพุทของวงจรยกกำลังสอง

สำหรับค่า SNR_i หรืออัตราส่วนระหว่างกำลังของสัญญาต่อสัญญาณรบกวนที่อินพุทของวงจรดีมอดูเลท PSK จะมีมากกว่า 10 dB ดังนั้นจากสมการข้างบน ลูปนอยส์แบนด์วิดท์ (B_L) จะต้องมีขนาดน้อยกว่าหรือเท่ากับ 4.6 KHz สำหรับลูปนอยส์แบนด์วิดท์ซึ่งแสดงความสัมพันธ์กับความถี่ธรรมชาติ โดยถ้าลูปมีค่า $\zeta = 0.707$ แล้วค่าลูปนอยส์แบนด์วิดท์ของ PLL ที่ใช้วงจรกรองแบบลีดแล็คจะแสดงได้คือ

$$B_L = 0.53\ W_n$$

และค่า W_n กำหนดจาก

$$W_n = \sqrt{\frac{K_o K_d}{C_1 (R_1 + R_2)}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ

$$\zeta = \frac{R_2 C_1 W_n}{2}$$

เมื่อค่า $K_o K_d$ ลูปเกนมีขนาดเท่ากับ $33.6*F_o/VCC$ ในการออกแบบที่ใช้แรงดัน VCC = +12V และ VEE = -12V ดังนั้นจึงคิดแรงดัน VCC = 24V ค่าลูปเกนมีขนาดเท่ากับ $215.04*10^3$ (1/sec)

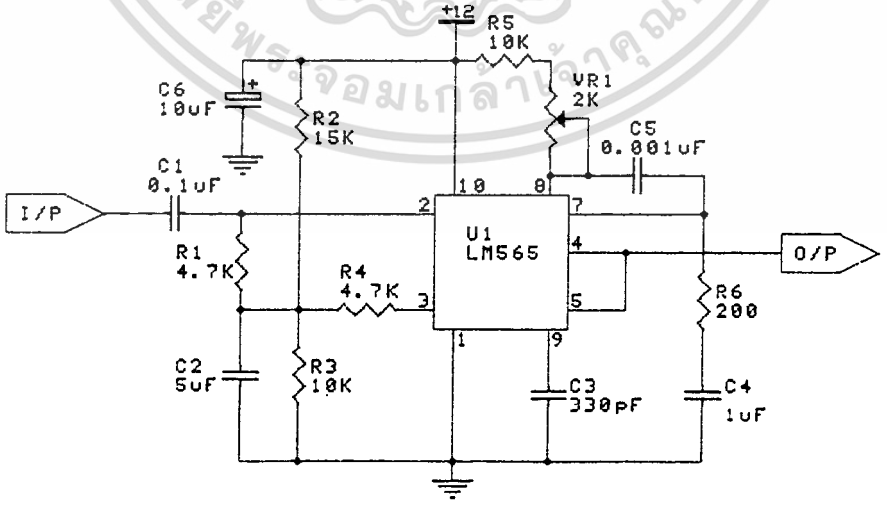
เมื่อ W_n : ความถี่ธรรมชาติของ PLL

K_o : เกนของวงจร VCO

K_d : เกนของเฟสดีเทคเตอร์

ζ : แดมปิ้งแฟคเตอร์

จากค่า B_L กำหนดให้เท่ากับ 4.6 KHz แล้วค่า R_1 อยู่ภายในไอซี LM565 เท่ากับ 3600Ω จากสมการของ W_n และ Damping Factor ค่า C_1 ในวงจรกรองเท่ากับ 0.74 μF ซึ่งในทางปฏิบัติเลือกใช้ขนาด 1 μF และค่า R_2 สำหรับกำหนดค่า Damping Factorเท่ากับ 200Ω สำหรับวงจรในทางปฏิบัติแสดงได้ดังรูปที่ 7.2.2.2.ข โดยค่า R_o ได้จากสมการของ F_o คือ R_s ต่ออนุกรมกับ VR_1 และ C_o คือ C_3 ส่วนค่า R_2 และ C_1 คือ R_6 และ C_4 ตามลำดับ

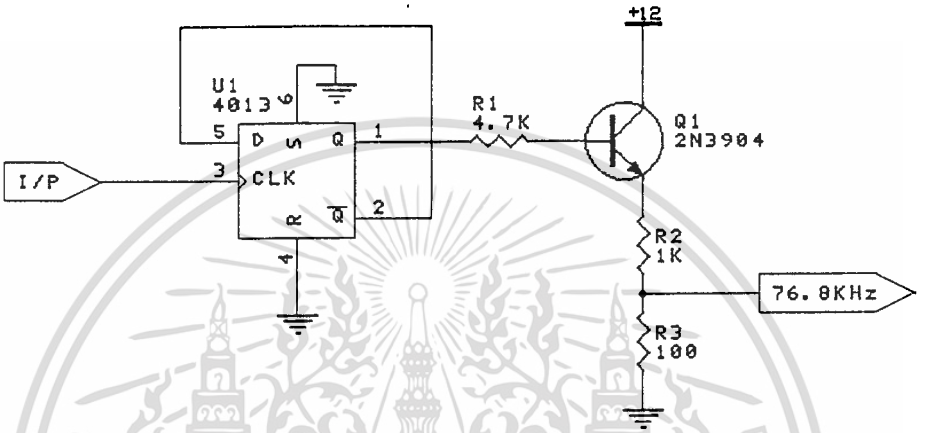


รูปที่ 7.2.2.2.ข วงจร PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2.2.3 วงจรหาร 2

สำหรับวงจรหาร 2 สำหรับหารเอาท์พุทของสัญญาณจากวงจร PLL แสดงได้ดังรูปที่ 7.2.2.3 โดยวงจรประกอบด้วยไอซี CD4013 สำหรับเป็นวงจรหาร 2 และทรานซิสเตอร์ ซึ่งต่อเป็นวงจรบัฟเฟอร์ที่เอาท์พุทโดยระดับสัญญาณเอาท์พุทของวงจรหาร 2 จะถูกลดระดับแรงดันลงเหลือประมาณ 100 mv สำหรับวงจรคูณภาคต่อไป

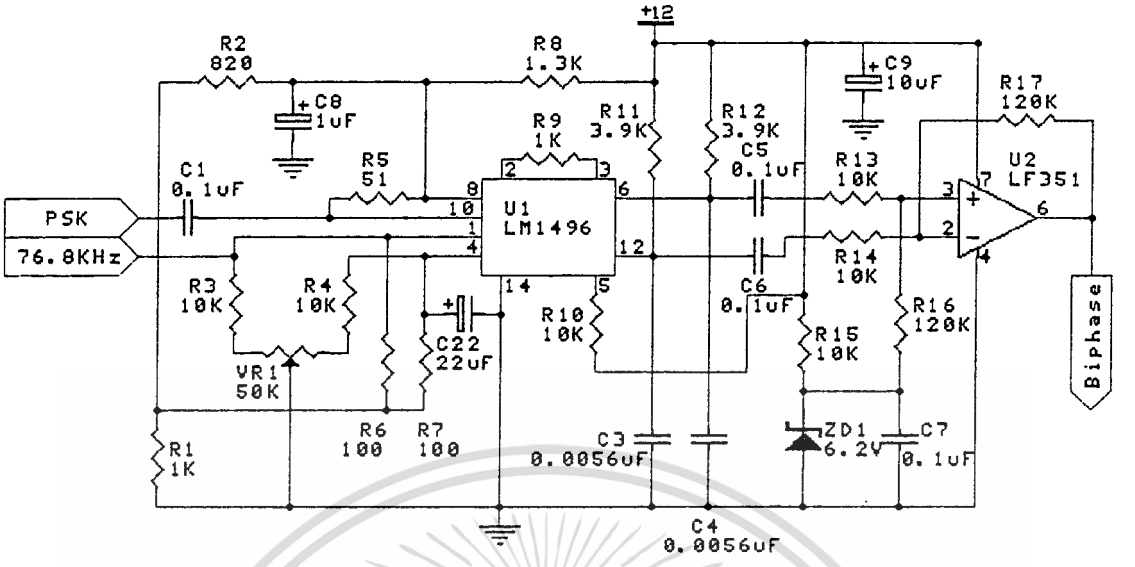


รูปที่ 7.2.2.3 แสดงวงจรหาร 2

7.2.3 วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK

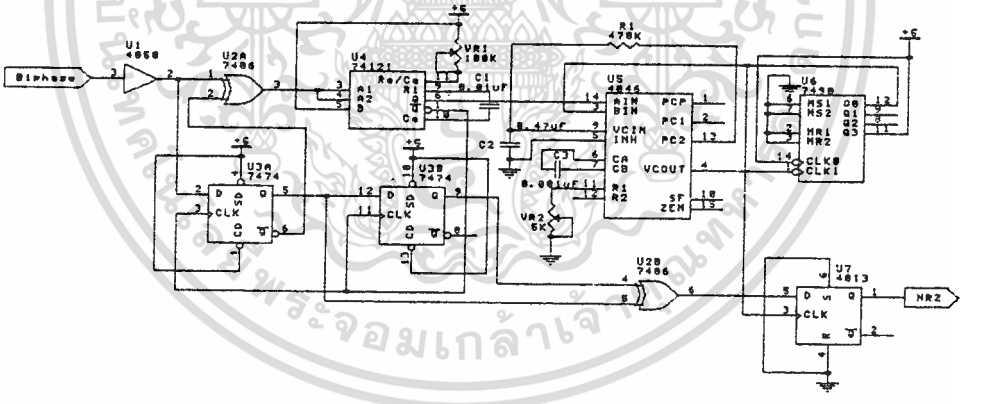
วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK ใช้ไอซี LM1496 เช่นเดียวกับวงจรยกกำลัง (squaring) โดยสัญญาณที่คูณจะป้อนเข้าที่ขา 1 และขา 10 โดยสัญญาณอินพุทที่ขา 1 เป็นอินพุทจากสัญญาณ PSK และสัญญาณอินพุทที่ขา 10 เป็นสัญญาณจากวงจรกู้สัญญาณคลื่นพาห์ โดยขนาดของสัญญาณเป็นขนาดเล็กไม่เกิน 100 mV เช่นเดียวกับวงจรยกกำลังสอง สำหรับเอาท์พุทของวงจรคูณคือ ขา 6 และขา 12 ให้สัญญาณที่กลับเฟสกัน โดยสัญญาณเอาท์พุทที่ความถี่สูงจะถูกคัปปลิ้งลงกราวด์ และสัญญาณเบสแบนด์ที่ดีมอดูเลทได้ ใช้เป็นอินพุทอินเวอร์ติ้งและนอนอินเวอร์ติ้ง ของออปแอมป์ สำหรับอัตราการขยายของออปแอมป์สามารถกำหนดได้โดย กำหนดอัตราส่วนของความต้านทานป้อนกลับและความต้านทานอินพุท โดยในที่นี้กำหนดอัตราการขยายเท่ากับ 12 และสำหรับการออกแบบเพื่อใช้กับ +12V กับกราวน์นั้น ที่ขานอนอินเวอร์ติ้งอินพุทของออปแอมป์ต้องจัดไบอัสแรงดัน ที่มีขนาดประมาณกึ่งหนึ่งของแหล่งจ่าย VCC ซึ่งกำหนดโดยใช้ซีเนอร์ไดโอดขนาด 6.2 V สำหรับวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK แสดงดังรูปที่ 7.2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.2.3 วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK

7.2.4 การถอดรหัส NRZ จาก Biphase



รูปที่ 7.2.4 วงจรถอดรหัส NRZ จาก Biphase

จากรูปที่ 7.2.4 การถอดรหัสสัญญาณ NRZ-M จาก Biphase โดยการนำสัญญาณ Biphase มาทำการสร้างสัญญาณนาฬิกาเพื่อให้ซิงโครไนซ์กับทางด้านส่ง ซึ่งจะทำการสร้างสัญญาณนาฬิกาขึ้นมาใหม่ที่พร้อมกับขอบขาขึ้นของสัญญาณ Biphase เป็น 2Tb/3 และ Tb/3 ของสัญญาณนาฬิกาทางด้านส่งโดย 74121 และ VR_1 และ C_1 เป็นตัวกำหนดค่า Tb เพื่อที่จะส่งไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นสัญญาณนาฬิกา เป็นการทำให้เกิดการซิงค์กับภาคส่ง เพื่อที่จะทำการถอดรหัส (Decoder) โดย 7486 (U2A) กับ 7474 (U3A) ทำหน้าที่เป็นตัวถอดรหัสสัญญาณ Biphase ให้เป็นสัญญาณ NRZ-M และ 7474 (U3B) กับ 7486 (U2B) จะทำการถอดรหัส NRZ-M เป็น NRZ หรือ NRZ-L

ส่วนของ 4046,7490 จะทำหน้าที่เป็นวงจร PLL โดยรับสัญญาณนาฬิกาเข้ามา แต่ยังมีการสั่น (Jitter) จึงใช้วงจร PLL ทำหน้าที่คล้ายวงจรกรองความถี่ผ่าน ทำการสร้างเฉพาะความถี่นาฬิกาที่ไม่มีการสั่นผ่านไปเป็นสัญญาณนาฬิกาให้กับ U7 ที่ทำให้สัญญาณเอาท์พุท NRZ ลดการสั่นของสัญญาณลงด้วย สำหรับค่า RC ของวงจรกรองในลูปของ PLL ที่ขา 13 และ 9 ของ 4046 ในทางปฏิบัติเลือกใช้ขนาด 470KΩ และ 10μF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

หลักการทำงานของ AC LINE MODEM

8.1 บล็อกไดอะแกรมการทำงานของ AC LINE MODEM

การทำงานของ AC LINE MODEM นี้มีลักษณะการสื่อสารแบบทิศทางเดียว ซึ่งเป็นลักษณะของฮาร์ฟดูเพลกซ์ (Half Duplex) การส่งสัญญาณเป็นแบบ FSK และ PSK โดยจะต้องมีชุดส่ง 1 ชุด และ ชุดรับ 1 ชุด จากรูปที่ 8.1 เป็นบล็อกไดอะแกรมของ เอซีไลน์โมเด็ม ซึ่งแบ่งออกเป็นภาคใหญ่ๆ ได้ 2 ภาค คือส่งสัญญาณและภาครับสัญญาณ

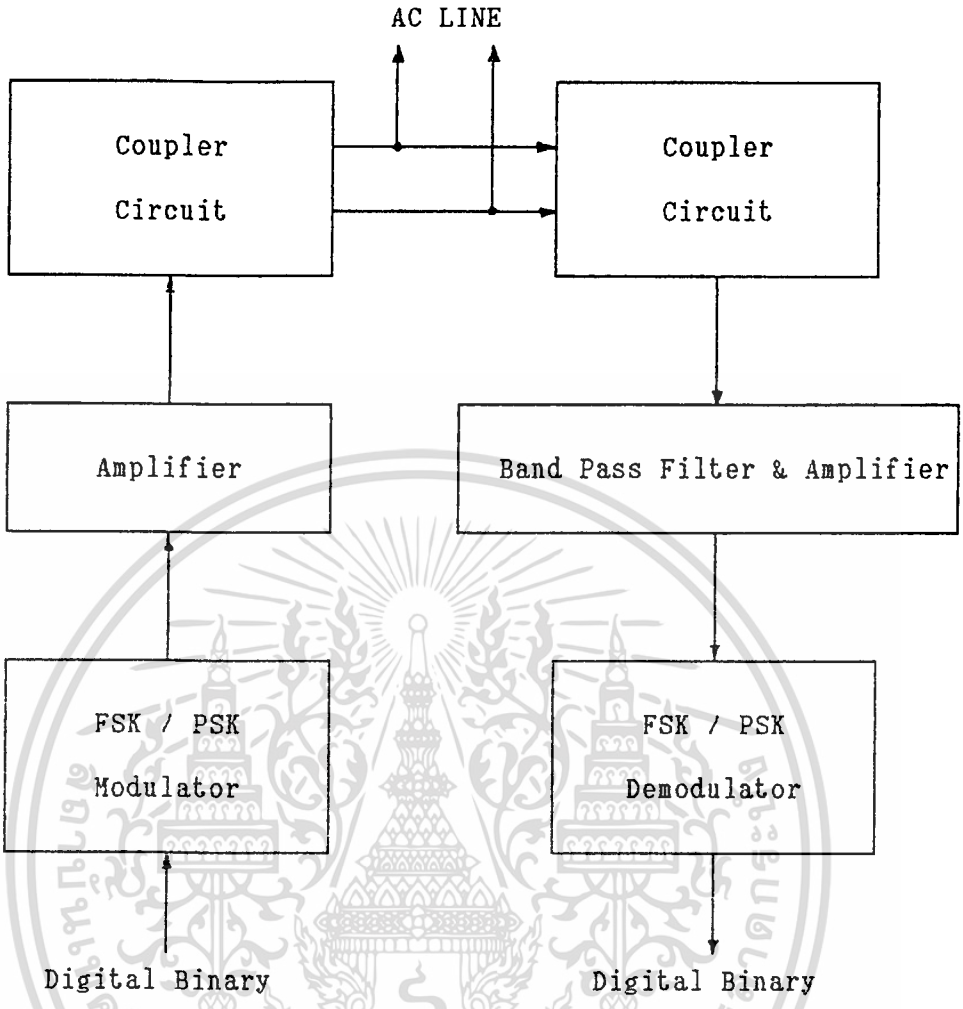
8.1.1 ภาคส่ง

รับสัญญาณดิจิตอลไบนารีเข้ามา มอดูเลทแบบ FSK และ แบบ PSK ที่ภาคมอดูเลเตอร์ สัญญาณที่มอดูเลทแล้วจะส่งไปขยายสัญญาณที่ภาคขยายสัญญาณ แล้วส่งผ่านไปในระบบสายไฟฟ้าส่งกำลังโดยผ่านวงจรคัปเปลอร์

8.1.2 ภาครับ

รับสัญญาณจากสายไฟฟ้าส่งกำลัง เข้ามาในวงจรคัปเปลอร์ ทำการรับสัญญาณในย่านความถี่ที่กำหนด โดยวงจรแบนด์พาสฟิลเตอร์ ซึ่งจะตัดสัญญาณอื่นซึ่งเป็นสัญญาณรบกวนออก สัญญาณที่ได้ตามที่กำหนด ซึ่งเป็นสัญญาณที่ถูกมอดูเลทมาแล้วมาเข้า วงจรขยาย เพื่อขยายสัญญาณให้แรงพอที่จะทำการดีมอดูเลทที่ภาคดีมอดูเลทเตอร์ เพื่อแปลงสัญญาณกลับมา เป็นสัญญาณดิจิตอลไบนารีเหมือนเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.1 บล็อกไดอะแกรม AC LINE MODEM

8.2 วงจรขยายและวงจรคัปเปลอร์ (Amplifier & Coupler)

การออกแบบวงจรขยายสัญญาณโดยใช้ทรานซิสเตอร์ชนิด NPN ซึ่งมีค่า β เท่ากับ 200 ใช้แรงดันขนาด 12V และให้มี I_c ในสภาวะสงบเป็น 5mA หาค่า R_1 และ R_3

จากสภาวะสงบหรือไม่มีสัญญาณเข้า จะได้แรงดันที่ R_3 เท่ากับ 1/2 ของ 12V คือ

$$VR_3 = \frac{12}{2} = 6V$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และที่สภาวะสงบนี้มี I_C เป็น 5mA ดังนั้นหาค่า R_3 ได้

$$R_3 = \frac{VR_3}{I_C} = \frac{6}{5*10^{-3}} = 1.2K\Omega$$

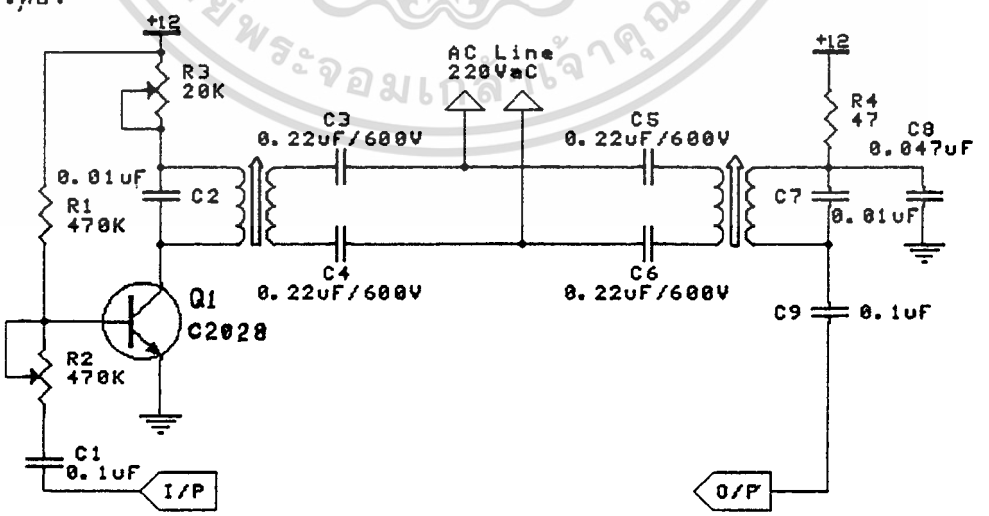
จากนั้นทำการหา R_1 ได้ จากการหา I_B

$$I_B = \frac{I_C}{\beta} = \frac{5*10^{-3}}{200} = 25\mu A$$

$$VR_1 = 12 - 0.7 = 11.3V$$

$$R_1 = \frac{VR_1}{I_B} = \frac{11.3}{25*10^{-6}} = 454K\Omega \text{ หรือ } 470K\Omega$$

ในทางปฏิบัติอาจจะใช้ตัวต้านทานปรับค่าได้เพื่อความสะดวกดังรูปที่ 8.2.1 ซึ่งมีตัวต้านทานปรับค่าได้ต่อที่ขาเบสของทรานซิสเตอร์ เพื่อปรับขนาดของสัญญาณที่เข้าทางอินพุทของทรานซิสเตอร์



รูปที่ 8.2.1 วงจรขยายสัญญาณและวงจรคัปเปลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรขดลวดของหม้อแปลง และคาปาซิเตอร์ที่ต่อที่ขาคอลเลคเตอร์ เป็นวงจรคัปเปลอร์ในการส่งสัญญาณที่ขยาย ส่งไปในสายส่งกำลังไฟฟ้าโดย Induce จากขด Primary ไปยังขด Secondary

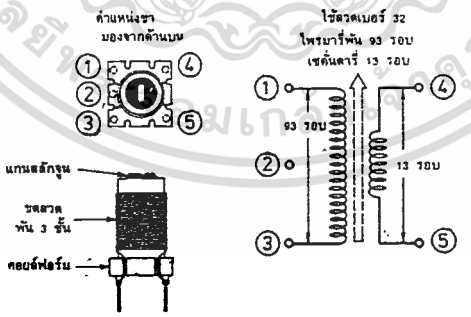
อุปกรณ์ต่างๆ ในวงจรคัปเปลอร์นี้นอกจากทำหน้าที่รับสัญญาณแล้ว ในการสร้างวงจรส่วนที่รับสัญญาณจากสายไฟฟ้าส่งกำลังนั้นยังสร้างให้มีหน้าที่ต่างๆ ดังนี้

1.ส่วนป้องกันแรงดันสูงจากสายส่งกำลัง คือ คาปาซิเตอร์ 0.22μF/600V ทำหน้าที่ตัดแรงดันสูงจากสายส่งกำลังเนื่องจากค่าความต้านทานสูงต่อความถี่ต่ำ

2.ส่วนป้องกันสัญญาณ 50Hz คือ หม้อแปลงเนื่องจากแกนของของแม่เหล็กเป็นเฟอร์ไรท์จึงตัดสัญญาณ 50Hz ได้

การสร้างหม้อแปลง

ใช้แกนเฟอร์ไรท์ เพื่อให้ทำงานที่ย่านความถี่สูงที่เราใช้ในการรับส่งสัญญาณและป้องกัน 50Hz จากสายส่งกำลัง ในการพันหม้อแปลง จะใช้ลวดทองแดงอาบน้ำยาเบอร์ 32 SWG พันบนแกนสลักจุนขนาด 8 มิลลิเมตร โดยพัน 93 รอบ แบ่งเป็น 3 ชั้น แล้วพันเพิ่มอีกขดจำนวน 13 รอบ ไว้ชั้นนอกสุด รายละเอียดดูจากรูปที่ 8.2.2 ซึ่งเป็นการแมทช์อิมพีแดนซ์เอาท์พุทกับเอชีไลน์ ซึ่งมีอิมพีแดนซ์ประมาณ 10 โอห์ม



รูปที่ 8.2.2 รายละเอียดการพันหม้อแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 9

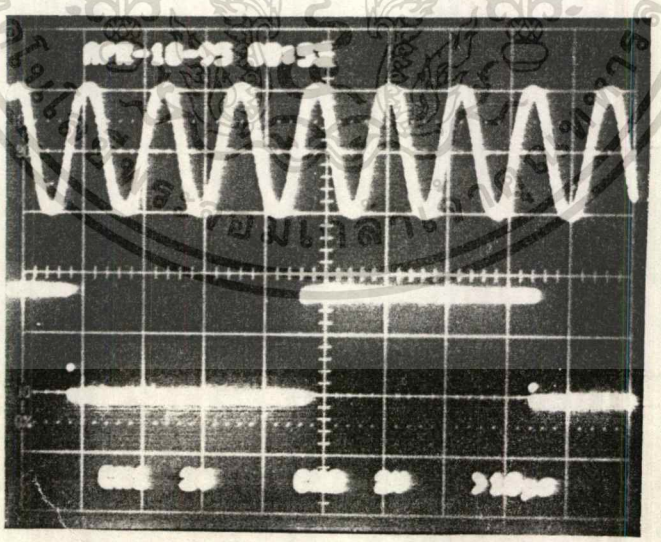
สรุปการวิจัยและข้อเสนอแนะ

9.1 สรุปผลการทดลอง

การส่งข้อมูลผ่าน AC Line 220Vac โดยอาศัยการมอดูเลทแบบ FSK

ในการสร้างชุดทดลองจะใช้การส่งข้อมูลแบบผลัดกันรับและผลัดกันส่ง โดยสร้างโมเด็ม 2 ชุด ชุดหนึ่งใช้ ความถี่ส่ง 80KHz - 85KHz และรับ 90KHz - 95KHz และอีกชุดหนึ่งใช้ความถี่ส่ง 90KHz - 95KHz และรับ 80KHz - 85KHz โดยใช้สวิทช์เลือกในการรับส่ง ในการส่งข้อมูลจะทดลองส่งโดยใช้บิทเรท 600 bps

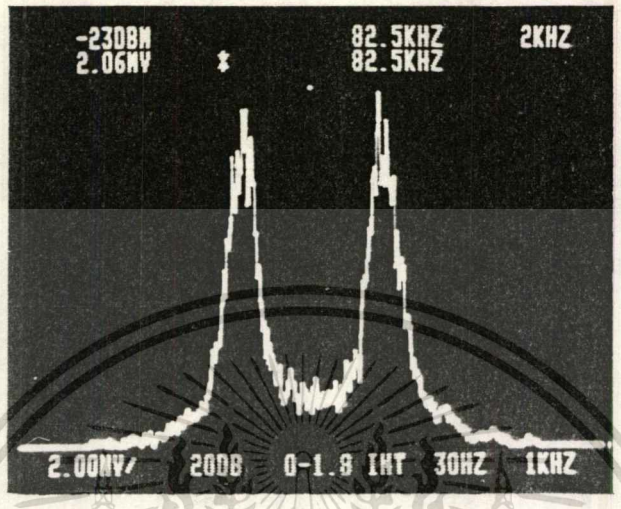
จากการทดลองเมื่อใช้ความถี่ในการรับส่ง 80KHz - 85KHz เมื่อเอาสัญญาณดิจิตอลไบนารีที่เป็น แบบ RZ ,NRZ หรือเอาสัญญาณทดสอบที่เป็นสัญญาณกึ่งแรนดัมพ์ มาป้อนเข้าที่อินพุท เกิดการเปลี่ยนแปลงของความถี่ (Shifting) ทางเอาท์พุทของภาค FSK Modulator เป็น 2 ความถี่ คือเมื่ออินพุทเป็น "0" ความถี่ที่ออกเอาท์พุท จะเป็น 80KHz และเมื่ออินพุทเป็น "1" ความถี่ที่เอาท์พุท จะเป็น 85KHz ดังรูปที่ 9.1.1



รูปที่ 9.1.1 สัญญาณเอาท์พุท และ สัญญาณอินพุทของ FSK Modulator

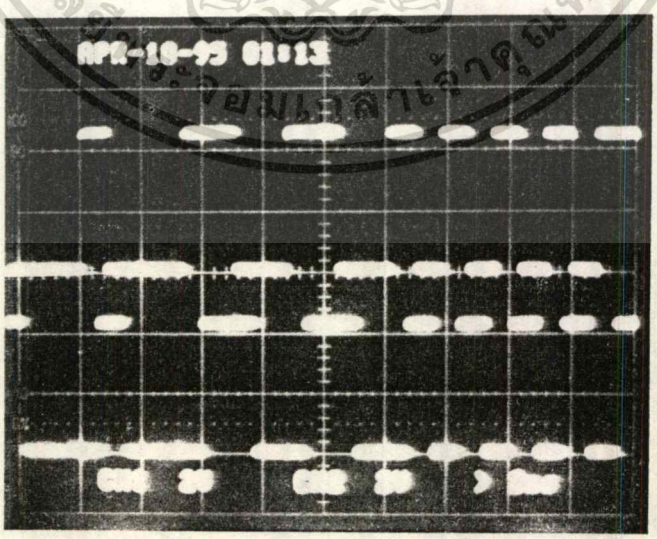
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ 2 ความถี่ที่เอาท์พุทของถ้าเอา เครื่องสเปคตรัมอนาไลเซอร์จับจะเห็นเป็นความถี่ 2 ความถี่ ดังรูปที่ 9.1.2



รูปที่ 9.1.2 สเปคตรัมของ FSK

สัญญาณที่รับได้ที่ทางภาครับที่รับผ่านทางสายไฟฟ้าส่งกำลัง เข้ามา มี 2 ความถี่ มาเข้าดีมอดูเลท เมื่อรับความถี่ 80KHz เข้ามาเอาท์พุทที่ได้จะเป็น "0" และเมื่อรับความถี่ 85KHz เข้ามาเอาท์พุทที่ได้จะเป็น "1" ซึ่งให้เอาท์พุทเป็นแบบดิจิตอลไบนารีเหมือนกับอินพุทของภาค Modulator ดังรูปที่ 9.1.3



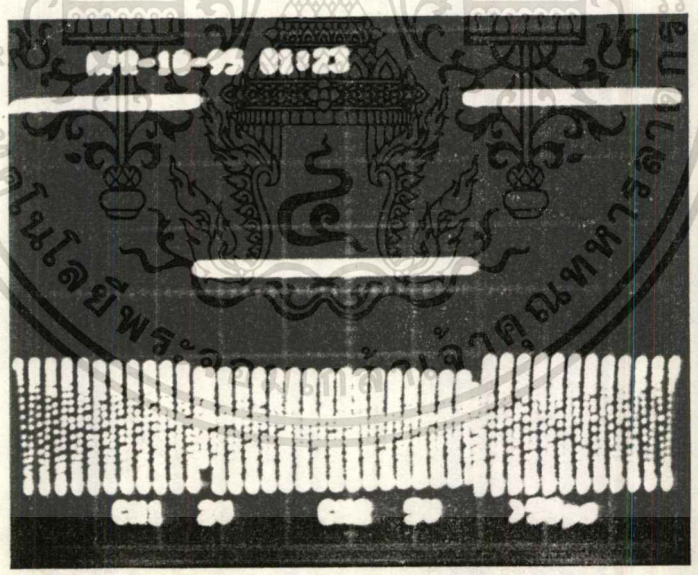
รูปที่ 9.1.3 สัญญาณที่ส่ง และ สัญญาณที่รับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งข้อมูลผ่านสาย AC Line 220Vac โดยอาศัยการมอดูเลทแบบ PSK

ในการสร้างชุดทดลองจะใช้การส่งข้อมูลแบบผลัดกันรับและผลัดกันส่ง โดยสร้างโมเด็ม 2 ชุด แต่ละชุดมีทั้งรับและส่งในตัว โดยใช้สวิทช์เลือกในการรับส่งเหมือนแบบ FSK โดยใช้ความถี่คลื่นพาห์ 76.8KHz ในการมอดูเลท และในการส่งข้อมูลจะทดลองส่งโดยใช้บิทเรท 600 bps

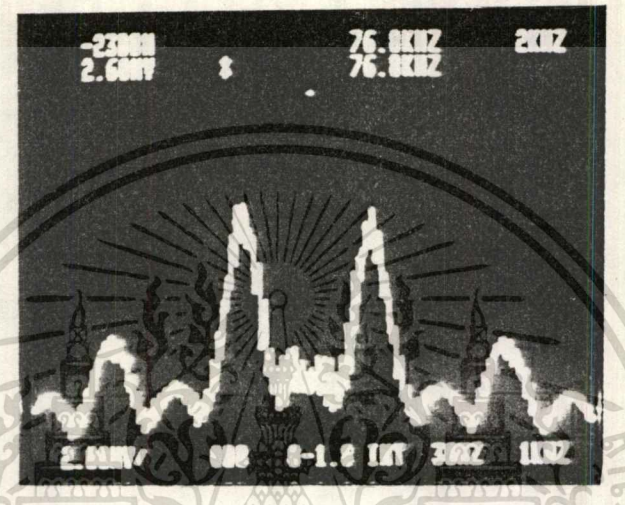
จากการทดลองใช้สัญญาณดิจิตอลไบนารี NRZ-L (NRZ) มาป้อนที่อินพุท ซึ่งในวงจรของภาคส่งจะมีการเข้ารหัสสัญญาณ NRZ-L เป็น NRZ-M แล้วส่งไปเข้ารหัสแบบ Biphase ซึ่งในการเข้ารหัสจะใช้สัญญาณนาฬิกาที่กำหนดบิทเรทของสัญญาณเบสแบนด์ โดยสัญญาณนาฬิกาจะมีความถี่ 4800Hz สัญญาณ Biphase ที่ได้จะส่งไปทำการมอดูเลทที่ PSK MOdulator สัญญาณที่เอาท์พุทของ PSK Modulator จะเป็นคลื่นความถี่พาห์ที่มีการเปลี่ยนแปลงเฟสไป 180 องศา ตามการเปลี่ยนแปลงจาก "0" (-V) ไป "1" (+V) หรือจาก "1" (+V) ไป "0" (-V) ดังรูปที่ 9.1.4



รูปที่ 9.1.4 สัญญาณเอาท์พุท และ สัญญาณอินพุทของ PSK Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

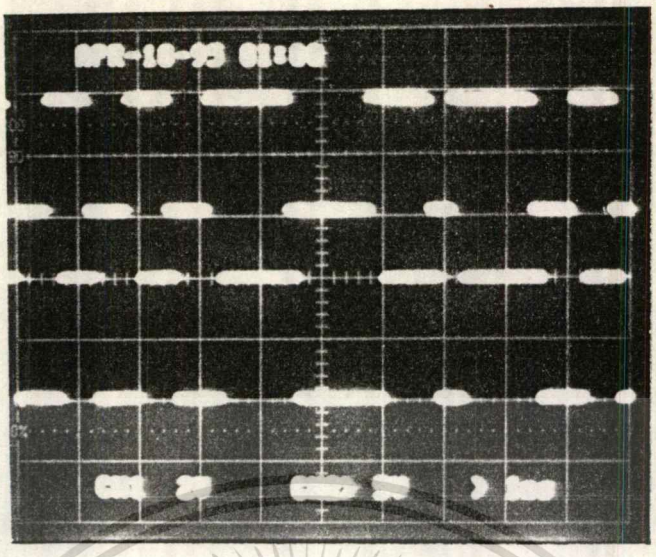
ความถี่สัญญาณที่เอาท์พุทของ PSK ถ้าเอาเครื่องสเปคตรัมอนาไลเซอร์จะแสดงให้เห็นเป็นความถี่ไซด์แบนด์ แต่จะไม่มีความถี่คลื่นพาห์ 76.8KHz เพราะถูก Suppressed จากภาคบาลานซ์มอดูเลเตอร์ ซึ่งเห็นได้ดังรูปที่ 9.1.5



รูปที่ 9.1.5 สเปคตรัมของ PSK

สัญญาณที่รับได้ที่ทางภาครับที่รับผ่านทางสายไฟฟ้าส่งกำลัง มาดีมอดูเลท เป็นวงจรคูณแบบบาลานซ์ โดยเอาสัญญาณ PSK ที่รับมาคูณกับความถี่คลื่นพาห์ 76.8KHz ที่สร้างมาจากสัญญาณ PSK โดยวงจรกู้สัญญาณคลื่นพาห์ สัญญาณเอาท์พุทที่ได้จากภาคดีมอดูเลท จะเป็นสัญญาณ Biphase แล้วเอาสัญญาณ Biphase ไปถอดรหัส เป็นสัญญาณ NRZ-M และเอาสัญญาณ NRZ-M ไปถอดรหัสอีกครั้ง จะได้สัญญาณ NRZ (NRZ-L) เหมือนสัญญาณทางอินพุทของภาคส่ง ดังรูปที่ 9.1.6 แต่ในการถอดรหัสทั้งหมดต้องอาศัยสัญญาณนาฬิกาเพื่อให้ซิงค์โครไนซ์กับทางภาคส่ง โดยสัญญาณนาฬิกาที่สร้างขึ้น (Clock Recovery) สร้างมาจากสัญญาณ Biphase โดยเอาขอบขาขึ้นของพัลซ์ทุกทุกพัลซ์ของสัญญาณ Biphase ไปสร้างพัลซ์ของสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 9.1.6 สัญญาณที่ส่ง และ สัญญาณที่รับ

9.2 บทสรุปและข้อเสนอแนะ

AC LINE MODEM เป็นการทดลองสร้างการส่งข้อมูลไปตามสายไฟฟ้า (AC line) โดยอาศัยการมอดูเลทแบบ FSK และ แบบ PSK

การส่งข้อมูลโดยใช้วิธีการมอดูเลทแบบ FSK นั้น การสร้างวงจรทำได้ง่ายไม่ยุ่งยาก โดยอาศัยหลักการของ FM ทุกอย่าง แต่อย่างไรก็ตาม FSK ยังมีข้อจำกัดในเรื่องความเร็วในการติดต่อสื่อสาร

การส่งข้อมูลโดยใช้วิธีการมอดูเลทแบบ PSK นั้น การสร้างวงจรทำได้ยุ่งยากกว่า เพราะการส่งข้อมูลที่มีการมอดูเลทแบบ PSK ทางภาคส่งจะไม่ส่งสัญญาณคลื่นพาห์ไป เพราะฉะนั้น ทางภาครับจึงต้องสร้างสัญญาณคลื่นพาห์ขึ้นมาจากสัญญาณ PSK ที่รับมาได้ เพื่อที่จะเอาไปทำการดีมอดูเลทสัญญาณ รวมทั้งในการทดลองสร้างได้ทดลองเข้ารหัสสัญญาณแบบ Differential และแบบ Biphase เพราะฉะนั้นทางภาคส่งและรับต้องสร้างสัญญาณนาฬิกาขึ้นมาเพื่อให้ซิงโครไนซ์กันในการเข้าและถอดรหัสสัญญาณ ซึ่งทางภาคส่งจะสร้างสัญญาณนาฬิกาจากวงจรสร้างความถี่คลื่นพาห์ และ ทางภาครับจะสร้างสัญญาณนาฬิกาโดยใช้สัญญาณ Biphase เป็นสัญญาณอ้างอิงเพื่อที่จะได้ซิงโครไนซ์กับทางภาคส่ง ซึ่งการส่งข้อมูลโดยอาศัยการมอดูเลทแบบ PSK จะสามารถส่งเร็วกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตามการรับส่งข้อมูลโดยอาศัยสายไฟฟ้านั้นจะไม่สามารถเชื่อถือได้ ซึ่งเป็นสาเหตุมาจาก อิมพีแดนซ์ของ AC Line มีค่าไม่คงที่ ซึ่งจะเปลี่ยนแปลงไปตามจำนวนเครื่องใช้ไฟฟ้าที่ต่ออยู่ ทำให้การรับส่งมีปัญหา ยิ่งไปกว่านั้นบางทีก็เกือบจะลัดวงจรเลยถ้าเครื่องใช้ที่ต่ออยู่มีวงจรฟิลเตอร์ที่ทำหน้าที่บายพาสสัญญาณ และนอกจากนั้นใน AC line จะมีสัญญาณรบกวนที่เกิดจากเครื่องใช้ไฟฟ้าต่างๆ ที่ต่ออยู่กับ AC Line อีกด้วย

สำหรับโครงงานนี้เป็นการทดลองสร้างการส่งข้อมูลในสายไฟฟ้าในเชิงวิจัย โดยอาศัยโมเด็ม ซึ่งเป็นแนวคิดในการที่จะส่งสัญญาณอย่างอื่นนอกจากข้อมูล เช่น สัญญาณภาพ หรือ สัญญาณเสียง เป็นการใช้สายไฟฟ้าที่ใช้อยู่ตามบ้านให้เกิดประโยชน์โดยไม่ต้องเดินสายนำสัญญาณให้เสียเวลาและค่าใช้จ่ายอีกด้วย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

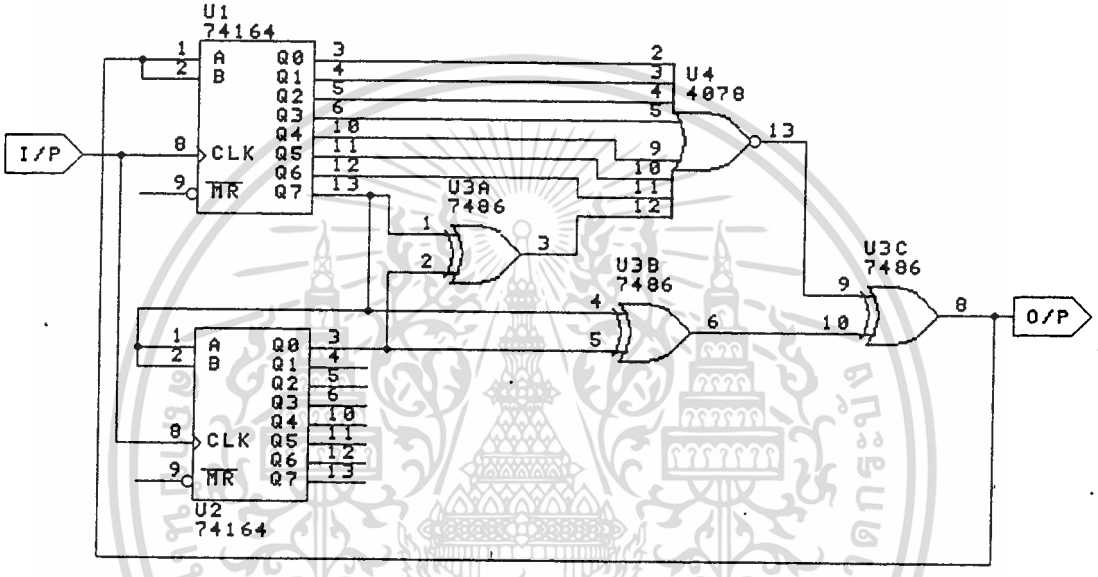
1. PETER K.VAN DER GRACHT, ROBERT W.DONALDSON, "Communication Using Pseudonoise Modulation on Electric Power Distribution Circuit, IEEE Transaction Communications,Vol Com-33,No.9,September,1985.
2. Steven A Ciarcia, "Build A Power-Line Carrier-Current Modem",Byte, August 1983.
3. Wanye Tomasi, "Advance Electronic Communication System", Prentice Hall International Edition,1984.
4. กฤดากร กล่อมการ, "การออกแบบระบบส่งข้อมูลในช่องสัญญาณการกระจายเสียงแบบ FM", วิทยานิพนธ์วิศวกรรมศาสตร์มหาบัณฑิต, สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง,2536.
5. ชาลิต สาวรรค์ดำรง, "ส่งเสียงตามสาย (เอชี) AM/FM", อิเล็กทรอนิกส์เซมิคอนดัคเตอร์ ฉบับที่ 108 กรกฎาคม,บริษัทซีเอ็ดยูเคชั่น,2534.
6. บัณฑิต โรจน์อารยานนท์,"หลักการไฟฟ้าสื่อสาร",สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย,2536.
7. พิเชษฐ์ สุนทร, "เทคนิคการรับส่งข้อมูลดิจิตอล FSK และแนวทางการออกแบบใช้งาน", คอมพิวเตอร์และอิเล็กทรอนิกส์เวิลด์ ฉบับที่ 125,บริษัทอิเลคทรอนิคส์เวิลด์จำกัด,2532.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

การสร้างสัญญาณกึ่งแรนดัมน์เพื่อทดสอบวงจร

เป็นการเลือกขนาดของชิฟท์รีจิสเตอร์ เพื่อสร้างสัญญาณกึ่งแรนดัมน์ให้มีความเข้มข้นของสเปคตรัมกำลังที่เกิดขึ้นมีขนาดใกล้เคียงกับการส่งข้อมูลโดยสัญญาณคอมพิวเตอร์ ในที่นี้เลือกขนาดของชิฟท์รีจิสเตอร์เท่ากับ 9 โดยวงจรที่ใช้งานจริงแสดงดังรูปที่ 1



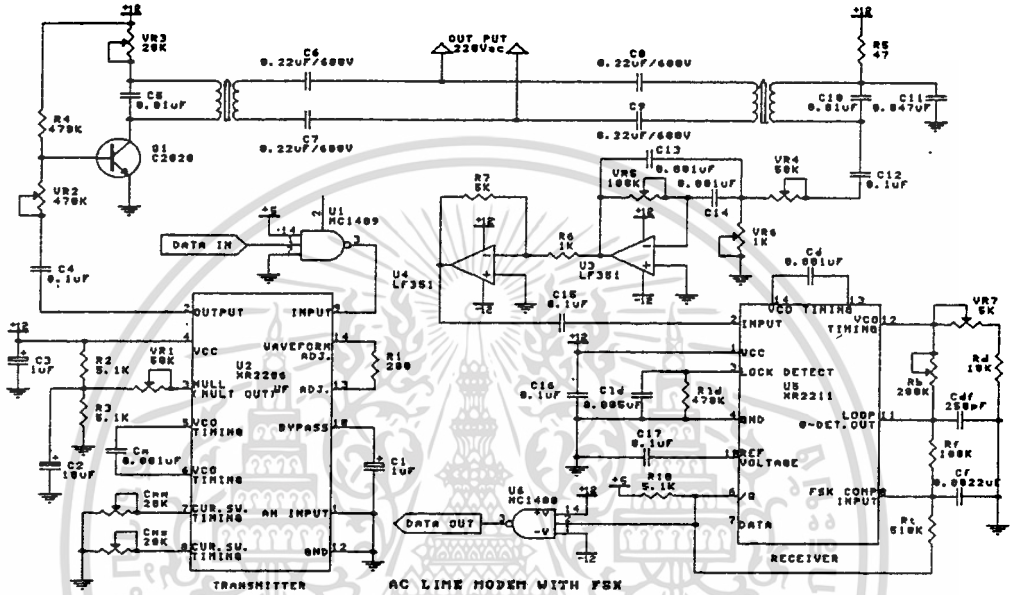
รูปที่ 1 วงจรสร้างสัญญาณกึ่งแรนดัมน์

วงจรประกอบด้วยไอซี 74164 สองตัว ซึ่งแต่ละตัวเป็นชิฟท์รีจิสเตอร์ขนาด 8 บิท การเลือกแทป (Tap) เพื่อให้เกิดซีเควนสูงสุด สำหรับข้อมูลกึ่งแรนดัมขนาด 2^{n}-1 นั้น เลือกแทป 9 และ 8 ของชุดชิฟท์รีจิสเตอร์ หรือ Q_7 ของไอซี 74164(U1) ตัวบน และ Q_1 ของไอซี 74164(U2) ตัวล่างในวงจรแล้วป้อนเข้าอินพุทของไอซี 7486 ซึ่งเป็นเอ็กซ์คลูซีฟออร์ ทำหน้าที่เป็นโมดูโล 2 สำหรับไอซี 7486 และ 4078 นอร์เกทที่เพิ่มเข้าไปในวงจร ใช้เพื่อป้องกันสภาวะที่เอาท์พุทของชิฟท์รีจิสเตอร์เป็น "0" พร้อมกันหมดซึ่งเมื่อเกิดสภาวะนี้แล้วจะทำให้ซีเควนเอาท์ที่เกิดขึ้นเป็น "0" ตลอด ดังนั้นเมื่อเกิดสภาวะ "0" ที่ทุกเอาท์พุทของชิฟท์รีจิสเตอร์แล้วที่เอาท์พุทของ 4078 จะได้ลอจิก "1" ซึ่งจะทำให้ลอจิก "1" ป้อนกลับที่อินพุทของชิฟท์รีจิสเตอร์ ทำให้ไม่เกิดการค้างสภาวะ "0" ตลอดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

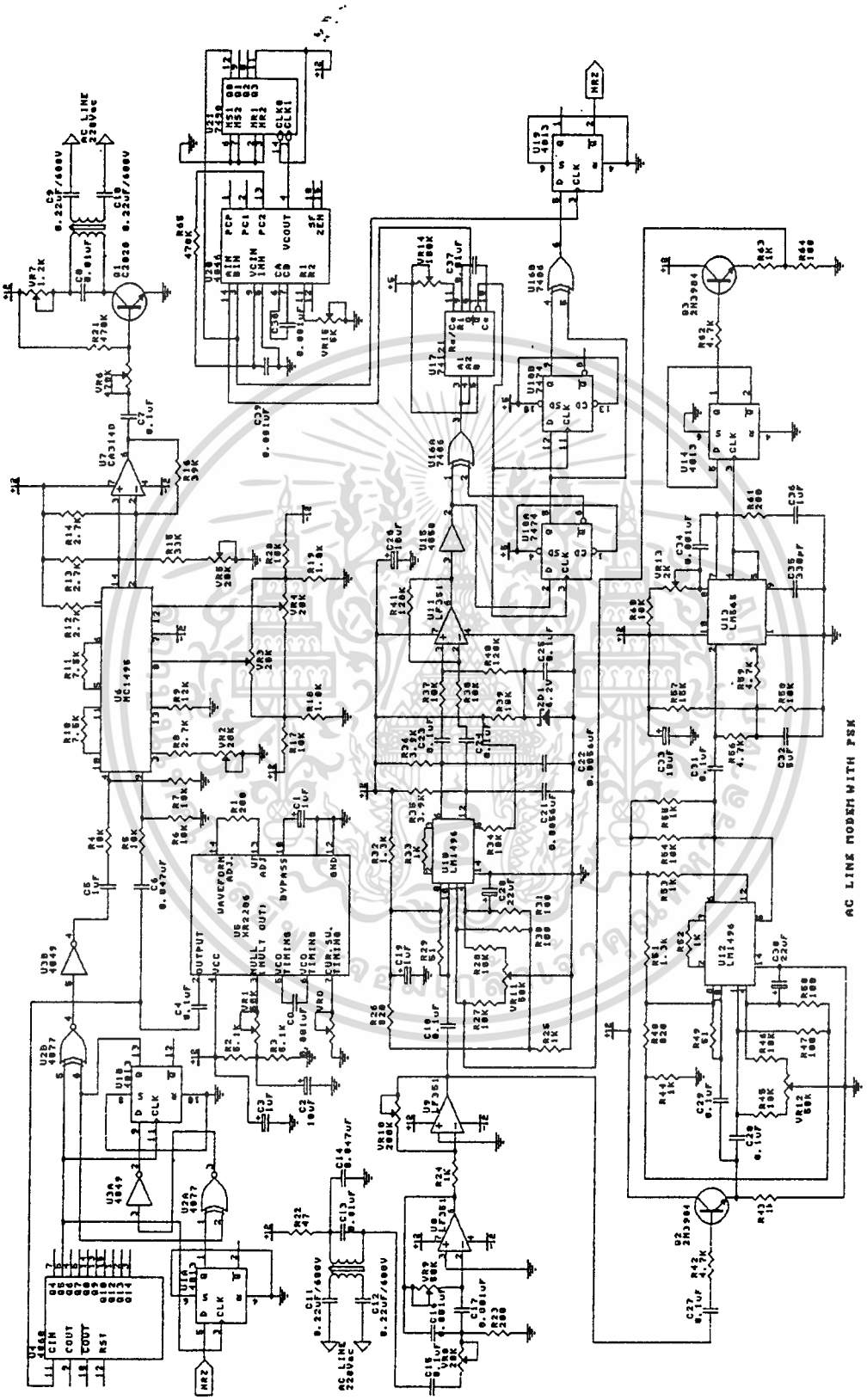
วงจรที่ใช้ในปริญญานิพนธ์



AC LINE MODEM WITH FSK

วงจร AC LINE MODEM โดย FSK.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจร AC LINE MODEM ใช้ PSK

AC LINE MODEM WITH PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

วงจรรวม (Data Sheet) ที่ใช้ในปริญญานิพนธ์

EXAR

XR-2206

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FEATURES

Low-Sine Wave Distortion	.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

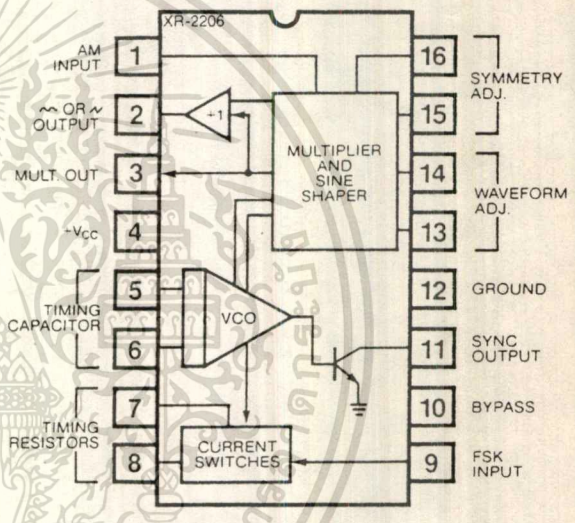
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency porportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้ง
ไม่ว่ากรณีใดๆ ทั้งสิ้น ห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้ง

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\ \mu F$, $R_1 = 100\ k\Omega$, $R_2 = 10\ k\Omega$, $R_3 = 25\ k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTCS								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10\ k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	C = 1000 pF, R_1 = 1 kΩ
Lowest Practical Frequency		0.01			0.01		Hz	C = 50 μF, R_1 = 2 MΩ
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	$0°C \leq T_A \leq 75°C$, $R_1 = R_2 = 20\ k\Omega$
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20\ k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ R_1 = 1 kΩ f_L @ R_1 = 2 MΩ
Sweep Linearity								
10:1 Sweep		2			2		%	f_L = 1 kHz, f_H = 10 kHz
1000:1 Sweep		8			8		%	f_L = 100 Hz, f_H = 100 kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/kΩ	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	R_1 = 30 kΩ
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		nsec	C_L = 10 pF
Fall Time		50			50		nsec	C_L = 10 pF
Saturation Voltage		0.2	0.4		0.2	0.6	V	I_L = 2 mA
Leakage Current		0.1	20		0.1	100	μA	V_{11} = 26V
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

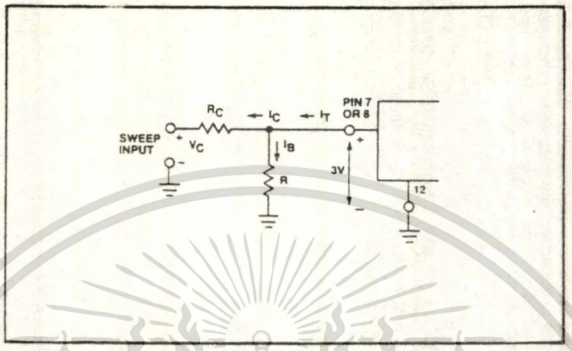


Figure 9: Circuit Connection for Frequency Sweep.

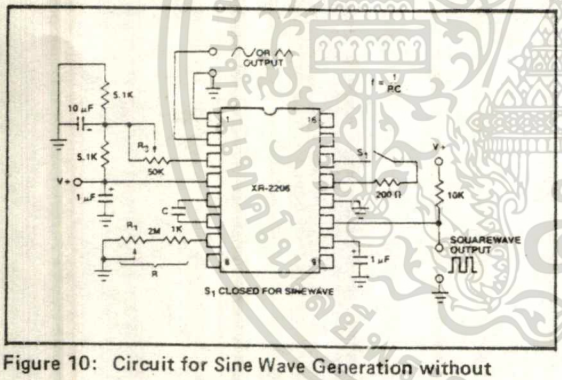


Figure 10: Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3.)

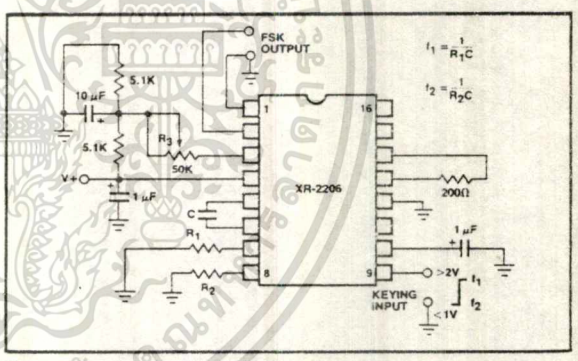


Figure 12: Sinusoidal FSK Generator.

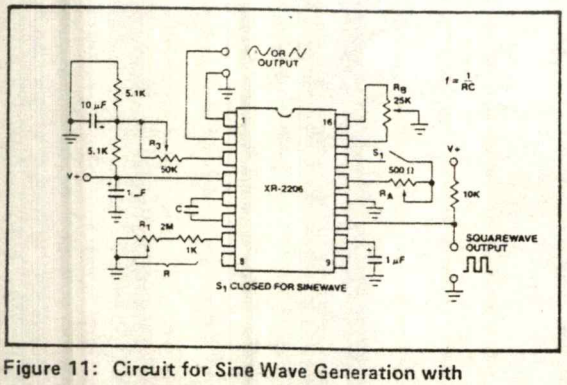


Figure 11: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing – See Figure 2.)

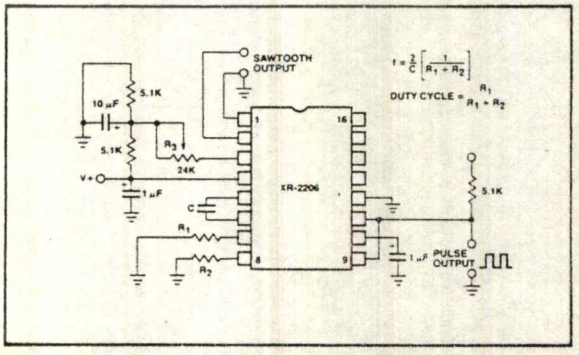


Figure 13: Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to $\approx$0.5% by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.

2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

อุทยานการเรียนรู้ เอกสารนี้เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

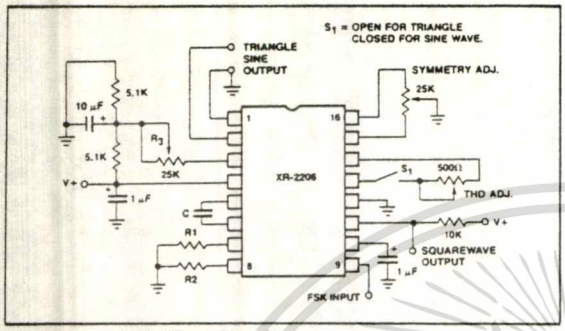


Figure 1: Basic Test Circuit.

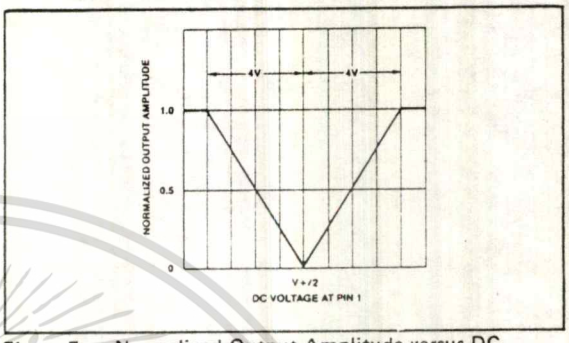


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

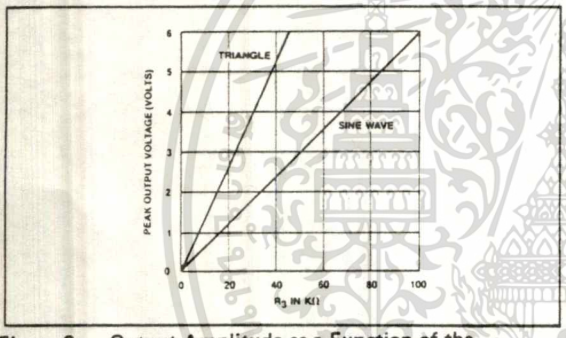


Figure 2: Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

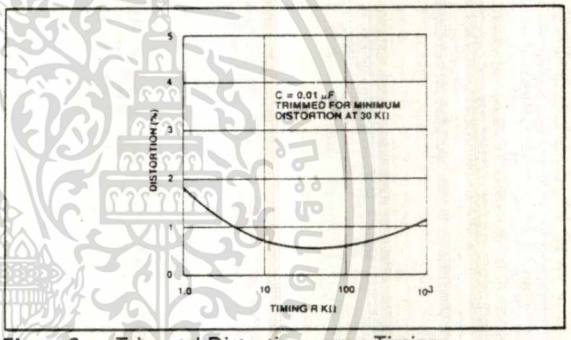


Figure 6: Trimmed Distortion versus Timing Resistor.

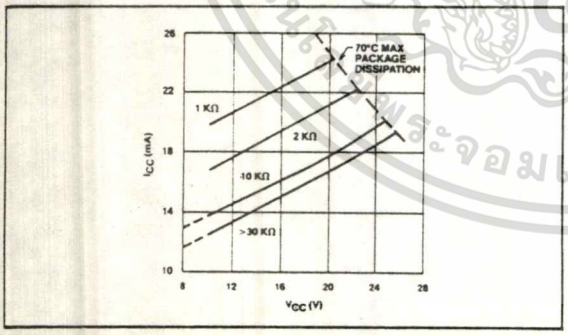


Figure 3: Supply Current versus Supply Voltage, Timing, R.

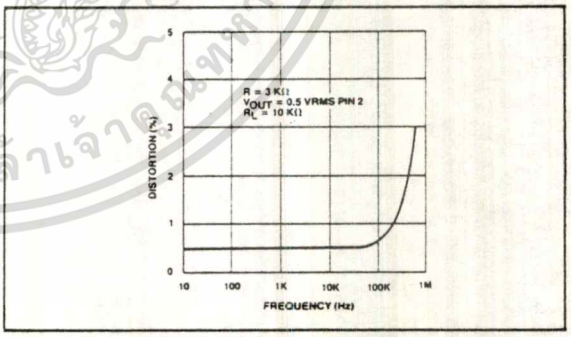


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

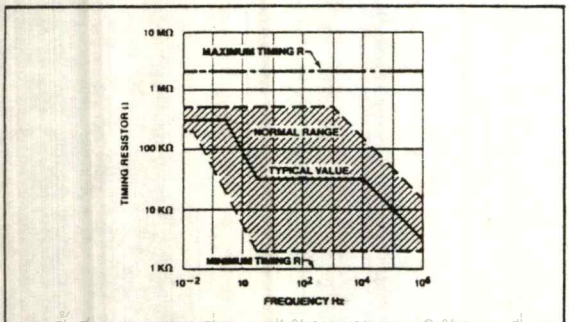


Figure 4: R versus Oscillation Frequency.

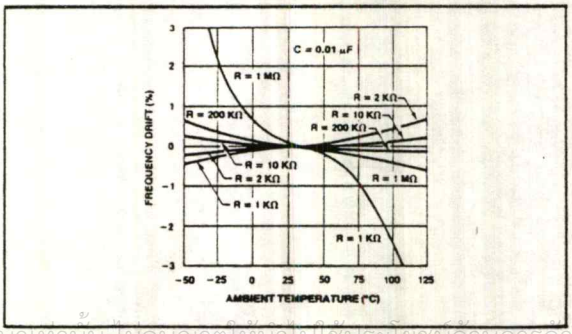


Figure 8: Frequency Drift versus Temperature.

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:
The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, are shown in Figure 4. Temperature stability is optimum for $4\ k\Omega < R < 200\ k\Omega$. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:
Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T \text{ (mA)}}{C \text{ } (\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T, over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}\left[1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right)\right] \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_C C} \text{ Hz/V}$$

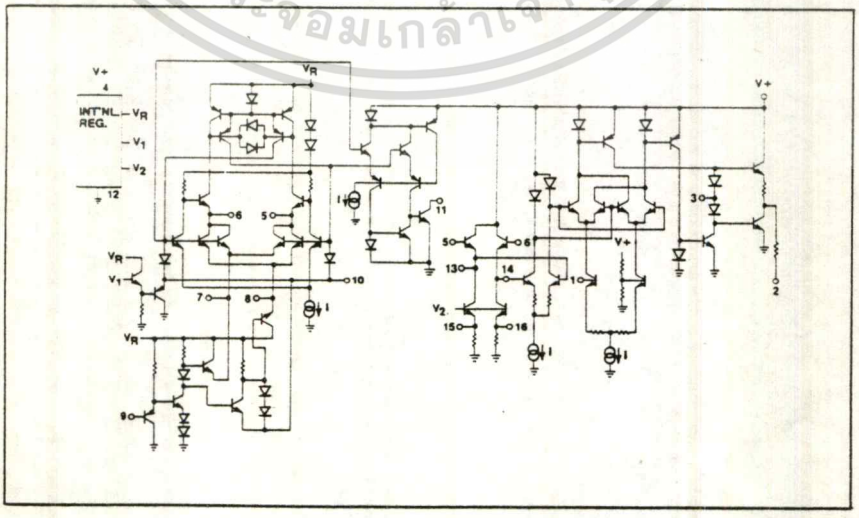
CAUTION: For safe operation of the circuit, I_T should be limited to ≤ 3 mA.

Output Amplitude:
Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160 mV peak per kΩ of R_3. Thus, for example, $R_3 = 50\ k\Omega$ would produce approximately ± 3V sinusoidal output amplitude.

Amplitude Modulation:
Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ± 4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+.

EQUIVALENT SCHEMATIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AN-14 APPLICATION NOTE

HIGH QUALITY FUNCTION GENERATOR SYSTEM WITH THE XR-2206

January 1982

INTRODUCTION

Waveform or function generators capable of producing am/fm modulated sine wave outputs find a wide range of applications in electrical measurement and laboratory instrumentation. This application note describes the design, construction and the performance of such a complete function generator system suitable for laboratory usage or hobbyist applications. The entire function generator is comprised of a single XR-2206 monolithic IC and a limited number of passive circuit components. It provides the engineer, student, or hobbyist with a highly versatile laboratory instrument for waveform generation at a very small fraction of the cost of conventional function generators available today.

GENERAL DESCRIPTION

The basic circuit configuration and the external components necessary for the high-quality function generator system is shown in Figure 1. The circuit shown in the figure is designed to operate with either a 12 V single power supply, or with ±6 V split supplies. For most applications, split-supply operation is preferred since it results in an output dc level which is nearly at ground potential.

The circuit configuration of Figure 1 provides three basic waveforms: sine, triangle and square wave. There are four overlapping frequency ranges which give an overall frequency range of 1 Hz to 100 kHz. In each range, the frequency may be varied over a 100:1 tuning range.

The sine or triangle output can be varied from 0 to over 6 V (peak to peak) from a 600 ohm source at the output terminal.

A squarewave output is available at the sync output terminal for oscilloscope synchronizing or driving logic circuits.

TYPICAL PERFORMANCE CHARACTERISTICS

The performance characteristics listed below are not guaranteed or warranted by Exar. However, they represent the typical performance characteristics measured by Exar's application engineers during the laboratory evaluation of the function generator system shown in Figure 1. The typical performance specifications listed below apply only when all of the recommended assembly instructions and adjustment procedures are followed:

(a) Frequency Ranges: The function generator system is designed to operate over four overlapping frequency ranges:

1 Hz to 100 Hz
10 Hz to 1 kHz
100 Hz to 10 kHz
1 kHz to 100 kHz

The range selection is made by switching in different timing capacitors.

(b) Frequency Setting: At any range setting, frequency can be varied over a 100:1 tuning range with a potentiometer (see R_{13} of Figure 1).

(c) Frequency Accuracy: Frequency accuracy of the XR-2206 is set by the timing resistor R and the timing capacitor C, and is given as:

$$f = 1/RC$$

The above expression is accurate to within ±5 % at any range setting. The timing resistor R is the series combination of resistors R_4 and R_{13} of Figure 1. The timing capacitor C is any one of the capacitors C_3 through C_6 shown in the figure.

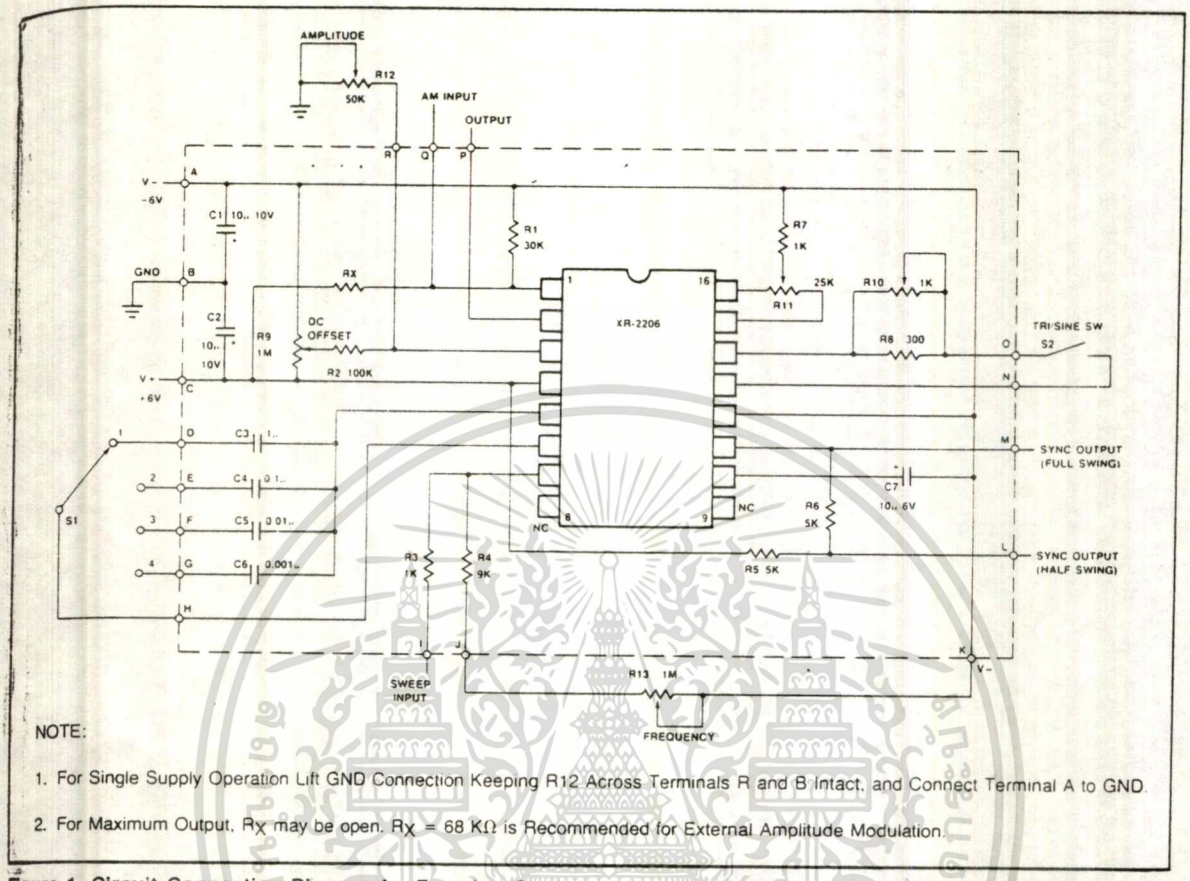
(d) Sine and Triangle Output: The sine and triangle output amplitudes are variable from 0 V to 6 V_{pp}. The amplitude is set by an external potentiometer, R_{12} of Figure 1. At any given amplitude setting, the triangle output amplitude is approximately twice as high as the sinewave output. The internal impedance of the output is 600 Ω.

(e) Sinewave Distortion: The total harmonic distortion of sinewave is less than 1 % from 10 Hz to 10 kHz and less than 3 % over the entire frequency range. The selection of a waveform is made by the triangle/sine selector switch, S_2.

(f) Sync Output: The sync output provides a 50 % duty cycle pulse output with either full swing or upper half swing of the supply voltage depending on the choice of sync output terminals on the printed circuit board (see Figure 1).

EXAR INTEGRATED SYSTEMS, INC.
750 Palomar Avenue, Sunnyvale, CA 94088 (408) 732-7970 TWX 910-339-9233

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE:

1. For Single Supply Operation Lift GND Connection Keeping R12 Across Terminals R and B Intact, and Connect Terminal A to GND.

2. For Maximum Output, R_X may be open. R_X = 68 KΩ is Recommended for External Amplitude Modulation.

Figure 1. Circuit Connection Diagram for Function Generator. (See Note 1 for Single Supply Operation.)

(g) **Frequency Modulation (External Sweep):** Frequency can be modulated or swept by applying an external control voltage to sweep terminal (Terminal I of Figure 1). When not used, this terminal should be left open-circuited. The open circuit voltage at this terminal is approximately 3 V above the negative supply voltage and its impedance is approximately 1000 ohms.

(n) **Amplitude Modulation:** The output amplitude varies linearly with modulation voltage applied to am input (terminal Q of Figure 1). The output amplitude reaches its minimum as the am control voltage approaches the half of the total power supply voltage. The phase of the output signal reverses as the amplitude goes through its minimum value. The total dynamic range is approximately 55 dB, with am control voltage range of 4 V referenced to the half of the total supply voltage. When not used, am terminal should be left open-circuited.

(l) **Power Source:** Split supplies: ±6 V, or single supply: +12 V. Supply Current 15 mA (see Figure 3).

EXPLANATION OF CIRCUIT CONTROLS:

Switches

Range Select Switch, S1: Selects the frequency range of operation for the function generator. The frequency is inversely proportional to the timing capacitor connected across Pins 5 and 6 of the XR-2206 circuit. Nominal capacitance values and frequency ranges corresponding to switch positions of S1 are as follows:

Position	Nominal Range	Timing Capacitance
1	1 Hz to 100 Hz	1 µF
2	10 Hz to 1 kHz	0.1 µF
3	100 Hz to 10 kHz	0.01 µF
4	1 Hz to 100 kHz	0.001 µF

If additional frequency ranges are needed, they can be added by introducing additional switch positions.

Triangle/Sine Waveform Switch, S2: Selects the triangle or sine output waveform.

Trimmers and Potentiometers

Dc Offset Adjustment, R9: The potentiometer used for adjusting the dc offset level of the triangle or sine output waveform.

Sinewave Distortion Adjustment, R10: Adjusted to minimize the harmonic content of sinewave output.

Sinewave Symmetry Adjustment, R11: Adjusted to optimize the symmetry of the sinewave output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Amplitude Control, R12: Sets the amplitude of the triangle or sinewave output.

Frequency Adjust, R13: Sets the oscillator frequency for any range setting of S1. Thus, R13 serves as a frequency dial on a conventional waveform generator and varies the frequency of the oscillator over an approximate 100 to 1 range.

Terminals

A. Negative Supply −6 V
B. Ground
C. Positive Supply +6 V
D. Range 1, timing capacitor terminal
E. Range 2, timing capacitor terminal
F. Range 3, timing capacitor terminal
G. Range 4, timing capacitor terminal
H. Timing capacitor common terminal
I. Sweep Input
J. Frequency adjust potentiometer terminal
K. Frequency adjust potentiometer negative supply terminal
L. Sync output (1/2 swing)
M. Sync output (full swing)
N. Triangle/sine waveform switch terminals
O. Triangle/sine, waveform switch terminals
P. Triangle or sinewave output
Q. AM input
R. Amplitude control terminal

PARTS LIST

The following is a list of external circuit components necessary to provide the circuit interconnections shown in Figure 1.

Capacitors:

C1, C2, C7	Electrolytic, 10 μF, 10 V
C3	Mylar, 1 μF, nonpolar, 10 %
C4	Mylar, 0.1 μF, 10 %
C5	Mylar, 0.01 μF, 10 %
C6	Mylar, 1000 pF, 10 %

Resistors:

R1	30 KΩ, 1/4 W, 10 %
R2	100 KΩ, 1/4 W, 10 %
R3, R7	1 KΩ, 1/4 W, 10 %
R4	9 KΩ, 1/4 W, 10 %
R5, R6	5 KΩ, 1/4 W, 10 %
R8	300 Ω, 1/4 W, 10 %
RX	62 KΩ, 1/4 W, 10 % (RX can be eliminated for maximum output)

Potentiometers:

R9	Trim, 1 MΩ, 1/4 W
R10	Trim, 1 KΩ, 1/4 W
R11	Trim, 25 KΩ, 1/4 W

The following additional items are recommended to convert the circuit of Figure 1 to a complete laboratory instrument:

Potentiometers:

R12	Amplitude control, linear, 50 KΩ
R13	Frequency control, audio taper, 1 MΩ

Switches:

S1	Rotary switch, 1-pole, 4 positions
S2	Toggle or slide, SPST

Case:

7" × 4" × 4" (approx.) Metal or Plastic
(See Figures 4(a) and 4(b).)

Power Supply:

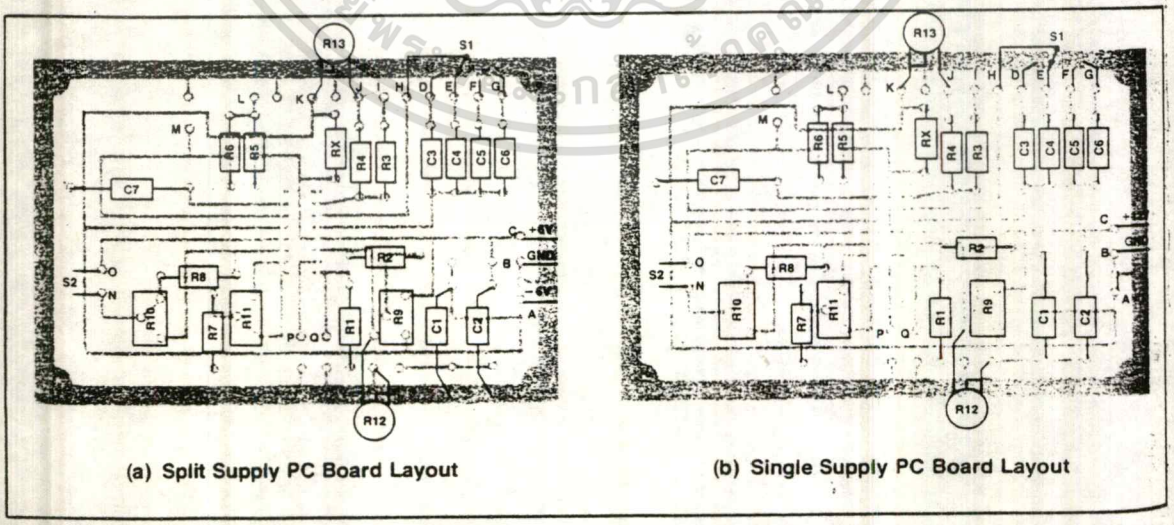
Dual supplies ±6 V or single +12 V
Batteries or power supply unit
(See Figures 3(a) and 3(b).)

Miscellaneous:

Knobs, solder, wires, terminals, etc.

BOARD LAYOUT

Figures 2(a) and 2(b) show the recommended printed-circuit board layout for the function generator circuit of Figure 1.



(a) Split Supply PC Board Layout

(b) Single Supply PC Board Layout

Figure 2. Recommended PC Board Layout for Function Generator Circuit of Figure 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECOMMENDED ASSEMBLY PROCEDURE

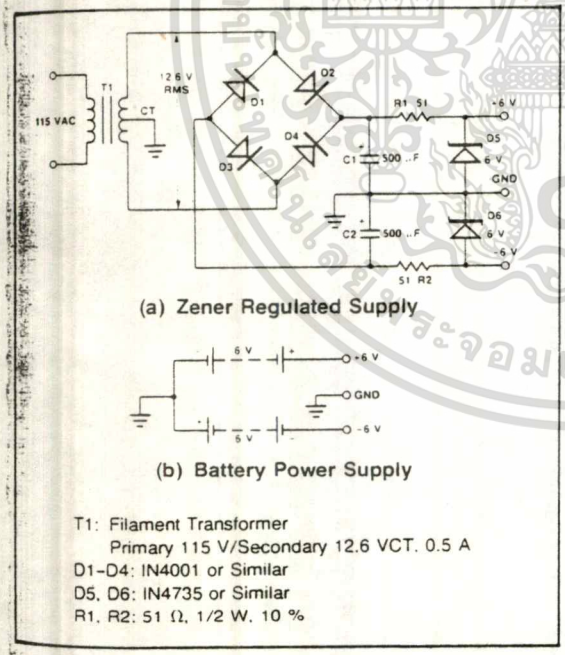
The following instructions and recommendations for the assembly of the function generator assume that the basic PC board layout of Figure 2(a) or 2(b) is used in the circuit assembly.

All the parts of the generator, with the exception of frequency adjust potentiometer, amplitude control potentiometer, triangle/sine switch and frequency range select switch, are mounted on the circuit board.

Install and solder all resistors, capacitors and trimmer resistors on the PC board first. Be sure to observe the polarity of capacitors C1, C2, C7. The timing capacitors C3, C4, C5 and C6 must be non-polar type. Now install IC1 on the board. We recommend the use of an IC socket to prevent possible damage to the IC during soldering and to provide for easy replacement in case of a malfunction.

The entire generator board along with power supply or batteries and several switches and potentiometers will fit into a case of the type readily available at electronic hobby shops. It will be necessary to obtain either output jacks or terminals for the outputs and am and frequency sweep inputs.

Install the frequency adjust pot, the frequency range select switch, the output amplitude control pot, the power switch, and the triangle/sine switch on the case. Next, install the PC board in the case, along with a power supply.



(a) Zener Regulated Supply

(b) Battery Power Supply

T1: Filament Transformer
Primary 115 V/Secondary 12.6 VCT. 0.5 A
D1-D4: IN4001 or Similar
D5, D6: IN4735 or Similar
R1, R2: 51 Ω, 1/2 W, 10 %

Figure 3. Recommended Power Supply Configurations.

Any simple power supply having reasonable regulation may be used. Figure 3 gives some recommended power supply configurations.

Precaution: Keep the lead lengths small for the range selector switch.

ADJUSTMENT PROCEDURE

When assembly is completed and you are ready to put the function generator into operation, make sure that the polarity of power supply and the orientation of the IC unit are correct. Then apply the dc power to the unit.

To adjust for minimum distortion, connect the scope probe to the triangle/sine output. Close S2 and adjust the amplitude control to give non-clipping maximum swing. Then adjust R10 and R11 alternately for minimum distortion by oberving the sinusoidal waveform. If a distortion meter is available, you may use it as a final check on the setting of sine-shaping trimmers. The minimum distortion obtained in this manner is typically less than 1 % from 1 Hz to 10 kHz and less than 3 % over the entire frequency range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FSK Demodulator / Tone Decoder

GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications. It is particularly well suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20 V and a wide frequency range of 0.01 Hz to 300 kHz. It can accommodate analog signals between 2 mV and 3 V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply provides ratio metric operation for low system performance variations with power supply changes.

The XR-2211 is available in 14 pin DTL ceramic or plastic packages specified for commercial or military temperature ranges.

FEATURES

Wide Frequency Range	0.01 Hz to 300 kHz
Wide Supply Voltage Range	4.5 V to 20 V
DTL/TTL/ECL Logic Compatibility	
FSK Demodulation, with Carrier Detection	
Wide Dynamic Range	2 mV to 3 V rms
Adjustable Tracking Range (±1% to ±80%)	
Excellent Temp. Stability	20 ppm/°C, typ.

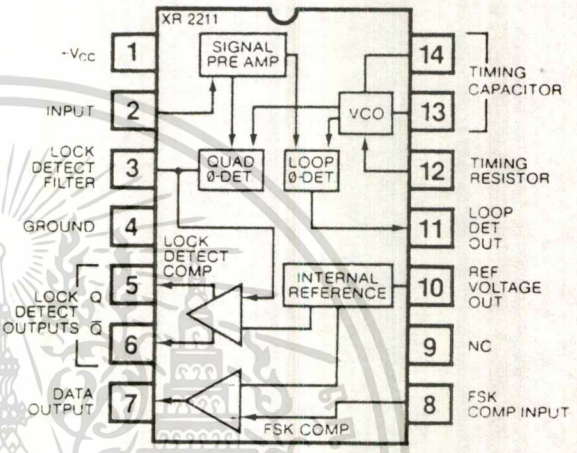
APPLICATIONS

FSK Demodulation
Data Synchronization
Tone Decoding
FM Detection
Carrier Detection

ABSOLUTE MAXIMUM RATINGS

Power Supply	20 V
Input Signal Level	3 V rms
Power Dissipation	
Ceramic Package	750 mW
Derate above T_A = +25°C	6 mW/°C
Plastic Package	625 mW
Derate above T_A = +25°C	5.0 mW/°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2211M	Ceramic	-55°C to +125°C
XR-2211CN	Ceramic	0°C to + 75°C
XR-2211CP	Plastic	0°C to + 75°C
XR-2211N	Ceramic	-40°C to + 85°C
XR-2211P	Plastic	-40°C to + 85°C

SYSTEM DESCRIPTION

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier used as a phase detector, and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 2MV RMS are amplified to a constant high level signal. The multipling-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output, f input + f input (2 f input) and f input - f input (0 Hz) when the phase detector output to remove the "sum" frequency component while passing the difference (DC) component to drive the VCO. The VCO is actually a current controlled oscillator with its nominal input current (f_0) set by a resistor (R_0) to ground and its driving current with a resistor (R_1) from the phase detector.

The other sections of the XR-2211 act to: determine if the VCO is driven above or below the center frequency (FSK comparator); produced both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = V^- = 6V$, $T_A = +25^\circ C$, $C = 5000\ pF$, $R_1 = R_2 = R_3 = R_4 = 20\ K\Omega$, $R_L = 4.7\ K\Omega$ Binary Inputs grounded, S_1 and S_2 closed unless otherwise specified.

PARAMETERS	XR-2211/2211M			XR-2211C			UNITS	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL								
Supply Voltage	4.5		20	4.5		20	V	
Supply Current		4	7		5	9	mA	$R_0 \geq 10\ K\Omega$ See Fig. 4
OSCILLATOR SECTION								
Frequency Accuracy		±1	±3		±1		%	Deviation from $f_0 = 1/R_0C_0$
Frequency Stability								$R_1 = R_2$
Temperature		±20	±50		±20		ppm/°C	See Fig. 8.
Power Supply		0.05	0.5		0.05		%/V	$V^+ = 12 \pm 1$ V. See Fig. 7.
		0.2			0.2		%/V	$V^+ = 5 \pm 0.5$ V. See Fig. 7.
Upper Frequency Limit	100	300			300		kHz	$R_0 = 8.2\ K\Omega$, $C_0 = 400\ pF$
Lowest Practical								
Operating Frequency			0.01			0.01	Hz	$R_0 = 2\ M\Omega$, $C_0 = 50\ \mu F$
Timing Resistor, R_0								See Fig. 5.
Operating Range	5		2000	5		2000	KΩ	
Recommended Range	15		100	15		100	KΩ	See Fig. 7 and 8.
LOOP PHASE DETECTOR SECTION								
Peak Output Current	±150	±200	±300	±100	±200	±300	μA	Measured at Pin 11.
Output Offset Current		±1			±2		μA	
Output Impedance		1			1		MΩ	
Maximum Swing	±4	±5		±4	±5		V	Referenced to Pin 10.
QUADRATURE PHASE DETECTOR								Measured at Pin 3.
Peak Output Current	100	150			150		μA	
Output Impedance		1			1		MΩ	
Maximum Swing		11			11		V pp	
INPUT PREAMP SECTION								Measured at Pin 2.
Input Impedance		20			20		KΩ	
Input Signal Voltage Required to Cause Limiting		2	10		2		mV rms	
VOLTAGE COMPARATOR SECTIONS								
Input Impedance		2			2		MΩ	Measured at Pins 3 and 8.
Input Bias Current		100			100		nA	
Voltage Gain	55	70		55	70		dB	$R_L = 5.1\ K\Omega$
Output Voltage Low		300			300		mV	$I_C = 3$ mA
Output Leakage Current		0.01			0.01		μA	$V_O = 12$ V
INTERNAL REFERENCE								
Voltage Level	4.9	5.3	5.7	4.75	5.3	5.85	V	Measured at Pin 10.
Output Impedance		100			100		Ω	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

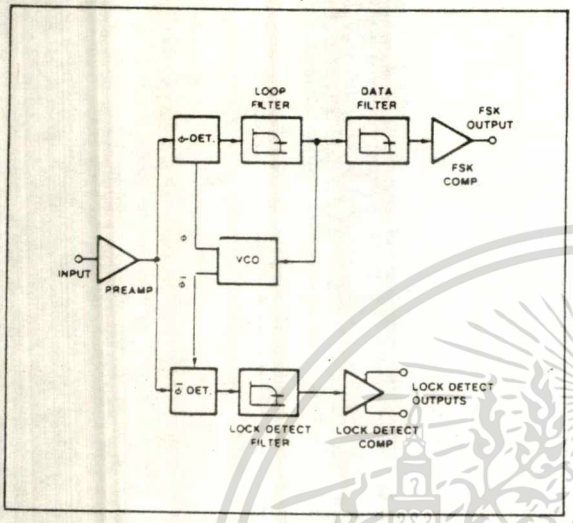


Figure 1: Functional Block Diagram of a Tone and FSK Decoding System Using XR-2211

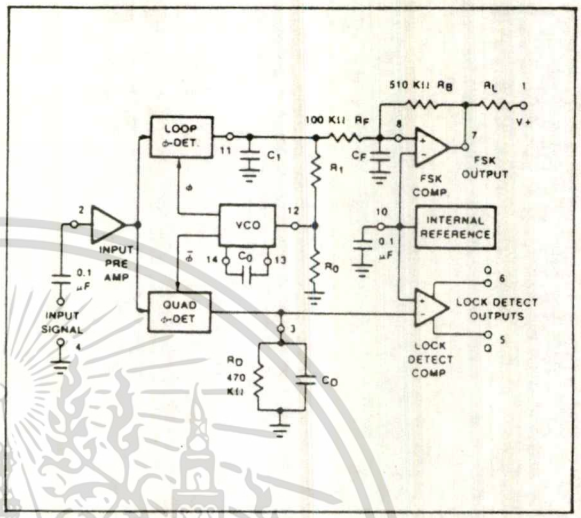


Figure 2: Generalized Circuit Connection for FSK and Tone Detection

Reference Voltage, V_R (Pin 10): This pin is internally biased at the reference voltage level, V_R. $V_R = V+/2 - 650$ mV. The dc voltage level at this pin forms an internal reference for the voltage levels at Pins 5, 8, 11 and 12. Pin 10 *must* be bypassed to ground with a 0.1 μF capacitor for proper operation of the circuit.

Loop Phase Detector Output (Pin 11): This terminal provides a high impedance output for the loop phase detector. The PLL loop filter is formed by R_1 and C_1 connected to Pin 11 (see Figure 2). With no input signal, or with no phase error within the PLL, the dc level at Pin 11 is very nearly equal to V_R. The peak voltage swing available at the phase detector output is equal to $\pm V_R$.

VCO Control Input (Pin 12): VCO free-running frequency is determined by external timing resistor, R_0, connected from this terminal to ground. The VCO free-running frequency, f_0, is:

$$f_0 = \frac{1}{R_0 C_0} \text{ Hz}$$

where C_0 is the timing capacitor across Pins 13 and 14. For optimum temperature stability, R_0 must be in the range of 10 KΩ to 100 KΩ see Figure 8).

This terminal is a low impedance point, and is internally biased at a dc level equal to V_R. The maximum timing current drawn from Pin 12 must be limited to ⩽3 mA for proper operation of the circuit.

VCO Timing Capacitor (Pins 13 and 14): VCO frequency is inversely proportional to the external timing capacitor, C_0, connected across these terminals (see Figure 5). C_0 must be nonpolar, and in the range of 200 pF to 10 μF.

VCO Frequency Adjustment: VCO can be fine-tuned by connecting a potentiometer, R_X, in series with R_0 at Pin 12 (see Figure 9).

VCO Free-Running Frequency, f_0: XR-2211 does not have a separate VCO output terminal. Instead, the VCO outputs are internally connected to the phase detector sections of the circuit. However, for set-up or adjustment purposes, VCO free-running frequency can be measured at Pin 3 (with C_D disconnected), with no input and with Pin 2 shorted to Pin 10.

DESIGN EQUATIONS

(See Figure 2 for definition of components.)

1. VCO Center Frequency, f_0.

   $f_0 = 1/R_0C_0$ Hz

2. Internal Reference Voltage, V_R (measured at Pin 10):

   $V_R = V+/2 - 650$ mV

3. Loop Low-Pass Filter Time Constant, τ:

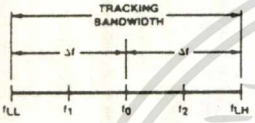
   $\tau = R_1C_1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. Loop Damping, ζ:

$$\zeta = 1/4\sqrt{\frac{C_0}{C_1}}$$

5. Loop Tracking Bandwidth, $\pm\Delta f/f_0$:
$\Delta f/f_0 = R_0/R_1$



6. FSK Data Filter Time Constant, τF:
$\tau F = R_F C_F$

7. Loop Phase Detector Conversion Gain, $K\phi$: ($K\phi$ is the differential dc voltage across Pins 10 and 11, per unit of phase error at phase detector input).

$K\phi = -2V_R/\pi$ volts/radian

8. VCO Conversion Gain, K_0: (K_0 is the amount of change in VCO frequency, per unit of dc voltage change at Pin 11):

$K_0 = -1/V_R C_0 R_1$ Hz/volt

9. Total Loop Gain, K_T:

$K_T = 2\pi K\phi K_0 = 4/C_0 R_1$ rad/sec/volt

10. Peak Phase Detector Current I_A:

$I_A = V_R$ (volts)/25 mA

APPLICATIONS INFORMATION

FSK DECODING:

Figure 9 shows the basic circuit connection for FSK decoding. With reference to Figures 2 and 9, the functions of external components are defined as follows: R_0 and C_0 set the PLL center frequency, R_1 sets the system bandwidth, and C_1 sets the loop filter time constant and the loop damping factor. C_F and R_F form a one-pole post-detection filter for the FSK data output. The resistor R_B (= 510 KΩ) from Pin 7 to Pin 8 introduces positive feedback across the FSK comparator to facilitate rapid transition between output logic states.

Recommended component values for some of the most commonly used FSK bands are given in Table 1.

Design Instructions:

The circuit of Figure 9 can be tailored for any FSK decoding application by the choice of five key circuit components: R_0, R_1, C_0, C_1 and C_F. For a given set of FSK mark and space frequencies, f_1 and f_2, these parameters can be calculated as follows:

a) Calculate PLL center frequency, f_0:

$$f_0 = \frac{f_1 + f_2}{2}$$

b) Choose value of timing resistor R_0, to be in the range of 10 KΩ to 100 KΩ. This choice is arbitrary. The recommended value is $R_0 \equiv 20$ KΩ. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

c) Calculate value of C_0 from design equation (1) or from Figure 6.

$C_0 = 1/R_0 f_0$

d) Calculate R_1 to give a Δf equal to the mark space deviation.

$R_1 = R_0[f_0/(f_1-f_2)]$

e) Calculate C_1 to set loop damping. (See design equation no. 4.)

Normally, $\zeta \approx 1/2$ is recommended.

Then $C_1 = C_0/4$ for $\zeta = 1/2$

f) Calculate Data Filter Capacitance, C_F:

For R_F = 100 KΩ, R_B = 510 KΩ, the recommended value of C_F is:

$C_F \approx 3/(\text{Baud Rate})\ \mu F$

Note: All calculated component values except R_0 can be rounded to the nearest standard value, and R_0 can be varied to fine-tune center frequency, through a series potentiometer, R_X. (See Figure 9.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

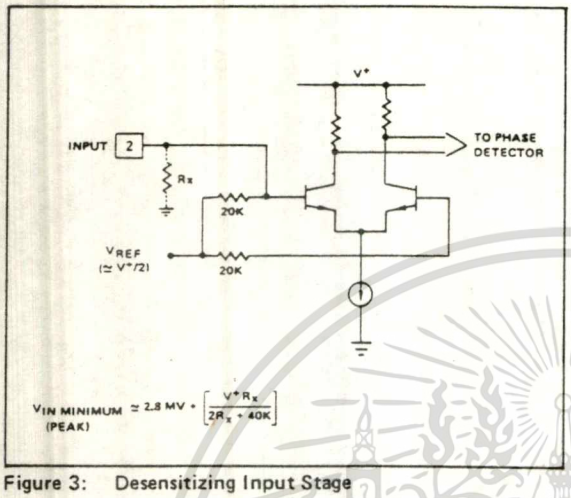


Figure 3: Desensitizing Input Stage

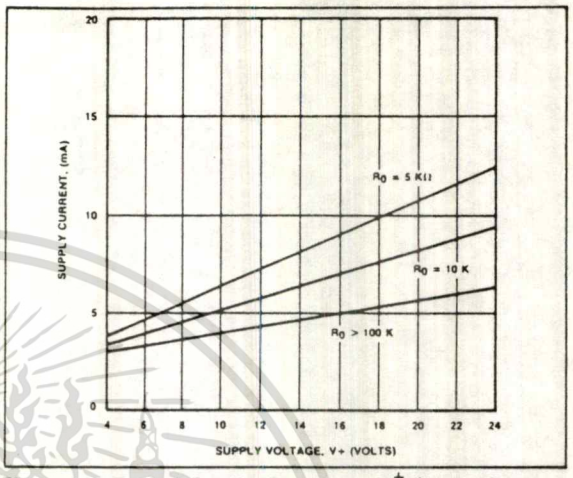


Figure 4: Typical Supply Current vs V^+ (Logic Outputs Open Circuited).

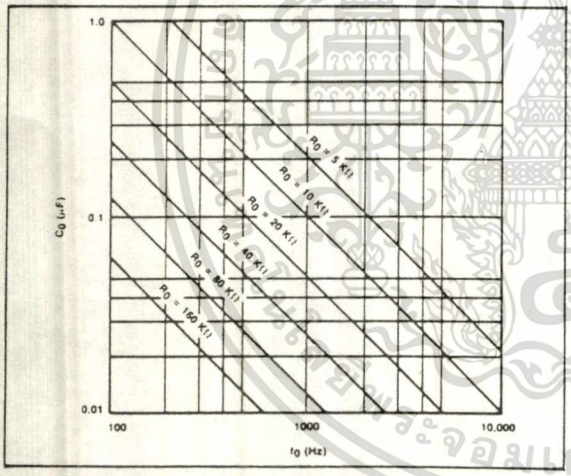


Figure 5: VCO Frequency vs Timing Resistor

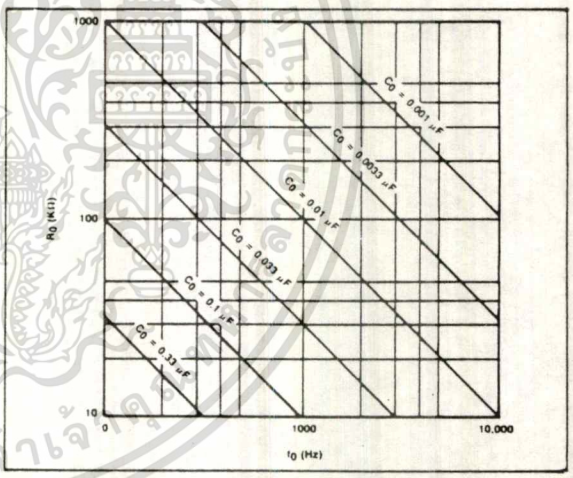


Figure 6: VCO Frequency vs Timing Capacitor

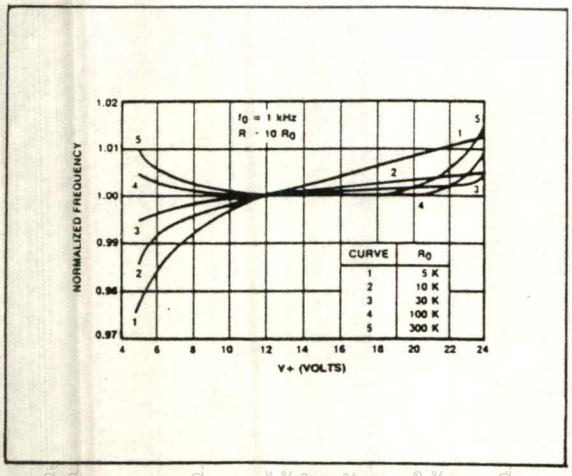


Figure 7: Typical f_0 vs Power Supply Characteristics

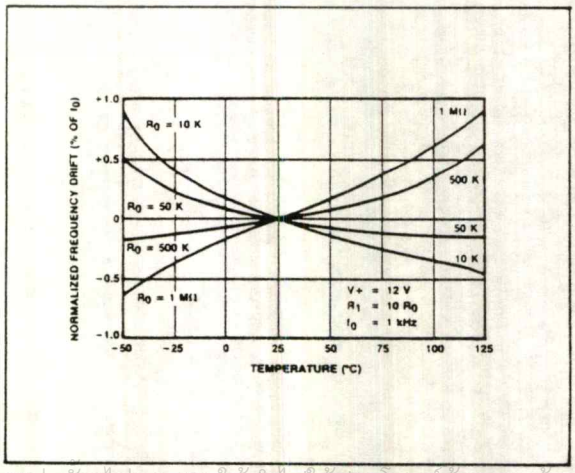


Figure 8: Typical Center Frequency Drift vs Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

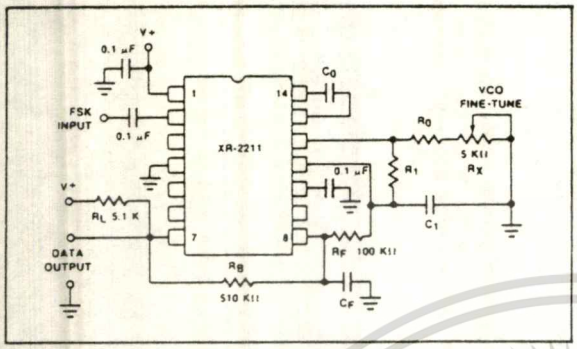


Figure 9: Circuit Connection for FSK Decoding

Design Example:

75 Baud FSK demodulator with mark space frequencies of 1110/1170 Hz

Step 1 Calculate f_0. f_0 = (1110 + 1170) (1/2) = 1140 Hz
Step 2 Choose R_0 = 20 KΩ (18 KΩ fixed resistor in series with 5 KΩ potentiometer)
Step 3 Calculate C_0 from Figure 6. C_0 = 0.044 μF
Step 4 Calculate R_1. R_1 = R_0 (2240/60) = 380 KΩ
Step 5 Calculate C_1. C_1 = C_0/4 = 0.011 μF

Note: All values except R_0 can be rounded to *nearest* standard value.

Table 1. Recommended Component Values for Commonly Used FSK Bands. (See Circuit of Figure 9.)

FSK BAND	COMPONENT VALUES	
300 Baud f_1 = 1070 Hz f_2 = 1270 Hz	C_0 = 0.039 μF C_1 = 0.01 μF R_1 = 100 KΩ	C_F = 0.005 μF R_0 = 18 KΩ
300 Baud f_1 = 2025 Hz f_2 = 2225 Hz	C_0 = 0.022 μF C_1 = 0.0047 μF R_1 = 200 KΩ	C_F = 0.005 μF R_0 = 18 KΩ
1200 Baud f_1 = 1200 Hz f_2 = 2200 Hz	C_0 = 0.027 μF C_1 = 0.01 μF R_1 = 30 KΩ	C_F = 0.0022 μF R_0 = 18 KΩ

FSK DECODING WITH CARRIER DETECT:

The lock detect section of XR-2211 can be used as a carrier detect option, for FSK decoding. The recommended circuit connection for this application is shown in Figure 10. The open collector lock detect output, Pin 6, is shorted to data output (Pin 7). Thus, data output will be disabled at "low" state, until there is a carrier within the detection band of the PPL, and the Pin 6 output goes "high," to enable the data output.

The minimum value of the lock detect filter capacitance C_D is inversely proportional to the capture range, $\pm\Delta f_C$. This is the range of incoming frequencies over which the loop can acquire lock and is always less than the tracking range. It is further limited by C_1. For most applications, $\Delta f_C > \Delta f/2$. For R_D = 470 KΩ, the approximate minimum value of C_D can be determined by

C_D (μF) ≥ 16/capture range in Hz.

With values of C_D that are too small, chatter can be observed on the lock detect output as an incoming signal frequency approaches the capture bandwidth. Excessively large values of C_D will slow the response time of the lock detect output.

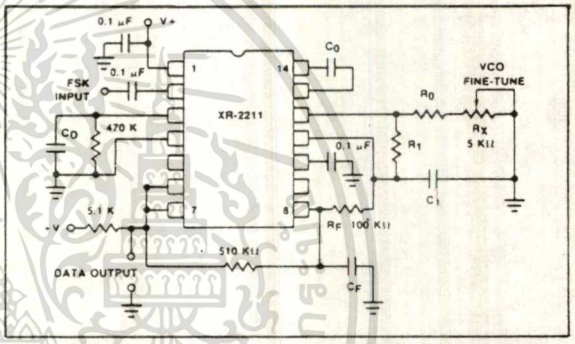


Figure 10: External Connectors for FSK Demodulation with Carrier Detect Capability

Note: Data Output is "Low" When No Carrier is Present.

TONE DETECTION:

Figure 11 shows the generalized circuit connection for tone detection. The logic outputs, Q and $\bar{Q}$ at Pins 5 and 6 are normally at "high" and "low" logic states, respectively. When a tone is present within the detection band of the PLL, the logic state at these outputs become reversed for the duration of the input tone. Each logic output can sink 5 mA of load current.

Both logic outputs at Pins 5 and 6 are open collector type stages, and require external pull-up resistors R_{L1} and R_{L2}, as shown in Figure 11.

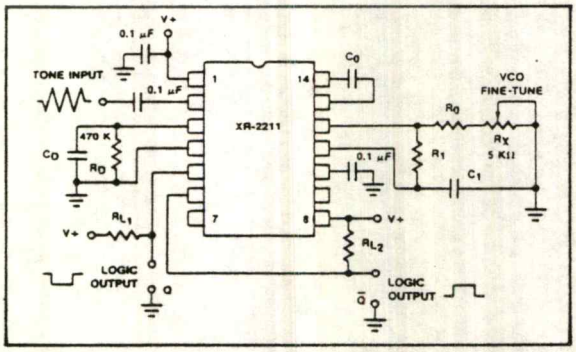


Figure 11: Circuit Connection for Tone Detection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

With reference to Figures 2 and 11, the functions of the external circuit components can be explained as follows: R_0 and C_0 set VCO center frequency; R_1 sets the detection bandwidth; C_1 sets the low pass-loop filter time constant and the loop damping factor. R_{L1} and R_{L2} are the respective pull-up resistors for the Q and $\bar{Q}$ logic outputs.

Design Instructions:

The circuit of Figure 11 can be optimized for any tone detection application by the choice of the 5 key circuit components: R_0, R_1, C_0, C_1 and C_D. For a given input, the tone frequency, f_S, these parameters are calculated as follows:

a) Choose R_0 to be in the range of 15 KΩ to 100 KΩ. This choice is arbitrary.

b) Calculate C_0 to set center frequency, f_0 equal to f_s (see Figure 6): $C_0 = 1/R_0 f_S$

c) Calculate R_1 to set bandwidth ±Δf (see design equation no. 5)

$$R_1 = R_0(f_0/\Delta f)$$

Note: The total detection bandwidth covers the frequency range of $f_0 \pm \Delta f$.

d) Calculate value of C_1 for a given loop damping factor:

$$C_1 = C_0/16\zeta^2$$

Normally $\zeta \approx 1/2$ is optimum for most tone detector applications, giving $C_1 = 0.25\ C_0$.

Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of filter capacitor C_D. To avoid chatter at the logic output, with R_D = 470 KΩ, C_D must be:

$$C_D(\mu F) \geq (16/\text{capture range in Hz})$$

Increasing C_D slows down the logic output response time.

Design Examples:

Tone detector with a detection band of 1 kHz ± 20 Hz:

a) Choose R_0 = 20 KΩ (18 KΩ in series with 5 KΩ potentiometer).
b) Choose C_0 for f_0 = 1 kHz (from Figure 6): C_0 = 0.05 μF.

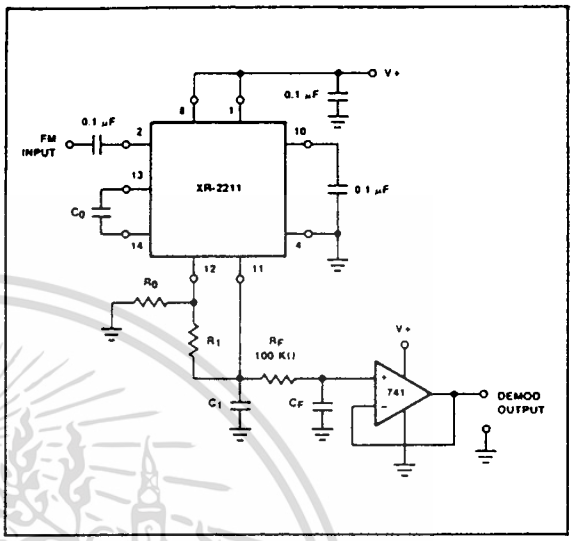


Figure 12: Linear FM Detector Using XR-2211 and an External Op Amp. (See section on Design Equation for Component Values.)

c) Calculate R_1. $R_1 = (R_0)\ (1000/20) = 1$ MΩ.
d) Calculate C_1: for $\zeta = 1/2$, $C_1 = 0.25$. $C_0 = 0.013$ μF.
e) Calculate C_D: $C_D = 16/38 = 0.42$ μF.
f) Fine-tune center frequency with 5 KΩ potentiometer, R_X.

LINEAR FM DETECTION:

XR-2211 can be used as a linear FM detector for a wide range of analog communications and telemetry applications. The recommended circuit connection for this application is shown in Figure 12. The demodulated output is taken from the loop phase detector output (Pin 11), through a post-detection filter made up of R_F and C_F, and an external buffer amplifier. This buffer amplifier is necessary because of the high impedance output at Pin 11. Normally, a non-inverting unity gain op amp can be used as a buffer amplifier, as shown in Figure 12.

The FM detector gain, i.e., the output voltage change per unit of FM deviation can be given as:

$$V_{out} = R_1\ V_R/100\ R_0 \text{ Volts/\%deviation}$$

where V_R is the internal reference voltage (V_R = V+/2 − 650 mV). For the choice of external components R_1, R_0, C_D, C_1 and C_F, see section on design equations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

Signal Input (Pin 2): Signal is ac coupled to this terminal. The internal impedance at Pin 2 is 20 KΩ. Recommended input signal level is in the range of 10 mV rms to 3 V rms.

Quadrature Phase Detector Output (Pin 3): This is the high impedance output of quadrature phase detector and is internally connected to the input of lock detect voltage comparator. In tone detection applications, Pin 3 is connected to ground through a parallel combination of R_D and C_D (see Figure 2) to eliminate the chatter at lock detect outputs. If the tone detect section is not used, Pin 3 can be left open circuited.

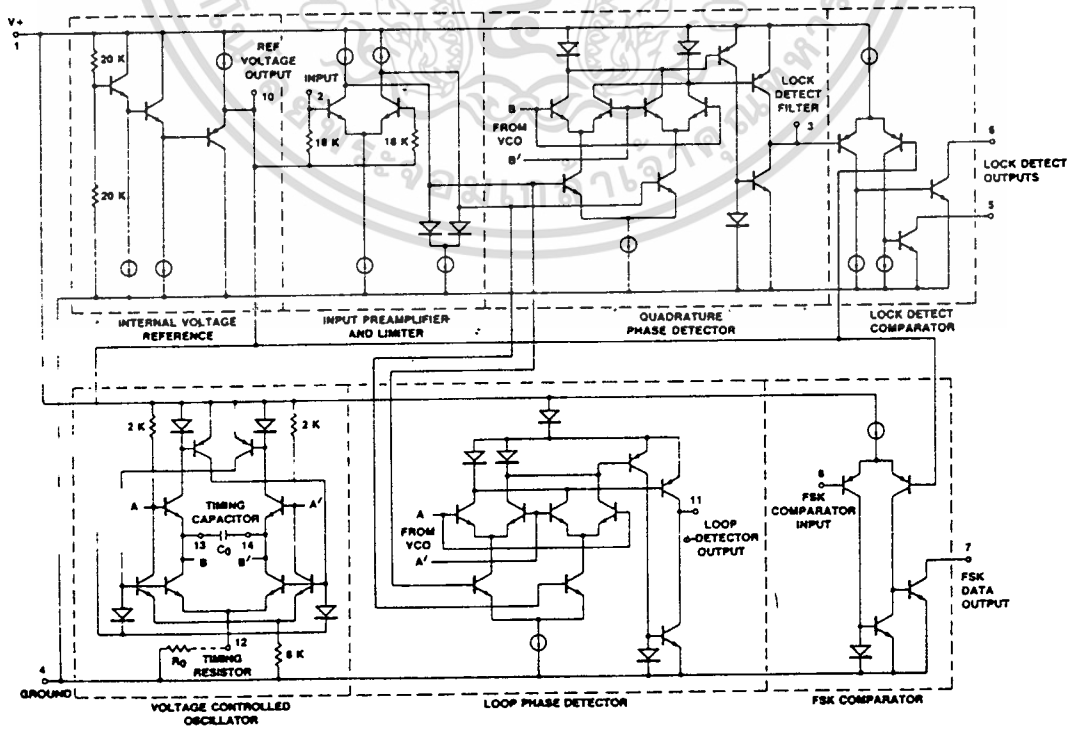
Lock Detect Output, Q (Pin 5): The output at Pin 5 is at "high" state when the PLL is out of lock and goes to "low" or conducting state when the PLL is locked. It is an open collector type output and requires a pull-up resistor, R_L, to V+ for proper operation. At "low" state, it can sink up to 5 mA of load current.

Lock Detect Complement, $\overline{Q}$ (Pin 6): The output at Pin 6 is the logic complement of the lock detect output at Pin 5. This output is also an open collector type stage which can sink 5 mA of load current at low or "on" state.

FSK Data Output (Pin 7): This output is an open collector logic stage which requires a pull-up resistor, R_L, to V+ for proper operation. It can sink 5 mA of load current. When decoding FSK signals, FSK data output is at "high" or "off" state for low input frequency, and at "low" or "on" state for high input frequency. If no input signal is present, the logic state at Pin 7 is indeterminate.

FSK Comparitor Input (Pin 8): This is the high impedance input to the FSK voltage comparator. Normally, an FSK post-detection or data filter is connected between this terminal and the PLL phase detector output (Pin 11). This data filter is formed by R_F and C_F of Figure 2. The threshold voltage of the comparator is set by the internal reference voltage, V_R, available at Pin 10.

EQUIVALENT SCHEMATIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

LM565/LM565C Phase Locked Loop

General Description

The LM565 and LM565C are general purpose phase locked loops containing a stable, highly linear voltage controlled oscillator for low distortion FM demodulation, and a double balanced phase detector with good carrier suppression. The VCO frequency is set with an external resistor and capacitor, and a tuning range of 10:1 can be obtained with the same capacitor. The characteristics of the closed loop system—bandwidth, response speed, capture and pull in range—may be adjusted over a wide range with an external resistor and capacitor. The loop may be broken between the VCO and the phase detector for insertion of a digital frequency divider to obtain frequency multiplication.

The LM565H is specified for operation over the −55°C to +125°C military temperature range. The LM565CH and LM565CN are specified for operation over the 0°C to +70°C temperature range.

Features

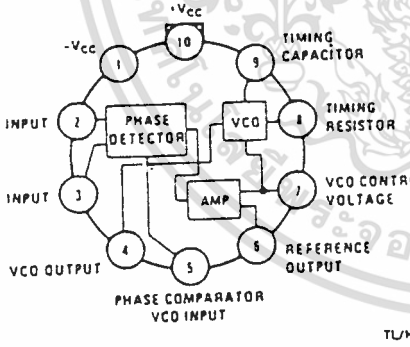
- 200 ppm/°C frequency stability of the VCO
- Power supply range of ±5 to ±12 volts with 100 ppm/% typical
- 0.2% linearity of demodulated output
- Linear triangle wave with in phase zero crossings available
- TTL and DTL compatible phase detector input and square wave output
- Adjustable hold in range from ±1% to > ±60%

Applications

- Data and tape synchronization
- Modems
- FSK demodulation
- FM demodulation
- Frequency synthesizer
- Tone decoding
- Frequency multiplication and division
- SCA demodulators
- Telemetry receivers
- Signal regeneration
- Coherent demodulators

Connection Diagrams

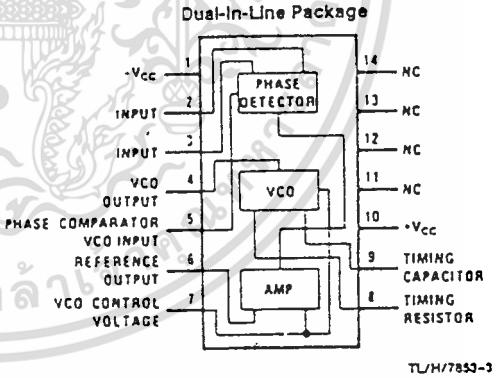
Metal Can Package



TL/H/7853-2

Order Number LM565H or LM565CH
See NS Package Number H10C

Dual-In-Line Package



TL/H/7853-3

Order Number LM565CN
See NS Package Number N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	± 12V
Power Dissipation (Note 1)	1400 mW
Differential Input Voltage	± 1V
Operating Temperature Range	
LM565H	−55°C to + 125°C
LM565CH, LM565CN	0°C to + 70°C
Storage Temperature Range	−65°C to + 150°C
Lead Temperature (Soldering, 10 sec.)	260°C

Electrical Characteristics AC Test Circuit, T_A = 25°C, V_{CC} = ± 6V

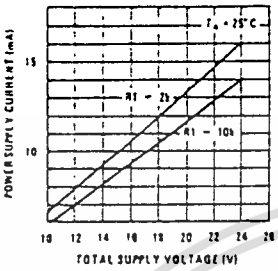
Parameter	Conditions	LM565			LM565C			Units
		Min	Typ	Max	Min	Typ	Max	
Power Supply Current			8.0	12.5		8.0	12.5	mA
Input Impedance (Pins 2, 3)	$-4V < V_2, V_3 < 0V$	7	10			5		kΩ
VCO Maximum Operating Frequency	C_o = 2.7 pF	300	500		250	500		kHz
VCO Free-Running Frequency	C_o = 1.5 nF R_o = 20 kΩ f_o = 10 kHz	−10	0	+10	−30	0	+30	%
Operating Frequency Temperature Coefficient			−100			−200		ppm/°C
Frequency Drift with Supply Voltage			0.1	1.0		0.2	1.5	%/V
Triangle Wave Output Voltage		2	2.4	3	2	2.4	3	V_{p-p}
Triangle Wave Output Linearity			0.2			0.5		%
Square Wave Output Level		4.7	5.4		4.7	5.4		V_{p-p}
Output Impedance (Pin 4)			5			5		kΩ
Square Wave Duty Cycle		45	50	55	40	50	60	%
Square Wave Rise Time			20			20		ns
Square Wave Fall Time			50			50		ns
Output Current Sink (Pin 4)		0.6	1		0.6	1		mA
VCO Sensitivity	f_o = 10 kHz		6600			6600		Hz/V
Demodulated Output Voltage (Pin 7)	± 10% Frequency Deviation	250	300	400	200	300	450	mV_{p-p}
Total Harmonic Distortion	± 10% Frequency Deviation		0.2	0.75		0.2	1.5	%
Output Impedance (Pin 7)			3.5			3.5		kΩ
DC Level (Pin 7)		4.25	4.5	4.75	4.0	4.5	5.0	V
Output Offset Voltage $\|V_7 - V_6\|$			30	100		50	200	mV
Temperature Drift of $\|V_7 - V_6\|$			500			500		μV/°C
AM Rejection		30	40			40		dB
Phase Detector Sensitivity K_D			.68			.68		V/radian

Note 1: The maximum junction temperature of the LM565 and LM565C is + 150°C. For operation at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of + 150°C/W junction to ambient or + 45°C/W junction to case. Thermal resistance of the dual-in-line package is + 85°C/W.

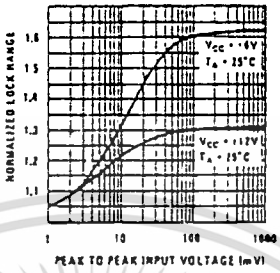
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

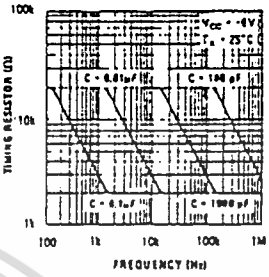
Power Supply Current as a Function of Supply Voltage



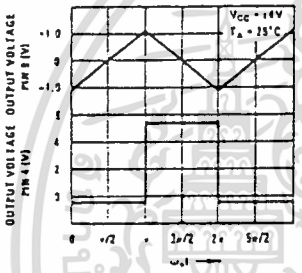
Lock Range as a Function of Input Voltage



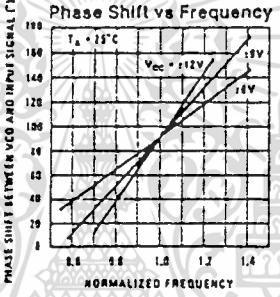
VCO Frequency



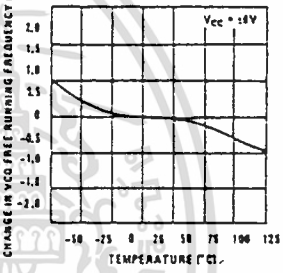
Oscillator Output Waveforms



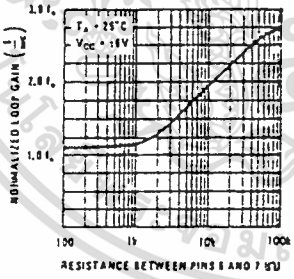
Phase Shift vs Frequency



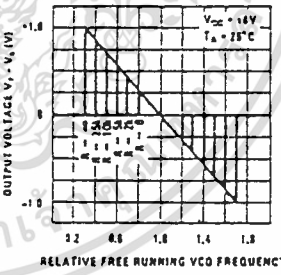
VCO Frequency as a Function of Temperature



Loop Gain vs Load Resistance



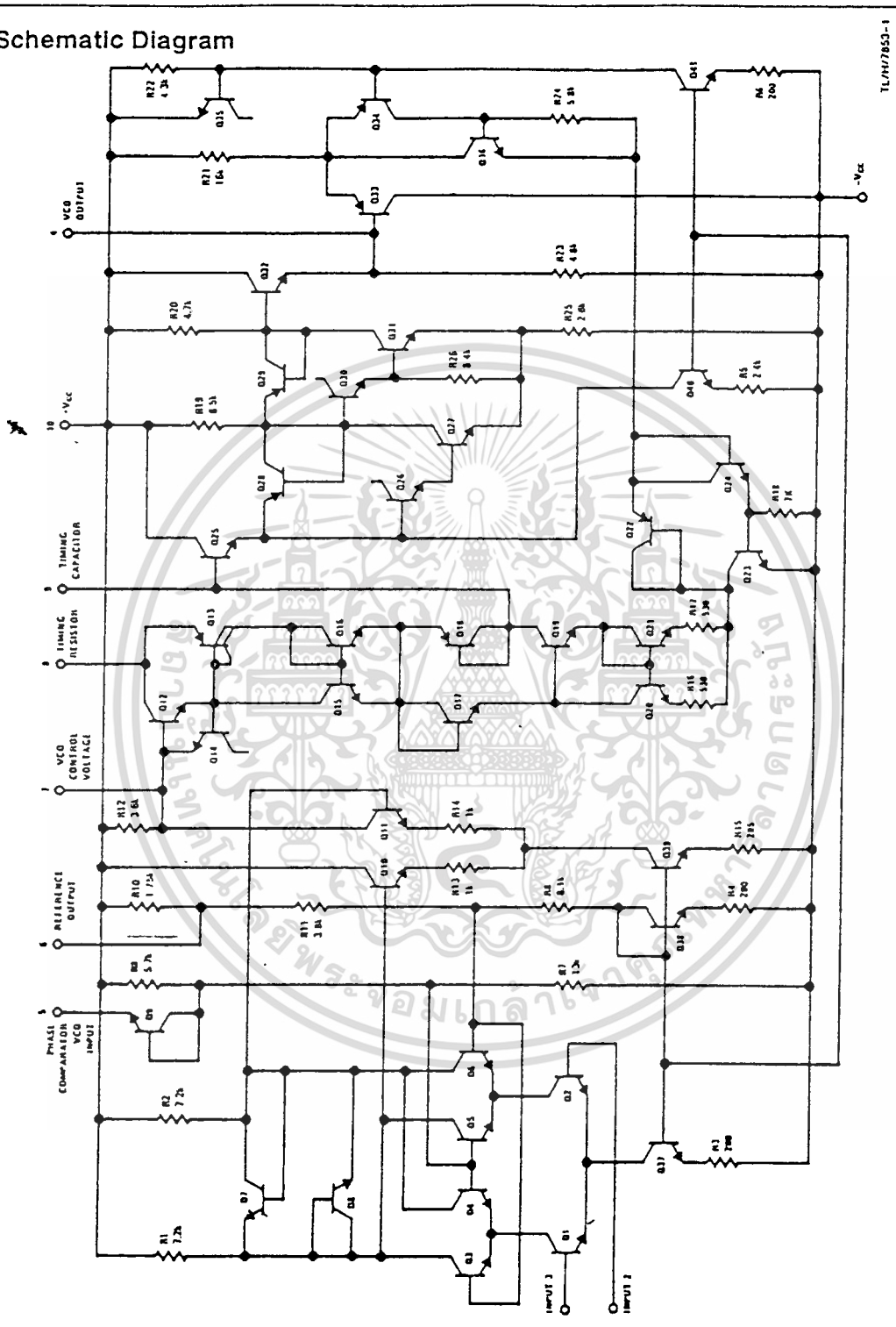
Hold In Range as a Function of R_{6-7}



TL/H/7853–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

In designing with phase locked loops such as the LM565, the important parameters of interest are:

FREE RUNNING FREQUENCY

$$f_o \approx \frac{0.3}{R_o C_o}$$

LOOP GAIN: relates the amount of phase change between the input signal and the VCO signal for a shift in input signal frequency (assuming the loop remains in lock). In servo theory, this is called the "velocity error coefficient."

$$\text{Loop gain} = K_o K_D \left(\frac{1}{\text{sec}}\right)$$

$$K_o = \text{oscillator sensitivity} \left(\frac{\text{radians/sec}}{\text{volt}}\right)$$

$$K_D = \text{phase detector sensitivity} \left(\frac{\text{volts}}{\text{radian}}\right)$$

The loop gain of the LM565 is dependent on supply voltage, and may be found from:

$$K_o K_D = \frac{33.6\, f_o}{V_c}$$

f_o = VCO frequency in Hz

V_c = total supply voltage to circuit

Loop gain may be reduced by connecting a resistor between pins 6 and 7; this reduces the load impedance on the output amplifier and hence the loop gain.

HOLD IN RANGE: the range of frequencies that the loop will remain in lock after initially being locked.

$$f_H = \pm \frac{8\, f_o}{V_c}$$

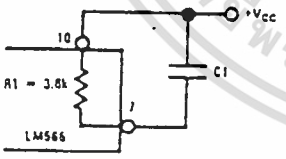
f_o = free running frequency of VCO

V_c = total supply voltage to the circuit

THE LOOP FILTER

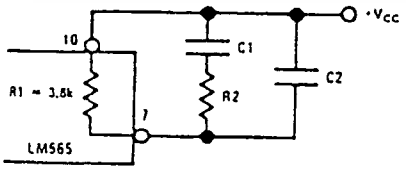
In almost all applications, it will be desirable to filter the signal at the output of the phase detector (pin 7); this filter may take one of two forms:

Simple Lag Filter



TL/H/7853–11

Lag-Lead Filter



TL/H/7853–12

A simple lag filter may be used for wide closed loop bandwidth applications such as modulation following where the frequency deviation of the carrier is fairly high (greater than 10%), or where wideband modulating signals must be followed.

The natural bandwidth of the closed loop response may be found from:

$$f_n = \frac{1}{2\pi} \sqrt{\frac{K_o K_D}{R_1 C_1}}$$

Associated with this is a damping factor:

$$\delta = \frac{1}{2} \sqrt{\frac{1}{R_1 C_1 K_o K_D}}$$

For narrow band applications where a narrow noise bandwidth is desired, such as applications involving tracking a slowly varying carrier, a lead lag filter should be used. In general, if $1/R_1C_1 < K_o K_D$, the damping factor for the loop becomes quite small resulting in large overshoot and possible instability in the transient response of the loop. In this case, the natural frequency of the loop may be found from

$$f_n = \frac{1}{2\pi} \sqrt{\frac{K_o K_D}{\tau_1 + \tau_2}}$$

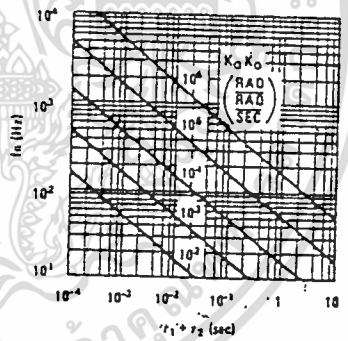
$$\tau_1 + \tau_2 = (R_1 + R_2)\, C_1$$

R_2 is selected to produce a desired damping factor δ, usually between 0.5 and 1.0. The damping factor is found from the approximation:

$$\delta = \pi \tau_2 f_n$$

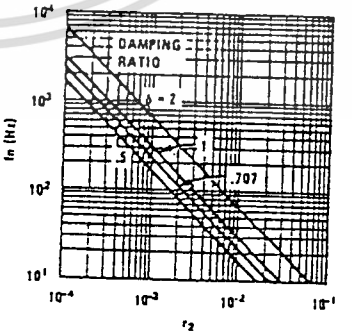
These two equations are plotted for convenience.

Filter Time Constant vs Natural Frequency



TL/H/7853–13

Damping Time Constant vs Natural Frequency



TL/H/7853–14

Capacitor C_2 should be much smaller than C_1 since its function is to provide filtering of carrier. In general $C_2 \leq 0.1\, C_1$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1495L
MC1595L

WIDEBAND MONOLITHIC FOUR-QUADRANT MULTIPLIER

. . designed for uses where the output is a linear product of two input voltages. Maximum versatility is assured by allowing the user to select the level shift method. Typical applications include: multiply, divide*, square root*, mean square*, phase detector, frequency doubler, balanced modulator/demodulator, electronic gain control.

*When used with an operational amplifier.

- Wide Bandwidth
- Excellent Linearity – 1% max Error on X-Input, 2% max Error on Y-Input – MC1595L
- Excellent Linearity – 2% max Error on X-Input, 4% max Error on Y-Input – MC1495L
- Adjustable Scale Factor, K
- Excellent Temperature Stability
- Wide Input Voltage Range – ± 10 Volts
- ± 15 Volt Operation

LINEAR FOUR-QUADRANT MULTIPLIER

SILICON MONOLITHIC INTEGRATED CIRCUIT

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

L SUFFIX
CERAMIC PACKAGE
CASE 632

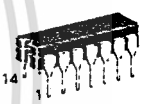


FIGURE 1 – FOUR-QUADRANT MULTIPLIER TRANSFER CHARACTERISTIC

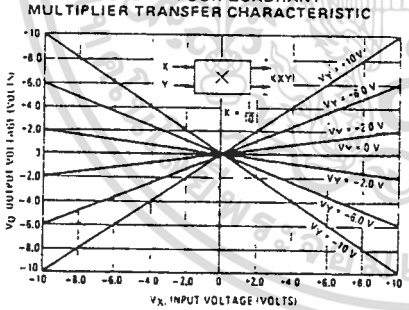


FIGURE 2 – TRANSCONDUCTANCE BANDWIDTH

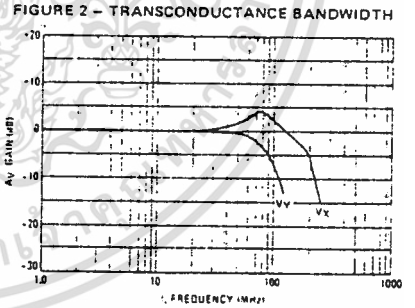
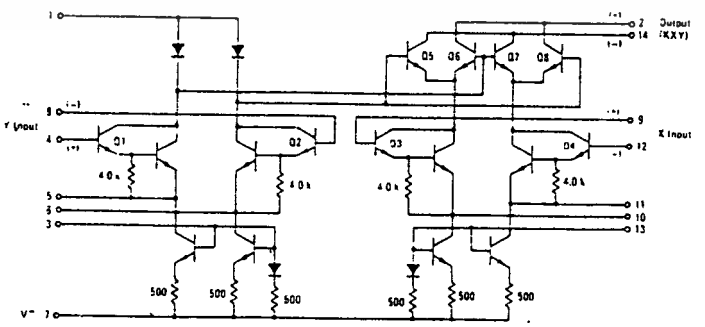


FIGURE 3 – CIRCUIT SCHEMATIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS ($V^+ = +32$ V, $V^- = -15$ V, $T_A = +25°C$, $I_3 = I_{13} = 1.0$ mA, $R_X = R_Y = 15$ kΩ, $R_L = 11$ kΩ unless otherwise noted)

Characteristic		Figure	Symbol	Min	Typ	Max	Unit
Linearity:		5					%
Output Error in Percent of Full Scale:							
$T_A = -25°C$							
$-10 < V_X < -10$ ($V_Y = \pm 10$ V)	MC1495		E_{RX}	—	±1.0	±2.0	
	MC1595			—	±0.5	±1.0	
$-10 < V_Y < +10$ ($V_X = \pm 10$ V)	MC1495		E_{RY}	—	±2.0	±4.0	
	MC1595			—	±1.0	±2.0	
$T_A = 0$ to $+70°C$	MC1495						
$-10 < V_X < -10$ ($V_Y = \pm 10$ V)			E_{RX}	—	±1.5	—	
$-10 < V_Y < -10$ ($V_X = -10$ V)			E_{RY}	—	±3.0	—	
$T_A = -55°C$ to $+125°C$	MC1595						
$-10 < V_X < -10$ ($V_Y = \pm 10$ V)			E_{RX}	—	±0.75	—	
$-10 < V_Y < +10$ ($V_X = \pm 10$ V)			E_{RY}	—	±1.5	—	
Squaring Mode Error:		5	E_{SQ}				%
Accuracy in Percent of Full Scale After Offset and Scale Factor Adjustment							
$T_A = +25°C$	MC1495			—	±0.75	—	
	MC1595			—	±0.5	—	
$T_A = 0$ to $-70°C$	MC1495			—	±1.0	—	
$T_A = -55°C$ to $+125°C$	MC1595			—	±0.75	—	
Scale Factor (Adjustable) $(K = \frac{2R_L}{I_3 R_X R_Y})$		—	K	—	0.1	—	
Input Resistance ($f = 20$ Hz)	MC1495	7	R_{INX}	—	30	—	MΩ
	MC1595			—	35	—	
	MC1495		R_{INY}	—	20	—	
	MC1595			—	35	—	
Differential Output Resistance ($f = 20$ Hz)		8	R_O	—	300	—	kΩ
Input Bias Current $I_{bx} = \frac{(I_9 + I_{12})}{2}$, $I_{by} = \frac{(I_4 + I_8)}{2}$		6					μA
	MC1495		I_{bx}	—	2.0	12	
	MC1595			—	2.0	8.0	
	MC1495		I_{by}	—	2.0	12	
	MC1595			—	2.0	8.0	
Input Offset Current		6					μA
$I_9 - I_{12}$	MC1495		I_{iox}	—	0.4	2.0	
	MC1595			—	0.2	1.0	
$I_4 - I_8$	MC1495		I_{ioy}	—	0.4	2.0	
	MC1595			—	0.2	1.0	
Average Temperature Coefficient of Input Offset Current		6	TC_{Iio}				nA/°C
($T_A = 0$ to $-70°C$)	MC1495			—	2.5	—	
($T_A = -55°C$ to $-125°C$)	MC1595			—	2.5	—	
Output Offset Current	MC1495	6	I_{oo}	—	20	200	μA
$I_{14} - I_2$	MC1595			—	10	50	
Average Temperature Coefficient of Output Offset Current		6	TC_{Ioo}				nA/°C
($T_A = 0$ to $-70°C$)	MC1495			—	20	—	
($T_A = -55°C$ to $+125°C$)	MC1595			—	20	—	
Frequency Response		9,10					
3.0 dB Bandwidth, $R_L = 11$ kΩ			BW_{3dB}	—	3.0	—	MHz
3.0 dB Bandwidth, $R_L = 50$ Ω (Transconductance Bandwidth)			$T_{BW3\,dB}$	—	80	—	MHz
3° Relative Phase Shift Between V_X and V_Y			f_ϕ	—	750	—	kHz
1% Absolute Error Due to Input-Output Phase Shift			f_ε	—	30	—	kHz
Common Mode Input Swing (Either Input)	MC1495	11	CMV	±10.5	±12	—	Vdc
	MC1595			±11.5	±13	—	
Common Mode Gain (Either Input)	MC1495	11	A_{CM}	−40	−50	—	dB
	MC1595			−50	−60	—	
Common Mode Quiescent Output Voltage		12	V_{o1}	—	21	—	Vdc
			V_{o2}	—	21	—	
Differential Output Voltage Swing Capability		9	V_O	—	±14	—	V_{peak}
Power Supply Sensitivity		12	S^-	—	5.0	—	mV/V
			S^-	—	10	—	
Power Supply Current		12	I_7	—	6.0	7.0	mA
DC Power Dissipation		12	P_D	—	135	170	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage (V_2-V_1, $V_{14}-V_1$, V_1-V_9, V_1-V_{12}, V_1-V_4, V_1-V_8, $V_{12}-V_7$, V_9-V_7, V_8-V_7, V_4-V_7)	ΔV	30	Vdc
Differential Input Signal	$V_{12}-V_9$ V_4-V_8	±(6+$I_{13}R_X$) ±(6+$I_{13}R_Y$)	Vdc Vdc
Maximum Bias Current	I_3 I_{13}	10 10	mA
Power Dissipation (Package Limitation) Ceramic Package Derate above T_A = +25°C	P_D	750 5.0	mW mW/°C
Operating Temperature Range MC1495 MC1595	T_A	 0 to +70 -55 to +125	°C °C °C
Storage Temperature Range	T_{stg}	-65 to +150	°C

TEST CIRCUITS

FIGURE 4 – LINEARITY (USING NULL TECHNIQUE)

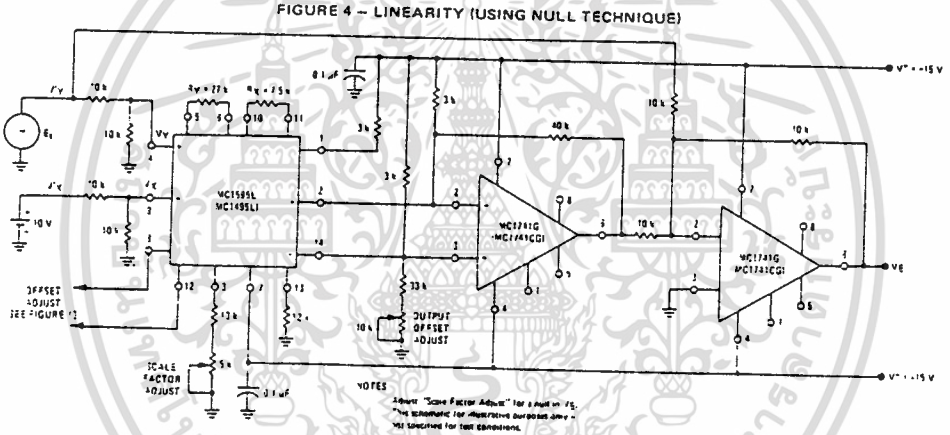
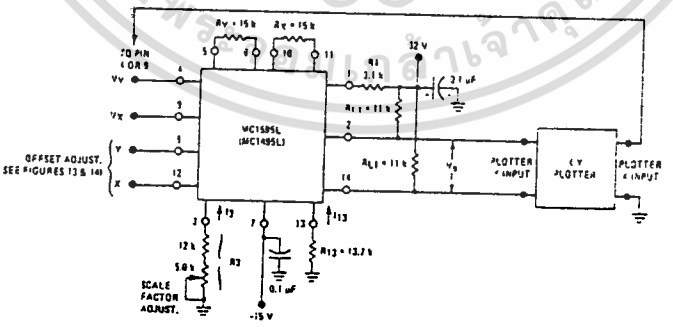


FIGURE 5 – LINEARITY (USING X-Y PLOTTER TECHNIQUE)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 6 – INPUT AND OUTPUT CURRENT

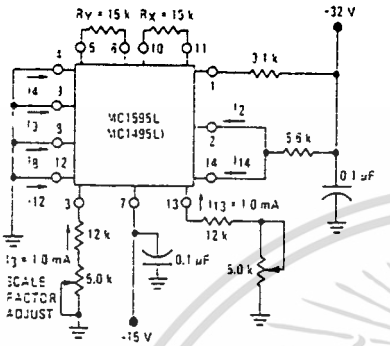


FIGURE 7 – INPUT RESISTANCE

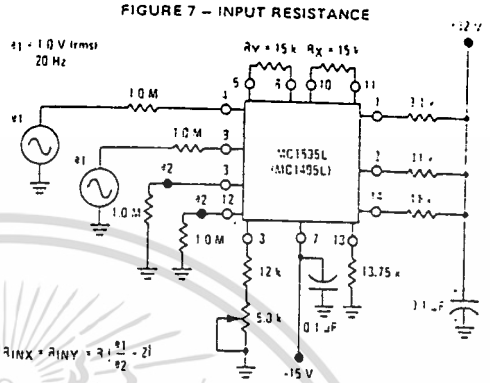


FIGURE 8 – OUTPUT RESISTANCE

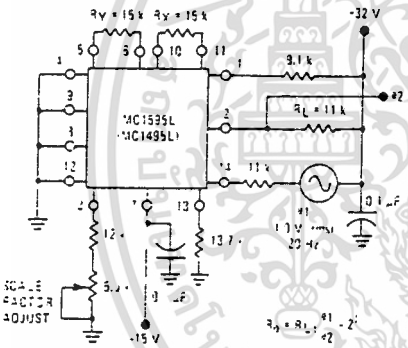


FIGURE 9 – BANDWIDTH (R_L = 11 kΩ)

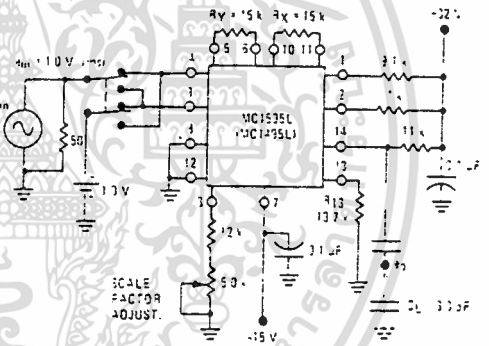


FIGURE 10 – BANDWIDTH (R_L = 50 Ω)

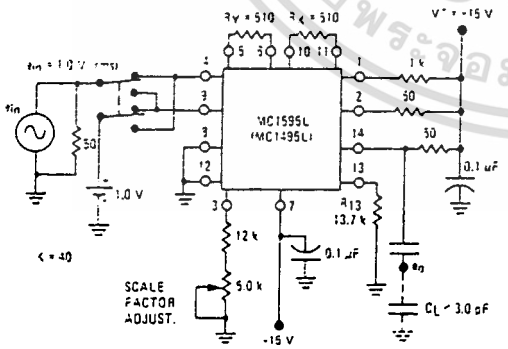
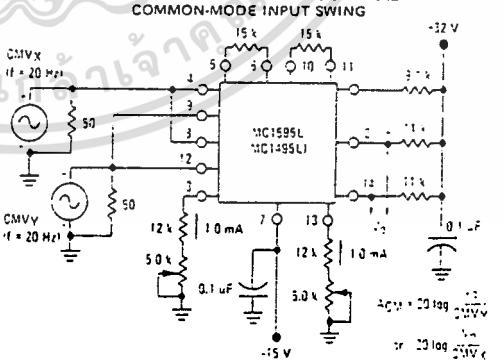


FIGURE 11 – COMMON-MODE GAIN and COMMON-MODE INPUT SWING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 12 – POWER SUPPLY SENSITIVITY

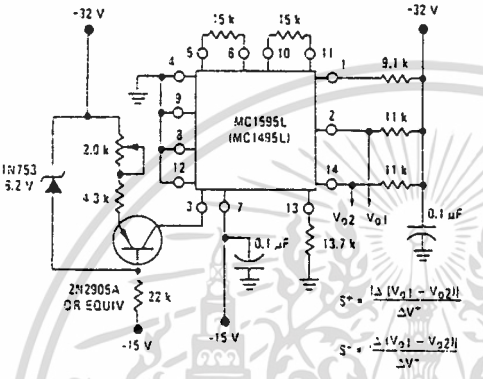


FIGURE 13 – OFFSET ADJUST CIRCUIT

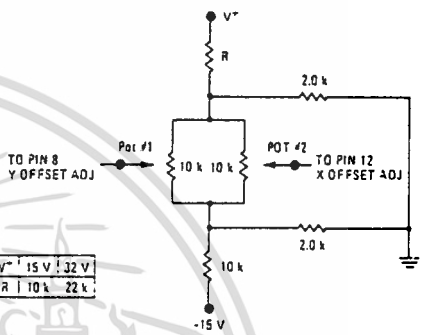
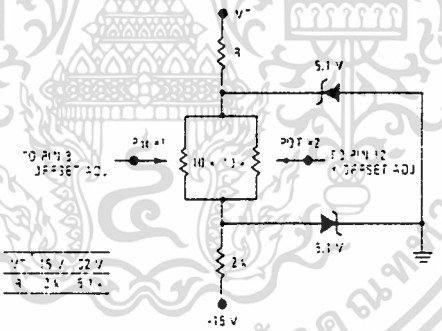


FIGURE 14 – OFFSET ADJUST CIRCUIT (ALTERNATE)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

FIGURE 15 – LINEARITY versus TEMPERATURE

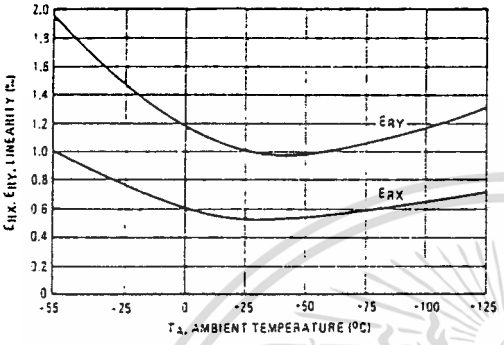


FIGURE 16 – SCALE FACTOR versus TEMPERATURE

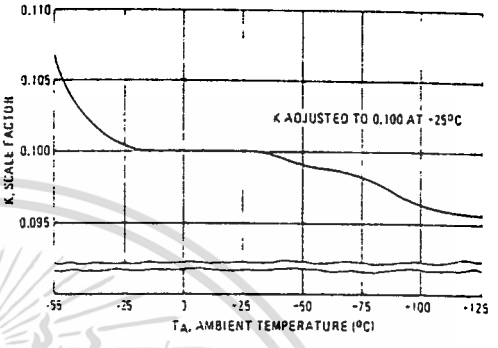


FIGURE 17 – ERROR CONTRIBUTED BY INPUT DIFFERENTIAL AMPLIFIER

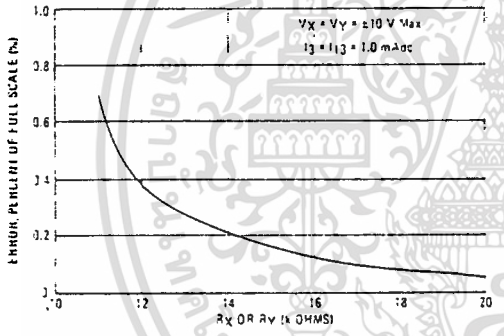


FIGURE 18 – ERROR CONTRIBUTED BY INPUT DIFFERENTIAL AMPLIFIER

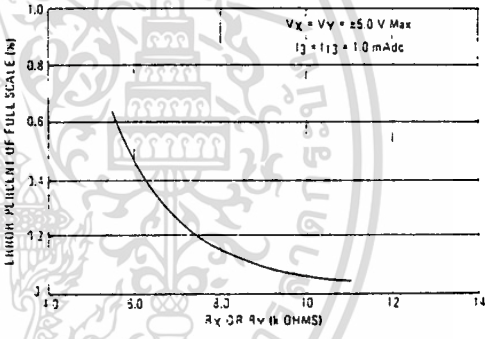
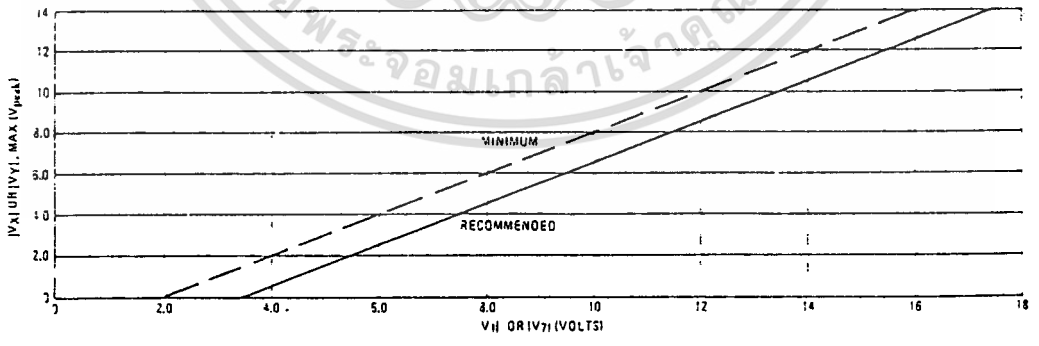


FIGURE 19 – MAXIMUM ALLOWABLE INPUT VOLTAGE versus VOLTAGE AT PIN 1 OR PIN 7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION

THEORY OF OPERATION

The MC1595 (MC1495) is a monolithic, four-quadrant multiplier which operates on the principle of variable transconductance. The detailed theory of operation is covered in Application Note AN-489, Analysis and Basic Operation of the MC1595. The result of this analysis is that the differential output current of the multiplier is given by

$$I_A - I_B = \Delta I = \frac{2V_X V_Y}{R_X R_Y I_3}$$

where I_A and I_B are the currents into pins 14 and 2, respectively, and V_X and V_Y are the X and Y input voltages at the multiplier input terminals.

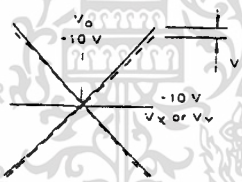
DESIGN CONSIDERATIONS

General

The MC1595 (MC1495) permits the designer to tailor the multiplier to a specific application by proper selection of external components. External components may be selected to optimize a given parameter (e.g. bandwidth) which may in turn restrict another parameter (e.g. maximum output voltage swing). Each important parameter is discussed in detail in the following paragraphs.

Linearity, Output Error, E_{RX} or E_{RY}

Linearity error is defined as the maximum deviation of output voltage from a straight line transfer function. It is expressed as error in percent of full scale (see figure below).



For example, if the maximum deviation, $V_{E(max)}$, is ±100 mV and the full scale output is 10 volts, then the percentage error is

$$E_R = \frac{V_{E(max)}}{V_{O(max)}} \times 100 = \frac{100 \times 10^{-3}}{10} \times 100 = \pm 1.0\%.$$

Linearity error may be measured by either of the following methods:

1. Using an X – Y plotter with the circuit shown in Figure 5, obtain plots for X and Y similar to the one shown above.
2. Use the circuit of Figure 4. This method nulls the level shifted output of the multiplier with the original input. The peak output of the null operational amplifier will be equal to the error voltage, $V_{E(max)}$.

One source of linearity error can arise from large signal nonlinearity in the X and Y-input differential amplifiers. To avoid introducing error from this source, the emitter degeneration resistors R_X and R_Y must be chosen large enough so that nonlinear base-emitter voltage variation can be ignored. Figures 17 and 18 show the error expected from this source as a function of the values of R_X and R_Y with an operating current of 1.0 mA in each side of the differential amplifiers (i.e., $I_3 = I_{13} = 1.0$ mA).

3 dB Bandwidth and Phase Shift

Bandwidth is primarily determined by the load resistors and the stray multiplier output capacitance and/or the operational amplifier used to level shift the output. If wideband operation is desired, low value load resistors and/or a wideband operational amplifier should be used. Stray output capacitance will depend to a large extent on circuit layout.

Phase shift in the multiplier circuit results from two sources: phase shift common to both X and Y channels (due to the load resistor-output capacitance pole mentioned above) and relative phase shift between X and Y channels (due to differences in transadmittance in the X and Y channels). If the input to output phase shift is only 0.6°, the output product of two sine waves will exhibit a vector error of 1%. A 3° relative phase shift between V_X and V_Y results in a vector error of 5%.

Maximum Input Voltage

$V_{X(max)}$, $V_{Y(max)}$ maximum input voltages must be such that:

$$V_{X(max)} < I_{13} R_Y$$

$$V_{Y(max)} < I_3 R_Y.$$

Exceeding this value will drive one side of the input amplifier to "cutoff" and cause non-linear operation.

Currents I_3 and I_{13} are chosen at a convenient value (observing power dissipation limitation) between 0.5 mA and 2.0 mA, approximately 1.0 mA. Then R_X and R_Y can be determined by considering the input signal handling requirements.

For $V_{X(max)} = V_{Y(max)} = 10$ volts:

$$R_X = R_Y \geq \frac{10\ V}{1.0\ mA} = 10\ k\Omega.$$

The equation $I_A - I_B = \frac{2V_X V_Y}{R_X R_Y I_3}$

is derived from $I_A - I_B = \frac{2V_X V_Y}{\left(R_X + \frac{2kT}{qI_{13}}\right)\left(R_Y + \frac{2kT}{qI_3}\right) I_3}$

with the assumption $R_X \gg \frac{2kT}{qI_{13}}$ and $R_Y \gg \frac{2kT}{qI_3}$.

At $T_A = +25°C$ and $I_{13} = I_3 = 1$ mA,

$$\frac{2kT}{qI_{13}} = \frac{2kT}{qI_3} = 52\ \Omega.$$

Therefore, with $R_X = R_Y = 10$ kΩ the above assumption is valid. Reference to Figure 19 will indicate limitations of $V_{X(max)}$ or $V_{Y(max)}$ due to V_1 and V_7. Exceeding these limits will cause saturation or "cutoff" of the input transistors. See Step 4 of Section 3 (General Design Procedure) for further details.

Maximum Output Voltage Swing

The maximum output voltage swing is dependent upon the factors mentioned below and upon the particular circuit being considered.

For Figure 20 the maximum output swing is dependent upon V^- for positive swing and upon the voltage at pin 1 for negative swing. The potential at pin 1 determines the quiescent level for transistors Q_5, Q_6, Q_7, and Q_8. This potential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

should be related so that negative swing at pins 2 or 14 does not saturate those transistors. See Section 3 for further information regarding selection of these potentials.

If an operational amplifier is used for level shift, as shown in Figure 21, the output swing (of the multiplier) is greatly reduced. See Section 3 for further details.

GENERAL DESIGN PROCEDURE

Selection of component values is best demonstrated by the following example: assume resistive dividers are used at the X and Y inputs to limit the maximum multiplier input to ±5.0 volts ($V_X = V_{Y(max)}$ for a ±10-volt input ($V_{X'} = V_{Y'(max)}$). (See Figure 21). If an overall scale factor of 1/10 is desired, then

$$V_O = \frac{V_{X'} V_{Y'}}{10} = \frac{(2V_X)(2V_Y)}{10} = 4/10\, V_X V_Y .$$

Therefore, K = 4/10 for the multiplier (excluding the divider network).

Step 1. The first step is to select current I_3 and current I_{13}. There are no restrictions on the selection of either of these currents except the power dissipation of the device. I_3 and I_{13} will normally be one or two milliamperes. Further, I_3 does not have to be equal to I_{13}, and there is normally no need to make them different. For this example, let

$$I_3 = I_{13} = 1\ mA.$$

To set currents I_3 and I_{13} to the desired value, it is only necessary to connect a resistor between pin 13 and ground, and between pin 3 and ground. From the schematic shown in Figure 3,

FIGURE 20 – BASIC MULTIPLIER

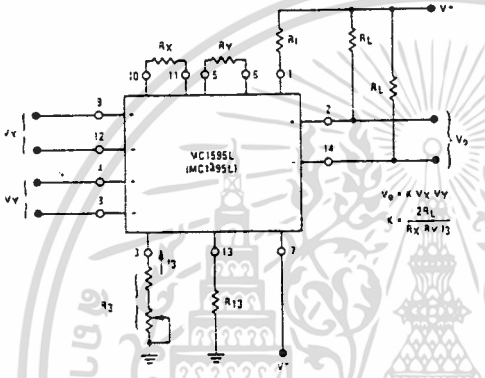
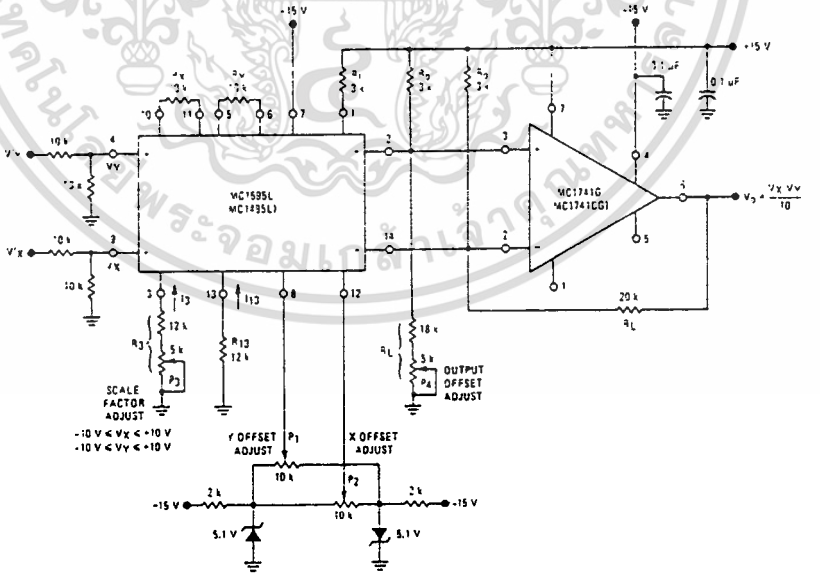


FIGURE 21 – MULTIPLIER WITH OP-AMP. LEVEL SHIFT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

it can be seen that the resistor values necessary are given by:

$$R_{13} + 500\ \Omega = \frac{|V^-| - 0.7\ V}{I_{13}}$$

$$R_3 + 500\ \Omega = \frac{|V^-| - 0.7\ V}{I_3}$$

Let $V^- = -15$ V

Then $R_{13} + 500 = \frac{14.3\ V}{1\ mA}$ or $R_{13} = 13.8\ k\Omega$

Let $R_{13} = 12\ k\Omega$

Similarly, $R_3 = 13.8\ k\Omega$

Let $R_3 = 15\ k\Omega$

However, for applications which require an accurate scale factor, the adjustment of R_3 and consequently, I_3, offers a convenient method of making a final trim of the scale factor. For this reason, as shown in Figure 21, resistor R_3 is shown as a fixed resistor in series with a potentiometer.

For applications not requiring an exact scale factor (balanced modulator, frequency doubler, AGC amplifier, etc.), pins 3 and 13 can be connected together and a single resistor from pin 3 to ground can be used. In this case, the single resistor would have a value of one-half the above calculated value for R_{13}.

Step 2. The next step is to select R_X and R_Y. To insure that the input transistors will always be active, the following conditions should be met:

$$\frac{V_X}{R_X} < I_{13} \qquad \frac{V_Y}{R_Y} < I_3.$$

A good rule of thumb is to make $I_3 R_Y \geq 1.5\ V_{Y(max)}$ and $I_{13} R_X \geq 1.5\ V_{X(max)}$.

The larger the $I_3 R_Y$ and $I_{13} R_X$ product in relation to V_Y and V_X respectively, the more accurate the multiplier will be (see Figures 17 and 18).

Let $R_X = R_Y = 10\ k\Omega$

Then $I_3 R_Y = 10$ V

$I_{13} R_X = 10$ V

since $V_{X(max)} = V_{Y(max)} = 5.0$ volts the value of $R_X = R_Y = 10\ k\Omega$ is sufficient.

Step 3. Now that R_X, R_Y and I_3 have been chosen, R_L can be determined:

$$K = \frac{2R_L}{R_X R_Y I_3} = \frac{4}{10}$$

$$\text{or} \quad \frac{(2)\ (R_L)}{(10\ k)\ (10\ k)\ (1\ mA)} = \frac{4}{10}$$

Thus $R_L = 20\ k\Omega$.

Step 4. To determine what power-supply voltage is necessary for this application, attention must be given to the circuit schematic shown in Figure 3. From the circuit schematic it can be seen that in order to maintain transistors Q_1, Q_2, Q_3 and Q_4 in an active region when the maximum input voltages are applied ($V_{X'} + V_{Y'}$ = 10 V or V_X = 5.0 V, V_Y = 5.0 V), their respective collector voltage should be at least a few tenths of a volt higher than the maximum input voltage. It should also be noticed that the collector voltage of transistors Q_3 and Q_4 are at a potential which is two diode-drops below the voltage at pin 1. Thus, the voltage at pin 1 should be about two volts higher than the maximum input voltage. Therefore, to handle +5.0 volts at the inputs, the voltage at pin 1 must be at least +7.0 volts. Let V_1 = 9.0 Vdc.

Since the current following into pin 1 is always equal to $2I_3$, the voltage at pin 1 can be set by placing a resistor, R_1 from pin 1 to the positive supply:

$$R_1 = \frac{V^+ - V_1}{2I_3}$$

Let $V^+ = +15$ V

Then $R_1 = \frac{15\ V - 9\ V}{(2)\ (1\ mA)}$

$R_1 = 3\ k\Omega$.

Note that the voltage at the base of transistors Q_5, Q_6, Q_7 and Q_8 is one diode-drop below the voltage at pin 1. Thus, in order that these transistors stay active, the voltage at pins 2 and 14 should be approximately halfway between the voltage at pin 1 and the positive-supply voltage. For this example, the voltage at pins 2 and 14 should be approximately 11 volts.

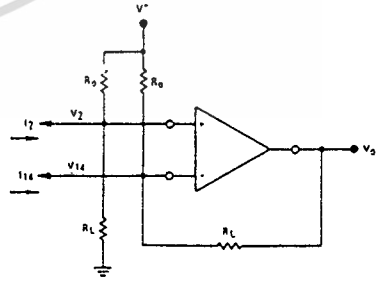
Step 5. For dc applications, such as the multiply, divide and square-root functions, it is usually desirable to convert the differential output to a single-ended output voltage referenced to ground. The circuit shown in Figure 22 performs this function. It can be shown that the output voltage of this circuit is given by:

$$V_o = (I_2 - I_{14})\ R_L$$

And since $I_A - I_B = I_2 - I_{14} = \frac{2I_X I_Y}{I_3} = \frac{2\ V_X V_Y}{I_3 R_X R_Y}$

Then $V_o = \frac{2R_L V_X{}' V_Y{}'}{4R_X R_Y I_3}$ where $V_X{}' V_Y{}'$ is the voltage at the input to the voltage dividers.

FIGURE 22 – LEVEL SHIFT CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

The choice of an operational amplifier for this application should have low bias currents, low offset current, and a high common-mode input voltage range as well as a high common-mode rejection ratio. The MC1556, and MC1741 operational amplifiers meet these requirements.

Referring to Figure 21, the level shift components will be determined. When $V_X = V_Y = 0$, the currents I_2 and I_{14} will be equal to I_{13}. In Step 3, R_L was found to be 20 kΩ and in Step 4, V_2 and V_{14} were found to be approximately 11 volts. From this information, R_O can be found easily from the following equation (neglecting the operational amplifiers bias current):

$$\frac{V_2}{R_L} + I_{13} = \frac{V^+ - V_2}{R_O}$$

And for this example, $\frac{11\ V}{20\ k\Omega} + 1\ mA = \frac{15\ V - 11\ V}{R_O}$

Solving for R_O, $R_O = 2.6\ k\Omega$

Thus, select $R_O = 3.0\ k\Omega$

For $R_O = 3.0\ k\Omega$, the voltage at pins 2 and 14 is calculated to be

$$V_2 = V_{14} = 10.4\ volts.$$

The linearity of this circuit (Figure 21) is likely to be as good or better than the circuit of Figure 5. Further improvements are possible as shown in Figure 23 where R_Y has been increased substantially to improve the Y linearity, and R_X decreased somewhat so as not to materially affect the X linearity, this avoids increasing R_L significantly in order to maintain a K of 0.1.

The versatility of the MC1595 (MC1495) allows the user to optimize its performance for various input and output signal levels.

OFFSET AND SCALE FACTOR ADJUSTMENT

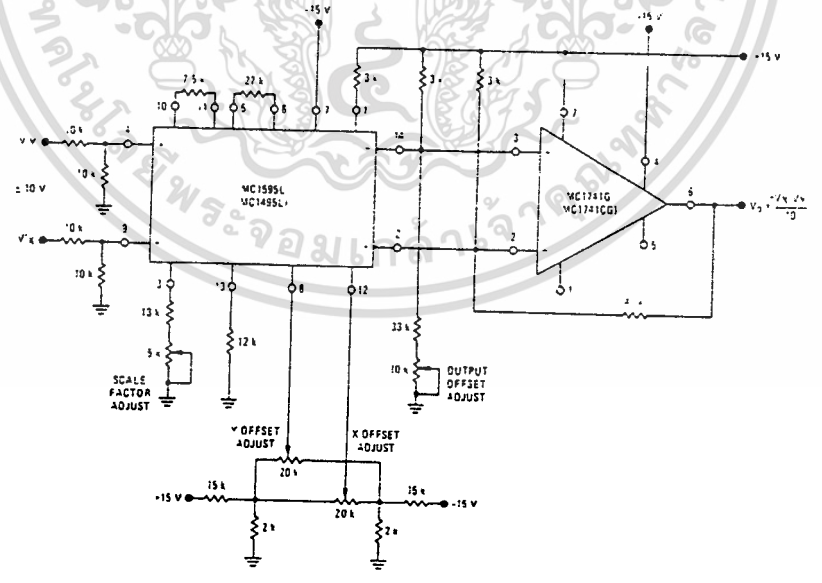
Offset Voltages

Within the monolithic multiplier (Figure 3) transistor base-emitter junctions are typically matched within 1 mV and resistors are typically matched within 2%. Even with this careful matching, an output error can occur. This output error is comprised of X-input offset voltage, Y-input offset voltage, and output offset voltage. These errors can be adjusted to zero with the techniques shown in Figure 21. Offset terms can be shown analytically by the transfer function:

$$V_O = K(V_X \pm V_{IOX} \pm V_{X\,off})(V_Y \pm V_{IOY} \pm V_{Y\,off}) \pm V_{OO} \quad (1)$$

Where K = scale factor
V_X = X input voltage
V_Y = Y input voltage
V_{IOX} = X input offset voltage
V_{IOY} = Y input offset voltage
$V_{X\,off}$ = X input offset adjust voltage
$V_{Y\,off}$ = Y input offset adjust voltage
V_{OO} = output offset voltage.

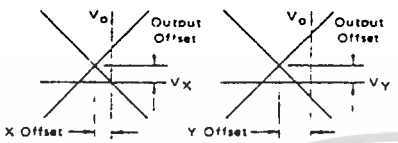
FIGURE 23 – MULTIPLIER WITH IMPROVED LINEARITY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

X, Y and Output Offset Voltages



For most dc applications, all three offset adjust potentiometers (P_1, P_2, P_4) will be necessary. One or more offset adjust potentiometers can be eliminated for ac applications (See Figures 28, 29, 30, 31).

If well regulated supply voltages are available, the offset adjust circuit of Figure 13 is recommended. Otherwise, the circuit of Figure 14 will greatly reduce the sensitivity to power supply changes.

Scale Factor

The scale factor, K, is set by P_3 (Figure 21). P_3 varies I_3 which inversely controls the scale factor K. It should be noted that current I_3 is one-half the current through R_1. R_1 sets the bias level for Q_5, Q_6, Q_7, and Q_8 (See Figure 3). Therefore, to be sure that these devices remain active under all conditions of input and output swing, care should be exercised in adjusting P_3 over wide voltage ranges (see Section 3, General Design Procedure).

Adjustment Procedures

The following adjustment procedure should be used to null the offsets and set the scale factor for the multiply mode of operation. (See Figure 21)

1. X Input Offset
   (a) Connect oscillator (1 kHz, 5 Vpp sinewave) to the "Y" input (pin 4)
   (b) Connect "X" input (pin 9) to ground
   (c) Adjust X offset potentiometer, P_2, for an ac null at the output
2. Y Input Offset
   (a) Connect oscillator (1 kHz, 5 Vpp sinewave) to the "X" input (pin 9)
   (b) Connect "Y" input (pin 4) to ground
   (c) Adjust "Y" offset potentiometer, P_1, for an ac null at the output
3. Output Offset
   (a) Connect both "X" and "Y" inputs to ground
   (b) Adjust output offset potentiometer, P_4, until the output voltage V_o is zero volts dc
4. Scale Factor
   (a) Apply +10 Vdc to both the "X" and "Y" inputs
   (b) Adjust P_3 to achieve + 10.00 V at the output.
5. Repeat steps 1 through 4 as necessary.

The ability to accurately adjust the MC1595 (MC1495) depends upon the characteristics of potentiometers P_1 through P_4. Multi-turn, infinite resolution potentiometers with low-temperature coefficients are recommended.

DC APPLICATIONS

Multiply

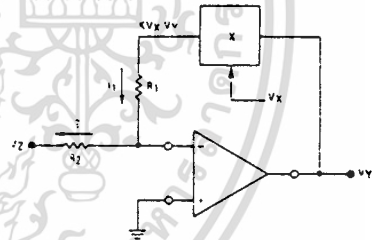
The circuit shown in Figure 21 may be used to multiply signals from dc to 100 kHz. Input levels to the actual multiplier are 5.0 V (max). With resistive voltage dividers the maximum could be very large — however, for this application two-to-one dividers have been used so that the maximum input level is 10 V. The maximum output level has also been designed for 10 V (max).

Squaring Circuit

If the two inputs are tied together, the resultant function is squaring; that is $V_o = KV^2$ where K is the scale factor. Note that all error terms can be eliminated with only three adjustment potentiometers, thus eliminating one of the input offset adjustments. Procedures for nulling with adjustments are given as follows:

1. AC Procedure:
   (a) Connect oscillator (1 kHz, 15 Vpp) to input
   (b) Monitor output at 2 kHz with tuned voltmeter and adjust P_3 for desired gain (be sure to peak response of the voltmeter)
   (c) Tune voltmeter to 1 kHz and adjust P_1 for a minimum output voltage
   (d) Ground input and adjust P_4 (output offset) for zero volts dc output
   (e) Repeat steps a through d as necessary.
2. DC Procedure:
   (a) Set $V_X = V_Y = 0$ V and adjust P_4 (output offset potentiometer) such that $V_o = 0.0$ Vdc
   (b) Set $V_X = V_Y = 1.0$ V and adjust P_1 (Y input offset potentiometer) such that the output voltage is +0.100 volts
   (c) Set $V_X = V_Y = 10$ Vdc and adjust P_3 such that the output voltage is +10.00 volts
   (d) Set $V_X = V_Y = -10$ Vdc. Repeat steps a through d as necessary

FIGURE 24 — BASIC DIVIDE CIRCUIT



Divide Circuit

Consider the circuit shown in Figure 24 in which the multiplier is placed in the feedback path of an operational amplifier. For this configuration, the operational amplifier will maintain a "virtual ground" at the inverting (-) input. Assuming that the bias current of the operational amplifier is negligible, then $I_1 = I_2$ and

$$\frac{KV_XV_Y}{R1} = \frac{-V_Z}{R2} \quad (1)$$

Solving for V_Y,

$$V_Y = \frac{-R1}{R2}\,K\,\frac{V_Z}{V_X}. \quad (2)$$

If R1 = R2

$$V_Y = \frac{-V_Z}{KV_X} \quad (3)$$

If R1 = KR2

$$V_Y = \frac{-V_Z}{V_X}. \quad (4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

Hence, the output voltage is the ratio of V_Z to V_X and provides a divide function. This analysis is, of course, the ideal condition. If the multiplier error is taken into account, the output voltage is found to be

$$V_Y = -\left[\frac{R1}{R2\,K}\right]\frac{V_Z}{V_X} + \frac{E}{KV_X}, \quad (5)$$

where E is the error voltage at the output of the multiplier. From this equation, it is seen that divide accuracy is strongly dependent upon the accuracy at which the multiplier can be set, particularly at small values of V_Y. For example, assume that R1 = R2, and K = 1/10. For these conditions the output of the divide circuit is given by:

$$V_Y = \frac{-10\,V_Z}{V_X} + \frac{10\,E}{V_X}. \quad (6)$$

From equation 6, it is seen that only when V_X = 10 V is the error voltage of the divide circuit as low as the error of the multiply circuit. For example, when V_X is small, (0.1 volt) the error voltage of the divide circuit can be expected to be a hundred times the error of the basic multiplier circuit.

In terms of percentage error,

$$\text{percentage error} = \frac{\text{error}}{\text{actual}} \times 100\%$$

or from equation (5),

$$\%E_D = \frac{\frac{E}{KV_X}}{\left[\frac{R1}{R2\,K}\right]\frac{V_Z}{V_X}} = \left[\frac{R2}{R1}\right]\frac{E}{V_Z}. \quad (7)$$

From equation 7, the percentage error is inversely related to voltage V_Z (i.e., for increasing values of V_Z, the percentage error decreases).

A circuit that performs the divide function is shown in Figure 25.

Two things should be emphasized concerning Figure 25:

1. The input voltage (V'_X) must be greater than zero and must be positive. This insures that the current out of pin 2 of the multiplier will always be in a direction compatible with the polarity of V_Z.
2. Pins 2 and 14 of the multiplier have been interchanged in respect to the operational amplifiers input terminals. In this instance, Figure 25 differs from the circuit connection shown in Figure 21; necessitated to insure negative feedback around the loop.

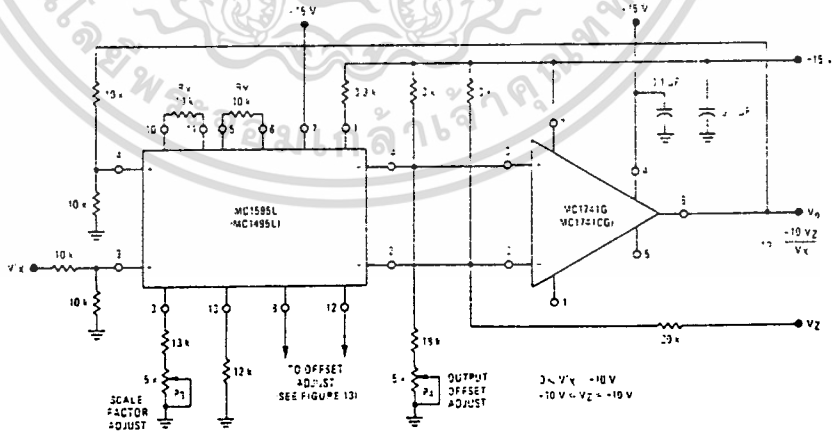
A Suggested Adjustment Procedure for the Divide Circuit

1. Set V_Z = 0 volts and adjust the output offset potentiometer (P_3) until the output voltage (V_O) remains at some (not necessarily zero) constant value as V_X' is varied between +1.0 volt and +10 volts.
2. Keep V_Z at 0 volts, set V_X at +10 volts and adjust the Y input offset potentiometer (P_1) until V_O = 0 volts.
3. Let $V_X' = V_Z$ and adjust the X input offset potentiometer (P_2) until the output voltage remains at some (not necessarily - 10 volts) constant value as $V_Z = V_X'$ is varied between +1.0 and +10 volts.
4. Keep $V_X' = V_Z$ and adjust the scale factor potentiometer (P_3) until the average value of V_O is - 10 volts as $V_Z = V_X'$ is varied between +1.0 volt and +10 volts.
5. Repeat steps 1 through 4 as necessary to achieve optimum performance.

Square Root

A special case of the divide circuit in which the two inputs to the multiplier are connected together is the square root function.

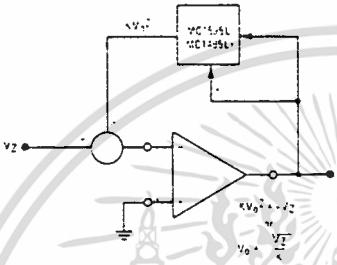
FIGURE 25 – DIVIDE CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

FIGURE 26 – BASIC SQUARE ROOT CIRCUIT



as indicated in Figure 26. This circuit may suffer from latch-up problems similar to those of the divide circuit. Note that only one polarity of input is allowed and diode clamping (see Figure 27) protects against accidental latch-up.

This circuit also may be adjusted in the closed-loop mode as follows:

1. Set V_Z to −0.01 volts and adjust P_4 (output offset) for V_O = −0.316 volts, being careful to approach the output from the positive side to preclude the effect of the output diode clamping.
2. Set V_Z to −0.9 volts and adjust P_2 (X adjust) for V_O = −3.0 volts.
3. Set V_Z to −10 volts and adjust P_3 (scale factor adjust) for V_O = +10 volts.
4. Steps 1 through 3 may be repeated as necessary to achieve desired accuracy.

AC APPLICATIONS

The applications that follow demonstrate the versatility of the monolithic multiplier. If a potted multiplier is used for these cases, the results generally would not be as good because the potted units have circuits that, although they optimize dc multiplication operation, can hinder ac applications.

Frequency doubling often is done with a diode where the fundamental plus a series of harmonics are generated. However, extensive filtering is required to obtain the desired harmonic, and the second harmonic obtained under this technique usually is small in magnitude and requires amplification.

When a multiplier is used to double frequency the second harmonic is obtained directly, except for a dc term, which can be removed with ac coupling.

$$e_o = KE^2 \cos^2 \omega t$$

$$e = \frac{KE^2}{2}(1 + \cos 2\omega t).$$

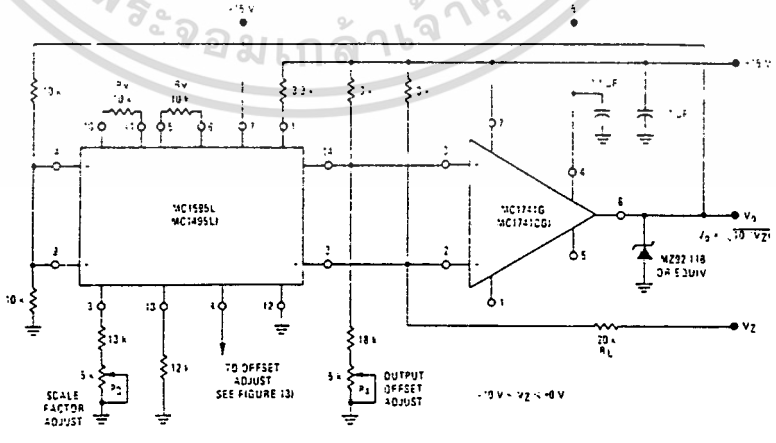
A potted multiplier can be used to obtain the double frequency component, but frequency would be limited by its internal level-shift amplifier. In the monolithic units, the amplifier is omitted.

In a typical doubler circuit, conventional ± 15-volt supplies are used. An input dynamic range of 5.0 volts peak-to-peak is allowed. The circuit generates wave-forms that are double frequency; less than 1% distortion is encountered without filtering. The configuration has been successfully used in excess of 200 kHz; reducing the scale factor by decreasing the load resistors can further expand the bandwidth.

A slightly modified version of the MC1595 (MC1495) – the MC1596 (MC1496) – has been successfully used as a doubler to obtain 400 MHz. See Figure 28.

Figure 29 represents an application for the monolithic multiplier as a balanced modulator. Here, the audio input signal is 1.6 kHz and the carrier is 40 kHz.

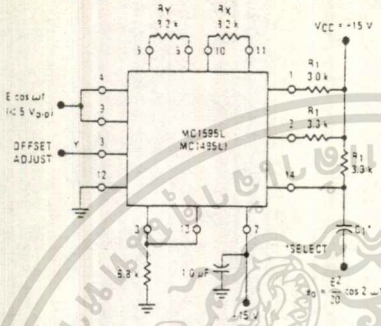
FIGURE 27 – SQUARE ROOT CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

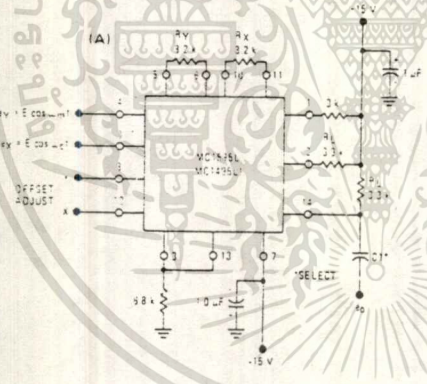
OPERATION AND APPLICATIONS INFORMATION (continued)

FIGURE 28 – FREQUENCY DOUBLER

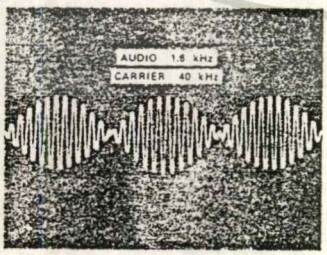


When two equal cosine waves are applied to X and Y the result is a wave shape of twice the input frequency. For this example the input was a 10 x Hz signal, output was 20 x Hz.

FIGURE 29 – BALANCED MODULATOR



(B)



The defining equation for balanced modulation is

$$e_o = K(E_m \cos \omega_m t)(E_c \cos \omega_c t) =$$

$$\frac{KE_cE_m}{2}[\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)t]$$

where ω_c is the carrier frequency, ω_m is the modulator frequency and K is the multiplier gain constant.

AC coupling at the output eliminates the need for level translation or an operational amplifier; a higher operating frequency results.

A problem common to communications is to extract the intelligence from single-sideband received signal. The ssb signal is of the form

$$e_{ssb} = A \cos(\omega_c + \omega_m)t$$

and if multiplied by the appropriate carrier waveform, $\cos \omega_c t$,

$$e_{ssb}e_{carrier} = \frac{AK}{2}[\cos(2\omega_c + \omega_m)t + \cos(\omega_c)t].$$

If the frequency of the band-limited carrier signal, ω_c, is ascertained in advance the designer can insert a low-pass filter and obtain the $(AK/2)\cos(\omega_c t)$ term with ease. He also can use an operational amplifier for a combination level shift-active filter, as an external component. But in potted multipliers, even if the frequency range can be covered, the operational amplifier is inside and not accessible, so the user must accept the level shifting provided, and still add a low-pass filter.

Amplitude Modulation

The multiplier performs amplitude modulation, similar to balanced modulation, when a dc term is added to the modulating signal with the Y offset adjust potentiometer. (See Figure 30.)

Here, the identity is

$$E_m(1 + m \cos \omega_m t)E_c \cos \omega_c t = KE_mE_c \cos \omega_c t +$$

$$\frac{KE_mE_cm}{2}[\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)t]$$

where m indicates the degree of modulation. Since m is adjustable, via potentiometer P_1, 100% modulation is possible. Without extensive tweaking, 96% modulation may be obtained where ω_c and ω_m are the same as in the balanced-modulator example.

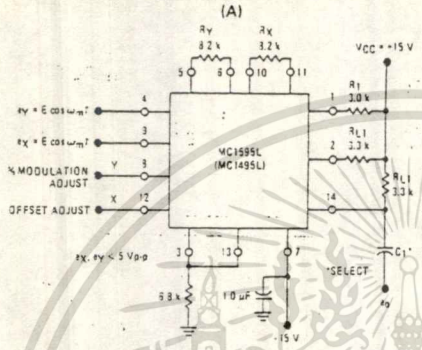
Linear Gain Control

To obtain linear gain control, the designer can feed to one of the two MC1595 (MC1495) inputs a signal that will vary the unit's gain. The following example demonstrates the feasibility of this application. Suppose a 200 kHz sine wave, 1.0 volt peak-to-peak, is the signal to which a gain control will be added. The dynamic range of the control voltage V_C is 0 to +1.0 volt. These must be ascertained and the proper values of R_X and R_Y can be selected for optimum performance. For the 200-kHz operating frequency, load resistors of 100 ohms were chosen to broaden the operating bandwidth of the multiplier, but gain was sacrificed. It may be made up with an amplifier operating at the appropriate frequency. (See Figure 31.)

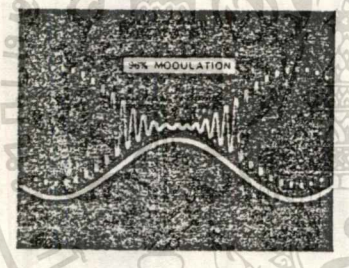
OPERATION AND APPLICATIONS INFORMATION (continued)

FIGURE 30 — AMPLITUDE MODULATION

(A)



(B)



The signal is applied to the unit's Y input. Since the total input range is limited to 1.0 volt p-p, a 2.0-volt swing, a current source of 2.0 mA and an R_Y value of 1.0 kilohm is chosen. This takes best advantage of the dynamic range and insures linear operation in the Y-channel.

Since the X input varies between 0 and +1.0 volt, the current source selected was 1.0 mA and the R_X value chosen was 2.0 kilohms. This also insures linear operation over the X input dynamic range.

Choosing $R_L = 100$ assures wide-bandwidth operation. Hence, the scale factor for this configuration is

$$K = \frac{R_L}{R_X R_Y I_3}$$

$$= \frac{100}{(2\text{ k})(1\text{ k})(2 \times 10^{+3})}\ V^{-1}$$

$$= \frac{1}{40}\ V^{-1}$$

The 2 in the numerator of the equation is missing in this scale-factor expression because the output is single-ended and ac coupled.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	-55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

MC1496
MC1596

Specifications and Applications Information

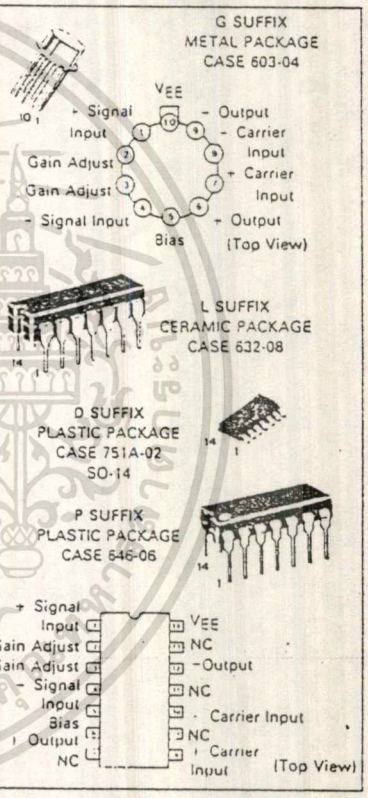
BALANCED MODULATOR/DEMODULATOR

SILICON MONOLITHIC
INTEGRATED CIRCUIT

BALANCED MODULATOR/ DEMODULATOR

. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression – 65 dB typ @ 0.5 MHz
  – 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection – 85 dB typ



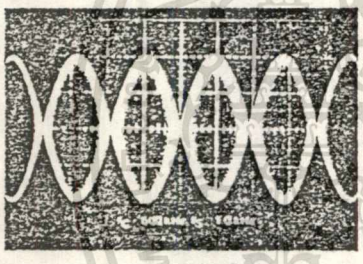


FIGURE 1 – SUPPRESSED CARRIER OUTPUT WAVEFORM

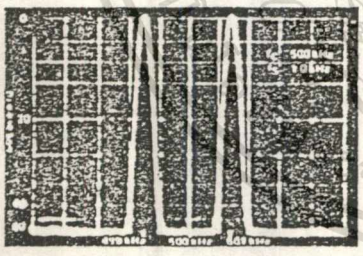


FIGURE 2 – SUPPRESSED CARRIER SPECTRUM

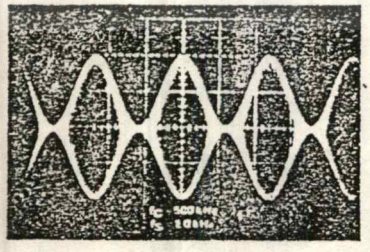
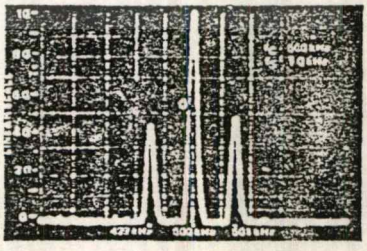


FIGURE 3 – AMPLITUDE MODULATION OUTPUT WAVEFORM

FIGURE 4 – AMPLITUDE MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage (V_5 - V_7, V_8 - V_1, V_8 - V_4, V_5 - V_8, V_7 - V_8, V_8 - V_7, V_4 - V_7, V_1 - V_8, V_4 - V_5, V_8 - V_2, V_5 - V_3, V_3 - V_5)	ΔV	30	Vdc
Differential Input Signal	$V_7 - V_8$ $V_4 - V_1$	±5.0 ±(5 + I_5R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 -55 to +125	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = -8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C unless otherwise noted) (All input and output characteristics are single-ended unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough	5	1	V_{CFT}							μV(rms)
V_C = 60 mV(rms) sine wave and offset adjusted to zero, f_C = 1.0 kHz				—	40	—	—	40	—	
f_C = 10 MHz				—	140	—	—	140	—	
V_C = 300 mVp-p square wave:										mV(rms)
offset adjusted to zero, f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	
offset not adjusted, f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression f_S = 10 kHz, 300 mV(rms)	5	2	V_{CS}							dB
f_C = 500 kHz, 60 mV(rms) sine wave				50	65	—	40	65	—	
f_C = 10 MHz, 60 mV(rms) sine wave				—	50	—	—	50	—	
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms) Carrier Input Port, V_C = 60 mV(rms) sine wave	8	3	BW_{3dB}	—	300	—	—	300	—	MHz
f_S = 1.0 kHz, 300 mV(rms) sine wave Signal Input Port, V_S = 300 mV(rms) sine wave										
V_{Cl} = 0.5 Vdc				—	80	—	—	90	—	
Signal Gain V_S = 100 mV(rms), f = 1.0 kHz; V_{Cl} = 0.5 Vdc	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance	6	—	r_{io}	—	200	—	—	200	—	kΩ
Parallel Input Capacitance			c_{io}	—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz Parallel Output Resistance	6	—	r_{oo}	—	40	—	—	40	—	kΩ
Parallel Output Capacitance			c_{oo}	—	5.0	—	—	5.0	—	pF
Input Bias Current $I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$	7	—	I_{bS} I_{bC}	— —	12 12	25 25	— —	12 12	30 30	μA
Input Offset Current $I_{ioS} = I_1 - I_4$; $I_{ioC} = I_7 - I_8$	7	—	$\lvert I_{ioS}\rvert$ $\lvert I_{ioC}\rvert$	— —	0.7 0.7	5.0 5.0	— —	0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current (T_A = -55°C to +125°C)	7	—	$\lvert TC_{Iio}\rvert$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_6 - I_9$)	7	—	$\lvert I_{oo}\rvert$	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = -55°C to +125°C)	7	—	$\lvert TC_{Ioo}\rvert$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, V_{Cl} = 0.5 Vdc	9	—	ACM	—	-85	—	—	-85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current I_5 = I_8 I_{10}	7	6	I_{CC} I_{EE}	— —	2.0 3.0	3.0 4.0	— —	2.0 3.0	4.0 5.0	mAdc
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION *

Note 1 – Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Note 2 – Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Note 3 and Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Note 3 – Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26\ mV}{I_5\ (mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5

$$V_S \le I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Note 4 – Common-Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen (see Note 6).

Note 5 – Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_9 = V_8$, $I_5 = I_6 = I_9$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{10}) + I_5 (V_5 - V_{10})$ where subscripts refer to pin numbers.

Note 6 – Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions. See Note 3 for R_e equation.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_9$$

$$I_9 << I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V^- - \phi}{I_5} - 500\ \Omega \quad \text{where: } R_5 \text{ is the resistor between pin 5 and ground; } \phi = 0.75\ V \text{ at } T_A = +25^\circ C$$

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Note 7 – Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table:

$$30\ Vdc \ge |(V_6, V_9) - (V_7, V_8)| \ge 2\ Vdc$$

$$30\ Vdc \ge |(V_7, V_8) - (V_1, V_4)| \ge 2.7\ Vdc$$

$$30\ Vdc \ge |(V_1, V_4) - (V_5)| \ge 2.7\ Vdc$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_9, \quad V_7 = V_8, \quad V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Note 8 – Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21C} = \left.\frac{i_o \text{ (each sideband)}}{v_s \text{ (signal)}}\right|_{V_C = 0}$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21S} = \left.\frac{i_o \text{ (signal)}}{v_s \text{ (signal)}}\right|_{V_C = 0.5\ Vdc,\ V_o = 0}$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note 9 – Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Note 10 – Output Signal, V_o

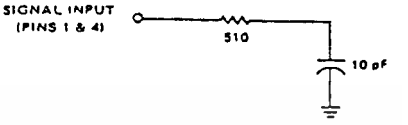
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Note 11 – Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Note 12 – Signal Port Stability

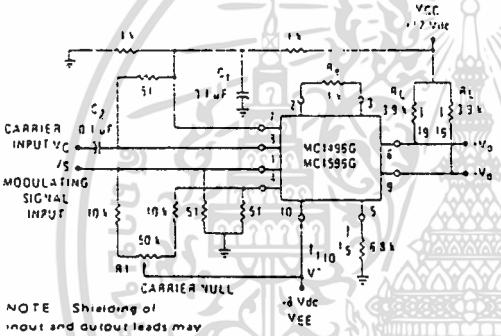
Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 k-ohm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION



NOTE Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 6 – INPUT-OUTPUT IMPEDANCE

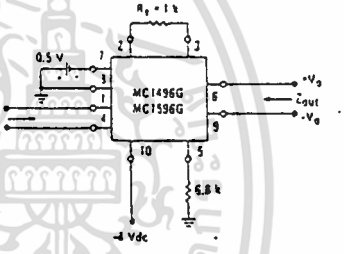


FIGURE 7 – BIAS AND OFFSET CURRENTS

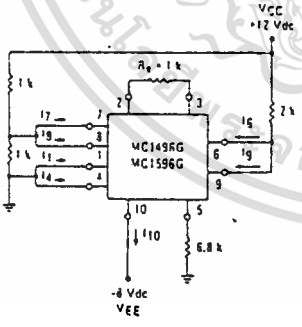
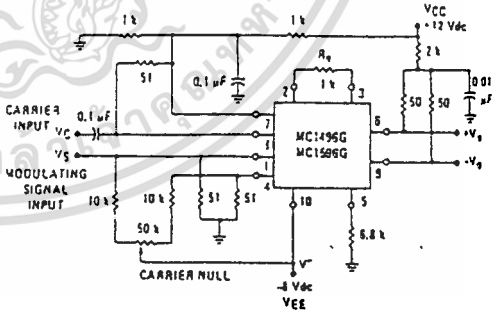


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH

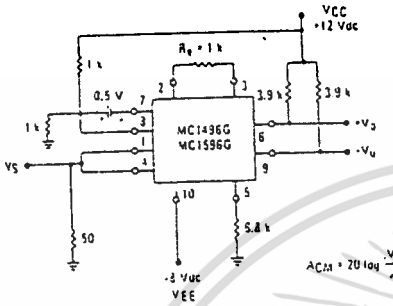


NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

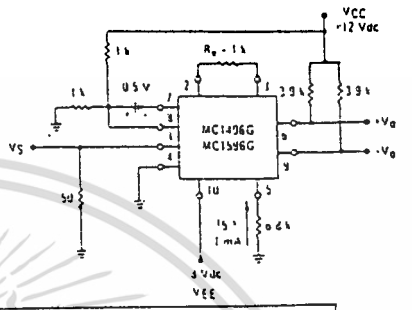
TEST CIRCUITS (continued)

FIGURE 9 – COMMON-MODE GAIN



$A_{CM} = 20 \log \frac{V_o}{V_S}$

FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

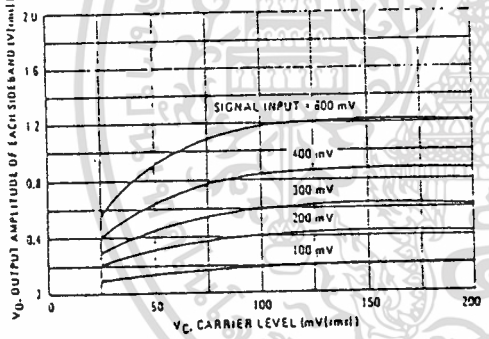


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

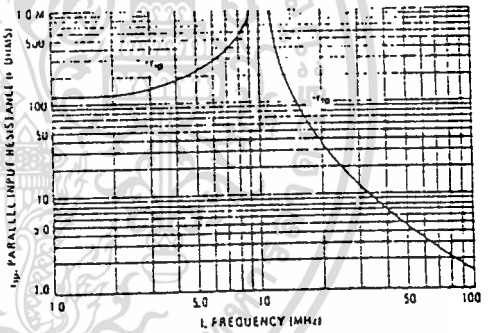


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

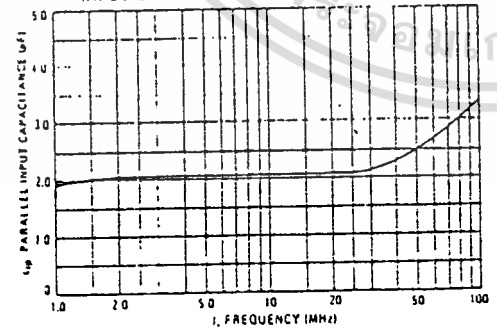
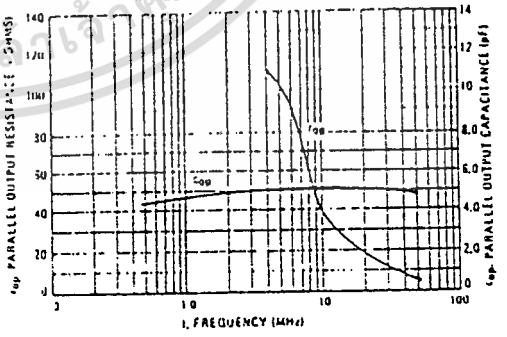


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

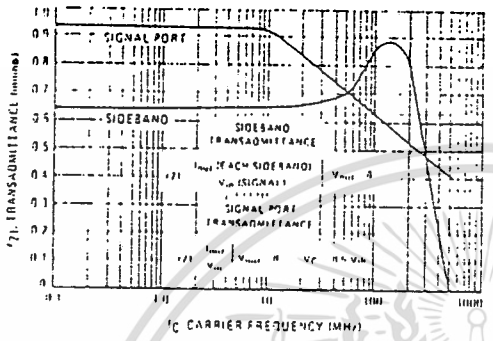


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

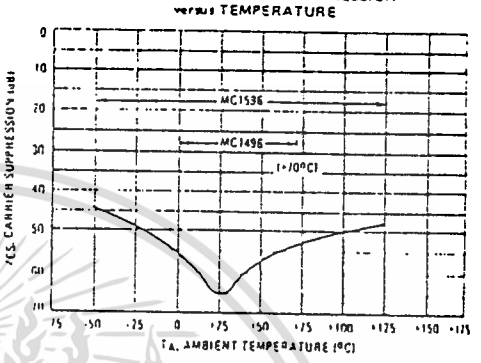


FIGURE 17 – SIGNAL PORT FREQUENCY RESPONSE

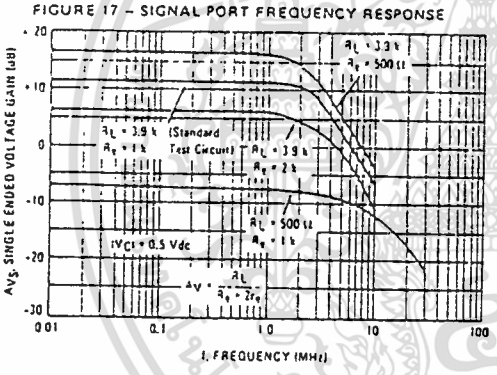


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

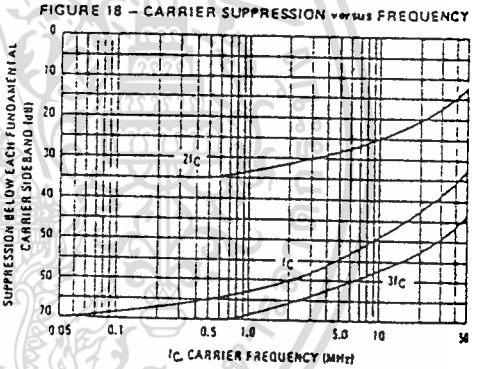


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

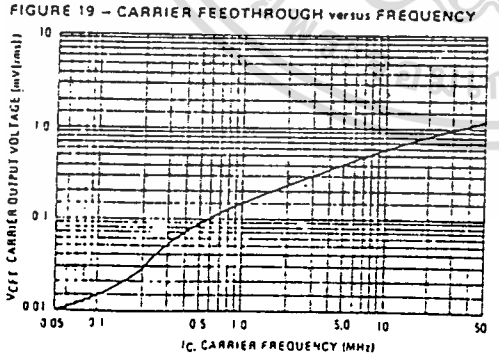
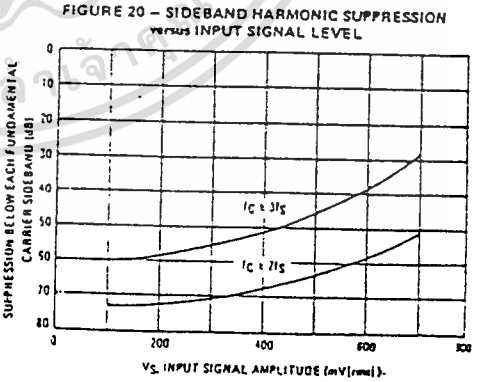


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

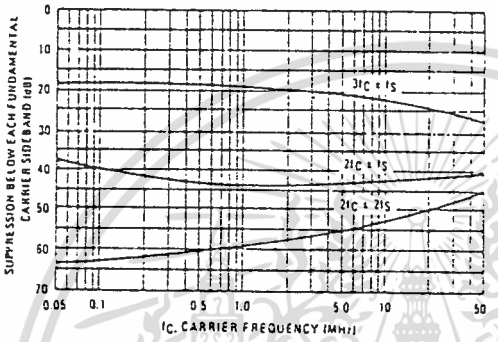
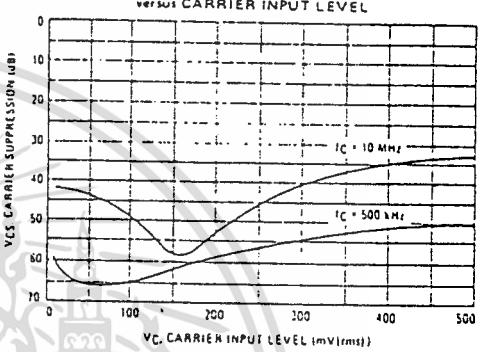


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

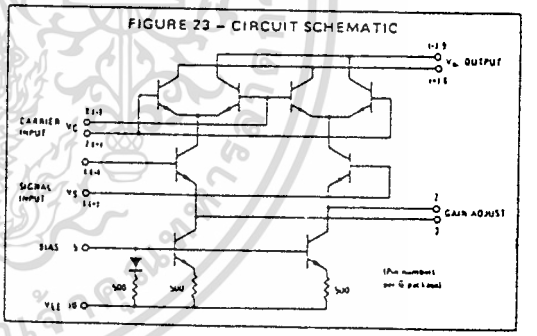
The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

FIGURE 23 – CIRCUIT SCHEMATIC



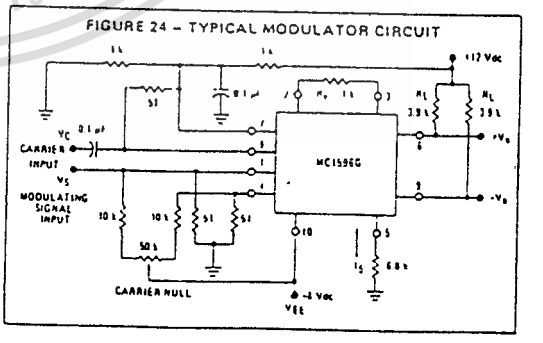
Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 24 – TYPICAL MODULATOR CIRCUIT



NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้