



เครื่องเรียกติดตามตัว

BEEP CALL



ปริญญานิพนธ์ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่นใด **034778**

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญาบัตร เครื่องเรียกติดตามตัว

BEEP CALL

ชื่อนักศึกษา นายเฉลิมพล ไชยถาวร

นายภาณุวัฒน์ วิเลิศ

นายวีรวงศ์ แซ่ฮ้อย

นายเทิดศักดิ์ มากธัญญา

อาจารย์ที่ปรึกษา อาจารย์ชลชัย สุขเจริญผล

ภาควิชา เทคโนโลยีอุตสาหกรรม

ปีการศึกษา 2537

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
อนุมัติให้รับปริญญาบัตรฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญาบัตร

..... ประธานกรรมการ

(.....)

..... กรรมการ

(.....)

..... กรรมการ

(.....)

..... กรรมการ

(.....)

..... กรรมการ

(.....)

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เครื่องเรียกติดตามตัว

โดย	นายเจสสิมพล ไชยถาวร	รหัส	36012049
	นายภาณุวัฒน์ วิเลิศ	รหัส	36012062
	นายวีรวงศ์ แซ่ฮ้อย	รหัส	36012069
	นายเทิดศักดิ์ มากอันญา	รหัส	36012009

อาจารย์ที่ปรึกษา อาจารย์คลชัย สุขเจริญผล  
ปีการศึกษา 2537

## บทคัดย่อ

วัตถุประสงค์ของปริญญาโทฉบับนี้ เป็นการศึกษาค้นคว้า และการออกแบบของเครื่องเรียกติดตามตัว (BEEP CALL) แบบตั้งโปรแกรมรหัสได้ โดยฝากข้อมูลส่งผ่านความถี่วิทยุย่าน UHF ที่ความถี่ 310 MHz. โดยตัว BEEP CALL นี้สามารถโปรแกรมรหัสของผู้รับได้ไม่ซ้ำกันตั้งแต่ 0-99 รหัส (สามารถขยายจำนวนเครื่องรับได้) และสามารถแสดงผลได้ทั้งแบบตัวเลข (NUMERIC) และแบบตัวอักษร (ALPHABIC) ในส่วนของภาคส่งสามารถโปรแกรมคำสั่งการเรียกแต่ละหมายเลขได้อย่างอิสระ

ในส่วนของภาครับได้ทำการลดขนาดของเครื่องให้มีขนาดเล็กลงโดยใช้ GAL เข้าช่วยออกแบบ นอกจากนี้ยังได้ออกแบบให้เครื่อง BEEP CALL นี้สามารถเรียกสัญญาณฉุกเฉิน (EMERGENCY) ได้เพื่อใช้ในงานฉุกเฉิน

## BEEP CALL

BY	MR. CHALERMPON	CHAITAVON	NO. 36012049
	MR. PANUWAT	VILOEHT	NO. 36012062
	MR. WERAVONG	SAEOUI	NO. 36012069
	MR. TURDSAK	MAKTANYA	NO. 36012009

ADVISER MR. DOLCHAI SOOKCHAROENPHOL

YEAR 1994

---

ABSTRACT

This project is present about structures and designs of the BEEP CALL. The coded BEEP CALL of which data will be sent via UHF radio frequency with 310 MHz of carrier frequency. In this BEEP CALL, different receivers codes range from 0 to 99 codes. The BEEP CALL can be programmed (extendable) and it can displayed on numeric or alphabetic display. In transmitting of BEEP CALL, each calling number can be programmed independently.

The receiver size can be reduced by using the GAL (Generic Array Logic). In addition, emergency function is also installed in such BEEP CALL for use in case of emergency.

## กิติกรรมประกาศ

ปริญญาโทฉบับนี้ได้สำเร็จจุฬสงวไปได้ด้วยดี จากความช่วยเหลืออย่างดียิ่ง ของ อาจารย์ดลชัย สุขเจริญผล อาจารย์ที่ปรึกษาปริญญาโทซึ่งท่านได้คำแนะนำ และข้อคิดเห็น ต่างๆ ของการทำปริญญาโทมาด้วยดีตลอด

ขอขอบคุณ คุณภาสิต สมศิริ ที่ให้ความช่วยเหลือในด้านต่าง ๆ และให้คำปรึกษา แนะนำ

ขอขอบคุณ ความช่วยเหลือจากเพื่อนๆ ทุกคนในด้านต่างๆ

ท้ายสุดของกิติกรรมประกาศนี้ ขอขอบพระคุณ คุณพ่อ คุณแม่ ซึ่งเป็นผู้ให้ความช่วยเหลืออย่างมากทั้งด้านกำลังใจ และทุนในการทำปริญญาโท



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ

	หน้า
บทคัดย่อ	ก
ABSTRACT	ข
กิตติกรรมประกาศ	ค
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการทํางาน	5
- ระบบการถ่ายโอนข้อมูล	5
- รูปแบบของการติดต่อสื่อสารแบบอนุกรม	7
- วิธีการชิงครอนซ์เซชัน	8
- ส่วนต่างๆ ของเครื่องเรียกติดตามตัว	9
- หลักการทํางานของวงจรภาคต่างๆ	19
บทที่ 3 หลักการทํางานของวงจรภาคเข้ารหัส	62
- หลักการทํางานของวงจรเข้ารหัสของเครื่องส่ง	62
- หลักการทํางานของวงจรภาคถอดรหัสของเครื่องรับ	70
- ภาคส่งสัญญาณฉุกเฉิน	78
- การทํางานของวงจรภาคเครื่องส่ง	84
- การทํางานของวงจรภาคเครื่องรับ	85
บทที่ 4 บทสรุปและผลการทดลอง	87
- การประยุกต์เครื่องส่งรหัสเครื่องติดตามตัวเพื่อนำไปใช้งาน	92
- ปัญหาที่เกิดขึ้นในการทดลองภาคต่างๆ	93
- สรุปการวิจัยและข้อเสนอแนะ	94
หนังสืออ้างอิง	96
ภาคผนวก	

## บทที่ 1

## บทนำ

ในปัจจุบันเทคโนโลยีทางการสื่อสารเจริญเติบโตอย่างรวดเร็วจนแทบจะตามไม่ทัน การสื่อสารในด้านต่างๆ มีการพัฒนาไปมากจนกว่าจะเป็นด้านประสิทธิภาพและความเร็วของระบบการสื่อสาร ดังนั้นเพื่อเพิ่มประสิทธิภาพและความเร็วในการสื่อสาร BEEP CALL จึงเป็นทางเลือกหนึ่งในการพัฒนาการสื่อสารนี้

เรามาทำความรู้จักกับ BEEP CALL กันก่อน หลาย ๆ คนคงอาจจะสงสัยกันแล้วว่า BEEP CALL คืออะไร? BEEP CALL นั้นจะว่าไปแล้วก็คือวิทยุติดตามตัวนั่นเองแต่ก็มีลักษณะที่แตกต่างกัน เช่น

- ระยะเวลาในการส่งและรับ : เนื่องจาก BEEP CALL ถูกออกแบบมาให้สามารถส่งและรับได้ในระยะทางที่จำกัดคือประมาณ 200 เมตร ซึ่งสามารถใช้งานใน โรงงาน บริษัท โรงเรียน หรือในโรงพยาบาลก็ได้

- ข้อมูล : ข้อมูลที่ใช้ในการส่งและรับของ BEEP CALL นี้จะเป็นเพียงชื่อหมายเลขของอาคาร เช่น อาคาร 1 อาคาร 2 อาคาร 9 หรืออาจจะเป็นตัวอักษรเช่น อาคาร A อาคาร B อาคาร F เป็นต้น

- รหัสเครื่อง : BEEP CALL ที่ได้ออกแบบนี้สามารถที่จะส่งรหัสเครื่องที่มีความแตกต่างกันถึง 100 รหัส คือ รหัสเครื่องหมายเลข 00 ถึง 99 และสามารถตัดแปลงแก้ไขเพื่อเพิ่มรหัสให้มากขึ้นได้อีก

- หน่วยความจำ : เนื่องจาก BEEP CALL ใน PROJECT 2 ที่ได้ออกแบบนี้ไม่มีหน่วยความจำเป็นที่จะต้องทำการเก็บข้อมูลใด ๆ เพราะ BEEP CALL เป็นอุปกรณ์ที่ใช้เรียกผู้รับมาหาผู้ส่งตามข้อมูลที่ได้รับ ดังนั้นจึงไม่มีหน่วยความจำในการเก็บข้อมูล

- ขนาดของเครื่องรับ : เนื่องจาก BEEP CALL ที่สร้างขึ้นเป็นการออกแบบไปตามอุปกรณ์อิเล็กทรอนิกส์ที่มีขายอยู่ในประเทศไทย ดังนั้นขนาดจึงใหญ่กว่าวิทยุติดตามตัว และในด้านการแสดงผลด้วย 7 SEGMENT ดังนั้นอุปกรณ์ที่ใช้ร่วมกันก็มีขนาดใหญ่กว่าด้วย

- ความประหยัดในด้านพลังงาน : อุปกรณ์ที่ใช้ใน BEEP CALL หลายๆ ตัวยังเป็น TTL เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์หรือการสงวนในเพื่อการพาณิชย์เท่านั้น มิใช่สัญญาอนุญาตให้ไปจะเอามาใช้โดยไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อยู่ ดังนั้นจึงกินกระแสไฟฟ้าสูงกว่า อุปกรณ์ที่ออกแบบโดยมีการ DOPE สาร เพื่อให้งจรต่าง ๆ อยู่ใน CHIP IC ตัวเดียว

และยังมีข้อแตกต่างเล็กๆ น้อยๆ อีกมากมาย แต่ก็ยังไม่มีความสำคัญมากนักดังนั้นเราจะมาดูกันว่า BEEP CALL จัดอยู่ในแบบใด ของวิทยุติดตามตัว

ลักษณะการติดต่อสื่อสารของวิทยุติดตามตัวมี 5 แบบ คือ

- 1] VOICE : ส่งข่าวสารเป็นเสียงพูดไปยังผู้รับ
- 2] DIGITAL DISPLAY : ส่งข่าวสารเป็นตัวเลข ซึ่งตัวเลขนี้จะแทนข่าวสารที่ต้องการอาจจะเป็นเบอร์โทรศัพท์ หรือ รหัสที่มีความหมายเป็นที่เข้าใจกันระหว่างผู้ส่งและผู้รับ
- 3] ALPHA NUMERIC : แบบนี้แทนที่จะเป็นตัวเลขอย่างเดียวก็สามารถส่งเป็นตัวอักษรได้ด้วยช่วยให้ส่งข่าวสารได้ละเอียดขึ้น แต่จำเป็นต้องใช้ระบบที่พิเศษออกไปจึงยังไม่ค่อยแพร่หลาย
- 4] TONE - ALERT : เป็นการส่งสัญญาณเสียงเพื่อเป็นการบอกให้ผู้รับติดต่อไปยังศูนย์ เพื่อรับข่าวสารอีกทีหนึ่ง
- 5] DUAL ADDRESS : จะมีลักษณะเหมือน TONE - ALERT เพียงแต่ให้สัญญาณเสียงได้ 2 ลักษณะ เพื่อให้ผู้รับทราบว่า จะติดต่อไปยังที่ใด

จากลักษณะการติดต่อสื่อสารของวิทยุติดตามตัวทั้ง 5 แบบนั้นสามารถจัด BEEP CALL ในแบบ DIGITAL DISPLAY : คือมีการส่งข่าวสารเป็นตัวเลขหรือตัวอักษรซึ่งรหัสข่าวสารเหล่านี้แทนความหมายเป็นที่เข้าใจกันระหว่างผู้รับและผู้ส่ง และมีสัญญาณเตือนเมื่อรหัสของเครื่องส่งที่ส่งออกไปมีรหัสตรงกันกับเครื่องรับ

### ขั้นตอนในการส่งรหัสจากเครื่องส่งไปยังเครื่องรับมีดังนี้

#### ทางด้านเครื่องส่ง

- 1] ในขั้นตอนแรกนั้นเราต้องมีความเข้าใจงานส่วนของรหัสส่วนตัวระหว่างผู้รับและผู้ส่งนั้นคือผู้รับต้องทราบว่ารหัส 00 ถึง 99 ที่ต้องการติดต่อนั้นเป็นอาคารบ้าง
- 2] ทำการส่งรหัสจากเครื่องส่งไปยังเครื่องรับที่ต้องการติดต่อ เช่น ต้องการติดต่อกับหมายเลข 25 ก็ทำการกรอกรหัส 25 แล้วตามด้วยการกด CODE SENT ซึ่งจะเป็นการส่งรหัสหมายเลข 25 ออกไปยังเครื่องรับ
- 3] เมื่อส่งรหัสเครื่องออกไปแล้วจากนั้นก็ทำตามด้วยข้อมูลซึ่งอาจเป็นตัวเลข 0 ถึง 9 หรือตัวอักษร A ถึง F ตัวใดตัวหนึ่งออกไป ซึ่งมีความหมายเป็นชื่ออาคารต่าง ๆ ในสถาบัน โรงงาน หรือ โรงพยาบาล เป็นต้น แล้วตามด้วยการกด DATA SENT เพื่อเป็นการส่งข้อมูลออกไป ดังนั้นจึงกล่าวได้ว่า ผู้ส่งรหัสและข้อมูลที่ต้องการที่จะติดต่อกับเครื่องหมายเลข 25 เพื่อเรียกให้ผู้รับที่มีหมายเลข 25 นี้ กลับมาหาผู้ส่งที่ตึก หรือ อาคาร ตามที่ผู้ส่งได้ส่งข้อมูลออกไป เป็นต้น

#### ทางด้านรับ

- 1] เครื่องรับหมายเลข 25 จะสามารถถอดรหัสการส่งได้เพียงเครื่องเดียวเท่านั้น เครื่องใดที่มีรหัสไม่ตรงกันกับที่เครื่องส่งส่งมา ก็จะไม่สามารถทำการถอดรหัสได้ ดังนั้นเครื่องหมายเลข 25 จะมีเสียงเตือนให้รู้ว่ามี การติดต่อมาถึง และตามด้วยหมายเลขอาคารส่งตามมาซึ่งจะทำให้ผู้รับเข้าใจความหมาย และทำตามข้อมูลที่ส่งมา
- 2] งานส่วนของเครื่องรับนี้จะมีสัญญาณเรียกประมาณ 15 วินาที และถ้ารับรู้การเรียกก็สามารถทำการปิดเครื่องเรียกได้ และเมื่อทราบข้อมูลที่ส่งแล้วก็สามารถทำการปิดข้อมูล แล้วรอรับการเรียกในครั้งต่อไป แต่ถ้าไม่มีคนรับ เสียงเรียกจะเรียกประมาณ 15 วินาที แต่ข้อมูลหรือหมายเลขอาคารยังปรากฏอยู่จนกว่าผู้รับได้รับรู้แล้วปิดข้อมูล

จะเห็นได้ว่าการติดต่อสื่อสารด้วย BEEP CALL จะทำให้ประสิทธิภาพการติดต่อสื่อสารสูงขึ้นมีความรวดเร็วในการติดต่อ BEEP CALL นี้สามารถนำมาใช้ได้ไม่ว่าเป็น

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของ บริษัท โทรคมนาคม จำกัด (มหาชน) ขอสงวนสิทธิ์ในสิ่งที่ปรากฏ ไม่สามารถนำข้อมูลไปใช้โดยไม่ได้รับอนุญาตจากทางบริษัทฯ ได้

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เห็นได้ชัดเจน คือ สามารถเรียกตามตัวผู้รับที่มีเครื่องรับอยู่ได้โดยไม่ต้องรบกวนผู้อื่น และมีประสิทธิภาพในการรับรู้มากกว่า การประกาศกระจายเสียง เรียกผู้ใดมาพบ เพราะเนื่องจากการกระจายเสียงจะดังไปรบกวนผู้อื่นแล้ว เสียงอาจจะครอบคลุมไม่ได้ทุกส่วน ทุกอาคาร และสิ้นเปลืองในด้านการเดินสายเพื่อติดตั้งลำโพง บางจุดก็ไม่สามารถเข้าไปติดตั้งได้ ไม่ว่าจะเป็นห้องส่วนตัว ห้องน้ำก็สามารถรับรู้การเรียกตามตัวได้ ข้อดีที่สำคัญอีกอย่าง คือ การติดตั้งใช้งานก็สะดวก เพราะเพียงแค่มีเครื่องส่ง BEEP CALL และเครื่องรับ BEEP CALL เท่านั้นก็เป็นอันเรียบร้อย ไม่ต้องมีการเดินสายลำโพงให้ยุ่งยาก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

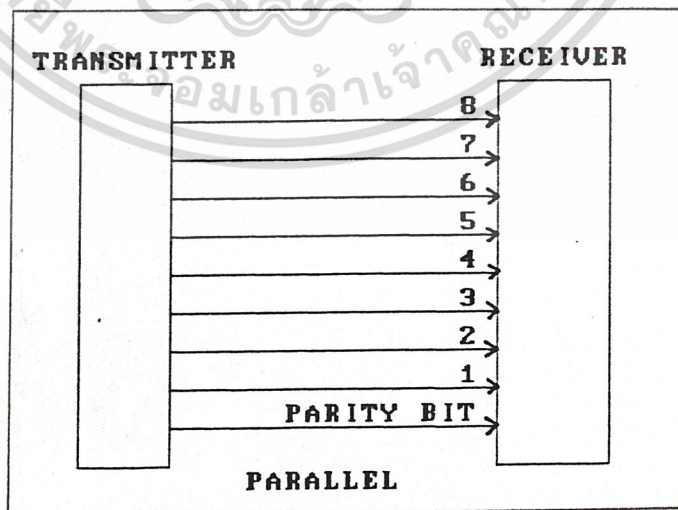
ทฤษฎี และ หลักการ

ระบบการถ่ายโอนข้อมูล

การสื่อสารหรือการถ่ายโอนข้อมูลแบ่งได้เป็น 2 ประเภทคือ

1. การถ่ายโอนข้อมูลแบบขนาน

ลักษณะของการส่งข้อมูลแบบขนานทำได้โดยการส่งข้อมูลออกมาทีละ 1 ไบท์คือ 8 บิต จากอุปกรณ์ส่งไปยังอุปกรณ์รับ ตัวกลางระหว่าง 2 เครื่อง จะต้องมีช่องทางให้ข้อมูลเดินทางอย่างน้อย 8 ช่องทาง โดยมากจะเป็นสายขนานให้กระแสไฟฟ้าวิ่งมากกว่าจะเป็นตัวกลางชนิดอื่น เนื่องจากมีสัญญาณสูญหายไปกับความต้านทานของระยะทางระหว่าง 2 เครื่อง ไม่ควรจะเกิน 100 ฟุต ปัญหาที่เกิดขึ้นหากระยะทางของสายมากกว่านี้ก็คือระดับของกราวด์ในทางไฟฟ้าที่จุดรับผิดไปจากจุดส่งทำให้เกิดการผิดพลาดในการรับสัญญาณ ลอจิกทางฝ่ายรับจะเห็นว่าการส่งแบบขนานส่วนมากจะทำในระยะใกล้ๆ เนื่องจากจะต้องมีช่องทางเดินของสัญญาณมากกว่า 8 สายและอุปกรณ์ที่ติดต่อกับแบบขนานกับคอมพิวเตอร์ก็จะได้แก่เครื่องพิมพ์

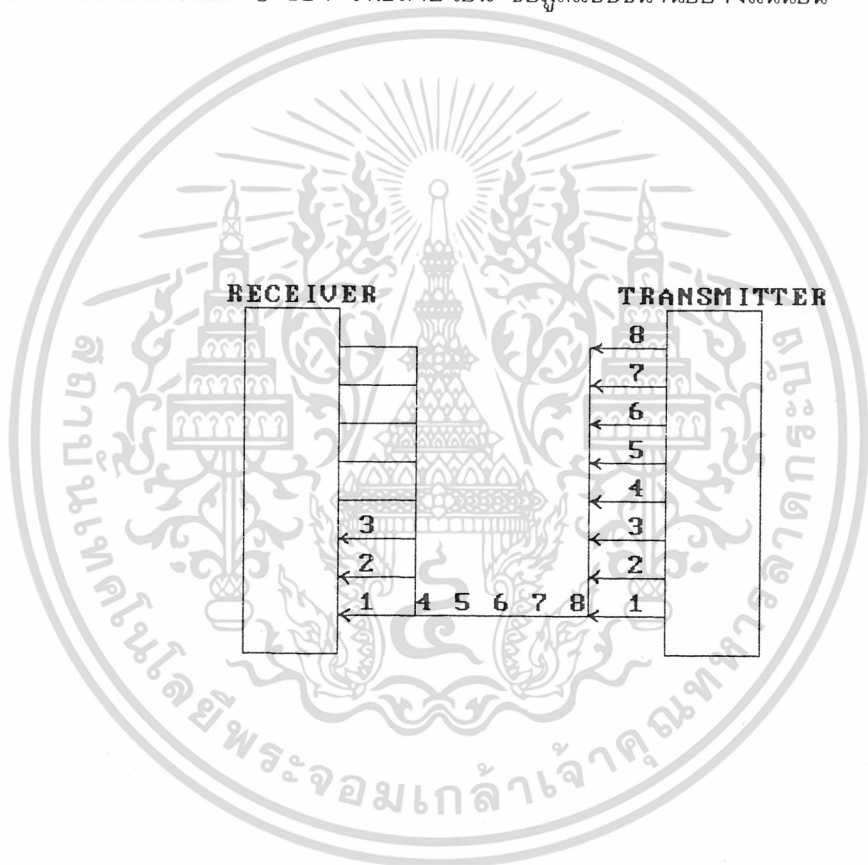


รูปที่ 2.1 การส่งข้อมูลแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2. การถ่ายโอนข้อมูลแบบอนุกรม

ในการถ่ายโอนข้อมูลแบบอนุกรม ข้อมูลถูกส่งออกทีละบิต ระหว่างจุดส่งและจุดรับจะ เห็นว่าการส่งข้อมูลแบบนี้จะช้ากว่าแบบขนานที่กล่าวมาแล้วแน่นอนแล้วทำไมต้องส่งแบบนี้ละ คำตอบก็คือ ตัวกลางการสื่อสารต้องการเพียงช่องเดียวหรือสายเพียงคู่เดียว ค่าใช้จ่ายใน สื่อกลางจะต้องถูกกว่าแบบขนานอย่างแน่นอนสำหรับการส่งระยะทางไกล ๆ โดยเฉพาะ เมื่อเรามีระบบการสื่อสารทางโทรศัพท์ไว้ใช้งานอยู่แล้ว ย่อมจะเป็นการประหยัดกว่าที่จะ ทำการติดตั้งสายที่ละ 8 ช่อง เพื่อถ่ายโอน ข้อมูลแบบขนานอย่างแน่นอน



รูปที่ 2.2 การส่งข้อมูลแบบอนุกรม

จากรูปที่ 2.2 แสดงให้เห็นการส่งข้อมูลแบบอนุกรม ข้อมูลจากจุดส่งจะถูกเปลี่ยนน้า เป็นอนุกรมเสียก่อน แล้วค่อยทยอยส่งออกทีละบิตไปยังจุดรับ ที่จุดรับจะต้องมีกลไกในการเปลี่ยน ข้อมูลที่ส่งมาทีละบิตให้เป็นสัญญาณแบบขนานซึ่งลงตัวพอดีนั้นคือ บิต 1 ลงที่บัสข้อมูลเส้นที่ 1 พอตี

การที่จะทำให้เกิดการแปลงสัญญาณจากอนุกรมทีละบิตให้ลงพอดีนั้น จำเป็นจะต้องมีกลไกที่เหมาะสม เอกสารนี้เป็นเอกสารลิขสิทธิ์ภายใต้การสงวนลิขสิทธิ์ของสถาบันวิจัยและพัฒนาเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

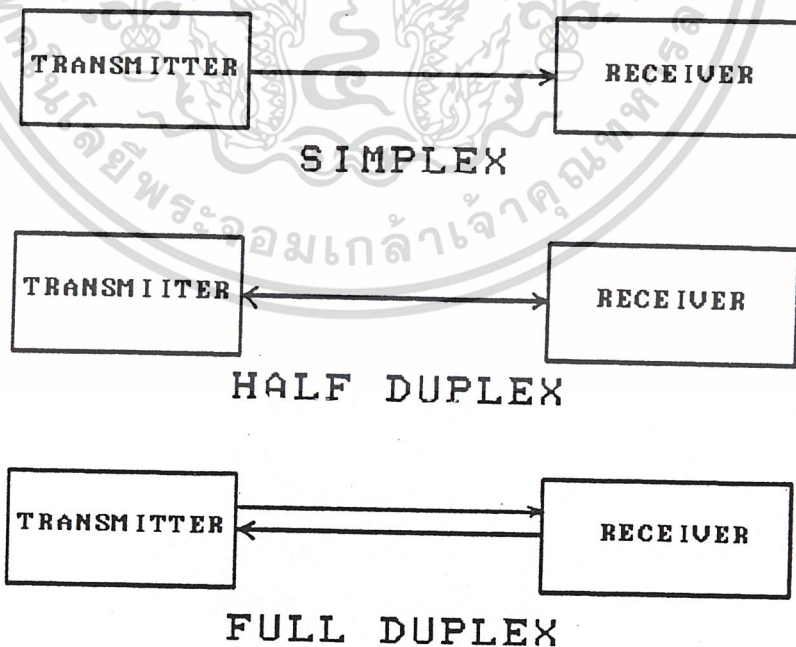
เพื่อป้องกันการผิดพลาดในการรับกลไกที่วุ่นแบ่งเป็น 2 แบบ คือ

1. การสื่อสารแบบซิงโครนัส
2. การสื่อสารแบบอะซิงโครนัส

### รูปแบบของการติดต่อสื่อสารแบบอนุกรม

การติดต่อสื่อสารแบบอนุกรมอาจจะแบ่งตามรูปลักษณะได้ 3 แบบ ตามรูป

1. แบบซิมเพล็กซ์ [SIMPLEX] ข้อมูลส่งได้ในทางเดียวเท่านั้นบางครั้งก็เรียกว่า การส่งทิศทางเดียว [UNIDIRECTIONAL DATA BUS]
2. แบบฮาล์ฟดูเพล็กซ์ [HALF DUPLEX] ข้อมูลที่จะส่งสามารถส่งได้ทั้งสองสถานี แต่จะต้องผลัดกันส่งและผลัดกันรับ จะส่งและรับพร้อมกันไม่ได้
3. แบบฟูลดูเพล็กซ์ [FULL DUPLEX] ทั้งสองสถานีสามารถรับและส่งได้ในเวลาเดียวกัน



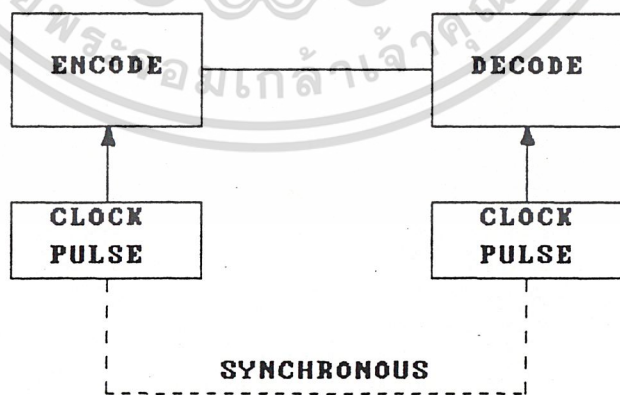
รูปที่ 2.3 รูปแบบของการติดต่อสื่อสารข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## วิธีซิงโครไนเซชัน [SYNCHRONIZATION]

การรับรหัสสัญญาณจากทางด้านส่งสามารถรับได้อย่างถูกต้อง ทางด้านรับจะต้องรู้ตำแหน่งของแต่ละบิตและตำแหน่งของส่วนหัวรหัส เมื่อเป็นเช่นนี้จึงมีความจำเป็นต้องให้การรับและการส่งข้อมูลมีจังหวะเวลา [TIMING] ระหว่างด้านรับกับด้านส่งเหมือนกันใน PROJECT นี้การซิงโครไนเซชันที่เกิดขึ้นจะเกิดขึ้นภายในไอซีเข้ารหัสและถอดรหัส นั่นคือ IC145026 [ENCODE] และ IC 145027 , IC 145028 [DECODE] โดยจะเห็นว่า ทั้งด้านรับและด้านส่งของไอซีทั้ง 3 ตัวนี้จะมีฐานเวลาซึ่งจะต้องกำหนดให้ตรงกัน ตามที่ได้กล่าวมาแล้วซึ่งการซิงโครไนเซชันจะเป็นแบบ บิตซิงโครไนเซชัน

บิตซิงโครไนเซชัน [BIT SYNCHRONIZATION] ในขบวนการเข้ารหัสที่ด้านส่งตลอดทั้งการถอดรหัสทางด้านรับจะต้องมีคล็อกพัลส์ [CLOCK PULSE] หรือคาบเวลาเป็นตัวควบคุมให้สอดคล้องกันอย่างเป็นขั้นต่อบิต ตามบล็อกไดอะแกรมอย่างกว้างๆ ในรูปข้างล่างนี้และการที่จะได้บิตซิงโครไนซ์ที่ถูกต้องนั้นโดยทั่วไปทางด้านรับจะมีวงจรสร้างคล็อกพัลส์ขึ้นใหม่โดยอาศัยขบวนการพัลส์ที่ได้รับ ดังนั้นจะทำให้กระบวนการระหว่างด้านส่งและด้านรับเป็นไปด้วยความถูกต้องในช่วงเวลาเดียวกัน



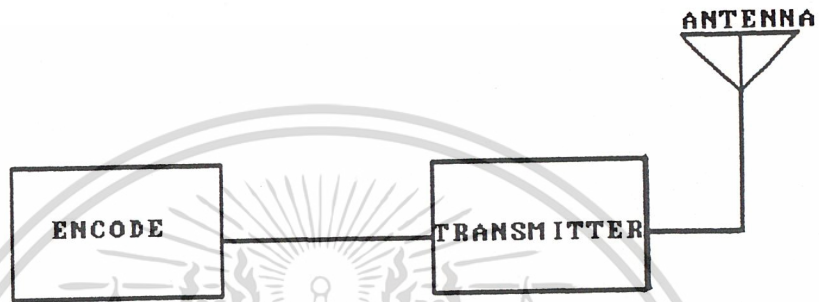
### BIT SYNCHRONIZATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูที่ 2.4 BIT SYNCHRONIZATION ให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนต่างๆของ BEEPCALL

BEEP CALL สามารถแบ่งออกได้เป็น 2 ส่วน คือ ส่วนของเครื่องส่งและส่วนของเครื่องรับ โดยส่วนของเครื่องส่งแบ่งเป็นภาคใหญ่ ๆ ได้ดังนี้

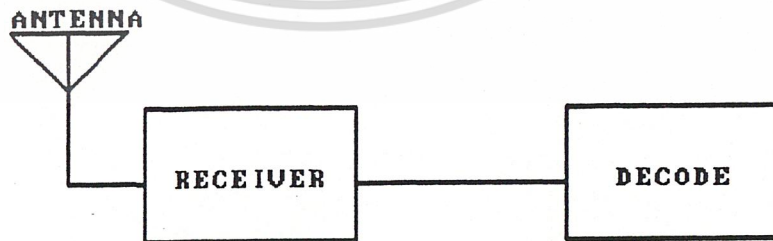
- 1] ภาคเข้ารหัส
- 2] ภาคส่ง



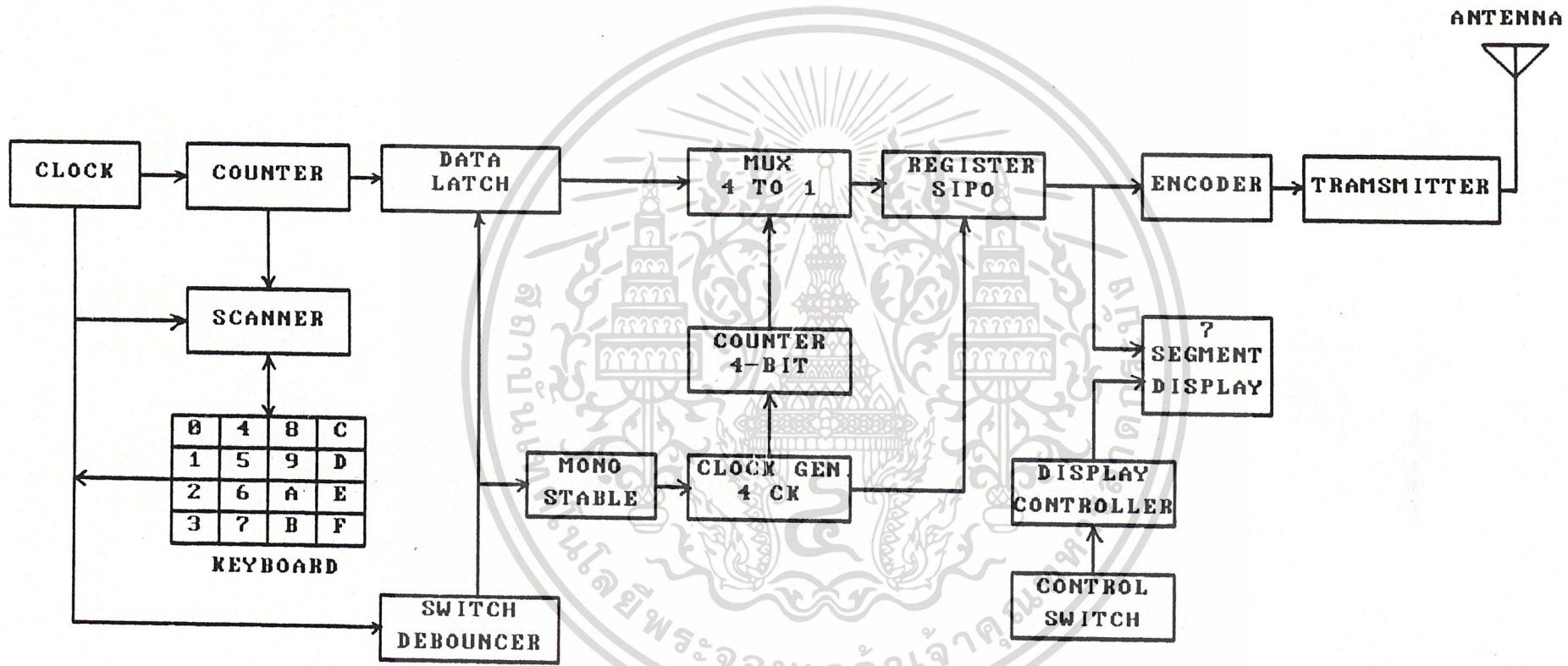
รูปที่ 2.5 บล็อกไดอะแกรมของเครื่องส่ง

ทางส่วนของภาครับก็แบ่งเป็น 2 ภาค ใหญ่ ๆ เช่นเดียวกัน คือ

- 1] ภาครับ
- 2] ภาคถอดรหัส

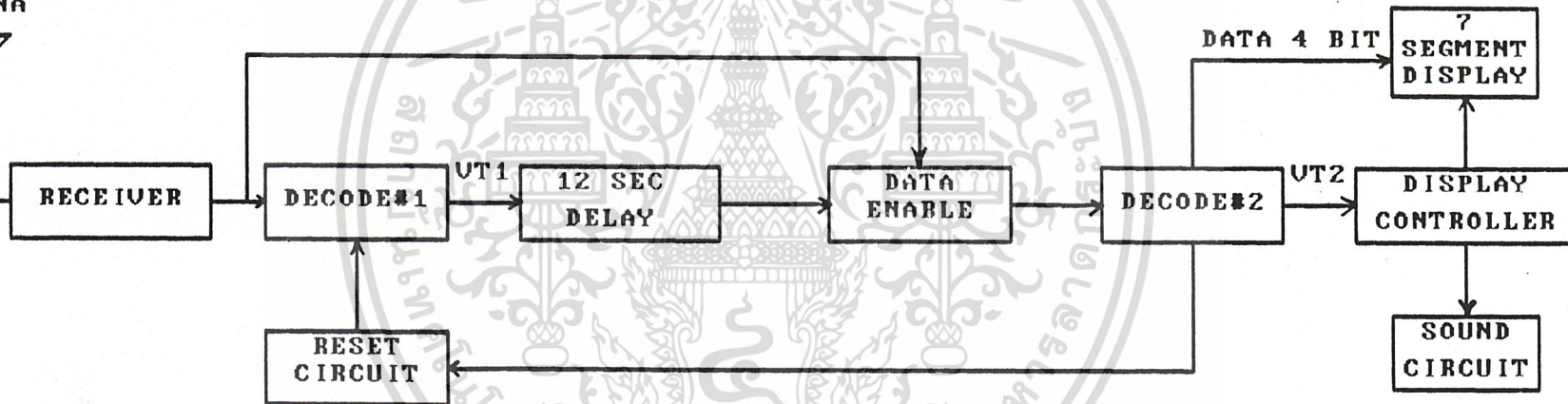


รูปที่ 2.6 บล็อกไดอะแกรมของเครื่องรับ



**BLOCK DIAGRAM  
ENCODER OF TRANSMITTER**

ANTENNA



**BLOCK DIAGRAM  
DECODER OF RECEIVER**

บล็อกไดอะแกรมของเครื่องส่งสามารถแบ่งเป็นส่วนต่าง ๆ ได้ดังนี้

1. ภาคเข้ารหัส [ENCODE] การเข้ารหัสเพื่อให้ได้ข้อมูลทางเอาท์พุทที่ต้องการนั้น จะประกอบด้วยหลาย ๆ ส่วน ดังนี้

1.1] ส่วนของวงจรถ่ายรหัส : เป็นส่วนแรกของวงจรถ่ายรหัส เพื่อนำข้อมูลที่ได้ออกไปใช้ตามความต้องการซึ่งวงจร KEYBOARD นี้ จะประกอบด้วยส่วนสำคัญ 3 ส่วน คือ

1.1.1] ส่วนของวงจรถ่ายรหัส : ทำหน้าที่ถอดรหัสการกดคีย์ให้เป็นค่ารหัสคีย์

1.1.2] ส่วนของวงจรถ่ายรหัส : จะนำค่ารหัสที่ได้ไปเข้ารหัสเพื่อส่งงานวงจรอื่น ๆ ต่อไป

1.1.3] ส่วนของ KEYBOARD : จะประกอบด้วยคีย์ของตัวเลข 0 ถึง 9 และ A ถึง F ในส่วนของวงจรถ่ายรหัสจะกล่าวโดยละเอียดตามต่อไป

1.2] 4 TO 8 LINE CODER : ในส่วนนี้จะประกอบด้วยวงจร 2 ส่วน คือ

1.2.1] ส่วนของวงจรมัลติเพล็กซ์ : ทำการนำข้อมูลแบบขนานให้เป็นอนุกรม

1.2.2] ส่วนของวงจรรีจิสเตอร์ : นำข้อมูลอนุกรมจากวงจรมัลติเพล็กซ์ซึ่งเป็น 4 BIT จากการกดคีย์ 1 ครั้ง มาเก็บไว้ แล้วนำข้อมูล 4 BIT อีกหนึ่งชุดจากการกดคีย์อีก 1 ตัว มาเก็บไว้จนครบ 8 BIT เพื่อให้ได้รหัสที่มีความแตกต่าง 2 ยกกำลัง 8 ซึ่งเท่ากับ 256 รหัส (แต่เนื่องจากการออกแบบในส่วนนี้ต้องการเพียง 100 รหัส คือ 00 ถึง 99 เท่านั้น)

1.3] ส่วนควบคุมการทำงานภาค 4 TO 8 LINE CODER : ใช้ในการควบคุมการทำงานของภาค 4 TO 8 LINE CODER ให้ทำงานตรงตามที่ต้องการ ในส่วนควบคุมนี้ประกอบด้วยวงจร 3 ส่วนคือ

1.3.1] วงจรโมโนสเตเบิล [MONOSTABLE] : เป็นวงจรสร้าง PULSE ตามช่วงเวลาที่ต้องการเมื่อมีสัญญาณทรiggerหรือสัญญาณการกดคีย์บ้อนเข้ามา

1.3.2] วงจรสร้างพัลส์ 4 ลูก : เมื่อได้ CLOCK PULSE ที่มีช่วงเวลาที่ต้องการจากวงจรมอนอสเตเบิล มาบ้อนเข้าวงจรนี้ จะทำให้มีการสร้างพัลส์ 4 ลูกออกมา จาก PULSE 4 ลูกนี้ไปควบคุมการทำงานของวงจร

REGISTER และอีกส่วนหนึ่งนำไปบ้อนเข้าวงจรนับ 4 (COUNTER-4)

- 1.3.3] วงจรนับ 4 BIT : จะทำการนับ 00 ,01,10,11 เพื่อควบคุมการทำงานของวงจรมัลติเพล็กซ์โดยอินพุทของวงจรมันนี้ ได้มาจากวงจรมัลติเพล็กซ์ 4 ลูก
- 1.4] ส่วนของภาคแสดงผล : เป็นการแสดงรหัสเครื่องที่ต้องการส่งกับข้อมูลที่จะทำการส่งออกไป ประกอบด้วย
- 1.4.1] ส่วนควบคุมการแสดงผลจะทำหน้าที่ในการ ENABLE หรือ DISENABLE ในการแสดงผลออกทาง 7 - SEGMENT ซึ่งจะใช้วงจร GATE ต่างๆ ในการควบคุมและใช้ IC 74126 ซึ่งเป็น BUFFER ใช้ในการ ENABLE การแสดงผล
- 1.4.2] 4-DIGIT HEX DISPLAY CONTROLLER/DRIVER : เป็นส่วนเข้ารหัส 4 - DIGIT HEX คือ 0000 ถึง 1111 เป็น 0 จนถึง 9 และ A ถึง F ในส่วนนี้จะใช้ GAL 16 V8-25 LNC ซึ่งจะกล่าวโดยละเอียดในตอนต่อไป ถึงขั้นตอนในการออกแบบ และการใช้งาน
- 1.4.3] ส่วนแสดงผล ทำหน้าที่แสดงผล รหัสตัวเลข หรือข้อมูล ซึ่งใช้ 7-SEGMENT เป็นตัวแสดงผล
- 1.4.4] BCD-TO-7 SEGMENT LATCH/DECODER/DRIVER : เป็นส่วนเข้ารหัส BCD ให้เป็นตัวเลข 0 ถึง 9 และขับ 7-SEGMENT โดยใช้ IC เบอร์ 4543
- 1.5] สวิตช์ควบคุมการทำงานต่าง ๆ
- 1.5.1] CLEAR SWITCH : สวิตช์แบบกดคิด บล้อยดับ ใช้สำหรับเคลียร์ข้อมูลในรีจิสเตอร์
- 1.5.2] CODE SWITCH : สวิตช์แบบเดียวกับชนิดแรก ใช้เป็นสวิตช์ในการส่งรหัสไปยังเครื่องรับ
- 1.5.3] DATA SWITCH : เป็นสวิตช์แบบกดคิด บล้อยดับ เช่นเดียวกัน ใช้เป็นสวิตช์ในการส่งข้อมูลไปยังเครื่องรับ
- 1.6] ส่วนควบคุมของสวิตช์ การใช้งานทั้ง 3 ชนิด : มีหน้าที่ควบคุมการทำงานของสวิตช์ทั้ง 3 ชนิด ซึ่งอยู่ที่ผู้ออกแบบว่าต้องการควบคุมอะไรบ้างเมื่อกดสวิตช์ ในส่วนนี้จะประกอบไปด้วยเกทต่าง ๆ และฟลิปฟล็อปต่าง ๆ

- 1.7] สัญญาณนาฬิกาที่ใช้ควบคุม : ใช้ขั้ววงจรหรืออุปกรณ์อิเล็กทรอนิกส์บางอย่างที่ต้องการ สัญญาณนาฬิกา โดยจะใช้ NOT GATE ในการสร้างสัญญาณนาฬิกาประกอบกับ R และ C
- 1.8] ภาคเข้ารหัสในการส่ง : จะใช้ IC เบอร์ 145026 2 ตัวซึ่งมีการรับข้อมูลเข้าแบบขนาน และส่งข้อมูลออกแบบอนุกรม ไอซีเบอร์นี้จะใช้อุปกรณ์ R และ C ต่อเพื่อกำหนดคาบเวลาหรือความถี่ภายในของไอซี การใช้อิซีทั้ง 2 ตัว ในการส่งนี้ก็เพื่อให้ได้ความแตกต่างของรหัสได้มากขึ้น และสามารถส่งข้อมูลตามต้องการได้ ที่สำคัญไอซีเบอร์นี้สามารถกำหนดรหัสเพื่อให้ SYNCHRONOUS กับเครื่องรับได้ด้วย
2. ภาคส่ง : จะใช้ความถี่วิทยุ RF ในย่าน UHF คือประมาณ 311 MHz โดยใช้ทรานซิสเตอร์ ซึ่งจัดการทำงานแบบวงจรฮาร์ตเสย์ออสซิลเลเตอร์ ซึ่งในส่วนนี้ ระยะใช้งานได้ถึง 200 เมตร ที่เดียว จากส่วนต่าง ๆ ของเครื่องส่งนี้จะทำการอธิบายอย่างละเอียดในบทต่อไป

ส่วนของเครื่องรับสามารถแบ่งเป็นส่วนต่าง ๆ ได้ดังนี้

1. ภาครับ [RECEIVER] ในส่วนของภาครับด้านพรีแอมป์เป็น วงจรภาครับแบบรีเจนเนอเรทีฟ ทำการตีเทคสัญญาณในตัวเองแล้วส่งข้อมูลหรือรหัสให้ภาคขยายสัญญาณ ต่อจากนั้นส่งไปวงจรมัลติพริกเกอร์เพื่อปรับแต่งสัญญาณให้เป็นพัลส์ที่ถูกต้อง แล้วจึงทำการส่งสัญญาณไปยังภาคดีคิเตอร์ต่อไป

2. ภาคถอดรหัส [DECODER] ในส่วนนี้จะแบ่งเป็นส่วนต่าง ๆ ได้ดังนี้คือ

2.1 ภาคถอดรหัสของรหัสเครื่อง : จะทำการถอดรหัสประจำของหมายเลขเครื่องแต่ละเครื่องที่เครื่องส่งส่งมาถ้ารหัสที่ส่งมาตรงกับรหัสเครื่องก็จะทำให้ได้สัญญาณเอาท์พุทที่ VT1 ของไอซี 145028 เป็น "1" จาก LOGIC "1" นี้ จะเป็น LOGIC เพื่อ ENABLE ให้ไอซี 145027 ซึ่งเป็น ตัวถอดรหัสอีกตัวหนึ่งทำงานต่อไป

2.2 ภาคถอดรหัสของข้อมูล : เมื่อไอซีถอดรหัสตัวแรกทำการ ENABLE ทำให้ไอซีถอดรหัสตัวที่สองทำการรับข้อมูลที่ส่งตามมา แสดงผลที่ DATA OUTPUT ไอซีตัวที่สองนี้จะทำการตั้งรหัสของการ SYNCHRONOUS ที่ขา A1 ถึง A5 ดังนั้นรหัสของการ SYNC ที่ส่งมาต้องตรงกันกับทางด้านรับด้วยจึงจะสามารถถอดรหัสข้อมูลได้ และเมื่อรหัสที่ได้ตรงกันและสามารถรับข้อมูลได้แล้ว ก็จะมี LOGIC 1 ปรากฏที่ VT 2 ของไอซี 145027 โดย LOGIC "1" ที่เกิดขึ้นนี้สามารถนำไปควบคุมภาคแสดงผลและภาคกำเนิดเสียงตามที่ ต้องการได้

2.3 ภาคแสดงผล ในส่วนนี้จะใช้ 7-SEGMENT ในการแสดงผล เช่นเดียวกับทางด้านเครื่องส่ง

2.4 4 DIGIT HEX DISPLAY CONTROLLER/DRIVER : เป็นส่วนที่ถอดรหัส 4 DIGIT HEX ที่รับมาได้จากเครื่องส่งให้เป็นรหัสตัวเลข 0 ถึง 9 และตัวอักษร A ถึง F ในส่วนนี้จะใช้ GAL 16V8 ในการออกแบบเช่นเดียวกับภาคส่ง

2.5 ภาคกำเนิดเสียง จะประกอบด้วยวงจรถ่ายต่างๆ เช่น NAND GATE และประกอบด้วย R และ C เพื่อเป็นตัวกำเนิดเสียงให้ดัง ปี่ปี่ เป็นจังหวะ ๆ ส่วนที่สร้างเสียงออกมาจะใช้ BUZZER ซึ่งมีแรงดันที่ ACTIVE ในช่วง 3-15 VOLT

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7-SEGMENT และควบคุมการเกิดเสียงตามที่เราต้องการ ซึ่งประกอบไปด้วย เกท และฟิลิปฟลอปต่าง ๆ

- 2.7 สวิตช์ควบคุมการแสดงผลและการเกิดเสียง จะมี 2 สวิตช์ด้วยกันคือ
1. สวิตช์ปิดเสียง เป็นสวิตช์กดติดบปล่อยดับซึ่งจะใช้เมื่อเครื่องรับรับรหัสเครื่องที่ตรงกันและสามารถรับข้อมูลได้แล้ว จะทำให้เกิดเสียงดัง บีบ ๆ ขึ้น ดังนั้นสวิตช์ปิดเสียงใช้สำหรับปิดเสียงบีบ ๆ นี้เมื่อเราทราบการติดต่อแล้ว
  2. สวิตช์ปิดข้อมูล เมื่อเราทราบข้อมูลที่ได้รับมาแล้วก็จะใช้สวิตช์กดติด บปล่อยดับตัวนี้ในการปิดข้อมูลซึ่งถือว่าเป็นการเคลียร์ข้อมูลออกไป



อุปกรณ์ต่างๆ ของภาคเข้ารหัสและถอดรหัสของเครื่องรับและเครื่องส่ง BEEP CALL

1. ภาคเข้ารหัส [ENCODE] จะประกอบด้วย

1.1 ส่วนของวงจรศีย์บอร์ด

- ในส่วนของสวิทช์ใช้การต่อแบบเมตริกซ์ (MATRIX) ประกอบด้วยสวิทช์กดติดปล่อย คีย์ 4X4 ตัว
- ส่วนวงจรเข้ารหัส และถอดรหัสศีย์บอร์ด จะประกอบไปด้วย NAND GATE (IC 4011), IC 4520 (DUAL UP COUNTERS) , IC 4042 (QUAD LATCH), IC 4028 (BCD-TO-DECIMAL DECODER), IC 4512 ( 8-CHANNEL DATA SELECTOR)

1.2 4 TO 8 LINE CODER จะประกอบด้วยวงจร 2 ส่วน คือ

- ส่วนของวงจรมัลติเพล็กซ์ : IC 74153 (DUAL-4-LINE-TO-1-LINE DATA SELECTOR/MULTIPLEXER)
- ส่วนของวงจรรีจิสเตอร์ : IC 74164 (8-PARALLEL-OUT SERIAL SHIFT REGISTER)

1.3 ส่วนควบคุมการทำงานของภาค 4 TO 8 LINE CODER จะประกอบด้วยวงจร 3ส่วน

- วงจรโมโนสเตเบิล [MONOSTABLE] : IC 74121 (MONOSTABLE MULTIVIBRATOR WITH SCHMITT - TRIGGER INPUT)
- วงจรสร้างพัลส์ 4 ลูก : IC 4046 (PHASE - LOCKED LOOPS)
- วงจรนับ 4 BIT : IC 74161 (SYNCHRONOUS 4-BIT BINARY COUNTER WITH DIRECT CLEAR)

1.4 ส่วนของภาคแสดงผล จะประกอบด้วย

- ส่วนควบคุมการแสดงผล : IC 74126 (QUADRUPLE BUS BUFFER GATE WITH THREE - STATE OUTPUT)
- ส่วน 4-DIGIT HEX DISPLAY CONTROLLER/DRIVER : GAL 16V8-25LNC
- ส่วนแสดงผล : 7- SEGMENT COMMON ANODE
- ส่วน BCD-TO-7 SEGMENT LATCH/DECODE/DRIVER: IC 4543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 1.5 ส่วนควบคุมการใช้งานของสวิทช์ CLEAR CODE และ DATA SWITCH ประกอบด้วย
  - IC 7473 (DUAL J-K FLIP-FLOP)
  - IC 7432 (QUAD 2 INPUT OR)
  - IC 7404 (HEX INVERTER)
  - IC 7408 (QUAD 2 INPUT AND)
- 1.6 สัญญาณนาฬิกาที่ใช้ควบคุม : IC 7404 (HEX INVERTER) และ R และ C
- 1.7 ภาคเข้ารหัสในการส่ง : IC 145026 (ENCODER)

2. ภาคถอดรหัสของเครื่องรับ (DECODER) แบ่งเป็นส่วนต่าง ๆ ได้ดังนี้
  - 2.1 ภาคถอดรหัสของรหัสเครื่อง : IC 145028
  - 2.2 ภาคถอดรหัสของข้อมูล : IC 145027
  - 2.3 ภาคแสดงผล : 7 SEGMENT COMMON ANODE
  - 2.4 4 DIGIT HEX DISPLAY CONTROLLER/DRIVER: GAL-16V8 LNC
  - 2.5 ภาคกำเนิดเสียง : IC 4011 (NAND GATE) และ R,C, BUZZER 3-15 V.DC
  - 2.6 ภาคควบคุมการแสดงผลและเกิดเสียง : IC 7473 (DUAL-JK-MASTER-SLAVE FLIP-FLOP WITH CLEAR), IC 4070 (EXCLUSIVE OR), IC 4049 (INVERTER), IC 74121 (MONOSTABLE)

### หลักการปฏิบัติงานของวงจรภาคต่างๆ

#### 1] ภาคเข้ารหัส [ENCODE] แบ่งเป็นส่วนต่างๆ ได้ดังนี้

##### 1.1] วงจรคีย์บอร์ด

วงจรคีย์บอร์ดประกอบด้วยส่วนสำคัญ 3 ส่วนคือ ส่วนของคีย์บอร์ด ส่วนของวงจรถอดรหัส และส่วนของวงจรเข้ารหัส คีย์แต่ละตัวจะมีรหัสเป็นของเฉพาะตัว เพราะว่าคีย์แต่ละตัวถูกนำไปใช้งานต่าง ๆ กัน วงจรถอดรหัสทำหน้าที่ถอดรหัสการกดคีย์ให้เป็นรหัสคีย์ ส่วนวงจรเข้ารหัสจะนำค่ารหัสคีย์ที่ได้เข้าไปเข้ารหัสเพื่อส่งงานวงจรอื่น ๆ ต่อไป

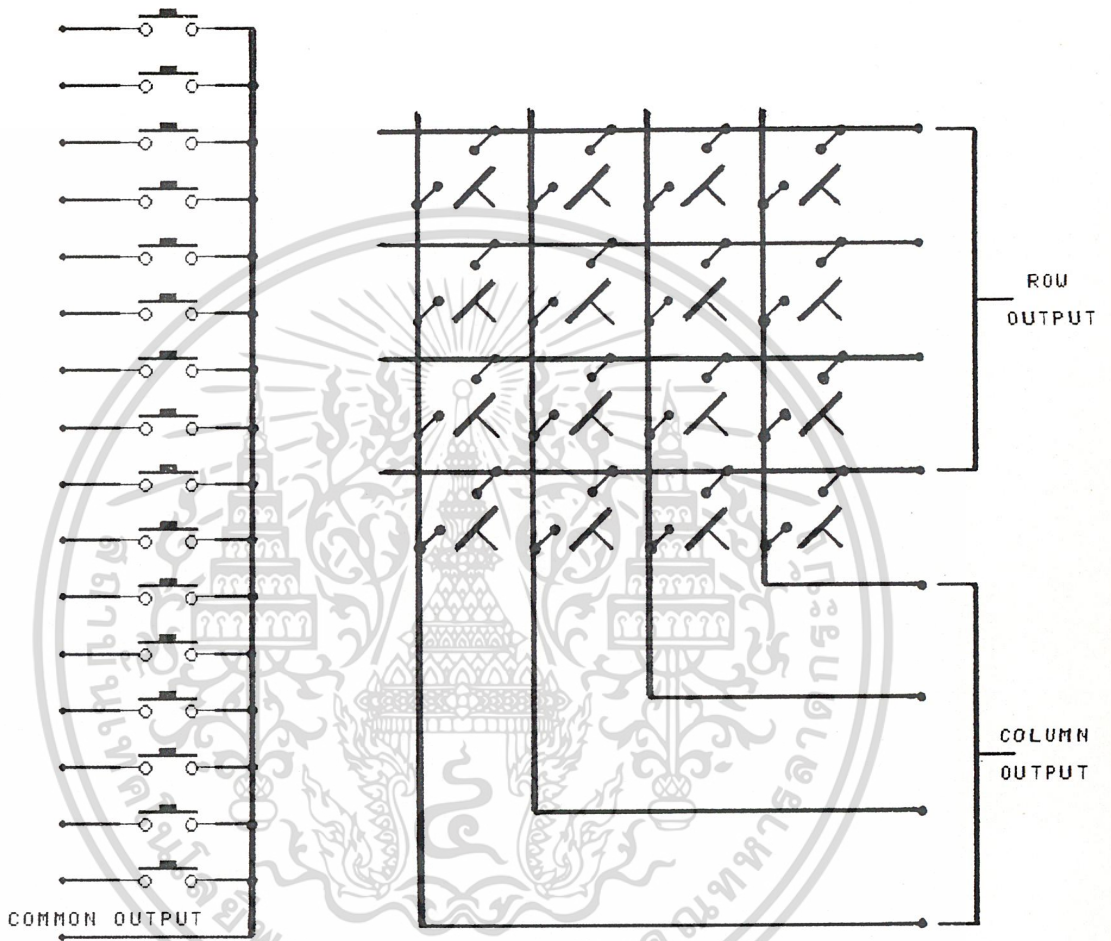
วงจรคีย์บอร์ดมีให้เลือก 2 แบบ

มี 2 วิธีที่นิยมกันมากในการเชื่อมต่อสวิตช์ให้เป็นคีย์บอร์ด วิธีแรกเรียกว่าการต่อแบบขาร่วม (COMMON LEG) คือขาใดขาหนึ่งของสวิตช์ทุกตัวต่อรวมเข้าด้วยกัน การรับรู้การกดคีย์เป็นไปในลักษณะเฉพาะของแต่ละคีย์แสดงดังรูปที่ 2.7 (ก) วงจรต่อแบบขาร่วมนี้ง่ายต่อการออกแบบและสร้าง แต่ว่าจะสะดวกและประหยัดในกรณีที่ใช้สวิตช์ไม่มากนัก สำหรับคีย์บอร์ดที่ใช้สวิตช์จำนวนมากจะนิยมต่อวิธีที่สองคือ ใช้วงจรแบบเมตริกซ์ (MATRIX) ในรูปที่ 2.7 (ข) วงจรคีย์บอร์ดแบบนี้จะต่อวงจรในส่วนของสวิตช์ได้ง่ายกว่าแบบแรก แต่การต่อวงจรเข้ารหัสต้องใช้วงจรที่ซับซ้อนกว่า ในรูปที่ 2.7 (ก) จะเห็นว่าการต่อแบบขาร่วมที่ใช้สวิตช์ 16 ตัว จะมีสายเอาต์พุต 17 เส้น แบ่งเป็นสายเอาต์พุตเฉพาะตัว 16 เส้นและสายร่วม 1 เส้น แต่สำหรับวงจรคีย์บอร์ดแบบเมตริกซ์ที่ใช้สวิตช์ 16 ตัวเท่ากันจะมีสายเอาต์พุต 8 เส้น โดยแบ่งเป็นเอาต์พุตได้มากกว่า

วงจรเข้ารหัสคีย์บอร์ด

ถึงแม้ว่าเราจะต่อวงจรในส่วนของสวิตช์เรียบร้อยแล้วการที่จะได้เอาต์พุตเพื่อไปควบคุมวงจรอื่นๆ นั้น ยังต้องเข้ารหัสเพื่อรับรู้ตำแหน่งของคีย์ที่ถูกกด วงจรที่ใช้เข้ารหัสต้องสามารถจดจำตำแหน่งของคีย์และสามารถให้ค่าของคีย์แต่ละตัวที่เรียกว่ารหัสคีย์ (KEY CODE) ได้ วงจรที่ใช้อาจประกอบด้วย ไดรโอด, ตัวต้านทาน หรือไอซีดิจิทัล ในคีย์บอร์ดแบบพื้นฐานวงจรเข้ารหัส

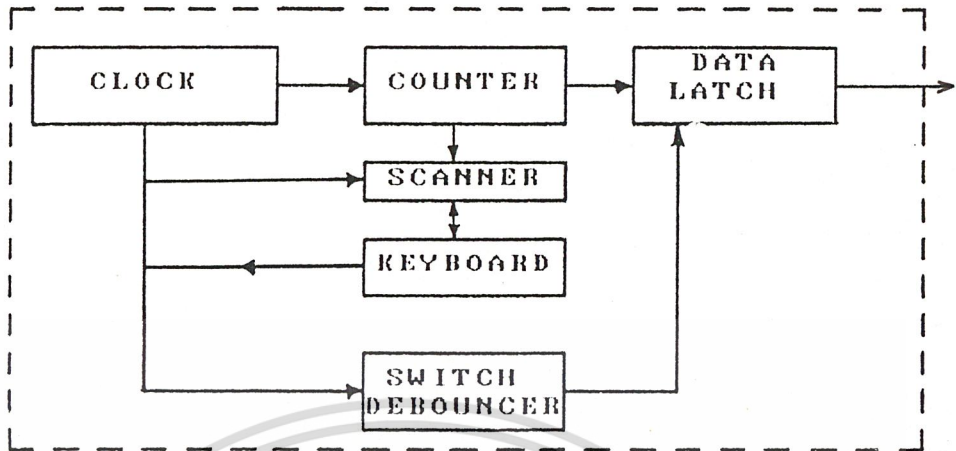
เอกสารนี้คีย์บอร์ดจะใช้สัญญาณในการสแกน (SCAN) ว่าคีย์ใดถูกกดในรูปที่ 2.8 เป็นบัสไลน์โดยแอมป์ของไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



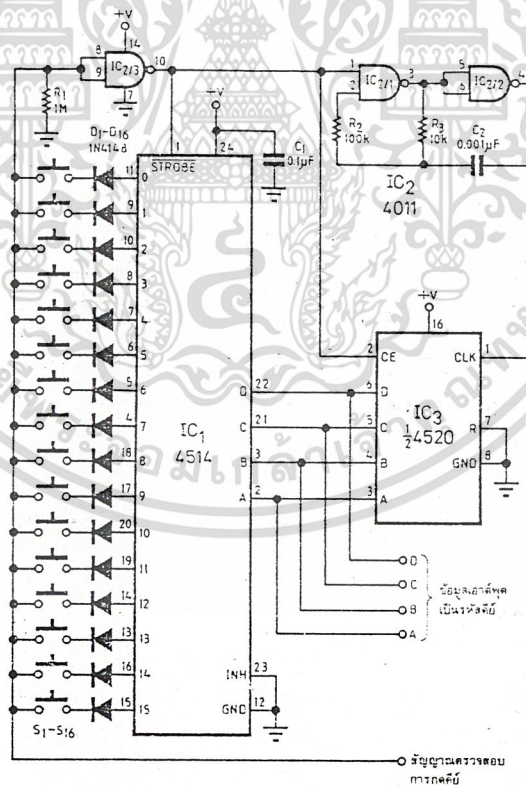
รูปที่ 2.7 ก] วงจรแบบขาร่วม

รูปที่ 2.7 ข] วงจรแบบเมตริกซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 BLOCK DIAGRAM ภาคถอดรหัสคีย์บอร์ด



รูปที่ 2.9 วงจรถอดรหัสแบบขาร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเข้ารหัสคีย์บอร์ดเมื่อยังไม่มีการกดคีย์ ตัวสแกนจะส่งสัญญาณสแกนไปที่สวิทช์ เมื่อมีการกดคีย์ สัญญาณนาฬิกาจะหยุดทำงานทำให้ตัวสแกนหยุดการสแกนวงจรนับจึงหยุดนับ โดยคงค่าสุดท้ายคือคงค่ารหัสคีย์เอาไว้จนกว่าจะมีการปล่อยคีย์ วงจรอื่นๆ ก็จะได้รับรู้รหัสคีย์ได้จากสัญญาณตรวจสอบการกดคีย์ร่วมกับเอาต์พุตของวงจรมับ

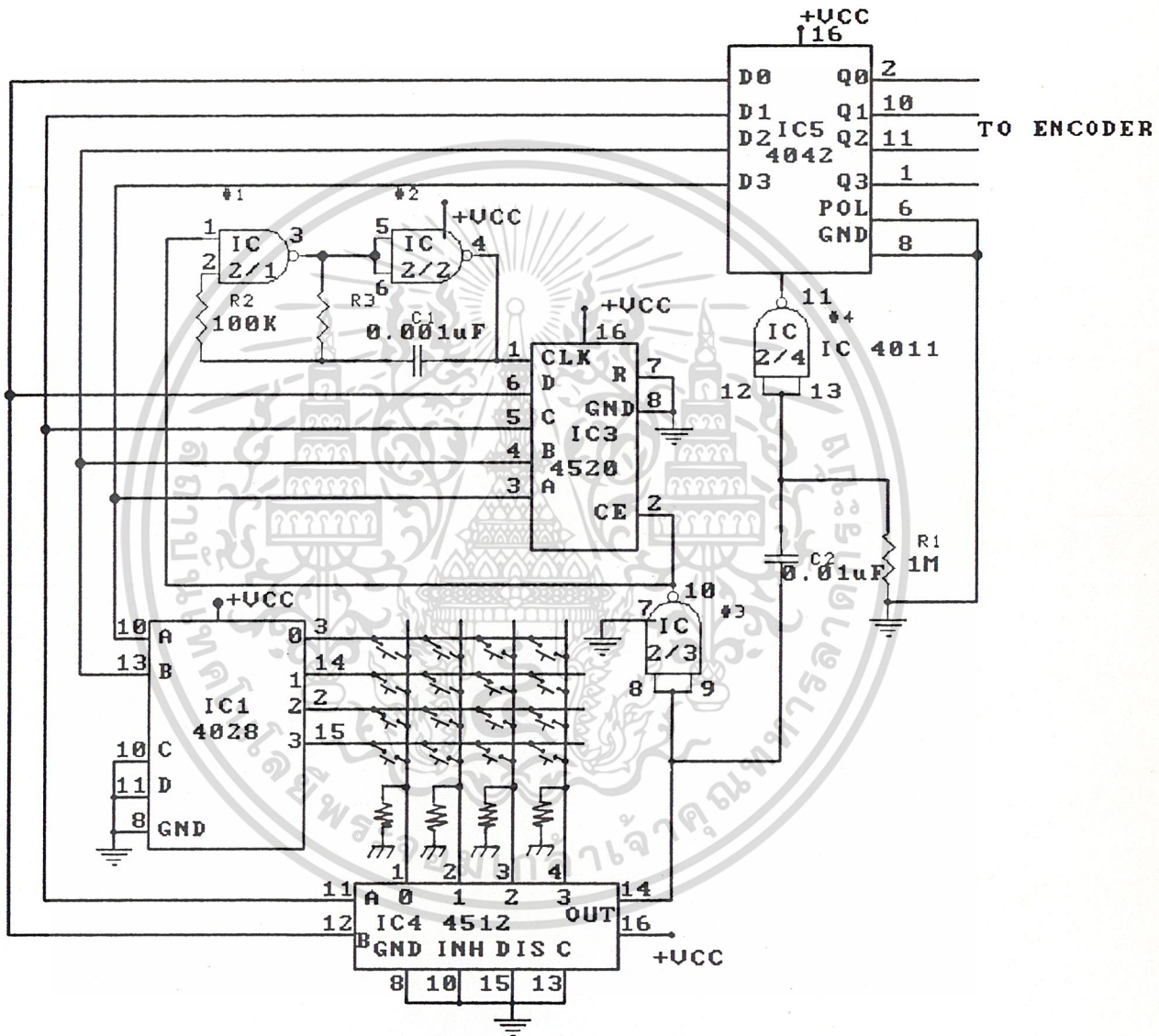
บล็อกไดอะแกรมข้างต้นนี้จะสามารถใช้งานได้กับ วงจรคีย์บอร์ดทั้งแบบ ขารวมและแบบ เมตริกซ์ความแตกต่างระหว่างการต่อวงจรทั้ง 2 แบบก็คือ ลักษณะการสแกน, วงจรแบบขารวม นั้นการสแกนจะเรียงจากคีย์ตัวแรกไปยังคีย์ตัวสุดท้ายแล้วกลับไปคีย์ตัวแรกอีก ส่วนวงจรแบบ เมตริกซ์จะสแกนจากแถวแรกไปยังแถวสุดท้าย และจากคอลัมน์แรกไปยังคอลัมน์สุดท้ายพร้อมกัน ตัวอย่างวงจรเข้ารหัสคีย์บอร์ด 16 คีย์ แสดงไว้ในรูปที่ 2.9 และรูปที่ 2.10 รูปที่ 2.9 เป็น วงจรแบบขารวม ส่วนรูปที่ 2.10 เป็นวงจรแบบเมตริกซ์ ทั้ง 2 วงจรนี้ให้ค่ารหัสคีย์เหมือนกัน สังเกตว่าส่วนกำเนิดสัญญาณนาฬิกาและวงจรมับเหมือนกันทั้ง 2 วงจร

รูปที่ 2.10 แสดงวงจรเข้ารหัสคีย์บอร์ดแบบเมตริกซ์ ถึงแม้ว่าจำนวนสวิทช์จะเท่ากัน กับวงจรแบบขารวมแต่ใช้สายทั้งหมดเพียง 8 เส้น แทนที่จะเป็น 17 เส้น นอกจากนี้ลักษณะการ สแกนก็ต่างกันด้วย หลักการของการสแกนคีย์บอร์ดแบบเมตริกซ์ คือ ต้องมีสัญญาณควบคุมเข้ามา ทางด้านหนึ่งของเมตริกซ์และออกไปทางด้านที่เหลือ ในรูปนี้ IC1 เบอร์ 4028 เป็นตัวถอดรหัส BCD ให้เป็นตัวเลขฐานสิบ อินพุตที่เป็นไบนารีของ 4028 จะทำให้เอาพุตที่ถูกเลือกเป็นลอจิก 1 ในขณะที่เอาต์พุตที่เหลือเป็นลอจิก 0 ดังนั้นเมื่อใช้คีย์บอร์ดขนาด 4\*4 คีย์ เราจึงใช้อินพุต ไบนารีเพียง 2 อินพุตเท่านั้น

การทำงานของวงจรรูปที่ 2.10 เป็นดังนี้ 2 บิตล่างของ IC3 เบอร์ 4520(A กับ B)ถูกส่งไปให้ 4028 และ 2 บิตบน(C กับ D)จะถูกส่งไปให้ IC4 เบอร์ 4512 จึงเป็นตัวเลือก ข้อมูล 8 ช่อง (8 CHANNEL DATA SELECTOR) ถ้าอินพุตใดถูกเลือกสัญญาณอินพุตนั้นก็จะ ปรากฏที่เอาต์พุต เมื่อมีการกดคีย์ ลอจิก 1 จากเอาต์พุตของ 4028 จะถูกรับรู้ว่าเป็นคอลัมน์ใด โดย 4512 สัญญาณนาฬิกาจะถูกคิสเอบิ้ล สัญญาณตรวจสอบการกดคีย์จึงเป็นลอจิก 1 ค่าบนบัส เอาต์พุตในขณะที่คือรหัสคีย์ วงจรทั้งสองรูปนี้เมื่อมีการกดคีย์พร้อมกัน 2 คีย์ เอาต์พุตที่ได้จะเป็น ค่าของคีย์ที่ถูกปล่อยก่อน ดังนั้นการกดคีย์พร้อมกัน 2 คีย์ จึงไม่ทำให้วงจรทำงานผิดพลาด

ในรูปที่ 4 เราไม่ได้ใช้ IC1 IC2 และ IC3 อย่างเต็มประสิทธิภาพ เพราะว่าเรา เอกสารนี้ใช้คีย์บอร์ดขนาด 4\*4 คีย์เท่านั้น อันที่จริงแล้ววงจรสามารถจะใช้คีย์บอร์ดได้ถึง 10\*8 คีย์ เพียงถ้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่เราใช้เอาท์พุทของ 4028 และ 4512 ให้ครบและต่อวงจรนับภายใน IC 4520 ซึ่งมีอยู่ 2 ชุดคาสเคดกันก็จะได้วงจรนับขนาด 7 บิต (เหตุที่ไม่เป็น 8 บิต เพราะต้องงัดใช้บิตสุดท้ายมาเป็นสัญญาณรีเซตวงจรนับ)



## ENCODE KEYBOARD CIRCUIT

รูปที่ 2.10 วงจรถอดรหัสแบบเมตริกซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## แลตซ์ข้อมูล เพื่อป้องกันความผิดพลาด

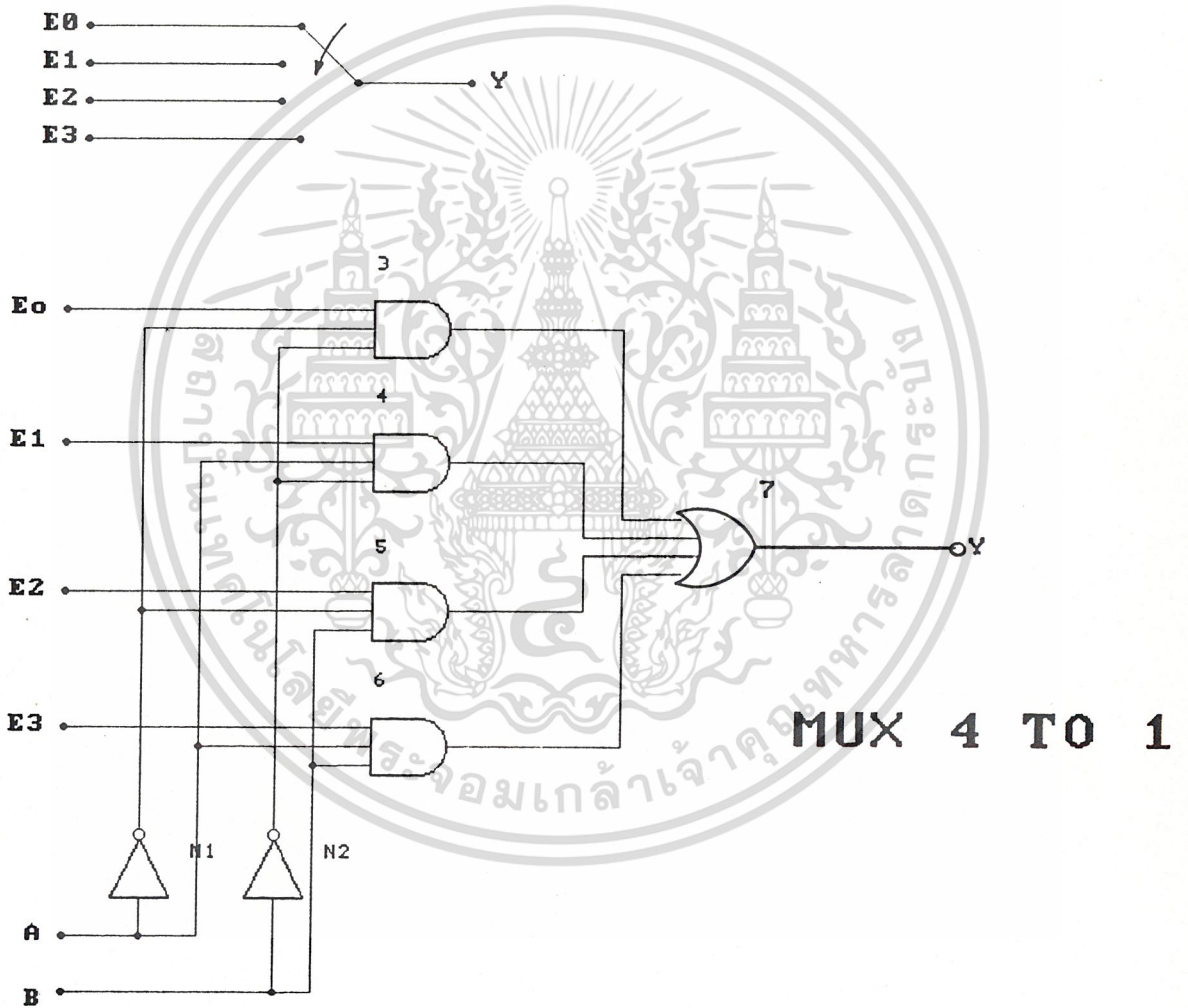
วงจรศีย์บอร์ดแบบพื้นฐานเอาท์พุทที่ได้ยังเป็นเพียง รหัสศีย์ที่มีช่วงเวลาการเกิดไม่แน่นอนวิธีแก้ไขก็คือ ต้องแลตซ์ข้อมูลไว้ก่อน การเลือกใช้ IC แลตซ์ข้อมูลก็ขึ้นอยู่กับว่าเราต้องการอะไรจากศีย์บอร์ดบ้าง สำหรับศีย์บอร์ดขนาด 16 ศีย์ การใช้ไอซีเบอร์ 4042B ก็เป็นทางเลือกที่ตีอีกทางหนึ่ง เราต้องควบคุมการแลตซ์ให้ถูกต้องด้วย

ถ้าใช้สัญญาณตรวจสอบการกดศีย์ ไปควบคุมการแลตซ์โดยตรงจะมีปัญหาเกี่ยวกับเวลา เพราะพัลส์ของสัญญาณตรวจสอบการกดศีย์มีความกว้างไม่แน่นอน จะขึ้นอยู่กับเวลาการกดศีย์ ถ้าพัลส์นี้กว้างเกินไปจะทำให้เกิดการแลตซ์ขึ้นหลายครั้ง ข้อมูลที่แลตซ์ไว้อาจผิดพลาดได้ ดังนั้นจึงต้องมีวงจรถวายขอบของสัญญาณ และกำเนิดพัลส์ที่มีความกว้างแน่นอนจากสัญญาณตรวจสอบการกดศีย์ในรูปแบบที่ 2.10 เป็นการใช้ IC5 เบอร์ 4042 แลตซ์รหัสศีย์ จะเป็นว่าขาของ POL ถูกต่อลงกราวนด์เพื่อทำให้เป็นลอจิก 0 ตลอดเวลา IC5 จะไม่สนใจอินพุท ถ้าขา CLOCK (CLK) เป็นลอจิก 1 แต่ถ้าขา CLK เป็น ลอจิก 0 ก็จะเป็นการเขียนข้อมูลลงแลตซ์ วงจรถวายขอบของสัญญาณทำหน้าที่โดย NAND GATE และมี R1 และ C1 ทำหน้าที่กำหนดความกว้างของพัลส์ให้มีเวลาประมาณ 10 มิลลิวินาที เมื่อมีสัญญาณตรวจสอบการกดศีย์เป็นลอจิก 1 เข้ามาเอาท์พุทของแชนด์เกตจะเป็นลอจิก 0 อยู่ประมาณ 10 มิลลิวินาที ซึ่งช่วงนี้ IC5 จะทำการแลตซ์ข้อมูลไว้ หลังจาก 10 วินาทีไปแล้ว IC5 จะไม่สนใจอินพุทอีก เอาพุทของ IC5 ก็จะเป็นค่ารหัสที่แลตซ์ไว้ค่าเดิมจนกว่าจะมีการกดศีย์ใหม่อีก

ตอนนี้เราได้ศีย์บอร์ดที่ทำงานได้อย่างสมบูรณ์ สามารถแลตซ์รหัสศีย์จากวงจรเข้ารหัส ไม่ว่าจะ เป็นแบบขาร่วมหรือแบบเมตริกซ์ก็ตามแต่ เอาต์พุทที่ได้ก็ยังคงเป็นรหัสศีย์อยู่ ดังนั้นเราจึงจำเป็นต้องใช้ส่วนสำคัญที่ 3 ของศีย์บอร์ดนั่นคือ วงจรถอดรหัส (DECODER)

1.2] 4 TO 8 LINE CODER

1.2.1] วงจรมัลติเพล็กซ์เซอร์ 4 ออก 1



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ที่ 2.11 [ก] แสดงวงจรมัลติเพล็กซ์เซอร์แบบ 4 ออก 1 ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับที่	อินพุตควบคุม		เอาต์พุต
	B	A	Y
1	0	0	$E_0$
2	0	1	$E_1$
3	1	0	$E_2$
4	1	1	$E_3$

ตารางที่ 2.1 ตารางความจริงของมัลติเพล็กซ์แบบ 4 ออก 1

#### การทำงานของวงจร

จากวงจรรูปที่ 2.11 และตารางที่ 2.1 ลำดับที่ 1 ถ้าบิตอินพุตควบคุมตำแหน่งสวิตช์ (ADDRESS) A และ B ด้วยลอจิก "0" ทั้งคู่ทำให้เอาต์พุตของเกต 1 และ 2 เป็นลอจิก "1" ดังนั้นเอาต์พุตจะแปรตาม  $E_0$  หาก  $E_0$  เป็น "0" เอาต์พุต Y ก็จะเป็น "0" ถ้าอินพุต  $E_0$  เป็น "1" เอาต์พุต Y ก็จะเป็น "1" ส่วนอินพุต  $E_1$  ถึง  $E_3$  นั้นจะไม่มีผลต่อเอาต์พุต Y เลย แม้ว่าอินพุตจะเป็นอย่างไรก็ตาม

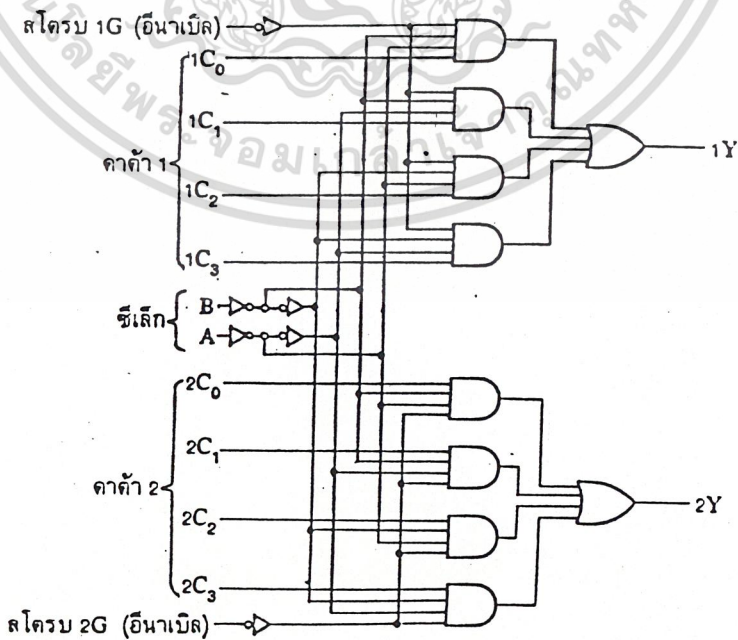
ในลำดับที่ 2 ถึง 4 มีลักษณะการทำงานในตนเองเดียวกัน เพียงแต่เอาต์พุตจะแปรตามอินพุต  $E_1$  ถึง  $E_3$  ถ้าหากบิตอินพุตควบคุม A และ B เป็นไปตามตารางความจริงตารางที่ 1

ส่วนไอซีที่ทำหน้าที่เป็นวงจรถูกเลือกข้อมูล 4 ออก 1 นั้นเช่นเบอร์ 74153 เป็น DUAL 4-LINE-TO-1-LINE DATA SELECTOR/MULTIPLEXER มีขั้วควบคุมเพิ่มเติมจากที่กล่าวมาแล้วคือ สวิตช์ ทำหน้าที่บังคับว่าตัววงจรถูกเลือกทำงานหรือไม่ก็ได้ดังแสดงการจัดขาในรูปที่ 2.11

เอกสารนี้เป็นเอกสารที่เผยแพร่โดยทางโรงเรียนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุตเลือกข้อมูล		อินพุตข้อมูล				สไตรบ	เอาต์พุต
B	A	C <sub>0</sub>	C <sub>1</sub>	C <sub>2</sub>	C <sub>3</sub>	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

ตารางที่ 2.2 ตารางความจริงของไอซีเบอร์ 74153



รูปที่ 2.11 [ข] วงจรไอซีเบอร์ 74153

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับบริการใช้งานเพื่อการศึกษาเท่านั้น มิใช่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.2.2] ชิพตรีจิสเตอร์

เวลาเราป้อนตัวเลขเข้าไปในเครื่องคิดเลข เราจะค่อย ๆ ป้อนเข้าไปทีละตัว ตัวเลขที่ป้อนเข้าไปจะเลื่อนจากซ้ายไปขวา เมื่อกลุ่มค่านวณคำตอบของการคำนวณจะแสดงออกมาพร้อม ๆ กัน การป้อนตัวเลขทีละตัวแล้วเลื่อนไปนี้เป็นวิธีการที่ง่ายและนิยมใช้กัน ไม่ว่าจะเป็นเครื่องคำนวณชนิดใด เพราะการป้อนตัวเลขหลาย ๆ ตัวพร้อมกันนั้นทำได้ยากกว่าและผู้ใช้จะไม่คุ้นเคย การป้อนตัวเลขทีละตัวแล้วเลื่อนไปนี้จำเป็นต้องอาศัยหน่วยความจำชนิดหนึ่งภายใน ซึ่งเราเรียกว่ารีจิสเตอร์ รีจิสเตอร์ซึ่งสามารถเลื่อนข้อมูลภายในตัวมันเองไปทางซ้ายหรือขวาได้ เรียกว่า ชิพตรีจิสเตอร์

รูปที่ 2.12 เป็นวงจรที่ใช้ D-FF มาต่อเป็นชิพตรีจิสเตอร์แบบง่าย ๆ ชิพตรีจิสเตอร์ตัวนี้จะเลื่อนข้อมูลจากซ้ายไปขวา ครั้งแรกสมมุติให้ Q1 ถึง Q4 เป็น "0" หมดยก่อนเราป้อนข้อมูล 1 บิตเข้าทางอินพุต D1 ข้อมูลจะเลื่อนจากอินพุตไปที่ Q1 เมื่อพัลส์ CP เข้ามาพัลส์จะกำหนดจังหวะในการเลื่อนข้อมูลจากซ้ายไปขวาของฟลิปฟลอปภายในพัลส์ลูกที่หนึ่งจะทำให้ Q1="1" ทำให้ Q1 Q2 Q3 Q4 = 1000 พัลส์ลูกที่สองจะทำให้ข้อมูลจาก Q1 เลื่อนไป Q2 และอินพุต D1 เลื่อนไปที่ Q1 แทน ดังนั้นเอาต์พุตของชิพตรีจิสเตอร์ในขณะนั้น จึงเป็น Q1 Q2 Q3 Q4 = 1100 พัลส์ลูกที่สามก็จะทำให้เกิดการเลื่อนข้อมูลไปทางซ้ายอีกคือ Q2 เลื่อนไปเป็น Q3 Q1 เลื่อนไป Q2 และ D1 เลื่อนไป Q1 ถ้าอินพุต D1 ในขณะนี้เป็น "0" ตามรูป จะได้เอาต์พุตเป็น 0110 พัลส์ลูกที่สี่ก็จะเลื่อนข้อมูลไปอีก

ถ้ามองจากด้านอินพุต D1 และเอาต์พุตเป็น Q1 Q2 Q3 Q4 แล้ว จะเห็นว่าเราป้อนข้อมูลที่ละบิตเข้าทาง D1 เมื่อป้อนข้อมูลครบ 4 บิตก็จะได้อาต์พุตจาก Q1 Q2 Q3 Q4 ออกมาพร้อมกันคือป้อนข้อมูลเข้าแบบอนุกรมแต่ได้ข้อมูลออกมาแบบขนาน ดังนั้นชิพตรีจิสเตอร์จึงสามารถนำมาใช้ในการแปลงรูปแบบของข้อมูลจากอนุกรมเป็นแบบขนานได้ ( SERIAL TO PARALLEL CONVERTER )

คราวนี้ลองมาดูเอาต์พุต Q4 ข้อมูลที่ได้จากเอาต์พุต Q4 จะเหมือนข้อมูลที่ออกที่เอาต์พุตอื่นแต่จะเหลื่อมเวลากัน ข้อมูลที่ป้อนเข้าทาง D1 จะไหลออกมาที่ Q4 ได้หลังจากที่พัลส์ที่ CP แล้ว 4 ลูก ดังนั้นจึงเกิดการหน่วงเวลาเกิดขึ้นเวลาหน่วงจะเท่ากับช่วงเวลาของพัลส์ 4 ลูกนั้น ชิพตรีจิสเตอร์จึงสามารถใช้งานในด้านการหน่วงเวลาของสัญญาณดิจิทัลได้ ถ้าเราสามารถเขต

ข้อมูลที D-FF แต่ละตัวได้ เช่น อาจจะใช้เขตเข้าทางขั้ว S (SET) ของฟลิปฟลอป ถ้าเรา

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เซตข้อมูลเข้าไปพร้อมกัน 4 บิตที่ D-FF ทั้งสี่จากนั้นต่อยาใช้พัลส์ CP เลื่อนข้อมูลไปทางขวาออก จาก Q4 ข้อมูลจะเลื่อนออกมาทีละบิต แบบนี้ก็เป็นการแปลงรูปแบบข้อมูลอย่างหนึ่งคือ แปลงจาก แบบขนานเป็นอนุกรม ชิฟต์รีจิสเตอร์ตัวเดียวกันจึงสามารถใช้ในการแปลงรูปแบบข้อมูลได้ทั้งแบบ ขนานและอนุกรม การป้อนข้อมูลและการส่งข้อมูลแบบอนุกรมมีข้อดีคือ เราใช้สายไฟในการลา เลียงข้อมูลเพียงเส้นเดียวค่อย ๆ ลาเลียงข้อมูลไปที่ละบิต แม้จะใช้เวลาหนอยแต่ก็ประหยัดสาย ไฟไปได้มาก วงจรดิจิทัลทั่วๆ ไปมักจะถ่ายเทข้อมูลแบบขนานคือ ข้อมูลทุกบิตจะส่งไปพร้อม ๆ กัน ถึงที่หมายพร้อมกันมีข้อดีคือส่งข้อมูลได้รวดเร็วมาก แต่ก็ต้องใช้สายภายในมากมาย ชิฟต์รีจิส เตอร์จะถูกใช้ในการแปลงข้อมูลจากขนานเป็นอนุกรมเพื่อส่งข้อมูลจากวงจรหนึ่งไปสู่อีกวงจรหนึ่ง และใช้เป็นตัวแปลงข้อมูลอนุกรมกลับไปกลับมาเป็นแบบขนานอีกครั้งทางฝ่ายรับข้อมูล

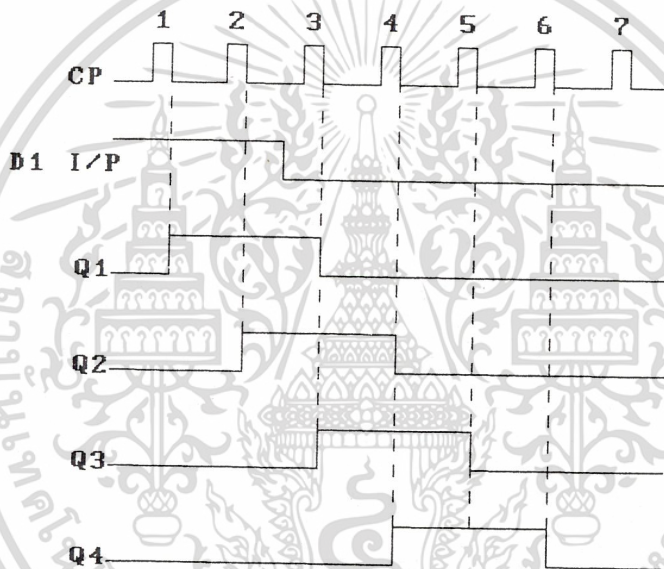
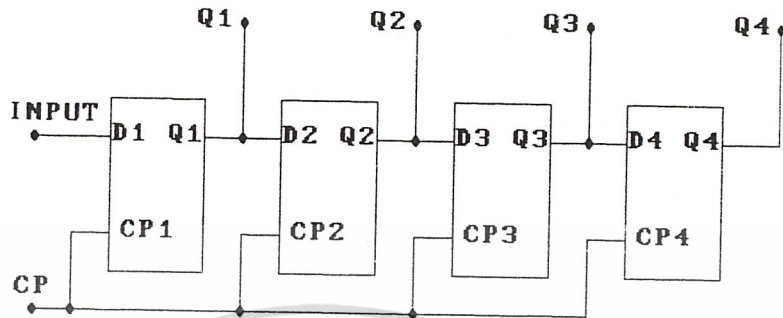
ไอซี TTL ที่เป็นชิฟต์รีจิสเตอร์ มีด้วยกันหลายเบอร์ เช่น SN 7495N สามารถเลื่อน ข้อมูลไปได้ทั้งซ้ายและขวาป้อนข้อมูลเข้าได้ทั้งแบบขนานและอนุกรมเบอร์ SN 74164N ใช้แปลง ข้อมูล 8 บิต จากอนุกรมเป็นขนาน และเบอร์ SN 74165N ใช้แปลงข้อมูล 8 บิต จากขนาน เป็นอนุกรม เป็นต้น

ไอซีเบอร์ 74164 เป็นไอซีชิฟต์รีจิสเตอร์ชนิดข้อมูลอินพุตแบบอนุกรมมาให้ข้อมูลเอาท์พุท ขนาน 8 บิต เลื่อนข้อมูลได้ทางขวาแต่เพียงอย่างเดียว ดังรูป 2.13 ไคอะแกรมเวลา

ในการทำงานปกติขาที่ใช้เป็นขาอินพุทของข้อมูลซึ่งมี 2 ขาจะต้องให้ขาหนึ่งอยู่ที่ลอจิก "1" แล้วนำข้อมูลเข้าอีกขาหนึ่งที่เหลือ ขาเคลียร์จะต้องอยู่ลอจิก "1" สัญญาณนาฬิกาที่เปลี่ยน จากลอจิก "0" ไปเป็น "1" จะทำการเลื่อนข้อมูล

การเลื่อนข้อมูลจะเลื่อนจาก A ไปยัง B จาก B ไปยัง C แล้วเลื่อนต่อไปเรื่อย ๆ จนหมด รูป 2.14 คือ ชิฟต์รีจิสเตอร์ 74164

### SHIFT REGISTER

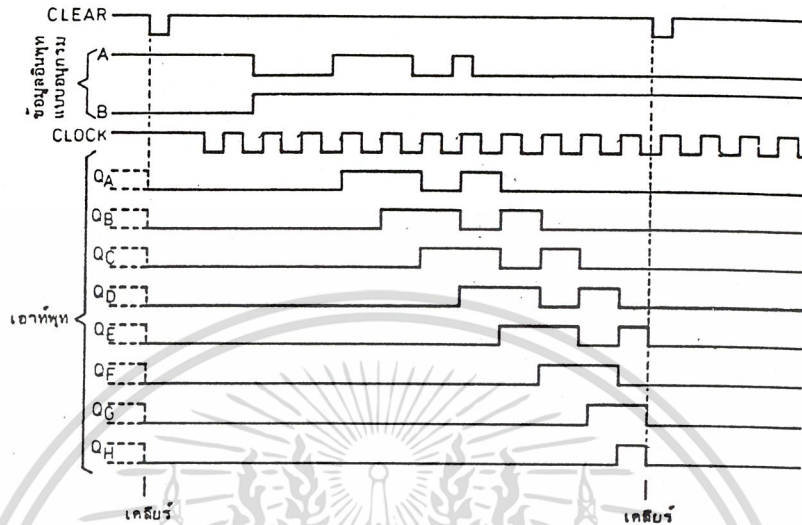


TIMING DIAGRAM

รูปที่ 2.12 ชิฟต์รีจิสเตอร์ และ TIMING DIAGRAM

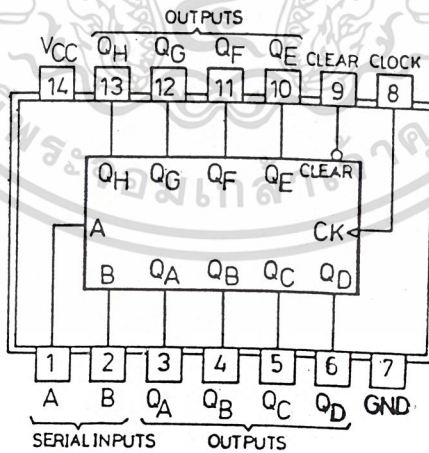
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไคอะแกรมเวลาการเคลียร์-ชิฟท์ ของไอซีเบอร์ 74164



รูปที่ 2.13 ไคอะแกรมเวลา

74164



รูปที่ 2.14 ชิฟต์รีจิสเตอร์ 74164

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

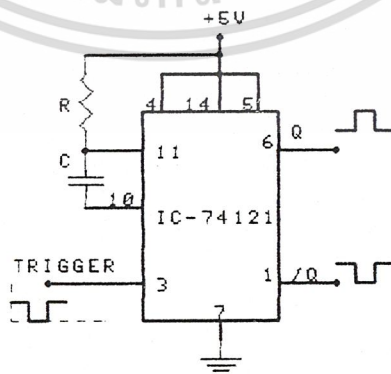
## 1.3] ส่วนควบคุมการทำงานภาค 4 TO 8 LINE CODER

## 1.3.1] ไอซีที่ทีแอลเอ็มโมโนสเตเบิล

ในตระกูลไอซีที่ทีแอลเอ็มไอซีที่ทำหน้าที่เป็นโมโนสเตเบิลอยู่หลายตัวแต่ใน PROJECT นี้ จะเลือกใช้ IC74121 ซึ่งเป็นไอซีโมโนสเตเบิลหรือวงจรถ่ายสัญญาณพัลส์เมื่อมีการกระตุ้นจากภายนอกผลตอบสนองต่อการทรigger นั้น จะให้เอาที่พหุทางขา Q ซึ่งจะได้สภาวะ "1" และขา /Q จะได้สภาวะ "0" จะเป็นเช่นนี้อยู่ชั่วขณะหนึ่ง ในช่วงเวลานี้เราสามารถที่จะกำหนดค่าให้ได้ด้วยค่าคงตัวเวลา RC ที่ต่ออยู่ระหว่างขา 11 กับขา 14 และขา 10, 11 ค่าความต้านทานอยู่ในช่วง 2-40 Kohm และตัวเก็บประจุอยู่ตั้งแต่ 10PF ขึ้นไปซึ่งค่าเวลาหรือความกว้างของพัลส์สามารถทำได้จากกราฟ

การทรiggerตัวโมโนสเตเบิลนั้นทำได้หลายวิธีโดยผ่านเข้าทาง A1 (ขา 3), A2 (ขา 4) และ B (ขา 5) ถ้า A1, A2 ต่อลงกราวด์ การทรiggerอาจทำได้โดยการเพิ่มระดับแรงดันของ B จากกราวด์ไปเป็นบวก ถ้า A1, B อยู่ในสภาวะ "1" อยู่แล้วการทรiggerจะเกิดเมื่อ A2 เปลี่ยนสภาวะจาก "1" มาเป็น "0" เช่นกัน

ข้อควรระวังคือต้องต่ออินพุตทั้งสามให้ถูกต้องในระหว่างที่การทรiggerเกิดขึ้นแล้ว และยังไม่พ้นเวลาความกว้างของพัลส์ การทรiggerซ้ำจะไม่เกิดผลใด ๆ ทั้งสิ้น



### 1.3.2] วงจรสร้างพัลส์ 4 ลูก

การนำส่วนประกอบสำคัญของไอซีทางด้านเฟสล็อกมาประยุกต์ใช้งานนั้น คือ ภาคกำเนิดความถี่ควบคุมด้วยแรงดัน โดยนำมาใช้เกี่ยวกับการกำเนิดความถี่เสียงลักษณะต่าง ๆ และเกมส์

ถึงแม้ไอซีเบอร์ 4046B ซึ่งเป็น MICRO POWER PHASE-LOCKED LOOP ตัวนี้ได้ออกแพร่หลายมานานแล้วแต่ในบ้านเราไม่ค่อยมีครุณาใช้งานทั้ง ๆ ที่ไอซีตัวนี้มีความสามารถมากทีเดียว อาจเป็นเพราะว่าการที่เป็นไอซีทางด้านเฟสล็อกเลยทำให้รู้สึกว่าการนำมาใช้งานคงจะเป็นเรื่องยุ่งยาก ความจริงแล้ว 4046B นี้ สามารถนำไปใช้งานด้านอื่น ๆ ได้อีกมาก

#### โครงสร้างภายในของ 4046B

ส่วนประกอบภายในและตำแหน่งขาของไอซีเบอร์ 4046B แสดงในรูปที่ 2.16 ซึ่งประกอบด้วยวงจรเปรียบเทียบเฟส (PHASE COMPARATOR) 1 คู่ ซีเนอร์ไดโอด 1 ตัวและภาคกำเนิดความถี่ควบคุมด้วยแรงดัน หรือ VCO (VOLTAGE CONTROLLER OSCILLATOR) 1 ชุด ส่วนประกอบเหล่านี้จะแยกเป็นอิสระจากกัน ในส่วนของ VCO เป็นส่วนที่สามารถดัดแปลงใช้งานได้มากมาย ที่สำคัญคือ มีราคาถูกเมื่อเทียบกับวงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบอื่นๆ

ภาค VCO นี้ให้รูปคลื่นสี่เหลี่ยมที่สมมาตรที่มีความถี่สูงสุดได้มากกว่า 1 MHz ในการใช้งานนั้น ขาที่ 5 ซึ่งเป็นขา INHIBIT เป็นตัวควบคุมให้ VCO ทำงานคือถ้าขา 5 มีสถานะลอจิกเป็น "1" ภาค VCO จะไม่ทำงาน แต่ถ้าที่สถานะลอจิกเป็น "0" ภาค VCO จะทำงานตามปกติ แรงดันไฟฟ้าที่ไอซียังทำงานอยู่ได้ อยู่ในช่วง 3-18 โวลต์

สำหรับการใช้งานแบบเฟสล็อกหรือ PLL (PHASE-LOCKED LOOP) นั้นขาเอาต์พุตของ VCO จะต่อเข้ากับอินพุตของตัวเปรียบเทียบที่ขา 3 และเอาต์พุตของวงจรเปรียบเทียบต่อไปยังวงจรกรองแบบความถี่ต่ำผ่าน (LOW-PASS FILTER) สัญญาณที่กรองเรียบร้อยแล้วถูกป้อนกลับมาที่อินพุตของ VCO ขา 9 เพื่อควบคุมความถี่ของ VCO จะเห็นว่าการ PLL นี้ต่อครบเป็นรูป ดังวงจรรูปที่ 2.17 ซึ่งวงจรนี้ใช้สำหรับตรวจจับความถี่ของสัญญาณที่เข้ามาถึงขา 14 รายละเอียดส่วนนี้ไม่กล่าวถึง เพราะสามารถหาอ่านได้ในหนังสือคู่มือการใช้ IC CMOS เป้าหมายหลักของบทความนี้ก็คือ การนำไอซีเบอร์ 4046B ไปใช้งานแบบอื่น นอกเหนือจากการใช้งาน

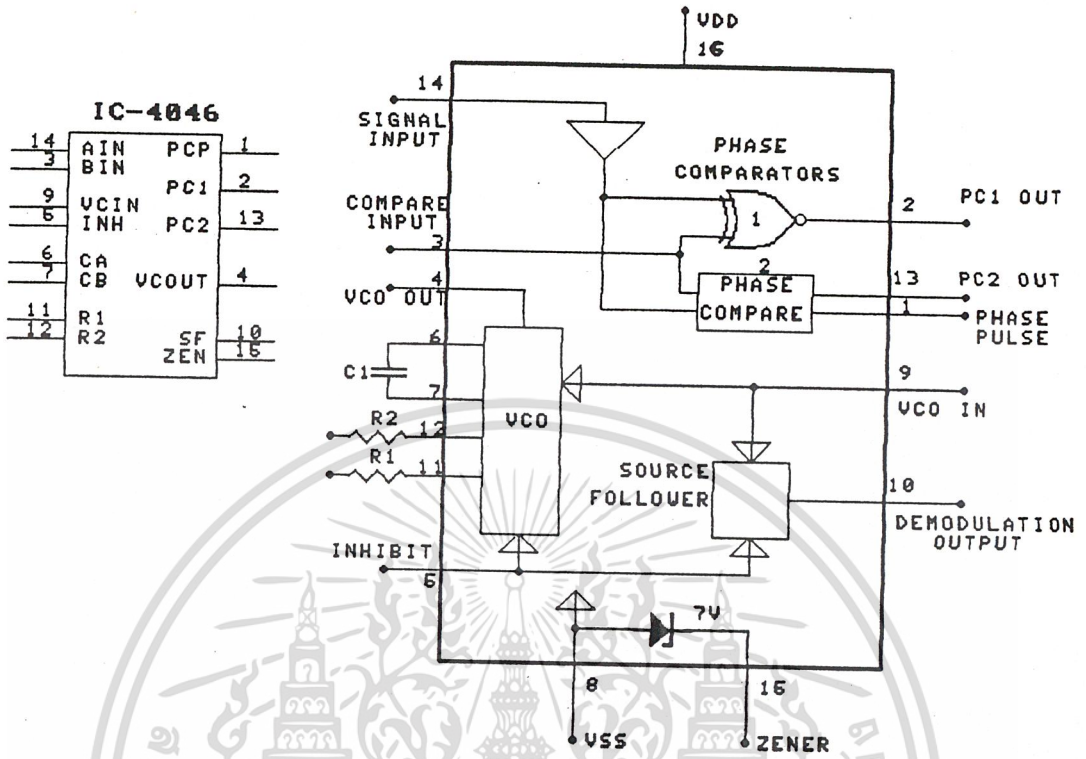
ในวงจร PLL แต่เป็นการนำเอาภาค VCO มาประยุกต์ใช้งานซึ่งจะได้กล่าวต่อไปขั้นต้นด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### การประยุกต์ใช้งานภาค VCO

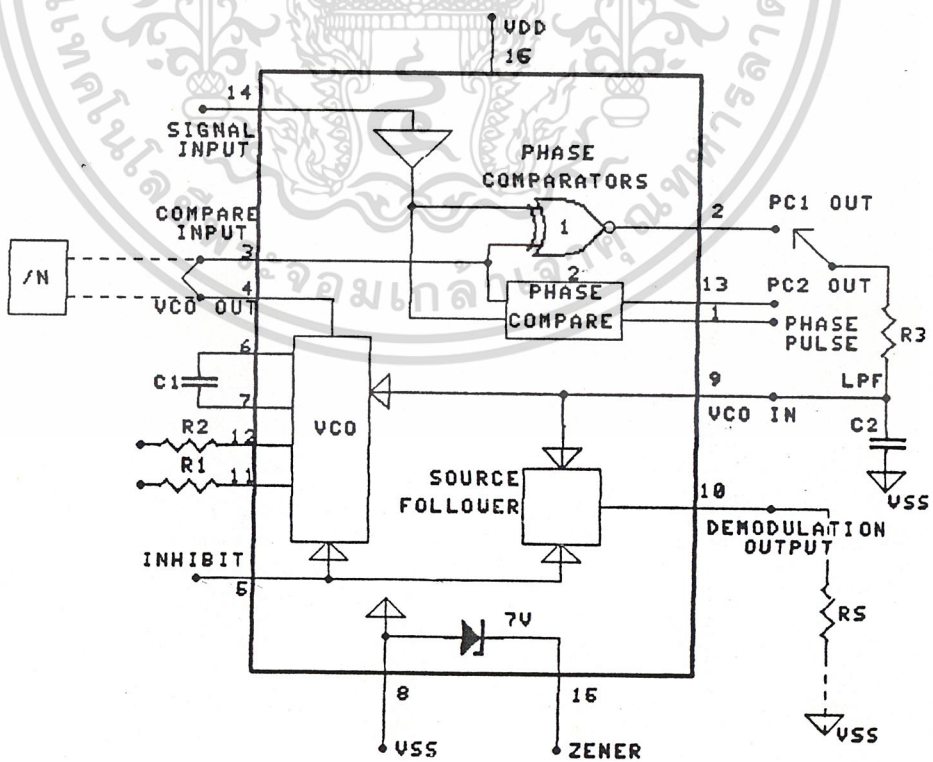
เนื่องจากภาค VCO เป็นส่วนสำคัญในการประยุกต์ใช้งาน จึงจำเป็นต้องศึกษาการทำงานของมันก่อน โดยปกติความถี่ในการทำงานของ VCO ถูกควบคุมโดย

1. ตัวเก็บประจุ C1 ที่ต่อระหว่างขา 6 และขา 7 (ค่าต่ำสุดของ C1 คือ 50 PF)
2. ตัวต้านทาน R1 ที่ต่อระหว่าง ขา 11 และกราวด์
3. แรงดันอินพุทที่ขา 9 ของ VCO

ในรูปที่ 2.18 เป็นกราฟแสดงความสัมพันธ์ของความถี่ของ VCO กับค่าของ R1 และ C1 เมื่อแรงดันอินพุทที่ขา 9 เป็นครึ่งหนึ่งของแรงดันไฟเลี้ยง ( $V_{DD}/2$ ) จากความสัมพันธ์ในกราฟ จะเห็นว่าเมื่อ R1 และ C1 มีค่าน้อยลงจะทำให้ได้ความถี่สูงขึ้นความถี่จะยิ่งสูงขึ้นและถ้าแรงดันขา 9 ยิ่งเพิ่มมากยิ่งขึ้น ความถี่จะยิ่งสูงขึ้น จากกราฟในรูปที่ 2.18 นี้เอง เราสามารถคำนวณหาค่าแรงดันที่ขา 9 ค่าความต้านทาน R1 และค่าตัวเก็บประจุ C1 เพื่อให้ได้ความถี่เอาต์พุทของ VCO ตามที่เราต้องการ



รูปที่ 2.16 แสดงรายละเอียดภายในและการจัดขาของ 4046B



รูปที่ 2.17 การต่อวงจรเพื่อใช้งานแบบเฟสล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

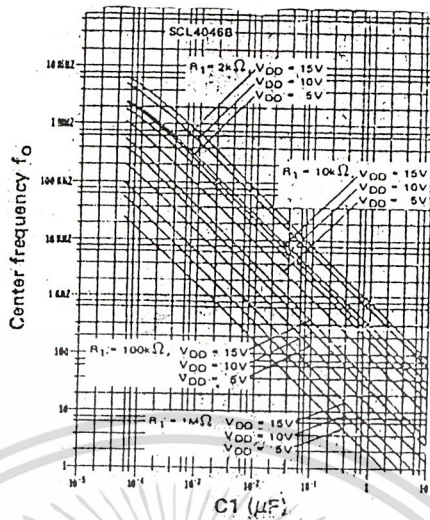
## ตัวอย่างวงจรรีใช้งานของ 4046B

ที่นี้ก็จะได้กล่าวถึงวงจรรีใช้งานซึ่งแยกตามประเภทของวงจรรีต่อไป

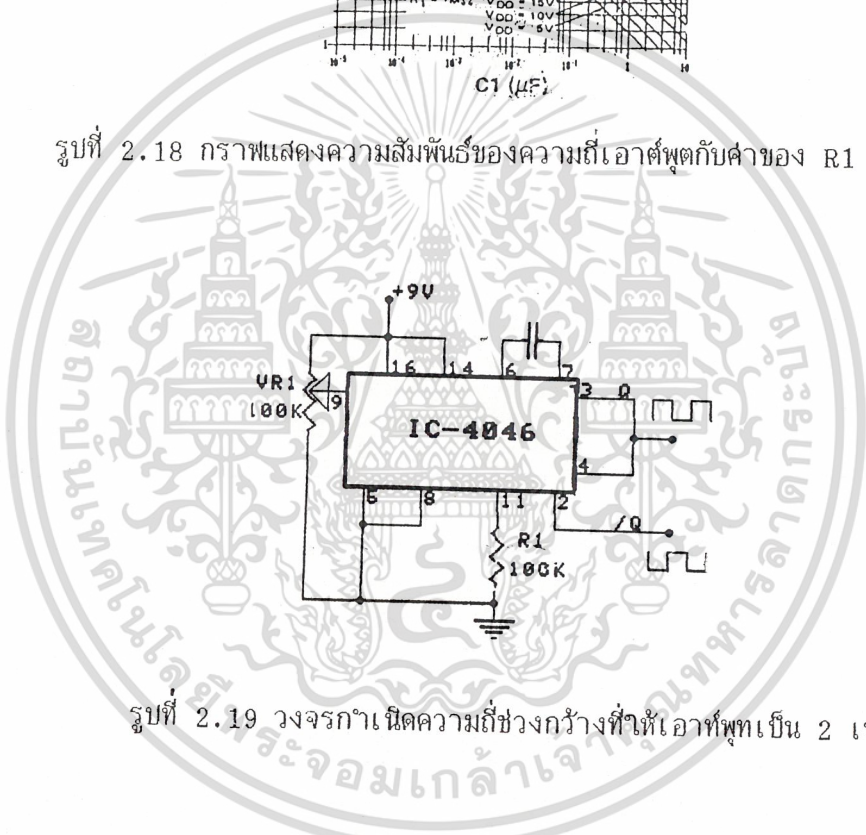
## วงจรรีกำเนิดรูปคลื่นสี่เหลี่ยม

มีด้วยกันหลายแบบตามลักษณะการรีใช้งาน วงจรรีรูปที่ 2.19 เป็นการนำเอา VCO มาสร้างรูปคลื่นสี่เหลี่ยมที่มีเฟสกลับกัน 2 รูปคลื่นโดยการต่อเอาต์พุตของ VCO ที่ขา 4 เข้ากับ อินพุตของวงจรรีเปรียบเทียบเฟสขา 3 ส่วนขาที่ 14 ซึ่งเป็นอินพุตอีกขาหนึ่งสำหรับสัญญาณเข้านั้น จะต่อกับแรงดันไฟเลี้ยงเพื่อให้อยู่ในภาวะลอจิก "1" เราจะได้รูปคลื่นสี่เหลี่ยมที่กลับเฟสแล้วจาก เอาต์พุตที่ขาที่ 2 ส่วนความถี่ของรูปคลื่นนั้นเรารับที่ VR1 เพื่อให้ได้ค่าความถี่ที่ต้องการ ควร สังเกตอย่างหนึ่งคือวงจรรีใช้วงจรรีเปรียบเทียบเฟสตัวที่ 1 ซึ่งเป็นเกตชนิด EXCLUSIVE-OR ในวงจรรีรูปที่ 2.20 ให้รูปคลื่นสี่เหลี่ยมที่ควบคุมโดยใช้สวิทช์แบบกดจากวงจรรีขาที่ 5 ซึ่งเป็นขา INHIBIT ถูกต่ออยู่กับแรงดันไฟเลี้ยงทำให้มีสภาวะลอจิกเป็น "1" ภาควิธี VCO จึงไม่ทำงาน แต่ เมื่อกดสวิทช์ S1 แรงดันที่ขา 5 ถูกดึงลงกราวด์ก็จะเปลี่ยนสภาวะเป็นลอจิก "0" ทำให้ VCO ทำงาน และให้รูปคลื่นสัญญาณสี่เหลี่ยมออกมา ส่วนความถี่นั้นปรับได้ที่ VR1

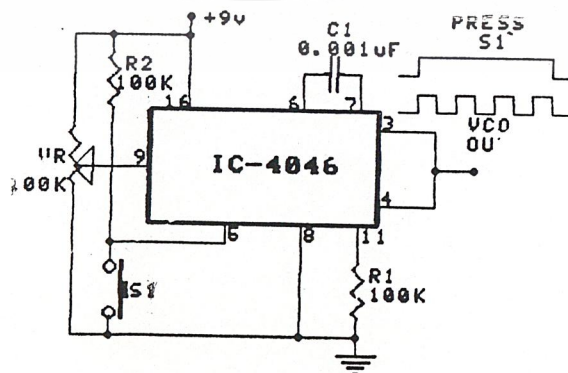
สำหรับวงจรรีรูปที่ 2.21 เป็นการควบคุม VCO โดยอาศัยสัญญาณจากภายนอกในภาวะ บกดีที่ขา 5 จะมีลอจิกเป็น "1" ทำให้ VCO ยังไม่ทำงาน ต่อเมื่อมีสัญญาณลอจิก "1" จากภายนอกเข้ามาที่อินเวอร์เตอร์ก็จะทำให้ขา 5 เปลี่ยนสภาวะลอจิกเป็น "0" ทำให้ภาควิธี VCO ทำงาน และกำเนิดรูปคลื่นออกมาความถี่ก็ควบคุมที่ VR1 ส่วนวงจรรีเปรียบเทียบเฟสตัวที่ 1 ถ้าไม่ได้ใช้งานก็สามารถดัดแปลงใช้เป็นอินเวอร์เตอร์ได้ ดังวงจรรีรูปที่ 2.22 ซึ่งมีคุณสมบัติเหมือนวงจรรีรูปที่ 2.21 ทุกประการ



รูปที่ 2.18 กราฟแสดงความสัมพันธ์ของความถี่เอาต์พุตกับค่าของ R1 และ C1



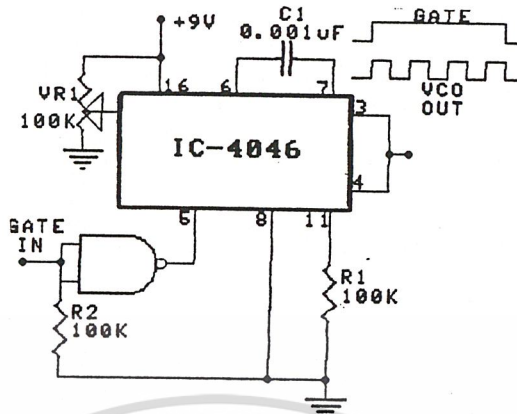
รูปที่ 2.19 วงจรกำเนิดความถี่ช่วงกว้างที่ทำให้เอาต์พุตเป็น 2 เท่า



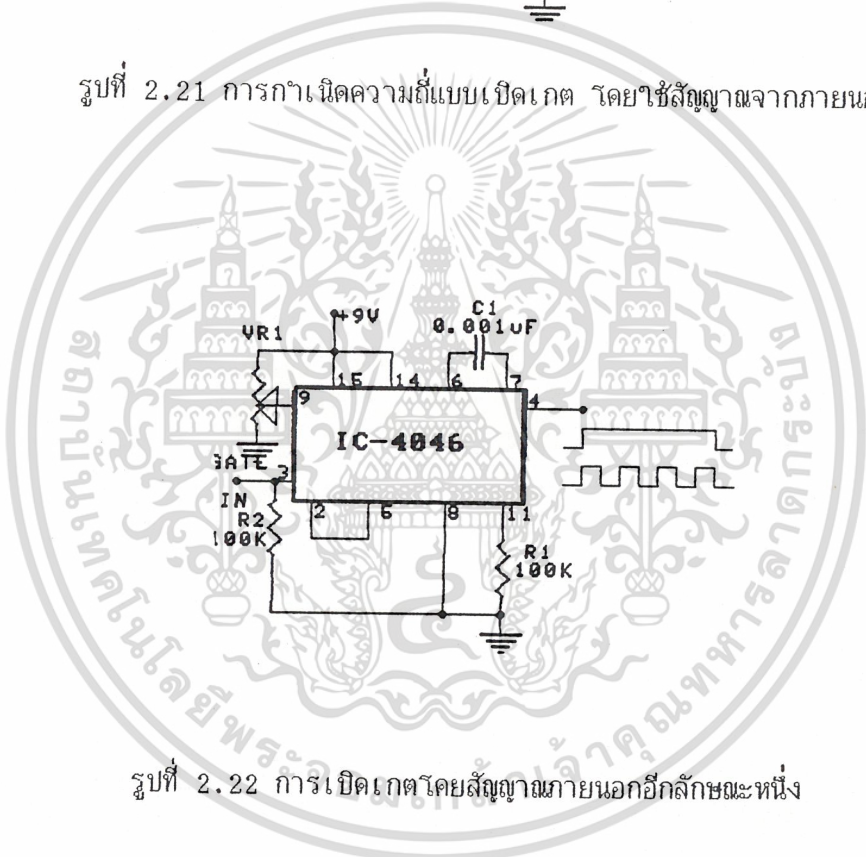
รูปที่ 2.20 การกำเนิดความถี่แบบเปิดเกตให้ทำงานเป็นช่วงโดยวิธีธรรมดา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 การกำเนิดความถี่แบบเปิดเกต โดยใช้สัญญาณจากภายนอก

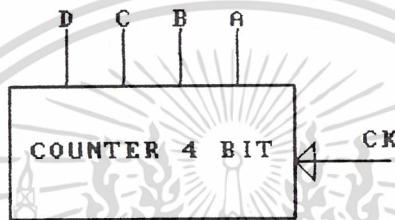
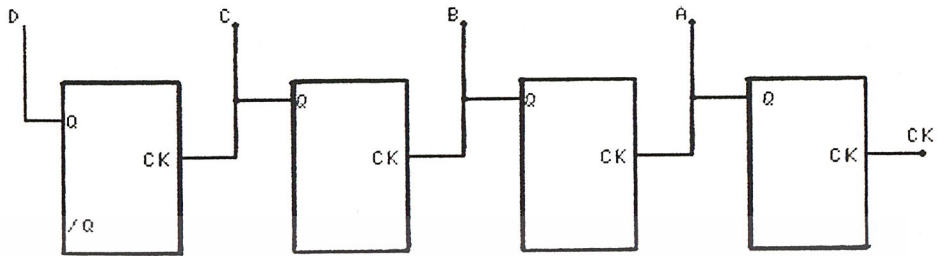


รูปที่ 2.22 การเปิดเกตโดยสัญญาณภายนอกอีกลักษณะหนึ่ง

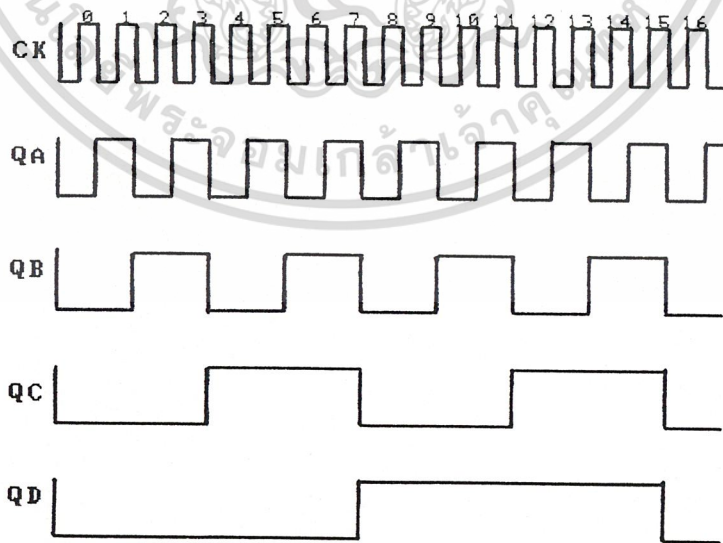
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.3.3] วงจรนับเดินหน้า 4 บิต

วงจรรีบแบบรีปเปิล 4 บิต ดังแสดงในรูปที่ 2.23 และ รูปที่ 2.24 ซึ่งแสดงรูปคลื่นของวงจรรีบ สำหรับลูกศรจะแสดงการเปลี่ยนสถานะของเอาต์พุตจากลอจิก "1" เป็น "0" แล้วทำให้ฟลิปฟลอปตัวต่อไปเปลี่ยนสถานะของเอาต์พุต จะเห็นว่าเอาต์พุต  $2^0$  (A) จะเปลี่ยนแปลงทุกครั้งที่สัญญาณนาฬิกา ส่วนสัญญาณเอาต์พุต  $2^1$  (B) ,  $2^2$  (C) และ  $2^3$  (D) จะมีการเปลี่ยนแปลงสถานะทุกๆ 2 , 4 และ 8 ครั้งของสัญญาณคล็อก หลังจากที่ถูกเอาต์พุตเป็น 1111 (พัลส์ที่ 15) ฟลิปฟลอปทุกๆตัวจะรีเซ็ตพร้อมๆกัน เมื่อเริ่มพัลส์ที่ 16 เอาต์พุตจะเป็น 0000 ถ้าพิจารณาตามเลขฐาน 2 แล้วจะเห็นว่าวงจรรีบนี้จะนับได้เพิ่มขึ้นเรื่อยๆจาก 0000 ถึง 1111 จึงเรียกวงจรรีบว่า วงจรนับเดินหน้าหรือวงจรรีบขึ้น (COUNT-UP BINARY COUNTER) ซึ่งเขียนรูปสัญญาณที่จุดต่างๆได้ดังรูปที่ 2.24 วงจรรีบใช้ฟลิปฟลอปแบบทริกด้วยคอมล (NEGATIVE EDGE TRIGGERED FLIPFLOP) จึงทำให้เอาต์พุตของฟลิปฟลอปเปลี่ยนแปลงที่คอมลของพัลส์เสมอ



รูปที่ 2.23] วงจรนับเดินหน้า 4 บิต



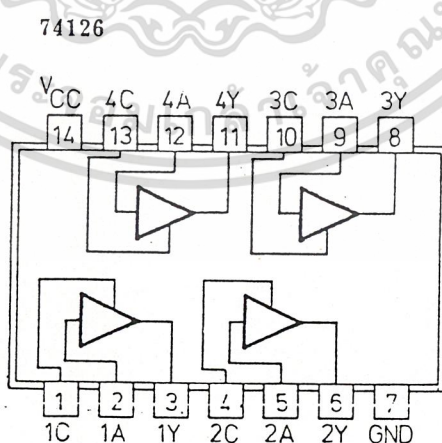
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในคณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.4] ส่วนของภาคแสดงผล

## 1.4.1] ลอจิกชนิด 3 สถานะ (TRI-STATE LOGIC)

สามารถนำมาประยุกต์ใช้งานได้อย่างกว้างขวาง เพราะสามารถให้การทางานที่แตกต่างจากสิ่งทีเกทชนิดอื่นทำไม่ได้ แต่ไอซีเกท 3 สถานะนี้ทำได้ สภาวะที่ 3 ของไอซีชนิดนี้เพิ่มเข้ามานอกเหนือจากสภาวะลอจิก "0" หรือ "1" แล้วก็คือไอซีเกททำตัวเปรียบเสมือนเปิดวงจร โดยเอาที่พุดจะไม่นิ่งอยู่กับอินพุตอีกต่อไป ซึ่งในเกทชนิดอื่น ๆ ไม่มี ดังนั้นการทางานของเกทจึงต้องมีการควบคุมโดยขาคควบคุมสั่งงาน

ใน PROJECT นี้จะใช้ไอซีเบอร์ 74126 ลักษณะการอินาเบิลจะใช้ลอจิก "1" ช่วงเวลาหน่วงเอาที่พุดประมาณ 10 นาโนวินาที ช่วงเวลาหน่วงอินาเบิล 10 นาโนวินาทีใช้กระแสไฟเลี้ยงไอซี 36 มิลลิแอมป์ ดังนั้นจึงนำไอซีเบอร์นี้มาใช้เป็นคาต้าอินาเบิล (DATA ENABLE)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการรู้อยู่ที่ 2:25 ไอซีเบอร์นี้ 74126 ญาติให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.4.2] GAL [16V8 LNC]

เทคโนโลยีล่าสุดของอุปกรณ์ลอจิกอะเรย์

จากอุปกรณ์ไอซีตระกูล PAL [PROGRAMABLE ARRAY LOGIC] ซึ่งเป็นอุปกรณ์ที่บรรจุไปด้วยวงจรถูกพื้นฐานแบบต่างๆ เช่น AND OR อินเวอร์เตอร์รวมไว้ในตัวเดียวกัน ผู้ใช้จึงสามารถออกแบบเชื่อมโยงวงจรถูกเหล่านี้เข้าด้วยกันได้ เพื่อให้วงจรดิจิทัลลอจิกมีฟังก์ชันในการทำงานตามต้องการ อุปกรณ์ที่สามารถโปรแกรมการทำงานได้นี้จะมีชื่อเรียกรวมกันว่า PLD [PROGRAMABLE LOGIC DEVICE] ซึ่ง GAL เป็นอุปกรณ์ชนิดใหม่ GAL มาจาก GENERIC ARRAY LOGIC

ทำความรู้จักกับ GAL

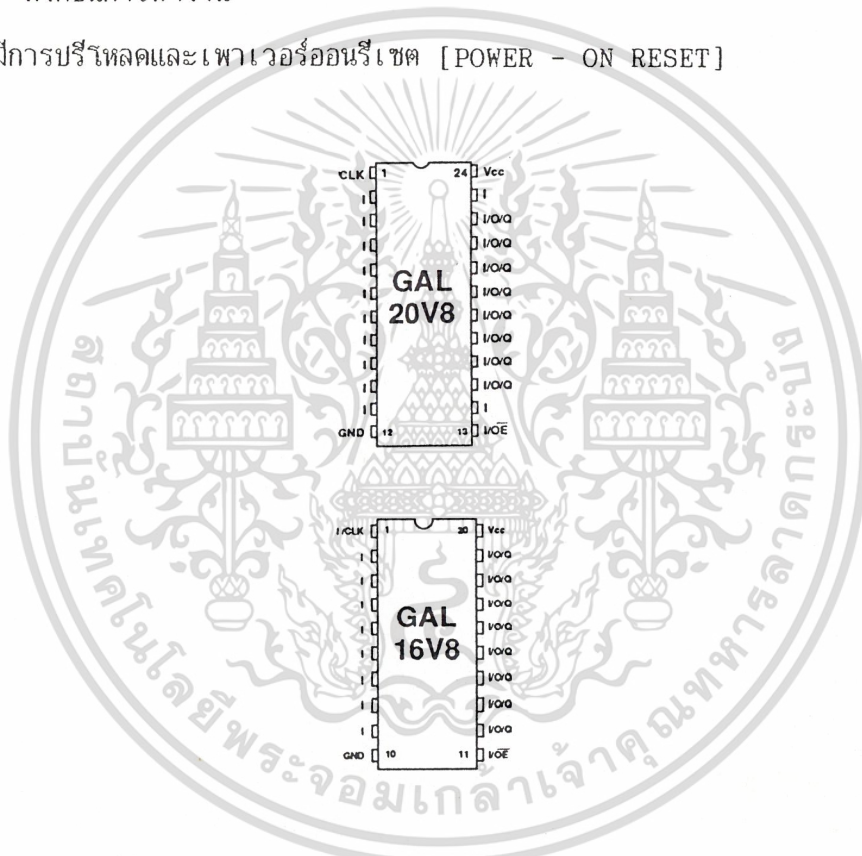
จากไอซี PAL ที่สามารถเลือกชนิดการทำงานของเขาที่พบแบบต่างๆ กันได้ เช่น ทำงานที่ลอจิก "H" [ACTIVE HIGH] หรือ "L" [ACTIVE LOW] หรือเป็นแบบรีจิสเตอร์ที่สามารถออกแบบวงจรซีควเอนเชียลได้ทำให้มีการพัฒนามาเป็น GAL โดยที่ GAL 1 ตัวจะสามารถใช้แทน PAL แบบต่าง ๆ ได้มากมาย

GAL ที่ใช้ใน PROJECT นี้คือ GAL 16 V8 โดยมีคุณสมบัติต่าง ๆ ดังนี้

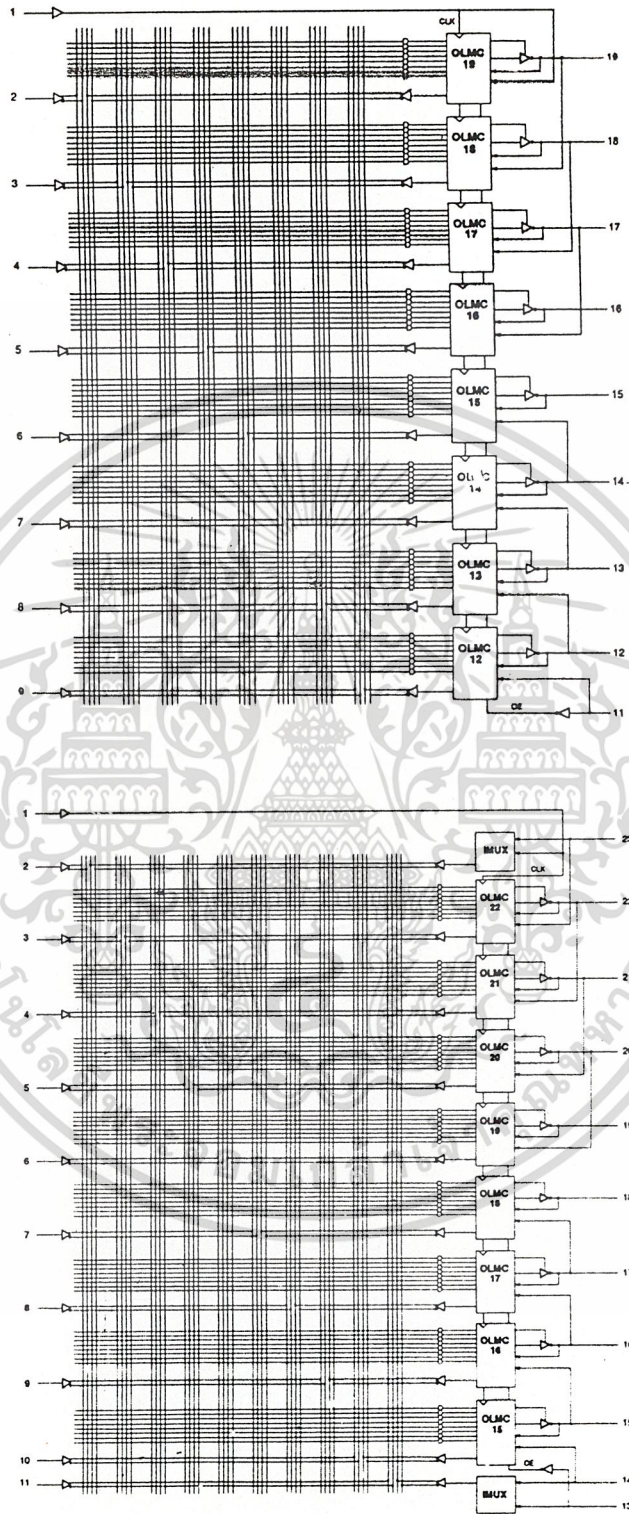
1. ใช้เทคโนโลยี EECMOS [ELECTRICALLY ENASABLE CMOS] ในการผลิตมีข้อดีคือ
  - เวลาหน่วง [PROPAGATION DELAY] สูงสุด 15 นาโนวินาที
  - ใช้งานความถี่สูงสุด 50 MHZ
  - เวลาที่ใช้สูงสุดจากคล็อกถึงการเปลี่ยนแปลงที่เอาต์พุต 12 นาโนวินาที
  - คุณสมบัติทางเอาต์พุตเหมือนกับไอซีทีทีแอล (รับกระแสได้ 24 mA.)
2. ใช้พลังงานเพียงครึ่งเดียวของอุปกรณ์ไบโพลาร์ทั่วไป คือ กินกระแสสูงสุด (ICC) เพียง 45 มิลลิแอมป์
3. โครงสร้างเป็น EECALL ทำให้
  - สามารถกำหนดลอจิกการทำงานใหม่ได้
  - ผ่านการทดสอบและรับประกัน 100 เปอร์เซ็นต์เต็ม

เอกสารนี้เป็นเอกสารความลับการลับโปรแกรมด้วยไฟฟ้าน้อยกว่า 50 มิลลิวินาทีไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เก็บรักษาข้อมูลที่โปรแกรมได้นานถึง 20 ปี
4. มีเอาต์พุตลอจิกมาโครเซลล์ หรือ OLCM [OUTPUT LOGIC MACROCELL] 8 เอาต์พุต ทำให้
- สะดวกต่อการออกแบบวงจรลอจิกที่ซับซ้อนได้
  - สามารถโปรแกรมเอาต์พุตให้ทำงานที่ลอจิก "H" หรือ "L" ได้
  - GAL 16 V8 สามารถนำมาใช้งานแทน PAL ขนาด 20 ขา ได้หลายชนิดได้แบบเต็มฟังก์ชันการทำงาน
5. มีการปรีโหลดและเพาเวอร์ออนรีเซต [POWER - ON RESET]



รูปที่ 2.26 การจัดขาและลักษณะตัวถังของ GAL16V8 และ GAL20V8



รูปที่ 2.27 ลอจิกไดอะแกรมของ GAL16V8 และ GAL20V8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ขั้นตอนในการออกแบบวงจรแสดงผลโดยใช้ GAL

- 1] เขียนลอจิกอินพุตและเอาต์พุตที่ต้องการตั้ง ตารางที่ 3 และ ตารางที่ 4
- 2] ใช้ตาราง K-MAP หาสมการเอาต์พุต ตั้งตาราง K-MAP
- 3] นำสมการเอาต์พุตที่ได้ ป้อนลงในโปรแกรม PAL 21 เพื่อเขียนโปรแกรมในการทดสอบ
- 4] จากโปรแกรมที่ได้ในข้อที่ 3 ของ PAL 21 นำมาโหลดลงในโปรแกรม GAL 1 เพื่อทำการโปรแกรมในตัวไอซี GAL 16V8



A B C D	HEXADECIMAL (0-F)
0 0 0 0	0
0 0 0 1	1
0 0 1 0	2
0 0 1 1	3
0 1 0 0	4
0 1 0 1	5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A B C D	HEXADECIMAL (0-F)
0 1 1 0	6
0 1 1 1	7
1 0 0 0	8
1 0 0 1	9
1 0 1 0	A
1 0 1 1	B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A	B	C	D	HEXADECIMAL (0-F)
1	1	0	0	C
1	1	0	1	D
1	1	1	0	E
1	1	1	1	F

ตารางที่ 2.3 รูปแบบของการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NO	A	B	C	D	a	b	c	d	e	f	g	p
0	0	0	0	0	1	1	1	1	1	1	0	1
1	0	0	0	1	0	1	1	0	0	0	0	1
2	0	0	1	0	1	1	0	1	1	0	1	1
3	0	0	1	1	1	1	1	1	0	0	1	1
4	0	1	0	0	0	1	1	0	0	1	1	1
5	0	1	0	1	1	0	1	1	0	1	1	1
6	0	1	1	0	1	0	1	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0	1
8	1	0	0	0	1	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1	1
A	1	0	1	0	1	1	1	0	1	1	1	0
B	1	0	1	1	0	0	1	1	1	1	1	0
C	1	1	0	0	1	0	0	1	1	1	0	0
D	1	1	0	1	0	1	1	1	1	0	1	0
E	1	1	1	0	1	0	0	1	1	1	1	0
F	1	1	1	1	1	0	0	0	1	1	1	0

ตารางที่ 2.4 ลอจิกอินพุตและเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง K-MAP

CD \ AB	00	01	11	10
00	1	0	1	1
01	0	1	0	1
11	1	1	1	0
10	1	1	1	1

$$a = A\bar{B}\bar{C} + \bar{B}\bar{C} + A\bar{D} + \bar{A}BD + BC + \bar{A}C$$

CD \ AB	00	01	11	10
00	1	1	0	1
01	1	0	1	1
11	1	1	0	0
10	1	0	0	1

$$b = \bar{A}\bar{C}\bar{D} + A\bar{C}\bar{D} + \bar{A}\bar{C}D + \bar{A}\bar{B} + \bar{B}\bar{D}$$

CD \ AB	00	01	11	10
00	1	0	1	1
01	0	0	1	0
11	0	0	1	1
10	1	1	1	1

$$e = ABD + AD + \bar{B}\bar{D} + AC + \bar{C}\bar{D}$$

CD \ AB	00	01	11	10
00	1	1	1	1
01	0	1	0	1
11	0	0	1	1
10	0	1	1	1

$$f = \bar{A}BC + \bar{B}\bar{D} + AC + \bar{A}\bar{B} + \bar{C}\bar{D}$$

CD \ AB	00	01	11	10
00	1	1	0	1
01	1	1	1	1
11	1	1	0	1
10	0	1	0	1

$$c = \bar{A}B + A\bar{B} + \bar{C}D + \bar{B}\bar{C} + \bar{B}D$$

CD \ AB	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	1	0	0	1
10	1	1	1	0

$$d = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}D + \bar{B}\bar{C}\bar{D} + \bar{A}BC + \bar{A}\bar{C}\bar{D} + AC$$

CD \ AB	00	01	11	10
00	0	1	0	1
01	0	1	1	1
11	1	0	1	1
10	1	1	1	1

CD \ AB	00	01	11	10
00	1	1	0	1
01	1	1	0	1
11	1	1	0	0
10	1	1	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ  $g = \bar{A}BC + \bar{B}\bar{C} + \bar{C}\bar{D} + AC + AD + A\bar{B}$  ศึกษาเท่านั้น ไม่อาจนำ  $p = \bar{A} + \bar{B}\bar{C}$  นี้ไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PAL16L8      โปรแกรม DISPLAY 7-SEGMENT ของการออกแบบ GAL  
 IC1  
 DISPLAY 7-SEGMENT  
 KMITL, BEEPCALL-PROJECT2  
 CK1 CLR A B C D NC NC NC GND  
 /OE /F1 /F2 /F3 /F4 /F5 /F6 /F7 /F8 VCC

IF (OE) F1 = A\*/B\*/C\*/CLR + /B\*/D\*/CLR + A\*/D\*/CLR  
 + /A\*B\*D\*/CLR + B\*C\*/CLR + /A\*C\*/CLR  
 IF (OE) F2 = /A\*/C\*/D\*/CLR + A\*/C\*D\*/CLR + /A\*C\*D\*/CLR  
 + /A\*/B\*/CLR + /B\*/D\*/CLR  
 IF (OE) F3 = /A\*B\*/CLR + A\*/B\*/CLR + /C\*D\*/CLR  
 + /B\*/C\*/CLR + /B\*D\*/CLR  
 IF (OE) F4 = /A\*/B\*/C\*/D\*/CLR + B\*/C\*D\*/CLR + A\*/B\*D\*/CLR  
 + B\*C\*/D\*/CLR + /A\*/B\*C\*/CLR + /A\*C\*/D\*/CLR  
 + A\*/C\*/CLR  
 IF (OE) F5 = A\*B\*D\*/CLR + A\*/D\*/CLR + /B\*/D\*/CLR + A\*C\*/CLR  
 + C\*/D\*/CLR  
 IF (OE) F6 = /A\*B\*/C\*/CLR + B\*/D\*/CLR + A\*C\*/CLR + A\*/B\*/CLR  
 + /C\*/D\*/CLR  
 IF (OE) F7 = /A\*B\*/C\*/CLR + /B\*C\*/CLR + C\*/D\*/CLR + A\*C\*/CLR  
 + A\*D\*/CLR + A\*/B\*/CLR  
 IF (OE) F8 = /A\*/CLR + /B\*/C\*/CLR

FUNCTION TABLE

CLR /OE	A	B	C	D	F1	F2	F3	F4	F5	F6	F7	F8	COMMENT
L H	X	X	X	X	Z	Z	Z	Z	Z	Z	Z	Z	HI-Z CLEAR
H L	X	X	X	X	L	L	L	L	L	L	L	L	
L L	L	L	L	L	H	H	H	H	H	H	L	H	0
L L	L	L	L	H	L	H	H	L	L	L	L	H	1
L L	L	L	H	L	H	H	L	H	H	L	H	H	2
L L	L	L	H	H	H	H	H	H	L	L	H	H	3
L L	L	H	L	L	L	H	H	L	L	H	H	H	4
L L	L	H	L	H	H	L	H	H	H	H	H	H	5
L L	L	H	H	L	H	H	H	L	L	L	L	H	6
L L	L	H	H	H	H	H	H	L	L	L	L	H	7
L L	L	H	L	L	L	H	H	H	H	H	H	H	8
L L	L	H	L	H	H	H	H	H	L	H	H	H	9
L L	L	H	L	H	L	L	H	H	H	H	H	L	A
L L	L	H	H	L	L	L	L	H	H	H	L	L	B
L L	L	H	H	L	H	L	H	H	L	L	H	L	C
L L	L	H	H	H	L	L	L	H	H	H	H	L	D
L L	L	H	H	H	H	L	L	L	H	H	H	L	E
L L	L	H	H	H	H	L	L	L	H	H	H	L	F

DESCRIPTION

THIS PROGRAM DISPLAY 7-SEGMENT(0-F)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



DISPLAY 7-SEGMENT

	*****	*****	
	*	* *	*
	****		****
CK1	* 1*	P A L	*20*
	****		****
	*	1 6 L8	*
	****		****
CLR	* 2*		*19*
	****		****
	*		*
	****		****
A	* 3*		*18*
	****		****
	*		*
	****		****
B	* 4*		*17*
	****		****
	*		*
	****		****
C	* 5*		*16*
	****		****
	*		*
	****		****
D	* 6*		*15*
	****		****
	*		*
	****		****
NC	* 7*		*14*
	****		****
	*		*
	****		****
NC	* 8*		*13*
	****		****
	*		*
	****		****
NC	* 9*		*12*
	****		****
	*		*
	****		****
GND	*10*		*11*
	****		****
	*		*
	*****		*****

รูปที่ 2.28 การจัดขาต่างๆ ของ GAL ที่ได้ออกแบบ

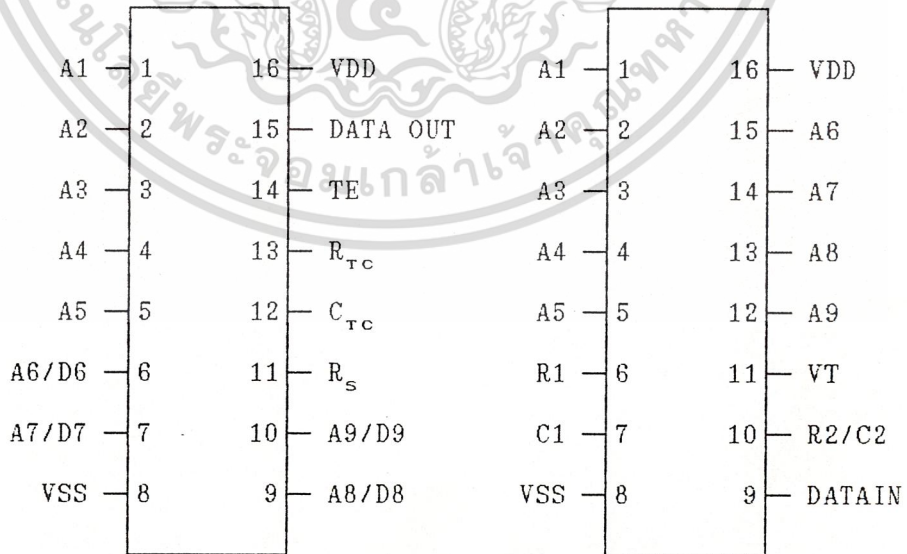
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์ที่ใช้ในการเข้ารหัสและถอดรหัสข้อมูล

การทำงานของ MC 145026 ENCODER, MC 145027 DECODER

ไอซีเบอร์ MC 145026 นี้มีหน้าที่ในการเข้ารหัส (ENCODER) ข้อมูล โดยมีคุณสมบัติเด่นคือจะให้ข้อมูลทางเอาต์พุตออกมา 9 BIT โดยใน 9 BIT นี้จะแบ่งเป็น ADDRESS จำนวน 5 BIT และเป็นข้อมูล หรือ DATA จำนวน 4 BIT โดยเอาต์พุตที่ได้จะอยู่ในรูปอนุกรม และที่สำคัญ คือ สถานะของข้อมูลทางเอาต์พุตจะมี 3 สถานะ คือ 0 1 และ OPEN ดังนั้นจำนวน ADDRESS สูงสุดที่สามารถมีได้คือ  $3^5 = 243$  ADDRESS โดยในหนึ่ง ADDRESS ประกอบด้วยข้อมูลจำนวน 4 BIT ดังนั้นในหนึ่ง ADDRESS จะมีข้อมูลที่แตกต่างกันเท่ากับ  $3^4 = 81$  ดังนั้นเราสามารถส่งรหัสคำสั่งที่ต่างกันได้ ถึง  $243 \times 81 = 19683$  คำสั่ง หรือกล่าวง่าย ๆ คือสามารถควบคุมระบบงานได้ถึง 19683 CHANNEL และรหัสคำสั่งเหล่านี้จะอยู่ในรูปของ PULSE WIDTH MODULATION

ลักษณะการจัดขาของ MC 145026 และ MC 145027



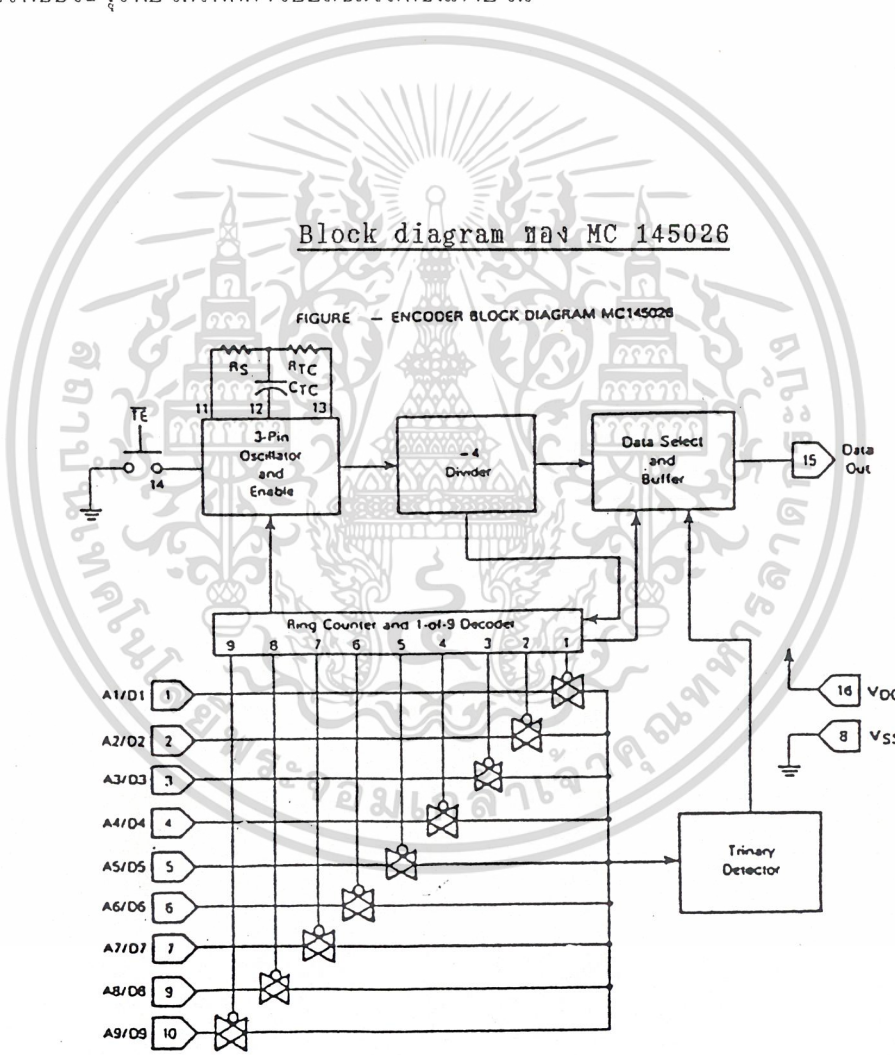
MC 145026 ENCODER

MC 145027 DECODER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรู๊ปที่ 2.29 ไอซีเข้ารหัสและถอดรหัสให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของ MC 145026

อันดับแรกเราต้องเลือกจ่ายไฟเลี้ยงที่ขา VDD ซึ่งสามารถที่จะเลือกจ่ายได้ 3 ขนาด คือ VDD = 5 V. , 10 V. , 15 V. ในโครงงานนี้เลือกใช้ VDD = 5 V. ขา A1-A5 คือ ADDRESS ที่เราต้องการใส่ข้อมูลไปที่ขานี้ เราข้อน "0" หรือ "1" หรือ OPEN ก็ได้ ส่วนขา A6-A9 เป็นข้อมูลที่เราจะบรรจุลงใน ADDRESS ขา RS,RTC เป็นขาที่ต้องจัดค่าความต้านทาน และตัวเก็บประจุเพื่อให้เกิดการออสซิลเลชันภายใน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ที่ 2.30 BLOCK DIAGRAM นี้เป็นการศึกษาเท่านั้น ไม่ควรนำเข้าไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา A1-A5 / D1-D4 คือ ขาอินพุทของเลขฐานสองที่จะนำมาเข้ารหัสคำสั่งเพื่อให้เกิดเป็นข้อมูลแบบอนุกรมที่ขา DATA OUT

ขา  $R_S$  ,  $R_{TC}$  ,  $C_{TC}$  คือ ขาที่มีสำหรับใส่ค่า R และค่า C ที่คำนวณได้เพื่อให้เกิดการออสซิลเลทความถี่ขึ้นภายในตัวไอซี

ขา VSS คือ ขา GROUND

ขา VDD คือ ขาแหล่งจ่ายไฟตรง (+)

ขา TE คือ ขา TRANSMIT ENABLE เป็นขาที่ทำงานที่ "0" ทำหน้าที่กำหนดการส่งข้อมูลออกทางขา DATA OUT

ตัวไอซีจะเป็นตัวกำหนดความถี่ทาง OUTPUT ด้วยโดยค่าความต้านทานและค่าของตัวเก็บประจุนี้ต้องสัมพันธ์กับทางด้านรับด้วย ขา TE นั้นจะเป็นขาที่กำหนดการส่งรหัสข้อมูลออกที่ขา 15 โดยถ้าเราต้องการให้ขานี้เป็น "0" เท่านั้นจึงจะมีการส่งรหัสคำสั่งออกมา ความถี่ที่ต้องการทาง OUTPUT นั้นสามารถกำหนดได้ตามสมการดังนี้

$$F_{osc} = 1/(2.3 * R_{TC} * C_{TC})$$

$$R_1 C_1 = 3.95 * R_{TC} * C_{TC}$$

และ

$$R_2 C_2 = 77 * R_{TC} * C_{TC}$$

$$C_{TC} = C_{TC} + C_{LAYOUT} + 12pF ; 100pF < C_{TC} < 15uF$$

$$R_{TC} > 10K ; R_S = 2R_{TC} ; R_1 > 10K$$

$$C_1 > 400pF ; R_2 > 100K ; C_2 > 700pF$$

ขา DATA OUT คือ ขา OUTPUT ของไอซี สัญญาณที่ออกจากขานี้จะ เป็นข้อมูลอนุกรมแบบ PWM. ที่ได้จากนาฬิกาข้อมูล ที่ขา A1-A5 / A6-A8 มาเข้ารหัสโดยที่สัญญาณ PWM. ส่งออกมาเป็นช่วงๆ คือทุก 150 nSEC และที่ขา TE ต้องเป็น "0" ด้วย

## การทำงานของ MC 145027

เริ่มจากรับข้อมูลที่เข้ามายังขา DATA IN โดยที่ข้อมูลที่เข้ามาจะมีรูปแบบเป็น PWM. เมื่อได้รับข้อมูลใดๆ เข้ามาก็จะเริ่มนับข้อมูลที่ได้รับเป็นตัวแรกเป็นบิตที่ 1 และเรียงต่อไปเรื่อยๆ จนครบ 9 บิต อย่าลืมว่าที่ตัว ENCODER นั้นเรามี ADDRESS อยู่ 5 บิต คือ ขา A1-A5 ฉะนั้นที่ DECODER ก็จะถือว่าข้อมูลที่รับได้และนำมาเรียงกันจนครบ 9 บิต นั้น 5 บิตแรกจะเป็น ADDRESS และอีก 4 บิตข้างหลังเป็นข้อมูลและค่าความถี่ของสัญญาณนั้นจะต้องสัมพันธ์กันทั้งด้านส่งและด้านรับตามสมการข้างต้น

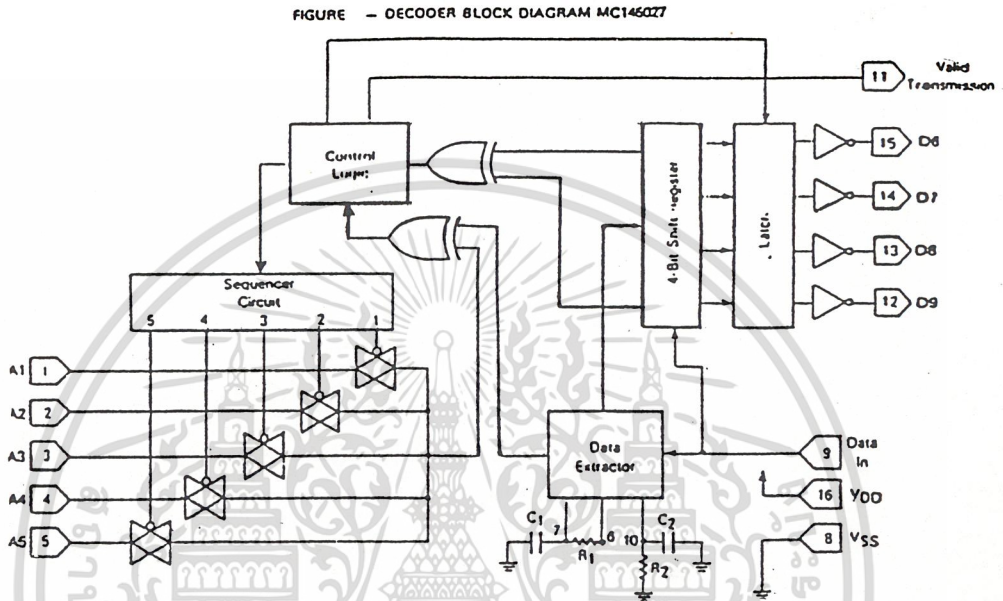
และจากรูปของการจัดขานั้นจะเห็นว่าขาอินพุต A1-A5 เหมือนกับ MC 145026 มีไว้เพื่อช่วยให้การรับข้อมูลถูกต้องที่สุด เช่นเราส่งข้อมูลเป็น 1 1 1 1 1 0 0 0 1 ซึ่ง 5 บิตแรกของข้อมูลที่ส่งมานี้ คือสถานะที่เราข้อนไว้ที่ ขา A1-A5 ของ MC 145026 และ 4 บิตหลังเป็นสถานะที่ขา A6-A9 ข้อมูลนี้จะอนุกรมเข้ามาที่ ขา DATA IN ของ MC 145027 ฉะนั้นเราต้องการข้อมูลตัวนี้ทางเอาต์พุต A6-A9 ของ MC 145027 แล้วเราต้องกำหนดสถานะที่ ขา A1-A5 ของ MC 145027 นี้ให้เหมือนกับทาง ENCODER ทุกประการไว้ก่อน ดังนั้นเมื่อข้อมูล 1 1 1 1 1 0 0 0 1 นี้ถูกส่งออกมา เราต้องกำหนดค่าให้ขา A1-A5 ของ MC 145027 เป็น 1 1 1 1 1 ด้วยจากนั้นวงจรภายในจะนำเอาข้อมูลที่รับได้นี้มาทำการเปรียบเทียบกัน โดยนำเอาข้อมูล 5 บิตแรกของข้อมูลที่รับได้มาถอดรหัส และนำมาเปรียบเทียบกับสถานะที่ ขา A1-A5 ของตัวมันว่าเท่ากันหรือไม่ถ้าสถานะทั้งสองเท่ากัน มันจะส่ง "1" ออกมาที่ขา VT (VALID TRANSMISSION) เพื่อบอกให้ทราบว่าขณะนี้ ADDRESS ที่ส่งมานั้นตรงกับ ADDRESS ด้านรับและพร้อมๆ กันนั้นมันจะส่งข้อมูลที่เหลืออีก 4 บิต จากที่รับเข้ามาได้มาถอดรหัสออกแล้วส่งข้อมูลนั้นออกมาที่ ขา A6-A9 โดยเรียงลำดับความสำคัญของแต่ละบิตเหมือนกับทางด้านส่งทุกประการ

## การทำงานย่อ ๆ ของ IC MC145027

1. นำข้อมูลที่เข้าทางขา DATA IN มาเรียงกันให้ได้ 9 บิต
2. ถอดรหัส 5 บิตแรกของข้อมูลที่ได้รับ
3. เปรียบเทียบข้อมูลที่ขา A1-A5 ของตัวมันว่าตรงกับข้อมูลในข้อ 2. หรือไม่
4. ถ้าตรงกันส่ง LOGIC "1" ไปที่ขา VT แล้วถอดรหัสข้อมูลอีก 4 บิตที่เหลือและเรียงข้อมูล

นี่ให้เหมือนกับที่ส่งมาแล้วส่งออกไปที่ขา A6-A9 นั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM ของ MC 145027



รูปที่ 2.31 BLOCK DIAGRAM

- ขา A1-A5 คือ ขาอินพุทของ ADDRESS ที่เราต้องการข้อมูล
- ขา A6-A9 คือ ขาเอาต์พุทของข้อมูลที่อยู่ใน ADDRESS ที่เรากำหนดไว้
- ขา R1/C1 , R2/C2 คือ ขาที่เราต้องใส่ค่า R และ C ตามที่เราคำนวณได้และต้องให้สัมพันธ์กับทางด้านส่งด้วย
- ขา VT (VALID TRANSMISSION) คือ ขาที่บ่งบอกสถานะการทำงานว่าค่าของ ADDRESS ที่รับได้นั้นเท่ากับที่กำหนดที่ขา A1-A5 หรือไม่ ถ้าค่าทั้งสองเท่ากัน ที่ขา VT จะเป็น "1" ถ้าไม่เท่ากันจะเป็น "0"

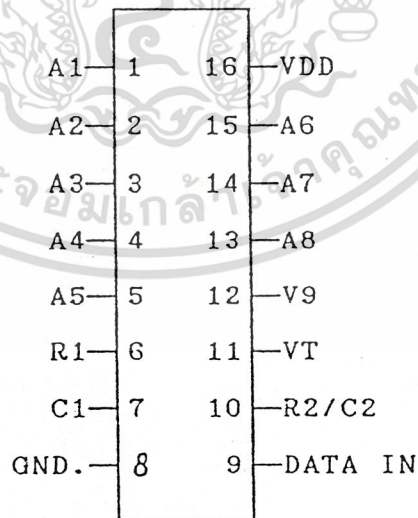
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### การทำงานของ MC 145028

การทำงานของไอซี MC145028 จะทำงานเหมือนกับไอซี MC145027 ไอซี MC145028 นั้นจะมีขา ADDRESS 9 ขา ใช้เป็นตัวเข้ารหัส ซึ่งสามารถให้ "1" "0" หรือบัสลอยลอย ดังนั้นเราสามารถได้รหัสคำสั่งที่แตกต่างกันได้ถึง  $2 \times 3^8 = 13,122$  รหัสคำสั่ง มีขา 6 ขา 7 และ ขา 10 ตั้งความถี่ออสซิลเลเตอร์และความถี่ภายในตัวมันเองเช่นเดียวกับไอซี MC 145027 ขา VT เป็นขาที่มีหน้าที่บอกสภาวะการทำงานว่า ค่าของ ADDRESS ที่รับเข้ามานั้นเท่ากับที่กำหนดที่ ขา A1-A5 หรือไม่ถ้าค่าทั้งสองเท่ากัน นี้จะเป็น "1" ถ้าไม่เท่ากันจะเป็น "0" ในโครงการนี้เราจะใช้ VT นำสัญญาณไปควบคุมการทำงานตามต้องการ

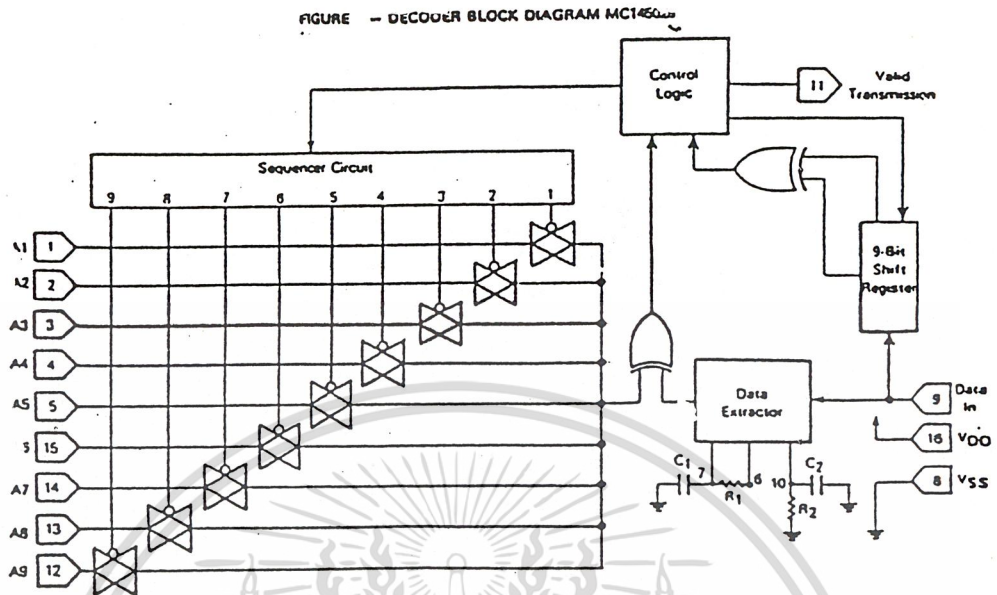
อย่างไรก็ตามไอซีทั้งสามตัวนี้เรามี DATA SHEET เกี่ยวกับรายละเอียดและการใช้งานไว้ท้ายโครงการเล่มนี้อีกครั้ง

### ลักษณะการจัดขาของ MC 145028



MC 145028 DECODER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเท่านั้น ไม่ควรเผยแพร่ไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.33 BLOCK DIAGRAM ของ MC 145028

- ขา A1-A9 คือ ขาอินพุทของ ADDRESS ที่เราต้องการข้อมูล
- ขา R1/C1, R2/C2 คือขาที่เราต้องใส่ค่า R และ C ตามที่เราคำนวณได้และต้องให้สัมพันธ์กับทางด้านล่างด้วย
- ขา VDD คือขาแหล่งจ่ายไฟตรง (+) ขา VSS คือขา GROUND
- ขา VT: VALID TRANSMISSION คือขาที่มีหน้าที่บ่งบอกสถานะการทำงานว่าค่าของ ADDRESS ที่รับได้นั้นเท่ากับที่กำหนดที่ขา A1-A5 หรือไม่ถ้าค่าทั้งสองเท่ากันที่ขานี้จะเป็น "1" ถ้าไม่เท่าจะเป็น "0"

## การใช้งาน IC ENCODER/DECODER

MC 145028 MC 145027 MC 145028

การคำนวณค่า R และ C ให้กับวงจร

1. จะต้องคำนวณค่า ความถี่ให้กับ MC 145026 (ENCODER) เสียก่อน

โดยใช้สูตร

$$F_{osc} = [1/2.3 R_{TC} * C_{TC}]$$

จาก DATA SHEET กำหนดค่าให้  $C_{TC} = C_{TC} + 20PF$ และให้ค่า  $R_S = 2 R_{TC}$  $C_{TC}$  มีค่าอยู่ระหว่าง 100 PF - 15 UF $R_{TC}$  มีค่าไม่ต่ำกว่า 10K

การกำหนดความถี่ก็ควรกำหนดให้เหมาะสมกับการใช้งาน ซึ่งขึ้นอยู่กับผู้ใช้

2. การคำนวณค่าให้กับ MC 145027 MC 145028 (DECODER)

คำนวณได้จากสูตร  $R_1 C_1 = 3.95 R_{TC} * C_{TC}$ และ  $R_2 C_2 = 77 R_{TC} * C_{TC}$ 

โดยดูจากวงจร ตัวอย่างซึ่งจะใช้เบอร์ MC 145026 คู่กับเบอร์ MC

145027 ส่วน IC เบอร์ 145028 นั้นก็คำนวณเช่นเดียวกับ MC 145027

## หลักการทํางานของวงจรมอดเข้ารหัส

หลักการทํางานของวงจรมอดเข้ารหัสของเครื่องส่ง

ส่วนแรกคือวงจรมอดเข้ารหัส ซึ่งได้อธิบายไว้อย่างละเอียดแล้วในส่วนหน้า ดังนั้นในส่วนนี้จะไม่ขออธิบายซ้ำ แต่จะเริ่มอธิบายในส่วนอื่นต่อจากวงจรมอดเข้ารหัส เมื่อทำการถอดรหัสใด ๆ รหัสหนึ่งจะได้ค่ารหัสที่ส่งต่อไปนี้

กตเลข 0	จะได้ค่ารหัสที่ส่งไปนี้	0000
กตเลข 1	จะได้ค่ารหัสที่ส่งไปนี้	0001
กตเลข 2	จะได้ค่ารหัสที่ส่งไปนี้	0010
กตเลข 3	จะได้ค่ารหัสที่ส่งไปนี้	0011
กตเลข 4	จะได้ค่ารหัสที่ส่งไปนี้	0100
กตเลข 5	จะได้ค่ารหัสที่ส่งไปนี้	0101
กตเลข 6	จะได้ค่ารหัสที่ส่งไปนี้	0110
กตเลข 7	จะได้ค่ารหัสที่ส่งไปนี้	0111
กตเลข 8	จะได้ค่ารหัสที่ส่งไปนี้	1000
กตเลข 9	จะได้ค่ารหัสที่ส่งไปนี้	1001
กตอักษร A	จะได้ค่ารหัสที่ส่งไปนี้	1010
กตอักษร B	จะได้ค่ารหัสที่ส่งไปนี้	1011
กตอักษร C	จะได้ค่ารหัสที่ส่งไปนี้	1100
กตอักษร D	จะได้ค่ารหัสที่ส่งไปนี้	1101
กตอักษร E	จะได้ค่ารหัสที่ส่งไปนี้	1110
กตอักษร F	จะได้ค่ารหัสที่ส่งไปนี้	1111

การถอดรหัสตัวใดตัวหนึ่งจะได้ค่ารหัสที่ส่งออกมา และจะมีสัญญาณตรวจสอบการถอดรหัสด้วยในส่วนของค่ารหัสที่ส่งไปเป็น 4 BIT แบบ PARALLEL สมมุติว่ารหัสเลข 2 ก็จะได้ค่ารหัสที่ส่งไป 0010 ที่ขา 3, 9, 12, 15 ของไอซี 4042 ตามลำดับ ส่วนสัญญาณตรวจสอบการถอดรหัสจะได้จาก

ขา 14 ของ IC 4512 แล้วนำสัญญาณตรวจสอบการถอดรหัสนี้ไปผ่านวงจร DEBOUNCE ก่อน เพื่อ  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

าให้ได้สัญญาณตรวจสอบการกคคียที่สมบูรณ์

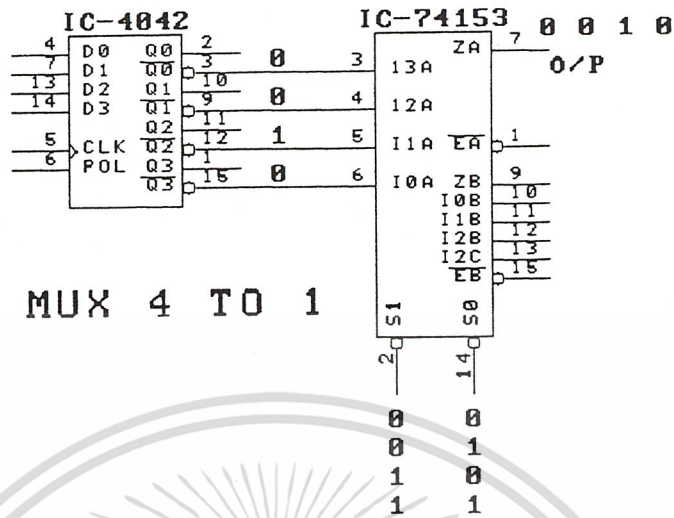
จากค่ารหัสคคียที่ได้จาก IC 4042 ซึ่งเป็นข้อมูลแบบขนานนั้นจะถูกส่งมายัง IC74153 เป็นไอซีมัลติเพล็กซ์ โดยจะทำการเปลี่ยนข้อมูลขนาน ำให้เป็นข้อมูลอนุกรมซึ่งข้อมูลอนุกรมนี้จะถูกส่งออกมาที่ละบิตตามต้องการโดยการควบคุมที่ขา 2,14 ซึ่งเป็นขา SELECT A,B การควบคุมการทำงานของ IC 74153 นี้จะต้องมี LOGIC ที่ขา 2 กับ 14 ดังตารางที่ 3.1 CONTROL LOGIC

SELECT		DATA INPUT				OUTPUT
B	A	C0	C1	C2	C3	Y
0	0	H	X	X	X	H
0	1	X	H	X	X	H
1	0	X	X	H	X	H
1	1	X	X	X	H	H

ตารางที่ 3.1 CONTROL LOGIC

จากตารางข้างบนนี้จะเห็นได้ว่า ขา SELECT A,B จะเป็นลักษณะของวงจรรีบเดินหน้า 4 บิต ดังนี้คือ 00,01,10,11 จากนั้นก็เริ่มต้นที่ 00 และไปสิ้นสุดที่ 11 อีกครั้ง ดังนั้นอินพุตที่นำมาบ่อนำให้ขา SELECT ของ IC 74153 นี้จะต้องเป็นวงจรรีบเดินหน้า 4 จึงจะทำให้ได้เอาที่พุทออกมาตามต้องการ

เพื่อให้เข้าใจหลักการของมัลติเพล็กซ์ 4 ออก 1 มากขึ้นก็จะสมมุติว่า เมื่อมีการกคเลข 2 เกิดขึ้น ซึ่งจะมีข้อมูล 0010 ปรากฏที่ขา 3,9,12,15 ของ IC 4042 จากนั้น เมื่อทำการมัลติเพล็กซ์โดยบ่อนอินพุทจากวงจรรีบเดินหน้า 4 คือ 00,01,10,11 จะมีข้อมูลเรียงกัน เอกสารนี้เป็นอนุกรมปรากฏที่เอาที่พุทของ IC 74153 ดังรูปที่ 3.1 หลักการมัลติเพล็กซ์ระโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



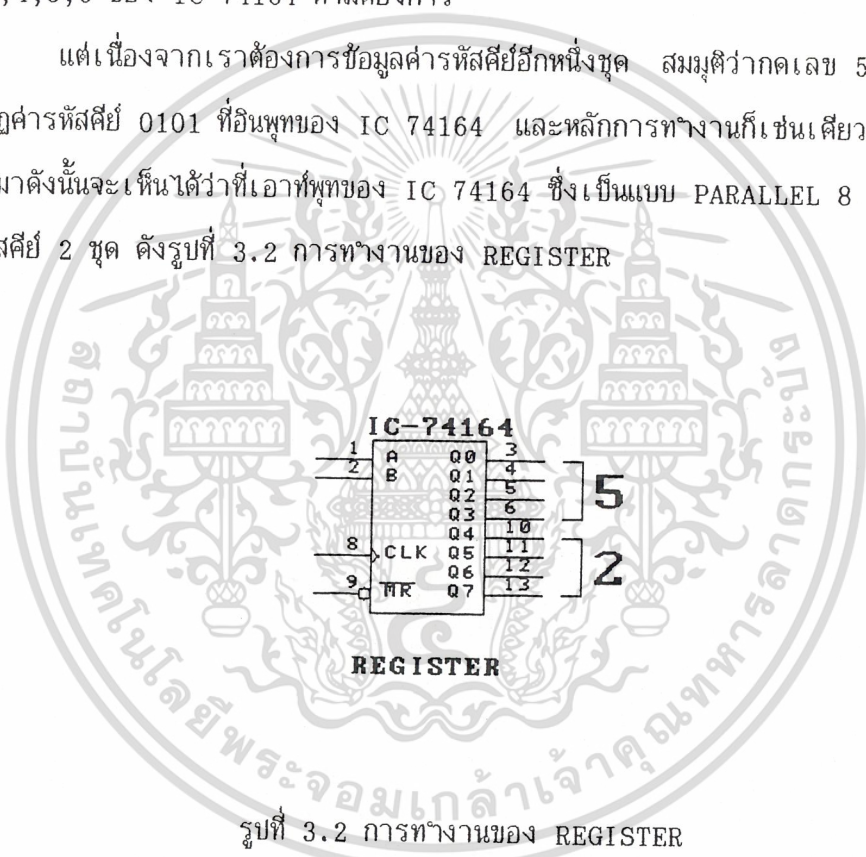
รูปที่ 3.1 หลักการมัลติเพล็กซ์

ต่อไปนี้จะมาดูว่า INPUT SELECT ซึ่งเป็นวงจรรีบ 4 นี้ได้มาอย่างไร จากการกคคียัตัวเลบ 1 ครั้งจะททำให้เกคคสัญญณมตรวจสอบการกคคียัขัันที่ข่า 14 ของ IC 4512 สัญณมตรวจสอบการกคคียัจะถูกส่งมายังวงจรมโนสเตเบิ้ล เพื่อเป็นการทริกให้ได้สัญญณมเออที่พทตามคยเวลลที่เรอต้องการ ในวงจรมโนสเตเบิ้ลนี้จะใช้ IC 74121 ซึ่งเป็นไอซี MONOSTABLE MULTIVIBRATOR WITH SCHMITT-TRIGGER INPUT และออกแบบให้สามารถรับคยเวลลของเออที่พทได้ตามต้องการโดยปรับคยเวลลคยด้นทนของตัวคยด้นทนปรับคยได้ จากนั้เออที่พทที่ได้จากวงจรมโนสเตเบิ้ลจะส่งไปยัง วงจรสร้งพัลล 4 ลุก โดยใช้ IC 4046 ซึ่งเป็นไอซี PHASE LOCK LOOP ที่ทการออกแบบให้สร้งพัลล 4 ลุก เมอมีสัญญณมอินพุทเป็นสัญญณมทริกหรือสัญญณมจากวงจรมโนสเตเบิ้ล การปรับคยคยด้นทนเพื่อให้ได้พัลล 4 ลุกตามต้องการนั้นจะต้องทการปรับคยคยด้นทนทั้งวงจรมโนสเตเบิ้ลและวงจร PHASE LOCK LOOP นี้ การวัดสัญญณมพัลลเออที่พท 4 ลุกนี้จะใช้ออสซิลโลสโคปเป็นตัววัด เมอทการกคคียั 1 ครั้งจะปรกฏพัลลที่ข่า 3 ของ IC 4046 ปรับคยคยด้นทนจนกระทั่งได้พัลล 4 ลุก ที่ต้องการ [ปรับ VR1,VR2] พัลล 4 ลุกที่ได้นี้จะนอไปข่อนให้วงจรรีบ 4 เคนหน้าขั้จะใช้ IC 74161 โดยเป็นไอซี SYNCHRONOUS 4-BIT BINARY COUNTER WITH DIRECT CLEAR ทการทงานของ IC 74161 นี้จะทการนับ 4 ก็ต่อเมอมีสัญญณมนาฟิกาข่อนเข้มาที่ข่า 2 ดั้ถ้ถ้ถ้าข่อนสัญญณมนาฟิกาหรือพัลลเพียง 4 ลุก ก็จะททำให้ IC 74161 นี้นับจาก 00 ถึง 11 เท่านั้นขั้เป็นไปตาม

เอกสารนี้ที่เรอต้องการจะรจนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปได้ว่า เมื่อกดเลข 2 จะเกิดค่ารหัสสี่ 0010 ที่ IC 4042 ซึ่งเป็นข้อมูลแบบขนานจากนั้นก็ทำการเปลี่ยนเป็นข้อมูลอนุกรม โดยการควบคุมจากขา SELECT ของ IC 74153 จากนั้นค่ารหัสสี่ซึ่งเป็นข้อมูลอนุกรมนี้จะถูกส่งไปยัง IC 74164 ซึ่งเป็น ไอซี 8-PARALLEL OUT SERIAL SHIFT REGISTER หลักการทำงานของ IC 74164 นี้ข้อมูลจะปรากฏที่เอาต์พุต ซึ่งเป็นแบบขนานได้ก็ต่อเมื่อมีพัลส์ 4 ลูกมาซ้อนที่ขา 8 ดังนั้นเราจึงเอาเอาต์พุตของวงจรสร้างพัลส์ 4 ลูก ของ IC 4046 มาซ้อนได้เลย ทำให้ได้สัญญาณหรือข้อมูลแบบขนานทางด้านเอาต์พุตขา 3,4,5,6 ของ IC 74164 ตามต้องการ

แต่เนื่องจากเราต้องการข้อมูลค่ารหัสสี่อีกชุด สมมุติว่ากดเลข 5 ดังนั้น ก็จะปรากฏค่ารหัสสี่ 0101 ที่อินพุตของ IC 74164 และหลักการทำงานก็เช่นเดียวกับเลข 2 ที่กล่าวมาดังนั้นจะเห็นได้ว่าที่เอาต์พุตของ IC 74164 ซึ่งเป็นแบบ PARALLEL 8 เส้นจะปรากฏค่ารหัสสี่ 2 ชุด ดังรูปที่ 3.2 การทำงานของ REGISTER



รูปที่ 3.2 การทำงานของ REGISTER

จะเห็นได้ว่า ข้อมูลหรือค่ารหัสสี่จากชุดแรกนั้นจะถูกชิฟท์ไปข้างหน้า 4 บิต และค่ารหัสชุดหลังหรือเลข 5 นั้นจะแทรกมาแทนที่ สรุปได้ว่า เมื่อกดเลข 2 กับเลข 5 ก็จะมีปรากฏค่ารหัสสี่ดังรูปข้างต้นตามที่เรากำลังต้องการ

นำค่ารหัสสี่ทั้ง 2 ชุดนี้มายังส่วนของภาคแสดงผลตัวเลขฐาน 10 กล่าวคือค่ารหัสสี่ 0010 ก็ถอดรหัสออกมาแสดงผลที่ 7-SEGMENT เป็นตัวเลข 2 ส่วนค่ารหัสสี่อีกชุดคือ 0101 ก็นำมาถอดรหัสเพื่อแสดงผลเป็นตัวเลข 5 ในหลักหน่วยหรือตัวเลข 5 นั้นเราจะใช้ GAL 16V8-25

ซึ่งเป็นอุปกรณ์ที่สามารถโปรแกรมการทำงานตามต้องการได้ ซึ่งได้อธิบายถึงรายละเอียดมาแล้ว

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขั้นตอน GAL 16V8 ที่ใช้ที่นี่ จะเป็นตัวถอดรหัสเลข 4 DIGIT HEX ให้เป็นส่วนของการแสดงผลตามที่กล่าวมาแล้ว จากเอาต์พุตของ GAL 16V8 นี้ก็นำไปขับ 7-SEGMENT ได้โดยตรง ซึ่ง 7-SEGMENT ที่ใช้จะใช้ COMMON ANODE ในส่วนของหลักสิบหรือตัวที่แสดงผลเลข 2 นั้น เราจะใช้ IC 4543 เป็นตัวถอดรหัสการแสดงผลและขับ 7 SEGMENT ที่ใช้ IC 4543 ขับในหลักสิบก็เนื่องจากในหลักสิบไม่มีการแสดงตัวอักษร A และ F ดังนั้นเพื่อความประหยัด จึงใช้ 4543 แทน GAL 16 V8

ต่อไปเราจะกล่าวถึงส่วนควบคุมการแสดงผลซึ่งประกอบไปด้วย

1. CLEAR SWITCH จะเป็นการเคลียร์ข้อมูลในรีจิสเตอร์ (IC 74164) และทำการเคลียร์วงจรรีบ (IC 74161) ประโยชน์ของ CLEAR SWITCH นี้ก็เพื่อเริ่มทำการถอดรหัสตัวเลขใหม่เมื่อมีการกดคีย์ครั้งแรก การต่อ CLEAR SWITCH นี้เมื่อทำการกดสวิทช์ (แบบกดติดปล่อยดับ) ก็จะได้ลอจิก "0" โดยจะขื่อนไปยังขาเคลียร์ของ IC 74161 และ IC 74164
2. CODE SWITCH เป็นสวิทช์กดติดปล่อยดับ ในสภาวะปกติเมื่อไม่มีการกดจะมี LOGIC เป็น "0" แต่เมื่อทำการกด CODE SWITCH ก็จะมีสภาวะเป็น "1" จากสภาวะการกด CODE SWITCH นี้จะแบ่งออกเป็น 2 ส่วนคือ
  - 2.1 ส่วนของการแสดงผลใช้ควบคุมการแสดงผลที่ 7-SEGMENT เมื่อทำการกด CODE SW. จะทำให้ตัวเลข 2 5 ที่ปรากฏที่ 7-SEGMENT หายไปซึ่งหมายถึงข้อมูลนี้ถูกส่งออกไปแล้วแต่จริงๆ ยังคงมีสภาวะ LOGIC 0010 กับ 0101 อยู่ การควบคุมมาที่ตัวเลขหายนั้นจะใช้เกตและฟลิปฟลอปต่าง ๆ ดังนี้

ในส่วนแรกนี้จะใช้ OR GATE ซึ่งใช้ IC 7432 อินพุตของ OR GATE จะต่ออยู่กับ CODE SWITCH กับ DATA SWITCH เมื่อทำการกด CODE SWITCH จะทำให้มี LOGIC "1" ที่เอาต์พุตของ OR GATE จากนั้นเอาต์พุต LOGIC "1" ที่ได้นี้จะส่งไปยัง IC 7473 ซึ่งเป็น J-K ฟลิปฟลอป โดยต่อขา K ลงกราวด์ ส่วนขา J เป็นขาอินพุตในสภาวะปกติคือไม่มีการกด CODE SWITCH หรือ DATA SW จะทำให้เอาต์พุต /Q ของ IC 7473 มีลอจิกเป็น "1" ซึ่งนำไป

เอกสาร IC 74126 โดยเป็น BUFFER 3 STATE โดยมีการต่อดังรูปที่ 3.3 ประโยชน์ด้านการคำนวณ ไม่ว่าจะเป็นใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



2.2 ส่วนของการส่งเมื่อกด CODE SWITCH LOGIC "1" ที่ได้อีกส่วนหนึ่งจะถูกอินเวอร์ตติ้งเพื่อทำให้เป็นลอจิก "0" ไปควบคุม IC 145026 ซึ่งเป็นไอซีเข้ารหัสและทำการส่งข้อมูลจากขนานเป็นอนุกรมออกไปยังภาคส่งต่อไป

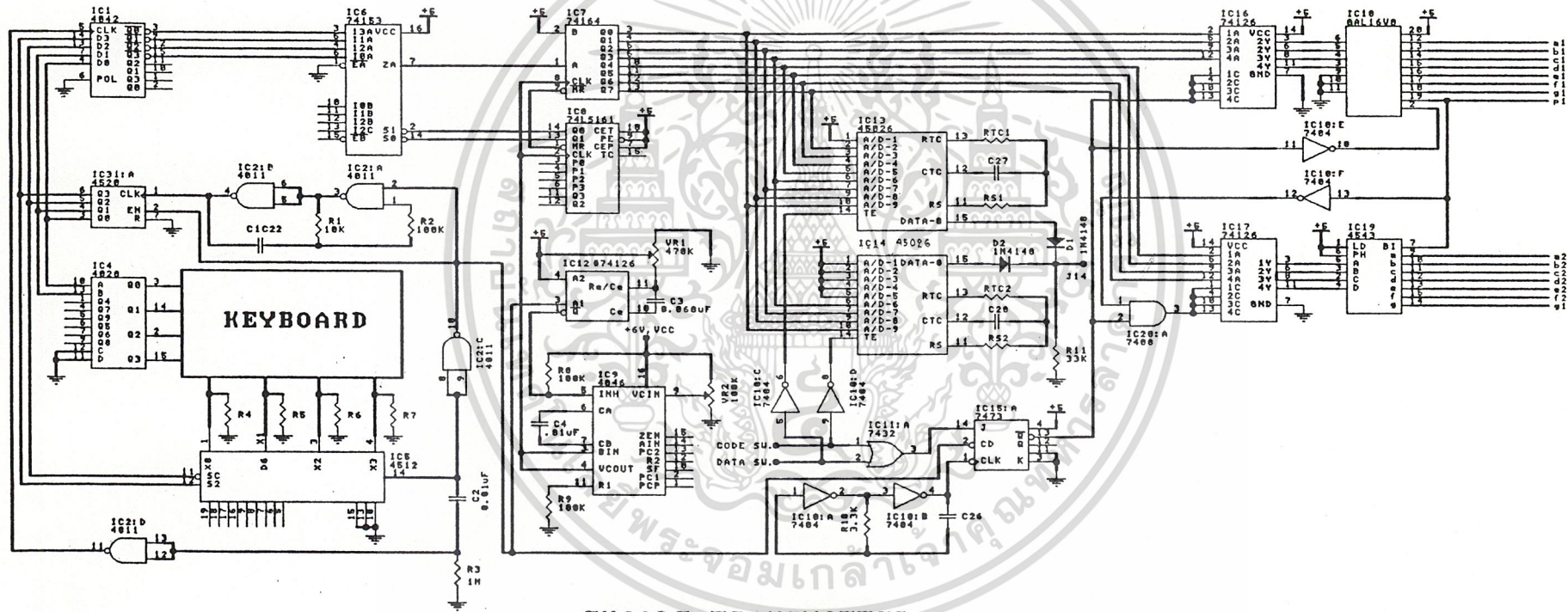
3. DATA SWITCH เมื่อกดรหัสเครื่องหมายเลข 25 ถูกส่งออกไปจากนั้นก็ทำการส่งข้อมูลต่อไป ในการส่งข้อมูลอาจจะส่งตัวเลข 0 ถึง 9 หรือตัวอักษร A ถึง F ก็ได้ ซึ่งในส่วนของการส่งออกไปนั้น จะแสดงผลที่ 7-SEGMENT หลีกสุดท้ายหรือหลักหน่วย ในการกดตัวเลขหรือตัวอักษรทุกครั้งจะสังเกตเห็นว่า สัญญาณตรวจสอบคีย์ จะต่อมายังขาเคลียร์ ของ IC 7473 แสดงว่าเมื่อมีการกดคีย์ตัวเลขหรือตัวอักษรใดๆ จะต้องทำการเคลียร์ J-K FLIP FLOP (IC 7473) ทุกครั้ง เมื่อกดตัวอักษรข้อมูลเพื่อที่จะส่ง ซึ่งในส่วนนี้จะมีหลักการเช่นเดียวกับการกด CODE SWITCH หลักการทำงานของวงจรในส่วนนี้จะเหมือนกันทุกประการ แต่มีข้อแตกต่างที่สังเกตเห็นได้ชัดคือ ที่อักษร A ถึง F จุด POINT ของขา 19 (GAL 16 V8) นั้น จะมีลอจิกเป็น "1" ดังนั้นจะทำให้หลักสิบไม่มีการแสดงผลใดๆ แต่ถ้ากดเป็นตัวเลขก็จะเหมือนเดิมทุกประการ หลังจากนั้นเมื่อกด DATA SWITCH ก็จะทำให้ข้อมูลตัวอักษร A หายไปก็เป็นอันว่าข้อมูลได้ถูกส่งออกไปแล้ว

เป็นอันว่าสิ้นสุดหลักการของส่วนควบคุมการแสดงผลนี้ เราจะมาดูหลักการของการเข้ารหัสในการส่งซึ่งเป็นส่วนที่สำคัญที่สุดในวงจรนี้ คือ IC 145026 จากการอธิบายหลักการทำงานของ IC 145026 ที่ผ่านมาแล้วนั้นเราจะขอสรุปสั้นๆ ว่า ในการต่อใช้งาน IC 145026 จะต่อใช้งานสองตัว ตัวที่ 1 ใช้สำหรับส่งรหัสหมายเลขเครื่อง ส่วนอีกตัวหนึ่งใช้สำหรับส่งข้อมูลตามไป

ในส่วนแรกนั้นที่ใช้สำหรับส่งรหัสเครื่องนั้น เราจะเอาข้อมูลหรือรหัสหมายเลขเครื่องมาจากเอาท์พุทของ IC 74164 (REGISTER) โดยมีเอาท์พุท 8 เส้นเป็นแบบขนานเมื่อเรากด CODE SW จะได้รับรหัสเครื่อง 8 เส้น แบบขนานซึ่งจะถูกส่งออกไปแบบอนุกรมเรียงกันไปที่ละบิตไปยังภาคส่งต่อไป และในส่วนของการส่งข้อมูลก็เช่นเดียวกัน เราจะใช้ IC 145026 อีกหนึ่งตัวเพื่อส่งข้อมูลออกไป โดยขา 1,2,3,4,5,6 (A1,A2,A3,A4,A5) นั้นจะเป็นขาสำหรับกำหนดรหัสเข้าถึงให้ตรงกับรหัสของเครื่องรับซึ่งก็คือ การ SYNCHRONOUS นั้นเอง โดยจะถูกส่งแบบขนานให้เป็นแบบอนุกรมออกไปยังภาคส่ง เช่นเดียวกัน ที่ขา 11,12,13 ของ IC 145026 นี้จะมี R, C ต่อเพื่อกำหนดคาบเวลาในการทำงานของไอซี ซึ่งเครื่องรับเครื่องส่งต้องกำหนดให้มีความถี่

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ การนำออกเผยแพร่โดยไม่ได้รับอนุญาตเป็นการฝ่าฝืนกฎหมาย

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**ENCODE TRANSMITTER**

รูปที่ 3.4 วงจรเข้ารหัสเครื่องส่ง

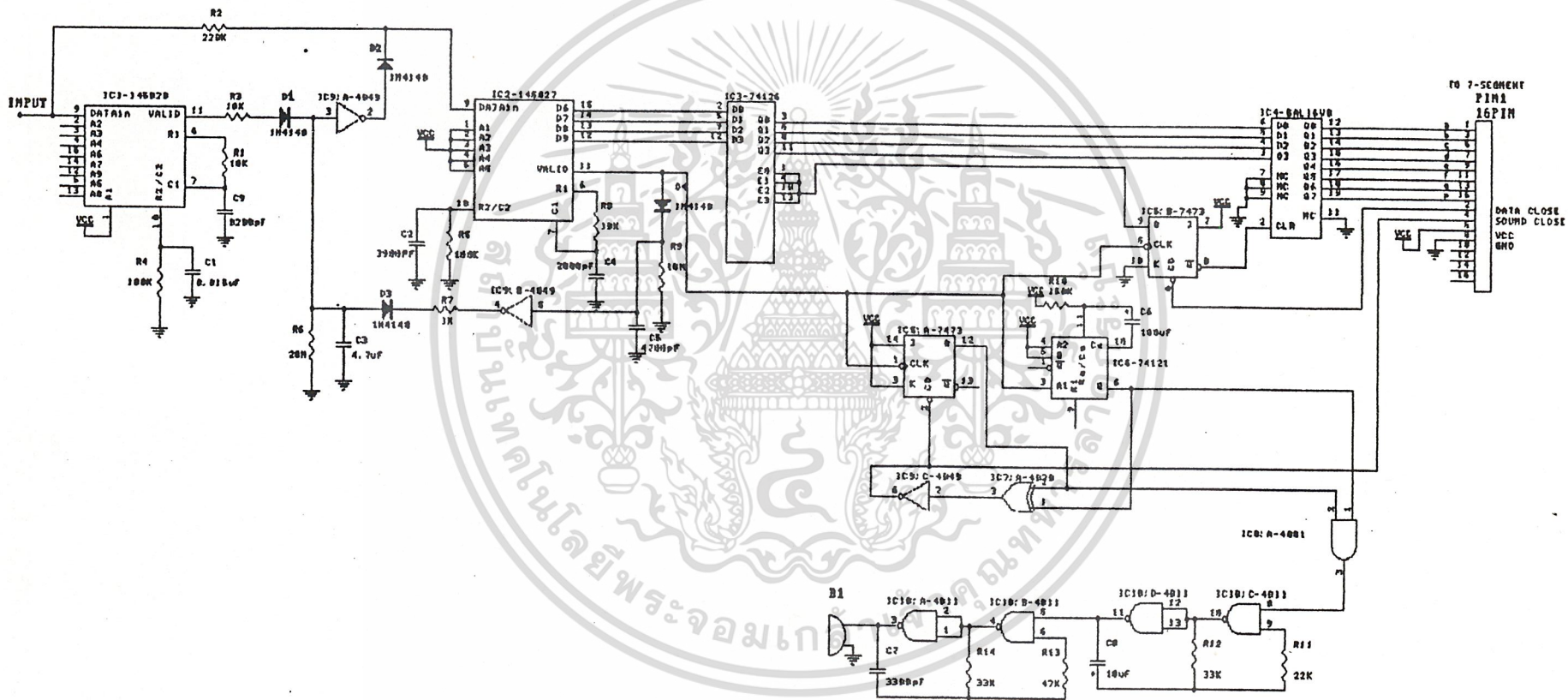
### หลักการทางานของวงจรถอดรหัสของเครื่องรับ

เมื่อทำการส่งรหัสเครื่องจากเครื่องส่งไปยังเครื่องรับ ทางด้านรับก็จะทำการตีเทคสัญญาณในตัวเอง แล้วส่งให้ภาคขยายทำการขยายสัญญาณ จากนั้นส่งไปวงจรมัลติเพล็กซ์เพื่อปรับแต่งสัญญาณให้เป็นพัลส์ที่ถูกต้อง แล้วส่งสัญญาณที่ได้ไปให้วงจรถอดรหัสภาคแรก เมื่อสัญญาณเข้ามาสู่ภาคตีเค็ดภาคแรกซึ่งจะใช้ IC 145028 โดยมีหน้าที่เป็นตัวถอดรหัสหมายเลขเครื่อง เมื่อรหัสเครื่องที่ส่งมาจากเครื่องส่งตรงกันกับรหัสเครื่องของเครื่องรับ โดยสามารถกำหนดรหัสได้จากขา A1 ถึง A9 ของ IC 145028 เนื่องจากขา A1 ถึง A9 มีขา 9 ขา แต่เราใช้ในการกำหนดรหัสหมายเลขเครื่องเพียง 8 BIT เท่านั้น ดังนั้นเราจึงเอาขา A1 ต่อแหล่งจ่ายไฟไว้ และในส่วนของเครื่องส่งก็ต่อแหล่งจ่ายไฟบวก 5 โวลต์ไว้เช่นเดียวกันในส่วนของค่า R,C ที่ต่อไว้ที่ ขา 6,7,10 ของไอซีเบอร์นี้ จะเป็นคาบเวลาที่กำหนดในการใช้งานของวงจรถอดรหัสโดยค่า R,C เหล่านี้ต้องมีความสัมพันธ์กับเครื่องส่งโดยกำหนดได้จากการคำนวณที่ได้อธิบายไว้แล้วในตอนต้น หรืออาจเปิดจากตารางคู่มือการใช้งานไอซีเบอร์นี้ ดังนั้นเมื่อรหัสเครื่องที่ส่งมาตรงกันกับรหัสของเครื่องรับ ตัวถอดรหัสตัวนี้จะส่งสัญญาณลอจิก "1" ไปยังขาเอาต์พุต VT1 ทำให้ตัวเก็บประจุ C3 จะทำการประจุอย่างรวดเร็ว ผ่าน R3,D1 และเมื่อขา VT1 กลับสู่สภาวะ "0" C3 นี้ก็จะทำการคายประจุผ่าน R6 อย่างช้า ๆ ซึ่งจะใช้เวลาประมาณ 12 วินาที การทำงานในส่วนนี้ ก็คือ วงจรหน่วงเวลา 12 วินาทีนั่นเอง ดังรูป 3.5

การหน่วงเวลาช่วงนี้เพื่อให้คงลอจิก "1" ที่อินพุตของ IC9:A-4049 [อินเวอร์เตอร์] ซึ่งจะทำให้ได้เอาต์พุตมีลอจิก "0" เพื่ออีน่าเป็ลสัญญาณข้อมูลดิจิตอลส่งไปยังอินพุตของตัวถอดรหัสตัวที่สอง คือ IC 145027 โดยผ่าน R2 220 K ทำให้ข้อมูลถูกส่งไปยังไอซีถอดรหัสตัวที่ 2 ได้ โดยไอซีตัวนี้จะถูกกำหนดลอจิกในการซิงค์โครนิส ที่ขา A1 ถึง A5 ในวงจรถอดรหัสให้ A1 ถึง A5 มีค่าลอจิก "1" หมด โดยจะต้องสัมพันธ์กันกับเครื่องส่งในส่วนการส่งข้อมูลด้วยซึ่งก็จะกำหนดเหมือนกัน ตัวถอดรหัสตัวนี้จะต้องมีคาบเวลาหรือความถี่ที่สัมพันธ์กับคาบเวลาหรือความถี่ของตัวส่งซึ่งจะกำหนดด้วย R,C ที่ต่ออยู่ที่ขา 6,7,10 ดังนั้นเมื่อทำการถอดรหัสการซิงค์โครนิสได้ตรงกันกับที่กำหนดไว้จะทำให้มีข้อมูลปรากฏที่ขา D6 ถึง D9 [4 BIT] ซึ่งเป็นข้อมูลที่เครื่องส่งส่งมา และที่ขา VT2 ของ IC 145027 นี้จะมีลอจิก "1" แล้วถูกส่งต่อไปยังวงจรถอดรหัสซึ่งก็คือ IC9 :B-4049 โดยผ่านวงจรถอดรหัส D4,C5 และ R9 เอาท์พุตของ IC9:B นี้จะ

เอกสารนี้เป็นลอจิก "0" ทำให้ C3 คายประจุอย่างรวดเร็วผ่าน D3 และ R7 ทำให้ D3 ได้รับไบอัสตรงค่า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจรภาคถอดรหัสของเครื่องรับ

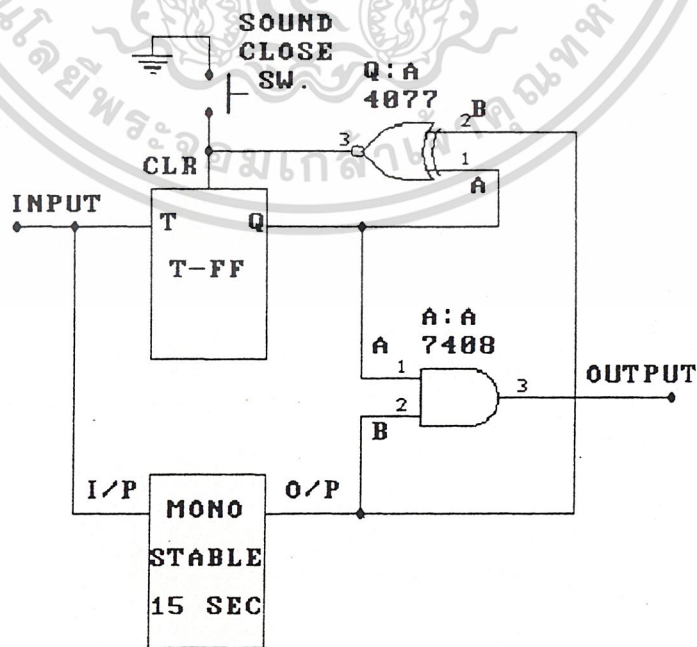
ผลก็คือจะไปรีเซตวงจรหน่วงเวลา 10 วินาที สัญญาณอีกทางหนึ่งทางด้านเอาต์พุต VT2 นี้จะใช้ในการควบคุมการแสดงผลและการเกิดเสียง ก่อนที่จะทำความเข้าใจในวงจรเราจะต้องเข้าใจหลักการแสดงผล และการเกิดเสียงก่อนว่าเป็นอย่างไร โดยจะแบ่งเป็นกรณีต่างๆ ดังนี้

ในกรณีแรก เมื่อรหัสเครื่องส่งตรงกัน และผู้รับได้รับข้อมูลจากเครื่องส่งแล้ว จะมีเสียงสัญญาณดังขึ้นใช้เวลาประมาณ 15วินาที ในกรณีที่ไม่มีผู้ใดรับแต่ข้อมูลยังปรากฏอยู่จนกระทั่งผู้รับรับรู้ข้อมูลแล้วทำการกดปิดหรือเคลียร์ข้อมูล

ในกรณีที่สอง เมื่อผู้รับได้รับสัญญาณเสียงเตือนแล้ว จากนั้นก็ทำการกดปิดเสียงเตือนทันทีแล้วจึงกดปิดข้อมูล

ในกรณีที่สาม เมื่อผู้รับได้รับเสียงเตือนแล้ว แต่ทำการกดปิดข้อมูลก่อนแล้วจึงทำการกดปิดเสียง

จากเอาต์พุต VT2 เมื่อทำการถอดรหัสข้อมูลจะได้ลอจิก "1" ซึ่งเป็นเพียงชั่วคราวก็ตกเป็นลอจิก"0" ดังนั้นจึงต้องใช้ฟลิปฟลอปเพื่อคงสถานะลอจิก "1" เอาไว้ฟลิปฟลอปที่ใช้ก็เป็น T-FF กับ D-FF สัญญาณ VT2 ที่ได้นั้นเปรียบเสมือนสัญญาณนาฬิกา 1 ลูก [CK 1 ลูก] ดังนั้นในส่วนของ การควบคุมการเกิดเสียงจึงมีหลักการดังจะกล่าวต่อไปนี้ดังรูปวงจรที่ 3.6



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูที่ 3.6 วงจรควบคุมการเกิดเสียง เพื่อให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้เข้าใจหลักการของวงจรถ่ายอิงใช้รูปที่ 3.6 ประกอบ โดยกำหนดให้ A คือ เอาท์พุทของ T-FF ส่วน B คือเอาท์พุทของวงจรถ่ายอิงเวลา 15 วินาที (ใช้วงจรมอนอสเตเบิล)

กรณีแรก เมื่อเครื่องรับมีรหัสไม่ตรงกันกับเครื่องส่งจึงไม่มีสัญญาณ หรือข้อมูลเกิดขึ้น ดังนั้นจะได้

A มีลอจิกเป็น "0"

B มีลอจิกเป็น "0"

A.B มีลอจิกเป็น "0"

$\overline{A \oplus B}$  มีลอจิกเป็น "1" (หมายถึงให้ T-FF ทำงานตามปกติโดยไม่มีการเคลียร์)

ลักษณะสัญญาณจะเป็นดังรูปที่ 3.6 ซึ่งเป็นรูป TIMING DIAGRAM ของการทำงานทั้ง 3 กรณี

กรณีสอง เมื่อรหัสเครื่องส่งตรงกันกับรหัสของเครื่องรับและสามารถถอดรหัสข้อมูลได้ จะทำให้มีสัญญาณเรียกตั้งขึ้น โดยจะตั้งประมาณ 15 วินาที แล้วหยุดเอง (ไม่มีการกดปิดเสียง) ดังนั้นจะได้

INPUT จะเป็นสัญญาณ CLOCK 1 ลูก

A มีลอจิกเป็น "1" ตลอด

B มีลอจิกเป็น "1" ช่วงเวลาเพียง 15 วินาที

A.B มีลอจิกเป็น "1" ช่วงเวลาเพียง 15 วินาที จะเกิดเสียงดัง 15 วินาที แล้วหยุดเอง

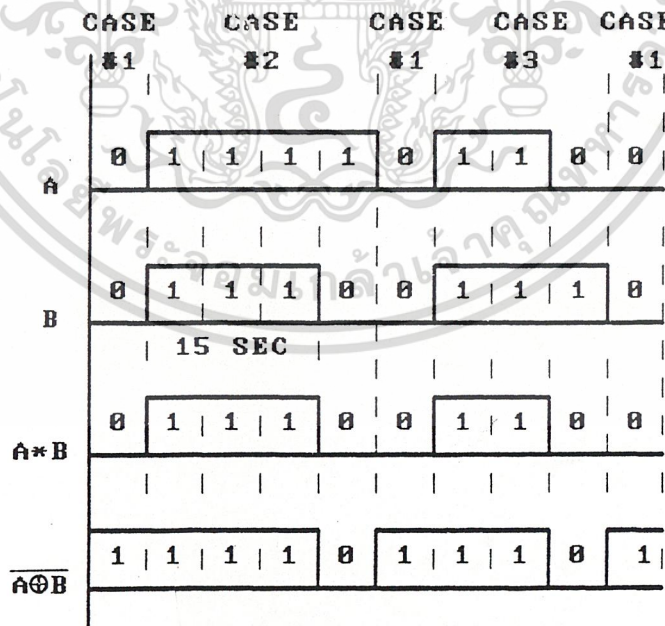
$\overline{A \oplus B}$  มีลอจิกเป็น "1" แล้วจะตกเป็นลอจิก "0" เมื่อครบช่วงเวลา 15 วินาทีที่ของ A.B ซึ่งจะทำให้ T-FF ถูกเคลียร์เพื่อจะเริ่มต้นสภาวะเดิมาใหม่อีกครั้ง (ดังรูป TIMING DIAGRAM)

กรณีที่สาม จาก TIMING DIAGRAM จะเห็นว่าเมื่อเกิดกรณีที่ 2 ขึ้นก็จะกลับสู่สภาวะกรณีที่ 1 ทุกครั้งเนื่องจากการส่งรหัสมายังเครื่องรับ จะไม่ส่งมาทุกๆ เวลา หรืออาจจะส่งมาแต่ส่งมายังเครื่องรับเครื่องอื่น ดังนั้นจึงมีกรณีที่ 1 เกิดขึ้นระหว่างกรณีที่ 2 และกรณีที่ 3 ถ้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทุกครั้ง ในกรณีที่ 3 นี้ จะมีอยู่ว่า เมื่อเครื่องรับถอดรหัสซึ่งรหัสเครื่องตรงกัน และสามารถรับรหัสข้อมูลได้แล้ว จะทำให้มีสัญญาณเรียกตั้งขึ้นมาแต่เราทำการปิดเสียงก่อน ช่วงเวลา 15 วินาที ดังนั้นจะได้ ดังรูปที่ 3.7 TIMING DIAGRAM

- A มีลอจิกเป็น "1" ช่วงเวลาน้อยกว่า 15 วินาที (มีการกดปิดเสียงก่อน)
- B มีลอจิกเป็น "1" ช่วงเวลา 15 วินาที
- A.B มีลอจิกเป็น "1" ซึ่งอาจจะเท่ากับช่วงเวลาของ A ดังนั้นเสียงจะหยุดตั้งก่อน 15 วินาที

$\overline{A \oplus B}$  มีลอจิกเป็น "1" แล้วจะตกเป็นลอจิก "0" เมื่อครบช่วงเวลาที่เกิด (น้อยกว่า 15 วินาที) ของ A.B และจะทำการเคลียร์ T-FF ให้กลับสู่สภาวะเริ่มต้นเพื่อพร้อมที่จะรับสัญญาณใหม่เข้ามาอีกครั้ง



TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเพียงการศึกษาเท่านั้น และอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

T	PS	O/P
0	0	0
0	1	1
1	0	1
1	1	0

T-FF

## ตารางที่ 3.2 ตาราง T-FF

ในส่วนของการปิดข้อมูล เมื่อบริษัทเครื่องส่งตรงกันกับรหัสของเครื่องรับและเครื่องรับสามารถถอดรหัสข้อมูลออกมาได้แล้วนั้น ก็จะมีข้อมูลแสดงออกมาที่ 7-SEGMENT โดยมี GAL 16 V8 เป็นตัวถอดรหัส 4 DIGIT HEX ให้เป็นตัวเลข 0 ถึง 9 และ A และ F การควบคุมการแสดงผลของส่วนนี้จะมี DATA ENABLE โดยใช้ IC74126 ซึ่งเป็นไอซีบัฟเฟอร์ 3 สเตต โดยใช้ลอจิกควบคุมซึ่งได้กล่าวมาแล้วและในการข้อยลจิกเพื่อให้ DATA ENABLE จะทำงานนั้นจะใช้ D-FF ในการควบคุม กล่าวคือเมื่อบริษัทตรงกันจะมีเอาต์พุตที่ VT2 ของ IC145027 เป็นสัญญาณนาฬิกา 1 ลูก ในสภาวะแรกนั้น (จาก DATA SHEET ของ IC 7473 เมื่อทำการต่อเป็น D-FF)

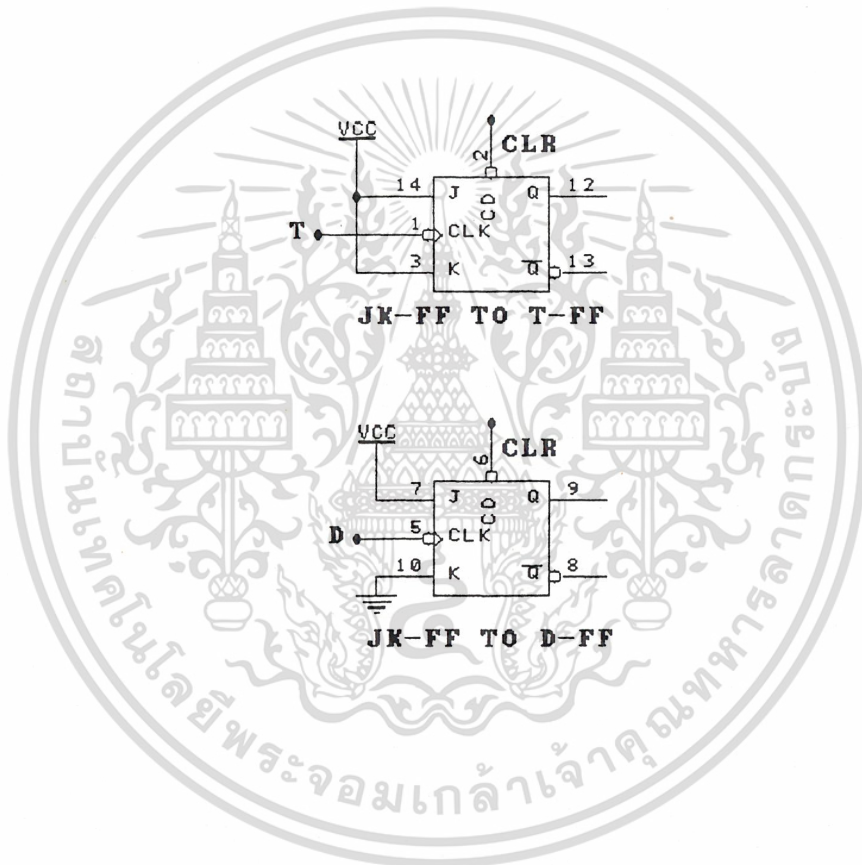
D	PS	O/P
0	0	0
0	1	0
1	0	1
1	1	1

D-FF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ตารางที่ 3.3 ตาราง D-FF ญาติให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สภาวะแรกจะได้ลอจิกเป็น "1" ทำให้ DATA ENABLE ยอมให้ข้อมูลปรากฏที่เอาต์พุตและมีการแสดงผลที่ 7-SEGMENT แต่เมื่อเรารับรู้ข่าวสารแล้ว ก็จะทำการกกดปิดหรือเคลียร์ข้อมูลก็ให้กด DATA CLOSE ได้เลยในกรณีหรือเวลาที่ต้องการโดยไม่ขึ้นกับส่วนใด

การต่อ IC 7473 - JK-FF ให้เป็น D-FF และ T-FF ตามรูปที่ 3.8 นี้

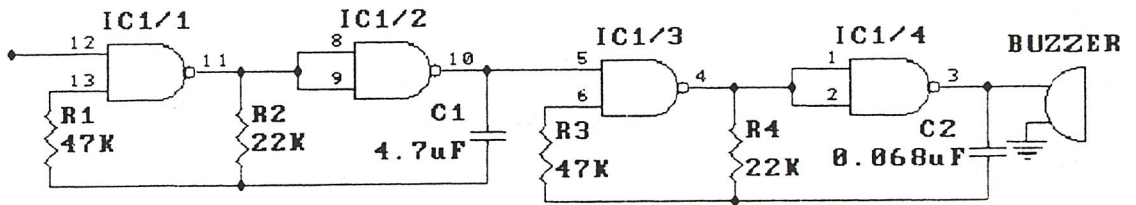


รูปที่ 3.8 การต่อ JK-FF ให้เป็น T-FF และ D-FF

ในส่วนของวงจรหน่วงเวลาจะใช้ IC 74121 เป็น IC MONOSTABLE ซึ่งได้กล่าวมาแล้วข้างต้น ดังนั้นในส่วนสุดท้ายคือวงจรสร้างเสียง

วงจรสร้างเสียงนี้จะประกอบด้วย IC 4011 ซึ่งเป็นไอซีที่มีแเนนด์เกตอยู่ 4 ตัวแต่ละตัวมี 2 อินพุตโดยทำการต่อร่วมกับค่า R และ C เพื่อสร้างสัญญาณที่เอาต์พุตเป็นลอจิก "1" และ "0" สลับกันไปเพื่อจ่ายให้กับสเซอร์กำเนิดเสียงตามที่เราต้องการ ดังรูปที่ 3.9 หลักการทำงาน

เอกสารนี้ของวงจรสร้างเสียงมีดังนี้คือการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 วงจรสร้างเสียง

จากเอาต์พุตของ A แอนด์กับ B นั้นจะถูกส่งมายังอินพุตของส่วนนี้ ซึ่งวงจรเสียงนี้จะแบ่งการทำงานออกเป็น 2 ส่วนคือส่วนที่ 1 ประกอบด้วย IC1/1, IC1/2, R1, R2 และ C1 โดยประกอบเป็นวงจรออสเตเบิลมีลต์ติวเบรเตอร์ ผลิตความถี่ประมาณ 0.5 HZ ซึ่งก็จะทำงานเมื่อขา 12 ของไอซีเป็นลอจิก "1" ทางเอาต์พุตคือขา 10 ของส่วนที่ 1 จะป้อนเข้าไอซี (IC1/3) ขา 5 ของส่วนที่ 2 ส่วนที่ 2 เป็นวงจรออสเตเบิลมีลต์ติวเบรเตอร์เช่นเดียวกับส่วนที่ 1 แต่ความถี่ที่ผลิตมีค่าประมาณ 2 KHZ โดยมีขา 5 เป็นขาควบคุมวงจรในส่วนที่ 2 จะทำงานก็ต่อเมื่อระดับแรงดันที่ขา 5 เป็นลอจิก "1" แต่เนื่องจากขา 5 ต่ออยู่กับเอาต์พุตของส่วนที่ 1 ดังนั้นการทำงานของมันจึงถูกควบคุมโดยส่วนที่ 1 ดังนั้นจะมีเสียงออกมาจาก BUZZER เป็นเสียงความถี่ 2 KHZ ห่างกันเป็นช่วง ๆ ซึ่งจะดังและดับ 1 วินาที จึงใช้เป็นสัญญาณการเรียกได้

ภาคส่งสัญญาณฉุกเฉิน

การเข้ารหัสของภาคส่งกรณีที่มีสัญญาณฉุกเฉิน

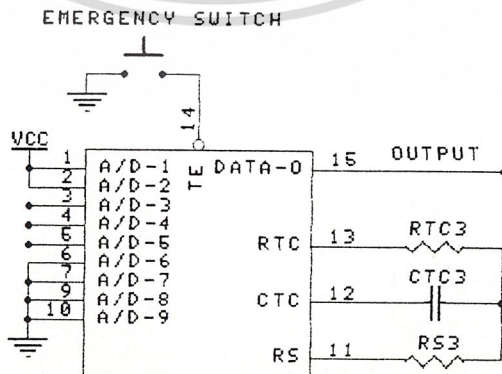
ส่วนของสัญญาณฉุกเฉินที่ได้เพิ่มขึ้นมานี้ จะใช้สำหรับส่งสัญญาณเตือน หรือสัญญาณเรียกฉุกเฉินในกรณีที่มีเหตุการณ์เร่งด่วน หรือมีเหตุการณ์ฉุกเฉินเกิดขึ้น โดยสามารถนำไปใช้งานในโรงงาน เพื่อใช้เตือนคนงานที่กำลังทำงานอยู่ในโรงงานว่ามีเหตุการณ์ฉุกเฉินเกิดขึ้น ซึ่งอาจจะเป็นไฟไหม้ หรือแก๊สรั่ว เพื่อให้คนงานรับรู้และหาทางแก้ไขได้ทันเวลา

หลักการเข้ารหัสของภาคส่งกรณีที่มีสัญญาณฉุกเฉิน

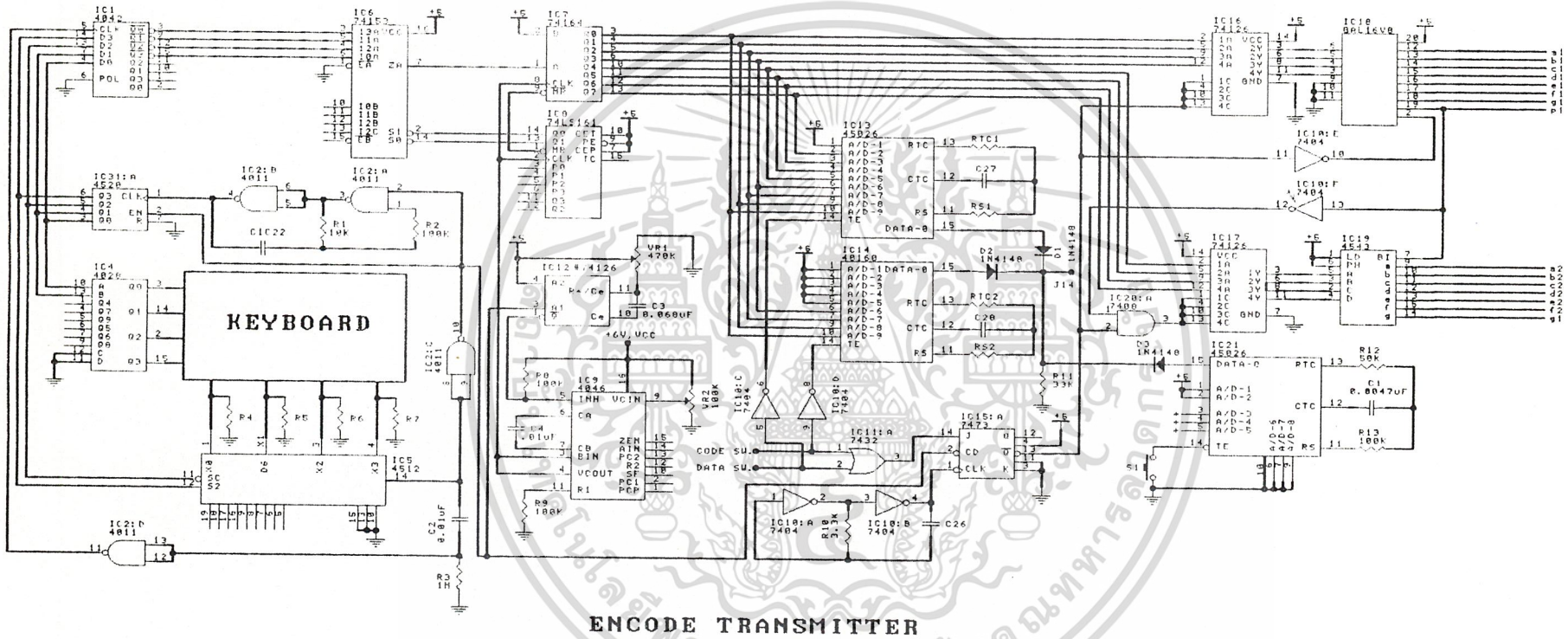
ในการส่งรหัสข้อมูลสัญญาณฉุกเฉินนั้น จะใช้รหัสตัวเลข "0" ส่งออกไปยังเครื่องรับ เมื่อผู้รับรับรหัสตัวเลข "0" นี้ก็จะทราบได้ว่าจะเกิดเหตุการณ์ฉุกเฉินขึ้น โดยเครื่องรับทุกๆ เครื่องจะสามารถรับรหัสตัวเลข "0" นี้ได้ทุกเครื่องและจะมีเสียงคังบีบ ๆ เช่นเดียวกับกับการส่งรหัสเครื่องและข้อมูลตามปกติ และยังยังสามารถส่งสัญญาณฉุกเฉินให้กับผู้รับคนใดคนหนึ่งได้

วงจรการเข้ารหัสของภาคส่งกรณีที่มีสัญญาณฉุกเฉิน

จากวงจรที่ยังไม่ได้เพิ่มส่วนของสัญญาณฉุกเฉิน เมื่อทำการติดตั้งส่วนของการเข้ารหัสสัญญาณฉุกเฉินนั้นก็เพิ่มเพียงไอซีเข้ารหัส เบอร์ MC 145026 เพียงตัวเดียวเท่านั้น ดังรูป 3.10



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่ 3.10 ส่วนของวงจรเข้ารหัสของสัญญาณฉุกเฉินไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11(ก) แสดงวงจรเข้ารหัสเครื่องส่งกรรรมทมิสัญญาณลูกเงิน

ในการกำหนดขาแอดแตรสต่าง ๆ ของไอซี MC 145026 นี้ ขา A1 และ A2 จะให้เป็น "HIGH" ส่วนขา A3 ถึง A5 จะปล่อยลอยเอาไว้ และขา D6-D9 จะให้เป็น "LOW" ค่าความถี่ภายในไอซีตัวนี้จะกำหนดได้จาก RTC, CTC, R1 และ C1 ซึ่งค่าความถี่ภายในนี้ได้รับการคำนวณที่ได้กล่าวไว้แล้วในตอนต้น โดยจะกำหนดค่าที่มีค่าความถี่เท่ากับไอซี MC 145026 ที่ใช้สำหรับส่งรหัส เครื่องและส่งข้อมูล

### ภาครับสัญญาณฉุกเฉิน

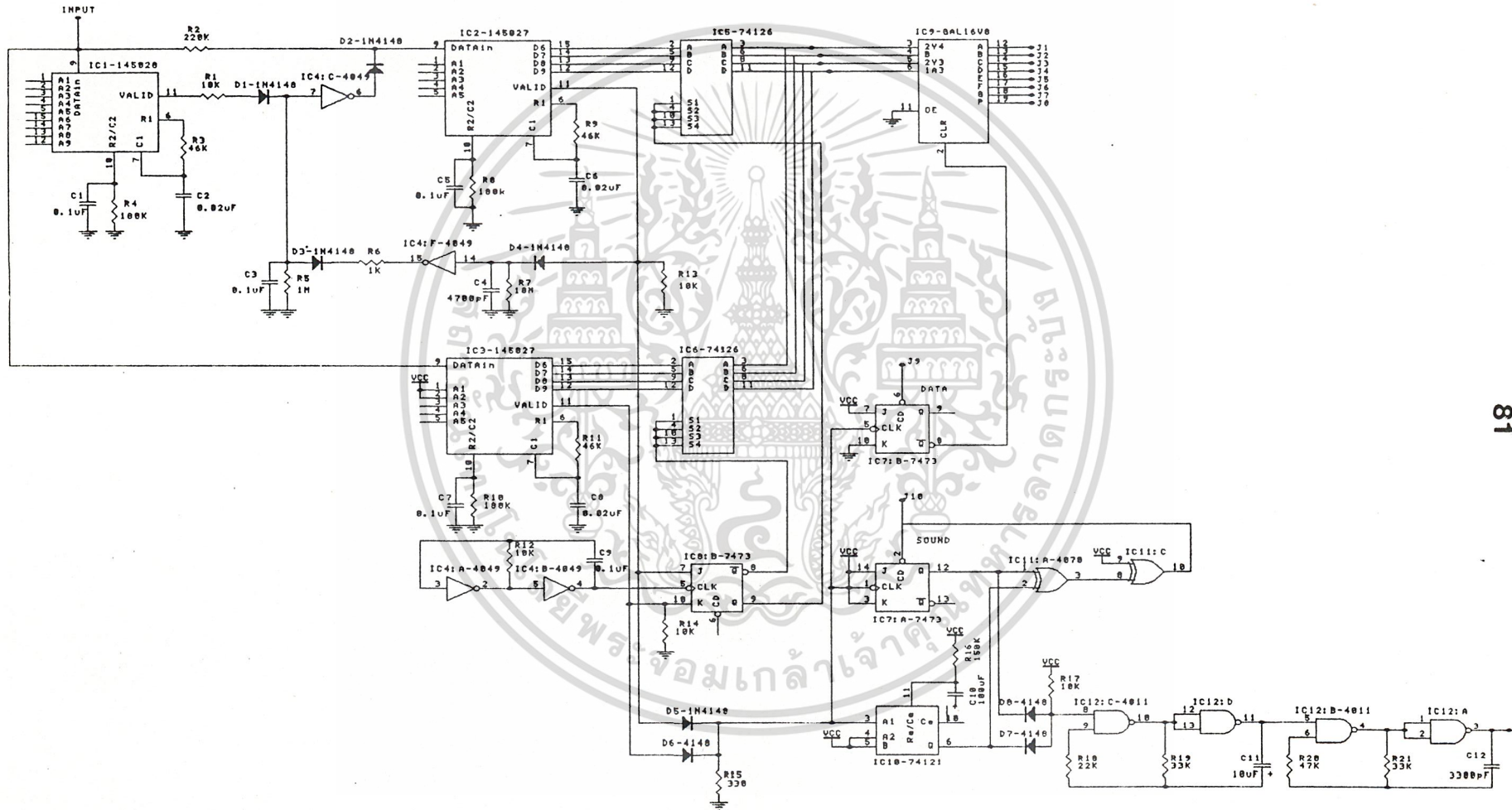
การถอดรหัสของภาครับกรณีสัญญาณฉุกเฉิน

กรณีที่เครื่องส่งทำการส่งสัญญาณฉุกเฉินมายังเครื่องรับ ทางภาครับจะต้องกำหนดขาต่าง ๆ ให้มีรหัสตรงกันกับภาคส่ง และความถี่ภายในไอซีก็ต้องถูกกำหนดให้ตรงกันด้วย

ในส่วนของภาคถอดรหัสเครื่องรับและการแสดงผลนี้ จะมีไอซีเพิ่มขึ้นมาอีก 3 ตัว คือ ไอซีถอดรหัสฉุกเฉิน MC 145027 , IC 7473 และ IC 74126

หลักการถอดรหัสของภาครับกรณีสัญญาณฉุกเฉิน

การถอดรหัสของภาครับเครื่อง BEEP CALL นี้ จะทำการถอดรหัส ซึ่งได้กำหนดไว้ที่ขาแอดแตรสต่าง ๆ เมื่อภาครับได้รับสัญญาณฉุกเฉินแล้วจะปรากฏตัวเลข "0" ที่ภาคแสดงผลและเกิดเสียงดังขึ้น โดยหลักการแสดงผลและกำเนิดเสียง จะใช้หลักการเดิมของเครื่องถอดรหัส BEEP CALL ที่ไม่มีสัญญาณฉุกเฉิน เครื่องทุก ๆ เครื่องของเครื่องรับที่สามารถรับรหัสสัญญาณฉุกเฉินได้ตั้งนั้นทุก ๆ คนที่มีเครื่องรับที่ติดตั้งตัวถอดรหัสสัญญาณฉุกเฉิน ก็จะรับรู้เหตุการณ์ฉุกเฉินได้ทันต่อเหตุการณ์ และแต่ละเครื่องสามารถที่จะรับสัญญาณฉุกเฉินโดยเฉพาะได้ ตัวอย่างเช่น เราต้องการส่งสัญญาณฉุกเฉินไปยังเครื่องรับหมายเลข 18 ดังนั้น เครื่องหมายเลข 18 ก็จะสามารถรับรู้สัญญาณฉุกเฉินได้เพียงเครื่องเดียวเท่านั้น ทำให้ผู้รับหมายเลข 18 จะต้องทำการติดต่อกับผู้ที่ส่งสัญญาณมาให้โดยด่วน



รูปที่ 3.11 (ข) วงจรถอดรหัสเครื่องรับ กรณีที่มีสัญญาณถูกเงิน

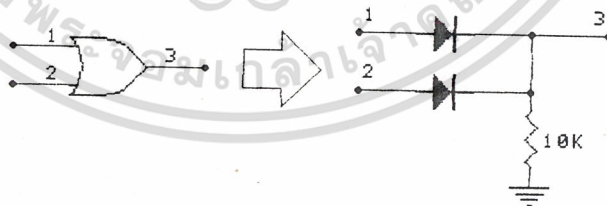
วงจรการถอดรหัสของภาครับกรณีที่มีสัญญาณฉุกเฉิน

ในส่วนของวงจรภาคถอดรหัสสัญญาณฉุกเฉินนี้ จะคงวงจรเดิมไว้เป็นส่วนใหญ่ เพราะการทำงานของวงจรมีเหมือนเดิม ที่เพิ่มขึ้นมาคือตัวถอดรหัสสัญญาณฉุกเฉิน โดยใช้อินเวอร์เตอร์ MC 145027 เพื่อถอดรหัสสัญญาณฉุกเฉิน

กรณีที่ 1 เมื่อเครื่องส่งส่งสัญญาณฉุกเฉินเข้ามาอินพุต 145027 ตัวที่ 2 จะทำการถอดรหัสสัญญาณฉุกเฉินโดยตรงจึงทำให้เกิดสัญญาณลอจิก "1" ที่ VT3 ซึ่งสัญญาณลอจิก "1" ที่ VT3 นี้จะเป็นลอจิก "1" เพียงชั่วเวลาสั้นๆ หลังจากนั้นก็ตกกลับเป็น "0" เหมือนเดิม จากนั้นเราก็จะนำ VT3 นี้ไปควบคุมส่วนของวงจรแสดงผล และส่วนของการกำเนิดเสียง

- ส่วนของการแสดงผล จะเพิ่มอินพุต 7473 ซึ่งเป็น J-K ฟลิปฟลอป เพื่อควบคุมการแสดงผล และมี 74126 ต่อเป็นวงจรอินเวอร์เตอร์ เมื่อ VT3 มีลอจิกเป็น "1" ทำให้เอาต์พุตของ J-K ฟลิปฟลอปมีค่า Q เป็น "0" และ  $\bar{Q}$  เป็น "1" ดังนั้นอินพุต 74126 ตัวที่ 2 จะทำการอินเวอร์ตเพื่อให้ข้อมูลจากตัวถอดรหัสฉุกเฉินผ่านไปยังหน่วยแสดงผลได้

- ส่วนของภาคกำเนิดเสียง จะเพิ่ม OR-GATE โดยจะใช้ไดโอด 2 ตัว และความต้านทาน 10K อินพุต 1 ตัว ต่อเป็น OR-GATE ดังรูปที่ 3.12



รูปที่ 3.12 การต่อ OR-GATE โดยใช้อินเวอร์เตอร์

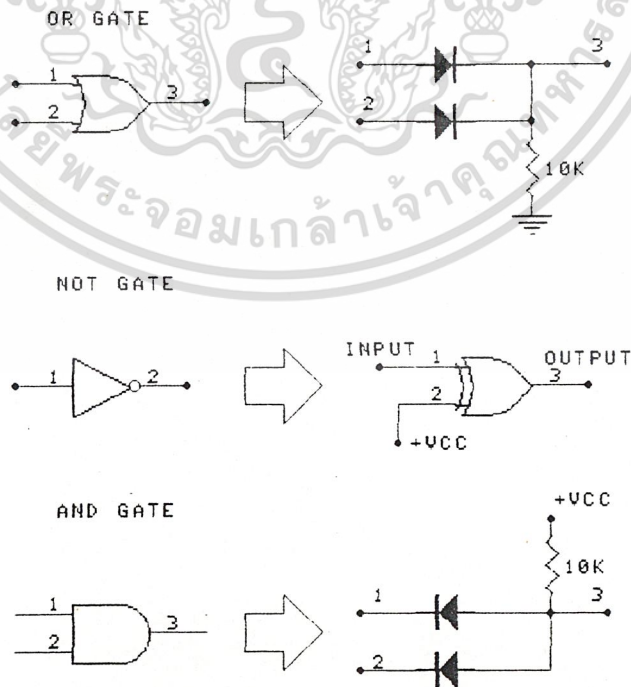
ดังนั้นเมื่อมีสัญญาณฉุกเฉินเข้ามา VT3 จะเป็น "1" ผ่าน OR-GATE ไปยังส่วนของภาคกำเนิดเสียง ซึ่งจะมีหลักการทำงานเช่นเดียวกับกับวงจรภาคถอดรหัสที่ไม่มีส่วนของสัญญาณ

เอกสารนี้จัดทำขึ้นเพื่อใช้ในการเรียนการสอนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีที่ 2 เมื่อผู้ส่งส่งสัญญาณฉุกเฉินไปยังผู้รับคนใดคนหนึ่ง การทำงานของวงจรจะทำงานเหมือนกันกับวงจรถอดอครหัสที่ไม่มีส่วนของสัญญาณฉุกเฉิน โดยมี J-K ฟลิปฟลอปควบคุม การแสดงผลและ 74126 เป็นฮับเบิลข้อมูล เมื่อรับรหัสสัญญาณฉุกเฉินเข้ามา VT2 จะมีลอจิก เป็น "1" เพียงชั่วเวลาเล็กน้อยและตกกลับเป็น "0" ดังนั้นจึงใช้ J-K ฟลิปฟลอป เพื่อให้ได้ ลอจิก "1" ตลอดเวลา จนกว่าจะทำการเคลียร์หรือมีข้อมูลเปลี่ยนแปลงทางด้านอินพุตเมื่อ VT2 มีลอจิก "1" ทำให้เอาท์พุทของ J-K ฟลิปฟลอปมีลอจิก Q เป็น "1" และ /Q เป็น "0" ทา ษาให้ 74126 ตัวที่ 1 ทำการฮับเบิลข้อมูลจากไอซี 145027 ตัวที่ 1 เพื่อทำการแสดงผล ใน ส่วนของวงจรถอดค่าเน็คเสียงก็ทำงานเช่นเดียวกัน

กรณีที่ 3 เมื่อผู้ส่งส่งรหัสเครื่องและข้อมูลตามปกติ การทำงานของวงจรจะเหมือน กรณีที่ 2 ทุกประการ

เนื่องจากในเครื่องรับ BEEP CALL ต้องการให้มีขนาดเล็กดังนั้นจึงทำการลดไอซีลง โดยใช้อุปกรณ์หรือไอซีตัวอื่นแทน ดังรูปที่ 3.13

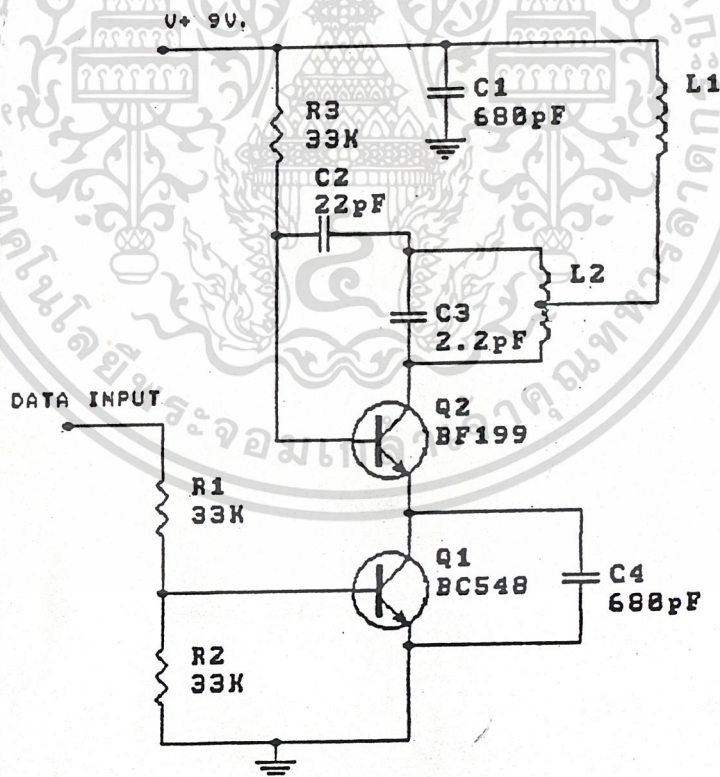


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่ 3.13 การลดรูปไอซีด้วยไดโอดให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### การทำงานของวงจรมอดเครื่องส่ง

สัญญาณรหัสดิจิทัลที่ส่งมาซึ่งได้จากการเข้ารหัสเรียบร้อยแล้วจะมาเข้าที่ ตัวต้านทาน  $R_1$  เพื่อขยับไปยังขาเบสของทรานซิสเตอร์  $Q_1$  ซึ่งทำหน้าที่เป็นสวิตช์ให้กับ  $Q_2$  ซึ่ง  $Q_2$  นี้จะทำงานได้ก็ต่อเมื่อมีสัญญาณ PULSE ปรากฏที่ขา BASE ของ  $Q_3$  ซึ่งเป็นภาคกำเนิดความถี่วิทยุของวงจร OSCILLATE จะถูกส่งออกไปตามจังหวะของการ ON และ OFF ของ  $Q_1$  นั้นเอง

วงจรรอสซิลเลเตอร์  $Q_2$  จะมีการทำงานเป็นแบบวงจรรอสซิลเลเตอร์ ความถี่ของวงจรถูกกำหนดโดยวงจรแกงค์ประกอบด้วย ขดลวด  $L_2$  และตัวเก็บประจุ  $C$  ซึ่งงานที่นี้จะได้ความถี่ที่ประมาณ 311 MHz และทำการ MOD กับ PULSE CODE ที่เข้ามาโดยจะมีตัวเก็บประจุ  $C$  เป็นตัวข้อนกลับให้กับวงจรรอสซิลเลเตอร์ ส่วน RF ใช้อัด  $L_1$  จะเป็นตัวแยกการทำงานของวงจรรอสซิลเลเตอร์ออกจากเพาเวอร์ซัพพลาย ดังรูปที่ 3.14



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่ 3.14 รูปแสดงวงจรเครื่องส่ง ญาติให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของ RECEIVER CIRCUIT

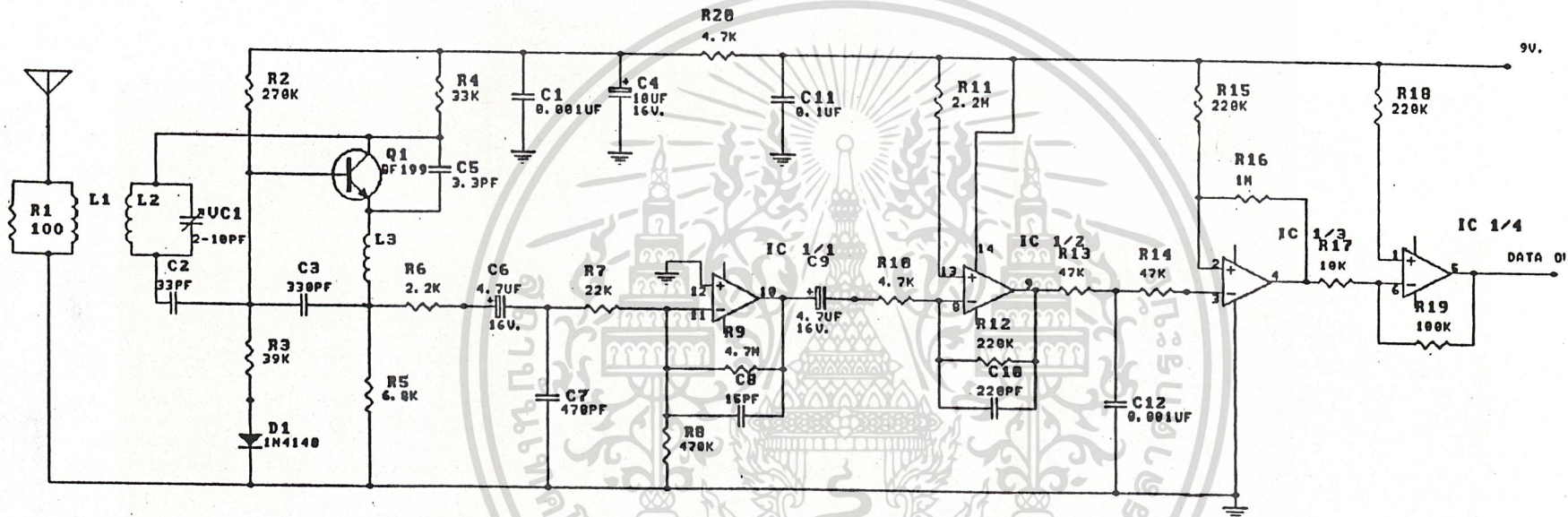
RECEIVER จะทำการ RECEIVE PULSE CODE CARRIER โดยใช้ ANTENNA ส่งมายัง  $L_1$  ในการ RECEIVE สัญญาณจะถูก INDUCE ไปยัง  $L_2$  ซึ่งถูก TUNE ไว้ที่ประมาณ 311 MHz โดย  $VC_1$  และจะทำการ DETECT CARRIER ออกไปเหลือแต่ CODE PULSE ซึ่งจะส่งผ่านไปยังวงจรกรองความถี่ต่ำผ่านซึ่งประกอบด้วย  $R_6$  ,  $C_7$  และทำการส่งออกไปเข้า INPUT ของ  $IC_{1/1}$  ดังรูปที่ 3.15

$IC_{1/1}$  ก็จะทำหน้าที่ในการ AMPLIFIER CODE PULSE แบบ HIGH GAIN INVERTING AMP ซึ่ง PULSE ที่ปรากฏทาง OUTPUT ของ  $IC_{1/1}$  มีรูปแบบเป็น INVERT กับ INPUT ที่เข้ามาและ OUTPUT ที่ได้จะถูกข้อมไปเข้า INPUT ของ  $IC_{1/2}$

$IC_{1/2}$  จะทำหน้าที่ AMPLIFIER PULSE ที่เข้ามาที่ขา INVERTING ทำให้รูปแบบของ PULSE เหมือนกับทางด้าน TRANSMITTER และ OUTPUT จะถูกข้อมไปเข้า INPUT ของ  $IC_{1/3}$

$IC_{1/3}$  จะทำหน้าที่จัดรูปคลื่นของ PULSE INPUT ที่ข้อมเข้าขา INVERTING ให้เป็น CODE PULSE แบบ LOGIC และลด NOISE ที่เกิดขึ้นและข้อมไปเข้า INPUT ของ  $IC_{1/4}$

$IC_{1/4}$  ทำหน้าที่ในการ INVERT CODE PULSE ให้เหมือนกับทางด้าน INPUT และส่ง CODE PULSE แบบ SEQUENTIAL ไปสู่ ภาควจรหัส (DECODE) ต่อไป



รูปที่ 3.15 วงจรเครื่องรับ

## บทสรุปและผลการทดลอง

จากการทดลองส่งรหัสเครื่องส่งไปยังเครื่องรับ เมื่อทำการกด CODE SWITCH จะทำให้ได้เอาต์พุตของ IC 145026 ซึ่งเป็นไอซีตัวที่ 1

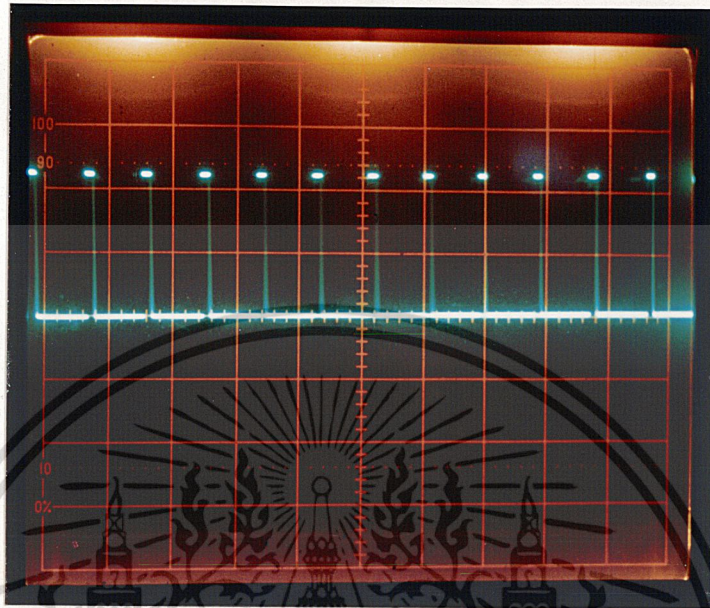
- 1] เมื่อทำการส่งรหัส 00A ออกไป วัดขา 15 ของ IC 145026 จะได้สัญญาณดังนี้



รูปที่ 4.1 สัญญาณรหัสเครื่อง 00A

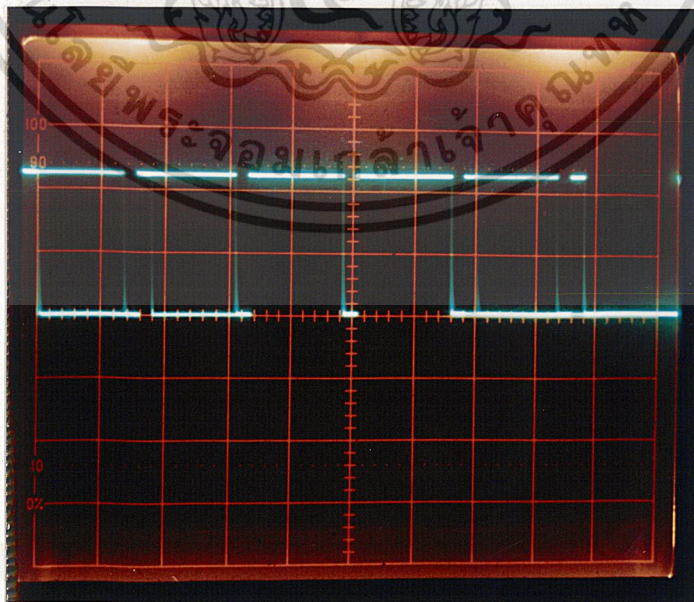
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2] เมื่อทำการส่งรหัส 00B ออกไป วิชา 15 ของ IC 145026 จะได้สัญญาณดังนี้



รูปที่ 4.2 สัญญาณรหัสเครื่อง 00B

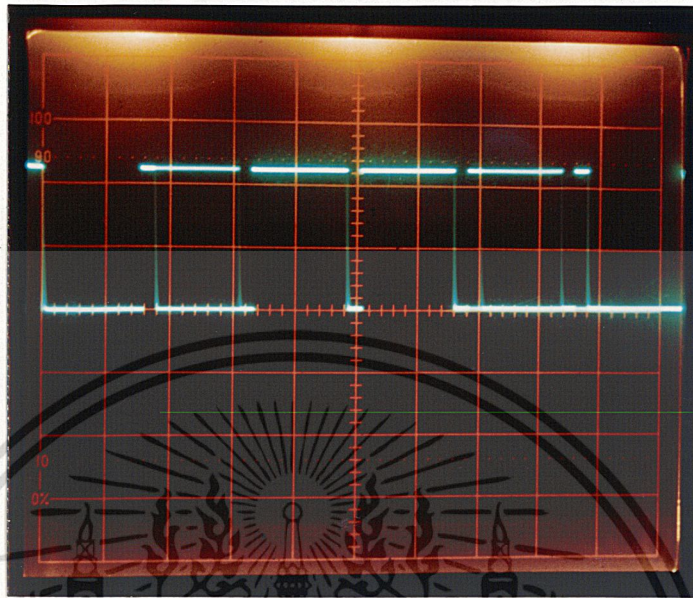
3] เมื่อทำการส่งรหัส 99A ออกไป วิชา 15 ของ IC 145026 จะได้สัญญาณดังนี้



รูปที่ 4.3 สัญญาณรหัสเครื่อง 99A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูผู้สอนให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4] เมื่อทำการส่งรหัสเครื่อง 99B ออกไป วัดที่ขา 15 ของ IC 145026 จะได้สัญญาณดังนี้

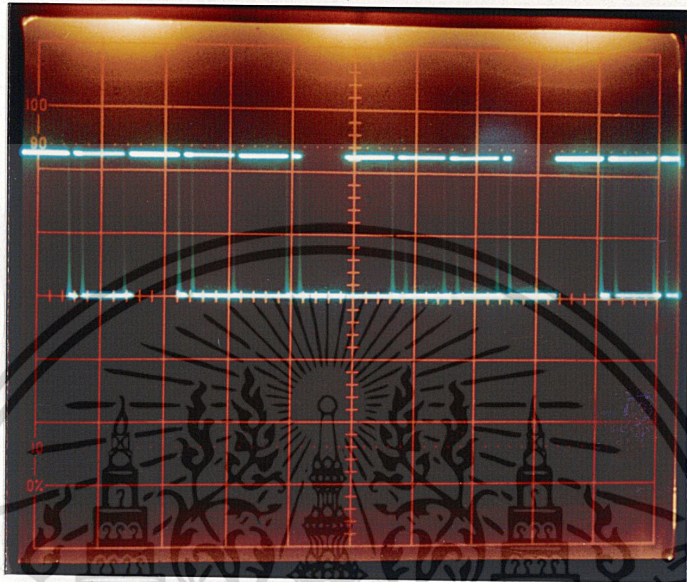


รูปที่ 4.4 สัญญาณรหัสเครื่อง 99B

ในการวัดสัญญาณจากขา 15 ของ IC 145026 ตัวที่ 1 นั้นจะเป็นการวัดสัญญาณรหัสเครื่องของเครื่องส่งที่ส่งออกไป ส่วนในการวัดข้อมูลที่ส่งออกไป จะทำการวัดที่ขา 15 ของ IC 145026 ตัวที่ 2 และในส่วนของการส่งสัญญาณฉุกเฉินจะทำการวัดสัญญาณที่ขา 15 ของ IC 145026 ตัวที่ 3 ดังรูปที่ 3.11

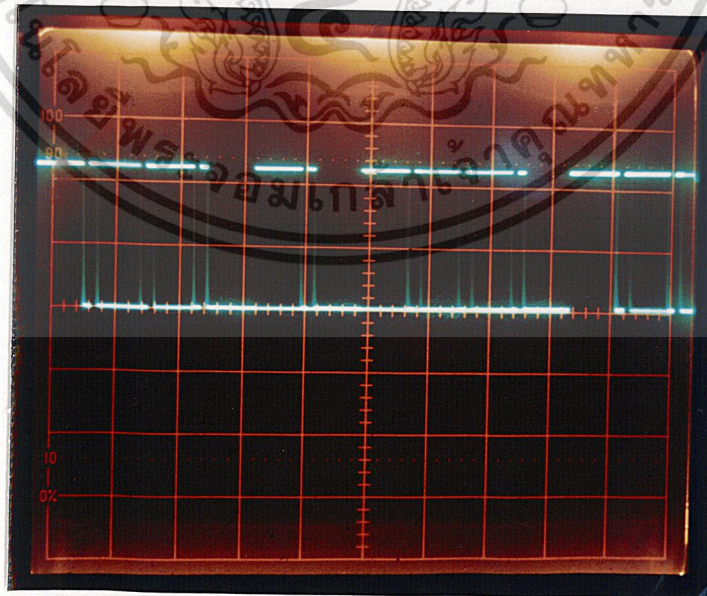
ในการวัดข้อมูลที่จะส่งจะทำการทดลองส่งดังนี้

- 1] เมื่อทำการส่งข้อมูลตัวอักษร A จะได้สัญญาณดังนี้



รูปที่ 4.5 สัญญาณข้อมูลตัวอักษร A

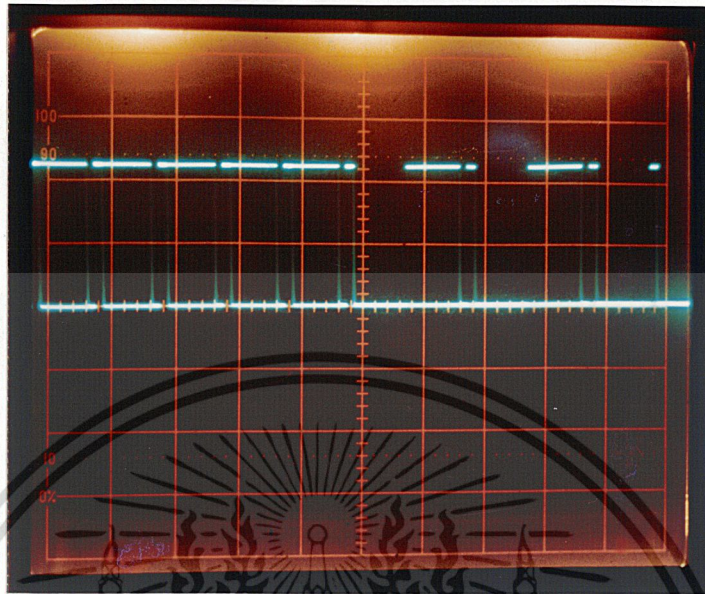
- 2] เมื่อทำการส่งข้อมูลตัวอักษร B จะได้สัญญาณดังนี้



รูปที่ 4.6 สัญญาณข้อมูลตัวอักษร B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการวัดสัญญาณอุกเงิน จะได้สัญญาณ ดังรูปที่ 4.7



รูปที่ 4.7 สัญญาณอุกเงิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### การประยุกต์เครื่องส่งรหัส BEEPCALL เพื่อนำไปใช้งาน

- 1] BEEPCALL ที่ได้ออกแบบมาไว้นี้ สามารถพัฒนาให้มีรหัสหมายเลขเครื่องที่แตกต่างกันได้ถึง 300 รหัส ซึ่งมีรหัสดังต่อไปนี้ 00A-99A , 00B-99B และ 00C-99C
- 2] สามารถป้องกันการดักหรือแอบถอดรหัสได้ เพราะมีการเข้ารหัสถึง 2 ตัว และมีการใช้ความถี่ในการชิงค์เครื่องด้วย
- 3] วงจร BEEPCALL นี้ สามารถประยุกต์เพื่อใช้ทำเป็น วงจรรีโมทคอนโทรลในการควบคุมเครื่องใช้ไฟฟ้าหรืออาจจะคิดแปลงทำเป็นวงจรป้องกันการขโมย และวงจรอื่นๆอีกมากมาย ที่มีหลักการทำงานในการเข้ารหัสหรือถอดรหัส
- 4] เพื่อเพิ่มประสิทธิภาพของโครงการนี้ เราอาจจะเพิ่มในส่วนของหน่วยความจำ สำหรับใช้เก็บข้อมูลต่างๆที่ส่งมา
- 5] ขยายขีดความสามารถในการรับข้อมูลให้สูงขึ้น โดยให้สามารถรับหมายเลขโทรศัพท์ได้เป็นจำนวนหลายเลขหมาย หรืออาจจะรับตัวอักษรได้หลายตัวอักษร
- 6] เพิ่มกำลังส่งของเครื่องส่ง เพื่อให้สามารถครอบคลุมพื้นที่ได้กว้างมากขึ้น
- 7] เพิ่มฟังก์ชันการทำงานที่พิเศษในด้านต่างๆของเครื่องส่งและเครื่องรับ BEEPCALL ให้มากขึ้น

### ปัญหาที่เกิดขึ้นในการทดลองภาคต่าง ๆ

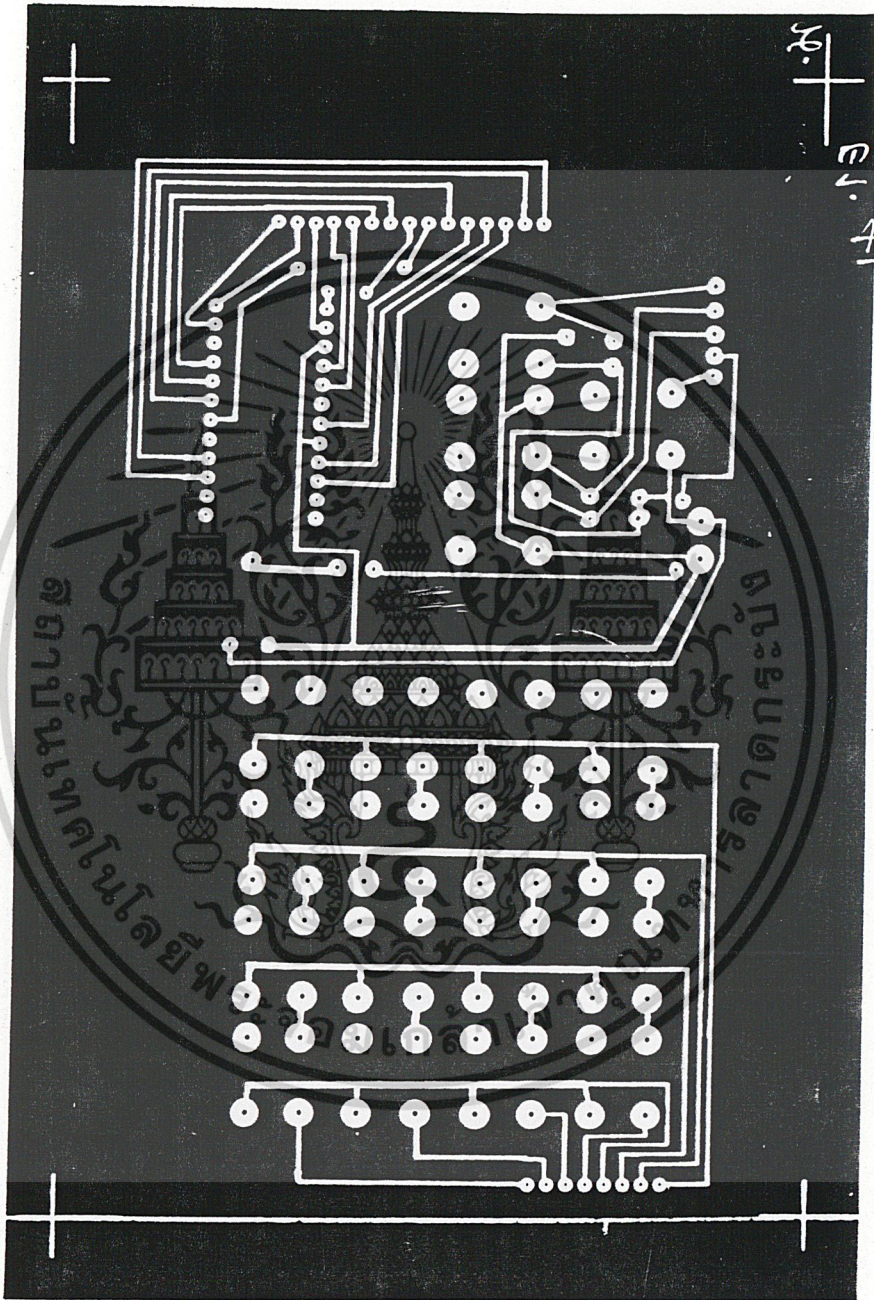
- 1] ในวงจรภาคคีร์บอร์ด จะมีปัญหาเกิดขึ้นเนื่องจาก KEY SWITCH ทั้ง 16 ตัว จะมี BOUNCED เกิดขึ้น ทำให้การกดคีร์เกิดความผิดพลาด ตัวเลขที่ได้ไม่ตรงกับรหัสคีร์ ปัญหาเหล่านี้จะสามารถแก้ไขได้ โดยการต่อตัวต้านทาน 10 K โอห์ม ลงกราวด์ ที่ขา 1,2,3,4 ของ IC 4512
- 2] ในส่วนของวงจรสร้างพัลส์ 4 ลูก ยังมีเสถียรภาพไม่ดี ทำให้ต้องทำการปรับแต่งวงจรในส่วนนี้บางครั้ง
- 3] เนื่องจากอุปกรณ์ที่ใช้ส่วนมากเป็น TTL ซึ่งไวต่อการสวิตช์ต่างๆ ที่เกิดขึ้น โดยจะทำให้วงจรทำงานผิดพลาดได้ การแก้ไขอาจจะต้องทำการออกแบบแหล่งจ่ายไฟที่มีเสถียรภาพที่ดีขึ้น
- 4] ในส่วนของเครื่องส่ง CARRIER ในส่วนนี้จะไม่เสถียรภาพ กล่าวคือ CARRIER จะเคลื่อนที่ไปยังความถี่อื่นตลอดเวลา ทำให้ต้องมีการปรับจูนความถี่ให้ตรงตามต้องการทุกครั้ง วิธีแก้ไขอาจจะต้องทำการเพิ่มกำลังส่งให้สูงขึ้น และทำการชิลต์วงจรมาให้มีสัญญาณรบกวนเกิดขึ้น

## สรุปการวิจัยและข้อเสนอแนะ

เครื่องส่งรหัส BEEPCALL นี้ วงจรส่วนใหญ่ได้ทำการออกแบบขึ้นตามจุดประสงค์ที่ต้องการ และให้มีความสะดวกต่อการใช้งาน ส่วนที่สำคัญอีกอย่างก็คือ จะต้องสามารถนำใบประยุกต์ใช้งานหรือพัฒนาให้มีประสิทธิภาพได้ ในด้านการทำงาน ปัญหาและอุปสรรคบางประการที่เกิดจะสามารถแก้ไขได้ ถ้าเรามีความเข้าใจถึงหลักการทำงานของวงจรภาคต่างๆ ปัญหาที่เกิดขึ้นแต่ละภาคอาจจะ เป็นปัญหาที่เราคาดไม่ถึง ไม่ว่าจะเป็นสัญญาณรบกวนหรืออาจจะเป็น BOUNCE ที่เกิดขึ้นภายใน KEY SWITCH ปัญหาเหล่านี้จะหมดไป ถ้าเรามีความตั้งใจและอดทนต่อการปฏิบัติงาน

ส่วนที่สำคัญที่สุดในการทำโครงการนี้ให้สำเร็จลุล่วงไปด้วยดี ก็คือ ความสามัคคีและความร่วมมือร่วมใจกันภายในกลุ่ม





ลายวงจรการติดตั้งสวิทช์และส่วนแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## หนังสืออ้างอิง

- [1] ถวิล กิ่งทอง , เทคโนโลยีการส่งสัญญาณดิจิทัล , ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , พิมพ์ครั้งที่ 2 ตุลาคม 2535
- [2] น.ต.ดร.ไพศาล สงวนหมู, รศ.ยีน ภู่วรรณ, การสื่อสารข้อมูลและไมโครคอมพิวเตอร์ บริษัท ซีเอ็ดยูเคชั่น จำกัด
- [3] ชูชัย ธนสารตั้งเจริญ , การสื่อสารข้อมูล , พลิกลัสเซ็นเตอร์ การพิมพ์
- [4] ชินรัตน์ บารุงชีพ และ พงษ์ศักดิ์ ขุนภักดี , รีโมต UHF 16 แชนเนล , เซมิคอนดักเตอร์ อิเล็กทรอนิกส์ , เล่มที่ 113, มกราคม 2535
- [5] สุเมธ เกศนาสิน , อะไหล่ยานยนต์บอร์ด , เซมิคอนดักเตอร์อิเล็กทรอนิกส์ , เล่มที่ 106, มิถุนายน 2534

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Encoder and Decoder Pairs CMOS

These devices are designed to be used as encoder/decoder pairs in remote control applications.

The MC145026 encodes nine lines of information and serially sends this information upon receipt of a transmit enable (TE) signal. The nine lines may be encoded with trinary data (low, high, or open) or binary data (low or high). The words are transmitted twice per encoding sequence to increase security.

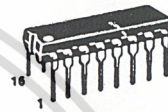
The MC145027 decoder receives the serial stream and interprets five of the trinary digits as an address code. Thus, 243 addresses are possible. If binary data is used at the encoder, 32 addresses are possible. The remaining serial information is interpreted as four bits of binary data. The valid transmission output (VT) goes high on the MC145027 when two conditions are met. First, two addresses must be consecutively received (in one encoding sequence) which both match the local address. Second, the 4-bits of data must match the last valid data received. The active VT indicates that the information at the data output pins has been updated.

The MC145028 decoder treats all nine trinary digits as an address which allows 19,683 codes. If binary data is encoded, 512 codes are possible. The valid transmission output (VT) goes high on the MC145028 when two addresses are consecutively received (in one encoding sequence) which both match the local address.

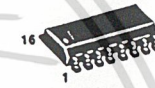
- Operating Temperature Range: -40° to 85°C
- Very-Low Standby Current for the Encoder: 300 nA Maximum @ 25°C
- Interfaces with RF, Ultrasonic, or Infrared Modulators and Demodulators
- RC Oscillator, No Crystal Required
- High External Component Tolerance; Can Use ±5% Components
- Internal Power-On Reset Forces All Decoder Outputs Low
- For Infrared Applications, See Applications Note AN1016
- Operating Voltage Range: 4.5 to 18 V
- Low-Voltage Versions Available —

SC41342: 2.5 to 18 V Version of the MC145026  
 SC41343: 2.8 to 10 V Version of the MC145027  
 SC41344: 2.8 to 10 V Version of the MC145028

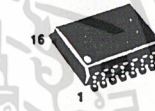
**MC145026**  
**MC145027**  
**MC145028**  
**SC41342**  
**SC41343**  
**SC41344**



P SUFFIX  
 PLASTIC DIP  
 CASE 648



D SUFFIX  
 SOG  
 CASE 751B

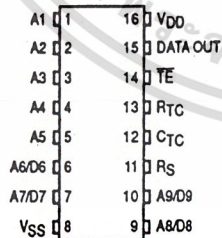


DW SUFFIX  
 SOG  
 CASE 751G

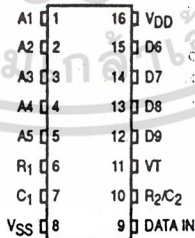
### ORDERING INFORMATION

MC145026P, SC41342P	Plastic DIP
MC145026D, SC41342D	SOG Package
MC145027P, SC41343P	Plastic DIP
MC145027DW, SC41343DW	SOG Package
MC145028P, SC41344P	Plastic DIP
MC145028DW, SC41344DW	SOG Package

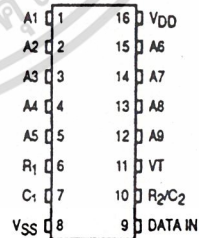
### PIN ASSIGNMENTS



MC145026  
 SC41342  
 ENCODERS



MC145027  
 SC41343  
 DECODERS



MC145028  
 SC41344  
 DECODERS

MC145026•MC145027•MC145028•  
SC41342•SC41343•SC41344

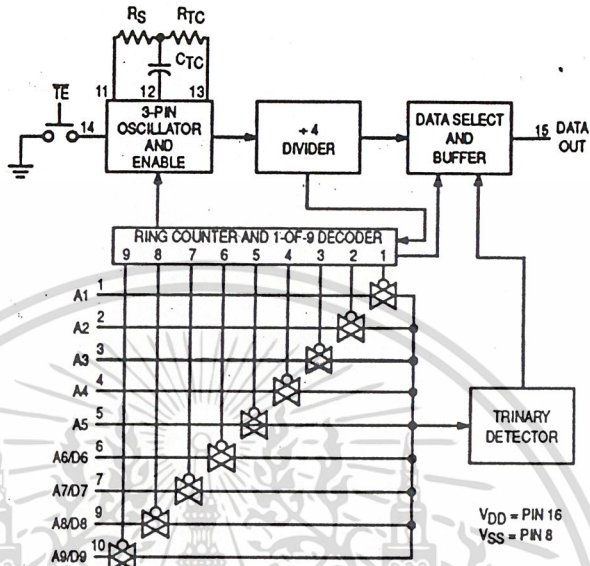


Figure 1. MC145026 Encoder Block Diagram

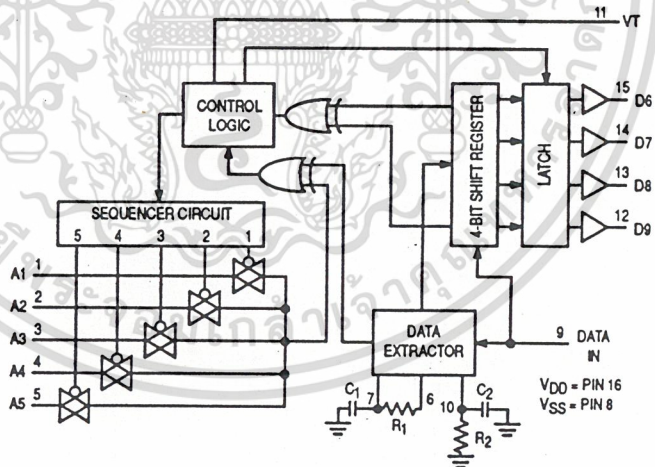


Figure 2. MC145027 Decoder Block Diagram

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**MC145026•MC145027•MC145028•  
SC41342•SC41343•SC41344**

**ELECTRICAL CHARACTERISTICS — MC145026, MC145027, MC145028, and SC41342\* (Voltage Referenced to V<sub>SS</sub>)**

Symbol	Characteristic	V <sub>DD</sub> V	Guaranteed Limit						Unit
			-40°C		25°C		+85°C		
			Min	Max	Min	Max	Min	Max	
V <sub>OL</sub>	Low-Level Output Voltage (V <sub>in</sub> = V <sub>DD</sub> or 0)	5.0	—	0.05	—	0.05	—	0.05	V
		10	—	0.05	—	0.05	—	0.05	
		15	—	0.05	—	0.05	—	0.05	
V <sub>OH</sub>	High-Level Output Voltage (V <sub>in</sub> = 0 or V <sub>DD</sub> )	5.0	4.95	—	4.95	—	4.95	—	V
		10	9.95	—	9.95	—	9.95	—	
		15	14.95	—	14.95	—	14.95	—	
V <sub>IL</sub>	Low-Level Input Voltage (V <sub>out</sub> = 4.5 or 0.5 V) (V <sub>out</sub> = 9.0 or 1.0 V) (V <sub>out</sub> = 13.5 or 1.5 V)	5.0	—	1.5	—	1.5	—	1.5	V
		10	—	3.0	—	3.0	—	3.0	
		15	—	4.0	—	4.0	—	4.0	
V <sub>IH</sub>	High-Level Input Voltage (V <sub>out</sub> = 0.5 or 4.5 V) (V <sub>out</sub> = 1.0 or 9.0 V) (V <sub>out</sub> = 1.5 or 13.5 V)	5.0	3.5	—	3.5	—	3.5	—	V
		10	7.0	—	7.0	—	7.0	—	
		15	11	—	11	—	11	—	
I <sub>OH</sub>	High-Level Output Current (V <sub>out</sub> = 2.5 V) (V <sub>out</sub> = 4.6 V) (V <sub>out</sub> = 9.5 V) (V <sub>out</sub> = 13.5 V)	5.0	-2.5	—	-2.1	—	-1.7	—	mA
		5.0	-0.52	—	-0.44	—	-0.36	—	
		10	-1.3	—	-1.1	—	-0.9	—	
		15	-3.6	—	-3.0	—	-2.4	—	
I <sub>OL</sub>	Low-Level Output Current (V <sub>out</sub> = 0.4 V) (V <sub>out</sub> = 0.5 V) (V <sub>out</sub> = 1.5 V)	5.0	0.52	—	0.44	—	0.36	—	mA
		10	1.3	—	1.1	—	0.9	—	
		15	3.6	—	3.0	—	2.4	—	
I <sub>in</sub>	Input Current — TE (MC145026 and SC41342, Pullup Device)	5.0	—	—	3.0	11	—	—	μA
		10	—	—	16	60	—	—	
		15	—	—	35	120	—	—	
I <sub>in</sub>	Input Current R <sub>S</sub> (MC145026 and SC41342), Data In (MC145027, MC145028)	15	—	±0.3	—	±0.3	—	±1.0	μA
		15	—	—	—	—	—	—	
I <sub>in</sub>	Input Current A1-A5, A6/D6-A9/D9 (MC145026 and SC41342), A1-A5 (MC145027), A1-A9 (MC145028)	5.0	—	—	—	±110	—	—	μA
		10	—	—	—	±500	—	—	
		15	—	—	—	+1000	—	—	
C <sub>in</sub>	Input Capacitance (V <sub>in</sub> = 0)	—	—	—	—	7.5	—	—	pF
I <sub>DD</sub>	Quiescent Current — MC145026 and SC41342	5.0	—	—	—	0.1	—	—	μA
		10	—	—	—	0.2	—	—	
		15	—	—	—	0.3	—	—	
I <sub>DD</sub>	Quiescent Current — MC145027, MC145028	5.0	—	—	—	50	—	—	μA
		10	—	—	—	100	—	—	
		15	—	—	—	150	—	—	
I <sub>DD</sub>	Dynamic Supply Current — MC145026 and SC41342 (f <sub>c</sub> = 20 kHz)	5.0	—	—	—	200	—	—	μA
		10	—	—	—	400	—	—	
		15	—	—	—	600	—	—	
I <sub>DD</sub>	Dynamic Supply Current — MC145027, MC145028 (f <sub>c</sub> = 20 kHz)	5.0	—	—	—	400	—	—	μA
		10	—	—	—	800	—	—	
		15	—	—	—	1200	—	—	

\*Also see next Electrical Characteristics table for 2.5 V specifications.

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145026•MC145027•MC145028•  
SC41342•SC41343•SC41344

ELECTRICAL CHARACTERISTICS — SC41342 (Voltage Referenced to V<sub>SS</sub>)

Symbol	Characteristic	V <sub>DD</sub> V	Guaranteed Limit						Unit
			-40°C		25°C		+85°C		
			Min	Max	Min	Max	Min	Max	
V <sub>OL</sub>	Low-Level Output Voltage (V <sub>in</sub> = 0 V or V <sub>DD</sub> )	2.5	—	0.05	—	0.05	—	0.05	V
V <sub>OH</sub>	High-Level Output Voltage (V <sub>in</sub> = 0 V or V <sub>DD</sub> )	2.5	2.45	—	2.45	—	2.45	—	V
V <sub>IL</sub>	Low-Level Input Voltage (V <sub>out</sub> = 0.5 V or 2.0 V)	2.5	—	0.3	—	0.3	—	0.3	V
V <sub>IH</sub>	High-Level Input Voltage (V <sub>out</sub> = 0.5 V or 2.0 V)	2.5	2.2	—	2.2	—	2.2	—	V
I <sub>OH</sub>	High-Level Output Current (V <sub>out</sub> = 1.25 V)	2.5	0.28	—	0.25	—	0.2	—	mA
I <sub>OL</sub>	Low-Level Output Current (V <sub>out</sub> = 0.4 V)	2.5	0.22	—	0.2	—	0.16	—	mA
I <sub>in</sub>	Input Current (TE — Pullup Device)	2.5	—	—	0.09	1.8	—	—	μA
I <sub>in</sub>	Input Current (A1-A5, A6/D6-A9/D9)	2.5	—	—	—	±25	—	—	μA
I <sub>DD</sub>	Quiescent Current	2.5	—	—	—	0.05	—	—	μA
I <sub>dd</sub>	Dynamic Supply Current (f <sub>c</sub> = 20 kHz)	2.5	—	—	—	40	—	—	μA

MC145026•MC145027•MC145028•  
SC41342•SC41343•SC41344

ELECTRICAL CHARACTERISTICS — SC41343 and SC41344 (Voltage Referenced to V<sub>SS</sub>)

Symbol	Characteristic	V <sub>DD</sub> V	Guaranteed Limit						Unit
			-40°C		25°C		+85°C		
			Min	Max	Min	Max	Min	Max	
V <sub>OL</sub>	Low-Level Output Voltage (V <sub>in</sub> = 0 V or V <sub>DD</sub> )	2.8	—	0.05	—	0.05	—	0.05	V
		5.0	—	0.05	—	0.05	—	0.05	
		10	—	0.05	—	0.05	—	0.05	
V <sub>OH</sub>	High-Level Output Voltage (V <sub>in</sub> = 0 V or V <sub>DD</sub> )	2.8	2.75	—	2.75	—	2.75	—	V
		5.0	4.95	—	4.95	—	4.95	—	
		10	9.95	—	9.95	—	9.95	—	
V <sub>IL</sub>	Low-Level Input Voltage (V <sub>out</sub> = 2.3 V or 0.5 V) (V <sub>out</sub> = 4.5 V or 0.5 V) (V <sub>out</sub> = 9.0 V or 1.0 V)	2.8	—	0.84	—	0.84	—	0.84	V
		5.0	—	1.5	—	1.5	—	1.5	
		10	—	3.0	—	3.0	—	3.0	
V <sub>IH</sub>	High-Level Input Voltage (V <sub>out</sub> = 0.5 V or 2.3 V) (V <sub>out</sub> = 0.5 V or 4.5 V) (V <sub>out</sub> = 1.0 V or 9.0 V)	2.8	1.96	—	1.96	—	1.96	—	V
		5.0	3.5	—	3.5	—	3.5	—	
		10	7.0	—	7.0	—	7.0	—	
I <sub>OH</sub>	High-Level Output Current (V <sub>out</sub> = 1.4 V) (V <sub>out</sub> = 4.5 V) (V <sub>out</sub> = 9.0 V)	2.8	-0.73	—	-0.7	—	-0.55	—	mA
		5.0	-0.59	—	-0.5	—	-0.41	—	
		10	-1.3	—	-1.1	—	-0.9	—	
I <sub>OL</sub>	Low-Level Output Current (V <sub>out</sub> = 0.4 V) (V <sub>out</sub> = 0.5 V) (V <sub>out</sub> = 1.0 V)	2.8	0.35	—	0.3	—	0.24	—	mA
		5.0	0.8	—	0.6	—	0.4	—	
		10	3.5	—	2.9	—	2.3	—	
I <sub>in</sub>	Input Current — Data In	10	—	±0.3	—	±0.3	—	±1.0	μA
I <sub>in</sub>	Input Current A1-A5 (SC41343), A1-A9 (SC41344)	2.8	—	—	—	±30	—	—	μA
		5.0	—	—	—	±140	—	—	
		10	—	—	—	±600	—	—	
C <sub>in</sub>	Input Capacitance (V <sub>in</sub> = 0)	—	—	—	—	7.5	—	—	pF
I <sub>DD</sub>	Quiescent Current	2.8	—	—	—	60	—	—	μA
		5.0	—	—	—	75	—	—	
		10	—	—	—	150	—	—	
I <sub>dd</sub>	Dynamic Supply Current (f <sub>c</sub> = 20 kHz)	2.8	—	—	—	300	—	—	μA
		5.0	—	—	—	500	—	—	
		10	—	—	—	1000	—	—	

6

**MC145026•MC145027•MC145028•  
SC41342•SC41343•SC41344**

**SWITCHING CHARACTERISTICS — MC145026, MC145027, MC145028, and SC41342\* (C<sub>L</sub> = 50 pF, T<sub>A</sub> = 25°C)**

Symbol	Characteristic	V <sub>DD</sub>	Guaranteed Limit		Unit
			Min	Max	
t <sub>TLH</sub> , t <sub>THL</sub>	Output Transition Time (Figures 4 and 8)	5.0	—	200	ns
		10	—	100	
		15	—	80	
t <sub>r</sub>	Data In Rise Time (Decoders) (Figure 5)	5.0	—	15	μs
		10	—	15	
		15	—	15	
t <sub>f</sub>	Data In Fall Time (Decoders) (Figure 5)	5.0	—	15	μs
		10	—	5.0	
		15	—	4.0	
f <sub>osc</sub>	Encoder Clock Frequency (Figure 6)	5.0	0.001	2.0	MHz
		10	0.001	5.0	
		15	0.001	10	
f	Decoder Frequency (Referenced to Encoder Clock) (Figure 14)	5.0	1.0	240	kHz
		10	1.0	410	
		15	1.0	450	
t <sub>w</sub>	TE Pulse Width (Encoders) (Figure 7)	5.0	65	—	ns
		10	30	—	
		15	20	—	

\*Also see next Switching Characteristics table for 2.5 V specifications.

**SWITCHING CHARACTERISTICS — SC41342 (C<sub>L</sub> = 50 pF, T<sub>A</sub> = 25°C)**

Symbol	Characteristic	V <sub>DD</sub>	Guaranteed Limit		Unit
			Min	Max	
t <sub>TLH</sub> , t <sub>THL</sub>	Output Transition Time (Figures 4 and 8)	2.5	—	450	ns
f <sub>osc</sub>	Encoder Clock Frequency (Figure 6)	2.5	1.0	250	kHz
t <sub>w</sub>	TE Pulse Width (Figure 7)	2.5	—	—	ns

**SWITCHING CHARACTERISTICS — SC41343 and SC41344 (C<sub>L</sub> = 50 pF, T<sub>A</sub> = 25°C)**

Symbol	Characteristic	V <sub>DD</sub>	Guaranteed Limit		Unit
			Min	Max	
t <sub>TLH</sub> , t <sub>THL</sub>	Output Transition Time (Figures 4 and 8)	2.8	—	320	ns
		5.0	—	200	
		10	—	100	
t <sub>r</sub>	Data In Rise Time (Figure 5)	2.8	—	15	μs
		5.0	—	15	
		10	—	15	
t <sub>f</sub>	Data In Fall Time (Figure 5)	2.8	—	15	μs
		5.0	—	15	
		10	—	5.0	
f	Decoder Frequency (Referenced to Encoder Clock) (Figure 14)	2.8	1.0	100	kHz
		5.0	1.0	240	
		10	1.0	410	

MC145026•MC145027•MC145028•  
SC41342•SC41343•SC41344

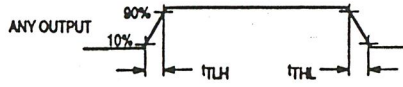


Figure 4.

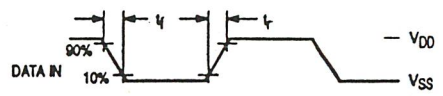


Figure 5.

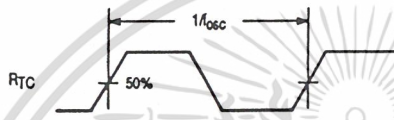


Figure 6.

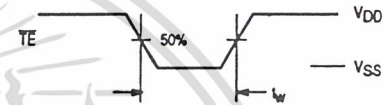
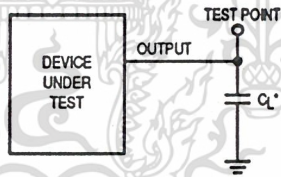


Figure 7.

6



\*INCLUDES ALL PROBE AND JIG CAPACITANCE.

Figure 8. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC145026•MC145027•MC145028• SC41342•SC41343•SC41344

### OPERATING CHARACTERISTICS

#### MC145026

The encoder serially transmits trinary data as defined by the state of the A1 through A5 and A6/D6 through A9/D9 input pins. These pins may be in either of three states (low, high, or open) allowing 19,683 possible codes. The transmit sequence is initiated by a low level on the TE input pin. Each time the TE input is forced low, the encoder outputs two identical data words. Between the two data words, no signal is sent for three data periods. If the TE input is kept low, the encoder continuously transmits the data word. See Figure 10.

Upon power-up the MC145026 can continuously transmit data as long as TE remains low. The device can transmit two-word sequences by pulsing TE low. However, no application should be designed to rely upon the first data word transmitted after power-up, because this first word is invalid data.

Each transmitted trinary digit is encoded into pulses (See Figure 11). A logic zero (low) is encoded as two consecutive short pulses, a logic one (high) as two consecutive long pulses, and an open (high-impedance) as a long pulse followed by a short pulse. The input state is determined by using a weak "output" device to try to force each input first low, then high. If only a high state results from the two tests, the input is assumed to be hardwired to VDD. If only a low state is obtained, the input is assumed to be hardwired to VSS. If both a high and a low can be forced at an input, an open is assumed and is encoded as such. The "high" and "low" levels are 70% and 30% of the supply voltage as shown in the Electrical Characteristics Table. The weak "output" device sinks/sources up to 110  $\mu$ A at a 5 V supply level, 500  $\mu$ A at 10 V, and 1 mA at 15 V.

The TE input has an internal pullup device so that a simple switch may be used to force the input low. While TE is high, the encoder is completely disabled, the oscillator is inhibited, and the current drain is reduced to quiescent current. When TE is brought low, the oscillator is started, and the transmit sequence begins. The inputs are then sequentially selected, and determinations are made as to the input logic states. This information is serially transmitted via the Data Out pin.

#### MC145027

This decoder receives the serial data from the encoder and outputs the data, if it is valid. The transmitted data, consisting of two identical words, is examined bit by bit during reception. The first five trinary digits are assumed to be the address. If the received address matches the local address, next four (data) bits are internally stored, but are not transferred to the output data latch. As the second encoded word is received, the address must again match. If a match occurs, the new data bits are checked against the previously stored data bits. If the two nibbles of data (four bits each) match, the data is transferred to the output data latch by VT and remains until new data replaces it. At the same time, the VT output pin is brought high and remains high until an error is received or until no input signal is received for four data periods. See Figure 10.

Although the address information may be encoded in trinary, the data information must be either a one or a zero. A trinary (open) data line is decoded as a logic one.

#### MC145028

This decoder operates in the same manner as the MC145027 except that nine address lines are used and no data output is available. The VT output is used to indicate that a valid address has been received. For transmission security, two identical transmitted words must be consecutively received before a valid transmission output (VT) signal is issued.

The MC145028 allows 19,683 addresses when trinary levels are used. 512 addresses are possible when binary levels are used.

### PIN DESCRIPTIONS

#### MC145026 ENCODER

**A1 through A5, A6/D6 through A9/D9 (Pins 1 through 7, 9, and 10)**

These address/data inputs are encoded and the data is sent serially from the encoder via the data out pin.

**RS, CTC, RTC (Pins 11, 12, and 13)**

These pins are part of the oscillator section of the encoder. See Figure 9.

If an external signal source is used instead of the internal oscillator, it should be connected to the RS input and the RTC and CTC pins should be left open.

**TE (Pin 14)**

This active-low transmit enable input initiates transmission when forced low. An internal pullup device keeps this input normally high. The pullup current is specified in the Electrical Characteristics table.

**Data Out (Pin 15)**

This is the output of the encoder that serially presents the encoded data word.

**VSS (Pin 8)**

The most-negative supply potential. This pin is usually ground.

**VDD (Pin 16)**

The most-positive power supply pin.

#### MC145027 AND MC145028 DECODERS

**A1 through A5 (Pins 1 through 5) — MC145027  
A1 through A9 (Pins 1 through 5, 15, 14, 13, and 12) —  
MC145028**

These are the local address inputs. The states of these pins must match the appropriate encoder inputs for the VT pin to go high. The local address may be encoded with trinary or binary data.

**D6 through D9 (Pins 15, 14, 13, and 12) — MC145027  
ONLY**

These outputs present the binary information that is on encoder inputs A6/D6 through A9/D9. Only binary data is acknowledged; a trinary open at the MC145026 encoder is decoded as a high level (logic 1).

**MC145026•MC145027•MC145028•  
SC41342•SC41343•SC41344**

**R<sub>1</sub>, C<sub>1</sub> (Pins 6, 7)**

As shown in Figures 2 and 3, these pins accept a resistor and capacitor that are used to determine whether a narrow pulse or wide pulse has been received. The time constant R<sub>1</sub> x C<sub>1</sub> should be set to 1.72 encoder clock periods:

$$R_1 C_1 = 3.95 R_{TC} C_{TC}$$

**R<sub>2</sub>/C<sub>2</sub> (Pin 10)**

As shown in Figures 2 and 3, this pin accepts a resistor and capacitor that are used to detect both the end of a received word and the end of a transmission. The time constant R<sub>2</sub> x C<sub>2</sub> should be 33.5 encoder clock periods (four data periods per Figure 11): R<sub>2</sub> C<sub>2</sub> = 77 R<sub>TC</sub> C<sub>TC</sub>. This time constant is used to determine whether the data in pin has remained low for four data periods (end of transmission). A separate on-chip comparator looks at the voltage-equivalent two data periods (0.4 R<sub>2</sub> C<sub>2</sub>) to detect the dead time between received words within a transmission.

**VT (Pin 11)**

This valid transmission output goes high after the second word of an encoding sequence when the following conditions are satisfied:

- (1) the received addresses of both words match the local decoder address, and
  - (2) the received data bits of both words match.
- VT remains high until either a mismatch is received or no input signal is received for four data periods.

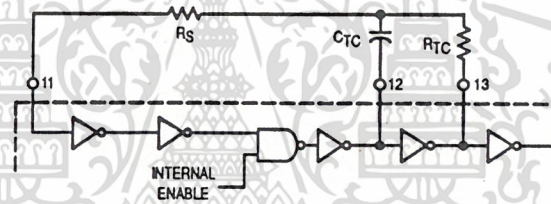
**VSS (Pin 8)**

The most-negative supply potential. This pin is usually ground.

**VDD (Pin 16)**

The most-positive power supply pin.

6



This oscillator operates at a frequency determined by the external RC network; i.e.,

$$f \approx \frac{1}{2.3 R_{TC} C_{TC}'} \text{ (Hz)}$$

for 1 kHz ≤ f ≤ 400 kHz

where: C<sub>TC</sub>' = C<sub>TC</sub> + C<sub>layout</sub> + 12 pF

R<sub>S</sub> ≈ 2 R<sub>TC</sub>

R<sub>S</sub> ≥ 20 k

R<sub>TC</sub> ≥ 10 k

400 pF < C<sub>TC</sub> < 15 μF

The value for R<sub>S</sub> should be chosen to be ≥ 2 times R<sub>TC</sub>. This range ensures that current through R<sub>S</sub> is insignificant compared to current through R<sub>TC</sub>. The upper limit for R<sub>S</sub> must ensure that R<sub>S</sub> x 5 pF (input capacitance) is small compared to R<sub>TC</sub> x C<sub>TC</sub>.

For frequencies outside the indicated range, the formula is less accurate. The minimum recommended oscillation frequency of this circuit is 1 kHz. Susceptibility to externally induced noise signals may occur for frequencies below 1 kHz and/or when resistors utilized are greater than 1 MΩ.

Figure 9. Encoder Oscillator Information

MC145026•MC145027•MC145028•  
 SC41342•SC41343•SC41344

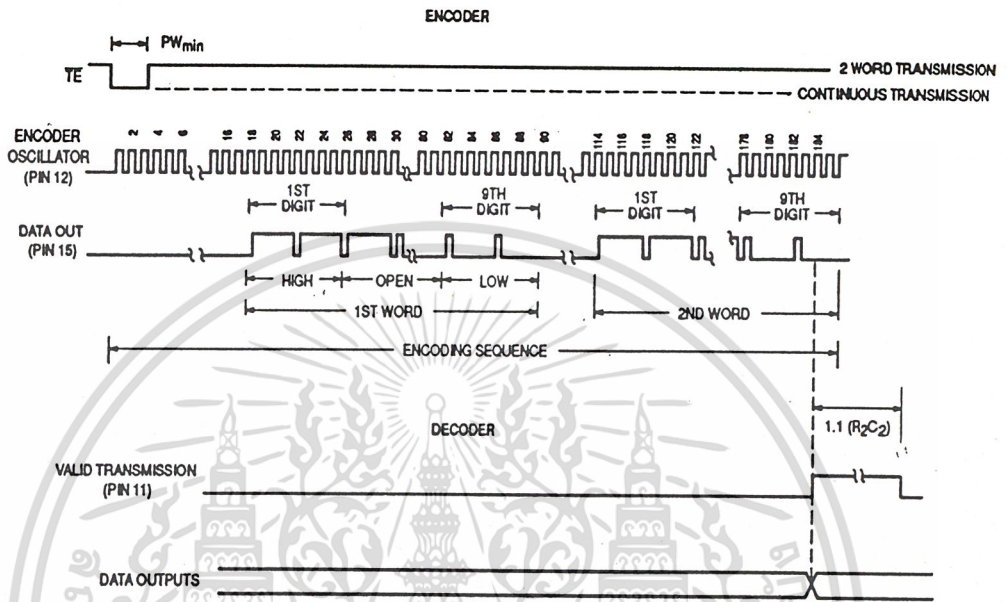


Figure 10. Timing Diagram

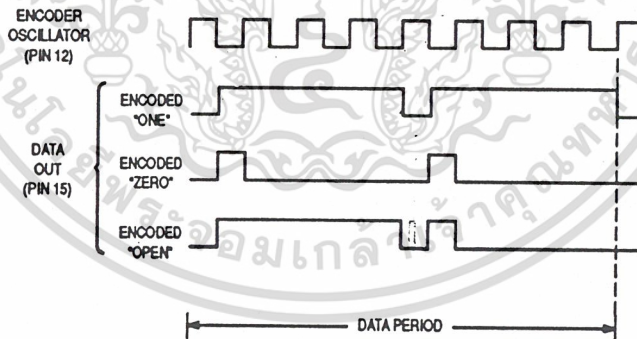


Figure 11. Encoder Data Waveforms

MC145026•MC145027•MC145028•  
 SC41342•SC41343•SC41344

6

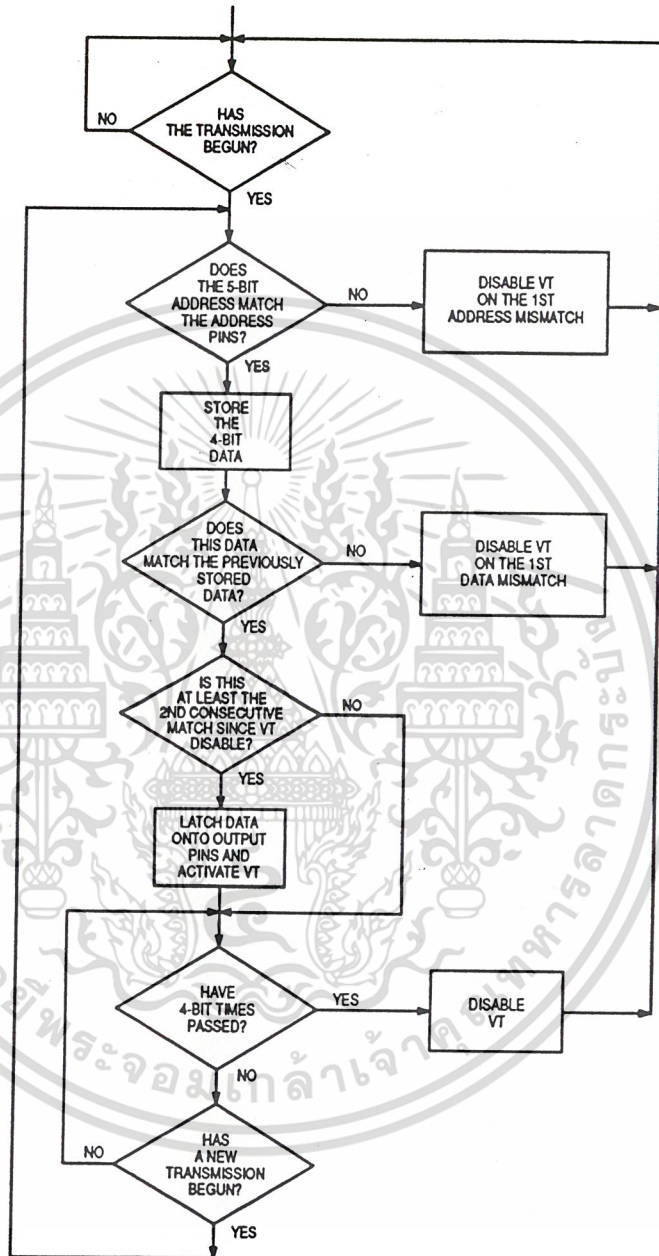


Figure 12. MC145027 Flowchart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145026•MC145027•MC145028•  
 SC41342•SC41343•SC41344

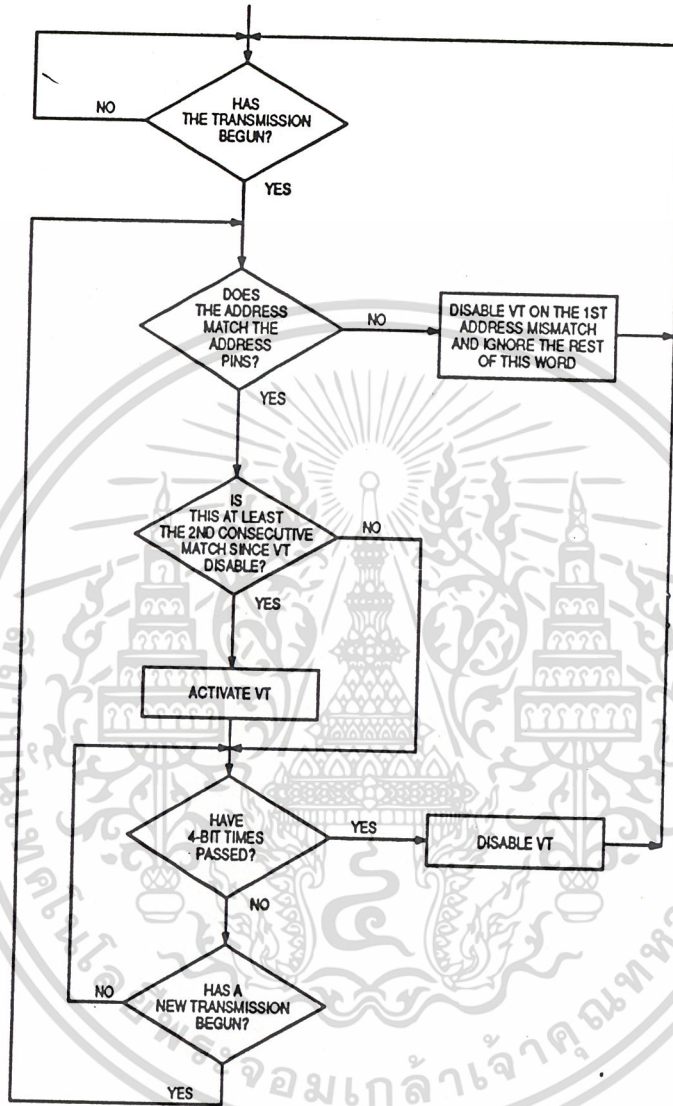


Figure 13. MC145028 Flowchart

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145026•MC145027•MC145028•  
 SC41342•SC41343•SC41344

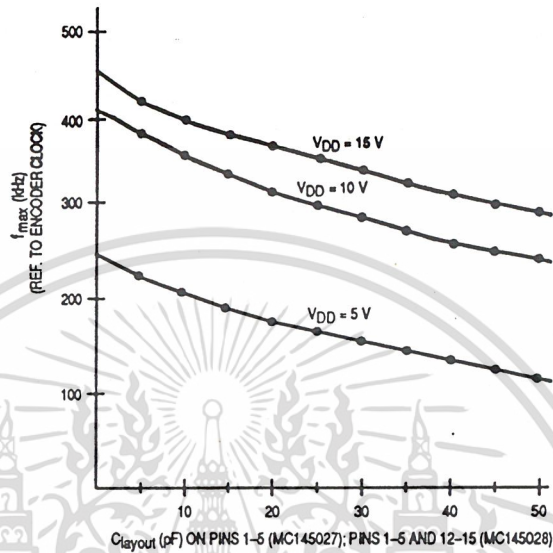


Figure 14.  $f_{max}$  vs Clayout — Decoders Only

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145026•MC145027•MC145028•  
SC41342•SC41343•SC41344

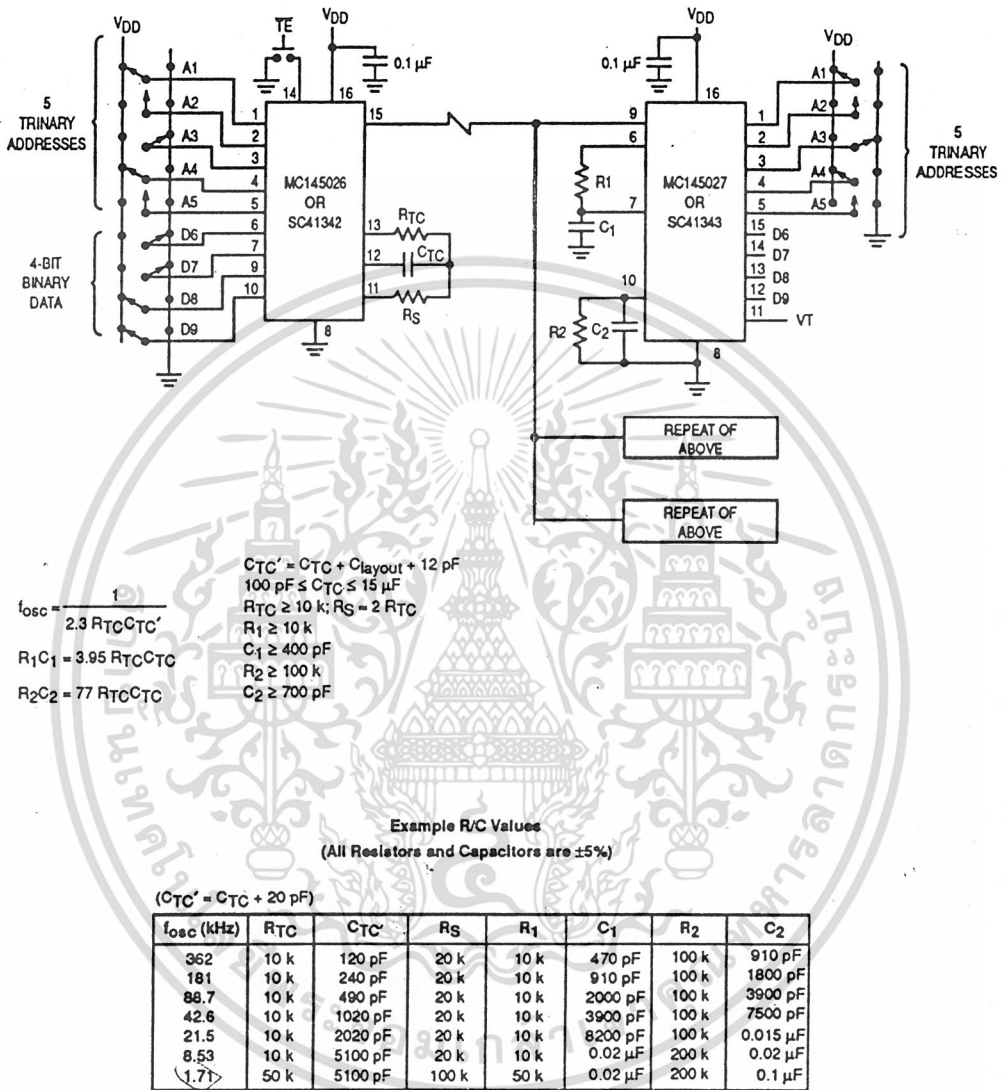


Figure 15. Typical Application

**MC145026•MC145027•MC145028•  
SC41342•SC41343•SC41344**

**APPLICATIONS INFORMATION**

**Infrared Transmitter**

In Figure 16, the MC145026 encoder is set to run at an oscillator frequency of about 4 kHz to 9 kHz. Thus, the time required for a complete two-word encoding sequence is about 20 ms to 40 ms. The data output from the encoder gates an RC oscillator running at 50 kHz; the oscillator shown starts rapidly enough to be used in this application. When the "send" button is not depressed, both the MC145026 and oscillator are in a low-power standby state. The RC oscillator has to be trimmed for 50 kHz and has some drawbacks for frequency stability. A superior system uses a ceramic resonator oscillator running at 400 kHz. This oscillator feeds a divider as shown in Figure 17. The unused inputs of the MC14011UB must be grounded.

The MLED81 IRED is driven with the 50 kHz square wave at about 200 mA to 300 mA to generate the carrier. If desired, 2 IREDs wired in series can be used. (See Application Note AN1016 for more information.) The bipolar IRED switch shown in Figure 16 offers two advantages over a FET. First, a logic FET has too much gate capacitance for the MC14011UB to drive without waveform distortion. Second, the bipolar drive permits lower supply voltages, which are an advantage in portable battery-powered applications.

The configuration shown in Figure 16 operates over a supply range of 4.5 V to 18 V. A low-voltage system which operates down to 2.5 V could be realized if the SC41342 (the low-voltage version of the MC145026) is used in lieu of the MC145026. The oscillator section of a MC74HC4060 is used in place of the MC14011UB. The data output of the SC41342 is inverted and fed to the reset pin of the MC74HC4060. Alternately, the MC74HCU04 could be used for the oscillator.

Information on the MC14011UB is in book number DL131/D. The MC74HCU04 and MC74HC4060 are found in book number DL129/D.

**Infrared Receiver**

The receiver in Figure 18 couples an IR-sensitive diode to input preamp A1, followed by bandpass amplifier A2 with a gain of about 10. Limiting stage A3 follows, with an output of about 800 mVp-p. The limited 50 kHz burst is detected by comparator A4 that passes only positive pulses, and

peak-detected and filtered by a diode/RC network to extract the data envelope from the burst. Comparator A5 boosts the signal to logic levels compatible with the MC145027/8 data input. The data in pin of these decoders is a standard CMOS high-impedance input which must NOT be allowed to float. Therefore, direct coupling from A5 to the decoder input is utilized.

Shielding should be used on at least A1 and A2, with good ground and high-sensitivity circuit layout techniques applied.

For operation with supplies higher than +5 V, limiter A4's positive output swing needs to be limited to 3 V to 5 V. This is accomplished via adding a zener diode in the negative feedback path, thus avoiding excessive system noise. The biasing resistor stack should be adjusted such that V3 is 1.25 V to 1.5 V.

This system works up to a range of about 10 meters. The gains of the system may be adjusted to suit the individual design needs. The 100  $\Omega$  resistor in the emitter of the first 2N5088 and the 1 k $\Omega$  resistor feeding A2 may be altered if different gain is required. In general, more gain does not necessarily result in increased range. This is due to noise floor limitations. The designer should increase transmitter power and/or increase receiver aperture with fresnel lensing to greatly improve range. See applications note AN1016 for additional information.

Information on the MC34074 is in data book DL128/D.

**Trinary Switch Manufacturers**

Midland Ross—Electronic Connector Div.	617/491-5400
Greyhill	312/354-1040
Augat/Alcoswitch	617/685-4371
Aries Electronics	201/996-6841

The above companies may not have the switches in a DIP. For more info, call them or consult EEM or Gold Book. Ask for SPDT with center OFF.

Alternative: A SPST can be placed in series between a SPDT and the Encoder or Decoder to achieve trinary action.

Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing of trinary switch manufacturers.

6

MC145026•MC145027•MC145028•  
SC41342•SC41343•SC41344

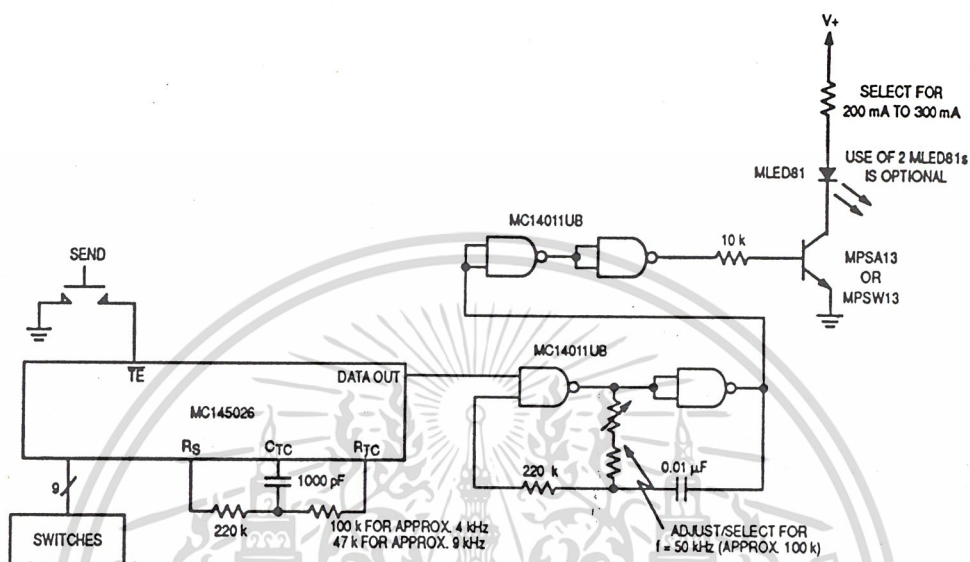


Figure 16. IRED Transmitter Using RC Oscillator to Generate Carrier Frequency

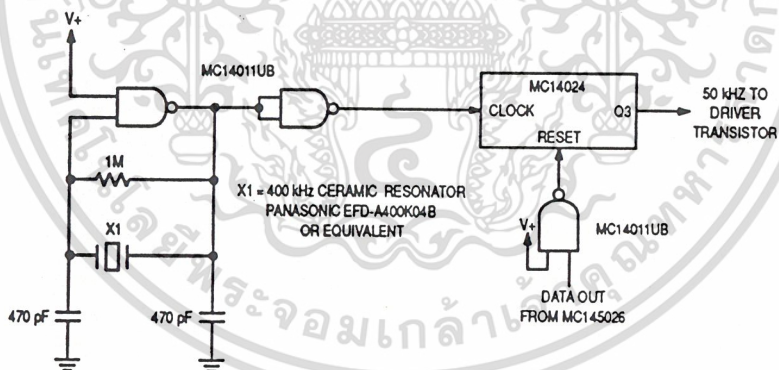
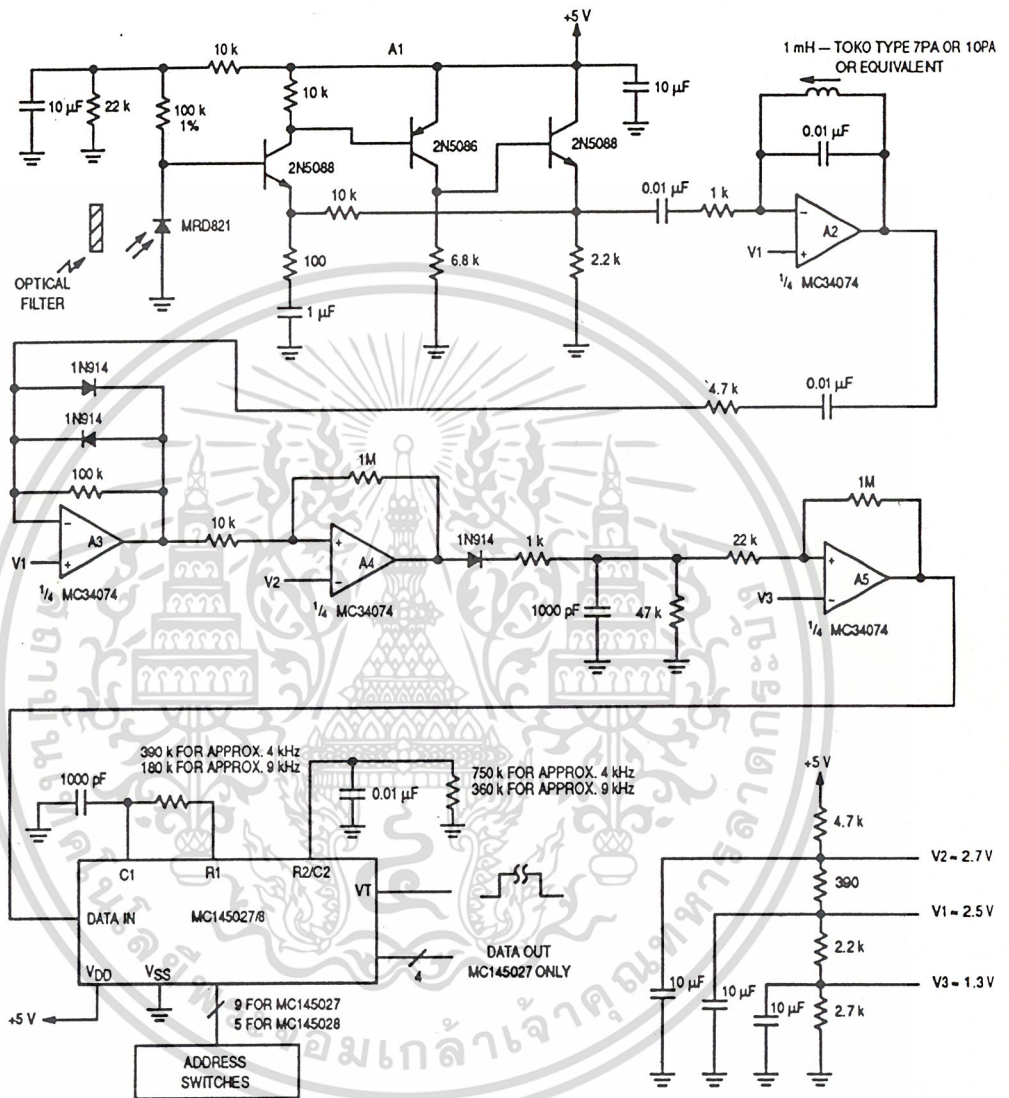


Figure 17. Using a Ceramic Resonator to Generate Carrier Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145026•MC145027•MC145028•  
SC41342•SC41343•SC41344



6

Figure 18. Infrared Receiver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145026•MC145027•MC145028•  
SC41342•SC41343•SC41344

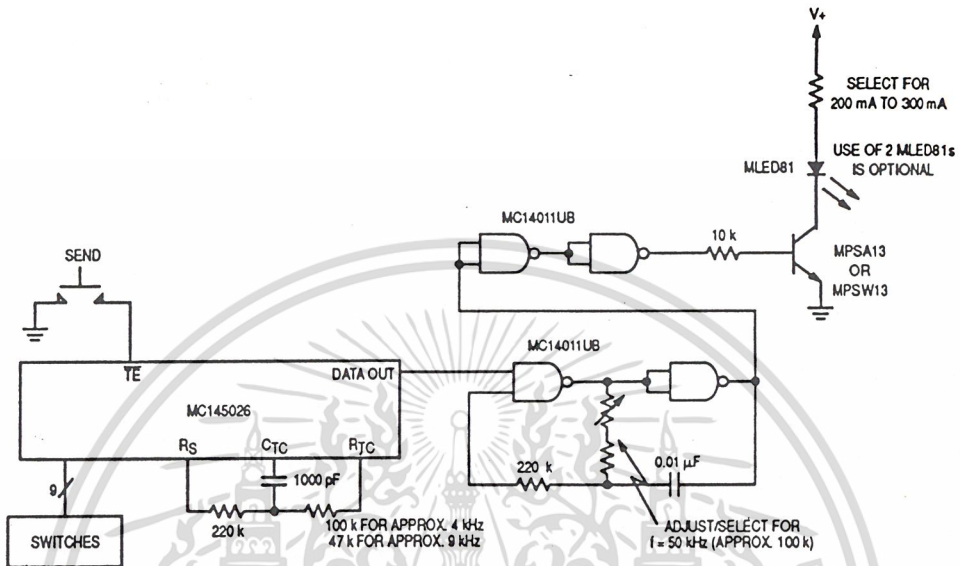


Figure 16. IRED Transmitter Using RC Oscillator to Generate Carrier Frequency

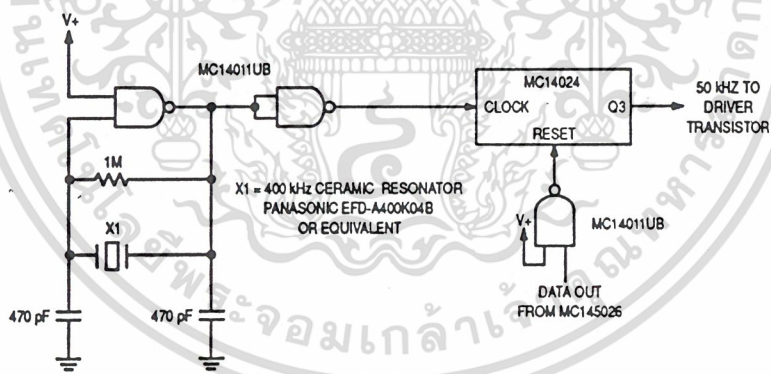


Figure 17. Using a Ceramic Resonator to Generate Carrier Frequency

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4011B, SCL4012B  
SCL4023B, SCL4068B



CMOS NAND GATES

SCL4011B – Quad 2-Input NAND  
SCL4012B – Dual 4-Input NAND  
SCL4023B – Triple 3-Input NAND  
SCL4068B – 8-Input NAND

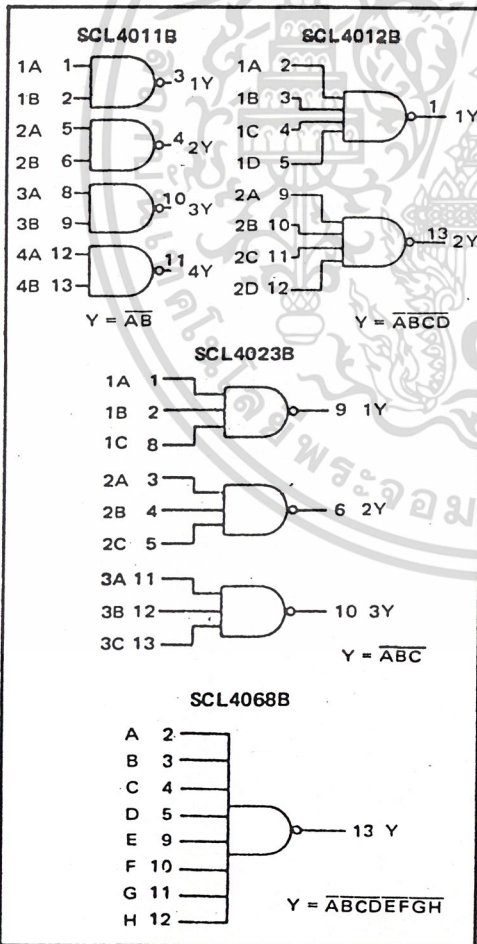
FEATURES

- ◆ Buffered Outputs
- ◆ Diode Protection on all Inputs
- ◆ Fully "B"-Series Compatible
- ◆ Balanced Output Drive Current Specifications

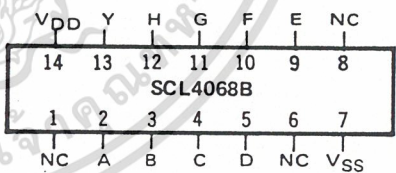
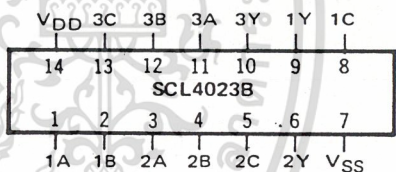
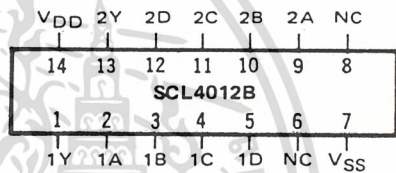
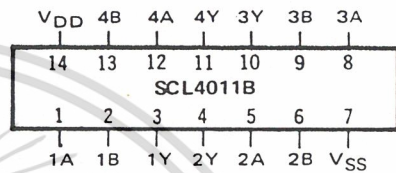
TRUTH TABLE

Inputs		Output
1	1 ... 1	0
All other combinations		1

FUNCTION DIAGRAMS



CONNECTION DIAGRAMS  
(all packages)



Add suffix to package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	$T_A$		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

## ELECTRICAL CHARACTERISTICS

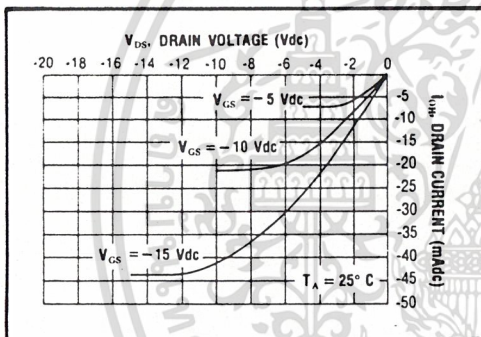
### STATIC CHARACTERISTICS

PARAMETER	V <sub>DD</sub> (Vdc)	CONDITIONS	T <sub>LOW</sub> <sup>1</sup>		+25°C		T <sub>HIGH</sub> <sup>2</sup>		Units
			Min.	Max.	Min.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I <sub>DD</sub>	V <sub>IN</sub> = V <sub>SS</sub> or V <sub>DD</sub> All valid input combinations	0.05	-	0.0005	0.05	-	1.5	μA <sub>dc</sub>
			0.10	-	0.001	0.10	-	3.0	
			0.20	-	0.002	0.20	-	6.0	

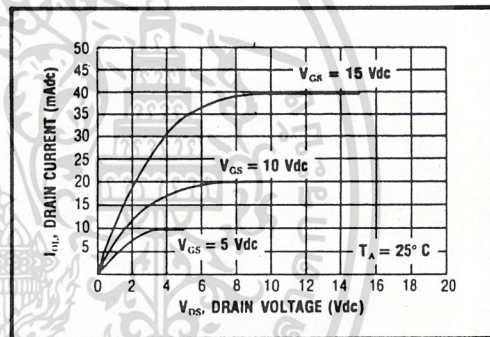
NOTES: <sup>1</sup> Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".  
<sup>2</sup> T<sub>LOW</sub> = -55°C for C, D, F, H device.  
 -40°C for E device.  
 T<sub>HIGH</sub> = +125°C for C, D, F, H device.  
 +85°C for E device.  
<sup>3</sup> These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

### DYNAMIC CHARACTERISTICS (C<sub>L</sub> = 50pF, T<sub>A</sub> = 25°C)

PARAMETER	V <sub>DD</sub> (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	I <sub>PLH</sub> , I <sub>PHL</sub>	5	125	250	ns
		10	60	120	
		15	45	90	
OUTPUT TRANSITION TIME	I <sub>TLH</sub> , I <sub>THL</sub>	5	100	200	ns
		10	50	100	
		15	40	80	

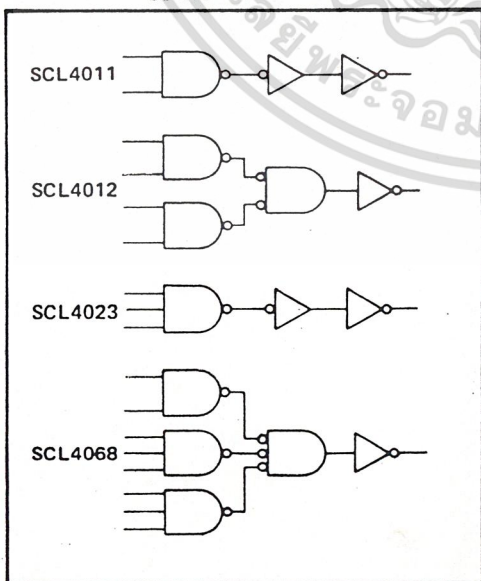


Typical P-Channel  
Source Current Characteristics

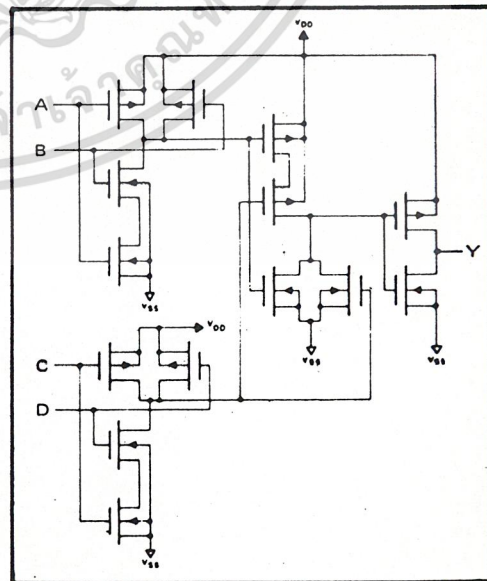


Typical N-Channel  
Sink Current Characteristics

### LOGIC DIAGRAMS



### SCHEMATIC DIAGRAM SCL4012B (1 of 2 gates)





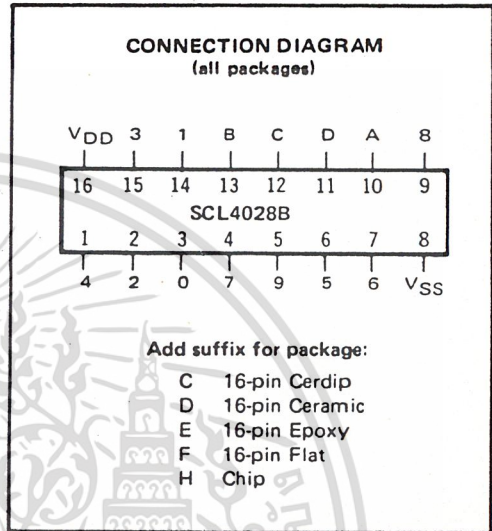
**FEATURES**

- ◆ BCD-to-Decimal or Binary-to-Octal Decoding
- ◆ Buffered Outputs go High on Selection
- ◆ Low Outputs for all Illegal Input Combinations
- ◆ Balanced Output Drive Current Specifications

**DESCRIPTION**

The SCL4028B types are BCD-to-Decimal or Binary-to-Octal Decoders consisting of pulse shaping circuits on all 4 inputs, decoding/logic gates, and 10 output buffers. A BCD code applied to the four inputs, A to D, results in a high level at the selected one of 10 decimal decoded outputs. Similarly, a 3-bit binary code applied to inputs A through C is decoded in octal code at output 0 to 7. A high-level signal at the D input inhibits octal decoding and causes outputs 0 through 7 to go low. If unused, the D input must be connected to V<sub>SS</sub>.

Expanded decoding such as binary-to-hexadecimal (1-of-16), etc., can be achieved by using other SCL4028B devices. This part is useful for code conversion, address decoding, memory selection control, demultiplexing, and readout decoding.



**TRUTH TABLE**

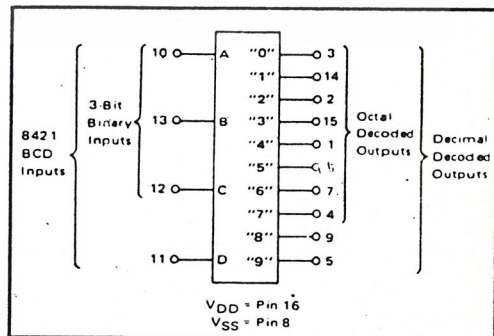
Input				Output									
D	C	B	A	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0	0	1	0	0	0	0
0	1	0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0	0	0
0	1	1	1	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0

**RECOMMENDED OPERATING CONDITIONS**

For maximum reliability:

DC Supply Voltage	V <sub>DD</sub> - V <sub>SS</sub>	3 to 15	V <sub>dc</sub>
Operating Temperature	T <sub>A</sub>	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

**BLOCK DIAGRAM**



ELECTRICAL CHARACTERISTICS

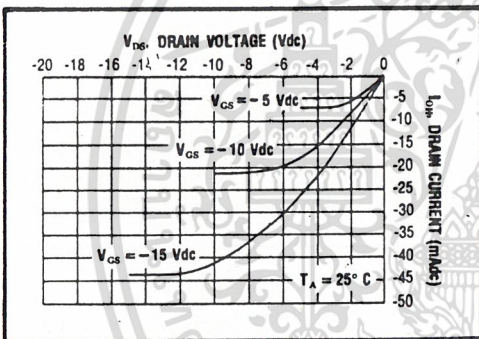
STATIC CHARACTERISTICS <sup>1,3</sup>

PARAMETER	V <sub>DD</sub> (Vdc)	CONDITIONS	T <sub>LOW</sub> <sup>2</sup>		+25°C			T <sub>HIGH</sub> <sup>2</sup>		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I <sub>DD</sub>	V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub> All valid input combinations	-	5	-	0.05	5	-	150	μA <sub>DC</sub>
			-	10	-	0.1	10	-	300	
			-	15	-	0.2	20	-	600	

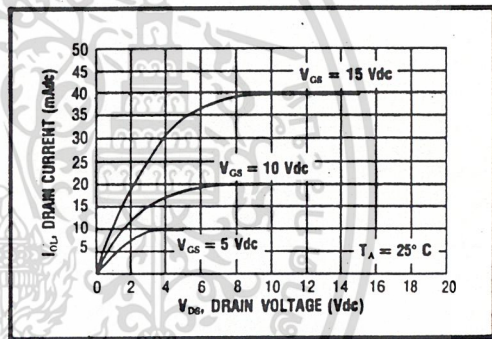
NOTES: <sup>1</sup> Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".  
<sup>2</sup> T<sub>LOW</sub> = -55°C for C, D, F, H device.  
 = -40°C for E device.  
 T<sub>HIGH</sub> = +125°C for C, D, F, H device.  
 = + 85°C for E device.  
<sup>3</sup> This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C<sub>L</sub> = 50pF, T<sub>A</sub> = 25°C)

PARAMETER		V <sub>DD</sub> (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t <sub>PLH</sub> , t <sub>PHL</sub>	5	-	225	450	ns
		10	-	100	200	
		15	-	70	140	
OUTPUT TRANSITION TIME	t <sub>TLH</sub> , t <sub>THL</sub>	5	-	100	200	ns
		10	-	50	100	
		15	-	40	80	

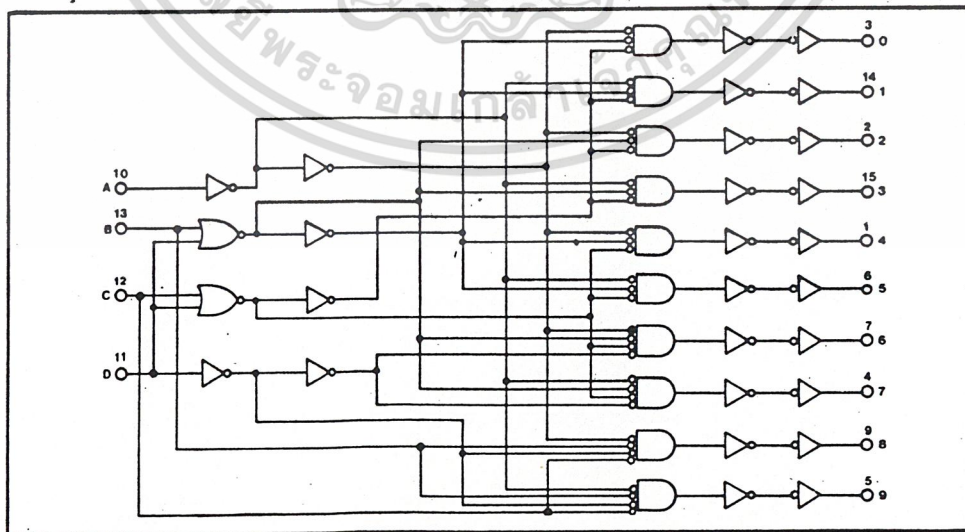


Typical P-Channel Source Current Characteristics



Typical N-Channel Sink Current Characteristics

LOGIC DIAGRAM





SCL4042B



# CMOS QUAD LATCH

## FEATURES

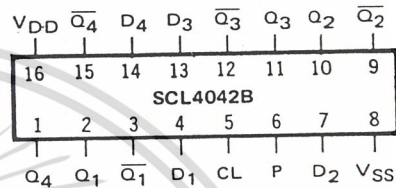
- ◆ Common Clock
- ◆ Positive- or Negative-Edge Clocking
- ◆ Q and  $\bar{Q}$  Outputs Available from Each Latch

## DESCRIPTION

SCL4042B devices contain four Latch circuits, each strobed by a common Clock. Complementary buffered outputs are available from each circuit.

Information present at the Data input is transferred to outputs Q and  $\bar{Q}$  during the Clock level which is programmed by the Polarity input. For Polarity = 0 the transfer occurs during the 0 Clock level and for Polarity = 1 the transfer occurs during the 1 Clock level. The outputs follow the Data inputs providing the Clock and Polarity levels defined above are present. When a Clock transition occurs (positive for Polarity = 0 and negative for Polarity = 1) the information present at the input during the Clock transition is retained at the outputs until an opposite Clock transition occurs.

## CONNECTION DIAGRAM (all packages)



### Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

## RECOMMENDED OPERATING CONDITIONS

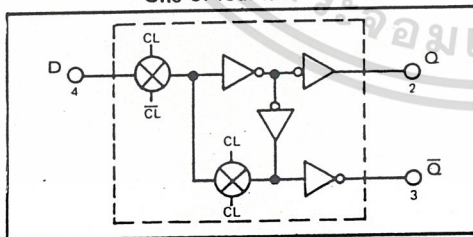
For maximum reliability:

DC Supply Voltage	V <sub>DD</sub> - V <sub>SS</sub>	3 to 15	V <sub>dc</sub>
Operating Temperature	T <sub>A</sub>	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

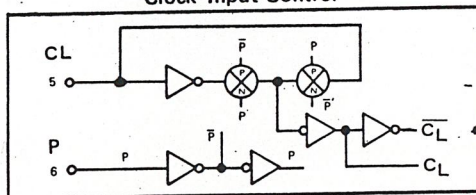
## TRUTH TABLE

CLOCK	POLARITY	Q
0	0	D
1	0	LATCH
0	1	D
1	1	LATCH

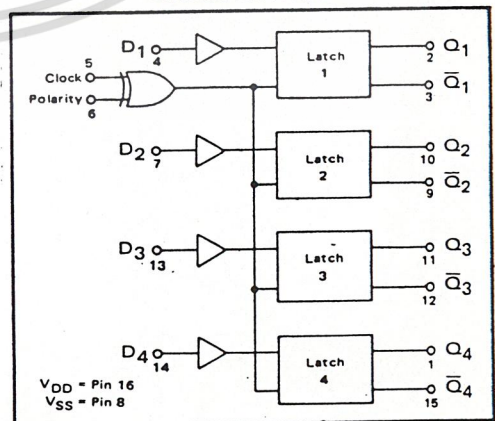
## LOGIC DIAGRAMS One of four latches



## Clock Input Control



## BLOCK DIAGRAM



ELECTRICAL CHARACTERISTICS

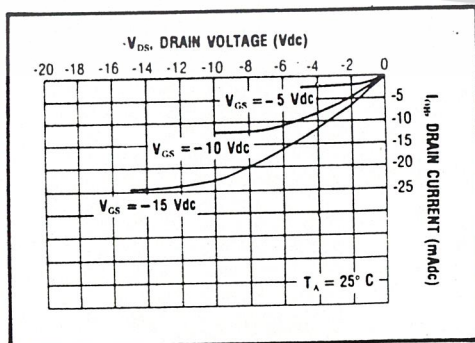
STATIC CHARACTERISTICS<sup>1</sup>

PARAMETER	V <sub>DD</sub> (Vdc)	CONDITIONS	T <sub>LOW</sub> <sup>2</sup>		+25°C			T <sub>HIGH</sub> <sup>2</sup>		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I <sub>DD</sub>	V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub> All valid input combinations	-	1.0	-	0.005	1.0	-	30	μA <sub>dc</sub>
			-	2.0	-	0.01	2.0	-	60	
			-	4.0	-	0.02	4.0	-	120	

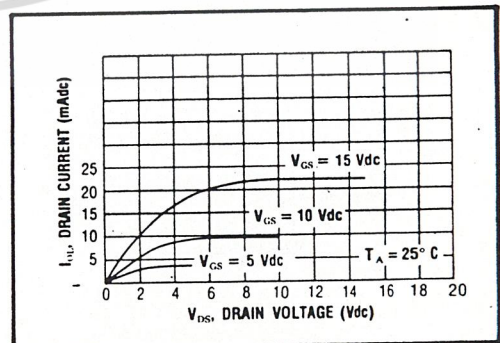
NOTES: <sup>1</sup> Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"  
<sup>2</sup> T<sub>LOW</sub> = -55°C for C, D, F, H device.  
 = -40°C for E device.  
 T<sub>HIGH</sub> = +125°C for C, D, F, H device.  
 = + 85°C for E device.

DYNAMIC CHARACTERISTICS (C<sub>L</sub> = 50pF, T<sub>A</sub> = 25°C)

PARAMETER	V <sub>DD</sub> (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME From Data Inputs	t <sub>PLH</sub> , t <sub>PHL</sub>	5	150	300	ns
		10	75	150	
		15	60	120	
From Clock Polarity Inputs	t <sub>PLH</sub> , t <sub>PHL</sub>	5	175	350	ns
		10	85	170	
		15	70	140	
OUTPUT TRANSITION TIME	t <sub>TLH</sub> , t <sub>THL</sub>	5	100	200	ns
		10	50	100	
		15	40	80	
MINIMUM CLOCK PULSE WIDTH	PW <sub>CL</sub>	5	125	250	ns
		10	40	80	
		15	30	60	
MAXIMUM CLOCK RISE AND FALL TIME	t <sub>rCL</sub> , t <sub>fCL</sub>	5	15	-	μs
		10	5	-	
		15	3	-	
MINIMUM DATA INPUT SETUP TIME	t <sub>setup</sub>	5	-20	50	ns
		10	-10	30	
		15	-5	25	
MINIMUM DATA INPUT HOLD TIME	t <sub>hold</sub>	5	0	100	ns
		10	0	50	
		15	0	40	



Typical P-Channel Source Current Characteristics



Typical N-Channel Sink Current Characteristics

SCL4046B  
SCL4446B



# CMOS PHASE-LOCKED LOOPS

## FEATURES

- ◆ Very low power consumption – 70  $\mu$ W (typ) @  $f_o = 10$ kHz, 5Vdc
- ◆ Operating frequency range (no offset) – Up to 3MHz (typ) @ 10Vdc (SCL4046B) Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- ◆ Low frequency drift – 0.04%/°C (typ) @ 10Vdc
- ◆ Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- ◆ VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- ◆ High VCO linearity 1% (typ)
- ◆ Source-follower output of VCO control input (Demodulator Output)
- ◆ Zener Diode to assist Supply Regulation
- ◆ Balanced Output Drive Current Specifications

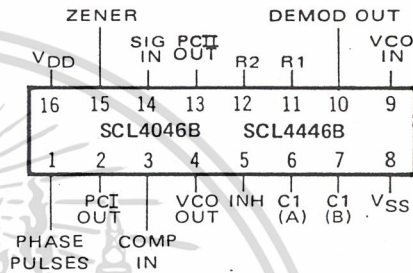
## APPLICATIONS

- ◆ FM demodulator and modulator
- ◆ Frequency synthesis and multiplication
- ◆ Frequency discriminator
- ◆ Data synchronization
- ◆ Voltage-to-frequency conversion
- ◆ Tone decoding
- ◆ FSK-Modems
- ◆ Signal conditioning

## DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal Input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal  $PCI_{OUT}$ , and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals  $PCII_{OUT}$  and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal  $VCO_{OUT}$  whose frequency is determined by the voltage of input  $VCO_{IN}$  and the capacitor and resistors connected to pins C1A, C1B, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the  $VCO_{IN}$  signal is needed but no loading can be tolerated. The inhibit input  $Inh$ , when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

## CONNECTION DIAGRAM (all packages)



### Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

## RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	$T_A$	-55 to +125	°C
	C, D, F, H Device	-40 to +85	°C

## BLOCK DIAGRAM

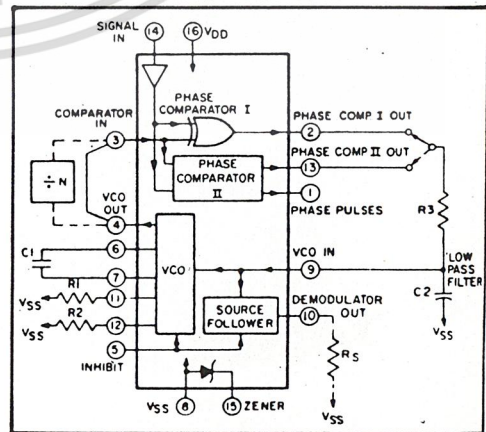


Fig. 1

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ( $10^{12}\Omega$ ) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULA-

TOR OUTPUT). If this terminal is used, a load resistor ( $R_S$ ) of  $50k\Omega$  or more should be connected from this terminal to  $V_{SS}$ . If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0"  $\leq 30\%$  ( $V_{DD} - V_{SS}$ ), logic "1"  $\geq 70\%$  ( $V_{DD} - V_{SS}$ )]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to  $V_{DD}/2$ . The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency ( $f_0$ ).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ( $2f_c$ ).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ( $2f_L$ ). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between  $0^\circ$  and  $180^\circ$ , and is  $90^\circ$  at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition is shown in Figure 3.

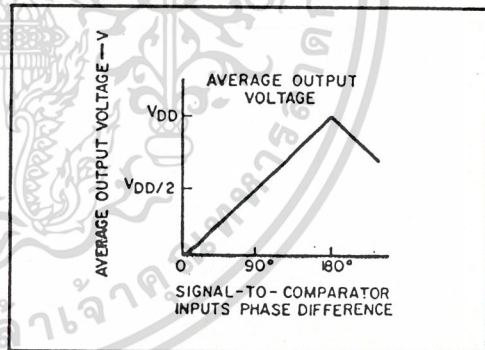


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

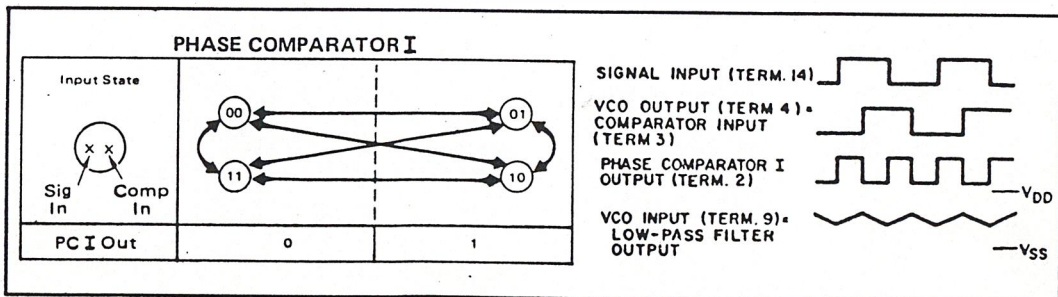


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

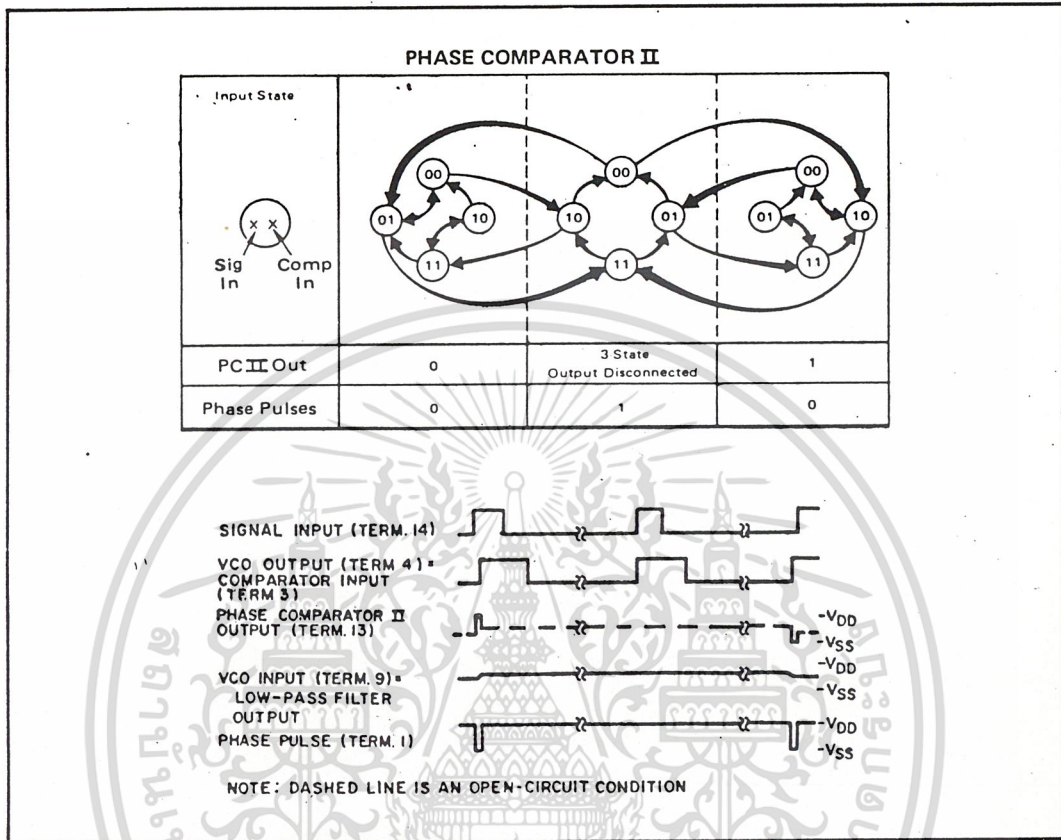


Fig. 4 – Typical waveforms employing phase comparator II in locked condition.

Phase-comparator II is an edge-controlled digital memory network. It consists of several flip-flop stages, control gating, and a three state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON, they pull the output up to  $V_{DD}$  or down to  $V_{SS}$ , respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p- and n-type output

drivers remain OFF. Thus, the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover, the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle.

It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 4 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

DESIGN INFORMATION

This information is a guide for approximating the values of external components for the SCL4046B and SCL4446B in a Phase-Locked Loop system. The selected external components must be within the following ranges:

$R1, R2 \geq 2k\Omega, R_S \geq 10k\Omega$   
 $C1 \geq 15pF$

In addition to the given design information refer to Figure 5 for R1, R2, and C1 component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, $f_0$		VCO in PLL system will adjust to lowest operating frequency, $f_{min}$	
Frequency Lock Range, $2f_L$	$2f_L = \text{full VCO frequency range}$ $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$				
Loop Filter Component Selection	$2f_C \approx \frac{1}{\pi} \sqrt{\frac{2\pi f_L}{T1}}$		$f_C = f_L$	
			For $2f_C$ , see Ref.	
Phase Angle between Signal and Comparator	$90^\circ$ at center frequency ( $f_0$ ), approximating $C^0$ and $180^\circ$ at ends of lock range ( $2f_L$ )		Always $0^\circ$ in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	<ul style="list-style-type: none"> <li>- Given: <math>f_0</math></li> <li>- Use <math>f_0</math> with Fig.5a to determine R1 and C1</li> </ul>	<ul style="list-style-type: none"> <li>- Given: <math>f_0</math> and <math>f_L</math></li> <li>- Calculate <math>f_{min}</math> from the equation <math>f_{min} = f_0 - f_L</math></li> <li>- Use <math>f_{min}</math> with Fig. 5b to determine R2 and C1</li> <li>- Calculate <math>\frac{f_{max}}{f_{min}}</math> from the equation <math>\frac{f_{max}}{f_{min}} = \frac{f_0 + f_L}{f_0 - f_L}</math></li> <li>- Use <math>\frac{f_{max}}{f_{min}}</math> with Fig.5c to determine ratio R2/R1 to obtain R1</li> </ul>	<ul style="list-style-type: none"> <li>- Given: <math>f_{max}</math></li> <li>- Calculate <math>f_0</math> from the equation <math>f_0 = \frac{f_{max}}{2}</math></li> <li>- Use <math>f_0</math> with Fig.5a to determine R1 and C1</li> </ul>	<ul style="list-style-type: none"> <li>- Given: <math>f_{min}</math> &amp; <math>f_{max}</math></li> <li>- Use <math>f_{min}</math> with Fig.5b to determine R2 and C1</li> <li>- Calculate <math>\frac{f_{max}}{f_{min}}</math></li> <li>- Use <math>\frac{f_{max}}{f_{min}}</math> with Fig.5c to determine ratio R2/R1 to obtain R1</li> </ul>

REF. G. S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.



## ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER	CONDITIONS	V <sub>DD</sub>	+25°C			UNIT		
			Min.	Typ.	Max.			
<b>VCO SECTION (Continued)</b>								
TEMPERATURE-FREQUENCY STABILITY	No Offset	R <sub>2</sub> = ∞	5	—	0.12-0.24	—	%/ <sup>o</sup> C	
			10	—	0.04-0.08	—		
			15	—	0.015-0.03	—		
	With Offset	R <sub>2</sub> ≤ 10X R <sub>1</sub>	5	—	0.06-0.12	—	%/ <sup>o</sup> C	
			10	—	0.05-0.1	—		
			15	—	0.03-0.06	—		
INPUT RESISTANCE (VCO <sub>IN</sub> )	R <sub>IN</sub>	5, 10, 15	—	10 <sup>6</sup>	—	MΩ		
OUTPUT DUTY CYCLE		All valid input combinations and voltages	—	50	—	%		
OUTPUT TRANSITION TIME	t <sub>TLH</sub> , t <sub>THL</sub>	C <sub>L</sub> = 50pF	5	—	100	200	ns	
			10	—	50	100		
			15	—	40	80		
<b>PHASE COMPARATORS</b>								
INPUT RESISTANCE Signal Input	R <sub>IN</sub>		5	1	3	—	MΩ	
			10	0.2	0.7	—		
			15	0.1	0.3	—		
Comparator Input	R <sub>IN</sub>	5, 10, 15	—	10 <sup>6</sup>	—	MΩ		
AC-COUPLED INPUT SENSITIVITY Signal Input	V <sub>IN</sub>		5	—	200	400	mV	
			10	—	400	800		
			15	—	700	1400		
OUTPUT TRANSITION TIME	PCI, PCII Outputs	C <sub>L</sub> = 50pF	5	—	100	200	ns	
			10	—	50	100		
			15	—	40	80		
	Phase Pulses Output	t <sub>TLH</sub> , t <sub>THL</sub>		5	—	130	260	ns
				10	—	65	130	
				15	—	50	100	
<b>DEMODULATOR OUTPUT</b>								
OFFSET VOLTAGE	VCO <sub>IN</sub> , V <sub>DEM</sub>	R <sub>S</sub> ≥ 50kΩ	5	—	1.4	2.2	V <sub>dC</sub>	
			10	—	1.6	2.2		
			15	—	1.8	2.2		
LINEARITY		R <sub>G</sub> ≥ 50kΩ VCO <sub>IN</sub> = 2.5±0.3V VCO <sub>IN</sub> = 5.0±2.5V VCO <sub>IN</sub> = 7.5±5.0V	5	—	0.1	—	%	
			10	—	0.6	—		
			15	—	0.8	—		
<b>ZENER DIODE</b>								
ZENER VOLTAGE	V <sub>Z</sub>	I <sub>Z</sub> = 50μA	—	6.3	7.0	7.7	V	
DYNAMIC RESISTANCE	R <sub>Z</sub>	I <sub>Z</sub> = 1mA	—	—	100	—	Ω	

SCL4046B, SCL4446B

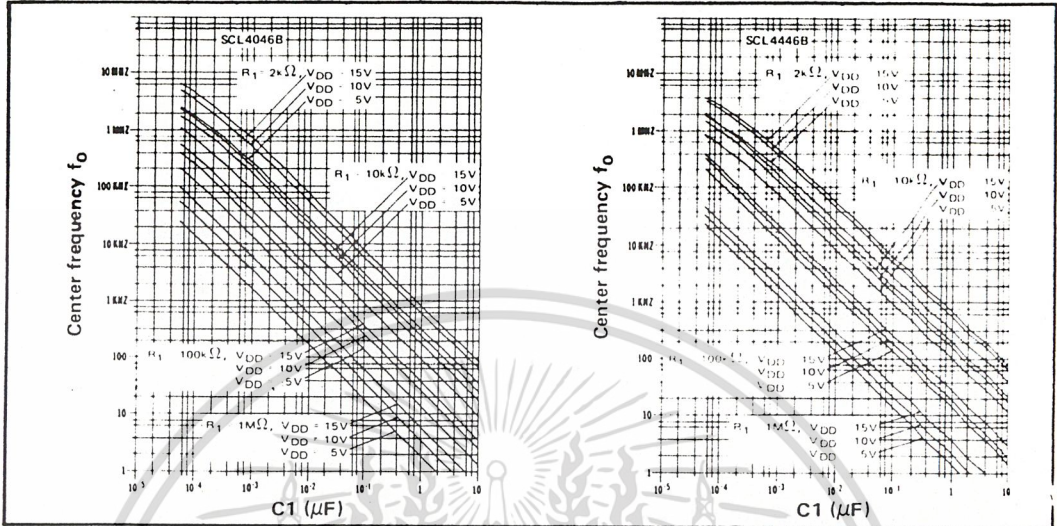


Fig. 5 (a) Typical center frequency ( $f_0$ ) vs  $C1$  ( $R2 = \infty$ ,  $V_{COIN} = \frac{V_{DD}}{2}$ ,  $T_A = 25^\circ C$ )

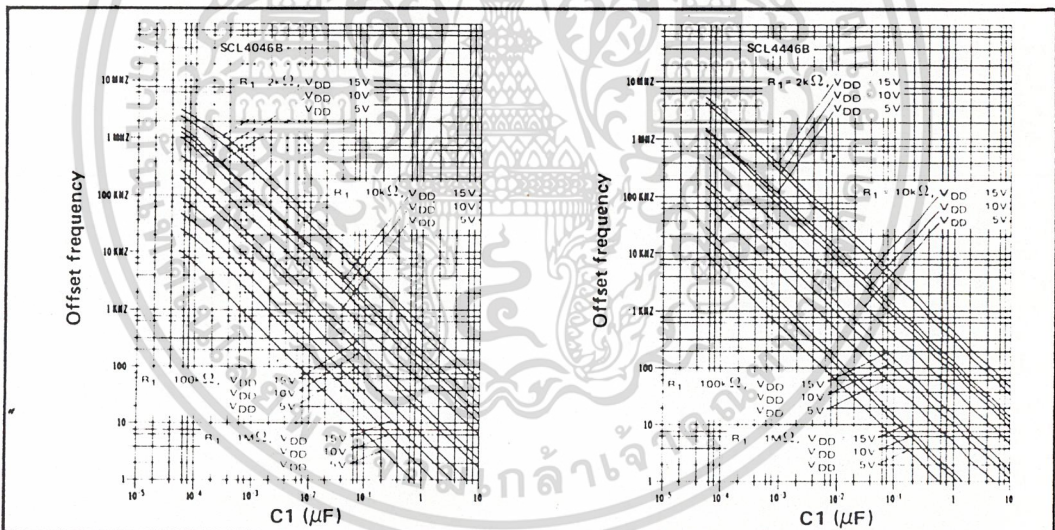


Fig. 5 (b) Typical frequency offset vs  $C1$  ( $V_{COIN} = V_{SS}$ ,  $T_A = 25^\circ C$ )

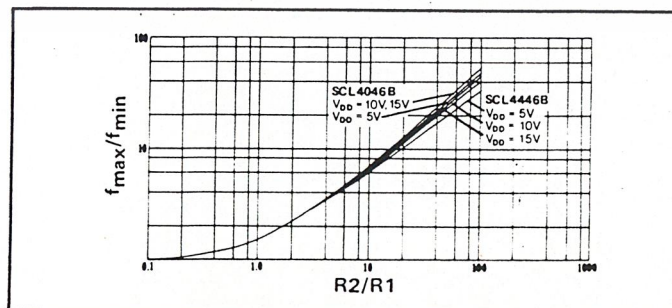


Fig. 5 (c) Typical  $f_{max}/f_{min}$  vs  $R2/R1$

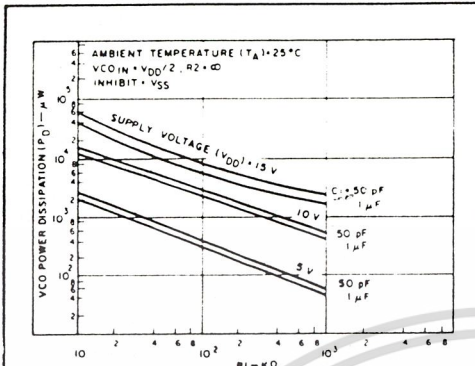


Fig. 6 (a) - Typical VCO power dissipation at center frequency vs R1.

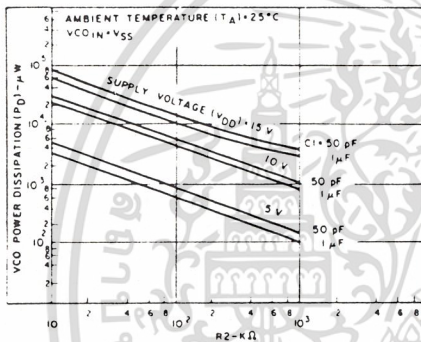


Fig. 6 (b) - Typical VCO power dissipation at  $f_{min}$  vs R2.

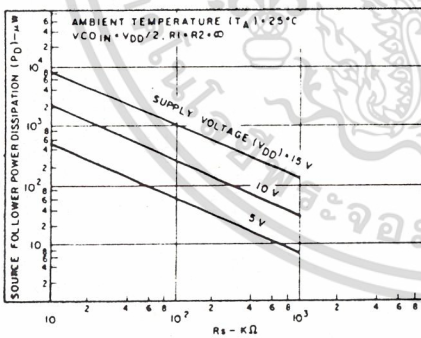


Fig. 6 (c) - Typical source follower power dissipation vs  $R_S$ .

**NOTE:** To obtain approximate total power dissipation of PLL system for no-signal input

$$P_D (\text{Total}) = P_D (f_0) + P_D (f_{MIN}) + P_D (R_S) \\ \text{— Phase Comparator I}$$

$$P_D (\text{Total}) = P_D (f_{MIN}) \\ \text{— Phase Comparator II}$$

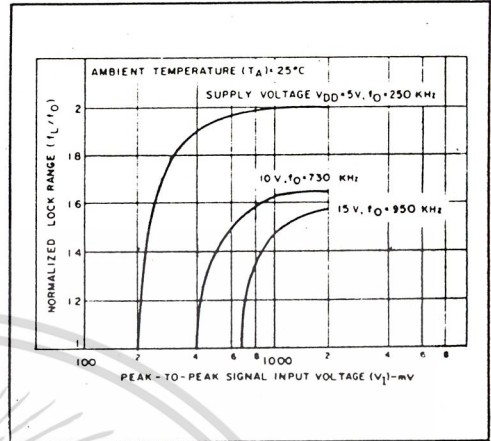


Fig. 7 - Typical lock range vs signal input amplitude

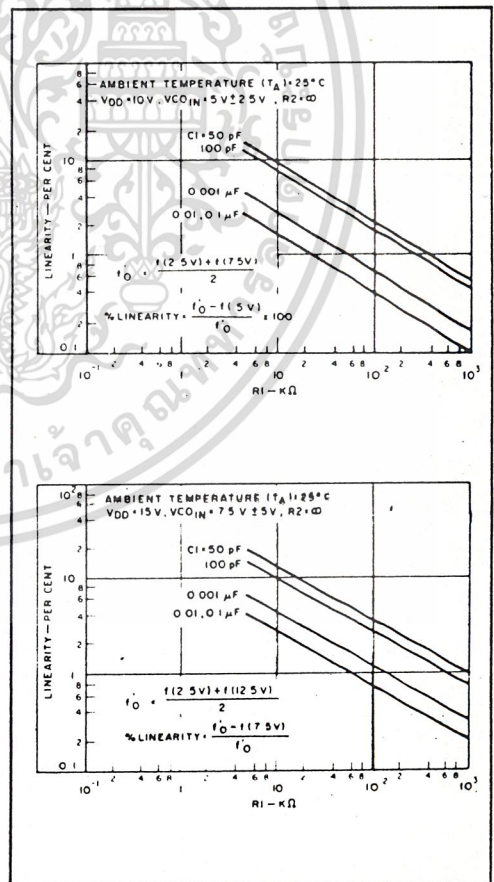


Fig. 8(a, b) - Typical VCO linearity vs R1 and C1

SCL4049UB Inverting  
SCL4050B Non-Inverting



CMOS  
HEX BUFFERS/CONVERTERS

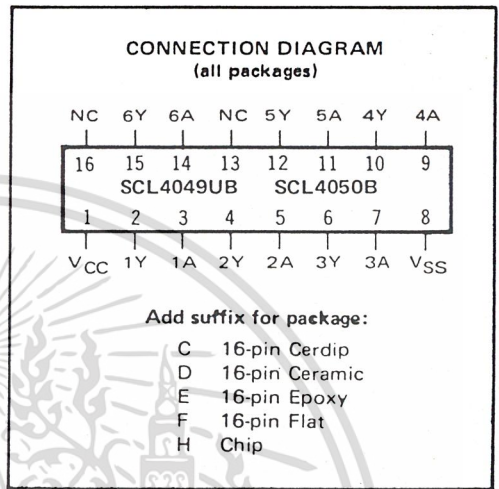
FEATURES

- ◆ Direct Drive of 2 TTL/DTL Loads
- ◆ Operation from Single Supply
- ◆ Pin-for Pin Replacements for SCL4009B, SCL4010B

DESCRIPTION

The SCL4049UB and SCL4050B are Inverting and Non-Inverting Hex Buffers, respectively, and feature logic-level conversion using only one supply voltage ( $V_{CC}$ ). The Input-signal high level ( $V_{IH}$ ) can exceed the  $V_{CC}$  supply voltage when these devices are used for logic-level conversions. These devices are intended for use as CMOS-to-DTL/TTL converters and can drive directly two DTL/TTL Loads.

The SCL4049UB and SCL4050B are interchangeable with SCL4009UB and SCL4010B devices, respectively. In these applications the SCL4049UB and SCL4050B are pin-compatible with the SCL4009UB and SCL4010B, respectively, and can be substituted for these devices in existing as well as in new designs. Terminal No. 16 is not connected internally on the SCL4049UB or SCL4050B; therefore, connection to this terminal is of no consequence to circuit operation.



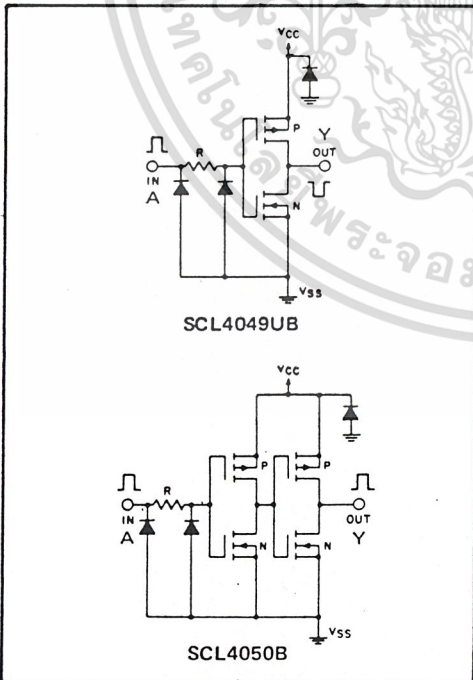
RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

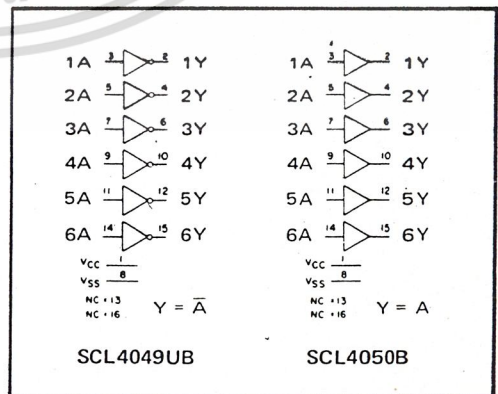
DC Supply Voltage	$V_{CC} - V_{SS}$	3 to 15	V <sub>dc</sub>
Operating Temperature	$T_A$	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

Note: These devices contain input protection networks to  $V_{SS}$  only. Therefore,  $V_{IH}$  (max) may exceed  $V_{CC}$  without damage (subject to absolute maximum ratings).

SCHMATIC DIAGRAMS



LOGIC DIAGRAMS



## ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS<sup>1,3</sup>

PARAMETER	V <sub>CC</sub> (Vdc)	CONDITIONS	T <sub>Low</sub> <sup>2</sup>		+25°C			T <sub>High</sub> <sup>2</sup>		Units		
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.			
QUIESCENT DEVICE CURRENT	V <sub>CC</sub>	V <sub>IN</sub> = V <sub>SS</sub> or V <sub>DD</sub> All valid input combinations	5	1.0	–	0.005	1.0	–	30	μA <sub>dc</sub>		
			10	2.0	–	0.01	2.0	–	60			
			15	4.0	–	0.02	4.0	–	120			
MINIMUM INPUT HIGH VOLTAGE SCL4049UB	V <sub>IH</sub>	V <sub>OL</sub> = 0.5V V <sub>OL</sub> = 1.0V V <sub>OL</sub> = 1.5V	5	4.0	–	2.75	4.0	–	4.0	Vdc		
			10	8.0	–	5.5	8.0	–	8.0			
			15	12.0	–	8.25	12.0	–	12.0			
MAXIMUM INPUT LOW VOLTAGE SCL4049UB	V <sub>IL</sub>	V <sub>OH</sub> = 3.6V V <sub>OH</sub> = 7.2V V <sub>OH</sub> = 10.8V	5	1.0	–	1.0	2.25	–	1.0	Vdc		
			10	2.0	–	2.0	4.5	–	2.0			
			15	3.0	–	3.0	6.75	–	3.0			
OUTPUT LOW (SINK) CURRENT C, D, F, H devices	I <sub>OL</sub>	V <sub>OL</sub> = 0.4V V <sub>OL</sub> = 0.5V V <sub>OL</sub> = 1.5V V <sub>IN</sub> = V <sub>SS</sub> or V <sub>DD</sub>	5	4.0	–	3.2	6.4	–	2.4	mA <sub>dc</sub>		
			10	10	–	8.0	16	–	5.6			
			15	30	–	24.0	40	–	16.8			
			E device	5	3.8	–	3.2	6.4	–		2.6	mA <sub>dc</sub>
				10	9.6	–	8.0	16	–		6.4	
				15	28	–	24.0	40	–		19	

NOTES: <sup>1</sup> Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

<sup>2</sup> T<sub>Low</sub> = -55°C for C, D, F, H device.

= -40°C for E device.

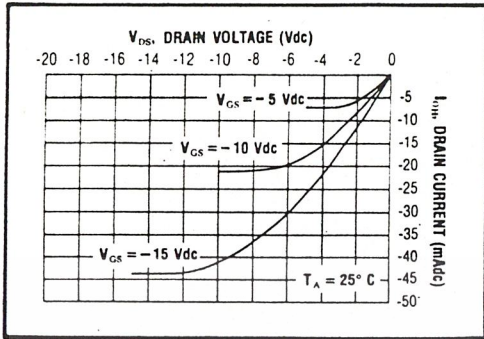
T<sub>High</sub> = +125°C for C, D, F, H device.

= +85°C for E device.

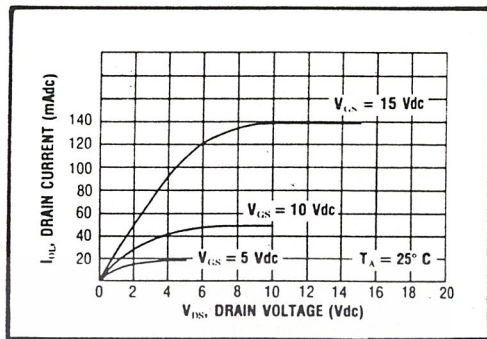
<sup>3</sup> These devices have been designed to meet the balanced output drive current specifications for Output High (Source) Current. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C<sub>L</sub> = 50pF, T<sub>A</sub> = 25°C)

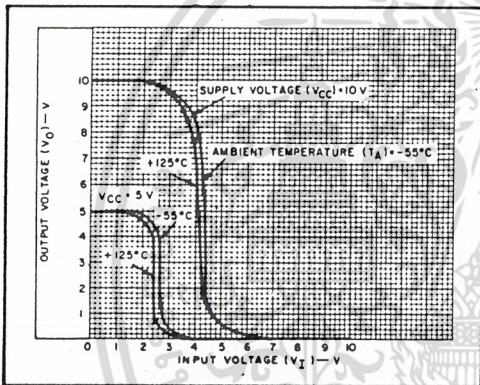
PARAMETER		V <sub>IN</sub> (Vdc)	V <sub>CC</sub> (Vdc)	Min.	Typ.	Max.	Units		
PROPAGATION DELAY TIME SCL4049UB	t <sub>PLH</sub>	5	5	–	60	120	ns		
		10	10	–	32	65			
		15	15	–	25	50			
		SCL4050B	10	5	–	45	90	ns	
			15	5	–	45	90		
			5	5	–	70	140		
SCL4050B	10	10	–	40	80	ns			
	15	15	–	30	60				
	10	5	–	45	90				
SCL4049UB	t <sub>PHL</sub>	5	5	–	32	65	ns		
		10	10	–	20	40			
		15	15	–	15	30			
		SCL4050B	10	5	–	15	30	ns	
			15	5	–	10	20		
			5	5	–	55	110		
SCL4050B	10	10	–	27	55	ns			
	15	15	–	15	30				
	10	5	–	50	100				
SCL4050B	15	5	–	50	100	ns			
	OUTPUT TRANSITION TIME	t <sub>LH</sub>	5	5	–		80	160	ns
			10	10	–		40	80	
15			15	–	30	60			
OUTPUT TRANSITION TIME	t <sub>HL</sub>	5	5	–	30	60	ns		
		10	10	–	20	40			
		15	15	–	15	30			
INPUT CAPACITANCE SCL4049UB	C <sub>IN</sub>	–	–	–	15	22.5	pF		



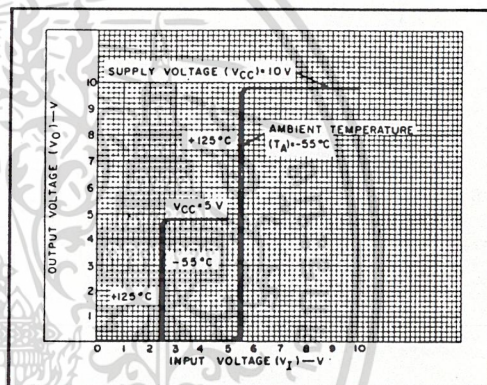
Typical P-Channel Source Current Characteristics



Typical N-Channel Sink Current Characteristics



Typical voltage transfer characteristics as a function of temperature for SCL4049UB.



Typical voltage transfer characteristics as a function of temperature for SCL4050B.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SCL4070B



# CMOS QUAD EXCLUSIVE-OR GATE

### FEATURES

- ◆ Buffered Outputs
- ◆ Diode Protection on all Inputs
- ◆ Fully "B"-Series Compatible
- ◆ Balanced Output Drive Current Specifications
- ◆ Pin Compatible with 4030 types, MC14507, 74C86

### DESCRIPTION

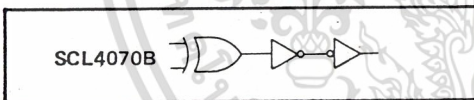
The SCL4070B contains four independent exclusive-OR gates integrated on a single monolithic silicon chip. Each exclusive-OR gate consists of five N-channel and five P-channel enhancement-mode transistors, plus output buffering devices.

**TRUTH TABLE**  
(one of four gates)

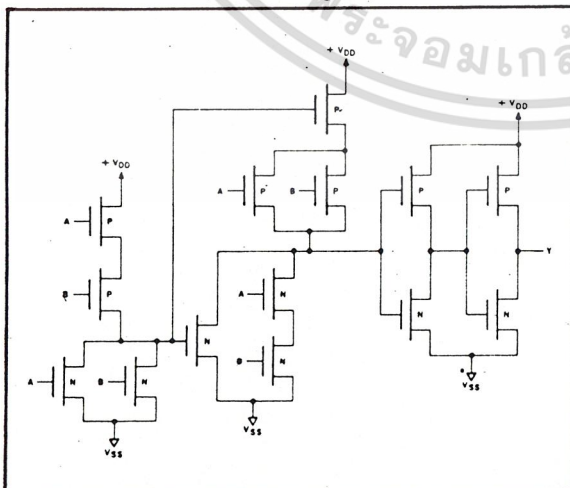
A	B	Y
0	0	0
1	0	1
0	1	1
1	1	0

Where 1 = High Level  
0 = Low Level

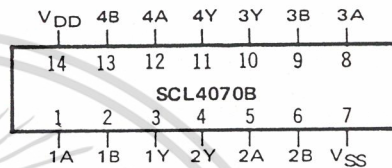
**LOGIC DIAGRAM**



**SCHEMATIC DIAGRAM**  
(one of four gates)



**CONNECTION DIAGRAM**  
(all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H CHIP

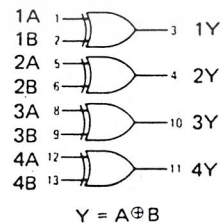
### RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	$T_A$	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

Note: The SCL4070B is identical to the SCL4030B; the devices are fully interchangeable in all applications.

**FUNCTION DIAGRAM**



$$Y = A \oplus B$$

$V_{DD}$  = Pin 14  
 $V_{SS}$  = Pin 7

ELECTRICAL CHARACTERISTICS

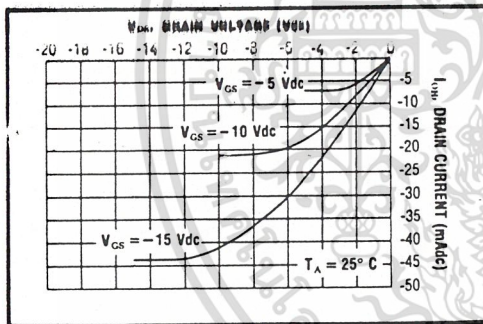
STATIC CHARACTERISTICS <sup>1,3</sup>

PARAMETER	V <sub>DD</sub> (Vdc)	CONDITIONS	T <sub>LOW</sub> <sup>2</sup>		+25°C			T <sub>HIGH</sub> <sup>2</sup>		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I <sub>DD</sub>	5 10 15 V <sub>IN</sub> = V <sub>SS</sub> or V <sub>DD</sub> All valid inputs	—	0.05	—	0.0005	0.05	—	1.5	μA <sub>dc</sub>

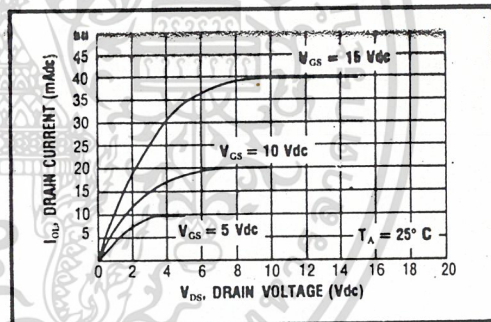
- NOTES: <sup>1</sup> Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".  
<sup>2</sup> T<sub>LOW</sub> = -55°C for C, D, F, H device.  
 = -40°C for E device.  
 T<sub>HIGH</sub> = +125°C for C, D, F, H device.  
 = + 85°C for E device.  
<sup>3</sup> This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C<sub>L</sub> = 50pF, T<sub>A</sub> = 25°C)

PARAMETER	V <sub>DD</sub> (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	I <sub>PLH</sub> , I <sub>PHL</sub>	5	—	175	ns
		10	—	70	
		15	—	50	
OUTPUT TRANSITION TIME	I <sub>TLH</sub> , I <sub>THL</sub>	5	—	100	ns
		10	—	50	
		15	—	40	

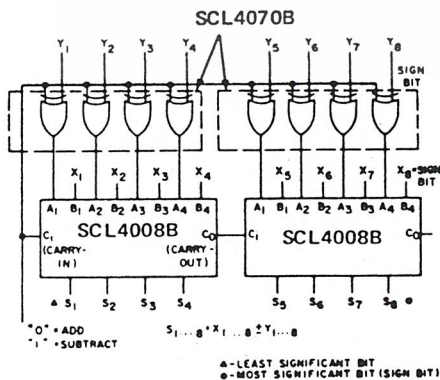


Typical P-Channel Source Current Characteristics



Typical N-Channel Sink Current Characteristics

APPLICATIONS INFORMATION  
8-BIT TWO'S COMPLEMENT ADDER/SUBTRACTOR



X <sub>8</sub>	X <sub>7</sub>	X <sub>6</sub>	X <sub>5</sub>	X <sub>4</sub>	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>8</sub>	X <sub>7</sub>	X <sub>6</sub>	X <sub>5</sub>	X <sub>4</sub>	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	
0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	-1
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	-2
0	0	0	0	0	0	1	0	2	1	1	1	1	1	1	0	-3
0	0	0	0	0	0	1	1	3	1	1	1	1	1	1	0	-4
...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...
0	1	1	1	1	1	1	0	126	1	0	0	0	0	0	1	-127
0	1	1	1	1	1	1	1	127	1	0	0	0	0	0	0	-128

Two's complement numbers and their equivalent decimal values

SCL4512B



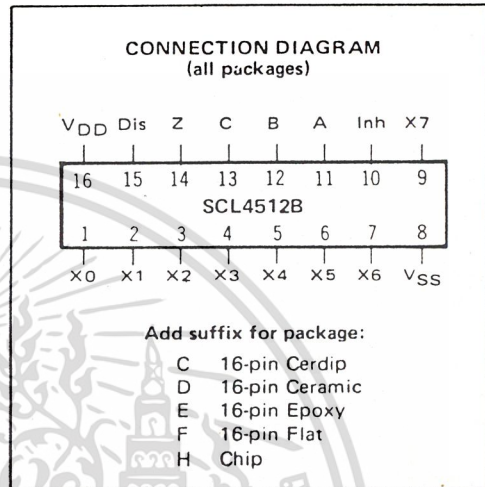
# CMOS 8-CHANNEL DATA SELECTOR

**FEATURES**

- ◆ 3-State Output with Disable Control
- ◆ Separate Inhibit Input
- ◆ Selects One of Eight Data Sources
- ◆ Performs Parallel-To-Serial Conversion

**DESCRIPTION**

The SCL4512B is an 8-Channel Data Selector with Function Inhibit and Output Disable controls. One of eight binary inputs is selected by Select inputs A, B, and C, and is routed to the output Z. A high on the Disable input causes the Z output to assume a high-impedance state, regardless of other input conditions. This allows the output to interface directly with bus-oriented systems. When the Inhibit input is high, it forces the output low, providing the Disable input is low. By manipulation of the inputs, the SCL4512B can provide any logic functions of four variables (see Applications Information).



**RECOMMENDED OPERATING CONDITIONS**

For maximum reliability:

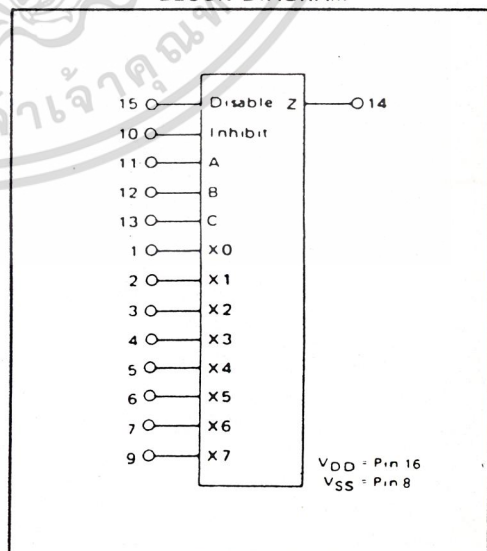
DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	$T_A$	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

**TRUTH TABLE**

C	B	A	INHIBIT	DISABLE	Z
0	0	0	0	0	X0
0	0	1	0	0	X1
0	1	0	0	0	X2
0	1	1	0	0	X3
1	0	0	0	0	X4
1	0	1	0	0	X5
1	1	0	0	0	X6
1	1	1	0	0	X7
φ	φ	φ	1	0	0
φ	φ	φ	φ	1	High Impedance

φ = Don't Care

**BLOCK DIAGRAM**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

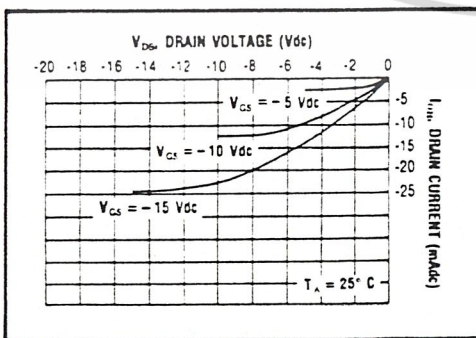
STATIC CHARACTERISTICS<sup>1</sup>

PARAMETER	V <sub>DD</sub> (V <sub>dcl</sub> )	CONDITIONS	T <sub>LOW</sub> <sup>2</sup>		+25°C			T <sub>HIGH</sub> <sup>2</sup>		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT I <sub>DD</sub>	5 10 15	V <sub>IN</sub> = V <sub>SS</sub> or V <sub>DD</sub> All valid input combinations	-	5	-	0.05	5	-	150	μA <sub>dc</sub>
			-	10	-	0.1	10	-	300	
			-	20	-	0.2	20	-	600	
3-STATE OUTPUT LEAKAGE CURRENT I <sub>ZL</sub>	15		-	±0.1	-	±10 <sup>-4</sup>	±0.1	-	±1.0	μA <sub>dc</sub>

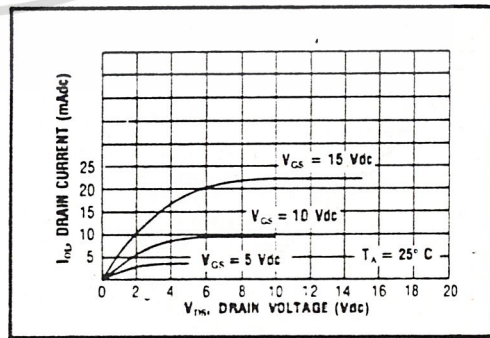
NOTES: <sup>1</sup> Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".  
<sup>2</sup> T<sub>LOW</sub> = -55°C for C, D, F, H device.  
 = -40°C for E device.  
 T<sub>HIGH</sub> = +125°C for C, D, F, H device.  
 = + 85°C for E device.

DYNAMIC CHARACTERISTICS (C<sub>L</sub> = 50pF, T<sub>A</sub> = 25°C)

PARAMETER	V <sub>DD</sub> (V <sub>dcl</sub> )	Min.	Typ.	Max.	Units	
PROPAGATION DELAY TIME From Inhibit	t <sub>PLH</sub>	5	140	280	ns	
		10	50	100		
		15	40	80		
	From Select Input	t <sub>PML</sub>	5	155	310	ns
			10	60	120	
			15	45	90	
From Data Input	t <sub>PLH</sub>	5	225	450	ns	
		10	85	170		
		15	65	130		
	From Disable	t <sub>PML</sub>	5	300	600	ns
			10	105	210	
			15	80	160	
OUTPUT TRANSITION TIME	t <sub>PLH</sub>	5	215	430	ns	
		10	85	170		
		15	65	130		
	From Disable	t <sub>PHZ</sub> , t <sub>PZH</sub> t <sub>PLZ</sub> , t <sub>PZL</sub>	5	75	150	ns
			10	45	90	
			15	35	70	
From Disable	t <sub>PLH</sub> , t <sub>TML</sub>	5	130	260	ns	
		10	65	130		
		15	50	100		

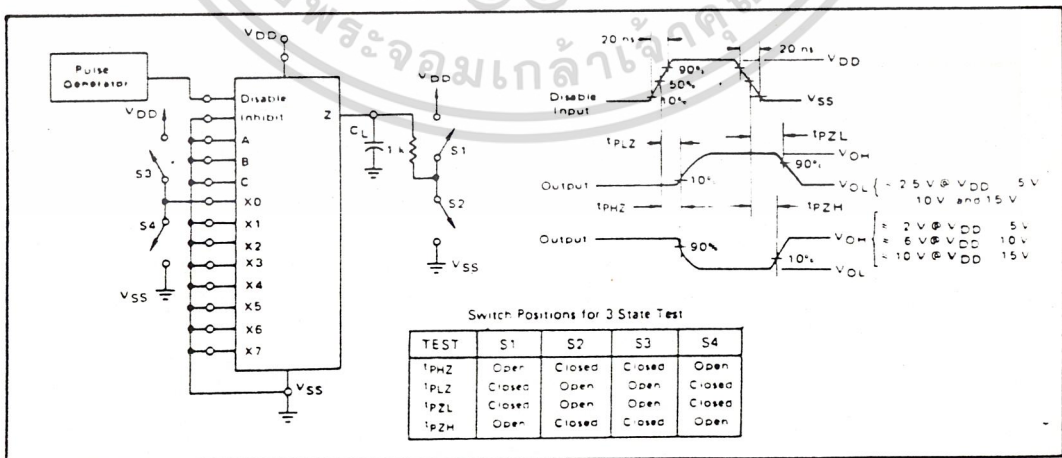
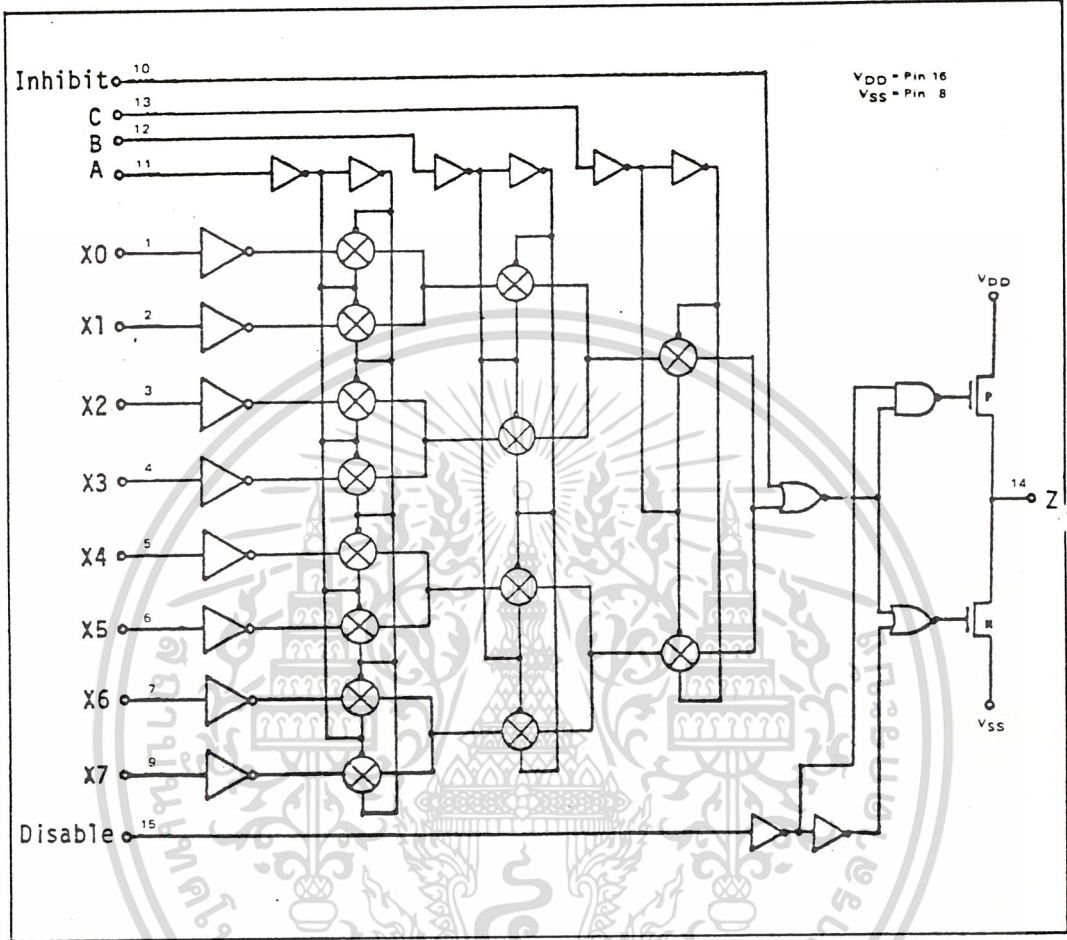


Typical P-Channel Source Current Characteristics



Typical N-Channel Sink Current Characteristics

LOGIC DIAGRAM



3-State AC Test Circuit and Waveform

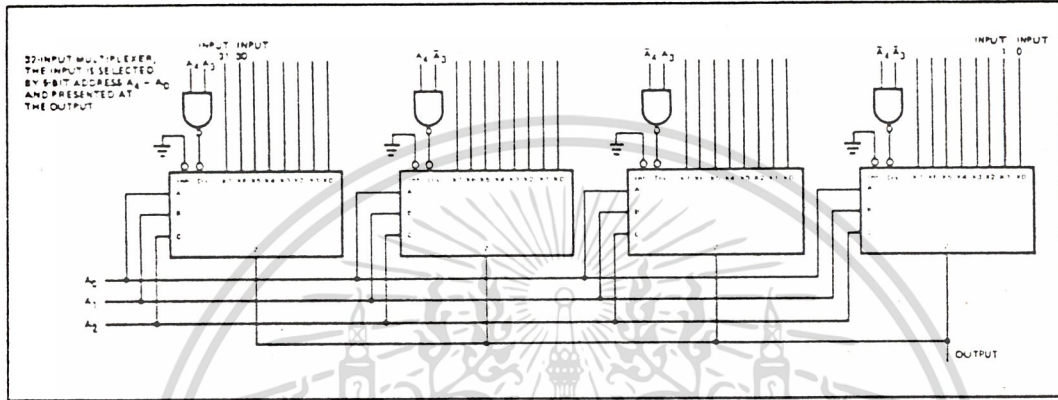
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

32-INPUT MULTIPLEXER

Output terminals of several SCL4512B devices can be connected to a single data bus. One SCL4512B is selected by the 3-state Disable control, and the remaining devices are disabled into

a high-impedance state. A 32-input multiplexer utilizing four SCL4512B data selectors and a single SCL4011B is shown.



LOGIC FUNCTION GENERATORS

In addition to the standard application of multiplexers in data conversion techniques, these circuits can also be used in generating logic functions, which in many cases can reduce system package count.

A multiplexer is a multiple-position single-pole switch. One set of inputs selects the position of the switch. The second set of inputs collects the input data, which is transferred through the circuit to one output. By using the binary select inputs and the data inputs, the SCL4512B can generate any of the 65,536 different functions of four variables.

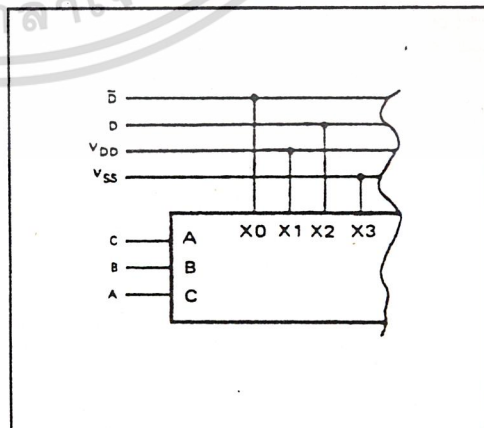
Assume the four binary inputs are A, B, C, and D, and that Z is the desired function. Using the

select inputs as the first three variables, any combination of A, B, and C will select a data input (assuming the output is enabled). For each combination of A, B, and C, the required output, as a function of the fourth variable D, can be HIGH or LOW or the same as D or the inverse of D. Therefore, the truth table may be examined and each data input of the SCL4512B is connected to VDD, VSS, D, or  $\bar{D}$  as required. In such fashion, the function is generated.

In the example shown, the first two outputs are the inverse of D, so X0 is connected to  $\bar{D}$ . The next two are HIGH, so X1 is connected to VDD, etc.

INPUT VARIABLES				REQUIRED FUNCTION
A	B	C	D	Z
L	L	L	L	H
L	L	L	H	L
L	L	H	L	H
L	L	H	H	H
L	H	L	L	L
L	H	L	H	H
L	H	H	L	L
L	H	H	H	L
H	L	L	L	L
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.

H = HIGH Level  
L = LOW Level



SCL4518B  
SCL4520B



CMOS DUAL UP COUNTERS

FEATURES

- ◆ Two Independent 4-Bit Counters
- ◆ Internally Synchronous for High Speed
- ◆ Dual BCD (SCL4518B) and Dual Binary (SCL4520B) Configurations
- ◆ Direct Reset
- ◆ Logic Edge-Clocked Design
- ◆ Trigger from either Edge of Clock Signal
- ◆ Static Operation— DC to 5MHz @ 10Vdc

DESCRIPTION

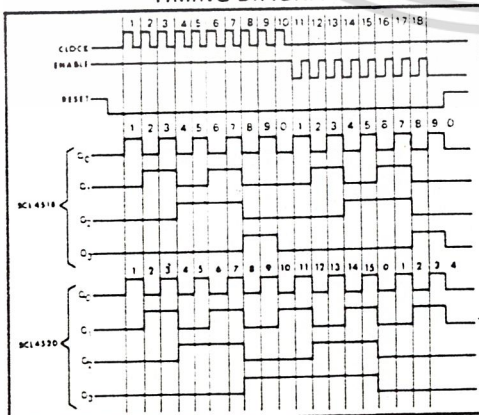
The SCL4518B Dual BCD Counter and the SCL4520B Dual Binary Counter are constructed with MOS P-channel and N-channel enhancement-mode devices in a single monolithic structure. Each consists of two identical, independent, internally synchronous 4-stage counters. The counter stages are type-D flip-flops, with interchangeable Clock and Enable lines for incrementing on either the positive-going or negative-going transition as required when cascading multiple stages. Each counter can be cleared by applying a high level on the Reset line. In addition, the SCL4518B will count out of all undefined states within two clock periods. These complementary MOS up counters find primary use in multi-stage synchronous or ripple counting applications requiring low power dissipation and/or high noise immunity.

TRUTH TABLE

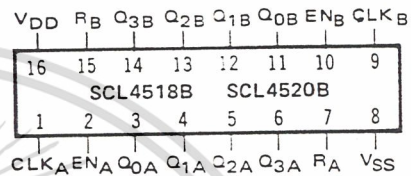
CLOCK	ENABLE	RESET	ACTION
—	1	0	Increment Counter
0	—	0	Increment Counter
—	X	0	No Change
X	—	0	No Change
—	0	0	No Change
1	—	0	No Change
X	X	1	Q0 thru Q3 = 0

X = Don't Care

TIMING DIAGRAM



CONNECTION DIAGRAM  
(all packages)



Add suffix for package:

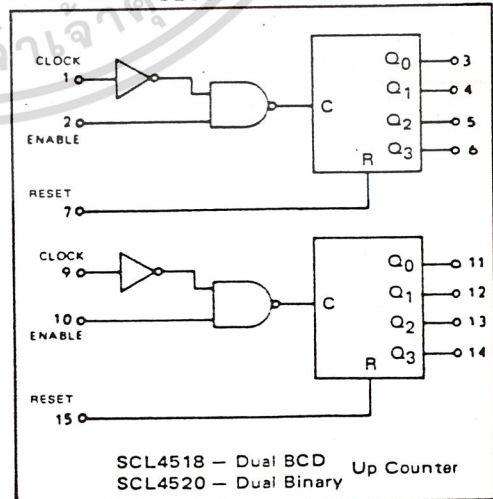
- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	$T_A$	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

BLOCK DIAGRAM



SCL4518 — Dual BCD Up Counter  
SCL4520 — Dual Binary Up Counter

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS

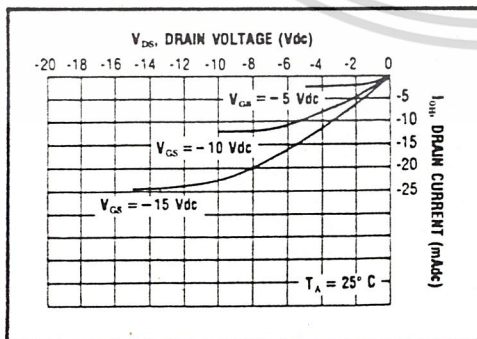
PARAMETER	V <sub>DD</sub> (Vdc)	CONDITIONS	T <sub>LOW</sub> <sup>1</sup>		+25°C			T <sub>HIGH</sub> <sup>2</sup>		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I <sub>DD</sub>	V <sub>IN</sub> = V <sub>ES</sub> or V <sub>DD</sub> All valid input combinations	-	5	-	0.05	5	-	150	μA <sub>DC</sub>
			-	10	-	0.1	10	-	300	
			-	15	-	0.2	20	-	600	

NOTES: <sup>1</sup> Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".  
<sup>2</sup> T<sub>LOW</sub> = -55°C for C, D, F, H device.  
 = -40°C for E device.  
 T<sub>HIGH</sub> = +125°C for C, D, F, H device.  
 = + 85°C for E device.

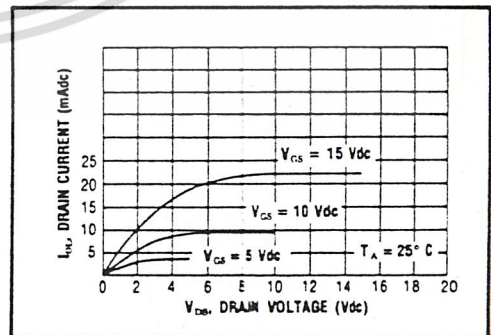
DYNAMIC CHARACTERISTICS (C<sub>L</sub> = 50pF, T<sub>A</sub> = 25°C)

PARAMETER	V <sub>DD</sub> (Vdc)	Min.	Typ.	Max.	Units
<b>CLOCKED OPERATION</b>					
PROPAGATION DELAY TIME From Clock or Clock Enable	t <sub>PLH, tPHL</sub>	5	-	225	450
		10	-	100	200
		15	-	80	160
OUTPUT TRANSITION TIME	t <sub>TLH, tTHL</sub>	5	-	130	260
		10	-	65	130
		15	-	50	100
MINIMUM CLOCK PULSE WIDTH	PW <sub>CL</sub>	5	-	120	240
		10	-	50	100
		15	-	40	80
MINIMUM CLOCK ENABLE PULSE WIDTH	PW <sub>CE</sub>	5	-	200	400
		10	-	90	180
		15	-	75	150
MAXIMUM CLOCK FREQUENCY	f <sub>CL</sub>	5	1.0	2.0	-
		10	2.5	5.0	-
		15	3.0	6.0	-
MAXIMUM CLOCK OR CLOCK ENABLE RISE & FALL TIME <sup>1</sup>	t <sub>RCL, tFCL</sub>	5	15	-	-
		10	5	-	-
		15	3	-	-
<b>RESET OPERATION</b>					
PROPAGATION DELAY TIME	t <sub>PHL</sub>	5	-	225	450
		10	-	100	200
		15	-	80	160
MINIMUM RESET PULSE WIDTH	PW <sub>R</sub>	5	-	120	240
		10	-	50	100
		15	-	40	80
RESET REMOVAL TIME	t <sub>rem</sub>	5	-	100	200
		10	-	50	100
		15	-	40	80

<sup>1</sup> When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



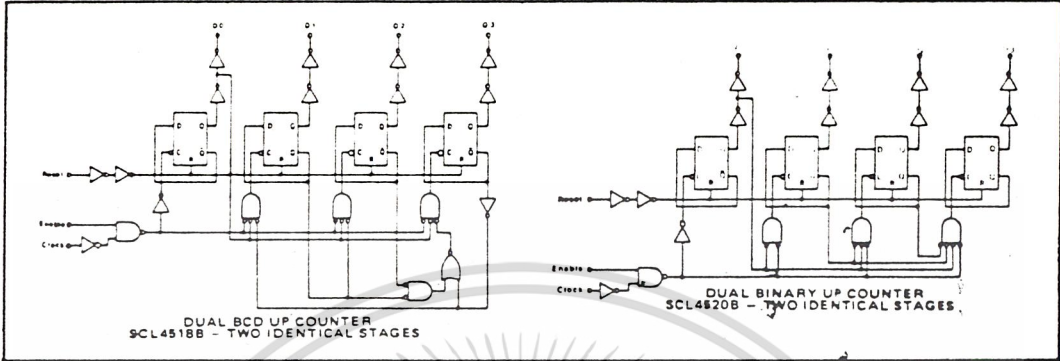
Typical P-Channel Source Current Characteristics



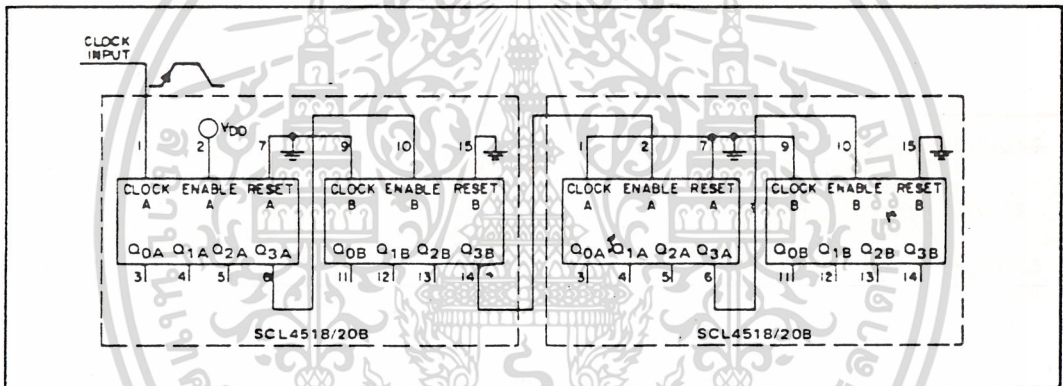
Typical N-Channel Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้.

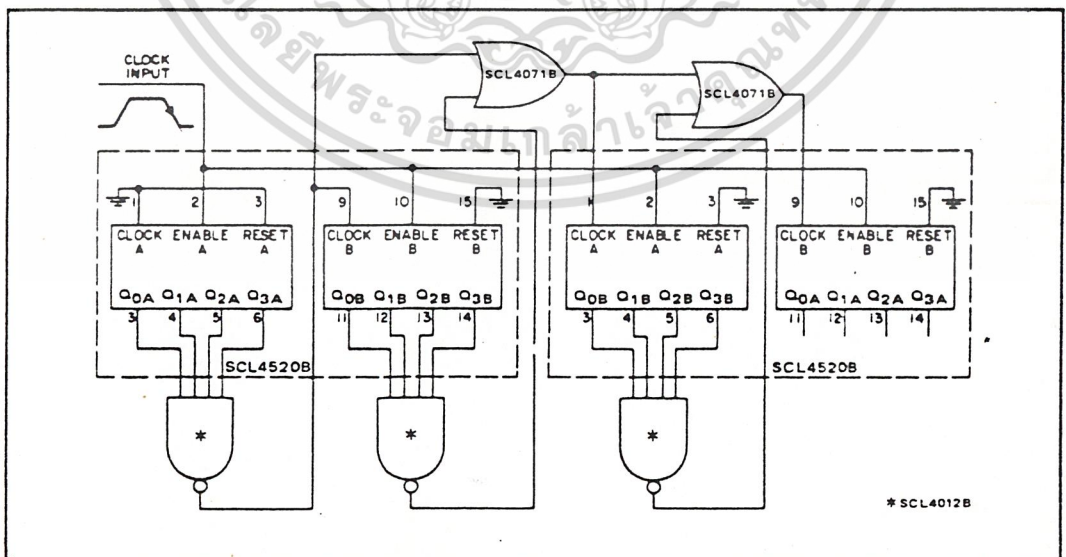
LOGIC DIAGRAMS



APPLICATIONS INFORMATION



Ripple cascading of four counters with positive-edge triggering.



Synchronous cascading of four binary counters with negative-edge triggering.

**SCL4543B**  
Preliminary



**BCD-TO-SEVEN SEGMENT LATCH/DECODER/DRIVER**

**FEATURES**

- ◆ Phase Input Signal Reproduced on Outputs for Liquid Crystal Display
- ◆ Latched Storage of Input Code
- ◆ Blanking Input for Display Intensity Modulation
- ◆ Readout Blanking for Illegal Input Combinations
- ◆ Pin Compatible with CD4056A (with Pin 7 Tied to V<sub>SS</sub>)
- ◆ Balanced Output Drive Current Specifications

**DESCRIPTION**

The SCL4543B BCD-to-7 Segment Latch/Decoder/Driver is designed for use with liquid crystal readouts and is constructed with complementary MOS (CMOS) enhancement-mode devices. The circuit provides the functions of a 4-bit storage latch and a 8421 BCD-to-seven segment decoder and driver. The device has the capability to invert the logic levels of the output combinations. The Phase (Ph), Blanking (BI), and Latch Disable (LD) inputs are used to reverse the truth-table phase, blank the display, and store a BCD code, respectively. For liquid crystal readouts, a square wave is applied to the Ph input of the circuit and the electrically common backplane of the display. The outputs of the circuit are connected directly to the segments of the readout. For other types of readouts, such as light-emitting diode (LED), incandescent, gas discharge, and fluorescent readouts, connection diagrams are given on this data sheet.

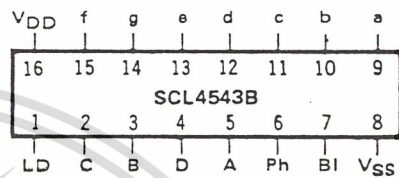
Applications include instrument (e.g., counter,

**TRUTH TABLE**

INPUTS				OUTPUTS								
LD	BI	Ph*	D C B A	a	b	c	d	e	f	g	Display	
X	1	0	X X X X	0	0	0	0	0	0	0	0	Blank
1	0	0	0 0 0 0	1	1	1	1	1	0	0	0	0
1	0	0	0 0 0 1	0	1	1	0	0	0	0	0	1
1	0	0	0 0 1 0	1	1	0	1	1	0	0	0	2
1	0	0	0 0 1 1	1	1	1	1	0	0	0	0	3
1	0	0	0 1 0 0	0	1	1	0	0	0	1	1	4
1	0	0	0 1 0 1	1	0	1	1	0	1	1	1	5
1	0	0	0 1 1 0	1	0	1	1	1	1	1	1	6
1	0	0	0 1 1 1	1	1	1	0	0	0	0	0	7
1	0	0	1 0 0 0	1	1	1	1	1	1	1	1	8
1	0	0	1 0 0 1	1	1	1	0	1	1	1	1	9
1	0	0	1 0 1 0	0	0	0	0	0	0	0	0	Blank
1	0	0	1 0 1 1	0	0	0	0	0	0	0	0	Blank
1	0	0	1 1 0 0	0	0	0	0	0	0	0	0	Blank
1	0	0	1 1 0 1	0	0	0	0	0	0	0	0	Blank
1	0	0	1 1 1 0	0	0	0	0	0	0	0	0	Blank
1	0	0	1 1 1 1	0	0	0	0	0	0	0	0	Blank
0	0	0	X X X X	**	**	**	**	**	**	**	**	**
1	1	1	1	Inverse of Output Combinations Above							Display as above	

X = Don't care  
 \* = Above Combinations  
 \*\* = For liquid crystal readouts, apply a square wave to Ph  
 For common cathode LED readouts, select Ph = 0  
 For common anode LED readouts, select Ph = 1  
 \*\* = Depends upon the BCD code previously applied when LD = 1

**CONNECTION DIAGRAM**  
(all packages)



**Add suffix for package:**

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

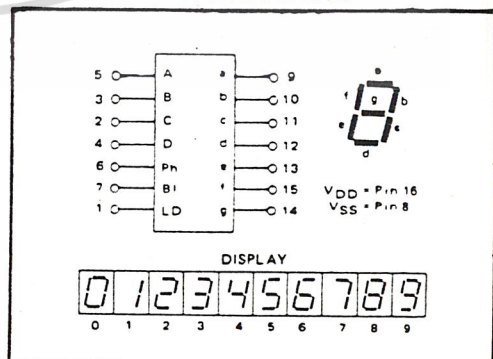
**RECOMMENDED OPERATING CONDITIONS**

For maximum reliability:

DC Supply Voltage	V <sub>DD</sub> - V <sub>SS</sub>	3 to 15	V <sub>DC</sub>
Operating Temperature	T <sub>A</sub>	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

DVM, etc.) display driver, computer/calculator display driver, cockpit display driver, and various clock, watch, and timer uses.

**BLOCK DIAGRAM**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

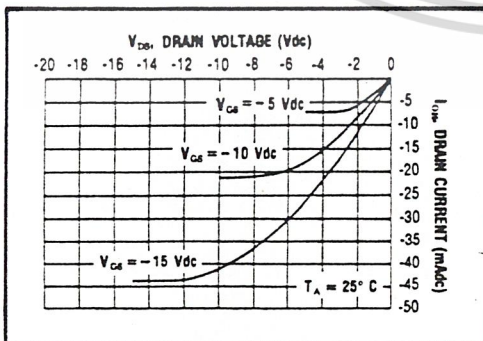
STATIC CHARACTERISTICS<sup>1,3</sup>

PARAMETER	V <sub>DD</sub> (V <sub>dC</sub> )	CONDITIONS	T <sub>LOW</sub> <sup>2</sup>		+25°C			T <sub>HIGH</sub> <sup>2</sup>		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I <sub>DD</sub>	V <sub>IN</sub> = V <sub>SS</sub> or V <sub>DD</sub> All valid input combinations	-	5	-	0.05	5	-	150	μA <sub>dC</sub>
			-	10	-	0.1	10	-	300	
			-	15	-	0.2	15	-	600	

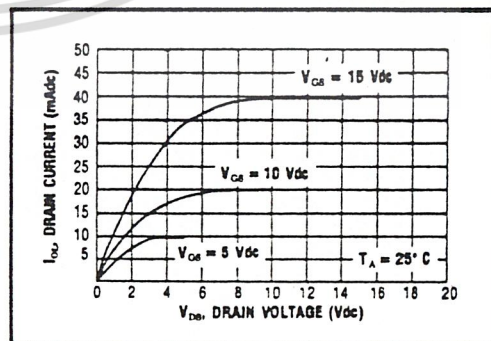
- NOTES: <sup>1</sup> Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".  
<sup>2</sup> T<sub>LOW</sub> = -55°C for C, D, F, H device.  
 = -40°C for E device.  
 T<sub>HIGH</sub> = +125°C for C, D, F, H device.  
 = + 85°C for E device.  
<sup>3</sup> This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C<sub>L</sub> = 50pF, T<sub>A</sub> = 25°C)

PARAMETER	V <sub>DD</sub> (V <sub>dC</sub> )	Min.	Typ.	Max.	Units	
PROPAGATION DELAY TIME	t <sub>PLH</sub> , t <sub>pHL</sub>	5	-	550	1100	ns
		10	-	210	420	
		15	-	160	320	
OUTPUT TRANSITION TIME	t <sub>TLH</sub> , t <sub>THL</sub>	5	-	100	200	ns
		10	-	50	100	
		15	-	40	80	
MINIMUM DATA INPUT SETUP TIME	t <sub>setup</sub>	5	-	-40	0	ns
		10	-	-15	0	
		15	-	-10	0	
MINIMUM DATA INPUT HOLD TIME	t <sub>hold</sub>	5	-	40	80	ns
		10	-	15	30	
		15	-	10	20	
MINIMUM LD PULSE WIDTH	PW <sub>LD</sub>	5	-	125	250	ns
		10	-	50	100	
		15	-	40	80	

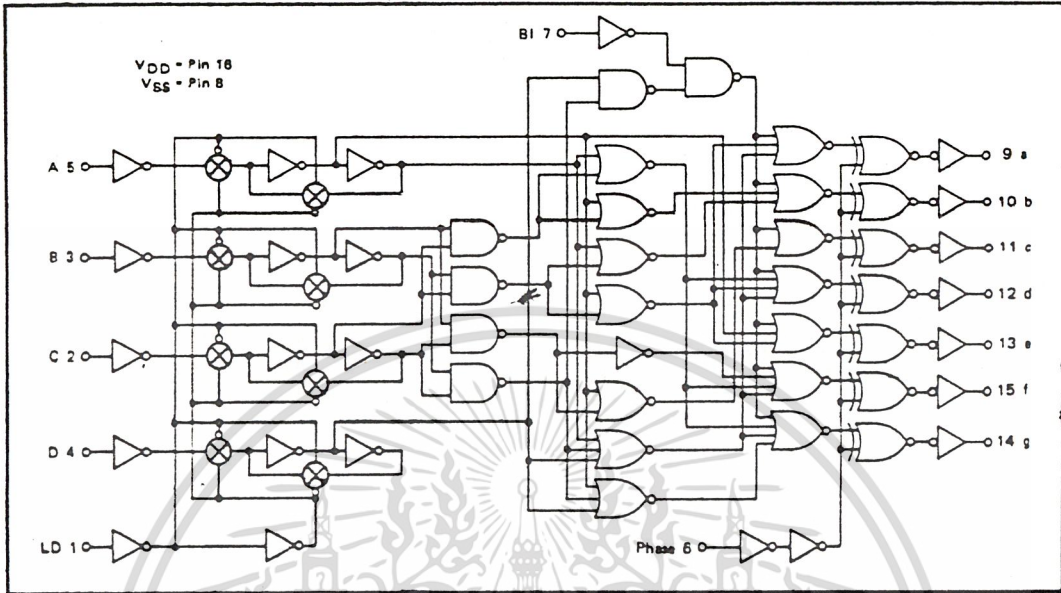


Typical P-Channel Source Current Characteristics

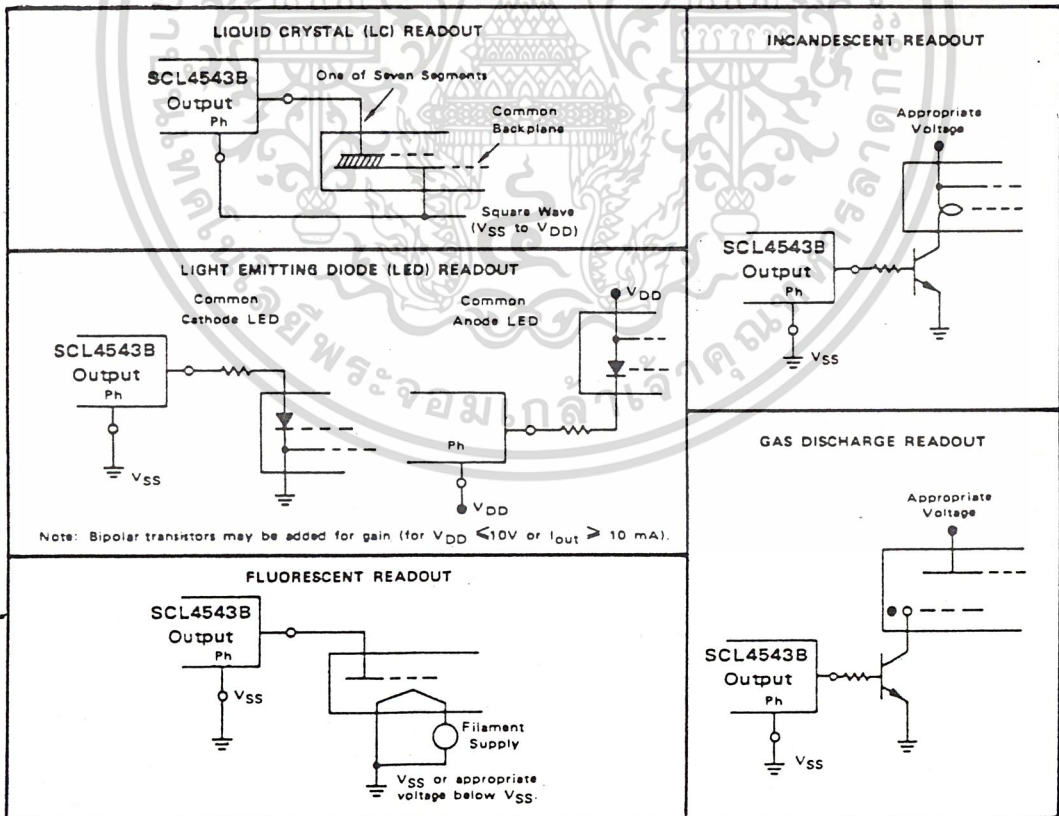


Typical N-Channel Sink Current Characteristics

LOGIC DIAGRAM



APPLICATIONS INFORMATION  
CONNECTIONS TO VARIOUS DISPLAY READOUTS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL							
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package					
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF				
T.I.	SN54S04				SN54H04				SN54LS04				SN5404				SN74L04				SN7404			
FAIRCHILD	FMS54S04	FMS54D04			FMS54H04	FMS54D04			FMS54LS04	FMS54D04			FMT5404	FMS54D04			FMT7404	FMS54D04						
MOTOROLA	MC74S04	MC74D04			MC74H04	MC74D04			MC74LS04	MC74D04			MC7404	MC74D04			MC7404	MC74D04						
N.S.C.	DM74S04				DM74H04				DM74LS04				DM7404				DM7404							
PHILIPS	N74S04				N74H04				N74LS04				FJH7417404											
SIGNETICS	SS4S04	SS4D04			SS4H04	SS4D04			N74LS04				SS404				SS404							
SIEMENS													FLH211											
FUJITSU									74LS04				MB41B											
HITACHI	HD74S04								HD74LS04				HD7404	HD3522										
MITSUBISHI	MS5404								N74LS04				MS3204											
NEC	74S04								74LS04				74FB235											
TOSHIBA													TC3404A											

Electrical Characteristics SN54LS04 SN74LS04

absolute maximum ratings over operating free-air temperature range			
Supply voltage, V <sub>CC</sub>	7V	Operating range	SN54LS
Input voltage	7V	Operating range	SN74LS
Storage temperature range			-55 to 150°C

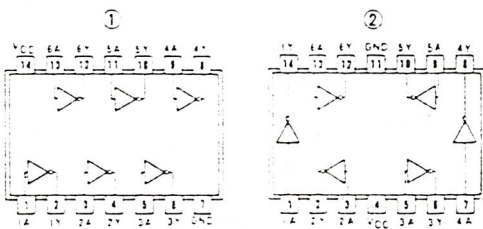
recommended operating conditions

	SN54LS04		SN74LS04		UNIT
	MIN	NOM	MIN	NOM	
Supply voltage, V <sub>CC</sub>	4.5	5	4.75	5	V
High-level output current, I <sub>OH</sub>			-400	-400	μA
Low-level output current, I <sub>OL</sub>			4	4	mA
Operating free-air temperature, T <sub>a</sub>	-55	25	0	75	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS <sup>1</sup>	MIN	TYP <sup>2</sup>	MAX	UNIT
V <sub>IH</sub>	High-level input voltage		2		V
V <sub>IL</sub>	Low-level input voltage		0.8		V
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> MIN, I <sub>I</sub> = -1 mA		-1.5	V
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> MIN, I <sub>L</sub> = I <sub>IH</sub> max.	2.7	3.4	V
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> MIN, I <sub>L</sub> = I <sub>OL</sub> max.		0.4	V
I <sub>I</sub>	Input current at maximum input voltage	V <sub>CC</sub> MAX, V <sub>I</sub> = 7V	0	1	mA
I <sub>IH</sub>	High-level input current	V <sub>CC</sub> MAX, V <sub>I</sub> = 2.7V		20	μA
I <sub>IL</sub>	Low-level input current	V <sub>CC</sub> MAX, V <sub>I</sub> = 0.4V		-0.4	mA
I <sub>OS</sub>	Short-circuit output current	V <sub>CC</sub> MAX, V <sub>O</sub> = 0	SN54 Family: 20 74LS Family: 20	-100	mA
I <sub>CC(H)</sub>	Supply current	V <sub>CC</sub> MAX, Total outputs high		1.2	2.4
I <sub>CC(L)</sub>	Supply current	V <sub>CC</sub> MAX, Total outputs low		3.6	6.6
I <sub>CC</sub>	Supply current	V <sub>CC</sub> = 5V, Average per gate, 50% duty cycle		0.4	mA
t <sub>PLH</sub>	Propagation delay time, low-to-high-level output	V <sub>CC</sub> = 5V, C <sub>L</sub> = 50 pF, R <sub>L</sub> = 2 kΩ		9	15
t <sub>PHL</sub>	Propagation delay time, high-to-low-level output	V <sub>CC</sub> = 5V, C <sub>L</sub> = 50 pF, R <sub>L</sub> = 2 kΩ		10	15

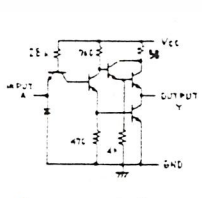
Pin Assignments (Top View)



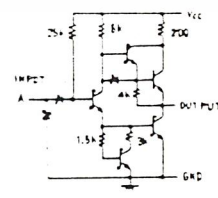
Schematics (each gate)



104, 104 CIRCUITS



H04 CIRCUIT



LS04 CIRCUIT

Resistor values shown are nominal and in Ohms.

<sup>1</sup>For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
<sup>2</sup>All typical values are at V<sub>CC</sub> = 5V, T<sub>a</sub> = 25°C.  
 \*Not more than one output should be shorted at a time, and for SN54LS04, SN74LS04 and SN54S04, SN74S04 duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5407/7407 Hex Buffer/Driver with Open-Collector High-Voltage Output

	Schottky TTL			High-Speed TTL			Low-Power Schottky TTL			Standard TTL			Low-Power TTL		
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package	
		C	P	M	CF		C	P	M	CF		C	P	M	CF
T. I.											SN5407	F			
											SN7407	F	SN		
FAIRCHILD											FMS407	F	MS		
											FMS407	F	MS		
MOTOROLA											MC7407	F			
											MC7407	F			
N. S. C.											SN7407	F			
											SN7407	F			
PHILIPS											SN7407	F			
											SN7407	F			
SIGNETICS											SN7407	F			
											SN7407	F			
SIEMENS											SN7407	F			
											SN7407	F			
FUJITSU											SN7407	F			
											SN7407	F			
HITACHI											SN7407	F			
											SN7407	F			
MITSUBISHI											SN7407	F			
											SN7407	F			
NEC											SN7407	F			
											SN7407	F			
TOSHIBA											SN7407	F			
											SN7407	F			

Electrical Characteristics SN5407, SN7407

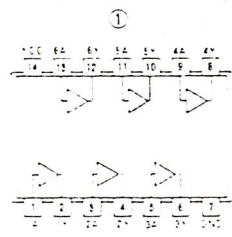
absolute maximum ratings over operating free-air temperature range			
Supply voltage, VCC	7V	Operating free-air temperature	SN54 -55°C to 25°C
Input voltage	5.5V	temperature range	SN74 0°C to 70°C
Output (high-level) voltage applied to emitter-collector outputs	30V	Storage temperature range	-65°C to 50°C

recommended operating conditions						
	SN5407		SN7407		UNIT	
	MIN	NOM	MIN	NOM	MAX	
Supply voltage, VCC	4.5	5	4.75	5	5.25	V
High-level output current, I <sub>OH</sub>		30		30	0	mA
Low-level output current, I <sub>OL</sub>		30		40	0	mA
Operating free-air temperature, T <sub>a</sub>	-55	25	0	70	75	°C

electrical characteristics over recommended operating free-air temperature range

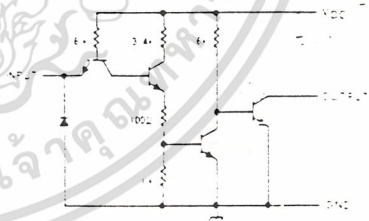
PARAMETER	TEST CONDITIONS <sup>1</sup>	MIN	TYP <sup>2</sup>	MAX	UNIT
V <sub>IH</sub>	High-level input voltage		2		V
V <sub>IL</sub>	Low-level input voltage			0.8	V
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> = MIN, I <sub>I</sub> = -12 mA		-1.5	V
I <sub>OH</sub>	High-level output current	V <sub>CC</sub> = MIN, V <sub>OL</sub> = 2V, V <sub>OH</sub> = MAX		25	mA
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> = MIN, V <sub>IH</sub> = V <sub>IH</sub> max, I <sub>OL</sub> = 16 mA		0.4	V
		V <sub>CC</sub> = MIN, V <sub>IH</sub> = V <sub>IH</sub> max, I <sub>OL</sub> = MAX		0.1	V
I <sub>I</sub>	Input current at maximum input voltage	V <sub>CC</sub> = MAX, V <sub>IH</sub> = 5V		-1	mA
I <sub>IH</sub>	High-level input current	V <sub>CC</sub> = MAX, V <sub>IH</sub> = 2.4V		40	μA
I <sub>IL</sub>	Low-level input current	V <sub>CC</sub> = MAX, V <sub>IL</sub> = 0.4V		-1	mA
I <sub>CC</sub> H	Supply current	V <sub>CC</sub> = MAX, Total outputs high	25	4	mA
I <sub>CC</sub> L	Supply current	V <sub>CC</sub> = MAX, Total outputs low	21	30	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> = 5V, Average per gate, 50% duty cycle	4	7	mA
T <sub>PLH</sub>	Propagation delay time (low-to-high) output	V <sub>CC</sub> = 5V, T <sub>a</sub> = 25°C	6	10	ns
T <sub>P</sub> HL	Propagation delay time (high-to-low) output	C <sub>L</sub> = 10pF, R <sub>L</sub> = 100Ω	20	30	ns

Pin Assignment (Top View)



positive logic  
V=0

schematic (each gate)



107 CIRCUIT

Resistor values shown are nominal and in ohms

For conditions specified as MIN or MAX use the appropriate value specified under recommended conditions.  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5408/7408 Quadruple 2-Input Positive-AND Gate

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package		
		C	P	M, CF		C	P	M, CF		C	P	M, CF		C	P	M, CF		C	P	M, CF
T.I.	SN5408								SN54LS08					SN5408						
FAIRCHILD	7408				7408				74LS08					7408						
MOTOROLA									74LS08											
N.S.C.									74LS08											
PHILIPS									74LS08											
SIGNETICS									74LS08											
SIEMENS									74LS08											
FUJITSU									74LS08											
HITACHI									74LS08											
MITSUBISHI									74LS08											
NEC									74LS08											
TOSHIBA									74LS08											

Electrical Characteristics SN54LS08 SN74LS08

Maximum values are shown in parentheses. All values are at 25°C unless otherwise noted.

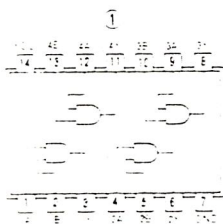
Recommended operating conditions

PARAMETER	SN54LS08		SN74LS08		UNIT
	MIN	NOM	MAX	MIN	
Supply voltage	4.5	5	5.5	5	V
Operating temperature					°C
Maximum input current		1			mA
Maximum output current		4			mA
Maximum output current (short-circuit)		16			mA

Electrical characteristics over recommended operating free-air temperature range

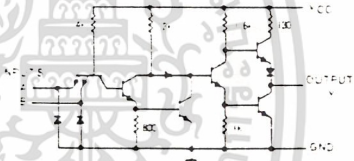
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V <sub>OL</sub> Output low voltage	V <sub>CC</sub> = 5V, I <sub>OL</sub> = 4mA	0.1	0.1	0.2	V
V <sub>OH</sub> Output high voltage	V <sub>CC</sub> = 5V, I <sub>OH</sub> = -4mA	4.8	4.8	4.9	V
I <sub>OL</sub> Output low current	V <sub>CC</sub> = 5V, V <sub>OL</sub> = 0.2V	0	4	16	mA
I <sub>OH</sub> Output high current	V <sub>CC</sub> = 5V, V <sub>OH</sub> = 4.8V	0	-4	-16	mA
I <sub>CC</sub> Supply current	V <sub>CC</sub> = 5V, I <sub>OL</sub> = I <sub>OH</sub> = 0	0	1	1	mA
t <sub>PLH</sub> Propagation delay time (low to high)	V <sub>CC</sub> = 5V, C <sub>L</sub> = 50pF, R <sub>L</sub> = 2kΩ	1.5	2.0	3.0	ns
t <sub>PLL</sub> Propagation delay time (high to low)	V <sub>CC</sub> = 5V, C <sub>L</sub> = 50pF, R <sub>L</sub> = 2kΩ	1.5	2.0	3.0	ns

Pin Assignment (Top View)

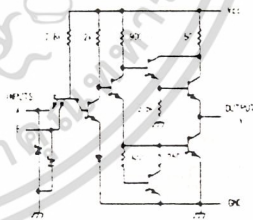


See the logic symbol.

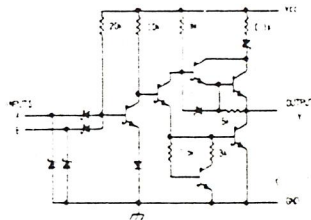
Schematics (each gate)



5408 CIRCUIT



7408 CIRCUIT



LS08 CIRCUIT

Resistor values shown are nominal and in ohms.

\* For conditions not shown, refer to the 7408. Use the appropriate values shown under recommended operating conditions.

† 2.4 V<sub>OL</sub> and 4.8 V<sub>OH</sub> are at V<sub>CC</sub> = 5V, I<sub>OL</sub> = 4 mA, I<sub>OH</sub> = -4 mA.

‡ The maximum output current is limited by the power dissipation capability of the device. See the power dissipation section of the data sheet for more information.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น. เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น. อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5432/7432 Quadruple 2-Input Positive-OR Gate

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL				
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF	
T.I.	SN54LS32	14	16	18	20																
	SN74LS32	14	16	18	20																
FAIRCHILD	FMS432	14	16	18	20																
	FMS532	14	16	18	20																
	FC7432	14	16	18	20																
	FC7532	14	16	18	20																
MOTOROLA																					
N.S.C.																					
PHILIPS	N74LS32	14	16	18	20																
SIGNETICS																					
SIEMENS																					
FUJITSU																					
HITACHI																					
MITSUBISHI																					
NEC																					
TOSHIBA																					

**Electrical Characteristics SN54LS32 SN74LS32**  
absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	7V	Operating free-air temperature range	SN54LS32	-55°C to 125°C
Input voltage	7V	Storage temperature range	SN74LS32	-55°C to 175°C
		Storage temperature factor		-65°C to 150°C

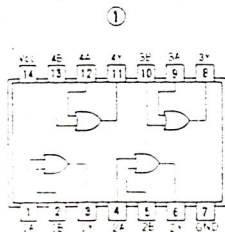
recommended operating conditions

PARAMETER	SN54LS32			SN74LS32			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	V
High-level input current, I <sub>ih</sub>			-400			-400	μA
Low-level input current, I <sub>il</sub>			4			4	μA
Operating free-air temperature, T <sub>a</sub>	-55		125	0		70	°C

**electrical characteristics over recommended operating free-air temperature range**

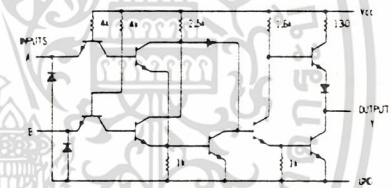
PARAMETER	TEST CONDITIONS 1	MIN	TYP 1	MAX	UNIT	
V <sub>IH</sub>	High-level input voltage		2		V	
V <sub>IL</sub>	Low-level input voltage		0.8		V	
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> = MIN, I <sub>I</sub> = -16 mA		-1.5	V	
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2V, I <sub>O</sub> = MAX	2.7	3.4	V	
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> = MIN, V <sub>IL</sub> = V <sub>IH</sub> max, I <sub>OL</sub> = 4 mA	0.25	0.4	V	
I <sub>i</sub>	Input current at maximum input voltage	V <sub>CC</sub> = MAX, V <sub>I</sub> = 7V	0		mA	
I <sub>iH</sub>	High-level input current	V <sub>CC</sub> = MAX, V <sub>IH</sub> = 2.7V		20	μA	
I <sub>iL</sub>	Low-level input current	V <sub>CC</sub> = MAX, V <sub>IL</sub> = 0.4V		-0.4	mA	
I <sub>OS</sub>	Short-circuit output current*	V <sub>CC</sub> = MAX	54LS Family	-20	mA	
			74LS Family	-100	mA	
I <sub>CC</sub>	Supply current	V <sub>CC</sub> = MAX	Total outputs high	3.1	6.2	mA
I <sub>CSL</sub>	Supply current	V <sub>CC</sub> = MAX	Total outputs low	4.9	9.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> = 5V	Average per gate (50% duty cycle)	1.0		mA
t <sub>PLH</sub>	Propagation delay time, low-to-high-level output	V <sub>CC</sub> = 5V, T <sub>a</sub> = 25°C, C <sub>L</sub> = 150pF, R <sub>L</sub> = 2kΩ		14	22	ns
t <sub>PHL</sub>	Propagation delay time, high-to-low-level output	V <sub>CC</sub> = 5V, T <sub>a</sub> = 25°C, C <sub>L</sub> = 150pF, R <sub>L</sub> = 2kΩ		14	22	ns

Pin Assignment (Top View)

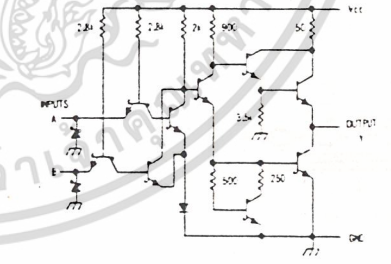


positive logic  
Y = A + B

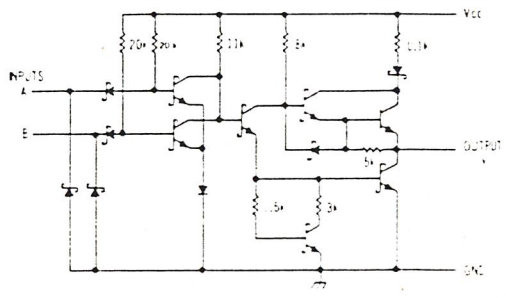
Schematics (each gate)



5432 CIRCUIT



7432 CIRCUIT



LS32 CIRCUIT

Resistor values in ohms, unless noted otherwise.

\* For conditions specified MIN or MAX, use the appropriate test specified under recommended operating conditions.

1 All typical values are at V<sub>CC</sub> = 5V and T<sub>a</sub> = 25°C ยกเว้นค่าที่ระบุไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

2 Not more than one output should be shorted at a time.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5473 / 7473 Dual J-K Master-Slave Flip-Flop with Clear

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL											
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package									
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF								
T.I.					SN54H73	J	C	P	M	CF	SN54LS73	J	C	P	M	CF	SN5473	J	C	P	M	CF	SN54L73	J	C	P	M	CF
FAIRCHILD					FMS4H73	J	C	P	M	CF	FMS4LS73	J	C	P	M	CF	FMS473	J	C	P	M	CF						
MOTOROLA					MC3163	J	C	P	M	CF	MC3473	J	C	P	M	CF	MC5473	J	C	P	M	CF						
N.S.C.					DM54H73	J	C	P	M	CF	DM54LS73	J	C	P	M	CF	DM5473	J	C	P	M	CF	DM54L73	J	C	P	M	CF
PHILIPS					N74H73	J	C	P	M	CF	N74LS73	J	C	P	M	CF	FJ7473	J	C	P	M	CF						
SIGNETICS					SS4H73	J	C	P	M	CF	SS4LS73	J	C	P	M	CF	SS473	J	C	P	M	CF						
SIEMENS																	FLJ121	J	C	P	M	CF						
FUJITSU																												
HITACHI										HD74LS73	J	C	P	M	CF		HD7473	J	C	P	M	CF	HD74L73	J	C	P	M	CF
mitsubishi										M74LS73	J	C	P	M	CF		M53073	J	C	P	M	CF						
NEC																	μF5225	J	C	P	M	CF						
TOSHIBA																	T03473A	J	C	P	M	CF						

Electrical Characteristics SN54LS73 SN74LS73A

Parameter	SN54LS73	SN74LS73A	Unit
Supply voltage V <sub>CC</sub>	5	5	V
Operating free-air temperature range	-55 to 125	-55 to 125	°C
Storage temperature range	-65 to 150	-65 to 150	°C

recommended operating conditions

Parameter	SN54LS73A			SN74LS73A			Unit
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	V
maximum output current I <sub>OL</sub>			-40			-40	mA
Low-level output current I <sub>OL</sub>			-4			-4	mA
Input setup time	Check high	20	20				ns
	Check low	20	20				ns
Input hold time	High-level data	20	20				ns
	Low-level data	20	20				ns
Operating free-air temperature T <sub>a</sub>	-55	25	125				°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*	TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V <sub>IH</sub>	High-level input voltage		2		V
V <sub>IL</sub>	Low-level input voltage		0.8		V
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> MIN, I <sub>OL</sub> = 4 mA	0.25	0.4	V
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> MIN, I <sub>OH</sub> = 2 mA, V <sub>IL</sub> = 0.8 V, I <sub>OL</sub> = MAX	2.7	3.4	V
I <sub>OH</sub>	High-level output current	V <sub>CC</sub> MIN, V <sub>OL</sub> = 0.4 V		40	mA
I <sub>OL</sub>	Low-level output current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V		40	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>CL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 0.4 V	0.5	0.8	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>CL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub>OL</sub> = 0.4 V	0.5	0.8	mA
I <sub>OL</sub>	Low-level supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	0.5	0.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> MAX, V <sub>IH</sub> = 2 V	4	6	mA
I <sub>OH</sub>	High-level supply current	V <sub>CC</sub> MAX, V <sub></sub>			

5486 / 7486 Quaduple 2-Input Exclusive-OR Gate

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL				
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF	
T.I.	SN54LS86 SN74LS86	J	D	N	W							SN5486 SN7486	J	D	N	W	SN54LS86 SN74LS86	J	D	N	W
FAIRCHILD	FMS486 F0486	D	N	W								FMS486 F0486	D	N	W						
MOTOROLA												MC7486					DM54LS86 DM74LS86	J	D	N	W
N.S.C.												DM7486	J	D	N	W					
PHILIPS	N74LS86											FJH74LS86									
SIGNETICS	S5486 N7486											S5486 N7486	P	A	M						
SIEMENS												FLH341									
FUJITSU												MB486									
HTACH												HD7486 HD74LS86									
M.SUB.SHI												ME8786									
NEC												PE2086									
TOSHIBA												TC7486									

Electrical Characteristics SN54LS86 SN74LS86

absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	7V	Operating free-air temperature range	SN54LS86	-55°C to 75°C
Input voltage	7V	SN74LS86	0°C to 70°C	
		Storage temperature range		-65°C to 50°C

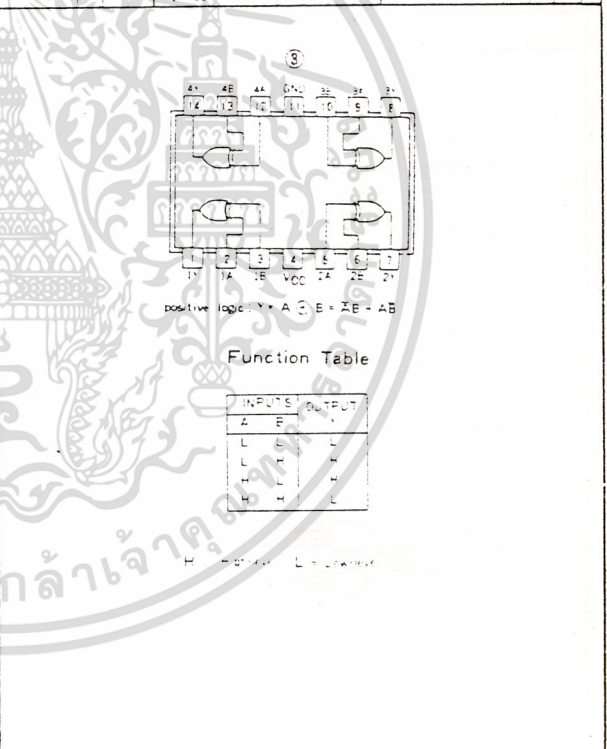
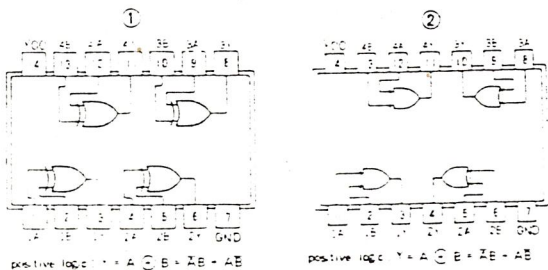
recommended operating conditions

	SN54LS86			SN74LS86			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I <sub>OH</sub>			-800			-800	mA
Low-level output current, I <sub>OL</sub>			4			4	mA
Operating free-air temperature, T <sub>A</sub>	-55		75	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*	TEST CONDITIONS†	SN74LS86			UNIT
		MIN	TYP‡	MAX	
V <sub>OH</sub>	High-level output voltage		2		V
V <sub>OL</sub>	Low-level output voltage		0.1		V
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> - 0.5	0	V <sub>CC</sub> + 0.5	V
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> - 0.1	2.4	V <sub>CC</sub>	V
V <sub>OL</sub>	Low-level output voltage	0	0.25	0.4	V
I <sub>I</sub>	Input current at maximum input voltage	V <sub>CC</sub> - 0.5	-1	0.35	mA
I <sub>OH</sub>	High-level output current	V <sub>CC</sub> - 0.1	-1	0.4	mA
I <sub>OL</sub>	Low-level output current	V <sub>CC</sub> - 0.1	4	0.4	mA
I <sub>OS</sub>	Short-circuit output current	V <sub>CC</sub> - 0.1	4	40	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> - 0.1	3	10	mA
t <sub>PLH</sub>	from A or B (other input low)	V <sub>CC</sub> = 5V, T <sub>A</sub> = 25°C	7	23	ns
t <sub>PLL</sub>	input		0	17	ns
t <sub>PHL</sub>	from A or B (other input high)	C <sub>L</sub> = 50 pF, R <sub>L</sub> = 2kΩ	20	30	ns
t <sub>PHL</sub>	input		2	22	ns

Pin Assignments (Top View)



positive logic: Y = A ⊕ B = ZB - AB

Function Table

INPUTS		OUTPUT
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = HIGH level, L = LOW level

NOTE: I<sub>CC</sub> is measured with the inputs grounded and the outputs open.

\* For conditions shown as MIN. or MAX. use the appropriate value specified under recommended operating conditions for the applicable type.  
 † All typical values are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.  
 ‡ Not more than one output should be shorted at a time.  
 § t<sub>PLH</sub> - Propagation delay time, low-to-high output.  
 ¶ t<sub>PHL</sub> - Propagation delay time, high-to-low output.

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของบริษัทสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54153 74153 Dual 4-Line-to-1-Line Data Selector Multiplexer

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL							
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package					
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF				
PHILIP	SN54S153	J	J	W					SN54LS153	J	J	W	SN54153	J	J	W	SN54L153	J	J	W				
	SN74S153	J	J	W					SN74LS153	J	J	W	SN74153	J	J	W	SN74L153	J	J	W				
	SN74S153	J	J	W					SN74LS153	J	J	W	SN74153	J	J	W	SN74L153	J	J	W				
MOTOROLA																								
NSC	DM54S153	J	J	W					DM54LS153	J	J	W	DM54153	J	J	W	DM54L153	J	J	W				
PHILIPS																								
SIGNETICS	S54S153	J	J	W									S54153	J	J	W	S54L153	J	J	W				
	S74S153	J	J	W					S74LS153	J	J	W	S74153	J	J	W	S74L153	J	J	W				
SIEMENS																								
FUJITSU																								
HTACHI	HC74S153	P							HC74LS153	P			HC74153	P			HC74L153	P						
WATSON	MS54S153	P							MS54LS153	P			MS54153	P			MS54L153	P						
NEC																								
AMD	A54S153								A54LS153				A54153				A54L153							

Electrical Characteristics SN54LS153 SN74LS153

Absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	7V	Operating frequency	SN54LS	55%	0% to 125%
Output voltage	7V	Temperature range	SN74LS	0%	to 70%
		Storage temperature range		-55%	to 150%

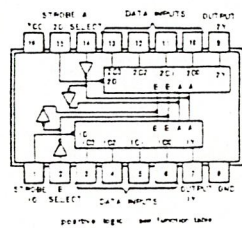
recommended operating conditions

	SN54LS153		SN74LS153		UNIT
	MIN	MAX	MIN	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5.5	4.75	5.25	V
Output current, I <sub>OL</sub>	-400		-400		mA
Input current, I <sub>I</sub>	4		8		mA
Operating temperature, T <sub>A</sub>	-55	125	0	70	°C

electrical characteristics over recommend operating free-air temperature range

PARAMETER*	TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
High-level input voltage		2			V
Low-level input voltage				0.8	V
Input clamp voltage	V <sub>CC</sub> = MIN, V <sub>I</sub> = 15mA			-1.5	V
High-level output voltage	V <sub>CC</sub> = MIN, V <sub>I</sub> = 2V, V <sub>OL</sub> = 0.8V, I <sub>OL</sub> = -400µA	2.7	3.4		V
Low-level output voltage	V <sub>CC</sub> = MIN, V <sub>I</sub> = 2V, V <sub>OL</sub> = 0.8V, I <sub>OL</sub> = 1mA	0.35	0.5		V
Input current at maximum input voltage	V <sub>CC</sub> = MAX, V <sub>I</sub> = 7V		0.1		mA
High-level input current	V <sub>CC</sub> = MAX, V <sub>I</sub> = 2.7V		20		µA
Low-level input current	V <sub>CC</sub> = MAX, V <sub>I</sub> = 0.4V		-0.4		mA
Short-circuit output current*	V <sub>CC</sub> = MAX	SN54LS	-20	-100	mA
		SN74LS	-20	-100	mA
Supply current, output low	V <sub>CC</sub> = MAX, See Note	SN54LS	6.2	10	mA
		SN74LS	6.2	10	mA
t <sub>PLH</sub> from Data to output Y	V <sub>CC</sub> = 5V, T <sub>A</sub> = 25°C		10	15	ns
t <sub>PLL</sub> from Select to output Y	C <sub>L</sub> = 30pF, R <sub>L</sub> = 2kΩ		19	29	ns
t <sub>PL</sub> from Strobe to output Y			16	24	ns
			21	32	ns

Pin Assignment (Top View)



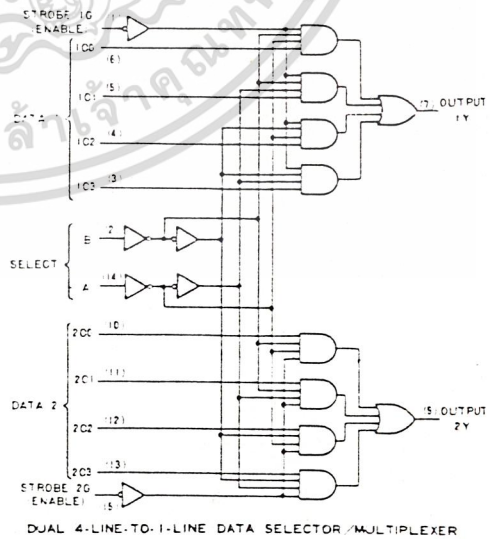
Function Table

153, 15153, 1LS153, 1L153

SELECT INPUTS	DATA INPUTS				STROBE	OUTPUT
B A	C0	C1	C2	C3	G	Y
X X	X	X	X	X	H	L
L L	L	X	X	X	L	L
L L	H	X	X	X	L	H
L L	X	L	X	X	L	L
L L	X	X	L	X	L	H
L L	X	X	X	L	L	L
L L	X	X	X	H	L	L
L L	X	X	X	X	L	H
H H	X	X	X	H	L	L

Select inputs A and B are common to both sections.  
H = high level, L = low level, X = irrelevant

Functional Block Diagram



NOTE: t<sub>PLL</sub> is measured with the outputs open and all inputs grounded

\* Conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.  
 † Typical values are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.  
 ‡ Not more than one output should be shorted at a time.  
 § t<sub>PLH</sub> propagator delay time, low-to-high-level output.  
 † t<sub>PLL</sub> propagator delay time, high-to-low-level output.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54161 / 74161 Synchronous 4-Bit Binary Counter with Direct Clear

	Schottky TTL			High-Speed TTL			Low-Power Schottky TTL			Standard TTL			Low-Power TTL		
	Device Type	Package		Device Type	Package		Device Type	Package		Device Type	Package		Device Type	Package	
		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.							SN54LS161	J	N	W	SN74LS161	J	N	W	
FAIRCHILD							SN74LS161	J	N	W	SN74LS161	J	N	W	
MOTOROLA							74ALS161	DJ	FJ	FJ	74S161	DJ	FJ	FJ	
N.S.C.							SN74LS161	J	N	W	DM74LS161A				
PHILIPS							74LS161				74LS161				
SIGNETICS							74LS161				SS4161	F	E	W	
SIEMENS											74LS161				
FUJITSU							74LS161								
HITACHI							74LS161				74LS161				
MITSUBISHI							74LS161				MS54161				
NEC							74LS161				74LS161				
AMD							74LS161				74LS161				

Electrical Characteristics SN54LS161 SN74LS161

absolute maximum ratings over operating free-air temperature range

Supply voltage V <sub>CC</sub>	5 V	Operating temperature	SN54LS161	-55°C to 125°C
Input voltage	5 V	Temperature range	SN74LS161	0°C to 70°C
		Storage temperature range		-55°C to 150°C

recommended operating conditions

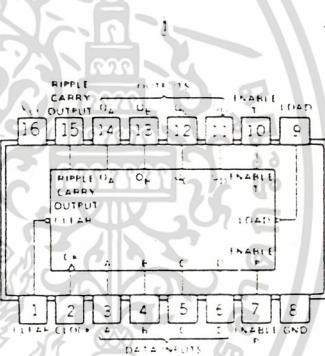
	SN54LS161			SN74LS161			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	V
High-level output current I <sub>OH</sub>			400			400	mA
Low-level output current I <sub>OL</sub>			4			8	mA
Input clock frequency f <sub>CLK</sub>	0	25	0	25	0	25	MHz
Width of clock pulse T <sub>CLK</sub>	75		25			25	ns
Width of clock period T <sub>CLKP</sub>	20		20			20	ns
Setup time t <sub>setup</sub>	Enable A, B, C, D	20		20		20	ns
	Enable P, T	20		20		20	ns
	Clear	20		20		20	ns
Hold time of any input t <sub>hold</sub>	0		0			0	ns
Operating free-air temperature T <sub>a</sub>	55		75			70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS*	MIN	TYP†	MAX	UNIT	
V <sub>OH</sub>	High-level output voltage			0.8	V	
V <sub>OL</sub>	Low-level output voltage			0.15	V	
V <sub>IH</sub>	High-level input voltage	V <sub>CC</sub> MIN	1.5	5	V	
V <sub>IL</sub>	Low-level input voltage	V <sub>CC</sub> MIN	0.5	1.5	V	
I <sub>OH</sub>	High-level output current	V <sub>CC</sub> = 5V, I <sub>OL</sub> = 400µA	-1	4	mA	
I <sub>OL</sub>	Low-level output current	V <sub>CC</sub> = 5V, I <sub>OH</sub> = 8µA	0.25	0.5	mA	
I <sub>OH</sub>	High-level input current	Load clock enable††		40	µA	
I <sub>OH</sub>	High-level input current	Other inputs		20	µA	
I <sub>OL</sub>	Low-level input current	Load clock enable††		0.8	µA	
I <sub>OL</sub>	Low-level input current	Other inputs		0.4	µA	
I <sub>CC</sub>	Enable clock enable output	V <sub>CC</sub> = MAX	100	200	µA	
I <sub>CC</sub>	Supply current, all outputs high	V <sub>CC</sub> = MAX	SN54LS	8	3	mA
I <sub>CC</sub>	Supply current, all outputs low	V <sub>CC</sub> = MAX	SN74LS	8	3	mA
f <sub>CLK</sub>	Maximum clock frequency		25	30	ns	
t <sub>PLH</sub>	from Clock to output		20	35	ns	
t <sub>PLL</sub>	from Clock to output		8	35	ns	
t <sub>PHL</sub>	from Clock to output		1	24	ns	
t <sub>PHL</sub>	to output Any Q	V <sub>CC</sub> = 5V, C <sub>L</sub> = 150pF	8	27	ns	
t <sub>PHL</sub>	to output Any Q		3	24	ns	
t <sub>PHL</sub>	to output Any Q		8	27	ns	
t <sub>PHL</sub>	to output Any Q		5	4	ns	
t <sub>PHL</sub>	to output Any Q		5	4	ns	
t <sub>PHL</sub>	from Clear to output Any Q		20	28	ns	

\* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
 † All typical values are at V<sub>CC</sub> = 5V, T<sub>a</sub> = 25°C.  
 †† Not more than one output should be shorted at a time.  
 ‡ t<sub>PHL</sub> propagation delay time, low-to-high-level output.  
 ††† t<sub>PHL</sub> propagation delay time, high-to-low-level output.

Pin Assignments (Top View)

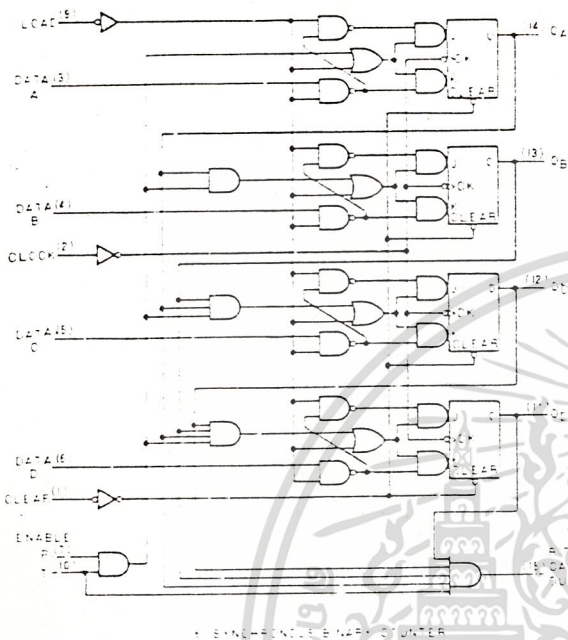


- NOTES
- This is the voltage between the emitters of a multiplexer transistor. For most circuits, this rating applies between the count enable inputs P and T.
  - I<sub>CC</sub> is measured with the load input high then again with the load input low with all other inputs high and all outputs open.
  - I<sub>CC</sub> is measured with the clock input high then again with the clock input low with all other inputs low and all outputs open.
  - Propagation delay for clearing is measured from the clear input to the 161.

CONTINUED ON NEXT PAGE

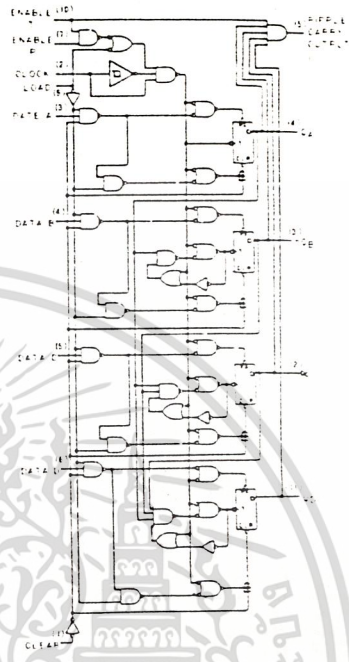
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



74161 SYNCHRONOUS BINARY COUNTER

Functional Block Diagram

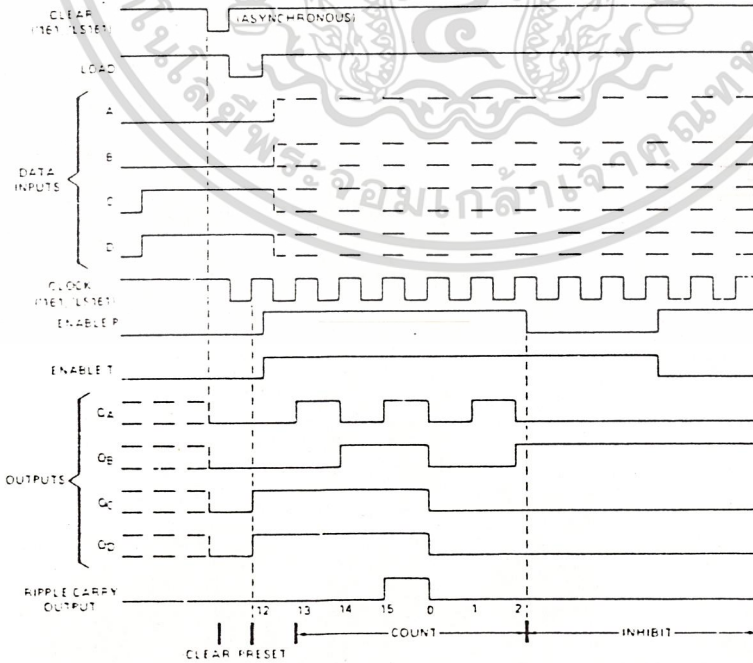


LS161 SYNCHRONOUS BINARY COUNTER

Typical clear, preset, count, and inhibit sequences

Illustrated below is the following sequence

1. Clear outputs to zero
2. Preset to binary twelve
3. Count to thirteen, fourteen, fifteen, zero, one, and two
4. Inhibit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL				
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF	
T.I.																					
FAIRCHILD																					
MOTOROLA																					
N.S.C.																					
PHILIPS																					
SIGNETICS																					
SIEMENS																					
FUJITSU																					
HITACHI																					
MITSUBISHI																					
NEC																					
TOSHIBA																					
AMD																					

**Electrical Characteristics SN54LS164 SN74LS164**

absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	7 V	Operating temperature, SN54	-55°C to 125°C
Input voltage	7 V	temperature range, SN74	0°C to 70°C
		Storage temperature range	-65°C to 150°C

recommended operating conditions

	SN54LS164			SN74LS164			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I <sub>OH</sub>			-400			-400	μA
Low-level output current, I <sub>OL</sub>			4			8	mA
Clock frequency, f <sub>CLK</sub>	0		25	0		25	MHz
Width of clock or clear input pulse, t <sub>p</sub>		20			20		ns
Data setup time, t <sub>setup</sub>		15			15		ns
Data hold time, t <sub>hold</sub>		5			5		ns
Operating free-air temperature, T <sub>A</sub>	-55		75	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS 1	MIN	TYP 2	MAX	UNIT	
V <sub>IH</sub>	High-level input voltage		2		V	
V <sub>IL</sub>	Low-level input voltage			0.8	V	
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> = MIN, I <sub>I</sub> = 8 mA		-1.5	V	
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> = MIN, I <sub>OH</sub> = 2 mA, V <sub>IL</sub> = 0.8 V, I <sub>OL</sub> = -400 μA	2.7	3.5	V	
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> = MIN, I <sub>OH</sub> = 2 mA, V <sub>IL</sub> = 0.8 V, I <sub>OL</sub> = 8 mA	0.35	0.5	V	
I <sub>I</sub>	Input current, maximum	V <sub>CC</sub> = MAX, V <sub>I</sub> = 7 V		0	μA	
I <sub>IH</sub>	High-level input current	V <sub>CC</sub> = MAX, V <sub>I</sub> = 7 V		20	μA	
I <sub>IL</sub>	Low-level input current	V <sub>CC</sub> = MAX, V <sub>I</sub> = 0.4 V		0.4	mA	
I <sub>OS</sub>	Short-circuit output current*	V <sub>CC</sub> = MAX, SN54LS - 20, SN74LS - 20		00	mA	
I <sub>CC</sub>	Supply current	V <sub>CC</sub> = MAX, See Note 1		6	mA	
f <sub>max</sub>	Maximum clock frequency	C <sub>L</sub> = 150 pF	25	36	MHz	
t <sub>PHL</sub>	Propagation delay time, high-to-low level, Q outputs from clear input	V <sub>CC</sub> = 5 V, T <sub>A</sub> = 25°C, R <sub>L</sub> = 2 kΩ, C <sub>L</sub> = 150 pF		24	36	ns
t <sub>PLH</sub>	Propagation delay time, low-to-high level, Q outputs from clock input	C <sub>L</sub> = 150 pF		17	27	ns
t <sub>HPL</sub>	Propagation delay time, high-to-low level, Q outputs from clock input	C <sub>L</sub> = 150 pF		21	32	ns

Pin Assignment (Top View)

Positive logic: see function table

**Function Table**

164, LS164, L164 (see Note 2)

CLEAR	INPUTS		OUTPUTS		
	CLK	DATA	QA	QB	QH
L	X	X	X	L	L
L	L	X	X	C <sub>A0</sub>	C <sub>B0</sub>
H	X	H	H	C <sub>A1</sub>	C <sub>B1</sub>
H	X	L	X	C <sub>A0</sub>	C <sub>B0</sub>
H	X	X	L	C <sub>A1</sub>	C <sub>B1</sub>

**Functional Block Diagram**

164, LS164, L164 8-BIT PARALLEL-OUT SHIFT REGISTER

**Typical clear, shift, and clear sequences**

**NOTES**

- I<sub>CC</sub> is measured with outputs open, shift inputs grounded, and a momentary ground, then 4.5 V, applied to clear.
- H = high level (steady state), L = low level (steady state), X = irrelevant (any input, including transitions), \* = transition from low to high level.
- C<sub>A0</sub>, C<sub>B0</sub>, C<sub>B1</sub> are the level of Q<sub>A</sub>, Q<sub>B</sub>, or Q<sub>H</sub>, respectively, before the indicated steady-state input conditions were established.
- C<sub>A1</sub>, C<sub>B1</sub> are the level of Q<sub>A</sub> or Q<sub>B</sub> before the most recent \* transition of the clock; indicates a one-bit shift.

\*For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.  
 †All typical values are at V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C.  
 ‡Not more than 10 outputs should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้