การเข้ารหัสสัญญาณเอเอ็ม สเตริโอ

AM STEREO ENCODER

โดย

นายสุชาติ ช่างทำ	36012079
นายสุรชัย นภากร	36012080
นายอนันต์ หลิมวงศ์	36012083

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมบัณฑิต
สาขาเทคโนโลยีโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

034777

หัวข้อปริญญานิพนธ์	การเข้ารหัสเอเอ็ม สเตริโอ (AM-STEREO ENCODER)		
ชื่อนักศึกษา	นายสุชาติ ช่างทำ	เลขประจำตัว	36012079
	นายสุรชัย นภากร	เลขประจำตัว	36012080
	นายอนันต์ หลิมวงศ์	เลขประจำตัว	36012083
อาจารย์ที่ปรึกษา	อ.กฤดากร กล่อมการ		
ภาควิชา	เทคนิคอุตสาหกรรม		
ปีการศึกษา	2537		

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับเป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ
( )

.....กรรมการ
( )

.....กรรมการ
( )

.....กรรมการ
( )

..... กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
บทที่ 1 วิทยุกระจายเสียงระบบ เอ เอ็ม สเตริโอ	
บทนำ	1
1.1 การเปรียบเทียบระหว่างระบบ เอ เอ็ม สเตริโอกับระบบ เอฟ เอ็ม สเตริโอ	1
1.2 การกระจายเสียงในระบบ เอ เอ็ม	3
1.3 ระบบ เอ เอ็ม สเตริโอ ของ HARRIS	4
1.4 ระบบ เอ เอ็ม สเตริโอ ของ MOTORPLA	5
บทที่ 2 ทฤษฎีและหลักการ	
2.1 หลักการพื้นฐานในการกำเนิดสัญญาณสเตริโอ	9
2.2 การเข้ารหัส C-QUAM	10
บทที่ 3 การคำนวณและการก่อสร้าง	
3.1 วงจรอินพุทบาลานซ์เอ้าท์พุทไม่บาลานซ์	22
3.2 วงจรซดเชยความถี่สูง	23
3.3 วงจรซดเชยความถี่ต่ำ	24
3.4 วงจรสร้างสัญญาณ L+R และ L-R	26
3.5 วงจรกำเนิดสัญญาณไพลอทโทน 25 Hz	27
3.6 วงจร BALANCE MODULATOR	28
3.7 วงจร VOLTAGE CONTROL OSCILATOR	29
3.8 วงจรสังเคราะห์ความถี่	30
3.9 วงจร PHASE SHIFT 90 องศา	33
3.10 วงจร BANDPASS FILTER	34
3.11 วงจร LIMITER	36
3.12 วงจรจ่ายไฟ	36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 เอเอ็มสเตริโอมอนิเตอร์ ไอซีดีโค้ดสัญญาณและ
วงจรดีโค้ดสัญญาณเอเอ็มสเตริโอ
4.1 เอเอ็มสเตริโอมอนิเตอร์ 38
4.2 ไอซีดีโค้ดสัญญาณ 38
4.3 MC 13020P ดีโค้ดเดอร์ 40
4.3 วงจรดีโค้ดที่สมบูรณ์ 43

บทที่ 5 การทดลองและผลการทดลอง 45

บทที่ 6 บทสรุปและวิจารณ์ 49

เอกสารอ้างอิง

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอเอ็มสเตริโอ เอ็นโค้ดเดอร์

โดย	นายสุชาติ ช่างทำ	36012079
	นายสุรชัย นภากร	36012080
	นายอนันต์ หลิมวงศ์	36012083

อาจารย์ที่ปรึกษา อาจารย์ กฤดากร กล่อมการ

ปีการศึกษา 2537

บทคัดย่อ

โครงงานนี้ เป็นการนำเสนอ การออกแบบ และการสร้างเครื่องเข้าสัญญาณ สเตริโอ สำหรับการส่งกระจายเสียงแบบ AM(AM STEREO CODER) โดยในการสร้างจะ สร้างในส่วนที่เรียกว่าเป็น EXCITER คือ ส่วนสร้างสัญญาณคลื่นพาห์ ส่วนการเข้ารหัส สัญญาณสเตริโอ จะสร้างตามมาตราฐานของ C-QUAM (COMPATIBLE QUADRATURE AMPLITUDE MODULATION) ซึ่งเป็นการคิดค้นระบบของบริษัทโมโตรอล่า ซึ่งในปัจจุบันเป็นระบบที่แพร่หลายในอเมริกา และยุโรป รวมทั้งในประเทศไทยด้วย ในปริญญานิพนธ์นี้ยังได้แสดงการสร้างเครื่องรับสัญญาณ AM STEREO ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AM-STEREO ENCODER

BY

MR. SUCHAT	CHANGTAM	36012079
MR. SURACHAI	NAPAKORN	36012080
MR. ANAN	HLIMVONG	36012083

ADVISER MR. KITDAKORN KLOMKARN

YEAR 1995

ABSTRACT

This thesis presents the design and construction of a stereo coder for a.m. broadcasting system . In this thesis an exciter which been construction.

A well know of a.m. stereo coder that developed by motorola called c-quam has been use for principle in this thesis.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

กลุ่มผู้จัดทำขอขอบพระคุณท่านอาจารย์ที่ปรึกษา อาจารย์ กฤดากร กล่อมการ ซึ่งได้ให้คำปรึกษาและสนับสนุนในการทำโครงงานนี้เป็นอย่างดี ขอบคุณเพื่อนๆ ทุกคนที่ให้การสนับสนุนและช่วยให้กำลังใจเสมอมา และขอขอบคุณเจ้าหน้าที่ห้องสมุดภาคเทคนิคอุตสาหกรรมทุกท่าน ที่ให้ความอนุเคราะห์ในการจัดทำปริญญานิพนธ์ชุดนี้เป็นอย่างดี

ท้ายนี้ ผู้จัดทำใคร่ขอกราบขอบพระคุณ บิดา มารดา ซึ่งสนับสนุนในด้านการเงินและให้กำลังใจแก่ผู้จัดทำเสมอมาจนสำเร็จการศึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
วิทยุกระจายเสียง ระบบ เอ.เอ็ม สเตริโอ

บทนำ

ในปี ค.ศ. 1981 องค์การ FCC (FEDERAL COMMUNICATION COMMISSION) ซึ่งเป็นองค์การการควบคุมมาตราฐานทางด้านการสื่อสารของประเทศสหรัฐอเมริกา ได้อนุมัติให้สามารถนำระบบเอ.เอ็ม.สเตริโอ ออกอากาศได้เป็นทางการ ตามรายงานผลสรุปการประชุมของ FCC นั้นมิได้กำหนดมาตราฐานของระบบแต่อย่างใด แต่ FCC จะให้ตลาดเป็นตัวคัดเลือกระบบกันเอง ซึ่งผลปรากฏว่าทั้งผู้ออกอากาศและผู้ผลิตเครื่องรับต่างก็รอกันเอง ไม่พัฒนาระบบทำให้อุปกรณ์เครื่องมือเครื่องใช้ ทางด้านนี้พัฒนาไปอย่างช้าๆ

แนวความคิดในการส่งวิทยุระบบ เอ.เอ็ม.สเตริโอ ไม่ได้เป็นเรื่องใหม่เลยมีการค้นคว้าและทดลองออกอากาศมาตั้งแต่ทศวรรษ 1950 ในประเทศอเมริการะบบการส่งวิทยุแบบ เอ.เอ็ม. เป็นวิธีการส่งที่มีประสิทธิภาพแบบหนึ่งซึ่งจัดไว้ให้สามารถส่งข่าวสารรายละเอียดได้มากที่สุดโดยใช้สเปคตรัมหรือแบนด์วิทน้อยที่สุด

การมอดูเลทในเครื่องส่งวิทยุระบบ เอ.เอ็ม.สเตริโอ มีอยู่ 3 ลักษณะซึ่งต่างกันแต่ให้ผลทางด้านคุณภาพเสียงที่ดีเหมือนๆ กัน

แบบแรก การมอดูเลท 2 ไซด์แบนอิสระต่อกัน โดยสัญญาณทางด้านขวามอดูเลทที่ไซด์แบบหนึ่ง ส่วนอีกไซด์แบนหนึ่งเป็นของสัญญาณทางด้านซ้าย

แบบที่สอง จะใช้วิธีการ ANGLE MODULATION ในการส่งสัญญาณ L-R และใช้วิธี AMPLITUDE MODULATION ในการส่งสัญญาณ L+R

แบบที่สาม จะทำการมอดูเลทสัญญาณพาหะหลักของ เอ.เอ็ม. กับสัญญาณ L+R และใช้วิธีมอดูเลทแบบ QUARDRATURE รวมสัญญาณ L-R เข้าด้วยกัน โดยสามารถแยกสัญญาณ L+R และ L-R กลับออกมาได้ที่เครื่องรับ

1.1 การเปรียบเทียบระบบ เอ.เอ็ม.สเตริโอ กับระบบ เอฟ.เอ็ม.สเตริโอ

ก่อนที่จะกล่าวถึงระบบ เอ.เอ็ม.สเตริโอ รูปแบบต่างๆ เราจะพิจารณาถึงข้อดีข้อเสียของระบบ เอ.เอ็ม.สเตริโอ เทียบกับระบบ เอฟ.เอ็ม.สเตริโอ กันก่อน

ข้อดีอันดับแรกของระบบ เอฟ.เอ็ม. คือ สัญญาณรบกวนที่ภาครับของวิทยุจะน้อยและปัญหาเกี่ยวกับกำลังของสัญญาณรบกวนที่จะเพิ่มขึ้นในภาครับของระบบ เอฟ.เอ็ม. โดยปกติแล้วจะถูกจำกัดหรือลดให้น้อยที่สุดด้วยการพรี-เอ็มฟาร์ซีส/ดี-เอ็มฟาร์ซีสอย่างไรก็ตามระบบเอฟ.เอ็มสเตริโอนี้สัญญาณ สเตริโอ จะได้รับการพรี-เอ็มฟาร์ซีส ก่อนที่จะไปทำการมอดูเลท แบบ DSB-SC (DOUBLE SIDEBANDSUPRESS CARRIER) เพื่อหลีกเลี่ยงการ OVER-MODULATION ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่งผลอันนี้เองทำให้ S/N ของระบบเอฟ.เอ็ม.สเตริโอ ลดลงเมื่อเทียบกับ ระบบเอฟ.เอ็ม. แบบโมโน

เนื่องจากการมอดูเลทในเครื่องส่งวิทยุระบบเอ.เอ็ม.ถูกจำกัดด้วยเนกาตีฟพีค (NEGATIVE PEAK) เพื่อหลีกเลี่ยงการ OVER MODULATION ดังนั้น สถานีวิทยุระบบเอ.เอ็ม. หลายแห่งจึงใช้วงจรกดสัญญาณเสียง เพื่อที่จะกดสัญญาณเนกาตีฟพีค นี้ไว้ก่อนที่จะมีการมอดูเลทผ่านเครื่องส่ง การกระทำเช่นนี้จะทำให้การมอดูเลท ที่ POSITIVE PEAKS สามารถเพิ่มขึ้นถึง 125% ซึ่งจะส่งผลให้สัญญาณที่ดีเทคได้ที่เครื่องรับจะดังกว่าเมื่อเทียบกับระดับสัญญาณรบกวน

ในประเทศอเมริกานั้น ประมาณว่าตลาดของเครื่องรับวิทยุระบบ เอ.เอ็ม.สเตริโอนี้ อยู่ที่รถยนต์หรือยานยนต์ต่างๆ ถึง 80%

ระบบเอ.เอ็ม.สเตริโอนั้น ถ้าเปรียบเทียบในเรื่องของผลตอบสนองความถี่และ S/N จะพบว่าด้อยกว่าระบบเอฟ.เอ็ม.สเตริโอ แต่พอจะได้รับการยอมรับเมื่อเทียบกันในเรื่องสัญญาณขาดหาย (FADING) ซึ่งระบบเอ.เอ็ม. เกิดน้อยกว่าระบบเอฟ.เอ็ม และการส่งกระจายเสียงระบบเอเอ็มยังมีข้อดีอยู่บ้างก็คือย่านความถี่ที่ใช้ในการส่งกระจายเสียงอยู่ในย่านความถี่กลาง(MEDIUM FREQUENCY,MF) ซึ่งความถี่ย่านนี้ สามารถเดินทางโค้งไปตามผิวโลกได้เป็นระยะทางไกลๆ ซึ่งเหมาะสำหรับผู้อยู่พื้นที่ห่างไกลที่รับคลื่นเอฟเอ็มไม่ได้อย่างไรก็ดี ยังมีคำถามว่า จะคุ้มค่าหรือที่จะพัฒนาระบบเอเอ็มเดิมที่ เป็นระบบโมโน ให้เป็น เอเอ็มสเตริโอ ทั้งๆ ที่ระบบเอเอ็มมีคุณภาพเสียงที่ค่อนข้างแย่อยู่แล้ว จากคำถามนี้ถ้าเราลองพิจารณาให้ดีแล้ว เราจะเห็นว่าเครื่องรับวิทยุเอเอ็มที่มีขายอยู่ตามท้องตลาดนั้น มีระบบการรับฟังที่ยังไม่ดีเท่าที่ควร ดังนั้นถ้าเราพัฒนาระบบเอเอ็มสเตริโอขึ้นมาแล้วแต่ผู้ผลิตเครื่องรับยัง ไม่พัฒนาระบบเครื่องรับของตนให้ดีขึ้น ก็เป็นไปไม่ได้ที่ระบบเอเอ็มสเตริโอจะให้คุณภาพเสียงที่ดีขึ้น นั่นหมายความว่าถ้าหากมีการส่งสัญญาณแบบ เอเอ็มสเตริโอแล้ว ทางด้านรับก็ต้องมีการปรับปรุงการรับฟังของตนให้ดีขึ้นด้วย จึงจะได้รับการฟังที่สมบูรณ์ยิ่งขึ้น

เนื่องจากสัญญาณจากแต่ละทิศทางมีเฟสที่แตกต่างกัน ผลอันนี้จะยิ่งเลวร้ายมากขึ้นถ้าหากสถานีส่งทำการกระจายคลื่นในลักษณะโพลาไรซ์แนวนอน (HORIZONTAL POLARIZATION) ทำให้เสาอากาศรถยนต์ซึ่งเป็นแนวตั้งรับคลื่นตรงได้อ่อนกว่า สถานีเอฟเอ็มส่วนใหญ่จึงแก้ไขโดยส่งคลื่นที่มี โพลาไรซ์ทั้ง 2 แนว คือ โพลาไรซ์แนวตั้งเอาใจผู้ฟังที่เป็นนักขับรถ และ โพลาไลซ์แนวนอนสำหรับผู้ฟังตามบ้านสำหรับเมืองไทยแล้วไม่ค่อยคำนึงเรื่องนี้กันเท่าใด อีกทั้งเครื่องรับวิทยุระบบ เอ.เอ็ม.สเตริโอมีวงจรง่ายกว่า ราคาถูกกว่า และมีเสถียรภาพที่ดีกว่า เครื่องรับวิทยุระบบ เอฟ.เอ็ม.สเตริโอ เหตุผลอันหนึ่งที่จะทำให้สถานีวิทยุระบบเอ.เอ็ม. สามารถแข่งขันกับระบบ เอฟ.เอ็ม.ได้ก็ด้วยการพัฒนาคุณภาพทางด้านการให้บริการระบบเอ.เอ็ม แม้ว่าระบบ เอ.เอ็ม. จะมีระดับสัญญาณรบกวนสูงกว่าระบบ เอฟ.เอ็ม. แต่คุณภาพของเสียงมันถูกจำกัดด้วยเครื่องรับวิทยุ สถานีวิทยุ เอ.เอ็ม เกือบทั้งหมด ส่งสัญญาณส่งเสียงภายในช่วง10 KH_z เท่านั้น แท้ที่จริงแล้ววิทยุทั้งหมดได้ใช้ระบบ ENVELOPE DETECTOR นั้น โดยปกติแนวโน้มที่จะทำให้เกิดความเพี้ยนต่างๆ ขึ้นอยู่แล้ว และรวมทั้งผลกระทบอื่นที่เราไม่ต้องการระบบวิทยุ เอ.เอ็ม สเตอริโอ สามารถพัฒนาได้มากโดยการขยายแบนด์วิดของสัญญาณเพิ่มขึ้น 15 KH_z เพื่อให้ได้การตอบสนองของสัญญาณที่ดีกว่าแต่แบนด์วิดท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กว้างก็ยิ่งได้คุณภาพที่แย่ลงหากไม่หลีกเลี่ยงหรือป้องกันสัญญาณรบกวนดีพอ (หลอดฟูออเรสเซนต์ยิ่งต้องหลีกให้ไกล)

หากต้องการคุณภาพเสียงที่ดีจากเครื่องรับเอเอ็มชนิแบนด์กว้างก็จำเป็นต้องใช้สายอากาศชนิดลูปหรือชนิดแท่งที่มีการหักล้างสัญญาณรบกวน

1.2 การกระจายเสียงในระบบ AM

การกระจายเสียงในระบบเอเอ็มกระทำมานานแล้ว วันแรกที่เปิดส่งออกอากาศ คือ วันที่ 25 กุมภาพันธ์ พ.ศ. 2473 การกระจายเสียงในระบบเอเอ็มนั้นมีชื่อเต็มคือแอมปลิจูดโมดูเลชั่น (AMPLITUDE MODULATION) คือ เอาเสียงมาควบคุมความสูงหรือแอมปิจูดของคลื่นวิทยุที่ต้องทำดังนี้เพราะคลื่น เสียงซึ่งมีความถี่ระหว่าง 20 - 20000 HZ ไม่สามารถกระจายไปในอากาศได้ไกลและไม่สามารถเลือกสถานีได้โดยวิธีง่ายๆ จึงต้องนำไปรวมกับสัญญาณความถี่วิทยุซึ่งเป็นความถี่สูง และกระจายออกไปในอากาศได้ เครื่องกระจายเสียงในระบบเอเอ็มนั้นทางกฎหมายได้กำหนดให้ใช้ความถี่ตั้งแต่ 525 -1650 KH_z เครื่องส่งวิทยุกระจายเสียงระบบเอเอ็มต้องมีคุณลักษณะที่สำคัญดังนี้

1.2.1 เครื่องส่งวิทยุจะต้องใช้ผลึก (X-TAL) เป็นตัวบังคับความถี่ออกอากาศ

1.2.2 ความถี่ที่ส่งออกอากาศ ของเครื่องส่งวิทยุจะคลาดเคลื่อนจากความถี่ที่ทางกรมไปรษณีย์ โทรเลขจัดสรรให้ได้ไม่เกิน 10 HZ

1.2.3 ความกว้างของแถบความถี่คลื่นที่จำเป็นต้องใช้ (NECESSARY BANWIDTH) จะต้องไม่เกิน 20 KH_z

1.2.4 การควบคุมความแรงของความถี่แปลกปลอม (SPURIOUS EMISSONS) เครื่องส่งวิทยุจะต้องมีวงจรหรือวิธีการลดทอนกำลังส่งของ คลื่นความถี่แปลกปลอมต่างๆ เช่น คลื่นความถี่ฮาโมนิกที่ 2 เป็นต้นให้มีค่าไม่เกินจากที่กำหนดดังนี้

เครื่องส่งวิทยุที่มีกำลังส่งตั้งแต่ 50 KW ลงมาความแรงของคลื่นความถี่แปลกปลอมในส่วนที่มีกำลังสูงสุดวัดได้ที่จุดต่อเข้าสายส่งกำลังของระบบสายอากาศต้องต่ำกว่าความแรงของคลื่นความถี่มูล ของ (FUNDAMENTAL FREQUENCY) ซึ่งวัดที่จุดเดียวกันไม่น้อยกว่า 60 dB และความแรงดังกล่าวจะต้องไม่เกิน 50 mW

เครื่องส่งวิทยุที่มีกำลังส่งสูงกว่า 50 KW ความแรงของคลื่นความถี่แปลกปลอมวัดได้ที่จุดต่อเข้าสายส่งกำลังของระบบสายอากาศจะต้องต่ำกว่าความแรงของคลื่นความแรงดังกล่าวไม่ควรเกิน 50 mW

1.2.5 เครื่องมือประจำสถานีทางกบว. กำหนดให้สถานีวิทยุกระจาย เสียงทุกสถานีต้องมีเครื่องมืออย่างน้อยดังนี้

ก. โมดูเลชันโมนิเตอร์

ข. LIMITTING AMPLIFIER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค. PROGRAMMEQULIZER

ง. PROGRAMRECORDER

จ. อื่นๆ ที่จำเป็น

1.3 ระบบ A.M. STEREO ของ HARRIS

ระบบนี้สัญญาณ CHANNAL ซ้ายจะผ่านไปยัง BALANCED MIXER ซึ่งจะเลื่อนเฟสไป 15 องศา เทียบกับคลื่นพาหะดังแสดงในรูปที่ 1.3.1 ในทำนองเดียวกัน สัญญาณ CHANNAL ขวาจะไปยัง BALANCE MIXER เช่นกันแต่จะถูกเลื่อนเฟสไป 15 องศา เทียบกับคลื่นพาหะจะไปตามเฟสเซอร์ไดอะแกรมดังรูป 1.4.1 ดังนั้นสัญญาณที่ได้คือ

$$e(t) = \sqrt{[1+(I(t)+r(t)\cos 15^\circ)]^2 + [(I(t)-r(t)\sin 15^\circ)]^2}$$

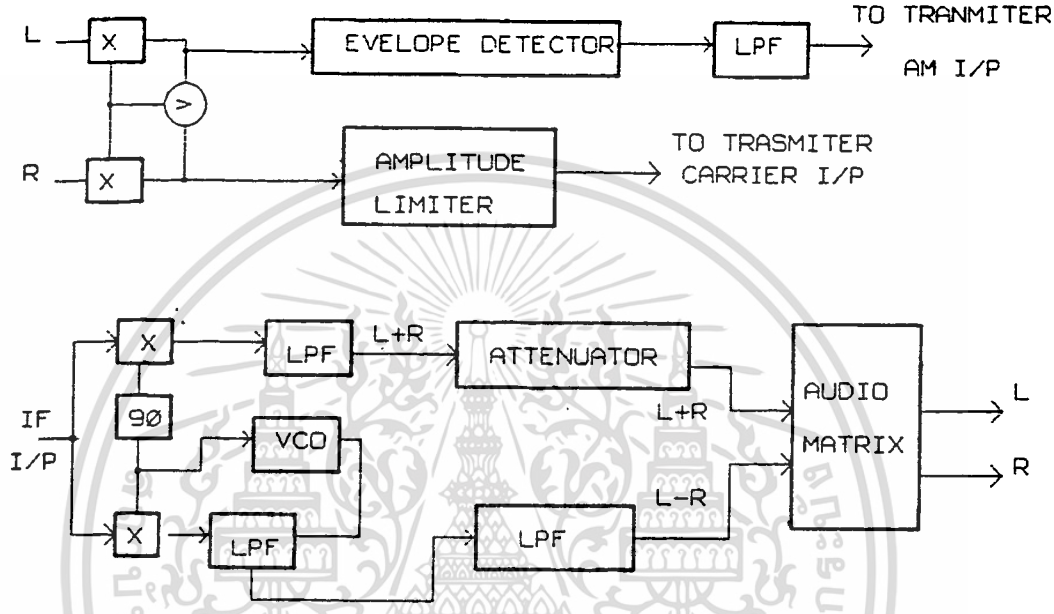
จะเห็นได้ว่าส่วนประกอบของ L-R ลดลงจะทำให้ค่า ENVELOPE DISTROTION ลดลงด้วย สัญญาณ INPHASE COMPONENT มีค่า Power Loss ต่ำคือ

$$10 \log (\cos 15^\circ) = -0.3 \text{ db.}$$

สัญญาณ QUADRATURE COMPONENT มีค่า

$$10 \log (\sin 15^\circ) = -11.7 \text{ db.}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.3.1 BLOCK DIAGRAM ของระบบ HARRIS

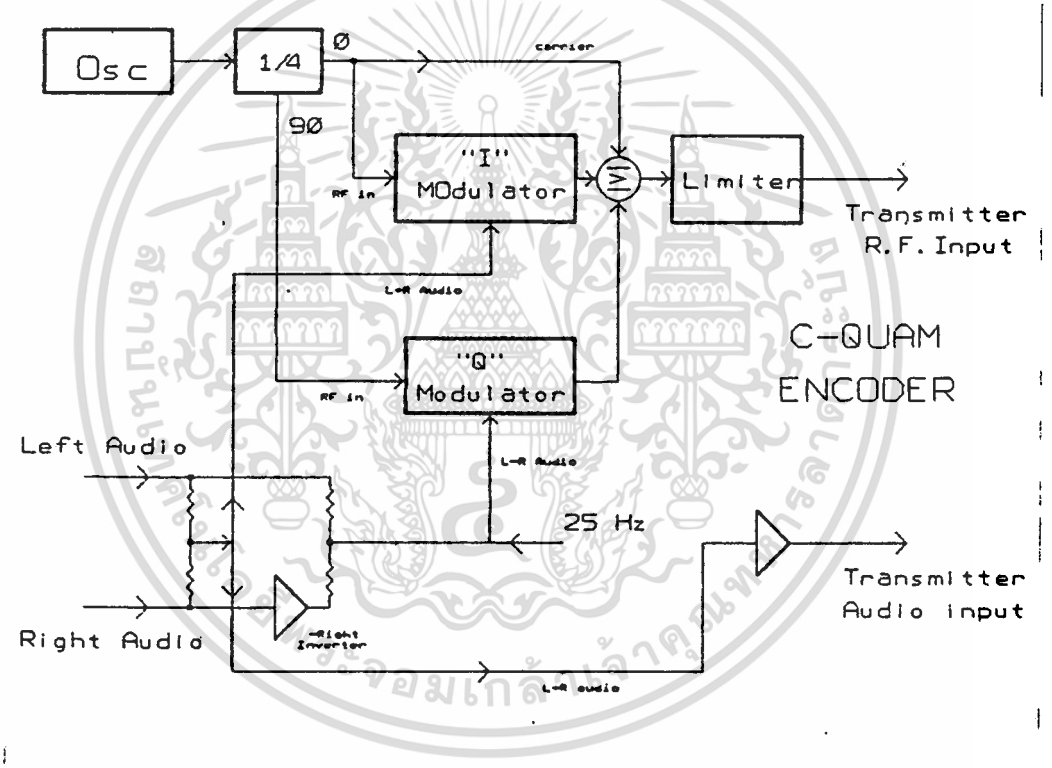
ระบบของ HARRIS เป็นระบบเดียวเท่านั้นใน 5 แบบ ที่มีวิธีมอดูเลทเป็นแบบลิเนียร์ที่สมบูรณ์แบบ และทำให้เกิด HARMONIC นอกแบนวิดน้อยกว่าอีก 4 แบบ (สังเกตว่าในบล็อกหลังของรูป 1.3.1 ทำขึ้นเพื่อให้สามารถเข้ากับเครื่องส่งแบบเดิม(โมโน)ที่มีอยู่แล้วขณะที่ ENVELOPE DETECTOR สามารถรับและดีเทคสัญญาณของระบบนี้ได้ดีเครื่องรับสัญญาณแบบสเตริโอก็มีวงจร QUADRATURE MULTI- PLEXING ที่เป็นมาตราฐาน วิธีที่ใช้ทั่วไปในวงจรดังกล่าวคือใช้ PHASE LOCKED LOOP ทั้งใน INPHASE และ QUADRATURE เพื่อดูมอดดูเลทสัญญาณ L+R,L-R ดังรูปสำหรับสัญญาณ PILOT นั้น ระบบของ HARRIS นี้ส่งสัญญาณ PILOT TONE 25 H_z ซึ่งมอดูเลทกับสัญญาณ L-R ด้วย 9% ของการมอดูเลท

1.4 ระบบ AM STEREO ของ MOTOROLA

ระบบโมโตรอล่า (MOTOROLA) ระบบนี้เป็นที่รู้จักกันในนาม C-QUAM เป็นวิธีการหนึ่งของการส่งสัญญาณสองสัญญาณไปบนสัญญาณพาห์ตัวเดียวกัน ได้เป็นคลื่นพาห์ที่ถูกมอดูเลทมีความถี่เท่ากันแต่เฟสต่างกันอยู่ 90 องศา ปัญหาที่เกิดขึ้นแก่ระบบ quadrature amplitude

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

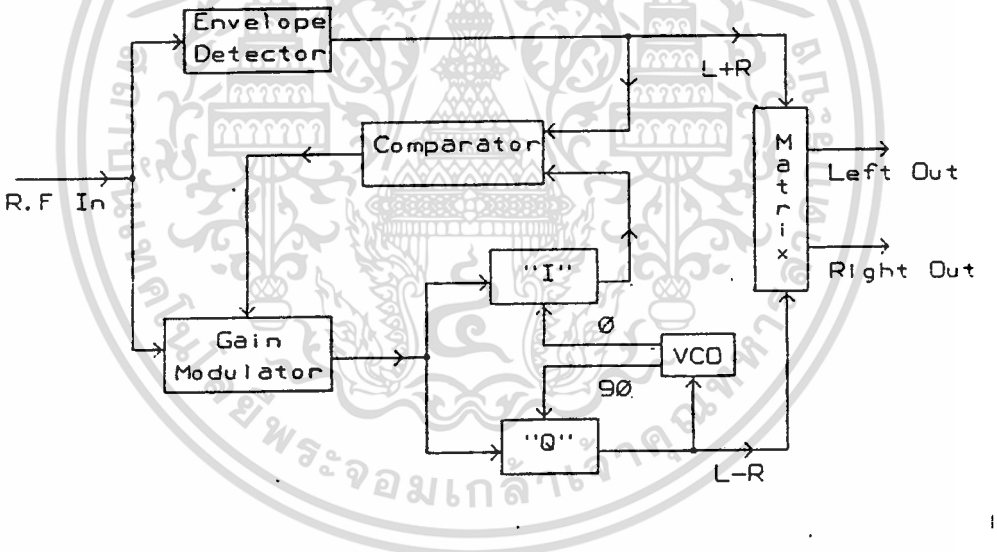
modulation แบบธรรมดาคือเมื่อนำมาประยุกต์กับย่านความถี่การกระจายเสียง เพื่อส่งระบบสเตริโอ แล้วคุณภาพของสัญญาณโมโนจะด้อยลง กล่าวคือเมื่อมีสัญญาณ (L-R) ในสัญญาณรวมมากเกินไป จะทำให้เสียงที่ออกมาจากภาคดีเทคเตอร์ ของวิทยุเอเอ็มธรรมดาจะไม่ใช่ผลบวกเชิงเส้นของญญาณ ขวาแต่จะประกอบด้วย intermod distrotion ของฮาร์โมนิกสูงๆ ของสัญญาณ เพื่อแก้ไขปัญหาดังกล่าว motorola ได้พัฒนา compatible quadrature amplitude modulation ขึ้นมาระบบของเครื่องส่งจัดในลักษณะได้ดังรูปที่ 1. 4.1



รูปที่ 1.4.1 BLOCK DIAGRAM ของ C-QUAM ENCODER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณโมโน (L+R) จะแยกออกเป็นสองส่วน ส่วนหนึ่งจะตรงไปยัง เอเอ็มมอดูเลเตอร์ ของเครื่องส่ง อีกส่วนหนึ่งจะให้มอดูเลทเข้ากับสัญญาณพาห์ ที่บาลานมอดูเลเตอร์ในเวลาเดียวกัน สัญญาณ (L-R) ก็จะถูกส่งผ่านบาลานมอดูเลเตอร์ อีกตัวหนึ่งโดยทำการมอดูเลทกับสัญญาณพาห์ตัวเดียวกันแต่ต่างเฟสกัน 90 องศา ทำให้ได้สัญญาณ pure quardature modulation ที่ต้องการ จากนั้นสัญญาณพาห์ที่มอดูเลททางขนานกับ(L+R) แล้วกับสัญญาณพาห์ที่มอดูเลทแบบ Quadrature จะรวมเข้าด้วยกันก่อนถูกฟิลเตอร์เพื่อให้ได้สัญญาณ อาร์.เอฟ. QUAM แบบธรรมดามาก่อน สัญญาณ QUAM นี้จะส่งผ่านวงจรลิมิตเตอร์เพื่อนำไซด์แบนด์ เอ.เอ็ม. บางส่วนออกไปจากนั้นทำการขยายฟิลเตอร์จนได้สัญญาณที่มีการมอดูเลททางเฟส ป้อนเข้าสู่อินพุทเครื่องส่งสัญญาณอินพุทนี้จะถูกมอดูเลทเข้ากับสัญญาณ (L+R)ในเครื่องส่งเอ.เอ็ม. มาตราฐานเพื่อให้ได้สัญญาณ C-QUAM ออกมาในส่วนของสัญญาณบอกสภาวะสเตริโอระบบของโมโตรอล่าใช้สัญญาณความถี่ 25 H_z



รูปที่ 1.4.2 BLOCK DIAGRAM ของเครื่องรับและดีโค้ดสัญญาณ C-QUAM

เครื่องรับและระบบดีโค้ดของสัญญาณส่งระบบนี้แสดงในรูป 1.4.2 สัญญาณ ไอ.เอฟ. จะป้อนเข้าสู่ Carrier level modulator และลิมิตเตอร์ สัญญาณจาก VCO จะล็อคเข้ากับสัญญาณพาห์ไอ.เอฟ. ได้สัญญาณเอ้าท์พุทไปเป็นสัญญาณอินพุทเข้าวงจรเฟสดีเทคเตอร์ร่วมกับสัญญาณจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลิมิตเตอร์ เอ้าท์พุทจากดีเฟสดีเทคเตอร์จะผ่านวงจรผ่านความถี่ต่ำได้เอ้าท์พุทไปควบคุมให้ VCO ล็อคกับสัญญาณ ไอ.เอฟ/ตลอดเวลาเอ้าท์พุทจาก VCO จะถูกทำให้เลื่อนเฟสไป 90 องศา เพื่อให้เฟสตรงกับสัญญาณอินพุท ไอ.เอฟ. แล้วป้อนเข้าสู่วงจรเฟสดีเทคเตอร์พร้อมกับสัญญาณจาก ลิมิตเตอร์ จะทำให้ได้สัญญาณ เอ้าท์พุทที่เป็นสัดส่วน หรือขึ้นอยู่กับค่า cosθ สัญญาณ cosθ ใช้ป้อนเข้าสู่ carrier level modulator ทำให้ได้สัญญาณ QUAM กลับมาที่เอ้าท์พุทจนในที่สุด สัญญาณเสียงช่องซ้าย ขวา จะถูกดีเทคออกมาด้วยซิงโครนัสดีเทคเตอร์ (บาลานมอดูเลเตอร์) จากการป้อนสัญญาณ Cos (W_c + ITT/4) เข้าไปพร้อมกับสัญญาณ QUAM ซึ่ง PROJECT ชิ้นนี้ก็ทำขึ้นจากระบบ C-QUAM ของ MOTOROLA นั่นเอง

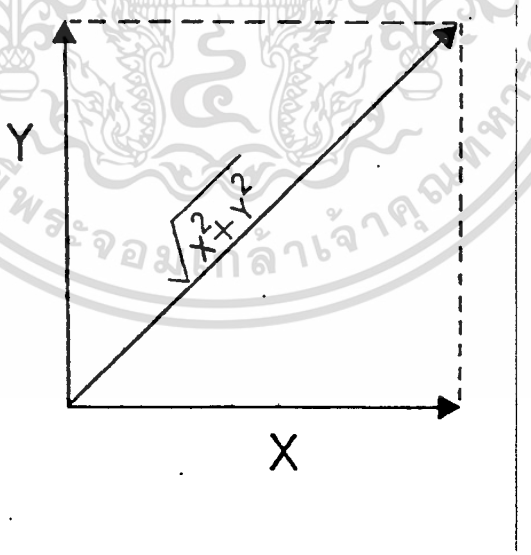
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ

2.1 หลักการพื้นฐานในการกำเนิดสัญญาณสเตริโอ

โดยทั่วไปแล้วทางด้านส่งจะนิยมส่งสัญญาณทางด้านซ้ายบวกกับสัญญาณทางด้านขวาแทนด้วย L+R และสัญญาณทางด้านซ้ายด้วยสัญญาณทางด้านขวาแทนด้วย L-R ออกอากาศ แล้วทางด้านรับก็จะสร้างสัญญาณซ้าย (Left,L) และขวา (Right,R) ออกมา ทำให้การรับฟังระบบสเตริโอทำได้โดยสมบูรณ์และการมอดูเลชั่น(MODULATION)แบบควอดาร์ทเจอร์มอดูเลชั่น (QUADRATURE MODULATION) ควอดาร์ทเจอร์แอมพลิจูดมอดูเลชั่น (QUADRATURE AMPLITUDE MODULATION) เป็นการรวมกันทางเวกเตอร์ (VECTOR) ของสัญญาณสองสัญญาณที่ถูกมอดูเลทแบบเอเอ็ม (AMPLITUE MODULATION,AM) ของคลื่นพาห์ (CARRIER) ต่างกัน 90 องศา เช่น สมมุติให้สัญญาณ X ถูกมอดูเลทด้วยคลื่นพาห์ที่มีเฟส (PHASE) 0 องศา และสัญญาณ Y ถูกมอดูเลท ด้วยคลื่นพาห์ที่มีเฟส 90 องศา (ทั้งสองถูกมอดูเลทด้วยระบบเอเอ็ม) ถ้าเรานำสัญญาณทั้งสองมารวมกันทางเวกเตอร์ แล้วเราก็จะได้สัญญาณควอดาร์ทเจอร์แอมพลิจูดมอดูเลชั่น (QUAM)



รูปที่ 2.1 การรวมสัญญาณ X และสัญญาณ Y ทางเวกเตอร์

สัญญาณ QUAM จะมีข่าวสารของสัญญาณ X และ Y อยู่ในตัวมันอย่างครบถ้วนจะเห็นว่าเราสามารถแทนสัญญาณสองสัญญาณได้ด้วยสัญญาณเพียงสัญญาณเดียวได้และถ้าเรานำสัญญาณ

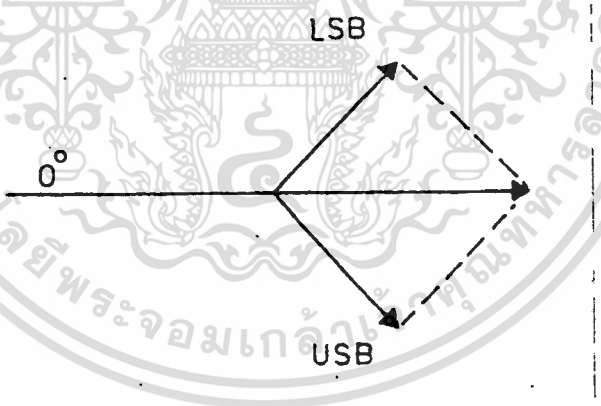
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

034777

QUAM ไปกระทำตามกระบวนการทางคณิตศาสตร์แล้วเราก็จะได้สัญญาณ X และ Y กลับคืนมาดังเดิมได้ถ้าเราให้สัญญาณ X เป็นสัญญาณทางด้านขวาและ Y เป็นสัญญาณทางด้านซ้ายเราก็จะได้สัญญาณ QUAM เป็นตัวแทนของสัญญาณทางด้านซ้ายและขวา ที่กล่าวมานี้เป็นเพียงแนวความคิดที่จะแทนสัญญาณด้วยสัญญาณเพียงสัญญาณเดียวเพื่อให้ง่ายต่อการกระจายเสียงออกอากาศ ในทางปฏิบัติแล้วยังมีรายละเอียดและเทคนิคซึ่งจะกล่าวต่อไป

2.2 การเข้ารหัส C-QUAM

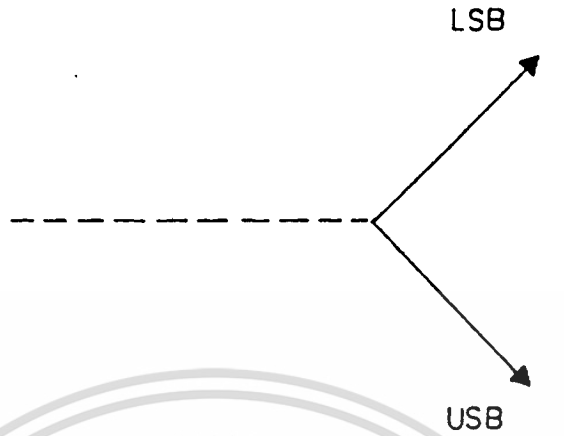
ในการกำเนิดสัญญาณแบบสเตริโอของระบบ C-QUAM นั้นจะอาศัยการมอดูเลชั่นแบบควอดาร์เจอร์แอมพลิจูดมอดูเลชั่น (QUADRATURE AMPLITUDE MODULATION) การกำเนิดสัญญาณสเตริโอนั้นมีแหล่งกำเนิดสัญญาณจากแหล่งกำเนิดสัญญาณสองทิศทางคือสัญญาณจากทางด้านซ้ายและจากทางด้านขวา ถ้าเราแทนสัญญาณจากทางด้านขวาด้วย R และซ้ายด้วย L แล้วอันดับแรกที่เราจะต้องทำก็คือ นำสัญญาณทั้งสองมาบวกและลบกัน ซึ่งสัญญาณที่บวกกันเขียนแทนด้วย L+R และสัญญาณที่ลบกันเขียนแทนด้วยL-R ถ้าเรานำสัญญาณ L+R มาทำการมอดูเลทแบบแอมพลิจูด ด้วยเฟสของคลื่นพาห์ที่มีเฟส 0 องศา เราจะได้รูปสัญญาณขึ้นมาอันหนึ่ง



รูปที่ 2.2.1 การมอดูเลทแอมพลิจูดด้วยเฟสของคลื่นพาร์ที่มีเฟส 0 องศา

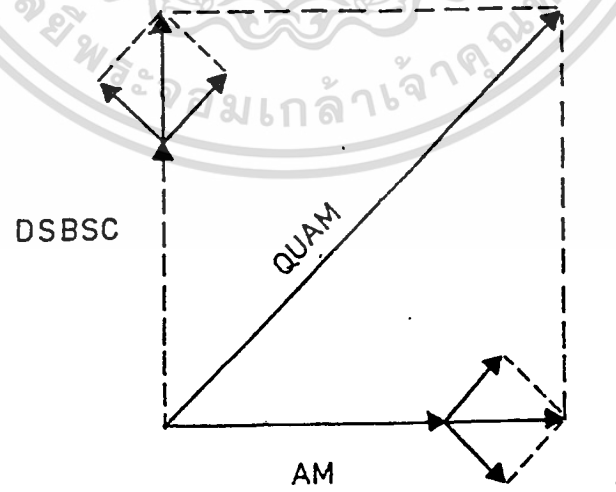
แล้วนำสัญญาณ L-R มาทำการมอดูเลทกับคลื่นพาห์ที่มีเฟส 90 องศา เมื่อเทียบกับเฟสของคลื่นพาห์ที่มอดูเลทกับสัญญาณ L+R เนื่องจากสัญญาณ L+R ทำการมอดูเลทแบบแอมพลิจูดมอดูเลชั่น สัญญาณของคลื่นพาห์ก็จะถูกส่งออกอากาศไปด้วยเพื่อไม่ให้เกิดการสิ้นเปลืองพลังงานและป้องกันการรบกวนซึ่งกันและกันสัญญาณ L-R จึงต้องทำการมอดูเลทแบบ DOUBLE SIDEBAND SUPPRESSED CARRIER (DSBSC) ซึ่งจะเป็นการทำให้คลื่นพาห์เกิดการหักล้างกันจึงไม่มีคลื่นพาห์ปรากฏที่ด้านออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.2 เวกเตอร์ที่เกิดจากการมอดูเลทแบบ DSBSC

ถ้าหากเรานำสัญญาณ L+R ที่ทำการมอดูเลทแล้วกับสัญญาณ L-R ที่ทำการมอดูเลทแล้วมารวมกันทางเวกเตอร์ ก็จะได้ควอดาร์ทเจอร์แอมพลิจูดมอดูเลชั่น (QUAM) ออกมา เราก็จะได้สัญญาณออกมาอีกอันหนึ่งซึ่งสามารถแทนสัญญาณ L+R และ L-R ได้



รูปที่ 2.2.3 รูปเวกเตอร์การรวมของสัญญาณ L+R และ L-R แบบ QUAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้ารวมสัญญาณสองสัญญาณทางเวกเตอร์ แล้วสัญญาณที่ได้จะมีขนาดเป็น $\sqrt{(1+S)^2 + D^2}$ และมีสมการเป็น

$$QUAM = \sqrt{(1+S)^2 + D^2} \cos (W_C t + \theta)$$

จะเห็นได้ว่า เราเกิดปัญหาขึ้นเพราะว่าเครื่องรับเอเอ็มธรรมดาที่มีอยู่ทั่วไปไม่สามารถรับฟังได้เพราะว่าวิทยุเอเอ็มแบบโมโน (MONO) ทั่วไปนั้นสามารถดีเท็คคลื่นที่มีสมการเป็น $(1+S) \cos W_C t$ เท่านั้น

ดังนั้นจึงเกิดความผิดพลาด (ERROR) ขึ้นที่ขนาดของ QUAM มีค่าผิดไปถ้าเรายังส่งขนาดของ QUAM นี้ออกอากาศไปเครื่องรับแบบเอเอ็มเดิมที่มีอยู่ จะไม่สามารถรับฟังการกระจายเสียงของเราได้นั่นคือไม่มีความสามารถในการใช้ระบบร่วมกัน (COMPATIBILITY)

ระบบ $AM = (1+S) \cos W_C t$

$$QUAM = \sqrt{(1+S)^2 + D^2} \cos (W_C t + \theta)$$

ดังนั้นต้องหาวิธีที่จะทำให้ QUAM นี้ออกอากาศได้โดยเครื่องรับเดิมที่มีอยู่ซึ่งเป็นระบบโมโน ยังคงสามารถรับฟังได้และสัญญาณ QUAM นี้ต้องเป็นตัวแทนสัญญาณสเตริโอได้อย่างสมบูรณ์ ลองกลับมาพิจารณา เวกเตอร์ของ QUAM

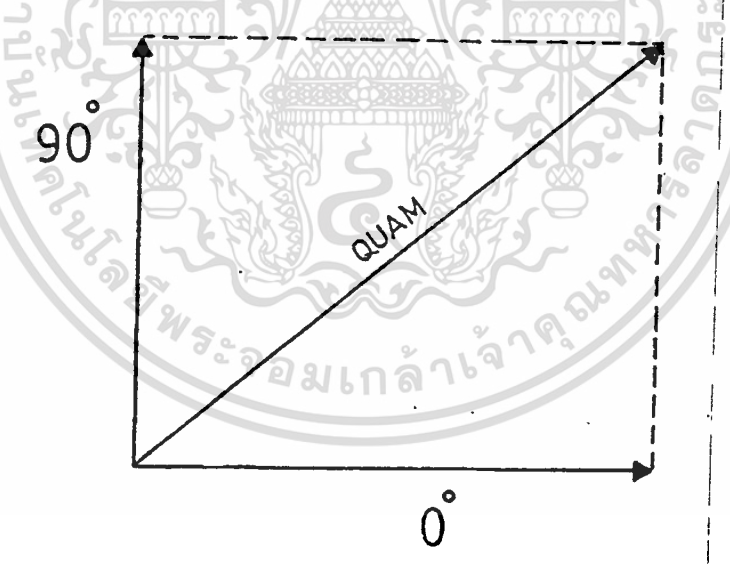
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเราพิจารณาให้ละเอียดแล้วจะพบว่า QUAM ที่เราสร้างขึ้นมานี้ยังเกิดปัญหาอยู่คือสมมุติแทนสัญญาณ L+R ด้วย S และนำสัญญาณนี้ไปมอดูเลทกับคลื่นพาห์ที่มีสมการเป็น COS W_C t แล้วเราจะได้สมการมอดูเลทแบบเอเอ็มเป็น

$$AM = (1+S) \cos W_C t$$

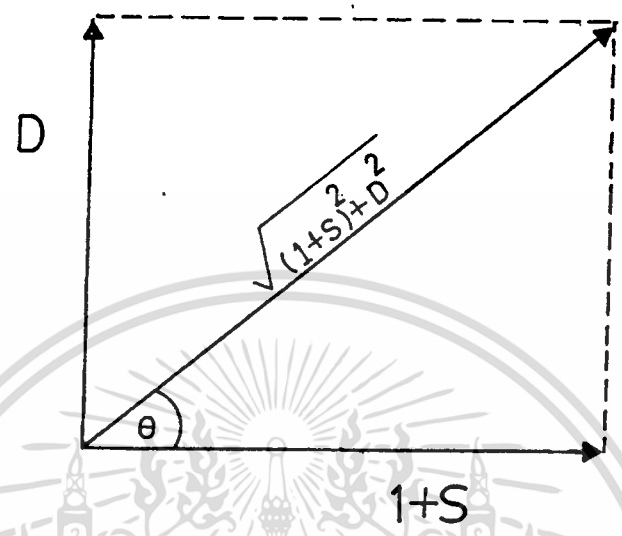
สมมุติแทนสัญญาณ L-R ด้วย D และนำสัญญาณนี้ไปมอดูเลทกับคลื่นพาห์ที่มีเฟสต่างกับคลื่นพาห์อันแรก 90 องศา นั่นคือ คลื่นพาห์จะต้องมีสมการเป็น SIN W_C t และจะได้สมการ การมอดูเลทแบบ DSBSC เป็น

$$DSBSC = D \sin W_C t$$



รูปที่ 2.2.4 รูปที่นำเอาสัญญาณ AM และ DSBSC มารวมกันทางเวกเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.5 เวกเตอร์ของ QUAM

จากเวกเตอร์ถ้าเราคูณขนาดของ QUAM ด้วยค่า COSθ เราจะได้ QUAM ที่มีรูปคลื่นเพี้ยนไป

$$\cos\theta = \frac{(1+S)}{\sqrt{(1+S)^2 + D^2}}$$

$$\text{QUAM.COS}\,\theta = \frac{\sqrt{(1+S) + D}\,.\,(1+S)}{\sqrt{(1+S)^2 + D^2}}$$

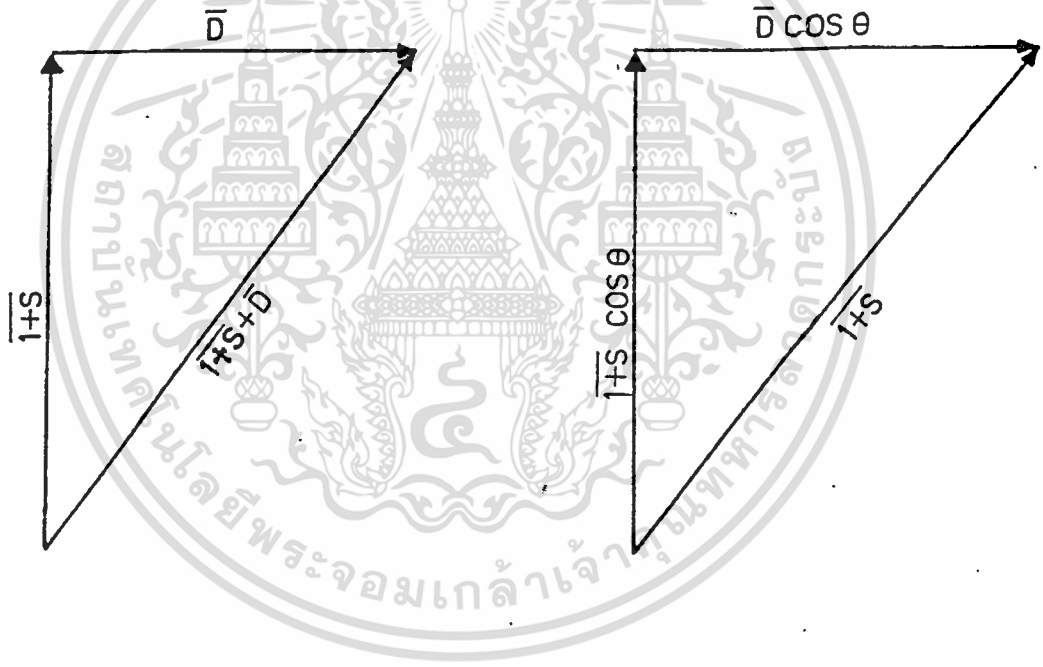
จะเห็นว่าขนาดของ QUAM ที่คูณด้วยค่า COS θ นี้สามารถที่จะส่งออกอากาศได้โดยเครื่องรับเดิมที่เป็นแบบโมโน ยังรับฟังได้และ QUAM ที่คูณด้วยค่า COS θ นี้ยังสามารถเป็นตัวแทนของสัญญาณสเตอริโอ ได้อย่างครบถ้วนด้วย

$$\text{QUAM} = \sqrt{(1+S)^2 + D^2}\,.\,\cos(W_c\,t + \theta)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\cos\theta.\ \text{QUAM} = \sqrt{(1+S)^2 + D^2}\ .\ \cos(W_c t + \theta).\ \frac{(1+S)}{\sqrt{(1+S)^2 + D^2}}$$

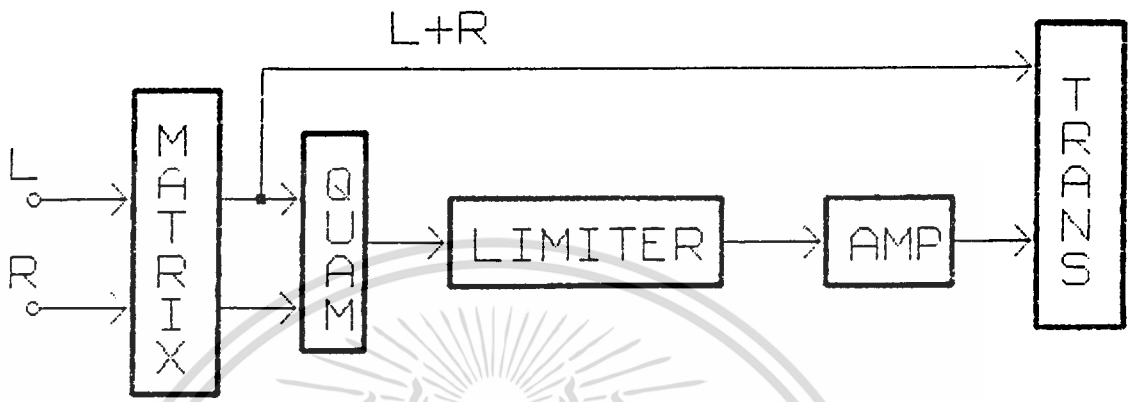
$$\text{C-QUAM} = (1+S)\cos(W_c t + \theta)$$



รูปที่ 2.2.6 แสดงเวกเตอร์เปรียบเทียบสัญาณ QUAM กับ C-QUAM

เมื่อทราบการทำงานจากสมการทางคณิตศาสตร์แล้ว ต่อไปเราจะมาพิจารณาบล็อคไดอะแกรม ของการทำงานของระบบเข้ารหัส (ENCODER) บางบล็อกไดอะแกรมอย่างง่ายสามารถแสดงได้ ดังรูปที่ 2.2.7

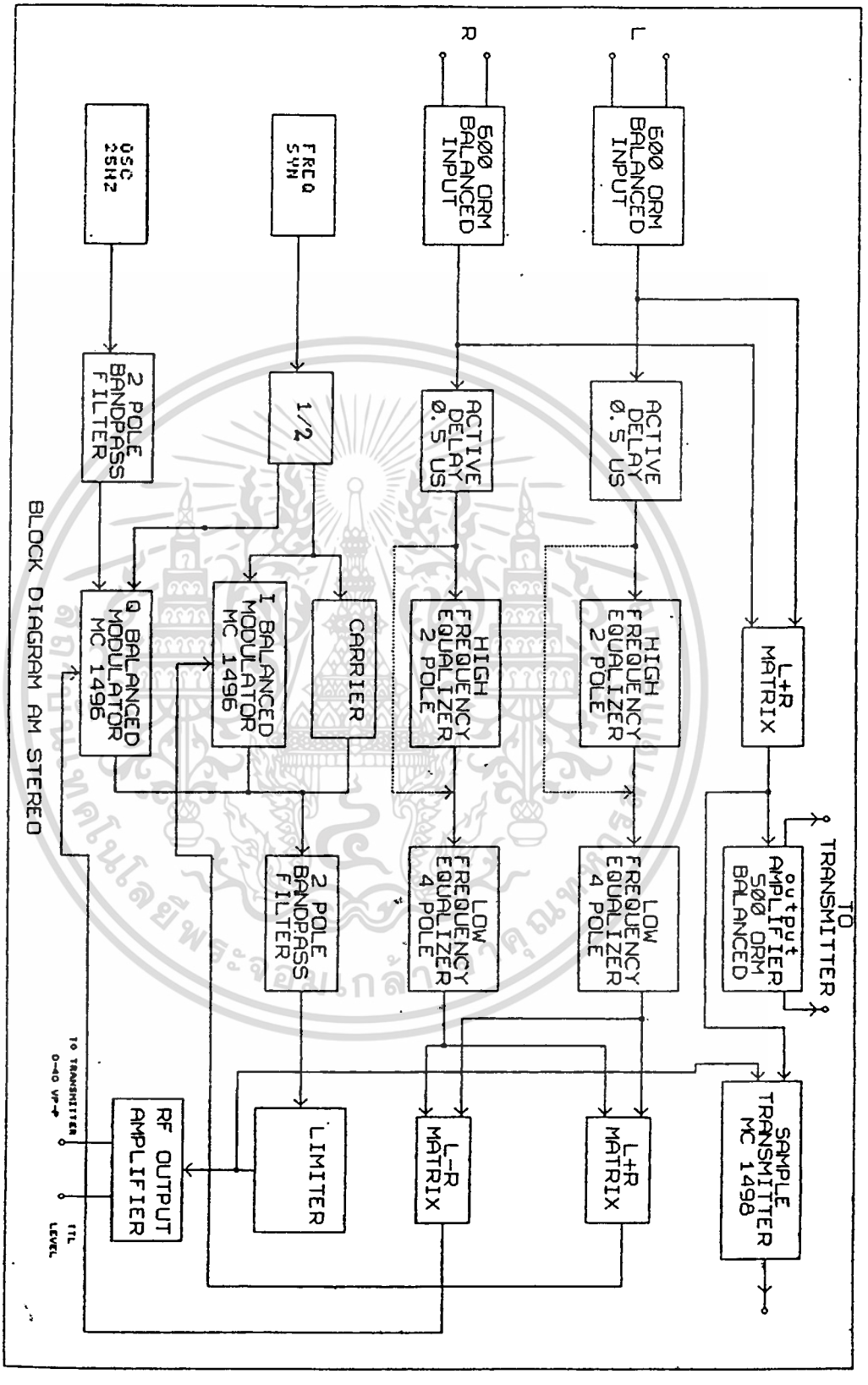
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.7 บล็อคไดอะแกรมของตัวเข้ารหัส

การทำงานอย่างคร่าวๆ ของบล็อคไดอะแกรมสามารถจะอธิบายได้ดังนี้ สัญญาณซ้ายและขวา จะถูกส่งเข้าวงจรเมตริกซ์ (matrix) เพื่อก่อรูปเป็นสัญญาณ L-R และ L+R ส่วนหนึ่งจะส่งไปยังส่วนที่ด้านเข้า (INPUT) ของเครื่องส่ง (TRANSMITTER) สัญญาณ L+R ส่วนที่เหลือและสัญญาณ L-R จะป้อนเข้าสู่ภาค QUAM เพื่อกำเนิดสัญญาณควอดาร์ทเจอร์แอมพลิจูดมอดูเลทชั่น โดยที่สัญญาณ L-R จะถูกมอดูเลทแบบ DSBSC ดังที่ได้กล่าวมาแล้วข้างต้น ด้านออกจากภาค QUAM จะมีสมการเป็น $\sqrt{(1+S)^2+D^2}$ COS $(W_c t+ \theta)$ ดังที่กล่าวมาแล้วข้างต้นว่าคลื่นจาก QUAM นี้ยังไม่เหมาะสมใน การออกอากาศด้วยเหตุผลหลายประการ ในทางทฤษฎีแล้วเราจะนำรูปคลื่นที่มีสมการเป็น $\sqrt{(1+S)^2 + D^2}$ COS $(W_c t+\theta)$ ไปคูณกับค่า COS θ ก่อนแต่ในทางปฏิบัติแล้ว เราจะสามารถใช้วิธีการอื่นๆเข้ามาช่วยเพื่อให้สัญญาณมีรูปร่างเหมือนกับคูณด้วยค่า COS θ แทนที่เราจะนำสัญญาณ $\sqrt{(1+S)^2+ D^2}$ COS $(W_c t+\theta)$ ไปคูณกับค่า COS θ โดยตรงเพราะเป็นการยุ่งยากจากบล็อคไดอะแกรม เราจะนำสัญญาณ $\sqrt{(1+S)^2 + D^2}$ COS $(W_c t+\theta)$ ไปผ่านลิมิตเตอร์ (LIMITER) เพื่อขจัดส่วนที่เป็นขนาดของมันออกไปดังนั้นที่ด้านออก(OUTPUT) ของวงจรลิมิตเตอร์จะมีสัญญาณขนาดคงที่ขนาดหนึ่งออกมาและมีความถี่เป็น COS W_C t และ SIN $W_c t$ สัญญาณจากลิมิตเตอร์ จะถูกขยายให้แรงขึ้น RF A_{mp} (RADIO FREQUENCY AMPLIFIER) เสร็จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.8 Block Diagram อย่างละเอียด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าวงจรต่าง ๆ ที่เพิ่มเข้ามาอย่างมากมาย อันแรกก็คือวงจร Input Balance หรือ Matching นั่นเองส่วนนี้จะทำหน้าที่ Matching Input Impedance ส่วนวงจรพวก Equalization ที่เพิ่มเข้ามาก็จะทำหน้าที่ปรับแต่งเสียงเพื่อให้การรับฟังแบบสเตริโอสมบูรณ์แบบยิ่งขึ้นและเราจะเห็นว่าทางด้าน L-R นั้นขณะที่ทำการมอดูเลชั่น จะต้องบวกความถี่ขนาด 25 Hz ด้วยเพื่อบอกให้ทางด้านรับรู้ว่าอันไหนเป็นสัญญาณ L-R และ L+R ส่วนวงจรกำเนิดความถี่ของคลื่นพาห์นั้นเนื่องจากต้องแยกเฟสเป็น 0 องศาและ 90 องศา ดังนั้นโครงงานที่จัดทำขึ้นมานี้ใช้เทคนิคทางดิจิตอลแยกเฟสเป็น 0 องศาและ 90 องศา เพราะมีความสะดวกกว่า จากนั้นก็ใช้วงจรกรองความถี่ผ่านแถบความถี่ (Bandpass Filter) ที่เฟสต่างกัน 90 องศามาใช้เป็นคลื่นพาห์ และโครงงานนี้ในส่วนของคลื่นพาห์ได้มาจากวงจร Frequency Synthesizers ผลิตความถี่ 1080 ถึง 3200 Khz ผ่านเข้าวงจร Phase- shifted 90 องศา เป็นวงจรทางดิจิตอลหาร 2 ส่วน วงจรกรองความถี่ของคลื่นพาห์จะกรองเอาความถี่ Sine มาใช้เป็นคลื่นพาห์ โดยใช้ IC เบอร์ LF 357 เป็นออปแอมป์ที่มีความกว้างแถบ (Band Width) ถึง 20 MHz ในส่วนของวงจรกำเนิดสัญญาณไพล็อตโทน 25 Hz ใช้ IC Cmos เบอร์ 4060 กำเนิดความถี่ หารคริสตอล 4.096 Mhz ซึ่งมีวงจรหารภายในเหลือ 250 Hz ป้อนเข้าวงจรหาร 10 ของ IC TTL 7490 จะได้ความถี่ 25 Hz หลังจากนั้นต้องผ่านวงจร Band Pass จะได้สัญญาณ Sine Wave 25 Hz ตามต้องการ

2.3 AUDIO PROCESSING CONSIDERATIONS

การมอดูเลทที่ถูกต้องนั้น แหล่งกำเนิดของเสียงที่ใช้เป็นอินพุทของตัว EXCITER ในระบบ AM STEREO ต้องมีค่า PEAK น้อยที่สุด ซึ่งในการรวมสัญญาณโดยการนำสัญญาณมาบีบให้ขนาดลดลงซึ่งจะทำให้ความหนาแน่นของพลังงานเฉลี่ยมีค่าเพิ่มขึ้น หรือพลังงานจะดูเป็นแถบทึบ ๆ โดยจะสังเกตดูได้จาก SCOPE สำหรับวิธีการทางเสียงอาจมีค่า PEAK ประมาณ 20 db ซึ่งก็คืออัตราส่วนเฉลี่ยที่มีหน่วยเป็นเดซิเบล หรืออย่างน้อยสัญญาณดังกล่าวอาจจะมีค่าอัตราเฉลี่ยได้ถึง 7 ถึง 19 db PEAK สำหรับของ บริษัท โมโตโรล่า ใช้ค่าที่ไม่แน่นอนตายตัวเพราะการจำกัดสัญญาณ ณ จุดนี้ได้ใช้ PROGRAM ซึ่งสามารถเลือกค่าความหนาแน่นของสัญญาณได้

ขบวนการทางเสียงมีอยู่หลายลักษณะแต่จากเงื่อนไขของการกดสัญญาณหรือการบีบสัญญาณหลาย ๆ ช่วงสัญญาณนั้นมีอยู่เพียง 3 วิธี ที่เป็นพื้นฐานของระบบ AM STEREO เพื่อใช้ในการจำกัดสัญญาณซึ่งอธิบายได้ดังต่อไปนี้

1. ระบบ INDEPENDANT L,R PROCESSING

สำหรับวิธีแรก เป็นวิธีการที่จะต้องมีความเกี่ยวพันกันระหว่างสัญญาณทางด้านขวาและทางด้านซ้าย ซึ่งวิธีดังกล่าวนี้เป็นวิธีที่ใช้ในระบบ FM STEREO โดยที่วิธีนี้จะมีตัวประมวลผลอยู่ 1 ตัว เพื่อให้เอ้าพุทเป็นสัญญาณทางด้านซ้ายและให้เอ้าพุทเป็นสัญญาณทางด้านขวา โดยมีเงื่อนไขของการมอดูเลทที่ 50% และในขณะเดียวกันอีก 50 % สำหรับเฟส มอดูเลท ภายใต้เงื่อนไขว่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกำเนิดสัญญาณแต่ละข้าง ข้างใดข้างหนึ่งเพียงข้างเดียวแต่ถ้าหากเป็นระบบ MONO เปอร์เซ็นต์การมอดูเลทจะเป็น 50% สำหรับสัญญาณทางด้านซ้ายและ 50% สำหรับสัญญาณทางด้านขวา สัญญาณจะรวมกันภายในเฟสเดียวกันและมีเปอร์เซ็นต์การมอดูเลทเท่ากับ 100% ในการส่งออกอากาศ

ในหัวข้อของสัญญาณที่มีความสัมพันธ์กันระหว่างข้างซ้ายและข้างขวา ตามวิธีดังกล่าวนี้จะมีการกำเนิดที่เป็นธรรมชาติมากที่สุด ผู้ฟังจะได้ฟังเสียงจากเครื่องรับเหมือนกับเสียงที่เกิดขึ้นที่ต้นกำเนิดเสียงจริงๆ เงื่อนไขนี้อยู่ภายใต้เงื่อนไขสัญญาณข้างเดียว และกรณีนี้ค่าสูญเสียที่เกิดขึ้นกับระบบ MONO MODULATION ทำให้สัญญาณ L-R เกิดความผิดพลาดหรือเกิดการเพี้ยนของสัญญาณ แต่สำหรับในระบบ MONO ตัวประมวลผลจะทำการบีบและจำกัดสัญญาณเฉพาะสัญญาณ L+R เท่านั้นซึ่งเป็นวิธีที่เหมาะสมที่จะใช้กับระบบเสียงแบบ MONO แต่สำหรับระบบ STEREO จะใช้สัญญาณ L และ R ที่เป็นอิสระต่อกัน จึงไม่เหมือนกับระบบเสียงแบบ MONO ซึ่ง MONO จะมีหลักการของการ มอดูเลทแบบสัญญาณข้างเดียว

2. ระบบ MATRIX PROCESSING

สำหรับวิธีที่2 นี้เป็นวิธีที่เรียกว่า MATRIX PROCESSING ซึ่งวิธีนี้จะไม่มีการจำกัดสัญญาณ L และสัญญาณ R แต่จะเป็นการเคลื่อนเฟส (SHIFT PHASE) แทน ซึ่งวิธีนี้จะไม่มีการจำกัดสัญญาณ L+R สามารถใช้เป็นสัญญาณควบคุมระบบเสียงแบบ MONO ซึ่งถ้าไม่ทำอย่างนี้จะเกิดผลข้างเคียงซึ่งจะทำให้ผู้ฟังรับฟังเสียง STEREO ไม่สมบูรณ์เกิดขึ้นเนื่องจาก

การเกิด (CROSSTALK) ซึ่งเป็นสิ่งที่ไม่ต้องการให้เกิดขึ้น ซึ่งทำให้บางครั้งสัญญาณ L+R จะถูกตัด(CLIPPED) และสัญญาณ L-R ไม่ถูกตัดตามหลักการแล้วอัตราส่วนของสัญญาณ L+R ต่อ L-R จะมีอัตราส่วนเป็น 2:1 หรือมากกว่านี้เพราะฉะนั้นถ้าพิจารณาผลรวมระหว่างสัญญาณ L+R และ L-R แล้วสัญญาณ L+R มากตามไปด้วย อีกปัญหาหนึ่งคือการเกิดการขยายตัวของ SOUND FIELD ซึ่งถ้าหากค่าดังกล่าวมีค่าทางขยายถึง 6 db ก็ถือว่าเป็นความผิดปกติ

เช่นการมอดูเลทสัญญาณทางด้านซ้ายเพียงสัญญาณเดียวอัตราการขยายของสัญญาณทางด้านซ้ายก็จะเพิ่มขึ้นจนกระทั่งมีค่า 100% ENVELOPE MODULATION จากเงื่อนไขดังกล่าวการเกิด 100% L-R MODULATION ดังนั้นผลรวมของ L+R จะมีค่าถึง 200% และเมื่อรวมสัญญาณทั้งสองก็จะมีค่าประมาณ 300% ซึ่งจะมีผลเกี่ยวพันไปถึงจุดศูนย์กลางของ SOUND FILD ในกรณีของการมอดูเลทสัญญาณข้างเดียวและมีเกณฑ์การขยายถึง 6 db ผลที่เกิดขึ้นสามารถอธิบายได้เป็นคำจำกัดความได้ว่า "HOLE IN THE MIDDLE" จากผลดังกล่าวจะทำให้เสียงที่รับฟังได้ไม่เหมือนกับเสียงที่เกิดจากแหล่งกำเนิดเสียง วิธีแก้ปัญหาก็คือการลดขนาดของสัญญาณทางด้านซ้ายลงเพื่อให้สามารถที่จะเข้าระหัส(ENCODING)กับสัญญาณทางด้านขวาได้โดยจะต้องการค่า 100% ENVELOPE MODULATION จากภายนอกด้วย

3. ระบบ MODIFIED MATRIX PROCESSING

สำหรับวิธีที่ 3 เป็นวิธีที่อาศัยพื้นฐานมาจากวิธีที่ 2 แต่มีการนำมาปรับปรุงเพื่อให้คุณภาพดีขึ้นเรียกวิธีนี้ว่า MODIFIED MATRIX PROCESSING ซึ่งวิธีนี้สามารถที่จะรองรับระบบ MONO ได้

เอกสารนี้
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วส่งเข้าทางด้านเข้า ของเครื่องส่งเพื่อการมอดูเลตกับสัญญาณ (L+R) ที่มารออยู่โดยการมอดูเลท เป็นแบบ เอเอ็มมอดูเลทชั้นที่ทางด้านออกของเครื่องส่ง เราจะได้สัญญาณสเตริโอที่มีสมการเป็น $(1+S)\cos(W_c t+\theta)$ โดยที่เครื่องฟังแบบโมโนธรรมดายังรับฟังได้เหมือนเดิมจากบล็อคไดอะแกรมอย่างง่าย ๆ ก็ได้แสดงให้เห็นแล้วว่าเราสามารถกำเนิดสัญญาณ C-QUAM ได้อย่างไรแต่จริงๆ แล้วต้องมีวงจรอื่นเข้าช่วยปรับแต่วงจรอีกมากเช่นพวก EQUALIZATION, MATCHING เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วย โดยทั่วไปอัตราขยายจะอยู่ประมาณ 3หรือ 4 db จนถึง 6 db ซึ่งเป็นค่าสูงสุดของวิธี MATRIX PROCESSING ซึ่งจากสาเหตุที่สามารถรองรับระบบ MONO ได้ด้วยนี้ทำให้ค่าของ HOLE IN THE MIDDLE และ MUSIC PUMPING ลดลง ซึ่งการรับฟังจะคล้ายกับการรับฟังแบบ SINGLE CHANNAL

สำหรับการมอดูเลทแบบ SINGLE CHANNAL สามารถยอมให้มีการขยายได้ประมาณ 70-75% ENVELOPE MODULATION ด้วยเหตุนี้การตัดสัญญาณ (CLIPPING) ของ L+R และ L-R จะแยกจากกันไม่ขึ้นอยู่กับค่าใดค่าหนึ่งและสำหรับสัญญาณของระบบ MONO จะมีค่าประมาณ 85-89% ENVELOPE MODULATION และเป็นทางลด IMAGE PUMPING และลด "HOLE IN THE MIDDLE"

สำหรับวิธี MODIFIED MATRIX PROCESSING เป็นวิธีที่สามารถมอดูเลทในระบบ AM STEREO ได้ ซึ่งวิธีดังกล่าวนี้จะถูกนำไปใช้กับระบบ C-QUAM โดยทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

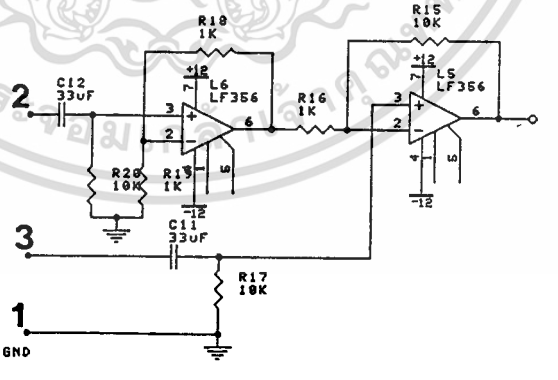
บทที่ 3
การคำนวณและการออกแบบ

หลักการของระบบเป็นสิ่งที่สำคัญที่สุด ที่ต้องยึดถือนำมาออกแบบวงจรต่างๆ ซึ่งมีหลักการออก แบบอยู่ที่เทคนิคต่างๆ การรู้จักวิธีการประยุกต์หาวิธีการสร้างวงจรที่ไม่ซับซ้อนและง่ายต่อการออกแบบ แต่ก็อยู่ในหลักการยกตัวอย่างเช่นในโครงงานนี้สมการ QUAM นั้นคือ

$(1+S)^2 + D^2 . COS (W_C t+\theta)$ จะถูกคูณเทอมของ COS ก็จะได้เป็น C-QUAM คือ $(1+S).COS (W_C t+\theta)$ ซึ่งในทางปฏิบัติการสร้างวงจรใช้งานจริงนั้นเราไม่จำเป็นต้องทำตามขั้นตอนของสมการทุกอย่างเพียงแต่ทราบถึงผลลัพท์ของระบบว่าเป็นอย่างไรเราจะสร้างได้โดยง่ายจากการนำสัญญาณ (1+S) มาทำการแปลงสัญญาณด้วยแอมปลิจูด (AMPLITUDE) เอเอ็มมอดูเลทกับสัญญาณ COS $(W_C t+\theta)$ เป็นต้น

3.1 วงจรอินพุทบาลานซ์และเอ้าท์พุทไม่บาลานซ์

ส่วนของวงจรนี้ทำขึ้นมาเพื่อการเชื่อมต่อของอุปกรณ์ที่มี OUTPUT แบบบาลานซ์ เช่น เครื่องเสียงในระบบกลางแจ้ง หรือ (PA) ซึ่งต่อเพื่อลดปัญหาสัญญาณรบกวนที่ลากสายยาวๆ ให้ทำงานร่วมกับส่วนของ AM STEREO ENCODE ได้ และเอาท์พุทอิมพีแดนซ์ต่ำประมาณ 600 โอห์ม



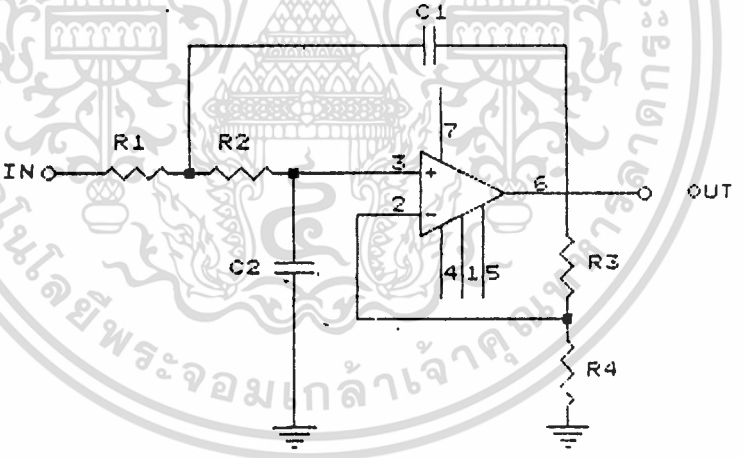
รูปที่ 3.1 วงจรอินพุทบาลานซ์เอ้าพุทไม่บาลานซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

opAmp 1 และ 2 จะทำหน้าที่ขยายความแตกต่างของสัญญาณ (DIFFERENTIAL Amp) และเป็นวงจรขยายสัญญาณเอาท์พุท (SINGLE ENDED OUTPUT) สัญญาณอินพุทที่เป็นแบบบาลานซ์ผ่านเข้าตัวเก็บประจุ C_{11} และ C_{12} เป็นตัวคัปปลิ้งสัญญาณทางอินพุท มี R_{17} และ R_{20} กำหนดความแรงของสัญญาณหรือกำหนดค่าอินพุตอิมพีแดนซ์ ของวงจร สัญญาณที่คัปปลิ้งผ่าน C_{12} จะไปเข้าที่ขาอินเวอร์ติ้งอินพุท opAmp 6 ของ OUTPUT มีการป้อนกลับผ่าน R_{18} และ R_{19} ซึ่งมีค่าเท่ากัน จึงมีอัตราการขยายเท่ากับ +2 opAmp 5 ทำหน้าที่สองอย่างคือ ขยายสัญญาณที่มาจากเอาท์พุทของ opAmp 6 ซึ่งขยายแบบกลับขั้วมีอัตราการขยายเท่ากับ 1 ทำให้เกิดการขยายเกินขอบเขตเป็นอัตราการขยายเท่ากับ -2 ขณะเดียวกันสัญญาณที่ถูกคัปปลิ้งผ่าน C_{11} มาเข้าขานอนอินเวอร์ติ้ง ถูกทำการขยายเท่ากับ +2 ดังนั้น เอาท์พุทของ opAmp 2 มีอัตราการขยายรวมเท่ากับ 2

3.2 การชดเชยความถี่สูง (HIGH FREQUENCY EQUALIZER)

ในส่วนนี้จะใช้วงจรกรองความถี่ต่ำ (LOW PASS FILTER 2 POLE) ซึ่งสามารถปรับความถี่คัทออฟ (CUTOFF FREQUENCY) และค่า Q ได้



รูปที่ 3.2.1 วงจรกรองความถี่ต่ำพื้นฐาน

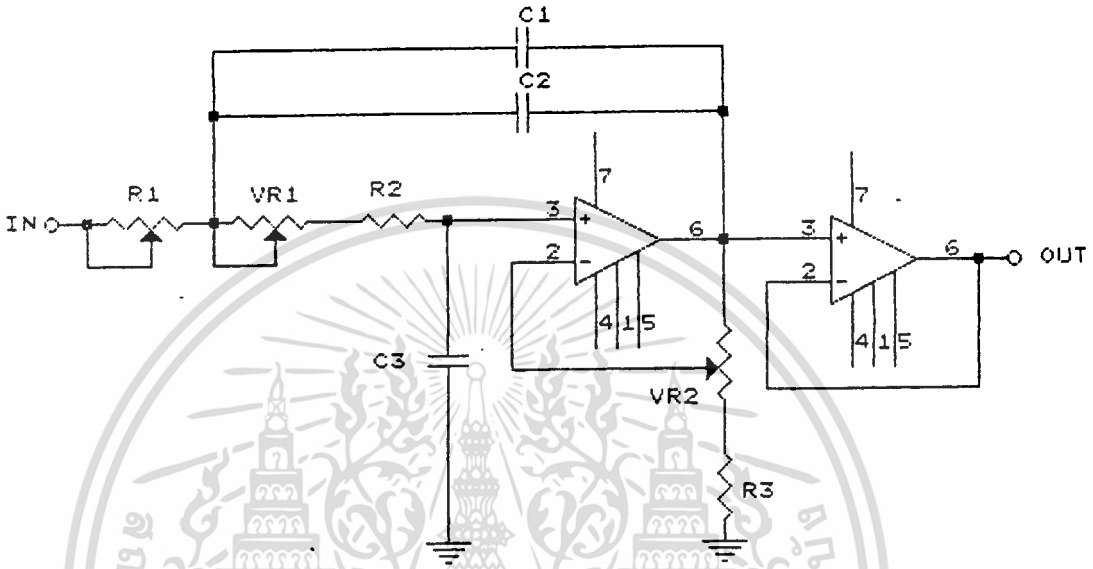
สูตรการคำนวณ

$$\text{CUTOFF FREQUENCY} = 1/(2\pi\sqrt{R_1R_2C_1C_2})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราขยาย (GAIN) = $1+(R_4/R_3)$

วงจรใช้งานจริง



รูปที่ 3.2.2 วงจรชดเชยความถี่สูง

CUTOFF FREQUENCY = $1/(2\pi.\sqrt{1K.1K(0.01*0.01)}$

= 11.25 KH_Z

MAXIMUM GAIN = $1+(1K/100)$

= 11

3.3 วงจรชดเชยความถี่ต่ำ (LOW FREQUENCY EQUALIZER)

วงจรนี้ประกอบไปด้วยวงจรกรองความถี่สูงสองภาค (TWO STATE HIGHPASS FILTER 2 POLE) ช่วยให้คุณสมบัติทางเฟสที่ความถี่เสียงต่ำในแต่ละช่องของสัญญาณ L และ R แมชชิ่ง (MATCHING) กับเฟสที่เครื่องรับ

สูตรการคำนวณ

CUTOFF FREQUENCY = $1.414/2\pi R_1C$; $R_2 = R_1/2$

EX.

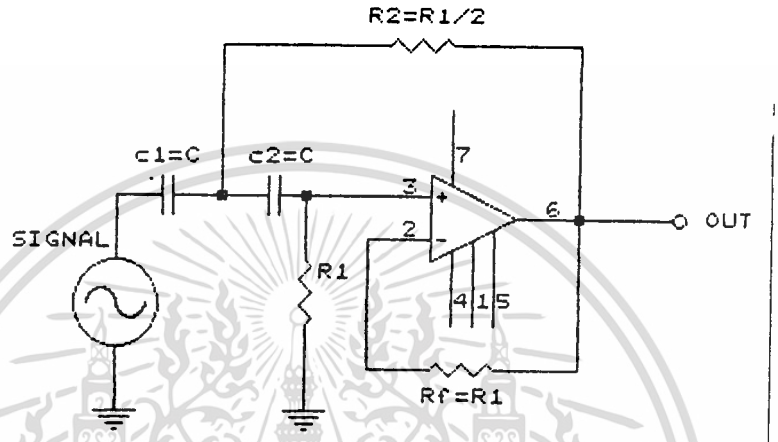
STATE แรก = $1.414/(2\pi*120K.01)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

= 18.75 Hz

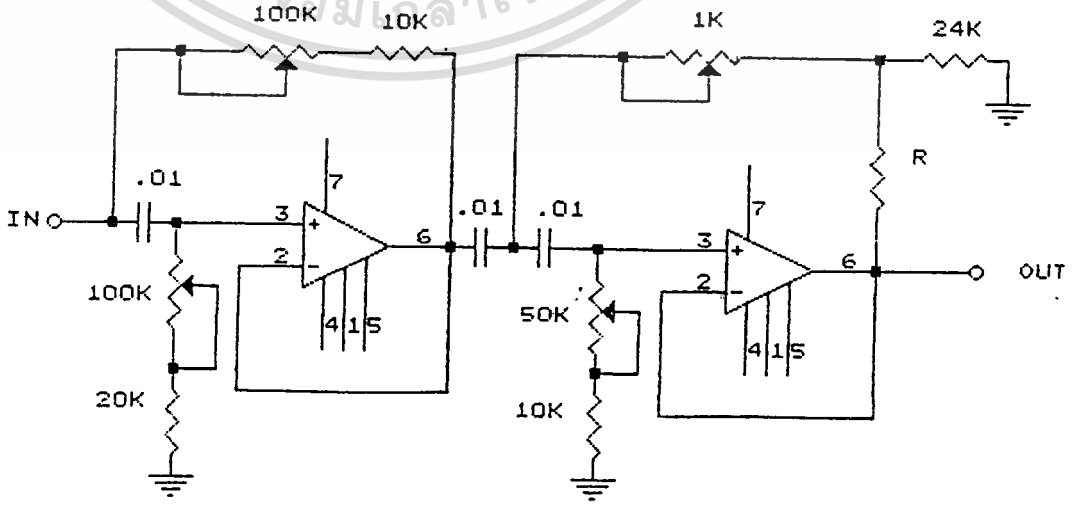
STATE สอง = 1.414/(2π*60K*.01)

= 37.52 Hz



รูปที่ 3.3.1 วงจรพื้นฐาน ACTIVE HIGH PASS FILTER

วงจรใช้งานจริง

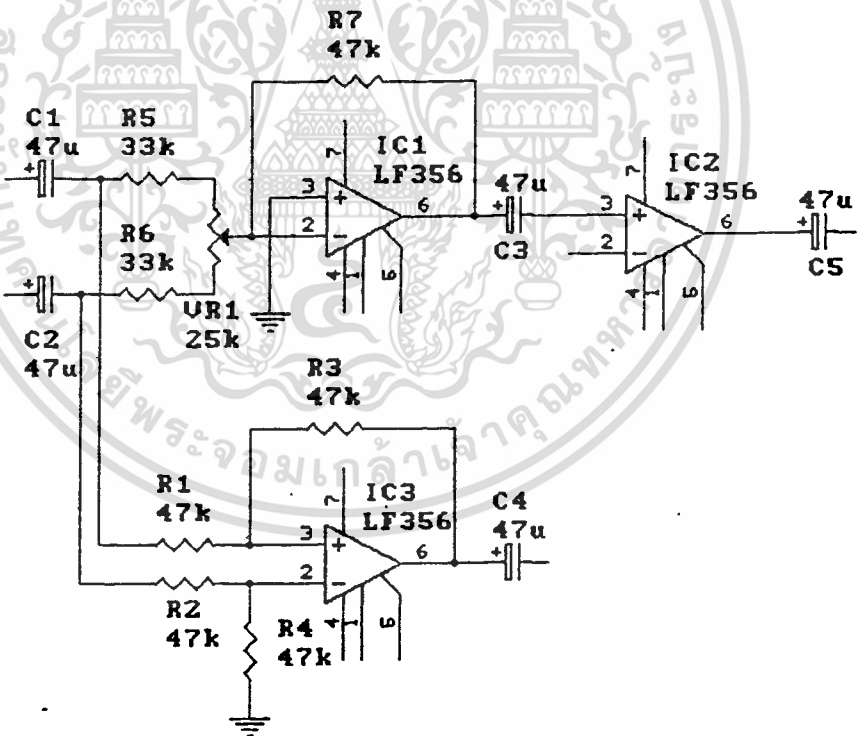


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากภาคแรกจะได้ CUTOFF FREQUENCY ต่ำสุดที่ 18.75 H_Z ซึ่งจะต้องปรับค่า R_2 ไปที่ 60 กิโลโอห์ม และภาคที่สองจะได้ CUTOFF FREQUENCY ต่ำสุดที่ 37.5 H_Z

3.4 วงจรสร้างสัญญาณ L+R และ L-R (MATRIX CIRCUIT)

หลักการออกแบบวงจรนี้จะใช้วงจรบวกสัญญาณทั้งสองเป็นสัญญาณ L+R และใช้วงจรบวกสัญญาณที่ต่างเฟสเป็นสัญญาณ L-R วงจรที่ใช้งานคือ SUMMING amp โดยใช้ op amp กำหนดให้วงจรทั้งสองมีอัตราการขยายแรงดันเท่ากันในที่นี้กำหนดให้เท่ากับหนึ่ง ส่วนการปรับแต่งสำหรับวงจรนี้จะกระทำที่ความต้านทานปรับค่า ซึ่งจะเลือกค่าที่น้อยที่กว่าค่าความต้านทานในวงจรมากๆ เพื่อให้สัญญาณ L+R และ L-R มีค่าใกล้เคียงกับความเป็นจริงมากที่สุด



รูปที่ 3.4 วงจรสร้างสัญญาณ L+R และ L-R

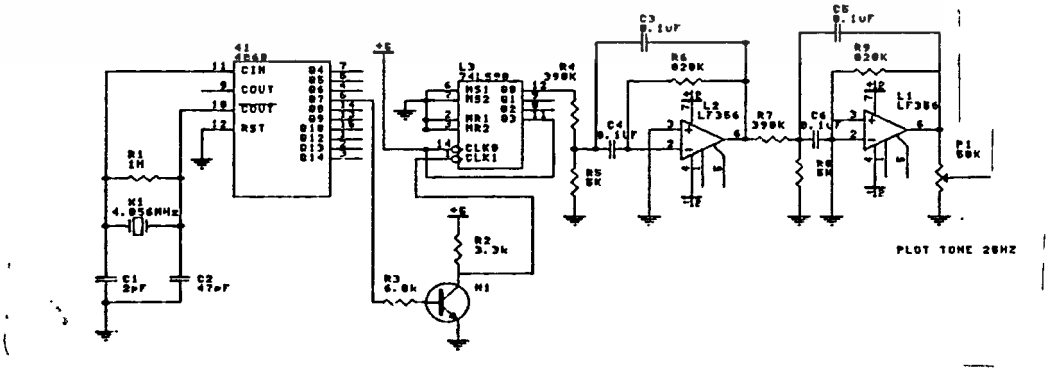
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรกำเนิดสัญญาณไพลอทโทน

วงจรกำเนิดสัญญาณไพลอทโทน 25 H_z สร้างจากวงจรรวม MC 14060 เป็นไอซี CMOS ซึ่งภายในประกอบด้วยเกทอินเวอร์เตอร์ และวงจรหารแบบไบนารี จำนวน 14 สเตท โดยที่เอาท์พุท Q_4 เป็นสัญญาณหาร 16 จนถึงหาร 16,384 ที่ขา Q_{14} โดยเกทจะต่อร่วมกับคริสตอลสำหรับการออสซิเลททำงานที่ความถี่ 4.096 MH_z ซึ่งความถี่จะได้จากการหารด้วย 16,384 ได้ความถี่ 250 H_z ซึ่งเป็นความถี่ที่ยังสูงอยู่จะส่งต่อไปให้วงจรหาร 10 โดยใช้ IC TTL 7490

สำหรับวงจรเกทออสซิเลท ซึ่งอยู่ภายในวงจรรวม MC 14060 ซึ่งเปรียบเหมือนวงจรขยายกลับเฟสโดยมี R_1,C_1,C_2 และคริสตอลเป็นส่วนของวงจรป้อนกลับสัญญาณจากเอาท์พุทของเกทให้อินพุทของเกทมีเฟสกลับ 180 องศา R_1 เป็นความต้านทานสำหรับไบอัสให้ทำงานเลือกใช้ค่า 1 M สำหรับ C_1 และ C_2 เลือกใช้ค่า 2PF และ 47PF ที่ขา 3 ของ MC14060 เป็นระดับของ CMOS จึงจำเป็นต้องใช้ระดับแรงดัน TTL โดยใช้ทรานซิสเตอร์เบอร์ 3904 เป็นวงจรเปลี่ยนระดับแรงดันดังรูป

ในส่วนของวงจรหาร 10 ใช้ IC TTL 7490 ซึ่งเป็นวงจรนับ 10 ภายในประกอบด้วย J-K พลิปฟล็อปแยกอิสระหนึ่งตัวและวงจรหารด้วย 5 ตำแหน่ง และผังไดอะแกรมวงจรภายในแสดงดัง DATA SHEET ในการออกแบบหาร 10 จะให้ขา $R_{(0)1}$,$R_{(0)2}$,$R_{g(1)}$,$R_{g(2)}$ เป็น LOW ซึ่งอยู่ในสภาวะ COUNT ซึ่งเอาท์พุท Q_A<---->Q_D เป็น H L L H ซึ่งเท่ากับ 10 จึงต้องใช้ขา 11 หรือ Q_D ป้อน HIGH และนำเอาท์พุทที่ Q_A ซึ่งหารออกมาแล้วได้ 25 H_Z เป็นสัญญาณ SQUARE สัญญาณไพลอทจำเป็นต้องเป็น SINE WAVE ที่มีความถี่ 25 H_z จำเป็นที่จะต้องเปลี่ยนสัญญาณ SQUARE ให้เป็น SINE WAVE ในวงจรใช้ op amp LF356 ออกแบบวงจร BAND PASS โดยให้ INPUT เป็นสัญญาณ SQUARE จาก 7490 ในโครงงานใช้วงจร BAND PASS สองสเตท ต่ออนุกรมกันเพื่อให้ได้สัญญาณดียิ่งขึ้น



รูปที่ 3.5 วงจรไพลอทโทน 25 HZ

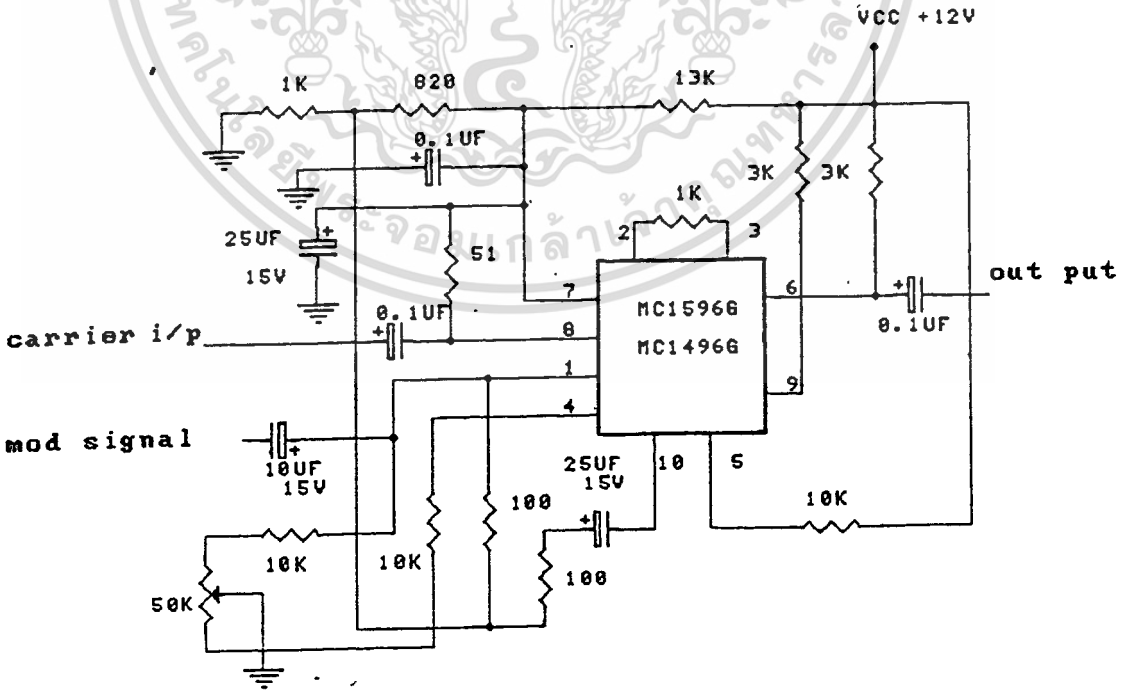
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจร BALANCE MODULATOR

วงจรบาลานซ์มอดูเลชั่น ที่ใช้กันอยู่ทั่วไปนั้นมีหลายแบบ เช่นวงจรที่ใช้ เฟสคู่ไดโอดต่อเป็นวงจรหรือเป็นไอซีสำเร็จรูปทั่วไป

วงจร BALANCE MOD ที่ใช้ในโครงการนี้จะใช้ IC สำเร็จรูปของ MOTOROLA เบอร์ MC1496,MC1596 ซึ่งเปน IC ที่สามารถประยุกต์ใช้งานได้หลายอย่าง คือสามารถใช้เป็นทั้งภาค MODULATOR ทั้งแบบธรรมดาและ SUBPRESSCARRIER ได้ หรือจะใช้เป็นส่วนในภาค DETECTOR ก็ได้

โดยในโครงงานนี้เราได้ใช้ IC สำเร็จรูป MC 1496 หรือเราจะใช้ MC1596 ก็ได้โดย IC ตัวนี้จะทำหน้าที่เป็น BALANCE MODULATOR/DEMODULATOR IC ตัวนี้ถูกออกแบบสำหรับใช้กับ OUTPUT ที่เกิดจากการคูณของอินพุทกับ CARRIER ซึ่งนอกจากทำเป็นวงจร BALANCE MOD/DEMOD แล้วยังสามารถนำไปประยุกต์ใช้ได้อีกหลายอย่างเช่น AMPLITUDE MODULATION,SYNCHRONOUS DETECTION,FM DETECTION และการนำ IC ตัวนี้มาใช้ต้องพิจารณาดูด้วยว่าในวงจรที่เราใช้นั้นมีการกำหนดค่าถูกต้องตาม IC ที่เรามีอยู่หรือไม่เพราะ IC ชนิดนี้มี 2 รูปแบบ คือแบบที่เป็นตัวถังโลหะ ซึ่งมี 10 ขา และแบบตัวถังพลาสติกซึ่งมี 14 ขา ซึ่งมีวงจรที่ใช้มีลักษณะดังรูปที่ 3.6 โดยมีข้อกำหนดของขนาดของสัญญาณ CARRIER I/P = 60 mV และ MODULATING SIGNAL = 300 mV วงจรที่ใช้นี้ใช้ไฟเพียงชุดเดียวคือ +12V นอกจากนี้ IC ตัวนี้ยังสามารถใช้กับไฟเลี้ยง 2 ชุด ได้คือ +12V และ -8V และหากต้องการนำ IC ตัวนี้ไปประยุกต์ใช้กับงานอื่นก็ต้องมีข้อกำหนดที่เพิ่มขึ้นและแตกต่างกันออกไปโดยเราสามารถดูได้จาก DATA SHEET



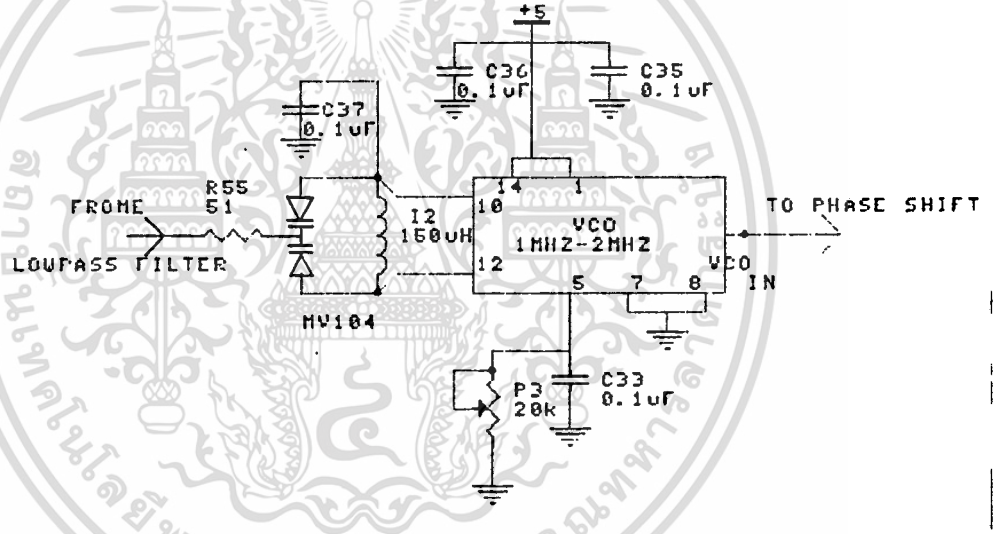
รูปที่ 3.6 วงจร BALANCE MODULATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 วงจร VOLTAGE CONTROL OSCILATOR (VCO)

โดยทั่วไปเป็นวงจรออสซิลเลเตอร์ที่ใช้ VARICAP เป็นตัวที่ทำให้เกิดการเปลี่ยนความถี่ หรือเราจะใช้เป็นวงจรรวมสำเร็จรูปก็ได้เช่น IC เบอร์ XR2276 หรือ IC ตระกูล NE555,561,565 หรือ MC 1648, MC 4060

วงจร VCO นิยมใช้ FET เนื่องจากมีนอยส์ต่ำและอินพุทอิมพีแดนซ์มีค่าสูงแค่บางครั้งก็ใช้ IC เบอร์ MC1648 ซึ่งในโครงการนี้ก็ใช้ IC เบอร์ MC 1648 ซึ่งมีวงจรดังรูปที่ 3.7



รูปที่ 3.7 วงจร VCO

IC เบอร์ MC 1648 เป็นวงจร VOLTAGE OSCILSTOR ที่ต้องการวงจร TANK แบบขนานจากภายนอกโดยวงจร TANK ที่ใช้ประกอบไปด้วย INDUCTOR (L) และ CAPACITOR (C) และใช้ VARICAP DIODE ประกอบร่วมในวงจร TANK ด้วย

ช่วงการจูนของวงจร OSCILLATOR ในการต่อใช้งานแบบ VOLTAGE CONTROL OSCILLATOR สามารถคำนวนได้จากสูตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{f_{max}}{f_{min}} = \frac{\sqrt{C_d\,(max) + C_s}}{\sqrt{C_d\,(min) + C_s}}$$

โดยที่ f_{min} สามารถคำนวนได้จากสูตร

$$f_{min} = 1/(2\pi\sqrt{L\,(C_d\,(max) + C_s)}$$

โดยที่ C_s = SHUT CAPACITANCE (INPUT PLUS EXTERNAL CAPACITANCE)

C_d = VARICAP CAPACITOR ที่ถูกควบคุม BIAS VOLTAGE

จาก DATA SHEET C_D ของ TUNING DIODEE เบอร์ MV 104

$C_{D(MAX)}$ = 23PF AT VR = 1 V

$C_{D(MIN)}$ = 13PF AT VR = 6.5 V

คำนวนหาค่า C

เลือกใช้ค่า L = 150 μH

เมื่อ C_S = 6 PF (IC INPUT CAPACITANCE AT PIN 12) + 2 PF (STRAY CAPACITANCE) = 8 PF (บางครั้งก็ไม่ใช้ค่า C_S นี้)

$$1 \times 10^6 = 1/(2\pi)\sqrt{150\times10^{-6}(23\times10^{-12}+C+8\times10^{-12})}$$

$$C = 138\ PF$$

จากวงจร C_1 และ C_2 ต่อไว้เพื่อ BY PASS โดยเลือกใช้ค่า 0.1 μF ถ้าความถี่สูงกว่านี้ค่า C ควรลดลงอุปกรณ์ที่ใช้ในการ BY PASS ทุกตัวควรตัดขาให้สั้นที่สุด เพื่อป้องกันไม่ให้เกิดค่า L ที่ไม่ต้องการ ส่วน VARIABLE RESISTOR ที่ต่ออยู่กับขา 5 เพื่อเป็นการปรับให้ OUTPUT ได้สัญญาณ SINE WAVE ที่ OUTPUT โดยมีค่าประมาณ 1 กิโลโอมห์

3.8 วงจรสังเคราะห์ความถี่และวงจรกรองของลูป

เป็นส่วนของการเปลี่ยนความถี่ของ carrier ในการส่งโดยการใช้ MC145151-2 เป็น PLL แบบ single_Modulus Precalers แบบขนาน เป็น IC CMOS ซึ่งสามารถโปรแกรมหารความถี่ 2^{13} แบบ Binary หรือ14 input แบบขนาน และตัวมันจะอาศัยความถี่อ้างอิงจากภายนอกหรือจาก crystal มี program สำหรับหารความถี่ได้ ในโครงงานนี้ต้องการออกแบบให้มีความถี่ VCO ตั้งแต่ **1000** KHz-**2000** KHz เพื่อส่งต่อให้ D FF ทำการ shift phase กัย 90 องศา DFF นี้จะหาร 2 เหลือความถี่**500**KHz- **1** MHzเป็นย่านความถี่ของ AM ความถี่อ้างอิงที่ป้อนให้ MC145150-2 ใช้ Crystal ค่า 4.096MHz ตั้งค่าความถี่ในการหาร 2048 อ้างอิง 2 KHz เพื่อเปรียบเทียบกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ของ VCO ที่ผ่านวงจรหาร N และ step ในการเปลี่ยนความถี่ได้ละเอียดสุด 1KHz สำหรับการออกแบบจะใช้สมการในการคำนวณจาก data sheet ให้เกนของเฟสดีเทคเตอร์

$$Kd = Vcc/4\pi \qquad rad/v$$

ในวงจรใช้แรงดัน 9V ได้เกน Kd=0.71 rad/v ในวงจรของ VCO ได้ควบคุมการวัดที่ผลิตความถี่ทาง output ความถี่ต่ำสุด Fmin=1000 KHz ที่แรงดัน 1.3 V และความถี่สูงสุด Fmax=2000KHz ที่แรงดัน 9 โวลท์เพื่อหาเกนของ VCO ตามสมการ

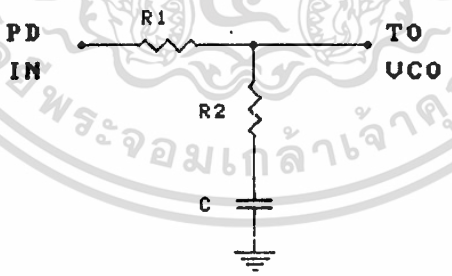
$$Kvco = 2\pi f_{vco} / V_{vco} \qquad rad/s/v$$

ค่าเกน $K_{vco} = 1.55x10^6$ rad/s/v โปรแกรมการหารสามารถคำนวนได้จากความถี่อ้างอิงและความถี่ทางเอาท์พุท N = 900 ในส่วนของความถี่ธรรมชาติ

$$\omega_n = 2\pi f_r / 10$$

ซึ่ง f_r = 2000 Hz ได้ ω_n = 1256 Hz

ในการคำนวนหาค่าอุปกรณ์ในวงจรกรองของลูปในโครงงานนี้ใช้วงจรกรองในลูปแบบพาสซีฟ



รูปที่ 3.8.1 วงจรกรองในลูป

สมการคำนวณที่ใช้

$$\omega_n = \sqrt{kdk_{vco} / NC(R_1+R_2)}$$

$$\zeta = 0.5\omega n(R_2C + N/KdKvco)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยปกติแล้วในการออกแบบใช้ ζ = 0.707 และใช้ค่า Nmax เพื่อให้สามารถผลิตความถี่ในย่านความถี่สูงได้จากการแทนค่าในสมการ

$$\omega n^2 = KdKvco/NC(R_1 + R_2)$$

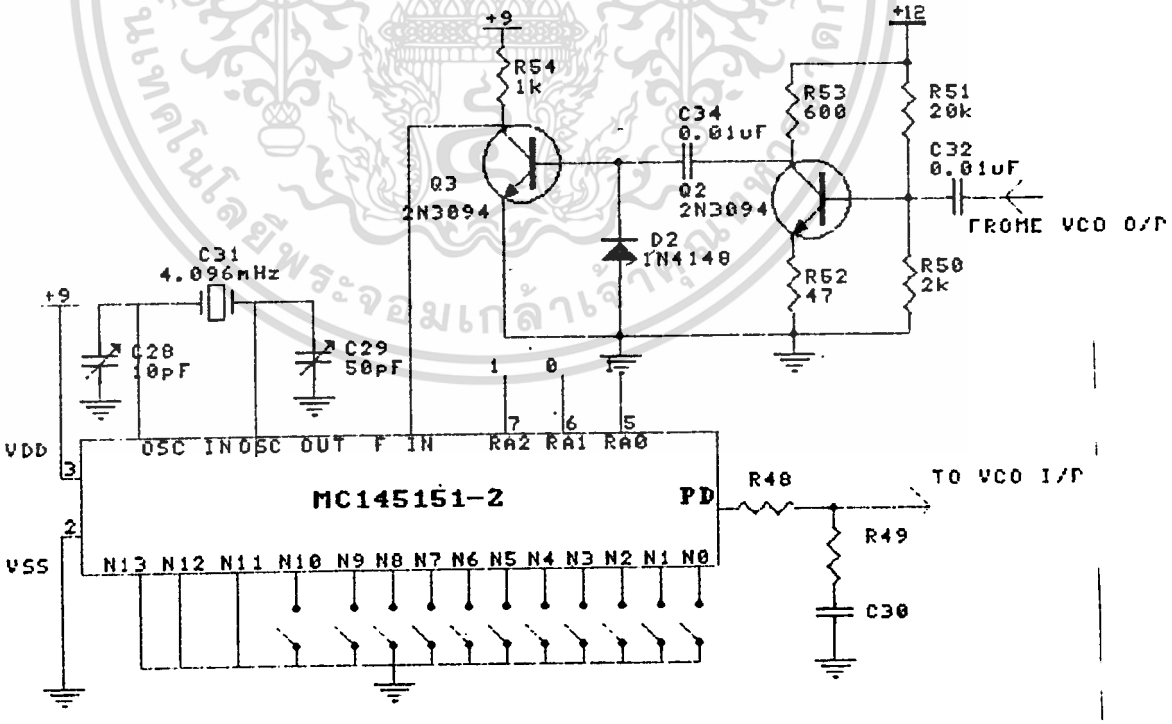
$$R_2 = (\zeta/0.5\ \omega n - N/KdKvco)/C$$

แทนค่าในสมการ $R_2 = 3.5\ K\Omega$ (เมื่อใช้ C = 0.1 μ)

$$R_1 = KdKvco/\ \omega n^2 NC - R_2$$

$$R_1 = 3.6\ K\Omega$$

สำหรับเอาท์พุทของ VCO มีระดับแรงดันต่ำมาก ประมาณ 400 mVp-p ในโครงงานใช้วงจรทรานซิสเตอร์ต่อขยายให้มีแรงดัน 3 V P-P ซึ่งเป็นสัญญาณ Sine Wave จึงจำเป็นต้องเปลี่ยนเป็นสัญญาณดิจิตอลที่ลอจิก 1 แทนระดับแรงดัน 9 โวลท์ โดยใช้ทรานซิสเตอร์ทำงานในช่วง Saturate เพื่อเป็นอินพุทของ MC 145151-2 ให้สามารถทำงานได้ดังรูปที่ 3.8.2

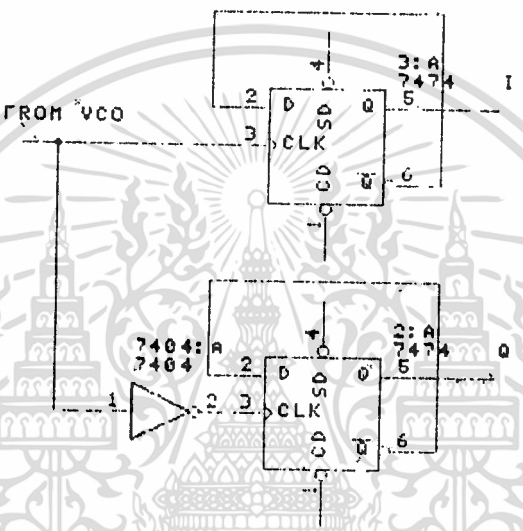


รูปที่ 3.8.2 วงจรสังเคราะห์ความถี่และวงจรกรองของลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9 PHASE - SHIFTED

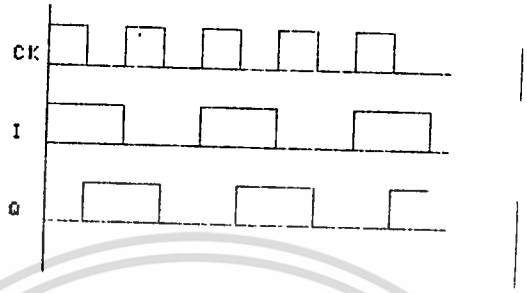
นำสัญญาณจากวงจร PLL ซึ่งเป็นความถี่ย่าน **1000-2000** KH_z เป็น INPUT ของ D FLIP-FLOP ซึ่งมี 2 ตัว ดังรูป



รูปที่ 3.9.1 วงจร SHIFT PHASE 90 องศา

จากหลักการของระบบนี้ต้องการความถี่คลื่นพาห์ที่มีความต่างเฟส I และ Q กัน 90 องศา สัญญาณ มีเฟส 0 องศา โดย. เอาสัญญาณ PLUSE ผ่าน D FLIP-FLOP เป็นการหารด้วย 2 ซึ่งต้องอยู่ในลักษณะ TOGGLE จะได้ความถี่ออกมา **540-1000** KH_z ในช่วงของสัญญาณ AM พอดี ส่วนสัญญาณ Q ได้จากอินพุทที่มีการกลับเฟส 100 องศา เข้าวงจร D FLIP-FLOP เป็นการหารด้วย 2 เช่นกัน ลักษณะการต่อเหมือนกับด้าน I จะได้สัญญาณมีความต่างเฟสกัน 90 องศา ซึ่งอธิบายโดยแผนภาพเวลา (TIMMING DIAGRAM)

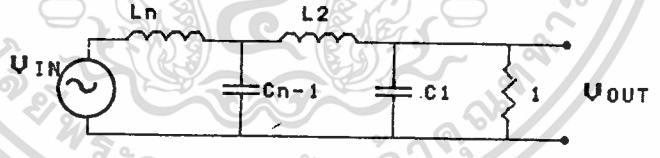
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9.2 รูปแสดง TIMMING DIAGRAM

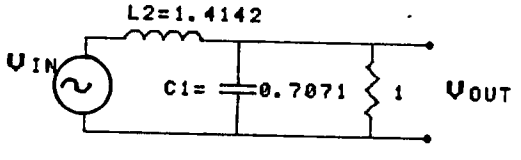
3.10 วงจร BANDPASS FILTER

ในโครงงานนี้ได้ทำการออกแบบโดยใช้วงจรแบบ Passive Filter Order สองซึ่งมีลักษณะเป็นแบบ Windband ซึ่งมีย่านความถี่ตั้งแต่ 540 - 1600 Khz เพื่อกรอง Harmonic แรกที่เป็นสัญญาณ Sine Wave และตัด Hamonic ที่ไม่ต้องการออกไป การออกแบบนั้นได้ใช้วงจร Highpass และ Lowpass ต่อร่วมกันซึ่งอาศัยรูปแบบมาตรฐานและเปิดตารางจากภาคผนวก



รูปที่ 3.10.1 รูปวงจร Lowpass Filter มาตรฐาน

เมื่อเปิดตารางที่ 4.1 ในภาคผนวกใช้ Order 2 ได้ค่า L และ C ดังรูป



รูปที่ 3.10.2 วงจร Lowpass Filter

เมื่อเปลี่ยน Lowpass Filter เป็น Highpass Filter ได้จากสูตร

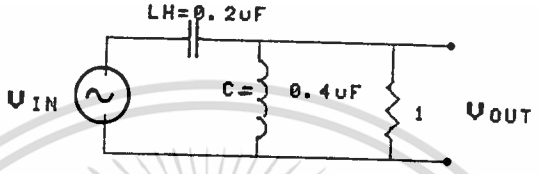
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_H = 1/\omega_o L_L$$

$$L_H = 1/\omega_o C_L$$

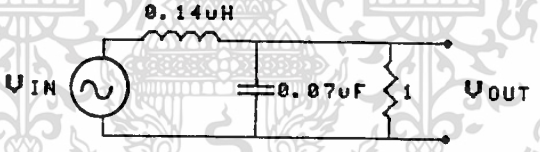
เมื่อ $\omega_o = 2\pi f_o = 3.4*10^6$ rad/s

$$C_H = 0.2\ \mu F \quad , L_H = 0.4\ \mu H$$



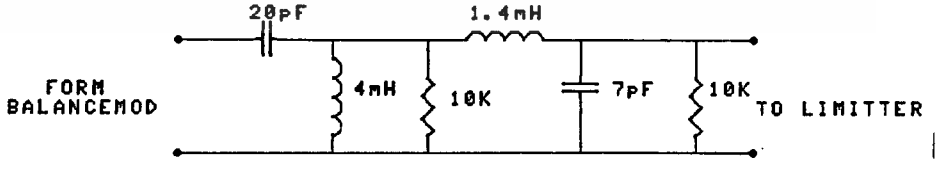
รูปที่ 3.10.3 วงจร Highpass Filter

จากวงจร Lowpass filter มี Frequency Cutoff ที่ 1 rad/s จะต้องใช้ Frequency scaling Factor ω_o = 10 rad/s แทนค่าในสมการได้ค่า L และ C ดังรูปที่ 3.10.4



รูปที่ 3.10.4 วงจร Lowpass Filter

นำวงจร Highpass และ วงจร Lowpass มาต่อร่วมกันจากเอาท์พุทของวงจร Balance Modulator มีค่าเอาท์พุทอิมพีแดนซ์ประมาณ 10 KΩ ได้วงจรใช้งานจริงดังรูปที่ 3.10.5

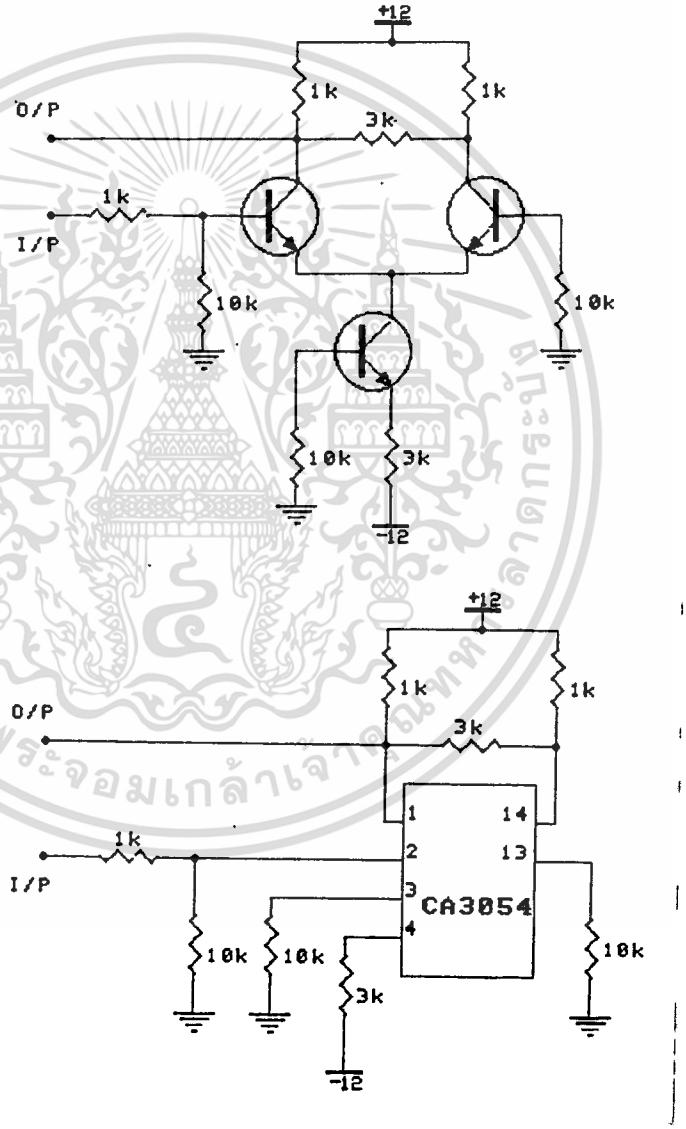


รูปที่ 3.10.5 วงจร Bandpass filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.11 การออกแบบวงจรลิมิตเตอร์ (LIMITER)

การสร้างวงจร LIMITER นั้นในโครงงานนี้ต้องการนำมาใช้เพื่อนำมาจำกัดขนาดของสัญญาณที่รวมกันของ BALANCE MOD ของ CARRIER INSERTER เพื่อให้มีขนาดของสัญญาณที่เท่ากันตลอดโดยในโครงงานนี้เราใช้เป็นวงจร DIFF Amp โดยใช้ทรานซิสเตอร์ประกอบเป็นวงจร แต่ในโครงงานนี้ได้ใช้ IC เบอร์ CA3054 ซึ่งเป็น GENERAL PURPOSE TRANSISTER ARRAY มาประกอบวงจรโดยมีลักษณะของวงจรดังรูปที่ 3.11



รูปที่ 3.11 วงจร LIMITER โดยใช้ DIFF Amp

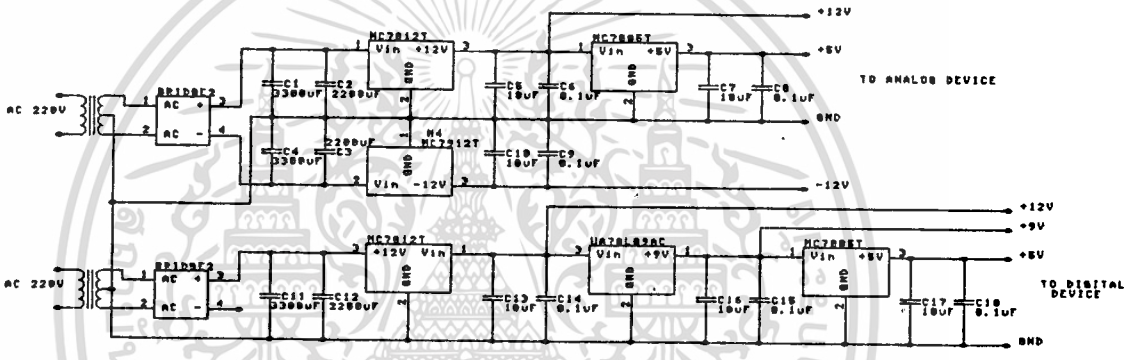
3.12 วงจรแหล่งจ่ายไฟ

ในโครงงานนี้ ในภาคของแหล่งจ่ายไฟได้ใช้เป็นวงจรรวมที่สำเร็จ แบบเรกูเลเตอร์สามขา ชนิดแรงดันคงที่ ซึ่งเป็นวงจรที่ใช้ง่ายไม่ต้องใช้อุปกรณ์ต่อภายนอกมากนัก ในการต่อใช้งานได้ทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแยกแหล่งจ่ายออกเป็นสองส่วนโดยแยกเป็นสัญญาณ Analog และ สัญญาณ Digital เพราะในโครงงานนี้ใช้วงจรทั้ง Digital และ Analog ร่วมกันสาเหตุที่ต้องทำการแยก Supply เพราะป้องกันการรบกวนซึ่งกันและกันโครงการนี้มีการใช้ไฟหลายระดับและมีทั้งไฟบวกและไฟลบดังนั้นในวงจร Bridge Rectifiersต้องใช้หม้อแปลงแยกอิสระต่อกัน และใช้ IC ในตระกูล 78XX ซึ่งเป็นไฟบวกและ 79XX ซึ่งเป็นไฟลบแล้วทำการดึงระดับไฟในค่าที่ต้องการไปใช้ โดยใช้วงจรตามรูป 3.12 ในหน้าถัดไป

ไอซีเรกูเลเตอร์ชนิด 3 ขาแบบระดับแรงดันคงที่มีทั้งที่เป็นไฟบวกและไฟลบและมีให้เลือกได้หลายระดับ ทั้งโวล์ทเตจและกระแสเพราะฉะนั้นในการเลือกใช้งานควรเลือกดูให้เหมาะสมกับลักษณะการใช้งาน



รูปที่ 3.12 วงจรจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

เอเอ็มสเตริโอมอนิเตอร์ไอซีดีโค้ดสัญญาณและวงจรดีโค้ดสัญญาณเอเอ็มสเตริโอ

4.1 เอเอ็มสเตริโอมอนิเตอร์

เป็นตัววัดระดับสัญญาณต่างๆ ที่ได้จากการ DECODER สัญญาณเอเอ็มสเตอริโอ L+R และ L-R เพื่อแสดงสัญญาณ PILOT TONE ระดับของ CARRIER สัญญาณเสียงซ้าย และ ขวาซึ่งแสดงระดับโดยมอนิเตอร์นอกจากนี้ยังแสดงเปอร์เซ็นต์การมอดดังรูปที่ 4.1

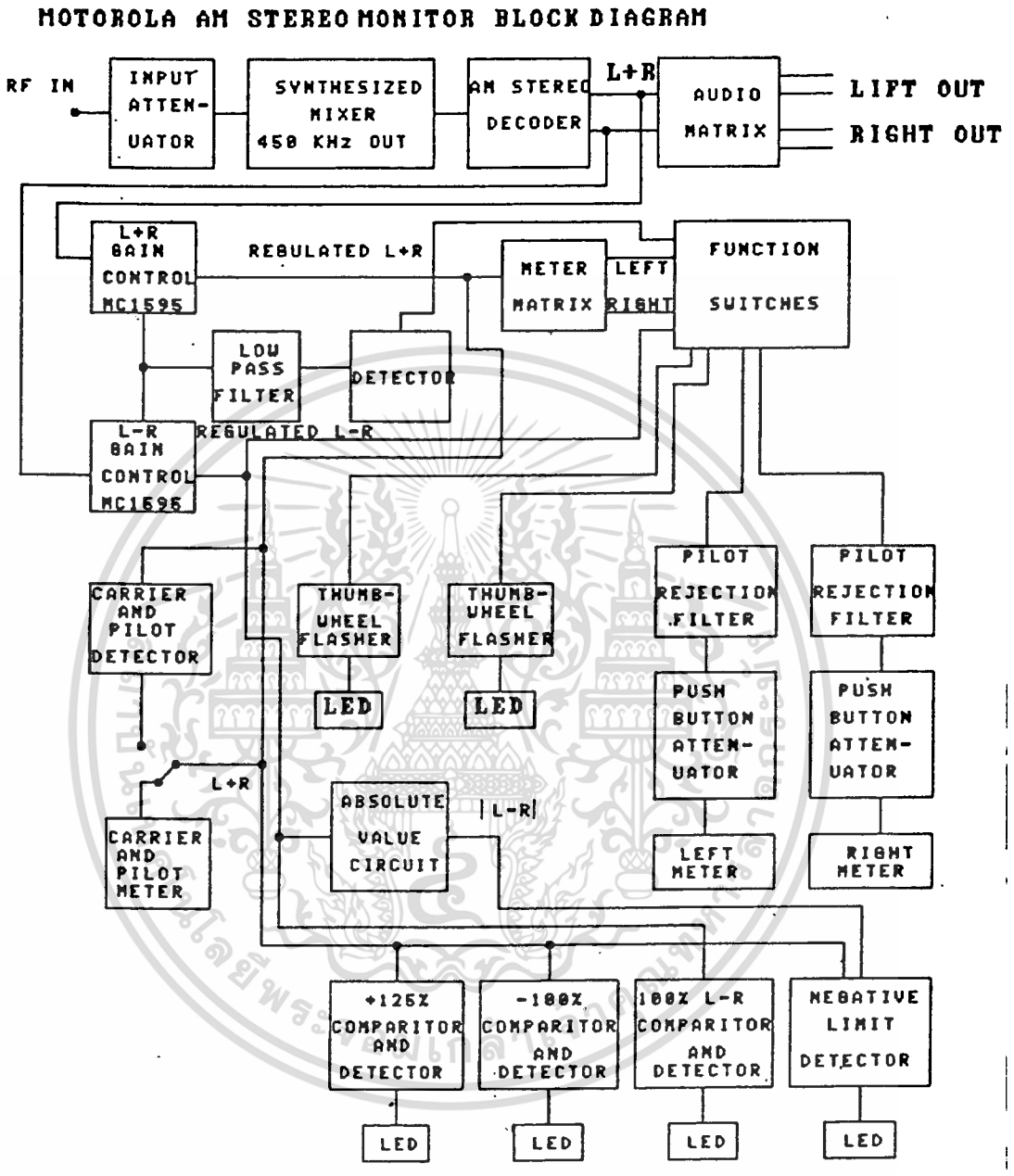
จากบล็อคไดอะแกรมสัญญาณ RF จากเอเอ็มสเตริโอเอ็นโค้ดที่เป็นระบบ C-QUAM ที่ ผ่านการขยายจะถูกลดทอนด้วยวงจร ATTENUATOR ให้มีระดับที่เหมาะสมเพื่อเป็นอินพุทของวงจร SYNTHESIZED ได้สัญญาณ IF 450 Khz ผ่านวงจร AM STEREO DECODE เพื่อแยก L+R และL-R ส่วนของ L-R ผ่านวงจร L-R GAIN CONTROL เพื่อให้ระดับที่คงที่สัญญาณ L+R จะเหมือนกับทางด้าน L-R เอ้าท์พุททั้งสองเป็นอินพุทกับวงจร FUNCTION SWITCHES เพื่อแยกสัญญาณซ้ายและขวาเพื่อแสดงผลทางมิเตอร์เอาร์พุทของ L+R และ L-R อีกส่วนเข้าสู่วงจร COMPAITOR เพื่อแสดงเปอร์เซนต์ของการมอด

4.2 ไอซีดีโค้ดสัญญาณ

IC MC 13020P เป็นไอซีที่ผลิตขึ้นโดยบริษัทโมโรล่า ภายในตัวไอซีมีวงจรดีโค้ดที่สมบูรณ์ในชิพเดียว มีวงจรตรวจจับสัญญาณไพล็อคและขับหลอดไพล็อต แสดงสัญญาณสเตริโอ สัญญาณ L+R ซึ่งเป็นสัญญาณโมโนจะได้จากวงจรเอ็นเวล็อปดีเท็กเตอร์ส่วนสัญญาณสเตอริโอคือ L-R ได้จากวงจรดีเท็คแบบเฟสล็อกลูป ซึ่งจะทำงานต่อเมื่อมีสัญญาณไพล็อท 25 Hz ระบบ C-QUAM ปรับปรุงมาจากระบบ QUAM (Ouadrature Amplitude Modulator)ซึ่งสัญญาณ L-R ถูกส่งออกไปโดยการมอดูเลทกับคลื่นพาห์ที่ความถี่เดียวกันแต่ต่างเฟสกัน 90 องศาแต่สัญญาณ L-R มีการกำจัดคลื่นพาห์ออกคงเหลือแต่ไซด์แบนด์ทั้ง 2 ข้าง

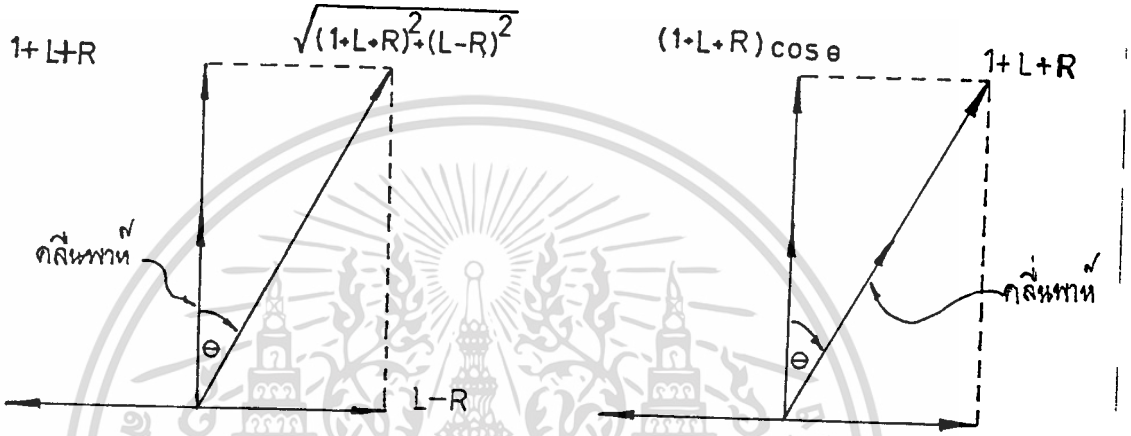
เนื่องจากเครื่องใช้โมโนใช้เอ็นเวล็อปดีเท็คเตอร์เพียงอย่างเดียวซึ่งไม่สามารถแยกความแตกต่างของเฟสได้แต่จะมองเป็นผลรวมทั้งหมดเครื่องรับโมโนจึงรับสัญญาณ QUAM ได้โดยมีความเพี้ยนสูงมาก บริษัทโมโตโรล่าได้ทำการแก้ไขปรับปรุงเพื่อให้เครื่องโมโนยังคงรับสัญญาณทั้งสองแกน (L+R,L-R)ด้วยแฟกเตอร์ตัวหนึ่งคือ COS θ ซึ่งจะทำให้ผลรวมทางเวกเตอร์ของสัญญาณทั้ง 2 ยังคงเหมือนกับสัญญาณโมโนทุกประการเครื่องรับเดิมก็จะรับฟังได้โดยไม่เพี้ยน ระบบที่พัฒนาใหม่นี้มีชื่อว่า C-QUAM มีชื่อเต็มว่า (Compattible Quadrature Amplitude Modulator) ภาพแสดงเวกเตอร์ของสัญญาณ QUAM และ C- QUAM แสดงเปรียบเทียบให้ดูในรูปที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 Block Diagram ของ AM STEREO MONITOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 เวกเตอร์แสดงสัญญาณ เอ เอ็ม สเตริโอ

4.3 MC 13020P ดีโค้ดเดอร์

จากแผนผังวงจรรูนภายในของ MC 13020P ในรูปที่ 4.3 จะเห็นว่าตัวดีโค้ดเดอร์ได้สัญญาณมาจากเอ้าท์พุทของภาคขยายไอเอฟของวิทยุเอเอ็ม แล้วทำการดีโค้ดสัญญาณ C-QUAM ได้เป็นสัญญาณเสียง ซ้ายและขวา ซึ่งในขณะที่ไม่มีสัญญาณสเตริโอหรือสัญญาณสเตริโออ่อนเกินไปก็จะทำให้เอ้าท์พุทเป็นโมโนทั้ง 2 แชนเนล โดยคุณภาพเสียงไม่เลวลง

ขั้นตอนแรกของการดีโค้ดคือการแปลงสัญญาณ C-QUAM ให้เป็นสัญญาณ QUAM ก่อนโดยการเปรียบเทียบเอ้าท์พุทของเอ็นเวล็อปดีเท็คเตอร์ (Envelope Detector) กับเอ้าท์พุทจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I ดีเท็คเตอร์ (L+R) ในเออร์เรอร์ดีเท็คเตอร์ (Error Detector)ยกตัวอย่างเช่น เมื่อสัญญาณที่เข้ามาเป็นโมโน (คือมีเฉพาะ L+R) ทั้งเอ็นเวล็อปดีเท็คเตอร์และ I ดีเท็คเตอร์จะเห็นสัญญาณเหมือนกัน จึงไม่เกิดสัญญาณเออร์เรอร์จากเออร์เรอร์ดีเท็คเตอร์ แต่ถ้าหากสัญญาณที่เข้ามาเป็นสัญญาณสเตริโอที่เอ็นเวล็อปดีเท็คเตอร์จะคงเห็นสัญญาณเหมือนเดิมคือ (1+L+R) แต่ I ดีเท็คเตอร์ซึ่งมีความไวต่อเฟสจะเห็นสัญญาณเป็น (1+L+R)Cos θ เมื่อเปรียบเทียบกันแล้วจะได้สัญญาณ 1/Cos θ จากเออร์เรอร์ดีเท็คเตอร์ ซึ่งเรียกว่า (CORRECTION FACTOR)

เอ้าท์พุทจากเออร์เรอร์ดีเท็คเตอร์ถูกนำไปควบคุมอัตราการขยายของ Variable Gain ซึ่งเป็นการคูณ 1/Cos θ เข้ากับสัญญาณ C-QUAM ก็จะได้เป็นสัญญาณ QUAM แล้วจึงนำสัญญาณ QUAM นี้มาดีเท็คโดยวิธี Quadrature Detection ต่อไป

การดีเท็คแบบควอดคราเจอร์ขั้นแรกต้องเฟสอ้างอิงที่ตรงกับสถานีส่งก่อนโดยการใช้วงจรเฟสล็อกลูป อันประกอบด้วยเฟสดีเท็คเตอร์และ VCO โดย VCO จะกำเนิดความถี่ขึ้นมาแล้วหารลงให้เหลือความถี่เท่ากับไอเอฟ (455 Khz) แล้วเปรียบเทียบกับความถี่ไอเอฟที่ได้จาก Variable Gain ได้เอ้าท์พุทเป็นไฟตรงมาควบคุมเฟสของ VCO ให้ตรงกับสถานีตลอดเวลา ความถี่ที่ได้จากวงจรหารจะได้เป็น 2 เฟสคือ 0 องศาและ 90 องศาป้อนให้ I ดีเท็คเตอร์และ Q ดีเท็คเตอร์เพื่อรวมสัญญาณที่ได้รับได้ แล้วดีเท็คได้เป็นสัญญาณ 1+L+R และ L-R

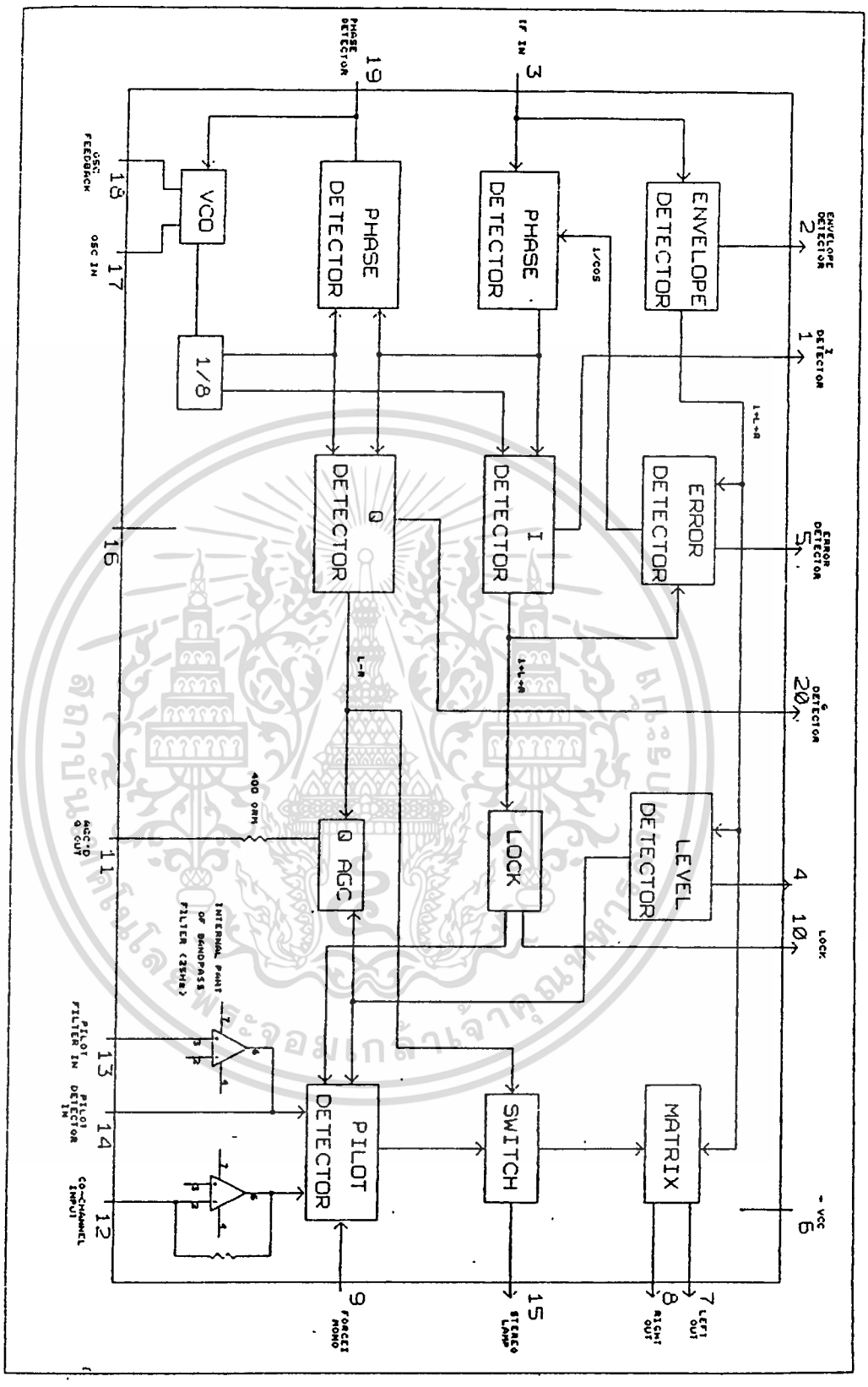
สำหรับเลเวลดีเท็คเตอร์ (Level Detecter) ใช้ตรวจจับระดับความแรงของคลื่นพาห์เพื่อควบคุมอัตราการขยาย Q AGC (Automatic Gain Control)ให้ได้สัญญาณไพล็อท 25 Hz ที่คงที่และควบคุมไพล็อทดีโค้ดเดอร์ซึ่งเอ้าท์พุทจาก Q AGC จะต่อออกไปยังวงจรความถี่ภายนอกทางขา 11 และป้อนกลับเข้ามายังวงจรไพล็อทดีโค้ดทางขา 14

การเปลี่ยนโหมดโมโน/สเตริโอ แบบอัตโนมัติมีการทำงานดังนี้คือ ในขณะที่สัญญาณที่เป็นเตริโอมาแรงดีโค้ดเดอร์จะเปลี่ยนโหมดเป็นสเตริโอหลังจากตรวจพบสัญญาณไพล็อท 25 Hz เป็นจำนวน 7 ไซเคิลแล้ว แต่ถ้าหากสัญญาณที่รับได้เลวหรือมีสัญญาณรบกวนดีโค้ดเดอร์จะรอจนกว่าจะได้รับสัญญาณไพล็อทครบ 7 ไซเคิลจึงจะเปลี่ยนโหมดเป็นสเตริโอ

หากดีโค้ดเดอร์ไม่ได้รับสัญญาณไพล็อทหรือรับได้แต่ไม่ครบ 7 ไซเคิล ก็จะถือว่าสัญญาณที่รับได้เป็นโมโน แต่ก่อนที่จะเปลี่ยนเป็นโมโนโหมดจะมีการนับเพื่อหน่วงเวลา ทั้งนี้เพื่อเป็นการป้องกันการเปลี่ยนโหมดอันเนื่องมาจากสัญญาณรบกวน

เมื่อสัญญาณต่างๆ ถูกต้องและอยู่ในโหมดสเตริโอเรียบร้อยแล้ว หลอด LED จะถูกขับให้สว่าง สัญญาณ L-R จะถูกส่งผ่านไปยังวงจร MATRIX รวมกับสัญญาณ 1+L+R จากเอ็นเวล็อปดีเท็คเตอร์ได้เป็นสัญญาณ L และ R ทางขา 7 และขา 8 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

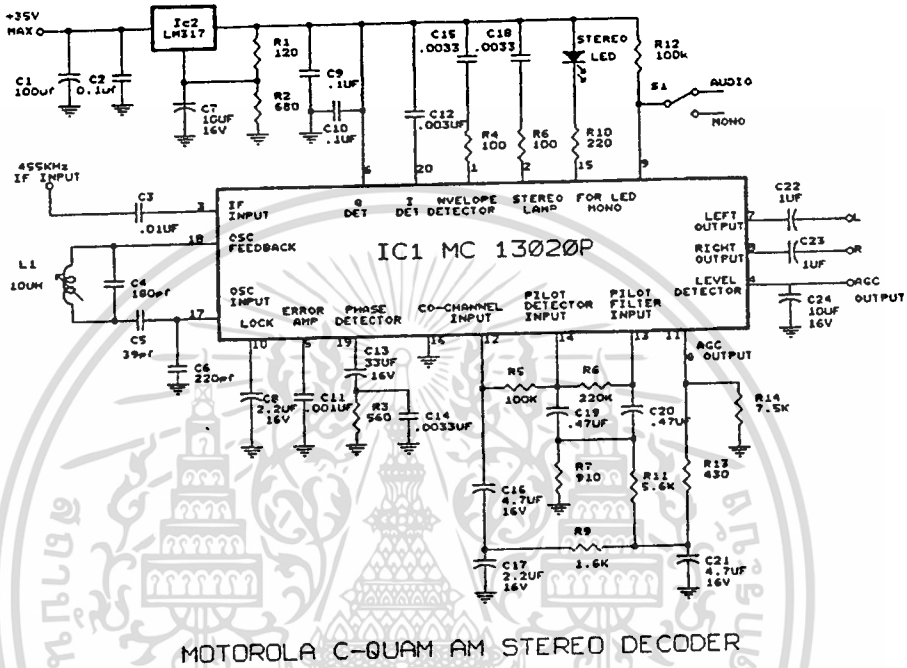


รูปที่ 4.3 ลักษณะวงจรภายในของ MC 13020P

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 วงจรดีโค้ดเดอร์ที่สมบูรณ์

วงจรดีโค้ดเดอร์ระบบสเตริโอแบบ C-QUAM ที่ใช้ MC 13020P แสดงในรูปที่ 4.4



รูปที่ 4.4 แสดงวงจรดีโค้ดสัญญาณ เอ เอ็ม สเตริโอระบบ C-QUAM

4.5 จูนเนอร์ที่เหมาะสม

เครื่องรับหรือจูนเนอร์เอเอ็มที่มีขายตามท้องตลาดโดยทั่วๆ ไปใช่ว่าจะสามารถดีโค้ดสัญญาณสเตริโอได้ทุกเครื่องถ้าหากมีคุณสมบัติไม่ดีพอถึงจะต่อวงจรดีโค้ดเดอร์ร่วมกันแล้วก็ยังไม่ได้สัญญาณซ้ายขวาที่เป็นสเตริโอ ดังนั้นจึงต้องพิจารณาเลือกเครื่องรับที่จะใช้ด้วย

4.6 ปัญหาในการสร้าง AM STEREO MONITOR และ จูนเนอร์

- ในส่วนของวงจรดีโค้ดเดอร์สัญญาณ AM STEREO ไม่สามารถหา Crystal 3.6 Mhzเมื่อทดลองใช้วงจร TANK เป็น L,C ผลการทดลองไม่สามารถดีโค้ดได้เนื่องจากความถี่ที่ผลิตไม่เสถียรและค่า L,C ไม่สามารถหาได้ให้ตรงตามค่าที่คำนวณ
- ในส่วนของจูนเนอร์ชนิดที่จูนด้วยมือที่ต้องใช้การปรับค่า L และค่า C ก่อให้เกิดปรากฏการณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไมโครโฟนิกเอฟเฟคได้ง่ายโดยเฉพาะเครื่องรับที่มีลำโพงในตัวยิ่งเลวร้ายเพราะเกิดการสั่นสะเทือนจะมีผลอย่างมากในเรื่องของเฟสมอดูเลชั่นการแยกสัญญาณเพี้ยนและสัญญาณรบกวน

- จูนเนอร์แบบ Synthesizer หรือแบบใช้ Varicap Diode เป็นตัวจูนหาสถานีซึ่งมีความเที่ยงตรงและไม่ไวต่อการรบกวนต่างๆ จูนเนอร์แบบนี้ยับไม่ว่าจะไม่เกิดปัญหาเพราะอาจเกิดปัญหาจาก PLL ในจูนเนอร์ได้อีกซึ่งดิ้งมีการเพิ่มวงจรในภาค VCO สำหรับกรองแรงดันควบคุม VCO ให้เรียบขึ้น
- สำหรับจูนเนอร์ของเอเอ็มที่ใช้ไอซีเราไม่สามารถต่อไอเอฟออกมาใช้งานได้
- Bandwidth ของภาค ไอเอฟมีความกว้างไม่พออย่างน้อยควรไม่ต่ำกว่า 10 Khz ถ้า Bandwidth กว้างก็จะเกิดการรบกวนของสัญญาณอื่นได้ง่าย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

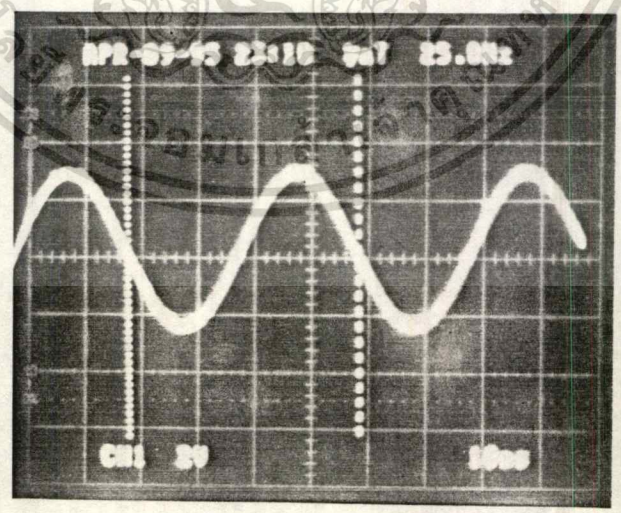
การทดลองและผลการทดลอง

สรุปผลได้ดังนี้

1. การทดลองในภาค EQUALIZER ซึ่งเป็นวงจร FILTER นั้นผลการทดลองวงจรสามารถทำงานได้ โดยผลการตอบสนองความถี่อยู่ในช่วงที่พอใช้ได้ เนื่องจากว่าอุปกรณ์ที่ใช้ในวงจรจำพวกค่า R และค่า C ที่ใช้มีค่าไม่ตรงกับความต้องการและอุปกรณ์แต่ละตัวก็มีค่าความผิดพลาดที่แตกต่างกัน ซึ่งจุดนี้เป็นผลอันทำให้วงจรมีผลตอบสนองไม่ตรงกับที่คำนวน

2. การทดลองในภาคเมตริกซ์จากผลการทดลองที่ได้นับว่ามีผลใกล้เคียงกับทางทฤษฎี แต่มีปัญหาบ้างเล็กน้อยในส่วนของวงจรลบคือ ในทางทฤษฎีแล้วถ้าเราป้อนสัญญาณทางซ้ายและทางขวาโดยให้มีขนาดเท่ากัน ผลที่ออกมาที่ O/P ควรจะเป็น 0 แต่ในทางปฏิบัติ ปรากฏผลที่ O/P มีโวล์ทเตจออกมาเล็กน้อยมีค่าเป็น มิลลิโวล์ท

3. การทดลองในภาคกำเนิดสัญญาณไพลอตโทน (PILOT TONE) ในการทดลองใช้ IC CMOS 4060 ใช้วงจรไบนารี 14 สเตท ได้ความถี่ 250 H_Z แล้วใช้ IC TTL DECADE COUNTER หาร 10 ได้ความถี่ออกมา 25H_Z ตามต้องการแต่ความถี่ที่ได้เป็น SQUARE WAVE จึงต้องนำเอาไปผ่านวงจร BAND PASS FILTER เพื่อให้ได้สัญญาณ SINE โดยวงจรจะกรองเอาแต่ ฮาโมนิคาร์แรกคือ SINE WAVE ออกมา สัญญาณที่ได้น่าพอใจดังรูปถ่ายที่ 1

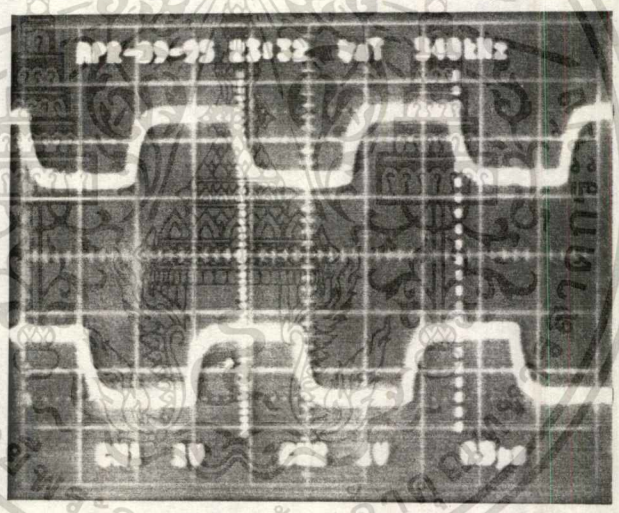


รูปถ่ายที่1 สัญญาณไพลอทโทน 25 H_Z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. การทดลองในภาค VCO ในการประกอบวงจร VCO ในตอนแรกนั้นได้ทดลองป้อนแรงดันจากแหล่งจ่ายโดยตรงซึ่งก็สามารถเปลี่ยนความถี่ OSC ได้แต่ยังไม่อยู่ในช่วงที่ต้องการซึ่งได้ทดลองทำการเปลี่ยนค่า L ใหม่โดยลอใช้ L ค่า 150 H ขนานไปกับตัวเดิมซึ่งผลที่ออกมาอยู่ในช่วงประมาณ 1 MH_Z ถึง 2MH_Z ซึ่งยังไม่เพียงพอในการเปลี่ยนย่านความถี่ตลอดย่านที่ใช้งานซึ่งค่า L ในการคำนวณที่ได้ไม่สามารถผลิตความถี่ที่ต้องการตลอดย่านเอเอ็มได้ซึ่งในโครงงานได้ใช้ความถี่ตั้งแต่ 540 - 1600 KHz

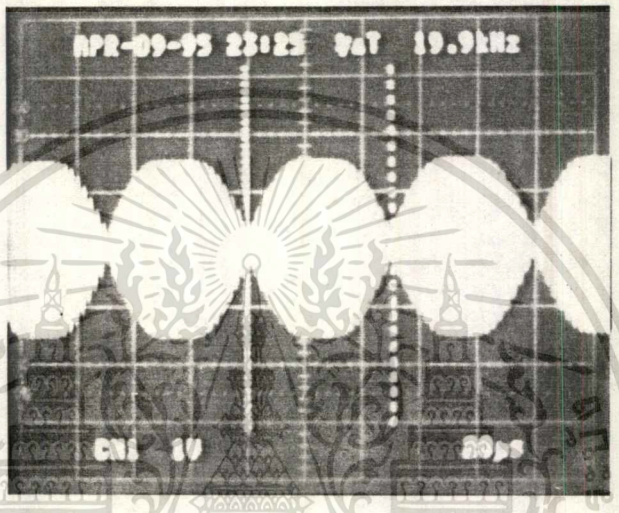
5. การทดลองในภาคแยกเฟสในส่วนนี้เราใช้ D FLIP-FLOP ต่อ 2 ตัวในลักษณะเดียวกันโดยให้ส่วนการชิฟ 90 องศา มี INPUT กลับเฟส 180 องศา ซึ่งเอาท์พุทที่ได้นั้นมีเฟสต่างกัน 90 องศา ตามที่ต้องการอย่างถูกต้อง ดังรูปที่ 2



รูปถ่ายที่ 2 สัญญาณเลื่อนเฟส 90 องศา

6. การทดลองในส่วนของวงจร BALANCE MODULATE ซึ่งเราใช้มอดูเลท ระหว่าง CARRIER ซึ่งออกจากวงจรแยกเฟส 0 องศากับ 90 องศา แล้วนำไป MOD กับสัญญาณ L+R และ L-R ซึ่งรวมกับ PILOT TONE 25 H_z ในส่วนนี้ต้องมีการลดระดับของ CARRIER ลงตามที่ต้องการโดยการใช้ความต้านทานลดระดับ ซึ่งต่อไว้ก่อนเข้าอินพุทซึ่งผลที่ออกมานี้เป็นที่น่าพอใจทั้งสองส่วน โดยสัญญาณที่ได้มีลักษณะตามรูปที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

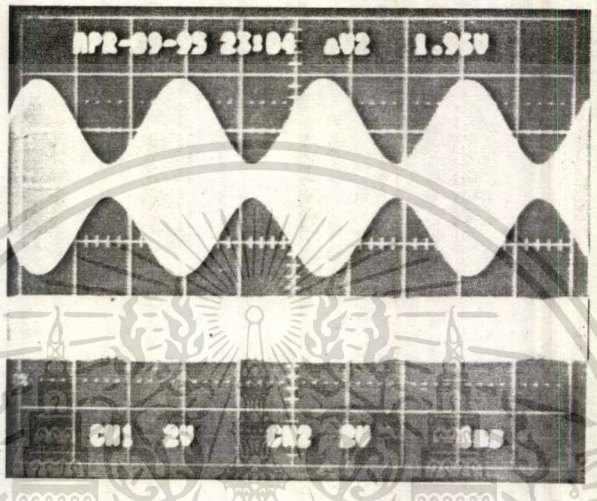


รูปถ่ายที่ 3 แสดงสัญญาณของวงจร BALANCE MOD

7. ในส่วนของวงจร FREQUENCY SYNTHESIZER ซึ่งสามารถเปลี่ยนโปรแกรมการหารความถี่ได้ตามต้องการ ตรงกับที่คำนวณและสามารถเปลี่ยนความถี่ STEP ละ 1 Khz ได้ดี การทำงานของลูปสามารถล็อกได้ตามต้องการ

8. การทดลองในภาค LIMITER เป็นการนำสัญญาณที่รวมกันจาก BALANCE MOD 2 ส่วน และส่วนที่เป็น CARRIER INSERTER ซึ่งสัญญาณที่ได้จากการรวมกันนั้นจะมีขนาดของ AMPLITUDE ไม่คงที่ซึ่งเมื่อเรานำเข้าวงจร LIMITER เพื่อทำให้ได้สัญญาณซึ่งมีขนาด AMPLITUDE เท่ากันตลอดโดยในส่วนของภาคนี้เราใช้ IC MC3054 ต่อเป็น DIFFERENTIAL Amp ซึ่งเนื่องจากว่ามีการเปลี่ยนความถี่ของ CARRIER ได้จึงเป็นการยากที่จะทำให้ O/P ที่ออกมามีขนาดเท่ากันตลอดซึ่งมีลักษณะของ O/P ตามรูปที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปถ่ายที่ 4 สัญญาณในภาค LIMITER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
บทสรุปและวิจารณ์

การทำโครงงานนี้มีปัญหาเกิดขึ้นหลายประการด้วยกัน ทั้งทางด้านเครื่องมืออุปกรณ์การทำงานและปัญหาที่เกิดจากอุปกรณ์และวงจรที่นำมาใช้ ซึ่งจะได้กล่าวโดยละเอียดดังนี้

จากกการทดลองในส่วนของวงจรในภาค equalizer และภาค matrix นั้นก็พบปัญหาในเรื่องสัญญาณรบกวน (noise) ที่เกิดจากแหล่งจ่ายไฟในการทดลอง และปัญหาจากตัวอุปกรณ์โดยในขั้นแรกได้เลือกใช้ Op-Amp เบอร์ 741 ซึ่งผลการทดลองพบปัญหาในเรื่องของสัญญาณรบกวนจึงได้เปลี่ยนมาใช้ Op-Amp เบอร์ LF 356 แทนซึ่งทนต่อสัญญาณรบกวนได้ดีกว่าและมี Band Width ที่กว้างมากกว่า ส่วนอุปกรณ์จำพวก Resister นั้นควรใช้ตัวต้านทานที่มีค่าผิดพลาด 1% และตัวเก็บประจุนั้นควรใช้ชนิดที่เป็นไมล่าร์และควรใช้ชนิดที่มีค่าผิดพลาดต่ำด้วยเพื่อให้ได้ผลตอบสนองของวงจรตรงกับที่ต้องการมากที่สุดและที่ขาไฟเลี้ยงของ Op-Amp ควรต่อตัวเก็บประจุประมาณ 0.1 ไมโครฟารัดคร่อมไฟบวกและไฟลบกับกราวด์ไว้เพื่อป้องกันไม่ให้เกิดสัญญาณรบกวน

ผลการทดลองในส่วนของวงจร Frequency Synthesizer จากการออกแบบซึ่งได้ใช้ IC เบอร์ MC 145151-2 ซึ่งภายในตัวไอซีประกอบด้วยวงจร Phese detector และวงจรหารความถี่ ความถี่อ้างอิงที่ใช้ได้มาจาก Crystal ค่า 4.096 MHz ซึ่งสามารถกำเนิดความถี่ตรงตามค่าดังกล่าว ในส่วนของความถี่ f_{in} ได้จากเอ้าท์พุทของวงจร VCO ที่มีค่าแรงดัน 200 มิลลิโวลท์ซึ่งมีค่าต่ำไม่สามารถใช้เป็นอินพุทโดยตรงของไอซีเบอร์ MC 145151-2 ได้จึงต้องผ่านการขยายด้วยทรานซิสเตอร์ก่อน ในการทดลองช่วงแรกซึ่งไม่ได้ทำการเปลี่ยนสัญญาณเอ้าท์พุทของวงจร VCO ให้เป็นสัญญาณ Sine Wave ก่อนนั้นทำให้ไอซีเบอร์ดังกล่าวไม่ทำงานแต่หลังจากทำการเปลี่ยนสัญญาณ f_{in} ให้เป็นสัญญาณ Sine ที่มีการเปลี่ยนระดับของแรงดันเป็น Vdd และ 0 โวลท์ก่อน แล้วป้อนเข้าสู่ขา f_{in}ของไอซีเบอร์ดังกล่าวแล้ว ผลการทดลองเป็นไปตามความต้องการ

ผลการทดลองในส่วนของวงจร Lowpass Filter นั้นได้ทำการออกแบบตาม Data Sheet ซึ่งผลการทดลองเป็นไปตามต้องการ

ผลการทดลองในส่วนของวงจร VCO ซึ่งได้เลือกใช้ไอซีเบอร์ MC 1648 จากการคำนวณเมื่อนำค่าดังกล่าวมาต่อวงจรแล้วไม่สามารถผลิตความถี่ในย่าน 1 MHz - 3 MHz
ได้จึงอาศัยการทดลองโดยการเปลี่ยนค่า C และเพิ่ม Varicap อีกหนึ่งตัวทำให้สามารถผลิตความถี่ได้ในช่วง 1 MHz - 2 MHz

ในส่วนของวงจรกำเนิดสัญญาณ Pilot tone 25 Hz ซึ่งในโครงงานนี้ได้ออกแบบโดยใช้ไอซีเบอร์ MC 14060 ซึ่งเป็นไอซี CMOS 14 State Binary Counter and Osccilator โดยการใช้ไอซีเบอร์ดังกล่าวหารความถี่จากความถี่ Crystal ได้ความถี่เอ้าท์พุท 250 Hz ซึ่งเป็นระดับสสัญญาณ CMOS ที่จำเป็นต้องลดระดับเป็นระดับ TTL โดยใช้ทรานซิสเตอร์ และทำการหารความถี่อีกครั้งโดยใช้ไอซีเบอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7490 ซึ่งทำหน้าที่หาร 10 ทำให้ได้ความถี่ 25 Hz ที่มีรูปสัญญาณเป็น Square Wave จึงต้องนำสัญญาณดังกล่าวไปผ่านวงจร Band Pass Filter เพื่อกรองเอาเฉพาะสัญญาณ Harmonic แรกของสัญญาณ Square Wave ซึ่งจะได้เป็นสัญญาณ Sine Wave 25 Hz ตามต้องการ

ในส่วนของงจร Phase Shift ไม่พบปัญหาในการ Shift 90 องศาแต่สัญญาณเอ้าท์พุทที่ออกมาไม่เป็น Square Wave ที่ดีมีการผิดเพี้ยนของสัญญาณซึ่งได้แก้ปัญหาโดยการใช้อุปกรณ์ R และ C ลดทอนสัญญาณลงเหลือ 200 มิลลิโวลท์ซึ่งทำให้เอ้าท์พุทของสัญญาณดีขึ้น

ในส่วนของวงจร Balance Modulation นั้นสามารถทำงานได้ถูกต้องแต่ต้องมีการปรับระดับของสัญญาณที่เป็น Carrier ให้ได้ค่าตาม Data Sheetกำหนด ซึ่งทำให้ได้สัญญาณเอ้าท์พุทตามต้องการ

ในส่วนของวงจร Bandpass Filter จากการทดลองมีปัญหาในช่วงความถี่ต่ำๆซึ่งอยู่ ในช่วงความถี่ตั้งแต่ 540 - 700 KHz ผลการทดลองจะได้เอ้าท์พุทเป็นสัญญาณ Sine Wave ที่มีความเพี้ยน ส่วนในช่วงความถี่ที่สูงกว่า 700 KHz ผลการทดลองไม่พบปัญหาส่วนปัญหาที่พบในส่วนของวงจรนี้ก็คืออุปกรณ์ที่ใช้ในวงจรนี้บางตัวไม่สามารถหาซื้อได้ตามค่าที่คำนวณจึงต้องเลือกใช้ค่าใกล้เคียงแทน

ในส่วนของวงจร Limiter ปัญหาที่เกิดขึ้นคือการกดสัญญาณให้เท่ากันตลอดไม่สามารถทำได้โดยสมบูรณ์เนื่องจากมีการเปลี่ยนความถี่ CARRIER และจาก Data Sheet ของไอซีเบอร์ CA 3054 ซึ่งมีรายละเอียดในการคำนวณไม่เพียงพอจึงต้องใช้การทดลองโดยการเปลี่ยนค่า Resistor เพื่อให้ได้แรงดัน Limit ที่เอ้าท์พุทค่า 2 โวลท์

ในส่วนของ Monitor ที่จะทำซึ่งไม่สามารถทำได้เนื่องจากมีปัญหาในส่วนของวงจร Decode ซึ่งใช้ไอซีเบอร์ MC 13020P โดยในขั้นต้นจะต้อง Decode สัญญาณ AM Stereo ให้ได้ ปัญหาที่พบเนื่องจากไม่สามารถหาซื้ออุปกรณ์ Crystal ค่า 3.6 MHz ไม่มีซึ่งจะต้องใช้เป็นความถี่อ้างอิงของ ไอซีเบอร์ดังกล่าว ในการทดลองได้แก้ปัญหาโดยการใช้วงจร Tank แทน Crystal ค่าดังกล่าวจากผลการทดลองปรากฏว่าความถี่จะเปลี่ยนแปลง ในส่วนของสัญญาณ IF ที่ได้จากจูนเนอร์ของวิทยุ AM ที่ขายตามท้องตลาดทั่วไปไม่สามารถนำมาใช้ได้เนื่องจาก Bandwidth แคบและเสถียรภาพไม่ดีพอทำให้สัญญาณ IF มีความถี่ไม่คงที่ที่ 540 KHzและจากมาตรฐานความถี่ IF ของเมืองไทยซึ่งมีค่า 455 KHz เมื่อทดลองใช้จูนเนอร์ที่มีคุณภาพแบบ Digital Frequency Synthesizer ซึ่งสัญญาณความถี่ IF จะอยู่ภานในตัวไอซีทำให้ไม่สามารถนำสัญญาณดังกล่าวออกมาใช้งานได้ ปัญหาที่กล่าวมาทั้งหมดนี้ทำให้ไม่สามารถสร้างส่วนของ AM Stereo Monitor และเครื่องรับได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. "การใช้งานออปแอมป์และลิเนียร์ไอซี" โดย โรเบิร์ต เอฟ คอฟลิน
เฟรเดอริก เอฟ ดริสคอลล์

2. "หลักการทำงานของเครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร"
โดย สุชาติ กังวารจิตต์

3. "ออปแอมป์" สำนักพิมพ์ฟิสิกส์เซ็นเตอร์

4. "หนังสือวรสาร อิเล็กทรอนิกส์ เซมิคอนดัคเตอร์" ฉบับที่ 90

5. "MECL DEVICE DATA MOTOROLA INT 1985"

6. "LINEAR AND INTERFACE INTEGRATED CIRCUITS"

7. "คู่มือไอซี CMOS 4000 SERISE"

8. "คู่มือเทียบเบอร์ ไอซี TTL"

9. "TRANSFORM ANALYSIS AND FILTERS" โดย LEONARD J. GIES

10. "MOTOROLA CMOS APPLICATION- SPECIFIC DIGITAL-ANALOG INTEGRATED CIRCUITS"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LF355, LF356, LF357* LF355B, LF356B, LF357B*

MOTOROLA

3

Specifications and Applications Information

MONOLITHIC JFET INPUT OPERATIONAL AMPLIFIERS

These internally compensated operational amplifiers incorporate highly matched JFET devices on the same chip with standard bipolar transistors. The JFET devices enhance the input characteristics of these operational amplifiers by more than an order of magnitude over conventional amplifiers.

This series of op amps combines the low current characteristics typical of FET amplifiers with the low initial offset voltage and offset voltage stability of bipolar amplifiers. Also, nulling the offset voltage does not degrade the drift or common mode rejection.

- Low Input Bias Current – 30 pA
- Low Input Offset Current – 3.0 pA
- Low Input Offset Voltage – 1.0 mV
- Temperature Compensation of Input Offset Voltage – 3.0 μV/°C
- Low Input Noise Current – 0.01 pA/$\sqrt{Hz}$
- High Input Impedance – $10^{12}\Omega$
- High Common-Mode Rejection Ratio – 100 dB
- High DC Voltage Gain – 106 dB

SERIES FEATURES

- LF355/355B — Low Power Supply Current
- LF356/356B — Wide Bandwidth
- LF357/357B — Wider Bandwidth Decompensated ($A_{V_{min}}$ = 5)

	LF355/355B	LF356/356B	LF357/357B
Fast Settling Time to 0.01%	4.0 μs	1.5 μs	1.5 μs
Fast Slew Rate	5.0 V/μs	12 V/μs	50 V/μs
Wide Gain Bandwidth	2.5 MHz	5.0 MHz	20 MHz
Low Input Noise Voltage	20 nV/$\sqrt{Hz}$	12 nV/$\sqrt{Hz}$	12 nV/$\sqrt{Hz}$

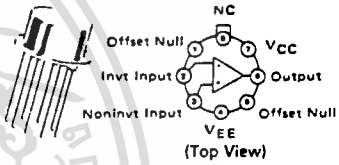
ORDERING INFORMATION

Device	Temperature Range	Package
LF355BH, H	0 to +70°C	Metal Can
LF355BJ, J	0 to +70°C	Ceramic DIP
LF355BN, N	0 to +70°C	Plastic DIP
LF356BH, H	0 to +70°C	Metal Can
LF356BJ, J	0 to +70°C	Ceramic DIP
LF356BN, N	0 to +70°C	Plastic DIP
LF357BH, H	0 to +70°C	Metal Can
LF357BJ, J	0 to +70°C	Ceramic DIP
LF357BN, N	0 to +70°C	Plastic DIP

MONOLITHIC JFET OPERATIONAL AMPLIFIERS

SILICON MONOLITHIC INTEGRATED CIRCUITS

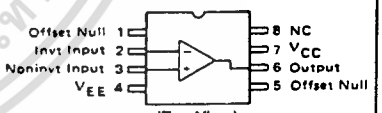
H SUFFIX
METAL PACKAGE
CASE 601-04



(Top View)

N SUFFIX
PLASTIC PACKAGE
CASE 626-04

J SUFFIX
CERAMIC PACKAGE
CASE 693-02



(Top View)

APPLICATIONS

The LF series is suggested for all general purpose FET input amplifier requirements where precision and frequency response flexibility are of prime importance.

Specific applications include:

- Sample and Hold Circuits
- High Impedance Buffers
- Fast D/A and A/D Converters
- Precision High-Speed Integrators
- Wideband, Low Noise, Low Drift Amplifiers

*NOTE: The LF357/357B are designed for wider bandwidth applications. They are decompensated ($A_{V_{min}}$ = 5).

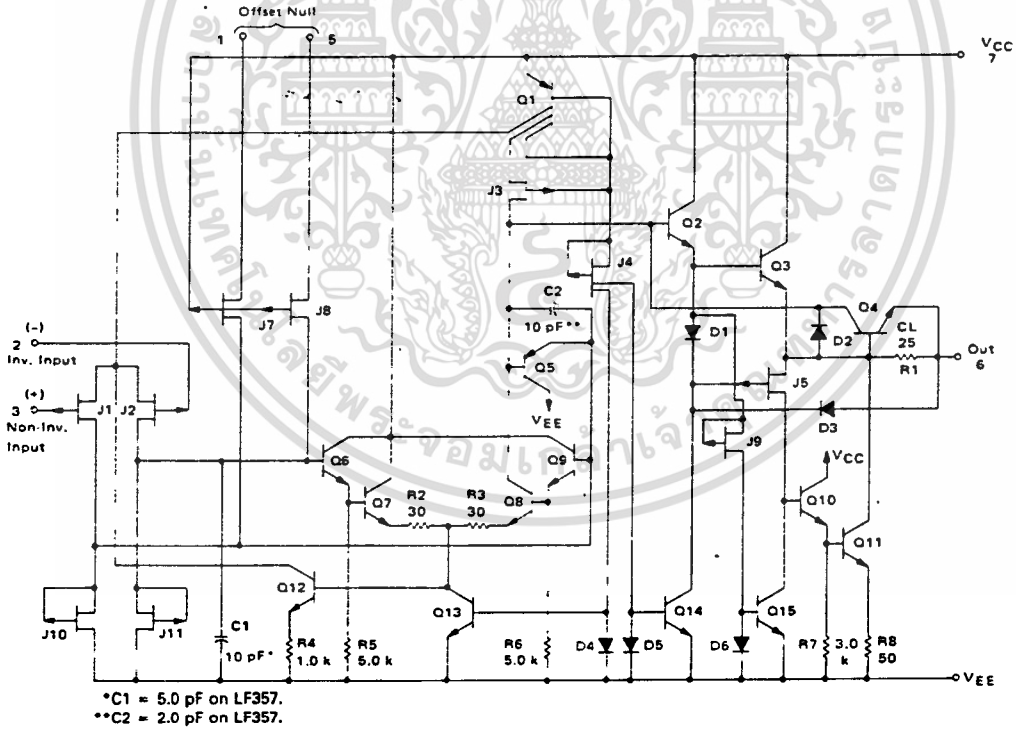
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Symbol	LF355B/ 356B 357B	LF355 356 357	Unit
Supply Voltage	V_{CC} V_{EE}	+22 −22	+18 −18	V
Differential Input Voltage	V_{ID}	±40	±30	V
Input Voltage Range (Note 1)	V_{IDR}	±20	±16	V
Output Short-Circuit Duration	T_S	Continuous		
Operating Ambient Temperature Range	T_A	0 to +70		°C
Operating Junction Temperature Metal and Ceramic Packages Plastic Package	T_J	 115 100		°C
Storage Temperature Range Metal and Ceramic Package Plastic Package	T_{stg}	 −65 to +150 −55 to +125		°C

Note 1. Unless otherwise specified, the absolute maximum negative input voltage is equal to the negative power supply voltage.

CIRCUIT SCHEMATIC



*C1 = 5.0 pF on LF357.
**C2 = 2.0 pF on LF357.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3

DC ELECTRICAL CHARACTERISTICS (V_{CC} = 15 to 20 V, V_{EE} = −15 to −20 V for LF355B 356B 357B; V_{CC} = 15 V, V_{EE} = −15 V for LF355 356 357; T_A = 0°C to +70°C unless otherwise noted)

Characteristic	Symbol	LF355B/6B/7B Min	LF355B/6B/7B Typ	LF355B/6B/7B Max	LF355/6/7 Min	LF355/6/7 Typ	LF355/6/7 Max	Unit
Input Offset Voltage (R_S = 50 Ω, V_{CM} = 0) (T_A = 25°C) (Over Temperature)	V_{IO}	— —	3.0 —	5.0 6.5	— —	3.0 —	10 13	mV
Average Temperature Coefficient of Input Offset Voltage (R_S = 50 Ω)	$\Delta V_{IO}/\Delta T$	—	5.0	—	—	5.0	—	μV/°C
Change in Average TC with V_{IO} Adjust (R_S = 50 Ω) (Note 2)	$\Delta TC/\Delta V_{IO}$	—	0.5	—	—	0.5	—	μV/°C per mV
Input Offset Current (V_{CM} = 0) (Note 3) (T_J = 25°C) ($T_J \leq$ 70°C)	I_{IO}	— —	3.0 —	20 1.0	— —	3.0 —	50 2.0	pA nA
Input Bias Current (V_{CM} = 0) (Note 3) (T_J = 25°C) ($T_J \leq$ 70°C)	I_{IB}	— —	30 —	100 5.0	— —	30 —	200 8.0	pA nA
Input Resistance (T_J = 25°C)	r_i	—	10^{12}	—	—	10^{12}	—	Ω
Large Signal Voltage Gain (V_O = ±10 V, R_L = 2.0 k, V_{CC} = 15 V, V_{EE} = −15 V) (T_A = 25°C) (0°C ≤ T_A ≤ +70°C)	A_{VOL}	50 25	200 —	— —	25 15	200 —	— —	V/mV
Output Voltage Swing (V_{CC} = 15 V, V_{EE} = −15 V, R_L = 10 kΩ) (V_{CC} = 15 V, V_{EE} = −15 V, R_L = 2 kΩ)	V_O	±12 ±10	±13 ±12	— —	±12 ±10	±13 ±12	— —	V
Input Common-Mode Voltage Range (V_{CC} = 15 V, V_{EE} = −15 V)	V_{ICR}	±11	+15.1 −12.0	—	±10	+15.1 −12.0	—	V
Common-Mode Rejection Ratio	CMRR	85	100	—	80	100	—	dB
Supply Voltage Rejection Ratio (Note 4)	PSRR	85	100	—	80	100	—	dB
Supply Current (T_A = 25°C, V_{CC} = 15 V, V_{EE} = −15 V) LF355B/355 LF356B/357B LF356/357	I_D	— — —	2.0 5.0 —	4.0 7.0 —	— — —	2.0 — 5.0	4.0 — 10	mA

AC ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, V_{EE} = −15 V, T_A = 25°C)

Characteristic	Symbol	LF355B/355 Min	LF355B/355 Typ	LF355B/355 Max	LF356B/356 Min	LF356B/356 Typ	LF356B/356 Max	LF357B/357 Min	LF357B/357 Typ	LF357B/357 Max	Unit
Slew Rate (Note 5) (A_V = 1) LF355/356 (A_V = 5) LF357	SR	— —	5.0 —	— —	7.5 —	12 —	— —	— 30	— 50	— —	V/μs
Gain-Bandwidth Product	GBW	—	2.5	—	—	5.0	—	—	20	—	MHz
Settling Time to 0.01% (Note 6)	t_s	—	4.0	—	—	1.5	—	—	1.5	—	μs
Equivalent Input Noise Voltage (R_S = 100 Ω, f = 100 Hz) (R_S = 100 Ω, f = 1000 Hz)	e_n	— —	25 20	— —	— —	15 12	— —	— —	15 12	— —	$nV/\sqrt{Hz}$
Equivalent Input Noise Current (f = 100 Hz) (f = 1000 Hz)	i_n	— —	0.01 0.01	— —	— —	0.01 0.01	— —	— —	0.01 0.01	— —	$pA/\sqrt{Hz}$
Input Capacitance	C_i	—	3.0	—	—	3.0	—	—	3.0	—	pF

NOTES

(1) Unless otherwise specified, the absolute maximum negative input voltage is equal to the negative power supply.

(2) The temperature coefficient of the adjusted input offset voltage changes only a small amount (0.5 μV/°C typically) for each mV of adjustment from its original unadjusted value. Common-mode rejection and open loop voltage gain are also unaffected by offset adjustment.

(3) The input bias currents approximately double for every 10°C rise in junction temperature, T_J. Due to limited test time, the input bias currents are correlated to junction temperature. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

(4) Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously, in accordance with common practice.

(5) The Min. slew rate limits apply for the LF356B and the LF357B, but do not apply for the LF356 or LF357.

(6) Settling time is defined here, for a unity gain inverter connection using 2.0 k resistors for the LF355/6. It is the time required for the error voltage (the voltage at the inverting input pin on the amplifier) to settle to within 0.01% of its final value from the time a 10 V step input is applied to the inverter. For the LF357, A_V = −5.0, the feedback resistor from output to input is 2.0 k and the output step is 10 V (see settling time test circuit).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL DC PERFORMANCE CHARACTERISTICS
(Curves are for LF355, LF356, and LF357 series unless otherwise specified)

INPUT BIAS CURRENT versus CASE TEMPERATURE

FIGURE 1 — (LF355 SERIES)

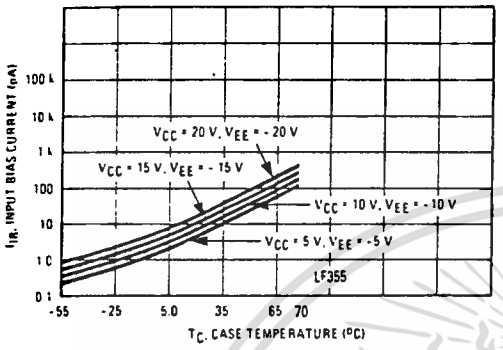


FIGURE 2 — (LF356 AND LF357 SERIES)

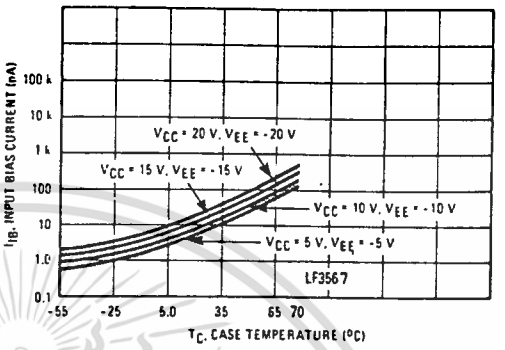


FIGURE 3 — INPUT BIAS CURRENT versus INPUT COMMON-MODE VOLTAGE

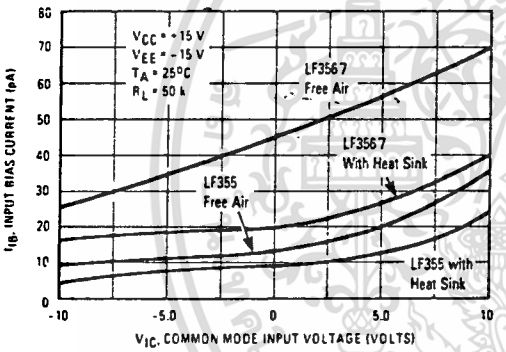
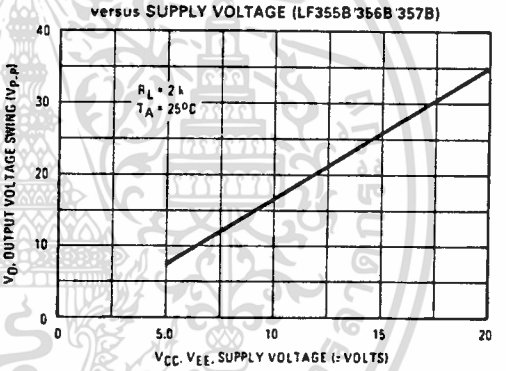


FIGURE 4 — OUTPUT VOLTAGE SWING versus SUPPLY VOLTAGE (LF355B/356B/357B)



SUPPLY CURRENT versus SUPPLY VOLTAGE

FIGURE 5 — (LF355 SERIES)

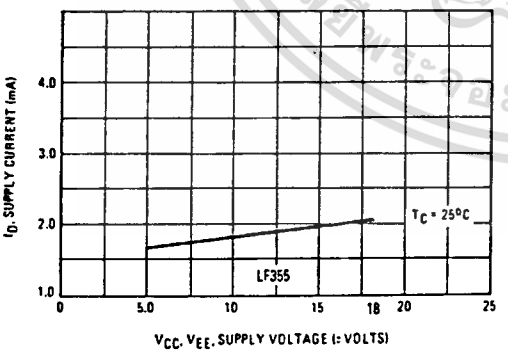
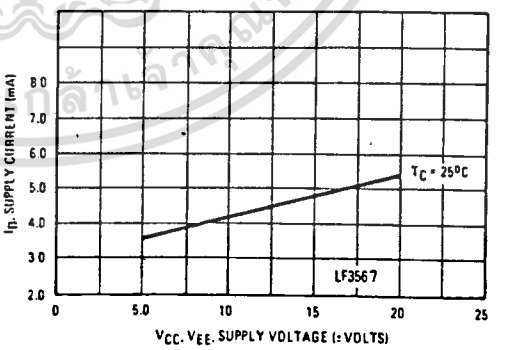


FIGURE 6 — (LF356 AND LF357 SERIES)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3

TYPICAL DC PERFORMANCE CHARACTERISTICS (continued)

FIGURE 7 — NEGATIVE CURRENT LIMIT

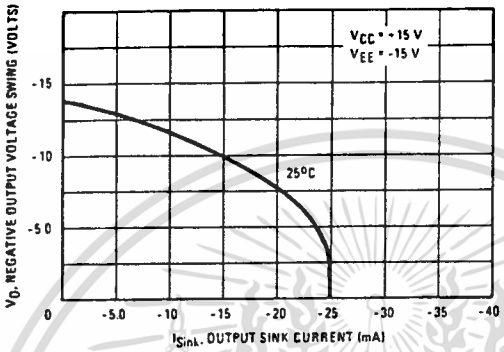


FIGURE 8 — POSITIVE CURRENT LIMIT

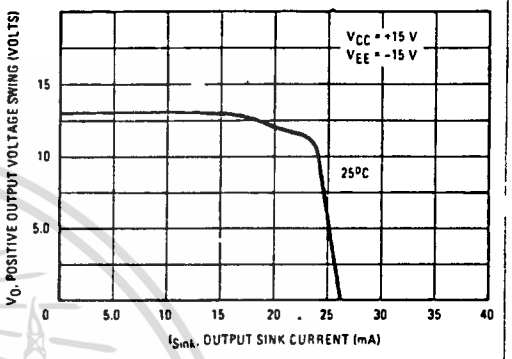


FIGURE 9 — POSITIVE COMMON-MODE INPUT VOLTAGE LIMIT

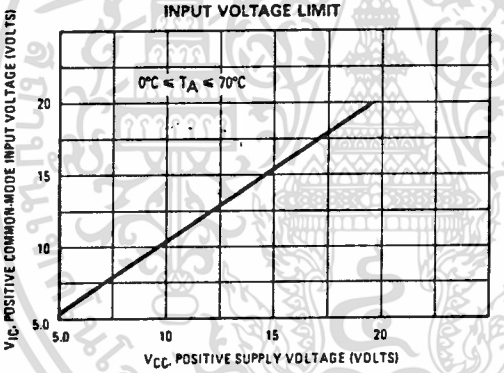


FIGURE 10 — NEGATIVE COMMON-MODE INPUT VOLTAGE LIMIT

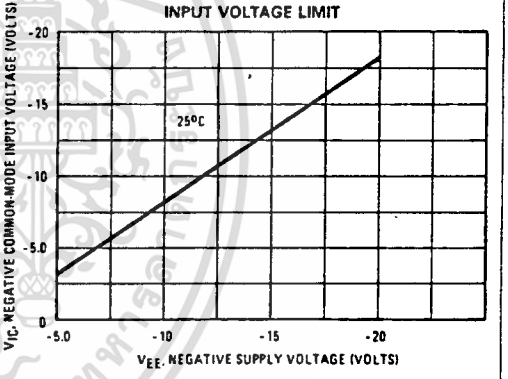


FIGURE 11 — OPEN LOOP VOLTAGE GAIN

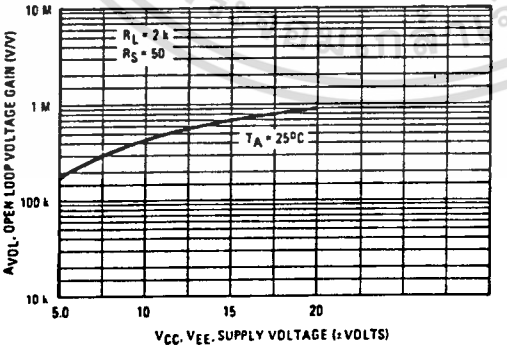
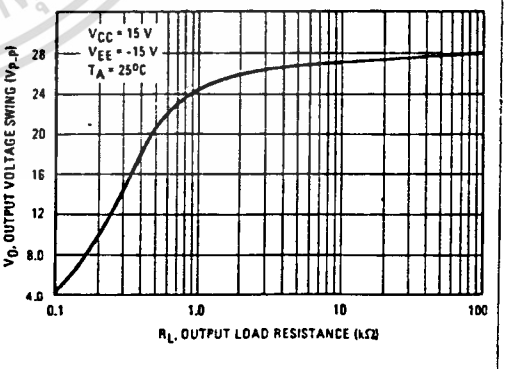


FIGURE 12 — OUTPUT VOLTAGE SWING versus LOAD RESISTANCE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL AC PERFORMANCE CHARACTERISTICS

GAIN BANDWIDTH PRODUCT

FIGURE 13 — (LF355 SERIES)

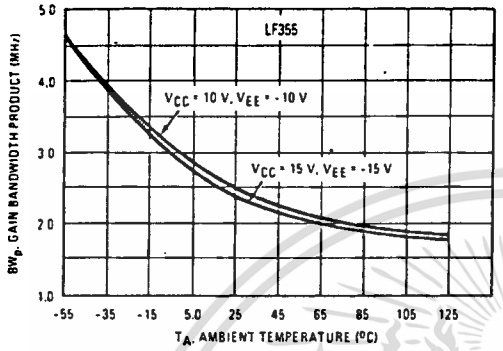
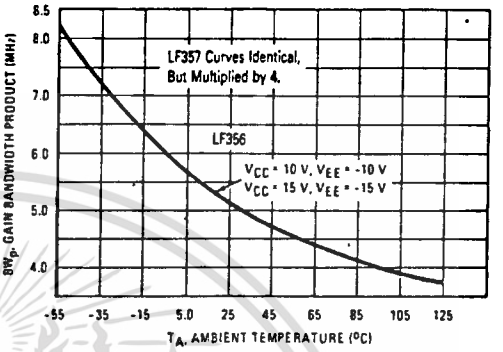


FIGURE 14 — (LF356/357 SERIES)



INVERTER SETTLING TIME

FIGURE 15 — (LF355 SERIES)

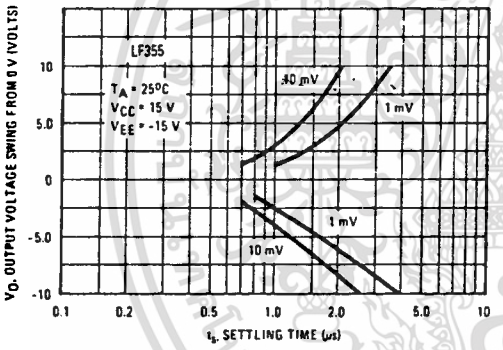


FIGURE 16 — (LF356 AND LF357 SERIES)

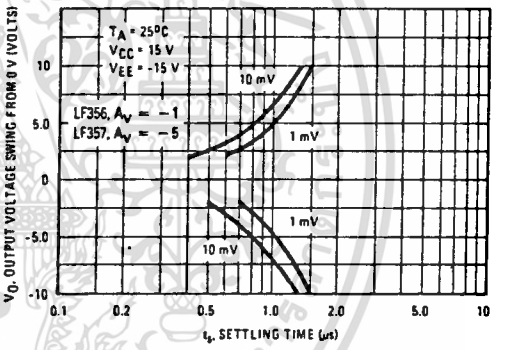


FIGURE 17 — NORMALIZED SLEW RATE

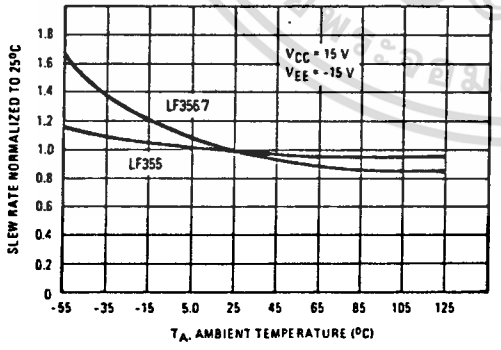
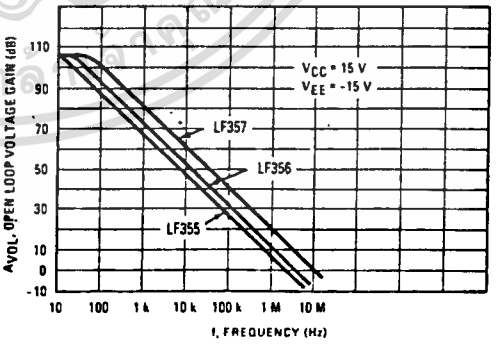


FIGURE 18 — OPEN LOOP FREQUENCY RESPONSE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3

TYPICAL AC PERFORMANCE CHARACTERISTICS (continued)

BODE PLOT

FIGURE 19 — (LF355 SERIES)

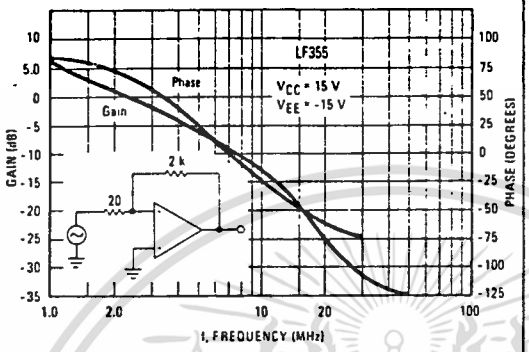


FIGURE 20 — (LF356 SERIES)

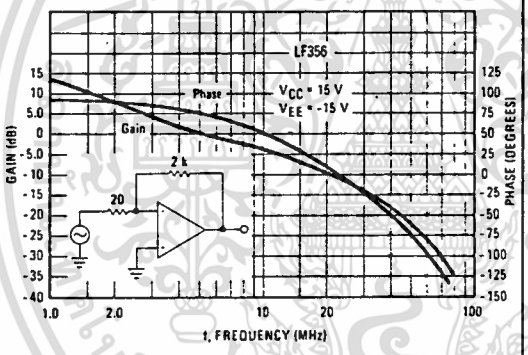
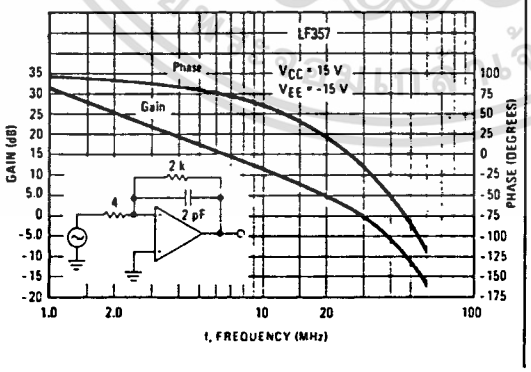


FIGURE 21 — (LF357 SERIES)



OUTPUT IMPEDANCE

FIGURE 22 — (LF355 SERIES)

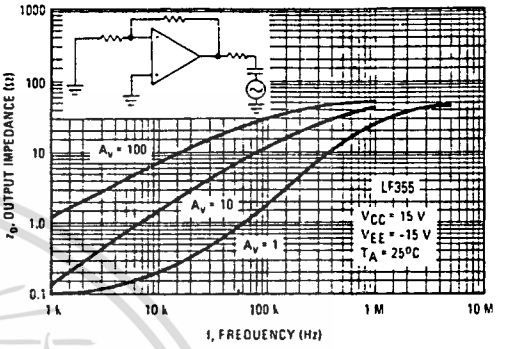


FIGURE 23 — (LF356 SERIES)

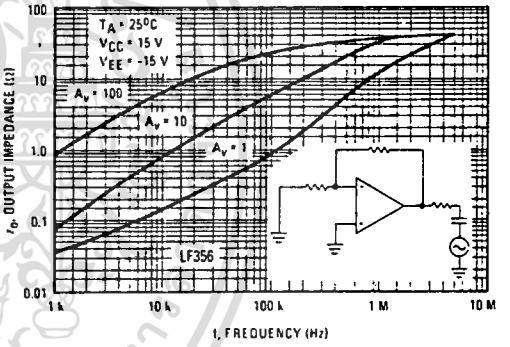
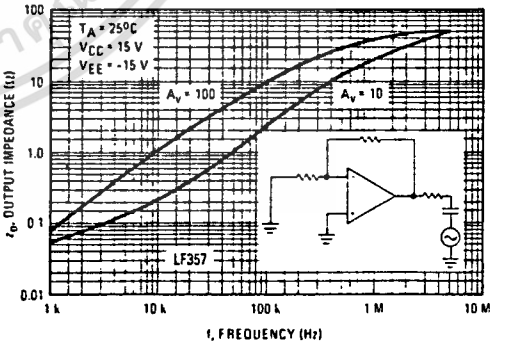


FIGURE 24 — (LF357 SERIES)

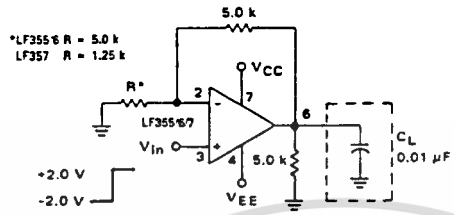


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3

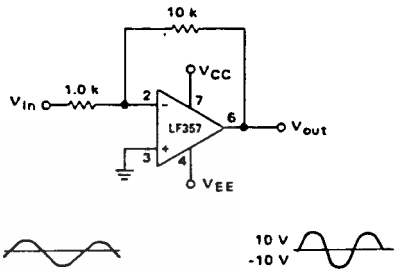
TYPICAL CIRCUIT CONNECTIONS

FIGURE 31 — DRIVING CAPACITIVE LOADS



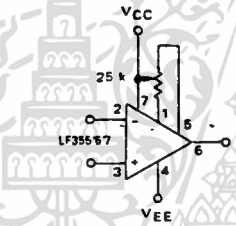
Due to a unique output stage design these amplifiers have the ability to drive large capacitive loads and still maintain stability.
$C_{L(max)} \approx 0.01\ \mu F$.
Overshoot < 20%
Settling time (t_s) ≅ 5.0 μs

FIGURE 32 — LARGE POWER BANDWIDTH AMPLIFIER



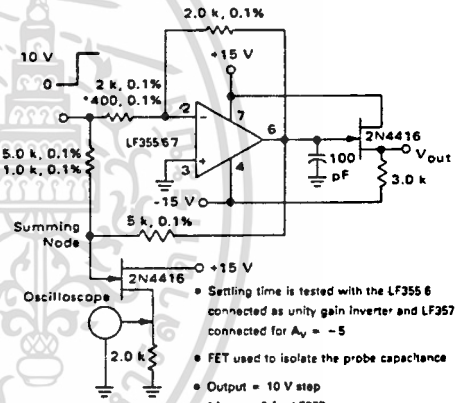
For distortion < 1% and a 20 Vp-p V_{Out} swing, power bandwidth is 500 kHz.

FIGURE 33 — INPUT OFFSET VOLTAGE ADJUSTMENT



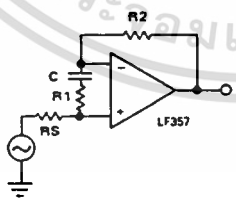
- V_{IO} is adjusted with a 25 k potentiometer
- The potentiometer wiper is connected to V_{CC}
- For potentiometers with temperature coefficient of 100 ppm/°C or less the additional drift with adjust is ≈ 0.5 μV/°C/mV of adjustment.
- Typical overall drift: 5.0 μV/°C ±(0.5 μV/°C/mV of adjustment.)

FIGURE 34 — SETTLING TIME TEST CIRCUIT



- Settling time is tested with the LF355'6 connected as unity gain inverter and LF357 connected for $A_V = -5$
- FET used to isolate the probe capacitance
- Output = 10 V step
- *$A_V = -5$ for LF357

FIGURE 35 — NONINVERTING UNITY GAIN OPERATION FOR LF357



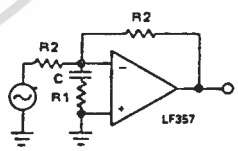
$R1C \geq \frac{1}{(2\pi)(5\ MHz)}$

$R1 = \frac{R2 - R_S}{4}$

$A_{V(DC)} = 1$

$f_{-3dB} \approx 5\ MHz$

FIGURE 36 — INVERTING UNITY GAIN FOR LF357



$R1C \geq \frac{1}{(2\pi)(5\ MHz)}$

$R1 = \frac{R2}{4}$

$A_{V(DC)} = -1$

$f_{-3dB} \approx 5\ MHz$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL AC PERFORMANCE CHARACTERISTICS (continued)

FIGURE 25 — COMMON-MODE REJECTION RATIO

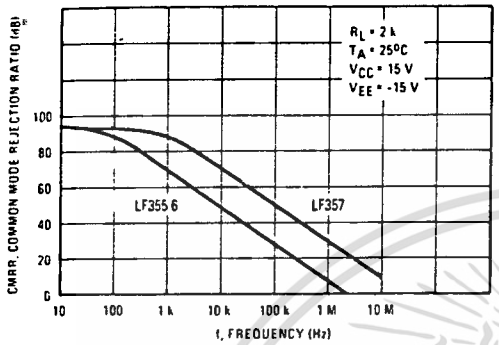
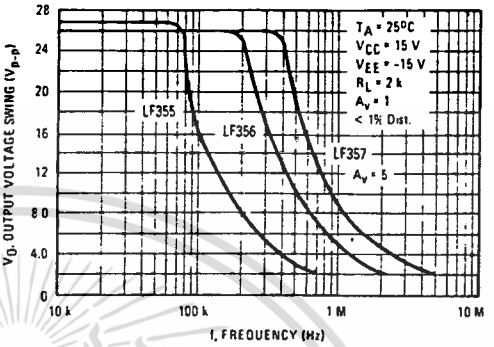


FIGURE 26 — UNDISTORTED OUTPUT VOLTAGE SWING



POWER SUPPLY VOLTAGE REJECTION RATIO

FIGURE 27 — (LF355 SERIES)

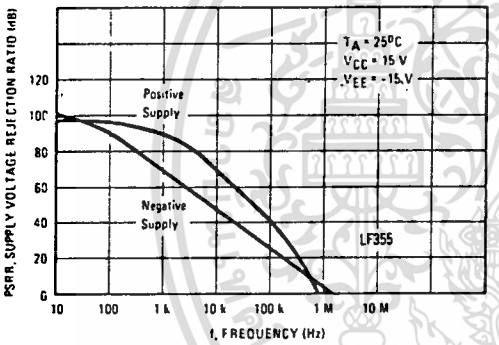
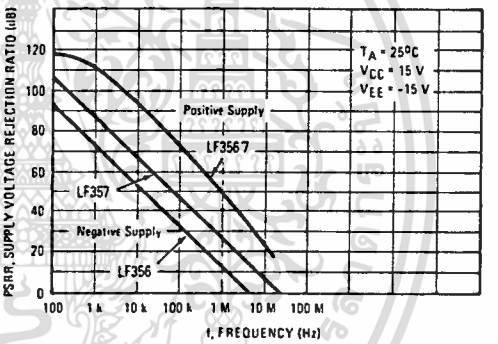


FIGURE 28 — (LF356 AND LF357 SERIES)



EQUIVALENT NOISE VOLTAGE

FIGURE 29 — (LF355/356/357 SERIES)

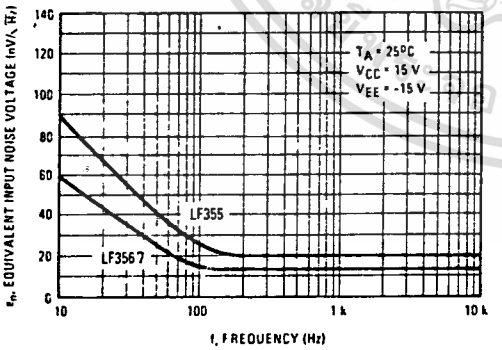
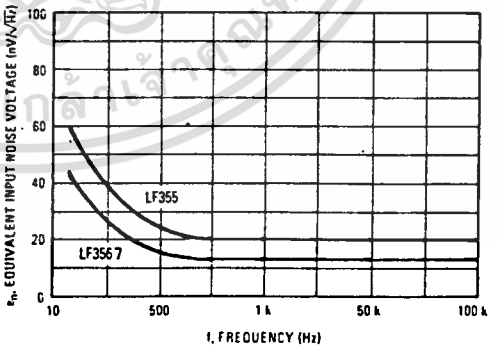


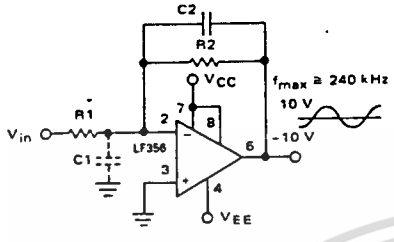
FIGURE 30 (EXPANDED SCALE)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

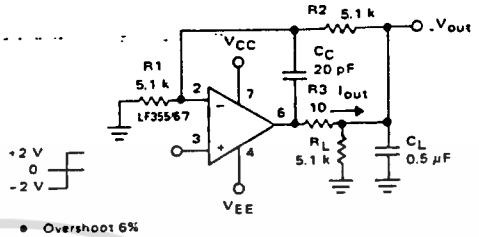
TYPICAL APPLICATIONS

FIGURE 37 — WIDE BW, LOW NOISE, LOW DRIFT AMPLIFIER



- Power BW: $f_{max} = \frac{S_t}{2\pi V_p} \cong 240$ kHz
- Parasitic input capacitance (C1 ≅ 3 pF for LF355, LF356, and LF357 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate add C2 such that, R2C2 ≅ R1C1.

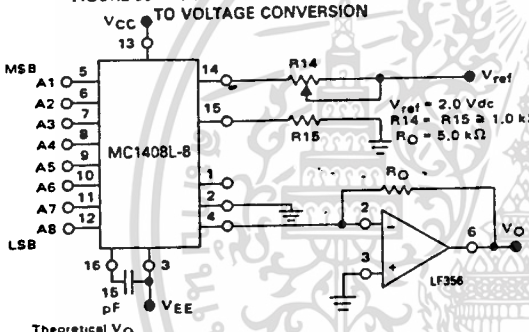
FIGURE 38 — ISOLATING LARGE CAPACITIVE LOADS



- Overshoot 6%
- t_s = 10 µs
- When driving large C_L, the V_{out} slew rate is determined by C_L and $I_{out(max)}$:

$$\frac{\Delta V_{out}}{\Delta t} = \frac{I_{out}}{C_L} \cong \frac{0.02}{0.5} \text{ V/µs} = 0.04 \text{ V/µs (with } C_L \text{ shown)}$$

FIGURE 39 — 8-BIT D/A WITH OUTPUT CURRENT TO VOLTAGE CONVERSION



Theoretical V_O

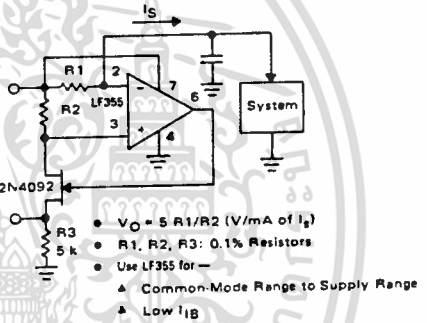
$$V_O = \frac{V_{ref}}{R14}(R_O)\left[\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right]$$

Adjust V_{ref}, R14 or R_O so that V_O with all digital inputs at high level is equal to 9.961 volts.

$$V_O = \frac{2V}{1\text{ k}}(5\text{ k})\left[\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} + \frac{1}{128} + \frac{1}{256}\right]$$

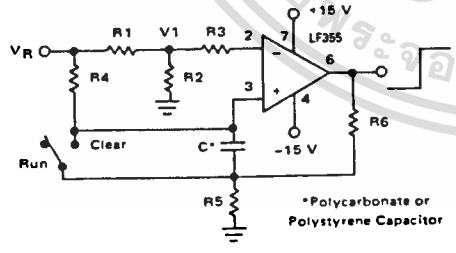
$$= 10\text{ V}\left[\frac{255}{256}\right] = 9.961\text{ V}$$

FIGURE 40 — PRECISION CURRENT MONITOR



- V_O = 5 R1/R2 (V/mA of I_s)
- R1, R2, R3: 0.1% Resistors
- Use LF355 for —
  - Common-Mode Range to Supply Range
  - Low I_{IB}
  - Low V_{IO}
  - Low Supply Current

FIGURE 41 — LONG INTERVAL RC TIMER



Time (t) = $R4C\ln(V_R/V_R - V_t)$. $R_3 = R_4$. $R_5 = 0.1\ R6$

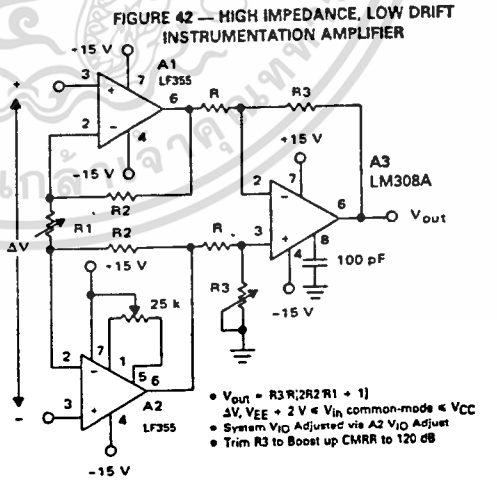
If R1 = R2: t = 0.693 R4C

Design Example: 100 Second Timer

V_R = 10 V C = 1 µF R3 = R4 = 144 M

R6 = 20 k R5 = 2 k R1 = R2 = 1 k

FIGURE 42 — HIGH IMPEDANCE, LOW DRIFT INSTRUMENTATION AMPLIFIER



- $V_{out} = R3/R[2R2/R1 + 1]$ ΔV, $V_{EE} + 2\text{ V} \leq V_{in}$ common-mode $\leq V_{CC}$
- System V_{IO} Adjusted via A2 V_{IO} Adjust
- Trim R3 to Boost up CMRR to 120 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

CA3054

DUAL INDEPENDENT DIFFERENTIAL AMPLIFIER

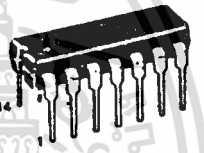
The CA3054 consists of two independent differential amplifiers with associated constant-current transistors on a common monolithic substrate. The six NPN transistors which comprise the amplifiers are general purpose devices useful from dc to 120 MHz.

The monolithic construction of the CA3054 provides close electrical and thermal matching of the amplifiers which makes this device particularly useful in dual channel applications where matched performance of the two channels is required.

- Two differential amplifiers on a common substrate
- Independently accessible inputs and outputs
- Maximum input offset voltage — ±5 mV

GENERAL PURPOSE TRANSISTOR ARRAY

SILICON MONOLITHIC INTEGRATED CIRCUIT

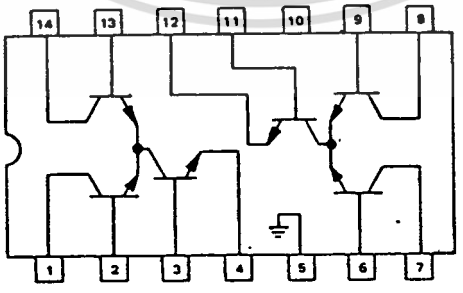


P SUFFIX
PLASTIC PACKAGE
CASE 646-06

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V_{CEO}	15	Vdc
Collector-Base Voltage	V_{CBO}	20	Vdc
Emitter-Base Voltage	V_{EB}	5.0	Vdc
Collector-Substrate Voltage	V_{CIO}	20	Vdc
Collector Current — Continuous	I_C	50	mAdc
Junction Temperature	T_J	150	°C
Operating Temperature Range	T_A	-40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

PIN CONNECTIONS



Pin 5 is connected to substrate and must remain at the lowest circuit potential

9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_A = 25°C, unless otherwise noted).

Characteristic	Symbol	Min	Typ	Max	Unit
STATIC CHARACTERISTICS FOR EACH DIFFERENTIAL AMPLIFIER					
Input Offset Voltage (V_{CB} = 3.0 Vdc)	V_{IO}	–	–	5.0	mV
Input Offset Current (V_{CB} = 3.0 Vdc)	I_{IO}	–	–	2.0	μA
Input Bias Current (V_{CB} = 3.0 Vdc)	I_{IB}	–	–	24	μA
STATIC CHARACTERISTICS FOR EACH TRANSISTOR					
Base-Emitter Voltage	V_{BE}				Vdc
(V_{CB} = 3.0 Vdc, I_C = 50 μA)		–	–	0.70	
(V_{CB} = 3.0 Vdc, I_C = 1.0 mA)		–	–	0.80	
(V_{CB} = 3.0 Vdc, I_C = 3.0 mA)		–	–	0.85	
(V_{CB} = 3.0 Vdc, I_C = 10 mA)		–	–	0.90	
Collector Cutoff Current (V_{CB} = 10 Vdc, I_E = 0)	I_{CBO}	–	–	100	nA
Collector-Emitter Breakdown Voltage (I_C = 1.0 mA)	$V_{(BR)CEO}$	15	–	–	Vdc
Collector-Base Breakdown Voltage (I_C = 10 μA)	$V_{(BR)CBO}$	20	–	–	Vdc
Collector-Substrate Breakdown Voltage (I_C = 10 μA)	$V_{(BR)CIO}$	20	–	–	Vdc
Emitter-Base Breakdown Voltage (I_E = 10 μA)	$V_{(BR)EBO}$	5.0	–	–	Vdc

9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	−55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

MC1496
MC1596

Specifications and Applications Information

BALANCED MODULATOR/DEMODULATOR

SILICON MONOLITHIC INTEGRATED CIRCUIT

BALANCED MODULATOR/ DEMODULATOR

. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression — 65 dB typ @ 0.5 MHz
  — 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection — 85 dB typ

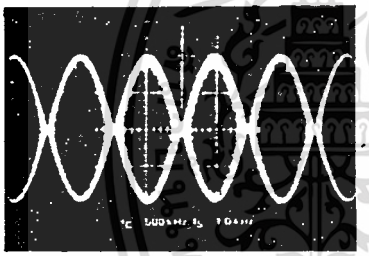


FIGURE 1 – SUPPRESSED-CARRIER OUTPUT WAVEFORM

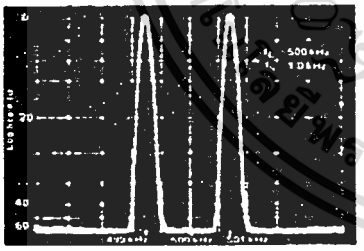


FIGURE 2 – SUPPRESSED-CARRIER SPECTRUM

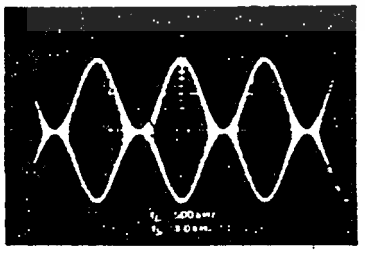


FIGURE 3 – AMPLITUDE-MODULATION OUTPUT WAVEFORM

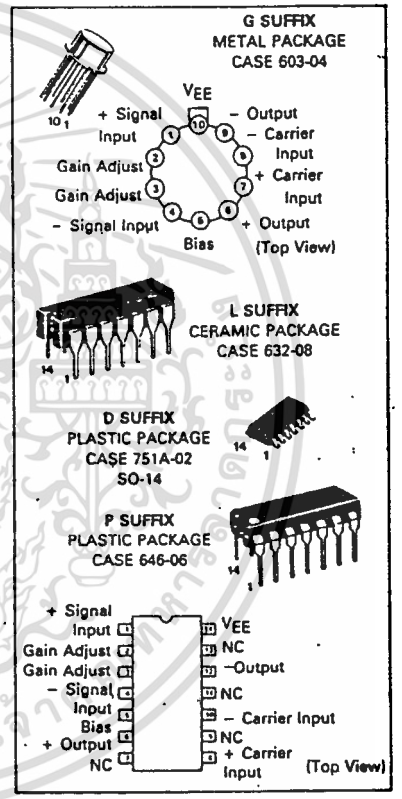
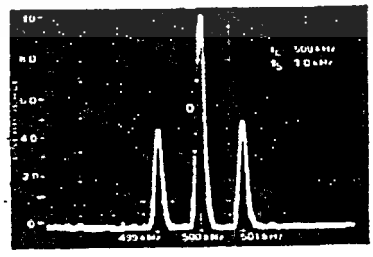


FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_6 - V_7$, $V_8 - V_1$, $V_9 - V_7$, $V_9 - V_8$, $V_7 - V_4$, $V_7 - V_1$, $V_8 - V_4$, $V_6 - V_8$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_7 - V_8$ $V_4 - V_1$	+5.0 ±(5 + I_5R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C unless otherwise noted) (All input and output characteristics are single-ended unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough V_C = 60 mV(rms) sine wave and offset adjusted to zero, f_C = 1.0 kHz	5	1	V_{CFT}	—	40	—	—	40	—	μV(rms)
f_C = 10 MHz				—	140	—	—	140	—	mV(rms)
V_C = 300 mVp-p square wave: offset adjusted to zero, f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	
offset not adjusted, f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression f_S = 10 kHz, 300 mV(rms) f_C = 500 kHz, 60 mV(rms) sine wave	5	2	V_{CS}	50	65	—	40	65	—	dB
f_C = 10 MHz, 60 mV(rms) sine wave				—	50	—	—	50	—	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms) Carrier Input Port, V_C = 60 mV(rms) sine wave f_S = 1.0 kHz, 300 mV(rms) sine wave Signal Input Port, V_S = 300 mV(rms) sine wave $\|V_{CI}\|$ = 0.5 Vdc	8	8	BW_{3dB}	—	300	—	—	300	—	MHz
				—	80	—	—	80	—	
Signal Gain V_S = 100 mV(rms), f = 1.0 kHz; $\|V_{CI}\|$ = 0.5 Vdc	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance Parallel Input Capacitance	6	—	r_{ip} c_{ip}	— —	200 2.0	— —	— —	200 2.0	— —	kΩ pF
Single-Ended Output Impedance, f = 10 MHz Parallel Output Resistance Parallel Output Capacitance	6	—	r_{op} c_{oo}	— —	40 5.0	— —	— —	40 5.0	— —	kΩ pF
Input Bias Current $I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$	7	—	I_{bS} I_{bC}	— —	12 12	25 25	— —	12 12	30 30	μA
Input Offset Current $I_{ioS} = I_1 - I_4$; $I_{ioC} = I_7 - I_8$	7	—	$\|I_{ioS}\|$ $\|I_{ioC}\|$	— —	0.7 0.7	5.0 5.0	— —	0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)	7	—	$\|TC_{Iio}\|$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_8 - I_9$)	7	—	$\|I_{oo}\|$	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)	7	—	$\|TC_{Ioo}\|$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_{CI}\|$ = 0.5 Vdc	9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current $I_6 + I_9$ I_{10}	7	6	I_{CC} I_{EE}	— —	2.0 3.0	3.0 4.0	— —	2.0 3.0	4.0 5.0	mAdc
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION *

Note 1 – Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Note 2 – Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Note 3 and Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Note 3 – Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26\text{ mV}}{I_5\text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Note 4 – Common-Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen (see Note 6).

Note 5 – Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_9 = V_6$, $I_5 = I_6 = I_9$ and ignoring base current, $P_D = 2\,I_5\,(V_6 - V_{10}) + I_5\,(V_5 - V_{10})$ where subscripts refer to pin numbers

Note 6 – Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions. See Note 3 for R_e equation.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume

$$I_5 = I_6 = I_9$$

$$I_B \ll I_C \text{ for all transistors}$$

then,

$$R_5 = \frac{V^- - \phi}{I_5} - 500\ \Omega \quad \text{where: } R_5 \text{ is the resistor between pin 5 and ground}$$
$$\phi = 0.75\text{ V at } T_A = +25^\circ C$$

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Note 7 – Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table.

$$30\text{ Vdc} \geq |(V_6, V_8) - (V_7, V_8)| \geq 2\text{ Vdc}$$

$$30\text{ Vdc} \geq |(V_7, V_8) - (V_1, V_4)| \geq 2.7\text{ Vdc}$$

$$30\text{ Vdc} \geq |(V_1, V_4) - (V_5)| \geq 2.7\text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_9, \quad V_7 = V_8, \quad V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Note 8 – Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21C} = \left.\frac{i_o\text{ (each sideband)}}{v_s\text{ (signal)}}\right| V_o = 0$$

Signal transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21S} = \left.\frac{i_o\text{ (signal)}}{v_s\text{ (signal)}}\right| V_C = 0.5\text{ Vdc}, V_o = 0$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note 9 – Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Note 10 – Output Signal, V_o

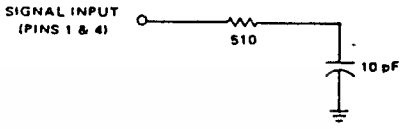
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Note 11 – Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources

Note 12 – Signal Port Stability

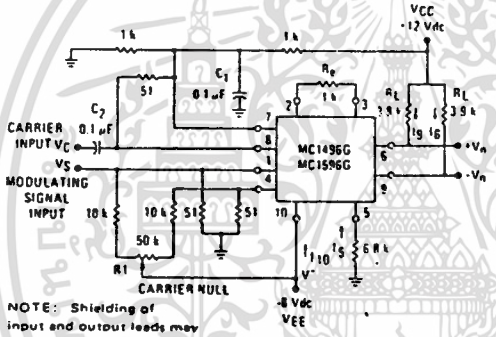
Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 k-ohm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 6 – INPUT-OUTPUT IMPEDANCE

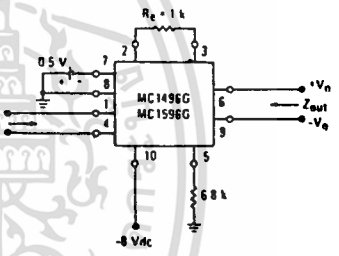


FIGURE 7 – BIAS AND OFFSET CURRENTS

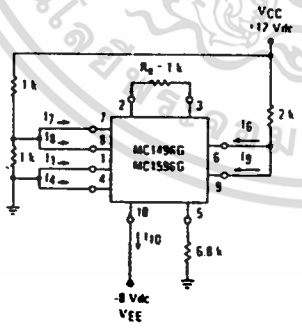
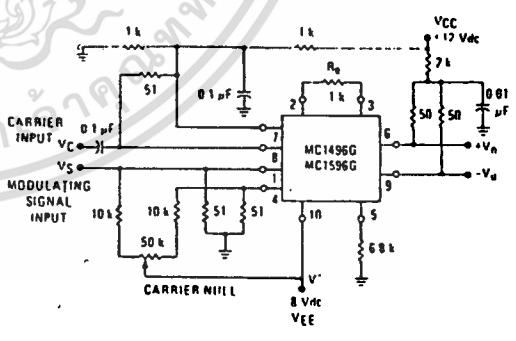


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note 9 – Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Note 10 – Output Signal, V_o

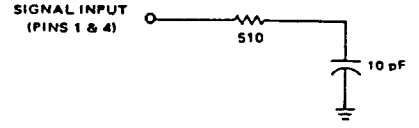
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Note 11 – Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Note 12 – Signal Port Stability

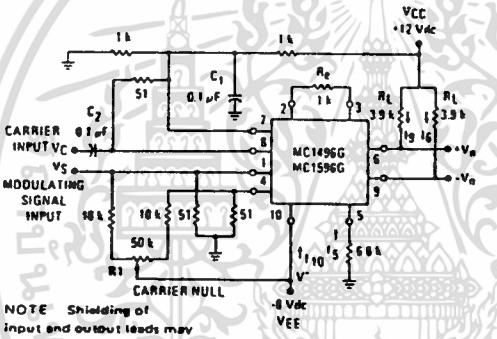
Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 k-ohm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION



NOTE Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 6 – INPUT-OUTPUT IMPEDANCE

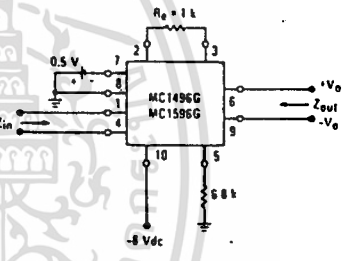


FIGURE 7 – BIAS AND OFFSET CURRENTS

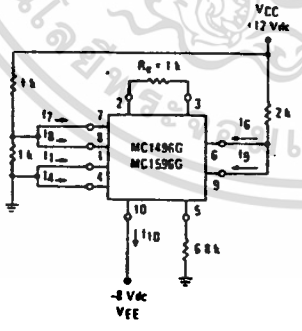
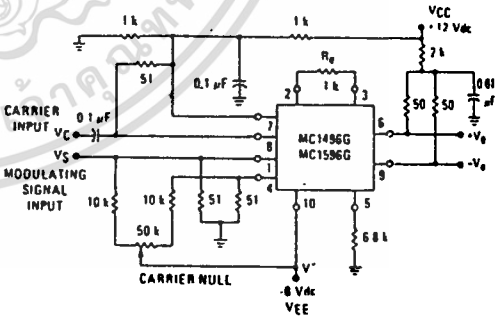


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON-MODE GAIN

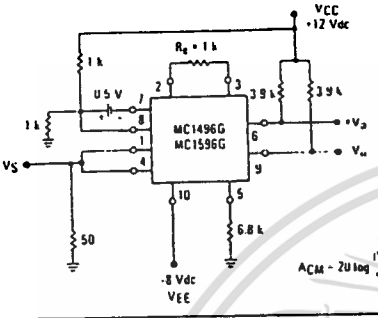
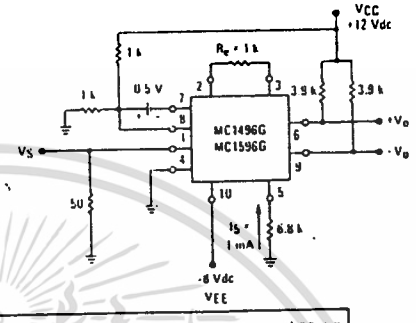


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 9. f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

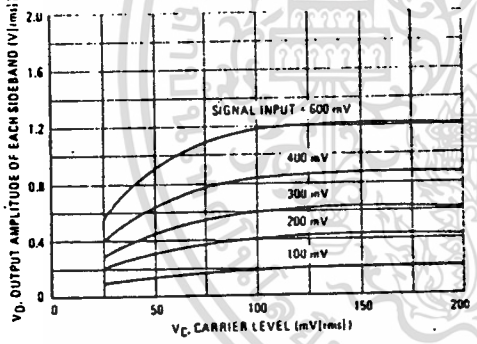


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

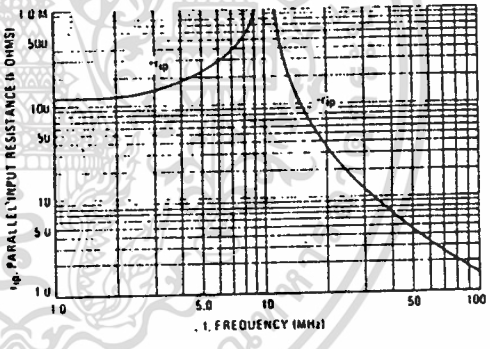


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

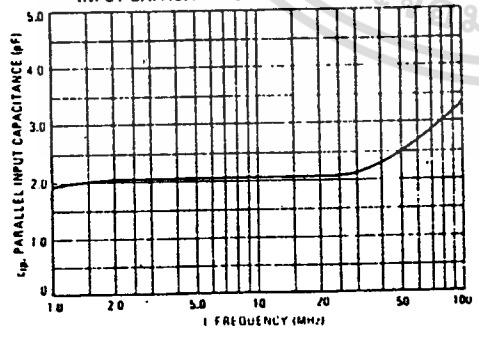
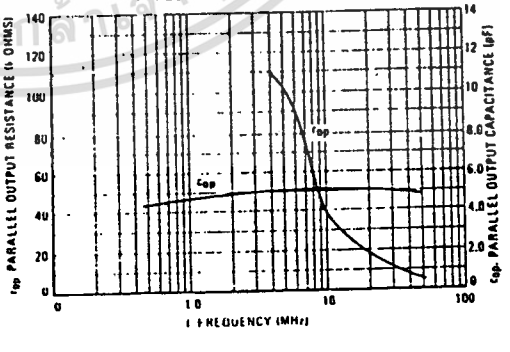


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON-MODE GAIN

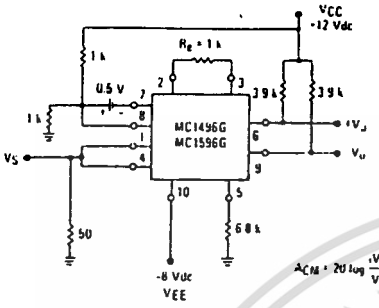
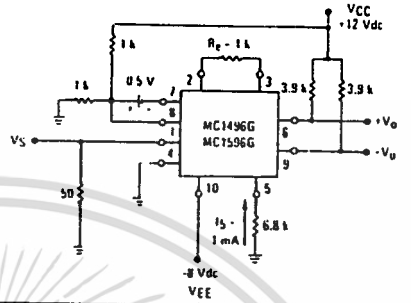


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 9, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

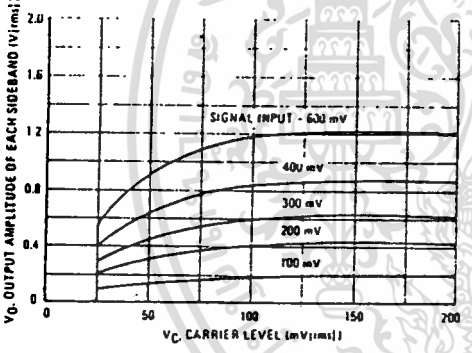


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

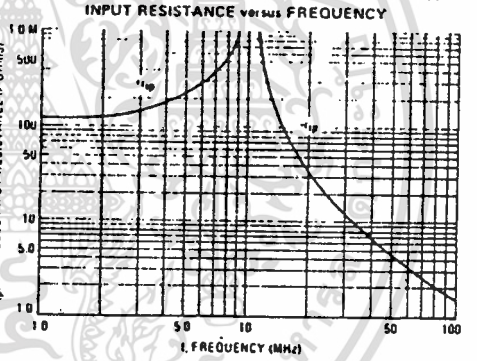


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

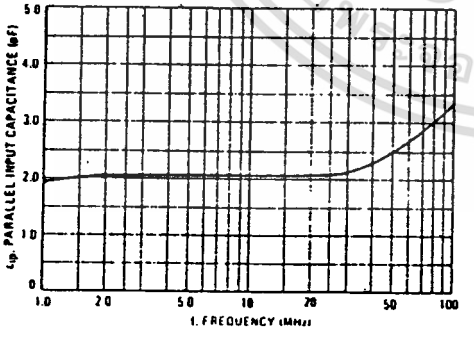
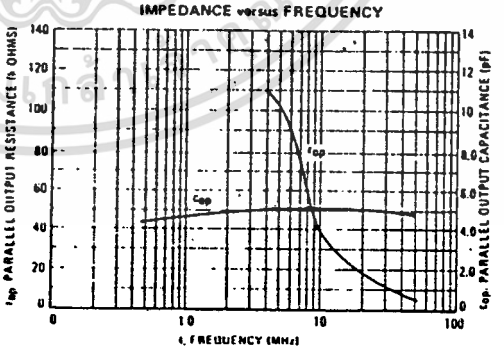


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

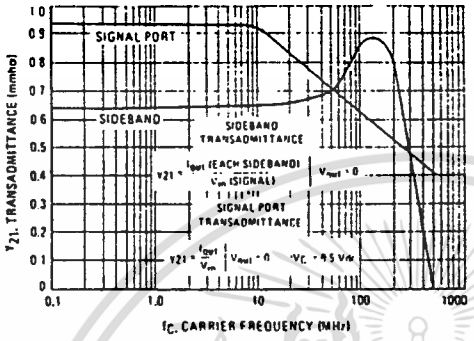


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

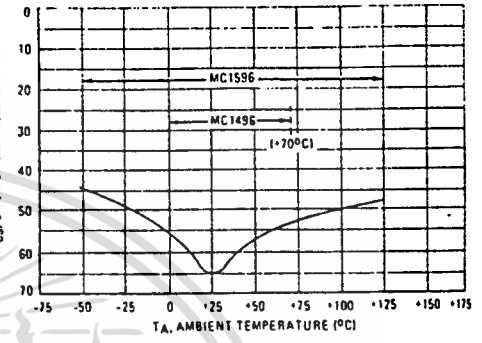


FIGURE 17 – SIGNAL-PORT FREQUENCY RESPONSE

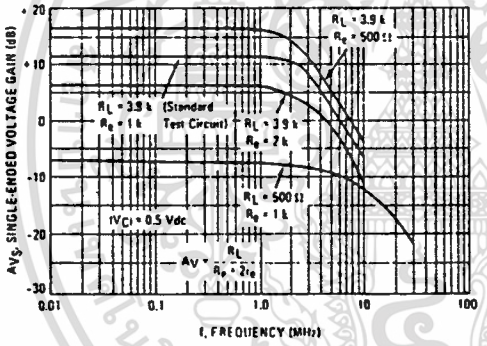


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

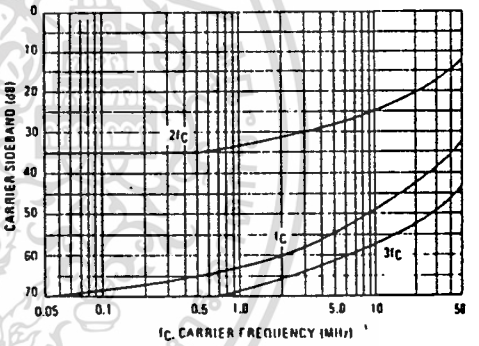


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

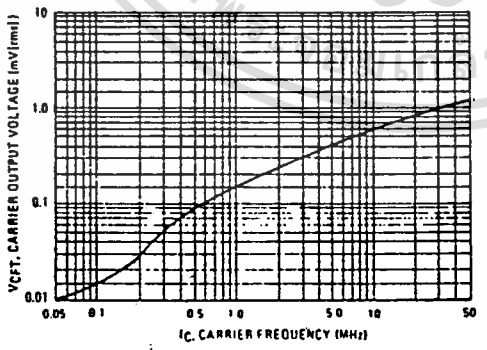
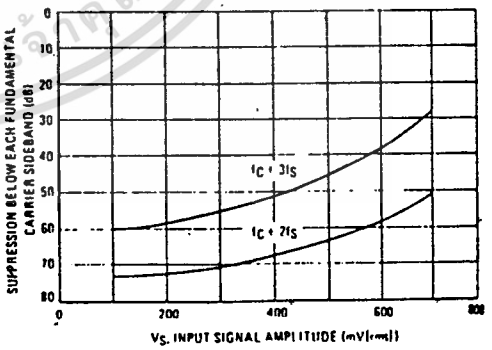


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

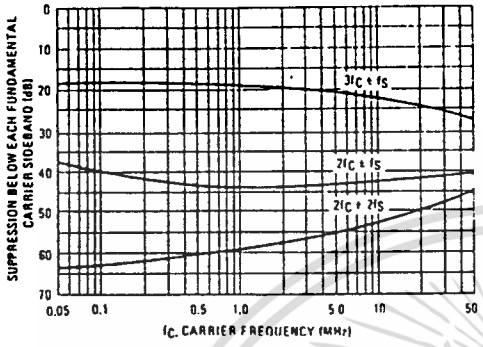
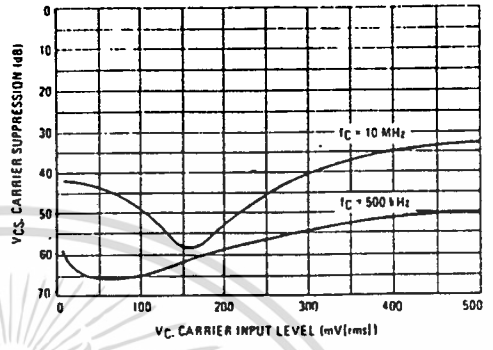


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

FIGURE 23 – CIRCUIT SCHEMATIC

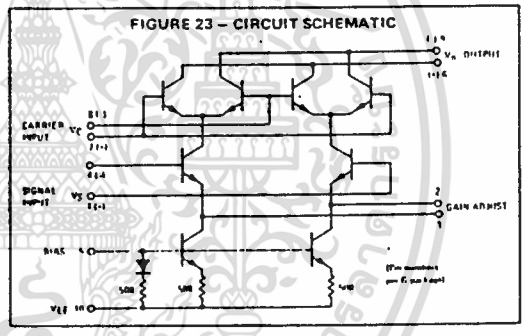
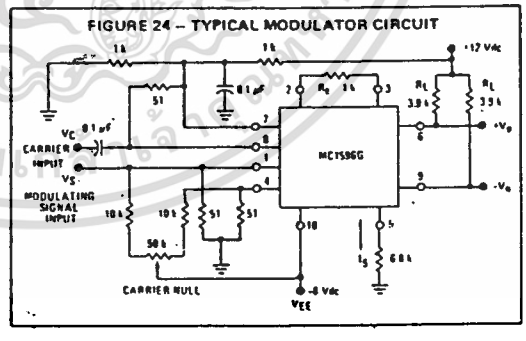


FIGURE 24 – TYPICAL MODULATOR CIRCUIT



Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V \approx (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M$, $3f_C \pm f_M$, $5f_C \pm f_M$, . . .

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C:
$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 7 and 8 should be increased to 1.0 μF. Also, the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL APPLICATIONS

FIGURE 26 – BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

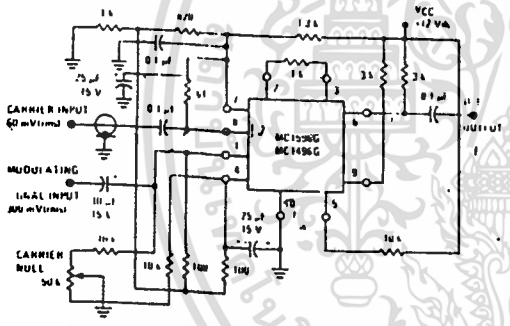


FIGURE 27 – BALANCED MODULATOR-DEMODULATOR

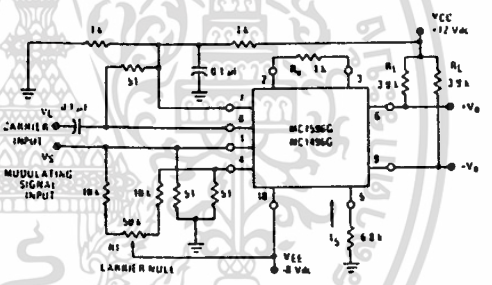


FIGURE 28 – AM MODULATOR CIRCUIT

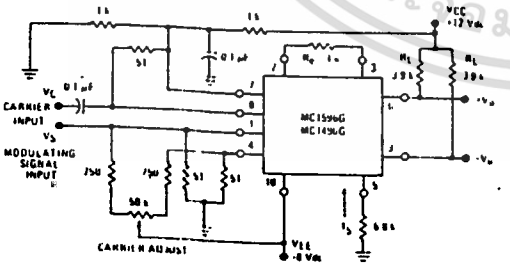
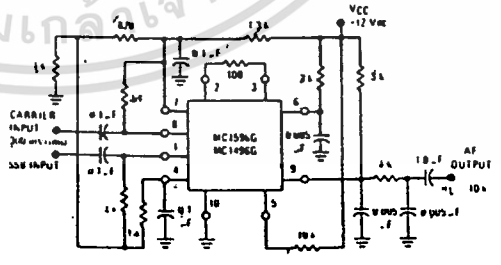


FIGURE 29 – PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS (continued)

FIGURE 30 – DOUBLY BALANCED MIXER
(BROADBAND INPUTS, 9.0 MHz TUNED OUTPUT)

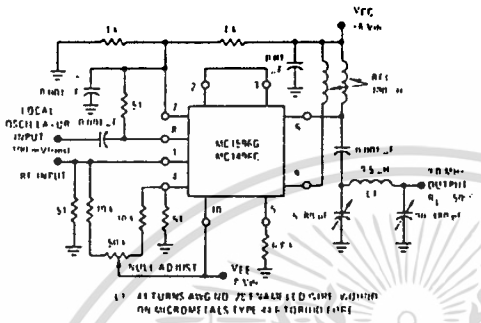


FIGURE 31 – LOW-FREQUENCY DOUBLER

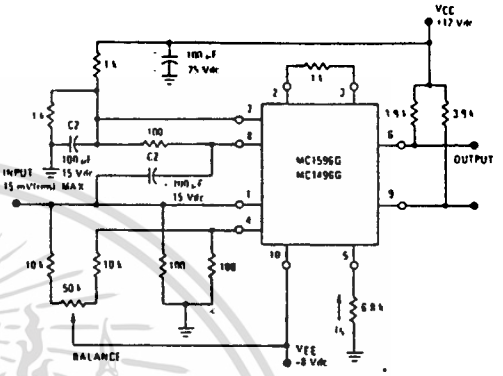
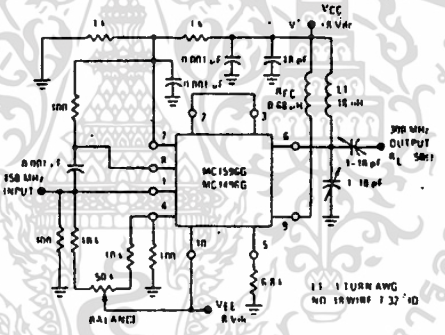
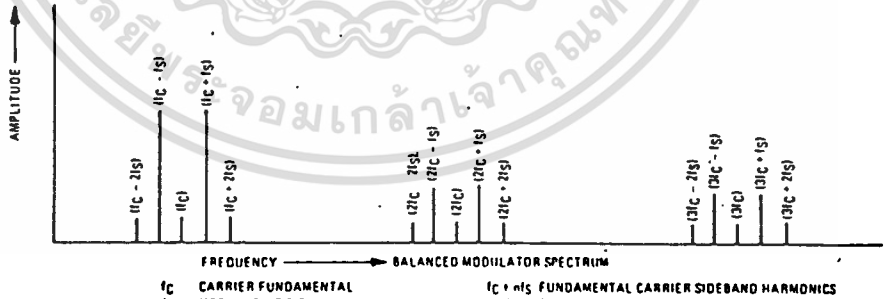


FIGURE 32 – 150 to 300 MHz DOUBLER



DEFINITIONS



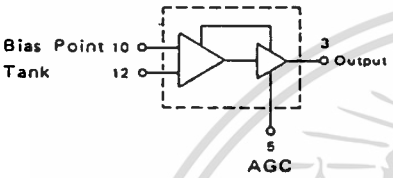
f_C CARRIER FUNDAMENTAL
f_S MODULATING SIGNAL
$f_C \pm f_S$ FUNDAMENTAL CARRIER SIDEBANDS
$f_C \pm nf_S$ FUNDAMENTAL CARRIER SIDEBAND HARMONICS
nf_C CARRIER HARMONICS
$nf_C \pm nf_S$ CARRIER HARMONIC SIDEBANDS

NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1648/MC1648M

VOLTAGE-CONTROLLED OSCILLATOR



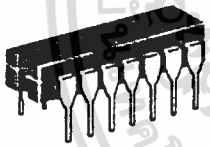
The MC1648 requires an external parallel tank circuit consisting of the inductor (L) and capacitor (C).

A varactor diode may be incorporated into the tank circuit to provide a voltage variable input for the oscillator (VCO). The MC1648 was designed for use in the Motorola Phase-Locked Loop shown in Figure 9. This device may also be used in many other applications requiring a fixed or variable frequency clock source of high spectral purity. (See Figure 2.)

The MC1648 may be operated from a +5.0 Vdc supply or a -5.2 Vdc supply, depending upon system requirements.

Input Capacitance = 6 pF typ
Maximum Series Resistance for L (External Inductance) = 50 Ω typ
Power Dissipation = 150 mW typ/pkg (+5.0 Vdc Supply)
Maximum Output Frequency = 225 MHz typ

Supply Voltage	Gnd Pins	Supply Pins
+5.0 Vdc	7, 8	1, 14
-5.2 Vdc	1, 14	7, 8

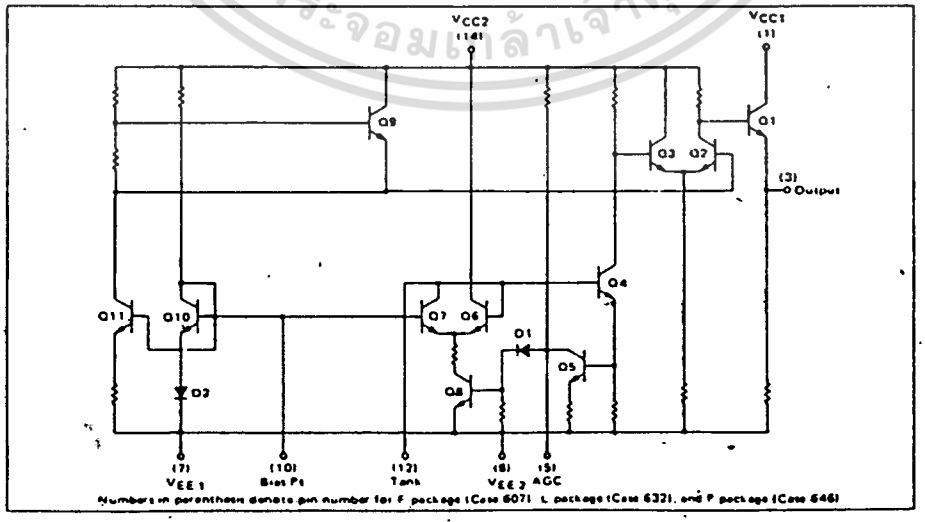


L SUFFIX
CERAMIC PACKAGE
CASE 632

P SUFFIX
PLASTIC PACKAGE
CASE 646

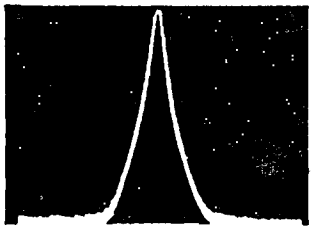
F SUFFIX
CERAMIC PACKAGE
CASE 607

FIGURE 1 – CIRCUIT SCHEMATIC

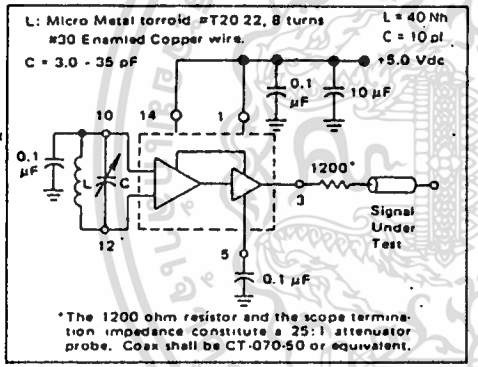


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 2—SPECTRAL PURITY OF SIGNAL OUTPUT FOR 200 MHZ TESTING



8 W. = 10 kHz
Center Frequency = 100 MHz
Scan Width = 50 kHz/div
Vertical Scale = 10 dB/div



*The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT-070-50 or equivalent.

@ Test Temperature	TEST VOLTAGE/CURRENT VALUES (Volts) V_{IHmax}	(Volts) V_{ILmin}	(Volts) V_{CC}	mAdc I_L
MC1648				
-30°C	+2.00	+1.50	5.0	-5.0
+25°C	+1.85	+1.35	5.0	-5.0
+85°C	+1.70	+1.20	5.0	-5.0
MC1648M				
-55°C	+2.07	+1.57	5.0	-5.0
+25°C	+1.85	+1.35	5.0	-5.0
+125°C	+1.60	+1.10	5.0	-5.0

ELECTRICAL CHARACTERISTICS

Supply Voltage = +5.0 Volts

Characteristic	Symbol	-55°C Min	-55°C Max	-30°C Min	-30°C Max	+25°C Min	+25°C Max	+85°C Min	+85°C Max	+125°C Min	+125°C Max	Unit	Conditions
Power Supply Drain Current	I_E	–	–	–	–	–	41	–	–	–	–	mAdc	Inputs and outputs open.
Logic "1" Output Voltage	V_{OH}	3.92	4.13	3.955	4.185	4.04	4.25	4.11	4.36	4.16	4.40	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3.
Logic "0" Output Voltage	V_{OL}	3.13	3.38	3.16	3.40	3.20	3.43	3.22	3.475	3.23	3.51	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3.
Bias Voltage	V_{Bias}*	1.67	1.97	1.60	1.90	1.45	1.75	1.30	1.60	1.20	1.50	Vdc	V_{ILmin} to Pin 12.
		Min	Typ Max	Min	Typ Max	Min	Typ Max	Min	Typ Max	Min	Typ Max		
Peak-to-Peak Tank Voltage	V_{p-p}	–	– –	–	– –	–	400 –	–	– –	–	– –	mV	See Figure 3.
Output Duty Cycle	V_{DC}	–	– –	–	– –	–	50 –	–	– –	–	– –	%	
Oscillation Frequency	f_{max}**	–	225 –	–	225 –	200	225 –	–	225 –	–	225 –	MHz	

*This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor turning diode at this point.

**Frequency variation over temperature is a direct function of the ΔC/Δ Temperature and ΔL/Δ Temperature.

@ Test Temperature	TEST VOLTAGE/CURRENT VALUES (Volts) V_{IHmax}	V_{ILmin}	V_{CC}	mAdc I_L
MC1648				
-30°C	-3.20	-3.70	-5.2	-5.0
+25°C	-3.35	-3.85	-5.2	-5.0
+85°C	-3.50	-4.00	-5.2	-5.0
MC1648M				
-55°C	-3.13	-3.63	-5.2	-5.0
+25°C	-3.35	-3.85	-5.2	-5.0
+125°C	-3.60	-4.10	-5.2	-5.0

ELECTRICAL CHARACTERISTICS

Supply Voltage = -5.2 Volts

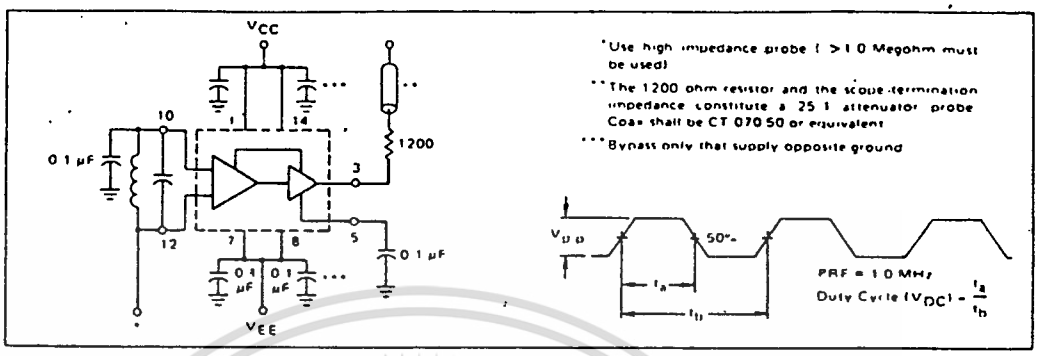
Characteristic	Symbol	-55°C Min	-55°C Max	-30°C Min	-30°C Max	+25°C Min	+25°C Max	+85°C Min	+85°C Max	+125°C Min	+125°C Max	Unit	Conditions
Power Supply Drain Current	I_E	–	–	–	–	–	41	–	–	–	–	mAdc	Inputs and outputs open.
Logic "1" Output Voltage	V_{OH}	-1.080	-0.870	-1.045	-0.815	-0.960	-0.750	-0.890	-0.640	-0.840	-0.600	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3.
Logic "0" Output Voltage	V_{OL}	-1.920	-1.670	-1.890	-1.650	-1.850	-1.620	-1.830	-1.575	-1.820	-1.540	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3.
Bias Voltage	V_{Bias}*	-3.53	-3.23	-3.60	-3.30	-3.75	-3.45	-3.90	-3.60	-4.00	-3.70	Vdc	V_{ILmin} to Pin 12.

		-55°C			-30°C			+25°C			+85°C			+125°C				
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
Peak-to-Peak Tank Voltage	V_{P-P}	–	–	–	–	–	–	–	400	–	–	–	–	–	–	–	mV	See Figure 3.
Output Duty Cycle	V_{DC}	–	–	–	–	–	–	–	50	–	–	–	–	–	–	–	%	
Oscillation Frequency	f_{max}**	–	225	–	–	225	–	200	225	–	–	225	–	–	225	–	MHz	

*This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor turning diode at this point.

**Frequency variation over temperature is a direct function of the ΔC/Δ Temperature and ΔL/Δ Temperature.

FIGURE 3 – TEST CIRCUIT AND WAVEFORMS



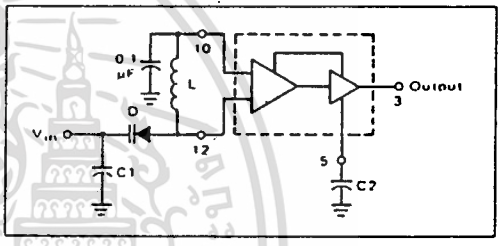
OPERATING CHARACTERISTICS

Figure 1 illustrates the circuit schematic for the MC1648. The oscillator incorporates positive feedback by coupling the base of transistor Q6 to the collector of Q7. An automatic gain control (AGC) is incorporated to limit the current through the emitter-coupled pair of transistors (Q7 and Q6) and allow optimum frequency response of the oscillator.

In order to maintain the high Q of the oscillator, and provide high spectral purity at the output, transistor Q4 is used to translate the oscillator signal to the output differential pair Q2 and Q3. Q2 and Q3, in conjunction with output transistor Q1, provides a highly buffered output which produces a square wave. Transistors Q9 and Q11 provide the bias drive for the oscillator and output buffer. Figure 2 indicates the high spectral purity of the oscillator output (pin 3).

When operating the oscillator in the voltage controlled mode (Figure 4), it should be noted that

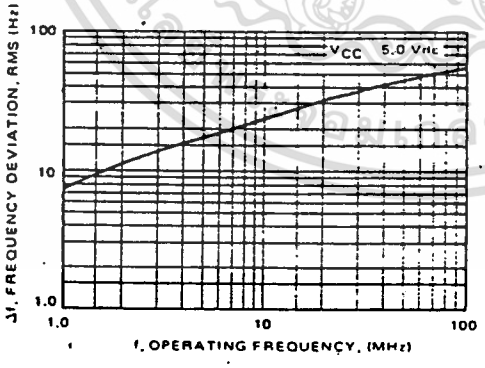
FIGURE 4 – THE MC1648 OPERATING IN THE VOLTAGE CONTROLLED MODE



the cathode of the varactor diode (D) should be biased at least 2 V_{BE} above V_{EE} (≈1.4 V for positive supply operation).

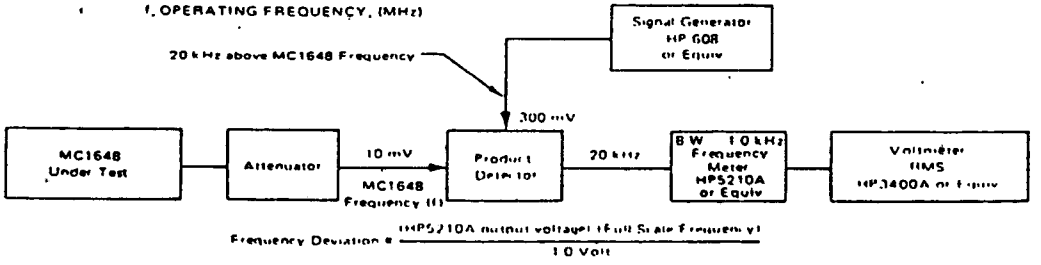
When the MC1648 is used with a constant dc voltage to the varactor diode, the output frequency will vary slightly because of internal noise. This variation is plotted versus operating frequency in Figure 5.

FIGURE 5 – NOISE DEVIATION TEST CIRCUIT AND WAVEFORM



Oscillator Tank Components
(Circuit of Figure 4)

f MHz	D	L μH
1.0 10	MV2115	100
10 60	MV2115	2.3
60 100	MV2106	0.15



$$\text{Frequency Deviation} = \frac{\text{(HP5210A output voltage) (Full Scale Frequency)}}{10 \text{ Volt}}$$

NOTE: Any frequency deviation caused by the signal generator and MC1648 power supply should be determined and minimized prior to testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRANSFER CHARACTERISTICS IN THE VOLTAGE CONTROLLED MODE
USING EXTERNAL VARACTOR DIODE AND COIL. $T_A = 25^oC$

FIGURE 6

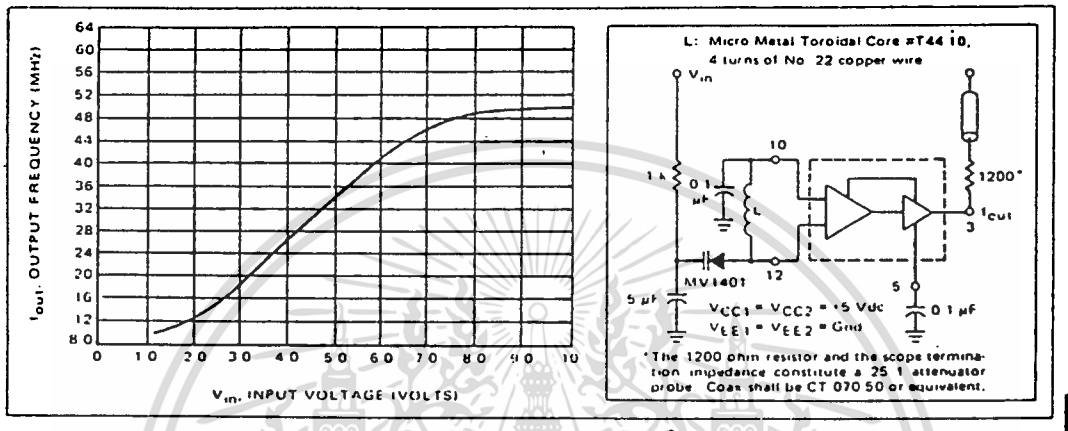


FIGURE 7

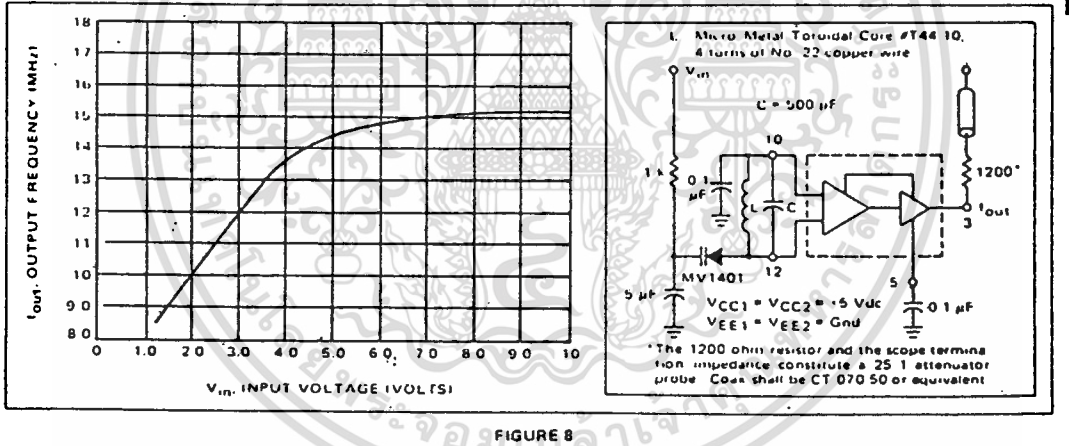
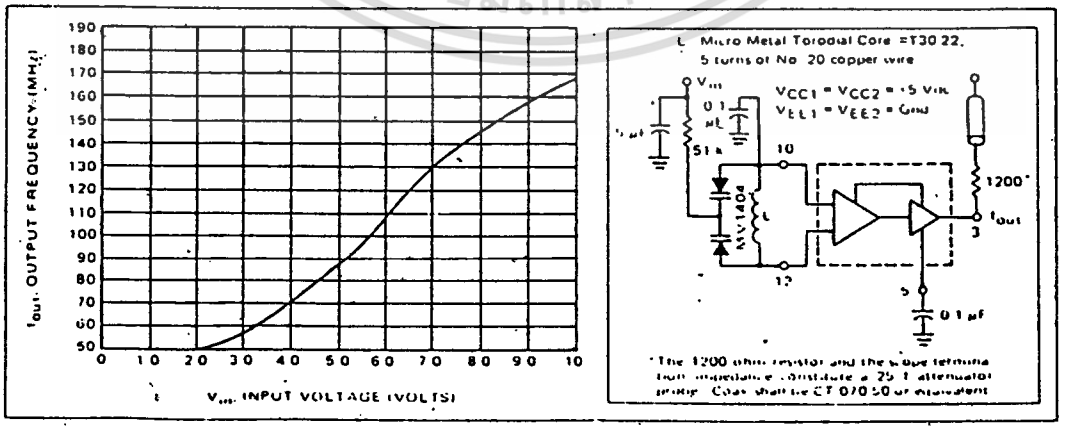


FIGURE 8



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical transfer characteristics for the oscillator in the voltage controlled mode are shown in Figures 6, 7, and 8. Figures 6 and 8 show transfer characteristics employing only the capacitance of the varactor diode (plus the input capacitance of the oscillator, 6 pF typical). Figure 7 illustrates the oscillator operating in a voltage controlled mode with the output frequency range limited. This is achieved by adding a capacitor in parallel with the tank circuit as shown. The 1 kΩ resistor in Figures 6 and 7 is used to protect the varactor diode during testing. It is not necessary as long as the dc input voltage does not cause the diode to become forward biased. The larger-valued resistor (51 kΩ) in Figure 8 is required to provide isolation for the high-impedance junctions of the two varactor diodes.

The tuning range of the oscillator in the voltage controlled mode may be calculated as:

$$\frac{f_{max}}{f_{min}} = \frac{\sqrt{C_D(max) + C_S}}{\sqrt{C_D(min) + C_S}}$$

where $f_{min} = \frac{1}{2\pi\sqrt{L(C_D(max) + C_S)}}$.

C_S = shunt capacitance (input plus external capacitance).

C_D = varactor capacitance as a function of bias voltage.

Good RF and low-frequency bypassing is necessary on the power supply pins. (See Figure 2.)

Capacitors (C1 and C2 of Figure 4) should be used to bypass the AGC point and the VCO input (varactor diode), guaranteeing only dc levels at these points.

For output frequency operation between 1 MHz and 50 MHz a 0.1 μF capacitor is sufficient for C1 and C2. At higher frequencies, smaller values of capacitance should be used; at lower frequencies, larger values of capacitance. At high frequencies the value of bypass capacitors depends directly upon the physical layout of the system. All bypassing should be as close to the package pins as possible to minimize unwanted lead inductance.

The peak-to-peak swing of the tank circuit is set internally by the AGC circuitry. Since voltage swing of the tank circuit provides the drive for the output buffer, the AGC potential directly affects the output waveform. If it is desired to have a sine wave at the output of the MC1648, a series resistor is tied from the AGC point to the most negative power potential (ground if +5.0 volt supply is used, −5.2 volts if a negative supply is used) as shown in Figure 10.

At frequencies above 100 MHz typ, it may be desirable to increase the tank circuit peak-to-peak voltage in order to shape the signal at the output of the MC1648. This is accomplished by tying a series resistor (1 kΩ minimum) from the AGC to the most positive power potential (+5.0 volts if a +5.0 volt supply is used, ground if a −5.2 volt supply is used). Figure 11 illustrates this principle.

APPLICATIONS INFORMATION

The phase locked loop shown in Figure 9 illustrates the use of the MC1648 as a voltage controlled oscillator. The figure illustrates a frequency synthesizer useful in tuners for FM broadcast, general aviation, maritime and landmobile communications, amateur and CB receivers. The system operates from a single +5.0 Vdc supply, and requires no internal translations, since all components are compatible.

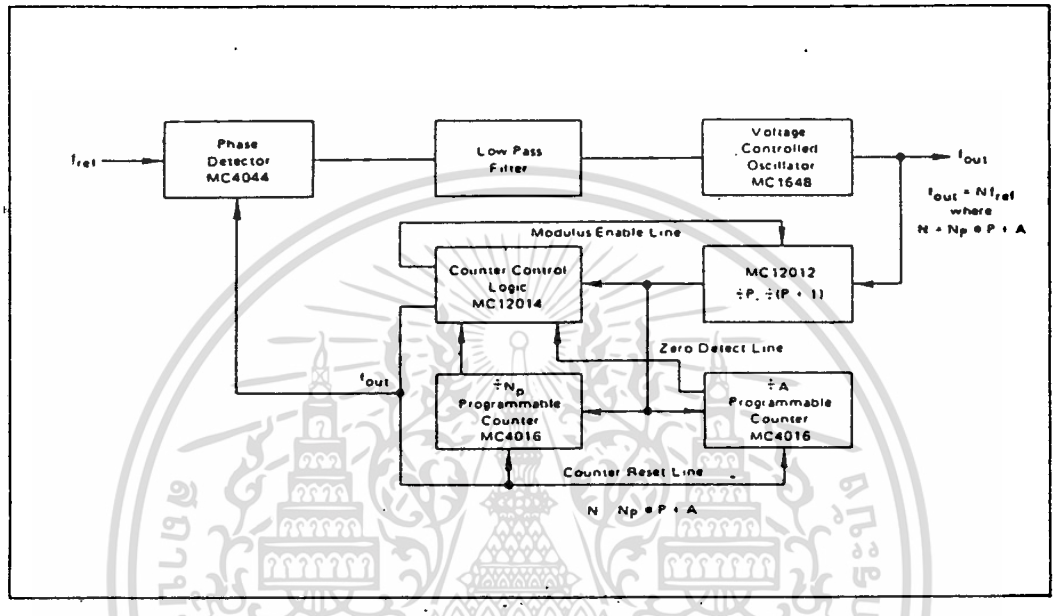
Frequency generation of this type offers the advantages of single crystal operation, simple channel selection, and elimination of special circuitry to prevent harmonic lockup. Additional features include dc digital switching (preferable over RF switching with a multiple crystal system), and a broad range of tuning (up to 150 MHz, the range being set by the varactor diode).

The output frequency of the synthesizer loop is determined by the reference frequency and the number programmed at the programmable counter; $f_{out} = Nf_{ref}$. The channel spacing is equal to frequency (f_{ref}).

For additional information on applications and designs for phase locked loops and digital frequency synthesizers, see Motorola Application Notes AN-532A, AN 535, AN 553, AN 564 or AN594.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 9 – TYPICAL FREQUENCY SYNTHESIZER APPLICATION



4

Figure 10 shows the MC1648 in the variable frequency mode operating from a +5.0 Vdc supply. To obtain a sine wave at the output, a resistor is added from the AGC circuit (pin 5) to V_{EE}.

Figure 11 shows the MC1648 in the variable frequency mode operating from a +5.0 Vdc supply. To extend the useful range of the device (maintain a square wave output above 175 MHz), a resistor is added to the AGC circuit at pin 5 (1 k-ohm minimum).

Figure 12 shows the MC1648 operating from +5.0 Vdc and +9.0 Vdc power supplies. This permits a higher voltage swing and higher output power than is possible from the MECL output (pin 3). Plots of output power versus total collector load resistance at pin 1 are given in Figures 13 and 14 for 100 MHz and 10 MHz operation. The total collector load includes R in parallel with Rp of L1 and C1 at resonance. The optimum value for R at 100 MHz is approximately 850 ohms.

FIGURE 10 – METHOD OF OBTAINING A SINE-WAVE OUTPUT

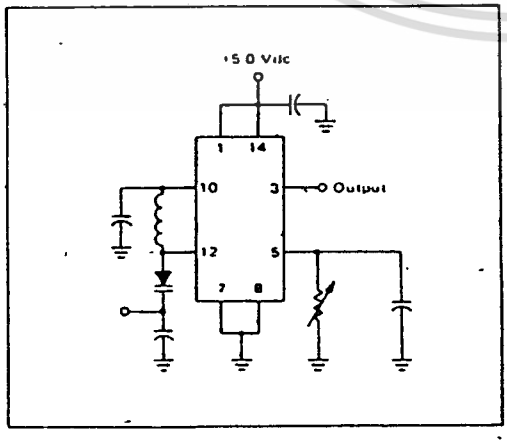
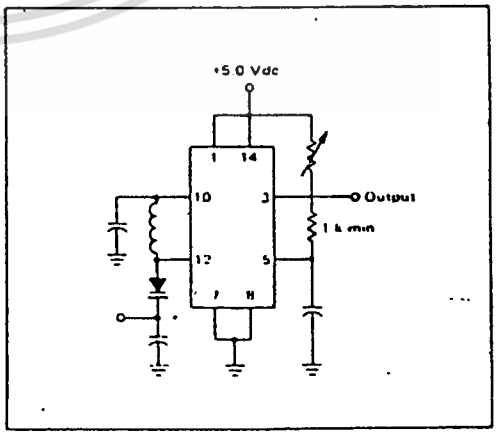
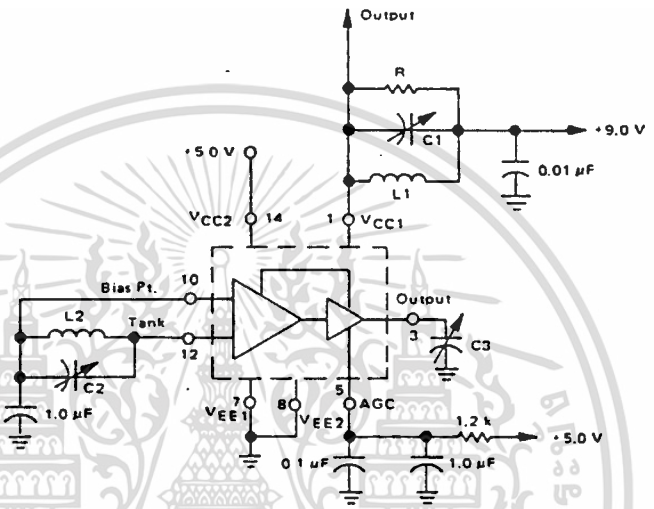


FIGURE 11 – METHOD OF EXTENDING THE USEFUL RANGE OF THE MC1648 (SQUARE WAVE OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 12 – CIRCUIT USED FOR
COLLECTOR OUTPUT OPERATION



4

FIGURE 13 – POWER OUTPUT versus COLLECTOR LOAD

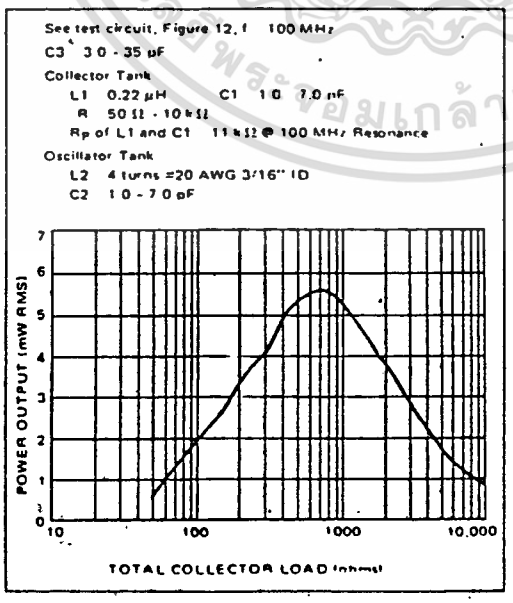
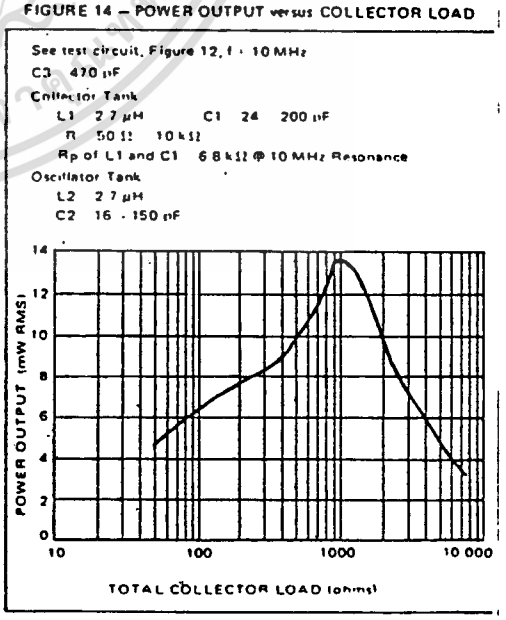


FIGURE 14 – POWER OUTPUT versus COLLECTOR LOAD



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MV104

VVC

SILICON EPICAP DIODES

DUAL
VOLTAGE-VARIABLE
CAPACITANCE DIODES

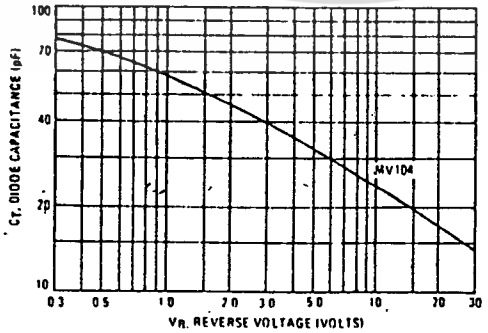
. designed for FM tuning, general frequency control and tuning, or any top-of-the-line application requiring back to back diode configurations for minimum signal distortion and detuning. This device is supplied in the popular TO-92 plastic package for high volume, economical requirements of consumer and industrial applications.

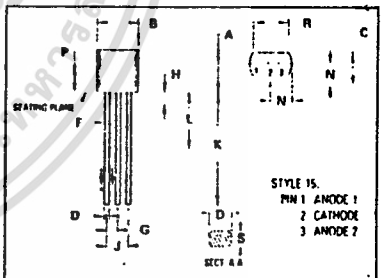
- High Figure of Merit
  Q = 140 (Typ) @ V_R = 3.0 Vdc, f = 100 MHz
- Guaranteed Capacitance Range
  37– 42 pF @ V_R = 3.0 Vdc (MV104)
- Dual Diodes – Save Space and Reduce Cost
- TO 92 Package for Easy Handling and Mounting
- Monolithic Chip Provides Near Perfect Matching – Guaranteed ± 1% (Max) Over Specified Tuning Range

MAXIMUM RATINGS (Each Device)

Rating	Symbol	Value	Unit
Reverse Voltage	V_R	32	Volts
Forward Current	I_F	200	mA
Total Power Dissipation @ T_A = 25°C Derate above 25°C	P_D	280 2.8	mW mW/°C
Junction Temperature	T_J	+125	°C
Storage Temperature Range	T_{stg}	−55 to +150	°C

FIGURE 1 – DIODE CAPACITANCE (Each Device)





DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	4.32	5.33	0.170	0.210
B	4.45	5.20	0.175	0.205
C	3.18	4.19	0.125	0.165
D	0.41	0.55	0.016	0.022
F	0.41	0.48	0.016	0.019
G	1.15	1.39	0.045	0.055
H	—	2.54	—	0.100
J	2.42	2.66	0.095	0.105
K	12.70	—	0.500	—
L	6.35	—	0.250	—
N	2.04	2.66	0.080	0.105
P	2.93	—	0.115	—
R	3.43	—	0.135	—
S	0.39	0.50	0.015	0.020

CASE 29-04
TO-226AA

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted. Each Device)

Characteristic - All Types	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage (I_R = 10 μAdc)	$V_{(BR)R}$	37	–		Vdc
Reverse Voltage Leakage Current (V_R = 30 Vdc, T_A = 25°C) (V_R = 30 Vdc, T_A = 60°C)	I_R			50 500	nAdc
Diode Capacitance Temperature Coefficient (V_R = 4.0 Vdc, f = 1.0 MHz)	TC_C		280	—	ppm/°C

Device	C_T, Diode Capacitance V_R = 3.0 Vdc, f = 1.0 MHz pF		Q, Figure of Merit V_R = 3.0 Vdc f = 100 MHz		C_R, Capacitance Ratio C_3/C_{30} f = 1.0 MHz	
	Min	Max	Min	Typ	Min	Max
MV104	37	42	100	140	2.5	2.8

TYPICAL CHARACTERISTICS (Each Device)

FIGURE 2 – FIGURE OF MERIT versus VOLTAGE

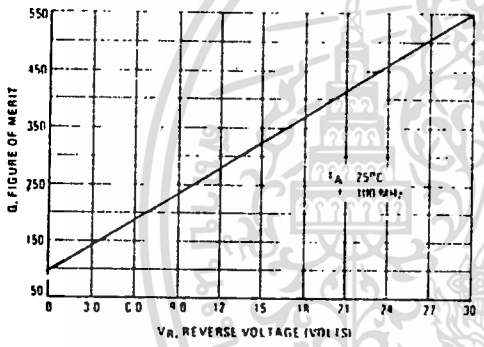


FIGURE 3 – FIGURE OF MERIT versus FREQUENCY

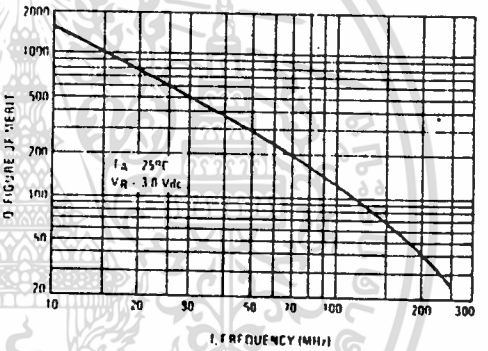


FIGURE 4 – DIODE CAPACITANCE versus TEMPERATURE

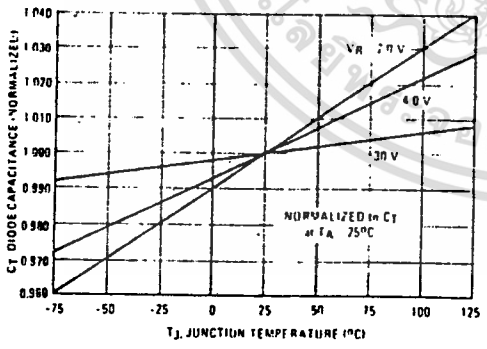
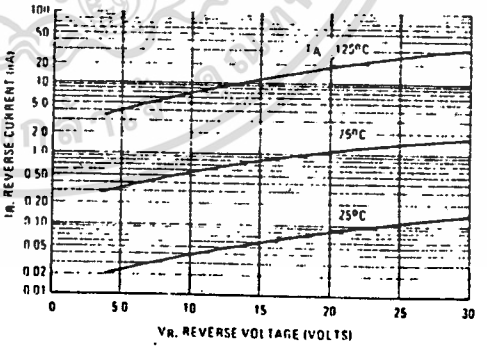


FIGURE 5 – REVERSE CURRENT versus REVERSE VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151-2

Parallel-Input PLL Frequency Synthesizer

Interfaces with Single-Modulus Prescalers

P SUFFIX
PLASTIC
CASE 710

FN SUFFIX
PLCC
CASE 776

ORDERING INFORMATION

MC145151P2	Plastic DIP
MC145151FN2	PLCC Package

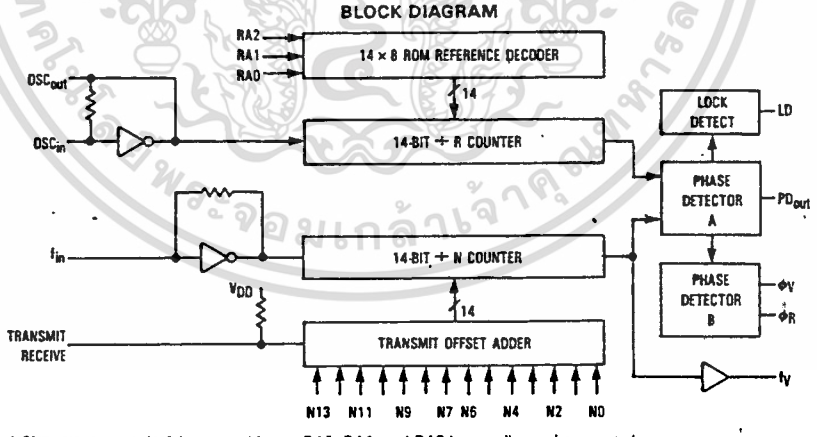
The MC145151-2 is programmed by 14 parallel input-data lines for the N counter and 3 input lines for the R counter. The device features consist of a reference oscillator, selectable-reference divider, digital-phase detector, and 14-bit programmable divide-by-N counter.

The MC145151-2 is an improved-performance drop-in replacement for the MC145151-1. The power consumption has decreased and ESD and latch-up performance have improved.

- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On- or Off-Chip Reference Oscillator Operation
- Lock Detect Signal
- ÷ N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User-Selectable ÷ R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- ÷ N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single Ended (Three-State) or Double Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates

5

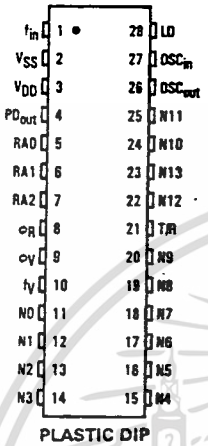
BLOCK DIAGRAM



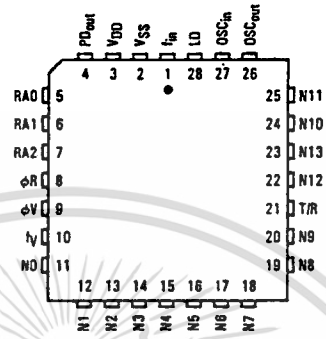
NOTE: N0 through N13 inputs and inputs RA0, RA1, and RA2 have pullup resistors not shown.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN ASSIGNMENTS



PLASTIC DIP



PLCC PACKAGE

5

PIN DESCRIPTIONS

INPUTS

f_{in}—Frequency Input

Input to the ÷N portion of the synthesizer. f_{in} is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2—Reference Address Inputs

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pullup resistors ensure that inputs left open remain at a logic one and require only a SPST switch to alter data to the zero state.

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	2410
1	1	1	8192

N Inputs—N Counter Programming Inputs

These inputs provide the data that is preset into the ÷N counter when it reaches the count of zero. N0 is least significant and N13 is most significant. Pullup resistors ensure that inputs left open remain at a logic one and require only a SPST switch to alter data to the zero state.

Transmit/Receive—Offset Adder Input

This input controls the offset added to the data provided at the N inputs. This is normally used for offsetting the VCO frequency by an amount equal to the IF frequency of the transceiver. This offset is fixed at 856 when T/R is low and gives no offset when T/R is high. A pullup resistor ensures that no connection will appear as a logic one causing no offset addition.

OSC_{in}, OSC_{out}—Reference Oscillator Input/Output

These pins form an on-chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally-generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUTS

PD_{out}—Phase Detector A Output

Three-state output of phase detector for use as loop error signal. Double-ended outputs are also available for this purpose (see ϕ_V and ϕ_R).

Frequency $f_V > f_R$ or f_V Leading: Negative Pulses
Frequency $f_V < f_R$ or f_V Lagging: Positive Pulses
Frequency $f_V = f_R$ and Phase Coincidence: High-Impedance State

ϕ_R, ϕ_V—Phase Detector B Outputs

These phase detector outputs can be combined externally for a loop-error signal. A single-ended output is also available for this purpose (see PD_{out}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕ_V pulsing low. ϕ_R remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕ_R pulsing low. ϕ_V remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕ_V and ϕ_R remain high except for a small minimum time period when both pulse low in phase.

f_V—N Counter Output

This is the buffered output of the ÷ N counter that is internally connected to the phase detector input. With this output available, the ÷ N counter can be used independently.

LD—Lock Detector Output

Lock detector signal. Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

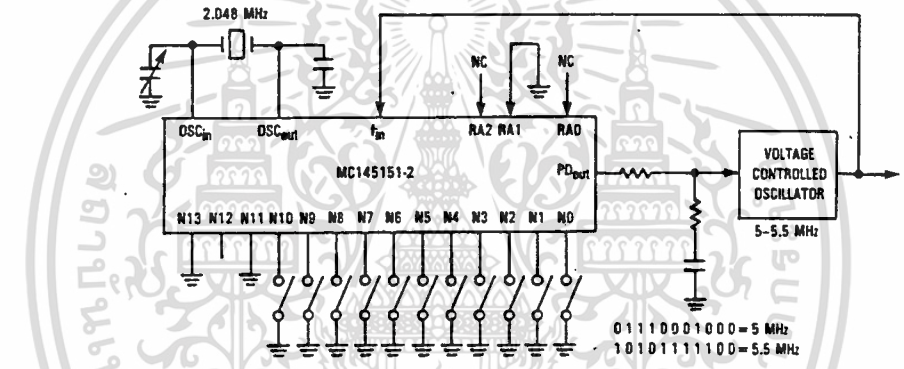
V_{DD}

The positive power supply potential. This pin may range from +3 to +9 V with respect to V_{SS}.

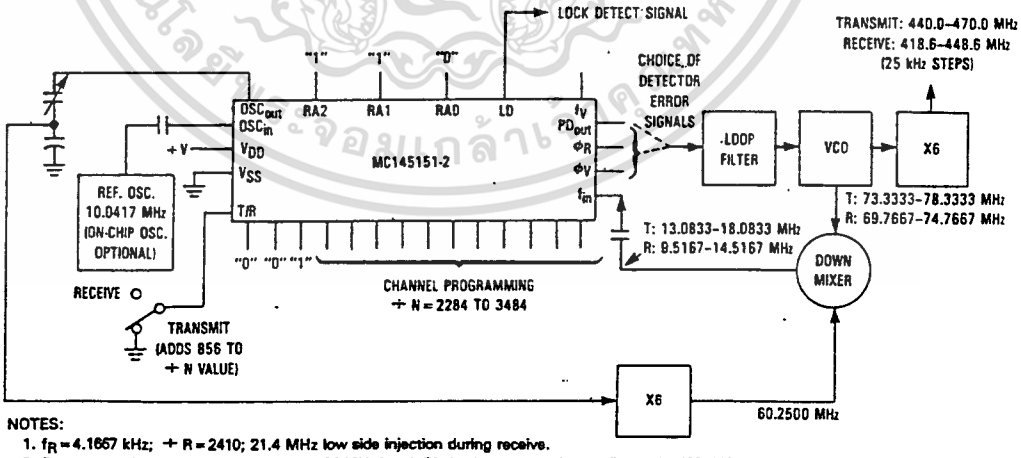
V_{SS}

The most negative supply potential. This pin is usually ground.

TYPICAL APPLICATIONS



5 MHz to 5.5 MHz Local Oscillator Channel Spacing = 1 kHz



NOTES:
1. f_R = 4.1667 kHz; ÷ R = 2410; 21.4 MHz low side injection during receive.
2. Frequency values shown are for the 440–470 MHz band. Similar implementation applies to the 406–440 MHz band. For 470–512 MHz, consider reference oscillator frequency X9 for mixer injection signal (90.3750 MHz).

Synthesizer for Land Mobile Radio UHF Bands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAMILY CHARACTERISTICS

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	−0.5 to +10.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient), except SW1, SW2	−0.5 to V_{DD}+0.5	V
V_{out}	Output Voltage (DC or Transient), SW1 or SW2 (R_{pullup} = 4.7 kΩ)	−0.5 to +15	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	±10	mA
I_{DD}, I_{SS}	Supply Current, V_{DD} or V_{SS} Pins	±30	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 seconds	260	°C

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

†Power Dissipation Temperature Derating:
Plastic DIP: −12 mW/°C from 65°C to 85°C
PLCC Package: −12 mW/°C from 65°C to 85°C
SOG Package: −7 mW/°C from 65°C to 85°C

These devices contain protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to these high-impedance circuits. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$ except for SW1 and SW2.

SW1 and SW2 can be tied through external resistors to voltages as high as 15 V dc, independent of the supply voltage.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}), except for inputs with pullup devices. Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Symbol	Parameter	Test Condition	V_{DD} V	−40°C Min	−40°C Max	25°C Min	25°C Max	85°C Min	85°C Max	Unit
V_{DD}	Power Supply Voltage Range		–	3	9	3	9	3	9	V
I_{ss}	Dynamic Supply Current	$f_{in} = OSC_{in}$ = 10 MHz, 1 Vp-p ac-coupled sine wave R = 128, A = 32, N = 128	3	–	3.5	–	3	–	3	mA
			5	–	10	–	7.5	–	7.5	
			9	–	30	–	24	–	24	
I_{SS}	Quiescent Supply Current (not including pullup current component)	$V_{in} = V_{DD}$ or V_{SS}, I_{out} = 0 µA	3	–	800	–	800	–	1600	µA
			5	–	1200	–	1200	–	2400	
			9	–	1600	–	1600	–	3200	
V_{in}	Input Voltage—f_{in}, OSC_{in}	Input ac-coupled sine wave	–	500	–	500	–	500	–	mVp-p
V_{IL}	Low-Level Input Voltage—f_{in}, OSC_{in}	$V_{out} \ge 2.1$ V, $V_{out} \ge 3.5$ V, $V_{out} \ge 6.3$ V; Input dc-coupled square wave	3	–	0	–	0	–	0	V
			5	–	0	–	0	–	0	
			9	–	0	–	0	–	0	
V_{IH}	High-Level Input Voltage—f_{in}, OSC_{in}	$V_{out} \le 0.9$ V, $V_{out} \le 1.5$ V, $V_{out} \le 2.7$ V; Input dc-coupled square wave	3	3.0	–	3.0	–	3.0	–	V
			5	5.0	–	5.0	–	5.0	–	
			9	9.0	–	9.0	–	9.0	–	
V_{IL}	Low-Level Input Voltage—except f_{in}, OSC_{in}		3	–	0.9	–	0.9	–	0.9	V
			5	–	1.5	–	1.5	–	1.5	
			9	–	2.7	–	2.7	–	2.7	
V_{IH}	High-Level Input Voltage—except f_{in}, OSC_{in}		3	2.1	–	2.1	–	2.1	–	V
			5	3.5	–	3.5	–	3.5	–	
			9	6.3	–	6.3	–	6.3	–	
I_{in}	Input Current (f_{in}, OSC_{in})	$V_{in} = V_{DD}$ or V_{SS}	9	±2	±50	±2	±25	±2	±22	µA
I_{IL}	Input Leakage Current (Data, Clock, Enable—without Pullups)	$V_{in} = V_{SS}$	9	–	−0.3	–	−0.1	–	−1.0	µA
I_{IH}	Input Leakage Current (all inputs except f_{in}, OSC_{in})	$V_{in} = V_{DD}$	9	–	0.3	–	0.1	–	1.0	µA
I_{IL}	Pullup Current (all inputs with Pullups)	$V_{in} = V_{SS}$	9	−20	−400	−20	−200	−20	−170	µA
C_{in}	Input Capacitance		–	–	10	–	10	–	10	pF

Continued

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAMILY CHARACTERISTICS

ELECTRICAL CHARACTERISTICS (Continued)

Symbol	Parameter	Test Condition	V_{DD} V	−40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
V_{OL}	Low-Level Output Voltage—OSC_{out}	I_{out} = 0 μA V_{in} = V_{DD}	3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{OH}	High-Level Output Voltage—OSC_{out}	I_{out} = 0 μA V_{in} = V_{SS}	3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
V_{OL}	Low-Level Output Voltage—Other Outputs	I_{out} = 0 μA	3 5 9	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	V
V_{OH}	High-Level Output Voltage—Other Outputs	I_{out} = 0 μA	3 5 9	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	V
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage—SW1, SW2	R_{pullup} = 4.7 kΩ	—	15	—	15	—	15	—	V
I_{OL}	Low-Level Sinking Current—Modulus Control	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	1.30 1.90 3.80	— — —	1.10 1.70 3.30	— — —	0.66 1.08 2.10	— — —	mA
I_{OH}	High-Level Sourcing Current—Modulus Control	V_{out} = 2.7 V V_{out} = 4.6 V V_{out} = 8.5 V	3 5 9	−0.60 −0.90 −1.50	— — —	−0.50 −0.75 −1.25	— — —	−0.30 −0.50 −0.80	— — —	mA
I_{OL}	Low-Level Sinking Current—Lock Detect	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	0.25 0.64 1.30	— — —	0.20 0.51 1.00	— — —	0.15 0.36 0.70	— — —	mA
I_{OH}	High-Level Sourcing Current—Lock Detect	V_{out} = 2.7 V V_{out} = 4.6 V V_{out} = 8.5 V	3 5 9	−0.25 −0.64 −1.30	— — —	−0.20 −0.51 −1.00	— — —	−0.15 −0.36 −0.70	— — —	mA
I_{OL}	Low-Level Sinking Current—SW1, SW2	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	0.80 1.50 3.50	— — —	0.48 0.90 2.10	— — —	0.24 0.45 1.05	— — —	mA
I_{OL}	Low-Level Sinking Current—Other Outputs	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	0.44 0.64 1.30	— — —	0.35 0.51 1.00	— — —	0.22 0.36 0.70	— — —	mA
I_{OH}	High-Level Sourcing Current—Other Outputs	V_{out} = 2.7 V V_{out} = 4.6 V V_{out} = 8.5 V	3 5 9	−0.44 −0.64 −1.30	— — —	−0.35 −0.51 −1.00	— — —	−0.22 −0.36 −0.70	— — —	mA
I_{OZ}	Output Leakage Current—PD_{out}	V_{out} = V_{DD} or V_{SS} Output in Off State	9	—	±0.3	—	±0.1	—	±1.0	μA
I_{OZ}	Output Leakage Current—SW1, SW2	V_{out} = V_{DD} or V_{SS} Output in Off State	9	—	±0.3	—	±0.1	—	±3.0	μA
C_{out}	Output Capacitance—PD_{out}	PD_{out}—3-State	—	—	10	—	10	—	10	pF

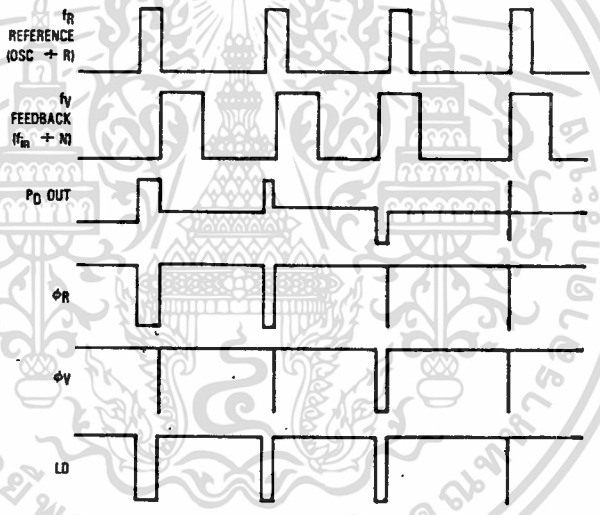
5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAMILY CHARACTERISTICS

FREQUENCY CHARACTERISTICS (Voltages Referenced to V_{SS}, $C_L = 50$ pF, Input $t_r = t_f = 10$ ns unless otherwise indicated)

Symbol	Parameter	Test Condition	V_{DD} V	−40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
f_i	Input Frequency (f_{in}, OSC_{in})	R≥8, A≥0, N≥8 V_{in} = 500 mVp-p ac-coupled sine wave	3	–	6	–	6	–	6	MHz
			5	–	15	–	15	–	15	
			9	–	15	–	15	–	15	
		R≥8, A≥0, N≥8 V_{in} = 1 Vp-p ac-coupled sine wave	3	–	12	–	12	–	7	MHz
			5	–	22	–	20	–	20	
			9	–	25	–	22	–	22	
		R≥8, A≥0, N≥8 $V_{in} = V_{DD}$ to V_{SS} dc-coupled square wave	3	–	13	–	12	–	8	MHz
			5	–	25	–	22	–	22	
			9	–	25	–	25	–	25	



NOTE: The P_D output state is equal to either V_{DD} or V_{SS} when active. When not active, the output is high impedance and the voltage at that pin is determined by the low pass filter capacitor.

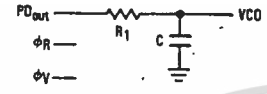
Figure 9. Phase Detector/Lock Detector Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

PHASE-LOCKED LOOP—LOW PASS FILTER DESIGN

A)

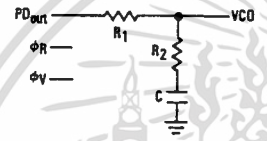


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NR_1C}}$$

$$\zeta = \frac{N\omega_n}{2K_\phi K_{VCO}}$$

$$F(s) = \frac{1}{R_1sC + 1}$$

B)

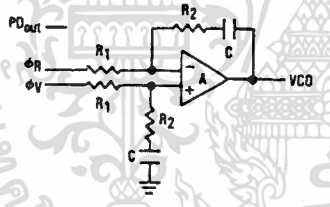


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NC(R_1 + R_2)}}$$

$$\zeta = 0.5\ \omega_n \left(R_2C + \frac{N}{K_\phi K_{VCO}}\right)$$

$$F(s) = \frac{R_2sC + 1}{(R_1 + R_2)sC + 1}$$

C)



$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

$$\zeta = \frac{\omega_n R_2 C}{2}$$

ASSUMING GAIN A IS VERY LARGE, THEN:

$$F(s) = \frac{R_2sC + 1}{R_1sC}$$

NOTE: Sometimes R_1 is split into two series resistors each $R_1 \div 2$. A capacitor C_C is then placed from the midpoint to ground to further filter ϕ_V and ϕ_R. The value of C_C should be such that the corner frequency of this network does not significantly affect ω_n.

DEFINITIONS:

N = Total Division Ratio in feedback loop

K_ϕ (Phase Detector Gain) = $V_{DD}/4\pi$ for PD_{out}

K_ϕ (Phase Detector Gain) = $V_{DD}/2\pi$ for ϕ_V and ϕ_R

K_{VCO} (VCO Gain) = $\frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$

for a typical design ω_n (Natural Frequency) $\cong \frac{2\pi fr}{10}$ (at phase detector input),

Damping Factor: $\zeta \cong 1$

RECOMMENDED FOR READING:

Gardner, Floyd M., *Phaselock Techniques (second edition)*. New York, Wiley-Interscience, 1979.
Manassewitsch, Vadim, *Frequency Synthesizers: Theory and Design (second edition)*. New York, Wiley-Interscience, 1980.
Blanchard, Alain, *Phase-Locked Loops: Application to Coherent Receiver Design*. New York, Wiley-Interscience, 1976.
Egan, William F., *Frequency Synthesis by Phase Lock*. New York, Wiley-Interscience, 1981.
Rohde, Ulrich L., *Digital PLL Frequency Synthesizers Theory and Design*. Englewood Cliffs, NJ, Prentice-Hall, 1983.
Berlin, Howard M., *Design of Phase-Locked Loop Circuits, with Experiments*. Indianapolis, Howard W. Sams and Co., 1978.
Kinley, Harold, *The PLL Synthesizer Cookbook*. Blue Ridge Summit, PA. Tab Books, 1980.
AN535, Phase-Locked Loop Design Fundamentals, Motorola Semiconductor Products, Inc., 1970.
AR254, Phase-Locked Loop Design Articles, Motorola Semiconductor Products, Inc., Reprinted with permission from *Electronic Design*, 1987.
BR504/D, Electronic Tuning Address Systems, Motorola Semiconductor Products, Inc., 1986.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

CRYSTAL OSCILLATOR CONSIDERATIONS

The following options may be considered to provide a reference frequency to Motorola's CMOS frequency synthesizers. The most desirable is discussed first.

USE OF A HYBRID CRYSTAL OSCILLATOR

Commercially available temperature-compensated crystal oscillators (TCXOs) or crystal-controlled data clock oscillators provide very stable reference frequencies. An oscillator capable of sinking and sourcing 50 μA at CMOS logic levels may be direct or dc coupled to OSC_{in}. In general, the highest frequency capability is obtained utilizing a direct-coupled square wave having a rail-to-rail (V_{DD} to V_{SS}) voltage swing. If the oscillator does not have CMOS logic levels on the outputs, capacitive or ac coupling to OSC_{in} may be used. OSC_{out}, an unbuffered output, should be left floating.

For additional information about TCXOs and data clock oscillators, please consult the latest version of the *eem Electronic Engineers Master Catalog*, the *Gold Book*, or similar publications.

DESIGN AN OFF-CHIP REFERENCE

The user may design an off-chip crystal oscillator using ICs specifically developed for crystal oscillator applications, such as the MC12061 MECL device. The reference signal from the MECL device is ac coupled to OSC_{in}. For large amplitude signals (standard CMOS logic levels), dc coupling is used. OSC_{out}, an unbuffered output, should be left floating. In general, the highest frequency capability is obtained with a direct-coupled square wave having rail-to-rail voltage swing.

USE OF THE ON-CHIP OSCILLATOR CIRCUITRY

The on-chip amplifier (a digital inverter) along with an appropriate crystal may be used to provide a reference source frequency. A fundamental mode crystal, parallel resonant at the desired operating frequency, should be connected as shown in Figure 10.

For V_{DD} = 5 V, the crystal should be specified for a loading capacitance, C_L, which does not exceed 32 pF for frequencies to approximately 8 MHz, 20 pF for frequencies in the area of 8 to 15 MHz, and 10 pF for higher frequencies. These are guidelines that provide a reasonable compromise between IC capacitance, drive capability, swamping variations in stray and IC input/output capacitance, and realistic C_L values. The shunt load capacitance, C_L, presented across the crystal can be estimated to be:

$$C_L = \frac{C_{in}C_{out}}{C_{in}+C_{out}} + C_a + C_O + \frac{C1 \cdot C2}{C1+C2}$$

where

C_{in} = 5 pF (see Figure 11)
C_{out} = 6 pF (see Figure 11)
C_a = 1 pF (see Figure 11)
C_O = the crystal's holder capacitance (see Figure 12)
C1 and C2 = external capacitors (see Figure 10)

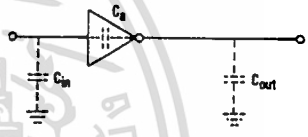
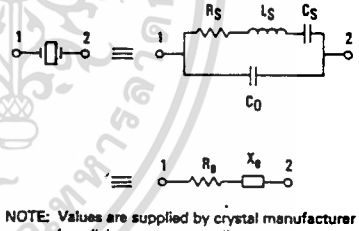
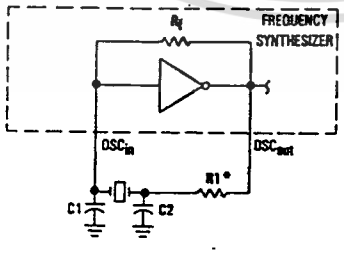


Figure 11. Parasitic Capacitances of the Amplifier



NOTE: Values are supplied by crystal manufacturer (parallel resonant crystal).

Figure 12. Equivalent Crystal Networks



*May be deleted in certain cases. See text.

Figure 10. Pierce Crystal Oscillator Circuit

The oscillator can be "trimmed" on-frequency by making a portion or all of C1 variable. The crystal and associated components must be located as close as possible to the OSC_{in} and OSC_{out} pins to minimize distortion, stray capacitance, stray inductance, and startup stabilization time. In some cases, stray capacitance should be added to the values for C_{in} and C_{out}.

Power is dissipated in the effective series resistance of the crystal, R_e, in Figure 12. The drive level specified by the crystal manufacturer is the maximum stress that a crystal can withstand without damage or excessive shift in frequency. R1 in Figure 10 limits the drive level. The use of R1 may not be necessary in some cases; i.e., R1 = 0 ohms.

To verify that the maximum dc supply voltage does not overdrive the crystal, monitor the output frequency as a function of voltage at OSC_{out}. (Care should be taken to minimize

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

DUAL-MODULUS PRESCALING

OVERVIEW

The technique of dual-modulus prescaling is well established as a method of achieving high performance frequency synthesizer operation at high frequencies. Basically, the approach allows relatively low-frequency programmable counters to be used as high-frequency programmable counters with speed capability of several hundred MHz. This is possible without the sacrifice in system resolution and performance that results if a fixed (single-modulus) divider is used for the prescaler.

In dual-modulus prescaling, the lower speed counters must be uniquely configured. Special control logic is necessary to select the divide value P or P + 1 in the prescaler for the required amount of time (see modulus control definition). Motorola's dual-modulus frequency synthesizers contain this feature and can be used with a variety of dual-modulus prescalers to allow speed, complexity and cost to be tailored to the system requirements. Prescalers having P, P + 1 divide values in the range of ÷ 3/ ÷ 4 to ÷ 128/ ÷ 129 can be controlled by most Motorola frequency synthesizers.

Several dual-modulus prescaler approaches suitable for use with the MC145152-2, MC145156-2, or MC145158-2 are:

MC12009	÷ 5/ ÷ 6	440 MHz
MC12011	÷ 8/ ÷ 9	500 MHz
MC12013	÷ 10/ ÷ 11	500 MHz
MC12015	÷ 32/ ÷ 33	225 MHz
MC12016	÷ 40/ ÷ 41	225 MHz
MC12017	÷ 64/ ÷ 65	225 MHz
MC12018	÷ 128/ ÷ 129	520 MHz
MC12022A	÷ 64/65 or ÷ 128/129	1.1 GHz
MC12032A	÷ 64/65 or ÷ 128/129	2.0 GHz

DESIGN GUIDELINES

The system total divide value, N_{total} (N_T) will be dictated by the application, i.e.

$$N_T = \frac{\text{frequency into the prescaler}}{\text{frequency into the phase detector}} = N \cdot P + A$$

N is the number programmed into the ÷ N counter, A is the number programmed into the ÷ A counter, P and P + 1 are the two selectable divide ratios available in the dual-modulus prescalers. To have a range of N_T values in sequence, the ÷ A counter is programmed from zero through P − 1 for a particular value N in the ÷ N counter. N is then incremented to N + 1 and the ÷ A is sequenced from zero through P − 1 again.

There are minimum and maximum values that can be achieved for N_T. These values are a function of P and the size of the ÷ N and ÷ A counters. The constraint $N \geq A$ always applies. If $A_{max} = P - 1$, then $N_{min} \geq P - 1$. Then $N_{Tmin} = (P - 1)\,P + A$ or $(P - 1)\,P$ since A is free to assume the value of zero.

$$N_{Tmax} = N_{max} \cdot P + A_{max}$$

To maximize system frequency capability, the dual-modulus prescaler output must go from low to high after each group of P or P + 1 input cycles. The prescaler should divide by P when its modulus control line is high and by P + 1 when its modulus control is low.

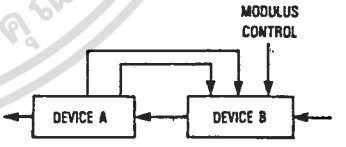
For the maximum frequency into the prescaler ($f_{VCO}max$), the value used for P must be large enough such that:

A. f_{VCO} max divided by P may not exceed the frequency capability of f_{in} (input to the ÷ N and ÷ A counters).
B. The period of f_{VCO} divided by P must be greater than the sum of the times:
   a. Propagation delay through the dual-modulus prescaler.
   b. Prescaler setup or release time relative to its modulus control signal.
   c. Propagation time from f_{in} to the modulus control output for the frequency synthesizer device.

A sometimes useful simplification in the programming code can be achieved by choosing the values for P of 8, 16, 32, or 64. For these cases, the desired value for N_T results when N_T in binary is used as the program code to the ÷ N and ÷ A counters treated in the following manner:

A. Assume the ÷ A counter contains "a" bits where $2^a \geq P$.
B. Always program all higher order ÷ A counter bits above "a" to zero.
C. Assume the ÷ N counter and the ÷ A counter (with all the higher order bits above "a" ignored) combined into a single binary counter of n + a bits in length (n = number of divider stages in the ÷ N counter). The MSB of this "hypothetical" counter is to correspond to the MSB of ÷ N and the LSB is to correspond to the LSB of ÷ A. The system divide value, N_T, now results when the value of N_T in binary is used to program the "new" n + a bit counter.

By using two devices, several dual-modulus values are achievable:



DEVICE A \ DEVICE B	MC12009	MC12011	MC12013
MC10131	÷ 20/ ÷ 21	÷ 32/ ÷ 33	÷ 40/ ÷ 41
MC10138	÷ 50/ ÷ 51	÷ 80/ ÷ 81	÷ 100/ ÷ 101
MC10154	÷ 40/ ÷ 41 OR ÷ 80/ ÷ 81	÷ 64/ ÷ 65 OR ÷ 128/ ÷ 129	÷ 80/ ÷ 81

NOTE: MC12009, MC12011, and MC12013 are pin equivalent.
MC12015, MC12016, and MC12017 are pin equivalent.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

loading.) The frequency should increase very slightly as the dc supply voltage is increased. An overdriven crystal will decrease in frequency or become unstable with an increase in supply voltage. The operating supply voltage must be reduced or R1 must be increased in value if the overdiven condition exists. The user should note that the oscillator start-up time is proportional to the value of R1.

Through the process of supplying crystals for use with CMOS inverters, many crystal manufacturers have developed expertise in CMOS oscillator design with crystals. Discussions with such manufacturers can prove very helpful. See Table 1.

RECOMMENDED FOR READING

Technical Note TN-24, Statek Corp.

Technical Note TN-7, Statek Corp.

E. Hafner, "The Piezoelectric Crystal Unit—Definitions and Method of Measurement", *Proc. IEEE*, Vol. 57, No. 2; Feb., 1969.

D. Kemper, L. Rosine, "Quartz Crystals for Frequency Control", *Electro-Technology*, June, 1969.

P. J. Ottowitz, "A Guide to Crystal Selection", *Electronic Design*, May, 1966.

Table 1. Partial List of Crystal Manufacturers

Name	Address	Phone
United States Crystal Corp.	3605 McCart St., Ft. Worth, TX 76110	(817) 921-3013
Crystek Crystal	2371 Crystal Dr., Ft. Myers, FL 33907	(813) 936-2109
Statek Corp.	512 N. Main St., Orange, CA 92668	(714) 639-7810

NOTE: Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing of crystal manufacturers.

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4060AB

CMOS 14-STAGE BINARY COUNTER AND OSCILLATOR

FEATURES

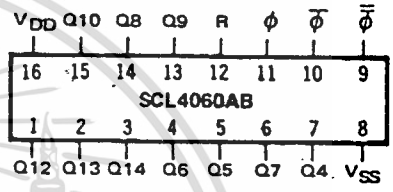
- 14 Fully Static Stages
- 10 Buffered Outputs Available
- Common Reset Line
- 8MHz Counting Rate @ 10Vdc
- All Active Oscillator Components on Chip for R-C or Crystal Control

DESCRIPTION

The SCL4060AB consists of an oscillator section and 14 ripple-carry binary counter stages. The oscillator configuration allows design of either R-C or crystal oscillator circuits. A Reset input is provided which resets the counter to the all-0's state. A high level on the Reset line accomplishes the reset function. The state of the counter is advanced one step in binary order on the negative transition of the Clock input ϕ. All inputs and outputs are fully buffered. Outputs are available from stages 4 through 10 and 12 through 14.

Applications include timers, frequency dividers, delay circuits and counter controls.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

TRUTH TABLE

CLOCK	RESET	OUTPUT STATE
⌐	0	No Change
¬	0	Advance to next state
X	1	All Outputs are low

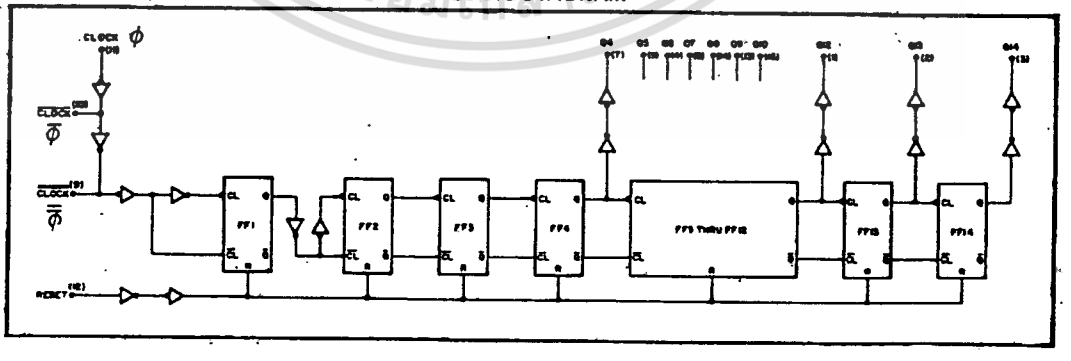
X = Don't Care

RECOMMENDED OPERATING CONDITIONS

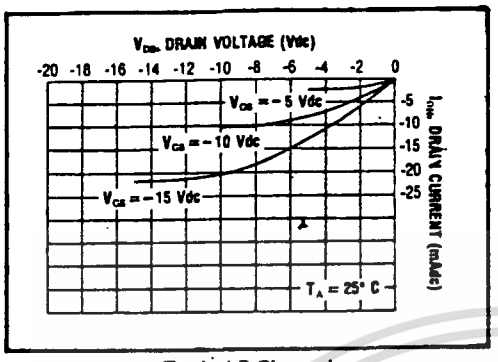
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

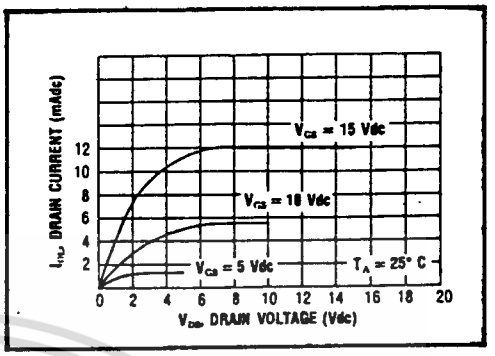
LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

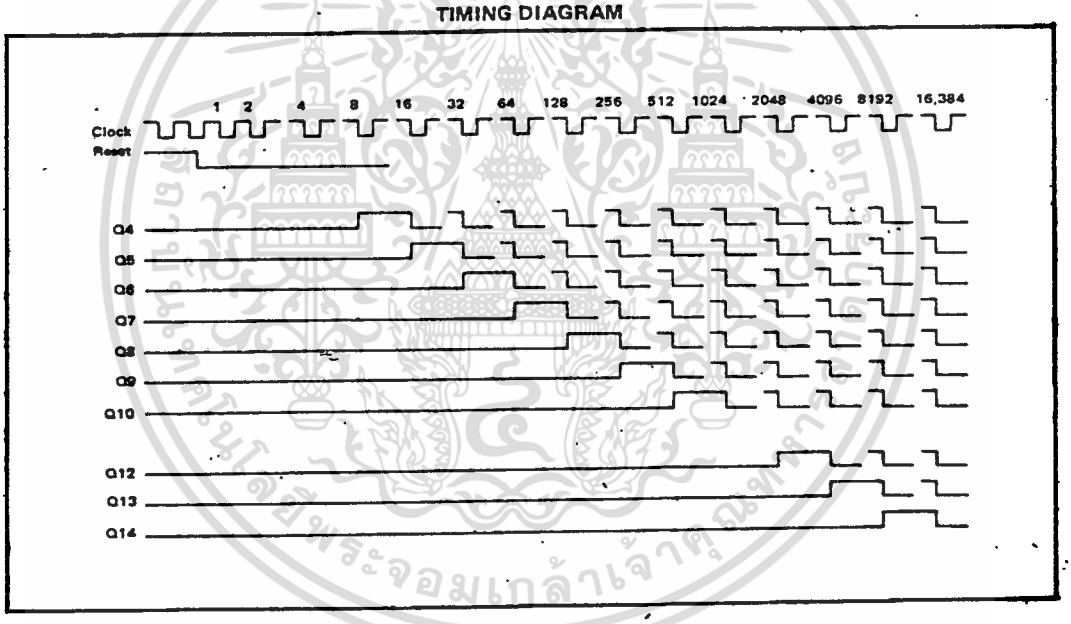


Typical P-Channel
Source Current Characteristics

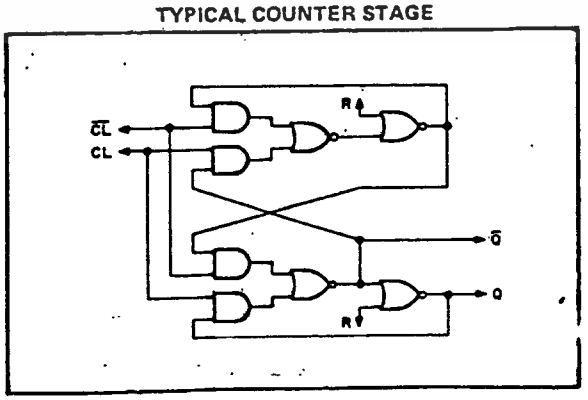


Typical N-Channel
Sink Current Characteristics

TIMING DIAGRAM



TYPICAL COUNTER STAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS[1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[2] Min.	T_{LOW}[2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH}[3] Min.	T_{HIGH}[3] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5 10 15	$V_{IN}=V_{SS}$ or V_{DD} All valid input combinations	– – –	5 10 15	– – –	0.05 0.1 0.2	5 10 20	– – –	150 300 600	μAdc
OUTPUT HIGH (SOURCE) CURRENT	I_{OH}										
C, D, F, H device		5 10 15	$V_{OH}=4.6V$ $V_{OH}=9.5V$ $V_{OH}=13.5V$ $V_{IN}=V_{SS}$ or V_{DD}	-0.15 -0.37 -1.25	– – –	-0.12 -0.3 -1.0	-0.5 -1.15 -4.5	– – –	-0.08 -0.21 -0.69	– – –	mAdc
E device		5 10 15	$V_{OH}=4.6V$ $V_{OH}=9.5V$ $V_{OH}=13.5V$ $V_{IN}=V_{SS}$ or V_{DD}	-0.14 -0.35 -1.2	– – –	-0.12 -0.3 -1.0	-0.5 -1.15 -4.5	– – –	-0.10 -0.25 -0.85	– – –	mAdc
OUTPUT LOW (SINK) CURRENT	I_{OL}										
C, D, F, H device		5 10 15	$V_{OL}=0.4V$ $V_{OL}=0.5V$ $V_{OL}=1.5V$ $V_{IN}=V_{SS}$ or V_{DD}	0.15 0.37 1.25	– – –	0.12 0.3 1.0	0.5 1.0 5.8	– – –	0.08 0.21 0.69	– – –	mAdc
E device		5 10 15	$V_{OL}=0.4V$ $V_{OL}=0.5V$ $V_{OL}=1.5V$ $V_{IN}=V_{SS}$ or V_{DD}	0.14 0.35 1.2	– – –	0.12 0.3 1.0	0.5 1.0 5.8	– – –	0.10 0.25 0.85	– – –	mAdc

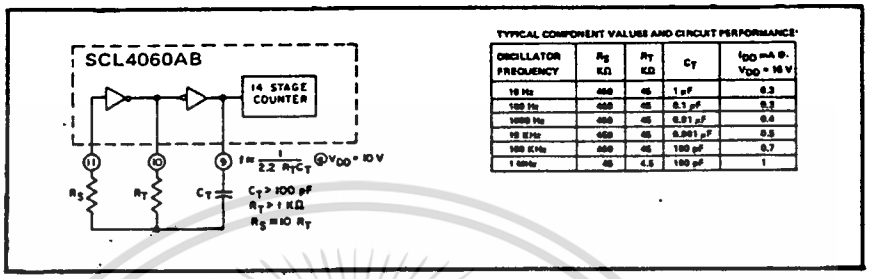
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME Clock to Q4	t_{PLH}, t_{PHL}	5 10 15	– – –	650 325 260	1300 650 520	ns
Q_i to Q_{i+1}	t_{PLH}, t_{PHL}	5 10 15	– – –	150 75 60	300 150 120	ns
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5 10 15	– – –	180 90 65	360 180 130	ns
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5 10 15	– – –	100 50 40	200 100 80	ns
MAXIMUM CLOCK FREQUENCY	f_{CL}	5 10 15	2.0 4.0 5	4.0 8.0 10	– – –	MHz
MAXIMUM CLOCK RISE AND FALL TIME	t_{rCL}, t_{fCL}	5 10 15	15 15 5	– – –	– – –	μs
RESET OPERATION						
PROPAGATION DELAY TIME	t_{PHL}	5 10 15	– – –	300 150 120	600 300 240	ns
MINIMUM RESET PULSE WIDTH	PW_R	5 10 15	– – –	150 75 60	300 150 120	ns
RESET REMOVAL TIME	t_{rem}	5 10 15	– – –	250 125 100	500 250 200	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

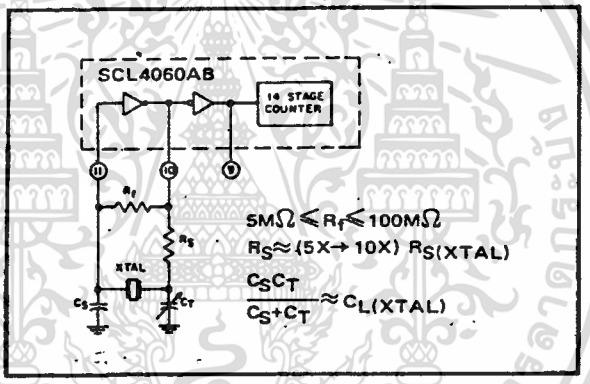
APPLICATIONS INFORMATION



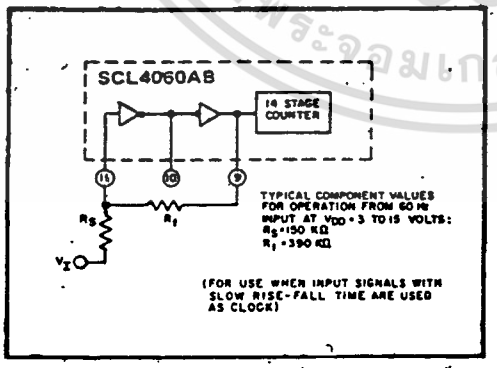
TYPICAL COMPONENT VALUES AND CIRCUIT PERFORMANCE

OSCILLATOR FREQUENCY	R_S KΩ	R_T KΩ	C_T	I_{DD} mA @ V_{DD} = 10 V
10 Hz	460	46	1 µF	0.3
100 Hz	460	46	0.1 µF	0.3
1000 Hz	460	46	0.01 µF	0.4
10 KHz	460	46	0.001 µF	0.5
100 KHz	460	46	100 pF	0.7
1 MHz	46	4.6	100 pF	1

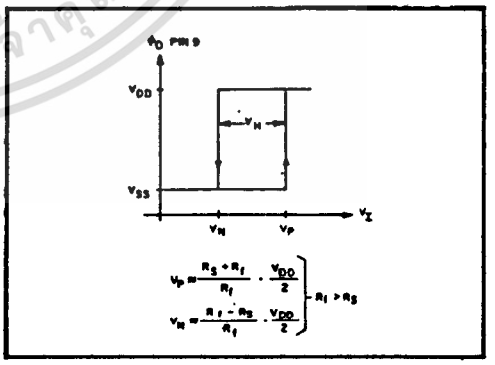
Typical RC oscillator circuit



Typical crystal oscillator circuit



Input pulse-shaping circuit (Schmitt trigger)



Input circuit characteristics for pulse-shaping circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S04	J⑭			W⑭	SN54H04	J⑭			W⑭	SN54LS04	J⑭			W⑭	SN5404	J⑭			W⑭	SN54L04	J⑭	N⑭	T⑭	
	SN74S04	J⑭	N⑭			SN74H04	J⑭	N⑭			SN74LS04	J⑭	N⑭			SN7404	J⑭	N⑭			SN74L04	J⑭	N⑭	T⑭	
FAIRCHILD	FM54S04/FM84S04	D⑭				FM54H04/FM84H04	D⑭			F⑭	FM54LS04/FM84LS04	D⑭			F⑭	FM5404/FM8404	D⑭			F⑭					
	FC74S04/FC85S04	D⑭	P⑭			FC74H04/FC85H04	D⑭	P⑭			FC74LS04/FC85LS04	D⑭	P⑭			FM7404/FC85404	D⑭	P⑭							
MOTOROLA						MC3008	L⑭			F⑭						MC5404	L⑭			F⑭					
						MC3009	L⑭	P⑭		F⑭	SN74LS04		P⑭			MC7404	L⑭	P⑭							
N.S.C.						DM54H04	J⑭	N⑭			DM54LS04					DM5404	J⑭	N⑭		W⑭	DM54L04	J⑭	N⑭		F⑭
	DM74S04		N⑭			DM74H04	J⑭	N⑭			DM74LS04					DM7404	J⑭	N⑭			DM74L04	J⑭	N⑭		F⑭
PHILIPS																									
	N74S04		⓪			N74H04		⓪			N74LS04		⓪			FJH241/7404		⓪							
SIGNETICS	S54S04	F⑭	A⑭		W⑭	S54H04	F⑭	A⑭		W⑭						S5404	F⑭	A⑭		W⑭					
	N74S04	F⑭	A⑭		W⑭	N74H04	F⑭	A⑭			N74LS04		A⑭			N7404	F⑭	A⑭							
SIEMENS																FLH211		⓪							
FUJITSU											74LS04		M⑭			MB418	⑭	M⑭							
HITACHI	HD74S04	⑭	P⑭								HD74LS04		P⑭			HD7404/HD2522	⑭	P⑭							
MITSUBISHI	M5S004		P⑭								M74LS04		P⑭			M53204		P⑭							
NEC	74S04		C⑭								74LS04		C⑭			μPB235	D⑭								
TOSHIBA																TD3404A		P⑭							

Electrical Characteristics SN54LS04/SN74LS04

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

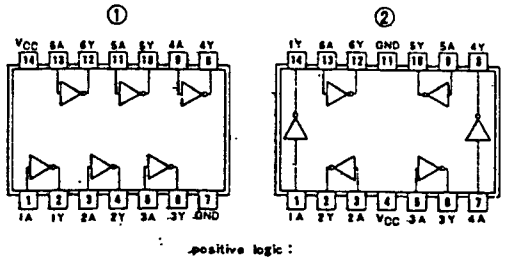
recommended operating conditions

	SN54LS04			SN74LS04			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

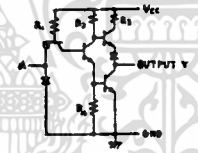
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OL}=4mA				0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current		Total, outputs low		3.6	6.6	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, C_L=15PF,	T_A=25°C, R_L=2KΩ		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)



positive logic:
$Y = \overline{A}$

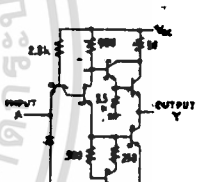
Schematics (each gate)



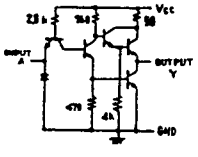
CIRCUIT	R1	R2	R3	R4
'04	4k	1.6k	130	1k
'L04	40k	20k	300	12k

Input clamp diodes not on SN54L73/74L* circuits.

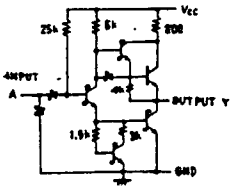
'04, 'L04 CIRCUITS



'S04 CIRCUIT



'H04 CIRCUIT



'LS04 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
Not more than one output should be shorted at a time, and for SN54H/SN74H* and SN54S*/SN74S*, duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5414/7414 Hex Schmitt-Trigger Inverter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.											SN54LS14	J			W	SN5414	J			W					
											SN74LS14	J	N			SN7414	J	N							
FAIRCHILD											9N54LS14/9N74LS14	9J			9U	9N5414/9N7414	9J								
											FC74LS14/FC9LS14	9J	9P		9U	FC5414/FC9414	9J	9P							
MOTOROLA											SN74LS14		P			MC7414		P							
N.S.C.											DM54LS14		J			DM5414	J	N		W					
											DM74LS14		J			DM7414	J	N		W					
PHILIPS																									
											N74LS14		J			N7414		J							
SIGNETICS																N5414	F		B						
											N74LS14		A	T		N7414	F		B						
SIEMENS																									
FUJITSU																									
											74LS14		MJ												
HITACHI																									
											HD74LS14		P	J		HD7414		P	D						
MITSUBISHI																									
											M74LS14		P	D		M53214		P	D						
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS14/SN74LS14

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

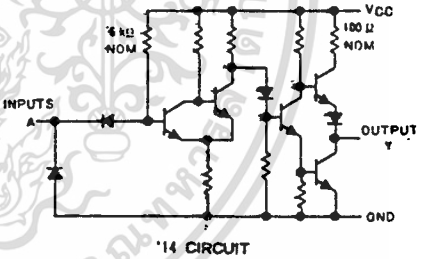
recommended operating conditions

	SN54LS14			SN74LS14			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

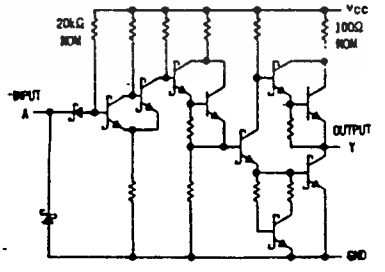
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{T+}	Positive-going threshold voltage	V_{CC}=5V	1.4	1.6	1.9	V
V_{T-}	Negative-going threshold voltage	V_{CC}=5V	0.5	0.8	1	V
	Hysteresis ($V_{T+}-V_{T-}$)	V_{CC}=5V	0.4	0.8		V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_I=V_{T-}min, I_{OH}=MAX	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_I=V_{T+}max, I_{OL}=4mA		0.25	0.4	V
I_{T+}	Input current at positive-going threshold	V_{CC}=5V, V_I=V_{T+}		−0.14		mA
I_{T-}	Input current at negative-going threshold	V_{CC}=5V, V_I=V_{T-}		−0.18		mA
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V			0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V			20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V			−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	−20		−100	mA
I_{CC}	Supply current: Total, output high	V_{CC}=MAX		8.6	16	mA
	Supply current: Total, output low	V_{CC}=MAX		12	21	mA
	Supply current: Average per gate	V_{CC}=5V, 50% duty cycle		1.72		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, T_A=25°C, C_L=15PF, R_L=2kΩ		15	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output			15	22	ns

Schematics (each gate)



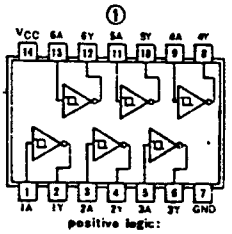
'14 CIRCUIT



'LS14 CIRCUIT

Resistor values shown are nominal and in ohms.

Pin Assignment (Top View)



positive logic:
$Y=\overline{A}$

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
*Not more than one output should be shorted at a time.

เอกสารนี้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S74	J①			W①	SN54H74	J①			W②	SN54LS74	J①			W①	SN5474	J①			W②	SN54L74	J①	N①	T②	
	SN74S74	J①	N①			SN74H74	J①	N①			SN74LS74	J①	N①			SN7474	J①	N①			SN74L74	J①	N①	T②	
FAIRCHILD	FM54S74/FM9S74	D①				FM54H74/FM9H74	D①			F②	[illegible]	B①			F①	FM5474/FM9N74	D①			F②					
	FC74S74/FC9S74	D①	P①			FC74H74/FC9H74	D①	P①		F②	[illegible]	B①	P①		F①	FC7474/FC9N74	D①	P①							
MOTOROLA											SN74LS74		P①												
N.S.C.						DM54H74	J①	N①			DM54LS74		P①			DM5474	J①	N①		W②	DM54L74	J①	N①		F②
	DM74S74		N①			DM74H74	J①	N①			DM74LS74					DM7474	J①	N①			DM74L74	J①	N①		F②
PHILIPS	N74S74		①			GJJ131/74H74		①			N74LS74		①			FJJ131/7474		①							
SIGNETICS	S54S74					S54H74	F①	A①		W①						S5474	F①	A①		W②					
	N74S74					N74H74	F①	A①			N74LS74	A①				N7474	F①	A①							
SIEMENS																FLJ141		①							
FUJITSU											74LS74	M①				MB420	①	M①							
HITACHI	HD74S74	①	P①								HD74LS74	P①				HD7474/HD2S10	①	P①							
MITSUBISHI	M74S74		P①								M74LS74	P①				M5327/M5374		P①							
NEC	74S74		C①								74LS74	C①				μPB214	D①	C①							
TOSHIBA																TD3474A		P①							

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

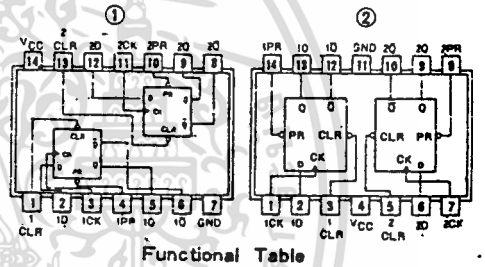
		SN54LS74			SN74LS74			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Pulse width, t_w	Clock high	25			25			ns
	Preset or clear low	25			25			
Input setup time, t_{setup}	High-level data	25†			25†			ns
	Low-level data	20†			20†			
Input hold time, t_{hold}		5†			5†			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*			TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage		V_{CC}=MIN, I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=MAX	2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=4mA		0.25	0.4	V
I_I	Input current at maximum input voltage	D, J, K	V_{CC}=MAX, V_I=7V			0.1	mA
		Clear				0.2	
		Preset				0.2	
		Clock				0.1	
I_{IH}	High-level input current	D, J, K	V_{CC}=MAX, V_I=2.7V			20	μA
		Clear				40	
		Preset				40	
		Clock				20	
I_{IL}	Low-level input current	D, J, K	V_{CC}=MAX, V_I=0.4V			−0.4	mA
		Clear				−0.8	
		Preset				−0.8	
		Clock				−0.4	
I_{OS}	Short-circuit output current*	Series 54LS	V_{CC}=MAX	−20		−100	mA
		Series 74LS		−20		−100	
I_{CC}	Supply current (average per flip-flop)		V_{CC}=MAX, See Note 1		4	8	mA
f	clock frequency§		V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	25	33		MHz
t_{PLH}	from clear, preset or clock (as appropriate) to Q or Q̄				13	25	ns
t_{PHL}					25	40	

*For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
*Not more than one output should be shorted at a time.
§t_{PLH} = propagation delay time, low-level to high-level output;
t_{PHL} = propagation delay time, high-level to low-level output.
†The arrow indicates the edge of the clock pulse used for reference: ↑ for the rising edge.

Pin Assignments (Top View)

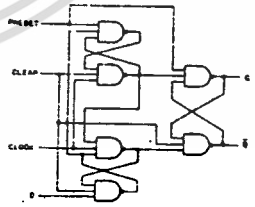


Functional Table

'74, 'H74, 'LS74, 'S74 (See Note 2)

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$

Functional Block Diagram



'74, 'S74, 'H74, 'LS74, 'L74 DUAL D-TYPE FLIP-FLOP WITH CLEAR AND PRESET

NOTES: 1. With all outputs open, I_{CC} is measured with the Q and Q̄ outputs high in turn. At the time of measurement, the clock input is grounded.
2. H = high level (steady state), L = low level (steady state), X = irrelevant, ↑ = transition from low to high level.
* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.
Q_0 = the level of Q before the indicated input conditions were established.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5490 / 7490 Decade Counter

	Schottky TTL					High-Speed TTL					Low Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS90	J			W	SN5490A	J	N		W	SN54_90A	J	N	T	
											SN74LS90	J	N			SN7490A	J	N			SN74_90A	J	N	T	
FAIRCHILD											DM54LS90 DM74LS90	C	P	F		FJ5490 FJ9390	C			F					
											DM54LS90 DM74LS90	C	P	F		FJ7490 FJ9390	C	P							
MOTOROLA																MC5490	L			F					
											SN74LS90					MC7490	L	P		F					
N. S. C											DM54LS90					DM5490	J	N		W	DM54L90	J	N		F
											DM74LS90					DM7490	J	N			DM74L90	J	N		F
PHILIPS											N74LS90					FJJ147 7490									
																S5490	F	A		W					
SIGNETICS											N74LS90				A	N7490	F	A							
SIEMENS																FLJ16									
FUJITSU																									
HITACHI											HD74LS90		P			HD74S90A HC2519		P							
MITSUBISHI											M74LS90		P			M53290		P							
NEC																μPB219	D	C							
TOSHIBA																TD3490A		P							

Electrical Characteristics SN54LS/SN74LS90A

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage (see Note 1)	5.5V	Storage temperature range		−65°C to 150°C

recommended operating conditions

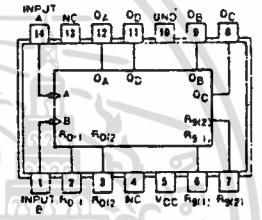
		SN54LS90A			SN74LS90A			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		32	0		32	MHz
	B input	0		16	0		16	
Pulse width, t_w	A input	15			15			ns
	B input	30			30			
	Reset inputs	15			15			
Reset inactive-state setup time, t_{setup}		25			25			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=8mA			0.35	0.5	V
I_I	Input current at maximum input voltage: Any reset	V_{CC}=MAX, V_I=7V				0.1	mA
	A input	V_{CC}=MAX, V_I=5.5V				0.2	
	B input					0.4	
I_{IH}	High-level input current: Any reset	V_{CC}=MAX, V_I=2.7V				20	μA
	A input					40	
	B input					80	
I_{IL}	Low-level input current: Any reset	V_{CC}=MAX, V_I=0.4V				−0.4	mA
	A input					−2.4	
	B input					−3.2	
I_{OS}	Short-circuit output current◆	V_{CC}=MAX	SN54'LS	−20		−100	mA
			SN74'LS	−20		−100	
I_{CC}	Supply current	V_{CC}=MAX, See Note 2			9	15	mA

f_{max}	from A to output Q_A	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	32	42	MHz
	from B to output Q_B		16		
t_{PLH} / t_{PHL}	from A to output Q_A			10 / 16	ns
				12 / 18	
t_{PLH} / t_{PHL}	from A to output Q_D			32 / 48	ns
				34 / 50	
t_{PLH} / t_{PHL}	from B to output Q_B			10 / 16	ns
				14 / 21	
t_{PLH} / t_{PHL}	from B to output Q_C			21 / 32	ns
				23 / 35	
t_{PLH} / t_{PHL}	from B to output Q_D			21 / 32	ns
				23 / 35	
t_{PHL}	from Set-to-0 to Any output			26 / 40	ns
t_{PLH}	from Set-to-9 to output Q_A, Q_D			20 / 30	ns
t_{PHL}	from Set-to-9 to output Q_B, Q_C			26 / 40	

Pin Assignment (Top View)



NC—No internal connection

Function Table

BCD COUNT SEQUENCE
'90A, 'LS90, 'L90 (See Note 3)

COUNT	OUTPUT Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

BI-QUINARY (5-2)
'90A, 'LS90, 'L90 (See Note 3)

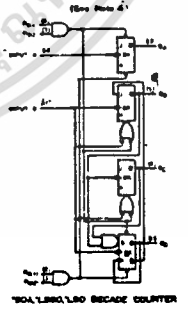
COUNT	OUTPUT Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

RESET/COUNT
'90A, 'LS90, 'L90 (See Note 3)

RESET INPUTS $R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	OUTPUT Q_D	Q_C	Q_B	Q_A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

Functional Block Diagram

(See Note 4)



'90A, 'LS90, 'L90 DECADE COUNTER

NOTES:
1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies between the two R_0 inputs, and it also applies between the two R_9 inputs.
2. I_{CC} is measured with all outputs open, both R_0 inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.
3. Output Q_A is connected to input B for BCD count.
   Output Q_D is connected to input A for bi-quinary count.
   H = high level, L = low level, X = irrelevant.
4. The J and K inputs shown without connection are for reference only and are functionally at a high level.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡All typical values are at V_{CC}=5V, T_A=25°C.
◆ Not more than one output should be shorted at a time.
§ Q_A outputs are tested at I_{OL} = 16mA plus the limit value for I_{IL} for the B input. This must be driving the B input while maintaining full fan-out capability.
# f_{max} = maximum count frequency.
t_{PLH} = propagation delay time, low to high-level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

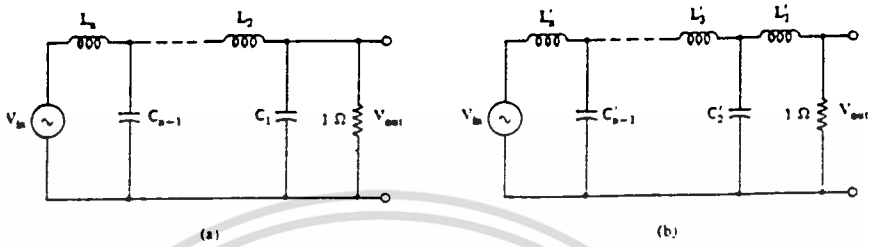


Figure 4.9
Reprinted by permission from Huelsman and Allen, "Theory and Design of Active Filters," McGraw-Hill Book Company, Inc., 1980.

TABLE 4.1 LOW-PASS LOSSLESS LADDER (DARLINGTON) REALIZATION TERMINATED WITH A RESISTOR AT ONE END ONLY

For n even, refer to Figure 4.9a; for n odd, refer to Figure 4.10b.

n	C_1	L_2	C_3	L_4	C_5	L_6	C_7	L_8	C_9	L_{10}
2	0.7071	1.4142								
3	0.5000	1.3333	1.5000							
4	0.3827	1.0824	1.5772	1.5307				Butterworth		
5	0.3090	0.8944	1.3820	1.6944	1.5451			(BW = 1 rad/s at 3 dB cutoff)		
6	0.2588	0.7579	1.2016	1.5529	1.7593	1.5529				
7	0.2225	0.6560	1.0550	1.3972	1.6588	1.7988	1.5576			
8	0.1951	0.5776	0.9370	1.2588	1.5283	1.7287	1.8246	1.5607		
9	0.1736	0.5155	0.8414	1.1408	1.4037	1.6202	1.7772	1.8424	1.5628	
10	0.1564	0.4654	0.7626	1.0406	1.2921	1.5100	1.6869	1.8121	1.8552	1.5643
2	0.7014	0.9403						1-dB ripple Chebyshev		
3	0.7981	1.3001	1.3465					(BW = 1 rad/s)		
4	0.8352	1.3916	1.7279	1.3138						
5	0.8529	1.4291	1.8142	1.6426	1.5388					
6	0.8627	1.4483	1.8494	1.7101	1.9018	1.4042				
7	0.8686	1.4596	1.8675	1.7371	1.9712	1.7254	1.5982			
8	0.8725	1.4666	1.8750	1.7508	1.9980	1.7838	1.9571	1.4379		
9	0.8752	1.4714	1.8856	1.7591	2.0116	1.8055	2.0203	1.7571	1.6238	
10	0.8771	1.4748	1.8905	1.7645	2.0197	1.8165	2.0432	1.8119	1.9816	1.4539
2	0.9110	0.9957								
3	1.0118	1.3332	1.5088							
4	1.0495	1.4126	1.9093	1.2817				1-dB ripple Chebyshev		
5	1.0674	1.4441	1.9938	1.5908	1.6652			(BW = 1 rad/s)		
6	1.0773	1.4601	2.0270	1.6507	2.0491	1.3457				
7	1.0832	1.4694	2.0437	1.6736	2.1192	1.6489	1.7118			
8	1.0872	1.4751	2.0537	1.6850	2.1453	1.7021	2.0922	1.3691		
9	1.0899	1.4790	2.0601	1.6918	2.1583	1.7213	2.1574	1.6707	1.7317	
10	1.0918	1.4817	2.0645	1.6961	2.1658	1.7306	2.1803	1.7215	2.1111	1.3801
n	L'_1	C'_2	L'_3	C'_4	L'_5	C'_6	L'_7	C'_8	L'_9	C'_{10}

For n odd, refer to Figure 4.9b; for n even, refer to Figure 4.10a.

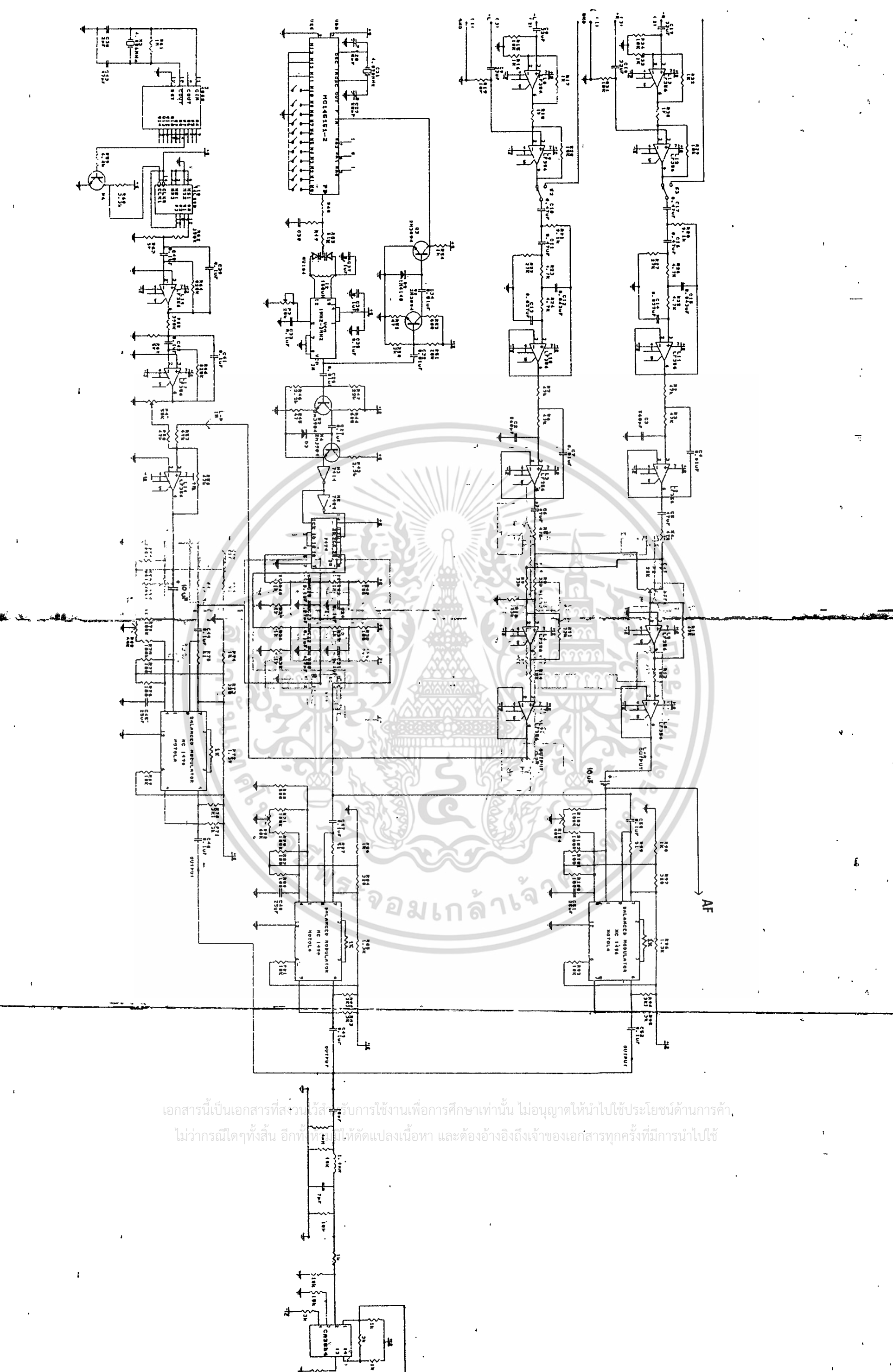
Reprinted by permission from Weinberg, Louis, "Network Analysis and Synthesis," McGraw-Hill Book Company, Inc., 1962, (reprinted by R. E. Krieger, 1976).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายชื่อสถานีวิทยุกระจายเสียงระบบ เอ.เอ็ม. ในกรุงเทพมหานคร

ลำดับที่	ความถี่ (กิโลเฮิตซ์)	กำลังส่ง (กิโลวัตต์)	ชื่อสถานี	หน่วยงานที่รับผิดชอบ
1	540	10	ยานเกราะ 540	กองทัพบก
2	576	20	ตชด.	กรมตำรวจ
3	603	20	กองพล ปตอ. (ภาคปกติ)	กองทัพบก
4	630	10	สวนมิสกวัน 630	กองทัพบก
5	684	20	สทร. 2 (กทม.)	กองทัพเรือ
6	711	20	วพท. (กทม.)	กองบัญชาการทหารสูงสุด
7	738	20	กรมการรักษาดินแดน	กองทัพบก กองบัญชาการทหารสูงสุด
8	792	20	ยานเกราะ 792	กองทัพบก
9	819	10	สวท. (รายการ 3)	กรมประชาสัมพันธ์
10	846	10	สวท. (รายการ 2 เพื่อการศึกษา)	กรมประชาสัมพันธ์
11	864	10	ปชส. 7 (กทม.)	กรุงเทพมหานคร
12	927	10	สวท. (ภายในประเทศและต่างประเทศ)	กรมประชาสัมพันธ์
13	954	5	ทหารอากาศ 01 (บางซื่อ)	กองทัพอากาศ
14	981	10	ปชส. 10	มหาวิทยาลัยธรรมศาสตร์
15	1008	10	กองพลที่ 1 รอ (ภาคพิเศษ)	กองทัพบก
16	1035	20	1 ปณ. (ภาคพิเศษ)	กรมไปรษณีย์โทรเลข
17	1062	20	สวนมิสกวัน (1062)	กองทัพบก
18	1143	24	ทหท. (ภาคละครและเพลง)	อสมท.
19	1170	20	เสียงสามยอด	กรมตำรวจ
20	1197	20	วิทยุศึกษา	กระทรวงศึกษาธิการ
21	1224	10	ทหารอากาศ 01 (ดอนเมือง)	กองทัพอากาศ
22	1251	20	ทหารอากาศ 1 (ภาค AM)	กองทัพอากาศ
23	1278	25	ขสทบ.	กองทัพบก
24	1305	10	ยานเกราะ (1305)	กองทัพบก
25	1332	10	อส.พระราชวังดุสิต	พระราชวังดุสิตสวนจิตรลดา
26	1359	10	กองพลที่ 1 รอ (ภาคปกติ)	กองทัพบก
27	1467	100	สวท. เครือข่ายที่ 2 (กรุงเทพฯ)	กรมประชาสัมพันธ์
28	1494	25	ทหท. (ภาคปกติ)	อสมท.
29	1521	25	919 กรป.กลาง (กรุงเทพฯ)	กองบัญชาการทหารสูงสุด
30	1548	10	เสียงพล. 1	กองทัพบก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้