เครื่องจำหน่ายสินค้าอัตโนมัติ

AUTOMATIC SALE MACHINE

โดย

นายนพดล พงศ์พัชรา

นายไพบูลย์ กลิ่นชาติ

นายสมชาย หวังสุข

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีอิเล็กทรอนิคส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

034773

หัวข้อปริญญานิพนธ์ เครื่องจำหน่ายสินค้าอัตโนมัติ

AUTOMATIC SALE MACHINE

ชื่อนักศึกษา นายนพดล พงศ์พันธรา

นายไพบูลย์ กลิ่นชาติ

นายสมชาติ หวังสุข

อาจารย์ที่ปรึกษา อาจารย์ไพศาล สิทธิโยภากุล

อาจารย์ชวลิต เบญจางคประเสริฐ

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2537

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นสิ่งที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องจำหน่ายสินค้าอัตโนมัติ

โดย นายนพดล พงศ์พัชรา รหัส 36012010
นายไพบูลย์ กลิ่นชาติ รหัส 36012023
นายสมชาย หวังสุข รหัส 36012033

อาจารย์ที่ปรึกษา อาจารย์ไพศาล สิทธิโชภาสกุล
อาจารย์ชวลิต เบญจางคประเสริฐ

ปีการศึกษา 2537

บทคัดย่อ

เครื่องจำหน่ายสินค้าอัตโนมัติ เป็นการนำเอาไมโครโปรเซสเซอร์เบอร์ Z-80 มาทำหน้าที่ประมวลผลและควบคุมการทำงานของวงจร ร่วมกับอุปกรณ์ทางอิเล็กทรอนิคส์ต่าง ๆ ซึ่งประกอบด้วย หน่วยความจำ ส่วนอินพุทเอาท์พุท ส่วนผลิตสัญญาณนาฬิกาของระบบ และแหล่งจ่ายไฟ รวมทั้งกลไกทางด้านกลศาสตร์ ซึ่งได้แก่ โซลินอยด์ใช้ในส่วนจ่ายสินค้า สเตปปิ้งมอเตอร์ใช้ในส่วนทอนเหรียญ ก็จะทำให้เครื่องสามารถให้เอาท์พุทตามที่ต้องการออกมาได้ คือ สินค้าใดสินค้าหนึ่งที่ทำการเลือกไว้ และเงินทอน (ในกรณีที่มีเงินทอน) นอกจากนั้น เครื่องจำหน่ายสินค้าอัตโนมัตินี้ยังสามารถแสดงจำนวนเงินที่หยอด และแสดงจำนวนเงินทอน ได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AUTOMATIC SALE MACHINE

BY MR.NOPPADON PONGPATCHARA NO. 36012010
MR.PHAIBOON KLINCHAT NO. 36012023
MR.SOMCHAI WANGSUK NO. 36012033

ADVISER MR.PISAN SITTHIYOPASAKUN
MR.CHAWALIT BENJANGKAPRASERT

YEAR 1994

ABSTRACT

THIS AUTOMATIC SALE MACHINE IS AN APPLICATION OF THE MICRO - PROCESSOR [Z-80] TO CONTROL AND PROCESS THE SYSTEM WITH THE USE OF ELE TRONIC DEVICES THAT COMPOSED TO BE THE PARTS OF MEMORY , INPUT/OUTPUT INTERFACE , SYSTEM CLOCK AND POWER SUPPLY AND WITH ALSO WITH THE MECHA NIC OPERATINGS SUCH AS SOLINOID AND STEPPING MOTOR.IT CAN GIVE THE OUT PUT THAT IS THE CHOSEN GOODS AND TOGETHER WITH THE CHANGE [IN THE CHA- NGE CONDITION] THIS MACHINE CAN ALSO DISPLAY THE INSERTED MONEY AND CHANGE TO THE USER.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์เรื่อง เครื่องจำหน่ายสินค้าอัตโนมัติ ฉบับนี้สำเร็จลงได้โดยรับความช่วยเหลือและคำแนะนำแนวทางการทดลองต่าง ๆ เป็นอย่างดีจาก อาจารย์ไพศาล สิทธิโยสภาสกุล และอาจารย์ชวลิต เบญจางคประเสริฐ ซึ่งเป็นอาจารย์ที่ปรึกษาปริญญานิพนธ์ ตลอดจนเพื่อน ๆ กลุ่มอื่น ๆ ที่ช่วยให้คำแนะนำในด้านการใช้อุปกรณ์ควบคุมและด้านโปรแกรม

ท้ายนี้ ผู้จัดทำขอกราบขอบพระคุณ บิดา-มารดา ซึ่งสนับสนุนในด้านการเงินและให้กำลังใจแก่ผู้จัดทำเสมอมาจนสำเร็จการศึกษา

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	ก
ABSTRACT	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญภาพ	จ
บทที่ 1 บทนำ	1
บทที่ 2 หน้าที่และการทำงานของอุปกรณ์	4
- IC เบอร์ต่างๆ	4
- สปริง	5
- โซลินอยล์	6
- สเต็ปปิ้งมอเตอร์	7
บทที่ 3 ทฤษฎีและการออกแบบวงจร	8
- CPU Z-80	10
- หน่วยความจำชนิด ROM	13
- หน่วยความจำชนิด RAM	14
- 8255 PIA	15
- โซลินอยด์	18
- STEPPING MOTOR	23
- TIMER IC 555	27
- ส่วนแสดงผลโดยใช้ตัวเลข 7 ส่วน	31
- ส่วนการทอนเหรียญ	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ส่วนเซ็นเซอร์เหรียญและส่วนเคาท์เตอร์ 35

- ส่วนตรวจเหรียญโลหะและส่วนเคาท์เตอร์ 36

บทที่ 4 Z-80 CONTROLLER BOARD 39

- CPU & ROM 39

- RAM & PORT 40

- CTC & WDT 41

- 40 PIN Z-80 BUS & POWER SUPPLY 42

บทที่ 5 สรุปการวิจัยและข้อเสนอแนะ 43

เอกสารอ้างอิง

ภาคผนวก

- วงจรที่ใช้งานจริง

- SOFTWARE ที่ใช้งานจริง

- DATA SHEET ของ IC เบอร์ต่างๆ ที่ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

หน้า

รูปที่ 2.1 แสดงเหรียญตกลงมาชนสปริง 3
รูปที่ 2.2 แสดงถึงการทำงานของโซลินอยล์ 6
รูปที่ 2.3 ภาพด้านข้างแสดงส่วนทอนเหรียญ 7
รูปที่ 3.1 บล็อกไดอะแกรมของระบบ 9
รูปที่ 3.2 โคลงสร้างของระบบ 10
รูปที่ 3.3 ก. แสดงรีจีสเตอร์ใช้งานทั่วไป 11
รูปที่ 3.3 ข. แสดงการจัดรีจีสเตอร์ภายใน CPU 12
รูปที่ 3.4 แสดงถึงบล็อกสัญญาณของหน่วยความจำ ROM ทั่วไป 13
รูปที่ 3.5 แสดงสัญญาณทางที่จำเป็นในการใช้อุปกรณ์พวก RAM 14
รูปที่ 3.6 ไดอะแกรมเวลาแสดงลำดับการอ่านข้อมูลจากพวกหน่วยความจำ 15
รูปที่ 3.7 ไดอะแกรมเวลาแสดงลำดับในการเขียนข้อมูลในหน่วยความจำ 16
รูปที่ 3.8 แสดงบล็อกไดอะแกรมแและการว่างตำแหน่งขาของ 8255 17
รูปที่ 3.9 โครงสร้างพื้นฐานของโซลินอยด์ 19
รูปที่ 3.10 แสดงทิศทางของสนามแม่เหล็กที่เกิดขึ้นเมื่อมีกระแสไหลผ่านเส้นลวด 20
รูปที่ 3.11 แสดงทิศทางของสนามแม่เหล็กที่เกิดขึ้นในขดที่มีกระแสไหล 20
รูปที่ 3.12 แสดงการเพิ่มเหล็กอ่อนเข้ามาเพื่อเพิ่มความเข้มของสนามแม่เหล็ก 21
รูปที่ 3.13 แสดงการเคลื่อนที่ของแกนกระทุ้ง 21
รูปที่ 3.14 โซลินอยด์ชนิดต่างๆ 22
รูปที่ 3.15 แสดงโครงสร้างภายในของ STEPPING MOTOR แบบหลายขั้ว 24
รูปที่ 3.16 แสดงโครงสร้างจำลองของ STEPPING MOTOR แบบ 4 เฟส 25
รูปที่ 3.17 แสดงภาพวงจรเสมือนของไทม์เมอร์ไอซีเบอร์ 555 จากบริษัทซิกเนติกส์ 27
รูปที่ 3.18 แสดงภาพวงจรเสมือนของไทม์เมอร์ไอซีเบอร์ 555 จากบริษัท RCA 28
รูปที่ 3.19 แสดงวงจรขับโซลินอยด์ 30
รูปที่ 3.20 แสดง OUTPUT จาก 8255 ที่นำไปขับโซลินอยด์ 30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.21 บล็อกไดอะแกรมแสดงการทำงานของเครื่องเมื่อมีการหยอดเงิน 31
รูปที่ 3.22 ภาพแสดงส่วนวงจรทวีคูณคลื่น 32
รูปที่ 3.23 รูปแสดงลักษณะภายในของ 74LS122 และสัญญาณทำงาน 33
รูปที่ 3.24 รูปแสดงสัญญาณการทำงานของวงจรทวีคูณลูกคลื่น 34
รูปที่ 3.25 บล็อกไดอะแกรมของแสดงการส่วนทอนเหรียญ 35
รูปที่ 3.26 ส่วนเซ็นเซอร์เหรียญ 36
รูปที่ 3.27 วงจรโมโนสเตเบิ้ล 37
รูปที่ 4.1 แสดงตำแหน่งอุปกรณ์บนบอร์ดควบคุม 39
รูปที่ 4.2 แสดงการ Jump (J1) ตำแหน่งเพื่อเลือกเบอร์ ROM 40
รูปที่ 4.3 แสดงการ Jump (J2) ตำแหน่งเพื่อเลือกเบอร์ RAM 40
รูปที่ 4.4 แสดง CP-Z80 V2 I/O MAP 41
รูปที่ 4.5 แสดงตำแหน่งขาของ Z80-CTC และ Z80 CTC IO PIN 41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันนี้เครื่องขายของอัตโนมัติได้เข้ามามีบทบาทกับสังคมปัจจุบันมาก เช่น เครื่องขายกระดาษ,ขายเครื่องดื่ม,ขายบุหรี่,ขายนมและขนมต่างๆ รวมทั้งบริการเงินด่วนอัตโนมัติ ซึ่งเป็นที่ใช้กันอย่างแพร่หลายในปัจจุบัน ทั้งนี้เป็นเพราะมีความสะดวกรวดเร็ว ประหยัดแม่นยำและมีประสิทธิภาพมากจึงทำให้ผู้ผลิตทางการตลาดหลายบริษัท พยายามที่จะหาช่องทางการจำหน่ายสินค้าของตนมาสู่การจำหน่ายแบบอัตโนมัติมากขึ้น

เครื่องจำหน่ายสินค้าอัตโนมัตินี้เป็นตัวอย่างอันหนึ่งของการนำความสะดวกรวดเร็วมาใช้ประโยชน์กับชีวิตประจำวัน โดยที่ผู้ซื้อเพียงแต่ทำการหยอดเหรียญ แล้วเลือกชนิดสินค้าเท่านั้น เครื่องก็จะจ่ายสินค้าออกมาพร้อมกับเงินทอน(ถ้ามี)

สำหรับเครื่องจำหน่ายสินค้ามีลักษณะของระบบที่ได้ทำการทดลองขึ้นโดยกำหนดขอบเขตไว้ดังนี้

1. แหล่งจ่ายไฟ : 24 V_{dc} , 5 V_{dc}
2. ส่วนอินพุท-เอาท์พุท : อินเตอร์เฟส 8255
3. หน่วยความจำ : ROM เบอร์ 2764 , RAM 6164

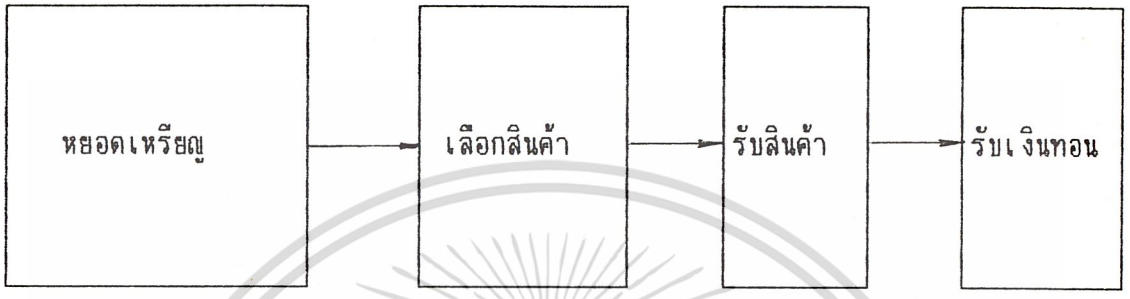
นอกจากนี้ยังมีการทำงานร่วมกลไกทางกลศาสตร์ ซึ่งมีองค์ประกอบดังต่อไปนี้

1. สปริง ทำหน้าที่เป็นส่วนเช็คโลหะ
2. โซลินอยด์ ทำหน้าที่จ่ายสินค้า
3. สเต็ปปิ้งมอเตอร์ ทำหน้าที่ทอนเงิน
4. สวิทช์เลือกสินค้า

โครงงานเครื่องจำหน่ายสินค้าอัตโนมัตินี้ สามารถที่จะทำการจ่ายสินค้าได้ 2 ประเภทในราคาที่เท่ากัน และที่มีการทอนเงินคืนด้วยแต่จะไม่มีกลไก ทางด้านการคืนเหรียญในกรณีที่ผู้ซื้อเปลี่ยนใจไม่ซื้อแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แผนผังการใช้งานเครื่องเป็นดังนี้



จากแผนผังการทำงานของเครื่องนี้ อธิบายได้ว่า

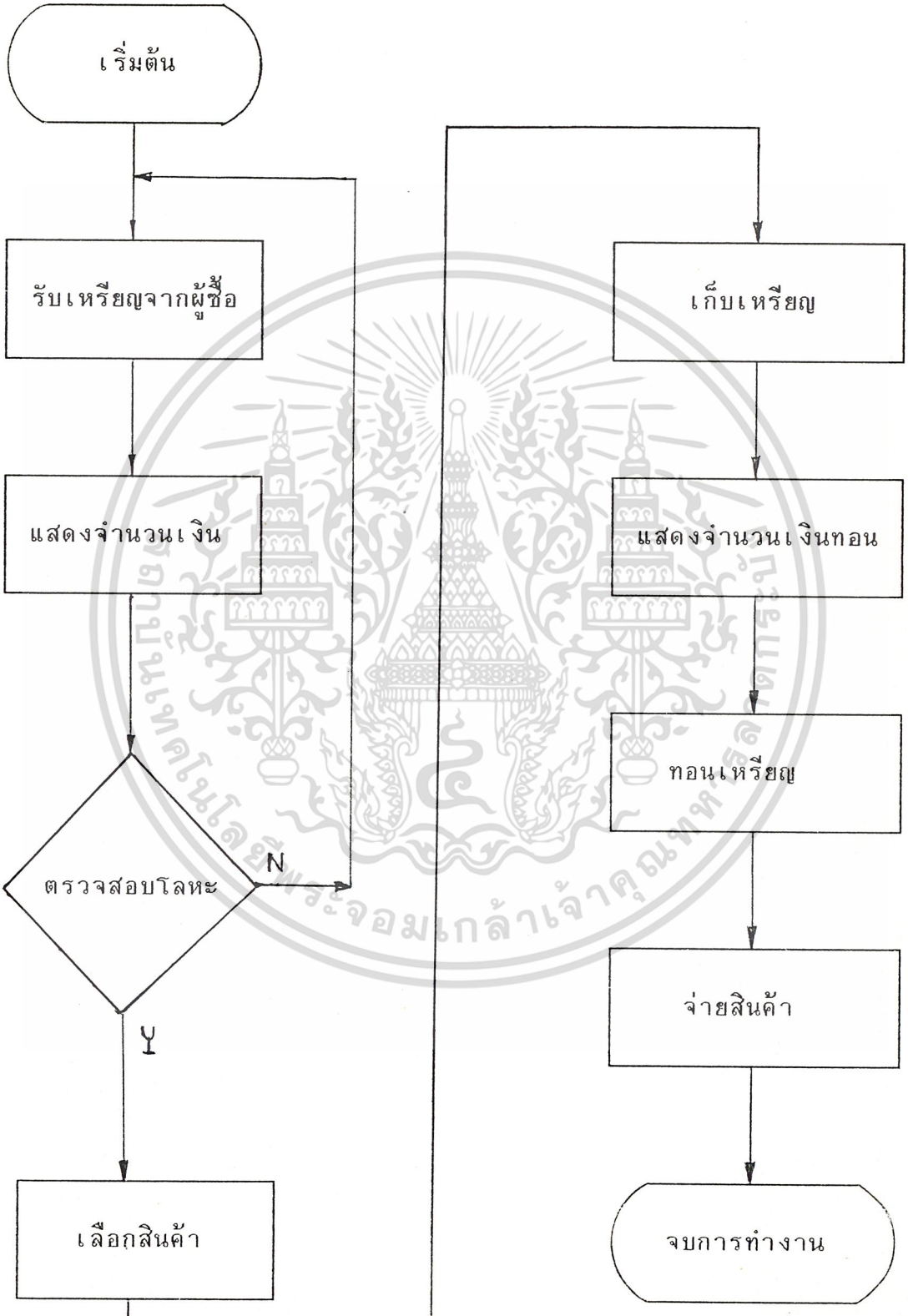
เมื่อหยอดเหรียญลงในช่องที่เรากำหนดไว้ เครื่องจะทำการแสดงจำนวนเงินที่เราหยอดลงไป จะผ่านส่วนเซ็คโลหะและทำการตรวจวัดการนำไฟฟ้าของเหรียญถ้าเหรียญที่หยอดลงมาเป็นวัสดุแปลกปลอมจะไม่มีการนำไฟฟ้า เช่น กระดาษ,ไม้,พลาสติกเครื่องจะไม่ทำงานต่อไปจนกว่าผู้ซื้อรับเงินคืนไปถ้าหากผู้ซื้อไม่รับเงินคืนไปก่อน เครื่องจะไม่สามารถทำงานต่อไปได้ แม้จะมีการหยอดเหรียญเข้ามาใหม่ก็ตาม ดังนั้นผู้ซื้อจะต้องรับเงินคืนไปเสียก่อนเครื่องจึงสามารถทำงานต่อได้ และถ้าหากว่าเงินที่ผ่านเข้ามาเป็นเหรียญจริงทุกเหรียญ (มีการนำไฟฟ้าทุกเหรียญ) เครื่องจะไม่ทำงานต่อจนกว่าจะหยอดเงินให้ครบตามกำหนด ถ้าเกิดหยอดเงินเกินกว่าราคาของสินค้าเมื่อเรากดเลือกสวิทช์สินค้า เครื่องก็จะทำการ Reset ตัวเอง

หมายเหตุ

เหรียญปลอมในที่นี้ หมายถึง เหรียญที่ไม่สามารถนำไฟฟ้าได้ เช่น พลาสติก แต่ถ้าเป็นเหรียญประเภทเหล็กจะมีการตรวจสอบแม่เหล็กอีกที่หนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบการทำงานเขียนได้เป็นแผนผังดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หน้าที่และการทำงานของอุปกรณ์

ในบทนี้จะกล่าวถึง อุปกรณ์ที่สำคัญในระบบซึ่งสามารถแบ่งได้เป็นสองลักษณะ คือ ทางด้านอิเล็กทรอนิคส์ และ ทางด้านกลศาสตร์

ทางด้านอิเล็กทรอนิคส์ สามารถแบ่งหน้าที่การทำงานของไอซีที่สำคัญแต่ละตัวได้ดังต่อไปนี้

Z-80 ทำหน้าที่เป็นหน่วยประมวลผลกลาง เป็นตัวควบคุมการทำงานทุกอย่างของระบบ รายละเอียดต่างๆจะกล่าวในหัวข้อต่อไป

8255 PIA (PROGRAMMABLE INTERFACE ADAPTER) ทำหน้าที่เป็นอุปกรณ์ที่ช่วยในการติดต่อระหว่างระบบภายนอกกับ ซีพียู

74LS138(3-LINE TO 8-LINE DECODER) เป็นไอซีทำหน้าที่ถอดรหัสเพื่อไปขับสเตปปิ้งมอเตอร์ 4 เฟส และเป็นไอซีทำหน้าที่ถอดรหัสเลือกเบอร์พอร์ทของ 8255

ไอซีเบอร์นี้มีลักษณะเป็นอินพุท 3 บิทแอดเดรส แต่ละชุดจะขับเอาท์พุท หนึ่งตัวเป็นสภาวะ"0" นอกนั้นจะเป็นสภาวะ "1" ไอซีนี้ มีขาอินพุทเอนเบิล(INPUT ENABLE) ถึง 3 ขา (ขา 4 ขา 5 และ ขา 6)เมื่อขา 4 ขา 5 มีสภาวะเป็น "1"เอาท์พุทมีสภาวะเป็น "1"เมื่อขา 6 เป็นสภาวะ " 0 " เอาท์พุททั้งหมดจะมีสภาวะเป็น "1" เมื่อจะมีเอนาเบิ้ลไอซีให้ ขา 4 ขา 5 มีสภาวะเป็น " 0 " ส่วน ขา 6 จะมีสภาวะเป็น " 1 "

74LS47 (BCD-TO-7 SEGMENT DECODER/DRIVER) เป็นไอซีที่เปลี่ยนข้อมูลแบบ BCD ไปเป็นข้อมูลที่จะขับseven segment แบบแอนโนดร่วม (COMMON ANNODE)ไปขับเพื่อแสดงเงินทอน

74LS48 (BCD -TO-7 SEGMENT DECODER/DRIVER การทำงานเป็นลักษณะเดียวกับ 74LS47 โดยวงจรจะใช้เป็นแบบ COMMON CATHODE เพื่อแสดงเงินที่หยอด

74LS90 (DECADE COUNTER) ใช้เป็นตัวนับสิบของจำนวนเงินที่หยอดเพื่อไปแสดงผล ใช้เป็นตัวนับสิบของจำนวนเงินทอนเพื่อไปแสดงผล

74LS90 เป็นไอซีเคาท์เตอร์ที่ทำงานที่ขอบขาลง ที่ใช้งานเป็นวงจรหาร N(เท่าไหร่ก็ได้)สำหรับการนับแบบไบนารีเคาท์เตอร์นี้ เราจะป้อนอินพุทเข้าที่ขา 14 (INA) แล้วเอาขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12 (QA) ต่อเข้ากับขา 1 (INB)สำหรับการนับแบบปกติจะต่อขารีเซ็ททั้ง 4 ขาลงกราวด์ถ้าต้องการจะรีเซ็ทให้เป็นค่า 0 ต้องนำขา 2 หรือขา 3 ต่อกับไฟบวก

74LS93 (4 BIT BINARY COUNTER) เป็นตัวนับเหรียญบาทที่หยอดลงไป โดยจะนับเฉพาะเหรียญที่เป็นโลหะซึ่งเป็นการนับแบบไบนารี่ และเป็นตัวนับจำนวนเหรียญห้าบาทโดย จะนับเฉพาะเหรียญที่เป็นโลหะซึ่งเป็นการนับแบบไบนารี่เช่นกัน

U29 เป็นตัวนับสัญญาณพัลส์ ที่ถูกผลิตมาจากไทม์เมอร์ 555 (U28) โดยจะต่อเข้ากับไอซีถอดรหัส เพื่อไปขับสเตปปิ้งมอเตอร์

74LS93 จะเริ่มนับที่ขอบขาลงของพัลส์ สำหรับการนับแบบปกติแล้ว ขาเซ็ทจะต้องต่อลงกราวด์ไว้ เมื่อเราต้องการจะรีเซ็ท เราจะหาได้โดยการนำขาใดขาหนึ่ง หรือทั้งสองขาเข้ากับไฟบวก

555 (TIMER) ทำหน้าที่เป็นวงจรอะสเตเบิลมัลติไวเบรเตอร์ โดยจะผลิตสัญญาณพัลส์ความถี่ต่ำเพื่อใช้ในการขับสเตปปิ้งมอเตอร์

U12,U13 ทำหน้าที่เป็นวงจรโมโนสเตเบิลมัลติไวเบรเตอร์ โดยจะได้รับสัญญาณทริกหยอดโดย U12 ได้รับสัญญาณทริกมาจากเหรียญห้า และ U13 ได้รับสัญญาณทริกมาจากเหรียญบาท

74LS122 (MONOSTABLE MULTIVIBRATOR) ไอซีตัวนี้ทำหน้าที่เป็นวงจร mono stable multivibrator โดยได้รับสัญญาณทริกมาจากส่วนเซ็นเซอร์ของเหรียญห้าบาท โดยจะทำการช่วยทวีคูณจำนวนพัลส์ ให้เป็นห้าบาท

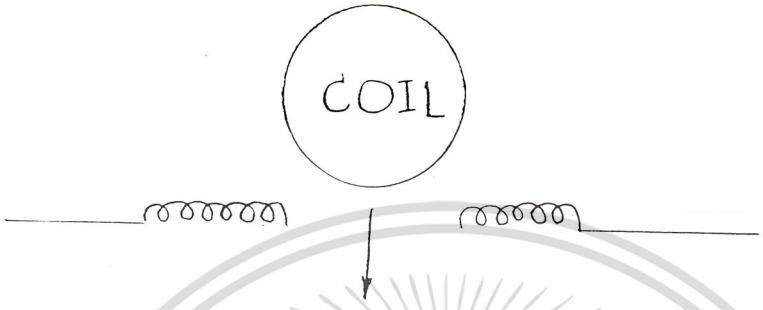
74LS148 (8 TO 3 LINE PRIORITY ENCODER) ทำหน้าที่เข้ารหัสในการเลือกชนิดของสินค้า

ทางด้านกลสาสตร์ จะมีอุปกรณ์ที่สำคัญดังนี้

สปริง (SPRING) จะใช้สปริงเป็นตัวตรวจเช็คเหรียญ โดยอาศัยสัญญาณที่ได้มาจากการนำไฟฟ้าของเหรียญโดยเมื่อเหรียญลงมาจะไปกับขั้วสปริงทั้งสอง และ จะทำให้เกิดการลัดวงจรไฟฟ้าขึ้นและเกิดสัญญาณขึ้นเพื่อนำเอาไปประมวลผลอีกครั้งหนึ่ง

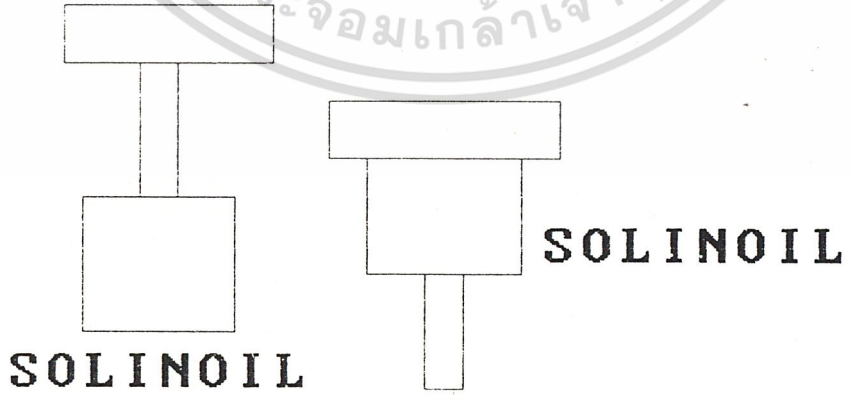
สาเหตุที่เราใช้ spring เพราะเป็นตัวนำไฟฟ้าที่ดีและสปริงมีความหยืดหยุ่นและอ่อนตัวจึงทำให้ไม่เกิดการค้างของเหรียญขึ้นสามารถที่จะแสดงลักษณะของเหรียญได้ดังรูปที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงเหรียญตกลงมาชนสปริง

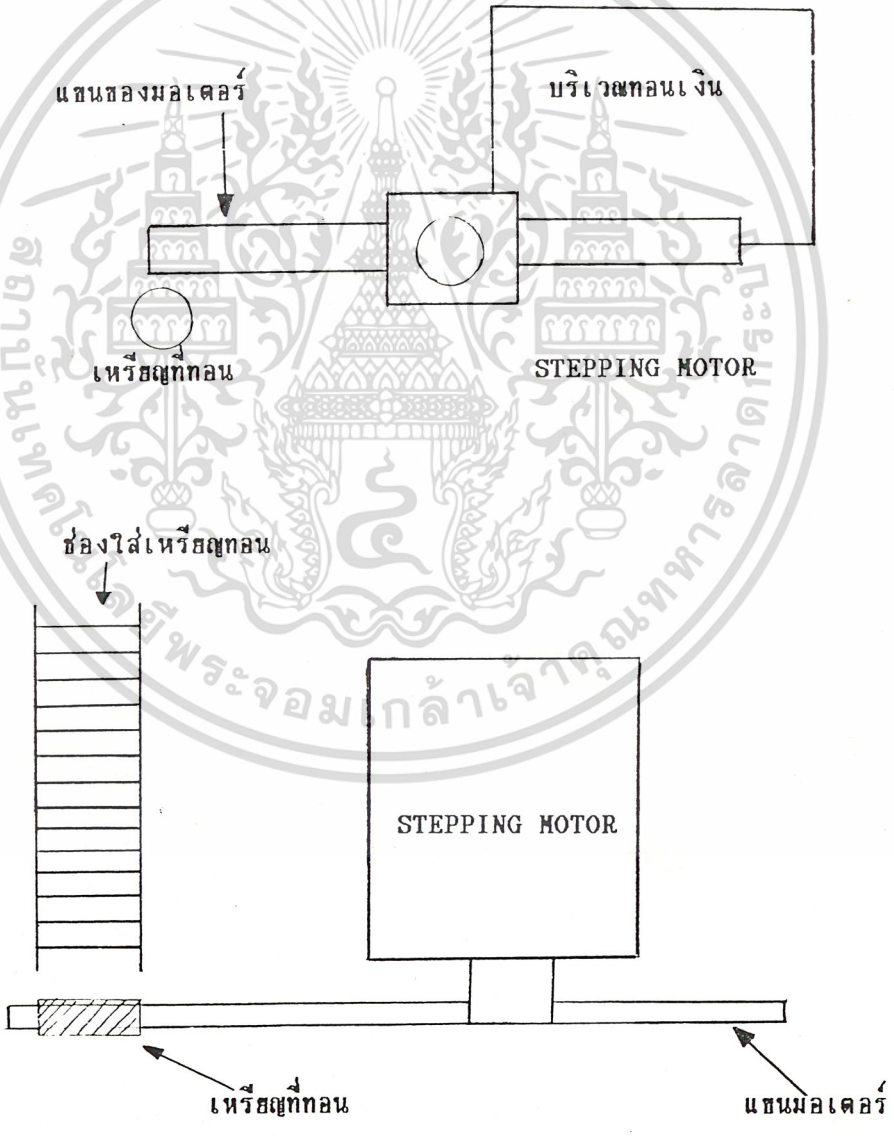
โซลินอยด์ (SOLINOID) โซลินอยด์ที่ใช้จะเป็นแกนเหล็กแกนหนึ่งที่อยู่ในสนามแม่เหล็ก เมื่อมีกระแสไหลเข้าไปจะเหนี่ยวนำแกนเหล็กให้สามารถเคลื่อนที่ได้ เราจึงนำหลักการนี้ไปใช้เป็นส่วนจ่ายสินค้าที่ผู้ซื้อต้องการซื้อสินค้าตัวนั้น คือ เมื่อมีสัญญาณไฟฟ้าเข้ามาจากเครื่องก็จะทำให้แกนเหล็กเคลื่อนที่เข้า ทำให้สามารถที่จะจ่ายขนมออกมาได้ตามต้องการซึ่งมีหลักการดังรูปที่ 2



รูปที่ 2.2 แสดงถึงการทำงานของโซลินอยล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สเต็ปปิ้งมอเตอร์ [STEPPIMG MOTOR] เนื่องจากสเตปปิ้งมอเตอร์มีการหมุนที่แน่นอน คือ สามารถที่จะหมุนได้ตามมาตราฐานที่กำหนดได้ จากองศาที่มอเตอร์ค่า ๆ หนึ่ง เช่น 1.8 องศา หรือ 3.6 องศา และ 5.7 องศา ต่อ 1 step เราจึงอาศัยหลักการนี้มาใช้ในการตัดผ่านเหรียญที่ต้องการทอนให้ผู้ซื้อสินค้าจากเราโดยที่เราต่อแขนออกมาจากมอเตอร์เพื่อใช้แขนของมอเตอร์นี้เป็นส่วนไปตัดเหรียญออกมาทอน โดยควบคุมการหมุนให้หมุนไปมาโดยตัดผ่านเหรียญดังแสดงในรูปที่ 3



รูปที่ 2.3 ภาพด้านข้างแสดงส่วนทอนเหรียญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ทฤษฎีและการออกแบบวงจร

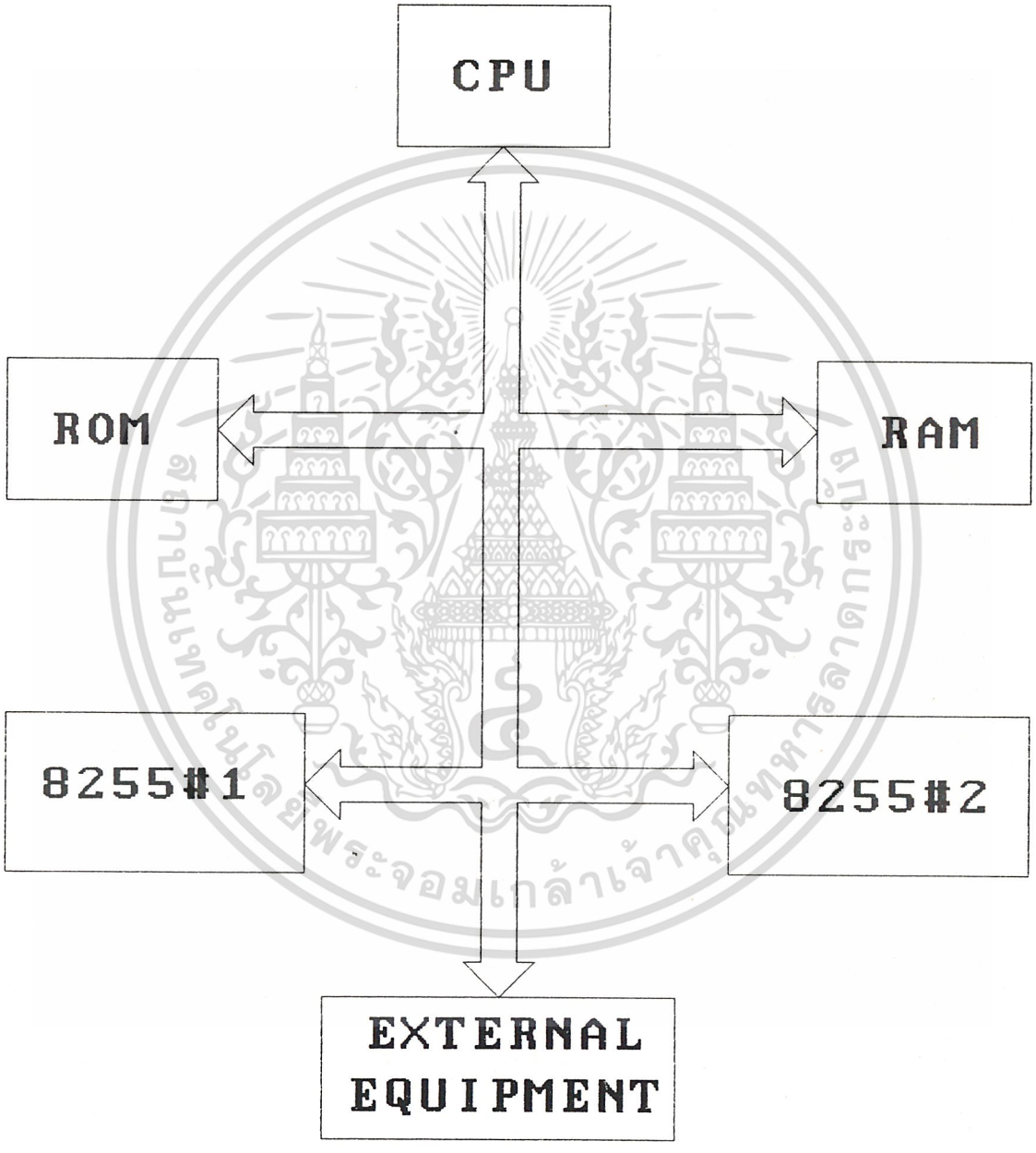
โครงสร้างของเครื่อง

เครื่องจำหน่ายสินค้าอัตโนมัติที่สร้างขึ้นมานี้ มีส่วนประกอบที่สำคัญต่างๆ คือ

- ส่วนการประมวลผล [CPU]
- ส่วนเก็บโปรแกรม [RAM AND ROM]
- ส่วนที่ติดต่อกับอุปกรณ์ภายนอก [8255 PIA]
- ส่วนแสดงผล [LED AND 7-SEGMENT]
- ส่วนเซนเซอร์เหรียญและตรวจจับเหรียญโลหะ
- ส่วนของวงจรทวีลูกคลื่นในการนับเหรียญห้า
- ส่วนของวงจรขับ STEPPING MOTOR
- ส่วนของวงจรขับโซลินอยด์
- ส่วนของแหล่งจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างของเครื่องจำหน่ายสินค้านี้สามารถแสดงเป็นบล็อกไดอะแกรมได้ดังรูปที่ 4

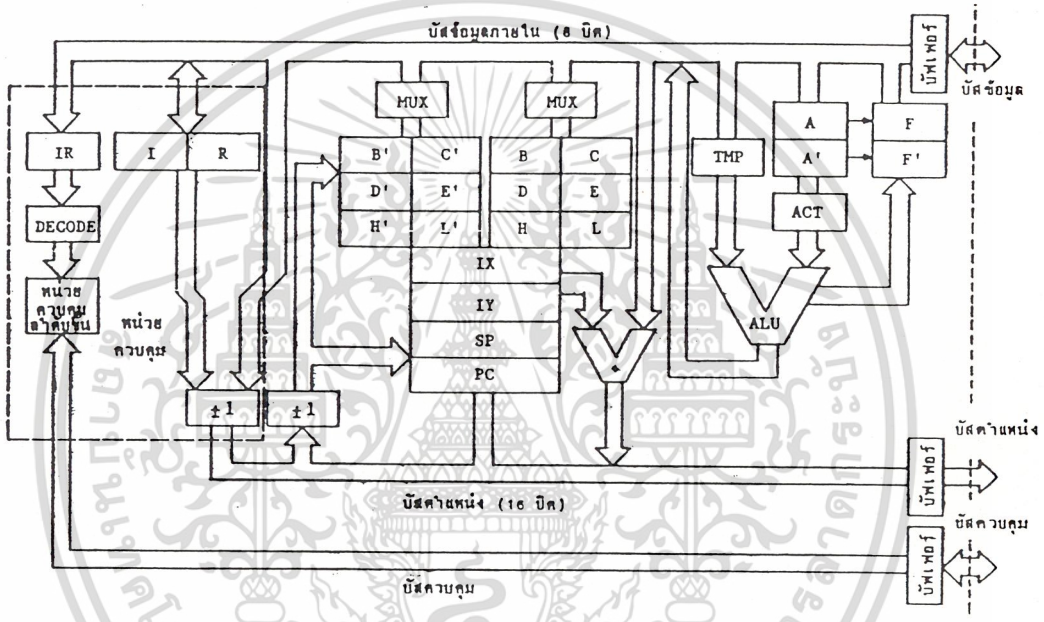


รูปที่ 3.1 บล็อกไดอะแกรมของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
034773

หน่วยประมวลผลกลาง Z-80 CPU

ในส่วนนี้จะกล่าวถึงโครงสร้างของ CPU Z-80 และ รีจิสเตอร์ที่จำเป็นในการเขียนโปรแกรม เพื่อให้ไมโครโปรเซสเตอร์ทำงานตามที่ต้องการ โครงสร้างแสดงดังรูปที่ 5



รูปที่ 3.2 โครงสร้างของระบบ

จากรูปจะเห็นว่า ซีพียู มีบัสอยู่ 3 ชนิดคือ

- บัสตำแหน่ง [ADDRESS BUS]
- บัสข้อมูล [DATA BUS]
- บัสควบคุม [CONTROL BUS]

บัสทั้ง 3 ชนิด ใช้สำหรับทำการเชื่อมต่อระหว่างซีพียูกับอุปกรณ์ภายนอก และภายในไมโครโปรเซสเซอร์จะประกอบด้วยวงจรพื้นฐานต่างๆ คือ ALU แอคคิวมูเลเตอร์รีจิสเตอร์ตำแหน่งและแฟลก นอกจากนี้ยังมีรีจิสเตอร์ใช้งานต่างๆ อีกคือ B,C,D,E,H,L,B',C',D',E',H' และ L' ส่วนรีจิเตอร์ตำแหน่งก็คือ PC,SP,IX,IY ส่วนทางด้านซ้าย คือ ส่วนของหน่วยควบคุมซึ่งส่วน

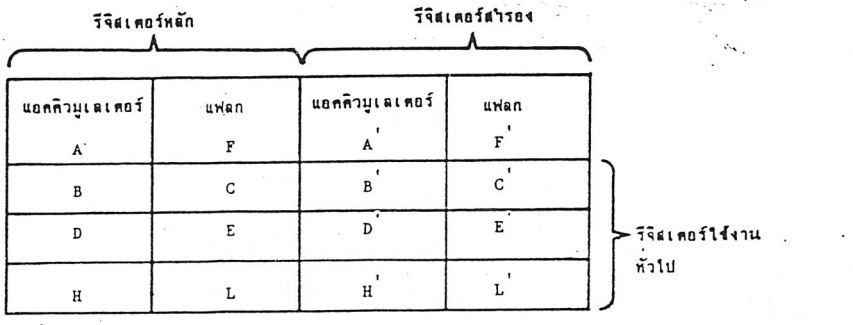
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นี้มีหน้าที่ถอดรหัสคำสั่ง แล้วส่งสัญญาณควบคุมไปส่วนต่าง ๆ ทั้งภายใน CPU และ ภายนอก CPU รวมทั้งรับสัญญาณควบคุมจากภายนอกเข้ามาด้วย

สัญญาณควบคุมของ CPU Z-80 ภายนอกมี 13 สัญญาณ ซึ่งอาจแบ่งได้ 2 อย่าง คือ สัญญาณควบคุม CPU และสัญญาณควบคุมระบบบัสข้อมูลเป็นบัสที่มีขนาด 8 บิท ที่ใช้เป็นทางเดินของข้อมูลระหว่างไมโครโปรเซสเซอร์กับหน่วยความจำ หรืออุปกรณ์อินพุท-เอาท์พุทต่าง ๆ บัสตำแหน่งเป็นบัสที่มีขนาด 16 บิท เพื่อใช้ในการอ้างถึงตำแหน่งของหน่วยความจำ ดังนั้นจะทำให้สามารถเข้าถึงหน่วยความจำภายนอกได้ 65536 ตำแหน่ง หรือ 64 K คือ ตั้งแต่ตำแหน่งที่ 0-65535ในการให้ไมโครโปรเซสเซอร์ทำงานตามที่ต้องการทำได้โดยการเขียนโปรแกรมเก็บไว้ในหน่วยความจำ จากนั้นให้ไมโครโปรเซสเซอร์อ่านคำสั่งจากหน่วยความจำเพื่อมาปฏิบัติ การปฏิบัติคำสั่งต่างๆ นั้นเราไม่จำเป็นต้องเข้าถึงส่วนรายละเอียดต่าง ๆ ของไมโครโปรเซสเซอร์ทั้งหมดโดยเราจะสนใจเฉพาะรีจิสเตอร์ต่าง ๆ ที่เกี่ยวข้องกับการเขียนโปรแกรมเท่านั้น รีจิสเตอร์ภายในที่สามารถอ่านหรือเขียนได้ถึง 208 บิท โดยแยกเป็นกลุ่มรีจิสเตอร์ขนาด 8 บิท 18 รีจิสเตอร์ และ รีจิสเตอร์ 16 บิท 4 รีจิสเตอร์ รีจิสเตอร์ต่าง ๆ ภายใน Z-80 เป็นลักษณะของสแตติกแรม และแบ่งออกเป็น 3 ประเภทคือ

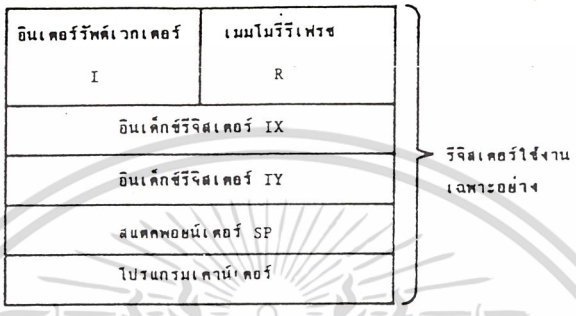
1. รีจิสเตอร์ใช้งานทั่วไป
2. แอคคิวมูเลเตอร์และรีจิสเตอร์สถานะ
3. รีจิเตอร์ใช้งานเฉพาะอย่าง

การจัดรีจิสเตอร์ภายในของ CPU แสดงได้ดังรูปที่ 6



รูปที่ 3.3 ก. แสดงรีจีสเตอร์ใช้งานทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 ข. แสดงการจัดรีจิสเตอร์ภายใน CPU

รายละเอียดของขาต่างๆ ที่ใช้แสดงได้ดังนี้

- ขาข้อมูล D_0-D_7 เป็นขาสัญญาณอินพุท-เอาท์พุท [TRI-STATE] แบบสองทิศทางซึ่งเป็นทางผ่านของข้อมูลระหว่าง Z-80กับหน่วยความจำและอุปกรณ์อินพุท-เอาท์พุท

- ขาแอดแดรส A_0-A_7 แสดงตำแหน่งของพอร์ทที่ Z-80 ต้องการติดต่อด้วย

- ขา $\overline{IORQ}$ เป็นสายเอาท์พุทแบบ TRI-STATE ซึ่งจะแอคทีฟที่ลอจิก "0"เพื่อเป็นการบ่งบอกว่า Z-80 ต้องการติดต่อกับอุปกรณ์อินพุท-เอาท์พุท

- ขา $\overline{RD}$ เป็นขาเอาท์พุทแบบ TRI-STATE จะแอคทีฟที่ลอจิก "0" เมื่อ Z-80 ต้องการอ่านข้อมูลจากหน่วยความจำหรืออุปกรณ์อินพุท-เอาท์พุทและ Z-80 จะรับข้อมูลจากบัสข้อมูลเข้าไป เมื่อสัญญาณนี้เปลี่ยนระดับจากลอจิก "0" เป็น "1"

- ขา $\overline{WR}$ เป็นขาเอาท์พุทแบบ TRI-STATE จะแอคทีฟที่ลอจิก "0" เมื่อ Z-80 ต้องการส่งข้อมูลออกไปให้หน่วยความจำหรืออุปกรณ์อินพุท-เอาท์พุท

- ขา $\overline{RESET}$ เป็นขาอินพุทที่แอคทีฟที่ลอจิก "0" สัญญาณที่จะทำการเริ่มต้น (INITIALIZE) Z-80 โดยการรีเซ็ท INTERRUPT FLIPFLOP และเซ็ทค่าในโปรแกรมเคาน์เตอร์ให้เป็น 0000H และในสภาวะในการรีเซ็ทนี้ บัสแอดแดรสและบัสข้อมูลจะอยู่ในสภาวะ HIGH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPEDANCE และสัญญาณควบคุมต่างๆ จะอยู่ในสภาวะอินแอคตีฟ [INACTIVE]

- ขา $\overline{\text{MREQ}}$ เป็นเอาท์พุทแบบ TRI-STATE และแอคทีฟที่ลอจิก "0" เมื่อสัญญาณนี้แอคทีฟบอกให้ทราบว่า ขณะนี้ CPU ต้องการติดต่อกับหน่วยความจำเพื่ออ่านหรือเขียนข้อมูลโดยตำแหน่งของหน่วยความจำจะปรากฏอยู่บนบัสตำแหน่งแล้ว

หน่วยความจำชนิด ROM

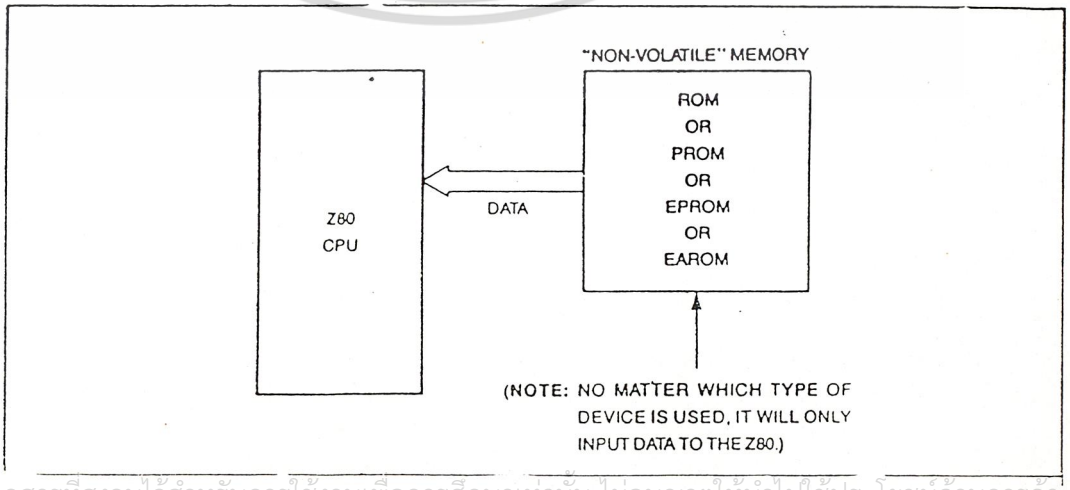
ระบบของไมโครโปรเซสเซอร์จะมีหน่วยความจำที่ใช้เก็บข้อมูล โดยไม่มีการสูญหายเมื่อไม่มีแหล่งจ่ายไฟให้กับระบบ หน่วยความจำนี้คือ ROM ซึ่งมีหลายประเภท คือ

- ROM ข้อมูลภายในตัวของมันจะถูกโปรแกรมมาแล้วจากผู้ผลิต ผู้ใช้ไม่สามารถแก้ไขข้อมูลเดิมได้

- PROM [PROGRAMABLE READ ONLY MEMORY] ข้อมูลที่ต้องการโปรแกรมจะสามารถถูกโปรแกรมโดยผู้ใช้เอง เมื่อ PROM ถูกโปรแกรมแล้วข้อมูลภายในไม่สามารถที่จะแก้ไข

- EPROM [ERASABLE PROGRAMABLE ROM] ข้อมูลภายในจะถูกโปรแกมโดยผู้ข้อมูลของ EPROM นั้นสามารถลบแล้วทำการโปรแกรมใหม่ได้หลายครั้ง ในการลบนั้นต้องใช้แสงอุลตร้าไวโอเลตให้ผ่านกระจกใสที่ตัว EPROM

- EAROM [ELECTRICALLY ALTERABLE ROM] ข้อมูลสามารถถูกโปรแกรมได้ โดยผู้ใช้เช่นกัน แตกต่างกันที่ การลบข้อมูลในตัว EAROM นั้นสามารถใช้ไฟฟ้าลบข้อมูลได้



รูปที่ 3.4 แสดงถึงบล็อกสัญญาณของหน่วยความจำ ROM ทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น สงวนลิขสิทธิ์ตามกฎหมาย ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

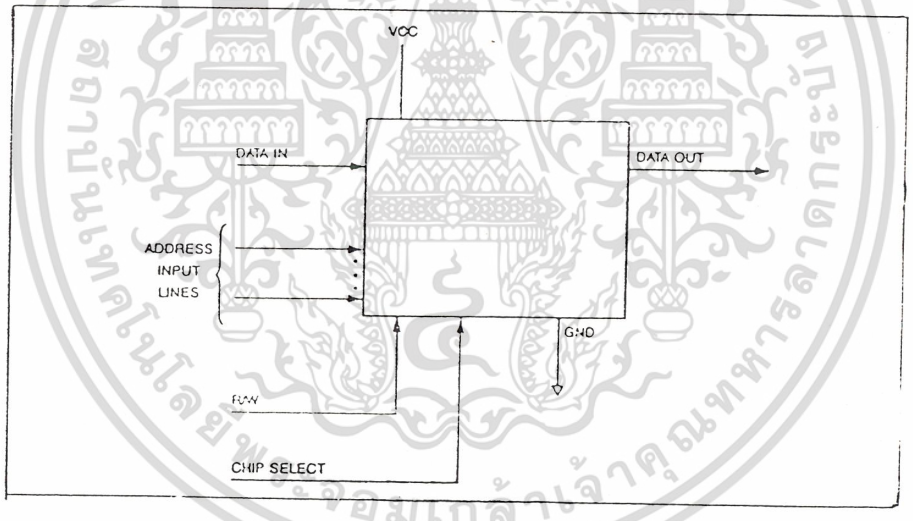
หน่วยความจำ RAM

RAM จะเป็นเหมือนกับพื้นที่ ที่เก็บข้อมูลชั่วคราวที่จะประมวลผล ข้อเสียของ RAM คือ ข้อมูลจะหายทันที เมื่อขาดแหล่งจ่ายไฟให้กับหน่วยความจำชนิดนี้ หน่วยความจำนี้สามารถแบ่งออกเป็น

- หน่วยความจำแบบ สแตติกแรม [SRAM]
- หน่วยความจำแบบ ไดนามิกแรม [DRAM]

SRAM

บล็อกพื้นฐานของหน่วยความจำ SRAM แสดงดังรูปที่ 7



รูปที่ 3.5 แสดงสัญญาณทางที่จำเป็นในการใช้อุปกรณ์นวก RAM

ขั้นตอนเมื่อทำการอ่าน RAM

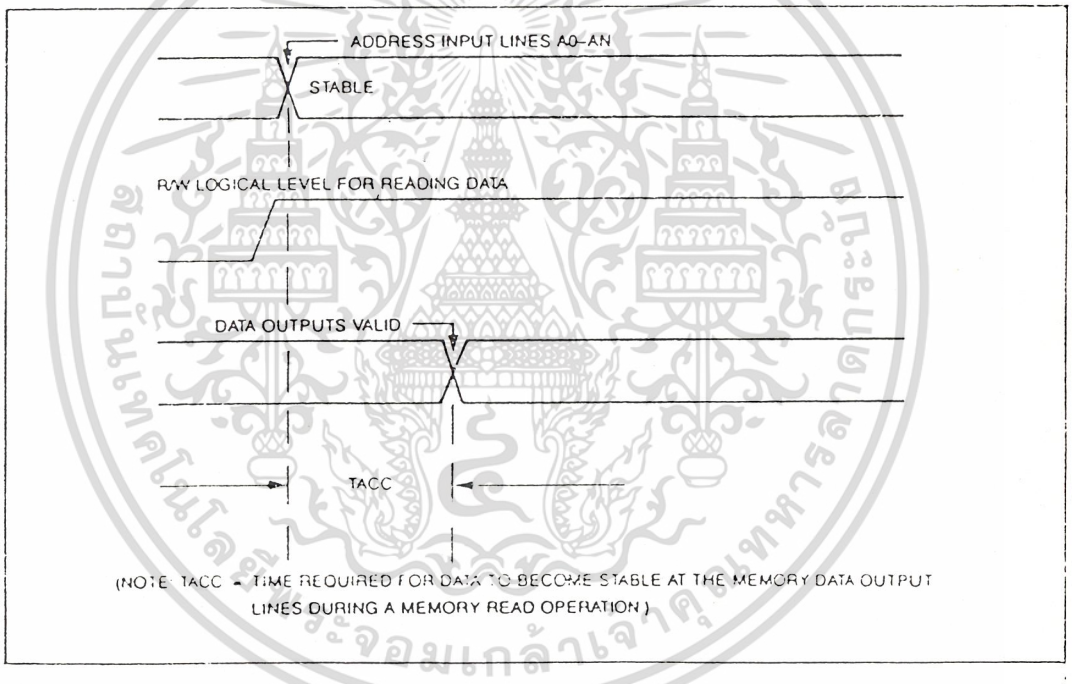
1. สัญญาณที่บ่งตำแหน่งแอดเดรส จะเข้ามาที่หน่วยความจำทางบัสแอดเดรส ในเวลาเดียวกัน RAM จะเอาสัญญาณนี้มาทำการรหัสตำแหน่งภายในซึ่งเป็นตำแหน่งของข้อมูลที่จะอ่าน

2. สัญญาณบนเส้นควบคุม R/W จะถูกทำให้อยู่ ในตำแหน่งลอจิกที่ถูกต้องซึ่งจะเป็นลอจิก "1" หรือ "0" ขึ้นอยู่กับหน่วยความจำนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ระบบจะคอยอยู่ช่วงเวลาหนึ่ง เรียกช่วงเวลานี้ว่า READ ACCESS TIME เพื่อให้วงจรภายใน MEMORY CHIP ถอดรหัสตำแหน่งและเลือกข้อมูลในตำแหน่งนั้นๆ

4. หลังจากที่รอคอยอยู่ช่วงเวลาหนึ่งแล้วข้อมูลจะถูกส่งมาบน DATA OUT LINE และถูกอ่านโดยไมโครโปรเซสเซอร์ของระบบ



รูปที่ 3.6 ไดอะแกรมเวลาแสดงลำดับการอ่านข้อมูลจากพวกหน่วยความจำ

ขั้นตอนเมื่อทำการเขียนข้อมูลเข้าไปใน RAM

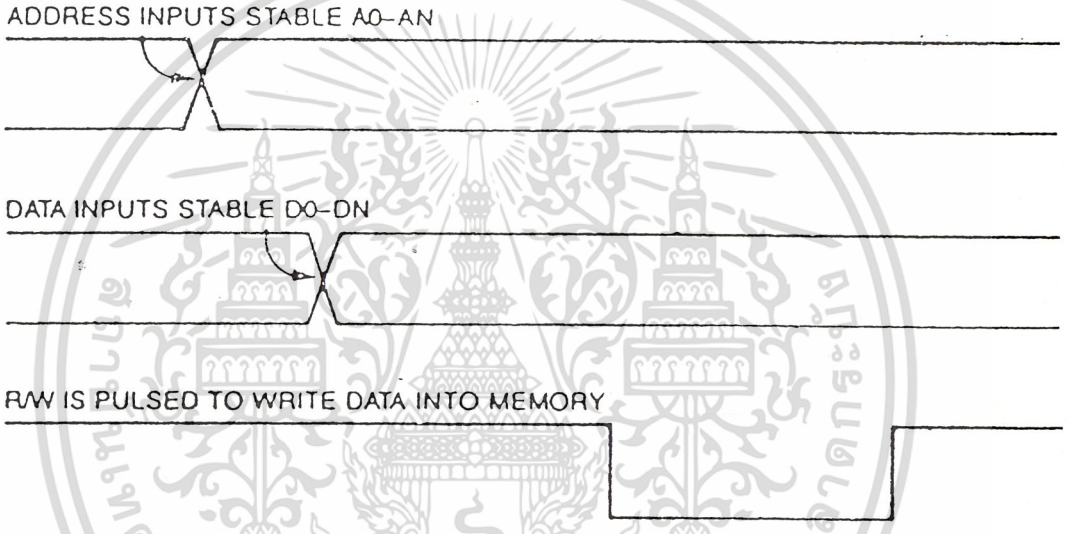
1. บน ADDRESS INPUT LINE จะมีสัญญาณลอจิกที่บ่งตำแหน่งที่อยู่ภายในหน่วยความจำ ซึ่งเป็นตำแหน่งที่จะนำข้อมูลเข้าไปเขียน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ข้อมูลที่ต้องการเขียนจะปรากฏอยู่บน DATA INPUT LINE

3. ระบบจะคอยอยู่ช่วงเวลาหนึ่ง ช่วงเวลานี้เรียกว่า WRITE ACCESS TIME เพื่อจะทำการถอดรหัสภายในอยู่ในสภาวะคงที่เสียก่อน

4. หลังจากคอยอยู่ช่วงเวลาหนึ่งแล้ว เส้นควบคุม R/W ของหน่วยความจำก็จะทำให้เป็นระดับของลอจิกที่ทำให้เกิดการเขียนขึ้น หรือเป็นพัลส์เพื่อที่จะทำให้ข้อมูลที่ DATA INPUT LINE ถูกเขียนเข้าไปใน RAM

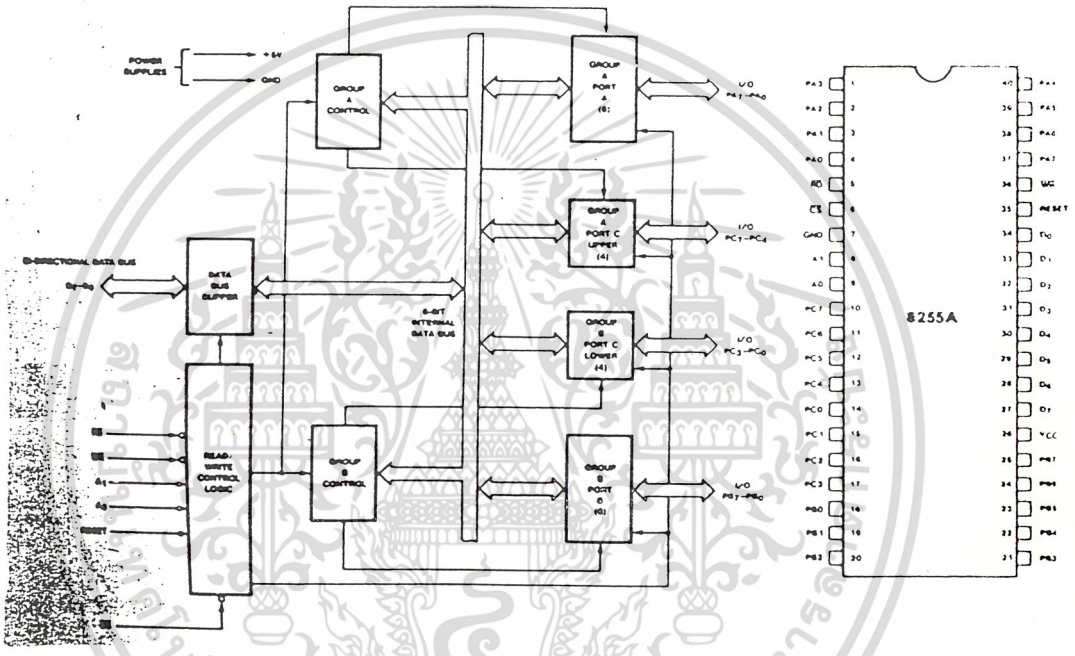


รูปที่ 3.7 ไดอะแกรมเวลาแสดงลำดับในการเขียนข้อมูลในหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255 PIA

8255เป็นอุปกรณ์ LSI บรรจุอยู่ใน PACKAGE 40 ขา



รูปที่ 3.8 แสดงบล็อกไดอะแกรมและการว่างตำแหน่งขาของ 8255

จากรูปจะเห็นว่าประกอบด้วยบล็อก 4 บล็อกที่อยู่ทางด้านขวามือของรูป ซึ่งเป็นส่วนที่เชื่อมต่อกับอุปกรณ์ภายนอกโดยมี

- PORT A [PA_0-PA_7]
- PORT B [PB_0-PB_7]
- PORT C [PC_0-PC_7]

โดยทั้ง 3 PORT นี้ สามารถเป็นได้ทั้ง I/O PORT โดยการควบคุมจาก GROUP A CONTROL และ GROUP B CONTROL ในลักษณะการส่งเป็นแบบ CONTROL WORD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดการจัดเรียงขาของ 8255

D_0-D_7 : เป็นสายข้อมูลอินพุท / เอาท์พุทแบบสองทิศทาง จะเป็นทางผ่านของข้อมูลระหว่างพอร์ทต่างๆ ของ 8255 กับบัสของข้อมูลของ Z-80

CS [CHIP SELECT INPUT]: เมื่อขานี้มีเป็นสถานะลอจิก "0" CPU จะสามารถที่จะอ่านหรือเขียนข้อมูลกับ 8255ได้

RD [READ INPUT] : เมื่อขานี้มีสถานะลอจิกเป็น "0" และสัญญาณ CS มีลอจิกเป็น "0" ข้อมูลจาก 8255 จะปรากฏสู่ระบบบัสข้อมูล CPU ก็สามารถอ่านข้อมูลออกมาได้

WR [WRITE INPUT] : เมื่อขานี้มีสถานะลอจิกเป็น "0" และขาสัญญาณ CS มีลอจิกเป็น "0" ข้อมูลจากระบบบัสข้อมูลจะถูกเขียนเข้าไปยัง 8255 ได้

A_0 - A_1 [ADDRESS INPUT] : จะเป็นตัวกำหนดการเลือกใช้รีจิสเตอร์ภายในของ 8255

RESET : เมื่อขานี้มีสถานะเป็นลอจิก "1" 8255 จะอยู่สภาวะรีเซ็ททุก ๆ พอร์ทของ 8255 จะถูกเซ็ทให้อยู่ในโหมดอินพุท

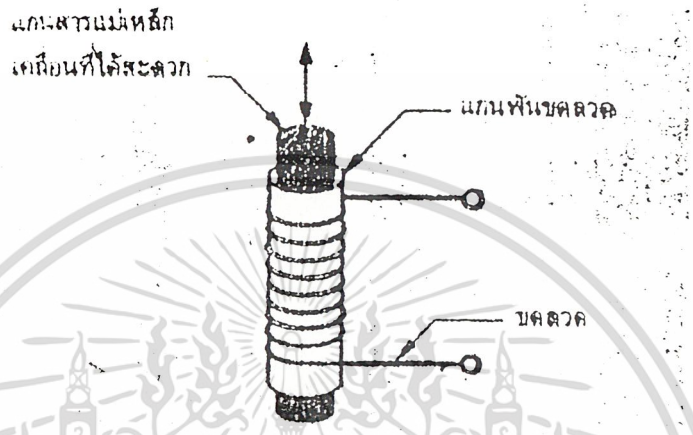
PA_0-PA_7,PB_0-PB_7:ขาสัญญาณเหล่านี้จะใช้เป็นพอร์ท I/O ขนาด 8 บิท ใช้ต่อเข้ากับอุปกรณ์ภายนอกอื่น

PC_0-PC_7 : ขานี้จะถูกใช้เป็นพอร์ท I/O ขนาด 8 บิท กลุ่มของสัญญาณเหล่านี้สามารถแบ่งงออกเป็น 2 กลุ่ม โดยแต่ละกลุ่มมีขนาด 4บิท

โซลินอยด์

โซลินอยด์ถูกนำมาประยุกต์ใช้กับงานที่ต้องการเชื่อมโยงทางไฟฟ้า มาเป็นพลังงานกลโดยตรงโดยสัญญาณไฟฟ้าป้อนที่ป้อนให้เข้ามาทางขดลวด จะทำให้แกนสารแม่เหล็กของโซลินอยด์เกิดการเคลื่อนขึ้น การเคลื่อนที่นี้เองที่เรานำไปใช้ประโยชน์ เช่น ขัดกลอนประตู เป็นต้น โซลินอยด์แบ่งออกเป็น 2 ประเภท คือ ชนิดที่ใช้กับไฟฟ้ากระแสสลับและไฟฟ้ากระแสตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



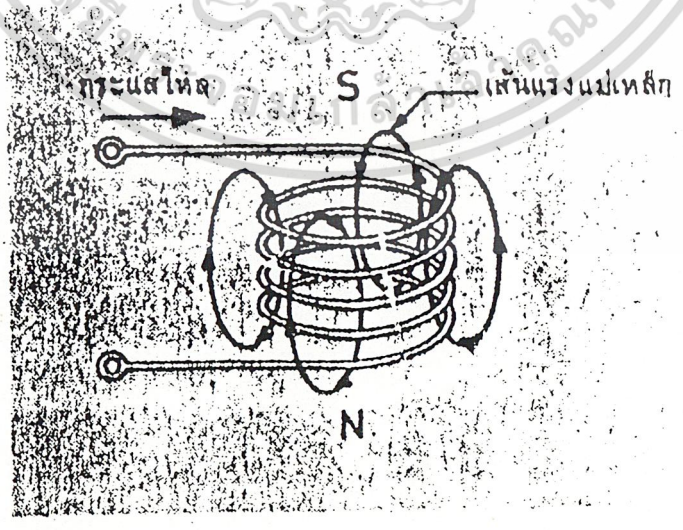
รูปที่ 3.9 โครงสร้างพื้นฐานของโซลินอยด์

หลักการทำงานของโซลินอยด์

เมื่อมีกระแสไฟฟ้าไหลในลวดตัวนำใดๆก็ตาม จะเกิดสนามแม่เหล็กขึ้นรอบๆตัวนำและถ้านำเอาเส้นลวดนี้แต่ยาวหน่อยมาขดเป็นวงหลาย ๆ วง จะเกิดลักษณะของขดลวดขึ้น ซึ่งสนามแม่เหล็กที่เกิดที่ขดลวดแต่ละขดจะอยู่ในทิศทางที่เสริมทางกัน และก่อให้เกิดเป็นเส้นแรงของสนามแม่เหล็กรวมมีทิศทางเหนือใต้ดังรูป เพื่อที่จะไม่ให้สนามแม่เหล็กที่เกิดขึ้นกระจัดกระจาย จึงใส่แกนเหล็กอ่อนรูปตัว C เข้ารอบ ๆ ขดลวด เพื่อให้สนามแม่เหล็กมากขึ้นดังรูปที่ 14 ถ้าเอาแกนกระทุ้ง [PLUNGER] มาใส่เข้าไปตรงกลางขดลวดในตำแหน่งที่ 1 แกนกระทุ้งจะถูกดูดให้ลึกเข้ามาจนสนิทในตำแหน่งที่ 2

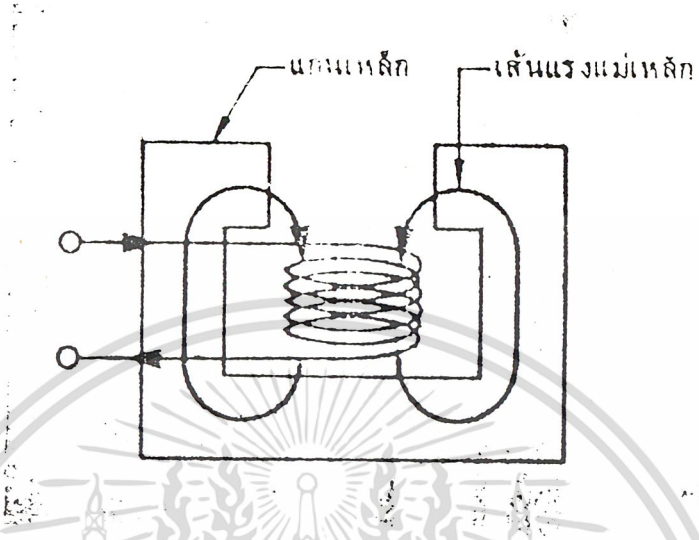
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.10 แสดงทิศทางของสนามแม่เหล็กที่เกิดขึ้นเมื่อมีกระแสไหลผ่านเส้นลวด

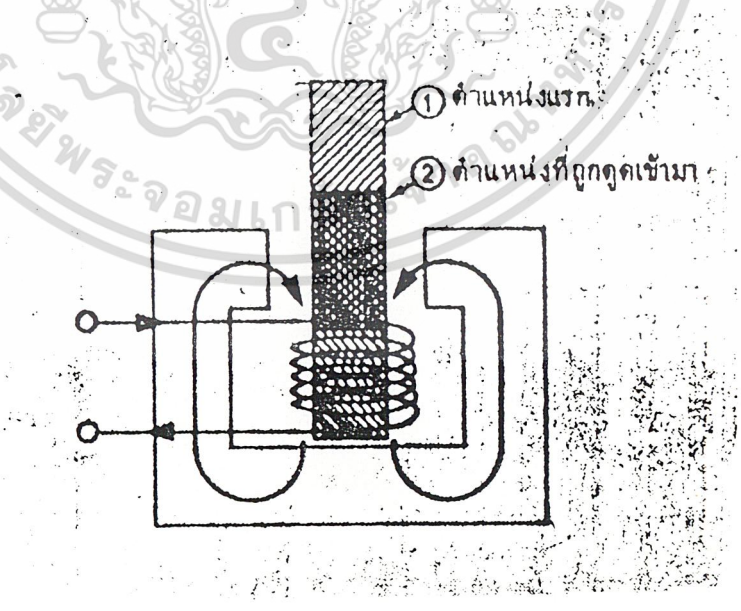


รูปที่ 3.11 แสดงทิศทางของสนามแม่เหล็กที่เกิดขึ้นในขดที่มีกระแสไหล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

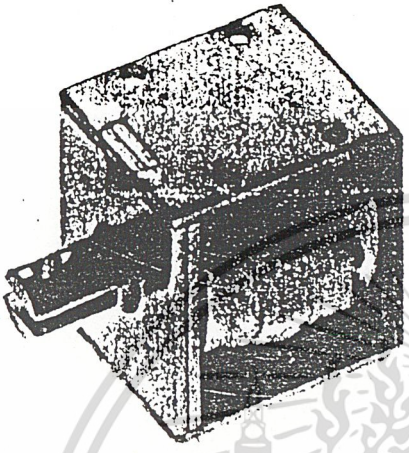


รูปที่ 3.12 แสดงการเพิ่มเหล็กอ่อนเข้ามาเพื่อเพิ่มความเข้มของสนามแม่เหล็ก

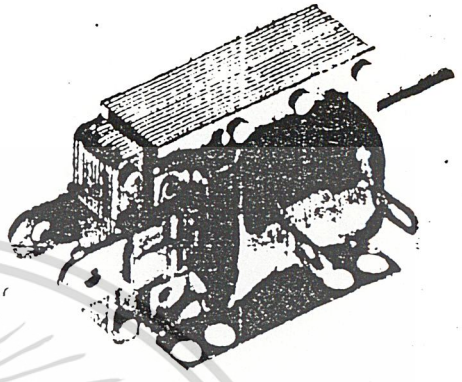


รูปที่ 3.13 แสดงการเคลื่อนที่ของแกนกระทุ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

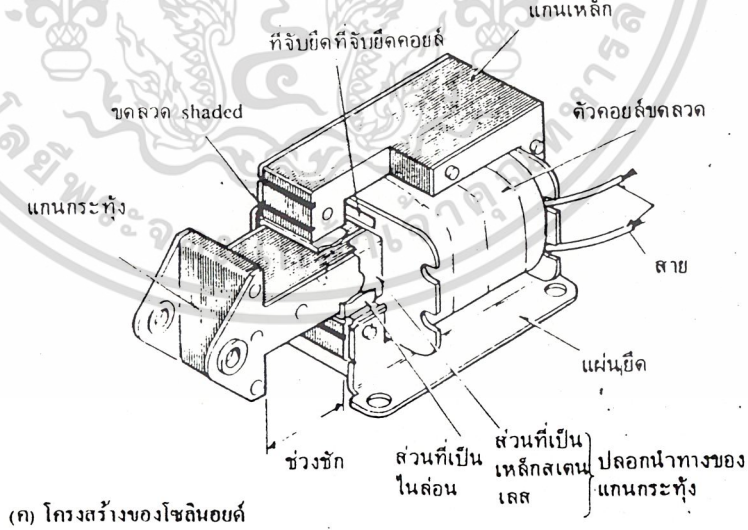


(ก) โซลินอยด์ไฟตรงแบบดูด



(ข) โซลินอยด์ไฟสลับทั้งดูดและผลัก

(ข) โซลินอยด์ไฟสลับทั้งดูดและผลัก



(ค) โครงสร้างของโซลินอยด์ไฟสลับแบบดูด

(ค) โครงสร้างของโซลินอยด์ไฟสลับแบบดูด

รูปที่ 3.14 โซลินอยด์ชนิดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการเลือกใช้โซลินอยด์

1.แรงดันใช้งาน ไม่ว่าจะเป็นไฟตรงหรือไฟสลับ ถ้าเป็นไฟสลับก็ต้องดูความถี่ตามที่ใช้งานด้วย

2.ช่วงชักการใช้ [OPERATING STROKE] ของโซลินอยด์ จะต้องเคลื่อนที่เป็นระทางเท่าใด (จะกำหนดเป็นมิลิเมตร)

3.ขนาดของโหลด ว่าต้องใช้ขนาดเท่าใดมักจะบอกเป็นกรัม

4.ใช้งานต่อเนื่องหรือไม่ การใช้งานต่อเนื่อง หมายถึง เราอาจจะใส่แรงดันไฟฟ้าเข้าขดลวดค้างไว้ได้โดยขดลวดไม่ไหม้ หรือเป็นแบบจังหวะ ๆ

STEPPING MOTOR

STEPPING MOTOR แบ่งออกเป็น 3 แบบคือ

1. แบบแม่เหล็กถาวร [PM : PERMANENT MAGNET]

2. แบบแปรค่ารีแอคแตนซ์ [VR : VARIABLE RELUTANCE]

3. แบบลูกผสม [H: HYBRID]

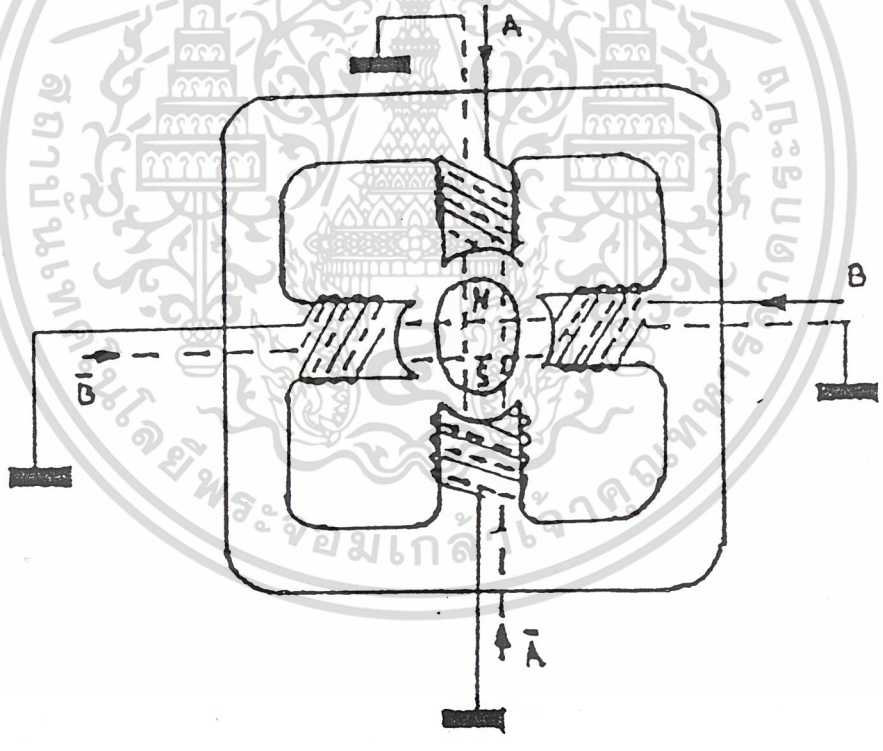
STEPPING MOTOR แบบ PM นั้นจะมี STATOR ที่พันขดลวดไว้หลาย ๆ โพล โดยมีโรเตอร์เป็นรูปทรงกระบอกฟันเลื่อย และ โรเตอร์ทำด้วยแม่เหล็กถาวร เพื่อป้อนไฟ DC ให้กับขด STATOR จะทำให้เกิดแรงผลัดต่อ ROTOR ด้วยอิเลคโตรแมกเนติกฟอร์ส จะทำให้มอเตอร์หมุนมอเตอร์แบบ PM จะเกิดแรงฉุดยึดให้ ROTOR หยุดกับที่ แม้จะไม่ได้ป้อนไฟเข้าขดลวด

ส่วน VR จะมีการหมุน ROTOR ได้อย่างอิสระ แม้จะไม่ได้จ่ายไฟให้ ROTOR ของมันทำจากสารเฟอร์โรแมกเนติกขนาดกำลังอ่อน และ มีลักษณะเป็นฟันเลื่อนรูปทรงกระบอก โดยจะมีความสัมพันธ์ โดยตรงกับจำนวนโพลในสเตเตอร์ และจึงทำหน้าที่กำหนดมุมที่หมุนไปในแต่ละครั้ง เมื่อมีรกป้อนไฟเข้าขดลวดสเตเตอร์แรงบิดที่จะไปหมุนโรเตอร์ ให้หมุนที่หมุนโรเตอร์ ให้หมุนในเส้นทางของอำนาจแม่เหล็กที่มีค่ารีลักแตนซ์ต่ำที่สุด ตำแหน่งที่จะเกิดแน่นอนและมีสเถียรภาพแต่จะเกิดขึ้นได้หลาย ๆ จุด ดังนั้นเมื่อป้อนไฟเข้าขดลวดต่าง ๆ ในมอเตอร์แตกต่างขดกันไป ก็ทำให้มอเตอร์หมุนไปตำแหน่งต่างๆกัน ROTOR ของ VR จะมีความเฉื่อยของโรเตอร์น้อย จึงมีความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

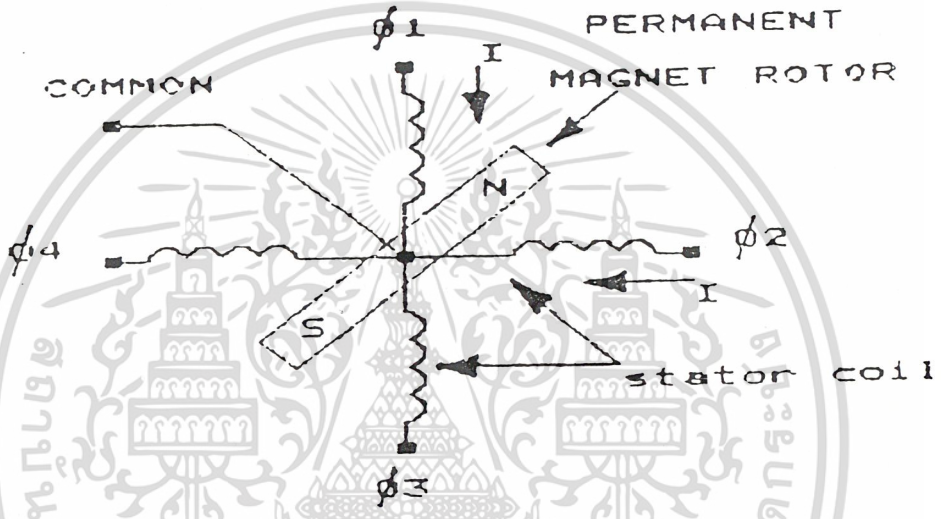
เร็วรอบสูงกว่ามอเตอร์แบบ PM

สำหรับ HYBRID จะเป็นลูกผสมของ VR กับ PM โดยจะมี STATOR คล้ายกับที่ใช้ใน VR สำหรับ ROTOR มีหมวกหุ้มปราย ซึ่งมีลักษณะของสารแม่เหล็กที่มีกำลังสูง โดยการควบคุมขนาดรูปร่างของหมวกหุ้มปราย ซึ่งมีลักษณะของสราแม่เหล็กที่มีกำลังสูง โดยการควบคุมขนาดรูปร่างของหมวกแม่เหล็กอย่างดีทำให้ได้มุมการหมุนแต่ละครั้งน้อยและแม่นยำ ข้อดี ก็คือให้แรงบิดสูง และมีขนาดกระทัดรัดและให้แรงจุดยึด ROTOR นิ่งกับที่ตอนไม่จ่ายไฟ



รูปที่ 3.15 แสดงโครงสร้างภายในของ STEPPING MOTOR แบบหลายขั้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 แสดงโครงสร้างจำลองของ STEPPING MOTOR แบบ 4 เฟส

แสดงโครงสร้างจำลองของ STEPPING MOTOR ชนิด 4 เฟส และตำแหน่งของโรเตอร์ขณะจ่ายไฟฟ้า แก่ $\emptyset_1$ และ $\emptyset_2$

จากลักษณะของมุมโรเตอร์หมุนกับกระแสไฟฟ้าที่ป้อนแก่เฟสต่างๆ เราจะสามารถสั่งงานให้ STEPPING MOTOR หมุนได้ 3 อย่าง คือ

1) แบบจ่ายกระแสไฟให้เฟสเดียววนเวียนกันไปเรียก ONE-EXCITATION หรือ HALF DRIVE คือ Ø1,Ø2,Ø3,Ø4 การ OUT EXCITATION แบบนี้แรงบิดจะน้อย

2) แบบจ่ายกระแสไฟฟ้าให้พร้อมกันทีเดียว 2Ø เรียก TWO-EXCITATION หรือ FULL STEP คือ Ø1Ø2 ,Ø2Ø3,Ø3Ø4,Ø4Ø1, หมุนเวียนกันไปแบบนี้แรงบิดจะมาก

3) แบบจ่ายกระแสไฟให้ทีละ 1 เฟส สลับกับ 2 เฟส เรียก ONE-TWO EXCITATION หรือ HALF STEP เหมือนรูปแสดงมุมของโรเตอร์ แต่แบบนี้จำนวน STEP จะเพิ่มขึ้นเป็น 2 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของสองแบบแรก แต่แรงบิดเฉลี่ยจะน้อย

จากการจ่ายกระแสให้เฟสทั้ง 3 อย่าง เราก็สามารถสั่งให้ STEPPING MOTOR หมุนทวนเข็มได้โดยมองการจ่ายกระแสให้เฟสย้อนกลับ เช่น ตามเข็มนาฬิกาแบบ 1Ø เป็น

ทวนเข็มก็จะเป็น

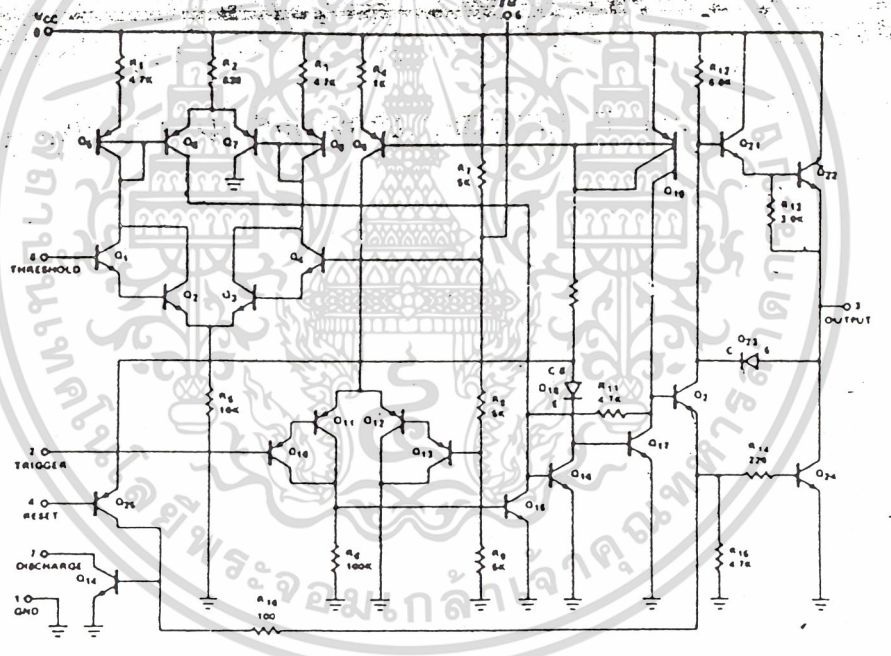
08 04 02 01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMER IC 555

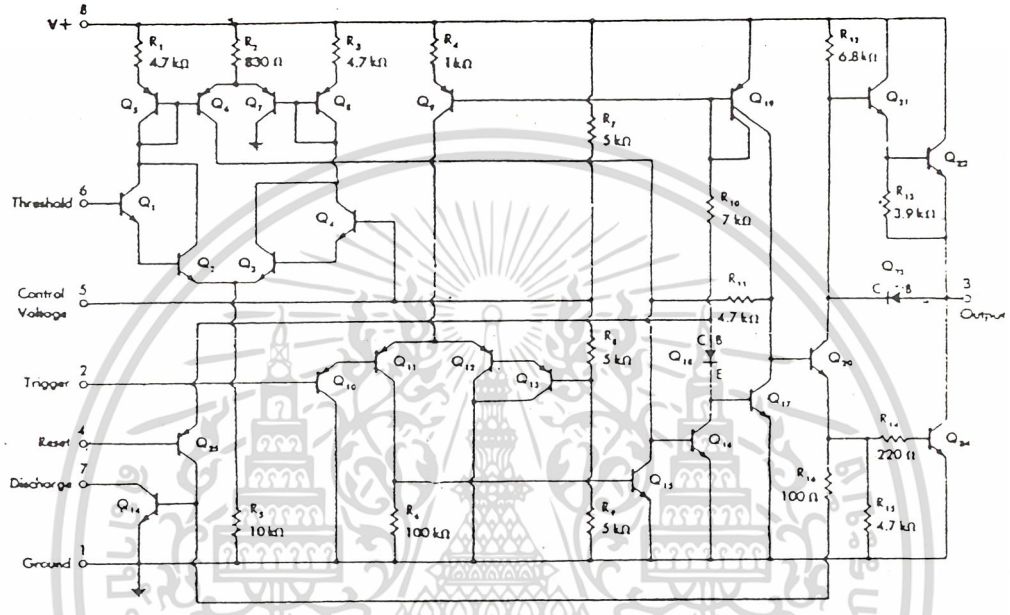
ลักษณะภายในของไอซีเบอร์ 555 แสดงดังรูป

ภายในประกอบด้วยทรานซิสเตอร์กว่า 20 ตัว ตัวต้านทานราว 15 ตัว ทั้งอาจเปลี่ยนแปลงได้ แล้วแต่บริษัทผู้ผลิตวงจรเสมือน ซึ่งใช้เปรียบเทียบของไอซีนี้ ซึ่งเป็นของบริษัทซิกเนติกส์ และของบริษัท RCA ตามลำดับ



รูปที่ 3.17 แสดงภาพวงจรเสมือนของไทม์เมอร์ไอซีเบอร์ 555 จากบริษัทซิกเนติกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 แสดงภาพวงจรเสมือนของไทม์เมอร์ไอซีเบอร์ 555 จากบริษัท RCA

วงจรเสมือนถูกทำให้ง่ายและเขียนเป็นรูปแผนผังได้ดังรูปข้างล่าง โดยแบ่งออกเป็นส่วนต่าง ๆ เช่น

- ส่วนที่ทำหน้าที่ควบคุม
- ส่วนทริกเกอร์และส่วนเปรียบเทียบสัญญาณ
- ส่วนคายประจุและส่วนกำลังที่ OUTPUT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่ออุปกรณ์ภายนอกกับ 8255

ในโครงการนี้ใช้ 8255 2 ตัว คือ U_{10} และ U_{28} โดยทั้ง 2 ตัวจะใช้เป็นทั้งอินพุทและเอาท์พุทพอร์ท โดยกำหนดให้

- PORT A เป็น PORT OUTPUT
- PORT B เป็น PORT INPUT
- PORT C เป็นทั้ง INPUT และ OUTPUT โดย PC_0-PC_3 เป็นINPUT P_4C-PC_7เป็น OUTPUT

โดยเมื่อเป็น OUTPUT จะใช้ในการขับ STEPPING MOTOR ที่ใช้ในการทอนเหรียญและใช้ขับโซลินอยด์ที่ใช้ในการจ่ายสินค้าและรีเซ็ทเคาท์เตอร์ รวมทั้งผลิตสัญญาณพัลส์ในการขับตัวเลข 7 ส่วน เพื่อแสดงจำนวนเงินคืน เมื่อเป็นอินพุทใช้ในการนับค่าต่างๆจากไบนารี่เคาท์เตอร์โดยมาจากส่วนเซ็นเซอร์และส่วนจับเหรียญโลหะ

อุปกรณ์ที่ทำหน้าที่เป็นเอาท์พุทของระบบ

- ส่วนขับโซลินอยด์ไปจ่ายตั๋วและในการเก็บเหรียญ
- ส่วนขับสเตปปิ้งมอเตอร์ในการทอนเหรียญ
- ส่วน RESET COUNTER
- ส่วนแสดงผลโดยใช้ LED และตัวเลข 7 ส่วน

อุปกรณ์ที่ทำหน้าที่เป็นอินพุทของระบบ

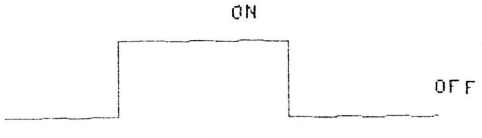
- ส่วนเซนเซอร์เหรียญและส่วนเคาท์เตอร์
- ส่วนเช็คเหรียญโลหะและส่วนเคาท์เตอร์
- ส่วนตรวจสอบว่ามีการเอาเงินคืนหรือไม่
- ส่วน SWITCH เลือกสินค้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดของวงจรส่วนที่เป็น OUTPUT ของวงจร

- ส่วนที่ขับโซลินอยด์ไปจ่ายสินค้าใช้ 8255 [U_{28}] PA_0-PA_7 ซึ่งเราให้เป็นเอาท์พุท PORT มีการต่อดังรูป ลักษณะการควบคุมโซลินอยด์นี้ โดยการใช้ซอร์ฟแวร์ควบคุมในลักษณะส่งพัลส์มาให้ TRANSISTOR เพื่อไปขับโซลินอยด์ คือ เมื่อมี OUTPUT จาก 8255 มีสภาวะ "1" จะทำให้โซลินอยด์ทำงานได้ แต่ถ้ามีสภาวะเป็น "0" จะทำให้โซลินอยด์ไม่ทำงาน

รูปที่ 3.19 แสดงวงขับโซลินอยด์

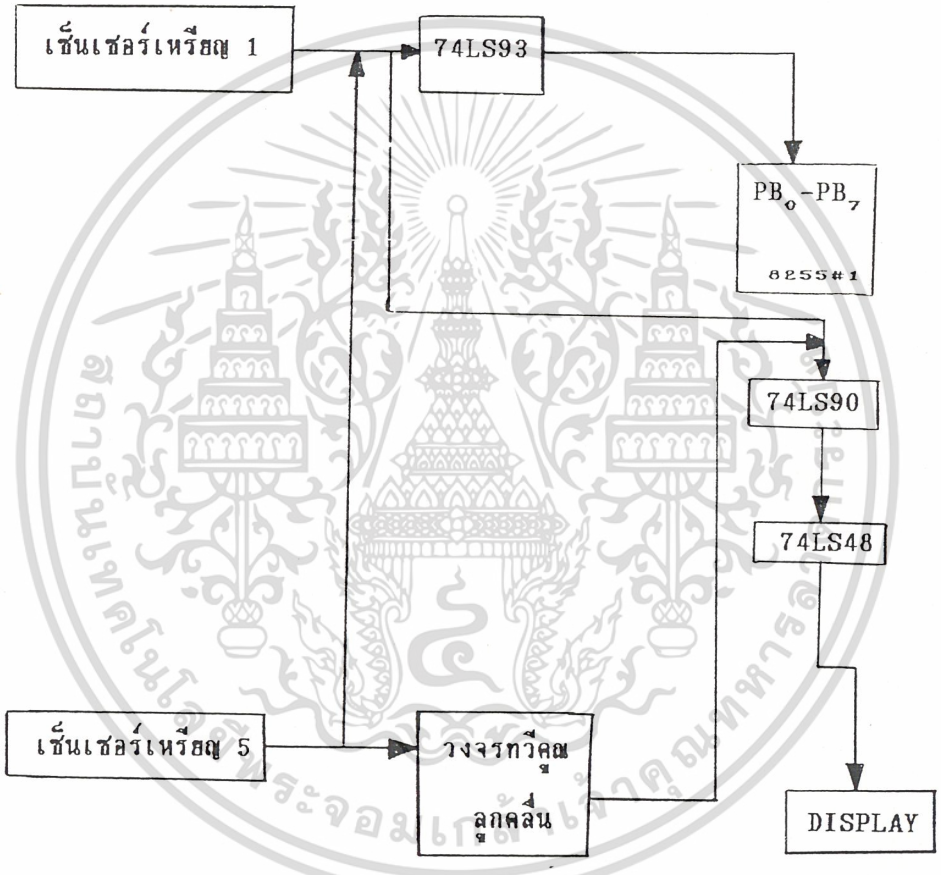


รูปที่ 3.20 แสดง OUTPUT จาก 8255 ที่นำไปขับโซลินอยด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนแสดงผลโดยใช้ตัวเลข 7 ส่วน

ส่วนแสดงผลโดยใช้ตัวเลข 7 ส่วนของจำนวนเงินหยอด แสดงได้ดังบล็อกไดอะแกรมดังต่อไปนี้



รูปที่ 3.21 บล็อกไดอะแกรมแสดงการทำงานของเครื่องมือมีการหยอดเงิน

โดยที่ 74LS93 คือ ไบนารี่เคาท์เตอร์ [BINARY COUNTER]

74LS90 คือ ดีเคดเคาท์เตอร์ [DECADE COUNTER]

74LS48 คือ ไอซีเปลี่ยนตัวเลข BCD ไปเป็นรูปแบบตัวเลข 7 ส่วน และแสดงผลเป็นชนิด LED แบบตัวเลข 7 ส่วน

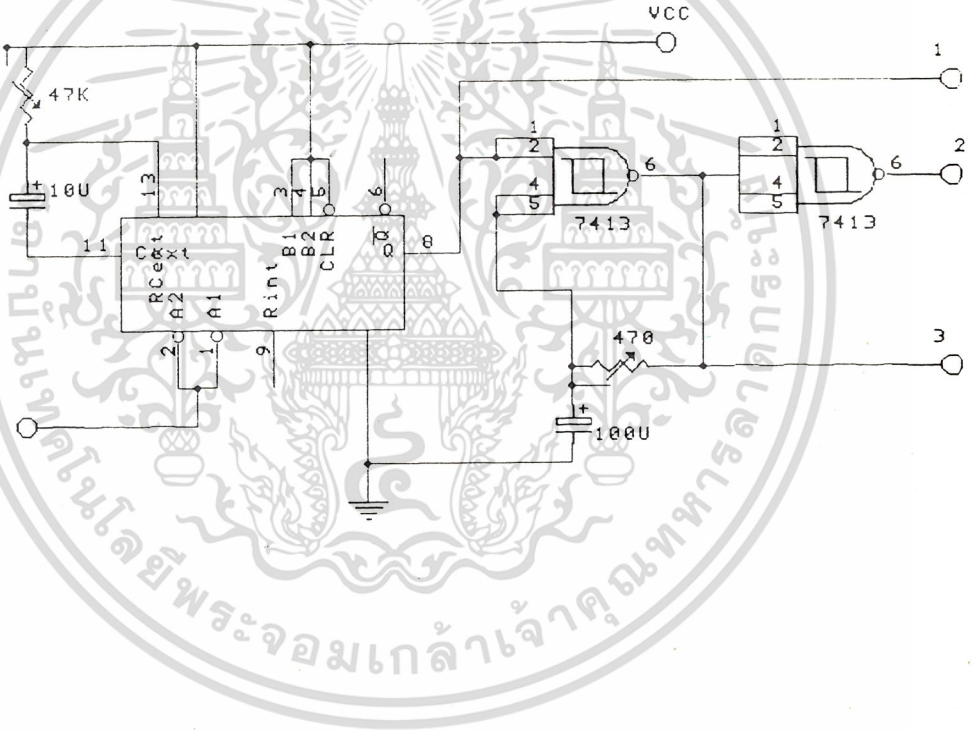
ส่วนแสดงผลจากการหยอดเหรียญบาท เอาสัญญาณอินพุทมาจากเซ็นเซอร์โดยตรง แต่จะผ่าน ไอซี 74LS05 เพื่อช่วยจ่ายกระแสให้มากขึ้น แล้วมาเข้า 74LS90 ทั้ง 2 ตัว เพื่อแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็น LED ตัวเลข 7 ส่วน

ส่วนแสดงผลจากการหยอดเหรียญห้าบาท เอาสัญญาณมาจากวงจรทวีคูณลูกคลื่น แล้วไปเข้า 74LS90 ทั้ง 2 ตัว เพื่อไปแสดงผลเป็น LED ตัวเลข 7 ส่วน

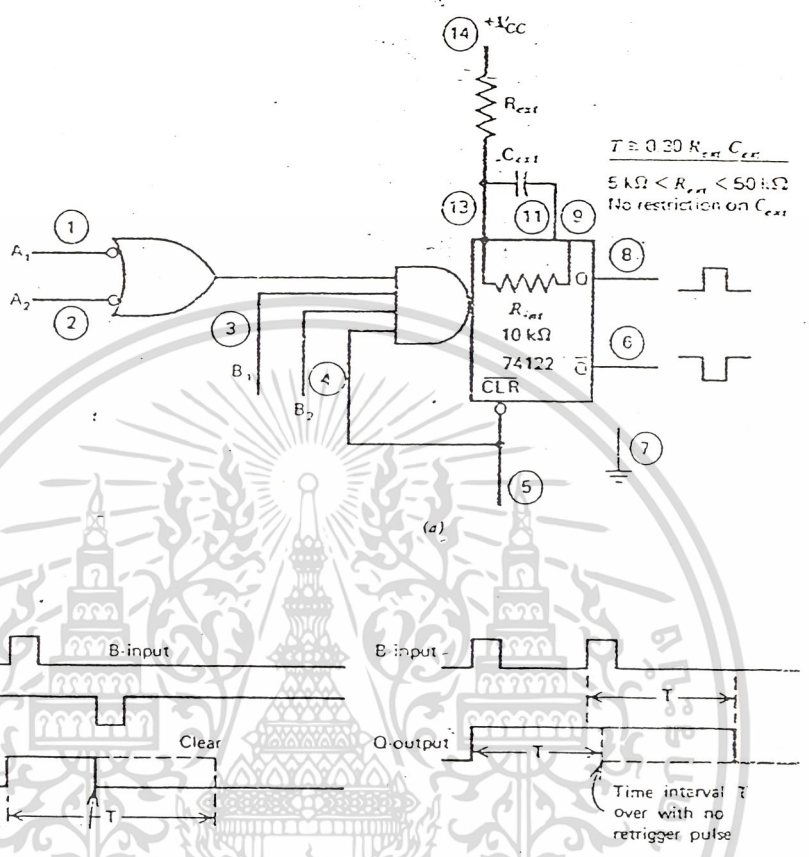
ส่วนของวงจรทวีคูณลูกคลื่นที่ใช้เป็นดังรูป



รูปที่ 3.22 ภาพแสดงส่วนวงจรทวีคูณคลื่น

ซึ่งในที่นี้เราจะทวีคูณจาก 1 ลูก เป็น 5 ลูกคลื่นโดยใช้ไอซีเบอร์ 74LS122 ซึ่งเป็นไอซีโมโนสเตเบิ้ลรีทริกเกเบิ้ล [MONOSTABLE RETRIGGERABLE] โดยใช้งานร่วมกับ ไอซี SMITT TRIGGER โดยมีลักษณะภายในของ 74LS122 และสัญญาณการทำงานเป็นดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

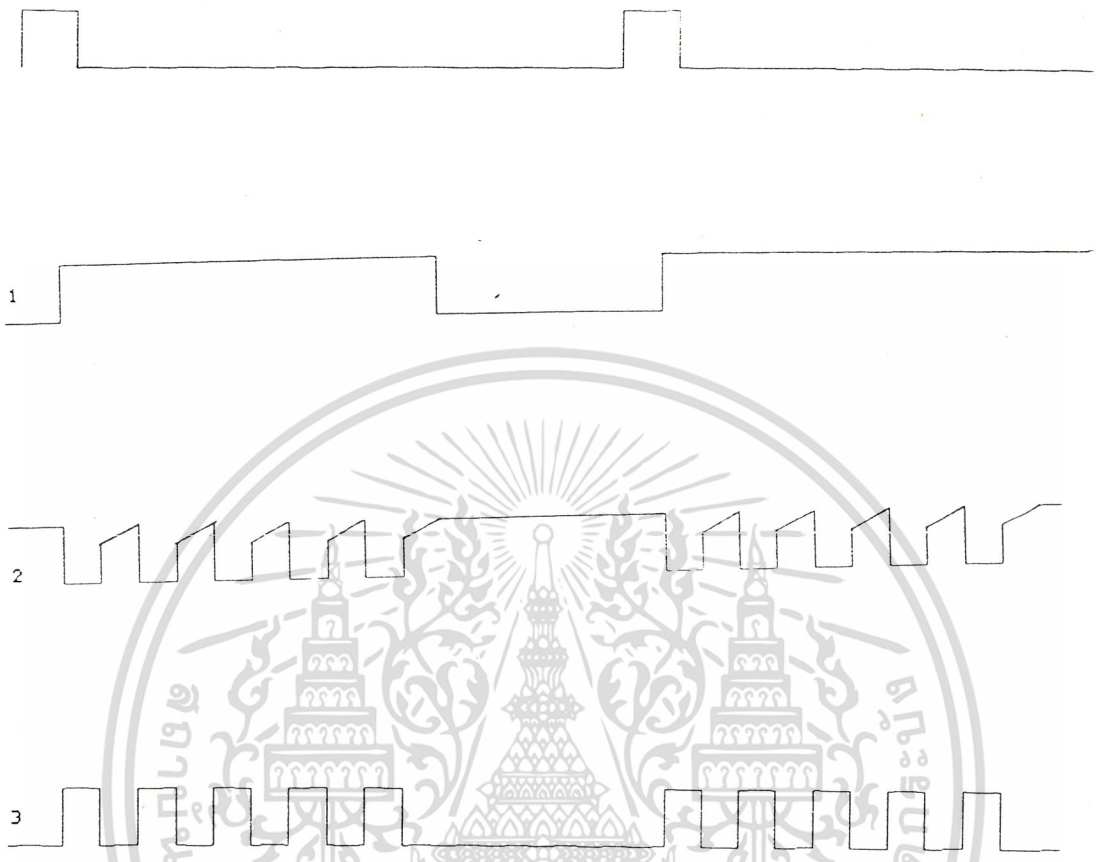


รูปที่ 3.23 รูปแสดงลักษณะภายในของ 74LS122 และสัญญาณทำงาน

A_1, A_2 เป็นส่วนรับสัญญาณทริกที่ทำงานทริกขอบขาลงเมื่อ B_1, B_2 ต่อกับ VCC แต่ถ้า A_1, A_2 ต่อ GROUND B_1, B_2 จะเป็นตัวรับสัญญาณทริก ทำงานที่ขอบขาขึ้น ส่วนขา CLR ก็จะรีเซ็ท 74LS122 ทันทีเมื่อได้รับลอจิก "0" ซึ่งในวงจรนี้จะให้ A_1, A_2 เป็นขารับสัญญาณทริกที่ขอบขาลงโดยต่อ B_1, B_2 กับ VCC และไม่มีการ CLEAR

การทำงานของวงจรนี้ สามารถควบคุมให้ทำงานและหยุดด้วย วงจรโมโนสเตเบิ้ล (74LS122) โดยการจุดชนวนจากขอบขาลงของสัญญาณที่ป้อนเข้ามาดังรูปข้างล่างเมื่อพิจารณารูปคลื่น หมายเลขที่ 1 ในรูป วิธีนี้ชมิตด์ทริกเกอร์ (S_1) จะทำงานเฉพาะในเวลาที่กำหนดโดยโมโนสเตเบิ้ลเท่านั้นคาบเวลานี้ปรับได้ที่ P_1 และความถี่จากชมิตทริกเกอร์เกต S_1 กำหนดโดย P_2 ในกรณีเช่นนี้ พัลส์ที่เข้ามาเพียง 1 ลูก จะสร้างพัลส์ออกไปได้หลายลูกชมิตด์ทริกเกอร์ S_2 อีกตัวหนึ่งใช้เป็นเพียงทางผ่านโดยให้สัญญาณออกมาเป็นลูกคลื่นหมายเลข 3 ตามรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



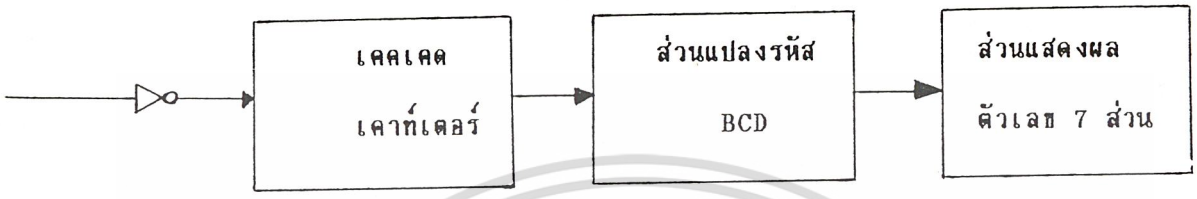
รูปที่ 3.24 รูปแสดงสัญญาณการทำงานของวงจรทวีคูณลูกคลื่น

ก่อนใช้งานจะต้องปรับความต้านทาน P_1 เพื่อให้จำนวนพัลส์สูงสุดที่ผ่านออกมา ได้ยังคงถูกต้องอยู่ หากการทำงานของโมโนสเตเบิ้ลนานเกินไป ไอซีเบอร์ 74LS122 จะกลายเป็นตัวหารความถี่ไปแทน ซึ่งเราไม่ต้องการเมื่อตั้ง P_1 จนได้ค่าที่ถูกต้องแล้วให้จำนวนเท่าของพัลส์ที่ต้องการถูกต้องด้วย

ส่วนแสดงการทอนเหรียญ

ใช้ลักษณะเดียวกับส่วนหยอดเหรียญแต่ใช้ CPU ควบคุมโดยผ่านทางพอร์ท (PC_0) 8255 ในลักษณะส่งพัลส์ออกมา 1 ลูก ตัวเลข 7 ส่วนก็จะเพิ่มค่าขึ้น 1 ค่า ดังแสดงการทำงานดัง BLOCK DIAGRAM ข้างล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 บล็อกไดอะแกรมของแสดงการส่วนทอนเหรียญ

จะเห็นว่ามีอินเวิร์ทเตอร์ต่ออยู่ระหว่าง PC_6 ของ 8255 [U_{20}] เพราะว่าเราไม่ต้องการให้เคาท์เตอร์นับตอนที่ยังไม่มีการสั่งทางซอร์ฟแวร์

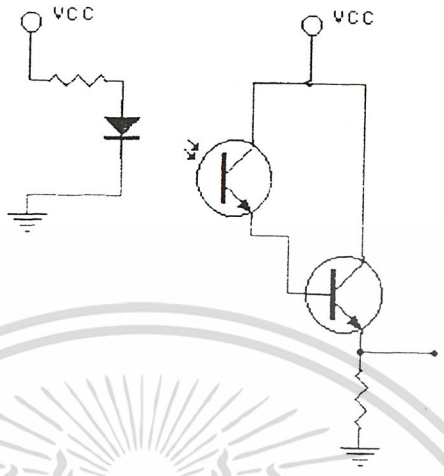
ตอนเริ่มเปิดเครื่องครั้งแรกจะมีการรีเซ็ท Z-80 รวมถึง 8255 ด้วย ซึ่งจะทำให้สภาวะของทุกพอร์ทของ8255เป็นสภาวะลอยตัว (z) โดยไอซีเคาท์เตอร์นี้ จะมองเป็นสภาวะ "1" และเมื่อป้อนคำสั่งควบคุมไปให้แก่รีจิสเตอร์ควบคุมของ 8255 จะทำให้สภาวะพอร์ทเอาท์พุทมีสภาวะเป็น "0" ซึ่งมีลักษณะเปลี่ยนจาก "1" เป็น "0" ป้อนให้เคาท์เตอร์ ซึ่งมีผลทำให้เคาท์เตอร์เริ่มนับ 1 ค่า โดยที่เรายังไม่ต้องการนับ ดังนั้นเราจึงใช้อินเวอร์เตอร์ต่อดังรูป เพื่อให้มีลักษณะตรงข้ามคือเปลี่ยนจากสภาวะ "0" เป็น "1" ซึ่งจะไม่ทำให้เคาท์เตอร์นับ และสภาวะทางอินพุทของเคาท์เตอร์นี้จะเป็น "1" ตลอดไปจนกว่าจะมีคำสั่งทางซอร์ฟแวร์มาควบคุมให้มีการเริ่มนับ

รายละเอียดของส่วนที่เป็นอินพุทของระบบ

<u>ส่วนเซ็นเซอร์เหรียญและส่วนเคาท์เตอร์</u>

เราใช้ส่วนเชื่อมโยงทางแสง [OPTO COUPLER] มาเป็นส่วนตรวจเช็คการหยอดเหรียญ มีวงจรดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.26 ส่วนเซ็นเซอร์เหรียญ

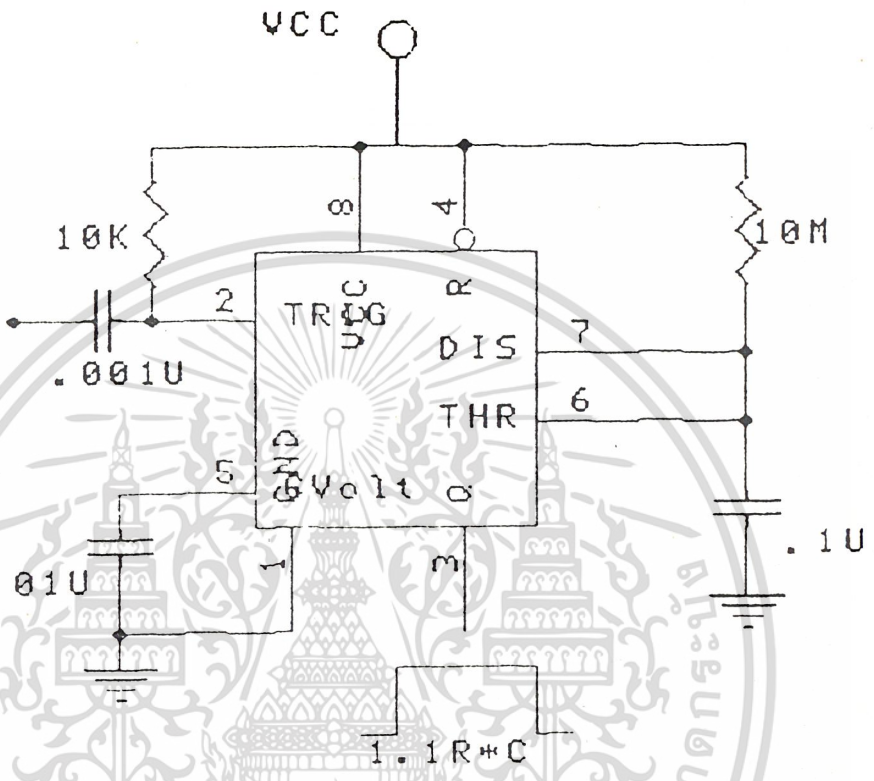
ซึ่งปกติเอาท์พุทจะมีสภาวะเป็น "1" แต่เมื่อมีเหรียญตัดผ่านเอาท์พุทของส่วนเซ็นเซอร์จะมีสภาวะเป็น "0" ซึ่งส่งผลทำให้เคาท์เตอร์เริ่มนับได้ซึ่งส่วนเคาท์เตอร์นี้เราใช้ 74LS93 เป็นตัวนับ โดยจะนับแบบไบนารี่เคาท์เตอร์ส่งต่อไปให้ 8255 ซึ่ง 74LS93 จะเป็นตัวนับเหรียญบาท และ 74LS93 จะเป็นตัวนับเหรียญห้า การใช้เคาท์เตอร์ในการนับนี้สะดวกมากเพราะค่าที่นับได้จะแลช (LATCH) ที่เอาท์พุทของเคาท์เตอร์ทำให้ CPU ไปทำงานอย่างอื่นได้ โดยไม่จำเป็นต้องอ่านค่าที่อินพุทตลอดเวลา

<u>ส่วนตรวจสอบเหรียญโลหะและส่วนเคาท์เตอร์</u>

ใช้ 74LS93 ซึ่งเป็นไบนารี่เคาท์เตอร์โดย U_9 ตรวจนับเหรียญห้าบาท และ U_{11}ตรวจนับเหรียญบาท ซึ่งอินพุทของ 74LS93 ทั้งสองตัวนี้ถูกป้อนมาจาก TIMER 555 (U_{12},U_{13})โดยในวงจรนี้ จะมีลักษณะการทำงานแบบโมโนสเตเบิ้ลมัลติไวเบเตอร์ได้สัญญาณทริกมาจากเหรียญโลหะที่กระทบตัวตรวจจับ ถ้าไม่ใช่เหรียญโลหะก็จะไม่มีสัญญาณไปทริก TIMER 555 ซึ่งมีผลทำให้ 74LS93 ไบนารี่เคาท์เตอร์ที่ต่ออยู่กับ TIMER นั้นไม่มีการนับ ซึ่งก็คือ ค่าที่ได้การนับของเคาท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เตอร์ที่ต่อกับ 8255 ทั้ง 2 ตัวมีค่าไม่เท่ากัน ดังนั้นจึงสามารถตรวจสอบเหรียญได้ว่าเป็นโลหะหรือไม่



รูปที่ 3.27 วงจรโมโนสเตเบิ้ล

พิจารณาจากรูปข้างบน ขา OUTPUT PIN 3 ของ TIMER ปกติ จะมีสภาวะเป็น "0" แต่เมื่อมีสัญญาณทริกที่ขา 2 (ซึ่งเกิดจากการหยอดเหรียญโลหะมากระทบกับตัวตรวจจับ) จะมีผลให้ TIMER 555 ผลิตพัลส์ออกมา 1 ลูก เป็นเวลานานเท่ากับ

$$T = 1.1[R_1][C_1]$$

ดังนั้นไม่ว่าเหรียญจะตกกระทบตัวตรวจจับกี่ครั้งก็ตาม ถ้าอยู่ในช่วงคาบเวลานี้ TIMER 555 ก็จะให้เอาท์พุทออกมาเพียง 1 ลูกเท่านั้น

ในวงจรนี้จะเห็นว่า เราต้องขา 4 กับ VCC เพื่อป้องกันไม่ให้เกิดสัญญาณทริกใดๆเข้ามาที่ขา 4 ได้ และสำหรับขา 5 นี้ เป็นขาควบคุมแรงดัน [CONTROL VOLTAGE] การเปลี่ยนแปลงแรงดันที่ขา 5 นี้ จะมีผลทำให้ช่วงเวลาต่าง ๆ เปลี่ยนแปลงไปด้วยและช่วงเวลาหน่วงของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนี้ไม่เป็นไปตามสมการ $T = 1.1[R_1][C_2]$ ดังนั้น ในกรณีที่ไม่จำเป็นต้องใช้ขา 5 นี้ เราจะต่อขา 5 นี้ผ่านตัวเก็บประจุมีค่าประมาณ 0.01 ไมโครฟารัดกับจุดดิน เพื่อเป็นการป้องกัน สัญญาณรบกวนใด ๆ ที่ไม่ต้องการ ผลของการคำนวณความกว้างของพัลส์ที่เอาท์พุท จึงจะไม่ผิดพลาดหรือผิดพลาดน้อยที่สุดจากสมการ $T = 1.1[R_1][C_1]$ ซึ่งเป็นเวลาหน่วง

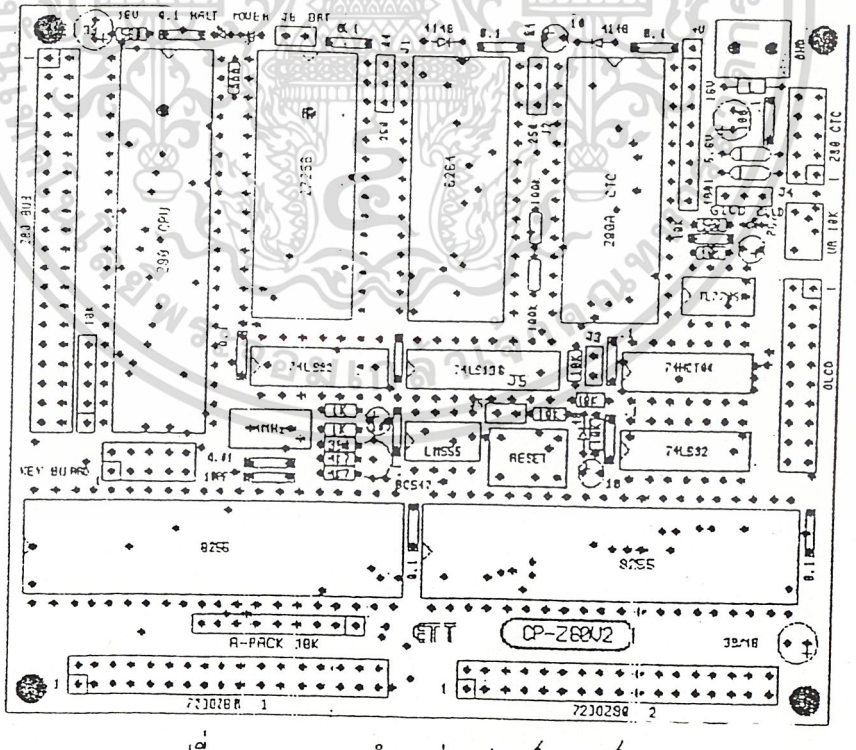
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

Z-80 CONTROLLER BOARD

Z-80 CONTROLLER BOARD เป็นชุดที่ทำการควบคุมการทำงานทั้งหมดของเครื่อง โดยใช้ CPU เบอร์ Z-80 ประจำบอร์ด ซึ่งเป็น CPU ยอดนิยมภายในบอร์ด จะประกอบด้วยส่วนต่าง ๆ ดังนี้

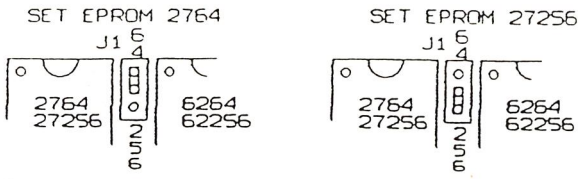
CPU ใช้ CPU ยอดนิยม Z-80 เป็น CPU ประจำบอร์ดโดยเราใช้เบอร์ Z84C00-5 ของ ZILOG ซึ่งเทียบเท่า Z-80 B แบบ CMOS เท่าใช้กินกำลังงานต่ำสามารถต่อใช้กับความถี่ได้สูงสุด 6 MH_z แต่ในบอร์ดนี้ เราจะใช้ความถี่ 4 MH_z เพื่อไม่จำเป็นต้องใช้ ROM หรือ EPROM ที่มี ACCESS TIME น้อย ๆ มากนักก็ได้ แต่ถ้าผู้ใช้จะเปลี่ยนใช้บอร์ดนี้ RUN 6 MH_z ก็ได้โดยการเปลี่ยนจาก X'TAL 4 MH_z ของเดิมเป็น 6 MH_z เท่านั้น



รูปที่ 4.1 แสดงตำแหน่งอุปกรณ์บนบอร์ดควบคุม

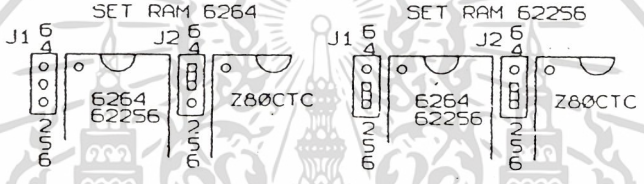
ROM หรือ EPROM โดยบอร์ดจะต่อใช้ EPROM เป็น MONITOR PROGRAM ได้ 2 เบอร์ 2764 หรือ เบอร์ 27256 โดยการเลือก JUMPER J1 หน่วยความจำนี้จะ DECODE อยู่ระหว่าง ADDRESS 0000H ถึง 7FFFH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงการ Jump (J1) ตำแหน่งเพื่อเลือกเบอร์ ROM

RAM Z-80 CONTROLLER BOARD จะต่อเลือกใช้หน่วยความจำ RAM ได้ 2เบอร์ด้วยกัน คือเบอร์ 6264 ขนาด 8K BYTE หรือ เบอร์ 62256 ขนาด 32 K BYTE โดยการเลือกใช้ JUMPER J2 ดังรูป

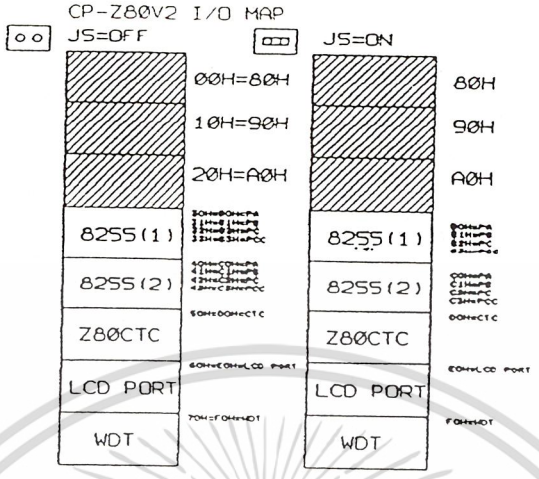


รูปที่ 4.3 แสดงการ Jump (J2) ตำแหน่งเพื่อเลือกเบอร์ RAM

หน่วยความจำนี้จะ DECODE อยู่ในตำแหน่ง 8000H ถึง FFFFH ใน RAM นี้ยังสามารถต่อใช้เก็บข้อมูลได้ในกรณีไฟดับโดยต่อใส่ BATTERY ขนาดเล็ก 3 V แบบตัวกลมใหญ่ BACK UP ข้อมูลใช้ J6 [BAT] ในการ ON/OFF BATTERY

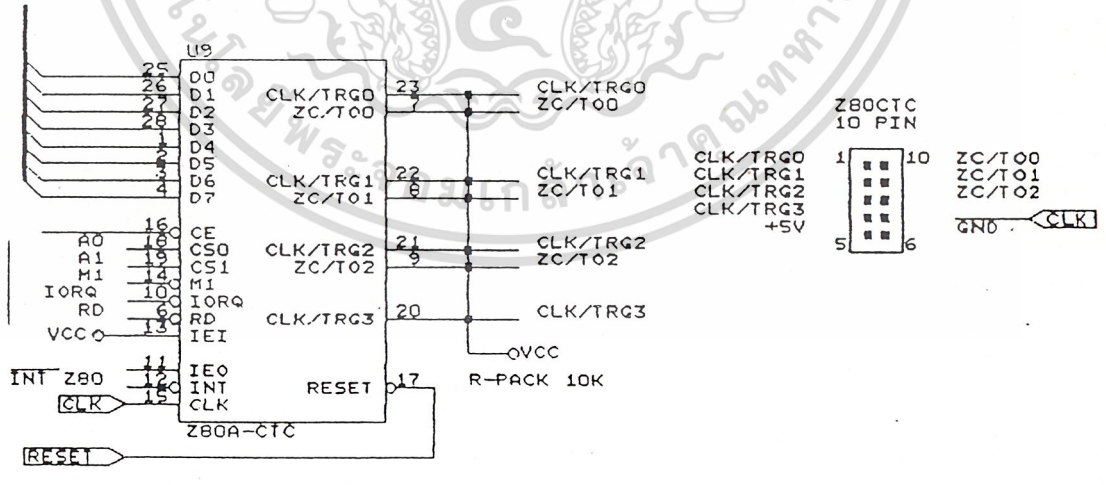
PORT Z-80 CONTROLKER BOARD จะมี IC PORT 8255 ให้ใช้งานได้ 2 ตัว หรือ 6 PORT ต่อใช้งานโดยจะต่อออก PORT ทางขั้ว 34 PIN มาตราฐาน ETT 2 ชุด ทำให้สามารถเลือกใช้ต่อกับอุปกรณ์บอร์ดต่าง ๆ ของ อีทีที ได้มากมาย เช่น ET-SSRAC,ET-SMCC,ET-AD นอกจากยังมีการต่อขั้ว PIN จาก PORT C ของ 8255 ให้สามารถเลือกต่อ KEY BOARD ขนาด 4*4 [KEY] ได้ด้วยตำแหน่งการ DECODE นั้น เราสามารถใช้ J5 ซึ่งต่อจาก ADDRESS [A7] DECODE ตำแหน่งเบอร์ได้ 2 แบบ ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดง CP-Z80 V2 I/O MAP

CTC จะใช้ไอซีของบริษัท ZILOG เบอร์ Z84 30 เป็น CTC ประจำเบอร์ดซึ่งเป็น IC แบบ 4 MH_z Z-80 CONTROLLER BOARD จะต่อขาใช้งานของ CTC ออกมาที่ CONNECTOR 10 PIN ดังรูปส่วนขา INT ของ CTC นั้นจะต่อเข้ากับ INT ของ Z-80 โดยตรง



รูปที่ 4.5 แสดงตำแหน่งขาของ Z80-CTC และ Z80 CTC 10 PIN

WDT [WATCH DOG TIMER] เป็นวงจรจากไอซี 555 ที่จะคอย RESET CPU อยู่ตลอดเวลาตามค่าเวลา ถ้าไม่มีการเรียกโปรแกรมที่จะมาทำการ DISABLE WATCH DOG ในวง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จรนี้จะอยู่ที่ตำแหน่ง 70H หรือ F0H โดยเราอาจจะปรับเปลี่ยนค่าเวลาของวงจร WATCH DOG TIMERได้ด้วย R3,R4 และ C4 และถ้าเราไม่ต้องการใช้วงจร WDT นี้ก็สามารถ SET JUMPER J3 โดยถอด J3 ออกก็ได้ค่าเวลา WDT จะ SET ไว้ประมาณ 1 นาที

* ลักษณะการใช้งาน WDT นี้ศึกษาได้จากโปรแกรมตัวอย่างท้ายเล่ม *

[WATCH DOG เป็นลักษณะวงจรที่จะทำการ RESET CPU อยู่เสมอตามค่าเวลาที่เรากำหนดซึ่งถ้าเราไม่ทำการ DISABLE WATCH DOG ภายในเวลากำหนด CPU นั้นจะถูก RESET เช่นในโปรแกรมทำงานปกติ เราจะ CALL DISABLE DOG อยู่เสมอแต่ถ้า CPU กำลัง RUN อยู่นั้นเกิดมีสัญญาณรบกวนขึ้นทำให้สามารถ RUN โปรแกรมตามปกติที่มีการเรียกใช้ CALL DISABLE WATCH DOG ได้ CPU ก็จะเกิดการ RESET ขึ้นทันทีเพื่อให้ CPU กลับไปเริ่มต้น RUN โปรแกรมอีกครั้งหนึ่ง]

<u>40 PIN Z-80 BUS</u> สามารถต่อขยายบอร์ดได้ทาง 40 PIN Z-80 BUS โดย 40 PIN Z-80 BUS นี้จะมีขาต่อออกมาเช่นเดียวขาของ CPU Z-80 ทุกประการ

<u>POWER SUPPLY</u> Z-80 CONTROLLER BOARD นี้จะต่อใช้ POWER SUPPLY +5V โดยใช้ไฟ +5V DC โดยต่อให้ถูกขั้วด้วยจะมี DIODE 1N4001 ต่อกันการต่อกลับขั้วไว้และใช้ ZENER DIODE 5.6V ต่อกันในกรณีไฟเกิน 5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปการวิจัยและข้อเสนอแนะ

จากการทดลองในส่วนของการเช็คเหรียญ ซึ่งสามารถเช็คเหรียญบาทและเหรียญห้าบาทได้อย่างถูกต้อง โดยมีการตรวจจับเหรียญแล้วส่งสัญญาณให้วงจรนับ เช่น เมื่อหยอดเหรียญห้าบาท วงจรนับจะนับห้าบาทไปแสดงผลที่ 7 SEGMENT แต่ถ้าหยอดเหรียญบาท วงจรนับจะนับเหรียญบาทและไปแสดงผลที่ 7 SEGMENT เช่นกัน ส่วนแสดงผลจะแสดงผลตามจำนวนเงินที่หยอดลงไป และในส่วนของสินค้า เมื่อเราหยอดเงินไปแล้ว ส่วนแสดงผลจะแสดงจำนวนเงิน ซึ่งพร้อมที่จะให้เราเลือกสินค้า โดยการเลือกกดปุ่มที่มีให้ตามราคาสินค้า เช่น จำนวนเงินที่เราหยอดเป็น 3 บาท เราจะเลือกสินค้าได้ 1 ชนิด ชนิดใดก็ได้ เมื่อเรากดปุ่มเลือกสินค้า สินค้าก็จะไหลออกมาที่ช่องจ่ายสินค้า พร้อมส่วนแสดงผลรีเซ็ทเป็นศูนย์ แต่ถ้าส่วนแสดงผลเป็น 5 บาท (โดยการหยอดเหรียญ 5 บาท) ถ้าเรากดเลือกสินค้า ส่วนแสดงผลเงินทอน จะปรากฏเลข 2 (จำนวนเงินที่ต้องทอน) พร้อมกับจ่ายเงินทอนให้จนครบ 2 บาทแล้ว สินค้าก็จะไหลออกมาพร้อมกับรีเซ็ทส่วนแสดงผลเป็นศูนย์ คือ การเริ่มใหม่

ปัญหาของโครงงานนี้

1. เมื่อเราหยอดเงินลงไปแล้ว ไม่สามารถที่จะเอาเหรียญคืนได้ (ทางด้านกลศาสตร์)
2. ถ้าหยอดเงินเกินราคาสินค้า เครื่องจะจ่ายสินค้าออกมา
3. ปัญหาเหล่านี้เราสามารถแก้ไขโดย แก้ไขส่วนทางด้านกลไกและออกแบบส่วนอื่น ๆ ให้ดีพอ

ข้อเสนอแนะ

เราสามารถนำโครงงานนี้ไปดัดแปลงกับการขายอัตโนมัติอื่นได้ เช่น เพิ่มจำนวนชนิดให้มากขึ้น , เพิ่มส่วนคืนเหรียญ , สามารถเลือกสินค้าได้หลายชนิด ในกรณีที่เราหยอดเงินไปมากกว่าราคาสินค้าชิ้นเดียว, เครื่องแลกธนบัตรเป็นเหรียญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. ก้องเกียรติ ณ สีมา ทฤษฎีและการใช้งานไทม์เมอร์ ไอซี 555 บริษัท อีเลคทรอนิคส์เวิลด์ พิมพ์ครั้งที่ 2 มกราคม 2528

2. วิบูลย์ ชื่นแขก ไมโครโปรเซสเซอร์ สถาบันเทคโนพระจอมเกล้าพระนครเหนือ พิมพ์ครั้งที่ 2 กรกฎาคม 2532

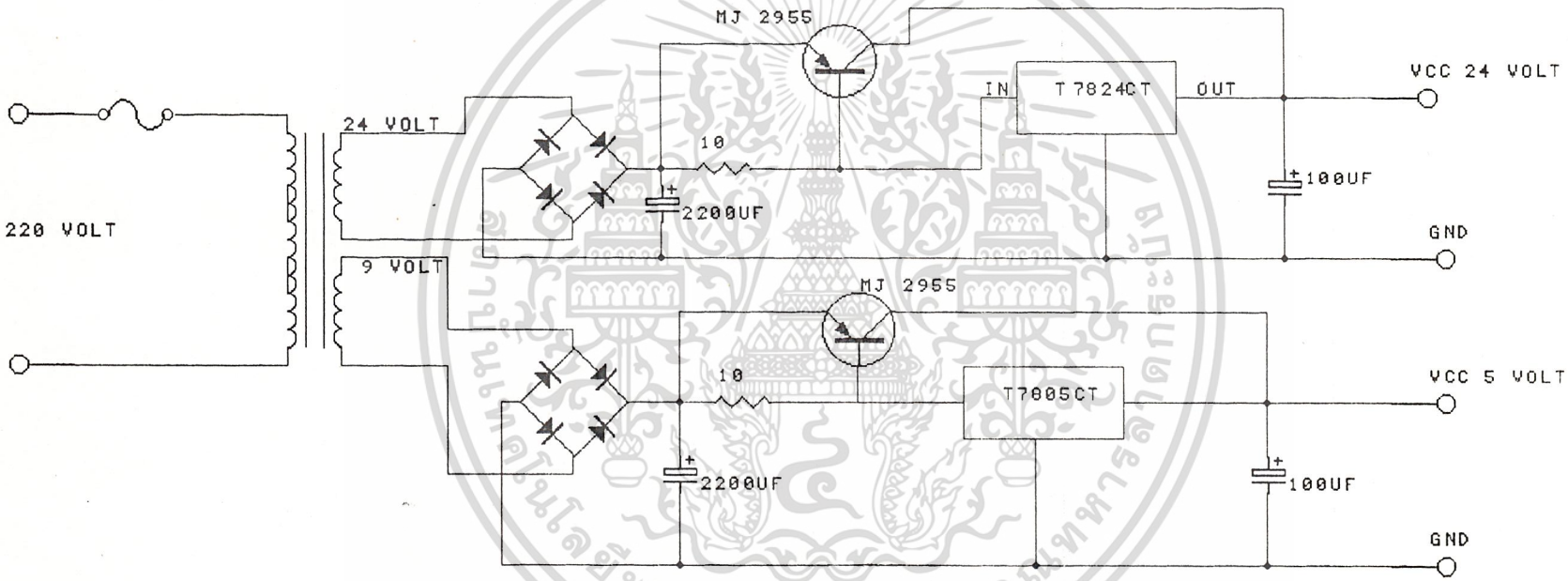
3. ชูชัย ธนสารตั้งเจริญ , ดนัย แสงสุริยศิลป์ , ทินกร ดุ๊ก , ชงชัย อุดมกิจโกศล การใช้งาน Z80 หจก.สำนักพิมพ์ฟิสิกส์เซ็นเตอร์

4. กฤษดา ณ ตะกั่วทุ่ง , ธนาวุฒิ ไกรฤทธิกุล , กฤษณ กอวัฒนา , สมยศ โลหะวิท ยาวิกรานต์ 300 วงจร บริษัท ซีเอ็ดยูเคชั่น จำกัด

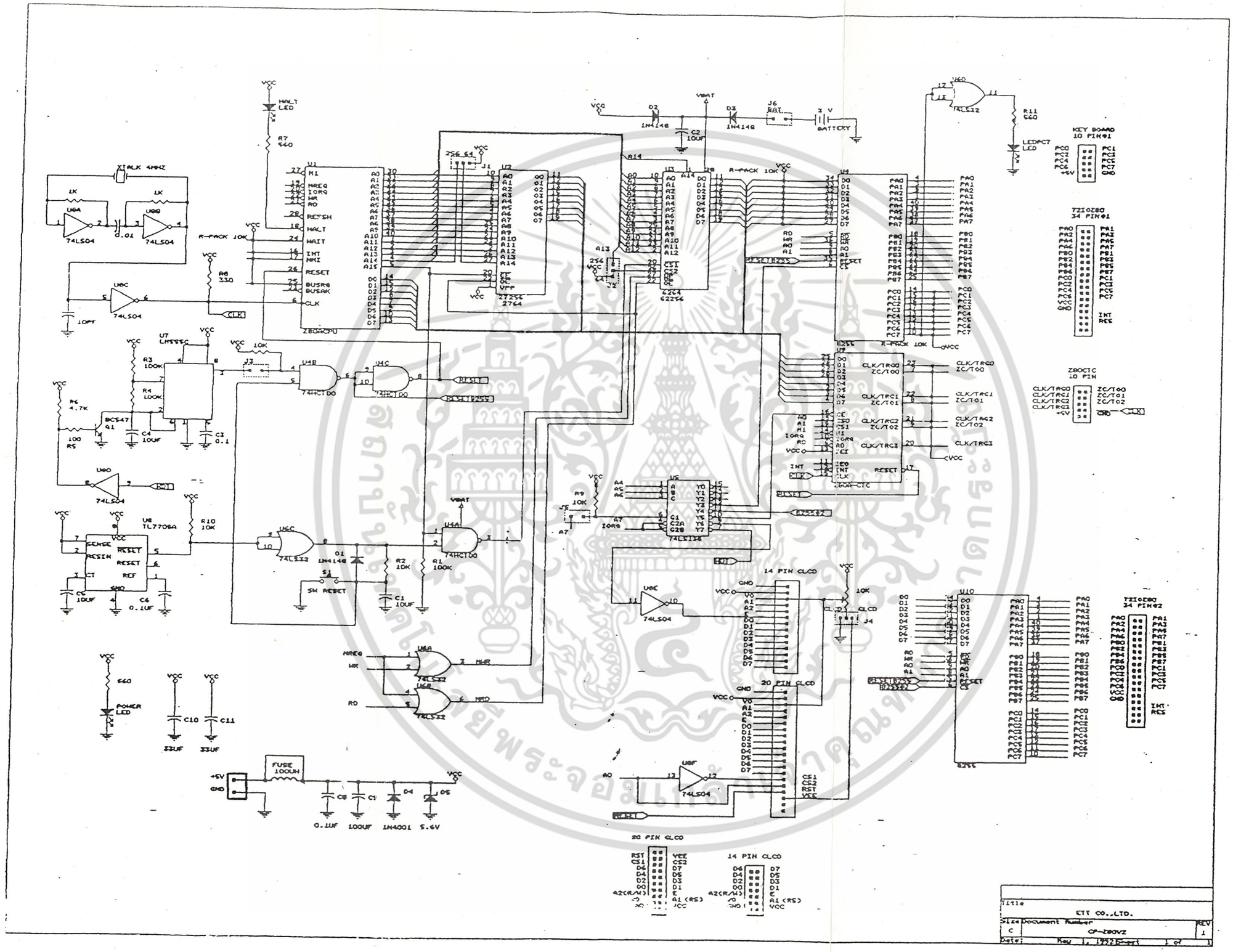
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

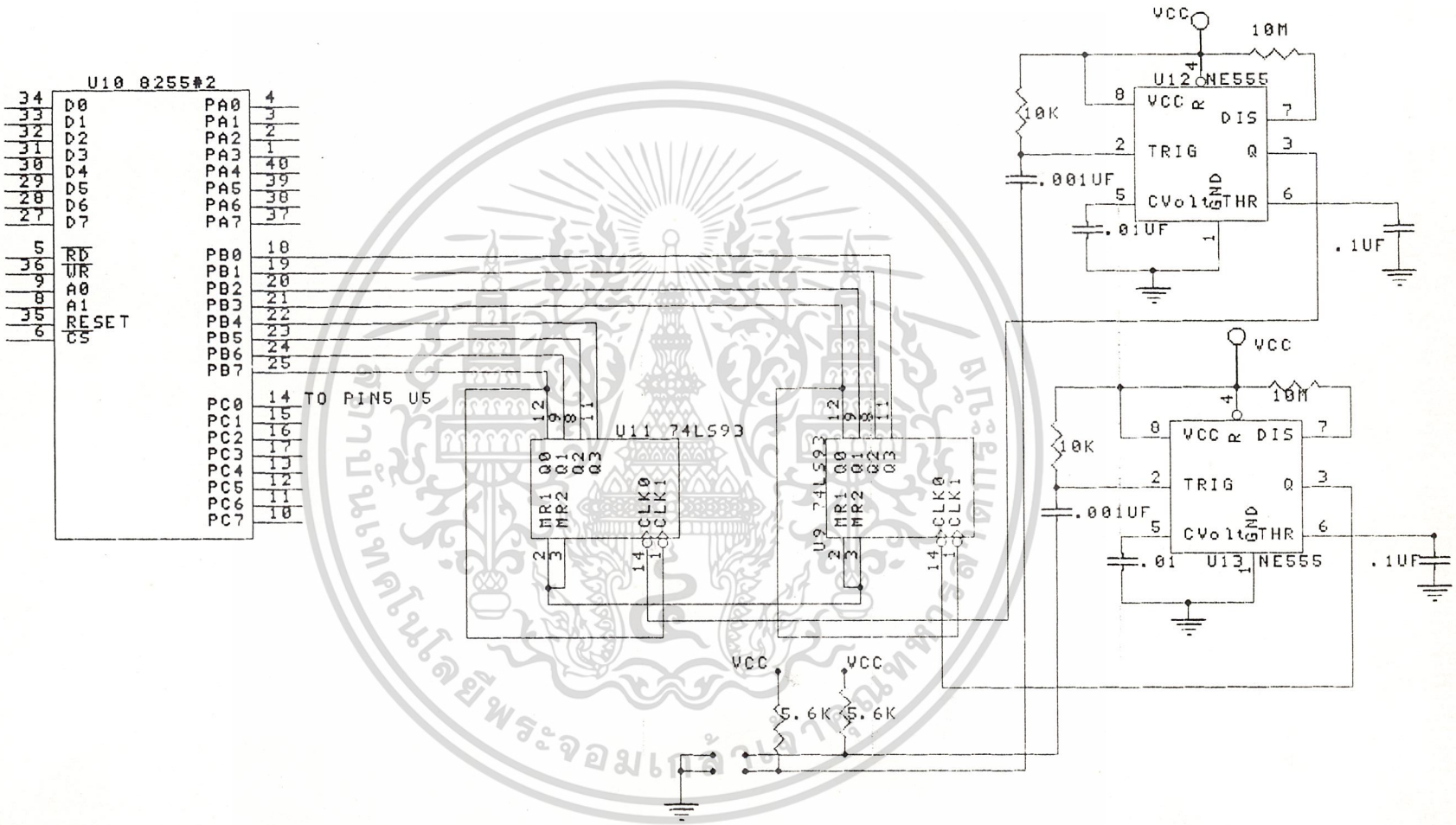
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


MJ 2955
IN
T7824CT
OUT
VCC 24 VOLT
24 VOLT
10
100UF
2200UF
220 VOLT
GND
9 VOLT
MJ 2955
10
T7805CT
VCC 5 VOLT
2200UF
100UF
GND

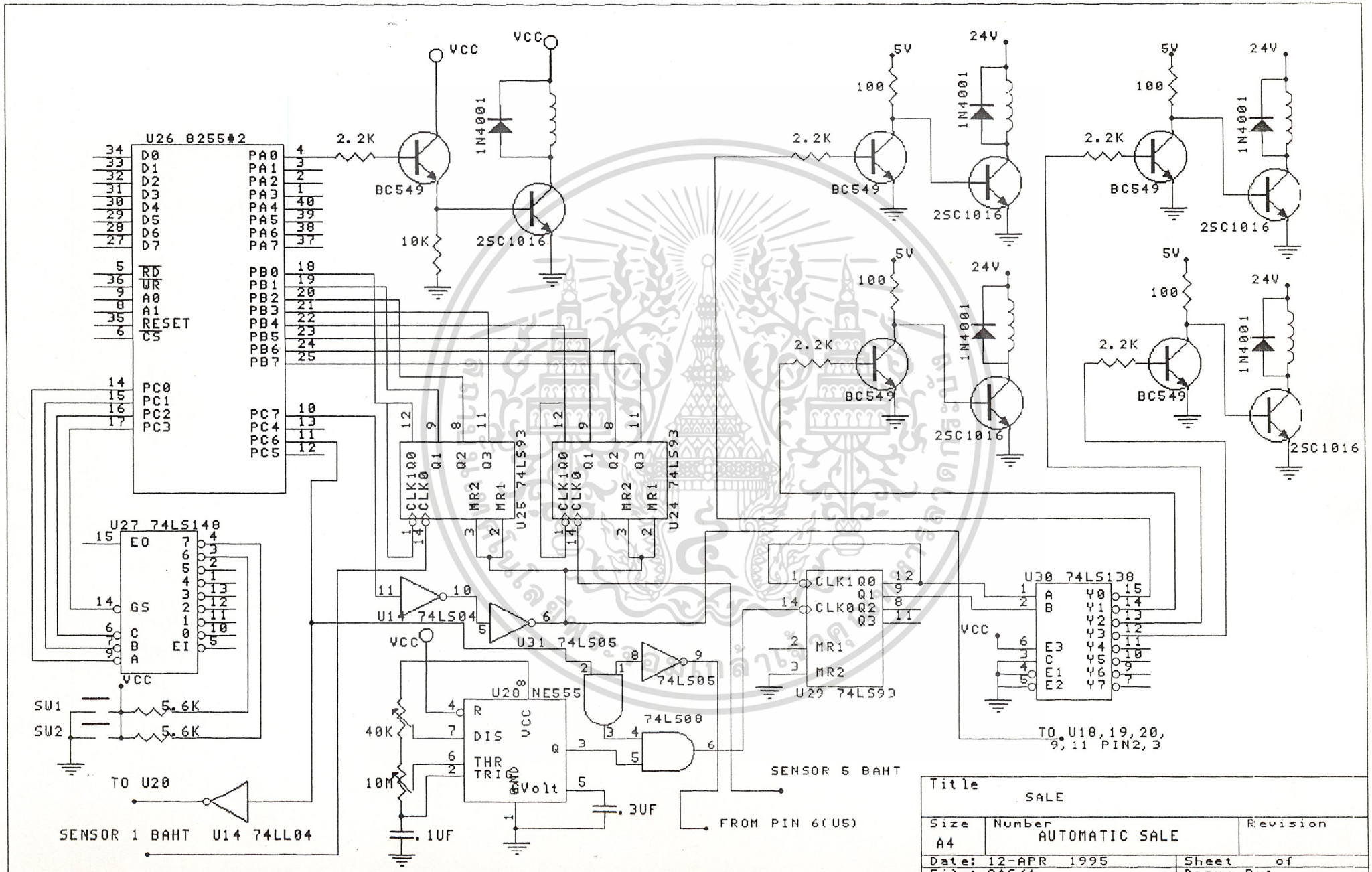
SUPPLY

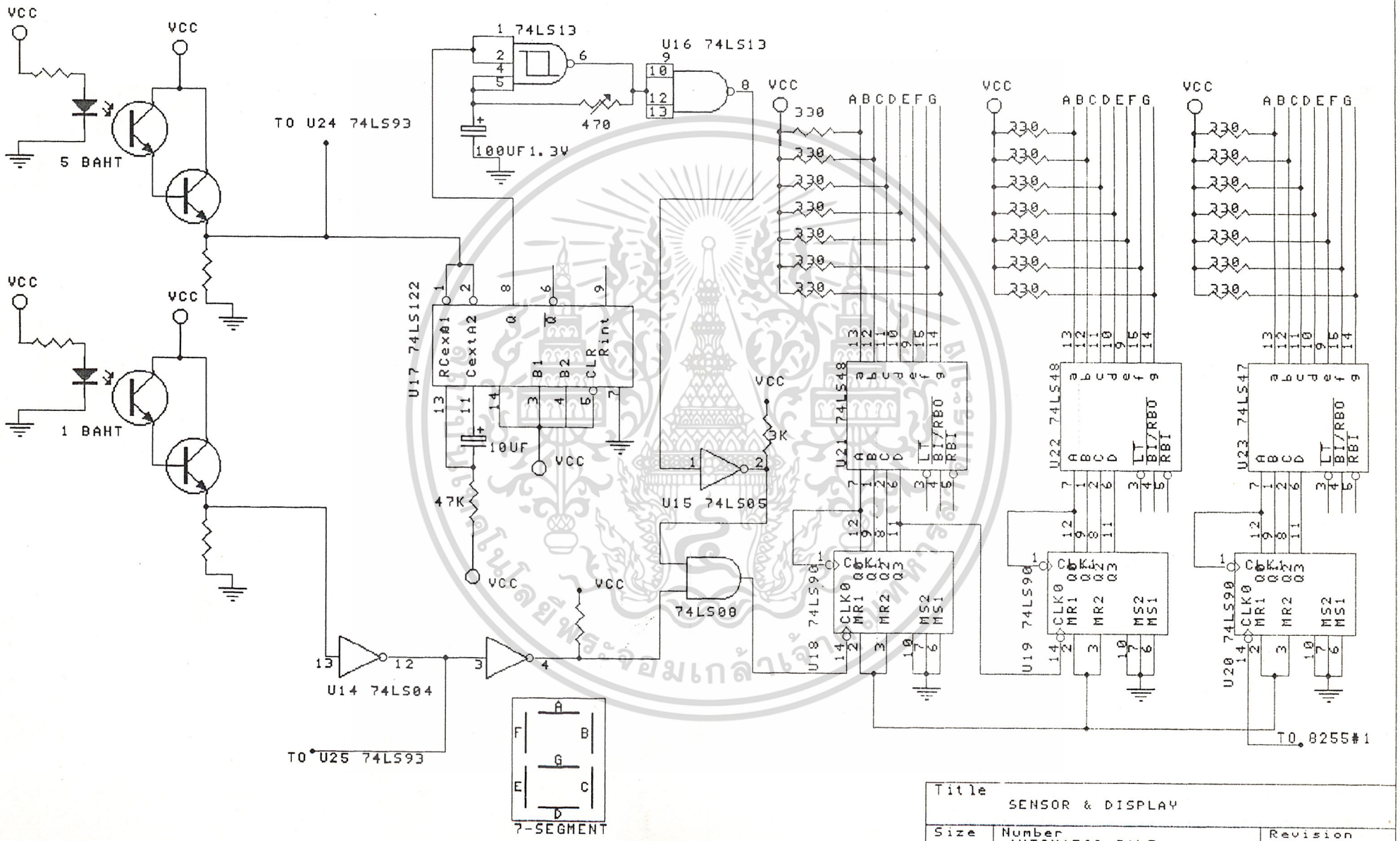


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title: 8255#2 CHECK COIL		
Size: A4	Number: AUTOMATIC SALE	Revision:
Date: 9-APR 1995		Sheet of
File: PRO/1		Drawn By:


U26 8255#2
PA0
PA1
PA2
PA3
PA4
PA5
PA6
PA7
PB0
PB1
PB2
PB3
PB4
PB5
PB6
PB7
PC0
PC1
PC2
PC3
PC7
PC4
PC6
PC5
RD
WR
A0
A1
RESET
CS
D0
D1
D2
D3
D4
D5
D6
D7
VCC
2.2K
BC549
1N4001
10K
2SC1016
5V
24V
100
U25 74LS93
U24 74LS93
U29 74LS93
CLK1
Q0
Q1
Q2
Q3
MR2
MR1
U27 74LS140
EO
GS
EI
U14 74LS04
U31 74LS05
74LS05
74LS00
U20 NE555
R
DIS
THR
TRI
OUT
40K
10M
.1UF
.3UF
6Volt
SW1
SW2
5.6K
TO U20
SENSOR 1 BAHT U14 74LL04
SENSOR 5 BAHT
FROM PIN 6(U5)
U30 74LS138
A
B
E3
E1
E2
Y0
Y1
Y2
Y3
Y4
Y5
Y6
Y7
TO U18,19,20,
9,11 PIN2,3
Title
SALE
Size
A4
Number
AUTOMATIC SALE
Revision
Date: 12-APR 1995
Sheet of
File: GAS/1
Drawn By:


VCC
5 BAHT
1 BAHT
TO U24 74LS93
1 74LS13
U16 74LS13
470
100UF1.3V
U17 74LS122
RCex01
Cex1A2
Q
B1
B2
CLR
Rint
10UF
47K
3K
U15 74LS05
74LS00
U14 74LS04
TO U25 74LS93
7-SEGMENT
330
U21 74LS48
U22 74LS48
U23 74LS47
U18 74LS90
U19 74LS90
U20 74LS90
TO 8255#1
Title
SENSOR & DISPLAY
Size
A4
Number
AUTOMATIC SALE
Revision
Date: 12-APR 1995
Sheet of
File: NOP/1
Drawn By:

```
                        ;       ***********************************************
                        ;       *     FOR Z80180 SINGLE BOARD [ETT CP-80V2    *
                        ;       *              MICRO COMPUTER                 *
                        ;       *                                             *
                        ;       * SOLFWARE ENGNEER : Mr.Somchai  Wangsuk     *
                        ;       *                     Mr.Phaiboon Klinchat    *
                        ;       *                     Mr.Noppadon Pongpatchara*
                        ;       ***********************************************
                        ;
0030                    SOLINOIL    EQU   30H
0031                    MONEY_1     EQU   31H
0032                    SELECT      EQU   32H
0033                    CTRL_P1     EQU   33H
0041                    MONEY_2     EQU   41H
0043                    CTRL_P2     EQU   43H
8000                    RAM_ADDR    EQU   8000H
0050                    STACK       EQU   50H
9FFF                    LAST_ADDR   EQU   9FFFH
0003                    COST_1      EQU   3
0003                    COST_2      EQU   3
                        ;
0000                                ORG   00H
                        ;********************* POWER UP DELAY **********************
                        ;
0000 AF                 POWER:      XOR   A           ; Power-Up Delay
0001 00                 POWER1:     NOP
0002 3D                             DEC   A
0003 20 FC                          JR    NZ,POWER1
0005 18 79                          JR    START
                        ;************************** RST 08H ************************
0008                                ORG   08H
0008 18 66                          JR    NOT_USE
                        ;************************** RST 10H ************************
0010                                ORG   10H
0010 18 5E                          JR    NOT_USE
                        ;************************** RST 18H ************************
0018                                ORG   18H
0018 18 56                          JR    NOT_USE
                        ;************************** RST 20H ************************
0020                                ORG   20H
0020 18 4E                          JR    NOT_USE
                        ;************************** RST 28H ************************
0028                                ORG   28H
0028 18 46                          JR    NOT_USE
                        ;************************** RST 30H ************************
0030                                ORG   30H
0030 18 3E                          JR    NOT_USE
                        ;************************** RST 38H ************************
0038                                ORG   38H
0038 C3 0070                        JP    NOT_USE
                        ;************************** NMI 66H ************************
0066                                ORG   66H
0066 FB                             EI
0067 ED 45                          REIN
                        ;***********************************************************
0070                                ORG   70H
0070 FB                 NOT_USE:    EI
0071 ED 4D                          RETI
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น มีข้อห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 59                     ;*************************************************************
 60          0080                   ORG   80H
 61 0080  01 4000       START:      LD    BC,4000H
 62 0083  0B            START_1:    DEC   BC
 63 0084  78                        LD    A,B
 64 0085  B1                        OR    C
 65 0086  20 FB                     JR    NZ,START_1
 66 0088  31 9FFF                   LD    SP,LAST_ADDR  ; Load Stack point
 67 008B  3E 83                     LD    A,83H         ; Port A,B,C(Lower) = Input
 68 008D  D3 33                     OUT   (CTRL_P1),A   ;          C(Upper) = Output
 69 008F  D3 43                     OUT   (CTRL_P2),A
 70 0091  3E 0F                     LD    A,0FH
 71 0093  D3 30                     OUT   (SOLINOIL),A
 72 0095  AF                        XOR   A
 73 0096  D3 32                     OUT   (SELECT),A
 74 0098  F3                        DI
 75 0099  DB 32         START_2:    IN    A,(SELECT)
 76 009B  FE FF                     CP    0FFH
 77 009D  28 FA                     JR    Z,START_2
 78 009F  CB 47                     BIT   0,A
 79 00A1  28 06                     JR    Z,CHOIL_1
 80 00A3  CB 4F                     BIT   1,A
 81 00A5  28 19                     JR    Z,CHOIL_2
 82 00A7  18 F0                     JR    START_2
 83 00A9  DB 31         CHOIL_1:    IN    A,(MONEY_1)
 84 00AB  FE 03                     CP    COST_1
 85 00AD  28 0D                     JR    Z,CHOIL_11
 86 00AF  FE 10                     CP    10H
 87 00B1  20 34                     JR    NZ,CANCEL
 88 00B3  E6 0F                     AND   0FH
 89 00B5  D3 32                     OUT   (SELECT),A
 90 00B7  06 02                     LD    B,5-COST_1
 91 00B9  CD 00F5                   CALL  BACK
 92 00BC  3E 8F         CHOIL_11:   LD    A,8FH
 93 00BE  18 11                     JR    GIVE
 94 00C0  DB 31         CHOIL_2:    IN    A,(MONEY_1)
 95 00C2  FE 03                     CP    COST_2
 96 00C4  28 09                     JR    Z,CHOIL_22
 97 00C6  FE 10                     CP    10H
 98 00C8  20 1D                     JR    NZ,CANCEL
 99 00CA  06 02                     LD    B,5-COST_2
100 00CC  CD 00F5                   CALL  BACK
101 00CF  3E 4F         CHOIL_22:   LD    A,4FH
102                    ;*************************************************************
103 00D1  D3 30         GIVE:       OUT   (SOLINOIL),A
104 00D3  CD 0141                  CALL  DELAY
105 00D6  3E 0F                    LD    A,0FH
106 00D8  D3 30                    OUT   (SOLINOIL),A
107 00DA  3E 9F                    LD    A,9FH         ; Bit 7 = Reset Counter
108 00DC  D3 32                    OUT   (SELECT),A    ; Bit 4 = Keep Coin
109 00DE  CD 0141                  CALL  DELAY
110 00E1  3E 0F                    LD    A,0FH
111 00E3  D3 32                    OUT   (SELECT),A
112 00E5  18 B2                    JR    START_2
113                    ;********** Reset Counter and Return Coin *****************
114 00E7  3E AF         CANCEL:     LD    A,0AFH        ; Bit 7 = Reset Counter
115 00E9  D3 32                    OUT   (SELECT),A    ; Bit 5 = Return Coin
116 00EB  CD 0141                  CALL  DELAY
```

เอกสารนี้เผยแพร่เพื่อการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ไม่ว่าจะดัดแปลงเนื้อหา และอ้างอิงถึงจุฬาลงกรณ์มหาวิทยาลัย

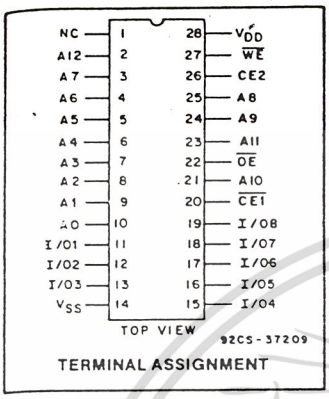
```
117 00EE  3E 07              LD    A,07H
118 00F0  D3 32              OUT   (SELECT),A
119 00F2  C3 0099            JP    START_2
120                     ;*************************************************************
121 00F5  3E 4F         BACK:LD    A,4FH
122 00F7  D3 32              OUT   (SELECT),A
123 00F9  CD 014E            CALL  DELAY_1
124 00FC  3E 0F              LD    A,0FH
125 00FE  D3 32              OUT   (SELECT),A
126 0100  CD 014E            CALL  DELAY_1
127 0103  10 F0              DJNZ  BACK
128 0105  CD 010C            CALL  RETURN
129 0108  CD 0141            CALL  DELAY
130 010B  C9                 RET
131                     ;*************************************************************
132 010C  F5            RETURN:PUSH  AF
133 010D  06 0C              LD    B,12
134 010F  C5            RET_1:PUSH   BC
135 0110  06 04              LD    B,4
136 0112  0E 01              LD    C,01
137 0114  79            RET_2:LD     A,C
138 0115  2F                 CPL
139 0116  E6 0F              AND   0FH
140 0118  D3 30              OUT   (SOLINOIL),A
141 011A  CD 0155            CALL  DELAY_2
142 011D  CB 21              SLA   C
143 011F  10 F3              DJNZ  RET_2
144 0121  C1                 POP   BC
145 0122  10 EB              DJNZ  RET_1
146 0124  06 0C              LD    B,12
147 0126  C5            RET_3:PUSH   BC
148 0127  06 04              LD    B,4
149 0129  0E 08              LD    C,08
150 012B  79            RET_4:LD     A,C
151 012C  2F                 CPL
152 012D  E6 0F              AND   0FH
153 012F  D3 30              OUT   (SOLINOIL),A
154 0131  CD 0155            CALL  DELAY_2
155 0134  CB 39              SRL   C
156 0136  10 F3              DJNZ  RET_4
157 0138  C1                 POP   BC
158 0139  10 EB              DJNZ  RET_3
159 013B  3E 0F              LD    A,0FH
160 013D  D3 30              OUT   (SOLINOIL),A
161 013F  F1                 POP   AF
162 0140  C9                 RET
163                     ;*************************************************************
164 0141  F5            DELAY:PUSH   AF
165 0142  C5                 PUSH  BC
166 0143  01 FFFF            LD    BC,0FFFFH
167 0146  0B            DEL_1:DEC    BC
168 0147  78                 LD    A,B
169 0148  B1                 OR    C
170 0149  20 FB              JR    NZ,DEL_1
171 014B  C1                 POP   BC
172 014C  F1                 POP   AF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 175 014E  C5          DELAY_1:    PUSH  BC
 176 014F  06 00                   LD    B,0
 177 0151  10 FE       DEL_2:      DJNZ  DEL_2
 178 0153  C1                      POP   BC
 179 0154  C9                      RET
 180                   ;*************************************************************
 181 0155  F5          DELAY_2:    PUSH  AF
 182 0156  C5                      PUSH  BC
 183 0157  01 1000                 LD    BC,1000H
 184 015A  0B          DEL_3:      DEC   BC
 185 015B  78                      LD    A,B
 186 015C  B1                      OR    C
 187 015D  20 FB                   JR    NZ,DEL_3
 188 015F  C1                      POP   BC
 189 0160  F1                      POP   AF
 190 0161  C9                      RET
 191                   ;*************************************************************
 192                               END
0 Error(s) Detected.
354 Absolute Bytes. 35 Symbols Detected.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6264



TERMINAL ASSIGNMENT

CMOS 8192-Word by 8-Bit LSI Static RAM

Features:

- *Fully static operation*
- *Single power supply: 4.5 V to 5.5 V*
- *All inputs and outputs directly TTL compatible*
- *3-state outputs*
- *Industry standard 28-pin configuration*
- *Input address buffers gated off with chip disable*
- *Fast access time: t_{AA}=150 ns/120 ns (CDM6264-3/CDM6264-4)*
- *Low standby and operating power: I_{DDS1}=2 μA typical, I_{OPER2}=40 mA maximum*
- *Data retention voltage: 2 V min.*
- *Operating temperature range (max. rating): 0° to 70° C*

The RCA-CDM6264 is a 8192-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data input and data output and utilizes a single power supply of 4.5 V to 5.5 V.

Either chip enable ($\overline{CE1}$ or CE2), when not valid, will gate off the address and output buffers and power down the chip to minimum standby power with inputs toggling. The output enable ($\overline{OE}$) controls the output buffers to eliminate bus contention.

The CDM6264 is supplied in 28-lead, hermetic, dual-in-line side-brazed ceramic (D suffix) and in 28-lead dual-in-line plastic (E suffix) packages.

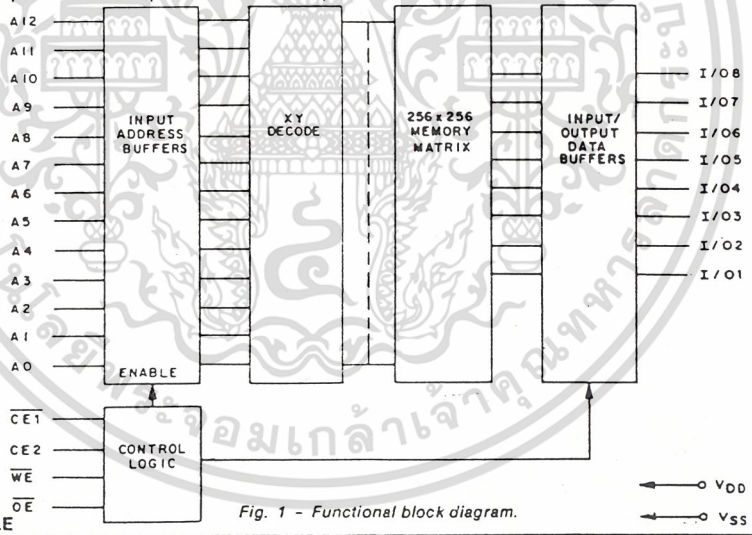


Fig. 1 - Functional block diagram.

TRUTH TABLE

$\overline{CE1}$	CE2	$\overline{OE}$	$\overline{WE}$	A0 TO A12	MODE	DATA I/O	DEVICE CURRENT
H	X	X	X	X	NOT SELECTED	HIGH Z	STANDBY
X	L	X	X	X	NOT SELECTED	HIGH Z	STANDBY
L	H	L	H	STABLE	READ	DATA OUT	ACTIVE
L	H	X	L	STABLE	WRITE	DATA IN	ACTIVE
L	H	H	H	STABLE	OUTPUT DISABLE	HIGH Z	ACTIVE

L = LOW H = HIGH X = H OR L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6264

MAXIMUM RATINGS, *Absolute-Maximum Values:*

DC SUPPLY-VOLTAGE RANGE, (V_{DD}):
(Voltage referenced to V_{SS} terminal) ..... -0.3 to +7 V
INPUT VOLTAGE RANGE, ALL INPUTS ..... -0.3 to +7 V
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = 0° to +60° C (PACKAGE TYPE E) ..... 500 mW
For T_A = +60° to +70° C (PACKAGE TYPE E) ..... Derate Linearly at 8 mW/° C to 420 mW
For T_A = 0° to +70° C (PACKAGE TYPE D) ..... 500 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
For T_A = FULL PACKAGE-TEMPERATURE RANGE ..... 100 mW
OPERATING-TEMPERATURE RANGE (T_A):
PACKAGE TYPE D ..... 0 to +70° C
PACKAGE TYPE E ..... 0 to +70° C
STORAGE TEMPERATURE RANGE (T_{stg}) ..... −55 to +125° C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. ..... +265° C

OPERATING CONDITIONS at T_A = 0 to +70° C
For maximum reliability, operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC		LIMITS ALL TYPES MIN.	LIMITS ALL TYPES MAX.	UNITS
DC Operating Voltage Range		4.5	5.5	V
Input Voltage Range	V_{IH}	2.2	V_{DD} + 0.3	V
	V_{IL}	-0.3	0.8	V
Input Signal Rise or Fall Time[Δ]	t_r, t_f	—	5	μs

[Δ] Input signal rise and fall times with a duration greater than the maximum value can cause loss of stored data in the selected mode.

STATIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C, V_{DD} = 5 V ± 10%, Except as noted

CHARACTERISTIC		CONDITIONS		LIMITS ALL TYPES Min.	Typ.[*]	Max.	UNITS
Standby Device Current	I_{DDS}	$\overline{CE1}$=V_{IH} or CE2=V_{IL}		—	1.5	3	mA
	I_{DDS1}	$\overline{CE1}$=CE2 ≥ V_{DD}-0.2 V or CE2 ≤ 0.2 V		—	2	100	μA
Output Voltage Low Level	V_{OL} Max.	I_{OL}=2.1 mA		—	—	0.4	V
		I_{OL}=1 μA		—	0.1	—	
Output Voltage High Level	V_{OH} Min.	I_{OH}=-1 mA		2.4	—	—	V
		I_{OH}=-1 μA		—	V_{DD}-0.1	—	
Input Leakage Current	I_{IN} Max.	V_{IN}=0 V to V_{DD}		—	±0.1	±2	μA
3-State Output Leakage Current	I_{OUT}	V_{IO}=0 V to V_{DD}		—	±0.5	±2	μA
Operating Device Current	I_{OPER1}[#]	V_{IN}=V_{IL}, V_{IH}	t_{cyc}=1 μs	—	4.5	9	mA
			t_{cyc}=120 ns	—	22.5	45	
	I_{OPER2}[#]	V_{IN}=0.2 V, V_{DD}-0.2 V	t_{cyc}=1 μs	—	2	4	
			t_{cyc}=120 ns	—	20	40	
Input Capacitance	C_{IN}	V_{IN}=0 V, f=1 MHz, T_A=25° C		—	4	6	pF
Output Capacitance	C_{IO}	V_{IO}=0 V, f=1 MHz, T_A=25° C		—	6	8	pF

[*] Typical values are for T_A=25° C and nominal V_{DD}.

[#] Outputs open circuited.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIGNAL DESCRIPTIONS

A0-A10 (Address Inputs): These inputs must be stable prior to a write operation, but may change asynchronously during read functions.

I/01-I/08: 8-bit tristate data bus.

$\overline{CE1}$, CE2 (Chip Enable): Either chip enable, when not true, powers down the chip, disables Read and Write functions, and gates off address and output buffers.

$\overline{OE}$ (Output Enable): Enables tristate outputs if $\overline{CE1}$ and CE2 are valid and $\overline{WE}$ is high.

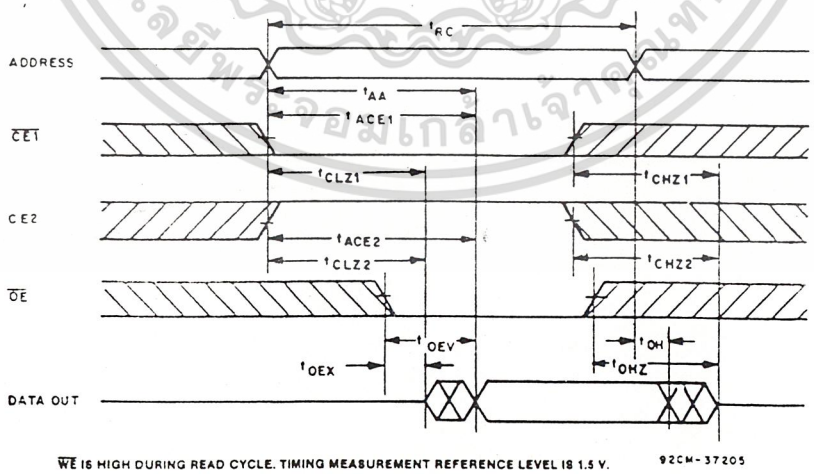
$\overline{WE}$ (Write Enable): Enables Write function, if $\overline{CE1}$ and CE2 are valid. $\overline{WE}$ will dominate if both $\overline{WE}$ and $\overline{OE}$ are low (i.e., the bus will be tristated and a Write will occur).

V_{DD}, V_{SS}: Power supply connections.

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C, V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS				UNITS
		CDM6264-3		CDM6264-4		
Read Cycle Times, See Fig. 2		MIN.†	MAX.	MIN.†	MAX.	
Read Cycle Time	t_{RC}	150	—	120	—	ns
Address Access Time	t_{AA}	—	150	—	120	
Chip Enable Access Time	t_{ACE1}, t_{ACE2}	—	150	—	120	
Chip Enable to Output Active	t_{CLZ1}, t_{CLZ2}	10	—	10	—	
Output Enable to Output Valid	t_{OEV}	—	70	—	60	
Output Enable to Output Active	t_{OEX}	5	—	5	—	
Chip Disable to Output "High Z"	t_{CHZ1}, t_{CHZ2}	0	70	0	50	
Output Disable to Output "High Z"	t_{OHZ}	0	60	0	40	
Output Hold from Address Change	t_{OH}	30	—	30	—	

†Time required by a limit device to allow for the indicated function.



$\overline{WE}$ IS HIGH DURING READ CYCLE. TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V. 92CM-37205

Fig. 2 - Read-cycle timing waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6264

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C, V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS				UNITS
		CDM6264-3		CDM6264-4		
Write Cycle Times, See Fig. 3		MIN.†	MAX.	MIN.†	MAX.	
Write Cycle Time	t_{WC}	150	—	120	—	ns
Chip Enable to End of WRITE	t_{CW1},t_{CW2}	120	—	100	—	
Address Valid to End of WRITE	t_{AW}	120	—	100	—	
Address Setup Time	t_{AS}	0	—	0	—	
Write Enable Width	t_{WW}	100	—	80	—	
Write Recovery Time	t_{WR}	0	—	0	—	
Write to Output "High Z"	t_{WHZ}	—	70	—	50	
Input Data Setup Time	t_{DW}	60	—	50	—	
Input Data Hold Time	t_{DH}	0	—	0	—	
Output Active from End of Write	t_{OW}	10	—	10	—	

†Time required by a limit device to allow for the indicated function.

WRITE CYCLE 1 ($\overline{CE1}$ CONTROL)

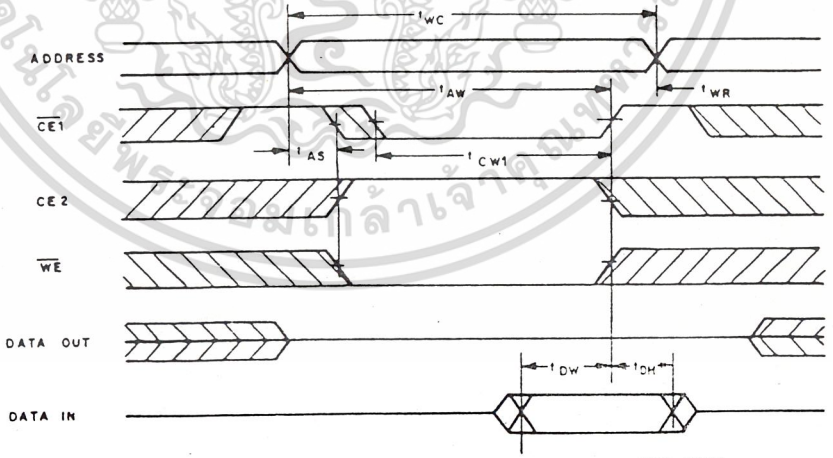
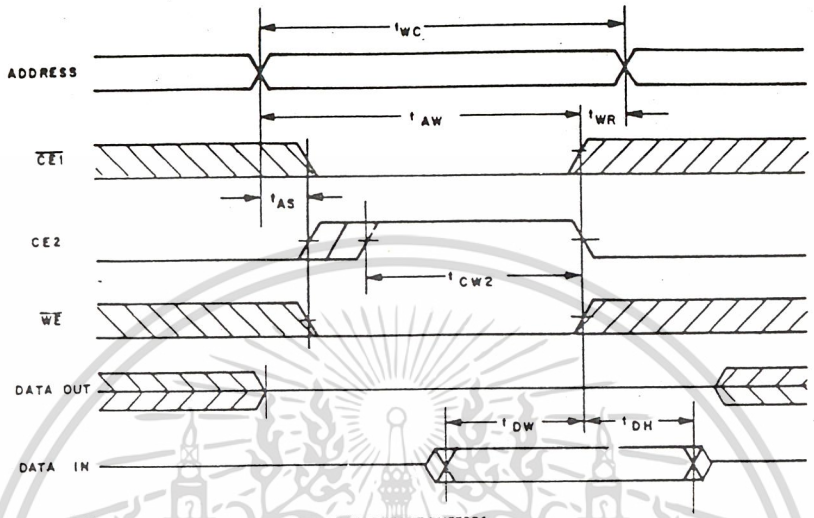


Fig. 3 - Write-cycle timing waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

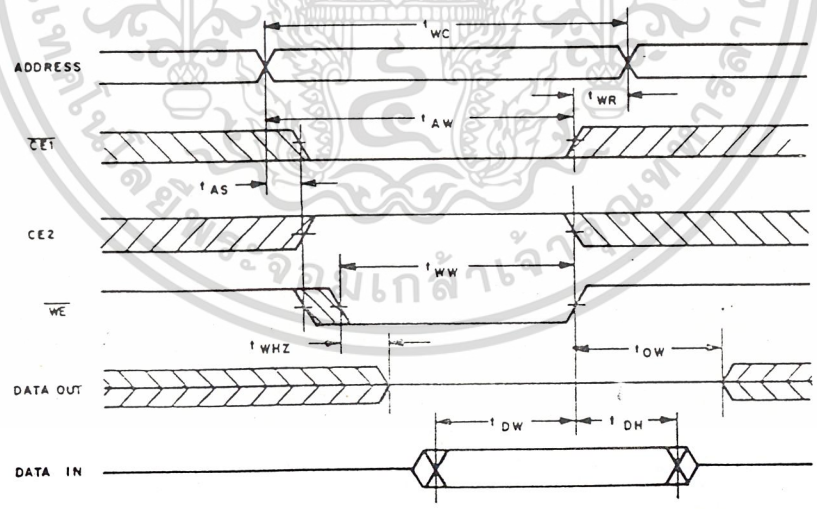
WRITE CYCLE 2 (CE2 CONTROL)



IN A $\overline{CE1}$ OR CE2 CONTROLLED WRITE CYCLE, THE OUTPUT BUFFERS REMAIN IN A HIGH IMPEDANCE STATE, WHETHER $\overline{OE}$ IS HIGH OR LOW.
TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V.

92CM-37206

WRITE CYCLE 3 ($\overline{WE}$ CONTROL)



IF $\overline{OE}$ IS HIGH DURING A $\overline{WE}$ CONTROLLED WRITE CYCLE,
THE OUTPUT BUFFERS REMAIN IN A HIGH IMPEDANCE STATE IN THIS PERIOD.
TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V.

92CS-37207

Fig. 3 - Write-cycle timing waveforms (cont'd).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

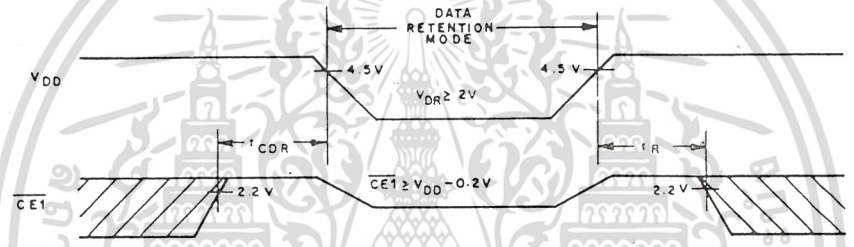
CDM6264

DATA RETENTION CHARACTERISTICS at T_A = 0 to 70°C; See Fig. 4.

CHARACTERISTIC		TEST CONDITIONS	LIMITS		UNITS
			ALL TYPES		
			MIN.	MAX.	
Minimum Data Retention Voltage	V_{DR}	$\overline{CE1} \geq V_{DD}$ - 0.2 V or CE2 ≤ 0.2 V	2	5.5	V
Data Retention Quiescent Current	$I_{DD}DR$	V_{DD} = 3 V, $\overline{CE1}$, CE2 ≥ V_{DD} - 0.2 V or CE2 ≤0.2 V	—	50	μA
Chip Disable to Data Retention Time	t_{CDR}	See Fig. 4	0	—	ns
Recovery to Normal Operation Time	t_R	See Fig. 4	*t_{RC}	—	ns

*t_{RC} = Read Cycle Time.

DATA RETENTION WAVEFORM 1 ($\overline{CE1}$ CONTROL)



DATA RETENTION WAVEFORM 2 (CE2 CONTROL)

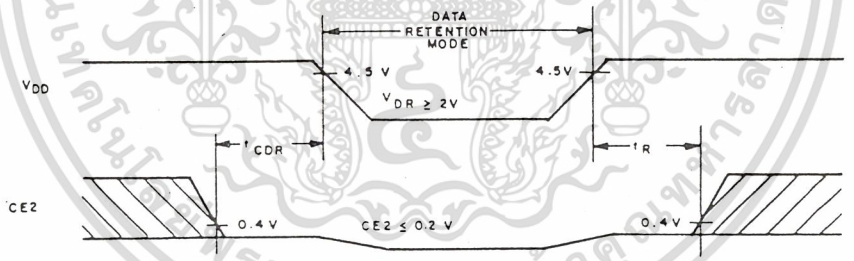


Fig. 4 - Low V_{DD} data-retention timing waveforms. 92CM-37208

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

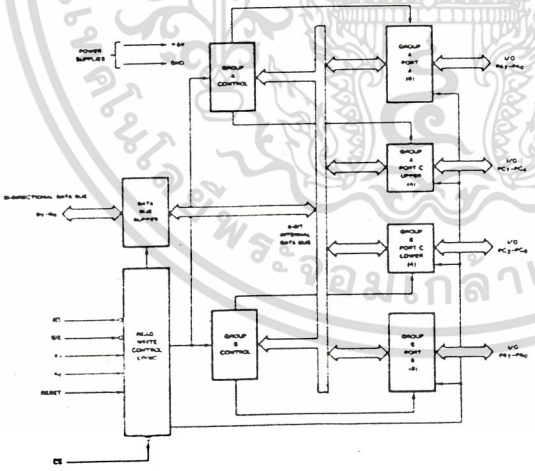


Figure 1. 8255A Block Diagram

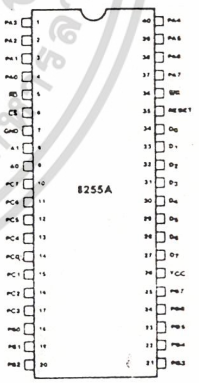


Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select. A "low" on this input pin enables the communiction between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A → DATA BUS
0	1	0	1	0	PORT B → DATA BUS
1	0	0	1	0	PORT C → DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS → PORT A
0	1	1	0	0	DATA BUS → PORT B
1	0	1	0	0	DATA BUS → PORT C
1	1	1	0	0	DATA BUS → CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS → 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS → 3-STATE

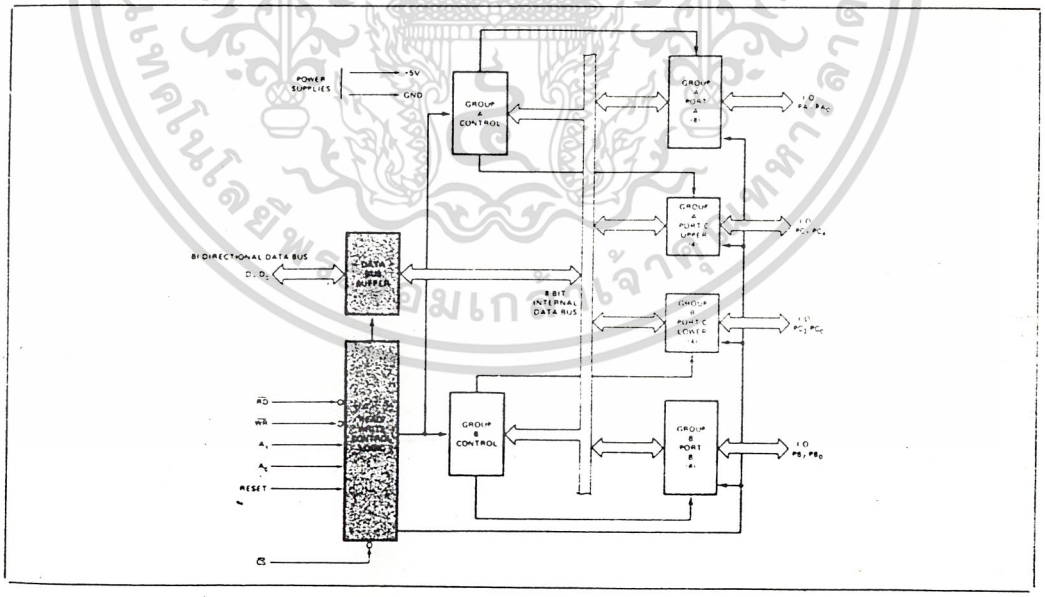


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

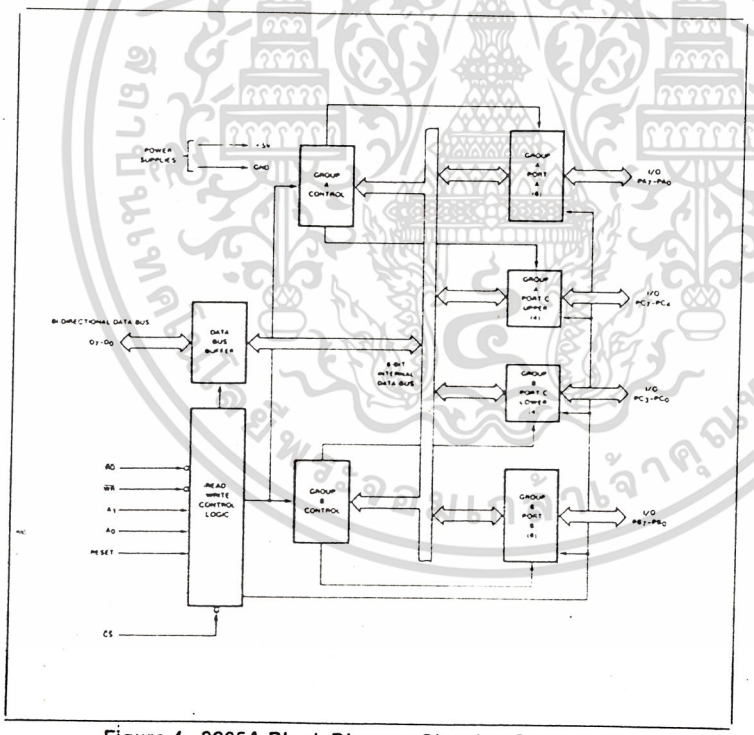
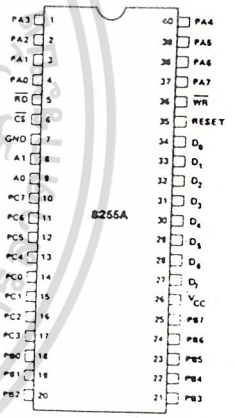


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

D_7 - D_0	DATA BUS (BI DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic Input/Output
Mode 1 — Strobed Input/Output
Mode 2 — Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance: Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

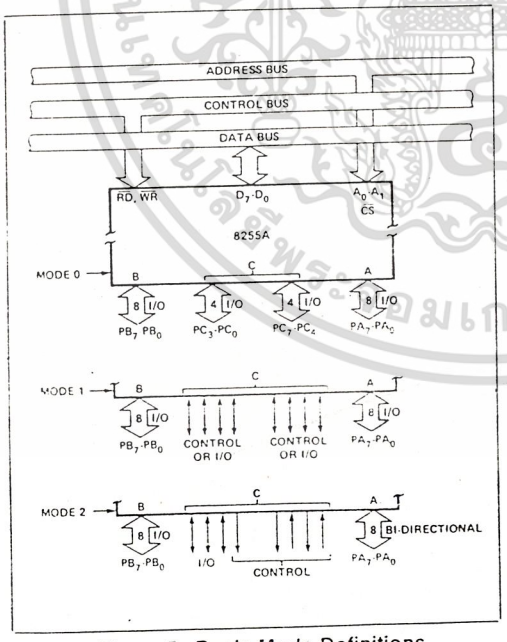


Figure 5. Basic Mode Definitions and Bus Interface

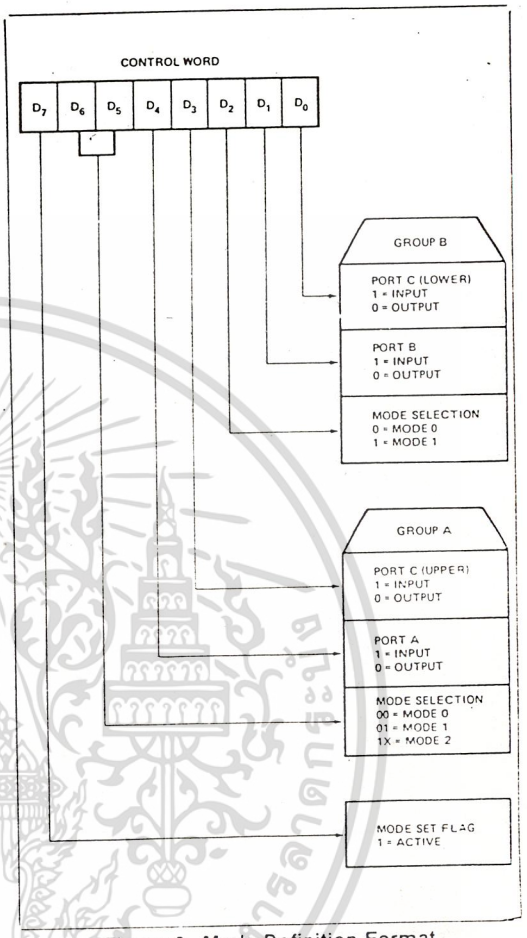


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

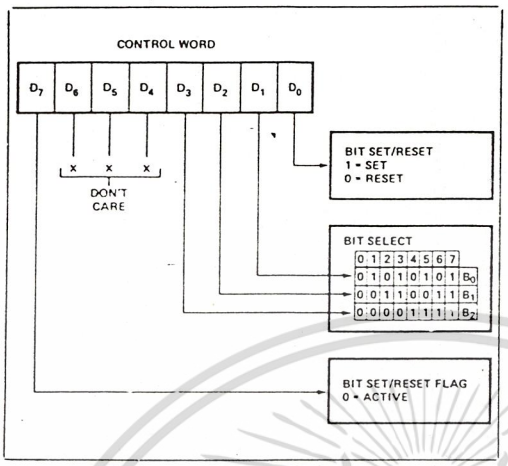


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) – INTE is SET – Interrupt enable
(BIT-RESET) – INTE is RESET – Interrupt disable

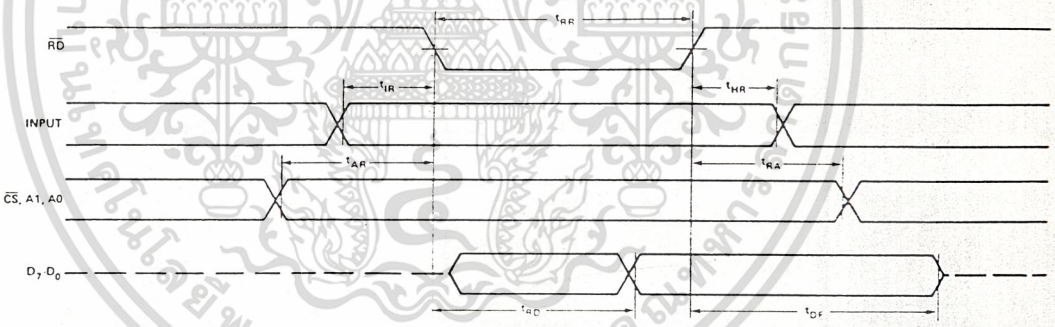
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

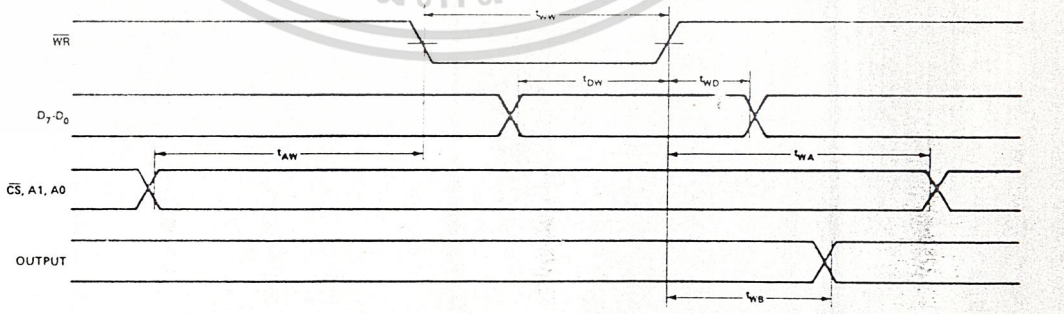
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



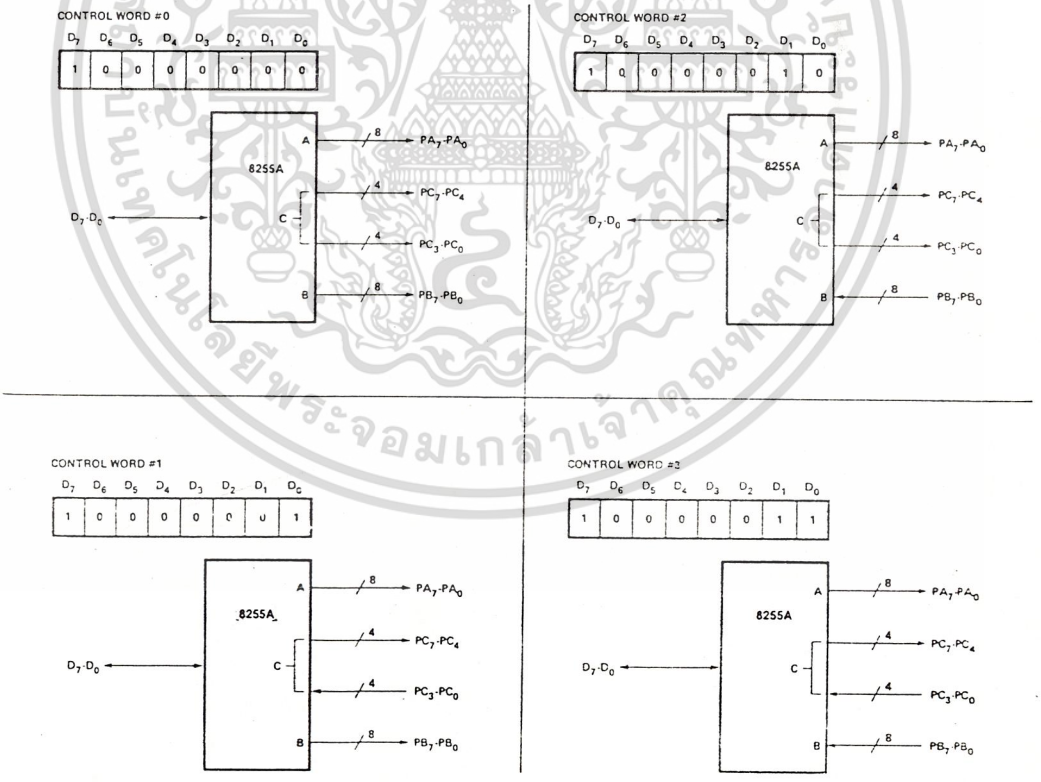
MODE 0 (Basic Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Port Definition

A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

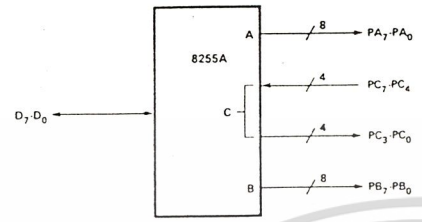
MODE 0 Configurations



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

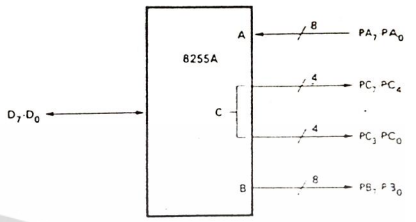
CONTROL WORD #4

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	0



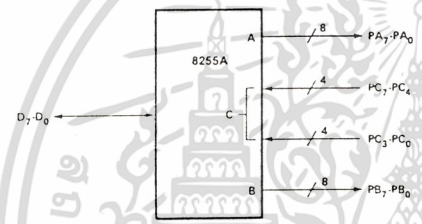
CONTROL WORD #8

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	0



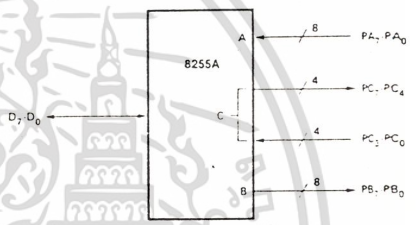
CONTROL WORD #5

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	1



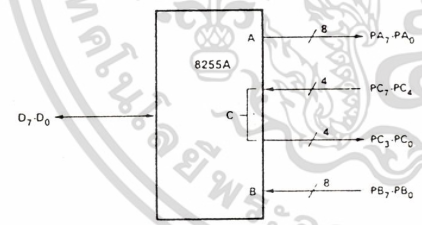
CONTROL WORD #9

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	1



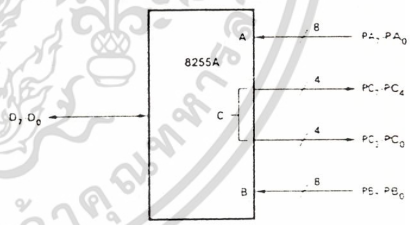
CONTROL WORD #6

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	0



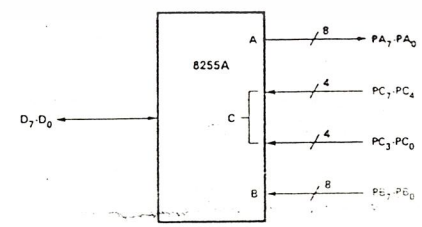
CONTROL WORD #10

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	0



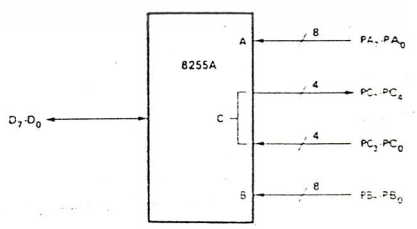
CONTROL WORD #7

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	1

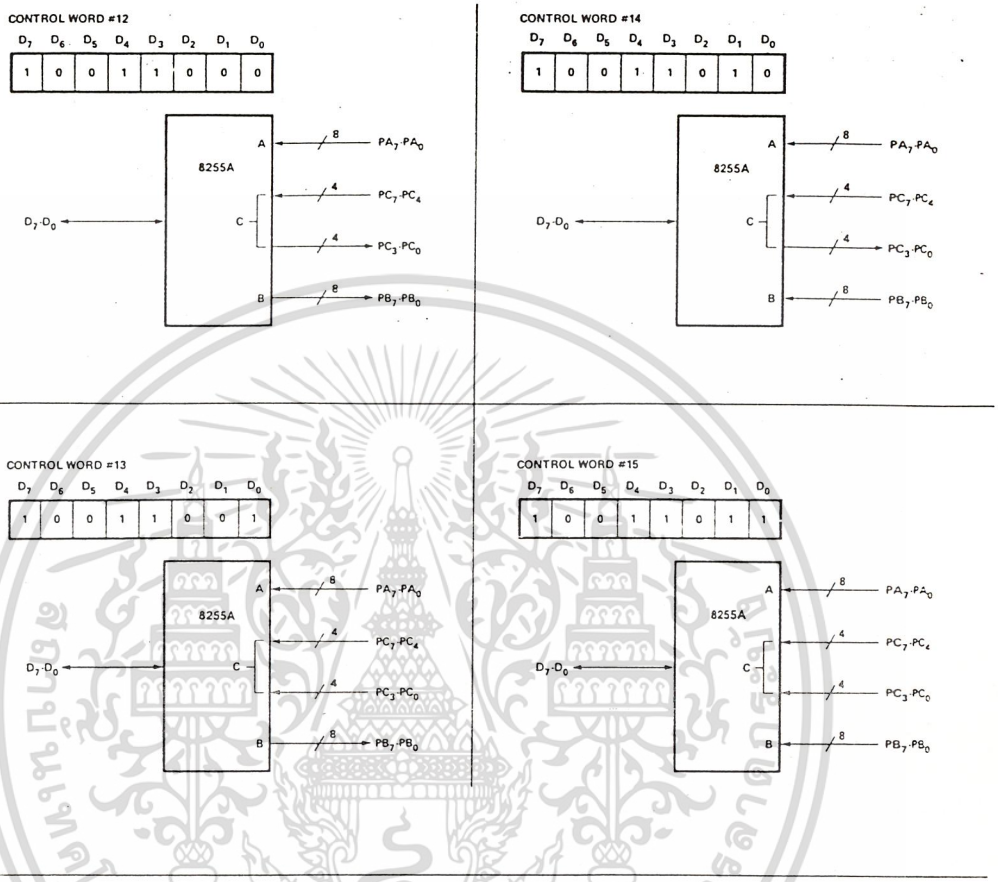


CONTROL WORD #11

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

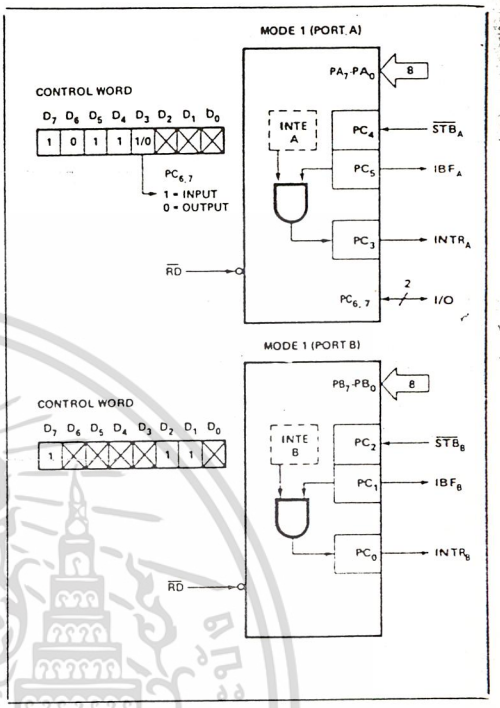


Figure 8. MODE 1 Input

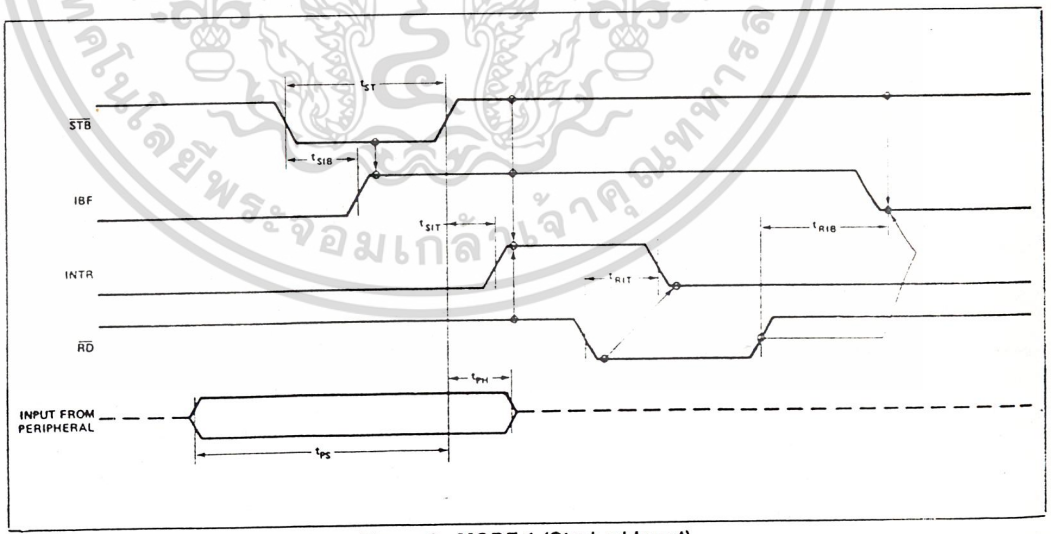


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has recieved the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

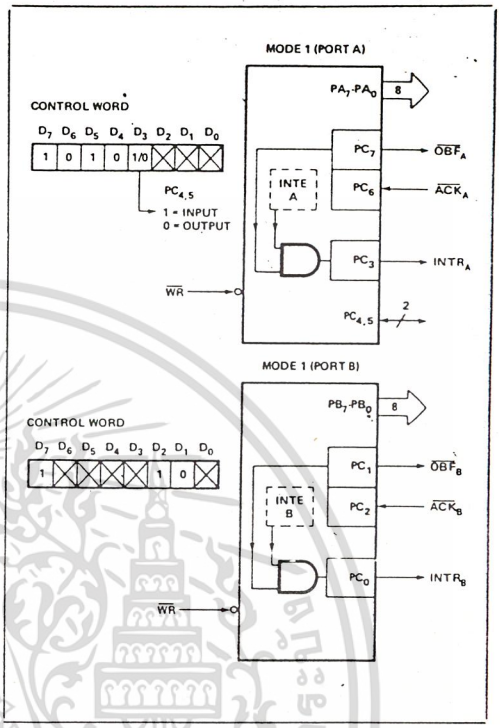


Figure 10. MODE 1 Output

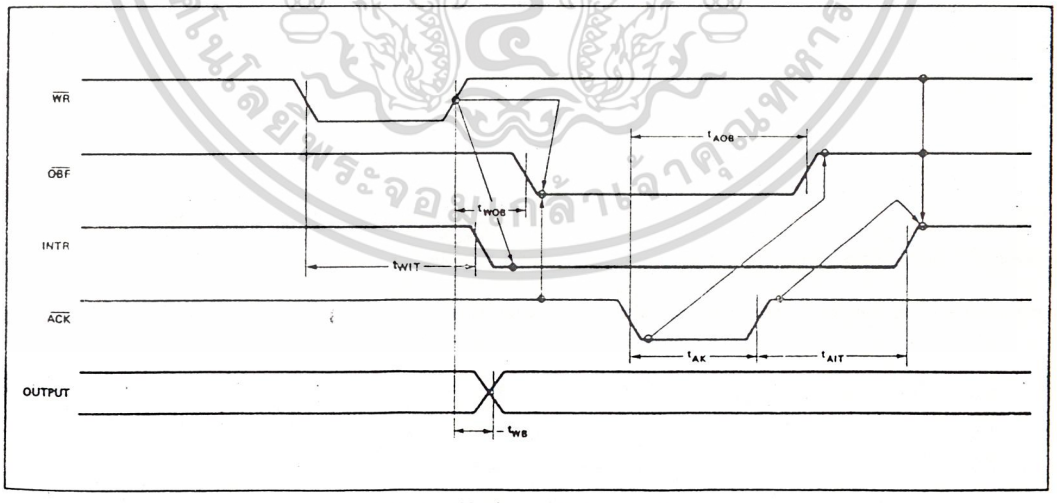


Figure 11. Mode 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

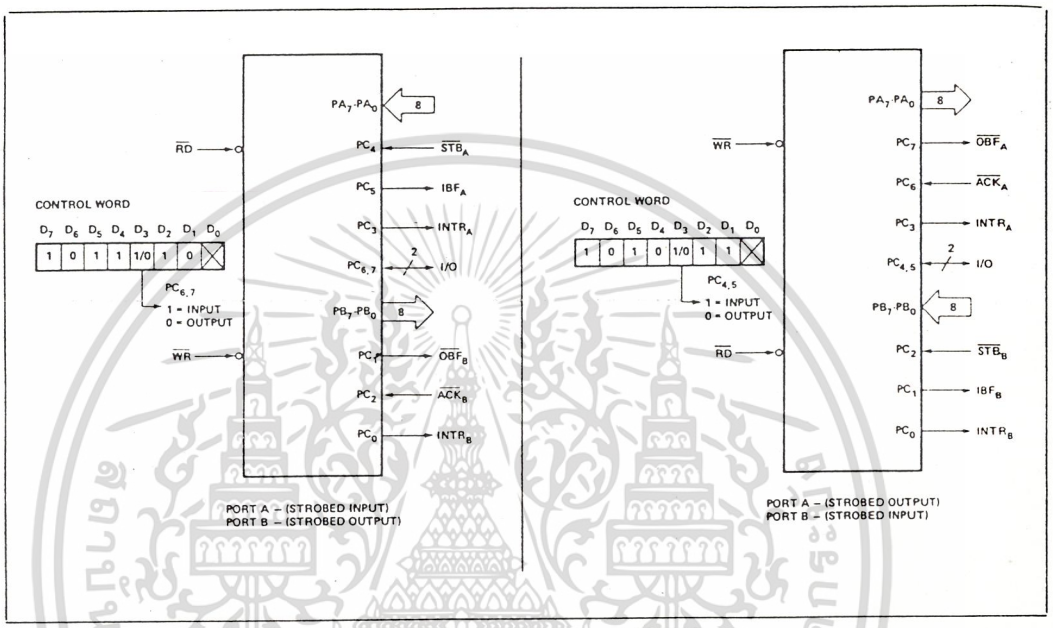


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to port A.

$\overline{ACK}$ (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with OBF). Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC_4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

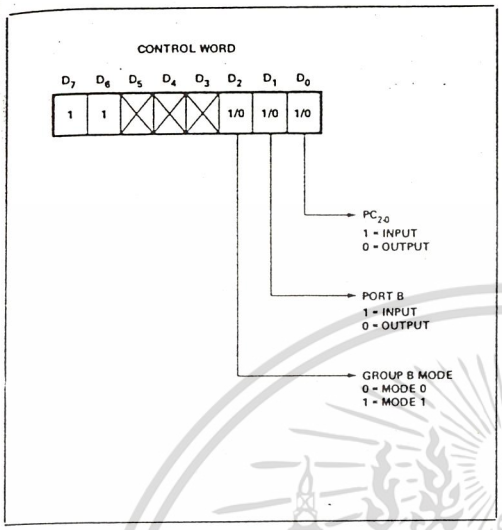


Figure 13. MODE Control Word

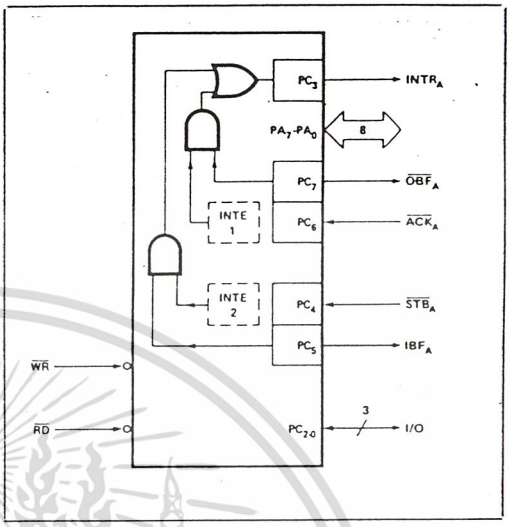


Figure 14. MODE 2

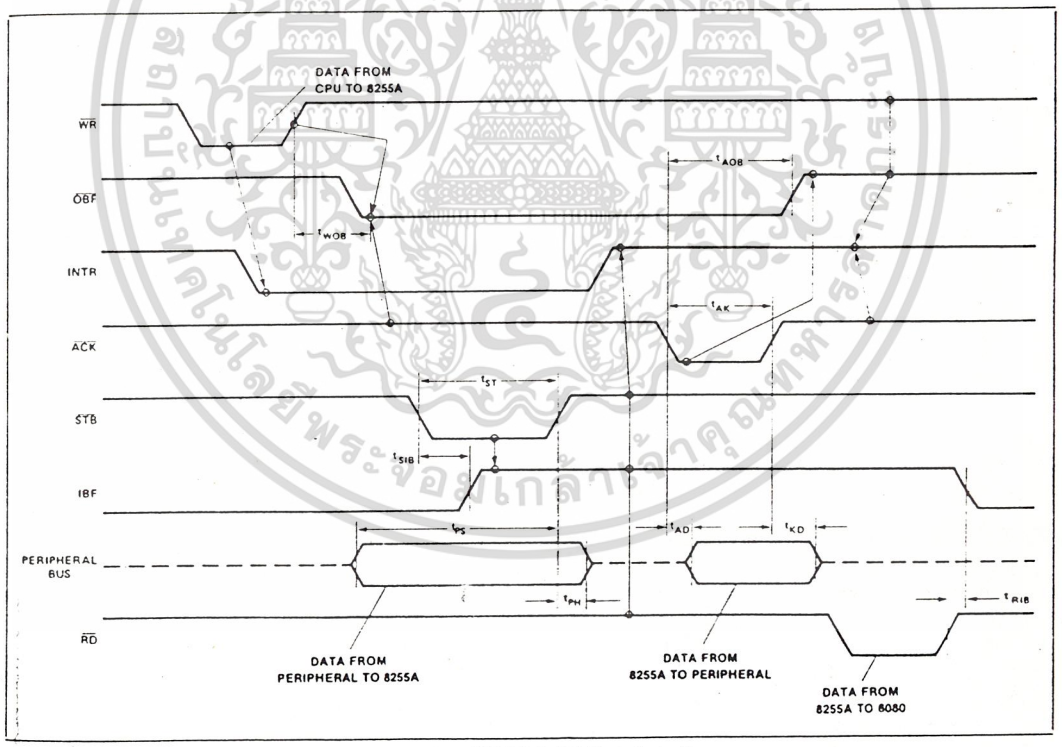


Figure 15. MODE 2 (Bidirectional)

NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF · $\overline{MASK}$ · $\overline{STB}$ · $\overline{RD}$ + $\overline{OBF}$ · $\overline{MASK}$ · $\overline{ACK}$ · $\overline{WR}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

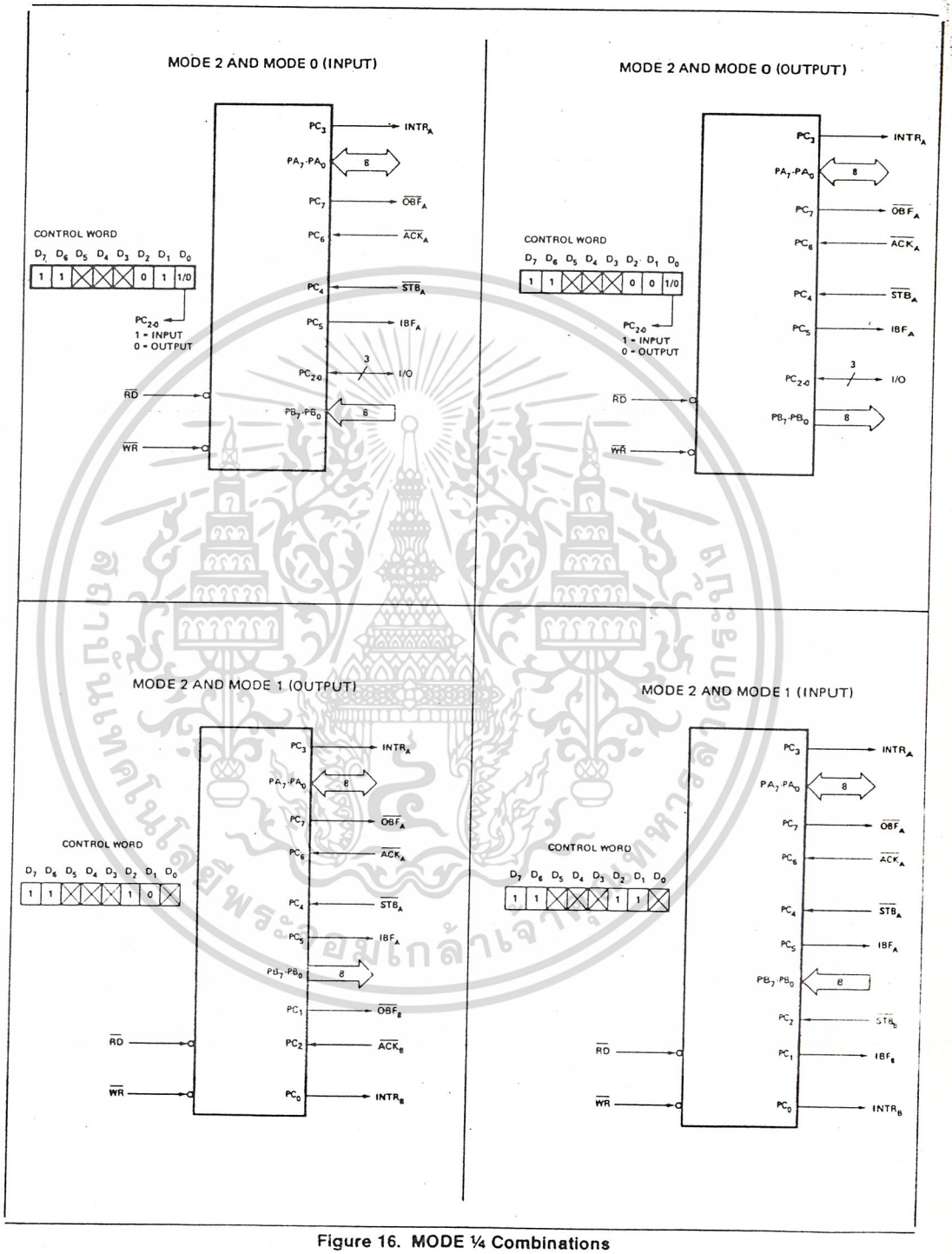


Figure 16. MODE ¼ Combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	↔	
PA_1	IN	OUT	IN	OUT	↔	
PA_2	IN	OUT	IN	OUT	↔	
PA_3	IN	OUT	IN	OUT	↔	
PA_4	IN	OUT	IN	OUT	↔	
PA_5	IN	OUT	IN	OUT	↔	
PA_6	IN	OUT	IN	OUT	↔	
PA_7	IN	OUT	IN	OUT	↔	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs –
All input lines can be accessed during a normal Port C read.

If Programmed as Outputs –
Bits in C upper (PC_7-PC_4) must be individually accessed using the bit set/reset function.

Bits in C lower (PC_3-PC_0) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

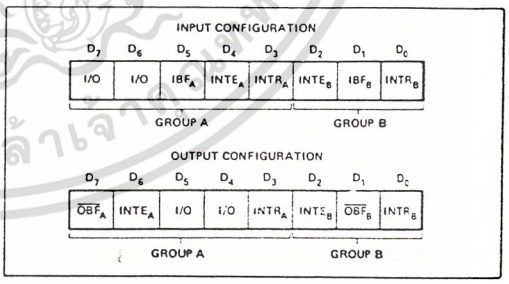


Figure 17. MODE 1 Status Word Format

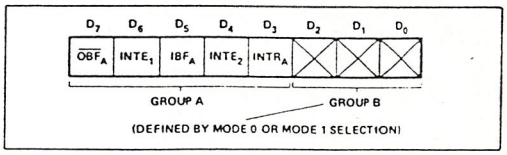


Figure 18. MODE 2 Status Word Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

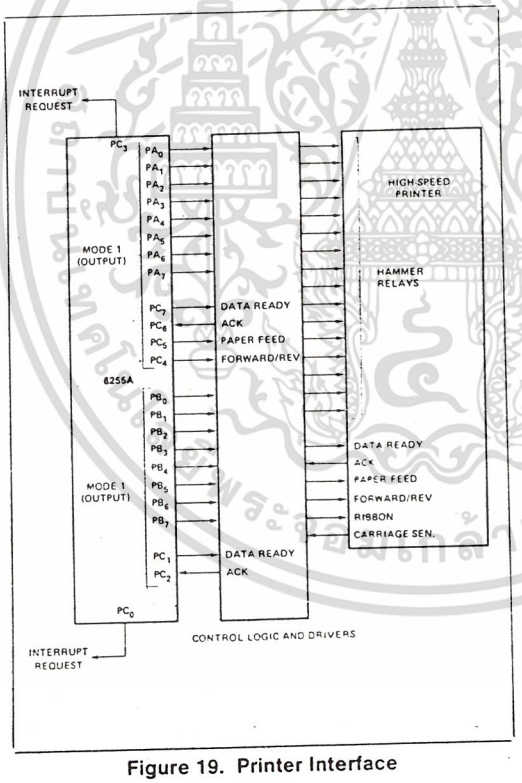


Figure 19. Printer Interface

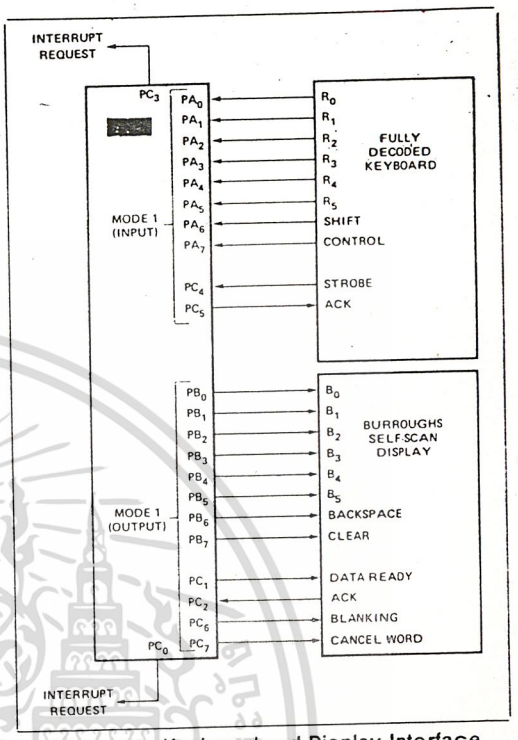


Figure 20. Keyboard and Display Interface

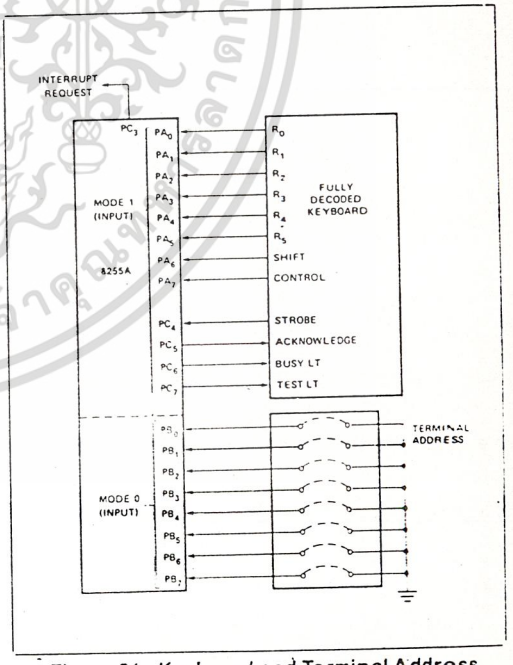


Figure 21. Keyboard and Terminal Address Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

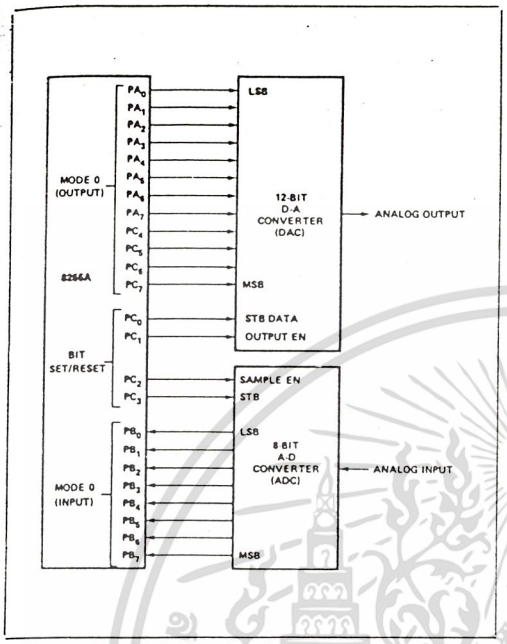


Figure 22. Digital to Analog, Analog to Digital

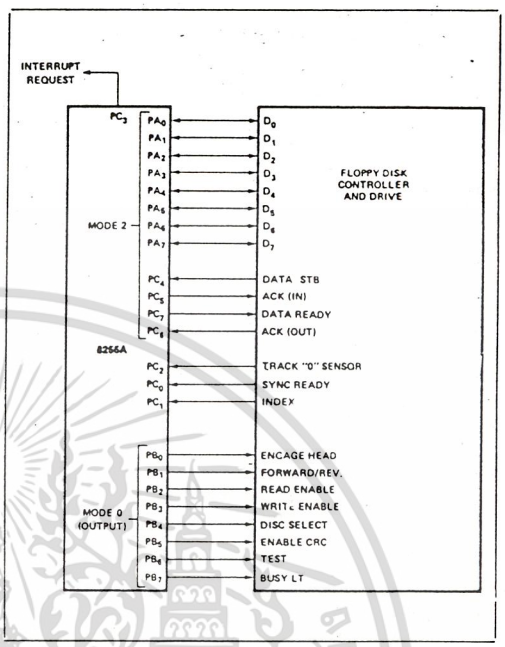


Figure 23. Basic Floppy Disk Interface

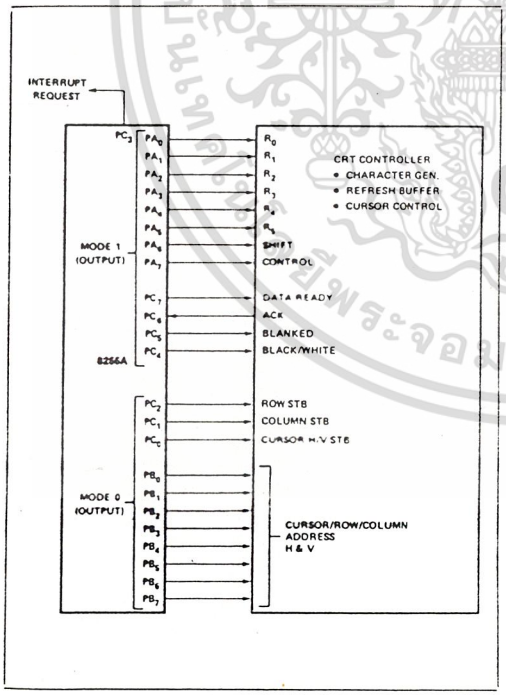


Figure 24. Basic CRT Controller Interface

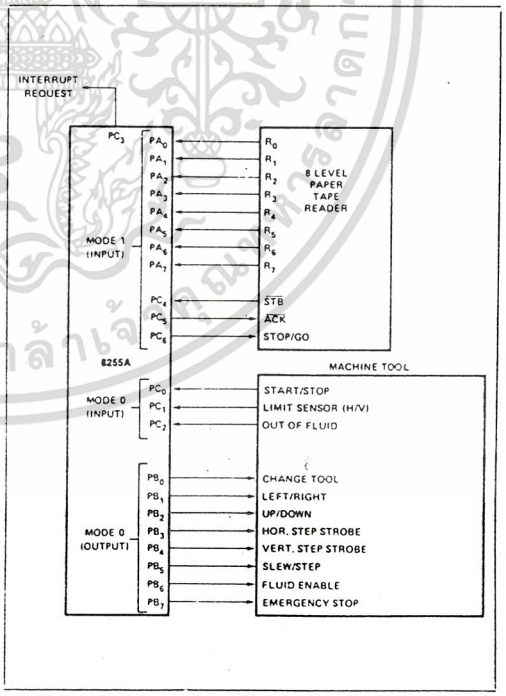


Figure 25. Machine Tool Controller Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias. . . . . 0°C to 70°C
Storage Temperature . . . . . –65°C to +150°C
Voltage on Any Pin
With Respect to Ground . . . . . –0.5V to +7V
Power Dissipation . . . . . 1 Watt

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL} (DB)	Output Low Voltage (Data Bus)		0.45*	V	I_{OL} = 2.5mA
V_{OL}(PER)	Output Low Voltage (Peripheral Port)		0.45*	V	I_{OL} = 1.7mA
V_{OH}(DB)	Output High Voltage (Data Bus)	2.4		V	I_{OH} = -400μA
V_{OH}(PER)	Output High Voltage (Peripheral Port)	2.4		V	I_{OH} = -200μA
I_{DAR}[1]	Darlington Drive Current	-1.0	-4.0	mA	R_{EXT} = 750Ω; V_{EXT} = 1.5V
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to .45V

NOTE:
1. Available on any 8 pins from Port B and C.

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V)*

Bus Parameters

READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ[1]		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	850		850		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

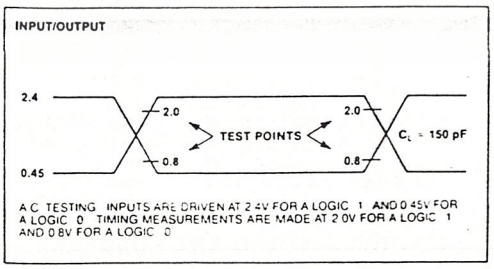
OTHER TIMINGS

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output[1]		350		350	ns
t_{IR}	Peripheral Data Before RD	0		0		ns
t_{HR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output[1]		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0[1]		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1[1]		350		350	ns
t_{SIB}	STB = 0 to IBF = 1[1]		300		300	ns
t_{RIB}	RD = 1 to IBF = 0[1]		300		300	ns
t_{RIT}	RD = 0 to INTR = 0[1]		400		400	ns
t_{SIT}	STB = 1 to INTR = 1[1]		300		300	ns
t_{AIT}	ACK = 1 to INTR = 1[1]		350		350	ns
t_{WIT}	WR = 0 to INTR = 0[1,3]		450		450	ns

NOTES:
1. Test Conditions: C_L = 150 pF.
2. Period of Reset pulse must be at least 50μs during or after power on. Subsequent Reset pulse can be 500 ns min.
3. INTR↑ may occur as early as $\overline{WR}$↓.

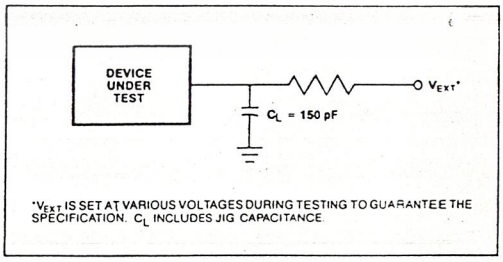
* For Extended Temperature EXPRESS, use M8255A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING: INPUTS ARE DRIVEN AT 2.4V FOR A LOGIC "1" AND 0.45V FOR A LOGIC "0". TIMING MEASUREMENTS ARE MADE AT 2.0V FOR A LOGIC "1" AND 0.8V FOR A LOGIC "0".

A.C. TESTING LOAD CIRCUIT

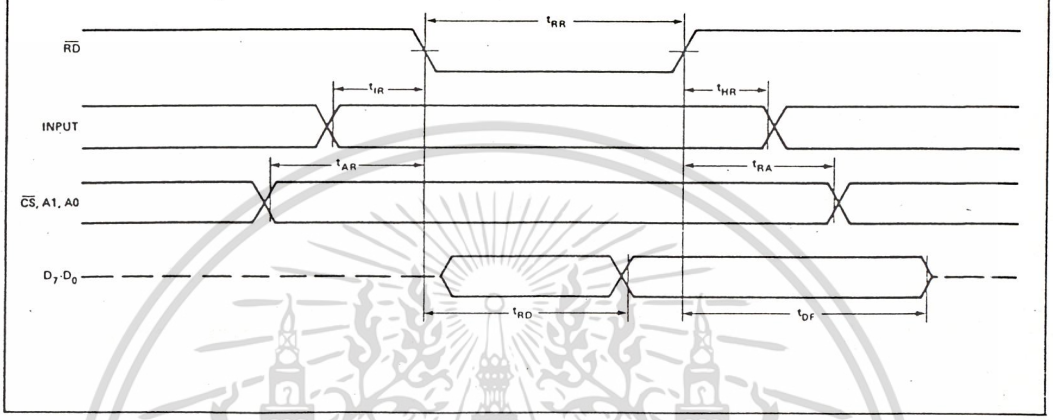


*V_{EXT} IS SET AT VARIOUS VOLTAGES DURING TESTING TO GUARANTEE THE SPECIFICATION. C_L INCLUDES JIG CAPACITANCE.

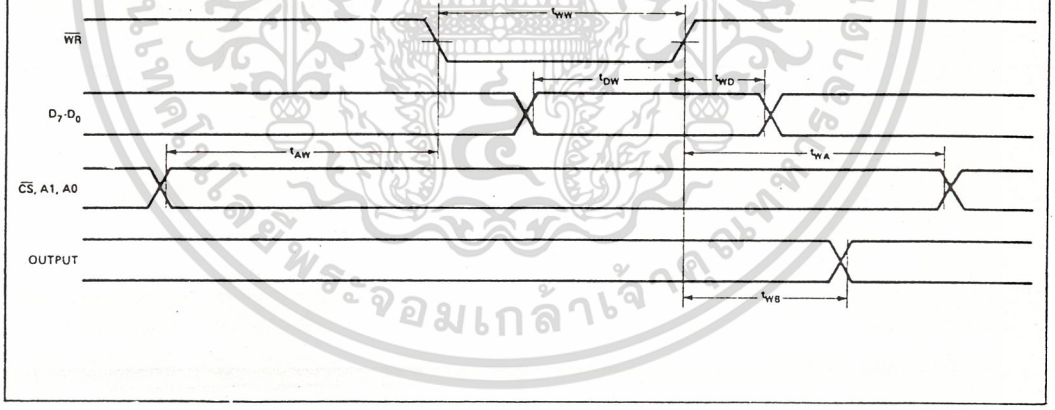
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

MODE 0 (BASIC INPUT)



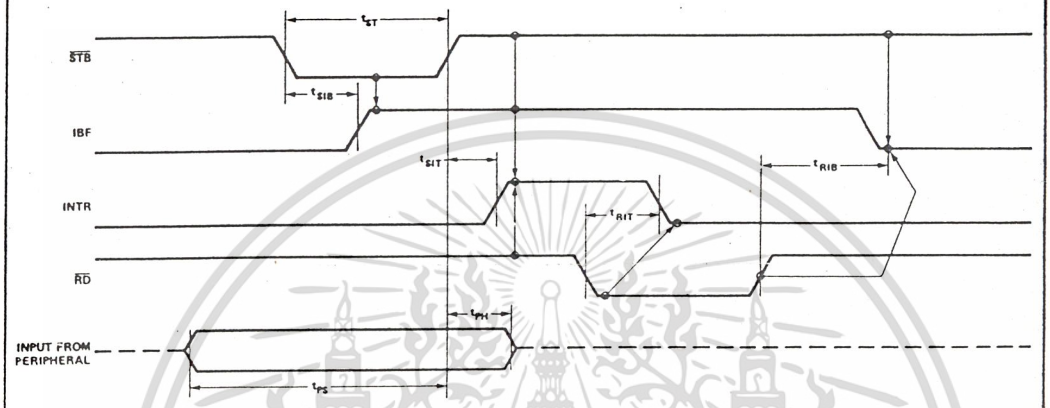
MODE 0 (BASIC OUTPUT)



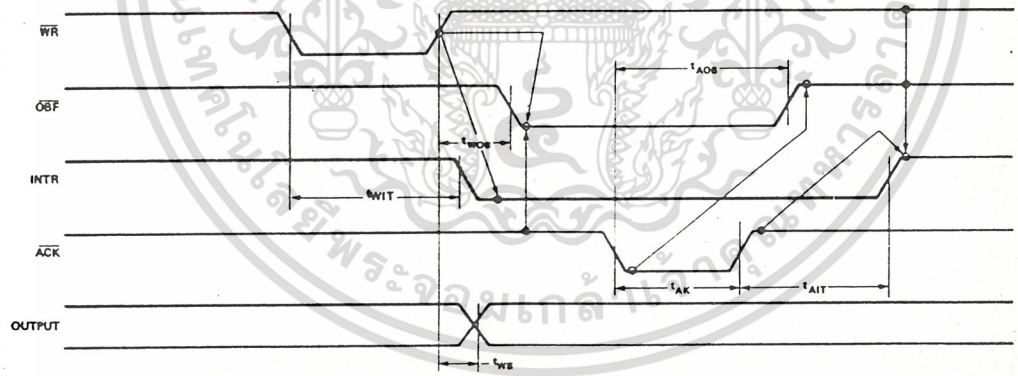
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)



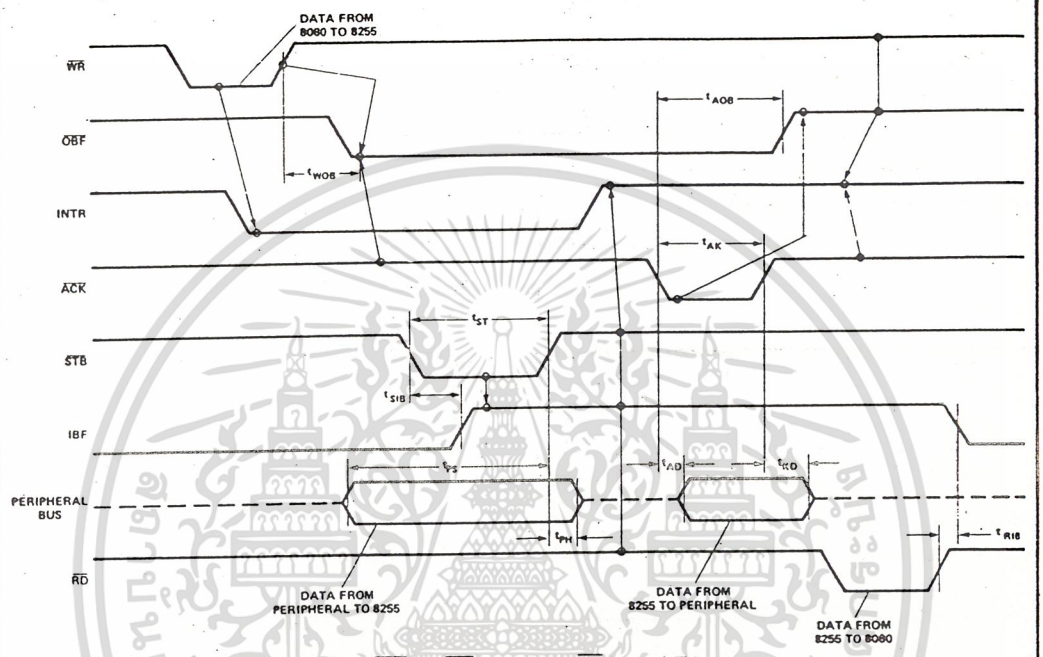
MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

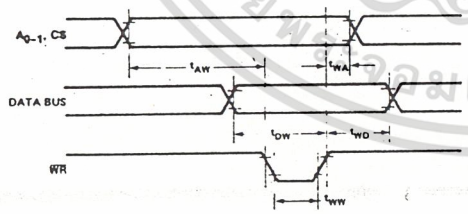
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)

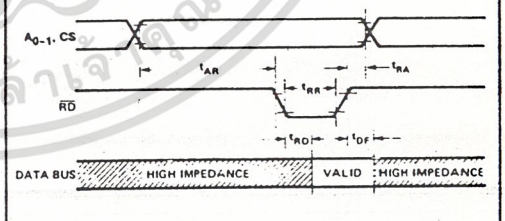


NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
($INTR = IBF \cdot \overline{MASK} \cdot \overline{STB} \cdot \overline{RD} + \overline{OBF} \cdot \overline{MASK} \cdot \overline{ACK} \cdot \overline{WR}$)

WRITE TIMING



READ TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S04	J①			W①	SN54H04	J①			W①	SN54LS04	J①			W②	SN5404	J①			W②	SN54L04	J①	N①	T②	
	SN74S04	J①	N①			SN74H04	J①	N①			SN74LS04	J①	N①			SN7404	J①	N①			SN74L04	J①	N①	T②	
FAIRCHILD	FM54S04/FM9S04	D①				FM54H04/FM9H04	D①			F②	FM54LS04/FM9LS04	D①			F①	FM5404/FM9N04	D①			F②					
	FC74S04/FC9S04	D①	P①			FC74H04/FC9H04	D①	P①			FC74LS04/FC9LS04	D①	P①		F①	FM7404/FC9N04	D①	P①							
MOTOROLA						MC3108	L①			F①						MC5404	L①			F②					
						MC3008	L①	P①		F①	SN74LS04		P①			MC7404	L①	P①							
N. S. C.						DM54H04	J①	N①			DM54LS04					DM5404	J①	N①		W②	DM54L04	J①	N①		F②
	DM74S04		N①			DM74H04	J①	N①			DM74LS04					DM7404	J①	N①			DM74L04	J①	N①		F②
PHILIPS	N74S04		①			N74H04		①			N74LS04		①			FJH241/7404		①							
SIGNETICS	S54S04	F①	A①		W①	S54H04	F①	A①		W②						S5404	F①	A①		W②					
	N74S04	F①	A①		W①	N74H04	F①	A①			N74LS04		A①			N7404	F①	A①							
SIEMENS																FLH211		①							
FUJITSU											74LS04		M①			MB418	①	M①							
HITACHI	HD74S04	①	P①								HD74LS04		P①			HD7404/HD2522	①	P①							
MITSUBISHI	M5S004		P①								M74LS04		P①			M53204		P①							
NEC	74S04		C①								74LS04		C①			μPB235	D①								
TOSHIBA																TD3404A		P①							

Electrical Characteristics SN54LS04/SN74LS04

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

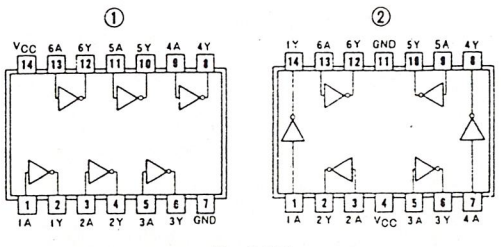
recommended operating conditions

	SN54LS04 MIN	NOM	MAX	SN74LS04 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

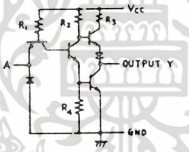
PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OL}=4mA				0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current		Total, outputs low		3.6	6.6	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, T_A=25°C, C_L=15PF, R_L=2KΩ			9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)



positive logic :
$Y = \overline{A}$

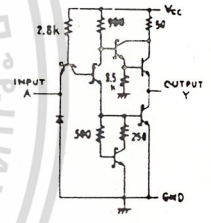
Schematics (each gate)



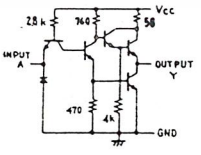
CIRCUIT	R1	R2	R3	R4
'04	4k	1.6k	130	1k
'L04	40k	20k	500	12k

Input clamp diodes not on SN54L/SN74L' circuits.

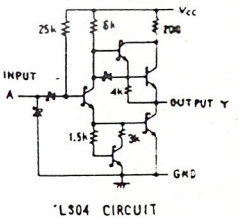
'04, 'L04 CIRCUITS



'S04 CIRCUIT



'H04 CIRCUIT



'L304 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
◆Not more than one output should be shorted at a time, and for SN54H'/SN74H' and SN54S'/SN74S', duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้วนการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5405/7405 Hex Inverter with Open-Collector Output

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S05	J①			W①	SN54H05	J①			W②	SN54LS05	J①			W①	SN5405	J①			W②					
	SN74S05	J①	N①			SN74H05	J①	N①			SN74LS05	J①	N①			SN7405	J①	N①							
FAIRCHILD	FM54S05	D①			F①	FM54H05/FM9H05	D①			F②	FM54LS05/FM9LS05	D①			F①	FM5405/FM9N05	D①			F②					
	FC74S05/FC9S05	D①	P①			FC74H05/FC9H05	D①	P①			FC74LS05/FC9LS05	D①	P①		F①	FC7405/FC9N05	D①	P①							
MOTOROLA						MC3109	L①			F①						MC5405	L①								
						MC3009	L①	P①		F①	SN74LS05		P①			MC7405	L①	P①							
N.S.C.						DM54H05	J①	N①			DM54LS05					DM5405	J①	N①		W②	DM54LO5				
	DM74S05		N①			DM74H05	J①	N①			DM74LS05					DM7405	J①	N①			DM74LO5				
PHILIPS																									
	N74S05		①			N74H05					N74LS05		①			FJH251/7405		①							
SIGNETICS	S54S05	F①	A①		W①	S54H05	F①	A①		W②						S5405	F①	A①		W②					
	N74S05	F①	A①			N74H05	F①	A①			N74LS05		A①			N7405	F①	A①							
SIEMENS																FLH271		①							
FUJITSU											74LS05		M①												
HITACHI	HD74S05		①	P①							HD74LS05		P①			HD7405/HD2523		①	P①						
MITSUBISHI	M5S005			P①							M74LS05		P①			M53205			P①						
NEC											74LS05		C①			μPB236	D①								
TOSHIBA																TD3405A			P①						

Electrical Characteristics SN54LS05/SN74LS05

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

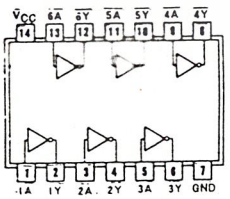
	SN54LS05 MIN	NOM	MAX	SN74LS05 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output voltage V_{OH}			5.5			5.5	V
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

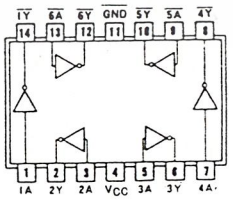
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
I_{OH}	High-level output current	V_{CC}=MIN, V_{IL}=V_{IL} max, V_{OH}=5.5V				100	μA
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OL}=4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.4V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current		Total, outputs low		3.6	6.6	mA
I_{CC}	Supply current	V_{CC}=5V,	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time low-to-high-level output	V_{CC}=5V, T_A=25°C	C_L=15pF, R_L=2kΩ		17	32	ns
t_{PHL}	Propagation delay time high-to-low-level output				15	28	ns

Pin Assignments (Top View)

①

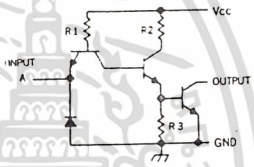


②



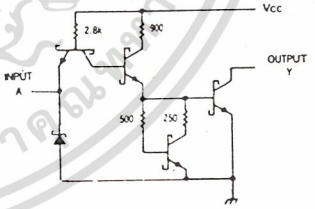
positive logic : $Y=\overline{A}$

Schematics (each gate)

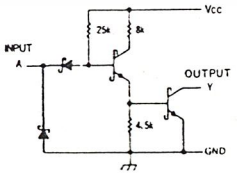


CIRCUITS	R1	R2	R3
'05	4k	1.6k	1k
'H05	2.8k	760	470

'05, 'H05 CIRCUITS



'S05 CIRCUIT



'LS05 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5413/7413 Dual 4-Input Positive-NAND Schmitt-Trigger

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.											SN54LS13	J①			W①	SN5413	J①			W①					
											SN74LS13	J①	N①			SN7413	J①	N①							
FAIRCHILD																FM5413/FM9N13	D①			F①					
																FC7413/FC9N13	D①	P①		F①					
MOTOROLA																									
																MC7413		P①							
N.S.C.											DM54LS13					DM5413	J①	N①		W①					
											DM74LS13					DM7413	J①	N①							
PHILIPS																									
											N74LS13		①			FJL131/7413		①							
SIGNETICS																S5413	F①	A①		W①					
											N74LS13		A①			N7413	F①	A①							
SIEMENS																									
																FLH351		①							
FUJITSU																									
HITACHI											HD74LS13		P①			HD2545	①	P①							
MITSUBISHI																									
											M74LS13		P①			M53213		P①							
NEC																									
																μPB2013	D①								
TOSHIBA																									

Electrical Characteristics SN54LS13/SN74LS13

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

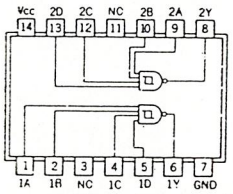
	SN54LS13			SN74LS13			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

eletrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{T+}	Positive-going threshold voltage	V_{CC} = 5V		1.4	1.6	1.9	V
V_{T-}	Negative-going threshold voltage	V_{CC} = 5V		0.5	0.8	1	V
	Hysteresis ($V_{T+}-V_{T-}$)	V_{CC} = 5V		0.4	0.8		V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = MAX	$V_I = V_{T-}$ min.	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 4mA	$V_I = V_{T+}$ max.		0.25	0.4	V
I_{T+}	Input current at positive-going threshold	V_{CC} = 5V,	$V_I = V_{T+}$		−0.14		mA
I_{T-}	Input current at negative-going threshnid	V_{CC} = 5V,	$V_I = V_{T-}$		−0.18		mA
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7V			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX,	V_I = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_{IL} = 0.4 V			−0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX		−20		−100	mA
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		2.9	6	mA
I_{CCL}	Supply current		Total, outputs low		4.1	7	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		1.75		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C, R_L = 2kΩ		15	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output				18	27	ns

Pin Assignment (Top View)

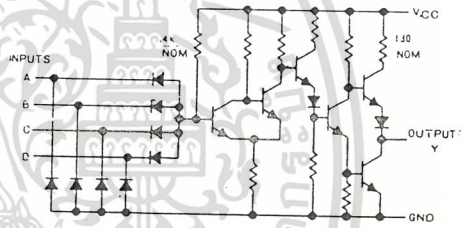
①



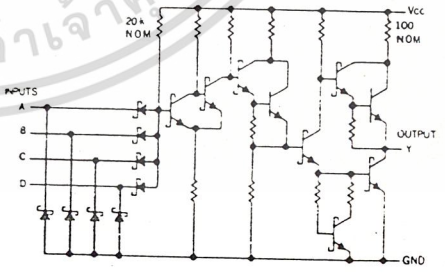
positive logic:
Y = ABCD

NC-No internal connection

Schematics (each gate)



'13 CIRCUIT



'LS13 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values at V_{CC} = 5V, T_A = 25°C.
◆Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5432/7432 Quadruple 2-Input Positive-OR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S32	J①			W①						SN54LS32	J①			W①	SN5432	J①			W①					
	SN74S32	J①	N①								SN74LS32	J①	N①			SN7432	J①	N①							
FAIRCHILD	FM54S32/FM9S32	D①			F①						FM54LS32/FM9LS32	D①			F①	FM5432/FM9N32	D①			F①					
	FC74S32/FC9S32	D①	P①		F①						FC74LS32/FC9LS32	D①	P①		F①	FC7432/FC9N32	D①	P①							
MOTOROLA																									
											SN74LS32		P①												
N.S.C.											DM74LS32		①			DM5432	J①	N①		W①	DM54L32				
											DM54LS32		①			DM74232	J①	N①			DM74L32				
PHILIPS	N74S32		①																						
											N74LS32		①			N7432		①							
SIGNETICS																5432	F①	A①		W①					
											N74LS32		A①			N7432	F①	A①							
SIEMENS																									
																FLH631		①							
FUJITSU																									
											74LS32		M①												
HITACHI																									
											HD74LS32		P①			HD7432	①	P①							
MITSUBISHI																									
											M53LS32		P①												
NEC																									
											74LS32		C①												
TOSHIBA																									

Electrical Characteristics SN54LS32/SN74LS32

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

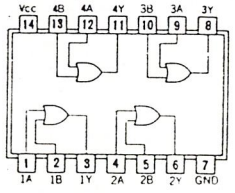
recommended operating conditions

	SN54LS32 MIN	NOM	MAX	SN74LS32 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

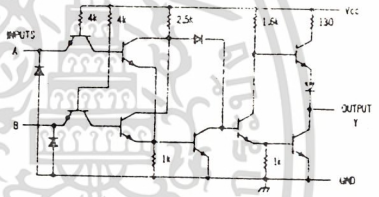
PARAMETER		TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, I_{OH} = MAX	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OL} = 4mA		0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = [illegible]			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = [illegible]			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V			−0.4	mA
I_{OS}	Short-circuit output current ♦	V_{CC} = MAX, [illegible]	−20		−100	mA
I_{CCH}	Supply current	V_{CC} = MAX, [illegible] outputs high		3.1	6.2	mA
I_{CCL}	Supply current	V_{CC} = MAX, [illegible] outputs low		4.9	9.8	mA
I_{CC}	Supply current	V_{CC} = 5V, Average per gate (50% duty cycle)		1.0		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ		14	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output			14	22	ns

Pin Assignment (Top View)

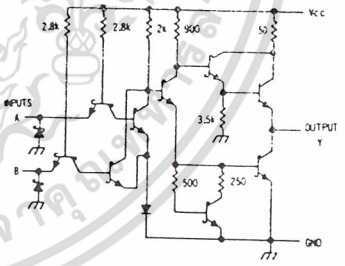


positive logic:
Y = A + B

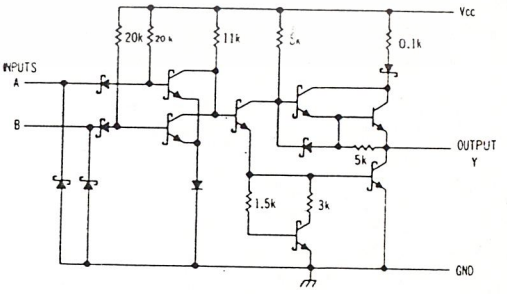
Schematics (each gate)



'32 CIRCUIT



'S32 CIRCUIT



'LS32 CIRCUIT

Resistor values shown are nominal and in ohms

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
♦Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5447A/7447A BCD-to-Seveen Segment Decder/Driver (15V Output)

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.											SN54LS47	J①			W①	SN5447A	J①			W①	SN54L47	J①			
											SN74LS47	J①	N①			SN7447A	J①	N①			SN74L47	J①	N①		
FAIRCHILD																FM5447/FM9357B	D①			F①					
																FC7447/FC9357B	D①	P①		F①					
MOTOROLA																MC5447	L①								
																MC7447	L①	P①							
N.S.C.											DM54LS47		①			DM5447A		①							
											DM74LS47		①			DM7447A		N①							
PHILIPS																N7447		①							
SIGNETICS																N7447		B①							
SIEMENS																FLL121V									
FUJITSU											74LS47		M①												
HITACHI											HD74LS47		P①			HD7447A/HD2532	①	P①							
MITSUBISHI											M74LS47		P①			M53247		P①							
NEC																μPB2047	D①								
TOSHIBA																TD3447A		F①							

Electrical Characteristics SN54LS47A/SN74LS47A

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Current forced into any output in the off state	1 mA	Storage temperature range		−65°C to 150°C

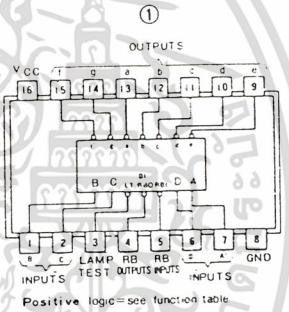
recommended operating conditions

		SN54LS47A			SN74LS47A			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
Off-state output voltage, V_O (off)	a thru g			15			15	V
On-state output current, I_O(on)	a thru g			12			24	mA
High-level output current, I_{OH}	BI/RBO			−50			−50	μA
Low-level output current, I_{OL}	BI/RBO			1.6			3.2	mA
Operating free-air temperature, T_A		−55		125	0		70	°C

electrica actstics over recommended operating free-air temperature range

PARAMETER ■			TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_I	Input clamp voltage, any input except BI/RBO		V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	BI/RBO	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−50μA		2.4	4.2		V
V_{OL}	Low-level output voltage	BI/RBO	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=1.6mA			0.25	0.4	V
I_O (off)	Off-state output current	a thru g	V_{CC}=MAX, V_{IH}=2V, V_{IL}=0.8V, V_O (off)=MAX				250	μA
V_O (on)	On-state output voltage	a thru g	V_{CC}=MAX, V_{IH}=2V, V_{IL}=0.8V, I_O (on)=12mA			0.25	0.4	V
I_I	Input current at maximum input voltage	Any input except BI/RBO	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	Any input except BI/RBO	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	Any input except BI/RBO	V_{CC}=MAX, V_I=0.4V				−0.4	mA
		BI/RBO					−1.2	
I_{OS}	Short-circuit output current	BI/RBO	V_{CC}=MAX		−0.3		−2	mA
I_{CC}	Supply current		V_{CC}=MAX	SN54LS		7	13	mA
				SN74LS		7	13	
t_{off}	Turn-off time from A input		V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=665Ω				100	ns
t_{on}	Turn-on time from A input						100	
t_{off}	Turn-off time from RBI input						100	ns
t_{on}	Turn-on-time from BRI input						100	

Pin Assignment (Top View)



Positive logic=see function table

NOTES: 1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (RBI) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are off regardless of the level of any other input.
3. When ripple-blanking input (RBI) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output (RBO) goes to a low level (response condition).
4. When the blanking input/ripple blanking output (BI/RBO) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.
5. BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO).

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC}=5V, T_A=25°C
■ I_{CC} is measured with all outputs open and all inputs at 4.5V.
¶ t_{off} corresponds to t_{PLH} and t_{on} corresponds to t_{PHL}.

CONTINUED ON NEXT PAGE

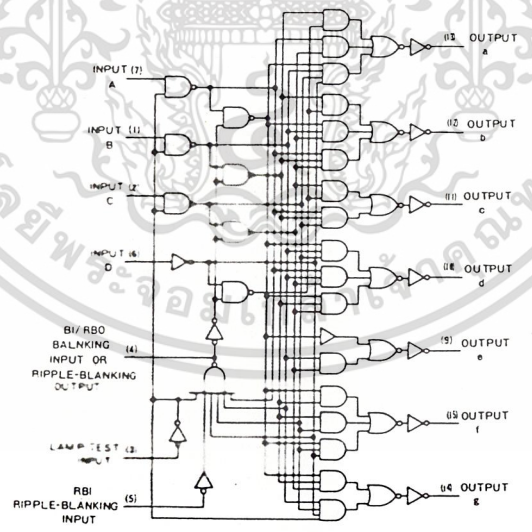
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Table

DECIMAL OR FUNCTION	INPUTS						BI/RBO #	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	1
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFN	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFN	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, X = irrelevant

Schematic



'47A, 'LSA47 'L47 BCD-TO-SEVEN-SEGMENT DECOER/DRIVER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

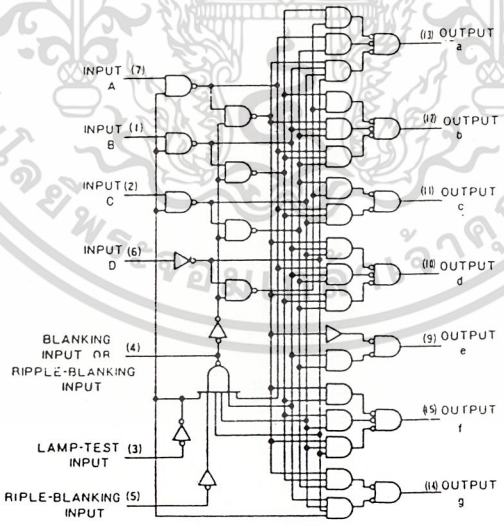
Function Table

'48, 'LS48 (see NOTES)

DECIMAL OR FUNCTION	INPUTS						BI/RBO#	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	H	H	H	H	H	H	L	1
1	H	X	L	L	L	H	H	L	H	H	L	L	L	L	1
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H	
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L	
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L	
BI	X	X	X	X	X	X	L	L	L	L	L	L	L	L	2
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L	L	3
LT	L	X	X	X	X	X	H	H	H	H	H	H	H	H	4

H = high level, L = low level, X = irrelevant

Functional Block Diagram



'48, 'LS48 BCD-TO-SEVEN-SEGMENT DECODER/DRIVER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5493/7493 4-Bit Binary Counter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T. I.											SN54LS93	J ①			W ①	SN5493A	J ①			W ①	SN54L93	J ②	N ②	T ②	
											SN74LS93	J ①	N ①			SN7493A	J ①	N ①			SN74L93	J ②	N ②	T ②	
FAIRCHILD											FM54LS93 / FM9LS93	D ①			F ①	FM5493, FM9393	D ①			F ①					
											FC74LS92 / FC9LS92	D ①	P ①			FC7493, FC9393	D ①	P ①							
MOTOROLA																MC5493	L ①								
											SN74LS93		P ①			MC7493	L ①	P ①							
N. S. C.											DM54LS93		J ①			DM5493	J ①	N ①		W ①	DM54L93	J ②	N ②		F ②
											DM74LS93		J ①			DM7493	J ①	N ①			DM74L93	J ②	N ②		F ②
PHILIPS																									
											N74LS93		J ①			FJJ221 7493		①							
SIGNETICS																S5493	F ①	A ①		W ①					
											N74LS93		A ①			N7493	F ①	A ①							
SIEMENS																									
																FLJ181		①							
FUJITSU																									
HITACHI											HD74LS93		P ①			HD7493A/HD2520	①	P ①							
MITSUBISHI											M74LS93		P ①			M53293		P ①							
NEC																μPB223	D ①	C ①							
TOSHIBA																TD3493A		P ①							

Electrical Characteristics SN54LS93A/SN74LS93A

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage (see Note 1)	5.5V	Storage temperature range		−65°C to 150°C

recommended oprating conditions

		SN54LS93A			SN74LS93A			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				400			400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		32	0		32	MHz
	B input	0		16	0		16	
Pulse width, t_w	A input	15			15			ns
	B input	30			30			
	Reset inputs	15			15			
Reset inactive-state setup, t_{setup}		25			25			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

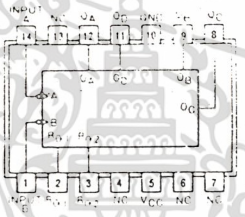
electrical characteristics over recommended operating free-air temperature range

PARAMETER ◆			TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_I	Input clamp voltage		V_{CC}=MIN, I_I=−18mA				1.5	V
V_{OH}	High-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−400μA		2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	Any reset	V_{CC}=MAX, V_I=7V				0.1	mA
		A input	V_{CC}=MAX, V_I=5.5V				0.2	
		B input					0.2	
I_{IH}	High-level input current	Any reset	V_{CC}=MAX, V_I=2.7V				20	μA
		A input					80	
		B input					80	
I_{IL}	Low-level input currrent	Any reset	V_{CC}=MAX, V_I=0.4V				0.4	mA
		A input					2.4	
		B input					1.6	
I_{OS}	Short-circuit output current ◆		V_{CC}=MAX	SN54LS	−20		−100	mA
				SN74LS	−20		−100	
I_{CC}	Supply current		V_{CC}=MAX, See Note 2			9	15	mA
f_{max}	from A to output Q_A		V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ		32	42		MHz
	from B to output Q_B				16			
t_{PLH} / t_{PHL}	from A to output Q_A					10	16	ns
t_{PLH}	from A to output Q_D					12	18	ns
t_{PHL}						46	70	
t_{PLH} / t_{PHL}	from B to output Q_B					46	70	ns
t_{PLH}	from B to output Q_C					10	16	ns
t_{PHL}						14	21	
t_{PLH}	from B to output Q_D					21	32	ns
t_{PHL}						23	35	
t_{PLH} / t_{PHL}	from Set-to-0 to Any output					34	51	ns
						34	51	
t_{PHL}	from Set-to-0 to Any output					26	40	ns

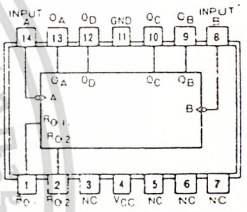
† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC}=5V, T_A=25°C.
◆ Not more than one output should be shorted at a time.
§ Q_A outputs are tested at I_{OL}=16mA plus the limit value for I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.
● f_{max} = maximum count frequency t_{PLH} = propagation delay time, low-to-high-level output t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignments (Top View)

①



②



positive logic: see function tables
NC No internal connection

Function Table

COUNT SEQUENCE

'93A, 'LS93, 'L93 (See Note 3, 4)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

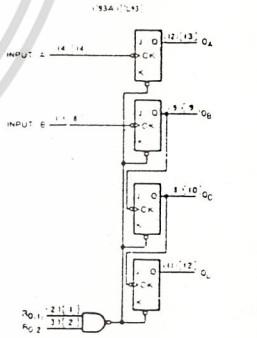
RESET/COUNT

'93A, 'LS93, 'L93 (See Note 4)

RESET INPUTS		OUTPUT			
$R_{0(1)}$	$R_{0(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

Functional Block Diagram

see Note 5



'93A, 'LS93, 'L93
4-BIT BINARY COUNTER

NOTES:

1. This is the voltage between two emitters of a multiple-emitter transister. For this circuit, this rating applies between the two R_0 inputs.
2. I_{CC} is measured with all outputs open, both R_0 inputs grounded following momentary connection to 4.5V, and all other inputs grounded.
3. Output Q_A is connected to input B.
4. H=high level, L=low level, X=irrelevant.
5. The J and K inputs shown without connection are for reference only and are functionally at a high level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54122/74122 Rettriggerable Monostable Multivibrator with Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS122	J①			W①	SN54122	J①			W①	SN54L122	J①	N①	T①	W①
											SN74LS122	J①	N①			SN74122	J①	N①			SN74L122	J①	N①	T①	
FAIRCHILD																FN54122/FN9N122	D①								
																FC74122/FC9N122	D①	P①							
MOTOROLA																MC74122		P①							
N.S.C.											DM54LS122		①												
											DM74LS122		①												
PHILIPS																N74122		①							
SIGNETICE																SN74122	F①	A①							
SIEMENS																FLK111		①							
FUJITSU																									
HITACHI											HD74LS122		P①												
MITSUBISHI																M53322		P①							
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS112/SN74LS122

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54_S	−55°C to 125°C
Input voltage	7V		SN74_S	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

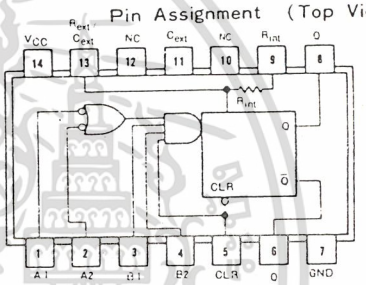
		SN54LS122 MIN	NOM	MAX	SN74LS122 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Pulse width, t_w	A or B inputs high	40			40			ns
	A or B inputs low	40			40			
External timing resistance, R_{ext}		5		180	5		260	kΩ
External timing capacitance, C_{ext}		No restriction			No restriction			
Wiring capacitance at R_{ext}/C_{ext} terminal				50			50	pF
Operating free-air temperature, T_A		55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER◆		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, I_{OH}=−400μA, See Note 1		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, I_{OL}=8mA, See Note 1			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				−0.4	mA
I_{OS}	Short-circuit output current◆	V_{CC}=MAX, See Note 1		−20		−100	mA
I_{CC}	Supply current (quiescent or triggered)	V_{CC}=MAX, See Notes 2 and 3			6	11	mA
t_{PLH}	from A to output Q	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	C_{ext}=0, R_{ext}=5kΩ		23	33	ns
	from B to output Q				23	44	
t_{PHL}	from A to output $\bar{Q}$				32	45	ns
	from B to output $\bar{Q}$				34	56	
t_{PHL}	from Clear to output Q				20	27	ns
t_{PLH}	from Clear to output $\bar{Q}$◆				28	45	
t_{wQ}(min)	from A or B to output Q				116	200	ns
t_{wQ}	from A or B to output Q		C_{ext}=1000pF, R_{ext}=10kΩ	4	4.5	5	μs

†For conditions shown as MIN or MAX, use the value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
◆Not more than one output shorted at a time.
◆t_{PLH}=propagation delay time, low-to-high-level output; t_{PHL}=propagation delay time, high-to-low-level output
t_{wQ}=width of pulse at output Q

Pin Assignment (Top View)



122 Rint=10kΩNOM
L122 Rint=20kΩNOM

NC No internal connection

Function Table

'122, 'LS122, 'L122 (See Note 4)

INPUTS CLEAR	A1	A2	B1	B2	OUTPUTS Q	$\bar{Q}$
L	X	X	X	X	L	H
X	H	H	X	X	L	H
X	X	X	L	X	L	H
X	X	X	X	L	L	H
X	L	X	H	H	L	H
H	L	X	↑	H	⎍	⎎
H	L	X	H	↑	⎍	⎎
H	X	L	H	H	L	H
H	X	L	↑	H	⎍	⎎
H	X	L	H	↑	⎍	⎎
H	H	↓	H	H	⎍	⎎
H	↓	↓	H	H	⎍	⎎
H	↓	H	H	H	⎍	⎎
↑	L	X	H	H	⎍	⎎
↑	X	L	H	H	⎍	⎎

NOTES 1. Ground C_{ext} to measure V_{OH} at Q, V_{OL} at $\bar{Q}$, or I_{OS} at Q. C_{ext} is open to measure V_{OH} at $\bar{Q}$, V_{OL} at Q, or I_{OS} at $\bar{Q}$.
2. I_{CC} is measured (after clearing) with 2.4V applied to all clear and A inputs, B inputs grounded, all outputs open, C_{ext}=0.02 μF, and R_{ext}=25kΩ, R_{int} is open.
3. I_{CC} is measured in the triggered state with 2.4V applied to all clear and B inputs, A inputs grounded, all output open, C_{ext}=0.02 μF, and R_{ext}=25kΩ, R_{int} is open.
4. (A, H=high level (steady state), L=low level (steady state), ↑=transition from low to high level, ↓=transition from high to low level, ⎍=one high-level pulse, ⎎=one low-level pulse, X=irrelevant (any input, including transitions).
B. To use the internal timing resistor connect R_{int} to V_{CC}.
C. An external timing capacitor may be connected between C_{ext} and R_{ext}/C_{ext} (positive).
D. For accurate repeatable pulse widths, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.
E. To obtain variable pulse widths, connect external variable resistance between R_{int} or R_{ext}/C_{ext} and V_{CC}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54138/74138 3-Line-to-8-Line Decoder

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S138	J①			W①						SN54LS138	J①			W①									
	SN74S138	J①	N①								SN74LS138	J①	N①											
FAIRCHILD	/FM93S138	D①									FM54LS138/FM96LS138	D①			F①									
	FC74S138/FC93S138	D①									FC74LS138/FC96LS138	D①	P①		F①									
MOTOROLA											SN74LS138		P①											
N.S.C.											DM74LS138		①											
	DM74S138		①								DM54LS138		①											
PHILIPS																								
	N74S138		①								N74LS138		①											
SIGNETICS	S54S138	F①	B①		W①																			
	N74S138	F①	B①								N74LS138		A①											
SIEMENS																								
FUJITSU											74LS138		M①											
HITACHI											HD74LS138		P①											
MITSUBISHI	M74S138		P①								M74LS138		P①											
NEC											74LS138		C①											
TOSHIBA																								

Electrical Characteristics SN54LS138/SN74LS138

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operarating conditions

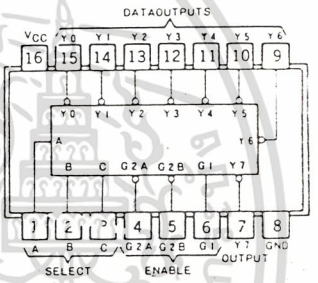
	SN54LS138 MIN	NOM	MAX	SN74LS138 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			400			400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER ◆		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp input voltage	V_{CC} = MIN, I_I = −18mA				1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = 400μA	SN54LS	2.5	3.4		V
			SN74LS	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX		−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, Outputs enabled and open			6.3	10	mA
t_{PLH}	from Binary select to Any output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	levels of delay 2		13	20	ns
t_{PHL}					27	41	
t_{PLH}			3		18	27	ns
t_{PHL}					26	39	
t_{PLH}	from Enable to Any output		2		12	18	ns
t_{PHL}					21	32	
t_{PLH}			3		17	26	ns
t_{PHL}					25	38	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time, and duration of the short-circuit test should not exceed one second.
● t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignment (Top View)



positive logic: see function table

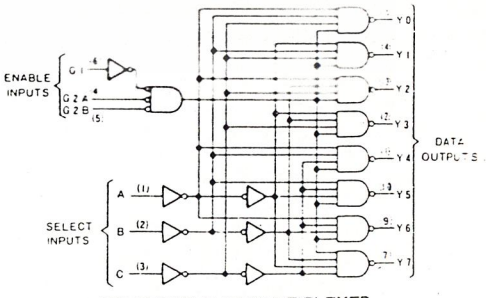
Function Table

'S138 'LS138

INPUTS ENABLE G1	ENABLE G2*	SELECT C	B	A	OUTPUTS Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

◆ G2 = G2A + G2B
H = high level, L = low level, X = irrelevant

Functional Block Diagram



'S138 'LS138 DECODER/DEMULTIPLEXER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2764A
ADVANCED 64K (8Kx8) UV ERASABLE PROM

- **Fast 180 nsec Access Time**
  —HMOS II*-E Technology
- **Low Power**
  —60 mA Maximum Active
  —20 mA Maximum Standby
- **Two Line Control**
- **inteligent Programming™ Algorithm**
  —Fastest EPROM Programming
- **inteligent Identifier™ Mode**
  —Automated Programming Operations
- **Compatible with 2764, 27128, 27256**
- **±10% V_{CC} Tolerance Available**

The Intel 2764A is a 5V only, 65,536-bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The 2764A is an advanced version of the 2764 and is fabricated with Intel's HMOSII-E technology which significantly reduces die size and greatly improves the device's performance, power consumption, reliability and producibility.

The 2764A provides access times to 180 ns/2764A-1). This is an improvement over the fastest 2764 access time of 200 ns. This is compatible with high-performance microprocessors, such as Intel's 8 MHz iAPX 186 allowing full speed operation without the addition of WAIT states. The 2764A is also directly compatible with the 12 MHz 8051 family.

Several advanced features have been designed into the 2764A that allow fast and reliable programming—the inteligent Programming Algorithm and the inteligent Identifier Mode. Programming equipment that takes advantage of these innovations will electronically identify the 2764A and then rapidly program it using an efficient programming method.

The 2764A also offers reduced power consumption compared to the 2764. The maximum active current on faster speed parts is 60 mA while the maximum standby current is only 20 mA. The standby mode lowers power consumption without increasing access time.

Two-line control and JEDEC-approved, 28 pin packaging are standard features of all Intel higher density EPROMs. This ensures easy microprocessor interfacing and minimum design efforts when upgrading, adding or choosing between non-volatile memory alternatives.

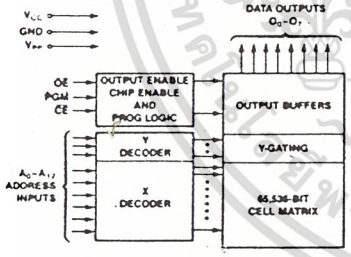
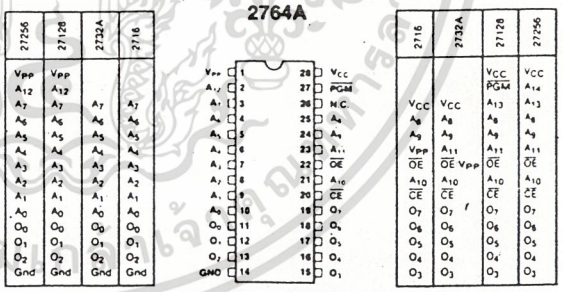


Figure 1. Block Diagram



NOTE: INTEL "UNIVERSAL SITE"-COMPATIBLE EPROM PIN CONFIGURATIONS ARE SHOWN IN THE BLOCKS ADJACENT TO THE 2764A PINS

Figure 2. Pin Configurations

MODE SELECTION

MODE \ PINS	$\overline{CE}$ (20)	$\overline{OE}$ (22)	$\overline{PGM}$ (27)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	Outputs (11-13, 15-19)
Read	V_{IL}	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Standby	V_{IH}	X	X	X	V_{CC}	V_{CC}	High Z
Verify	V_{IL}	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	X	X	X	V_{PP}	V_{CC}	High Z
inteligent Identifier	V_{IL}	V_{IL}	V_{IH}	V_H	V_{CC}	V_{CC}	Code
inteligent Programming	V_{IL}	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{IN}

1. X can be V_{IH} or V_{IL}
2. V_H = 12.0V ±0.5V

PIN NAMES

A_0-A_{12}	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}$	OUTPUT ENABLE
O_0-O_7	OUTPUTS
$\overline{PGM}$	PROGRAM
N.C.	NO CONNECT

*HMOS is a patented process of Intel Corporation

Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Embodied in an Intel Product. No Other Circuit Patent Licenses are Implied.
©INTEL CORPORATION, 1984

JULY 1984
ORDER NUMBER: 230702-003

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias ..... −10°C to +80°C
Storage Temperature ..... −65°C to +125°C
All Input or Output Voltages with Respect to Ground ..... +6.5V to −0.6V
Voltage on Pin 24 with Respect to Ground ..... +13.5V to −0.6V
V_{PP} Supply Voltage with Respect to Ground During Programming ..... +14V to −0.6V

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	2764A-1, 2764A-2, 2764A 2764A-3, 2764A-4	2764A-20, 2764A-25 2764A-30, 2764A-45
Operating Temperature Range	0°–70°C	0°–70°C
V_{CC} Power Supply[1,2]	5V ±5%	5V ±10%
V_{PP} Voltage[2]	$V_{PP} = V_{CC}$	$V_{PP} = V_{CC}$

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits Min	Typ[3]	Max	Unit	Conditions
I_{LI}	Input Load Current			10	µA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current			10	µA	$V_{OUT} = 5.5V$
I_{PP1}[2]	V_{PP} Current Read			5	mA	$V_{PP} = 5.5V$
I_{CC1}[2]	V_{CC} Current Standby			20/35[5]	mA	$\overline{CE} = V_{IH}$
I_{CC2}[2]	V_{CC} Current Active			60/75[5]	mA	$\overline{CE} = \overline{OE} = V_{IL}$
V_{IL}	Input Low Voltage	−.1		+.8	V	
V_{IH}	Input High Voltage	2.0		$V_{CC}+1$	V	
V_{OL}	Output Low Voltage			.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -400$ µA
V_{PP}[2]	V_{PP} Read Voltage	3.8		V_{CC}	V	$V_{CC} = 5.0V \pm 0.25V$

A.C. CHARACTERISTICS

Symbol	Parameter	2764A-1 Limits Min	Max	2764A-20 & 2764A-2 Limits Min	Max	2764A-25 & 2764A Limits Min	Max	2764A-30 & 2764A-3 Limits Min	Max	2764A-45 & 2764A-4 Limits Min	Max	Unit	Test Conditions
t_{ACC}	Address to Output Delay		180		200		250		300		450	ns	$\overline{CE}=\overline{OE}=V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		180		200		250		300		450	ns	$\overline{OE}=V_{IL}$
t_{OE}	$\overline{OE}$ to Output Delay		65		75		100		120		150	ns	$\overline{CE}=V_{IL}$
t_{DF}[4]	$\overline{OE}$ or $\overline{CE}$ High to Output Data Float	0	55	0	55	0	60	0	105	0	130	ns	$\overline{CE}=V_{IL}$
t_{OH}	Output Hold from Addresses $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		0		0		ns	$\overline{CE}=\overline{OE}=V_{IL}$

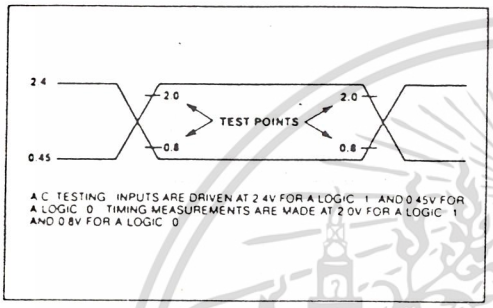
NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}.
3. Typical values are for $t_A = 25°C$ and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven — see timing diagram on the following page.
5. Max I_{CC} rating differs with access time. Rating of 60 mA active and 20 mA standby are for 2764As at 200 nsec and 180 nsec access time only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

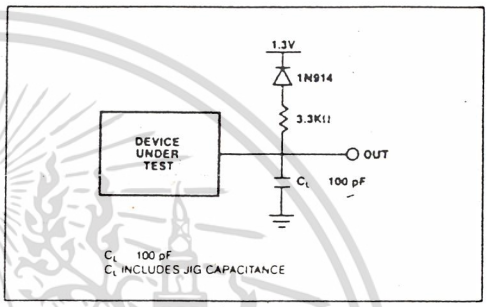
CAPACITANCE[2] ($T_A = 25°C$, f = 1MHz)

Symbol	Parameter	Typ.[1]	Max.	Unit	Conditions
C_{IN}	Input Capacitance	4	6	pF	$V_{IN} = 0V$
C_{OUT}	Output Capacitance	8	12	pF	$V_{OUT} = 0V$

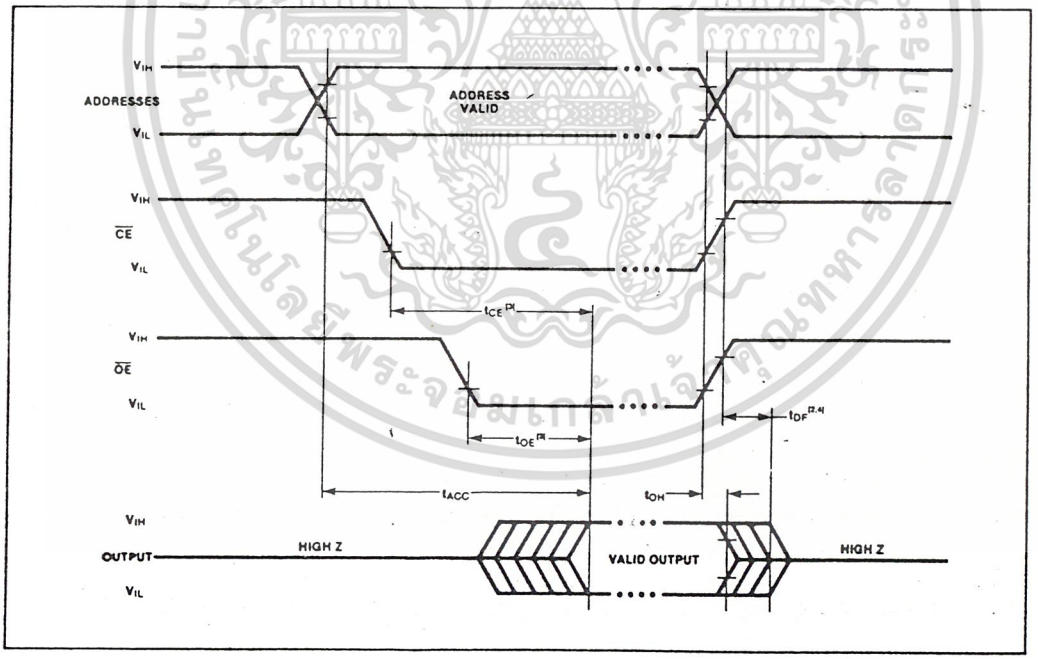
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



A.C. WAVEFORMS



NOTES: 1. Typical values are for T_A = 25°C and nominal supply voltages.
2. This parameter is only sampled and is not 100% tested.
3. $\overline{OE}$ may be displayed up to $t_{CE} - t_{OE}$ after the falling edge of $\overline{CE}$ without impact on t_{CE}.
4. t_{DF} is specified from $\overline{OE}$ or $\overline{CE}$, whichever occurs first.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE OPERATION

The seven modes of operation of the 2764A are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for V_{PP} and 12V on A9 for intelligent identifier mode.

Table 1. MODE SELECTION

MODE \ PINS	$\overline{CE}$ (20)	$\overline{OE}$ (22)	$\overline{PGM}$ (27)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	Outputs (11–13, 15–19)
Read	V_{IL}	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Standby	V_{IH}	X	X	X	V_{CC}	V_{CC}	High Z
Verify	V_{IL}	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	X	X	X	V_{PP}	V_{CC}	High Z
intelligent Identifier	V_{IL}	V_{IL}	V_{IH}	V_H	V_{CC}	V_{CC}	Code
intelligent Programming	V_{IL}	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{IN}

NOTES:
1. X can be V_{IH} or V_{IL}.
2. $V_H = 12.0V \pm 0.5V$.

READ MODE

The 2764A has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}$) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, the address access time (t_{ACC}) is equal to the delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs after a delay of t_{OE} from the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least $t_{ACC} - t_{OE}$.

STANDBY MODE

The 2764A has standby mode which reduces the maximum current from 75 mA to 35 mA. The 2764A is placed in the standby mode by applying a TTL-high signal to the $\overline{CE}$ input. When in standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input.

Output OR-Tieing

Because EPROMs are usually used in larger memory arrays, Intel has provided 2 control lines which accommodate this multiple memory connection. The two control lines allow for:

a) the lowest possible memory power dissipation, and
b) complete assurance that output bus contention will not occur.

To use these two control lines most efficiently, $\overline{CE}$ (pin 20) should be decoded and used as the primary device selecting function, while $\overline{OE}$ (pin 22) should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

System Considerations

The power switching characteristics of HMOSII-E EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control, as detailed in Intel's Application Note AP-72, Order Number 8566, and by properly selected decoupling capacitors. It is recommended that a 0.1 μF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7 μF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effect of PC board-traces.

PROGRAMMING MODES

Caution: Exceeding 14V on pin 1 (V_{PP}) will permanently damage the 2764A.

Initially, and after each erasure, all bits of the 2764A are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2764A is in the programming mode when V_{PP} input is at 12.5V and $\overline{CE}$ and $\overline{PGM}$ are both at TTL low. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

inteligent Programming™ Algorithm

The 2764A inteligent Programming Algorithm rapidly programs Intel 2764A EPROMs using an efficient and reliable method particularly suited to the production programming environment. Typical programming time for individual devices is on the order of one and a half minutes. Programming reliability is also ensured as the incremental program margin of each byte is continually monitored to determine when it has been successfully programmed. A flowchart of the 2764A inteligent Programming Algorithm is shown in Figure 3.

The inteligent Programming Algorithm utilities two different pulse types: initial and overprogram. The duration of the initial $\overline{PGM}$ pulse(s) is one millisecond, which will then be followed by a longer overprogram pulse of length 3X msec. X is an iteration counter and is equal to the number of the initial one millisecond pulses applied to a particular 2764A location, before a correct verify occurs. Up to 25 one-millisecond pulses per byte are provided for before the overprogram pulse is applied.

The entire sequence of program pulses and byte verifications is performed at V_{CC} = 6.0V and V_{PP} = 12.5V. When the inteligent Programming cycle has been completed, all bytes should be compared to the original data with $V_{CC} = V_{PP} = 5.0V$.

Program Inhibit

Programming of multiple 2764As in parallel with different data is easily accomplished by using the Program Inhibit mode. A high-level $\overline{CE}$ or $\overline{PGM}$ input inhibits the other 2764As from being programmed.

Except for $\overline{CE}$, all like inputs (including $\overline{OE}$) of the parallel 2764As may be common. A TTL low-level pulse applied to the $\overline{CE}$ input with V_{PP} at 12.5V will program the selected 2764A.

Verify

A verify should be performed on the programmed bits to determine that they have been correctly programmed. The verify is performed with $\overline{OE}$ at V_{IL}, $\overline{CE}$ at V_{IL}, $\overline{PGM}$ at V_{IH} and V_{PP} at 12.5V.

inteligent Identifier™ Mode

The inteligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ±5°C ambient temperature range that is required when programming the 2764A.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 24) of the 2764A. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 10) from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during inteligent Identifier Mode.

Byte 0 (A0 = V_{IL}) represents the manufacturer code and byte 1 (A0 = V_{IH}) the device identifier code. For the Intel 2764A, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O_7) defined as the parity bit.

Table 2. 2764A inteligent Identifier™ Bytes

Identifier \ Pins	A_0 (10)	O_7 (19)	O_6 (18)	O_5 (17)	O_4 (16)	O_3 (15)	O_2 (13)	O_1 (12)	O_0 (11)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	0	0	1	89
Device Code	V_{IH}	0	0	0	0	1	0	0	0	08

NOTES:
1. A_9 = 12.0V ±0.5V
2. A_1–A_6, A_{10}–A_{13}, $\overline{CE}$, $\overline{OE}$ = V_{IL}
3. A_{14} = V_{IH} or V_{IL}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

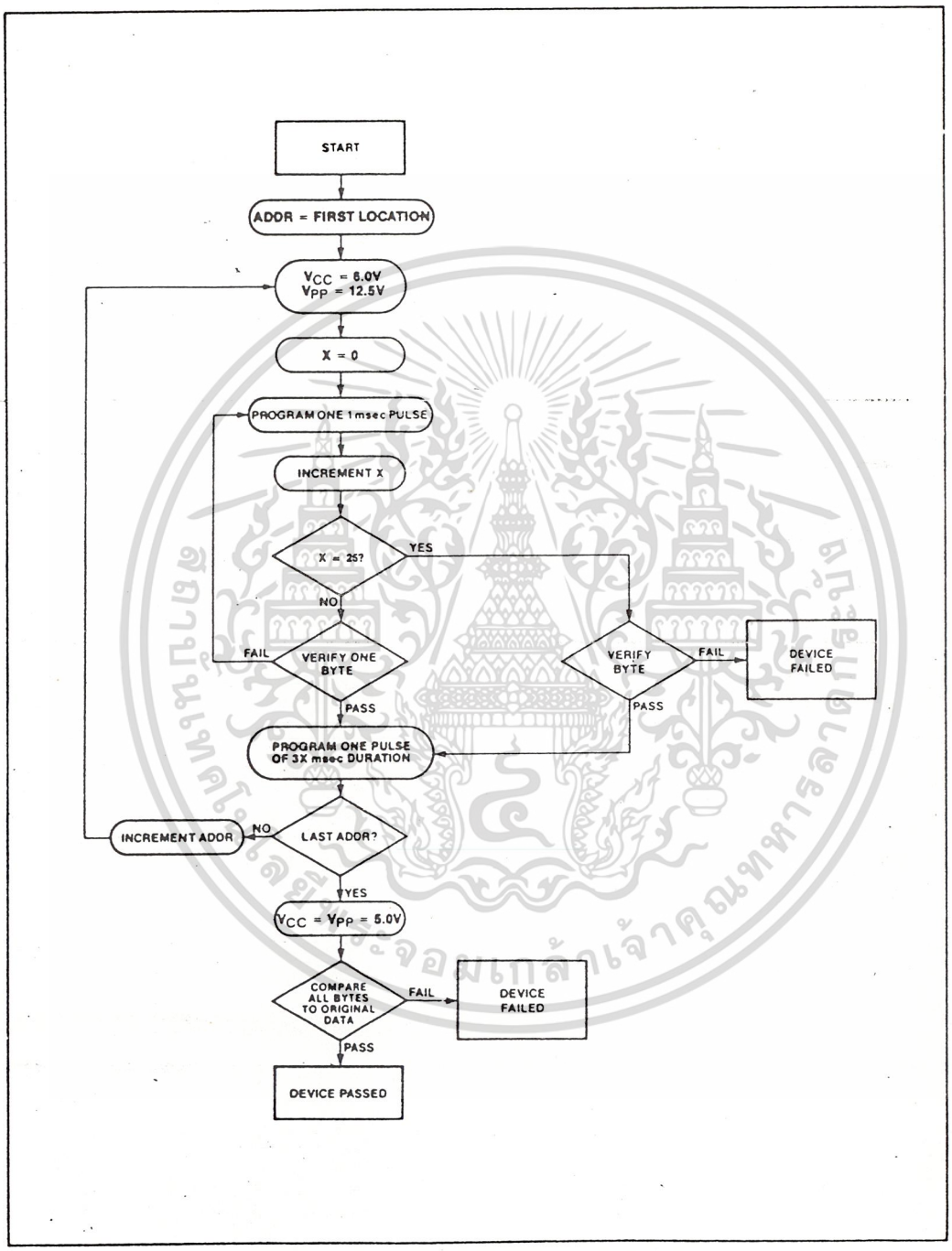


Figure 3. 2764A Int$_e$ligent Programming™ Flowchart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ERASURE CHARACTERISTICS

The erasure characteristics of the 2764A are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000–4000 Å range. Data show that constant exposure to room level fluorescent lighting could erase that typical 2764A in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 2764A is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 2764A window to prevent unintentional erasure.

The recommended erasure procedure for the 2764A is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity × exposure time) for erasure should be a minimum of 15 Wsec/cm^2. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 μW/cm^2 power rating. The 2764A should be placed within 1 inch of the lamp tubes during erasure. The maximum integrated dose a 2764A can be exposed to without damage is 7258 Wsec/cm^2 (1 week @ 12000 μW/cm^2). Exposure of the 2764A to high intensity UV light for long periods may cause permanent damage.

RELEVANT INTEL LITERATURE

AR-265 Versatile Algorithm, Equipment Cut Programming Time
RR-35B EPROM Reliability Data Summary

int$_e$ligent Programming™ Algorithm

D.C. PROGRAMMING CHARACTERISTICS:
T_A = 25 ± 5°C, V_{CC} = 6.0V ± 0.25V, V_{PP} = 12.5V ± 0.5V

Symbol	Parameter	Limits			Test Conditions (see Note 1)
		Min.	Max.	Unit	
I_{LI}	Input Current (All Inputs)		10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	V_{CC}	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage During Verify	2.4		V	I_{OH} = −400 μA
I_{CC2}	V_{CC} Supply Current (Program & Verify)		75	mA	
I_{PP2}	V_{PP} Supply Current (Program)		50	mA	$\overline{CE} = V_{IL}$
V_{ID}	A_9 int$_e$ligent Identifier Voltage	11.5	12.5	V	

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. PROGRAMMING CHARACTERISTICS:
$T_A = 25 \pm 5°C$, $V_{CC} = 6.0V \pm 0.25V$, $V_{PP} = 12.5V \pm 0.5V$

Symbol	Parameter	Limits				Test Conditions* (see Note 1)
		Min.	Typ.	Max.	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}[4]	$\overline{OE}$ High to Output Float Delay	0		130	ns	
t_{VPS}	V_{PP} Setup Time	2			μs	
t_{VCS}	V_{CC} Setup Time	2			μs	
t_{PW}	$\overline{PGM}$ Initial Program Pulse Width	0.95	1.0	1.05	ms	(see Note 3)
t_{OPW}	$\overline{PGM}$ Overprogram Pulse Width	2.85		78.75	ms	(see Note 2)
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

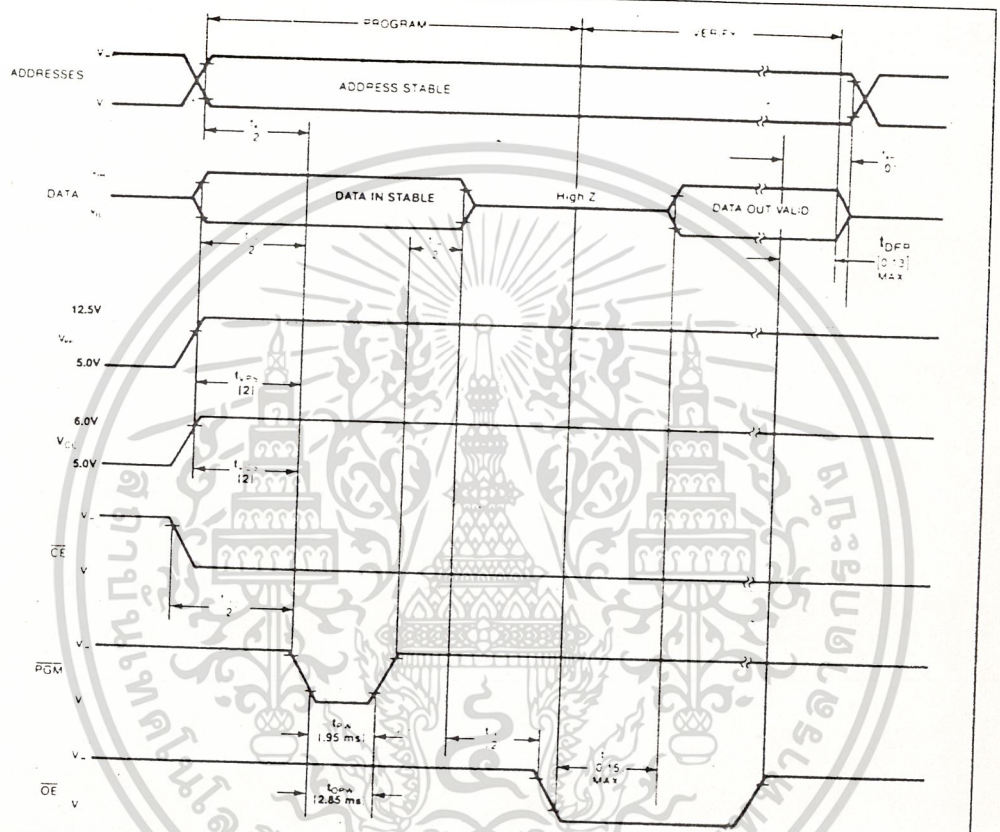
***A.C. CONDITIONS OF TEST**

Input Rise and Fall Times (10% to 90%) . . . 20 ns
Input Pulse Levels . . . . . 0.45V to 2.4V
Input Timing Reference Level . . . . . 0.8V and 2.0V
Output Timing Reference Level . . . 0.8V and 2.0V

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. Initial Program Pulse width tolerance is 1 msec ±5%.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intelligent Programming™ WAVEFORMS



1. ALL TIMES SHOWN IN [ ] ARE MINIMUM AND IN μSEC UNLESS OTHERWISE SPECIFIED.
2. THE INPUT TIMING REFERENCE LEVEL IS .8V FOR V_{IL} AND 2V FOR A V_{IH}.
3. t_{OE} AND t_{DFP} ARE CHARACTERISTICS OF THE DEVICE BUT MUST BE ACCOMMODATED BY THE PROGRAMMER.
4. WHEN PROGRAMMING THE 2764A, A 0.1 μF CAPACITOR IS REQUIRED ACROSS V_{PP} AND GROUND TO SUPRESS SPURIOUS VOLTAGE TRANSIENTS WHICH CAN DAMAGE THE DEVICE.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้