เดลต้า มอดูเลชัน มัลติเพล็กซ์
สำหรับ 4 ช่องสัญญาณเสียง
4 CHANNEL VOICE
DELTA MODULATION MULTIPLEX

โดย

นายธีรพงษ์ แท่นแก้ว

นายพรชัด ม้าวิไล

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

วัน เดือน ปี 14 พ.ค. 2539
เลขทะเบียน 034432
เลขเรียกหนังสือ T 074032 ธ.ต

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2537

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เดลต้า มอดูเลชั่น มัลติเพลกซ์ สำหรับ 4 ช่องสัญญาณเสียง

ผู้จัดทำ

1. นายธีรพงษ์ แท่นแก้ว
2. นายพรชัย ม้าวิไล

.....อาจารย์ที่ปรึกษา

(รศ.ดร.วิวัฒน์ กิรานนท์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดลต้า มอดูเลชั่น มัลติเพล็กซ์ สำหรับ 4 ช่องสัญญาณเสียง

4 CHANNAL VOICE DELTA MODULATION MULTIPLEX

โดย นายธีรพงษ์ แท่นแก้ว

นายพรชัย ม้าวิไล

อาจารย์ที่ปรึกษา รศ.ดร.วิวัฒน์ กิรานนท์

บทคัดย่อ

โครงงานนี้เป็นการศึกษา และออกแบบระบบการทำงานของระบบเดลต้า มอดูเลชั่น มัลติเพล็กซ์ ในการทำงานนั้นจะนำเอาสัญญาณอนาลอก มาทำการเปลี่ยนเป็นสัญญาณดิจิตอลเข้ารหัสเดลต้ามอดูเลชั่น แล้วทำการมัลติเพล็กซ์แบบแบ่งตามคาบเวลา (Time division mulltiplex) จะใช้ช่องสัญญาณทางเข้า 4 ช่องสัญญาณ เหลือช่องสัญญาณทางออกเพียง 1 ช่องสัญญาณ แล้วทำการดีมัลติเพล็กซ์ กลับสู่ช่องสัญญาณเดิม และแปลงกลับเป็นสัญญาณอนาลอก โดยใช้อุปกรณ์วงจรลิเนียร์ และวงจรลอจิกมาใช้งานร่วมกัน

ABSTRACT

The objective of this project is to study and design delta modulation multiplexed system. By using analog to digital converter to convert analog signals to be delta modulation signals.Four channels digital signals are multiplexed by time division multiplex method and then it is demultiplexed and converted to be analog signal at the receiver established from the circuit combination linear circuits and logic circuits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	หลักการและทฤษฎี	3
	2.1 คุณสมบัติการสื่อสารด้วยสัญญาณดิจิตอล	3
	2.2 การเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	4
	2.2.1 หลักการของพัลส์โค้ดมอดูเลชั่น	4
	2.2.2 เดลต้ามอดูเลชั่น	9
	2.3 การเปลี่ยนสัญญาณดิจิตอลกลับเป็นสัญญาณอนาลอก	13
	2.4 การมัลติเพล็กซ์แบบแบ่งคาบเวลา	15
	2.5 เฟสล็อคลูป	16
	2.5.1 หลักการทำงานของวงจรเฟสล็อคลูป	17
	2.5.2 การเข้าสู่สภาวะล็อคและภาวะขณะที่เฟสล็อค	19
	2.6 วงจรกรองความถี่ (Active filter)	22
บทที่ 3	การทดลอง และผลการทดสอบ	28
	3.1 เดลต้ามอดูเลชั่น	28
	3.2 วงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล และดิจิตอลเป็นอนาลอก	39
	3.3 วงจรผลิตสัญญาณ	42
	3.4 วงจรมัลติเพล็กซ์สัญญาณ	46
	3.5 วงจรดีมัลติเพล็กซ์	49
	3.6 วงจรกรองความถี่ต่ำ	53
บทที่ 4	สรุป	61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทที่ 1
บทนำ

โครงงานนี้ เป็นการนำเอาสัญญาณอนาลอก ซึ่งมีย่านความถี่ของสัญญาณไม่เกิน 4 กิโลเฮิร์ท นำมาทำการแปลงเป็นสัญญาณดิจิตอล โดยการเข้ารหัสแบบเดลต้ามอดูเลชั่น ผลที่ได้จะเป็นสัญญาณดิจิตอลที่มีระดับสัญญาณเพียง 2 ระดับ คือ ระดับสัญญาณ 0 (low) และระดับสัญญาณ 1 (high) ออกมาเป็นสัญญาณขบวนพัลส์ยาวต่อเนื่องกันไป อุปกรณ์ที่ใช้ทำหน้าที่แปลงสัญญาณจากอนาลอกเป็นดิจิตอลนั้นใช้อุปกรณ์ ไอซีสำเร็จรูปที่รู้จักกันอย่างแพร่หลายเป็นเดลต้ามอดูเลชั่นแบบซีวีเอสดี(CVSD)สัญญาณที่ออกมาเป็นขบวนรหัสสัญญาณนั้น จะนำมาทำการผ่านขบวนการมัลติเพล็กซ์แบบแบ่งคาบเวลา และในโครงงานนี้ใช้การมัลติเพล็กซ์ โดยมีช่องสัญญาณทางเข้า 4 ช่องสัญญาณ และมี 1 ช่องสัญญาณสำหรับใส่สัญญาณควบคุมเป็นตัวใช้บอก เพื่อให้ทางด้านรับนั้นสามารถใช้ตรวจสอบสัญญาณได้ว่าส่วนไหนเป็นข้อมูลของช่องสัญญาณไหน เพื่อใช้ในการดีมัลติเพล็กซ์ในภาครับและเพื่อใช้ในการตรวจสอบสำหรับสร้างสัญญาณนาฬิกาเพื่อการดีเทค หรือที่เรียกว่า คล๊อกรีโคเวอร์รี (Clock recovery) ของวงจรเฟสล็อคลูป (Phase lock loop) สัญญาณควบคุมที่ใส่นี้จะต้องมีขนาด และรูปร่างที่แตกต่างไปจากสัญญาณข้อมูล ในโครงงานนี้ได้จัดให้มีขนาดที่ใหญ่กว่าระดับขนาดของข้อมูล ดังนั้น รวมทั้งหมดจะต้องมัลติเพล็กซ์สัญญาณทั้งหมด 5 ช่องสัญญาณ และความเร็วในการมัลติเพล็กซ์สัญญาณ หรือความถี่ของสัญญาณนาฬิกาที่ใช้ควบคุมภาคมัลติเพล็กซ์นั้น ต้องมีความเร็วมากกว่า 5 เท่าของความเร็วของข้อมูลที่ออกมาและต้องให้ความเร็วของมัลติเพล็กซ์กับความเร็วของข้อมูลต้องสัมพันธ์กัน เพื่อไม่ให้เกิดการผิดพลาดของข้อมูลที่ออกมา ข้อมูลที่ออกมาแล้วจะถูกส่งผ่านสายออกไป และเมื่อไปถึงด้านภาครับแล้วก็จะทำการดีมัลติเพล็กซ์สัญญาณออกมาที่ภาครับก็จะมีวงจรดีมัลติเพล็กซ์ วงจรนับ และวงจรเฟสล็อคลูป ส่วนที่สำคัญก็คือ วงจรเฟสล็อคลูป เพราะจะต้องสร้างสัญญาณนาฬิกาขึ้นมา ให้มีความถี่ และเฟสของสัญญาณให้ตรงกับสัญญาณนาฬิกาที่ด้านเครื่องส่ง เพื่อใช้ในการดีมัลติเพล็กซ์ ถ้าหากความถี่และเฟสของสัญญาณด้านเครื่องรับไม่ตรงกับด้านเครื่องส่งก็อาจจะส่งผลให้เกิดการดีมัลติเพล็กซ์ช่องสัญญาณที่ผิดได้ คือ ส่งเข้าช่องที่1 อาจจะออกช่อง 4 หรือส่งช่องสัญญาณ 3 ออกไปที่ช่องสัญญาณ 1 ก็แล้วแต่ค่าความผิดพลาดของวงจรเฟสล็อกลูป แต่ถ้าหากวงจรผลิตเฟสและความถี่ตรงแล้วก็จะทำให้ดีมัลติเพล็กซ์ถูกช่องได้ เมื่อเสร็จแล้ว จะนำเอาสัญญาณข้อมูลที่เป็นแบบดิจิตอลมาทำการแปลงกลับเป็นสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อนาลอกตามเดิมอีกเช่นกัน อุปกรณ์ที่แปลงสัญญาณดิจิตอลกลับเป็น อนาลอกนั้นก็เป็นตัวเดียวกับตัวเปลี่ยนสัญญาณอนาลอกไปเป็นดิจิตอล เมื่อสัญญาณที่ได้ออกมาแล้วจะนำไปเข้าวงจรกรองผ่านความถี่ต่ำ (low pass filter) เพื่อที่จะทำการกรองเอาสัญญาณในย่านความถี่ไม่เกิน 4 kHz ผ่านออกมาเพื่อไม่ให้สเปคตรัมในความถี่สูงมารบกวน นำสัญญาณอนาลอกมาทำการขยายอีกครั้งเพื่อให้มีความแรงของสัญญาณให้พอที่จะสังเกตุเห็นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หลักการและทฤษฎี

2.1 คุณสมบัติการสื่อสารด้วยสัญญาณดิจิตอล

สัญญาณแบบดิจิตอล สามารถนำมาใช้สื่อสารแทนสัญญาณอนาลอกโดยการแปลงสัญญาณจากอนาลอกให้เป็นดิจิตอล แล้วนำไปเข้ารหัสหรือจัดแปลงให้เหมาะสมกับการส่ง ซึ่งจะขึ้นอยู่กับวิธีการส่งและตัวอย่าง ข้อดีของการสื่อสารด้วยสัญญาณดิจิตอล ที่สำคัญมีดังนี้

1. สะดวกต่อการมัลติเพล็กซ์ ซึ่งส่วนมากใช้การมัลติเพล็กซ์แบบแบ่งช่วงเวลา (Time division multiplex)

2. สะดวกในการส่งสัญญาณควบคุม โดยจะกำหนดให้ช่องเวลาช่องหนึ่งในระบบมัลติเพล็กซ์แบบแบ่งเวลา เป็นช่องสำหรับรับส่งสัญญาณควบคุม

3. สัญญาณรบกวนต่ำ ในระบบอนาลอกนั้น สัญญาณรบกวน (Noise) และสัญญาณสอดแทรก (Interference) สามารถเข้าไปผสมและผ่านไปยังผู้รับได้ง่าย กล่าวคือในระหว่างการส่งถ้ามีการขยายสัญญาณข้อมูลก็จะทำการขยายสัญญาณรบกวนเหล่านี้ไปด้วย แต่ในระบบดิจิตอลนั้น สัญญาณอยู่ในรูปของระดับแรงดัน 0 (low) และ 1 (high) ถ้าสัญญาณรบกวนมีขนาดไม่มากพอที่จะทำให้สัญญาณจริงเปลี่ยนระดับได้ ก็จะไม่มีผลไปถึงผู้รับ

4. ง่ายต่อการเข้ารหัส ในกรณีที่ต้องการให้ข้อมูลนั้นเป็นความลับ เราสามารถเข้ารหัสข้อมูล เช่น การสแครมเบลอร์ ที่ปลายทางก็จะมีวงจรดีสแครมเบลอร์สำหรับถอดรหัส

อย่างไรก็ตามระบบสื่อสารแบบดิจิตอลก็มีข้อเสียอยู่ ที่สำคัญคือ

1. เพิ่มแบนด์วิดธ์ของสัญญาณ เช่น สัญญาณเสียงพูดสำหรับโทรศัพท์ ซึ่งกำหนดไว้ว่ามีแบนด์วิดธ์ไม่เกิน 3.4 kHz เมื่อแปลงเป็นสัญญาณดิจิตอลแล้วส่งด้วยอัตรา 2.048 Mb/s. อย่างน้อยที่สุดสายส่งที่ใช้ต้องมีผลตอบสนองต่อความถี่ในย่าน 2.048 MHz ได้ ทำให้ต้องใช้สายส่งที่มีราคาแพงขึ้น

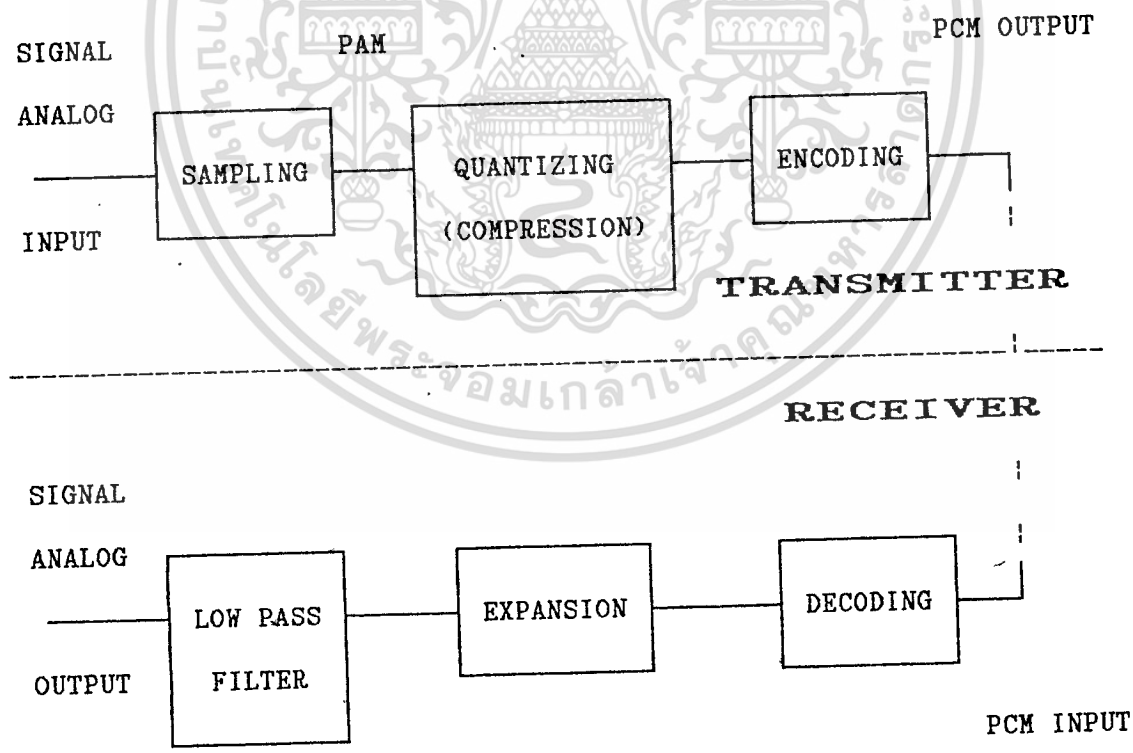
2. การซิงโครไนเซชัน (Synchronization) ทางด้านรับนั้นต้องมีวงจรสร้างสัญญาณ เวลาที่ซิงโครไนซ์ (Synchronize) กับทางด้านส่งสำหรับตรวจจับ (sample) สัญญาณที่เข้ามาแต่ละบิท (bit) ไม่ให้ผิดพลาด รวมทั้งจะต้องรู้จุดเริ่มต้นของขบวนสัญญาณ (data stream) จึงต้องมีวงจรซิงโครไนเซชันที่ทำให้สัญญาณเวลาทางด้านรับซิงโครไนซ์กับทางด้านส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

2.2.1 หลักการของพัลส์โค้ดมอดูเลชั่น (Principle of Pulse code modulation)

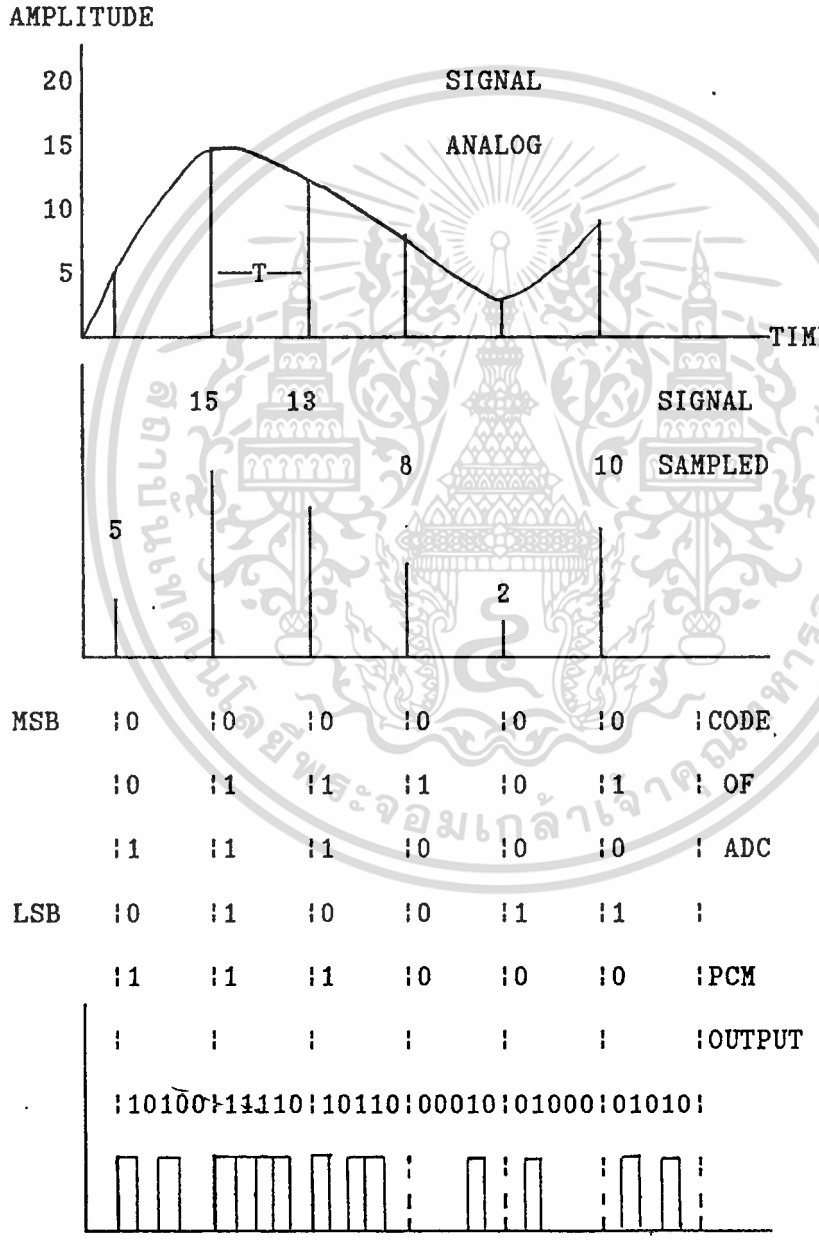
วิธีการของการมอดูเลชั่นแบบพัลส์โค้ดมอดูเลชั่น หรือพีซีเอ็มนั้นเป็นการมอดูเลทที่ถูกนิยมใช้กันอย่างแพร่หลายในระบบการสื่อสาร ลักษณะของการทำงานแบบพีซีเอ็ม คือ สัญญาณอินพุทที่เป็นแบบอนาลอกจะถูกทำการสุ่มตัวอย่างหรือที่เรียกว่าการแซมปลิ้ง (sampling) โดยที่ขนาดความถี่ของพัลส์ที่เป็นคลื่นพาหะต้องมีค่ามากกว่าความถี่ของสัญญาณอินพุทอย่างน้อยสองเท่า ค่าความถี่ของคลื่นพาหะนี้เรียกว่า อัตราการแซมปลิ้ง (sampling date) จากนั้นขนาดของสัญญาณที่ถูกสุ่มออกมาจะถูกทำการเข้ารหัสเป็นข้อมูลทางดิจิตอล ด้วยระบบไบนารี่ ความละเอียดของระดับสัญญาณขึ้นอยู่กับจำนวนบิทที่ใช้ในการเข้ารหัส แล้วทำการส่งออกไปตามสาย พอไปถึงในภาครับสัญญาณดิจิตอลก็จะถูกแปลงกลับเป็นสัญญาณอนาลอกอีกครั้งหนึ่ง แล้วก็ส่งเข้าสู่วงจรกรองความถี่ต่ำ (low pass filter) เพื่อทำให้ได้สัญญาณที่มีลักษณะเดียวกับสัญญาณอินพุทก่อนนำไปขยายสัญญาณเพื่อนำไปใช้งานต่อไป



รูปที่ 2.1 พื้นฐานของระบบพีซีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับประสิทธิภาพการส่งข้อมูลทางดิจิตอลนั้น สามารถกำหนดได้จากอัตราการส่งข้อมูลหรือบิทเรต (Bit Rate) ในลักษณะจำนวนบิทต่อเวลา ตัวอย่างเช่น ในระบบโทรศัพท์ที่มีค่าแบนด์วิชช์ของสัญญาณข้อมูล (เสียงพูด) 4 กิโลเฮิรตซ์ หากใช้อัตราการแซมปลิ้ง 4 เท่า คือ ใช้ค่าความถี่เท่ากับ 16 กิโลเฮริตซ์ และให้ข้อมูลแต่ละค่าที่เกิดจากการสุ่มตัวอย่างถูกแปลงเป็นเลขไบนารี่ ชนิด 8 บิท จะทำให้ได้บิทเรทของระบบมีค่าเท่ากับ 128 กิโลบิทต่อวินาที (kb/s) หรืออาจเขียนเป็นสูตรได้ว่า บิทเรต = แบนด์วิช x อัตราการแซมปลิ้ง x จำนวนบิทต่อข้อมูล



รูปที่ 2.2 รูปคลื่นของสัญญาณระบบมอดูเลทแบบพีซีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.3 สัญญาณอนาลอก V(t) มีอัตราการเปลี่ยน dv/dt ในช่วง Aperture time (T_a) ดังนั้น ช่วงการเปลี่ยนแปลงอนาลอกจะเท่ากับ V โดย

$$V = Ta \frac{dV(t)}{dt}$$

ดังนั้น หากเวลาที่ ADC ใช้ในการเปลี่ยนสัญญาณในช่วงเวลา T_a นี้รหัสดิจิตอลที่ได้อาจจะตรงกับขนาดของสัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงเวลาหนึ่ง ซึ่งแน่นอนว่าในบางครั้งเป็นไปได้ที่รหัสดิจิตอล จะตรงกับขนาดของสัญญาณอนาลอกที่เกิดขึ้นเรียก error ที่เกิดขึ้นนี้ว่า Aperture time error

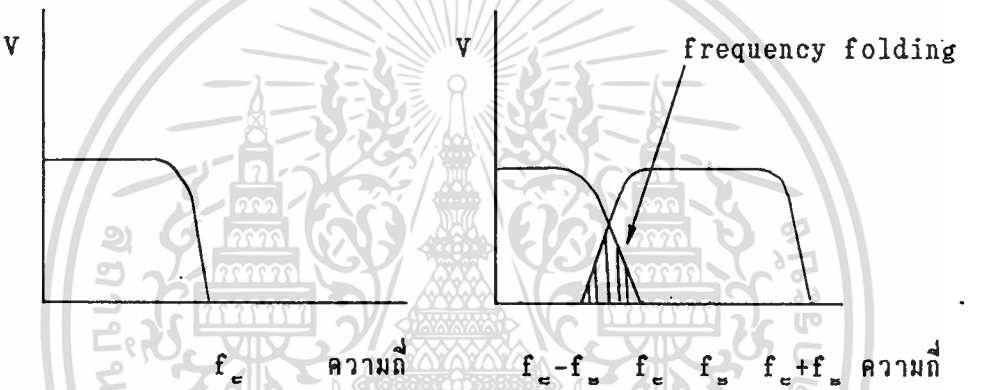
วงจร Sample and Hold จะทำการสุ่ม (Sampling) สัญญาณอินพุท และนำสัญญาณที่สุ่มนั้นมาเก็บ (hold) ไว้ในช่วงเวลาหนึ่งได้ ซึ่งส่วนใหญ่จะใช้การประจุแรงดันนั้นไว้ในตัวเก็บประจุที่รั่วไหลต่ำ Aperture time ของ Sample & Hold คือเวลาตั้งแต่เริ่มสุ่มสัญญาณจนเก็บประจุค่าแรงดันจนถึงค่าที่สุ่ม ซึ่งสำหรับ Sample and hold แล้ว Aperture time ขึ้นอยู่กับแบนด์วิดธ์ และ Switching time ของอุปกรณ์แอคทีฟ (จะกล่าวภายหลัง) ที่ใช้ในวงจร ซึ่งหาและสร้างได้ง่ายและราคาถูกกว่าการสร้าง ADC ความเร็วสูง

ในการสุ่มสัญญาณอนาลอก จะถูกสุ่มเป็นระยะๆ คงที่ การสุ่มจะเป็นการต่อสัญญาณอนาลอกในช่วงเวลาอันสั้นด้วยสวิทช์ที่ทำงานด้วยความเร็วสูง ผลของการสุ่มสัญญาณด้วยความเร็วจะเสมือนกับการคูณชบวนสัญญาณพัลส์แคบๆ กับสัญญาณอนาลอก ซึ่งจะได้เป็นสัญญาณที่มอดูเลทระหว่างชบวนพัลส์กับสัญญาณอนาลอก โดยเสมือนว่าสัญญาณอนาลอกจะขี่มาบนชบวนพัลส์ และสัญญาณอนาลอกที่ถูกสุ่มถูก hold จนกว่าสัญญาณค่าใหม่ถูกสุ่มเข้ามา

มีปัญหาที่ว่าอัตราการสุ่มสัญญาณนั้นควรมีขนาดเท่าใด จึงจะไม่ทำให้ข้อมูลสูญเสียไปเมื่อสัญญาณนั้นถูกเปลี่ยนกลับมาเป็นเช่นเดิม คำตอบก็คือ ขึ้นอยู่กับความถี่ของสัญญาณอนาลอก ทฤษฎีของการสุ่มกล่าวไว้ว่า "ถ้าสัญญาณต่อเนื่องซึ่งมีความถี่และฮาร์โมนิคส์ไม่เกิน f_c ถูกสุ่มด้วยอัตราการสุ่มไม่น้อยกว่า $2f_c$ แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้อย่างเดิม โดยไม่สูญเสีย รายละเอียดหรือผิดเพี้ยนไป"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากทฤษฎีของการสุ่มสามารถอธิบายด้วยลักษณะรูปสเปคตรัมของสัญญาณในรูปที่ 2.3 รูป (ก) แสดงให้เห็นสเปคตรัมของสัญญาณที่ถูกสุ่มซึ่งเบนด์วิดธ์ไม่เกิน f_c ในขณะที่สัญญาณนี้จะถูกสุ่มด้วยความถี่ f_s ขบวนการมอดูเลชั่น จะทำให้แถบสเปคตรัมของสัญญาณสุ่มขยายกว้างออกจาก f_s เป็น $2f_s$ $3f_s$ ..... ได้เป็นดังรูป (ข) ถ้าความถี่ของสัญญาณสุ่ม f_s ไม่สูงพอหลังจากการสุ่มสเปคตรัมบางส่วนของ f_s จะหาช้อนกลับสเปคตรัมของสัญญาณซึ่งเรียกว่า Frequency Folding หากเป็นเช่นนี้ ก็จะทำให้เกิดความเพี้ยนแก่สัญญาณอนาลอกจากการช้อนกันของสเปคตรัม เมื่อสัญญาณถูกเปลี่ยนกลับอยู่ในรูปเดิม



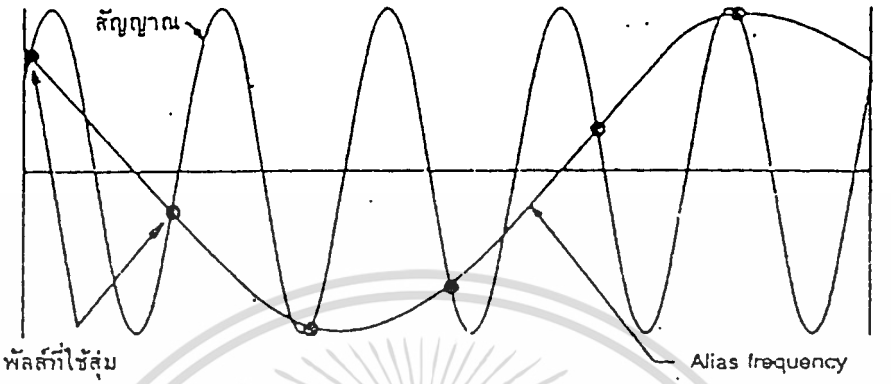
รูปที่ 2.3 (ก) แสดงสเปคตรัมของสัญญาณอนาลอกที่จะถูกสุ่ม
(ข) สเปคตรัม หลังจากการสุ่ม เกิด Frequency folding

และถ้าเลื่อนความถี่ของการสุ่มขึ้น จนโอกาสการช้อนของสเปคตรัมหมดไป ($f_s-f_c=f_c$) และการเปลี่ยนกลับของสัญญาณหลังจากถูกสุ่มก็ยังคงเหมือนเดิมได้

จากที่กล่าวมาแสดงถึงการสนับสนุนทฤษฎีการสุ่มที่ว่าให้ $f_s > 2f_c$ นั้นก็ คือการกำจัดการช้อนกันของสเปคตรัมซึ่งทำได้สองวิธี วิธีหนึ่งด้วยการใช้อัตราการสุ่มที่สูงพอและอีกวิธีหนึ่งคือ การทำการฟิลเตอร์ความถี่ของสัญญาณอนาลอกก่อนการสุ่ม (anti alias filters) เพื่อให้แบนวิดธ์ไม่เกินไปกว่า $f_s/2$ ในทางปฏิบัติแล้วจะยังคงเกิด frequency folding ได้เสมอ จากส่วนฮาร์โมนิคส์ของสัญญาณรวมทั้งสเปคตรัมของสัญญาณรบกวนที่ยังคงอยู่แม้ว่าทำการฟิลเตอร์ก่อนหน้ามาแล้วก็ตาม การกำจัดการช้อนกันของสเปคตรัมดังนี้ วิธีที่ได้ผลอีกก็คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พยายามให้การสุ่มสัญญาณเป็นไปอย่างรวดเร็วมากที่สุด ซึ่งปกติจะสูงกว่าความถี่ต่ำสุดตามทฤษฎี Sampling คือ $2f_c$ เสมอ



รูปที่ 2.4 การเกิด Alias frequency จากการสุ่มด้วยความถี่ต่ำกว่า 2 เท่าของความถี่สัญญาณอินพุทรูปซายน์

ผลของการใช้อัตราการสุ่มที่ไม่เหมาะสมจะเกิดเป็นสัญญาณความถี่ต่ำกว่า เรียกว่า Alias Frequency เมื่อสัญญาณถูกเปลี่ยนกลับมาเช่นเดิมหลังจากถูกสุ่มแล้วแสดงในรูปที่ 2.4 จะเห็นว่าความถี่ alias อาจจะแตกต่างจากความถี่เดิมไปมาก

Anti alias filter จะช่วยลดสัญญาณในแถบความถี่ที่ทำให้เกิด alias frequency ในขณะที่ต้องไม่ทำให้เกิดความผิดเพี้ยนของสัญญาณในแบนด์ที่ใช้งานและไม่ลดความแม่นในการวัดโดยรวมอีกด้วย ในการใช้ Anti alias filter ปริมาณการขจัดความถี่สูงนั้นขึ้นอยู่กับ :

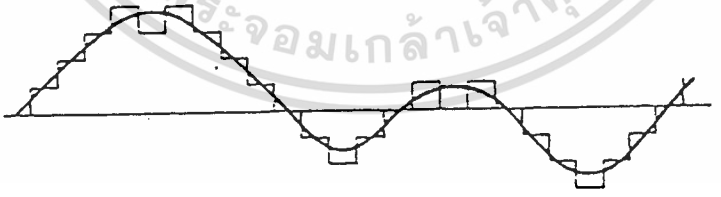
- ความถี่สูงสุดที่สนใจ
- อัตราการสุ่ม และ
- ความละเอียดของการแปลงสัญญาณ

ฟิลเตอร์ที่ใช้จิงอาจจะเป็นพาสซีฟฟิลเตอร์ แอคทีฟฟิลเตอร์ หรือ switched capacitor ฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 เดลต้ามอดูเลชั่น (Delta Modulation)

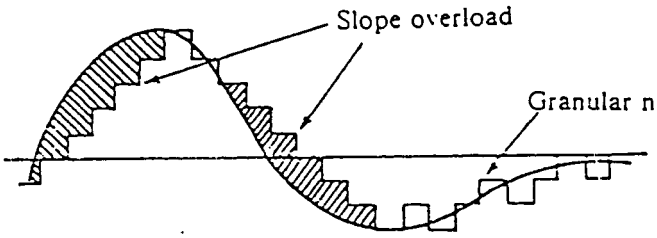
เดลต้ามอดูเลชัน หรือ DM เป็นวิธีมอดูเลตสัญญาณอนาลอก โดยแปลงให้อยู่ในรูปของสัญญาณดิจิตอลเช่นเดียวกัน DM ก็อาศัยลักษณะที่สัญญาณอนาลอกที่ถูกสุ่มตัวอย่างมีข่าวสารที่ซ้ำซ้อนกันอยู่ และ DM นั้นจะใช้สัญญาณไบนารีเพียง 1 บิตในการระบุการเปลี่ยนแปลงระดับของสัญญาณสุ่มตัวอย่าง รูปที่ 2.5 แสดงลักษณะของการติดตามสัญญาณในระบบ DM นี้ ในรูปแสดงกรณีที่ชั้นของการแควนไตซ์สอดคล้องกับการเปลี่ยนแปลงของสัญญาณมาก ในกรณีที่การเปลี่ยนแปลงของสัญญาณ มีความชันสูงกว่าชั้นของการแควนไตซ์ก็จะเกิดสภาพที่การเข้ารหัสไม่สามารถติดตามการเปลี่ยนแปลงของระดับสัญญาณได้ ซึ่งเรียกสภาพดังกล่าวว่า เกิดการโอเวอร์โหลดทางความชัน (slope overload) รูปที่ 2.6 แสดงสภาพดังกล่าวนี้ รูปที่ 2.7 แสดงบล็อกไดอะแกรมของชุดเข้ารหัสและชุดถอดรหัสของระบบ DM นี้ ซึ่งจะเห็นได้ว่าเป็นระบบที่ค่อนข้างง่าย การทำงานก็จะเป็นดังนี้ คือ สัญญาณที่เข้ามาจะถูกเปรียบเทียบกับสัญญาณที่เข้ามาก่อนหน้าหนึ่งตัวอย่าง ถ้าสัญญาณที่เข้ามาใหม่สูงกว่าสัญญาณก่อนหน้านั้น สัญญาณขาออกจากชุดเข้ารหัสก็จะเป็น "1" ถ้าสัญญาณที่เข้ามาต่ำกว่าเดิม สัญญาณขาออกจากชุดเข้ารหัสก็จะเป็น "0" สำหรับชุดถอดรหัสทางภาครับ ก็นำสัญญาณดิจิตอลที่รับเข้ามาได้ไปให้กำเนิดสัญญาณพัลส์ที่เป็นบวกหรือเป็นลบตามรหัสที่รับเข้ามา เสร็จแล้วก็อินทิเกรตสัญญาณพัลส์นั้นไปเรื่อยๆ และเมื่อผ่านวงจรฟิลเตอร์ผ่านความถี่ต่ำแล้ว สัญญาณที่อยู่ในรูปขั้นบันไดก็จะราบเรียบขึ้นและเข้าใกล้สัญญาณอนาลอกเดิม



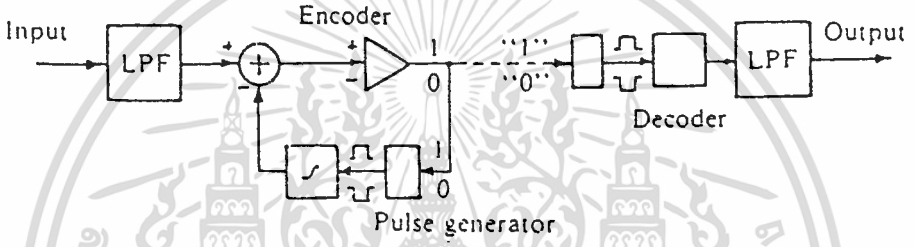
รูปที่ 2.5 การเข้ารหัสสัญญาณในระบบ DM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

034732



รูปที่ 2.6 การเกิดโอเวอร์โหลดทางความชันในระบบ DM



รูปที่ 2.7 บล็อกไดอะแกรมของการเข้ารหัส และการถอดรหัสในระบบ DM

จากรูปที่ 2.6 จะเห็นได้ว่า สัญญาณรบกวนที่เกิดขึ้นได้ในระบบ DM นั้น มี 2 แบบด้วยกัน คือ สัญญาณรบกวนแบบเม็ด (granular noise) และสัญญาณรบกวนจากการเกิดโอเวอร์โหลดทางความชัน อันที่จริงการเกิดโอเวอร์โหลดทางความชันนั้นจะเกิดขึ้น เพราะอัตราการเปลี่ยนแปลงของสัญญาณตามเวลา สูงกว่าผลคูณของความถี่ของการสุ่มตัวอย่าง กับขั้นของการแควนไตซ์ หรือ

$$\left|\frac{dx(t)}{dt}\right| > q.f_s \qquad (1)$$

เพราะฉะนั้น เราจะสามารถลดขนาดของสัญญาณรบกวนจากการเกิดโอเวอร์โหลดทางความชันได้โดยการเพิ่ม f_s หรือใช้ค่า q ที่ใหญ่ขึ้น ค่า f_s ในกรณีนี้โดยทั่วไปก็จะสูงกว่าของกรณี PCM อยู่แล้ว ดังนั้นการเพิ่มค่า f_s เพียงอย่างเดียวก็จะทำให้อัตราการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่งสัญญาณดิจิตอลต้องสูงขึ้นไปอีก สำหรับการขยายขนาดของ q นั้น ก็จะทำให้สัญญาณรบกวนแบบเม็ดสูงขึ้น เพราะฉะนั้นจึงต้องทำการประนีประนอมระหว่างการเลือกค่า q และค่า f_s แต่เนื่องจากผลเสียของการเกิดโอเวอร์โหลดทางความชันมีน้อยกว่าสัญญาณรบกวนแบบเม็ดเพราะสัญญาณเบสแบนด์ที่ดีเทคกลับมาจะใกล้เคียงกับสัญญาณเดิมมากกว่า ดังนั้นในที่นี้จะพิจารณาผลกระทบของสัญญาณรบกวนแบบเม็ดเป็นหลักในกรณีของระบบ DM แบบเชิงเส้นนั้น อัตราการสุ่มตัวอย่างต้องสูงกว่าอัตราการสุ่มตัวอย่างของไนควิสต์เสมอ และเมื่อใช้อัตราการสุ่มตัวอย่างสูงกว่าความถี่คัตออฟของฟิลเตอร์ของสัญญาณขาเข้ามากกว่า 6 เท่า จากการศึกษาของผู้เชี่ยวชาญหลาย ๆ คนพบว่า สัญญาณรบกวนแบบเม็ดจะมีขนาดแปรตามอัตราส่วนระหว่างความถี่คัตออฟของฟิลเตอร์ทางภาครับกับความถี่ในการสุ่มตัวอย่างในรูปต่อไปนี้

$$NQ = K\left(\frac{fc}{fs}\right)q^2 \qquad (2)$$

โดยที่ f_c และ f_s เป็นความถี่คัตออฟของฟิลเตอร์ และความถี่ในการสุ่มตัวอย่างตามลำดับ สำหรับ K นั้นเป็นค่าคงที่ และมีค่าเท่ากับ 0.32 (นักวิชาการบางคนเสนอให้ใช้ค่า K = 0.18, 0.51 แต่โดยทั่วไปใช้ K = 0.32) จากสมการ (1) และสมการ (2) นี้ เราจะสามารถหาค่า SQR ได้ดังนี้

ในกรณีที่ $x(t)=A \sin wt$ จะได้ $q=2fA/f_s$ ซึ่งนำไปคำนวณ SQR ได้ดังนี้

$$SQR = \frac{A^2/2}{K(f_c/f_s)(2fA/f_s)^2}$$

$$= 0.04\left(\frac{fs}{fc}\right)^2 \qquad (3)$$

ผลที่ได้ตามสมการ (3) นี้จะต้องระวังในประเด็นที่ว่า สมการ (3) นี้หามาได้จากสมมุติฐานที่ว่าเราได้เลือกใช้ขั้นของการแควนไตซ์เหมาะสมกับการเปลี่ยนแปลงของสัญญาณ ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเราสามารถเลือกขั้นของการแควนไตซ์ได้เหมาะสมตลอดเวลา (ซึ่งหมายถึงระบบนั้นจะต้องเป็น ADM) เราก็จะได้ผลตามสมการ (3) คือ ค่า SQR จะสูงขึ้นเมื่อความถี่ f ต่ำลง แต่ถ้าขั้นของการแควนไตซ์คงที่ก็ไม่สามารถสรุปเช่นนั้นได้ และข้อสังเกตอีกประการหนึ่งในการหาสมการ (3) ก็คือ เป็นการแควนไตซ์จากสัญญาณที่มีค่าแอมปลิจูดเป็น A แต่โดยทั่วไปค่าแอมปลิจูดนี้จะต้องครอบคลุมช่วงไดนามิกที่ต้องการ ดังนั้น ถ้าให้ A_{min} และ A_{max} เป็นแอมปลิจูดของสัญญาณระดับต่ำสุดและระดับสูงสุดที่ต้องการเข้ารหัสตามลำดับ ช่วงไดนามิกหรือ DR จะเขียนได้เป็น $DR=(A_{max}/A_{min})^2$ และเนื่องจากค่าSQRจะต่ำที่สุดที่แอมปลิจูด A_{min} และขั้นของการแควนไตซ์ถูกกำหนดจาก A_{max} คือ $q=2A_{max}(f/f_s)$ ดังนั้นเราจะกำหนดค่า SQR ที่ต้องการจากแอมปลิจูด A_{min} นี้ และเมื่อกำหนดค่า SQR ได้ ก็จะสามารถคำนวณอัตราการสุ่มตัวอย่าง f_s ได้โดยใช้สมการ (3) ซึ่งจะได้ผลดังนี้

$$SQR = \frac{fs^3 . A^2 min/2}{Kfc.(2\ fmax)^2}$$

$$fs = (25.3(DR)(f^2)(f_c)(SQR))^{1/3}$$

ดังนั้น ถ้าโจทย์กำหนด SQR, DR และ f_c มาให้ ก็จะคำนวณหา f_sได้ ยกตัวอย่างเช่น ถ้าให้ SQR = 26 dB (398 เท่า), DR = 30 dB (1000เท่า) และ f_c = 3.4 kHz และความถี่ของสัญญาณไซน์ที่ต้องการทำ DM แบบเชิงเส้นเป็น 800 Hz ก็จะคำนวณ f_sได้ผลดังนี้

$$f_s = (25.3(1000)(800^2)(3400)398)^{1/3}$$

$$= 279\ KHz.$$

ซึ่งหมายความว่า ถ้าเราใช้ 1 บิตต่อ 1 สัญญาณสุ่มตัวอย่าง ก็จะต้องใช้อัตราการส่งข้อมูลถึง 279 kbps ในสภาพเช่นนี้ ระบบ DM จะต้องส่งด้วยอัตราการส่งข้อมูลสูงกว่าระบบ PCM ซึ่งก็คือ ไม่ให้ผลดีแต่อย่างใดในด้านของอัตราการส่งข้อมูล

ข้อเสียอีกประการหนึ่งของระบบ DM แบบเชิงเส้น ก็คือ เมื่อกำหนดขั้นของการ

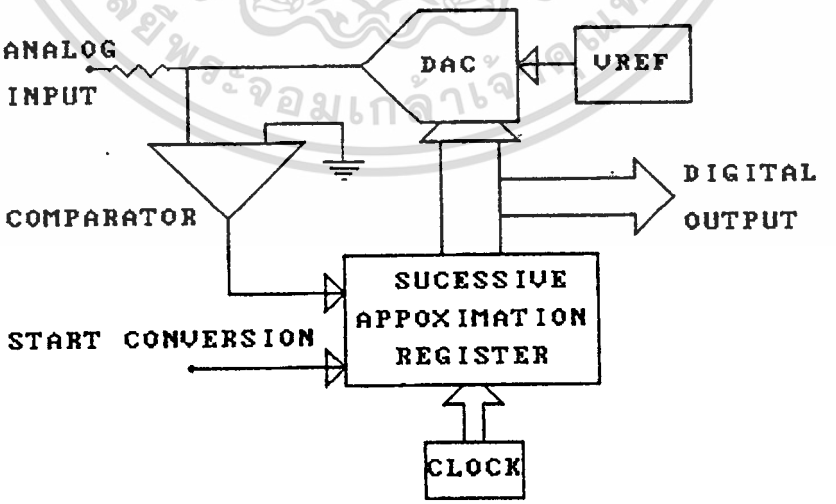
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แควนไดซ์ เพื่อให้ได้ SQR ตามที่ต้องการสำหรับสัญญาณระดับต่ำที่สุด ก็จะทำให้สัญญาณระดับสูง ๆ มี SQR ดีเกินความจำเป็นไป ข้อเสียนี้ก็เกิดขึ้นในระบบ PCM แบบเชิงเส้น ซึ่งได้กล่าวไว้ก่อนหน้านี้เช่นเดียวกัน

ถึงแม้ระบบ DM จะมีข้อเสียที่ต้องใช้อัตราการสุ่มตัวอย่างสูง แต่ก็มีที่ใช้อยู่บ้าง เพราะความง่ายของชุดเข้ารหัสและถอดรหัสดังที่แสดงไว้ในรูปที่ 2.7 ในกรณีที่ต้องการลดอัตราการส่งสัญญาณดิจิตอลก็จะทำได้โดยใช้ระบบ ADM วิธีการที่ใช้ก็คือ ทำการปรับขนาดของขั้นของการแควนไดซ์ให้สอดคล้องกับการเปลี่ยนแปลงของระดับสัญญาณตลอดเวลา อุปกรณ์ที่ต้องใช้ในการเข้ารหัสและถอดรหัสก็จะยุ่งยากขึ้น แต่ก็จะสามารถลดอัตราการส่งสัญญาณดิจิตอลลงให้เหลือประมาณ 40 kbps ได้โดยที่สัญญาณเสียงนั้นมีคุณภาพดีทัดเทียมกับสัญญาณ PCM

2.3 การเปลี่ยนสัญญาณดิจิตอลกลับเป็นสัญญาณอนาลอก (Sucessive Appoximation ADC)

วงจร ADC ชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วปานกลางและค่อนข้างสูง การจัดวงจรจะคล้ายกันแบบเคาท์เตอร์ ที่ทำงานในลักษณะการป้อนกลับ ซึ่งบล็อกไดอะแกรม ในรูปที่ 2.8 แสดงฟังก์ชั่นต่าง ๆ ใน ADC ชนิดนี้ คอมพาเรเตอร์ จะคอยเปรียบเทียบเอ้าท์พุทจาก DAC กับอนาลอกอินพุท V_{in} เอ้าท์พุทจะไปควบคุม Successive Appoximation register (SAR) ซึ่งเป็น ไอซี MSI (Midium Scale Integrated circuit) ที่ได้รับการออกแบบเป็นพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ

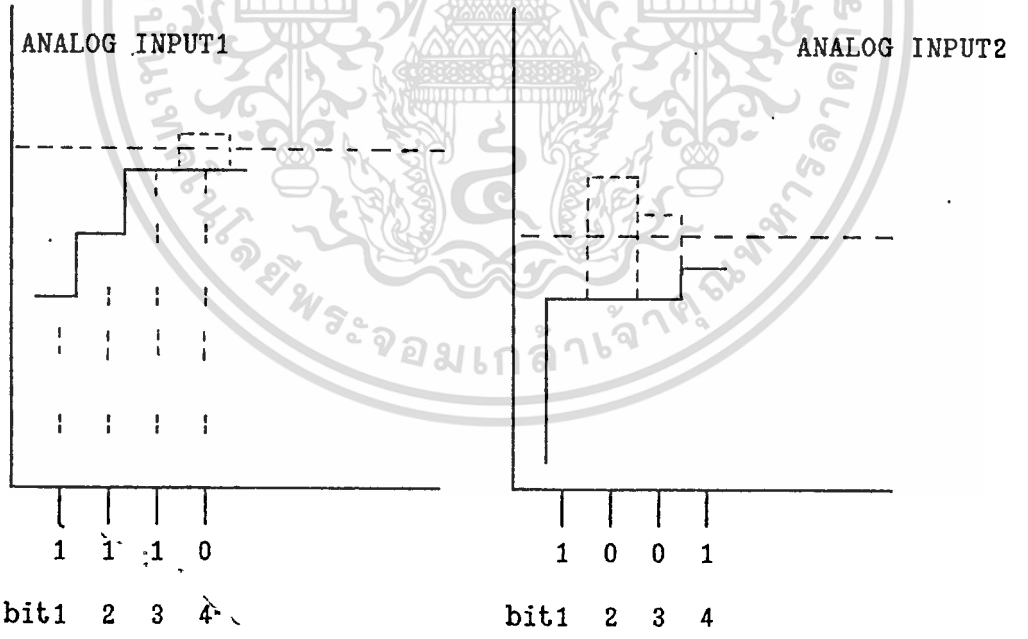


รูปที่ 2.8 บล็อกไดอะแกรมของ Sucessive Appoximation ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.9 แสดงไทมิ่งไดอะแกรมของ ADC ที่มีระดับอนาลอก 1 และ 2 ที่ระดับ 1 เมื่อ clock เข้าไป 1 ลูก จะทำให้ MSB (most significant bit) (บิท 4) เป็น 1 ทุกบิทอื่นยังคงเป็นศูนย์ DAC จะเปลี่ยนเอ้าท์พุทของ SAR เป็นอนาลอกเปรียบเทียบกับสัญญาณอนาลอกอินพุท ถ้าผลการเปรียบเทียบที่คอมพาเรเตอร์บอกว่าน้อยกว่าอินพุทก็ให้คงบิทนั้นเป็น 1 ไว้ แต่ถ้ามากกว่าจะให้บิทนั้นเป็น 0 จากนั้นทำการทดสอบบิทถัดไปโดยทำให้เป็น 1 ไว้แล้วทดสอบบิทถัดไปตามกรรมวิธีดังกล่าวจนครบทุกบิทหรือจนกว่าเอ้าท์พุทจะต่างจาก V_{in} ไม่เกิน 1 LSB ในตัวอย่างแสดงการทำงานเมื่อ V_{in} ลดต่ำลงมาอีกระดับหนึ่งด้วยเช่นกัน

มีข้อจำกัดประการหนึ่งสำหรับการ conversion คือ สัญญาณอนาลอกอินพุท จะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณโดยเปลี่ยนได้ไม่เกิน 1/2 LBS ในช่วงสุดท้ายของการเปลี่ยนสัญญาณดิจิตอลเอ้าท์พุทจะออกมาขนานกันทุกบิท แต่บางแบบจะให้เอ้าท์พุทออกมาในลักษณะอนุกรม



รูปที่ 2.9 Timing Diagram ของ SAR

วงจร ADC แบบนี้ สามารถทำงานได้สองโหมด คือโหมดที่ทำงานโดยอิสระ (Free run) และโหมดที่รอคำสั่ง start conversion จากภายนอก เวลาที่ใช้ในการเปลี่ยนสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้ (n+1) ลูกของพัลส์ clock โดย clock ลูกแรกจะใช้ในการรีเซ็ทรีจิสเตอร์ภายในสุดท้าย คุณภาพของระบบจะขึ้นอยู่กับคุณภาพของ DAC ในระบบเป็นอย่างยิ่ง

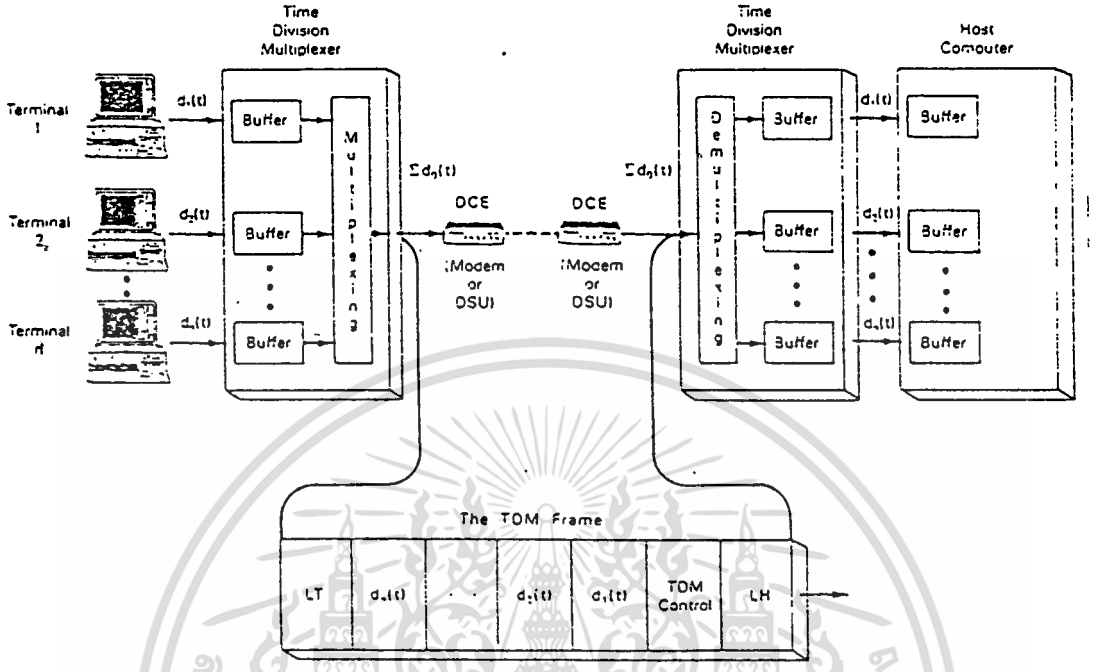
2.4 การมัลติเพล็กซ์แบบแบ่งเวลา (TIME DIVISION MULTIPLEXING)

ในระบบไทม์ดิวิชั่นมัลติเพล็กซิ่ง สัญญาณของแต่ละช่อง (channel) จะถูกสุ่มตัวอย่าง (sampling) ด้วยอัตราความเร็วสม่ำเสมอ สัญญาณที่ถูกสุ่มตัวอย่างจะอยู่ในรูปของพัลส์ที่มีความกว้าง (duration) แคบ ๆ และมีขนาด (amplitude) เหมือนกับขนาดของสัญญาณในขณะที่สุ่มตัวอย่าง สัญญาณจากช่องอื่น ก็ผ่านการสุ่มตัวอย่าง (sampling) เช่นเดียวกันแล้วถูกแบ่งตามเวลา ๆ หนึ่ง (time slot) เป็นของสัญญาณพัลส์จากช่องหนึ่งตามด้วยสัญญาณพัลส์จากอีกช่องหนึ่งจนกว่าจะครบทุกช่อง ส่งเป็นอนุกรมด้วยความเร็วสูงกว่าความเร็วของสัญญาณพัลส์ การสุ่มตัวอย่างตามวิธีการที่กล่าวข้างต้นเรียกว่า การสุ่มตัวอย่างตามธรรมชาติ (natural sampling) ที่ปลายทางจะมีเครื่องดีมัลติเพล็กเซอร์(demultiplexer) ทำการแยกพัลส์ที่สานกัน (interleave) ตอนส่ง ให้แยกออกเป็นพัลส์ของแต่ละช่องแยกไปตามช่องของพัลส์อย่างถูกต้อง เพื่อความถูกต้องในการแยกพัลส์ที่ปลายทาง จึงต้องมีพัลส์สำหรับจับเวลาให้ตรงกัน (synchronization) รูปที่ 2.10 แสดงการพิจารณาของระบบไทม์ดิวิชั่นมัลติเพล็กซิ่ง จะเห็นได้ว่า ทางภาคส่งที่เป็นมัลติเพล็กเซอร์รวมสัญญาณพัลส์จากแต่ละช่องที่มีความเร็วต่ำ ส่งผ่านสายที่มีความเร็วสูง ที่ปลายทางเครื่องมัลติเพล็กเซอร์จะแยกพัลส์ไปตามช่องต่างๆ อย่างถูกต้องตามต้องการ

สัญญาณพัลส์ที่ได้จากการสุ่มตัวอย่าง เรียกว่า พัลส์แอมพลิจูดโมดูเลชั่น (pules amplitude modulation) จะเห็นได้ว่า ขนาดของพัลส์จะเปลี่ยนแปลงตามสัญญาณโมดูเลติ่ง สัญญาณพัลส์จะเกิดในอัตราที่สม่ำเสมอ เวลาระหว่างพัลส์หนึ่งกับอีกพัลส์หนึ่งจะห่างพอสมควรเพื่อป้องกันมิให้พัลส์เกิดซ้อนกัน เมื่อผ่านเครื่องกรองความถี่ผ่านต่ำในภาครับเวลาระหว่างพัลส์ 2 พัลส์นี้เรียกว่า การ์ดไทม์ (guard time)

อัตราการสุ่มตัวอย่าง (sampling rate) นี้เป็นไปตามอัตราการสุ่มตัวอย่างของไนควิชต์ (nyquist sampling rate) ซึ่งกล่าวว่า เวลาการสุ่มตัวอย่าง t_s มีค่าเท่ากับ 1/2 เท่าของความถี่สูงสุด f_m ของสัญญาณโมดูเลติ่ง $t_s = 1/(2f_m)$ อัตราการสุ่มตัวอย่างของไนควิชต์ t_s เป็นอัตราการสุ่มตัวอย่างที่น้อยที่สุดที่ให้สัญญาณกลับคืนครบถ้วนที่ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 ระบบไทม์ดิวิชั่นมัลติเพล็กซิ่ง

2.5 เฟสล็อคลูป (Phase Lock Loop : PLL)

คุณสมบัติของวงจร PLL คือ ทำให้ออสซิลเลเตอร์ที่สามารถออสซิลเลทได้หลาย ๆ ความถี่ ถูกล็อกไว้ ณ สภาวะหนึ่งที่มีความถี่ และมุมเฟสของสัญญาณตรงกับความถี่ และมุมเฟสมาตรฐานที่ใช้อ้างอิงซึ่งทำให้ออสซิลเลเตอร์มีความเที่ยงตรงเช่นเดียวกับสัญญาณมาตรฐานได้

PLL ประกอบด้วยองค์ประกอบพื้นฐาน 3 ส่วนดังแสดงในรูปที่ 2.11 คือ

1. เฟสดีเทกเตอร์ (Phase Detector) หรือ คอมพาราเตอร์ (Comparator) ประกอบด้วย 2 อินพุท ที่รับสัญญาณมาจาก VCO ด้วยความถี่ของสัญญาณเท่ากับ f_o และออสซิลเลเตอร์ที่มีความถี่ f_r เป็นตัวอ้างอิง เอาท์พุทเป็นตัวชี้ให้เห็นว่าสัญญาณ f_o มีเฟสเหมือนหรือแตกต่างจาก f_r

2. โลว์พาสฟิลเตอร์ (Low Pass Filter:LPF) หรือ วงจรกรองความถี่ต่ำผ่าน เป็นวงจร RC มีคุณสมบัติในการกำจัดสัญญาณไฟสลับของวงจรออสซิลเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้ง 2 วงจรออกไปจากแรงดันเอาท์พุทของวงจรเฟสดีเท็คเตอร์ สัญญาณอินพุทที่เข้ามาที่วงจรฟิลเตอร์นั้นเป็นสัญญาณไฟตรงผิดพลาด (error signal) พร้อมกับแรงดันไฟสลับกระเพื่อม จะได้สัญญาณเอาท์พุทเป็นแรงดันไฟตรงที่กรองสัญญาณแล้ว เพื่อป้อนต่อไปยังวงจรขยายสัญญาณไฟตรงต่อไป

3. วงจรขยายสัญญาณไฟตรง (DC amplifier)

เป็นตัวเพิ่มระดับแรงดันไฟฟ้า เพื่อช่วยให้การควบคุมดีขึ้น เอาท์พุทของวงจรขยายสัญญาณจะจ่ายแรงดันไฟตรงตามระดับที่ต้องการเพื่อป้อนให้แก่วาแร็กเตอร์ในวงจร VCO

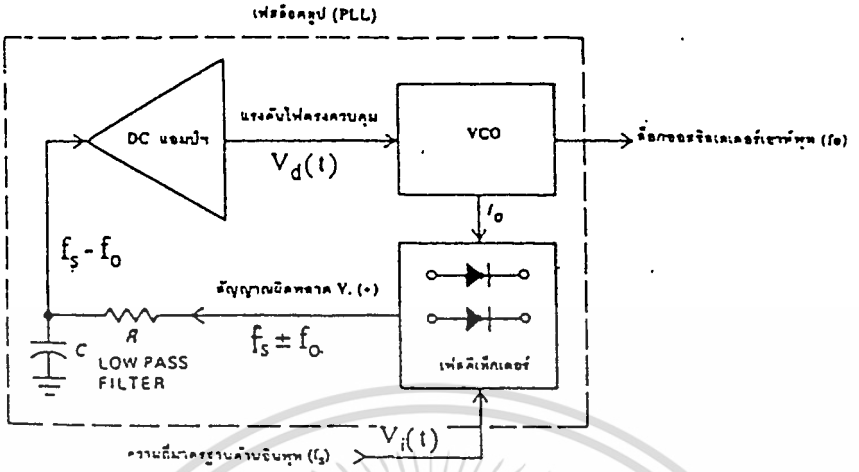
4. VCO

วงจร VCO ซึ่งความถี่ถูกควบคุมด้วยระดับแรงดันไฟฟ้าจากภายนอกระดับแรงดันไฟฟ้าจากวงจรขยายสัญญาณจะล็อกให้ VCO มีความถี่ และเฟสเหมือนกับออสซิลเลเตอร์มาตรฐานวงจร PLL มีโหมดการทำงานของ VCO อยู่ทั้งหมด 3 โหมดด้วยกัน คือ ฟรีรันนิ่ง (Free running) แค็ปเจอร์ (Capture) และโหมดล็อคอิน (Lock in) หรือแทร็กกิ้ง (Tracking) ถ้าความถี่ f_o มีค่าแตกต่างจาก f_s มากวงจร PLL จะไม่สามารถถูกทำให้อยู่ในสภาวะล็อคได้ และเมื่อปราศจากการทำงานในสภาวะล็อคอินแล้ววงจร VCO จะกลับกลายเป็น ฟรีรันนิ่งออสซิลเลเตอร์ไป

2.5.1 หลักการทำงานของวงจร PLL

ดังกล่าวมาแล้วว่า เฟสล็อคลูปเป็นระบบอิเลกทรอนิกส์ ที่มีหลักการทำให้ความถี่เอาท์พุทของลูปมีลักษณะเป็นไปตามความถี่ของสัญญาณอินพุท โดยเปรียบเทียบกันระหว่างสัญญาณทั้งสอง ถ้าเฟสไม่ตรงกัน ก็จะมีแรงดันไฟฟ้าเกิดขึ้นเพื่อแก้ไขความถี่ของออสซิลเลเตอร์ใหม่ให้เฟสต่างกันน้อยลงและจะเป็นอย่างนี้ตลอดไปจึงทำให้เฟสล็อคกันอยู่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

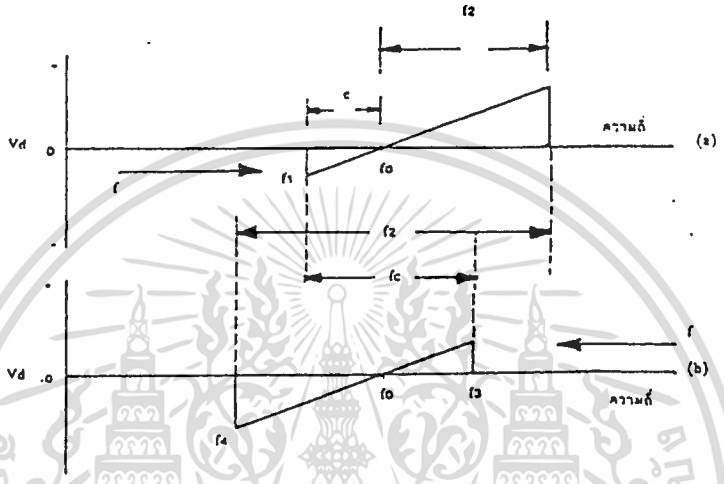


รูปที่ 2.11 องค์ประกอบพื้นฐานของวงจรเฟสล็อคลูป

จากทฤษฎีเกี่ยวกับระบบควบคุม และการป้อนกลับ เฟสดีเท็คเตอร์ หรือเฟสคอมพาราเตอร์ LPF และวงจรขยายสัญญาณคลาดเคลื่อน (Error Amplifier) จะอยู่ในส่วนฟอร์เวิร์ด (Forward Path) และ VCO อยู่ในส่วนป้อนกลับ (Feedback Path) จากรูป เมื่อยังไม่มีสัญญาณอินพุทป้อนในระบบแรงดันไฟฟ้าควบคุม : Vd(t) จะเป็นศูนย์ VCO จะทำงานตามความถี่ f_o ที่ตั้งไว้ซึ่งเรียกว่า ความถี่ศูนย์กลาง (Center frequency) หรือความถี่ฟรีรันนิ่ง (Free running Frequency) ถ้ามีสัญญาณอินพุทป้อนให้ระบบเฟสคอมพาราเตอร์จะทำการเปรียบเทียบเฟสและความถี่ของสัญญาณ VCO กับอินพุทแล้วสร้างแรงดันไฟฟ้าคลาดเคลื่อน $V_e(t)$ ซึ่งสัมพันธ์กับความต่างเฟสและความถี่ของสัญญาณทั้งสอง แรงดันไฟฟ้าคลาดเคลื่อนนี้จะถูกกรองใน LPF ให้ความถี่ต่ำเท่านั้นผ่านไปได้ จากนั้นจะขยายแล้วป้อนให้ VCO ในลักษณะเช่นนี้ แรงดันไฟฟ้าควบคุม $V_d(t)$ จะไปบังคับให้ความถี่ของ VCO แปรไปในทิศทางที่ลดความแตกต่างระหว่างความถี่ f_o กับความถี่ f_s ลงจากนั้นด้วยคุณสมบัติการป้อนกลับของเฟสล็อคลูป ถ้าความถี่อินพุท (f_s) ใกล้เคียงกับ f_o ก็จะทำให้ VCO ซิงโครไนซ์ หรือล็อคกับสัญญาณอินพุท แต่เฟสแตกต่างกันเล็กน้อย เฟสที่ต่างกันนี้จะทำให้ความถี่ฟรีรันนิ่งของ VCO เลื่อนเข้าไปใกล้ไปหาความถี่สัญญาณอินพุท f_s เพื่อรักษาสภาพการล็อคเอาไว้ให้ได้ ด้วยความสามารถในการปรับสภาพตัวเองให้ถูกต้องได้ของระบบ ขณะที่ลูปของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อยู่ในสภาวะล็อคจะทำให้ลูปสามารถตามรอยการเปลี่ยนแปลงความถี่ของสัญญาณอินพุทได้ ช่วงความถี่โดยตลอดที่ลูปสามารถคงการล็อคกับสัญญาณอินพุทไว้ได้นี้เราเรียกว่า พิสัยในภาวะล็อค (Locked Range) ของระบบ ส่วนช่วงความถี่โดยตลอดซึ่งลูปสามารถเข้ายึดการล็อคกับสัญญาณอินพุท (เริ่มล็อค) ได้เรียกว่าพิสัยการเข้าสู่ภาวะล็อค (Captured Range) ของระบบและพิสัยนี้จะไม่กว้างไปกว่า พิสัยในภาวะล็อคอย่างแน่นอน



รูปที่ 2.12 ทรานส์เฟอร์คาร์แร็กเตอร์ริสติค ระหว่างความถี่กับระดับแรงดันไฟฟ้าเฟสล็อคลูป
(ก) เมื่อเพิ่มความถี่สัญญาณอินพุท
(ข) เมื่อลดความถี่สัญญาณอินพุท

2.5.2 การเข้าสู่สภาวะล็อคและภาวะขณะที่เฟสล็อค

จากรูปที่ 2.12 แสดงถึงทรานส์เฟอร์คาร์แร็กเตอร์ริสติคของเฟสล็อค ระหว่างความถี่กับแรงดันไฟฟ้าที่เกิดขึ้นในลูป ในตอนแรกเราจะพิจารณาถึงสภาวะขณะที่ลูปยังไม่ได้อยู่ในสภาวะล็อคก่อน โดยเฟสคอมพาราเตอร์ จะเป็นตัวผสมสัญญาณอินพุทเข้ากับสัญญาณ VCO ทำให้เกิดทั้งผลบวก (f_o+f_s) และผลต่าง (f_o-f_s) ของสัญญาณทั้งสอง อย่างไรก็ตามในช่วงแรกทั้งผลบวกและผลต่างของสัญญาณทั้งสอง (f_o+f_s) ยังอยู่นอกขอบเขตของ LPF ที่จะตอบสนองได้ จึงถูกกรองทิ้งไปหมดไม่มีสัญญาณไหลภายในลูป ดังนั้นในสภาวะนี้ VCO จะยังคงทำงานที่ความถี่เริ่มต้นเดิม คือ ความถี่ฟรีรันนิ่ง (f_o)

ต่อมาเมื่อความถี่อินพุทเข้าใกล้ความถี่ของ VCO คือเท่ากับ f(s) ดังรูปความถี่ผลต่าง (f_o-f_s) จะลดลงเข้าใกล้ขอบเขตของความถี่ที่ LPF สามารถตอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สนองได้ ดังนั้นในช่วงนี้บางส่วนของสัญญาณผลต่าง จะผ่าน LPF ไปได้ ซึ่งจะไปขับ VCO ให้มีความถี่เข้าหาสัญญาณอินพุท (f_i) ในขณะนั้นความถี่ผลต่าง (f_i-f_o) จะลดลงเรื่อย ๆ (เนื่องจาก VCO ถูกขับให้มีความถี่เข้าใกล้ f_i มากขึ้น) ทำให้สัญญาณที่ส่งผ่าน LPF มีผลต่อ VCO มากขึ้น ความถี่ของ VCO ก็จะยิ่งเข้าใกล้ f_i จนในที่สุด ลูปก็จะเข้าสู่สภาวะเฟสล็อคได้ เมื่อ $f_i=f_o$

ตอนที่ระดับแรงดันคลาดเคลื่อน : $V_e(t)$ เริ่มผ่าน LPF ได้แสดงว่า ลูปเริ่มตรวจจับ (Capture) ได้ (เราสังเกตได้จาก VCO จะเริ่มเปลี่ยนความถี่ไปเพราะเพิ่งจะมีแรงดันไฟฟ้าผ่านเข้ามาขับเป็นครั้งแรก) จากนั้นแรงดันไฟฟ้าควบคุม : $V_d(t)$ จะทำให้ความถี่ f_o ของ VCO เปลี่ยนเข้าใกล้ f_i ยิ่งขึ้น และในที่สุดความถี่ทั้งสองก็จะเท่ากับ ($f_o=f_i$) ที่สภาวะนี้เรียกว่า ลูปอยู่ในภาวะล็อค (in lock)

ในขณะที่ลูปอยู่ในภาวะล็อค แรงดันไฟฟ้าคลาดเคลื่อน : $V_e(t)$ ซึ่งเกิดจากความต่างเฟสดังที่กล่าวมาแล้ว โดยเฉลี่ยจะมีค่าค่อนข้างคงที่ ทำให้แรงดันไฟฟ้าควบคุม : $V_d(t)$ ซึ่งได้จากค่าเฉลี่ยของแรงดันไฟฟ้าคลาดเคลื่อน : $V_e(t)$ มีค่าคงที่ไปด้วย เพื่อเป็นแรงดันไฟตรง ขับให้ VCO มีความถี่เท่ากับความถี่ของสัญญาณอินพุทอยู่ตลอดเวลา

ตอนแรกที่ลูปเริ่มล็อคกับสัญญาณอินพุท ความถี่ของ VCO จะลดลงก่อน จากนั้นไปเมื่อเพิ่มความถี่ f_i ขึ้นการล็อคจะขึ้นอยู่กับความสามารถของ VCO ที่จะเปลี่ยนความถี่ไปโดยมีความลาดชัน (slope) ของการเปลี่ยนแปลงระหว่างความถี่ กับแรงดันไฟฟ้าควบคุม : $V_d(t)$ เท่ากับ 1/ko (ko : Conversion Gain ของ VCO มีหน่วยเป็นเรเดียน/วินาที/โวลท์) และเมื่อเพิ่มความถี่ไปจนถึงความถี่ศูนย์กลาง=f_o แรงดันไฟฟ้าควบคุม : $V_d(t)$ จะมีค่าเป็นศูนย์โวลท์ ลูปจะตามรอยสัญญาณอินพุทไปจนกระทั่งถึงความถี่ f_2 ซึ่งเป็นความถี่สูงสุดของพิสัยในสภาวะล็อค แล้วก็จะหลุดจากสภาวะล็อคไป แรงดันไฟฟ้าคลาดเคลื่อน : $V_e(t)$ จะมีค่าเท่ากับศูนย์

หลังจากนั้น ถ้าลดความถี่สัญญาณอินพุทลงมาก็จะเกิดวัฏจักรขึ้นอีกดังแสดงในรูป สัญญาณจะเริ่มกลับเข้าสู่การตรวจจับของลูปอีกที่ f_3 และลูปจะตามรอยสัญญาณอินพุทได้แค่ถึง f_4 ช่วงความถี่จาก f_1 ถึง f_3 นี้เรียกว่า พิสัยการเข้าสู่ภาวะล็อค (Capture range) และช่วงความถี่จาก f_2 กับ f_4 เรียกว่า พิสัยในการล็อค หรือ locked range จากรูป คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$f_3 - f_1 = 2f_c =$ Capture Range

$f_2 - f_4 = 2f_L =$ Locked Range

จากทรานส์เฟอร์คาร์แร็กเตอร์ริสติค เราสามารถกำหนดความถี่ศูนย์กลางให้ลูปได้ โดยการตั้งความถี่ฟรีรันนิ่งที่ VCO และลูปจะตอบสนองเฉพาะความถี่ของสัญญาณที่อยู่ในช่วงจาก f_o ถึง f_c หรือ f_L เท่านั้น ทั้งนี้ขึ้นอยู่กับเงื่อนไขที่ว่าลูปเริ่มต้นด้วยการล็อคหรือไม่ ในทางปฏิบัติ การใช้งานของเฟสล็อคลูปโดยมาก ต้องการ VCO ที่มีคุณสมบัติในการแปลงแรงดันไฟฟ้าให้เป็นความถี่ที่มีลักษณะเป็นเชิงเส้น (Linear) อย่างแท้จริงด้วย เพื่อประโยชน์ในการตามรอยสัญญาณอินพุท

พิสัยการเข้าสู่สภาวะล็อค (Capture Range)

นิยามได้ว่า คือ พิสัยความถี่ที่มีศูนย์กลางอยู่ที่ความถี่เริ่มต้นของ VCO (คือความถี่ฟรีรันนิ่งที่ตั้งไว้) ตลอดพิสัยนี้ ลูปสามารถดึงเข้าสู่การล็อคกับสัญญาณอินพุทได้ พิสัยการเข้าสู่ภาวะล็อคนี้อาจเรียกได้อีกอย่างหนึ่งว่า Lock-in range ก็ได้ ซึ่งเป็นการวัดว่าสัญญาณอินพุทจะต้องมีความถี่ใกล้เคียงกับศูนย์กลางของ VCO : f_o มากน้อยเพียงใด ลูปจึงจะเข้าสู่ภาวะล็อคได้ Lock-in range นี้จะเป็นครึ่งหนึ่งของ capture range (หรือเท่ากับ F_c)

Capture Range ถือได้ว่าเป็นความถี่ใด ๆ ที่อยู่ภายใน Lock range และขึ้นอยู่กับขอบเขตของ LPF กับอัตราขยายลูปปิด (Close-Loop gain) ของระบบซึ่งความสามารถของลูปในการเกาะจับกับสัญญาณอินพุทนี้จะเป็นคุณสมบัติที่แสดงถึงคุณสมบัติการเลือก (Selectivity) ความถี่ของลูปด้วย

พิสัยในสภาวะล็อค (Lock Range)

คือ พิสัยความถี่ที่มีศูนย์กลางอยู่ที่ความถี่ฟรีรันนิ่งตลอดพิสัยนี้ ลูปสามารถตามรอยสัญญาณอินพุทได้ในขณะที่ลูปอยู่ในภาวะล็อค พิสัยในภาวะล็อคหรือ Lock Range นี้อาจเรียกว่า tracking range หรือ hold-in range ก็ได้ ซึ่งมีความหมายว่า ความถี่ของลูปสามารถจะไกลห่างออกไปจากความถี่ศูนย์กลางได้เท่าไหร่ tracking range มีค่าเป็นครึ่งหนึ่งของ Lock Range หรือเท่ากับ f_L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 วงจรกรองความถี่ต่ำ (ACTIVE FILTER)

แอคทีฟฟิลเตอร์ ทำหน้าที่กรองความถี่สัญญาณ เป็นวงจรที่ประกอบด้วยภาคย่อย เช่น ทรานซิสเตอร์ หรือ ไอซี และ เน็ทเวอร์ค เลือกความถี่ (Frequency Selective network) จำพวก ตัวต้านทาน กับ คาปาซิสเตอร์ วงจรให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวกันจะขวางกั้น (block) หรือลดทอนสัญญาณ นอกเหนือช่วงความถี่ดังกล่าวมิให้ปรากฏที่ เอาท์พุท

กล่าวโดยทั่วไป ฟิลเตอร์ แบ่งออกเป็นหลายรูปแบบ

1. ฟิลเตอร์ ชนิด อนาลอก หรือ ชนิด ดิจิตอล

2. ฟิลเตอร์ ประเภท พาสซีฟ หรือ แอคทีฟ

3. ฟิลเตอร์ ย่านความถี่เสียง (Audio Frequency) หรือ ย่านวิทยุ (Radio Frequenc)

อนาลอก ฟิลเตอร์ ออกแบบมาเพื่อใช้กับสัญญาณ อนาลอก ส่วน ดิจิตอล ฟิลเตอร์ ใช้งานกับสัญญาณอนาลอก โดยอาศัยเทคนิคทาง ดิจิตอล มาช่วย ถ้าคำนึงถึงชิ้นส่วน (element) ที่นำมาประกอบเป็นวงจร ฟิลเตอร์ แบ่งออกเป็นประเภท พาสซีฟ และแอคทีฟชิ้นส่วนวงจรที่ใช้ใน พาสซีฟฟิลเตอร์ ได้แก่ ตัวต้านทาน, คาปาซิเตอร์ และ ขดลวด ส่วนแอคทีฟฟิลเตอร์ประกอบด้วยตัวขยายสัญญาณจำพวก ทรานซิสเตอร์ หรือ ไอซี ในรูปออปแอมป์ และ ตัวต้านทาน และคาปาซิเตอร์ ทำงานร่วมกัน ตัวต้านทาน , คาปาซิเตอร์ และขดลวด ถือว่าเป็นชิ้นส่วนประเภท พาสซีฟฟิลเตอร์ การจะเลือกใช้ชิ้นส่วนชนิดใดนั้น ขึ้นอยู่กับย่านความถี่สัญญาณที่ต้องการให้วงจรฟิลเตอร์ ทำงาน ยกตัวอย่าง อาร์ซีฟิลเตอร์ ใช้กับย่านความถี่เสียง (Audio Frequency)หรือใช้ในย่านความถี่ต่ำ (Low Frequency)ขณะที่แอล ซีฟิลเตอร์ หรืออาจจะกล่าวไปถึง คลิสตอล ฟิลเตอร์ เหมาะที่จะใช้ในย่านความถี่วิทยุ (Radio Frequency) หรือย่านความถี่สูง (High Frequency) และโดยเฉพาะอย่างยิ่ง เนื่องจากค่า Q (Figure of merit) ที่สูงของตัวคริสตอล ทำให้คริสตอลฟิลเตอร มีเสถียรภาพที่ความถี่สูงมาก ๆ ดีกว่า แอลซีฟิลเตอร์ อีกด้วย

ในโครงงานนี้ เราจะทำการวิเคราะห์และออกแบบ อาร์ซี-แอคทีฟฟิลเตอร์ ชนิดอนาลอก ในย่านความถี่เสียง 4 KHz อาศัย ออปแอมป์ เราไม่นำขดลวด มาใช้ย่านความถี่เสียง เพราะย่านความถี่ต่ำเช่นนี้ ขดลวด มีขนาดใหญ่ สิ้นเปลืองกำลังงานในตัวมาก มีราคาแพงตามขนาด และยังกระจายสนามแม่เหล็กออกไปรอบ ๆ ตัวรบกวนชิ้นส่วนหรืออุปกรณ์ข้างเคียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของแอคทีฟฟิลเตอร์ที่ดีกว่าพาสซีฟฟิลเตอร์

ข้อดีที่เหนือกว่า มีดังนี้

1. การปรับอัตราการขยายและปรับความถี่เป็นอิสระต่อกัน

เราสามารถจัดค่าอัตราการขยายของ ออปแอมป์ ชดเชยกับอัตราลดทอนสัญญาณของวงจร อาร์ซี หรือเพิ่มอัตราการขยายของวงจรทั้งหมด ด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยาย ออปแอมป์ และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า อาร์ซี เท่านั้น

2. ไม่มีปัญหา โหลดดิ่ง (Loadding)

จากการที่ออปแอมป์ มีคุณสมบัติของอินพุทอิมพีแดนซ์สูง และเอาท์พุทอิมพีแดนซ์ต่ำ วงจรแอคทีฟฟิลเตอร์ อาศัยออปแอมป์ จึงไม่เกิดปัญหา โหลดดิ่ง (Loadding) กับเอาท์พุท และ อินพุทของวงจร ณ จุดที่นำ แอคทีฟฟิลเตอร์ เข้าไปต่อ

3. ราคาถูก

แอคทีฟฟิลเตอร์มีราคาถูกกว่าพาสซีฟฟิลเตอร์ เพราะไม่ต้องอาศัยขดลวดที่มีราคาแพงและยังใช้ออปแอมป์ซึ่งในปัจจุบันราคาในท้องตลาดถูกมาก

คุณสมบัติเช่นนี้ของวงจรกรองความถี่ต่ำ แสดงให้เห็นดังกราฟการตอบสนองเชิงขนาดของสัญญาณ (Amplitude response) ซึ่งเป็นการพล็อต (Plot) ระหว่างขนาดของสมการทรานเฟอร์ ฟังก์ชัน H(s) (Transfer function) กับความถี่ w (เรเดียน/วินาที) หรือความถี่ f(Hz) โดยที่ 2 f และที่ทุกความถี่จะได้ว่า

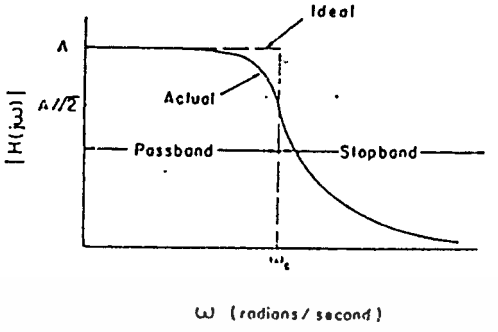
$$H(s) = \frac{V2(s)}{V1(s)}$$

โดยที่ V2 เป็นแรงดันเอ้าท์พุท และ V1 เป็นแรงดันอินพุท

สำหรับเส้นกราฟที่แสดงดังรูปที่ 2.16 นั้น เส้นประแสดงถึงการตอบสนองเชิงขนาดของสัญญาณในทางอุดมคติ ส่วนเส้นทึบที่เหลือแสดงถึงการตอบสนองเชิงขนาดของสัญญาณในการใช้งานจริง ซึ่งสามารถแสดงคุณลักษณะเฉพาะได้ใกล้เคียงผลตอบสนองทางอุดมคติมากที่สุด ค่า Wc (แปลงเป็น fc ในหน่วย Hz ได้โดยใช้ fc = Wc/2) เป็นความถี่คัทออฟ (Cutoff frequency) กำหนดที่จุด lH(jw)l มีค่า 1/ 2 หรือ 0.707 เท่าของค่าแอมปลิจูดสูงสุด ในที่นี้แสดงด้วยค่า A ความถี่ในช่วงย่านที่สามารถผ่านได้อยู่ในช่วง 0<W<Wc และความถี่ที่เกินจาก

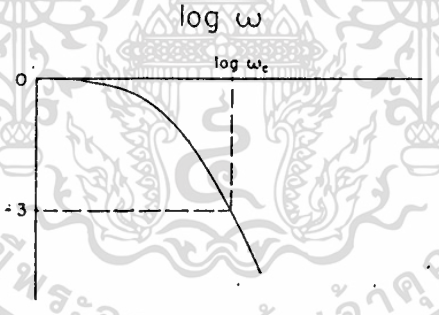
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Wc (W>Wc) จะไม่สามารถผ่านไปได้



รูปที่ 2.13 แสดงผลตอบสนองกรณีกรองความถี่ต่ำ

เราอาจจะพล็อตกราฟแสดงการตอบสนองเชิงขนาดของสัญญาณอีกรูปแบบหนึ่ง คือ ระหว่างแอมปลิจูดในหน่วยเดซิเบล (dB) ในที่นี้แทนด้วย กับค่าความถี่ W หรือ f ซึ่งอาจจะใช้เป็น log หรือ log f และจากรูปกราฟที่พล็อตไว้ในรูปที่ 2.17 จะเห็นจุดคัทออฟ (Cutoff point) สัมพันธ์กับ คิดจากจุดที่ค่า ลดลงจากเดิมไป 3 dB



รูปที่ 2.14 แสดงผลตอบสนองในหน่วย dB

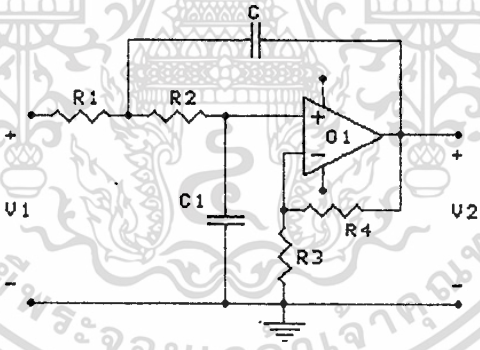
สมการโพลีโนเมียลอันดับที่สอง (Second-order polynomial function) สามารถเทียบเคียงคุณลักษณะเฉพาะของวงจรกรองความถี่ต่ำทางอุดมคติ โดยการหาออกมาในรูปสมการทรานเฟอร์ ฟังก์ชัน ดังนี้

$$\frac{V2(s)}{V1(s)} = \frac{K}{s^2+as+b} \qquad (4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ a และ b เป็นค่าคงที่ที่กำหนดขึ้น และ K เป็นค่าคงที่ ส่วนอันดับที่สอง (Second-order) ได้มาจากกำลังสูงสุดของสมการโพลีโนเมียลของตัวส่วนหรือตัวหารนั่นเอง ในกรณีของสมการทรานเฟอร์ ฟังก์ชันที่อันดับสูงกว่านี้หาได้โดยสมการที่ (4) เช่นเดียวกัน เพียงแต่ตัวหารเป็นนิพจน์ที่มีกำลังสูงสุดตามอันดับนั้น ๆ และสามารถหาอัตราขยายของวงจรกรองความถี่ต่ำ โดยกำหนดให้ s ในสมการทรานเฟอร์ ฟังก์ชันเป็นศูนย์ ดังนั้นจากสมการที่ (4) จะได้อัตราขยายมีค่าเป็น K/b

การใช้อุปกรณ์แอคตีฟแทนขดลวดเหนี่ยวนำในวงจรกรองความถี่ต่ำนั้นมีด้วยกันหลายวิธี ในหนังสือเล่มนี้จะใช้วิธีของ Sallen และ Key ซึ่งจะใช้อุปกรณ์แอคตีฟประเภทออปแอมป์ วงจรกรองความถี่ต่ำอันดับที่สองแบบ Sallen และ Key แสดงไว้ดังรูปที่ 2.18 โดยเลือกค่าตัวต้านทานและตัวเก็บประจุที่เหมาะสมเพื่อให้ได้ค่า a และ b ที่กำหนดขึ้นในสมการที่ (4) ส่วน R3 และ R4 ที่ต่อไว้ในวงจรร่วมกับออปแอมป์ประกอบกันขึ้นเป็นวงจรควบคุมแหล่งจ่ายแรงดัน ด้วยค่าแรงดัน (Voltage Controlled Voltage Source : VCVS) ดังนั้นจะเรียกวงจร Sallen และ Key เป็นวงจร VCVS แบบหนึ่งก็ได้



รูปที่ 2.15 แสดงวงจรกรองความถี่ต่ำอันดับที่สอง

วงจรกรองความถี่อันดับที่สูงกว่านี้สามารถประกอบขึ้นได้โดยการนำวงจรกรองความถี่อันดับที่สองมาต่อกันหลาย ๆ ชุด ตัวอย่างเช่น วงจรกรองความถี่ต่ำอันดับที่สี่ ประกอบขึ้นโดยการนำวงจรกรองความถี่ต่ำอันดับที่สองจำนวน 2 ชุด ดังรูปที่ 2.18 มาประกอบเข้าด้วยกัน

ทำการวิเคราะห์วงจรตามรูปที่ 2.18 จะได้ค่าต่าง ๆ ที่ทำให้สมการที่ (4) เป็นจริง ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K = \frac{u}{R_1 R_2 C C_1}$$

$$a = \frac{1}{R_2 C_1}(1-u)\frac{1}{R_1 C} + \frac{1}{R_2 C} \qquad (5)$$

$$b = \frac{1}{R_1 R_2 C C_1}$$

โดยที่ $u = 1+\frac{R4}{R3}$

ค่า u เป็นค่าอัตราขยายของวงจร VCVS ซึ่งจะเป็นอัตราขยายของวงจรกรองความถี่ด้วย เพราะว่า K/b = u

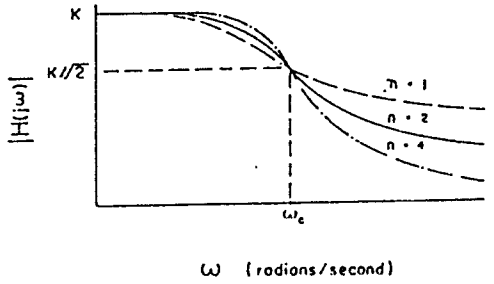
2.6.1 วงจรกรองความถี่ต่ำ แบบบัตเตอร์เวิร์ธอันดับที่สี่ (Low - Pass Butterworth Filter, Fourth Order)

เป็นวงจรกรองความถี่ที่มีคุณลักษณะเฉพาะ (Characteristic) ใกล้เคียงกับวงจรกรองความถี่ต่ำทางอุดมคติ โดยยอมให้ช่วงความถี่ที่ผ่านได้มีค่าแอมปลิจูดเท่าเทียมตลอดย่านที่ยอมให้ผ่านได้ โดยที่การตอบสนองเชิงขนาดของสัญญาณ (Amplitude response) มีค่าตามสมการดังนี้

$$\left|H(jw)\right| = \frac{K}{1+(w/w)^{2n}} \qquad (6)$$

โดยที่ n เป็นค่าอันดับ (Order) ของวงจรกรองความถี่และตามรูปที่ 2.19 แสดงให้เห็นว่า วงจรกรองความถี่สามารถที่จะปรับปรุงคุณลักษณะเฉพาะ เกี่ยวกับการตอบสนองเชิงขนาดของสัญญาณให้ดีขึ้นโดยใช้การเพิ่มค่า n จะได้อธิบายกรณีค่า n=2 และ n=4 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 แสดงผลตอบสนองกรณีบัตเตอร์เวิร์ธ

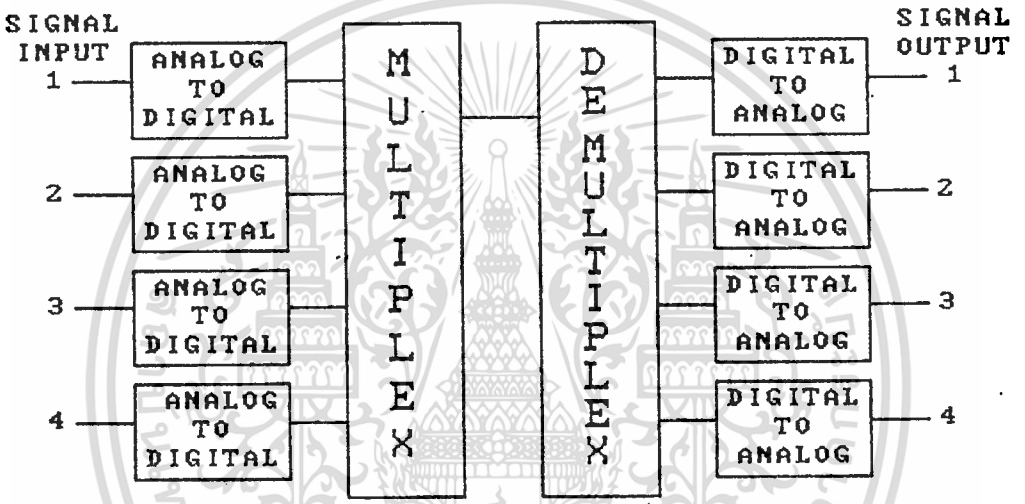
วงจรกรองความถี่แบบบัตเตอร์เวิร์ธมีข้อดี คือ สามารถให้ผลตอบสนองเชิงขนาดของสัญญาณได้เท่าเทียมกันตลอดย่านความถี่ที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การทดลองและผลการทดสอบ

ในส่วนของโครงงานทั้งหมดนี้ ได้ทำการออกแบบระบบมาให้มีลักษณะการส่งสัญญาณอนาลอก มี 4 ช่องสัญญาณ ซึ่งแต่ละช่องสัญญาณจะทำการแปลงสัญญาณเป็นดิจิตอลก่อน แล้วนำสัญญาณดิจิตอลแต่ละช่องสัญญาณมาทำการมัลติเพลกซ์แบบแบ่งเวลาแล้ว เมื่อถึงด้านรับให้ทำการดีมัลติเพลกซ์และแปลงสัญญาณดิจิตอลกลับเป็นสัญญาณอนาลอกแล้ว นำมาทำการผ่านวงจรกรองความถี่ต่ำอีกทีหนึ่ง



รูปที่ 3.1 แสดงส่วนของโครงงาน

3.1 เดลต้ามอดูเลชั่น (delta modulation)

จากการทดลองในโครงงานนี้ ได้ใช้ไอซีสำเร็จรูปในการแปลงสัญญาณอนาลอกเป็นดิจิตอลเป็นชนิด เดลต้ามอดูเลชั่น ใช้ไอซีเบอร์ MC 3417 เป็นชนิดซีวีเอสดี (continuous variable slope delta modulation and demodulator)

ข้อจำกัดของวิธีการเดลต้ามอดูเลชั่น คือ แถบกว้างความถี่ใช้งาน ซึ่งถูกจำกัด โดยความถี่สัญญาณนาฬิกา และจะสูงกว่าความถี่สูงสุดของสัญญาณอินพุทมากกว่า 2 เท่าขึ้นไป อีกอันหนึ่ง คือ ความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณ หรือ ไดนามิกส์เรนจ์ (dynamic range) ระบบเดลต้ามอดูเลชั่นธรรมดา มีค่าไดนามิกส์เรนจ์ที่แคบ จำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยายไดนามิกเรนจ์ให้กว้างขึ้น โดยการควบคุมอัตราการขยายของ อินทิเกรเตอร์ (integrator) เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมาก ๆ ได้ทัน ระบบนี้มีชื่อเรียกใหม่ว่า

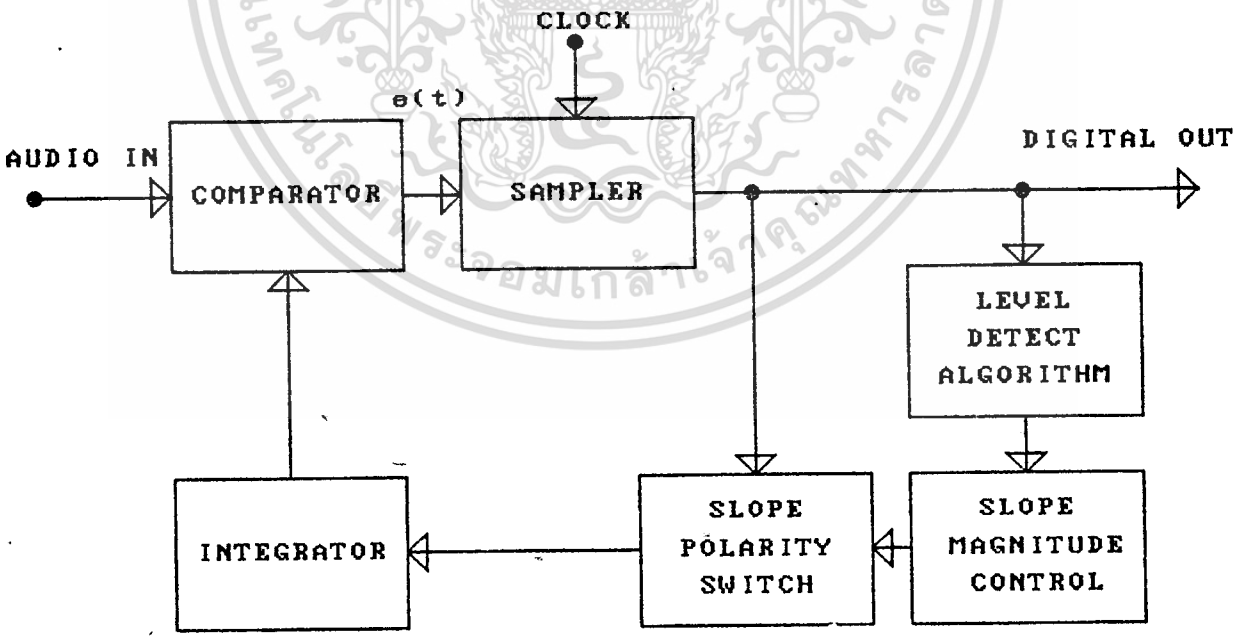
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบเดลต้ามอดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง หรือ CVSD (continuous variable slope delta modulation)

ระบบ CVSD ทั้งส่วนแปลงจากอนาลอกเป็นดิจิตอลและส่วนแปลงกลับจากดิจิตอลเป็นอนาลอก แสดงในบล็อก รูปที่ 3.2 และ 3.3 ตามลำดับ วิธีการของ CVSD ก็คือ มีการตรวจระดับสัญญาณ โดยอาจใช้วิธีการจัดให้มีรีจิสเตอร์ (register) สำหรับเก็บข้อมูลดิจิตอลล่าสุดจำนวน 3 ถึง 4 บิท แล้วตรวจดูว่า เป็น "0" หมด หรือ "1" หมด หรือไม่ ถ้าใช่ แสดงว่าขณะนี้อัตราการขยายให้สูงขึ้นเฉพาะในช่วงนั้น ในส่วนของการแปลงกลับ ก็จะมีการทำงานในลักษณะเดียวกัน คือ มีรีจิสเตอร์ตรวจดูข้อมูล ว่าเป็น "0" หมด หรือ "1" หมด หรือไม่ แล้วจัดการควบคุมอัตราการขยายของอินทิเกรเตอร์ให้สอดคล้องกัน

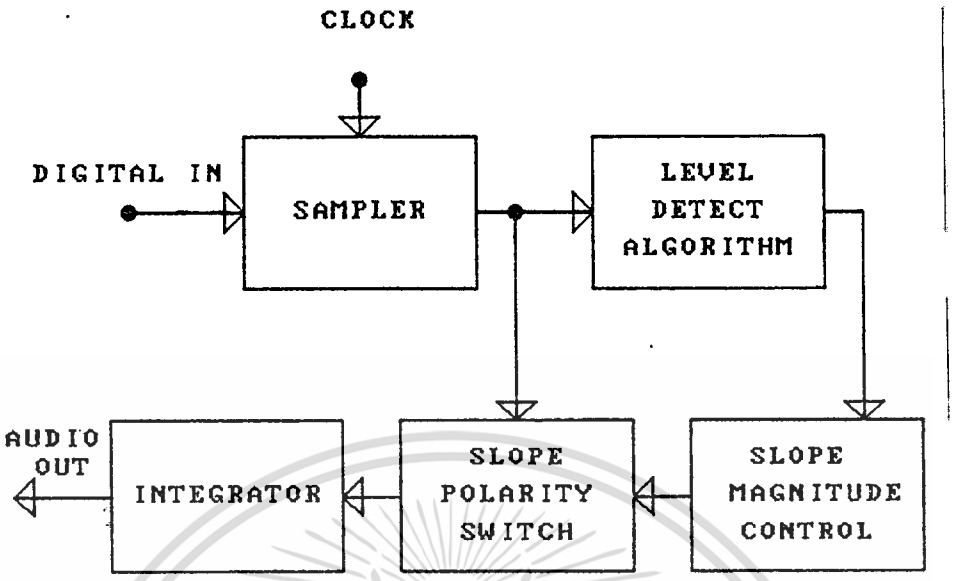
สำหรับบิทเรท (bit rate) หรือ อัตราเร็วของข้อมูลสำหรับวิธีการเดลต้ามอดูเลชั่น มีความถี่เท่ากับความถี่สัญญาณนาฬิกา เสียงพูดในระบบโทรศัพท์ มีแถบความถี่กว้าง 4 กิโลเฮิร์ท ต้องใช้ความถี่นาฬิกา 16 กิโลเฮิร์ท ได้ข้อมูลดิจิตอลที่มีบิทเรท 16 กิโลบิทต่อวินาที

ในโครงงานนี้จะใช้ ไอซีเบอร์ MC 3417 ของโมโตโรล่าร์ เป็นซีวีเอสดีมอดูเลชั่นและดีมอดูเลเตอร์ตัวเดียว ทำหน้าที่ทั้งแปลงสัญญาณอนาลอกเป็นดิจิตอล และแปลงกลับจากดิจิตอลเป็นอนาลอกมาใช้กับระบบสื่อสารสมัยใหม่ที่เป็นระบบดิจิตอล



รูปที่ 3.2 บล็อกแผนผังการทำงานของซีวีเอสดี
ในการแปลงจากสัญญาณอนาลอกเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 บล็อกแผนผังการทำงานของซีวีเอสดี
ในการแปลงกลับจากสัญญาณดิจิตอลเป็นอนาลอก

ข้อได้เปรียบของ DM นั้นคือ สร้างง่าย และให้เอ้าท์พุทออกมาเป็น serial เลย ข้อจำกัดของ DM คือ ความเที่ยงตรงในการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลด้วย bit rate ที่จำกัด ดังนั้น อนาลอกอินพุทจึงต้องมีการจำกัดทั้ง bandwidth และ amplitude สำหรับความถี่ จะจำกัดจุดสูงของความถี่อินพุท ไม่ให้มากเกินกว่าที่จะ encode ได้ ส่วน amplitude นั้นจะจำกัดทั้งสูงสุดและต่ำสุด เพราะ amplitude ค่าต่ำสุดต้องไม่ต่ำกว่าระดับของ noise ที่ DM สร้างขึ้นขณะไม่มีสัญญาณอินพุท สำหรับ delta modulator แบบธรรมดา แล้วพบว่ามีไดนามิคเร้นจ์ต่ำ และมีระดับของ noise คงที่

สำหรับวงจร continuous variable slope นั้นมีจุดประสงค์ เพื่อเพิ่มไดนามิคเร้นจ์ ซึ่งทำได้โดยการปรับ gain ของวงจรอินทีเกรเตอร์ ด้วยวิธีการตรวจสอบสัญญาณอินพุทโดยใช้ shift register ๆ นี้จะมี 3 หรือ 4 ตัวตามแต่การใช้งาน CVSD จะคอยเช็คดูว่าค่าภายใน shift register เป็น 0 หรือ 1 ทั้งหมดหรือไม่ ถ้าค่าภายในของ shift register เป็น 0 หรือ 1 ทั้งหมด แสดงว่า gain ของอินทีเกรเตอร์น้อยไป เราจะได้ผลแสดงออกมาทาง coincidence เอ้าท์พุทซึ่งจะไปทำการเพิ่ม gain ของอินทีเกรเตอร์

นอกจากวิธีการใช้ shift register แล้วยังมีวิธีอื่นอีก เช่น การวัด average

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

power หรือ การวัดขนาดของสัญญาณอินพุท หรือตรวจสอบค่าชั่วขณะของอินพุท ซึ่งวิธีการเหล่านี้ก็ล้วนแล้วแต่ต้องการควบคุม gain ของอินทีเกรเตอร์เพื่อเพิ่มไดนามิคเร้นจ์ของ DM ทั้งสิ้น

จากวิธีการ encode นี้ ถ้าถูกนำมาใช้ในการ decode ที่ทางด้านรับเราก็จะได้สัญญาณทางด้านเอ้าท์พุทมีรูปร่างเช่นเดียวกับทางด้านอินพุท

จากวิธีการของ CVSD นี้เรียกว่าการ Compand (compress + expand) ถ้านำสัญญาณดิจิตอลเอ้าท์พุทของ CVSD encoder มีใช้การ decode ด้วย DM แบบธรรมดา (หรือ LDM นั่นเอง) เอ้าท์พุทที่ได้หลังจากผ่านอินทีเกรเตอร์แล้ว จะมีลักษณะเช่นเดียวกับทางด้านอินพุท แต่ระดับ amplitude จะมีขนาดเท่ากันตลอด ดังนั้นวิธีการ decode CVSD ก็ต้องใช้เช่นเดียวกับวิธีการ encode

การออกแบบและประยุกต์ใช้งาน CVSD

ไอ.ซี.เบอร์ MC 3417, MC 3418 เป็น CVSD แบบง่าย การต่อให้ทำงานเป็น encoder และ decoder ดังแสดงในรูปที่ 3.4 ไอ.ซี.ชนิดนี้เป็น CVSD แบบใช้งานทั่วไป ผู้ใช้สามารถออกแบบปรับปรุงได้ มีสิ่งที่ต้องการกำหนดและออกแบบ 7 ข้อ คือ

1. กำหนดความถี่ของสัญญาณนาฬิกา (clock rate)
2. ขนาดของ shift register ที่ต้องใช้ (3 หรือ 4 bit)
3. เลือก loop gain
4. กำหนดขนาด step ที่เล็กที่สุด
5. ออกแบบอินทีเกรชั่นฟิลเตอร์ transfer function
6. ออกแบบ syllabic filter transfer function
7. ออกแบบ low pass filter

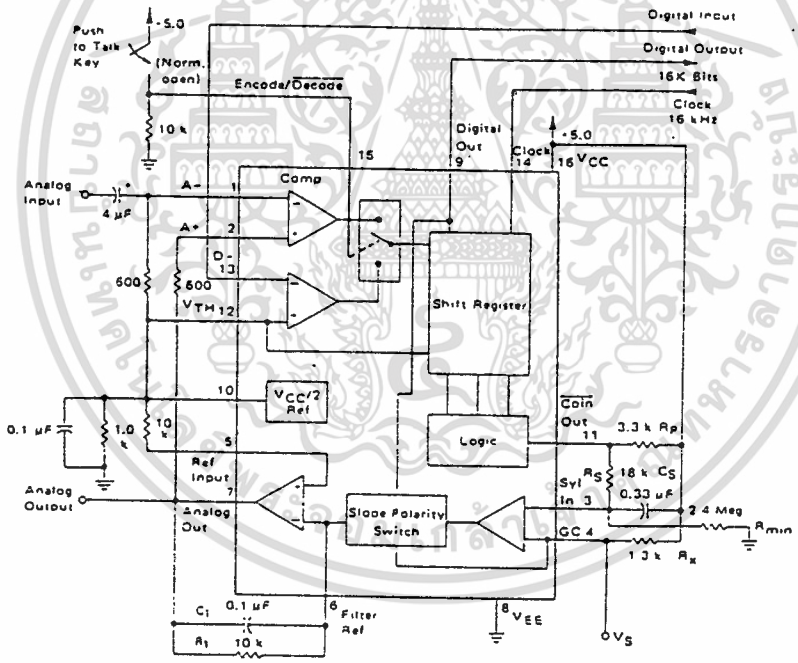
สัญญาณนาฬิกาและขนาดของชิฟรีจิสเตอร์

ในการออกแบบขั้นต้นเราต้องกำหนด บิทเรทของ CVSD ซึ่งจำนวน บิทเรท นี้ก็คือสัญญาณนาฬิกาที่ต้องใช้นั่นเองเนื่องจาก DM สร้างสัญญาณที่เป็นอนุกรม ออกมาเลย ดังนั้น บิทเรท และ สัญญาณนาฬิกาหรือความถี่ของการ แซมปลิ้ง ก็คือตัวเดียวกันนั่นเอง ถ้าความถี่ของสัญญาณนาฬิกาสูง S/N ก็จะสูงไปด้วย CVSD นี้สามารถใช้ clock rate ได้ตั้งแต่ 9600 Hz ถึง 64 KHz แต่ที่มีใช้กันมากในอุปกรณ์การสื่อสารทั่วไป คือ 16 KHz 32KHz และ 37.7 KHz ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

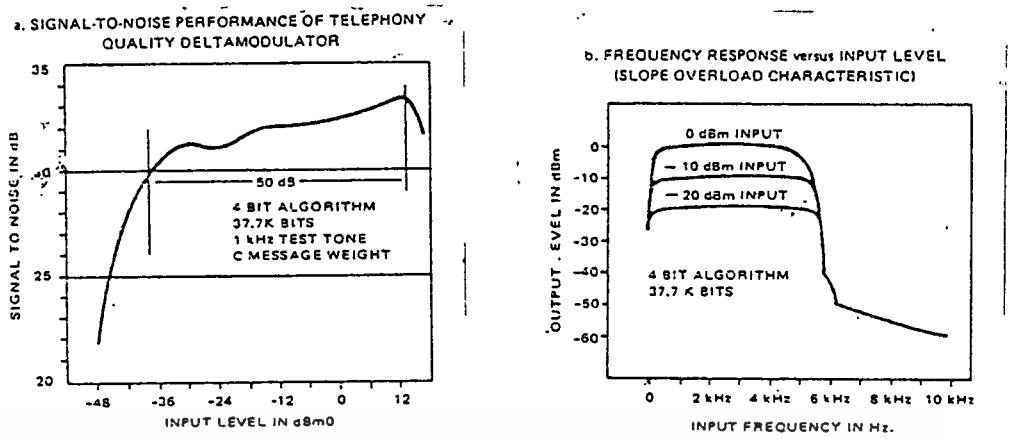
ระบบโทรศัพท์สาธารณะจะใช้ 32 KHz และสำหรับการ การเข้ารหัส อื่นๆ บางครั้งอาจจะใช้บิทเรท สูงถึง 200 กิโลบิทต่อวินาที

หลังจากกำหนดระบบบิทเรทแล้ว ก็ต้องทำการกำหนดขนาดของ ชิฟรีจิสเตอร์ นี้จะเป็นตัวเก็บข้อมูลของสัญญาณในช่วงเวลาที่ได้ผ่านมาก่อนหน้าแล้วเพื่อควบคุมเกนของอินทีเกรเตอร์ ซึ่งก็ขึ้นอยู่กับสัญญาณนาฬิกาด้วย ดังนั้นที่อัตราต่ำกว่า 16 KHz ควรใช้ รีจิสเตอร์ ขนาด 3 บิท ซึ่งจะให้ผลดีที่สุดและจาก 16 กิโลบิท ขึ้นไปจะใช้ 3 หรือ 4 บิท อย่างใดอย่างหนึ่ง สำหรับ 4 บิท จะให้ S/N ที่ flat กว่า เพราะว่า รีจิสเตอร์ มีการเก็บข้อมูลที่ยาวกว่า อย่างไรก็ตาม ผลการตอบสนองต่อทรานเซี้ยน จะไม่ดีเท่าที่ควร เนื่องจากการคอมแพน ช้า ดังนั้น ไอ.ซี.เบอร์ MC 3417 ซึ่งมี รีจิสเตอร์ 3 ตัวนั้น ใช้กับระบบที่ใช้ บิทเรท ต่ำ ส่วน MC 3418 มี รีจิสเตอร์ 4 ตัว ใช้กับระบบที่มี บิทเรท สูงตั้งแต่ 64 กิโลบิท ขึ้นไปจะทำงานได้ดี



รูปที่ 3.4 วงจร CVSD encoder/decoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ผลของ S/N เมื่อเทียบกับการตอบสนองความถี่

เลือกลูปเกน

ในวงจรรูปที่ 3.4 Rx เป็นตัวกำหนด เกนขยายป้อนกลับ ของ CVSD การเลือกเกน นี้เป็นพารามิเตอร์ที่สำคัญอีกอย่างหนึ่งของการเข้ารหัส เนื่องจากวิธีการของ CVSD ก็เพื่อปรับปรุงไดนามิคเร้นจ์ของ เดลต้า มอดูเลชั่น ที่ระดับสัญญาณอินพุทต่ำๆ การเลือกลูปเกน จึงต้องขึ้นกับ

1. ระดับและความถี่ของสัญญาณอินพุท
2. ทรานเฟอร์ฟังก์ชั่นของอินทีเกรชั่นฟิลเตอร์

ดังเช่นการ คอมแพน จะทำงานในระหว่าง 5% ถึง 25% ของเวลาเท่านั้น Rx จะถูกเลือกก็โดยการกำหนดกระแสที่อินทีเกรเตอร์ต้องการซึ่งก็จะสร้างขนาดของ step ได้ตามต้องการเมื่อเอ้าท์พุทของ syllabic filter ได้ประมาณ 25% ของจุดสูงสุดของมัน

เพื่อที่จะคำนวณขนาดของกระแสของ step เราต้องการหาลักษณะของ ทรานเฟอร์ของอินทีเกรชั่นฟิลเตอร์ ในรูปที่ 3.3

$$R = 10\ K \qquad C = 0.1\ uF$$

$$\frac{VO}{Ii} = \frac{1}{C(S+1/RC)} = \frac{K}{S+W_o} \qquad (3.1)$$

จาก $W_o = 2f$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$10^3 = W_o = 2 f$$

$$f = 159.2 \text{ Hz}$$

ดังนั้น อินทีเกรชั่นฟิลเตอร์ จะมี single pole response ตั้งแต่ 300 ถึง 3 KHz กระแสที่ต้องการที่จะทำให้เอ้าท์พุทของอินทีเกรเตอร์ เพิ่มจาก 0 ถึงจุดโวลท์เตจที่ต้องการ คือ

$$Ii = \frac{VO}{R} + \frac{CdVO}{dt} \qquad (3.2)$$

ที่ 0 dBmo ของ sine wave จะเท่ากับ 1.0954 v. ดังนั้น กระแสที่ต้องการสำหรับที่ 0 dBmo ของ 1 KHz ลูกคลื่นซายน์ คือ

$$Ii = \frac{1.1V}{2(10K)} + \frac{0.1uF(1.1)}{0.125mS} = 0.935 \text{ mA}$$

โวลท์เตจสูงสุดที่ตกคร่อม Ri = $\frac{1.1}{2}$ V.

จากโวลท์เตจของ sylabic filter ก็คือ Vcc การ compand ไม่เกิน 25%

$$Rx = 0.25VCC \times \frac{1}{0.935mA}$$

ที่ Vcc = 5 V. Rx = 1.3 K

ขนาดของ step ที่เล็กที่สุด (minimum step size)

พารามิเตอร์ที่จะกำหนดสุดท้ายนี้สำหรับวงจรในรูป 3.4 คือ ขนาดของ step

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เล็กที่สุด ขณะที่ไม่มีสัญญาณอินพุทที่เอ้าท์พุทดิจิตอลของ CVSD เป็น 1 และ 0 สลับกันไปตลอด และที่อนาลอกเอ้าท์พุทจะได้รูปสามเหลี่ยมเล็ก ๆ ซึ่งเรียกว่า Idle channel ซึ่งหมายความว่า CVSD ไม่สามารถ เข้ารหัสสัญญาณที่มีระดับต่ำกว่าขนาดของ step ที่เล็กที่สุดได้ในทางทฤษฎีแล้ว จะทำพารามิเตอร์นี้เป็น 0 แต่ในทางปฏิบัติจะมีค่าผิดพลาด (error) เช่น step ที่ขึ้นและลงไม่พอดีกัน คอมพาราเตอร์อีสเตอร์รีซีส และฟิลเตอร์ออปแอมป์ออฟเซท (filter opamp off set) ซึ่งทำให้เกิด idle channel ทั้งสิ้น

การกำหนดขนาด idle channel นี้โดยการเลือกขนาดของ Rmin ขณะที่ไม่มีสัญญาณอินพุท ส่วนควบคุมความเอียง จะไม่ทำงานเพราะเอ้าท์พุทของคอมพาราเตอร์ จะไม่เป็น 1 หรือ 0 ติด ๆ กันจนทำให้เกิด coincidence เอ้าท์พุทได้ ดังนั้นโวลท์เตจที่ตกคร่อมCs จะประมาณ 0 V. อย่างไรก็ตามโวลท์เตจที่ถูกแบ่งของ Rs และ Rmin จะทำให้มีโวลท์เตจตกคร่อม Cs บ้าง ซึ่งโวลท์เตจนี้จะทำให้เกิดสัญญาณสามเหลี่ยมที่เอ้าท์พุทของอนาลอก จากสมการกระแสอินพุท

$$Ii = \frac{VO}{R} + c\frac{dVO}{dt}$$

ที่ Vo น้อย ๆ จะได้ $\frac{VO}{R} = 0$ ดังนั้น เทอม Vo/R จึงถูกตัดทิ้งได้ จะได้

$$Ii = C\frac{VO}{T}$$

T = period ของสัญญาณนาฬิกา

Vo = peak-to-peak value of idle channel

จากวงจรในรูป 3.3 ใช้สัญญาณนาฬิกา 37.7 KHz

$$Ii = \frac{0.1uF\ 10mV}{26.52uS} = 37.7\ uA$$

ดังนั้น โวลท์เตจคร่อม Cs ที่กระแส 37.7 uA กำหนดโดย Rx

$$Ii\ Rx = Vsmin = 37.7\ uA\ \ 1.3\ K = 49\ mV$$

ในรูปที่ 3.3 Rs = 60 K จะทำให้เกิดโวลท์เตจแบ่งกันระหว่าง Rs, Rmin โดยตกคร่อม Rs 49 mV ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$VCC \frac{Rs}{Rs+Rmin} = Vsmin \qquad 3.3$$

รูปที่ 3.4 เป็นการวัดผล S/N ของวงจร ซึ่งจะได้ผลดีที่สุดที่รอบ ๆ0 dBmo แต่ S/N จะตกลง 6 dB จาก 0 dBm ที่ - 30 dBm

การจัดขาและหน้าที่ต่างๆ ของ ขาไอซี

ขา 1 Analog input

เป็นขาอินเวอร์ติ้งอินพุทของอนาลอก คอมพาราเตอร์ ซึ่งเราจะป้อนสัญญาณเสียงเข้าขานี้ ได้ทั้งแบบเอซีและดีซีขึ้นอยู่กับการใช้งาน ถ้าระดับสัญญาณเสียงมีค่าเข้าใกล้แรงดันอ้างอิงภายใน แล้วตัวต้านทานที่ต่อไบอัสอยู่ระหว่างขา 1 กับ ขา 10 จะถูกนำมาใช้ อนาลอกคอมพาราเตอร์ออกแบบขึ้นใช้กับ hysteresis ต่ำแต่มี gain สูง (ประมาณ 70 ดีบี)

ขา 2 Analog feedback

เป็นขานอนอินเวอร์ติ้งอินพุทของ อนาลอก คอมพาราเตอร์ ในการใช้งานเป็นตัวเข้ารหัส (encoder) ขานี้จะต่อกับ อนาลอกเอ้าท์พุทของวงจรเข้ารหัส (encoder circuit) หรือ ขา 7 ซึ่งก็คือ วงจรกรองความถี่ต่ำ (low pass filter) เอ้าท์พุทนั่นเอง ในการใช้งานเป็น decoder ขานี้จะไม่ใช้จะต่อกับขา 10 หรือปล่อยลอยไว้เฉย ๆ

ขา 3 Syllabic filter

ขานี้เป็นขาที่มี syllabic voltage ป้อนเข้าเพื่อใช้ในการคอนโทรลขนาด step ของอินทีเกรเตอร์ ขานี้เป็น NPN อินพุทของ op-amp syllabic filter ประกอบด้วย RC network ที่มีต่อระหว่างขา 11 และ ขา 3 ซึ่งใช้ time constant ระหว่าง 6mS - 50mS

ขา 4 Gain control input

syllabic filter voltage ที่ปรากฏคร่อม Cs ของ syllabic filter จะถูกเปลี่ยนเป็นกระแสนำไปขับ (drive) ขา 4 ที่ slew rate 0.5 V/S ดังนั้น กระแสที่ผ่านเข้าขา 4 ก็คือ syllabic filter voltage ที่หารด้วย Rx

ขา 5 Reference input

ขานี้เป็นขานอนอินเวอร์ติ้งอินพุทของอินทิเกรเตอร์แอมปลิไฟเออร์ (integrator amplifier)ใช้เป็นระดับอ้างอิงดีซี (DC reference)ของสัญญาณเอ้าท์พุทในการใช้เป็นตัวเข้ารหัส (encoder) ขานี้จะต้องมีค่าแรงดันอ้างอิง(reference voltage)ระดับเดียวกันกับขา 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 6 Filter input

เป็นขาอินเวอร์ติ้งอินพุทของออปแอมป์ ซึ่งใช้ต่อกับอินทิเกรเตอร์เนทเวอร์ค(integrator network) ภายนอกกระแสอินทีเกรติ้ง (Iint) จะไหลเข้าขา 6 ในการเข้ารหัส (encoder) เมื่ออนาลอกอินพุท (ขา 1) มากกว่า analog feedback (ขา 2) หรือในการ decoder digital date อินพุท (ขา 13) เป็น 1 และในทางตรงกันข้ามกระแส Iint จะไหลออกจากขา 6 เมื่ออินพุทกลับกันครั้งแรกสำหรับระบบซิ้งเกิลอินทีเกรชั่น(single integration) จะมี RC ต่อระหว่างขา 6 และ 7

ขา 7 Analog output

เป็นขาอินทีเกรเตอร์เอ้าท์พุท สามารถขับโหลด ต่ำสุด 600 โอห์มด้วยแรงดันอ้างอิง (reference) กับ Vcc/2 สำหรับการออกแบบอินทีเกรชั่นฟิลเตอร์เนทเวิคร์ slew rate ของการชดเชยภายใน โดยอินทีเกรเตอร์ ออปแอมป์ ประมาณ 0.5 V/uS ขานี้จำกัดกระแสไว้ประมาณ 30 mA

ขา 8 Vee

ไอ.ซี.นี้ถูกออกแบบให้ทำงานได้ทั้ง แหล่งจ่ายคู่และแหล่งจ่ายเดี่ยว ขานี้จะต่อกับไฟลบหรือกราวนด์

ขา 9 Digital output

ขานี้เป็นขาเอ้าท์พุทจากผลของเดลต้ามอดูเลเตอร์ คอนเวอร์ชั่น เอ้าท์พุทของขานี้จะสวิงระหว่าง Vcc กับ Vee ซึ่งสามารถต่อเข้ากับ MOS หรือ TTL ได้ ขานี้จะอินเวิคร์เมื่อเทียบกับขา 1 และเป็นนอนอินเวิคร์เมื่อเทียบกับขา 2 ขานี้เอ้าท์พุทขึ้นอยู่กับสัญญาณนาฬิกาที่ขา 14 เมื่อมี ขอบขาลง สัญญาณนาฬิกานี้มี raise และ fall time 250 nS และ50 uS

ขา 10 Vcc/2 output

ขานี้มี impedance ต่ำ และจ่าย mid-supply reference สำหรับการใช้งานแบบ single supply ภายในเป็น เรกูเลเตอร์ แหล่งจ่ายกระแส (current source) และจะต้องมีโหลด เพื่อsink กระแสนี้ ขานี้สามารถจ่ายกระแสได้สูงสุด 10 mA

ขา 11 Coincidence output

ค่าดิวตี้ ไซเคิล (duty cycle) ของขานี้เป็นสัดส่วนโดยตรงกับแรงดันที่คร่อม Cs ขานี้จะเป็น low เมื่อค่าที่อยู่ในชิพ รีจิสเตอร์ (shife register) เป็น 0 หรือ 1 ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขานี้เป็น open clloector NPN จึงต้องมี pull up resistor ถ้า syllabic filter มีชาร์จและดิสชาร์จ ไทม์ คอนสแตนซ์ (time constant) เท่ากันแล้ว Rp จะต้องน้อยกว่า Rs แต่ในทางปฏิบัติแล้วค่าชาร์จและดิสชาร์จไทม์ คอนสแคนซ์ (time constant) จะต่างกันเพราะ charging constant คือ RsCs ขณะที่ discharge constant คือ RsCs ขณะที่ discharge constant คือ (Rs + Rp) Cs

ขา 12 Digital threshold

ขานี้เป็นขาอินพุทซึ่งเป็นตัวเทียบระดับการสวิง สำหรับขา 13,14,15 ซึ่งจะช่วยในการ อินเตอร์เฟส (interfacing) ระดับลอจิก เมื่อต่อกับ ไอ.ซี.ชนิดต่างๆ โดยไม่ต้องมีอุปกรณ์ อินเตอร์เฟส ช่วย ปกติขานี้จะต่อกับขา Vcc/2 สำหรับ ซีมอสอินเตอร์เฟส หรือไบอัสด้วยไดโอดที่ต่อกับ Vee สำหรับการ อินเตอร์เฟส กับ ทีทีแอล

ขา 13 Digital date input

ขานี้เป็นขาอินพุทของดิจิตอลพัลส์ สำหรับการทำงานเป็น ถอดรหัส ส่วนการเข้ารหัสจะไม่ใช้ขานี้ ในการถอดรหัส สัญญาณดิจิตอล จะถูกป้อนเข้าขานี้ สำหรับช่วงการเข้ารหัส ขานี้จะไม่ใช้หรืออาจใช้ในการส่งสัญญาณข่าวสาร ทั้งนี้ก็ขึ้นอยู่กับขา 15 ที่ใช้ควบคุมระดับข้อมูลดิจิตอลอินพุทควรจะคงที่อยู่ 0.5 us ก่อนและหลังการกระตุ้นของสัญญาณนาฬิกา

ขา 14 Clock input

ขานี้เป็นขาสำหรับสัญญาณนาฬิกาซึ่งขึ้นกับว่า เราต้องการอัตราข้อมูล (data rate เท่าไร ในการเข้า-ถอดรหัส (codec) เช่น 32 K bit rate ต้องใช้สัญญาณนาฬิกา 32 KHz สำหรับ switching threshold ถูกต้องไว้แล้วที่ขา 12 สำหรับชิพ รีจิสเตอร์ (shift register) ภายในจะท็อคเตอร์ (toggle) ด้วย ขอบขาลง (falling edge) ของ clock สำหรับความกว้างของ pulse + สูงสุด 300 nS ส่วน pulse -เป็น 900 nS

ขา 15 Enclode/Decode

เป็นขาควบคุมการต่อระหว่างอนาลอกอินพุทของคอมพาราเตอร์ (ดิจิตอลอินพุทของคอมพาราเตอร์)เข้ากับชิฟรีจิสเตอร์ ถ้าเป็น "1" สัญญาณอนาลอกอินพุท เปรียบเทียบกันช่วงขอบขาลงของสัญญาณนาฬิกาที่ขา 14 ถ้าเป็น "0"สัญญาณดิจิตอล จะถูกเปรียบเทียบเพื่อการแปลงกลับ

ขา 16 Vcc

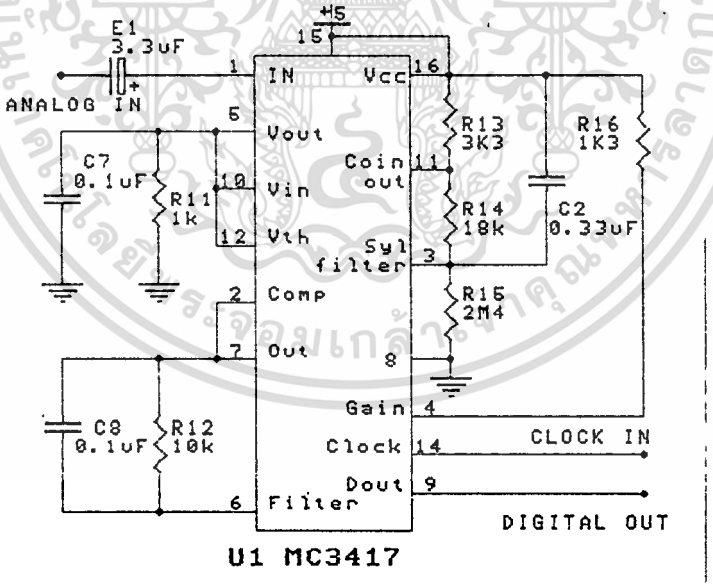
เป็นขาแหล่งจ่ายไฟเลี้ยง ตั้งแต่ 4.77 v. ถึง 16.5 v. เมื่อเทียบกับ Vee

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล และดิจิตอลเป็นอนาลอก

จากโครงงานได้ใช้วิธีการแปลงสัญญาณอนาลอกมาเป็นดิจิตอลโดยใช้วิธีการมอดูเลทเป็นแบบเดลต้ามอดูเลทซึ่งใช้ไอซีเบอร์ MC 3417 ของโมโตโรล่า เป็นตัวเปลี่ยนแปลงสัญญาณซึ่งสัญญาณที่ใส่เข้าไปเป็นสัญญาณอนาลอกความถี่ไม่เกิน 4 กิโลเฮร์ิท และใช้การแซมปลิ้งสัญญาณด้วยความถี่ 16 กิโลเฮร์ิท ดังนั้นสัญญาณดิจิตอลที่ออกมา จะมีค่าบิทเรทประมาณ 16 กิโลบิทต่อวินาที หรือขึ้นอยู่กับความถี่ในการแซมปลิ้งและในการแซมปลิ้งสัญญาณ 1 ครั้ง เอาท์พุทที่ได้จะมีค่า 1 บิท

ข้อดีของไอซีเบอร์นี้ คือ ในตัวมันเองสามารถใช้แปลงสัญญาณดิจิตอลเป็นอนาลอกได้ด้วยทำให้เกิดความสะดวกในการออกแบบวงจรและไม่มีความยุ่งยากมากนัก ถ้าต้องการให้มันทำงานในส่วนของการแปลงอนาลอกเป็นดิจิตอลก็ต่อขา 15 โดยให้แรงดัน 5 โวลท์กับขา 15 แล้วป้อนสัญญาณอนาลอกเข้าขา 1 สัญญาณที่ป้อนมีค่าแรงดันไม่เกินบวก 5 โวลท์ และต้องผ่านการกรองความถี่ต่ำมาก่อนเพื่อไม่ให้ความถี่สูงเข้ามากวน ค่าแรงดันของสัญญาณดีที่สุดประมาณ 3-4 โวลท์ แล้วสัญญาณ CLK ที่จ่ายให้ก็มีค่าความถี่ไม่เกิน 16 กิโลเฮร์ิทและมีแรงดันมากกว่า 2 โวลท์ ลักษณะวงจรและอุปกรณ์เป็นดังในรูปที่ 3.6



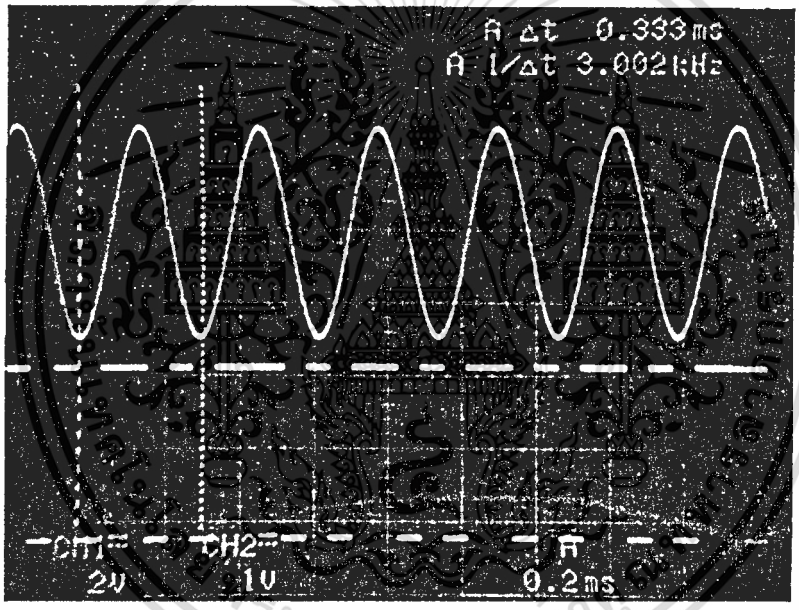
รูปที่ 3.6 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

ในวงจรแรกนั้น เอาท์พุทที่เป็นดิจิตอลออกที่ขา 9 ของไอซี ส่วนในวงจรแปลงสัญญาณดิจิตอลกลับเป็นอนาลอกนั้น กลับกันโดยการต่อขา 15 ของไอซีลงกราวด์ แล้วเอาสัญญาณ CLK จ่ายให้ขา 14 และต่อสัญญาณดิจิตอลอินพุทเข้าที่ขา 13 ของไอซีเอาสัญญาณออกที่ขา 7 ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอซีออกมา แล้วนำสัญญาณที่ขา 7 นั้นไปเข้าวงจรกรองความถี่ต่ำผ่านอีกครั้งหนึ่ง ถ้าสัญญาณมีขนาดเบาก็ผ่านวงจรขยายอีกครั้งก็ได้ แรงดันที่จ่ายให้กับขา 13 ซึ่งเป็นดิจิตอลอินพุทนั้น ประมาณ 3-5 โวลท์ ซึ่งจะทำให้การแปลงสัญญาณออกมามีคุณภาพดีที่สุด

ลักษณะการต่อวงจรและค่าของอุปกรณ์ต่าง ๆ นั้น ใช้ค่าต่าง ๆ จากคู่มือการใช้งานซึ่งมีมากับอุปกรณ์แล้ว แรงดันที่จ่ายให้ไอซีก็มีแรงดัน บวก 5 โวลท์เท่านั้น ผลการทดลองเมื่อลองให้ความถี่อินพุทเป็นความถี่อนาลอกขนาด 3 VP-P แล้วจ่ายสัญญาณ CLK ให้ 16 KHz ที่ความถี่ 3 KHz โดยป้อนจากฟังก์ชั่นเจนเนอร์เรเตอร์ แล้วผลของเอาท์พุทที่ได้จากวงจรเปลี่ยนอนาลอกเป็นดิจิตอล ดังแสดงในรูปที่ 3.7

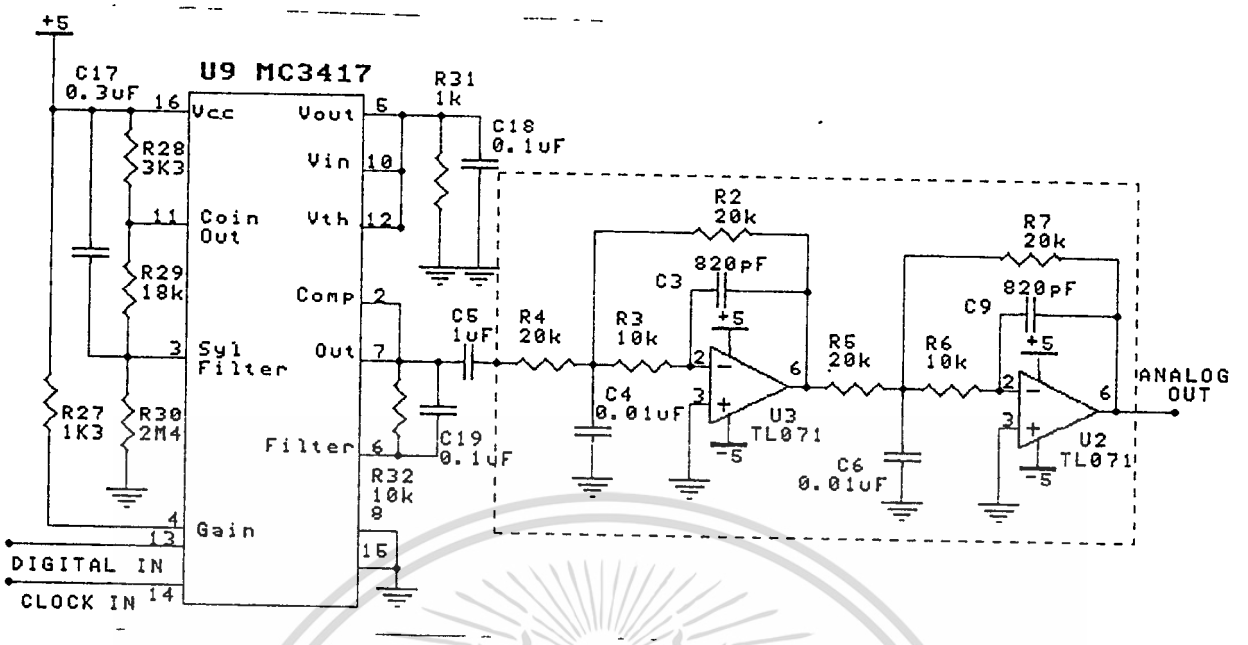


รูปที่ 3.7 ผลการทดลองเปลี่ยน A/D

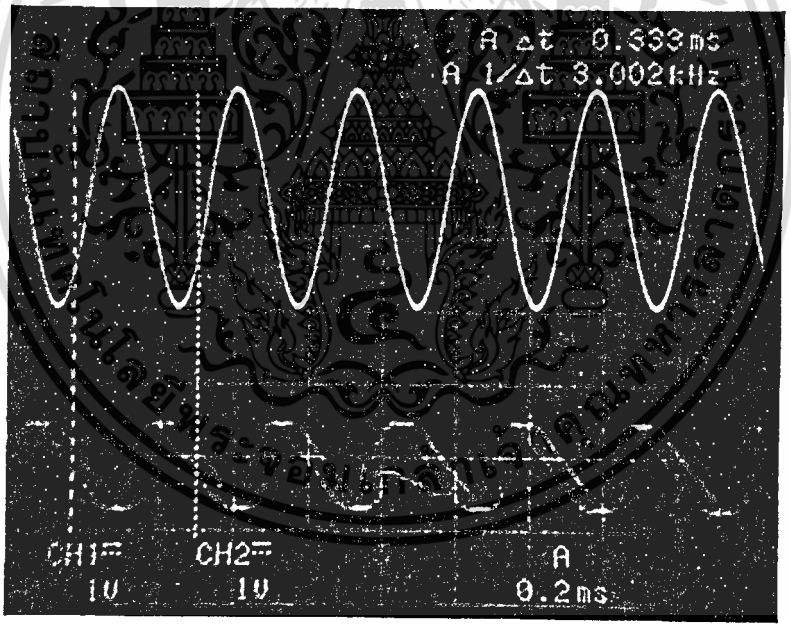
แล้วลองเอาค่าของดิจิตอลเอาท์พุท ไปต่อให้กับวงจรเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอกเพื่อแปลงสัญญาณกลับ แต่ผลที่ออกมาสังเกตุไม่ค่อยชัด จึงได้ทำการใส่วงจรกรองความถี่ต่ำต่อจาก D/A ดังในรูป 3.8

สำหรับผลการทดลองที่ออกมาจากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกนั้น เนื่องจากสัญญาณที่จับด้วยสโคป มีการเคลื่อนไหวตลอดเวลาจึงได้ทำการปรับค่าความถี่ของสัญญาณอินพุทไปเล็กน้อย เพื่อต้องการให้ภาพหน้าจอหยุดนิ่ง หรือเคลื่อนไหวน้อยที่สุด เพื่อจะได้ทำการถ่ายภาพบันทึกผลดังแสดงในรูป 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรแปลงสัญญาณ ดิจิตอลเป็นอนาลอก



รูปที่ 3.9 ผลการทดลองการเปลี่ยนสัญญาณ D/A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรผลิตสัญญาณ

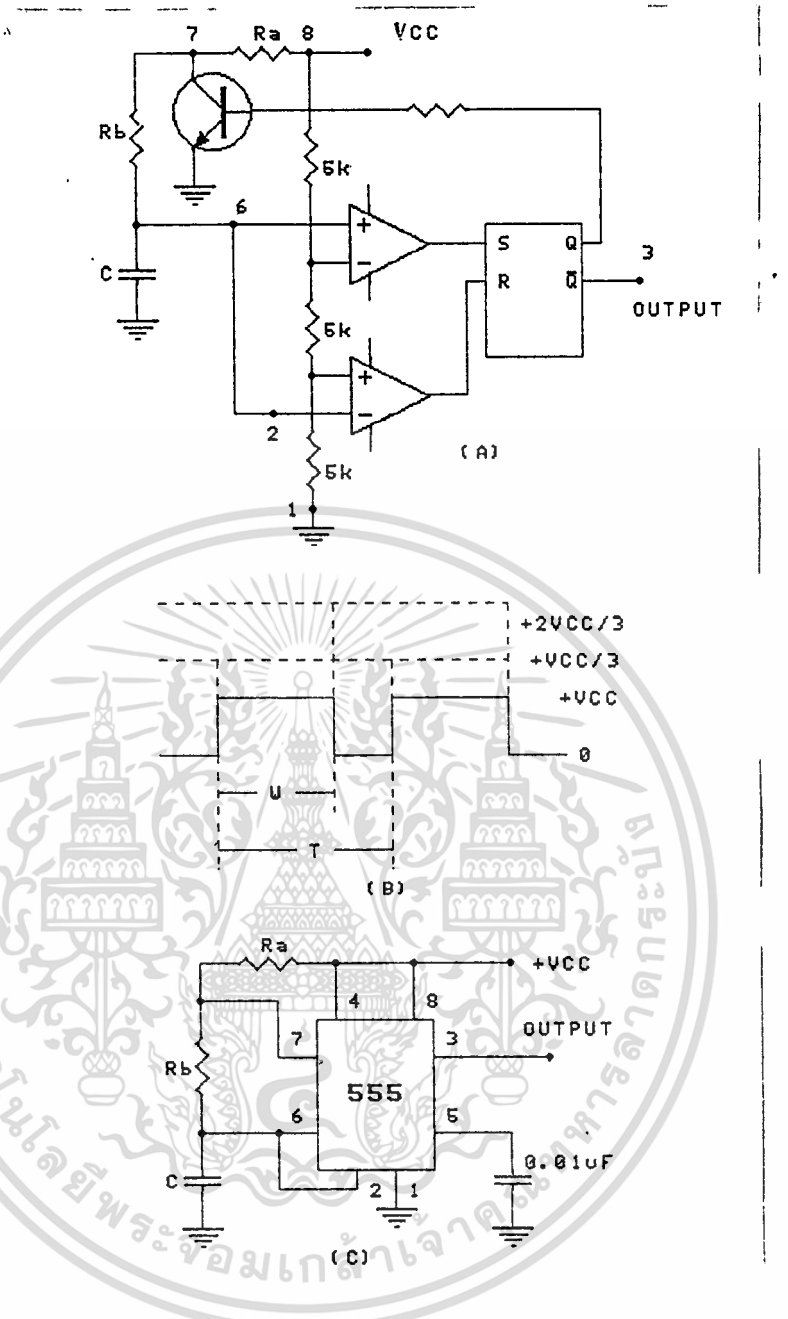
ในโครงงานได้เลือกใช้ ไอซี 555 เป็นตัวผลิตสัญญาณ โดยการจัดวงจรให้เป็นชนิดอะสเตเบิล ซึ่งมีลักษณะการทำงาน ดังนี้

จากรูปที่ 3.10 แสดงถึงการต่อไอซี 555 (Timer) ในการทำงานแบบอะสเตเบิลหรือฟรีรันนิ่ง (free running) เอ้าท์พุทที่ได้ของวงจรจะเป็นสัญญาณคลื่นสี่เหลี่ยมต่อเนื่องกันออกมา สามารถอธิบายการทำงานได้คือ เมื่อเอ้าท์พุท Q มีสถานะต่ำ (low) ทรานซิสเตอร์ ก็จะคัทออฟ ตัวเก็บประจุ C จะถูกชาร์จ (charge) ผ่านตัวต้านทานรวมของ Ra + Rb ดังนั้นค่าไทม์คอนสแตนซ์ (time constant) ก็จะเป็น (Ra + Rb)C เมื่อตัวเก็บประจุถูกชาร์จ (charge) ค่าเทรสโฮลโวล์ทเตย (Threshold voltage) ก็จะมีค่าเพิ่มขึ้นและเมื่อค่าเทรสโฮลโวล์ทเตจ มีค่าเพิ่มขึ้นจนมากกว่าค่า +2 Vcc/3 แล้ว ออปแอมป์ ตัวบนก็จะมีเอ้าท์พุทเป็นสูง (high)

ทรานซิสเตอร์ ก็จะอิ่มตัว (saturate) ซึ่งเหมือนกับการช็อต (short) ขา 7 ของไอซีลงกราวด์ ขณะนี้ตัวเก็บประจุ C ก็จะถูกคายประจุ (discharge) โดยผ่านทาง Rb ดังนั้นค่า ไทม์คอนสแตนท์ของการคายประจุ ก็จะมีค่า RbC เมื่อค่าของโวล์ทตกคร่อมตัวเก็บประจุ C มีค่าลดลงจนน้อยกว่า +Vcc/3 ออปแอมป์ตัวล่างจะมีเอ้าท์พุทเป็นสถานะสูง (high) ซึ่งจะรีเซท (Reset) อาร์เอสฟลิปฟลอป (RS Frip Frop)

จากในรูปที่ 3.10 แสดงถึงลักษณะสัญญาณที่จุดต่างๆ จะเห็นได้ว่าการเก็บประจุและคายประจุของตัวเก็บประจุ จะเป็นแบบ เอ็กโปเนนท์เชียล (exponential) และสัญญาณเอ้าท์พุทที่ได้จะเป็นคลื่นสี่เหลี่ยม แต่เนื่องจากค่า ไทม์คอนสแตนท์ของการเก็บประจุนั้น มีค่ามากกว่าค่าไทม์คอนสแตนท์ของการคายประจุ สัญญาณเอ้าท์พุทที่ได้จึงไม่สมมาตรซึ่งค่าคาบเวลาของสัญญาณในขณะที่มีสถานะสูง (high) จะยาวนานกว่าในขณะที่มีสถานะต่ำ (low)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 ลักษณะวงจร อะสเตเบิล มิลต์ไวรเบเตอร์

ในการที่จะกำหนดความไม่สมมาตรของสัญญาณเอ้าท์พุท จะนิยามคำว่า ดิวตี้ไซเกิล (duty cycle) ซึ่งจะกำหนดโดย

$$D = (W/T) \times 100\%$$

ค่าดิวตี้ไซเกิลของวงจรนี้ ก็จะมีค่าอยู่ระหว่าง 50-100% ทั้งนี้ขึ้นอยู่กับค่าของ Ra และ Rb จากการเก็บประจุและคายประจุของ C เราสามารถคำนวณหาค่าของความถี่ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเอ้าท์พุท คือ

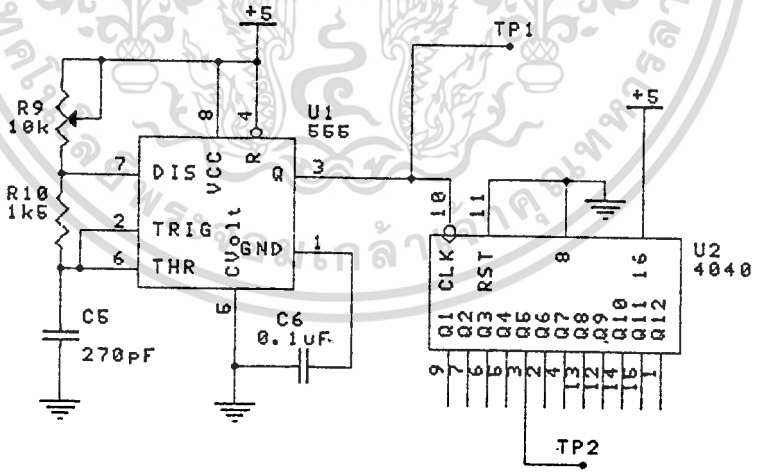
$$f = 1.4/((Ra+2Rb)C)$$

และค่าของดิวตี้ไซเกิลจะคำนวณได้จาก

$$D = ((Ra+Rb)/(Ra+Rb)) \times 100\%$$

จากสูตรจะเห็นได้ว่า ถ้าค่า Ra มีค่าน้อยกว่า Rb มาก ๆ แล้วค่าของ duty cycle จะประมาณ 50% และจากรูปที่ จะเป็นรูปวงจรที่นิยมเขียนโดยทั่วไปของวงจรที่ใช้งานทั่วไป โดยเราต้องต่อขา 4 เข้ากับ + Vcc และเช่นกัน ขาสัญญาณควบคุม (control) ที่ขา 5 ก็ควรต่อตัวเก็บประจุค่าน้อย ๆ (โดยมากใช้ค่า 0.1 F) ต่อลงกราวด์ เอาไว้ดังรูป เพื่อเป็นการลด Noise ให้สัญญาณควบคุมโวลท์เตจ (control voltage) เพื่อความกว้างของพัลส์ (pulse) ที่แน่นอน

จากในโครงงาน ต้องผลิตสัญญาณนาฬิกาถึง 2 ชุด โดยชุดแรกใช้ในการมัลติเพล็กซ์สัญญาณ และชุดหลังใช้ในการแปลงสัญญาณอนาลอกเป็นดิจิตอล วงจรผลิตสัญญาณมีเฉพาะในภาคส่งเท่านั้น และในภาคส่งได้ออกแบบให้มีความถี่ในการมัลติเพล็กซ์ช่องสัญญาณ กำหนดไว้ 512 KHz แล้วทำการคำนวนค่าอุปกรณ์ต่าง ๆ ซึ่งได้ค่าเป็นดังในรูปที่ 3.11

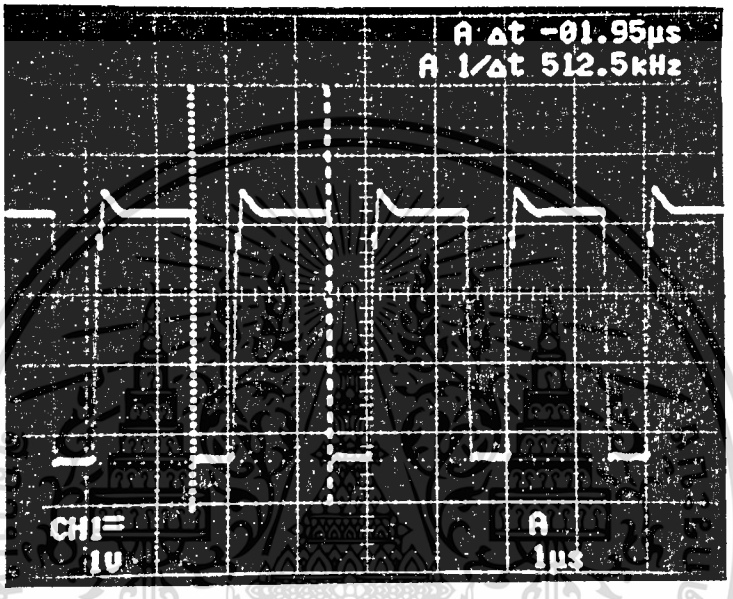


รูปที่ 3.11 วงจรผลิตสัญญาณและหารความถี่

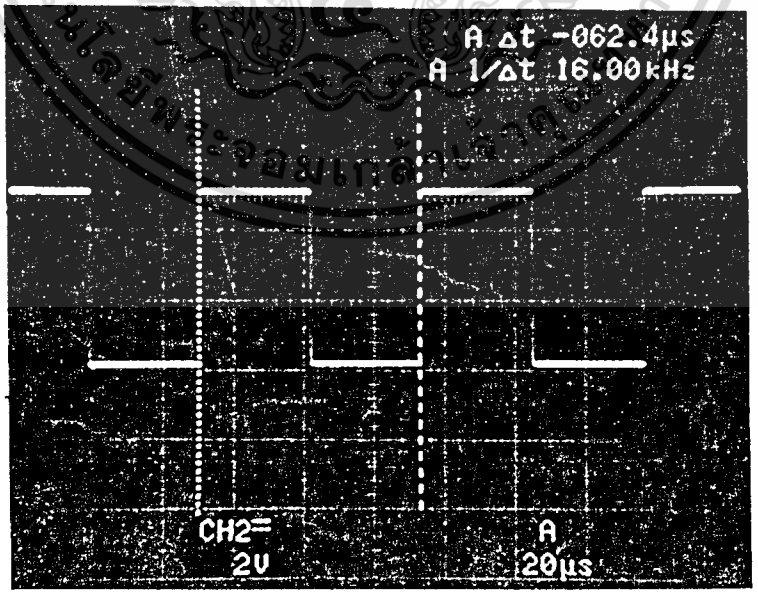
ในรูป จะเห็นว่า ในวงจรมี 2 ส่วน คือ ส่วนผลิตสัญญาณและในส่วนของวงจรหารความถี่ ผลที่ได้จากขา 3 ของไอซีไทม์เมอร์ 555 นั้นให้เอาท์พุทมาเป็น TP1 แล้วนำมาหาร 32 โดยไอซีเบอร์ MC 14040 ให้เอาท์พุทออกมาเป็น TP2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรผลิตสัญญาณใส่รีซิสเตอร์ค่า 10 กิโลโอห์มไว้ เพื่อทำการปรับความถี่ให้ได้ตามที่ต้องการ และการจัดวงจรเป็นแบบอะสเตเบิล มัลติไวรเบรเตอร์ (เอาท์พุทออกที่ขา 3 แล้วป้อนให้กับไอซีหารความถี่) ส่วนวงจรหารความถี่นั้น จะหารความถี่ที่ป้อนให้ โดยนำมาหาร 32 ลักษณะการวัดวงจร ให้สัญญาณอินพุทที่ขา 10 แล้วต่อขา RST ลงกราวด์ แล้วเอาเอาท์พุทออกที่ขา 3 ผลที่ได้จะเป็นตามรูป



รูปที่ 3.12 เอาท์พุทของวงจรผลิตสัญญาณ จุด TP1



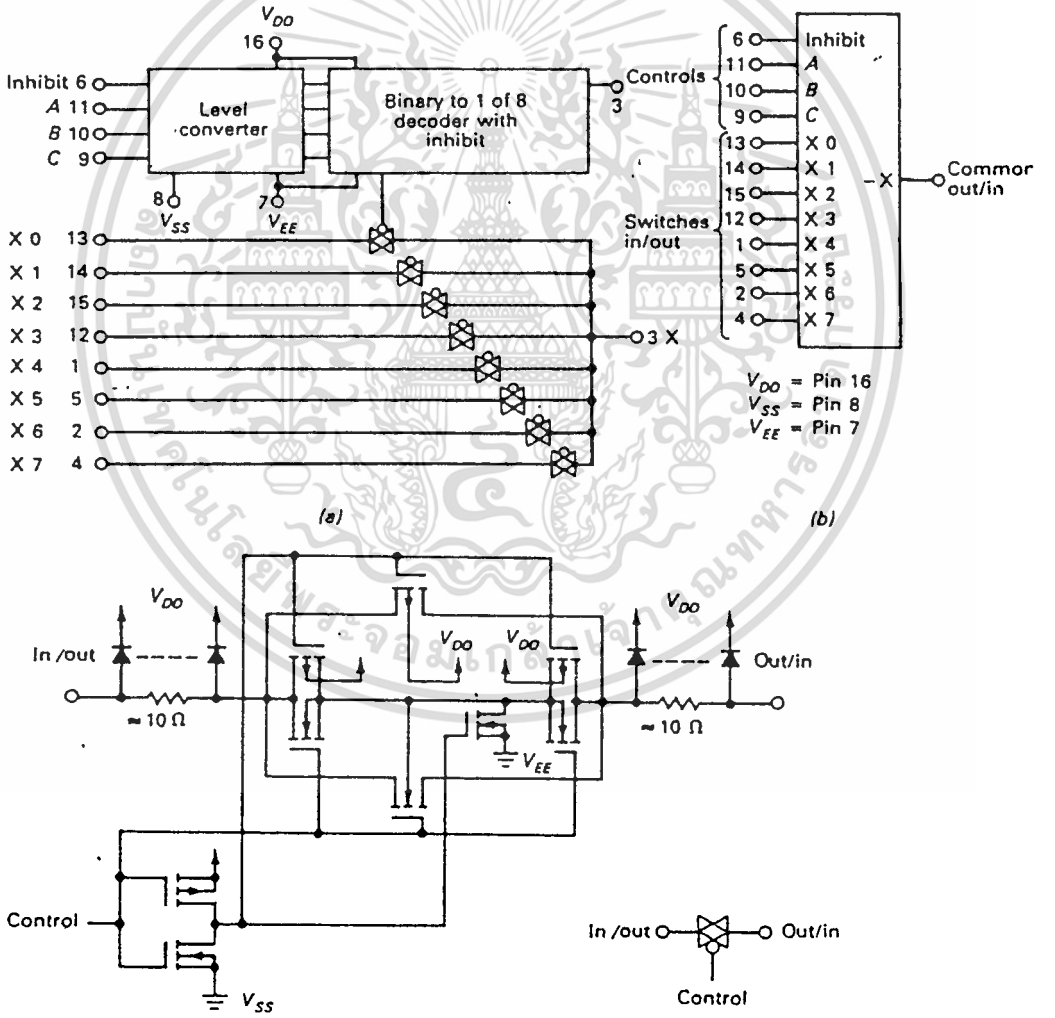
รูปที่ 3.13 เอาท์พุทของวงจรหารสัญญาณ จุด TP2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรมัลติเพล็กซ์สัญญาณ

ในการทดลองนี้ได้ใช้ไอซีอนาลอกสวิทช์ซึ่งเป็นตัวสวิทช์ทำการมัลติเพล็กสัญญาณ เป็นไอซีเบอร์ 14051 ควบคุมโดยระบบดิจิตอล ถูกใช้เพื่อแชมปลิ้งสัญญาณอนาลอกที่อินพุท แล้วส่งออกไปยังเอาท์พุท ไอซี 14051 เป็นแบบชั้วเดียว 8 ตำแหน่ง อิเล็กทรอนิคส์สวิทช์ ในการทดลองสวิทช์ที่ไม่ถูกใช้ จะถูกต่อลงกราวด์

ตัวมัลติเพล็กซ์มี 8 input อยู่ที่ขา 13, 14, 15, 12, 1, 5, 2 และ 4 ส่วนเอาท์พุทของชิพจะออกทางขา 3 อัตราโลจิกแชมปลิ้งสำหรับแต่ละช่องสัญญาณ จะถูกสร้างขึ้นโดยผ่านทางอินพุทคอนโทรล A,B,C ตัวชิพนี้สามารถใช้สวิทช์ความถี่สูงถึง 65 MHz เมื่อช่องสัญญาณ (เกทหรือสวิทช์) "ON" มันจะมีความต้านทานต่ำกว่า 60 โอห์ม



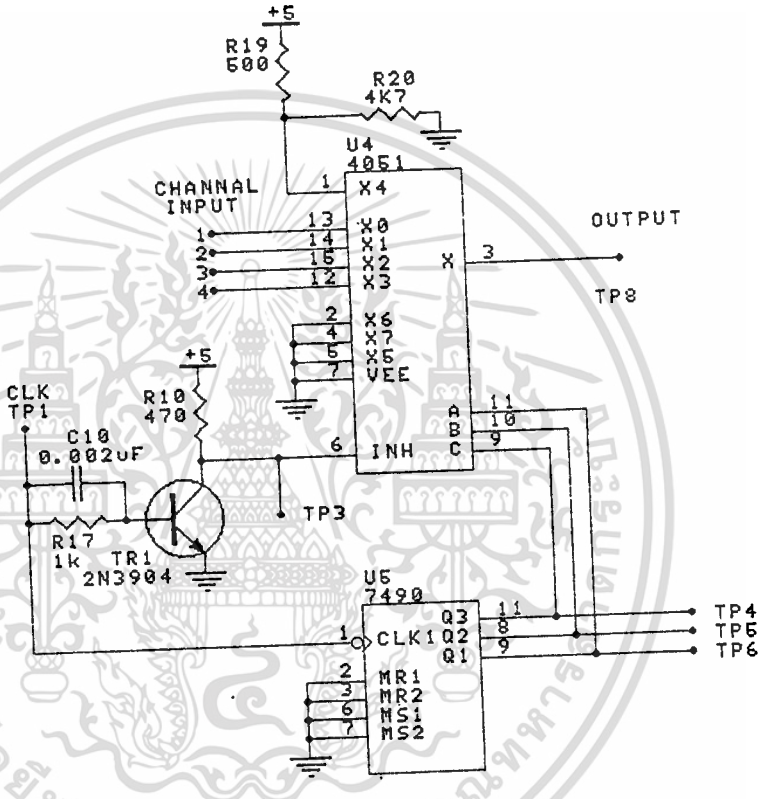
Representative switch circuit (1 of 8)

รูปที่ 3.14 MC 14051 มัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.14 แสดงตัวไอซีที่มี 8 อินพุทและ 1 เอาท์พุท รูป C (รายละเอียดรูป B) แสดงการต่อวงจรใช้ชิมอสเทคโนโลยี่ รูป B แสดงค่าวิธีการจัดเรียงเกทต่าง ๆ ในการต่อเพื่อควบคุมอินพุท (A,B,C)

ซึ่งการทำงานของระบบมัลติเพล็กซ์ สามารถอธิบายได้จากวงจรทดลองดังต่อไปนี้



รูปที่ 3.15 วงจรมัลติเพล็กซ์สัญญาณ

วงจรทดลองของตัวส่งมัลติเพล็กซ์ ตัวชิพ MC 14051 ที่มี 8 อินพุทจะใช้เพียง 5 อินพุท สังเกตว่า ที่ขา 1 ในรูปวงจร จะต่อกับ R 500 โอห์ม ไปหาแรงดัน + 5 โวลท์ การต่อนี้จะให้ไปประมาณ + 5 โวลท์ บนแชนแนล 5 เมื่อดิจิตอลแชมปลิ้งหมุนมาที่เกทนี้ ไฟ 5 โวลท์ที่มีความชันมาก จะถูกสร้างขึ้นที่เอาท์พุท และพัลซ์บวกนี้ จะใช้สำหรับการซิงโครไนสซิ่งกับเครื่องรับ ซึ่งจะอธิบายต่อไปในส่วนของวงจรเครื่องรับ

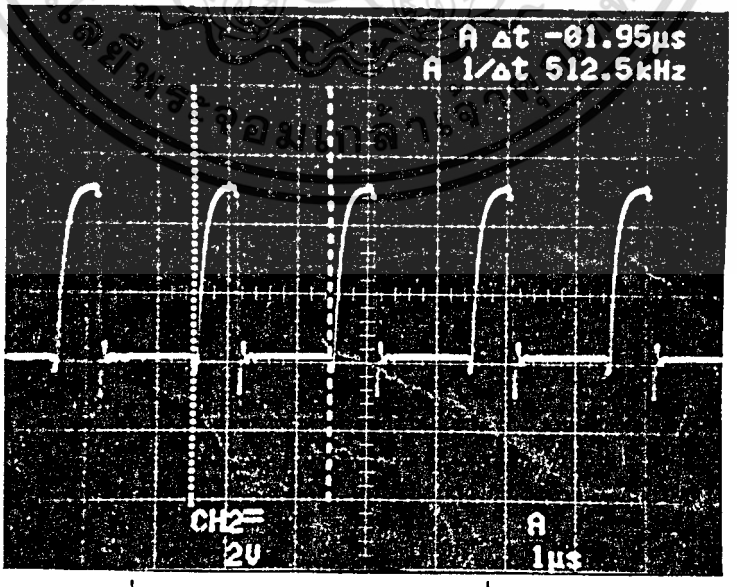
อินพุททั้ง 4 ของตัวส่งจะเป็นช่องสัญญาณ 1-4 และมันสามารถรับแหล่งจ่ายไฟที่เป็นได้ทั้งสัญญาณอนาลอกหรือดิจิตอลที่มีขนาด 5 โวลท์ สัญญาณที่ออกที่ขา 3 จะเป็นเอาท์พุทส่งออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ตัวไอซีเบอร์ 7490 เป็นไบนารี่เคาท์เตอร์ ไอซีตัวนี้ จะผลิตสัญญาณดิจิตอลแซมปลิ้งพัลซ์ผ่านเข้าไปควบคุมอินพุทของ MC 14051 และ 7490 นี้ยังเป็นตัวโลจิกไดรเวอร์ (logic driver) ที่ควบคุม 3 อินพุท (A,B,C) ของไอซี MC 14051 ตัวไบนารี่เคาท์เตอร์ จะถูกต่อให้นับเพียงแค่ 5 ซึ่งเป็นการควบคุมการปิด-เปิดของสวิทช์ทั้ง 5 ตัวตามลำดับ เมื่อเริ่มนับ 6 ตัวแล้ว 7490 จะกลับมาเริ่มต้นนับหนึ่งใหม่ อัตราแซมปลิ้งของ 7490 จะถูกควบคุมโดยสัญญาณนาฬิกา (CLK) ที่ผลิตโดย 555 ความถี่ของสัญญาณนาฬิกา (CLK)ประมาณ 512 kHz ซึ่งไม่ได้เจาะจงตายตัวแน่นอน มันอาจจะมีผลถึงแบนด์วิชของระบบด้วย

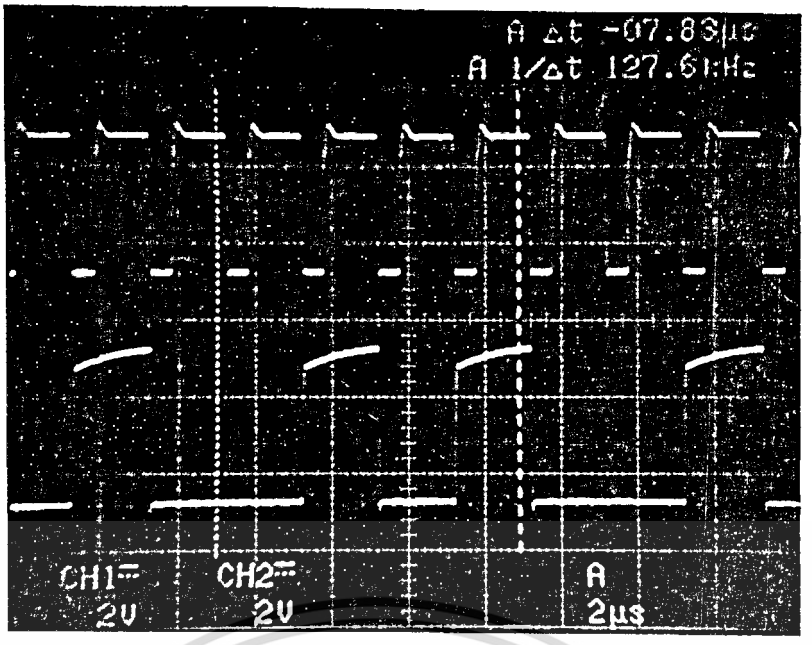
ในวงจรนี้ ทรานซิสเตอร์ TR1.เบอร์ 2N 3904 จะให้ค่า 100-400 นาโนเซคคั่นอินฮิบิทติ้ง พัลซ์ (nanoseconds inhibiting pulse) ที่ปลายหรือตอนจบของช่วงเวลาของเกทแต่ละตัว ช่วงนี้ใช้สำหรับเป็นตัวป้องกันการรบกวนข้ามช่องของสสสัญญาณ โดยไอซี MC14051 จะไม่ทำงานเมื่อขา 6 ของมันมีค่าเป็น "1"คือช่วงที่สัญญาณ CLK มีค่าเป็น "0"คือทรานซิสเตอร์ TR1 เป็นตัวขับให้เกิดช่วงเวลาในการหยุดของ MC 14051 เพื่อป้องกันการรบกวนของสัญญาณ

ตัวมัลติเพล็กซ์ ที่อยู่ด้านส่งจะรับสัญญาณไบนารีพัลซ์ และเปลี่ยนพัลซ์เหล่านี้ ให้เป็นการนับแบบเลขฐานสิบ เพื่อควบคุมช่องสัญญาณ 1 ถึง 8 จากเคยที่กล่าวมาแล้วว่า ช่องสัญญาณที่ 5 จะถูกใช้สำหรับการซิงโครไนซ์ของระบบ และมีการนับแค่ 5 เมื่อเริ่มนับ 6 จะย้อนกลับมาเริ่มนับหนึ่งใหม่ ในขณะที่มีการสร้างทริกเกอร์พัลซ์ (Trigger pulse) เพื่อการซิงโครไนซ์ของด้านรับกับด้านส่ง

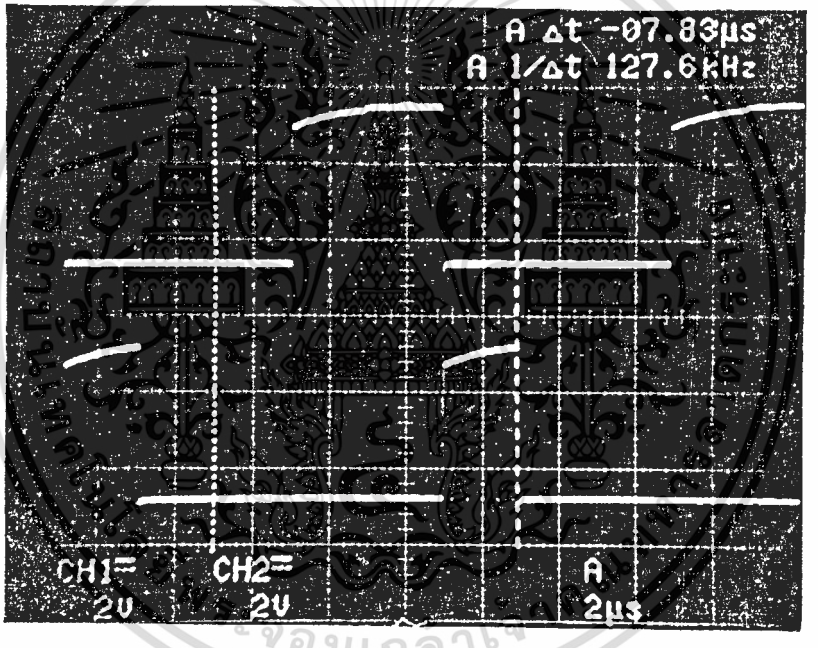


รูปที่ 3.16 ผลการทดลองสัญญาณที่จุด TP3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 ผลการทดลองสัญญาณที่จุด TP1 และ TP6

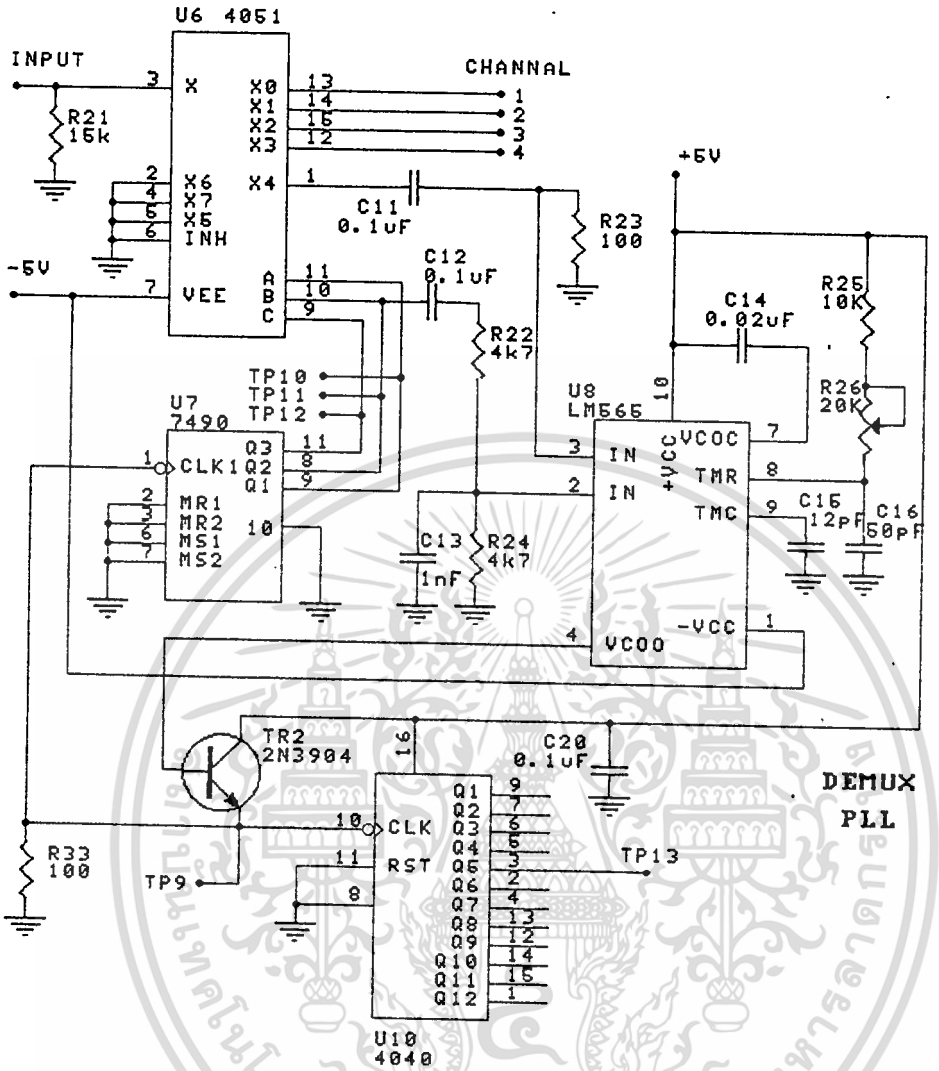


รูปที่ 3.18 ผลการทดลองสัญญาณที่จุด TP4 และ TP5

3.5 วงจรดีมัลติเพล็กซ์

ในภาครับนี้ จะทำหน้าที่แยกเอาสัญญาณที่ส่งมาเป็นบิทต่อเนื่องแยกออกเป็นของช่องสัญญาณต่าง ๆ และจะต้องให้ได้ตรงกันกับช่องสัญญาณเดิมที่ส่งมาด้วย เพื่อไม่ให้เกิดความผิดพลาดของข้อมูลและเพื่อความถูกต้องของช่องสัญญาณ ดังเช่น ในโครงงานนี้วงจรดีมัลติเพล็กซ์สัญญาณมีความจำเป็นมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 วงจรดีมัลติเพล็กซ์สัญญาณ

ทางด้านเครื่องรับ จะประกอบด้วยส่วนประกอบสำคัญ ดังนี้

1. ตัวสวิทช์ดีมัลติเพล็กซ์สัญญาณ

2. โลจิกซีเควนซ์ (Logic Sequencer)

3. เฟสล็อคลูปคอมพาเรเตอร์และฟิลเตอร์ (Phase Lock Loop Comparator and Filter)

4. โวลท์เตจคอนโทรลออสซิลเลเตอร์ (Voltage Control Oscillator)

5. เพาว์เวอร์ไดร (Power Drive ; Emitter Follower)

การทำงานตัวโลจิกคอนโทรลอินพุท ของวงจรมัลติเพล็กซ์ (ที่ A,B,C) จะถูกขับ (Drive) โดยตัวไอซี 7490 อีกครั้ง ตัวหาร หรือวงจรนับ 5 จะถูกใช้ เพื่อควบคุมตัว

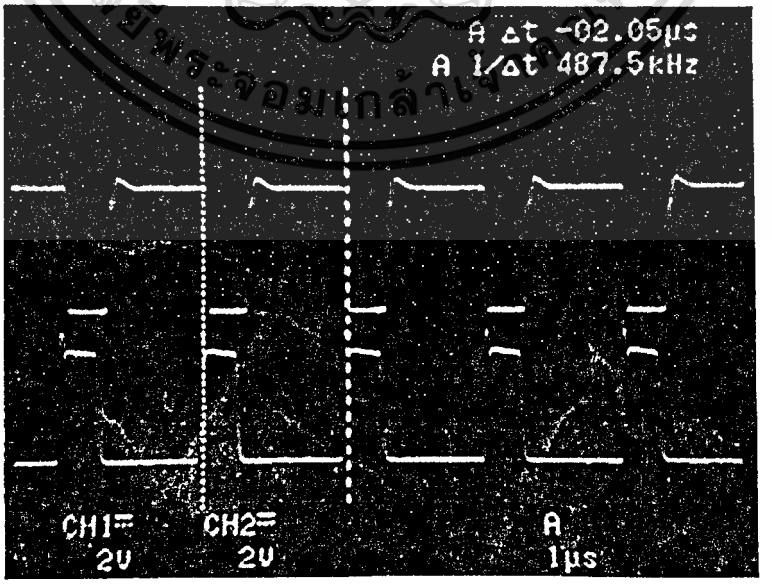
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มัลติเพล็กซ์เซอร์เอาท์พุทของแชนแนล 5 และเอาท์พุท B ของ 7490 จะป้อนให้กับอินพุทของเฟสล็อคลูปที่ขา 2 และขา 3 ของ LM 565 พัลซ์ทั้ง 2 นี้ จะทำงานที่ความถี่ 512 KHz (ขึ้นอยู่กับคล็อกในเครื่องส่ง) เพื่อเปรียบเทียบกัน และค่าแรงดันผิดพลาด จะถูกส่งเข้าไปในส่วน VCO ของ LM 565 เพื่อนำกลับมาควบคุมตัว 7490 จากจุดเริ่มต้นการนับ 5 สัญญาณซิงค์โครนัส ซึ่งพัลซ์จาก MC 14501 จะถูกรับโดย PLL และถูกเปรียบเทียบกับเอาท์พุทของตัวนับ 7490 ค่าแรงดันผิดพลาดจะได้รับการแก้ไข และค่าแรงดันผิดพลาดนี้เองที่นำไปใช้ในการควบคุม VCO ของเครื่องรับ เมื่อระบบมีการซิงค์โครนิสที่ถูกต้องหรือล็อคอิน สัญญาณโพสิทีฟ โกอิ้ง พัลส์ (Positive going pulse) ที่เครื่องส่งวันที่อยู่ใน CH 5 ซึ่งใช้สำหรับการซิงค์โครนีสชิ่ง ที่เครื่องรับเอาท์พุทของ CH 1 จะได้ออกมาที่ CH 1 ของเครื่องรับ และในลักษณะเดียวกันใน CH 2, CH 3 และ CH 4

ตัวปรับค่าคาบความถี่ R (20 k) ในเครื่องรับจะใช้ปรับ เพื่อเลื่อนความถี่ออสซิลเลเตอร์ให้เพียงพอสำหรับค่าความผิดพลาดที่ควบคุมไว้ สำหรับล็อคอิน

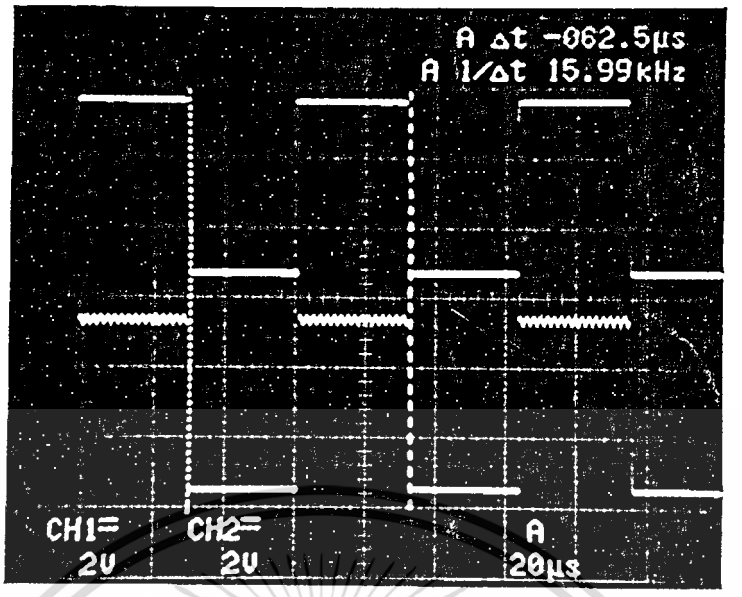
ลักษณะสำคัญของอุปกรณ์ LM 565 ซึ่งเป็นเฟสลอคลูปนั้น อุปกรณ์ที่สำคัญในการผลิตสัญญาณคือ ค่า R ที่ต่อที่ขา 8 และค่า C ที่ต่อที่ขา 9

ลักษณะผลของสัญญาณ CLK ที่ด้านเครื่องส่งกับด้านเครื่องรับเป็นดังในรูป แต่จะเห็นว่าความถี่นั้นเปลี่ยนแปลงไป เพราะต้องการปรับแต่งให้สัญญาณ หน้าจอสโคปหยุดนิ่ง เพื่อบันทึกผล จึงทำให้ค่าที่ได้เปลี่ยนแปลงไปจากเดิม



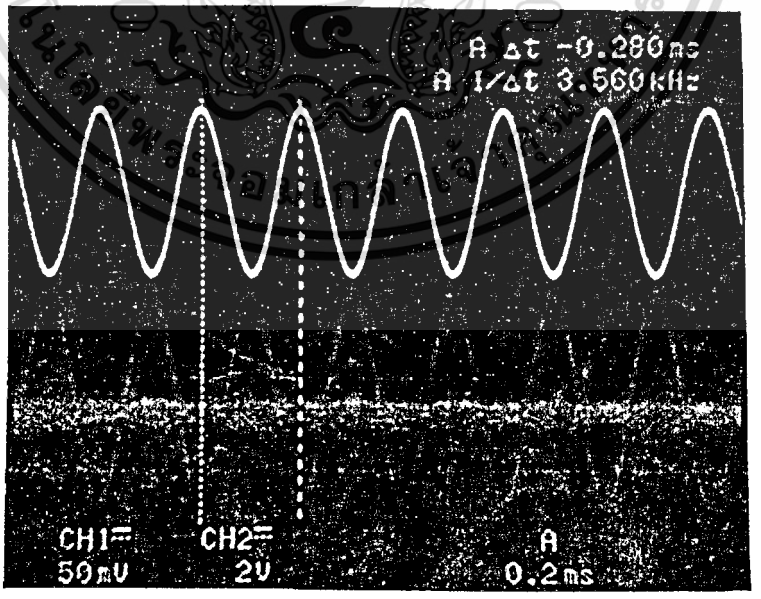
รูปที่ 3.20 CLK ของเครื่องรับและเครื่องส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.21 CLK ของ A/D และ D/A

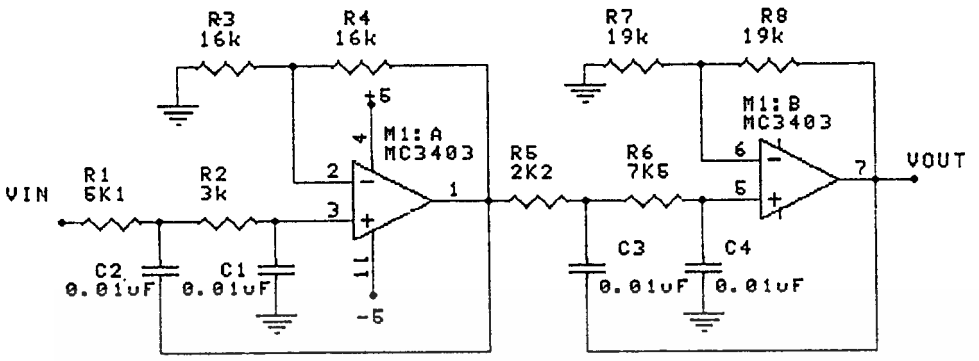
เมื่อทำการประกอบส่วนต่างๆ ของวงจรเข้าไปทั้งหมด โดยยังไม่ได้ต่อ A/D และ D/A แบบเดลต้ามอดูเลชั่น แต่ทำการป้อนสัญญาณอนาลอกผ่านเข้าวงจรมัลติเพล็กซ์ และส่งเข้าวงจรดีมัลติเพล็กซ์ โดยไม่ผ่านวงจรกรองความถี่ต่ำ ผลที่ได้ก็เป็นดังในรูปที่ 3.22 ซึ่งสัญญาณที่ออกมาจากสวิทช์อนาลอกมัลติเพล็กซ์ มีขนาดน้อยมาก จึงทำการขยายเพื่อให้เห็นสัญญาณได้ชัดเจนขึ้นเพื่อที่บันทึกผล



รูปที่ 3.22 เอ้าท์พุทเมื่อใส่อนาลอกอินพุทไม่ผ่าน A/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 การออกแบบวงจรกรองความถี่ต่ำ แบบบัตเตอร์เวิร์ธ อันดับที่สี่



รูปที่ 3.23 วงจรกรองความถี่ต่ำ แบบบัตเตอร์เวิร์ธ

ขั้นตอนการออกแบบ

เริ่มจากกำหนด fc = 4 kHz, Gain = 4 และแบบของวงจรกรองความถี่ (บัตเตอร์เวิร์ธ) ตามต้องการแล้วปฏิบัติตามขั้นตอน ดังนี้

1. เลือกค่าตัวเก็บประจุ C = 0.01 ไมโครฟารัด ที่จะใช้งาน จะได้ค่า K=2.5 โดยใช้กราฟที่ 1,2,3 เช่นเดียวกับกรณีของวงจรกรองความถี่อันดับที่สอง

2. ใช้ค่า K ที่อ่านได้จากกราฟในข้อที่ 1 หาค่าตัวอุปกรณ์ประกอบอื่น ๆ ที่ใช้ในวงจรพวกตัวต้านทานและตัวเก็บประจุ โดยเลือกใช้กราฟที่ 4,5,6 สำหรับวงจรกรองความถี่

3. จากข้อที่ 2 เลือกค่าตัวต้านทานที่ใช้งานจริงให้ใกล้เคียงค่าที่อ่านได้จากกราฟมากที่สุด (โดยเทียบใช้ค่ามาตรฐานที่ใกล้เคียงมากที่สุด) โดยเลือกใช้ออปแอมป์ MC3403 และค่าอัตราขยายวงรอบเปิดของออปแอมป์ที่ใช้ควรจะมีค่าอย่างน้อย 50 เท่าของรากที่สองของอัตราขยายวงจรกรองความถี่

R1	=	5.1	กิโลโอห์ม
R2	=	3.0	กิโลโอห์ม
R3 , R4	=	16.0	กิโลโอห์ม
R5	=	2.2	กิโลโอห์ม
R6	=	7.5	กิโลโอห์ม
R7 , R8	=	19.0	กิโลโอห์ม
C1 = C	=	0.01	ไมโครฟารัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อแนะนำ

กราฟที่ใช้งานนี้ออกแบบมาให้ใช้ค่าตัวเก็บประจุที่เป็นมาตรฐานจำนวน 35ค่าด้วยกัน ส่วนค่าตัวเก็บประจุค่าอื่นที่เป็นค่ากลาง ไม่อยู่บนเส้นกราฟแสดงค่าตัวเก็บประจุเส้นใดเส้นหนึ่ง สามารถหาได้โดยการ Interpolation บนกราฟ (บนกราฟระหว่างความถี่ที่ต้องการกับค่า K พารามิเตอร์)

ถ้าออปแอมป์ที่ใช้มีค่าความต้านทานด้านอินพุทต่ำ (น้อยกว่า 250 k) ค่า K ที่ควรใช้อยู่ในช่วง 1 ถึง 10 จะได้ผลของวงจรดีที่สุด สำหรับค่าความต้านทานด้านอินพุทที่สูงกว่า (เช่น 1 M) ค่า K สามารถขึ้นไปได้ถึง 25 และกรณีใช้ตัวอุปกรณ์ออปแอมป์ซึ่งมีเฟ็ท (FET) เป็นภาคอินพุท สามารถใช้ค่า K ขึ้นไปได้ถึง 100

ค่า R3 และ R4 ที่อ่านได้จากกราฟ ใช้ปรับค่าดีซี ออฟเซ็ท (DC offset) ของออปแอมป์ให้มีค่าน้อยที่สุด ถ้าต้องการใช้ค่า R3 และ R4 อื่นใดนอกเหนือจากเส้นกราฟที่มีอยู่ ก็สามารถเลือกใช้ได้แต่ต้องเลือกใช้อัตราส่วน R4/R3 เท่ากันกับค่าเดิมที่อ่านได้จากกราฟ ค่าตัวต้านทานมาตรฐานที่มีค่าผิดพลาด 5% นี้ให้ผลของวงจรที่ดีพอสมควร แต่ถ้าต้องการผลของวงจรที่ดีที่สุดต้องเลือกใช้ค่าตัวต้านทานที่มีความถูกต้องสูงและมีค่าใกล้เคียงค่าที่อ่านได้จากกราฟมากที่สุด โดยเฉพาะที่ค่าอัตราขยายสูง ๆ ต้องคำนึงถึงเรื่องนี้มากที่สุด

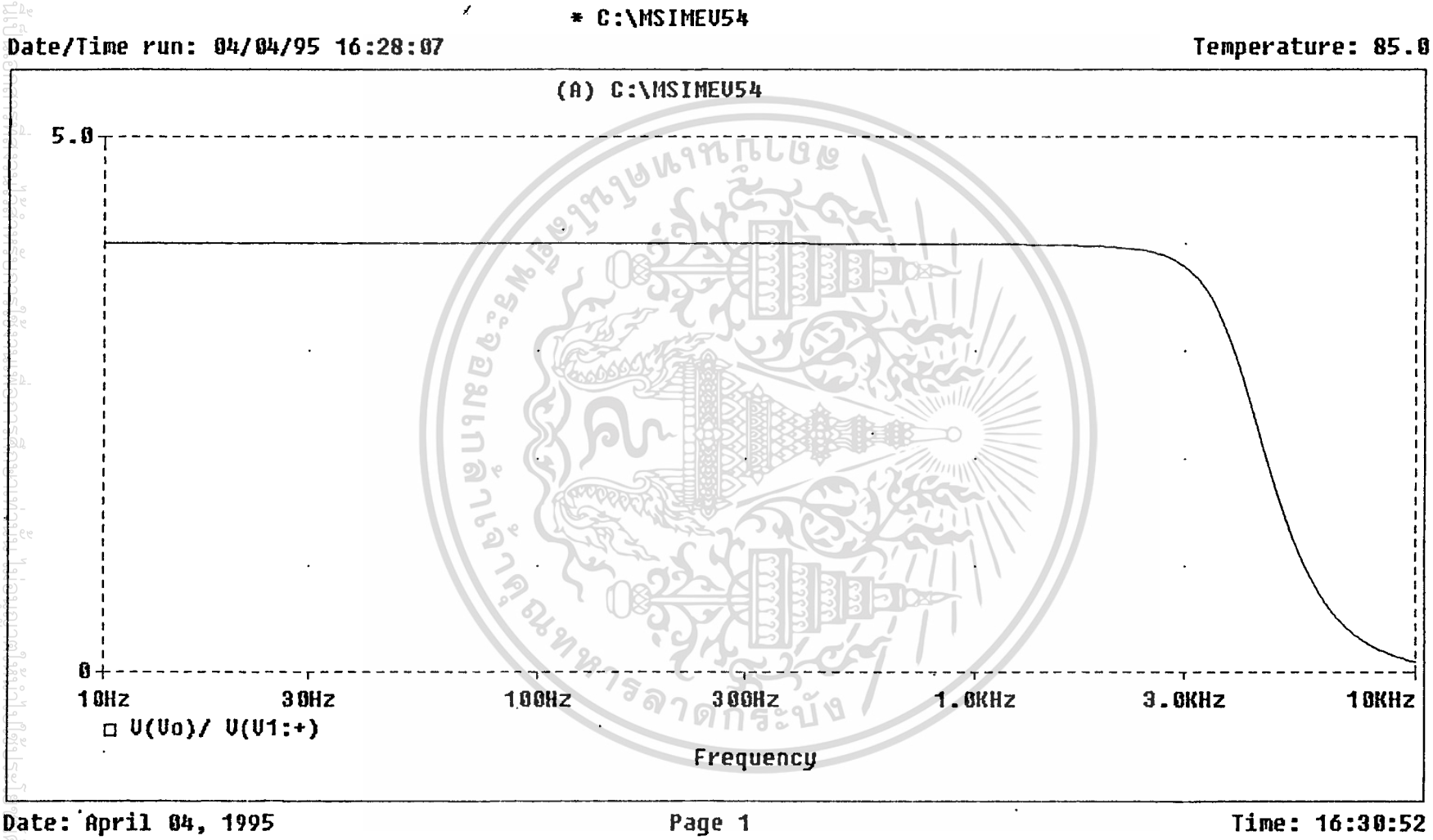
ส่วน R7 และ R8 เหมือนกับข้อแนะนำของ R3 และ R4 ทุกประการ

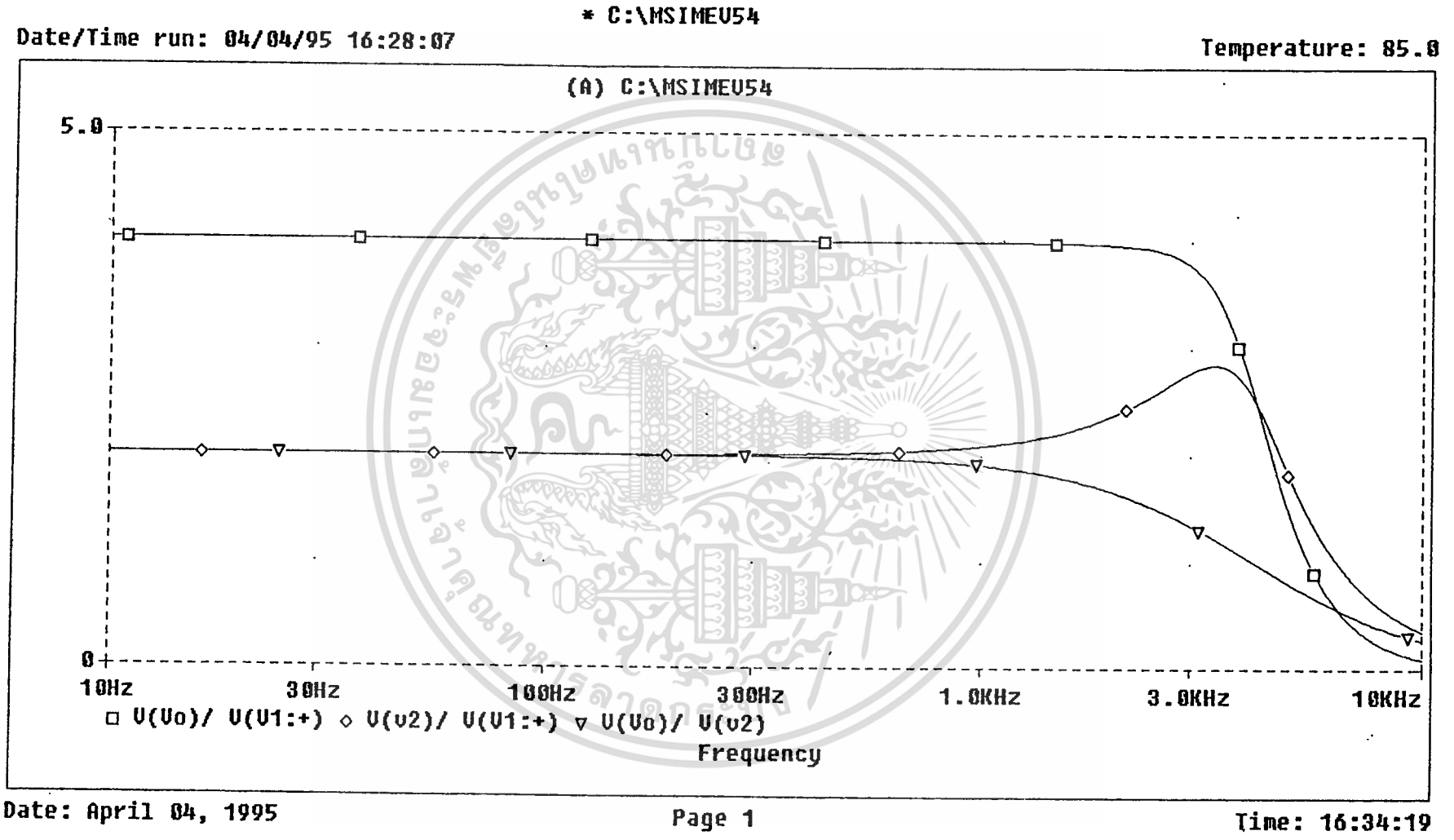
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fourth-order Butterworth Filter

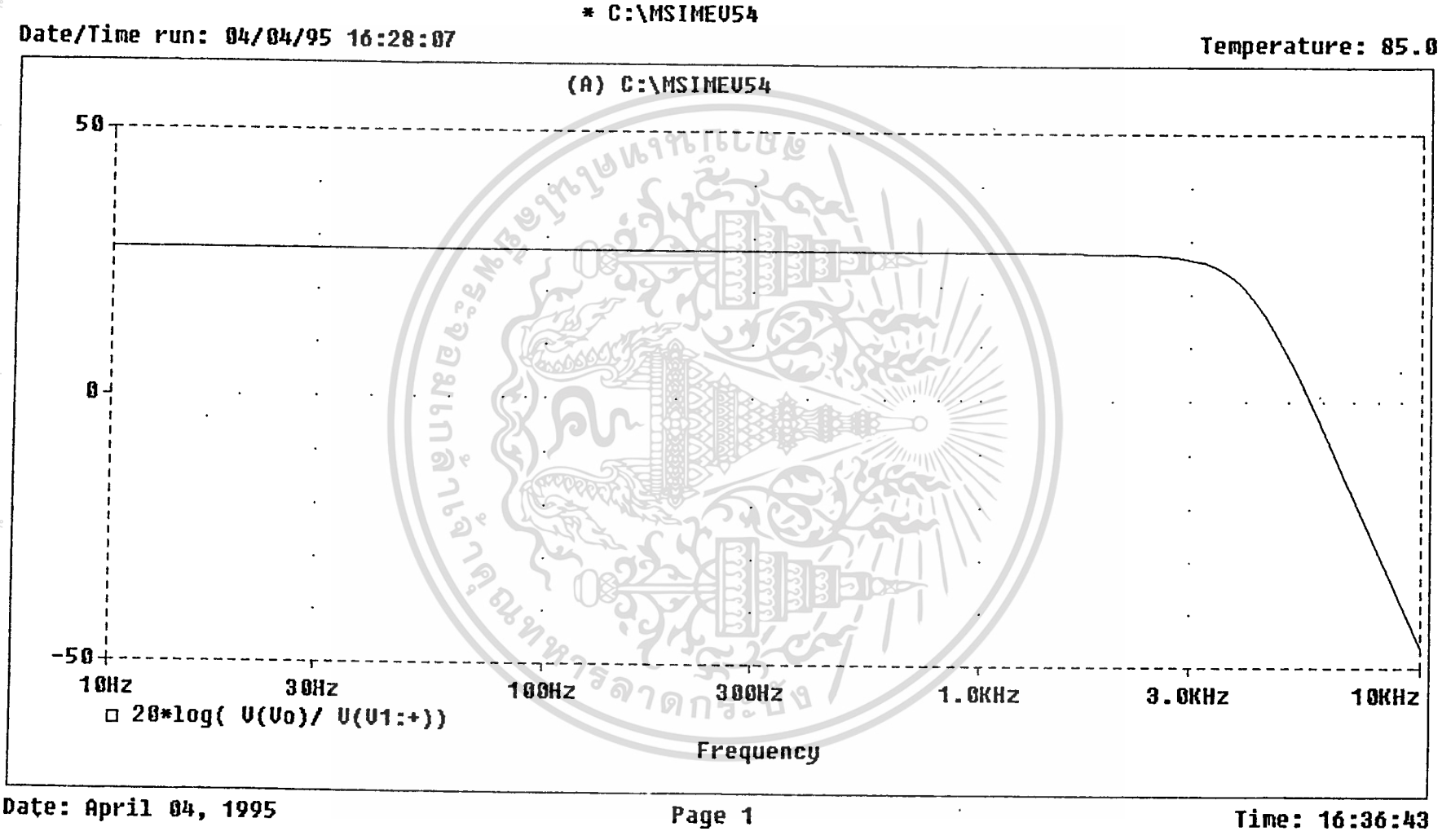
```
VI    1     0     AC    1mV
R3    1     2     1k
R4    2     3     1k
R1    4     0     10k
R2    5     4     12.35k
R7    5     6     1k
R8    6     7     1k
R5    8     0     10k
R6    9     8     1.52k
C1    2     5     0.16uF
C2    3     0     0.16uF
C3    6     9     0.16uF
C4    7     0     0.16uF
.AC   DEC   40    1     10kHz
.PROBE
.subckt     iop   m     p     vo
  e   vo    0     p     m     2e5
  rin       m     p     1meg
.ends
x1    4     3     5     iop
x2    8     7     9     iop
.END
```

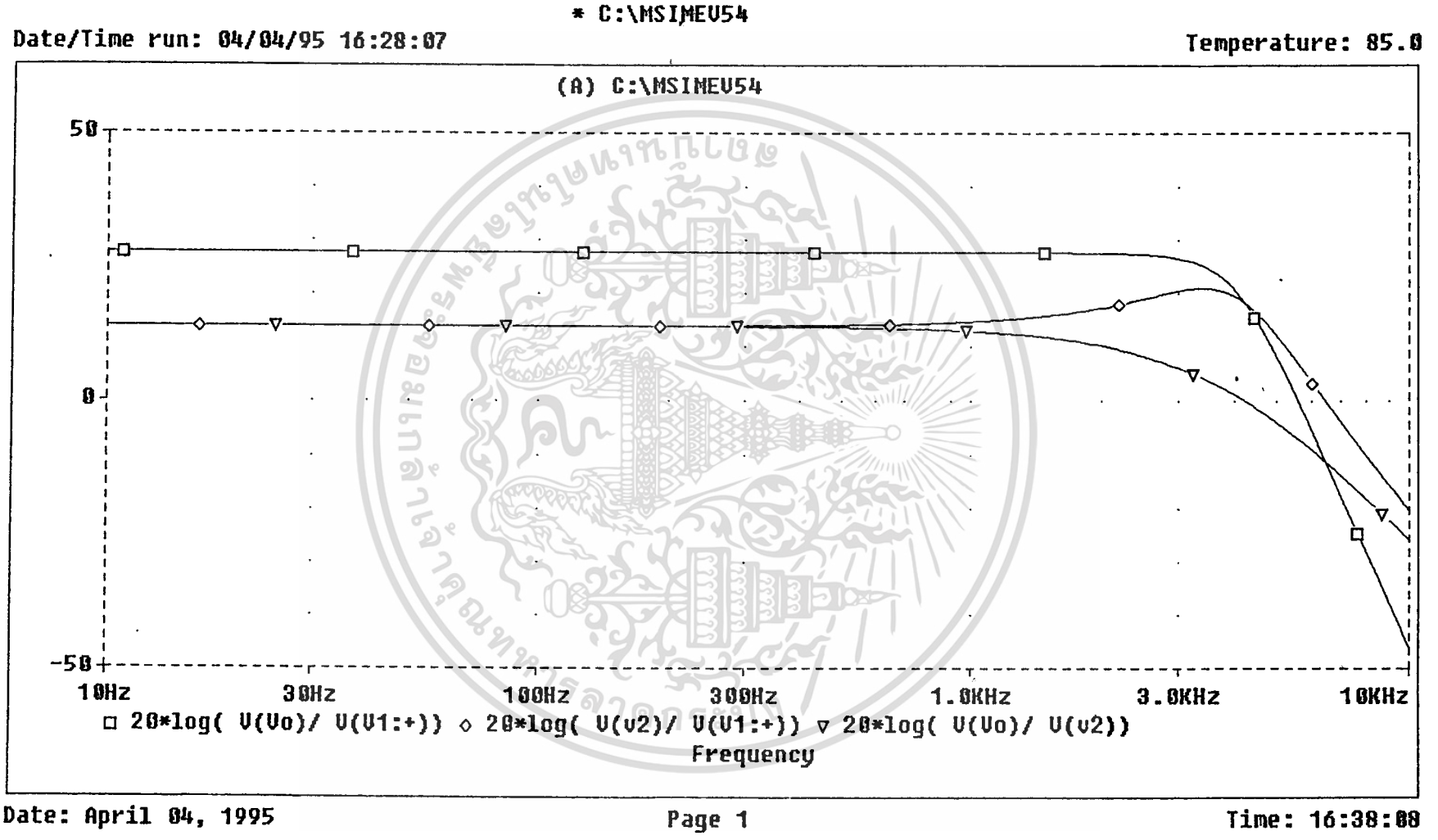
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


* C:\MSIMEV54
Date/Time run: 04/04/95 16:28:07
Temperature: 85.0
(A) C:\MSIMEV54
5.0
0
10Hz
30Hz
100Hz
300Hz
1.0KHz
3.0KHz
10KHz
□ V(Vo)/ V(V1:+)
Frequency
Date: April 04, 1995
Page 1
Time: 16:30:52



ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย


* C:\MSIMEV54
Date/Time run: 04/04/95 16:28:07
Temperature: 85.0
(A) C:\MSIMEV54
50
0
-50
10Hz
30Hz
100Hz
300Hz
1.0KHz
3.0KHz
10KHz
□ 20*log(V(Vo)/ V(V1:+))
Frequency
Date: April 04, 1995
Page 1
Time: 16:36:43


* C:\MSIMEV54
Date/Time run: 04/04/95 16:28:07
Temperature: 85.0
(A) C:\MSIMEV54
50
0
-50
10Hz
30Hz
100Hz
300Hz
1.0KHz
3.0KHz
10KHz
□ 20*log(V(Vo)/ V(V1:+)) ◇ 20*log(V(v2)/ V(V1:+)) ▽ 20*log(V(Vo)/ V(v2))
Frequency
Date: April 04, 1995
Page 1
Time: 16:38:08

เมื่อนำสัญญาณอนาลอกมาผ่านวงจรกรองความถี่ต่ำ แล้วนำเข้าวงจร A/D นำสัญญาณที่ออกจาก A/D ซึ่งมีขนาดแรงดัน 0-5 V. มาเข้าวงจรมัลติเพล็กซ์ จะเห็นว่าไม่สามารถทำได้เพราะว่าแรงดันเกินกว่าแรงดันที่ให้เป็นสัญญาณควบคุม และทำให้เกิดการออสซิเลทขึ้นในวงจร ดังนั้นก่อนที่จะนำสัญญาณผ่านเข้า A/D จะต้องมีตัวต้านทานมาต่อเพื่อลดแรงดัน ให้มีขนาดต่ำกว่า 5 V. แต่เมื่อเราทำการลดขนาด จะเห็นว่า เมื่อเอาท์พุทออกมาแล้วจะมีขนาดต่ำมาก ซึ่งทำให้สังเกตุได้ยากว่า มีระดับ เป็น 1 หรือ 0 และเมื่อสัญญาณที่ออกจากดีมัลติเพล็กซ์ จะเข้า D/A มีขนาดลดลงแล้ว จะทำให้ D/A ไม่ทำงานเพราะ D/A ต้องการระดับแรงดัน ในย่านมากกว่า 3 V. ซึ่งปัญหาเหล่าจะต้องทำการแก้ไข อาจจะทำการขยายแรงดัน ก่อนที่จะเข้า D/A หรือเพิ่มระดับ ของแรงดันให้มากขึ้นกว่านี้อีก

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

สรุป

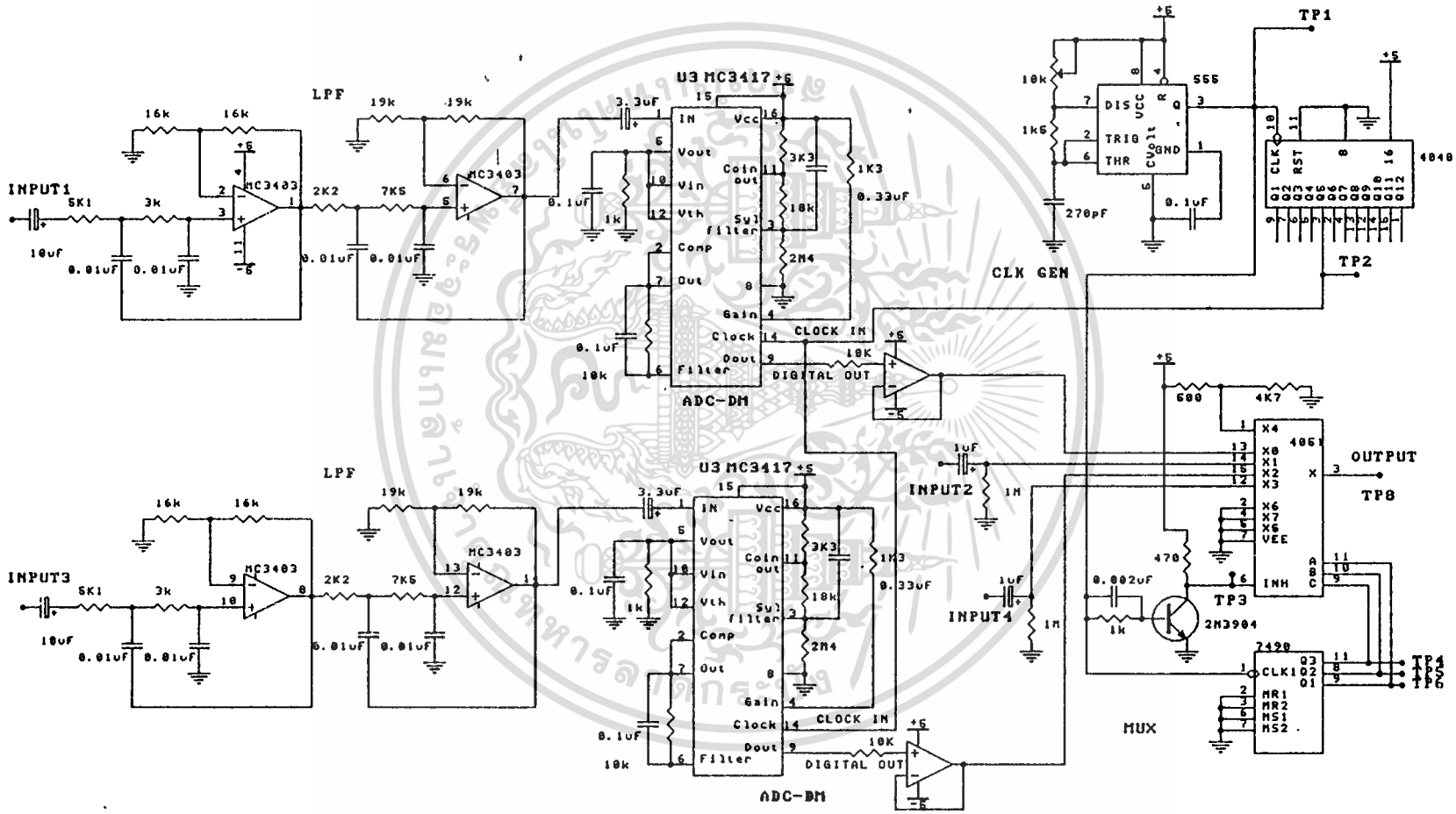
จากผลของการทดลองในแต่ละส่วน นั้นออกมาค่อนข้างน่าพอใจ แต่เมื่อนำเอาส่วนประกอบทั้งหมดมารวมเข้าด้วยกัน แล้วจะเห็นว่าผลที่ออกมา ต้องทำการปรับปรุงแก้ไขอีกมาก และไม่เป็นตามที่ต้องการมากนัก ปัญหาที่ต้องทำการแก้ไขนั้น ยังมีอีกหลายอย่าง เช่น สัญญาณที่ได้จากการแปลงจากอนาลอกเป็นดิจิตอล นั้นให้เอาท์พุทออกมามีระดับแรงดัน 5 V.แต่สวิทช์อนาลอกมัลติเพล็กซ์ ต้องการให้แรงดันอินพุทเข้าไป ไม่เกิน 5 V. และขนาดของสัญญาณควบคุมใส่ไว้เพียงประมาณ 4 V. ดังนั้นจึงต้องทำการลดระดับของแรงดันลง ก่อนที่จะเข้าสู่สวิทช์อนาลอกมัลติเพล็กซ์ และแรงดันถ้าลดลงมากแล้วจะเห็นว่า เมื่อไปถึงด้านรับแล้วค่าแรงดัน ค่าแรงดันดิจิตอล ที่เข้าสู่สัญญาณดิจิตอลเป็นอนาลอกนั้น จะต้องมีแรงดันมากกว่า 3 V. ถึงจะทำให้ D/A ทำงานได้ และถ้า D/A ไม่ทำงานแล้ว จะทำให้จุดประสงค์ของโครงงานผิดพลาดไป และถ้าแรงดันดิจิตอลเข้ามาน้อย แต่จุดถึงที่ D/A ทำงาน แล้วทำให้การแปลงออกมามีระดับแรงดันน้อยมาก ทำให้สังเกตุไม่ออกว่าเป็นสัญญาณที่แปลงออกมา หรือเป็นสัญญาณรบกวน ปัญหาอีกอย่างคือวงจรเฟสล็อคลูป ที่ทำงานแล้วเกิดการเปลี่ยนแปลงอย่างกะทันหัน ไม่มีเสถียรภาพและและต้องคอยปรับตลอด มีการเลื่อนเกิดขึ้น และมีการรบกวนตามมา ทั้งนี้อาจเป็นเพราะการเลือกอุปกรณ์ในวงจรเฟสล็อคลูปไม่มีคุณภาพดีพอ หรือเป็นเพราะการเปลี่ยนสัญญาณอินพุท ที่เกิดขึ้นกับเฟสล็อคลูป จึงมีผลกระทบกับเอ้าท์พุท การแก้ไขอาจจะทำการต่อวงจรบัดกรีด้วยความระมัดระวัง และต่อกราวด์ให้เป็นระบบ ต่อกราวด์ถึงกันทุกจุด พยายามจัดวางอุปกรณ์ให้แลดูง่ายเพื่อความสะดวกต่อการตรวจสอบ

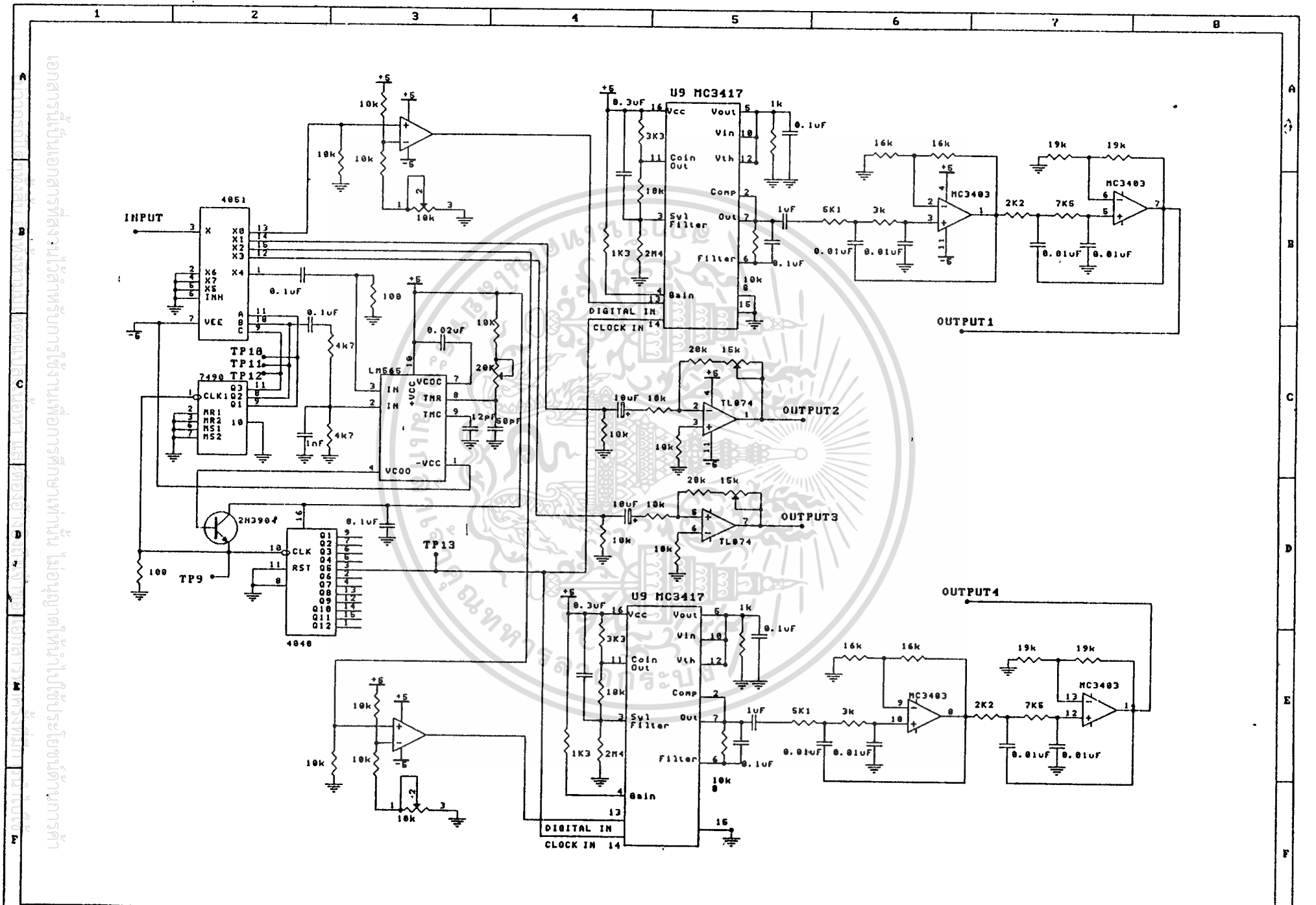
ผลอีกอย่างที่เกิดขึ้นคือ การต่อวงจรได้ต่อลงบนแผ่นปริ้นท์เอนกประสงค์ การเชื่อมระหว่างกัน เป็นต้นเหตุประการหนึ่งของการรบกวน วิธีแก้ไข ควรลากเส้นเชื่อมระหว่างจุดให้สั้นที่สุด และน้อยที่สุด

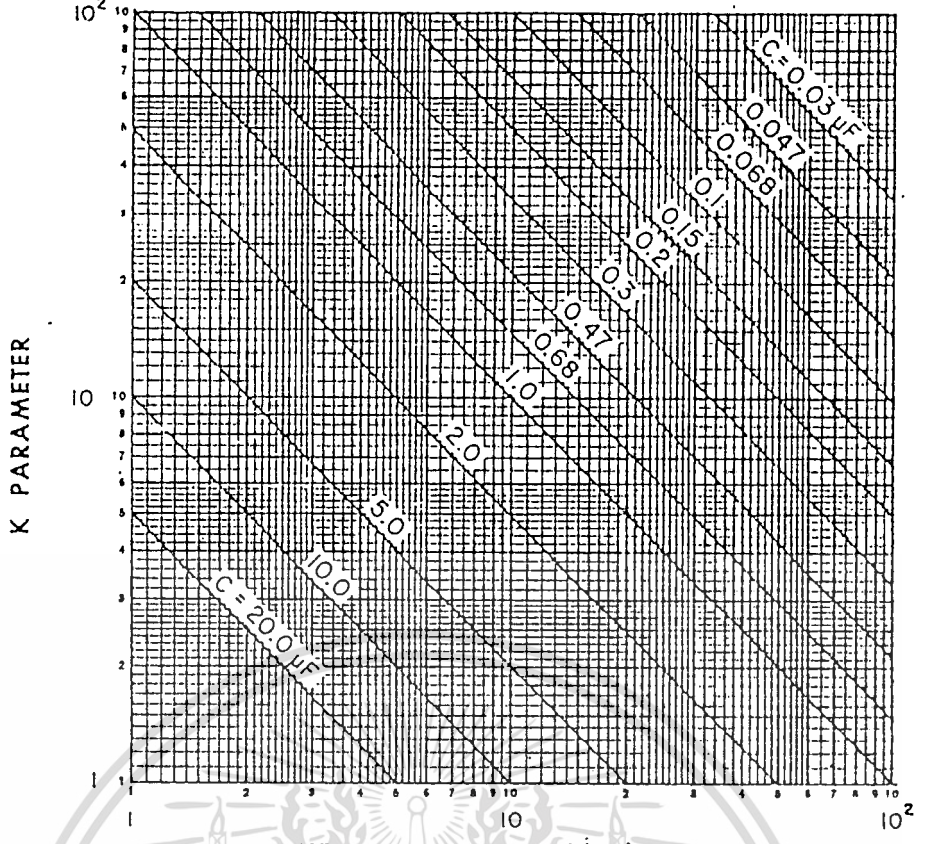
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

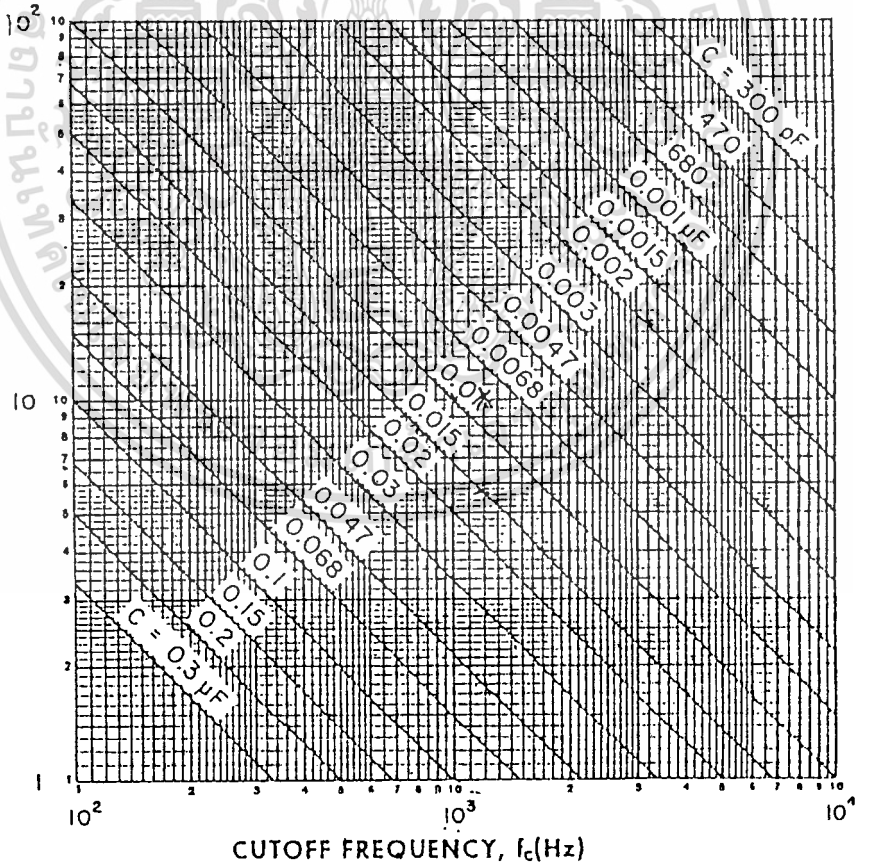
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า


INPUT1
INPUT2
INPUT3
INPUT4
LPF
MC3403
U3 MC3417
ADC-DM
CLOCK IN
DIGITAL OUT
CLK GEN
555
4040
4051
MUX
2N3904
OUTPUT
TP1
TP2
TP3
TP4
TP5
TP6
TP8


INPUT
4051
X
X0
X1
X2
X3
X4
X5
X6
X7
INH
VEE
A
B
C
0.1uF
100
4k7
TP10
TP11
TP12
7490
CLK1
Q3
Q2
Q1
MR1
MR2
MS1
MS2
LM565
IN
IN
+VCC
VCOC
TMR
TMC
VCOO
-VCC
0.02uF
10K
20K
12pF
50pF
1nF
2N3904
TP9
TP13
4040
CLK
RST
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
Q9
Q10
Q11
Q12
10k
U9 MC3417
Vcc
Vout
Vin
Coin
Out
Vth
Comp
Syl
Filter
Out
Filter
Gain
0.3uF
3K3
1K3
2M4
1k
1uF
5K1
3k
2K2
7K5
0.01uF
MC3403
16k
19k
OUTPUT1
20k
15k
TL074
OUTPUT2
OUTPUT3
OUTPUT4
DIGITAL IN
CLOCK IN



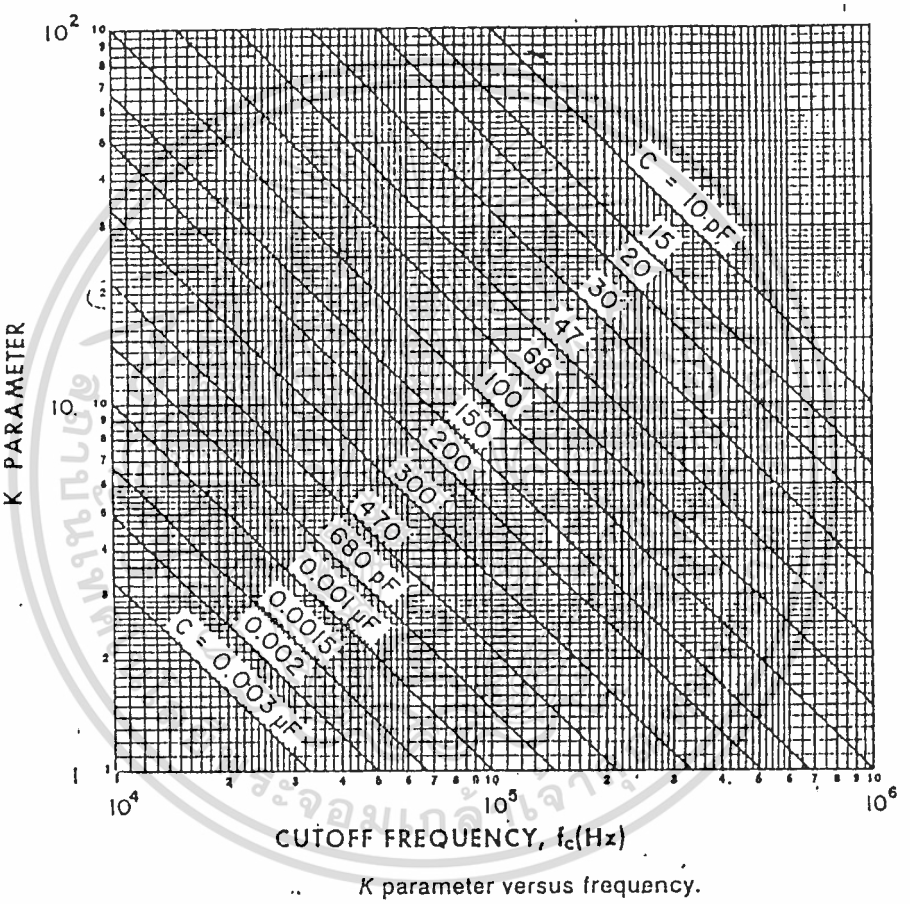
K parameter versus frequency.



K parameter versus frequency.

กราฟที่ ๑, ๒

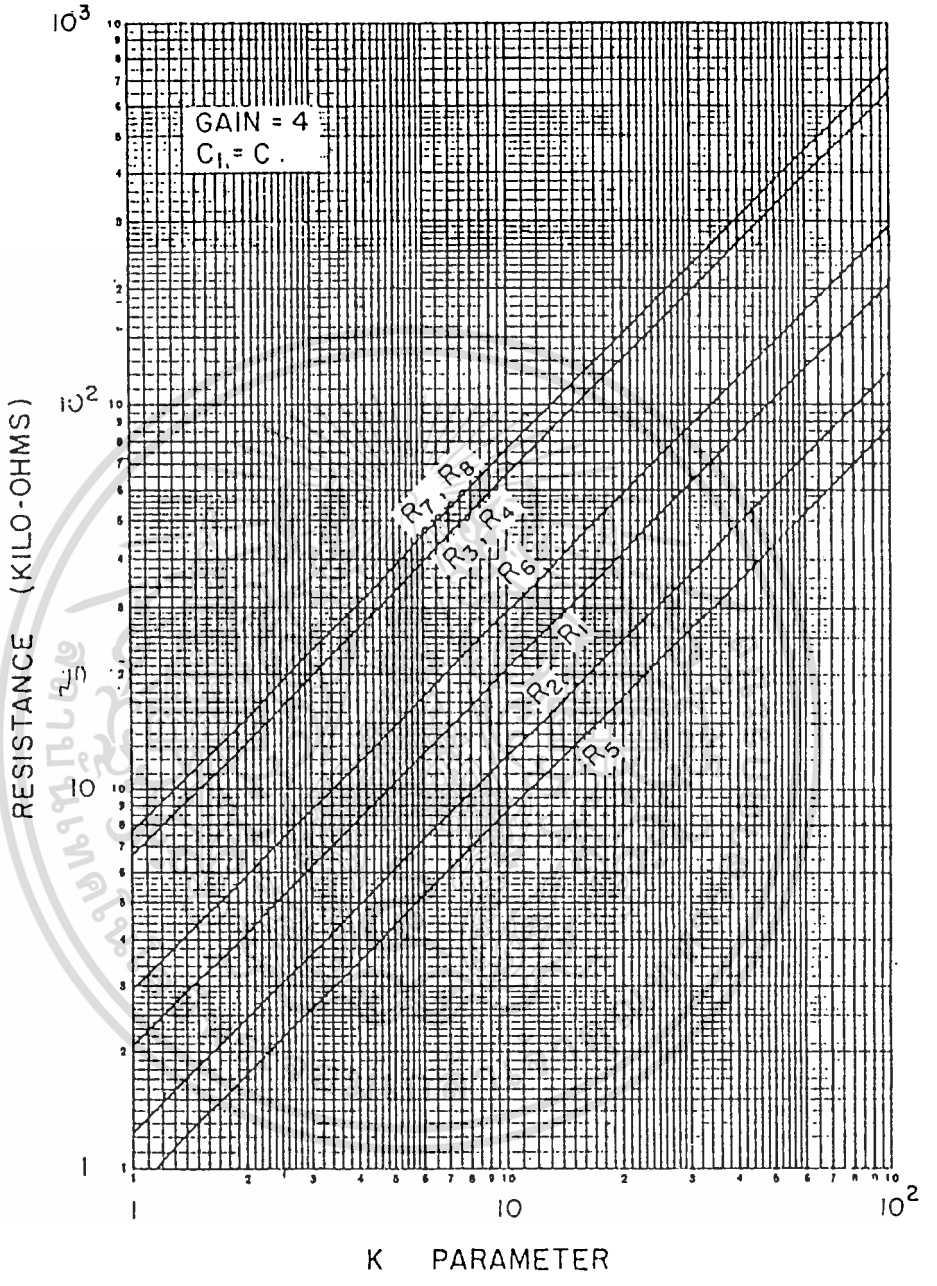
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



K parameter versus frequency.

กราฟที่ 3

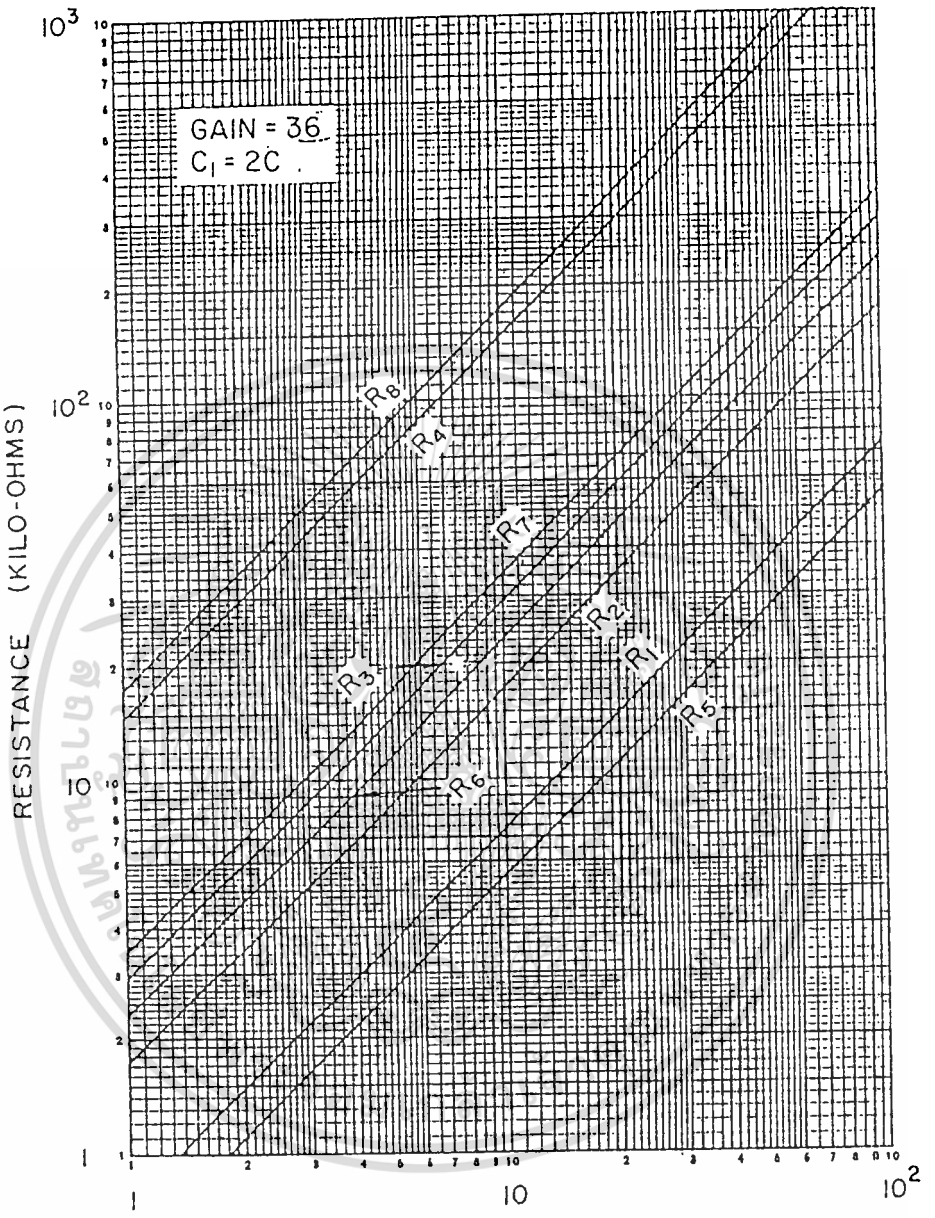
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



. Fourth-order low-pass Butterworth filter.

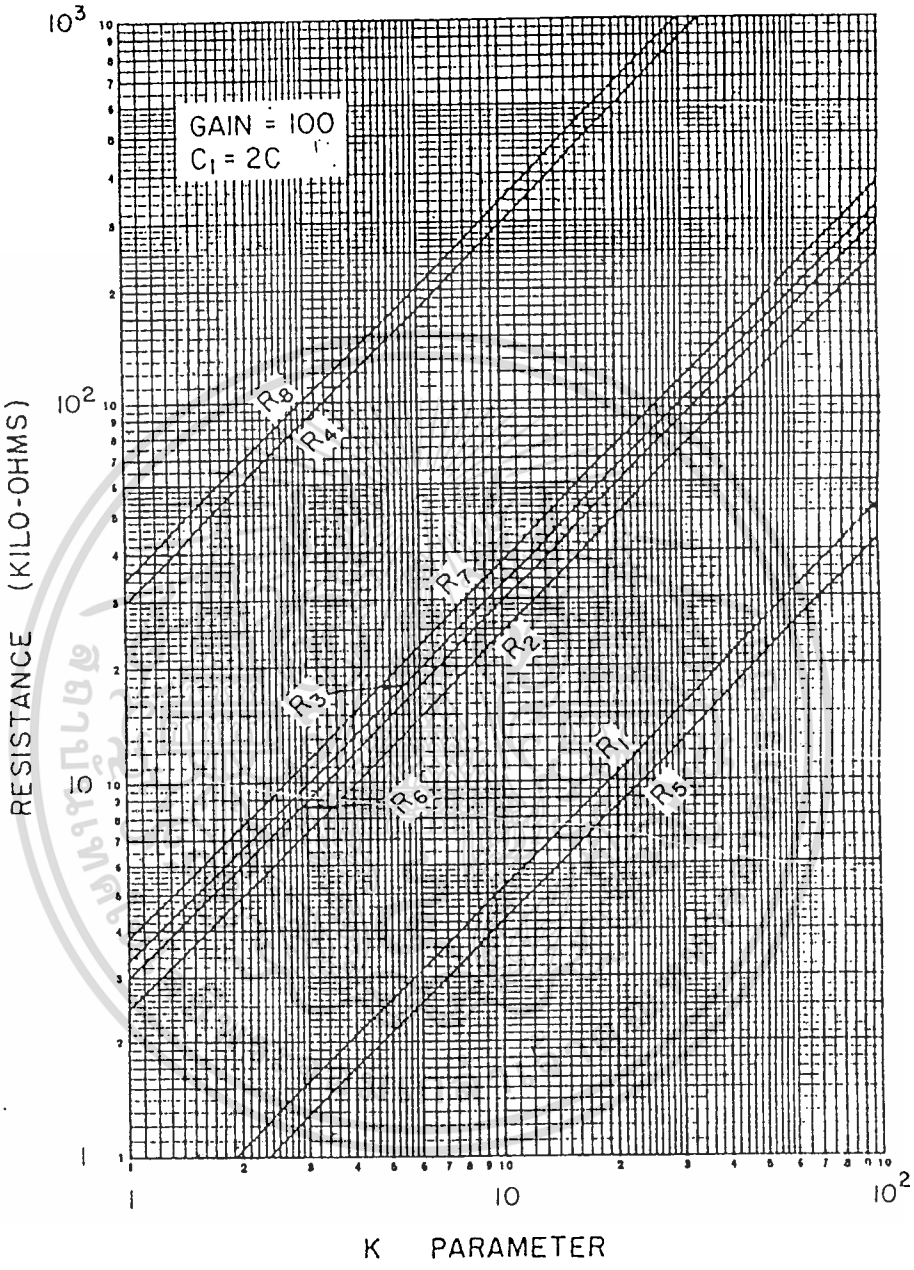
กราฟที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Fourth-order low-pass Butterworth filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



. Fourth-order low-pass Butterworth filter.

กราฟที่ 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3417, MC3517
MC3418, MC3518

MOTOROLA

Specifications and Applications Information

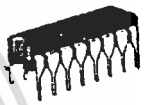
CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

LASER-TRIMMED INTEGRATED CIRCUIT

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

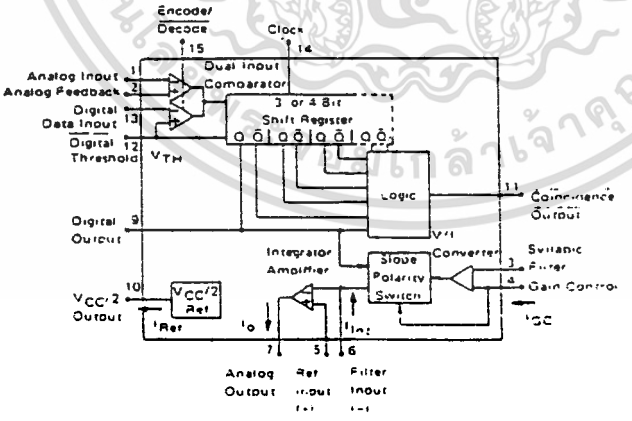
Providing a simplified approach to digital speech encoding/decoding, the MC3517/18 series of CVSDs is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ reference provided on chip)
- MC3417/MC3517 has a 3-Bit Algorithm (General Communications)
- MC3418/MC3518 has a 4-Bit Algorithm (Commercial Telephone)

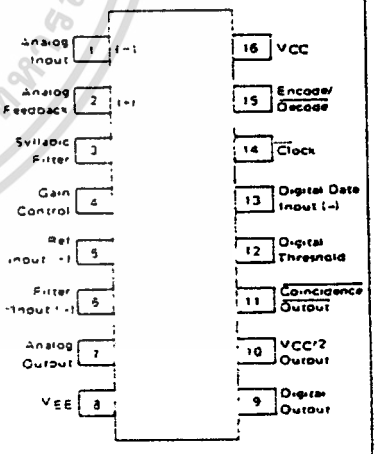


L SUFFIX
CERAMIC PACKAGE
CASE 620-02

CVSD BLOCK DIAGRAM



PIN CONNECTIONS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

MAXIMUM RATINGS

(All voltages referenced to V_{EE}, T_A = 25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	−0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{TH}	−0.4 to V_{CC}	Vdc
Logic Input Voltage (Clock, Digital Data, Encoder/$\overline{\text{Decode}}$)	V_{Logic}	−0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	−0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	−0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	−0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(Ref)}$	$V_{CC}/2$ − 1.0 to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{Ref}	−25	mA

ELECTRICAL CHARACTERISTICS

(V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0°C to +70°C for MC3417/18, T_A = −55°C to +125°C for MC3517/18 unless otherwise noted.)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) (Idle Channel)	I_{CC}							mA
(V_{CC} = 5.0 V)		–	3.7	5.0	–	3.7	5.0	
(V_{CC} = 15 V)		–	6.0	10	–	6.0	10	
Clock Rate	SR	–	16 k	–	–	32 k	–	Samples/s
Gain Control Current Range (Figure 2)	I_{GCR}	0.001	–	3.0	0.001	–	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) (4.75 V ≤ V_{CC} ≤ 16.5 V)	V_I	1.3	–	V_{CC} − 1.3	1.3	–	V_{CC} − 1.3	Vdc
Analog Output Range (Pin 7) (4.75 V ≤ V_{CC} ≤ 16.5 V, I_O = ±5.0 mA)	V_O	1.3	–	V_{CC} − 1.3	1.3	–	V_{CC} − 1.3	Vdc
Input Bias Currents (Figure 3) (Comparator in Active Region)	I_{IB}							µA
Analog Input (I1)		–	0.5	1.5	–	0.25	1.0	
Analog Feedback (I2)		–	0.5	1.5	–	0.25	1.0	
Syllabic Filter Input (I3)			0.06	0.5	–	0.06	0.3	
Reference Input (I5)			−0.06	−0.5	–	−0.06	−0.3	
Input Offset Current (Comparator in Active Region)	I_{IO}							µA
Analog Input/Analog Feedback |I1−I2| – Figure 3		–	0.15	0.6		0.05	0.4	
Integrator Amplifier I5−I6; – Figure 4		–	0.02	0.2	–	0.01	0.1	
Input Offset Voltage V/I Converter (Pins 3 and 4) – Figure 5	V_{IO}	–	2.0	6.0	–	2.0	6.0	mV
Transconductance	gm							mA/mV
V/I Converter, 0 to 3.0 mA		0.1	0.3	–	0.1	0.3	–	
Integrator Amplifier, 0 to ±5.0 mA Load		1.0	10	–	1.0	10	–	
Propagation Delay Times (Note 1)								µs
Clock Trigger to Digital Output	t_{PLH}	–	1.0	2.5	–	1.0	2.5	
(C_L = 25 pF to Gnd)	t_{PHL}	–	0.8	2.5	–	0.8	2.5	
Clock Trigger to Coincidence Output	t_{PLH}	–	1.0	3.0	–	1.0	3.0	
(C_L = 25 pF to Gnd) (R_L = 4 kΩ to V_{CC})	t_{PHL}	–	0.8	2.0	–	0.8	2.0	
Coincidence Output Voltage – Low Logic State ($I_{OL(Con)}$ = 3.0 mA)	$V_{OL(Con)}$	–	0.12	0.25	–	0.12	0.25	Vdc
Coincidence Output Leakage Current – High Logic State (V_{OH} = 15.0 V, 0°C ≤ T_A ≤ 70°C)	$I_{OH(Con)}$	–	0.01	0.5	–	0.01	0.5	µA

NOTE 1 All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to −0.4 V) edge of the clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS AND FUNCTIONS OF PINS (continued)

while the MC3418 contains a 4 bit register. Pin 11 is an open collector of an NPN device and requires a pull-up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of R_P should be much less than R_S. In systems requiring different charge and discharge constants, the charging constant is $R_S C_S$ while the decaying constant is $(R_S + R_P)C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for R_L = 4 kΩ to +12 V and C_L = 25 pF to ground.

Pin 12 — Digital Threshold

This input sets the switching threshold for pins 13, 14, and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

Pin 13 — Digital Data Input

In a decode application, the digital data stream is applied to pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of pin 15. It is an inverting input with respect to pin 9. When pins 9 and 13 are connected, a toggle flip-flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for 0.5 μs before and after the clock trigger for proper clocking.

Pin 14 — Clock Input

The clock input determines the data rate of the codec circuit. A 32K bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum width for a positive-going pulse on the clock input is 300 ns, whereas for a negative-going pulse, it is 900 ns.

Pin 15 — Encode/$\overline{\text{Decode}}$

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non-voice patterns to be forced onto the transmission line through pin 13 in an encoder.

Pin 16 — V_{CC}

The power supply range is from 4.75 to 16.5 volts between pin V_{CC} and V_{EE}.

FIGURE 1 — POWER SUPPLY CURRENT

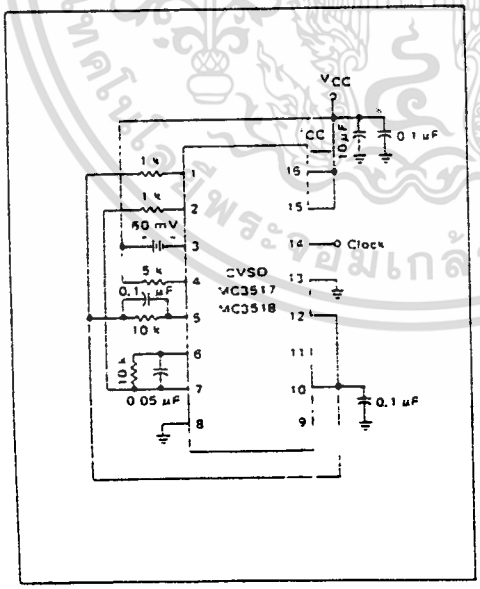
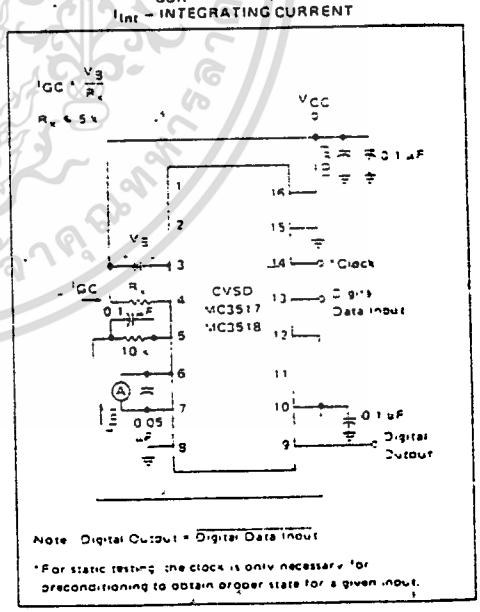


FIGURE 2 — I_{GCR}, GAIN CONTROL RANGE and I_{Int} — INTEGRATING CURRENT



Note: Digital Output = $\overline{\text{Digital Data Input}}$

*For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

ELECTRICAL CHARACTERISTICS (continued)

Characteristic	Symbol	MC3417/MC3517 Min	Typ	Max	MC3418/MC3518 Min	Typ	Max	Unit
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	+1.2	–	V_{CC} – 2.0	+1.2	–	V_{CC} – 2.0	Vdc
Digital Threshold Input Current (1.2 V ≤ V_{th} ≤ V_{CC} – 2.0 V)	$I_{I(th)}$							µA
(V_{IL} applied to Pins 13, 14 and 15)		–	–	5.0	–	–	5.0	
(V_{IH} applied to Pins 13, 14 and 15)		–	–10	–50	–	–10	–50	
Maximum Integrator Amplifier Output Current	I_O	±5.0	–	–	±5.0	–	–	mA
V_{CC}/2 Generator Maximum Output Current (Source only)	I_{Ref}	+10	–	–	+10	–	–	mA
V_{CC}/2 Generator Output Impedance (0 to +10 mA)	z_{Ref}	–	3.0	6.0	–	3.0	6.0	Ω
V_{CC}/2 Generator Tolerance (4.75 V ≤ V_{CC} ≤ 16.5 V)	e_r	–	–	±3.5	–	–	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15)								Vdc
Low Logic State	V_{IL}	Gnd	–	V_{th} – 0.4	Gnd	–	V_{th} – 0.4	
High Logic State	V_{IH}	V_{th} + 0.4	–	18.0	V_{th} + 0.4	–	18.0	
Dynamic Total Loop Offset Voltage (Note 2) — Figures 3, 4 and 5	ΣV_{offset}							mV
I_{GC} = 12.0 µA, V_{CC} = 12 V								
T_A = 25°C		–	–	–	–	±0.5	±1.5	
0°C ≤ T_A ≤ +70°C MC3417/18		–	–	–	–	±0.75	±2.3	
–55°C ≤ T_A ≤ +125°C MC3517/18		–	–	–	–	±1.5	±4.0	
I_{GC} = 33.0 µA, V_{CC} = 12 V								
T_A = 25°C		–	±2.5	±5.0	–	–	–	
0°C ≤ T_A ≤ +70°C MC3417/18		–	±3.0	±7.5	–	–	–	
–55°C ≤ T_A ≤ +125°C MC3517/18		–	±4.5	±10	–	–	–	
I_{GC} = 12.0 µA, V_{CC} = 5.0 V								
T_A = 25°C		–	–	–	–	±1.0	±2.0	
0°C ≤ T_A ≤ +70°C MC3417/18		–	–	–	–	±1.3	±2.8	
–55°C ≤ T_A ≤ +125°C MC3517/18		–	–	–	–	±2.5	±5.0	
I_{GC} = 33.0 µA, V_{CC} = 5.0 V								
T_A = 25°C		–	±4.0	±6.0	–	–	–	
0°C ≤ T_A ≤ +70°C MC3417/18		–	±4.5	±8.0	–	–	–	
–55°C ≤ T_A ≤ +125°C MC3517/18		–	±5.5	±10	–	–	–	
Digital Output Voltage								Vdc
(I_{OL} = 3.6 mA)	V_{OL}	–	0.1	0.4	–	0.1	0.4	
(I_{OH} = –0.35 mA)	V_{OH}	V_{CC} – 1.0	V_{CC} – 0.2	–	V_{CC} – 1.0	V_{CC} – 0.2	–	
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{f(Syl)}$	+3.2	–	V_{CC}	+3.2	–	V_{CC}	Vdc
Integrating Current (Figure 2)	I_{Int}							
(I_{GC} = 12.0 µA)		8.0	10	12	8.0	10	12	µA
(I_{GC} = 1.5 mA)		1.45	1.50	1.55	1.45	1.50	1.55	mA
(I_{GC} = 3.0 mA)		2.75	3.0	3.25	2.75	3.0	3.25	mA
Dynamic Integrating Current Match (I_{GC} = 1.5 mA) Figure 6	$V_{O(Ave)}$	–	±100	±250	–	±100	±250	mV
Input Current — High Logic State (V_{IH} = 18 V)	I_{IH}							µA
Digital Data Input		–	–	+5.0	–	–	+5.0	
Clock Input		–	–	+5.0	–	–	+5.0	
Encode/Decode Input		–	–	+5.0	–	–	+5.0	
Input Current — Low Logic State (V_{IL} = 0 V)	I_{IL}							µA
Digital Data Input		–	–	–10	–	–	–10	
Clock Input		–	–	–360	–	–	–360	
Encode/Decode Input		–	–	–36	–	–	–36	
Clock Input, V_{IL} = 0.4 V		–	–	–72	–	–	–72	

NOTE 2. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. For the MC3417/MC3517, the clock frequency is 16.0 kHz. For the MC3418/MC3518, the clock frequency is 32.0 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to insure good idle channel performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS AND FUNCTION OF PINS

Pin 1 — Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 — Analog Feedback

This is the non-inverting input to the analog signal comparator within the IC. In an encoder application it should be connected to the analog output of the encoder circuit. This may be pin 7 or a low pass filter output connected to pin 7. In a decode circuit pin 2 is not used and may be tied to $V_{CC}/2$ on pin 10, ground or left open.

The analog input comparator has bias currents of 1.5 μA max, thus the driving impedances of pins 1 and 2 should be equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 — Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between pins 11 and 3. Typical time constant values of 6 ms to 50 ms are used in voice codecs.

Pin 4 — Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and pin 3. The active voltage to current (V-I) converter drives pin 4 to the same voltage at a slew rate of typically 0.5 V/μs. Thus the current injected into pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_x resistance. Figure 6 shows the relationship between I_{GC} (x-axis) and the integrating current, I_{Int} (y-axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_x resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 kΩ to maintain stability.

Pin 5 — Reference Input

This pin is the non-inverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as pin 1 and is tied to pin 10.

Pin 6 — Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{Int}) flows into pin 6 when the analog input (pin 1) is high with respect to the analog feedback (pin 2) in the encode mode or when the digital data input (pin 13) is high in the decode mode. For the opposite states, I_{Int} flows out of Pin 6. Single integration systems require a capacitor and resistor between pins 6 and 7. Multipole configurations will have different circuitry. The resistance between pins 6 and 7 should always be between 8 kΩ and 13 kΩ to maintain good idle channel characteristics.

Pin 7 — Analog Output

This is the integrator op amp output. It is capable of driving a 600-ohm load referenced to $V_{CC}/2$ to +6 dBm and can otherwise be treated as an op amp output. Pins 5, 6, and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/μs. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 — V_{EE}

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 — Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to pin 1 and non-inverting with respect to pin 2. It is clocked on the falling edge of pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for V_{CC} = 12 V and C_L = 25 pF to ground.

Pin 10 — $V_{CC}/2$ Output

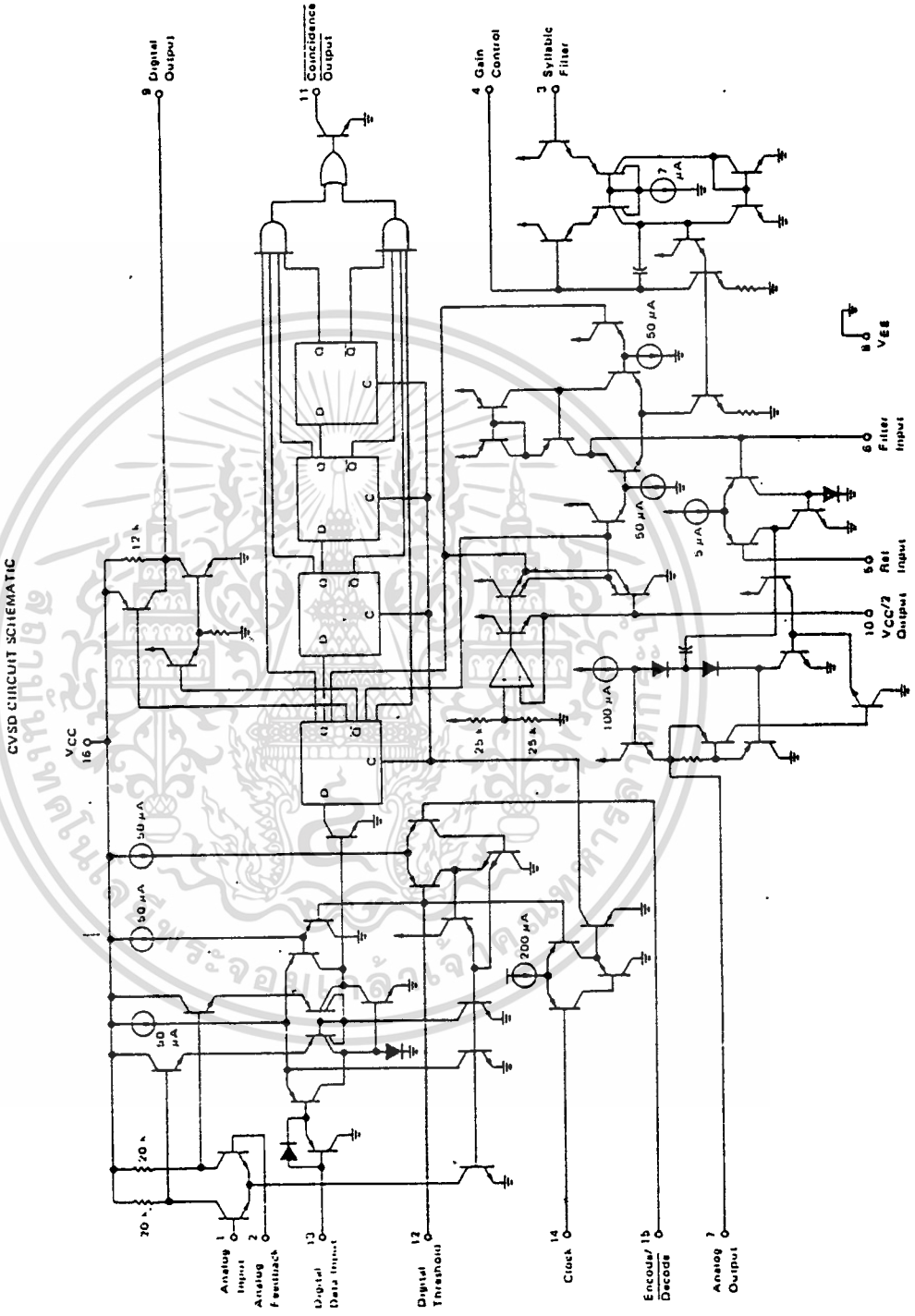
An internal low impedance mid-supply reference is provided for use of the MC3417/18 in single supply applications. The internal regulator is a current source and must be loaded with a resistor to insure its sinking capability. If a +6 dBmo signal is expected across a 600 ohm input bias resistor, then pin 10 must sink 2.2 V/600 Ω = 3.66 mA. This is only possible if pin 10 sources 3.66 mA into a resistor normally and will source only the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 — $\overline{\text{Coincidence Output}}$

The duty cycle of this pin is proportional to the voltage across C_S. The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. In the MC3417 the register is 3 bits long

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

CVSD CIRCUIT SCHEMATIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

FIGURE 12 – CVSD WAVEFORMS

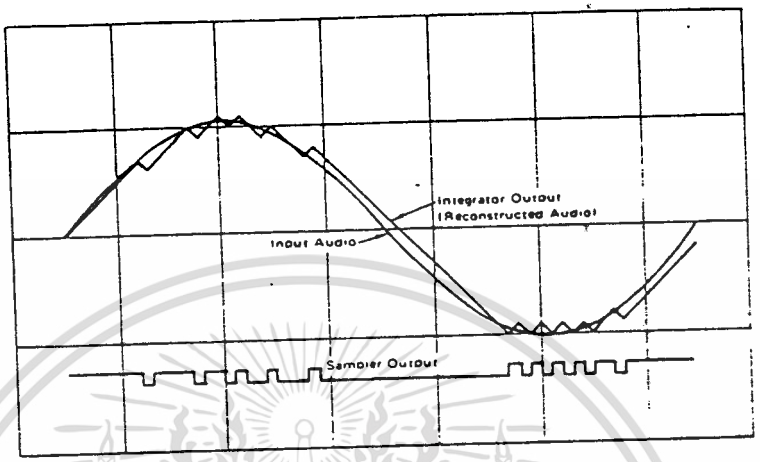
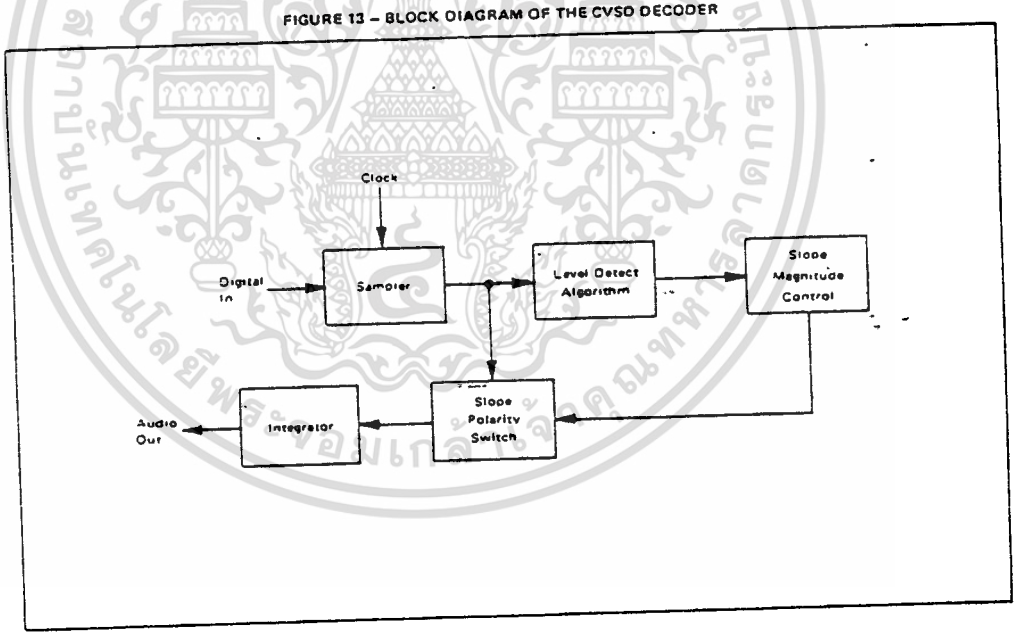


FIGURE 13 – BLOCK DIAGRAM OF THE CVSD DECODER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TYPICAL PERFORMANCE CURVES

FIGURE 7 – TYPICAL I_{Int} versus I_{GC} (Mean ± 2σ)

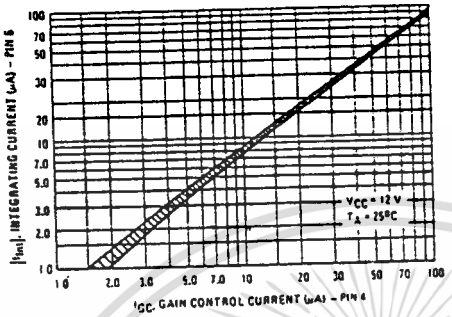


FIGURE 8 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus V_{CC}

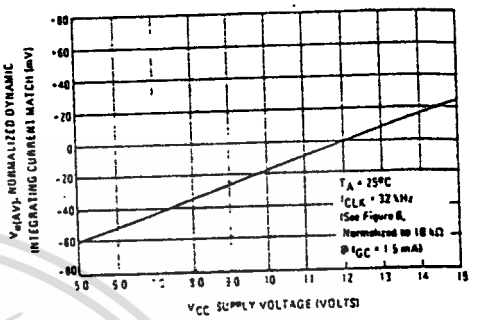


FIGURE 9 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus CLOCK FREQUENCY

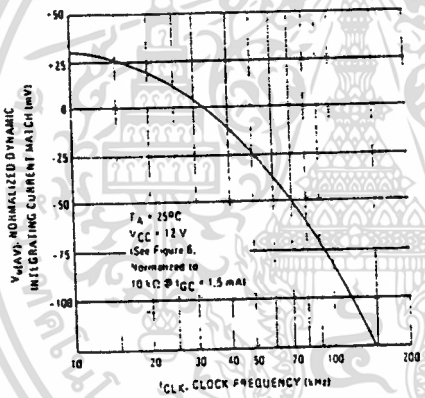


FIGURE 10 – DYNAMIC TOTAL LOOP OFFSET versus CLOCK FREQUENCY

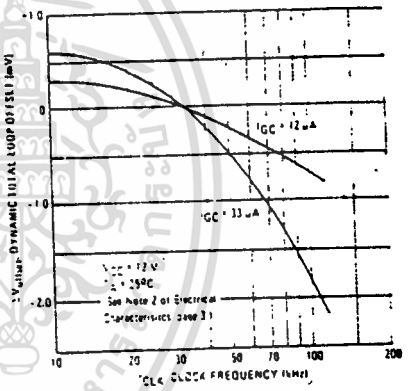
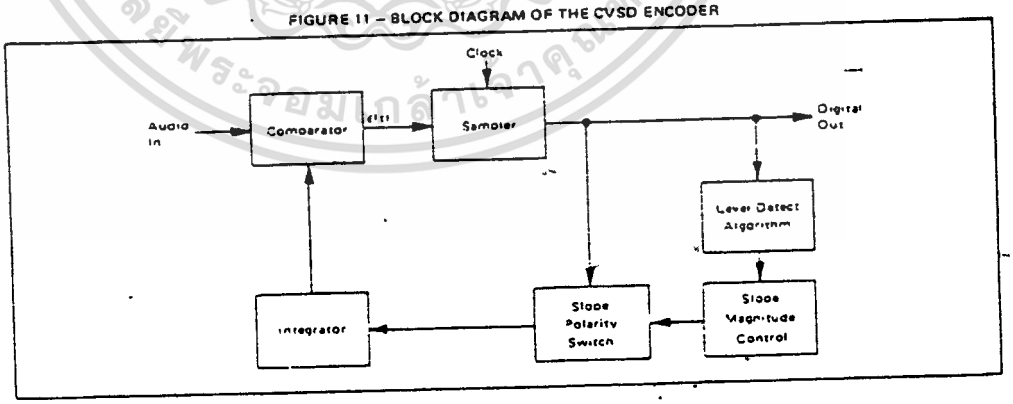
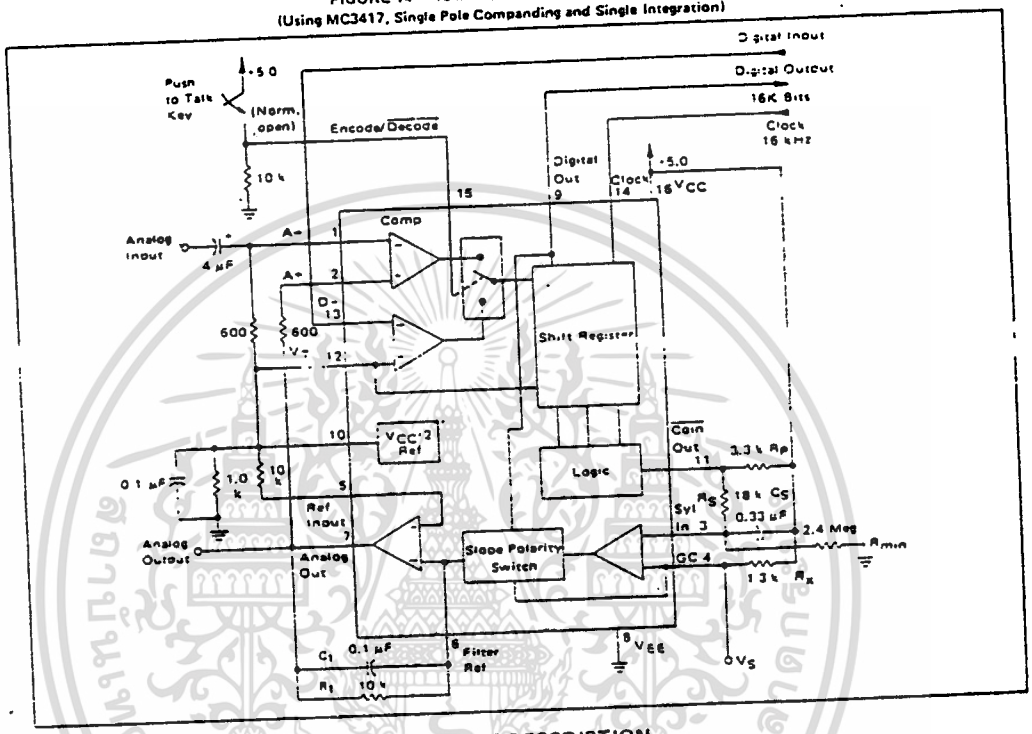


FIGURE 11 – BLOCK DIAGRAM OF THE CVSD ENCODER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

FIGURE 14 — 16 kHz SIMPLEX VOICE CODEC
(Using MC3417, Single Pole Companding and Single Integration)



CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of a voice over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting locations tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4 kHz and clock rates from 8 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to

กิตติกรรมประกาศ

ขอกราบขอบพระคุณ อาจารย์ . วิวัฒน์ กิรานนท์ที่ช่วยประสิทธิ์ประสาทวิชาความรู้ และให้คำปรึกษาแนะนำเกี่ยวกับงานปริญญานิพนธ์ ในครั้งนี้ และอาจารย์ทุกท่านที่อบรมสั่งสอนวิชาความรู้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

หนังสืออ้างอิง

1. การไฟฟ้าแห่งประเทศ, "PCM", ฝ่ายระบบสื่อสาร กองวิทยุโทรัดมนาคม.

2. DOUGLAS V. HAL, "DIGITAL CIRCUITS AND SYSTEM", MCGRAW-HILL PUBLISHING COMPANY, P.237-P.342, 1989.

3. JOHN L. HILBURN AND DAVID E. JOHNSON, "MANUAL OF ACTIVE FILTER DESIGN", MCGRAW-HILL PUBLISHING COMPANY.

4. โคทม อารียา, "เฟสล็อคลูป" , วงจรอิเลคทรอนิคส์, บริษัทซีเอ็ด ยูเคชั่นจำกัด, 2521, หน้า 378-381

5. คู่มือ/เทียบเบอร์ ไอซี ทีทีแอล บริษัทซีเอ็ด ยูเคชั่นจำกัด

เอกสารอ้างอิง

1. ภาควิชาอิเล็กทรอนิกส์, "ELECTRONIC LAB 3 รหัส 14327", คณะวิศวกรรมศาสตร์ สจล. ปีการศึกษา 2535.

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า