สายอากาศปรับทิศทางอัตโนมัติ

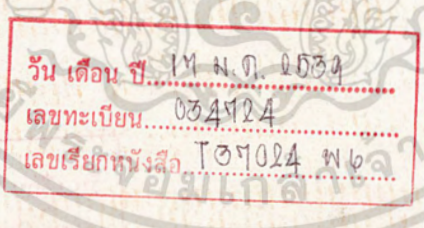
AUTOMATIC TUNNING ANTENNA

โดย

นายพิชิต นวลมะโน

นายสมศักดิ์ แก้วชนะ

นายสุทธา มงคลสุข



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมอิเลคทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

034724

ปริญญานิพนธ์ ปีการศึกษา 2537

ภาควิชา อิเลคทรอนิกส์

คณะ วิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง สายอากาศปรับทิศทางอัตโนมัติ
AUTOMATIC TUNNING ANTENNA

ผู้จัดทำ นายพิชิต นวลมะโน เลขประจำตัว 35.103193
นายสมศักดิ์ แก้วชนะ เลขประจำตัว 35.103207
นายสุทธา มงคลสุข เลขประจำตัว 35.103212

อาจารย์ประภากร สุวรรณะ
อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1,2,3

สายอากาศปรับทิศทางอัตโนมัติ

AUTOMATIC TUNNING ANTENNA

โดย นายพิชิต นวลมะโน
นายสมศักดิ์ แก้วชนะ
นายสุทธา มงคลสุข

อาจารย์ที่ปรึกษา อาจารย์ประภากร สุวรรณะ

บทคัดย่อ

โครงงานสายอากาศปรับทิศทางอัตโนมัตินี้เป็นการนำไมโครโปรเซสเซอร์เบอร์ Z-80 มาประยุกต์ใช้งานเป็นตัวควบคุมสายอากาศให้หมุนไปในทิศทางที่รับสัญญาณได้ดีที่สุด โดยนำสัญญาณไฟ AGC ในตำแหน่งต่างในขณะที่สายอากาศหมุนจากจุดเริ่มต้นจนครบ 1 รอบ (คือหมุนจาก 0 ถึง 360°) มาเปรียบเทียบกันเรื่อย ๆ และเก็บตำแหน่งที่มีค่าไฟ AGC น้อยที่สุดเอาไว้ พอสายอากาศหมุนจนครบ 1 รอบไมโครโปรเซสเซอร์ก็จะมีตำแหน่งที่รับสัญญาณได้ชัดเจนที่สุด (คือจุดที่มีแรงดันไฟ AGC น้อยที่สุด) จากนั้นไมโครโปรเซสเซอร์ก็จะสั่งให้สายอากาศหมุนกลับไปยังตำแหน่งที่รับสัญญาณได้ชัดเจนที่สุด

จากโครงงานชิ้นนี้เราจะเห็นว่าเราสามารถนำไปประยุกต์ใช้งานกับเครื่องรับสัญญาณทุกชนิดที่รับสัญญาณจากเครื่องส่งที่มีการกระจายคลื่นแบบ Line of sight (การกระจายคลื่นตามแนวสายตา) เพราะเครื่องรับสัญญาณทุกเครื่องจะต้องมีแรงดันไฟป้อนกลับ AGC มาควบคุมภาคขยาย IF ให้ทำงานขึ้นอยู่กับความแรงของสัญญาณข่าวสารที่รับเข้ามาโดยสายอากาศ

ในโครงงานชิ้นนี้เรามาประยุกต์ใช้งานกับเครื่องรับโทรทัศน์เพราะสามารถแสดงผลการทำงานของเครื่องได้อย่างชัดเจนเพราะเครื่องรับโทรทัศน์มีทั้งภาพและเสียงให้สามารถมองเห็นและได้ยินได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณอาจารย์ประภากร สุวรรณะ ที่ได้ให้คำปรึกษาและคำแนะนำในการจัดทำโครงงานและปริญญานิพนธ์ รวมทั้งเพื่อน ๆ ที่ได้ให้ความช่วยเหลือและคำแนะนำ โดยเฉพาะคุณคมสัน ดาศรี, คุณฉัตรชัย วงกตศิลา, คุณไพศาล แซ่ชี และคุณสุรนาท กิ่งไทร

คณะผู้จัดทำ

22 มีนาคม 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
1.1 บทนำ	1
1.2 แนวความคิดในการออกแบบ	1
1.3 โครงสร้างและหลักการทำงาน	1
บทที่ 2 สเตปปิ้งมอเตอร์	4
2.1 บทนำ	4
2.2 โครงสร้างและหลักการของสเตปปิ้งมอเตอร์แบบแปรค่ารีลัคแตนซ์	4
2.3 การกระตุ้นเฟสขดลวดสเตเตอร์	8
บทที่ 3 ไมโครโปรเซสเซอร์ Z-80	14
3.1 บทนำ	14
3.2 โครงสร้างทั่วไปของซีพียู Z-80	15
3.3 โครงสร้างภายในซีพียู Z-80	18
3.4 การเชื่อมต่อกับ ROM	20
3.5 การเชื่อมต่อกับ RAM	28
3.6 พอร์ตข้อมูลแบบขนาน 8255	35
บทที่ 4 การออกแบบวงจรและกำหนดค่าอุปกรณ์	48
4.1 การออกแบบวงจร Control	48
4.2 การออกแบบวงจรตรวจสอบแรงดัน AGC	51
4.3 การออกแบบวงจรตรวจสอบการเปลี่ยนช่องความถี่และการปิดเปิดโทรทัศน์	58
4.4 การออกแบบวงจร Drive Stepping Motor ในการหมุนสายอากาศ	61
4.5 การออกแบบวงจร Power Supply	64
4.6 Flow Chart และ Program Control	66
บทที่ 5 ผลการทดลองและสรุปผลการทดลอง	69
ภาคผนวก ก ADC 0809 (8-Bit up Compatible A/D Converters) with 8-Channel Multiplexer)	71
ภาคผนวก ข 4N37 (6-Pin DIP Optoisolators)	82
หนังสืออ้างอิง	87

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 บทนำ

จากแนวคิดที่ว่าเราต้องการให้สายอากาศของเครื่องรับ ๆ สัญญาณได้ชัดเจนที่สุดโดยที่เครื่องส่งอยู่ในทิศทางที่ไม่แน่นอนหรือมีเครื่องส่งหลายเครื่องที่เราต้องการรับสัญญาณข่าวสาร เช่น ทีวี หรือวิทยุรับส่งต่าง ๆ ที่มีลักษณะการส่งกระจายคลื่นเป็นแบบ Line sign (คลื่นตามแนวสายตา) เราจะสามารถนำเครื่องนี้ไปประยุกต์ใช้ได้

1.2 แนวความคิดในการออกแบบ

โดยปกติเครื่องรับทุกชนิดสัญญาณข่าวสารเข้ามาทางสายอากาศ และถูกนำมาขยายในภาค RF Amplifier จากนั้นจะถูกส่งไปยังภาค Tunner และภาค IF Amplifier ตามลำดับ อัตราการขยายของภาค IF นี้ จะถูกควบคุมโดยแรงดันไฟฟ้า (DC) จากภาค AGC (Automatic Gian Control) ให้มีค่าเปลี่ยนแปลงตามความแรงของสัญญาณ ข่าวสารที่รับเข้ามา คือ ถ้าสัญญาณข่าวสารที่รับเข้ามาแรงภาค AGC จะลดแรงดันควบคุมให้อัตราการขยายของภาค IF ลดลงเพื่อไม่ให้เกิดการเพี้ยนของสัญญาณเนื่องจากการขลิบยอดคลื่น และถ้าหากสัญญาณที่รับเข้ามาอ่อน ภาค AGC จะเพิ่มแรงดันควบคุมให้อัตราการขยายของภาค IF เพิ่มขึ้นทำให้สัญญาณทาง out put ของภาค IF มีขนาดคงที่

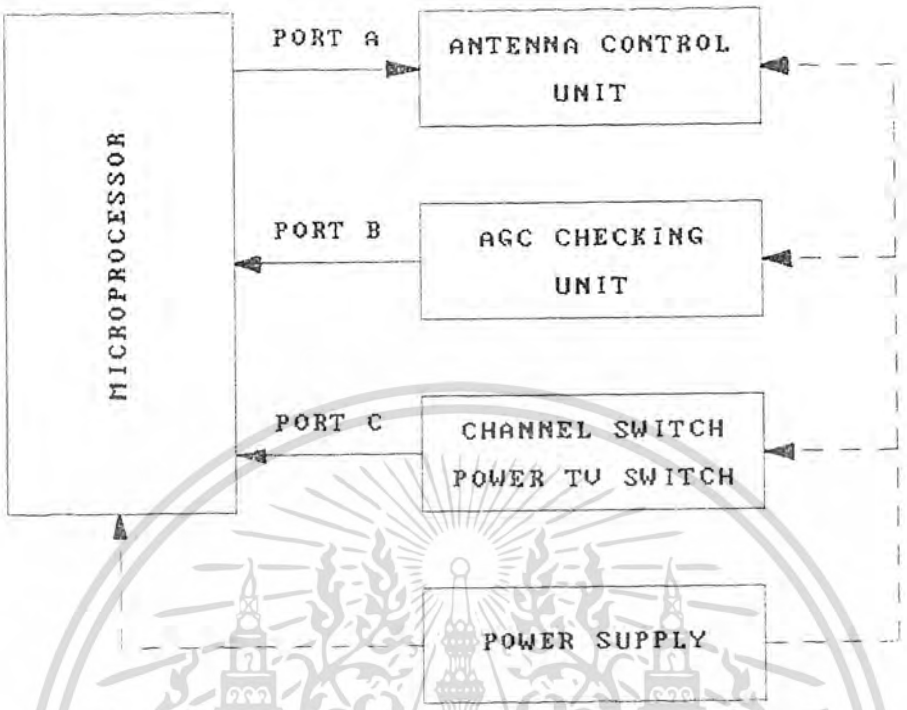
ดังนั้นเมื่อเราหมุนสายอากาศไป 360° ค่าแรงดัน AGC ที่วัดได้แต่ละตำแหน่งจะไม่เท่ากันโดยที่จุดที่รับสัญญาณข่าวสารได้แรงที่สุดจะมีค่าแรงดัน AGC น้อยที่สุดจึงสรุปได้ว่าในการหมุนสายอากาศ 1 รอบ 360° เราจะทราบจุดที่เครื่องรับ ๆ สัญญาณได้แรงที่สุดหรือคุณภาพของสัญญาณที่ดีที่สุด และเป็นจุดที่จะมีแรงดัน AGC น้อยที่สุด และเพื่อให้สายอากาศหมุนไปยังตำแหน่งที่รับสัญญาณได้ชัดเจนที่สุดเราจะใช้ไมโครโปรเซสเซอร์ (Microprocessor) ประมวลผลข้อมูลที่วัดได้จากแรงดัน AGC และทำการหมุนสายอากาศกลับไปที่ตำแหน่งที่ชัดเจนที่สุด

จาก Project นี้เราจะใช้เครื่องรับโทรทัศน์เป็นอุปกรณ์ในการทดลองเพราะเครื่องรับโทรทัศน์มีทั้งภาพและเสียงทำให้มองเห็นผลที่ได้รับชัดเจนยิ่งขึ้น โดยมีโครงสร้างและหลักการทำงานในหัวข้อต่อไปนี้

1.3 โครงสร้างและหลักการทำงาน

ระบบสายอากาศปรับทิศทางอัตโนมัติ ประกอบด้วยบล็อกไดอะแกรม คือ Microprocessor, Antena Control Unit, AGC Checking Unit, Channel Frequency System Checking Unit, Power Supply ตามรูปที่ 1.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 Block Diagram ของสายอากาศปรับทิศทางอัตโนมัติ

ส่วนประกอบแต่ละส่วนมีหน้าที่ดังนี้ คือ

1. สายอากาศ เป็นสายอากาศยากิ ทำหน้าที่รับสัญญาณโทรทัศน์

2. AGC เป็นส่วนประกอบภายในเครื่องรับโทรทัศน์ ทำหน้าที่ผลิต AGC Voltage เพื่อควบคุมอัตราขยายของภาค IF Amplifier โดยขนาดของ AGC Voltage จะแปรผกผันกับความแรงของสัญญาณโทรทัศน์ที่รับได้

3. ชุดตรวจสอบแรงดัน AGC ทำหน้าที่ตรวจสอบค่า AGC Voltage ที่ตำแหน่งต่าง ๆ เมื่อสายอากาศหมุน 1 รอบ 360° และทำการแปลงข้อมูลที่ตรวจสอบได้ เป็นสัญญาณดิจิตอล โดยวงจร ADC (Analog-to-Digital Converter)

4. ชุดตรวจสอบระบบและการเปลี่ยนช่องความถี่ ทำหน้าที่ตรวจสอบการเปิด-ปิดเครื่องรับโทรทัศน์ และการเปลี่ยนช่องความถี่

5. ชุดควบคุมการหมุนสายอากาศ ภายในประกอบด้วยไมโครโปรเซสเซอร์ทำการประมวลผลข้อมูลจากชุดตรวจสอบแรงดัน AGC และจากชุดตรวจสอบระบบและการเปลี่ยนช่องความถี่ จากนั้นจะส่งสัญญาณไปควบคุม Stepping Motor ตามลำดับ

6. Stepping Motor ทำหน้าที่หมุนสายอากาศ ตามการควบคุมของชุดควบคุมการหมุนสายอากาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับหลักการทำงานโดยรวมคือเมื่อเราต่อเครื่องเข้ากับเครื่องรับโทรทัศน์เรียบร้อยแล้ว เมื่อเปิดเครื่อง Microprocessor จะทำการหมุนสายอากาศไป 1 รอบ ในขณะเดียวกันก็จะนำค่าของ AGC ซึ่งเปลี่ยนจากสัญญาณ Analog มาเป็นสัญญาณ Digital แล้วมาทำการประมวลผลหาตำแหน่งที่ชัดเจนที่สุดทั้งภาพและเสียงเมื่อหมุนสายอากาศจนครบ 1 รอบ Microprocessor ก็จะได้ตำแหน่งของสายอากาศที่รับสัญญาณได้ดีที่สุด Microprocessor ก็จะส่งให้สายอากาศหมุนกลับไปที่ตำแหน่งนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
สเต็ปปิ้งมอเตอร์ (Steppping Motor)

2.1 บทนำ

สเต็ปปิ้งมอเตอร์เป็นดีซีมอเตอร์ชนิดหนึ่ง ที่ทำงานโดยไม่ต้องอาศัยแปรงถ่าน แต่จะใช้วงจรซีเควนเชียล (Sequencial) เป็นตัวกำเนิดสัญญาณขับผ่านวงจรไดเวอร์ (Driver) เข้าสู่มอเตอร์ โดยจะเป็นการทำงานในลักษณะลูปเปิด (Open Loop)

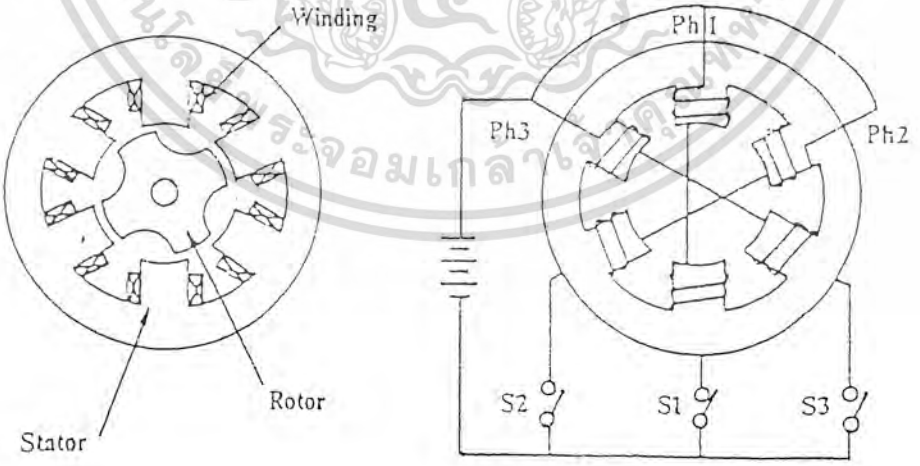
สามารถแบ่งชนิดของสเต็ปปิ้งมอเตอร์ตามลักษณะโครงสร้างและหลักการทำงานได้เป็น 3 ชนิดคือ

1. แบบแปรค่ารีลัคแตนซ์ (Variable Reluctance , VR)
2. แบบแม่เหล็กถาวร (Permanent Magnet , PM)
3. แบบไฮบริดจ์ (Hybrid)

ในโครงงานนี้จะใช้สเต็ปปิ้งมอเตอร์แบบแปรค่ารีลักแตนซ์ ดังนั้นจึงขอกล่าวถึงมอเตอร์ชนิดนี้เท่านั้น

2.2 โครงสร้างและหลักการทำงานของสเต็ปปิ้งมอเตอร์แบบแปรค่ารีลัคแตนซ์

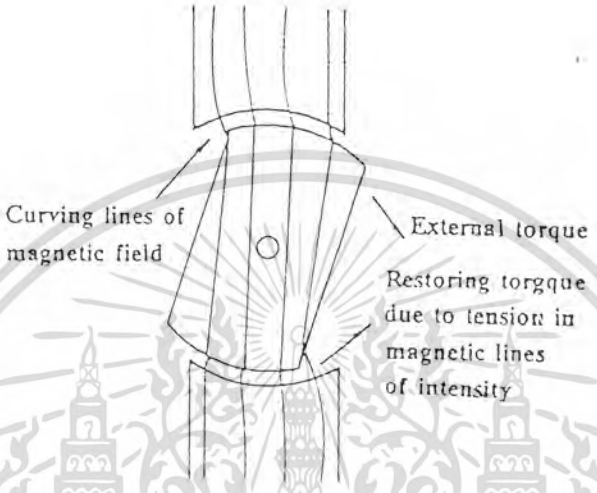
ภายในมอเตอร์ประกอบด้วยสเตเตอร์ (Stator) , โรเตอร์ (Rotor) , และขดลวด (Winding) ประกอบกันดังรูปที่ 2.1



รูปที่ 2.1 ภาพตัดขวางของสเต็ปปิ้งมอเตอร์แบบแปรค่ารีลัคแตนซ์ 3 เฟส และขดลวดสเตเตอร์

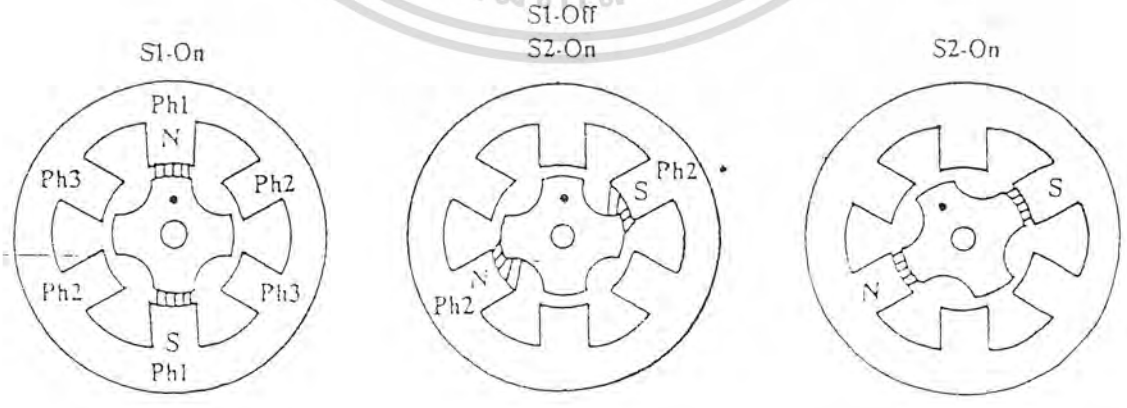
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากสเต็ปปิ้งมอเตอร์แบบแปรค่ารีลัคแตนซ์นี้ โรเตอร์เป็นเหล็กอ่อน (Soft Iron) ที่มีคุณสมบัติคือ จะพยายามปรับตัวเองให้อยู่ในแนวที่เส้นแรงแม่เหล็กผ่านมากที่สุด ดังเช่นรูปที่ 2.2 เมื่อเกิดเส้นแรงแม่เหล็กขึ้นที่สเตเตอร์และตัดผ่านโรเตอร์ ตัวโรเตอร์ก็จะพยายามปรับตัวเองให้เส้นแรงแม่เหล็กตัดผ่านมากที่สุด โดยโรเตอร์จะหมุนตัวเองทำให้เกิดมุมของการหมุนขึ้น และจะหยุดหมุนเมื่อเส้นแรงแม่เหล็กตัดผ่านด้วมันมากที่สุด



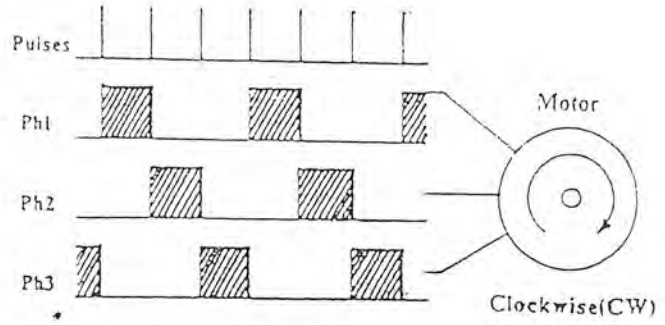
รูปที่ 2.2 เส้นแรงแม่เหล็กที่ทำให้เกิดแรงบิด (Torque) ที่โรเตอร์

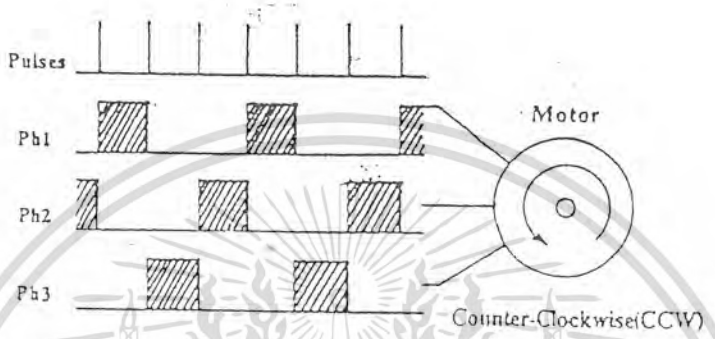
การที่จะให้สเต็ปปิ้งมอเตอร์หมุนได้โดยอาศัยหลักการนี้ จะต้องทำให้เกิดเส้นแรงแม่เหล็กในขดลวดถัดไปเรื่อย ๆ ดังรูปที่ 2.3 , 2.4 , และ 2.5 แสดงถึงการหมุนของมอเตอร์ โดยทิศทางของการหมุนขึ้นอยู่กับการกระตุ้น (Excitation) ที่ขดลวดว่าจะให้ไปทางไหน และเมื่อต้องการให้มอเตอร์หยุดหมุนก็หยุดการกระตุ้นที่ขดลวด โดยมอเตอร์จะหยุดหมุนที่ตำแหน่งสุดท้ายที่มีการกระตุ้น



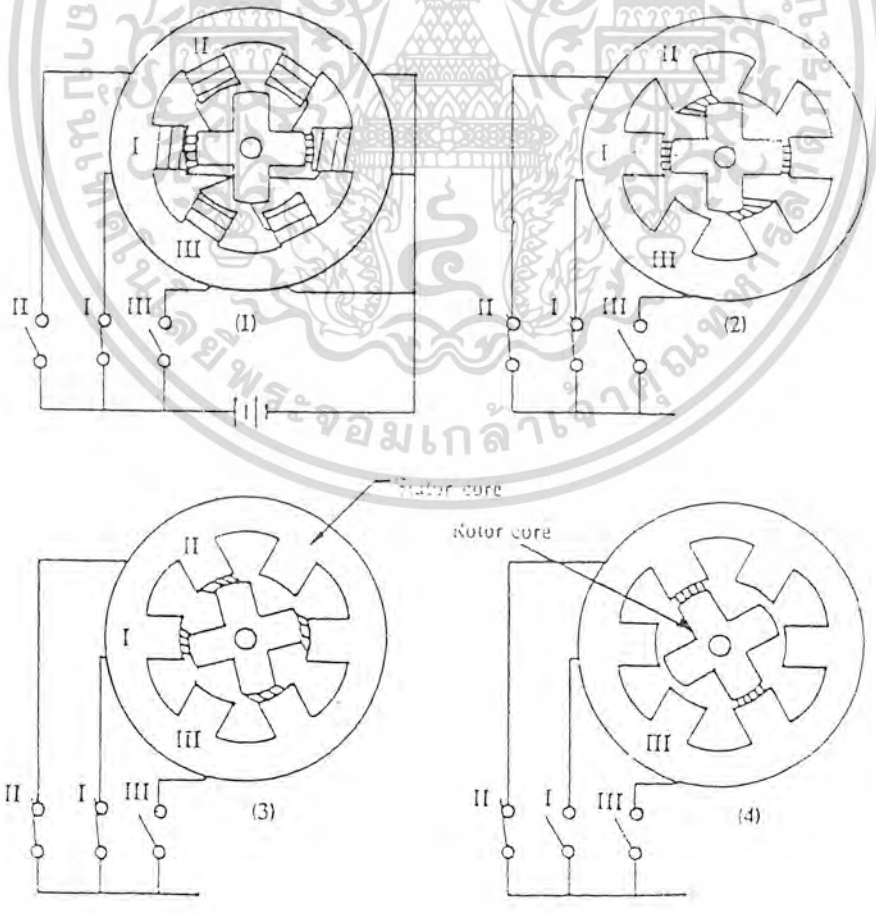
รูปที่ 2.3 แสดงการเคลื่อนที่ทีละสเต็ปเมื่อกระตุ้นขดลวดที่เฟส 1 และเฟส 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 2.4 แสดงการกระตุ้นให้มอเตอร์หมุนแบบเดินหน้าและถอยหลัง

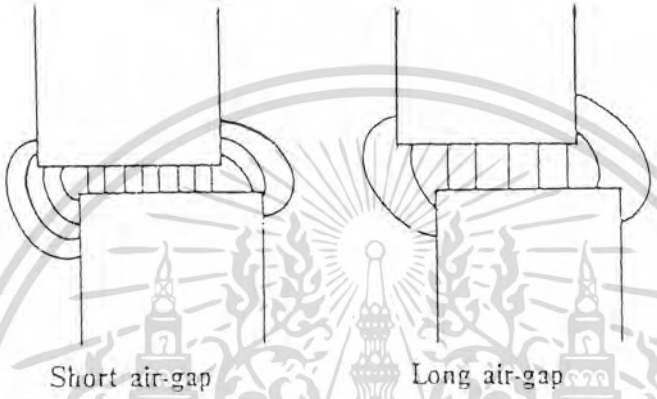


รูปที่ 2.5 แสดงการทำงานของสเต็ปปิ้งมอเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่องอากาศ (Air Gap) ระหว่างชี่สเตเตอร์กับโรเตอร์ จะแปรผกผันกับแรงบิด และความแน่นอนของตำแหน่งโรเตอร์ ดังนั้นถ้าต้องการให้สเต็ปปิ้งมอเตอร์มีแรงบิดสูง และตำแหน่งแน่นอน จะต้องมีช่องอากาศช่วงแคบ ๆ

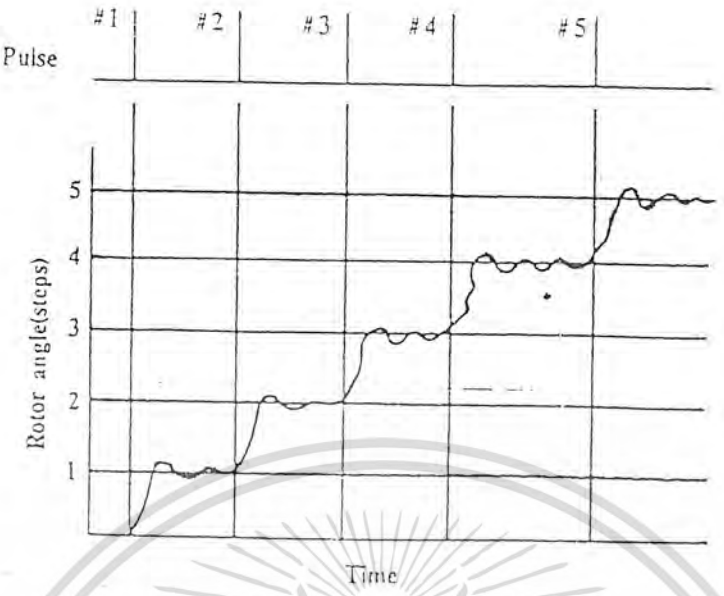
จากรูปที่ 2.6 เป็นการเปรียบเทียบระหว่างสเต็ปปิ้งมอเตอร์ที่มีช่องอากาศกว้างและช่องอากาศแคบ จะเห็นได้ว่ามอเตอร์ที่มีช่องอากาศแคบ จะมีความหนาแน่นของเส้นแรงแม่เหล็กสูงกว่า ดังนั้นแรงบิดจึงมากกว่าและความแน่นอนของตำแหน่งสูงกว่ามอเตอร์ที่มีช่องอากาศกว้าง



รูปที่ 2.6 เปรียบเทียบเส้นแรงแม่เหล็กระหว่างมอเตอร์ช่องอากาศแคบกับช่องอากาศกว้าง

ในการทำงานของสเต็ปปิ้งมอเตอร์นั้น ตำแหน่งของโรเตอร์จะหยุดทันทีที่โรเตอร์หมุนจนเส้นแรงแม่เหล็กตัดผ่านมากที่สุด เนื่องจากโรเตอร์ขณะหมุนจะมีแรงเฉื่อย จึงทำให้เกิด Shoot ของระยะขจัด จากนั้นโรเตอร์จึงหมุนกลับให้อยู่ในตำแหน่งที่เส้นแรงแม่เหล็กตัดผ่านมากที่สุด ดังรูปที่ 2.7 ที่แสดงการเปลี่ยนตำแหน่งแต่ละสเต็ป ทั้งนี้ Shoot ที่เกิดขึ้นอยู่กับช่องอากาศและการกระตุ้นว่าเป็นแบบใดด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



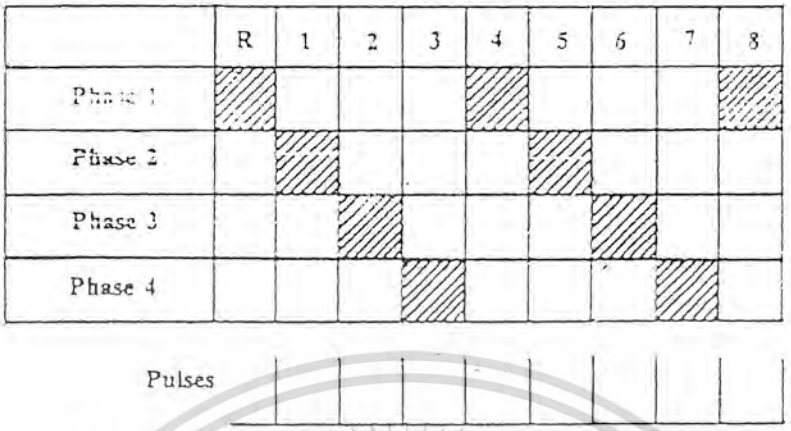
รูปที่ 2.7 กราฟแสดงตำแหน่งในการเคลื่อนแต่ละสเต็ป

2.3 การกระตุ้นเฟสขดลวดสเตเตอร์

ดังที่ทราบแล้วว่าการทำให้สเต็ปปิ้งมอเตอร์หมุนได้นั้น จะต้องกระตุ้นเฟสของขดลวดสเตเตอร์ให้เรียงกันไปเรื่อย ๆ ทางใดทางหนึ่ง ถ้าต้องการให้หมุนกลับก็กระตุ้นเฟสในทิศทางกลับกัน การกระตุ้นเฟสขดลวดสเตเตอร์มี 3 แบบคือ

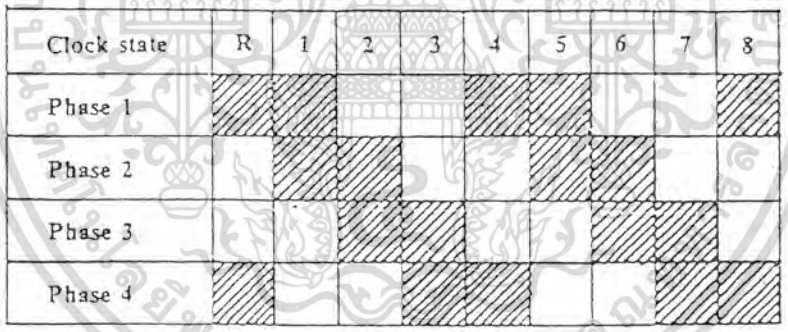
1. การกระตุ้นแบบ 1 เฟส (Single Phase Excitation)
2. การกระตุ้นแบบ 2 เฟส (Two Phase Excitation)
3. การกระตุ้นแบบครึ่งสเต็ป (Half Step Excitation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Note : Symbol R indicates 'reset'

รูปที่ 2.8 แสดงการกระตุ้นแบบ 1 เฟส



รูปที่ 2.9 แสดงการกระตุ้นแบบ 2 เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

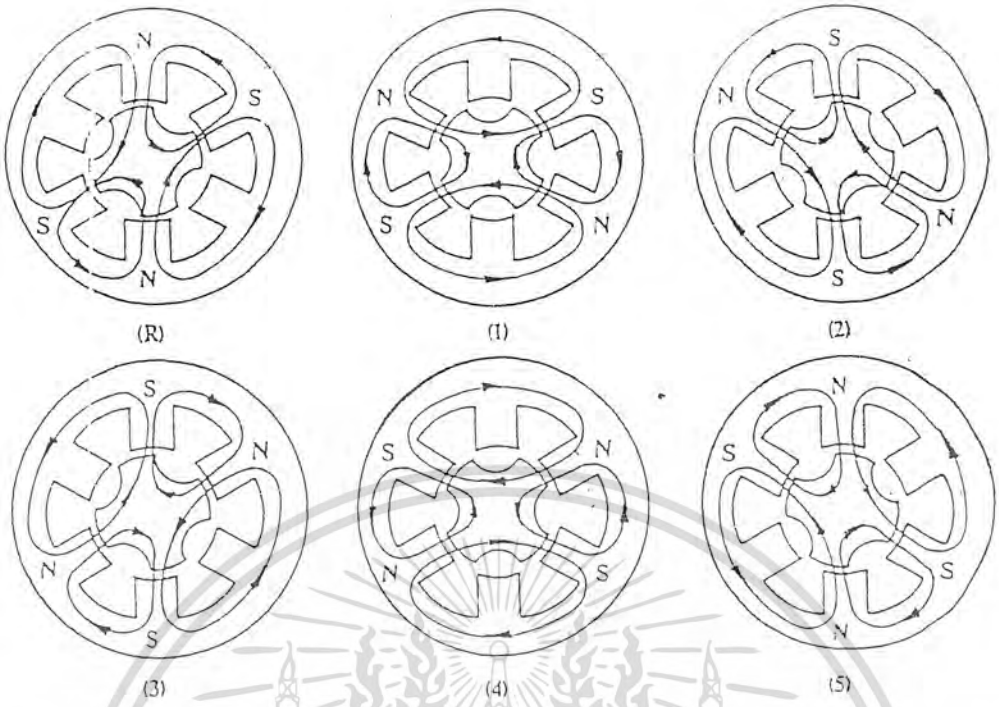
Clock state (A)	R	1		2		3		4		5	
Clock state (B)	R	1	2	3	4	5	6	7	8	9	
Phase 1											
Phase 2											
Phase 3											

รูปที่ 2.10 แสดงการกระตุ้นแบบครึ่งสเต็ป

การกระตุ้นแบบ 2 เฟส เส้นแรงแม่เหล็กจะไม่ผ่านแกนเหล็กเป็นเส้นตรงเช่นเดียวกับการกระตุ้นแบบ 1 เฟส แต่จะวกกลับมาเข้าสู่แกนทางด้านข้าง ดังรูปที่ 2.8 และเส้นแรงแม่เหล็กส่วนหนึ่งจะมาจากแกนตรงข้ามดังรูปที่ 2.9

รูปที่ 2.11 แสดงเส้นแรงแม่เหล็กเมื่อกระตุ้นแบบ 2 เฟส

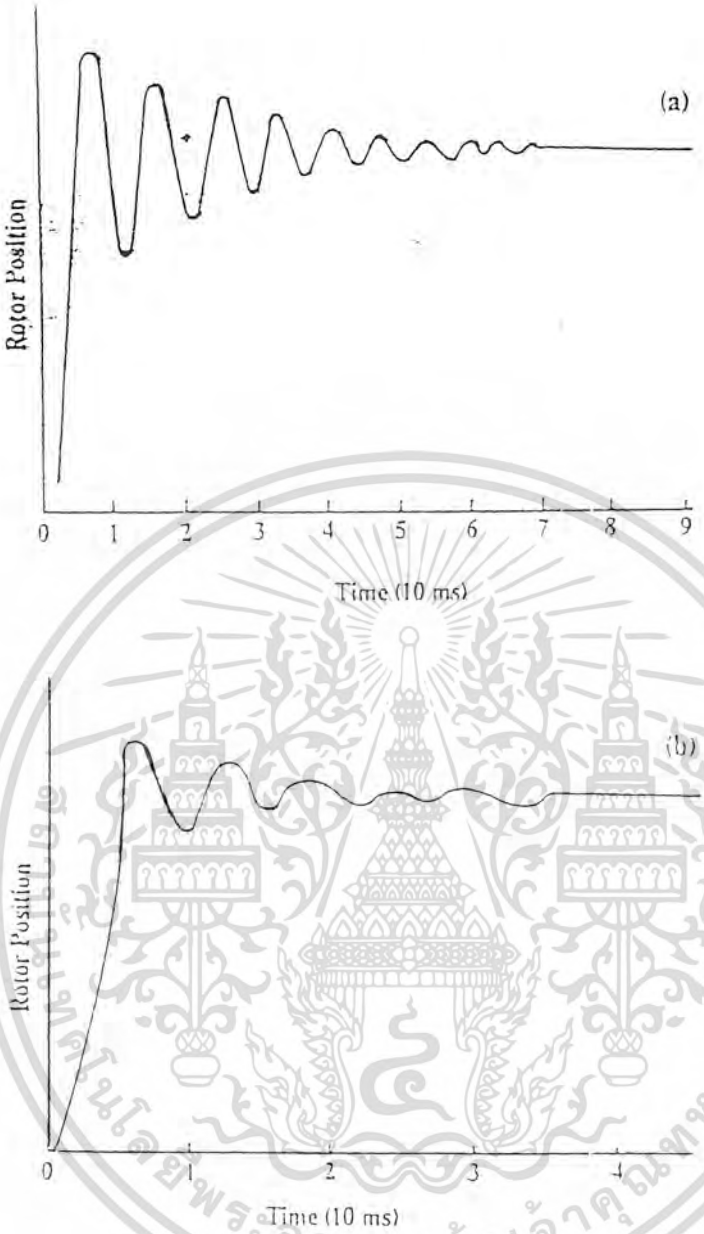
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
034721



รูปที่ 2.12 แสดงลักษณะของเส้นแรงแม่เหล็กเมื่อกระตุ้นแบบ 2 เฟส

ข้อแตกต่างระหว่างการกระตุ้นแบบ 1 เฟส และการกระตุ้นแบบ 2 เฟส จะอยู่ในช่วง Trasient Response ในการเปลี่ยนตำแหน่งของรีเรเตอร์แต่ละขั้นสังเกตจากรูปที่ 2.11 โดยการกระตุ้นแบบ 1 เฟส นั้นจะเกิด Oscillation Pamps ในช่วง Transient Response มากกว่าการกระตุ้นแบบ 2 เฟส แต่ความเร็วของการกระตุ้นทั้ง 2 แบบจะเท่ากัน แต่ถ้าเป็นการกระตุ้นแบบครึ่งสเต็ป ความเร็วจะลดลงครึ่งหนึ่ง เมื่อป้อนพัลซ์ความถี่เท่ากัน

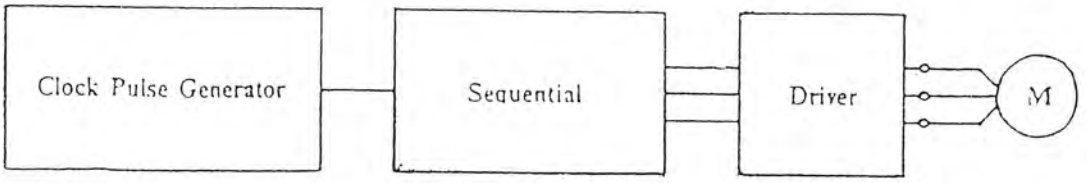
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 แสดงข้อแตกต่างของ Transient Response ระหว่างการกระตุ้นแบบ 1 เฟส และแบบ 2 เฟส

จากหลักการทำงานระหว่างสเต็ปปิ้งมอเตอร์มีข้อดีเมื่อเปรียบเทียบกับดีซีมอเตอร์ธรรมดา คือสามารถรู้ตำแหน่งของโรเตอร์ได้อย่างแน่นอน ดังนั้นสำหรับงานที่ต้องการการควบคุมตำแหน่งที่แน่นอน จึงใช้สเต็ปปิ้งมอเตอร์ทำงานสำหรับวงจรควบคุมสเต็ปปิ้งมอเตอร์แบบพื้นฐานนั้น จึงใช้วงจรซีเควนเชียล (Sequencial) ทำหน้าที่กำเนิดสัญญาณดิจิตอลจ่ายให้กับวงจรไดรเวอร์ (Driver) เพื่อทำการกระตุ้นขดลวดแต่ละเฟสของมอเตอร์ โดยแสดงได้ดังรูปที่ 2.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



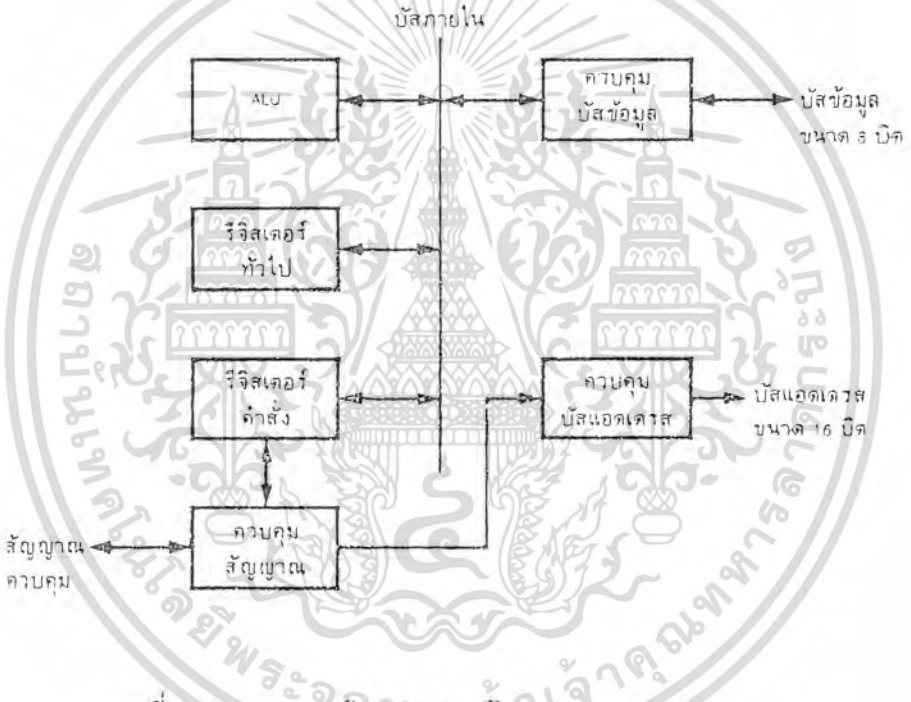
รูปที่ 2.14 บล็อคไดอะแกรมของวงจรควบคุมสเต็ปปิ้งมอเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ไมโครโปรเซสเซอร์ Z-80

3.1 บทนำ

Z-80 เป็นไมโครโปรเซสเซอร์ที่ได้รับการพัฒนามาตั้งแต่ปี พ.ศ. 2519 โดยพยายามให้ซอฟต์แวร์ที่เขียนโดยชุดคำสั่งของ 8080 สามารถใช้งานได้บนไมโครโปรเซสเซอร์เบอร์นี้ โครงสร้างของ Z-80 เป็นไมโครโปรเซสเซอร์ที่เข้าใจได้ง่ายทั้งทางด้านฮาร์ดแวร์และซอฟต์แวร์ สามารถอ้างอิงแอดเดรสไปยังหน่วยความจำได้ 64 กิโลไบต์ และมีชุดคำสั่งที่ทำงานได้อย่างกว้างขวางโครงสร้างทางสถาปัตยกรรมของ Z-80 เขียนเป็นแผนผังได้ดังแสดงในรูปที่ 3.1



รูปที่ 3.1 โครงสร้างทางสถาปัตยกรรมของ Z-80

Z-80 มีชุดสัญญาณเชื่อมโยงกับภายนอกเพียง 3 ชุดคือ บัสข้อมูล บัสแอดเดรส และสัญญาณควบคุม ภายใน Z-80 มีชุดรีจิสเตอร์ที่จะรับข้อมูลมาทำการประมวลผลและเก็บข้อมูลชั่วคราว รีจิสเตอร์แต่ละตัวเป็นรีจิสเตอร์ขนาด 8 บิต ที่สามารถอ้างอิงได้เหมือนเป็นหน่วยความจำรีจิสเตอร์ทั้งหมดใช้อักษรย่อแทนชื่อดังนี้ A, B, C, D, E, H, L และ F นอกจากนี้ยังมีรีจิสเตอร์ A, B, C, D, E, H, L และ F

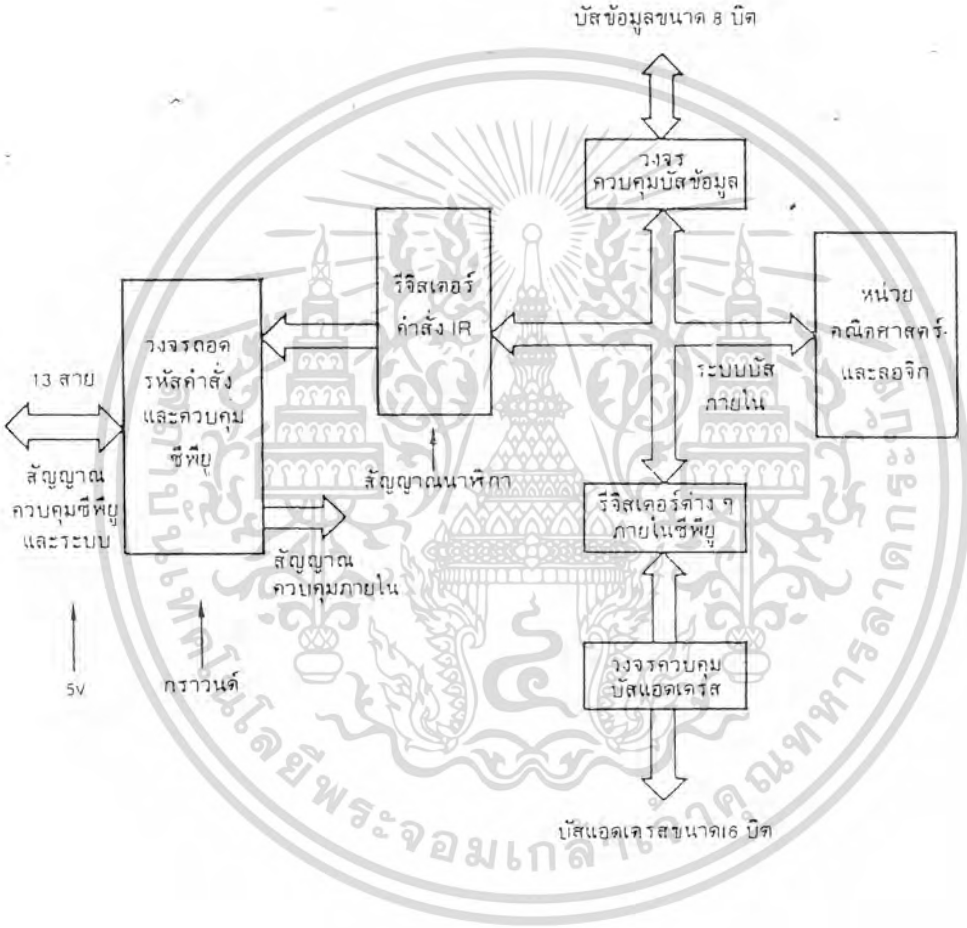
ในการเชื่อมโยงเป็นระบบกับภายนอก Z-80 มีสัญญาณควบคุมที่เด่นชัดจำเพาะ การทำงานสามารถเชื่อมต่อกับอุปกรณ์ในตระกูลต่าง ๆ ได้เป็นอย่างดี Z-80 สามารถเชื่อมต่อกับชิปสนับสนุนของอิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทลได้เกือบทุกชิป ด้วยเหตุนี้เอง Z-80 จึงแพร่หลายอย่างกว้างขวาง และสามารถนำไปใช้งานในกลุ่มอุปกรณ์ควบคุมไปจนถึงระบบไมโครคอมพิวเตอร์ส่วนตัว

3.2 โครงสร้างทั่วไปของซีพียู Z-80

โครงสร้างทั่วไปของซีพียู Z-80 มีลักษณะคล้ายคลึงกับไมโครโปรเซสเซอร์ 8080 มาก แต่มีข้อแตกต่างกันในรายละเอียดบางอย่างที่ Z-80 มีมากกว่า ลักษณะโครงสร้างของ Z-80 แสดงได้ดังรูปที่ 3.2

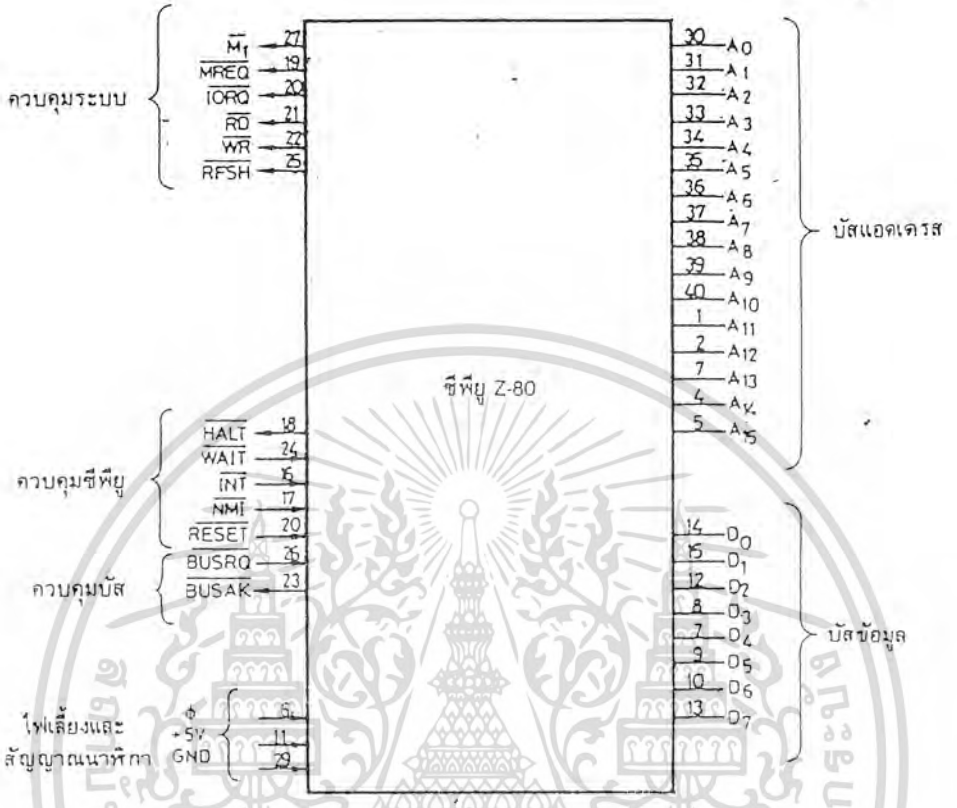


รูปที่ 3.2 โครงสร้างภายในของซีพียู Z-80

โครงสร้างภายในของซีพียูจะประกอบด้วยบัสข้อมูลขนาด 8 บิต ซึ่งเป็นบัสชนิดสองทิศทาง คือ ข้อมูลสามารถวิ่งเข้าหรือออกจากซีพียูได้ และบัสแอดเดรสซึ่งเป็นบัสขนาด 16 บิต ที่จะทำให้ขีดความสามารถในการอ้างถึงแอดเดรสได้โดยตรงถึง 2^{16} หรือ 64 กิโลไบต์ (KB) นอกจากนี้บัสแอดเดรสยังเป็นสายสำคัญในการอ้างถึงแอดเดรสของหน่วยเพอริเฟอรัลที่เป็นอินพุตหรือเอาต์พุตด้วย สายบัสควบคุมนี้จะประกอบไปด้วยสัญญาณควบคุมต่าง ๆ ซึ่งมีอยู่ทั้งหมด 13 สาย ลักษณะการจัดสายสัญญาณแสดง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้ดังรูปที่ 3.3



รูปที่ 3.3 แสดงลักษณะการจัดสัญญาณไอซีของ Z-80

รายละเอียดและหน้าที่ที่สำคัญของสายสัญญาณต่าง ๆ มีดังนี้

A_0-A_{15} เป็นสายของบัสแอดเดรสจำนวน 16 สาย ซึ่งส่วนภายในของเอาท์พุตเป็นลอจิก 3 สถานะ (tristate output) และจะถูกอีนาเบิล (enable) เลือกว่าเวลาใดเป็นสัญญาณแอดเดรสของหน่วนความจำหรือของอุปกรณ์อินพุตเอาต์พุตใดทั้งนี้เพราะสายของบัสแอดเดรสยังทำหน้าที่เป็นตัวอ้างแอดเดรสสำหรับอุปกรณ์อินพุตเอาต์พุตอีกด้วย

D_0-D_7 เป็นสายของบัสข้อมูลจำนวน 8 สาย ลักษณะของสายนี้เป็นลอจิก 3 สถานะ สองทิศทาง (tristate input/output) เพื่อเลือกทิศทางการไหลของข้อมูลระหว่างซีพียูกับหน่วยความจำหรืออุปกรณ์อินพุตเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{M_1}$ ลักษณะจะเป็นสัญญาณเอาต์พุต โดยส่งสัญญาณออกมาเพื่อบอกให้ทราบว่ากำลังอยู่ในสภาวะเฟตช์ (fetch) โดยแอคตีฟที่ลอจิก "0"

$\overline{MREQ}$ เป็นสายสัญญาณเอาต์พุตลอจิก 3 สถานะซึ่งจะบอกว่า ขณะนี้สัญญาณที่บัสแอดเดรสมีค่าแอดเดรสเพื่อเขียนหรืออ่านในหน่วยความจำ การแอคทีฟจะแอคทีฟที่ลอจิก "0"

$\overline{IORQ}$ เป็นสายสัญญาณเอาต์พุตซึ่งจะบอกว่า ขณะนี้สัญญาณในบัสแอดเดรสจาก A_0-A_7 มีค่าของอินพุตเอาต์พุตอยู่ ประโยชน์ของสัญญาณนี้เพื่อดีเท็กรหัสแอดเดรสในการเขียนหรือการอ่านข้อมูลจากเพอริเฟอรัล

$\overline{RD}$ เป็นสายสัญญาณเอาต์พุตที่จะบอกให้ทราบว่า ขณะนี้ซีพียูต้องการจะอ่านข้อมูลจากหน่วยความจำหรือจากอุปกรณ์อินพุตเอาต์พุต

$\overline{WR}$ เป็นสายสัญญาณเอาต์พุตเพื่อจะบอกให้ทราบว่า ขณะนี้ซีพียูต้องการจะเขียนข้อมูลในหน่วยความจำหรือในอุปกรณ์อินพุตเอาต์พุต

$\overline{RFSH}$ เป็นสายที่ส่งสัญญาณเพื่อจะบอกว่า ขณะนี้สายของแอดเดรสจะบรรจุข้อมูลแอดเดรสสำหรับการรีเฟรชหน่วยความจำชนิดไดนามิก

$\overline{HALT}$ เป็นสายสัญญาณที่จะแอคทีฟเมื่อซีพียูกระทำคำสั่ง HALT โดยจะแอคทีฟให้ลอจิก "0"

$\overline{WAIT}$ เป็นสายสัญญาณที่จะบอกให้ทราบว่า ขณะนี้หน่วยความจำหรืออุปกรณ์อินพุตเอาต์พุตยังไม่พร้อมที่จะรับหรือส่งผ่านข้อมูล คือ เมื่อส่งสัญญาณนี้เข้าไป ซีพียูจะหยุดรอจนกว่าเลิกสัญญาณ $\overline{WAIT}$

$\overline{INT}$ เป็นสัญญาณจากอุปกรณ์อินพุตเอาต์พุตที่จะอินเตอร์รัพต์ซีพียู การอินเตอร์รัพต์จะมีหลายโหมดซึ่งจะเรียกการอินเตอร์รัพต์แบบนี้ว่า มาสเคเบิลอินเตอร์รัพต์ (maskable interrupt)

$\overline{RESET}$ เป็นสัญญาณที่จะส่งเข้าไปรีเซตซีพียู หรือทำให้โปรแกรมเคาน์เตอร์มีค่าเป็น 0

$\overline{NMI}$ เป็นสัญญาณอินเตอร์รัพต์แบบที่เรียกว่า นอนมาสเคเบิลอินเตอร์รัพต์ (nonmaskable interrupt)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{\text{BUSRQ}}$ เป็นการส่งสัญญาณเพื่อบอกซีพียูว่า ขณะนี้จะต้องการใช้บัส ซึ่งทำให้ซีพียูควบคุมบัสโดยใช้หลักการลอจิก 3 สถานะในการทำให้บัสแอดเดรสและบัสข้อมูลแยกออกจากระบบในซีพียู เพื่อให้หน่วยความจำและอุปกรณ์อินพุตเอาต์พุตใช้บัสในการเคลื่อนย้ายข้อมูลระหว่างกัน

$\overline{\text{BUSAK}}$ เป็นสัญญาณที่ส่งออกไปจากซีพียู เพื่อบอกว่าขณะนี้ซีพียูไม่ได้ใช้บัสแล้ว

หมายเหตุ การใช้เครื่องหมายบาร์ (——) อยู่เหนือสัญญลักษณ์ แสดงว่าเป็นการแอคทีฟที่ลอจิก "0"

3.3 โครงสร้างภายในซีพียู Z-80

สิ่งที่น่าสนใจและควรทำความเข้าใจเกี่ยวกับโครงสร้างของซีพียูในขั้นแรกก็คือ ส่วนรีจิสเตอร์ต่าง ๆ และหน้าที่ที่สำคัญของแต่ละรีจิสเตอร์ ซึ่ง Z-80 จะประกอบด้วยรีจิสเตอร์ภายในซีพียูที่เป็นขนาด 8 บิต มีทั้งหมด 18 ตัว และเป็นรีจิสเตอร์ขนาด 16 บิตอีก 4 ตัว รูปโครงรีจิสเตอร์ภายในซีพียูสามารถเขียนเป็นแผนผังได้ดังรูปที่ 3.4

รูปที่ 3.4 โครงสร้างของรีจิสเตอร์ที่มีอยู่ใน Z-80

รีจิสเตอร์ในซีพียูมีหน้าที่และการใช้งานที่แตกต่างกัน บางตัวใช้งานเฉพาะอย่าง บางตัวเป็นรีจิสเตอร์ที่สามารถใช้งานได้ทั่วไป สำหรับรีจิสเตอร์ที่ใช้งานเฉพาะอย่างมีรายละเอียดหน้าที่และการทำงานดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. **โปรแกรมเคาน์เตอร์หรือ** PC (program counter) เป็นรีจิสเตอร์สำหรับเก็บแอดเดรสขนาด 16 บิต มีหน้าที่สำหรับให้ซีพียูเฟตช์คำสั่งในหน่วยความจำได้อย่างถูกต้อง และหลังจากที่ซีพียูได้กระทำคำสั่งเสร็จแล้ว ค่าในโปรแกรมเคาน์เตอร์จะเพิ่มค่าขึ้นโดยอัตโนมัติ

2. **สแตกพอยน์เตอร์หรือ** SP (stack pointer) เป็นรีจิสเตอร์ขนาด 16 บิต โดยซีพียูจะใช้สแตกพอยน์เตอร์เป็นตัวชี้ไปยังหน่วยความจำ เพื่อบอกว่าชั้นบนสุดของสแตกอยู่ที่ใด และถ้าซีพียูมีการกระทำตามคำสั่ง POP หรือคำสั่ง PUSH ก็จะเปลี่ยนค่าสแตกพอยน์เตอร์ไปโดยอัตโนมัติเพื่อชี้ตำแหน่งบนสุดของสแตกในหน่วยความจำ

3. **อินเด็กซ์รีจิสเตอร์หรือ** IX, IY (index register) ทั้ง IX และ IY เป็นรีจิสเตอร์อิสระที่มีขนาด 16 บิต โดยปกติจะใช้เป็นฐานในการชี้ไปยังบริเวณหน่วยความจำที่เป็นทางผ่านเข้าออกของข้อมูล การอ้างแอดเดรสจะใช้วิธีเปรียบเทียบกับค่าใน IY เช่น ถ้าอ้างถึง ADD A,(IY+D) จะหมายความว่า ให้นำค่า D ไปบวกกับค่าใน IY เป็นค่าที่จะอ้างถึงหน่วยความจำ แล้วนำข้อมูลจากหน่วยความจำมาบวกกับรีจิสเตอร์ A

4. **รีจิสเตอร์อินเตอร์รัพต์เพจแอดเดรสหรือ** I (interrupt page address register) รีจิสเตอร์ประเภทนี้มีประโยชน์สำหรับการกระโดดไปกระทำโปรแกรมอื่นในขณะที่มีการอินเตอร์รัพต์ โดยรีจิสเตอร์ I_7 จะเป็นตัวกำหนดแอดเดรสในบิต A_8-A_{15} ส่วนแอดเดรส A_0-A_7 จะมาจากลักษณะของคำสั่งอินเตอร์รัพต์ ซึ่งโดยปกติของ 8080 การอินเตอร์รัพต์ค่าแอดเดรสที่ซีพียูจะกระโดดไปกระทำมักจะอยู่ที่แอดเดรสต้น ๆ แต่ถ้าเลือกโหมดการอินเตอร์รัพต์ของ Z-80 ที่ใช้รีจิสเตอร์ I จะสามารถกระโดดไปที่ใด ๆ ก็ได้

5. **รีจิสเตอร์รีเฟรชหน่วยความจำหรือ** R (memory refresh register) ซีพียูของ Z-80 จะมีรีจิสเตอร์ที่ใช้ในการรีเฟรชหน่วยความจำชนิดไดนามิก (DRAM)ได้ รีจิสเตอร์นี้เป็นรีจิสเตอร์ขนาด 8 บิต ซึ่งจะเก็บค่าแอดเดรสของหน่วยความจำที่ต้องการรีเฟรช โดยส่วนของแอดเดรสจะส่งไปในลักษณะแถวหรือคอลัมน์ของหน่วยความจำชนิด DRAM

สำหรับรีจิสเตอร์ PC และรีจิสเตอร์ SP จะมีลักษณะเหมือนกับ 8080 แต่รีจิสเตอร์ IX IY, I และรีจิสเตอร์ R เป็นรีจิสเตอร์ที่เพิ่มขึ้นจาก 8080

6. **รีจิสเตอร์ที่ใช้งานทั่วไป** การใช้รีจิสเตอร์ทั่วไปใน Z-80 มีลักษณะคล้ายกับการใช้ใน 8080 มาก แต่มีรายละเอียดที่แตกต่างกันเล็กน้อย รีจิสเตอร์ทั่วไปของ Z-80 ที่เป็นขนาด 8 บิตมีทั้งหมด 14 ตัว และสามารถใช้รวมเป็นคู่รีจิสเตอร์ได้ 7 คู่ ลักษณะของรีจิสเตอร์และรหัสที่ใช้เป็นดังนี้

000 หมายถึง รีจิสเตอร์ B
001 หมายถึง รีจิสเตอร์ C
010 หมายถึง รีจิวเตอร์ D
011 หมายถึง รีจิสเตอร์ F
100 หมายถึง รีจิสเตอร์ H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

101 หมายถึง รีจิสเตอร์ L

110 หมายถึง รหัสใช้แทนหน่วยความจำ

111 หมายถึง รีจิสเตอร์ A

ในการอ้างคู่รีจิสเตอร์ เราใช้รีจิสเตอร์ A ร่วมกับรีจิสเตอร์ F (F ในที่นี้คือแฟล็ก) แฟล็กของ Z-80 มีขนาด 8 บิต และจะเป็นเสมือนรีจิสเตอร์ทั่วไปหนึ่งรีจิสเตอร์ นอกจากนี้การใช้รีจิสเตอร์ B จะใช้คู่กับรีจิสเตอร์ C รีจิสเตอร์ D คู่กับรีจิสเตอร์ E และรีจิสเตอร์ H คู่กับรีจิสเตอร์ L รหัสที่จะใช้แทนคู่รีจิสเตอร์เหล่านี้คือ

00 ใช้แทนคู่ รีจิสเตอร์ BC

01 ใช้แทนคู่ รีจิสเตอร์ DE

10 ใช้แทนคู่ รีจิสเตอร์ HL

11 ใช้แทนคู่ รีจิสเตอร์ SP

ในการใช้งานเราอาจมองรูปข้อมูลในลักษณะ 8 บิตเพื่อกระทำโดยใช้รีจิสเตอร์ทั่วไปได้ แต่ถ้าเป็นข้อมูลขนาด 16 บิต เราอาจใช้คู่รีจิสเตอร์แทน

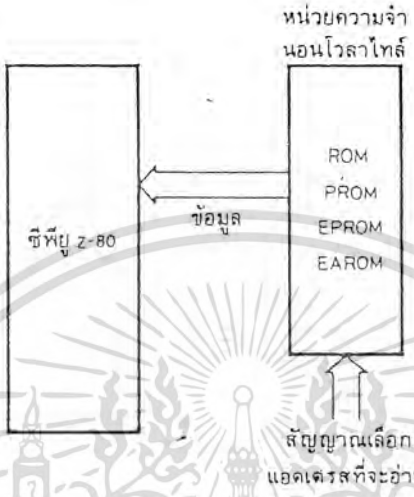
7. **รีจิสเตอร์ที่ใช้เก็บข้อมูลชั่วคราว** ใน Z-80 มีกลุ่มรีจิสเตอร์ที่นอกเหนือจากของ 8080 อยู่ชุดหนึ่งที่ทำหน้าที่เก็บข้อมูลชั่วคราว กลุ่มรีจิสเตอร์นี้ประกอบด้วย รีจิสเตอร์ A, F, B, C, D, E, H, L รีจิสเตอร์กลุ่มนี้ไม่สามารถกระทำในลักษณะทางลอจิกหรือทางคณิตศาสตร์ได้ แต่จะมีเพียงคำสั่งย้ายข้อมูลไปกลับระหว่างรีจิสเตอร์ A, F, B, C, D, E, H, L กับรีจิสเตอร์ A, F, B, C, D, E, H, L ประโยชน์ของรีจิสเตอร์กลุ่มนี้ที่เห็นได้ชัดคือ สามารถเก็บรักษาสถานะข้อมูลของรีจิสเตอร์ที่สำคัญในขณะที่มีการอินเตอร์รัพต์ไว้ได้ โดยไม่ต้องอาศัยสแตกในหน่วยความจำเหมือน 8080

3.4 การเชื่อมต่อกับ ROM

ROM ที่กล่าวในที่นี้หมายถึง หน่วยความจำที่มีโปรแกรมหรือข้อมูลอยู่แล้วและพร้อมที่จะนำมาต่อกับ Z-80 ได้โดยตรง ROM ในที่นี้จึงรวมถึง PROM, EPROM และ EAROM ซึ่ง EAROM หรือ electrically alterable read only memory คือ ROM ที่ลบได้ด้วยสัญญาณทางไฟฟ้า แต่เรื่องที่จะกล่าวนี้จะเน้นไปที่ EPROM ทั้งนี้เพราะเราสามารถหามาใช้และทดลองได้โดยง่าย มีราคาถูกง่ายต่อการต่อวงจร และเปลี่ยนแปลงโปรแกรม ROM ที่ใช้ทั่วไปมีโครงสร้างเป็นไบต์ ซึ่งเราจะกล่าวถึงขนาดความจุของ ROM เป็นจำนวนกิโลไบต์ เช่น 2048 เป็น ROM ขนาด 2 กิโลไบต์ ซึ่งหมายถึง 2x1024 ไบต์ ในทางคอมพิวเตอร์ 1 กิโลไบต์มีค่าเท่ากับ 2^{10} หรือ 1024 ไบต์ทั้งนี้เพราะการอ้างอิงแอดเดรสจะอ้างอิงกันด้วยสายสัญญาณแอดเดรส เช่น ถ้าอ้างอิงด้วยแอดเดรส 10 บิต ก็จะอ้างอิงได้สูงสุด 2^{10} แอดเดรส หรือ 1 กิโลไบต์ นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเชื่อมโยงกับ ROM นี้ จึงเป็นลักษณะที่ Z-80 จะอ่านข้อมูลได้อย่างเดียว ไม่สามารถเขียนได้ การอ่านนั้นจะอ่านเป็นคำสั่งมาทำงานตามหรือจะอ่านข้อมูลมาประมวลผลใน Z-80 ก็ได้ แผนผังการเชื่อมโยงระหว่าง Z-80 กับ ROM แสดงได้ดังรูปที่ 3.5

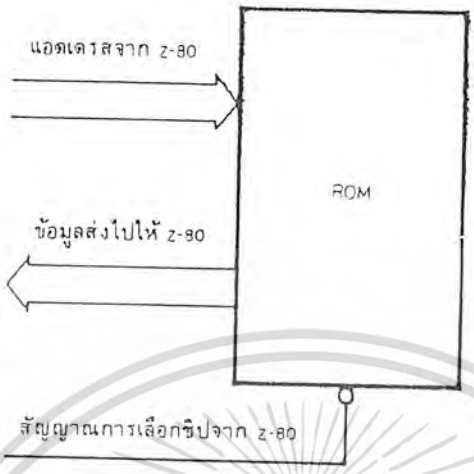


รูปที่ 3.5 แผนผังการเชื่อมต่อ ROM กับไมโครโปรเซสเซอร์

ROM ที่นิยมใช้กันมากในระบบไมโครคอมพิวเตอร์นั้น มักจะเป็น ROM ประเภท EPROM นอกจากระบบที่ทำเป็นการค้าจำนวนมากจึงจะใช้ ROM ประเภทโปรแกรมสำเร็จจากโรงงาน ROM ประเภท EPROM ให้ข้อดีที่สามารถโปรแกรมและลบได้ง่าย การโปรแกรมจะใช้ขั้นตอนหรือวิธีการที่ไม่ยุ่งยาก การลบก็จะใช้วิธีฉายแสงอัลตราไวโอเลตนานประมาณ 5-10 นาที

เนื่องจาก ROM เป็นหน่วยความจำที่มีความหนาแน่นสูงและสามารถอ่านได้เพียงอย่างเดียว ในหนึ่งชิปอาจจะมีความจุได้สูงถึง 32 กิโลไบต์ ซึ่งนับว่ามีขนาดของหน่วยความจำจำนวนมาก รูปที่ 3.6 จะแสดงให้เห็นส่วนประกอบพื้นฐานของ ROM ซึ่งจะเห็นว่า มีสัญญาณต่าง ๆ ที่เกี่ยวข้องกับ ROM และทุกชิปที่อยู่ใน ROM มักจะมีการจัดแบ่งแยกหน้าที่เสมอ เช่น ขาแอดเดรสของ ROM เป็นอินพุต ส่วนขาข้อมูลจะเป็นเอาต์พุต โดยหลักการแล้ว ขาข้อมูลจะต่อเข้ากับขาบัสข้อมูลซึ่งเป็นบัส 2 ทาง ดังนั้นเอาต์พุตของ ROM ในส่วนขาข้อมูลนี้มักจะเป็นลอจิก 3 สถานะ ซึ่งถ้าไม่ใช้ก็จะอยู่ในสถานะที่มีอิมพีแดนซ์สูง

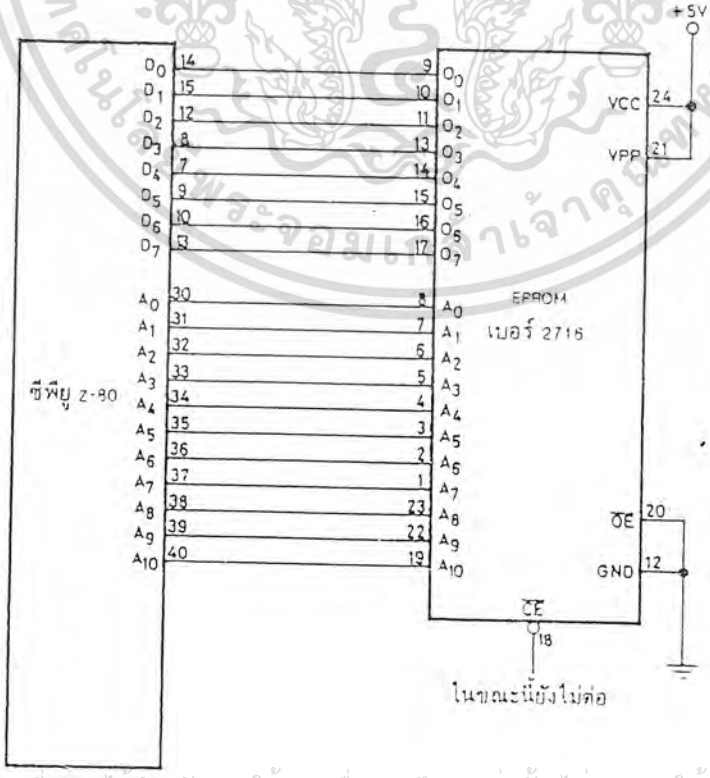
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 ส่วนประกอบพื้นฐานของ ROM

3.4.1 การต่อกับบัสของ Z-80

ในการต่อกับบัสของ Z-80 นั้น สามารถเชื่อมรายงกันโดยตรงได้เพราะ Z-80 จะแยกบัสข้อมูลและบัสแอดเดรสออกจากกัน ดังแสดงในรูปที่ 3.7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

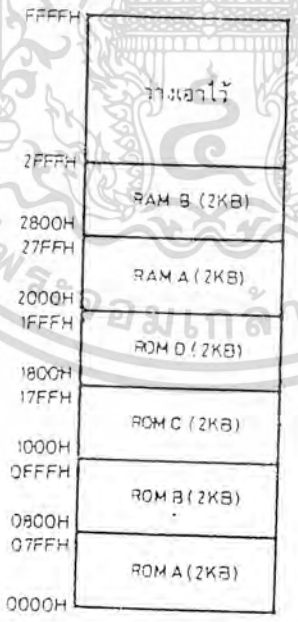
รูปที่ 3.7 แผนผังการเชื่อมต่อระหว่าง Z-80 กับ EPROM เบอร์ 2716

จากรูปที่ 3.7 เป็นการนำเอา ROM เบอร์ 2716 มาต่อกับ Z-80 โดยใช้แอดเดรสจากซีพียูต่อกับ ROM โดยตรง และบัสข้อมูลก็ต่อกันถึงโดยตรง ในที่นี้จะยังไม่มีการถอดรหัสแอดเดรส สังเกตว่าในขณะนี้ยังไม่มีการต่อสายสัญญาณ CE ซึ่งปกติต้องมาจากซีพียู แต่ในที่นี้จะกล่าวถึงเฉพาะวิธีการถอดรหัสเพื่อต่อกับสัญญาณ CE นี้เท่านั้น

3.4.2 การกำหนดแอดเดรส

ปกติ Z-80 จะมีสัญญาณแอดเดรสจำนวน 16 สาย โดยใช้ชื่อสัญญาณเป็นแอดเดรส A_0-A_{15} ซึ่งหมายถึง การอ้างแอดเดรสได้ 2^{16} หรือ 65536 ตำแหน่ง แต่ ROM เบอร์ 2716 มีแอดเดรสเพียง 11 สาย นั่นหมายถึงมีความจุของหน่วยความจำเพียง 2 กิโลไบต์ หรือ 2048 ตำแหน่งเท่านั้น ดังนั้นการต่อ 2 กิโลไบต์ ลงใน 64 กิโลไบต์จะต้องกำหนดว่า 2 กิโลไบต์ที่ต่อนี้อยู่ ณ ที่ใดในส่วนของพื้นที่ทั้งหมด 64 กิโลไบต์ของ Z-80 ซึ่งถ้าจะต่อให้ครบทั้ง 64 กิโลไบต์ต้องใช้ ROM ถึง 32 ตัว

ในการต่อ ROM นั้น เรามักจะให้ ROM เริ่มที่แอดเดรส 0000H ทั้งนี้เพราะเมื่อเริ่มทำการรีเซต Z-80 ตัว Z-80 จะเริ่มทำงานที่แอดเดรสนี้ ดังนั้นเมื่อเปิดเครื่องจะทำให้ Z-80 มีโปรแกรมพร้อมที่จะรัน (run)ได้เลย จึงต้องนำ ROM มาใส่ที่แอดเดรสกลุ่มล่างสุดนี้ สำหรับการกำหนดพื้นที่ของหน่วยความจำเพื่อการใช้งานนั้น สามารถแสดงได้ดังรูปที่ 3.8



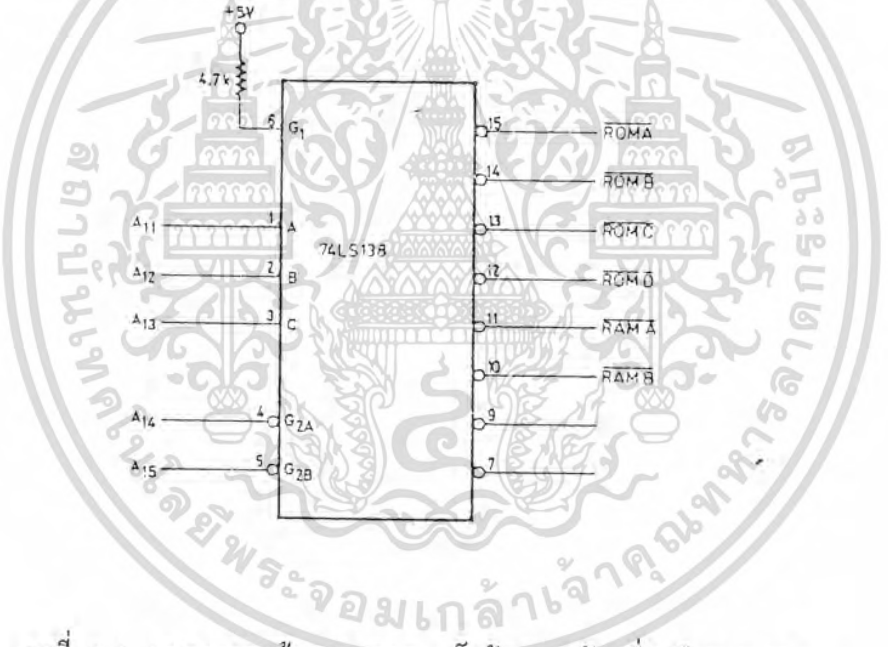
รูปที่ 3.8 การกำหนดพื้นที่สำหรับ ROM และ RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.8 เป็นการกำหนดพื้นที่ของหน่วยความจำ RAM และ ROM เพื่อการใช้งานโดยสมมติให้ ROM ที่จะต่อนี้มีทั้งสิ้น 4 ตัว คือ ROMA, ROMB, ROMC และ ROMD โดยในขั้นแรกจะต่อเฉพาะ ROMA และ ROMB ส่วน RAM ที่จะใช้ต่อเป็น RAMA และ RAMB

3.4.3 การเลือกชิปของ ROM

เมื่อต่อ ROM เข้าสู่ระบบ เราจะต้องหาวิธีในการเลือกชิปของ ROM ให้ถูกต้องตามแอดเดรสที่เรากำหนดไว้ เช่น ROMA เรากำหนดแอดเดรสไว้ที่แอดเดรส 0000H - 07FFH ดังนั้นเราจำเป็นต้องมีตัวถอดรหัสเพื่อเลือกแอดเดรสให้ถูกต้อง การถอดรหัสนี้เราจะใช้แอดเดรสส่วนบนที่เหลือมาทำการถอดรหัส ในที่นี้เราจะใช้ 74LS138 และทำการเลือกใช้ A_{11}, A_{12}, A_{13}, A_{14} และ A_{15} การถอดรหัสของ 74LS138 นี้เป็นการเลือกจาก 3 บิตไปเป็น 8 บิตโดยอินพุต A, B, C วงจรการถอดรหัสนี้แสดงได้ดังรูปที่ 3.9



รูปที่ 3.9 แสดงการใช้ 74LS138 เป็นตัวถอดรหัสเพื่อเลือก ROM

ด้วยวิธีนี้จะเห็นว่า ถ้าเราเลือกแอดเดรสจาก A_{10}-A_{15} จะมีสัญญาณจาก A_0-A_{10} ส่งไปยังแอดเดรสของ ROM โดยตรง ส่วน A_1-A_{15} จะผ่านการถอดรหัสก่อนแล้วจึงไปทำการเลือกชิปใน ROM ตามที่เราต้องการ เพื่อให้เห็นขั้นตอนการถอดรหัสชัดเจนขึ้น เราควรพิจารณาขั้นตอนการทำงานของ 74LS138 โดยเขียนออกมาเป็นตารางแอดเดรส ดังแสดงในตารางที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 ตารางการถอดรหัสแอดเดรสโดยใช้ 74LS138

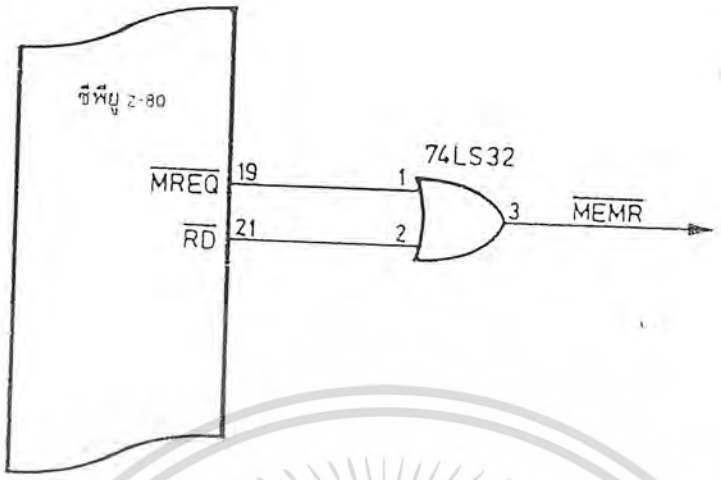
A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10} ..... A_0	เลขฐาน 16	ขาที่เป็นลอจิก "0"
0	0	0	0	0	0.....0	0000H	15
0	0	0	0	0	1.....1	07FFH	15
0	0	0	0	1	0.....0	0800H	14
0	0	0	0	1	1.....1	0FFFH	14
0	0	0	1	0	0.....0	1000H	13
0	0	0	1	0	1.....1	17FFH	13
0	0	0	1	1	0.....0	1800H	12
0	0	0	1	1	1.....1	1FFFH	12
0	0	1	0	0	0.....0	2000H	11
0	0	1	0	0	1.....1	27FFH	11
0	0	1	0	1	0.....0	2800H	10
0	0	1	0	1	1.....1	2FFFH	10

จากตารางที่ 3.1 นี้ เราจะเน้นเฉพาะส่วนแอดเดรส A_{11}–A_{15} ซึ่งจะส่งค่ารวมของแอดเดรสเพื่อออกไปยังขาเอาต์พุตขาที่ 10–15 เช่น ถ้าแอดเดรส A_{11}–A_{15} เป็นลอจิก "0" หมด ขาที่ 15 ซึ่งเป็นเอาต์พุตจะแอคทีฟเพื่อทำการเลือกชิป และจากตารางที่ 3.1 จะพบว่า ในช่วงระหว่างแอดเดรส 0000H–07FFH ขาที่ 15 ของ 74LS138 จะแอคทีฟ แต่ถ้าเพิ่มแอดเดรสเป็น 0800H–0FFFH ขาที่ 14ของ 74LS138 จะแอคทีฟ ดังนั้น 74LS138 จึงเป็นวงจรถอดรหัสที่ใช้ในการเลือกชิป ROM ได้อย่างถูกต้อง

3.4.4 สัญญาณการอ่านข้อมูล

สำหรับการอ่านข้อมูลจากหน่วยความจำนั้น Z-80 จะต้องใช้สัญญาณที่เกี่ยวข้องหลายสัญญาณ เช่น สัญญาณ $\overline{\text{MREQ}}$ กับสัญญาณ $\overline{\text{RD}}$ สัญญาณทั้งสองจะต้องเกิดขึ้นพร้อมกัน ดังนั้นเมื่อเป็นเช่นนี้ จึงต้องเอาสัญญาณทั้งสองนี้ออร์ (OR) กันเพื่อให้ได้สัญญาณ $\overline{\text{MEMR}}$ การกำหนดจังหวะการอ่านหน่วยความจำแสดงได้ดังรูปที่ 3.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

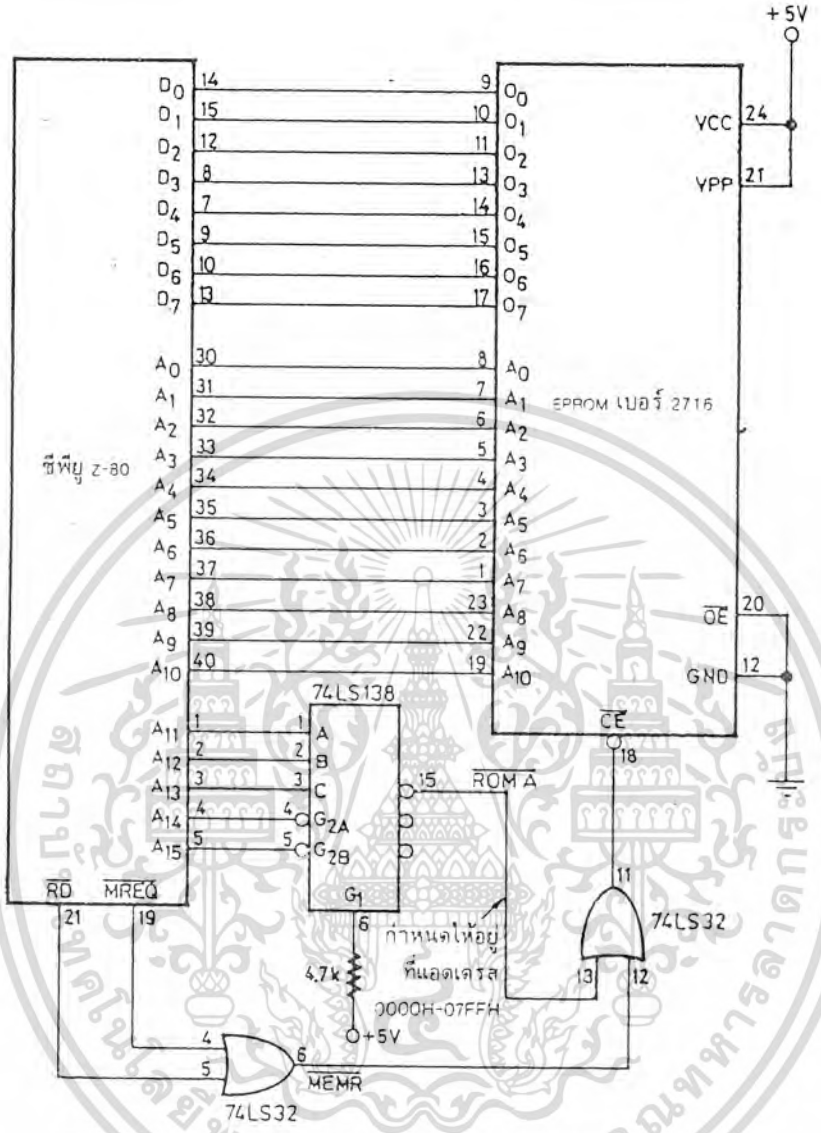


รูปที่ 3.10 วงจรแสดงการกำหนดสัญญาณการอ่านหน่วยความจำ

3.4.5 การต่อ Z-80 กับสัญญาณ $\overline{CS}$ ของ ROM

การเลือก RPM ในจังหวะการอ่านนี้ ซีพียูต้องกำหนดได้ว่าจะเลือกแอดเดรสกลุ่มใด และจังหวะการเลือกนั้นจะต้องตรงกับการอ่านพอดี ดังนั้นจึงต้องนำเอาสัญญาณ $\overline{MEMR}$ และสัญญาณเลือก $\overline{ROMA}$ มาทำการ OR กันอีกครั้ง เพื่อจะเลือก ROM ได้อย่างถูกต้อง วงจรที่ต่อ ROM แบบสมบูรณ์ในกรณีนี้แสดงได้ดังรูปที่ 3.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจรแสดงการต่อ ROM กับ Z-80 แบบสมบูรณ์

จากรูปที่ 3.11 จะเห็นว่า สัญญาณจากซีพียูที่เข้าไปทำการควบคุม ROM จะประกอบด้วยสัญญาณจากหลายส่วนซึ่งได้แก่ สัญญาณแอดเดรส A_0-A_{15} โดยสัญญาณ A_{11}-A_{15} จะสร้างสัญญาณใหม่เป็นสัญญาณ $\overline{ROMA}$ เพื่อเลือก ROM จากนั้นจะใช้สัญญาณ $\overline{MREQ}$ กับสัญญาณ $\overline{RD}$ สร้างสัญญาณ $\overline{MEMR}$ และสร้างเป็นสัญญาณ $\overline{CE}$ ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

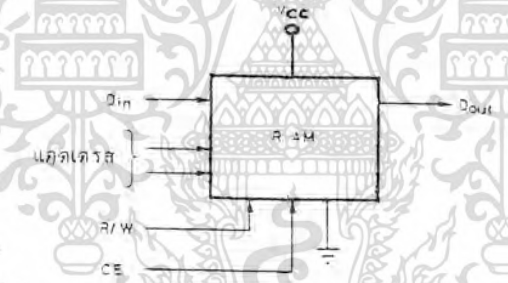
3.5 การเชื่อมต่อกับ RAM

หน่วยความจำที่ต่อเข้ากับระบบไมโครคอมพิวเตอร์ที่สำคัญส่วนหนึ่งคือ RAM เพราะ RAM เป็นเสมือนพื้นที่สำหรับนำข้อมูลที่ต้องการประมวลผลมาเก็บไว้ชั่วคราว โดยทั่วไป RAM จึงเป็นระบบที่เก็บข้อมูลและสามารถเขียนข้อมูลใหม่ทับลงไปได้ง่าย แต่ถ้าไฟฟ้าดับข้อมูลก็จะสูญหายไปทันที

การเชื่อมโยงระหว่าง Z-80 กับ RAM เป็นเรื่องที่ทำได้ง่าย เพราะโครงสร้างของ Z-80 ได้รับการออกแบบให้มีสายสัญญาณและจังหวะการเขียนหรือการอ่านที่พอดีกับการเชื่อมต่อกับ RAM อยู่แล้ว สำหรับในบทนี้จะกล่าวเฉพาะการเชื่อมโยง Z-80 กับ RAM แบบสแตติก หรือ SRAM (static random access memory) โดยใช้ RAM ชิปที่มีขายทั่วไปและรู้จักกันดีอยู่แล้ว ซึ่งได้แก่ เบอร์ 2114, 6116 และ 6264

3.5.1 โครงสร้างของ SRAM

เพื่อให้เข้าใจเกี่ยวกับการเชื่อมต่อ RAM เข้ากับระบบไมโครโปรเซสเซอร์ จึงจำเป็นจะต้องเข้าใจระบบพื้นฐานทั่วไปของ RAM ก่อน ซึ่งสามารถเขียนเป็นแผนผังได้ดังรูปที่ 3.12



รูปที่ 3.12 โครงสร้างพื้นฐานของ RAM

จากรูปที่ 3.12 เป็นโครงสร้างพื้นฐานของ RAM ซึ่งมีส่วนของสัญญาณที่เกี่ยวข้องกับการควบคุมอยู่หลายเส้น สัญญาณที่เกี่ยวข้องกับการควบคุมอยู่หลายเส้น สัญญาณที่สำคัญประกอบด้วย

1. Din เป็นสายสัญญาณที่จะนำข้อมูลเข้าไปเก็บใน RAM เมื่อมีการเขียนข้อมูล
2. Dout เป็นสายสัญญาณที่จะนำข้อมูลออกจาก RAM เมื่อข้อมูลได้รับการอ่านเรียบร้อยแล้ว
3. แอดเดรส เป็นสายสัญญาณที่ทำหน้าที่กำหนดแอดเดรสของ RAM เพื่อการเขียนหรือการอ่าน
4. $R/\overline{W}$ เป็นสายสัญญาณที่ทำหน้าที่กำหนดการเขียนหรือการอ่านข้อมูลบน RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. $\overline{CE}$ เป็นสายสัญญาณเพื่อเลือกชิปในกรณีที่ต้องการต่อหลาย ๆ ชิปในระบบ เพื่อที่จะได้ทราบว่าชิปชนิดใดได้รับการเลือก

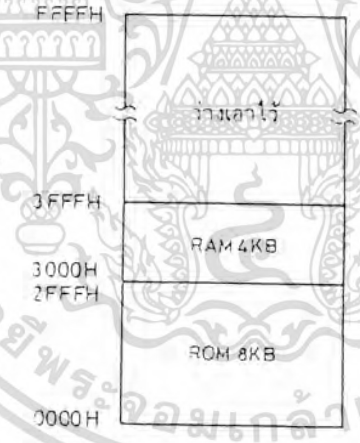
6. Vcc GND เป็นสายไฟเลี้ยงวงจรและกราวด์

การทำงานของ RAM จะต้องใช้สัญญาณต่าง ๆ เหล่านี้ร่วมกัน โดยสัญญาณควบคุมนี้จะได้รับการสร้างขึ้นมาจากไมโครโปรเซสเซอร์ แต่อาจจะต้องมีการปรับปรุงแต่งสัญญาณอีกบ้างเล็กน้อย

3.5.2 การต่อ RAM เข้ากับ Z-80

ใน Z-80 มีสายสัญญาณแอดเดรสจำนวน 16 เส้น สามารถอ้างอิงแอดเดรสได้ 64 กิโลไบต์ หรือ 65,536 ตำแหน่ง สำหรับ RAM ที่เราจะต่อนี้ อาจจะมีตำแหน่งการเก็บข้อมูลเป็นส่วนย่อย เช่น เพียง 1024 ตำแหน่งเท่านั้น

การที่จะต่อ RAM เข้ากับระบบ จึงควรกำหนดว่าจะนำเข้าระบบ ณ ตำแหน่งหน่วยความจำแอดเดรสที่เท่าไร เช่น จากระบบที่ได้เคยออกแบบไว้แล้วในบทที่ 2 ให้ ROM อยู่ที่ตำแหน่ง 0000H-2FFFH ในกรณีจะสมมติให้มีการกำหนดแอดเดรสที่ตำแหน่ง 3000H - 3FFFH เป็นที่อยู่ของ RAM ที่มีขนาดความจุ 4 KB x 8 ซึ่งแสดงได้ดังรูปที่ 3.13

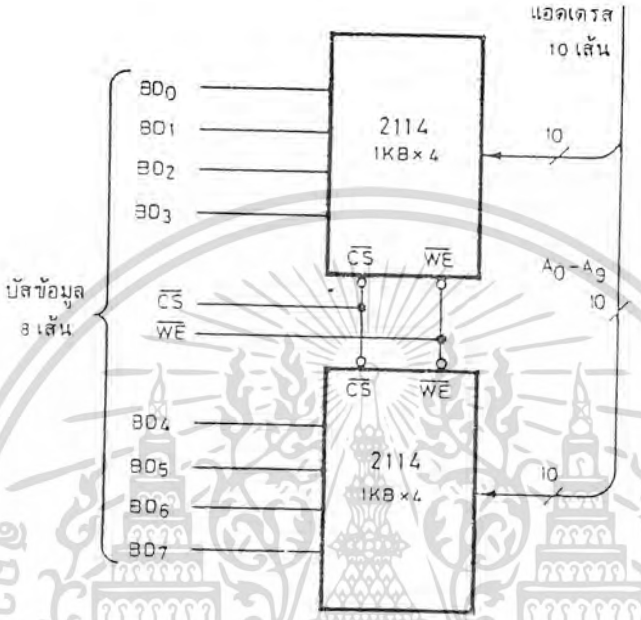


รูปที่ 3.13 การจัดตำแหน่งหน่วยความจำของ RAM และ ROM

จากการกำหนดตำแหน่งแอดเดรสที่ 3000H - 3FFFH นี้ ต้องใช้หน่วยความจำที่มีขนาดถึง 4 KB x 8 แต่ RAM เบอร์ 2114 ซึ่งแต่ละชิปเป็นหน่วยความจำขนาดเล็กเพียงแค่ 1 KB x 4 ดังนั้นถ้าใช้ 2 ชิปมาต่อรวมกันจะได้ขนาดเป็น 1 KB x 8 ได้ และจากขนาด 1 KB x 8 นี้เองถ้าเพิ่มขนาดความจุเป็น 4 KB x 8 จะต้องขยายขึ้นอีก 4 เท่า เพื่อที่จะเข้าใจได้เป็นลำดับ จึงขอกล่าวถึงการต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำเพียง 1 KB x 8 ก่อน โดยพิจารณาดูว่าสายข้อมูล I/O จะมี 4 บิต และถ้าใช้ 2 ชิปขนานกันจะเป็น 8 บิต แต่ยังคงใช้แอดเดรสร่วมกัน รูปแบบของการต่อชิปแบบขนานจะเป็นดังแสดงในรูปที่ 3.14



รูปที่ 13.4 การใช้ RAM เบอร์ 2114 จำนวน 2 ตัว ประกอบกันเป็นหน่วยความจำที่มีขนาดความจุ 1 KB x 8

จากการใช้ 2 ชิปมาต่อขนานกัน จะทำให้ได้ความกว้างของข้อมูลเพิ่มจาก 4 บิตเป็น 8 บิต ซึ่งตรงกับบัสของ Z-80 ได้พอดี ทำให้สามารถเชื่อมต่อกับระบบบัสของ Z-80 ได้ ดังแสดงในรูปที่ 3.15 ซึ่งเป็นรูปที่แสดงถึงการเชื่อมต่อระหว่าง RAM เบอร์ 2114 กับ Z-80 เพื่อเป็นหน่วยความจำในระบบขนาด 1 KB x 8

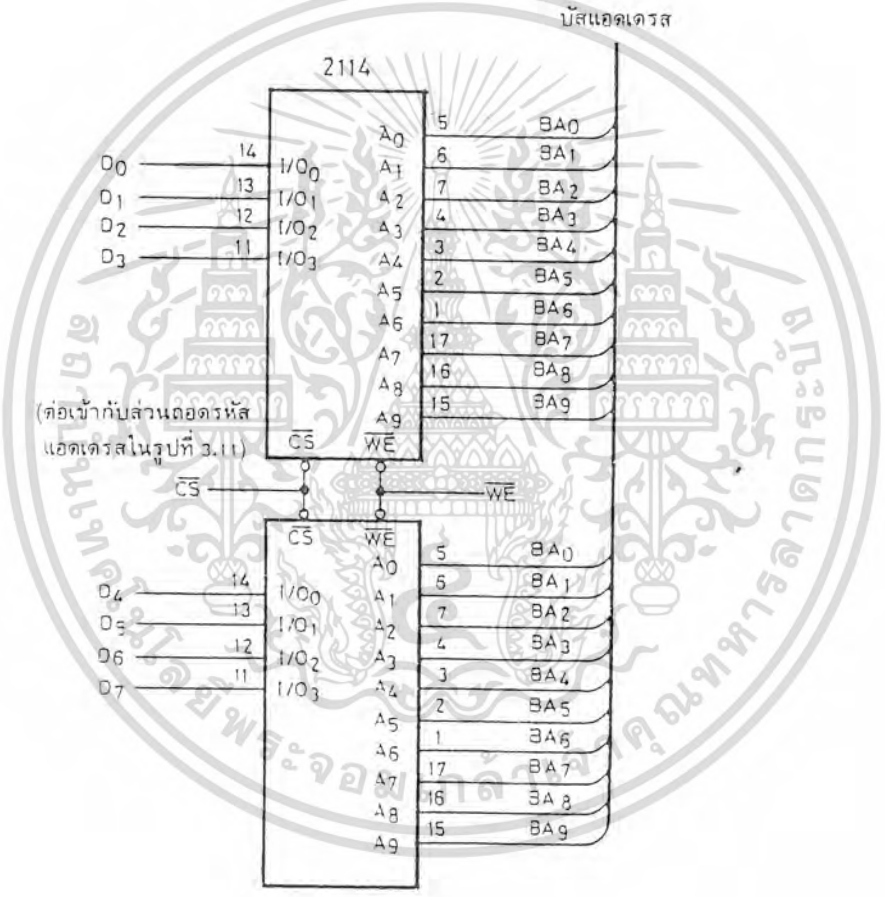
จากการที่ Z-80 มีระบบบัสแอดเดรสจำนวน 16 เส้นคือ A_0-A_{15} แต่จาก RAM ที่กำหนดไว้ในรูปที่ 3.15 มีบัสแอดเดรสเพียง A_0-A_9 ดังนั้นจึงต้องใช้ A_{10}-A_{15} มาทำการถอดรหัส ซึ่งสามารถแสดงการถอดรหัสเพื่อการกำหนดแอดเดรสได้ดังในรูปที่ 3.16

จากรูปที่ 3.16 A_{12}-A_{15} จะต่อผ่านเข้าเป็นอินพุตให้กับ 74LS42 และจะถอดรหัส 4 บิตออกจากกัน ในที่นี้จะเห็นว่าจากรหัส 4 บิตที่อยู่ด้านบนนี้ เราจะแยกหน่วยความจำออกเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

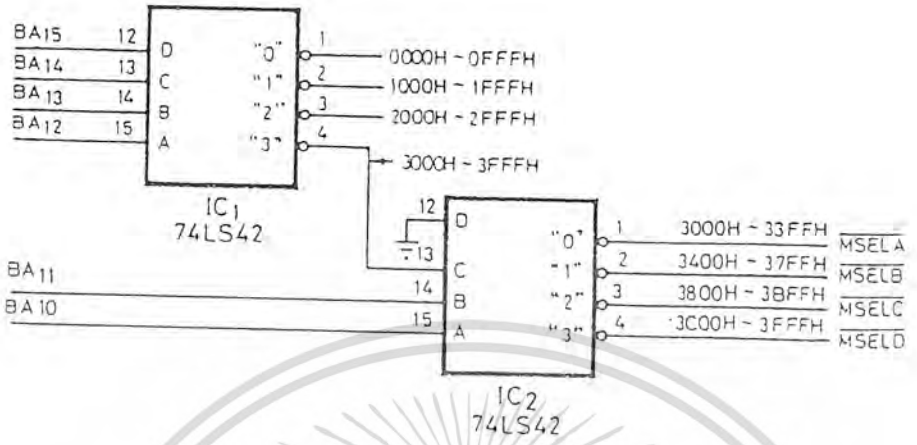
0000H-0FFFH, 1000H-1FFFH, 2000H-2FFFH,... ถ้าเราเลือกขาที่ 4 ซึ่งเท่ากับการถอดรหัสที่ลอจิก "3" หรือหน่วยความจำที่เลือกเป็น 3000H-3FFFH แต่ RAM ที่เราใช้ตามรูปที่ 3.10 จะมีขนาดความจุเพียง 1 KB x 8 จึงต้องแยกส่วนด้วย A_{10}-A_{11} โดยผ่านการถอดรหัสเพิ่มเติมอีกในที่นี้ยังคงใช้ 74LS42 ซึ่งเป็นผลให้สามารถแยกแอดเดรสออกมาเป็น 4 ส่วน สาวนละ 1 กิโลไบต์พอดี

จะเห็นว่าการต่อสายแอดเดรสเพื่อใช้ในการเลือกชิปทำได้ด้วยการถอดรหัสวงจร ซึ่งจากกรณีนี้จะทำให้เราสามารถเลือกหน่วยความจำให้อยู่ในบล็อกไหนก็ได้ตามความต้องการ



รูปที่ 3.15 การเชื่อมต่อ RAM เบอร์ 2114 จำนวน 2 ตัวกับระบบบัสของ Z-80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



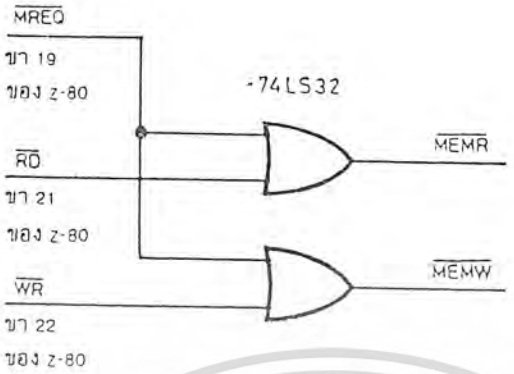
รูปที่ 3.16 วงจรการถอดรหัสสำหรับการกำหนดแอดเดรส

3.5.3 การสร้างสัญญาณควบคุมการเขียนและการอ่านหน่วยความจำ

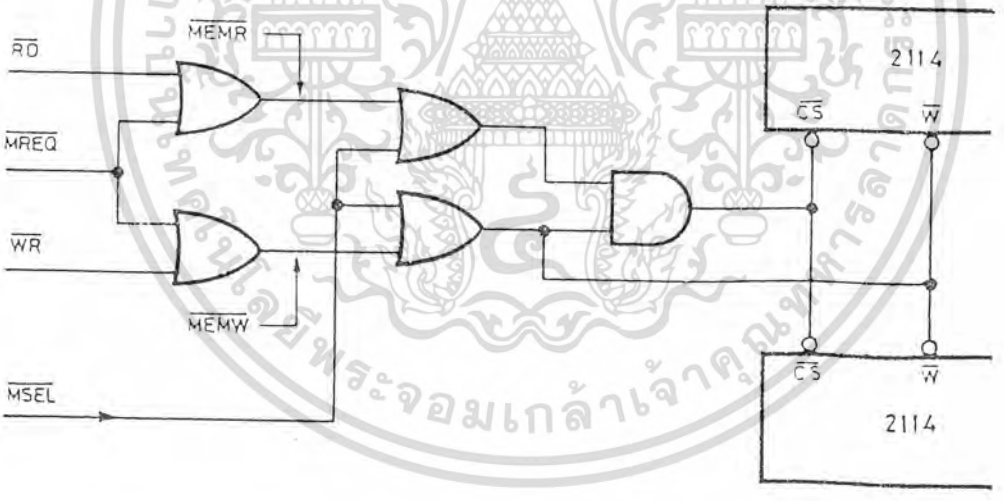
Z-80 ได้สร้างสัญญาณควบคุมการเขียนและการอ่านหน่วยความจำไว้แล้ว โดยมีสัญญาณที่จะเกี่ยวข้องโดยตรงกับหน่วยความจำ 3 สัญญาณคือ สัญญาณ $\overline{\text{MERQ}}$ สัญญาณ $\overline{\text{RD}}$ และสัญญาณ $\overline{\text{WR}}$ ซึ่งสัญญาณ $\overline{\text{MREQ}}$ หมายถึง สัญญาณที่จะบอกว่า Z-80 ต้องการทำการเขียนหรืออ่าน การเขียนนั้นจะต้องให้สัญญาณ $\overline{\text{WR}}$ ไปทำงานร่วมกับสัญญาณ $\overline{\text{CS}}$ เราจึงต้องมีรูปแบบของการต่อเลือกสัญญาณ ดังแสดงในรูปที่ 3.17

จากสัญญาณ $\overline{\text{MREQ}}$ นั้น ต้องรวมกับสัญญาณ $\overline{\text{RD}}$ หรือสัญญาณ $\overline{\text{WR}}$ ก่อน โดยทั้งสัญญาณ $\overline{\text{MERQ}}$ และสัญญาณ $\overline{\text{RD}}$ ต้องแอคทีฟเป็นลอจิก "0" พร้อมกันทั้งคู่ เพื่อจะบอกสภาวะว่าต้องการอ่านหน่วยความจำ ในทำนองเดียวกัน สัญญาณ $\overline{\text{MREQ}}$ กับสัญญาณ $\overline{\text{WR}}$ ก็จะต้องเกิดขึ้นพร้อมกัน ดังนั้นเราจึงนำสัญญาณทั้งสองนี้มา OR กันเสียก่อน ดังที่แสดงในรูปที่ 3.17 และเพื่อให้การทำงานร่วมกันระหว่างสัญญาณ $\overline{\text{CS}}$ กับสัญญาณ $\overline{\text{WE}}$ ในการกำหนด RAM เบอร์ 2114 ให้เป็นทั้งจังหวะการเขียนและการอ่าน เราจะทำร่วมกับการถอดรหัสแอดเดรสเพื่อเลือก RAM ชิปที่เราต้องการ ลักษณะการต่อร่วมกับตัวเลือกหน่วยความจำจากรูปที่ 3.11 จะได้วงจรที่สมบูรณ์สำหรับการเลือกสัญญาณ $\overline{\text{CS}}$ และสัญญาณ $\overline{\text{WE}}$ ดังแสดงในรูปที่ 3.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 การสร้างสัญญาณ $\overline{\text{MEMR}}$ และสัญญาณ $\overline{\text{MEMW}}$ เพื่อใช้ในการควบคุมการเขียนและการอ่านหน่วยความจำ



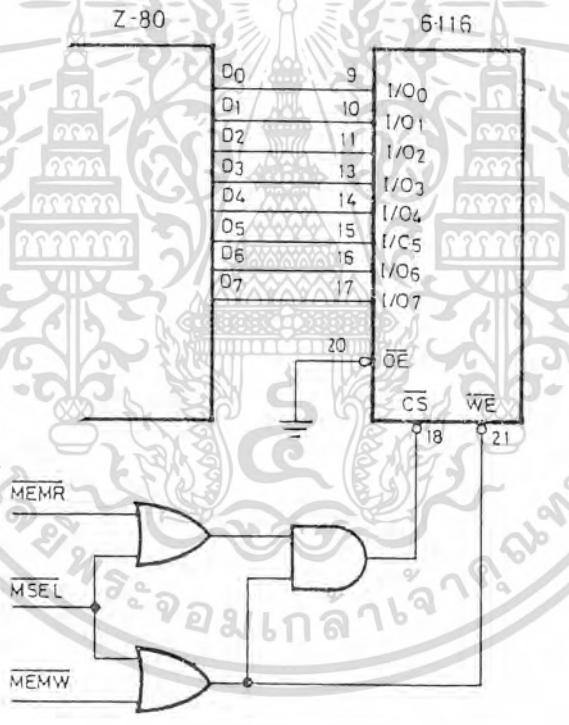
รูปที่ 3.18 วงจรสำหรับการต่อเลือกสัญญาณ $\overline{\text{CS}}$ และสัญญาณ $\overline{\text{WE}}$ ของ RAM เบิร์ 2114 เข้ากับ Z-80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.4 เมื่อใช้ RAM เบอร์ 6116

RAM เบอร์ 6116 เป็น RAM ที่มีขนาดความจุของหน่วยความจำถึง 2 KB x 8 โดย RAM ชิปนี้จะมีสายแอดเดรส 11 เส้น และสาย I/O จำนวน 8 เส้นสำหรับต่อเข้ากับบัสข้อมูล การควบคุมจะมีสัญญาณ $\overline{WE}$ และสัญญาณ $\overline{CS}$ เหมือน RAM เบอร์ 2114 แต่เพิ่มสัญญาณ $\overline{OE}$ หรือการอีนาเบิลสัญญาณที่สาย I/O อีก 1 สัญญาณ รายละเอียดข้อมูลทางเทคนิคของ RAM เบอร์ 6116 แสดงได้ดังรูปที่ 3.17

เนื่องจาก RAM เบอร์ 6116 เป็นชิปที่มีขนาดความจุมากขึ้นคือ มีขนาดความจุ 2 KB x 8 ดังนั้นในการต่อเข้ากับระบบจึงทำได้ง่ายกว่า RAM เบอร์ 2114 โดยเราสามารถนำสัญญาณแอดเดรส A_0-A_{10} ต่อเข้ากับบัสแอดเดรสได้ ส่วนสาย I/O ทั้ง 8 เส้น ก็ต่อเข้ากับบัสข้อมูลได้เช่นกัน ที่เหลือคือสัญญาณควบคุมการเขียนและการอ่านก็สามารถต่อได้เช่นเดียวกับที่กล่าวมาแล้ว การต่อ RAM เบอร์ 6116 เข้ากับระบบแสดงได้ดังรูปที่ 3.19



รูปที่ 3.19 การต่อ RAM เบอร์ 6116 เข้ากับ Z-80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 พอร์ตข้อมูลแบบขนาน 8255

การใช้งานไมโครโปรเซสเซอร์ส่วนใหญ่ จะต้องเชื่อมต่อกับอุปกรณ์ภายนอก เช่น สวิตช์ รีเลย์ หรือตัวตรวจจับอื่น ๆ การเชื่อมต่อในลักษณะดังกล่าวจะเชื่อมต่อกับพอร์ตอินพุตเอาต์พุต เพื่อให้ไมโครโปรเซสเซอร์ส่งสัญญาณควบคุมไปยังอุปกรณ์ต่าง ๆ ตามเงื่อนไขที่เกิดขึ้นและสามารถตรวจสอบได้ด้วยไมโครโปรเซสเซอร์เอง

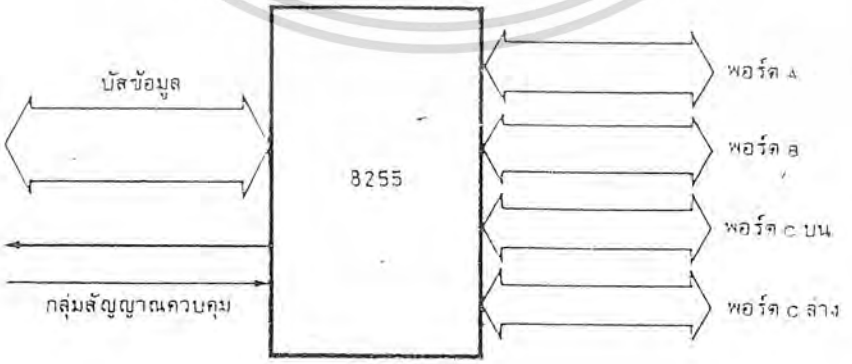
การเชื่อมต่อกับพอร์ตอินพุตในลักษณะที่ง่ายที่สุดคือ การเชื่อมต่อโดยใช้เกตลอจิก 3 สถานะ โดยสัญญาณควบคุมพอร์ตอินพุตจะเป็นตัวไปเปิดเกตให้ข้อมูลเข้าสู่บัสและไมโครโปรเซสเซอร์จะอ่านเข้าไป แต่สำหรับพอร์ตเอาต์พุตจะใช้แลตช์ฟลิปฟลอปทำหน้าที่รับสัญญาณข้อมูลจากไมโครโปรเซสเซอร์ที่ส่งเข้าไปในบัสและได้รับการจับไว้ที่พอร์ตในขณะที่มีสัญญาณควบคุมพอร์ตทริกมาที่ขาแลตช์

พอร์ตอินพุตเอาต์พุตที่ใช้เกตขนาดเล็กดังกล่าว ยังมีจุดอ่อนในเรื่องของจำนวนไอซี ซึ่งอาจต้องใช้หลายชิป (ถ้าต้องการหลายพอร์ต) และยากที่จะกำหนดลักษณะการทำงานให้แตกต่างไปจากวงจรเดิมที่ออกแบบไว้ บริษัทผู้ออกแบบไมโครโปรเซสเซอร์ส่วนใหญ่จึงออกแบบ LSI ชิปเพื่อทำหน้าที่เป็นพอร์ตอินพุตเอาต์พุตของระบบ ซึ่งมีข้อดีในเรื่องการใช้งานได้ง่าย ในบทนี้จะได้กล่าวถึงการประยุกต์ใช้ไอซี LSI ที่ทำหน้าที่เป็นพอร์ตอินพุตเอาต์พุต ไอซี LSI ที่เรารู้จักกันดีมากที่สุด มีราคาถูก และหาได้ง่ายคือ ไอซี 8255 ของบริษัทอินเทล

8255 เป็นไอซีในตระกูลของ 8080 ซึ่งบริษัทอินเทลได้ออกแบบมาให้ใช้งานร่วมกับซีพียู 8080 อย่างไรก็ตาม เราสามารถนำมาประยุกต์ใช้กับ Z-80 ได้ง่ายเช่นกัน

3.6.1 รู้จักกับไอซี 8255

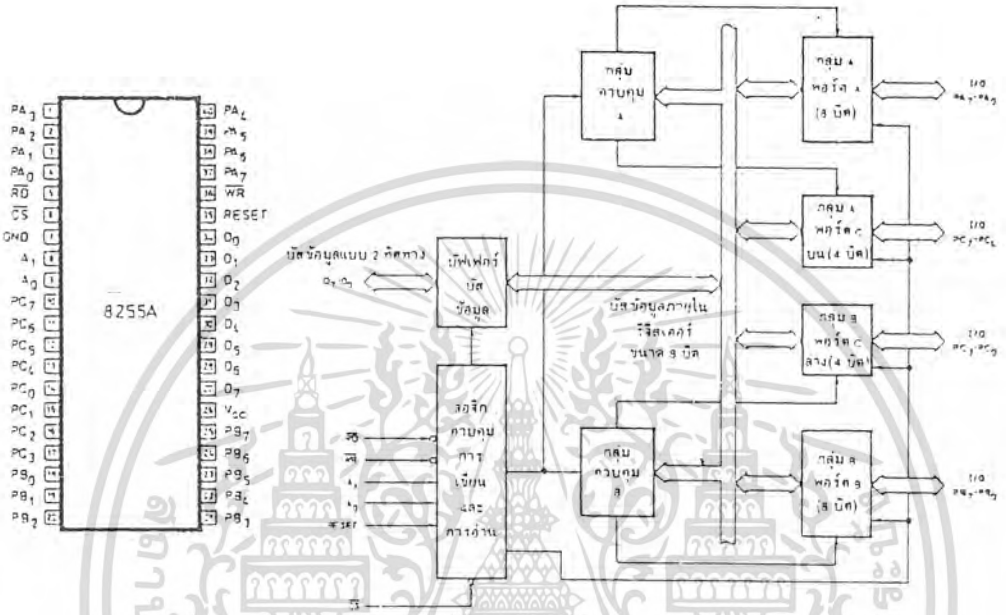
8255 เป็นไอซีที่มี 40 ขา ได้รับการออกแบบมาให้สัญญาณเพื่อเชื่อมต่อกับ 8080 แต่สัญญาณนี้พอเหมาะที่จะใช้กับ Z-80 ได้ดีเช่นเดียวกัน 8255 เป็นไอซีที่ต่อเป็นพอร์ตให้ไมโครโปรเซสเซอร์ได้ 3 พอร์ต โดยมีโครงสร้างพื้นฐานแสดงได้ดังรูปที่ 3.20



รูปที่ 3.20 แผนผังโครงสร้างของไอซี 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเรียกพอร์ตของ 8255 จะเรียกพอร์ตต่าง ๆ ว่า พอร์ต A พอร์ต B และพอร์ต C โดยพอร์ต C แยกเป็น 2 ส่วนคือ พอร์ต C ล่างหรือตั้งแต่ PC_0-PC_3 มีจำนวน 4 บิต และพอร์ต C บนหรือตั้งแต่ PC_4-PC_7 ที่พิเศษคือ พอร์ตทุกพอร์ตเป็นได้ทั้งพอร์ตอินพุตและพอร์ตเอาต์พุต



รูปที่ 3.12 แผนผังวงจรภายในและการจัดขาของไอซี 8255

รูปที่ 3.21 เป็นแผนผังภายในของไอซีและการจัดวางขาของไอซี 8255 การทำงานของวงจรจะใช้สัญญาณควบคุมจากไมโครโปรเซสเซอร์มาควบคุมการทำงาน โดยไมโครโปรเซสเซอร์จะส่งคำสั่งมาโปรแกรมการทำงานหรือกำหนดรูปแบบของพอร์ตให้เป็นอินพุตหรือเอาต์พุตได้

3.6.2 ขาต่าง ๆ ของ 8255

เพื่อให้เข้าใจวิธีการต่อใช้งานระหว่าง Z-80 กับ 8255 จึงจำเป็นต้องเข้าใจความหมายและตำแหน่งของขาต่าง ๆ เสียก่อน ขาทั้ง 40 ขา ของไอซีประกอบด้วย

D_0-D_7 เป็นขาที่ข้อมูลอินพุตเอาต์พุตจะต้องผ่านเข้าออกจากส่วนนี้ D_0-D_7 จึงต่อเข้ากับระบบบัสของไมโครโปรเซสเซอร์ เพื่อให้ไมโครโปรเซสเซอร์สามารถอ่านหรือเขียนข้อมูลจากพอร์ตผ่านทางบัสนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{CS}$ (สัญญาณเลือกชิป) ขานี้เป็นขาอินพุตที่จะรับสัญญาณจากภายนอกเพื่อเลือกชิป 8255 โดยเมื่อขานี้เป็น "0" จะทำให้ 8255 ต่อเข้ากับระบบบัสของไมโครโปรเซสเซอร์เพื่อให้ไมโครโปรเซสเซอร์เขียนหรืออ่านข้อมูลจากพอร์ตได้
จากพอร์ตได้

$\overline{RD}$ (สัญญาณการอ่าน) เป็นสัญญาณอินพุตที่ต้องการส่งมาจากซีพียู เมื่อสัญญาณที่ขานี้เป็น "0"และสัญญาณ CS เป็น "0" ด้วย ไอซี 8255 จะทำตัวให้ซีพียูอ่านข้อมูลจากบัสในขณะที่เป็นพอร์ตอินพุต

$\overline{WR}$ เป็นสัญญาณการเขียน จะแอคทีฟเมื่อสัญญาณ WR และสัญญาณ CS เป็น "0" สัญญาณนี้จะมาจากซีพียูเมื่อต้องการเขียนข้อมูลลงบนพอร์ตที่กำหนด

A_0-A_1 (สัญญาณแอดเดรส) ลอจิกของสัญญาณทั้งสองจะถอดรหัสออกเป็น 4 รหัส เพื่อกำหนดรีจิสเตอร์ภายในที่เชื่อมต่อกับพอร์ตอินพุตเอาต์พุตของ 8255

$\overline{RESET}$ (สัญญาณรีเซต) เป็นสัญญาณที่ส่งจากภายนอกเข้ามาทำการรีเซต 8255 เพื่อเคลียร์สถานะต่าง ๆ ของ 8255 เมื่อ 8255 ได้รับการรีเซต ก็จะกลับเข้าสู่โหมดอินพุตหรือทุกพอร์ตที่เป็นพอร์ตอินพุต

PA_0-PA_7 เป็นสายสัญญาณที่เป็นพอร์ตของ 8255 ที่ชื่อพอร์ต A การเลือกพอร์ตจะเลือกโดยสัญญาณแอดเดรส A_0-A_1

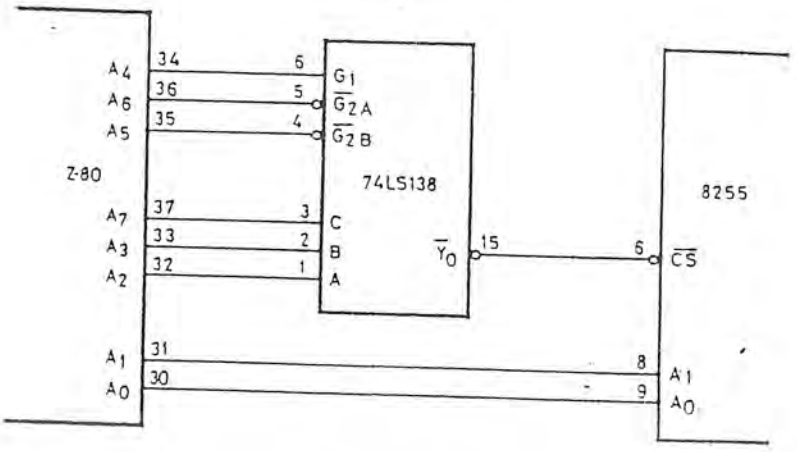
PB_0-PB_7 เป็นสายสัญญาณที่เป็นพอร์ต B ของ 8255 ถูกเลือกโดยสัญญาณแอดเดรส A_0-A_1

PC_0-PC_7 เป็นสายสัญญาณที่เป็นพอร์ต C ของ 8255 การกำหนดพอร์ตนี้จะได้รับการกำหนดโดยสัญญาณแอดเดรส A_0-A_1 พอร์ต C นี้แบ่งเป็น 2 กลุ่มคือ กลุ่ม PC_0-PC_3 และกลุ่ม PC_4-PC_7

3.6.3 การเชื่อมต่อ 8255 กับ Z-80

หากพิจารณาจากขาต่าง ๆ ของ 8255จะเห็นว่า ส่วนขาควบคุมที่จะเชื่อมต่อเข้ากับบัสของไมโครโปรเซสเซอร์นั้นสามารถเชื่อมต่อกับบัสได้ง่าย ในที่นี้จะลองต่อ 8255 เป็นพอร์ตให้กับ Z-80 สมมติว่าต้องการให้ Z-80 มองเห็น 8255 เป็นพอร์ตหมายเลข 10H, 11H, 12H และ 13H การเชื่อมต่อสายสัญญาณการเลือกแอดเดรสของพอร์ตแสดงได้ดังรูปที่ 3.22

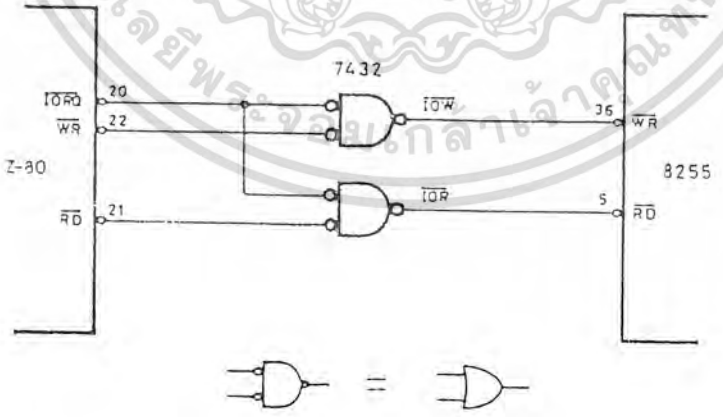
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22 การกำหนดแอดเดรสให้กับ 8255

สังเกตว่า ขณะสัญญาณ $\overline{CS}$ แอคตีฟนั้น สัญญาณแอดเดรส A_7, A_6, A_5, A_4, A_3, A_2 จะต้องมีข้อมูล 000100 และเมื่อรวมกับ A_1, A_0 จะเป็น 000100XX พอร์ตที่เกิดขึ้นเมื่อ A_0, A_1 เป็น 00 คือพอร์ต 10H และถ้า A_1, A_0 เป็น 11 พอร์ตจะเป็น 13H การกำหนดพอร์ตของ Z-80 จะใช้ข้อมูลบนบัสแอดเดรส 8 เส้นคือ A_0-A_7 เท่านั้น

สัญญาณที่จะควบคุม 8255 อีกชุดหนึ่งคือ สัญญาณควบคุมการเขียนและการอ่าน หากสัญญาณ $\overline{WR}$ แอคตีฟเป็น "0" จะหมายถึง การเขียนพอร์ตหรือส่งข้อมูลให้พอร์ตเอาต์พุต แต่ถ้าสัญญาณ $\overline{RD}$ แอคตีฟเป็น "0" จะหมายถึง การอ่านพอร์ตหรือรับข้อมูลอินพุต

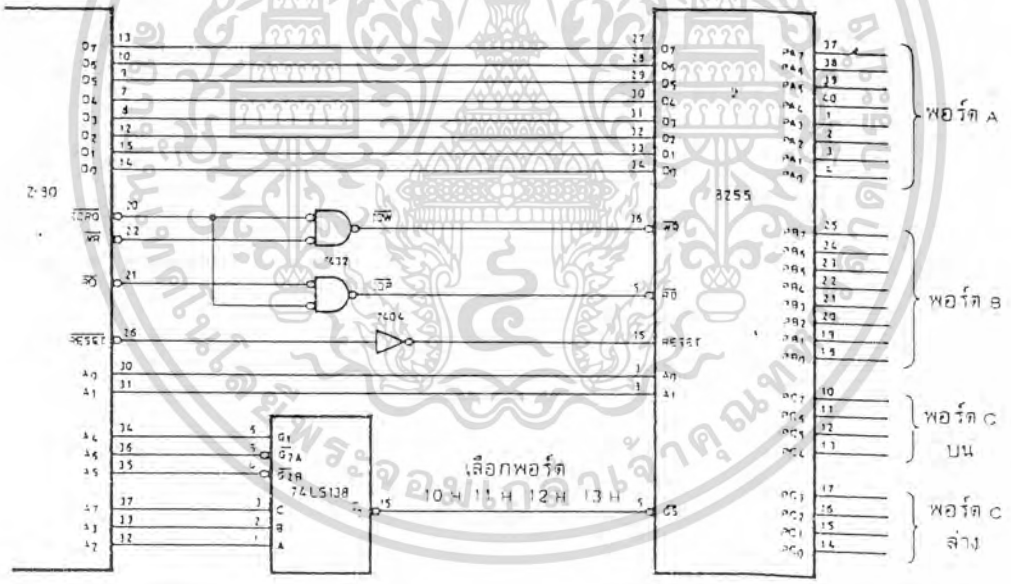


รูปที่ 3.23 วงจรการเชื่อมต่อสัญญาณควบคุมการเขียนและการอ่าน 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้แยกกันระหว่างการเขียนและการอ่านหน่วยความจำกับการเขียนและการอ่านพอร์ตอินพุตเอาต์พุต จึงต้องใช้สัญญาณ $\overline{IORQ}$ ร่วมด้วย กล่าวคือ ถ้าสัญญาณ $\overline{WR}$ เกิดขึ้นพร้อมสัญญาณ $\overline{IORQ}$ จะหมายถึง สัญญาณ $\overline{IOW}$ หรือสัญญาณเขียนพอร์ต และถ้าให้สัญญาณ $\overline{IORQ}$ แอคตีฟพร้อมกับสัญญาณ $\overline{RD}$ จะหมายถึงสัญญาณ $\overline{IOR}$ หรือสัญญาณอ่านพอร์ต ซึ่งการเชื่อมต่อสายสัญญาณควบคุมการเขียนและการอ่านหน่วยความจำแสดงได้ดังรูปที่ 3.23

เมื่อเชื่อมต่อเป็นระบบ จะต้องมีการเชื่อมสายสัญญาณ $\overline{RESET}$ ของ Z-80 มายังขา RESET ของ 8255 การรีเซตของ 8255 ใช้ "1" ซึ่งตรงข้ามกับ Z-80 ดังนั้นจำเป็นต้องมีอินเวอร์เตอร์เปลี่ยนลอจิกก่อน การที่ต้องรีเซต 8255 พร้อมกับ Z-80 ก็เนื่องจากว่า ขณะที่ Z-80 รีเซต เราจะเริ่มจากให้พอร์ตทุกพอร์ตของ 8255 เป็นอินพุต เพื่อว่าอาจมีข้อมูลบางส่วนไปออกที่พอร์ตเอาต์พุตในขณะที่เรายังไม่ต้องการ ซึ่งอาจจะทำให้ระบบอินเตอร์เฟสภายนอกมีปัญหาได้ เพราะเราไม่รู้สถานะที่แน่นอนของ 8255 ก่อนการโปรแกรมโหมดการทำงาน ระบบการเชื่อมต่อของ 8255 กับ Z-80 ทั้งระบบแสดงได้ดังรูปที่ 3.24



รูปที่ 3.24 การเชื่อมต่อ 8255 กับ Z-80 ทั้งระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.4 รีจิสเตอร์ภายในของ 8255

เมื่อต่อ 8255 เข้ากับ Z-80 ได้แล้ว สิ่งที่ผู้ใช้จะต้องทำก็คือ การโปรแกรมให้ 8255 ทำงานตามที่ต้องการ จากการที่ 8255 มีพอร์ตที่ Z-80 มองเห็น 4 พอร์ต แต่ละพอร์ตจะเสมือนเป็นรีจิสเตอร์ที่สามารถเขียนและอ่านได้ รีจิสเตอร์แต่ละตัวนี้จึงถูกกำหนดด้วยแอดเดรสตามที่ตั้งไว้ เช่น ในกรณีที่เป็นแอดเดรส 10H, 11H, 12H และ 13H รีจิสเตอร์แต่ละตัวจะได้รับการกำหนดควบคู่กับสัญญาณ $\overline{RD}$ และ $\overline{WR}$ เพื่อแสดงความหมาย ตัวอย่างเช่น พอร์ต 10H เป็นพอร์ต A ซึ่งเมื่อเขียนที่พอร์ตนี้ จะเป็นการส่งข้อมูลเอาต์พุต และถ้าอ่านพอร์ตนี้ก็จะเป็นการอินพุตข้อมูลจากพอร์ต ดังนั้นสัญญาณของขาควบคุมที่ประกอบกันจะแสดงความหมายดังตารางที่ 3.2

ตารางที่ 3.2 สัญญาณควบคุมการกระทำของ 8255

$\overline{RD}$	$\overline{WR}$	$\overline{A1}$	$\overline{A0}$	ความหมาย:
1	0	0	0	เขียนพอร์ต A ซึ่งเป็นข้อมูล
0	1	0	0	อ่านพอร์ต A ซึ่งเป็นข้อมูล
1	0	0	1	เขียนพอร์ต B ซึ่งเป็นข้อมูล
0	1	0	1	อ่านพอร์ต B ซึ่งเป็นข้อมูล
1	0	1	0	เขียนพอร์ต C ซึ่งเป็นข้อมูล
0	1	1	0	อ่านพอร์ต C ซึ่งเป็นข้อมูล
1	0	1	1	เขียนข้อมูล ซึ่งเป็นรหัสควบคุม
0	1	1	1	อ่านเข้ามา ซึ่งไม่มีความหมายใด

การใช้งาน 8255 จะต้องส่งรหัสควบคุม (control code) เข้าไปยังพอร์ตข้อมูลควบคุม เพื่อควบคุมการทำงานของ 8255 โดยใช้สัญญาณควบคุมพอร์ตหมายเลข 13H การควบคุมการทำงานของ 8255 มีหลายโหมด แต่ละโหมดจะแตกต่างกันออกไป การโปรแกรมให้ 8255 ทำงานจะทำได้ 3 โหมด คือ โหมด 0 โหมด 1 และโหมด 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

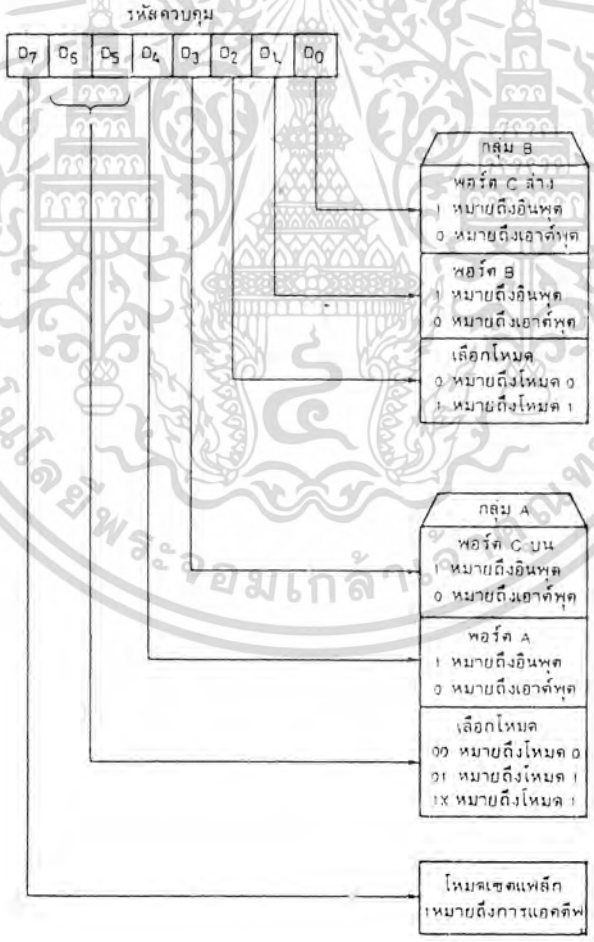
7.5.6 โหมด 0 หรืออินพุตเอาต์พุตแบบพื้นฐาน

การกำหนดโหมดการทำงาน จะต้องส่งข้อมูลคำสั่งเข้าไปโปรแกรมในพอร์ตควบคุมของ 8255 ซึ่งในที่นี้ใช้พอร์ตหมายเลข 13H (ตามรูปที่ 3.22) แต่ละบิตของข้อมูลที่ส่งไปจะมีความหมายในตัวเอง ลักษณะความหมายของแต่ละบิตในรหัสควบคุมแสดงได้ดังรูปที่ 3.25

การโปรแกรม 8255 คือ การให้ค่ารหัสบิตต่าง ๆ เข้าไปในรหัสควบคุมแล้วส่งไปยังรีจิสเตอร์ของพอร์ตควบคุม ความหมายของบิตต่าง ๆ มีดังนี้

บิต D_7 เป็นบิตที่แสดงรหัสคำสั่งควบคุม ถ้าบิตนี้เป็น "1" หมายถึงรหัสควบคุมนี้จะมีผลต่อการเปลี่ยนแปลงการเซตโหมดต่าง ๆ ของ 8255

บิต D_6 และ D_5 เป็นการเลือกโหมดของพอร์ต A ซึ่งมี 3 โหมดคือ โหมด 0 โหมด 1 และโหมด 2 ดังแสดงในรูปที่ 3.25



รูปที่ 3.25 ความหมายของบิตต่าง ๆ ในรหัสควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต D_4 ถ้ามีค่าเป็น "0" หมายถึงการกำหนดพอร์ต A เป็นเอาต์พุต ถ้ามีค่าเป็น "1" จะหมายถึงการกำหนดให้พอร์ต A เป็นอินพุต

บิต D_3 เป็นบิตที่บอกถึงการเซตของพอร์ต C บน ถ้าเป็น "0" จะทำให้พอร์ต C บนเป็นเอาต์พุต

บิต D_2 เป็นบิตที่บอกถึงการเซตโหมดของพอร์ต B ถ้าเป็น "0" หมายถึง การเลือกพอร์ต B เป็นโหมด 0 และถ้าเป็น "1" หมายถึงการเลือกโหมด 1

บิต D_1 เป็นการกำหนดอินพุตเอาต์พุตของพอร์ต B ถ้าเป็น "0" หมายถึงเอาต์พุต ถ้าเป็น "1" หมายถึงอินพุต

บิต D_0 เป็นการกำหนดอินพุตเอาต์พุตของพอร์ต C ล่าง ถ้าเป็น "0" หมายถึงเอาต์พุต ถ้าเป็น "1" หมายถึงอินพุต

การโปรแกรม 8255 จะเริ่มจากการเซตค่าที่ต้องการแล้วเอาต์พุตไปยังพอร์ตควบคุม เช่น ถ้าต้องการโปรแกรมให้ทั้งพอร์ต A, B และ C เป็นพอร์ตเอาต์พุตหมด เราจะเลือก 8255 ให้อยู่ในโหมด 0 โดยมีรหัสควบคุมเป็น 10000000 หรือ 80H ดังนั้นจึงเขียนคำสั่งได้เป็น

```
LD A,80H        หมายถึงกำหนดรหัสควบคุม
OUT(13H),A      หมายถึงส่งไปยังพอร์ตควบคุม
```

หลังจากที่กระทำคำสั่ง OUT นี้ผ่านไปแล้ว พอร์ต A,B และ C จะเป็นพอร์ตเอาต์พุตหมด ซึ่งก็จะส่งข้อมูลจากซีพียูไปยังพอร์ตต่าง ๆ ได้ เช่น ถ้าต้องการส่งข้อมูล 8AH ไปยังพอร์ต A ข้อมูล 41H ไปยังพอร์ต B และข้อมูล 25H ไปยังพอร์ต C คำสั่งที่ใช้คือ

```
LD A,8AH        หมายถึงเลือกค่า 8AH
OUT(10H),A      หมายถึงส่งให้พอร์ต A
LD A,41H        หมายถึงเลือกค่า 41H
OUT(11H),A      หมายถึงส่งให้พอร์ต B
LD A,25H        หมายถึงเลือกค่า 25H
OUT(12H),A      หมายถึงส่งให้พอร์ต C
```

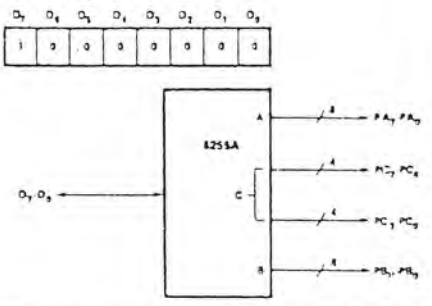
เนื่องจากมีพอร์ตที่รับส่งข้อมูล 3 พอร์ตคือ พอร์ต A พอร์ต B และพอร์ต C ซึ่งพอร์ต C จะแยกออกเป็น 2 ส่วนคือ พอร์ต C ล่าง และพอร์ต C บน เราสามารถโปรแกรมให้ทั้ง 4 พอร์ตนี้เป็นอินพุตหรือเอาต์พุตก็ได้ เช่น ถ้าให้รหัสควบคุมเป็น 82H จะทำให้พอร์ต B เป็นอินพุต พอร์ต A และพอร์ต C เป็นเอาต์พุต

7.6.6 การทำงานในโหมด 0

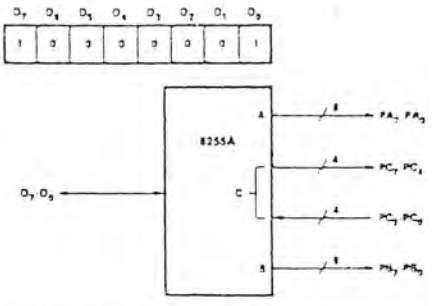
โหมด 0 เป็นโหมดที่กำหนดให้พอร์ตทุกพอร์ตบนตัว 8255 เป็นพอร์ตอินพุตเอาต์พุตแบบพื้นฐาน รูปแบบความเป็นไปได้จึงมีทั้งสิ้น 16 รูปแบบตามลักษณะของพอร์ต A พอร์ต B พอร์ต C บนและพอร์ต C ล่าง ลักษณะของรหัสควบคุมแต่ละแบบจะเป็นดังรูปที่ 3.26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

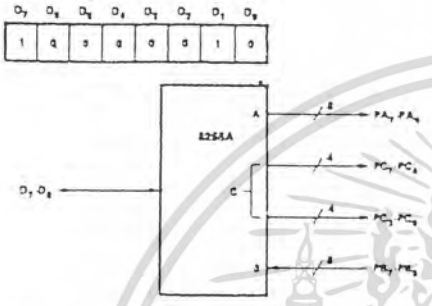
รหัสควบคุม # 0



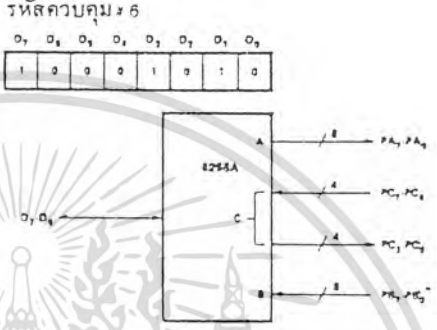
รหัสควบคุม # 1



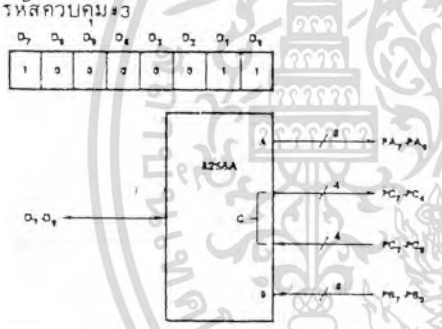
รหัสควบคุม # 2



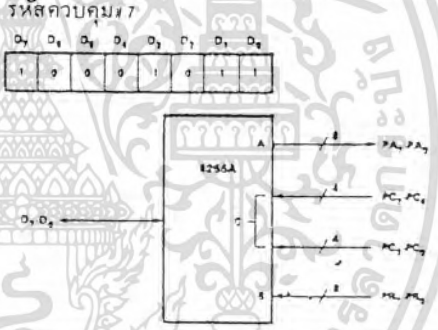
รหัสควบคุม # 6



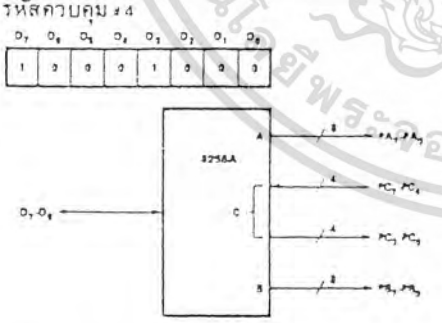
รหัสควบคุม # 3



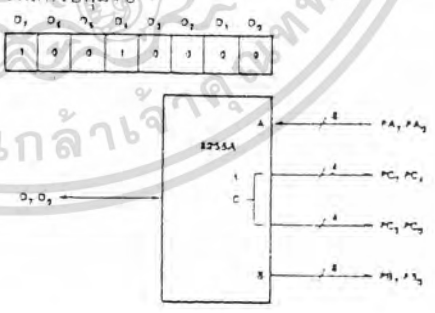
รหัสควบคุม # 7



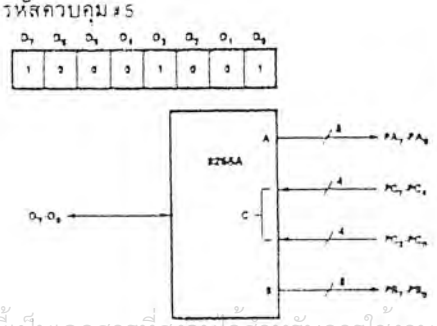
รหัสควบคุม # 4



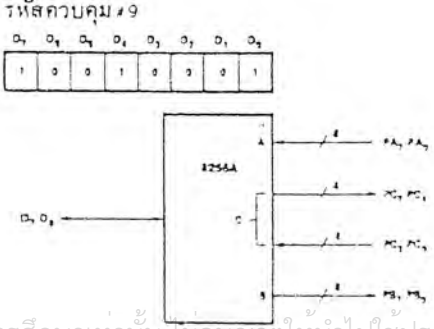
รหัสควบคุม # 8



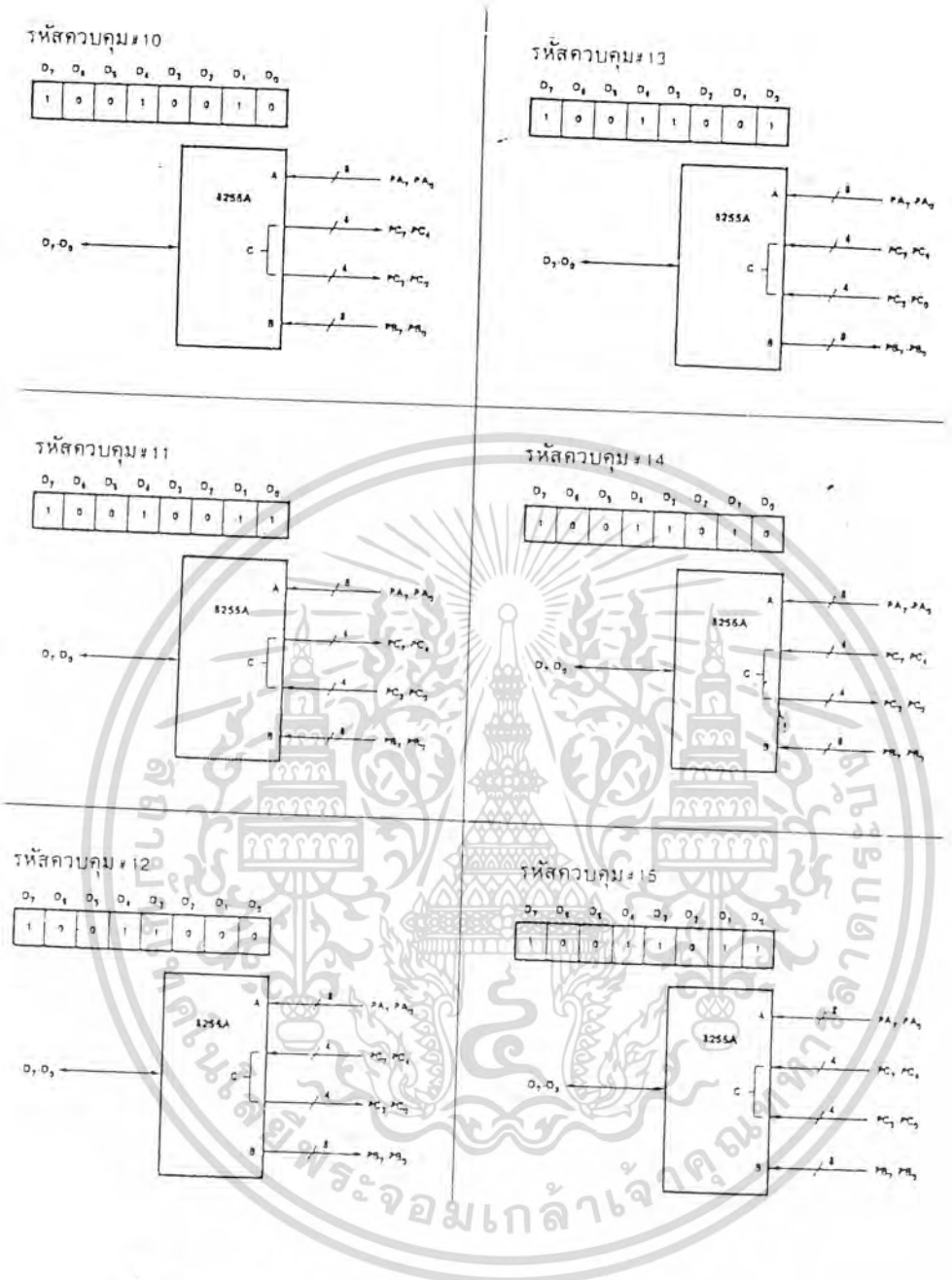
รหัสควบคุม # 5



รหัสควบคุม # 9



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

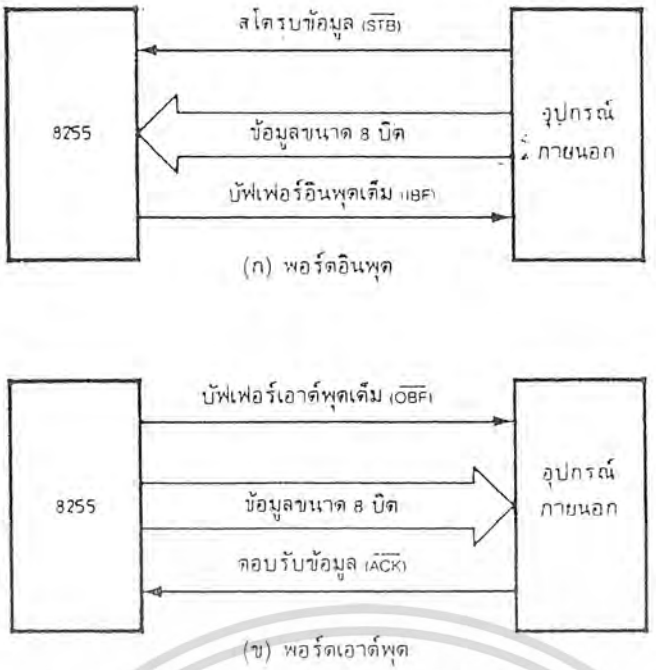


รูปที่ 3.26 ลักษณะของรหัสควบคุมแบบต่าง ๆ ในโหมด 0

3.6.7 การทำงานของ 8255 ในโหมด 1

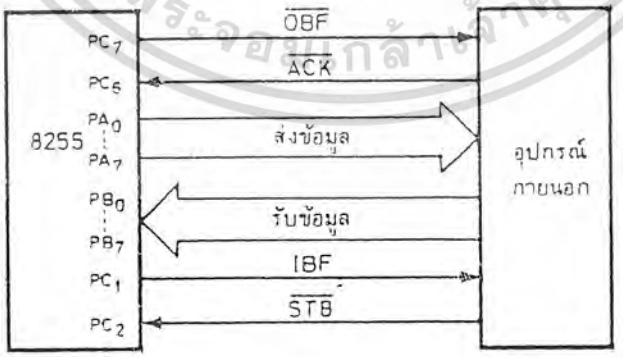
การทำงานของ 8255 ในโหมด 1 เป็นโหมดที่ทำให้อินพุตเอาต์พุตมีการตรวจสอบสัญญาณ (Handshaking) โดยใช้อินพุตเอาต์พุตของพอร์ต A และพอร์ต B เป็นหลัก และใช้พอร์ต C บนเป็นตัวตรวจสอบสัญญาณ (Handshake) ของพอร์ต A ส่วนพอร์ต C ล่างเป็นตัวตรวจสอบสัญญาณของพอร์ต B การจัดสัญญาณต่าง ๆ เหล่านี้ แสดงได้ดังรูปที่ 3.27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.27 โครงสร้างตัวตรวจสอบสัญญาณของพอร์ตอินพุตและพอร์ตเอาต์พุต

แนวความคิดของการใช้พอร์ตอินพุตเอาต์พุตโดยมีตัวตรวจสอบสัญญาณก็เพื่อให้มีการชิงโครไนซ์ระหว่างอุปกรณ์ภายนอกที่ทำงานได้ช้ากับการทำงานของคอมพิวเตอร์ที่ทำงานได้เร็ว เช่น เครื่องพิมพ์ทำงานได้ช้า เมื่อคอมพิวเตอร์ส่งตัวอักษรตัวแรกมาพิมพ์ เครื่องพิมพ์รับตัวอักษรและกำลังจะพิมพ์ คอมพิวเตอร์ก็ส่งตัวอักษรตัวที่ 2 ตัวที่ 3 ตามมา ทำให้การประมวลผลของอุปกรณ์เครื่องพิมพ์ทำงานไม่ทัน ซึ่งอาจทำให้ข้อมูลสูญหาย ดังนั้นเครื่องพิมพ์จึงส่งสัญญาณบอกคอมพิวเตอร์ว่า "อย่าเพิ่งส่งมาเพราะยังไม่พร้อมที่จะรับ" ลักษณะของการรับส่งข้อมูลอินพุตเอาต์พุตแบบมีตัวตรวจสอบสัญญาณดังรูปที่ 3.27 นั้นจะใช้ PA_0-PA_7 เป็นเอาต์พุต และ PB_0-PB_7 เป็นอินพุตโดยมีพอร์ต C เป็นตัวตรวจสอบสัญญาณ ดังแผนผังในรูปที่ 3.28



รูปที่ 3.28 วงจรการต่อ 8255 ในโหมด 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อโปรแกรม 8255 เป็นโหมด 1 แล้ว ตัว 8255 จะให้พอร์ต C เป็นสัญญาณควบคุม โดยแต่ละบิตของพอร์ต C เป็นไปตามที่กำหนดไว้ ดังตารางที่ 3.3

ตารางที่ 3.3 หน้าที่ของสัญญาณต่าง ๆ ของพอร์ต C ในการทำงานเป็นตัวตรวจสอบสัญญาณ เมื่อ 8255 ทำงานในโหมด 1

ขา	กรณีอินพุต	กรณีเอาต์พุต
PC_0	$INTR_B$	$INTR_B$
PC_1	IBF_B	$\overline{OBF}_B$
PC_2	$\overline{STB}_B$	$\overline{ACK}_B$
PC_3	$INTR_A$	$INTR_A$
PC_4	$\overline{STB}_A$	I/O
PC_5	IBF_A	I/O
PC_6	I/O	$\overline{ACK}_A$
PC_7	I/O	$\overline{OBF}_A$

โดยปกติ 8255 จะให้สัญญาณอินเตอร์รัพต์ไปบอกซีพียูด้วย สัญญาณอินเตอร์รัพต์ของ 8255 จะเกิดขึ้นที่ PC_0 และ PC_3 โดยที่เมื่อบัฟเฟอร์พร้อมแล้วและต้องการให้ซีพียูส่งอินพุตหรือเอาต์พุตมาที่บัฟเฟอร์ สัญญาณอินเตอร์รัพต์ก็จะเกิดขึ้น สังเกตว่า สัญญาณอินเตอร์รัพต์เป็นสัญญาณแอคทีฟ "1" ซึ่งตรงกับของ 8C80 แต่เมื่อใช้กับ Z-80 สัญญาณ $\overline{INT}$ ของ Z-80 จะรับด้วย "0"

7.6.8 การทำงานของ 8255 ในโหมด 2

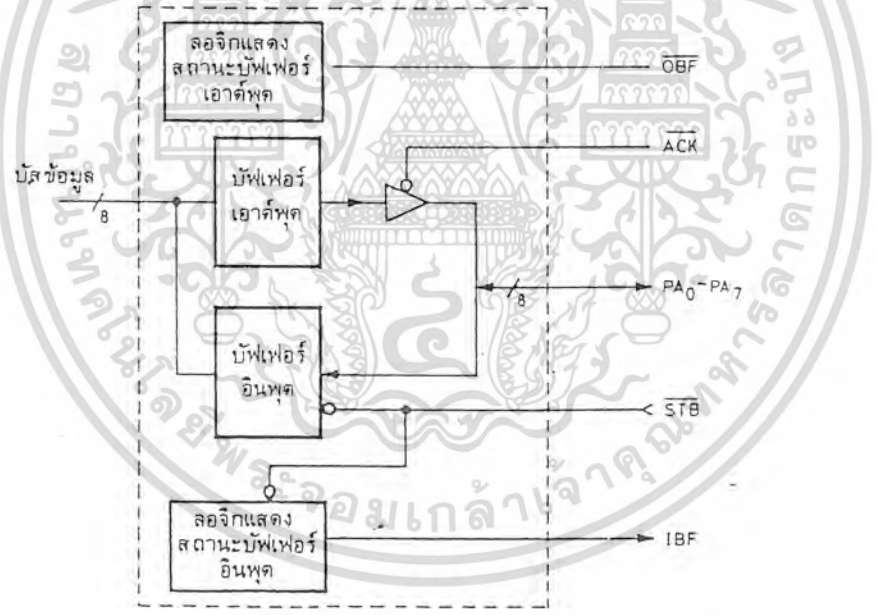
8255 ยังมีโหมดการทำงานอีกโหมดหนึ่งคือ โหมด 2 ซึ่งทำได้เฉพาะพอร์ต A ในโหมดนี้ 8255 จะใช้พอร์ต A ทำหน้าที่เป็นพอร์ตแบบ 2 ทิศทางคือ สามารถเป็นได้ทั้งพอร์ตอินพุตและเอาต์พุต โดยโครงสร้างของพอร์ต A ทั้งอินพุตเอาต์พุตมีตัวตรวจสอบสัญญาณทั้งคู่ ส่วนพอร์ต C จะทำหน้าที่เป็นสัญญาณตรวจสอบ โดยมีสัญญาณแต่ละขาดังตารางที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.4 หน้าที่ของพอร์ต C ในโหมด 2

พอร์ต C	ความหมาย
PC_0	I/O
PC_1	I/O
PC_2	I/O
PC_3	$INTR_A$
PC_4	$\overline{STB}_A$
PC_5	IBF_A
PC_6	$\overline{ACK}_A$
PC_7	$\overline{OBF}_A$

โครงสร้างของพอร์ต A ที่ทำงานแบบ 2 ทิศทาง แสดงได้ดังรูปที่ 3.29



รูปที่ 3.29 โครงสร้างของพอร์ต A ที่ทำงานแบบพอร์ต 2 ทิศทาง

สังเกตว่า เมื่อโปรแกรมพอร์ต A เป็นโหมด 2 แล้ว พอร์ต B จะต้องโปรแกรมเป็นโหมด 0 หรือโหมด 1 ก็ได้ ซึ่งก็ทำงานแบบแยกอิสระอีก ในการใช้งานพอร์ตแบบ 2 ทิศทางนี้ใช้ได้กับงานบางประเภท เช่น ใช้ในการรับส่งข้อมูลของพอร์ตมาตรฐานบางประเภท เช่น IEEE 488 หรือใช้เชื่อมโยงระหว่างคอมพิวเตอร์กับคอมพิวเตอร์ในการรับส่งข้อมูลสลับกันไปและกลับ

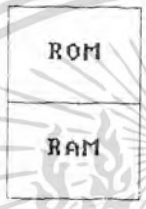
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบวงจรและกำหนดค่าอุปกรณ์

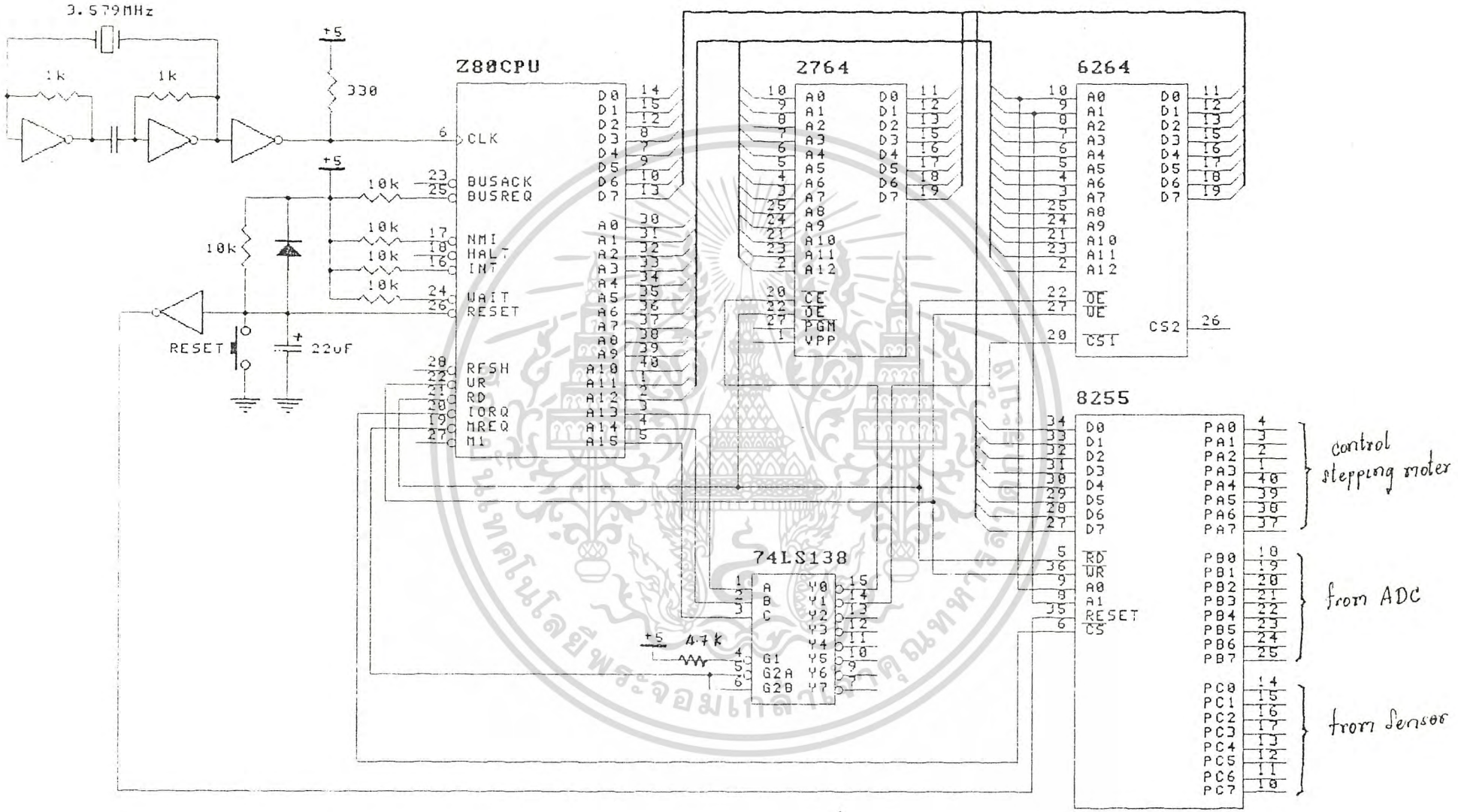
4.1 การออกแบบวงจร Control

ในการออกแบบวงจร Control จะใช้ CPU เบอร์ Z-80 ใช้ ROM เบอร์ 2764 ซึ่งมีหน่วยความจำเท่ากับ 8 kByte ใช้ RAM เบอร์ 6264 ซึ่งมีหน่วยความจำสำหรับอ่านและเขียนได้ 8 kByte เช่นกัน และใช้ IC เบอร์ 8255 เป็น I/O Port และใช้ 74LS138 เป็นตัว Decoder ให้ CPU เลือก ROM หรือ RAM หรือ I/O Port ซึ่งสามารถเขียน Memory Map ได้ตามรูปที่ 4.1 และสามารถออกแบบวงจรได้ตามรูปที่ 4.2



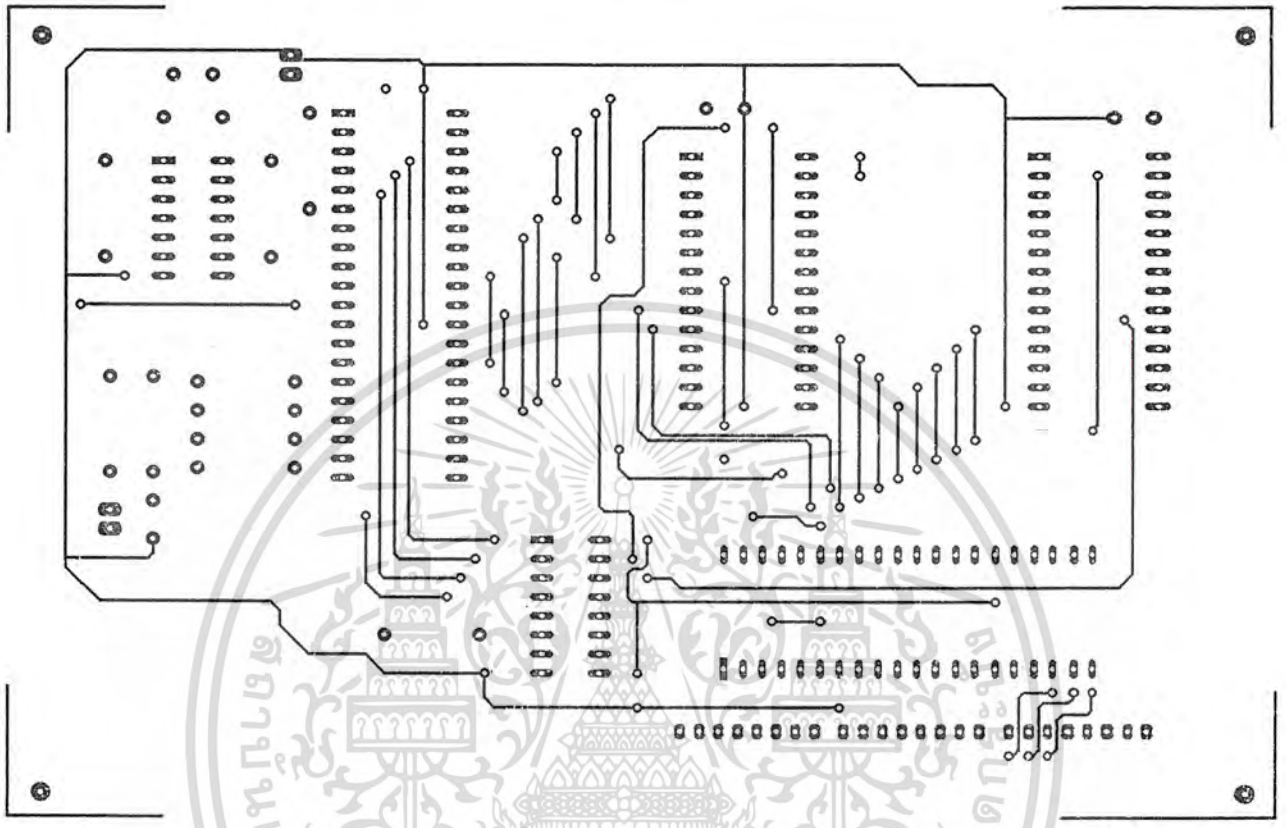
รูปที่ 4.1 Memory Map

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



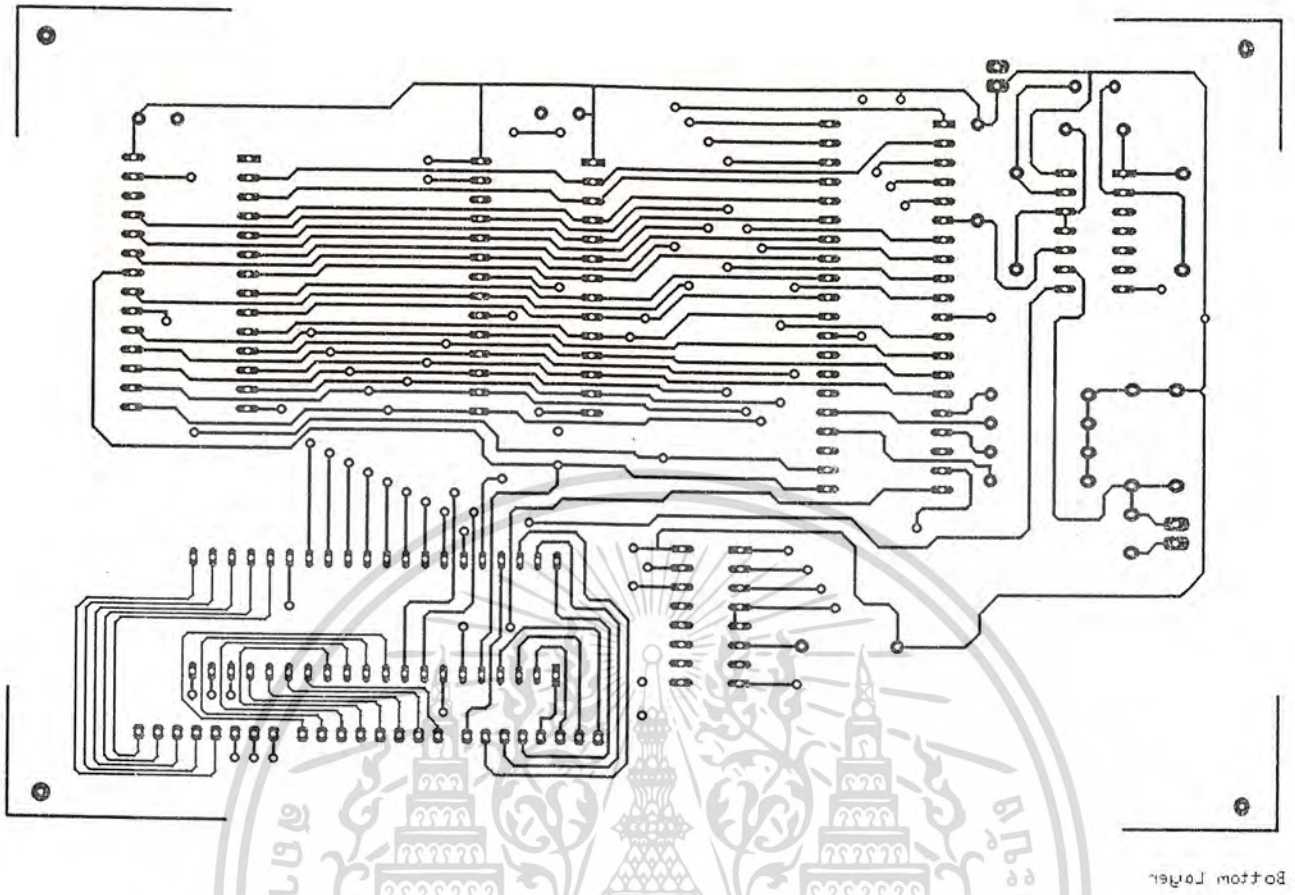
รูปที่ 4.2 วงจร Control

จากรูปที่ 4.2 สามารถออกแบบลายวงจรได้ดังรูปที่ 4.3



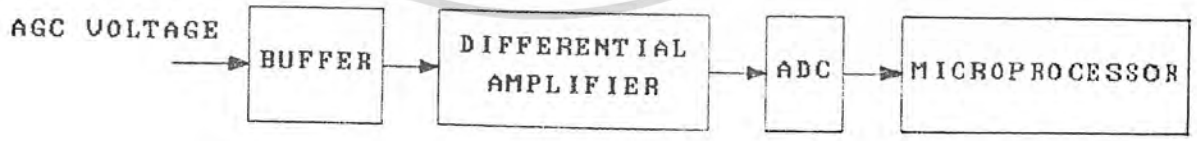
รูปที่ 4.3 ก) ลายวงจรของวงจร Control ด้านหน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 ข) ลายวงจรของ Control ด้านหลัง

4.2 การออกแบบวงจรตรวจสอบแรงดัน AGC



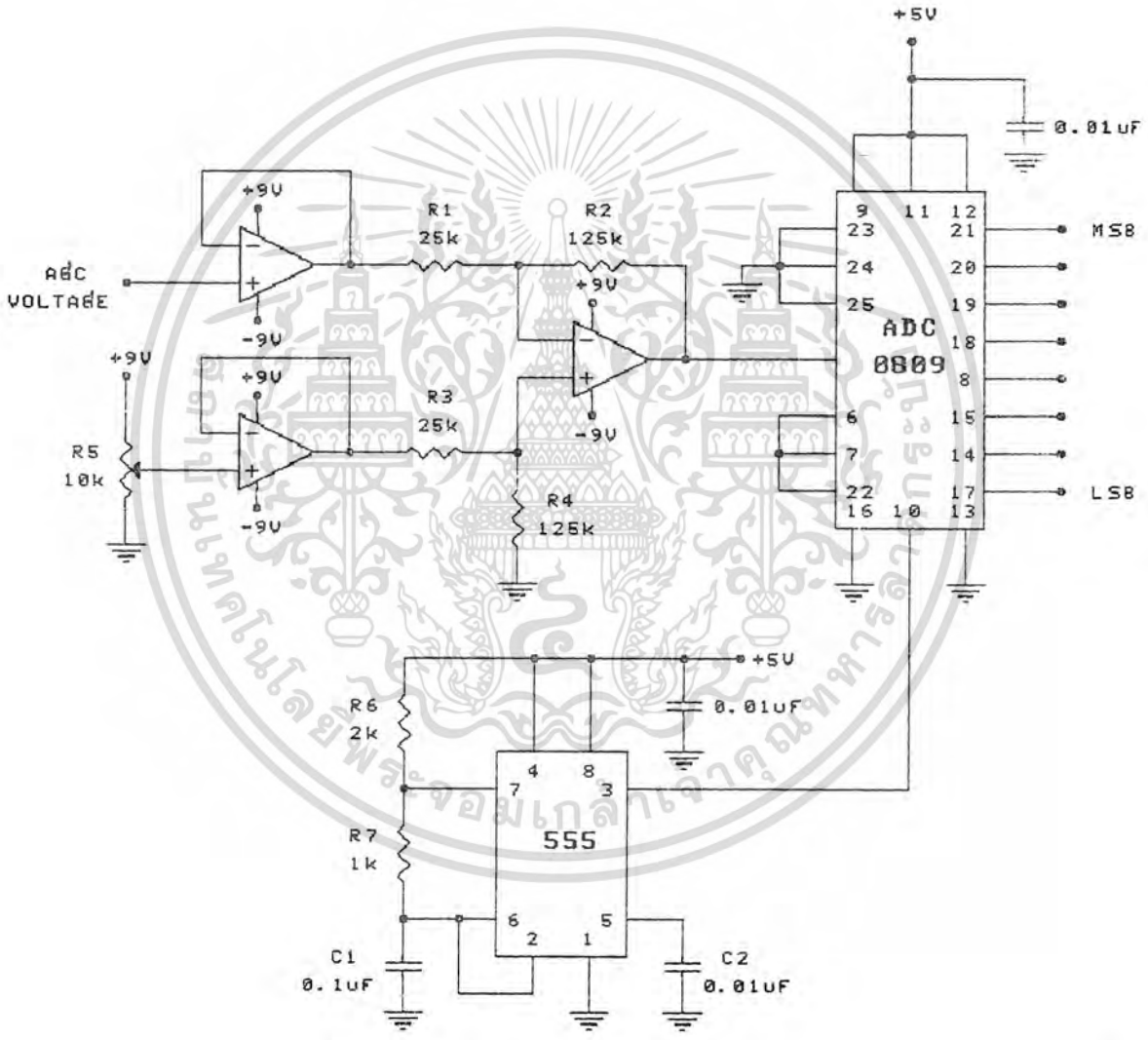
รูปที่ 4.4 Block Diagram ของชุดตรวจสอบแรงดัน AGC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก Block Diagram รูปที่ 4.4

แรงดัน AGC จะถูกนำผ่านไปยัง Buffer เพื่อป้องกันการเพิ่ม Load ให้กับวงจรของเครื่องรับโทรทัศน์ และนำมาทำ Scale 0-5 V ที่วงจร Differential Amplifier ก่อนจะนำเข้าวงจร ADC แล้วหลังจากนั้น ก็จะนำสัญญาณข้อมูลที่เป็นดิจิตอลเข้าไปประมวลผลใน Microprocessor ต่อไป

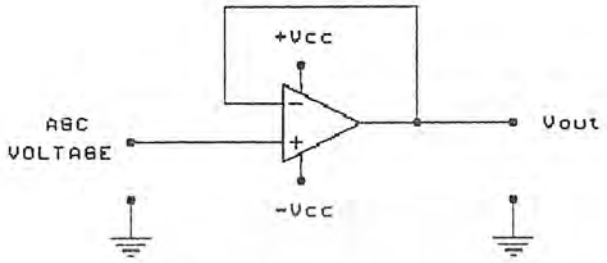
ในการออกแบบวงจร ADC จะใช้ IC ADC เบอร์ 0809 ส่วน Buffer และ Differential Amplifier ใช้ IC Op-Amp เบอร์ 1458 ซึ่งสามารถที่จะออกแบบวงจรได้ดังรูปที่ 4.5



รูปที่ 4.5 วงจรชุดตรวจสอบแรงดัน AGC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.1 การออกแบบวงจร Buffer



รูปที่ 4.6 วงจร Buffer

จากรูปที่ 4.6 เป็นวงจร DC Voltage Follower Amplifier จุดประสงค์สำคัญของวงจรนี้คือส่งถ่าย DC Voltage จาก High Impedance ไปยัง Low Impedance ซึ่ง Gain ของวงจรเท่ากับ 1 จึงนิยมนำไปใช้เป็น Buffer

และหากต้องการให้การทำงานของวงจรได้ผลดีที่สุด Output Voltage ควรมีค่าไม่เกิน 30% ของ Supply Voltage

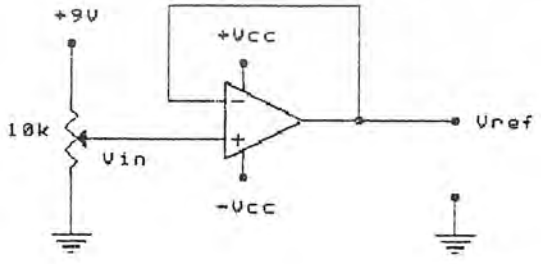
การออกแบบวงจร

AGC(manx) = 6 V (5-6 V)

Supply Voltage = ±9 V

ใช้ Op-Amp เบอร์ MC 1458

4.2.2 การออกแบบวงจร Reference Voltage



รูปที่ 4.7 วงจร Reference Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรรูปที่ 4.7 เป็นวงจร Buffer ที่ต้องปรับ R Adjus เพื่อจะให้ได้ V_{ref} = 6 V จะต้องปรับ V_{in} = 6 V

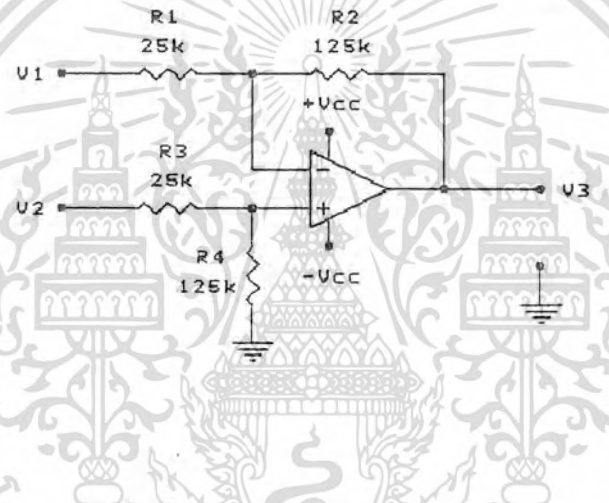
<u>การออกแบบ</u>

Supply Voltage = ± 9 V

R adjus = 10 kΩ

ใช้ Op-Amp เบอร์ MC 1458

4.2.3 <u>การออกแบบวงจร Differential Amplifier</u>



รูปที่ 4.8 วงจร Differential Amplifier

วงจรรูปที่ 4.8 เป็นวงจร DC Differential Amplifier โดยที่

$$V_3 = V_2\left[\frac{R_4}{R_3 + R_4}\right]\left[\frac{R_1 + R_2}{R_1}\right] - V_2\left[\frac{R_2}{R_1}\right]$$

<u>การออกแบบ</u>

เลือก $R_1 = R_3$, $R_2 = R_4$

$$V_3 = V_2\left[\frac{R_2}{R_1 + R_2}\right]\left[\frac{R_1 + R_2}{R_1}\right] - V_2\left[\frac{R_2}{R_1}\right]$$

$$= \left[V_2 - V_1\right]\left[\frac{R_2}{R_1}\right]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย $\frac{R_2}{R_1}$ = A_V = Voltage Gain

V_1 = 5-6 V

V_2 = 6 V

ดังนั้นที่ V_1 = 5 V

V_3 = [6-5] $\frac{R_2}{R_1}$ = 5 V

$\frac{R_2}{R_1}$ = 5 = A_V

เลือก R_1 = 25 kΩ

R_2 = 125 kΩ

R_1 = R_3 = 25 kΩ

R_2 = R_4 = 125 kΩ

ใช้ IC Op-Amp เบอร์ MC 1458

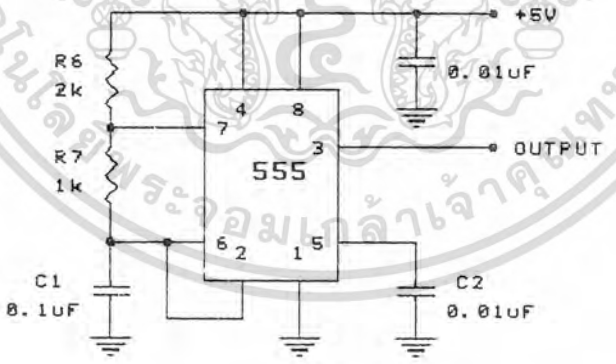
V_{CC} = ± 9 V

ที่ V_1 = 6 V

V_3 = 0 V

Range ของ V_3 = 0-5 V

4.2.4 การออกแบบวงจร Clock Pulse



รูปที่ 4.9 วงจร Clock Pulse

วงจรรูปที่ 4.9 เป็นวงจร Astable ซึ่งเราจะนำมาสร้าง Clock Pulse เพื่อจะไป Trig วงจร ADC เรา สามารถหาสมการทางคณิตศาสตร์ของวงจรได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$t_H = -\left(R_6 + R_7\right) C_1 \ln \frac{V_{cc} - 2V_{cc}/3}{V_{cc} - V_{cc}/3}$$

$$= 0.693\,(R_6 + 2R_7)C_1$$

$$t_L = 0.693\,R_7C_1$$

$$T = t_H + t_L$$

$$= 0.693\,(R_6 + 2R_7)C_1$$

$$f = \frac{1}{T}$$

$$= \frac{1.443}{(R_6 + 2R_7)C_1}$$

Duty Cycle $= \frac{t_H}{T}$

$$= \frac{R_6 + R_7}{R_6 + 2R_7}$$

ความถี่ในการหมุน Motor/Step ตั้งไว้ $= \frac{1}{0.2\,\text{sec}}$

$= 5$ Hz

Clock Pulse ของวงจรนี้จะนำไป Trig วงจร ADC จะต้องตั้งความถี่ไว้ให้มากกว่าความถี่ในการหมุน Motor

<u>การออกแบบ</u>

เลือกใช้ความถี่ = 4 KHz

Duty Cycle = 50 %

เลือก R_7 = 1 kΩ

จาก Duty Cycle (%) = $\frac{R_6 + R_7}{R_6 + 2R_7} \times 100$

$0.5\,(R_6 + 2\ \text{k}\Omega) = \frac{R_6 + 1\text{k}\Omega}{R_6 + 2\text{k}\Omega} \times 100$

$0.5\,R_6 = 1\ \text{k}\Omega$

$R_6 = 2\ \text{k}\Omega$

จาก f = $\frac{1.443}{(R_6 + 2R_7)C_1}$

$4\ \text{k}\Omega = \frac{1.443}{(2\text{k}\Omega + 2\text{k}\Omega)C_1}$

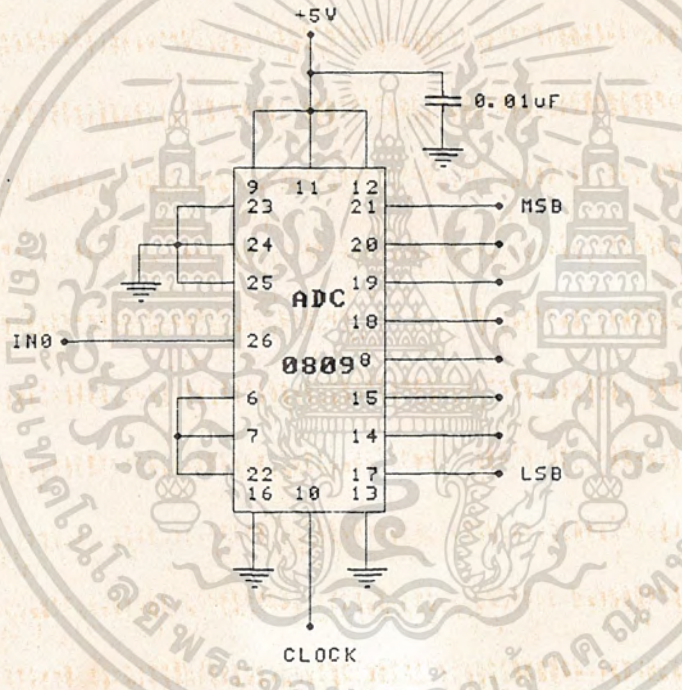
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_1 = \frac{1.443}{16M\Omega}$$

$$= 0.09\ \mu F$$

ดังนั้น $R_6 = 2\ k\Omega$, $R_7 = 1\ k\Omega$, $0_1 = 0.1\ \mu F$, IC 555

4.2.5 การออกแบบวงจร AGC Voltage to Binary Data 8 Bit



รูปที่ 4.10 วงจร AGC Voltage to Binary Data 8 Bit

เพื่อจะแปลง AGC Voltage ให้เป็น Binary Data 8 Bit

$+R_{ef}$ = 5 V

$-R_{ef}$ = 0 V

INO = 0-5 V

255 Step ของ Output = 5 V

$$1\ \text{Step} = \frac{5}{255}$$

$$= 0.02\ V$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายความว่า INO เปลี่ยนไป 0.02 V จะทำให้ Output Data เปลี่ยนไป 1

ตัวอย่างเช่น INO = 2 V

$$\text{Output Data} = \frac{2}{0.02}$$

= 100 Step

Binary Data ที่ Output จะเท่ากับ 01100100

4.2.6 สรุปการทำงานของชุดตรวจสอบแรงดัน AGC

ตัวอย่างเช่น AGC Voltage = 5.2 V

ผ่านวงจร Buffer

Voltage จุด 1 = 5.2 V

ผ่านวงจร Differential Amplifier

Voltage จุด 3 = [6-5.2] 5 = 4 V

ผ่านวงจร AGC Voltage to Binary Data 8 Bit

$$\text{AGC Step} = \frac{4}{0.02}$$

= 200 Step

เปลี่ยน Decimal to Binary

200 = 11001000

AGC Data = 11001000

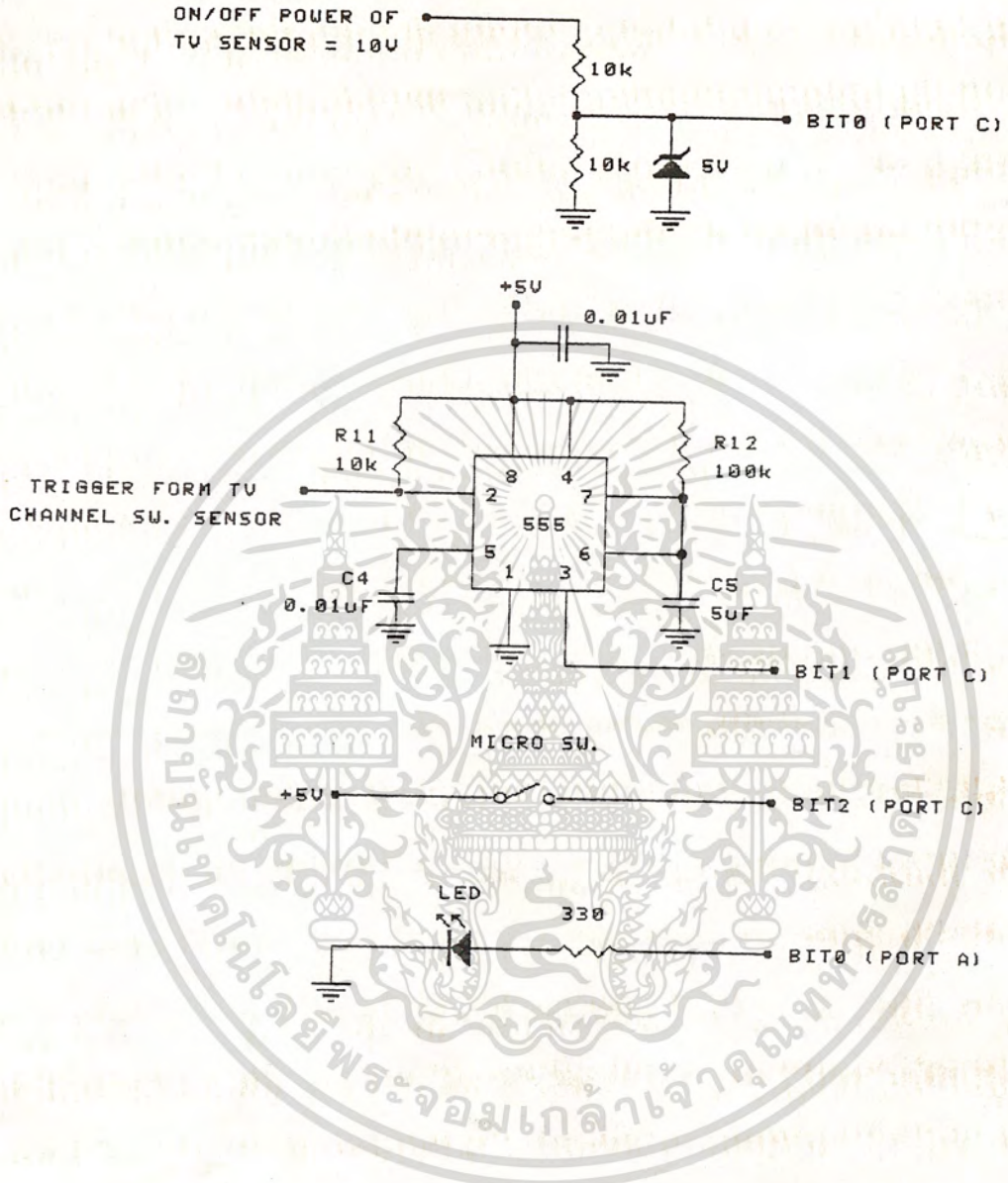
4.3 การออกแบบวงจรตรวจสอบการเปลี่ยนช่องความถี่และการปิดเปิดโทรทัศน์

ในการเปลี่ยนช่องความถี่ และการเริ่มเปิดเครื่องรับโทรทัศน์เราจะให้สายอากาศหมุนไปยังจุดเริ่มต้นโดยการตรวจสอบที่ Micro Swith ที่ติดไว้ที่จุดเริ่มต้นของการหมุน และเริ่มหมุนสายอากาศไปจนครบ 30 องศา เพื่อค้นหาตำแหน่งที่ชัดเจนที่สุดของสัญญาณ และเมื่อมีการปิดเครื่องรับโทรทัศน์สายอากาศก็จะหมุนกลับมาที่ตำแหน่งเริ่มต้นอีก แล้วตรวจสอบว่ามีการเปิดเครื่องรับโทรทัศน์หรือยัง ถ้ามีการเปิดเครื่องรับโทรทัศน์ก็จะมีการเริ่มต้นการทำงานเหมือนข้างต้นอีกครั้ง

ชุดตรวจสอบการเปลี่ยนช่องความถี่จะมีสัญญาณ Trigger ที่เกิดจากการเปลี่ยนช่อง เพราะฉะนั้นขณะที่กำลังหมุน Motor อาจจะทำให้ CPU ไม่สามารถ Scan สัญญาณการเปลี่ยนช่องได้ จึงต้องหน่วงเวลาเอาไว้ระยะหนึ่งเพื่อจะได้มั่นใจว่าสามารถ Scan ตรวจสอบได้ทุกเวลาที่มีการเปลี่ยนช่อง

หมายเหตุ : สาเหตุที่ต้องหมุนสายอากาศมายังจุดเริ่มต้นทุกครั้งที่เปิดเครื่องและปิดเครื่อง Microprocessor ก็จะสั่งให้มหุนไปยังจุดเริ่มตต้น เพราะในกรณีที่ไฟดับสายอากาศจะยังไม่ได้อยู่ในตำแหน่งจุดเริ่มต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 วงจรตรวจสอบการเปลี่ยนช่องความถี่และปิดเปิดโทรทัศน์

4.3.1 <u>การออกแบบวงจร TV Channel Swith Sensor</u>

เป็นวงจร Monostable มีไว้เพื่อจะหน่วงเวลา Pulse ที่ Channel Sensor รับจากการเปลี่ยน Channel ของ TV เพื่อให้ Microprocessor สามารถ Scan มาตรวจสอบได้ ซึ่งเราจะตั้งเวลาการหน่วงไว้ 0.5 sec

ช่วงหน่วงเวลาของวงจร Monostable โดยใช้ 555 นี้ ขึ้นอยู่กับผลคูณของ R_{12} และ C_5 โดยที่

$$T_{delay} = 1.1 \quad R_{12}C_5$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบ

$$T_{delay} = 0.5 \text{ sec}$$

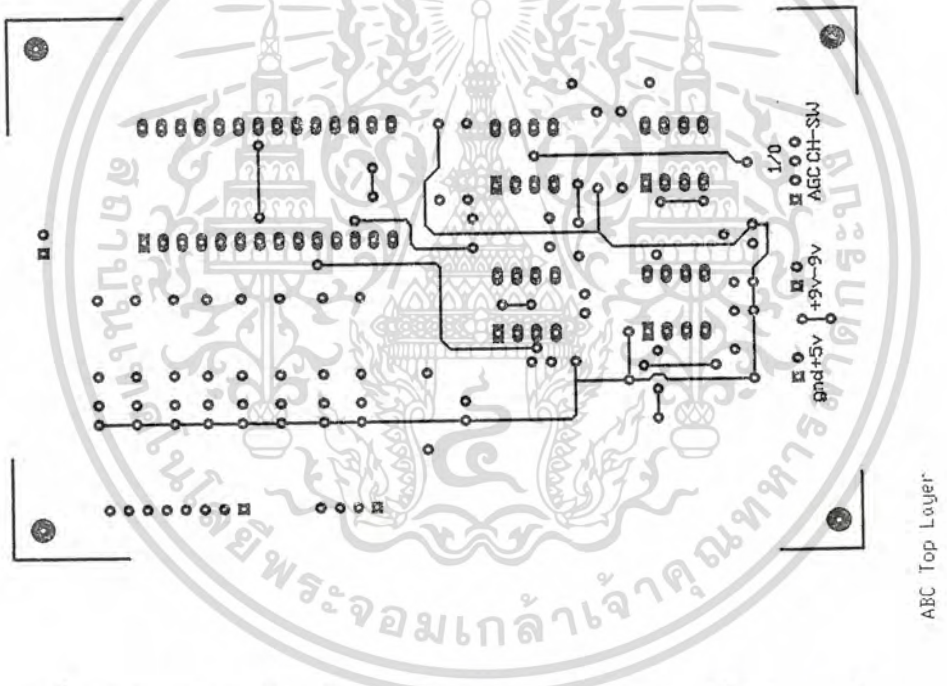
$$R_{12} = 100 \text{ k}\Omega$$

$$C_5 = \frac{T_{Delay}}{1.1\, R_{12}}$$

$$= \frac{0.5}{1.1 \times 100 \times 10^3}$$

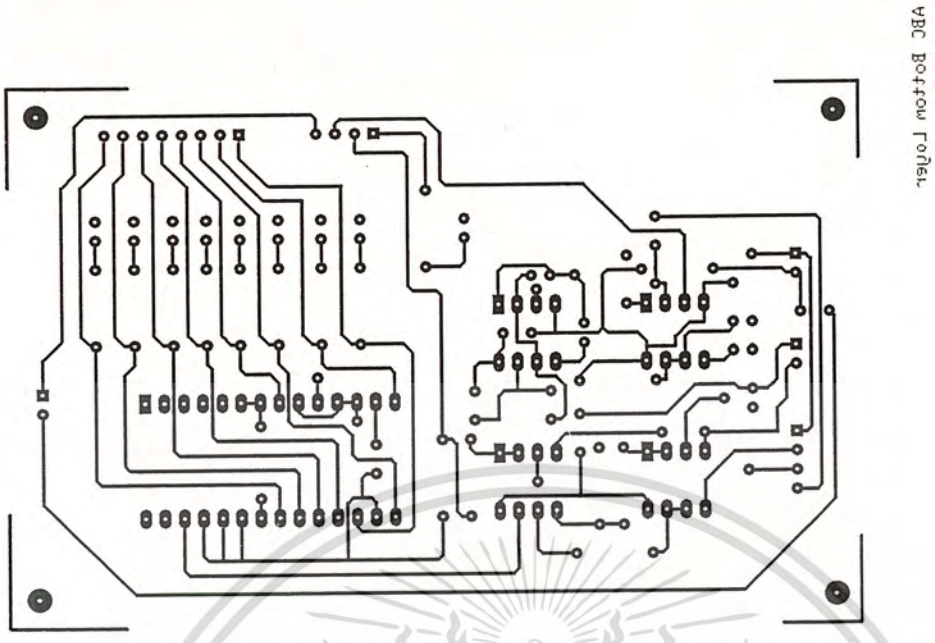
$$= 4.5 \ \mu\text{F}$$

ดังนั้น $R_{12} = 100\ \text{k}\Omega$, $C_5 = 5\ \mu\text{F}$



รูปที่ 4.12 ก) สายวงจรด้านหน้าของวงจรตรวจสอบ AGC และการเปลี่ยนช่องความถี่การปิดเปิดโทรทัศน์

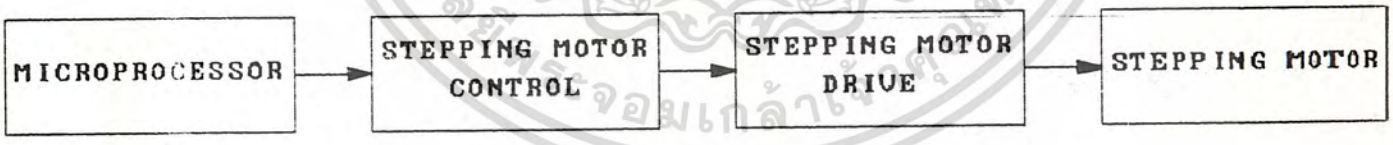
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 ข) ลายวงจรด้านหลังของวงจรตรวจสอบ AGC และการเปลี่ยนช่องความถี่และการปิดเปิดโทรทัศน์

4.4 การออกแบบวงจร Drive stepping motor ในการหมุนสายอากาศ

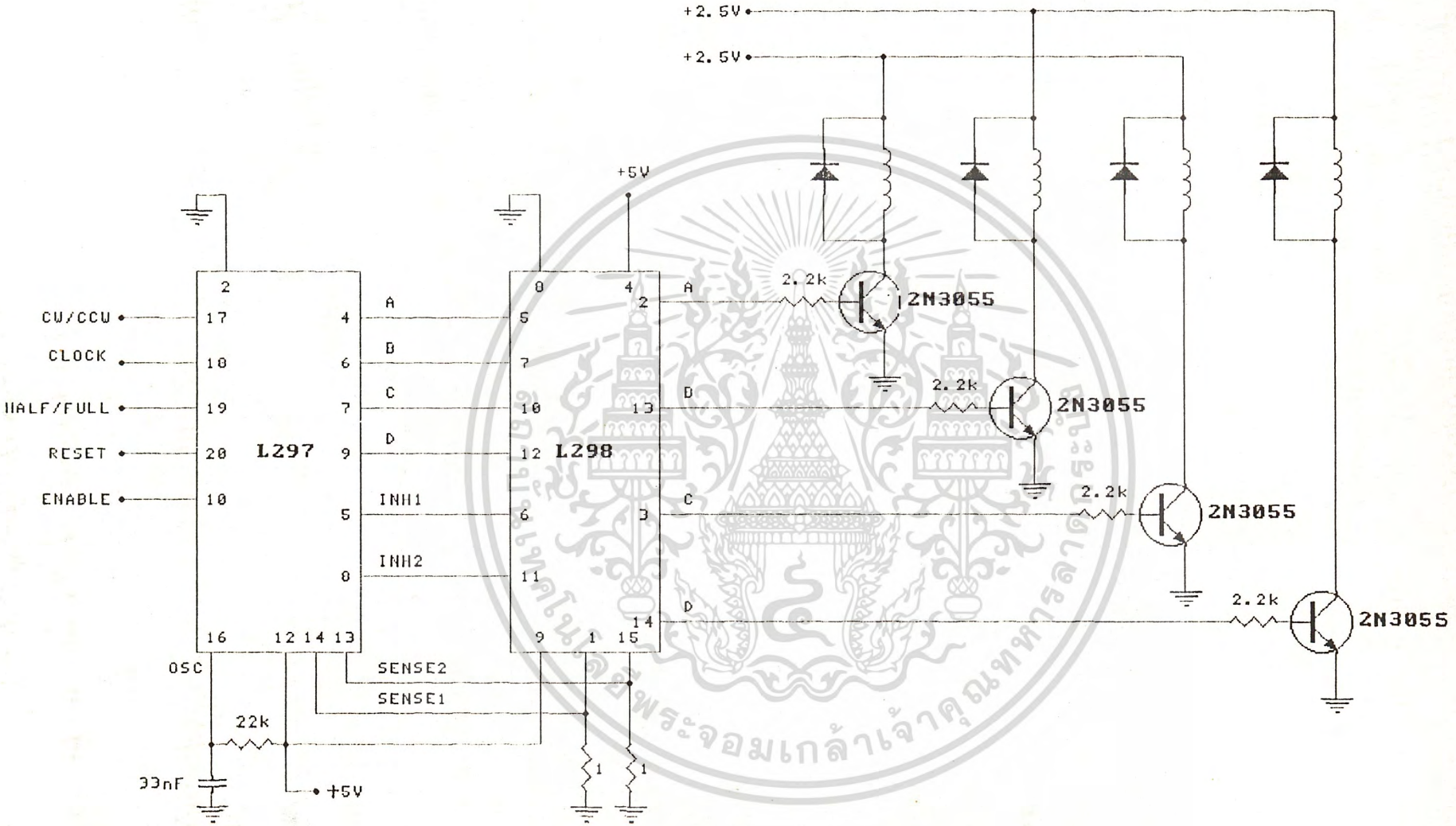
ในการหมุนสายอากาศเราจะใช้ Stepping motor เป็นตัวขับโดยที่ไมโครโปรเซสเซอร์จะส่งข้อมูลและสัญญาณพลัซ์เพื่อใช้ควบคุมการหมุนของสายอากาศ ซึ่งสามารถเขียนเป็นบล็อกไดอะแกรมได้ดังรูป



รูปที่ 4.13 Blcok Diagram แสดงการควบคุมการหมุนของสายอากาศ

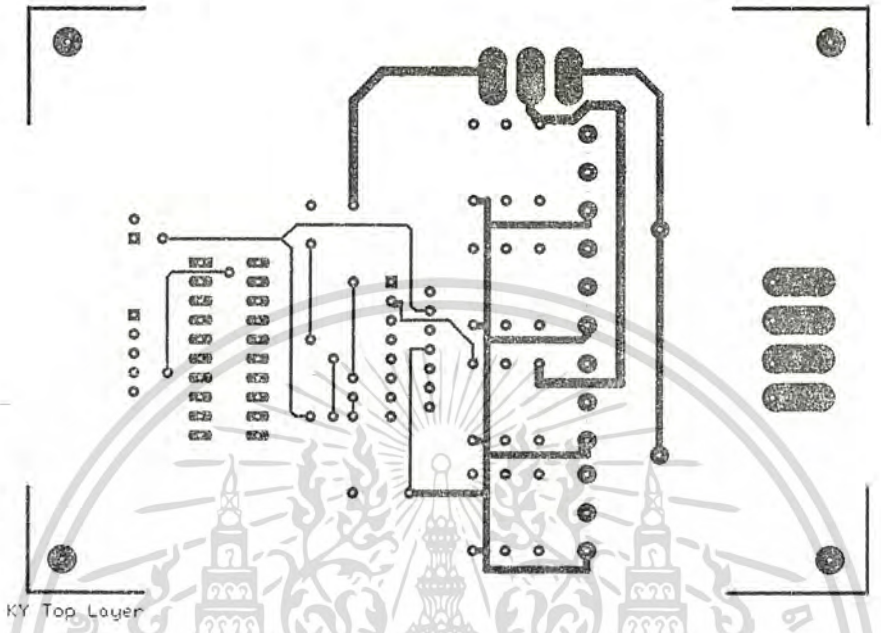
การควบคุม และ Drive stepping motor จะใช้ IC สำเร็จรูปเบอร์ L297 และ L298 ซึ่งทางบริษัทผลิต IC จะให้วงจรมาเรียบร้อยแล้ว จากคุณสมบัติของ IC เบอร์ L298 สามารถจ่ายกระแสให้ Load ประมาณ 2 A เมื่อมี input เป็นดิจิตอล เนื่องจาก stepping motor ที่ใช้จะมีขนาดใหญ่พอสมควรคือขนาด 2.5 V 4.5 A คือกินกระแส 4.5 A ต่อการทำงาน 1 ขด ดังนั้นจะต้องใช้ Transistor ที่สามารถจ่ายกระแสได้ถึง 4.5 A มาทำการเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

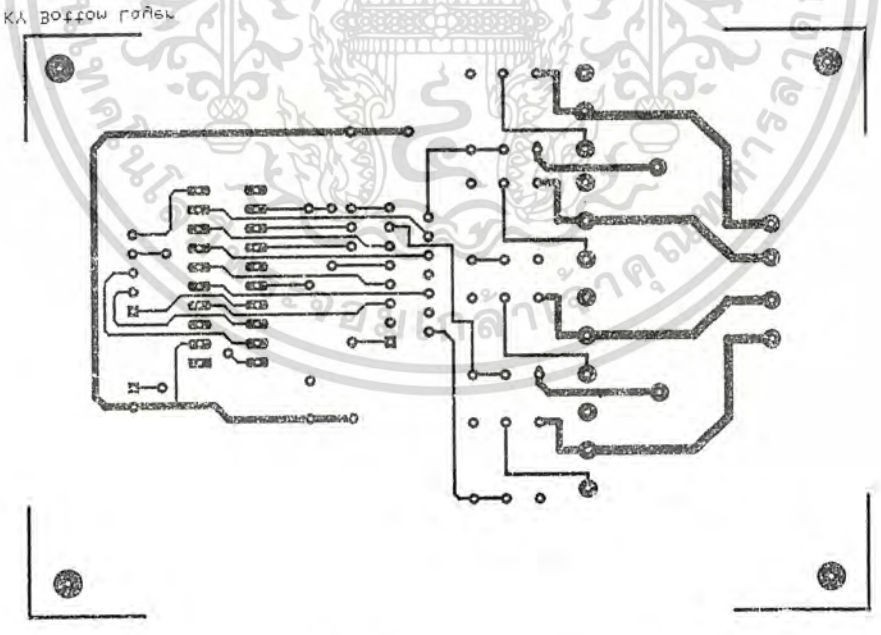


รูปที่ 4.14 วงจร Drive Stepping Motor

Drive stepping motor อีกทีหนึ่งโดยออกแบบให้ transistor ทำงานอยู่ 2 สภาวะคือ สภาวะ ON และสภาวะ OFF คือให้ transistor ทำงานเป็นสวิทช์นั่นเอง โดยมี input จาก output ของ IC เบอร์ L298 นั่นเอง transistor ที่ใช้คือ เบอร์ TIP 3055 ซึ่งสามารถจ่ายกระแสได้ถึง 5 A ซึ่งสามารถเขียนวงจรได้ตามรูปที่ 4.14



รูปที่ 4.15 ก) ลายวงจรด้านหน้าของวงจร Drive Stepping Motor



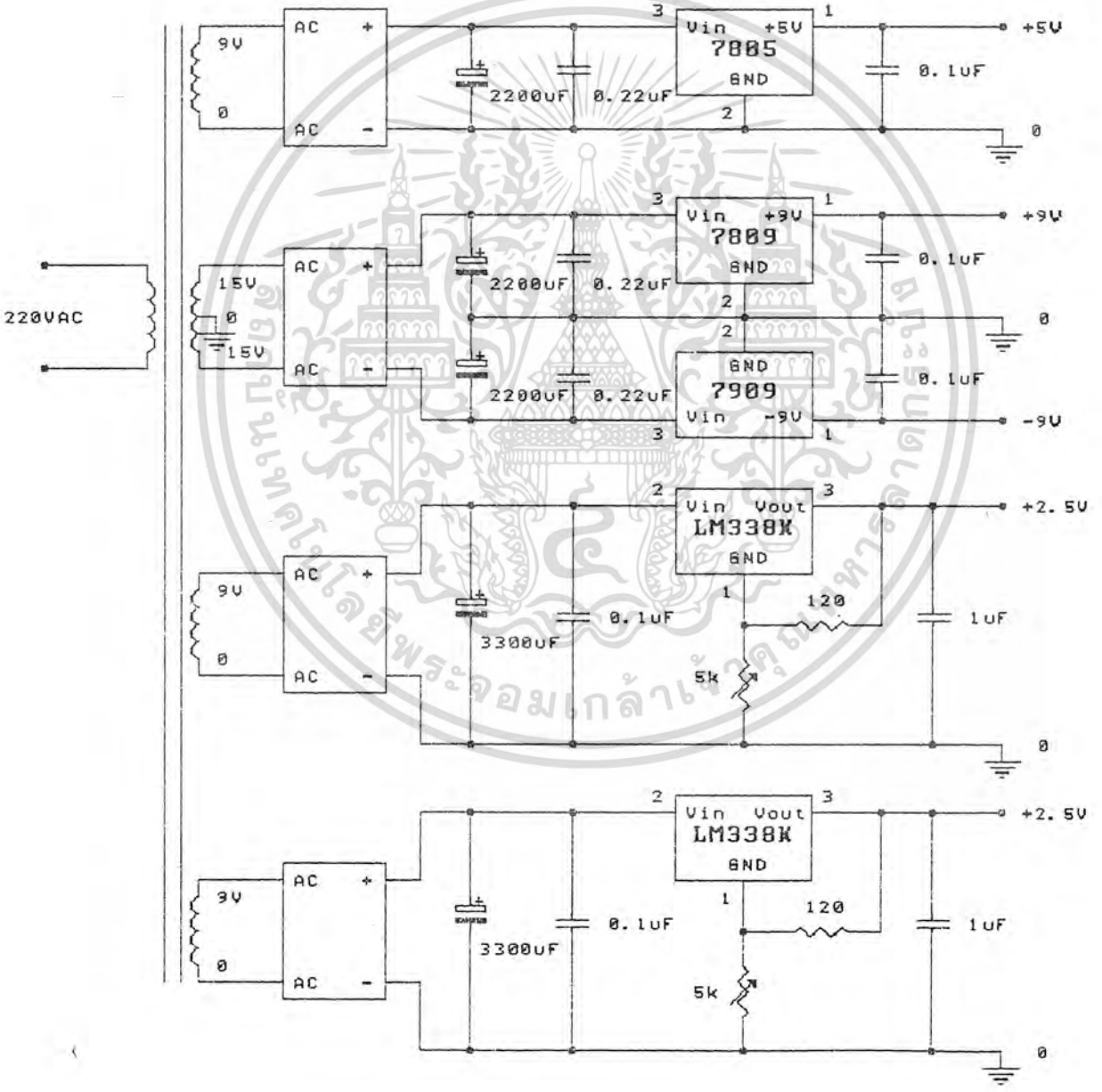
รูปที่ 4.15 ข) ลายวงจรด้านหลังของวงจร Drive Stepping Motor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การออกแบบวงจร Power Supply

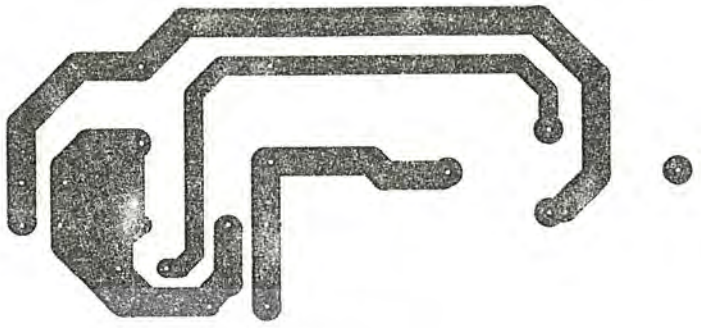
Power Supply ที่จำเป็นต้องใช้ในโครงงานนี้ประกอบด้วย

1. + 5 V , 1 A เพื่อจ่ายให้กับ IC TTL ทั้งหมดใช้ IC Regulator เบอร์ 7805
2. ± 9 V , 0.5 A เพื่อจ่ายให้กับ IC Op-Amp ใช้ IC Regulator เบอร์ 7809 และ 7909
3. ± 2.5 V , 5 A ใช้ IC Regulator เบอร์ LM 338K เพื่อจ่ายให้กับ Stepping Motor ซึ่งจำเป็นต้องมี 2 ชุด เนื่องจาก Stepping Motor จะมีการ Drive กระแสทีละ 2 เฟส สลับกันไปเรื่อย ๆ ดังนั้นขณะ Stepping Motor Drive กระแส 2 เฟสพร้อมกัน จะมีการดึงกระแสจาก Power Supply ถึง 9 A วงจร Power Supply ทั้งหมดเขียนได้ดังรูปที่ 4.17



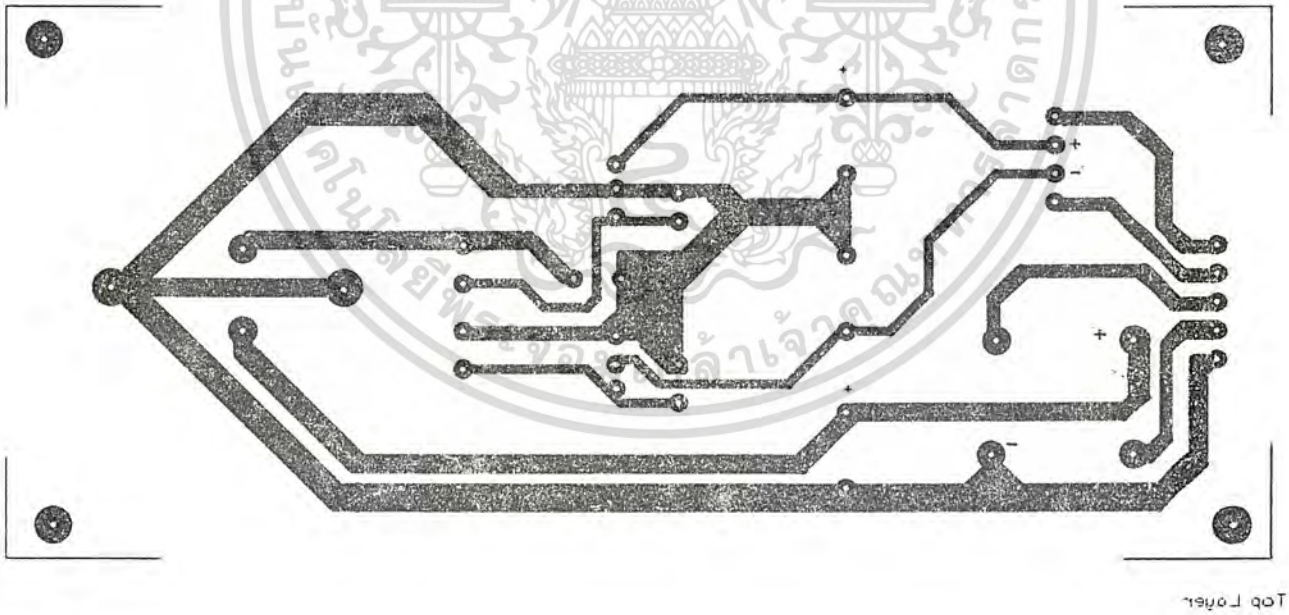
รูปที่ 4.17 วงจร Power Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



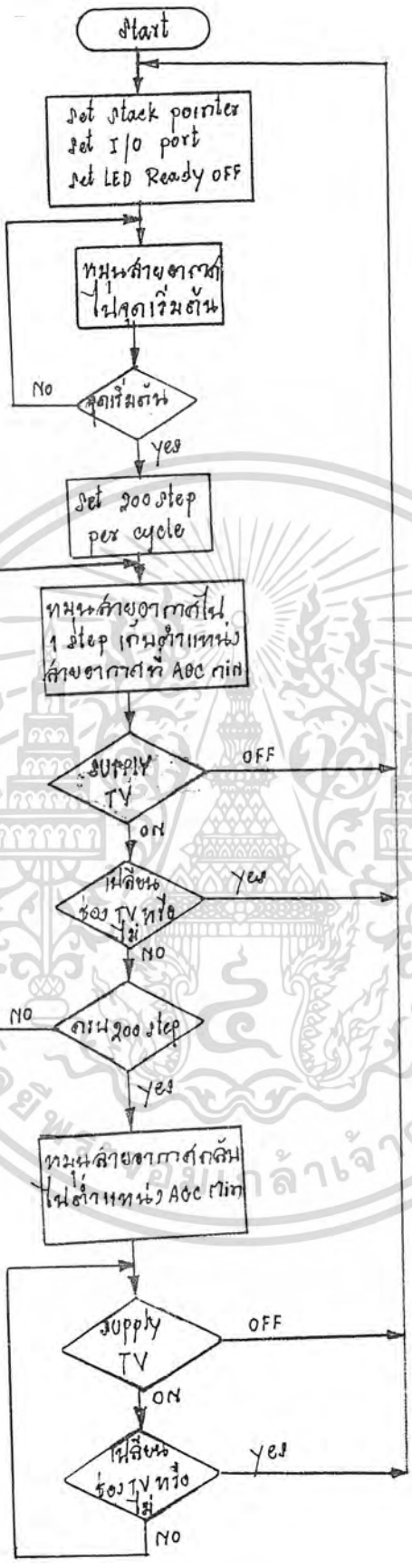
PCB4 Top Layer

รูปที่ 4.16 ก) ลายวงจรของวงจร Power Supply +2.5 V , 4.5 A



รูปที่ 4.16 ข) ลายของวงจร Power Supply 5 V, 1 A และ ± 9 V, 0.5 A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;FILENAME        PROGRAMS.180

MOTOR           EQU     20H
ADC             EQU     21H
STATUS          EQU     22H
INITIAL         EQU     23H
CTRL            EQU     10001011B       ;CONTROL 8255
STACK           EQU     27FFH           ;STACK START
CYCLE           EQU     200             ;NUMBER OF STEP PER 1 CYCLE
INIDATA         EQU     20FFH           ;FIRST DATA = 0
DATA            EQU     2100H           ;START DATA ADDRESS
READY           EQU     1               ;READY LAMP
MLEFT1          EQU     58H             ;DRIVE MOTOR TO LEFT
MLEFT2          EQU     18H
MRIGHT1         EQU     0D8H            ;DRIVE MOTOR TO RIGHT
MRIGHT2         EQU     98H
TDELAY          EQU     1000H           ;TIME FOR DELAY
EXCH            EQU     21D0H           ;SET IX REGISTER

;*****************************************************************************
                ;MAIN PROGRAM

                ORG     0000H
                XOR     A
PREPARE:        DEC     A
                JR      NZ,PREPARE      ;DELAY FOR RESET I/O PORT
                LD      SP,STACK        ;SET STACK POINTER
                LD      A,CTRL
                OUT     (INITIAL),A     ;SET I/O PORT

START:          XOR     A
                OUT     (MOTOR),A       ;TAKE READY LAMP OFF
                IN      A,(STATUS)
                BIT     2,A             ;CHECK INITIAL STATION
                CALL    Z,ZEROPOINT     ;TURN MOTOR TO INITIAL POSIT
                CALL    WAIT            ;WAIT FOR TAKE TV SUPPLY ON
                LD      B,CYCLE         ;SET 200 STEP PER CYCLE
                LD      DE,0000H        ;CLEAR DE REGISTER
                XOR     A
                LD      (INIDATA),A     ;CLEAR INITIAL DATA
                LD      IX,DATA         ;SET DATA ADDRESS

LOOP1:          IN      A,(ADC)         ;IN ADCDATA
                LD      (IX+0),A
                SUB     (IX-1)
                JR      C,LESS          ;COMPARE FINE MAX  ADCDATA
                LD      (EXCH),IX       ;SAVE MAX ADCDATA POINT
                LD      DE,(EXCH)       ;EXCHANGE IX TO DE

DRIVE:          CALL    RIGHT           ;TURN MOTOR TO RIGHT ONE STE
                INC     IX              ;INCREAT INDEX REGISTER
                IN      A,(STATUS)      ;IN STATUS OF TV AND CHANEL
                BIT     0,A             ;CHECK TV POWER ON/OFF
                JR      Z,START         ;JUMP START IF TV OFF
                BIT     1,A             ;CHECK CHANEL SW CONDITION
                JR      NZ,START        ;JUMP START IF CHANGE CHANEL
                DJNZ    LOOP1           ;FINISH OF TURN?
                LD      B,CYCLE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
REVERSE:    CALL    LEFT            ;RETURN TO LEFT POSITION
            IN      A,(STATUS)      ;IN STATUS OF TV AND CHANEL
            BIT     0,A             ;CHECK TV POWER ON/OFF
            JR      Z,START         ;JUMP START IF TV OFF
            BIT     1,A             ;CHECK CHANEL SW CONDITION
            JR      NZ,START        ;JUMP START IF CHANGE CHANEL
            DJNZ    REVERSE         ;FINISH TO MAX ADCDATA POSITION

STANDBY:    LD      A,READY         ;READY LAMP
            OUT     (MOTOR),A
            IN      A,(STATUS)      ;IN STATUS OF TV AND CHANEL
            BIT     0,A             ;CHECK TV POWER ON/OFF
            JR      Z,START         ;JUMP START IF TV OFF
            BIT     1,A             ;CHECK CHANEL SW CONDITION
            JR      NZ,START        ;JUMP START IF CHANGE CHANEL
            JR      STANDBY         ;STANDBY

ZEROPOINT:  CALL    LEFT            ;SET MOTOR TO ZERO POSITION
            IN      A,(STATUS)
            BIT     2,A             ;CHECK MICRO SWITCH AT ATTENN
            JR      Z,ZEROPOINT
            RET

LEFT:       LD      A,MLEFT1        ;GENERATE PULSE FOR DRIVE MOT
            OUT     (MOTOR),A
            CALL    DELAY
            LD      A,MLEFT2
            OUT     (MOTOR),A
            CALL    DELAY
            RET

RIGHT:      LD      A,MRIGHT1       ;GENERATE PULSE FOR DRIVE MO
            OUT     (MOTOR),A
            CALL    DELAY
            LD      A,MRIGHT2
            OUT     (MOTOR),A
            CALL    DELAY
            RET

LESS:       LD      A,(IX-1)        ;SAVE OLD MAX ADCDATA VALUE
            LD      (IX+0),A
            JR      DRIVE

WAIT:       IN      A,(STATUS)
            BIT     0,A
            JR      Z,WAIT
            RET

DELAY:      EX      AF,AF'          ;DELAY FOR GENERATE PULSE
            LD      HL,TDELAY
DELAY1:     DEC     HL
            LD      A,H
            OR      L
            JR      NZ,DELAY1
            EX      AF,AF'
            RET

            END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

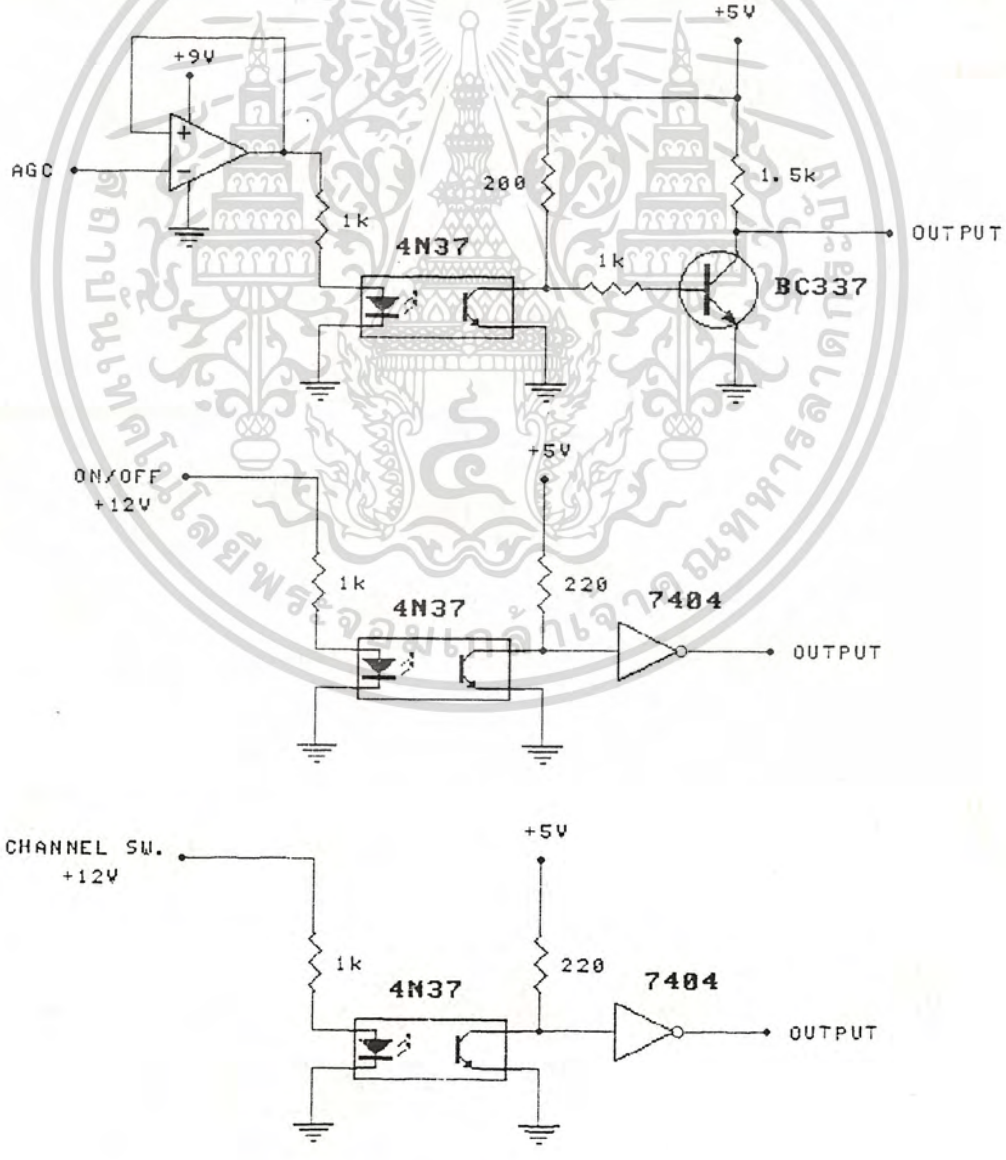
บทที่ 5

ผลการทดลองและสรุปผลการทดลอง

เมื่อประกอบวงจรเรียบร้อยแล้วนำไปต่อกับโทรทัศน์เครื่องสามารถทำงานได้ และสามารถหมุนสายอากาศไปยังตำแหน่งที่ชัดเจนที่สุดได้แต่มีปัญหาตรงที่เมื่อต่อเข้ากับโทรทัศน์จะทำให้ทุกส่วนของเครื่องที่เป็นโลหะช็อต ทั้งนี้เพราะหลอดไฟเลี้ยงของวงจรเครื่องรับโทรทัศน์จะเป็นแบบสวิทชิ่งทำให้กราวด์ของเครื่องมีโวลท์สูงกว่ากราวด์ดินซึ่งเมื่อเราไปโดนโลหะในวงจรจะช็อตทันที สำหรับปัญหานี้แก้ไขได้โดยใช้อุปกรณ์ออฟโต (Opto insulator) มาเป็นตัวแยกกราวด์ของเครื่องรับโทรทัศน์ออกจากกราวด์เครื่องหรือการส่งสัญญาณผ่านทางแสงระหว่างเครื่องรับโทรทัศน์กับเครื่องควบคุมสายอากาศโดยที่ไม่มีส่วนใดถึงกันเลย ซึ่งมีวงจรตามรูป

และปัญหาที่ตามมาอีกอย่างคือเมื่อเปิดให้เครื่องควบคุมสายอากาศทำงานจะมี Noise ออกมารบกวนแยะมาก (ในขณะที่ยังไม่ได้ใส่กล่อง) เมื่อทำการใส่กล่องเรียบร้อยและชิลย์กราวด์ลงแท่ง (กล่องเหล็ก) อย่างดีแล้วสัญญาณรบกวนต่าง ๆ ก็หายไป

เมื่อทำการทดสอบอีกครั้งเครื่องก็สามารถทำงานเป็นไปตามจุดประสงค์ที่ตั้งไว้เป็นอย่างดีทุกอย่าง



รูปที่ 5.1 วงจร OPTO ISOLATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>หมายเหตุ</u> ถ้าหากเรานำเครื่องควบคุมสายอากาศนี้ไปประยุกต์ใช้งานกับเครื่องรับที่มีไฟเลี้ยงวงจรเป็นแบบธรรมดาก็ไม่จำเป็นที่จะต้องใช้วงจรนี้ก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก ADC 0809 (8-Bit up Compatible A/D Converters with 8-Channel Multiplexer)

ADC0808/ADC0809

National Semiconductor Corporation

ADC0808, ADC0809 8-Bit μP Compatible A/D Converters with 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

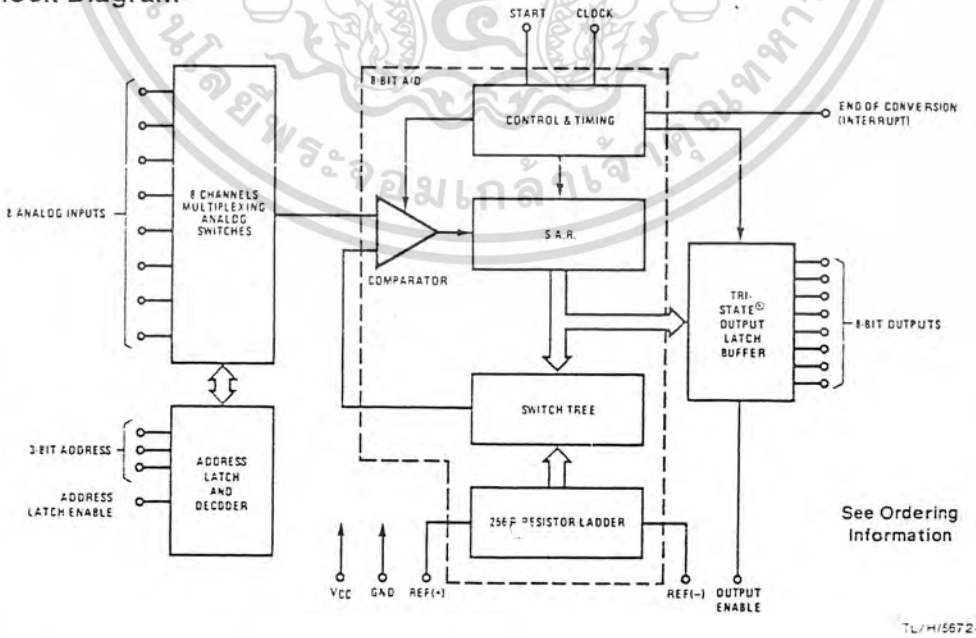
Features

- Easy interface to all microprocessors
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- No zero or full-scale adjust required
- 8-channel multiplexer with address logic
- 0V to 5V input range with single 5V power supply
- Outputs meet TTL voltage level specifications
- Standard hermetic or molded 28-pin DIP package
- 28-pin molded chip carrier package

Key Specifications

■ Resolution	8 Bits
■ Total Unadjusted Error	±½ LSB and ±1 LSB
■ Single Supply	5 V_{DC}
■ Low Power	15 mW
■ Conversion Time	100 μs

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	$-0.3V$ to $(V_{CC}+0.3V)$
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	$-0.3V$ to $+15V$
Storage Temperature Range	$-65°C$ to $+150°C$
Package Dissipation at $T_A=25°C$	875 mW
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Molded Chip Carrier Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
ESD Susceptibility (Note 11)	400V

Operating Conditions (Notes 1 & 2)

Temperature Range (Note 1)	$T_{MIN}\le T_A\le T_{MAX}$
ADC0808CJ	$-55°C\le T_A\le +125°C$
ADC0808CCJ, ADC0808CCN, ADC0809CCN	$-40°C\le T_A\le +85°C$
ADC0809CCV, ADC0809CCV	$-40°C\le T_A\le +85°C$
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0 V_{DC}

Electrical Characteristics

Converter Specifications: $V_{CC}=5$ $V_{DC}=V_{REF+}$, $V_{REF(-)}=GND$, $T_{MIN}\le T_A\le T_{MAX}$ and $f_{CLK}=640$ kHz unless otherwise stated.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	ADC0808					
	Total Unadjusted Error	25°C			±½	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±¾	LSB
	ADC0809					
	Total Unadjusted Error	0°C to 70°C			±1	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±1¼	LSB
	Input Resistance	From Ref(+) to Ref(−)	1.0	2.5		kΩ
	Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND−0.10		$V_{CC}+0.10$	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	$V_{CC}+0.1$	V
$\frac{V_{REF(+)}+V_{REF(-)}}{2}$	Voltage, Center of Ladder		$V_{CC}/2-0.1$	$V_{CC}/2$	$V_{CC}/2+0.1$	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
I_{IN}	Comparator Input Current	$f_c=640$ kHz, (Note 6)	−2	±0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ $4.5V\le V_{CC}\le 5.5V$, $-55°C\le T_A\le +125°C$ unless otherwise noted ADC0808CCJ, ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, $4.75\le V_{CC}\le 5.25V$, $-40°C\le T_A\le +85°C$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
$I_{OFF(+)}$	OFF Channel Leakage Current	$V_{CC}=5V$, $V_{IN}=5V$,				
		$T_A=25°C$		10	200	nA
		T_{MIN} to T_{MAX}			1.0	μA
$I_{OFF(-)}$	OFF Channel Leakage Current	$V_{CC}=5V$, $V_{IN}=0$,				
		$T_A=25°C$	−200	−10		nA
		T_{MIN} to T_{MAX}	−1.0			μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ $4.5V \le V_{CC} \le 5.5V$, $-55°C \le T_A \le +125°C$ unless otherwise noted ADC0808CCJ, ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, $4.75 \le V_{CC} \le 5.25V$, $-40°C \le T_A \le +85°C$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		$V_{CC}-1.5$			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	$V_{IN}=15V$			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	$V_{IN}=0$	−1.0			μA
I_{CC}	Supply Current	$f_{CLK}=640$ kHz		0.3	3.0	mA
DATA OUTPUTS AND EOC (INTERRUPT)						
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O=-360$ μA	$V_{CC}-0.4$			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O=1.6$ mA			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	$I_O=1.2$ mA			0.45	V
I_{OUT}	TRI-STATE Output Current	$V_O=5V$ $V_O=0$	 −3		3	μA μA

Electrical Characteristics

Timing Specifications $V_{CC}=V_{REF(+)}=5V$, $V_{REF(-)}=GND$, $t_r=t_f=20$ ns and $T_A=25°C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	*(Figure 5)*		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	*(Figure 5)*		100	200	ns
t_S	Minimum Address Set-Up Time	*(Figure 5)*		25	50	ns
t_H	Minimum Address Hold Time	*(Figure 5)*		25	50	ns
t_D	Analog MUX Delay Time From ALE	$R_S=0\Omega$ *(Figure 5)*		1	2.5	μS
t_{1H}, t_{H0}	OE Control to Q Logic State	$C_L=50$ pF, $R_L=10$k *(Figure 8)*		125	250	ns
t_{1H}, t_{0H}	OE Control to Hi-Z	$C_L=10$ pF, $R_L=10$k *(Figure 8)*		125	250	ns
t_C	Conversion Time	$f_C=640$ kHz, *(Figure 5)* (Note 7)	90	100	116	μS
f_C	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	*(Figure 5)*	0		8 + 2 μS	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE Output Capacitance	At TRI-STATE Outputs, (Note 12)		10	15	pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute $0V_{DC}$ to $5V_{DC}$ input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See *Figure 3*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence *(Figure 6)*. See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

Note 8: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

Multiplexer. The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach *(Figure 1)* was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached + ½ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

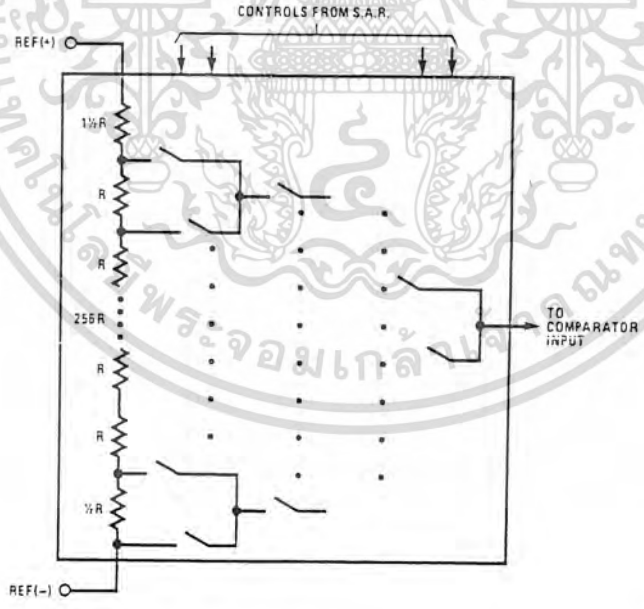


FIGURE 1. Resistor Ladder and Switch Tree

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

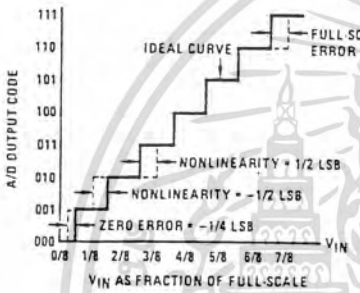


FIGURE 2. 3-Bit A/D Transfer Curve

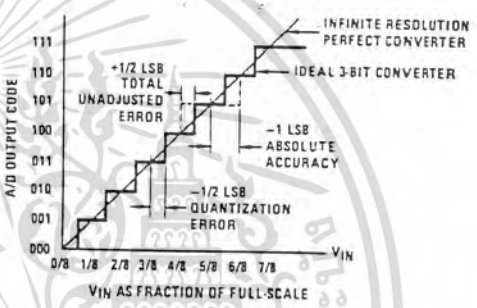


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

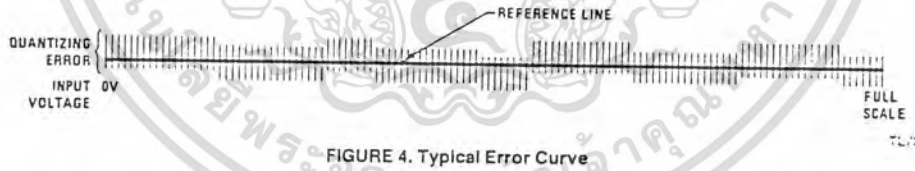
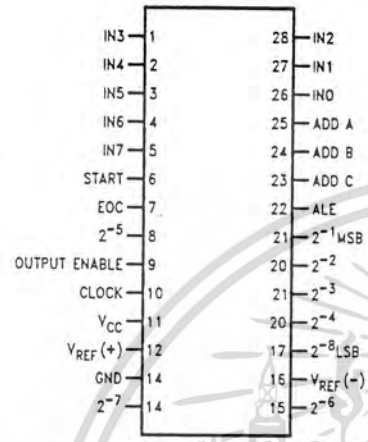


FIGURE 4. Typical Error Curve

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

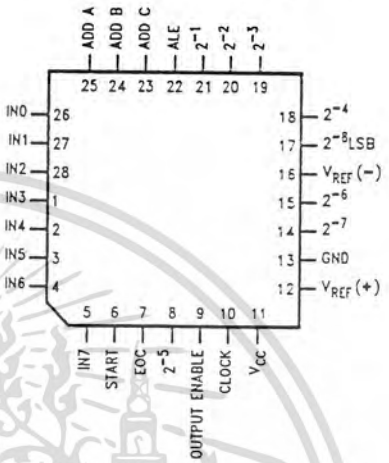
Dual-In-Line Package



TL/H/5672-11

Order Number ADC0808CCN, ADC0809CCN,
ADC0808CCJ or ADC0808CJ
See NS Package J28A or N28A

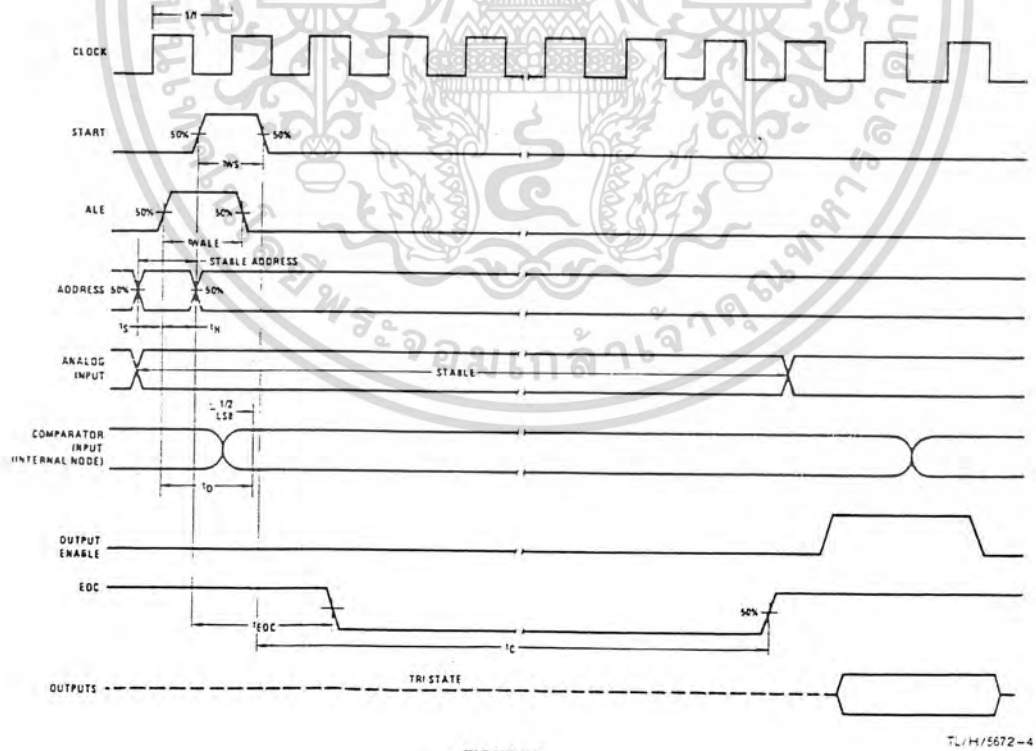
Molded Chip Carrier Package



TL/H/5672-12

Order Number ADC0808CCV or ADC0809CCV
See NS Package V28A

Timing Diagram



TL/H/5672-4

FIGURE 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

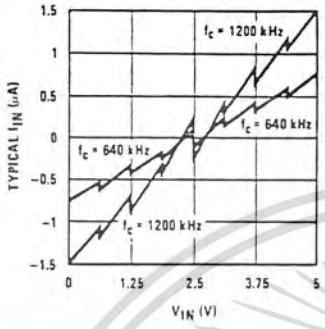
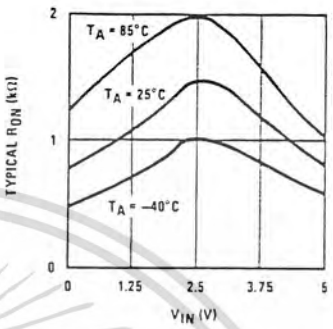


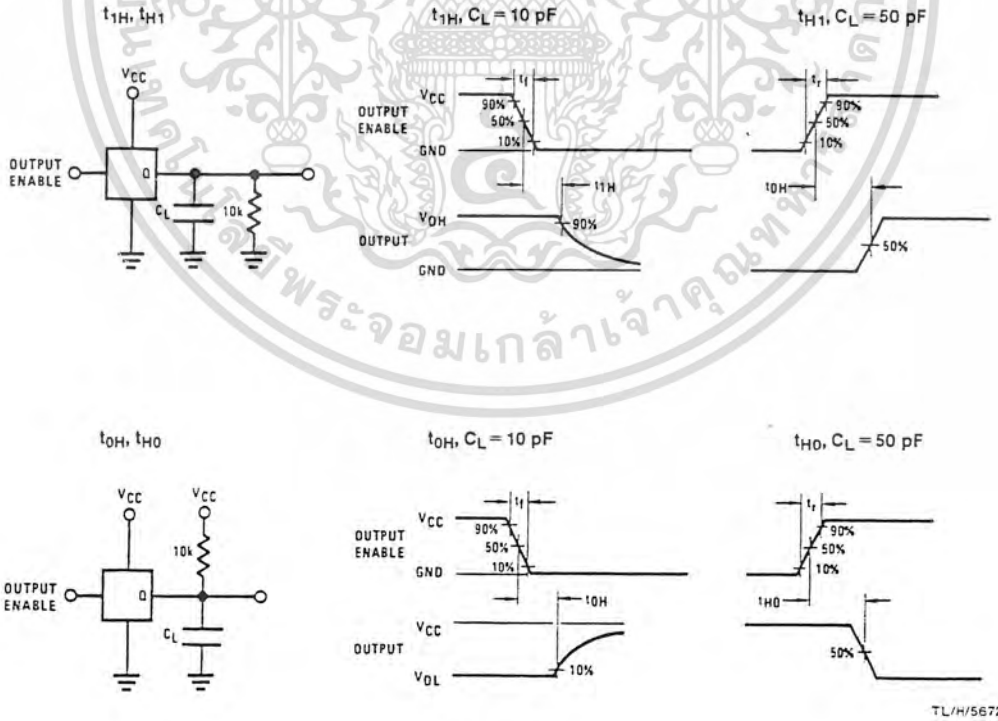
FIGURE 6. Comparator I_{IN} vs V_{IN}
($V_{CC} = V_{REF} = 5V$)



TL/H/5672-5

FIGURE 7. Multiplexer R_{ON} vs V_{IN}
($V_{CC} = V_{REF} = 5V$)

TRI-STATE Test Circuits and Timing Diagrams



TL/H/5672-6

FIGURE 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

OPERATION

1.0 RATIOMETRIC CONVERSION

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN}}{V_{fs}-V_Z}=\frac{D_X}{D_{MAX}-D_{MIN}} \quad (1)$$

V_{IN} = Input voltage into the ADC0808

V_{fs} = Full-scale voltage

V_Z = Zero voltage

D_X = Data point being measured

D_{MAX} = Maximum data limit

D_{MIN} = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs. *(Figure 9).*

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if $V_{CC} = V_{REF} = 5.12V$, then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

2.0 RESISTOR LADDER LIMITATIONS

The voltages from the resistor ladder are compared to the selected into 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder, Ref(−), should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

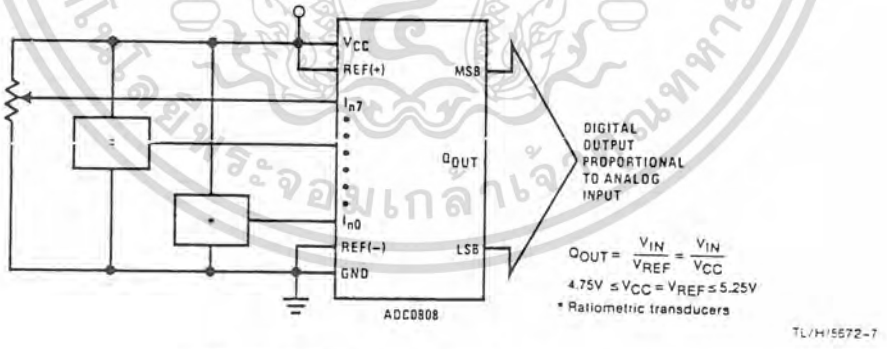


FIGURE 9. Ratiometric Conversion System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In *Figure 11* a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in *Figure 12*. The LM301 is overcompensated to insure stability when loaded by the 10 μF output capacitor.

The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrically less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In *Figure 13*, a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

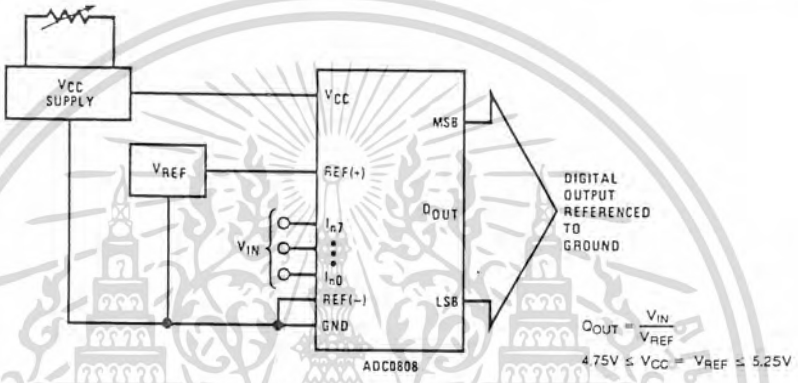


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

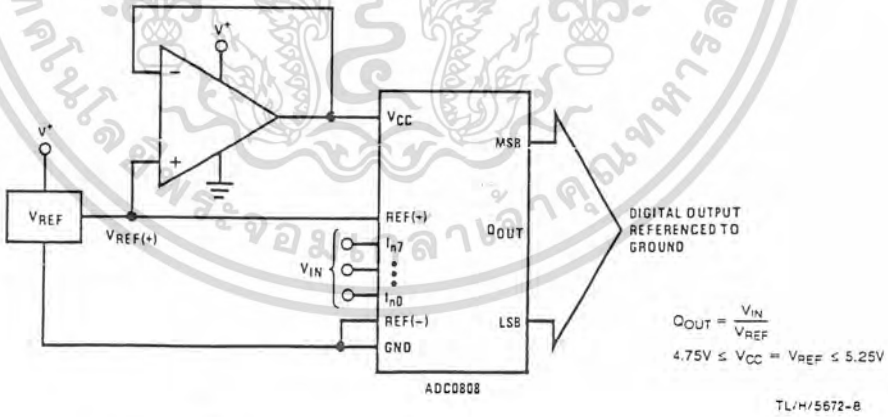


FIGURE 11: Ground Referenced Conversion System with Reference Generating V_{CC} Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

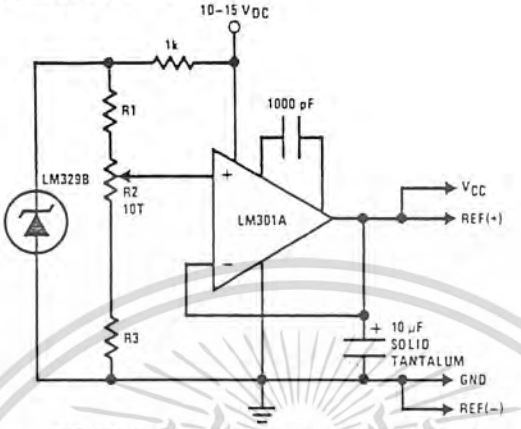


FIGURE 12. Typical Reference and Supply Circuit

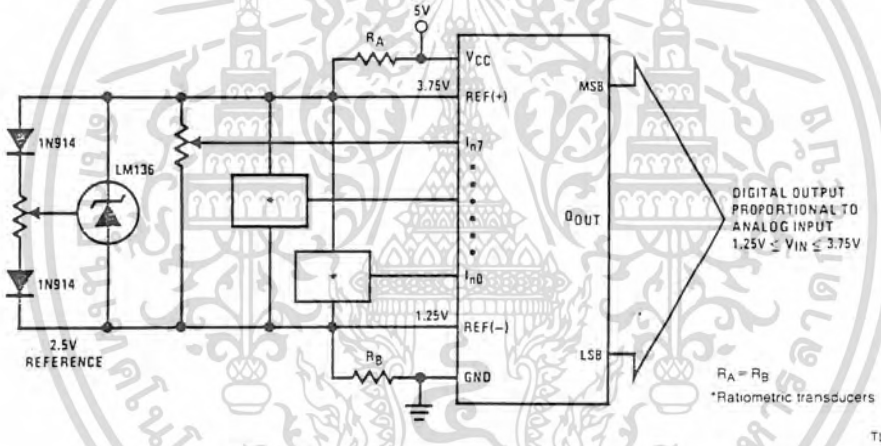


FIGURE 13. Symmetrically Centered Reference

3.0 CONVERTER EQUATIONS

The transition between adjacent codes N and N + 1 is given by:

$$V_{IN} = \left\{ (V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} + \frac{1}{512} \right] \pm V_{TUE} \right\} + V_{REF(-)} \quad (2)$$

The center of an output code N is given by:

$$V_{IN} \left\{ (V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} \right] \pm V_{TUE} \right\} + V_{REF(-)} \quad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN} - V_{REF(-)}}{V_{REF(+)} - V_{REF(-)}} \times 256 \pm \text{Absolute Accuracy} \quad (4)$$

where: V_{IN} = Voltage at comparator input

$V_{REF(+)}$ = Voltage at Ref(+)

$V_{REF(-)}$ = Voltage at Ref(−)

V_{TUE} = Total unadjusted error voltage (typically $V_{REF(+)} \div 512$)

4.0 ANALOG COMPARATOR INPUTS

The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder/switch tree network and to the comparator input as part of the operation of the chopper stabilized comparator.

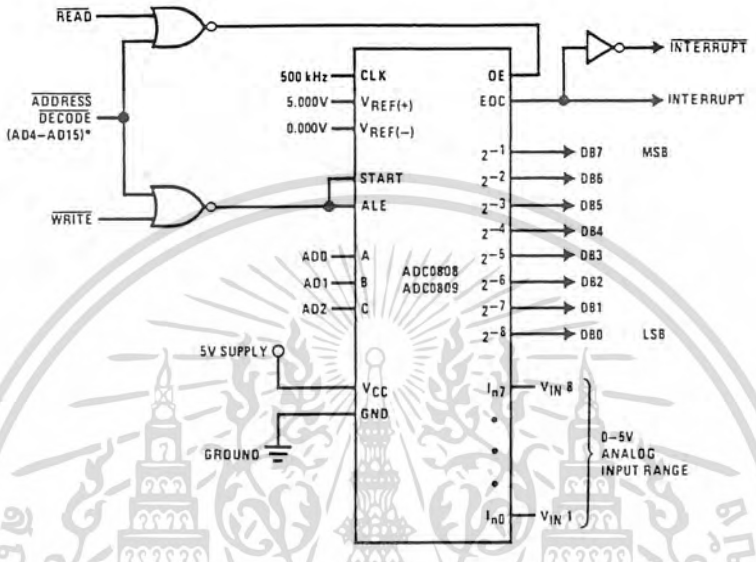
The average value of the comparator input current varies directly with clock frequency and with V_{IN} as shown in *Figure 6*.

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is strobed.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effect can be predicted conventionally.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application



TL/H/5672–10

*Address latches needed for 8085 and SC/MP interfacing the ADC0808 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

PROCESSOR	READ	WRITE	INTERRUPT (COMMENT)
8080	MEMR	MEMW	INTR (Thru RST Circuit)
8085	RD	WR	INTR (Thru RST Circuit)
Z-80	RD	WR	INT (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA•φ2•R/W	VMA•φ•R/W	IRQA or IRQB (Thru PIA)

Ordering Information

TEMPERATURE RANGE		−40°C to +85°C			−55°C to +125°C
Error	±½ LSB Unadjusted	ADC0808CCN	ADC0808CCV	ADC0808CCJ	ADC0808CJ
	±1 LSB Unadjusted	ADC0809CCN	ADC0809CCV		
Package Outline		N28A Molded DIP	V28A Molded Chip Carrier	J28A Ceramic DIP	J28A Ceramic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

6-Pin DIP Optoisolators
Transistor Output

4N35
4N36
4N37

6-PIN DIP
OPTOISOLATORS
TRANSISTOR
OUTPUT

CASE 730A-02
PLASTIC

These devices consist of a gallium arsenide infrared emitting diode optically coupled to a monolithic silicon phototransistor detector.

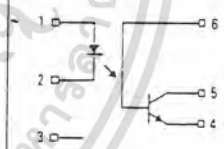
- Convenient Plastic Dual-In-Line Package
- High Current Transfer Ratio — 100% Minimum at Spec Conditions
- Guaranteed Switching Speeds
- High Input-Output Isolation Guaranteed — 7500 Volts Peak
- UL Recognized. File Number E54915
- VDE approved per standard 0883/6.80 (Certificate number 41853), with additional approval to DIN IEC380/VDE0806, IEC435/VDE0805, IEC65/VDE0860, VDE0110b, covering all other standards with equal or less stringent requirements, including IEC204/VDE0113, VDE0160, VDE0832, VDE0833, etc. (DVE 883)
- Meets or Exceeds All JEDEC Registered Specifications
- Special lead form available (add suffix "T" to part number) which satisfies VDE0883/6.80 requirement for 8 mm minimum creepage distance between input and output solder pads.
- Various lead form options available. Consult "Optoisolator Lead Form Options" data sheet for details.

MAXIMUM RATINGS (T_A = 25°C unless otherwise noted)

Rating	Symbol	Value	Unit
INPUT LED			
Reverse Voltage	V_R	6	Volts
Forward Current — Continuous	I_F	60	mA
LED Power Dissipation @ T_A = 25°C with Negligible Power in Output Detector	P_D	120	mW
Derate above 25°C		1.41	mW/°C
OUTPUT TRANSISTOR			
Collector-Emitter Voltage	V_{CEO}	30	Volts
Emitter-Base Voltage	V_{EBO}	7	Volts
Collector-Base Voltage	V_{CBO}	70	Volts
Collector Current — Continuous	I_C	150	mA
Detector Power Dissipation @ T_A = 25°C with Negligible Power in Input LED	P_D	150	mW
Derate above 25°C		1.76	mW/°C
TOTAL DEVICE			
Isolation Source Voltage (1) (Peak ac Voltage, 60 Hz, 1 sec Duration)	V_{ISO}	7500	Vac
Total Device Power Dissipation @ T_A = 25°C	P_D	250	mW
Derate above 25°C		2.94	mW/°C
Ambient Operating Temperature Range	T_A	−55 to +100	°C
Storage Temperature Range	T_{stg}	−55 to +150	°C
Soldering Temperature (10 seconds, 1/16" from case)	—	260	°C

(1) Isolation surge voltage is an internal device dielectric breakdown rating. For this test, Pins 1 and 2 are common, and Pins 4, 5 and 6 are common

SCHEMATIC



1. LED ANODE
2. LED CATHODE
3. N.C.
4. EMITTER
5. COLLECTOR
6. BASE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4N35, 4N36, 4N37

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic		Symbol	Min	Typ	Max	Unit
INPUT LED						
Forward Voltage (I_F = 10 mA)	T_A = 25°C T_A = −55°C T_A = 100°C	V_F	0.8 0.9 0.7	1.15 1.3 1.05	1.5 1.7 1.4	V
Reverse Leakage Current (V_R = 6 V)		I_R	—	—	10	μA
Capacitance (V = 0 V, f = 1 MHz)		C_J	—	18	—	pF
OUTPUT TRANSISTOR						
Collector-Emitter Dark Current (V_{CE} = 10 V, T_A = 25°C) (V_{CE} = 30 V, T_A = 100°C)		I_{CEO}	— —	1 —	50 500	nA μA
Collector-Base Dark Current (V_{CB} = 10 V)	T_A = 25°C T_A = 100°C	I_{CBO}	— —	0.2 100	20 —	nA
Collector-Emitter Breakdown Voltage (I_C = 1 mA)		$V_{(BR)CEO}$	30	45	—	V
Collector-Base Breakdown Voltage (I_C = 100 μA)		$V_{(BR)CBO}$	70	100	—	V
Emitter-Base Breakdown Voltage (I_E = 100 μA)		$V_{(BR)EBO}$	7	7.8	—	V
DC Current Gain (I_C = 2 mA, V_{CE} = 5 V)		h_{FE}	—	400	—	—
Collector-Emitter Capacitance (f = 1 MHz, V_{CE} = 0)		C_{CE}	—	7	—	pF
Collector-Base Capacitance (f = 1 MHz, V_{CB} = 0)		C_{CB}	—	19	—	pF
Emitter-Base Capacitance (f = 1 MHz, V_{EB} = 0)		C_{EB}	—	9	—	pF
COUPLED						
Output Collector Current (I_F = 10 mA, V_{CE} = 10 V)	T_A = 25°C T_A = −55°C T_A = 100°C	I_C	10 4 4	30 — —	— — —	mA
Collector-Emitter Saturation Voltage (I_C = 0.5 mA, I_F = 10 mA)		$V_{CE(sat)}$	—	0.14	0.3	V
Turn-On Time	(I_C = 2 mA, V_{CC} = 10 V, R_L = 100 Ω, Figure 11)	t_{on}	—	7.5	10	μs
Turn-Off Time		t_{off}	—	5.7	10	
Rise Time		t_r	—	3.2	—	
Fall Time		t_f	—	4.7	—	
Isolation Voltage (f = 60 Hz, t = 1 sec)		V_{ISO}	7500	—	—	Vac(pk)
Isolation Current (V_{I-O} = 3550 Vpk) (V_{I-O} = 2500 Vpk) (V_{I-O} = 1500 Vpk)	4N35 4N36 4N37	I_{ISO}	— — —	— — 8	100 100 100	μA
Isolation Resistance (V = 500 V)		R_{ISO}	10^{11}	—	—	Ω
Isolation Capacitance (V = 0 V, f = 1 MHz)		C_{ISO}	—	0.2	2	pF

TYPICAL CHARACTERISTICS

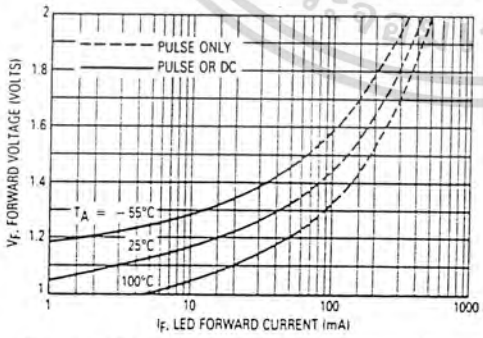


Figure 1. LED Forward Voltage versus Forward Current

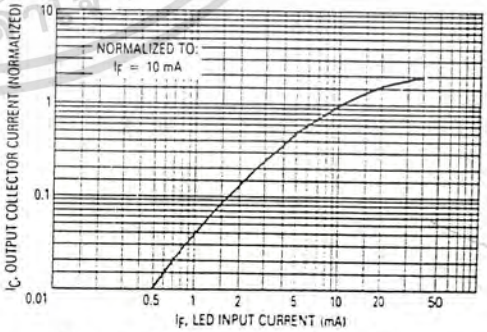


Figure 2. Output Current versus Input Current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

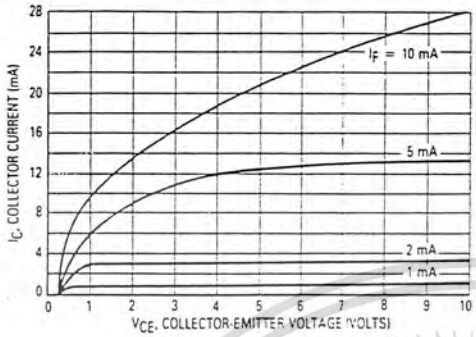


Figure 3. Collector Current versus Collector-Emitter Voltage

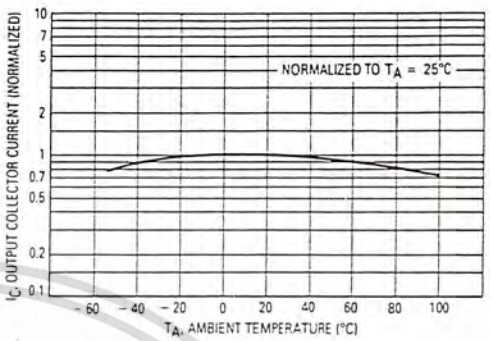


Figure 4. Output Current versus Ambient Temperature

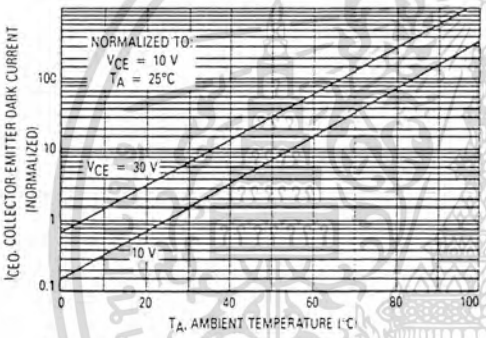


Figure 5. Dark Current versus Ambient Temperature

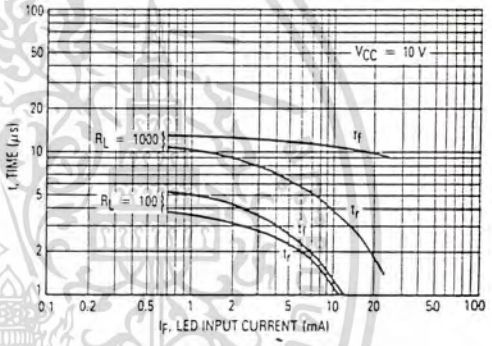


Figure 6. Rise and Fall Times

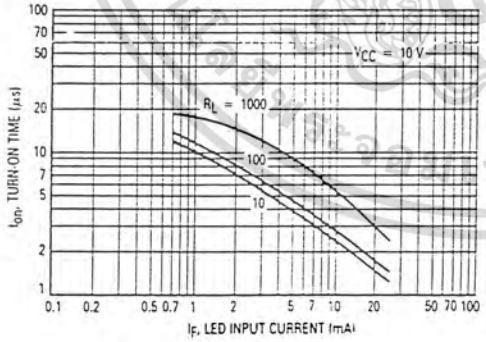


Figure 7. Turn-On Switching Times

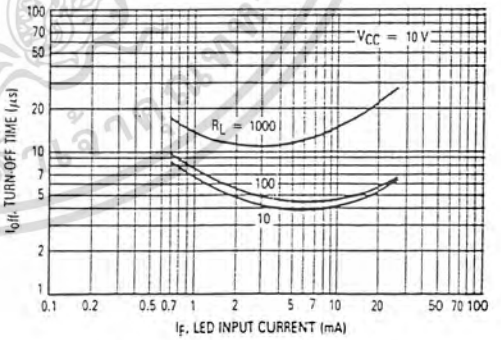


Figure 8. Turn-Off Switching Times

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4N35, 4N36, 4N37

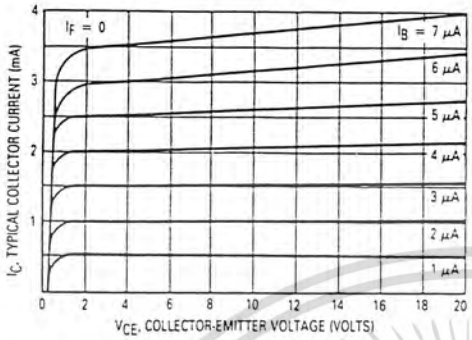


Figure 9. DC Current Gain (Detector Only)

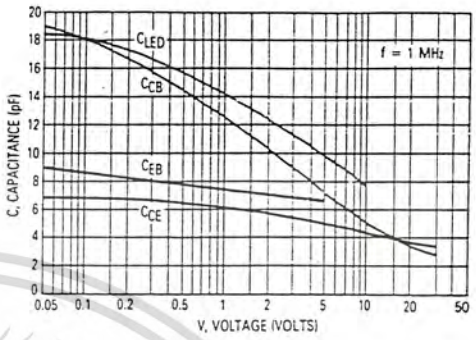


Figure 10. Capacitances versus Voltage

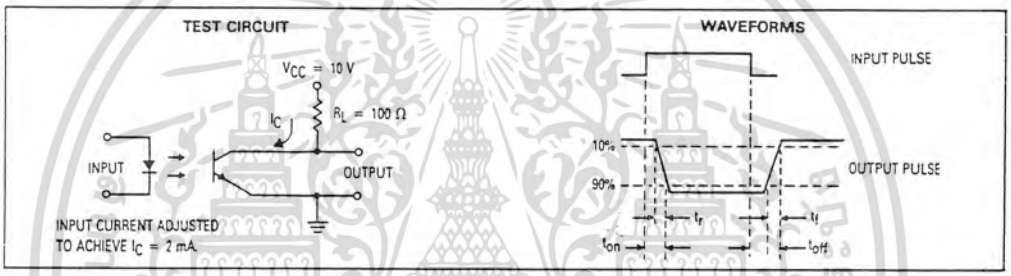
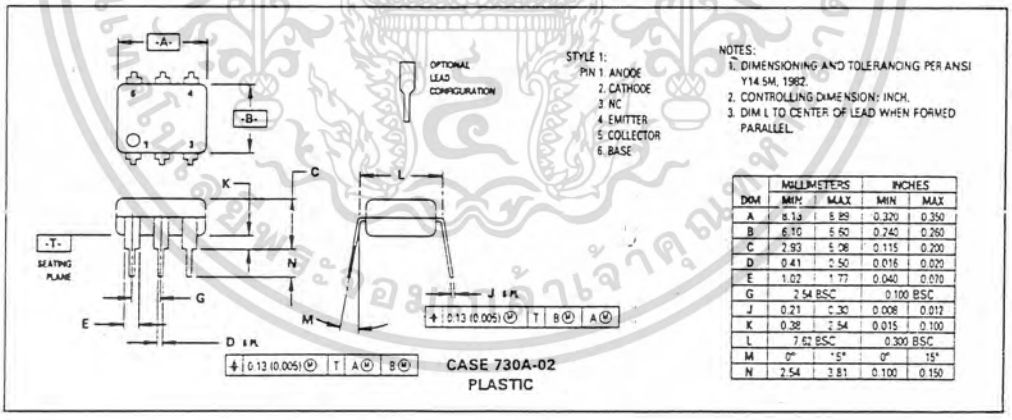


Figure 11. Switching Times

OUTLINE DIMENSIONS



DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	8.13	8.89	0.320	0.350
B	6.10	6.50	0.240	0.260
C	2.93	5.08	0.115	0.200
D	0.41	0.50	0.016	0.020
E	1.02	1.77	0.040	0.070
G	2.54 BSC		0.100 BSC	
J	0.21	0.30	0.008	0.012
K	0.38	2.54	0.015	0.100
L	7.62 BSC		0.300 BSC	
M	0°	15°	0°	15°
N	2.54	3.81	0.100	0.150

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAIN PB SCHEMATIC DIAGRAM

THIS TV SET IS HOT CHASSIS!
Use isolation transformer when hot chassis.
The chassis and any sub-chassis contrained in some product are connected to one side of the AC power line. An isolation transformer of adequate capacity should be inserted between the product and the AC power supply point while performing any service on some product when the HOT chassis is exposed.

SBX-4001A CONTROL PCB ASSY

SBX-3007A CRT SOCKET PCB ASSY

SBX-1104A MAIN PCB ASSY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในการ
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. วิบูลย์ ชื่นแขก, ไมโครโปรเซสเซอร์, สำนักพิมพ์สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ, พ.ศ. 2532.

2. ยืน ภู่วรวรรณ, ทฤษฎีและการประยุกต์ไมโครโปรเซสเซอร์ Z-80, บริษัทซีเอ็ดยูเคชั่น จำกัด, พ.ศ. 2532.

3. Motorola, Optoelectronics Device Data, Motorola Inc., 1989.

4. National Semiconductor, Linear Databook, National Semiconductor Corporation, 1988.

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้