

การออกแบบตัวแปลงสัญญาณอนาลอกเป็นดิจิทัลจำนวน n บิต
ด้วยอัลกอริทึมที่มีการทำงานในรูปกระแส

A DESIGN OF N-BIT ANALOG TO DIGITAL CONVERTER
WITH CURRENT-MODE ALGORITHMIC



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2543

ISBN 974-622-700-9

เลขที่.....
เลขทะเบียน..... 35429
วัน, เดือน, ปี 25 ๓.ย. 2543

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**A DESIGN OF N-BIT ANALOG TO DIGITAL CONVERTER
WITH CURRENT-MODE ALGORITHMIC**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2000

ISBN 974-622-700-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2000

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบตัวแปลงสัญญาณอนาลอกเป็นดิจิทัลจำนวน n บิต ด้วยอัลกอริทึมที่มีการทำงานในรูปกระแส
นักศึกษา	นายเสรี ชื่นอารมณ
รหัสประจำตัว	39061090
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2543
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ. วิทยา ทิพย์สุวรรณพร

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลจำนวน n บิต ทำงานในโหมดกระแสด้วยหลักการอัลกอริทึม ซึ่งวงจรหลักประกอบด้วยส่วนสำคัญ 2 ส่วน ส่วนแรกคือวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบอัลกอริทึมขนาด 1 บิต ที่อาศัยคุณสมบัติของวงจรเปรียบเทียบกระแสและวงจรสะท้อนกระแสในการทำงาน กับส่วนที่สองคือวงจรยึดกระแส (Sample & Hold Current) 2 วงจรที่ทำหน้าที่ในการยึดและสลับกลับกันโดยใช้สัญญาณนาฬิกาควบคุมลำดับการทำงานของวงจรและควบคุมกระบวนการแปลง คุณสมบัติเด่นของวงจรคือสามารถเพิ่มหรือลดจำนวนบิตเอาต์พุตได้ด้วยการเพิ่มหรือลดสัญญาณนาฬิกา ผลการทดลองและการเลียนแบบวงจรด้วยโปรแกรม Pspice ให้แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลขนาด 8 บิต ให้ผลสอดคล้องเหมือนกันตามหลักการทฤษฎี ค่าผิดพลาดเฉลี่ยจากการแปลงสัญญาณในการทดลอง $\pm 2\text{LSB}$ และ $\pm 1\text{LSB}$ ในการเลียนแบบ

Thesis Title A Design of n-bit Analog to Digital Converter with Current-Mode Algorithmic

Student Mr. Seri Chuenaroom

Student ID. 39061090

Degree Master of Engineering

Programme Electrical Engineering

Year 2000

Thesis Advisor Assoc.Prof.Wittaya Tipsuwanporn

ABSTRACT

This thesis presents a design of an n-bit analog to digital converter with current-mode algorithm. The main circuit consists of two parts. The first part is a 1-bit algorithmic analog to digital conversion circuit, using the characteristic of the current comparison circuit and current mirror circuit for operation. The second part is two current sample and hold circuits, alternately operation in sampling and holding current, using the clock signal for controlling the sequence of the circuits operation and conversion. The best characteristic of this circuit is able to increase and decrease the amount of output bit by increasing and decreasing the clock signal. The results of experimentation and simulation by Pspice program for 8-bit output are satisfactory in principle. The conversion average errors in the experimentation and simulation are in bound of $\pm 2\text{LSB}$ and $\pm 1\text{LSB}$, respectively.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดี ผู้เขียนขอขอบพระคุณอาจารย์ รศ.วิทยา ทัพย์สุวรรณพร ที่ปรึกษา ที่ได้ช่วยกรุณาให้คำปรึกษาแนวทางในการแก้ปัญหา ความคิดริเริ่ม ตลอดจนการฝึกฝนให้ผู้วิจัยมีความสามารถในการทำการวิจัย และชี้แนะในการเขียนวิทยานิพนธ์ ด้วยดีมาตลอด

ขอขอบพระคุณ ผศ.ดร.เกียรติศักดิ์ คมวัชระ ที่ให้คำปรึกษาวิธีการแก้ปัญหาต่าง ๆ ที่เกิดขึ้นทั้งด้านทฤษฎีและปฏิบัติในการทำวิทยานิพนธ์นี้มีความสมบูรณ์มากยิ่งขึ้น

ขอขอบพระคุณ รศ.ดร.วิวัฒน์ กิรานนท์ รศ.ดร.จร สุรวุฒน์ปัญญา รศ.ดร.กอบชัย เดชหาญ และอาจารย์ทุกท่านที่มีได้เอ่ยนามที่ได้ให้ความกรุณาประสิทธิ์ประสาทวิชาความรู้ทั้งหลายให้แก่ผู้วิจัย

ขอกราบขอบพระคุณคุณแม่ที่ให้อำนาจในการทำงานกับผู้เขียนมาโดยตลอด และทุกท่านที่มีส่วนร่วมในการช่วยเหลือและเอื้อประโยชน์กับผู้เขียนมาโดยตลอด

ขอขอบคุณทุนอุดหนุนการทำวิทยานิพนธ์ของบัณฑิตวิทยาลัย สถาบันเทคโนโลยี พระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เสรี ชื่นอารมณ

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญภาพ.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3 สมมติฐานการศึกษา.....	2
1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย.....	2
1.5 รายละเอียดของวิทยานิพนธ์.....	2
บทที่ 2 ทฤษฎีการทำงานของมอสเฟต.....	4
2.1 บทนำ.....	4
2.2 ทฤษฎีของมอสเฟต.....	4
2.3 สัญลักษณ์ของมอสเฟต.....	7
2.4 ชนิดของมอสเฟต.....	8
2.5 การทำงานของมอสเฟต.....	9
2.6 บทสรุป.....	14
บทที่ 3 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล.....	15
3.1 บทนำ.....	15
3.2 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (ADC).....	15
3.3 ความสัมพันธ์ของ ADC.....	17
3.4 วงจร ADC ความเร็วต่ำ.....	18
3.5 วงจร ADC ความเร็วปานกลาง.....	22
3.6 วงจร ADC ความเร็วสูง.....	26

สารบัญ (ต่อ)

หน้า

3.7 บทสรุป.....	28
บทที่ 4 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลด้วยหลักการอัลกอริทึมที่ทำงานใน รูปของกระแส.....	29
4.1 บทนำ.....	29
4.2 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบอัลกอริทึม.....	29
4.3 วงจร ADC อัลกอริทึมขนาด 1 บิต.....	33
4.4 วงจร Sample and Hold.....	41
4.5 วงจรรวม ADC แบบอัลกอริทึมจำนวน n บิต.....	44
4.6 บทสรุป.....	45
บทที่ 5 ผลการเลียนแบบและผลการทดลอง.....	46
5.1 บทนำ.....	46
5.2 ผลการเลียนแบบวงจรด้วยโปรแกรม Pspice.....	46
5.3 ผลการทดลองการต่อวงจรจริง.....	50
5.4 การทดสอบทางไดนามิก.....	54
5.5 ผลการวิเคราะห์ค่าผิดพลาดจากการแปลงสัญญาณของ ADC.....	58
5.6 บทสรุป.....	59
บทที่ 6 สรุปผลงานวิจัยและข้อเสนอแนะ.....	60
บรรณานุกรม.....	60
ภาคผนวก	63
ภาคผนวก ก.....	64
ภาคผนวก ข.	71
ภาคผนวก ค.	74
ประวัติผู้เขียน.....	79

สารบัญตาราง

ตารางที่	หน้า
5.1 ค่าบิตดิจิตอลเฮอท์พุทที่ได้จากการเลียนแบบและเปรียบเทียบจากการคำนวณ.....	47
5.2 ค่าบิตดิจิตอลเฮอท์พุทที่ได้จากการทดลองจริงและเปรียบเทียบจากการคำนวณ.....	57



สารบัญภาพ

ภาพที่	หน้า
2.1 แสดงโครงสร้างของมอสเฟตแบบเอ็นฮานเมนต์ที่มีช่องทางเดินชนิดเอ็น.....	5
2.2 แสดงภาพความกว้าง W และความยาว L ของมอสเฟต.....	5
2.3 แสดงโครงสร้างของมอสเฟตแบบเอ็นฮานเมนต์ที่มีช่องทางเดินชนิดพี.....	6
2.4 แสดงโครงสร้างของซิมอสชนิดพีและชนิดเอ็นในบ่อแยกพี.....	6
2.5 แสดงโครงสร้างของซิมอสชนิดเอ็นและชนิดพีในบ่อแยกเอ็น.....	6
2.6 แสดงตัวอย่างสัญลักษณ์ของมอสเฟตแบบ 3 ขั้ว.....	7
2.7 แสดงตัวอย่างสัญลักษณ์ของมอสเฟตแบบ 4 ขั้ว.....	7
2.8 แสดงการไบอัสมอสเฟตแบบเอ็นฮานเมนต์ชนิด N-Channel.....	10
2.9 ความสัมพันธ์ I_D กับ V_{DS} เมื่อเปลี่ยน V_{GS} ของมอสเฟตแบบเอ็นฮานเมนต์ชนิด N-Channel.....	10
2.10 แสดงการไบอัสมอสเฟตแบบดีเฟลทซ์ชนิด N-Channel.....	11
2.11 ความสัมพันธ์ I_D กับ V_{DS} เมื่อเปลี่ยน V_{GS} ของมอสเฟตแบบดีเฟลทซ์ชนิด N-Channel.....	11
2.12 แสดงค่าของกระแสเดรนในช่วงการทำงานในแต่ละช่วง.....	13
3.1 หลักการเบื้องต้นของวงจร ADC.....	16
3.2 กราฟความสัมพันธ์ระหว่างสัญญาณต่อเนื่องและสัญญาณดิจิทัลขนาด 3 บิต.....	16
3.3 วงจรพื้นฐานของ Single slope ADC.....	19
3.4 วงจรพื้นฐานของ Dual slope ADC.....	20
3.5 กราฟความสัมพันธ์ระหว่างค่าศักย์คาจูดออกของวงจรอินทิเกรท V_{int} กับเวลา.....	22
3.6 รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบ.....	23
3.7 วงจรพื้นฐานของ Successive approximation ADC.....	24
3.8 ตัวอย่างความสัมพันธ์ระหว่างสัญญาณต่อเนื่องจุดออก V_{OA} จาก DAC กับสัญญาณต่อเนื่องจุดเข้า V_{IA}	24
3.9 หลักการทำงานและวงจรพื้นฐานของ Algorithmic ADC.....	26
3.10 หลักการทำงานของ Parallel ADC.....	27
3.11 วงจรพื้นฐานของ Parallel ADC.....	28
4.1 บล็อกไดอะแกรมอัลกอริทึม ADC 1 บิต.....	31
4.2 แสดงสัญญาณควบคุม.....	32
4.3 บล็อกไดอะแกรมวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบอัลกอริทึมทำงานด้วยกระแส.....	32

สารบัญญภาพ (ต่อ)

ภาพที่	หน้า
4.4 แสดงวงจร ADC อัลกอริทึมขนาด 1 บิต.....	33
4.5 วงจรสะท้อนกระแสแบบพื้นฐานโดยใช้มอสทรานซิสเตอร์.....	34
4.6 วงจรสะท้อนกระแสที่ใช้ในงานวิจัย.....	35
4.7 วงจรเปรียบเทียบกระแส.....	36
4.8 วงจรซีมอสอินเวอร์เตอร์.....	37
4.9 แสดงวงจรเอ็นมอสสวิทช์.....	39
4.10 แสดงวงจร CMOS switch.....	40
4.11 วงจร Sample and Hold.....	41
4.12 รูปวงจร Sampling switch mode.....	42
4.13 แสดงวงจรเมื่อสวิทช์ปิดวงจร.....	42
4.14 แสดงค่าประจุที่ผ่าน C_{ov} เมื่อสวิทช์เปิดวงจร.....	43
4.15 วงจร ADC แบบอัลกอริทึมจำนวน n บิต.....	45
5.1 (ก) ผลการเขียนแบบวงจรที่กระแส $I_{in} = 0 \mu A$	48
5.1 (ข) ผลการเขียนแบบวงจรที่กระแส $I_{in} = 10 \mu A$	48
5.1 (ค) ผลการเขียนแบบวงจรที่กระแส $I_{in} = 40 \mu A$	48
5.1 (ง) ผลการเขียนแบบวงจรที่กระแส $I_{in} = 60 \mu A$	49
5.1 (จ) ผลการเขียนแบบวงจรที่กระแส $I_{in} = 90 \mu A$	49
5.1 (ฉ) ผลการเขียนแบบวงจรที่กระแส $I_{in} = 100 \mu A$	49
5.2 (ก) ผลการทดลองวงจรจริงที่กระแส $I_{in} = 0 \mu A$	52
5.2 (ข) ผลการทดลองวงจรจริงที่กระแส $I_{in} = 10 \mu A$	52
5.2 (ค) ผลการทดลองวงจรจริงที่กระแส $I_{in} = 40 \mu A$	52
5.2 (ง) ผลการทดลองวงจรจริงที่กระแส $I_{in} = 60 \mu A$	53
5.2 (จ) ผลการทดลองวงจรจริงที่กระแส $I_{in} = 90 \mu A$	53
5.2 (ฉ) ผลการทดลองวงจรจริงที่กระแส $I_{in} = 100 \mu A$	53
5.3 บล็อกไดอะแกรมของวงจรที่ใช้ทดสอบทางไดนามิก.....	54
5.4 ผลการทดสอบทางไดนามิกของวงจร ADC ที่สัญญาณอินพุตความถี่ 100 Hz.....	55
5.5 ผลการทดสอบทางไดนามิกของวงจร ADC ที่สัญญาณอินพุตความถี่ 200 Hz.....	56

สารบัญญภาพ (ต่อ)

ภาพที่	หน้า
5.6 ผลการทดสอบทางไดนามิกของวงจร ADC ที่สัญญาณอินพุตความถี่ 300 Hz.....	57
5.7 กราฟแสดงการแปลงสัญญาณ.....	58
5.8 ค่าผิดพลาดจากการเลียนแบบ.....	58
5.9 ค่าผิดพลาดจากการทดลองจริง.....	59



บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to Digital Converters: ADC) ถูกพัฒนามาตลอด โดยการพัฒนานี้จะเน้นไปที่ความเร็วในการแปลงและพลังงานที่ใช้ ซึ่งในปัจจุบันแต่ละหลักการของการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลถูกพัฒนามาเป็นวงจรอิเล็กทรอนิกส์ที่ใช้งานกันอย่างกว้างขวางเช่นหลักการของ Successive Approximation นั้นถูกนำมาสร้างเป็นวงจรรวมจากหลายบริษัทด้วยกัน ในปัจจุบันหลักการที่มีความเร็วในการแปลงสูง มักจะถูกนำไปใช้กับสัญญาณภาพ ซึ่งจะใช้วิธีการแปลงขนาน (Flash) และ Two-step ซึ่งแบบ Two-step นี้จะช้ากว่าแบบ flash ส่วนหลักการที่มีความเร็วปานกลางจะถูกนำไปใช้กับสัญญาณเสียง เช่นแบบ Oversampling, $\Delta\Sigma$, Successive-Approximation, Algorithmic โดยการทำงานแต่ละแบบจะแตกต่างกันไป

สำหรับหลักการแปลงของ Algorithmic ADC แต่เดิมนั้นจะใช้วิธีการนำเอาวงจร Algorithmic ADC ขนาด 1 บิต มาต่ออนุกรมตามจำนวนบิตที่ต้องการ[1] ซึ่งจะต้องใช้จำนวนวงจรของ Algorithmic ADC ขนาด 1บิตเท่ากับจำนวนบิตทางเอาท์พุท ในวิทยานิพนธ์นี้จะเน้นเรื่องการประหยัดอุปกรณ์ของวงจร เพราะจะใช้วงจร Algorithmic ADC ขนาด 1 บิตเพียงหนึ่งวงจรสำหรับแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลหลายบิต โดยวิธีการนำค่าผลต่างของการแปลงบิตที่มีนัยสำคัญสูงกว่ามาแปลงหาค่าสัญญาณดิจิทัลเอาท์พุทของบิตที่มีนัยสำคัญต่ำกว่า เพื่อจะได้สัญญาณดิจิทัลบิตใหม่โดยการทำงานจะเป็นลักษณะวนรอบไปเรื่อย ๆ ซึ่งการทำงานจะคล้ายกับหลักการของ Successive Approximation โดยหลักการของ Successive Approximation นั้นจะใช้สัญญาณอ้างอิงที่เปลี่ยนค่า ไปเรื่อย ๆ จนสิ้นสุดขบวนการ ส่วนหลักการของ Algorithmic นั้นจะใช้สัญญาณอ้างอิงเพียงค่าเดียว แต่ค่าผิดพลาดจะถูกสะสมไปเรื่อย ๆ ดังนั้นวิธีการนี้จะมีข้อดีคือลดจำนวนอุปกรณ์ของวงจร แต่ข้อเสียคือความผิดพลาดจะสูงเมื่ออุปกรณ์ที่นำมาใช้มีค่า ไม่สมพวงกัน

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

ในการทำวิทยานิพนธ์เรื่อง “การออกแบบตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลจำนวน N บิต ด้วยอัลกอริทึมในโหมดกระแส” ซึ่งเป็นการออกแบบโดยใช้มอสเฟตทั้งเส้น โดยจุดประสงค์ในการทำวิทยานิพนธ์นี้ เพื่อพัฒนางาน Algorithmic ADC. ให้มีประสิทธิภาพในการแปลงที่ดี โดยใช้จำนวนอุปกรณ์ให้น้อยที่สุด เพื่อที่จะให้วงจรมีขนาดเล็ก และเพื่อนำเสนอหลักการของตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล ด้วยอัลกอริทึม ในโหมดกระแส ซึ่งประโยชน์ด้านการคำนวณว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 สมมติฐานการศึกษา

โดยทั่วไปหลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลด้วยอัลกอริทึม เมื่อต้องการจำนวนบิตทางเอาต์พุตจำนวน N บิตก็จะต้องนำวงจรมาต่ออนุกรมกัน n วงจร[1] ซึ่งจะทำให้ต้องใช้พื้นที่เพิ่มตามจำนวนบิตทางเอาต์พุต และค่าผิดพลาดของการแปลงจะขึ้นอยู่กับแต่ละวงจรที่นำมาต่ออนุกรมกัน ดังนั้นเพื่อที่จะแก้ไขปัญหานี้ จึงได้นำเสนอหลักการ โดยไม่ต้องเพิ่มวงจรตามจำนวนบิตแต่ใช้วิธีการเก็บค่าสถานะทางเอาต์พุตป้อนกลับให้กับวงจรเดิม โดยวิธีนี้แสดงให้เห็นว่าโครงสร้างของวงจรที่ได้ออกแบบจะใช้พื้นที่น้อยกว่าแบบเดิมและใช้จำนวนสัญญาณนาฬิกาควบคุมวงจรตามจำนวนบิตทางเอาต์พุตที่ต้องการ

1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย

วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล จำนวน N บิต จะอาศัยหลักการเทคนิคการเก็บค่ากระแสเอาต์พุต ในรูปของประจุไฟฟ้าโดยใช้วงจร Sample and Hold 2 วงจรทำงานสลับกันโดยจะใช้ตัวหนึ่งทำหน้าที่ในการ Track อีกตัวหนึ่งทำหน้าที่ในการ Hold สลับกันไปตามจังหวะสัญญาณนาฬิกาที่ใช้ในการควบคุม การทำงานของวงจรทั้งหมดจะแยกเป็น 2 ส่วน ส่วนวงจรภาคแรกจะทำหน้าที่ในการแปลงทีละบิต ภายใต้หลักการของอัลกอริทึม ส่วนวงจรภาคที่สองจะทำหน้าที่ในการเก็บสถานะของกระแสเอาต์พุตให้อยู่ในรูปของสนามไฟฟ้าภายใต้กฎการอนุรักษ์ประจุ โดยวงจรจะถูกสัญญาณนาฬิกาควบคุมการแปลงจากสัญญาณภายนอก

1.5 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์นี้แบ่งเนื้อหาออกเป็น 6 บท และ 3 ภาคผนวก โดยแต่ละบทจะมีรายละเอียดดังต่อไปนี้

บทที่ 1 เป็นบทนำและวัตถุประสงค์ในการทำวิทยานิพนธ์

บทที่ 2 กล่าวถึงโครงสร้างและทฤษฎีการทำงานของมอสเฟต

บทที่ 3 กล่าวถึงหลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบต่างๆ รวมทั้งข้อดีและข้อเสียของแต่ละแบบ

บทที่ 4 กล่าวถึงหลักการออกแบบวงจรแต่ละส่วนและการทำงานของวงจรรวม

บทที่ 5 จะเป็นการทดลองจริงและเขียนแบบการทำงานด้วยโปรแกรม Pspice เพื่อเปรียบเทียบการทำงานและผลการวิเคราะห์ค่าผิดพลาดจากการทดลองและเขียนแบบการทำงานจากโปรแกรม Pspice

บทที่ 6 เป็นบทสรุปผลงานที่ได้นำเสนอในวิทยานิพนธ์และแนวทางในการพัฒนาต่อไป
ภาคผนวก ก แสดงบทความวิจัยที่ได้รับการตีพิมพ์
ภาคผนวก ข เป็นโปรแกรม Pspice ที่ใช้ในการเลียนแบบการทำงานของวงจร
ภาคผนวก ค เป็นการวิเคราะห์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีการทำงานของมอสเฟต

2.1 บทนำ

ในการออกแบบวงจรเทคโนโลยีของมอส ถูกนำมาใช้อย่างมากเพราะมีข้อดีกว่าเทคโนโลยีแบบอื่นๆ หลายประการ เช่น การสูญเสียของพลังงานต่ำ มีอินพุตอิมพีแดนซ์สูงมาก การออกแบบง่าย ซึ่งมีความต้องการมากของงานทางด้านประมวลผลสัญญาณ (Signal Processing) โดยแบบวงจรรวมอยู่บนชิพเดียวจึงทำให้การทำงานจะมีประสิทธิภาพมากที่สุด โดยเนื้อหาของบทนี้จะเป็นการกล่าวถึงมอสเฟต ซึ่งเป็นองค์ประกอบย่อยของวงจรต่างๆ ภายในวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล หัวข้อที่กล่าวถึงจะเริ่มตั้งแต่โครงสร้างของมอสเฟต สัญลักษณ์ การแบ่งชนิดของมอสเฟต การทำงาน และคุณสมบัติด้านอื่นๆ ของมอสเฟต

2.2 ทฤษฎีของมอสเฟต

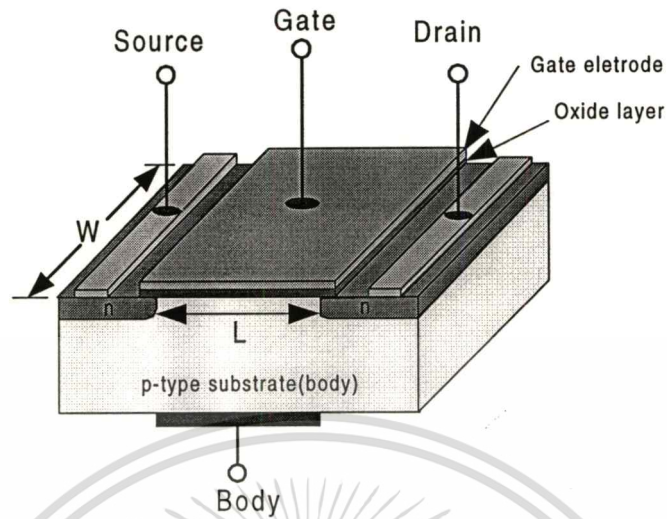
มอสทรานซิสเตอร์หรือมอสเฟต (MOSFET) มาจากคำเต็มว่า Metal Oxide Semiconductor Field-Effect Transistor และมีอีกชื่อหนึ่งว่าอินซูลาเต็ดเกตเฟต (Insulated Gate Field-Effect Transistor) หรือ IGFET เป็นอุปกรณ์สารกึ่งตัวนำที่อาศัยการทำงานของพาหะข้างมาก (Majority Carrier) ชนิดใดชนิดหนึ่ง จึงเป็นอุปกรณ์ชนิด Unipolar โดยกระแสเอาต์พุตของมอสเฟตถูกควบคุมด้วยสนามไฟฟ้า (Electric Field) โดยในปัจจุบันนิยมกันมากและได้เข้ามาแทนไบโพลารทรานซิสเตอร์ เนื่องจากโครงสร้างง่าย มีขั้นตอนผลิตน้อยมีขนาดเล็กได้ปริมาณการผลิตมากต่อชิพหนึ่งชิพ อย่างไรก็ตามมอสเฟตก็ยังมีข้อด้อยอยู่บ้าง เช่น ทำงานที่กัลังต่ำ และอัตราขยายต่ำ

2.2.1 โครงสร้างของมอสเฟต

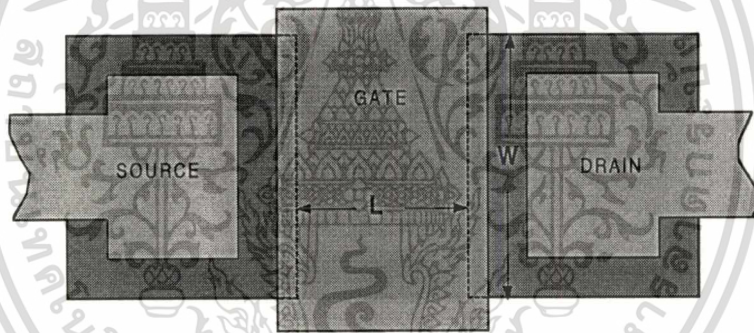
ภาพที่ 2.1 แสดงถึงโครงสร้างของมอสเฟตที่มีช่องทางเดินกระแสชนิดเอ็น(ชนิดเอ็นมอส) ส่วนของฐานรองจะเป็นแผ่นซิลิกอน (Silicon wafer) ที่ได้จากการเติมสารเจือชนิดพี ส่วนของซอส (Source:S) และเดรน (Drain:D) จะเป็นชั้นที่ได้จากการแพร่สารเจือชนิด n^+ (n^+ หมายถึงสารเจือชนิดเอ็นที่มีความเข้มข้นอะตอมสารเจือสูงๆ) กับซิลิโคน ทำให้บริเวณนี้เกิดรอยต่อเป็นรอยพี-เอ็น ขึ้นในฐานรองซิลิกอน ส่วนที่ทำให้ซิลิโคนแยกตัวออกจากผิวซิลิกอนเป็นชั้นบางๆ ของซิลิกอน ไดออกไซด์ความหนาของชั้นซิลิกอนไดออกไซด์นี้โดยทั่วไปจะหนาประมาณ 650 \AA (อังสตรอม) หรือ 0.065 \mu m เนื่องจากความเป็นฉนวนนี้เอง จึงทำให้ค่าความต้านทานขาเข้าที่ส่วนเกตมีค่าสูง W คือความกว้างของช่องทางเดินกระแส (Channel width) ซึ่งเป็นความกว้างของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บริเวณสารเจือที่ขั้วเดรนหรือซอส(ปกติขั้วเดรนและซอสจะมีขนาดเท่ากัน) ส่วน L คือความยาวของช่องทางเดินกระแส (Channel length) ซึ่งเป็นระยะห่างระหว่างเดรนและซอส

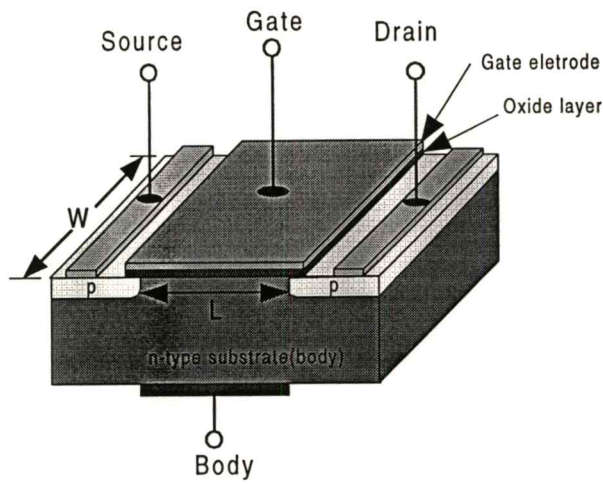


ภาพที่ 2.1 แสดงโครงสร้างของมอสเฟตแบบเอ็นแชนแนลที่มีช่องทางเดินกระแสชนิดเอ็น



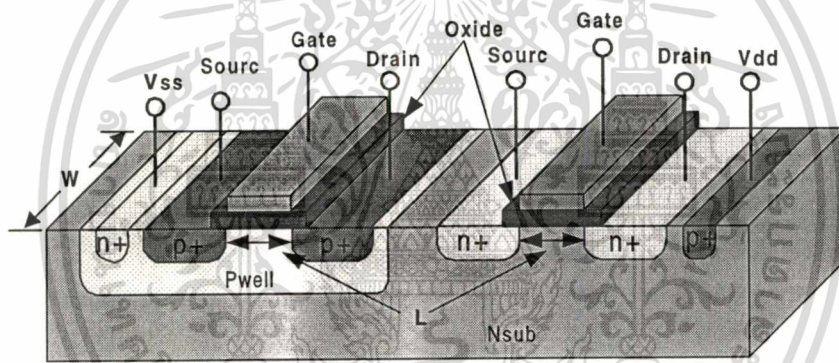
ภาพที่ 2.2 แสดงภาพความกว้าง W และความยาว L ของมอสเฟต

ในลักษณะเดียวกันมอสเฟตที่มีช่องทางเดินกระแสชนิดพี (ชนิดพีมอส) จะมีฐานรองซิลิกอนที่เติมสารเจือชนิดเอ็น บริเวณส่วนของเดรนและซอสจะถูกแพร่ด้วยสารเจือชนิดพีอย่างเข้มข้นแสดงดังภาพที่ 2.3

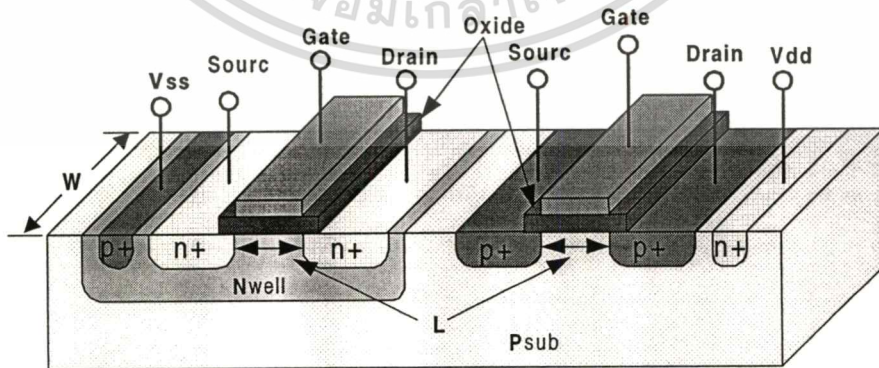


ภาพที่ 2.3 แสดงโครงสร้างของมอสเฟตแบบเอ็นชานเมนท์ที่มีช่องทางเดินกระแสชนิดพี

ในกรณีของเทคโนโลยีแบบซีมอส (Complementary MOS : CMOS) จะเป็นการรวมมอสเฟตทั้งชนิดเอ็นและชนิดพีไว้บนฐานรองเดียวกันจึงจำเป็นต้องสร้างบ่อแยก (Well) ขึ้นมาดังภาพ



ภาพที่ 2.4 แสดงโครงสร้างของซีมอสชนิดพีและชนิดเอ็นในบ่อแยกพี



ภาพที่ 2.5 แสดงโครงสร้างของซีมอสชนิดเอ็นและชนิดพีในบ่อแยกเอ็น

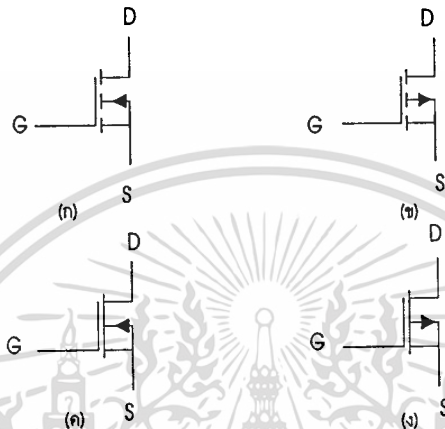
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 สัญลักษณ์ของมอสเฟต

สัญลักษณ์ทางไฟฟ้าของมอสเฟตสามารถแบ่งได้เป็น 2 กลุ่มตามความนิยมดังนี้

2.3.1 สัญลักษณ์ของมอสเฟต แบบ 3 ขั้ว

สัญลักษณ์แบบนี้จะหมายถึง มอสเฟตที่ทำการลัดวงจร (short) ส่วนของขั้วซอสเข้ากับเนื้อสาร (bulk) กรณีนี้จะใช้เมื่อ ไม่ต้องการใช้ศักย์ค่าที่ส่วนฐานของ ($V_{SB} = 0$) ตัวอย่างสัญลักษณ์ที่ใช้จะแสดงดังภาพที่ 2.3.1

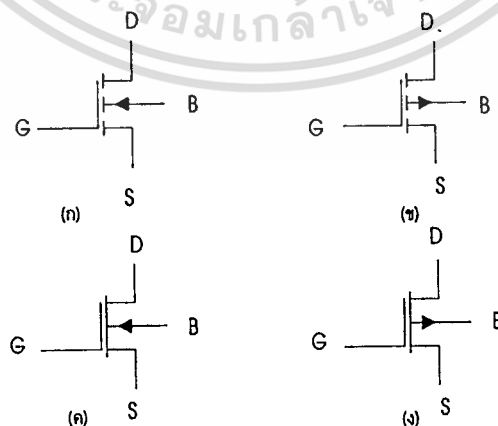


ภาพที่ 2.6 แสดงตัวอย่างสัญลักษณ์ของมอสเฟต แบบ 3 ขั้ว โดยที่ $V_{SB} = 0$

- (ก) เอ็นฮานซ์เมนต์เอ็น-มอส (ข) เอ็นฮานซ์เมนต์พี-มอส
(ค) ดีพลีชันเอ็น-มอส (ง) ดีพลีชันพีมอส

2.3.2 สัญลักษณ์ของมอสเฟต แบบ 4 ขั้ว

สัญลักษณ์แบบนี้หมายถึงมอสเฟตที่ขั้วของซอสไม่ลัดวงจรกับเนื้อสาร กรณีนี้จะใช้เมื่อต้อง การที่จะให้ศักย์ค่าที่ฐานรอง ($V_{SB} \neq 0$) ตัวอย่างสัญลักษณ์ที่ใช้แสดงดังภาพที่ 2.3.2



ภาพที่ 2.7 แสดงตัวอย่างสัญลักษณ์ของมอสเฟต แบบ 4 ขั้ว โดย $V_{SB} \neq 0$

- (ก) เอ็นฮานซ์เมนต์เอ็น-มอส (ข) เอ็นฮานซ์เมนต์พี-มอส
(ค) ดีพลีชันเอ็น-มอส (ง) ดีพลีชันพีมอส

เอกสารนี้เป็น (ก) ดีพลีชันเอ็น-มอส การใช้งานเพื่อการ (ง) ดีพลีชันพีมอส อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ชนิดของมอสเฟต

ในสารกึ่งตัวนำชนิดเอ็นจะมีอิเล็กตรอนหรือประจุลบ เป็นประจุพาหะส่วนมาก ส่วนสารกึ่งตัวนำชนิดพี จะมีโฮลเป็นประจุพาหะส่วนมาก ดังนั้นมอสเฟตเมื่อแบ่งตามชนิดของประจุพาหะที่บริเวณช่องทางเดินกระแสในขณะที่เกิดกระแสครีฟท์ (drift current) จะแบ่งออกเป็น 2 ชนิด คือ

1. เอ็น-แชนแนล มอส (N-channel MOS : NMOS) หมายถึง มอสเฟต ที่มีอิเล็กตรอนหรือประจุลบเป็นพาหะส่วนมากที่ทำให้เกิดกระแสครีฟท์และมีส่วนเดรนและส่วนซอสเป็นสารกึ่งตัวนำชนิดเอ็น

2. พี-แชนแนล มอส (P-channel MOS :PMOS) หมายถึง มอสเฟต ที่มีโฮลหรือประจุบวกเป็นพาหะส่วนมากที่ทำให้เกิดกระแสครีฟท์และมีส่วนเดรนและส่วนซอสเป็นสารกึ่งตัวนำชนิดพี

ในสภาวะปกติก่อนการให้ไบอัสกับทรานซิสเตอร์ บริเวณช่องทางเดินกระแสของมอสเฟตอาจจะเป็นสารกึ่งตัวนำชนิดเดียวกันกับส่วนเดรนและส่วนซอสหรือต่างชนิดกันก็ได้ทำให้สามารถแบ่งประเภทของสารกึ่งตัวนำบริเวณช่องทางเดินกระแสได้ 2 ประเภท คือ ดิพลีชัน (depletion) และเอ็นฮานซ์เมนต์ (enhancement)

2.4.1 ดิพลีชัน (Depletion) หมายถึง สารกึ่งตัวนำบริเวณช่องทางเดินกระแสที่เป็นชนิดเดียวกันกับสารกึ่งตัวนำของส่วนเดรนและส่วนซอส ซึ่งสามารถแบ่งได้ 2 ชนิดคือ

1. เอ็น-แชนแนล ดิพลีชัน โหมดมอสเฟต (N-channel depletion mode MOSFET) หมายถึง เอ็น-แชนแนล มอสเฟต ที่ในสภาวะปกติก่อนการให้ไบอัสที่เกต จะมีบริเวณช่องทางเดินกระแสเป็นสารกึ่งตัวนำชนิดเอ็นทำให้เกิดการเชื่อมต่อเนื้อสารกึ่งตัวนำระหว่างส่วนเดรนและส่วนซอสเข้าด้วยกัน เป็นผลให้เกิดกระแส ครีฟท์ทันทีที่มีความต่างศักย์ระหว่างส่วนเดรนและส่วนซอส ในการควบคุมปริมาณกระแสครีฟท์ นี้สามารถทำให้ปริมาณกระแสครีฟท์เพิ่มขึ้นได้โดยการให้ศักย์คาที่เกตเป็นบวกเมื่อเทียบกับฐานรองและทำให้ปริมาณกระแสครีฟท์ลดลงได้โดยการให้ศักย์คาที่เกตเป็นลบเมื่อเทียบกับฐานรอง

2. พี-แชนแนล ดิพลีชัน โหมด มอสเฟต (P-channel depletion mode MOSFET) หมายถึง พี-แชนแนล มอสเฟต ที่ในสภาวะปกติก่อนการให้ไบอัสที่เกต จะมีบริเวณช่องทางเดินกระแสเป็นสารกึ่งตัวนำชนิดพี ทำให้เกิดการเชื่อมต่อเนื้อสารกึ่งตัวนำระหว่างส่วนเดรนและส่วนซอสเข้าด้วยกัน เป็นผลให้เกิดกระแสครีฟท์ทันทีที่มีความต่างศักย์ระหว่างส่วนเดรนและส่วนซอส ในการควบคุมปริมาณกระแสครีฟท์นี้สามารถทำให้กระแสครีฟท์เพิ่มขึ้นได้โดยการให้ศักย์คาที่เกตเป็นบวกเมื่อเทียบกับฐานรองและทำให้ปริมาณกระแสครีฟท์ลดลงได้โดยการให้ศักย์คาที่เกตเป็นลบเมื่อเทียบกับฐานรอง

2.4.2 เอ็นฮานซ์เมนต์ (Enhancement) หมายถึง สารกึ่งตัวนำบริเวณช่องทางเดินกระแสที่ต่างชนิดกันกับสารกึ่งตัวนำของส่วนเดรนและส่วนซอสซึ่งสามารถแบ่งได้ 2 ชนิดคือ

1. เอ็น-แชนแนล เอ็นฮานซ์เมนต์โหมด โมสเฟต (N-channel enhancement mode MOSFET) หมายถึง เอ็น-แชนแนล โมสเฟต ที่ในสภาวะปกติก่อนการให้ไบอัสที่เกตจะมีบริเวณช่องทางเดินกระแสเป็นสารกึ่งตัวนำชนิดพี และเมื่อขณะใช้งานโดยการให้ศักย์ค่าที่เกตจะเป็นบวกเมื่อเทียบกับฐานรอง จะทำให้บริเวณช่องทางเดินกระแสที่เป็นสารกึ่งตัวนำชนิดพีจะ ถูกเหนี่ยวนำให้เปลี่ยนเป็นสารกึ่งตัวนำชนิดเอ็น

2. พี-แชนแนล เอ็นฮานซ์เมนต์โหมด โมสเฟต (P-channel enhancement mode MOSFET) หมายถึง พี-แชนแนล โมสเฟต ที่ในสภาวะปกติก่อนการให้ไบอัสที่เกต จะมีบริเวณช่องทางเดินกระแสเป็นสารกึ่งตัวนำชนิดเอ็น และเมื่อขณะใช้งานโดยการให้ศักย์ค่าที่เกตจะเป็นลบเมื่อเทียบกับฐานรอง จะทำให้บริเวณช่องทางเดินกระแสที่เป็นสารกึ่งตัวนำชนิดเอ็น ถูกเหนี่ยวนำให้เปลี่ยนเป็นสารกึ่งตัวนำชนิดพี

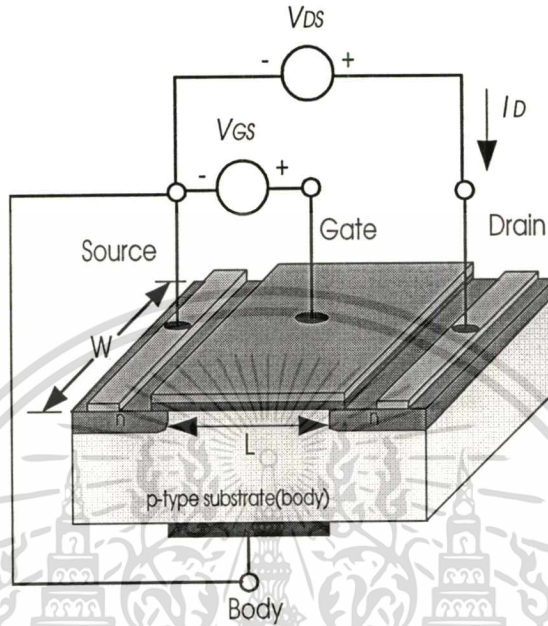
2.5 การทำงานของมอสเฟต

การทำงานของมอสเฟต ทั้งชนิด N-Channel และ P-Channel สามารถอธิบายได้โดยอ้างอิงชนิด N-Channel ได้ดังนี้คือ

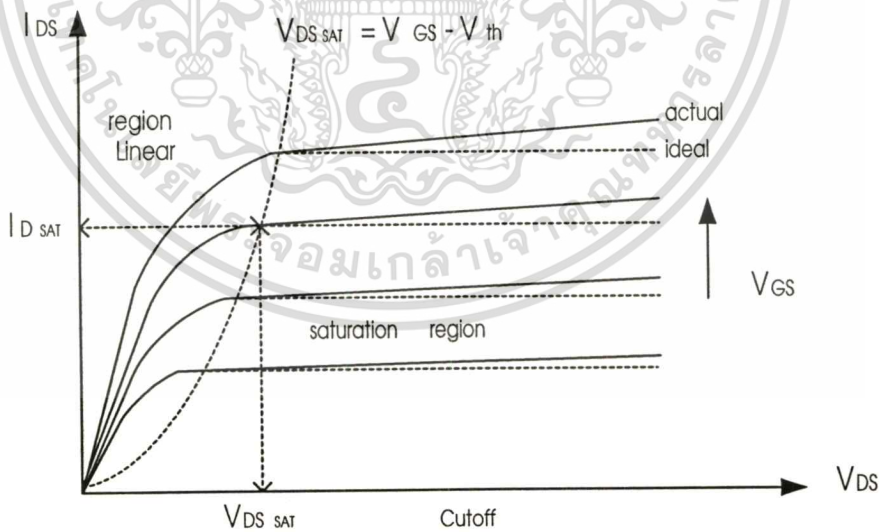
จากภาพที่ 28 แสดงการต่อแรงดันต่าง ๆ ให้กับมอสเฟตแบบเอ็นฮานซ์เมนต์ชนิด N-Channel จากโครงสร้างภายใน จะเห็นว่ารอบ ๆ ส่วนของซอสและเดรน มีลักษณะเป็นรอยต่อพี-เอ็น (P-N junction) เกิดย่านปลอดพาหะ (depletion region) ขึ้น ถ้าเกตได้รับแรงดันค่าลบ ($V_{GS} < 0$) ในขณะ $V_{DS} = 0$ จะเกิดสนามไฟฟ้าในชั้นซิลิกอนไดออกไซด์มีทิศทางไปยังขั้วของเกต จะทำให้โฮลในสาร P-type ของ substrate ถูกดูดมา บริเวณใกล้ผิว ทำให้ พาหะส่วนมาก (hole) บริเวณใกล้ผิวเพิ่มขึ้นมากกว่าใน substrate ขณะเดียวกัน พาหะส่วนน้อย (electron) บริเวณใกล้ผิวจะลดลงเนื่องจากอิเล็กตรอนจะถูกผลักลงไปใน substrate ต่อไป ถ้าเกตได้รับแรงดันค่าบวกน้อย ($V_{GS} > 0$) ในขณะที่ $V_{DS} = 0$, จะเกิดสนามไฟฟ้าในชั้นซิลิกอนไดออกไซด์มีทิศทางไปยัง substrate ทำให้พาหะส่วนมาก (hole) บริเวณใกล้ผิวของ substrate ภายใต้เกตออกไซด์ จะถูกผลักออกจาก fixed ionized acceptor ของมันกลับไปใน substrate ดังนั้นจะเกิดย่านปลอดพาหะบริเวณใกล้ผิวขึ้น ต่อมาเมื่อเกตได้รับแรงดันค่าบวกมากขึ้น จนกระทั่งมากกว่าแรงดันค่าบวกค่าหนึ่ง เรียกว่า threshold voltage (V_{th}) นั่นคือ $V_{GS} > V_{th}$ จะทำให้ศักย์บวกที่เกตที่มากขึ้นดึงดูดพาหะส่วนน้อย (electrons) จำนวนมากจาก P-type substrate มายังใกล้ผิวของ substrate ภายใต้เกตออกไซด์สร้างเป็น N-type region ซึ่งเรียกว่า inversion layer และสภาวะนี้เรียกว่า surface inversion โดย inversion layer หรือ N-type conducting channel จะเกิดขึ้นระหว่างบริเวณซอสและเดรน ทำหน้าที่เป็นช่องทางเดินกระแสระหว่างซอสและเดรนได้

ถ้าได้รับแรงดันไฟฟ้าระหว่างเดรนและซอส ดังนั้นถ้าให้แรงดันไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์เป็นวงเล็กน้อย ($V_{DS} > 0$) จะเกิดกระแสไหลจากทรานซิสเตอร์ไปยังขอสได้ ถ้าเพิ่ม V_{DS} เป็นบวกมากขึ้น กระแสก็จะไหลมากขึ้นและถ้าเพิ่ม $V_{DS} = V_{GS} - V_{th}$ กระแสทรานซิสเตอร์จะไหล สูงสุด และจะคงที่ตลอดแม้จะมีการเพิ่ม V_{DS} มากขึ้นอีกก็ตาม ดังแสดงความสัมพันธ์ระหว่าง I_D กับ V_{DS} เมื่อเปลี่ยนค่า V_{GS} ในภาพที่ 2.9



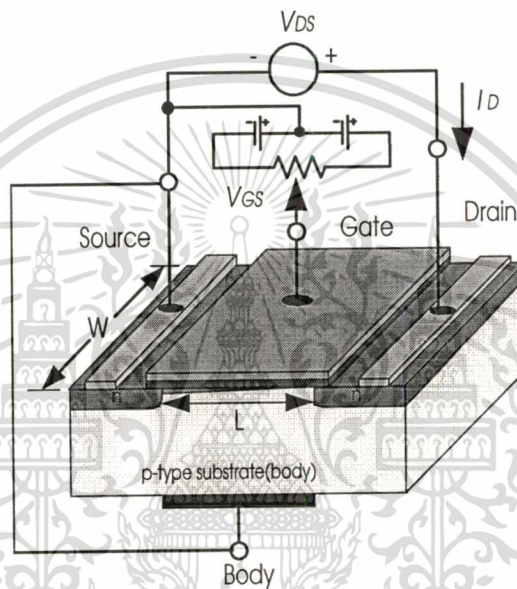
ภาพที่ 2.8 แสดงการไบอัสมอสเฟตแบบเอ็นแชนเนลชนิด N-Channel



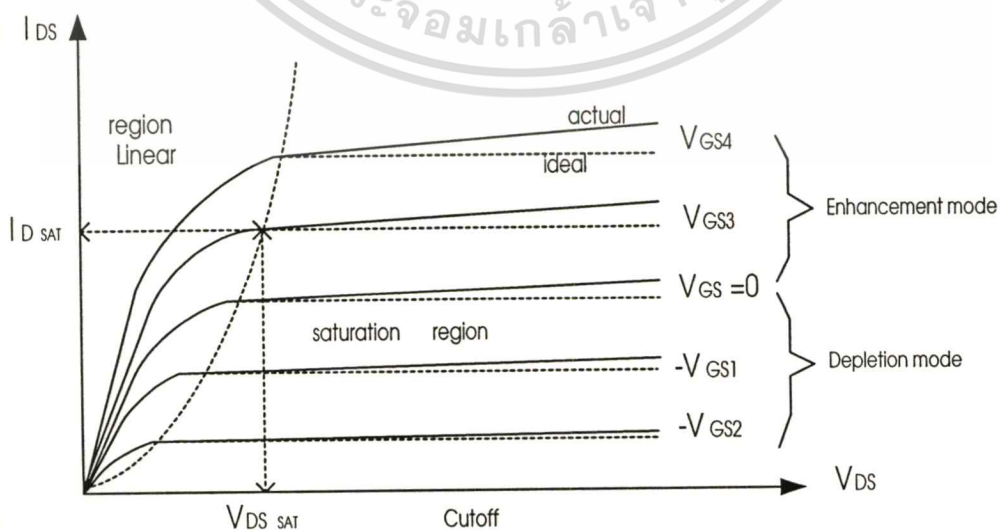
ภาพที่ 2.9 ความสัมพันธ์ I_D กับ V_{DS} เมื่อเปลี่ยน V_{GS} ของมอสเฟตแบบเอ็นแชนเนลชนิด N-Channel

จากภาพที่ 2.10 แสดงการต่อแรงดันต่าง ๆ ให้กับมอสเฟตแบบดีเพลทชนิด N-Channel จะเห็นว่า เมื่อไบอัสแรงดันเกตเป็นศูนย์เมื่อเทียบกับขอส และให้แรงดันทรานซิสเตอร์เป็นบวกค่าหนึ่ง จะมีกระแสทรานซิสเตอร์ไหลแล้วค่าหนึ่งเนื่องจาก แชนเนลได้ถูกสร้างไว้แล้ว และเมื่อไบอัสแรงดันไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกทเป็นลบค่าน้อยเทียบกับซอส จะเกิดสนามไฟฟ้าในออกไซด์ มีทิศทางไปยังขั้วของเกท ผลจะผลักพาหะประจุส่วนมาก (electron) บริเวณใกล้ผิวในแชนแนลให้ออกจาก fixed ionized donor (ประจุบวกอยู่กับที่) ลงมาแชนแนลส่วนล่าง ผลทำให้เกิด depletion region ใกล้ผิวภายในแชนแนลขึ้น ทำให้สภาพความนำไฟฟ้าของแชนแนลลดลง ผลคือกระแสเดรนไหลน้อยลง และถ้าเกทเป็นค่าลบมากขึ้น ทำให้ depletion region แผ่กว้างเพิ่มขึ้นในแชนแนล ผลจะทำให้สภาพความนำไฟฟ้าของแชนแนลลดลงไปอีก ทำให้กระแสเดรนไหลน้อยลงไปอีก และถ้าเกทเป็นลบมากๆ ทำให้ depletion region แผ่กว้างเต็มแชนแนล แล้วทำให้แชนแนลไม่นำกระแส กระแสเดรนมีค่าเป็นศูนย์ ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบดีเฟลทชัน โหมด (depletion mode)



ภาพที่ 2.10 แสดงการไบอัสมอสเฟทแบบดีเฟลทชันชนิด N-Channel



ภาพที่ 2.11 ความสัมพันธ์ I_D กับ V_{DS} เมื่อเปลี่ยน V_{GS} ของมอสเฟทแบบดีเฟลทชันชนิด N-Channel
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อมาเมื่อไบอัสแรงดันเกตเป็นบวกเมื่อเทียบกับซอส จะเกิดสนามไฟฟ้าในออกไซด์ไปยังแชนแนล จะดึงดูด ประจุพาหะส่วนน้อย (electrons) จาก P-substrate มายังบริเวณแชนแนลมากขึ้น ทำให้สภาพความนำไฟฟ้าของแชนแนลเพิ่มขึ้น กระแสเดรนไหลเพิ่มขึ้นมีค่ามากกว่ากระแสเดรนขณะ $V_{GS} = 0$ ซึ่งเราเรียกการทำงานแบบนี้ว่า การทำงานแบบเอ็นฮานซ์โหมด (enhancement mode) ดังแสดงความสัมพันธ์ของ I_D และ V_{DS} เมื่อเปลี่ยนค่า V_{GS} ในภาพที่ 2.11

จากการทำงานของมอสเฟท จะเห็นว่าเป็นการใช้แรงดันไฟฟ้าควบคุมปริมาณกระแสไฟฟ้า จะมีสมการความสัมพันธ์ของกระแสเดรน (I_D) กับแรงดันเกตซอส (V_{GS}) และค่าพารามิเตอร์ต่างๆ ของมอสเฟทแสดงได้ดังสมการที่ (2.1) โดยอ้างอิงการไบอัสของมอสเฟทแบบเอ็นฮานซ์โหมดชนิด N-Channel ดังนี้

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.1)$$

เมื่อ

μ_n = ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอนที่ผิว (Surface Mobility of Carrier)

C_{ox} = ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance Per Unit Area of the Gate Oxide)

W = ความกว้างของแชนแนล (Channel Width)

L = ความยาวของแชนแนล (Channel Length)

V_{GS} = แรงดันไฟฟ้าระหว่างเกตกับซอส (Gate-Source Voltage)

V_{DS} = แรงดันไฟฟ้าระหว่างเดรนกับซอส (Drain-Source Voltage)

V_{th} = แรงดันขีดเริ่ม (Threshold Voltage)

I_D = กระแสเดรน

การจัดไบอัสการทำงานของมอสเฟท สามารถแบ่งออกได้เป็น 3 ช่วง ขึ้นอยู่กับการพิจารณา ค่า ($V_{GS} - V_{th}$) โดยสมการทั้งหมดจะอ้างอิงการไบอัสมอสเฟทชนิด N-channel แบบเอ็นฮานซ์โหมดชนิด N-Channel ดังนี้

1. MOSFET ไม่ทำงาน (Cutoff Region) กล่าวคือ ทำการไบอัสให้แรงดันไฟฟ้าที่เกตกับซอส (V_{GS}) มีค่าน้อยกว่า V_{th} (Threshold Voltage) ผลทำให้ไม่มีกระแสเดรนไหล ดังนั้น

$$I_D = 0 \quad V_{GS} < V_{th} \quad (2.2)$$

2. MOSFET ทำงานในช่วงไม่อิ่มตัว (Non-Saturation Region) หรือช่วงเชิงเส้น (Linear Region) หรือ (Triode Region) กล่าวคือ เพื่อให้มอสเฟททำงานในช่วงนี้ ต้องทำการไบอัสให้แรงดันเกตซอสเป็นบวกมากกว่า V_{th} เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไฟฟ้าที่เกตกับซอส (V_{GS}) มากกว่า V_{th} ขณะเดียวกันให้ค่าแรงดันไฟฟ้าที่เดรนกับซอส (V_{DS}) มีค่าน้อยกว่าค่า ($V_{GS}-V_{th}$) ดังนั้นจะได้ค่าของกระแสเดรนดังสมการที่ (2.3)

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad ; V_{GS} > V_{th}, 0 < V_{DS} < (V_{GS} - V_{th}) \quad (2.3)$$

ถ้า V_{DS} มีค่าน้อย ๆ หรือไบอัสให้ $0 < V_{DS} \ll (V_{GS} - V_{th})$ จะสามารถตัดเทอม $\frac{V_{DS}^2}{2}$ ในสมการที่ (2.3) ได้และสามารถประมาณสมการได้เป็น

$$I_D \cong \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th}) V_{DS} \quad ; V_{GS} > V_{th}, 0 < V_{DS} \ll (V_{GS} - V_{th}) \quad (2.4)$$

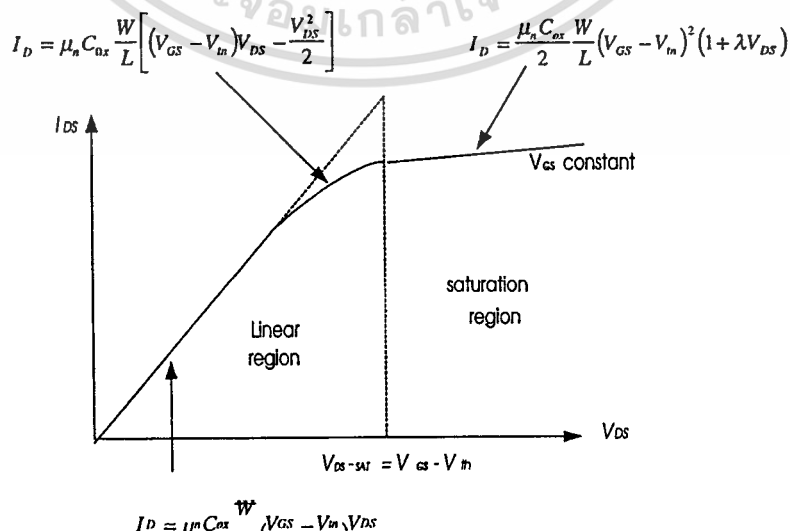
จากความสัมพันธ์อย่างเป็นเชิงเส้นในสมการที่ (2.4) จะแสดงการทำงานของมอสเฟตเป็นค่าความต้านทานที่มีความเป็นเชิงเส้น (R_{DS}) ถูกควบคุมด้วยค่าแรงดันไฟฟ้าจาก V_{GS}

$$R_{DS} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L} \right) (V_{GS} - V_{th})} \quad (2.5)$$

3. MOSFET ทำงานในช่วงอิ่มตัว (Saturation Region) กล่าวคือ ช่วงนี้จะไบอัสให้แรงดันไฟฟ้าที่เดรนกับซอส (V_{DS}) มากกว่าหรือเท่ากับ ($V_{GS}-V_{th}$) ดังนั้นจะได้กระแสเดรนในช่วงอิ่มตัวเป็น

$$I_D \cong \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right) (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad ; V_{GS} > V_{th}, 0 < (V_{GS} - V_{th}) \leq V_{DS} \quad (2.6)$$

จากการทำงานในช่วงต่างๆ แสดงได้ในภาพที่ 2.5.5 ซึ่งค่าของกระแสเดรนจะมีค่าเท่าใดนั้นจะขึ้นอยู่กับ $V_{GS}-V_{th}$ และ V_{DS}



ภาพที่ 2.12 แสดงค่าของกระแสเดรนในช่วงการทำงานของแต่ละช่วง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 บทสรุป

ในบทนี้ได้กล่าวถึงการทำงานของมอสเฟทในย่านการทำงานแบบต่างๆ ทำให้ทราบว่า การทำงานในย่านต่างๆ เกิดขึ้นได้อย่างไร และสมการของค่ากระแสเดรนในย่านต่างๆ เพื่อช่วยในการคำนวณสำหรับนำไปออกแบบวงจรต่างๆ ที่ประกอบขึ้นจากมอสเฟท มอสเฟทเป็นอุปกรณ์ทางอิเล็กทรอนิกส์ชนิดหนึ่ง ที่สามารถควบคุมปริมาณของกระแสเดรนได้ด้วยสนามไฟฟ้า ที่เกิดขึ้นจากแรงดันที่ขาท และสามารถแบ่งชนิดของมอสเฟทได้เป็น เอ็นฮานเมนท์ และ ดีพลีชัน ซึ่งแต่ละชนิดจะแบ่งเป็น PMOS และ NMOS ซึ่งการไบอัสจะมีลักษณะตรงกันข้ามเมื่อพิจารณาจากสมการของกระแสเดรนของมอสเฟทนั้นๆ จึงจะแบ่งย่านการทำงานออกเป็น 3 ย่านการทำงาน ขึ้นอยู่กับค่าของ V_{DS} และ V_{GS} โดย V_{GS} ที่ป้อนเป็นอินพุตให้กับมอสเฟท โดยจะต้องมีค่ามากกว่าแรงดันเทรชโฮลด์ (V_{th}) จึงจะสามารถควบคุมกระแสเอาต์พุตได้



บทที่ 3

การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

3.1 บทนำ

การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to Digital Converters : ADC) มีความสำคัญมากในกระบวนการของการประมวลผลแบบดิจิทัลของสัญญาณอนาลอก ดังนั้นอุปกรณ์แปลงสัญญาณ อนาลอกเป็นสัญญาณดิจิทัลจึงเป็นสิ่งจำเป็น โดยคุณลักษณะสมบัติของอุปกรณ์แปลงสัญญาณที่ดีจะต้องทำการแปลงสัญญาณโดยให้มีค่าใกล้เคียงกับสัญญาณเดิมมากที่สุด มีความเพี้ยนต่ำ และใช้เวลาการแปลงน้อย

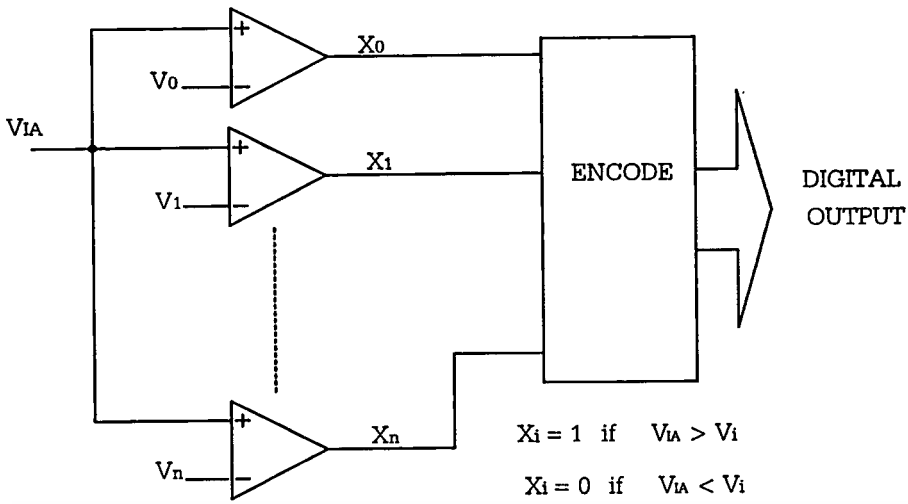
ชนิดของวงจร ADC สามารถแบ่งได้หลายชนิด เช่น แบ่งตามลักษณะของวิธีการแปลง แบ่งตามลักษณะของการทำงานของวงจภายใน และแบ่งตามความเร็วในการแปลงซึ่งที่นิยมกัน ดังนั้นวิทยานิพนธ์นี้จะกล่าวถึงวงจร ADC ตามความเร็วในการแปลงสัญญาณ โดยสามารถแบ่งเป็นประเภทใหญ่ๆ ได้ 3 ชนิด คือ 1 วงจร ADC ความเร็วต่ำ 2 วงจร ADC ความเร็วปานกลาง 3 วงจร ADC ความเร็วสูง โดยแต่ละชนิดจะถูกใช้งานที่แตกต่างกันไปขึ้นอยู่กับลักษณะของงาน เช่น ADC ความเร็วต่ำจะถูกใช้งานกับอินพุตที่มีการเปลี่ยนแปลงต่อเวลาน้อย โดยหลักการและการทำงานของ ADC แต่ละชนิดจะกล่าวถึงในหัวข้อถัดไป

3.2 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

หลักการของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลคือการเปลี่ยนรูปแบบของสัญญาณต่อเนื่องค่าหนึ่งๆ ให้เป็นสัญญาณดิจิทัลที่มีค่าสอดคล้องกัน โดยจำนวนบิตของสัญญาณดิจิทัลจะเป็นตัวกำหนดความละเอียดของการแปลง ซึ่งถ้าต้องการความละเอียดสูงก็จะต้องใช้จำนวนบิตทางด้านเอาต์พุตของวงจร ADC สูงตามไปด้วย โดยวิธีการแปลงสัญญาณจะมีความแตกต่างกันไป ขึ้นอยู่กับแนวคิดของหลักการนั้นๆ โดยวิธีการแปลงสัญญาณนั้นจะมีการพัฒนาตลอดมาได้จากผลงานวิจัยทางด้านนี้จะมีหลักการและวงจรใหม่ๆ นำเสนอมาอย่างต่อเนื่อง

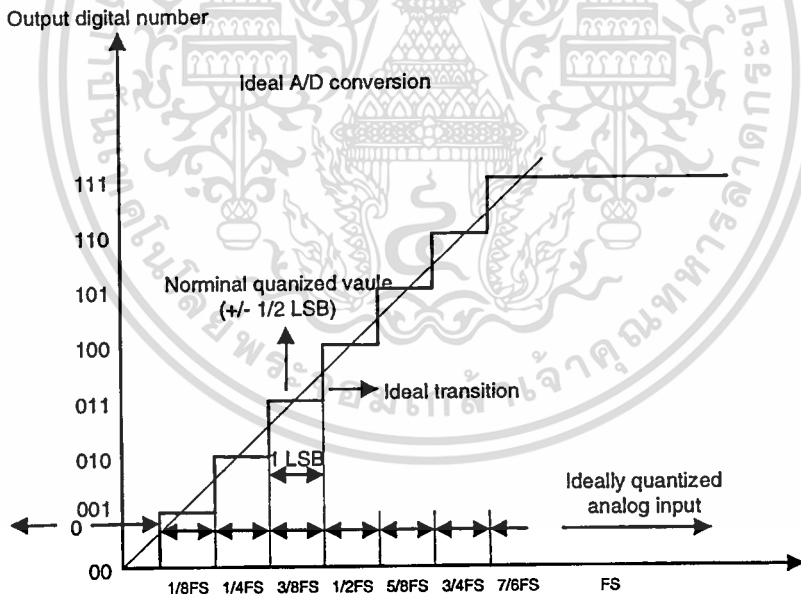
หลักการเบื้องต้นของวงจร ADC [2] แสดงได้ดังภาพที่ 3.1 สามารถอธิบายการทำงานได้ดังนี้สัญญาณต่อเนื่องเข้าจุด V_{in} จะป้อนเข้าสู่วงจรเปรียบเทียบสัญญาณจำนวน 2^{N-1} วงจร (N คือจำนวนบิตของวงจร ADC) วงจรที่ต่อขนานกันโดยแต่ละวงจรจะมีระดับของสัญญาณอ้างอิง V_i แตกต่างกันไป โดยที่ i เป็นค่าใดๆ ตั้งแต่ 0 ถึง 2^{N-1} ค่า สัญญาณจุดออก X_i ของแต่ละวงจรเปรียบเทียบสัญญาณจะนำไปเข้ารหัสโดยวงจรเข้ารหัส (Encoder) เพื่อเปลี่ยนค่าสัญญาณจุดออกเหล่านั้น ให้เป็นสัญญาณดิจิทัลที่สอดคล้องกับสัญญาณต่อเนื่องจุดเข้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.1 หลักการเบื้องต้นของวงจร ADC

โดยที่ความสัมพันธ์ระหว่างสัญญาณต่อเนื่อง V_{IA} และสัญญาณดิจิทัล D_{OUT} แสดงได้ดังภาพที่ 3.2 สำหรับรายละเอียดและหลักการของวงจร ADC แต่ละประเภทจะกล่าวในหัวข้อถัดไป



ภาพที่ 3.2 กราฟความสัมพันธ์ระหว่างสัญญาณต่อเนื่อง และสัญญาณดิจิทัลขนาด 3 บิต

3.3 ความสัมพันธ์ของ ADC

สัญญาณทางกายภาพจะถูกเปลี่ยนเป็นสัญญาณอนาลอกและถูกกำหนดให้เป็นระดับของ โวลต์ตรงหรือกระแสใดๆ เทียบกับกราวด์ ส่วนสัญญาณดิจิทัลจะอยู่บนพื้นฐานของระบบเลขฐาน สอง (base 2) นั่นคือแต่ละบิตหรือหน่วยของข่าวสารจะมีความเป็นไปได้สองสถานะ คือ “0” และ “1” โดยที่ “0” อาจกำหนดให้เป็นระดับสัญญาณค่าหนึ่งที่มีระดับของสัญญาณต่ำ และ “1” เป็น ระดับสัญญาณอีกค่าหนึ่งที่มีระดับสัญญาณสูงกว่า

สัญญาณดิจิทัลหรือรหัสดิจิทัลจะแบ่งออกเป็นกลุ่มๆ เรียกว่าเวิร์ด (Word) ซึ่งมาจาก ขบวนการจัดระดับของสัญญาณอนาลอกมาเป็นสัญญาณดิจิทัลเรียกว่าการควันไตซ์ (Quantized) โดยจะมีที่บิตนั้นขึ้นอยู่กับความต้องการของกระบวนการ ตัวอย่างเช่นรหัสของสัญญาณดิจิทัลขนาด 10 บิต “1001010100” “1” ทางซ้ายมือสุดของเวิร์ดเรียกว่า บิตนัยสำคัญสูงสุด (Most Significant Bit, MSB) และบิตทางด้านขวามือสุดของเวิร์ดเรียกว่าบิตนัยสำคัญต่ำสุด (Least Significant Bit, LSB) ซึ่งจะเห็นว่าค่าน้ำหนักประจำตำแหน่งหรือค่านัยสำคัญของแต่ละบิตจะมีคุณลักษณะเฉพาะ ตัวซึ่งจะแสดงอยู่ในภาพของตัวแปรอนาลอก (analog variable) โดยที่เราไม่สามารถทราบความ หมายของรหัสเหล่านี้ได้เลยจนกว่าจะมีการกำหนดความสัมพันธ์ของการแปรรหัสก่อน

โดยทั่วไปรหัสไบนารีส่วนใหญ่จะถูกแสดงด้วยเลขจำนวนเต็ม ตัวอย่างเช่นรหัสไบนารีที่ เป็นเลขจำนวนเต็มขนาด n บิต บิต LSB จะมีน้ำหนักประจำบิต (Weight) เป็น $2^0 (=1)$ บิตถัดมาจะมี น้ำหนัก $2^1 (=2)$ ในบิตต่อๆมาจะมีน้ำหนักเพิ่มขึ้นจนกระทั่งจนถึงบิต MSB ซึ่งจะค่าน้ำหนักเป็น 2^{n-1} จะเห็นว่าค่าน้ำหนักของรหัสไบนารีที่เป็นจำนวนเต็มจะมีค่าน้ำหนักเพิ่มมากขึ้นตามจำนวนบิต ที่เพิ่มขึ้น ดังนั้นค่าของแต่ละเวิร์ดที่เป็นไปได้จะมีค่าจาก 0 ถึง $2^n - 1$ ด้วยเหตุนี้วิธีการแปลงสัญญาณ จึงต้องกำหนดค่าเต็มสเกล (Full scale) ซึ่งเป็นค่าอ้างอิงของการแปลง (Converter's reference) ดังนั้น การเข้ารหัสส่วนใหญ่จึงเป็นรหัสเศษส่วน (Fractional binary) รหัสไบนารีที่เป็นจำนวนเต็มสามารถ แสดงเป็นรหัสไบนารีที่เป็นเศษส่วนได้ ถ้าทุกๆ บิตของจำนวนเต็มถูกหารด้วย 2^n ตัวอย่างเช่น บิต MSB จะมีค่าน้ำหนักเป็น 2^{-1} และบิตถัดมาจะมีค่าน้ำหนักเป็น 2^{-2} และในบิตต่อๆมาค่าน้ำหนัก ประจำบิตจะลดลงเรื่อยๆ จนถึงบิต LSB ซึ่งจะมีค่าน้ำหนักเป็น 2^{-n} ดังนั้นค่าของแต่ละเวิร์ดที่เป็น ไปได้จะมีค่าจาก 0 ถึง $(1-2^{-n})$ ของค่าเต็มสเกล ถึงแม้ว่าจำนวนบิตจะเพิ่มขึ้นเท่าไรก็ตาม ก็จะไม่มีผล กระทบต่อพิสัยของค่าเต็มสเกล (Full-scale Range) ดังนั้นค่าเต็มสเกลจึงเป็นตัวปรับให้เป็นค่าปกติ (Normalize) ให้กับรหัสไบนารีเศษส่วนนั่นเอง โดยค่าน้ำหนักประจำบิตที่ LSB จะถูกกำหนดให้ เป็นค่าความละเอียด (Resolution) ของการแปลง ซึ่งยิ่งใช้จำนวนบิตสูงก็จะทำให้ค่าความละเอียด ของการแปลงสูงตามไปด้วย ซึ่งความสัมพันธ์ของการแปลงแสดงได้จากสมการที่ (3.1)

$$D_{approx} = FS \left(\frac{b_{n-1} 2^{n-1}}{2^n} + \frac{b_{n-2} 2^{n-2}}{2^n} + \dots + \frac{b_{n-n} 2^{n-n}}{2^n} \right) \quad (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$b_{n-1}, b_{n-2}, \dots, b_{n-n}$	เป็นค่าดิจิทัลของบิตแต่ละบิตของรหัสไบนารี จำนวน n บิต
D_{approx}	เป็นค่าประมาณของเลขฐานสิบที่ได้จากการแปลงรหัสไบนารี
FS	เป็นค่าเต็มสเกลของการแปลง
n	เป็นจำนวนบิตสูงสุด

จากสมการที่ (3.1) จะเห็นได้ว่าค่า FS มีค่าเท่ากับ 1 หน่วย ซึ่งค่าของ FS จะมีพิสัย (Rang) เท่าไรก็ได้ โดยที่ค่าเต็มสเกล FS เสมือนกับว่ากระทำตัวเป็นค่าอ้างอิงให้กับการแปลง ดังนั้นค่า D_{approx} ที่ได้จากสมการที่ (3.1) จะมีความมากที่สุดไม่เกินค่าเต็มสเกล FS เมื่อพิจารณาค่าของ D_{approx} ที่ได้จากสมการที่ (3.1) ค่า D_{approx} สูงสุดที่ได้นี้ จะมีค่าน้อยกว่าค่าเต็มสเกลอยู่ 1 ระดับค่าของ LSB เสมอ ดังนั้นถ้าหากมีจำนวนบิตมากขึ้นจะยิ่งทำให้ค่าที่ประมาณได้ มีค่าใกล้เคียงกับค่าเต็มสเกลมากยิ่งขึ้น และถ้าเราให้ D_{approx} ทางด้านซ้ายมือของสมการที่(3.1)เป็นค่าสัญญาณอนาลอกอินพุตที่ประมาณค่าได้ ($D_{approx} = I_{in}$) จึงทำให้สมการที่ (3.1)มีรูปแบบดังสมการที่ (3.2)

$$I_{in} = \frac{FS}{2^n} \sum_{i=0}^{n-1} b_i 2^i \quad (3.2)$$

เมื่อ	I_{in}	เป็นสัญญาณอนาลอกที่ได้จากการแปลง
	FS	เป็นสัญญาณอนาลอกเต็มสเกล
	n	เป็นจำนวนบิต
	b_i	เป็นค่าของบิตใดๆ

3.4 วงจร ADC ความเร็วต่ำ

วงจร ADC ความเร็วต่ำคือวงจรที่ใช้จำนวนสัญญาณนาฬิกาสำหรับการแปลงมากกว่าจำนวนบิตที่ได้ทางเอาต์พุต โดยทั่วไปวงจร ADC แบบนี้จะมีขนาดเล็ก ลักษณะการทำงานของวงจรไม่ซับซ้อนโดยมากจะใช้หลักการของการนับ เวลาที่ใช้ในการแปลงสัญญาณขึ้นอยู่กับค่าระดับสัญญาณต่อเนื่องที่ป้อนเข้าสู่วงจร สามารถแปลงสัญญาณที่ต้องการความละเอียดสูงได้ดีคือจำนวนบิตมาก วงจร ADC ที่จัดอยู่ในประเภทนี้ได้แก่ วงจร Single slope ADC และวงจร Dual slope ADC ซึ่งมีรายละเอียดดังต่อไปนี้

3.4.1 Single slope ADC หรือ Pulse width modulator ADC [2][3][13][14]

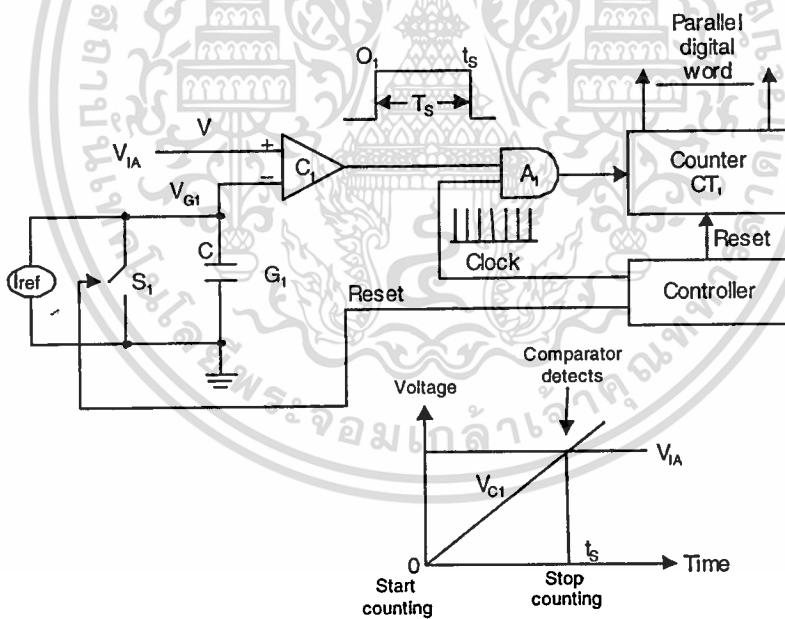
วงจร ADC แบบนี้มีหลักการทำงานแปลงสัญญาณต่อเนื่องให้อยู่ในภาพของพัลส์ที่ขนาดความกว้างแปรตามเวลาซึ่งเป็นฟังก์ชันของระดับสัญญาณต่อเนื่องที่ต้องการแปลงค่าและสัญญาณดิจิทัลจะได้จากการนับสัญญาณความถี่อ้างอิงที่เกิดขึ้นในช่วงตั้งแต่เริ่มต้นจนกระทั่งสิ้นสุดสัญญาณของพัลส์ วงจรพื้นฐานแสดงได้ดังภาพที่ 3.3 วงจรประกอบด้วย วงจรสร้างสัญญาณ ramp เอนกสารเป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

G_1 , วงจรเปรียบเทียบสัญญาณ C_1 , วงจรแอนด์เกต (AND gate) A_1 , วงจรนับแบบไบนารี CT_1 และวงจรควบคุม การทำงานของวงจรอธิบายได้ดังนี้ เมื่อสัญญาณต่อเนื่องเข้าจุด V_{IA} ถูกป้อนเข้าสู่ขาบวก (+) ของวงจรเปรียบเทียบ C_1 โดยวงจรควบคุมจะทำการส่งสัญญาณรีเซ็ตไปทำการรีเซ็ตวงจรสร้างสัญญาณ G_1 เพื่อให้วงจร G_1 สร้างสัญญาณ ramp จาก 0 โวลต์ โดยการอินทิเกรตสัญญาณกระแสอ้างอิง ได้ศักย์ค่าจุดออกวงจร V_{G1} ซึ่งมีค่าแปรตามเวลา ตามสมการที่ (3.3)

$$V_{G1}(t) = K \int_0^t I_{ref} dt \quad (3.3)$$

โดยที่ K เป็นค่าคงที่ และ t เป็นเวลาที่ค่าสัญญาณจุดออก $V_{G1}(t)$ เท่ากับ V_{IA}

จุดออกของวงจรสร้างสัญญาณ G_1 จะต่อกับขาลบ (-) ของวงจรเปรียบเทียบ C_1 ณ เวลา t ใดๆ ถ้าสัญญาณต่อเนื่องจุดเข้า $V_{IA} > V_{G1}(t)$ สัญญาณจุดออกของวงจรเปรียบเทียบ C_1 จะเป็น "1" ซึ่งทำให้วงจรแอนด์เกต A_1 ทำงานส่งสัญญาณนาฬิกาความถี่ F ซึ่งเท่ากับ $1/T_{clk}$ เข้าสู่วงจรถับ CT_1 และเมื่อ $V_{G1}(t) = V_{IA}$ ให้เวลาขณะนั้นเป็นเวลา t_s สัญญาณจุดออกจากวงจรเปรียบเทียบ C_1 จะเปลี่ยนเป็น "0" ค่าดังกล่าว จะทำให้แอนด์เกต A_1 ไม่สามารถส่งสัญญาณนาฬิกาไปยังวงจรถับ CT_1 ได้ ทำให้การสิ้นสุด



ภาพที่ 3.3 วงจรพื้นฐานของ Single slope ADC

จำนวนสัญญาณนาฬิกาที่ CT_1 นับได้ในช่วงคาบเวลา T_s วงจรควบคุมการทำงานจะทำการแปลงสัญญาณดิจิทัลที่มีค่าเทียบเท่ากับสัญญาณต่อเนื่อง V_{IA}

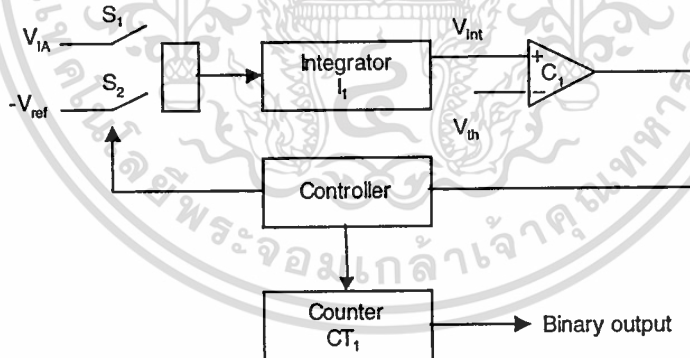
ข้อเสียของวงจรมีคือคาบเวลา T_s ที่ใช้ในการแปลงสัญญาณ จะแปรตามระดับสัญญาณต่อเนื่องจุดเข้า V_{IA} ทั้งนี้เนื่องจากวงจร ADC นี้ใช้การนับจำนวนสัญญาณนาฬิกาในช่วงคาบเวลาที่ระดับสัญญาณเปรียบเทียบ $V_{G1}(t)$ มีการแปลงค่าจาก 0 โวลต์ ไปจนกระทั่งมีค่าเท่ากับสัญญาณจุด

ไม่ว่าการณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้า V_{IA} ดังนั้นจึงจัดการเปลี่ยนระดับสัญญาณได้ที่ละ 1 พัลส์ของสัญญาณนาฬิกาหรือที่ละ 1 ระดับสัญญาณดิจิทัล LSB เท่านั้น นอกจากนั้นเสถียรภาพและความแม่นยำของวงจรขึ้นอยู่กับความผิดพลาดของวงจรสร้างสัญญาณ ramp และวงจร สร้างสัญญาณนาฬิกา

3.4.2 Dual slope ADC หรือ Up-down integrator ADC[2][3][13][14]

วงจรนี้เป็นวงจรอีกรูปแบบหนึ่งของวงจร Pulse width modulator ADC โดยจะมีความซับซ้อนและความเที่ยงตรงในการทำงานของวงจรเพิ่มขึ้น หลักการทำงานพื้นฐานของวงจรคือ การสร้างพัลส์ขึ้นมาหนึ่งลูกในหนึ่งรอบการแปลงสัญญาณ ความกว้างของพัลส์ถูกคำนวณจากเวลาที่ใช้ในการอินทิเกรตสัญญาณที่แตกต่างกัน 2 ค่า คือสัญญาณต่อเนื่องจุดเข้าและสัญญาณอ้างอิง ซึ่งอธิบายได้ดังนี้ การอินทิเกรตครั้งแรกเป็นการอินทิเกรตสัญญาณต่อเนื่องจุดเข้าภายในระยะเวลาที่กำหนดแน่นอน ค่าหนึ่งให้เป็น t_1 ซึ่งจะได้สัญญาณจุดออกของวงจรอินทิเกรต ณ เวลานั้นแตกต่างกันตามขนาดสัญญาณต่อเนื่องจุดเข้า หลังจากนั้นวงจรจะสร้างพัลส์เพื่อคำนวณหาค่าสัญญาณดิจิทัลโดยการทำการอินทิเกรตสัญญาณอ้างอิงในทิศทางลบจนกระทั่งสัญญาณจุดออกของวงจรอินทิเกรตมีค่าเท่ากับระดับสัญญาณที่ถูกกำหนดแน่นอนค่าหนึ่งให้มีค่าเท่ากับ V_{th} และระยะเวลาที่ใช้ในการอินทิเกรตครั้งที่ 2 มีค่าเท่ากับ t_2 กรณีที่สัญญาณต่อเนื่องจุดเข้าต่างกัน ค่าเวลา t_2 ของการทำงานก็จะแตกต่างกันด้วย จำนวนสัญญาณนาฬิกาที่เกิดขึ้นภายในช่วงเวลาพัลส์ t_2 วงจรควบคุมการทำงานจะแปลงค่าสัญญาณดิจิทัลที่เทียบเท่ากับสัญญาณต่อเนื่องจุดเข้า



ภาพที่ 3.4 วงจรพื้นฐานของ Dual slope ADC

วงจรพื้นฐานแสดงได้ดังภาพที่ 3.4 วงจรประกอบด้วยวงจรอินทิเกรต I_1 , วงจรเปรียบเทียบสัญญาณ C_1 , วงจรควบคุมการทำงาน, วงจรนับแบบไบนารี CT_1 , สวิตช์ S_1 และสวิตช์ S_2 โดยที่สวิตช์ S_1 และสวิตช์ S_2 จะทำงานตรงข้ามกันตลอด การทำงานอธิบายได้ดังนี้ เมื่อสัญญาณต่อเนื่องจุดเข้า V_{IA} ป้อนเข้าสู่วงจร วงจรควบคุมการทำงานจะส่งสัญญาณรีเซ็ต ไปทำการรีเซ็ตค่าศักย์คาจุดออก V_{int} ของวงจรอินทิเกรต I_1 จาก 0 โวลต์ ให้มีค่าเท่ากับ V_{th} ซึ่งเป็นค่าระดับศักย์คา threshold ของ C_1 หลังจากนั้นวงจรควบคุมการทำงานจะส่งสัญญาณไปปิดสวิตช์ S_1 เพื่อส่งผ่านสัญญาณต่อไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจุดเข้า V_{IA} ไปยังวงจรมินิเกรท I_1 เพื่อทำการ อินทิเกรตสัญญาณเป็นระยะเวลาเท่ากับ $N_{ref}T$ (t) ซึ่งเป็นระยะเวลาอ้างอิงที่กำหนด ได้สัญญาณจุดออกจากวงจรมินิเกรท I_1 เป็น V_{int} ความสัมพันธ์ระหว่าง V_{IA} กับ V_{int} แสดงได้ดังสมการที่ (3.4)

$$\begin{aligned} V_{int}(t) &= K \int_0^{N_{ref}T} V_{IA} dt + V_{int}(0) \\ &= KN_{ref}TV_{IA} + V_{th} \end{aligned} \quad (3.4)$$

โดยที่ K เป็นค่าคงที่

หลังจากนั้นวงจรควบคุมจะเปิดสวิตช์ S_1 และปิดสวิตช์ S_2 เพื่อส่งผ่านค่าศักย์ค่าอ้างอิง ($-V_{ref}$) เข้าสู่ตัววงจรมินิเกรท I_1 ซึ่งวงจรมินิเกรทมี slope การทำงานของวงจรเป็นลบ (-) ในขณะเดียวกันนั้นวงจรมินิเกรท CT_1 จะเริ่มทำการนับจำนวนสัญญาณนาฬิกาไปจนกระทั่ง V_{int} มีค่าเท่ากับ V_{th} ซึ่งเป็นค่าระดับศักย์ค่าที่กำหนด วงจรมินิเกรท CT_1 จะหยุดทำการนับ ให้ระยะเวลาที่วงจรมินิเกรททำงานเท่ากับ $N_{OUT}T(t_2)$ วงจรควบคุมการทำงานจะทำการแปลงจำนวนสัญญาณนาฬิกา N_{OUT} ที่นับได้เป็นสัญญาณดิจิทัลที่เทียบเท่ากับสัญญาณต่อเนื่องจุดเข้า V_{IA} สมการความสัมพันธ์ในช่วง slope ขาลงระหว่าง $-V_{ref}$ กับ V_{int} แสดงได้ดังสมการที่ (3.5)

$$V_{int}(t) = V_{int}(0) + K \int_0^{N_{OUT}T} (-V_{ref}) dt \quad (3.5)$$

เมื่อ $t = N_{OUT}T$ จะได้ว่า

$$V_{int}(N_{OUT}T) = V_{int}(0) - KN_{OUT}TV_{ref} \quad (3.6)$$

จาก $V_{int}(0) = KN_{ref}TV_{IA} + V_{th}$ ดังนั้น

$$V_{int}(N_{OUT}T) = [KN_{ref}TV_{IA} + V_{th}] - KN_{OUT}TV_{ref} \quad (3.7)$$

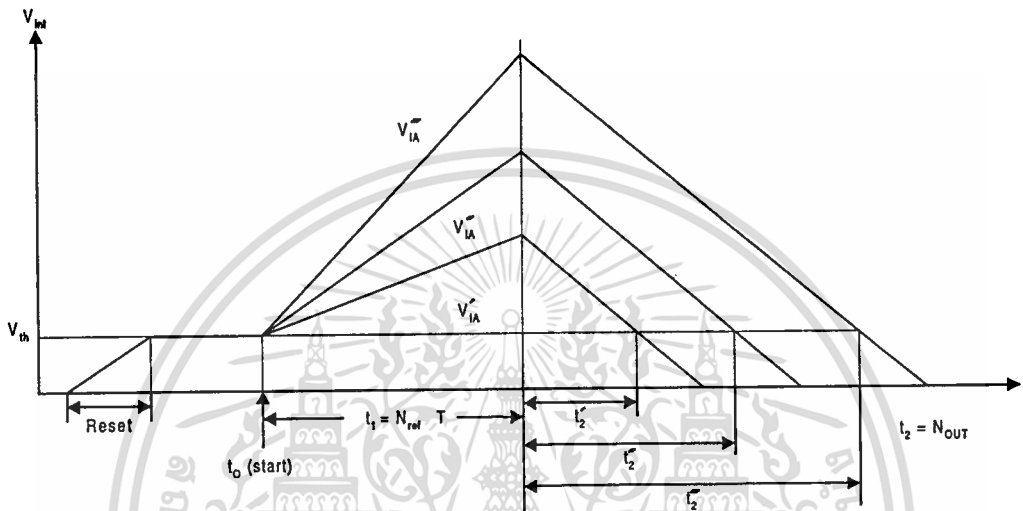
เนื่องจาก $V_{int}(N_{OUT}T) = V_{th}$ ดังนั้นจะได้ว่า

$$V_{ref}(N_{OUT}T) = V_{IA}N_{ref} \quad (3.8)$$

หรือ

$$N_{OUT} = N_{ref} \left[\frac{V_{IA}}{V_{ref}} \right] \quad (3.9)$$

กราฟแสดงความสัมพันธ์ระหว่างค่าศักย์คาจูดออกของวงจรอินทิเกรท V_{int} และเวลา t เป็นดังภาพที่ 3.5 และจากสมการที่ (3.7) จะเห็นได้ว่าการทำงานของวงจรไม่ขึ้นกับค่าศักย์ค่า threshold ของวงจรเปรียบเทียบสัญญาณ, slope ของวงจรอินทิเกรท หรือสัญญาณนาฬิกา แต่การทำงานของวงจรจะขึ้นอยู่กับระดับของศักย์คาจูดเข้าเท่านั้น ทำให้การทำงานของวงจรมีความเที่ยงตรงแม่นยำสำหรับในกรณีที่สัญญาณต่อเนื่องจุดเข้ามีค่าเต็มสเกล (ระดับศักย์คาจูดเข้าสูงสุด) เวลาที่ใช้ในการแปลงสัญญาณจะมีค่ามากที่สุดคือ $2^{N+1}T$ วินาที โดยที่ N เป็นจำนวนบิตที่ต้องการ



ภาพที่ 3.5 กราฟความสัมพันธ์ระหว่างค่าศักย์คาจูดออกของวงจรอินทิเกรท V_{int} กับเวลา

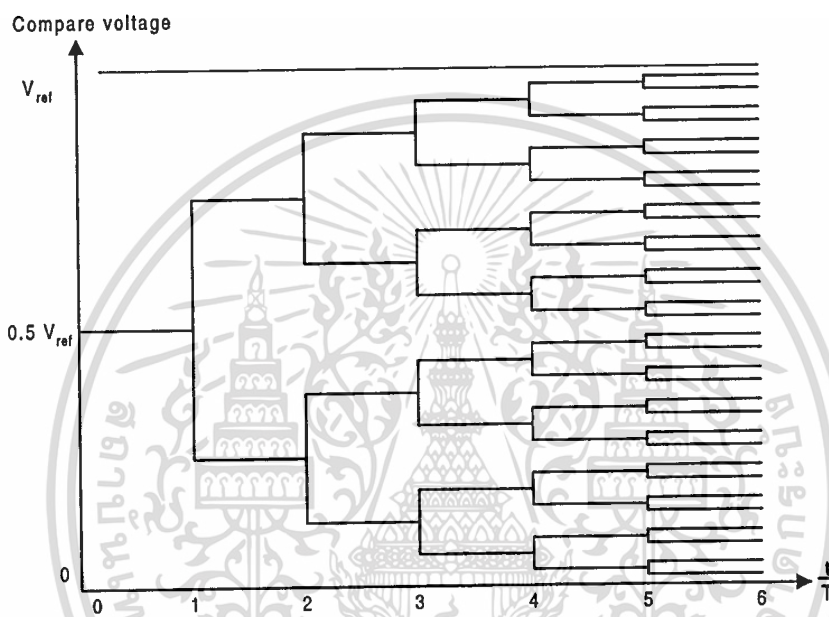
3.5 วงจร ADC ความเร็วปานกลาง

วงจร ADC ความเร็วปานกลางเป็นวงจร ADC ที่มีการทำงานเป็นแบบอนุกรม คือในการแปลงสัญญาณหนึ่งครั้งจะได้สัญญาณดิจิทัลหนึ่งบิต เมื่อเปรียบเทียบกับวงจร ADC ความเร็วต่ำ วงจร ADC ประเภทนี้จะมีควมซับซ้อนมากกว่า เวลาที่ใช้ในการแปลงสัญญาณไม่ขึ้นกับค่าระดับสัญญาณต่อเนื่องที่ป้อนเข้าสู่วงจรแต่ขึ้นกับจำนวนบิตที่ต้องการ วงจร ADC ที่จัดอยู่ในประเภทนี้ได้แก่ วงจร Successive approximation ADC และวงจร Algorithmic ADC ซึ่งมีรายละเอียดดังต่อไปนี้

3.5.1 Successive approximation ADC [2][9][10]

วงจรมีหลักการพื้นฐาน คือ วงจรทำการแปลงสัญญาณต่อเนื่องให้เป็นสัญญาณดิจิทัลทีละหนึ่งบิต เริ่มต้นจากบิต *MSB* ไปยังบิต *LSB* นั่นคือสัญญาณต่อเนื่องจุดเข้าจะทำการเปรียบเทียบกับสัญญาณเปรียบเทียบค่าหนึ่งๆ โดยในแต่ละรอบการเปรียบเทียบสัญญาณที่เข้าทำการเปรียบเทียบจะมีค่าแตกต่างกัน ในรอบแรกค่าสัญญาณเปรียบเทียบจะมีค่าเท่ากับครึ่งหนึ่งของสัญญาณเต็มสเกลที่วงจรสามารถยอมรับได้ในกรณีที่สัญญาณต่อเนื่องจุดเข้ามากกว่าสัญญาณเปรียบเทียบสัญญาณดิจิทัลบิต *MSB* จะมีค่าเป็น "1" แต่ถ้าสัญญาณต่อเนื่องมีค่าน้อยกว่าสัญญาณเปรียบเทียบไม่ว่ากรณีใดๆ ออกทางอื่นมีเหตุผลเปลี่ยนแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

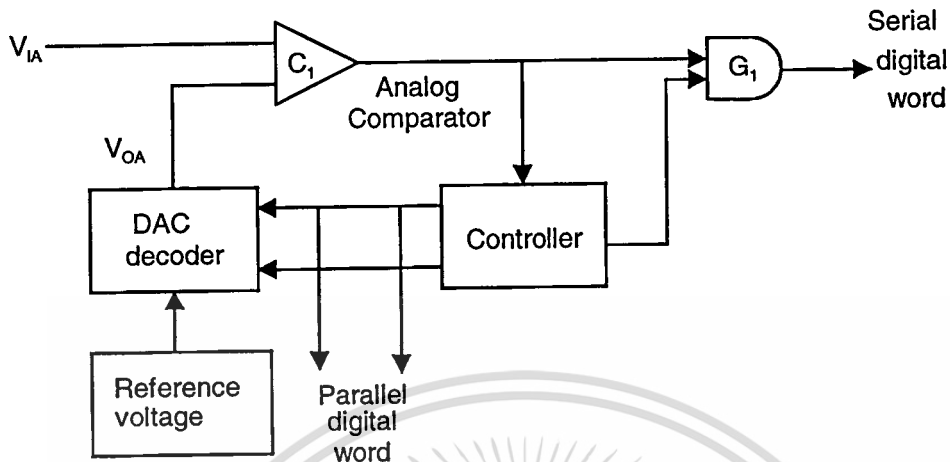
สัญญาณดิจิตอลบิต MSB จะมีค่าเป็น "0" หลังจากนั้นวงจรจะทำการเปรียบเทียบเพื่อหาค่าสัญญาณดิจิตอลบิตถัดไป โดยการเพิ่มหรือลดค่าสัญญาณเปรียบเทียบจากค่าเดิมอีกครั้งหนึ่ง ซึ่งขึ้นกับว่าสัญญาณจุดออกของวงจรเปรียบเทียบมีค่าเป็นอะไร ถ้าสัญญาณมีค่าเป็น "1" วงจรจะเพิ่มค่าสัญญาณเปรียบเทียบ แต่ถ้าสัญญาณนั้นมีค่าเป็น "0" วงจรจะลดค่าสัญญาณเปรียบเทียบลง การทำงานของวงจรสำหรับบิตถัดไปก็จะปฏิบัติตามขั้นตอนเหมือนที่กล่าวมาข้างต้นจนกว่าจะครบตามจำนวนบิตที่ต้องการ รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบแสดงได้ดังภาพที่ 3.6



ภาพที่ 3.6 ภาพแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบ

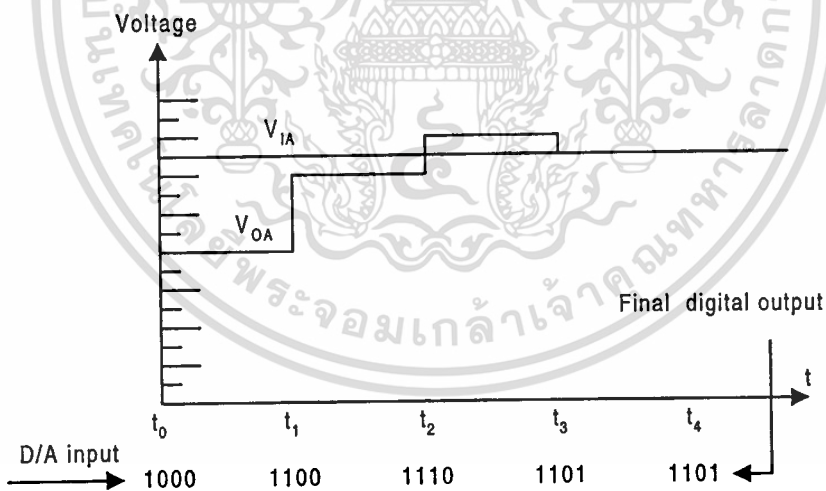
จากหลักการที่กล่าวมาข้างต้นสามารถนำมาประยุกต์เป็นวงจรดังแสดงในภาพที่ 3.7 วงจรประกอบไปด้วย วงจรเปรียบเทียบสัญญาณ C_1 , วงจรเกท G_1 , วงจรควบคุมการทำงาน, วงจร DAC และแหล่งจ่ายศักย์ค่าอ้างอิง การทำงานของวงจรอธิบายได้ดังนี้ เมื่อสัญญาณต่อเนื่องเข้าจุด V_{IA} ป้อนเข้าสู่่วงจรเปรียบเทียบ C_1 , วงจรควบคุมการทำงานจะกำหนดค่าเริ่มต้นของสัญญาณจุดเข้าบิต MSB ของวงจร DAC ให้เป็น "1" และค่าบิตอื่นๆ ให้เป็น "0" วงจร DAC จะทำการแปลงสัญญาณดังกล่าวเป็นสัญญาณต่อเนื่องจุดออก V_{OA} ซึ่งต่อเข้าไปยังวงจรเปรียบเทียบ C_1 เพื่อเปรียบเทียบกับสัญญาณจุดเข้า V_{IA} ถ้า $V_{IA} > V_{OA}$ สัญญาณจุดออกของวงจรเปรียบเทียบ C_1 จะเป็น "1" แต่ถ้า $V_{IA} < V_{OA}$ สัญญาณขาออกของ C_1 จะเป็น "0" ค่าสัญญาณจุดออกจากวงจร C_1 นี้จะส่งไปยังวงจรควบคุมการทำงานเพื่อที่จะนำไปใช้ในการกำหนดค่าสัญญาณเปรียบเทียบในครั้งต่อไป และสำหรับสัญญาณดิจิตอลของบิตนั้นจะส่งไปยังวงจรถัดไปผ่านทางวงจรเกท G_1 ซึ่งการทำงานของเกท G_1 จะถูกควบคุมโดยจังหวะสัญญาณนาฬิกา หลังจากนั้นวงจรจะเริ่มดำเนินการทำงานเพื่อหาบิตถัดไปตามอีกวิธีที่เป็นเอกสารที่ส่งมอบไปสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า ขั้นตอนที่กำลังกล่าวมาข้างต้น โดยวงจรควบคุมการทำงานจะกำหนดบิต ที่ถูกพิจารณาต่อไปให้มีค่าเป็นไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"1" สำหรับบิตที่เปรียบเทียบไปแล้วจะมีค่าไม่เปลี่ยนแปลง ป้อนเข้าสู่วงจร DAC วงจรจะสิ้นสุดการทำงานในการแปลงสัญญาณต่อเนื่องหนึ่งค่าเมื่อวงจรได้ทำการแปลงสัญญาณจนครบตามจำนวนบิตที่ต้องการ



ภาพที่ 3.7 วงจรพื้นฐานของ Successive approximation ADC

ตัวอย่างความสัมพันธ์ของสัญญาณต่อเนื่องจุดออก V_{OA} จาก DAC กับสัญญาณต่อเนื่องขาเข้า V_{IA} แสดงได้ดังกราฟภาพที่ 3.8



ภาพที่ 3.8 ตัวอย่างความสัมพันธ์ระหว่างสัญญาณต่อเนื่องจุดออก V_{OA} จาก DAC กับสัญญาณต่อเนื่องจุดเข้า V_{IA}

ข้อดีของวงจรชนิดนี้คือใช้ขั้นตอนในการแปลงสัญญาณเพียง N ขั้นตอนเท่านั้น โดยที่ N เป็นจำนวนบิตที่ต้องการ ทำให้ความเร็วในการแปลงสัญญาณดีกว่าวงจร ADC ความเร็วต่ำ 2 แบบที่กล่าวมาข้างต้น แต่ความเที่ยงตรงและแม่นยำของวงจรขึ้นอยู่กับวงจร DAC ที่ใช้ในวงจร ซึ่งจะต้องเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีค่าความผิดพลาดในการทำงานไม่เกิน $\Phi 1/2$ LSB มิฉะนั้น จะทำให้สัญญาณของวงจร ADC มีความผิดพลาดมาก

3.5.2 Algorithmic ADC [2][3][13][14]

หลักการแปลงสัญญาณของวงจรจะเริ่มต้นจากบิต *MSB* ไปหาบิต *LSB*. วงจรประกอบไปด้วยวงจรย่อยหรือวงจร ADC ขนาดหนึ่งบิตจำนวนเท่ากับจำนวนบิตที่ต้องการต่ออนุกรมกัน โดยวงจรย่อยแต่ละวงจรมีหลักการทำงานดังนี้คือ วงจรจะทำการขยายสัญญาณต่อเนื่องจุดเข้าเป็นสองเท่า แล้วนำสัญญาณที่ได้ไปบวกหรือลบกับสัญญาณอ้างอิงของวงจร ผลลัพธ์ที่ได้จะส่งผ่านเป็นสัญญาณจุดเข้าสำหรับวงจรย่อยบิตถัดไป การบวกหรือลบสัญญาณที่กล่าวมาข้างต้นขึ้นอยู่กับเครื่องหมายของสัญญาณจุดเข้าของวงจรย่อยนั้น ถ้าสัญญาณจุดเข้าเป็นบวก (+) วงจรจะลบสัญญาณอ้างอิงจากสัญญาณจุดเข้า และสัญญาณดิจิทัลสำหรับบิตนี้จะมีค่าเป็น "1" แต่ถ้าสัญญาณจุดเข้าเป็นลบ (-) วงจรจะสั่งให้ทำการบวกสัญญาณทั้งสองเข้าด้วยกัน สัญญาณดิจิทัลที่ได้จะมีค่าเป็น "0"

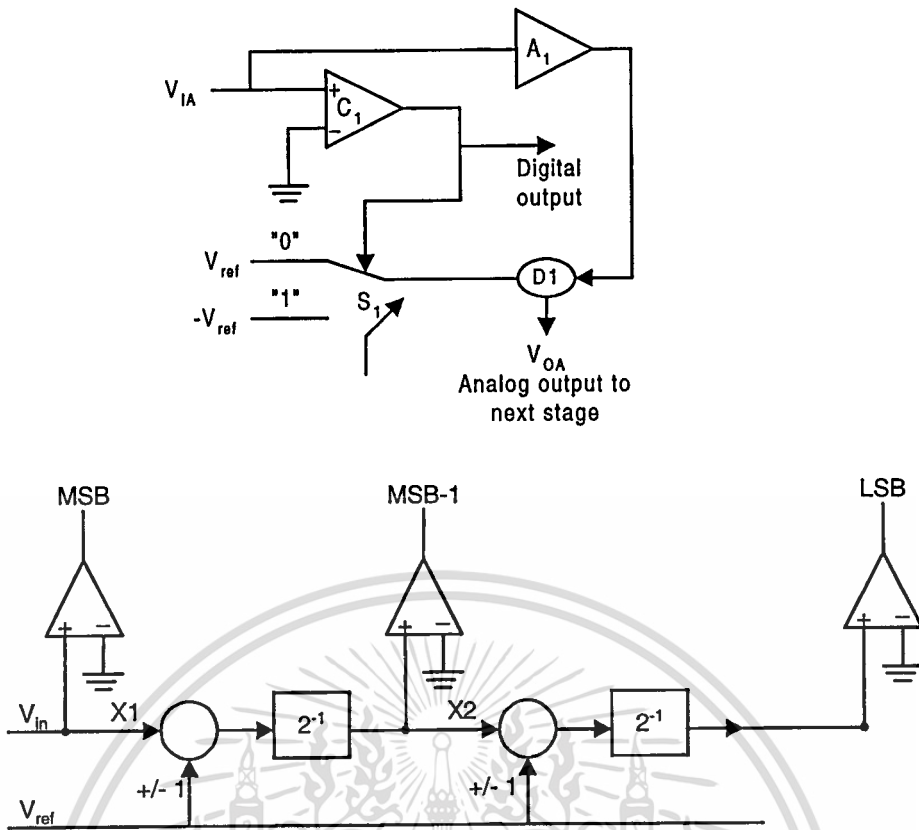
รายละเอียดพื้นฐานของวงจรแสดงได้ดังภาพที่ 3.5.4 วงจรย่อยแต่ละวงจรประกอบด้วยวงจรเปรียบเทียบสัญญาณ C_i , วงจรขยายสัญญาณขนาดสองเท่า A_i , วงจรบวก D_i , วงจรควบคุมการทำงานและ สวิตช์ S_i เมื่อสัญญาณต่อเนื่องจุดเข้า V_{in} ป้อนเข้าสู่วงจรย่อยวงจรแรก สัญญาณจุดเข้า V_{in} จะเปรียบเทียบกับระดับศักย์คาเดิน (0 โวลต์) ถ้าสัญญาณจุดเข้า $V_{in} > 0$ สัญญาณจุดออกจากวงจรเปรียบเทียบ C_i จะมีค่าเป็น "1" วงจรจะควบคุมสวิตช์ S_i ให้ส่งผ่านค่าสัญญาณอ้างอิง $(-V_{ref})$ ไปทำการบวกสัญญาณจุดเข้าที่ผ่านวงจรขยายคือ $2V_{in}$ แต่ถ้า $V_{in} < 0$ สัญญาณจุดออกจากวงจรเปรียบเทียบ C_i จะมีค่าเป็น "0" วงจรจะควบคุมสวิตช์ S_i ให้ผ่านค่าสัญญาณอ้างอิง V_{ref} ไปบวกกับสัญญาณ $2V_{in}$ ผลลัพธ์จากวงจรบวก D_i จะเป็นสัญญาณจุดเข้าสำหรับวงจรย่อยบิตถัดไป ความสัมพันธ์ระหว่างสัญญาณต่อเนื่องจุดเข้า V_{in} กับสัญญาณดิจิทัล D_i สามารถแสดงได้ดังสมการที่ (3.10)

$$V_{in} = V_{ref} \sum_{i=1}^N b_i 2^{-i} \quad (3.10)$$

โดยที่ $b_i = 1$ ถ้าบิตนั้นมีค่าเป็น "1"

และ $b_i = -1$ ถ้าบิตนั้นมีค่าเป็น "0"

ตัวอย่างเช่น ต้องการแปลงสัญญาณต่อเนื่องเป็นสัญญาณดิจิทัลจำนวน 3 บิต สมมติให้ $V_{in} = 2$ โวลต์ และ $V_{ref} = 3$ โวลต์ ดังนั้นจะได้สัญญาณดิจิทัลมีค่าเท่ากับ "110" เมื่อทำการคำนวณกลับเพื่อหาระดับสัญญาณต่อเนื่องจุดเข้าจะได้ $V_{in} = 3[(1/2)+(1/4)-(1/8)]$ หรือเท่ากับ 1.875 โวลต์ จะเห็นได้ว่าสัญญาณที่ได้จากการแปลงกลับจะมีค่าใกล้เคียงกับสัญญาณต่อเนื่องจุดเข้า ซึ่งถ้าจำนวนบิตยิ่งมากค่า สัญญาณดิจิทัลก็จะมีใกล้เคียงกับสัญญาณต่อเนื่องจุดเข้ามากขึ้น



ภาพที่ 3.9 หลักการทำงานและวงจรพื้นฐานของ Algorithmic ADC

วงจรชนิดนี้มีข้อดีคือ สัญญาณต่อเนื่องจุดเข้าสามารถเป็นสัญญาณที่เป็นได้ทั้งสัญญาณบวกหรือสัญญาณลบ (bipolar signal) โดยบิตแรกสามารถชี้ให้เห็นถึงทิศทางของสัญญาณ นอกจากนี้เวลาที่ใช้ในการแปลงสัญญาณใช้เพียง N รอบสัญญาณนาฬิกาเท่านั้น โดยที่ N เป็นจำนวนบิตที่ต้องการ และการเพิ่มหรือลดจำนวนบิตของวงจรทำได้โดยง่าย

3.6 วงจร ADC ความเร็วสูง

วงจร ADC ความเร็วสูงเป็นวงจรที่ทำการแปลงสัญญาณโดยใช้เวลาน้อยกว่า N รอบสัญญาณนาฬิกา แต่วงจรจะมีความซับซ้อนมาก และขนาดของวงจรจะแปรตามจำนวนบิตที่ต้องการ ทำให้วงจรมีขนาดใหญ่ กินพื้นที่มาก วงจรที่กล่าวถึงในประเภทนี้คือ วงจร Parallel ADC

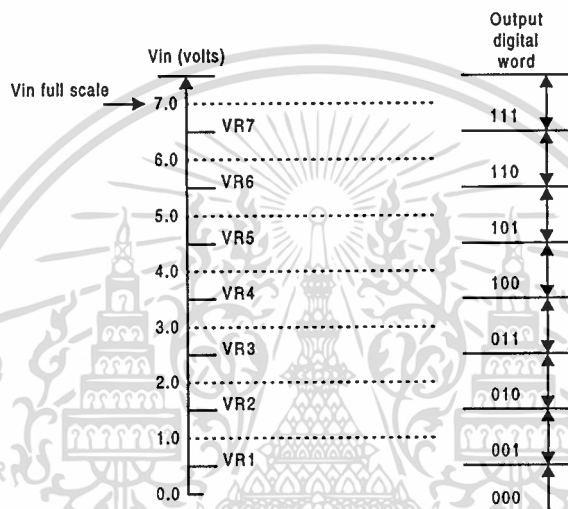
3.6.1 Parallel ADC หรือ Flash ADC [2][13][14]

หลักการของวงจรคือการแปลงสัญญาณต่อเนื่องจุดเข้าให้เป็นสัญญาณดิจิทัลอสททุกๆ บิตพร้อมกัน โดยทำการเปรียบเทียบสัญญาณต่อเนื่องจุดเข้า กับระดับของสัญญาณอ้างอิงที่มีค่าแตกต่างกันขึ้นละหนึ่งระดับสัญญาณ *LSB* พร้อมๆกัน ดังนั้นจำนวนสัญญาณอ้างอิงจึงมีจำนวนเท่ากับ 2^{N-1} ค่า โดยที่ N เป็นจำนวนบิตที่ต้องการและสัญญาณจุดออกที่ได้จากการเปรียบเทียบจะนำมาทำการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

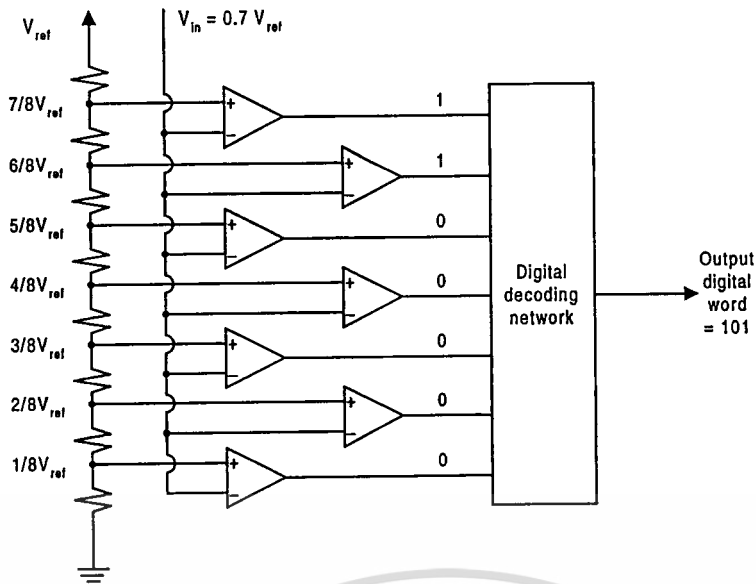
เข้ารหัสเพื่อให้ได้ค่าสัญญาณดิจิทัลที่เทียบเท่ากับสัญญาณต่อเนื่องจุดเข้า ซึ่งหลักการข้างต้นสามารถเขียนเป็นแผนผังได้ดังภาพที่ 3.10

จากหลักการสามารถนำมาพัฒนาเป็นวงจรแสดงดังภาพที่ 3.11 โดยที่วงจรประกอบไปด้วยสัญญาณอ้างอิงจำนวน 2^{N-1} ค่า, วงจรเปรียบเทียบสัญญาณจำนวน 2^{N-1} วงจร และวงจรถอดรหัสสัญญาณ โดยที่สัญญาณต่อเนื่องจุดเข้า V_{IA} จะทำการเปรียบเทียบกับ V_{ref} ถ้า $V_{IA} > V_{ref}$ สัญญาณจุดออกวงจรเปรียบเทียบที่ i จะมีค่าเป็น "1" แต่ถ้า $V_{IA} < V_{ref}$ สัญญาณจุดออกวงจรเปรียบเทียบที่ i นั้นจะมีค่าเป็น "0" โดยที่ i เป็นวงจรใดๆ มีค่าตั้งแต่ 1 ถึง 2^{N-1} และจากค่าสัญญาณจุดออกทั้ง 2^{N-1} ค่า จะนำมาเข้ารหัสเพื่อหาค่าสัญญาณดิจิทัลเอาต์พุต



ภาพที่ 3.10 หลักการทำงานของ Parallel ADC

ซึ่งจะเห็นได้ว่าการทำงานประกอบด้วยขั้นตอนเพียง 2 ขั้นตอนเท่านั้น คือ ขั้นตอนเปรียบเทียบและขั้นตอนการเข้ารหัส ทำให้เวลาการแปลงสัญญาณ N บิตสามารถทำได้ในหนึ่งสัญญาณนาฬิกาเท่านั้น แต่วงจร ADC ชนิดนี้ถ้าต้องการเพิ่มความละเอียดในการแปลงสัญญาณ (resolution) จำนวนอุปกรณ์ในวงจรจะเพิ่มขึ้นเป็น 2 เท่า ทำให้วงจรมีขนาดใหญ่ วงจร ADC ชนิดนี้เหมาะที่จะใช้กับการแปลงสัญญาณที่ไม่ต้องการความละเอียดมากนัก ซึ่งโดยปกติจะอยู่ระหว่าง 3 - 6 บิต นอกจากนั้นความผิดพลาดของวงจรยังขึ้นกับวงจรเปรียบเทียบและค่าสัญญาณอ้างอิงอีกด้วย



ภาพที่ 3.11 วงจรพื้นฐานของ Parallel ADC

3.7 บทสรุป

ในบทนี้ได้กล่าวถึงหลักการพื้นฐานของแปลงสัญญาณอนาลอกมาเป็นสัญญาณดิจิทัล ซึ่งทำให้ทราบวิธีแปลงของแต่ละวิธีการ เพื่อการนำหลักการดังกล่าวไปออกแบบวงจรได้อย่างเหมาะสม และกล่าวถึงความสัมพันธ์ของการแปลงโดยการเปรียบเทียบหลักการแปลงเลขฐานสิบเป็นเลขฐานสอง รวมทั้งการแยกประเภทของวงจร ADC โดยแบ่งตามความเร็วของการแปลงสัญญาณซึ่งแต่ละประเภทจะให้ข้อดีและข้อเสียที่แตกต่างกัน โดยประเภทที่ต้องการความเร็วในการแปลงสูงและจำนวนบิตสูงก็จะต้องใช้พื้นที่ของวงจรสูงตามไปด้วย โดยความเร็วในการแปลงและจำนวนบิตจะเป็นตัวกำหนดขนาดพื้นที่ของวงจร

บทที่ 4

วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลด้วยหลักการ อัลกอริทึมที่ทำงานในรูปของกระแส

4.1 บทนำ

การแปลงสัญญาณอนาลอกมาเป็นสัญญาณดิจิทัลนั้น สามารถกระทำการแปลงได้หลายวิธีดังที่ได้กล่าวมาแล้วในบทที่ 3 ซึ่งแต่วิธีนั้นถ้าต้องการจำนวนบิตทางเอาต์พุตสูงก็จะต้องใช้พื้นที่ภายในสูงตามไปด้วย จากเหตุผลนี้ จึงเกิดแนวคิดที่จะแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลที่มีจำนวนบิตทางเอาต์พุตสูง โดยมีการเพิ่มวงจรภายในน้อยที่สุด ซึ่งการเพิ่มจำนวนบิตของการแปลงนั้นเพียงแค่เพิ่มสัญญาณควบคุมเท่านั้นเอง

4.2 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบอัลกอริทึม

จากหลักการแปลงเลขฐานสิบ (เปรียบเสมือนสัญญาณอนาลอก) มาเป็นเลขฐานสอง (เปรียบเสมือนสัญญาณดิจิทัล) นั้น การแปลงจะแบ่งออกเป็น 2 ส่วน คือ จำนวนเต็ม และเลขเศษส่วนหรือเรียกว่าจุดทศนิยม ซึ่งมีข้อแตกต่างกันคือในการแปลงสำหรับจำนวนเต็มจะใช้หลักวิธีการหาร ซึ่งจะได้บิตที่มีนัยสำคัญน้อยที่สุดออก มากก่อน ส่วนในการแปลงของเลขเศษส่วนนั้นจะใช้หลักการคูณแล้ว จะได้บิตที่มีนัยสำคัญสูงก่อน ซึ่งจะตรงกันกับหลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลขนาด 1 บิต

ในการแปลงของเลข เศษส่วนนี้จะมีค่าได้ตั้งแต่ 0-0.9999 ซึ่งค่าของ 0.9999 นั้นจะมีค่าใกล้เคียง 1 ดังนั้นเราสามารถแปลงจำนวนเลขเศษส่วนให้เป็นเลขจำนวนเต็มของเลขฐานสิบได้โดยใช้ค่าคงที่ ค่าหนึ่งมาคูณเลขเศษส่วนสมมุติให้เป็นค่า I_{REF} ซึ่งค่าของ I_{REF} จะมีพิสัย (Rang) เท่าใดก็ได้ โดยที่ค่าของการแปลงจะไม่เกินค่าพิสัย ซึ่งก็คือค่าเต็มสเกล (Full Scale) ดังนั้นเราจะได้ค่าประมาณของการแปลงกลับเป็นจำนวนเต็ม ดังสมการที่ (4.1)

$$I_{in} = I_{REF} \left(\frac{b_{n-1} 2^{n-1}}{2^n} + \frac{b_{n-2} 2^{n-2}}{2^n} + \dots + \frac{b_{n-m} 2^{n-m}}{2^n} \right) \quad (4.1)$$

โดย

I_{in} คือ ค่าประมาณที่ได้จากการแปลงรหัสไบนารีเป็นจำนวนเต็ม

I_{REF} คือ พิสัยหรือค่าเต็มสเกลของการแปลง

$b_{n-1}, b_{n-2}, \dots, b_{n-m}$ คือ ค่านำหนักแต่ละบิตของรหัสไบนารี

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับใช้ภายในเท่านั้น เมื่อผู้ผู้ใดนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (4.1) สิ่งที่ต้องการคือค่าของ $b_{n-1}, b_{n-2}, \dots, b_{n-m}$ ซึ่งมีขั้นตอนในการหาตั้งนี้เอา 2 คูณสมการที่ (4.1) จะได้

$$2I_{in} = 2I_{REF} \left(\frac{b_{n-1}2^{n-1}}{2^n} + \frac{b_{n-2}2^{n-2}}{2^n} + \dots + \frac{b_{n-m}2^{n-m}}{2^n} \right) \quad (4.2)$$

$$2I_{in} = I_{REF} \left(b_{n-1} + \frac{b_{n-2}2^{n-1}}{2^n} + \dots + \frac{b_{n-m}2^{n-m+1}}{2^n} \right) \quad (4.3)$$

พิจารณาสมการที่ (4.3) จะได้ค่า b_{n-1} ออกมาซึ่งเป็นค่าได้ 2 ค่าคือ 0 หรือ 1

1. กรณีที่บิต b_{n-1} เป็น 0 จะได้

$$2I_{in} = I_{REF} \left(\frac{b_{n-2}2^{n-1}}{2^n} + \dots + \frac{b_{n-m}2^{n-m+1}}{2^n} \right) \quad (4.4)$$

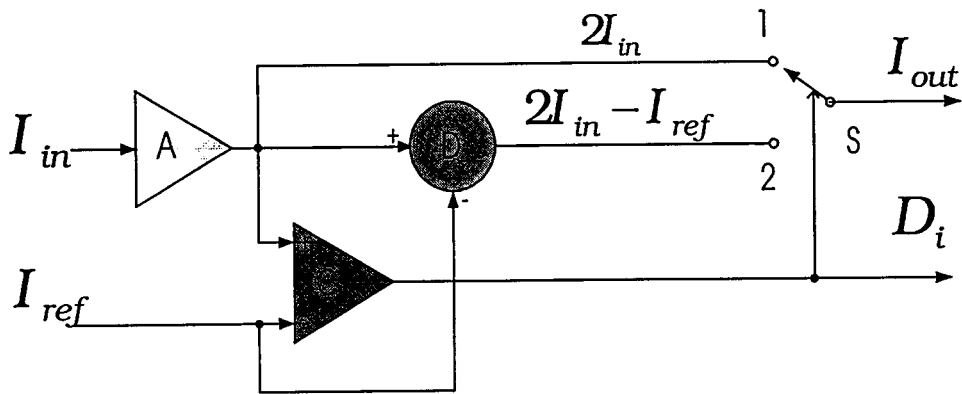
ผลจากแปลงจะได้บิตนัยสำคัญสูงสุด (Most significant Bit, MSB) เป็นลอจิก 0 และจะได้ค่าที่จะต้องใช้ในการแปลงบิตที่ต่ำกว่า คือ $2I_{in}$ ดังสมการที่ (4.4)

2. กรณีที่บิต b_{n-1} เป็น 1 จะได้

$$\begin{aligned} 2I_{in} &= I_{REF} + I_{REF} \left(\frac{b_{n-2}2^{n-1}}{2^n} + \dots + \frac{b_{n-m}2^{n-m+1}}{2^n} \right) \\ 2I_{in} - I_{REF} &= I_{REF} \left(\frac{b_{n-2}2^{n-1}}{2^n} + \dots + \frac{b_{n-m}2^{n-m+1}}{2^n} \right) \end{aligned} \quad (4.5)$$

ผลการแปลงจะได้บิตนัยสำคัญสูงสุด MSB เป็นลอจิก 1 และจะได้ค่าที่จะต้องใช้ในการแปลงบิตที่มีนัยสำคัญต่ำกว่า คือ $2I_{in} - I_{REF}$ พิจารณาสมการที่ (4.4) และ (4.5) จะมีค่าเท่ากันในส่วนของทางขวามือ ดังนั้นถ้าต้องการแปลงสำหรับบิตที่มีนัยสำคัญที่ต่ำกว่า ก็จะไปทำตามขั้นตอนใหม่

หลังจากการแปลงเราจะได้บิต MSB ออกมาก่อนแล้วจะได้บิตที่มีนัยสำคัญต่ำกว่าออกมาเรื่อยๆ จนถึงบิต LSB ซึ่งการกำหนดจำนวนบิตในการแปลงอยู่ที่ว่าต้องการความละเอียดเท่าไร จากหลักการแปลงเมื่อนำมาเขียน บล็อกไดอะแกรมเป็นการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล ขนาด 1 บิต จะได้ดังภาพที่ 4.2.1 จากบล็อกไดอะแกรมจะมีส่วนประกอบหลักคือ ส่วนของการคูณ ส่วนของการลบ ส่วนของการเปรียบเทียบและส่วนของการเลือกค่าทางเอาต์พุตที่จะใช้สำหรับแปลงบิตที่ต่ำกว่าต่อไป โดยจะมีระดับสัญญาณกระแสอินพุตกับสัญญาณกระแสอ้างอิงเป็นส่วนอินพุตของบล็อกไดอะแกรมและสัญญาณดิจิทัลเอาต์พุตกับสัญญาณกระแสเอาต์พุตที่จะใช้แปลงสำหรับบิตต่อไปเป็นส่วนทางเอาต์พุตของบล็อกไดอะแกรม ซึ่งจากบล็อกไดอะแกรมในภาพที่ 4.1 สามารถนำมาสร้างเป็นวงจรได้เป็นดังภาพที่ 4.4 โดยใช้มอสเฟตซึ่งการทำงานของวงจรจะอธิบายในหัวข้อที่ 4.3



ภาพที่ 4.1 บล็อกไดอะแกรมอัลกอริทึม ADC 1 บิต[13]

จากภาพที่ 4.1 เมื่อ

I_{in}	คือ กระแสอินพุท
I_{out}	คือ กระแสเอาต์พุท
I_{REF}	คือ กระแสอ้างอิง (พิสัย)
A	คือ วงจรขยายกระแส 2 เท่า
C	คือ วงจรเปรียบเทียบกระแส
D	คือ วงจรลบกระแส
S	คือ สวิตช์
D_i	คือ ดิจิตอลเอาต์พุท

จากบล็อกไดอะแกรมภาพที่ 4.1 มีขั้นตอนการทำงานดังนี้

1. เมื่อกระแสอินพุท I_{in} ไหลเข้ามาจะถูกขยายโดย A เป็น 2 เท่า จะได้กระแส $2I_{in}$
2. นำกระแส $2I_{in}$ มาเปรียบเทียบกับกระแสอ้างอิง I_{REF} จะได้เงื่อนไขการเปรียบเทียบคือ

2.1 ถ้ากระแส $2I_{in} < I_{REF}$ จะได้เอาต์พุทดิจิตอลจากวงจรเปรียบเทียบกระแส $C = 0$

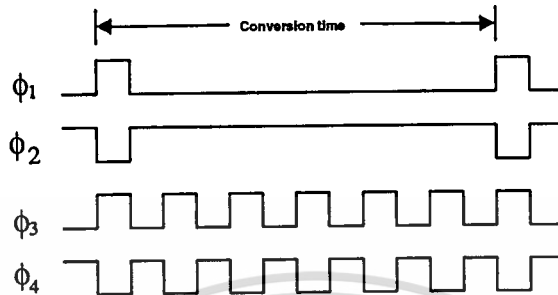
แล้วควบคุมสวิตช์ S ต่ไปยังจุดที่ 1 จะได้กระแสเอาต์พุท $I_{out} = 2I_{in}$

2.2 ถ้ากระแส $2I_{in} > I_{REF}$ จะได้เอาต์พุทดิจิตอลจากวงจรเปรียบเทียบกระแส $C = 1$

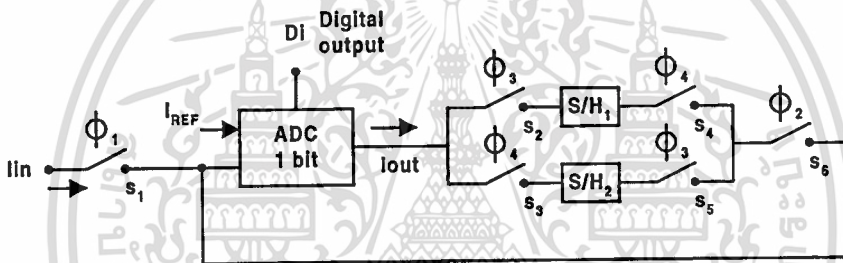
แล้วควบคุมสวิตช์ S ต่ไปยังจุดที่ 2 จะได้กระแสเอาต์พุท $I_{out} = 2I_{in} - I_{REF}$

จากบล็อกไดอะแกรมในภาพที่ 4.1 และขั้นตอนการแปลงสัญญาณจะทำการแปลงได้ทีละบิต ดังนั้นเมื่อต้องการจำนวนบิตเพิ่มก็จะต้องหาวิธีในการนำค่ากระแส I_{out} ป้อนกลับเข้ามาใหม่เป็นกระแส I_{in} ใหม่สำหรับแปลงบิตที่ต่ำกว่า จากบล็อกไดอะแกรมการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบอัลกอริทึมที่ทำงานด้วยกระแสในภาพที่ 4.3 ในส่วนของ ADC 1 บิต จะมีรายละเอียดในส่วนของวงจรในหัวข้อที่ 4.3

วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบอัลกอริทึมที่ทำงานด้วยกระแส โดยวิธีในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลหลายบิต ซึ่งใช้วงจร ADC 1 บิต เพียงวงจรเดียวกับวงจรยึดกระแส (hold current) 2 วงจรแสดงดังภาพที่ 4.3 และการจัดสัญญาณควบคุมวงจรแสดงดังภาพที่ 4.2



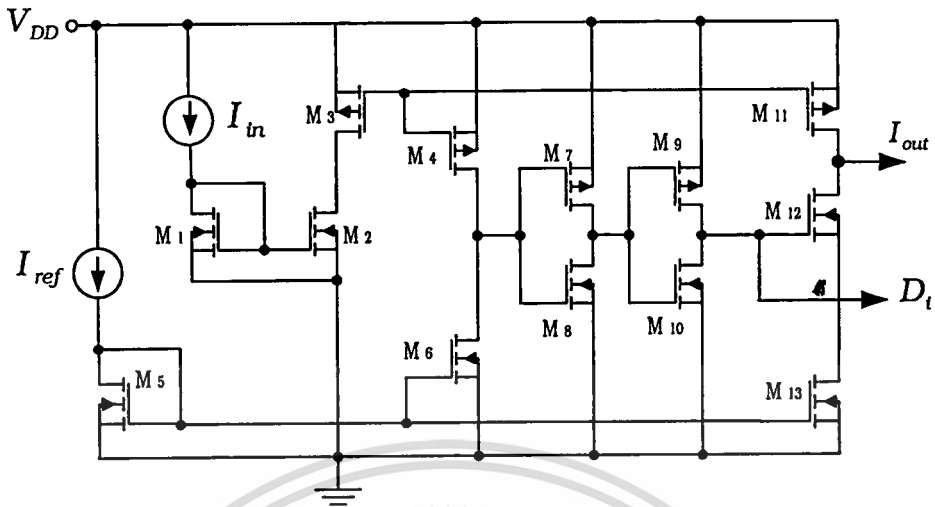
ภาพที่ 4.2 แสดงสัญญาณควบคุม



ภาพที่ 4.3 บล็อกไดอะแกรมของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบอัลกอริทึมที่ทำงานด้วยกระแส

จากบล็อกไดอะแกรมในภาพที่ 4.3 การทำงานในหนึ่งรอบของการแปลงสัญญาณ เริ่มจากวงจรควบคุมสัญญาณ ควบคุมสวิตช์ S_1 ด้วยสัญญาณ ϕ_1 ให้ทำการสุมค่าเอากระแส I_{in} เข้ามาแปลงโดยใช้วงจร ADC ขนาด 1 บิต ทำการแปลงสัญญาณ ผลที่ได้ออกมาจะเกิดดิจิทัลเอาท์พุทบิต MSB (บิตแรกของการแปลงสัญญาณ) ออกมาที่ D_i และค่ากระแส I_{out} โดยที่กระแส I_{out} จะถูกสวิตช์ S_2 ซึ่งควบคุมจากสัญญาณ ϕ_3 นำกระแส I_{out} ไปเก็บไว้ใน S/H ตัวที่ 1 ต่อจากนั้นก็ทำการแปลงบิตที่ต่ำกว่าบิต MSB โดยใช้สวิตช์ S_4 ที่ถูกควบคุมจากสัญญาณ ϕ_4 นำกระแส I_{out} ที่เก็บจาก S/H ตัวที่ 1 ไปแปลงโดยผ่านสวิตช์ S_6 ซึ่งถูกควบคุมจากสัญญาณ ϕ_2 เป็นกระแส I_{in} ใหม่เข้าวงจร ADC 1 บิตซึ่งผลจากการแปลงสัญญาณก็จะได้ออกดิจิทัลเอาท์พุทของบิต MSB-1 และกระแส I_{out} ของบิต MSB-1 ไปเก็บไว้ใน S/H ตัวที่ 2 ซึ่งจากการแปลงสัญญาณจะได้สัญญาณดิจิทัลออกมาทีละบิต เป็นลำดับกันไปเรื่อย ๆ จนถึงบิต LSB เป็นอันสิ้นสุดการแปลงสัญญาณในหนึ่งรอบ การแปลงสัญญาณจะได้ค่าดิจิทัลเอาท์พุทออกมาทีละบิตเริ่มจากบิต MSB ออกมาจนถึงบิต LSB ในลักษณะอนุกรม

4.3 วงจร ADC อัจฉกริที่มขนาด 1 บิท



ภาพที่ 4.4 แสดงวงจร ADC อัจฉกริที่มขนาด 1 บิท

จากภาพที่ 4.4 เป็นวงจร ADC แบบอัจฉกริที่มขนาด 1 บิทที่ใช้เทคโนโลยีซีมอส โดยที่มอส $M_1, M_2, M_3, M_5, M_{11}$, และ M_{13} ทำงานเป็นวงจรสะท้อนกระแส โดยมีมอส M_2 ที่มี W/L เป็นสองเท่าของมอส M_1 และมีมอส M_4, M_6 ทำงานเป็นวงจรเปรียบเทียบกระแส มอส M_7, M_8, M_9 และ M_{10} เป็นวงจรฮิสเตอร์เตอร์ สองตัวต่ออนุกรมกัน มอส M_{12} ทำงานเป็นสวิตช์ หลักการทำงานของวงจรทั้งหมดมีดังนี้

กระแส I_{in} ถูกดึงเข้ามายังขาเดรนของมอส M_1 และสะท้อนกระแส $2I_{in}$ ไปยังขาเดรนของมอส M_2 ทำให้มอส M_3 ต้องจ่ายกระแสมาที่ ขาเดรนเท่ากับกระแส $2I_{in}$ แล้วสะท้อนไปที่ขาเดรนของมอส M_{11} และ M_4 ส่วนกระแส I_{ref} ที่มาจากขาเดรนของมอส M_5 แล้วสะท้อนไปยัง M_{13} และ M_6 ซึ่งขาเดรนของมอส M_6 ต่ออยู่กับขา เดรนของมอส M_4 ทั้งมอส M_4, M_6 ทำการเปรียบเทียบกระแส $2I_{in}$ กับ I_{ref} ซึ่งผลการเปรียบเทียบจะถูกส่งไปที่ V_{DS} ของมอส M_4 และ M_6 เมื่อ กระแส $2I_{in} > I_{ref}$ ทำให้มอส M_6 ทำงานในช่วงอิมิตัวส่วนมอส M_4 จะทำงานในช่วงไม่อิมิตัว และทำให้ V_{DS} ของมอส M_6 มีค่าสูง แต่ถ้ากระแส $2I_{in} < I_{ref}$ ทำให้มอส M_6 ทำงานในช่วงไม่อิมิตัว ส่วนมอส M_4 ทำงานในช่วงอิมิตัว ทำให้ V_{DS} ของมอส M_6 มีค่าต่ำ ซึ่งแรงดัน V_{DS} ของมอส M_6 ถูกป้อนเป็นอินพุทของวงจรฮิสเตอร์เตอร์ ของมอส M_7, M_8 และเอาต์พุทของมอส M_7, M_8 เป็นอินพุทของมอส M_9, M_{10} ส่วนเอาต์พุทของมอส M_9, M_{10} จะเป็นสัญญาณควบคุมสวิตช์ของมอส M_{12} ให้กระแส I_{out} มีค่าตามเงื่อนไขคือ

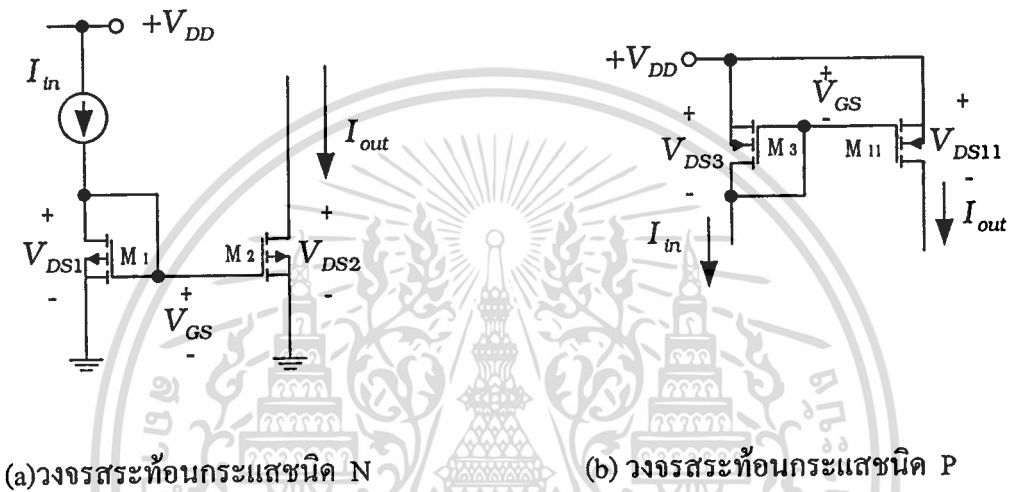
$$I_{out} = 2I_{in} - I_{ref} \quad \text{เมื่อ} \quad 2I_{in} > I_{ref}; \quad Di = 1$$

$$I_{out} = 2I_{in} \quad \text{เมื่อ} \quad 2I_{in} < I_{ref}; \quad Di = 0$$

วงจร ADC 1 บิต นี้ประกอบด้วยวงจรร้อยต่าง ๆ คือ วงจรสะท้อนกระแส , วงจรเปรียบเทียบกระแส , วงจรอินเวอร์เตอร์ , วงจรสวิตช์ ซึ่งสามารถอธิบายรายละเอียดของแต่ละวงจรได้ดังนี้

4.3.1 วงจรสะท้อนกระแส (Current Mirror)

โครงสร้างวงจรสะท้อนกระแสแสดงดังภาพที่ 4.5 โดยใช้มอสทรานซิสเตอร์ วงจรสะท้อนกระแสในวิทยานิพนธ์นี้จะมีการต่อ 2 แบบ โดยในภาพที่ 4.5 (a) จะเป็นวงจรสะท้อนกระแสชนิด N และภาพที่ 4.5 (b) จะเป็นวงจรสะท้อนกระแสชนิด P



ภาพที่ 4.5 วงจรสะท้อนกระแสแบบพื้นฐานโดยใช้มอสทรานซิสเตอร์

วงจรสะท้อนกระแสจะใช้หลักการที่ว่าถ้าศักย์เกตและซอสของมอสทรานซิสเตอร์สองตัวที่มีความสมพจน์กัน จะทำให้กระแสเดรนมีค่าเท่ากัน จากภาพที่ 4.5 (a) กระแส I_{in} เป็นกระแสอินพุตที่ถูกกำหนดด้วยแหล่งจ่ายกระแสภายนอก และ I_{out} คือกระแสเอาต์พุตที่ถูกสะท้อนจากมอส M_1 จะทำงานในช่วงอิ่มตัวเนื่องมาจากค่าของ $V_{GS1} = V_{GS2}$ ถ้าค่า $V_{DS2} \geq V_{GS1} - V_{th2}$ จะทำให้มอส M_2 ทำงานในช่วงอิ่มตัว จะได้อัตราส่วนของกระแสเอาต์พุต I_{out} กับ กระแสอินพุต I_{in} เป็น

$$\frac{I_{out}}{I_{in}} = \left[\frac{\mu_{o1} C_{ox2}}{\mu_{o2} C_{ox1}} \right] \left[\frac{L_1 W_2}{W_1 L_2} \right] \left(\frac{V_{GS} - V_{th2}}{V_{GS} - V_{th1}} \right)^2 \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (4.6)$$

โดยทั่วไปส่วนประกอบของวงจรสะท้อนกระแสถูกสร้างบนวงจรรวมเดียวกันดังนั้นพารามิเตอร์ ทางกายภาพ เช่น V_{th} , μ_p , C_{ox} ของมอสชนิดเดียวกันจะมีค่าเท่ากัน ทำให้สมการที่ (4.6) เหลือเพียงค่า W/L และ λV_{DS} ที่นำมาพิจารณา

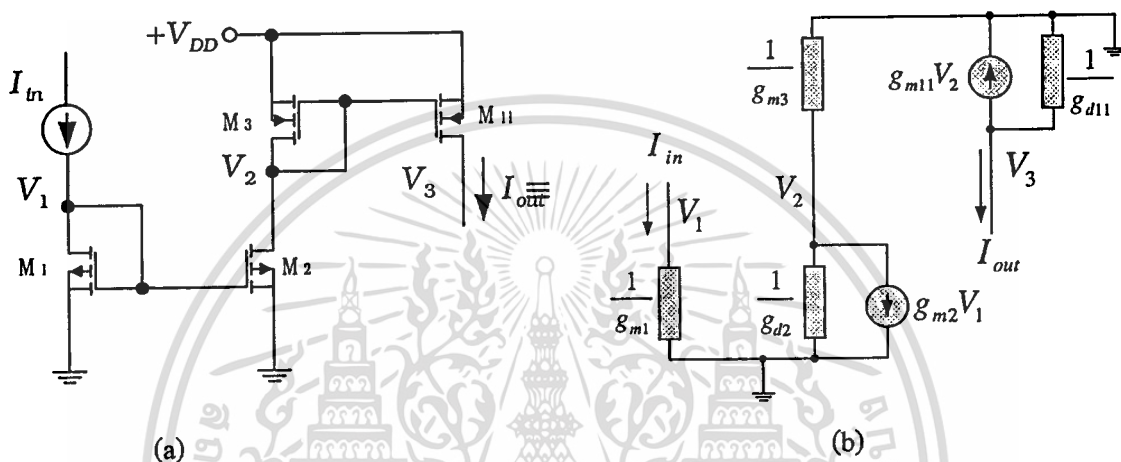
$$\frac{I_{out}}{I_{in}} = \left[\frac{L_1 W_2}{W_1 L_2} \right] \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (4.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าค่า $V_{DS1} = V_{DS2}$ จะทำให้อัตราส่วนของการสะท้อนกระแสถูกกำหนดจากค่าของ W/L ดังสมการ (4.8)

$$I_{out} = \left[\frac{L_1 W_2}{W_1 L_2} \right] I_{in} \quad (4.8)$$

ดังนั้นเมื่อนำภาพที่ 4.5 (a) และภาพที่ 4.5 (b) มาประกอบเข้าด้วยกันจะเป็นวงจรขยายกระแส 2 เท่าที่ใช้ในงานวิทยานิพนธ์นี้ โดยให้ค่า W/L ของมอส M_2 มีค่ามากกว่า W/L ของมอส M_1 2 เท่า ดังภาพที่ 4.6 (a) โดยที่ภาพ 4.6 (b) คือวงจรสมมูลย์



ภาพที่ 4.6 (a) วงจรสะท้อนกระแสที่ใช้ในงานวิจัย (b) วงจรสมมูลย์

การวิเคราะห์ค่าเปอร์เซ็นต์ความผิดพลาดของอัตราขยายกระแส

โดยการวิเคราะห์หาความผิดพลาดของการสะท้อนกระแสเนื่องมาจากผลของค่า g_m และ g_d จากมอสทรานซิสเตอร์ทั้ง 4 ตัวดังภาพที่ 4.6

ที่ Node V_1

$$V_1 = \frac{-I_{in}}{g_{m1}} \quad (4.9)$$

ที่ Node V_2

$$(g_{m3} + g_{d2})V_2 = -g_{m2}V_1 \quad (4.10)$$

ที่ Node V_3

$$g_{d11}V_3 = -g_{m11}V_2 \quad (4.11)$$

$$V_2 = \frac{-I_{out}}{g_{m11}} \quad (4.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่าสมการ(4.9)ในสมการ(4.10)

$$(g_{m3} + g_{d2})V_2 = \frac{-g_{m2}I_{in}}{g_{m11}} \quad (4.13)$$

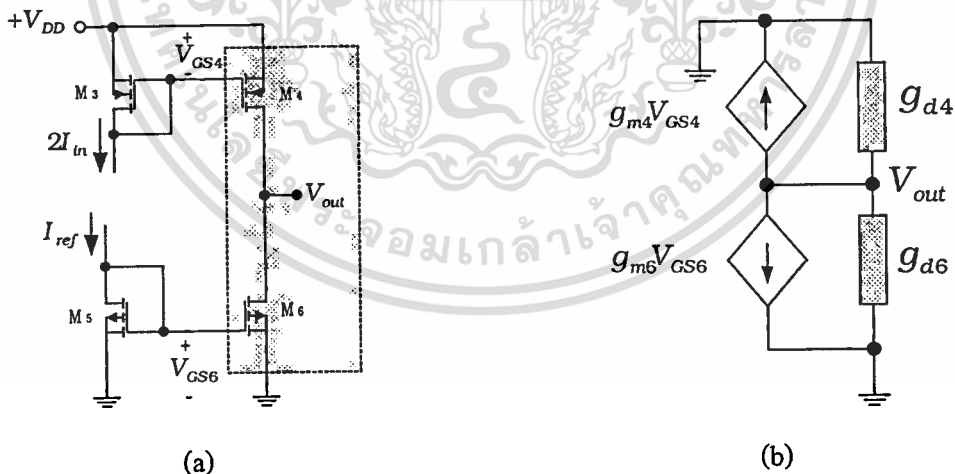
แทนค่าสมการ(4.12)ในสมการ(4.13)จะได้อัตราขยายกระแส

$$A_i = \frac{I_{out}}{I_{in}} = \frac{g_{m2}g_{m11}}{g_{m1}(g_{m3} + g_{d2})} \quad (4.14)$$

จากสมการที่ (4.14) ผลการเขียนแบบวงจรด้วยโปรแกรม Pspice ในภาคผนวก ข. จะได้ค่าต่างๆ ดังนี้ $g_{m1} = 1.96E-04 \text{ AV}^{-1}$, $g_{m2} = 3.92E-04 \text{ AV}^{-1}$, $g_{m3} = 2.07E-04 \text{ AV}^{-1}$, $g_{m11} = 2.09E-04 \text{ AV}^{-1}$ และ $g_{d3} = 2.05E-06 \text{ AV}^{-1}$ จากผลการจำลองการทำงานดังนั้นจะได้อัตราขยายกระแสเท่ากับ 1.99952 เท่า ซึ่งจากการออกแบบจะต้องให้มีอัตราขยายเท่ากับ 2 เท่า ดังนั้น จะมีความผิดพลาดคิดเป็นเปอร์เซ็นต์เท่ากับ 0.024 เปอร์เซ็นต์

4.3.2 วงจรเปรียบเทียบกระแส(current comparater)

วงจรเปรียบเทียบกระแสที่ใช้ในงานวิทยานิพนธ์นี้แสดงดังภาพที่ 4.7 ซึ่งลักษณะของวงจรต่อแบบคอมมอน ซอส โดยให้มอสทรานซิสเตอร์ M_4 ทำงานในลักษณะเป็นแอกทิฟโหลดที่เกิดจากกระแสอ้างอิง I_{ref} โดยมอสทั้ง M_4 และมอส M_6 จะทำงานงานในย่านอิ่มตัวและย่านลิเนียร์สลับกันตามกระแส I_{in}



ภาพที่ 4.7 (a)แสดงวงจรเปรียบเทียบกระแส (b)วงจรสมมูลทางไฟฟ้า

พิจารณาที่โหนด V_{out}

$$-g_{m4}V_{GS4} - g_{m6}V_{GS6} + (g_{d4} + g_{d6})v_{out} = 0 \quad (4.15)$$

จะได้

$$v_{out} = \frac{1}{g_{d4} + g_{d6}} (g_{m4}V_{GS4} + g_{m6}V_{GS6}) \quad (4.16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อวัตถุประสงค์เท่านั้น เมื่อนผู้ใดเห็นนำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่า $g_d = \lambda I_D$, $V_{GS4} = \sqrt{\frac{2(2I_{in})L_4}{\mu_p C_{ox} W_4}} - V_{thp}$, $V_{GS6} = -\left[\sqrt{\frac{2I_{ref}L_6}{\mu_n C_{ox} W_6}} - V_{thn} \right]$ ในสมการที่ (4.16)

$$v_{out} = \frac{1}{\lambda_4 I_{D4} + \lambda_6 I_{D6}} \left[g_{m4} \left(\sqrt{\frac{2(2I_{in})L_4}{\mu_p C_{ox} W_4}} - V_{thp} \right) - g_{m6} \left(\sqrt{\frac{2I_{ref}L_6}{\mu_n C_{ox} W_6}} - V_{thn} \right) \right] \quad (4.17)$$

แทนค่า $g_m = \sqrt{2\mu c_{ox} I_D \frac{W}{L}}$ ในสมการที่(4.17) จะได้

$$v_{out} = \frac{1}{\lambda_4 I_{D4} + \lambda_6 I_{D6}} \left[2\sqrt{I_{D4}} \sqrt{2I_{in}} - g_{m4} V_{thp} - 2\sqrt{I_{D6}} \sqrt{I_{ref}} + g_{m6} V_{thn} \right] \quad (4.18)$$

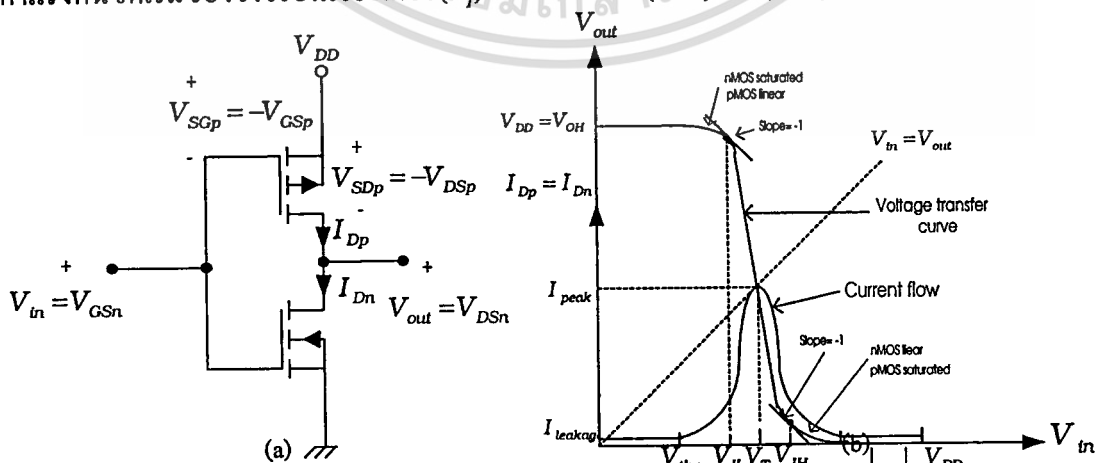
จากภาพที่ 4.7 (a) $I_{D4} = I_{D6}$ และกำหนดให้ $g_{m4} \equiv g_{m6}$, $V_{thp} \equiv V_{thn}$ จะได้

$$v_{out} = \frac{2(\sqrt{2I_{in}} - \sqrt{I_{ref}})}{(\lambda_4 + \lambda_6)\sqrt{I_D}} \quad (4.19)$$

จากสมการที่ (4.19)ค่าของ I_D มีเงื่อนไขดังนี้ ถ้า $2I_{in} < I_{ref}$ จะได้ $I_D = 2I_{in}$ แต่ถ้า $2I_{in} > I_{ref}$ จะได้ $I_D = I_{ref}$ ค่าของ v_{out} ในสมการที่(4.19)นั้นจะมีสถานะเป็นลอจิกเนื่องจากค่าของ λ นั้นมีค่าน้อยมาก ดังนั้นสิ่งที่ได้คือค่าของ v_{out} จะเป็นลอจิก '0' ถ้ากระแส $2I_{in} < I_{ref}$ และเป็นลอจิก '1' เมื่อ $2I_{in} > I_{ref}$

4.3.3 วงจรอินเวอร์เตอร์(Inverter)

จากภาพที่ 4.8 (a)คือวงจรซีมอสอินเวอร์เตอร์ โดยภาพ(b)แสดงคุณสมบัติของแรงดันและกระแส โดยกระแสจะไหลต่ำสุดเมื่อแรงดันอินพุตอยู่ในช่วงที่ $V_{in} < V_{thn}$ และ $(V_{DD} - V_{in}) < |V_{thp}|$ และสภาวะที่กระแสเดรนและซอร์สไหลสูงสุดคือช่วงที่แรงดันอินพุตมีค่าเท่ากับแรงดันเอาต์พุต จะหาค่าแรงดันขีดเริ่มของวงจรอินเวอร์เตอร์(V_p) ได้ดังสมการที่(4.20)และ(4.21)



ภาพที่ 4.8 (a) วงจรซีมอสอินเวอร์เตอร์ (b)ความสัมพันธ์แรงดันอินพุตเอาต์พุตและกระแสใน

เอกสารนี้เป็นเอกสารที่เผยแพร่ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ว่างต่าง ๆ
 ไม่ว่าจะผิดใจทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อค่าของแรงดันขีดเริ่มของอินเวอร์เตอร์มีค่าเท่ากับแรงดันอินพุตและเอาต์พุต ($V_T = V_{in} = V_{out}$) มอสทั้งสองจะทำงานอยู่ในช่วงอิมิตัวจะได้อ่ากระแสเดรนทั้งสองดังสมการที่ (4.20)

$$\frac{\mu_n C_{ox} W_n}{2L_n} (V_T - V_{thn})^2 = \frac{\mu_p C_{ox} W_p}{2L_p} (V_{DD} - V_T - |V_{thp}|)^2 \quad (4.20)$$

จะได้

$$V_T = \frac{V_{thn} + \sqrt{\frac{\mu_p \left(\frac{W_p}{L_p}\right)}{\mu_n \left(\frac{W_n}{L_n}\right)} (V_{DD} - |V_{thp}|)}}{1 + \sqrt{\frac{\mu_p \left(\frac{W_p}{L_p}\right)}{\mu_n \left(\frac{W_n}{L_n}\right)}}} \quad (4.21)$$

จากภาพที่ 4.8 (b) สภาวะที่เกิด V_{OH} เมื่อ $V_{in} < V_{thn}$ ซึ่งเอ็นมอสไม่ทำงานและพีมอสทำงานในช่วงลิเนียร์ซึ่งค่าแรงดัน $V_{Dsp} \cong 0$ ดังนั้นจะได้ $V_{OH} \cong V_{DD}$ และในทางกลับกันสภาวะที่เกิด V_{OL} เมื่อ $(V_{DD} - V_{in}) < |V_{thp}|$ ซึ่งพีมอสจะไม่ทำงานและเอ็นมอสจะทำงานในช่วงลิเนียร์โดยค่าแรงดัน $V_{Dsn} \cong 0$ ดังนั้นจะได้ $V_{OL} \cong 0$

ในการหาค่าของ V_{IL} (Voltage Input Low) จะกำหนดให้เอ็นมอสทำงานในช่วงอิมิตัวและพีมอสทำงานในช่วงลิเนียร์ดังนั้นจะได้สมการกระแสของมอสทั้งสองดังสมการที่(4.22)

$$\frac{\mu_n C_{ox} W_n}{2L_n} (V_{IL} - V_{thn})^2 = \frac{\mu_p C_{ox} W_p}{2L_p} [2(V_{DD} - V_{IL} - |V_{thp}|)(V_{DD} - V_{out}) - (V_{DD} - V_{out})^2] \quad (4.22)$$

จากสมการ(4.22) ค่าที่ต้องการหาคือค่า $V_{in} = V_{IL}$ และ V_{out} โดยความสัมพันธ์แล้วจะขึ้นอยู่กับค่าของกระแสเดรนซึ่ง $I_{Dn}(V_{in}) = I_{Dp}(V_{in}, V_{out})$ ซึ่งที่จุดนี้จะได้ $(dV_{out}/dV_{in}) = -1$ ดังนั้นจะได้

$$\frac{dV_{out}}{dV_{in}} = \frac{(dI_{Dn}/dV_{in}) - (\partial I_{Dp}/\partial V_{in})}{\partial I_{Dp}/\partial V} = -1 \quad (4.23)$$

จากการหาสมการที่(4.22) โดยกำหนดความสัมพันธ์ของ V_{in} และ V_{out} ดังสมการที่ (4.23) จะได้

$$V_{IL} \left(1 + \frac{\mu_n \frac{W_n}{L_n}}{\mu_p \frac{W_p}{L_p}} \right) = 2V_{out} + \frac{\mu_n \left(\frac{W_n}{L_n} \right)}{\mu_p \left(\frac{W_p}{L_p} \right)} V_{thn} - V_{DD} - |V_{thp}| \quad (4.24)$$

จากสมการที่ (4.24) ถ้ากำหนดให้ $\mu_n \frac{W_n}{L_n} = \mu_p \frac{W_p}{L_p}$, $V_{thn} = V_{thp}$ จะได้

$$V_{out} = V_{IL} + \frac{V_{DD}}{2} \quad (4.25)$$

แทนค่าสมการที่ (4.25) ในสมการที่ (4.22) จะได้ค่า V_{IL}

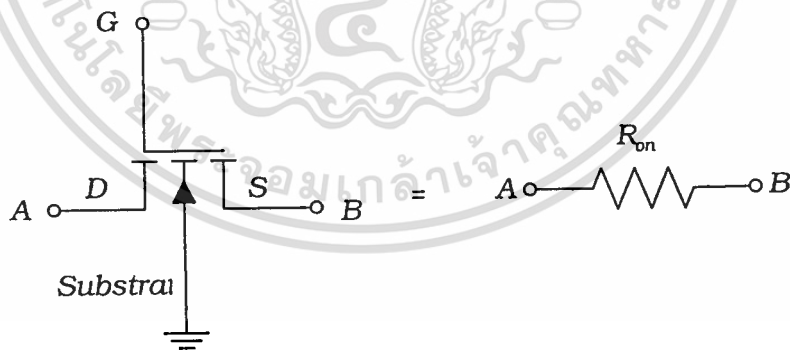
$$V_{IL} = \frac{1}{4} \left(V_{th} + \frac{3}{2} V_{DD} \right) \quad (4.26)$$

และทำการวิเคราะห์ในลักษณะเดียวกันจะได้ V_{IH} (Voltage Input High) ในสมการที่ (4.27)

$$V_{IH} = \frac{1}{4} \left(\frac{5}{2} V_{DD} - V_{th} \right) \quad (4.27)$$

4.3.4 วงจรสวิตช์ (switch)

การทำงานของมอสจะทำงานในลักษณะในเป็นรูปแบบของ voltage-controlled switch มอสจะทำงานในย่านของลิเนียร์และมีค่า $V_{DS} \ll V_{GS} - V_{th}$ ซึ่งจะเป็นช่วงที่ทำให้ค่าความต้านทานระหว่างเดรนกับซอร์สนั้นมีค่าต่ำที่สุด



ภาพที่ 4.9 แสดงวงจรเอ็นมอสสวิตช์

จากภาพที่ 4.9 จะได้กระแสเดรนดังสมการที่ (4.28)

$$I_D = \frac{\mu_n C_{ox} W}{L} \left[(V_{GS} - V_{th}) - \frac{V_{DS}}{2} \right] V_{DS} (1 + \lambda V_{DS}) \quad (4.28)$$

เนื่องจาก V_{DS} มีค่าน้อยมากจึงสามารถตัดทอนบางเทอมทิ้งไป จะได้

$$I_D = \frac{\mu_n C_{ox} W}{L} \left[(V_{GS} - V_{th}) - \frac{V_{DS}}{2} \right] V_{DS} \quad (4.29)$$

เมื่อ V_{DS} น้อยกว่า $V_{GS} - V_T$ แต่ก็ยังมากกว่า 0 สมมุติว่าไม่มี offset voltage คือแรงดันที่ตกคร่อม switch ในขณะที่ switch on ความต้านทานของ switch จะได้ว่า

$$R_{on} = \frac{1}{\partial I_D / \partial V_{DS}} = \frac{L}{\mu_n C_{ox} W (V_{GS} - V_{th})} \quad (4.30)$$

R_{ON} คือค่า r_{ds} ของมอสพาสทรานซิสเตอร์ ทำงานในย่าน Triode และมีค่า $V_{DS} \ll V_{GS} - V_{th}$

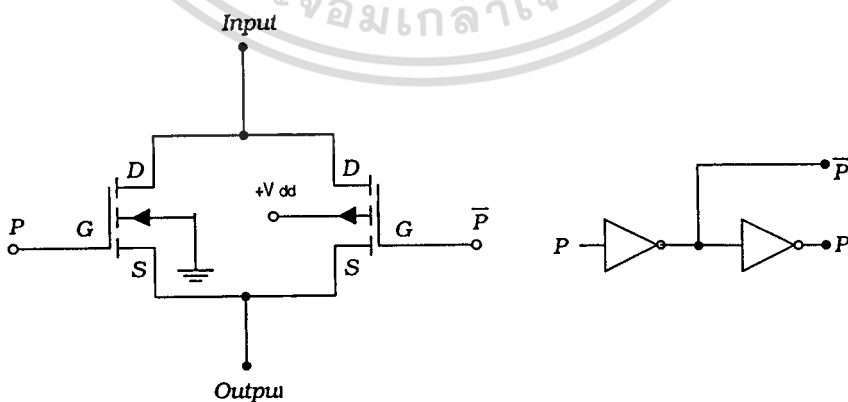
μ_n คือความคล่องตัวของอิเล็กตรอน ($\text{cm}^2/\text{v}\cdot\text{sec}$)

C_{ox} คือ ϵ_{ox}/t_{ox} (F/cm^2)

ϵ_{ox} คือ dielectric constant ของ SiO_2 มีค่าประมาณ $3.9 \epsilon_0$ (โดย $\epsilon_0 \approx 8.854 \times 10^{-14} \text{ F}/\text{cm}$)

t_{ox} คือ ความหนาของเกตออกไซด์ (m)

โดยทั่วไปเพื่อทำให้ค่าความต้านทานระหว่างเดรนกับซอร์สมีค่าต่ำๆ และสามารถนำกระแสได้ทั้งสองทิศทางก็จะนำเอ็นมอสกับพีมอสมาต่อขนานกันดังแสดงในภาพที่ 4.10



ภาพที่ 4.10 แสดงวงจร CMOS switch

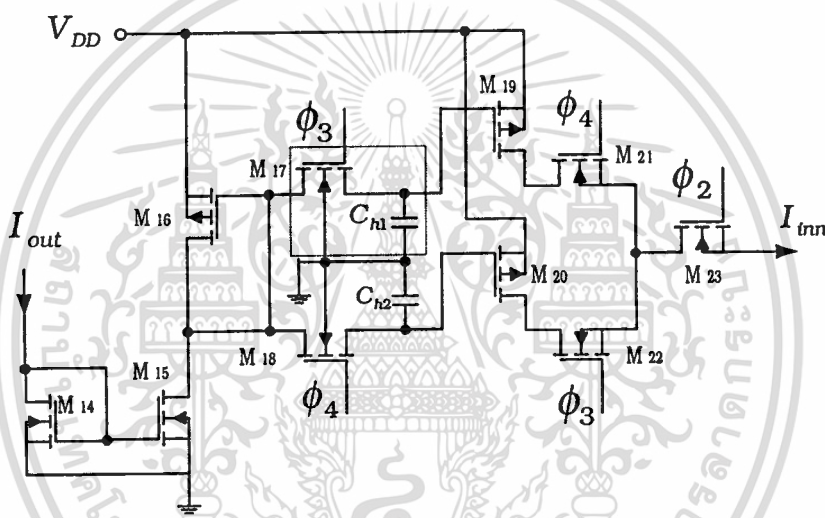
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากภาพที่ 4.10 จะได้ค่าความต้านทานของสวิทช์ดังสมการที่ (4.31)

$$R_{on} = \frac{L_n}{\mu_n C_{ox} W_n (V_{GS} - V_{tn})} // \frac{L_p}{\mu_p C_{ox} W_p (V_{GS} - V_{tp})} \quad (4.31)$$

4.4 วงจร Sample and Hold

จากภาพที่ 4.11 เป็นส่วนของวงจร Sample and Hold โดย $M_{14}, M_{15}, M_{16}, M_{19}, M_{20}$ เป็นวงจรสะท้อนกระแสจาก I_{out} มอส $M_{17}, M_{18}, M_{21}, M_{22}, M_{23}$ เป็นวงจรสวิทช์ และ C_{h1}, C_{h2} เป็น Hold capacitor

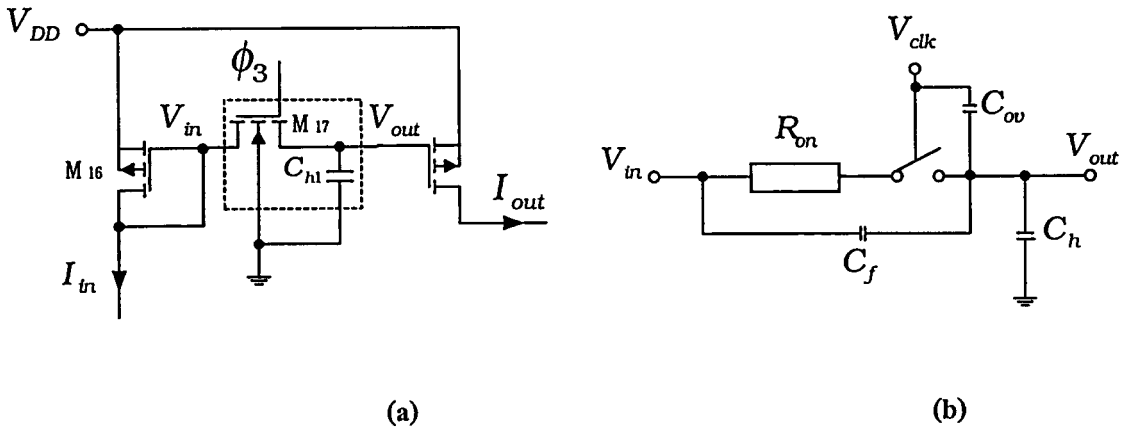


ภาพที่ 4.11 วงจร Sample and Hold

ซึ่งมีหลักการทำงานดังนี้ เมื่อกระแส I_{out} ป้อนเข้าไปยังขาแคทรนของมอส M_{14} จะสะท้อนกระแส I_{out} ไปยังขาแคทรนของมอส M_{15} และขาซอสของมอส M_{16} ซึ่งค่า V_{GS} ของมอส M_{16} ถูกต่อกับสวิทช์ M_{17}, M_{18} เพื่อนำค่า V_{GS} ของมอส M_{16} มาเก็บไว้ที่ C_{h1}, C_{h2} ตามจังหวะการควบคุมของสัญญาณ ϕ_3 และ ϕ_4 แล้วใช้มอส M_{19}, M_{20} เป็นตัวสะท้อนกระแส I_{out} ที่เก็บจาก C_{h1}, C_{h2} แล้วใช้สวิทช์มอส M_{21}, M_{22} เป็นตัวควบคุมการจ่ายกระแส I_{out} ตามจังหวะการควบคุมของสัญญาณ ϕ_3 และ ϕ_4 โดยสวิทช์มอส M_{23} เป็นตัวควบคุมการจ่ายกระแส I_{out} ตามจังหวะการควบคุมของสัญญาณ ϕ_2 ที่ได้จากมอส M_{21}, M_{22} เป็น I_{trn} เพื่อนำไปแปลงสำหรับบิตต่อไป

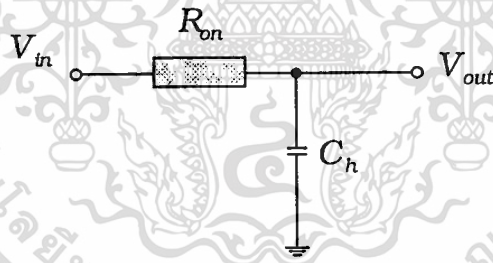
วงจร Sample and Hold นี้ประกอบด้วยส่วนของ sample and hold กับส่วนวงจรสวิทช์ซึ่งมีรายละเอียดดังวงจร Sampling Switch mode จากภาพที่ 4.11 ส่วนที่มีเส้นประล้อมรอบคือส่วนของ Sampling switch ซึ่งแทนวงจรในภาพที่ 4.12 (a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.12 รูปวงจร Sampling switch mode

จากวงจรในภาพที่ 4.12(a) เมื่อ V_{CLK} มีค่าเท่ากับ V_{DD} หรือ Logic1 จะมีผลทำให้วงจรทำหน้าที่ในการ Sample หรือ Track ตามอินพุต คือค่าแรงดันเอาต์พุตจะมีการเปลี่ยนแปลงตามแรงดันอินพุต โดยทรานซิสเตอร์พาส จะทำหน้าที่เพียงเป็นทางผ่านกระแสระหว่างอินพุต มาประจุไว้ใน C_h เพื่อที่จะทำให้ V_{out} มีการเปลี่ยนแปลงตามค่าของ V_{in} แต่เมื่อ V_{CLK} มีค่าเท่ากับ 0V หรือ Logic 0 ทำให้วงจรทำงานในสถานะ โฮล โหมด โดยค่าแรงดันของ C_h จะมีค่าคงที่ เพื่อที่จะกำหนดให้กระแส I_{out} มีค่าเท่ากับ I_{in} โดยวงจรสมมูลย์แสดงดังภาพที่ 4.12(b)[8]



ภาพที่ 4.13 แสดงวงจรเมื่อสวิตช์ปิดวงจร

โดยที่ค่า R_{on} คือความต้านทานของสวิตช์ ซึ่งหาได้จากสมการที่ (4.22) C_{ov} คือค่าความเก็บประจุระหว่างขาเกตกับขาเดรนที่ซ้อนทับกันซึ่งก็คือค่าของ C_{GDOV} ของพาสทรานซิสเตอร์ และ C_f คือค่าความเก็บประจุระหว่างรอยต่อขาซอสและขาเดรนเมื่อตอนสวิตช์ออฟ ซึ่งก็คือค่า C_{BD} ของพาสทรานซิสเตอร์ และ C_h คือ Hold capacitor โดยการหาค่าของ C_h จากผลตอบสนองทางความถี่ซึ่งจะพิจารณาวงจร Sample and Hold ทำงานในลักษณะ กรองความถี่ต่ำ จากภาพที่ 4.12 (b) เมื่อตอนสวิตช์ปิดวงจร จะได้ว่าวงจรดังภาพที่ 4.13 ซึ่งค่าแรงดันของสัญญาณนาฬิกาและค่า C_{ov} มีผลกระทบน้อยมากกับแรงดันเอาต์พุต ดังนั้นจึงไม่น่ามาคิด

จากรูปที่ 4.4.3 จะได้

(4.32)

$$\frac{V_{out}}{V_{in}} = \frac{\frac{1}{C_h R_{on}}}{\frac{1}{C_h R_{on}} + s}$$

จากสมการที่(4.24)จะเห็นเป็นสมการของตัวกรองความถี่ต่ำ 1 โพล ซึ่งมีค่าเท่ากับ

$$P_1 = -\frac{1}{C_h R_{on}} \quad (4.33)$$

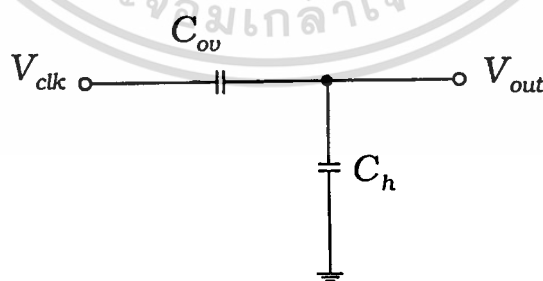
จากหลักการของตัวกรองความถี่ต่ำผ่าน 1 โพล โดยค่าตอบสนองทางความถี่จะมีค่าต่ำกว่าเกณฑ์อยู่ 3 dB ซึ่งค่าตอบสนองทางความถี่จะมีค่าเท่ากับ

$$\omega_{-3dB} = |P_1| = \frac{1}{C_h R_{on}} \quad (4.34)$$

ค่าตอบสนองทางความถี่หรือ switch bandwidth(B)จะได้

$$f_{-3dB} = \frac{\omega_{-3dB}}{2\pi} = \frac{1}{2\pi C_h R_{on}} \quad (4.35)$$

หาค่า Pedestal error ซึ่งค่า Pedestal error คือ ค่าอัตราส่วนของแรงดันเอาต์พุตที่ผิดพลาดระหว่างที่สวิตช์เปิดวงจรกับแรงดันอินพุตในสภาวะโฮล โหมด จากภาพที่ 4.12(b) เมื่อเปิดวงจรผลจะทำให้ประจุบางส่วนจาก C_h ผ่าน C_{ov} ลงมาที่ แรงดันขาเกตผลทำให้แรงดันที่เอาต์พุตมีการเปลี่ยนแปลงเล็กน้อยแสดงดังภาพที่ 4.14



ภาพที่ 4.14 แสดงค่าประจุที่ผ่าน C_{ov} เมื่อสวิตช์เปิดวงจร

จากภาพที่ 4.14 จะได้

$$C_{eq} = \frac{C_h C_{ov}}{C_h + C_{ov}} \quad (4.36)$$

ประจุทั้งหมดที่ไหลผ่าน C_{ov} จะมีค่าเท่ากับประจุที่ไหลผ่าน C_h ดังนั้นจะได้

$$\Delta Q_{eq} = V_{clk} C_{eq} = \frac{V_{clk} C_h C_{ov}}{C_{ov} + C_h} \quad (4.37)$$

จะได้การเปลี่ยนแปลงแรงดันที่เอาต์พุท

$$\Delta V_{out} = \frac{\Delta Q_{C_h}}{C_h} = \frac{V_{clk} C_{ov}}{C_{ov} + C_h} \quad (4.38)$$

เนื่องจากค่าของ C_{ov} มีค่าน้อยมากเมื่อเทียบกับ C_h ดังนั้นจะได้

$$\Delta V_{out} = \frac{V_{clk} C_{ov}}{C_h} \quad (4.39)$$

ซึ่ง Pedestal error (P) มีค่าเท่ากับ

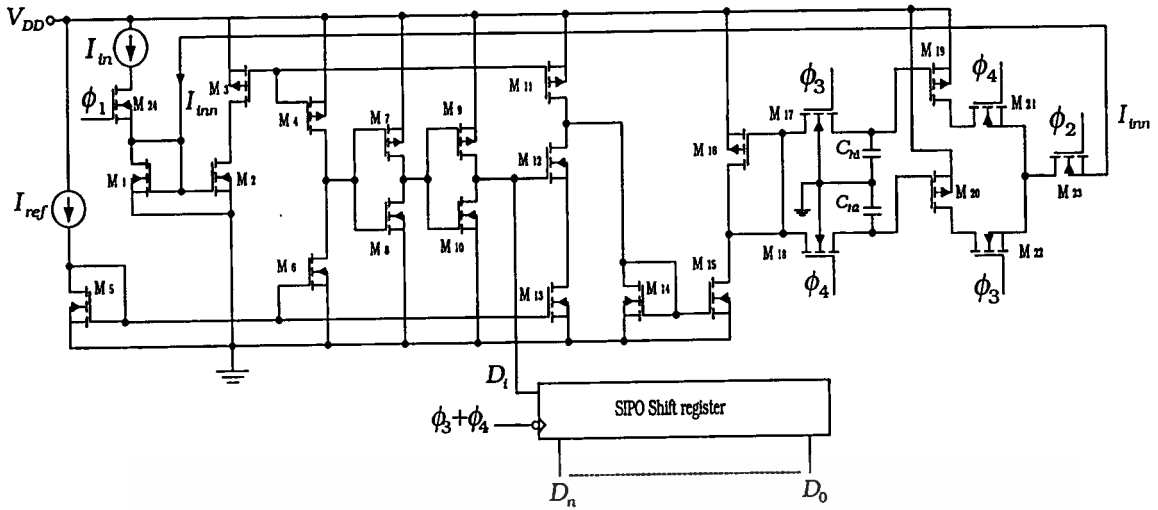
$$P = \frac{\Delta V_{out}}{V_{in}} = \frac{V_{clk} C_{ov}}{V_{in} C_h} \quad (4.40)$$

เมื่อเทียบกับค่าของแรงดันอินพุทสูงสุดคือค่า V_{FS} ดังนั้นจะได้ค่า P มีค่าเท่ากับสมการ(4.41)

$$P = \frac{\Delta V_{out}}{V_{in}} = \frac{V_{clk} C_{ov}}{V_{FS} C_h} \quad (4.41)$$

4.5 วงจรรวม ADC แบบอัลกอริทึมจำนวน n บิต

วงจรรวม ADC แบบอัลกอริทึมจำนวน n บิต แสดงดังภาพที่ 4.15 โดยการนำวงจร ADC แบบ อัลกอริทึม 1 บิตในภาพที่ 4.4 มาประกอบเข้ากับวงจร Sample and hold ในภาพที่ 4.11 แล้ว จัดสัญญาณควบคุม ϕ_1, ϕ_2 ตามไคอะแกรมในภาพที่ 4.2 พิจารณาไคอะแกรมในภาพที่ 4.2 จะเห็นว่า ϕ_1 กับ ϕ_2 และ ϕ_3 กับ ϕ_4 จะมีสัญญาณที่ตรงกันข้ามกัน ซึ่งสามารถใช้อินเวอร์เตอร์เป็นตัวกลับเฟสได้แต่มีข้อแม้คือห้ามมีการซ้อนทับกันระหว่างสัญญาณนั้น ไมออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.15 วงจร ADC แบบอัลกอริทึมจำนวน n บิต

จากวงจร ADC แบบอัลกอริทึมจำนวน n บิต มีหลักการทำงานคือ เมื่อกระแส I_{in} เข้ามาในจังหวะสัญญาณนาฬิกาแรกก็จะเกิดการแปลงที่บิต MSB ก่อน ซึ่งผลการแปลงจะออกมาในรูปของสัญญาณดิจิทัลเอาต์พุตที่บิต (D_i) และกระแส I_{out} ที่เหลือจากการแปลงบิต MSB เพื่อใช้สำหรับแปลงบิตที่มีค่านัยสำคัญที่ต่ำกว่าบิต MSB ต่อไป โดยกระแส I_{out} ถูกวงจรสะท้อนกระแสนำเข้ามาเก็บในวงจร Track and hold โดยใช้สวิตช์มอส M_{17} กับ C_{h1} จะทำการเก็บค่ากระแส I_{out} ไว้ในรูปของแรงดัน (ซึ่งรายละเอียดการทำงานกล่าวในหัวข้อที่ 4.4) จากนั้นเมื่อสัญญาณนาฬิกาที่สองเข้ามาสวิตช์มอส M_{24} ไม่ทำงาน ส่วนสวิตช์มอส M_{21} และ M_{23} ทำงาน ทำให้กระแส I_{out} ที่เกิดจากการเก็บจาก C_{h1} ส่งผ่านสวิตช์มอส M_{21} และ M_{23} เป็นกระแส I_{inn} เพื่อทำการแปลงบิตที่ MSB -1 และผลจากการแปลงจะได้ดิจิทัลเอาต์พุตบิต MSB -1 และค่ากระแส I_{out} ใหม่ เพื่อใช้สำหรับการแปลงบิตที่ต่ำกว่า นำไปเก็บไว้ที่ C_{h2} จากการทำงานจะเห็นว่า C_{h1} กับ C_{h2} สลับกันเก็บค่า I_{out} โดยตัวหนึ่งทำหน้าที่ในการ Track อีกตัวหนึ่งจะทำหน้าที่ Hold สลับกันไปจนกว่าจะเสร็จการแปลงสัญญาณส่วนค่าดิจิทัลเอาต์พุตบิตต่างๆ จะถูกเลื่อนเข้ามาเก็บไว้ใน SIPO Shift register (Serial In Parallel Out) โดยใช้ขอบขาของสัญญาณ ϕ_3 และ ϕ_4 ควบคุมการนำเข้ามาเก็บ

4.6 บทสรุป

บทนี้จะกล่าวถึงที่มาของหลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบลำดับขั้นและการออกแบบวงจร ADC n บิต โดยแยกแต่ละส่วนของวงจรรวมวิเคราะห์ ซึ่งจะประกอบไปด้วยวงจร วงจรสะท้อนกระแส วงจรเปรียบเทียบกระแส วงจรสวิตช์ วงจร Sample and Hold กระแส และส่วนสุดท้ายจะเป็นการนำเอาวงจรทั้งหมดมาประกอบรวมกันเป็นวงจรสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการเลียนแบบและผลการทดลอง

5.1 บทนำ

จากการออกแบบวงจรในบทที่ 4 เพื่อเป็นการยืนยันการทำงานของวงจร ในบทนี้ได้ทำการเลียนแบบการทำงานของวงจรถัดไปด้วยโปรแกรม Pspice และทำการต่อวงจรจริงทดลองจริง โดยทำการทดสอบทั้งทางด้านสแตติกและทางด้านไดนามิก พร้อมทั้งวิเคราะห์ค่าผิดพลาดของการแปลง

5.2 ผลการเลียนแบบวงจรด้วยโปรแกรม Pspice

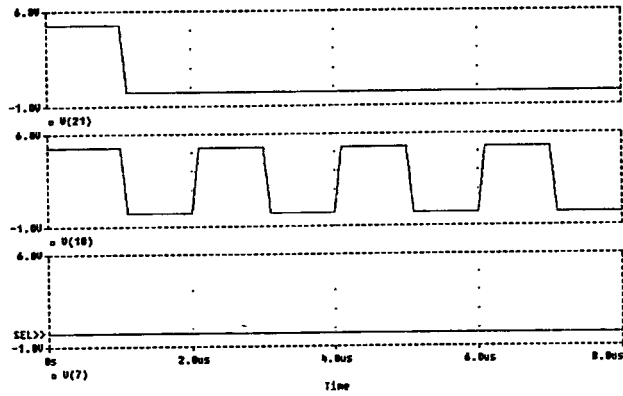
วิธีการทดสอบโดยการเลียนแบบการทำงานด้วยโปรแกรม Pspice โดยเขียนโปรแกรมให้ทำการแปรจากสัญญาณอนาล็อกอินพุตเป็นสัญญาณดิจิทัลเอาต์พุตจำนวน 8 บิต กำหนดให้มอสแต่ละตัวมีค่า W/L และค่าพารามิเตอร์ ตามโปรแกรมในภาคผนวก ข โดยเลียนแบบในโหมด Transient ซึ่งใช้ความถี่สัญญาณนาฬิกาสำหรับควบคุมสวิทช์มอสแต่ละตัวเท่ากับ 1MHz กำหนดให้ค่าเต็มสเกลของการแปลงเท่ากับ 0-100 μ A ดังนั้นจึงต้องใช้กระแสอ้างอิง (I_{REF}) เท่ากับ 100 μ A สัญญาณอนาล็อกอินพุต (I_{in}) เป็นสัญญาณ DC เริ่มต้นตั้งแต่ค่าต่ำสุด 0 μ A จนถึงค่าสูงสุด 100 μ A โดยมีการเพิ่มทีละ 4 μ A ดังตารางที่ 5.1 ซึ่งจาก ตารางที่ 5.1 จะได้ค่าดิจิทัลเอาต์พุตออกมาตามค่าของกระแสอินพุต เมื่อทำการแปลงค่าดิจิทัลเอาต์พุตกลับให้เป็นกระแสโดยใช้สมการที่ (4.1) จะได้กระแสประมาณที่เกิดจากการแปลงสัญญาณรหัสดิจิทัลแล้วนำมาเปรียบเทียบกับกระแสอินพุตเดิม และจะได้ค่าผิดพลาดการแปลงของวงจรซึ่งแสดงไว้ที่ช่องริมขวาสุดของ ตารางที่ 5.1

และเพื่อแสดงให้เห็นรูปสัญญาณทางดิจิทัลเอาต์พุตได้ป้อนกระแสอินพุตที่ค่า 0 μ A ,10 μ A, 40 μ A, 60 μ A, 90 μ A, 100 μ A ตามลำดับ ซึ่งผลการเลียนแบบการทำงานของวงจรแสดงได้ภาพที่ 5.2(ก) ถึงภาพที่ 5.2(จ) โดยที่สัญญาณเส้นบนสุดของแต่ภาพแสดงผลของสัญญาณควบคุม ϕ_1 สัญญาณเส้นที่ 2 แสดงผลของสัญญาณควบคุม ϕ_2 และสัญญาณเส้นล่างสุดแสดงค่าเอาต์พุตดิจิทัลที่เริ่มจากบิต MSB ทางด้านซ้ายมือ จนถึงบิต LSB ทางด้านขวามือ ซึ่งแต่ละบิตสามารถอ่านเทียบเคียงได้จากสัญญาณ ϕ_2 โดยแต่ละภาพมิจะได้สัญญาณดิจิทัลที่แตกต่างกันตามค่าของกระแสอินพุต โดยใช้สมการที่ (4.1) ทำการแปลงกลับสัญญาณดิจิทัลเป็นสัญญาณกระแสเพื่อเปรียบเทียบค่าผิดพลาดการแปลงของวงจรซึ่งเขียนอธิบายไว้แต่ละภาพ

ตารางที่ 5.1 ค่าบิตดิจิทัลเอาท์พุทที่ได้จากการเลียนแบบและเปรียบเทียบจากการคำนวณ

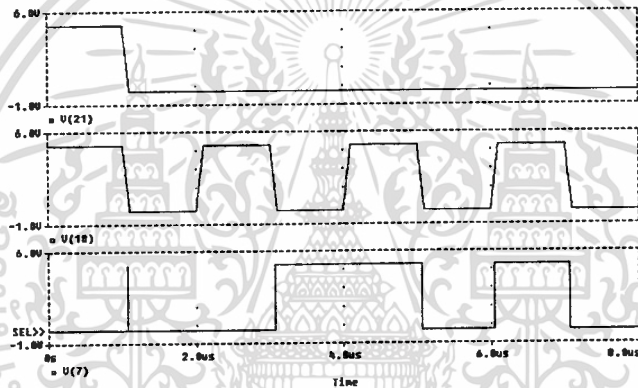
I_{in} μA	Digital out MSB LSB	$I_{out} = \frac{I_{REF}}{2^n} \sum_{i=0}^{n-1} b_i 2^i$ μA	Error μA
0	0000 0000	0.000000	0.00000
4	0000 1011	4.296875	0.296875
8	0001 0101	8.203125	0.203125
12	0001 1111	12.109375	0.109375
16	0010 1001	16.015625	0.015625
20	0011 0100	20.312500	0.312500
24	0011 1110	24.218750	0.218750
28	0100 1000	28.125000	0.125000
32	0101 0010	32.031250	0.031250
36	0101 1101	36.328125	0.328125
40	0110 0111	40.234375	0.234375
44	0111 0001	44.140625	0.140625
48	0111 1011	48.046875	0.046875
52	1000 0101	51.953125	-0.046875
56	1001 0000	56.250000	0.250000
60	1001 1010	60.156250	0.156250
64	1010 0100	64.062500	0.062500
68	1010 1110	67.968750	-0.031250
72	1011 1001	72.265625	0.265625
76	1100 0011	76.171875	0.171875
80	1100 1101	80.078125	0.078125
84	1101 0111	83.984375	-0.015625
88	1110 0010	88.281250	0.281250
92	1110 1100	92.187500	0.187500
96	1111 0110	96.093750	0.093750
100	1111 1111	99.609375	-0.590625

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



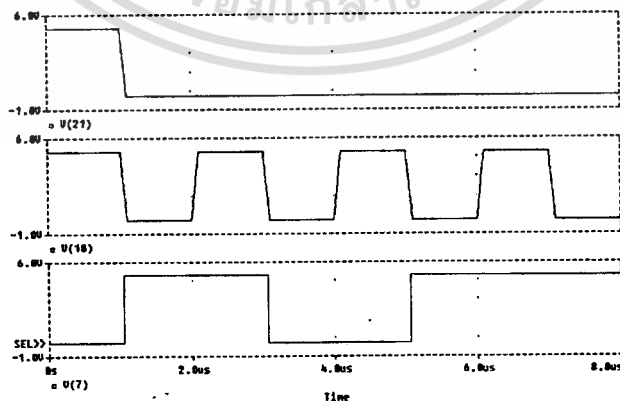
ภาพที่ 5.1 (ก) ผลการเขียนแบบวงจรที่กระแส $I_{in} = 0 \mu A$

จะได้คิดิจิตอลเอาต์พุต = "0000 0000" ทำการแปลงกลับได้ค่าประมาณ = $0.000 \mu A$



ภาพที่ 5.1 (ข) ผลการเขียนแบบวงจร ที่กระแส $I_{in} = 10 \mu A$

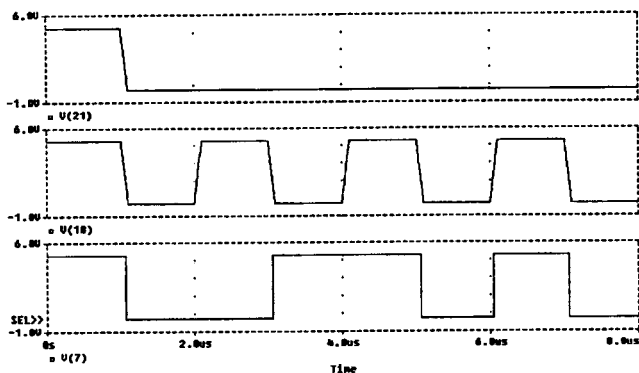
จะได้คิดิจิตอลเอาต์พุต = "0001 1010" ทำการแปลงกลับได้ค่าประมาณ = $10.156 \mu A$



ภาพที่ 5.1 (ค) ผลการเขียนแบบวงจร ที่กระแส $I_{in} = 40 \mu A$

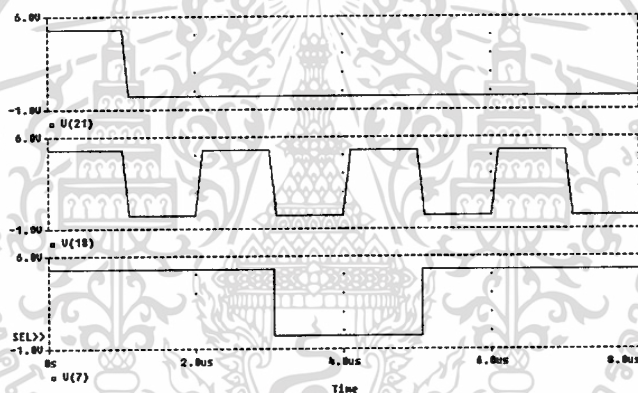
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้ดิจิทัลเอาต์พุต = "0110 0111" ทำการแปลงกลับได้ค่าประมาณ = $40.234\mu\text{A}$



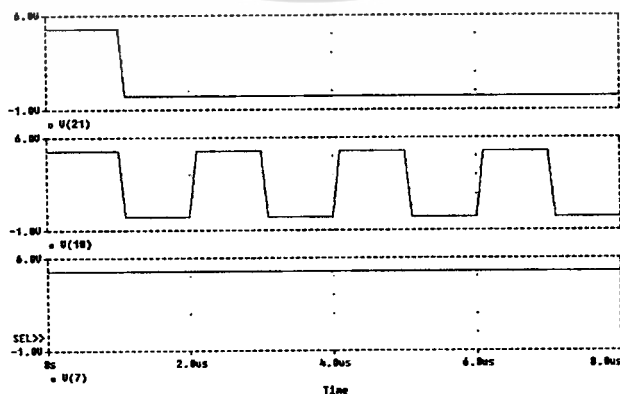
ภาพที่ 5.1 (ง) ผลการเดินแบบวงจร ที่กระแส $I_{in} = 60\mu\text{A}$

จะได้ดิจิทัลเอาต์พุต = "1001 1010" ทำการแปลงกลับได้ค่าประมาณ = $60.156\mu\text{A}$



ภาพที่ 5.1 (จ) ผลการเดินแบบวงจร ที่กระแส $I_{in} = 90\mu\text{A}$

จะได้ดิจิทัลเอาต์พุต = "1110 0111" ทำการแปลงกลับได้ค่าประมาณ = $90.234\mu\text{A}$



ภาพที่ 5.1 (ฉ) ผลการเดินแบบวงจรที่กระแส $I_{in} = 100\mu\text{A}$

จะได้ดิจิทัลเอาต์พุต = "1111 1111" ทำการแปลงกลับได้ค่าประมาณ = $99.609\mu\text{A}$

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 ผลการทดลองการต่อวงจรจริง

จากวงจรในภาพที่ 5.3 ได้นำมาต่อวงจรโดยใช้ไอซีซีเอ็มอส MC14007 และอนาล็อกสวิตช์ซีเอ็มอส MC14066 และใช้ค่า $C_{n1}=C_{n2}=10nF$ โดยการป้อนสัญญาณนาฬิกาที่ความถี่ 20KHz โดยใช้แหล่งจ่ายเท่ากับ 5 V แล้วทำการวัดสัญญาณต่าง ๆ ด้วย Oscilloscope ของ Hewlett Packard รุ่น 5450A ซึ่งสายโพรบมีอัตราการลดทอนสัญญาณ 10 เท่า

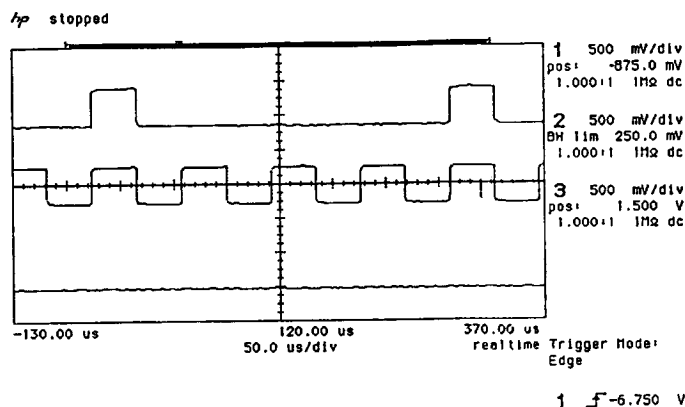
โดยตั้งค่าการแปลงค่าเต็มสเกลที่ $100\mu A$ แล้วปรับให้กระแสอ้างอิง (I_{REF}) มีค่าเท่ากับ $100\mu A$ และป้อนสัญญาณอนาล็อกกระแสอินพุต (I_{in}) เป็นสัญญาณ DC เริ่มต้นตั้งแต่ $0\mu A$ จนถึง $100\mu A$ โดยมีการเพิ่มกระแสอินพุตทีละ $4\mu A$ ดังตารางที่ 5.2 ซึ่งจากตารางที่ 5.2 จะได้ค่าดิจิตอลเอาต์พุตออกมาตามค่าของกระแสอินพุต เมื่อทำการแปลงค่าดิจิตอลเอาต์พุตกลับให้เป็นกระแสโดยใช้สมการที่ (4.1) จะได้กระแสประมาณที่เกิดจากการแปลงสัญญาณรหัสดิจิตอลแล้วนำมาเปรียบเทียบกับกระแสอินพุตเดิมจะได้ค่าผิดพลาดการแปลงของวงจรซึ่งแสดงไว้ที่ช่องริมขวาสุดของตารางที่ 5.2

ในลักษณะเช่นเดียวกันคล้ายกับการเขียนแบบเพื่อแสดงให้เห็นรูปสัญญาณทางดิจิตอลเอาต์พุตได้ป้อนกระแสอินพุตที่ค่า $0\mu A, 10\mu A, 40\mu A, 60\mu A, 90\mu A, 100\mu A$ ตามลำดับ ซึ่งผลการทำงานของวงจรแสดงได้ภาพที่ 5.3(ก) ถึงภาพที่ 5.3(ง) โดยที่สัญญาณเส้นบนสุดของแต่ละภาพแสดงผลของสัญญาณควบคุม Φ_1 สัญญาณเส้นที่ 2 แสดงผลของสัญญาณควบคุม Φ_2 และสัญญาณเส้นล่างสุดแสดงค่าเอาต์พุตดิจิตอลที่เริ่มจาก บิต MSB ทางด้านซ้ายมือ จนถึงบิต LSB ทางด้านขวามือ ซึ่งแต่ละบิตสามารถอ่านเทียบเคียงได้จากสัญญาณ Φ_3 โดยแต่ละภาพจะได้สัญญาณดิจิตอลที่แตกต่างกันตามค่าของกระแสอินพุต โดยใช้สมการที่ (4.1) ทำการแปลงกลับสัญญาณดิจิตอลเป็นสัญญาณกระแสเพื่อเปรียบเทียบหาค่าผิดพลาดการแปลงของวงจร โดยแสดงไว้ได้ภาพของแต่ละภาพ

ตารางที่ 5.2 ค่าบิตเอาต์พุตดิจิตอลที่ได้จากการทดลองจริงและเปรียบเทียบจากการคำนวณ

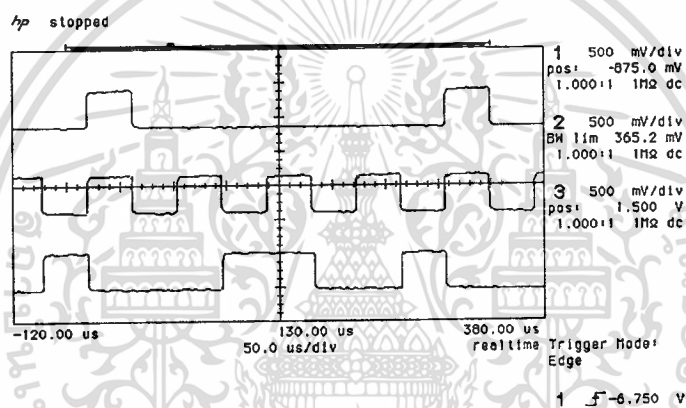
I _{in} μA	Digital out		$I_{out} = \frac{I_{REF}}{2^n} \sum_{i=0}^{n-1} b_i 2^i$	Error μA
	MSB	LSB		
0	0000	0000	0.000000	0.000000
4	0000	1010	3.906250	-0.093750
8	0001	0110	8.59375	0.59375
12	0010	0001	12.890625	0.890625
16	0010	1010	16.406250	0.406250
20	0011	0011	19.921875	-0.078125
24	0011	1110	24.218875	0.218875
28	0100	1000	28.125000	0.125000
32	0101	0011	32.421875	0.421875
36	0101	1101	36.328125	0.328125
40	0110	0110	39.843750	-0.156250
44	0111	0001	44.140625	0.140625
48	0111	1010	47.656250	-0.343750
52	1000	0101	51.953125	-0.046875
56	1000	1110	55.468750	-0.534250
60	1001	1010	60.156250	0.156250
64	1010	0100	64.062500	0.062500
68	1010	1110	67.968750	-0.031250
72	1011	1000	71.875000	-0.125000
76	1100	0001	75.390625	-0.609375
80	1100	1100	79.68750	-0.312500
84	1101	0110	83.593750	-0.406250
88	1110	0001	87.890625	-0.109375
92	1110	1100	92.187500	0.187500
96	1111	0101	95.703125	-0.296875
100	1111	1111	99.609375	-0.390625

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



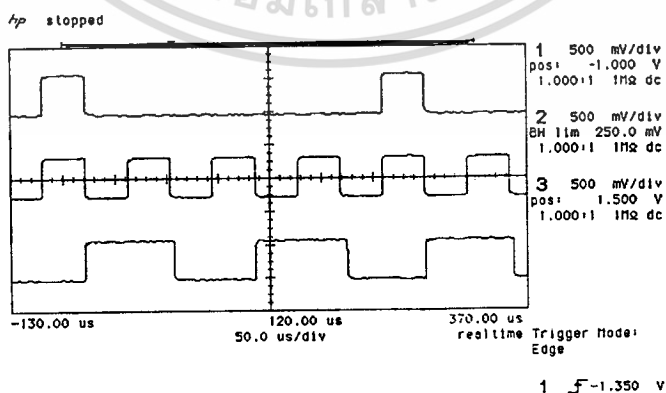
ภาพที่ 5.2 (ก) ผลการทดลองวงจรจริงที่กระแส $I_{in} = 0 \mu A$

จะได้คิดิจิตอลเอาต์พุต = "0000 0000" ทำการแปลงกลับได้ค่าประมาณ = 0.0000 μA



ภาพที่ 5.2 (ข) ผลการทดลองวงจรจริงที่กระแส $I_{in} = 10 \mu A$

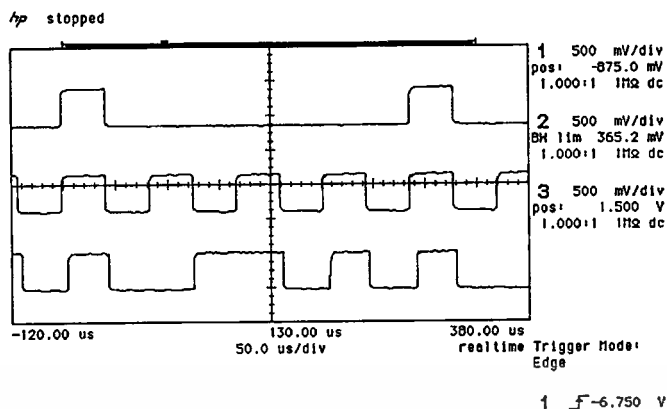
จะได้คิดิจิตอลเอาต์พุต = "0001 1001" ทำการแปลงกลับได้ค่าประมาณ = 9.765 μA



ภาพที่ 5.2 (ค) ผลการทดลองวงจรจริงที่กระแส $I_{in} = 40 \mu A$

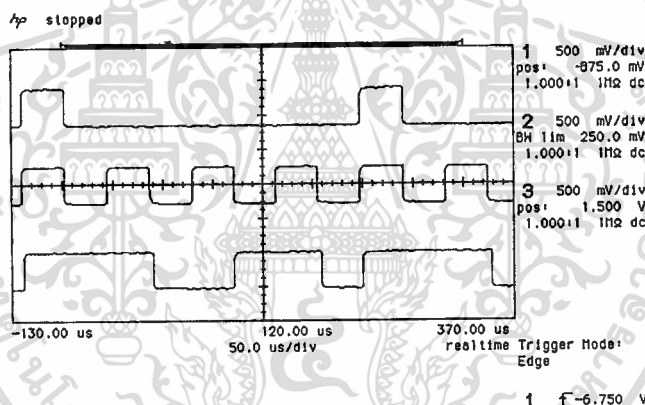
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้คิจิตอลเอาต์พุต = "0110 0110" ทำการแปลงกลับได้ค่าประมาณ = 39.843 μ A



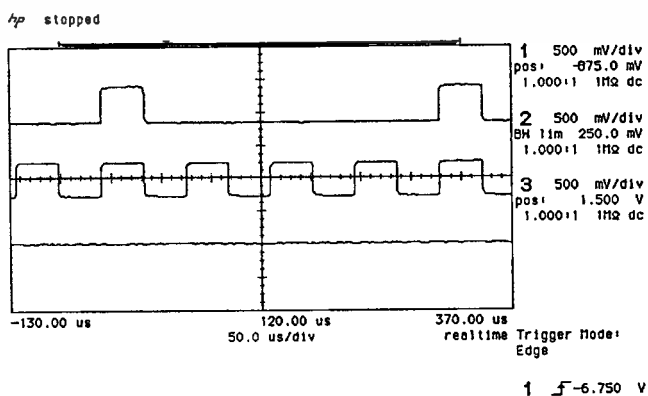
ภาพที่ 5.2 (ง) ผลการทดลองวงจรจริง ที่กระแส $I_{in} = 60 \mu A$

จะได้คิจิตอลเอาต์พุต = "1001 1010" ทำการแปลงกลับได้ค่าประมาณ = 60.156 μ A



ภาพที่ 5.2 (จ) ผลการทดลองวงจรจริงที่กระแส $I_{in} = 90 \mu A$

จะได้คิจิตอลเอาต์พุต = "1110 0110" ทำการแปลงกลับได้ค่าประมาณ = 89.843 μ A



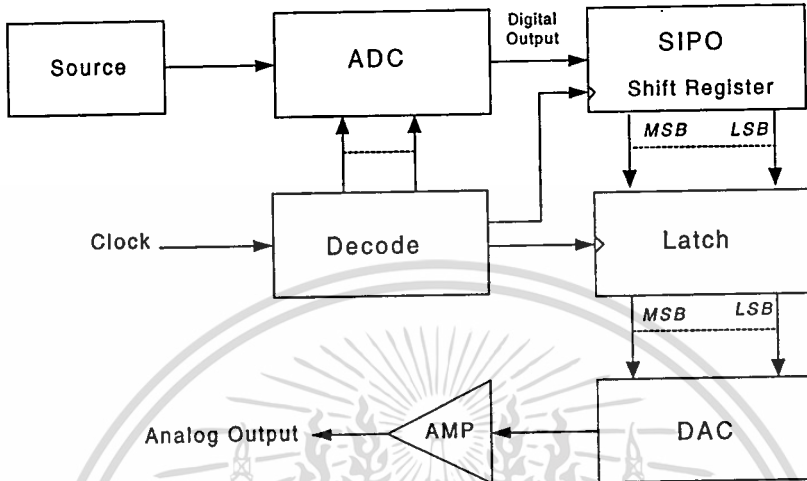
ภาพที่ 5.2 (ฉ) ผลการทดลองวงจรจริงที่กระแส $I_{in} = 100 \mu A$

จะได้คิจิตอลเอาต์พุต = "1111 1111" ทำการแปลงกลับได้ค่าประมาณ = 99.609 μ A

5.4 การทดสอบทางไดนามิก

เพื่อทำการทดสอบทางไดนามิกของวงจร ทำได้โดยต่อวงจรตามบล็อกไดอะแกรมดัง

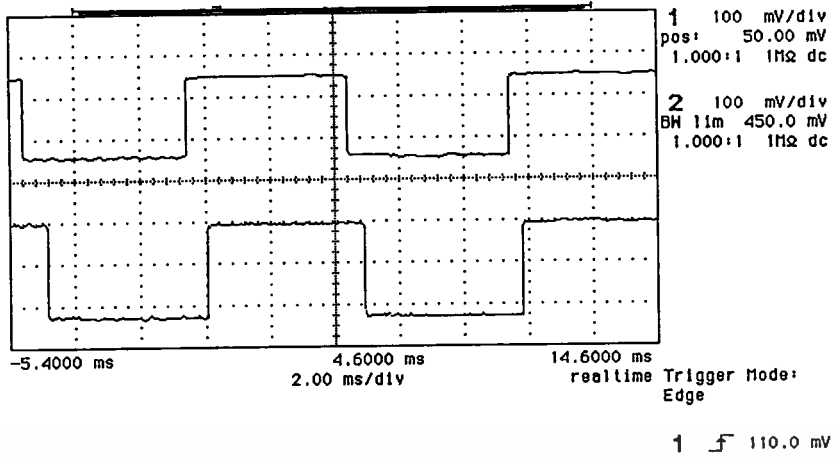
ภาพที่ 5.3



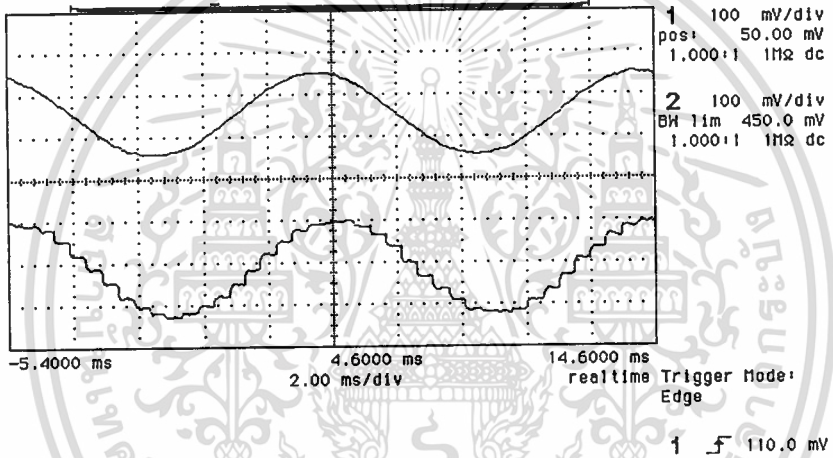
ภาพที่ 5.3 บล็อกไดอะแกรมของวงจรที่ใช้ทดสอบผลทางไดนามิก

โดยที่ Source เป็นแหล่งจ่ายกระแสซึ่งแปลงมาจากแหล่งจ่ายแรงดันขั้วระดับโดยปรับให้แหล่งจ่ายมีค่าเปลี่ยนแปลงตั้งแต่ $0\mu\text{A}$ ถึง $100\mu\text{A}$ โดยที่ส่วน SIPO (Serial in Parallel out shift Register) ใช้ IC 74C164 ส่วน Latch ใช้ IC 74C374, ส่วน DAC ใช้ IC DAC 0808, และส่วน AMP ใช้ IC LF 353 โดยป้อนสัญญาณอินพุตเป็นสัญญาณรูปคลื่นสี่เหลี่ยม, คลื่นซายน์และคลื่นสามเหลี่ยมความถี่ 100 Hz, 200 Hz และ 300 Hz ผลการทดสอบแสดงดังภาพที่ 5.4 , 5.5 และ 5.6 ตามลำดับ โดยสัญญาณเส้นบนแสดงสัญญาณอนาลอกอินพุตและสัญญาณเส้นล่างแสดงสัญญาณอนาลอกเอาต์พุตที่ได้จากส่วนวงจร AMP ที่รับสัญญาณมาจากส่วน DAC

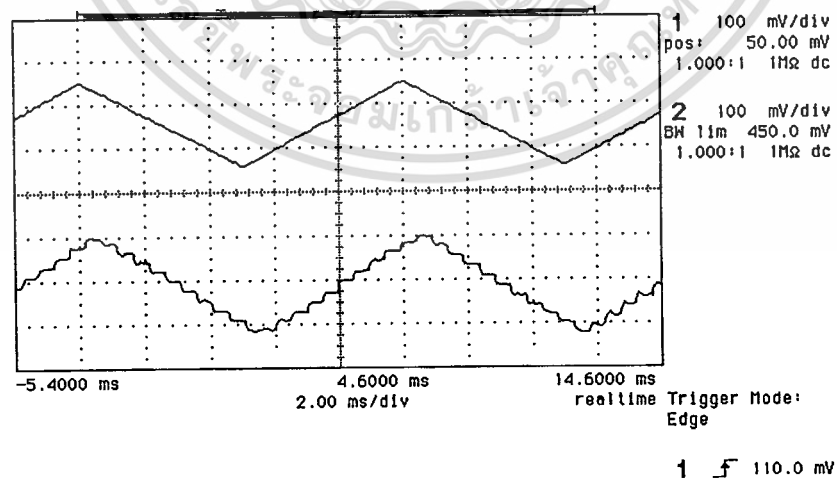
hp stopped



hp stopped



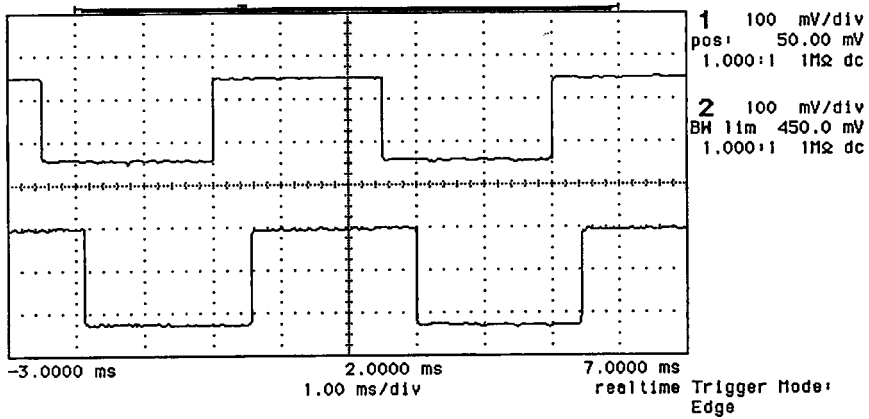
hp stopped



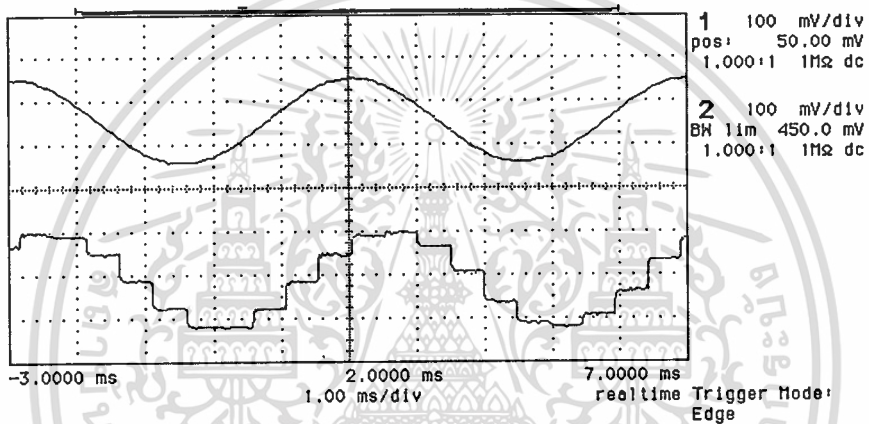
ภาพที่ 5.4 ผลทดสอบทางไดนามิกของวงจร ADC ที่สัญญาณอินพุตความถี่ 100 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

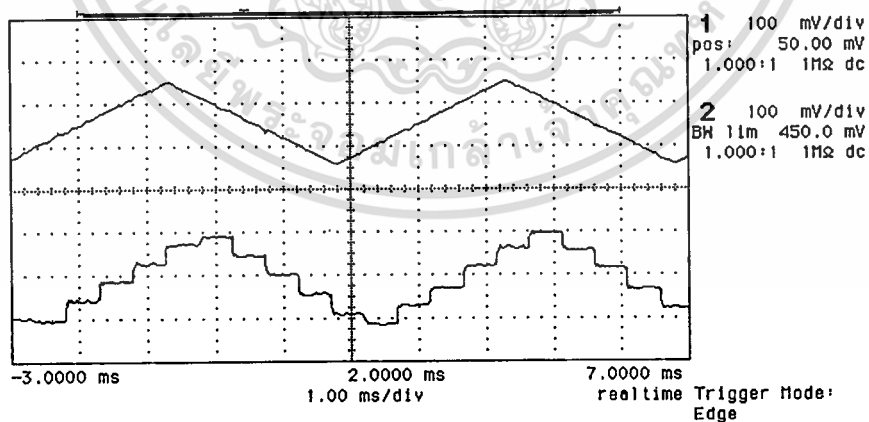
hp stopped

1 \square 110.0 mV

hp stopped

1 \square 110.0 mV

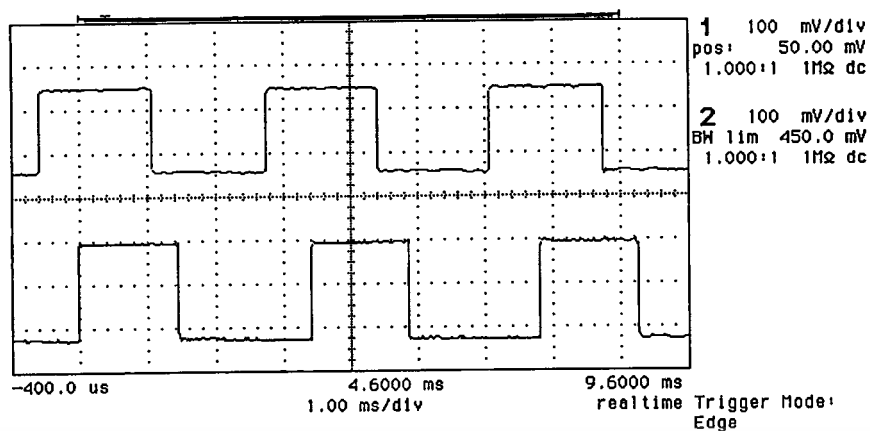
hp running-auto triggering

1 \square 110.0 mV

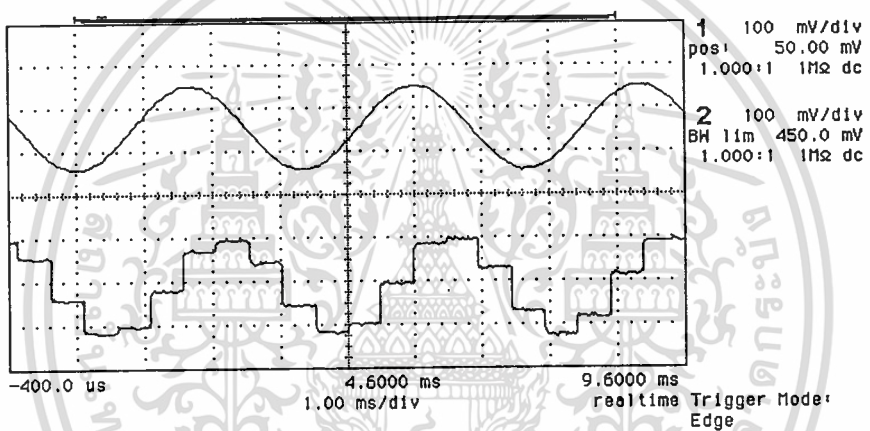
ภาพที่ 5.5 ผลทดสอบทางไดนามิกของวงจร ADC โดยสัญญาณอินพุตที่มีความถี่ 200 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

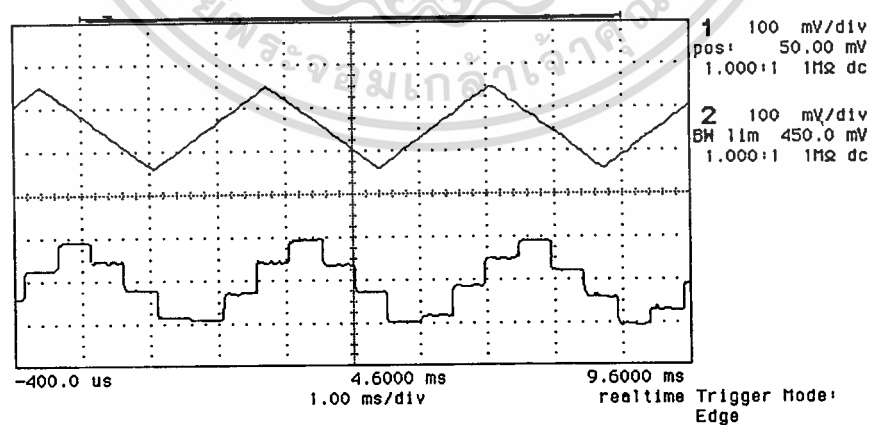
hp stopped

1 \square 110.0 mV

hp stopped

1 \square 110.0 mV

hp stopped

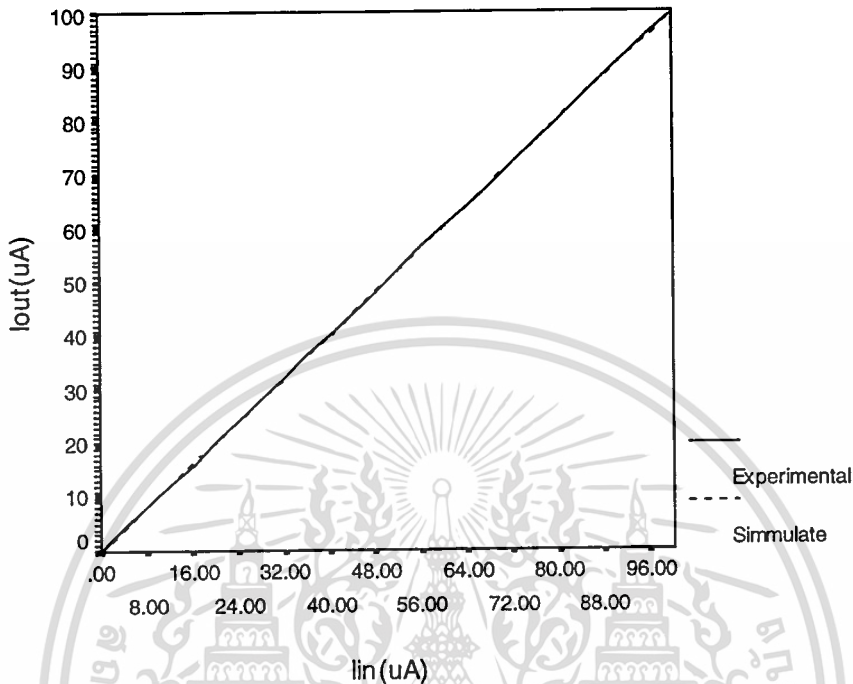
1 \square 110.0 mV

ภาพที่ 5.6 ผลทดสอบทางไดนามิกของวงจร ADC โดยสัญญาณอินพุตที่มีความถี่ 300 Hz

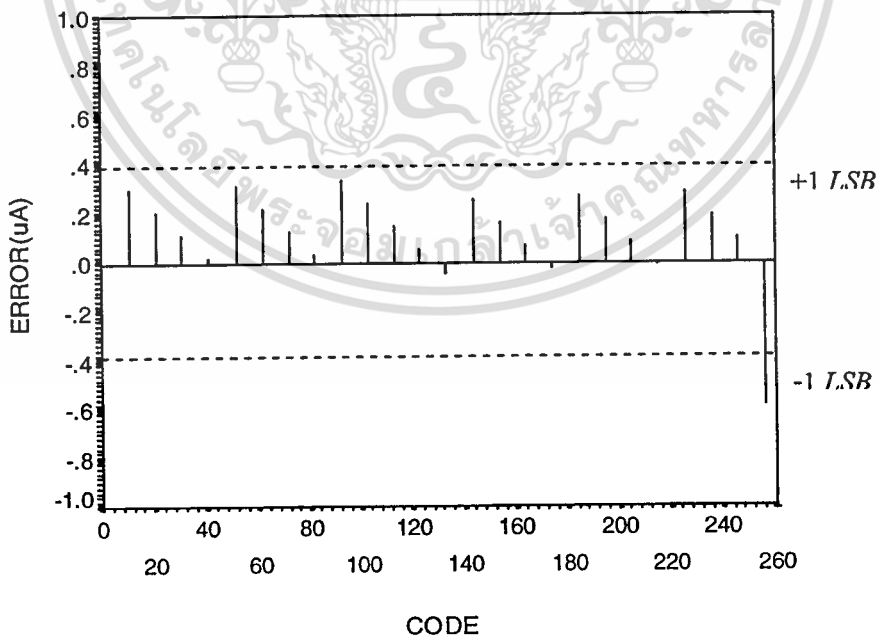
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 ผลการวิเคราะห์ค่าผิดพลาดจากการแปลงสัญญาณของ ADC

เมื่อนำผลการเขียนแบบ โดยโปรแกรม Pspice และผลจากการทดลองด้วยวงจรจริงนำผลที่ได้จาก ตารางที่ 5.1 และตารางที่ 5.2 มาวิเคราะห์หาค่าผิดพลาดได้ดังนี้

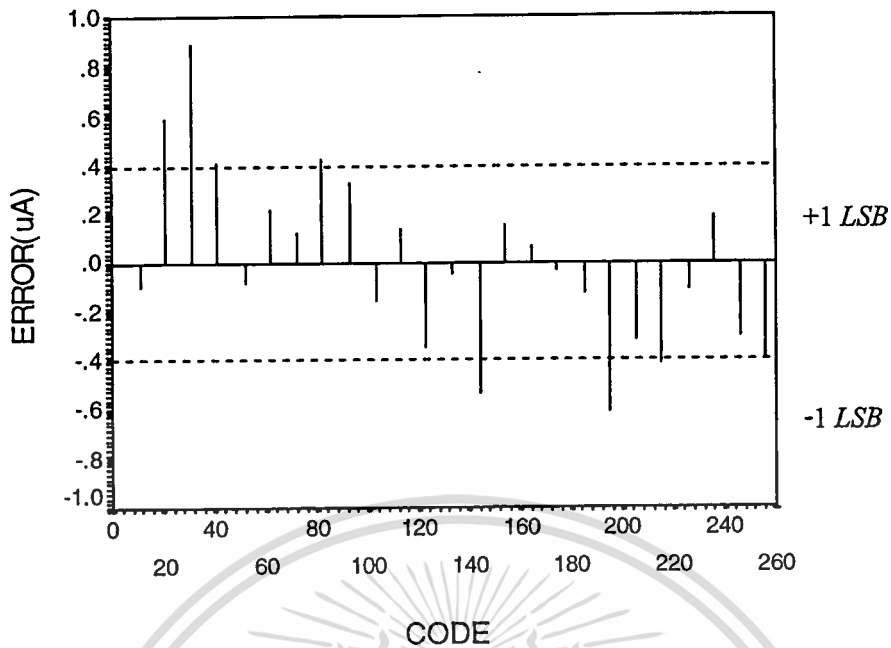


ภาพที่ 5.7 กราฟแสดงการแปลงสัญญาณ



ภาพที่ 5.8 ค่าผิดพลาดจากการเขียนแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 5.9 ค่าผิดพลาดจากการทดลองจริง

พิจารณาจากค่าผิดพลาดจากการเขียนแบบจะเห็นว่าค่าผิดพลาดอยู่ในช่วง $\pm 1 \text{ LSB}$ และค่าผิดพลาดจากการทดลองจริงจะอยู่ในช่วงของ $\pm 2 \text{ LSB}$ โดยค่าผิดพลาดจากการทดลองจริงจะรวมค่าผิดพลาดของอุปกรณ์และเครื่องมือที่ทำการทดลองเข้าไปด้วย

5.6 บทสรุป

บทนี้กล่าวถึงการจำลองการทำงานของวงจรด้วยโปรแกรม Pspice และการทดลองจริงด้วยการต่อวงจรในแผ่นวงจรพิมพ์ โดยทำการทดลองทั้งทางด้านสถติกและไดนามิก แล้วนำผลการจำลองการทำงานและการทดลองทางสถติกมาแสดงในรูปของกราฟเพื่อแสดงค่าผิดพลาดของการแปลง ในแต่ละส่วน

บทที่ 6

สรุปผลงานวิจัยและข้อเสนอแนะ

ในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลตามหลักการแล้วสามารถทำได้ 3 วิธีการ คือ การแปลงแบบขนาน การแปลงแบบผสม การแปลงแบบอนุกรมซึ่งวิธีแปลงแบบขนานนั้นจะได้เอาท์พุททุก ๆ บิตออกมาพร้อมๆกันในเวลาเดียว สำหรับการแปลงแบบผสมจะได้บิตเอาท์พุทออกมามากกว่าที่ละบิตแต่ทุกๆบิตจะออกมาไม่พร้อมกัน ขึ้นอยู่กับว่าในส่วนของแต่ละวงจรถอยนั้นมี การแปลงแบบขนานที่ละกี่บิต สำหรับการแปลงแบบอนุกรมจะได้เอาท์พุทออกมาทีละบิต เรียงกันออกมาเรื่อย ๆ ในงานวิจัยนี้ได้กระทำการแปลงแบบอนุกรมภายใต้หลักการของอัลกอริทึมโดยใช้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบอัล-กอริทึมเพียงบิตเดียวกับวงจร sample and hold สองวงจรทำงานสลับกัน จากงานวิจัยเมื่อเปรียบเทียบกับหลักการของเดิมจะทำให้ประหยัดพื้นที่ของวงจร และในการจัดสัญญาณนาฬิกาควบคุมการแปลงสัญญาณจะทำได้ง่ายดังรายละเอียดในบทที่ 4 ผลการทดลองในบทที่ 5 เป็นการเลียนแบบการทำงานและการต่อวงจรจริง สำหรับเวลาที่ใช้ในการแปลงสัญญาณเมื่อป้อนสัญญาณนาฬิกาที่มีความถี่ 20 KHz ค่าเวลาการแปลงสัญญาณต่อบิตเท่ากับ 50 ไมโครวินาที จากผลการทดลองจริงและการเลียนแบบการทำงานเป็นสิ่งยืนยันว่าหลักการนี้สามารถทำเป็นวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลได้

ส่วนค่าผิดพลาดของการแปลงจะขึ้นอยู่กับค่าผิดพลาดของอัตราขยายกระแสของวงจรสะท้อนกระแสซึ่งในกระบวนการของการทำวงจรรวมนั้นจะสามารถควบคุมให้ W/L มีค่าถูกต้องได้เท่าใด ซึ่งค่าผิดพลาดของขบวนการจะเป็นตัวกำหนดจำนวนบิตสูงสุดของการแปลงจากภาคผนวก ก.

ในส่วนของวงจรขยายกระแสในงานวิจัยนี้ใช้วงจรสะท้อนกระแสแบบธรรมดาผลจะทำให้มีค่าผิดพลาดสูง ดังนั้นถ้าต้องการลดค่าผิดพลาดก็สามารถใช้วงจรสะท้อนกระแสแบบที่มีค่ากระแสเอาท์พุทผิดพลาดต่ำเช่น แบบ wilson ,cascode ก็จะทำให้วงจรลดค่าผิดพลาดในการแปลงสัญญาณและสามารถแปลงได้จำนวนบิตเพิ่มขึ้นจากเดิม

บรรณานุกรม

- [1] D.G.Marin C.A.T. Salama “ Current –Mode Algorithmic Analog-to-Digital Converters”
IEEE J. solid-state Circuits, Vol.25 No.4 pp. 997-1004, August 1990
- [2] P.E. Allem and D.R. Holberg “CMOS ANALOG CIRCUIT DESIGN” *Holt Rinehart and Winston* 1987
- [3] David A.Johns Ken Martin “ ANALOG INTEGRATED CIRCUIT DESIGN” *John Wiley & Sons. Inc.* New York 1997
- [4] Giuseppe Massobri. Paolo Antognetti “SEMICONDUCTOR DEVICE MODELING WITH SPICE ” *McGraw-Hill* New York 1997
- [5] Z.Wang “Design Methodology of CMOS Algorithmic Current A/D Converters in view of Transistor Mismatches” *IEEE Transaction on Circuit and Systems* , Vol.38 No.6 pp. 660-667. June 1991
- [6] D.A.Freitas K.W. Current “CMOS Current Comparator Circuit ”*ELECTRONICS LETTER* Vol. 19 No.17 pp. 695-697 18th August 1983
- [7] D.G. Nairn C.A.T. Salama “ High- Resolution Current-Mode A/D Convertor Using Active Current Mirrors” *ELELCTRONIC LETTERS* Vol. 24 No. 21 pp. 1331-1332 13th October 1988
- [8] Mehrdad Nayeibi,Bruce A.Wooley “ A 10-bit Video BiCMOS Track-and-Hold Amplifier”
IEEE J.solid-state circuits, Vol. 24,No.6, pp.1507-1516,Dec 1989
- [9] Terri S.Fiez,Guojin Liang,David J.Allstot “ Switched-Current Circuit Design Issues” *IEEE J.solid-state circuit*, Vol. 26, No.3, March 1991
- [10] Minkyu Song,Yongman Lee Wonchan Kim “A Clock Feedthrough Reduction Circuit For Switched-Current Systems”*IEEE J. solid-state circuits*,Vol.28 No. 2,February 1993
- [11] D.A. Freitas, K.W. Current “ CMOS Current Comparator Circuit” *ELECTRONICS LETTERS* ,Vol.19, No.17, pp. 695-697 18th August 1983
- [12] เกียรติศักดิ์ คมวัชระ “การออกแบบและประยุกต์ใช้งานวงจรแปลงแรงดันเป็นกระแสแบบปรับค่าได้ด้วยทางอิเล็กทรอนิกส์ โดยอาศัยหลักการการทำงานของวงจรรวม” *วิทยานิพนธ์ วิศวกรรมศาสตรดุษฎีบัณฑิต* กรุงเทพฯ บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2540
- [13] มุกดา เทพธรณินทรา “การออกแบบวงจร A/D ขนาดหนึ่งบิตโดยใช้วงจรไม่เป็นเชิงเส้น” *วิทยานิพนธ์ วิศวกรรมศาสตรมหาบัณฑิต* กรุงเทพฯ บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระ

- [14] ชงชัย มณีชูเกตุ “การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลโดยวิธีการประมาณค่าตามลำดับขั้นด้วยสวิตซ์-คาปาซิเตอร์ขนาด 8 บิต” วิทยานิพนธ์ วิศวกรรมศาสตรมหาบัณฑิต กรุงเทพฯ บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2541
- [15] วีระ เฟื่องจันทร์ “การศึกษาการออกแบบและสร้างวงจรรวมสะท้อนกระแสโครงสร้างมอสแบบเกตโลหะ” วิทยานิพนธ์ วิศวกรรมศาสตรมหาบัณฑิต กรุงเทพฯ บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2541



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก

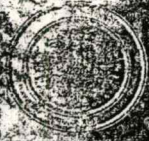
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

บทความทางวิชาการเรื่อง

การออกแบบตัวแปลงสัญญาณอนาล็อกเป็นดิจิทัลจำนวน n บิต
ด้วยอัลกอริทึมที่มีการทำงานในรูปของกระแส
 (A Design of n -bit Analog to Digital Converter with Current-Mode Algorithm)

การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 21
 จัดโดย ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์
 มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี



การประชุมวิชาการ
ทางวิศวกรรมไฟฟ้า ครั้งที่ 21



21st Electrical Engineering Conference
(EECON-21)

วันที่ 12-13 พฤศจิกายน 2541

ณ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
จ.สุขสวัสดิ์ 48 เขตทุ่งครุ กรุงเทพมหานคร

มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
KING MONGKUT'S UNIVERSITY OF TECHNOLOGY THONBURI

ดำเนินการจัดการประชุมโดย

ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การประชุมวิชาการ
ทางวิศวกรรมไฟฟ้า ครั้งที่ 21



21st Electrical Engineering Conference (EECON-21)

วันที่ 12-13 พฤศจิกายน 2541

ณ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

ถ.สุขสวัสดิ์ 48 เขตทุ่งครุ กรุงเทพมหานคร

ดำเนินการจัดการประชุมโดย

ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

การออกแบบตัวแปลงสัญญาณอนาลอกเป็นดิจิทัลจำนวน n บิต ด้วยอัลกอริทึมที่มีการทำงานในรูปของกระแส

A Design of n-bit analog to digital Converter with Current - Mode Algorithm

เสรี ชื่นอรมณ

วิทยา ทิพย์สุวรรณพร

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ถ.ฉลองกรุง ลาดกระบัง กรุงเทพฯ 10520

บทคัดย่อ

บทความนี้นำเสนอการออกแบบตัวแปลงสัญญาณอนาลอกเป็นดิจิทัล (A/D) โดยอาศัยคุณสมบัติของวงจรเปรียบเทียบกระแสอ้างอิงกับกระแสอินพุต ใช้วงจรสะท้อนกระแสเป็นตัวส่งผ่านกระแสที่เกิดจากการเปรียบเทียบและใช้วงจร Sample & Hold (S/H) เป็นตัวเก็บค่ากระแสเพื่อทำการแปลงสำหรับบิตต่อไปวงจรนี้สามารถที่จะขยายจำนวนบิตได้โดยการเพิ่ม จำนวนรีฟริจิสเตอร์ และจำนวนสัญญาณนาฬิกา เมื่อถูกนำไปใช้ในการแปลงที่จำนวนบิตสูงๆ จะใช้พื้นที่น้อยกว่า[2] การทดสอบได้กระทำการเขียนแบบการทำงานด้วยโปรแกรม Pspice ซึ่งผลที่ได้เป็นไปตามหลักการของทฤษฎี

2 หลักการทำงาน

2.1 A/D 1 บิต

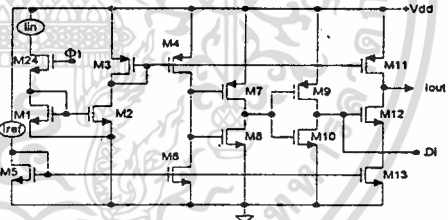
จากรูปที่ 1 เป็นวงจร A/D CMOS ขนาด 1 บิต โดยที่มอส $M_1, M_2, M_3, M_{11}, M_{12}$ มี $W/L=8 \mu m / 0.8 \mu m$ และ M_4 ที่มี $W/L=16 \mu m / 0.8 \mu m$ ทั้งหมดเป็นวงจรสะท้อนกระแส มอส M_5, M_6 เป็นวงจรเปรียบเทียบกระแส มอส M_7, M_8, M_9 และ M_{10} เป็นวงจรอินเวอร์เตอร์ สองตัวต่อกัน มอส M_{11} ทำงานเป็นสวิทช์ หลักการทำงานของวงจรทั้งหมดดังนี้ กระแส I_{in} ถูกดึงเข้ามายังขาครนของมอส M_1 แล้วสะท้อนกระแส $2I_{in}$ ไปยังขาครนของมอส M_2 ทำให้มอส M_2 ต้องจ่ายกระแสมาที่ขาครนเท่ากับกระแส $2I_{in}$ แล้วสะท้อนไปที่ขาครนของมอส M_3 และ M_4 ส่วนกระแส I_{ref} ที่มาจาก ขาครนของมอส M_5 แล้วสะท้อนไปยัง M_6 และ M_7 ซึ่งขาครนของมอส M_7 อยู่ที่ขาครนของมอส M_8 ทั้งมอส M_9, M_{10} ทำการเปรียบเทียบกระแส $2I_{in}$ กับ I_{ref} ซึ่งผลการเปรียบเทียบจะถูกส่งไปที่ V_{ds} ของมอส M_9 และ M_{10} เมื่อ กระแส $2I_{in} > I_{ref}$ ทำให้มอส M_9 ทำงานในช่วงไม่อิ่มตัว ส่วนมอส M_{10} จะทำงานในช่วงอิ่มตัว และทำให้ V_{ds} ของมอส M_9 มีค่าสูง แต่ถ้ากระแส $2I_{in} < I_{ref}$ ทำให้มอส M_{10}

Abstract

This paper presents a design an n bit A/D converter utilizing current comparator The current is then transfered by a current mirror to current -mode S/H which stores the residual current for the next bit. This circuit can be extended to n bit by increment shift register and clock. When the circuit is used conversion the most bits will use less than areas.[2] The simulation results were demonstrated by Pspice program.

1 บทนำ

วงจร A/D ที่ความเร็วปานกลางนั้นจะนำไปใช้งานอย่างกว้างขวางเช่น Digital Audio, DSP Modems, Process Controls เป็นต้น ซึ่งเมื่อต้องการจำนวนบิตทางเอาต์พุตหลายๆ จะต้องใช้พื้นที่มาก[2] ในบทความนี้นำเสนอการออกแบบ โดยใช้อุปกรณ์จำพวกมอสเฟตเพราะความก้าวหน้าทางเทคโนโลยีสารกึ่งตัวนำที่เป็นวงจรรวม[1] บวกกับมอสเฟตยังมีข้อดีว่าเป็นเทคโนโลยีที่ราคาต่ำและใช้พื้นที่น้อยกว่าจึงเหมาะสมสำหรับการสร้างเป็นวงจรรวมอย่างมาก ซึ่งบทความนี้นำเสนอ A/D ด้วยเทคโนโลยี CMOS ที่ประกอบด้วยวงจรย่อยคือ วงจรเปรียบเทียบกระแส (Current comparator) วงจรอินเวอร์เตอร์ (Inverter) วงจรสะท้อนกระแส (Current mirrors) และวงจร Track & Hold โดยถูกเขียนแบบการทำงานให้มีขนาด 12 บิต ด้วยโปรแกรม Pspice



รูปที่ 1 วงจร CMOS current algorithmic A/D 1 บิต

ทำงานในช่วงอิ่มตัว ส่วนมอส M_{10} ทำงานในช่วงไม่อิ่มตัว ทำให้ V_{ds} ของมอส M_9 มีค่าต่ำ ซึ่งแรงดัน V_{ds} ของมอส M_9 ถูกป้อนเป็นอินพุตของวงจรอินเวอร์เตอร์ ของมอส M_7, M_8 และเอาต์พุตของมอส M_7, M_8 เป็นอินพุตของมอส M_9, M_{10} ส่วนเอาต์พุตของมอส M_9, M_{10} จะเป็นสัญญาณควบคุมสวิทช์ของมอส M_{11} ให้กระแส I_{in} มีค่ามาแรงขึ้นอีก

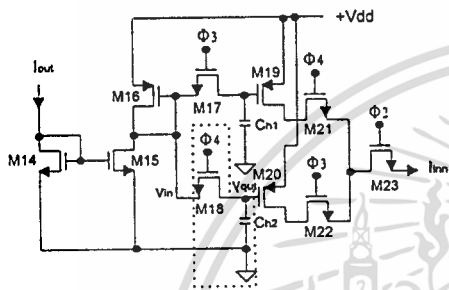
การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 21 พ.ศ. 2541

$$I_{out} = \left\{ \begin{array}{ll} 2I_{in} - I_{ref} & \text{เมื่อ } 2I_{in} > I_{ref} ; D_i = 1 \\ 2I_{in} & \text{เมื่อ } 2I_{in} < I_{ref} ; D_i = 0 \end{array} \right\} \quad (1)$$

D_i คือ ดิจิตอลเอาท์พุทที่บิตใด ๆ

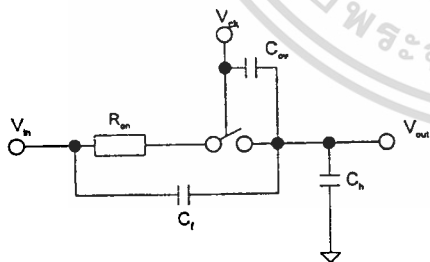
2.2 วงจร Track and Hold

จากรูปที่ 2 เป็นส่วนของวงจร Track and Hold โดยมอส M₁₆, M₁₇, M₁₈, M₁₉, M₂₀ เป็นวงจรถ่ายโอนกระแสจาก I_{in} มอส M₁₇, M₁₈, M₂₁, M₂₂, M₂₃ เป็นวงจรถ่ายโอน และ C_{h1}, C_{h2} เป็นตัวเก็บประจุทำหน้าที่ยึดแรงดัน(Hold capacitor)



รูปที่ 2 วงจร Track and Hold

ซึ่งมีหลักการทำงานดังนี้ เมื่อกระแส I_{in} บิอนเข้าไปยังขาเครนของมอส M₁₆ จะสะท้อนกระแส I_{in} ไปยังขาเครนของมอส M₁₇ และขาซอกของมอส M₁₈ ซึ่ง ค่า V_{GS} ของมอส M₁₆ ถูกต่อกับสวิตช์ มอส M₁₇, M₁₈ เพื่อนำค่า V_{GS} ของมอส M₁₆ มาเก็บไว้ที่ C_{h1}, C_{h2} ตามจังหวะการควบคุมของสัญญาณ Φ₃ และ Φ₄ แล้วใช้กระแส M₁₇, M₁₉ เป็นตัวสะท้อนกระแส I_{in} และใช้ สวิตช์ มอส M₂₁, M₂₂ เป็นตัวควบคุมการจ่ายกระแส I_{in} ตามจังหวะการควบคุมของสัญญาณ Φ₁ และ Φ₂ และสวิตช์มอส M₂₁, M₂₂ เป็นตัวควบคุมการจ่ายกระแส I_{in} ตามจังหวะการควบคุมของสัญญาณ Φ₂ ที่ได้จากมอส M₂₁, M₂₂ เป็น I_{in} เพื่อนำไปแปลงสำหรับบิตต่อไป จากรูปที่ 2 ส่วนที่มีเส้นประล้อมรอบคือส่วนของวงจรถุ่ม (Sampling switch) ซึ่งแทนวงจรในรูปที่ 3



รูปที่ 3 ค่าตัวแปรภายในวงจรถุ่ม

จากรูปที่ 3 R_{on} คือค่าความต้านทานของวงจรถุ่ม ซึ่งหาได้จากสมการที่ (2) C_{ov} คือค่าความเก็บประจุระหว่างจากทกกับขาเครนที่ซ้อนทับกันซึ่งก็คือค่าของ C_{ov} ของมอส M₁₆, C_h คือค่าความเก็บประจุระหว่างรอยต่อขาหลักและขาเครนเมื่อ ตอนที่สวิตช์ช้อฟ ซึ่งก็คือค่าของ C_g ของมอส M₁₆ จากผลการ ทดสอบด้วย Pspice จะได้ว่า C_{ov} มีค่าเท่ากับศูนย์ และ C_h คือค่า Hold capacitor ซึ่งหาได้จากสมการที่(3) ในการเลือกใช้มอสมาทำเป็นวงจรถุ่ม Sampling and Hold จะต้องพิจารณาค่าพารามิเตอร์ตามตัวคือ switch bandwidth(B) pedestal error(P) และ switch feedthrough (F) [3] ซึ่งค่าพารามิเตอร์ทั้งสามหาได้จากสมการที่ (3),(4),(5)ตามลำดับ

$$R_{on} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right) (V_{GS} - V_{th})} \quad (2)$$

R_{on} คือค่า r_{on} ของมอส ที่ทำงานในย่าน Triode และมีที่ V_{DS} << V_{GS} - V_{th}

μ_n = ความคล่องตัวของอิเล็กตรอน (in cm²/v.s)

C_{ox} = E_{ox}/t_{ox}

E_{ox} = ค่า dielectric constant ของ SiO₂ มีค่าประมาณ 3.9E₀ (โดย E₀ ≈ 8.854x10⁻¹⁴ F/cm)

t_{ox} = ความหนาของเกตออกไซด์ (in m)

$$B = \frac{1}{2\pi R_{on} \cdot C_h} \quad (3)$$

$$P = \frac{\delta V_{out}}{V_{FS}} = \left(\frac{C_{ov}}{C_h}\right) \left(\frac{V_{ck}}{V_{FS}}\right) \quad (4)$$

$$F = \frac{C_{ov}}{C_h} \quad (5)$$

ซึ่ง δV_{out} คือ ค่าผิดพลาดสมบรูณ์ เอาท์พุทที่สวิตช์

V_{FS} คือ ระดับสูงสุดของสัญญาณอินพุท

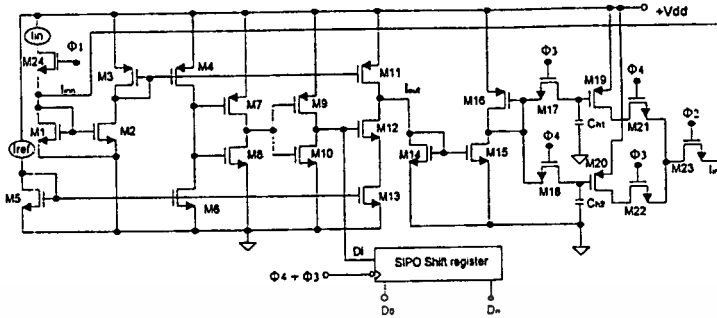
V_{ck} คือ ระดับแรงดันของสัญญาณนาฬิกา

2.3 A/D n บิต

วงจร A/D n บิตแสดงดังรูปที่ 4 โดยการนำวงจร A/D 1 บิต ในรูปที่ 1 มาประกอบเข้ากับวงจร Track and hold ในรูปที่ 2 แล้วจัดสัญญาณควบคุม Φ₁, Φ₂ ตามโคเดแกรมในรูปที่ 5 ที่จธราตาโคเดแกรมในรูปที่ 5 จะเห็นว่า Φ₁ กับ Φ₂ และ Φ₃ กับ Φ₄ จะมีสัญญาณที่ตรงกันข้ามกัน ซึ่งสามารถใช้อินเวอร์เตอร์เป็นตัวกลับเฟสได้เช่นนี้ข้อแม้คือห้ามมีการซ้อนทับกันระหว่างสัญญาณ

จากวงจร A/D n บิตมีหลักการทำงานคือ เมื่อกระแส I_{in} เข้ามาในจังหวะสัญญาณนาฬิกาแรกก็จะเกิดการแปลงที่บิต n ก่อนซึ่งรายละเอียดในการแปลงได้กล่าวไว้ในหัวข้อที่ 2.1) ซึ่งผลการแปลงจะออกมาในรูปของลอจิกที่บิต n(D) และเหลือ กระแส I_{in} ที่เกิดจากการแปลงเพื่อทำการแปลงสำหรับบิต n-1 ต่อไป เมื่อกระแส I_{in} เข้ามาในวง

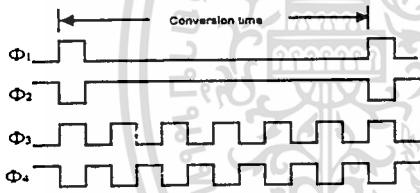
การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 21 พ.ศ. 2541



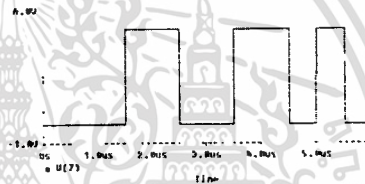
รูปที่ 4 วงจร A/D n บิต

จร Track and hold มอส M_{11} ทำงาน ส่วน C_{11} จะทำการเก็บค่ากระแส I_{in} ไว้ในรูปของแรงดัน (ซึ่งรายละเอียดการทำงานกล่าวในหัวข้อที่ 2.2) จากนั้นเมื่อสัญญาณนาฬิกาถูกที่ของเข้ามอส M_{21} ไม่ทำงานส่วน มอส M_{21}, M_{22} ทำงาน ทำให้กระแส I_{in} ที่เกิดจากการเก็บ C_{11} ซึ่งผ่าน มอส M_{11} และ M_{22} เป็นกระแส I_{in} เพื่อทำการแปลงบิตที่ $n-1$ และผลจากการแปลงจะเกิดกระแส I_{in} ใหม่ แล้วทำการแปลงบิตที่ต่ำกว่าไปเก็บไว้ที่ C_{12} จากการทำงานจะเห็นว่า C_{11} กับ C_{12} สลับกันเก็บค่า I_{in} เพื่อทำการแปลงสำหรับบิตต่อไป

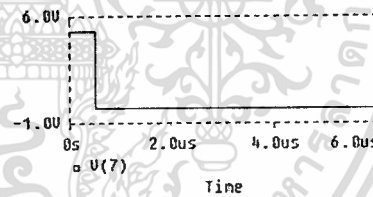
ลำดับ ซึ่งเมื่อทำการแปลงกับจะมีค่าระดับใกล้เคียงกับสัญญาณกระแสทางอินพุต จากรูปที่ 6-8 V(7) คือค่า V_D ของ M_{11}, M_{12} ในวงจรรูปที่ 4 ซึ่งเป็นส่วนที่จะต้องนำไปต่อกับวงจร ซิฟริจิสเตอร์เพื่อเก็บค่าดิจิตอลเอาท์พุท ของวงจร



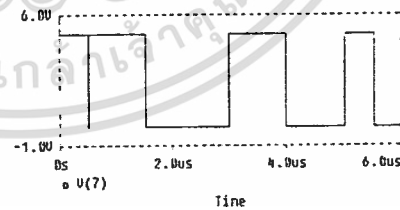
รูปที่ 5 สัญญาณควบคุม



รูปที่ 6 ดิจิตอลเอาท์พุท $D_{11}-D_0$ เมื่อ $I_{in}=10\mu A, I_{ref}=100\mu A$



รูปที่ 7 ดิจิตอลเอาท์พุท $D_{11}-D_0$ เมื่อ $I_{in}=50\mu A, I_{ref}=100\mu A$

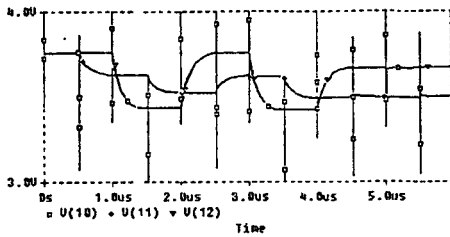


รูปที่ 8 ดิจิตอลเอาท์พุท $D_{11}-D_0$ เมื่อ $I_{in}=90\mu A, I_{ref}=100\mu A$

3. การทดสอบและผลทดสอบ

การทดสอบดังกล่าวในบทความนี้ ได้ใช้การเลียนแบบการทำงานด้วยโปรแกรม Pspice จำลองใน Mode Transient level=2 และเป็น Wores case โดยกำหนดให้ค่า W/L ของวงจรรูปที่ 4 ให้มอสทุกตัวที่ทำหน้าที่เป็นสวิทช์และมอส M_1 มีค่า $W/L=16\mu m/0.8\mu m$ ส่วนมอสที่เหลือทุกตัวมีค่า $W/L=8\mu m/0.8\mu m$ และใช้ $C_{11}=C_{12}=20pF$ และแรงดันของสัญญาณควบคุมมีค่า 0-5V โดยที่ $V_{DD}=5V$ และ $V_{SS}=0V=GND$ ซึ่งผลการทำงานของวงจรแสดงดังรูปที่ 6 - 8 เมื่อค่ากระแส I_{in} มีค่า 10 μA , 50 μA , 90 μA , ตามลำดับจะได้อ่านค่าดิจิตอลเอาท์พุท 19A $_{11}$, 800 $_{11}$, E32 $_{11}$ ตาม

การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 21 พ.ศ. 2541



รูปที่ 9 ค่า $V_{C_{11}}=V(11)$ และ $V_{C_{12}}=V(12)$
เมื่อ $I_{n1}=10\mu A$ $I_{n2}=100\mu A$

4 สรุป

ผลการเขียนแบบวงจรการทำงานด้วยโปรแกรม Pspice แสดงให้เห็นว่าวงจรดังกล่าวสามารถทำเป็นวงจร A/D ๓ บิตได้ แต่ความถูกต้องในการแปลงจะขึ้นอยู่กับค่าพารามิเตอร์ของบอตแคปแต่ละตัวว่าคอนำมาเป็นวงจรมันจะมีค่าเท่ากันหรือไม่ และการกำหนดค่าของ Ch จะต้องอยู่ในค่าที่เหมาะสม ถ้ามีค่าไม่เหมาะสมจะเกิดการผิดพลาดในการแปลง ช่วงปฏิบัติการทางอินพุตสามารถรับกระแส I_n ได้ 0-200 μA และจะใช้เวลาในการแปลงน้อยกว่าสามเท่าเมื่อเทียบกับงานวิจัย [1]

เอกสารอ้างอิง

- [1] Chin-Long Wey "Built -In Self-Test Design of Current - Mode Algorithmic Analog-to - Digital Converters" IEEE Transaction on Instrumentation and Measurement, VOL.46,No.3 pp 667-671 June 1997
- [2] Zhenhua Wang "Design Methodology of Cmos Algorithmic Current A/D Converters in View of Transistor mismatches" IEEE Transaction on Circuit and Systems, VOL.38 ,No.6 .pp660-667 June 1997
- [3] Mehrdad Nayebi, Bruce A. Wooley " A 10bit Video BiCmos Track-and-Hold Amplifier" IEEE Solid-state Circuit, VOL.24,No.6,pp1507-1516, Dec 1989

ภาคผนวก ข.

โปรแกรมเลียนแบบการทำงานของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลจำนวน 8 บิต
ด้วยอัลกอริทึมที่มีการทำงานในรูปของกระแส



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม Pspice ที่ใช้ในการเลียนแบบ

CMOS ADC8bit .CIR

```

VDD 1 0 DC 5
IIN 17 0 100U
IREF 1 2 200U
VST 21 0 PWL(0 5 1U 5 1.1U 0 8U 0)
VSTN 20 0 PWL(0 0 1U 0 1.1U 5 8U 5)
VS1 18 0 PWL(0 5 1U 5 1.1U 0 2U 0 2.1U 5 3U 5 3.1U 0 4U 0 4.1U 5
      + 5U 5 5.1U 0 6U 0 6.1U 5 7U 5 7.1U 0 8U 0)

CH1 11 0 20P
CH2 12 0 20P

M1 3 3 0 0 NMOS1 W=80U L= 10U
M2 4 3 0 0 NMOS1 W=160U L= 10U
M3 4 4 1 1 PMOS1 W=80U L= 10U
M4 5 4 1 1 PMOS1 W=80U L= 10U
M5 2 2 0 0 NMOS1 W=80U L= 10U
M6 5 2 0 0 NMOS1 W=80U L= 10U
M7 6 5 1 1 PMOS1 W=80U L= 10U
M8 6 5 0 0 NMOS1 W=80U L= 10U
M9 7 6 1 1 PMOS1 W=80U L= 10U
M10 7 6 0 0 NMOS1 W=80U L= 10U
M11 8 4 1 1 PMOS1 W=80U L= 10U
M12 8 7 9 9 NMOS1 W=80U L= 10U
M13 9 2 0 0 NMOS1 W=80U L= 10U
M14 8 8 0 0 NMOS1 W=80U L= 10U
M15 10 8 0 0 NMOS1 W=80U L= 10U
M16 10 10 1 1 PMOS1 W=80U L= 10U
M17 10 18 11 0 NMOS1 W=80U L= 10U
M17P 10 19 11 1 PMOS1 W=80U L= 10U
M18 10 19 12 0 NMOS1 W=80U L= 10U
M18P 10 18 12 1 PMOS1 W=80U L= 10U
M19 13 11 1 1 PMOS1 W=80U L= 10U
M20 14 12 1 1 PMOS1 W=80U L= 10U

```

M21	13	19	15	15	NMOS1	W=80U	L= 10U
M22	14	18	15	15	NMOS1	W=80U	L= 10U
M23	15	20	3	3	NMOS1	W=80U	L= 10U
M24	16	21	3	3	NMOS1	W=80U	L= 10U
M25	17	17	1	1	PMOS1	W=80U	L= 10U
M26	16	17	1	1	PMOS1	W=80U	L= 10U
M27	19	18	1	1	PMOS1	W=80U	L= 10U
M28	19	18	0	0	NMOS1	W=80U	L= 10U
M29	11	21	12	0	NMOS1	W=80U	L= 10U

....NMOS....

.MODEL NMOS1 NMOS LEVEL=2 KP=36.72U LAMBDA=0.01 VTO=0.8 GAMMA=1.4
 +CGSO=4.32E-16 CGDO=4.32E-16 CGBO=6.48E-15 RSH=25 CJ=5.4E-4 CJSW=5.4E-10
 +TOX=650E-10 LD=0.4U UO=680 AF=1.2 KF=1E-26

.....PMOS.....

.MODEL PMOS1 PMOS LEVEL=2 KP=13.5U LAMBDA=0.01 VTO=-0.8 GAMMA=0.4
 +CGSO=4.32E-16 CGDO=4.32E-16 CGBO=6.48E-15 RSH=90 CJ=1.22E-4 CJSW=1.22E-10
 +TOX=650E-10 LD=0.5U UO=250 AF=1.2 KF=1E-26

.TRAN .5U 8U

.PROBE

.OP

.END

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

การวิเคราะห์หาจำนวนบิตสูงสุดที่สามารถแปลงได้

และ

วิเคราะห์หาค่ากระแสผิดพลาดจากวงจร Sample and Hold

การวิเคราะห์หาจำนวนบิตสูงสุดที่ทำการแปลงได้

เนื่องจากความไม่สมพจน์กันของมอสทรานซิสเตอร์ในขบวนการของการทำเป็นวงจรรวม เป็นผลให้ ขาดความเที่ยงตรงในการแปลงสัญญาณ โดยผลมาจากค่าผิดพลาดของการสะท้อน กระแสคือ[2]

$$\frac{\Delta I}{I_{in}} = \frac{I_{out} - I_{in}}{I_{in}} \quad (ค.1)$$

เมื่อ I_{in} คือกระแสอินพุทของวงจรสะท้อนกระแส

I_{out} คือกระแสเอาต์พุทของวงจรสะท้อนกระแส

ΔI คือค่าผิดพลาดระหว่างกระแสอินพุทและเอาต์พุท

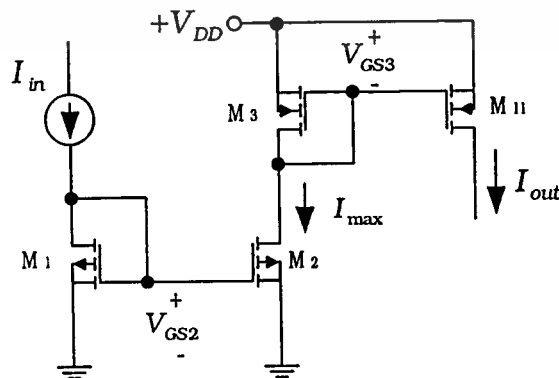
สำหรับมอสที่ทำงานในย่านอิ่มตัว ความสัมพันธ์ระหว่างค่าผิดพลาด [1] ถูกกำหนดจาก

$$\frac{\Delta I}{I_{in}} = \frac{\Delta \beta}{\beta} - \Delta V_{th} \sqrt{\frac{2\beta}{I_{in}}} \quad (ค.2)$$

เมื่อ $\beta, \Delta \beta$, และ ΔV_{th} เป็นตัวกำหนดค่าเฉลี่ยอัตราการสะท้อนกระแสคงที่ของอุปกรณ์ โดยที่ $\beta = \mu C_{ox} W/L$ และ ΔV_{th} คือค่าผิดพลาดของ V_{th} ของมอสแต่ละตัว โดยหลักการปฏิบัติแล้ว ค่าของ $\Delta \beta$ และ ΔV_{th} สามารถที่จะลดค่าแตกต่างกันได้ไม่เกิน 0.2 % [5] สำหรับวงจร ADC ค่าของกระแสผิดพลาดจะต้องมีค่าต่ำกว่าครึ่งหนึ่งของบิต LSB ดังนั้นความถูกต้องของการแปลงจะถูกกำหนดจากค่าของ $\Delta \beta$ และ ΔV_{th} ในการปฏิบัติแล้วค่ากระแสผิดพลาดสูงสุด ถูกกำหนดจากค่าของ ΔV_{th} ซึ่งจะเป็นอัตราส่วนสแควร์รูทของกระแสสูงสุดจาก [2] จะได้

$$\Delta I = \Delta V_{th} \sqrt{2I_{max} \beta} \quad (ค.3)$$

โดยที่ I_{max} ถูกจากการกำหนดให้มอสทำงานในช่วงอิ่มตัว จากภาพที่ ค.1



ภาพที่ ค.1 วงจรสะท้อนกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากภาพ ก.1 หากค่ากระแสสูงสุดโดยกำหนดให้มอส M_2 และ M_3 ทำงานในย่านอิ่มตัวดังนั้นจะได้

$$V_{GS2} - V_{th} + |V_{GS3}| \leq V_{DD} \quad (\text{ก.4})$$

จะได้

$$V_{GS2} + V_{GS3} = -(V_{DD} - V_{th}) \quad (\text{ก.5})$$

$$\sqrt{\frac{2I_{D2}}{\beta_2} - V_{thn}} + \sqrt{\frac{2I_{D3}}{\beta_3} - V_{thp}} = -(V_{DD} - V_{th})$$

เมื่อ $I_{D2} = I_{D3} = I_{max}$, $\beta_2 \cong \beta_3 = \beta$, $V_{thn} \cong V_{thp}$ จะได้

$$I_{max} = \frac{\beta}{2} \left(\frac{V_{DD} - V_{th}}{2} \right)^2 \quad (\text{ก.6})$$

จากภาพที่ ก.1 พิจารณาสมการที่ (ก.6) จะได้กระแสอินพุท (I_m) สูงสุดเท่ากับ $I_{max}/2$ เพราะมอส M_2 มีค่า W/L เป็นสองเท่าของมอส M_1

จากสมการที่ (ก.3) คือค่ากระแสผิดพลาดนั้นจะต้องมีค่าน้อยกว่าหรือเท่ากับครึ่งหนึ่งของกระแสที่ บิต LSB ดังนั้นจะได้

$$\Delta V_{th} \sqrt{2I_{max}\beta} = \frac{I_{max}}{2^{n+1}} \quad (\text{ก.7})$$

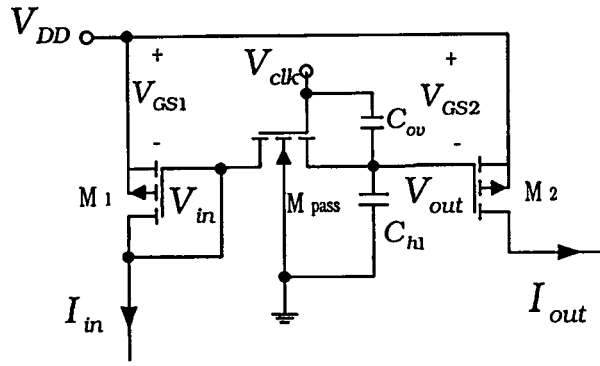
เมื่อ n คือจำนวนบิตทางเอาต์พุทของวงจร ADC ดังนั้นหาค่า n ได้ดังสมการที่(ก.8)

$$n = \frac{\ln\left(\frac{I_{max}}{\Delta V_{th}\sqrt{I_{max}\beta}}\right)}{\ln 2} - 1 \quad (\text{ก.8})$$

แทนค่า β ในสมการ (ก.6) ลงในสมการที่ (ก.8) จะได้ จำนวนบิตที่แปลงได้สูงสุด

$$n = 1.44 \ln\left(\frac{V_{dd} - V_{th}}{4\Delta V_{th}}\right) - 1 \quad (\text{ก.9})$$

วิเคราะห์หาค่ากระแสผิดพลาดจากวงจร Sample and Hold



ภาพที่ ค.2 วงจร Sample and Hold

จากรูปที่ ค.2

$$I_{in} = \frac{1}{2} \beta (V_{GS1} - V_{tp})^2 \quad (ค.10)$$

เมื่อ $V_{GS1} = V_{in}$

$$I_{in} = \frac{1}{2} \beta (V_{in} - V_{tp})^2 \quad (ค.11)$$

$$I_{out} = \frac{1}{2} \beta (V_{GS2} - V_{tp})^2 \quad (ค.11)$$

เมื่อ $V_{GS2} = V_{out}$

$$I_{out} = \frac{1}{2} \beta (V_{out} - V_{tp})^2 \quad (ค.12)$$

จากภาพที่ ค.2 ในสถานะที่ V_{clk} มีค่าเป็นลอจิก “1” ผลทำให้ทรานซิสเตอร์ M-Pass ON จะได้ค่าแรงดันอินพุตเท่ากับแรงดันเอาต์พุตคือค่าแรงดัน $V_{GS1} = V_{GS2}$ แล้วทำให้ค่ากระแส I_{out} เปลี่ยนแปลงตามกระแส I_{in} ซึ่งวงจรทำงานในสถานะ Sample หรือ Track ตามอินพุตโดยกระแส I_{out} ในสถานะนี้ยังไม่ได้ถูกนำไปแปลง ส่วนในสถานะ Hold ทรานซิสเตอร์ M-Pass OFF ผลทำให้แรงดันเอาต์พุตคงสถานะเดิม แต่ผลของแรงดันจากสัญญาณ V_{clk} และค่าความจุภายในของทรานซิสเตอร์ M-Pass คือ C_{GDOV} ซึ่งแทนด้วยค่า C_{ov} มีผลทำให้แรงดันเอาต์พุตเปลี่ยนแปลง ซึ่งทำให้เกิดค่ากระแส I_{out} เปลี่ยนแปลงไปจากเดิม ดังนั้นจะได้ค่ากระแสผิดพลาดของกระแส I_{out} ดังสมการที่ (ค.13)

$$\Delta I_{out} = I_{outs} - I_{outh} \quad (ค.13)$$

เมื่อ ΔI_{out} คือค่ากระแสเอาต์พุตผิดพลาดของวงจร Sample and Hold

I_{outs} คือกระแสเอาต์พุตที่อยู่ในสถานะ Sample

I_{outh} คือกระแสเอาต์พุตที่อยู่ในสถานะ Hold

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่

$$I_{outs} = \frac{1}{2} \beta (V_{gs2} - V_{tp})^2 \quad (ค.14)$$

$$I_{outh} = \frac{1}{2} \beta (V_{gs2} - \Delta V_{out} - V_{tp})^2 \quad (ค.15)$$

และ ΔV_{out} คือค่าผิดพลาดของแรงดันเอาต์พุตของวงจร Sample and Hold จากสมการที่ (4.30)

$$\Delta V_{out} = \frac{C_{ov} V_{clk}}{C_{ov} + C_h}$$

แทนค่าสมการที่ (ค.14) และ (ค.15) ในสมการที่ (ค.13) จะได้

$$\Delta I_{out} = \frac{1}{2} \beta \Delta V_{out} [2(V_{gs2} - V_{tp}) + \Delta V_{out}] \quad (ค.16)$$

โดยแทนที่ $V_{gs2} - V_{tp} = \sqrt{\frac{I_{outs}}{\beta}}$ ในสมการที่ (ค.16) จะได้ค่ากระแสผิดพลาด

$$\Delta I_{out} = \frac{1}{2} \beta \Delta V_{out} \left[2 \left(\sqrt{\frac{I_{outs}}{\beta}} \right) + \Delta V_{out} \right] \quad (ค.17)$$

ประวัติผู้เขียน

ชื่อ นายเสรี ชื่นอารมณฺ์ เกิดวันที่ 19 พฤษภาคม 2508 วุฒิการศึกษาที่สำเร็จครุศาสตร์บัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ สถาบันที่สำเร็จการศึกษา สถาบันเทคโนโลยีราชมงคล วิทยาเขตเทเวศร์ ปีที่สำเร็จการศึกษา 2531 ปัจจุบันเป็นอาจารย์ประจำภาควิชาวิศวกรรมอิเล็กทรอนิกส์ มหาวิทยาลัยเอเชียอาคเนย์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้