สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

บอร์ดควบคุมผ่านทางพอร์ตขนาน

PARALLEL PORT INTERFACING BOARD

โดย

นายจิรชาติ ปัญจพรผล

นายสันติ ตั้งสกุล

อาจารย์ที่ปรึกษา

อาจารย์วรพงศ์ ตั้งศรีรัตน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน..... 36862
วัน, เดือน, ปี..... 29 ส.ค. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ทำซ้ำ ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2542
สาขาวิชาวิศวกรรมระบบควบคุม
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง บอร์ดควบคุมผ่านทางพอร์ตขนาน

ผู้จัดทำ

1. นายจิรชาติ ปัญจพรผล รหัส 39014080
2. นายสันติ ตั้งสกุล รหัส 39014560

..... อาจารย์ที่ปรึกษา
(อาจารย์วรพงศ์ ตั้งศรีรัตน์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	บอร์ดควบคุมผ่านทางพอร์ตขนาน
นักศึกษา	นายจิรชาติ ปัญจพรผล
	นายสันติ ตั้งสกุล
อาจารย์ผู้ควบคุมปริญญานิพนธ์	อ. วรพงศ์ ตั้งศรีรัตน์
ระดับการศึกษา	วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมระบบควบคุม
ภาควิชา	วิศวกรรมระบบควบคุม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา	2542

บทคัดย่อ

ในปัจจุบันอุปกรณ์ต่าง ๆ ในโรงงานอุตสาหกรรมที่ใช้วัดปริมาณหรือควบคุมการทำงานของระบบต่าง ๆ มักจะถูกออกแบบขึ้นมา โดยใช้คอมพิวเตอร์เป็นตัวควบคุม และทำการประมวลผล แต่เนื่องจากคอมพิวเตอร์เป็นอุปกรณ์ที่รับ-ส่งข้อมูลเป็นสัญญาณดิจิตอล ในขณะที่อุปกรณ์การควบคุมทำงานด้วยระบบอนาลอก จึงจำเป็นต้องมีการเชื่อมโยงระบบทั้งสองเข้าด้วยกัน คือเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลและดิจิตอลเป็นอนาลอก ในโครงงานปริญญานิพนธ์นี้เป็นการออกแบบ และทดลองสร้างบอร์ดควบคุมผ่านทางพอร์ตขนาน ซึ่งควบคุมและทำการประมวลผลโดยใช้โปรแกรมภาษาเดลไฟ ใช้พอร์ตขนานของคอมพิวเตอร์เป็นตัวรับและส่งข้อมูลกับคอมพิวเตอร์

ABSTRACT

At present, instrument used in industries and manufactures in order to measure quantities or to control operations of the systems are mostly designed by exploiting a computer as a controller and a data processor. However the computer works only with digitized data, whereas both measured quantities or controlled operations are analog. Therefore it is necessary to provide an interfacing unit, which is able to convert analog signals into digital signals and vice versa. The aim of this project is to design a controller board used to control the processes by using Delphi. This board can interface with the IBM PC through its parallel port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จได้ด้วยดีจากความช่วยเหลือจากอาจารย์และบุคคลหลายท่าน

อาจารย์วรพงศ์ ตั้งศรีรัตน์ ที่ได้กรุณาให้คำปรึกษาชี้แนะแนวทางในการแก้ไขปัญหาต่าง ๆ อย่างทุ่มเท ตลอดจนสถานที่และอุปกรณ์ที่ใช้ในโครงงานและปริญญานิพนธ์

ขอขอบคุณภาควิชาระบบควบคุมอาจารย์และเจ้าหน้าที่ทุกท่านที่ช่วยอำนวยความสะดวกเอื้อเฟื้ออุปกรณ์และให้คำปรึกษาที่ดีเสมอมา

ขอขอบคุณห้อง Hardware และเพื่อน ๆ ทุกคนที่คอยช่วยเหลือด้านอุปกรณ์,คอมพิวเตอร์, สถานที่,คำปรึกษาและกำลังใจในการทำโครงงานและปริญญานิพนธ์

ขอขอบคุณเพื่อนในภาคคอนโทรลทุกคนที่คอยช่วยเหลืออย่างสม่ำเสมอ

ขอขอบคุณเพื่อน ๆ และน้อง ๆ ที่คอยช่วยเหลือในทุกเรื่องและกำลังใจที่ดีเยี่ยมตลอดการทำงานและตลอดเวลาในการเรียน

ขอขอบคุณสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังสำหรับทุกสิ่งทุกอย่างที่เกิดขึ้นที่นี่

ขอขอบพระคุณสำหรับบุญคุณอันยิ่งใหญ่ที่สุดคือ คุณพ่อ คุณแม่ ของพวกเราทั้งสองที่คอยห่วงใยให้กำลังใจและสมองที่ดีกับเรา ตลอดจนให้ความช่วยเหลือในทุก ๆ เรื่องแก่พวกเราตลอดเวลาไม่เคยเปลี่ยนแปลง

จิรชาติ ปัญจพรผล

สันติ ตั้งสกุล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
กิตติกรรมประกาศ	II
สารบัญ	III
สารบัญภาพ	VI
สารบัญตาราง	IX
บทที่	
1 บทนำ	1
1.1 ความสำคัญและความเป็นมาของโครงงาน	1
1.2 จุดประสงค์ของปริญญานิพนธ์	1
1.3 ขอบเขตของโครงงาน	2
2 ทฤษฎีและการใช้งาน 8255 เบื้องต้น	3
2.1 บทนำ	3
2.2 ลักษณะพื้นฐานของ 8255	3
2.3 การจำแนกกลุ่มพอร์ตของ 8255	4
2.4 รูปแบบคำสั่งกำหนดการทำงานของ 8255	6
2.5 การเชื่อมต่อ 8255 กับคอมพิวเตอร์	7
2.6 รายละเอียดการทำงานโหมดต่าง ๆ ของ 8255	9
2.7 การทำงานในโหมด 0 ของ 8255	9
2.8 การทำงานในโหมด 1 ของ 8255	10
2.9 การทำงานในโหมด 2 ของ 8255	16
3 ทฤษฎีของ ADC และ DAC	19
3.1 ทฤษฎีของ Data Acquisition and Conversion	19
3.2 ทฤษฎีการ Sampling	20
3.3 การสุ่มและคงค่าสัญญาณ (Sampling and Hold) และ Aperture error	22
3.4 Quantizing Theory	24
3.5 Quantizer Resolution and Error	25
3.6 รหัสตัวเลขสำหรับการเปลี่ยนข้อมูล	26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 วงจรสุ่มและคงค่าสัญญาณ (Sample and Hold , S&H) 27
3.8 วงจรสุ่มแบบ Inverting Close Loop 29
3.9 วงจรแรงดันอ้างอิง 29
3.10 วงจร Digital to Analog Converter (DAC) 33
3.11 Analog to Digital Converter 36
4 ทฤษฎีของพอร์ตขนาน 40
4.1 โครงสร้างทั่วไปของคอมพิวเตอร์ 40
4.2 การอินเตอร์เฟสแบบขนาน 42
4.3 วงจรอะแดปเตอร์เครื่องพิมพ์ 44
4.4 ลักษณะคอนเนคเตอร์ 45
4.5 โหมดการทำงานของพอร์ขนาน 46
4.6 รายละเอียดการทำงานในโหมด SPP 48
4.7 รายละเอียดการทำงานในโหมด EPP 51
5 การออกแบบฮาร์ดแวร์ 53
5.1 คุณสมบัติของบอร์ดโดยรวม 53
5.2 รายการอุปกรณ์ที่ใช้ 54
5.3 การทำงานของวงจรในภาคควบคุมแบบดิจิตอล 56
5.4 การทำงานของวงจรในภาคควบคุมแบบอนาลอก 59
6 การเขียนโปรแกรมควบคุมการทำงานของบอร์ด 61
6.1 ตัวอย่างโปรแกรมที่ใช้ในการติดต่อกับพอร์ตขนาน 61
6.2 สายสัญญาณที่ใช้ในการติดต่อระหว่างพอร์ตขนานกับบอร์ดควบคุม 62
6.3 ขั้นตอนการตั้งค่าเริ่มต้นให้กับบอร์ด 63
6.4 ขั้นตอนการเลือกตำแหน่งของอุปกรณ์บนบอร์ด 64
6.5 ขั้นตอนการส่งข้อมูลจากภาคดิจิตอลและภาคอนาลอก 65
6.6 ขั้นตอนการรับข้อมูลจากภาคดิจิตอล 66
6.7 ขั้นตอนการรับข้อมูลจากภาคอนาลอก 67
7 วิจารณ์และสรุปผล 68
7.1 ภาคส่งค่าแบบอนาลอก (DAC) 68
7.2 ภาครับค่าแบบอนาลอก (ADC) 69
7.3 การทำงานรวมของภาคอนาลอก 70
7.4 การทำงานรวมของภาคดิจิตอล 72

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

ก. คู่มือไอซี (Data Sheet)

- 8255 ก-1
- MAX153 ก-11
- MAX6350 ก-23
- MX7228 ก-34

ข. ลายวงจร ข-1

ค. โปรแกรมติดต่อกับบอร์ด ค-1

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

หน้า

รูปที่

2.1 แสดงแผนภาพบล็อกภายในและขาสัญญาณของไอซีเบอร์ 8255 4
2.2 แสดงความหมายของบิตภายในไบต์ข้อมูลควบคุมสำหรับ 8255 6
2.3 แสดงการสร้างสัญญาณเลือกอุปกรณ์ (CS\) ให้กับ 8255 โดยการถอดรหัสจาก บัสแอดเดรส A2-A7 8
2.4 แสดงวงจรการเชื่อมต่อระหว่าง 8255 กับ 8051 9
2.5 แสดงลักษณะการทำงานของพอร์ต 8255 ภายหลังการส่งไบต์ข้อมูลควบคุมที่มีค่า 82 h 11
2.6 (ก) แสดงการใช้สัญญาณบอกสภาวะความพร้อมในการติดต่อระหว่า 8255 กับอุปกรณ์ภายนอก 11
2.6 (ข) แสดงการใช้สัญญาณบอกสภาวะความพร้อมในการติดต่อระหว่าง 8255 กับอุปกรณ์ภายนอก 11
2.7 แสดงการกำหนดการทำงานของ 8255 ในโหมด 1 เพื่อให้พอร์ต A เป็นพอร์ตสำหรับการส่งออกข้อมูลและพอร์ต B เป็นพอร์ตสำหรับการรับเข้าข้อมูลจากอุปกรณ์ภายนอก 13
2.8 (ก) แสดงสัญญาณติดต่อเพื่อส่งข้อมูลออกไปจากพอร์ต A ของ 8255 ตามลักษณะการทำงานที่ได้กำหนดไว้จากตารางที่ 2.8 14
2.8 (ข) แสดงสัญญาณติดต่อเพื่อรับข้อมูลเข้ามาจากพอร์ต B ของ 8255 ตามลักษณะการทำงานที่ได้กำหนดไว้จากตารางที่ 2.8 14
2.9 แสดงแผนผังการทำงานของวิธีการส่งข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต A และสัญญาณติดต่อทางพอร์ต C 15
2.10 แสดงแผนผังการทำงานของวิธีการรับข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต B และสัญญาณติดต่อทางพอร์ต C 16
2.11 แสดงหลักการทำงานของ 8255 เมื่อได้รับการกำหนดให้ทำงานในโหมด 2 17
3.1 ระบบควบคุมที่มีการประมวลผลข้อมูลแบบดิจิตอล 20
3.2 ค่าความผิดพลาดจากการวัดใน Aperture time 20
3.3 (ก) สัญญาณอนาลอกอินพุท 22
3.3 (ข) พัลส์ที่มาสุ่มสัญญาณ 23
3.3 (ค) สัญญาณอนาลอกหลังการสุ่ม 23
3.4 ทรานส์เฟอร์ฟังก์ชันของ Quantizer 3 บิต ตามทฤษฎี 24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 ทรานส์เฟอร์ฟังก์ชันของ ADC 3 บิต ที่ใช้รหัสออฟเซ็ตไบนารี 26
3.6 (ก) พื้นฐานของ S&H 27
3.6 (ข) ไดอะแกรมของวงจร S&H 28
3.7 รูปคลื่นเอาต์พุตของ S&H 28
3.8 วงจรสุ่มแบบ Inverting Close Loop 29
3.9 วงจรสุ่มแบบ Non-Inverting Closed Loop 30
3.10 (ก) แรงดันอ้างอิงบวก 30
3.10 (ข) แรงดันอ้างอิงลบ 30
3.10 (ค) กราฟคุณสมบัติของซีเนอร์ 30
3.11 วงจรแรงดันอ้างอิงใช้ซีเนอร์ไดโอดที่ปรับปรุงคุณสมบัติจากแรงดันอ้างอิงพื้นฐาน 31
3.12 (ก) แรงดันอ้างอิงบวก 32
3.12 (ข) แรงดันอ้างอิงลบ 32
3.13 แรงดันอ้างอิงปรับค่าได้ 32
3.14 วงจร Band gap Voltage Reference 33
3.15 ADC แบบ Binary Weight Ladder 34
3.16 วงจร DAC แบบ R-2R ขนาด 4 บิต 35
3.17 วงจรรีซิสทีฟแลดเดอร์ (Resistive Ladder) 35
3.18 วงจร Invert R-2R Ladder DAC 36
3.19 วิธีการพื้นฐานของ ADC 37
3.20 ทรานส์เฟอร์ฟังก์ชันของ Comparator 37
3.21 บล็อกไดอะแกรมของ Successive Approximation ADC 38
3.22 สัญญาณเวลาของ SAR 38
3.23 บล็อกไดอะแกรมแสดง Parallel ADC 39
4.1 แสดงบล็อกไดอะแกรมของระบบคอมพิวเตอร์ทั่วไป 40
4.2 แสดงการอินเตอร์เฟสของระบบคอมพิวเตอร์ 41
4.3 แสดงระบบการส่งข้อมูลแบบขนาน 42
4.4 วงจรอะแดปเตอร์เครื่องพิมพ์ 43
4.5 แสดงการอินเตอร์เฟสกับเครื่องพิมพ์ 45
4.6 แสดงลักษณะของคอนเนคเตอร์ 46
5.1 วงจรควบคุมแบบดิจิตอล 55
5.2 วงจรควบคุมแบบอนาลอก 58
5.3 ไทม์มิงไดอะแกรมของภาค DAC 59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1 สายสัญญาณของพอร์ตขนานที่นำมาใช้ 62
6.2 ขั้นตอนการเก็บค่าเริ่มต้นใช้กับบอร์ด 64
6.3 ขั้นตอนการเลือกตำแหน่งของอุปกรณ์บอร์ด 65
6.4 ขั้นตอนการส่งข้อมูลออกภาคดิจิตอลและภาคอนาลอก 65
6.5 ขั้นตอนการรับข้อมูลจากภาคดิจิตอล 66
6.6 ขั้นตอลการรับข้อมูลจากภาคอนาลอก 67
7.1 รูปแสดงผลการทดสอบรวมของภาคอนาลอก 70
7.2 กราฟแสดงค่าเปอร์เซ็นต์ความผิดพลาดของภาคอนาลอก 71
7.3 สรุปผลการทดสอบของภาคอนาลอก 71
7.4 กราฟแสดงค่าความผิดพลาดของภาคดิจิตอลเป็นบิต 72
7.5 สรุปผลการทดสอบของภาคดิจิตอล 73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
2.1 แสดงรูปแบบการทำงานของพอร์ต	5
2.2 แสดงหน้าที่การทำงานของขาสัญญาณไอซี 8255	5
2.3 แสดงการระบุรีจิสเตอร์หรือพอร์ตภายใน	7
2.4 แสดงการทำงานร่วมกันระหว่างขาสัญญาณต่าง ๆ ของ 8255	7
2.5 แสดงตำแหน่งแอดเดรสและความหมาย	8
2.6 แสดงการกำหนดการทำงานโหมด 0 ของ 8255	10
2.7 แสดงสถานะของ Input Buffer Full	12
2.8 แสดงหน้าที่ของเส้นสัญญาณภายในพอร์ต C เมื่อกำหนดให้ทำงานในโหมด 1 เพื่อบอกสภาวะของการอินพุตและการเอาต์พุตข้อมูล	13
2.9 แสดงหน้าที่ของบิตภายในพอร์ต C เมื่อกำหนดให้ทำงานในโหมด 2 เพื่อบอกสภาวะของเส้นสัญญาณติดต่อทางพอร์ต A	18
4.1 ลักษณะของขาสัญญาณของพอร์ตขนานในโหมด SPP	48
4.2 ข้อมูลรีจิสเตอร์ของพอร์ตข้อมูล	49
4.3 ข้อมูลรีจิสเตอร์ของพอร์ตสถานะ	50
4.4 ข้อมูลรีจิสเตอร์ของพอร์ตควบคุม	50
4.5 Pin Configuration ของโหมด EPP	51
4.6 รีจิสเตอร์ของโหมด EPP	52
5.1 รายการอุปกรณ์ที่ใช้ในภาควบคุมแบบดิจิตอล	54
5.2 รายการอุปกรณ์ที่ใช้ในภาควบคุมแบบอนาลอก	54
5.3 ตารางค่าความจริงของสัญญาณควบคุมการรับและการส่งข้อมูล	56
5.4 แสดงการทำงานของภาคเลือกช่องสัญญาณ	57
5.5 รูปแบบการตั้งค่าเริ่มต้นให้กับ 8255	57
6.1 ค่าตำแหน่งของภาคต่าง ๆ บนบอร์ด	64
7.1 ผลการทดสอบการทำงานของภาคส่งค่าแบบอนาลอก	68
7.2 ผลการทดสอบการทำงานของภาครับค่าแบบอนาลอก	69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความสำคัญและความเป็นมาของโครงงาน

ปัจจุบันได้มีการนำระบบคอมพิวเตอร์ มาประยุกต์ใช้งานในระบบควบคุมอย่างแพร่หลาย ซึ่งทำให้การควบคุมกระบวนการที่ยุ่งยากซับซ้อนทำได้ง่ายขึ้น และสะดวกต่อการควบคุม ช่วยให้การควบคุมมีลักษณะยืดหยุ่น เพราะสามารถเปลี่ยนวิธีการควบคุมได้ ด้วยการเปลี่ยนโปรแกรม โดยไม่ต้องเปลี่ยนอุปกรณ์ หรือเดินสายสัญญาณใหม่เหมือนในระบบควบคุมแบบเก่า สำหรับระบบ Data Acquisition And Control System ก็เป็นวิธีการหนึ่งที่นำคอมพิวเตอร์มาประยุกต์ใช้ ซึ่งเหมาะกับระบบควบคุมที่มีขนาดไม่ใหญ่นัก ลงทุนน้อยและมีความคล่องตัวสูง เมื่อเทียบกับระบบพีแอลซี และ ดีซีเอส

ปัญหาใหญ่ของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกคือการควบคุมประเภทนี้เราไม่สามารถควบคุมในลักษณะเวลาจริงได้เนื่องจากต้องมีเวลาให้กับการแปลงสัญญาณต่าง ๆ

1.2 จุดประสงค์ของปริญญานิพนธ์

1.2.1 เพื่อสร้างวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกหลายช่องสัญญาณควบคุมด้วยคอมพิวเตอร์ สามารถบันทึกค่าเอาต์พุทได้

1.2.2 เพื่อสร้างวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลหลายช่องสัญญาณและนำสัญญาณมาประมวลผลโดยคอมพิวเตอร์ โดยสัญญาณอินพุทได้จากภายนอกโดยตรงซึ่งอาจมาจากสัญญาณเซ็นเซอร์ ที่รับค่าจากกระบวนการผลิต และยังสามารถแสดงผลค่าของแต่ละช่องสัญญาณจากหน้าจอคอมพิวเตอร์

1.2.3 เพื่อสร้างวงจรควบคุมโดยใช้สัญญาณดิจิตอลโดยตรง

1.2.4 เพื่อสร้างบอร์ดควบคุมผ่านทางพอร์ตขนาน

1.2.5 เพื่อเขียนซอฟต์แวร์ควบคุมการทำงานโดยภาษาเดลไฟ

1.2.6 เพื่อสามารถนำบอร์ดนี้ไปประยุกต์ใช้งานต่างๆได้ตามความเหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 ขอบเขตของโครงงาน

1.3.1 สร้างวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกสามารถรับสัญญาณแรงดัน 0-5 โวลต์ ได้ 8 ช่องสัญญาณ

1.3.2 สร้างวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลสามารถส่งสัญญาณแรงดัน 0-5 โวลต์ ได้ 8 ช่องสัญญาณ

1.3.3 สร้างวงจรส่งสัญญาณควบคุมแบบดิจิตอลได้ 8 ช่องสัญญาณ

1.3.4 สร้างวงจรรับสัญญาณควบคุมแบบดิจิตอลได้ 8 ช่องสัญญาณ

1.3.5 สร้างบอร์ดควบคุมเชื่อมต่อกับคอมพิวเตอร์ผ่านทางพอร์ตขนาน

1.3.6 ออกแบบให้ค่าผิดพลาดต่ำกว่า 2 %

1.3.7 เขียนโปรแกรมตรวจสอบการทำงานของบอร์ด

1.3.8 เขียนโปรแกรมที่ใช้ในการควบคุมการทำงานของบอร์ด ช่วยให้ใช้งานได้สะดวกและรวดเร็วขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและการใช้งาน 8255 เบื้องต้น

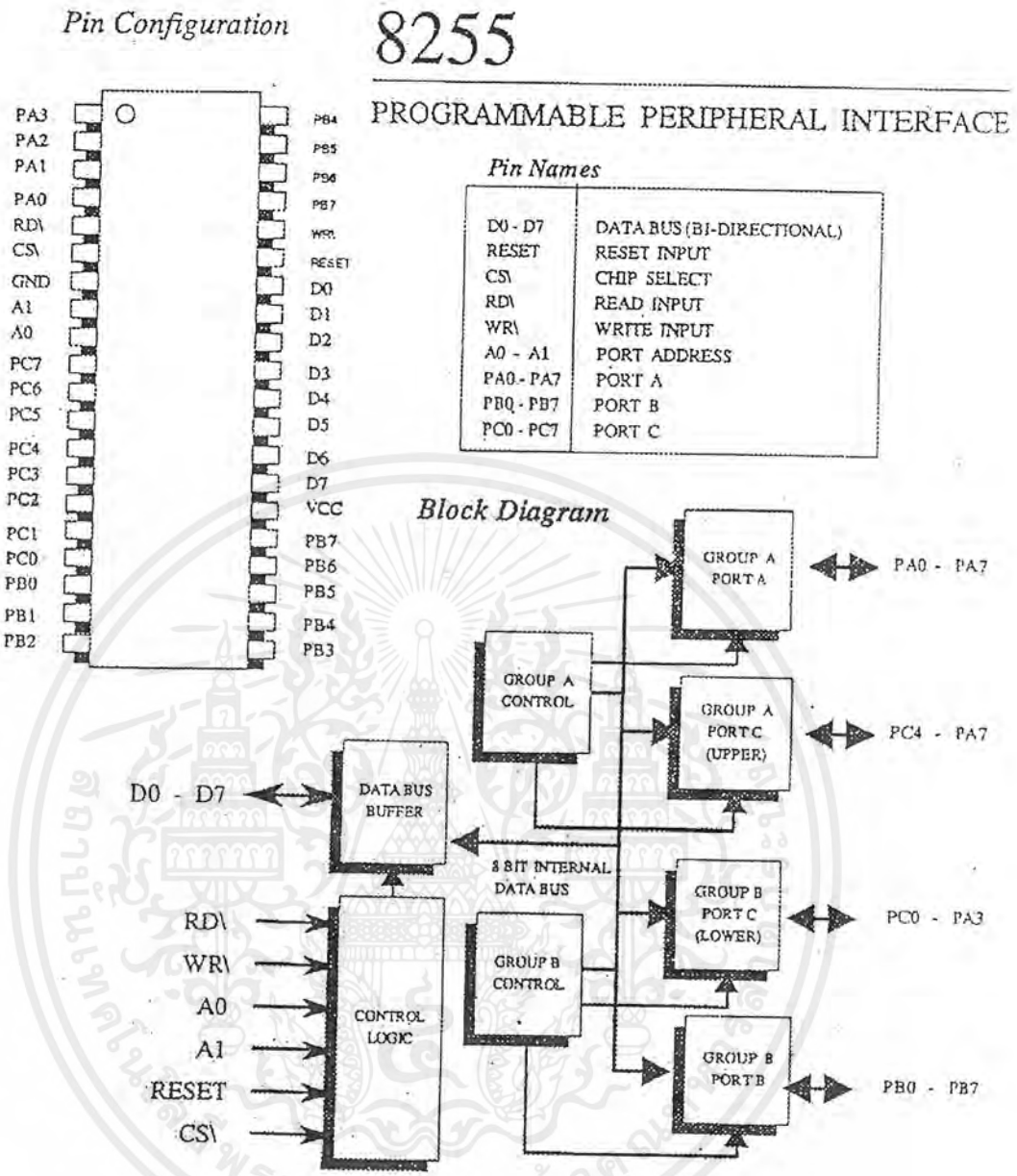
2.1 บทนำ

ไมโครโปรเซสเซอร์นั้นนอกจากติดต่อกับหน่วยความจำโดยการนำข้อมูลไปเก็บไว้หรืออ่านข้อมูลใด ๆ ออกจากหน่วยความจำแล้ว ตัวคอมพิวเตอร์เองอาจจะต้องติดต่อกับส่วนประกอบภายนอกอื่น ๆ อีกด้วยเช่น การรับคีย์บอร์ด การแสดงผล หรือแม้แต่การนำคอมพิวเตอร์ไปควบคุมอุปกรณ์ต่าง ๆ นั้นคอมพิวเตอร์ต้องติดต่อ (รับหรือส่งข้อมูล) โดยผ่านทางอินพุทหรือเอาต์พุทพอร์ต ซึ่งอาจสามารถใช้ไอซีทีทีแอล (TTL) บางเบอร์มาใช้เป็นพอร์ตสำหรับคอมพิวเตอร์ได้ แต่ทั้งนี้การใช้ไอซีทีทีแอลมีข้อจำกัดหลายอย่าง เช่น ในกรณีที่มีความจำเป็นจะต้องใช้พอร์ตหลายๆ พอร์ตเพื่อติดต่อกับอุปกรณ์ภายนอกหลายจุด จึงต้องใช้ไอซีเหล่านี้จำนวนหลายตัวและอาจทำให้ยากในการออกแบบวงจร อีกทั้งไม่สามารถจะเปลี่ยนแปลงลักษณะการทำงานให้แตกต่างไปจากเดิมที่ได้ออกแบบไว้แล้ว ดังนั้นผู้ผลิตซีพียูในตระกูลต่าง ๆ จึงมักจะผลิตไอซีประเภท LSI ที่ทำหน้าที่เป็นพอร์ตมาเพื่อใช้งานร่วมกับซีพียูเบอร์นั้น ๆ ได้สะดวกซึ่งจะทำให้การรับส่งข้อมูลมีความเชื่อถือได้สูง และยังสามารถเปลี่ยนแปลงชนิดของพอร์ตจากอินพุทพอร์ตเป็นเอาต์พุท หรือจากเอาต์พุทพอร์ตเป็นอินพุทพอร์ตได้ง่ายโดยการควบคุมของซีพียูเอง ดังนั้นในบทนี้จะกล่าวถึงไอซีที่ทำหน้าที่เป็นอินพุทและเอาต์พุท ซึ่งเป็นที่นิยมในการนำไปใช้งานมากที่สุดอีกทั้งยังมีราคาถูกหาซื้อได้ง่ายคือไอซี 8255 ของบริษัท Intel โดยที่จริงแล้วไอซีเบอร์นี้ได้ถูกออกแบบและผลิตขึ้นมาเพื่อใช้งานร่วมกับ ซีพียู เบอร์ 8080 แต่ก็สามารถนำมาใช้กับ Z 80 หรือซีพียูเบอร์อื่นๆได้

2.2 ลักษณะพื้นฐานของ 8255

8255 เป็นไอซี LSI ขนาด 40 ขา ดังรูปที่ 2.1 ซึ่งแสดงตำแหน่งของขาต่าง ๆ ทั้ง 40 ขา และแผนผังภายในของ 8255 ซึ่ง 8255 นี้มีพอร์ตสำหรับรับส่งข้อมูลอยู่ด้วยกัน 3 พอร์ต คือ พอร์ต A, B, C โดยพอร์ต C จะแบ่งออกเป็น 2 ส่วนคือ พอร์ต C บน กับ พอร์ต C ล่าง นอกจากนี้ยังมีพอร์ต อีกพอร์ตหนึ่งเรียกว่าพอร์ตควบคุม โดยพอร์ตนี้จะใช้งานก็ต่อเมื่อซีพียูต้องการกำหนดลักษณะการทำงานของพอร์ต A, B, C หรือต้องการเปลี่ยนแปลงจากที่กำหนดไว้เดิมซีพียูจะส่งรหัสควบคุมมาทางบัสข้อมูล (Data Bus) ให้แก่พอร์ตควบคุมนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 บล็อกภายในและขาสัญญาณของไอซีเบอร์ 8255

2.3 การจำแนกกลุ่มพอร์ตของ 8255

ในบรรดาพอร์ตทั้งสามของ 8255 คือ พอร์ต A พอร์ต B พอร์ต C โดยพื้นฐานนั้นล้วนเป็นพอร์ตแบบขนานที่ประกอบด้วยสัญญาณ 8 เส้น ซึ่งแต่ละเส้นจะแทนบิตของข้อมูลพอร์ต ซึ่งอาจกล่าวในอีกลักษณะว่าเป็นพอร์ตแบบ 8 บิต นอกจากนี้ยังสามารถอ้างถึงแต่ละบิตของเส้นสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ตนี้ได้โดยอิสระ อย่างไรก็ตาม 8255 ได้จัดกลุ่มของพอร์ตเหล่านี้ออกเป็นสองกลุ่ม (Group A และ Group B) เพื่อประโยชน์ในการกำหนดรูปแบบการทำงานของพอร์ตดังตารางที่ 2.1

ชื่อกลุ่ม	ลักษณะ
Group A	พอร์ต A จำนวน 8 บิต (ทุกบิตของพอร์ต) พอร์ต C จำนวน 4 บิต (เฉพาะ 4 บิตบนของพอร์ต)
Group B	พอร์ต B จำนวน 8 บิต (ทุกบิตของพอร์ต) พอร์ต C จำนวน 4 บิต (เฉพาะ 4 บิตล่างของพอร์ต)

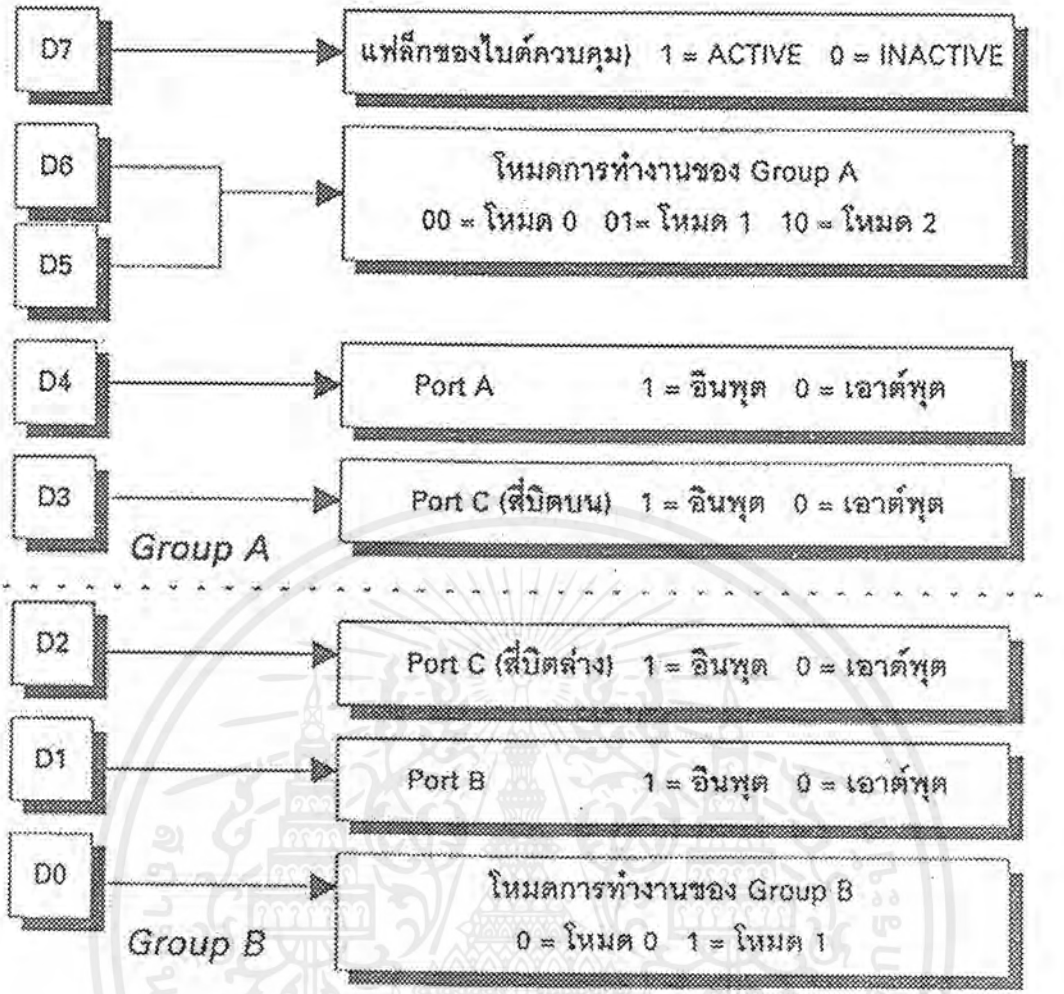
ตารางที่ 2.1 รูปแบบการทำงานของพอร์ต

จากตารางการทำงานข้างต้นจะเห็นว่า จำนวนเส้นสัญญาณทั้งหมดของพอร์ต C (PC0-PC7) ได้ถูกแยกออกเป็น 2 กลุ่ม คือ กลุ่มของ 4 บิตล่าง (Lower nibble) จาก PC0-PC3 และกลุ่มของ 4 บิตบน (Upper nibble) จาก PC4-PC7 ดังนั้น Group A และ Group B ของ 8255 จึงมีจำนวนบิตในแต่ละกลุ่มเป็นจำนวนถึง 12 บิต

สัญญาณ	ความหมาย
D0-D7	กลุ่มของสัญญาณข้อมูลของ 8255 เมื่อมีการเขียนหรืออ่าน
CS\	สัญญาณเลือกอุปกรณ์เมื่อขาสัญญาณนี้เป็นระดับลอจิกต่ำซีพียูสามารถเขียนหรืออ่านข้อมูลจาก 8255 ได้
RD\	สัญญาณบอกสถานะต้องการอ่านข้อมูลจากรีจิสเตอร์ของ 8255
WR\	สัญญาณบอกสถานะต้องการเขียนข้อมูลให้กับรีจิสเตอร์ของ 8255
A0-A1	สัญญาณระบุตำแหน่งรีจิสเตอร์ภายใน 8255 ที่ต้องการ
RESET	สัญญาณการรีเซตวงจรทำงานภายใน 8255 เพื่อเริ่มต้นใหม่
PA0-PA7	กลุ่มของสัญญาณ 8 เส้น เมื่อทำการติดต่อกับพอร์ต A ของ 8255
PB0-PB7	กลุ่มของสัญญาณ 8 เส้น เมื่อทำการติดต่อกับพอร์ต B ของ 8255
PC0-PC7	กลุ่มของสัญญาณ 8 เส้น เมื่อทำการติดต่อกับพอร์ต C ของ 8255

ตารางที่ 2.2 หน้าที่การทำงานของขาสัญญาณไอซี 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 ความหมายของบิตภายในไบต์ข้อมูลควบคุมสำหรับ 8255

2.4 รูปแบบคำสั่งเพื่อกำหนดการทำงานของ 8255

การกำหนดให้พอร์ตทั้งสามของ 8255 ทำงานในลักษณะต่าง ๆ กันหรือที่เรียกว่า โหมดการทำงาน (Mode) จะเริ่มด้วยการส่งค่าข้อมูลไบต์หนึ่งให้กับรีจิสเตอร์ควบคุมการทำงานภายใน 8255 ข้อมูลนี้จะถูกเรียกว่า ไบต์ข้อมูลควบคุม (Control Word) โดยแต่ละบิตของข้อมูลนี้มีความหมายที่ระบุถึงความต้องการต่าง ๆ ไปดังแสดงดังรูปที่ 2.2 การส่งข้อมูลไบต์นี้จะต้องเริ่มต้นเป็นลำดับแรกก่อนที่จะได้มีการดำเนินการใดกับ 8255

ตามความหมายของบิตภายในตารางของรูปที่ 2.2 จะเห็นว่าการเลือกพอร์ตใดทำหน้าที่เป็นพอร์ตอินพุทก็เพียงแต่กำหนดค่าข้อมูล 1 ให้กับบิตที่เกี่ยวข้องกับพอร์ตนั้น หรือกรณีตรงข้ามสำหรับการเอาต์พุทก็เพียงแต่กำหนดค่าข้อมูล 0 เท่านั้น อย่างไรก็ตามการกำหนดให้ไบต์ข้อมูลควบคุมนี้มีผลอย่างถูกต้อง ก็จะต้องทำการกำหนดให้บิต D7 มีค่าเป็น 1 เสมอ สำหรับบิตที่บอกถึงโหมดการทำงาน (บิต D6-D5 และ D2) นั้นจะได้กล่าวในรายละเอียดในหัวข้อต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การเชื่อมต่อ 8255 กับคอมพิวเตอร์

เมื่อพิจารณาแผนภาพของ 8255 จะเห็นว่ามีขาสัญญาณแอดเดรสจำนวน 2 เส้น คือ A0 และ A1 ทำให้ตำแหน่งของแอดเดรสที่จะอ้างถึงได้มีค่าเป็น 4 ตำแหน่ง ซึ่งแต่ละตำแหน่งจะมีความหมายถึงการระบุรีจิสเตอร์หรือพอร์ตภายใน 8255 ดังตารางที่ 2.3

A1	A0	ชื่อของรีจิสเตอร์
0	0	พอร์ต A
0	1	พอร์ต B
1	0	พอร์ต C
1	1	รีจิสเตอร์ควบคุม

ตารางที่ 2.3 การระบุรีจิสเตอร์หรือพอร์ตภายใน

เมื่อพิจารณาค่าของแอดเดรสเหล่านี้ร่วมกับระดับลอจิกของขาสัญญาณ RD\ และ WR\ จะเป็นการอ่านหรือเขียนข้อมูลทางขาสัญญาณ D0-D7 ให้กับรีจิสเตอร์นั้นตามลำดับ ดังตารางที่ 2.4

RD\	WR\	A1	A0	ความหมาย
0	1	0	0	ส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต A
1	0	0	0	รับ (หรืออ่าน) ข้อมูลจากพอร์ต A
0	1	0	1	ส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต B
1	0	0	1	รับ (หรืออ่าน) ข้อมูลจากพอร์ต B
0	1	1	0	ส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต C
1	0	1	0	รับ (หรืออ่าน) ข้อมูลจากพอร์ต C
0	1	1	1	ส่ง (หรือเขียน) ข้อมูลให้กับรีจิสเตอร์ควบคุม
1	0	1	1	เป็นสภาวะที่ไม่ถูกต้อง

ตารางที่ 2.4 การทำงานร่วมกันระหว่างขาสัญญาณต่าง ๆ ของ 8255

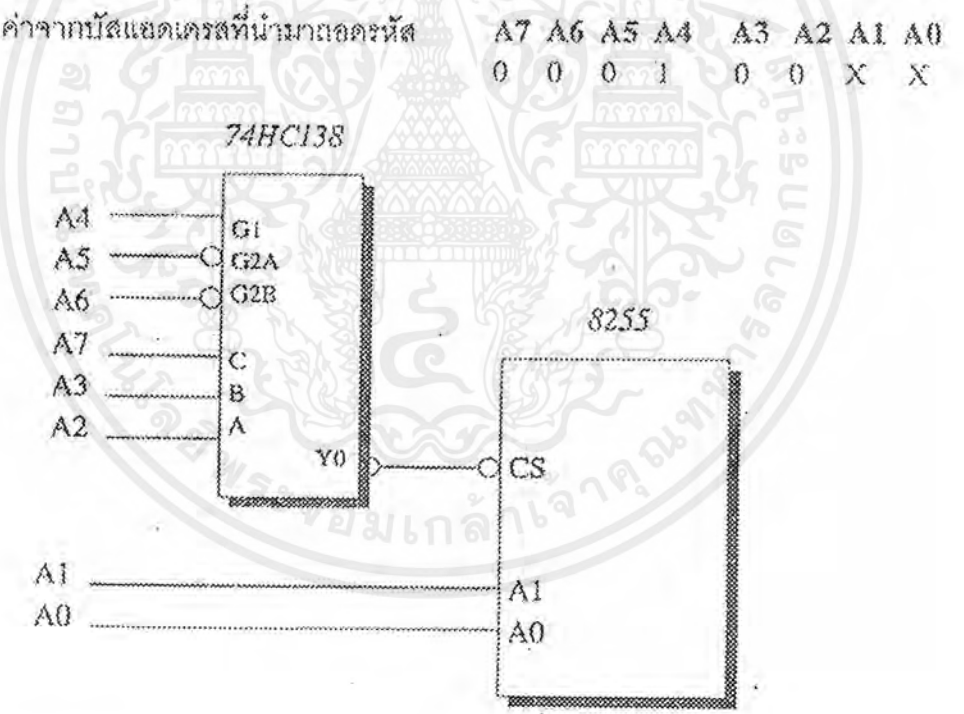
ดังนั้นโดยทั่วไปจึงมักจะกำหนดแอดเดรสของ 8255 ทั้งสี่ตำแหน่งนี้อยู่ในแอดเดรสช่วงใดช่วงหนึ่งของระบบ เช่น 10h,11h,12h และ 13h โดยขาสัญญาณแอดเดรสที่นอกเหนือไปจาก A0 และ A1 นำเข้ามายังตัวถอดรหัสแอดเดรส เพื่อสร้างสัญญาณเลือกอุปกรณ์ (CS\) ในช่วงแอดเดรสที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องการ ขอให้ดูตัวอย่างวงจรในรูปที่ 2.3 สัญญาณ CS\ นี้จะเป็นสภาวะลอจิกต่ำก็ต่อเมื่อค่าในบัสแอดเดรส A2-A7 มีค่าเท่ากับ 000100XX (ตัวอักษร XX ใช้เพื่อระบุถึงรีจิสเตอร์ภายใน 8255 เพื่อทำการอ่านหรือเขียนข้อมูล) ดังนั้นจากวงจรนี้แอดเดรสของรีจิสเตอร์ภายใน 8255 จะมีค่าตามตารางที่ 2.5

ตำแหน่งแอดเดรส	ความหมาย
10h	พอร์ต A
11h	พอร์ต B
12h	พอร์ต C
13h	รีจิสเตอร์ควบคุม

ตารางที่ 2.5 ตำแหน่งแอดเดรสและความหมาย



รูปที่ 2.3 การสร้างสัญญาณเลือกอุปกรณ์ (CS\) ให้กับ 8255 โดยการถอดรหัสจากบัสแอดเดรส A2-A7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาสัญญาณควบคุมอื่น ๆ มักจะเชื่อมต่อเข้ากับขาสัญญาณชื่อเดียวกันของคอมพิวเตอร์โดยตรง ทำให้แอดเดรสพอร์ตของ 8255 อยู่ในพื้นที่ของหน่วยความจำข้อมูลของคอมพิวเตอร์ส่วนขาสัญญาณ D0-D7 ก็สามารถนำไปเชื่อมต่อโดยตรงเข้ากับบัสของคอมพิวเตอร์ได้ในรูปที่ 2.4

รูปที่ 2.4 แผนภาพวงจรการเชื่อมต่อระหว่าง 8255 กับ 8051

2.6 รายละเอียดการทำงานโหมดต่าง ๆ ของ 8255

การกำหนดโหมดการทำงานของ 8255 นั้นทำได้โดยคอมพิวเตอร์ ทำการส่งรหัสควบคุมผ่านทางบัสข้อมูลมายังพอร์ตควบคุมของ 8255 รหัสควบคุมนี้จะมีขนาด 1 ไบต์ เรียกว่าไบต์ควบคุม และในแต่ละบิตของไบต์ควบคุมจะมีความหมายเฉพาะของตัวเอง ดังแสดงในรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 การทำงานโหมด 0 ของ 8255

เมื่อ 8255 ได้รับการกำหนดให้ทำงานในโหมดนี้ จะทำให้พอร์ตต่าง ๆ มีหน้าที่เป็นพอร์ตอินพุทหรือเอาต์พุทได้เพียงลักษณะเดียวเท่านั้น การเริ่มต้นจะทำโดยการส่งไบต์ข้อมูลควบคุมให้กับรีจิสเตอร์ควบคุม (ดูความหมายของบิต จากรูปที่ 2.2 ประกอบ) ต่อไปจะได้แสดงให้เห็นถึงรูปแบบการกำหนดบิต เมื่อต้องการให้พอร์ต A, B และ C ทำหน้าที่เป็นพอร์ตเอาต์พุททั้งหมดดังตารางต่อไปนี้

ตำแหน่งบิต	ค่าข้อมูล	ความหมาย
D7	1	ระบุให้ทราบว่าเป็นไบต์ข้อมูลควบคุม
D6 และ D5	00	กำหนดโหมดการทำงานให้กับพอร์ต A เป็นโหมด 0
D4	0	ระบุว่าพอร์ต A เป็นการเอาต์พุทข้อมูล
D3	0	กำหนดให้เส้นสัญญาณสี่บิตบนของพอร์ต C เป็นการเอาท์พุตข้อมูล
D0	0	กำหนดโหมดการทำงานให้กับพอร์ต B เป็นโหมด 0
D1	0	ระบุว่าพอร์ต B เป็นการเอาต์พุทข้อมูล
D2	0	กำหนดให้เส้นสัญญาณสี่บิตล่างของพอร์ต C เป็นการเอาต์พุทข้อมูล

ตารางที่ 2.6 การกำหนดการทำงานโหมด 0 ของ 8255

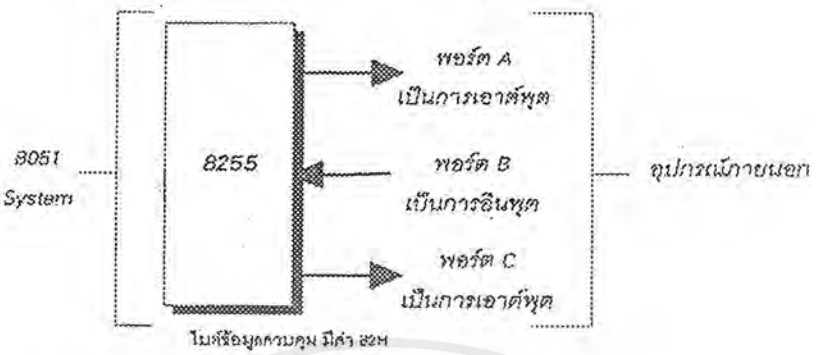
ค่าของไบต์ข้อมูลควบคุมจะต้องส่ง (หรือ เขียน) ให้กับรีจิสเตอร์ควบคุม ซึ่งหากใช้วงจรตามรูปที่ 2.4 จะเป็น แอดเดรส 13h

2.8 การทำงานโหมด 1 ของ 8255

เมื่อ 8255 ได้รับการกำหนดให้ทำงานในโหมด 1 จะมีผลทำให้พอร์ต A และพอร์ต B ยังสามารถใช้งานเป็นการอินพุทหรือเอาต์พุทข้อมูลในลักษณะเดียวกับโหมด 0 ที่ผ่านมา เพียงแต่พอร์ต C จะถูกนำไปใช้เป็นพอร์ตสำหรับการบอกสภาวะการติดต่อ (Handshake Signals) เท่านั้น โดยเส้นสัญญาณ 4 บิตบน (PC0-PC4) จะใช้งานร่วมกับการติดต่อข้อมูลทางพอร์ต A และเส้นสัญญาณสี่บิตล่าง (PC3-PC0) จะใช้งานร่วมกับการติดต่อข้อมูลทางพอร์ต B การทำงานในลักษณะนี้จะพบเห็นได้เสมอ เมื่อมีการติดต่อกับอุปกรณ์ภายนอก ซึ่งมักจะทำงานได้ช้ากว่าคอมพิวเตอร์มาก

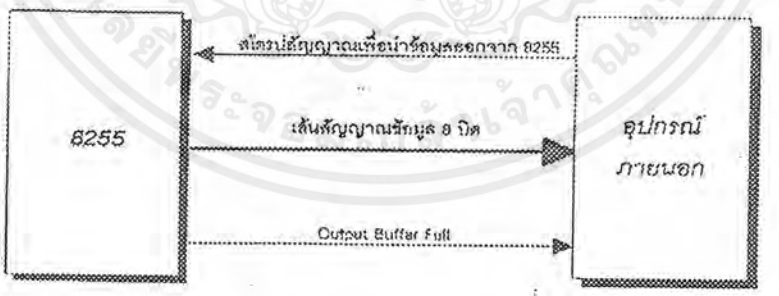
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จึงจะเป็นต้องอาศัยการบอกสถานะของการทำงานจากเส้นสัญญาณเหล่านี้ เช่นความไม่พร้อมในการรับข้อมูล หรือมีข้อมูลที่จะทำการติดต่อ เป็นต้น



รูปที่ 2.5 ลักษณะการทำงานของพอร์ต 8255 ภายหลังการส่งไบต์ข้อมูลควบคุมที่มีค่า 82h

(ก)



(ข)

รูปที่ 2.6 (ก) การใช้สัญญาณบอกสภาวะความพร้อมในการติดต่อระหว่าง 8255 กับอุปกรณ์ภายนอก

(ข) การใช้สัญญาณบอกสภาวะความพร้อมในการติดต่อระหว่าง 8255 กับอุปกรณ์ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.6 (ก) ข้อมูลจะถูกส่งออกจากอุปกรณ์ภายนอกเข้ามายังพอร์ตของ 8255 แต่ก่อนที่จะทำการส่งข้อมูลนั้น อุปกรณ์ภายนอกต้องทำการตรวจสอบสภาวะของเส้นสัญญาณที่แสดงว่าพื้นที่ในการรับข้อมูลของ 8255 (หรือที่เรียกว่า Input Buffer) นั้นว่างตามรูปเส้นสัญญาณนี้มีชื่อว่า Input Buffer Full ซึ่งใช้ในความหมายต่อไปนี้

ค่าลอจิกสัญญาณ Input Buffer Full	ความหมาย
จริง	ข้อมูลที่ส่งให้กับ 8255 ก่อนหน้านี้ยังค้างอยู่ในบัฟเฟอร์ เนื่องจากคอมพิวเตอร์ยังไม่ได้อ่านข้อมูลนี้ไปจากบัฟเฟอร์ของ 8255 ดังนั้นจึงไม่สามารถรับข้อมูลเข้ามาได้อีก
เท็จ	พื้นที่บัฟเฟอร์ภายใน 8255 นั้นว่างแล้ว เนื่องจากคอมพิวเตอร์ได้อ่านข้อมูลนี้ไปแล้ว ดังนั้นจึงสามารถรับข้อมูลไบต์ต่อไปจากอุปกรณ์ภายนอกได้

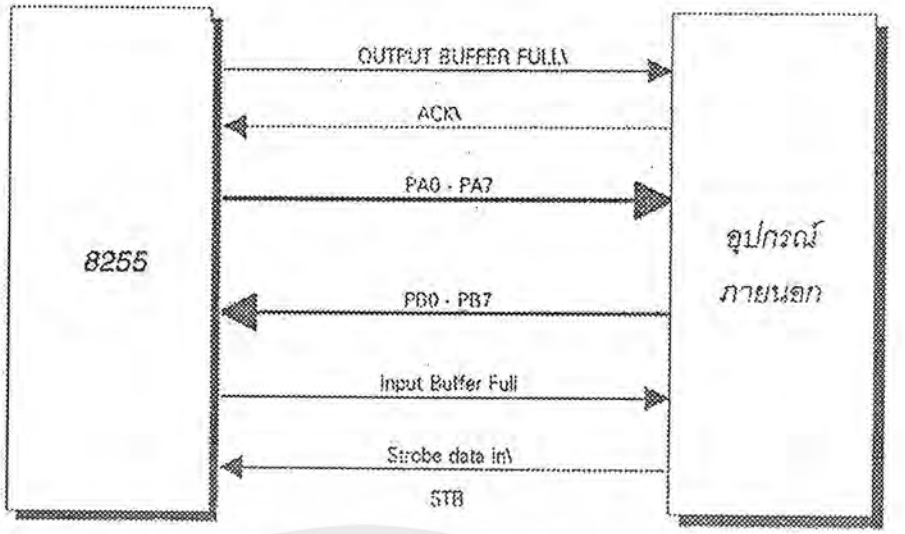
ตารางที่ 2.7 สถานะของ Input Buffer Full

จากรูปที่ 2.6 (ข) ข้อมูลจะถูกส่งออกจาก 8255 ไปให้กับอุปกรณ์ภายนอก แต่ก่อนที่ 8255 จะส่งข้อมูลออกไปได้นั้น จะต้องทำการส่งสภาวะของสัญญาณออกไปเพื่อแจ้งให้อุปกรณ์ภายนอกทราบว่ามีข้อมูลที่ทำการส่งออกไป สัญญาณนี้มีชื่อว่า Output Buffer Full และเมื่ออุปกรณ์ภายนอกได้รับข้อมูลเรียบร้อยแล้ว จึงจะทำการสโตรป (Strobe) สัญญาณอีกเส้นหนึ่งเพื่อแจ้งให้ 8255 ทราบต่อไป

การทำงานของ 8255 ในโหมด 1 นั้น พอร์ตสำหรับการรับหรือส่งข้อมูล คือ พอร์ต A และ B สามารถทำงานได้โดยอิสระไม่ขึ้นต่อกัน ดังตัวอย่างในรูปที่ 2.7 ซึ่งได้กำหนดให้พอร์ต A เป็นพอร์ตเอาต์พุท และพอร์ต B เป็นพอร์ตอินพุท

การกำหนดบิตจะทำให้ข้อมูลจะต้องส่งออกไปทางพอร์ต A ทางขาสัญญาณ PA0–PA7 สัญญาณ Output Buffer Full (OBF) ใช้สัญญาณ PC7 สัญญาณตอบรับจากอุปกรณ์ภายนอก (ACK) ใช้เส้นสัญญาณ PC6 สำหรับการรับข้อมูลเข้ามาจากอุปกรณ์ภายนอกจะเข้ามาทางพอร์ต B ทางขาสัญญาณ PB0-PB7 ขาสัญญาณ PC1 ใช้เป็นเส้นสัญญาณ Input Buffer Full (IBF) และขาสัญญาณ PC2 เป็นเส้นสัญญาณสโตรปข้อมูลให้กับ 8255 (STB) ในตารางที่ 2.8 ได้แสดงให้เห็นถึงหน้าที่ของพอร์ต C ทั้งหมดเมื่อถูกใช้งานในโหมด 1 สำหรับการบอกสภาวะการติดต่อเส้นสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 การกำหนดการทำงานของ 8255 ในโหมด 1 เพื่อให้พอร์ต A เป็นพอร์ตสำหรับการส่งออกข้อมูล และพอร์ต B เป็นพอร์ตสำหรับการรับเข้าข้อมูลจากอุปกรณ์ภายนอก

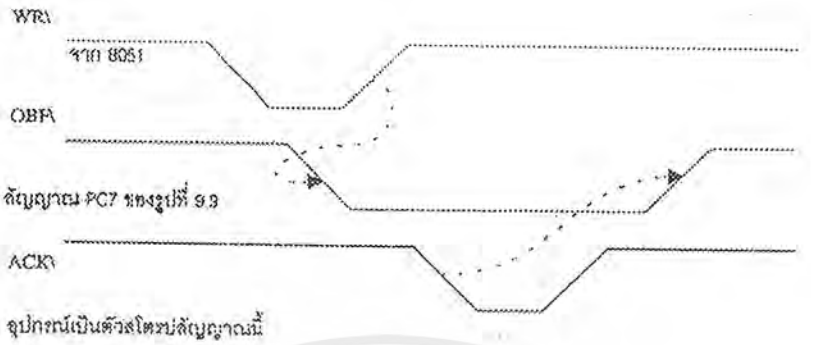
เส้นสัญญาณ	สภาวะติดต่อสำหรับการอินพุท	สภาวะการติดต่อสำหรับการเอาต์พุท
PC0	สัญญาณ INTR ของพอร์ต B	สัญญาณ INTR ของพอร์ต B
PC1	สัญญาณ IBF ของพอร์ต B	สัญญาณ OBF\ ของพอร์ต B
PC2	สัญญาณ STB\ ของพอร์ต B	สัญญาณ ACK\ ของพอร์ต B
PC3	สัญญาณ INTR ของพอร์ต A	สัญญาณ INTR ของพอร์ต A
PC4	สัญญาณ STB\ ของพอร์ต A	การอินพุท/เอาต์พุทตามปกติ
PC5	สัญญาณ IBF ของพอร์ต A	การอินพุท/เอาต์พุทตามปกติ
PC6	การอินพุท/เอาต์พุทตามปกติ	สัญญาณ ACK\ ของพอร์ต A
PC7	การอินพุท/เอาต์พุทตามปกติ	สัญญาณ OBF\ ของพอร์ต A

ตารางที่ 2.8 หน้าที่ของเส้นสัญญาณภายในพอร์ต C เมื่อกำหนดให้ทำงานในโหมด 1 เพื่อบอกสภาวะของการอินพุทและการเอาต์พุทข้อมูล

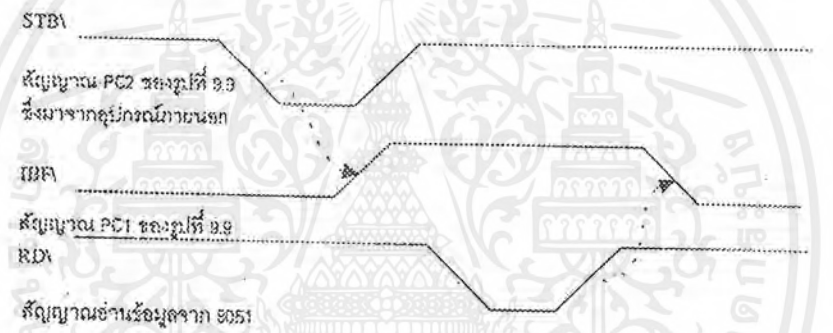
ในส่วนของการโปรแกรมเพื่อจัดการให้คอมพิวเตอร์ สามารถรับหรือส่งข้อมูลกับอุปกรณ์ภายนอก โดยใช้พอร์ตของ 8255 ซึ่งกำหนดให้ทำงานในโหมด 1 นั้น ตามหลักการแล้วคอมพิวเตอร์จะพิจารณาจากสภาวะของบิตที่เกี่ยวข้องกับสัญญาณติดต่อของ 8255 เท่านั้น ส่วนเส้นสัญญาณติด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อจริง ๆ นั้น จะเป็นการดำเนินการจาก 8255 โดยอัตโนมัติ ขอให้พิจารณาจากแผนภาพเวลาในรูปที่ 2.8 (ก) และ (ข)



(ก)



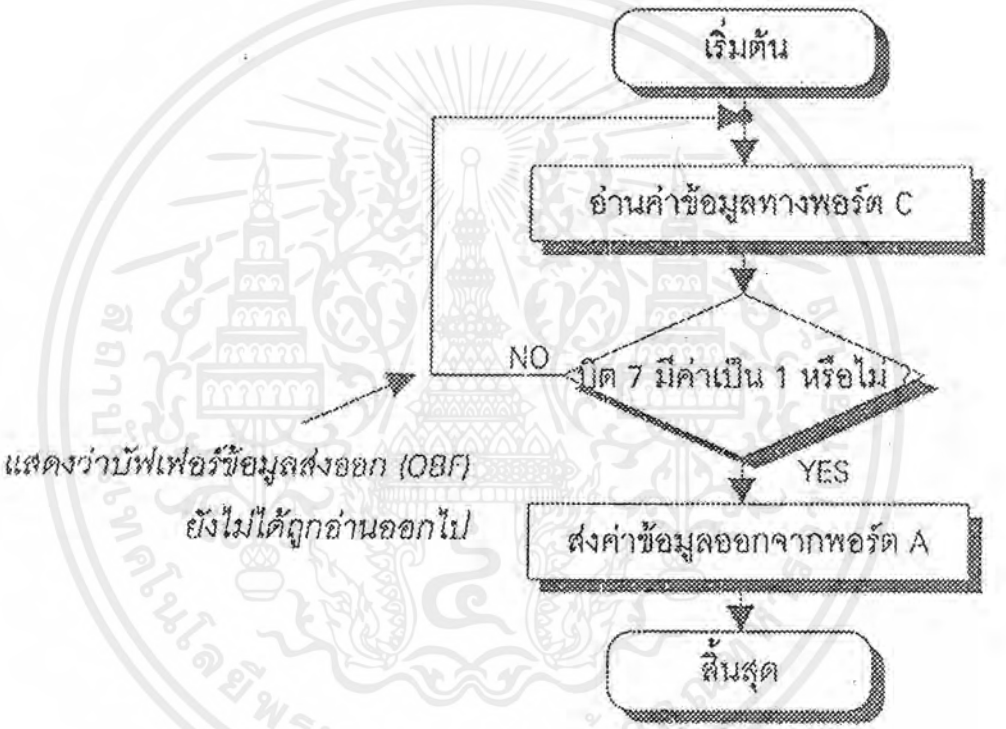
(ข)

รูปที่ 2.8 (ก) แสดงสัญญาณติดต่อเพื่อส่งข้อมูลออกไปจากพอร์ต A ของ 8255 ตามลักษณะการทำงานที่ได้กำหนดไว้จากตารางที่ 2.8
(ข) แสดงสัญญาณติดต่อเพื่อรับข้อมูลเข้ามาจากพอร์ต B ของ 8255 ตามลักษณะการทำงานที่ได้กำหนดไว้จากตารางที่ 2.8

เมื่อคอมพิวเตอร์ต้องการส่งข้อมูลให้กับอุปกรณ์ภายนอก จะเริ่มจากการตรวจสอบสภาวะขาสัญญาณ PC7 (สัญญาณ OBF\) โดยการอ่านค่าจากพอร์ต C เข้ามาและพิจารณาบิต D7 ซึ่งหากเป็นค่า 1 แสดงว่าข้อมูลที่ได้ส่งไปให้ 8255 ก่อนหน้านี้ได้ถูกส่งต่อไปให้กับอุปกรณ์ภายนอกเสร็จสิ้นแล้ว ดังนั้นคอมพิวเตอร์ก็สามารถส่งข้อมูลตัวถัดไปได้อีกครั้งหนึ่ง ซึ่งผลจากการเขียนข้อมูลให้กับพอร์ต A ของ 8255 นี้ทำให้ขาสัญญาณ PC7 (สัญญาณ OBF\) เปลี่ยนไปเป็นระดับลอจิก 0 เมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์ภายนอกที่ต่ออยู่ตรวจสอบขาสัญญาณนี้ก็ทราบได้ว่า 8255 มีข้อมูลที่ส่งให้ ก็จะทำการอ่านข้อมูลจากพอร์ต A ไปทันทีและแจ้งกลับมาให้ทราบโดยการสโตรปสัญญาณ ACK\ (ขาสัญญาณ PC6) เมื่อ 8255 ตรวจสอบพบก็จะทำการเปลี่ยนสภาวะของขาสัญญาณ OBF\ (ขาสัญญาณ PC6) ให้ระดับลอจิก 1 โดยอัตโนมัติ เป็นอันครบรอบการติดต่อเพื่อส่งข้อมูลหนึ่งครั้งดังนั้นเมื่อใดที่คอมพิวเตอร์ทำการตรวจสอบค่าของบิต D7 ของพอร์ต C และพบว่าเป็นค่า 0 ก็ยังไม่ควรที่จะส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต A ของ 8255 เพราะข้อมูลก่อนหน้านี้ยังคงค้างอยู่ในบัฟเฟอร์ของ 8255 ยังไม่ได้มีการส่งต่อให้กับอุปกรณ์ภายนอกเลย โดยดูได้จากโฟลว์ชาร์ตสำหรับการเขียนโปรแกรมเพื่อส่งออกข้อมูลผ่านพอร์ตของ 8255 และโปรแกรมย่อยในรูปที่ 2.9 ตามลำดับ

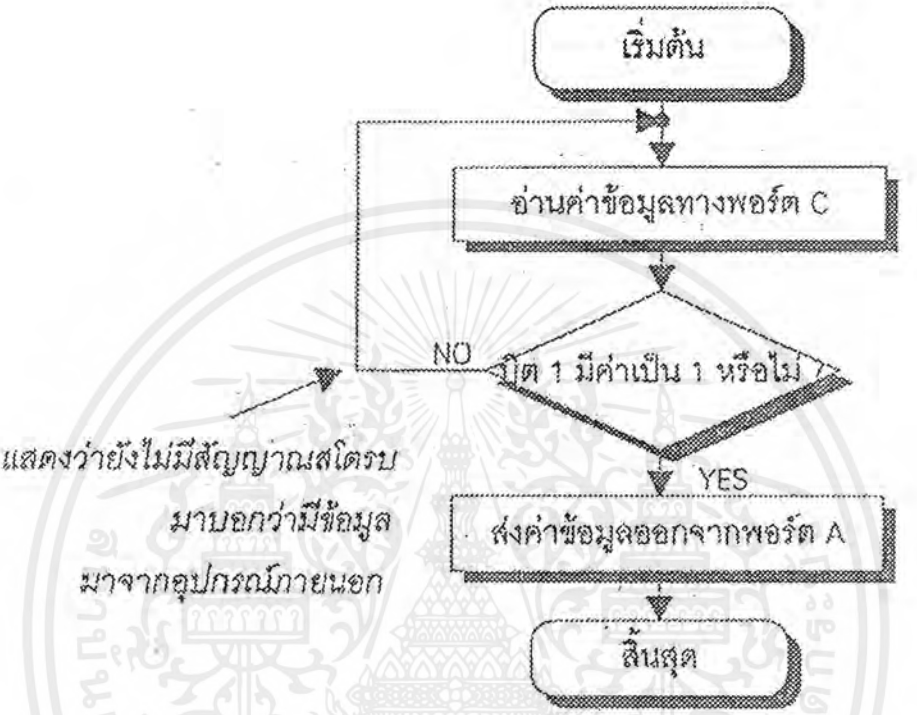


รูปที่ 2.9 แผนผังการทำงานวิธีการส่งข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต A และสัญญาณติดต่อทางพอร์ต C

สำหรับการรับข้อมูลของคอมพิวเตอร์ จากอุปกรณ์ภายนอกผ่านทางพอร์ตของ 8255 เริ่มต้นจากการตรวจสอบสภาวะของบิต D1 จากพอร์ต C ว่าเป็นค่าใด กรณีเป็นค่าลอจิก 1 แสดงว่ามีข้อมูลอยู่ในบัฟเฟอร์ภายใน 8255 ซึ่งได้ส่งมาจากอุปกรณ์ภายนอกและแจ้งให้ 8255 ทราบโดยการสโตรปสัญญาณ STB\ (ขาสัญญาณ PC2) มีผลให้ 8255 เปลี่ยนแปลงระดับลอจิกของขาสัญญาณ PC1 (สัญญาณ IBF) เป็นระดับลอจิก 1 ดังนั้นคอมพิวเตอร์ก็สามารถอ่านข้อมูลเข้าไปทางพอร์ต B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของ 8255 ได้ซึ่งการอ่านข้อมูลนี้เองจะมีผลทำให้สภาวะของสัญญาณ IBF กลับไปเป็นระดับลอจิก 0 อีกครั้งหนึ่ง เป็นอันครบรอบการรับข้อมูลจากอุปกรณ์ภายนอกหนึ่งครั้ง ดูได้จากแผนผังการทำงาน (Flow Chart) การเขียนโปรแกรมเพื่อรับข้อมูลผ่านทางพอร์ตของ 8255 และโปรแกรมย่อยในรูปที่ 2.10



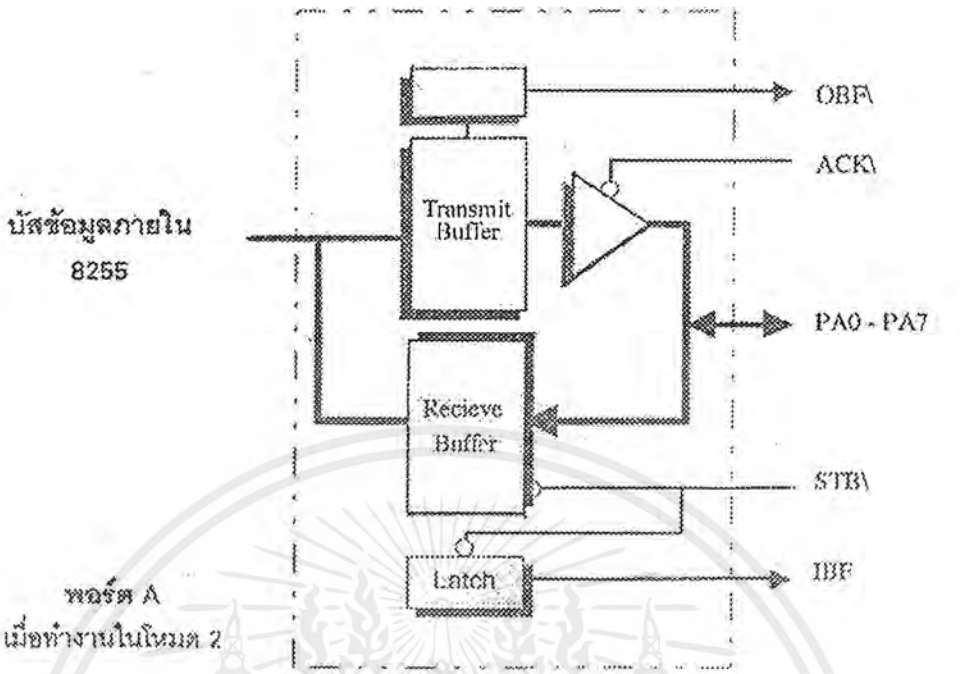
รูปที่ 2.10 แผนผังการทำงานของวิธีการรับข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต B และสัญญาณติดต่อทางพอร์ต C

2.9 การทำงานโหมด 2 ของ 8255

เมื่อ 8255 ได้รับการกำหนดให้ทำงานในโหมด 2 ซึ่งกำหนดไว้ให้ใช้เฉพาะกับการทำงานของพอร์ต A เท่านั้น โดยจะมีลักษณะเป็นพอร์ตข้อมูลแบบ 2 ทิศทาง (Bi-directional data พอร์ต) กล่าวคือข้อมูลภายในเส้นสัญญาณของพอร์ต A ทั้งหมด สามารถเป็นข้อมูลที่มาจากการอินพุทหรือเอาต์พุทก็ได้ พิจารณาได้จากแผนภาพในรูปที่ 2.11 จะเห็นว่าเส้นสัญญาณ PA0-PA7 จะถูกเชื่อมต่อเข้ากับบล็อกของวงจรแลตช์ (Latch) ทั้งหมด โดยแลตช์สำหรับข้อมูลส่งออก (Output Latch) มีหน้าที่สำหรับการค้างค่าข้อมูลที่คอมพิวเตอร์เขียนมายังพอร์ต A และรอคอยให้อุปกรณ์ภายนอกมาอ่านข้อมูลนี้ไปจาก 8255 ส่วนแลตช์สำหรับข้อมูลรับเข้า (Input Latch) ทำหน้าที่สำหรับเก็บข้อมูลที่อุปกรณ์ภายนอกส่งมาให้กับพอร์ต A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.11 หลักการทำงานของ 8255 เมื่อได้รับการกำหนดให้ทำงานในโหมด 2

ลำดับการทำงานเมื่อคอมพิวเตอร์ต้องการส่งข้อมูลออกไปให้กับอุปกรณ์ภายนอก จะเริ่มโดยการส่งข้อมูลออกมาทางพอร์ต A ของ 8255 เช่นปกติ ซึ่งมีผลทำให้ขาสัญญาณ OBF\ เปลี่ยนไปเป็นระดับลอจิกต่ำ เมื่ออุปกรณ์ภายนอกตรวจสอบสัญญาณนี้ก็จะทราบได้ว่าขณะนี้มีข้อมูลที่จะต้องอ่านไปจาก 8255 สัญญาณนี้ยังสามารถใช้ในการแจ้งคอมพิวเตอร์ได้เช่นกัน (โดยการอ่านและตรวจสอบค่าบิต D7 ของพอร์ต C) ว่าบัฟเฟอร์ของ 8255 พร้อมที่จะรับข้อมูลใหม่เข้าไปหรือไม่ เมื่ออุปกรณ์ภายนอกได้อ่านข้อมูลจากบัฟเฟอร์นี้ไปแล้ว ก็จะต้องทำการสโตรปสัญญาณ ACK\ ซึ่งจะมีผลทำให้ขาสัญญาณ OBF\ ของ 8255 เปลี่ยนกลับไปเป็นระดับลอจิกสูงอีกครั้งหนึ่ง

ส่วนการอ่านค่าข้อมูลจากอุปกรณ์ภายนอกก็เป็นไปในลักษณะคล้ายกัน โดยก่อนที่อุปกรณ์จะส่งข้อมูลเข้ามาให้กับ 8255 จะต้องตรวจสอบสภาวะของขาสัญญาณ IBF เสียก่อนหากว่าเป็นระดับลอจิกต่ำจึงสามารถส่งข้อมูลออกมาได้ พร้อมกับทำการสโตรปสัญญาณ STB\ มาแจ้งให้ 8255 ทราบ ซึ่งจะมีผลทำให้ขาสัญญาณ IBF เป็นระดับลอจิกสูงโดยอัตโนมัติ ดังนั้น คอมพิวเตอร์ก็จะรับทราบได้ว่ามีข้อมูลจากอุปกรณ์ภายนอก (โดยการอ่านค่าและพิจารณาค่าบิต D5 ของพอร์ต C) และภายหลังที่ได้มีการอ่านค่าไปจากพอร์ต A ของ 8255 แล้วก็จะทำให้สภาวะขาสัญญาณ IBF เปลี่ยนไปเป็นระดับลอจิกต่ำดังเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
36862

ตามตารางที่ 2.9 แสดงให้เห็นถึงหน้าที่ของบิตต่าง ๆ ในพอร์ต C เมื่อได้รับการกำหนดให้ทำงานในโหมด 2 ซึ่งนำมาใช้เป็นบิตบอกสภาวะการติดต่อระหว่าง 8255 กับอุปกรณ์ภายนอกตามลักษณะที่ได้กล่าวมาแล้วข้างต้นทั้งหมด

เส้นสัญญาณ	ลักษณะการทำงาน
PC0	การอินพุท/เอาต์พุทข้อมูลตามปกติ
PC1	การอินพุท/เอาต์พุทข้อมูลตามปกติ
PC2	การอินพุท/เอาต์พุทข้อมูลตามปกติ
PC3	สัญญาณ INTR ของพอร์ต A
PC4	สัญญาณ STB\ ของพอร์ต A
PC5	สัญญาณ IBF ของพอร์ต A
PC6	สัญญาณ ACK\ ของพอร์ต A
PC7	สัญญาณ OBF\ ของพอร์ต A

ตารางที่ 2.9 หน้าที่ของบิตภายในพอร์ต C เมื่อกำหนดให้ทำงานในโหมด 2 เพื่อบอกสภาวะของเส้นสัญญาณการติดต่อทางพอร์ต A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ทฤษฎีของ ADC และ DAC

3.1 ทฤษฎีของ Data Acquisition and Conversion

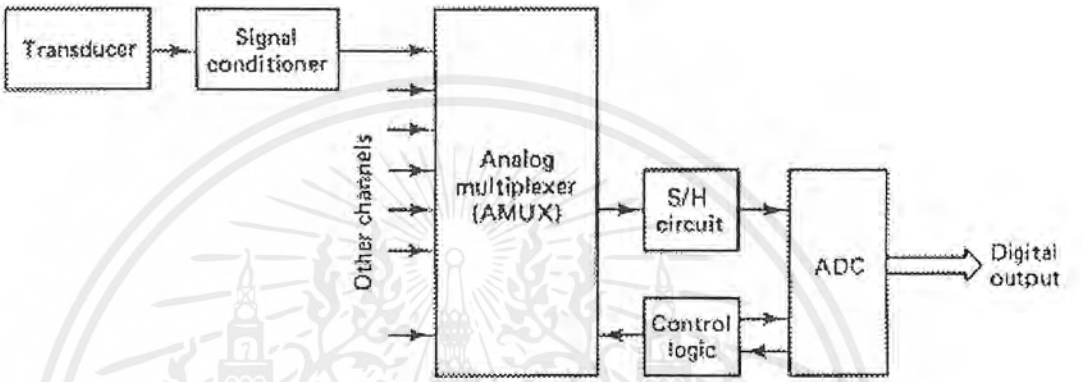
รูปแบบสัญญาณไฟฟ้าที่เราพบเห็นและคุ้นเคยในชีวิตประจำวันนั้นจะอยู่ในรูปของสัญญาณที่ต่อเนื่องหรือที่เรียกว่าสัญญาณอนาลอก (Analog Signal) ซึ่งแต่เดิมการนำเอาสัญญาณไฟฟ้าดังกล่าวมาประมวลผล (Process) เพื่อให้มีรูปแบบที่เหมาะสมจะกระทำในแบบอนาลอกนั่นเอง แต่เมื่อเทคนิคและอุปกรณ์การประมวลผลสัญญาณทางดิจิตอลได้รับการพัฒนาขึ้นมา เนื่องจากพบว่าในรูปแบบดิจิตอล การประมวลเก็บข้อมูล สื่อสารและการนำเสนอกระทำได้ง่ายและมีประสิทธิภาพมากกว่า ดังนั้นการเปลี่ยนรูปแบบของสัญญาณ (Conversion) จึงได้มีความจำเป็นขึ้นมา ในรูปที่ 3.1 เป็นตัวอย่างแสดงระบบควบคุมที่ใช้การประมวลข้อมูลในระบบดิจิตอล ในระบบที่ยกมาเป็นตัวอย่างนี้เป็นการเปลี่ยนแปลงทางกายภาพ (Physical Process) ในลักษณะใด ๆ ก็ตาม เช่นความดัน อุณหภูมิ จะถูกเปลี่ยนให้เป็นสัญญาณไฟฟ้าที่มีความต่อเนื่อง (สัญญาณอนาลอก) โดยทรานสดิวเซอร์ที่มีคุณสมบัติเหมาะสมกับรูปแบบทางกายภาพนั้น สัญญาณไฟฟ้านั้นจะถูกปรับให้อยู่ในรูปและขนาดที่เหมาะสมก่อน โดยวงจรส่วนที่ทำหน้าที่ปรับแต่งสัญญาณ เช่น วงจรขยาย วงจรฟิลเตอร์ เป็นต้น ADC จะทำหน้าที่เปลี่ยนรูปแบบสัญญาณจากอนาลอกเป็นดิจิตอล ตัวประมวลผลทางดิจิตอล (Digital Processor) เช่น คอมพิวเตอร์ จะจัดการกับข้อมูลเพื่อนำเสนอหรือถูกเปลี่ยนกลับมาอยู่ในรูปแบบของสัญญาณอนาลอกโดย DAC เพื่อป้อนกลับไปควบคุมการเปลี่ยนแปลงทางกายภาพ

ในระบบที่มีข้อมูลที่ต้องประมวลผลในเวลาเดียวกันหลาย ๆ ข้อมูล หาก ADC ทำงานได้เร็วพอก็ไม่จำเป็นต้องใช้ ADC หลายๆตัวทำงานแยกกันสำหรับข้อมูลแต่ละชุด แต่จะใช้วิธีการแบ่งเวลา (Timesharing) โดยใช้วิธีมัลติเพลกซ์ซิ่ง (Multiplexing) ดังรูปที่ 3.1 วงจรสุ่มตัวอย่างและคงค่า (Sampling and hole, S/H) จะสุ่ม (Sample) ขนาดของสัญญาณอนาลอกมาและเก็บ (Hold) ไว้ชั่วขณะเพื่อรอให้ ADC รับไปเปลี่ยนให้เป็นสัญญาณดิจิตอลจนเรียบร้อยแล้วค่อยสุ่มสัญญาณใหม่ ทั้งนี้เพื่อที่ไม่จำเป็นต้องใช้ ADC ที่มีความเร็วสูงราคาแพง ข้อมูลดิจิตอลจะถูกส่งต่อไปยังบัสของระบบ (System Bus) และถูกประมวลผลโดยโพรเซสเซอร์ (Processor) ผลของการประมวลผลจะถูกส่งกลับออกมาเพื่อเปลี่ยนกลับมาเป็นสัญญาณอนาลอกโดย DAC เพื่อไปควบคุมกิจกรรมทางกายภาพของระบบผ่าน Analog Actuator

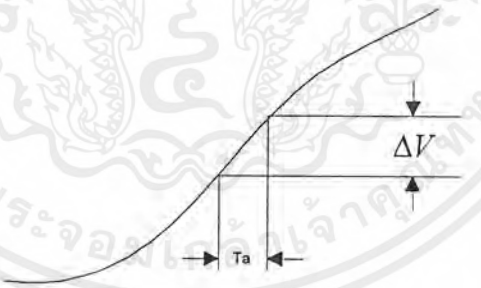
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ทฤษฎีการ Sampling

ในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลนั้น ADC จะต้องใช้เวลาช่วงหนึ่งในการจัดการซึ่งช่วงเวลาดังกล่าวนั้นขึ้นอยู่กับหลาย ๆ ปัจจัย เช่น ความละเอียดของการเปลี่ยนสัญญาณ (จำนวนดิจิตอลบิต) เทคนิคของการเปลี่ยนสัญญาณและความเร็วในการทำงานของอุปกรณ์ร่วมอื่น ๆ การกำหนดความเร็วของการแปลงสัญญาณนี้ขึ้นอยู่กับการประยุกต์ใช้งานเฉพาะอย่างและความแม่นยำที่ต้องการ



รูปที่ 3.1 ระบบควบคุมที่มีการประมวลผลข้อมูลแบบดิจิตอล



รูปที่ 3.2 ค่าความผิดพลาดจากการวัดใน Aperture Time

ช่วงเวลาในการแปลงสัญญาณบางครั้ง อาจเรียกว่า Aperture Time ซึ่งความหมายโดยทั่วไปหมายถึงช่วงเวลาที่เกิดความไม่แน่นอนขึ้นในการวัดและผลก็คือความผิดพลาด (Error) ต่อค่าที่วัดได้

ในรูปที่ 3.2 สัญญาณอนาลอก V(t) มีอัตราการเปลี่ยน dv/dt ในช่วง Aperture time, T_a ดังนั้นช่วงการเปลี่ยนแปลงอนาลอกจะเท่ากับ ΔV โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta V = T_a \frac{dV(t)}{dt}$$

ดังนั้นหากเวลาที่ ADC ใช้ในการเปลี่ยนสัญญาณในช่วงเวลา T_a นี้สัญญาณดิจิตอลที่ได้อาจจะตรงกับขนาดของสัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงเวลานี้ และจัดทำได้ง่ายและราคาถูกกว่าที่เกิดขึ้น ซึ่งแน่นอนว่าในบางครั้งเป็นไปได้ที่สัญญาณดิจิตอลจะตรงกับขนาดของสัญญาณอนาลอกที่เกิดขึ้น ซึ่งเรียกค่าความผิดพลาดที่เกิดขึ้นนี้ว่า Aperture Time Error

ตัวอย่างในกรณีสัญญาณอินพุทเป็นรูปคลื่นซายน์ (Sine Wave) อัตราการเปลี่ยนแปลงบนรูปคลื่นจะเกิดสูงสุดตรงบริเวณจุดตัดแกนเวลารอบ ๆ จุดศูนย์โวลต์ (Zero crossing) และ Aperture Time Error คือ

$$\Delta V = T_a \frac{d}{dt}(ASin\,\omega t)_{t=0} = T_a A\,\omega$$

และ ค่าความผิดพลาดรวม (ε) คิดจากอัตราส่วนของขนาดเต็มสเกล คือ

$$\varepsilon = \frac{\Delta V}{2A} = \pi T_a$$

ดังนั้น หากต้องการเปลี่ยนสัญญาณเป็นรูปซายน์ความถี่ 1 กิโลเฮิร์ท (kHz) ให้เป็นสัญญาณดิจิตอล 10 บิต ซึ่งยอมให้ค่าความผิดพลาดไม่เกินกว่าค่าความละเอียด (Resolution) คือ $1/2^{10}$ LSB (Least Significant Bit) หรือ 0.001 ดังนั้นเวลา Aperture Time จะต้องอยู่ในช่วง

$$T_a = \frac{\varepsilon}{\pi} = \frac{0.001}{3.14 \times 10^3} = 320 \times 10^{-9}$$

จะเห็นว่าแม้สัญญาณ 1 กิโลเฮิร์ท จะไม่ใช่ความถี่สูงก็จริง แต่ ADC ที่ใช้ต้องการเวลาในการเปลี่ยนในเวลา 320 นาโนวินาที ให้เป็นรหัส 10 บิต วิธีอื่นที่ไม่จำเป็นจะต้องใช้ ADC ความเร็วสูงคือการใช้การสุ่มและคงค่าสัญญาณ ซึ่งการสุ่มและคงค่าสัญญาณ ที่มี Aperture Time น้อยๆ นั้นทำได้ง่ายและราคาถูกกว่า

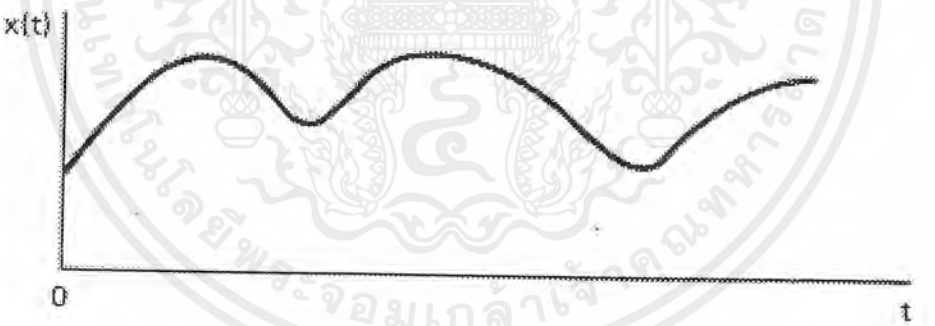
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การสุ่มและคงค่าสัญญาณ (Sampling and Hold) และ Aperture Error

วงจรสุ่มและคงค่า (Sampling and Hold) จะทำการสุ่ม (Sampling) สัญญาณอินพุท และนำมาเก็บ (Hold) ไว้ในช่วงเวลาหนึ่งได้ ซึ่งส่วนใหญ่จะใช้การประจุแรงดันนั้นไว้ในตัวเก็บประจุที่รั่วไหลต่ำ Aperture Time ของการสุ่มและคงค่าสัญญาณ คือเวลาตั้งแต่เริ่มสุ่มสัญญาณจนเก็บประจุค่าแรงดันจนถึงค่าที่สุ่มซึ่งขึ้นอยู่กับแบนด์วิดธ์และช่วงเวลาในการสวิทซ์ (Switching Time)

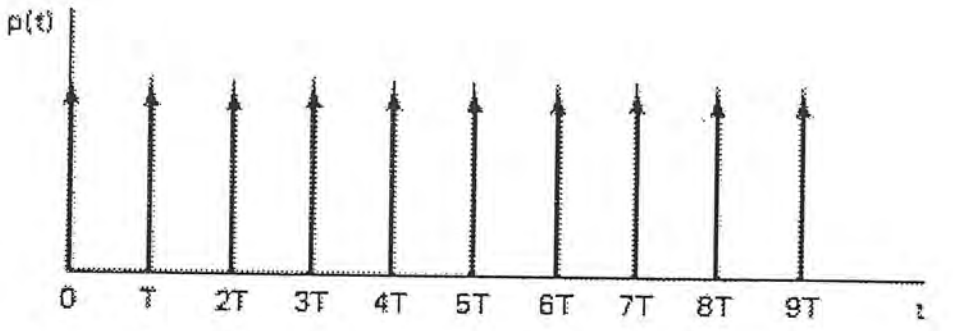
ในการสุ่มสัญญาณอนาลอกจะถูกสุ่มเป็นระยะๆซึ่งคงที่ตามรูปที่ 3.3 การสุ่มจะเป็นการตัดต่อสัญญาณอนาลอกในช่วงเวลาอันสั้นด้วยสวิทช์ที่ทำงานด้วยความเร็วสูง ผลของการสุ่มสัญญาณด้วยความเร็วจะเสมือนกับการคูณขบวนสัญญาณพัลส์แคบๆกับสัญญาณอนาลอก ซึ่งจะได้เป็นสัญญาณที่มอดดูเลท (Modulate) ระหว่างขบวนพัลส์กับสัญญาณอนาลอก โดยเสมือนว่าสัญญาณอนาลอกจะขี่มาบนขบวนพัลส์ดังแสดงในรูปที่ 3.3 ค.

ปัญหาที่ว่าอัตราการสุ่มสัญญาณนั้นควรมีขนาดเท่าใดจึงจะไม่ทำให้ข้อมูลสูญเสียไปเมื่อสัญญาณนั้นถูกเปลี่ยนกลับมาเป็นเช่นเดิม คำตอบคือ ขึ้นอยู่กับความถี่ของสัญญาณอนาลอก ทฤษฎีของการสุ่มกล่าวไว้ว่า "ถ้าสัญญาณต่อเนื่องซึ่งมีความถี่และฮาร์โมนิค (Harmonic) ไม่เกิน f_c ถูกสุ่มด้วยอัตราการสุ่มไม่น้อยกว่า $2f_c$ แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้อย่างเดิมโดยไม่สูญเสียรายละเอียดหรือผิดเพี้ยนไป"

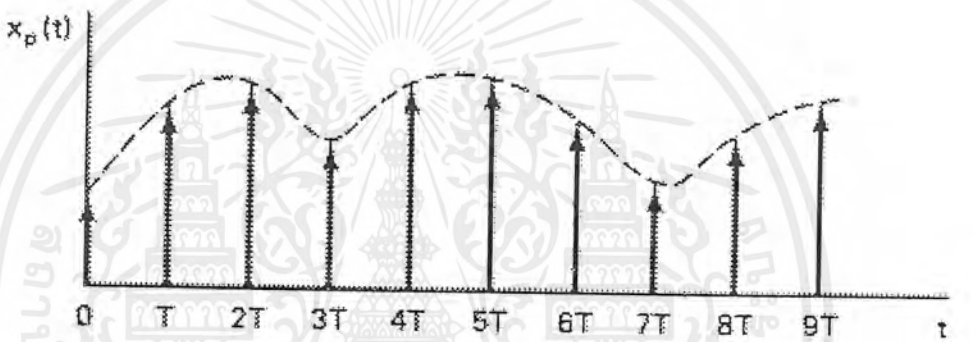


(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)



(ค)

รูปที่ 3.3 การสุ่มสัญญาณ

(ก) สัญญาณอนาลอกอินพุท

(ข) พัลส์ที่มาสุ่มสัญญาณ

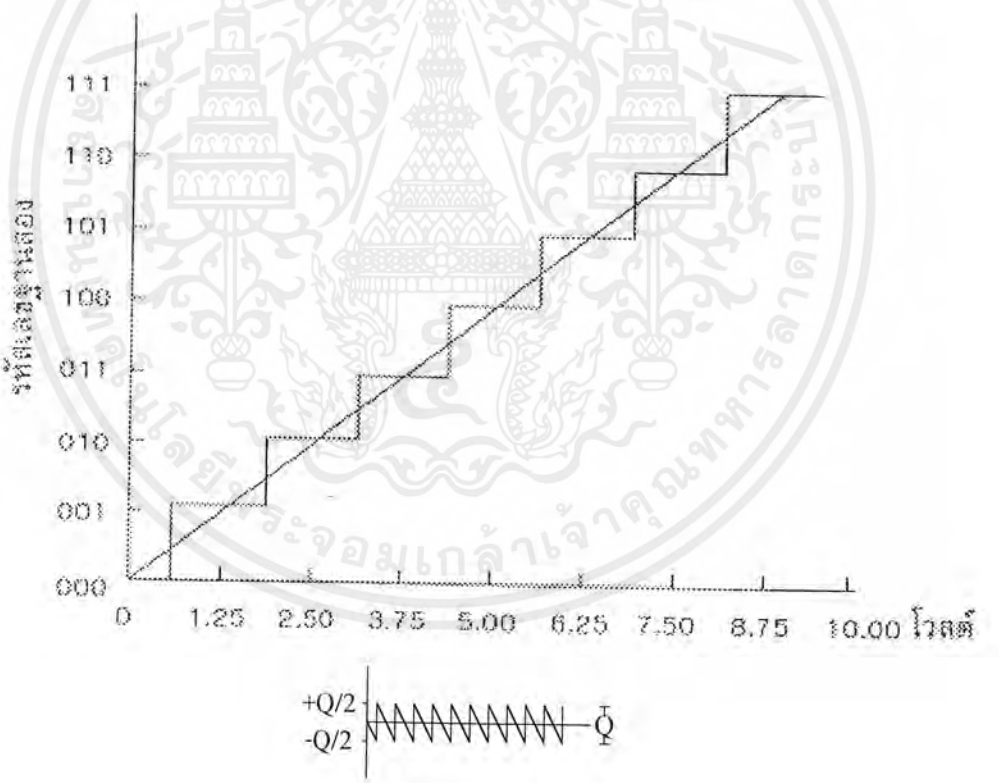
(ค) สัญญาณอนาลอกหลังการสุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 Quantizing Theory

Quantizing เป็นขบวนการที่เปลี่ยนแปลงสัญญาณอนาลอกเป็นสัญญาณที่ไม่ต่อเนื่อง (Discrete Signal) หลังการสุ่ม โดยผ่านขบวนการเข้ารหัส (Coding) จัดให้สัญญาณที่ไม่ต่อเนื่องนั้นอยู่ในรูปที่ง่ายต่อการประมวลผลและเป็นสัดส่วนสัมพันธ์กับสัญญาณอนาลอก เช่น ในรูปของรหัสไบนารี (Binary) เป็นต้น หากนำเอาขนาดของสัญญาณอนาลอกและสัญญาณดิจิตอลที่ได้รับการ Quantize มาเขียนกราฟก็จะได้กราฟแสดง Quantize Transfer Funtion ดังรูปที่ 3.4

ในรูปกราฟแสดงให้เห็นถึงความสัมพันธ์ระหว่างสัญญาณอนาลอกที่มีขนาดอยู่ระหว่าง 0 ถึง +10 โวลต์ ถูก Quantize และ Encode เป็นรหัสไบนารี 3 บิต ได้ 8 ระดับจาก 000 ถึง 111 เนื่องจากในระบบไบนารี่รหัสดิจิตอลแต่ละค่าจะแทนขนาดของสัญญาณอนาลอกแต่ละค่าที่เป็นสัดส่วนกับค่าเต็มสเกลโดยค่าสูงสุดของรหัสดิจิตอลคือ ทุกบิตที่เป็น 1 จะเท่ากับสัญญาณอนาลอกเต็มสเกลคูณด้วย $(1-2^{-n})$ โดย n เป็นจำนวนบิตของรหัสดิจิตอลแต่ละบิตที่เป็น 1 จะเท่ากับขนาดเต็มสเกลของอนาลอกคูณกับค่าน้ำหนัก (Weighting) ของรหัสชนิดนั้น หารด้วย 2^n



รูปที่ 3.4 ทรานส์เฟอร์ฟังชันของ Quantize 3 บิต ตามทฤษฎี

ตัวอย่าง เช่น ค่าเต็มสเกลของสัญญาณอนาลอกเป็น 10 โวลต์ รหัส 1011 จะแทนขนาดสัญญาณอนาลอกอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{input} = \frac{R_x}{2^n}\{(1\times 2^3)+(0\times 2^2)+(1\times 2^1)+(1\times 2^0)$$

จุดสำคัญที่เกี่ยวกับกราฟทรานส์เฟอร์ฟังก์ชันในรูปที่ 3.4 อันแรกได้แก่ ความละเอียด (Resolution) ของ Quantizer ซึ่งกำหนดได้จากจำนวนบิตของรหัสดิจิตอล หรือจากกราฟคือขนาดกว้างของขั้นระดับ (Step) ทางแกนอนาลอกอินพุทว่าเป็นสัดส่วนเท่าใดระหว่างค่าเต็มสเกลอนาลอกกับค่า 2^n

จำนวนสถานะเอาต์พุทกำหนดได้จากจำนวนบิตคือ เท่ากับ 2^n สถานะ ตัวอย่างกรณี ADC 8 บิต Quantizer จะให้เอาท์พุต 256 สถานะและ 12 บิตให้ 4096 สถานะต่อค่าเต็มสเกลของอนาลอกในไดอะแกรมทรานสเฟอร์ฟังก์ชั่นจะเห็นจุดแบ่ง ระดับ (Decision Point หรือ Theshold Level) สัญญาณอนาลอกจะมีจำนวน 2^n-1 จุดที่อยู่ที่ 0.625, 1.875, 3.125, 4.375, 5.625, และ 8.125 โวลต์ ระหว่างจุดดังกล่าวเป็นสัญญาณอนาลอกซึ่งแปลงเป็นรหัสดิจิตอล 1 สถานะ ดังนั้น ค่าเหล่านี้จะต้องปรับให้ถูกต้องมากที่สุดเพื่อแปลงขนาดของอนาลอกให้ตรงกับค่าที่ทำการ Quantizer แรงดันที่ 1.25, 2.50, 3.75, 5.0, 6.25, 7.5, 8.75 โวลต์ เป็นจุดกึ่งกลางของรหัสดิจิตอลสถานะสุดท้าย สังเกตุว่าในทางทฤษฎีแล้วเส้นตรงนี้จะต้องผ่านจุดกึ่งกลางของรหัสดิจิตอลสถานะสุดท้าย สังเกตุว่าในทางทฤษฎีแล้วเส้นตรงนี้จะต้องผ่านจุดกึ่งกลางของทุกระดับดิจิตอล

3.5 Quantizer Resolution and Error

ในแต่ละสถานะของสัญญาณดิจิตอลเอาท์พุตจะแทนขนาดของสัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงเล็ก ๆ ระหว่างจุดแบ่งระดับ เรียกช่วงเล็กๆ นี้ว่าเป็นขนาดหนึ่ง Analog Quantization หรือหนึ่งควันตัม (Quantum) หรือ 1 LSB ของการแปลงสัญญาณตัวอย่างในรูปที่ 3.4 (บน) ควันตัมคือ 1.25 โวลต์ ค่านี้ได้จากการคำนวณจาก

$$Q = \frac{FSR}{2^n}$$

โดยที่ FSR คือ ช่วงเต็มสเกลของแรงดันอนาลอก (Full Scale Range) และ n คือ จำนวนบิตของรหัสดิจิตอล

จากสมการจะเห็นว่า หากจำนวนบิตมากขนาดของควันตัมก็จะลดลงและถ้าให้สัญญาณอินพุทของ Quantizer กวาดไปตลอดช่วงของสัญญาณอนาลอกก็จะเห็นช่วงผลต่างของสัญญาณอนาลอกอินพุทและดิจิตอลเอาต์พุทเป็นช่วงพล็อตได้เป็นรูปฟันเลื่อยดังรูปที่ 3.4 ด้านล่าง ซึ่งเรียกว่า Quantizing Error ซึ่งค่าความผิดพลาดแบบนี้ก็คือ 1 ช่วงสัญญาณอนาลอกแปลงเป็นรหัสดิจิตอล 1 สถานะ ดังกล่าวมาแล้วนั่นเอง

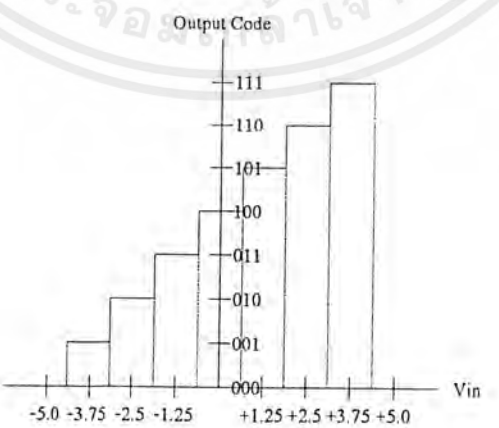
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความผิดพลาดนี้เป็นธรรมชาติของ Quantizing ซึ่งทำการแก้ไขไม่ได้นอกจากการเพิ่มจำนวนบิตของ Quantizer ให้มากขึ้น และ เอาต์พุทค่าความผิดพลาดจะอยู่ระหว่าง 0-Q/2 Error อาจจะเป็นที่ศูนย์ เมื่อสัญญาณอนาลอกค่าที่จุดกึ่งกลางของควันตัมพอดี ลักษณะฟังก์ชั่นของค่าความผิดพลาดจะสามารถพิจารณาเป็นสัญญาณรบกวนทางอินพุท ซึ่งมีค่าเป็น Q V_{p-p} และค่าเฉลี่ย เป็นศูนย์ ค่าอาร์เอ็มเอส (Root Mean Square, rms) เป็น Q/2 3 ซึ่งจะได้จากการวิเคราะห์รูปคลื่นฟันเลื่อย

3.6 รหัสตัวเลขสำหรับการเปลี่ยนข้อมูล

รหัสตัวเลขที่นิยมนำมาใช้ในระบบเปลี่ยนข้อมูลได้แก่รหัสไบนารีหรือที่เรียกว่า Straight Binary โดยที่รหัสไบนารีสถานะสูงสุดจะแทนสัญญาณอนาลอก FSR ($1-2^{-n}$) โวลต์ ตัวอย่างเช่น หากสัญญาณอนาลอกเต็มสเกล (FSR) เท่ากับ 20 โวลต์ สำหรับ ADC ขนาด 12 บิต รหัส 1111 1111 1111 จะแทนสัญญาณอนาลอกขนาด $20(1-2^{-12})$ หรือ 19.39951171 โวลต์ นอกจากรหัสไบนารีธรรมดาดังกล่าวยังมีการใช้ระบบไบนารีแบบอื่น ๆ ในระบบการแปลงสัญญาณ ได้แก่ ออฟเซ็ทไบนารี, Two 's Complement, BCD ซึ่งแต่ละชนิดมีข้อดีและความเหมาะสมต่างกัน ตัวอย่างเช่น ระบบ BCD เหมาะสำหรับการแสดงเป็นตัวเลขหน้าปัทม์หรือต่อเข้ากับดิจิตอลมิเตอร์ รหัส Two 's Complement เหมาะสำหรับการคำนวนทางคณิตศาสตร์ลอจิกและสำหรับระบบออฟเซ็ตไบนารีนั้นเหมาะสำหรับการคำนวนทางคณิตศาสตร์ลอจิกและสำหรับระบบออฟเซ็ตไบนารีเหมาะสำหรับการแปลงสัญญาณอินพุทที่ทั้งช่วงบวกและลบ ในรูปที่ 3.5 แสดงทรานส์เฟอร์ฟังก์ชันของ ADC 3 บิตที่ใช้รหัสออฟเซ็ตไบนารี

นอกจากมาตรฐานของการใช้รหัสตัวเลขแล้วยังมีมาตรฐานของการเลือกช่วงของขนาดแรงดันอินพุทสำหรับ ADC คือ หากเป็นสัญญาณช่วงบวกหรือลบอย่างเดียวจะใช้ 0-5 โวลต์หรือ 0-10 โวลต์ แต่ถ้าเป็นช่วงลบจะใช้ -2.5 โวลต์ -5 โวลต์ และ -10 โวลต์ เป็นมาตรฐาน



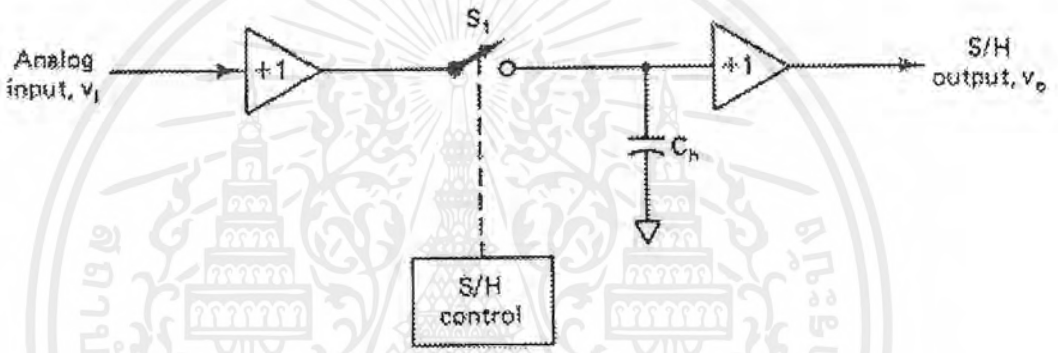
รูปที่ 3.5 ทรานส์เฟอร์ฟังก์ชันของ ADC 3 บิต ที่ใช้รหัสออฟเซ็ตไบนารี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 วงจรสุ่มและคงค่าสัญญาณ (Sample and Hold,S&H)

ที่ผ่านมาได้กล่าวถึงจุดมุ่งหมายในการใช้วงจร S&H กับ ADC และต่อจากนี้จะได้กล่าวถึงรายละเอียดของวงจร S&H บางแบบที่ใช้ในปัจจุบัน

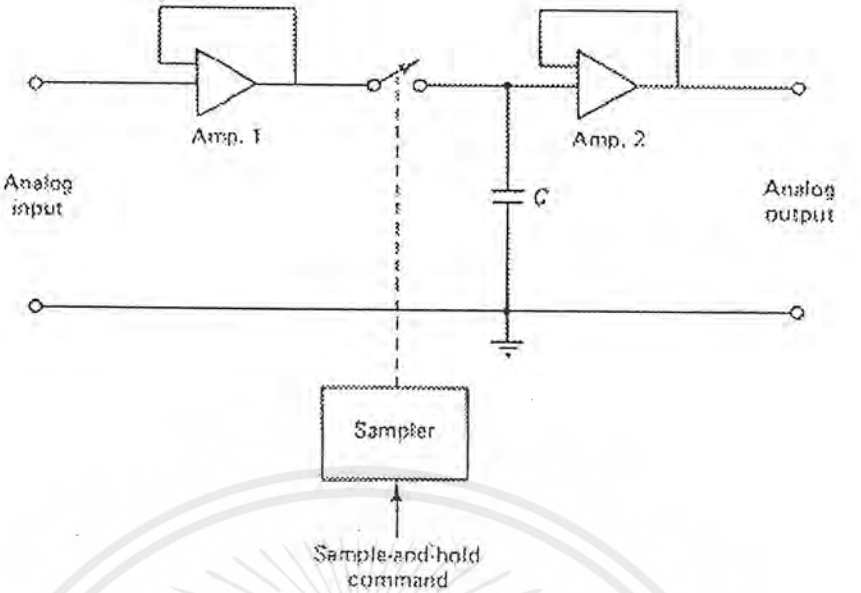
ความจริงแล้ววงจร S&H มิได้มีใช้เฉพาะกับ ADC เท่านั้น แต่ก็ยังใช้กันทั่ว ๆ ไปในระบบ Data distribution, Sampling scope, DVM, Recomstruction filter และอนาลอกคอมพิวเตอร์เป็นต้น วงจร S&H โดยพื้นฐานแล้วเป็นอุปกรณ์หรือวงจรเก็บแรงดัน (Voltage memory) ซึ่งใช้อุปกรณ์ร่วมสำคัญคือตัวเก็บประจุ ในรูปที่ 3.6 ก แสดงวงจรพื้นฐาน S&H อิเล็กทรอนิกส์สวิทช์และเวลาในการประจุแรงดันจนถึงค่าที่ Sample มานั้นเรียกว่า Aperture-Time ของ S&H จาก ลักษณะอนาลอกอินพุทสัญญาณการสุ่มและเอาต์พุท



(ก)

รูปที่ 3.6 ข แสดงวงจรที่ใกล้เคียงกับวงจรที่ใช้ในทางปฏิบัติ โดยเพิ่มเติมบัฟเฟอร์แอมป์ปลิไฟร์เข้าทางส่วนอินพุทและเอาต์พุทของ S/H พื้นฐาน แอมปลิไฟร์เออร์ทางด้านอินพุทช่วยทำให้วงจรมีอินพุทอิมพิแดนซ์สูง สะดวกต่อการใช้งานและสามารถเพิ่มกระแสเพื่อทำการประจุ C_h ได้เร็วขึ้น ส่วนทางเอาต์พุทช่วยทำให้เอาท์พุตอิมพิแดนซ์สามารถขับ ADC ได้ง่าย มีจุดสำคัญที่ต้องพิจารณาคือ ในส่วนของแอมปลิไฟร์เออร์เหล่านี้ปกติแล้ว จำเป็นต้องเป็นแอมปลิไฟร์เออร์ที่ใช้กระแสอินพุทต่ำ ทั้งนี้เพื่อให้ดึงกระแสจากตัวเก็บประจุในช่วงที่คงค่าสัญญาณให้น้อยที่สุด มิฉะนั้นแรงดันที่คงค่าไว้จะลดระดับเนื่องจากการโหลด (drop) ดังแสดงในรูปที่ 3.7 ซึ่งปกติแล้วมักใช้แอมปลิไฟร์เออร์ที่มี FET หรือ MOSFET เป็นอินพุทเพราะการไบอัสด้วยแรงดันทำให้กระแสอินพุทต่ำด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

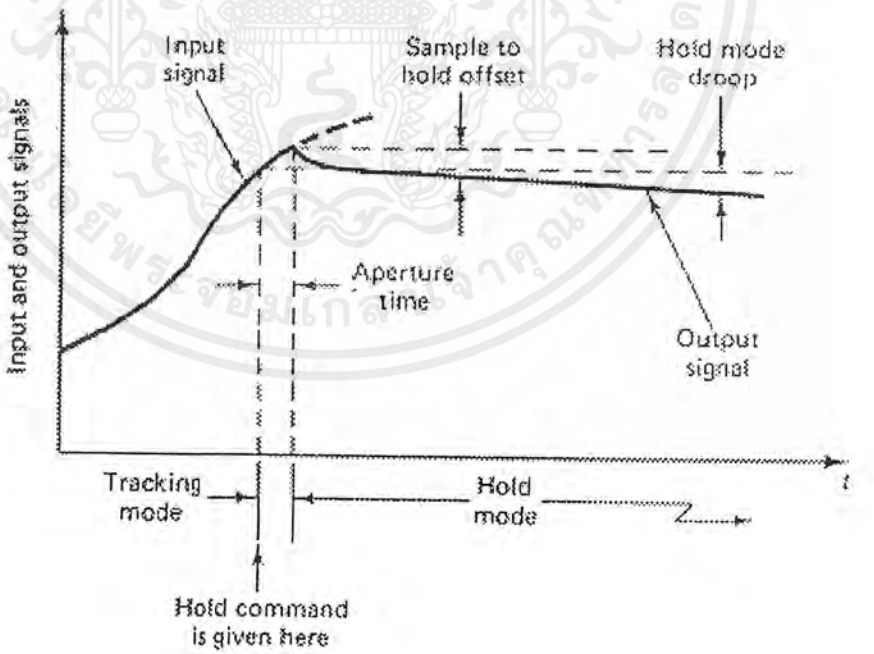


(ข)

รูปที่ 3.6

(ก) พื้นฐานของ S&H

(ข) ไดอะแกรมของวงจร S&H



รูปที่ 3.7 รูปคลื่นเอาต์พุทของ S&H

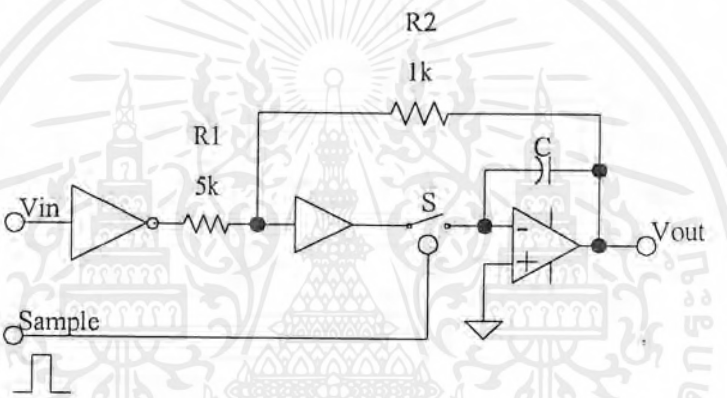
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร S&H ในระบบ Data Acquisition นิยมใช้สองแบบคือ Sample-Hold และ Track-Hold วงจร S&H จะใช้วิธีสุ่มสัญญาณอย่างรวดเร็วแล้วเข้าสู่ Holding Period ซึ่งหมายความว่าสวิทช์ควบคุมจะต้องตัดต่อในช่วงเวลาอันสั้นอย่างต่อเนื่อง ส่วน Track-Holds จะตัดสวิตช์สุ่มช้ากว่า

การจัดวงจร S&H มีได้หลายลักษณะ ซึ่งอาจนำไอซี (IC) หรือทรานซิสเตอร์มาประกอบเป็นวงจรตลอดจนการสร้างวงจรทั้งหมดของ S&H ลงบนชิปไอซีเดี่ยว เช่น เบอร์ LF398

3.8 วงจรสุ่มแบบ Inverting Close Loop

ในวงจรนี้ C จะประจุด้วยอัตรา RC ซึ่งสามารถเพิ่มความเร็วได้โดยใช้ Current Boost Amplifier อยู่ในลูปป้อนกลับดังรูปที่ 3.8 โดยแอมปลิไฟร์เออร์นี้มีอัตราขยายเท่ากับ 1



รูปที่ 3.8 วงจรสุ่มแบบ Inverting Close Loop

ข้อดีของวงจรนี้คือทำงานได้รวดเร็วและแม่นยำความเร็วในการประจุขึ้นอยู่กับความเร็วของ A1 และความสามารถ ในการจ่ายกระแสของมัน ไดโอดสองตัวจะทำหน้าที่ Clamp สัญญาณเอาต์พุทไปที่อินพุทอินเวอร์ติ้งของ A1 เพื่อยังคงให้วงจรมีเสถียรภาพดี เมื่อสวิตช์ (S) เปิดวงจรลักษณะนี้เป็นวงจรพื้นฐานของไอซีเบอร์ LF398

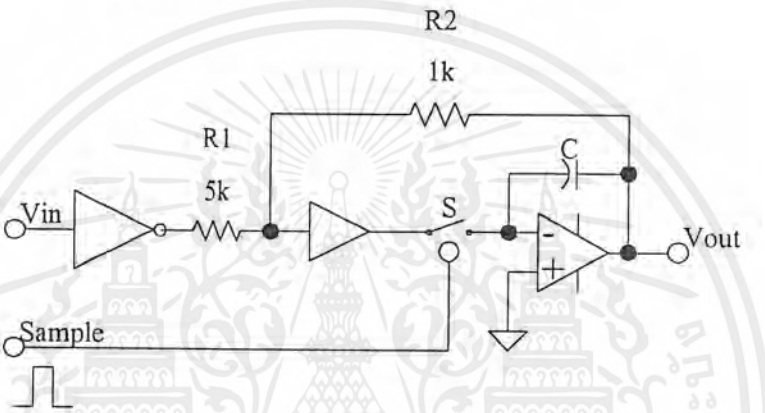
3.9 วงจรแรงดันอ้างอิง (Voltage Reference Circuit)

วงจรแรงดันอ้างอิงนั้นเป็นวงจรที่สำคัญวงจรหนึ่งในระบบ Data Acquisition เนื่องจากเป็นส่วนสำคัญในการกำหนดคุณภาพของวงจร DAC หรือ ADC วงจรแรงดันอ้างอิงมีทั้งที่เป็นวงจรอิสระหรือเป็นวงจรรวมอยู่ในวงจร ADC หรือ DAC

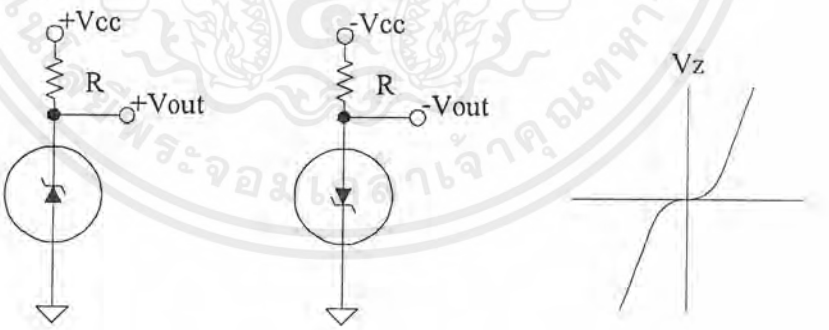
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) Basic Voltage Reference อุปกรณ์ที่นิยมให้เป็นแหล่งกำเนิดแรงดันอ้างอิงได้แก่ ซีเนอร์ไดโอด (Zener Diode) ซึ่งเมื่อให้รีเวิร์สไบอัสจนเกิดการเบรคดาวน์แรงดันคร่อมซีเนอร์จะคงที่เท่ากับแรงดันเบรคดาวน์ (V_z) ตัวต้านทาน R (รูปที่ 3.10) ที่ต่ออนุกรมกับซีเนอร์ จะทำหน้าที่กำหนดกระแสไบอัสแก่ซีเนอร์ให้เบรคดาวน์และจำกัดกระแสรีเวิร์สไม่ให้ไหลมากจนเป็นอันตรายแก่ซีเนอร์

ข้อเสียของวงจรนี้คือ แรงดันมักเปลี่ยนตามอุณหภูมิได้ง่ายหรือเรียกว่ามีสัมประสิทธิ์ทางอุณหภูมิสูง และจ่ายกระแสได้จำนวนจำกัด รวมทั้งแรงดันเอาต์พุทจะแปรตามแรงดันอินพุทจึงมักใช้วงจรนี้กับ ADC ที่ไม่ต้องการคุณภาพมากนัก



รูปที่ 3.9 วงจรสุ่มแบบ Non-Inverting Closed Loop



(ก) (ข) (ค)

รูปที่ 3.10 วงจรแรงดันอ้างอิงพื้นฐานและกราฟคุณสมบัติ

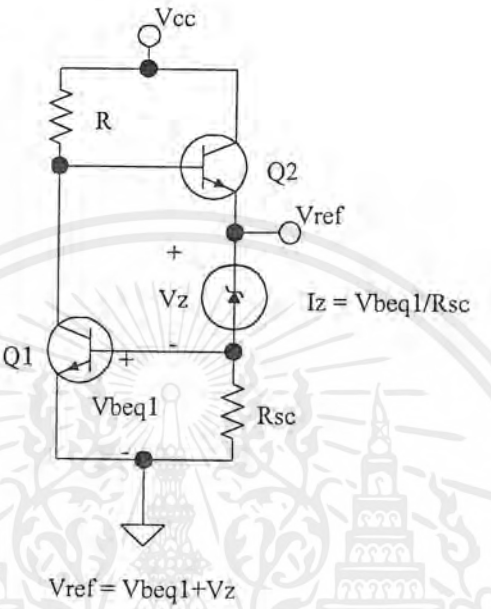
ก) แรงดันอ้างอิงบวก

ข) แรงดันอ้างอิงลบ

ค) กราฟคุณสมบัติของซีเนอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสียของวงจรอ้างอิงแบบพื้นฐานดังกล่าวสามารถแก้ไขได้โดยใช้วงจรดังรูปที่ 3.11 ทรานซิสเตอร์ Q_1 และ Q_2 จะทำหน้าที่เป็นแหล่งจ่ายกระแสไบอัสคงที่ให้แก่ซีเนอร์ไดโอด ลักษณะดังกล่าวทำให้แรงดันเอาต์พุทไม่ขึ้นอยู่กับแรงดันอินพุท (V_∞) รวมทั้งผลทางด้านอุณหภูมิรวมของวงจรได้รับการปรับปรุงให้ดีขึ้นด้วย



รูปที่ 3.11 วงจรแรงดันอ้างอิงใช้ซีเนอร์ไดโอดที่ปรับปรุงคุณสมบัติจากวงจรแรงดันอ้างอิงพื้นฐาน

2) Precision Voltage Reference แรงดันอ้างอิงที่คุณภาพดีกว่าจะใช้ออปแอมป์ (Op-Amp) ร่วมกับซีเนอร์ ซึ่งนอกจากจะได้แรงดันที่คงที่มากกว่าแล้ว ยังสามารถปรับแรงดันเอาต์พุทให้ได้มากหรือน้อยกว่าแรงดันซีเนอร์ไดโอดด้วย ลักษณะการจัดวงจรแบบต่าง ๆ แสดงได้ดังรูปที่ 3.12

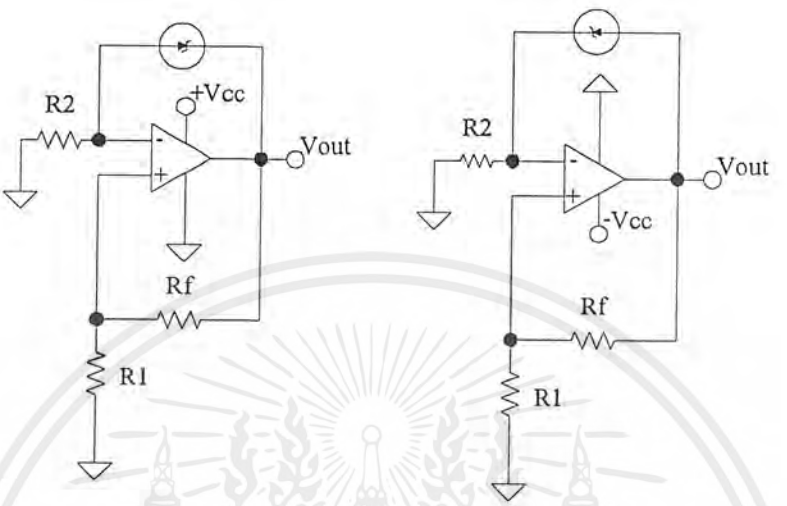
ตามปกติแล้วแรงดันอ้างอิงที่ใช้ซีเนอร์ไดโอดจะให้คุณภาพดีก็ต่อเมื่อกระแสที่จ่ายให้ซีเนอร์คงที่ตลอดเวลาและทุช่วงของอุณหภูมิในวงจรรูปที่ 3.12 ออปแอมป์จะทำหน้าที่จ่ายกระแสคงที่และมีสัมประสิทธ์อุณหภูมิต่ำกว่ากระแสที่ผ่านซีเนอร์ขึ้นอยู่กับการเลือกค่า R_1, R_2, R_f และค่า V_o กำหนดจาก R_1, R_f และ V_z การออกแบบต้องเลือกซีเนอร์ซึ่งรู้ค่า I_z และ V_z ทำการเลือกค่า R_1 และหาค่า R_f จากสมการ V_{out}

$$V_o = \frac{V_R(R_1 + R_f)}{R_f}$$

$$I_Z = \frac{V_o R_1}{R_2(R_1 + R_f)} \cong \frac{V_o R_1}{R_f}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

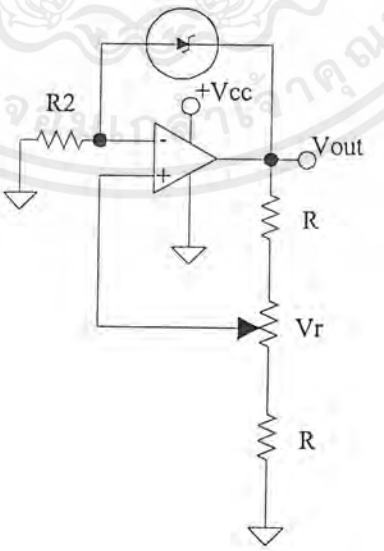
$$V_1 = \frac{V_o R_1}{(R_1 + R_f)} = I_z R_2$$



รูปที่ 3.12 แรงดันอ้างอิง

ก) แรงดันอ้างอิงบวก

ข)แรงดันอ้างอิงลบ



รูปที่ 3.13 แรงดันอ้างอิงปรับค่าได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) Bandgab Voltage Reference ได้รับการออกแบบเพื่อแก้ไขทางสัมประสิทธ์ทางอุณหภูมิโดยใช้ผลต่างของแรงดันเบส-อิมิเตอร์ของทรานซิสเตอร์สองตัวที่ทำงานที่กระแสต่างกัน โดย

$$V_{Ref} = V_{BEQ3} + I_2 R_2$$

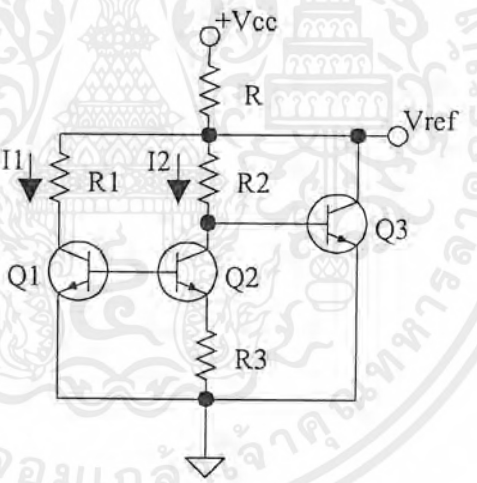
$$V_{Ref} = V_{BEQ3} + \frac{kT_j}{q(\ln \frac{I_1}{I_2})}$$

เมื่อ k = Boltmann's constant (1.3805×10^{-23} J/K)

Tj = Absolute temperature ของรอยต่อ

q= Electron charge (1.602×10^{-19} C)

แรงดันอ้างอิงแบบแบนด์แกปได้ถูกสร้างโดยใช้วงจรพื้นฐานในรูปที่ 3.14 และมีจำหน่ายตัวถังคล้ายทรานซิสเตอร์ เช่น เบอร์LM336 สามารถปรับขนาดของ V_{out} ได้



รูปที่ 3.14 วงจร Band Gap Voltage Reference

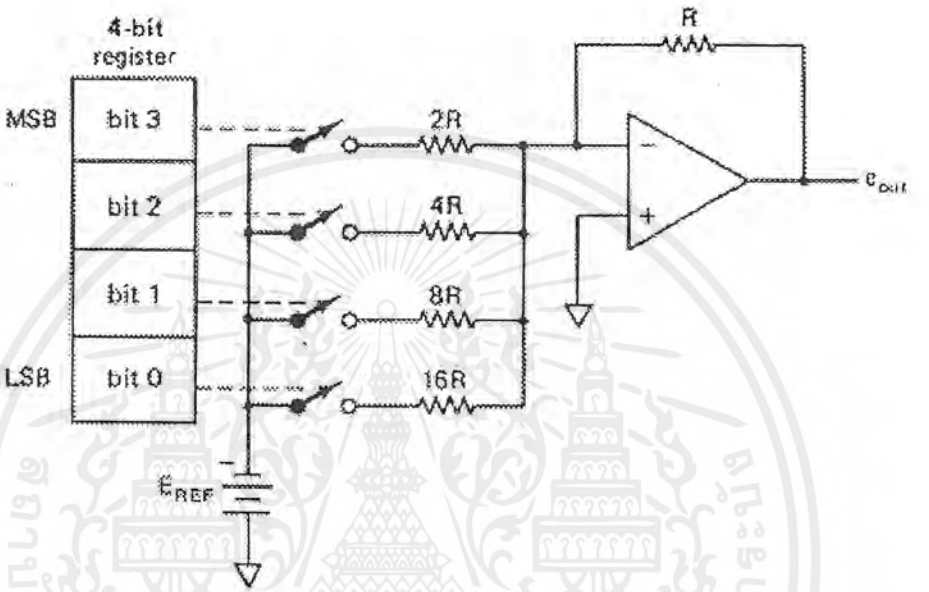
3.10 วงจร Digital to Analogue Converter (DAC)

DAC นับเป็นอุปกรณ์สำคัญที่ทำให้ดิจิตอลคอมพิวเตอร์เชื่อมโยงกับอุปกรณ์หรือวงจรอนาลอกอื่น ๆ ตัวอย่างการใช้งาน DAC คือระบบแสดงผลบนจอภาพ ระบบสังเคราะห์เสียง เป็นต้น และที่สำคัญ DAC ยังเป็นส่วนประกอบที่สำคัญใน ADC ที่ใช้กันอยู่ในปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10.1 DAC แบบ Binary Weight Ladder

การจัดวงจร Binary weight ladder มีลักษณะตามรูปที่ 3.15 สวิตช์ S_1-S_4 จะถูกควบคุมเปิด/ปิด ด้วยรหัสดิจิตอล เพื่อตัด/ต่อแรงดันอ้างอิงเข้ากับวงจรรีซิสเตอร์ที่มีค่า R, 2R, 4R, ... (2n)R ตัวอย่างในกรณี DAC แบบ 4 บิต ใช้รีซิสเตอร์เป็น 10kΩ, 20kΩ, 30kΩ, 40kΩ และ 80kΩ เป็นต้น



รูปที่ 3.15 ADC แบบ Binary Weight Ladder

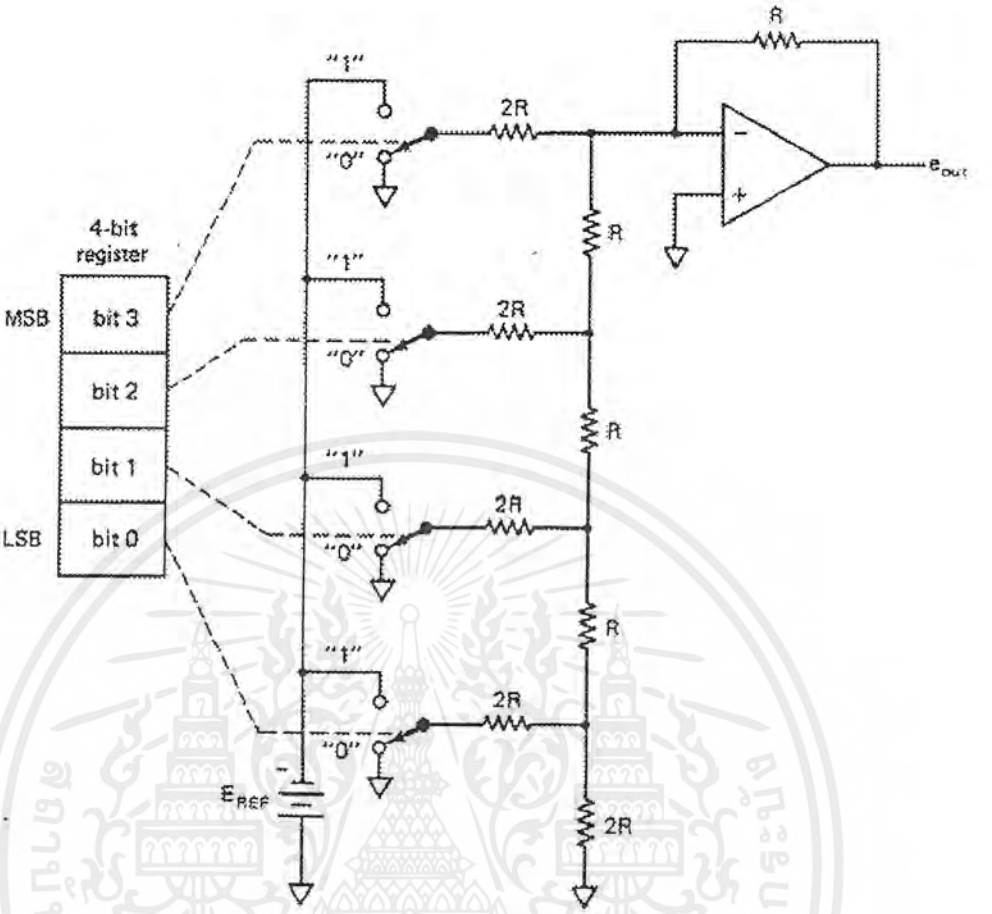
ค่ารีซิสเตอร์ที่ Weight ค่าตามรหัสดิจิตอลที่เพิ่มขึ้นจะทำให้กระแสผ่านรีซิสเตอร์เข้าไปรวมกันก่อนเข้าออปแอมป์ลดลงด้วยแฟคเตอร์ 2 ตามค่า R ที่เพิ่มขึ้น เช่นหากแรงดันอ้างอิงเป็น 10 โวลต์ ในกระแสที่ผ่านตัวต้านทานจะเป็น 1.0, 0.5, 0.25 และ 0.125 มิลลิแอมป์ ตามลำดับออปแอมป์ที่เอาต์พุทจะทำหน้าที่เปลี่ยนกระแสรวมให้เป็นแรงดันเอาต์พุท

3.10.2 DAC แบบ R-2R ladder

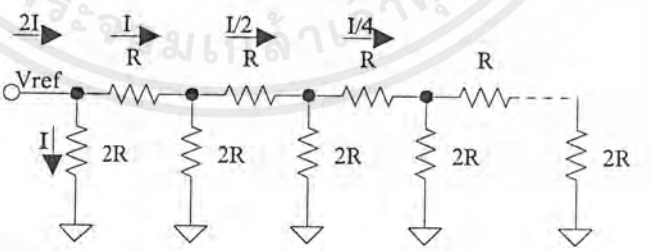
ถึงแม้ว่า DAC แบบ Binary Weight จะใช้ค่ารีซิสเตอร์เพียง 4 ค่า ก็ตาม แต่ในการผลิต DAC แบบนี้บนชิปไอซีเดียวกันก็ยังเป็นปัญหายุ่งยากในการผลิตอยู่ดี รูปแบบที่ดีกว่าคือการจัดวงจรแบบ R-2R ดังรูปที่ 3.16

ในวงจรนี้จะเห็นว่าสวิตช์จะตัดต่อให้แรงดันอ้างอิงต่อเข้ากับวงจร Ladder หรือต่อ Ladder ลงกราวด์ที่ขา 2R จะเห็นได้ว่า Switch Input Resistor (2R) มองเข้าไปจะเห็นคู่ของรีซิสเตอร์ระหว่างจุดต่อ R-2R ที่ติดกัน กระแสจะถูกบั่นทอนไปในอัตรา 2:1 ซึ่งสอดคล้องกับรหัสไบนารี ดังแสดงในรูปที่ 3.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 วงจร DAC แบบ R-2R ขนาด 4 บิต

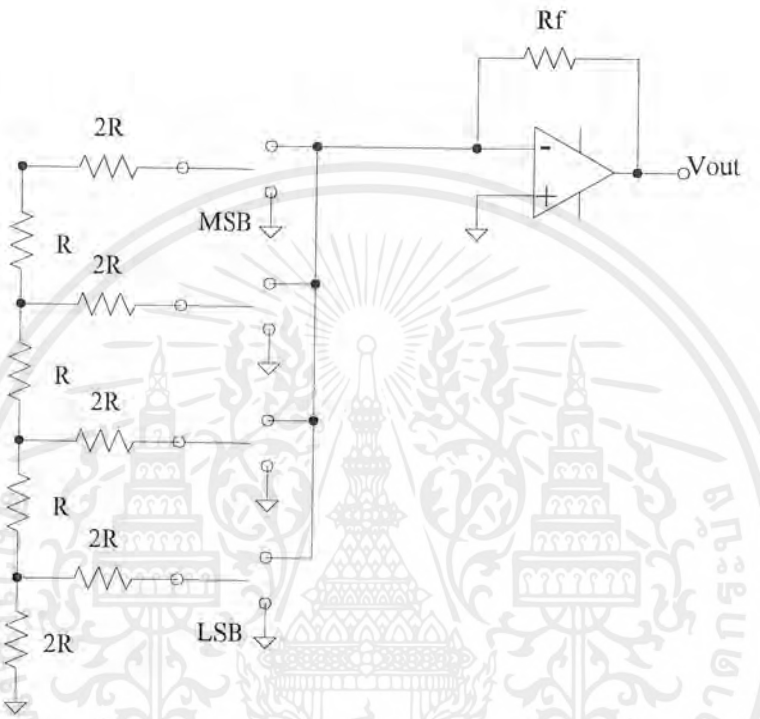


รูปที่ 3.17 วงจรรีซิสทีฟแลดเดอร์ (Resistive Ladder)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10.3 Inverted R/2R ladder DAC

ลักษณะการจัดวงจรแบบนี้จะคล้ายกับแบบ R-2R Ladder เพียงแต่สวิตช์จะตัดต่อขา R กับกราวด์และอินพุทของ Summing Amplifier แทนที่จะเป็น V_{ref} วิธีการนี้นิยมใช้ในการทำ DAC ในวงจรรวมเพราะสวิทช์จะตัดต่อที่แรงดันตกคร่อมต่ำกว่าซึ่งสร้างได้ง่ายกว่า



รูปที่ 3.18 วงจร Invert R-2R ladder DAC

3.11 Analog to Digital Converter

ลักษณะการจัดวงจรแบบ ADC มีหลายแบบ แต่ที่นิยมใช้มีเพียงไม่กี่แบบและส่วนใหญ่จะอยู่ในรูปของวงจรรวม

3.11.1 Basic Conversion Method

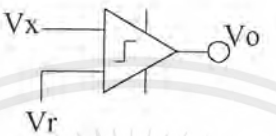
วิธีการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบง่าย ๆ แสดงในรูปที่ 3.19 แรงดันอินพุทที่ไม่ทราบค่า V_x จะต่อเข้ากับขาอินพุทขาหนึ่งของอนาลอกคอมพาราเตอร์ และแรงดันอ้างอิงที่ขนาดแปรตามเวลา V_r ต่อเข้ากับขาอินพุทอีกขาหนึ่งของ คอมพาราเตอร์ ลักษณะของทรานเฟอร์ฟังก์ชั่นของคอมพาราเตอร์แสดงในรูปที่ 3.20 ถ้าแรงดันอินพุท V_1 มากกว่าอินพุท V_2 แล้วแรงดันเอาต์พุทจะเป็นลอจิก 1 ถ้าอินพุท V_1 น้อยกว่า V_2 แล้วเอาต์พุทจะเป็น 0

วิธีการแปลงข้อมูลคือ แรงดันอ้างอิงจะถูกแปรค่าจนกระทั่งรู้ค่าแรงดันอินพุทที่ผิดพลาดไม่เกิน Quantization Error ของคอนเวอร์เตอร์ ในแนวความคิดแล้ว ตรรกของ ADC คือ

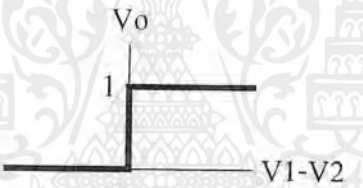
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พยายามเลือกกลุ่มของ ส.ป.ส. ไบนารี่ a_i เพื่อให้ผลต่างระหว่างแรงดันอินพุท V_x และค่าที่ Quantize ได้ครั้งสุดท้ายน้อยกว่า 0.5 LSB ซึ่งเขียนเป็นสมการได้

$$\left[\left[V_X - V_{FSR}\sum_{i=1}^{n} a_i 2^i\right]\right] < 0.5LSB$$



รูปที่ 3.19 วิธีการพื้นฐานของ ADC

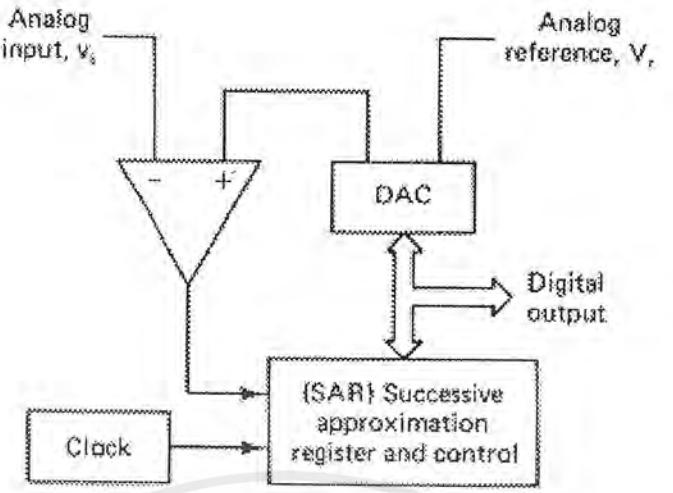


รูปที่ 3.20 Transfer function ของ Comparator

3.11.2 Sucessive Appoximation ADC

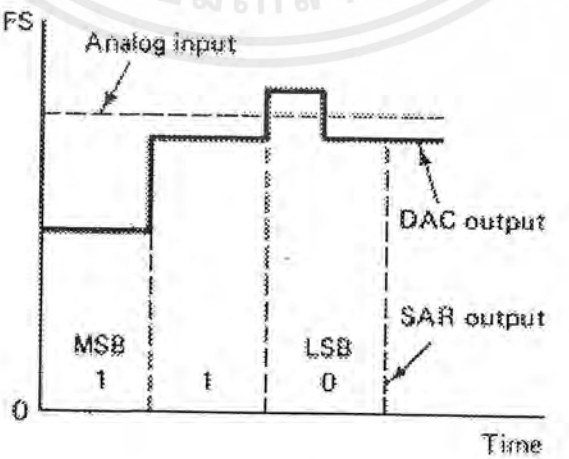
วงจร ADC ชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วปานกลางและค่อนข้างสูง การจัดวงจรคล้ายกันกับแบบเคาท์เตอรที่ทำงานในลักษณะการป้อนกลับ ซึ่งบล็อกไดอะแกรมในรูปที่ 3.21 แสดงฟังก์ชั่นต่างๆ ใน ADC ชนิดนี้ คอมพาราเตอร์จะคอยเปรียบเทียบเอาต์พุทจาก ADC กับอนาลอกอินพุท V_{in} เอาต์พุทจะไปควบคุม SAR (Successive Approximation Register) ซึ่งเป็นไอซี MSI (Medium Scale Integrated Circuit) ที่ได้รับการออกแบบพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.21 บล็อกไดอะแกรมของ Sucessive Appoximation ADC

ในรูปที่ 3.22 แสดงไทม์มิ่งไดอะแกรมของ ADC ที่มีระดับอนาลอก 1 และ 2 ที่ระดับ 1 clock เข้าไป 1 ลูก จะทำให้ MSB (Most Significant Bit) (บิต 4) เป็น 1 ส่วนบิตอื่นยังคงเป็น 0 DAC จะเปลี่ยนเอาต์พุทของ SAR เป็นอนาลอกเปรียบเทียบกับสัญญาณอนาลอกอินพุท ถ้าผลการเปรียบเทียบที่คอมพาราเตอร์บอกว่าน้อยกว่าอินพุทก็ให้คงบิตนั้นเป็น 1 ไว้ แต่ถ้ามากกว่าจะให้บิตนั้นเป็น 0 จากนั้นทำการทดสอบบิตถัดไปโดยทำให้เป็น 1 หากผลรวมของสองบิตหรือบิตหลังมากกว่าก็จะทำให้บิตนั้นเป็น 0 แต่ถ้าน้อยกว่าให้คง 1 ไว้ แล้วทดสอบบิตถัดไปตามกรรมวิธีดังกล่าวจนครบทุกบิตหรือจนกว่าเอาต์พุทจะต่างจาก V_{in} ไม่เกิน 1 LSB ในตัวอย่างแสดงการทำงานเมื่อ V_{in} ลดต่ำลงมาอีกระดับหนึ่งด้วยเช่นกัน



รูปที่ 3.22 สัญญาณเวลาของ SAR

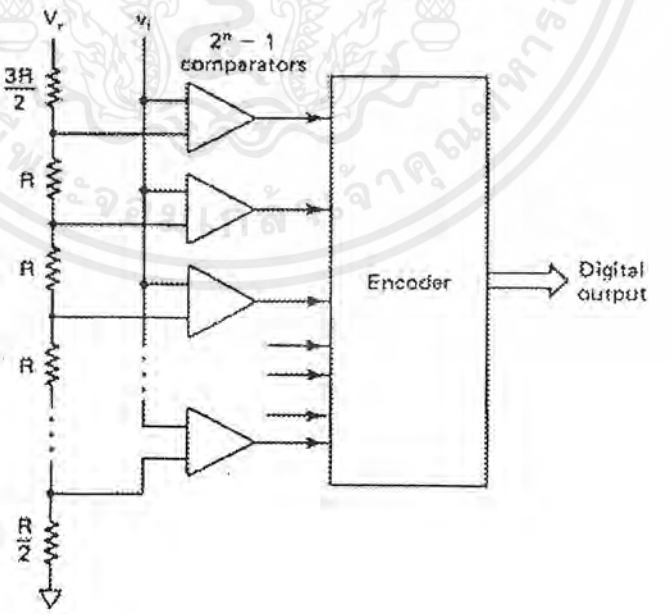
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีข้อจำกัดประการหนึ่งสำหรับการแปลงสัญญาณ คือสัญญาณอนาลอกอินพุท จะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณโดยเปลี่ยนได้ไม่เกิน 1/2 LSB ในช่วงสุดท้ายของการเปลี่ยนสัญญาณดิจิตอลเอาต์พุทจะออกมาขนานกันทุกบิต แต่บางแบบจะให้เอาต์พุทออกมาในลักษณะอนุกรม

วงจร ADC แบบนี้สามารถทำงานได้สองโหมด คือ โหมดที่ทำงานโดยอิสระ (Free run) และโหมดรอคำสั่ง (Start Conversion) จากภายนอก เวลาที่ใช้ในการเปลี่ยนสัญญาณใช้ (n+1) ลูกของสัญญาณนาฬิกา โดยพัลส์ลูกแรกจะใช้ในการรีเซ็ตรีจิสเตอร์ภายใน สุดท้ายคุณภาพของระบบจะขึ้นอยู่กับคุณภาพของ DAC ในระบบเป็นอย่างยิ่ง

3.11.3 Parallel (Flash) ADC

สำหรับการแปลงสัญญาณที่ต้องการความเร็วสูงมาก ๆ เช่นการแปลงสัญญาณภาพโทรทัศน์เรดาร์ จำเป็นต้องใช้ ADC แบบพิเศษที่เรียกว่า Parallel ADC ซึ่งแสดงบล็อกไดอะแกรมรูปที่ 3.23 หลักการทำงานคือ จะใช้คอมพาราเตอร์ทำการเปรียบเทียบสัญญาณอนาลอกอินพุทกับแรงดันอ้างอิงที่แบ่งแรงดันให้สอดคล้องกับรหัสดิจิตอล โดยใช้ตัวต้านทานแล้วแปลงเอาต์พุทจากคอมพาราเตอร์ให้ตรงกับรหัสดิจิตอล ซึ่งจะเห็นว่าอุปสรรคทางด้านความเร็วจะถูกจำกัดเพียง Propagation time ของคอมพาราเตอร์เท่านั้น แต่อุปสรรคที่สำคัญต่อการพัฒนาวงจรชนิดนี้บนไอซี คือ วงจรนี้ต้องการคอมพาราเตอร์ถึง 2^n-1 ตัว สำหรับ ADC 1 ตัว แต่ก็ได้ ADC ชนิดที่ทำงานรวดเร็วที่สุดเช่นกัน



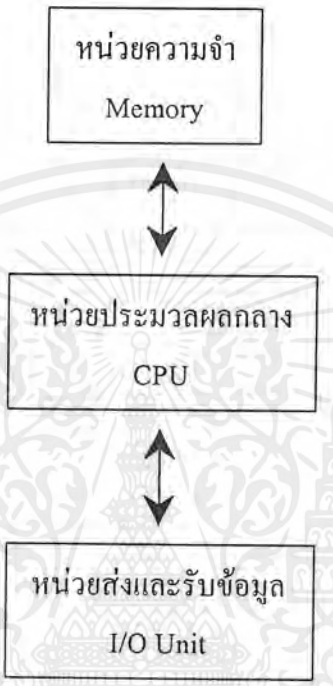
รูปที่ 3.23 บล็อกไดอะแกรมแสดง Parallel ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ทฤษฎีของพอร์ตขนาน

4.1 โครงสร้างโดยทั่วไปของระบบคอมพิวเตอร์



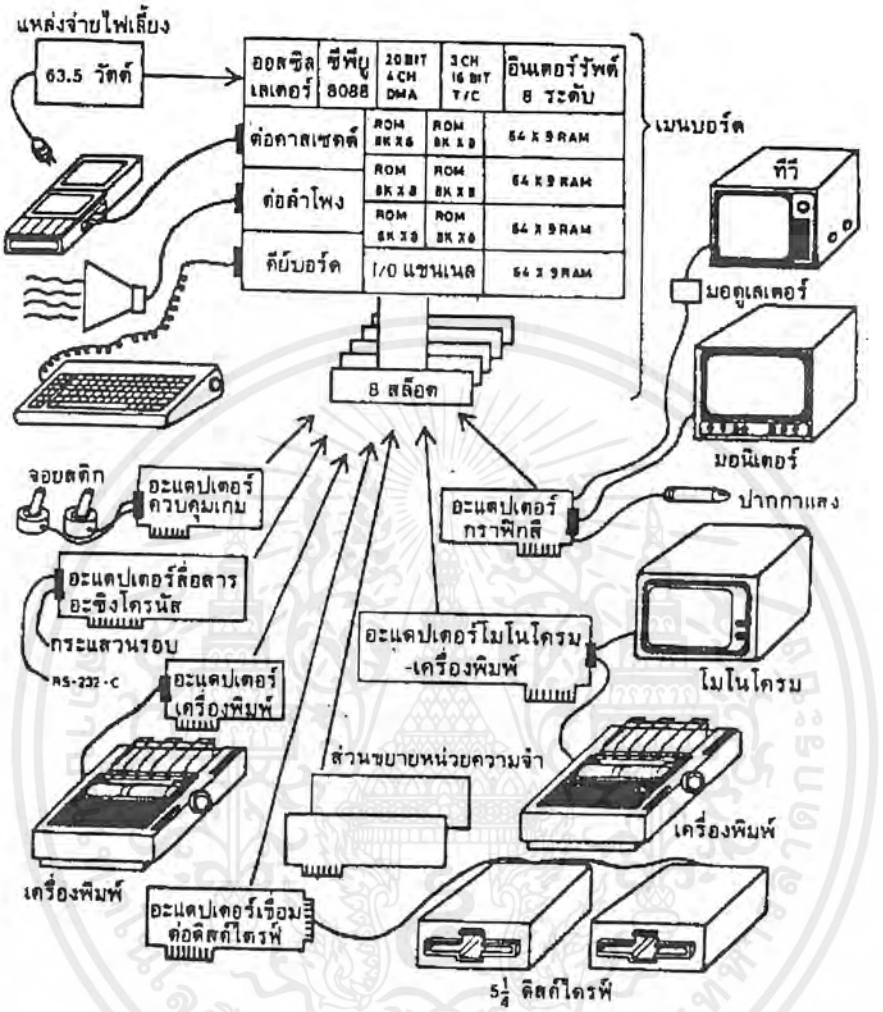
รูปที่ 4.1 แสดงบล็อกไดอะแกรมของระบบคอมพิวเตอร์ทั่วไป

ระบบคอมพิวเตอร์ จะประกอบด้วยพื้นฐานส่วนใหญ่ ๆ ดังต่อไปนี้ หน่วยความจำ (Memory Unit), หน่วยรับและส่งข้อมูล (Input/Output Unit) และหน่วยประมวลผลกลาง (CPU:Central Processing Unit) ซึ่งแสดงได้ตามบล็อกไดอะแกรมดังรูปที่ 4.1 จะเห็นว่าแต่ละส่วนทำงานเกี่ยวโยงสัมพันธ์กันโดยมีการติดต่อเชื่อมโยงจากส่วนหนึ่งไปยังอีกส่วนหนึ่ง แสดงให้เห็นว่ามีการเคลื่อนย้ายข้อมูลนั้นบางส่วนจะเป็นแบบทิศทางเดียว บางส่วนจะเป็นแบบสองทิศทาง

ในการพิจารณาการอินเตอร์เฟสจะพิจารณาถึงการทำงานบางส่วนของส่วนใหญ่ ๆ ของเครื่องคอมพิวเตอร์ คือการรับและส่งข้อมูลจากส่วนหนึ่งไปยังอีกส่วนหนึ่ง ซึ่งจะเกี่ยงข้องกับการทำงานด้านอื่น ๆ ที่มีกระบวนการกระทำทางคณิตศาสตร์และทางลอจิกเกิดจากการทำงานของหน่วยประมวลผลกลางร่วมกับอุปกรณ์อื่น ๆ บนแผ่นวงจรเดียวกันเช่นติดต่อกับหน่วยความจำรอม (ROM:Read Only memory) ,แรม (RAM:Random Access Memory) หน่วยแสดงผล จอมอนิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Monitor) หรืออุปกรณ์ภายนอกต่าง ๆ (Input/Output) ที่มาทำการอินเตอร์เฟสดังรูปที่ 4.2 แสดงการอินเตอร์เฟสของระบบคอมพิวเตอร์



รูปที่ 4.2 แสดงการอินเตอร์เฟสของระบบคอมพิวเตอร์

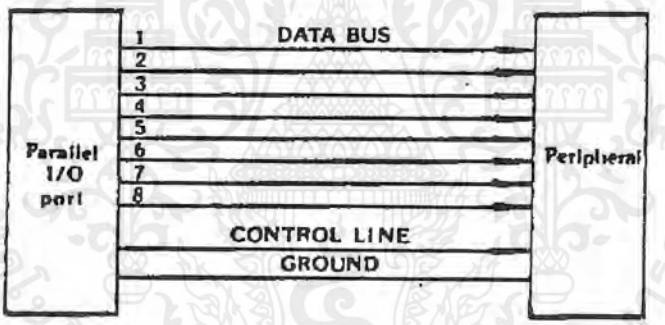
ข้อมูลที่จะโอนย้ายทุกข้อมูลจะต้องมีแหล่งส่งข้อมูลและแหล่งรับข้อมูลเสมอ ซึ่งในขบวนการต่าง ๆ จะมีหลักสำคัญอยู่ว่าข้อมูลนั้นจะเป็นตำแหน่ง (Address) หรือข้อมูล (Data) จะส่งจากจุดไหนไปยังจุดไหน เช่นส่งจากหน่วยประมวลผลกลางไปยังหน่วยความจำหรืออุปกรณ์อินพุท/เอาต์พุท และจะส่งเมื่อใดขบวนการเหล่านี้ในขบวนการทั่ว ๆ ไปจะต้องมีสัญญาณในการตรวจสอบความพร้อมของอุปกรณ์ที่จะส่งหรือรับข้อมูลก่อนเสมอ ซึ่งจุดส่งข้อมูลและจุดรับข้อมูลจะต้องมีสัญญาณการตรวจสอบความพร้อมเสมอเพื่อให้ข้อมูลมีการใช้งานอย่างเป็นระเบียบ สำหรับการรับและส่งข้อมูลไปยังอุปกรณ์ภายนอกโดยข้อมูลที่โอนย้ายไปมานั้นจะอยู่ในลักษณะของเลขฐานสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่น 0011010 เลขแต่ละตัวจะแทนด้วย 1 บิต (Bit) อาจจะเป็นขนาด 8 บิต หรือ 16 บิต ก็ขึ้นอยู่กับระบบนั้น ๆ วงจรอินเตอร์เฟสนี้โดยปกติจะมีหน้าที่สำคัญอยู่ 4 ประการคือ บัฟเฟอร์ (Buffer) ถอดรหัสแอดเดรส (Address Decoding) ถอดรหัสคำสั่ง (Command Decoding) และทำหน้าที่ควบคุมและกำหนดไทม์มิง (Timing Control)

4.2 การอินเตอร์เฟสแบบขนาน

การอินเตอร์เฟสแบบขนาน คือ การรับส่งข้อมูลที่ข้อมูลทุก ๆ บิตจะถูกส่งออกไปพร้อม ๆ กันครั้งเดียวโดยแต่ละบิตจะส่งในสายส่งแต่ละเส้น ข้อดีของการรับส่งข้อมูลแบบขนานที่เด่นชัดก็คือ ความเร็วในการส่งถ่ายข้อมูลจะมีความเร็วสูงกว่าแบบอนุกรมมาก แต่ระยะทางที่ส่งจะสั้นกว่า นอกจากสายบัสข้อมูลแล้วยังต้องมีสายส่งข้อมูลอย่างน้อย 2 เส้น ร่วมกันอีกคือ Data Ready และสายกราวด์ (Ground) ดังรูป4.3



รูปที่ 4.3 แสดงระบบการส่งข้อมูลแบบขนาน

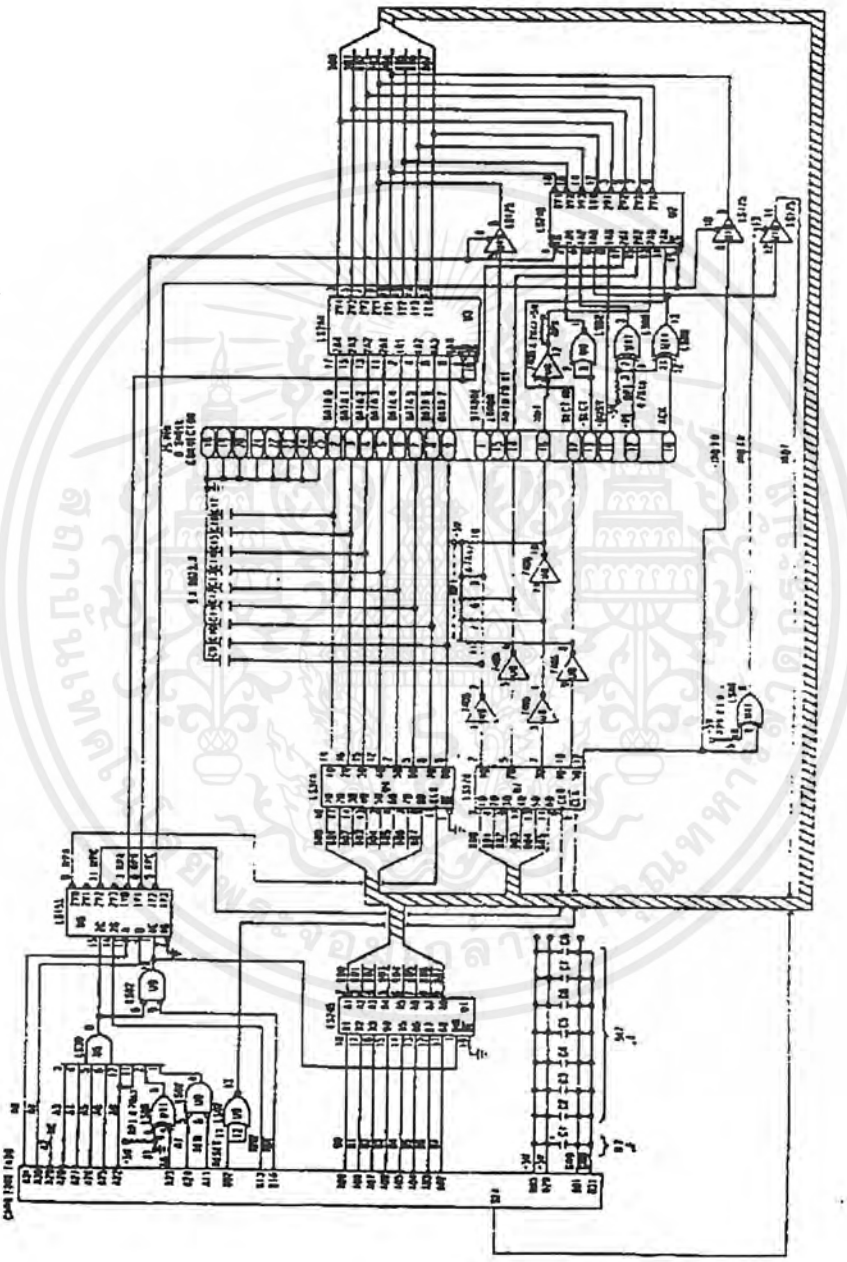
ความจำเป็นของสายกราวด์นั้น มีไว้เพื่อใช้เป็นจุดอ้างอิงของแรงดันไฟฟ้า เพื่อแสดงสถานะทางลอจิกของข้อมูล โดยที่ระดับแรงดันไฟฟ้าของข้อมูลจะมีเพียงลอจิก "0" กับ "1" เท่านั้น สำหรับสาย Data Ready นั้นจะเป็นตัวบอกถึงความพร้อมของตัวส่งข้อมูลว่าขณะนี้ข้อมูลพร้อมที่จะส่งแล้ว ข้อสังเกตอีกข้อหนึ่งก็คือ ในการส่งข้อมูลแบบขนานนี้ควรที่จะต้องมีสัญญาณควบคุมเพื่อใช้ควบคุมการปฏิบัติงานให้ถูกต้อง

การอินเตอร์เฟสกับเครื่องพิมพ์ (Printer) จะผ่านทางพอร์ตขนาน 8 บิต ได้ออกแบบให้สามารถที่นะใช้กับมาตรฐานพอร์ตเซนโทรนิกส์ ซึ่งมีขนาน 25 ขา พอร์ตนี้เป็นได้ทั้งอินพุทและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาต์พุท โดยมีกำลังขับได้ถึง 12 ทีทีแอลเอาต์พุท โดยทั่วไปปกติพอร์ตนี้จะเป็นเอาต์พุท เพื่อส่งข้อมูลให้กับเครื่องพิมพ์แต่ก็สามารถรับข้อมูลเป็นอินพุทได้เช่นกัน พอร์ตของเครื่องพิมพ์จะมีสัญญาณต่าง ๆ ที่ใช้ในการตรวจสอบสัญญาณซึ่งกันและกันด้วย

พอร์ตการอินเตอร์เฟสกับเครื่องพิมพ์จะแสดงดังรูปที่ 4.4



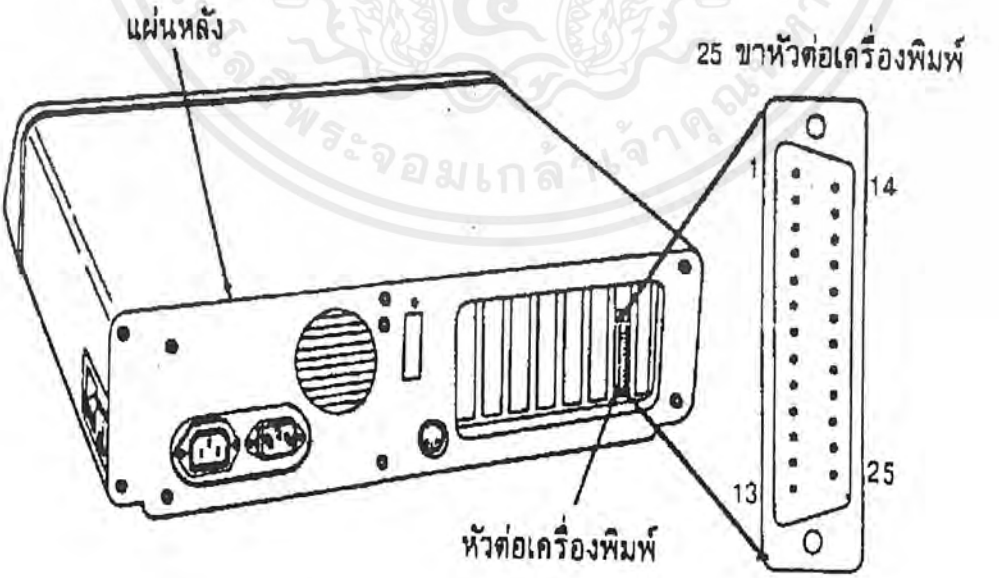
รูปที่ 4.4 วงจรอะแดปเตอร์เครื่องพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

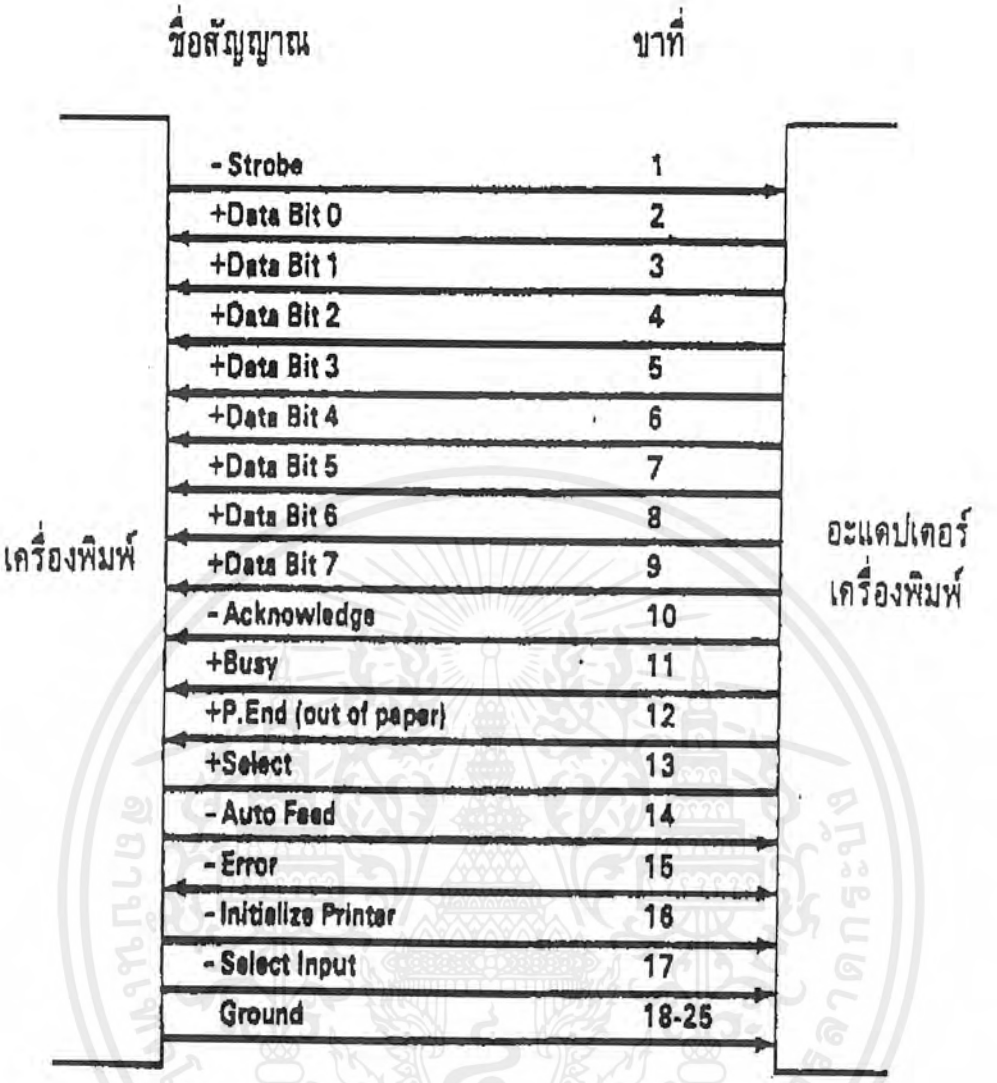
4.3 วงจรอะแดปเตอร์เครื่องพิมพ์

วงจรอะแดปเตอร์เครื่องพิมพ์นี้จะเป็นวงจรพื้นฐานที่เข้าใจได้ง่าย โดยมี U6 คือ 74LS155 เป็นตัวถอดรหัส แอดเดรส เพื่อให้ได้หมายเลขพอร์ตตามต้องการ สังเกตว่า A3, A4, A5, A6, A9 ผ่าน 74LS30 เพื่อกำหนดหมายเลขพอร์ตเป็นหมายเลข 378h โดยมี EX-OR U11 เป็นตัวโปรแกรมด้วย J1 ให้เป็นพอร์ต 278h หรือ 378h เพื่อเลือก LPT2 หรือ LPT1 ซึ่งขา 9 ของ 74LS155 (U6) เป็นพอร์ตหมายเลข 378h (หรือ 278h) เอาต์พุทพอร์ตจะได้รับการแลตช์โดยการผ่านเข้า U4 (74LS374) เป็นพอร์ต ขนานให้กับเครื่องพิมพ์

สำหรับเอาต์พุทพอร์ตอีกพอร์ตหนึ่ง คือพอร์ตสถานะที่ติดต่อกับเครื่องพิมพ์จะได้รับการแลตช์ผ่าน U7 (74LS174) โดยผ่านการถอดรหัสให้เป็นหมายเลข 37Ah (27Ah กรณี LPT2) โดยผ่านการถอดรหัสบน U6 ออกทางขา 11 ไอซี U11 เป็นบัฟเฟอร์ เพื่อจะเชื่อมโยงเข้ากับระบบบัส สล็อตสำหรับอินพุทพอร์ต 3 พอร์ต ได้รับการถอดรหัสออกทางขา 5, 6, 7 ของ U6 ซึ่งเป็น ไอซี 74LS244 (U3) เป็นตัวบัฟเฟอร์แบบลอจิก 3 สถานะ ดังนั้นการอินพุทผ่านพอร์ต 378h ซึ่งจะอ่านข้อมูลผ่านพอร์ตขนานเข้ามาได้ โดยมีพอร์ต 379h และ 37Ah เป็นพอร์ตอินพุทอ่านข้อมูลเข้ามาผ่านทาง 74LS125 (U10) สถานะเหล่านี้จะมีไว้สำหรับการตรวจสอบสัญญาณกับเครื่องพิมพ์ ในกรณีของโมโนโคมบอร์ดจะมีการกำหนดหมายเลขพอร์ตที่แตกต่างกันออกไป แต่จะยังคงใช้วงจรเหมือนกัน ในการใช้งานพอร์ตเครื่องพิมพ์นี้เราสามารถใช้ระบบอินเตอร์รัพท์โดยผ่านทาง IRQ 7 เพื่อให้มีการรับข้อมูลแบบ INT ผ่านเข้ามายัง 8259 เพื่อจัดการให้ไบออสได้เช่นกัน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



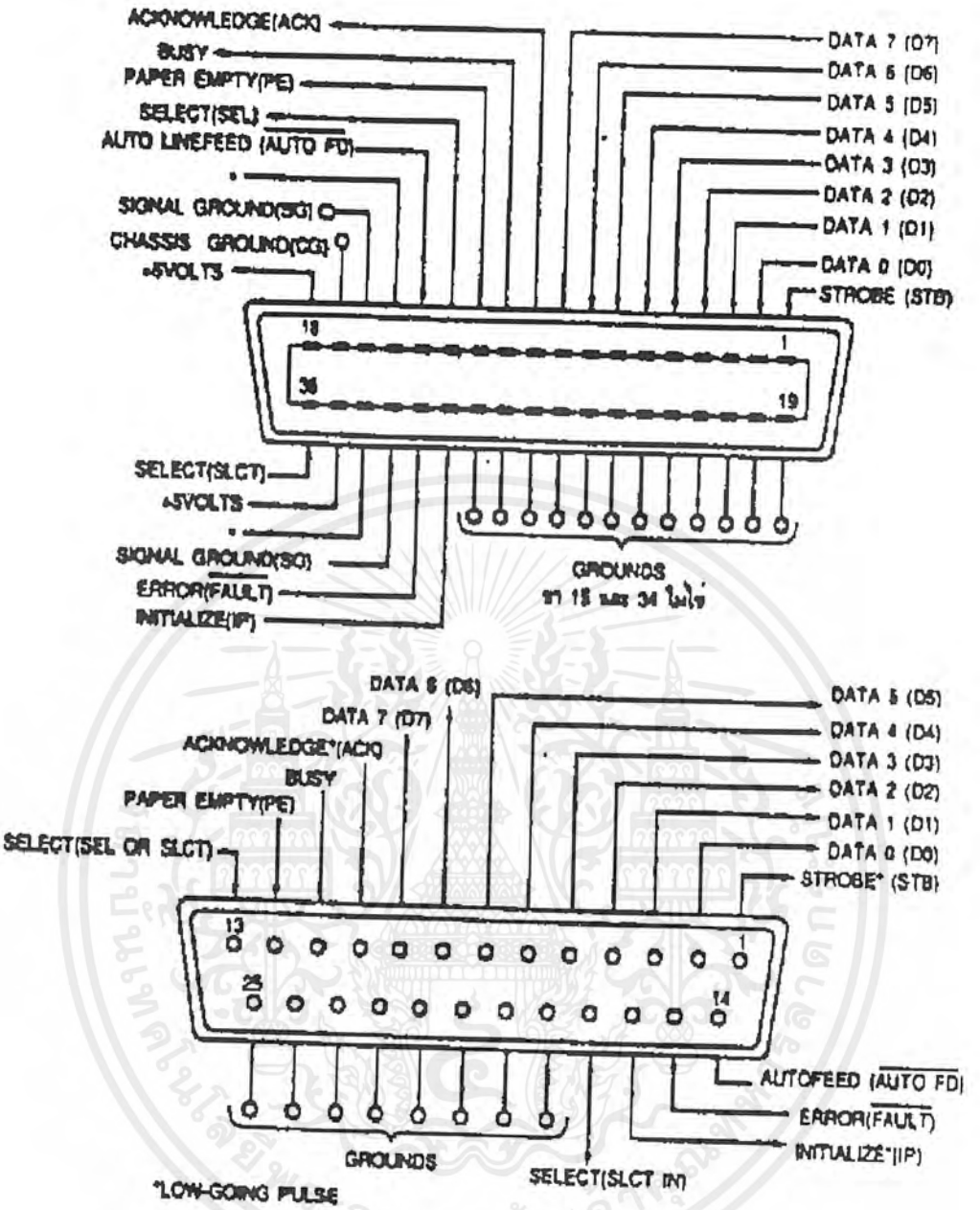
รูปที่ 4.5 แสดงการอินเตอร์เฟสกับเครื่องพิมพ์

4.4 ลักษณะของคอนเนคเตอร์

ลักษณะของคอนเนคเตอร์ที่ใช้ทำการติดต่อระหว่างพอร์ตขนานกับอุปกรณ์ภายนอกซึ่งมีอยู่ด้วยกัน 2 แบบแสดง ดังรูปที่ 4.6

1. คอนเนคเตอร์แบบเซ็นโทรนิกส์ (Centronic) กับสัญญาณต่าง ๆ
2. คอนเนคเตอร์แบบ DB-25 กับสัญญาณต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แสดงลักษณะของคอนเนคเตอร์

4.5 โหมดการทำงานของพอร์ตขนาน

ปัจจุบันพอร์ตขนานอยู่ภายใต้มาตรฐาน IEEE 1284 พอร์ตขนานประกอบด้วย สายสัญญาณควบคุม 4 เส้น, สายสัญญาณสถานะ 5 เส้น และ สายข้อมูล 8 เส้น มีโหมดการทำงานของต่างๆกันดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. **Printer Mode (Centronic Mode)**

เป็นโหมดการทำงานของพรินเตอร์รุ่นเก่าที่บัสข้อมูลสามารถส่งข้อมูลออกได้ทางเดียว

2. **Standard & BI-direction Parallel Port (SPP)**

เป็นโหมดการทำงานมาตรฐานที่บัสข้อมูลสามารถรับและส่งข้อมูลได้ในคนละช่วงเวลากัน การรับและส่งข้อมูลในโหมดนี้จะใช้ซอฟต์แวร์ในตรวจสอบสัญญาณแฮนเช็คกิ้ง (Handshaking) กับอุปกรณ์ภายนอก ทำให้ความเร็วในการรับส่งข้อมูลสูงสุดได้แค่เพียง 150 กิโลไบต์ต่อวินาที (Kbytes/s)

3. **Enhanced Parallel Port (EPP)**

เป็นโหมดการทำงานที่ออกแบบโดยบริษัท Intel, Xircom & Zenith Data Systems EPPมี 2 มาตรฐาน คือ EPP 1.7 และ EPP 1.9 โดยที่ บัสข้อมูลเป็นแบบสองทิศทางเหมือน SPP โหมด แต่ที่ตัวควบคุมของพอร์ตแบบนี้จะมีฮาร์ดแวร์เพิ่มเข้ามาใช้ในการส่งและตรวจสอบสัญญาณแฮนเช็คกิ้งกับอุปกรณ์ภายนอก ทำให้ความเร็วในการรับส่งข้อมูลได้สูงถึง 2 เมกกะไบต์ต่อวินาที (Mbytes/s)

4. **Extended Capabilities Parallel Port (ECP)**

เป็นโหมดการทำงานที่ออกแบบโดยบริษัท Hewlett Packard and Microsoft โหมดนี้มีฮาร์ดแวร์เพิ่มเข้ามาใช้ในการส่งและตรวจสอบสัญญาณแฮนเช็คกิ้งกับอุปกรณ์ภายนอกเหมือนกับ EPP โหมด แต่จะสามารถใช้ DMA Channels ซึ่งเป็นวิธีการที่อุปกรณ์ภายนอกสามารถจะเคลื่อนย้ายข้อมูล จากหน่วยความจำได้โดยตรง ไม่ต้องผ่านหน่วยประมวลผลกลางก่อน และยังสามารถใช้ FIFO Buffer ในการรับส่งข้อมูลกับอุปกรณ์ภายนอกได้ และยังสามารถทำการบีบอัดข้อมูลแบบเวลาจริง (Real Time Data Compression) ได้ซึ่งสามารถบีบอัดข้อมูลได้สูงถึง 64:1 โหมด ECP นี้เหมาะกับอุปกรณ์ภายนอกที่ต้องการรับส่งข้อมูลปริมาณมากและความเร็วสูง

สำหรับโครงงานนี้ได้ออกแบบบอร์ดให้ทำงานได้ในโหมด SPP และ EPP เท่านั้น ดังนั้นจึงขออธิบายในรายละเอียดเฉพาะ 2 โหมดนี้เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 รายละเอียดการทำงานในโหมด SPP

Pin NO. D-Type25	SPP Signal	Direction	Register	Hardware Inverted
1	nStrobe	Out	Control.0	Yes
2-9	Data 0-7	In-Out	Data	
10	nAck	In	Status.6	
11	Busy	In	Status.7	Yes
12	Paper-Out	In	Status.5	
13	Select	In	Status.4	
14	nAuto-Linefeed	In-Out	Control.1	Yes
15	nError	In	Status.3	
16	nInitialize	In-Out	Control.2	No.
17	nSelect-Printer	In-Out	Control.3	Yes
18-25	Ground	Gnd		

ตารางที่ 4.1 ลักษณะของขาสัญญาณของพอร์ตขนานในโหมด SPP

4.6.1 ขั้นตอนการส่งข้อมูลของ SPP โหมด

1. ตั้งค่ารีจิสเตอร์ควบคุม (Set Control Register) ให้อยู่ในโหมดส่งข้อมูล
2. ส่งข้อมูลไปที่พอร์ตข้อมูล
3. ตรวจว่าอุปกรณ์ภายนอกว่างอยู่หรือไม่ รอจนอุปกรณ์ภายนอกว่าง
4. ส่งสัญญาณสโตรปเป็น 0 เพื่อเป็นการบอกให้อุปกรณ์ภายนอกรับข้อมูลไป
5. รอประมาณ 5 วินาที จากนั้นส่งสัญญาณสโตรปกลับเป็น 1

4.6.2 ขั้นตอนการรับข้อมูลของ SPP โหมด

1. ตั้งค่ารีจิสเตอร์ควบคุมให้อยู่ในโหมดรับข้อมูล
2. ตรวจว่าอุปกรณ์ภายนอกว่างอยู่หรือไม่รอจนอุปกรณ์ภายนอกว่าง
3. ส่งสัญญาณสโตรปเป็น 0 เพื่อเป็นการบอกให้อุปกรณ์ภายนอกส่งข้อมูลเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. รอประมาณ 5 วินาที จากนั้นส่งสัญญาณสโตรปกลับเป็น 1

4.6.3 รายละเอียดรีจิสเตอร์ของ SPP

สำหรับ LPT 1: Base address = 378h

Status address = 379h

Control address = 37Ah

สำหรับ LPT 2: Base address = 278h

Status address = 279h

Control address = 27Ah

Address	Name	Read /Write	Bit No.	Properties	Pin
Base + 0	Data Port	Read /Write	Bit 7	Data 7	9
			Bit 6	Data 6	8
			Bit 5	Data 5	7
			Bit 4	Data 4	6
			Bit 3	Data 3	5
			Bit 2	Data 2	4
			Bit 1	Data 1	3
			Bit 0	Data 0	2

ตารางที่ 4.2 ข้อมูลรีจิสเตอร์ของพอร์ตข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Address	Name	Read /Write	Bit No.	Properties	Pin
Base + 1	Status Port	Read Only	Bit 7	Busy	11
			Bit 6	Ack	10
			Bit 5	Paper Out	12
			Bit 4	Select In	13
			Bit 3	Error	15
			Bit 2	IRQ	
			Bit 1	Reserved	
			Bit 0	Reserved	

ตารางที่ 4.3 ข้อมูลรีจิสเตอร์ของพอร์ตสถานะ

Address	Name	Read /Write	Bit No.	Properties	Pin
Base + 2	Control Port	Read/Write	Bit 7	Unused	
			Bit 6	Unused	
			Bit 5	Enable bi-directional port	-
			Bit 4	Enable IRQ Via Ack Line	-
			Bit 3	Select Printer	17
			Bit 2	Initialize Printer (reset)	16
			Bit 1	Auto Linefeed	14
			Bit 0	Strobe	1

ตารางที่ 4.4 ข้อมูลรีจิสเตอร์ของพอร์ตควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 รายละเอียดในการทำงานโหมด EPP

Pin NO	EPP Signal	Direction	Register	Function	Hardware Inverted
1	nWrite	Out	Control. 0	สัญญาณบอกสถานะว่า port จะรับหรือส่งข้อมูล	Yes
2-9	Data 0-7	In-Out	Data	Data bus Bi-directional	
10	Int	In	Status.6	Interrupt Line (ขอบขาขึ้น)	
11	Wait	In	Status.7	สัญญาณบอกความพร้อมของอุปกรณ์ภายนอก	Yes
12	Spare	In	Status.5	Not used	
13	Spare	In	Status.4	Not used	
14	nData Strobe	In-Out	Control. 1	Data Transfer when low	Yes
15	Spare	In	Status.3	Not used	
16	nReset	In-Out	Control. 2	Reset when low	No.
17	nAddress Strobe	In-Out	Control. 3	Address Transfer when low	Yes
18-25	Ground	Gnd		Ground	

ตารางที่ 4.5 Pin Configuration ของโหมด EPP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7.1 รายละเอียดรีจิสเตอร์ของ EPP

Address	Port Name	Read/Write
Base+0	Data Port (SPP)	Write
Base+1	Status Port (SPP)	Read
Base+2	Control Port (SPP)	Write
Base+3	Address Port (EPP)	Read/Write
Base+4	Data Port (EPP)	Read/Write
Base+5	Undefined (16/32 bit Transfer)	-
Base+6	Undefined (32 bit Transfer)	-
Base+7	Undefined (32 bit Transfer)	-

ตารางที่ 4.6 รีจิสเตอร์ของโหมด EPP

จากตารางที่ 4.6 จะเห็นว่า Address 3 ตำแหน่งแรกอยู่ที่ตำแหน่งเดียวกับ SPP โหมดและสามารถทำงานได้เหมือนกันทุกประการ นั่นคือ พอร์ตขนานที่สามารถทำงานได้ในโหมด EPP จะสามารถทำงานในโหมด SPP ได้ในเวลาเดียวกัน

พอร์ตแบบ EPP โหมดนี้จะมี Time-Out Bit เพิ่มเข้าไปใน Status Port (Address Base+1) bit0 ซึ่งแต่เดิมใน SPP โหมดเป็นบิตที่สำรองไว้ไม่มีการใช้งานบิตนี้จะถูกกำหนดค่า ถ้าอุปกรณ์ภายนอกไม่ตอบสนองต่อสัญญาณแฮนเช็คกิ้งนานเกิน 10 ไมโครวินาที (us)

สำหรับ Address Base+5, Base+6 และ Base+7 เป็นส่วนที่เพิ่มเติมสำหรับการ์ดของพอร์ตขนานบางแบบเท่านั้น ช่วยให้พอร์ตสามารถส่งข้อมูล 16 และ 32 บิตได้ ซึ่งพอร์ตชนิดนี้จะทำการแยกข้อมูลที่ละ 8 บิตและทำการส่งให้อัตโนมัติจนครบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบฮาร์ดแวร์

ส่วนประกอบของฮาร์ดแวร์ประกอบด้วยส่วนที่ใช้ติดต่อระหว่าง คอมพิวเตอร์กับอุปกรณ์ภายนอก ,ส่วนของการแปลงสัญญาณในรูปแบบต่าง ๆ ,และในส่วนของวงจรเพาเวอร์ซัพพลายเพื่อจ่ายไฟเลี้ยงให้กับวงจรต่าง ๆ ซึ่งออกแบบแยกเป็นสองส่วนใหญ่ๆคือ

ส่วนที่ 1. ภาคควบคุมแบบดิจิตอล

ส่วนที่ 2. ภาคควบคุมแบบอนาลอก

5.1 คุณสมบัติของบอร์ดโดยรวม

- สามารถส่งสัญญาณควบคุมแบบดิจิตอลได้ 8 ช่องสัญญาณ แต่ละช่องสามารถจ่ายกระแสได้สูงสุดช่องละ 16 มิลลิแอมป์และรับกระแสเข้าได้สูงสุด 2 มิลลิแอมป์
- สามารถรับสัญญาณควบคุมแบบดิจิตอลได้ 8 ช่องสัญญาณ โดยสัญญาณที่จะรับเข้าจะเป็นแบบเข้ากันได้กับทีทีแอล (TTL Compatible)
- สามารถส่งสัญญาณแบบอนาลอก 0 ถึง 5 โวลต์ ได้ 8 ช่องสัญญาณ มีความละเอียด 8 บิต
- สามารถรับสัญญาณแบบอนาลอก 0 ถึง 5 โวลต์ ได้ 8 ช่องสัญญาณ มีความละเอียด 8 บิต
- ไฟเลี้ยงของวงจรที่ใช้เป็นแบบไฟกระแสตรง +15 โวลต์ บอร์ดนี้ใช้กระแสปกติประมาณ 0.4 แอมป์ สูงสุดไม่เกิน 1 แอมป์
- มีจุดต่อไฟออก 3 ระดับ คือ
  - แรงดันขนาด +9 โวลต์ จ่ายกระแสไฟได้ประมาณ 1 แอมป์
  - แรงดันขนาด +5 โวลต์ จ่ายกระแสไฟได้ประมาณ 1 แอมป์
  - แรงดันอ้างอิง +5 โวลต์ ความผิดพลาดไม่เกิน ±0.02 % จ่ายกระแสไฟได้ประมาณ 15 มิลลิแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 รายการอุปกรณ์ที่ใช้

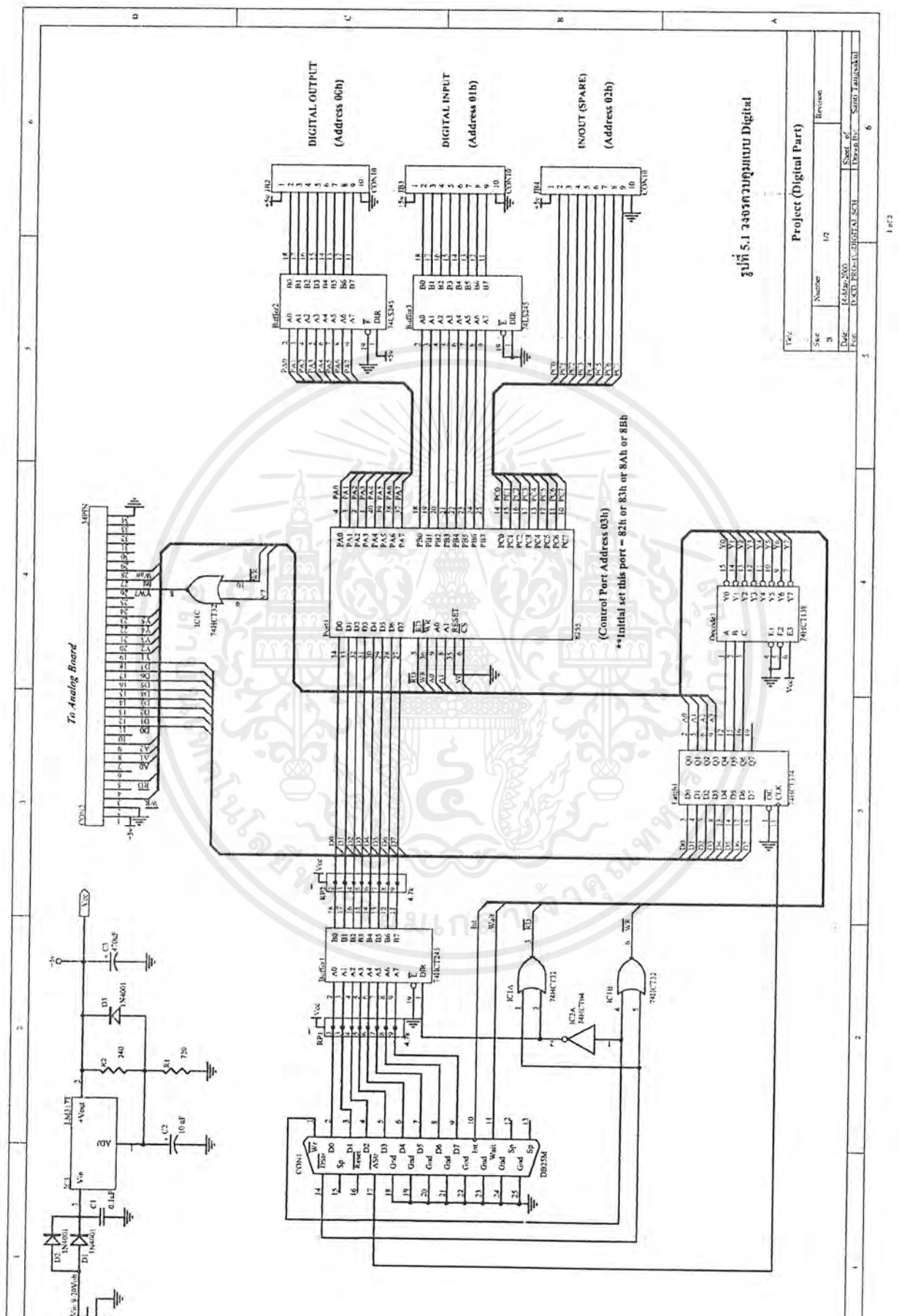
Part Type	หมายเหตุ	จำนวน	Part Type	หมายเหตุ	จำนวน
R 240	1/4 W	1	IC 8255	DIP40	1
R 720	1/4 w	1	74HCT04	DIP14	1
R 4.7k	R pack 9 ขา	2	74HCT32	DIP14	1
C 0.1uF	เซรามิค	10	74HCT138	DIP16	1
C 10 uF	50v	1	74HCT245	DIP20	1
C 470uF	25v	1	74LS245	DIP20	2
1N4001	_	3	74HCT374	DIP20	1
DB25M	ตัวผู้	1	LM317T	TO220	1
Connector ชนิดต่างๆ			Heat Sink	TO220	1

ตารางที่ 5.1 รายการอุปกรณ์ที่ใช้ในภาคควบคุมแบบดิจิตอล

Part Type	หมายเหตุ	จำนวน	Part Type	หมายเหตุ	จำนวน
R 240	1/4 W	2	C 220uF	25v	2
R 300	1/4 W	2	C 470uF	25v	1
R 750	1/4 W	1	C 1000uF	50v	1
R 2.2K	1/4 W	1	1N4001	_	4
R 2K	1/4 W	1	MAX153	DIP20	1
R 4.7K	1/4 W	1	MAX6350	DIP8	1
C 0.1uF	เซรามิค	10	MX7228	DIP22 แคบ	1
C 2.2uF	50v	2	MC74HC4051	DIP16	1
C 4.7uF	50v	1	LM317T	TO220	3
C 10 uF	50v	2	Heat Sink	TO220	3
Connector ชนิดต่างๆ					

ตารางที่ 5.2 รายการอุปกรณ์ที่ใช้ในภาคควบคุมแบบอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 วงจรควบคุมแบบ Digital

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 การทำงานของวงจรในภาคควบคุมแบบดิจิตอล

ลักษณะของวงจรเป็นไปตามรูปวงจรที่ 5.1 ซึ่งแบ่งออกเป็น 4 ส่วนย่อยดังนี้

5.3.1 ภาคจ่ายไฟ

ภาคนี้จะรับไฟตรงเข้ามาได้ตั้งแต่ 9 ถึง 20 โวลต์ แล้วแปลงแรงดันให้คงที่อยู่ที่ระดับ 5 โวลต์ โดยใช้ไอซีรักษาระดับแรงดันเบอร์ LM317T สามารถจ่ายกระแสเลี้ยงวงจรได้สูงสุด 1.5 แอมป์ ภายในยังมีวงจรป้องกันการลัดวงจร

ไดโอด D1 และ D2 ทำหน้าที่ป้องกันความเสียหายจากการต่อแรงดันเข้ากลับขั้ว

ไดโอด D3 ทำหน้าที่ช่วยคายประจุจาก C2 ในกรณีที่เอาต์พุท เกิดการลัดวงจร

C2 และ C3 ช่วยกรองแรงดันให้สัญญาณกระเพื่อมลดลง

5.3.2 ภาคเชื่อมต่อกับพอร์ตขนานและควบคุมการเลือกช่องสัญญาณ

Buffer1 ทำหน้าที่เป็นบัส 2 ทิศทางควบคุมการรับและส่งข้อมูล ช่วยป้องกันความเสียหายที่อาจจะเกิดขึ้นกับวงจรภายในพอร์ตขนาน โดยขา DIR = 1 ข้อมูลจากพอร์ตขนานจะถูกส่งออกไปยังพอร์ต และถ้า DIR =0 ข้อมูลจากบอร์ดจะถูกส่งไปยังพอร์ตขนาน

IC1A, IC1B และ IC2A ทำหน้าที่สร้างสัญญาณ RD\ และ WR\ ควบคุมจังหวะในการอ่านและเขียนข้อมูลระหว่างคอมพิวเตอร์กับบอร์ด โดยที่สัญญาณทั้ง 2 จะไม่สามารถทำงานพร้อมกันได้ ดังตารางที่ 5.3

อินพุท		เอาต์พุท		หมายเหตุ
DStr\	WR\	RD\	WR\	
0	0	1	0	คอมพิวเตอร์ส่งข้อมูลออก
0	1	0	1	คอมพิวเตอร์รับข้อมูลเข้า
1	0	1	1	ไม่มีการรับส่งข้อมูล
1	1	1	1	ไม่มีการรับส่งข้อมูล

ตารางที่ 5.3 ตารางค่าความจริงของสัญญาณควบคุมการรับและส่งข้อมูล

Latch1 และ Decoder1 เป็นส่วนเลือกช่องสัญญาณที่จะทำการติดต่อกับคอมพิวเตอร์ Latch1 จะทำการเก็บค่าตำแหน่งจากบัสข้อมูลมาเก็บไว้ในช่วงของขาขึ้นของสัญญาณ AStr\ จากนั้น Decoder1 จะรับ 4 บิต มาทำการสร้างสัญญาณเลือกไอซีที่จะทำงาน โดยช่วงเวลาหนึ่งจะมี ไอซีเพียง 1 ตัวเท่านั้นที่ทำงานตามตารางที่ 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C	B	A	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0	IC ที่ทำงาน
0	0	0	1	1	1	1	1	1	1	0	8255 (ภาครับส่งแบบดิจิตอล)
0	0	1	1	1	1	1	1	1	0	1	MAX153 (ภาค ADC)
0	1	0	1	1	1	1	1	0	1	1	สำรอง
0	1	1	1	1	1	1	0	1	1	1	สำรอง
1	0	0	1	1	1	0	1	1	1	1	สำรอง
1	0	1	1	1	0	1	1	1	1	1	สำรอง
1	1	0	1	0	1	1	1	1	1	1	สำรอง
1	1	1	0	1	1	1	1	1	1	1	MX7228 (ภาค DAC)

ตารางที่ 5.4 แสดงการทำงานของภาคเลือกช่องสัญญาณ

5.3.3 ภาคควบคุมการรับส่งค่าแบบดิจิตอล

ใช้ไอซี 8255 เป็นตัวควบคุมและเลือกช่องสัญญาณที่ติดต่อกับบัสข้อมูล โดยในตอนเริ่มทำงานครั้งแรกจะต้องตั้งค่าที่พอร์ตควบคุมให้พอร์ต A เป็นเอาต์พุท, พอร์ต B เป็นอินพุท ส่วนพอร์ต C เป็นได้ทั้งอินพุทหรือเอาต์พุทก็ได้ (ส่วนนี้เป็นส่วนสำรองไว้ใช้ในอนาคต)

Buffer2 ทำหน้าที่ช่วยเพิ่มกระแสของส่วนส่งค่าดิจิตอล

Buffer3 ทำหน้าที่เป็นกันชนรับค่าจากภายนอกก่อนส่งต่อให้ 8255

ค่าที่พอร์ตควบคุม	พอร์ต A	พอร์ต B	พอร์ต C บน	พอร์ต C ล่าง
82h	เอาต์พุท	อินพุท	เอาต์พุท	เอาต์พุท
83h	เอาต์พุท	อินพุท	เอาต์พุท	อินพุท
8Ah	เอาต์พุท	อินพุท	อินพุท	เอาต์พุท
8Bh	เอาต์พุท	อินพุท	อินพุท	อินพุท

ตารางที่ 5.5 รูปแบบการตั้งค่าเริ่มต้นให้กับ 8255

5.3.4 จุดเชื่อมต่อไปและสัญญาณ (Connector)

JB1 รับค่าไฟตรงเข้า 9-20 โวลต์

JB2 จุดต่อไฟออก 5 โวลต์ และสัญญาณควบคุมออกแบบดิจิตอล

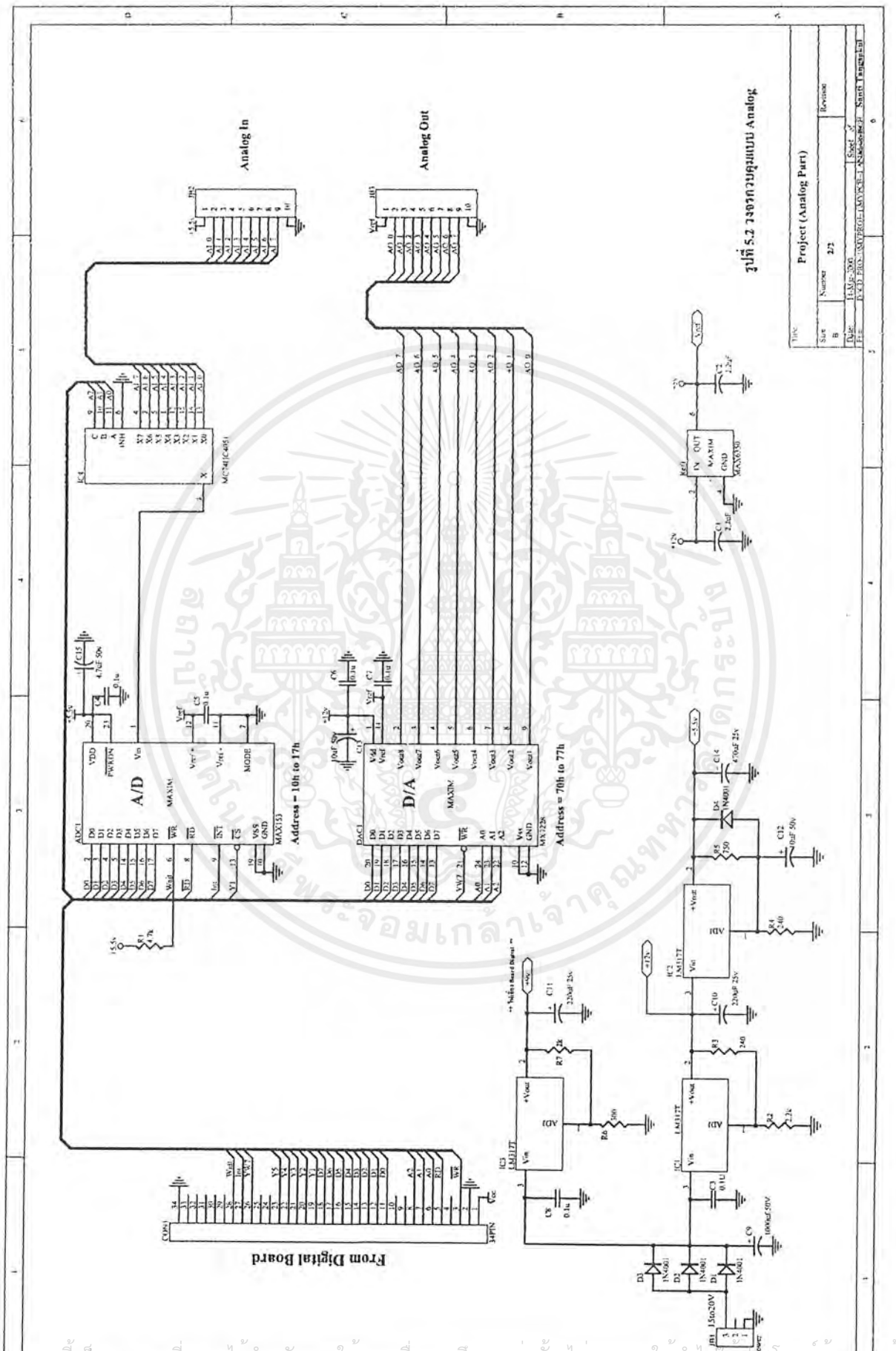
JB3 จุดต่อไฟออก 5 โวลต์ และสัญญาณควบคุมเข้าแบบดิจิตอล

JB4 จุดต่อไฟออก 5 โวลต์ และสัญญาณควบคุมออกหรือเข้าแบบดิจิตอล

CON1 เป็นส่วนรับสัญญาณจากพอร์ตขนาน

CON2 เป็นส่วนเชื่อมต่อกับภาคควบคุมแบบอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 วงจรควบคุมแบบ Analog

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 การทำงานของวงจรในภาคควบคุมแบบอนาลอก

ลักษณะของวงจรเป็นไปตามรูปวงจรที่ 5.2 ซึ่งแบ่งออกเป็น 4 ส่วนย่อยดังนี้

5.4.1 ภาคจ่ายไฟและสร้างแรงดันอ้างอิง

ภาคจ่ายไปทั้งหมดจะใช้ไอซีเบอร์ LM317T เหมือนกับภาคควบคุมแบบดิจิตอล แต่ในภาคนี้จะสร้างแรงดันไว้ 3 ระดับ ดังนี้

IC1 สร้างแรงดัน +12 โวลต์

IC2 สร้างแรงดัน +5 โวลต์

IC3 สร้างแรงดัน +9 โวลต์ ส่งต่อไปเลี้ยงภาคควบคุมแบบดิจิตอล

ส่วนสร้างแรงดันอ้างอิงใช้ ไอซีเบอร์ MAX6350 ของบริษัท MAXIM รักษาระดับแรงดันอ้างอิงให้คงที่อยู่ที่ 5 โวลต์ เป็นแรงดันอ้างอิงให้กับภาค ADC และ DAC ความถูกต้องของการแปลงค่าจะขึ้นอยู่กับความราบเรียบของสัญญาณแรงดันอ้างอิงนี้ เพราะฉะนั้นไอซีที่ใช้ควรมีความถูกต้องค่อนข้างสูงและระดับสัญญาณรบกวนต่ำ ซึ่งไอซี MAX6350 มีความผิดพลาดเพียง 0.02 % สัญญาณรบกวนต่ำสามารถจ่ายไฟได้ 15 มิลลิแอมป์ พอเพียงสำหรับวงจรทั้งภาค ADC และ DAC

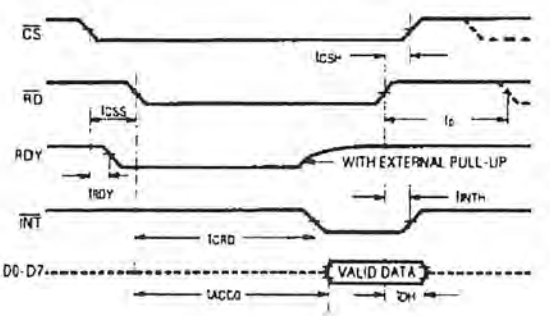
5.4.2 ภาคเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

ใช้ ไอซีเบอร์ MX7228 ของบริษัท MAXIM ไอซีนี้ต้องการไฟเลี้ยง +12 โวลต์ สามารถเลือกช่องสัญญาณที่จะแปลงค่าออกเป็นอนาลอกได้ 8 ช่องสัญญาณ โดยควบคุมจากขา A0, A1 และ A2 และค่าเอาต์พุทในแต่ละช่องสัญญาณจะมีการคงค่าค้างไว้ ข้อมูลจากบัสข้อมูลที่เป็นสัญญาณดิจิตอล จะถูกแปลงเป็นค่าอนาลอกในช่วงที่สัญญาณ WR\ = 0

5.4.3 ภาคเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

ไอซี MC74HC4051 เป็นไอซีเลือกช่องสัญญาณ (Multiplexer) 8 ช่องเลือก 1 ช่องสัญญาณตามค่าของตำแหน่ง

สัญญาณที่ถูกเลือกจะผ่านเข้ามายังไอซีMAX153 ซึ่งทำหน้าที่แปลงสัญญาณอนาลอก 0-5 โวลต์ เป็นสัญญาณดิจิตอล โดยไอซีนี้จะเริ่มทำงานเมื่อขา CS\ =0 และ RD\ = 0 เมื่อแปลงค่าเสร็จสัญญาณ INT จะเป็น 0 ซึ่งมี ไทม์มิงไดอะแกรม ดังนี้



รูปที่ 5.3 ไทม์มิงไดอะแกรมของภาค DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอซี MAX153 นี้ใช้ไปเลี้ยง 5.5 โวลต์ เนื่องจากป้องกันการแปลงค่าที่ผิดพลาดในช่วงแรงดันเข้าใกล้ 5 โวลต์

5.4.4 จุดเชื่อมต่อไฟและสัญญาณ (Connector)

CON1 เป็นจุดติดต่อสัญญาณกับภาคควบคุมแบบดิจิตอล

JB1 เป็นจุดรับไฟเข้า

JB2 เป็นจุดต่อไฟออก 5 โวลต์ และรับสัญญาณเข้าแบบอนาลอก

JB3 เป็นจุดต่อไฟอ้างอิง 5 โวลต์ และส่งสัญญาณออกแบบอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การเขียนโปรแกรมควบคุมการทำงานของบอร์ด

บอร์ดควบคุมในโครงงานนี้ ไม่มีหน่วยประมวลผลที่ทำหน้าที่ควบคุมการทำงาน อยู่บนบอร์ดแต่อาศัยหน่วยประมวลผลของคอมพิวเตอร์ในการสั่งงานและควบคุมการทำงานต่าง ๆ ของบอร์ดทั้งหมด ดังนั้นจึงจำเป็นต้องมีโปรแกรมที่ใช้ในการติดต่อสื่อสารระหว่างคอมพิวเตอร์กับบอร์ดควบคุม ในโครงงานนี้ได้ใช้ภาษาเดลไฟ(Delphi)ในการเขียนโปรแกรม เนื่องจากเป็นภาษาที่ทำงานบนระบบปฏิบัติการวินโดว์ (Windows) สามารถแสดงผลผลควบคุมการทำงานเป็นแบบกราฟฟิกทำให้น่าใช้ และเดลไฟยังเป็นภาษาที่พัฒนามาจากภาษาปาสคาล ซึ่งเป็นภาษาพื้นฐานที่อยู่ในหลักสูตรที่ได้เรียนรู้มาแล้ว

ส่วนซอร์สโค้ด (Source Code) ของโปรแกรมควบคุมการทำงานของบอร์ดนี้ ทางคณะผู้จัดทำได้รวบรวมไว้ในภาคผนวก

6.1 ตัวอย่างโปรแกรมที่ใช้ในการติดต่อกับพอร์ตขนาน

เนื่องจากภาษาเดลไฟไม่มีคำสั่งที่ใช้ในการติดต่อกับพอร์ต I/O ต่าง ๆ มาให้โดยตรงแต่สามารถแทรกคำสั่งที่เขียนด้วยภาษาแอสเซมบลีลงไปได้ โดยคำสั่งที่ใช้ติดต่อกับพอร์ต I/O จะเขียนด้วยภาษาแอสเซมบลีดังต่อไปนี้

```
Procedure Portout (IOAddr : Word ; Data : Byte);
begin
        asm
                mov dx,IOAddr;
                mov al,Data;
                out dx,al;
        end;
end;
Function Portin (IOAddr : Word) : Byte;
begin
        asm
                mov dx,IOAddr;
                In al,dx;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            mov result,al;
        end;
    end;
```

ตัวอย่างการเรียกใช้งาน

```
var D,Datain : Byte;
begin
```

PortOut ($378, $10);

หมายความว่า ให้ส่งค่า 00010000_2 ออกไปยังรีจิสเตอร์ข้อมูล (Data Register) ของพอร์ต LPT1

PortOut ($279,$72);

หมายความว่า ให้ส่งค่า 01110010_2 ออกไปยังรีจิสเตอร์สถานะ (Status Register) ของพอร์ต LPT2

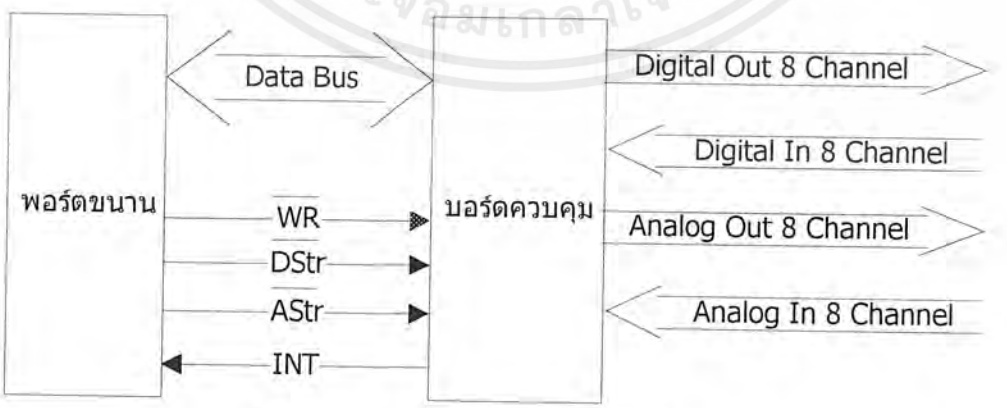
D := PortIn ($37A);

หมายความว่า ให้รับค่าจากรีจิสเตอร์ควบคุม (Control Register) ของพอร์ต LPT1 มาเก็บไว้ในตัวแปรอิสระ D

DataIn := PortIn ($278);

หมายความว่า ให้รับค่าจากรีจิสเตอร์ข้อมูล (Data Register) ของพอร์ต LPT2 มาเก็บไว้ในตัวแปรอิสระ DataIn

6.2 สายสัญญาณที่ใช้ในการติดต่อระหว่างพอร์ตขนานกับบอร์ดควบคุม



รูปที่ 6.1 สายสัญญาณของพอร์ตขนานที่นำมาใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สายสัญญาณบัสข้อมูลมีทั้งหมด 8 เส้น เป็นสายสัญญาณ 2 ทิศทาง สามารถใช้รับหรือส่งข้อมูลต่างเวลากันได้

สายสัญญาณ WR\ เป็นสายควบคุมสถานะของบอร์ด

ถ้า WR\ = 1 คอมพิวเตอร์สั่งให้บอร์ดส่งข้อมูลออกมาไว้ที่บัสข้อมูล

ถ้า WR\ = 0 คอมพิวเตอร์สั่งให้บอร์ดเตรียมรับข้อมูลจากบัสข้อมูล (สถานะปกติ)

สายสัญญาณ DStr\ เป็นสายควบคุมการรับหรือส่งข้อมูลบนบัสข้อมูล

ถ้า DStr\ = 1 ไม่มีการรับหรือส่งข้อมูลในบัสข้อมูล (สถานะปกติ)

ถ้า DStr\ = 0 คอมพิวเตอร์จะรับข้อมูลจากบัสข้อมูลเข้ามา ถ้า WR\ = 1

บอร์ดจะรับข้อมูลจากบัสข้อมูลเข้ามา ถ้า WR\ = 0

สายสัญญาณ AStr\ เป็นสายควบคุมการรับหรือส่งข้อมูลตำแหน่งบนบอร์ด

ถ้า AStr\ = 1 ไม่มีการรับหรือส่งข้อมูลตำแหน่ง (สถานะปกติ)

ถ้า AStr\ = 0 คอมพิวเตอร์จะส่งให้บอร์ดรับค่าตำแหน่งที่ต้องการติดต่อจากบัสข้อมูลเข้าไป

สายสัญญาณ INT เป็นสายสัญญาณบอกสถานะของการแปลงขอมูลของภาค ADC

ถ้า INT = 1 ภาค ADC พร้อมที่จะแปลงข้อมูลหรือข้อมูลกำลังถูกแปลงอยู่ (สถานะปกติ)

ถ้า INT =0 ภาค ADC แปลงข้อมูลเสร็จเรียบร้อยแล้ว ข้อมูลจะอยู่ที่บัสข้อมูลให้คอมพิวเตอร์รับค่าไปประมวลผลต่อไป

6.3 ขั้นตอนการตั้งค่าเริ่มต้นให้กับบอร์ด

เพื่อให้บอร์ดทำงานได้อย่างถูกต้องเริ่มต้นจำเป็นต้องตั้งค่าเริ่มต้น ซึ่งได้ขั้นตอนดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.2 ขั้นตอนการเก็บค่าเริ่มต้นให้กับบอร์ด

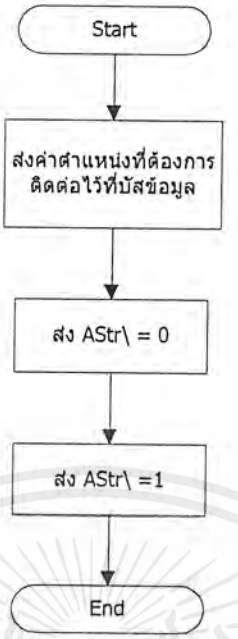
6.4 ขั้นตอนการเลือกตำแหน่งของอุปกรณ์บนบอร์ด

เนื่องจากบอร์ดมีหลายช่องสัญญาณ แต่บัสข้อมูลของคอมพิวเตอร์มีเพียง 1 ช่องสัญญาณ (8 บิต) ดังนั้นภายในบอร์ดจึงต้องมีวงจรเลือกช่องสัญญาณ โดยเริ่มแรกคอมพิวเตอร์ต้องส่งค่าตำแหน่งของอุปกรณ์บนบอร์ดที่ต้องการติดต่อมาให้บอร์ดก่อนตำแหน่งของอุปกรณ์บนบอร์ดมีดังนี้

ภาค	ตำแหน่ง
Digital Out	00h
Digital In	01h
Control Port	03h
Analog Out	70h – 77h
Analog In	10h – 17h

ตารางที่ 6.1 ค่าตำแหน่งของภาคต่าง ๆ บนบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.3 ขั้นตอนการเลือกตำแหน่งของอุปกรณ์บนบอร์ด

6.5 ขั้นตอนการส่งข้อมูลออกภาคดิจิตอลและภาคอนาลอก

รูปที่ 6.4 ขั้นตอนการส่งข้อมูลออกภาคดิจิตอลและภาคอนาลอก

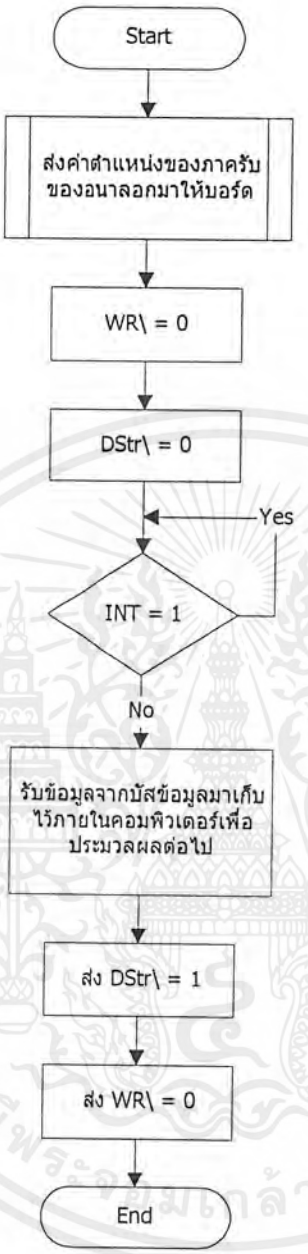
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.6 ขั้นตอนการรับข้อมูลจากภาคดิจิตอล

รูปที่ 6.5 ขั้นตอนการรับข้อมูลจากภาคดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.7 ขั้นตอนการรับข้อมูลจากภาคอนาลอก



รูปที่ 6.6 ขั้นตอนการรับข้อมูลจากภาคอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
วิจารณ์และสรุปผล

7.1 ภาคส่งค่าแบบอนาลอก (DAC)

7.1.1 วิธีการทดสอบการทำงานของภาคส่งค่าแบบอนาลอก

เราจะส่งค่าแบบอนาลอกที่เป็นแรงดันออกมาจากบอร์ดควบคุมออกมาทุกช่องสัญญาณและได้ใช้ดิจิตอลโวลต์มิเตอร์วัดค่าแรงดันที่ส่งออกมาแล้วนำมาหาค่าความผิดพลาดเฉลี่ยที่เป็นเปอร์เซ็นต์ แล้วจึงนำค่าเปอร์เซ็นต์ความผิดพลาดมาวิเคราะห์ความผิดพลาดว่ายอมรับได้หรือไม่

7.1.2 ผลทดสอบการทำงานของภาคส่งค่าแบบอนาลอก

ค่าส่งออกจากบอร์ด (โวลต์)	ค่าที่วัดได้จากดิจิตอลโวลต์มิเตอร์ (โวลต์)									เปอร์เซ็นต์ผิดพลาดเฉลี่ย (%)
	Ch0	Ch1	Ch2	Ch3	Ch4	Ch5	Ch6	Ch7	เฉลี่ย	
0	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.000	**0.00**
0.508	0.51	0.51	0.50	0.51	0.50	0.51	0.51	0.51	0.508	**0.00**
1.016	1.01	1.02	1.01	1.02	1.01	1.01	1.02	1.02	1.015	**0.02**
1.504	1.50	1.51	1.50	1.51	1.50	1.50	1.51	1.50	1.504	**0.00**
2.012	2.01	2.01	2.00	2.01	2.01	2.01	2.02	2.01	2.010	**0.04**
2.5	2.49	2.49	2.49	2.49	2.49	2.49	2.5	2.5	2.491	**0.15**
3.008	3.00	3.00	3.00	3.00	3.00	3.00	3.01	3.01	3.003	**0.02**
3.496	3.49	3.49	3.48	3.49	3.49	3.49	3.5	3.5	3.491	**0.10**
4.004	3.99	4.00	3.99	4.00	4.00	4.00	4.00	4.00	3.998	**0.13**
4.512	4.5	4.51	4.50	4.51	4.50	4.50	4.51	4.51	4.505	**0.14**
4.980	4.97	4.98	4.97	4.98	4.97	4.97	4.98	4.98	4.975	**0.10**

ตารางที่ 7.1 ผลทดสอบการทำงานของภาคส่งค่าแบบอนาลอก

ข้อมูลของดิจิตอลโวลต์มิเตอร์ที่ใช้

ยี่ห้อ Mastech รุ่น m-830b , ย่านที่ใช้วัด 20 Vdc

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทดสอบวัด Vref ค่าจริง 5.000 โวลต์ อ่านได้ = 4.99 โวลต์

ทดสอบวัด Ground ค่าจริง 0.000 โวลต์ อ่านได้ = 0.00 โวลต์

7.1.3 สรุปผลการทำงานของภาคส่งแบบอนาลอก

ค่าสัญญาณที่ส่งออกมาเกิดความผิดพลาดไม่เกินค่าที่กำหนดไว้คือ 2 % จึงสามารถยอมรับค่าความผิดพลาดที่เกิดขึ้นได้

7.2 ภาครับค่าแบบอนาลอก (ADC)

7.2.1 การทดสอบการทำงานของภาครับค่าแบบอนาลอก

ทดสอบโดยส่งค่าอนาลอกที่เป็นแรงดันจากภายนอกเข้าไป แล้วให้บอร์ดควบคุมเป็นตัวรับค่าอนาลอกที่เป็นแรงดันแล้วนำมาบันทึกผล โดยจะใช้ทุกช่องสัญญาณเป็นตัวรับค่าแบบอนาลอก และวัดความผิดพลาดของแต่ละช่องสัญญาณและนำมาหาค่าความผิดพลาดเฉลี่ยแล้วจึงนำมาคิดเป็นเปอร์เซ็นต์ แล้วจึงนำค่าเปอร์เซ็นต์ความผิดพลาดเฉลี่ยมาวิเคราะห์ความผิดพลาดว่ายอมรับได้หรือไม่

7.2.2 ผลทดสอบการทำงานของภาครับค่าแบบอนาลอก

ค่าส่งเข้าบอร์ด (โวลต์)	ค่าที่บอร์ดอ่านได้ (โวลต์)									เปอร์เซ็นต์ผิดพลาดเฉลี่ย (%)
	Ch0	Ch1	Ch2	Ch3	Ch4	Ch5	Ch6	Ch7	เฉลี่ย	
0	0.000	0.000	0.000	0.000	0.000	0.000	0.000	0.000	0.000	**0.00**
0.51	0.488	0.488	0.508	0.488	0.488	0.508	0.488	0.488	0.493	**0.34**
1.00	0.977	0.977	0.977	0.996	0.977	0.996	0.977	0.977	0.982	**0.37**
1.50	1.484	1.484	1.504	1.484	1.484	1.484	1.484	1.484	1.487	**0.27**
2.03	1.992	1.992	2.012	1.992	1.992	1.992	2.012	1.992	1.997	**0.66**
2.51	2.480	2.500	2.480	2.480	2.480	2.500	2.500	2.480	2.488	**0.45**
2.99	2.969	2.969	2.969	2.969	2.969	2.949	2.969	2.969	2.967	**0.47**
3.49	3.477	3.477	3.477	3.477	3.477	3.477	3.457	3.457	3.472	**0.36**
3.99	3.965	3.965	3.965	3.965	3.965	3.984	3.984	3.965	3.970	**0.41**
4.52	4.492	4.492	4.492	4.492	4.492	4.492	4.512	4.492	4.495	**0.51**
4.98	4.961	4.961	4.961	4.961	4.961	4.961	4.961	4.961	4.961	**0.38**

ตารางที่ 7.2 ผลทดสอบการทำงานของภาครับค่าแบบอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลของดิจิตอลโวลต์มิเตอร์ที่ใช้

ยี่ห้อ Mastech รุ่น m-830b , ย่านที่ใช้วัด 20 Vdc

ทดสอบวัด Vref ค่าจริง 5.000 โวลต์ อ่านได้ = 4.99 โวลต์

ทดสอบวัด Ground ค่าจริง 0.000 โวลต์ อ่านได้ = 0.00 โวลต์

7.2.3 สรุปผลการทำงานของภาครับค่าแบบอนาลอก

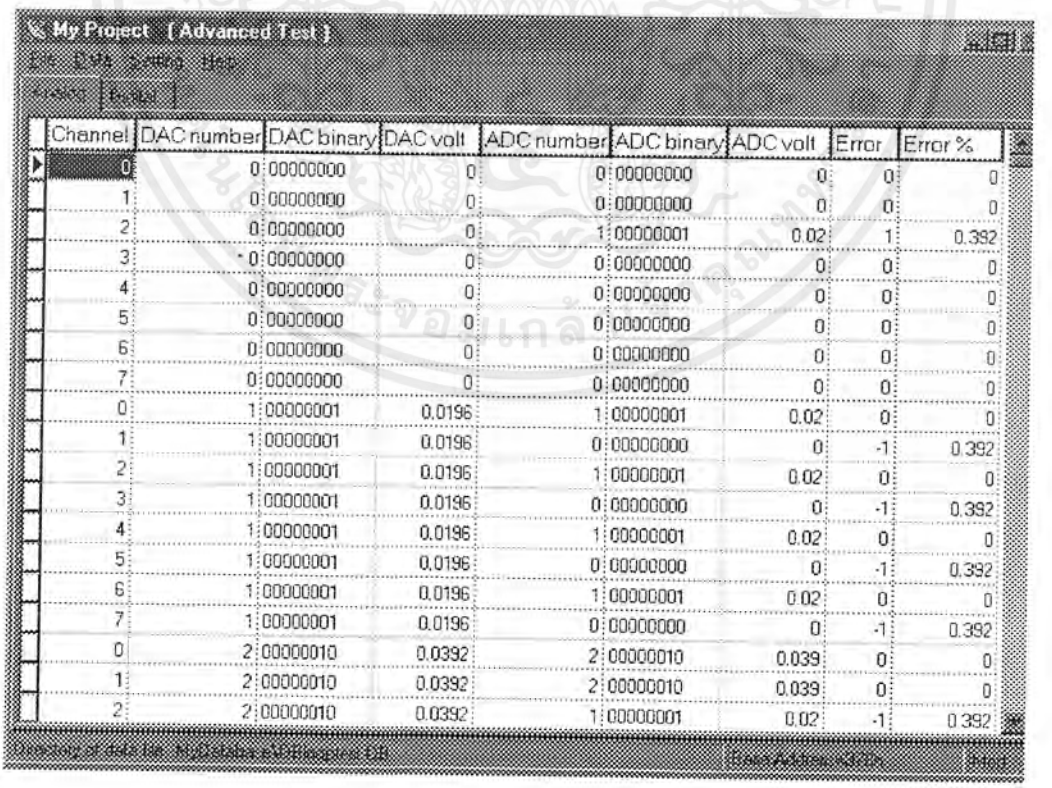
ค่าที่วัดได้จากค่าสัญญาณที่รับจากภายนอกเข้าไปเกิดความผิดพลาดไม่เกินค่าที่กำหนดไว้คือ 2 % จึงสามารถยอมรับค่าความผิดพลาดที่เกิดขึ้นได้

7.3 การทำงานรวมของภาคอนาลอก (ADC และ DAC)

7.3.1 การทดสอบการทำงานโดยรวมของภาคอนาลอก

ทดสอบโดยการเชื่อมสายไฟจากช่องสัญญาณทางภาคส่งค่าแบบอนาลอกให้ต่อกับช่องสัญญาณรับค่าแบบอนาลอกโดยเชื่อมสายทุกช่องสัญญาณ แล้วจึงสั่งให้โปรแกรมส่งค่าออกมาแล้วจึงวัดค่าที่ส่งออกมาโดยใช้ช่องสัญญาณทางภาครับค่าแบบอนาลอก แล้วนำค่าที่ส่งออกมาและค่าที่รับเข้าไปนำไปเปรียบเทียบกันหาค่าความผิดพลาดที่เกิดขึ้น

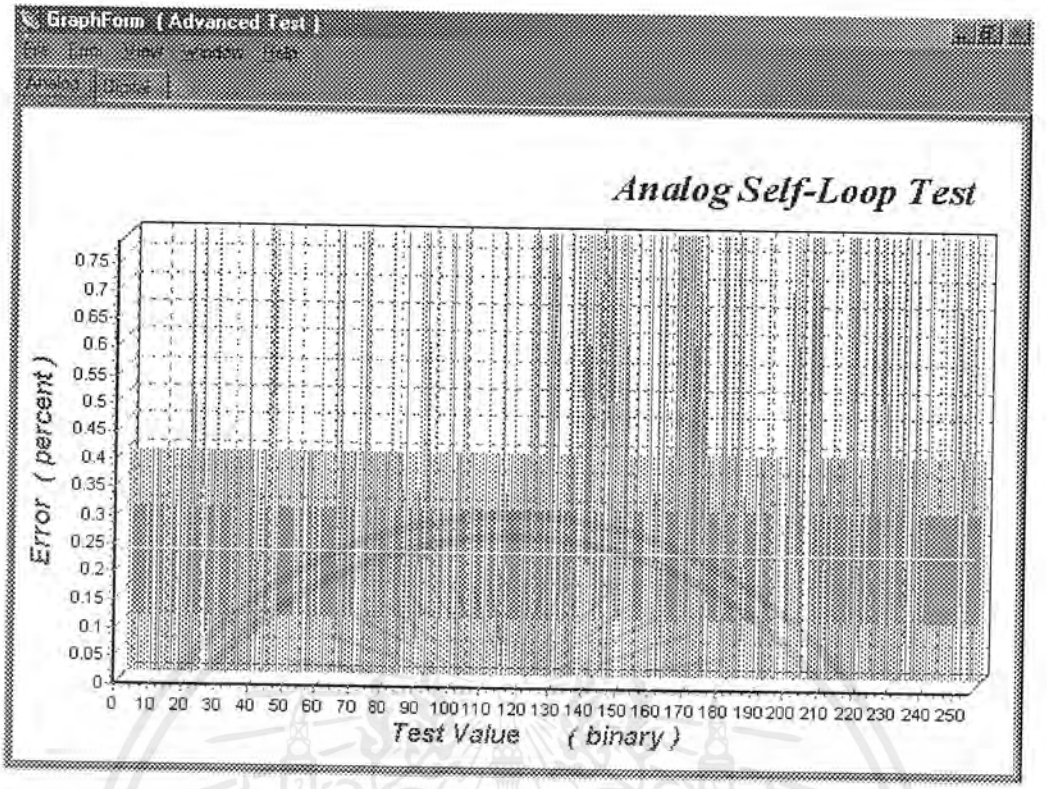
7.3.2 ผลทดสอบการทำงานโดยรวมของภาคอนาลอก



Channel	DAC number	DAC binary	DAC volt	ADC number	ADC binary	ADC volt	Error	Error %
0	0	00000000	0	0	00000000	0	0	0
1	0	00000000	0	0	00000000	0	0	0
2	0	00000000	0	1	00000001	0.02	1	0.392
3	0	00000000	0	0	00000000	0	0	0
4	0	00000000	0	0	00000000	0	0	0
5	0	00000000	0	0	00000000	0	0	0
6	0	00000000	0	0	00000000	0	0	0
7	0	00000000	0	0	00000000	0	0	0
0	1	00000001	0.0196	1	00000001	0.02	0	0
1	1	00000001	0.0196	0	00000000	0	-1	0.392
2	1	00000001	0.0196	1	00000001	0.02	0	0
3	1	00000001	0.0196	0	00000000	0	-1	0.392
4	1	00000001	0.0196	1	00000001	0.02	0	0
5	1	00000001	0.0196	0	00000000	0	-1	0.392
6	1	00000001	0.0196	1	00000001	0.02	0	0
7	1	00000001	0.0196	0	00000000	0	-1	0.392
0	2	00000010	0.0392	2	00000010	0.039	0	0
1	2	00000010	0.0392	2	00000010	0.039	0	0
2	2	00000010	0.0392	1	00000001	0.02	-1	0.392

รูปที่ 7.1 รูปแสดงผลการทดสอบรวมของภาคอนาลอก

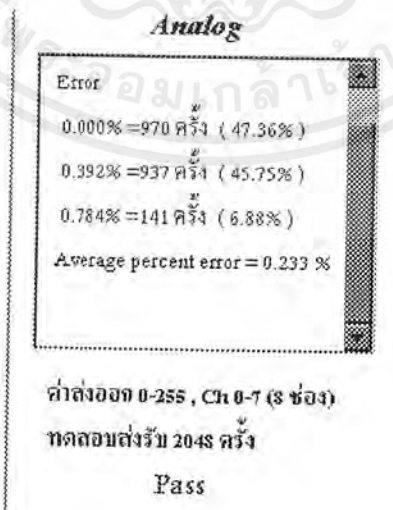
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.2 กราฟแสดงค่าเปอร์เซ็นต์ความผิดพลาดของภาคอนาลอก

7.3.3 สรุปผลการทำงานโดยรวมของภาคอนาลอก

ค่าความผิดพลาดที่เกิดขึ้นจากการส่งค่าออกมาทางคอมพิวเตอร์และรับค่าที่ส่งออกมาเข้าไปเป็นเกิดความผิดพลาดไม่เกินค่าที่กำหนดไว้คือ 2 % จึงสามารถยอมรับค่าความผิดพลาดที่เกิดขึ้นได้ ดังรูปที่ 7.3



รูปที่ 7.3 สรุปผลการทดสอบของภาคอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

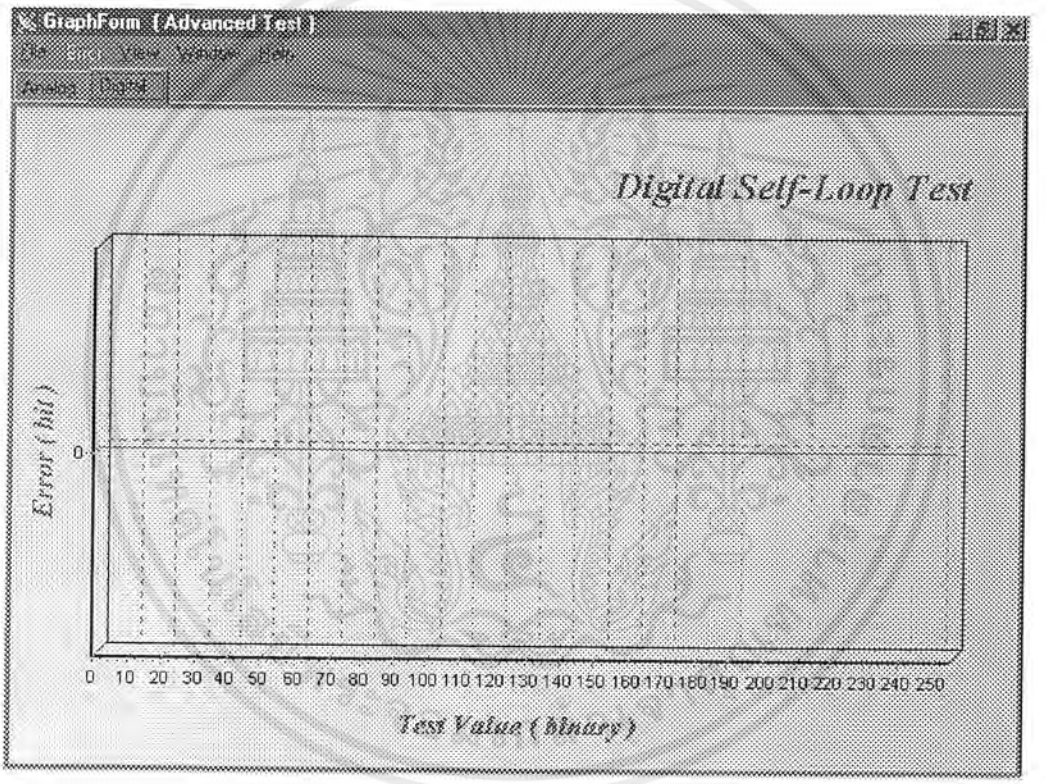
7.4 การทำงานรวมของภาคดิจิตอล

7.4.1 การทดสอบการทำงานโดยรวมของภาคดิจิตอล

ทดสอบโดยการเชื่อมสายไฟจากช่องสัญญาณทางภาคส่งค่าแบบดิจิตอลให้ต่อกับช่องสัญญาณรับค่าแบบดิจิตอล โดยเชื่อมสายทุกช่องสัญญาณแล้วจึงสั่งให้โปรแกรมส่งค่าออกมาแล้วจึงวัดค่าที่ส่งออกมาโดยใช้ช่องสัญญาณทางภาครับค่าแบบดิจิตอล แล้วนำค่าที่ส่งออกมาและค่าที่รับเข้าไปนำไปเปรียบเทียบกันหาค่าความผิดพลาดที่เกิดขึ้น

7.4.2 ผลทดสอบการทำงานโดยรวมของภาคดิจิตอล

จากการทดสอบการทำงานรวมของภาคดิจิตอลนั้นไม่เกิดความผิดพลาดขึ้น

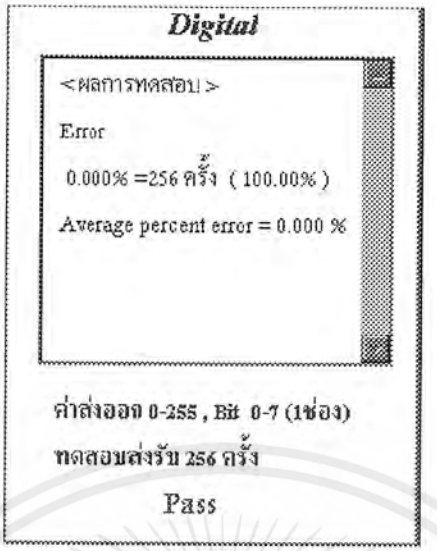


รูปที่ 7.4 กราฟแสดงค่าความผิดพลาดของภาคดิจิตอลเป็นบิต

7.4.3 สรุปผลการทำงานโดยรวมของภาคดิจิตอล

เนื่องจากในภาคดิจิตอลไม่เกิดค่าความผิดพลาด เพราะฉะนั้นจึงสามารถนำไปใช้งานจริงได้ ดังรูปที่ 7.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.6 สรุปผลการทดสอบของภาคดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

82C55A
CHMOS PROGRAMMABLE PERIPHERAL INTERFACE

- **Compatible with all Intel and Most Other Microprocessors**
- **High Speed, "Zero Wait State" Operation with 8 MHz 8086/88 and 80186/188**
- **24 Programmable I/O Pins**
- **Low Power CHMOS**
- **Completely TTL Compatible**
- **Control Word Read-Back Capability**
- **Direct Bit Set/Reset Capability**
- **2.5 mA DC Drive Capability on all I/O Port Outputs**
- **Available in 40-Pin DIP and 44-Pin PLCC**
- **Available in EXPRESS**
  - **Standard Temperature Range**
  - **Extended Temperature Range**

The Intel 82C55A is a high-performance, CHMOS version of the industry standard 8255A general purpose programmable I/O device which is designed for use with all Intel and most other microprocessors. It provides 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. The 82C55A is pin compatible with the NMOS 8255A and 8255A-5.

In MODE 0, each group of 12 I/O pins may be programmed in sets of 4 and 8 to be inputs or outputs. In MODE 1, each group may be programmed to have 8 lines of input or output. 3 of the remaining 4 pins are used for handshaking and interrupt control signals. MODE 2 is a strobed bi-directional bus configuration.

The 82C55A is fabricated on Intel's advanced CHMOS III technology which provides low power consumption with performance equal to or greater than the equivalent NMOS product. The 82C55A is available in 40-pin DIP and 44-pin plastic leaded chip carrier (PLCC) packages.

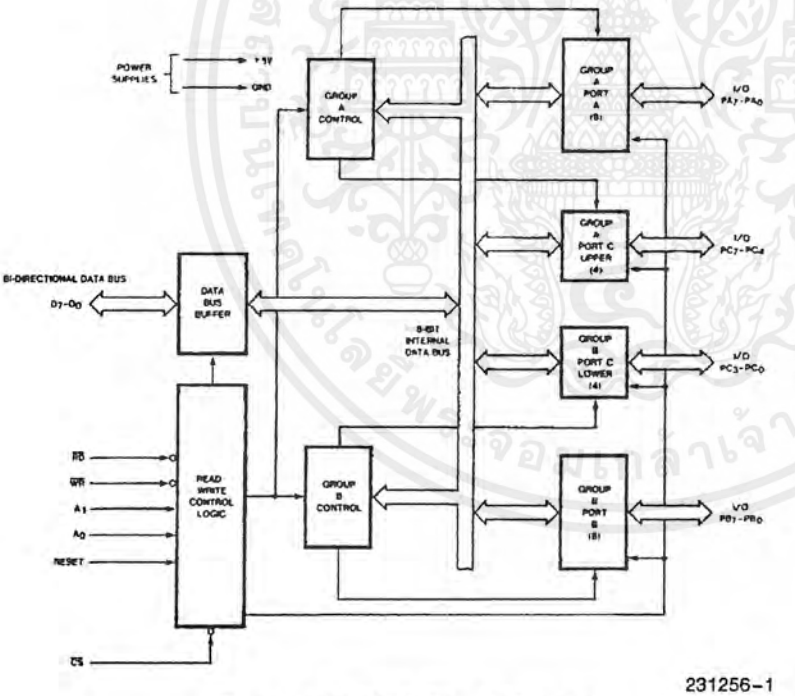
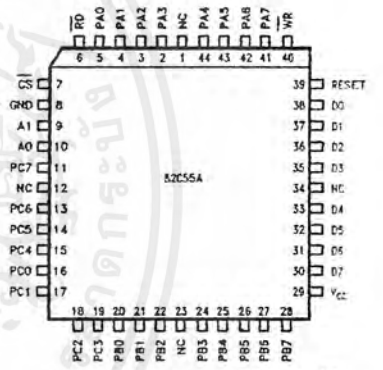


Figure 1. 82C55A Block Diagram



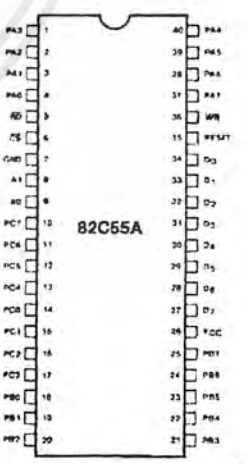


Figure 2. 82C55A Pinout

Diagrams are for pin reference only. Package sizes are not to scale.

เอกสารนี้ใช้เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

Table 1. Pin Description

Symbol	Pin Number Dip	Pin Number PLCC	Type	Name and Function
PA_{3-0}	1–4	2–5	I/O	**PORT A, PINS 0–3:** Lower nibble of an 8-bit data output latch/ buffer and an 8-bit data input latch.
$\overline{RD}$	5	6	I	**READ CONTROL:** This input is low during CPU read operations.
$\overline{CS}$	6	7	I	**CHIP SELECT:** A low on this input enables the 82C55A to respond to $\overline{RD}$ and $\overline{WR}$ signals. $\overline{RD}$ and WR are ignored otherwise.
GND	7	8		**System Ground**
A_{1-0}	8–9	9–10	I	**ADDRESS:** These input signals, in conjunction $\overline{RD}$ and $\overline{WR}$, control the selection of one of the three ports or the control word registers.

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	Input Operation (Read)
0	0	0	1	0	Port A - Data Bus
0	1	0	1	0	Port B - Data Bus
1	0	0	1	0	Port C - Data Bus
1	1	0	1	0	Control Word - Data Bus
					Output Operation (Write)
0	0	1	0	0	Data Bus - Port A
0	1	1	0	0	Data Bus - Port B
1	0	1	0	0	Data Bus - Port C
1	1	1	0	0	Data Bus - Control
					Disable Function
X	X	X	X	1	Data Bus - 3 - State
X	X	1	1	0	Data Bus - 3 - State

PC_{7-4}	10–13	11,13–15	I/O	**PORT C, PINS 4–7:** Upper nibble of an 8-bit data output latch/ buffer and an 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.
PC_{0-3}	14–17	16–19	I/O	**PORT C, PINS 0–3:** Lower nibble of Port C.
PB_{0-7}	18–25	20–22, 24–28	I/O	**PORT B, PINS 0–7:** An 8-bit data output latch/buffer and an 8-bit data input buffer.
V_{CC}	26	29		**SYSTEM POWER:** + 5V Power Supply.
D_{7-0}	27–34	30–33, 35–38	I/O	**DATA BUS:** Bi-directional, tri-state data bus lines, connected to system data bus.
RESET	35	39	I	**RESET:** A high on this input clears the control register and all ports are set to the input mode.
$\overline{WR}$	36	40	I	**WRITE CONTROL:** This input is low during CPU write operations.
PA_{7-4}	37–40	41–44	I/O	**PORT A, PINS 4–7:** Upper nibble of an 8-bit data output latch/ buffer and an 8-bit data input latch.
NC		1, 12, 23, 34		No Connect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

82C55A FUNCTIONAL DESCRIPTION

General

The 82C55A is a programmable peripheral interface device designed for use in Intel microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 82C55A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 82C55A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 82C55A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 82C55A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A - Port A and Port C upper (C7-C4)
Control Group B - Port B and Port C lower (C3-C0)

The control word register can be both written and read as shown in the address decode table in the pin descriptions. Figure 6 shows the control word format for both Read and Write operations. When the control word is read, bit D7 will always be a logic "1", as this implies control word mode information.

Ports A, B, and C

The 82C55A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 82C55A.

Port A. One 8-bit data output latch/buffer and one 8-bit input latch buffer. Both "pull-up" and "pull-down" bus hold devices are present on Port A.

Port B. One 8-bit data input/output latch/buffer. Only "pull-up" bus hold devices are present on Port B.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B. Only "pull-up" bus hold devices are present on Port C.

See Figure 4 for the bus-hold circuit configuration for Port A, B, and C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

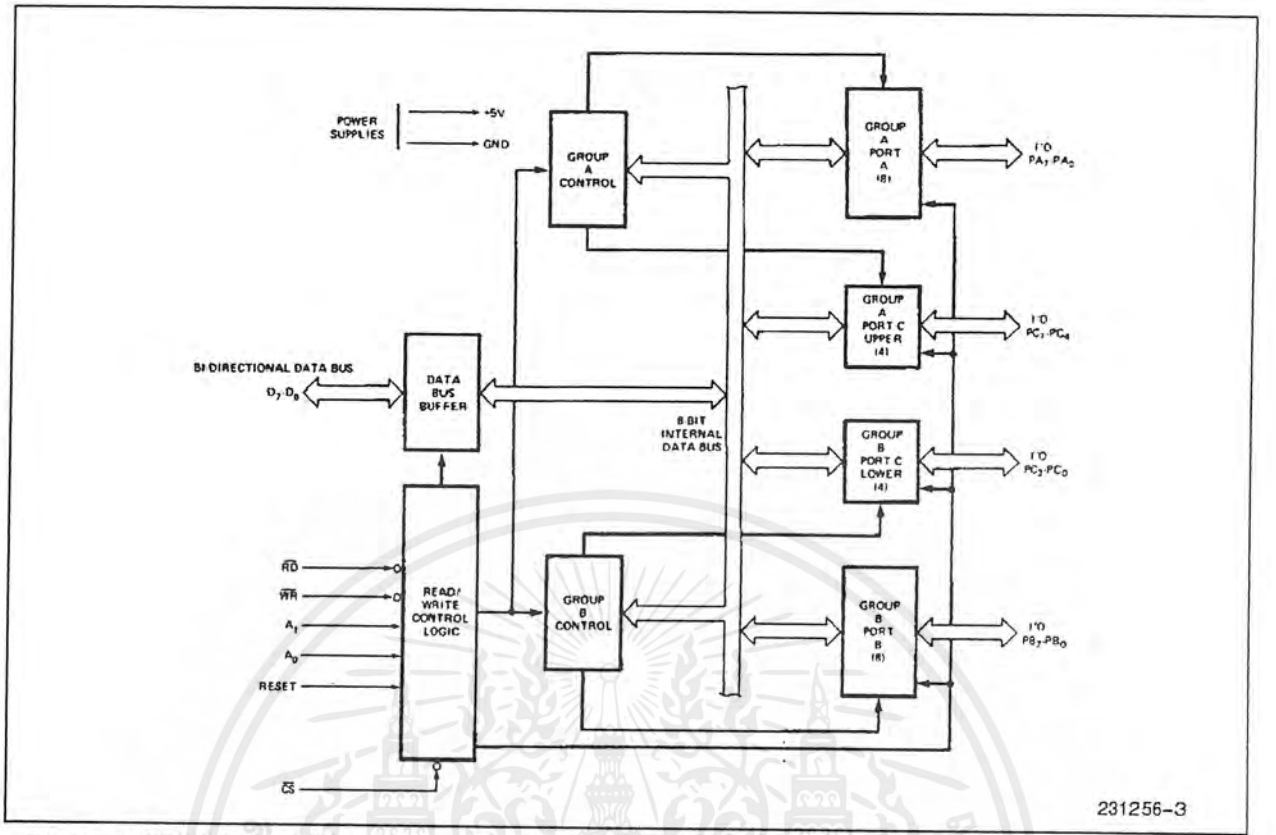
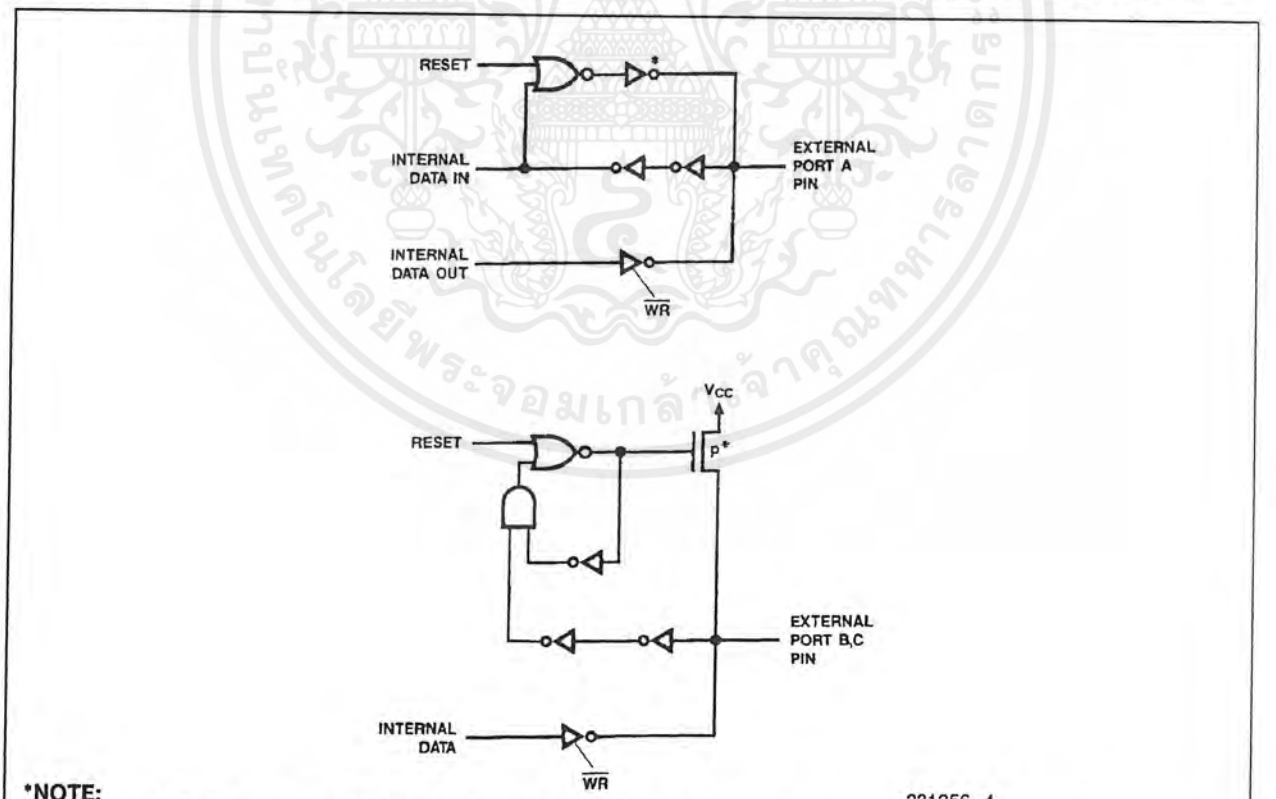


Figure 3. 82C55A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions



***NOTE:**
Port pins loaded with more than 20 pF capacitance may not have their logic level guaranteed following a hardware reset.

Figure 4. Port A, B, C, Bus-hold Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

82C55A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic input/output
Mode 1 — Strobed Input/output
Mode 2 — Bi-directional Bus

When the reset input goes "high" all ports will be set to the input mode with all 24 port lines held at a logic "one" level by the internal bus hold devices (see Figure 4 Note). After the reset is removed the 82C55A can remain in the input mode with no additional initialization required. This eliminates the need for pullup or pulldown devices in "all CMOS" designs. During the execution of the system program, any of the other modes may be selected by using a single output instruction. This allows a single 82C55A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

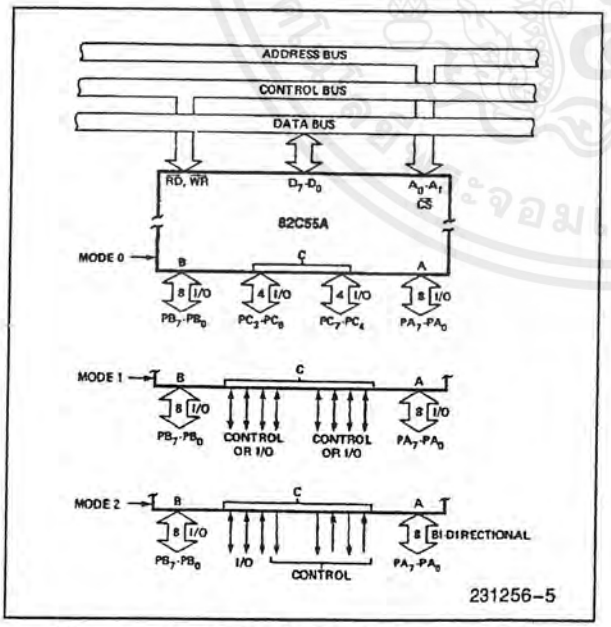


Figure 5. Basic Mode Definitions and Bus Interface

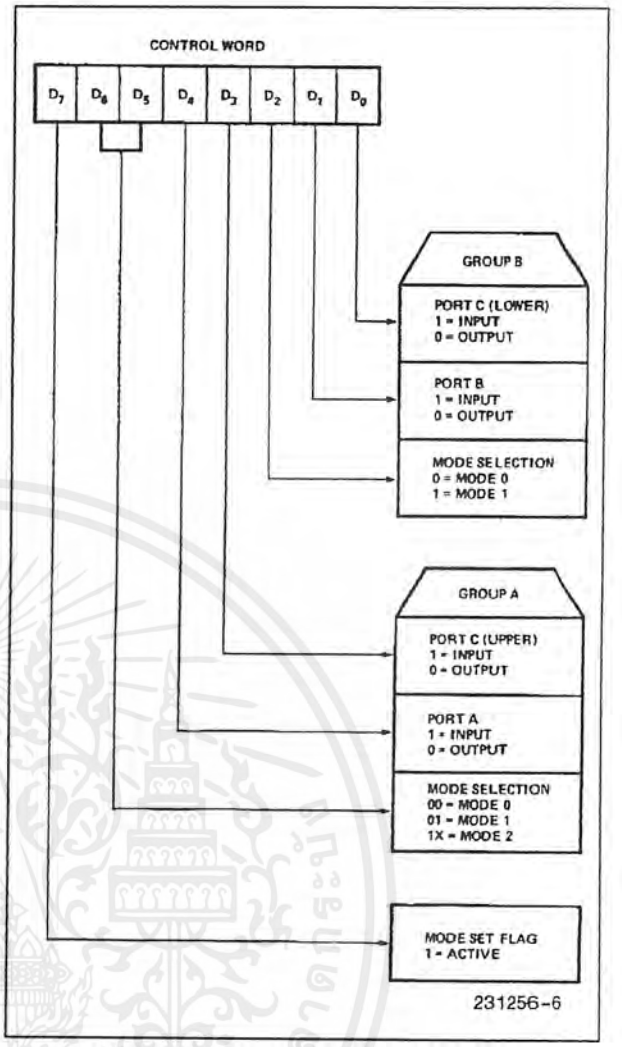


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 82C55A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

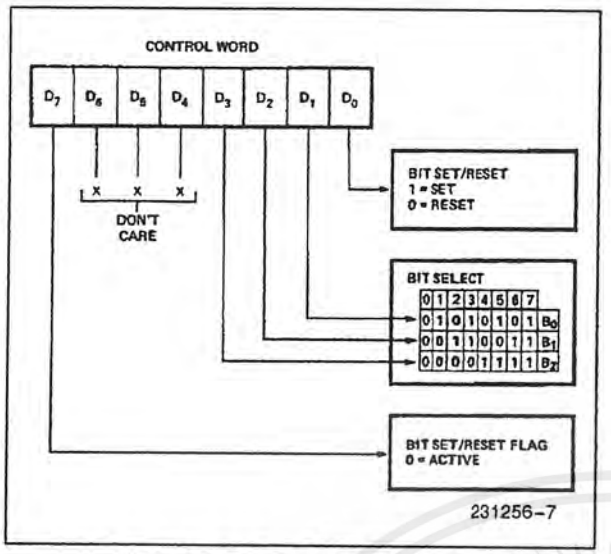


Figure 7. Bit Set/Reset Format

Interrupt Control Functions

When the 82C55A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET)—INTE is SET—Interrupt enable
(BIT-RESET)—INTE is RESET—Interrupt disable

Note:
All Mask flip-flops are automatically reset during mode selection and device Reset.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

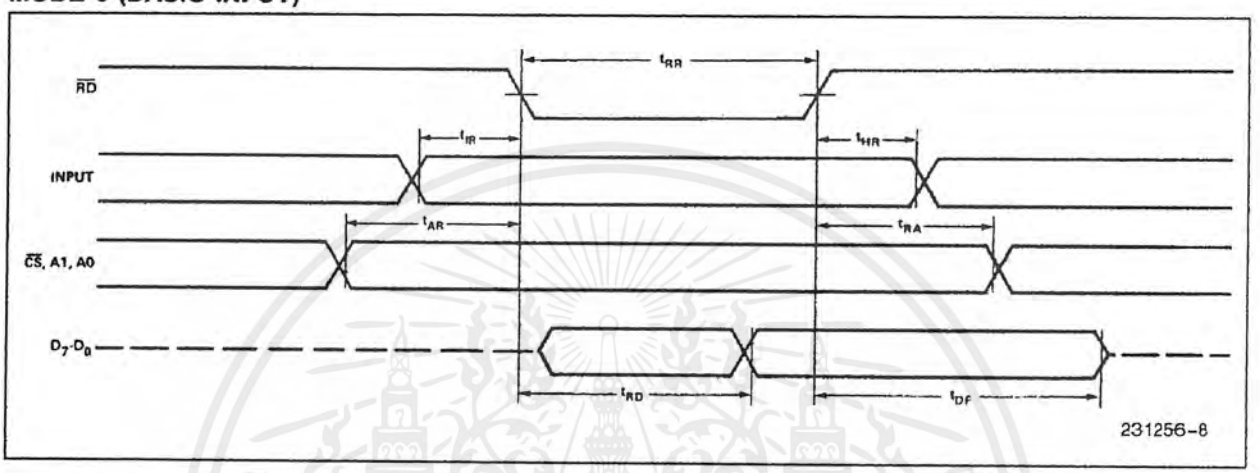
Operating Modes

Mode 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

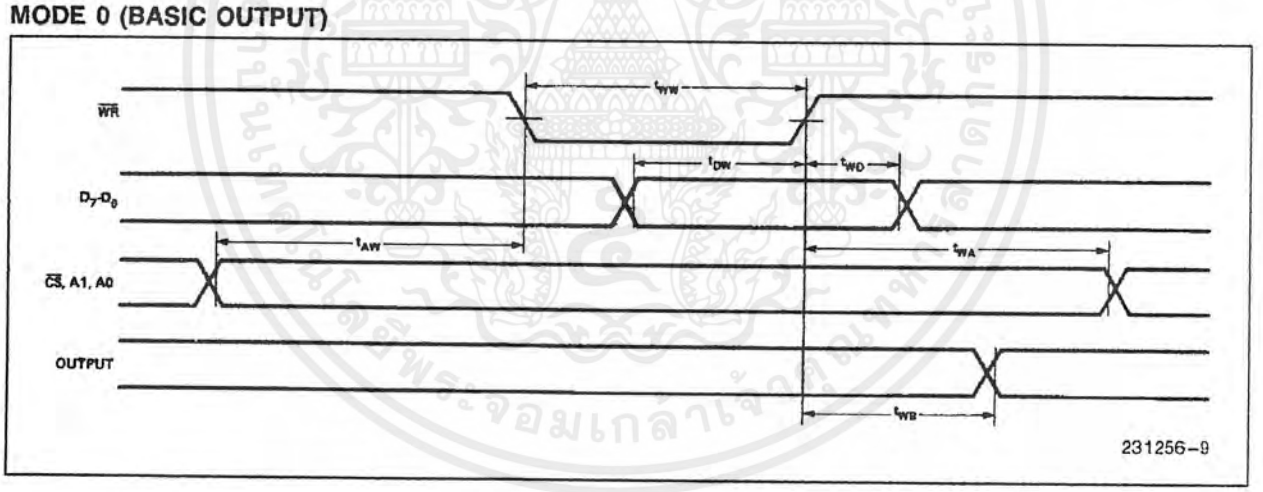
Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.

MODE 0 (BASIC INPUT)



MODE 0 (BASIC OUTPUT)

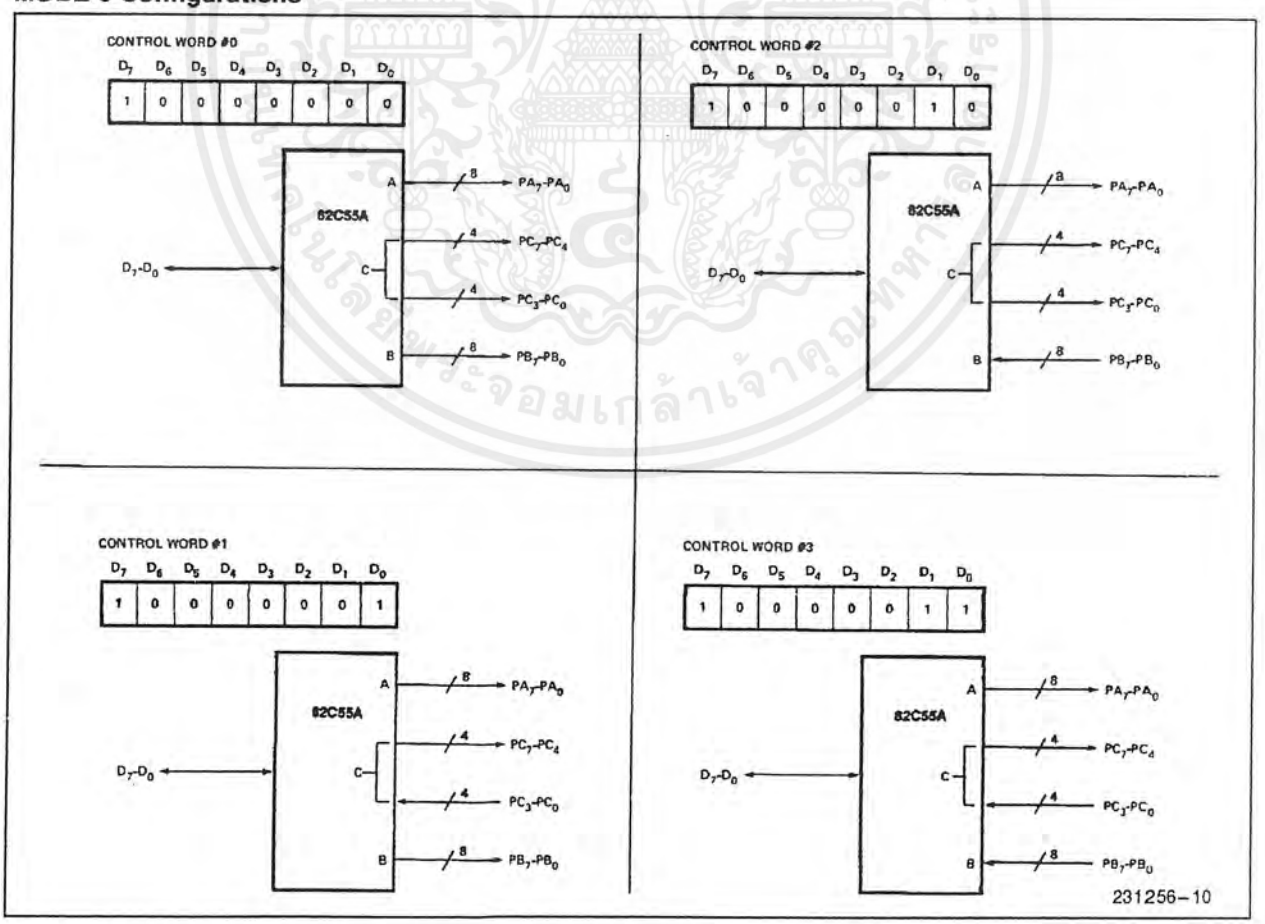


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Port Definition

A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations

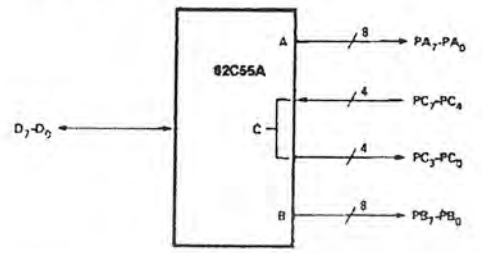


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Configurations (Continued)

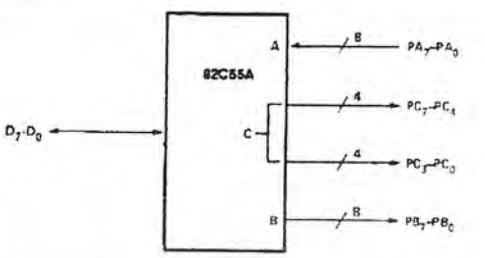
CONTROL WORD #4

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	0



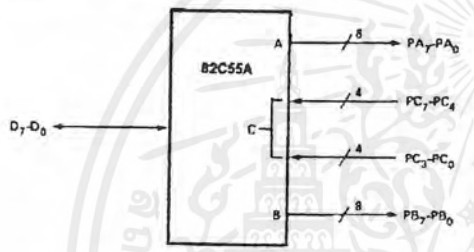
CONTROL WORD #8

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	0



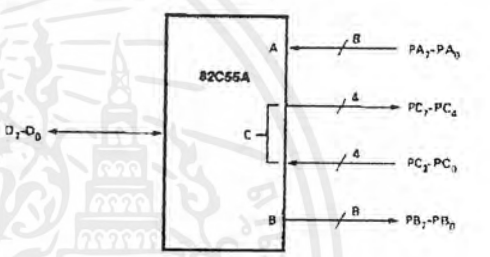
CONTROL WORD #5

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	1



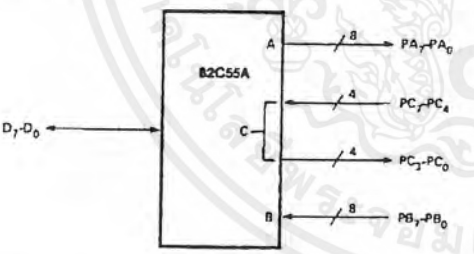
CONTROL WORD #9

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	1



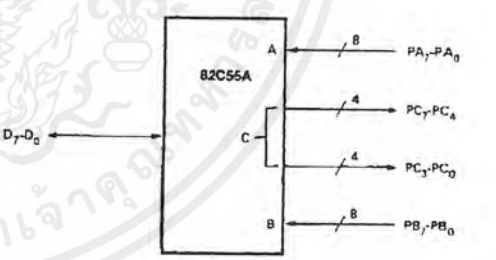
CONTROL WORD #6

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	0



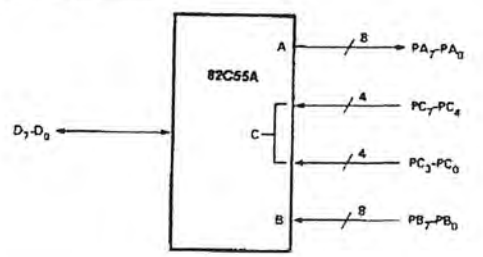
CONTROL WORD #10

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	0



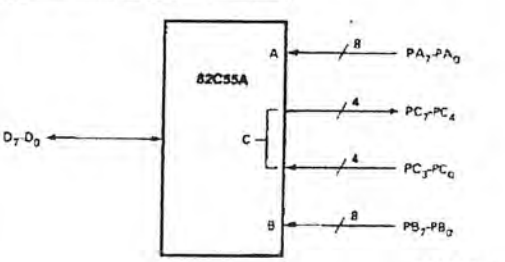
CONTROL WORD #7

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	1



CONTROL WORD #11

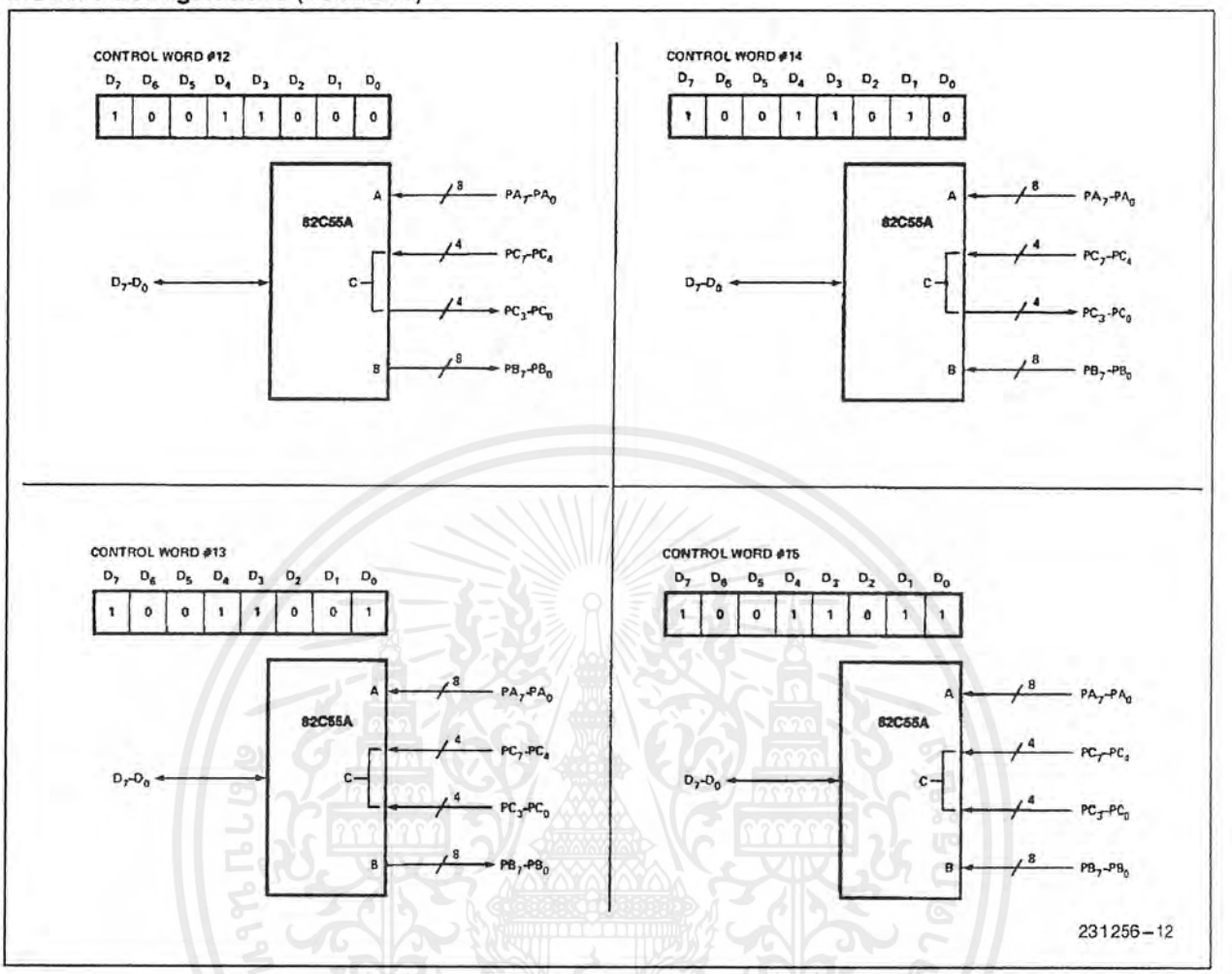
D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	1



231256-11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Configurations (Continued)



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, Port A and Port B use the lines on Port C to generate or accept these "handshaking" signals.

Mode 1 Basic functional Definitions:

- Two Groups (Group A and Group B).
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-4740; Rev 1; 10/93

MAXIM

1Msps, µP-Compatible, 8-Bit ADC with 1µA Power-Down

General Description

The MAX153 high-speed, microprocessor (µP)-compatible, 8-bit analog-to-digital converter (ADC) uses a half-flash technique to achieve a 660ns conversion time, and digitizes at a rate of 1M samples per second (Msps). It operates with single +5V or dual ±5V supplies and accepts either unipolar or bipolar inputs. A $\overline{\text{POWER-DOWN}}$ pin reduces current consumption to a typical value of 1µA (with 5V supply). The part returns from power-down to normal operating mode in less than 200ns, providing large reductions in supply current in applications with burst-mode input signals.

The MAX153 is DC and dynamically tested. Its µP interface appears as a memory location or input/output port that requires no external interface logic. The data outputs use latched, three-state buffered circuitry for direct connection to a µP data bus or system input port. The ADC's input/reference arrangement enables ratiometric operation.

Applications

Cellular Telephones
Portable Radios
Battery-Powered Systems
Burst-Mode Data Acquisition
Digital-Signal Processing
Telecommunications
High-Speed Servo Loops

Features

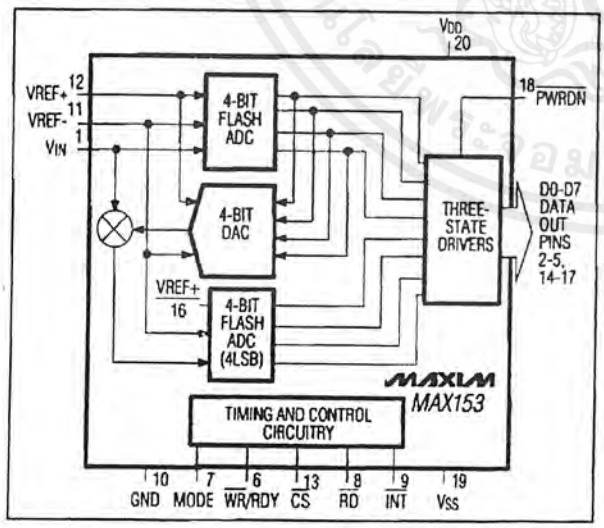
- ♦ 660ns Conversion Time
- ♦ Power-Up/Power-Down in 200ns
- ♦ Internal Track/Hold
- ♦ 1Msps Throughput
- ♦ Low Power: 40mW (Operating Mode)
  5µW (Powerdown Mode)
- ♦ 1MHz Full-Power Bandwidth
- ♦ 20-Pin Narrow DIP, SO and SSOP Packages
- ♦ No External Clock Required
- ♦ Unipolar/Bipolar Inputs
- ♦ Single +5V or Dual ±5V Supplies
- ♦ Ratiometric Reference Inputs

Ordering Information

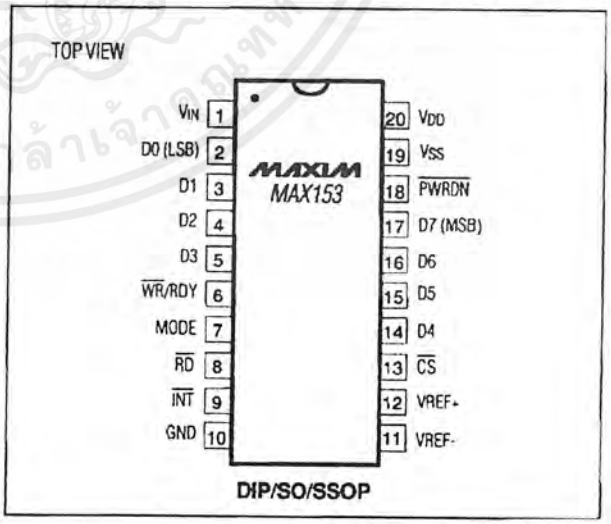
PART	TEMP. RANGE	PIN-PACKAGE
MAX153CPP	0°C to +70°C	20 Plastic DIP
MAX153CWP	0°C to +70°C	20 Wide SO
MAX153CAP	0°C to +70°C	20 SSOP***
MAX153C/D	0°C to +70°C	Dice*
MAX153EPP	-40°C to +85°C	20 Plastic DIP
MAX153EWP	-40°C to +85°C	20 Wide SO
MAX153EAP	-40°C to +85°C	20 SSOP***
MAX153MJP	-55°C to +125°C	20 CERDIP**

* *Contact factory for dice specifications.*
** *Contact factory for availability and processing to MIL-STD-883.*
*** *Contact factory for availability of SSOP packages.*

Functional Diagram



Pin Configuration



DIP/SO/SSOP

Call toll free 1-800-998-8800 for free samples or literature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1Msps, µP-Compatible, 8-Bit ADC with 1µA Power-Down

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +5V ±5%, GND = 0V; Unipolar Input Range: V_{SS} = GND, VREF+ = 5V, VREF- = GND; Bipolar Input Range: V_{SS} = -5V ±5%, VREF+ = 2.5V, VREF- = -2.5V; 100% production tested, specifications are given for RD Mode (Pin 7 = GND), T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUT						
Input Voltage Range	V_{IN}		VREF-		VREF+	V
Input Leakage Current	I_{IN}	-5V ≤ V_{IN} ≤ 5V			±3	µA
Input Capacitance	C_{IN}			22		pF
REFERENCE INPUT						
Reference Resistance	RREF		1	2	4	kΩ
VREF+ Input Voltage Range			VREF-		V_{DD}	V
VREF- Input Voltage Range			V_{SS}		VREF+	V
LOGIC INPUTS						
Input High Voltage	V_{INH}	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$, $\overline{PWRDN}$	2.4			V
		MODE	3.5			
Input Low Voltage	V_{INL}	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$, $\overline{PWRDN}$			0.8	V
		MODE			1.5	
Input High Current	I_{INH}	$\overline{CS}$, $\overline{RD}$, $\overline{PWRDN}$			1	µA
		$\overline{WR}$			3	
		MODE		50	200	
Input Low Current	I_{INL}	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$, $\overline{PWRDN}$			±1	µA
Input Capacitance (Note 3)	C_{IN}	$\overline{CS}$, $\overline{RD}$, $\overline{WR}$, $\overline{PWRDN}$, MODE		5	8	pF
LOGIC OUTPUTS						
Output Low Voltage	V_{OL}	I_{SINK} = 1.6mA, $\overline{INT}$, D0-D7			0.4	V
		RDY, I_{SINK} = 2.6mA			0.4	
Output High Voltage	V_{OH}	I_{SOURCE} = 360µA, $\overline{INT}$, D0-D7	4			V
Floating State Current	I_{LKG}	D0-D7, RDY			±3	µA
Floating Capacitance (Note 3)	C_{OUT}	D7-D0, RDY		5	8	pF
POWER REQUIREMENTS						
V_{DD}	V_{DD}	±5% for specified accuracy		5		V
V_{SS} (Unipolar Operation)	V_{SS}			GND		V
V_{SS} (Bipolar Operation)	V_{SS}	±5% for specified accuracy		-5		V
V_{DD} Supply Current	I_{DD}	$\overline{CS}$ = $\overline{RD}$ = 0V, PWRDN = 5V, MAX153C		8	15	mA
		$\overline{CS}$ = $\overline{RD}$ = 0V, PWRDN = 5V, MAX153E/M		8	20	
Power-Down V_{DD} Current		$\overline{CS}$ = $\overline{RD}$ = 5V, $\overline{PWRDN}$ = 0V (Note 4)		1	100	µA
V_{SS} Supply Current	I_{SS}	$\overline{CS}$ = $\overline{RD}$ = 0V, $\overline{PWRDN}$ = 5V		25	100	µA
Power-Down V_{SS} Current		$\overline{CS}$ = $\overline{RD}$ = 5V, $\overline{PWRDN}$ = 0V		12	100	µA
Power-Supply Rejection	PSR	V_{DD} = 4.75V to 5.25V, VREF+ = 4.75V max, unipolar mode		±1/16	±1/4	LSB

Note 1: Bipolar input range, V_{IN} = ±2.5V_{p-p}, WR-RD mode
Note 2: See Figure 1 for load circuit. Parameter defined as the time required for the output to cross +0.8V or +2.4V.
Note 3: Guaranteed by design.
Note 4: Tested with $\overline{CS}$, $\overline{RD}$, $\overline{PWRDN}$ at CMOS logic levels. Power-down current increases to several hundred µA at TTL levels.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1Msps, µP-Compatible, 8-Bit ADC with 1µA Powerdown

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND ..... -0.3V to +7V
V_{SS} to GND ..... +0.3V to -7V
Digital Input Voltage to GND ..... +0.3V, V_{DD} + 0.3V
Digital Output Voltage to GND ..... -0.3V, V_{DD} + 0.3V
VREF+ to GND ..... V_{SS} -0.3V to V_{DD} + 0.3V
VREF- to GND ..... V_{SS} -0.3V to V_{DD} + 0.3V
V_{IN} to GND ..... V_{SS} -0.3V to V_{DD} + 0.3V

Continuous Power Dissipation (T_A = +70°C)
Plastic DIP (derate 11.11mW/°C above +70°C) 889mW
Wide SO (derate 10.00mW/°C above +70°C) 800mW
SSOP (derate 8.00mW/°C above +70°C) 600mW
CERDIP (derate 11.11mW/°C above +70°C) 889mW
Operating Temperature Ranges:
MAX153C_ _ ..... 0°C to +70°C
MAX153E_ _ ..... -40°C to +85°C
MAX153MJP ..... -55°C to +125°C
Storage Temperature Range ..... -65°C to +150°C
Lead Temperature (soldering, 10 sec) ..... +300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V ±5%, GND = 0V; Unipolar Input Range: V_{SS} = GND, VREF+ = 5V, VREF- = GND; Bipolar Input Range: V_{SS} = -5V ±5%, VREF+ = 2.5V, VREF- = -2.5V; 100% production tested, specifications are given for RD Mode (Pin 7 = GND), T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
ACCURACY							
Resolution	N			8			Bits
Total Unadjusted Error	TUE	Unipolar range				±1	LSB
Differential Nonlinearity	DNL	No missing codes guaranteed				±1	LSB
Zero-Code Error		Bipolar input range				±1	LSB
Full-Scale Error		Bipolar input range				±1	LSB
DYNAMIC PERFORMANCE (Note 1)							
Signal-to-Noise Plus Distortion Ratio	S/(N+D)	MAX153C/E, f_{SAMPLE} = 1MHz, f_{IN} = 195.8kHz		45			dB
		MAX153M, f_{SAMPLE} = 740kHz, f_{IN} = 195.7kHz					
Total Harmonic Distortion	THD	MAX153C/E, f_{SAMPLE} = 1MHz, f_{IN} = 195.8kHz				-50	dB
		MAX153M, f_{SAMPLE} = 740kHz, f_{IN} = 195.7kHz					
Peak Harmonic or Spurious Noise		MAX153C/E, f_{SAMPLE} = 1MHz, f_{IN} = 195.8kHz				-50	dB
		MAX153M, f_{SAMPLE} = 740kHz, f_{IN} = 195.7kHz					
Conversion Time (WR-RD Mode) (Note 2)	t_{CWR}	T_A = +25°C, t_{RD} < t_{INTL}, C_L = 20pF				660	ns
Conversion Time (RD Mode)	t_{CRD}	T_A = +25°C				700	ns
		T_A = T_{MIN} to T_{MAX}	MAX153C/E			875	
			MAX153M			975	
Full-Power Input Bandwidth		V_{IN} = 5V_{p-p}			1		MHz
Input Slew Rate				3.14	15		V/µs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1Msps, µP-Compatible, 8-Bit ADC with 1µA Powerdown

TIMING CHARACTERISTICS (Note 5)

(V_{DD} = +5V ±5%, V_{SS} = 0V for Unipolar Input Range, V_{SS} = -5V ±5% for Bipolar Input Range, 100% production tested, T_A = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
$\overline{CS}$ to $\overline{RD}/\overline{WR}$ Setup Time	t_{CSS}			0			ns
$\overline{CS}$ to $\overline{RD}/\overline{WR}$ Hold Time	t_{CSH}			0			ns
$\overline{CS}$ to $\overline{RDY}$ Delay (Note 6)	t_{RDY}	C_L = 50pF				70	ns
		$T_A = T_{MIN}$ to T_{MAX}, C_L = 50pF	MAX153C/E			85	
			MAX153M			100	
Data-Access Time (RD Mode) (Note 2)	t_{ACC0}	C_L = 20pF				t_{CRD}+25	ns
		$T_A = T_{MIN}$ to T_{MAX}, C_L = 20pF	MAX153C/E			t_{CRD}+30	
			MAX153M			t_{CRD}+35	
		C_L = 100pF				t_{CRD}+50	
		$T_A = T_{MIN}$ to T_{MAX}, C_L = 100pF	MAX153C/E			t_{CRD}+65	
			MAX153M			t_{CRD}+75	
$\overline{RD}$ to $\overline{INT}$ Delay (RD Mode)	t_{INTH}	C_L = 50pF			50	80	ns
		$T_A = T_{MIN}$ to T_{MAX}, C_L = 50pF	MAX153C/E			85	
			MAX153M			90	
Data-Hold Time (Note 7)	t_{DH}					60	ns
		$T_A = T_{MIN}$ to T_{MAX}	MAX153C/E			70	
			MAX153M			80	
Delay Time Between Conversions (Acquisition Time)	t_D			160			ns
		$T_A = T_{MIN}$ to T_{MAX}	MAX153C/E	185			
			MAX153M	260			
Write Pulse Width	t_{WR}			0.250		10	µs
		$T_A = T_{MIN}$ to T_{MAX}	MAX153C/E	0.280		10	
			MAX153M	0.400		10	
Delay Time Between WR and RD Pulses	t_{RD}			250			ns
		$T_A = T_{MIN}$ to T_{MAX}	MAX153C/E	350			
			MAX153M	450			
$\overline{RD}$ Pulse Width (WR-RD Mode) Determined by t_{ACC1}	t_{READ1}	Figure 6		160			ns
		$T_A = T_{MIN}$ to T_{MAX}, Figure 6	MAX153C/E	205			
			MAX153M	240			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1Msps, µP-Compatible, 8-Bit ADC with 1µA Power-Down

TIMING CHARACTERISTICS (Note 4) (continued)

(V_{DD} = +5V ±5%, V_{SS} = 0V for Unipolar Input Range, V_{SS} = -5V ±5% for Bipolar Input Range, 100% production tested, T_A = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Data-Access Time (WR-RD Mode) (Note 2) $t_{RD} < t_{INL}$	t_{ACC1}	C_L = 20pF, Figure 6				160	ns
		$T_A = T_{MIN}$ to T_{MAX}, C_L = 20pF, Figure 6	MAX153C/E			205	
			MAX153M			240	
		C_L = 100pF, Figure 6				185	
		$T_A = T_{MIN}$ to T_{MAX}, C_L = 100pF, Figure 6	MAX153C/E			235	
			MAX153M			275	
$\overline{RD}$ to $\overline{INT}$ Delay	t_{RI}					150	ns
		$T_A = T_{MIN}$ to T_{MAX}	MAX153C/E			185	
			MAX153M			220	
$\overline{WR}$ to $\overline{INT}$ Delay	t_{INTL}	C_L = 50pF			380	500	ns
		$T_A = T_{MIN}$ to T_{MAX}, C_L = 50pF	MAX153C/E			610	
			MAX153M			700	
$\overline{RD}$ Pulse Width (WR-RD Mode) Determined by t_{ACC2} $t_{RD} > t_{INTL}$	tREAD2	Figure 5		65			ns
		$T_A = T_{MIN}$ to T_{MAX}, Figure 5	MAX153C/E	75			
			MAX153M	85			
Data-Access Time (WR-RD Mode) (Note 2) $t_{RD} > t_{INTL}$	t_{ACC2}	C_L = 20pF, Figure 5				65	ns
		$T_A = T_{MIN}$ to T_{MAX}, C_L = 20pF, Figure 5	MAX153C/E			75	
			MAX153M			85	
		C_L = 100pF, Figure 5				90	
		$T_A = T_{MIN}$ to T_{MAX}, C_L = 100pF, Figure 5	MAX153C/E			110	
			MAX153M			130	
$\overline{WR}$ to $\overline{INT}$ Delay (Pipe-Lined Mode)	t_{IHWR}	C_L = 50pF				80	ns
		$T_A = T_{MIN}$ to T_{MAX}, C_L = 50pF	MAX153C/E			100	
			MAX153M			120	
Data-Access Time After INT (Note 2)	t_{ID}	C_L = 20pF				30	ns
		$T_A = T_{MIN}$ to T_{MAX}, C_L = 20pF	MAX153C/E			35	
			MAX153M			40	
		C_L = 100pF				45	
		$T_A = T_{MIN}$ to T_{MAX}, C_L = 100pF	MAX153C/E			60	
			MAX153M			70	

Note 5: Input control signals are specified with $t_r = t_f$ = 5ns, 10% to 90% of +5V and timed from a 1.6V voltage level.
Note 6: R_L = 5.1kΩ pull-up resistor.
Note 7: See Figure 2 for load circuit. Parameter defined as the time required for data lines to change 0.5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1Msps, µP-Compatible, 8-Bit ADC with 1µA Powerdown

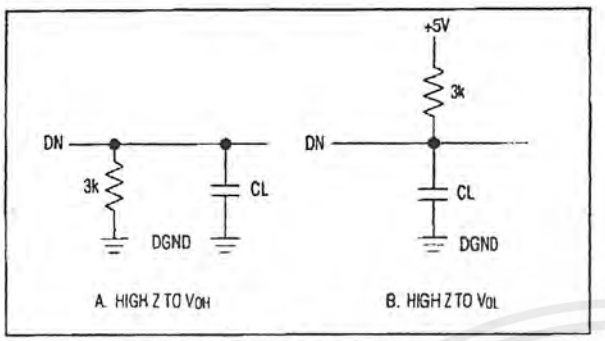


Figure 1. Load Circuits for Data-Access Time Test

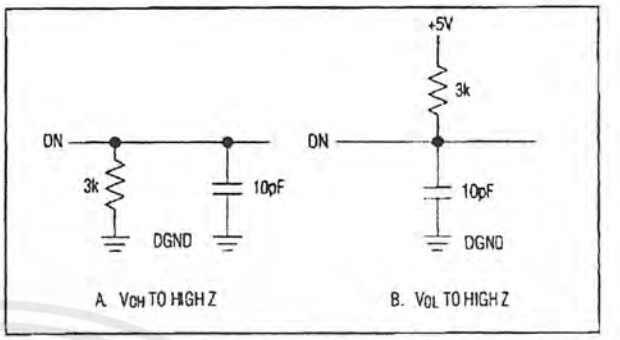
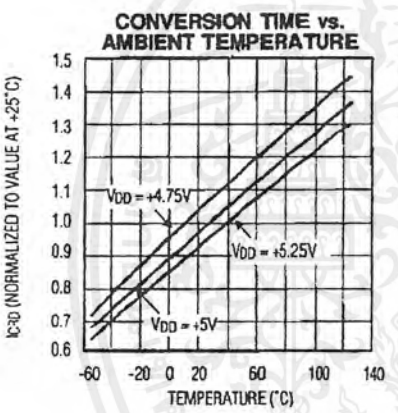
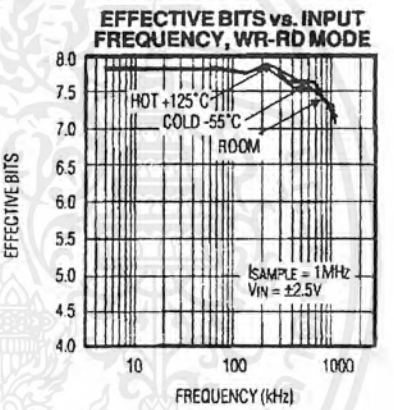
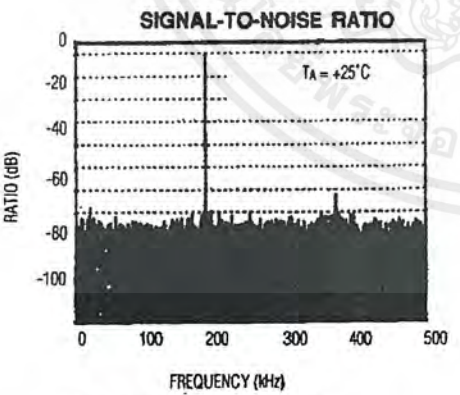


Figure 2. Load Circuits for Data-Hold Time Test

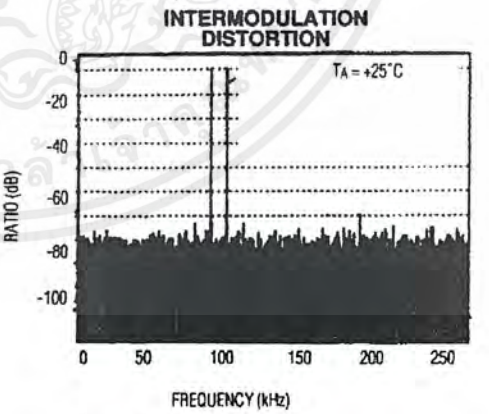
Typical Operating Characteristics







INPUT FREQUENCY = 195.8ksps (±2.5V)
SAMPLE FREQUENCY = 1MHz
SNR = 49.1dB



INPUT FREQUENCY = 94.97kHz
84.72kHz (±2.5V)
SAMPLE FREQUENCY = 500kHz
IMD: 2ND-ORDER TERMS = -66.2dB
3RD-ORDER TERMS = -60.0dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1Msps, µP-Compatible, 8-Bit ADC with 1µA Power-Down

Pin Description

PIN	NAME	FUNCTION
1	V_{IN}	Analog Input. Range is VREF- ≤ V_{IN} ≤ VREF+.
2	D0	Three-State Data Output (LSB)
3-5	D1-D3	Three-State Data Outputs
6	$\overline{WR}$/RDY	$\overline{WRITE}$ Control Input/READY Status Output*
7	MODE	MODE Selection Input is internally pulled low with a 50µA current source. MODE = 0 activates read mode. MODE = 1 activates write-read mode*
8	$\overline{RD}$	$\overline{READ}$ Input. must be low to access data.*
9	$\overline{INT}$	$\overline{INTERRUPT}$ Output goes low to indicate end of conversion.*
10	GND	Ground
11	VREF-	Lower limit of reference span. Sets the zero-code voltage. Range is V_{SS} ≤ VREF- < VREF+.
12	VREF+	Upper limit to reference span. Sets the full-scale input voltage. Range is VREF- < VREF+ ≤ V_{DD}.
13	$\overline{CS}$	$\overline{CHIP\ SELECT}$ Input must be low for the device to recognize $\overline{WR}$ or $\overline{RD}$ inputs.
14-16	D4-D6	Three-State Data Outputs
17	D7	Three-State Data Output (MSB)
18	$\overline{PWRDN}$	$\overline{POWERDOWN}$ Input. reduces supply current when low. $\overline{CS}$ must be high during power-down.
19	V_{SS}	Negative Supply. Unipolar: V_{SS} = 0V, Bipolar: V_{SS} = -5V
20	V_{DD}	Positive Supply, +5V

* See *Digital Interface* section.

Detailed Description

Converter Operation

The MAX153 uses a half-flash conversion technique (see *Functional Diagram*) in which two 4-bit flash ADC sections achieve an 8-bit result. Using 15 comparators, the flash ADC compares the unknown input voltage to the reference ladder and provides the upper 4 data bits.

An internal digital-to-analog converter (DAC) uses the 4 most significant bits (MSBs) to generate the analog result from the first flash conversion and a residue voltage that is the difference between the unknown input and the DAC voltage. The residue is then compared again with the flash comparators to obtain the lower 4 data bits (LSBs).

Power-Down Mode

In burst-mode or low sample-rate applications, the MAX153 can be shut down between conversions, reducing supply current to microamp levels. A TTL/CMOS logic low on the $\overline{PWRDN}$ pin shuts the device down, reducing supply current to typically 1µA when powered from a single 5V supply. $\overline{CS}$ must be high when power-down is used. A logic high on $\overline{PWRDN}$ wakes up the MAX153. A new conversion can be started ($\overline{WR}$ asserted low) within 360ns of the $\overline{PWRDN}$ pin being driven high (200ns to power up plus 160ns for track/hold acquisition). If power-down mode is not required, connect $\overline{PWRDN}$ to V_{DD}.

Once the MAX153 is in power-down mode, lowest supply current is drawn with MODE low (RD mode) due to an internal 50µA pull-down resistor at this pin. $\overline{CS}$ must remain high during shutdown because the MAX153 may attempt to start a conversion that it cannot complete. In addition, for minimum current consumption, other digital inputs should remain stable in power-down. RDY, an open-drain output (in RD mode), will then fall and remain low throughout power-down, sinking additional supply current unless $\overline{CS}$ remains high. Refer to the *Reference* section for information on reducing reference current during power-down.

Digital Interface

The MAX153 has two basic interface modes set by the status of the MODE input pin. When MODE is low, the converter is in the RD mode; when MODE is high, the converter is set up for the WR-RD mode.

Read Mode (MODE = 0)

In RD mode, conversion control and data access are controlled by the $\overline{RD}$ input (Figure 4). The comparator inputs track the analog input voltage for the duration of t_P. A minimum of 160ns is required for the input to be acquired. A conversion is initiated by driving $\overline{RD}$ low. With µPs that can be forced into a wait state, hold $\overline{RD}$ low until output data appears. The µP starts the conversion, waits, and then reads data with a single read instruction.

$\overline{WR}$/RDY is configured as a status output (RDY) in RD mode, where it can drive the ready or wait input of a µP. RDY is an open-collector output (with no internal pull-up) that goes low after the falling edge of $\overline{CS}$ and goes high at the end of the conversion. If not used, the $\overline{WR}$/RDY pin can be left unconnected. The $\overline{INT}$ output goes low at the end of the conversion and returns high on the rising edge of $\overline{CS}$ or $\overline{RD}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1Msps, µP-Compatible, 8-Bit ADC with 1µA Powerdown

Write-Read Mode (MODE = 1)

Figures 5 and 6 show the operating sequence for the write-read (WR-RD) mode. The comparator inputs track the analog input voltage for the duration of tP. A minimum of 160ns is required for the input voltage to be acquired. The conversion is initiated by a falling edge of $\overline{WR}$. When $\overline{WR}$ returns high, the 4 MSBs flash result is latched into the output buffers and the 4 LSBs conversion begins. $\overline{INT}$ goes low about 380ns later, indicating conversion end, and the lower 4 data bits are latched into the output buffers. The data is then accessible 65ns to 130ns after $\overline{RD}$ goes low (see *Timing Characteristics*).

If an externally controlled conversion time is required, drive $\overline{RD}$ low 250ns after $\overline{WR}$ goes high. This latches the lower 4 data bits and outputs the conversion result on D0–D7. A minimum 160ns delay is required from $\overline{INT}$ going low to the start of another conversion ($\overline{WR}$ going low).

Options for reading data from the converter include the following:

Using Internal Delay

The µP waits for the $\overline{INT}$ output to go low before reading the data (Figure 5). $\overline{INT}$ typically goes low 380ns after the rising edge of $\overline{WR}$, indicating the conversion is complete, and the result is available in the output latch. With $\overline{CS}$ low, data outputs D0–D7 can be accessed by pulling $\overline{RD}$ low. $\overline{INT}$ is then reset by the rising edge of $\overline{CS}$ or $\overline{RD}$.

Fastest Conversion: Reading Before Delay

An external method of controlling the conversion time is shown in Figure 6. The internally generated delay tINTL

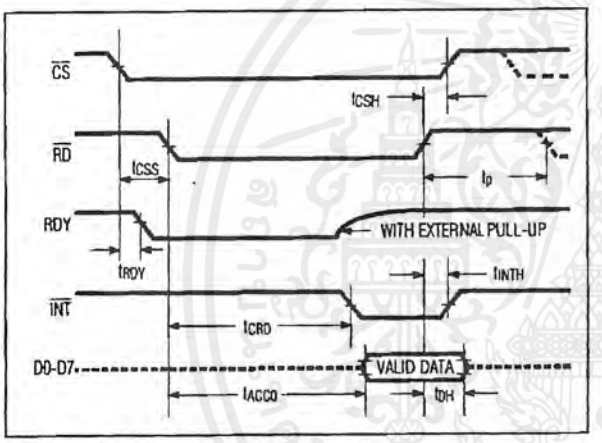


Figure 4. RD Mode Timing (MODE = 0)

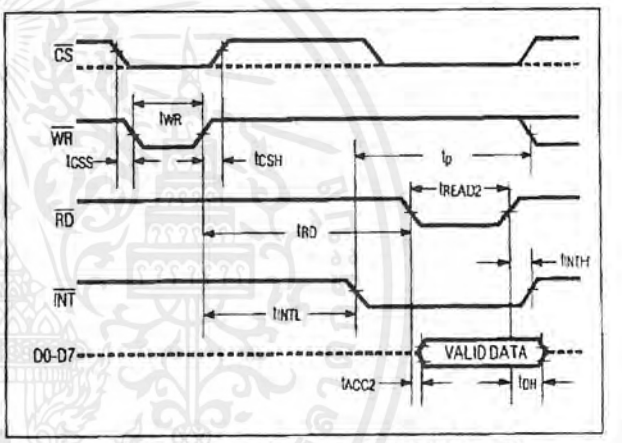


Figure 5. WR-RD Mode Timing ($t_{RD} > t_{INTL}$) (MODE = 1)

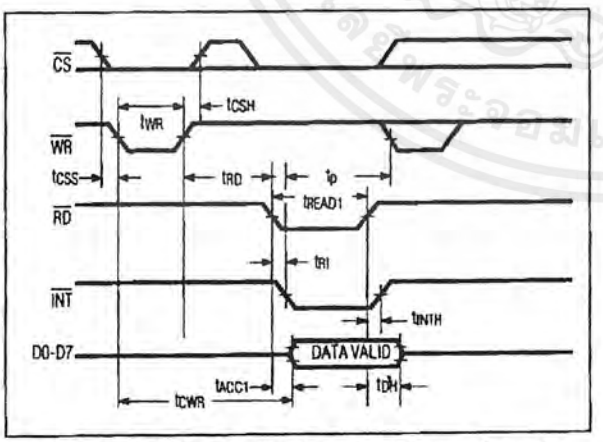


Figure 6. WR-RD Mode Timing ($t_{RD} < t_{INTL}$), Fastest Operating Mode (MODE = 1)

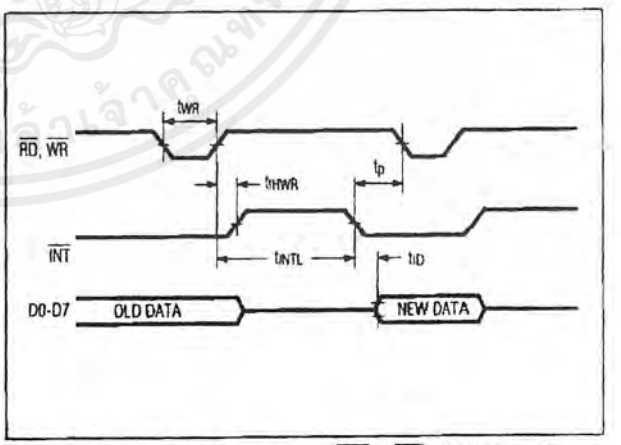


Figure 7. Pipe-Lined Mode Timing ($\overline{WR} = \overline{RD}$) (MODE = 1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1Msps, µP-Compatible, 8-Bit ADC with 1µA Power-Down

varies slightly with temperature and supply voltage, and can be overridden with $\overline{RD}$ to achieve the fastest conversion time. $\overline{INT}$ is ignored, and $\overline{RD}$ is brought low typically 250ns after the rising edge of $\overline{WR}$. This completes the conversion and enables the output buffers (D0–D7) that contain the conversion result. $\overline{INT}$ also goes low after the falling edge of $\overline{RD}$ and is reset on the rising edge of $\overline{RD}$ or $\overline{CS}$. The total conversion time is therefore: $t_{CWR} = t_{WR}$ (250ns) + t_{CSH} (0ns) to t_{RD} (250ns) + t_{ACC1} (160ns) = 660ns.

Pipe-Lined Operation

Besides the two standard WR-RD mode options, "pipe-lined" operation can be achieved by connecting $\overline{WR}$ and $\overline{RD}$ together (Figure 7). With $\overline{CS}$ low, driving $\overline{WR}$ and $\overline{RD}$ low initiates a conversion and reads the result of the previous conversion concurrently.

Analog Considerations

Reference

Figures 8a-8c show some reference connections. VREF+ and VREF- inputs set the full-scale and zero-input voltages of the ADC. The voltage at VREF- defines the input that produces an output code of all zeros, and the voltage at VREF+ defines the input that produces an output code of all ones.

The internal resistances from VREF+ and VREF- may be as low as 1kΩ. Since current is still drawn by the reference inputs during power-down, reference supply current can be reduced during shutdown by using the circuit shown in Figure 8d. A logic-level N-channel MOSFET, connected between VREF- and ground, disconnects the reference load when the ADC enters power-down

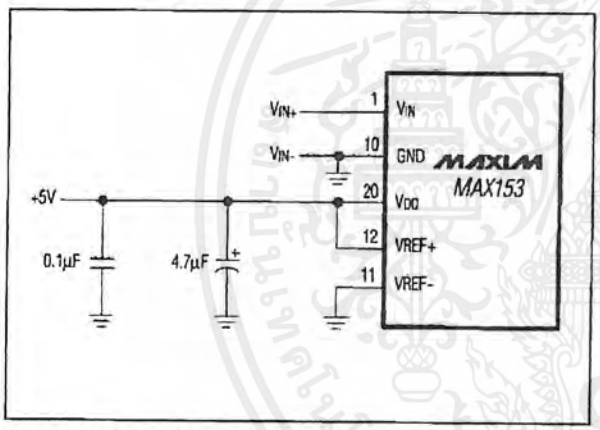


Figure 8a. Power Supply as Reference

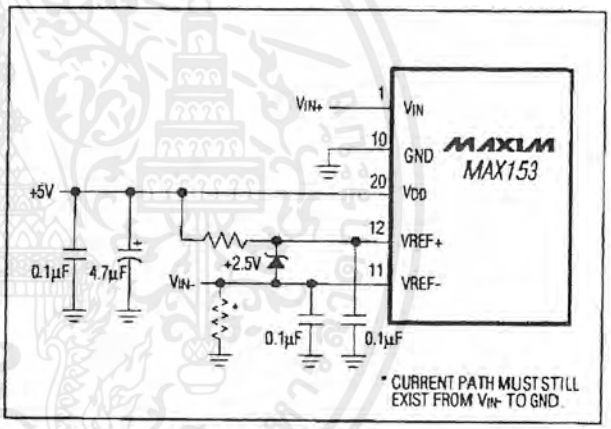


Figure 8c. Input Not Referenced to GND

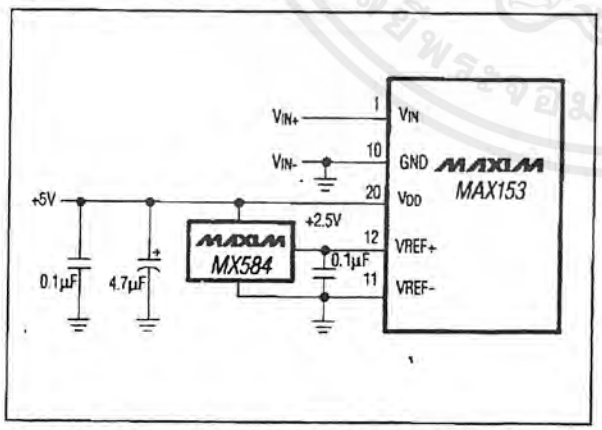


Figure 8b. External Reference, +2.5V Full Scale

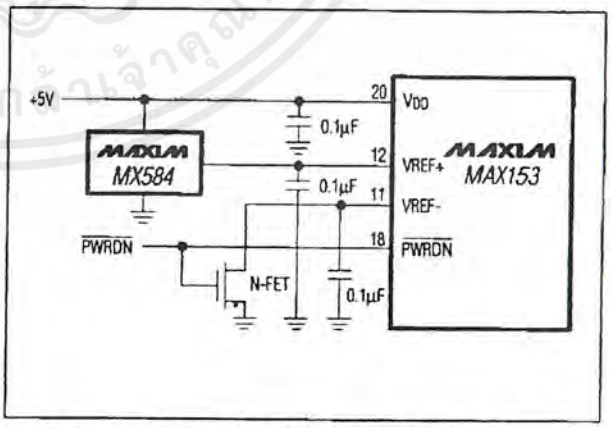


Figure 8d. An N-channel MOSFET switches off the reference load during power-down.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1Msps, µP-Compatible, 8-Bit ADC with 1µA Powerdown

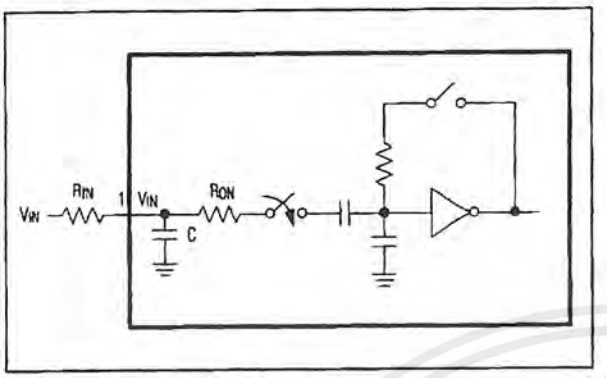


Figure 9. Equivalent Input Circuit

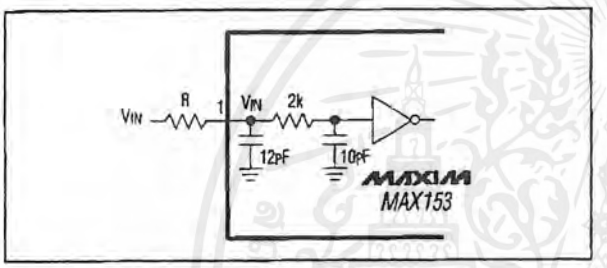


Figure 10. RC Network Equivalent Input Model

($\overline{PWRDN}$ = low). The FET should have no more than 0.5Ω of on resistance to maintain accuracy.

Bypassing

A 4.7µF electrolytic in parallel with a 0.1µF ceramic capacitor should be used to bypass VDD to GND. These capacitors should have minimal lead length.

The reference inputs should be bypassed with 0.1µF capacitors, as shown in Figures 8a-8c.

Input Current

Figure 9 shows the equivalent circuit of the converter input. When the conversion starts and $\overline{WR}$ is low, VIN is connected to 16 0.6pF capacitors. During this acquisition phase, the input capacitors charge to the input voltage through the resistance of the internal analog switches (about 2kΩ). In addition, about 12pF of stray capacitance must be charged. The input can be modeled as an equivalent RC network (Figure 10). As source impedance increases, the capacitors take longer to charge.

The typical 22pF input capacitance allows source resistance as high as 2.2kΩ without setup problems. For larger resistances, the acquisition time (tP) must be increased.

Conversion Rate

The maximum sampling rate (f_{max}) for the MAX153 is achieved in the WR-RD mode ($t_{RD} < t_{INTL}$) and is calculated as follows:

$$f_{max} = \frac{1}{t_{WR} + t_{RD} + t_{RI} + t_P}$$

$$f_{max} = \frac{1}{250ns + 250ns + 150ns + 160ns}$$

$$f_{max} = 1.23MHz$$

where t_{WR} = Write pulse width
t_{RD} = Delay between WR and RD pulses
t_{RI} = $\overline{RD}$ to $\overline{INT}$ delay
t_P = Delay time between conversions.

Signal-to-Noise Ratio and Effective Number of Bits

Signal-to-noise ratio (SNR) is the ratio of the RMS amplitude of the fundamental input frequency to the RMS amplitude of all other analog-to-digital output values. The output band is limited to one-half the A/D sample (conversion) rate. This ratio usually includes distortion as well as noise components. For this reason, the ratio is sometimes referred to as "signal-to-noise + distortion."

The theoretical minimum A/D noise is caused by quantization error and results directly from the ADC's resolution: SNR = (6.02N + 1.76)dB, where N is the number of bits of resolution. Therefore, a perfect 8-bit ADC can do no better than 50dB.

The FFT plot (*Typical Operating Characteristics*) shows the result of sampling a pure 200kHz sinusoid at a 1MHz rate. This FFT plot of the output shows the output level in various spectral bands.

The effective resolution, or "effective number of bits," the ADC provides can be measured by transposing the equation that converts resolution to SNR: N = (SNR - 1.76)/6.02.

Total Harmonic Distortion

Total harmonic distortion (THD) is the ratio of the RMS sum of all harmonics of the input signal (in the frequency band above DC and below one-half the sample rate) to the fundamental itself. This is expressed as:

$$THD = 20 \log \left[\frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + \ldots + V_N^2)}}{V_1} \right]$$

where V_1 is the fundamental RMS amplitude, and V_2 to V_N are the amplitudes of the 2nd through Nth harmonics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1Msps, µP-Compatible, 8-Bit ADC with 1µA Power-Down

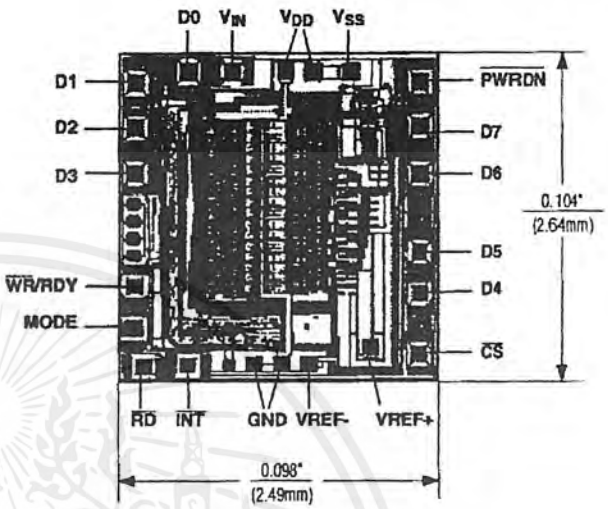
Peak Harmonic or Spurious Noise

Peak harmonic or spurious noise is the ratio of the fundamental RMS amplitude to the amplitude of the next largest spectral component (in the frequency band above DC and below one-half the sample rate). Usually this peak occurs at some harmonic of the input frequency, but if the ADC is exceptionally linear, it may occur only at a random peak in the ADC's noise floor.

Intermodulation Distortion

An FFT plot of intermodulation distortion (IMD) is generated by sampling an analog input applied to the ADC. This input consists of very low distortion sine waves at two frequencies. A 2048 point plot for IMD of the MAX153 is shown in the *Typical Operating Characteristics*.

Chip Topography

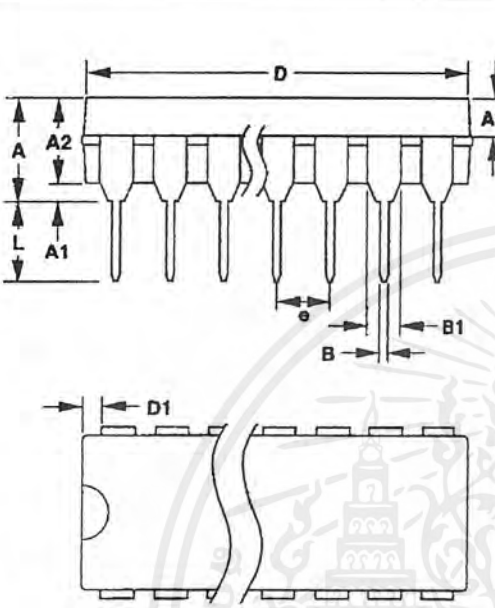


TRANSISTOR COUNT: 1856
SUBSTRATE CONNECTED TO V_{DD}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1Msps, µP-Compatible, 8-Bit ADC with 1µA Power-Down

Package Information

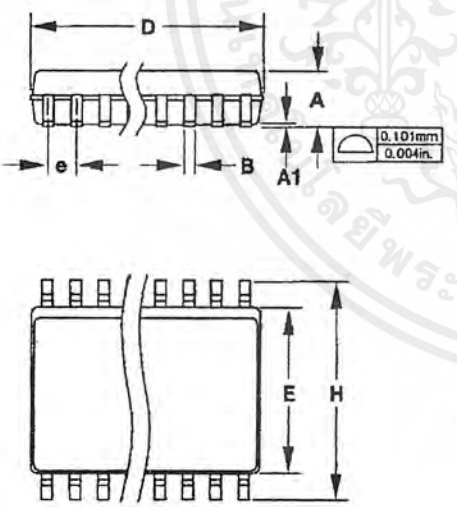


Plastic DIP
PLASTIC
DUAL-IN-LINE
PACKAGE
(0.300 in.)

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	–	0.200	–	5.08
A1	0.015	–	0.38	–
A2	0.125	0.175	3.18	4.45
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.045	0.065	1.14	1.65
C	0.008	0.012	0.20	0.30
D1	0.005	0.080	0.13	2.03
E	0.300	0.325	7.62	8.26
E1	0.240	0.310	6.10	7.87
e	0.100	–	2.54	–
eA	0.300	–	7.62	–
eB	–	0.400	–	10.16
L	0.115	0.150	2.92	3.81

PKG.	DIM	PINS	INCHES		MILLIMETERS	
			MIN	MAX	MIN	MAX
P	D	8	0.348	0.390	8.84	9.91
P	D	14	0.735	0.765	18.67	19.43
P	D	16	0.745	0.765	18.92	19.43
P	D	18	0.885	0.915	22.48	23.24
P	D	20	1.015	1.045	25.78	26.54
N	D	24	1.14	1.265	28.96	32.13

21-0043A



Wide SO
SMALL-OUTLINE
PACKAGE
(0.300 in.)

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.093	0.104	2.35	2.65
A1	0.004	0.012	0.10	0.30
B	0.014	0.019	0.35	0.49
C	0.009	0.013	0.23	0.32
E	0.291	0.299	7.40	7.60
e	0.050		1.27	
H	0.394	0.419	10.00	10.65
L	0.016	0.050	0.40	1.27

DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	16	0.398	0.413	10.10	10.50
D	18	0.447	0.463	11.35	11.75
D	20	0.496	0.512	12.60	13.00
D	24	0.598	0.614	15.20	15.60
D	28	0.697	0.713	17.70	18.10

21-0042A

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

© 1995 Maxim Integrated Products Printed USA MAXIM is a registered trademark of Maxim Integrated Products.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-1203; Rev 0; 4/97

MAXIM

1ppm/°C, Low-Noise, +2.5V/+4.096V/+5V Voltage References

General Description

The MAX6325/MAX6341/MAX6350 are low-noise, precision voltage references with extremely low, 0.5ppm/°C typical temperature coefficients and excellent, ±0.02% initial accuracy. These devices feature buried-zener technology for lowest noise performance. Load-regulation specifications are guaranteed for source and sink currents up to 15mA. Excellent line and load regulation and low output impedance at high frequencies make them ideal for high-resolution data-conversion systems up to 16 bits.

The MAX6325 is set for a 2.500V output, the MAX6341 is set for a 4.096V output, and the MAX6350 is set for a 5.000V output. All three provide for the option of external trimming and noise reduction.

Features

- ♦ **Ultra-Low, 1ppm/°C Max Tempco**
- ♦ **Very Low, 1.5µVp-p Noise (0.1Hz to 10Hz) (MAX6325)**
- ♦ **±0.02% Initial Accuracy (MAX6350)**
- ♦ **±15mA Output Source and Sink Current**
- ♦ **Low, 18mW Power Consumption (MAX6325)**
- ♦ **Industry-Standard Pinout**
- ♦ **Optional Noise Reduction and Voltage Trim**
- ♦ **Excellent Transient Response**
- ♦ **8-Pin SO Package Available**
- ♦ **Low, 30ppm/1000h Long-Term Stability**
- ♦ **Stable for All Capacitive Loads**

Applications

High-Resolution Analog-to-Digital and Digital-to-Analog Converters

High-Accuracy Reference Standard

High-Accuracy Industrial and Process Control

Digital Voltmeters

ATE Equipment

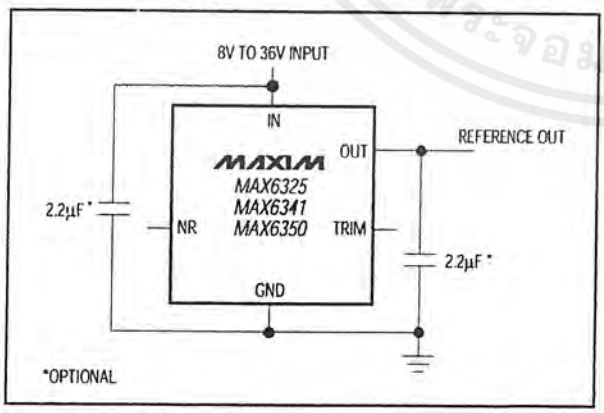
Precision Current Sources

Ordering Information

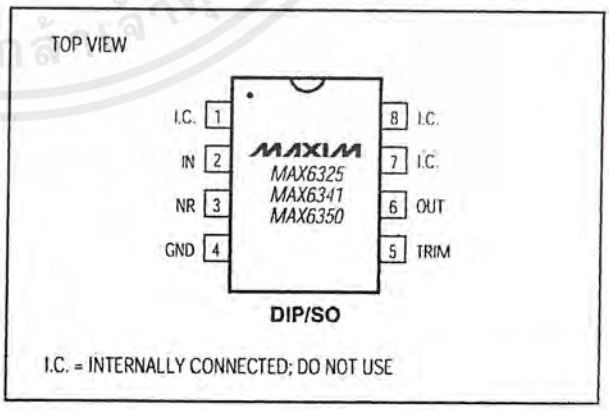
PART	TEMP. RANGE	PIN-PACKAGE	MAX TEMPCO (ppm/°C)
MAX6325CPA	0°C to +70°C	8 Plastic DIP	1.0
MAX6325CSA	0°C to +70°C	8 SO	1.0
MAX6325EPA	-40°C to +85°C	8 Plastic DIP	1.5
MAX6325ESA	-40°C to +85°C	8 SO	1.5
MAX6325MJA	-55°C to +125°C	8 CERDIP	2.5

Ordering Information continued at end of data sheet.

Typical Operating Circuit



Pin Configuration



For free samples & the latest literature: http://www.maxim-ic.com, or phone 1-800-998-8800

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1ppm/°C, Low-Noise, +2.5V/+4.096V/+5V Voltage References

ABSOLUTE MAXIMUM RATINGS

(Voltages Referenced to GND)
IN .....-0.3V to 40V
OUT, TRIM .....-0.3V to 12V
NR .....-0.3V to 6V
OUT Short Circuit to GND Duration ($V_{IN} \le 12V$) .....Continuous
OUT Short Circuit to GND Duration ($V_{IN} \le 40V$) 5sec
OUT Short Circuit to IN Duration ($V_{IN} \le 12V$) .....Continuous
Continuous Power Dissipation (T_A = +70°C)
Plastic DIP (derate 9.09mW/°C above +70°C) 727mW
SO (derate 5.88mW/°C above +70°C) 471mW
CERDIP (derate 8.00mW/°C above +70°C) 640mW
Operating Temperature Ranges
MAX63_ _ C_ A .....0°C to +70°C
MAX63_ _ E_ A .....-40°C to +85°C
MAX63_ _ MJA .....-55°C to +125°C
Storage Temperature Range .....-65°C to +150°C
Lead Temperature (soldering, 10sec) .....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX6325

(V_{IN} = 10V, I_{OUT} = 0mA, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	T_A	MIN	TYP	MAX	UNITS
Input Voltage Range	V_{IN}		C, E, M	8		36	V
Output Voltage	V_{OUT}	MAX6325	+25°C	2.499	2.500	2.501	V
Output Voltage Temperature Coefficient (Note 1)	TCV_{OUT}	MAX6325C_A	C		0.5	1.0	ppm/°C
		MAX6325E_A	E		0.75	1.5	
		MAX6325MJA	M		1.0	2.5	
Line Regulation (Note 2)	$\Delta V_{OUT} / \Delta V_{IN}$	8V ≤ V_{IN} ≤ 10V	+25°C		10	18	ppm/V
			C			30	
			E			35	
			M			45	
		10V ≤ V_{IN} ≤ 36V	+25°C		2	5	
			C			7	
			E			8	
			M			10	
Load Regulation (Note 2)	$\Delta V_{OUT} / \Delta I_{OUT}$	Sourcing: 0mA ≤ I_{OUT} ≤ 15mA	C		1	6	ppm/mA
			E		1	7	
			M		3	15	
		Sinking: -15mA ≤ I_{OUT} ≤ 0mA	C		1	6	
			E		1	7	
			M		10	30	
Supply Current	I_{IN}		+25°C		1.8	2.7	mA
			C, E, M			3.0	
Trim-Adjustment Range	ΔV_{OUT}	Figure 1	C, E, M	±15	±25		mV
Turn-On Settling Time	t_{ON}	To ±0.01% of final value	+25°C		5		µs
Output Noise Voltage (Note 3)	e_n	0.1Hz ≤ f ≤ 10Hz	+25°C		1.5		µVp-p
		10Hz ≤ f ≤ 1kHz	+25°C		1.3	2.8	μV_{RMS}
Temperature Hysteresis		(Note 4)	+25°C		20		ppm
Long-Term Stability	$\Delta V_{OUT} / t$		+25°C		30		ppm/1000h

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1ppm/°C, Low-Noise, +2.5V/+4.096V/+5V Voltage References

ELECTRICAL CHARACTERISTICS—MAX6341

(V_{IN} = 10V, I_{OUT} = 0mA, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	T_A	MIN	TYP	MAX	UNITS
Input Voltage Range	V_{IN}		C, E, M	8		36	V
Output Voltage	V_{OUT}	MAX6341	+25°C	4.095	4.096	4.097	V
Output Voltage Temperature Coefficient (Note 1)	TCV_{OUT}	MAX6341C_A	C		0.5	1.0	ppm/°C
		MAX6341E_A	E		0.75	1.5	
		MAX6341MJA	M		1.0	2.5	
Line Regulation (Note 2)	ΔV_{OUT} / ΔV_{IN}	8V ≤ V_{IN} ≤ 10V	+25°C		10	18	ppm/V
			C			30	
			E			35	
			M			45	
		10V ≤ V_{IN} ≤ 36V	+25°C		2	5	
			C			7	
			E			8	
			M			10	
Load Regulation (Note 2)	ΔV_{OUT} / ΔI_{OUT}	Sourcing: 0mA ≤ I_{OUT} ≤ 15mA	C		1	6	ppm/mA
			E		1	7	
			M		3	9	
		Sinking: -15mA ≤ I_{OUT} ≤ 0mA	C		1	6	
			E		1	7	
			M		7	18	
Supply Current	I_{IN}		+25°C		1.9	2.9	mA
			C, E, M			3.2	
Trim-Adjustment Range	ΔV_{OUT}	Figure 1	C, E, M	±24	±40		mV
Turn-On Settling Time	t_{ON}	To ±0.01% of final value	+25°C		8		µs
Output Noise Voltage (Note 3)	e_n	0.1Hz ≤ f ≤ 10Hz	+25°C		2.4		µVp-p
		10Hz ≤ f ≤ 1kHz	+25°C		2.0	4.0	μV_{RMS}
Temperature Hysteresis		(Note 4)	+25°C		20		ppm
Long-Term Stability	ΔV_{OUT} / t		+25°C		30		ppm/ 1000h

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1ppm/°C, Low-Noise, +2.5V/+4.096V/+5V Voltage References

ELECTRICAL CHARACTERISTICS—MAX6350

(V_{IN} = 10V, I_{OUT} = 0mA, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	T_A	MIN	TYP	MAX	UNITS
Input Voltage Range	V_{IN}		C, E, M	8		36	V
Output Voltage	V_{OUT}	MAX6350	+25°C	4.999	5.000	5.001	V
Output Voltage Temperature Coefficient (Note 1)	TCV_{OUT}	MAX6350C_A	C		0.5	1.0	ppm/°C
		MAX6350E_A	E		0.75	1.5	
		MAX6350MJA	M		1.0	2.5	
Line Regulation (Note 2)	ΔV_{OUT} / ΔV_{IN}	8V ≤ V_{IN} ≤ 10V	+25°C		10	18	ppm/V
			C			30	
			E			35	
			M			45	
		10V ≤ V_{IN} ≤ 36V	+25°C		2	5	
			C			7	
			E			8	
			M			10	
Load Regulation (Note 2)	ΔV_{OUT} / ΔI_{OUT}	Sourcing: 0mA ≤ I_{OUT} ≤ 15mA	C		1	6	ppm/mA
			E		1	7	
			M		2	9	
		Sinking: -15mA ≤ I_{OUT} ≤ 0mA	C		1	6	
			E		1	7	
			M		6	15	
Supply Current	I_{IN}		+25°C		2.0	3.0	mA
			C, E, M			3.3	
Trim-Adjustment Range	ΔV_{OUT}	Figure 1	C, E, M	±30	±50		mV
Turn-On Settling Time	t_{on}	To ±0.01% of final value	+25°C		10		µs
Output Noise Voltage (Note 3)	e_n	0.1Hz ≤ f ≤ 10Hz	+25°C		3.0		µVp-p
		10Hz ≤ f ≤ 1kHz	+25°C		2.5	5.0	μV_{RMS}
Temperature Hysteresis		(Note 4)	+25°C		20		ppm
Long-Term Stability	ΔV_{OUT} / t		+25°C		30		ppm/ 1000h

Note 1: Temperature coefficient is measured by the box method; i.e., the maximum ΔV_{OUT} is divided by $\Delta T \times V_{OUT}$.

Note 2: Line regulation (ΔV_{OUT} / ($V_{OUT} \times \Delta V_{IN}$)) and load regulation ($\Delta V_{OUT}$ / ($V_{OUT} \times \Delta I_{OUT}$)) are measured with pulses and do not include output voltage changes due to die-temperature changes.

Note 3: Noise specifications are 100% tested for the 10Hz to 1kHz bandwidth. Production testing in the 0.1Hz to 10Hz bandwidth is available upon request.

Note 4: Temperature hysteresis is specified at T_A = +25°C by measuring V_{OUT} before and after changing temperature by +25°C using the plastic DIP package.

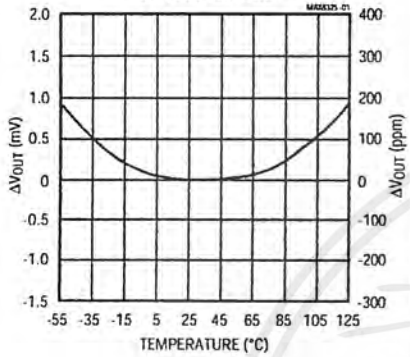
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1ppm/°C, Low-Noise, +2.5V/+4.096V/+5V Voltage References

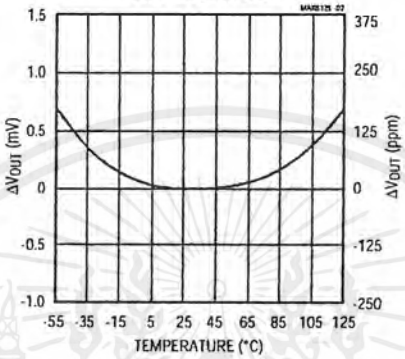
Typical Operating Characteristics

(VIN = 10V, IOUT = 0mA, TA = +25°C, unless otherwise noted.)

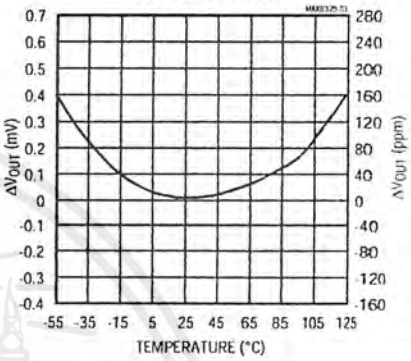
MAX6350
NORMALIZED OUTPUT VOLTAGE vs. TEMPERATURE



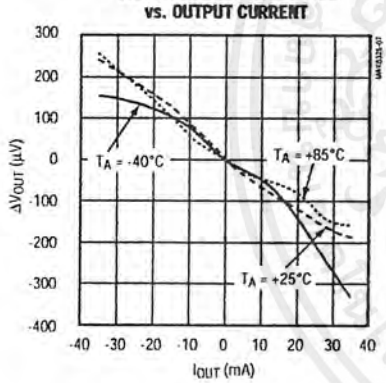
MAX6341
NORMALIZED OUTPUT VOLTAGE vs. TEMPERATURE



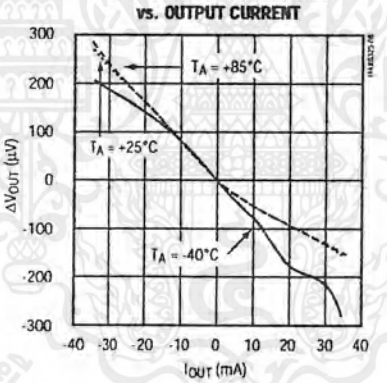
MAX6325
NORMALIZED OUTPUT VOLTAGE vs. TEMPERATURE



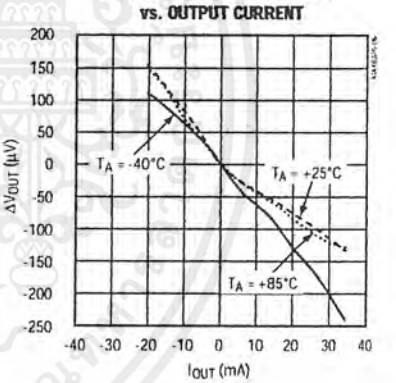
MAX6350
CHANGE IN OUTPUT VOLTAGE vs. OUTPUT CURRENT



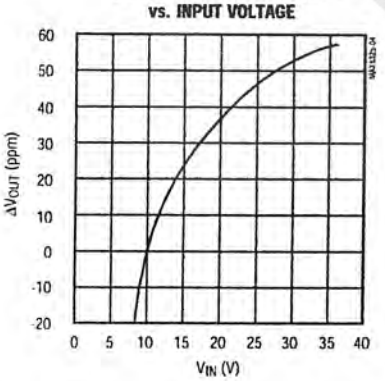
MAX6341
CHANGE IN OUTPUT VOLTAGE vs. OUTPUT CURRENT



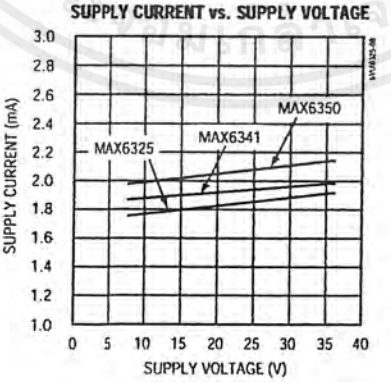
MAX6325
CHANGE IN OUTPUT VOLTAGE vs. OUTPUT CURRENT



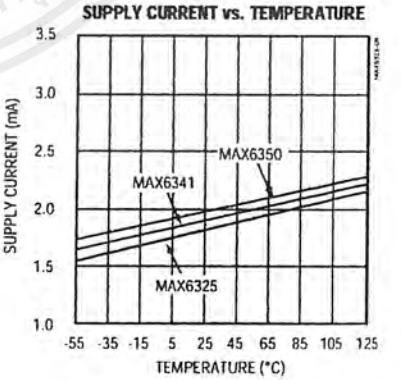
CHANGE IN OUTPUT VOLTAGE vs. INPUT VOLTAGE



SUPPLY CURRENT vs. SUPPLY VOLTAGE



SUPPLY CURRENT vs. TEMPERATURE



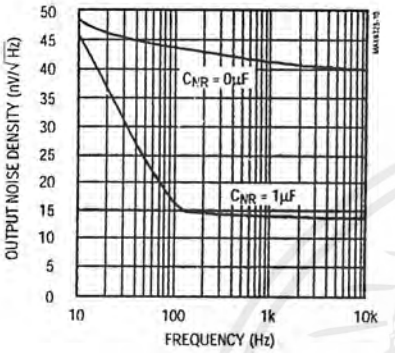
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1ppm/°C, Low-Noise, +2.5V/+4.096V/+5V Voltage References

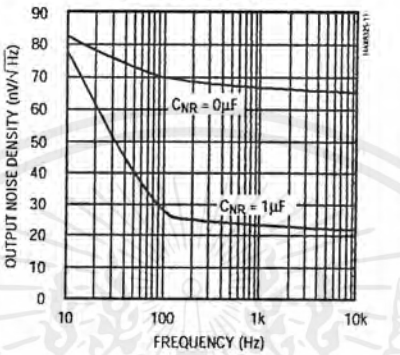
Typical Operating Characteristics (continued)

(V_{IN} = 10V, I_{OUT} = 0mA, T_A = +25°C, unless otherwise noted.)

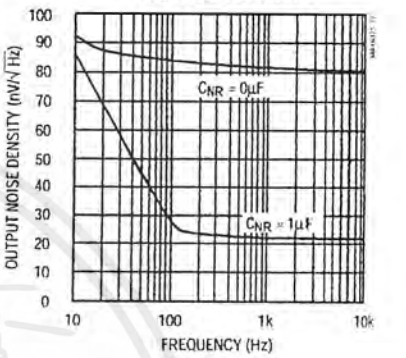
MAX6325 OUTPUT NOISE-VOLTAGE DENSITY vs. FREQUENCY



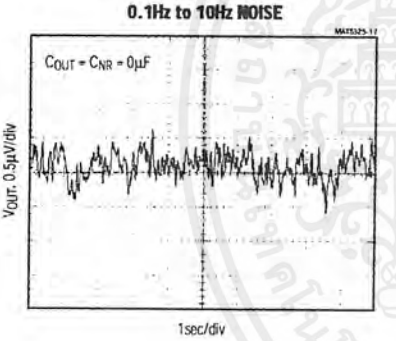
MAX6341 OUTPUT NOISE-VOLTAGE DENSITY vs. FREQUENCY



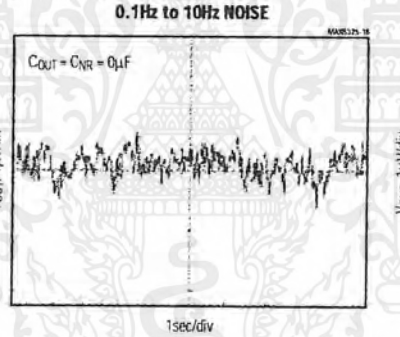
MAX6350 OUTPUT NOISE-VOLTAGE DENSITY vs. FREQUENCY



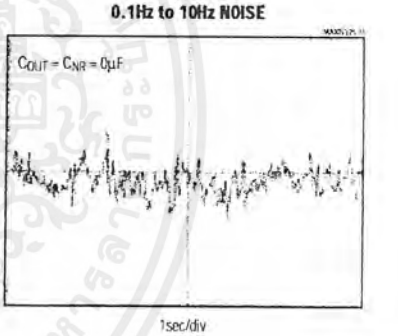
MAX6325 0.1Hz to 10Hz NOISE



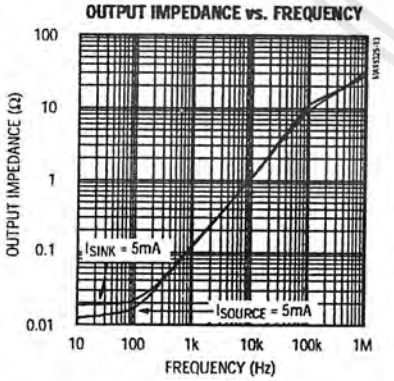
MAX6341 0.1Hz to 10Hz NOISE



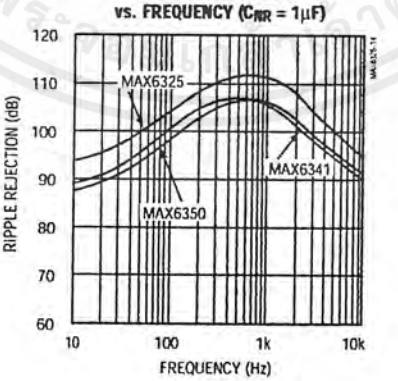
MAX6350 0.1Hz to 10Hz NOISE



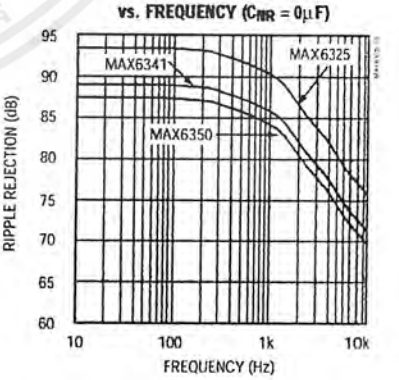
OUTPUT IMPEDANCE vs. FREQUENCY



RIPPLE REJECTION vs. FREQUENCY (C_{NR} = 1µF)



RIPPLE REJECTION vs. FREQUENCY (C_{NR} = 0µF)



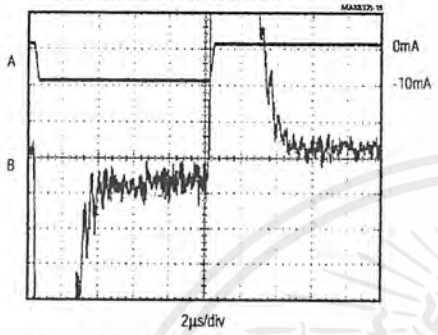
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1ppm/°C, Low-Noise, +2.5V/+4.096V/+5V Voltage References

Typical Operating Characteristics (continued)

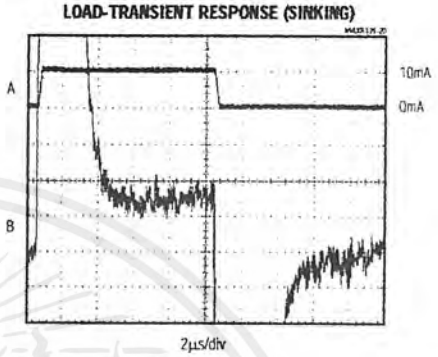
(V_{IN} = 10V, I_{OUT} = 0mA, T_A = +25°C, unless otherwise noted.)

LOAD-TRANSIENT RESPONSE (SOURCING)



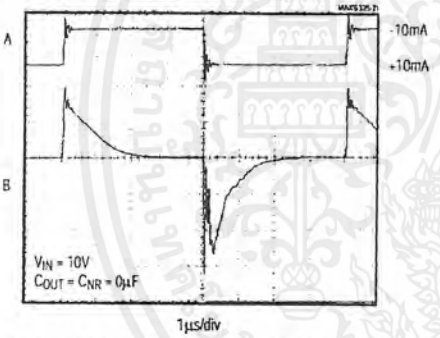
A: I_{OUT}, 10mA/div (SOURCING)
B: V_{OUT}, 500µV/div

LOAD-TRANSIENT RESPONSE (SINKING)



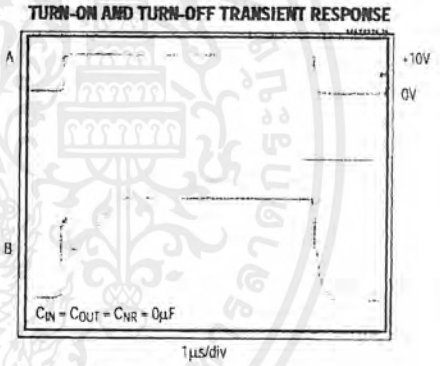
A: I_{OUT}, 10mA/div (SINKING)
B: V_{OUT}, 500µV/div

LOAD-TRANSIENT RESPONSE



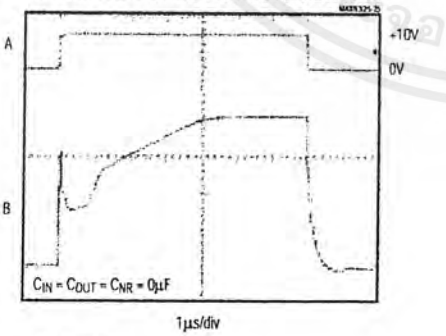
A: I_{OUT} (±10mA SOURCE AND SINK), 20mA/div, AC COUPLED
B: V_{OUT}, 20mV/div, AC COUPLED

MAX6325
TURN-ON AND TURN-OFF TRANSIENT RESPONSE



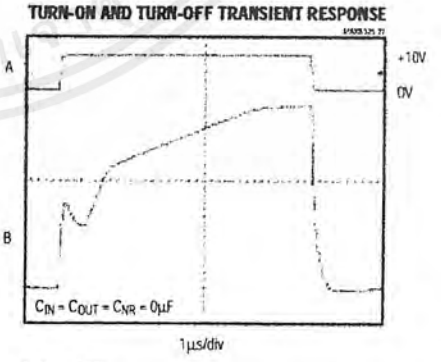
A: V_{IN}, 10V/div
B: V_{OUT}, 1V/div

MAX6341
TURN-ON AND TURN-OFF TRANSIENT RESPONSE



A: V_{IN}, 10V/div
B: V_{OUT}, 1V/div

MAX6350
TURN-ON AND TURN-OFF TRANSIENT RESPONSE



A: V_{IN}, 10V/div
B: V_{OUT}, 1V/div

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1ppm/°C, Low-Noise, +2.5V/+4.096V/+5V Voltage References

Pin Description

PIN	NAME	FUNCTION
1, 7, 8	I.C.	Internally Connected. **Do not use.**
2	IN	Positive Power-Supply Input
3	NR	Noise Reduction. Optional capacitor connection for wideband noise reduction. Leave open if not used (Figure 2).
4	GND	Ground
5	TRIM	External Trim Input. Allows ±1% output adjustment (Figure 1). Leave open if not used.
6	OUT	Voltage Reference Output

Detailed Description

Temperature Stability

The MAX6325/MAX6341/MAX6350 are highly stable, low-noise voltage references that use a low-power temperature-compensation scheme to achieve laboratory-standard temperature stability. This produces a nearly flat temperature curve, yet does not require the power associated with heated references.

The output voltage can be trimmed a minimum of 0.6% by connecting a 10kΩ potentiometer between OUT and GND, and connecting its tap to the TRIM pin, as shown in Figure 1. The external trimming does not affect temperature stability.

Noise Reduction

To augment wideband noise reduction, add a 1µF capacitor to the NR pin (Figure 2). Larger values do not improve noise appreciably (see *Typical Operating Characteristics*).

Noise in the power-supply input can affect output noise, but can be reduced by adding an optional bypass capacitor to the IN pin and GND.

Bypassing

The MAX6325/MAX6341/MAX6350 are stable with capacitive load values from 0µF to 100µF, for all values of load current. Adding an output bypass capacitor can help reduce noise and output glitching caused by load transients.

Applications Information

Negative Regulator

Figure 3 shows how both a +5V and -5V precision reference can be obtained from a single, unregulated +5V supply. A MAX681 generates approximately ±9V to operate the MAX6350 reference and MAX400 inverting amplifier. The +5V is inverted by the ultra-low offset MAX400 op amp. Resistor R1 is optional, and may be used to trim the ±5V references. R2 and R4 should be matched, both in absolute resistance and temperature coefficient. R3 is optional, and is adjusted to set the -5V reference.

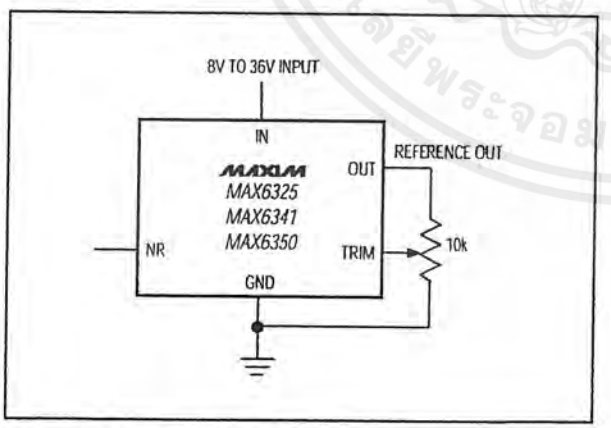


Figure 1. Output Voltage Adjustment

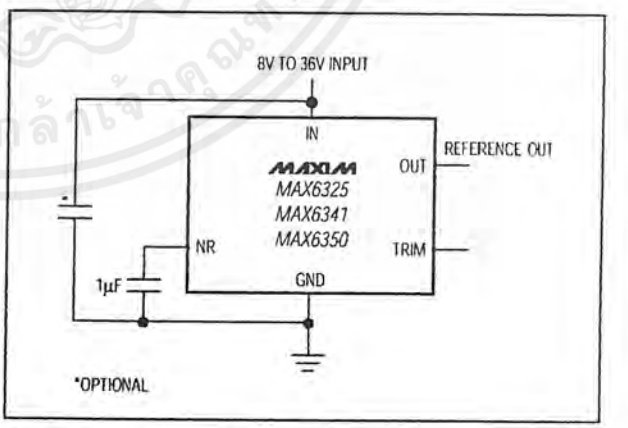


Figure 2. Noise-Reduction Capacitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1ppm/°C, Low-Noise, +2.5V/+4.096V/+5V Voltage References

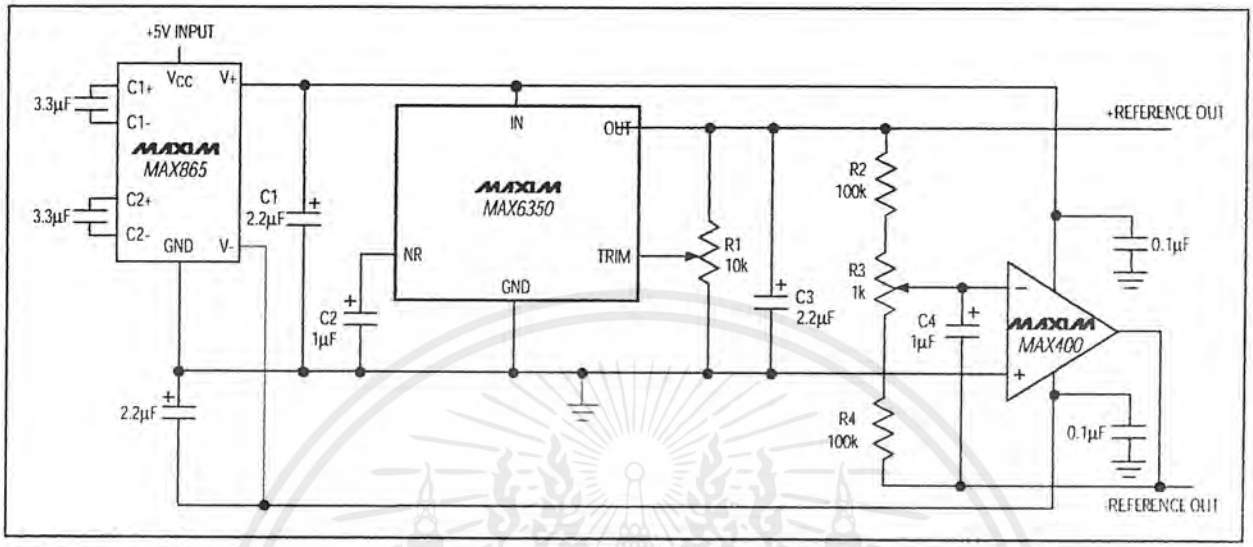


Figure 3. +5V and -5V References from a Single +5V Supply

Ordering Information (continued)

PART	TEMP. RANGE	PIN-PACKAGE	MAX. TEMPCO (ppm/°C)
MAX6341CPA	0°C to +70°C	8 Plastic DIP	1.0
MAX6341CSA	0°C to +70°C	8 SO	1.0
MAX6341EPA	-40°C to +85°C	8 Plastic DIP	1.5
MAX6341ESA	-40°C to +85°C	8 SO	1.5
MAX6341MJA	-55°C to +125°C	8 CERDIP	2.5
MAX6350CPA	0°C to +70°C	8 Plastic DIP	1.0
MAX6350CSA	0°C to +70°C	8 SO	1.0
MAX6350EPA	-40°C to +85°C	8 Plastic DIP	1.5
MAX6350ESA	-40°C to +85°C	8 SO	1.5
MAX6350MJA	-55°C to +125°C	8 CERDIP	2.5

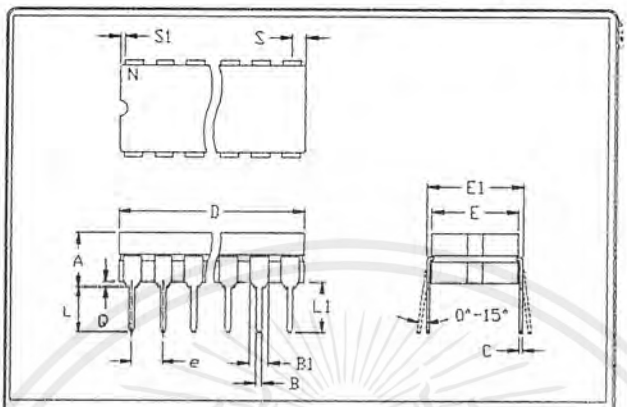
Chip Information

TRANSISTOR COUNT: 435

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1ppm/°C, Low-Noise, +2.5V/+4.096V/+5V Voltage References

Package Information (continued)



	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	---	0.200	---	5.08
B	0.014	0.023	0.36	0.58
B1	0.038	0.065	0.97	1.65
C	0.008	0.015	0.20	0.38
E	0.220	0.310	5.59	7.87
E1	0.290	0.320	7.37	8.13
e	0.100		2.54	
L	0.125	0.200	3.18	5.08
L1	0.150	---	0.00	---
Q	0.015	0.070	0.38	1.78
S	---	0.098	---	2.49
S1	0.005	---	0.13	---

	INCHES		MILLIMETERS			
	MIN	MAX	MIN	MAX	N	CASE
D	---	0.405	---	10.29	8	P-D4
D	---	0.785	---	19.94	14	C-D1
D	---	0.840	---	21.34	16	E-D2
D	---	0.960	---	24.38	18	V-D6
D	---	1.060	---	26.92	20	R-D8
D	---	1.280	---	32.51	24	L-D9

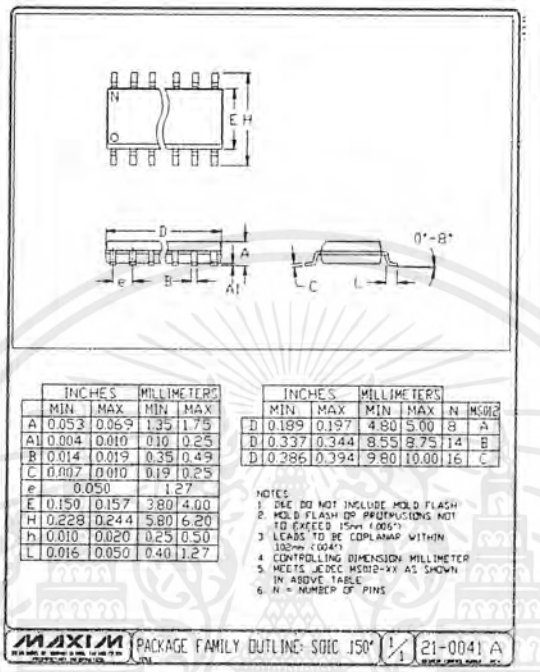
NOTES:
1. CONTROLLING DIMENSION: INCH
2. MEETS JEDEC OUTLINE CONFIGURATION #1 AS SHOWN IN ABOVE TABLE
3. N = NUMBER OF PINS

MAXIM	PACKAGE FAMILY OUTLINE: CDIP .300"	1/1	21-0045 A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1ppm/°C, Low-Noise, +2.5V/+4.096V/+5V Voltage References

Package Information

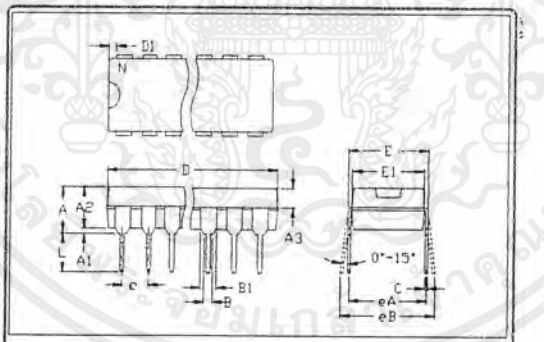


	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.053	0.069	1.35	1.75
A1	0.004	0.010	0.10	0.25
B	0.014	0.019	0.35	0.49
C	0.007	0.010	0.19	0.25
e	0.050		1.27	
E	0.150	0.157	3.80	4.00
H	0.228	0.244	5.80	6.20
h	0.010	0.020	0.25	0.50
L	0.016	0.050	0.40	1.27

	INCHES		MILLIMETERS			
	MIN	MAX	MIN	MAX	N	MS012
D	0.189	0.197	4.80	5.00	8	A
D	0.337	0.344	8.55	8.75	14	B
D	0.386	0.394	9.80	10.00	16	C

NOTES
1. DIE DO NOT INCLUDE MOLD FLASH
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED 15mm (.006")
3. LEADS TO BE COPLANAR WITHIN 102mm (.004")
4. CONTROLLING DIMENSION: MILLIMETER
5. MEETS JEDEC MS012-XX AS SHOWN IN ABOVE TABLE
6. N = NUMBER OF PINS

MAXIM | PACKAGE FAMILY OUTLINE: SOIC .150" | 1/1 | 21-0041 A



	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	---	0.200	---	5.08
A1	0.015	---	0.38	---
A2	0.125	0.175	3.18	4.45
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.045	0.065	1.14	1.65
C	0.008	0.012	0.20	0.30
D1	0.005	0.080	0.13	2.03
E	0.300	0.325	7.62	8.26
E1	0.240	0.310	6.10	7.87
e	0.100	---	2.54	---
eA	0.300	---	7.62	---
eB	---	0.400	---	10.16
L	0.115	0.150	2.92	3.81

	INCHES		MILLIMETERS			
	MIN	MAX	MIN	MAX	N	MS00
D	0.348	0.390	8.84	9.91	8	AB
D	0.735	0.765	18.67	19.43	14	AC
D	0.745	0.765	18.92	19.43	16	AA
D	0.885	0.915	22.48	23.24	18	AD
D	1.015	1.045	25.78	26.54	20	AE
D	1.14	1.265	28.96	32.13	24	AF
D	1.360	1.380	34.54	35.05	28	*5

NOTES:
1. DIE DO NOT INCLUDE MOLD FLASH
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED 15mm (.006")
3. CONTROLLING DIMENSION: MILLIMETER
4. MEETS JEDEC MS001-XX AS SHOWN IN ABOVE TABLE
5. SIMILIAR TO JEDEC MO-058AB
6. N = NUMBER OF PINS

MAXIM | PACKAGE FAMILY OUTLINE: PDIP .300" | 1/1 | 21-0043 A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS Octal 8-Bit D/A Converter

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND ..... -0.3V, +17V
V_{DD} to V_{SS} ..... -0.3V, +24V
V_{SS} to GND ..... -7V, V_{DD}
Digital Input Voltage to GND ..... -0.3V, V_{DD}
V_{REF} to GND ..... -0.3V, V_{DD}
V_{OUT} to GND (Note 1) ..... V_{SS}, V_{DD}
Power Dissipation (Any Package) to +75°C 1000mW
Derating above +75°C ..... 12mW/°C

Operating Temperature Ranges
MX7228K, L ..... 0°C to +70°C
MX7228B, C ..... -25°C to +85°C
MX7228T, U ..... -55°C to +125°C
Storage Temperature ..... -65°C to +165°C
Lead Temperature (Soldering 10 sec.) ..... +300°C

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—Dual Supply Operation

(V_{DD} = +10.8V to +16.5V, V_{SS} = -5V ±10%, GND = 0V, V_{REF} = +2V to +10V, R_L = 2k, C_L = 100pF, T_A = T_{MIN} to T_{MAX} unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
STATIC PERFORMANCE							
Resolution				8			Bits
Total Unadjusted Error		V_{DD} = 15V ± 10% V_{REF} = 10V	K,B,T L,C,U			±2 ±1	LSB
Relative Accuracy	INL		K,B,T L,C,U			±1 ±1/2	LSB
Differential Nonlinearity	DNL	Guaranteed Monotonic				±1	LSB
Full Scale Error			K,B,T L,C,U			±1 ±1/2	LSB
Full Scale Tempco		V_{REF} = 10V			5		ppm/°C
Zero Code Error		T_A = 25°C	K,B,T L,C,U			±25 ±15	mV
		T_A = T_{MIN} to T_{MAX}	K,B,T L,C,U			±30 ±20	
Zero Code Tempco					30		µV/°C
REFERENCE INPUT							
Reference Input Range		(Note 2)		2		10	V
Reference Input Resistance				2			kΩ
Reference Input Capacitance		(Note 3) DAC loaded with 1s				500	pF
AC Feedthrough		(Note 4)			-70		dB
DIGITAL INPUTS							
Input High Voltage	V_{INH}			2.4			V
Input Low Voltage	V_{INL}					0.8	V
Digital Input Leakage Current		V_{IN} = 0V or V_{DD}				±1	µA
Digital Input Capacitance		(Note 3)				8	pF

Note 1: The outputs may be shorted to GND provided that the power dissipation of the package is not exceeded. Typical short circuit current to GND is 25mA.
Note 2: V_{OUT} must be less than V_{DD} by 3.5V to ensure correct operation.
Note 3: Sample tested at +25°C to ensure compliance.
Note 4: V_{REF} = 10kHz, 8V peak-to-peak sine wave.
Note 5: Code transition all 0s to all 1s. V_{REF} = 0V; $\overline{WR}$ = V_{DD}.
Note 6: Code transition all 0s to all 1s. V_{REF} = 10V; $\overline{WR}$ = 0V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIM

CMOS Octal 8-Bit D/A Converter

General Description

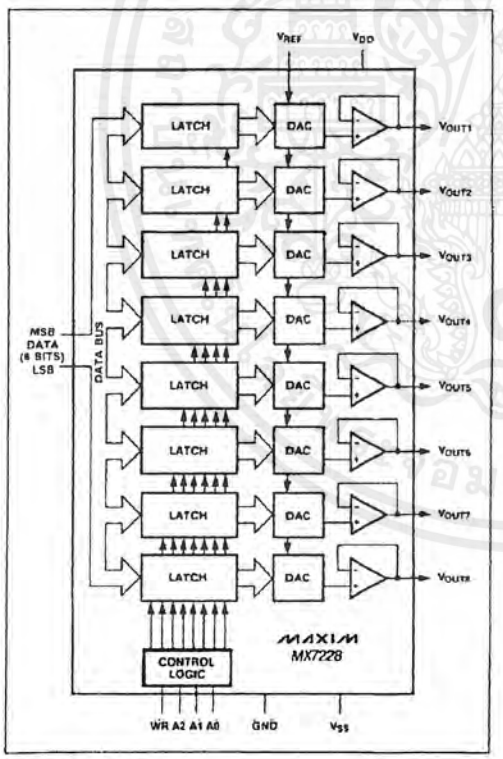
Maxim's MX7228 contains eight 8-bit voltage output digital-to-analog converters (DACs) with separate input latches and output buffers for simple microprocessor and TTL/CMOS interfacing. The MX7228 maintains 8-bit accuracy over the full operating temperature range without external trimming.

Internally, data transfer into the data registers is via a common 8-bit TTL/CMOS compatible input bus. Logic inputs A2, A1, and A0 control which DAC is loaded after $\overline{WR}$ goes low.

Applications

Minimum Component Count Analog Systems
Digital Offset/Gain Adjustment
Industrial Process Control
Arbitrary Function Generators
Automatic Test Equipment

Typical Operating Circuit



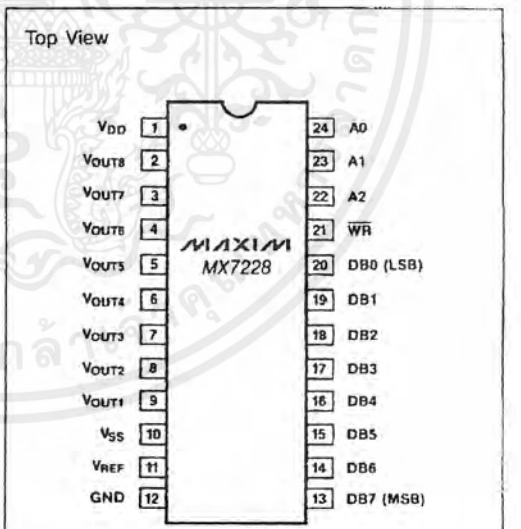
Features

- Buffered Voltage Output
- µP Compatible
- TTL/CMOS Logic Compatible
- Requires No External Adjustments
- 24-Pin Narrow DIP Package
- Operates from Single or Dual Supplies

Ordering Information

PART	TEMP. RANGE	PACKAGE	ERROR
MX7228KN	0°C to +70°C	Plastic DIP	±2 LSB
MX7228LN	0°C to +70°C	Plastic DIP	+1 LSB
MX7228KCWG	0°C to +70°C	Wide SO	±2 LSB
MX7228LCWG	0°C to +70°C	Wide SO	±1 LSB
MX7228K/D	0°C to +70°C	Dice	±2 LSB
MX7228KP	0°C to +70°C	PLCC	±2 LSB
MX7228LP	0°C to +70°C	PLCC	+1 LSB
MX7228BQ	-25°C to +85°C	CERDIP	±2 LSB
MX7228CQ	-25°C to +85°C	CERDIP	+1 LSB
MX7228TQ	-55°C to +125°C	CERDIP	±2 LSB
MX7228UQ	-55°C to +125°C	CERDIP	±1 LSB

Pin Configuration



See page 11 for Plastic Chip Carrier Configuration

MAXIM is a registered trademark of Maxim Integrated Products.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS—Dual Supply Operation (Continued)

(V_{DD} = +10.8V to +16.5V, V_{SS} = -5V +10%, GND = 0V, V_{REF} = +2V to +10V, R_L = 2k, C_L = 100pF, T_A = T_{MIN} to T_{MAX} unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE (Note 3)							
Voltage Output Slew Rate				2			V/μs
V_{OUT} Settling Time		To +1/2 LSB, V_{REF} = 10V				5	μs
Digital Feedthrough		(Note 5)			50		nV-sec
Digital Crosstalk		(Note 6)			50		nV-sec
Output Load Resistance		V_{OUT} = 10V		2			kΩ
POWER REQUIREMENTS							
Positive Supply Range	V_{DD}	For specified performance		10.8		16.5	V
Negative Supply Range	V_{SS}	For specified performance		-4.5		-5.5	V
Positive Supply Current (Note 7)	I_{DD}	T_A = 25°C	All			16	mA
		T_A = T_{MIN} to T_{MAX}	K,B,L,C			20	
			T,U			22	
Negative Supply Current (Note 7)	I_{SS}	T_A = 25°C	All			14	mA
		T_A = T_{MIN} to T_{MAX}	K,B,L,C			18	
			T,U			20	
SWITCHING CHARACTERISTICS (Note 3)							
Address to $\overline{WR}$ Setup	t_1			0			ns
Address to $\overline{WR}$ Hold	t_2			0			ns
Data to $\overline{WR}$ Setup	t_3	T_A = 25°C	All	70			ns
		T_A = T_{MIN} to T_{MAX}	K,L,B,C	90			
			T,U	100			
Data to $\overline{WR}$ Hold	t_4			10			ns
$\overline{WR}$ Pulse Width	t_5	T_A = 25°C	All	95			ns
		T_A = T_{MIN} to T_{MAX}	K,L,B,C	120			
			T,U	150			

ELECTRICAL CHARACTERISTICS—Single +15V Supply Operation

(V_{DD} = +15V ±10%, V_{SS} = GND = 0V, V_{REF} = +10V, R_L = 2k, C_L = 100pF, T_A = T_{MIN} to T_{MAX} unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
STATIC PERFORMANCE							
Resolution				8			Bits
Total Unadjusted Error			K,B,T			±2	LSB
			L,C,U			±1	
Differential Nonlinearity		Guaranteed Monotonic				±1	LSB
REFERENCE INPUT All specifications are the same as for dual supplies							
DIGITAL INPUTS All specifications are the same as for dual supplies.							
DYNAMIC PERFORMANCE All specifications are the same as for dual supplies.							
POWER REQUIREMENTS							
Positive Supply Range	V_{DD}	For specified performance		13.5		16.5	V
Positive Supply Current (Note 7)	I_{DD}	T_A = 25°C	All			16	mA
		T_A = T_{MIN} to T_{MAX}	K,B,L,C			20	
			T,U			22	
SWITCHING CHARACTERISTICS All specifications are the same as for dual supplies.							

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS Octal 8-Bit D/A Converter

MX7228

ELECTRICAL CHARACTERISTICS—+5V Supply Operation

(V_{DD} = +5V ± 5%, V_{SS} = 0 to -5V ±10%, GND = 0V, V_{REF} = +1.25V, R_L = 2k, C_L = 100pF, T_A = T_{MIN} to T_{MAX} unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
STATIC PERFORMANCE							
Resolution				8			Bits
Differential Nonlinearity		Guaranteed Monotonic				±1	LSB
Full Scale Error			K,B,T			±4	LSB
			L,C,U			±2	
Zero Code Error		T_A = 25°C	K,B,T			40	mV
			L,C,U			30	
REFERENCE INPUT							
Reference Input Range		(Note 2)		1.2		1.3	V
Reference Input Resistance				2			kΩ
Reference Input Capacitance		(Note 3) DAC loaded with 1s				500	pF
DIGITAL INPUTS All specifications are the same as for dual supplies.							
DYNAMIC PERFORMANCE All specifications are the same as for dual supplies.							
POWER REQUIREMENTS							
Positive Supply Range	V_{DD}	For Spec Performance		4.75		5.25	V
Positive Supply Current (Note 7)	I_{DD}	T_A = 25°C	All			16	mA
		T_A = T_{MIN} to T_{MAX}	K,B,L,C			20	
			T,U			22	
Negative Supply Current (Note 7)	I_{SS}	T_A = 25°C	All			14	mA
		T_A = T_{MIN} to T_{MAX}	K,B,L,C			18	
			T,U			20	
SWITCHING CHARACTERISTICS (Note 3)							
Address to $\overline{WR}$ Setup	t_1			0			ns
Address to $\overline{WR}$ Hold	t_2			0			ns
Data to $\overline{WR}$ Setup	t_3	T_A = 25°C	All	100			ns
		T_A = T_{MIN} to T_{MAX}	K,L,B,C	140			
			T,U	175			
Data to $\overline{WR}$ Hold	t_4			10			ns
$\overline{WR}$ Pulse Width	t_5	T_A = 25°C	All	125			ns
		T_A = T_{MIN} to T_{MAX}	K,L,B,C	160			
			T,U	200			

Note 1: The outputs may be shorted to GND provided that the power dissipation of the package is not exceeded. Typical short circuit current to GND is 25mA.
Note 2: V_{OUT} must be less than V_{DD} by 3.5V to ensure correct operation.
Note 3: Sample tested at +25°C to ensure compliance.
Note 4: V_{REF} = 10kHz, 8V peak-to-peak sine wave.
Note 5: Code transition all 0s to all 1s. V_{REF} = 0V; $\overline{WR}$ = V_{DD}.
Note 6: Code transition all 0s to all 1s. V_{REF} = 10V; $\overline{WR}$ = 0V.
Note 7: Outputs unloaded.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital Inputs and Interface Logic

The digital inputs are compatible with both TTL and 5V CMOS logic, however the power supply current (I_{DD}) is somewhat dependent on input logic level. Supply current is specified for TTL input levels (worst case) but is reduced (by about 450μA) when the logic inputs are driven near GND or greater than 4 volts above GND.

Table 1 shows control logic truth table for $\overline{WR}$, A2, A1, and A0 operation. When $\overline{WR}$ is low, the input latch of the selected DAC is transparent, and the DAC's output responds to the activity on the data bus. The data is latched into the addressed DAC's latch on the rising edge of the $\overline{WR}$ signal. Figure 1 shows the timing diagram for the MX7228.

Table 1. Control Logic Truth Table

$\overline{WR}$	A2	A1	A0	OPERATION
H	X	X	X	No operation Device not selected
L	L	L	L	DAC 1 Transparent
R	L	L	L	DAC 1 Latched
L	L	L	H	DAC 2 Transparent
L	L	H	L	DAC 3 Transparent
L	L	H	H	DAC 4 Transparent
L	H	L	L	DAC 5 Transparent
L	H	L	H	DAC 6 Transparent
L	H	H	L	DAC 7 Transparent
L	H	H	H	DAC 8 Transparent

H = High State, L = Low State, X = Don't Care, R = Rising Edge

Detailed Description

The MX7228 has eight matched voltage output digital-to-analog converters (DACs) The DACs are "inverted" R-2R ladder networks which convert 8 digital bits into equivalent analog output voltages in proportion to the applied reference voltage. All 8 DACs in the MX7228 share the same reference input (V_{REF}) and GND. A simplified circuit diagram of one of the eight DACs is provided in Figure 2.

V_{REF} Input

The voltage at V_{REF} sets the full-scale output of the DACs. The input impedance of the V_{REF} pin is code dependent. The lowest value, approximately 2 kohms, occurs when the input code of all eight DACs is 01010101. The maximum value of infinity occurs when all of the input codes of the eight DACs is 00000000. Because the input resistance at V_{REF} is code dependent, the DACs' reference source should not have an output impedance more than 4 ohms. The capacitance at V_{REF} is also code dependent and typically varies from 120pF to 350pF.

V_{OUT1}, V_{OUT2}, V_{OUT3}, V_{OUT4}, V_{OUT5}, V_{OUT6}, V_{OUT7}, and V_{OUT8} can be represented by a digitally programmable voltage source as:

$$V_{OUT} = Nb \times V_{REF}/256$$

where Nb is the numeric value of the DAC's binary input code.

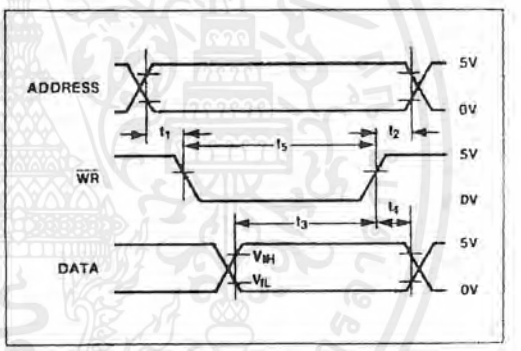


Figure 1. Write Cycle Timing Diagram

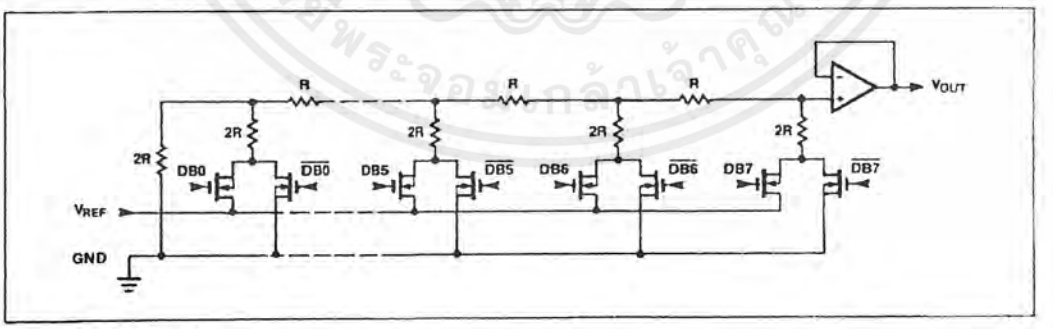


Figure 2. DAC Circuit Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS Octal 8-Bit D/A Converter

Output Buffer Amplifiers

All voltage outputs are internally buffered by precision unity gain followers which slew at greater than 2V/μs. The output settles to ±1/2 LSB in less than 5μs when driving 2kΩ in parallel with 100pF with a full scale transition (0V to +10V or +10V to 0V) The buffers will also drive 2kΩ in parallel with 500pF to 10V levels without oscillation. Typical dynamic response and settling performance of the MX7228 are shown in Figures 3 and 4.

A simplified circuit diagram of an output buffer is shown in Figure 5. Input common mode range to GND is provided by a PMOS input structure. The output circuitry incorporates both a constant current source and an actively driven n-channel device. The actively driven n-channel device aids in discharging large output capacitances.

The MX7228 can operate from either a single supply or dual supplies. The output buffer amplifiers are the only part of the MX7228 that receive V_{SS} power. Operating the MX7228 from dual supplies will improve the negative going output settling time near GND. In addition, the output amplifier can sink 500μA when operating with dual supplies. The use of dual supplies also extends the input reference voltage range. When operating with a single supply, the output sink current decreases when the output approaches 0 volts (see Figure 6).

The output amplifier broadband noise is approximately $50\mu V_{RMS}$ and is not strongly power supply voltage dependent. The output impedance of the output buffer is approximately 1Ω.

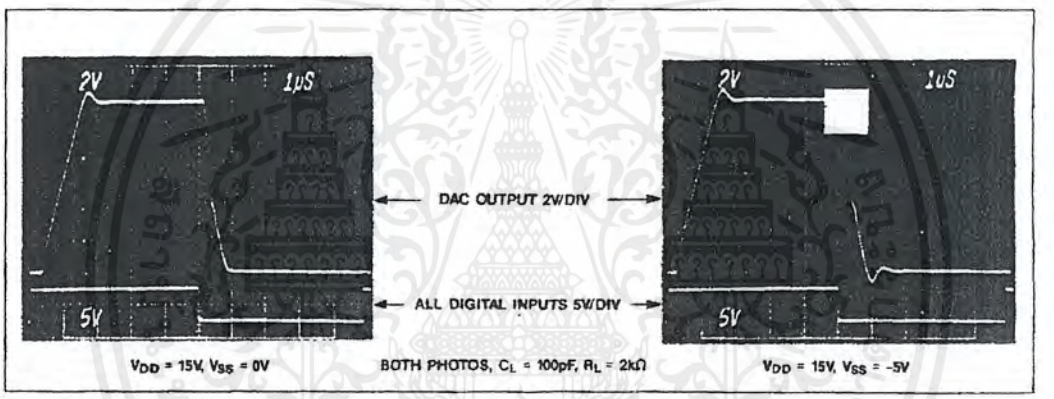


Figure 3. Dynamic Response

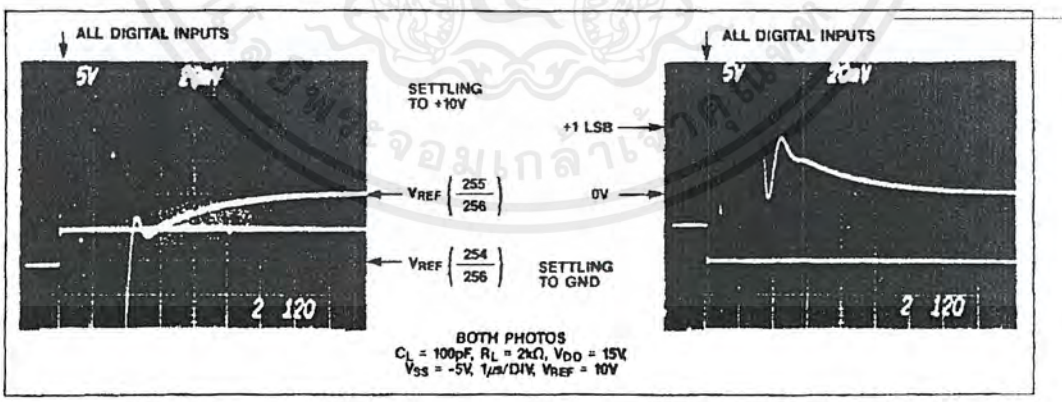


Figure 4. Dynamic Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

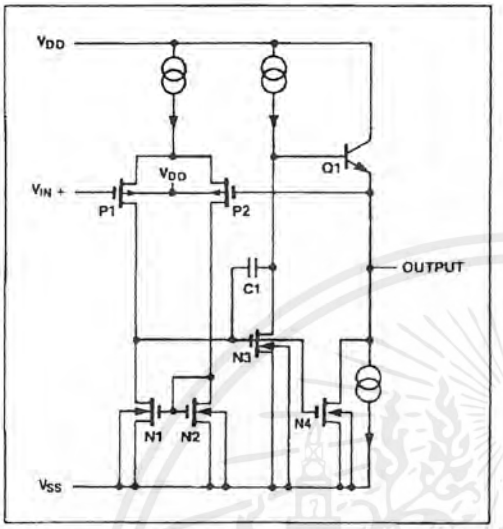


Figure 5. Output Buffer Amplifier

Applications Information

Power Supply and Reference Operating Ranges

The MX7228 is fully specified to operate between +12V ±10% and +15V ±10% (10.8V to 16.5V), and with V_{SS} from 0V to -5.5V. 8 bit performance is guaranteed for single supply operation (V_{SS} = 0V), however, zero code error is improved with V_{SS} = -5V.

For adequate DAC and buffer operation, V_{REF} must always be below V_{DD} by at least 3.5V.

Power Supply Management

Careful PCB layout techniques should be used to minimize crosstalk between V_{REF}, GND, and the digital inputs. This is particularly important if the reference input is driven from an AC source. Bypass capacitors (0.1µF in parallel with 6.8µF) should be used between V_{DD} and GND (also between V_{SS} and GND if V_{SS} is -5V).

Unipolar Output

In unipolar operation, the reference voltage is the same polarity as the output voltage. Since the reference voltage must always be positive with respect to GND, the output voltage is also positive with respect to GND. An example of a unipolar circuit configuration is shown in Figure 7. The unipolar code is given in Table 2.

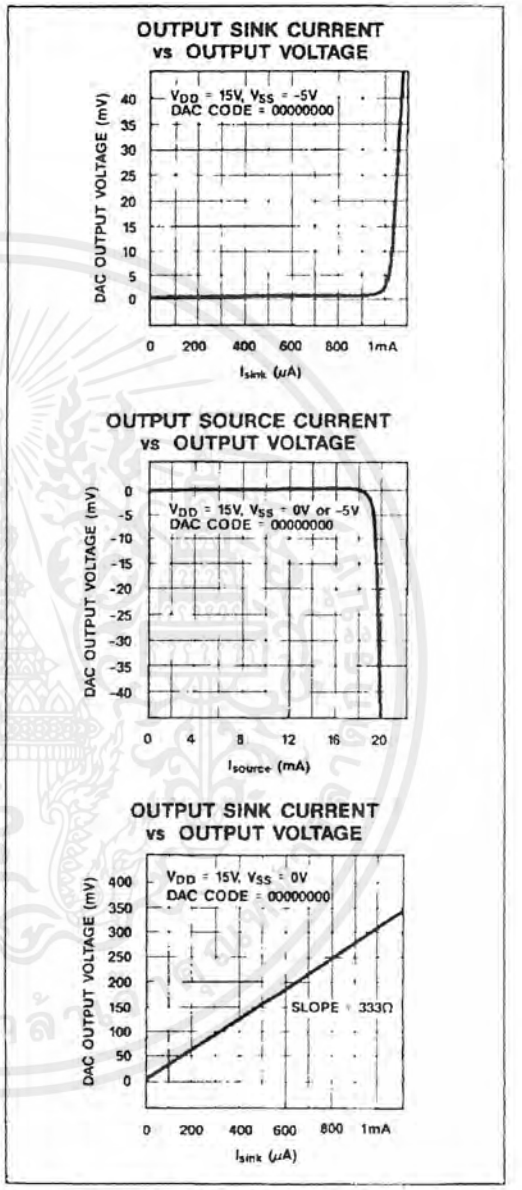


Figure 6. Output Sink/Source Current vs. Output Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS Octal 8-Bit D/A Converter

Table 2. Unipolar Code Table

DAC CONTENTS MSB LSB	ANALOG OUTPUT
1 1 1 1 1 1 1 1	$+V_{REF}\left(\frac{255}{256}\right)$
1 0 0 0 0 0 0 1	$+V_{REF}\left(\frac{129}{256}\right)$
1 0 0 0 0 0 0 0	$+V_{REF}\left(\frac{128}{256}\right) = +\frac{V_{REF}}{2}$
0 1 1 1 1 1 1 1	$+V_{REF}\left(\frac{127}{256}\right)$
0 0 0 0 0 0 0 1	$+V_{REF}\left(\frac{1}{256}\right)$
0 0 0 0 0 0 0 0	0V

Note: 1 LSB = $(V_{REF})(2^{-8}) = +V_{REF}\left(\frac{1}{256}\right)$

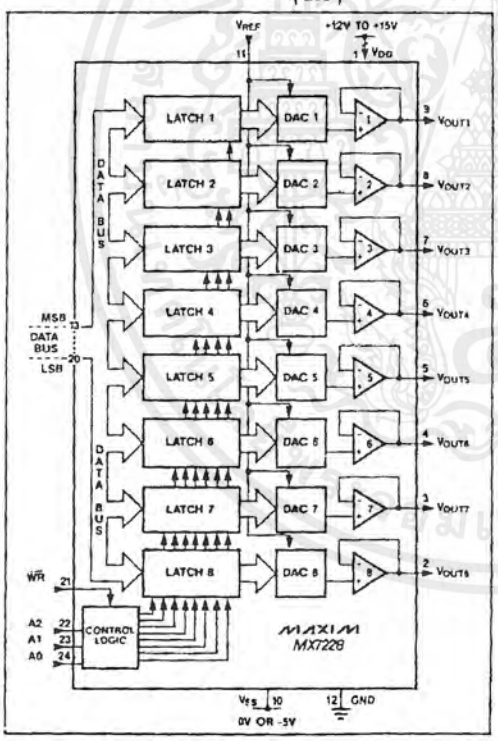


Figure 7. Unipolar Output Circuit

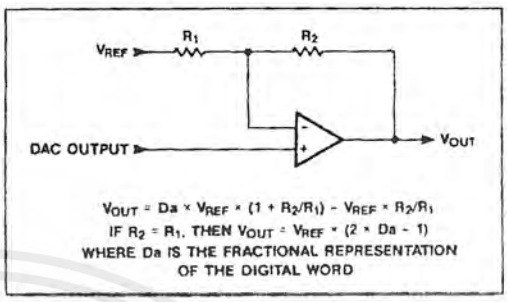


Figure 8. Bipolar Output Circuit

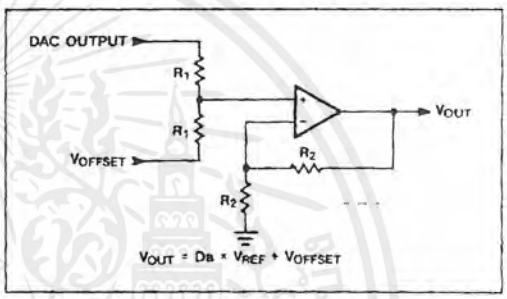


Figure 9. Offset Circuit

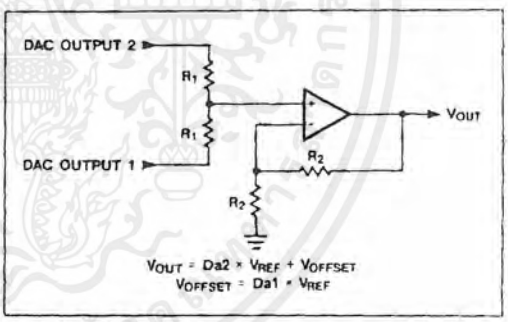


Figure 10. Offset Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bipolar Output

Each DAC output may be configured for bipolar operation using the circuit in Figure 8. One op amp and two resistors are needed per channel. Table 3 shows the digital code versus output voltage for Figure 8 assuming R1=R2.

Table 3. Bipolar Code Table

DAC CONTENTS MSB	LSB	ANALOG OUTPUT
1 1 1 1	1 1 1 1	$+V_{REF}\left(\frac{127}{128}\right)$
1 0 0 0	0 0 0 1	$+V_{REF}\left(\frac{1}{128}\right)$
1 0 0 0	0 0 0 0	0V
0 1 1 1	1 1 1 1	$-V_{REF}\left(\frac{1}{128}\right)$
0 0 0 0	0 0 0 1	$-V_{REF}\left(\frac{127}{128}\right)$
0 0 0 0	0 0 0 0	$-V_{REF}\left(\frac{128}{128}\right) = -V_{REF}$

Offsetting DAC Outputs

Each DAC can be offset using the circuit shown in Figure 9. If the op amp does not have a negative supply, then its common mode voltage range and output voltage range must include GND. Also, one DAC can provide the output offset for another DAC as shown in Figure 10.

Using an AC Reference

In applications where V_{REF} has AC signal components, the MX7228 has multiplying capabilities within the limits of the V_{REF} input range specifications. Figure 11 shows a technique for applying an AC signal to the MX7228. Since all eight DACs share a common reference, they all will be AC modulated. Output distortion is typically less than 0.1% for frequencies up to 50kHz.

Generating V_{SS}

The performance of the MX7228 is specified with and without a V_{SS} supply. When the improved performance of dual supply operation is desired, but only a single supply is available, a negative supply can be generated using any of the circuits shown in Figure 12.

Digital Interface Applications

Figures 13 through 16 shown examples of interfacing the MX7228 to most popular microprocessors.

5V Operation

The MX7228 can also be used with a single 5V power supply or a ± 5V power supply. The timing specifications are degraded, and the reference voltage range is reduced. The DNL of each DAC remains at ± 1 LSB guaranteeing monotonicity. For devices with a negative offset and no negative supply there is a possibility, near zero, that the DAC will not change when the DAC code is incremented. Once the DAC has reached the offset voltage of the output buffer, the DAC will begin to increment in a normal fashion. Since the LSB voltage is only a few millivolts, care should be used in decoupling supplies, ground loops, etc.

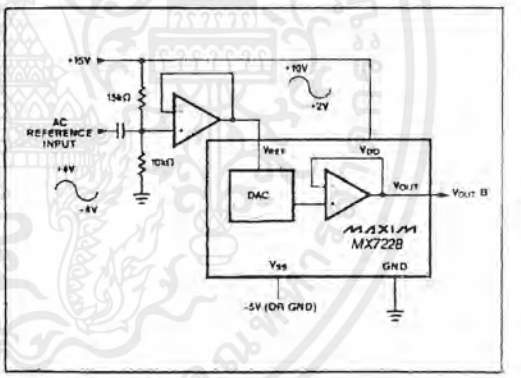


Figure 11. AC Reference Input Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS Octal 8-Bit D/A Converter

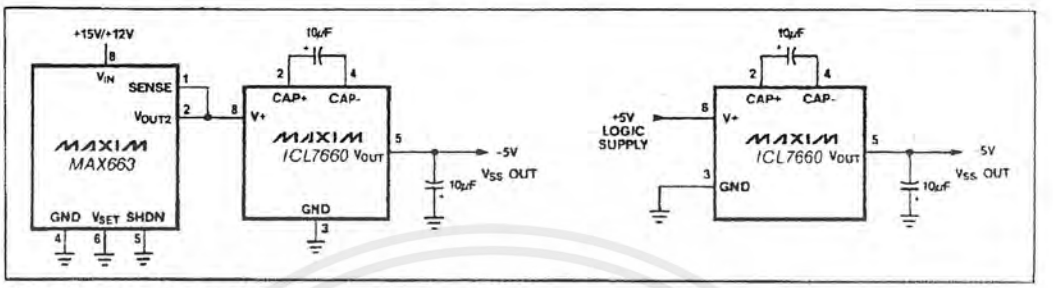


Figure 12. Generating -5V for V_{SS}

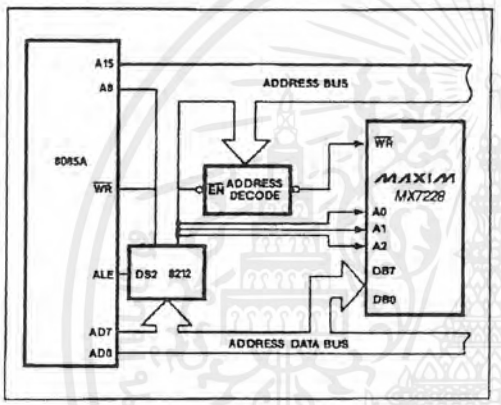


Figure 13. MX7228 to 8085A Interface

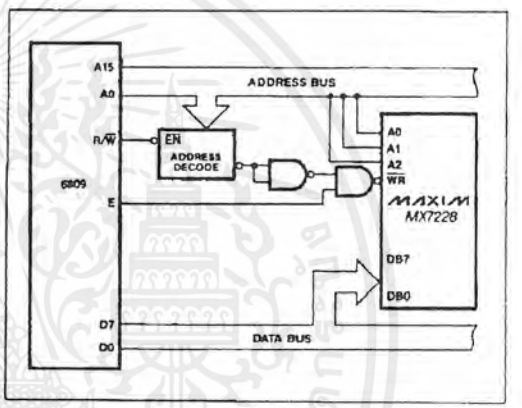


Figure 14. MX7228 to 6809 Interface

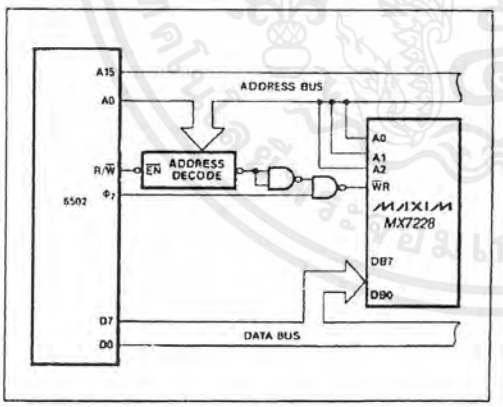


Figure 15. MX7228 to 6502 Interface

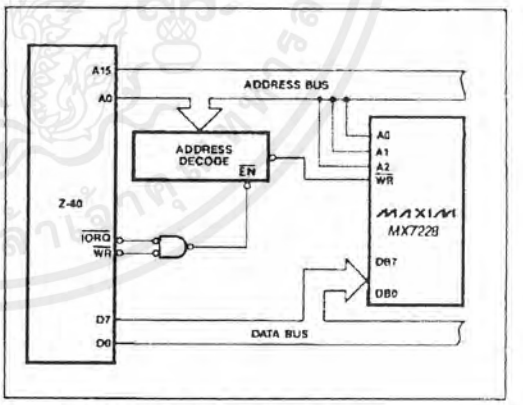


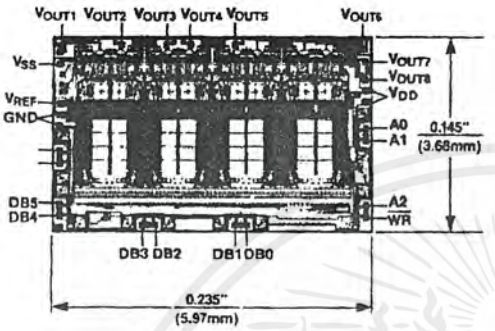
Figure 16. MX7228 to Z-80 Interface

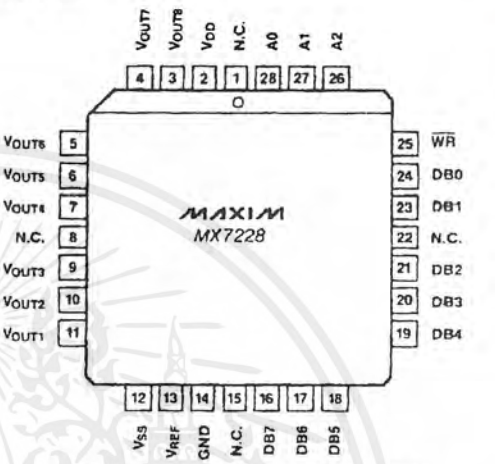
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS Octal 8-Bit D/A Converter

Pin Configuration (continued)

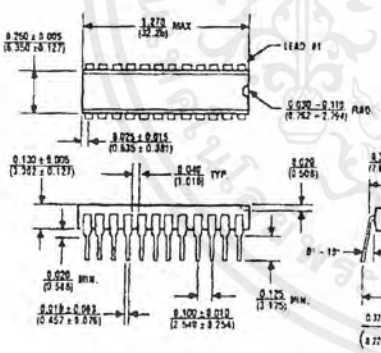
Top View



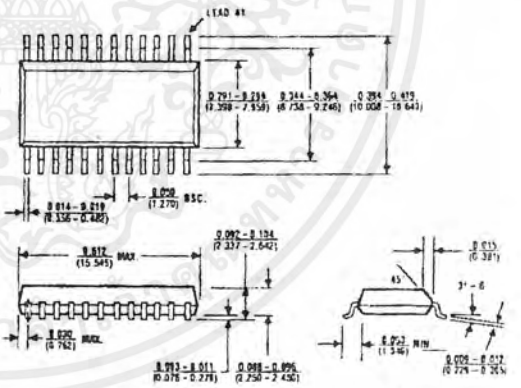


28 Lead Plastic Chip Carrier (Quad Pak)

Package Information



24 Lead Plastic Narrow DIP (NG)
θ_{JA} = 120°C/W
θ_{JC} = 60°C/W

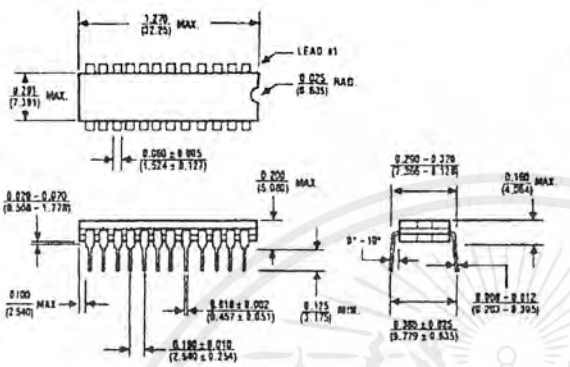


24 Lead Small Outline, Wide (WG)
θ_{JA} = 85°C/W
θ_{JC} = 45° C/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS Octal 8-Bit D/A Converter

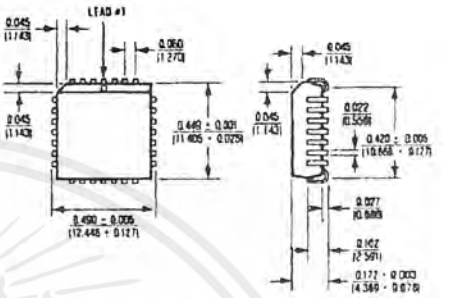
Package Information (continued)



24 Lead Narrow CERDIP (RG)

θ_{JA} = 80°C/W

θ_{JC} = 40°C/W



28 Lead Plastic Chip Carrier (Quad Pak) (QI)

θ_{JA} = 100°C/W

θ_{JC} = 45°C/W

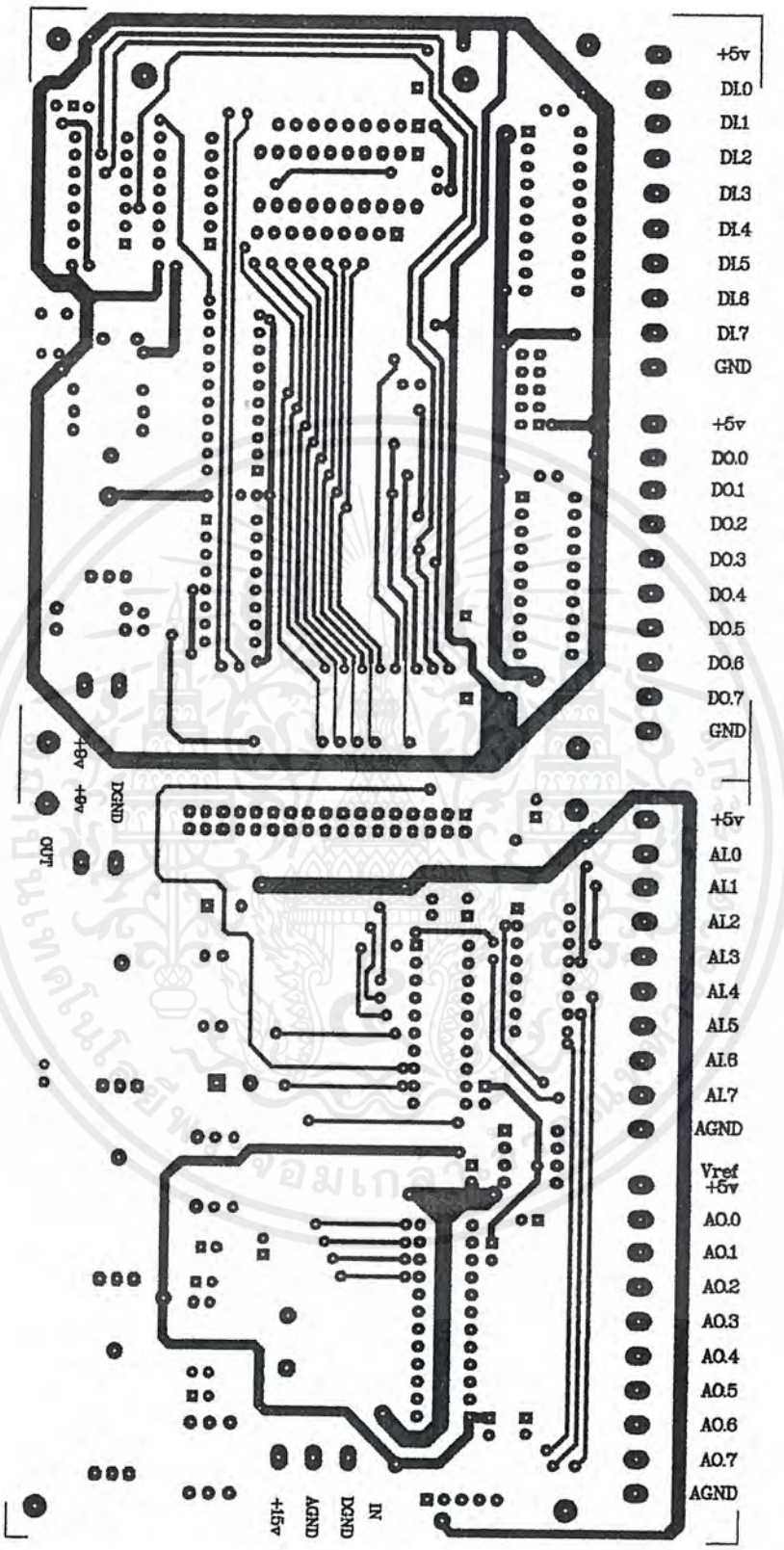
Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

©1989 Maxim Integrated Products Printed USA 19-875 1/89

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

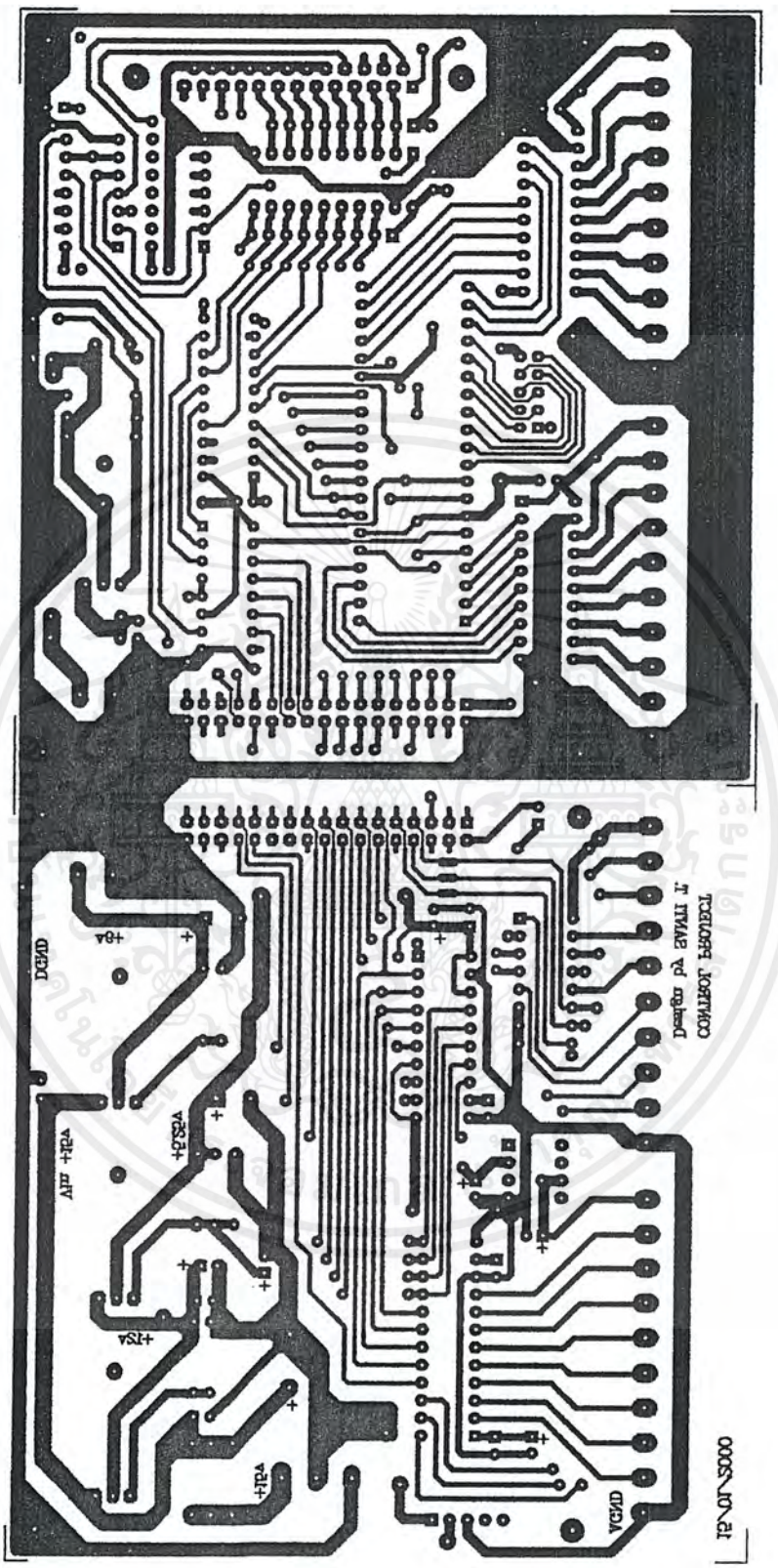
ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



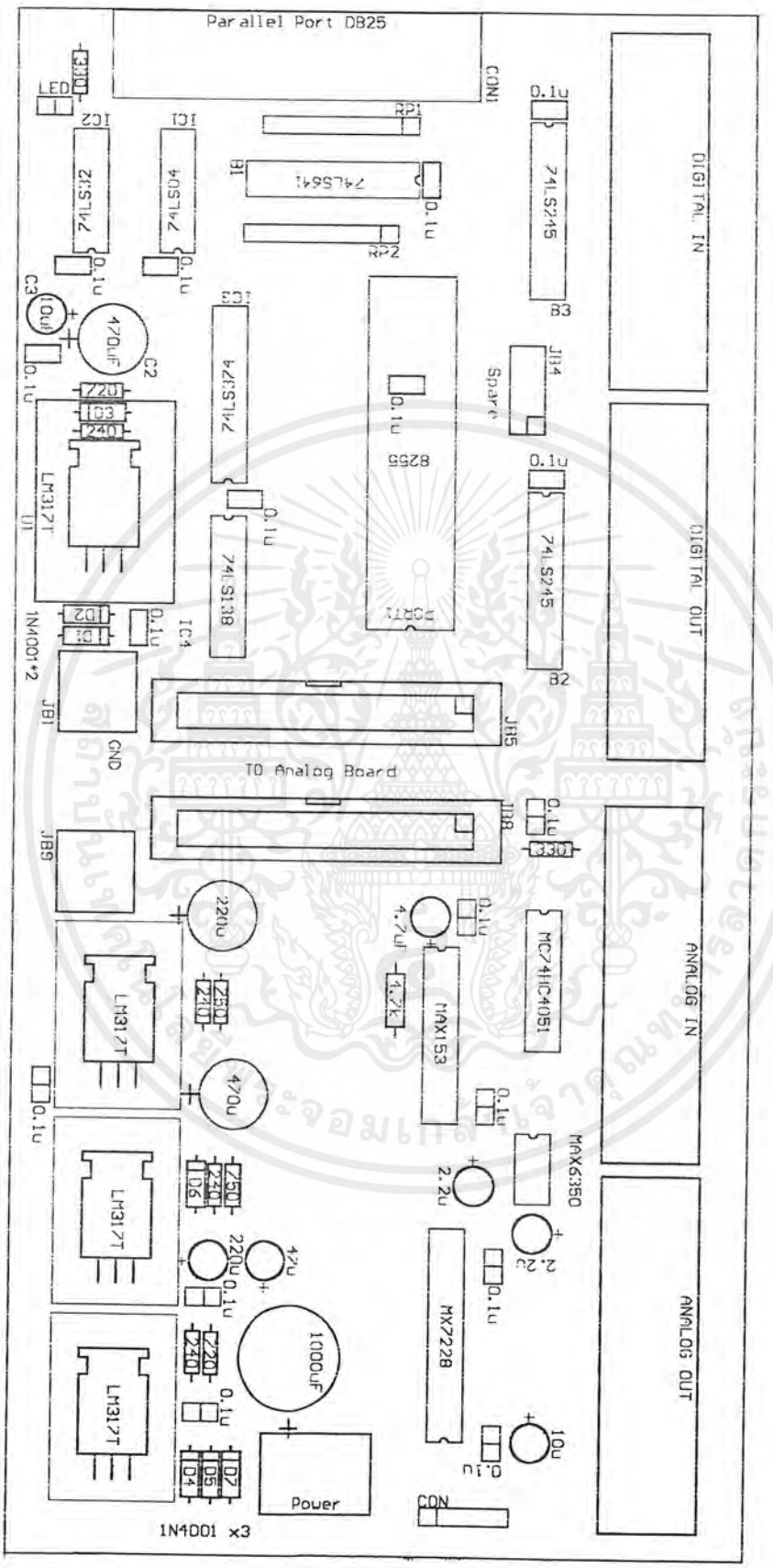
ลายวงจรด้านหน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจรด้านหลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ตำแหน่งการวางอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
unit MyBoard;
interface
{$R *.DCR}
uses
 Windows, Messages, SysUtils, Classes, Graphics, Controls, Forms, Dialogs;
type
 TMode=(SPP,EPP1_7,EPP1_9);
 TConnectPort=(LPT1,LPT2);
 TUnits=(volt,binary,percent);
 TCh= 0..7;  //this board have channel analog 0 to 7
 TDataAnalogIN=
   record
     volt:double;
     voltString:string;
     binary:byte;
     binaryString:string[8];
     percent:double;
     percentString:string;
   end;
 TMyBoard=class(TComponent)
  private
  { Private declarations }
     FAddrDigitalIn:word;
     FAddrDigitalOut:word;
     FAddrControl:word;
     FAddrAnalogIn:word;
     FAddrAnalogOut:word;
     FBaseAddr:word;
     FMode:TMode;
     {methode for property}
     procedure SetConnectPort(value:TConnectPort);
     function GetConnectPort:TConnectPort;
  protected
  { Protected declarations }
     procedure SendData(data:byte);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        function Int_Low:boolean;
    procedure Delay(times:integer);
public
{ Public declarations }
    constructor create(AOWner:TComponent);override;
    {for general user}
    procedure Initialize;
    procedure DigitalOut(data:byte);
    function DigitalIN:byte;
    procedure AnalogOut(ch:TCh;Data:variant;Units:TUnits);
    function AnalogIN(ch:TCh):TDataAnalogIN;
    {for advance user}
    procedure Portout(IOAddr:word;data:byte);
    function Portin(IOAddr:word):byte;
    procedure SetBit(Addr:word;WhatBit:integer);
    procedure ClrBit(Addr:word;WhatBit:integer);
    procedure SetEPP;
    procedure SendAddrEPP(Addr:byte);
    procedure SendDataEPP(data:byte);
    procedure SendDigitalEPP(Addr:word;data:byte);
    procedure SendAddr(Addr:byte);
    procedure SendDigital(Addr:word;data:byte);
    procedure SendAnalog(Addr:word;data:byte);
    procedure SendAnalogEPP(Addr:word;data:byte);
    function ReadDigital(Addr:word):byte;
    function ReadDigitalEPP(Addr:word):byte;
    function ReadDataEpp(Addr:word):byte;
    function ReadAnalogEPP(Addr:word):byte;
    function ReadAnalogNormal(Addr:word):byte;
    function DecToBi(num10:integer):string;
    function ChangeToVolt(b:byte):string;
    property BaseAddr:word read FBaseAddr write FBaseAddr;
    property AddrDigitalIN:word read FAddrDigitalIn write FAddrDigitalIn;
    property AddrDigitalOut:word read FAddrDigitalOut write FAddrDigitalOut;
    property AddrAnalogIN:word read FAddrAnalogIn write FAddrAnalogIn;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        property AddrAnalogOut:word read FAddrAnalogOut write FAddrAnalogOut;
      property AddrControl:word read FAddrControl write FAddrControl;
    Published
      property ConnectPort:TConnectPort read GetConnectPort write SetConnectPort;
      property Mode:TMode read FMode write FMode;
    end;
procedure Register;

implementation
const nWR=0;    // control register (bit)
    nDStr=1;
    Reset=2;
    nAStr=3;
    nIRQ=4;
    nOut=5;
    Int=6;    // status regiter  (bit)
    Wait=7;
    timeout=150;

procedure Register;
begin
  RegisterComponents('Standard', [TMyBoard]);
end;

constructor TMyBoard.create(AOWner:Tcomponent);
begin
    BaseAddr:=$378;
    Mode:=SPP;
    AddrDigitalIN:=$01;   {normally fixed}
    AddrDigitalOut:=$00;
    AddrControl:=$03;
    AddrAnalogIN:=$10;
    AddrAnalogOut:=$70;
    inherited create(AOWner);
end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
procedure TMyBoard.DigitalOut(data:byte);
begin
   case FMode of
    SPP: SendDigital(FAddrDigitalOut,data);
    EPP1_7,EPP1_9: SendDigitalEPP(FAddrDigitalOut,data);
   end;
end;

function TMyBoard.DigitalIN:byte;
begin
   case FMode of
    SPP: result:=ReadDigital(AddrDigitalIN);
    EPP1_7,EPP1_9: result:=ReadDigitalEPP(AddrDigitalIN);
   end;
end;

procedure TMyBoard.AnalogOut(ch:TCh;data:variant;Units:TUnits);
var temp:byte;
begin
 temp:=255;          //overbound
 if data<0 then
  begin
     showmessage('Data should not below 0. Set data=0');
     temp:=0;     //lowwerbound
  end
 else
  case Units of
  binary:
    if data <=255 then temp:=data
    else showmessage('Data should not over 255 in binary unit');
  volt:
    if  data <= 4.9805 then temp:=round(data*256/5)
    else showmessage('Data should <= 4.9805 volt');
  percent:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        if data <=100 then temp:=round(data*255/100)
    else showmessage('Error, 0 <= Data <=100 %');
  end;
 case FMode of
  SPP:  SendAnalog(FAddrAnalogOut+ch,temp);
  EPP1_7,EPP1_9:  SendAnalogEpp(FAddrAnalogOut+ch,temp);
 end;
end;

function TMyBoard.AnalogIN(ch:TCh):TDataAnalogIN;
var temp :byte;
   s:string[8];
begin
  temp:=ReadAnalogNormal(FAddrAnalogIn+ch);
  with result do
  begin
     volt:=temp*5/256;
     str(volt:0:3,s);
     voltString:=s;
     binary:=temp;
     binaryString:=DecToBi(temp);
     percent:=temp*100/256;
     str(percent:0:3,s);
     percentString:=s;
  end;
end;

{BEGIN: for peoperty}
procedure TMyBoard.SetConnectPort(value:TConnectPort);
begin
   case value of
   lpt1:FbaseAddr:=$378;
   lpt2:FBaseAddr:=$278;
   end;
end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
      function TMyBoard.GetConnectPort;
begin
   case FBaseAddr of
   $378:result:=Lpt1;
   $278:result:=Lpt2;
   end;
end;

{END: for property}
procedure TMyBoard.Portout(IOAddr:word;data:byte);
begin
    asm
      push dx
      push ax
      mov dx,IOAddr
      mov al,data
      out dx,al
      pop ax
      pop dx
   end;
end;

function TMyBoard.Portin(IOAddr:word):byte;
begin
   asm
      push dx
      push ax
      mov dx,IOaddr
      in al,dx
      mov result,al
      pop ax
      pop dx
   end;
end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    procedure TMyBoard.SetBit(Addr:word;WhatBit:integer);
(*use 2 cycle*)
var temp:byte;
begin
   temp:=(portin(Addr) or (1 shl WhatBit));
   Portout(Addr,temp);
end;

procedure TMyBoard.ClrBit(Addr:word;WhatBit:integer);
(*use 2 cycle*)
var temp:byte;
begin
   temp:=Portin(Addr) and not (1 shl WhatBit);
   Portout(Addr,temp);
end;

procedure TMyBoard.SetEPP;
(*Optional For EPP card*)
begin
   PortOut(FBaseAddr+2,$E4);   (*set before read/write data in EPP Mode*)
end;

procedure TMyBoard.SendAddrEPP(Addr:byte);
(*Optional For EPP card*)
begin
   PortOut(FBaseAddr+3,Addr);
end;

procedure TMyBoard.SendDataEPP(data:byte);
(*Optional For EPP card*)
begin
   PortOut(FbaseAddr+4,data);
end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
procedure TMyBoard.SendDigitalEPP(Addr:word;data:byte);
(*Optional For EPP card*)
begin
   SetEPP;
   PortOut(FbaseAddr+3,Addr);
   portOut(FbaseAddr+4,data);
end;

procedure TMyBoard.SendAddr(Addr:byte);
begin
   SetBit(FbaseAddr+2,nWR);  (*Tell Board You want to write*)
   portout(FbaseAddr,Addr);
   SetBit(FbaseAddr+2,nAStr);
   delay(100);
   ClrBit(FbaseAddr+2,nAStr); (*Send signal pulse nAddressStrobe*)
   delay(100);
end;

procedure TMyBoard.SendData(data:byte);
(*back up ,Now! not use*)
begin
   SetBit(FbaseAddr+2,nWR);  (*Tell Board You want write*)
   portout(FbaseAddr,data);
   Setbit(FbaseAddr+2,nDStr);
   Clrbit(FbaseAddr+2,nDStr); (*Send signal pulse nDataStrobe*)
end;

procedure TMyBoard.SendDigital(Addr:word;data:byte);
{use}
begin
   SendAddr(Addr);
   portout(FbaseAddr,data);
   Setbit(FbaseAddr+2,nDStr);
   Clrbit(FbaseAddr+2,nDStr); (*Send signal pulse nDataStrobe*)
end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
procedure TMyBoard.SendAnalog(Addr:word;data:byte);
{use}
(*Now! is Same SendDigital*)
begin
    SendAddr(Addr);
    portout(FbaseAddr,data);
    Setbit(FbaseAddr+2,nDStr);
    Clrbit(FbaseAddr+2,nDStr); (*Send signal pulse nDataStrobe*)
end;

procedure TMyBoard.SendAnalogEPP(Addr:word;data:byte);
(*Optional For EPP card*)
begin
    SetEPP;
    PortOut(FbaseAddr+3,Addr);
    portOut(FbaseAddr+4,data);
end;

Function TMyBoard.ReadDigital(Addr:word):byte;
{use}
begin
    sendAddr(Addr);
    PortOut(FbaseAddr,$FF); (*Always set all bits before read,For some card,usally old cards*)
    Setbit(FbaseAddr+2,nOut);(*Disable Output.For newer card,baseaddr will automatic set to FFh,
    For old cards will not effect*)
    ClrBit(FbaseAddr+2,nWR); (*Tell Board You want Read*)
    Setbit(FbaseAddr+2,nDStr); (*Send Low nDataStrope*)
    ReadDigital:=PortIn(FbaseAddr); (*Pick data from data bus to Register*)
    Clrbit(FbaseAddr+2,nDStr); (*Send high nDataStrobe*)
    SetBit(FbaseAddr+2,nWR);  (*Back To Write State,For this board Write is safty than Read*)
    ClrBit(FbaseAddr+2,nOut); (*Enable Output,For newer Card*)
end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    Function TMyBoard.ReadDigitalEPP(Addr:word):byte;
(*Optional For EPP card*)
begin
  SetEPP;
  SendAddrEPP(Addr);
  result:=PortIn(FbaseAddr+4);
  ClrBit(FbaseAddr+2,nOut); (*Enable Output,For newer Card*)
end;

Function TMyBoard.ReadDataEpp(Addr:word):byte;
(*Now ! is underconstruction*)
begin
   sendAddr(0);
   sendAddr(Addr);
   setEpp;
   setbit(FbaseAddr+1,0);
   delay(100);
   ReadDataEPP:=PortIn(FbaseAddr+4);
   SetBit(FbaseAddr+2,nWR);  (*Back To Write State,Write is safty than read*)
   ClrBit(FbaseAddr+2,nOut); (*Enable Output,For newer Card*)
   sendAddr(Addr+1);
   sendAddr(Addr-$18+1);  (*Make nCS of ADC change to High*)
end;

Function TMyBoard.ReadAnalogEPP(Addr:word):byte;
const check=5;
var r,status:byte;
  timeOut:boolean;
  round:integer;
  showstr:string;
begin
   round:=0;
   repeat
      r:=ReadDataEPP(addr);
      Status:=portin(FbaseAddr+1);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            if status or $FE = $FE then timeout:=false
        else timeout:=true;
        round:=round+1;
    until (not timeout)or (round=check);
    if timeout then
    begin
    showstr:='Your Hardware Not Support EPP Mode'+chr(10);
    showstr:=showstr+',Or card have a probleam'+chr(10);
    messageDlg(showstr,mtWarning,[mbOK],0);
    end;
    ReadAnalogEPP:=r;
end;

function TMyBoard.Int_Low:boolean;
{use}
var testbit6:byte;
begin
    testbit6:=portin(FbaseAddr+1) or $bf;
    if testbit6=$ff then Int_Low:=false    //bit 7 Hardware Invert
    else Int_Low:=true;
end;

function TMyBoard.ReadAnalogNormal(Addr:word):byte;
{use}
var t,tt:byte;
begin
    sendAddr(Addr);
    ClrBit(FbaseAddr+2,nWR);  (*Tell Board You want Read*)
    Setbit(FbaseAddr+2,nOut);  (*Disable Output,For newer card*)
    portout(FbaseAddr,$ff);
    t:=0;
    repeat
      t:=t+1;
    until not Int_low or (t=timeout);
    delay(250);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        Setbit(FbaseAddr+2,nDStr); (*Send Low nDataStrope*)
    tt:=0;
    repeat
      tt:=tt+1;
    until Int_low or (tt=timeout);
    delay(100);
    readAnalogNormal:=PortIn(FbaseAddr);
    if t=timeout then showmessage('card has problem 1');
    if tt=timeout then
    showmessage('card has problem 2');
    ClrBit(FbaseAddr+2,nOut);  (*Enable Output,For newer Card*)
    Clrbit(FbaseAddr+2,nDStr);
    SetBit(FbaseAddr+2,nWR);   (*Back To Write State,Write is safty than read*)
end;

Procedure TMyBoard.Initialize;
begin
    ClrBit(FbaseAddr+2,nOut);  (*Enable Output,For newer card*)
    ClrBit(FbaseAddr+2,nAStr); (*Set nAddrStrope High*)
    ClrBit(FbaseAddr+2,nDStr); (*Set nDataStrope High*)
    SetBit(FbaseAddr+2,nWR);(*Set In the Write state,Should be the Normal state*)
    SendDigital(FAddrControl,$8b); (*Set Control Port 8255
    Port A is Input,Port B,C are Output*)
end;

function TMyBoard.DecToBi(num10:integer):string;
var long,net,temp:integer;
   ans:string;
begin
    long:=0;
    net:=num10;
    ans:= '';
    repeat
        temp:=net mod 2;
        ans:=inttostr(temp)+ans;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            long:=long+1;
        net:=net div 2;
    until net <=0;
    while long<8 do
    begin
        ans:='0'+ans;
        long:=long+1;
    end;
    DecToBi:=ans;
end;

procedure TMyBoard.Delay(times:integer);
var i,j:integer;
begin
    (*improve in future*)
    for i:=1 to times do
      for j:=1 to times do
          ;
end;

Function TMyBoard.ChangeToVolt(b:byte):string;
var s:string[8];
begin
    str(b*5/256:0:3,s);
    ChangeToVolt:=s;
end;
initialization
end.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. กนก กุสุมาลย์นุกูล, "คู่มือการเขียนโปรแกรม Delphi 4", ซัคเซสมีเดีย, 423 หน้า, 2541
2. กิติมา จิระศักดิ์ชัย, "General Purpose Automatic Control System", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าพระนครเหนือ, 38 หน้า, 2541
3. กฤษดา ใจเย็น, "บอร์ดอินเตอร์เฟสทางพอร์ตขนานสารพัดฟังก์ชัน", วารสารเซมิคอนดักเตอร์อิเลคทรอนิคส์, ฉบับที่ 170, 2540, หน้า 46-55
4. กฤษดา ใจเย็น, "พอร์ตขนานของคอมพิวเตอร์มีดีกว่าที่คิด", วารสารเซมิคอนดักเตอร์อิเลคทรอนิคส์, ฉบับที่ 162, 2539, หน้า 66-71
5. ชนะนาฏ ชีวะพฤกษ์, "Data Acquisition And Control System", คณะวิศวกรรมศาสตร์ สถาบันพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 81 หน้า, 2541
6. Willis J. Tompkins, "Interfacing Sensors To The IBM PC", Pentice-Hall International, 447 p., 1988

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้