สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การติดต่อผ่านพอร์ตอนุกรม
SERIAL PORT INTERFACE

โดย

นายทรงพล กิ่งนครทอง

นางสาวสุธาทิพย์ โอบโคกสูง

อาจารย์ที่ปรึกษา

อาจารย์วรพงศ์ ตั้งศรีรัตน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

ภาควิชาระบบควบคุม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน.....36867
วัน, เดือน, ปี.....29 ส.ค. 2543

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การติดต่อผ่านพอร์ตอนุกรม
SERIAL PORT INTERFACE

โดย
นายทรงพล กิ่งนครทอง
นางสาวสุธาทิพย์ โอบโคกสูง

อาจารย์ที่ปรึกษา
อาจารย์วรพงศ์ ตั้งศรีรัตน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต
ภาควิชาระบบควบคุม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2542

ภาควิชาระบบควบคุม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การติดต่อผ่านพอร์ตอนุกรม

ผู้จัดทำ

1. นายทรงพล กิ่งนครทอง รหัส 39014191
2. นางสาวสุธาทิพย์ โอบโดกสูง รหัส 39014592

..... อาจารย์ที่ปรึกษา

(อาจารย์วรพงศ์ ตั้งศรีรัตน์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การติดต่อผ่านพอร์ตอนุกรม
นักศึกษา	นายทรงพล กิ่งนครทอง
	นางสาวสุธาทิพย์ โอบโคกสูง
อาจารย์ผู้ควบคุมปริญญานิพนธ์	อ. วรพงศ์ ตั้งศรีรัตน์
อาจารย์ผู้ควบคุมปริญญานิพนธ์ร่วม	รศ. สุเธียร เกียรติสุนทร
ระดับการศึกษา	วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมระบบควบคุม
ภาควิชา	ระบบควบคุม
	สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา	2542

บทคัดย่อ

ในปัจจุบัน ได้มีการนำเอาคอมพิวเตอร์เข้ามาช่วยในระบบควบคุมกันอย่างแพร่หลาย เนื่องจากมีประสิทธิภาพการทำงานสูงและสะดวกในการนำไปใช้งาน สามารถเขียนโปรแกรมให้คอมพิวเตอร์ทำงานแทนวงจรที่ซับซ้อนได้ และสามารถทำการแก้ไขการทำงานได้ง่าย โดยการแก้ไขที่โปรแกรม

ในโครงงานปริญญานิพนธ์นี้เป็นการนำคอมพิวเตอร์มาใช้แทนคอนโทรลเลอร์แบบเดิม โดยมีการติดต่อ กับอุปกรณ์ภายนอกผ่านทางพอร์ตอนุกรมของคอมพิวเตอร์ ดังนั้นจึงต้องทำการสร้างอุปกรณ์ที่ทำหน้าที่เป็นตัวเชื่อมต่อกระบวนการระหว่างคอมพิวเตอร์และอุปกรณ์ภายนอกขึ้นมา หลังจากนั้น จึงเขียนโปรแกรมเพื่อเป็นตัวกำหนดฟังก์ชันการทำงานของคอมพิวเตอร์ให้เป็นคอนโทรลเลอร์ตามที่ต้องการ

ABSTRACT

Presently,computers mostly used in a control system. Because,the computer is high efficiency and convenience. Program writed to a computer in using replaceable complex circuits and can be easy to rectiify by solvecy at program.

This project report is used computer to replace a old controller by interface between a external device and serial port of a computer. So circuit designed for interface process between a computer and a external devices and then program created to set function's work of a computer.It is satisfying controller.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จได้ด้วยดีจากความช่วยเหลือจากอาจารย์และบุคคลหลายท่าน

ขอขอบคุณอาจารย์วรพงศ์ ตั้งศรีรัตน์ อาจารย์ที่ปรึกษาและ รศ. สุเธียร เกียรติสุนทร ที่ได้กรุณาให้คำปรึกษาชี้แนะแนวทางในการแก้ไขปัญหาต่าง ๆ อย่างทุ่มเท ตลอดจนสถานที่และอุปกรณ์ที่ใช้ในโครงงานและปริญญานิพนธ์ และความเอาใจใส่อย่างดีเสมอมา

ขอขอบคุณภาควิชาระบบควบคุมอาจารย์และเจ้าหน้าที่ทุกท่านที่ช่วยอำนวยความสะดวกเอื้อเฟื้ออุปกรณ์และให้คำปรึกษาที่ดีเสมอมา

ขอขอบคุณภาควิชาคอมพิวเตอร์ที่เอื้อเฟื้อเครื่องคอมพิวเตอร์ในการพิมพ์รายงาน

ขอขอบคุณเพื่อนๆที่ห้องดาต้าเบส สำหรับกำลังใจ และความช่วยเหลือที่ดีเสมอมา

ขอขอบคุณเพื่อนๆในภาคคอนโทรลทุกคนที่คอยช่วยเหลืออย่างสม่ำเสมอและกำลังใจเต็มเปี่ยม

ขอขอบคุณเพื่อน ๆ และน้อง ๆห้อง 9 และห้อง 3 ที่คอยเป็นกำลังใจตลอดการทำงานและตลอดเวลาในการเรียน 4 ปีที่ลาดกระบัง

ขอขอบคุณ Mr. Dejan Crnila สำหรับความเอื้อเฟื้อคอมโพเนนต์บนเคลไฟล์ ที่ใช้ในการติดต่อผ่านพอร์ตอนุกรม

ขอขอบคุณ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังสำหรับประสบการณ์ชีวิต ความรู้ และทุกสิ่งทุกอย่างตลอดระยะเวลา 4 ปี

ขอขอบพระคุณสำหรับบุญคุณอันยิ่งใหญ่ที่สุดคือ คุณพ่อ คุณแม่ และครอบครัวของพวกเราทั้งสองที่คอยห่วงใยและให้กำลังใจ ตลอดจนให้ความช่วยเหลือในทุก ๆ เรื่องแก่พวกเราเสมอมาไม่เคยเปลี่ยนแปลง

ทรงพล กิ่งนครทอง

สุธาทิพย์ โอบโคกสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
กิตติกรรมประกาศ	II
สารบัญ	III
สารบัญตาราง	V
สารบัญภาพ	VI
บทที่ 1 บทนำ	1
1.1 ความสำคัญและความเป็นมาของโครงงาน	1
1.2 จุดประสงค์ของปริญญานิพนธ์	1
1.3 ขอบเขตของโครงงาน	1
บทที่ 2 การสื่อสารข้อมูลแบบอนุกรม	3
2.1 มาตรฐาน EIA RS – 232	3
2.2 RS-232C	5
2.3 รูปแบบของข้อมูลอนุกรมและอัตราบอดในการสื่อสารข้อมูลอนุกรม	7
2.4 การเชื่อมต่อแบบอนุกรมและ UART	9
2.5 MCS-51 กับการรับส่งข้อมูลแบบอนุกรม	14
2.6 Serial Port Control Register	15
2.7 Mode Of Operation	16
2.8 การกำหนดค่าเริ่มต้นให้รีจิสเตอร์ในการรับส่งข้อมูล	19
2.9 อัตราการส่งข้อมูลทางพอร์ตอนุกรม	21
2.10 การเชื่อมต่อหน่วยความจำกับ MCS-51	24
2.11 การถอดรหัสตำแหน่งของหน่วยความจำ	26
2.12 การเชื่อมต่อ MCS-51 กับหน่วยความจำโปรแกรมภายนอก	28
บทที่ 3 ทฤษฎีและการใช้งาน 8255 เบื้องต้น	32
3.1 บทนำ	32
3.2 ลักษณะพื้นฐานของ 8255	32
3.3 การจำแนกกลุ่มพอร์ตของ 8255	33
3.4 รูปแบบคำสั่งเพื่อกำหนดการทำงานของ 8255	35
3.5 การเชื่อมต่อ 8255 กับคอมพิวเตอร์	36
3.6 การทำงานโหมด 0 ของ 8255	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 การทำงานโหมด 1 ของ 8255 39
3.8 การทำงานโหมด 2 ของ 8255 45
บทที่ 4 ทฤษฎีของ ADC และ DAC 48
4.1 ทฤษฎีของ Data Acquisition and Conversion 48
4.2 ทฤษฎีการ Sampling 49
4.3 การสุ่มและคงค่าสัญญาณ (Sample and Hold) และ Aperture error 51
4.4 Quantizing Theory 53
4.5 Quantizer Resolution and Error 54
4.6 รหัสตัวเลขสำหรับการเปลี่ยนข้อมูล 55
4.7 วงจรสุ่มและคงค่าสัญญาณ (Sample and Hold,S&H) 56
4.8 วงจรสุ่มแบบ Inverting Close Loop 58
4.9 วงจรแรงดันอ้างอิง (Voltage Reference Circuit) 58
4.10 วงจร Digital to Analogue Converter (DAC) 62
4.11 Analog to Digital Converter 65
บทที่ 5 การออกแบบฮาร์ดแวร์ 70
5.1 หน่วยการทำงานต่าง ๆ ของอุปกรณ์ 71
5.2 หลักการทำงาน 74
บทที่ 6 การออกแบบซอฟท์แวร์ 78
บทที่ 7 วิจารณ์และสรุปผล 82
7.1 ผลการทดลอง 82
7.2 สรุปและวิจารณ์ 84
บทที่ 8 การประยุกต์ใช้งาน 85
8.1 ตัวอย่างการประยุกต์ใช้งาน 85
8.2 คุณสมบัติของโปรแกรม 86
8.3 การเตรียมอุปกรณ์ 87
8.4 การใช้งานโปรแกรม 87

บรรณานุกรม

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
2.1 ตัวเชื่อมต่อที่นิยมใช้กับสายส่งสัญญาณอนุกรมแบบมาตรฐาน RS – 232	3
2.2 แสดงขาสัญญาณของ RS – 232 ทั้งแบบ 9 และ 25 ขา	6
2.3 อัตราบอดและช่วงเวลาของแต่ละบิตข้อมูลในการสื่อสารข้อมูลอนุกรม	8
2.4 อัตราบอดทั่วไปที่ใช้ในการโอนย้ายข้อมูลแบบอนุกรม	10
2.5 บิตต่างๆ ของรีจิสเตอร์ SCON	15
2.6 แสดงโหมดต่างๆ ของการรับส่งแบบอนุกรม	16
2.7 แสดงความถี่สัญญาณนาฬิกาที่ใช้กำหนด Baud Rate ค่าต่างๆ	23
2.8 รหัสตำแหน่งหน่วยความจำขนาด 4 Kbyte	26
3.1 รูปแบบการทำงานของพอร์ต	34
3.2 หน้าที่การทำงานของขาสัญญาณไอซี 8255	34
3.3 การระบุรีจิสเตอร์หรือพอร์ตภายใน	36
3.4 การทำงานร่วมกันระหว่างขาสัญญาณต่าง ๆ ของ 8255	36
3.5 ตำแน่งแอดเดรสและความหมาย	37
3.6 การกำหนดการทำงานโหมด 0 ของ 8255	39
3.7 สถานะของ Input Buffer Full	41
3.8 หน้าที่ของเส้นสัญญาณภายในพอร์ต C เมื่อกำหนดให้ทำงานในโหมด 1 เพื่อบอกสภาวะของการอินพุตและการเอาต์พุตข้อมูล	42
3.9 หน้าที่ของบิตภายในพอร์ต C เมื่อกำหนดให้ทำงานในโหมด 2 เพื่อบอกสภาวะของเส้นสัญญาณการติดต่อทางพอร์ต A	47
7.1 ผลการทดลองวงจร DAC 0832	79
7.2 ผลการทดลองของ ADC	80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปที่	หน้า
2.1 การต่ออุปกรณ์ DTE เข้ากับ DCE	6
2.2 การต่ออุปกรณ์ DTE เข้ากับ DTE	7
2.3 รูปแบบของสัญญาณข้อมูลอนุกรมที่ใช้ในการสื่อสารข้อมูลอนุกรม	7
2.4 การนำ optoisolator มาใช้กับเส้นส่งสัญญาณ RS – 232	8
2.5 การแปลงข้อมูลแบบขนานเป็นข้อมูลอนุกรม	9
2.6 เวิร์ดข้อมูลขนาด 8 บิตกับ Start Bit และ Stop Bit ที่ใช้ในการโอนย้ายข้อมูลแบบอนุกรม	10
2.7 แสดงการใช้บิตพาริตี้เพื่อตรวจสอบความผิดพลาดในการโอนย้ายข้อมูลแบบอนุกรม	11
2.8 บล็อกไดอะแกรมของ UART	12
2.9 สัญญาณดาต้าอินพุตสโตรบ	12
2.10 การรับส่งข้อมูลระหว่างรีจิสเตอร์กับบัสภายใน	15
2.11 ไดอะแกรมเวลาการส่งข้อมูล	17
2.12 ไดอะแกรมเวลาการรับข้อมูล	18
2.13 การส่งข้อมูลออกโดยใช้ชิพต์รีจิสเตอร์ช่วย	18
2.14 การรับส่งข้อมูลในโหมด 1	18
2.15 แสดงการกำหนด Baud Rate ในโหมดต่างๆ	22
2.16 การจัดวางขาของ Static RAM เบอร์ TMS4016 กับตำแหน่งของหน่วยความจำ	24
2.17 แสดงสัญญาณของMCS-51 ที่ใช้ติดต่อกับตำแหน่งของหน่วยความจำ	25
2.18 แสดงการต่อ MCS-51 กับหน่วยความจำ	26
2.19 การจัดวางขาและตารางความจริงของ 74LS138	27
2.20 วงจรถอดรหัสสำหรับหน่วยความจำตาม ตารางที่2.8	28
2.21 แสดงสัญญาณเวลาที่ MCS-51 ติดต่อกับหน่วยความจำโปรแกรมภายนอก	28
2.22 แสดงการจัดพื้นที่ของหน่วยความจำของ MCS-51	29
2.23 แสดงการเชื่อมต่อ MCS-51 กับหน่วยความจำ ROM ภายนอกขนาด 64 K	30
2.24 การต่อ MCS-51 เข้ากับ EPROM และ RAM	31
3.1 บล็อกภายในและขาสัญญาณของไอซีเบอร์ 8255	33
3.2 ความหมายของบิตภายในไบต์ข้อมูลควบคุมสำหรับ 8255	35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่		หน้า
3.3 การสร้างสัญญาณเลือกอุปกรณ์ (CS\) ให้กับ 8255 โดยการถอดรหัสจากบัสแอดเดรส A2-A7		37
3.4 8255 ภายหลังการส่งไบต์ข้อมูลควบคุมที่มีค่า 82h		38
3.5 ลักษณะการทำงานของพอร์ต 8255 ภายหลังการส่งไบต์ข้อมูลควบคุมที่มีค่า 82h		40
3.6 (a) การใช้สัญญาณบอกสภาวะความพร้อมในการติดต่อระหว่าง 8255 กับอุปกรณ์ภายนอก		40
(b) การใช้สัญญาณบอกสภาวะความพร้อมในการติดต่อระหว่าง 8255 กับอุปกรณ์ภายนอก		40
3.7 การกำหนดการทำงานของ 8255 ในโหมด 1 เพื่อให้พอร์ต A เป็นพอร์ตสำหรับการส่งออกข้อมูล และพอร์ต B เป็นพอร์ตสำหรับการรับเข้าข้อมูลจากอุปกรณ์ภายนอก		42
3.8 (a) แสดงสัญญาณติดต่อเพื่อส่งข้อมูลออกไปจากพอร์ต A ของ 8255 ตามลักษณะการทำงาน ได้กำหนดไว้จากตารางที่ 3.8		43
(b) แสดงสัญญาณติดต่อเพื่อรับข้อมูลเข้ามาจากพอร์ต B ของ 8255 ตามลักษณะการทำงานที่ได้กำหนดไว้จากตารางที่ 3.8		
3.9 โฟลว์ชาร์ตวิธีการส่งข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต A และสัญญาณติดต่อทางพอร์ต C		44
3.10 โฟลว์ชาร์ตวิธีการรับข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต B และสัญญาณติดต่อทางพอร์ต C		45
3.11 หลักการทำงานของ 8255 เมื่อได้รับการกำหนดให้ทำงานในโหมด 2		46
4.1 ระบบควบคุมที่มีการประมวลผลข้อมูลแบบดิจิตอล		49
4.2 error จากการวัดใน Aperture time		49
4.3 การสุ่มสัญญาณ	(a)สัญญาณอนาลอกอินพุต	51
	(b) พัลส์ที่มาสุ่มสัญญาณ	52
	(c) สัญญาณอนาลอกหลังการสุ่ม	52
4.4 ทรานส์เฟอร์ฟังชันของ Quantize 3 บิต ตามทฤษฎี		53
4.5 ทรานส์เฟอร์ฟังก์ชันของ ADC 3 บิต ที่ใช้รหัสออฟเซ็ตไบนารี		55
4.6 (a) พื้นฐานของ S&H		56
(b) ไดอะแกรมของวงจร S&H		57
4.7 รูปคลื่นเอาต์พุตของ S&H		57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่	หน้า
4.8 วงจรสุ่มแบบ Inverting Close Loop	58
4.9 วงจรสุ่มแบบ Non-inverting closed loop	59
4.10 วงจรแรงดันอ้างอิงพื้นฐานและกราฟคุณสมบัติ	59
4.11 วงจรแรงดันอ้างอิงใช้ซีเนอร์ไดโอดที่ปรับปรุงคุณสมบัติจากวงจรแรงดันอ้างอิงพื้นฐาน	60
4.12 แรงดันอ้างอิง	60
4.13 แรงดันอ้างอิงปรับค่าได้	61
4.14 วงจร Band gap voltage reference	62
4.15 ADC แบบ Binary weight ladder	63
4.16 วงจร DAC แบบ R-2R ขนาด 4 บิต	64
4.17 วงจรรีซิสทีฟแลดเดอร์ (Resistive Ladder)	64
4.18 วงจร Invert R-2R ladder DAC	65
4.19 วิธีการพื้นฐานของ ADC	66
4.20 Transfer function ของ Comparator	66
4.21 บล็อกไดอะแกรมของ Sucessive appoximation ADC	67
4.22 สัญญาณเวลาของ SAR	68
4.23 บล็อกไดอะแกรมแสดง Parallel ADC	69
5.1 แสดงการนำการสื่อสารแบบอนุกรมไปประยุกต์ใช้งานในระบบควบคุม	70
5.2 แสดงหน่วยการทำงานต่าง ๆ ภายในโครงงาน	71
5.3 วงจรสมบูรณ์ของโครงงาน	73
5.4 ลายทองแดงบนแผ่นปริ๊นท์ด้าน Top	75
5.5 ลายทองแดงบนแผ่นปริ๊นท์ด้าน Bottom	76
5.4 ตำแหน่งการวางอุปกรณ์บนแผ่นปริ๊นท์	77
6.1 แสดงรูปแบบมาตรฐานของข้อมูลที่ใช้ในการติดต่อผ่านพอร์ตอนุกรม ระหว่างโครงงานและคอมพิวเตอร์	78
6.2 โฟลว์ชาร์ทแสดงการทำงานของโปรแกรม	79
6.3 โฟลว์ชาร์ทแสดงการทำงานในการรับข้อมูลจากคอมพิวเตอร์	80
8.1 แสดงระบบตัวอย่างที่ต้องการควบคุม	85
8.2 โปรแกรม Serial Port Level Controller	86

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความสำคัญและความเป็นมาของโครงงาน

เนื่องจาก ทางภาควิชาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ได้จัดให้นักศึกษาชั้นปีที่ 4 ทำปริญญานิพนธ์ โดยเลือกหัวข้อที่ตนเองสนใจมาทำเป็นโครงงาน ซึ่งทางกลุ่มนักศึกษาที่จัดทำโครงงานนี้ได้สนใจเกี่ยวกับการติดต่อสื่อสารกับเครื่องคอมพิวเตอร์ ประกอบกับเครื่องคอมพิวเตอร์ในปัจจุบันมีราคาลดลงมาก มีการนิยมใช้กันอย่างกว้างขวาง และมีประสิทธิภาพสูงขึ้นเรื่อย ๆ สามารถนำมาประยุกต์ใช้งานในระบบควบคุมได้อย่างมีประสิทธิภาพ ทางกลุ่มนักศึกษาจึงได้เลือกโครงงาน "การติดต่อผ่านพอร์ตอนุกรม" (Serial Port Interface) เพื่อนำมาศึกษาและพัฒนาเป็นโครงงานที่เกิดประโยชน์และนำไปประยุกต์ใช้งานได้จริง

1.2 จุดประสงค์ของปริญญานิพนธ์

จุดประสงค์ในการทำโครงงานการติดต่อผ่านพอร์ตอนุกรมขึ้นมา มีดังนี้

1. เพื่อศึกษาการทำงานและรูปแบบการติดต่อกับพอร์ตอนุกรม
2. . เพื่อศึกษา การทำงานของไมโครคอนโทรลเลอร์ทั้งทางด้านโครงสร้างสถาปัตยกรรม
3. การเขียนโปรแกรม และการประยุกต์ใช้งาน
4. ศึกษาการเขียนซอฟท์แวร์ บนคอมพิวเตอร์เพื่อติดต่อกับพอร์ตอนุกรม
5. ศึกษาการออกแบบ นำส่วนฮาร์ดแวร์และซอฟท์แวร์มาประยุกต์ใช้งานร่วมกัน
6. เพื่อพัฒนาโครงงานให้สามารถนำไปใช้งานได้จริงในระบบอุตสาหกรรม

1.3 ขอบเขตของโครงงาน

1. ศึกษาค้นคว้าหารายละเอียดเกี่ยวกับ การทำงานและการติดต่อสื่อสารของพอร์ตอนุกรม
2. ออกแบบระบบการทำงานของโครงงานเพื่อนำไปใช้ในการติดต่อกับระบบอุปกรณ์ต่าง ๆ ได้
3. สร้างวงจรฮาร์ดแวร์ของโครงงานให้สามารถติดต่อสื่อสารกับคอมพิวเตอร์ผ่านทางพอร์ตอนุกรมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. เพิ่มวงจรในการรับส่งข้อมูลดิจิตอลขนาด 8 บิต กับอุปกรณ์ภายนอก อย่างละ 1 ช่องสัญญาณ
5. สร้างวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก 0-5 โวลต์ จำนวน 8 ช่องสัญญาณ
6. สร้างวงจรแปลงสัญญาณอนาลอก 0-5 โวลต์เป็นดิจิตอล จำนวน 8 ช่องสัญญาณ
7. เขียนโปรแกรม สำหรับหน่วยประมวลผลกลาง เพื่อใช้ในการควบคุมและลำดับการทำงานของฮาร์ดแวร์
8. เขียนซอฟท์แวร์สำหรับคอมพิวเตอร์ เพื่อใช้งานกับฮาร์ดแวร์ที่สร้างขึ้น
9. นำโครงงานไปประยุกต์ใช้ในงานระบบควบคุมให้เกิดประโยชน์ได้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
การสื่อสารข้อมูลแบบอนุกรม

การเชื่อมต่อระหว่างพอร์ตอนุกรมแต่ละพอร์ตจะใช้เส้นสัญญาณอนุกรมแบบมาตรฐานอยู่ 3 แบบ คือ มาตรฐาน EIA RS-422,ระบบวงรอบกระแส และมาตรฐาน EIA RS-232 โดยทั่วไปเราจะใช้เส้นส่งสัญญาณอนุกรมแบบมาตรฐาน ***EIA RS-232*** มากที่สุด ซึ่งเราจะเรียกว่า RS – 232 สายส่งสัญญาณ RS – 232 นี้ ได้ถูกนำไปใช้ในหน่วยแสดงผล เครื่องพิมพ์โมเด็ม และอุปกรณ์อื่นๆ ซึ่งจะมีความยาวของสายไม่เกิน 50 ฟุต

2.1 มาตรฐาน EIA RS – 232

มาตรฐาน EIA RS – 232 ซึ่งเราจะเรียก RS – 232 ได้กำหนดให้ค่าสัญญาณไฟฟ้าที่มีระดับศักดาไฟฟ้าเท่ากับ 3 โวลต์หรือสูงกว่า มีค่าทางตรรกะเป็น 1 และกำหนดให้ค่าสัญญาณไฟฟ้าที่มีระดับศักดาไฟฟ้าเท่ากับ -3 โวลต์หรือต่ำกว่ามีค่าทางตรรกะเป็น 0 วงจรไอซีที่สร้างสัญญาณเหล่านี้ต้องการแหล่งจ่ายไฟขนาด +12 โวลต์ RS – 232 จะใช้สาย 1 เส้นสำหรับส่งข้อมูล และใช้สายอีก 1 เส้นสำหรับรับข้อมูล โดยสัญญาณในแต่ละสายนี้จะถูกอ้างอิงเทียบกับกราวด์ (ขาเบอร์ 7) มาตรฐาน RS – 232 นี้ยังได้กำหนดสัญญาณตอบรับเพื่อใช้ในการควบคุมการรับ/ส่งข้อมูลด้วย

ในตารางที่ 2.1 (b) แสดงตัวเชื่อมต่อแบบ D ชนิด 25 ขา (25 pin D – connector) และสัญญาณต่างๆของ RS – 232 ถึงแม้ว่าบ่อยครั้งที่สายส่งสัญญาณ RS – 232 จะใช้ควบคู่กับตัวเชื่อมต่อแบบนี้ แต่ก็ยังไม่เป็นรูปแบบที่มาตรฐาน เนื่องจากตัวเชื่อมต่อแบบ D ชนิด 25 ขา จะกินเนื้อที่มากในการติดตั้ง ดังนั้นจึงได้มีการเชื่อมต่อแบบใหม่ที่มีขาเพียง 9 ขา (ดังตารางที่ 2.1 (a)) มาใช้แทน โดยเราจะพบได้ในเครื่องคอมพิวเตอร์ส่วนบุคคลรุ่นใหม่

มาตรฐาน RS – 232 จะสามารถใช้ส่งข้อมูลได้ไกลสุด 50 เมตร ด้วยอัตรา 9600 บอด แต่ถ้าเราต้องการให้ส่งได้ไกลกว่านี้ เราก็ต้องส่งข้อมูลด้วยอัตราส่งข้อมูลที่ช้ากว่านี้ และถ้าเราต้องการส่งข้อมูลในระยะทางที่ใกล้กว่านี้ เราก็สามารถส่งข้อมูลด้วยอัตราที่มากกว่าอัตรา 9600 บอด

ตารางที่ 2.1 ตัวเชื่อมต่อที่นิยมใช้กับสายส่งสัญญาณอนุกรมแบบมาตรฐาน RS - 232

9 Pin	EIA RS-232 Circuit	CCIT V.24 Circuit	RS-232 Description	Signal type & Direction
5	AB	102	Signal ground/common return	Ground/common

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

17	DD	115	(DCE) Receiver signal element timing (DCE)	Timing from DCE
14 16	SBA SBB	118 119	Secondary transmitted data Secondary received data	
19 13 12	SCA SCB SCF	120 121 122	Secondary request to send Secondary clear to send Secondary received line signal detector	Control to DCE Control from DCE Control from DCE
11 18 25			Undefined	

ในที่นี้จะกล่าวถึงพอร์ตสื่อสารข้อมูลอนุกรม **RS – 232C**

2.2 RS-232C

1.คุณสมบัติของ RS – 232C

อัตรารับส่งข้อมูล : 0 – 20000 บิต/วินาที

ระดับแรงดันเอาต์พุตสูงสุดในภาวะไม่มีโหลด : - 25 โวลต์ (ลอจิก 1)
+ 25 โวลต์ (ลอจิก 0)

ระดับแรงดันเอาต์พุตสำหรับโหลด 3 – 7 กิโลโอห์ม :ลอจิก "1" - 15 โวลต์ (7 กิโลโอห์ม)
-5 โวลต์ (3 กิโลโอห์ม)
ลอจิก "0" +15 โวลต์ (7 กิโลโอห์ม)
+5 โวลต์ (3 กิโลโอห์ม)

กระแสเอาต์พุตเมื่อลัดวงจร : สูงสุด 500 มิลลิแอมป์

เอาต์พุตอิมพีแดนซ์เมื่อไม่จ่ายไฟเลี้ยง : ต่ำสุด 300 โอห์ม

สลูว์เรตทางเอาต์พุตสูงสุด : 30 โวลต์/ไมโครวินาที

ความต้านทานอินพุตของภาครับ : สูงสุด 7 กิโลโอห์ม
ต่ำสุด 3 กิโลโอห์ม

ค่าความจุอินพุตของภาครับ : สูงสุด 2500 กิโลฟารัด

ย่านแรงดันอินพุตของภาครับ : - 25 โวลต์ ถึง + 25 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความจุอินพุตของภาครับ : สูงสุด 2500 กิโลฟารัด

ย่านแรงดันอินพุตของภาครับ : - 25 โวลต์ ถึง + 25โวลต์

2.การจัดขาสัญญาณของ RS – 232C

มีด้วยกัน 2 แบบ คือ แบบ 9 ขา และ แบบ 25 ขา ดังนี้

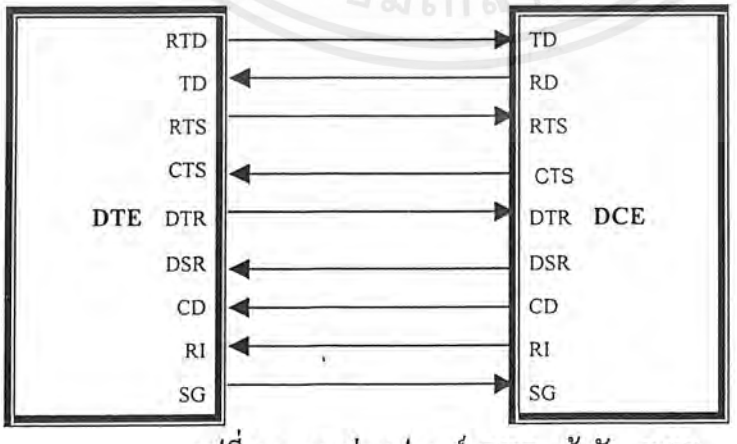
ตารางที่ 2.2 แสดงขาสัญญาณของ RS – 232 ทั้งแบบ 9 และ 25 ขา

ชื่อสัญญาณ	หมายเลขขาในแบบ 9 ขา	หมายเลขขาในแบบ 25 ขา
TD Transmitted Data	3	2
RD Received Data	2	3
RTS Request to Send	7	4
CTS Clear to Send	8	5
DSR Data Set Ready	6	6
SG Signal Ground	5	7
CD Carrier Detect	1	8
DTR Data terminal Ready	4	20
RI Ring Indicator	9	22

3. การเชื่อมต่อสัญญาณของ RS – 232C

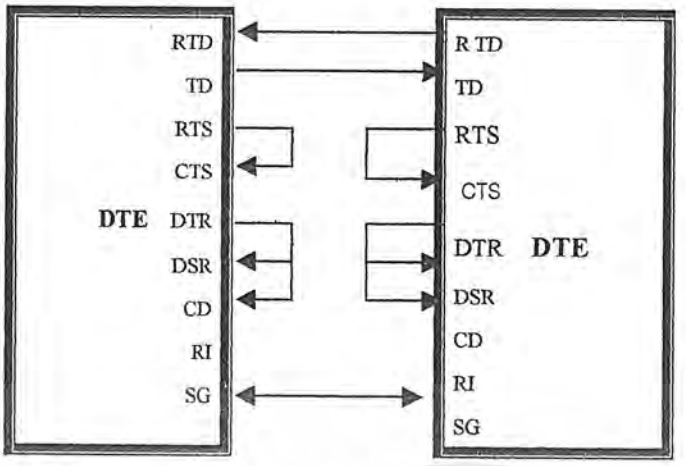
มีลักษณะเชื่อมต่อ 2 แบบด้วยกัน

1 การเชื่อมต่อกันระหว่างอุปกรณ์ DTE (Data Terminal Equipment) เช่นคอมพิวเตอร์กับอุปกรณ์ DCE (Data Circuit Terminal) เช่น โมเด็ม แสดงดังรูปที่ 2.1



รูปที่ 2.1 การต่ออุปกรณ์ DTE เข้ากับ DCE

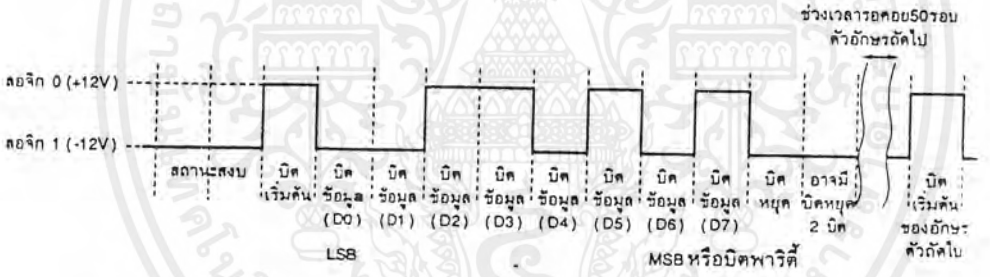
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 การต่ออุปกรณ์ DTE เข้ากับ DTE

2.3 รูปแบบของข้อมูลอนุกรมและอัตราบอดในการสื่อสารข้อมูลอนุกรม

อัตราบอด (baud rate) คือ ความเร็วในการรับส่งข้อมูลอนุกรม มีหน่วยเป็นบิตต่อวินาที



รูปที่ 2.3 รูปแบบของสัญญาณข้อมูลอนุกรมที่ใช้ในการสื่อสารข้อมูลอนุกรม

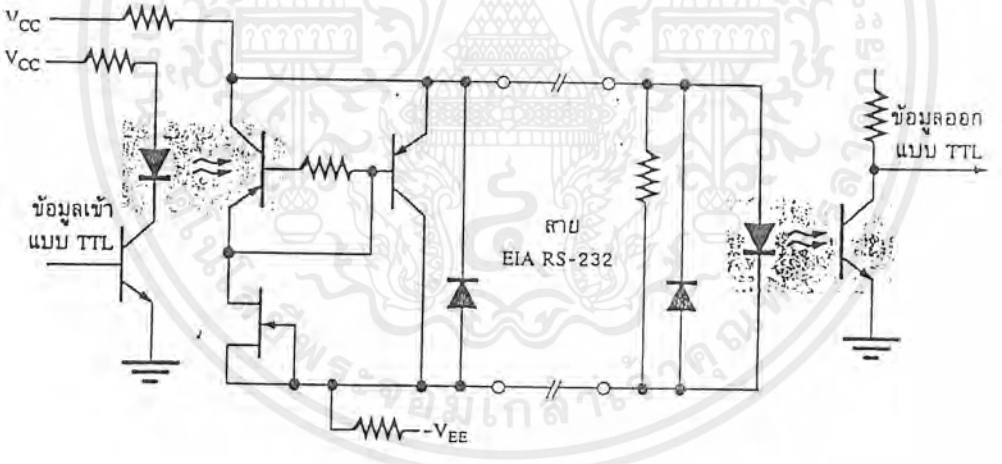
เมื่อเราไม่ต้องการให้อุปกรณ์ภายนอกเชื่อมต่อโดยตรงกับระบบที่มีไมโครโปรเซสเซอร์เป็นพื้นฐาน เราจะต้องนำ *optoisolator* มาใช้เป็นตัวแยก optoisolator จะช่วยป้องกันไมโครโปรเซสเซอร์ UART และวงจรอื่นๆในระบบจากศักดาไฟฟ้าสูงๆ หรือป้องกันไฟไม่ให้เข้าที่สายกราวด์ซึ่งอาจเกิดจากอุบัติเหตุ จึงทำให้มีการเชื่อมต่อระหว่างสายส่งสัญญาณกับสายกราวด์โดยเราอาจพบเหตุการณ์เช่นนี้ได้ในงานด้านอุตสาหกรรม ในรูปที่ 2.4 แสดงโครงสร้างของตัวรับสัญญาณและตัวส่งสัญญาณในระบบ EIA RS – 232 ซึ่งมีการนำ optoisolator มาใช้ นอกจากนี้ยังได้มีการนำ optoisolator มาใช้ในการส่งสัญญาณแบบขนาน และในการสื่อสารรูปแบบอื่นๆในไมโครโปรเซสเซอร์ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

optoisolator มาใช้ในการส่งสัญญาณแบบขนาน และในการสื่อสารรูปแบบอื่นๆในไมโครโปรเซสเซอร์ด้วย

ตารางที่ 2.3 อัตราบอดและช่วงเวลาของแต่ละบิตข้อมูลในการสื่อสารข้อมูลอนุกรม

อัตราบอด	ช่วงเวลาของแต่ละบิต
110	9.91 ms
150	6.67 ms
300	3.33 ms
600	1.67 ms
1200	0.833 ms
2400	0.417 ms
4800	0.208 ms
9600	0.104 ms
19200	0.052 ms



รูปที่ 2.4 การนำ optoisolator มาใช้กับเส้นส่งสัญญาณ RS – 232

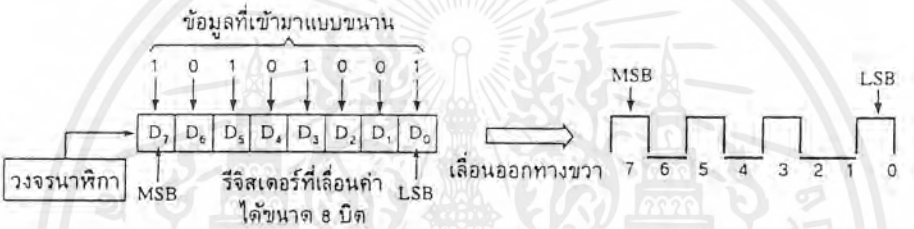
มาตรฐานอื่นๆ ที่ระบุรูปแบบของสายส่งสัญญาณอนุกรมที่ส่งข้อมูลได้ในอัตราที่สูงจะถูกนำมาใช้ในระบบที่มีไมโครโปรเซสเซอร์ควบคุมการทำงาน โดยเฉพาะอย่างยิ่งการติดต่อกับเครื่องเมนเฟรม และการติดต่อผ่านเครื่องข่ายแบบ LAN การส่งข้อมูลที่ใช้โปรโตคอลแบบซิงโคนัสโดยส่วนใหญ่จะใช้สายโคเอ็กเชียลในการส่งสัญญาณ เนื่องจากสายโคเอ็กเชียลเป็นสายที่สามารถป้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กันการรบกวนจากสัญญาณรบกวนภายนอกได้ดี ระบบที่ใช้สายโคเอ็กเชียลจะสามารถส่งข้อมูลด้วยอัตราที่เร็วกว่า 1 เมกะบิต/วินาที และในบางครั้งอาจเร็วกว่า 10 เมกะบิต/วินาที มาตรฐานเหล่านี้ทำให้เราสามารถส่งข้อมูลแบบอนุกรมด้วยความเร็วสูง (เมื่อต้องการส่งข้อมูลจำนวนมาก)

2.4 การเชื่อมต่อแบบอนุกรมและ UART

ในรูปที่ 2.5 แสดงการแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรม โดยเริ่มแรกข้อมูลแบบขนานจะถูกนำไปเก็บไว้ในรีจิสเตอร์ Shift Register หลังจากนั้นจะใช้สัญญาณนาฬิกาในการเลื่อนค่าในรีจิสเตอร์ออกมาทีละบิต (โดยเลื่อนค่าไปทางขวามือ) โดยบิตแรกที่ถูกเลื่อนออกมาคือบิต LSB ของข้อมูลและบิตที่สองที่ถูกเลื่อนออกมาก็คือ บิตที่อยู่ถัดจากบิต LSB และบิตต่อ ๆ ไป สำหรับบิตสุดท้ายที่ถูกเลื่อนออกมาก็คือ บิต MSB ของข้อมูล



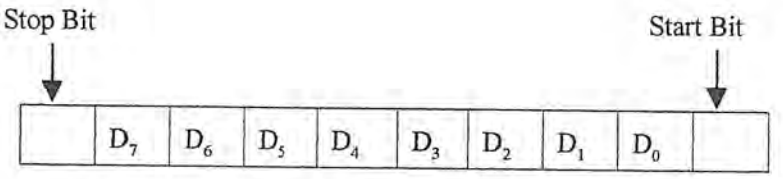
รูปที่ 2.5 การแปลงข้อมูลแบบขนานเป็นข้อมูลอนุกรม

การแปลงข้อมูลแบบอนุกรมไปเป็นข้อมูลแบบขนานนั้นจะมีขั้นตอนตรงกันข้ามกับที่กล่าวมา นั่นคือข้อมูลแบบอนุกรมจะถูกเลื่อนเข้าไปเก็บใน Shift Register โดยใช้สัญญาณนาฬิกาเป็นตัวควบคุม และหลังจากที่ได้มีการเลื่อนข้อมูลทุกบิตเข้าไปใน Shift Register ได้หมดแล้ว ข้อมูลในรีจิสเตอร์นี้ก็จะถูกนำออกมาแบบขนานเพื่อนำไปใช้งานต่อไป

อุปกรณ์ที่ทำหน้าที่ แปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน และแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรม เราเรียกว่า UART (Universal Asynchronous Receiver-Transmitter) ซึ่งเป็นวงจร LSI ซึ่งนอกจากจะมีหน้าที่ในการแปลงข้อมูลแล้ว UART ยังมีหน่วยควบคุมและหน่วยตรวจสอบการทำงานอีกด้วย

ในการส่งข้อมูลขนาด 8 บิตแบบอนุกรมนี้จะต้องมีบิตสตาร์ต (Start Bit) และบิตสตอป (Stop Bit) เพิ่มขึ้นมา ซึ่งจะทำให้ข้อมูลที่ถูกส่งไปจริง ๆ นั้นมีขนาด 10 บิต ในรูปที่ 2.6 แสดงเวิร์ดข้อมูลที่มีบิตข้อมูล 8 บิต บิตสตาร์ต 1 บิต และบิตสตอป 1 บิต โดยที่บิตสตาร์ตมีค่า 0 บอก UART ที่รับข้อมูลให้รู้ว่ามีข้อมูลกำลังเข้ามา และบิตสตอปที่มีค่า 1 จะบอก UART ที่รับข้อมูลให้รู้ว่าการส่งข้อมูลได้เสร็จสิ้นลงแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 เวิร์ดข้อมูลขนาด 8 บิตกับ Start Bit และ Stop Bit ที่ใช้ในการโอนย้ายข้อมูลแบบอนุกรม

เราเรียกความเร็วในการส่งข้อมูลของ UART ว่าอัตราบอด (Baud Rate) มีหน่วยเป็นจำนวนบิตต่อวินาที (Bit per Second) ซึ่งจะบอกจำนวนบิตที่รับส่งในเวลา 1 วินาที เช่น การส่งข้อมูลด้วยอัตรา 1200 บอด ก็คือการส่งข้อมูลตัวอักขระขนาด 10 บิต (บิตสตาร์ต 1 บิต บิตข้อมูล 8 บิต และบิตสตอป 1 บิต) ได้ 120 ตัวอักขระใน 1 วินาที ซึ่งตารางที่ 2.4 แสดงอัตราบอดของ UART ที่ใช้กันโดยทั่วไป

ตารางที่ 2.4 อัตราบอดทั่วไปที่ใช้ในการโอนย้ายข้อมูลแบบอนุกรม

อัตราบอด	ไบต์/วินาที
110	10
150	15
300	30
600	60
1200	120
2400	240
4800	480
9600	960
19200	1920
38400	3840

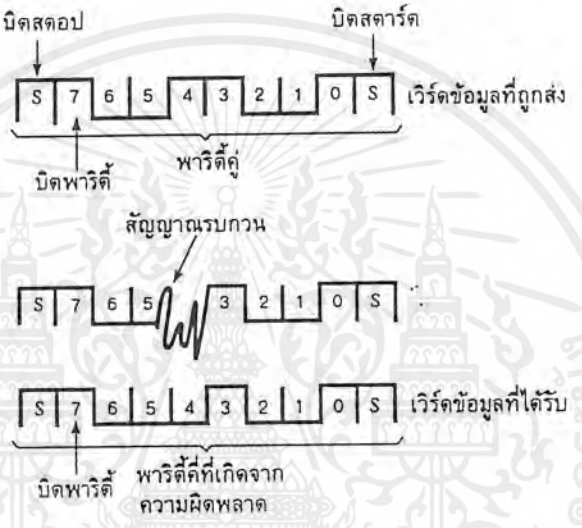
การส่งข้อมูลด้วยอัตรา 110 บอดนั้นจะมีรูปแบบแตกต่างจากอัตราบอดอื่น ซึ่งในอัตรานี้จะต้องใช้บิตสตาร์ต 1 บิต และบิตสตอป 2 บิต ดังนั้นจึงทำให้ต้องส่งข้อมูลที่มีขนาด 11 บิต

เมื่อนำบิตที่ 8 ของข้อมูลมาใช้ในการตรวจสอบความผิดพลาดในการสื่อสารข้อมูล ซึ่งเรียกว่า บิตพาริตี้ (Parity Bit) UART ส่วนใหญ่สามารถสร้างและทำการตรวจสอบข้อมูลนั้นว่าเป็นพาริตี้คู่หรือพาริตี้คี่ได้ ในการสร้างพาริตี้คู่ UART จะทำการเซตหรือเคลียร์ค่าในบิตพาริตี้เพื่อให้ข้อมูลทั้ง 8 บิต มีตัวเลข 1 เป็นจำนวนคู่ และในการสร้างพาริตี้คี่ UART จะทำการเซตหรือเคลียร์ค่าในบิตพาริตี้เพื่อให้ข้อมูลทั้ง 8 บิต มีตัวเลข 1 เป็นจำนวนคี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งสามารถใช้พาริตี้คู่หรือพาริตี้คี่ในการตรวจสอบความผิดพลาดในการรับส่งข้อมูลได้ เมื่อ UART ได้รับข้อมูล ก็จะทำการทดสอบดูว่าข้อมูลนั้นเป็นพาริตี้คู่หรือพาริตี้คี่ ถ้า UART พบว่าข้อมูลที่ทดสอบมีค่าพาริตี้ไม่ตรงตามที่กำหนด บิตพาริตี้ในรีจิสเตอร์สถานะของ UART ก็จะถูกเซตเพื่อแสดงว่าข้อมูลที่รับเข้ามานั้นมีข้อผิดพลาด และโปรแกรมที่ทำการรับข้อมูลนั้น ก็จะต้องขอให้มีการส่งข้อมูลมาให้กับ UART ใหม่อีกครั้ง

ในรูปที่ 2.7 แสดงการส่งข้อมูลแบบอนุกรมที่มีค่าพาริตี้เปลี่ยนไป เนื่องจากสัญญาณรบกวน (noise) โดยบิตที่ 4 ในรูปจะถูกสัญญาณรบกวนทำให้มีการเปลี่ยนค่าจาก 1 ไปเป็น 0 ซึ่งทำให้ข้อมูลที่ได้รับนั้นไม่ถูกต้อง

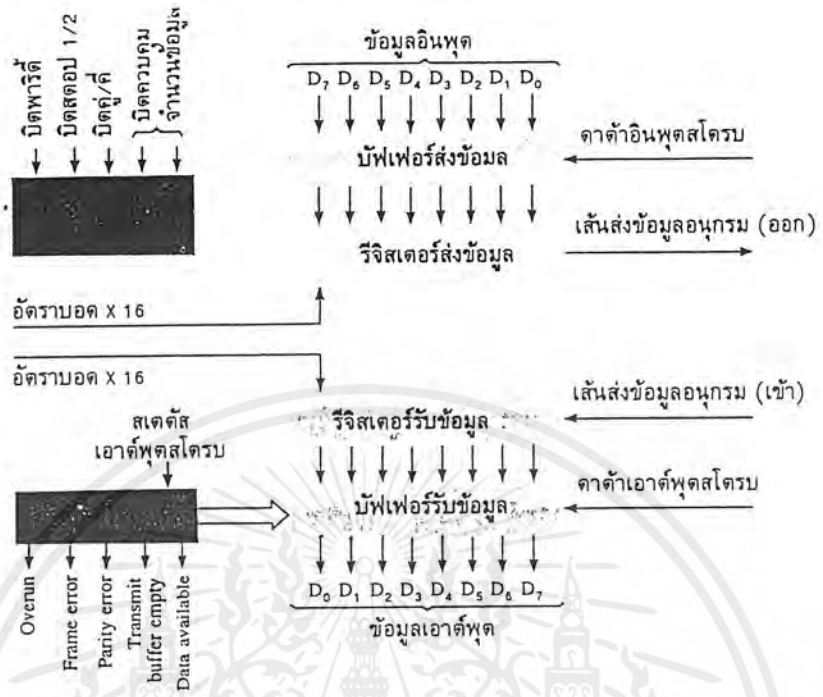


รูปที่ 2.7 แสดงการใช้บิตพาริตี้เพื่อตรวจสอบความผิดพลาดในการโอนย้ายข้อมูลแบบอนุกรม

ในรูปที่ 2.8 แสดงบล็อกไดอะแกรมของ UART แบบง่าย ๆ จากรูปจะพบว่าสามารถแบ่ง UART ออกเป็น 4 ส่วนได้แก่ ส่วนที่ทำหน้าที่ส่งข้อมูล ส่วนที่ทำหน้าที่รับข้อมูล ส่วนที่กำหนดสถานะ และส่วนที่เป็นวงจรควบคุม

ส่วนที่มีหน้าที่ส่งข้อมูลของ UART แยกออกได้เป็น 2 ส่วน ซึ่งได้แก่ บัฟเฟอร์ส่งข้อมูล (Transmiiter data output buffer) กับรีจิสเตอร์ส่งข้อมูล (Transmit register) โดยบิตข้อมูล 8บิตจะถูกนำไปเก็บในบัฟเฟอร์ส่งข้อมูล เมื่อสัญญาณควบคุมดาต้าอินพุตสโตรบ (Data input strobe) เปลี่ยนค่าจาก 1 เป็น 0 และการส่งข้อมูลแบบอนุกรมจะเริ่มขึ้นเมื่อสัญญาณควบคุมนี้เปลี่ยนค่าจาก 0 เป็น 1 ดังรูปที่ 2.9 หลังจากนั้น รีจิสเตอร์ส่งข้อมูลจะทำหน้าที่เลื่อนข้อมูลส่งออกไปยังเส้นส่งข้อมูลอนุกรม โดยเริ่มจากบิตสตาร์ต ถัดมาเป็นบิตข้อมูล D_0 ถึง D_7 และบิตสตอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 บล็อกไดอะแกรมของ UART

รูปที่ 2.9 สัญญาณดาต้าอินพุตสโตรบ

ส่วนที่ทำหน้าที่รับข้อมูลของ UART จะมีการทำงานที่ตรงกันข้ามกับส่วนที่ทำหน้าที่ส่งข้อมูล ข้อมูลที่เข้ามาทางเส้นรับข้อมูลอนุกรม (เข้า) จะถูกเลื่อนเข้าไปเก็บในรีจิสเตอร์รับข้อมูล โดยการเลื่อนค่า 10 หรือ 11 ครั้ง การทำงานจะเริ่มเมื่อมีบิตสตาร์ตเข้ามา และเมื่อข้อมูลทั้งหมดถูกเลื่อนเข้าไปเก็บในรีจิสเตอร์รับข้อมูล (Receive register) แล้ว ข้อมูลในรีจิสเตอร์รับข้อมูล จะถูกนำไปเก็บในปัฟเฟอร์รับข้อมูล (Received-data output buffer) เมื่อมีสัญญาณควบคุมดาต้าเอาท์พุตสโตรบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งรีจิสเตอร์รับข้อมูลและรีจิสเตอร์ส่งข้อมูลจะได้รับสัญญาณนาฬิกาขนาด 16 หรือ 64 เท่าของอัตราบอดที่ใช้ในการเลื่อนค่าในรีจิสเตอร์

เราสามารถนำข้อมูลในรีจิสเตอร์สถานะของ UART ไปใช้ได้ โดยการส่งสัญญาณควบคุมสเตตัสเอาท์พุตสโตรบ (Status output strobe) ซึ่งในรีจิสเตอร์สถานะของ UART จะมีบิตบอกสถานะต่าง ๆ ดังนี้

1. บิต OR (overrun) บิตนี้จะมีค่าเป็น 1 เมื่อข้อมูลชิ้นใหม่เข้ามาทับข้อมูลชิ้นเดิมที่เก็บอยู่ ซึ่งข้อมูลชิ้นเดิมยังไม่ได้ถูกนำไปเก็บในบัฟเฟอร์รับข้อมูล

2. บิต FE (framing error) บิตนี้จะมีค่าเป็น 1 ถ้า UART ไม่พบบิตสตอป ซึ่งอาจเป็นเพราะว่า UART ไม่ได้อ่านบิตสตาร์ตจากตำแหน่งที่ถูกต้อง ซึ่งหมายความว่า UART เริ่มทำงานกับบิตที่ไม่ใช่บิตสตาร์ต

3. บิต PE (parity error) บิตนี้จะมีค่าเป็น 1 เมื่อ UART ได้ตรวจสอบพบว่าข้อมูลที่ได้รับมีพาริตี้ไม่ตรงกับค่าในบิตพาริตี้ของข้อมูล เราจะกำหนดให้ UART ทำการทดสอบค่าแบบพาริตี้คู่หรือพาริตี้คี่ได้ โดยระบุไว้ที่วงจรควบคุมก่อนที่จะนำUART มาทำการรับข้อมูล

4. บิต TBE (transmit buffer empty) บิตนี้จะมีค่าเป็น 1 เมื่อ UART ได้ทำการส่งข้อมูลออกไปแล้ว ซึ่งทำให้เราสามารถนำข้อมูลชิ้นต่อไปที่จะส่งเก็บลงในบัฟเฟอร์ส่งข้อมูลได้

5. บิต DA (Data available) บิตนี้จะมีค่าเป็น 1 เมื่อ UART ได้รับข้อมูลชิ้นใหม่เข้ามา และสามารถทำการอ่านข้อมูลนี้ได้ โดยส่งสัญญาณดาต้าเอาท์พุตสโตรบ

รีจิสเตอร์ควบคุมการทำงานของ UART ทำให้เราสามารถกำหนดโหมดการทำงานของ UART ได้ บิตควบคุมจำนวนข้อมูลทั้ง 2 บิต จะช่วยให้เราสามารถเลือกจำนวนของข้อมูลจริงที่รับมาว่าเป็น 5 บิต 6 บิต 7 บิต หรือ 8 บิต โดยเราจะใช้ข้อมูลจริงขนาด 7 บิต ในการส่งข้อมูลที่ใช้รหัสแอสกี ข้อมูลจริงขนาด 5 บิตจะใช้ในการส่งข้อมูลของเครื่องโทรพิมพ์ ข้อมูลจริงขนาด 6 บิตจะใช้ในการส่งข้อมูลที่มีการย่อขนาด ข้อมูลจริงขนาด 8 บิตจะใช้เมื่อไม่มีการใช้บิตพาริตี้ แต่ผู้ใช้ต้องการที่จะส่งข้อมูลขนาด 1 ไบต์เต็ม

บิตควบคุมคู่/คี่ จะใช้ในการกำหนดพาริตี้ที่ใช้ว่าเป็นพาริตี้คู่หรือพาริตี้คี่ แต่บิตควบคุมนี้จะถูกใช้ เมื่อต้องการใช้ค่าพาริตี้เท่านั้น ในการส่งข้อมูลรหัสแอสกีขนาด 7 บิต โดยบิตที่ 8 จะเป็นบิตพาริตี้และเป็นบิตสุดท้ายของข้อมูลที่ส่งการกำหนดบิตคู่/คี่ จะเป็นตัวบอกUART ว่าให้ทำการตรวจสอบค่าข้อมูลที่ได้รับแบบพาริตี้คู่หรือพาริตี้คี่

บิตสตอป 1/2 ของวงจรควบคุมจะกำหนดจำนวนบิตสตอปที่ใช้ในการส่งข้อมูล โดยการส่งข้อมูลด้วยอัตรา 110 บอด จะต้องใช้บิตสตอป 2 บิตเสมอ บางครั้งอาจมีบิตควบคุมพิเศษเพิ่มเข้ามาซึ่งทำให้สามารถเลือกใช้บิตสตอป 1.5 บิต ซึ่งจะใช้ในการส่งข้อมูลมาตรฐานแบบเก่าขนาด 5 บิต

ในปัจจุบัน UART ถูกนำมารวมกับไอซีพิเศษที่ทำหน้าที่สร้างสัญญาณอัตราบอด โดยไอซีนี้จะสามารถสร้างสัญญาณที่มีอัตราบอดเป็น 16 หรือ 64 เท่าของอัตราบอดมาตรฐาน โดยสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นี้จะถูกสร้างจากวงจรกำเนิดสัญญาณแบบคริสตอล ทำให้ได้อัตราบอดที่มีอัตราคงที่และเที่ยงตรงมาก

การส่งข้อมูลของ UART จะเป็นแบบอะซิงโครนัส (Asynchronous) ซึ่งหมายความว่าเวลาระหว่างเวิร์ดข้อมูลแต่ละตัวที่รับเข้ามาจะไม่แน่นอน เช่น ในคีย์บอร์ดเราจะพบว่าเวลาระหว่างการกดปุ่มแต่ละปุ่มจะไม่แน่นอน ในการส่งข้อมูลที่เป็นตัวอักขระในรหัสแอสกี เราจะพบว่าเวลาระหว่างบิตแต่ละบิตที่ส่งออกไปจะเป็นแบบซิงโครนัส แต่เวลาระหว่างตัวอักขระแต่ละตัวจะเป็นแบบอะซิงโครนัส เนื่องจากในการส่งตัวอักขระตัวหนึ่ง ๆ บิตแต่ละบิตของตัวอักขระนี้จะถูกส่งไปด้วยอัตราบอดเดียวกัน แต่สำหรับเวลาระหว่างตัวอักขระแต่ละตัวนั้นจะขึ้นอยู่กับการกดปุ่มคีย์บอร์ดของผู้ใช้

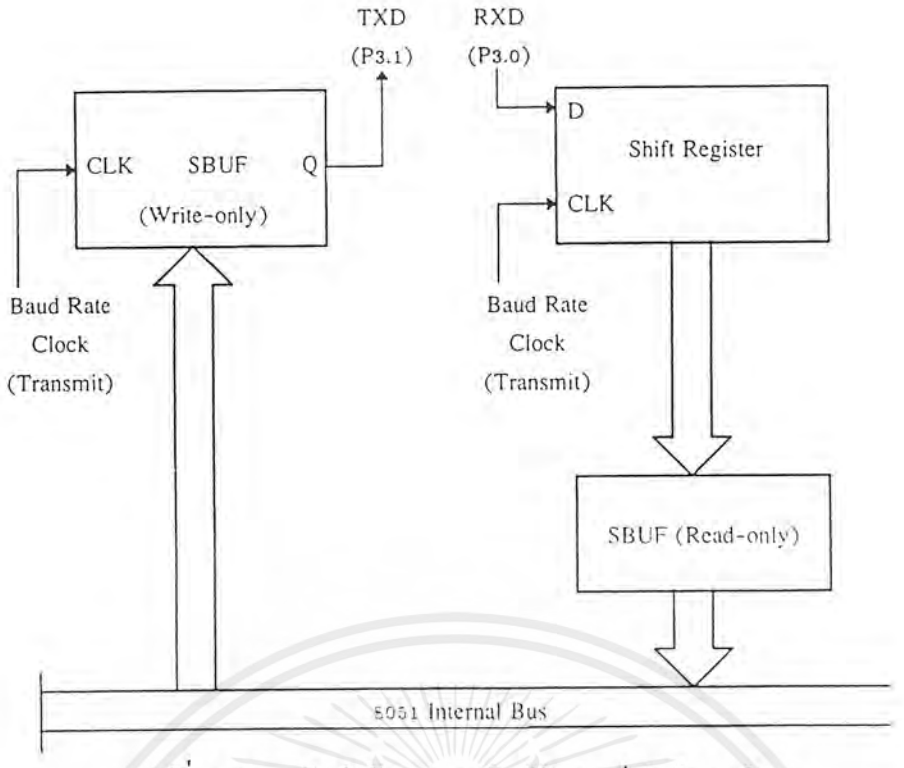
2.5 MCS-51 กับการรับส่งข้อมูลแบบอนุกรม

การรับส่งข้อมูลแบบอนุกรม กับไมโครคอนโทรลเลอร์ MCS – 51 นั้น ภายในชิพ MCS – 51 จะมี UART อยู่ในตัว ซึ่งเป็นข้อดีของไมโครคอลโทรเลอร์ ถ้าเป็นไมโครโปรเซสเซอร์ เช่น เบอร์ Z - 80 ถ้าต้องการรับส่งข้อมูลแบบอนุกรมจะต้องนำชิพ UART มาประกอบด้วย พอร์ตอนุกรมของ MCS – 51 จะใช้ขา TXD และ RXD ในการรับส่งข้อมูล โดยขาทั้งสองจะอยู่ในพอร์ต 3 คือ P3.1 หรือขา 11 เป็น TXD และ P3.0 หรือขา 10 เป็น RXD พอร์ตอนุกรมของ MCS – 51 สามารถทำงานแบบ Full Duplex ได้ คือสามารถส่งและรับข้อมูลในเวลาเดียวกันได้ โดยในการรับและส่งข้อมูล จะมีบัฟเฟอร์ สำหรับเก็บข้อมูลให้ใช้

รีจิสเตอร์ที่สำคัญในการรับส่งข้อมูลคือ SBUF และ SCON ซึ่งเป็นรีจิสเตอร์ที่อยู่ใน Special Function Registers โดยรีจิสเตอร์ Serial Port Buffer (SBUF) จะอยู่ในตำแหน่ง 99H ถ้าเขียนข้อมูลไปที่ตำแหน่งนี้ จะเป็นการส่งข้อมูลออกทางพอร์ตอนุกรม และถ้าอ่านข้อมูลจากตำแหน่งนี้ จะเป็นการรับข้อมูล จากพอร์ตอนุกรม โดยใน SBUF จะประกอบด้วยบัฟเฟอร์ 2 ตัว สำหรับส่งและรับข้อมูล ดังรูปที่ 2.10

สำหรับ Serial Port Control Register (SCON) ซึ่งอยู่ที่ตำแหน่ง 98H จะเป็นรีจิสเตอร์ที่สามารถเข้าถึงข้อมูลระดับบิตได้ รีจิสเตอร์นี้จะทำหน้าที่ควบคุมและบอกสถานะต่างๆ ของการรับส่งข้อมูลแบบอนุกรม สำหรับความเร็วของการส่งข้อมูล (Baud Rate) สามารถหาได้จากการหารสัญญาณนาฬิกา ที่ใช้กับ MCS – 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 การรับส่งข้อมูลระหว่างรีจิสเตอร์กับบัสภายใน

2.6 Serial Port Control Register

MCS – 51 มีโหมดการทำงานของพอร์ตอนุกรมหลายโหมด ซึ่งสามารถโปรแกรมโหมดการทำงานได้โดยเขียนข้อมูลไปยังรีจิสเตอร์ SCON ความหมายของแต่ละบิต แสดงได้ดังตารางที่ 2.5 และ 2.6

ตารางที่ 2.5 บิตต่างๆ ของรีจิสเตอร์ SCON

บิต	ชื่อ	ตำแหน่ง	ความหมาย
SCON.7	SM0	9FH	บิตเลือกโหมดการทำงานบิต 0
SCON.6	SM1	9EH	บิตเลือกโหมดการทำงานบิต 1
SCON.5	SM2	9DH	บิตเลือกโหมดการทำงานบิต 2
SCON.4	REN	9CH	บิตแฟลกกำหนดยอมให้มีการรับข้อมูล
SCON.3	TB8	9BH	ค่าของบิต 9 สำหรับการส่งข้อมูล ในโหมด 2 และ 3 สามารถ set และ clear ได้โดย Software
SCON.2	RB8	9AH	ค่าของบิต 9 เมื่อรับข้อมูลเข้ามา
SCON.1	TI	99H	บิตแฟลกแสดงการอินเทอร์รัพท์ ภายหลังการส่งข้อมูลออกไป โดยจะ set เมื่อส่งข้อมูลออกไปหมดแล้ว และสามารถ clear ได้ด้วย Software
SCON.0	RI	98H	แฟลกแสดงการอินเทอร์รัพท์ ภายหลังรับข้อมูลเข้ามา สามารถ clear ได้ด้วย Software

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.6 แสดงโหมดต่างๆ ของการรับส่งแบบอนุกรม

SM0	SM1	MODE	ความหมาย	BAUD RATE
0	0	0	Shift Register	เปลี่ยนแปลงไม่ได้ (Oscillator Frequency/12)
0	1	1	8 - bit UART	สามารถเปลี่ยนแปลงได้โดยกำหนดจาก Timer
1	0	2	9 – bit UART	เปลี่ยนแปลงไม่ได้ (Oscillator Frequency/12 หรือ /64)
1	1	3	9 – bit UART	สามารถเปลี่ยนแปลงได้โดยกำหนดจาก Timer

ก่อนที่จะใช้พอร์ตอนุกรม จะต้องโปรแกรมให้กับ SCON เสียก่อน เพื่อกำหนดโหมดการทำงาน และลักษณะต่างๆ เช่น

MOV SCON,#01010010 B

เป็นการกำหนดให้พอร์ตอนุกรมทำงานในโหมด 1 และอีนาเบิลให้มีการรับข้อมูล พร้อมกับกำหนดให้ TI เป็น 1

ในการส่งข้อมูลทุกโหมดสามารถทำได้โดย เขียนข้อมูลไปยัง SBUF เมื่อข้อมูลถูกส่งไปแล้ว บิต TI จะถูก set เป็น "1" ในการส่งข้อมูล จะต้องคอยตรวจสอบบิต TI เพราะว่าถ้า TI ยังไม่เป็น "1" แสดงว่าข้อมูลยังส่งไปไม่หมด ถ้าหากมีการเขียนข้อมูลไบต์ต่อไป ไปยัง SBUF จะทำให้เกิดข้อผิดพลาดขึ้น สำหรับในการรับข้อมูล บิต REN จะต้อง set ให้เป็น "1" ยกเว้นโหมด 0 เพื่ออนุญาตให้รับข้อมูลได้ เมื่อข้อมูลรับเข้ามาเรียบร้อยแล้ว บิต RI จะถูก set เป็น "1"

2.7 Mode Of Operation

ใน MCS – 51 การสื่อสารทางพอร์ตอนุกรม จะมีอยู่ 4 ประเภท หรือ 4 โหมด ซึ่งจะกำหนดได้ที่บิต SM0 และ SM1 ใน SCON โดยจะมี 3 โหมด เป็นการสื่อสารแบบ Asynchronous โดยลักษณะของข้อมูลที่ส่ง จะมีบิตเริ่มต้น (Start Bit) และบิตจบ (Stop Bit) คล้ายกับการสื่อสารแบบ RS – 232 ในระบบคอมพิวเตอร์ อีกโหมดหนึ่งจะเป็นการใช้พอร์ตอนุกรมในลักษณะชิพรีจิสเตอร์

1. 8 – Bit Shift Register (Mode 0)

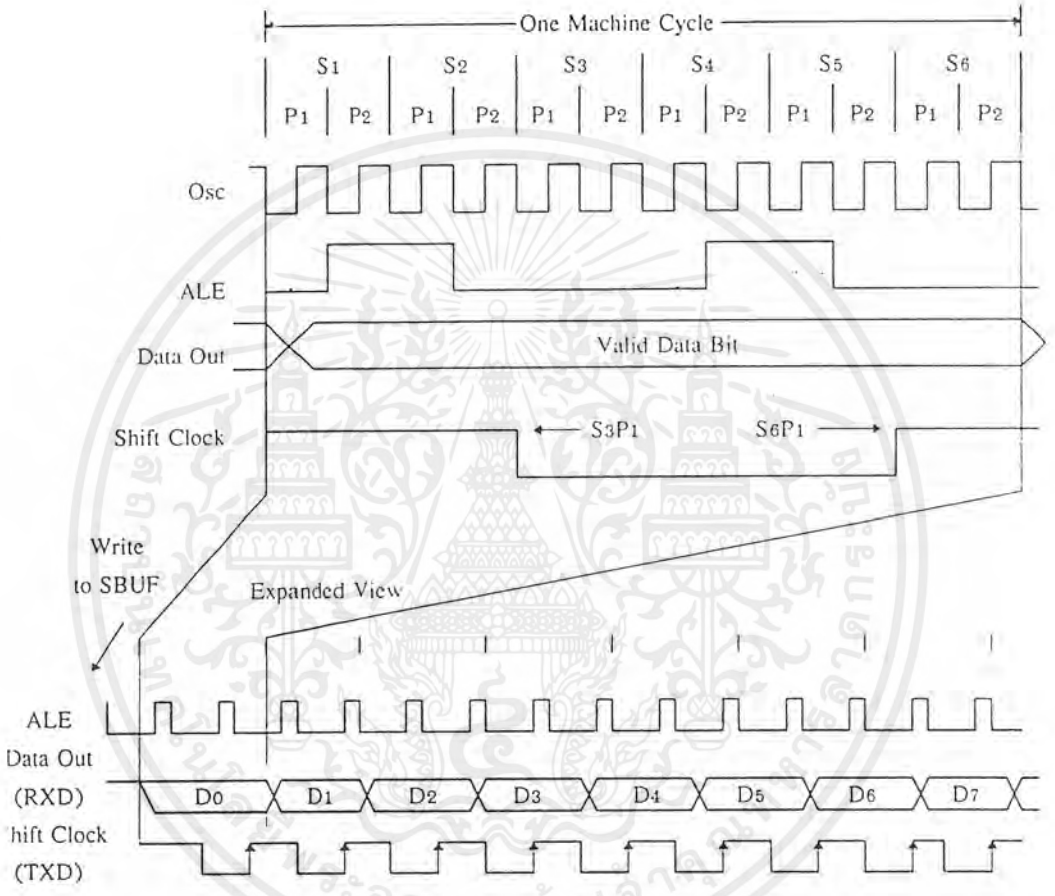
การทำงานในโหมดนี้ จะใช้ขา RXD ในการรับส่งข้อมูลโดยต่อกับ Shift Register ภายนอก ส่วนขา TXD จะเป็น Output Shift Clock เพื่อกระตุ้นรีจิสเตอร์ภายนอกให้เลื่อนบิต ถ้ามีการส่งข้อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

มูลหรือรับข้อมูล 8 บิต จะเริ่มที่บิตต่ำสุดก่อน โดยมีค่า Baud Rate เท่ากับ 1/12 ของความถี่ที่ใช้บนชิพ

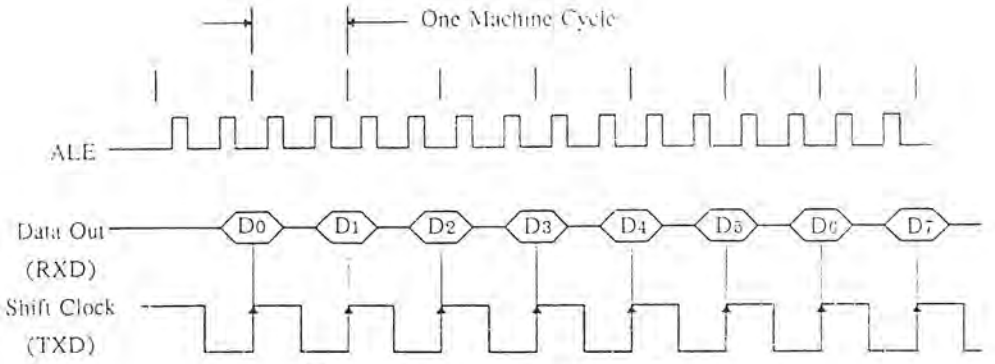
ในการส่งข้อมูลจะทำโดย เขียนข้อมูลไปที่รีจิสเตอร์ SBUF ข้อมูลจะถูกส่งออกมาทางขา RXD (P3.0) โดยจะสอดคล้องกับสัญญาณที่ออกมาทางขา TXD ซึ่งสัญญาณของขา TXD จะถูกส่งออกมาทุกๆ Machine Cycle โดยจะเป็นลอจิก "0" ใน S3P1 และจะกลับเป็นลอจิก "1" ใน S6P1 ซึ่งแสดงได้ดังรูปที่ 2.11



รูปที่ 2.11 ไดอะแกรมเวลาการส่งข้อมูล

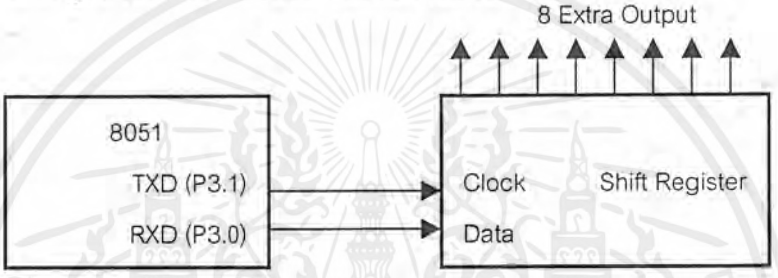
สำหรับการรับข้อมูลจะรับได้เมื่อ set ขา Receiver Enable Bit (REN) เป็น "1" และ clear ขา Receiver Interrupt Bit (RI) เป็น "0" ข้อมูลจะเข้าสู่ MCS - 51 เมื่อ Clock Shift ถูกส่งออกไปทาง TXD ที่ขอบขาขึ้นของ Clock Shift บิตต่ำจะถูกส่งเข้ามาก่อนดังรูปที่ 2.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
36867



รูปที่ 2.12 ไดอะแกรมเวลาการรับข้อมูล

ในการประยุกต์ใช้งานโหมดนี้ จะต้องมีไอซีชิพต์รีจิสเตอร์มาต่อภายนอก เช่น ถ้าหากต้องการส่งข้อมูลออกมาทางพอร์ตอนุกรม อาจต่อวงจรได้ดังรูป 2.13 โดยใช้ไอซี Serial – to – Parallel Shift Register โดยข้อมูลส่งออกมาทาง RXD และใช้ TXD เป็น Clock

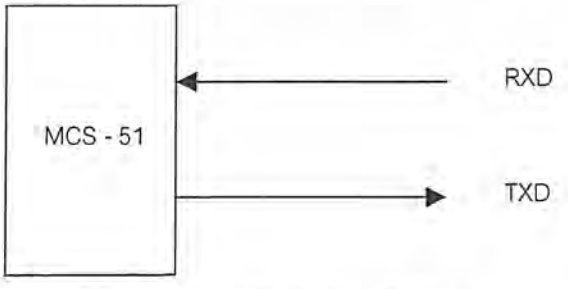


รูปที่ 2.13 การส่งข้อมูลออกโดยใช้ชิพต์รีจิสเตอร์ช่วย

2. **8 – Bit UART with Variable Baud Rate (Mode 1)**

ในโหมดนี้ จะเป็นการส่งข้อมูลแบบ 10 บิต ซึ่งประกอบด้วยบิตเริ่มต้น (เป็น "0") ข้อมูล 8 บิต และบิตจบ (เป็น "1") นอกจากนี้ยังสามารถกำหนดค่า Baud Rate ได้โดยค่า Baud Rate นี้ จะแปรตามตัวจับเวลาตัวที่ 1 ในโหมดนี้ จะส่งข้อมูลออกทาง TXD และรับข้อมูลเข้าทาง RXD ถ้าเป็นการรับข้อมูลเข้า ตัว Stop Bit จะเข้ามายังบิต RB8 ใน SCON

ถ้า Baud Rate ที่ใช้ในการรับส่งข้อมูลจะกำหนดโดย Timer 1 หลังจากโปรแกรมไปใน Timer 1 แล้วสามารถเลือกค่า Baud Rate ได้อีกสองค่า คือ ค่าจาก Timer 1 Overflow หาร 32 กับค่าจาก Timer 1 Overflow หาร 16



รูปที่ 2.14 การรับส่งข้อมูลในโหมด 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งข้อมูลทำได้โดยการเขียนข้อมูล 8 บิต ไปที่ SBUF โดยบิตที่ 9 (Stop Bit) ให้เขียนลงใน TB8 ใน SCON จากนั้น ข้อมูลจะถูกส่งออกมาทางขา TXD โดยส่ง Start Bit ออกมาก่อน ตามด้วยข้อมูล 8 บิต และจบด้วย Stop Bit เมื่อข้อมูลถูกส่งออกไปหมดแล้ว บิต Interrupt Flag (TI) จะเป็น "1" ดังนั้นในการเขียนข้อมูลใหม่ลงไป จะต้องตรวจสอบบิตนี้

ในการรับข้อมูล จะเริ่มจากเมื่อมีการเปลี่ยนแปลงลอจิกจาก 1 เป็น 0 ทางขา RXD หมายความว่าเริ่มรับบิตเริ่มต้น จากนั้นข้อมูลอีก 8 บิต จะถูกเก็บลงใน SBUF และ Stop Bit จะถูกเก็บในบิต RB8 ของรีจิสเตอร์ SCON เมื่อข้อมูลเข้ามาครบแล้ว บิต Interrupt Flag (RI) จะถูก set ดังนั้นในการอ่านข้อมูลจะอ่านได้เมื่อบิต RI ถูก set แล้ว เมื่ออ่านข้อมูลไปแล้ว จะต้อง clear บิตนี้

3. **9 – Bit UART with Fixed Bard Rate (Mode 2)**

การทำงานในโหมดนี้ ไม่สามารถกำหนดค่าใน Baud Rate ได้ ซึ่งค่า Baud Rate จะมีสองค่าคือ 1/64 และ 1/32 ของสัญญาณนาฬิการบนชิพ การรับส่งข้อมูลจะเป็นชุดข้อมูล 9 บิต บิตเริ่มต้น บิตหยุด รวมเป็น 11 บิต โดยข้อมูล 9 บิต จะเป็นจำนวนข้อมูล 8 บิต และบิตที่โปรแกรมได้อีก 1 บิต โดยบิตนี้จะเป็นบิตที่ 9 ซึ่งจะใช้เป็น Parity Bit ในการส่งข้อมูลจะต้องเขียนไปที่บิต TB8 ในรีจิสเตอร์ SCON สำหรับการรับข้อมูลบิตที่ 9 จะถูกเก็บในบิต RB8

4. **9 – Bit UART with Variable Baud Rate (Mode 3)**

การทำงานในโหมดนี้ จะคล้ายกับโหมด 2 แต่สามารถกำหนดค่า Baud Rate ได้ โดยการโปรแกรมไปที่ Timer 1 หลังจากโปรแกรมแล้ว ยังสามารถเลือกได้อีก 2 ค่า คือ ความถี่การ Overflow ของ Timer 1 หารด้วย 16 และหารด้วย 32

2.8 การกำหนดค่าเริ่มต้นให้รีจิสเตอร์ในการรับส่งข้อมูล

การรับข้อมูล ถ้าจะให้ MCS – 51 รับข้อมูลทางพอร์ตอนุกรมจะต้องโปรแกรมไปที่บิต Receiver Enable (REN) ในรีจิสเตอร์ SCON ให้เป็นลอจิก "1" ซึ่งอาจทำได้สองวิธีดังนี้

```
SETB REN
```

เป็นการ set บิต REN ให้เป็น "1" หรืออาจทำโดยใช้คำสั่ง

```
MOV SCON,#xxx1xxxxB
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งเป็นการย้ายข้อมูลที่ทำให้บิต REN เป็น 1 สำหรับค่า x หมายความว่าเป็นอะไรก็ได้ขึ้นกับการใช้งานในโหมดต่างๆ

ข้อมูลแบบ 9 บิต ในการรับส่งข้อมูลที่มีบิตข้อมูลแบบ 9 บิต ได้แก่ การใช้งานในโหมด 2 และ โหมด 3 การส่งข้อมูลบิตที่ 9 จะถูกเขียนในบิต TB8 โดยการเขียนโปรแกรมสำหรับการรับข้อมูล เมื่อข้อมูลเข้ามาถึงบิตที่ 9 จะถูกเขียนลงในบิต RB8

การเพิ่มบิต Parity การส่งข้อมูลแบบ 9 บิต สามารถใช้บิตที่ 9 เป็นบิต Parity ได้ ซึ่งบิต Parity จะอยู่ใน Program Status Word (PSW) โดยจะถูก set หรือ clear ทุกๆ Machine Cycle ที่เกี่ยวข้องกับ Accumulator เช่น ถ้าจะส่งข้อมูลแบบ 8 บิต ตามด้วยบิต Even Parity เป็นบิตที่ 9 สามารถเขียนโปรแกรมได้ดังนี้

```
MOV C,P          ; อ่านค่าบิต P มาเก็บใน C
MOV TB8,C        ; นำค่าบิต Parity เขียนลงใน TB8
MOV SBUF,A       ; ส่งข้อมูลไปทางพอร์ตอนุกรม
```

ถ้าเป็นแบบ Odd Parity ให้แก้ไขข้อมูลที่อ่านได้จากบิต Parity เสียก่อนที่จะส่งออกไป ซึ่งเขียนโปรแกรมได้ดังนี้

```
MOV C,P          ; อ่านค่าบิต Parity มาเก็บใน C
CPL C            ; กลับค่าให้เป็น Odd Parity
MOV TB8,C        ; เขียนค่าลงใน TB8
MOV SBUF,A       ; ส่งข้อมูลไปทางพอร์ตอนุกรม
```

การส่งข้อมูลแบบมี Parity Bit ด้วย ไม่ใช่จะส่งได้แบบ 9 บิต หรือโหมด 2 และ โหมด 3 เท่านั้น ในโหมด 1 ซึ่งส่งข้อมูลแบบ 8 บิต ก็สามารถทำได้ อย่างเช่นการส่งรหัส ASCII จะใช้บิตข้อมูล 7 บิต สำหรับบิตที่เหลืออีกหนึ่งบิตจะเป็นบิต Parity รวมเป็น 8 บิต ซึ่งสามารถเขียนโปรแกรมได้ดังนี้

```
CLR  ACC.7       ; เคลียร์ค่าบิต 7 เพื่อใช้เป็น Parity Bit
MOV  C,P         ; นำบิต Parity มาเก็บใน C
MOV  ACC.7,C     ; เขียนค่าบิต Parity ลงในรีจิสเตอร์ A
MOV SBUF,A       ; ส่งข้อมูลไปทางพอร์ตอนุกรม
```

แฟลกอินเทอร์รัพท์ เมื่อมีการรับส่งข้อมูลเสร็จสิ้น จะมีผลต่อแฟลกอินเทอร์รัพท์ (RI และ TI) ในรีจิสเตอร์ SCON ซึ่งบิตเหล่านี้ จะถูก set โดย Hardware แต่ต้อง clear ด้วย Software

บิต RI ถ้าถูก set หมายความว่าบัฟเฟอร์ที่ใช้รับข้อมูลเต็มให้อ่านไปได้แล้ว และบิตนี้สามารถใช้อินเทอร์รัพท์ MCS – 51 ได้ แต่ถ้าเขียนโปรแกรม จะใช้วิธีตรวจเช็กบิตนี้ ถ้าเป็น "1" หมายความว่าให้อ่านข้อมูลมาเก็บในรีจิสเตอร์ A ได้ แต่ก่อนอ่านจะต้อง clear RI เสียก่อน เพื่อจะได้รับข้อมูลถัดไปได้ ซึ่งเขียนโปรแกรมได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
WAIT: JNB  RI,WAIT      ; ถ้าบิตนี้ไม่เป็น "1" จะทำงานอยู่ที่เดิม
      CLR  RI           ; เคลียร์ RI
      MOV A,SBUF        ; อ่านค่ามาเก็บใน A
```

บิต TI เมื่อส่งข้อมูลออกไปแล้ว บิตนี้จะถูก set เป็นการบอกว่าบัฟเฟอร์ส่งข้อมูลว่างแล้ว ให้ส่งข้อมูลใหม่เข้าไปได้ ซึ่งสามารถใช้บิตนี้ อินเทอร์รัพท์ MCS – 51 ได้เช่นกัน แต่ถ้าเขียนโปรแกรมคอยตรวจเช็ก อาจเขียนได้ดังนี้

```
WAIT: JNB  TI, WAIT     ; ตรวจบิต TI ว่าเป็น "1" หรือยัง
      CLR TI            ; เคลียร์ TI
      MOV SBUF,A        ; เขียนข้อมูลลงไป
```

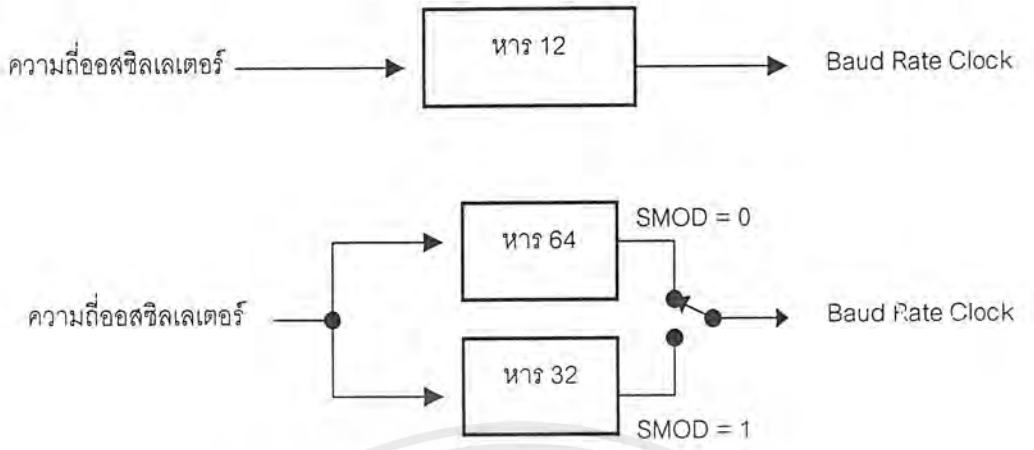
2.9 อัตราการส่งข้อมูลทางพอร์ตอนุกรม

จากการศึกษาการรับส่งข้อมูลในโหมดต่างๆ พบว่าในโหมด 0 และโหมด 2 ไม่สามารถกำหนด Baud Rate เองได้ โดยในโหมด 0 ค่า Baud Rate จะมีค่าเท่ากับความถี่ของ Oscillator หารด้วย 12 ในโหมด 1 จะมีสองค่า คือ ความถี่ Oscillator หารด้วย 32 และหารด้วย 64 สองค่านี้เรียกว่า SMOD0 และ SMOD1 ซึ่งสามารถกำหนดได้ในรีจิสเตอร์ PCON บิตที่ 7 ในรีจิสเตอร์ PCON นี้ ไม่สามารถเข้าถึงข้อมูลในระดับบิตได้ การเขียนข้อมูลลงไปทีละบิต จะต้องใช้วิธีที่เรียกว่า "Read – Modify – Write" คืออ่านค่าขึ้นมาแก้ไขแล้วเขียนลงไปใหม่ ตัวอย่างเช่น

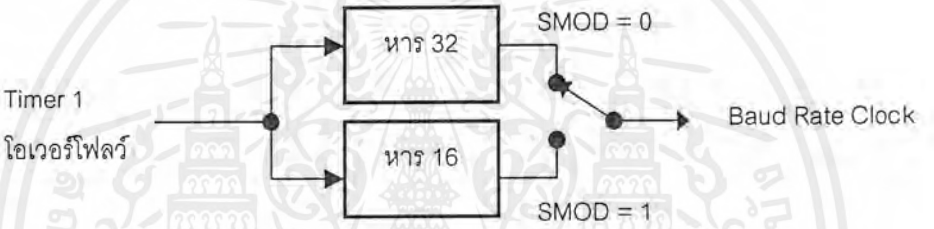
```
MOV  A,PCON       ; อ่านค่าจาก PCON มาเก็บในรีจิสเตอร์ A
SETB ACC.7        ; เซตบิต 7 (SMOD)
MOV PCON,A        ; เขียนค่าลงไปใหม่ใน PCON
```

สำหรับโหมด 1 และ โหมด 3 สามารถกำหนดค่า Baud Rates ได้โดยการโปรแกรมลงใน Timer 1 ในการโปรแกรมแต่ละครั้ง จะมี SMOD สองค่าเช่นกัน ค่า Baud Rates ของโหมดต่างๆ แสดงได้ดังรูปที่ 2.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



a และ b แสดงโหมด 0 และ 2



รูป c แสดงโหมด 1 และ 3

รูปที่ 2.15 แสดงการกำหนด Baud Rate ในโหมดต่างๆ

การใช้ Timer 1 กำหนด Baud Rate Clock

การกำหนดค่าลงใน Timer 1 ทำได้โดยการโปรแกรมไปที่ TMOD ให้ทำงานแบบ 8 – Bit Auto Reload Mode (Mode 2) โดยเขียนค่าไปที่ TH1 ซึ่งโปรแกรมที่รีจิสเตอร์ TMOD ได้ดังนี้

MOD TMOD,#0010xxxxB

ค่า x หมายความว่าเป็นอะไรก็ได้ เพราะบิตเหล่านี้ใช้ใน Timer 0

ถ้าต้องการ Baud Rate ต่ำๆ สามารถใช้ 16 – Bit Mode ได้ โดยโปรแกรมเป็น TMOD = 0001xxxxB ค่า Baud Rate ที่ส่งออกมาจะมีค่าเท่ากับ ความถี่ของ Timer 1 เกิด Overflow หารด้วย 32 (หรือหารด้วย 16 ถ้าเป็น SMOD = 1)

รูปแบบทั่วไปของการหาค่า Baud Rate ในโหมด 1 และ โหมด 3 สามารถหาได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BAUD RATE = TIMER 1 OVERFLOW RATE/32

ถ้าต้องการ Baud Rate เท่ากับ 1,200 สามารถคำนวณค่าความถี่ Overflow ของ Timer 1 ได้ดังนี้

1,200 = Timer 1 Overflow Rate /32

จะได้ Timer 1 Overflow Rate เท่ากับ 38.4 KHz

ถ้าระบบ MCS – 51 ใช้ความถี่สัญญาณนาฬิกาจาก Crystal เท่ากับ 12 MHz ตัว Timer 1 จะได้รับ Clock เท่ากับ 1 MHz หรือ 1,000 KHz ถ้าเราต้องการ Timer 1 Overflow เท่ากับ 38.4 KHz ดังนั้นค่าอัตรา Overflow มีค่าเท่ากับ 1,000/38.4 = 26.04 Clock โดยค่า Overflow จะเกิดเมื่อเกิดการเปลี่ยนจาก FFH เป็น 00H ดังนั้นจะต้องให้ Timer 1 นับไป 26 Count ดังนั้น ค่าที่จะให้รีจิสเตอร์ TH1 มีค่าเท่ากับ –26 ซึ่งใช้เป็นค่า Reload ดังนั้นเขียนคำสั่งได้ดังนี้

```
MOV  TH1, # -26
```

ตัวโปรแกรมแอสเซมเบลอร์ทั่วไปจะแปลงค่า –26 เป็น 0E6H เอง จากที่ผ่านมาจะเห็นว่าความถี่ Baud Rate จะมีความสัมพันธ์กับค่าสัญญาณนาฬิกาที่ใช้จาก Crystal ในตารางที่ 2.7 จะเป็นค่าที่ต้องกำหนดใน Timer 1 เมื่อต้องการค่า Baud Rate ต่างๆ

ตารางที่ 2.7 แสดงความถี่สัญญาณนาฬิกาที่ใช้กำหนด Baud Rate ค่าต่างๆ

ค่า Baud Rate	Crystal	SMOD โหมด	ค่าใน TH1	ค่า Baud Rate ที่ได้	ผิดพลาด
9,600	12.000	1	-7 (F9H)	8,923	7%
2,400	12.000	0	-13 (F3H)	2,404	0.16%
1,200	12.000	0	-16 (E6H)	1,202	0.16%
19,200	11.059	1	-3 (FDH)	19,200	0
9,600	11.059	0	-3 (FDH)	9,600	0
2,400	11.059	0	-12 (F4H)	2,400	0
1,200	11.059	0	-24 (E8H)	1,200	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10 การเชื่อมต่อหน่วยความจำกับ MCS-51

การจัดหน่วยความจำสำหรับ MCS-51 แบ่งได้เป็น 2 ส่วนใหญ่ๆ ได้แก่

1 Data Memory

2 Program Memory

1. DATA MEMORY

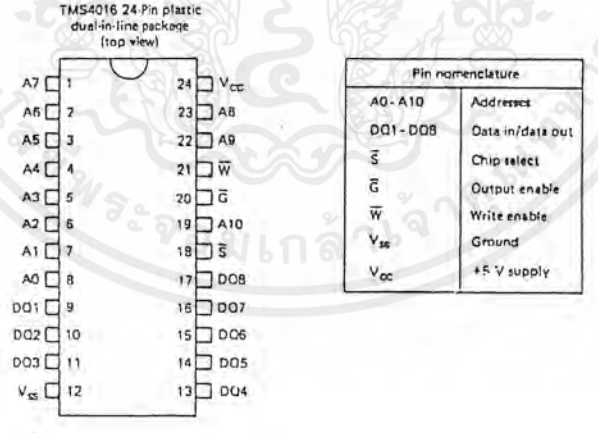
เป็นหน่วยความจำที่ใช้เก็บข้อมูล มีความจุได้ถึง 64 Kbytes เป็นหน่วยความจำประเภทอ่านและเขียนได้ (RAM) สัญญาณจาก MCS-51ที่ใช้ในการอ่านข้อมูลจาก RAM คือ RD\ และสัญญาณที่ใช้ในการเขียนข้อมูลลง RAM คือ WR\

RAM (Random Access Memory)

เป็นหน่วยความจำที่สามารถเขียนหรืออ่านข้อมูลได้ ข้อมูลจะสูญหายทันทีที่ขาดไฟเลี้ยง แบ่งเป็น 2 ชนิด คือ Static RAM และ Dynamic RAM

Static RAM

เป็นหน่วยความจำชนิดหนึ่งที่ง่ายในการนำมาใช้งานแต่ราคาจะสูงเมื่อเทียบกับ Dynamic RAM แต่ Dynamic RAMจะยุ่งยากขึ้นในการใช้งาน คือจะต้องทำการ refresh หน่วยความจำตลอดเวลา ส่วน Static RAM ซึ่งมีใช้กันอย่างแพร่หลายมีอยู่ด้วยกันหลายเบอร์ตามขนาดความจุของหน่วยความจำ เบอร์ที่นิยมใช้กันมากสำหรับงานที่ไม่ใหญ่มากนัก คือ เบอร์ TMS4016 ดังแสดงในรูปที่ 2.16



รูปที่ 2.16 การจัดวางขาของ Static RAM เบอร์ TMS4016

2. PROGRAM MEMORY

เป็นหน่วยความจำที่ใช้เก็บโปรแกรม เป็นหน่วยความจำที่อ่านข้อมูลได้อย่างเดียว (ROM) สัญญาณจาก MCS-51 ที่ใช้ในการอ่าน ROM คือ PSEN\

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ROM (Read Only Memory)

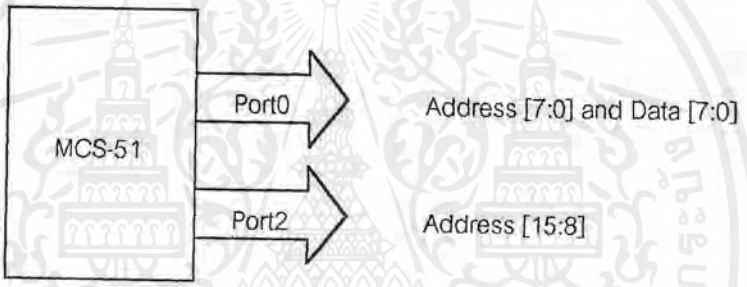
เป็นหน่วยความจำแบบถาวร เมื่อขาดไฟเลี้ยงข้อมูลไม่สูญหาย เป็นหน่วยความจำชนิดอ่านข้อมูลได้อย่างเดียว

EPORM (Erasable Programmable read-only Memory)

เป็นหน่วยความจำแบบถาวรชนิดหนึ่งซึ่งผู้ใช้นำมาโปรแกรมเองได้และสามารถ ใช้แสง UV ลบข้อมูลได้

การเชื่อมต่อหน่วยความจำกับ MCS-51

สัญญาณที่ใช้ในการติดต่อกับหน่วยความจำประกอบด้วย แอดเดรสบัส บัสข้อมูล และบัสควบคุมใน MCS-51 สามารถติดต่อกับหน่วยความจำภายนอกได้ 64 กิโลไบต์ โดยจะใช้สายสัญญาณแอดเดรสบัส 16 เส้น ส่งออกมาทางพอร์ต0 และพอร์ต2 โดยพอร์ต0 จะใช้ Multiplexed ระหว่างแอดเดรสบัส และบัสข้อมูล โดยแอดเดรสบัสจะเป็นบิตต่ำ A0-A7 ดังรูปที่ 2.17



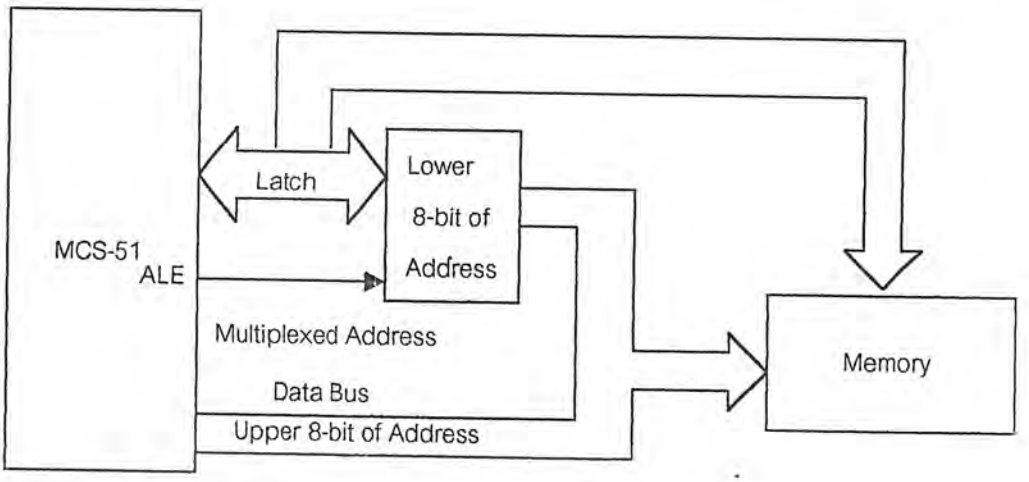
รูปที่ 2.17 แสดงสัญญาณของMCS-51 ที่ใช้ติดต่อกับตำแหน่งของหน่วยความจำ

ในการเชื่อมต่อกับหน่วยความจำจะต้องมีอุปกรณ์ภายนอกมา Latch สัญญาณแอดเดรสบัสที่ได้จากพอร์ต0 เพื่อที่จะใช้พอร์ต0 เป็นบัสข้อมูลต่อไป ในรูปที่ 2.18 จะเป็นการต่อหน่วยความจำประเภท ROM และ RAM กับ MCS-51 โดยมีอุปกรณ์ภายนอกมา Latch ค่าแอดเดรสบัสไบต์ต่ำเอาไว้ เรียกว่า "Address Latching"

อุปกรณ์ที่นิยมใช้ได้แก่ ไอซี TTL เบอร์ 74LS373 โดยใช้สัญญาณที่ใช้ Latch คือสัญญาณ ALE จาก MCS-51

ในการอ่านหน่วยความจำโปรแกรมและการอ่านเขียนหน่วยความจำข้อมูล การเชื่อมต่อขาแอดเดรสบัสและบัสข้อมูลจะเหมือนกัน ถ้าหน่วยความจำทั้งสองอยู่ตำแหน่งเดียวกัน แต่จะแยกกันด้วยสัญญาณควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 แสดงการต่อ MCS-51 กับหน่วยความจำ

2.11 การถอดรหัสตำแหน่งของหน่วยความจำ

การถอดรหัสตำแหน่งของหน่วยความจำมีความจำเป็นอย่างยิ่งเพราะว่าหน่วยความจำที่นำมาใช้มีขนาดเล็กกว่า 64 Kbytes ดังนั้นจึงต้องนำมาเรียงกันแล้วถอดรหัสตำแหน่งของหน่วยความจำแยกเป็นแต่ละช่วง ถ้าใช้หน่วยความจำขนาด 4 Kbytes จำนวน 8 ตัว จะได้เท่ากับ 32 Kbytes ถ้าให้ตัวแรกเริ่มที่แอดเดรส 8000H ตัวที่สองก็จะเริ่มที่แอดเดรส 9000H ดังรายละเอียดใน ตารางที่ 2.8

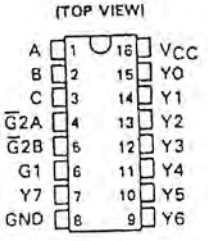
ตารางที่ 2.8 รหัสตำแหน่งหน่วยความจำขนาด 4 Kbyte

EPROM ตัวที่	แอดเดรส	A15	A14	A13	A12	A11----------A0
1	8000-8FFF	1	0	0	0	X----------X
2	9000-9FFF	1	0	0	1	X----------X
3	A000-AFFF	1	0	1	0	X----------X
4	B000-BFFF	1	0	1	1	X----------X
5	C000-CFFF	1	1	0	0	X----------X
6	D000-DFFF	1	1	0	1	X----------X
7	E000-EFFF	1	1	1	0	X----------X
8	F000-FFFF	1	1	1	1	X----------X

การถอดรหัสตำแหน่งของหน่วยความจำจะใช้ IC to 8Line Decoder เบอร์ 74LS138 ดังมีการจัดวางขาดังรูปที่ 2.19 (a) และตารางความจริง (b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การถอดรหัสตำแหน่งของหน่วยความจำจะใช้ IC to 8Line Decoder เบอร์ 74LS138 ดังมีการจัดวางขาดังรูปที่ 2.19 (a) และตารางความจริง (b)



(a)

Enable Inputs		Select Inputs			Outputs							
G1	G2/	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	L	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	L	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

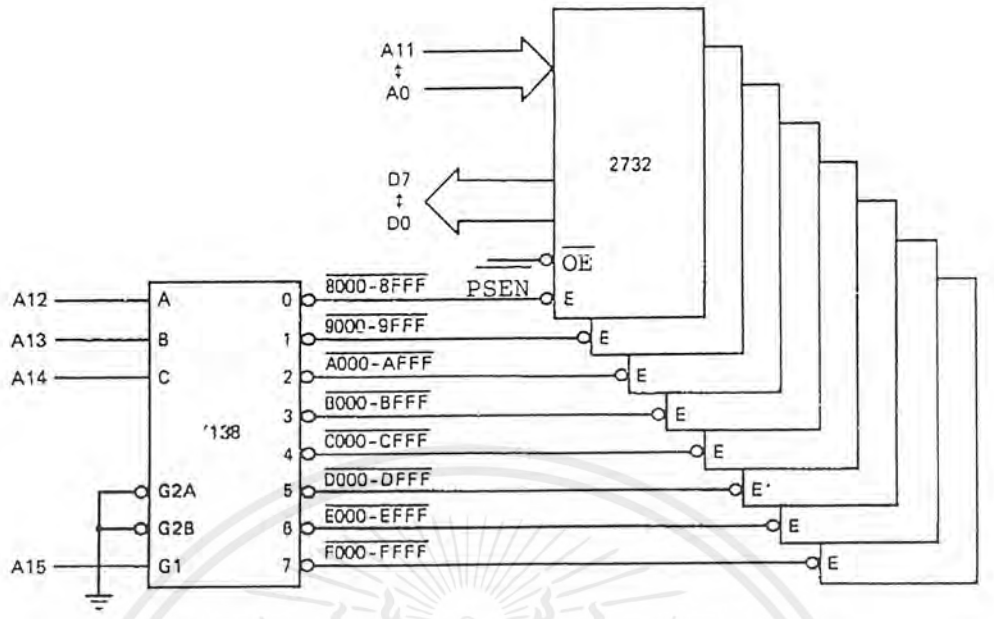
G2/ = G2A/+G2B/

(b)

รูปที่ 2.19 การจัดวางขาและตารางความจริงของ 74LS138

เมื่อพิจารณาจากตารางความจริงของ 74LS138 พบว่าจะต้องทำให้ขา G1 เป็น high และ G2A/ และG2B/ เป็น Low แล้วนำอินพุทเข้าทางขา A,B,C ซึ่งอินพุทนี้ก็คือแอดเดรสของ MCS-51 นั่นเอง จากตารางที่ 1 พบว่าตารางที่ 1 เป็น high ตลอด ให้นำมาต่อที่ขา G1 ได้เลย และจากตารางความจริงของ 74LS138 ขา A,B,C พบว่าทั้งสามขานี้ เป็นศูนย์หมดขา Y0 จะแอคทีฟ Low ดังนั้น เมื่อพิจารณาจากตารางที่ 1 พบว่า A15,A14,A13 เป็นศูนย์หมด ซึ่งตรงกันพอดีดังนั้นจะได้การต่ออย่างสมบูรณ์ดังแสดงในรูปที่ 2.20

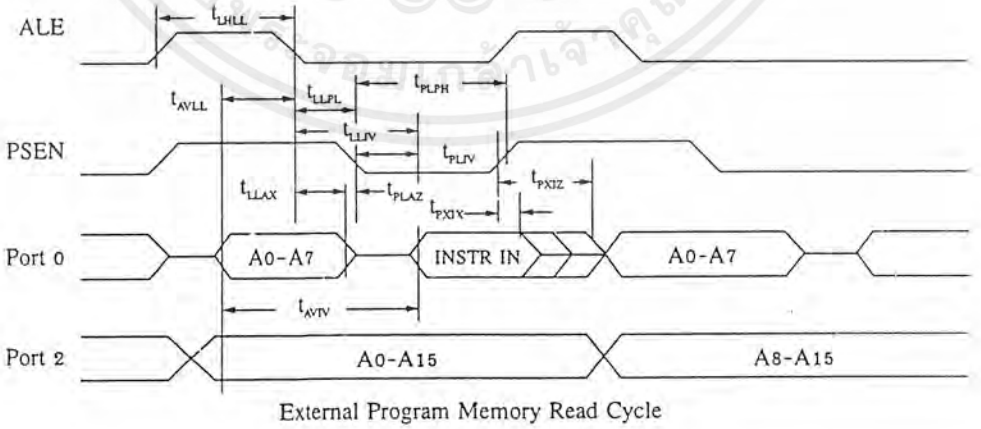
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 วงจรถอดรหัสสำหรับหน่วยความจำตาม ตารางที่2.8

2.12 การเชื่อมต่อ MCS-51 กับหน่วยความจำโปรแกรมภายนอก

หน่วยความจำที่ใช้เก็บโปแกรมจะใช้หน่วยความจำประเภท ROM การติดต่อระหว่าง MCS-51 กับหน่วยความจำโปรแกรมภายนอก จะมีลำดับสัญญาณเวลา (Timing Diagram) ดังรูปที่ 2.21



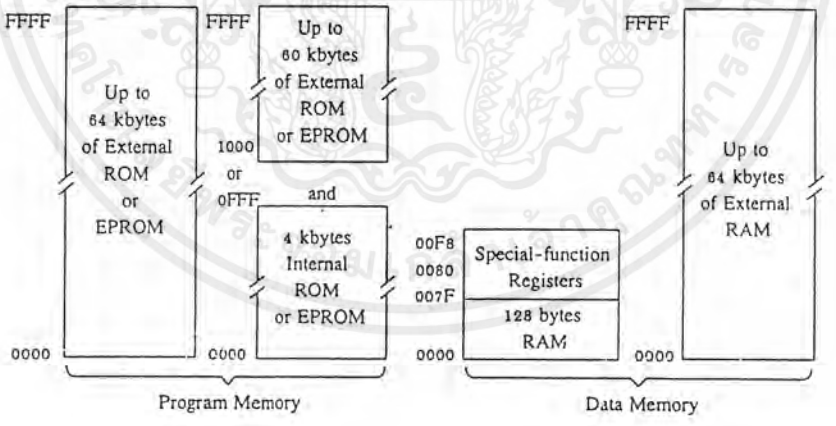
External Program Memory Read Cycle

รูปที่ 2.21 แสดงสัญญาณเวลาที่ MCS-51 ติดต่อกับหน่วยความจำโปรแกรมภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.21 เป็นการติดต่อกับหน่วยความจำภายนอก ถ้า MCS-51 ต้องการอ่านข้อมูลจากหน่วยความจำข้อมูลภายนอก ช่วงเวลาแรกจะส่งสัญญาณ ALE ให้เป็น 1 และ PSEN จะอยู่ในภาวะปกติคือเป็น 1 จากนั้นพอร์ต 0 และพอร์ต 2 จะส่งค่าตำแหน่งของหน่วยความจำออกมา จากนั้น ALE จะกลับเป็นลอจิก 0 อุปกรณ์ภายนอกจะ Latch ข้อมูลของพอร์ต 0 ไว้เพราะต้องใช้พอร์ต 0 เป็นพอร์ตข้อมูลด้วย จากนั้นในเวลาต่อมาพอร์ต 0 จะอยู่ในภาวะความต้านทานสูง (High Impedance) ต่อจากนั้น PSEN จะแอคทีฟเป็นลอจิก "0" หมายความว่า MCS-51 ต้องการอ่านคำสั่ง (Fecth Instruction) จากนั้นข้อมูลคำสั่งจากหน่วยความจำโปรแกรมจะถูกเก็บเข้าใน Instruction Register ภายใน MCS-51 จากนั้น ALE และ PSEN จะกลับเป็น "1" ตามเดิม การจัดพื้นที่หน่วยความจำโปแกรมแสดงได้ดังรูปที่ 2.22 โดยปกติแล้ว MCS-51 บางเบอร์จะมีหน่วยความจำโปรแกรมอยู่ภายในด้วย สำหรับเบอร์ที่ไม่มีหน่วยความจำโปรแกรมภายใน ตำแหน่งของหน่วยความจำภายนอกจะเริ่มที่ 0000H

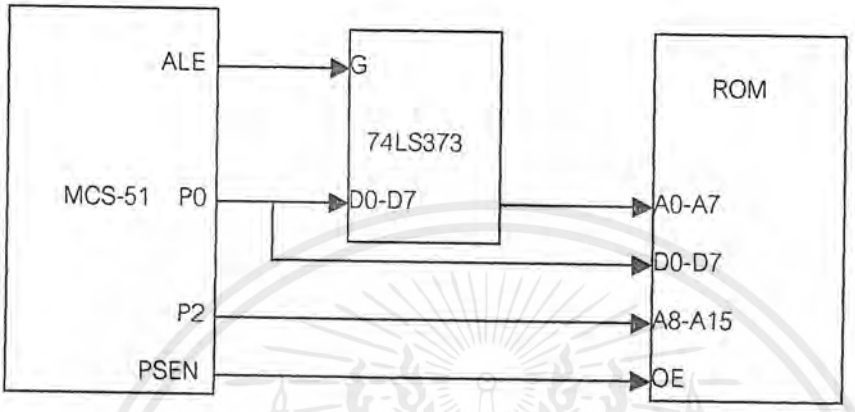
จากไดอะแกรมเวลาการอ่านข้อมูลหน่วยความจำโปรแกรมภายนอก จะเห็นว่าสัญญาณที่สำคัญในการเชื่อมต่อหน่วยความจำโปรแกรมกับ MCS-51 ได้แก่ ALE,PSEN,Port 0,Port 1 และอุปกรณ์ที่ใช้ Latch ข้อมูลของพอร์ต 0 การเชื่อมต่อ MCS-51 กับหน่วยความจำภายนอกจะใช้สัญญาณที่สำคัญดังรูปที่ 2.23



รูปที่ 2.22 แสดงการจัดพื้นที่ของหน่วยความจำของ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.23 จะเห็นว่าระบบจะใช้ไอซีเบอร์ 74LS373 เป็นตัว Latch ข้อมูลของพอร์ต 0 เพราะว่าพอร์ต 0 ต้องใช้เป็นบัสข้อมูล และแอดเดรสบัส เมื่อสัญญาณ ALE ส่งออกมา 74LS373 จะ Latch ข้อมูลของพอร์ต 0 เอาไว้โดยเป็นค่าแอดเดรสไบต์ต่ำ (ส่วนแอดเดรสไบต์สูง คือพอร์ต 2) ส่วนสัญญาณ PSEN จะส่งออกมาเพื่ออ่านข้อมูลจากหน่วยความจำโปรแกรมเข้า MCS-51

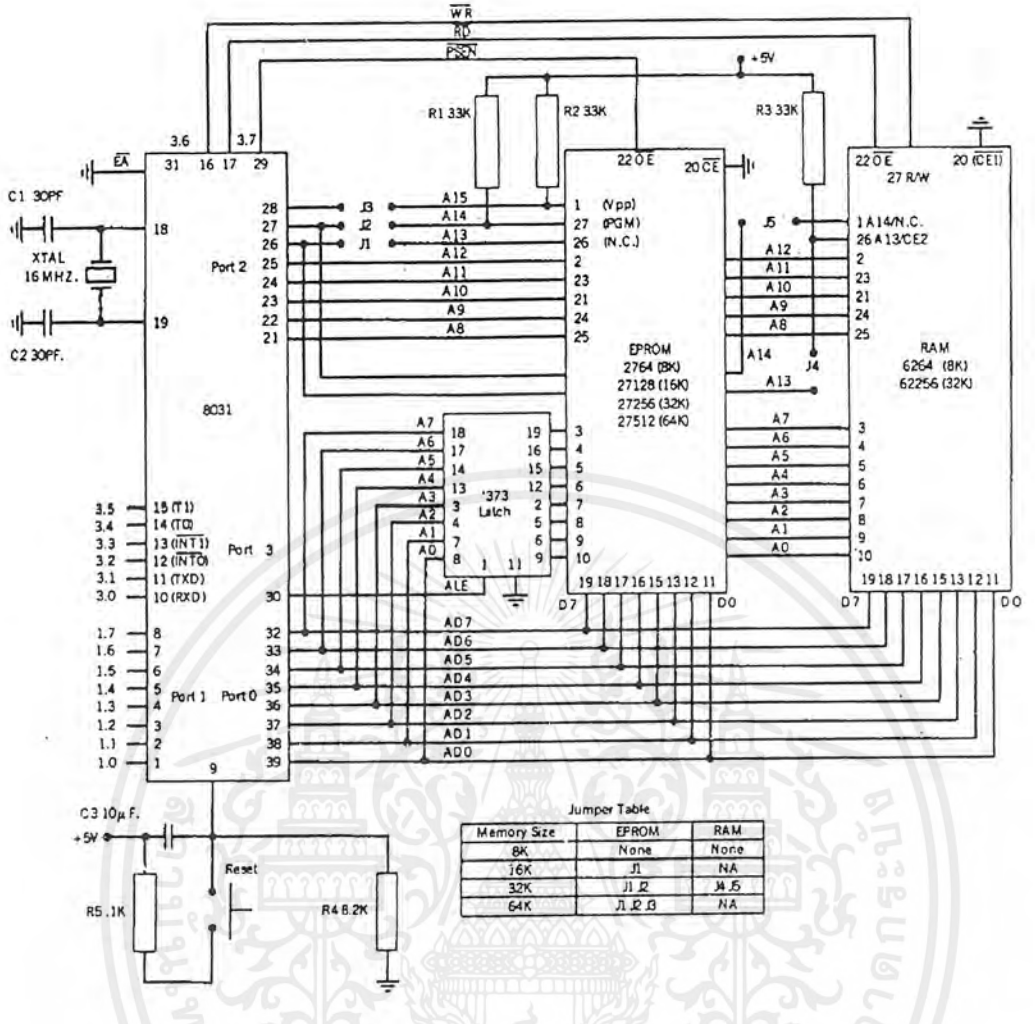


รูปที่ 2.23 แสดงการเชื่อมต่อ MCS-51 กับหน่วยความจำ ROM ภายนอกขนาด 64 K

การเชื่อมต่อ MCS-51 เข้ากับ EPROM และ RAM

การต่อใช้งานนี้เราอาจไม่ใช้ Decoder มาถอดรหัสของหน่วยความจำก็ได้ ถ้าเราติดตั้งเพียงอย่างละ 1 ตัวเท่านั้น เพราะแอดเดรสของ Program Memory และ Data Memory ใช้แอดเดรสซ้อนกันอยู่ สัญญาณที่ใช้อ่านข้อมูลจาก Program Memory (EPROM) ก็คือ PSEN\ และสัญญาณที่ใช้อ่านข้อมูลจาก Data Memory (RAM) ก็คือ RD\ ส่วนการเขียนข้อมูลของ RAM จะใช้ WR\ ดังรายละเอียดในรูปที่ 2.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 การต่อ MCS-51 เข้ากับ EPROM และ RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีและการใช้งาน 8255 เบื้องต้น

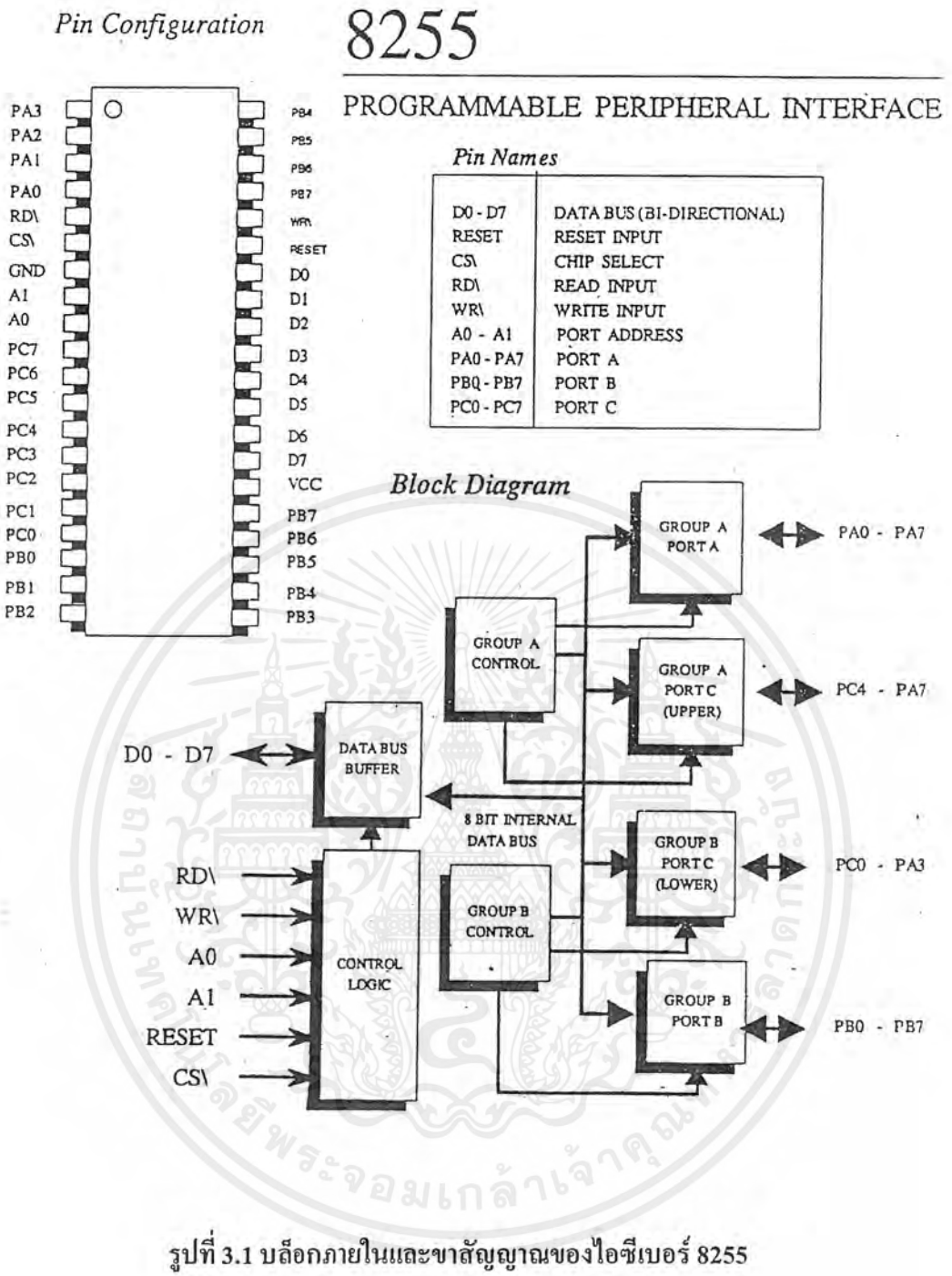
3.1 บทนำ

ไมโครโปรเซสเซอร์นั้นนอกจากติดต่อกับหน่วยความจำโดยการนำข้อมูลไปเก็บไว้หรืออ่านข้อมูลใด ๆ ออกจากหน่วยความจำแล้ว ตัวคอมพิวเตอร์เองอาจจะต้องติดต่อกับส่วนประกอบภายนอกอื่น ๆ อีกด้วยเช่น การรับคีย์บอร์ด การแสดงผล หรือแม้แต่การนำคอมพิวเตอร์ไปควบคุมอุปกรณ์ต่าง ๆ นั้นคอมพิวเตอร์ต้องติดต่อ (รับหรือส่งข้อมูล) โดยผ่านทางอินพุตหรือเอาต์พุตพอร์ต ซึ่งอาจสามารถใช้ไอซีทีทีแอล (TTL) บางเบอร์มาใช้เป็นพอร์ตสำหรับคอมพิวเตอร์ได้ แต่ทั้งนี้การใช้ไอซีทีทีแอลมีข้อจำกัดหลายอย่าง เช่น ในกรณีที่มีความจำเป็นจะต้องใช้พอร์ตหลายๆ พอร์ตเพื่อติดต่อกับอุปกรณ์ภายนอกหลายจุด จึงต้องใช้ไอซีเหล่านี้จำนวนหลายตัวและอาจทำให้ยากในการออกแบบวงจร อีกทั้งไม่สามารถจะเปลี่ยนแปลงลักษณะการทำงานให้แตกต่างไปจากเดิมที่ได้ออกแบบไว้แล้ว ดังนั้นผู้ผลิตซีพียูในตระกูลต่าง ๆ จึงมักจะผลิตไอซีประเภท LSI ที่ทำหน้าที่เป็นพอร์ตมาเพื่อใช้งานร่วมกับซีพียูเบอร์นั้น ๆ ได้สะดวกซึ่งจะทำให้การรับส่งข้อมูลมีความเชื่อถือได้สูง และยังสามารถเปลี่ยนแปลงชนิดของพอร์ตจากอินพุตพอร์ตเป็นเอาต์พุต หรือจากเอาต์พุตพอร์ตเป็นอินพุตพอร์ตได้ง่ายโดยการควบคุมของซีพียูเอง ดังนั้นในบทนี้จะกล่าวถึงไอซีที่ทำหน้าที่เป็นอินพุต และเอาต์พุตซึ่งเป็นที่นิยมในการนำไปใช้งานมากที่สุดอีกทั้งยังมีราคาถูกหาซื้อได้ง่ายคือไอซี 8255 ของบริษัท Intel โดยที่จริงแล้วไอซีเบอร์นี้ได้ถูกออกแบบและผลิตขึ้นมาเพื่อใช้งานร่วมกับ ซีพียู เบอร์ 8080 แต่ก็สามารถนำมาใช้กับ Z 80 หรือซีพียูเบอร์อื่นๆได้

3.2 ลักษณะพื้นฐานของ 8255

8255 เป็นไอซี LSI ขนาด 40 ขา ดังรูปที่ 3.1 ซึ่งแสดงตำแหน่งของขาต่าง ๆ ทั้ง 40 ขา และแผนผังภายในของ 8255 ซึ่ง 8255 นี้มีพอร์ตสำหรับรับส่งข้อมูลอยู่ด้วยกัน 3 พอร์ต คือ พอร์ต A,B,C โดยพอร์ต C จะแบ่งออกเป็น 2 ส่วนคือ พอร์ต C บน กับ พอร์ต C ล่าง นอกจากนี้ยังมีพอร์ตอีกพอร์ตหนึ่งเรียกว่าพอร์ตควบคุม โดยพอร์ตนี้จะใช้งานก็ต่อเมื่อซีพียูต้องการกำหนดลักษณะการทำงานของพอร์ต A,B,C หรือต้องการเปลี่ยนแปลงจากที่กำหนดไว้เดิมซีพียูจะส่งรหัสควบคุมมาทางบัสข้อมูลให้แก่พอร์ตควบคุมนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 บล็อกภายในและขาสัญญาณของไอซีเบอร์ 8255

3.3 การจำแนกกลุ่มพอร์ตของ 8255

ในบรรดาพอร์ตทั้งสามของ 8255 คือ พอร์ต A พอร์ต B พอร์ต C โดยพื้นฐานนั้นล้วนเป็นพอร์ตแบบขนานที่ประกอบด้วยสัญญาณ 8 เส้น ซึ่งแต่ละเส้นจะแทนบิตของข้อมูลพอร์ต ซึ่งอาจกล่าวในอีกลักษณะว่าเป็นพอร์ตแบบ 8 บิต นอกจากนี้ยังสามารถอ้างถึงแต่ละบิตของเส้นสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ตนี้ได้โดยอิสระ อย่างไรก็ตาม 8255 ได้จัดกลุ่มของพอร์ตเหล่านี้ออกเป็นสองกลุ่ม (Group A และ Group B) เพื่อประโยชน์ในการกำหนดรูปแบบการทำงานของพอร์ตดังตารางที่ 3.1

ตารางที่ 3.1 รูปแบบการทำงานของพอร์ต

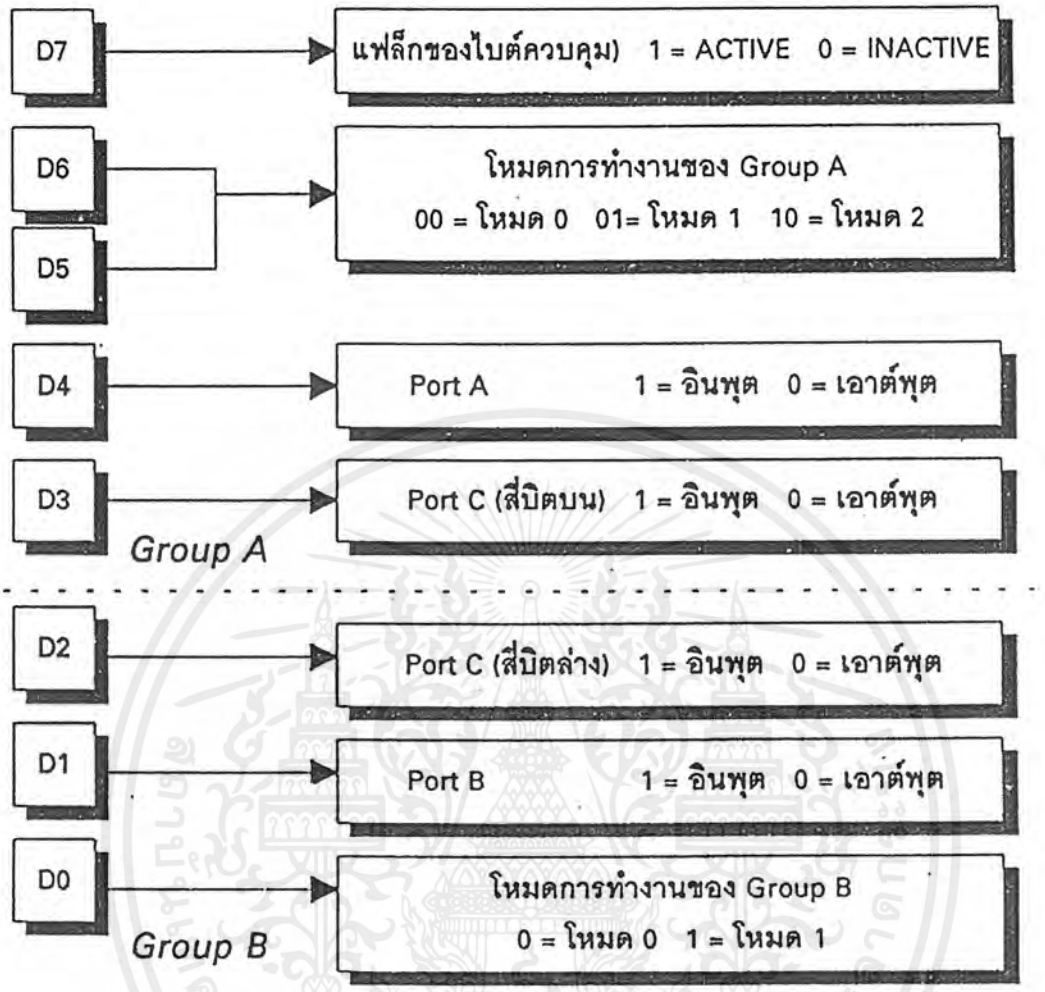
ชื่อกลุ่ม	ลักษณะ
Group A	พอร์ต A จำนวน 8 บิต (ทุกบิตของพอร์ต) พอร์ต C จำนวน 4 บิต (เฉพาะ 4 บิตบนของพอร์ต)
Group B	พอร์ต B จำนวน 8 บิต (ทุกบิตของพอร์ต) พอร์ต C จำนวน 4 บิต (เฉพาะ 4 บิตล่างของพอร์ต)

จากตารางการทำงานข้างต้นจะเห็นว่า จำนวนเส้นสัญญาณทั้งหมดของพอร์ต C (PC0-PC7) ได้ถูกแยกออกเป็นสองกลุ่ม คือ กลุ่มของ 4 บิตล่าง (Lower nibble) จาก PC0-PC3 และกลุ่มของ 4 บิตบน (Upper nibble) จาก PC4-PC7 ดังนั้น Group A และ Group B ของ 8255 จึงมีจำนวนบิตในแต่ละกลุ่มเป็นจำนวนถึง 12 บิต

ตารางที่ 3.2 หน้าที่การทำงานของขาสัญญาณไอซี 8255

สัญญาณ	ความหมาย
D0-D7	กลุ่มของสัญญาณข้อมูลของ 8255 เมื่อมีการเขียนหรืออ่าน
CS\	สัญญาณเลือกอุปกรณ์เมื่อขาสัญญาณนี้เป็นระดับลอจิกต่ำซีพียูสามารถเขียนหรืออ่านข้อมูลจาก 8255 ได้
RD\	สัญญาณบอกสถานะต้องการอ่านข้อมูลจากรีจิสเตอร์ของ 8255
WR\	สัญญาณบอกสถานะต้องการเขียนข้อมูลให้กับรีจิสเตอร์ของ 8255
A0-A1	สัญญาณระบุตำแหน่งรีจิสเตอร์ภายใน 8255 ที่ต้องการ
RESET	สัญญาณการรีเซตวงจรทำงานภายใน 8255 เพื่อเริ่มต้นใหม่
PA0-PA7	กลุ่มของสัญญาณ 8 เส้น เมื่อทำการติดต่อกับพอร์ต A ของ 8255
PB0-PB7	กลุ่มของสัญญาณ 8 เส้น เมื่อทำการติดต่อกับพอร์ต B ของ 8255
PC0-PC7	กลุ่มของสัญญาณ 8 เส้น เมื่อทำการติดต่อกับพอร์ต C ของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 ความหมายของบิตภายในไบต์ข้อมูลควบคุมสำหรับ 8255

3.4 รูปแบบคำสั่งเพื่อกำหนดการทำงานของ 8255

การกำหนดให้พอร์ตทั้งสามของ 8255 ทำงานในลักษณะต่าง ๆ กันหรือที่เรียกว่า โหมดการทำงาน (Mode) จะเริ่มด้วยการส่งค่าข้อมูลไบต์หนึ่งให้กับรีจิสเตอร์ควบคุมการทำงานภายใน 8255 ข้อมูลนี้จะถูกเรียกว่า ไบต์ข้อมูลควบคุม (Control word) โดยแต่ละบิตของข้อมูลนี้มีความหมายที่ระบุถึงความต้องการต่าง ๆ ไปดังแสดงดังรูปที่ 3.2 การส่งข้อมูลไบต์นี้จะต้องเริ่มต้นเป็นลำดับแรกก่อนที่จะได้มีการดำเนินการใดกับ 8255

ตามความหมายของบิตภายในตารางของรูปที่ 3.2 จะเห็นว่าการเลือกพอร์ตใดทำหน้าที่เป็นพอร์ตอินพุตก็เพียงแต่กำหนดค่าข้อมูล 1 ให้กับบิตที่เกี่ยวข้องกับพอร์ตนั้น หรือกรณีตรงข้ามสำหรับการเอาต์พุตก็เพียงแต่กำหนดค่าข้อมูล 0 เท่านั้น อย่างไรก็ตามการกำหนดให้ไบต์ข้อมูลควบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุมนี้มีผลอย่างถูกต้อง ก็จะต้องทำการกำหนดให้บิต D7 มีค่าเป็น 1 เสมอ สำหรับบิตที่บอกถึงโหมดการทำงาน (บิต D6-D5 และ D2) นั้นจะได้กล่าวในรายละเอียดในหัวข้อต่อไป

3.5 การเชื่อมต่อ 8255 กับคอมพิวเตอร์

เมื่อพิจารณาแผนภาพของ 8255 จะเห็นว่ามีขาสัญญาณแอดเดรสจำนวน 2 เส้น คือ A0 และ A1 ทำให้ตำแหน่งของแอดเดรสที่จะอ้างถึงได้มีค่าเป็น 4 ตำแหน่ง ซึ่งแต่ละตำแหน่งจะมีความหมายถึงการระบุรีจิสเตอร์หรือพอร์ตภายใน 8255 ดังตารางที่ 3.3

ตารางที่ 3.3 การระบุรีจิสเตอร์หรือพอร์ตภายใน

A1	A0	ชื่อของรีจิสเตอร์
0	0	พอร์ต A
0	1	พอร์ต B
1	0	พอร์ต C
1	1	รีจิสเตอร์ควบคุม

เมื่อพิจารณาค่าของแอดเดรสเหล่านี้ร่วมกับระดับลอจิกของขาสัญญาณ RD\ และ WR\ จะเป็นการอ่านหรือเขียนข้อมูลทางขาสัญญาณ D0-D7 ให้กับรีจิสเตอร์นั้นตามลำดับ ดังตารางที่ 3.4

ตารางที่ 3.4 การทำงานร่วมกันระหว่างขาสัญญาณต่าง ๆ ของ 8255

RD\	WR\	A1	A0	ความหมาย
0	1	0	0	ส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต A
1	0	0	0	รับ (หรืออ่าน) ข้อมูลจากพอร์ต A
0	1	0	1	ส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต B
1	0	0	1	รับ (หรืออ่าน) ข้อมูลจากพอร์ต B
0	1	1	0	ส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต C
1	0	1	0	รับ (หรืออ่าน) ข้อมูลจากพอร์ต C
0	1	1	1	ส่ง (หรือเขียน) ข้อมูลให้กับรีจิสเตอร์ควบคุม
1	0	1	1	เป็นสภาวะที่ไม่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

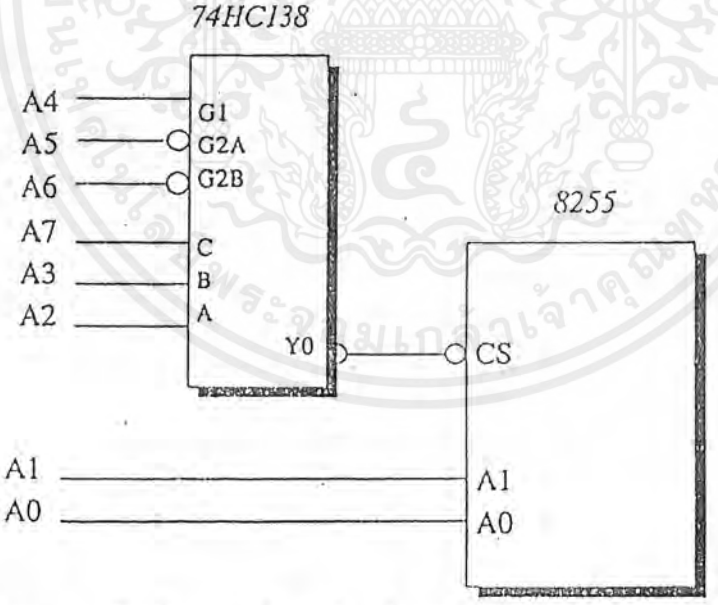
ดังนั้นโดยทั่วไปจึงมักจะกำหนดแอดเดรสของ 8255 ทั้งสี่ตำแหน่งนี้อยู่ในแอดเดรสช่วงใดช่วงหนึ่งของระบบ เช่น 10h,11h,12h และ13h โดยขาสัญญาณแอดเดรสที่นอกเหนือไปจาก A0 และ A1 นำเข้ามายังตัวถอดรหัสแอดเดรส เพื่อสร้างสัญญาณเลือกอุปกรณ์ (CS\) ในช่วงแอดเดรสที่ต้องการ ขอให้ดูตัวอย่างวงจรในรูปที่ 3.3 สัญญาณ CS\ นี้จะเป็นสภาวะลอจิกต่ำก็ต่อเมื่อค่าในบัสแอดเดรส A2-A7 มีค่าเท่ากับ 000100XX (ตัวอักษร XX ใช้เพื่อระบุถึงรีจิสเตอร์ภายใน 8255 เพื่อทำการอ่านหรือเขียนข้อมูล) ดังนั้นจากวงจรนี้แอดเดรสของรีจิสเตอร์ภายใน 8255 จะมีค่าตามตารางที่ 3.5

ตารางที่ 3.5 ตำแหน่งแอดเดรสและความหมาย

ตำแหน่งแอดเดรส	ความหมาย
10h	พอร์ต A
11h	พอร์ต B
12h	พอร์ต C
13h	รีจิสเตอร์ควบคุม

ค่าจากบัสแอดเดรสที่นำมาถอดรหัส

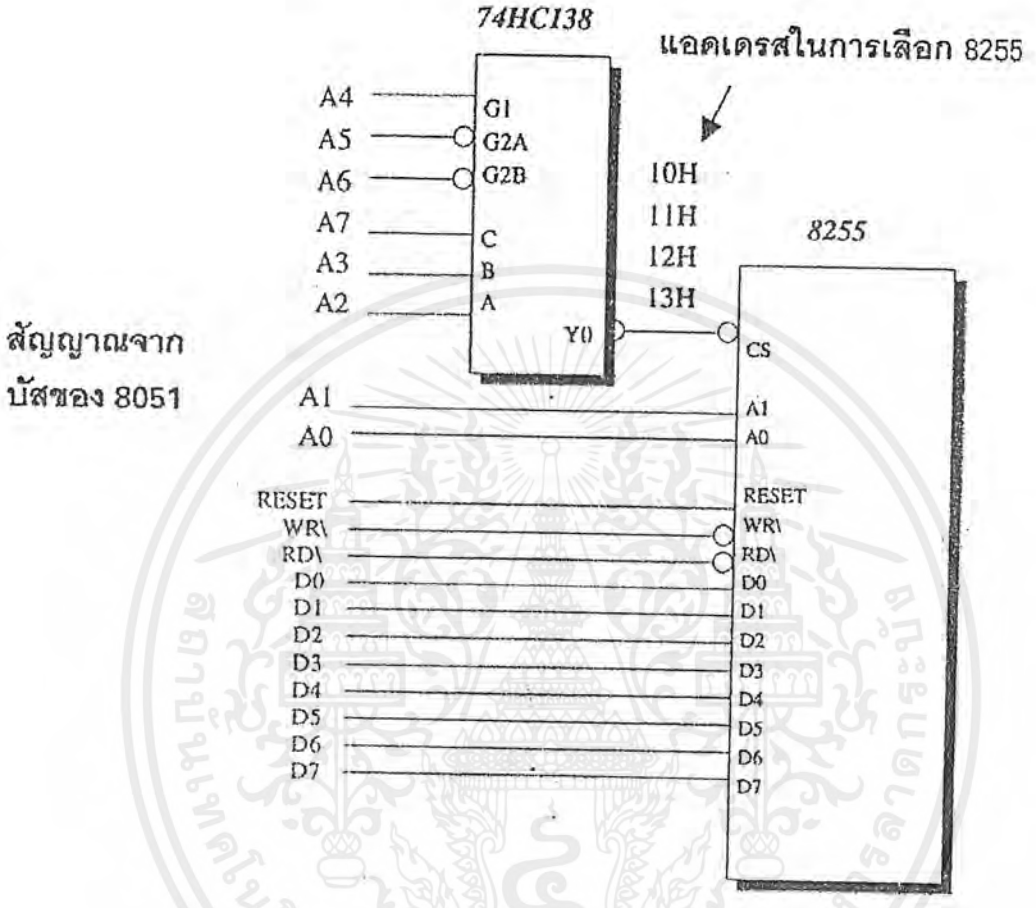
A7	A6	A5	A4	A3	A2	A1	A0
0	0	0	1	0	0	X	X



รูปที่ 3.3 การสร้างสัญญาณเลือกอุปกรณ์ (CS\) ให้กับ 8255 โดยการถอดรหัสจากบัสแอดเดรส A2-A7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาสัญญาณควบคุมอื่น ๆ มักจะเชื่อมต่อเข้ากับขาสัญญาณชื่อเดียวกันของคอมพิวเตอร์โดยตรง ทำให้แอดเดรสพอร์ตของ 8255 อยู่ในพื้นที่ของหน่วยความจำข้อมูลของคอมพิวเตอร์ส่วนขาสัญญาณ D0-D7 ก็สามารถนำไปเชื่อมต่อโดยตรงเข้ากับบัสของคอมพิวเตอร์ได้ในรูปที่ 3.4



รูปที่ 3.4 แผนภาพวงจรการเชื่อมต่อระหว่าง 8255 กับ 8051

รายละเอียดการทำงานโหมดต่าง ๆ ของ 8255

การกำหนดโหมดการทำงานของ 8255 นั้นทำได้โดยคอมพิวเตอร์ ทำการส่งรหัสควบคุมผ่านทางบัสข้อมูลมายังพอร์ตควบคุมของ 8255 รหัสควบคุมนี้จะมีขนาด 1 ไบต์ เรียกว่าไบต์ควบคุม และในแต่ละบิตของไบต์ควบคุมจะมีความหมายเฉพาะของตัวเอง ดังแสดงในรูปที่ 3.2

3.6 การทำงานโหมด 0 ของ 8255

เมื่อ 8255 ได้รับการกำหนดให้ทำงานในโหมดนี้ จะทำให้พอร์ตต่าง ๆ มีหน้าที่เป็นพอร์ตอินพุตหรือเอาต์พุตได้เพียงลักษณะเดียวเท่านั้น การเริ่มต้นจะทำโดยการส่งไบต์ข้อมูลควบคุมให้กับรีจิสเตอร์ควบคุม (ดูความหมายของบิต จากรูปที่ 3.2 ประกอบ) ต่อไปจะได้แสดงให้เห็นถึงรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบการกำหนดบิต เมื่อต้องการให้พอร์ต A, B และ C ทำหน้าที่เป็นพอร์ตเอาต์พุตทั้งหมดดังตารางต่อไปนี้

ตารางที่ 3.6 การกำหนดการทำงานโหมด 0 ของ 8255

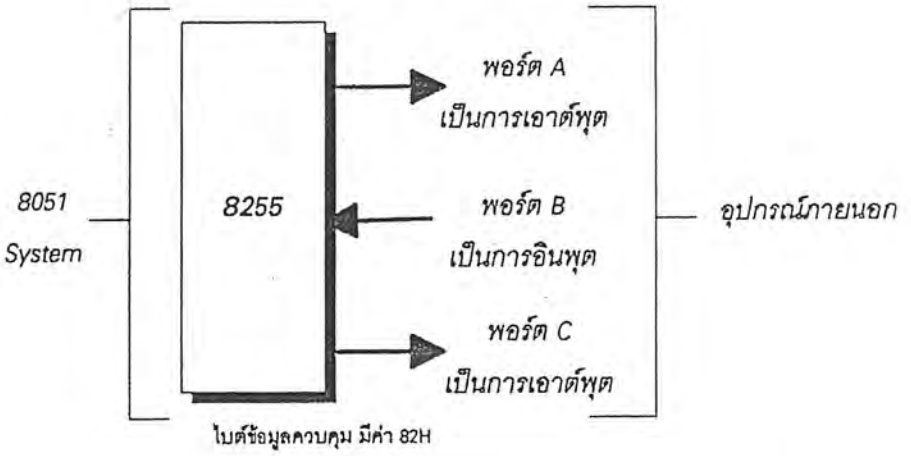
ตำแหน่งบิต	ค่าข้อมูล	ความหมาย
D7	1	ระบุให้ทราบว่าเป็นไบต์ข้อมูลควบคุม
D6 และ D5	00	กำหนดโหมดการทำงานให้กับพอร์ต A เป็นโหมด 0
D4	0	ระบุว่าพอร์ต A เป็นการเอาต์พุตข้อมูล
D3	0	กำหนดให้เส้นสัญญาณสี่บิตบนของพอร์ต C เป็นการเอาท์พุตข้อมูล
D0	0	กำหนดโหมดการทำงานให้กับพอร์ต B เป็นโหมด 0
D1	0	ระบุว่าพอร์ต B เป็นการเอาต์พุตข้อมูล
D2	0	กำหนดให้เส้นสัญญาณสี่บิตล่างของพอร์ต C เป็นการเอาต์พุตข้อมูล

ค่าของไบต์ข้อมูลควบคุมจะต้องส่ง (หรือ เขียน) ให้กับรีจิสเตอร์ควบคุม ซึ่งหากใช้วงจรตามรูปที่ 3.4 จะเป็น แอดเดรส 13h

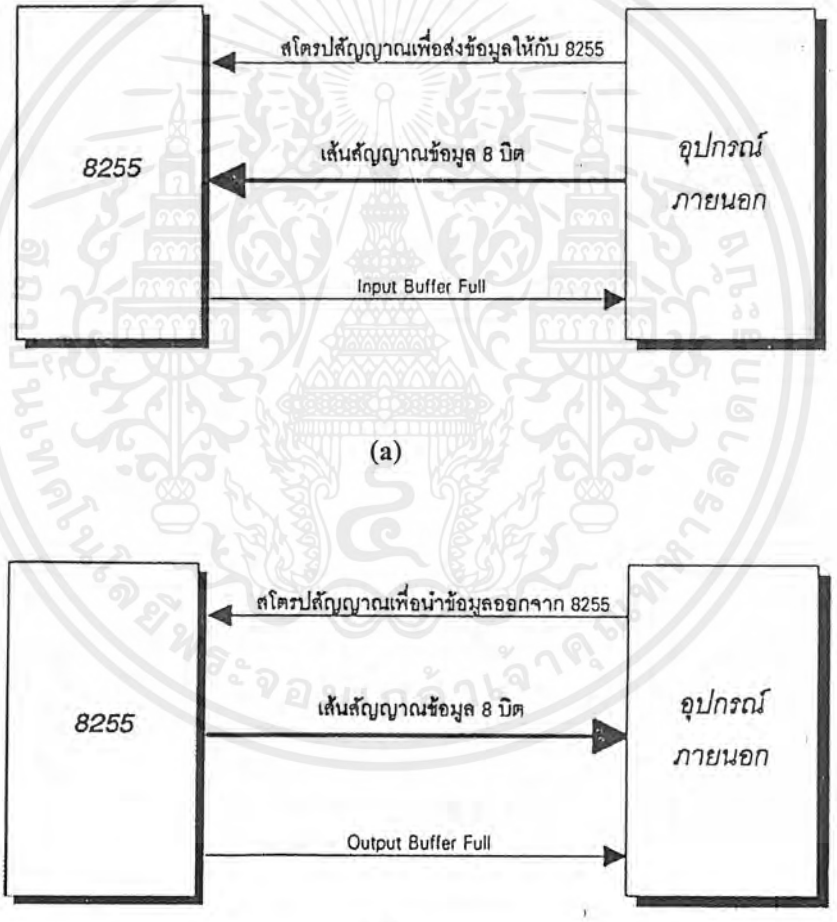
3.7 การทำงานโหมด 1 ของ 8255

เมื่อ 8255 ได้รับการกำหนดให้ทำงานในโหมด 1 จะมีผลทำให้พอร์ต A และพอร์ต B ยังสามารถใช้งานเป็นการอินพุตหรือเอาต์พุตข้อมูลในลักษณะเดียวกับโหมด 0 ที่ผ่านมา เพียงแต่พอร์ต C จะถูกนำไปใช้เป็นพอร์ตสำหรับการบอกสภาวะการติดต่อ (Handshake Signals) เท่านั้น โดยเส้นสัญญาณสี่บิตบน (PC4-PC7) จะใช้งานร่วมกับการติดต่อข้อมูลทางพอร์ต A และเส้นสัญญาณสี่บิตล่าง (PC0-PC3) จะใช้งานร่วมกับการติดต่อข้อมูลทางพอร์ต B การทำงานในลักษณะนี้จะพบเห็นได้เสมอ เมื่อมีการติดต่อกับอุปกรณ์ภายนอก ซึ่งมักจะทำงานได้ช้ากว่าคอมพิวเตอร์มาก จึงจำเป็นต้องอาศัยการบอกสถานะของการทำงานจากเส้นสัญญาณเหล่านี้ เช่นความไม่พร้อมในการรับข้อมูล หรือมีข้อมูลที่จะทำการติดต่อ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ลักษณะการทำงานของพอร์ต 8255 ภายหลังการส่งไบต์ข้อมูลควบคุมที่มีค่า 82h



รูปที่ 3.6 (a) การใช้สัญญาณบอกสภาวะความพร้อมในการติดต่อระหว่าง 8255 กับอุปกรณ์ภายนอก
(b) การใช้สัญญาณบอกสภาวะความพร้อมในการติดต่อระหว่าง 8255 กับอุปกรณ์ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.6 (a) ข้อมูลจะถูกส่งออกจากอุปกรณ์ภายนอกเข้ามายังพอร์ตของ 8255 แต่ก่อนที่จะทำการส่งข้อมูลนั้น อุปกรณ์ภายนอกต้องทำการตรวจสอบสภาวะของเส้นสัญญาณที่แสดงว่าพื้นที่ในการรับข้อมูลของ 8255 (หรือที่เรียกว่า Input Buffer) นั้นว่างตามรูปเส้นสัญญาณนี้มีชื่อว่า Input Buffer Full ซึ่งใช้ในความหมายต่อไปนี้

ตารางที่ 3.7 สถานะของ Input Buffer Full

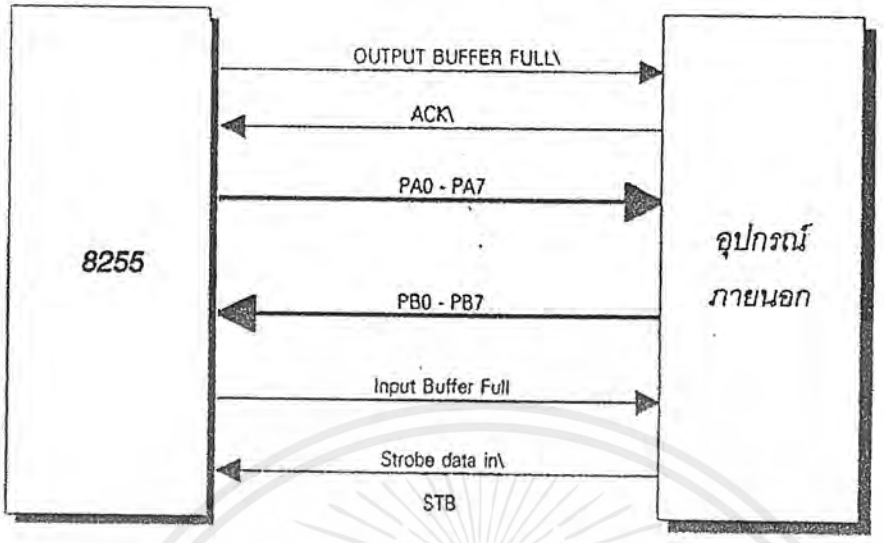
ค่าลอจิกสัญญาณ **Input Buffer Full**	ความหมาย
จริง	ข้อมูลที่ส่งให้กับ 8255 ก่อนหน้านี้ยังค้างอยู่ในบัฟเฟอร์ เนื่องจากคอมพิวเตอร์ยังไม่ได้อ่านข้อมูลนี้ไปจากบัฟเฟอร์ของ 8255 ดังนั้นจึงไม่สามารถรับข้อมูลเข้ามาได้อีก
เท็จ	พื้นที่บัฟเฟอร์ภายใน 8255 นั้นว่างแล้ว เนื่องจากคอมพิวเตอร์ได้อ่านข้อมูลนี้ไปแล้ว ดังนั้นจึงสามารถรับข้อมูลไบต์ต่อไปจากอุปกรณ์ภายนอกได้

จากรูปที่ 3.6 (b) ข้อมูลจะถูกส่งออกจาก 8255 ไปให้กับอุปกรณ์ภายนอก แต่ก่อนที่ 8255 จะส่งข้อมูลออกไปได้นั้น จะต้องทำการส่งสภาวะของสัญญาณออกไปเพื่อแจ้งให้อุปกรณ์ภายนอกทราบว่ามีข้อมูลที่ทำการส่งออกไป สัญญาณนี้มีชื่อว่า Output Buffer Full และเมื่ออุปกรณ์ภายนอกได้รับข้อมูลเรียบร้อยแล้ว จึงจะทำการสโตรปสัญญาณอีกเส้นหนึ่งเพื่อแจ้งให้ 8255 ทราบต่อไป

การทำงานของ 8255 ในโหมด 1 นั้น พอร์ตสำหรับการรับหรือส่งข้อมูล คือ พอร์ต A และ B สามารถทำงานได้โดยอิสระไม่ขึ้นต่อกัน ดังตัวอย่างในรูปที่ 3.7 ซึ่งได้กำหนดให้พอร์ต A เป็นพอร์ตเอาต์พุต และพอร์ต B เป็นพอร์ตอินพุต

การกำหนดบิตจะทำให้ข้อมูลจะต้องส่งออกไปทางพอร์ต A ทางขาสัญญาณ PA0 – PA7 สัญญาณ Output Buffer Full (OBF) ใช้สัญญาณ PC7 สัญญาณตอบรับจากอุปกรณ์ภายนอก (ACK) ใช้เส้นสัญญาณ PC6 สำหรับการรับข้อมูลเข้ามาจากอุปกรณ์ภายนอกจะเข้ามาทางพอร์ต B ทางขาสัญญาณ PB0 - PB7 ขาสัญญาณ PC1 ใช้เป็นเส้นสัญญาณ Input Buffer Full (IBF) และขาสัญญาณ PC2 เป็นเส้นสัญญาณสโตรปข้อมูลให้กับ 8255 (STB) ในตารางที่ 3.8 ได้แสดงให้เห็นถึงหน้าที่ของพอร์ต C ทั้งหมดเมื่อถูกใช้งานในโหมด 1 สำหรับการบอกสภาวะการติดต่อเส้นสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



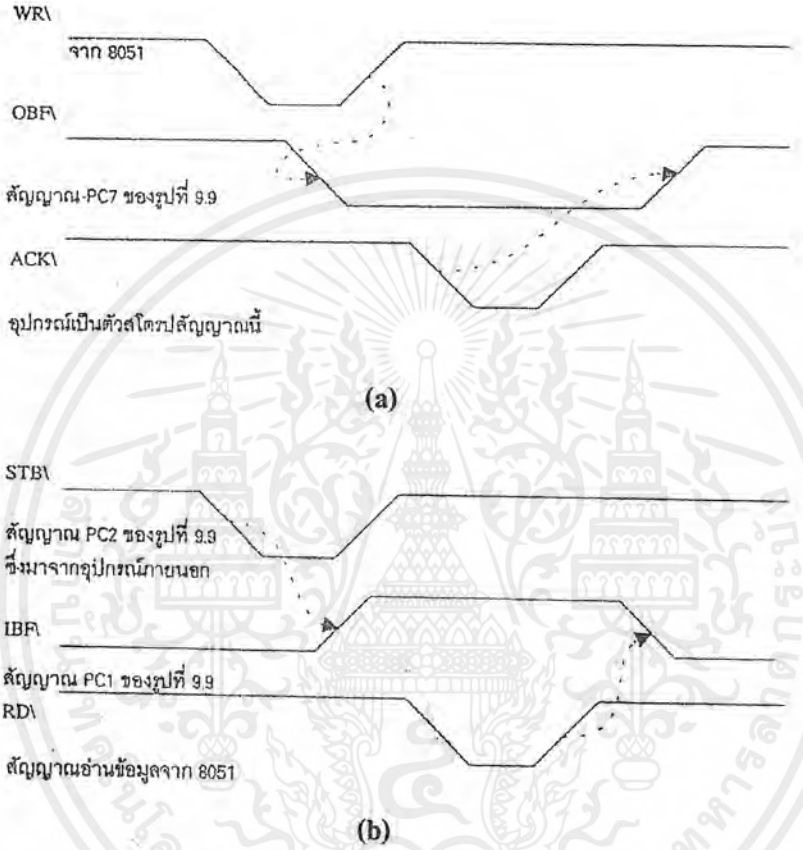
รูปที่ 3.7 การกำหนดการทำงานของ 8255 ในโหมด 1 เพื่อให้พอร์ต A เป็นพอร์ตสำหรับการส่งออกข้อมูล และพอร์ต B เป็นพอร์ตสำหรับการรับเข้าข้อมูลจากอุปกรณ์ภายนอก

ตารางที่ 3.8 หน้าที่ของเส้นสัญญาณภายในพอร์ต C เมื่อกำหนดให้ทำงานในโหมด 1 เพื่อบอกสภาวะของการอินพุตและการเอาต์พุตข้อมูล

เส้นสัญญาณ	สภาวะติดต่อสำหรับการอินพุต	สภาวะการติดต่อสำหรับการเอาต์พุต
PC0	สัญญาณ INTR ของพอร์ต B	สัญญาณ INTR ของพอร์ต B
PC1	สัญญาณ IBF ของพอร์ต B	สัญญาณ OBF\ ของพอร์ต B
PC2	สัญญาณ STB\ ของพอร์ต B	สัญญาณ ACK\ ของพอร์ต B
PC3	สัญญาณ INTR ของพอร์ต A	สัญญาณ INTR ของพอร์ต A
PC4	สัญญาณ STB\ ของพอร์ต A	การอินพุต/เอาต์พุตตามปกติ
PC5	สัญญาณ IBF ของพอร์ต A	การอินพุต/เอาต์พุตตามปกติ
PC6	การอินพุต/เอาต์พุตตามปกติ	สัญญาณ ACK\ ของพอร์ต A
PC7	การอินพุต/เอาต์พุตตามปกติ	สัญญาณ OBF\ ของพอร์ต A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของการโปรแกรมเพื่อจัดการให้คอมพิวเตอร์ สามารถรับหรือส่งข้อมูลกับอุปกรณ์ภายนอก โดยใช้พอร์ตของ 8255 ซึ่งกำหนดให้ทำงานในโหมด 1 นั้น ตามหลักการแล้วคอมพิวเตอร์จะพิจารณาจากสภาวะของบิตที่เกี่ยวข้องกับสัญญาณติดต่อของ 8255 เท่านั้น ส่วนเส้นสัญญาณติดต่อจริง ๆ นั้น จะเป็นการดำเนินการจาก 8255 โดยอัตโนมัติ ขอให้พิจารณาจากแผนภาพเวลาในรูปที่ 3.8 (a) และ (b)



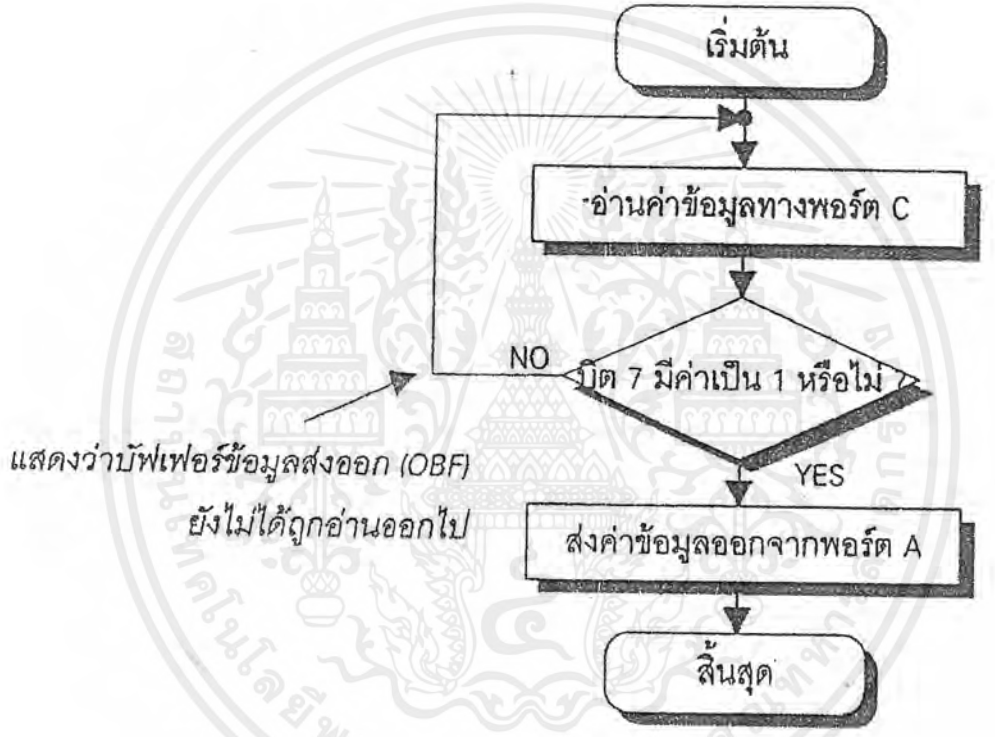
รูปที่ 3.8 (a) แสดงสัญญาณติดต่อเพื่อส่งข้อมูลออกไปจากพอร์ต A ของ 8255 ตามลักษณะการทำงานที่ได้กำหนดไว้จากตารางที่ 3.8

(b) แสดงสัญญาณติดต่อเพื่อรับข้อมูลเข้ามาจากพอร์ต B ของ 8255 ตามลักษณะการทำงานที่ได้กำหนดไว้จากตารางที่ 3.8

เมื่อคอมพิวเตอร์ต้องการส่งข้อมูลให้กับอุปกรณ์ภายนอก จะเริ่มจากการตรวจสอบสภาวะขาสัญญาณ PC7 (สัญญาณ OBF\) โดยการอ่านค่าจากพอร์ต C เข้ามาและพิจารณาบิต D7 ซึ่งหากเป็นค่า 1 แสดงว่าข้อมูลที่ได้ส่งไปให้ 8255 ก่อนหน้านี้ได้ถูกส่งต่อไปให้กับอุปกรณ์ภายนอกเสร็จสิ้นแล้ว ดังนั้นคอมพิวเตอร์ก็สามารถส่งข้อมูลตัวถัดไปได้อีกครั้งหนึ่ง ซึ่งผลจากการเขียนข้อมูลให้กับพอร์ต A ของ 8255 นี้ทำให้ขาสัญญาณ PC7 (สัญญาณ OBF\) เปลี่ยนไปเป็นระดับลอจิก 0 เมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์ภายนอกที่ต่ออยู่ตรวจสอบขาสัญญาณนี้ก็ทราบได้ว่า 8255 มีข้อมูลที่ส่งให้ ก็จะทำการอ่านข้อมูลจากพอร์ต A ไปทันทีและแจ้งกลับมาให้ทราบโดยการสโตรปสัญญาณ ACK\ (ขาสัญญาณ PC6) เมื่อ 8255 ตรวจสอบพบก็จะทำการเปลี่ยนสภาวะของขาสัญญาณ OBF\ (ขาสัญญาณ PC6) ให้ระดับลอจิก 1 โดยอัตโนมัติ เป็นอันครบรอบการติดต่อเพื่อส่งข้อมูลหนึ่งครั้งดังนั้นเมื่อใดที่คอมพิวเตอร์ทำการตรวจสอบค่าของบิต D7 ของพอร์ต C และพบว่าเป็นค่า 0 ก็ยังไม่ควรที่จะส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต A ของ 8255 เพราะข้อมูลก่อนหน้านี้ยังคงค้างอยู่ในบัฟเฟอร์ของ 8255 ยังไม่ได้มีการส่งต่อให้กับอุปกรณ์ภายนอกเลย โดยดูได้จากโฟลว์ชาร์ตสำหรับการเขียนโปรแกรมเพื่อส่งออกข้อมูลผ่านพอร์ตของ 8255 และโปรแกรมย่อยในรูปที่ 2.9 ตามลำดับ

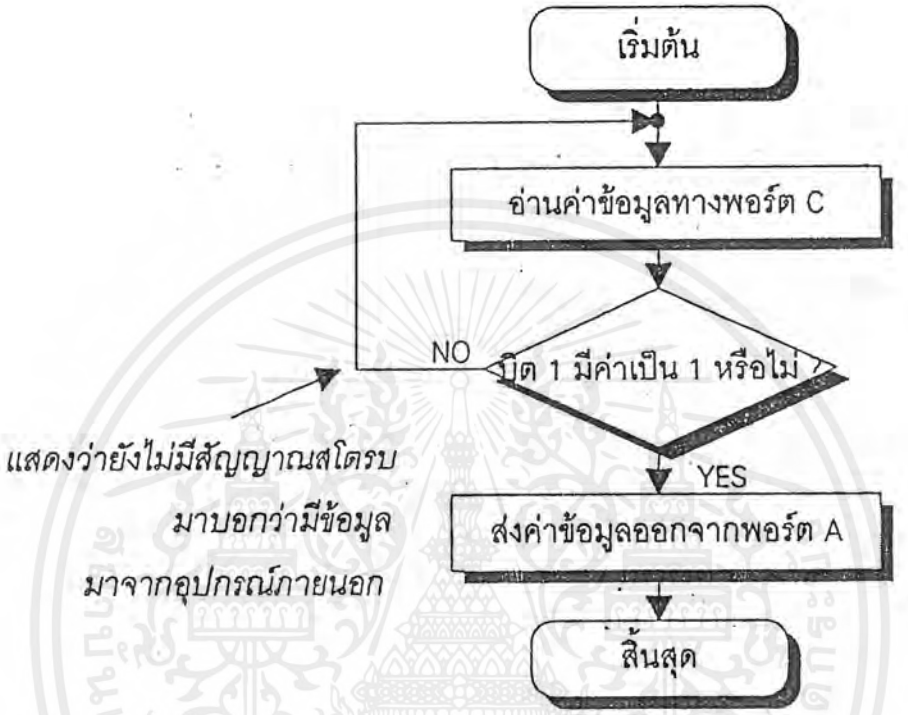


รูปที่ 3.9 โฟลว์ชาร์ตวิธีการส่งข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต A และสัญญาณติดต่อทางพอร์ต C

สำหรับการรับข้อมูลของคอมพิวเตอร์ จากอุปกรณ์ภายนอกผ่านทางพอร์ตของ 8255 เริ่มต้นจากการตรวจสอบสภาวะของบิต D1 จากพอร์ต C ว่าเป็นค่าใด กรณีเป็นค่าลอจิก 1 แสดงว่ามีข้อมูลอยู่ในบัฟเฟอร์ภายใน 8255 ซึ่งได้ส่งมาจากอุปกรณ์ภายนอกและแจ้งให้ 8255 ทราบโดยการสโตรปสัญญาณ STB\ (ขาสัญญาณ PC2) มีผลให้ 8255 เปลี่ยนแปลงระดับลอจิกของขาสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PC1 (สัญญาณ IBF) เป็นระดับลอจิก 1 ดังนั้นคอมพิวเตอร์ก็สามารถอ่านข้อมูลเข้าไปทางพอร์ต B ของ 8255 ได้ซึ่งการอ่านข้อมูลนี้เองจะมีผลทำให้สภาวะของสัญญาณ IBF กลับไปเป็นระดับลอจิก 0 อีกครั้งหนึ่ง เป็นอันครบรอบการรับข้อมูลจากอุปกรณ์ภายนอกหนึ่งครั้ง ดูได้จากโฟลว์ชาต์การเขียนโปรแกรมเพื่อรับข้อมูลผ่านทางพอร์ตของ 8255 และโปรแกรมย่อยในรูปที่ 3.10

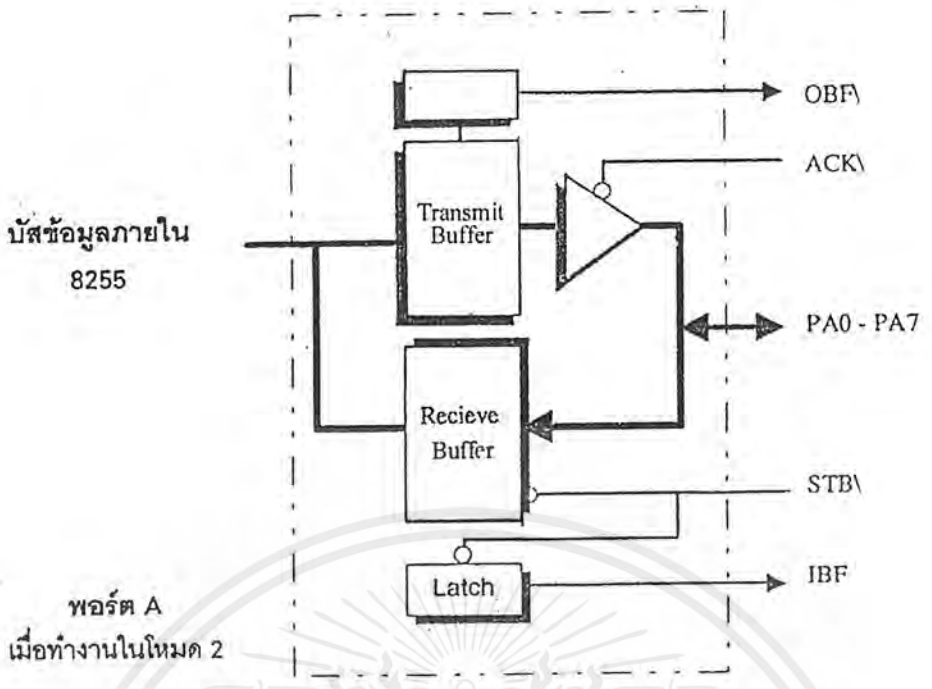


รูปที่ 3.10 โฟลว์ชาร์ตวิธีการรับข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต B และสัญญาติดต่อทางพอร์ต C

3.8 การทำงานโหมด 2 ของ 8255

เมื่อ 8255 ได้รับการกำหนดให้ทำงานในโหมด 2 ซึ่งกำหนดไว้ให้ใช้เฉพาะกับการทำงานของพอร์ต A เท่านั้น โดยจะมีลักษณะเป็นพอร์ตข้อมูลแบบสองทิศทาง (Bi-directional data พอร์ต) กล่าวคือข้อมูลภายในเส้นสัญญาณของพอร์ต A ทั้งหมด สามารถเป็นข้อมูลที่มาจากการอินพุตหรือเอาต์พุตก็ได้ พิจารณาได้จากแผนภาพในรูปที่ 3.11 จะเห็นว่าเส้นสัญญาณ PA0-PA7 จะถูกเชื่อมต่อเข้ากับบล็อกของวงจรแลตช์ทั้งหมด โดยแลตช์สำหรับข้อมูลส่งออก (Output Latch) มีหน้าที่สำหรับการค้างค่าข้อมูลที่คอมพิวเตอร์เขียนมายังพอร์ต A และรอคอยให้อุปกรณ์ภายนอกมาอ่านข้อมูลนี้ไปจาก 8255 ส่วนแลตช์สำหรับข้อมูลรับเข้า (Input Latch) ทำหน้าที่สำหรับเก็บข้อมูลที่อุปกรณ์ภายนอกส่งมาให้กับพอร์ต A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 หลักการทำงานของ 8255 เมื่อได้รับการกำหนดให้ทำงานในโหมด 2

ลำดับการทำงานเมื่อคอมพิวเตอร์ต้องการส่งข้อมูลออกไปให้กับอุปกรณ์ภายนอก จะเริ่มโดยการส่งข้อมูลออกมาทางพอร์ต A ของ 8255 เช่นปกติ ซึ่งมีผลทำให้ขาสัญญาณ OBF\ เปลี่ยนไปเป็นระดับลอจิกต่ำ เมื่ออุปกรณ์ภายนอกตรวจสอบสัญญาณนี้ก็จะทราบได้ว่าขณะนี้มีข้อมูลที่จะต้องอ่านไปจาก 8255 สัญญาณนี้ยังสามารถใช้ในการแจ้งคอมพิวเตอร์ได้เช่นกัน (โดยการอ่านและตรวจสอบค่าบิต D7 ของพอร์ต C) ว่าบัฟเฟอร์ของ 8255 พร้อมที่จะรับข้อมูลใหม่เข้าไปหรือไม่ เมื่ออุปกรณ์ภายนอกได้อ่านข้อมูลจากบัฟเฟอร์นี้ไปแล้ว ก็จะต้องทำการสโตรปสัญญาณ ACK\ ซึ่งจะมีผลทำให้ขาสัญญาณ OBF\ ของ 8255 เปลี่ยนกลับไปเป็นระดับลอจิกสูงอีกครั้งหนึ่ง

ส่วนการอ่านค่าข้อมูลจากอุปกรณ์ภายนอกก็เป็นไปในลักษณะคล้ายกัน โดยก่อนที่อุปกรณ์จะส่งข้อมูลเข้ามาให้กับ 8255 จะต้องตรวจสอบสภาวะของขาสัญญาณ IBF เสียก่อนหากว่าเป็นระดับลอจิกต่ำจึงสามารถส่งข้อมูลออกมาได้ พร้อมกับทำการสโตรปสัญญาณ STB\ มาแจ้งให้ 8255 ทราบ ซึ่งจะมีผลทำให้ขาสัญญาณ IBF เป็นระดับลอจิกสูงโดยอัตโนมัติ ดังนั้น คอมพิวเตอร์ก็จะรับทราบได้ว่ามีข้อมูลจากอุปกรณ์ภายนอก (โดยการอ่านค่าและพิจารณาค่า บิต D5 ของพอร์ต C) และภายหลังที่ได้มีการอ่านค่าไปจากพอร์ต A ของ 8255 แล้วก็จะทำให้สภาวะขาสัญญาณ IBF เปลี่ยนไปเป็นระดับลอจิกต่ำดังเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามตารางที่ 3.9 แสดงให้เห็นถึงหน้าที่ของบิตต่าง ๆ ในพอร์ต C เมื่อได้รับการกำหนดให้ทำงานในโหมด 2 ซึ่งนำมาใช้เป็นบิตบอกสภาวะการติดต่อระหว่าง 8255 กับอุปกรณ์ภายนอกตามลักษณะที่ได้กล่าวมาแล้วข้างต้นทั้งหมด

ตารางที่ 3.9 หน้าที่ของบิตภายในพอร์ต C เมื่อกำหนดให้ทำงานในโหมด 2 เพื่อบอกสภาวะของเส้นสัญญาณการติดต่อทางพอร์ต A

เส้นสัญญาณ	ลักษณะการทำงาน
PC0	การอินพุต/เอาต์พุตข้อมูลตามปกติ
PC1	การอินพุต/เอาต์พุตข้อมูลตามปกติ
PC2	การอินพุต/เอาต์พุตข้อมูลตามปกติ
PC3	สัญญาณ INTR ของพอร์ต A
PC4	สัญญาณ STB\ ของพอร์ต A
PC5	สัญญาณ IBF ของพอร์ต A
PC6	สัญญาณ ACK\ ของพอร์ต A
PC7	สัญญาณ OBF\ ของพอร์ต A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ทฤษฎีของ ADC และ DAC

4.1 ทฤษฎีของ Data Acquisition and Conversion

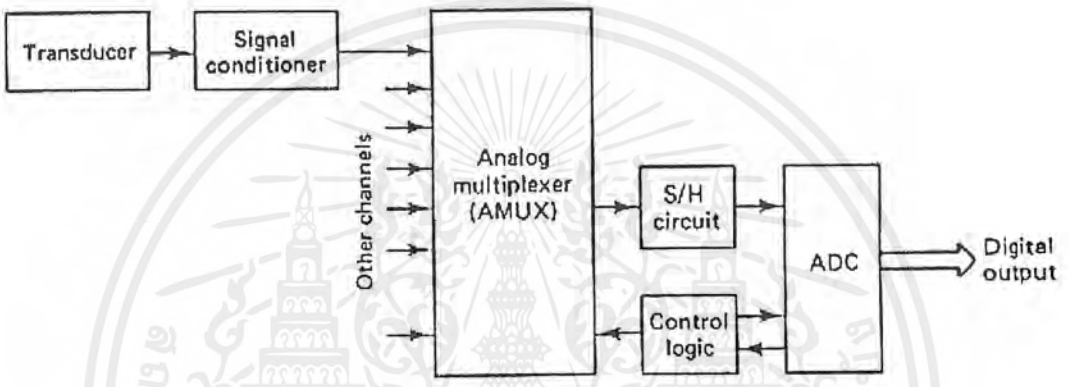
รูปแบบสัญญาณไฟฟ้าที่เราพบเห็นและคุ้นเคยในชีวิตประจำวันนั้นจะอยู่ในรูปของสัญญาณที่ต่อเนื่องหรือที่เรียกว่าสัญญาณอนาลอก (Analog signal) ซึ่งแต่เดิมการนำเอาสัญญาณไฟฟ้าดังกล่าวมาประมวลผล (Process) เพื่อให้มีรูปแบบที่เหมาะสมจะกระทำในแบบอนาลอกนั่นเอง แต่เมื่อเทคนิคและอุปกรณ์การประมวลผลสัญญาณทางดิจิตอลได้รับการพัฒนาขึ้นมา เนื่องจากพบว่าในรูปแบบดิจิตอล การประมวลเก็บข้อมูล สื่อสารและการนำเสนอกระทำได้ง่ายและมีประสิทธิภาพมากกว่า ดังนั้นการเปลี่ยนรูปแบบของสัญญาณ (Conversion) จึงได้มีความจำเป็นขึ้นมา ในรูปที่ 4.1 เป็นตัวอย่างแสดงระบบควบคุมที่ใช้การประมวลข้อมูลในระบบดิจิตอล ในระบบที่ยกมาเป็นตัวอย่างนี้เป็นการเปลี่ยนแปลงทางกายภาพ(Physical process) ในลักษณะใด ๆ ก็ตาม เช่นความดัน อุณหภูมิ จะถูกเปลี่ยนให้เป็นสัญญาณไฟฟ้าที่มีความต่อเนื่อง (สัญญาณอนาลอก) โดยทรานสดิวเซอร์ที่มีคุณสมบัติเหมาะสมกับรูปแบบทางกายภาพนั้น สัญญาณไฟฟ้านั้นจะถูกปรับให้อยู่ในรูปและขนาดที่เหมาะสมก่อน โดยวงจรส่วนที่ทำหน้าที่ปรับแต่งสัญญาณ เช่น วงจรขยาย วงจรฟิลเตอร์ เป็นต้น ADC จะทำหน้าที่เปลี่ยนรูปแบบสัญญาณจากอนาลอกเป็นดิจิตอล ตัวประมวลผลทางดิจิตอล (Digital processor) เช่น คอมพิวเตอร์ จะจัดการกับข้อมูลเพื่อนำเสนอหรือถูกเปลี่ยนกลับมาอยู่ในรูปแบบของสัญญาณอนาลอกโดย DAC เพื่อป้อนกลับไปควบคุม Physical process

ในระบบที่มีข้อมูลที่ต้องประมวลผลในเวลาเดียวกันหลาย ๆ ข้อมูล หาก ADC ทำงานได้เร็วพอก็ไม่จำเป็นต้องใช้ ADC หลายๆตัวทำงานแยกกันสำหรับข้อมูลแต่ละชุด แต่จะใช้วิธีการแบ่งเวลา (Timesharing) โดยใช้วิธี Multiplexing (รูปที่ 4.1) วงจรสุ่มตัวอย่างและคงค่า(Sampling and hole,S/H) จะสุ่ม (Sample) ขนาดของสัญญาณอนาลอกมาและเก็บ (Hold) ไว้ชั่วขณะเพื่อรอให้ ADC รับไปเปลี่ยนให้เป็นสัญญาณดิจิตอลจนเรียบร้อยแล้วค่อยสุ่มสัญญาณใหม่ ทั้งนี้เพื่อที่ไม่จำเป็นต้องใช้ ADC ที่มีความเร็วสูงราคาแพง ข้อมูลดิจิตอลจะถูกส่งต่อไปยัง System bus และถูกประมวลผลโดย Processor ผลของการประมวลผลจะถูกส่งกลับออกมาเพื่อเปลี่ยนกลับมาเป็นสัญญาณอนาลอกโดย DAC เพื่อไปควบคุมกิจกรรมทางกายภาพของระบบผ่าน Analog actuator

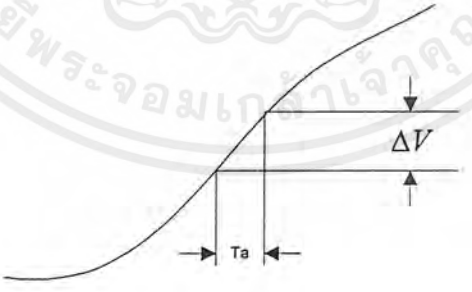
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ทฤษฎีการ Sampling

ในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลนั้น ADC จะต้องใช้เวลาช่วงหนึ่งในการจัดการซึ่งช่วงเวลาดังกล่าวนั้นขึ้นอยู่กับหลาย ๆ ปัจจัย เช่น ความละเอียดของการเปลี่ยนสัญญาณ (จำนวนดิจิตอลบิต) เทคนิคของการเปลี่ยนสัญญาณและความเร็วในการทำงานของอุปกรณ์ร่วมอื่น ๆ การกำหนดความเร็วของการแปลงสัญญาณนี้ขึ้นอยู่กับการประยุกต์ใช้งานเฉพาะอย่างและความแม่นยำที่ต้องการ



รูปที่ 4.1 ระบบควบคุมที่มีการประมวลผลข้อมูลแบบดิจิตอล



รูปที่ 4.2 error จากการวัดใน Aperture time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงเวลาในการแปลงสัญญาณบางครั้ง อาจเรียกว่า Aperture time ซึ่งความหมายโดยทั่วไปหมายถึงช่วงเวลาที่เกิดความไม่แน่นอนขึ้นในการวัดและผลก็คือความผิดพลาด (error) ต่อค่าที่วัดได้

ในรูปที่ 4.2 สัญญาณอนาลอก V(t) มีอัตราการเปลี่ยน dv/dt ในช่วง Aperture time, T_a ดังนั้นช่วงการเปลี่ยนแปลงอนาลอกจะเท่ากับ ΔV โดย

$$\Delta V = T_a \frac{dV(t)}{dt}$$

ดังนั้นหากเวลาที่ ADC ใช้ในการเปลี่ยนสัญญาณในช่วงเวลา T_a นี้สัญญาณดิจิตอลที่ได้อาจจะตรงกับขนาดของสัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงเวลานี้ และจัดทำได้ง่ายและราคาถูกกว่าที่เกิดขึ้น ซึ่งแน่นอนว่าในบางครั้งเป็นไปได้ที่สัญญาณดิจิตอลจะตรงกับขนาดของสัญญาณอนาลอกที่เกิดขึ้น ซึ่งเรียกค่าความผิดพลาดที่เกิดขึ้นนี้ว่า Aperture time error

ตัวอย่างในกรณีสัญญาณอินพุตเป็นรูปคลื่นซายน์ อัตราการเปลี่ยนแปลงบนรูปคลื่นจะเกิดสูงสุดตรงบริเวณจุดตัดแกนเวลารอบ ๆ จุดศูนย์โวลต์ (Zero crossing) และ Aperture time error คือ

$$\Delta V = T_a \frac{d}{dt}(A Sin\,\omega t)_{t=0} = T_a A\omega$$

และ ค่าความผิดพลาดรวม (ε) คิดจากอัตราส่วนของขนาดเต็มสเกล คือ

$$\varepsilon = \frac{\Delta V}{2A} = \pi T_a$$

ดังนั้น หากต้องการเปลี่ยนสัญญาณเป็นรูปซายน์ความถี่ 1 กิโลเฮิร์ท ให้เป็นสัญญาณดิจิตอล 10 บิต ซึ่งยอมให้ค่าความผิดพลาดไม่เกินกว่าค่าความละเอียด (Resolution) คือ $1/2^{10}$ LSB หรือ 0.001 ดังนั้นเวลา Aperture time จะต้องอยู่ในช่วง

$$T_a = \frac{\varepsilon}{\pi} = \frac{0.001}{3.14 \times 10^3} = 320 \times 10^{-9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

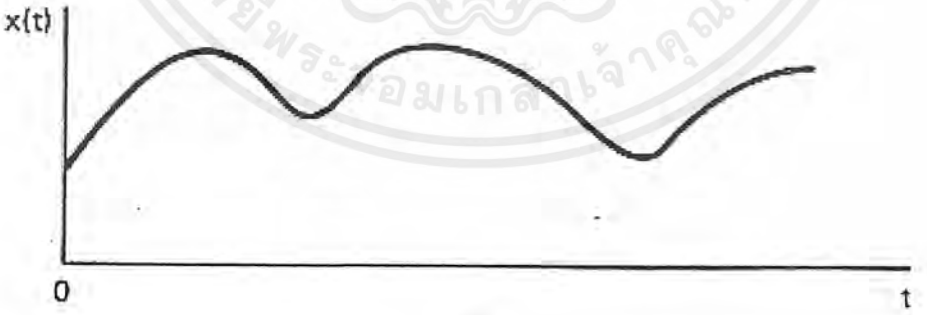
จะเห็นว่าแม้สัญญาณ 1 กิโลเฮิร์ท จะไม่ใช่ความถี่สูงก็จริง แต่ ADC ที่ใช้ต้องการเวลาในการเปลี่ยนในเวลา 320 นาโนวินาที ให้เป็นรหัส 10 บิต วิธีอื่นที่ไม่จำเป็นจะต้องใช้ ADC ความเร็วสูงคือการใช้การสุ่มและคงค่าสัญญาณ ซึ่งการสุ่มและคงค่าสัญญาณ ที่มี Aperture time น้อยๆ นั้นทำได้ง่ายและราคาถูกกว่า

4.3 การสุ่มและคงค่าสัญญาณ (Sample and Hold) และ Aperture error

วงจรสุ่มและคงค่า (Sample and hold) จะทำการสุ่ม (Sampling) สัญญาณอินพุต และนำมาเก็บ (Hold) ไว้ในช่วงเวลาหนึ่งได้ ซึ่งส่วนใหญ่จะใช้การประจุแรงดันนั้นไว้ในตัวเก็บประจุที่รั่วไหลต่ำ Aperture time ของการสุ่มและคงค่าสัญญาณ คือเวลาตั้งแต่เริ่มสุ่มสัญญาณจนเก็บประจุค่าแรงดันจนถึงค่าที่สุ่มซึ่งขึ้นอยู่กับแบนด์วิดธ์และช่วงเวลาในการสวิทช์ (Switching time)

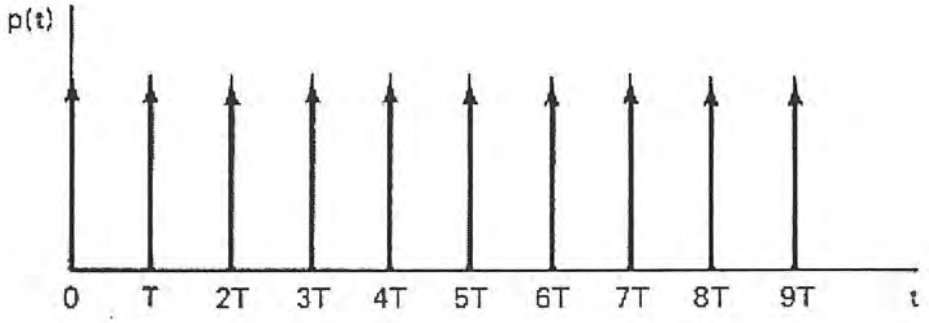
ในการสุ่มสัญญาณอนาลอกจะถูกสุ่มเป็นระยะๆซึ่งคงที่ตามรูปที่ 4.3 การสุ่มจะเป็นการตัดต่อสัญญาณอนาลอกในช่วงเวลาอันสั้นด้วยสวิทช์ที่ทำงานด้วยความเร็วสูง ผลของการสุ่มสัญญาณด้วยความเร็วจะเสมือนกับการคูณขบวนสัญญาณพัลส์แคบๆกับสัญญาณอนาลอก ซึ่งจะได้เป็นสัญญาณที่มอดดูเลท (modulate) ระหว่างขบวนพัลส์กับสัญญาณอนาลอก โดยเสมือนว่าสัญญาณอนาลอกจะขี่มาบนขบวนพัลส์ดังแสดงในรูปที่ 4.3 (c)

ปัญหาที่ว่าอัตราการสุ่มสัญญาณนั้นควรมีขนาดเท่าใดจึงจะไม่ทำให้ข้อมูลสูญเสียไปเมื่อสัญญาณนั้นถูกเปลี่ยนกลับมาเป็นเช่นเดิม คำตอบคือ ขึ้นอยู่กับความถี่ของสัญญาณอนาลอก ทฤษฎีของการสุ่มกล่าวไว้ว่า " ถ้าสัญญาณต่อเนื่องซึ่งมีความถี่และฮาร์โมนิคส์ไม่เกิน f_c ถูกสุ่มด้วยอัตราการสุ่มไม่น้อยกว่า $2f_c$ แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้อย่างเดิมโดยไม่สูญเสียรายละเอียดหรือผิดเพี้ยนไป "

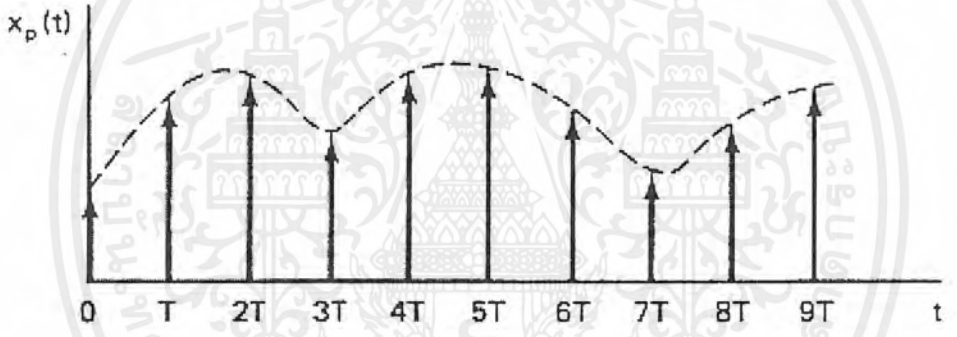


(a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)



(c)

รูปที่ 4.3 การสุ่มสัญญาณ

(a) สัญญาณอนาลอกอินพุต

(b) พัลส์ที่มาสุ่มสัญญาณ

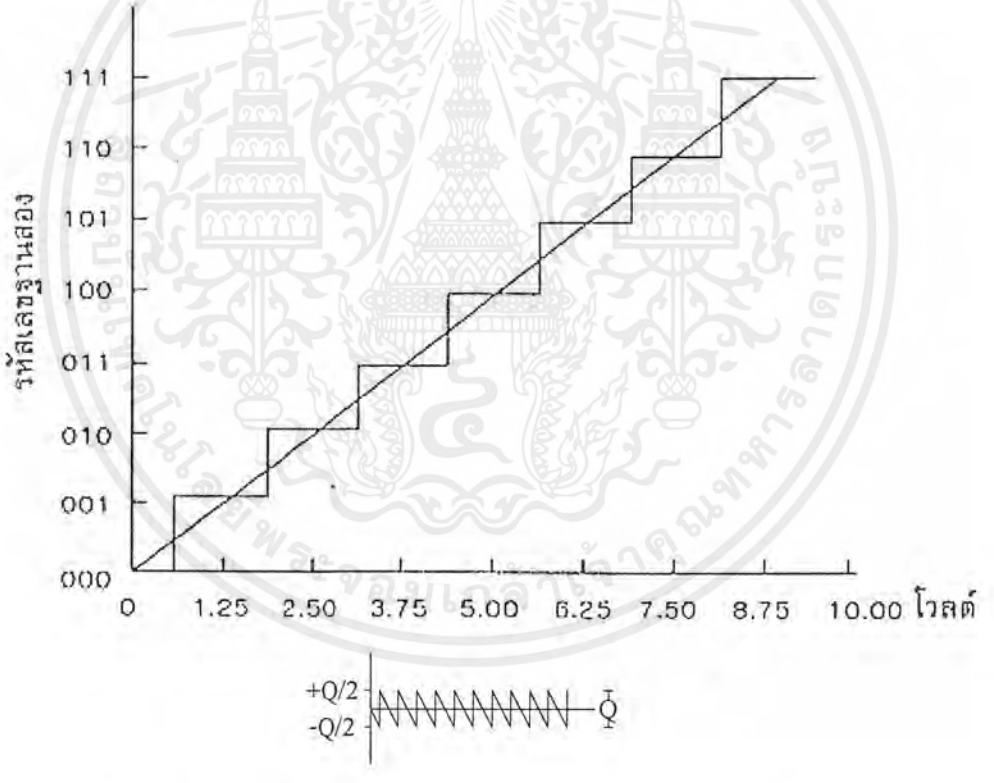
(c) สัญญาณอนาลอกหลังการสุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 Quantizing Theory

Quantizing เป็นขบวนการที่เปลี่ยนแปลงสัญญาณอนาลอกเป็นสัญญาณที่ไม่ต่อเนื่อง (Discrete signal) หลังการสุ่ม โดยผ่านขบวนการเข้ารหัส (Coding) จัดให้สัญญาณที่ไม่ต่อเนื่องนั้นอยู่ในรูปที่ง่ายต่อการประมวลผลและเป็นสัดส่วนสัมพันธ์กับสัญญาณอนาลอก เช่น ในรูปของรหัสไบนารี (Binary) เป็นต้น หากนำเอาขนาดของสัญญาณอนาลอกและสัญญาณดิจิตอลที่ได้รับการ Quantize มาเขียนกราฟก็จะได้กราฟแสดง Quantize transfer funtion ดังรูปที่ 4.4

ในรูปกราฟแสดงให้เห็นถึงความสัมพันธ์ระหว่างสัญญาณอนาลอกที่มีขนาดอยู่ระหว่าง 0 ถึง +10 โวลท์ ถูก Quantize และ Encode เป็นรหัสไบนารี่ (Binary) 3 บิต ได้ 8 ระดับจาก 000 ถึง 111 เนื่องจากในระบบไบนารี่รหัสดิจิตอลแต่ละค่าจะแทนขนาดของสัญญาณอนาลอกแต่ละค่าที่เป็นสัดส่วนกับค่าเต็มสเกลโดยค่าสูงสุดของรหัสดิจิตอลคือ ทุกบิตที่เป็น 1 จะเท่ากับสัญญาณอนาลอกเต็มสเกลคูณด้วย $(1\text{-}2^{-n})$ โดย n เป็นจำนวนบิตของรหัสดิจิตอลแต่ละบิตที่เป็น 1 จะเท่ากับขนาดเต็มสเกลของอนาลอกคูณกับค่าน้ำหนัก (weighting) ของรหัสชนิดนั้น หารด้วย 2^n



รูปที่ 4.4 ทรานส์เฟอร์ฟังชันของ Quantize 3 บิต ตามทฤษฎี

ตัวอย่าง เช่น ค่าเต็มสเกลของสัญญาณอนาลอกเป็น 10 โวลท์ รหัส 1011 จะแทนขนาดสัญญาณอนาลอกอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{input} = \frac{R_s}{2^n}\left\{(1\times 2^3)+(0\times 2^2)+(1\times 2^1)+(1\times 2^0)\right\}$$

จุดสำคัญที่เกี่ยวกับกราฟทรานส์เฟอร์ฟังก์ชันในรูปที่ 4.4 อันแรกได้แก่ ความละเอียด (Resolution) ของ Quantizer ซึ่งกำหนดได้จากจำนวนบิตของรหัสดิจิตอล หรือจากกราฟคือขนาดกว้างของขั้นระดับ (Step) ทางแกนอนาลอกอินพุตว่าเป็นสัดส่วนเท่าใดระหว่างค่าเต็มสเกลอนาลอกกับค่า 2^n

จำนวนสถานะเอาต์พุตกำหนดได้จากจำนวนบิตคือ เท่ากับ 2^n สถานะ ตัวอย่างกรณี ADC 8 บิต Quantizer จะให้เอาท์พุต 256 สถานะและ 12 บิตให้ 4096 สถานะต่อค่าเต็มสเกลของอนาลอกในไดอะแกรมทรานสเฟอร์ฟังก์ชั่นจะเห็นจุดแบ่ง ระดับ (Decision point หรือ Theshold level) สัญญาณอนาลอกจะมีจำนวน 2^n-1 จุดที่อยู่ที่ 0.625, 1.875, 3.125, 4.375, 5.625, และ 8.125 โวลท์ ระหว่างจุดดังกล่าวเป็นสัญญาณอนาลอกซึ่งแปลงเป็นรหัสดิจิตอล 1 สถานะ ดังนั้น ค่าเหล่านี้จะต้องปรับให้ถูกต้องมากที่สุดเพื่อแปลงขนาดของอนาลอกให้ตรงกับค่าที่ทำการ Quantizer แรงดันที่ 1.25, 2.50, 3.75, 5.0, 6.25, 7.5, 8.75 โวลท์ เป็นจุดกึ่งกลางของรหัสดิจิตอลสถานะสุดท้าย สังเกตุว่าในทางทฤษฎีแล้วเส้นตรงนี้จะต้องผ่านจุดกึ่งกลางของรหัสดิจิตอลสถานะสุดท้าย สังเกตุว่าในทางทฤษฎีแล้วเส้นตรงนี้จะต้องผ่านจุดกึ่งกลางของทุกระดับดิจิตอล

4.5 Quantizer Resolution and Error

ในแต่ละสถานะของสัญญาณดิจิตอลเอาท์พุตจะแทนขนาดของสัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงเล็ก ๆ ระหว่างจุดแบ่งระดับ เรียกช่วงเล็กๆ นี้ว่าเป็นขนาดหนึ่ง Analog quantization หรือหนึ่งควันตัม (Quantum) หรือ 1 LSB (Least significant bit) ของการแปลงสัญญาณตัวอย่างในรูปที่ 4.4 (บน) ควันตัม คือ 1.25 โวลท์ ค่านี้ได้จากการคำนวนจาก

$$Q = \frac{FSR}{2^n}$$

โดยที่ FSR คือ ช่วงเต็มสเกลของแรงดันอนาลอก (Full Scale Range) และ n คือ จำนวนบิตของรหัสดิจิตอล

จากสมการจะเห็นว่า หากจำนวนบิตมากขนาดของควันตัมก็จะลดลงและถ้าให้สัญญาณอินพุตของ Quantizer กวาดไปตลอดช่วงของสัญญาณอนาลอกก็จะเห็นช่วงผลต่างของสัญญาณอนาลอกอินพุตและดิจิตอลเอาต์พุทเป็นช่วงพล็อตได้เป็นรูปฟันเลื่อยดังรูปที่ 4.4 ด้านล่าง ซึ่งเรียกว่า Quantizing error ซึ่งค่าความผิดพลาดแบบนี้ก็คือ 1 ช่วงสัญญาณอนาลอกแปลงเป็นรหัสดิจิตอล 1 สถานะ ดังกล่าวมาแล้วนั่นเอง

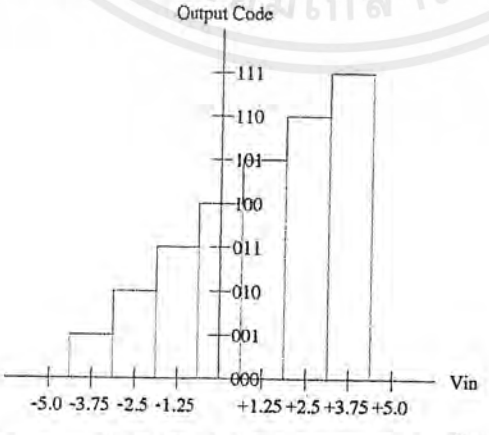
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความผิดพลาดนี้เป็นธรรมชาติของ Quantizing ซึ่งทำการแก้ไขไม่ได้นอกจากการเพิ่มจำนวนบิตของ Quantizer ให้มากขึ้น และ เอาต์พุตค่าความผิดพลาดจะอยู่ระหว่าง 0-Q/2 Error อาจจะเป็นที่ศูนย์ เมื่อสัญญาณอนาลอกค่าที่จุดกึ่งกลางของควันตัมพอดี ลักษณะฟังก์ชั่นของค่าความผิดพลาดจะสามารถพิจารณาเป็นสัญญาณรบกวนทางอินพุต ซึ่งมีค่าเป็น Q V_{p-p} และค่าเฉลี่ย เป็นศูนย์ ค่าอาร์เอ็มเอส (root mean square,rms) เป็น Q/2 3 ซึ่งจะได้จากการวิเคราะห์รูปคลื่นฟันเลื่อย

4.6 รหัสตัวเลขสำหรับการเปลี่ยนข้อมูล

รหัสตัวเลข ที่นิยมนำมาใช้ในระบบเปลี่ยนข้อมูลได้แก่รหัสไบนารีหรือที่เรียกว่า Straight binary โดยที่รหัสไบนารีสถานะสูงสุดจะแทนสัญญาณอนาลอก FSR ($1-2^{-n}$) โวลท์ ตัวอย่างเช่น หากสัญญาณอนาลอกเต็มสเกล (FSR) เท่ากับ 20 โวลท์ สำหรับ ADC ขนาด 12 บิต รหัส 1111 1111 1111 จะแทนสัญญาณอนาลอกขนาด $20(1-2^{-12})$ หรือ 19.39951171 โวลท์ นอกจากรหัสไบนารีธรรมดาดังกล่าวยังมีการใช้ระบบไบนารีแบบอื่น ๆ ในระบบการแปลงสัญญาณ ได้แก่ ออฟเซ็ทไบนารี, Two 's complement, BCD ซึ่งแต่ละชนิดมีข้อดีและความเหมาะสมต่างกัน ตัวอย่างเช่น ระบบ BCD เหมาะสำหรับการแสดงเป็นตัวเลขหน้าปัทม์หรือต่อเข้ากับดิจิตอลมิเตอร์ รหัส Two 's complement เหมาะสำหรับการคำนวนทางคณิตศาสตร์ลอจิกและสำหรับระบบออฟเซ็ตไบนารีนั้นเหมาะสำหรับการคำนวนทางคณิตศาสตร์ลอจิกและสำหรับระบบออฟเซ็ตไบนารีเหมาะสำหรับการแปลงสัญญาณอินพุตที่ทั้งช่วงบวกและลบ ในรูปที่ 3.5 แสดงทรานส์เฟอร์ฟังก์ชันของ ADC 3 บิตที่ใช้รหัสออฟเซ็ตไบนารี

นอกจากมาตรฐานของการใช้รหัสตัวเลขแล้วยังมีมาตรฐานของการเลือกช่วงของขนาดแรงดันอินพุตสำหรับ ADC คือ หากเป็นสัญญาณช่วงบวกหรือลบอย่างเดียวจะใช้ 0-5 โวลท์หรือ 0-10 โวลท์ แต่ถ้าเป็นช่วงลบจะใช้ -2.5 โวลท์ -5 โวลท์ และ -10 โวลท์ เป็นมาตรฐาน



รูปที่ 4.5 ทรานส์เฟอร์ฟังก์ชันของ ADC 3 บิต ที่ใช้รหัสออฟเซ็ตไบนารี

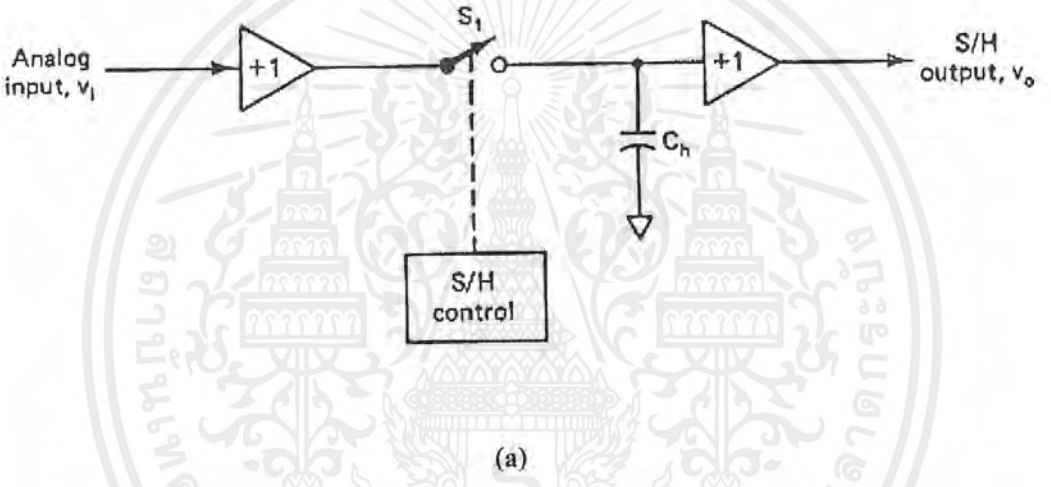
4.7 วงจรสุ่มและคงค่าสัญญาณ (Sample and Hold,S&H)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 วงจรสุ่มและคงค่าสัญญาณ (Sample and Hold,S&H)

ที่ผ่านมาได้กล่าวถึงจุดมุ่งหมายในการใช้วงจร S&H กับ ADC และต่อจากนี้จะได้กล่าวถึงรายละเอียดของวงจร S&H บางแบบที่ใช้ในปัจจุบัน

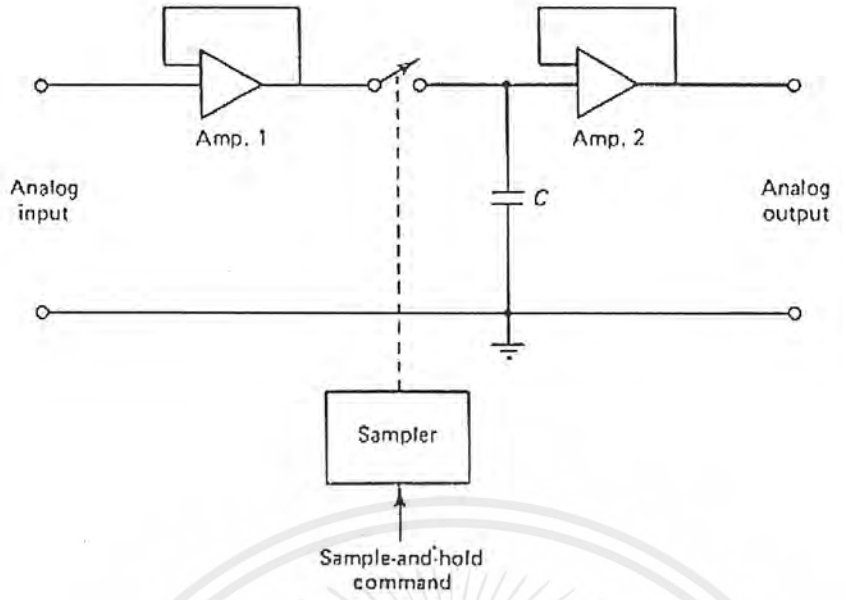
ความจริงแล้ววงจร S&H มิได้มีใช้เฉพาะกับ ADC เท่านั้น แต่ก็ยังใช้กันทั่ว ๆ ไปในระบบ Data distribution, Sampling scope, DVM, Recomstruction filter และอนาลอกคอมพิวเตอร์เป็นต้น วงจร S&H โดยพื้นฐานแล้วเป็นอุปกรณ์หรือวงจรเก็บแรงดัน (Voltage memory) ซึ่งใช้อุปกรณ์ร่วมสำคัญคือตัวเก็บประจุ ในรูปที่ 4.6 (a) แสดงวงจรพื้นฐาน S&H อิเล็กทรอนิกส์สวิทซ์และเวลาในการประจุแรงดันจนถึงค่าที่ Sample มานั้นเรียกว่า Aperture-time ของ S&H จาก ลักษณะอนาลอกอินพุตสัญญาณการสุ่มและเอาต์พุต



(a)

รูปที่ 4.6 (b) แสดงวงจรที่ใกล้เคียงกับวงจรที่ใช้ในทางปฏิบัติ โดยเพิ่มเติมบัฟเฟอร์แอมป์ปลิไฟร์เข้าทางส่วนอินพุตและเอาต์พุตของ S/H พื้นฐาน แอมปลิไฟร์เออร์ทางด้านอินพุตช่วยทำให้วงจรมีอินพุตอิมพิแดนซ์สูง สะดวกต่อการใช้งานและสามารถเพิ่มกระแสเพื่อทำการประจุ C_h ได้เร็วขึ้น ส่วนทางเอาต์พุตช่วยทำให้เอาท์พุตอิมพิแดนซ์สามารถขับ ADC ได้ง่าย มีจุดสำคัญที่ต้องพิจารณาคือ ในส่วนของแอมปลิไฟร์เออร์เหล่านี้ปกติแล้ว จำเป็นต้องเป็นแอมปลิไฟร์เออร์ที่ใช้กระแสอินพุตต่ำ ทั้งนี้เพื่อให้ดึงกระแสจากตัวเก็บประจุในช่วงที่คงค่าสัญญาณให้น้อยที่สุด มิฉะนั้นแรงดันที่คงค่าไว้จะลดระดับเนื่องจากการโหลด (drop) ดังแสดงในรูปที่ 4.7 ซึ่งปกติแล้วมักใช้แอมปลิไฟร์เออร์ที่มี FET หรือ MOSFET เป็นอินพุตเพราะการไบอัสด้วยแรงดันทำให้กระแสอินพุตต่ำด้วย

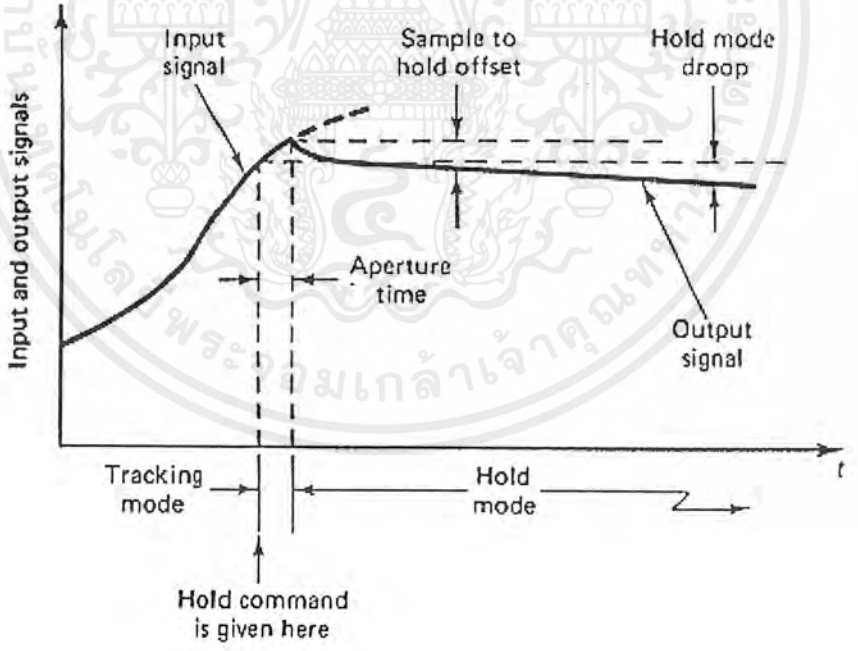
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)

รูปที่ 4.6 (a) พื้นฐานของ S&H

(b) ไดอะแกรมของวงจร S&H



รูปที่ 4.7 รูปคลื่นเอาต์พุตของ S&H

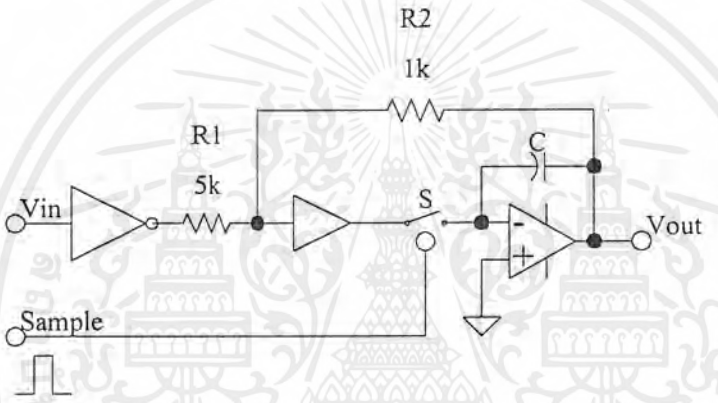
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร S&H ในระบบ Data acquistion นิยมใช้สองแบบคือ Sample-hold และ Track-hold วงจร S&H จะใช้วิธีสุ่มสัญญาณอย่างรวดเร็วแล้วเข้าสู่ Holding period ซึ่งหมายความว่าสวิทช์ควบคุมจะต้องตัดต่อในช่วงเวลาอันสั้นอย่างต่อเนื่อง ส่วน Track-holds จะตัดสวิทช์สุ่มช้ากว่า

การจัดวงจร S&H มีได้หลายลักษณะ ซึ่งอาจนำไอซี (IC) หรือทรานซิสเตอร์มาประกอบเป็นวงจรตลอดจนการสร้างวงจรทั้งหมดของ S&H ลงบนชิปไอซีเดี่ยว เช่น เบอร์ LF398

4.8 วงจรสุ่มแบบ Inverting Close Loop

ในวงจรนี้ C จะประจุด้วยอัตรา RC ซึ่งสามารถเพิ่มความเร็วได้โดยใช้ Current boost amplifier อยู่ในลูปป้อนกลับดังรูปที่ 4.8 โดยแอมปลิไฟร์เออร์นี้มีอัตราขยายเท่ากับ 1



รูปที่ 4.8 วงจรสุ่มแบบ Inverting Close Loop

ข้อดีของวงจรนี้คือทำงานได้รวดเร็วและแม่นยำความเร็วในการประจุขึ้นอยู่กับความเร็วของ A1 และความสามารถ ในการจ่ายกระแสของมัน ไดโอดสองตัวจะทำหน้าที่ Clamp สัญญาณเอาต์พุตไปที่อินพุตอินเวอร์ติ้งของ A1 เพื่อยังคงให้วงจรมีเสถียรภาพดี เมื่อสวิทช์ (S) เปิดวงจรลักษณะนี้เป็นวงจรพื้นฐานของไอซีเบอร์ LF 398

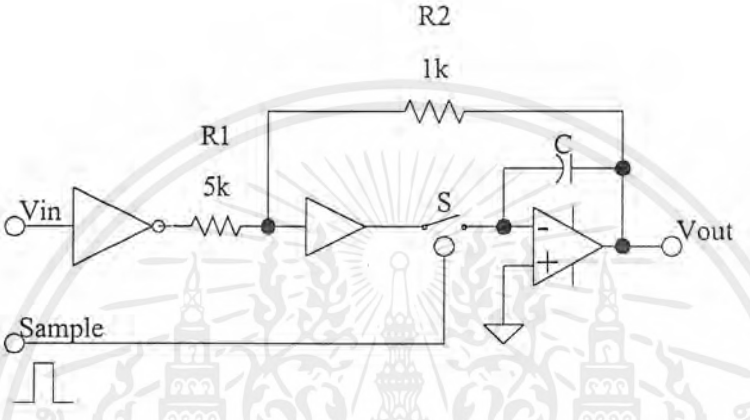
4.9 วงจรแรงดันอ้างอิง (Voltage Reference Circuit)

วงจรแรงดันอ้างอิงนั้นเป็นวงจรที่สำคัญวงจรหนึ่งในระบบ Data Acquisition เนื่องจากเป็นส่วนสำคัญในการกำหนดคุณภาพของวงจร DAC หรือ ADC วงจรแรงดันอ้างอิงมีทั้งที่เป็นวงจรอิสระหรือเป็นวงจรรวมอยู่ในวงจร ADC หรือ DAC

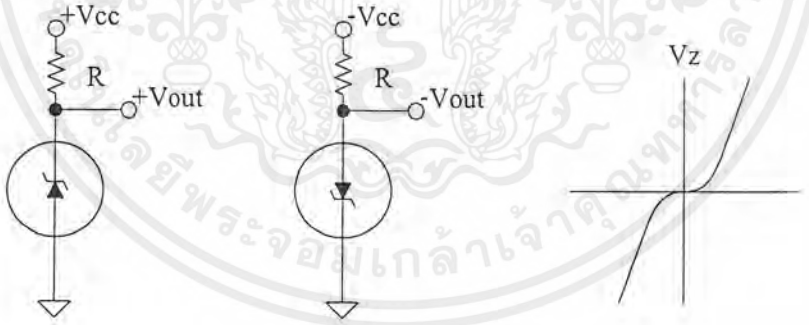
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) Basic voltage reference อุปกรณ์ที่นิยมให้เป็นแหล่งกำเนิดแรงดันอ้างอิงได้แก่ ซีเนอร์ไดโอด ซึ่งเมื่อให้รีเวิร์สไบอัสจนเกิดการเบรคดาวน์แรงดันคร่อมซีเนอร์จะคงที่เท่ากับแรงดันเบรคดาวน์ (V_z) ตัวต้านทาน R (รูปที่ 4.10) ที่ต่ออนุกรมกับซีเนอร์ จะทำหน้าที่กำหนดกระแสไบอัสแก่ซีเนอร์ให้เบรคดาวน์และจำกัดกระแสรีเวิร์สไม่ให้ไหลมากจนเป็นอันตรายแก่ซีเนอร์

ข้อเสียของวงจรนี้คือ แรงดันมักเปลี่ยนตามอุณหภูมิได้ง่ายหรือเรียกว่ามีสัมประสิทธิ์ทางอุณหภูมิสูง และจ่ายกระแสได้จำนวนจำกัด รวมทั้งแรงดันเอาต์พุตจะแปรตามแรงดันอินพุตจึงมักใช้วงจรนี้กับ ADC ที่ไม่ต้องการคุณภาพมากนัก



รูปที่ 4.9 วงจรสุ่มแบบ Non-inverting closed loop



(a) **(b)** **(c)**

รูปที่ 4.10 วงจรแรงดันอ้างอิงพื้นฐานและกราฟคุณสมบัติ

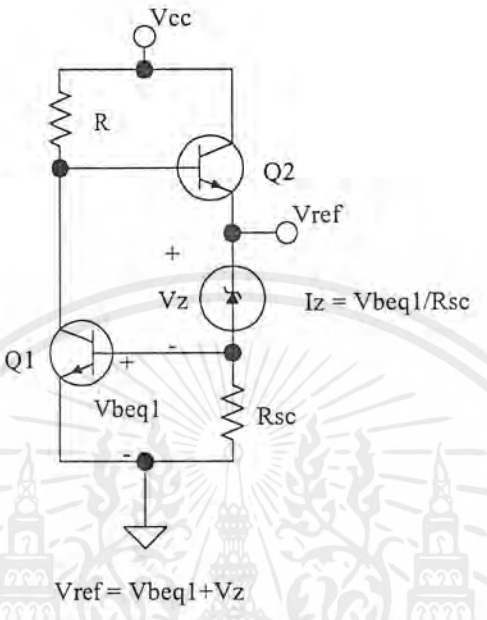
(a) แรงดันอ้างอิงบวก

(b)แรงดันอ้างอิงลบ

(c)กราฟคุณสมบัติของซีเนอร์

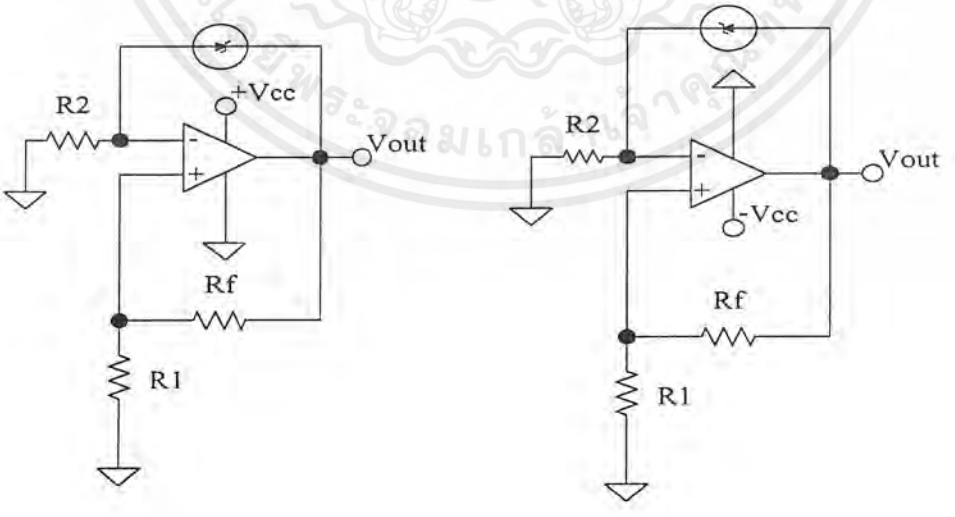
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสียของวงจรอ้างอิงแบบพื้นฐานดังกล่าวสามารถแก้ไขได้โดยใช้วงจรดังรูปที่ 4.11 ทรานซิสเตอร์ Q_1 และ Q_2 จะทำหน้าที่เป็นแหล่งจ่ายกระแสไบอัสคงที่ให้แก่ซีเนอร์ไดโอด ลักษณะดังกล่าวทำให้แรงดันเอาต์พุตไม่ขึ้นอยู่กับแรงดันอินพุต (V_{cc}) รวมทั้งผลทางด้านอุณหภูมิรวมของวงจรได้รับการปรับปรุงให้ดีขึ้นด้วย



รูปที่ 4.11 วงจรแรงดันอ้างอิงใช้ซีเนอร์ไดโอดที่ปรับปรุงคุณสมบัติจากวงจรแรงดันอ้างอิงพื้นฐาน

2) Precision Voltage Reference แรงดันอ้างอิงที่คุณภาพดีกว่าจะใช้ออปแอมป์ร่วมกับซีเนอร์ ซึ่งนอกจากจะได้แรงดันที่คงที่มากกว่าแล้ว ยังสามารถปรับแรงดันเอาต์พุตให้ได้มากหรือน้อยกว่าแรงดันซีเนอร์ไดโอดด้วย ลักษณะการจัดวงจรแบบต่าง ๆ แสดงได้ดังรูปที่ 4.12



(a) (b)

รูปที่ 4.12 แรงดันอ้างอิง (a) แรงดันอ้างอิงบวก (b)แรงดันอ้างอิงลบ

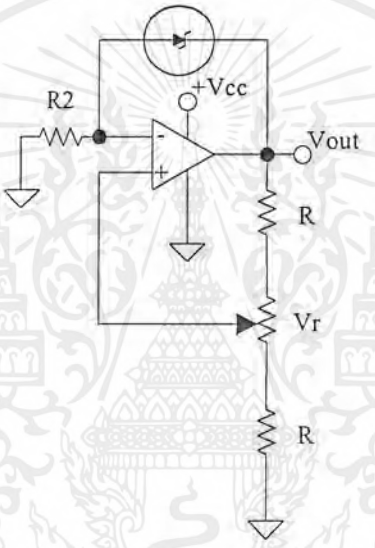
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามปกติแล้วแรงดันอ้างอิงที่ใช้ซีเนอร์ไดโอดจะให้คุณภาพดีก็ต่อเมื่อกระแสที่จ่ายให้ซีเนอร์คงที่ตลอดเวลาและทุช่วงของอุณหภูมิในวงจรรูปที่ 3.12 ออปแอมป์จะทำหน้าที่จ่ายกระแสคงที่และมีสัมประสิทธ์อุณหภูมิต่ำกว่ากระแสที่ผ่านซีเนอร์ขึ้นอยู่กับการเลือกค่า R_1,R_2,R_f และค่า V_0 กำหนดจาก R_1,R_f และ V_z การออกแบบต้องเลือกซีเนอร์ซึ่งรู้ค่า I_z และ V_z ทำการเลือกค่า R_1และหาค่า R_f จากสมการ V_{out}

$$V_o = \frac{V_R(R_1 + R_f)}{R_f}$$

$$I_Z = \frac{V_o R_1}{R_2(R_1 + R_f)} \cong \frac{V_o R_1}{R_f}$$

$$V_1 = \frac{V_o R_1}{(R_1 + R_f)} = I_z R_2$$



รูปที่ 4.13 แรงดันอ้างอิงปรับค่าได้

3) Bandgab Voltage Reference ได้รับการออกแบบเพื่อแก้ไขทางสัมประสิทธ์ทางอุณหภูมิโดยใช้ผลต่างของแรงดันเบส-อิมิเตอร์ของทรานซิสเตอร์สองตัวที่ทำงานที่กระแสต่างกัน โดย

$$V_{Ref} = V_{BEQ3} + I_2 R_2$$

$$V_{Ref} = V_{BEQ3} + \frac{kT_j}{q(\ln \frac{I_1}{I_2})}$$

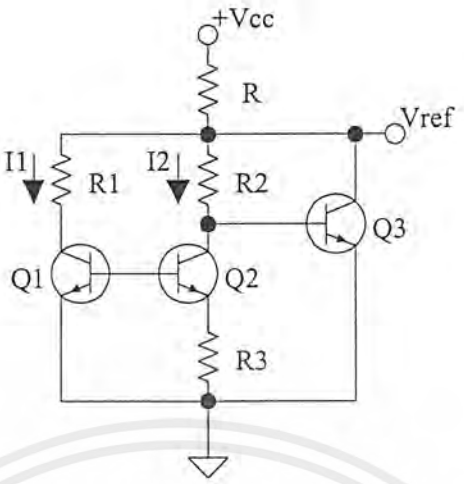
เมื่อ k = Boltmann's constant (1.3805×10^{-23} J/K)

Tj = Absolute temperature ของรอยต่อ

q= Electron charge (1.602×10^{-19} C)

แรงดันอ้างอิงแบบแบนด์แกปได้ถูกสร้างโดยใช้วงจรพื้นฐานในรูปที่ 3.14 และมีจำหน่ายตัวถังคล้ายทรานซิสเตอร์ เช่น เบอร์ LM 336 สามารถปรับขนาดของ V_{out} ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 วงจร Band gap voltage reference

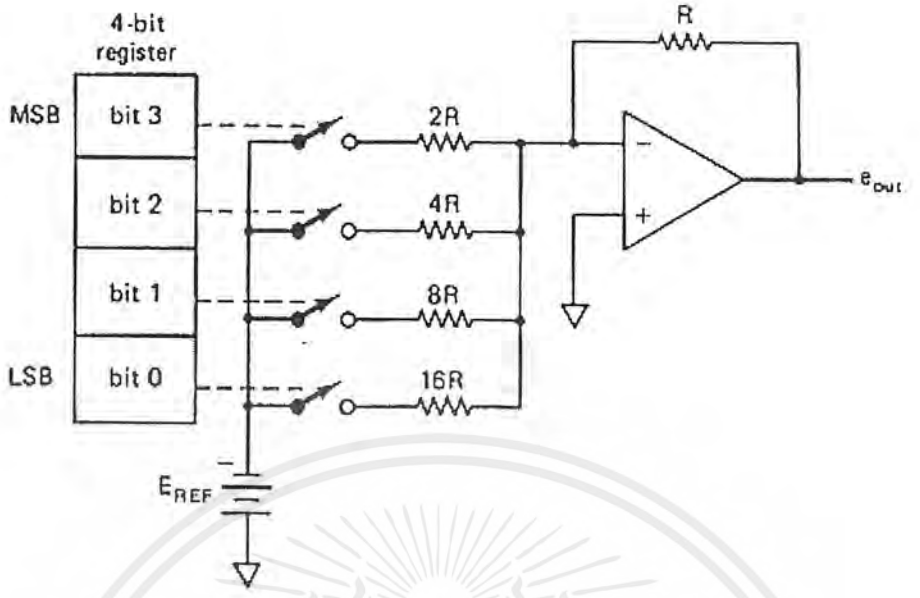
4.10 วงจร Digital to Analogue Converter (DAC)

DAC นับเป็นอุปกรณ์สำคัญที่ทำให้ดิจิตอลคอมพิวเตอร์เชื่อมโยงกับอุปกรณ์หรือวงจรอนาลอกอื่น ๆ ตัวอย่างการใช้งาน DAC คือระบบแสดงผลบนจอภาพ ระบบสังเคราะห์เสียง เป็นต้น และที่สำคัญ DAC ยังเป็นส่วนประกอบที่สำคัญใน ADC ที่ใช้กันอยู่ในปัจจุบัน

4.10.1 DAC แบบ Binary weight ladder

การจัดวงจร Binary weight ladder มีลักษณะตามรูปที่ 3.15 สวิทช์ S_1-S_4 จะถูกควบคุม เปิด/ปิด ด้วยรหัสดิจิตอล เพื่อตัด/ต่อแรงดันอ้างอิงเข้ากับวงจรรีซิสเตอร์ที่มีค่า R, 2R, 4R…., (2n)R ตัวอย่างในกรณี DAC แบบ 4 บิต ใช้รีซิสเตอร์เป็น 10kΩ, 20kΩ, 30kΩ, 40kΩ และ 80kΩ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 ADC แบบ Binary weight ladder

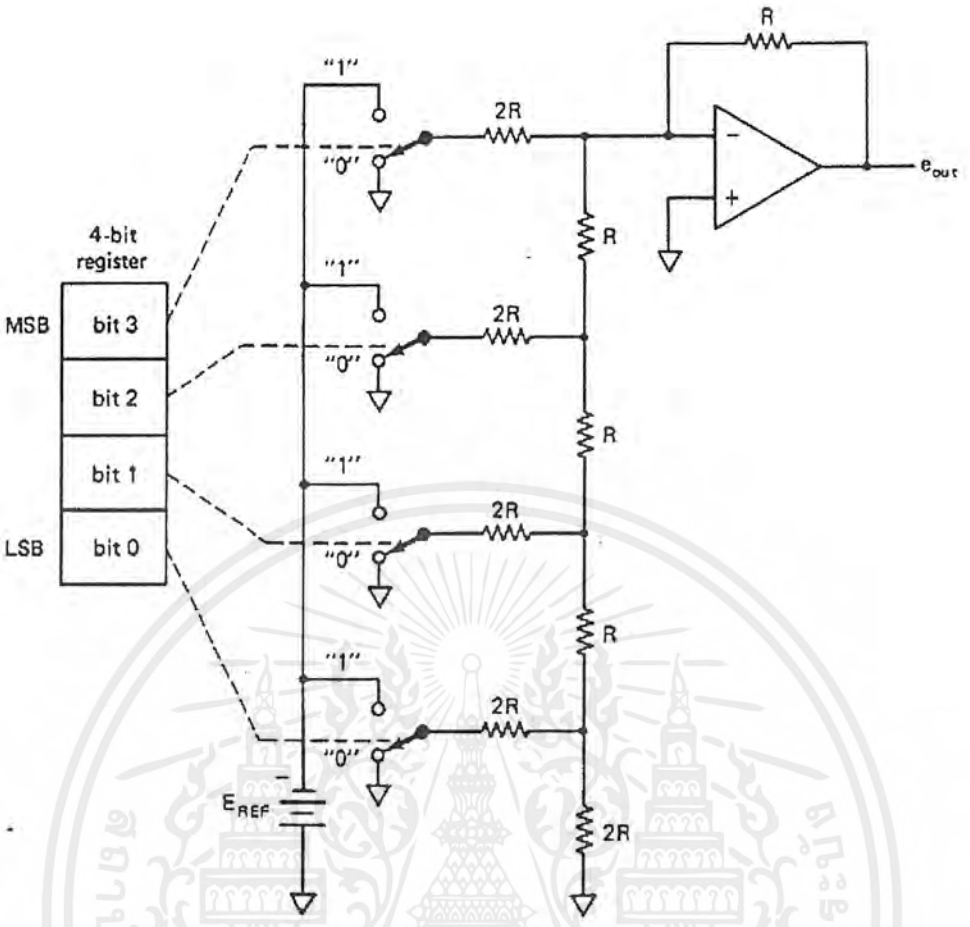
ค่ารีซิสเตอร์ที่ weight ค่าตามรหัสดิจิตอลที่เพิ่มขึ้นจะทำให้กระแสผ่านรีซิสเตอร์เข้าไปรวมกันก่อนเข้าออปแอมป์ลดลงด้วยแฟคเตอร์ 2 ตามค่า R ที่เพิ่มขึ้น เช่นหากแรงดันอ้างอิงเป็น 10 โวลท์ ในกระแสที่ผ่านตัวต้านทานจะเป็น 1.0, 0.5, 0.25 และ 0.125 mA ตามลำดับออปแอมป์ที่เอาต์พุตจะทำหน้าที่เปลี่ยนกระแสรวมให้เป็นแรงดันเอาต์พุต

4.10.2 DAC แบบ R-2R ladder

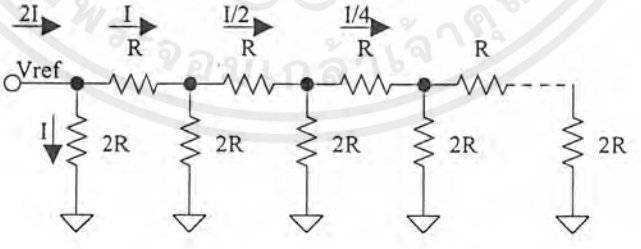
ถึงแม้ว่า DAC แบบ Binary weight จะใช้ค่ารีซิสเตอร์เพียง 4 ค่า ก็ตาม แต่ในการผลิต DAC แบบนี้บนชิปไอซีเดียวกันก็ยังเป็นปัญหายุ่งยากในการผลิตอยู่ดี รูปแบบที่ดีกว่าคือการจัดวงจรแบบ R-2R ดังรูปที่ 4.16

ในวงจรนี้จะเห็นว่าสวิทช์จะตัดต่อให้แรงดันอ้างอิงต่อเข้ากับวงจร Ladder หรือต่อ Ladder ลงกราวด์ที่ขา 2R จะเห็นได้ว่า Switch input resistor (2R) มองเข้าไปจะเห็นคู่ของรีซิสเตอร์ระหว่างจุดต่อ R-2R ที่ติดกัน กระแสจะถูกบั่นทอนไปในอัตรา 2:1 ซึ่งสอดคล้องกับรหัสไบนารี่ ดังแสดงในรูปที่ 4.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 วงจร DAC แบบ R-2R ขนาด 4 บิต

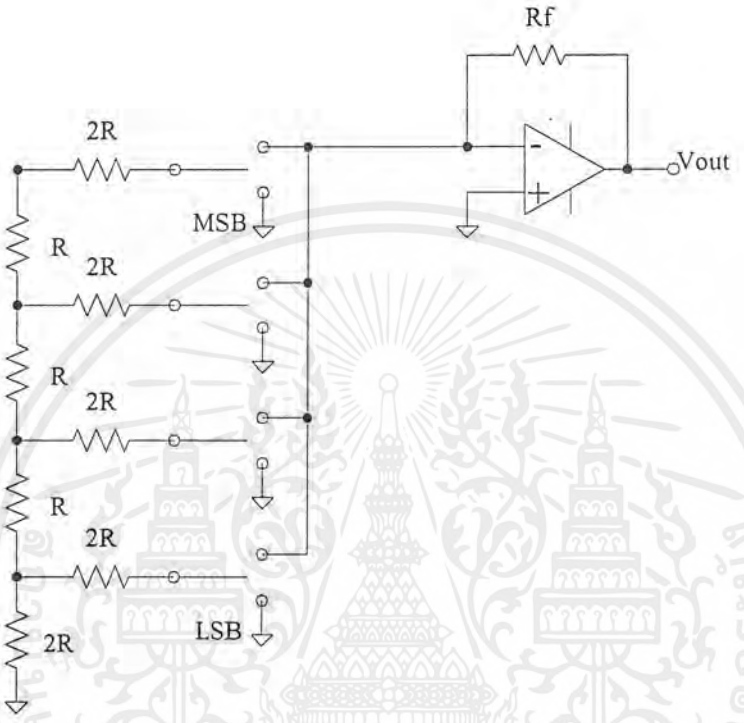


รูปที่ 4.17 วงจรรีซิสทีฟแลดเดอร์ (Resistive Ladder)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.10.3 Inverted R/2R ladder DAC

ลักษณะการจัดวงจรแบบนี้จะคล้ายกับแบบ R-2R Ladder เพียงแต่สวิทช์จะตัดต่อขา R กับกราวด์และอินพุตของ Summing amplifier แทนที่จะเป็น V_{ref} วิธีการนี้นิยมใช้ในการทำ DAC ในวงจรรวมเพราะสวิทช์จะตัดต่อที่แรงดันตกคร่อมต่ำกว่าซึ่งสร้างได้ง่ายกว่า



รูปที่ 4.18 วงจร Invert R-2R ladder DAC

4.11 Analog to Digital Converter

ลักษณะการจัดวงจรแบบ ADC มีหลายแบบ แต่ที่นิยมใช้มีเพียงไม่กี่แบบและส่วนใหญ่จะอยู่ในรูปของวงจรรวม

4.11.1 Basic conversion method

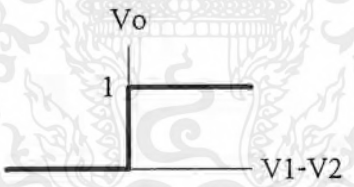
วิธีการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบง่าย ๆ แสดงในรูปที่ 4.19 แรงดันอินพุตที่ไม่ทราบค่า V_x จะต่อเข้ากับขาอินพุตขาหนึ่งของอนาลอกคอมพาราเตอร์ และแรงดันอ้างอิงที่ขนาดแปรตามเวลา V_r ต่อเข้ากับขาอินพุตอีกขาหนึ่งของ คอมพาราเตอร์ ลักษณะของทรานเฟอร์ฟังก์ชั่นของคอมพาราเตอร์แสดงในรูปที่ 4.20 ถ้าแรงดันอินพุต V_1 มากกว่าอินพุต V_2 แล้วแรงดันเอาต์พุตจะเป็นลอจิก 1 ถ้าอินพุต V_1 น้อยกว่า V_2 แล้วเอาต์พุตจะเป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการแปลงข้อมูลคือ แรงดันอ้างอิงจะถูกแปรค่าจนกระทั่งรู้ค่าแรงดันอินพุตที่ผิดพลาดไม่เกิน Quantization error ของคอนเวอร์เตอร์ ในแนวความคิดแล้ว ตรรกของ ADC คือพยายามเลือกกลุ่มของ ส.ป.ส. ไบนารี่ a_i เพื่อให้ผลต่างระหว่างแรงดันอินพุต V_x และค่าที่ Quantize ได้ครั้งสุดท้ายน้อยกว่า 0.5 LSB ซึ่งเขียนเป็นสมการได้

$$\left[V_X - V_{FSR} \sum_{i=1}^{n} a_i 2^i \right] < 0.5LSB$$

รูปที่ 4.19 วิธีการพื้นฐานของ ADC

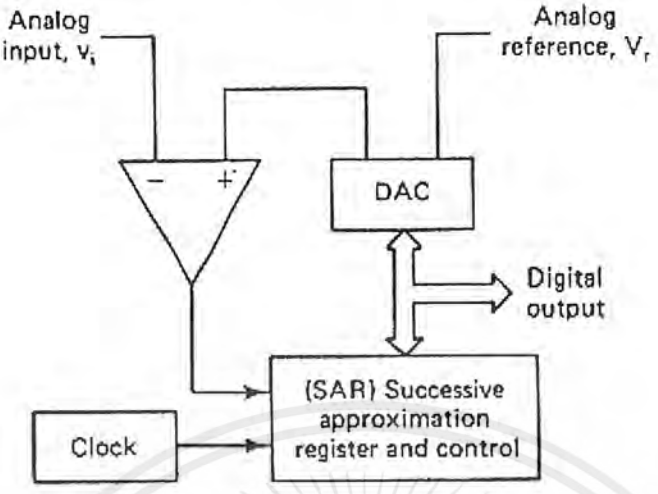


รูปที่ 4.20 Transfer function ของ Comparator

4.11.2 Sucessive Appoximation ADC

วงจร ADC ชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วปานกลางและค่อนข้างสูง การจัดวงจรคล้ายกันกับแบบเคาท์เตอรที่ทำงานในลักษณะการป้อนกลับ ซึ่งบล็อกไดอะแกรมในรูปที่ 4.21 แสดงฟังก์ชั่นต่างๆ ใน ADC ชนิดนี้ คอมพาราเตอร์จะคอยเปรียบเทียบเอาต์พุตจาก ADC กับอนาลอกอินพุต V_{in} เอาต์พุตจะไปควบคุม SAR (Sacessive Appoximation Register) ซึ่งเป็นไอซี MSI (Midium Scale Integrated circuit) ที่ได้รับการออกแบบพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ

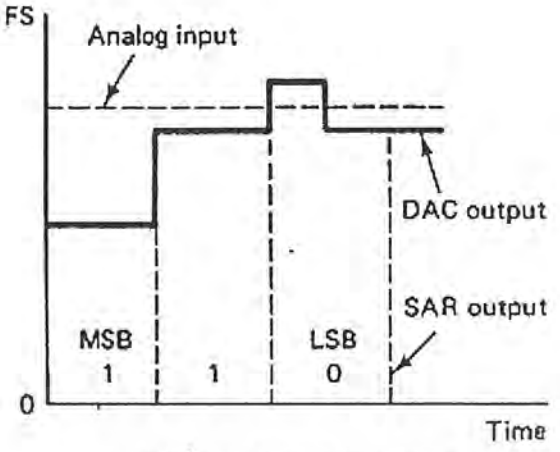
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 บล็อกไดอะแกรมของ Sucessive appoximation ADC

ในรูปที่ 4.22 แสดงไทมิ่งไดอะแกรมของ ADC ที่มีระดับอนาลอก 1 และ 2 ที่ระดับ 1 clock เข้าไป 1 ลูก จะทำให้ MSB (Most Significant Bit) (บิต 4) เป็น 1 ส่วนบิตอื่นยังคงเป็น 0 DAC จะเปลี่ยนเอาต์พุตของ SAR เป็นอนาลอกเปรียบเทียบกับสัญญาณอนาลอกอินพุต ถ้าผลการเปรียบเทียบที่คอมพาราเตอร์บอกว่าน้อยกว่าอินพุตก็ให้คงบิตนั้นเป็น 1 ไว้ แต่ถ้ามากกว่าจะให้บิตนั้นเป็น 0 จากนั้นทำการทดสอบบิตถัดไปโดยทำให้เป็น 1 หากผลรวมของสองบิตหรือบิตหลังมากกว่าก็จะทำให้บิตนั้นเป็น 0 แต่ถ้าน้อยกว่าให้คง 1 ไว้ แล้วทดสอบบิตถัดไปตามกรรมวิธีดังกล่าวจนครบทุกบิตหรือจนกว่าเอาต์พุตจะต่างจาก V_{in} ไม่เกิน 1 LSB ในตัวอย่างแสดงการทำงานเมื่อ V_{in} ลดต่ำลงมาอีกระดับหนึ่งด้วยเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.22 สัญญาณเวลาของ SAR

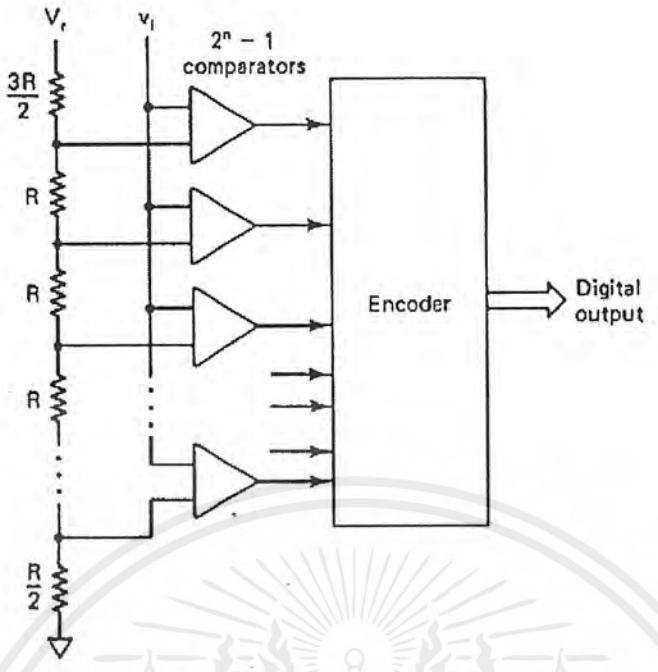
มีข้อจำกัดประการหนึ่งสำหรับการแปลงสัญญาณ คือสัญญาณอนาลอกอินพุต จะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณโดยเปลี่ยนได้ไม่เกิน 1/2 LSB ในช่วงสุดท้ายของการเปลี่ยนสัญญาณดิจิตอลเอาต์พุตจะออกมาขนานกันทุกบิต แต่บางแบบจะให้เอาต์พุตออกมาในลักษณะอนุกรม

วงจร ADC แบบนี้สามารถทำงานได้สองโหมด คือ โหมดที่ทำงานโดยอิสระ (Free run) และโหมดรอคำสั่ง (Start conversion) จากภายนอก เวลาที่ใช้ในการเปลี่ยนสัญญาณใช้ (n+1) ลูกของสัญญาณนาฬิกา โดยพัลส์ลูกแรกจะใช้ในการรีเซ็ตรีจิสเตอร์ภายใน สุดท้ายคุณภาพของระบบจะขึ้นอยู่กับคุณภาพของ DAC ในระบบเป็นอย่างยิ่ง

4.11.3 Parallel (Flash) ADC

สำหรับการแปลงสัญญาณที่ต้องการความเร็วสูงมาก ๆ เช่นการแปลงสัญญาณภาพโทรทัศน์เรดาห์ จำเป็นต้องใช้ ADC แบบพิเศษที่เรียกว่า Parallel ADC ซึ่งแสดงบล็อกไดอะแกรมรูปที่ 4.23 หลักการทำงานคือ จะใช้คอมพาราเตอร์ทำการเปรียบเทียบสัญญาณอนาลอกอินพุตกับแรงดันอ้างอิงที่แบ่งแรงดันให้สอดคล้องกับรหัสดิจิตอล โดยใช้ตัวต้านทานแล้วแปลงเอาต์พุตจากคอมพาราเตอร์ให้ตรงกับรหัสดิจิตอล ซึ่งจะเห็นว่าอุปสรรคทางด้านความเร็วจะถูกจำกัดเพียง Propagation time ของคอมพาราเตอร์เท่านั้น แต่อุปสรรคที่สำคัญต่อการพัฒนาวงจรชนิดนี้บนไอซี คือ วงจรนี้ต้องการคอมพาราเตอร์ถึง 2^n-1 ตัว สำหรับ ADC 1 ตัว แต่ก็ได้ ADC ชนิดที่ทำงานรวดเร็วที่สุดเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.23 บล็อกไดอะแกรมแสดง Parallel ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบฮาร์ดแวร์

ในการนำการติดต่อสื่อสารแบบอนุกรมไปประยุกต์ใช้งานในระบบควบคุม จะมีการทำงานดังรูปที่ 5.1 โดยมีเครื่องคอมพิวเตอร์ทำหน้าที่เป็นคอนโทรลเลอร์ควบคุมกระบวนการทำงานทั้งหมดของระบบ ซึ่งคอมพิวเตอร์จะทำการติดต่อกับอุปกรณ์ภายนอกเพื่อตรวจสอบสัญญาณสถานะต่าง ๆ และส่งสัญญาณควบคุมออกไปยังอุปกรณ์ภายนอกได้ โดยผ่านอุปกรณ์เชื่อมต่อกระบวนการเป็นตัวเชื่อมต่อการติดต่อสื่อสารระหว่างคอมพิวเตอร์และอุปกรณ์ภายนอก

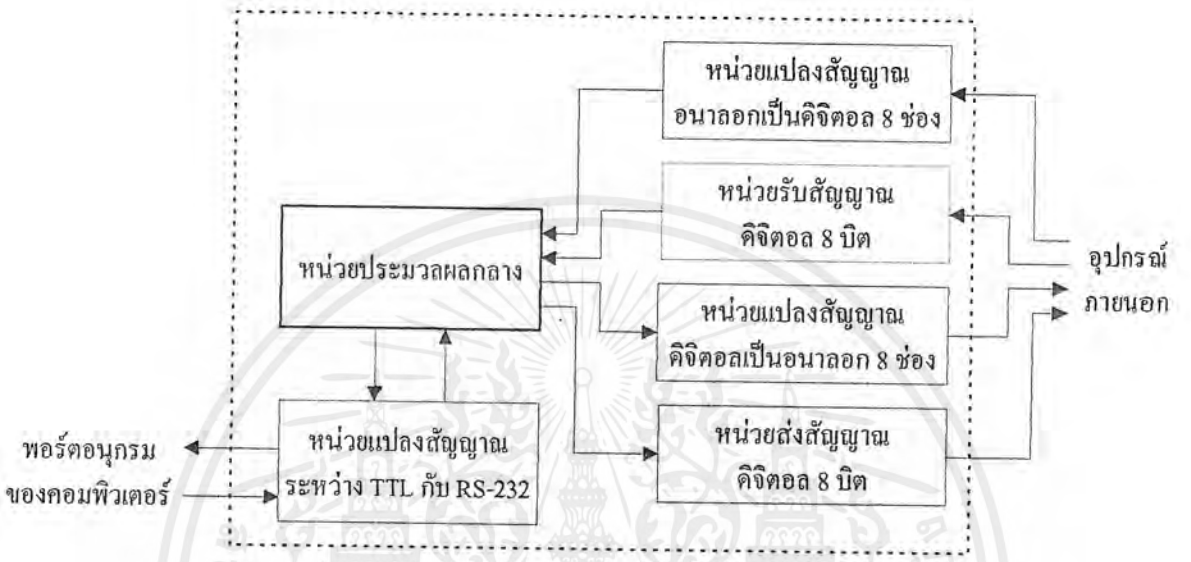
รูปที่ 5.1 แสดงการนำการสื่อสารแบบอนุกรมไปประยุกต์ใช้งานในระบบควบคุม

การที่จะนำการสื่อสารแบบอนุกรมไปประยุกต์ใช้งานได้ จำเป็นจะต้องทำการสร้างอุปกรณ์เชื่อมต่อกระบวนการที่ติดต่อ กับพอร์ตอนุกรมของคอมพิวเตอร์ขึ้นมา ซึ่งในโครงงานนี้มีจุดประสงค์ที่จะสร้างอุปกรณ์เชื่อมต่อกระบวนการที่ใช้ในงานควบคุมทั่วไป โดยผ่านทางพอร์ตอนุกรมของคอมพิวเตอร์ ทำหน้าที่เชื่อมต่อการติดต่อสื่อสารและแปลงรูปแบบของข้อมูลระหว่างคอมพิวเตอร์และอุปกรณ์ภายนอกในระบบที่ต้องการนำมาควบคุม ซึ่งได้กำหนดคุณสมบัติของโครงงานไว้ดังนี้

1. ทำการเชื่อมต่อกับคอมพิวเตอร์โดยผ่านทางพอร์ตอนุกรม
2. มีช่องรับสัญญาณอนาลอก 0-5 โวลต์ จำนวน 8 ช่อง
3. มีช่องส่งสัญญาณอนาลอก 0-5 โวลต์ จำนวน 8 ช่อง
4. มีช่องรับสัญญาณดิจิตอล ขนาด 8 บิต จำนวน 1 ช่อง
5. มีช่องรับสัญญาณดิจิตอล ขนาด 8 บิต จำนวน 1 ช่อง

จากคุณสมบัติที่ได้กำหนดไว้ นำมาใช้ในการออกแบบโครงงาน จะประกอบด้วยหน่วยการทำงานต่าง ๆ ดังรูปที่ 5.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 แสดงหน่วยการทำงานต่าง ๆ ภายในโครงงาน

5.1 หน่วยการทำงานต่าง ๆ ของอุปกรณ์

1. หน่วยประมวลผลกลาง

หน่วยประมวลผลกลางจะทำหน้าที่ควบคุมการทำงานของหน่วยการทำงานต่าง ๆ ในโครงงาน และทำหน้าที่ติดต่อสื่อสารแลกเปลี่ยนข้อมูลกับคอมพิวเตอร์ ซึ่งในโครงงานนี้ได้เลือกใช้ไอซีเบอร์ 89C51 ซึ่งเป็นไมโครคอนโทรลเลอร์ในตระกูล MCS-51 ซึ่งมีคุณสมบัติที่สามารถทำการติดต่อสื่อสารแบบอนุกรมได้หลายโหมดการทำงาน และสามารถกำหนดอัตราบอดในการสื่อสารได้หลายค่า โดยการกำหนดค่าในโปรแกรม และไอซีเบอร์ 89C51 มีพอร์ตให้ใช้งานหลายพอร์ตและสามารถเพิ่มเติมพอร์ตที่ใช้งานได้ ทำให้สะดวกในการนำไปเชื่อมต่อกับหน่วยการทำงานต่าง ๆ

2. หน่วยแปลงสัญญาณระหว่าง TTL และ RS-232

เนื่องจากคอมพิวเตอร์ใช้สัญญาณ RS-232 ในการติดต่อสื่อสารแบบอนุกรม และไมโครคอนโทรลเลอร์ 89C51 ใช้สัญญาณ TTL ในการติดต่อสื่อสารแบบอนุกรม ดังนั้นจึงต้องมีหน่วยการทำงานที่ทำหน้าที่แปลงระดับสัญญาณแบบ TTL ให้เป็นสัญญาณแบบ RS-232 และแปลงระดับสัญญาณแบบ RS-232 ให้เป็นสัญญาณแบบ TTL ซึ่งในวงจรนี้ได้เลือกใช้ไอซีเบอร์ MAX232 ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถทำการแปลงระดับสัญญาณแบบ TTL ให้เป็นสัญญาณแบบ RS-232 และแปลงระดับสัญญาณแบบ RS-232 ให้เป็นสัญญาณแบบ TTL ได้โดยต่ออุปกรณ์ภายนอกอีกไม่กี่ตัว ทำให้ง่ายในการออกแบบวงจร

3. หน่วยแปลงสัญญาณอนาลอกเป็นดิจิตอล 8 ช่อง

เนื่องจากได้กำหนดให้โครงงานสามารถรับสัญญาณอนาลอก 0-5 โวลต์ ได้ 8 ช่อง แต่คอมพิวเตอร์ต้องใช้สัญญาณแบบดิจิตอลในการทำงาน ดังนั้นจึงต้องมีหน่วยแปลงสัญญาณอนาลอกเป็นดิจิตอล ทำหน้าที่รับสัญญาณอนาลอก 0-5 โวลต์ แล้วแปลงเป็นสัญญาณดิจิตอล เพื่อส่งให้คอมพิวเตอร์นำไปใช้งานต่อไป ซึ่งในโครงงานนี้เราได้เลือกใช้ไอซีเบอร์ MX7828 ซึ่งมีวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล และวงจรมัลติเพล็กซ์ 8 ช่องในตัวเดียวกัน ทำให้ไม่ต้องเพิ่มวงจรมัลติเพล็กซ์ 8 ช่องอีก เหมือนกับการใช้วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลทั่ว ๆ ไป

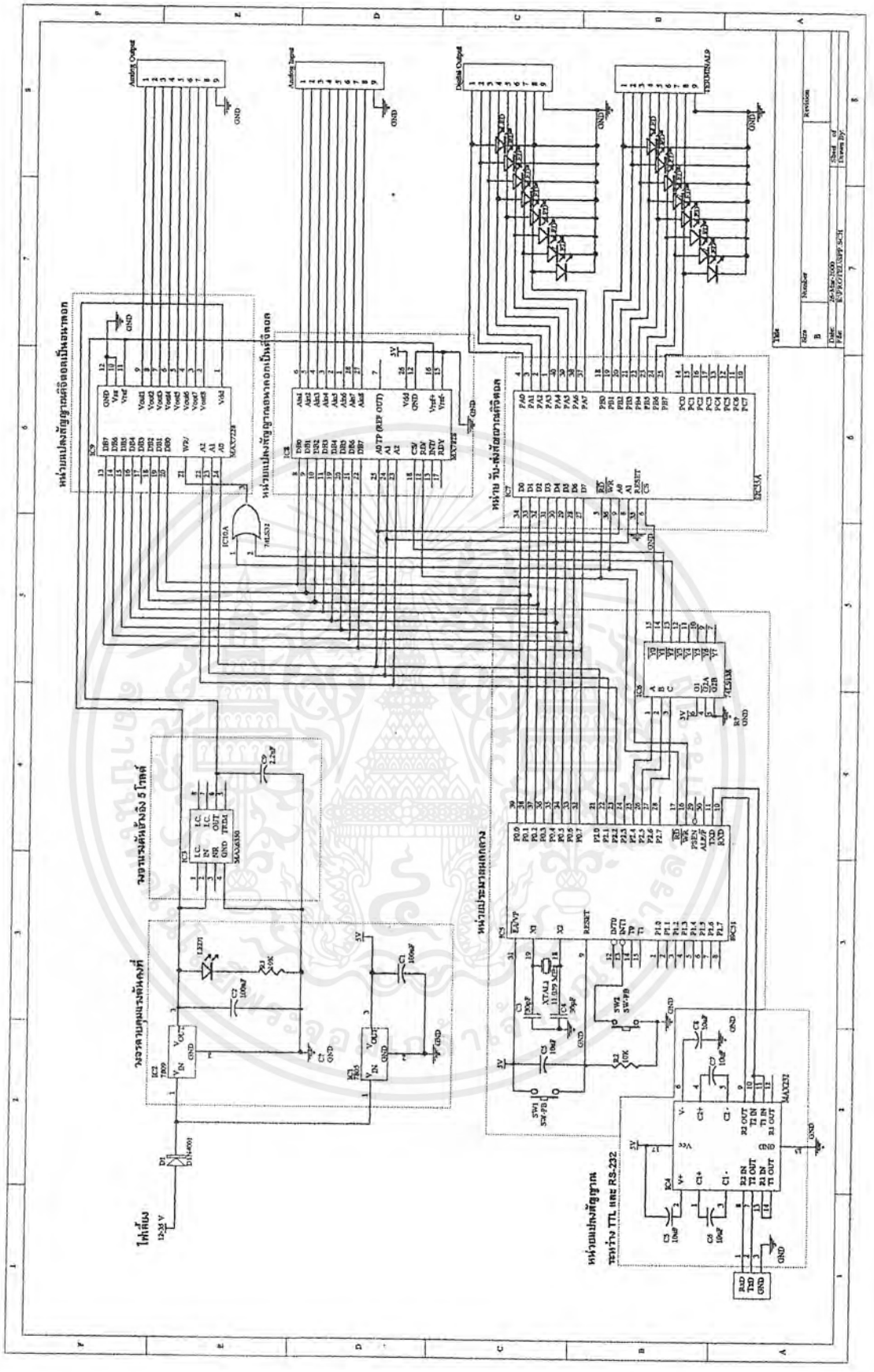
4. หน่วยแปลงสัญญาณดิจิตอลเป็นอนาลอก 8 ช่อง

เนื่องจากได้กำหนดให้โครงงานสามารถส่งสัญญาณอนาลอก 0-5 โวลต์ ได้ 8 ช่อง แต่คอมพิวเตอร์ต้องใช้สัญญาณแบบดิจิตอลในการทำงาน ดังนั้นจึงต้องมีหน่วยแปลงสัญญาณดิจิตอลเป็นอนาลอก ทำหน้าที่รับสัญญาณดิจิตอล แล้วแปลงเป็นสัญญาณอนาลอก 0-5 โวลต์ เพื่อส่งออกไปยังอุปกรณ์ภายนอกต่อไป ซึ่งในโครงงานนี้เราได้เลือกใช้ไอซีเบอร์ MAX7228 ซึ่งมีวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก และวงจรมัลติเพล็กซ์ 8 ช่องในตัวเดียวกัน ทำให้ไม่ต้องเพิ่มวงจรมัลติเพล็กซ์ 8 ช่องอีก เหมือนกับการใช้วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกทั่ว ๆ ไป

5. หน่วยรับ-ส่งสัญญาณดิจิตอล 8 บิต

เนื่องจากได้กำหนดให้โครงงานมีช่องรับสัญญาณดิจิตอล ขนาด 8 บิต จำนวน 1 ช่อง และช่องรับสัญญาณดิจิตอล ขนาด 8 บิต จำนวน 1 ช่อง แต่ว่าไมโครคอนโทรลเลอร์ 89C51 มีพอร์ตเหลือไม่พอที่จะทำหน้าที่ดังกล่าว เพราะต้องนำไปติดต่อกับหน่วยการทำงานต่าง ๆ แล้ว จึงต้องเพิ่มหน่วยรับ-ส่งสัญญาณดิจิตอล 8 บิต เพื่อทำหน้าที่ติดต่อรับ-ส่งสัญญาณดิจิตอลกับอุปกรณ์ภายนอก ซึ่งในโครงงานนี้ได้เลือกใช้ไอซีเบอร์ 82C55 ซึ่งมีพอร์ตดิจิตอล 3 พอร์ตและมีคุณสมบัติที่เข้ากันได้กับไมโครโปรเซสเซอร์ (Microprocessor Compatible) จึงนำมาใช้กับไมโครคอนโทรลเลอร์ 89C51 ได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



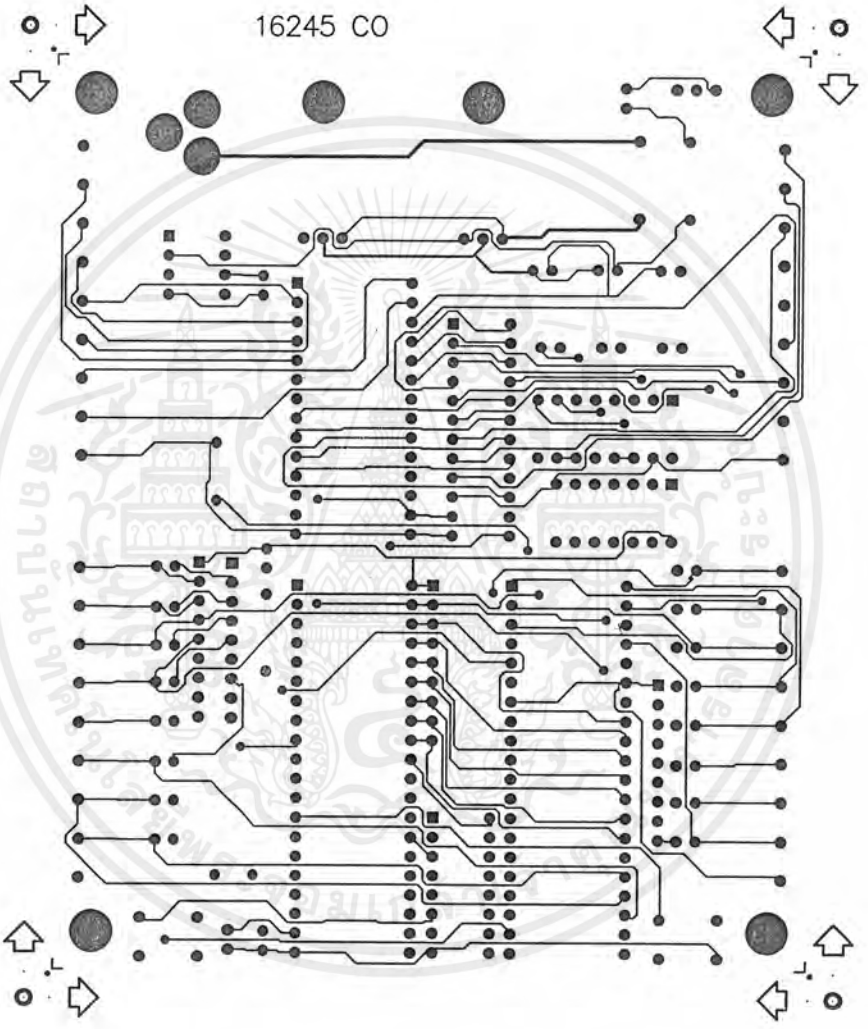
รูปที่ 5.3 วงจรสมบูรณ์ของโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 หลักการทำงาน

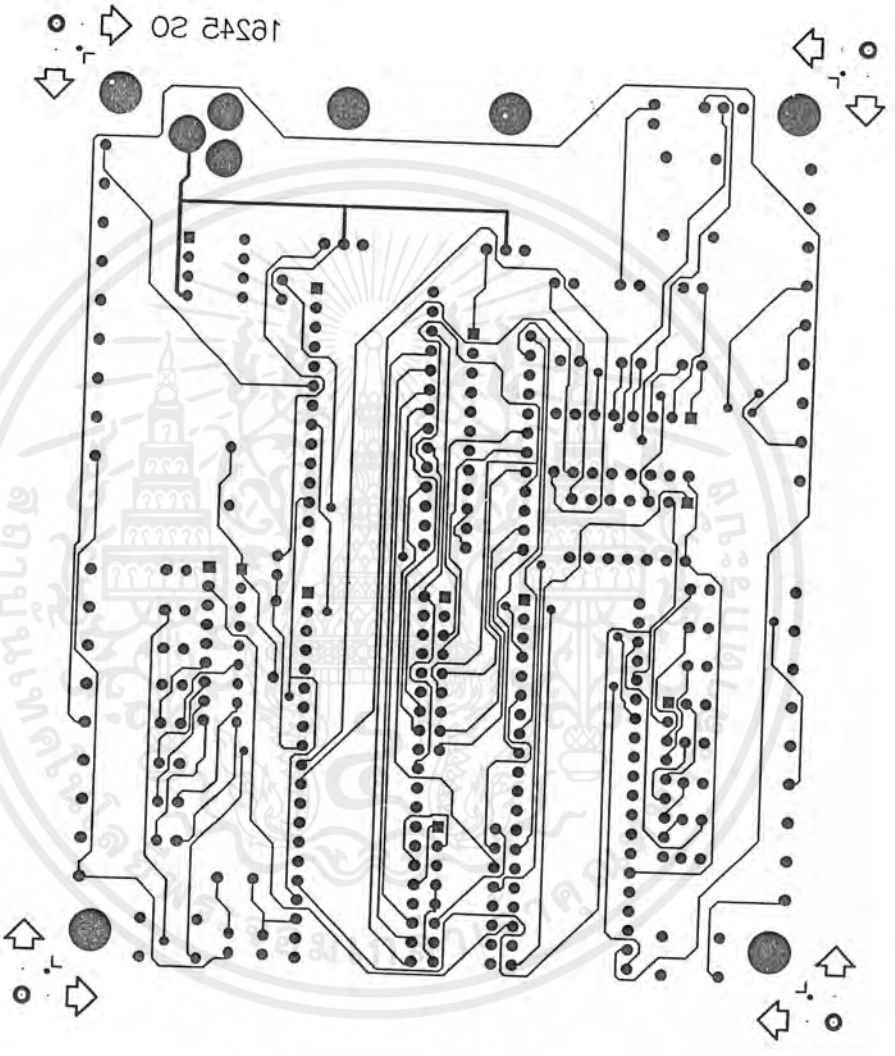
เมื่อนำหน่วยการทำงานต่าง ๆ ที่ได้ออกแบบไว้มารวมกันเป็นวงจรจะได้วงจรสมบูรณ์ของโครงงานดังรูปที่ 5.3 โดยมีหลักการทำงานดังนี้คือ ป้อนไฟเลี้ยงให้กับวงจรได้ตั้งแต่ 12-35 โวลต์ กระแสไฟจะวิ่งผ่านไดโอด D1 ที่ยอมให้กระแสไฟไหลผ่านได้ทางเดียว เพื่อป้องกันการจ่ายไฟเลี้ยงผิดขั้ว หลังจากนั้นไฟเลี้ยงจะไหลผ่านวงจรควบคุมแรงดันคงที่ ซึ่งทำหน้าที่ควบคุมแรงดันให้เป็น 5 โวลต์ และ 9 โวลต์ โดย IC1 7805 และ IC2 7809 ตามลำดับ เพื่อใช้ในการทำงานของหน่วยการทำงานต่าง ๆ ในวงจร โดยมี C1 และ C2 ทำหน้าที่กรองแรงดันให้เรียบมากขึ้น ถ้าหาก IC2 7809 ทำงานจะทำให้ LED1 สว่างเพื่อใช้บอกสถานะของไฟเลี้ยง โดยมี R1 ทำหน้าที่แบ่งแรงดันและจำกัดกระแสไฟให้กับ LED1 สำหรับ IC5 89C51 ทำหน้าที่เป็นหน่วยประมวลผลกลาง ทำหน้าที่ควบคุมการทำงานในหน่วยการทำงานต่าง ๆ ตามที่ได้เขียนโปรแกรมไว้ และทำหน้าที่ติดต่อสื่อสารกับคอมพิวเตอร์ผ่านหน่วยแปลงสัญญาณระหว่าง TTL และ RS-232 ซึ่งประกอบด้วย IC4 MAX232, C5, C6, C7 และ C8 สำหรับหน่วยแปลงสัญญาณอนาลอกเป็นดิจิตอล ใช้ IC8 MX7828 ทำหน้าที่รับสัญญาณอนาลอกจากอุปกรณ์ภายนอก แล้วแปลงเป็นสัญญาณดิจิตอลส่งให้กับหน่วยประมวลผลกลาง สำหรับหน่วยแปลงสัญญาณดิจิตอลเป็นอนาลอก ใช้ IC9 MAX7228 ทำหน้าที่รับสัญญาณข้อมูลดิจิตอลจากหน่วยประมวลผลกลาง แล้วแปลงเป็นสัญญาณอนาลอกส่งไปยังอุปกรณ์ภายนอก โดยมี IC3 MAX6350 ทำหน้าสร้างแรงดันอ้างอิง 5 โวลต์ให้กับหน่วยแปลงสัญญาณอนาลอกเป็นดิจิตอล และหน่วยแปลงสัญญาณดิจิตอลเป็นอนาลอก เพื่อเป็นแรงดันอ้างอิงในการแปลงสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



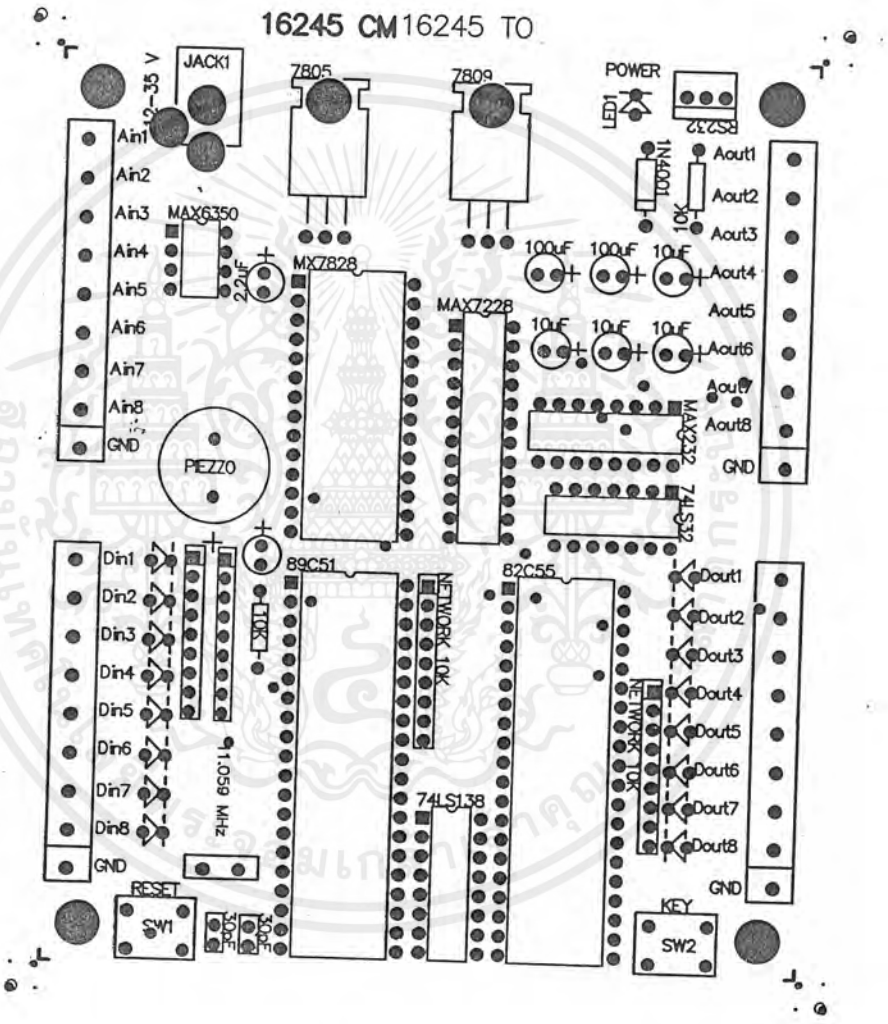
รูปที่ 5.4 ลายทองแดงบนแผ่นปริ๊นท์ด้าน Top

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 ลายทองแดงบนแผ่นปริ๊นท์ด้าน Bottom

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.6 ตำแหน่งการวางอุปกรณ์บนแผ่นปริ๊นท์

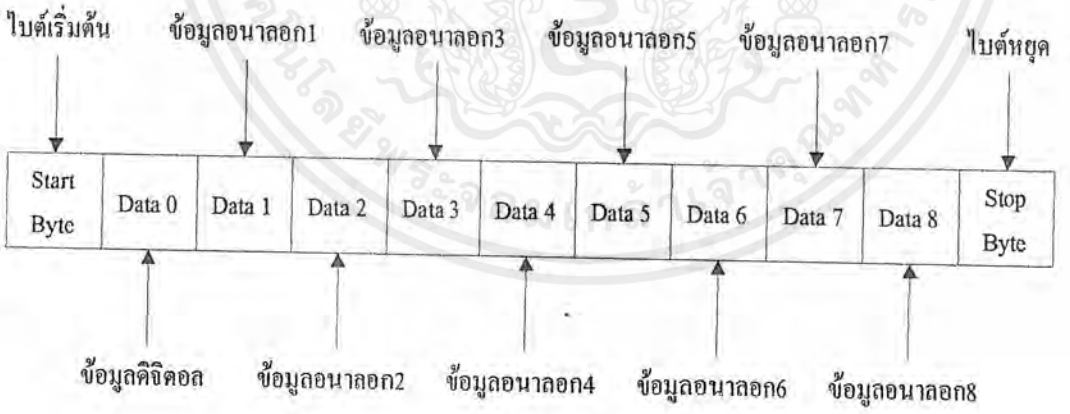
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
การออกแบบซอฟท์แวร์

หลังจากที่ได้สร้างฮาร์ดแวร์ของโครงงานเสร็จเรียบร้อยแล้ว ยังไม่สามารถนำโครงงานไปใช้งานได้ทันที จำเป็นจะต้องเขียนโปรแกรมให้กับไมโครคอนโทรลเลอร์ 89C51 ในหน่วยประมวลผลกลาง เพื่อกำหนดหน้าที่และลำดับการทำงานของโครงงานเสียก่อน ซึ่งลำดับการทำงาน มีดังรูปที่ 6.2

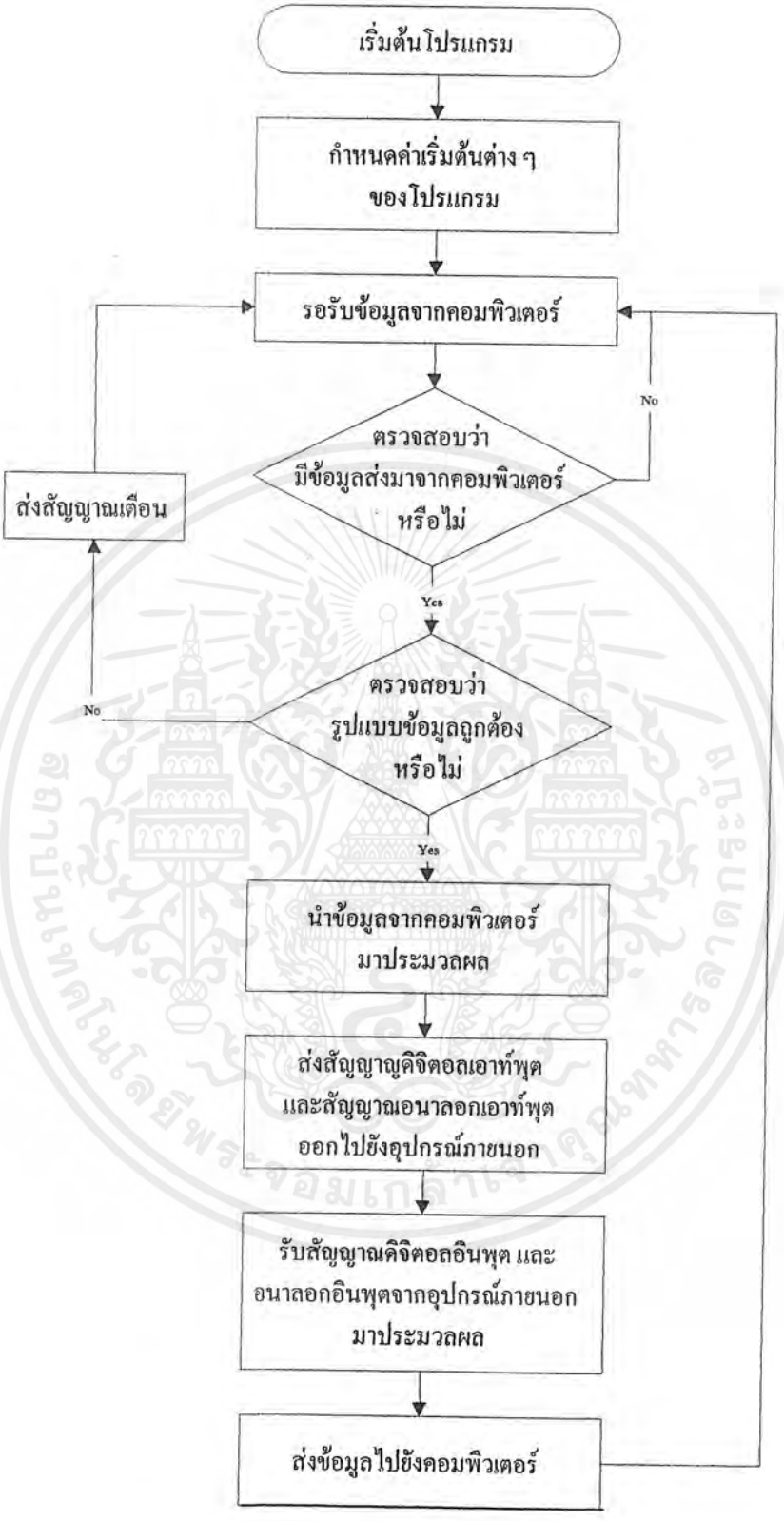
และเนื่องจากการติดต่อผ่านพอร์ตอนุกรมไม่สามารถส่งข้อมูลจำนวนมากไปพร้อม ๆ กันได้ แต่ว่าโครงงานจำเป็น จะต้องส่งข้อมูลสัญญาณดิจิตอลอินพุตและสัญญาณอนาลอกอินพุตจำนวน 8 ช่องที่ได้รับจากอุปกรณ์ภายนอกไปยังคอมพิวเตอร์ และโครงงานจำเป็นจะต้องรับข้อมูลสัญญาณดิจิตอลเอาท์พุตและสัญญาณอนาลอกเอาท์พุตจำนวน 8 ช่องที่ได้รับจากคอมพิวเตอร์ไปยังอุปกรณ์ภายนอก จึงต้องมีการกำหนดมาตรฐานในการติดต่อสื่อสาร (Protocol) ขึ้นมาในการติดต่อสื่อสารระหว่างโครงงานและคอมพิวเตอร์ให้สามารถทำการติดต่อสื่อสารกันได้อย่างถูกต้อง

ซึ่งมาตรฐานที่กำหนดขึ้นมา จะเป็นชุดข้อมูลที่ประกอบด้วยข้อมูลจำนวน 11 ไบต์ โดยมีไบต์แรกเป็นไบต์เริ่มต้น (Start Byte) เป็นตัวบอกจุดเริ่มต้นของข้อมูล ไบต์ที่ 2 เป็นข้อมูลของพอร์ตดิจิตอล ไบต์ที่ 3-10 เป็นข้อมูลของพอร์ตอนาลอก 1-8 ตามลำดับ และไบต์สุดท้ายเป็นไบต์หยุด (Stop Byte) เป็นตัวบอกจุดสุดท้ายของข้อมูล ดังรูปที่ 6.1



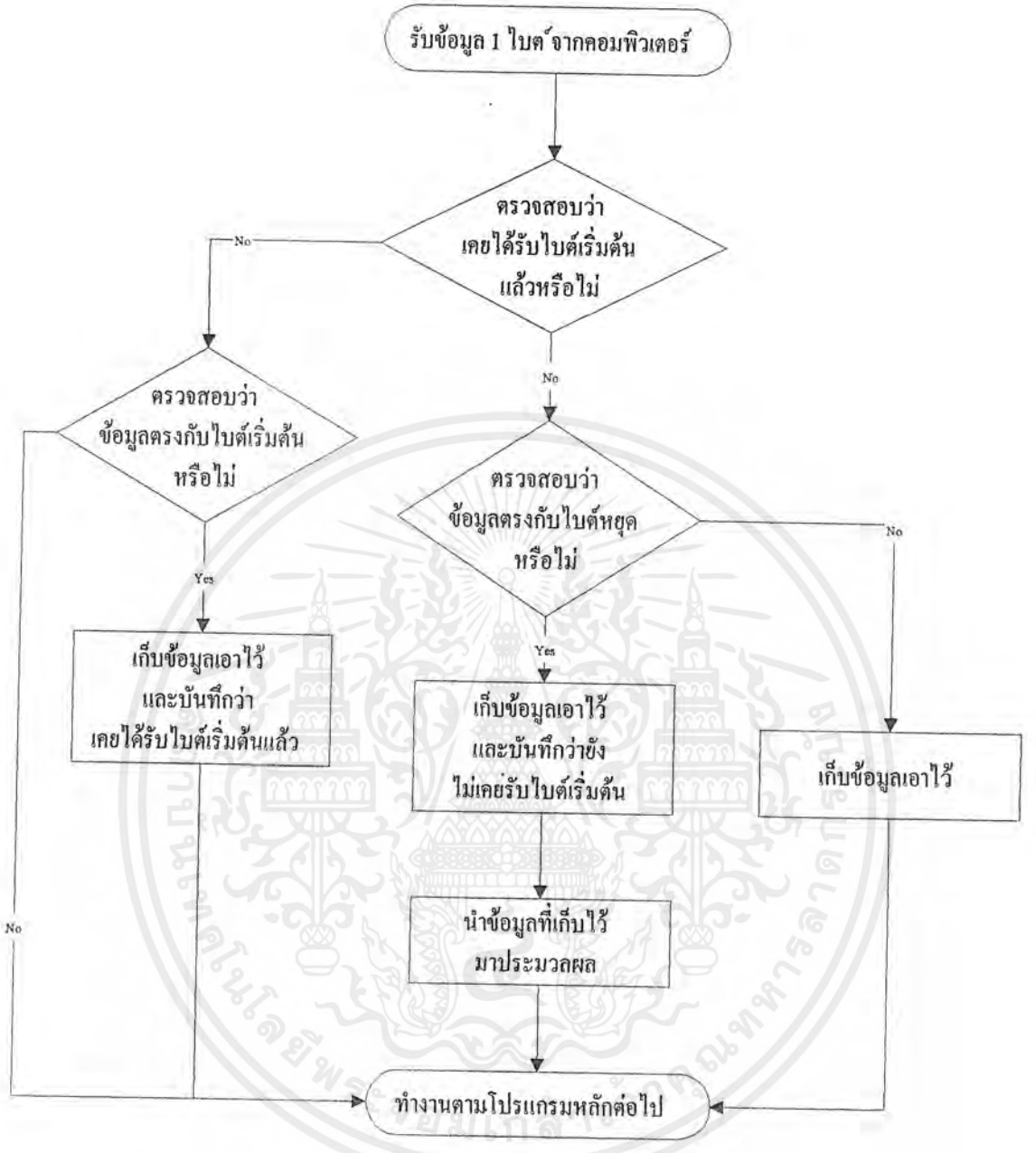
รูปที่ 6.1 แสดงรูปแบบมาตรฐานของข้อมูลที่ใช้ในการติดต่อผ่านพอร์ตอนุกรม ระหว่าง โครงงานและคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 โฟลว์ชาร์ทแสดงการทำงานของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.3 โฟลว์ชาร์ทแสดงการทำงานในการรับข้อมูลจากคอมพิวเตอร์

โดยในการติดต่อสื่อสารระหว่างคอมพิวเตอร์ไปยังโครงงาน และโครงงานไปยังคอมพิวเตอร์ จะใช้มาตรฐานในการติดต่อรับส่งชุดข้อมูลแบบเดียวกันตามมาตรฐานที่กำหนดไว้ แต่ในการนำโครงงานไปใช้งาน จะมีการกำหนดว่า ถ้าเป็นชุดข้อมูลที่โครงงานส่งไปยังคอมพิวเตอร์ จะเป็นข้อมูลของพอร์ตดิจิตอล และพอร์ตอนาลอก 1-8 ทางด้านอินพุต และชุดข้อมูลที่โครงงานรับมาจากคอมพิวเตอร์ จะเป็นข้อมูลของพอร์ตดิจิตอล และพอร์ตอนาลอก 1-8 ทางด้านเอาท์พุต ดังการทำงานของโปรแกรมตามโฟลว์ชาร์ทในรูปที่ 6.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากมาตรฐานที่กำหนดไว้ของรูปแบบชุดข้อมูลที่ใช้ในการติดต่อสื่อสาร มีการสื่อสารข้อมูลจำนวน 11 ไบต์ใน 1 ชุดข้อมูล และต้องมีการตรวจสอบด้วยว่าชุดข้อมูลนั้น มีรูปแบบถูกต้องตามมาตรฐานที่ได้กำหนดไว้หรือไม่ แต่ว่าไมโครคอนโทรลเลอร์ 89C51 ที่นำมาใช้เป็นหน่วยประมวลผลกลางของโครงงานนั้น สามารถรับข้อมูลผ่านทางพอร์ตอนุกรมได้เพียงครั้งละ 1 ไบต์เท่านั้น จึงจำเป็นจะต้องเขียนโปรแกรมในการจัดเก็บข้อมูลที่ได้รับจากคอมพิวเตอร์ และนำชุดข้อมูลที่จัดเก็บได้นั้น มาตรวจสอบว่ามีรูปแบบของข้อมูลที่ถูกต้องตามมาตรฐานที่กำหนดไว้หรือไม่ หลังจากนั้นจึงจะนำข้อมูลนั้นไปประมวลผลต่อไป

หลังจากที่ได้แนวความคิดในการออกแบบซอฟท์แวร์มาแล้ว จึงนำแนวความคิดนั้นมาเขียนเป็นโปรแกรมให้กับไมโครคอนโทรลเลอร์ 89C51 ทำหน้าที่ติดต่อสื่อสารกับคอมพิวเตอร์ผ่านทางพอร์ตอนุกรม และควบคุมการทำงานหน่วยการทำงานต่างๆ ให้ทำหน้าที่ต่าง ๆ ได้ตามต้องการ ซึ่งมีรายละเอียดของโปรแกรมต้นฉบับ (Source Code) อยู่ในภาคผนวกท้ายรายงานเล่มนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
วิจารณ์และสรุปผล

7.1 ผลการทดลอง

สำหรับวงวรนี้เราใช้ไอซีเบอร์ DAC MX7828 ซึ่งจะทำการแปลงสัญญาณดิจิตอลขนาด 8 บิตให้เป็นสัญญาณอนาลอกได้ครั้งละ 1 ช่องซึ่งสามารถเลือกได้ 8 ช่องสัญญาณ ซึ่งกำหนดได้ด้วยสัญญาณที่ขา A0 ,A1 และ A2 กล่าวคือแปลงข้อมูลดิจิตอล 0 ถึง 255 ให้เป็นสัญญาณอนาลอกที่มีแรงดัน 0 ถึง 5 V โดยการทดลองทำการป้อนลอจิกต่างๆเข้าใน DAC MX7828 แล้ววัดเอาต์พุตโวลต์เตจ จากดิจิตอลมิเตอร์ ซึ่งให้ผลการทดลองดังตารางที่ 7.1

ตารางที่ 7.1 ผลการทดลองวงจร DAC

Input Digital (D0-D7)	Output Voltage (จากการวัด)	Output Voltage (จากการคำนวณ)	% ค่าผิดพลาด (%)
0000 0000	0.02	0	+0.02
0001 0001	0.34	0.33	+3.03
0010 0010	0.68	0.667	+1.95
0011 0011	1.01	1	+1.0
0100 0100	1.34	1.33	-0.75
0101 0101	1.68	1.667	+0.78
0110 0110	2.01	2	+0.5
0111 0111	2.34	2.33	+0.45
1000 1000	2.67	2.667	+0.11
1001 1001	3.00	3	0
1010 1010	3.33	3.33	0
1011 1011	3.66	3.667	-0.2
1100 1100	3.99	4	-0.25
1101 1101	4.33	4.33	0
1110 1110	4.66	4.667	-0.15
1111 1111	4.99	5	-0.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองจะเห็นว่า DAC MX7828 มีค่าความผิดพลาดสูงสุดประมาณ 3 เปอร์เซ็นต์ ซึ่งเป็นค่าที่ยอมรับได้ ค่าผิดพลาดที่เกิดขึ้นอาจจะน้อยกว่านี้ถ้าเครื่องมือวัดมีคุณภาพและความแม่นยำสูงกว่านี้

สำหรับวงจร ADC MAX7228 เป็นไอซีแปลงสัญญาณอนาลอกเป็นดิจิตอลขนาด 8 บิต ซึ่งสามารถเลือกสัญญาณอนาลอกได้ 8 ช่องสัญญาณ โดยการกำหนดสัญญาณที่ขา A0 ,A1 และ A2 ซึ่งได้ทำการทดลองโดยการป้อนระระดับแรงดันต่างๆเข้าไปในตัวอุปกรณ์และอ่านค่าสัญญาณเอาต์พุตดิจิตอลจากโปรแกรมทดสอบ ผลการทดลองดังตารางที่ 7.2

ตารางที่ 7.2 ผลการทดลองของ ADC

Input Voltage (V)	ผลการทดลอง	ค่าจากการคำนวณ	% ค่าผิดพลาด (%)
0	0000 0000	0000 0000	0
0.33	0001 0001	0001 0001	0
0.667	0010 0010	0010 0001	3.03
1.0	0011 0011	0011 010	2.0
1.33	0100 0100	0100 0100	0
1.667	0101 0101	0101 0100	1.19
2.0	0110 0110	0110 0110	0
2.33	0111 0111	0111 0111	0
2.667	1000 1000	1000 1000	0
3.0	1001 1001	1001 1000	0.66
3.33	1010 1010	1010 1010	0
3.667	1011 1011	1011 1011	0
4.0	1100 1100	1100 1101	0.49
4.33	1101 1101	1101 1110	0.45
4.667	1110 1110	1110 1110	0
5.0	1111 1111	1111 1111	0

จากผลการทดลองพบว่า ACD MAX7228 ให้ค่าความผิดพลาดสูงสุดประมาณ 3 เปอร์เซ็นต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2 สรุปและวิจารณ์

โครงงานการติดต่อผ่านพอร์ตอนุกรมสำหรับงานระบบควบคุม ได้ศึกษาและทำการทดลอง โดยแบ่งออกเป็นสองส่วน คือ ส่วนของฮาร์ดแวร์ และส่วนของซอฟท์แวร์

1. ฮาร์ดแวร์ประกอบด้วยหน่วยการทำงานต่างๆดังนี้

1. หน่วยประมวลผลกลาง
2. หน่วยแปลงสัญญาณระหว่าง TTL และ RS-232
3. หน่วยแปลงสัญญาณอนาลอกเป็นดิจิตอล 8 ช่อง
4. หน่วยแปลงสัญญาณดิจิตอลเป็นอนาลอก 8 ช่อง
5. หน่วยรับ-ส่งสัญญาณดิจิตอล 8 บิต

2. ซอฟท์แวร์ ที่ใช้ประกอบด้วย 2 ส่วน ดังนี้

1. ซอฟท์แวร์สำหรับหน่วยประมวลผลกลางของโครงงาน ใช้ภาษาแอสเซมบลีของ ไมโครคอนโทรลเลอร์ตระกูล MCS-51
2. ซอฟท์แวร์ที่ใช้ในการควบคุม ใช้ภาษาเดลไฟล์

ปัญหาที่พบในการทำโครงงาน

ในการศึกษาค้นคว้าหาข้อมูลค่อนข้างลำบาก เนื่องจากข้อมูลที่ใช้ต้องใช้ความรู้เรื่องต่างๆหลายเรื่อง ซึ่งแหล่งข้อมูลต่างๆ มีข้อมูลในแต่ละส่วนไม่ละเอียดมากนัก ไม่สามารถนำมาใช้งานได้ทันที เป็นเหตุให้ต้องหาข้อมูลจากหลายๆแหล่งและในบางครั้งต้องทำการทดลองเพื่อหาข้อมูล

เนื่องจากพอร์ตอนุกรมมีความเร็วในการติดต่อสื่อสารค่อนข้างจำกัด จึงไม่เหมาะกับงานควบคุมที่ใช้ ความเร็วมาก

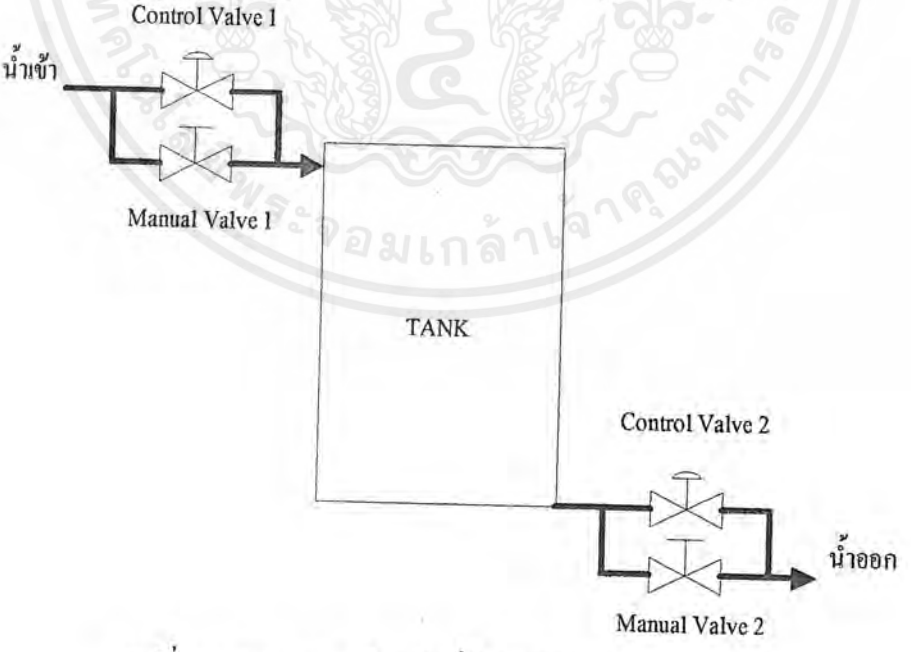
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8
การประยุกต์ใช้งาน

การนำโครงงานนี้ไปประยุกต์ใช้งานควบคุมอุปกรณ์ภายนอกในระบบใด ๆ ก็ตามนั้น จะต้องนำโครงงานนี้ ไปใช้งานร่วมกับคอมพิวเตอร์ จึงจะสามารถทำการควบคุมอุปกรณ์ภายนอกในระบบนั้น ๆ ได้ ดังนั้นในการนำโครงงานไปใช้งานในระบบใด ก็จำเป็นจะต้องทำการเขียนโปรแกรมให้คอมพิวเตอร์ทำการติดต่อสื่อสารกับโครงงาน เพื่อที่จะนำข้อมูลไปควบคุมอุปกรณ์ภายนอกในระบบได้ โดยการเขียนโปรแกรมสำหรับคอมพิวเตอร์นั้น สามารถเขียนด้วยภาษาคอมพิวเตอร์ภาษาใดก็ได้ ที่สามารถติดต่อกับพอร์ตอนุกรมของคอมพิวเตอร์ได้ เช่น ภาษาแอสเซมบลี ภาษาปาสคาล และ ภาษาซี เป็นต้น แต่ข้อมูลที่ใช้ในการติดต่อสื่อสารผ่านทางพอร์ตอนุกรมระหว่างคอมพิวเตอร์กับโครงงานนั้น จะต้องมีรูปแบบของข้อมูลตามมาตรฐานที่ได้กำหนดไว้ในบทที่ 6 จึงจะสามารถนำโครงงานนี้ไปใช้งานได้

8.1 ตัวอย่างการประยุกต์ใช้งาน

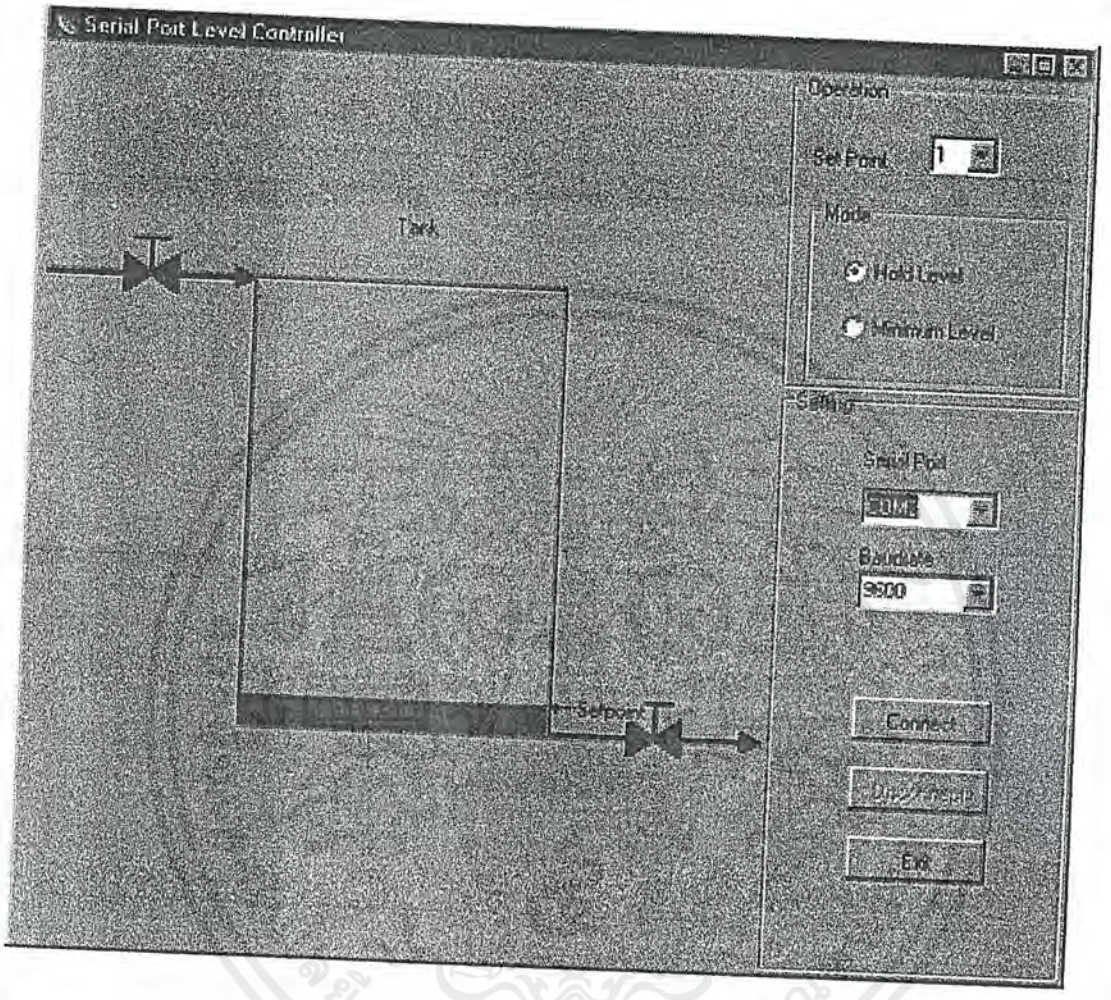
ในหัวข้อนี้ จะเป็นการยกตัวอย่างการนำโครงงานนี้ไปประยุกต์ใช้งาน เพื่อให้ผู้อ่านได้เข้าใจ ในการนำโครงงานนี้ไปประยุกต์ใช้งานมากยิ่งขึ้น โดยในตัวอย่างนี้ จะนำโครงงานนี้ไปใช้ในงานควบคุมระดับน้ำ ซึ่งมีส่วนประกอบต่าง ๆ ดังรูปที่ 8.1



รูปที่ 8.1 แสดงระบบตัวอย่างที่ต้องการควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการเขียนโปรแกรมสำหรับคอมพิวเตอร์ ได้ใช้โปรแกรมเดลไฟ เป็นเครื่องมือในการพัฒนาซอฟท์แวร์ ได้โปรแกรมที่มีชื่อว่า "Serial Port Level Controller" ดังรูปที่ 8.2 และมีรายละเอียดของโปรแกรมต้นฉบับ (Source Code) อยู่ในภาคผนวกท้ายรายงานเล่มนี้



รูปที่ 8.2 โปรแกรม Serial Port Level Controller

8.2 คุณสมบัติของโปรแกรม

1. ทำงานบนระบบปฏิบัติการ วินโดวส์ 95 ,วินโดวส์ 98 และ วินโดวส์ เอ็นที
2. ใช้ได้กับเครื่องคอมพิวเตอร์ตั้งแต่รุ่น 486 ขึ้นไป
3. สามารถเลือกพอร์ตอนุกรมได้ 4 พอร์ต คือ COM1, COM2, COM3 และ COM4
4. สามารถเลือกอัตราบอดได้ 8 ค่า คือ 300, 600, 1200, 2400, 4800, 9600, 14400 และ 19200
5. ไฟล์มีขนาด 360,448 ไบต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.3 การเตรียมอุปกรณ์

1. นำโครงงานมาเชื่อมต่อกับพอร์ตอนุกรมของคอมพิวเตอร์ ซึ่งเครื่องคอมพิวเตอร์ส่วนใหญ่จะมีพอร์ตอนุกรม 2 พอร์ต คือ พอร์ต COM1 และพอร์ต COM2 ให้เชื่อมต่อโครงงานกับพอร์ตอนุกรมพอร์ตไหนก็ได้ แต่ในการตัวอย่างนี้จะถือว่าโครงงานเชื่อมต่ออยู่กับพอร์ต COM2

2. นำโครงงานมาเชื่อมต่อกับระบบที่ต้องการควบคุม โดยต่อพอร์ต Ain1 ของโครงงานเข้ากับสัญญาณระดับน้ำของระบบ หลังจากนั้นต่อพอร์ต Dout1 ของโครงงานเข้ากับ Control Valve1 ของระบบ และต่อพอร์ต Dout2 ของโครงงานเข้ากับ Control Valve2 ของระบบ และต่อพอร์ต GND ของโครงงานเข้ากับกราวน์ของระบบ

3. เปิดเครื่องคอมพิวเตอร์ พร้อมทั้งจ่ายไฟให้กับโครงงานและระบบ

8.4 การใช้งานโปรแกรม

1. ทำการเรียกโปรแกรม Serial Port Level Controller ขึ้นมาด้วยการรันไฟล์ splc.exe ซึ่งจะมีหน้าตา ดังรูปที่ 8.2

2. ทำการเลือกพอร์ตอนุกรมในช่อง Serial Port ให้ตรงกับพอร์ตอนุกรมที่โครงงานเชื่อมต่ออยู่ ในที่นี้คือ พอร์ต COM2

3. ทำการเลือกอัตราความเร็วในการติดต่อแบบอนุกรมในช่องเลือก Baudrate ให้ตรงกับอัตราความเร็วที่ของโครงงาน ในที่นี้คือ Baudrate เท่ากับ 9600

4. ทำการตั้งค่าระดับน้ำที่ต้องการในช่อง Set Point ซึ่งสามารถเลือกระดับน้ำได้ 16 ระดับ ในที่นี้สมมติว่าเลือก Setpoint เท่ากับ 7 หลังจากนั้นเครื่องหมายลูกศรที่ชี้ตำแหน่ง Set Point จะเปลี่ยนตำแหน่ง ไปยังตำแหน่งที่ 7

5. เลือกโหมดการทำงานของโปรแกรม โดยโปรแกรม Serial Port Level Controller นี้มีโหมดการทำงานให้เลือก 2 โหมดคือ

1) *โหมด Hold Level* การทำงานในโหมดนี้ โปรแกรมจะพยายามควบคุมระบบให้มีระดับน้ำเท่ากับค่า Set Point ที่ตั้งไว้ โดยการปล่อยน้ำเข้าไปในถัง เมื่อระดับน้ำในถังมีระดับต่ำกว่าค่า Set Point ที่ตั้งไว้ และปล่อยน้ำออกจากถัง เมื่อระดับน้ำในถังมีระดับสูงกว่าค่า Set Point ที่ตั้งไว้

2) *โหมด Minimum Level* การทำงานในโหมดนี้ โปรแกรมจะถือว่าค่า Set Point เป็นค่าระดับน้ำที่น้อยที่สุด ที่จะต้องมีไว้ในถัง ซึ่งโปรแกรมจะพยายามรักษาระดับน้ำในถังให้ไม่น้อยกว่าไปกว่าระดับ Set Point นี้ โดยการปล่อยน้ำเข้าไปในถัง เมื่อระดับน้ำในถังมีระดับต่ำกว่าค่า Set Point ที่ตั้งไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. เมื่อกำหนดค่าต่าง ๆ ของโปรแกรมเรียบร้อยแล้ว และต้องการเริ่มต้นทำงาน ให้คลิ๊กที่ปุ่ม Connect เพื่อสั่งให้คอมพิวเตอร์ทำการติดต่อสื่อสารกับโครงงาน

7. เมื่อต้องการยกเลิกการทำงานของโปรแกรม ให้คลิ๊กที่ปุ่ม Disconnect เพื่อสั่งให้คอมพิวเตอร์ยกเลิกการติดต่อสื่อสารกับโครงงาน

8. เมื่อต้องการออกจากโปรแกรม ให้คลิ๊กที่ปุ่ม Exit เพื่อปิดโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] ยืน ภู่วรวรรณ "เทคโนโลยีฮาร์ดแวร์ไอบีเอ็มพีซี" บริษัท ซีเอ็ดยูเคชั่น จำกัด พ.ศ. 2533

[2] ธานินทร์ ถาวรศาสนวงศ์ "การอินเตอร์เฟส IBM/PC" PHYSIC CENTER

[3] พันจันทร์ ธนวัฒนเสถียร และคงสวัสดิ์ ลอรัตนเรื่องกิต "ไมโครโปรเซสเซอร์ ทฤษฎีและการประยุกต์ใช้งาน" บริษัท ซีเอ็ดยูเคชั่น จำกัด พ.ศ. 2537

[4] สุนทร วิทูสุรพจน์ "การใช้งานไมโครคอนโทรลเลอร์ ตระกูล 8051" บริษัท ซีเอ็ดยูเคชั่น จำกัด พ.ศ. 2533

[5] รศ. สมยศ จุณณะปิยะ "การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ตระกูล MCS-51" คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง พ.ศ. 2541

[6] ธีรวัฒน์ ประกอบผล "การประยุกต์ใช้งานไมโครคอนโทรลเลอร์" สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น) พ.ศ. 2540

[7] กิตติ องค์คุณารักษ์ "แอดวานซ์ แอสเซมบลี" บริษัท ซีเอ็ดยูเคชั่น จำกัด พ.ศ. 2537

[8] นุกูล กระจาย "การเขียนโปรแกรมและประมวลผลข้อมูลด้วยเทอร์โบปาสคาล" บริษัท เอช. เอ็น. กรุ๊ป จำกัด พ.ศ. 2537

[9] นุกูล กระจาย "การเขียนโปรแกรมแบบวิชวลด้วย Delphi4" บริษัท ซีเอ็ดยูเคชั่น จำกัด พ.ศ. 2542

[10] กนก กุสุมาลย์นุกูล และไกรวุฒิ มั่นเสถียรสิน "คู่มือการเขียนโปรแกรมด้วย Delphi4" บริษัท ซัสเซส มีเดีย จำกัด พ.ศ. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมควบคุมระดับน้ำ (Serial Port Level Controller)

ชื่อไฟล์ : splc.dpr

```
program splc;

uses
  Forms,
  mainform in 'mainform.pas' {Form1};

{$R *.RES}

begin
  Application.Initialize;
  Application.Title := 'Serial Port Level Controller';
  Application.CreateForm(TForm1, Form1);
  Application.Run;
end.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมควบคุมระดับน้ำ (Serial Port Level Controller)

ชื่อไฟล์ : mainform.pas

```
unit mainform;

interface

uses
  Windows, Messages, SysUtils, Classes, Graphics, Controls, Forms, Dialogs,
  ExtCtrls, StdCtrls, Buttons, Comms;

type
  TForm1 = class(TForm)
    ComPort: TComPort;
    Panel1: TPanel;
    GroupBox2: TGroupBox;
    Label1: TLabel;
    Label2: TLabel;
    SelectPort: TComboBox;
    Connect: TBitBtn;
    Disconnect: TBitBtn;
    Exit: TBitBtn;
    SelectBaudRate: TComboBox;
    GroupBox1: TGroupBox;
    SetBox: TComboBox;
    Label3: TLabel;
    RadioGroup1: TRadioGroup;
    HoldPoint: TRadioButton;
    MinPoint: TRadioButton;
    SetLabel: TLabel;
    procedure ExitClick(Sender: TObject);
    procedure ConnectClick(Sender: TObject);
    procedure DisconnectClick(Sender: TObject);
    procedure FormClose(Sender: TObject; var Action: TCloseAction);
    procedure ComPortRxChar(Sender: TObject; InQue: Integer);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    procedure FormResize(Sender: TObject);
    procedure FormShow(Sender: TObject);
    procedure FormPaint(Sender: TObject);
    procedure SetBoxChange(Sender: TObject);
    procedure Drawtank;
    procedure Drawsetpoint;
    procedure Drawlevel;
  private
    { Private declarations }
  public
    { Public declarations }
    procedure Data_Complete;
    procedure Data_Error;
  end;
const Step = 8;
var
  Form1: TForm1;
  Input_Start : Boolean;
  Dataout,Datain : string;
  Ain1,tanktop,tankbottom,tankleft,tankright : integer;
  Level,level2,Setpoint : byte;

implementation

{$R *.DFM}

procedure TForm1.ExitClick(Sender: TObject);
begin
    Close;

end;

procedure TForm1.ConnectClick(Sender: TObject);
begin
   if ComPort.Connected then ComPort.Close;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    if SelectPort.Text = 'COM1' then Comport.Port := COM1;
    if SelectPort.Text = 'COM2' then Comport.Port := COM2;
    if SelectPort.Text = 'COM3' then Comport.Port := COM3;
    if SelectPort.Text = 'COM4' then Comport.Port := COM4;
    if SelectBaudRate.Text = '110' then Comport.BaudRate := br110;
    if SelectBaudRate.Text = '300' then Comport.BaudRate := br300;
    if SelectBaudRate.Text = '600' then Comport.BaudRate := br600;
    if SelectBaudRate.Text = '1200' then Comport.BaudRate := br1200;
    if SelectBaudRate.Text = '2400' then Comport.BaudRate := br2400;
    if SelectBaudRate.Text = '4800' then Comport.BaudRate := br4800;
    if SelectBaudRate.Text = '9600' then Comport.BaudRate := br9600;
    If SelectBaudRate.Text = '14400' then Comport.BaudRate := br14400;
    if SelectBaudRate.Text = '19200' then Comport.BaudRate := br19200;
    ComPort.Open;
    Connect.Enabled := False;
    Disconnect.Enabled := True;
    Input_Start := False;
    Datain := '';
    ComPort.WriteString('5'+chr(255)+'□□□□□□□□□S', True);
end;

procedure TForm1.DisconnectClick(Sender: TObject);
begin
    ComPort.Close;
    Disconnect.Enabled := False;
    Connect.Enabled := True;
end;

procedure TForm1.FormClose(Sender: TObject; var Action: TCloseAction);
begin
    if ComPort.Connected then ComPort.Close;
end;

procedure TForm1.ComPortRxChar(Sender: TObject; InQue: Integer);
var
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  Str : String;
begin
    ComPort.ReadString(Str, InQue, True);
    if Length(Str) > 0 then
    begin
    if not Input_Start then
      begin
        if Str[1] = '5' then
        begin
          Input_Start := True;
          Datain := Str;
          if (length(Datain) >= 11) then
            if Datain[11] <> 'S' then Data_Error else Data_Complete;
        end
      end
    else
      begin
        Datain := Datain + Str;
        if (length(Datain) >= 11) then
          if Datain[11] <> 'S' then Data_Error else Data_Complete;
      end;
    end;
end;


procedure TForm1.Data_Error;
begin
    Input_Start := False;
    ComPort.WriteString('5'+chr(255)+'□□□□□□□□S', True);
end;

procedure TForm1.Data_Complete;
begin
    Input_Start := False;
    Ain1 := ord(Datain[3]);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    if (0 <= Ain1) and (Ain1 < 5) then level2 := 1;
    if (12 < Ain1) and (Ain1 < 22) then level2 := 2;
    if (28 < Ain1) and (Ain1 < 36) then level2 := 3;
    if (44 < Ain1) and (Ain1 < 52) then level2 := 4;
    if (60 < Ain1) and (Ain1 < 68) then level2 := 5;
    if (76 < Ain1) and (Ain1 < 84) then level2 := 6;
    if (92 < Ain1) and (Ain1 < 100) then level2 := 7;
    if (108 < Ain1) and (Ain1 < 116) then level2 := 8;
    if (124 < Ain1) and (Ain1 < 132) then level2 := 9;
    if (140 < Ain1) and (Ain1 < 148) then level2 := 10;
    if (156 < Ain1) and (Ain1 < 164) then level2 := 11;
    if (172 < Ain1) and (Ain1 < 180) then level2 := 12;
    if (188 < Ain1) and (Ain1 < 196) then level2 := 13;
    if (204 < Ain1) and (Ain1 < 212) then level2 := 14;
    if (220 < Ain1) and (Ain1 < 228) then level2 := 15;
    if (236 < Ain1) and (Ain1 <= 245) then level2 := 16;

    if level2 <> level then
    begin
        level := level2;
        Drawlevel;
    end;

    level := level2;

    if Setpoint = level then ComPort.WriteString('5'+chr(255)+'□□□□□□□□S',
True);
    if Setpoint > level then ComPort.WriteString('5'+chr(254)+'□□□□□□□□S',
True);
    if not Holdpoint.Checked then ComPort.WriteString('5'+chr(255)+'□□□□□□□□
S', True)
      else if Setpoint < level then ComPort.WriteString('5'+chr(253)+'□□□□□□□□
S', True);

end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
procedure TForm1.FormShow(Sender: TObject);
begin
    Level := 1;
    Setpoint := 1;
    GroupBox1.Height := round(Form1.Clientheight*0.35);
    GroupBox2.Height := round(Form1.Clientheight*0.65);
end;

procedure TForm1.FormResize(Sender: TObject);
begin
    Refresh();
    Formpaint(Form1);
    GroupBox1.Height := round(Form1.Clientheight*0.35);
    GroupBox2.Height := round(Form1.Clientheight*0.65);
end;

procedure TForm1.FormPaint(Sender: TObject);
begin
    Drawtank;
    Drawsetpoint;
    Drawlevel;
end;

procedure TForm1.SetBoxChange(Sender: TObject);
begin
    Setpoint := strtoint(SetBox.Text);
    Drawsetpoint;
end;

procedure TForm1.Drawtank;
var x,y : integer;
begin

   x := ((Form1.ClientWidth-142) div 2)-15;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    y := Form1.ClientHeight div 2;
    tanktop := y-16*step;
    tankbottom := y+16*step;
    tankleft := x-90;
    tankright := x+90;

    Canvas.Pen.Width := 1;
    Canvas.Pen.Color := clBlack;
    Canvas.MoveTo(tankleft-1,tanktop-1);
    Canvas.LineTo(tankleft-1,tankbottom+1);
    Canvas.LineTo(tankright+1,tankbottom+1);
    Canvas.LineTo(tankright+1,tanktop-1);
    Canvas.LineTo(tankleft-1,tanktop-1);

    Canvas.Pen.Width := 3;
    Canvas.MoveTo(tankleft-122,tanktop);
    Canvas.LineTo(tankleft-2,tanktop);
    Canvas.MoveTo(tankright+2,tankbottom);
    Canvas.LineTo(tankright+122,tankbottom);

    Canvas.Pen.Width := 2;
    Canvas.Brush.Color := clBlack;
    Canvas.MoveTo(tankleft-62,tanktop);
    Canvas.LineTo(tankleft-62,tanktop-20);
    Canvas.MoveTo(tankleft-52,tanktop-20);
    Canvas.LineTo(tankleft-72,tanktop-20);
    Canvas.Polygon([point(tankleft-2,tanktop),point(tankleft-12,tanktop-5),point(tankleft-
12,tanktop+5)]);
    Canvas.Polygon([point(tankleft-62,tanktop),point(tankleft-77,tanktop-10),point(tankleft-
77,tanktop+10)]);
    Canvas.Polygon([point(tankleft-62,tanktop),point(tankleft-47,tanktop-10),point(tankleft-
47,tanktop+10)]);

    Canvas.MoveTo(tankright+62,tankbottom);
    Canvas.LineTo(tankright+62,tankbottom-20);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    Canvas.MoveTo(tankright+52,tankbottom-20);
    Canvas.LineTo(tankright+72,tankbottom-20);
    Canvas.Polygon([point(tankright+122,tankbottom),point(tankright+112,tankbottom-
5),point(tankright+112,tankbottom+5)]);
    Canvas.Polygon([point(tankright+62,tankbottom),point(tankright+47,tankbottom-
10),point(tankright+47,tankbottom+10)]);
    Canvas.Polygon([point(tankright+62,tankbottom),point(tankright+77,tankbottom-
10),point(tankright+77,tankbottom+10)]);

    Canvas.Brush.Color := clBtnFace;
    Canvas.TextOut(x-10,tanktop-40,'Tank');
end;

procedure TForm1.Drawsetpoint;
begin
    Canvas.Pen.Width := 1;

    Canvas.Pen.Color := clBtnFace;
    Canvas.Brush.Color := clBtnFace;
    Canvas.Rectangle(tankright+2,tanktop-10,tankright+18,tankbottom-5);

    Canvas.Pen.Color := clred;
    Canvas.MoveTo(tankright+17,tankbottom-setpoint*2*step);
    Canvas.LineTo(tankright+2,tankbottom-setpoint*2*step);
    Canvas.LineTo(tankright+5,tankbottom-setpoint*2*step-3);
    Canvas.LineTo(tankright+5,tankbottom-setpoint*2*step+3);
    Canvas.LineTo(tankright+2,tankbottom-setpoint*2*step);

    SetLabel.Top := tankbottom-setpoint*2*step-7;
    SetLabel.Left := tankright+17;
end;

procedure TForm1.Drawlevel;
begin
    Canvas.Pen.Width := 1;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    Canvas.Pen.Color := clBtnFace;
    Canvas.Brush.Color := clBtnFace;
    Canvas.Rectangle(tankleft,tanktop,tankright,tankbottom);

    Canvas.Pen.Color := clAqua;
    Canvas.Brush.Color := clAqua;
    Canvas.Rectangle(tankleft,tankbottom-level*2*step,tankright,tankbottom);
end;

end.
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมควบคุมการทำงานของโครงงาน

ชื่อไฟล์ : SPP.ASM

```
;#################################################################
;#     PROGRAM : SERIAL PORT PROJECT                             #
;#################################################################

INPUT_DATA0    EQU    030H
INPUT_DATA1    EQU    031H
INPUT_DATA2    EQU    032H
INPUT_DATA3    EQU    033H
INPUT_DATA4    EQU    034H
INPUT_DATA5    EQU    035H
INPUT_DATA6    EQU    036H
INPUT_DATA7    EQU    037H
INPUT_DATA8    EQU    038H
INPUT_END      EQU    039H

DATA           EQU    040H
INPUT_START    EQU    041H
INPUT_INDEX    EQU    042H
OUTPUT_INDEX   EQU    043H

OUTPUT_DATA0   EQU    050H
OUTPUT_DATA1   EQU    051H
OUTPUT_DATA2   EQU    052H
OUTPUT_DATA3   EQU    053H
OUTPUT_DATA4   EQU    054H
OUTPUT_DATA5   EQU    055H
OUTPUT_DATA6   EQU    056H
OUTPUT_DATA7   EQU    057H
OUTPUT_DATA8   EQU    058H

;****** EXTERNAL I/O PORT **********
PORTA  EQU    0000H  ;DIGITAL OUT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
PORTB  EQU   0100H  ;DIGITAL IN
DOUT   EQU   0000H
DIN    EQU   0100H
CONTROL EQU   0300H  ;CONTROL PORT OF 8255
CONFIG  EQU   82H    ;CONTROL WORD : PORT_A OUT,PORT_B IN,PORT_C OUT
AIN1   EQU   1000H
AIN2   EQU   1100H
AIN3   EQU   1200H
AIN4   EQU   1300H
AIN5   EQU   1400H
AIN6   EQU   1500H
AIN7   EQU   1600H
AIN8   EQU   1700H
AOUT1  EQU   2000H
AOUT2  EQU   2100H
AOUT3  EQU   2200H
AOUT4  EQU   2300H
AOUT5  EQU   2400H
AOUT6  EQU   2500H
AOUT7  EQU   2600H
AOUT8  EQU   2700H

       ORG   00H
       SJMP  START

       ORG   13H
       LJMP  INT_INT1

       ORG   23H
       LJMP  INT_SER

       ORG   40H

START:     MOV   IE,#11010100B  ;ENABLE INT1 & SERIAL
       SETB  IT1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SETB   IT0
        MOV    DPTR,#00H      ;SET DPTR TO 0
        MOV    SCON,#50H      ;SET MODE1 (8 BIT UART)
        ANL    PCON,#01111111B ;SET SMOD TO 0
        SETB   REN            ;RECEIVER ENABLED
        MOV    TMOD,#20H      ;SET MODE TIMER TO 8 BIT AUTO RELOAD
        MOV    TH1,#0FDH      ;9600 BAUD RATE
        SETB   TR1

        MOV    DPTR,#CONTROL
        MOV    A,#CONFIG
        MOVX   @DPTR,A        ;SET CONTROL PORT OF 8255

        MOV    INPUT_START,#00H
        MOV    INPUT_END,#00H
        MOV    INPUT_INDEX,#INPUT_DATA0
        MOV    OUTPUT_INDEX,#00H
        MOV    INPUT_DATA0,#00H
        MOV    INPUT_DATA1,#00H
        MOV    INPUT_DATA2,#00H
        MOV    INPUT_DATA3,#00H
        MOV    INPUT_DATA4,#00H
        MOV    INPUT_DATA5,#00H
        MOV    INPUT_DATA6,#00H
        MOV    INPUT_DATA7,#00H
        MOV    INPUT_DATA8,#00H
        MOV    INPUT_END,#00H
        MOV    R6,#00H            ;R6 = TRANSMIT DATA ALREADY
        MOV    R7,#00H            ;R7 = OUTPUT ENABLE
        MOV    P1,#00H

MAIN:   CJNE   R7,#01H,MAIN

        MOV    SBUF,#035H
        MOV    DPTR,#DIN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOVX   A,@DPTR
MOV    OUTPUT_DATA0,A
CJNE   R6,#01H,$
MOV    R6,#00H

MOV    SBUF,OUTPUT_DATA0

MOV    DPTR,#AIN1
MOVX   A,@DPTR
MOV    DPTR,#AIN2
MOVX   A,@DPTR
MOV    OUTPUT_DATA1,A
MOV    DPTR,#AIN3
MOVX   A,@DPTR
MOV    OUTPUT_DATA2,A
MOV    DPTR,#AIN4
MOVX   A,@DPTR
MOV    OUTPUT_DATA3,A
MOV    DPTR,#AIN5
MOVX   A,@DPTR
MOV    OUTPUT_DATA4,A
MOV    DPTR,#AIN6
MOVX   A,@DPTR
MOV    OUTPUT_DATA5,A
MOV    DPTR,#AIN7
MOVX   A,@DPTR
MOV    OUTPUT_DATA6,A
MOV    DPTR,#AIN8
MOVX   A,@DPTR
MOV    OUTPUT_DATA7,A
MOV    DPTR,#AIN1
MOVX   A,@DPTR
MOV    OUTPUT_DATA8,A
CJNE   R6,#01H,$
MOV    R6,#00H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV    SBUF,OUTPUT_DATA1
        CJNE   R6,#01H,$
        MOV    R6,#00H
        MOV    SBUF,OUTPUT_DATA2
        CJNE   R6,#01H,$
        MOV    R6,#00H
        MOV    SBUF,OUTPUT_DATA3
        CJNE   R6,#01H,$
        MOV    R6,#00H
        MOV    SBUF,OUTPUT_DATA4
        CJNE   R6,#01H,$
        MOV    R6,#00H
        MOV    SBUF,OUTPUT_DATA5
        CJNE   R6,#01H,$
        MOV    R6,#00H
        MOV    SBUF,OUTPUT_DATA6
        CJNE   R6,#01H,$
        MOV    R6,#00H
        MOV    SBUF,OUTPUT_DATA7
        CJNE   R6,#01H,$
        MOV    R6,#00H
        MOV    SBUF,OUTPUT_DATA8
        CJNE   R6,#01H,$
        MOV    R6,#00H
        MOV    SBUF,#053H
        CJNE   R6,#01H,$
        MOV    R6,#00H

        MOV    R7,#00H
        JMP    MAIN

;************** INTERRUBT FUNCTION ************
INT_INT1:
        MOV    P1,INPUT_DATA0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CALL   DELAY
        MOV    P1,INPUT_DATA1
        CALL   DELAY
        MOV    P1,INPUT_END
        CALL   DELAY
        RETI

INT_SER:    PUSH   ACC
        PUSH   PSW
        JB     TI,TRANSMIT
RECEIVE:    MOV    DATA,SBUF
        MOV    A,INPUT_START
        CJNE   A,#01H,CHECK_START
CHECK_STOP:   MOV    A,INPUT_INDEX
        CJNE   A,#INPUT_END,RECORD_DATA
        MOV    A,DATA
        CJNE   A,#053H,DATA_ERROR
        MOV    INPUT_START,#00H
        SJMP   INPUT_COMPLETE
RECORD_DATA:   MOV    R0,INPUT_INDEX
        MOV    @R0,DATA
        INC    INPUT_INDEX
        INC    OUTPUT_INDEX
        SJMP   END_RECIEVE
DATA_ERROR:   CPL    P1
        CALL   DELAY
        SJMP   DATA_ERROR
CHECK_START:   MOV    A,DATA
        CJNE   A,#035H,NOT_START
        MOV    INPUT_START,#01H
        MOV    INPUT_INDEX,#INPUT_DATA0
        MOV    OUTPUT_INDEX,#00H
        SJMP   END_RECIEVE
NOT_START:    MOV    INPUT_START,#00H
END_RECIEVE:   CLR    RI
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SJMP   END_SER
TRANSMIT:    CLR   TI
        MOV    R6,#01H
END_SER:     POP   PSW
        POP    ACC
        RETI

INPUT_COMPLETE: MOV   P1,INPUT_DATA0
        MOV    A,INPUT_DATA0
        MOV    DPTR,#DOUT
        MOVX   @DPTR,A
        MOV    A,INPUT_DATA1
        MOV    DPTR,#AOUT1
        MOVX   @DPTR,A
        MOV    A,INPUT_DATA2
        MOV    DPTR,#AOUT2
        MOVX   @DPTR,A
        MOV    A,INPUT_DATA3
        MOV    DPTR,#AOUT3
        MOVX   @DPTR,A
        MOV    A,INPUT_DATA4
        MOV    DPTR,#AOUT4
        MOVX   @DPTR,A
        MOV    A,INPUT_DATA5
        MOV    DPTR,#AOUT5
        MOVX   @DPTR,A
        MOV    A,INPUT_DATA6
        MOV    DPTR,#AOUT6
        MOVX   @DPTR,A
        MOV    A,INPUT_DATA7
        MOV    DPTR,#AOUT7
        MOVX   @DPTR,A
        MOV    A,INPUT_DATA8
        MOV    DPTR,#AOUT8
        MOVX   @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV    DPTR,#AOUT6
        MOVX   @DPTR,A
        MOV    A,INPUT_DATA7
        MOV    DPTR,#AOUT7
        MOVX   @DPTR,A
        MOV    A,INPUT_DATA8
        MOV    DPTR,#AOUT8
        MOVX   @DPTR,A
        MOV    R7,#01H
        SJMP   END_RECIEVE

DELAY:      MOV    R0,#00CH
DELAY1:     MOV    R1,#0FFH
DELAY2:     MOV    R2,#0FFH
        DJNZ   R2,$
        DJNZ   R1,DELAY2
        DJNZ   R0,DELAY1
        RET

        END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Compatible with MCS-51™ Products
- 4K Bytes of In-System Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial Channel
- Low Power Idle and Power Down Modes

8-Bit Microcontroller with 4K Bytes Flash

AT89C51

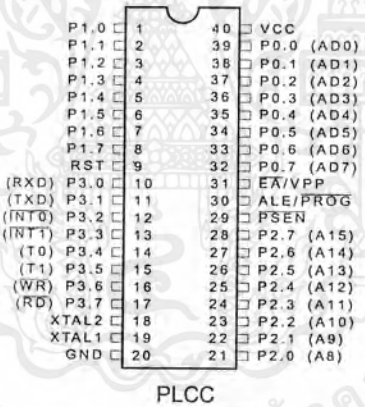
Description

The AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4K bytes of Flash Programmable and Erasable Read Only Memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

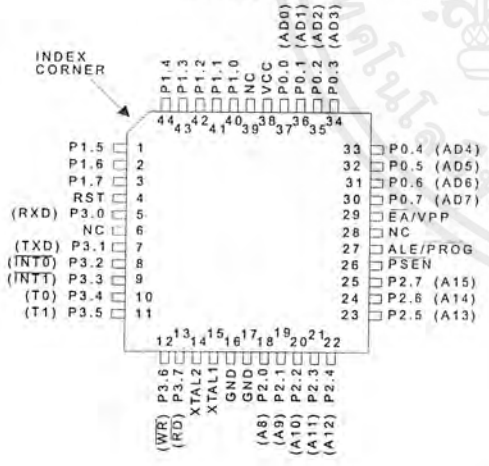
(continued)

Pin Configurations

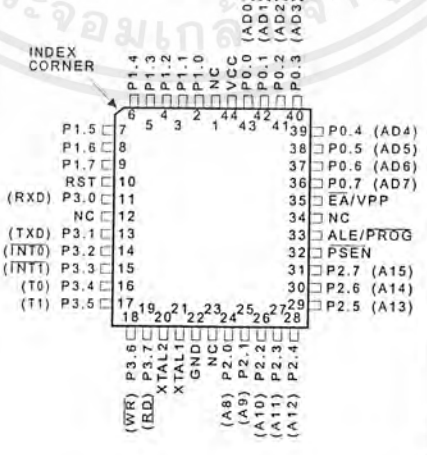
PDIP



PQFP/TQFP



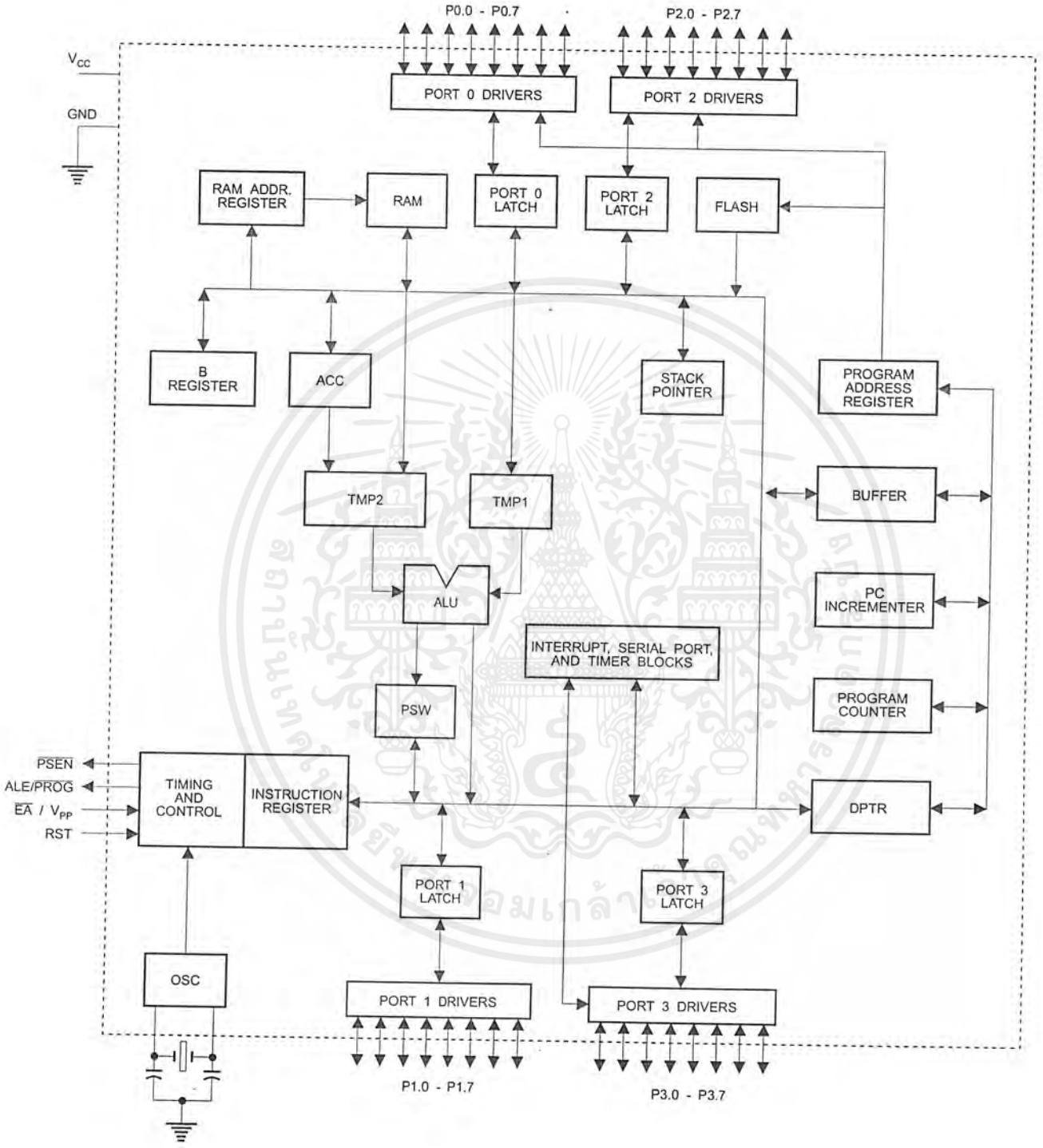
PLCC



0265F-A–12/97

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The AT89C51 provides the following standard features: 4K bytes of Flash, 128 bytes of RAM, 32 I/O lines, two 16-bit timer/counters, a five vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator and clock circuitry. In addition, the AT89C51 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Description

V_{CC}
Supply voltage.

GND
Ground.

Port 0
Port 0 is an 8-bit open drain bidirectional I/O port. As an output port each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 may also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming, and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1
Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port 2
Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application it uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3
Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and verification.

RST
Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/$\overline{PROG}$
Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

$\overline{PSEN}$
Program Store Enable is the read strobe to external program memory.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When the AT89C51 is executing code from external program memory, $\overline{PSEN}$ is activated twice each machine cycle, except that two $\overline{PSEN}$ activations are skipped during each access to external data memory.

$\overline{EA}$/V_{PP}
External Access Enable. $\overline{EA}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{EA}$ will be internally latched on reset.

$\overline{EA}$ should be strapped to V_{CC} for internal program executions.

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming, for parts that require 12-volt V_{PP}.

XTAL1
Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2
Output from the inverting oscillator amplifier.

Oscillator Characteristics

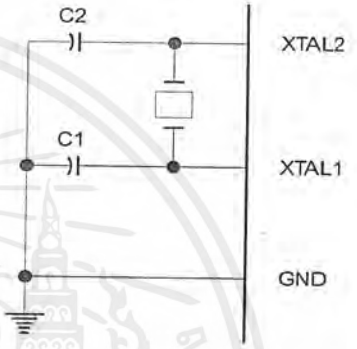
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

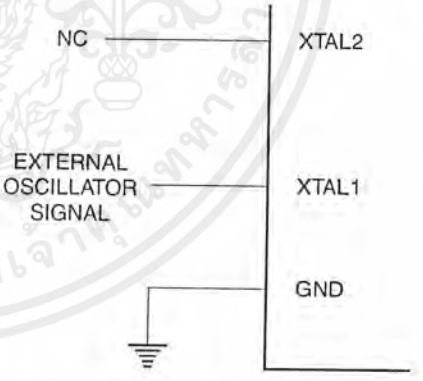
It should be noted that when idle is terminated by a hard ware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Figure 1. Oscillator Connections



Note: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration



Status of External Pins During Idle and Power Down Modes

Mode	Program Memory	ALE	$\overline{PSEN}$	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power Down	Internal	0	0	Data	Data	Data	Data
Power Down	External	0	0	Float	Data	Data	Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power Down Mode

In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Program Memory Lock Bits

On the chip are three lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

When lock bit 1 is programmed, the logic level at the $\overline{EA}$ pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value, and holds that value until reset is activated. It is necessary that the latched value of $\overline{EA}$ be in agreement with the current logic level at that pin in order for the device to function properly.

Lock Bit Protection Modes

Program Lock Bits				Protection Type
	LB1	LB2	LB3	
1	U	U	U	No program lock features.
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory, $\overline{EA}$ is sampled and latched on reset, and further programming of the Flash is disabled.
3	P	P	U	Same as mode 2, also verify is disabled.
4	P	P	P	Same as mode 3, also external execution is disabled.

Programming the Flash

The AT89C51 is normally shipped with the on-chip Flash memory array in the erased state (that is, contents = FFH) and ready to be programmed. The programming interface accepts either a high-voltage (12-volt) or a low-voltage (V_{CC}) program enable signal. The low voltage programming mode provides a convenient way to program the AT89C51 inside the user's system, while the high-voltage programming mode is compatible with conventional third party Flash or EPROM programmers.

The AT89C51 is shipped with either the high-voltage or low-voltage programming mode enabled. The respective top-side marking and device signature codes are listed in the following table.

	V_{PP} = 12V	V_{PP} = 5V
Top-Side Mark	AT89C51 xxxx yyww	AT89C51 xxxx-5 yyww
Signature	(030H)=1EH (031H)=51H (032H)=FFH	(030H)=1EH (031H)=51H (032H)=05H

The AT89C51 code memory array is programmed byte-by-byte in either programming mode. *To program any non-blank byte in the on-chip Flash Memory, the entire memory must be erased using the Chip Erase Mode.*

Programming Algorithm: Before programming the AT89C51, the address, data and control signals should be set up according to the Flash programming mode table and Figures 3 and 4. To program the AT89C51, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise $\overline{EA}/V_{PP}$ to 12V for the high-voltage programming mode.
5. Pulse ALE/$\overline{PROG}$ once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

Data Polling: The AT89C51 features $\overline{Data}$ Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written datum on PO.7. Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. $\overline{Data}$ Polling may begin any time after a write cycle has been initiated.

Ready/$\overline{Busy}$: The progress of byte programming can also be monitored by the RDY/$\overline{BSY}$ output signal. P3.4 is pulled low after ALE goes high during programming to indicate BUSY. P3.4 is pulled high again when programming is done to indicate READY.

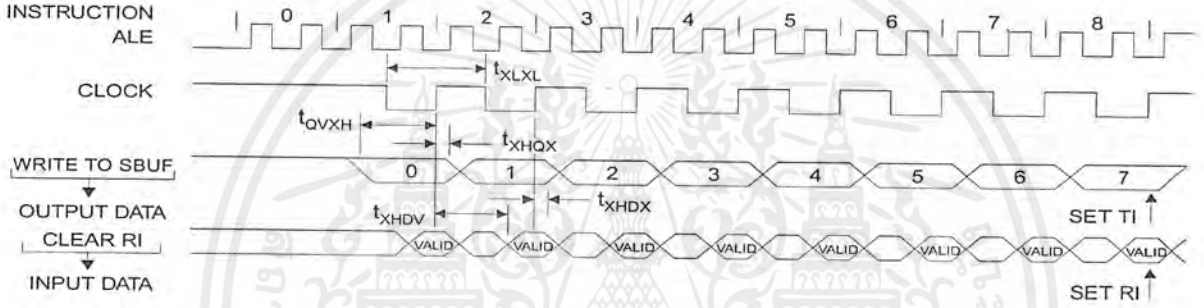
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Serial Port Timing: Shift Register Mode Test Conditions

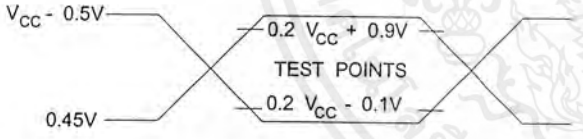
(V_{CC} = 5.0 V ± 20%; Load Capacitance = 80 pF)

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		µs
t_{QVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}$-133		ns
t_{XHQX}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}$-117		ns
t_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{XHDV}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}$-133	ns

Shift Register Mode Timing Waveforms

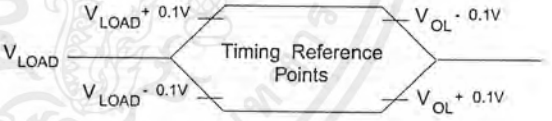


AC Testing Input/Output Waveforms(1)



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms(1)



Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

ABSOLUTE MAXIMUM RATINGS—MAX220/222/232A/233A/242/243

Supply Voltage (V_{CC}) ..... -0.3V to +6V
Input Voltages
T_{IN} ..... -0.3V to (V_{CC} + 0.3V)
R_{IN} ..... ±30V
T_{OUT} (Note 1) ..... ±15V
Output Voltages
T_{OUT} ..... ±15V
R_{OUT} ..... -0.3V to (V_{CC} + 0.3V)
Driver/Receiver Output Short Circuited to GND ..... Continuous
Continuous Power Dissipation (T_A = +70°C)
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C) ... 842mW
18-Pin Plastic DIP (derate 11.11mW/°C above +70°C) ... 889mW
20-Pin Plastic DIP (derate 8.00mW/°C above +70°C) ... 440mW
16-Pin Narrow SO (derate 8.70mW/°C above +70°C) ... 696mW
16-Pin Wide SO (derate 9.52mW/°C above +70°C) ... 762mW
18-Pin Wide SO (derate 9.52mW/°C above +70°C) ... 762mW
20-Pin Wide SO (derate 10.00mW/°C above +70°C) ... 800mW
20-Pin SSOP (derate 8.00mW/°C above +70°C) ... 640mW
16-Pin CERDIP (derate 10.00mW/°C above +70°C) ... 800mW
18-Pin CERDIP (derate 10.53mW/°C above +70°C) ... 842mW
Operating Temperature Ranges
MAX2_ _AC_ _, MAX2_ _C_ _ ..... 0°C to +70°C
MAX2_ _AE_ _, MAX2_ _E_ _ ..... -40°C to +85°C
MAX2_ _AM_ _, MAX2_ _M_ _ ..... -55°C to +125°C
Storage Temperature Range ..... -65°C to +160°C
Lead Temperature (soldering, 10sec) ..... +300°C

Note 1: Input voltage measured with T_{OUT} in high-impedance state, $\overline{SHDN}$ or V_{CC} = 0V.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX220/222/232A/233A/242/243

(V_{CC} = +5V ±10%, C1–C4 = 0.1µF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
RS-232 TRANSMITTERS						
Output Voltage Swing	All transmitter outputs loaded with 3kΩ to GND		±5	±8		V
Input Logic Threshold Low				1.4	0.8	V
Input Logic Threshold High			2	1.4		V
Logic Pull-Up/Input Current	Normal operation			5	40	µA
	$\overline{SHDN}$ = 0V, MAX222/242, shutdown			±0.01	±1	
Output Leakage Current	V_{CC} = 5.5V, $\overline{SHDN}$ = 0V, V_{OUT} = ±15V, MAX222/242			±0.01	±10	µA
	V_{CC} = $\overline{SHDN}$ = 0V, V_{OUT} = ±15V			±0.01	±10	
Data Rate	All except MAX220, normal operation			200	116	kbits/ sec
	MAX220			22	20	
Transmitter Output Resistance	V_{CC} = V+ = V- = 0V, V_{OUT} = ±2V		300	10M		Ω
Output Short-Circuit Current	V_{OUT} = 0V			±7	±22	mA
RS-232 RECEIVERS						
RS-232 Input Voltage Operating Range					±30	V
RS-232 Input Threshold Low	V_{CC} = 5V	All except MAX243 $R2_{IN}$	0.8	1.3		V
		MAX243 $R2_{IN}$ (Note 2)	-3			
RS-232 Input Threshold High	V_{CC} = 5V	All except MAX243 $R2_{IN}$		1.8	2.4	V
		MAX243 $R2_{IN}$ (Note 2)		-0.5	-0.1	
RS-232 Input Hysteresis	All except MAX243, V_{CC} = 5V, no hysteresis in shdn.		0.2	0.5	1	V
	MAX243			1		
RS-232 Input Resistance			3	5	7	kΩ
TTL/CMOS Output Voltage Low	I_{OUT} = 3.2mA			0.2	0.4	V
TTL/CMOS Output Voltage High	I_{OUT} = -1.0mA		3.5	V_{CC} - 0.2		V
TTL/CMOS Output Short-Circuit Current	Sourcing V_{OUT} = GND		-2	-10		mA
	Shrinking V_{OUT} = V_{CC}		10	30		
TTL/CMOS Output Leakage Current	$\overline{SHDN}$ = V_{CC} or $\overline{EN}$ = V_{CC} ($\overline{SHDN}$ = 0V for MAX222), 0V ≤ V_{OUT} ≤ V_{CC}			±0.05	±10	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS—MAX220/222/232A/233A/242/243 (continued)

(V_{CC} = +5V ±10%, C1–C4 = 0.1µF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$\overline{EN}$ Input Threshold Low	MAX242			1.4	0.8	V
$\overline{EN}$ Input Threshold High	MAX242		2.0	1.4		V
Operating Supply Voltage			4.5		5.5	V
V_{CC} Supply Current ($\overline{SHDN}$ = V_{CC}), Figures 5, 6, 11, 19	No load	MAX220		0.5	2	mA
		MAX222/232A/233A/242/243		4	10	
	3kΩ load both inputs	MAX220		12		
		MAX222/232A/233A/242/243		15		
Shutdown Supply Current	MAX222/242	T_A = +25°C		0.1	10	µA
		T_A = 0°C to +70°C		2	50	
		T_A = -40°C to +85°C		2	50	
		T_A = -55°C to +125°C		35	100	
$\overline{SHDN}$ Input Leakage Current	MAX222/242				±1	µA
$\overline{SHDN}$ Threshold Low	MAX222/242			1.4	0.8	V
$\overline{SHDN}$ Threshold High	MAX222/242		2.0	1.4		V
Transition Slew Rate	C_L = 50pF to 2500pF, R_L = 3kΩ to 7kΩ, V_{CC} = 5V, T_A = +25°C, measured from +3V to -3V or -3V to +3V	MAX222/232A/233A/242/243	6	12	30	V/µs
		MAX220	1.5	3	30	
Transmitter Propagation Delay TLL to RS-232 (normal operation), Figure 1	t_{PHLT}	MAX222/232A/233A/242/243		1.3	3.5	µs
		MAX220		4	10	
	t_{PLHT}	MAX222/232A/233A/242/243		1.5	3.5	
		MAX220		5	10	
Receiver Propagation Delay RS-232 to TLL (normal operation), Figure 2	t_{PHLR}	MAX222/232A/233A/242/243		0.5	1	µs
		MAX220		0.6	3	
	t_{PLHR}	MAX222/232A/233A/242/243		0.6	1	
		MAX220		0.8	3	
Receiver Propagation Delay RS-232 to TLL (shutdown), Figure 2	t_{PHLS}	MAX242		0.5	10	µs
	t_{PLHS}	MAX242		2.5	10	
Receiver-Output Enable Time, Figure 3	t_{ER}	MAX242		125	500	ns
Receiver-Output Disable Time, Figure 3	t_{DR}	MAX242		160	500	ns
Transmitter-Output Enable Time ($\overline{SHDN}$ goes high), Figure 4	t_{ET}	MAX222/242, 0.1µF caps (includes charge-pump start-up)		250		µs
Transmitter-Output Disable Time ($\overline{SHDN}$ goes low), Figure 4	t_{DT}	MAX222/242, 0.1µF caps		600		ns
Transmitter + to - Propagation Delay Difference (normal operation)	t_{PHLT} - t_{PLHT}	MAX222/232A/233A/242/243		300		ns
		MAX220		2000		
Receiver + to - Propagation Delay Difference (normal operation)	t_{PHLR} - t_{PLHR}	MAX222/232A/233A/242/243		100		ns
		MAX220		225		

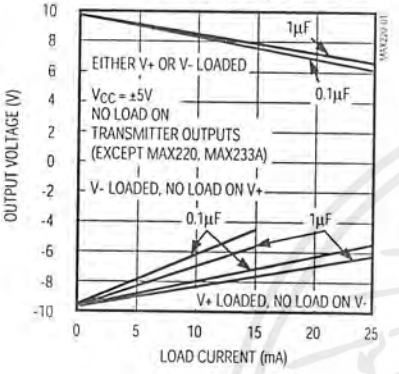
Note 2: MAX243 $R2_{OUT}$ is guaranteed to be low when $R2_{IN}$ ≥ 0V or is floating.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

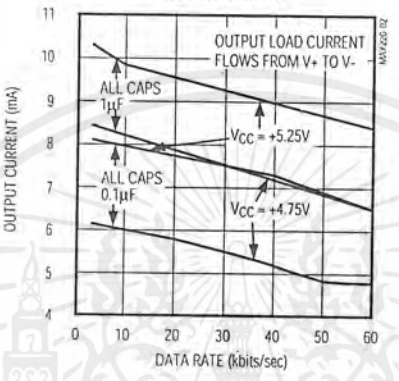
+5V-Powered, Multichannel RS-232 Drivers/Receivers

Typical Operating Characteristics

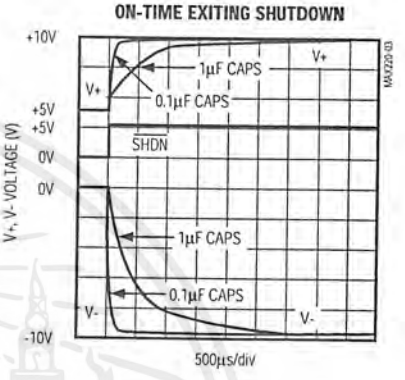
OUTPUT VOLTAGE vs. LOAD CURRENT



AVAILABLE OUTPUT CURRENT vs. DATA RATE



MAX222/MAX242 ON-TIME EXITING SHUTDOWN



MAXIM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The receiver input hysteresis is typically 0.5V with a guaranteed minimum of 0.2V. This produces clear output transitions with slow-moving input signals, even with moderate amounts of noise and ringing. The receiver propagation delay is typically 600ns and is independent of input swing direction.

Low-Power Receive Mode

The low-power receive-mode feature of the MAX223, MAX242, and MAX245–MAX249 puts the IC into shutdown mode but still allows it to receive information. This is important for applications where systems are periodically awakened to look for activity. Using low-power receive mode, the system can still receive a signal that will activate it on command and prepare it for communication at faster data rates. This operation conserves system power.

Negative Threshold—MAX243

The MAX243 is pin compatible with the MAX232A, differing only in that RS-232 cable fault protection is removed on one of the two receiver inputs. This means that control lines such as CTS and RTS can either be driven or left floating without interrupting communication. Different cables are not needed to interface with different pieces of equipment.

The input threshold of the receiver without cable fault protection is -0.8V rather than +1.4V. Its output goes positive only if the input is connected to a control line that is actively driven negative. If not driven, it defaults to the 0 or "OK to send" state. Normally, the MAX243's other receiver (+1.4V threshold) is used for the data line (TD or RD), while the negative threshold receiver is connected to the control line (DTR, DTS, CTS, RTS, etc.).

Other members of the RS-232 family implement the optional cable fault protection as specified by EIA/TIA-232E specifications. This means a receiver output goes high whenever its input is driven negative, left floating, or shorted to ground. The high output tells the serial communications IC to stop sending data. To avoid this, the control lines must either be driven or connected with jumpers to an appropriate positive voltage level.

Shutdown—MAX222-MAX242

On the MAX222, MAX235, MAX236, MAX240, and MAX241, all receivers are disabled during shutdown. On the MAX223 and MAX242, two receivers continue to operate in a reduced power mode when the chip is in shutdown. Under these conditions, the propagation delay increases to about 2.5µs for a high-to-low input transition. When in shutdown, the receiver acts as a CMOS inverter with no hysteresis. The MAX223 and MAX242 also have a receiver output enable input ($\overline{EN}$ for the MAX242 and EN for the MAX223) that allows receiver output control independent of $\overline{SHDN}$ (SHDN for MAX241). With all other devices, $\overline{SHDN}$ (SHDN for MAX241) also disables the receiver outputs.

The MAX225 provides five transmitters and five receivers, while the MAX245 provides ten receivers and eight transmitters. Both devices have separate receiver and transmitter-enable controls. The charge pumps turn off and the devices shut down when a logic high is applied to the ENT input. In this state, the supply current drops to less than 25µA and the receivers continue to operate in a low-power receive mode. Driver outputs enter a high-impedance state (three-state mode). On the MAX225, all five receivers are controlled by the $\overline{ENR}$ input. On the MAX245, eight of the receiver outputs are controlled by the $\overline{ENR}$ input, while the remaining two receivers (RA5 and RB5) are always active. RA1–RA4 and RB1–RB4 are put in a three-state mode when $\overline{ENR}$ is a logic high.

Receiver and Transmitter Enable Control Inputs

The MAX225 and MAX245–MAX249 feature transmitter and receiver enable controls.

The receivers have three modes of operation: full-speed receive (normal active), three-state (disabled), and low-power receive (enabled receivers continue to function at lower data rates). The receiver enable inputs control the full-speed receive and three-state modes. The transmitters have two modes of operation: full-speed transmit (normal active) and three-state (disabled). The transmitter enable inputs also control the shutdown mode. The device enters shutdown mode when all transmitters are disabled. Enabled receivers function in the low-power receive mode when in shutdown.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

Tables 1a–1d define the control states. The MAX244 has no control pins and is not included in these tables.

The MAX246 has ten receivers and eight drivers with two control pins, each controlling one side of the device. A logic high at the A-side control input ($\overline{ENA}$) causes the four A-side receivers and drivers to go into a three-state mode. Similarly, the B-side control input ($\overline{ENB}$) causes the four B-side drivers and receivers to go into a three-state mode. As in the MAX245, one A-side and one B-side receiver (RA5 and RB5) remain active at all times. The entire device is put into shutdown mode when both the A and B sides are disabled ($\overline{ENA}$ = $\overline{ENB}$ = +5V).

The MAX247 provides nine receivers and eight drivers with four control pins. The $\overline{ENRA}$ and $\overline{ENRB}$ receiver enable inputs each control four receiver outputs. The $\overline{ENTA}$ and $\overline{ENTB}$ transmitter enable inputs each control four drivers. The ninth receiver (RB5) is always active. The device enters shutdown mode with a logic high on both $\overline{ENTA}$ and $\overline{ENTB}$.

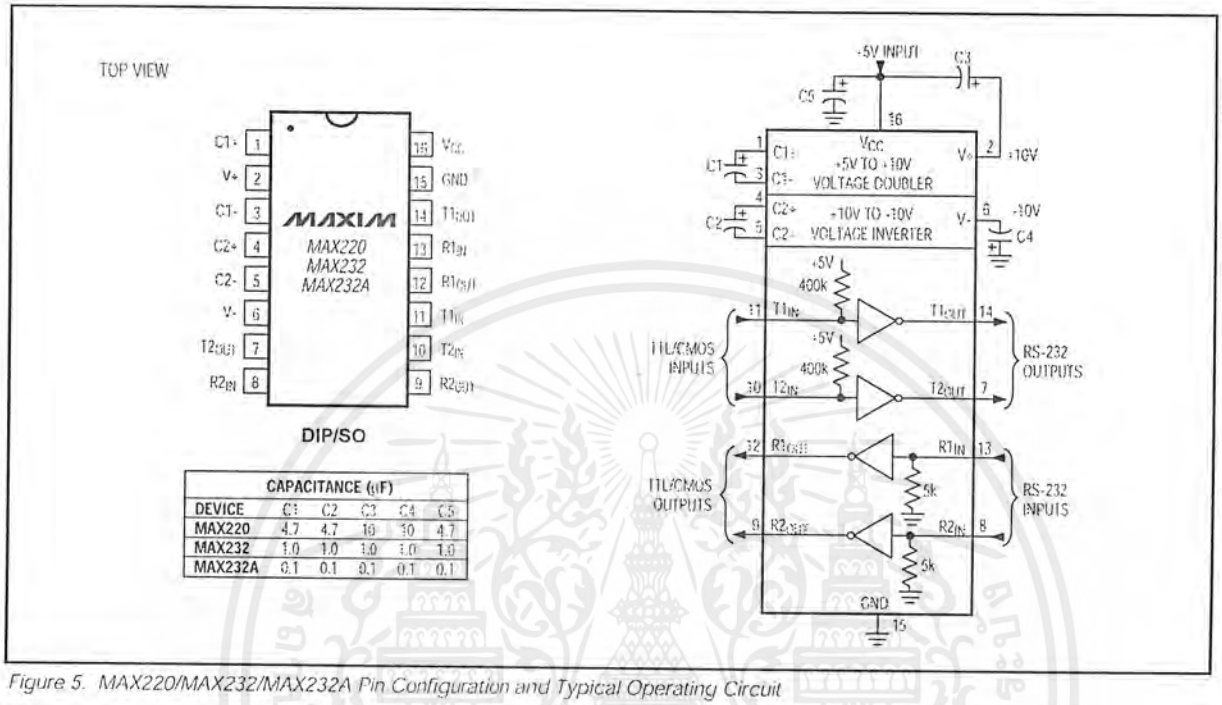
The MAX248 provides eight receivers and eight drivers with four control pins. The $\overline{ENRA}$ and $\overline{ENRB}$ receiver enable inputs each control four receiver outputs. The $\overline{ENTA}$ and $\overline{ENTB}$ transmitter enable inputs control four drivers each. This part does not have an always-active receiver. The device enters shutdown mode and transmitters go into a three-state mode with a logic high on both $\overline{ENTA}$ and $\overline{ENTB}$.

The MAX249 provides ten receivers and six drivers with four control pins. The $\overline{ENRA}$ and $\overline{ENRB}$ receiver enable inputs each control five receiver outputs. The $\overline{ENTA}$ and $\overline{ENTB}$ transmitter enable inputs control three drivers each. There is no always-active receiver. The device enters shutdown mode and transmitters go into a three-state mode with a logic high on both $\overline{ENTA}$ and $\overline{ENTB}$. In shutdown mode, active receivers operate in a low-power receive mode at data rates up to 20kbits/sec.

Applications Information

Figures 5 through 25 show pin configurations and typical operating circuits. In applications that are sensitive to power-supply noise, VCC should be decoupled to ground with a capacitor of the same value as C1 and C2 connected as close as possible to the device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



CAPACITANCE (µF)					
DEVICE	C1	C2	C3	C4	C5
MAX220	4.7	4.7	10	10	4.7
MAX232	1.0	1.0	1.0	1.0	1.0
MAX232A	0.1	0.1	0.1	0.1	0.1

Figure 5. MAX220/MAX232/MAX232A Pin Configuration and Typical Operating Circuit

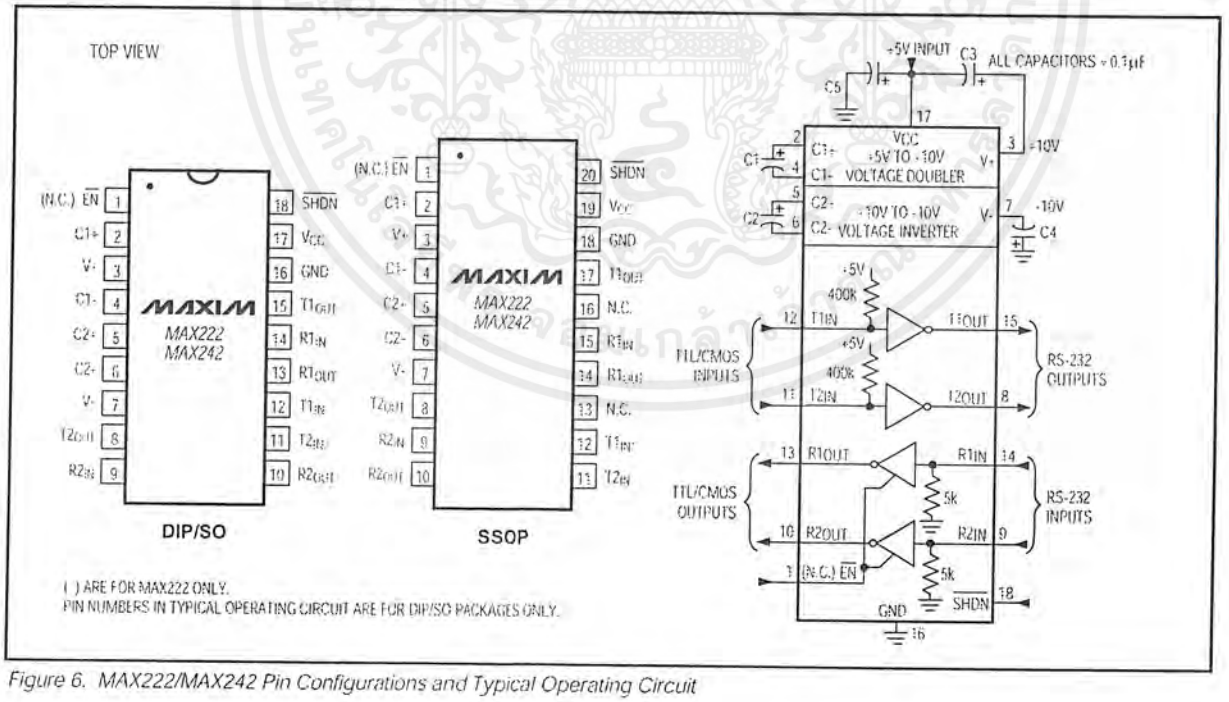


Figure 6. MAX222/MAX242 Pin Configurations and Typical Operating Circuit

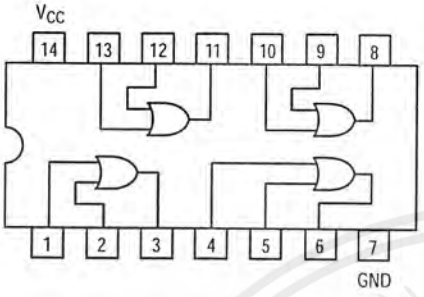
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN74LS32

Quad 2-Input OR Gate



ON Semiconductor
Formerly a Division of Motorola
http://onsemi.com

LOW POWER SCHOTTKY

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			–0.4	mA
I_{OL}	Output Current – Low			8.0	mA

PLASTIC
N SUFFIX
CASE 646

SOIC
D SUFFIX
CASE 751A

ORDERING INFORMATION

Device	Package	Shipping
SN74LS32N	14 Pin DIP	2000 Units/Box
SN74LS32D	14 Pin	2500/Tape & Reel

© Semiconductor Components Industries, LLC, 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions	
		Min	Typ	Max			
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage for All Inputs	
V_{IK}	Input Clamp Diode Voltage		−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	2.7	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
V_{OL}	Output LOW Voltage		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
			0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current			20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
				0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current			−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)	−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH			6.2	mA	V_{CC} = MAX	
	Total, Output LOW			9.8			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

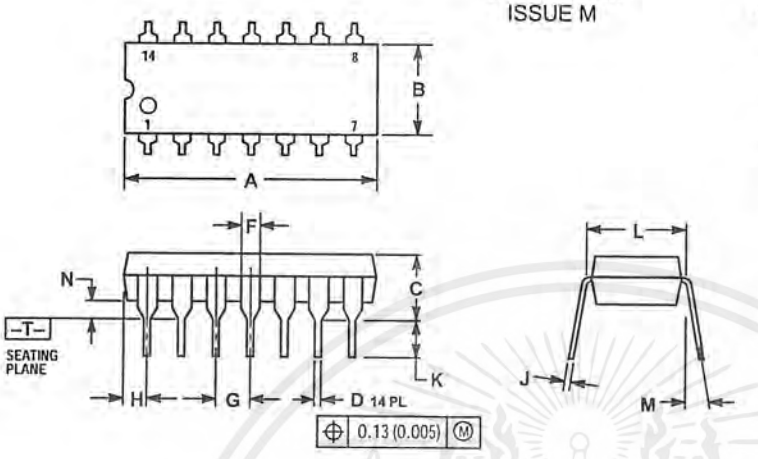
AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t_{PLH}	Turn-Off Delay, Input to Output		14	22	ns	V_{CC} = 5.0 V, C_L = 15 pF
t_{PHL}	Turn-On Delay, Input to Output		14	22	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

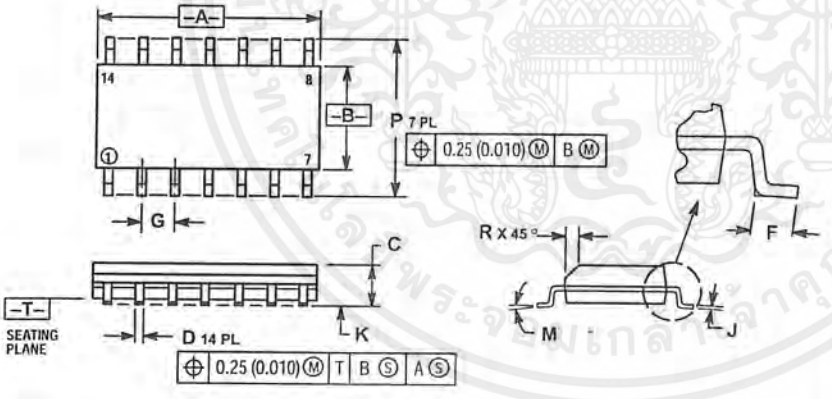
N SUFFIX
PLASTIC PACKAGE
CASE 646–06
ISSUE M



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	18.80
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.290	0.310	7.37	7.87
M	—	10°	—	10°
N	0.015	0.039	0.38	1.01

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751A–03
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ON Semiconductor and ON are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

North America Literature Fulfillment:
Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303–675–2175 or 800–344–3860 Toll Free USA/Canada
Fax: 303–675–2176 or 800–344–3867 Toll Free USA/Canada
Email: ONlit@hibbertco.com

N. American Technical Support: 800–282–9855 Toll Free USA/Canada

EUROPE: LDC for ON Semiconductor – European Support
German Phone: (+1) 303–308–7140 (M–F 2:30pm to 5:00pm Munich Time)
Email: ONlit–german@hibbertco.com
French Phone: (+1) 303–308–7141 (M–F 2:30pm to 5:00pm Toulouse Time)
Email: ONlit–french@hibbertco.com
English Phone: (+1) 303–308–7142 (M–F 1:30pm to 5:00pm UK Time)
Email: ONlit@hibbertco.com

ASIA/PACIFIC: LDC for ON Semiconductor – Asia Support
Phone: 303–675–2121 (Tue–Fri 9:00am to 1:00pm, Hong Kong Time)
Toll Free from Hong Kong 800–4422–3781
Email: ONlit–asia@hibbertco.com

JAPAN: ON Semiconductor, Japan Customer Focus Center
4–32–1 Nishi–Gotanda, Shinagawa–ku, Tokyo, Japan 141–8549
Phone: 81–3–5487–8345
Email: r14153@onsemi.com

Fax Response Line: 303–675–2167
800–344–3810 Toll Free USA/Canada

ON Semiconductor Website: http://onsemi.com

For additional information, please contact your local Sales Representative.

SN74LS32/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS138

1-OF-8 DECODER/ DEMULTIPLEXER

1-OF-8 DECODER/ DEMULTIPLEXER

LOW POWER SCHOTTKY

The LSTTL/MSI SN54/74LS138 is a high speed 1-of-8 Decoder/ Demultiplexer. This device is ideally suited for high speed bipolar memory chip select address decoding. The multiple input enables allow parallel expansion to a 1-of-24 decoder using just three LS138 devices or to a 1-of-32 decoder using four LS138s and one inverter. The LS138 is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all Motorola TTL families.

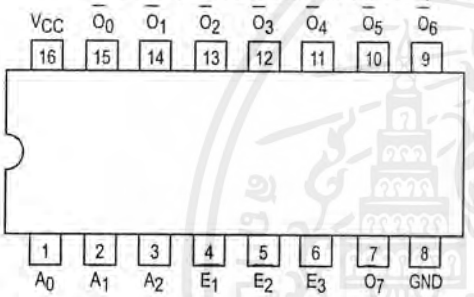
- Demultiplexing Capability
- Multiple Input Enable for Easy Expansion
- Typical Power Dissipation of 32 mW
- Active Low Mutually Exclusive Outputs
- Input Clamp Diodes Limit High Speed Termination Effects

J SUFFIX
CERAMIC
CASE 620-09

N SUFFIX
PLASTIC
CASE 648-08

D SUFFIX
SOIC
CASE 751B-03

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES

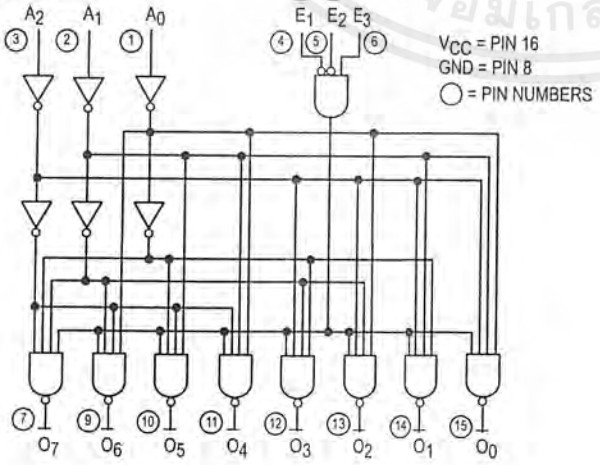
		LOADING (Note a)	
		HIGH	LOW
A_0–A_2	Address Inputs	0.5 U.L.	0.25 U.L.
E_1, E_2	Enable (Active LOW) Inputs	0.5 U.L.	0.25 U.L.
E_3	Enable (Active HIGH) Input	0.5 U.L.	0.25 U.L.
O_0–O_7	Active LOW Outputs (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a) 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

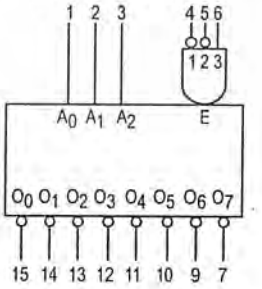
ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

LOGIC DIAGRAM



LOGIC SYMBOL



VCC = PIN 16
GND = PIN 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The LS138 is a high speed 1-of-8 Decoder/Demultiplexer fabricated with the low power Schottky barrier diode process. The decoder accepts three binary weighted inputs (A_0, A_1, A_2) and when enabled provides eight mutually exclusive active LOW Outputs ($\overline{O_0}$–$\overline{O_7}$). The LS138 features three Enable inputs, two active LOW ($\overline{E_1}$, $\overline{E_2}$) and one active HIGH (E_3). All outputs will be HIGH unless $\overline{E_1}$ and $\overline{E_2}$ are LOW and E_3 is HIGH. This multiple enable function allows easy parallel expansion of the device to a 1-of-32 (5 lines to 32 lines) decoder with just four LS138s and one inverter. (See Figure a.)

The LS138 can be used as an 8-output demultiplexer by using one of the active LOW Enable inputs as the data input and the other Enable inputs as strobes. The Enable inputs which are not used must be permanently tied to their appropriate active HIGH or active LOW state.

TRUTH TABLE

INPUTS						OUTPUTS							
$\overline{E_1}$	$\overline{E_2}$	E_3	A_0	A_1	A_2	$\overline{O_0}$	$\overline{O_1}$	$\overline{O_2}$	$\overline{O_3}$	$\overline{O_4}$	$\overline{O_5}$	$\overline{O_6}$	$\overline{O_7}$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

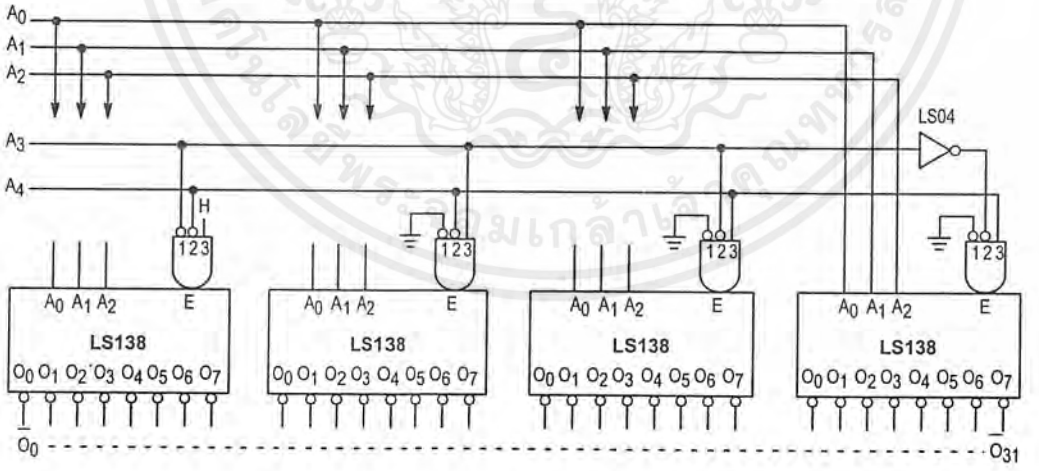


Figure a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				10	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Levels of Delay	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH} t_{PHL}	Propagation Delay Address to Output	2 2		13 27	20 41	ns	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Propagation Delay Address to Output	3 3		18 26	27 39	ns	
t_{PLH} t_{PHL}	Propagation Delay E_1 or E_2 Enable to Output	2 2		12 21	18 32	ns	
t_{PLH} t_{PHL}	Propagation Delay E_3 Enable to Output	3 3		17 25	26 38	ns	

AC WAVEFORMS

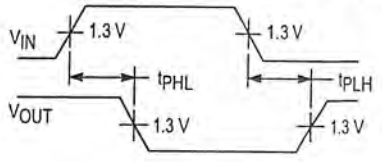


Figure 1

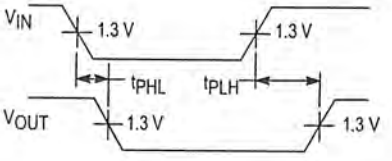


Figure 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

January 2000

LM78LXX Series
3-Terminal Positive Regulators

General Description

The LM78LXX series of three terminal positive regulators is available with several fixed output voltages making them useful in a wide range of applications. When used as a zener diode/resistor combination replacement, the LM78LXX usually results in an effective output impedance improvement of two orders of magnitude, and lower quiescent current. These regulators can provide local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow the LM78LXX to be used in logic systems, instrumentation, HiFi, and other solid state electronic equipment.

The LM78LXX is available in the plastic TO-92 (Z) package, the plastic SO-8 (M) package and a chip sized package (8-Bump micro SMD) using National's micro SMD package technology. With adequate heat sinking the regulator can deliver 100 mA output current. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistors is provided to limit internal power dissipation. If internal power dissipation becomes too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

Features

- LM78L05 in micro SMD package
- Output voltage tolerances of ±5% over the temperature range
- Output current of 100 mA
- Internal thermal overload protection
- Output transistor safe area protection
- Internal short circuit current limit
- Available in plastic TO-92 and plastic SO-8 low profile packages
- No external components
- Output voltages of 5.0V, 6.2V, 8.2V, 9.0V, 12V, 15V

Connection Diagrams

SO-8 Plastic (M)
(Narrow Body)

DS007744-2

Top View

(TO-92)
Plastic Package (Z)

DS007744-3

Bottom View

8-Bump micro SMD

DS007744-24

Top View
(Bump Side Down)

micro SMD Marking Orientation

DS007744-33

Top View

© 2000 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Power Dissipation (Note 5)	Internally Limited
Input Voltage	35V
Storage Temperature	−65°C to +150°C
Operating Junction Temperature	
SO-8	0°C to 125°C
micro SMD	−40°C to 85°C
Soldering Information	
Infrared or Convection (20 sec.)	235°C
Wave Soldering (10 sec.)	260°C (lead time)
ESD Susceptibility (Note 2)	1kV

LM78LXX Electrical Characteristics

Limits in standard typeface are for T_J = 25°C, **Bold typeface applies over 0°C to 125°C for SO-8 package and −40°C to 85°C for micro SMD package.** Limits are guaranteed by production testing or correlation techniques using standard Statistical Quality Control (SQC) methods. Unless otherwise specified: I_O = 40 mA, C_I = 0.33 µF, C_O = 0.1 µF.

LM78L05

Unless otherwise specified, V_{IN} = 10V

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V_O	Output Voltage		4.8	5	5.2	V
		7V ≤ V_{IN} ≤ 20V 1 mA ≤ I_O ≤ 40 mA (Note 3)	**4.75**		**5.25**	
		1 mA ≤ I_O ≤ 70 mA (Note 3)	**4.75**		**5.25**	
ΔV_O	Line Regulation	7V ≤ V_{IN} ≤ 20V		18	75	mV
		8V ≤ V_{IN} ≤ 20V		10	54	
ΔV_O	Load Regulation	1 mA ≤ I_O ≤ 100 mA		20	60	
		1 mA ≤ I_O ≤ 40 mA		5	30	
I_Q	Quiescent Current			3	5	mA
ΔI_Q	Quiescent Current Change	8V ≤ V_{IN} ≤ 20V			**1.0**	
		1 mA ≤ I_O ≤ 40 mA			**0.1**	
V_n	Output Noise Voltage	f = 10 Hz to 100 kHz (Note 4)		40		µV
$\frac{\Delta V_{IN}}{\Delta V_{OUT}}$	Ripple Rejection	f = 120 Hz 8V ≤ V_{IN} ≤ 16V	47	62		dB
I_{PK}	Peak Output Current			140		mA
$\frac{\Delta V_O}{\Delta T}$	Average Output Voltage Tempco	I_O = 5 mA		−0.65		mV/°C
V_{IN} (Min)	Minimum Value of Input Voltage Required to Maintain Line Regulation			6.7	7	V
θ_{JA}	Thermal Resistance (8-Bump micro SMD)			230.9		°C/W

LM78L62AC

Unless otherwise specified, V_{IN} = 12V

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V_O	Output Voltage		5.95	6.2	6.45	V
		8.5V ≤ V_{IN} ≤ 20V 1 mA ≤ I_O ≤ 40 mA (Note 3)	**5.9**		**6.5**	
		1 mA ≤ I_O ≤ 70 mA (Note 3)	**5.9**		**6.5**	
ΔV_O	Line Regulation	8.5V ≤ V_{IN} ≤ 20V		65	175	mV
		9V ≤ V_{IN} ≤ 20V		55	125	
ΔV_O	Load Regulation	1 mA ≤ I_O ≤ 100 mA		13	80	
		1 mA ≤ I_O ≤ 40 mA		6	40	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM78L62AC (Continued)

Unless otherwise specified, V_{IN} = 12V

Symbol	Parameter	Conditions	Min	Typ	Max	Units
I_Q	Quiescent Current			2	5.5	mA
ΔI_Q	Quiescent Current Change	8V ≤ V_{IN} ≤ 20V			**1.5**	mA
		1 mA ≤ I_O ≤ 40 mA			**0.1**	
V_n	Output Noise Voltage	f = 10 Hz to 100 kHz (Note 4)		50		µV
$\frac{\Delta V_{IN}}{\Delta V_{OUT}}$	Ripple Rejection	f = 120 Hz 10V ≤ V_{IN} ≤ 20V	40	46		dB
I_{PK}	Peak Output Current			140		mA
$\frac{\Delta V_O}{\Delta T}$	Average Output Voltage Tempco	I_O = 5 mA		−0.75		mV/°C
V_{IN} (Min)	Minimum Value of Input Voltage Required to Maintain Line Regulation			7.9		V

LM78L82AC

Unless otherwise specified, V_{IN} = 14V

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V_O	Output Voltage		7.87	8.2	8.53	V
		11V ≤ V_{IN} ≤ 23V 1 mA ≤ I_O ≤ 40 mA (Note 3)	**7.8**		**8.6**	
		1 mA ≤ I_O ≤ 70 mA (Note 3)	**7.8**		**8.6**	
ΔV_O	Line Regulation	11V ≤ V_{IN} ≤ 23V		80	175	mV
		12V ≤ V_{IN} ≤ 23V		70	125	
ΔV_O	Load Regulation	1 mA ≤ I_O ≤ 100 mA		15	80	
		1 mA ≤ I_O ≤ 40 mA		8	40	
I_Q	Quiescent Current			2	5.5	mA
ΔI_Q	Quiescent Current Change	12V ≤ V_{IN} ≤ 23V			**1.5**	
		1 mA ≤ I_O ≤ 40 mA			**0.1**	
V_n	Output Noise Voltage	f = 10 Hz to 100 kHz (Note 4)		60		µV
$\frac{\Delta V_{IN}}{\Delta V_{OUT}}$	Ripple Rejection	f = 120 Hz 12V ≤ V_{IN} ≤ 22V	39	45		dB
I_{PK}	Peak Output Current			140		mA
$\frac{\Delta V_O}{\Delta T}$	Average Output Voltage Tempco	I_O = 5 mA		−0.8		mV/°C
V_{IN} (Min)	Minimum Value of Input Voltage Required to Maintain Line Regulation			9.9		V

LM78L09AC

Unless otherwise specified, V_{IN} = 15V

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V_O	Output Voltage		8.64	9.0	9.36	V
		11.5V ≤ V_{IN} ≤ 24V 1 mA ≤ I_O ≤ 40 mA (Note 3)	**8.55**		**9.45**	
		1 mA ≤ I_O ≤ 70 mA (Note 3)	**8.55**		**9.45**	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM78L09AC (Continued)

Unless otherwise specified, V_{IN} = 15V

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ΔV_O	Line Regulation	11.5V ≤ V_{IN} ≤ 24V		100	200	mV
		13V ≤ V_{IN} ≤ 24V		90	150	
ΔV_O	Load Regulation	1 mA ≤ I_O ≤ 100 mA		20	90	
		1 mA ≤ I_O ≤ 40 mA		10	45	
I_Q	Quiescent Current			2	5.5	mA
ΔI_Q	Quiescent Current Change	11.5V ≤ V_{IN} ≤ 24V			**1.5**	
		1 mA ≤ I_O ≤ 40 mA			**0.1**	
V_n	Output Noise Voltage			70		µV
$\frac{\Delta V_{IN}}{\Delta V_{OUT}}$	Ripple Rejection	f = 120 Hz 15V ≤ V_{IN} ≤ 25V	38	44		dB
I_{PK}	Peak Output Current			140		mA
$\frac{\Delta V_O}{\Delta T}$	Average Output Voltage Tempco	I_O = 5 mA		−0.9		mV/°C
V_{IN} (Min)	Minimum Value of Input Voltage Required to Maintain Line Regulation			10.7		V

LM78L12AC

Unless otherwise specified, V_{IN} = 19V

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V_O	Output Voltage		11.5	12	12.5	V
		14.5V ≤ V_{IN} ≤ 27V 1 mA ≤ I_O ≤ 40 mA (Note 3)	**11.4**		**12.6**	
		1 mA ≤ I_O ≤ 70 mA (Note 3)	**11.4**		**12.6**	
ΔV_O	Line Regulation	14.5V ≤ V_{IN} ≤ 27V		30	180	mV
		16V ≤ V_{IN} ≤ 27V		20	110	
ΔV_O	Load Regulation	1 mA ≤ I_O ≤ 100 mA		30	100	
		1 mA ≤ I_O ≤ 40 mA		10	50	
I_Q	Quiescent Current			3	5	mA
ΔI_Q	Quiescent Current Change	16V ≤ V_{IN} ≤ 27V			1	
		1 mA ≤ I_O ≤ 40 mA			**0.1**	
V_n	Output Noise Voltage			80		µV
$\frac{\Delta V_{IN}}{\Delta V_{OUT}}$	Ripple Rejection	f = 120 Hz 15V ≤ V_{IN} ≤ 25	40	54		dB
I_{PK}	Peak Output Current			140		mA
$\frac{\Delta V_O}{\Delta T}$	Average Output Voltage Tempco	I_O = 5 mA		−1.0		mV/°C
V_{IN} (Min)	Minimum Value of Input Voltage Required to Maintain Line Regulation			13.7	14.5	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM78L15AC

Unless otherwise specified, V_{IN} = 23V

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V_O	Output Voltage		14.4	15.0	15.6	V
		17.5V ≤ V_{IN} ≤ 30V 1 mA ≤ I_O ≤ 40 mA (Note 3)	**14.25**		**15.75**	
		1 mA ≤ I_O ≤ 70 mA (Note 3)	**14.25**		**15.75**	
ΔV_O	Line Regulation	17.5V ≤ V_{IN} ≤ 30V		37	250	mV
		20V ≤ V_{IN} ≤ 30V		25	140	
ΔV_O	Load Regulation	1 mA ≤ I_O ≤ 100 mA		35	150	
		1 mA ≤ I_O ≤ 40 mA		12	75	
I_Q	Quiescent Current			3	5	mA
ΔI_Q	Quiescent Current Change	20V ≤ V_{IN} ≤ 30V			1	
		1 mA ≤ I_O ≤ 40 mA			**0.1**	
V_n	Output Noise Voltage			90		μV
$\frac{\Delta V_{IN}}{\Delta V_{OUT}}$	Ripple Rejection	f = 120 Hz 18.5V ≤ V_{IN} ≤ 28.5V	37	51		dB
I_{PK}	Peak Output Current			140		mA
$\frac{\Delta V_O}{\Delta T}$	Average Output Voltage Tempco	I_O = 5 mA		−1.3		mV/°C
V_{IN} (Min)	Minimum Value of Input Voltage Required to Maintain Line Regulation			16.7	17.5	V

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Electrical specifications do not apply when operating the device outside of its stated operating conditions.

Note 2: Human body model, 1.5 kΩ in series with 100 pF.

Note 3: Power dissipation ≤ 0.75W.

Note 4: Recommended minimum load capacitance of 0.01 μF to limit high frequency noise.

Note 5: Typical thermal resistance values for the packages are:

Z Package: θ_{JC} = 60 °C/W, = θ_{JA} = 230 °C/W

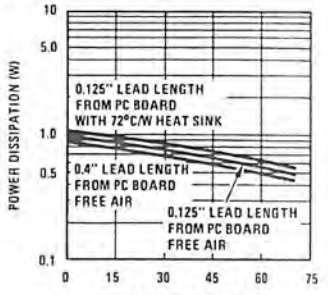
M Package: θ_{JA} = 180 °C/W

micro SMD Package: θ_{JA} = 230.9°C/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

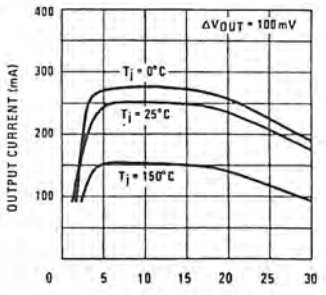
Typical Performance Characteristics

Maximum Average Power Dissipation (Z Package)



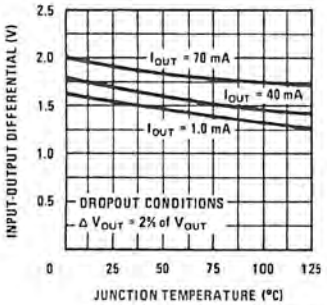
DS007744-14

Peak Output Current



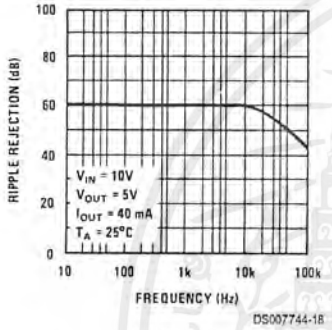
DS007744-16

Dropout Voltage



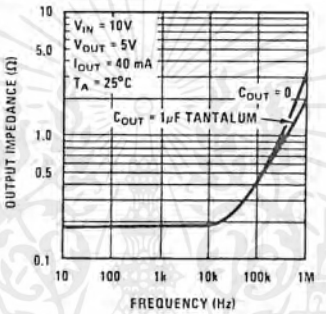
DS007744-17

Ripple Rejection



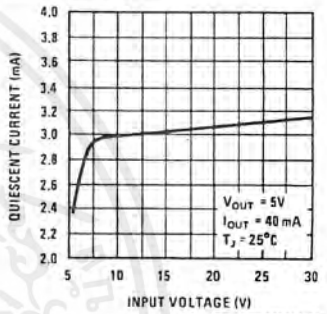
DS007744-18

Output Impedance



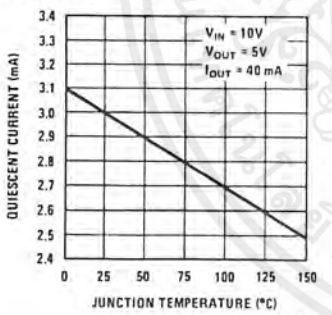
DS007744-19

Quiescent Current



DS007744-20

Quiescent Current

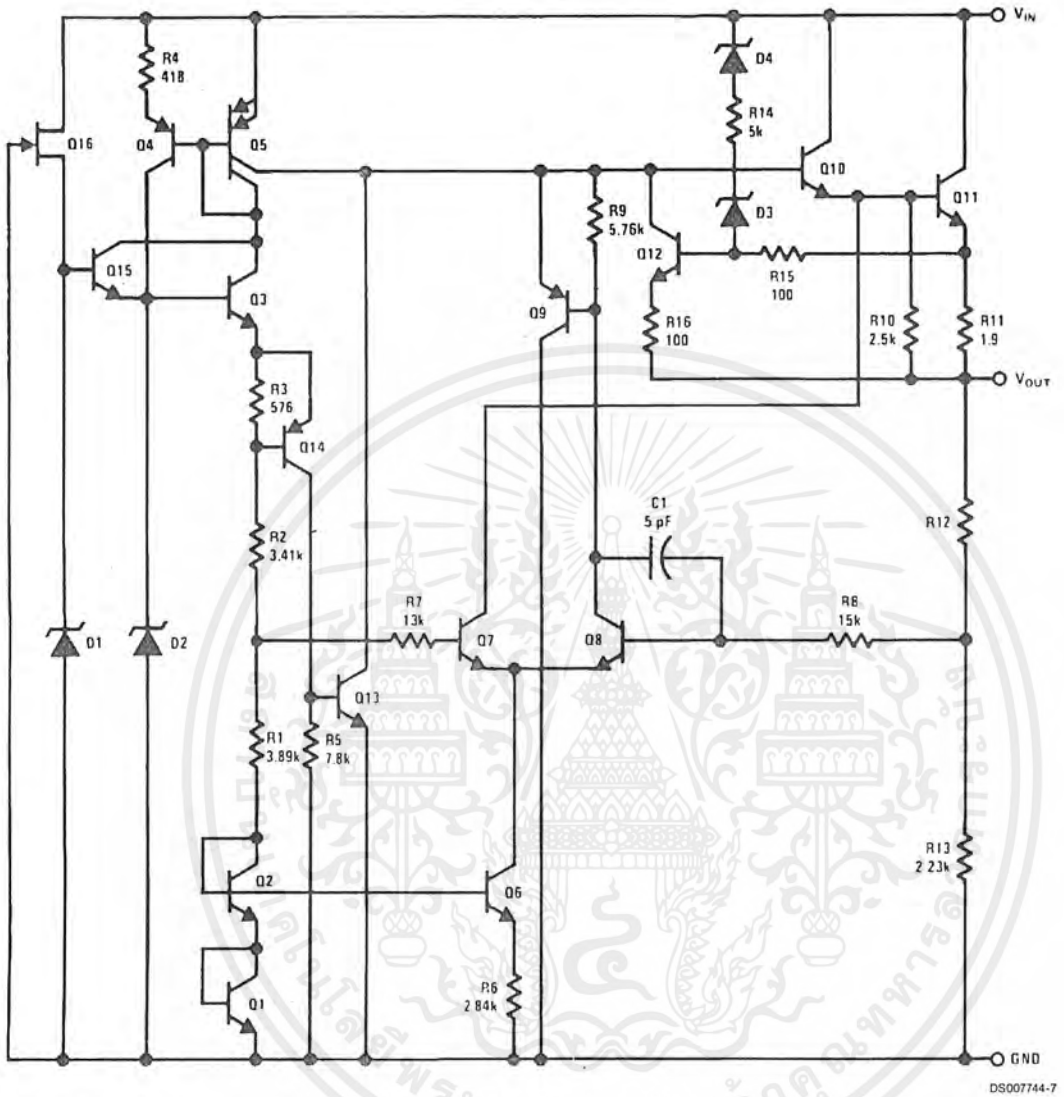


DS007744-21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Equivalent Circuit

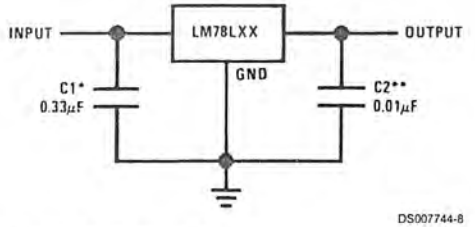
LM78LXX



DS007744-7

Typical Applications

Fixed Output Regulator



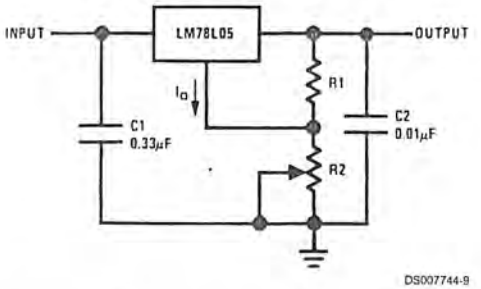
DS007744-8

*Required if the regulator is located more than 3" from the power supply filter.
**See (Note 4) in the electrical characteristics table.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้.

Typical Applications (Continued)

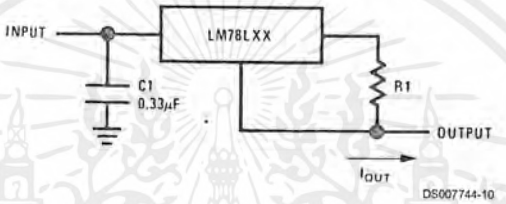
Adjustable Output Regulator



DS007744-9

$V_{OUT} = 5V + (5V/R1 + I_Q) R2$
$5V/R1 > 3\ I_Q$, load regulation $(L_r) = [(R1 + R2)/R1]$ (L_r of LM78L05)

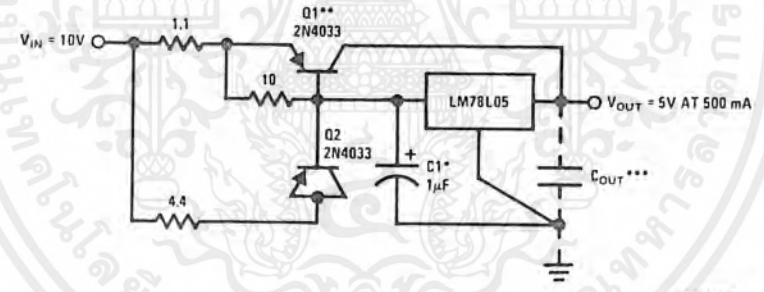
Current Regulator



DS007744-10

$I_{OUT} = (V_{OUT}/R1) + I_Q$
$>I_Q$ = 1.5 mA over line and load changes

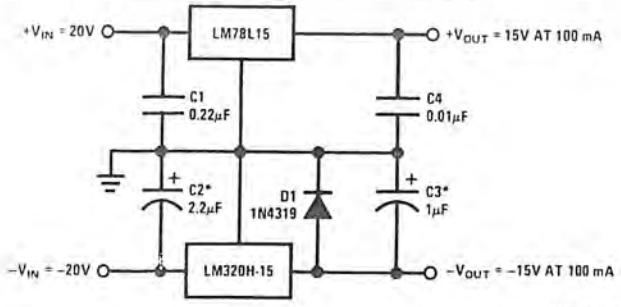
5V, 500 mA Regulator with Short Circuit Protection



DS007744-11

*Solid tantalum.
**Heat sink Q1.
***Optional: Improves ripple rejection and transient response.
Load Regulation: 0.6% $0 \le I_L \le 250$ mA pulsed with t_{ON} = 50 ms.

±15V, 100 mA Dual Power Supply



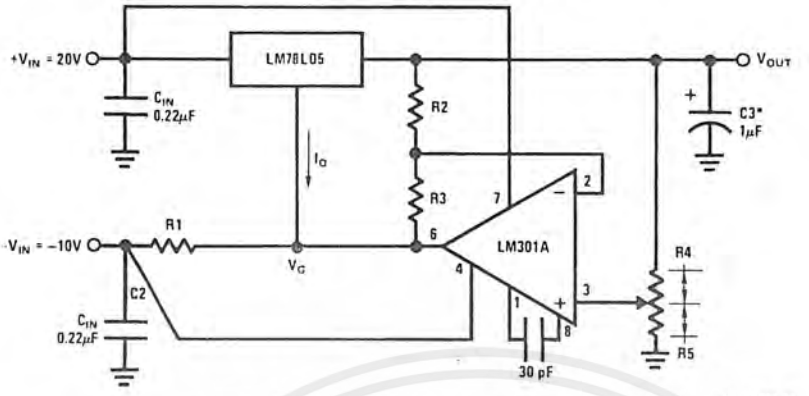
DS007744-12

*Solid tantalum.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Variable Output Regulator 0.5V-18V



DS007744-13

*Solid tantalum.

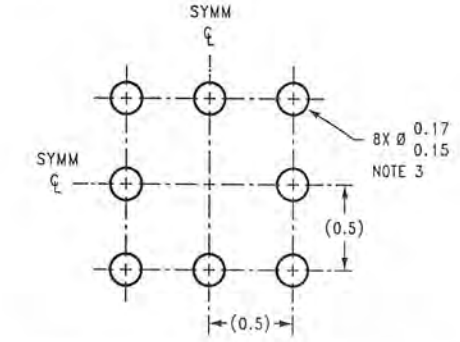
$V_{OUT} = V_G + 5V$, R1 = $(-V_{IN}/I_{Q\ LM78L05})$

$V_{OUT} = 5V\ (R2/R4)$ for (R2 + R3) = (R4 + R5)

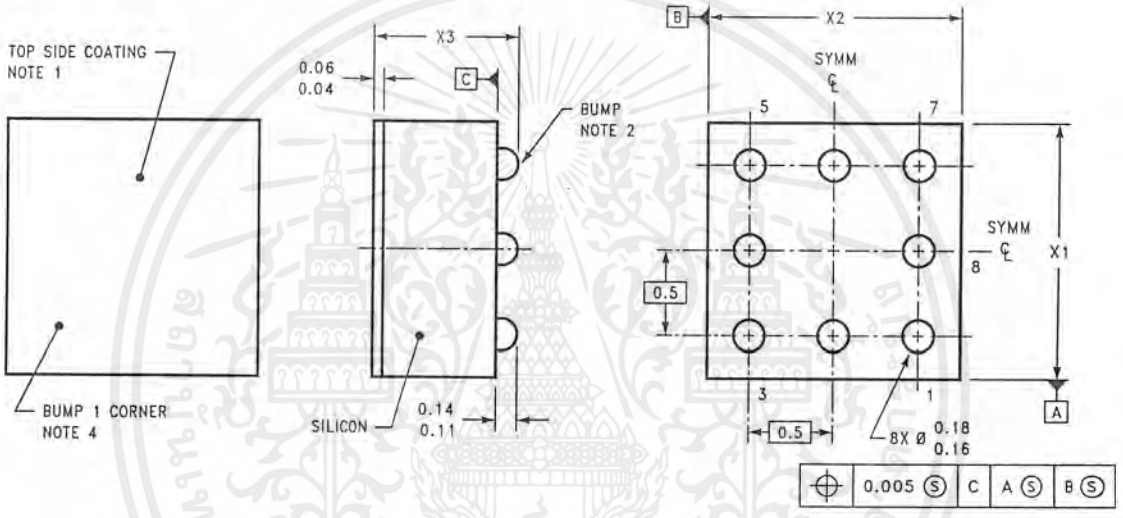
A 0.5V output will correspond to (R2/R4) = 0.1 (R3/R4) = 0.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



LAND PATTERN RECOMMENDATION



DIMENSIONS ARE IN MILLIMETERS

BPA08XXX (REV A)

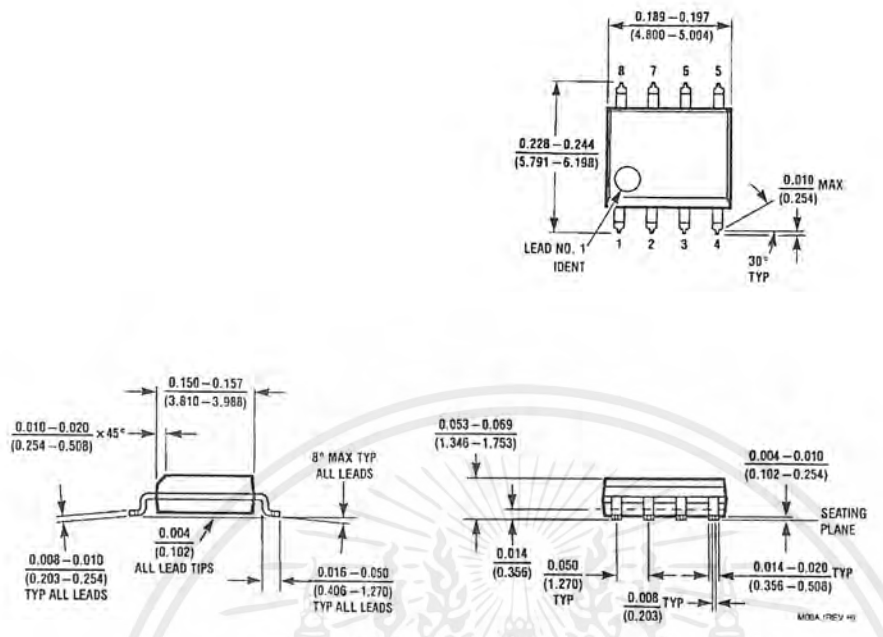
NOTES: UNLESS OTHERWISE SPECIFIED

1. EPOXY COATING
2. 63Sn/37Pb EUTECTIC BUMP
3. RECOMMEND NON-SOLDER MASK DEFINED LANDING PAD.
4. PIN 1 IS ESTABLISHED BY LOWER LEFT CORNER WITH RESPECT TO TEXT ORIENTATION. REMAINING PINS ARE NUMBERED COUNTERCLOCKWISE.
5. XXX IN DRAWING NUMBER REPRESENTS PACKAGE SIZE VARIATION WHERE X_1 IS PACKAGE WIDTH, X_2 IS PACKAGE LENGTH AND X_3 IS PACKAGE HEIGHT.
6. REFERENCE JEDEC REGISTRATION MO-211, VARIATION BC.

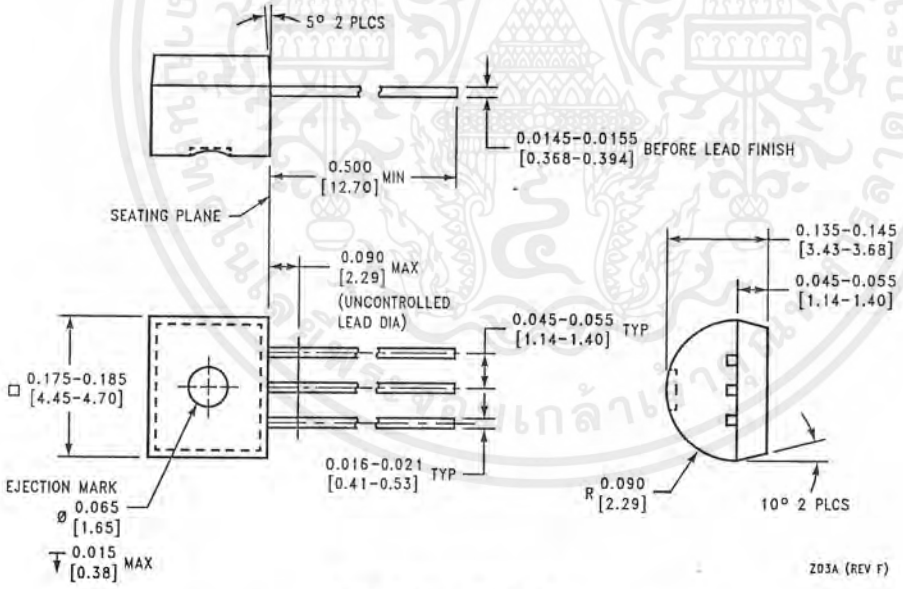
8-Bump micro SMD
Order Number LM78L05IBP or LM78L05IBPX
NS Package Number BPA08AAA
X_1 = 1.285 X_2 = 1.285 X_3 = 0.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



S.O. Package (M)
Order Number LM78L05ACM, LM78L12ACM or LM78L15ACM
NS Package Number M08A



Molded Offset TO-92 (Z)
Order Number LM78L05ACZ, LM78L09ACZ, LM78L12ACZ,
LM78L15ACZ, LM78L62ACZ or LM73L82ACZ
NS Package Number Z03A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com

www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

ABSOLUTE MAXIMUM RATINGS—MAX220/222/232A/233A/242/243

Supply Voltage (V_{CC}) ..... -0.3V to +6V
Input Voltages
T_{IN} ..... -0.3V to (V_{CC} + 0.3V)
R_{IN} ..... ±30V
T_{OUT} (Note 1) ..... ±15V
Output Voltages
T_{OUT} ..... ±15V
R_{OUT} ..... -0.3V to (V_{CC} + 0.3V)
Driver/Receiver Output Short Circuited to GND ..... Continuous
Continuous Power Dissipation (T_A = +70°C)
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C) ... 842mW
18-Pin Plastic DIP (derate 11.11mW/°C above +70°C) ... 889mW
20-Pin Plastic DIP (derate 8.00mW/°C above +70°C) ... 440mW
16-Pin Narrow SO (derate 8.70mW/°C above +70°C) ... 696mW
16-Pin Wide SO (derate 9.52mW/°C above +70°C) ... 762mW
18-Pin Wide SO (derate 9.52mW/°C above +70°C) ... 762mW
20-Pin Wide SO (derate 10.00mW/°C above +70°C) ... 800mW
20-Pin SSOP (derate 8.00mW/°C above +70°C) ... 640mW
16-Pin CERDIP (derate 10.00mW/°C above +70°C) ... 800mW
18-Pin CERDIP (derate 10.53mW/°C above +70°C) ... 842mW
Operating Temperature Ranges
MAX2_ _AC_ _, MAX2_ _C_ _ ..... 0°C to +70°C
MAX2_ _AE_ _, MAX2_ _E_ _ ..... -40°C to +85°C
MAX2_ _AM_ _, MAX2_ _M_ _ ..... -55°C to +125°C
Storage Temperature Range ..... -65°C to +160°C
Lead Temperature (soldering, 10sec) ..... +300°C

Note 1: Input voltage measured with T_{OUT} in high-impedance state, $\overline{SHDN}$ or V_{CC} = 0V.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX220/222/232A/233A/242/243

(V_{CC} = +5V ±10%, C1–C4 = 0.1µF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
RS-232 TRANSMITTERS						
Output Voltage Swing	All transmitter outputs loaded with 3kΩ to GND		±5	±8		V
Input Logic Threshold Low				1.4	0.8	V
Input Logic Threshold High			2	1.4		V
Logic Pull-Up/Input Current	Normal operation			5	40	µA
	$\overline{SHDN}$ = 0V, MAX222/242, shutdown			±0.01	±1	
Output Leakage Current	V_{CC} = 5.5V, $\overline{SHDN}$ = 0V, V_{OUT} = ±15V, MAX222/242			±0.01	±10	µA
	V_{CC} = $\overline{SHDN}$ = 0V, V_{OUT} = ±15V			±0.01	±10	
Data Rate	All except MAX220, normal operation			200	116	kbits/ sec
	MAX220			22	20	
Transmitter Output Resistance	V_{CC} = V+ = V- = 0V, V_{OUT} = ±2V		300	10M		Ω
Output Short-Circuit Current	V_{OUT} = 0V			±7	±22	mA
RS-232 RECEIVERS						
RS-232 Input Voltage Operating Range					±30	V
RS-232 Input Threshold Low	V_{CC} = 5V	All except MAX243 $R2_{IN}$	0.8	1.3		V
		MAX243 $R2_{IN}$ (Note 2)	-3			
RS-232 Input Threshold High	V_{CC} = 5V	All except MAX243 $R2_{IN}$		1.8	2.4	V
		MAX243 $R2_{IN}$ (Note 2)		-0.5	-0.1	
RS-232 Input Hysteresis	All except MAX243, V_{CC} = 5V, no hysteresis in shdn.		0.2	0.5	1	V
	MAX243			1		
RS-232 Input Resistance			3	5	7	kΩ
TTL/CMOS Output Voltage Low	I_{OUT} = 3.2mA			0.2	0.4	V
TTL/CMOS Output Voltage High	I_{OUT} = -1.0mA		3.5	V_{CC} - 0.2		V
TTL/CMOS Output Short-Circuit Current	Sourcing V_{OUT} = GND		-2	-10		mA
	Shrinking V_{OUT} = V_{CC}		10	30		
TTL/CMOS Output Leakage Current	$\overline{SHDN}$ = V_{CC} or $\overline{EN}$ = V_{CC} ($\overline{SHDN}$ = 0V for MAX222), 0V ≤ V_{OUT} ≤ V_{CC}			±0.05	±10	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS—MAX220/222/232A/233A/242/243 (continued)

(V_{CC} = +5V ±10%, C1–C4 = 0.1µF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$\overline{EN}$ Input Threshold Low	MAX242			1.4	0.8	V
$\overline{EN}$ Input Threshold High	MAX242		2.0	1.4		V
Operating Supply Voltage			4.5		5.5	V
V_{CC} Supply Current ($\overline{SHDN}$ = V_{CC}), Figures 5, 6, 11, 19	No load	MAX220		0.5	2	mA
		MAX222/232A/233A/242/243		4	10	
	3kΩ load both inputs	MAX220		12		
		MAX222/232A/233A/242/243		15		
Shutdown Supply Current	MAX222/242	T_A = +25°C		0.1	10	µA
		T_A = 0°C to +70°C		2	50	
		T_A = -40°C to +85°C		2	50	
		T_A = -55°C to +125°C		35	100	
$\overline{SHDN}$ Input Leakage Current	MAX222/242				±1	µA
$\overline{SHDN}$ Threshold Low	MAX222/242			1.4	0.8	V
$\overline{SHDN}$ Threshold High	MAX222/242		2.0	1.4		V
Transition Slew Rate	C_L = 50pF to 2500pF, R_L = 3kΩ to 7kΩ, V_{CC} = 5V, T_A = +25°C, measured from +3V to -3V or -3V to +3V	MAX222/232A/233A/242/243	6	12	30	V/µs
		MAX220	1.5	3	30	
Transmitter Propagation Delay TLL to RS-232 (normal operation), Figure 1	t_{PHLT}	MAX222/232A/233A/242/243		1.3	3.5	µs
		MAX220		4	10	
	t_{PLHT}	MAX222/232A/233A/242/243		1.5	3.5	
		MAX220		5	10	
Receiver Propagation Delay RS-232 to TLL (normal operation), Figure 2	t_{PHLR}	MAX222/232A/233A/242/243		0.5	1	µs
		MAX220		0.6	3	
	t_{PLHR}	MAX222/232A/233A/242/243		0.6	1	
		MAX220		0.8	3	
Receiver Propagation Delay RS-232 to TLL (shutdown), Figure 2	t_{PHLS}	MAX242		0.5	10	µs
	t_{PLHS}	MAX242		2.5	10	
Receiver-Output Enable Time, Figure 3	t_{ER}	MAX242		125	500	ns
Receiver-Output Disable Time, Figure 3	t_{DR}	MAX242		160	500	ns
Transmitter-Output Enable Time ($\overline{SHDN}$ goes high), Figure 4	t_{ET}	MAX222/242, 0.1µF caps (includes charge-pump start-up)		250		µs
Transmitter-Output Disable Time ($\overline{SHDN}$ goes low), Figure 4	t_{DT}	MAX222/242, 0.1µF caps		600		ns
Transmitter + to - Propagation Delay Difference (normal operation)	t_{PHLT} - t_{PLHT}	MAX222/232A/233A/242/243		300		ns
		MAX220		2000		
Receiver + to - Propagation Delay Difference (normal operation)	t_{PHLR} - t_{PLHR}	MAX222/232A/233A/242/243		100		ns
		MAX220		225		

Note 2: MAX243 $R2_{OUT}$ is guaranteed to be low when $R2_{IN}$ is ≥ 0V or is floating.

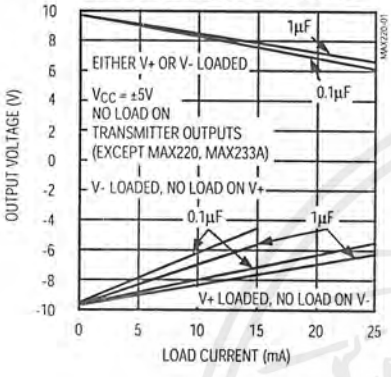
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

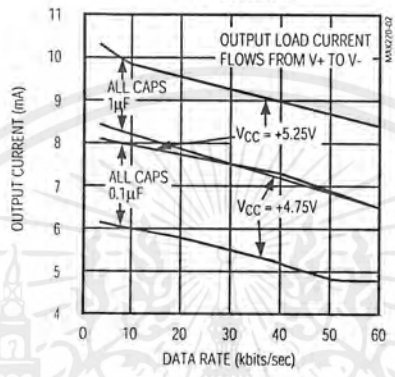
Typical Operating Characteristics

MAX220/MAX222/MAX232A/MAX233A/MAX242/MAX243

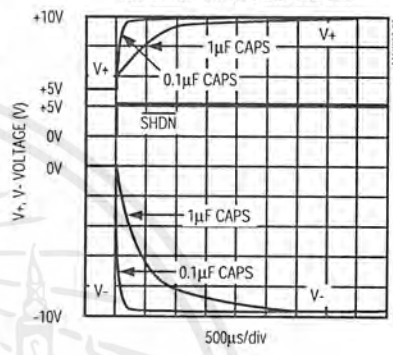
OUTPUT VOLTAGE vs. LOAD CURRENT



AVAILABLE OUTPUT CURRENT vs. DATA RATE



MAX222/MAX242 ON-TIME EXITING SHUTDOWN



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

Detailed Description

The MAX220–MAX249 contain four sections: dual charge-pump DC-DC voltage converters, RS-232 drivers, RS-232 receivers, and receiver and transmitter enable control inputs.

Dual Charge-Pump Voltage Converter

The MAX220–MAX249 have two internal charge-pumps that convert +5V to ±10V (unloaded) for RS-232 driver operation. The first converter uses capacitor C1 to double the +5V input to +10V on C3 at the V+ output. The second converter uses capacitor C2 to invert +10V to -10V on C4 at the V- output.

A small amount of power may be drawn from the +10V (V+) and -10V (V-) outputs to power external circuitry (see the *Typical Operating Characteristics* section), except on the MAX225 and MAX245–MAX247, where these pins are not available. V+ and V- are not regulated, so the output voltage drops with increasing load current. Do not load V+ and V- to a point that violates the minimum ±5V EIA/TIA-232E driver output voltage when sourcing current from V+ and V- to external circuitry.

When using the shutdown feature in the MAX222, MAX225, MAX230, MAX235, MAX236, MAX240, MAX241, and MAX245–MAX249, avoid using V+ and V- to power external circuitry. When these parts are shut down, V- falls to 0V, and V+ falls to +5V. For applications where a +10V external supply is applied to the V+ pin (instead of using the internal charge pump to generate +10V), the C1 capacitor must not be installed and the $\overline{SHDN}$ pin must be tied to V_{CC}. This is because V+ is internally connected to V_{CC} in shutdown mode.

RS-232 Drivers

The typical driver output voltage swing is ±8V when loaded with a nominal 5kΩ RS-232 receiver and V_{CC} = +5V. Output swing is guaranteed to meet the EIA/TIA-232E and V.28 specification, which calls for ±5V minimum driver output levels under worst-case conditions. These include a minimum 3kΩ load, V_{CC} = +4.5V, and maximum operating temperature. Unloaded driver output voltage ranges from (V+ -1.3V) to (V- +0.5V).

Input thresholds are both TTL and CMOS compatible. The inputs of unused drivers can be left unconnected since 400kΩ input pull-up resistors to V_{CC} are built in. The pull-up resistors force the outputs of unused drivers low because all drivers invert. The internal input pull-up resistors typically source 12µA, except in shutdown mode where the pull-ups are disabled. Driver outputs turn off and enter a high-impedance state—where leakage current is typically microamperes (maximum 25µA)—when in shutdown mode, in three-state mode, or when device power is removed. Outputs can be driven to ±15V. The power-supply current typically drops to 8µA in shutdown mode.

The MAX239 has a receiver three-state control line, and the MAX223, MAX225, MAX235, MAX236, MAX240, and MAX241 have both a receiver three-state control line and a low-power shutdown control. Table 2 shows the effects of the shutdown control and receiver three-state control on the receiver outputs.

The receiver TTL/CMOS outputs are in a high-impedance, three-state mode whenever the three-state enable line is high (for the MAX225/MAX235/MAX236/MAX239–MAX241), and are also high-impedance whenever the shutdown control line is high.

When in low-power shutdown mode, the driver outputs are turned off and their leakage current is less than 1µA with the driver output pulled to ground. The driver output leakage remains less than 1µA, even if the transmitter output is backdriven between 0V and (V_{CC} + 6V). Below -0.5V, the transmitter is diode clamped to ground with 1kΩ series impedance. The transmitter is also zener clamped to approximately V_{CC} + 6V, with a series impedance of 1kΩ.

The driver output slew rate is limited to less than 30V/µs as required by the EIA/TIA-232E and V.28 specifications. Typical slew rates are 24V/µs unloaded and 10V/µs loaded with 3Ω and 2500pF.

RS-232 Receivers

EIA/TIA-232E and V.28 specifications define a voltage level greater than 3V as a logic 0, so all receivers invert. Input thresholds are set at 0.8V and 2.4V, so receivers respond to TTL level inputs as well as EIA/TIA-232E and V.28 levels.

The receiver inputs withstand an input overvoltage up to ±25V and provide input terminating resistors with nominal 5kΩ values. The receivers implement Type 1 interpretation of the fault conditions of V.28 and EIA/TIA-232E.

Table 2. Three-State Control of Receivers

PART	SHDN	$\overline{SHDN}$	EN	$\overline{EN(R)}$	RECEIVERS
MAX223	—	Low High High	X Low High	—	High Impedance Active High Impedance
MAX225	—	—	—	Low High	High Impedance Active
MAX235 MAX236 MAX240	Low Low High	—	—	Low High X	High Impedance Active High Impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The receiver input hysteresis is typically 0.5V with a guaranteed minimum of 0.2V. This produces clear output transitions with slow-moving input signals, even with moderate amounts of noise and ringing. The receiver propagation delay is typically 600ns and is independent of input swing direction.

Low-Power Receive Mode

The low-power receive-mode feature of the MAX223, MAX242, and MAX245–MAX249 puts the IC into shutdown mode but still allows it to receive information. This is important for applications where systems are periodically awakened to look for activity. Using low-power receive mode, the system can still receive a signal that will activate it on command and prepare it for communication at faster data rates. This operation conserves system power.

Negative Threshold—MAX243

The MAX243 is pin compatible with the MAX232A, differing only in that RS-232 cable fault protection is removed on one of the two receiver inputs. This means that control lines such as CTS and RTS can either be driven or left floating without interrupting communication. Different cables are not needed to interface with different pieces of equipment.

The input threshold of the receiver without cable fault protection is -0.8V rather than +1.4V. Its output goes positive only if the input is connected to a control line that is actively driven negative. If not driven, it defaults to the 0 or "OK to send" state. Normally, the MAX243's other receiver (+1.4V threshold) is used for the data line (TD or RD), while the negative threshold receiver is connected to the control line (DTR, DTS, CTS, RTS, etc.).

Other members of the RS-232 family implement the optional cable fault protection as specified by EIA/TIA-232E specifications. This means a receiver output goes high whenever its input is driven negative, left floating, or shorted to ground. The high output tells the serial communications IC to stop sending data. To avoid this, the control lines must either be driven or connected with jumpers to an appropriate positive voltage level.

Shutdown—MAX222–MAX242

On the MAX222, MAX235, MAX236, MAX240, and MAX241, all receivers are disabled during shutdown. On the MAX223 and MAX242, two receivers continue to operate in a reduced power mode when the chip is in shutdown. Under these conditions, the propagation delay increases to about 2.5µs for a high-to-low input transition. When in shutdown, the receiver acts as a CMOS inverter with no hysteresis. The MAX223 and MAX242 also have a receiver output enable input ($\overline{EN}$ for the MAX242 and EN for the MAX223) that allows receiver output control independent of $\overline{SHDN}$ (SHDN for MAX241). With all other devices, $\overline{SHDN}$ (SHDN for MAX241) also disables the receiver outputs.

The MAX225 provides five transmitters and five receivers, while the MAX245 provides ten receivers and eight transmitters. Both devices have separate receiver and transmitter-enable controls. The charge pumps turn off and the devices shut down when a logic high is applied to the ENT input. In this state, the supply current drops to less than 25µA and the receivers continue to operate in a low-power receive mode. Driver outputs enter a high-impedance state (three-state mode). On the MAX225, all five receivers are controlled by the $\overline{ENR}$ input. On the MAX245, eight of the receiver outputs are controlled by the $\overline{ENR}$ input, while the remaining two receivers (RA5 and RB5) are always active. RA1–RA4 and RB1–RB4 are put in a three-state mode when $\overline{ENR}$ is a logic high.

Receiver and Transmitter Enable Control Inputs

The MAX225 and MAX245–MAX249 feature transmitter and receiver enable controls.

The receivers have three modes of operation: full-speed receive (normal active), three-state (disabled), and low-power receive (enabled receivers continue to function at lower data rates). The receiver enable inputs control the full-speed receive and three-state modes. The transmitters have two modes of operation: full-speed transmit (normal active) and three-state (disabled). The transmitter enable inputs also control the shutdown mode. The device enters shutdown mode when all transmitters are disabled. Enabled receivers function in the low-power receive mode when in shutdown.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

Tables 1a–1d define the control states. The MAX244 has no control pins and is not included in these tables.

The MAX246 has ten receivers and eight drivers with two control pins, each controlling one side of the device. A logic high at the A-side control input ($\overline{ENA}$) causes the four A-side receivers and drivers to go into a three-state mode. Similarly, the B-side control input ($\overline{ENB}$) causes the four B-side drivers and receivers to go into a three-state mode. As in the MAX245, one A-side and one B-side receiver (RA5 and RB5) remain active at all times. The entire device is put into shutdown mode when both the A and B sides are disabled ($\overline{ENA}$ = $\overline{ENB}$ = +5V).

The MAX247 provides nine receivers and eight drivers with four control pins. The $\overline{ENRA}$ and $\overline{ENRB}$ receiver enable inputs each control four receiver outputs. The $\overline{ENTA}$ and $\overline{ENTB}$ transmitter enable inputs each control four drivers. The ninth receiver (RB5) is always active. The device enters shutdown mode with a logic high on both $\overline{ENTA}$ and $\overline{ENTB}$.

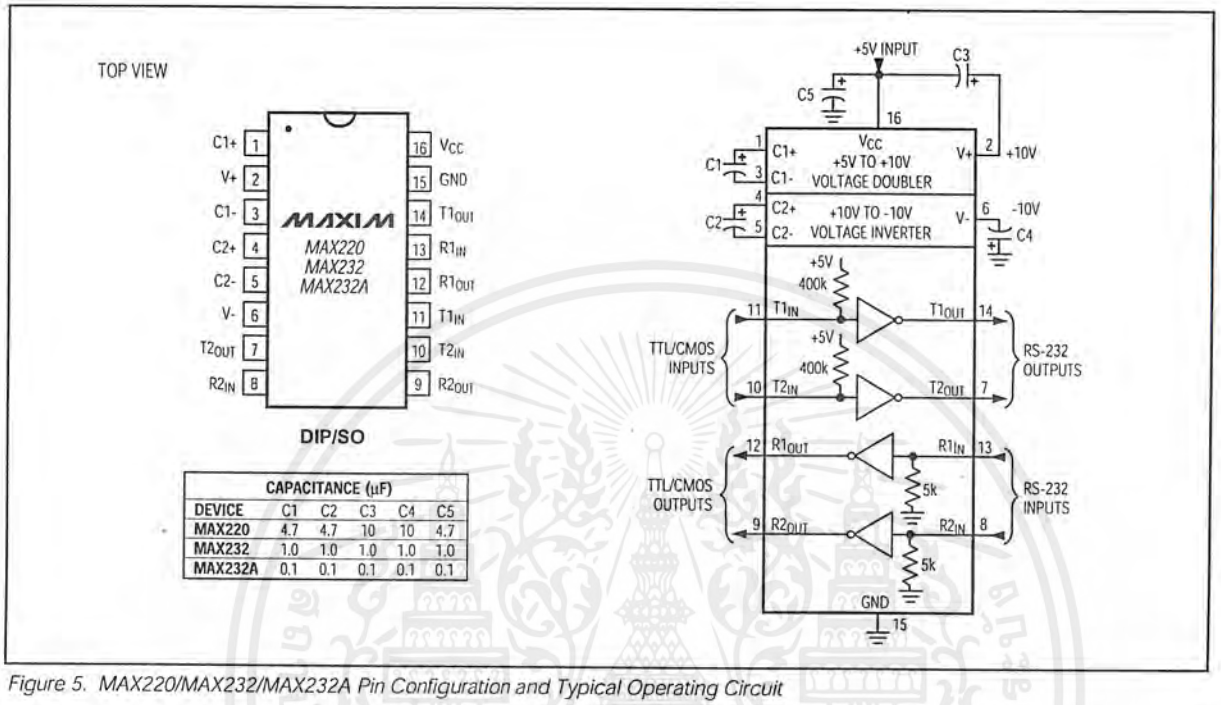
The MAX248 provides eight receivers and eight drivers with four control pins. The $\overline{ENRA}$ and $\overline{ENRB}$ receiver enable inputs each control four receiver outputs. The $\overline{ENTA}$ and $\overline{ENTB}$ transmitter enable inputs control four drivers each. This part does not have an always-active receiver. The device enters shutdown mode and transmitters go into a three-state mode with a logic high on both $\overline{ENTA}$ and $\overline{ENTB}$.

The MAX249 provides ten receivers and six drivers with four control pins. The $\overline{ENRA}$ and $\overline{ENRB}$ receiver enable inputs each control five receiver outputs. The $\overline{ENTA}$ and $\overline{ENTB}$ transmitter enable inputs control three drivers each. There is no always-active receiver. The device enters shutdown mode and transmitters go into a three-state mode with a logic high on both $\overline{ENTA}$ and $\overline{ENTB}$. In shutdown mode, active receivers operate in a low-power receive mode at data rates up to 20kbits/sec.

Applications Information

Figures 5 through 25 show pin configurations and typical operating circuits. In applications that are sensitive to power-supply noise, VCC should be decoupled to ground with a capacitor of the same value as C1 and C2 connected as close as possible to the device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



CAPACITANCE (µF)					
DEVICE	C1	C2	C3	C4	C5
MAX220	4.7	4.7	10	10	4.7
MAX232	1.0	1.0	1.0	1.0	1.0
MAX232A	0.1	0.1	0.1	0.1	0.1

Figure 5. MAX220/MAX232/MAX232A Pin Configuration and Typical Operating Circuit

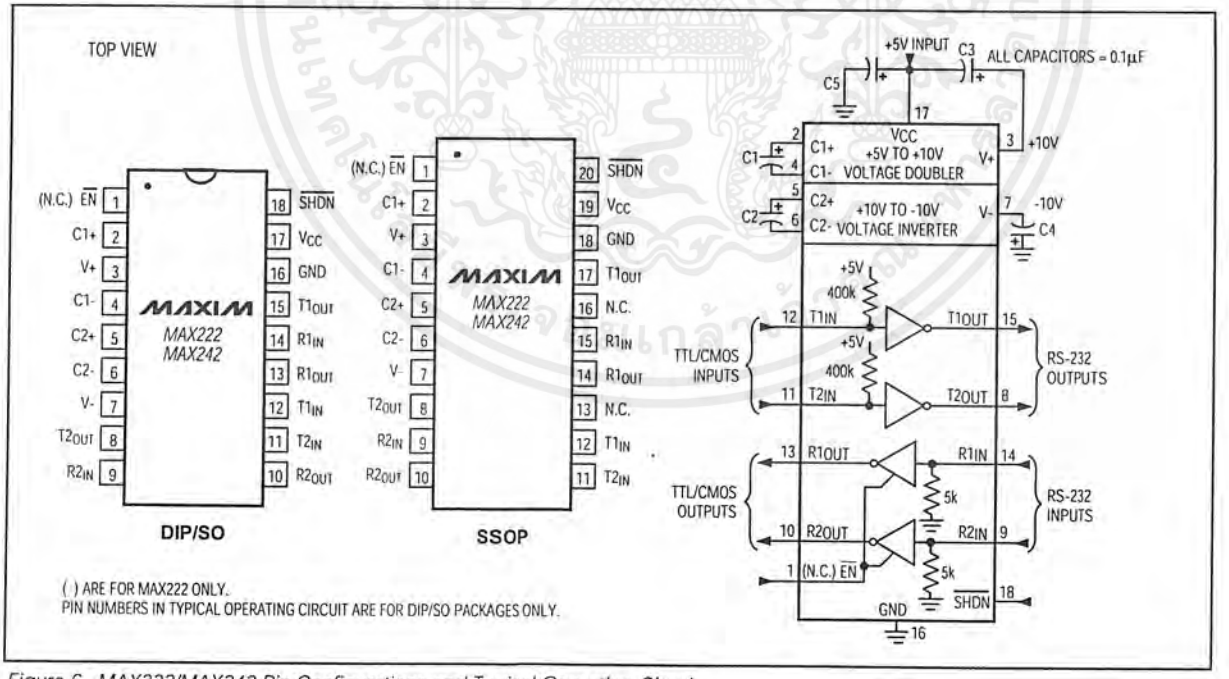


Figure 6. MAX222/MAX242 Pin Configurations and Typical Operating Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

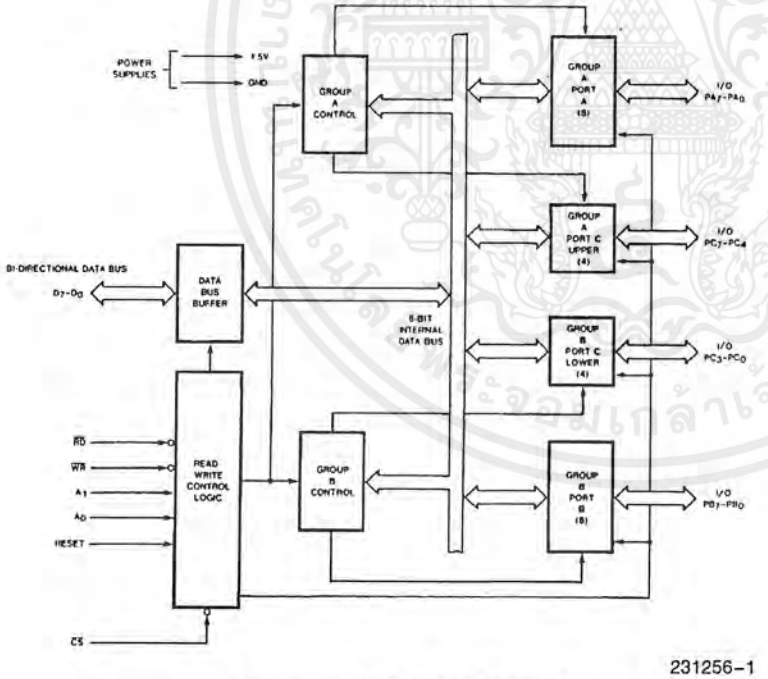
82C55A
CHMOS PROGRAMMABLE PERIPHERAL INTERFACE

- **Compatible with all Intel and Most Other Microprocessors**
- **High Speed, "Zero Wait State" Operation with 8 MHz 8086/88 and 80186/188**
- **24 Programmable I/O Pins**
- **Low Power CHMOS**
- **Completely TTL Compatible**
- **Control Word Read-Back Capability**
- **Direct Bit Set/Reset Capability**
- **2.5 mA DC Drive Capability on all I/O Port Outputs**
- **Available in 40-Pin DIP and 44-Pin PLCC**
- **Available in EXPRESS**
  - **— Standard Temperature Range**
  - **— Extended Temperature Range**

The Intel 82C55A is a high-performance, CHMOS version of the industry standard 8255A general purpose programmable I/O device which is designed for use with all Intel and most other microprocessors. It provides 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. The 82C55A is pin compatible with the NMOS 8255A and 8255A-5.

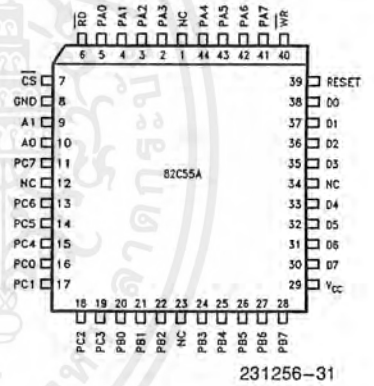
In MODE 0, each group of 12 I/O pins may be programmed in sets of 4 and 8 to be inputs or outputs. In MODE 1, each group may be programmed to have 8 lines of input or output. 3 of the remaining 4 pins are used for handshaking and interrupt control signals. MODE 2 is a strobed bi-directional bus configuration.

The 82C55A is fabricated on Intel's advanced CHMOS III technology which provides low power consumption with performance equal to or greater than the equivalent NMOS product. The 82C55A is available in 40-pin DIP and 44-pin plastic leaded chip carrier (PLCC) packages.

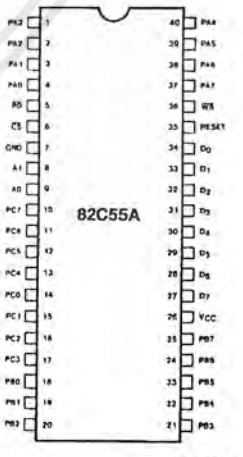


231256-1

Figure 1. 82C55A Block Diagram



231256-31



231256-2

Figure 2. 82C55A Pinout

Diagrams are for pin reference only. Package sizes are not to scale.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Pin Description

Symbol	Pin Number Dip	Pin Number PLCC	Type	Name and Function
PA_{3-0}	1–4	2–5	I/O	**PORT A, PINS 0–3:** Lower nibble of an 8-bit data output latch/ buffer and an 8-bit data input latch.
$\overline{RD}$	5	6	I	**READ CONTROL:** This input is low during CPU read operations.
$\overline{CS}$	6	7	I	**CHIP SELECT:** A low on this input enables the 82C55A to respond to $\overline{RD}$ and $\overline{WR}$ signals. $\overline{RD}$ and WR are ignored otherwise.
GND	7	8		**System Ground**
A_{1-0}	8–9	9–10	I	**ADDRESS:** These input signals, in conjunction $\overline{RD}$ and $\overline{WR}$, control the selection of one of the three ports or the control word registers.
PC_{7-4}	10–13	11,13–15	I/O	**PORT C, PINS 4–7:** Upper nibble of an 8-bit data output latch/ buffer and an 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.
PC_{0-3}	14–17	16–19	I/O	**PORT C, PINS 0–3:** Lower nibble of Port C.
PB_{0-7}	18–25	20–22, 24–28	I/O	**PORT B, PINS 0–7:** An 8-bit data output latch/buffer and an 8-bit data input buffer.
V_{CC}	26	29		**SYSTEM POWER:** + 5V Power Supply.
D_{7-0}	27–34	30–33, 35–38	I/O	**DATA BUS:** Bi-directional, tri-state data bus lines, connected to system data bus.
RESET	35	39	I	**RESET:** A high on this input clears the control register and all ports are set to the input mode.
$\overline{WR}$	36	40	I	**WRITE CONTROL:** This input is low during CPU write operations.
PA_{7-4}	37–40	41–44	I/O	**PORT A, PINS 4–7:** Upper nibble of an 8-bit data output latch/ buffer and an 8-bit data input latch.
NC		1, 12, 23, 34		No Connect

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	Input Operation (Read)
0	0	0	1	0	Port A - Data Bus
0	1	0	1	0	Port B - Data Bus
1	0	0	1	0	Port C - Data Bus
1	1	0	1	0	Control Word - Data Bus
					Output Operation (Write)
0	0	1	0	0	Data Bus - Port A
0	1	1	0	0	Data Bus - Port B
1	0	1	0	0	Data Bus - Port C
1	1	1	0	0	Data Bus - Control
					Disable Function
X	X	X	X	1	Data Bus - 3 - State
X	X	1	1	0	Data Bus - 3 - State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

82C55A FUNCTIONAL DESCRIPTION

General

The 82C55A is a programmable peripheral interface device designed for use in Intel microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 82C55A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 82C55A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 82C55A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 82C55A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A - Port A and Port C upper (C7-C4)
Control Group B - Port B and Port C lower (C3-C0)

The control word register can be both written and read as shown in the address decode table in the pin descriptions. Figure 6 shows the control word format for both Read and Write operations. When the control word is read, bit D7 will always be a logic "1", as this implies control word mode information.

Ports A, B, and C

The 82C55A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 82C55A.

Port A. One 8-bit data output latch/buffer and one 8-bit input latch buffer. Both "pull-up" and "pull-down" bus hold devices are present on Port A.

Port B. One 8-bit data input/output latch/buffer. Only "pull-up" bus hold devices are present on Port B.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B. Only "pull-up" bus hold devices are present on Port C.

See Figure 4 for the bus-hold circuit configuration for Port A, B, and C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

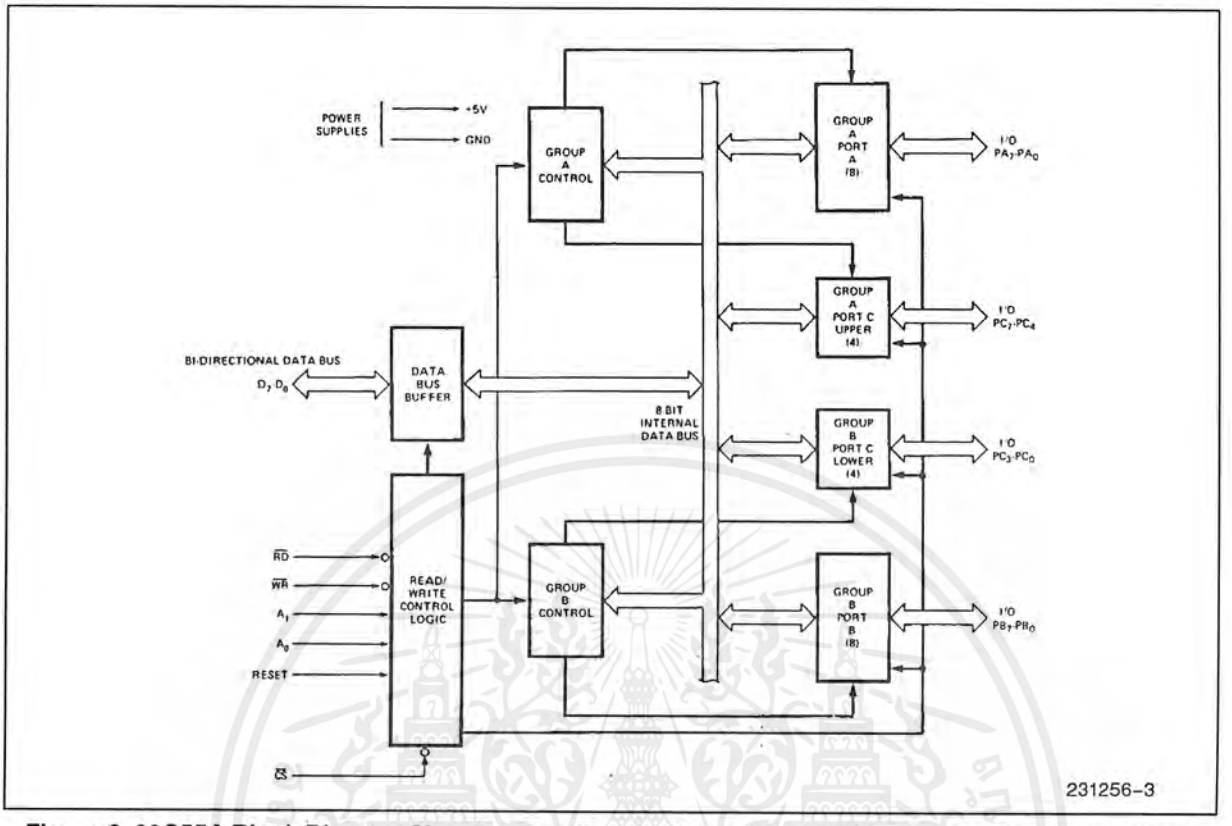
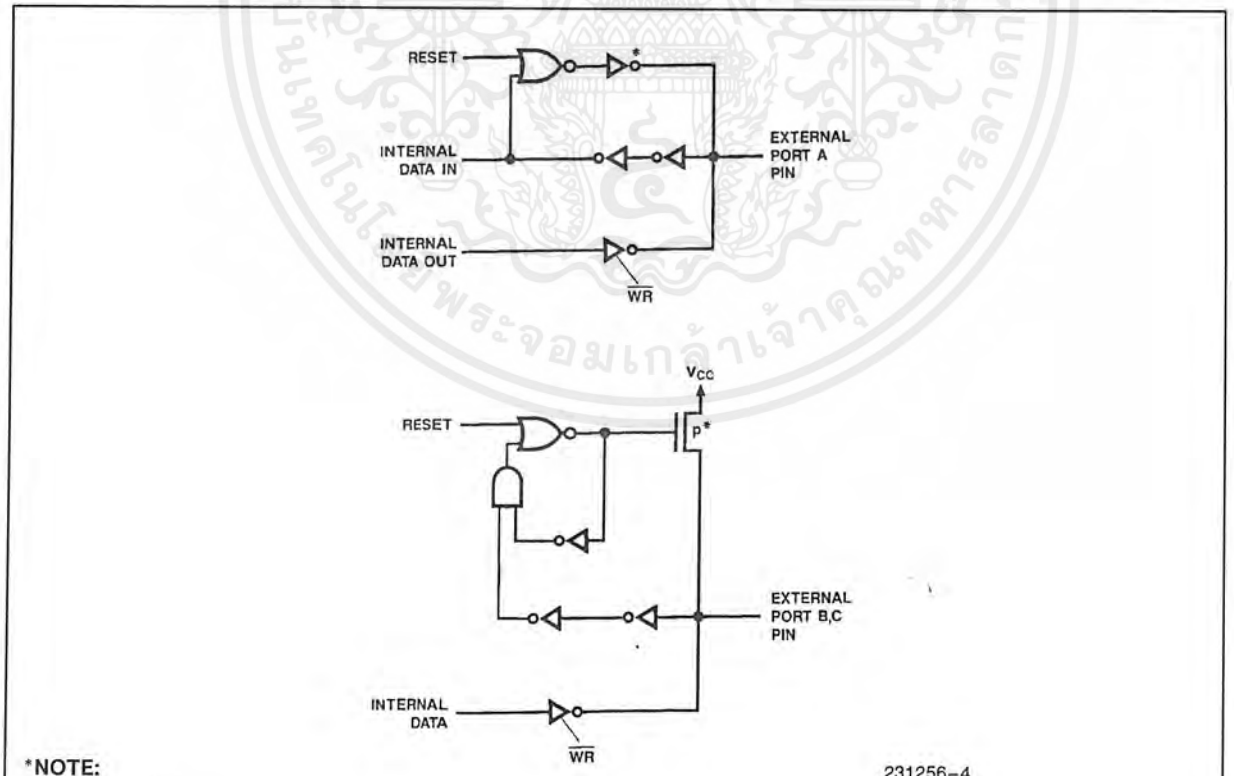


Figure 3. 82C55A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions



***NOTE:**
Port pins loaded with more than 20 pF capacitance may not have their logic level guaranteed following a hardware reset.

Figure 4. Port A, B, C, Bus-hold Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

82C55A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic input/output
Mode 1 — Strobed Input/output
Mode 2 — Bi-directional Bus

When the reset input goes "high" all ports will be set to the input mode with all 24 port lines held at a logic "one" level by the internal bus hold devices (see Figure 4 Note). After the reset is removed the 82C55A can remain in the input mode with no additional initialization required. This eliminates the need for pullup or pulldown devices in "all CMOS" designs. During the execution of the system program, any of the other modes may be selected by using a single output instruction. This allows a single 82C55A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

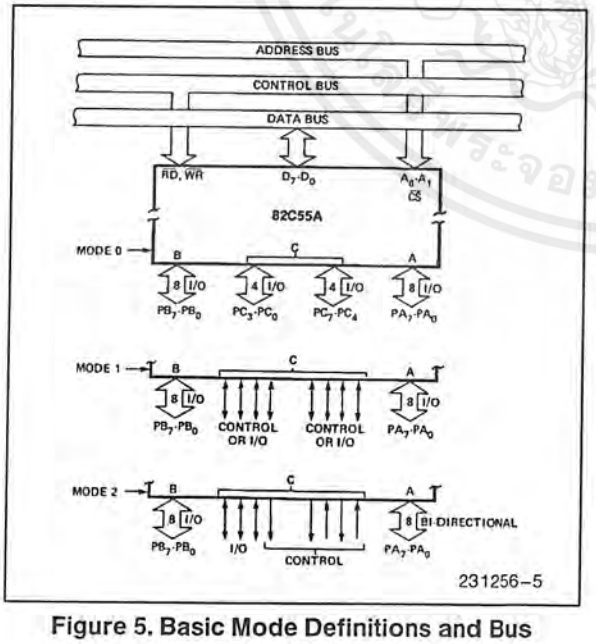


Figure 5. Basic Mode Definitions and Bus Interface

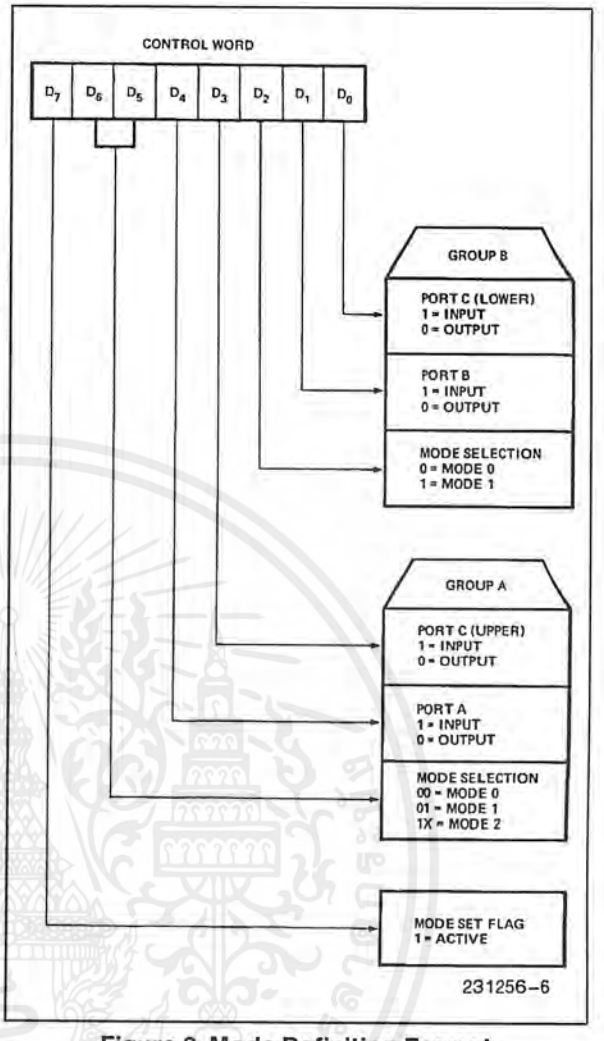


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 82C55A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

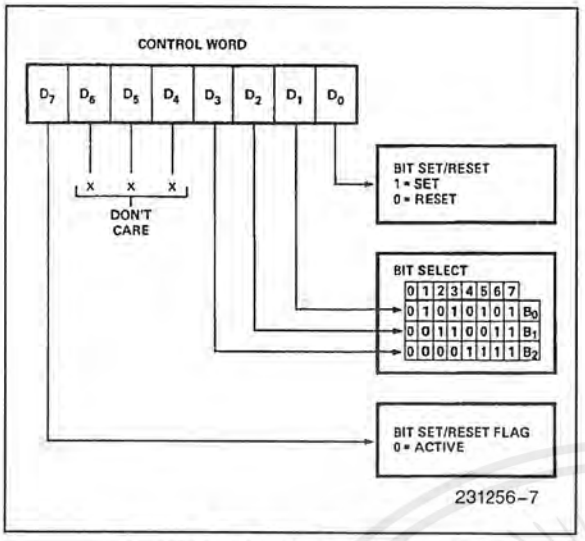


Figure 7. Bit Set/Reset Format

Interrupt Control Functions

When the 82C55A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET)—INTE is SET—Interrupt enable
(BIT-RESET)—INTE is RESET—Interrupt disable

Note:
All Mask flip-flops are automatically reset during mode selection and device Reset.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Compatible with MCS-51™ Products
- 4K Bytes of In-System Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial Channel
- Low Power Idle and Power Down Modes

8-Bit Microcontroller with 4K Bytes Flash

AT89C51

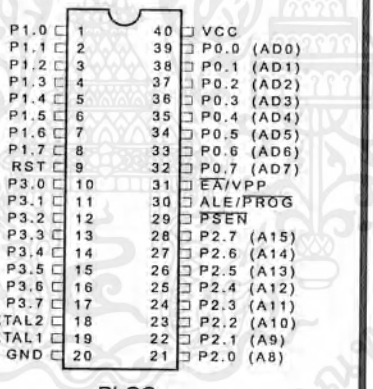
Description

The AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4K bytes of Flash Programmable and Erasable Read Only Memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

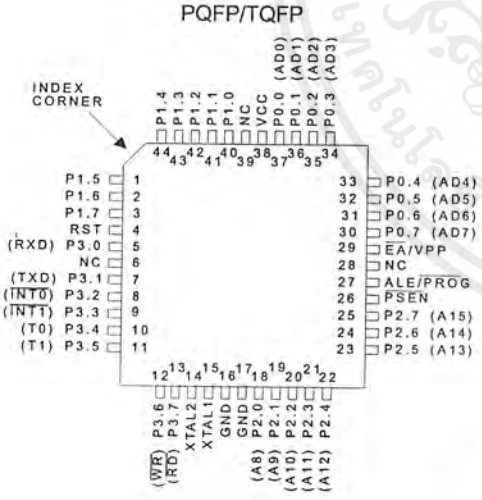
(continued)

Pin Configurations

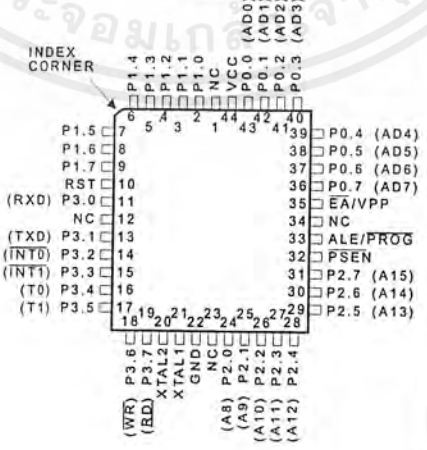
PDIP



PQFP/TQFP



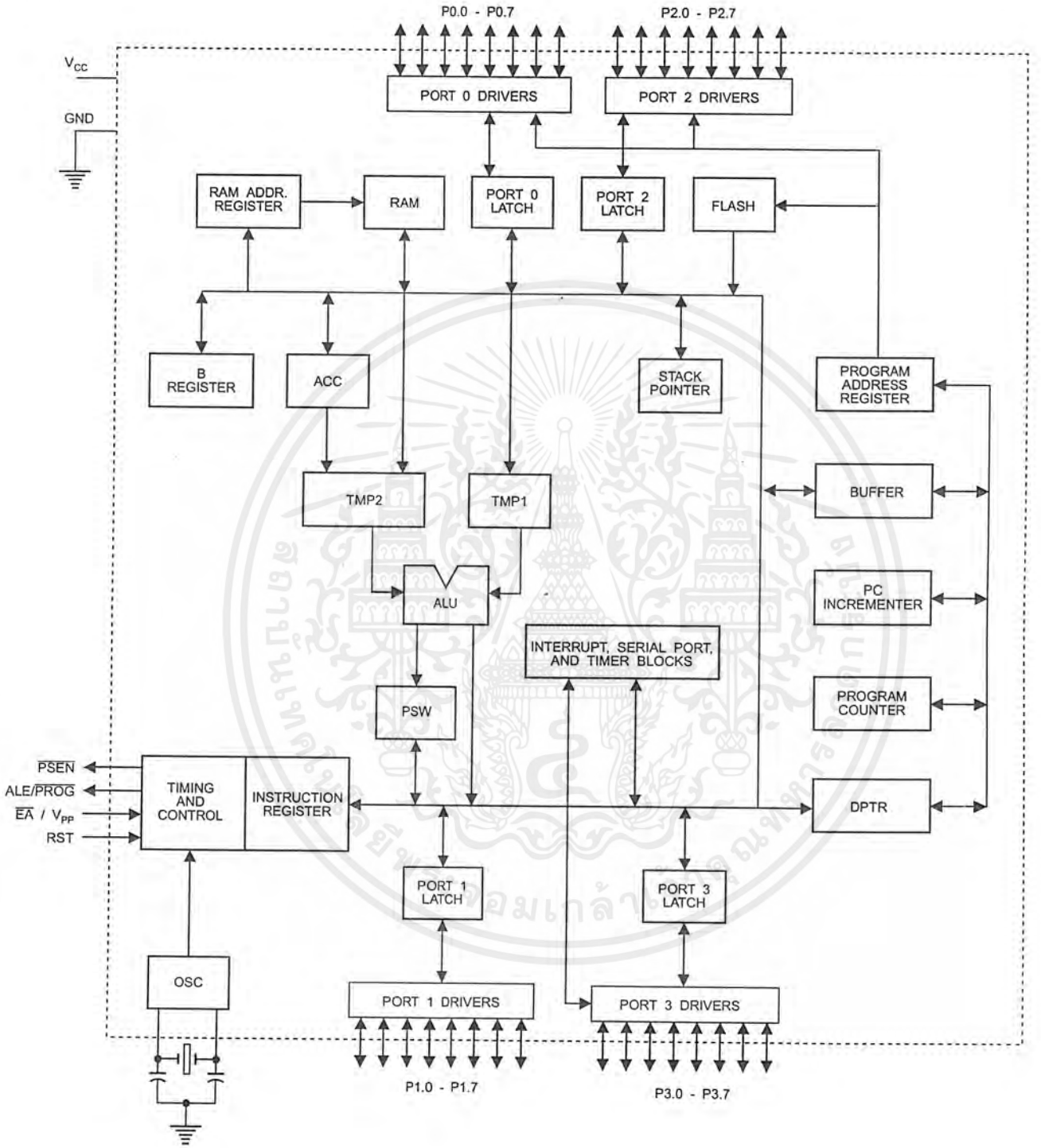
PLCC



0265F-A–12/97

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The AT89C51 provides the following standard features: 4K bytes of Flash, 128 bytes of RAM, 32 I/O lines, two 16-bit timer/counters, a five vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator and clock circuitry. In addition, the AT89C51 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Description

V_{CC}
Supply voltage.

GND
Ground.

Port 0
Port 0 is an 8-bit open drain bidirectional I/O port. As an output port each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 may also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming, and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1
Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port 2
Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application it uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3
Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and verification.

RST
Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/$\overline{PROG}$
Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

$\overline{PSEN}$
Program Store Enable is the read strobe to external program memory.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When the AT89C51 is executing code from external program memory, $\overline{PSEN}$ is activated twice each machine cycle, except that two $\overline{PSEN}$ activations are skipped during each access to external data memory.

$\overline{EA}$/V_{PP}

External Access Enable. $\overline{EA}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{EA}$ will be internally latched on reset.

$\overline{EA}$ should be strapped to V_{CC} for internal program executions.

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming, for parts that require 12-volt V_{PP}.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Oscillator Characteristics

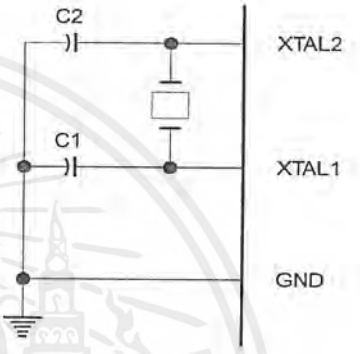
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

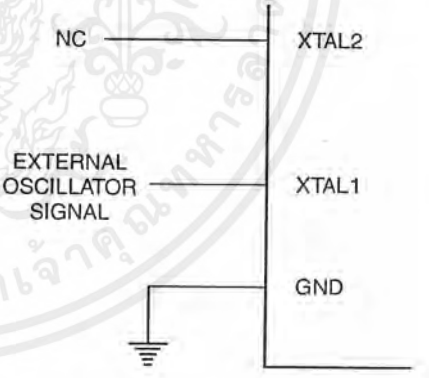
It should be noted that when idle is terminated by a hard ware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Figure 1. Oscillator Connections



Note: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration



Status of External Pins During Idle and Power Down Modes

Mode	Program Memory	ALE	$\overline{PSEN}$	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power Down	Internal	0	0	Data	Data	Data	Data
Power Down	External	0	0	Float	Data	Data	Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power Down Mode

In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Program Memory Lock Bits

On the chip are three lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

When lock bit 1 is programmed, the logic level at the $\overline{EA}$ pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value, and holds that value until reset is activated. It is necessary that the latched value of $\overline{EA}$ be in agreement with the current logic level at that pin in order for the device to function properly.

Lock Bit Protection Modes

Program Lock Bits				Protection Type
	LB1	LB2	LB3	
1	U	U	U	No program lock features.
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory, $\overline{EA}$ is sampled and latched on reset, and further programming of the Flash is disabled.
3	P	P	U	Same as mode 2, also verify is disabled.
4	P	P	P	Same as mode 3, also external execution is disabled.

Programming the Flash

The AT89C51 is normally shipped with the on-chip Flash memory array in the erased state (that is, contents = FFH) and ready to be programmed. The programming interface accepts either a high-voltage (12-volt) or a low-voltage (V_{CC}) program enable signal. The low voltage programming mode provides a convenient way to program the AT89C51 inside the user's system, while the high-voltage programming mode is compatible with conventional third party Flash or EPROM programmers.

The AT89C51 is shipped with either the high-voltage or low-voltage programming mode enabled. The respective top-side marking and device signature codes are listed in the following table.

	V_{PP} = 12V	V_{PP} = 5V
Top-Side Mark	AT89C51 xxxx yyww	AT89C51 xxxx-5 yyww
Signature	(030H)=1EH (031H)=51H (032H)=FFH	(030H)=1EH (031H)=51H (032H)=05H

The AT89C51 code memory array is programmed byte-by-byte in either programming mode. *To program any non-blank byte in the on-chip Flash Memory, the entire memory must be erased using the Chip Erase Mode.*

Programming Algorithm: Before programming the AT89C51, the address, data and control signals should be set up according to the Flash programming mode table and Figures 3 and 4. To program the AT89C51, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise $\overline{EA}/V_{PP}$ to 12V for the high-voltage programming mode.
5. Pulse ALE/$\overline{PROG}$ once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

$\overline{Data}$ Polling: The AT89C51 features $\overline{Data}$ Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written datum on PO.7. Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. $\overline{Data}$ Polling may begin any time after a write cycle has been initiated.

Ready/$\overline{Busy}$: The progress of byte programming can also be monitored by the RDY/$\overline{BSY}$ output signal. P3.4 is pulled low after ALE goes high during programming to indicate BUSY. P3.4 is pulled high again when programming is done to indicate READY.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire Flash array is erased electrically by using the proper combination of control signals and by holding ALE/$\overline{PROG}$ low for 10 ms. The code array is written with all "1"s. The chip erase operation must be executed before the code memory can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 030H,

031H, and 032H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

(030H) = 1EH indicates manufactured by Atmel
(031H) = 51H indicates 89C51
(032H) = FFH indicates 12V programming
(032H) = 05H indicates 5V programming

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Flash Programming Modes

Mode		RST	$\overline{PSEN}$	ALE/$\overline{PROG}$	$\overline{EA}$/V_{PP}	P2.6	P2.7	P3.6	P3.7
Write Code Data		H	L		H/12V	L	H	H	H
Read Code Data		H	L	H	H	L	L	H	H
Write Lock	Bit - 1	H	L		H/12V	H	H	H	H
	Bit - 2	H	L		H/12V	H	H	L	L
	Bit - 3	H	L		H/12V	H	L	H	L
Chip Erase		H	L	(1)	H/12V	H	L	L	L
Read Signature Byte		H	L	H	H	L	L	L	L

Note: 1. Chip Erase requires a 10-ms PROG pulse.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 3. Programming the Flash

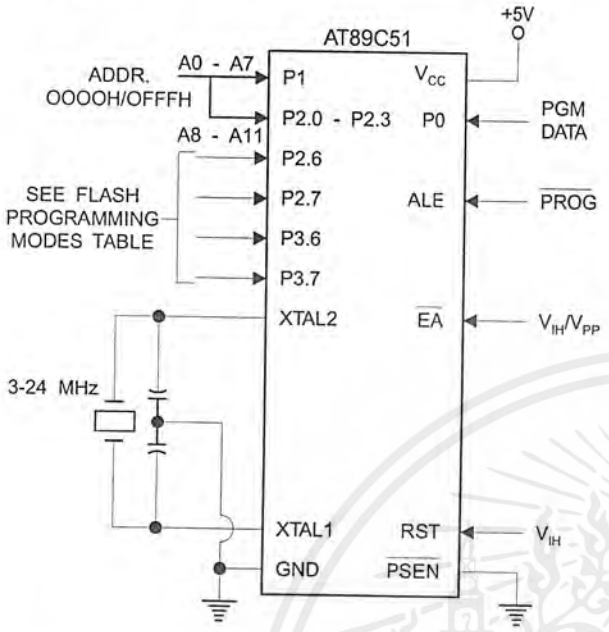
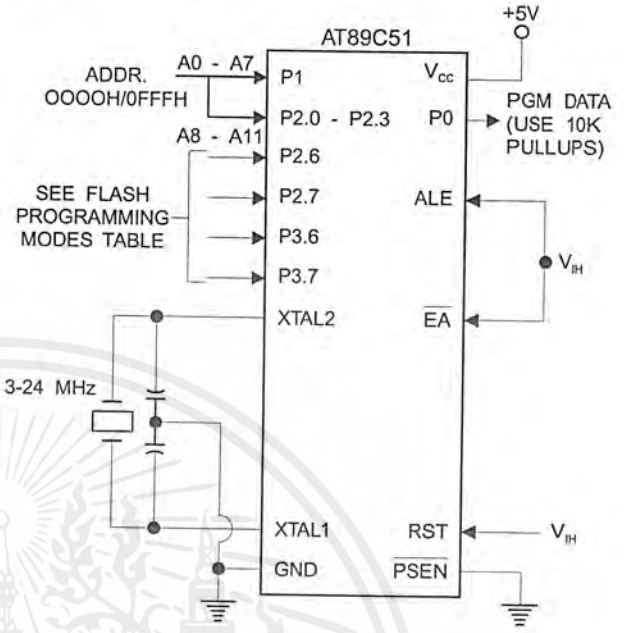


Figure 4. Verifying the Flash



Flash Programming and Verification Characteristics

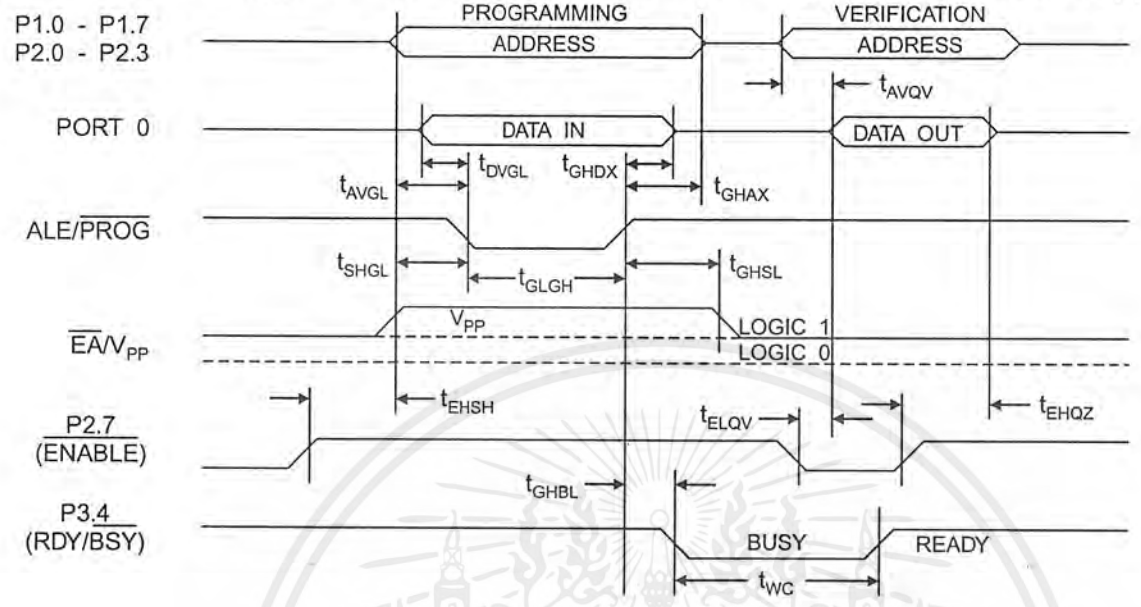
T_A = 0°C to 70°C, V_{CC} = 5.0 ± 10%

Symbol	Parameter	Min	Max	Units
V_{PP}(1)	Programming Enable Voltage	11.5	12.5	V
I_{PP}(1)	Programming Enable Current		1.0	mA
$1/t_{CLCL}$	Oscillator Frequency	3	24	MHz
t_{AVGL}	Address Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHAX}	Address Hold After $\overline{PROG}$	$48t_{CLCL}$		
t_{DVGL}	Data Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHDX}	Data Hold After $\overline{PROG}$	$48t_{CLCL}$		
t_{EHSH}	P2.7 ($\overline{ENABLE}$) High to V_{PP}	$48t_{CLCL}$		
t_{SHGL}	V_{PP} Setup to $\overline{PROG}$ Low	10		µs
t_{GHSL}(1)	V_{PP} Hold After $\overline{PROG}$	10		µs
t_{GLGH}	$\overline{PROG}$ Width	1	110	µs
t_{AVQV}	Address to Data Valid		$48t_{CLCL}$	
t_{ELQV}	$\overline{ENABLE}$ Low to Data Valid		$48t_{CLCL}$	
t_{EHQZ}	Data Float After $\overline{ENABLE}$	0	$48t_{CLCL}$	
t_{GHBL}	$\overline{PROG}$ High to $\overline{BUSY}$ Low		1.0	µs
t_{WC}	Byte Write Cycle Time		2.0	ms

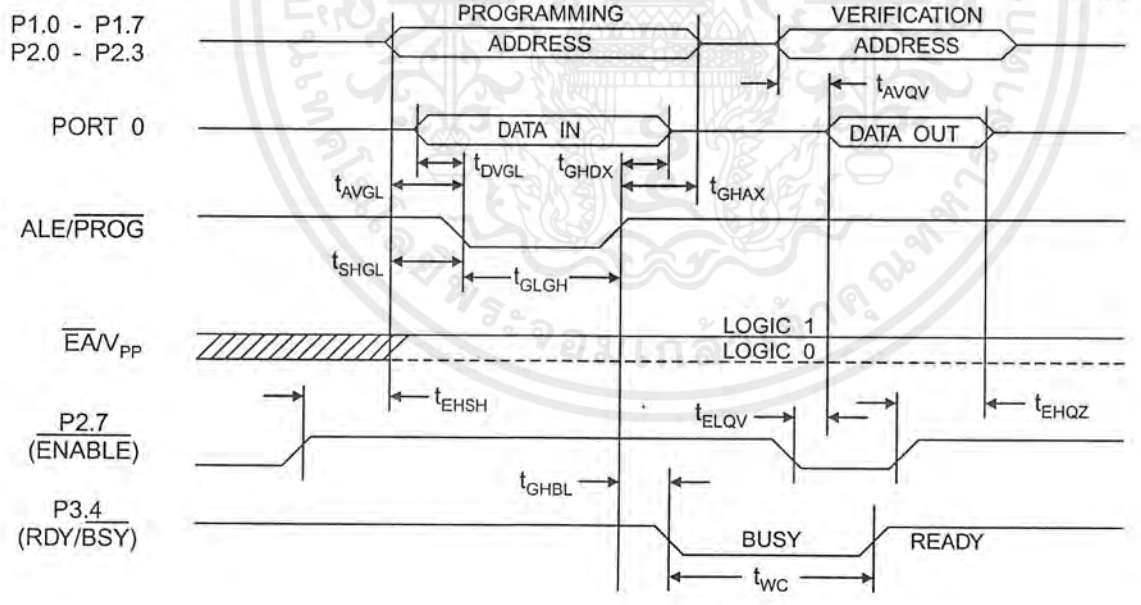
Note: 1. Only used in 12-volt programming mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash Programming and Verification Waveforms - High Voltage Mode (V_{PP} = 12V)



Flash Programming and Verification Waveforms - Low Voltage Mode (V_{PP} = 5V)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0V to +7.0V
Maximum Operating Voltage	6.6V
DC Output Current	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

T_A = -40°C to 85°C, V_{CC} = 5.0V ± 20% (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low Voltage	(Except $\overline{EA}$)	-0.5	0.2 V_{CC} - 0.1	V
V_{IL1}	Input Low Voltage ($\overline{EA}$)		-0.5	0.2 V_{CC} - 0.3	V
V_{IH}	Input High Voltage	(Except XTAL1, RST)	0.2 V_{CC} + 0.9	V_{CC} + 0.5	V
V_{IH1}	Input High Voltage	(XTAL1, RST)	0.7 V_{CC}	V_{CC} + 0.5	V
V_{OL}	Output Low Voltage(1) (Ports 1,2,3)	I_{OL} = 1.6 mA		0.45	V
V_{OL1}	Output Low Voltage(1) (Port 0, ALE, $\overline{PSEN}$)	I_{OL} = 3.2 mA		0.45	V
V_{OH}	Output High Voltage (Ports 1,2,3, ALE, $\overline{PSEN}$)	I_{OH} = -60 µA, V_{CC} = 5V ± 10%	2.4		V
		I_{OH} = -25 µA	0.75 V_{CC}		V
		I_{OH} = -10 µA	0.9 V_{CC}		V
V_{OH1}	Output High Voltage (Port 0 in External Bus Mode)	I_{OH} = -800 µA, V_{CC} = 5V ± 10%	2.4		V
		I_{OH} = -300 µA	0.75 V_{CC}		V
		I_{OH} = -80 µA	0.9 V_{CC}		V
I_{IL}	Logical 0 Input Current (Ports 1,2,3)	V_{IN} = 0.45V		-50	µA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	V_{IN} = 2V, VCC = 5V ± 10%		-650	µA
I_{LI}	Input Leakage Current (Port 0, $\overline{EA}$)	0.45 < V_{IN} < V_{CC}		±10	µA
RRST	Reset Pulldown Resistor		50	300	KΩ
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, T_A = 25°C		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz		20	mA
		Idle Mode, 12 MHz		5	mA
	Power Down Mode(2)	V_{CC} = 6V		100	µA
		V_{CC} = 3V		40	µA

Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
Maximum I_{OL} per port pin: 10 mA
Maximum I_{OL} per 8-bit port: Port 0: 26 mA
Ports 1, 2, 3: 15 mA
Maximum total I_{OL} for all output pins: 71 mA
If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.

2. Minimum V_{CC} for Power Down is 2V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics

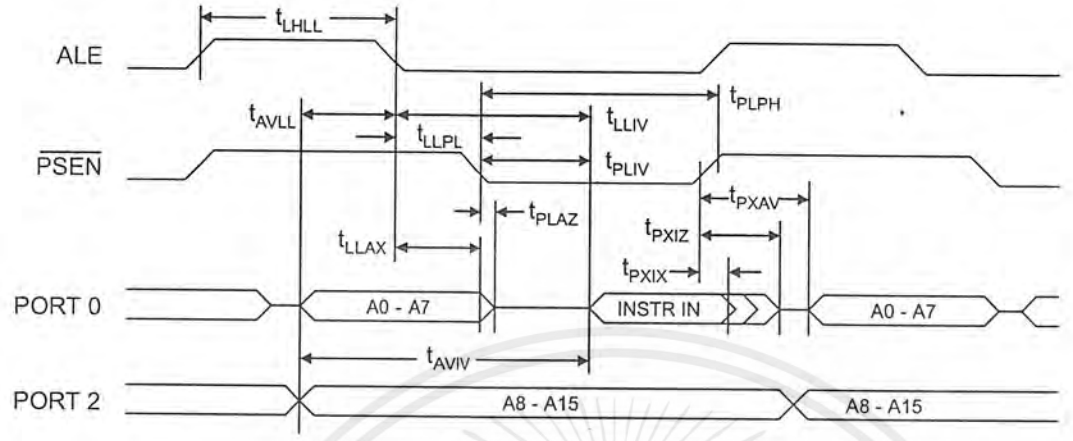
(Under Operating Conditions; Load Capacitance for Port 0, ALE/$\overline{PROG}$, and $\overline{PSEN}$ = 100 pF; Load Capacitance for all other outputs = 80 pF)

External Program and Data Memory Characteristics

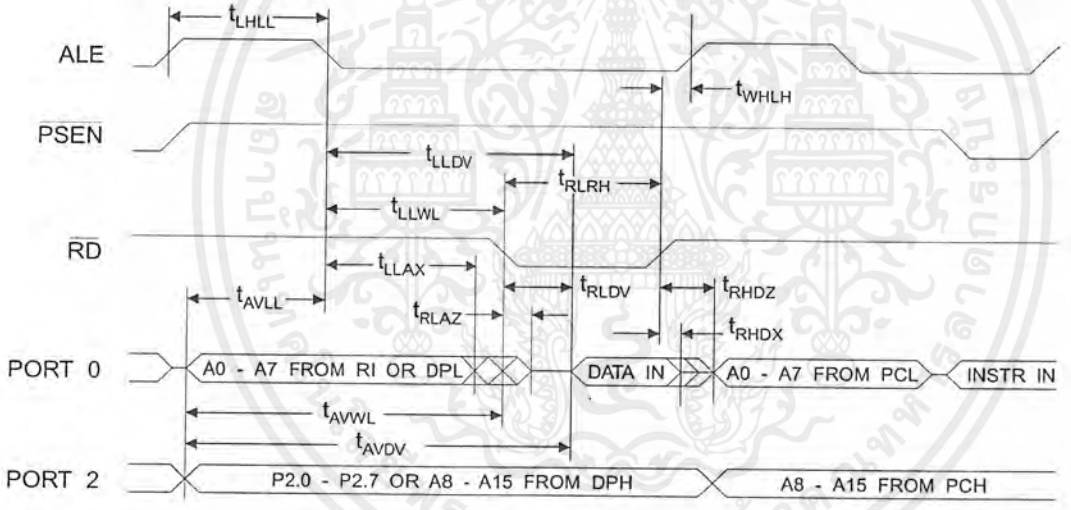
Symbol	Parameter	12 MHz Oscillator		16 to 24 MHz Oscillator		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency			0	24	MHz
t_{LHLL}	ALE Pulse Width	127		$2t_{CLCL}$-40		ns
t_{AVLL}	Address Valid to ALE Low	43		t_{CLCL}-13		ns
t_{LLAX}	Address Hold After ALE Low	48		t_{CLCL}-20		ns
t_{LLIV}	ALE Low to Valid Instruction In		233		$4t_{CLCL}$-65	ns
t_{LLPL}	ALE Low to $\overline{PSEN}$ Low	43		t_{CLCL}-13		ns
t_{PLPH}	$\overline{PSEN}$ Pulse Width	205		$3t_{CLCL}$-20		ns
t_{PLIV}	$\overline{PSEN}$ Low to Valid Instruction In		145		$3t_{CLCL}$-45	ns
t_{PXIX}	Input Instruction Hold After $\overline{PSEN}$	0		0		ns
t_{PXIZ}	Input Instruction Float After $\overline{PSEN}$		59		t_{CLCL}-10	ns
t_{PXAV}	$\overline{PSEN}$ to Address Valid	75		t_{CLCL}-8		ns
t_{AVIV}	Address to Valid Instruction In		312		$5t_{CLCL}$-55	ns
t_{PLAZ}	$\overline{PSEN}$ Low to Address Float		10		10	ns
t_{RLRH}	$\overline{RD}$ Pulse Width	400		$6t_{CLCL}$-100		ns
t_{WLWH}	$\overline{WR}$ Pulse Width	400		$6t_{CLCL}$-100		ns
t_{RLDV}	$\overline{RD}$ Low to Valid Data In		252		$5t_{CLCL}$-90	ns
t_{RHDX}	Data Hold After $\overline{RD}$	0		0		ns
t_{RHDZ}	Data Float After $\overline{RD}$		97		$2t_{CLCL}$-28	ns
t_{LLDV}	ALE Low to Valid Data In		517		$8t_{CLCL}$-150	ns
t_{AVDV}	Address to Valid Data In		585		$9t_{CLCL}$-165	ns
t_{LLWL}	ALE Low to $\overline{RD}$ or $\overline{WR}$ Low	200	300	$3t_{CLCL}$-50	$3t_{CLCL}$+50	ns
t_{AVWL}	Address to $\overline{RD}$ or $\overline{WR}$ Low	203		$4t_{CLCL}$-75		ns
t_{QVWX}	Data Valid to $\overline{WR}$ Transition	23		t_{CLCL}-20		ns
t_{QVWH}	Data Valid to $\overline{WR}$ High	433		$7t_{CLCL}$-120		ns
t_{WHQX}	Data Hold After $\overline{WR}$	33		t_{CLCL}-20		ns
t_{RLAZ}	$\overline{RD}$ Low to Address Float		0		0	ns
t_{WHLH}	$\overline{RD}$ or $\overline{WR}$ High to ALE High	43	123	t_{CLCL}-20	t_{CLCL}+25	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Program Memory Read Cycle

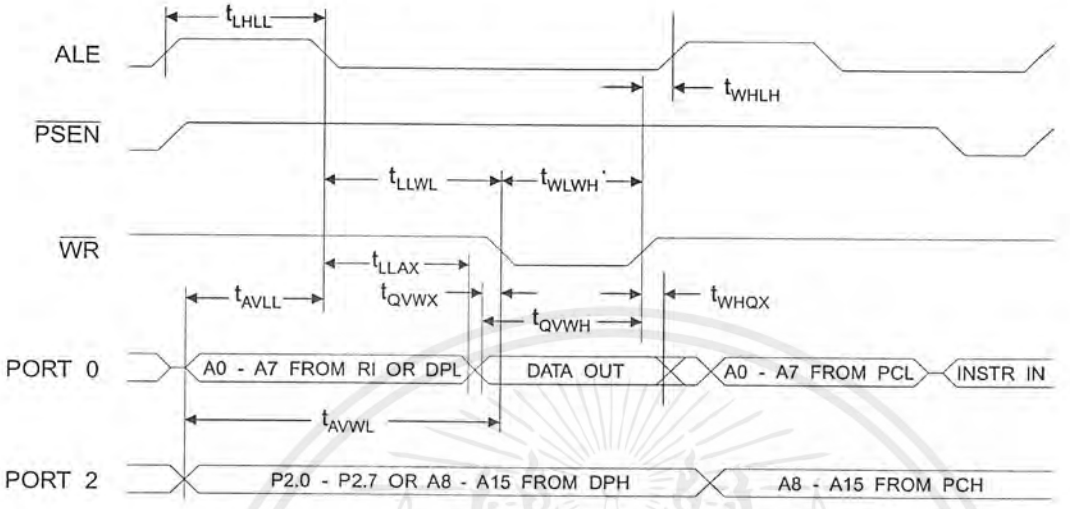


External Data Memory Read Cycle

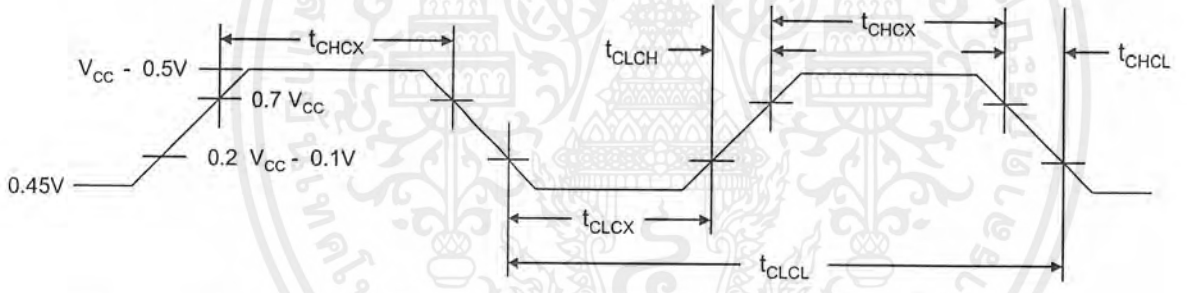


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Data Memory Write Cycle



External Clock Drive Waveforms



External Clock Drive

Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
t_{CLCL}	Clock Period	41.6		ns
t_{CHCX}	High Time	15		ns
t_{CLCX}	Low Time	15		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns

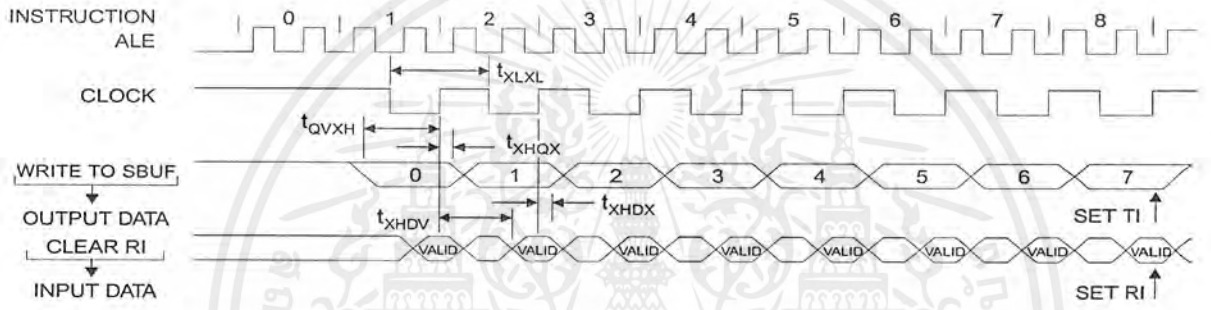
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Serial Port Timing: Shift Register Mode Test Conditions

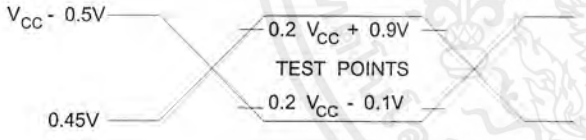
(V_{CC} = 5.0 V ± 20%; Load Capacitance = 80 pF)

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		µs
t_{QVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}$-133		ns
t_{XHQX}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}$-117		ns
t_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{XHDV}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}$-133	ns

Shift Register Mode Timing Waveforms

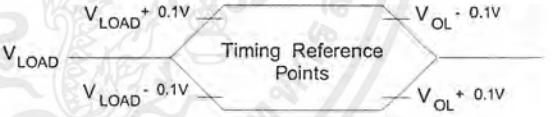


AC Testing Input/Output Waveforms(1)



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms(1)



Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	5V ± 20%	AT89C51-12AC	44A	Commercial (0°C to 70°C)
		AT89C51-12JC	44J	
		AT89C51-12PC	40P6	
		AT89C51-12QC	44Q	
		AT89C51-12AI	44A	Industrial (-40°C to 85°C)
		AT89C51-12JI	44J	
		AT89C51-12PI	40P6	
		AT89C51-12QI	44Q	
		AT89C51-12AA	44A	Automotive (-40°C to 105°C)
		AT89C51-12JA	44J	
		AT89C51-12PA	40P6	
		AT89C51-12QA	44Q	
16	5V ± 20%	AT89C51-16AC	44A	Commercial (0°C to 70°C)
		AT89C51-16JC	44J	
		AT89C51-16PC	40P6	
		AT89C51-16QC	44Q	
		AT89C51-16AI	44A	Industrial (-40°C to 85°C)
		AT89C51-16JI	44J	
		AT89C51-16PI	40P6	
		AT89C51-16QI	44Q	
		AT89C51-16AA	44A	Automotive (-40°C to 105°C)
		AT89C51-16JA	44J	
		AT89C51-16PA	40P6	
		AT89C51-16QA	44Q	
20	5V ± 20%	AT89C51-20AC	44A	Commercial (0°C to 70°C)
		AT89C51-20JC	44J	
		AT89C51-20PC	40P6	
		AT89C51-20QC	44Q	
		AT89C51-20AI	44A	Industrial (-40°C to 85°C)
		AT89C51-20JI	44J	
		AT89C51-20PI	40P6	
		AT89C51-20QI	44Q	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
24	5V ± 20%	AT89C51-24AC	44A	Commercial (0°C to 70°C)
		AT89C51-24JC	44J	
		AT89C51-24PC	44P6	
		AT89C51-24QC	44Q	
		AT89C51-24AI	44A	Industrial (-40°C to 85°C)
		AT89C51-24JI	44J	
		AT89C51-24PI	44P6	
		AT89C51-24QI	44Q	

Package Type	
44A	44 Lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
44J	44 Lead, Plastic J-Leaded Chip Carrier (PLCC)
40P6	40 Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44Q	44 Lead, Plastic Gull Wing Quad Flatpack (PQFP)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-0255; Rev 2; 4/94

MAXIM

CMOS, High-Speed, 8-Bit ADCs with Multiplexer

General Description

The MAX154/MAX158 and MX7824/MX7828 are high-speed, multi-channel analog-to-digital converters (ADCs). The MAX154 and MX7824 have four analog input channels, while the MAX158 and MX7828 have eight channels. Conversion time for all devices is 2.5µs. The MAX154/MAX158 also feature a 2.5V on-chip reference, forming a complete high-speed data acquisition system.

All four converters include a built-in track/hold, eliminating the need for an external track/hold with many input signals. The analog input range is 0V to +5V, although the ADC operates from a single +5V supply.

Microprocessor interfaces are simplified by the ADC's ability to appear as a memory location or I/O port without the need for external logic. The data outputs use latched, three-state buffer circuitry to allow direct connection to a microprocessor data bus or system input port.

The MX7824 and MX7828 are pin compatible with Analog Devices' AD7824 and AD7828. The MAX154 and MAX158, which feature internal references, are also compatible with these products.

Applications

Digital Signal Processing
High-Speed Data Acquisition
Telecommunications
High-Speed Servo Control
Audio Instrumentation

Features

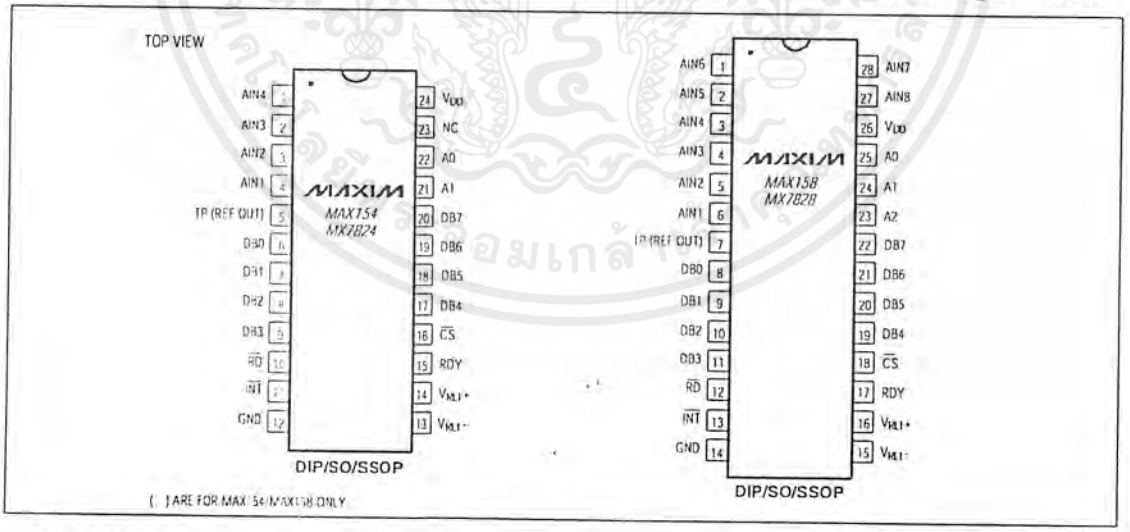
- One-Chip Data Acquisition System
- Four or Eight Analog Input Channels
- 2.5µs per Channel Conversion Time
- Internal 2.5V Reference (MAX154/MAX158 only)
- Built-In Track/Hold Function
- $^1/_2$LSB Error Specification
- Single +5V Supply Operation
- No External Clock
- New Space-Saving SSOP Package

Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE	ERROR (LSB)
MX7824LN	0°C to +70°C	24 Narrow Plastic DIP	±$^1/_2$
MX7824KN	0°C to +70°C	24 Narrow Plastic DIP	±1
MX7824LCWG	0°C to +70°C	24 Wide SO	±$^1/_2$
MX7824KCWG	0°C to +70°C	24 Wide SO	±1
MX7824LCAG	0°C to +70°C	24 SSOP	±$^1/_2$
MX7824KCAG	0°C to +70°C	24 SSOP	±1

Ordering Information continued on last page.

Pin Configurations



Call toll free 1-800-998-8800 for free samples or literature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS, High-Speed, 8-Bit ADCs with Multiplexer

ABSOLUTE MAXIMUM RATINGS

Supply Voltage, VDD to GND ..... 0V, +10V
Voltage at Any Other Pins ..... GND - 0.3V, V_{DD} + 0.3V
Output Current (REF OUT) 30mA
Power Dissipation (any package) to +75°C 450mW
Derate above +25°C by ..... 6mW/°C

Operating Temperature Ranges
MX7824, MX7828
KN/LN/KCW_/LCW_ ..... 0°C to +70°C
BQ/CQ ..... -40°C to +85°C
TQ/UQ ..... -55°C to +125°C
Storage Temperature Range ..... -65°C to +160°C
Lead Temperature (soldering, 10sec) ..... +300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V, V_{REF+} = +5V, V_{REF-} = GND, Mode 0, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY						
Resolution			8			Bits
Total Unadjusted Error (Note 1)		MAX15_A, MX782_L/C/U			±1/2	LSB
		MAX15_B, MX782_K/B/T			±1	
No Missing Codes Resolution			8			Bits
Channel to Channel Mismatch					±1/4	LSB
REFERENCE INPUT						
Reference Resistance			1		4	kΩ
V_{REF+} Input Voltage Range			V_{REF-}		V_{DD}	V
V_{REF-} Input Voltage Range			GND		V_{REF+}	V
REFERENCE OUTPUT—MAX154/MAX158 Only (Note 2)						
Output Voltage	REF OUT	T_A = +25°C	2.47	2.50	2.53	V
Load Regulation		I_L = 0mA to 10mA, T_A = +25°C		-6	-10	mV
Power-Supply Sensitivity		V_{DD} ±5%, T_A = +25°C		±1	±3	mV
Temperature Drift (Note 3)		MAX15_C		40	70	ppm/°C
		MAX15_E		40	70	
		MAX15_M		60	100	
Output Noise	e_N			200		µV/rms
Capacitive Load					0.01	µF
ANALOG INPUT						
Analog Input Voltage Range	A_{INR}		V_{REF-}		V_{REF+}	V
Analog Input Capacitance	C_{AIN}			45		pF
Analog Input Current	I_{AIN}	Any channel, AIN = 0V to 5V			±3	µA
Slew Rate, Tracking	SR			0.7	0.157	V/µs
LOGIC INPUTS (RD, CS, A0, A1, A2)						
Input High Voltage	V_{INH}		2.4			V
Input Low Voltage	V_{INL}				0.8	V
Input High Current	I_{INH}				1	µA
Input Low Current	I_{INL}				-1	µA
Input Capacitance (Note 4)	C_{IN}			5	8	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V, V_{REF+} = +5V, V_{REF-} = GND, Mode 0, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
LOGIC OUTPUTS							
Output High Voltage	V_{OH}	DB0–DB7, $\overline{INT}$; I_{OUT} = -360µA		4.0			V
Output Low Voltage	V_{OL}	DB0–DB7, $\overline{INT}$; RDY	I_{OUT} = 1.6mA			0.4	V
			I_{OUT} = 2.6mA			0.4	
Three-State Output Current		DB0–DB7, RDY; V_{OUT} = 0V to V_{DD}				±3	µA
Output Capacitance (Note 4)	C_{OUT}				5	8	pF
POWER SUPPLY							
Supply Voltage	V_{DD}	5V ±5% for specified performance		4.75		5.25	V
Supply Current	I_{DD}	$\overline{CS}$ = $\overline{RD}$ = 2.4V				15	mA
Power Dissipation					25	75	mW
Power-Supply Sensitivity	PSS	V_{DD} = ±5%			±1/16	±1/4	LSB

Note 1: Total unadjusted error includes offset, full-scale, and linearity errors.
Note 2: Specified with no external load unless otherwise noted.
Note 3: Temperature drift is defined as change in output voltage from +25°C to T_{MIN} or T_{MAX} divided by (25 - T_{MIN}) or (T_{MAX} - 25).
Note 4: Guaranteed by design.

TIMING CHARACTERISTICS (Note 5)

(V_{DD} = +5V, V_{REF+} = +5V, V_{REF-} = GND, Mode 0, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	T_A = +25°C			MAX15__C/E MX782_K/L/B/C		MAX15__M MX782_T/U		UNITS
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
$\overline{CS}$ to $\overline{RD}$ Setup Time	t_{CSS}		0			0		0		ns
$\overline{CS}$ to $\overline{RD}$ Hold Time	t_{CSH}		0			0		0		ns
Multiplexer Address Setup Time	t_{AS}		0			0		0		ns
Multiplexer Address Hold Time	t_{AH}		30			35		40		ns
$\overline{CS}$ to RDY Delay	t_{RDY}	C_L = 50pF, R_L = 5kΩ		30	40		60		60	ns
Conversion Time (Mode 0)	t_{CRD}			1.6	2.0		2.4		2.8	µs
Data Access Time After $\overline{RD}$	t_{ACC1}	(Note 6)			85		110		120	ns
Data Access Time After $\overline{INT}$, Mode 0	t_{ACC2}	(Note 6)		20	50		60		70	ns
$\overline{RD}$ to $\overline{INT}$ Delay (Mode 1)	t_{INTH}	C_L = 50pF		40	75		100		100	ns
Data Hold Time	t_{DH}	(Note 7)			60		70		70	ns
Delay Time Between Conversions	t_P		500			500		600		ns
$\overline{RD}$ Pulse Width (Mode 1)	t_{RD}		60		600	80	500	80	400	ns

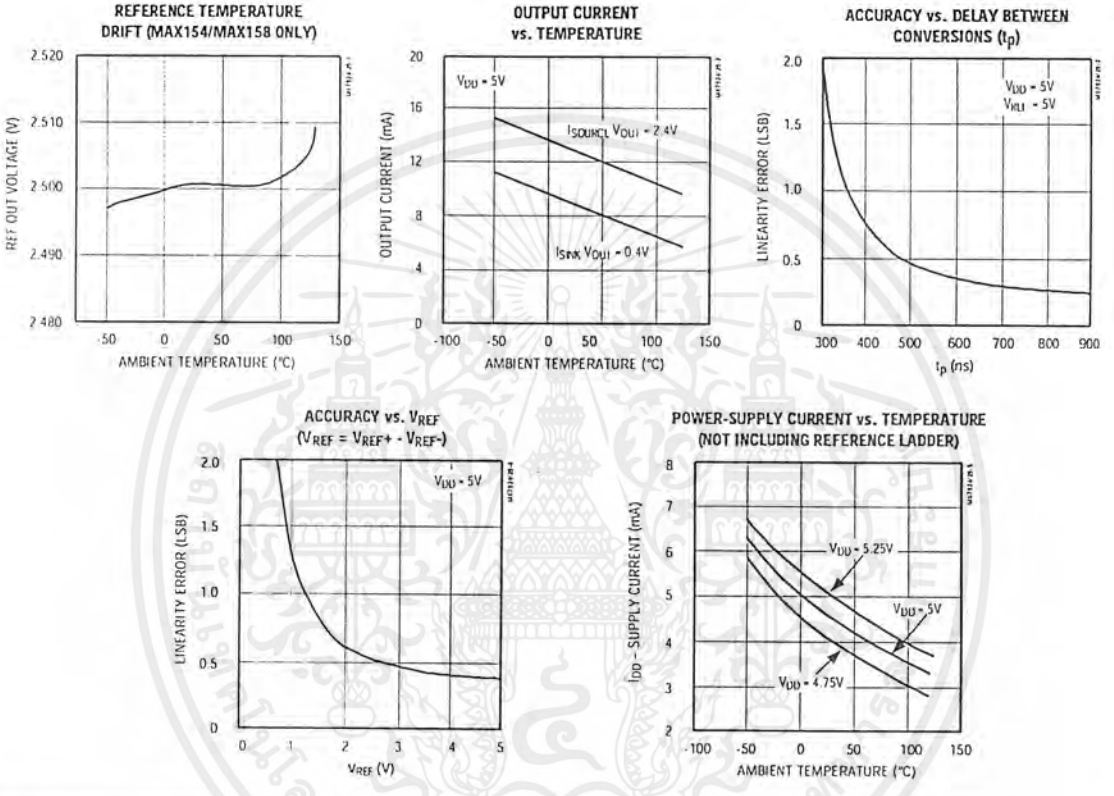
Note 5: All input control signals are specified with t_R = t_F = 20ns (10% to 90% of +5V) and timed from a 1.6V voltage level.
Note 6: Measured with load circuits of Figure 1 and defined as the time required for an output to cross 0.8V or 2.4V.
Note 7: Defined as the time required for the data lines to change 0.5V when loaded with the circuits of Figure 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS, High-Speed, 8-Bit ADCs with Multiplexer

Typical Operating Characteristics

(T_A = +25°C, unless otherwise noted.)



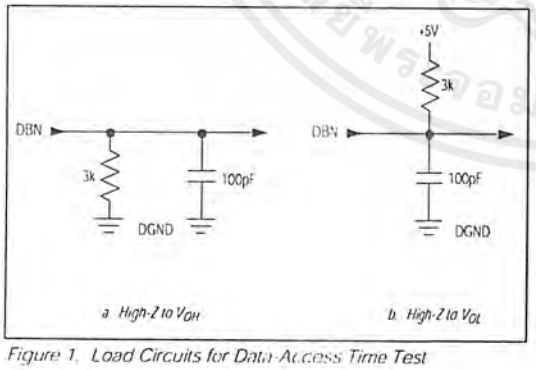


Figure 1. Load Circuits for Data-Access Time Test

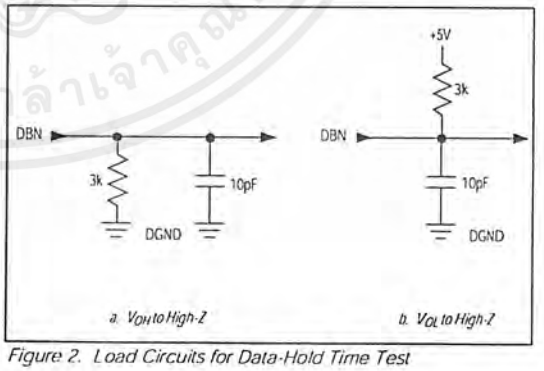


Figure 2. Load Circuits for Data-Hold Time Test

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Descriptions

PIN MAX154 MX7824	NAME	FUNCTION
1	AIN4	Analog Input Channel 4
2	AIN3	Analog Input Channel 3
3	AIN2	Analog Input Channel 2
4	AIN1	Analog Input Channel 1
5	REF OUT TP	Reference Output (2.5V) for MAX154. Test point for MX7824. Do not connect.
6	DBO	Three-State Data Output, bit 0 (LSB)
7	DB1	Three-State Data Output, bit 1
8	DB2	Three-State Data Output, bit 2
9	DB3	Three-State Data Output, bit 3
10	$\overline{RD}$	Read Input. $\overline{RD}$ controls conversions and data access. See *Digital Interface* section.
11	$\overline{INT}$	Interrupt Output. $\overline{INT}$ going low indicates the completion of a conversion. See *Digital Interface* section.
12	GND	Ground
13	V_{REF-}	Lower Limit of Reference Span. Sets the zero-code voltage. Range: GND to V_{REF+}.
14	V_{REF+}	Upper Limit of Reference Span. Sets the full-scale input voltage. Range: V_{REF-} to V_{DD}.
15	RDY	Ready Output. Open-drain output with no active pull-up device. Goes low when $\overline{CS}$ goes low and high impedance at the end of a conversion.
16	$\overline{CS}$	Chip-Select Input. $\overline{CS}$ must be low for the device to be selected.
17	DB4	Three-State Data Output, bit 4
18	DB5	Three-State Data Output, bit 5
19	DB6	Three-State Data Output, bit 6
20	DB7	Three-State Data Output, bit 7 (MSB)
21	A1	Channel Address 1 Input
22	A0	Channel Address 0 Input
23	NC	No Connect
24	V_{DD}	Power-Supply Voltage, +5V

PIN MAX158 MX7828	NAME	FUNCTION
1	AIN6	Analog Input Channel 6
2	AIN5	Analog Input Channel 5
3	AIN4	Analog Input Channel 4
4	AIN3	Analog Input Channel 3
5	AIN2	Analog Input Channel 2
6	AIN1	Analog Input Channel 1
7	REF OUT TP	Reference Output (2.5V) for MAX158. Test point for MX7828. Do not connect.
8	DB0	Three-State Data Output, bit 0 (LSB)
9	DB1	Three-State Data Output, bit 1
10	DB2	Three-State Data Output, bit 2
11	DB3	Three-State Data Output, bit 3
12	$\overline{RD}$	Read Input. $\overline{RD}$ controls conversions and data access. See *Digital Interface* section.
13	$\overline{INT}$	Interrupt Output. $\overline{INT}$ going low indicates the completion of a conversion. See *Digital Interface* section.
14	GND	Ground
15	V_{REF-}	Lower Limit of Reference Span. Sets the zero-code voltage. Range: GND to V_{REF+}.
16	V_{REF+}	Upper Limit of Reference Span. Sets the full-scale input voltage. Range: V_{REF-} to V_{DD}.
17	RDY	Ready Output. Open-drain output with no active pull-up device. Goes low when $\overline{CS}$ goes low and high impedance at the end of a conversion.
18	$\overline{CS}$	Chip-Select Input. $\overline{CS}$ must be low for the device to be selected.
19	DB4	Three-State Data Output, bit 4
20	DB5	Three-State Data Output, bit 5
21	DB6	Three-State Data Output, bit 6
22	DB7	Three-State Data Output, bit 7 (MSB)
23	A2	Channel Address 2 Input
24	A1	Channel Address 1 Input
25	A0	Channel Address 0 Input
26	V_{DD}	Power-Supply Voltage, +5V
27	AIN8	Analog Input Channel 8
28	AIN7	Analog Input Channel 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS, High-Speed, 8-Bit ADCs with Multiplexer

Detailed Description

Converter Operation

The MAX154/MAX158 and MX7824/MX7828 use what is commonly called a "half-flash" conversion technique (Figure 3). Two 4-bit flash ADC sections are used to achieve an 8-bit result. Using 15 comparators, the upper 4-bit MS (most significant) flash ADC compares the unknown input voltage to the reference ladder and provides the upper four data bits.

An internal DAC uses the MS bits to generate an analog signal from the first flash conversion. A residue voltage representing the difference between the unknown input and the DAC voltage is then compared to the reference ladder by 15 LS (least significant) flash comparators to obtain the lower four output bits.

Operating Sequence

The operating sequence is shown in Figure 4. A conversion is initiated by a falling edge of $\overline{RD}$ and $\overline{CS}$. The comparator inputs track the analog input voltage for approximately 1µs. After this first cycle, the MS flash result is latched into the output buffers and the LS conversion begins. $\overline{INT}$ goes low approximately 600ns later, indicating the end of the conversion, and that the lower four bits are latched into the output buffers. The data can then be accessed using the $\overline{CS}$ and $\overline{RD}$ inputs.

Digital Interface

The MAX154/MAX158 and MX7824/MX7828 use only Chip Select ($\overline{CS}$) and Read ($\overline{RD}$) as control inputs. A READ operation, taking $\overline{CS}$ and $\overline{RD}$ low, latches the multiplexer address inputs and starts a conversion (Table 1).

Table 1. Truth Table for Input Channel Selection

MAX154/MX7824		MAX158/MX7828			SELECTED
A1	A0	A2	A1	A0	CHANNEL
0	0	0	0	0	AIN1
0	1	0	0	1	AIN2
1	0	0	1	0	AIN3
1	1	0	1	1	AIN4
		1	0	0	AIN5
		1	0	1	AIN6
		1	1	0	AIN7
		1	1	1	AIN8

There are two interface modes, which are determined by the length of the $\overline{RD}$ input. Mode 0, implemented by keeping $\overline{RD}$ low until the conversion ends, is designed for microprocessors that can be forced into a WAIT state. In this mode, a conversion is started with a READ operation (taking $\overline{CS}$ and $\overline{RD}$ low), and data is read when the conversion ends. Mode 1, on the other hand,

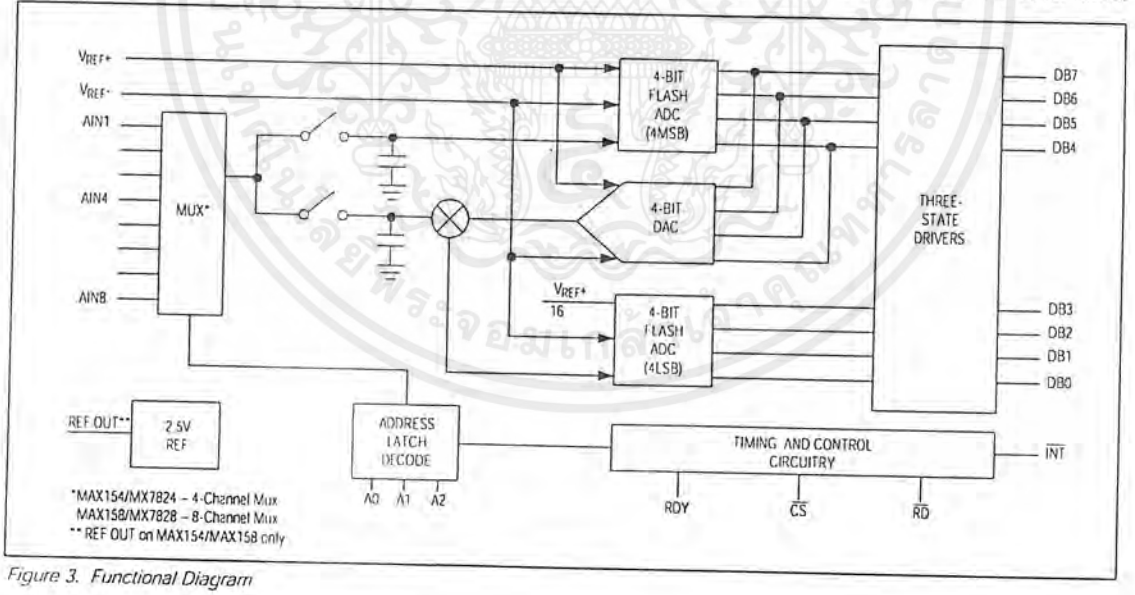


Figure 3. Functional Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

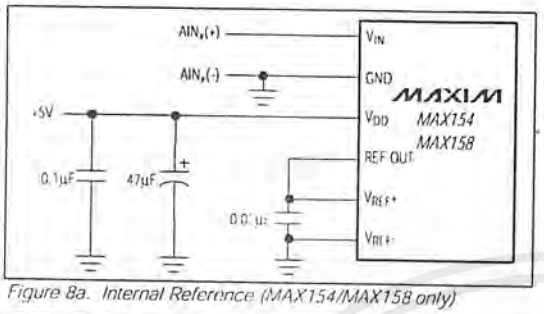


Figure 8a. Internal Reference (MAX154/MAX158 only)

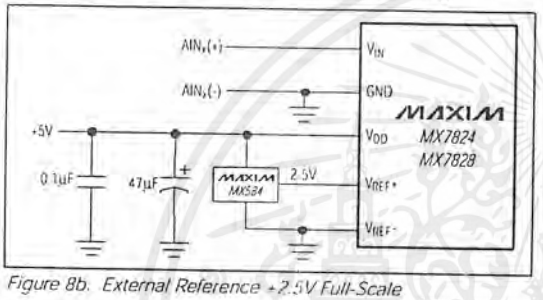


Figure 8b. External Reference +2.5V Full-Scale

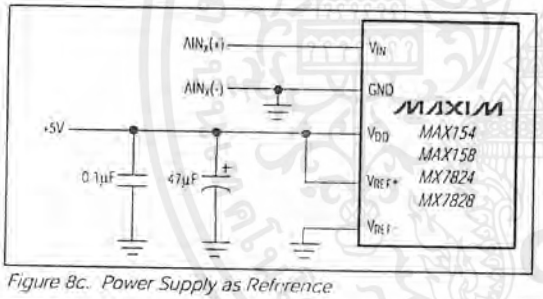


Figure 8c. Power Supply as Reference

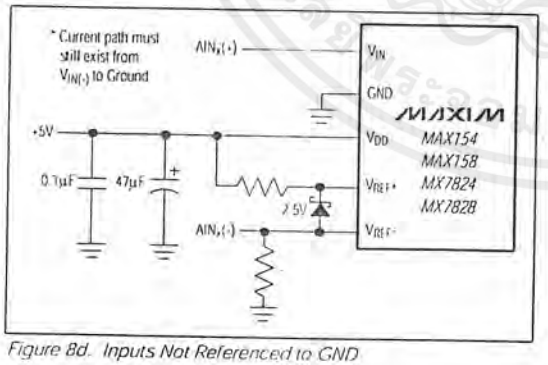


Figure 8d. Inputs Not Referenced to GND

Input Current

The converters' analog inputs behave somewhat differently from conventional ADCs. The sampled data comparators take varying amounts of current from the input, depending on the cycle they are in. The equivalent circuit of the converter is shown in Figure 9a. When the conversion starts, AIN(n) is connected to the MS and LS comparators. Thus, AIN(n) is connected to thirty-one 1pF capacitors.

To acquire the input signal in approximately 1µs, the input capacitors must charge to the input voltage through the on-resistance of the multiplexer (about 600Ω) and the comparator's analog switches (2kΩ to 5kΩ per comparator). In addition, about 12pF of stray capacitance must be charged. The input can be modeled as an equivalent RC network shown in Figure 9b. As R_S (source impedance) increases, the capacitors take longer to charge.

Since the length of the input acquisition time is internally set, large source resistances (greater than 100Ω) will cause settling errors. The output impedance of an op-amp is its open-loop output impedance divided by the loop gain at the frequency of interest. It is important that the amplifier driving the converter input have sufficient loop gain at approximately 1MHz to maintain low output impedance.

Input Filtering

The transients in the analog input caused by the sampled data comparators do not degrade the converter's performance, since the ADC does not "look" at the input when these transients occur. The comparator's outputs track the input during the first 1µs of the conversion, and are then latched. Therefore, at least 1µs will be provided to charge the ADC's input capacitance. It is not necessary to filter these transients with an external capacitor on the AIN terminals.

Sinusoidal Inputs

The MAX154/MAX158 and MX7824/MX7828 can measure input signals with slew rates as high as 157mV/µs to the rated specifications. This means that the analog input frequency can be as high as 10kHz without the aid of an external track/hold. The maximum sampling rate is limited by the conversion time (typical t_{CRD} = 2µs) plus the time required between conversions (t_P = 500ns). It is calculated as:

$$f_{MAX} = \frac{1}{t_{CRD} + t_P} = \frac{1}{(2.0 + 0.5)\ \mu s} = 400kHz$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

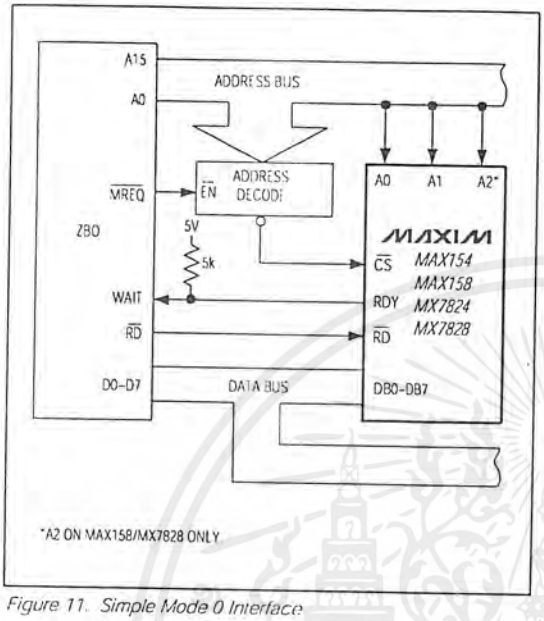


Figure 11. Simple Mode 0 Interface

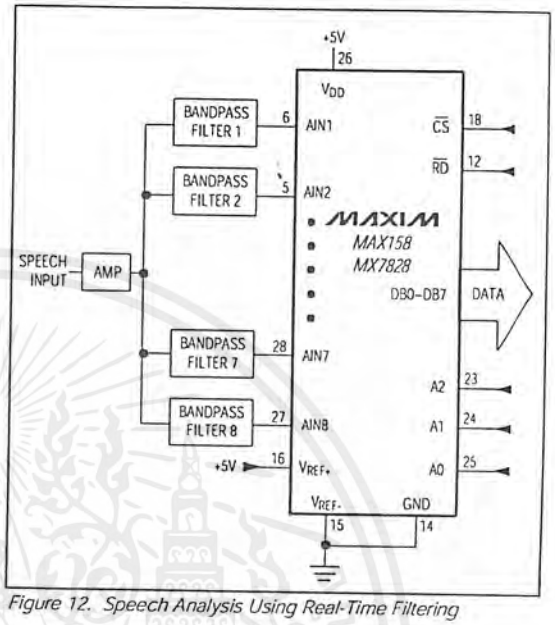


Figure 12. Speech Analysis Using Real-Time Filtering

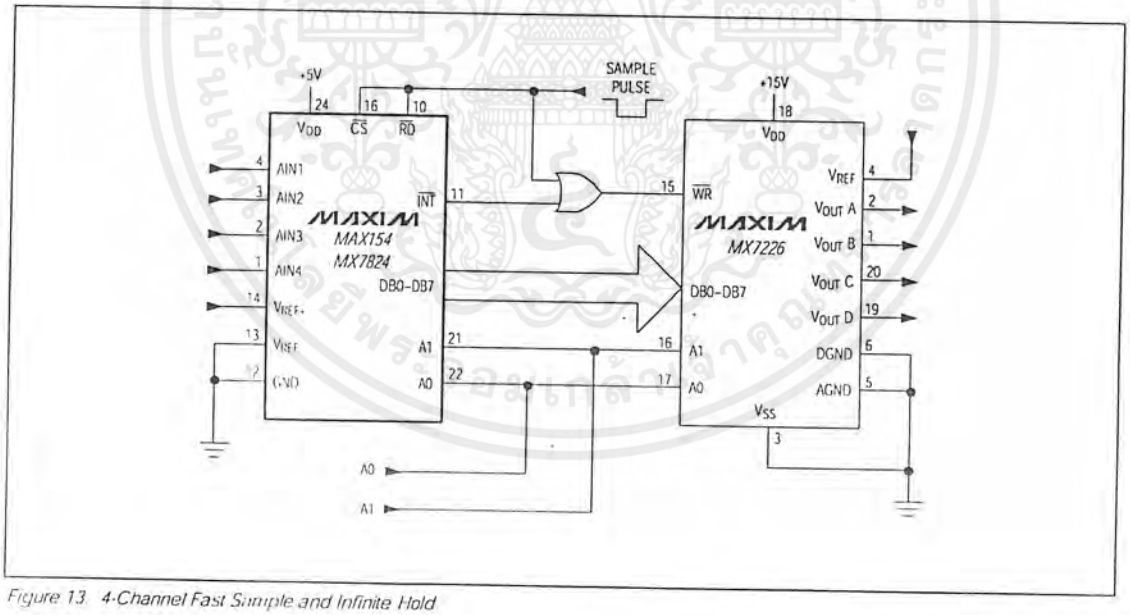


Figure 13. 4-Channel Fast Sample and Infinite Hold

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้