

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบเครื่องวัดการผิดพลาดของบิตโดยใช้ PAL

DESIGN BIT ERROR RATE USING PAL



โดย
นายชนย์วิทย์ สุภูมิพิทโยทัย
นายศุภเชษฐ นิ่มละมุด

เลขหม.....
เลขทะเบียน..... 36846
วัน, เดือน, ปี..... 29 ค.ค. 2543

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ การออกแบบเครื่องวัดการผิดพลาดของบิทโดยใช้ PAL
ชื่อนักศึกษา นาย ชนย์วิทย์ สุชุมจิตพิท โยทัย
 นาย ศุภเชษฐ นิ่มตะมุล

ภาควิชา เทคนิคอุตสาหกรรม
อาจารย์ที่ปรึกษา อาจารย์ กฤดากร กล่อมกร

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
อนุมัติให้นำปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร
อุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ
(.....)
.....กรรมการ
(.....)
.....กรรมการ
(.....)
.....กรรมการ
(.....)
.....กรรมการ
(.....)

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

PROJECT REPORT DESIGN BIT ERROR RATE USING PAL
BY MR. CHONVIT SUKHUMJITPITTAYOTAI
 MR. SUPHACHET NIMLAMUL

DEPARTMENT OF INDUSTRIAL TECHNOLOGY
ADVISOR MR. KITDAKORN KLOMKARN

ACCEPTED BY THE FACULTY OF ENGINEERING , KING MONGKUTS INSTITUTE OF
TECHNOLOGY , LADKRABANG IN PARTIALFULEILLMENT OF THE REQUIREMENT
FOR THE BACHELOR ' S DEGREE PROJECT REPORT COMMITTEE

.....Chairman
(.....)
.....Committee
(.....)
.....Committee
(.....)
.....Committee
(.....)
.....Committee
(.....)

หัวข้อปริญญานิพนธ์ การออกแบบเครื่องวัดการผิดพลาดของบิตโดยใช้ PAL

ชื่อนักศึกษา นาย ชนย์วิทย์ สุขุมจิตพิทโยทัย

นาย ศุภเชษฐ นิ่มทะนูล

ภาควิชา เทคนิคอุตสาหกรรม

อาจารย์ที่ปรึกษา อาจารย์ กฤดากร กล่อมการ

บทคัดย่อ

บทความวิจัยนี้ได้เสนอผลงานของการวิจัยและพัฒนา “ การตรวจจับอัตราการผิดพลาดของบิต (Bit Error Rate) ” ในระบบสื่อสาร ซึ่งเสนอขั้นตอนและวิธีการสร้างข้อมูลการสื่อสารแบบสุ่มขึ้น คือ สัญญาณข้อมูลกึ่งแรนดัม (Pseudo Random Binary Sequence; PRBS) ซึ่งเป็นสัญญาณที่ใช้ทดสอบร่วมกับ สัญญาณรบกวนที่สร้างจำลองขึ้นเป็นสัญญาณรบกวนแบบไวด์แบนด์ (Wide band noise) โดยจะทำการส่งสัญญาณทั้งสองนี้รวมกัน ไปสู่ภาครับ ที่ภาครับจะทำการตรวจจับอัตราการผิดพลาดของบิตออกมาในรูปแบบของ เซเวนเซกเมนต์ (Seven segment) 3 หลัก จากหลักการนี้จะทำให้สามารถนำไปออกแบบสร้างเครื่องต้นแบบของอุปกรณ์วัดและวิเคราะห์ข้อมูลต่างๆในระบบการสื่อสาร เพื่อวัดหาอัตราความผิดพลาดของบิตได้ละเอียดและมีประสิทธิภาพมากขึ้นต่อไป

PROJECT REPORT DESIGN BIT ERROR RATE USING PAL
BY MR. CHONVIT SUKHUMJITPITTAYOTAI
 MR. SUPHACHET NIMLAMUL

DEPARTMENT OF INDUSTRIAL TECHNOLOGY
ADVISOR MR. KITDAKORN KLOMKARN

ABSTRACT

This paper is presented the research and development on “ Bit Error Rate in communication system ” . It means the concept and the way to make “ Pseudo Random Binary Sequence :PRBS ” which is tested with Wide Band Noise . Then it sends 2 signals to the receiver to search Bit Error Rate in 3 position of Seven segment . From this theory , we can create original instrument that can analyze data in communication system to search Bit Error Rate exactly an efficiently.

กิตติกรรมประกาศ

ปริญญาบัตรฉบับนี้ สำเร็จได้ด้วยดีเนื่องจากการสนับสนุนและให้กำลังใจจากบิดามารดา และด้วยความร่วมมือและความตั้งใจในการทำงานของเพื่อนร่วมงานในกลุ่ม และได้รับคำแนะนำจาก อาจารย์ที่ปรึกษาทางด้านเทคนิคและแนวความคิดต่างๆ นอกจากนี้ยังได้รับคำแนะนำในการออกแบบวงจร จาก อาจารย์กฤตการ กล่อมการ และ คุณอุคมพร สุนันท์ชัยกุล และ พี่วุฒิชัย ชื่นดี ที่ช่วยสนับสนุนในด้านเครื่องมือต่างๆและที่พัสดุลดการทำงาน พี่เฉลิมภพ แพรดำ ที่ช่วยเอื้อเพื่ออุปกรณ์และรูปแบบการเขียนปริญญาบัตรฉบับนี้ นายศิริพงศ์ รุ่งแสง ที่ช่วยเอื้อเพื่ออุปกรณ์และคู่มือต่างๆ ทางคณะผู้จัดทำใคร่ขอขอบคุณมา ณ ที่นี้



สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีของสัญญาณข้อมูลกึ่งเรנדัม	
2.1 บทนำ	3
2.2 ทฤษฎีของสัญญาณ Pseudo Random Binary Sequence	4
2.3 คุณสมบัติของสัญญาณกึ่งเรנדัม	7
บทที่ 3 หลักการทำงานและหลักการออกแบบวงจร	
3.1 ระบบโครงสร้างของฮาร์ดแวร์	12
3.2 หลักการออกแบบของวงจร Pseudo Random Binary Sequence	14
3.3 หลักการออกแบบเครื่องวัดอัตราการผิดพลาดของบิต	22
3.4 หลักการออกแบบภาคแสดงผล	28
3.5 หลักการออกแบบวงจรกำเนิดสัญญาณรบกวนแบบไวเดนแบนด์	29
บทที่ 4 ผลการทดลอง บทสรุป และ วิจารณ์	32
เอกสารอ้างอิง	44
ภาคผนวก	45

บทที่ 1

บทนำ

1.1 บทนำ

การสื่อสารข้อมูลตามสายโทรศัพท์หรือการสื่อสารข้อมูลระบบ Wireless PCN (Personal Communication Networks) จะมีการทำงานที่มีประสิทธิภาพในการส่งข้อมูลมากที่สุดซึ่งก็คือ การส่งข้อมูลและรับข้อมูลมีความผิดพลาดของข้อมูลน้อยที่สุด และสิ่งที่จำเป็นในการทดสอบระบบการสื่อสารนั้นก็คือ สัญญาณกึ่งเรนดัม (Pseudo random binary sequence :PRBS) ซึ่งทำหน้าที่เหมือนเป็นการจำลองข้อมูลจริงป้อนเข้าที่อินพุทของระบบในการทดสอบการวัดอัตราข้อมูลที่ผิดพลาด (Bit Error Rate) ซึ่งแบ่งการทำงานออกเป็น 2 ภาคด้วยกันคือ

ภาคส่งเป็นภาคที่ทำหน้าที่ในการผลิตสัญญาณ PRBS ออกมาโดยมีวงจร Shift Register ต่อแบบอนุกรม และมีการป้อนกลับแบบโมดูลอ 2 (Modulo 2) ซึ่งสัญญาณที่ได้นั้นสามารถเลือกความยาวของ Register (Register Length) ได้คือ 3,4,5,6,9,11,15,16 ซึ่งจะได้อีกต่อไป

ในส่วนของภาครับนั้นจะทำหน้าที่หลักในการตรวจจับอัตราการผิดพลาดของสัญญาณที่ได้รับโดยประกอบไปด้วยส่วนที่สำคัญๆ คือ วงจรตรวจอัตราการผิดพลาด และวงจรแสดงผลซึ่งจะกล่าวถึงต่อไป

ในปฏิยานิพนธ์ฉบับนี้จะกล่าวถึง ทฤษฎีและหลักการพื้นฐานในการทำงาน การออกแบบและการทำงานของวงจร การทดลองและผลการทดลอง สรุปและวิจารณ์ผลการทดลอง ซึ่งจะกล่าวต่อไป

1.2 วัตถุประสงค์ของโครงการ

1.2.1 เพื่อสร้างเครื่องส่งสัญญาณ PRBS (Pseudo Random Binary Sequences)

1.2.2 เพื่อสร้างเครื่องตรวจจับอัตราการผิดพลาดของบิต (Bit Error Rate) ในการส่งข้อมูล

มูล

1.2.3 เพื่อศึกษาโปรแกรม VHDL เพื่อใช้ในการออกแบบสร้าง IC เพื่อให้มีคุณสมบัติใช้เป็นชิพเครื่องส่งสัญญาณ PRBS และชิพในการตรวจจับอัตราการผิดพลาดของบิต (Bit Error Rate.)

1.3 ลำดับขั้นตอนและวิธีการดำเนินการ

- 1.3.1 ศึกษาการทำงานของอุปกรณ์ที่จะนำมาออกแบบ
- 1.3.2 ศึกษาและสร้างวงจรการส่งสัญญาณ PRBS
- 1.3.3 ออกแบบโครงสร้างของเครื่องตรวจจับอัตราการผิดพลาดของบิต
- 1.3.4 การใช้โปรแกรม VHDL เพื่อใช้สร้าง IC ที่ใช้เป็นชิพในตรวจจับอัตราการผิดพลาดของบิต
- 1.3.5 ทดสอบการทำงานของเครื่องตรวจจับและทดสอบชิพ IC ที่สร้างขึ้น

1.4 ประโยชน์ที่คาดว่าจะได้รับจากโครงการนี้

- 1.4.1 เป็นพื้นฐานในการสร้างเครื่องตรวจจับเมื่อเกิดการผิดพลาดของบิต
- 1.4.2 ได้เรียนรู้หลักการทำงานของ การส่งข้อมูล โดยการทำให้เครื่องส่งสัญญาณ PRBS (Pseudo Random Binary Sequences)

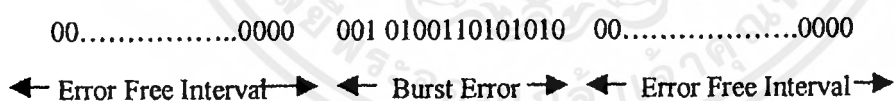
บทที่ 2

ทฤษฎีของสัญญาณข้อมูลกึ่งเรนดัม

2.1 บทนำ

ในระบบสื่อสารทางดิจิทัล (Digital Communication System) เรามักจะบอกสมรรถภาพของระบบหรือคุณสมบัติของช่องสัญญาณว่าดีหรือไม่เพียงใดโดยการบอกอยู่ในลักษณะของอัตราบิตที่ผิด (Bit Error Rate : BER) ต่อการส่งข้อมูลทั้งหมด การส่งข้อมูลในความเป็นจริง ข้อมูลที่เกิดขึ้นจะไม่มีรูปแบบที่แน่นอน ดังนั้นถ้าเราสร้างสัญญาณขึ้นทดสอบจึงต้องมีคุณสมบัติทางสถิติใกล้เคียงกับข้อมูลที่ส่งจริง คือมีความเป็นเรนดัม (Random) แต่จะต้องมีคุณสมบัติที่สามารถทำการซิงโครไนซ์สัญญาณกลับที่ภากรับ สัญญาณที่ใช้ทดสอบดังกล่าวนี้คือ สัญญาณข้อมูลกึ่งเรนดัม (Pseudo Random Binary Sequence : PRBS)

การวัดอัตราการผิดพลาดของบิตเป็นการบอกว่ามีบิตผิดมากเท่าไรในจำนวนที่ส่งทั้งหมด ซึ่งไม่ได้บอกตำแหน่งหรือระยะห่างของบิตที่ผิดพลาดที่เกิดขึ้นในระบบ อาจไม่เพียงพอสำหรับการออกแบบขนาดของแพ็คเกจสำหรับการส่งข้อมูลในช่องสัญญาณ สำหรับการวัดอัตราความผิดพลาดที่เกิดขึ้นในระบบอาจแสดงพร้อมช่วงปราศจากการผิดพลาด (Error Free Interval : EFI) โดยค่า EFI นี้จะวัดจากระหว่างช่วงของการผิดพลาดที่เกิดขึ้นในระบบซึ่งแสดงได้ดังรูปที่ 2.1



รูปที่ 2.1 แสดงการวัด EFI

จากรูปแสดงช่วงปราศจากการผิด (EFI) โดยการผิดพลาดที่เกิดขึ้นเป็นแบบเบิร์ต โดยช่วงของการวัด EFI จะแยกการเกิดความผิดพลาดแบบเบิร์ต โดยจะสนใจระยะความห่างระหว่างบิตผิดตั้งแต่จำนวน 100 บิตขึ้นไป การแสดงผลของ EFI อาจจะแสดงในรูปผลของกราฟฮิสโตแกรม (Histogram) ซึ่งแสดงขนาดของ EFI ต่อความถี่ที่เกิดซึ่งจะมีประโยชน์ในการนำไปใช้เป็นข้อมูลสำหรับการออกแบบขนาดแพ็คเกจ (Packet) ของการส่งข้อมูลในช่องสัญญาณ

2.2 ทฤษฎีของสัญญาณ Pseudo Random Binary Sequence

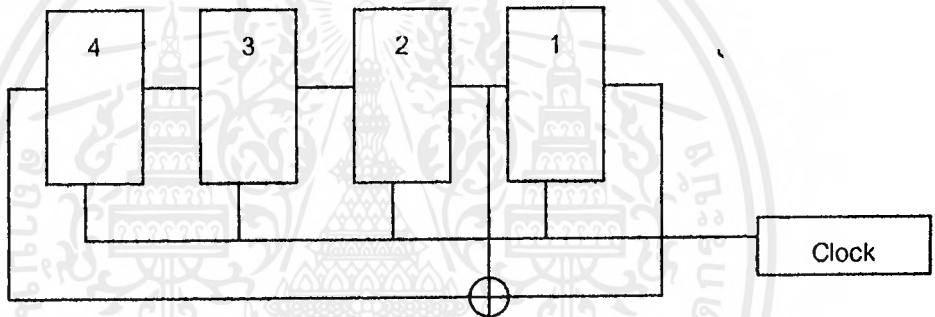
Pseudo Random Binary Sequence จะทำงานโดยใช้ Shift Register ที่มีการต่อป้อนกลับแบบวงจรวกแบบ Modulo 2 โดยที่ Shift Register ก็คือ Flip – Flop จำนวนหนึ่งทำการต่อเป็นแบบ Series กันและ Shift Register แต่ละตัวจะมีการต่อเข้ากันสัญญาณนาฬิกา เมื่อ Shift Register ได้รับสัญญาณนาฬิกาข้อมูลไบนารีที่อยู่ใน Flip – Flop ก็จะถูกย้ายไปยัง Flip – Flop ตัวถัดไปและจะมีการกำหนดจุดต่อป้อนกลับเพื่อกำหนดความยาวของ Pseudo Random Binary Sequence โดยใช้สมการ Primitive Polynomial ที่มีกำลังตั้งแต่ 1 ถึง 20 ดังตาราง 2.1

Deg m	$h(x)$
1	$X+1$
2	X^2+X+1
3	X^3+X+1
4	X^4+X+1
5	X^5+X^2+1
6	X^6+X+1
7	X^7+X+1
8	$X^8+X^7+X^6+X+1$
9	X^9+X^4+1
10	$X^{10}+X^3+1$
11	$X^{11}+X^2+1$
12	$X^{12}+X^{11}+X^{10}+X^2+1$
13	$X^{13}+X^{12}+X^{11}+X+1$
14	$X^{14}+X^{13}+X^{12}+X^2+1$
15	$X^{15}+X^{14}+1$
16	$X^{16}+X^{14}+X^{13}+X^{11}+1$
17	$X^{17}+X^{14}+1$
18	$X^{18}+X^{11}+1$
19	$X^{19}+X^{18}+X^{17}+X^{14}+1$
20	$X^{20}+X^{17}+1$

ตารางที่ 2.1 แสดงความสัมพันธ์ระหว่างสมการ Primitive Polynomial กับ Degree

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการ Primitive Polynomial นี้จะให้สัญญาณ Pseudo Random Binary Sequence ที่มีความยาว $n=2^m-1$ เนื่องจากจะไม่ให้เกิดสถานะที่เป็น 0 ก่อนที่จะกลับไปให้มีสถานะซ้ำกับข้อมูลเดิมจากตาราง 3.1 จึงทำให้สัญญาณ Pseudo Random Binary Sequence ที่มีความยาวสูงสุดถึง $2^{40}-1=10^{12}$ จากตารางนี้ถ้าเรานำสมการ Primitive Polynomial $h(x) = x^4+x+1$ มาพิจารณาจะเห็นว่ากำลังสูงสุดของสมการ $= m = 4$ จึงแสดงว่า Sequence นี้ต้องใช้ Shift Register ทั้งหมด 4 ตัวดังรูปที่ 2.2 คือนำเอาสัญญาณเอาต์พุตของ Shift Register ตัวที่ 4 และตัวที่ 1 มาใช้ในการบวกแบบ Modulo 2 (โดยในสมการ Primitive Polynomial จะแทนด้วยเครื่องหมายบวก) นั่นก็คือการใช้ Exclusive Or Gate



รูปที่ 2.2 แสดงการต่อ Shift Register

จากรูปที่ 2.2 ถ้าเราสมมติให้สถานะการเริ่มต้นการทำงานของ Shift Register เป็นลอจิก 1111 เมื่อมีการให้สัญญาณนาฬิกาเข้าไป ข้อมูลเดิมใน Shift Register ก็จะถูกเลื่อนไปทางซ้ายมือ 1 ตำแหน่งคือข้อมูลเดิมใน Flip-Flop ก็จะถูกย้ายไปเก็บใน Flip-Flop ตัวถัดไป โดยข้อมูลที่อยู่ใน Flip-Flop ตัวที่ 1 2 3 ก็จะถูกเลื่อนไปเก็บไว้ใน Flip-Flop ตัวที่ 2 3 4 ตามลำดับ แล้วนำเอาเอาต์พุตเดิมของ Flip-Flop ในตัวที่ 1 และตัวที่ 4 ก่อนที่จะมีสัญญาณนาฬิกาเข้ามาทำการบวกกันแบบ Modulo 2 แล้วป้อนกลับไปเป็นอินพุตใหม่ให้กับ Flip-Flop ตัวแรก จะเห็นว่าข้อมูลที่อยู่ใน Shift Register จะเปลี่ยนแปลงไปเรื่อยๆจนครบ 15 สถานะ คือ 1111 0111 1011 0101 1010 1101 0110 0011 1001 0100 0010 0001 1000 1100 1110 1111 ส่วนเอาต์พุตของวงจร Sequence นี้ จะถูกนำมาจากเอาต์พุตของ Shift Register ตัวสุดท้าย ซึ่งจะได้ข้อมูลเป็น 111101011001000 โดยข้อมูลจะต่อเนื่องกัน 15 บิต (แสดงดังตารางที่ 2.2) และทำให้เกิดการ Random จึงเรียกวงจรว่า Pseudo Random Binary Sequence

Length of shift register	Feedback taps	Period of sequence
3	1,3	7
4	1,4	15
5	2,5	31
6	1,6	63
7	1,7	127
8	1,6,7,8	255
9	4,9	511
10	3,10	1023
11	2,11	2047
12	2,10,11,12	4095
13	1,11,12,13	8191
14	2,12,13,14	16383
15	14,15	32767
16	11,13,14,15	65535
17	14,17	131071
18	11,18	262143
19	14,17,18,19	524287
20	17,20	1048575

ตารางที่ 2.2 แสดงความสัมพันธ์ระหว่างการเก็บกับ Period ของ Sequence

ความยาวของ Pseudo Random Binary Sequence กำหนดได้จากความยาวของ Shift Register ที่ใช้และจุดต่อป้อนกลับที่ได้จากสมการ Primitive Polynomial และสถานะเริ่มต้นการทำงานของ Shift Register ถ้ามีการกำหนดให้สถานะเริ่มต้นการทำงานของ Flip-Flop เป็น 0 ทั้งหมด ข้อมูลก็จะไม่มีการเปลี่ยนแปลงและจะไม่สามารถทำให้วงจร Sequence ทำงานได้ ดังนั้นวงจร Sequence นี้จะไม่ยอมให้เกิดสถานะเอาต์พุตที่ข้อมูลเป็น 0 ส่วนความยาวสูงสุดของข้อมูลของ Sequence ที่สร้างขึ้นกำหนดได้เมื่อใช้ Shift Register จำนวน m stage จะเท่ากับ $2^m - 1$

จุดต่อป้อนกลับแต่ละจุดในความเป็นจริงแล้วอาจจะมีจุดต่อป้อนกลับได้ 2 จุด เพราะการเรียงลำดับข้อมูลที่แตกต่างกันก็สามารถทำให้มีความยาวของ Sequence เท่ากันได้ แต่จะมีข้อมูลกลับไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กัน ดังนั้นการป้อนกลับจาก Flip-Flop ตัวที่ 2 และ 3 ก็จะทำงานเหมือนกับการป้อนกลับจากตัวที่ 1 และ 3 ในการสร้าง Sequence ที่มีความยาวเท่ากับ 7 ในทำนองเดียวกันกับการป้อนกลับจาก Flip-Flop ตัวที่ 3 และ 4 ก็ทำงานเช่นเดียวกันกับการป้อนกลับจาก 1 และ 4 สำหรับ Sequence ที่มีความยาว 15 คุณสมบัติอื่นๆ ของความยาว Sequence สูงสุดมีดังนี้

- จะมีจำนวนของลอจิก 1 ในแต่ละ 1 รอบของเอาต์พุต Sequence มากกว่าจำนวนลอจิก 0
- ค่าที่ได้จะเป็นการเรียงลอจิก 0 หรือลอจิก 1 ตามความยาว n จะเป็น 2 เท่าของการทำงานของความยาว $n+1$ ซึ่งถ้าเป็น $1/2$ การทำงานจะมีความยาวเป็น 1 ที่ $1/4$ จะมีความยาวเป็น 2 และที่ $1/8$ จะมีความยาวเป็น 3
- autocorrelation ของ Sequence มีค่าสูงสุด เท่ากับความยาวของ Sequence ($2^n - 1$) ที่ Zero shift และที่ Multiples ของความยาว Sequence ที่ Shift register ตัวอื่น ๆ มีค่า correlation เป็น -1

2.3 คุณสมบัติของสัญญาณกึ่งแรนดัม

1. จำนวน “ 1 ” ที่เกิดใน Sequence มากกว่า “ 0 ” อยู่เท่ากับหนึ่ง หรือถ้ารหัสมีความยาว $2^3 - 1$ จะมี “ 1 ” อยู่เท่ากับ $2^3/2$ หรือถ้ามีจำนวน Shift Register แล้วประมาณได้ว่าโอกาสเกิดหนึ่งเท่ากับโอกาสที่เกิศจนุย์
2. จำนวนบิตติดกันสำหรับ Shift Register ขนาด n สภาวะแล้ว
 - จำนวนบิต 1 ติดกัน n บิตจะมี 1 ครั้งใน Sequence
 - จำนวนบิต 0 ติดกัน $n-1$ บิตจะมี 1 ครั้งใน Sequence
 - จำนวนบิต 0 และ 1 ติดกัน $n-2$ บิตจะมี 2 ครั้งใน Sequence
 - จำนวนบิต 0 และ 1 ติดกัน $n-3$ บิตจะมี 4 ครั้งใน Sequence
 - จำนวนบิต 0 และ 1 ติดกันสองครั้ง บิตจะมี 2^{n-4} ครั้งใน Sequence
 - จำนวนบิต 0 และ 1 เป็นบิตเดี่ยวๆจะมี 2^{n-3} ใน Sequence
3. ค่าออโตคอร์เรชันเรชันสัญญาณจะมีค่าสูงสุดที่จุดศูนย์และค่าสูงสุดทุกระยะชีพท์ของออโตคอร์เรชันจะมีค่าเท่ากับ $-1 / 2^{n-1}$ ดังนั้นอาจจะกล่าวได้ว่าถ้าหากสเททของชีพท์รีจิสเตอร์หรือ n มีจำนวนมากๆแล้ว รหัสกึ่งแรนดัมก็就会有ความใกล้เคียง ในความเป็นแรนดัม ดังนั้นความเข้มข้นของ สเปกตรัมกำลังของสัญญาณข้อมูลกึ่งแรนดัม สามารถหาได้

จากทฤษฎีของ วินเนอร์ คินไชน์ (Winer Kinchine Theorem) ที่กล่าวว่าความเข้มข้นของสเปกตรัมกำลังเป็นฟูเรียร์ทรานสฟอร์มของออโตคอรีเรชันฟังก์ชัน ดังนี้

$$S_x(f) = \int_{-\alpha}^{\alpha} R_x(\tau) e^{-j2\pi f\tau} d\tau \quad (1)$$

และ

$$R_x(\tau) = \int_{-\alpha}^{\alpha} S(f) e^{j2\pi f\tau} df \quad (2)$$

โดยจากคุณสมบัติข้างต้นค่าออโตคอรีเรชันของสัญญาณกึ่งแรนดัมซึ่งสามารถแสดงได้ดังนี้

$$R_x(\tau) = \begin{cases} A^2 [1 - (N+1)/NT] & |\tau| \leq T \\ -A^2/N & \text{สำหรับช่วงเวลาที่เหลือ} \end{cases} \quad (3)$$

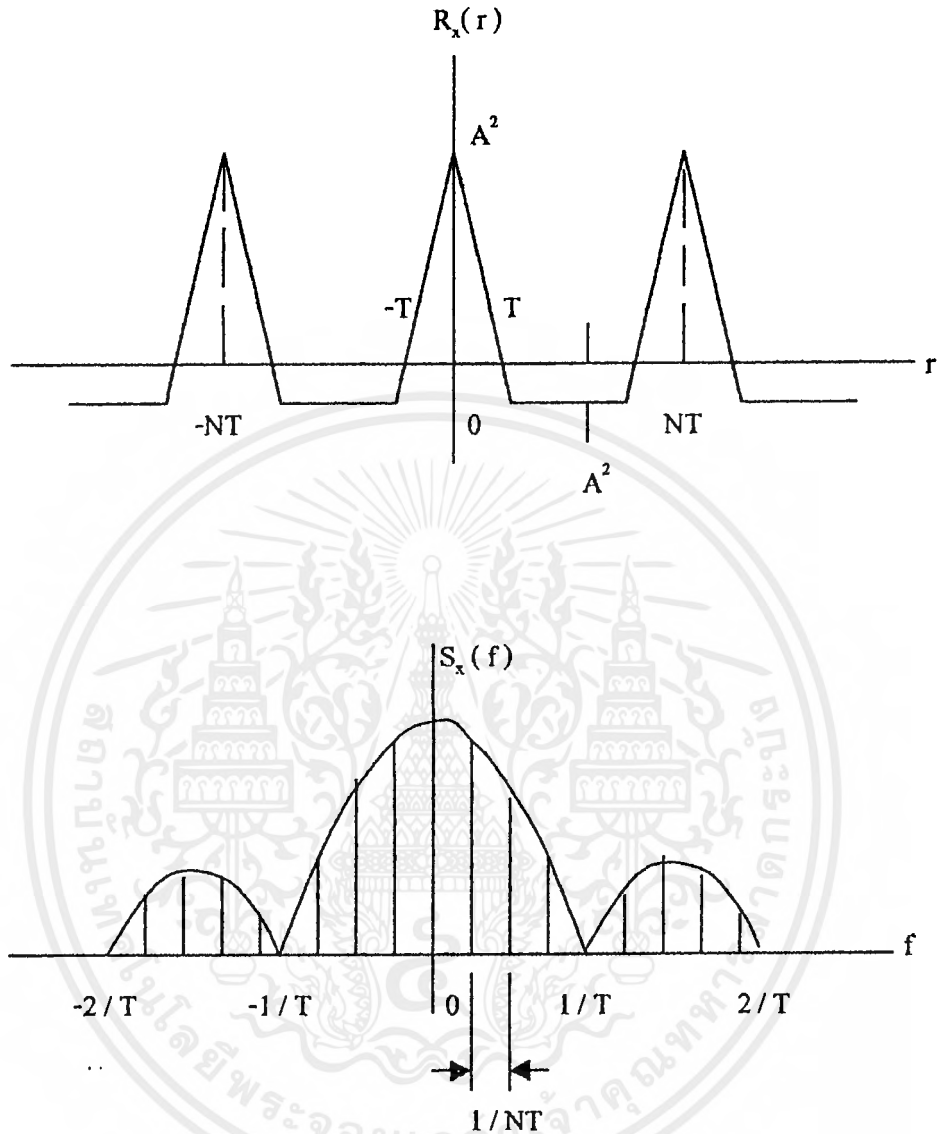
จากออโตคอรีเรชันในสมการด้านบน สามารถหาความเข้มข้นของสเปกตรัมกำลังของสัญญาณข้อมูลกึ่งแรนดัมได้โดยทำการใช้ฟูเรียร์ทรานสฟอร์ม

$$S_x(f) = \int_{-\alpha}^{\alpha} R(\tau) e^{-j2\pi f\tau} d\tau \quad (4)$$

ซึ่งจะได้

$$S_x(f) = (A^2/N) d(f) + (A^2/N^2)(1+N) \sum_{n=-\alpha}^{\alpha} \text{sinc}^2(n/N) d(f-n/NT) \quad (5)$$

จากสมการแสดงรูปความเข้มข้นสเปกตรัมกำลังได้ในรูปที่ 2.3 โดยไลน์สเปกตรัมเกิดขึ้นทุกๆระยะ $1/NT$ และจะมีเอนวิโลปของไลน์สเปกตรัมเป็นฟังก์ชัน $[\sin\pi fT / \pi fT]^2$ โดยสเปกตรัมจะเท่ากับศูนย์ทุกๆระยะเท่ากับ $1/T$



รูปที่ 2.3 แสดงค่าออโตคอรรีเรชั่นและความเข้มข้นของสเปกตรัมกำลังของสัญญาณกึ่งเรนดัม

แต่ในทางปฏิบัติ จะต้องให้สถานะเริ่มต้นของวงจร Pseudo Random Binary Sequence มีลอจิกเป็น “ 1 ” เสมอ ทั้งนี้ก็เพื่อที่จะทำให้วงจรสามารถผลิตข้อมูลออกมาได้อย่างอัตโนมัติและมีความต่อเนื่อง จึงต้องทำการเปลี่ยนวงจรในช่วงที่ต้องทำการบวกแบบโมดูโล 2 จาก Exclusive Or Gate เป็น Exclusive Nor Gate แทน ดังนั้นความสัมพันธ์ระหว่างคาบเท่ากับ Period ของ Sequence จึงเปลี่ยนไปเป็นดังตารางที่ 2.3 ดังนี้

Length of shift register	Feedback taps
3	3,2
4	4,3
5	5,3
6	6,5
7	7,6
8	8,6,5,4
9	9,5
10	10,7
11	11,9
12	12,6,4,1
13	13,4,3,1
14	14,5,3,1
15	15,14
16	16,15,13,4
17	17,14
18	18,11
19	19,6,2,1
20	20,17

ตารางที่ 2.3 แสดงความสัมพันธ์ระหว่างการเทียบกับ Period ของ Sequence เมื่อใช้ Exclusive Nor Gate

ซึ่งการทำงานของวงจรจะมีหลักการทำงานเหมือนกัน จะแตกต่างกันตรงที่จำนวนของชิพท์รีจิสเตอร์ที่ใช้ในวงจรของแต่ละสมการเท่านั้น ดังนั้นจึงขอยกตัวอย่างการทำงานของสมการ X^3+X^2+1 ดังตารางแสดงการทำงานดังนี้

Time	Value at point			
	a	b	c	Output
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	0	1	1	1
4	1	0	1	1
5	0	1	0	0
6	0	0	1	1
7	0	0	0	0
8	1	0	0	0
9	1	1	0	0
10	0	1	1	1
11	1	0	1	1
12	0	1	0	0

ตารางที่ 2.4 แสดงซีแควนของ PRBS สมการ X^3+X^2+1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการทํางานและหลักการออกแบบวงจร

3.1 ระบบโครงสร้างของฮาร์ดแวร์

โครงสร้างของฮาร์ดแวร์ทั้งหมดประกอบด้วย

3.1.1 ภาคส่ง ซึ่งประกอบไปด้วยวงจรต่างๆดังนี้

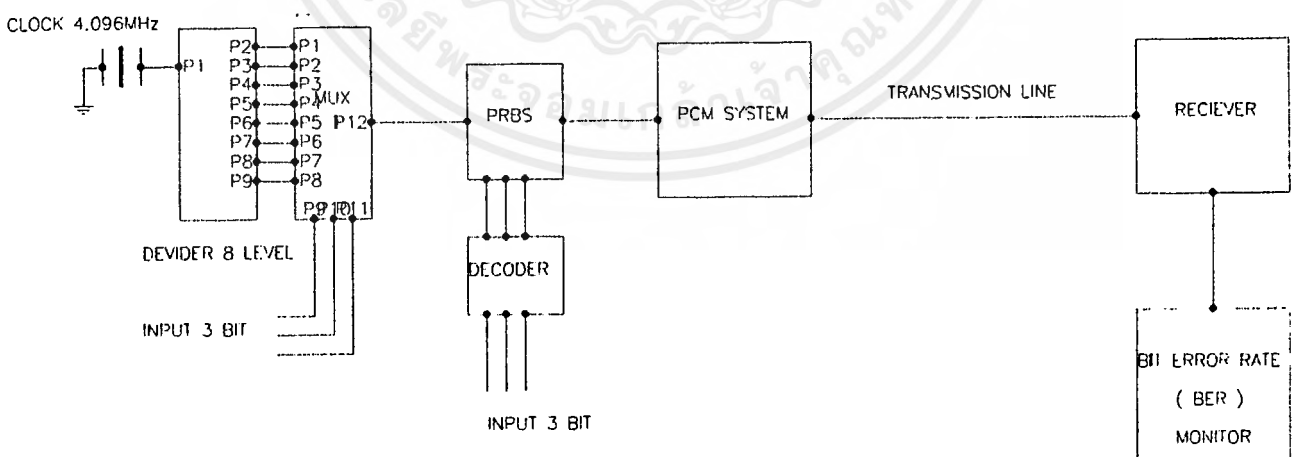
- 3.1.1.1. สัญญาณนาฬิกา 4.096 MHz
- 3.1.1.2. วงจรสร้างสัญญาณข้อมูลกึ่งแรนดัม
- 3.1.1.3. วงจร Divider 8 Level
- 3.1.1.4. วงจร MUX
- 3.1.1.5. วงจร Decoder 3 bit

3.1.2. ภาครับ ซึ่งประกอบไปด้วยวงจรต่างๆดังนี้

- 3.1.2.1. วงจรตรวจอัตราการผิดพลาดของบิตในการส่งข้อมูล(BER)
- 3.1.2.2. วงจรภาคแสดงผล เซเวนเซกเมนต์ 3 หลัก

3.1.3. วงจรกำเนิดสัญญาณรบกวนแบบไวคเบนด

สามารถนำวงจรต่างๆมาเขียนเป็นบล็อกไดอะแกรมถ้าดับการทำงาน ได้ดังรูปที่ 3.1



รูปที่ 3.1 ระบบ โครงสร้างของฮาร์ดแวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.1 ในส่วนของภาคส่งจะประกอบไปด้วย วงจร Divider 8 Level จะทำการหารสัญญาณ Clock 4.096 MHz ออกมาเป็นค่า Clock ที่ระดับความถี่ต่างกัน 8 ความถี่ และจะอาศัยวงจร MUX ร่วมกับสัญญาณ ดิจิตอล 3 บิต ในการเลือกสัญญาณ Clock ออกมา 1 ความถี่ จาก 8 ความถี่ โดยกำหนดให้ความสัมพันธ์ระหว่างสัญญาณดิจิตอล 3 บิตกับสัญญาณ Clock ทั้ง 8 ความถี่เป็นดังนี้

สัญญาณดิจิตอล 3 บิต	สัญญาณ Clock
000	2.048 MHz
001	1.024 MHz
010	512 kHz
011	256 kHz
100	128 kHz
101	64 kHz
110	32 kHz
111	16 kHz

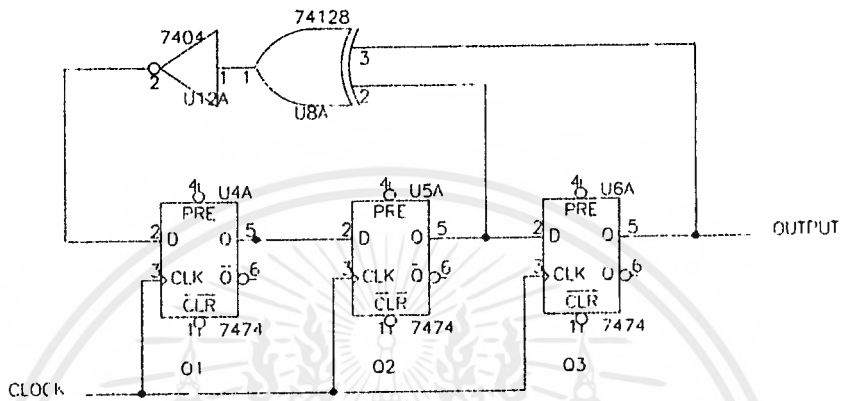
ตารางที่ 3.1 ความสัมพันธ์ระหว่างสัญญาณดิจิตอล 3 บิตกับสัญญาณ Clock ทั้ง 8 ความถี่

เมื่อได้สัญญาณ Clock ที่ต้องการแล้วจะใช้สัญญาณนี้ป้อนเข้าตัววงจร PRBS เพื่อให้วงจรทำงานได้ ซึ่งจะมีสมการ Polynomial 8 แบบ แต่จะใช้วงจร Decoder 3 Bit เลือกสมการมาใช้เพียง 1 สมการเท่านั้น โดยกำหนดความสัมพันธ์ระหว่างวงจร Decoder 3 Bit กับสมการ Polynomial ทั้ง 8 แบบ เป็นดังนี้

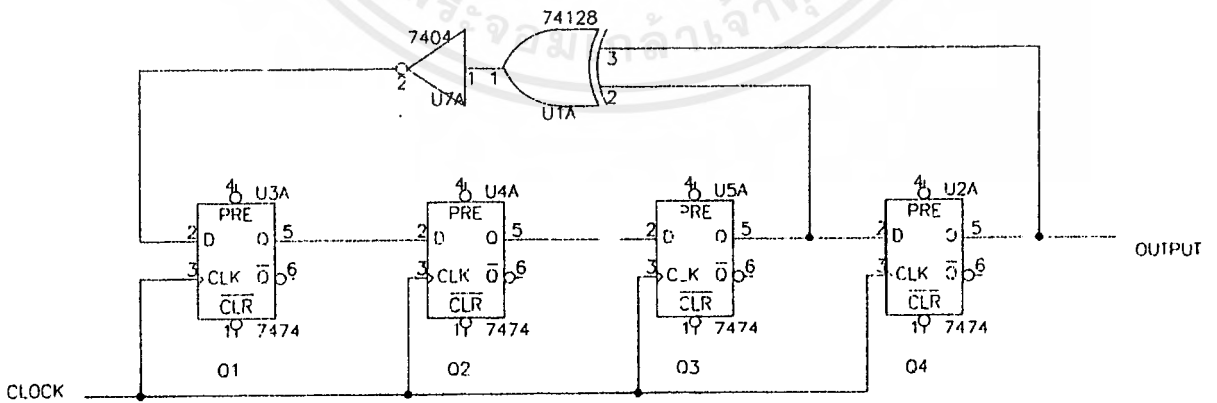
Decoder 3 Bit	สมการ Polynomial
000	X^3+X^2+1
001	X^4+X^3+1
010	X^5+X^3+1
011	X^6+X^5+1
100	X^9+X^5+1
101	$X^{11}+X^9+1$
110	$X^{15}+X^{14}+1$
111	$X^{16}+X^{15}+X^{13}+X^4+1$

ตารางที่ 3.2 ความสัมพันธ์ระหว่างวงจร Decoder 3 Bit กับสมการ Polynomial ทั้ง 8 แบบ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปเผยแพร่โดยไม่เสียค่าใช้จ่าย
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

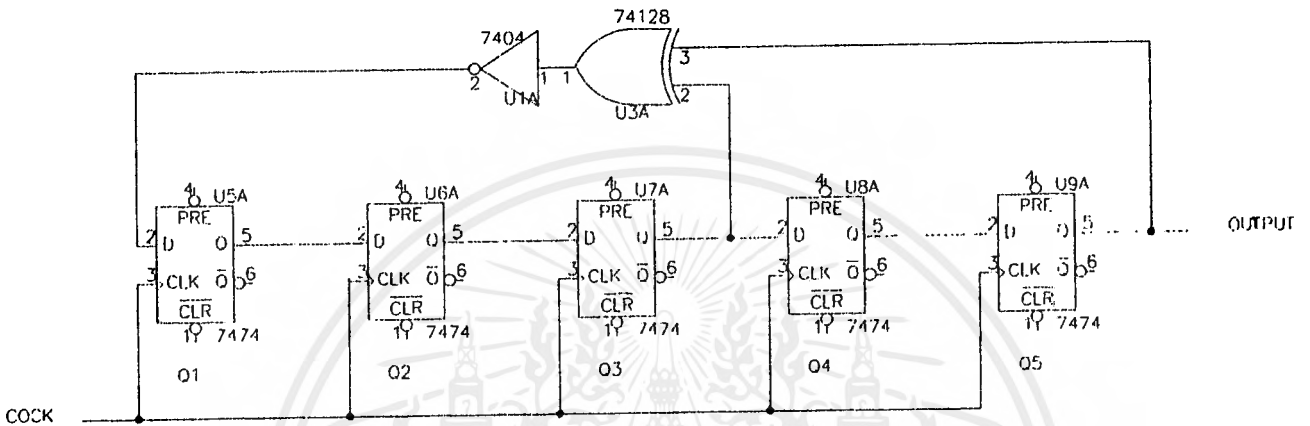


รูป 3.2 วงจร Pseudo random binary sequence ของสมการ X^3+X^2+1

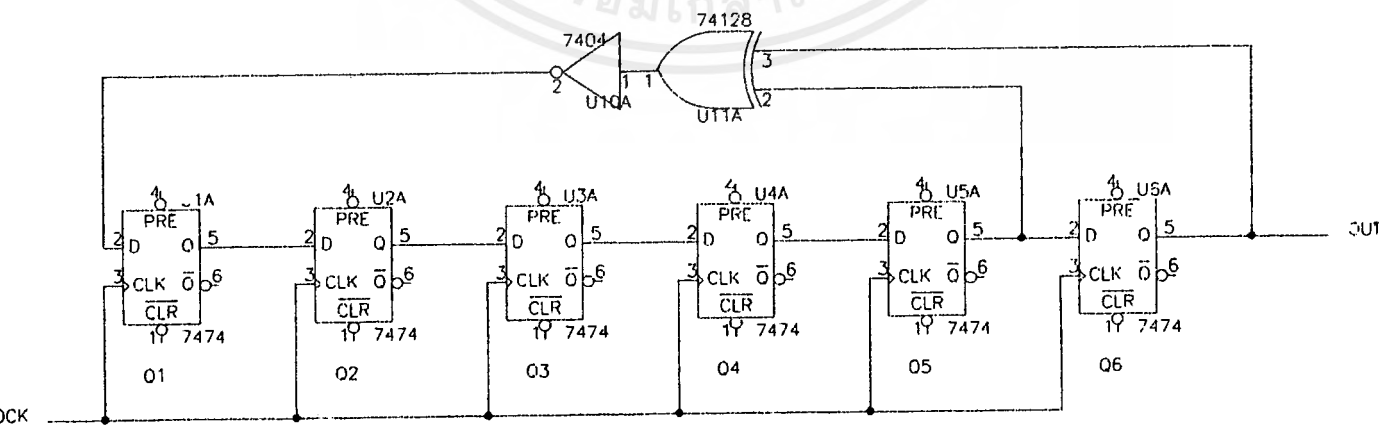


รูป 3.3 วงจร Pseudo random binary sequence ของสมการ X^4+X^3+1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

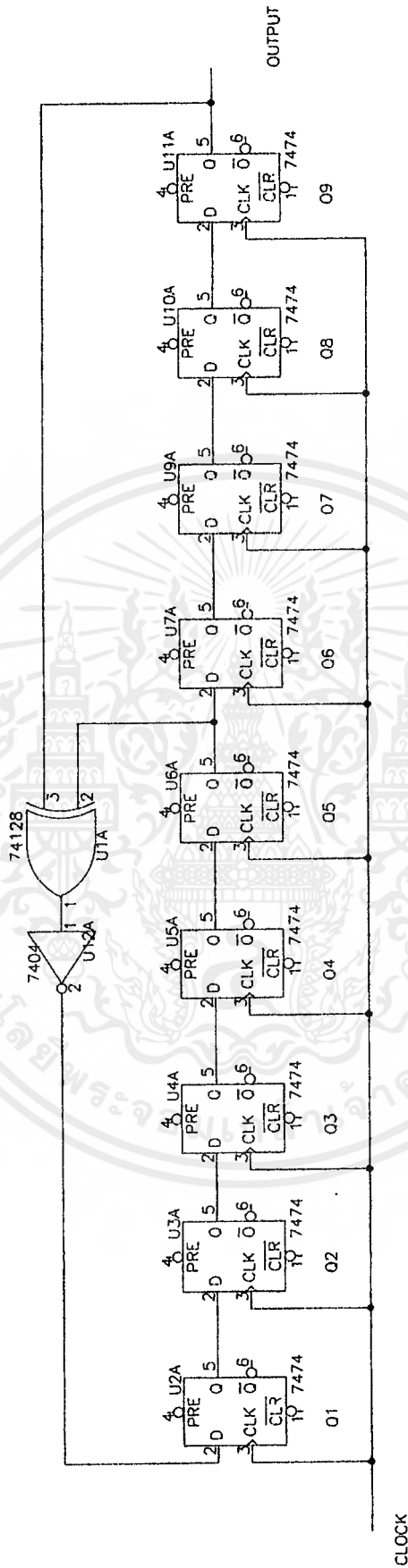


รูป 3.4 วงจร Pseudo random binary sequence ของสมการ $X^5 + X^3 + 1$



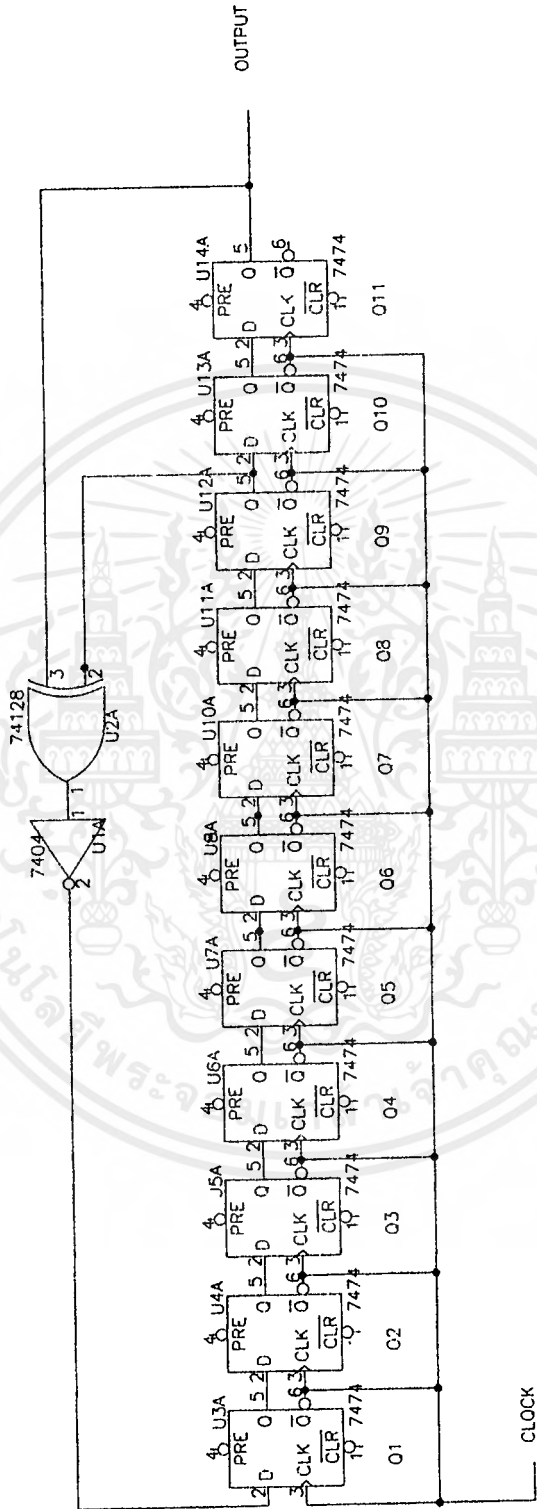
รูป 3.5 วงจร Pseudo random binary sequence ของสมการ $X^6 + X^5 + 1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



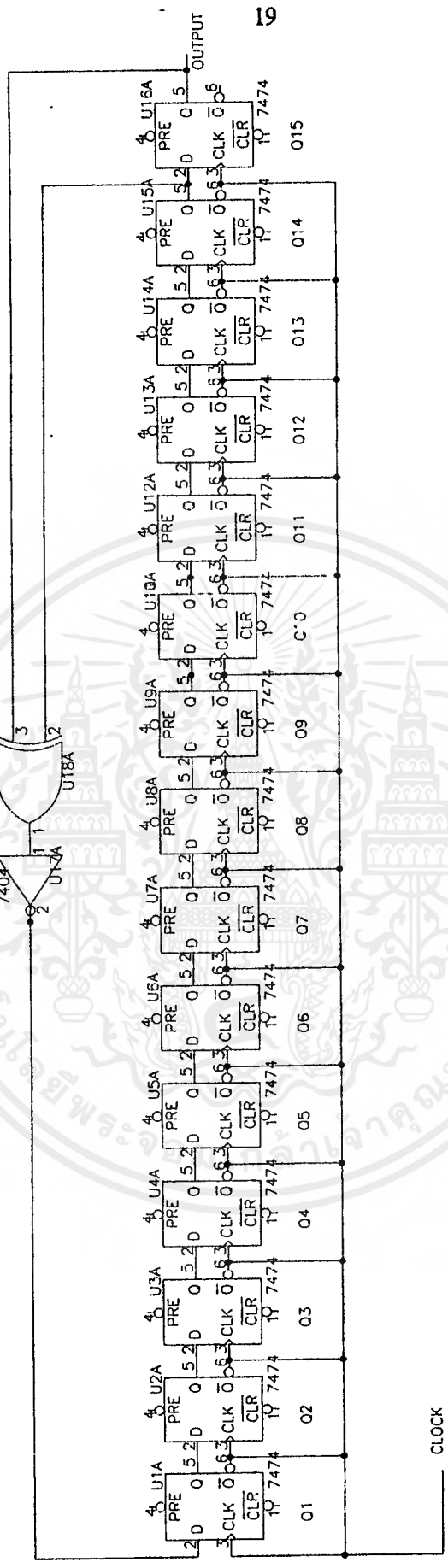
รูป 3.6 วงจร Pseudo random binary sequence ของสมการ X^9+X^2+1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



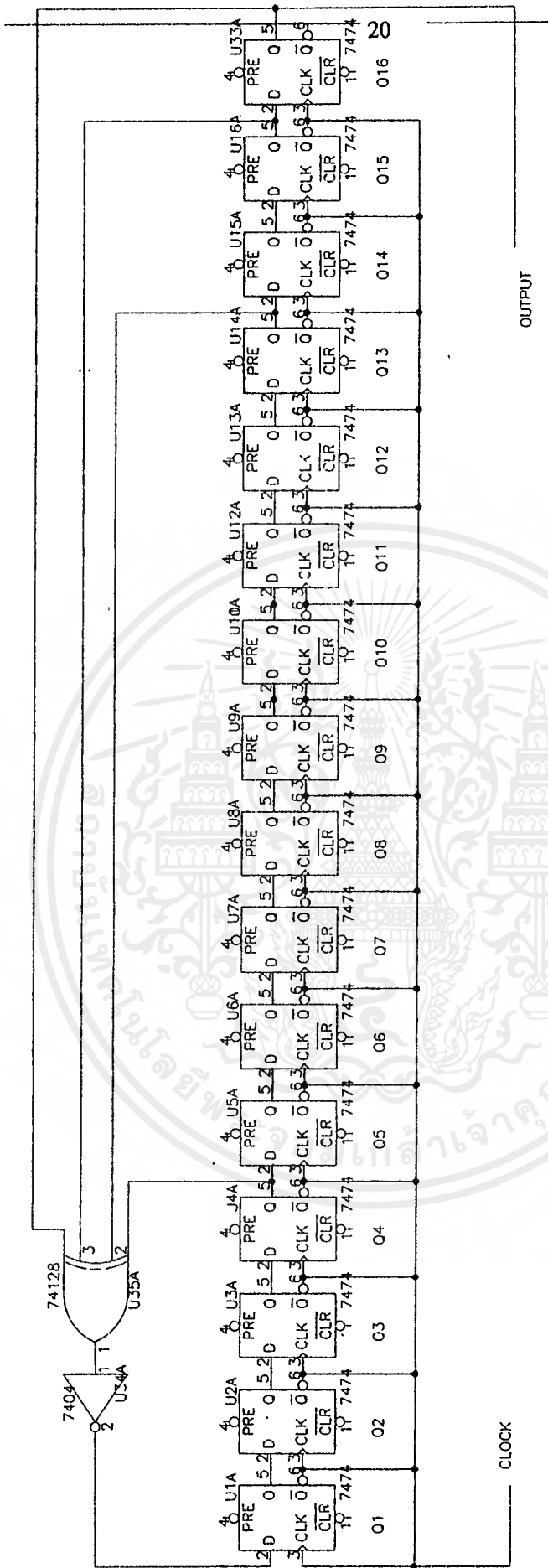
รูป 3.7 วงจร Pseudo random binary sequence ของสมการ $X^{11}+X^9+1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.8 วงจร Pseudo random binary sequence ของสมการ $X^{15}+X^{14}+1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



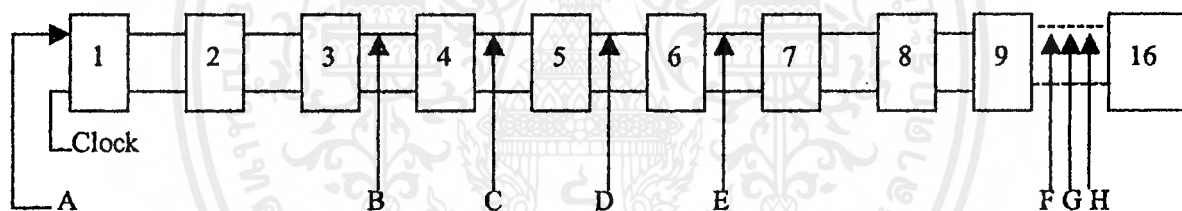
รูป 3.9 วงจร Pseudo random binary sequence ของสมการ $X^{16} + X^{15} + X^{13} + X^4 + 1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ในโครงการนี้เราจะทำการลดจำนวนของไอซีลง แแต่จยังคงทำงานได้เหมือนเช่นเดิม โดยใช้หลักการเขียนโปรแกรม VHDL และทำการเบิร์อนลงชิพ IC PAL C22 V10 เพื่อนำไปใช้งาน โดยมีขั้นตอนในการเขียนโปรแกรม ดังนี้

จากรูปที่ 3.1 การออกแบบโปรแกรมในส่วนของการใช้ Clock ที่ป้อนให้กับระบบ โปรแกรมจะมีลักษณะของวงจรรหัสสอง โดยใช้ ดีฟลิปฟลอป ทำเป็นวงจรรหัสสอง และสามารถที่จะรับบิต 3 บิตไว้ใช้สำหรับเลือกความถี่ที่จะป้อนให้กับระบบด้วย โดยจะเขียนโปรแกรมในลักษณะเงื่อนไข เช่น ถ้าบิตที่ใช้เลือก Clock เป็น 001 จะทำให้ เอาท์พุท มีค่าเท่ากับ 1.024 MHz โดยความสัมพันธ์ระหว่างบิตที่ใช้เลือก Clock กับค่าความถี่ของ Clock ที่เอาท์พุท แสดงในตารางที่ 3.1

ในส่วนของสัญญาณ PRBS การออกแบบโปรแกรมนั้นจะใช้ดีฟลิปฟลอป 16 ตัวด้วยกันไม่ว่าจะเป็นสัญญาณในสมการใดก็ตามทั้ง 8 สมการที่ได้กล่าวมาแล้วซึ่งจะเริ่มทำการออกแบบโดยอาศัยรูปวงจร ดังนี้



รูปที่ 3.10 แสดงแนวความคิดในการออกแบบวงจร PRBS

และจะมีสัญญาณบิต 3 บิต สำหรับใช้เลือกสมการทั้ง 8 สมการในการให้กำเนิดสัญญาณ PRBS โดยเขียนโปรแกรมในลักษณะของเงื่อนไข ตัวอย่างเช่น ถ้าบิตที่ใช้เลือกสมการเป็น 000 ซึ่งตรงกับสมการ X^3+X^2+1 (ตามตารางที่ 3.2) ก็จะให้อาท์พุท PRBS ออกทางตำแหน่งที่จุด B โดยให้ข้อมูลที่เข้าสู่ตำแหน่งจุด A คือค่าเอาท์พุทของ ดีฟลิปฟลอป ตัวที่ 3 และ 2 มาทำเอ็กคลูซีฟนอร์กัน และสัญญาณที่จุดอื่นๆจะ ไม่นำมาคิดเลย หรือถ้าบิตที่ใช้เลือกสมการเป็น 110 ซึ่งตรงกับสมการ $X^{15}+X^{14}+1$ ก็จะให้อาท์พุท PRBS ออกทางตำแหน่งที่จุด H โดยให้ข้อมูลที่เข้าสู่ตำแหน่งที่จุด A คือค่าเอาท์พุทของ ดีฟลิปฟลอป ตัวที่ 15 และ 14 มาทำเอ็กคลูซีฟนอร์กัน และสัญญาณที่จุดอื่นๆจะ ไม่นำมาคิดเลย

เรานำหลักการเหล่านี้ไปเขียนโปรแกรม VHDL และทำการเบิร์อนลงชิพ IC PAL C22 V10 สำหรับโปรแกรมในส่วนภาคส่งของระบบนี้ได้แสดงไว้ในภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

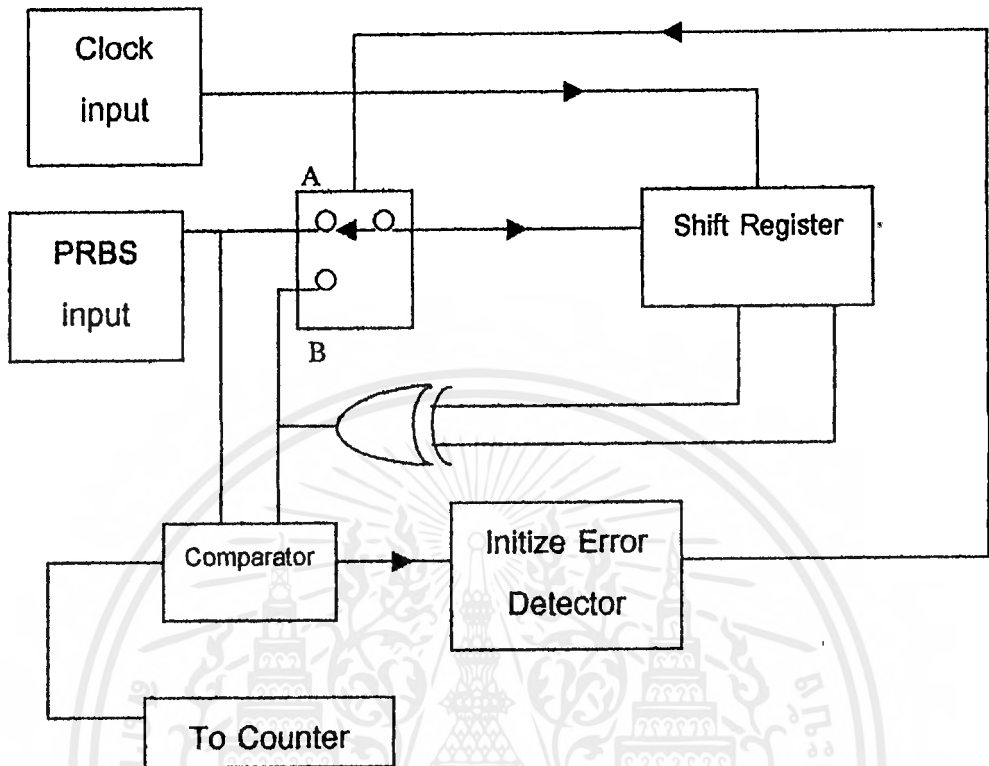
3.3 หลักการออกแบบเครื่องวัดอัตราการผิดพลาดของบิท

สำหรับการวัดอัตราการผิดพลาดของบิท โดยใช้สัญลักษณ์ข้อมูลกึ่งแรนดัม มีวิธีเปรียบเทียบที่ภาครับกับภาคส่งเพื่อวัดความผิดพลาดทำได้โดย

1. กำเนิดสัญญาณ PRBS แล้วส่งผ่านช่องสัญญาณ แล้วทำการรับข้อมูลที่ส่งมาเปรียบเทียบกับภาคส่ง (LOOP BACK) ซึ่งวิธีนี้เป็นการทดสอบระบบที่ใช้ส่งแบบ FULL DUPLEX
2. กำเนิดสัญญาณ PRBS ที่ภาคส่ง แล้วส่งผ่านช่องสัญญาณ แล้วที่ภาครับให้รับสัญญาณรับได้ผ่านชุดอินเวอร์ตซีพท์รีจิสเตอร์มาออกดูโลกับสัญญาณ PRBS ที่ได้รับ โดยเอาที่พุ่มออกดูโลจะให้เป็นรูปแบบของบิทที่ผิด แต่การวัดโดยวิธีนี้ไม่นิยมเพราะว่ามีปัญหาจากการคูณของบิทผิด (Error Multiplication)
3. กำเนิดสัญญาณ PRBS ที่ภาคส่ง แล้วส่งผ่านช่องสัญญาณ แล้วที่ภาครับสร้างสัญญาณ PRBS ที่ซิงโครไนซ์กับภาคส่งขึ้นมาเปรียบเทียบ ซึ่งเป็นวิธีที่ใช้ในโครงการนี้

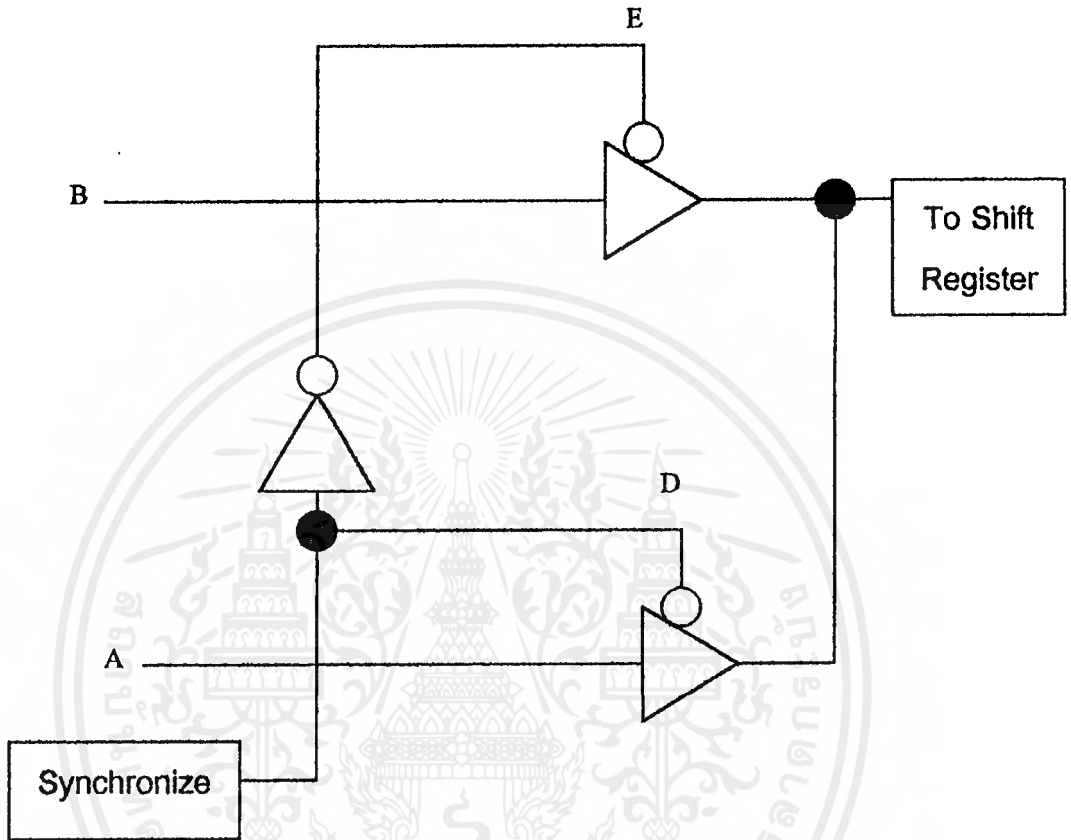
3.3.1 เทคนิคการออกแบบเครื่องวัดอัตราการผิดพลาดของบิท

การวัดความผิดพลาดของบิทที่เกิดขึ้นโดยใช้ข้อมูลกึ่งแรนดัมที่กล่าวมาแล้วนั้น ที่ภาครับจะสร้างสัญญาณที่มีซีควนตรงกันในเวลาเดียวกัน หรือ สัญญาณภาครับมีการซิงโครไนซ์กับภาคส่ง โดยโครงสร้างของวงจรภาครับแสดงดังรูป 3.11



รูปที่ 3.11 แสดงโครงสร้างการวัดอัตราการผิดพลาดของบิต

โดยในตอนแรกที่ภาครับวงจรกำเนิดข้อมูลกึ่งแรนดัมทำงานเป็นอิสระหรือสวิตช์อยู่ที่ตำแหน่ง B สัญญาณข้อมูลกึ่งแรนดัมที่ภาครับถูกเปรียบเทียบกับภาคส่งที่วงจรเปรียบเทียบ (Comparator) แล้วป้อนเข้าสู่วงจรเริ่มต้นตีเทคความผิดพลาด (Initial Error Detector) ซึ่งจะพบบิตที่ผิดพลาดมากในช่วงเวลาสั้นๆ ดังนั้นจะทำให้วงจรเริ่มต้นตีเทคความผิดพลาด ให้สัญญาณเอาท์พุทที่ทำให้สวิตช์ไปอยู่ที่ตำแหน่ง A ซึ่งเป็นการชิงโครโนซ์ข้อมูล หลังจากสวิตช์อยู่ที่ตำแหน่ง A ในช่วงเวลาหนึ่งก็จะกลับสู่ตำแหน่ง B ซึ่งเป็นการสร้างสัญญาณกึ่งแรนดัมที่ภาครับที่มีซีเควนตรงกันกับภาคส่งตลอดไป สำหรับส่วนที่เป็นวงจรเปรียบเทียบเอ็กคลูซิฟอเช่นเดียวกันกับการมอดูโล 2 คือถ้าอินพุททั้งสองต่างกันจะให้เอาท์พุทเป็น “ 1 ” ถ้าอินพุททั้งคู่เหมือนกันจะให้เอาท์พุทเป็น “ 0 ” สำหรับส่วนที่เป็นสวิตช์สำหรับเลือกสัญญาณให้กับชุดชิพรีจิสเตอร์ ซึ่งมีขนาด 9 บิต เช่นเดียวกันกับภาคส่งนั้นสามารถใช้วงจรมัลติเพล็กซ์เซอร์ (Multiplexer) แต่การออกแบบในที่นี้ออกแบบโดยใช้วงจรรวมบัพเฟอร์ที่สามารถควบคุมให้อยู่ในสถานะ ไฮอิมพีแคนซ์ได้โดยการต่อเป็นสวิตช์ 2 ทางดังรูป 3.12

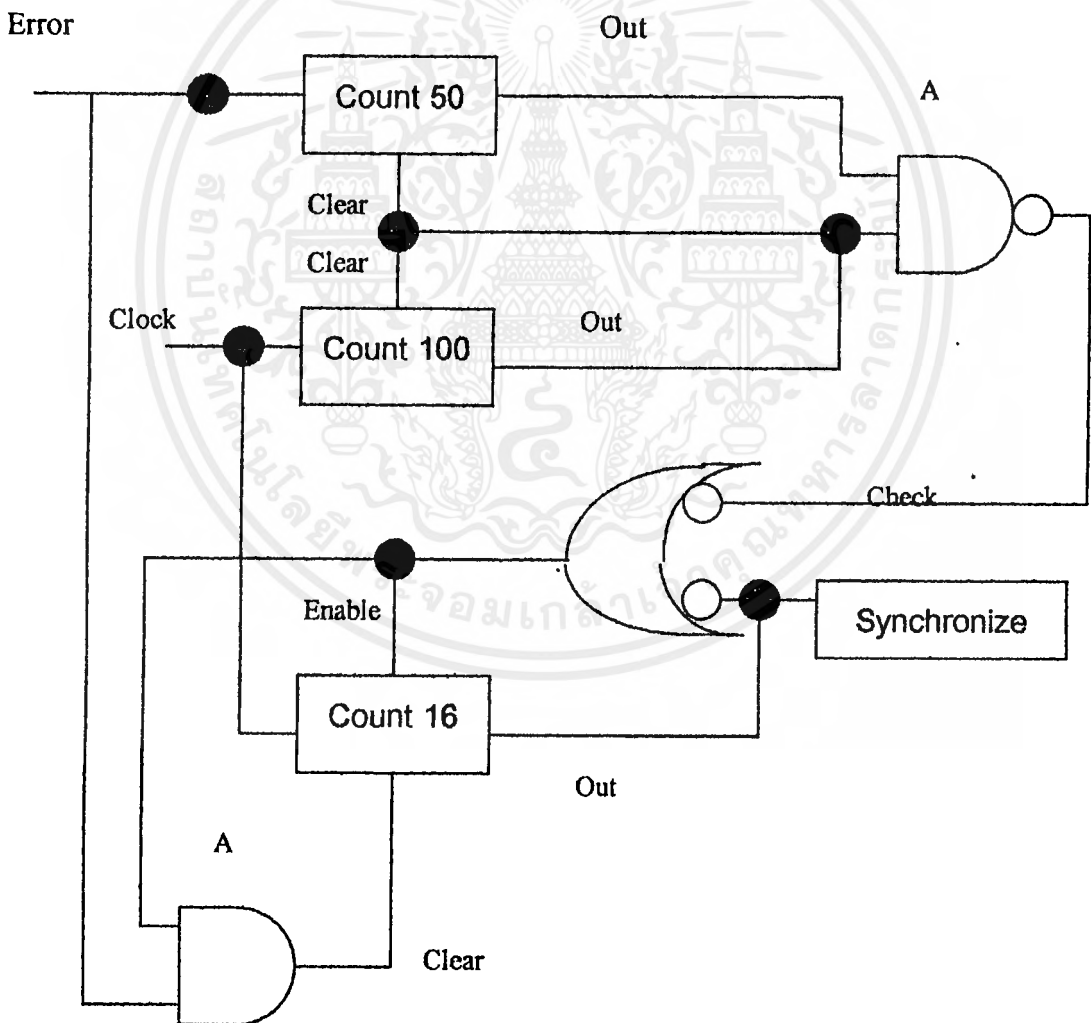


รูปที่ 3.12 แสดงวงจรที่ใช้ทำหน้าที่เป็นสวิตช์

จากรูปสัญญาณซิงโครไนซ์เป็นสัญญาณเอาต์พุตจากวงจรเริ่มต้นคือเทคโนโลยีความผิดพลาด ถ้าสัญญาณสถานะ “ 0 ” สัญญาณจากอินพุต A ซึ่งเป็นสัญญาณที่รับจากภาคส่งโดยตรงมาทำการซิงโครไนซ์ ใช้ชิพรีจิสเตอร์ที่ภาครับกำเนิดสัญญาณให้มีซีแควนตรงกันกับภาคส่ง แต่ถ้าสัญญาณซิงโครไนซ์เป็นสถานะ “ 1 ” จะทำให้สัญญาณจากอินพุต B ซึ่งเป็นการป้อนกลับจากชุดชิพรีจิสเตอร์เข้าที่ชิพรีจิสเตอร์ที่ภาครับเอง

3.3.2 การออกแบบวงจรเริ่มต้นดีเทคความผิด

สำหรับการออกแบบวงจรมับและวงจรเริ่มต้นดีเทคความผิด สามารถอธิบายหลักการได้คือ วงจรนี้จะให้เอาต์พุตเป็นลอจิก “ 0 ” เพื่อให้ชิพรีจิสเตอร์ที่วงจรมับทำการซิงโครไนซ์กับภาคส่งใหม่ เมื่อปรากฏว่ามีบิตจากการเปรียบเทียบที่ภาคส่งและภาครับมากกว่า 50 % ขึ้นไปหรือในจำนวนสัญญาณนาฬิกา 100 ลูกมีความผิดพลาดถึง 50 ลูก สัญญาณเอาต์พุตของวงจรจะเป็นลอจิก “ 0 ” อยู่เท่ากับจำนวนสัญญาณนาฬิกา 16 ลูก ซึ่งเพียงพอที่จะทำให้ชุดชิพรีจิสเตอร์ที่ภาครับบรรจุเอาชีแควนของภาคส่งเข้าไปเพื่อทำการซิงโครไนซ์ โดยหลักการของวงจรสามารถอธิบายได้ดังรูป



รูปที่ 3.13 แสดงหลักการของวงจรมับและวงจรเริ่มต้นดีเทคความผิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากโครงสร้างของวงจรสามารถอธิบายได้คือ เมื่อคอนเริ่มต้นสัญญาณซิงโครไนซ์ (หรือ เอาท์พุทของวงจรมับ 16) จะมีสถานะเป็น “ 0 ” เริ่มต้นบรรจุซีแควนของสัญญาณภาคส่งเข้าไป จำนวน 16 ลูก ซึ่งจะเป็นการซิงโครไนซ์ ระหว่างภาคส่งและภาครับ หลังจากนั้นเอาท์พุทของวงจรมับ 16 จะมีสถานะเป็น “ 1 ” ซึ่งทำให้ภาครับกำเนิดสัญญาณข้อมูลกึ่งแรนคัมที่เป็นอิสระมีซีแควนเดียวกันกับภาคส่ง แต่ถ้าเกิดเหตุการณ์ที่ซีแควนของภาคส่งและภาครับเกิดเลื่อนไม่ตรงกันซึ่งอาจเกิดขึ้นได้ เนื่องจากการรบกวนของสัญญาณอิมพัลส์ที่ภาคส่งหรือภาครับ โดยเมื่อลำดับซีแควนของภาคส่งและภาครับไม่ตรงกันหรือเหตุการณ์ซิงโครไนซ์ สัญญาณข้อมูลจะผิดพลาดเกิดขึ้นเป็นจำนวนมาก หรือมากกว่าจำนวน 50 บิตขึ้นไปภายในสัญญาณนาฬิกาจำนวน 100 บิต วงจรจะเกิดสัญญาณอีน่าเมิ้ล (Enable) ทำให้เอาท์พุทของวงจรมับ 16 เป็นลอจิก “ 0 ” ทำการบรรจุสัญญาณข้อมูลกึ่งแรนคัมภาคส่งเข้าไปในชิพพีจีเอสเตอร์ของภาครับ จนเมื่อครบสัญญาณนาฬิกา 16 ลูก จึงทำให้เอาท์พุทของวงจรมับ 16 เป็น “ 1 ” แต่ถ้าภายในช่วงเวลาสัญญาณนาฬิกา 16 ลูกนี้เกิดสัญญาณบิตผิดเข้ามาทางอินพุท Error สัญญาณบิตผิดนี้จะเคลียร์วงจรมับ 16 ให้เป็น “ 0 ” ซึ่งเป็นการบรรจุซีแควนที่ภาคส่งเข้าไปอีก 16 บิตเพื่อเป็นการป้องกันไม่ให้เกิดการบรรจุซีแควนที่ผิดเข้าไปในวงจรชิพพีจีเอสเตอร์ของภาครับ

เรานำหลักการของวงจรเหล่านี้ไปเขียนโปรแกรม VHDL และทำการเบิร์นลงชิพ IC PAL C22 V10 เพื่อนำไปใช้งานร่วมกับวงจรในภาคต่อไปได้สะดวกและต่อเนื่องกัน ซึ่งมีขั้นตอนในการเขียนโปรแกรมในภาคต่างๆ ดังนี้

จากรูปที่ 3.11 จะต้องสร้างสัญญาณ PRBS ที่มีสัญญาณคล้ายกันกับสัญญาณ PRBS ทางภาคส่งขึ้นมาอีก 1 ชุด เพื่อที่จะใช้ในการเปรียบเทียบบิต ซึ่งได้เขียนโปรแกรมแสดงไว้ในภาคผนวก และส่วนที่สำคัญอีก 2 ส่วนคือ ส่วนที่ทำให้เกิดการซิงโครไนซ์ และส่วนที่ใช้ทำการเปรียบเทียบบิต ซึ่งการออกแบบในส่วนที่ทำให้เกิดการซิงโครไนซ์ หรือ Initialize Error Detector มีแนวความคิดในการออกแบบตามรูปที่ 3.13 โดยมีการเขียนโปรแกรม Counter เพื่อที่จะนับ Error และเขียนโปรแกรม Counter เพื่อที่จะนับ Clock ซึ่งมีเงื่อนไขว่า ถ้านับจำนวน Clock ได้ 100 ลูก แล้วตรวจสอบว่ามี Error มากกว่า 50 บิตหรือไม่ ถ้ามี Error มากกว่า 50 บิตก็จะทำให้สัญญาณที่ตำแหน่ง Check เป็นบิต 0

เมื่อสัญญาณที่ตำแหน่ง Check เป็นบิต 0 จะทำให้ โปรแกรม Counter อีกส่วนทำงาน ซึ่งโปรแกรม Counter ในส่วนนี้มีไว้เพื่อเป็น Timer ในการที่จะทำให้เกิดการซิงโครไนซ์ขึ้นตามค่าของแต่ละสมการ ยกตัวอย่างเช่น ถ้าตำแหน่งสัญญาณ Check เป็นบิต 0 ก็จะทำให้โปรแกรม Counter ทำงาน โดยจะนับจำนวนตามค่าของสมการ ถ้าสมการที่ใช้สร้างสัญญาณ PRBS เป็นสมการ

X^4+X^3+1 ก็จะมีการนับจำนวนบิตเป็นจำนวน 4 บิตด้วยกันตามค่าของสมการ โดยให้สัญญาณที่ตำแหน่ง Switch มีค่าเป็น 0 เมื่อนับจำนวนบิตยังไม่ถึง 4 บิต แต่เมื่อมีการนับบิตถึง 4 บิตแล้วจะให้สัญญาณที่ตำแหน่ง Switch มีค่าเป็น 1 ถ้าสัญญาณเชิงโครโมโซมมีค่าเป็น 0 จะมีการสับสวิทช์ไปรับบิตข้อมูลจาก สัญญาณ PRBS ทางภาคส่ง แต่ถ้าสัญญาณเชิงโครโมโซมมีค่าเป็น 1 จะมีการสับสวิทช์ไปเพื่อทำการสร้างสัญญาณ PRBS ขึ้นทางภาครับ

เรานำหลักการเหล่านี้ไปเขียนโปรแกรม VHDL และทำการเบิร์นลงชิพ IC PAL สำหรับโปรแกรมในสำหรับโปรแกรมที่ใช้ในการทำงานของภาคเชิงโครโมโซมนี้ได้แสดงไว้ในภาคผนวก

ส่วนการออกแบบโปรแกรมในส่วนของการเปรียบเทียบบิต มีแนวความคิดคือจะมีการนำสัญญาณข้อมูลที่ผ่านมาจากระบบมาเข้าชิพรีจิสเตอร์ เพื่อที่จะทำให้บิตที่รับเข้ามา กับ บิตที่สร้างได้ที่ภาครับมีบิตที่ตรงกัน โดยสัญญาณข้อมูลที่ผ่านมาเข้าชิพรีจิสเตอร์จะใช้ ดีฟลิปฟลอป โดยมีจำนวนดีฟลิปฟลอปเท่ากับค่าของสมการที่ใช้สร้างสัญญาณ PRBS ตัวอย่างเช่น ถ้าใช้สมการ X^4+X^3+1 ในการสร้างสัญญาณ PRBS ก็จะใช้ชิพรีจิสเตอร์ 4 ตัว

ในการนำมาเปรียบเทียบกัน จะนำสัญญาณที่รับมาจากระบบ กับสัญญาณ PRBS ที่ภาครับนำมาทำเอ็กคลูซิฟนอร์กันเพื่อหาบิตที่ผิดพลาด หลังจากได้ค่าของ Error แล้ว ก็จะเข้าตัววงจร Counter เพื่อนำออกไปแสดงที่เซเว่น เซกเมนต์ ค่อยไป สำหรับโปรแกรมที่ใช้ในการทำงานของภาคเปรียบเทียบบิตนี้ได้แสดงในภาคผนวก

จุดที่สำคัญในการเขียนโปรแกรมคือ พยายามมองภาพจาก Block Diagram ให้เข้าใจก่อน หลังจากนั้นจึงทำการเขียนโปรแกรม ถ้าลักษณะของโปรแกรมมีบิตภายนอกเข้ามาเกี่ยวข้อง ก็ต้องออกแบบโปรแกรมในลักษณะของเงื่อนไขคือ if.....then ถ้าเป็นในลักษณะของชิพรีจิสเตอร์ จะเขียนโปรแกรมในลักษณะของ Buffer

และในส่วนของภาครับนี้จะมีการเขียนโปรแกรม Timer 1 วินาที เพื่อใช้ในการแสดงค่าผิดพลาด โดยใช้ลักษณะการนับจำนวน Clock ตาม Clock ที่เราใช้สร้างวงจร สำหรับโปรแกรมในภาค Timer นี้ได้แสดงในภาคผนวก

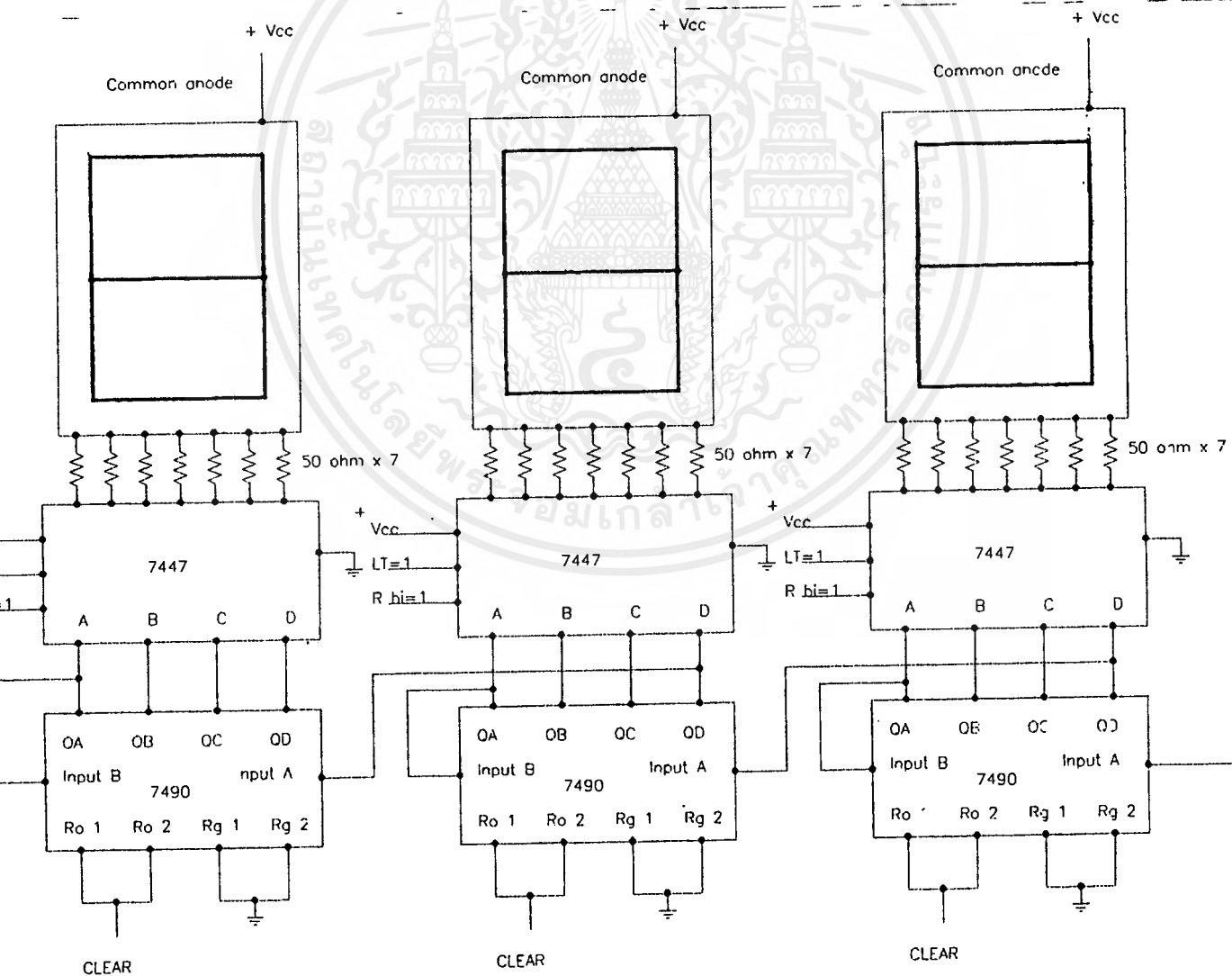
โดยในโครงการนี้ได้ใช้การเขียนโปรแกรมทั้งหมด 14 โปรแกรม โดยทั้ง 14 โปรแกรมนี้เราสามารถนำมารวมกันแล้วทำการเบิร์นลงชิพ ไอซีที่มีประสิทธิภาพสูงกว่าไอซี PAL ได้คือ ไอซี FPGA (Field Programmable Gate Array) ซึ่งไอซีตัวนี้จะมีจำนวน Gate ในตัวสูงกว่า ไอซี PAL และจะมีเอาต์พุตมากกว่าไอซี PAL

3.4 หลักการออกแบบภาคแสดงผล

การแสดงผลได้ออกแบบให้แสดงผลการนับจำนวนบิตที่ผิดพลาดด้วยอุปกรณ์เซเว่นเซกเมนต์ ซึ่งมีวงจรชุดแสดงตัวเลข 3 หลัก ใช้วงจรถับซึ่งอาศัยไอซี 7490 จำนวน 3 ตัวทำงานร่วมกัน จะนับได้สูงสุด 999 นอกจากนี้ยังประกอบไปด้วยไอซี 7447 ซึ่งจะทำการ Decode สัญญาณจากไอซี 7490 ให้ไปแสดงผลยังเซเว่นเซกเมนต์ ทั้ง 3 ตัว สถานะการนับจะแสดงได้ดังนี้

- กรณี
1. ไม่มีการผิดพลาดของบิต (Error) จะแสดง 000
 2. ถ้ามีการผิดพลาดของบิตเกิดขึ้นจะแสดงจำนวนบิตที่ผิดนั้น (แสดงได้สูงสุด 999 บิต)

และวงจรภาคแสดงผลแสดงได้ดังรูปที่ 3.14



รูปที่ 3.14 แสดงวงจรการทำงานของภาคแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

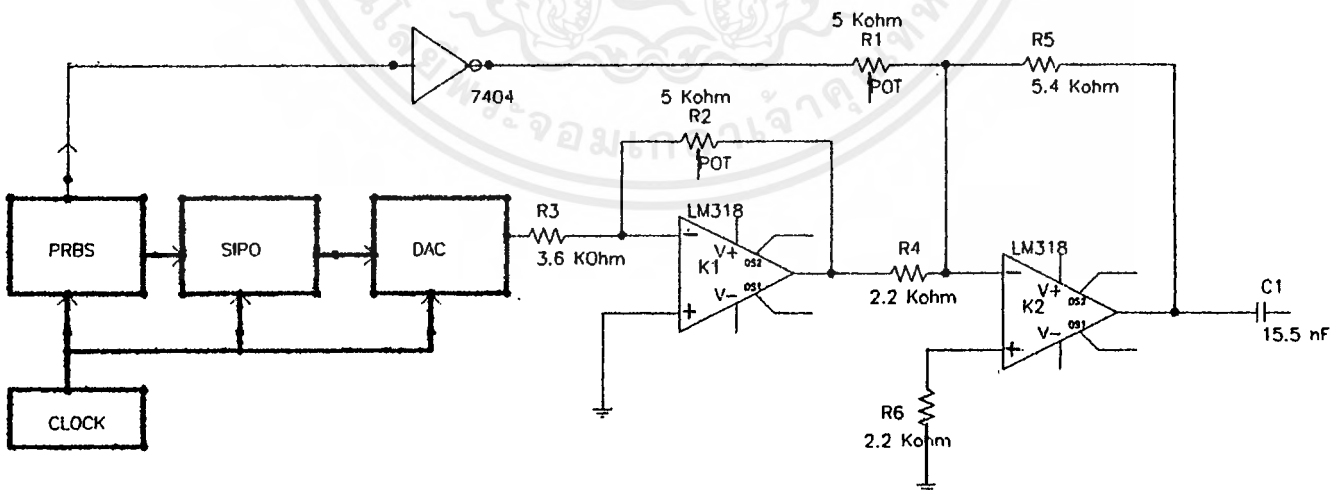
3.5 หลักการออกแบบวงจรกำเนิดสัญญาณรบกวนแบบไวเดนแบนด์

ในการสื่อสารข้อมูลนั้น ตัวการที่ทำให้เกิดความผิดพลาดของการรับข้อมูลนอกจากจะเป็นคุณสมบัติของช่องสัญญาณซึ่งมีความผิดเพี้ยนทางด้านแอมพลิจูดหรือเฟสแล้ว ยังมีสัญญาณรบกวนแบบไวเดนแบนด์ ซึ่งมีผลต่อการรับข้อมูลโดยตรง

ในโครงงานนี้จึงได้ทำการสร้างสัญญาณรบกวนแบบไวเดนแบนด์ขึ้นมา เพื่อที่จะใช้ทดสอบระบบการรับและระบบการวัดหาอัตราการผิดพลาดของข้อมูลที่ได้สร้างขึ้น โดยที่จะทำการสร้างสัญญาณรบกวนแบบไวเดนแบนด์ขึ้นที่ภาคส่งเพื่อทำการส่งสัญญาณรบกวนนี้ร่วมกับสัญญาณกึ่งแรนด้อมที่ได้สร้างขึ้น แล้วทำการส่งสัญญาณทั้งสองนี้รวมกันไปในสายส่งของระบบ เพื่อเป็นการสร้างเหตุการณ์ให้มีความคล้ายคลึงกับระบบการส่ง และรับข้อมูลที่เกิดขึ้นจริงในระบบการสื่อสารข้อมูล

เมื่อภาครับได้รับสัญญาณทั้งสองแล้วก็จะทำการวัดหาอัตราการผิดพลาดของบิตที่เกิดขึ้นเนื่องจากสัญญาณรบกวนแบบไวเดนแบนด์ ในรูปแบบของเซเวนเซกเมนต์ 3 หลัก ดังที่ได้กล่าวมาแล้วในหัวข้อข้างต้น

วงจรกำเนิดสัญญาณรบกวนแบบไวเดนแบนด์ มีส่วนประกอบของวงจรดังรูปที่ 3.15

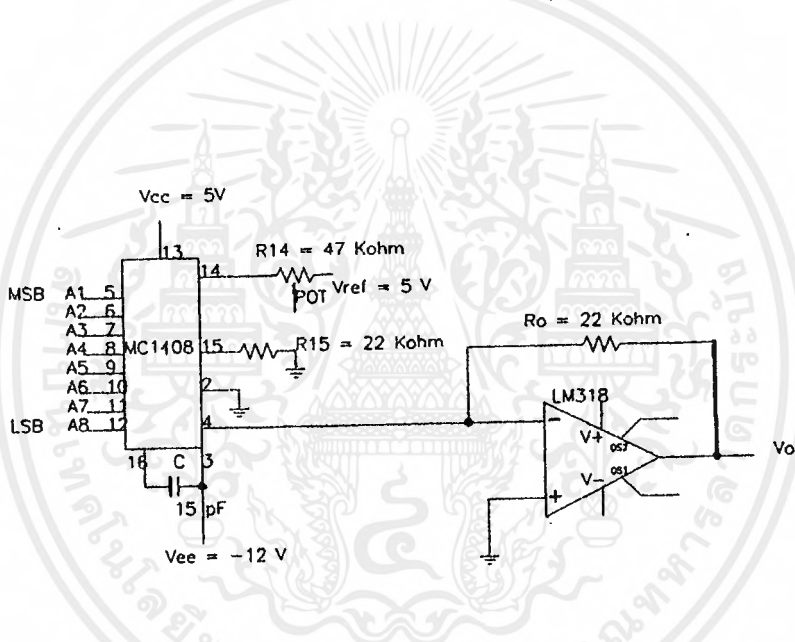


รูปที่ 3.15 แสดงวงจรสร้างสัญญาณรบกวนแบบไวเดนแบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 3.15 สามารถอธิบายการทำงานของวงจรได้คือ นำสัญญาณ PRBS ที่มีสมการตรงกันกับสมการที่จะทำเป็นข้อมูลจำลองในการส่งของระบบ มาเป็นสัญญาณอินพุทของไอซี 74HCT164 ซึ่งเป็นไอซีชนิดอินพุทเป็นข้อมูลแบบอนุกรมจะให้เอาท์พุทเป็นข้อมูลแบบขนาน (Series In Parallel Out) ทำการแปลงสัญญาณ PRBS จากสัญญาณข้อมูลแบบอนุกรมเป็นสัญญาณข้อมูลแบบขนาน เพื่อที่จะนำสัญญาณข้อมูลแบบขนานนี้ไปเป็นอินพุทของไอซี MC1408 ซึ่งเป็นไอซีที่แปลงสัญญาณจากสัญญาณดิจิทัลแบบขนานให้เป็นสัญญาณแบบอนาลอก ซึ่งสัญญาณอนาลอกที่ออกมาจะมีลักษณะเหมือนสัญญาณรบกวนแบบไวคแบนด์

การต่อวงจรใช้งานสำหรับ ไอซี MC1408 แสดงได้ดังรูปที่ 3.16



รูปที่ 3.16 แสดงวงจรการต่อใช้งานของ ไอซี MC1408

จากรูปที่ 3.16 ไอซี MC1408 มีกระแสเอาท์พุทที่สามารถเปลี่ยนเป็นแรงดันได้ด้วย ออป-แอมป์ และตัวต้านทานดังรูปที่แสดงไว้แล้ว แรงดันนี้สามารถคำนวณโดยใช้สูตร

$$V_{out} = (V_{ref} / R_{14}) \times R_o (A_1/2 + A_2/4 + A_3/8 + A_4/16 + A_5/32 + A_6/64 + A_7/128 + A_8/256)$$

ซึ่งในที่นี้จะทำการปรับแรงดันได้โดยการปรับค่าความต้านทานที่ปรับค่าได้ซึ่งต่ออยู่ที่ขา 14 ของไอซี MC1408

สัญญาณรบกวนแบบไวคแบนด์นี้จะเป็นอินพุทของ วงจรขยายอินเวอร์ตติ้ง (Inverting amplifier) ซึ่งสามารถปรับอัตราขยายของสัญญาณรบกวนแบบไวคแบนด์ได้จากค่าความต้านทาน เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทานที่ปรับค่าได้เพื่อความเหมาะสมในการแสดงผลที่ภาครับของระบบ ซึ่งอัตราขยายของสัญญาณรบกวนแบบไวคเบนค์สามารถคำนวณได้จากสูตร

$$V_o = - (R_2 / R_1) V_s \quad : \text{โดย } Z_{in} = R_1$$

จากนั้นสัญญาณรบกวนแบบไวคเบนค์ที่ได้รับการขยายสัญญาณแล้ว จะเป็นอินพุตที่ 1 ของวงจรขยายชนิดผลรวม (Summing amplifier) ส่วนอินพุตที่ 2 ของวงจรคือสัญญาณ PRBS ที่ผ่านวงจรอินเวอร์ตติงมาแล้ว ดังนั้นที่เอาต์พุตของวงจรขยายชนิดผลรวมจึงเป็นการรวมของสัญญาณ 2 สัญญาณคือสัญญาณรบกวนแบบไวคเบนค์และ PRBS สัญญาณ PRBS ซึ่งอัตราขยายของสัญญาณที่จุดนี้สามารถคำนวณได้จากสูตร

$$V_o = -R_f (V_1 / R_1 + V_2 / R_2 + V_n / R_n)$$

โดยค่า Z_{in} ของแต่ละแหล่งจ่ายแรงดัน V_1, V_2 จะเท่ากับ R_1, R_2 ตามลำดับ

ที่เอาต์พุตของวงจร จะต่อตัวเก็บประจุไว้เพื่อป้องกันการผ่านของแรงดันไฟตรงที่จะทำให้สัญญาณที่ออกมานั้นเกิดการผิดพลาดไปไม่ตรงกับค่าที่ปรับตั้งไว้

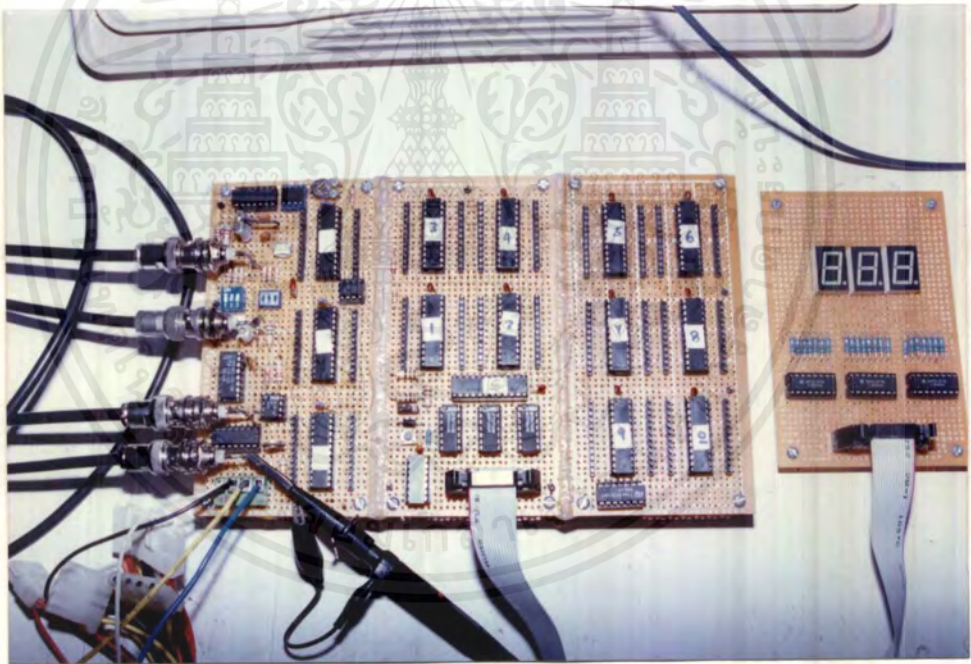
นำสัญญาณที่ออกมานี้ส่งไปในสายส่งของระบบ เพื่อให้ภาครับของระบบทำการตรวจจับอัตราการผิดพลาดของบิตในรูปแบบของเซแวนเซกเมนต์ต่อไป

บทที่ 4

ผลการทดลอง บทสรุป และวิจารณ์

ผลการทดลอง

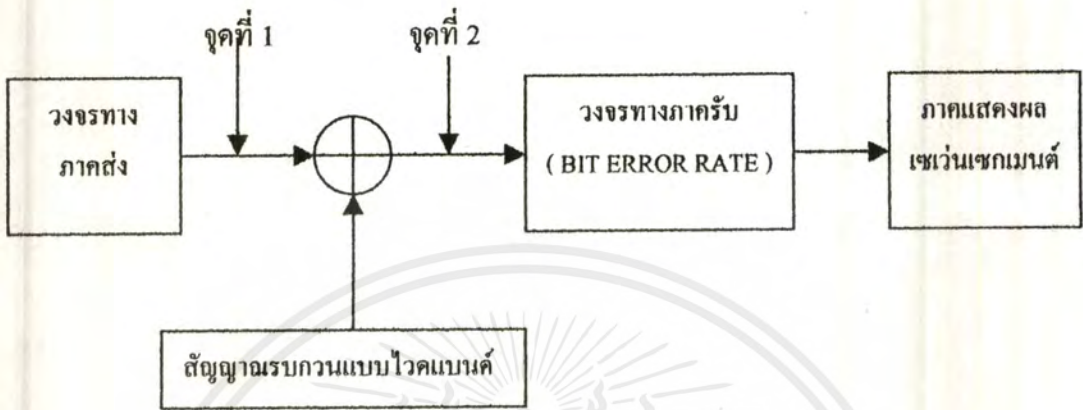
จากทฤษฎีและหลักการ ได้นำมาออกแบบวงจรและจัดหาอุปกรณ์ต่างๆมาประกอบวงจร ซึ่งมีลักษณะวงจรที่ประกอบเสร็จสมบูรณ์แล้ว ดังรูป



รูปที่ 4.1 แสดงฮาร์ดแวร์ที่ได้ประกอบเสร็จสมบูรณ์แล้ว

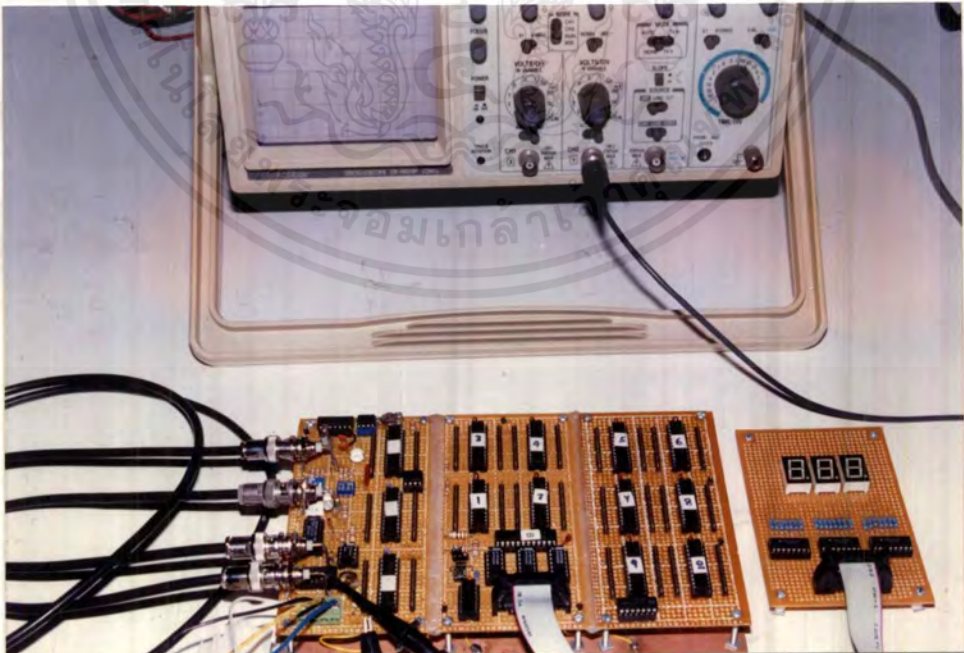
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และทำการทดสอบการทำงานของวงจรแต่ละวงจร โดยทำประกอบวงจรเพื่อทำการวัด
สัญญาณที่จุดที่ 1 และจุดที่ 2 ดังรูป



รูปที่ 4.2 แสดงการต่อวงจรเพื่อทำการวัดสัญญาณต่างๆ

ใช้ ออสซิลโลสโคปทำการวัดสัญญาณที่จุดที่ 1 และจุดที่ 2 โดยเมื่อทำการต่อออสซิลโลสโคปแล้ว จะมีลักษณะดังรูป



รูปที่ 4.3 แสดงการต่อออสซิลโลสโคปเพื่อทำการวัดสัญญาณที่จุดที่ 1 และจุดที่ 2

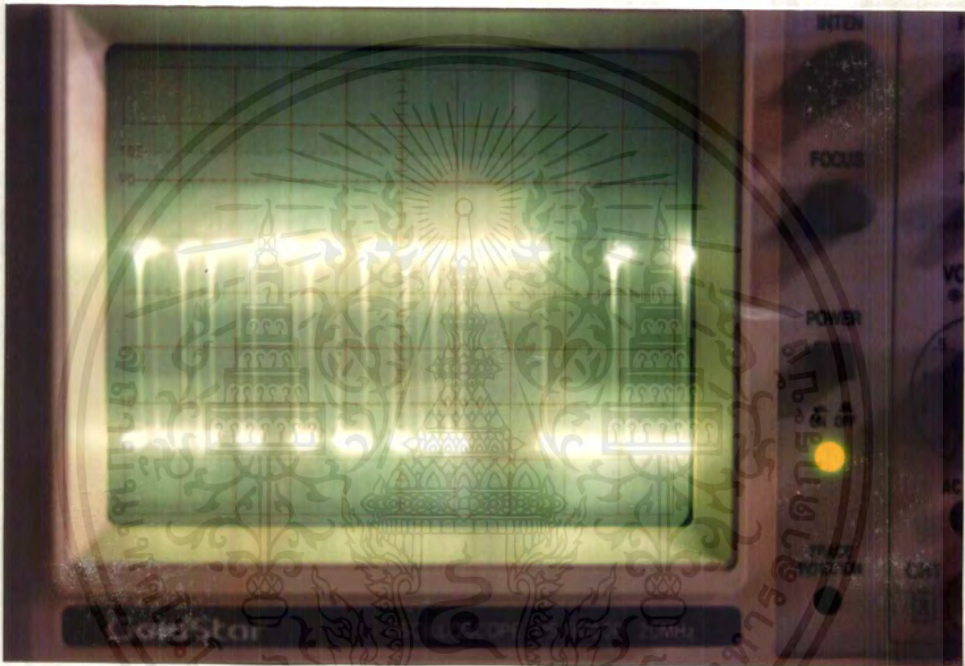
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งผลการทดลองวัดสัญญาณที่จุดที่ 1 สัญญาณที่วัดออกมาได้นั้นจะเป็นสัญญาณ PRBS ที่มีรูปแบบของสมการและความถี่ต่างกันออกไป โดยแสดงสัญญาณที่วัดได้ที่จุดที่ 1 ได้ดังนี้



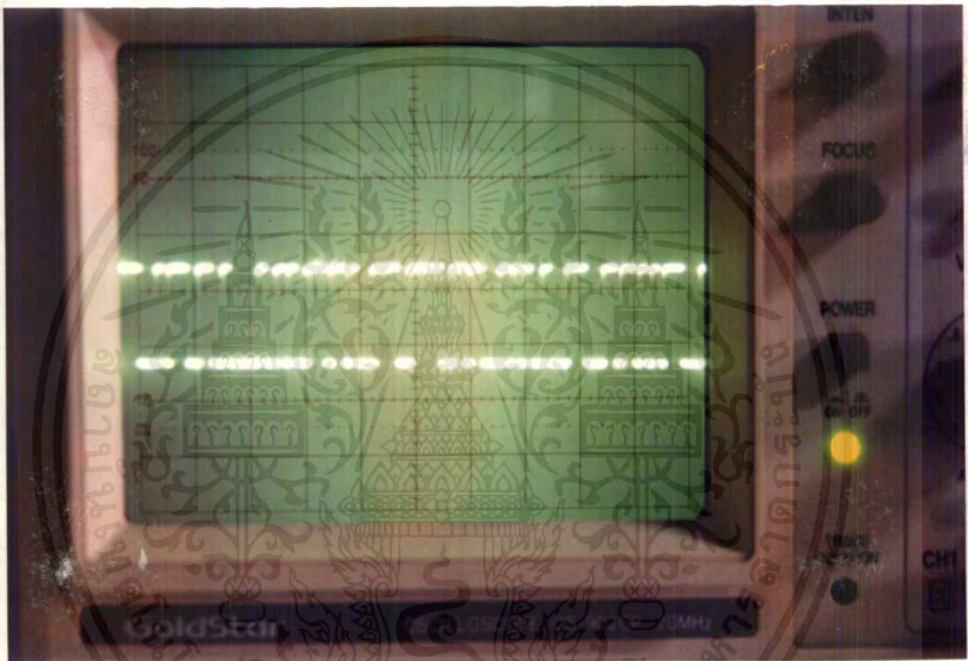
รูปที่ 4.4 แสดงสัญญาณ PRBS สมการ X^4+X^3+1 ที่ความถี่ 128 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



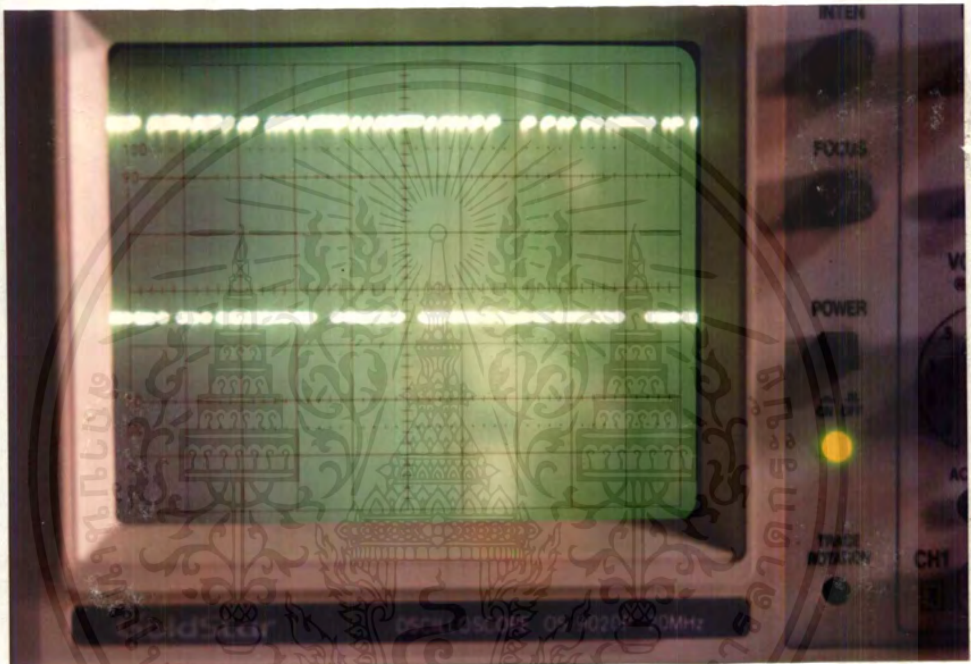
รูปที่ 4.5 แสดงสัญญาณ PRBS สมการ X^6+X^3+1 ที่ความถี่ 128 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แสดงสัญญาณ PRBS สมการ X^2+X^2+1 ที่ความถี่ 64 kHz

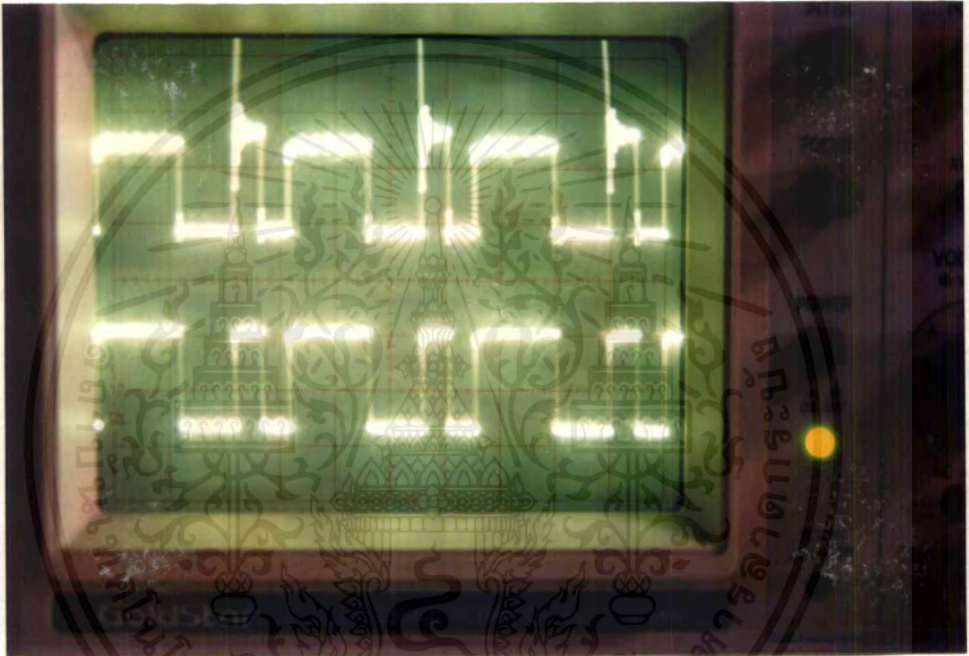
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 แสดงสัญญาณ PRBS สมการ $X^{15}+X^{14}+1$ ที่ความถี่ 64 kHz

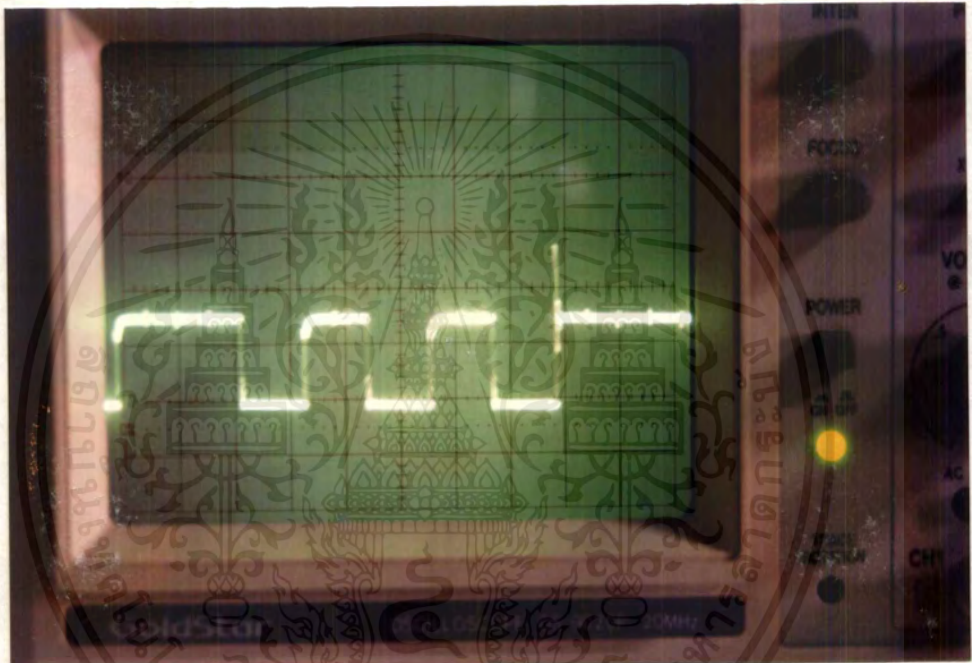
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และจากการวัดสัญญาณที่จุดที่ 2 สัญญาณที่วัดออกมาได้นั้นจะเป็นสัญญาณ PRBS ที่มีสัญญาณรบกวนแบบไวคแบนด์ผสมอยู่ด้วย และจะมีรูปสัญญาณต่างกันไปตามลักษณะของสมการของสัญญาณ PRBS และความถี่ที่ใช้ ดังนี้คือ



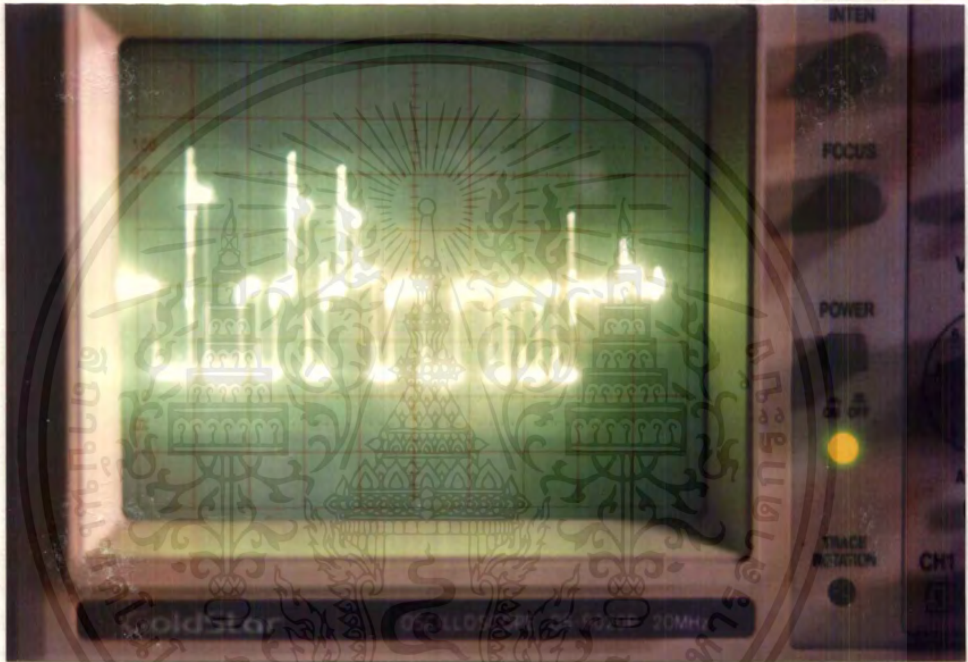
รูปที่ 4.8 แสดงสัญญาณ PRBS สมการ X^3+X^2+1 ที่มีสัญญาณรบกวนแบบไวคแบนด์รวมอยู่ด้วย ที่ความถี่ 128 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



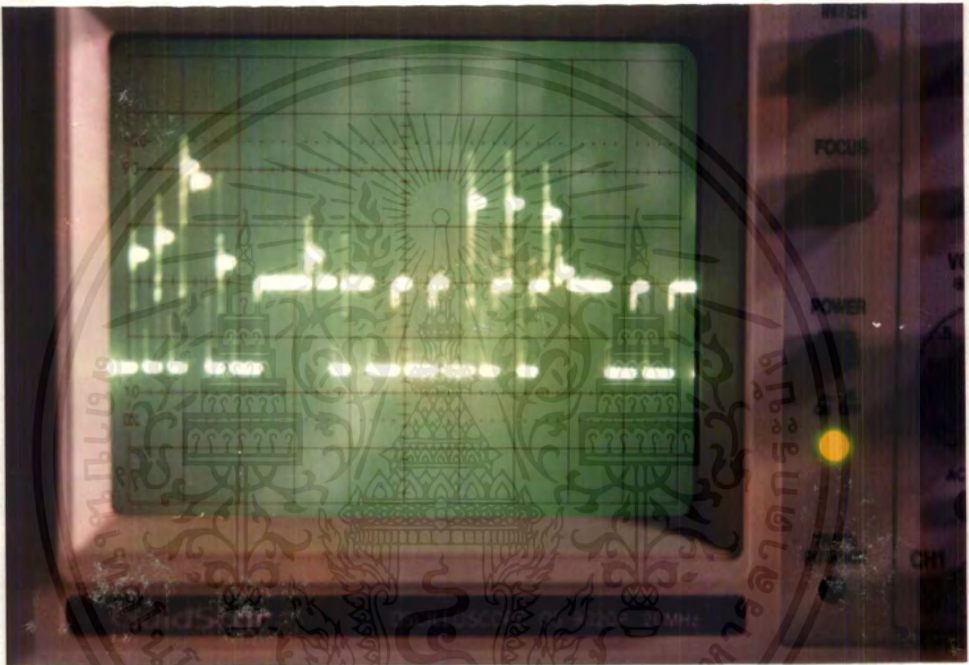
รูปที่ 4.9 แสดงสัญญาณ PRBS สมการ X^4+X^3+1 ที่มีสัญญาณรบกวนแบบไวคแบนด์รวมอยู่ด้วย ที่ความถี่ 64 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงสัญญาณ PRBS สมการ X^6+X^3+1 ที่มีสัญญาณรบกวนแบบไวคเบนค์รวมอยู่ด้วย
ที่ความถี่ 64 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 แสดงสัญญาณ PRBS สมการ X^2+X+1 ที่มีสัญญาณรบกวนแบบไวต์แบนด์รวมอยู่ด้วย ที่ความถี่ 64 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทสรุป

จากผลการทดลองของโครงการนี้ พอที่จะสรุปได้ว่าประสบความสำเร็จในด้านการทำงานตามเงื่อนไขหลักๆที่ได้วางไว้ คือ

การใช้โปรแกรม VHDL เขียนวงจรการทำงานของภาคกำเนิดสัญญาณ Pseudo random binary sequence ทั้ง 8 สมการ เพื่อเบอร์นลงชีพ IC PAL C22 V10 เพื่อนำชีพตัวนั้นไปใช้เป็นสัญญาณข้อมูลส่งไปยังภาครับ เพื่อทำการตรวจจับอัตราการผิดพลาดของบิตต่อไป

การใช้โปรแกรม VHDL เขียนวงจรการทำงานของเครื่องตรวจจับอัตราการผิดพลาดของบิตที่ภาครับ สามารถที่จะตรวจจับอัตราการผิดพลาดของบิต ได้ตั้งแต่ 0 - 999 บิต

จาก วงจรของภาคต่าง ๆ ที่ได้กล่าว มีการใช้โปรแกรม VHDL เขียน และ ทำการเบอร์น ลง IC PAL C22 V10 ให้เป็นรูปธรรมเกิดเป็นชิพที่สามารถทำงานได้ และเมื่อต้องการทำการแก้ไขโปรแกรมก็สามารถที่จะแก้ไขได้โดยทำการเบอร์นโปรแกรมใหม่ลงไป ซึ่งเป็นความสะดวกอย่างหนึ่งในการแก้ไข

ซึ่งเมื่อทำการเขียนโปรแกรมสำเร็จแล้ว โปรแกรมจะทำหน้าที่กำหนดสัญญาณเอาท์พุทให้ออกมาที่ตำแหน่งขาที่ 1 ถึงขาที่ 24 ของไอซี PAL โดยอัตโนมัติเอง โดยแสดงการกำหนดสัญญาณเอาท์พุทของไอซี PAL ไว้ในภาคผนวกแล้ว

ในส่วนของวงจรถูกกำเนิดสัญญาณรบกวนแบบไวคเบนค์ เมื่อทำการสร้างตามหลักการที่ได้ออกแบบไว้แล้วนั้น สามารถให้กำเนิดสัญญาณรบกวนแบบไวคเบนค์เพื่อนำไปใช้เป็นสัญญาณรบกวนในสายส่งของระบบได้ เพื่อให้วงจรที่ภาครับทำการตรวจจับอัตราการผิดพลาดของบิต และทำการแสดงผลออกมา

ในส่วนของภาคแสดงผล เมื่อได้ทำการสร้างวงจรตามหลักการที่ได้ออกแบบไว้แล้วนั้น วงจรที่สร้างออกมานั้นสามารถที่จะแสดงผลอัตราการผิดพลาดของบิตออกมาในรูปของเซเวนเซกเมนต์ 3 หลักได้อย่างถูกต้องตั้งแต่ 0 - 999 บิต

บทวิจารณ์

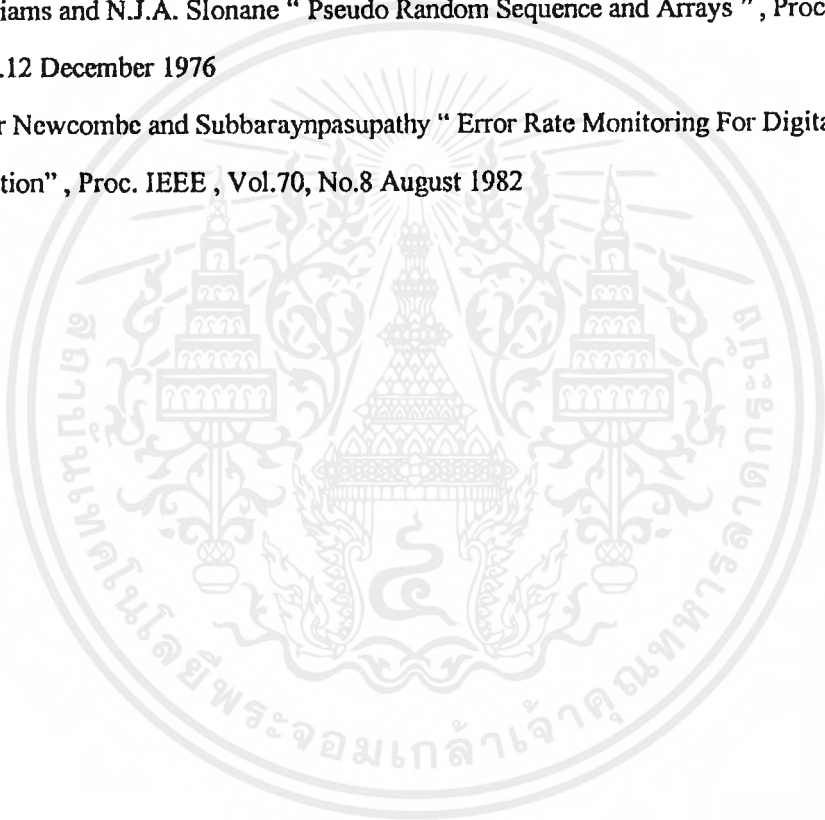
จากที่กล่าวมาแล้วนั้น ทั้งภาคทฤษฎี และภาคปฏิบัติ เราสามารถที่จะสรุปได้ว่าตัวโครงการนี้มีความน่าเชื่อถือได้ระดับหนึ่ง เนื่องจากมีการใช้โปรแกรมในการออกแบบชิพไอซีมาเขียนวงจรของภาคต่างๆ เพื่อให้ง่ายต่อการต่ออุปกรณ์ และสะดวกในการแก้ไข หรือในการใช้งาน

การพัฒนา และ ปรับปรุงมีความจำเป็นอย่างยิ่ง เพื่อให้มีความเหมาะสมในการใช้งาน เช่น จากหลักการนี้จะสามารถนำไปออกแบบสร้างเครื่องต้นแบบของอุปกรณ์วัด และวิเคราะห์ข้อมูลในระบบการสื่อสารข้อมูลต่างๆ เพื่อที่จะได้ทำการวัดอัตราการผิดพลาดของบิทได้ละเอียดและมีประสิทธิภาพได้มากขึ้นอีกต่อไป



เอกสารอ้างอิง

1. Owen, Frank F. E. "PCM and Digital Transmission Systems", McGRAW Hall, 1982
2. Robert Moser , Judith Stover " Generation of Psuedo Random Sequences for Spread Spectrum System ", State College , PA , 1985
3. น.ต.ฉัตรชัย สุมาบาลย์ " การสื่อสารข้อมูลคอมพิวเตอร์และระบบเครือข่าย ", IT BOOK , 2540
4. สุรวัดตรี มณีตานนท์ " การออกแบบและสร้างเครื่องวัดอัตราการผลิตของการรับส่งข้อมูล ", วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต , รายงานผลการวิจัย , จุฬาลงกรณ์มหาวิทยาลัย
5. F.J.Macwilliams and N.J.A. Slonane " Pseudo Random Sequence and Arrays " , Proc. IEEE , Vol.64 , No.12 December 1976
6. E.Alexander Newcombe and Subbarayn pasupathy " Error Rate Monitoring For Digital Communication " , Proc. IEEE , Vol.70, No.8 August 1982



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

โปรแกรม VHDL ที่ใช้ในการสร้างวงจร



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ใช้ในภาคส่งของโครงการงาน

Entity vit is port(

clk,A,B,C :in bit;

Q1,Q2,Q3,Q4,Q5,Q6,Q7,Q8 :inout bit;

Z :out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" clk:1 A:2 B:3 C:4 " &

" Q1:14 Q2:22 Q3:15 Q4:21 " &

" Q5:16 Q6:20 Q7:17 Q8:19 " &

" Z:18 " ;

end vit;

architecture archvit of vit is

signal D1,D2,D3,D4,D5,D6,D7,D8:bit;

begin

s1:process(clk,D1,D2,D3,D4,D5,D6,D7,D8)

begin

if(clk'event and clk='1')then

Q1 <= D1;

if Q1='1'then

Q2 <= D2;

if Q2='1' then

Q3 <= D3;

if Q3='1' then

Q4 <= D4;

if Q4='1' then

Q5 <= D5;

if Q5='1' then

Q6 <= D6;

if Q6='1' then

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        Q7 <= D7;
    if Q7='1' then
        Q8 <= D8;
    end if;
    end if;
    end if;
    end if;
    end if;
    end if;
    end if;
    end if;
end process;

    D1 <= not(Q1);
    D2 <= not(Q2);
    D3 <= not(Q3);
    D4 <= not(Q4);
    D5 <= not(Q5);
    D6 <= not(Q6);
    D7 <= not(Q7);
    D8 <= not(Q8);

s2:process(A,B,C,Q1,Q2,Q3,Q4,Q5,Q6,Q7,Q8)
begin
    if A = '0' then
        if B = '0' then
            if C = '0' then
                Z <= Q1;
            else
                Z <= Q2;
            end if;
        end if;
    end if;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

else
    if C = '0' then
        Z <= Q3;
    else
        Z <= Q4;
    end if;
end if;

else
    if B = '0' then
        if C = '0' then
            Z <= Q5;
        else
            Z <= Q6;
        end if;
    else
        if C = '0' then
            Z <= Q7;
        else
            Z <= Q8;
        end if;
    end if;
end if;

end process;

end archvit;

```

Entity vit is port(

clk,a:in bit;

Q7,Q8,Q9,Q10,Q11,Q12,Q13,Q14,Q15:inout bit;

Q16:out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" clk:1 a:5 " &

" Q16:23 Q14:22 Q12:21 Q10:20 " &

" Q8:19 Q15:14 Q13:15 Q11:16 " &

" Q9:17 Q7:18 " ;

end vit;

architecture archvit of vit is

begin

s1:process(clk,Q7,Q8,Q9,Q10,Q11,Q12,Q13,Q14,Q15,a)

begin

if(clk'event and clk='1')then

Q16<=Q15;

Q15<=Q14;

Q14<=Q13;

Q13<=Q12;

Q12<=Q11;

Q11<=Q10;

Q10<=Q9;

Q9<=Q8;

Q8<=Q7;

Q7<=a;

end if;

end process;

end archvit;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

clk,x1,x2,x3:in bit;

b,c,d,f,g,h,i:in bit;

Q1,Q2,Q3,Q4,Q5,Q6:inout bit;

e,y:inout bit;

z,j:out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" clk:1 x1:2 x2:3 x3:4 " &

" b:5 c:6 d:7 f:8 g:9 h:10 i:11 " &

" Q6:23 Q4:22 Q2:21 Q5:16 " &

" Q3:15 Q1:14 y:19 z:17 e:18 j:20 " ;

end vit;

architecture archvit of vit is

signal kl:bit;

begin

s1:process(clk,Q1,Q2,Q3,Q4,Q5,c)

begin

if(clk'event and clk='1')then

Q6<=Q5;

Q5<=Q4;

Q4<=Q3;

Q3<=Q2;

Q2<=Q1;

Q1<=e;

end if;

end process;

s2:process(x1,x2,x3,b,c,d,f,g,h,i,Q1,Q2,Q3,Q4,Q5,Q6,y,kl)

begin

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if x1='0' then
  if x2='0' then
    if x3='0' then
      e<=not(Q3 XOR Q2);
      y<=Q3;
    else
      e<=not(Q4 XOR Q3);
      y<=Q4;
    end if;
  else
    if x3='0' then
      e<=not(Q5 XOR Q3);
      y<=Q5;
    else
      e<=not(Q6 XOR Q5);
      y<=Q6;
    end if;
  end if;
else
  if x2='0' then
    if x3='0' then
      e<=not(c XOR Q5);
      y<=c;
    else
      e<=not(d XOR c);
      y<=d;
    end if;
  else
    if x3='0' then

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        e<=not(h XOR g);
        y<=h;
    else
        e<=not(kl XOR b);
        j<=not(h XOR f XOR Q4);
        y<=i;
    end if;
end if;
end if;
end process;
z<=not(y);
kl<=not(i XOR '0');
end archvit;

```



โปรแกรมที่ใช้ในภาครับของโครงการงาน

Entity vit is port(

clk,set,rst,d :in bit;

b,c,Q16:out bit;

Q10,Q11,Q12,Q13,Q14,Q15:inout bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" clk:1 set:2 rst:3 d:4 " &

" Q10:14 Q16:22 Q11:15 Q15:21 " &

" Q12:16 Q14:20 Q13:17 c:19 " &

" b:18 " ;

end vit;

architecture archvit of vit is

signal a :bit;

begin

s1:process(clk,set,rst,Q10,Q11,Q12,Q13,Q14,Q15,a,d)

begin

if(clk'event and clk='1')then

Q16<=Q15;

Q15<=Q14;

Q14<=Q13;

Q13<=Q12;

Q12<=Q11;

Q11<=Q10;

Q10<=d;

if rst='1'then

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        c<='0';
    end if;
    if set='1' then
        a<='1';
    else
        a<='0';
    end if;
    if a='1' then
        if set='0' then
            b<='1';
            c<='1';
        end if;
        else
            b<='0';
        end if;
    end if;
end process;
end archvit;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

clk,b,c,e,z1,z2,z3,z4 :in bit;

z,Q9 :out bit;

Q8,Q7,Q6,Q5,Q4,Q3,Q2,Q1:inout bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" clk:1 b:2 c:3 e:4 " &

" z1:5 z2:6 z3:7 z4:8 " &

" Q8:15 Q4:22 Q7:16 Q3:21 Q5:23 " &

" Q6:17 Q2:20 z:18 Q1:19 Q9:14 " ;

end vit;

architecture archvit of vit is

begin

s2:process(clk,Q8,Q7,Q6,Q5,Q4,Q3,Q2,Q1,b,c,e,z1,z2,z3,z4)

begin

if(clk'event and clk='1')then

Q9<=Q8;

Q8<=Q7;

Q7<=Q6;

Q6<=Q5;

Q5<=Q4;

Q4<=Q3;

Q3<=Q2;

Q2<=Q1;

..

Q1<=c and (e or b);

end if;

z<=z1 or z2 or z3 or z4;

end process;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

end archivt;



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

 x1,x2,x3,x4,n2 :in bit;

 Q1,Q2,Q3,Q4 :in bit;

 t1,t2,t3,t4 :inout bit;

 d1,d2,d3,d4,z4 :out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

 " x1:1 x2:2 x3:3 x4:4 " &

 " Q1:5 Q2:6 Q3:7 Q4:8 n2:9 " &

 " d1:15 d3:22 t4:16 d2:21 d4:23 " &

 " t1:17 t2:20 z4:18 t3:19 " ;

end vit;

architecture archvit of vit is

begin

 s1:process(x1,x2,x3,x4,t1,t2,t3,t4,Q1,Q2,Q3,Q4,n2)

 begin

 if x1='1' then

 if x2='1' then

 if x3='1' then

 if x4='1' then

 t1 <='0';

 t2 <='0';

 t3 <='0';

 t4 <='0';

 else

 t1 <='0';

 t2 <='1';

 t3 <='1';

 t4 <='0';

```

end if;
else
  if x4 = '1' then
    t1 <= '0';
    t2 <= '0';
    t3 <= '1';
    t4 <= '0';
  else
    t1 <= '0';
    t2 <= '0';
    t3 <= '0';
    t4 <= '0';
  end if;
end if;
else
  if x3 = '1' then
    if x4 = '1' then
      t1 <= '1';
      t2 <= '0';
      t3 <= '0';
      t4 <= '1';
    else
      t1 <= '0';
      t2 <= '0';
      t3 <= '0';
      t4 <= '1';
    end if;
  end if;
end if;
  if x4 = '1' then
    t1 <= '1';

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t2<='0';
t3<='0';
t4<='0';

else
t1<='1';
t2<='0';
t3<='1';
t4<='0';

end if;
end if;
end if;
else
if x2 ='1' then
if x3 ='1' then
if x4 ='1' then
t1<='0';
t2<='1';
t3<='0';
t4<='0';

else
t1<='1';
t2<='0';
t3<='1';
t4<='0';

end if;
end if;
end if;
else
if x4 ='1' then
t1<='1';
t2<='0';
t3<='0';

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t4<='0';
else
t1<='0';
t2<='0';
t3<='1';
t4<='0';
end if;
end if;
else
if x3 ='1' then
if x4 ='1' then
t1<='0';
t2<='1';
t3<='1';
t4<='0';
else
t1<='1';
t2<='1';
t3<='0';
t4<='0';
end if;
else
if x4 ='1' then
t1<='1';
t2<='0';
t3<='0';
t4<='1';
else
t1<='1';
t2<='0';

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t3<='1';
t4<='0';

end if;

end if;

end if;

end if;

```

```

if t1='0'then
    d1<='0';
else
    d1<=Q1;
end if;
if t2='0'then
    d2<='0';
else
    d2<=Q2;
end if;
if t3='0' then
    d3<='0';
else
    d3<=Q3;
end if;
if t4='0'then
    d4<='0';
else
    d4<=Q4;
end if;

```

```

if n2='0' then

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if t4='1'then
    z4<=Q4;
elsif t3='1'then
    z4<=Q3;
elsif t2='1'then
    z4<=Q2;
elsif t1='1'then
    z4<=Q1;
end if;
else
    z4<='0';
end if;
end process;
end archvit;

```



Entity vit is port(

 x1,x2,x3,x4,n1 :in bit;

 Q5,Q6,Q7,Q8 :in bit;

 t5,t6,t7,t8 :inout bit;

d5,d6,d7,d8,z3,n2 :out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

 " x1:1 x2:2 x3:3 x4:4 " &

 " Q5:5 Q6:6 Q7:7 Q8:8 n1:9 " &

 " d5:14 d7:22 t5:16 d6:21 d8:23 " &

 " t7:17 t6:20 z3:18 n2:19 t8:15 " ;

end vit;

architecture archvit of vit is

begin

 s1:process(x1,x2,x3,x4,t5,t6,t7,t8,Q5,Q6,Q7,Q8,n1)

 begin

 if x1='1' then

 if x2 ='1' then

 if x3 ='1' then

 if x4 ='1' then

 t5 <='1';

 t6 <='0';

 t7 <='0';

 t8 <='0';

 else

 t5 <='1';

 t6 <='0';

 t7 <='0';

 t8 <='0';

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

end if;
else
  if x4 = '1' then
    t5 <= '0';
    t6 <= '0';
    t7 <= '0';
    t8 <= '0';
  else
    t5 <= '1';
    t6 <= '1';
    t7 <= '0';
    t8 <= '1';
  end if;
end if;
else
  if x3 = '1' then
    if x4 = '1' then
      t5 <= '0';
      t6 <= '0';
      t7 <= '0';
      t8 <= '1';
    else
      t5 <= '0';
      t6 <= '0';
      t7 <= '0';
      t8 <= '0';
    end if;
  end if;
end if;
  if x4 = '1' then
    t5 <= '0';
  end if;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t6 <='1';
t7 <='1';
t8 <='1';
else
t5 <='1';
t6 <='0';
t7 <='0';
t8 <='1';
end if;
end if;
end if;
else
if x2 ='1' then
if x3 ='1' then
if x4 ='1' then
t5 <='1';
t6 <='1';
t7 <='1';
t8 <='0';
else
t5 <='0';
t6 <='1';
t7 <='1';
t8 <='0';
end if;
end if;
else
if x4 ='1' then
t5 <='0';
t6 <='0';
t7 <='1';

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t8 <='0';
else
t5 <='0';
t6 <='0';
t7 <='1';
t8 <='0';
end if;
end if;
else
if x3 ='1' then
if x4 ='1' then
t5 <='1';
t6 <='1';
t7 <='0';
t8 <='0';
else
t5 <='1';
t6 <='1';
t7 <='0';
t8 <='0';
end if;
else
if x4 ='1' then
t5 <='0';
t6 <='0';
t7 <='0';
t8 <='0';
else
t5 <='0';
t6 <='0';

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t7 <='0';
t8 <='0';

end if;

end if;

end if;

end if;

```

```

if t5='0'then
    d5<='0';
else
    d5<=Q5;
end if;
if t6='0'then
    d6<='0';
else
    d6<=Q6;
end if;
if t7='0' then
    d7<='0';

else
    d7<=Q7;

end if;
if t8='0'then
    d8<='0';

else
    d8<=Q8;

end if;

```

```

if n1='0' then

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if t8='1'then
    z3<=Q8;
    n2<='1';
elseif t7='1'then
    z3<=Q7;
    n2<='1';
elseif t6='1'then
    z3<=Q6;
    n2<='1';
    elseif t5='1'then
        z3<=Q5;
        n2<='1';
    end if;
else
    z3<='0';
    n2<='1';
end if;
end process;
end archvit;

```

Entity vit is port(

```

    x1,x2,x3,x4,n :in bit;
    Q9,Q10,Q11,Q12 :in bit;
    t9,t10,t11,t12 :inout bit;
    d9,d10,d11,d12,z2,n1 :out bit);

```

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

```

    " x1:1 x2:2 x3:3 x4:4 " &
    " Q9:5 Q10:6 Q11:7 Q12:8 n:9 " &
    " d9:14 d11:22 t9:16 d10:21 d12:23 " &
    " t11:17 t10:20 z2:18 n1:19 t12:15 " ;

```

end vit;

architecture archvit of vit is

begin

```
s1:process(x1,x2,x3,x4,t9,t10,t11,t12,Q9,Q10,Q11,Q12,n)
```

```
begin
```

```
if x1='1' then
```

```
if x2='1' then
```

```
if x3='1' then
```

```
if x4='1' then
```

```
t9 <='0';
```

```
t10 <='0';
```

```
t11 <='0';
```

```
t12 <='1';
```

```
else
```

```
t9 <='0';
```

```
t10 <='1';
```

```
t11 <='0';
```

```
t12 <='0';
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        end if;
    else
        if x4 = '1' then
            t9 <= '0';
            t10 <= '1';
            t11 <= '0';
            t12 <= '0';
        else
            t9 <= '1';
            t10 <= '0';
            t11 <= '0';
            t12 <= '0';
        end if;
    end if;
else
    if x3 = '1' then
        if x4 = '1' then
            t9 <= '1';
            t10 <= '0';
            t11 <= '0';
            t12 <= '0';
        else
            t9 <= '1';
            t10 <= '0';
            t11 <= '0';
            t12 <= '0';
        end if;
    else
        if x4 = '1' then
            t9 <= '0';
        end if;
    end if;
end if;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t10 <='0';
t11 <='0';
t12 <='0';
else
t9 <='0';
t10 <='0';
t11 <='0';
t12 <='0';
end if;
end if;
else
if x2 ='1' then
if x3 ='1' then
if x4 ='1' then
t9 <='0';
t10 <='0';
t11 <='0';
t12 <='0';
else
t9 <='0';
t10 <='0';
t11 <='0';
t12 <='0';
end if;
end if;
else
if x4 ='1' then
t9 <='0';
t10 <='0';
t11 <='0';
end if;
end if;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t12 <='0';
else
t9 <='0';
t10 <='0';
t11 <='0';
t12 <='0';
end if;
end if;
else
if x3 ='1' then
if x4 ='1' then
t9 <='0';
t10 <='0';
t11 <='0';
t12 <='0';
else
t9 <='0';
t10 <='0';
t11 <='0';
t12 <='0';
end if;
else
if x4 ='1' then
t9 <='0';
t10 <='0';
t11 <='0';
t12 <='0';
else
t9 <='0';
t10 <='0';

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t11 <='0';
t12 <='0';

end if;

end if;

end if;

end if;

```

```

if t9='0'then
    d9<='0';
else
    d9<=Q9;
end if;
if t10='0'then
    d10<='0';
else
    d10<=Q10;
end if;
if t11='0' then
    d11<='0';
else
    d11<=Q11;
end if;
if t12='0'then
    d12<='0';
else
    d12<=Q12;
end if;

```

```

if n='0' then

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if t12='1'then
    z2<=Q12;
    n1<='1';
elsif t11='1'then
    z2<=Q11;
    n1<='1';
elsif t10='1'then
    z2<=Q10;
    n1<='1';
    elsif t9='1'then
        z2<=Q9;
        n1<='1';
    end if;
else
    z2<='0';
    n1<='1';
end if;
end process;
end archvit;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

x1,x2,x3,x4 :in bit;

Q13,Q14,Q15,Q16 :in bit;

t13,t14,t15,t16 :inout bit;

d13,d14,d15,d16,z1,n :out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" x1:1 x2:2 x3:3 x4:4 " &

" Q13:5 Q14:6 Q15:7 Q16:8 " &

" d13:14 d15:22 t13:16 d14:21 d16:23 " &

" t15:17 t14:20 z1:18 n:19 t16:15 " ;

end vit;

architecture archvit of vit is

begin

s1:process(x1,x2,x3,x4,t13,t14,t15,t16,Q13,Q14,Q15,Q16)

begin

if x1='1' then

if x2='1' then

if x3='1' then

if x4='1' then

t13 <='0';

t14 <='0';

t15 <='0';

t16 <='1';

else

t13 <='0';

t14 <='0';

t15 <='0';

t16 <='0';

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

end if;
else
  if x4 = '1' then
    t13 <= '0';
    t14 <= '0';
    t15 <= '0';
    t16 <= '0';
  else
    t13 <= '0';
    t14 <= '0';
    t15 <= '0';
    t16 <= '0';
  end if;
end if;
else
  if x3 = '1' then
    if x4 = '1' then
      t13 <= '0';
      t14 <= '0';
      t15 <= '0';
      t16 <= '0';
    else
      t13 <= '0';
      t14 <= '0';
      t15 <= '0';
      t16 <= '0';
    end if;
  end if;
end if;
  if x4 = '1' then
    t13 <= '0';
  end if;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

t16 <='0';
else
t13 <='0';
t14 <='0';
t15 <='0';
t16 <='0';
end if;
end if;
else
if x3 ='1' then
if x4 ='1' then
t13 <='0';
t14 <='0';
t15 <='0';
t16 <='0';
else
t13 <='0';
t14 <='0';
t15 <='0';
t16 <='0';
end if;
else
if x4 ='1' then
t13 <='0';
t14 <='0';
t15 <='0';
t16 <='0';
else
t13 <='0';
t14 <='0';

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t15 <='0';
t16 <='0';

end if;

end if;

end if;

end if;

```

```

if t13='0'then
    d13<='0';
else
    d13<=Q13;
end if;
if t14='0'then
    d14<='0';
else
    d14<=Q14;
end if;
if t15='0' then
    d15<='0';
else
    d15<=Q15;
end if;
if t16='0'then
    d16<='0';
else
    d16<=Q16;
end if;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if t16='1'then
    z1<=Q16;
    n <='1';
elseif t15='1'then
    z1<=Q15;
    n <='1';
elseif t14='1'then
    z1<=Q14;
    n <='1';
elseif t13='1'then
    z1<=Q13;
    n <='1';
end if;
end process;
end archvit;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

d1,d2,d3,d4,d5,d6,d7,d8 :in bit;

h,i :in bit;

f,g,j :out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" d1:1 d2:2 d3:3 d4:4 " &

" d5:5 d6:6 d7:7 d8:8 " &

" h:9 i:10 " &

" f:18 g:19 j:20 " ;

end vit;

architecture archvit of vit is

begin

s1:process(d1,d2,d3,d4,d5,d6,d7,d8,h,i)

begin

f <=d1 xor d2 xor d3 xor d4;

g <=d5 xor d6 xor d7 xor d8;

j <=h xor i;

end process;

end archvit;

Entity vit is port(

clk,a:in bit;

Q7,Q8,Q9,Q10,Q11,Q12,Q13,Q14,Q15:inout bit;

Q16:out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" clk:1 a:5 " &

" Q16:23 Q14:22 Q12:21 Q10:20 " &

" Q8:19 Q15:14 Q13:15 Q11:16 " &

" Q9:17 Q7:18 " ;

end vit;

architecture archvit of vit is

begin

s1:process(clk,Q7,Q8,Q9,Q10,Q11,Q12,Q13,Q14,Q15,a)

begin

if(clk'event and clk='1')then

Q16<=Q15;

Q15<=Q14;

Q14<=Q13;

Q13<=Q12;

Q12<=Q11;

Q11<=Q10;

Q10<=Q9;

Q9<=Q8;

Q8<=Q7;

Q7<=a;

end if;

end process;

end archvit;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

```

clk,x1,x2,x3:in bit;
  switch,Q9,Q11,f,Q14,Q15,data:in bit;
Q1,Q2,Q3,Q4,Q5,Q6,Q16:inout bit;
er,yr:inout bit;
zr:out bit);

```

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

```

" clk:1 x1:2 x2:3 x3:4 " &
" Q9:5 Q11:6 Q14:7 Q15:8 switch:9 data:10 f:11 " &
" zr:23 Q5:22 Q3:21 Q4:16 " &
" Q6:15 Q16:14 er:19 Q2:17 yr:18 Q1:20 " ;

```

end vit;

architecture archvit of vit is

signal p,mn:bit;

begin

```
s1:process(clk,Q1,Q2,Q3,Q4,Q5,p,Q15,mn)
```

```
begin
```

```
if(clk'event and clk='1')then
```

```
Q16<=Q15;
```

```
Q6<=Q5;
```

```
Q5<=Q4;
```

```
Q4<=Q3;
```

```
Q3<=Q2;
```

```
Q2<=Q1;
```

```
Q1<=p;
```

```
end if;
```

```
end process;
```

```
s2:process(x1,x2,x3,switch,Q9,Q11,f,Q14,Q15,data,Q1,Q2,Q3,Q4,Q5,Q6,Q16,yr,er)
```

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่ในทางการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

begin
  if x1='0' then
    if x2='0' then
      if x3='0' then
        er<=not(Q3 XOR Q2);
        yr<=Q3;
      else
        er<=not(Q4 XOR Q3);
        yr<=Q4;
      end if;
    else
      if x3='0' then
        er<=not(Q5 XOR Q3);
        yr<=Q5;
      else
        er<=not(Q6 XOR Q5);
        yr<=Q6;
      end if;
    end if;
  else
    if x2='0' then
      if x3='0' then
        er<=not(Q9 XOR Q5);
        yr<=Q9;
      else
        er<=not(Q11 XOR Q9);
        yr<=Q11;
      end if;
    else

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

    if x3='0' then
        er<=not(Q15 XOR Q14);
        yr<=Q15;
    else
        er<=not(f XOR mn);
        yr<=Q16;
    end if;
end if;
end if;
if switch='1' then
    p<=er;
else
    p<=data;
end if;
end process;
    zr<=not(yr);
    mn<=not(Q4 XOR '0');
end archvit;

```

โปรแกรมของภาคชิงโครไนซ์

Entity vit is port(

clk,Q13,Q15,Q16 :in bit;

count :buffer bit_vector (6 downto 0):= "0000000" ;

go:inout bit;

f:out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" clk:1 Q13:2 Q15:3 Q16:4 " &

" count(0):14 count(1):15 count(2):21 " &

" count(3):20 count(4):17 count(5):19 " &

" count(6):18 f:16 go:22 " ;

end vit;

use work.int_math.all;

architecture archvit of vit is

BEGIN

upcount: process (clk,go,Q13,Q15,Q16)

begin

if (clk'event and clk = '1')then

if go='1' then

count <= "0000000";

else

count <= count+1;

end if;

end if;

end process upcount;

go<='1' when count(6 downto 0) = "1100100" else '0';

f<= not(Q13 xor Q15 xor Q16);

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

END archvit;



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

```

    clk,check,error,x1,x2,x3,n,k,l,m    :in bit;
    count    :buffer bit_vector (4 downto 0):= "00000" ;
    switch:inout bit;
    j,g,h,i:out bit);

```

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

```

    " clk:1  x1:2  x2:3  x3:4 " &
    " check:5  error:6  n:7  k:8  l:9  m:10 " &
    " count(0):23  count(1):14  count(2):15 " &
    " count(3):21  count(4):16  switch:22 " &
    " g:18  h:19  j:17  i:20 " ;

```

end vit;

use work.int_math.all;

architecture archvit of vit is

signal b,e:bit;

BEGIN

```

    upcount: process (clk,b,e,count,switch,check,error,n,k,l,m)

```

```

    begin

```

```

        if (clk'event and clk ='1')then

```

```

            if b='1' then

```

```

                if e='1' then

```

```

                    count <="00000";

```

```

                else

```

```

                    count <= count+1;

```

```

                end if;

```

```

            end if;

```

```

        end if;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if b='1' then
  if x1='1' then
    if x2='1' then
      if x3='1' then
        if count(4 downto 0) = "10001" then
          j<='1';
        end if;
      else
        if count(4 downto 0) = "10000" then
          j<='1';
        end if;
      end if;
    else
      if x3='1' then
        if count(4 downto 0) = "01100" then
          g<='1';
        end if;
      else
        if count(4 downto 0) = "01010" then
          g<='1';
        end if;
      end if;
    end if;
  end if;
else
  if x2='1' then
    if x3='1' then
      if count(4 downto 0) = "00111" then
        h<='1';
      end if;
    else

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        if count(4 downto 0) = "00110" then
            h<='1';
        end if;
    end if;
else
    if x3='1' then
        if count(4 downto 0) = "00101" then
            i<='1';
        end if;
    else
        if count(4 downto 0) = "00100" then
            i<='1';
        end if;
    end if;
end if;

switch<=n or k or l or m;

end if;

if check='0' then
    count <="00000";
    switch<='0';
    j <='0';
    g<='0';
    h<='0';
    i <='0';

    end if;

end process upcount;

b<=not(switch) or not(check);

e<=b and error;

```

เอกสารนี้เป็นเอกสารทสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

END archvit;



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

clk,error,go :in bit;

count :buffer bit_vector (5 downto 0):= "000000" ;

b:inout bit;

check:out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" clk:1 error:2 go:3 " &

" count(0):15 count(1):17 count(2):20 " &

" count(3):16 count(4):18 count(5):19 " &

" b:21 check:22 " ;

end vit;

use work.int_math.all;

architecture archvit of vit is

BEGIN

upcount: process (clk,go,error,b)

begin

if (clk'event and clk ='1')then

if go='1' then

count <= "000000";

b<='0';

elsif count="110010" then

b<='1';

elsif error='1' then

count <= count+1;

end if;

end if;

end process upcount;

check<=not(b and go);

END archvit;



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของภาคการเปรียบเทียบบิต

Entity vit is port(

clk,z,x1,x2,x3,w2,w1:in bit;

Qp1,Qp2,Qp3,Qp4,Qp5,Qp6,Qp7:inout bit;

Qp8,error,y1:out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" clk:1 z:2 x1:3 x2:4 x3:5 " &

" w1:6 w2:8 " &

" Qp7:23 Qp5:22 Qp3:21 Qp4:16 " &

" Qp6:15 Qp8:14 y1:19 Qp2:17 error:18 Qp1:20 " ;

end vit;

architecture archvit of vit is

begin

s1:process(clk,z,Qp1,Qp2,Qp3,Qp4,Qp5,Qp6,Qp7,x1,x2,x3,w1,w2)

begin

if(clk'event and clk='1')then

Qp1<=z;

Qp2<=Qp1;

Qp3<=Qp2;

Qp4<=Qp3;

Qp5<=Qp4;

Qp6<=Qp5;

Qp7<=Qp6;

Qp8<=Qp7;

end if;

if x1='0' then

if x2='0' then

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if x3='0' then
    y1<=Qp3;
else
    y1<=Qp4;
end if;
else
    if x3='0' then
        y1<=Qp5;
    else
        y1<=Qp6;
    end if;
end if;
if x1='0' then
    error<=w1;
else
    error<=w2;
end if;
end process;
end archvit;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

clk,Qp8,x1,x2,x3:in bit;

Qp9,Qp10,Qp11,Qp12,Qp13,Qp14,Qp15,Qp16:inout bit;

y2:out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" clk:1 Qp8:2 x1:3 x2:4 x3:5 " &

" Qp15:23 Qp13:22 Qp11:21 Qp12:16 " &

" Qp14:15 Qp16:14 y2:19 Qp10:17 Qp9:20 " ;

end vit;

architecture archvit of vit is

begin

s1:process(clk,Qp8,Qp9,Qp10,Qp11,Qp12,Qp13,Qp14,Qp15,Qp16,x1,x2,x3)

begin

if(clk'event and clk='1')then

Qp9<=Qp8;

Qp10<=Qp9;

Qp11<=Qp10;

Qp12<=Qp11;

Qp13<=Qp12;

Qp14<=Qp13;

Qp15<=Qp14;

Qp16<=Qp15;

end if;

if x1='1' then

if x2='1' then

if x3='1' then

y2<=Qp16;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

else
    y2<=Qp15;
end if;
else
    if x3='1' then
        y2<=Qp11;
    else
        y2<=Qp9;
    end if;
end if;
end if;
end process;
end archvit;

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

clk,zr,v1,v2,d1:in bit;

w1,w2,d2:out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" clk:1 v1:3 v2:4 zr:5 " &

" d1:9 " &

" w1:18 w2:19 d2:15 " ;

end vit;

architecture archvit of vit is

begin

s1:process(clk,zr,v1,v2,d1)

begin

if(clk'event and clk='1')then

w1<=v1 XOR zr;

w2<=v2 XOR zr;

end if;

end process;

d2<=not(d1);

end archvit;

โปรแกรมในส่วนที่เป็นไทม์เมอร์ของวงจร

Entity vit is port(

clk :in bit;

count :buffer bit_vector (7 downto 0):= "00000000" ;

c:out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" clk:1 " &

" count(0):14 count(1):15 count(2):21 " &

" count(3):16 count(4):20 count(5):17 " &

" count(6):19 count(7):18 c:22 " ;

end vit;

use work.int_math.all;

architecture archvit of vit is

BEGIN

upcount: process (clk)

begin

if (clk'event and clk = '1')then

count <= count+1;

end if;

end process upcount;

c<='1' when count(7 downto 0) = "10000000" else '0';

END archvit;

Entity vit is port(

c,v7 :in bit;

count :buffer bit_vector (5 downto 0);

t,epa:inout bit;

clear,ape:out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" v7:1 c:2 " &

" count(0):22 count(1):16 count(2):20 " &

" count(3):17 count(4):19 count(5):18 " &

" t:14 clear:23 ape:21 epa:15 " ;

end vit;

use work.int_math.all;

architecture archvit of vit is

BEGIN

upcount: process (c,v7,count,t,epa)

begin

if (v7'event and v7='1')then

count <= count+1;

end if;

if t='1' then

clear<='1';

else

clear<='0';

end if;

if count="111110"then

epa<='1';

end if;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

end process ; ..

t<=c and not(count(0)) and count(1) and count(2) and count(3) and count(4) and count
(5);
ape<=not(epa);
END archvit;



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

t:in bit;

p0,p1,p2,p3,p4,p5,p6,p7,p8,p9:in bit;

r0,r1,r2,r3,r4,r5,r6,r7,r8,r9:out bit);

ATTRIBUTE part_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin_numbers of vit:Entity is

" t:1 p0:2 p1:3 p2:4 p3:5 p4:6" &

" p5:7 p6:8 p7:9 p8:10 p9:11 " &

" r0:23 r1:22 r2:21 r3:20 r4:19 " &

" r5:18 r6:17 r7:16 r8:15 r9:14 " ;

end vit;

architecture archvit of vit is

begin

s1:process(t,p0,p1,p2,p3,p4,p5,p6,p7,p8,p9)

begin

if (t'event and t='1')then

r0<=p0;

r1<=p1;

r2<=p2;

r3<=p3;

r4<=p4;

r5<=p5;

r6<=p6;

r7<=p7;

r8<=p8;

r9<=p9;

end if;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

end process;

end archvit;



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

การกำหนดเอาต์พุตของ ไอซี PAL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Compiling: pro_b.vhd

clk = 1	24 * not used
x1 = 2	23 = q6
x2 = 3	22 = q4
x3 = 4	21 = q2
b = 5	20 = j
c = 6	19 = y
d = 7	18 = e
f = 8	17 = z
g = 9	16 = q5
h = 10	15 = q3
i = 11	14 = q1
not used * 12	13 * not used

Compiling: pro_a.vhd

lk = 1	24 * not used
a = 2	23 = q16
not used * 3	22 = q14
not used * 4	21 = q12
not used * 5	20 = q10
not used * 6	19 = q8
not used * 7	18 = q7
not used * 8	17 = q9
not used * 9	16 = q11
not used * 10	15 = q13
not used * 11	14 = q15
not used * 12	13 * not used

Compiling: project.vhd

clk = 1	24 * not used
a = 2	23 * not used
b = 3	22 = q2
c = 4	21 = q4
not used * 5	20 = q6
not used * 6	19 = q8
not used * 7	18 = z
not used * 8	17 = q7
not used * 9	16 = q5
not used * 10	15 = q3
not used * 11	14 = q1
not used * 12	13 * not used

Compiling: syn1.vhd

clk = 1	24 * not used
q13 = 2	23 * not used
q15 = 3	22 = go
q16 = 4	21 = count_2
not used * 5	20 = count_3
not used * 6	19 = count_5
not used * 7	18 = count_6
not used * 8	17 = count_4
not used * 9	16 = f
not used * 10	15 = count_1
not used * 11	14 = count_0
not used * 12	13 * not used

Compiling: syn2.vhd

clk = 1	24 * not used
x1 = 2	23 = count_0
x2 = 3	22 = switch
x3 = 4	21 = count_3
check = 5	20 = i
error = 6	19 = h
n = 7	18 = g
k = 8	17 = j
l = 9	16 = count_4
m = 10	15 = count_2
not used * 11	14 = count_1
notused * 12	13 * not used

Compiling: syn3.vhd

clk = 1	24 * not used
error = 2	23 * not used
go = 3	22 = check
not used * 4	21 = b
not used * 5	20 = count_2
not used * 6	19 = count_5
not used * 7	18 = count_4
not used * 8	17 = count_1
not used * 9	16 = count_3
not used * 10	15 = count_0
not used * 11	14 * not used
not used * 12	13 * not used

Compiling: sh11.vhd

clk = 1	24 * not used
x1 = 2	23 = zr
x2 = 3	22 = q5
x3 = 4	21 = q3
q9 = 5	20 = q1
q11 = 6	19 = er
q14 = 7	18 = yr
q15 = 8	17 = q2
switch = 9	16 = q4
data = 10	15 = q6
f = 11	14 = q16
not used * 12	13 * not used

Compiling: det1.vhd

clk = 1	24 * not used
not used * 2	23 * not used
not used * 3	22 = c
not used * 4	21 = count_2
not used * 5	20 = count_4
not used * 6	19 = count_6
not used * 7	18 = count_7
not used * 8	17 = count_5
not used * 9	16 = count_3
not used * 10	15 = count_1
not used * 11	14 = count_0
not used * 12	13 * not used

Compiling: det2.vhd

v7 = 1	24 * not used
c = 2	23 = clear
not used * 3	22 = count_0
not used * 4	21 = ape
not used * 5	20 = count_2
not used * 6	19 = count_4
not used * 7	18 = count_5
not used * 8	17 = count_3
not used * 9	16 = count_1
not used * 10	15 = epa
not used * 11	14 = t
not used * 12	13 * not used

Compiling: mul.vhd

t = 1	24 * not used
p0 = 2	23 = r0
p1 = 3	22 = r1
p2 = 4	21 = r2
p3 = 5	20 = r3
p4 = 6	19 = r4
p5 = 7	18 = r5
p6 = 8	17 = r6
p7 = 9	16 = r7
p8 = 10	15 = r8
p9 = 11	14 = r9
not used * 12	13 * not used

Compiling: pare1.vhd

clk = 1	24 * not used
z = 2	23 = qp7
x1 = 3	22 = qp5
x2 = 4	21 = qp3
x3 = 5	20 = qp1
w1 = 6	19 = y1
not used * 7	18 = error
w2 = 8	17 = qp2
not used * 9	16 = qp4
not used * 10	15 = qp6
not used * 11	14 = qp8
not used * 12	13 * not used

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Compiling: pare2.vhd

clk = 1	24 * not used
qp8 = 2	23 = qp15
x1 = 3	22 = qp13
x2 = 4	21 = qp11
x3 = 5	20 = qp9
not used * 6	19 = y2
not used * 7	18 * not used
not used * 8	17 = qp10
not used * 9	16 = qp12
not used * 10	15 = qp14
not used * 11	14 = qp16
not used * 12	13 * not used

Compiling: pare3.vhd

clk = 1	24 * not used
not used * 2	23 * not used
v1 = 3	22 * not used
v2 = 4	21 * not used
zr = 5	20 * not used
not used * 6	19 = w2
not used * 7	18 = w1
not used * 8	17 * not used
d1 = 9	16 * not used
not used * 10	15 = d2
not used * 11	14 * not used
not used * 12	13 * not used

PALCE22V10 COM'L: H-5/7/10/15/25,Q-10/15/25 IND: H-10/15/20/25
PALCE22V10Z COM'L: -25 IND: -15/25



BEYOND PERFORMANCE

PALCE22V10 and PALCE22V10Z Families

24-Pin EE CMOS (Zero Power) Versatile PAL Device

DISTINCTIVE CHARACTERISTICS

- ◆ As fast as 5-ns propagation delay and 142.8 MHz f_{MAX} (external)
- ◆ Low-power EE CMOS
- ◆ 10 macrocells programmable as registered or combinatorial, and active high or active low to match application needs
- ◆ Varied product term distribution allows up to 16 product terms per output for complex functions
- ◆ Peripheral Component Interconnect (PCI) compliant (-5/-7/-10)
- ◆ Global asynchronous reset and synchronous preset for initialization
- ◆ Power-up reset for initialization and register preload for testability
- ◆ Extensive third-party software and programmer support
- ◆ 24-pin SKINNY DIP, 24-pin SOIC, and 28-pin PLCC
- ◆ 5-ns and 7.5-ns versions utilize split leadframes for improved performance

GENERAL DESCRIPTION

The PALCE22V10 provides user-programmable logic for replacing conventional SSI/MSI gates and flip-flops at a reduced chip count.

The PALCE22V10Z is an advanced PAL[®] device built with zero-power, high-speed, electrically-erasable CMOS technology. It provides user-programmable logic for replacing conventional zero-power CMOS SSI/MSI gates and flip-flops at a reduced chip count.

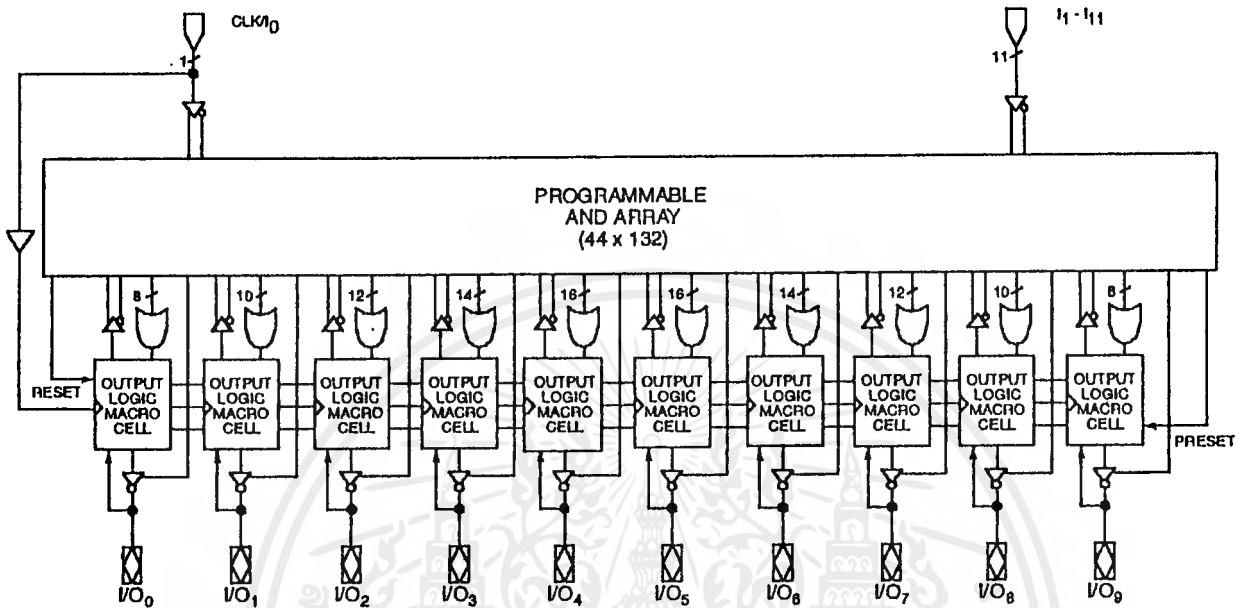
The PALCE22V10Z provides zero standby power and high speed. At 30 μ A maximum standby current, the PALCE22V10Z allows battery-powered operation for an extended period.

The PAL device implements the familiar Boolean logic transfer function, the sum of products. The PAL device is a programmable AND array driving a fixed OR array. The AND array is programmed to create custom product terms, while the OR array sums selected terms at the outputs.

The product terms are connected to the fixed OR array with a varied distribution from 8 to 16 across the outputs (see Block Diagram). The OR sum of the products feeds the output macrocell. Each macrocell can be programmed as registered or combinatorial, and active-high or active low. The output configuration is determined by two bits controlling two multiplexers in each macrocell.



BLOCK DIAGRAM



FUNCTIONAL DESCRIPTION

The PALCE22V10 allows the systems engineer to implement the design on-chip, by programming EE cells to configure AND and OR gates within the device, according to the desired logic function. Complex interconnections between gates, which previously required time-consuming layout, are lifted from the PC board and placed on silicon, where they can be easily modified during prototyping or production.

The PALCE22V10Z is the zero-power version of the PALCE22V10. It has all the architectural features of the PALCE22V10. In addition, the PALCE22V10Z has zero standby power and unused product term disable.

Product terms with all connections opened assume the logical HIGH state; product terms connected to both true and complement of any single input assume the logical LOW state.

The PALCE22V10 has 12 inputs and 10 I/O macrocells. The macrocell (Figure 1) allows one of four potential output configurations registered output or combinatorial I/O, active high or active low (see Figure 1). The configuration choice is made according to the user's design specification and corresponding programming of the configuration bits $S_0 - S_1$. Multiplexer controls are connected to ground (0) through a programmable bit, selecting the "0" path through the multiplexer. Erasing the bit disconnects the control line from GND and it is driven to a high level, selecting the "1" path.

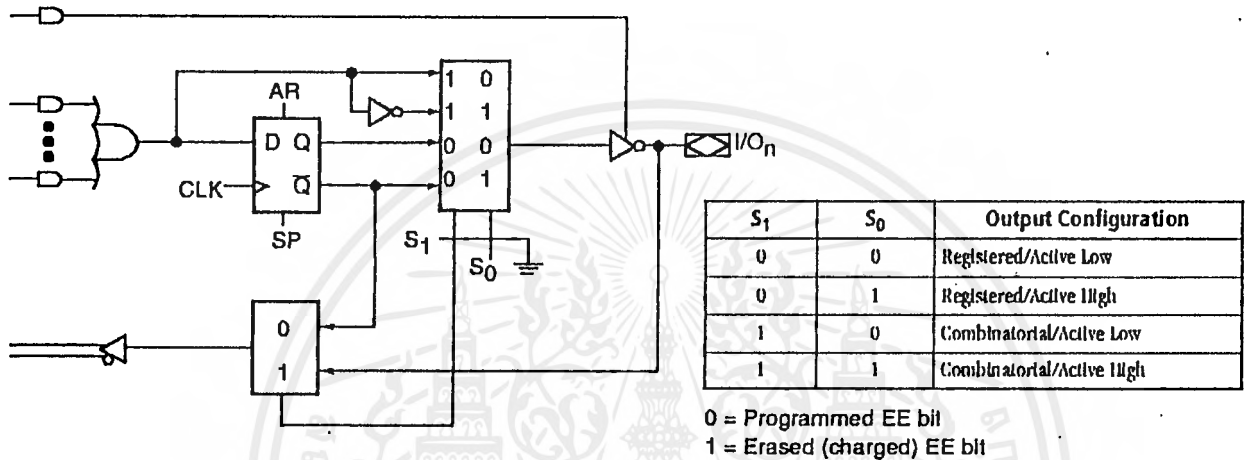
The device is produced with an EE cell link at each input to the AND gate array, and connections may be selectively removed by applying appropriate voltages to the circuit. Utilizing an easily-implemented programming algorithm, these products can be rapidly programmed to any customized pattern.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



Variable Input/Output Pin Ratio

The PALCE22V10 has twelve dedicated input lines, and each macrocell output can be an I/O pin. Buffers for device inputs have complementary outputs to provide user-programmable input signal polarity. Unused input pins should be tied to V_{CC} or GND.



16564E-004

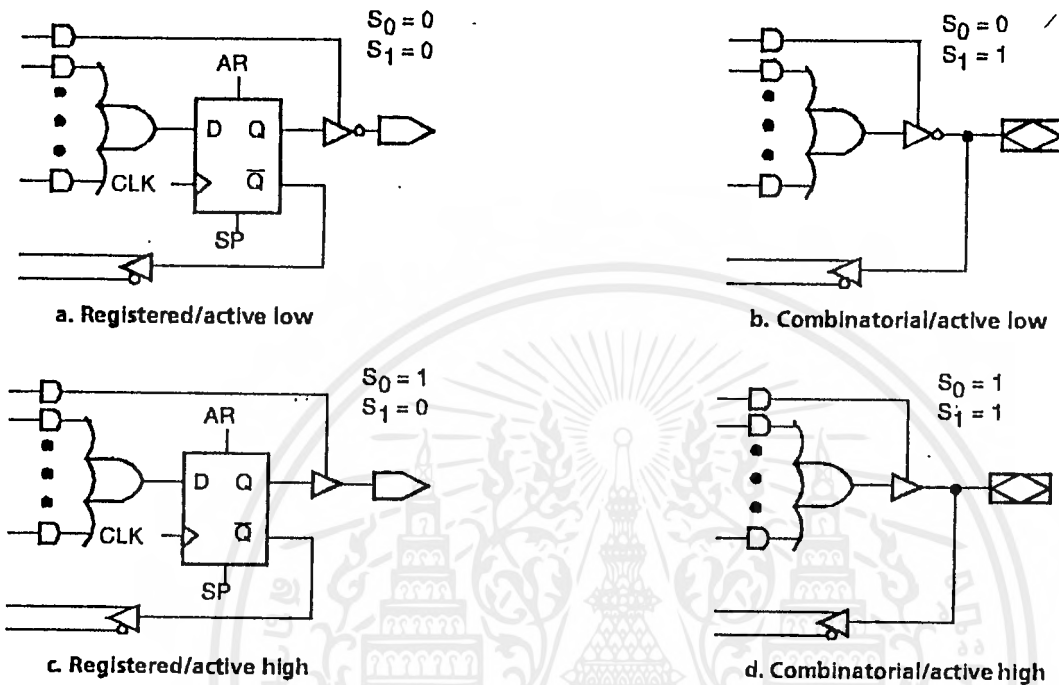
Figure 1. Output Logic Macrocell Diagram

Registered Output Configuration

Each macrocell of the PALCE22V10 includes a D-type flip-flop for data storage and synchronization. The flip-flop is loaded on the LOW-to-HIGH transition of the clock input. In the registered configuration ($S_1 = 0$), the array feedback is from Q of the flip-flop.

Combinatorial I/O Configuration

Any macrocell can be configured as combinatorial by selecting the multiplexer path that bypasses the flip-flop ($S_1 = 1$). In the combinatorial configuration, the feedback is from the pin.



16564E-005

Figure 2. Macrocell Configuration Options

Programmable Three-State Outputs

Each output has a three-state output buffer with three-state control. A product term controls the buffer, allowing enable and disable to be a function of any product of device inputs or output feedback. The combinatorial output provides a bi-directional I/O pin, and may be configured as a dedicated input if the buffer is always disabled.

Programmable Output Polarity

The polarity of each macrocell output can be active high or active low, either to match output signal needs or to reduce product terms. Programmable polarity allows Boolean expressions to be written in their most compact form (true or inverted), and the output can still be of the desired polarity. It can also save "DeMorganizing" efforts.

Selection is controlled by programmable bit S_0 in the output macrocell, and affects both registered and combinatorial outputs. Selection is automatic, based on the design specification and pin definitions. If the pin definition and output equation have the same polarity, the output is programmed to be active high ($S_0 = 1$).

Preset/Reset

For initialization, the PALCE22V10 has preset and reset product terms. These terms are connected to all registered outputs. When the synchronous preset (SP) product term is asserted high, the output registers will be loaded with a HIGH on the next LOW-to-HIGH clock transition. When the asynchronous reset (AR) product term is asserted high, the output registers will be immediately loaded with a LOW independent of the clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่มีการเปิดเผยข้อมูลลับหรือข้อมูลเชิงพาณิชย์ใด ๆ จากเอกสารฉบับนี้



Note that preset and reset control the flip-flop, not the output pin. The output level is determined by the output polarity selected.

Power-Up Reset

All flip-flops power up to a logic LOW for predictable system initialization. Outputs of the PALCE22V10 will depend on the programmed output polarity. The V_{CC} rise must be monotonic, and the reset delay time is 1000ns maximum.

Register Preload

The register on the PALCE22V10 can be preloaded from the output pins to facilitate functional testing of complex state machine designs. This feature allows direct loading of arbitrary states, making it unnecessary to cycle through long test vector sequences to reach a desired state. In addition, transitions from illegal states can be verified by loading illegal states and observing proper recovery.

Security Bit

After programming and verification, a PALCE22V10 design can be secured by programming the security EE bit. Once programmed, this bit defeats readback of the internal programmed pattern by a device programmer, securing proprietary designs from competitors. When the security bit is programmed, the array will read as if every bit is erased, and preload will be disabled.

The bit can only be erased in conjunction with erasure of the entire pattern.

Programming and Erasing

The PALCE22V10 can be programmed on standard logic programmers. It also may be erased to reset a previously configured device back to its unprogrammed state. Erasure is automatically performed by the programming hardware. No special erase operation is required.

Quality and Testability

The PALCE22V10 offers a very high level of built-in quality. The erasability of the device provides a direct means of verifying performance of all AC and DC parameters. In addition, this verifies complete programmability and functionality of the device to provide the highest programming yields and post-programming functional yields in the industry.

Technology

The high-speed PALCE22V10 is fabricated with Vantis' advanced electrically erasable (EE) CMOS process. The array connections are formed with proven EE cells. Inputs and outputs are designed to be compatible with TTL devices. This technology provides strong input clamp diodes, output slew-rate control, and a grounded substrate for clean switching.

PCI Compliance

The PALCE22V10H devices in the -5/-7/-10 speed grades are fully compliant with the *PCI Local Bus Specification* published by the PCI Special Interest Group. The PALCE22V10H's predictable timing ensures compliance with the PCI AC specifications independent of the design.

Zero-Standby Power Mode

The PALCE22V10Z features a zero-standby power mode. When none of the inputs switch for an extended period (typically 50 ns), the PALCE22V10Z will go into standby mode, shutting down

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า



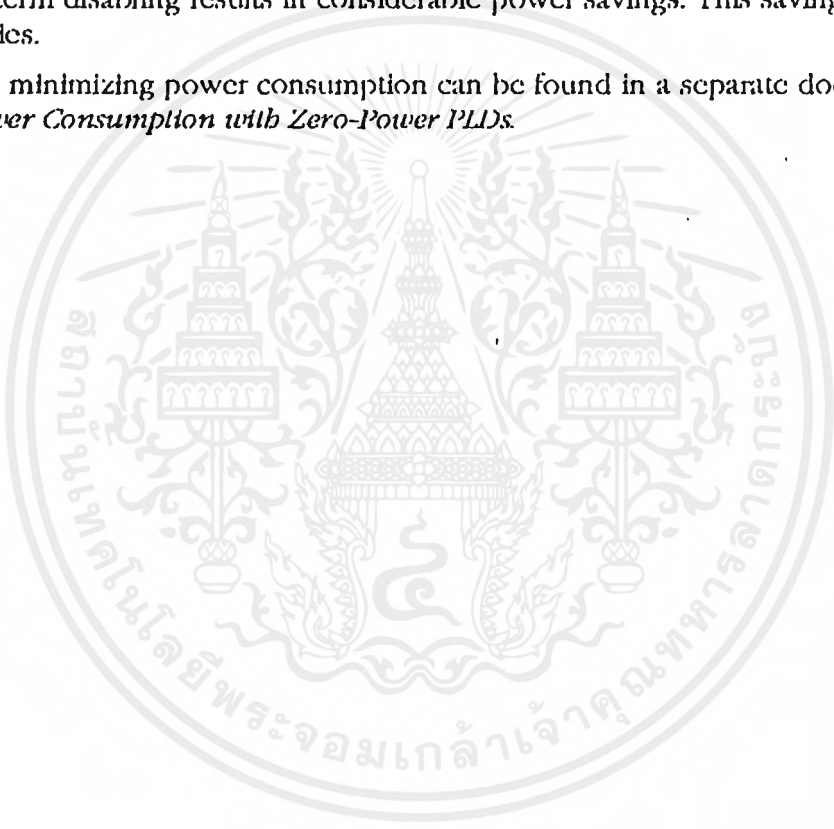
most of its internal circuitry. The current will go to almost zero ($I_{CC} < 30 \mu\text{A}$). The outputs will maintain the states held before the device went into the standby mode.

When any input switches, the internal circuitry is fully enabled, and power consumption returns to normal. This feature results in considerable power savings for operation at low to medium frequencies. This saving is illustrated in the I_{CC} vs. frequency graph.

Product-Term Disable

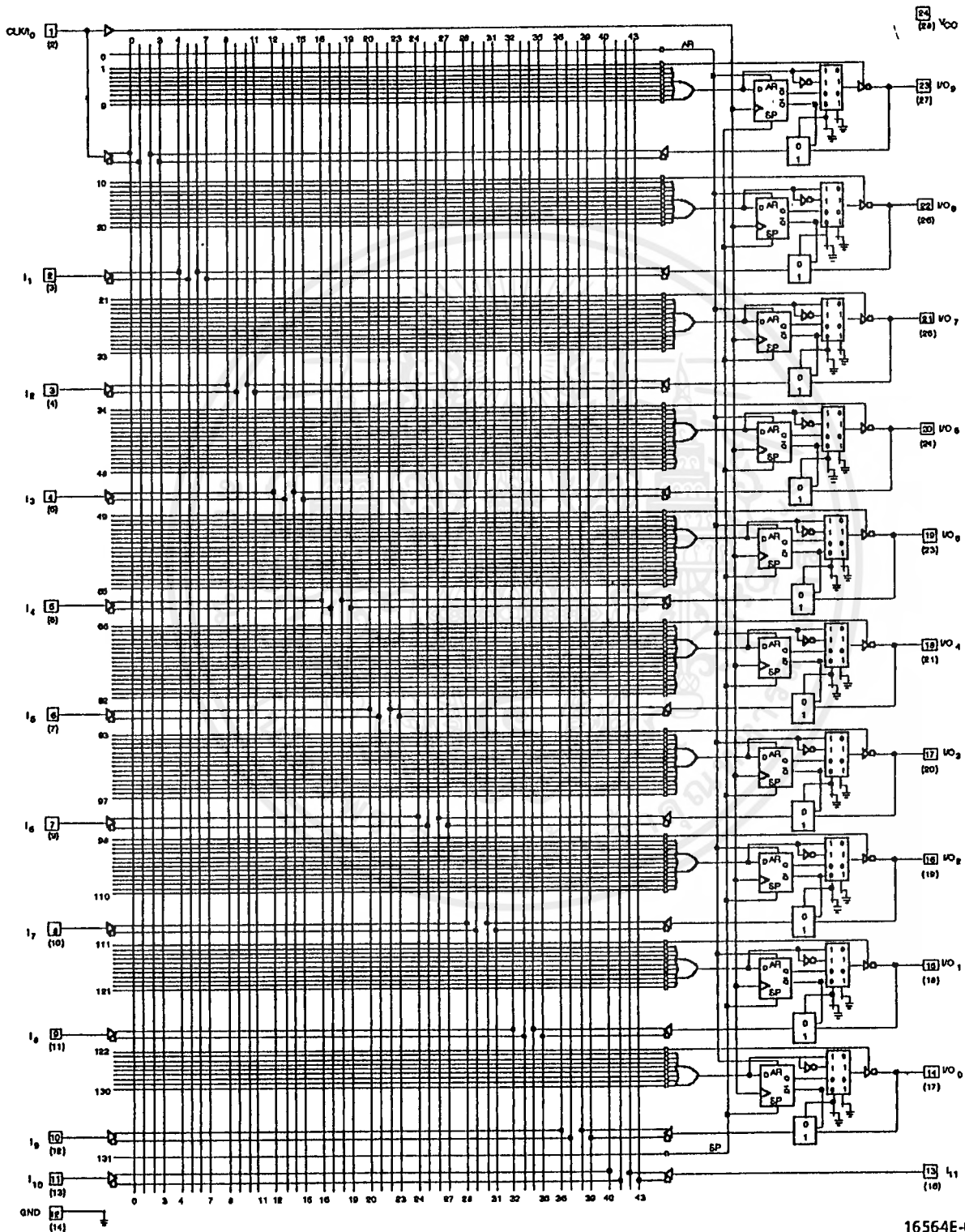
On a programmed PALCE22V10Z, any product terms that are not used are disabled. Power is cut off from these product terms so that they do not draw current. As shown in the I_{CC} vs. frequency graph, product-term disabling results in considerable power savings. This saving is greater at the higher frequencies.

Further hints on minimizing power consumption can be found in a separate document entitled, *Minimizing Power Consumption with Zero-Power PLDs*.





LOGIC DIAGRAM





ABSOLUTE MAXIMUM RATINGS

Storage Temperature	-65°C to +150°C
Ambient Temperature with Power Applied	-55°C to +125°C
Supply Voltage with Respect to Ground	-0.5 V to +7.0 V
DC Input Voltage	-0.5 V to $V_{CC} + 1.0$ V
DC Output or I/O Pin Voltage	-0.5 V to $V_{CC} + 1.0$ V
Static Discharge Voltage	2001 V
Latchup Current ($T_A = 0^\circ\text{C}$ to $+75^\circ\text{C}$)	100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to Absolute Maximum Ratings for extended periods may affect device reliability. Programming conditions may vary.

OPERATING RANGES

Commercial (C) Devices

Ambient Temperature (T_A)	Operating in Free Air	0°C to $+75^\circ\text{C}$
Supply Voltage (V_{CC}) with Respect to Ground		+4.75 V to +5.25 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES

Parameter Symbol	Parameter Description	Test Conditions	Min	Max	Unit
V_{OH}	Output HIGH Voltage	$I_{OH} = -3.2$ mA, $V_{IN} = V_{IH}$ or V_{IL} , $V_{CX} = \text{Min}$	2.4		V
V_{OL}	Output LOW Voltage	$I_{OL} = 16$ mA, $V_{IN} = V_{IH}$ or V_{IL} , $V_{CX} = \text{Min}$		0.4	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all inputs (Note 1)	2.0		V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all inputs (Note 1)		0.8	V
I_{IH}	Input HIGH Leakage Current	$V_{IN} = V_{CX}$, $V_{CX} = \text{Max}$ (Note 2)		10	μA
I_{IL}	Input LOW Leakage Current	$V_{IN} = 0$ V, $V_{CX} = \text{Max}$ (Note 2)		-100	μA
I_{OZH}	Off-State Output Leakage Current HIGH	$V_{OLT} = V_{CX}$, $V_{CX} = \text{Max}$, $V_{IN} = V_{IL}$ or V_{IH} (Note 2)		10	μA
I_{OZL}	Off-State Output Leakage Current LOW	$V_{OLT} = 0$ V, $V_{CX} = \text{Max}$, $V_{IN} = V_{IL}$ or V_{IH} (Note 2)		-100	μA
I_{SC}	Output Short-Circuit Current	$V_{OLT} = 0.5$ V, $V_{CX} = \text{Max}$ (Note 3)	-30	-130	mA
I_{CC} (Static)	Supply Current	Outputs Open, ($I_{OLT} = 0$ mA), $V_{CX} = \text{Max}$		125	mA
I_{CC} (Dynamic)	Supply Current	Outputs Open, ($I_{OLT} = 0$ mA), $V_{CC} = \text{Max}$, $f = 25$ MHz		140	mA

Notes:

- These are absolute values with respect to the device ground, and all overshoots due to system and tester noise are included.
- I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).
- Not more than one output should be tested at a time, and the duration of the short-circuit test should not exceed one second. $V_{OLT} = 0.5$ V has been chosen to avoid test problems caused by tester ground degradation.



CAPACITANCE ¹

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
C_{IN}	Input Capacitance	$V_{IN} = 2.0 V$	$V_{(X)} = 5.0 V$ $T_A = 25^\circ C$ $f = 1 MHz$	5	pF
C_{OUT}	Output Capacitance	$V_{OUT} = 2.0 V$		8	

Note:

1. These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.

SWITCHING CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES ¹

Parameter Symbol	Parameter Description		-5		Unit
			Min	Max	
t_D	Input or Feedback to Combinatorial Output			5	ns
t_{S1}	Setup Time from Input or Feedback		3		ns
t_{S2}	Setup Time from SP to Clock		4		ns
t_H	Hold Time		0		ns
t_{CO}	Clock to Output			4	ns
t_{SKW}	Skew Between Registered Outputs (Note 2)			0.5	ns
t_{AR}	Asynchronous Reset to Registered Output			7.5	ns
t_{ARW}	Asynchronous Reset Width		4.5		ns
t_{ARR}	Asynchronous Reset Recovery Time		4.5		ns
t_{SR}	Synchronous Preset Recovery Time		4.5		ns
t_{CL}	Clock Width	LOW	2.5		ns
t_{CH}		HIGH	2.5		ns
f_{MAX}	Maximum Frequency (Note 3)	External Feedback	$1/(t_{S1} + t_{(X)})$	142.8	MHz
		Internal Feedback (t_{INT})	$1/(t_{S1} + t_{(P)})$ (Note 4)	150	MHz
		No Feedback	$1/(t_{WH} + t_{WL})$	200	MHz
t_{EA}	Input to Output Enable Using Product Term Control			6	ns
t_{ER}	Input to Output Disable Using Product Term Control			5.5	ns

Notes:

1. See "Switching Test Circuit" for test conditions.
2. Skew is measured with all outputs switching in the same direction.
3. These parameters are not 100% tested, but are calculated at initial characterization and at any time the design is modified where frequency may be affected.
4. t_{CF} is a calculated value and is not guaranteed. t_{CF} can be found using the following equation:
 $t_{CF} = 1/f_{MAX}$ (internal feedback) - t_{S1} .



ABSOLUTE MAXIMUM RATINGS

Storage Temperature	-65°C to +150°C
Ambient Temperature with Power Applied	-55°C to +125°C
Supply Voltage with Respect to Ground	-0.5 V to +7.0 V
DC Input Voltage	-0.5 V to $V_{CC} + 1.0$ V
DC Output or I/O Pin Voltage	-0.5 V to $V_{CC} + 1.0$ V
Static Discharge Voltage	2001 V
Latchup Current ($T_A = 0^\circ\text{C}$ to $+75^\circ\text{C}$)	100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to Absolute Maximum Ratings for extended periods may affect device reliability. Programming conditions may vary.

OPERATING RANGES

Commercial (C) Devices

Ambient Temperature (T_A)	Operating in Free Air	0°C to $+75^\circ\text{C}$
Supply Voltage (V_{CC}) with Respect to Ground		+4.75 V to +5.25 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES

Symbol	Parameter Description	Test Conditions	Min	Max	Unit
V_{OH}	Output HIGH Voltage	$I_{OH} = -3.2$ mA, $V_{IN} = V_{IH}$ or V_{IL} , $V(X) = \text{Min}$	2.4		V
V_{OL}	Output LOW Voltage	$I_{OL} = 16$ mA, $V_{IN} = V_{IH}$ or V_{IL} , $V(X) = \text{Min}$		0.4	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all Inputs (Note 1)	2.0		V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all Inputs (Note 1)		0.8	V
I_{IH}	Input HIGH Leakage Current	$V_{IN} = V(X)$; $V(X) = \text{Max}$ (Note 2)		10	μA
I_{IL}	Input LOW Leakage Current	$V_{IN} = 0$ V, $V(X) = \text{Max}$ (Note 2)		-100	μA
I_{OZH}	Off-State Output Leakage Current HIGH	$V_{OLT} = V(X)$; $V(X) = \text{Max}$, $V_{IN} = V_{IL}$ or V_{IH} (Note 2)		10	μA
I_{OZL}	Off-State Output Leakage Current LOW	$V_{OLT} = 0$ V, $V(X) = \text{Max}$, $V_{IN} = V_{IL}$ or V_{IH} (Note 2)		-100	μA
I_{SC}	Output Short-Circuit Current	$V_{OLT} = 0.5$ V, $V(X) = \text{Max}$ $T_A = 25^\circ\text{C}$ (Note 3)	-30	-130	mA
I_{CC} (Static)	Supply Current	Outputs Open, ($I_{OLT} = 0$ mA), $V(X) = \text{Max}$		115	mA
I_{CC} (Dynamic)	Supply Current	Outputs Open, ($I_{OLT} = 0$ mA), $V(X) = \text{Max}$, $f = 25$ MHz		140	mA

Notes:

- These are absolute values with respect to the device ground, and all overshoots due to system and tester noise are included.
- I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).
- Not more than one output should be tested at a time. Duration of the short-circuit test should not exceed one second. $V_{OLT} = 0.5$ V has been chosen to avoid test problems caused by tester ground degradation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



CAPACITANCE ¹

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
C_{IN}	Input Capacitance	$V_{IN} = 2.0\text{ V}$	$V_{(X)} = 5.0\text{ V}$ $T_A = 25^\circ\text{C}$ $f = 1\text{ MHz}$	5	pF
C_{OUT}	Output Capacitance	$V_{(OUT)} = 2.0\text{ V}$		8	

Notes:

1. These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.

SWITCHING CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES ¹

Parameter Symbol	Parameter Description		-7				Unit
			PDIP		PLCC		
			Min	Max	Min	Max	
t_{PD}	Input or Feedback to Combinatorial Output		3	7.5	3	7.5	ns
t_{S1}	Setup Time from Input or Feedback		5		4.5		ns
t_{S2}	Setup Time from SP to Clock		6		6		ns
t_H	Hold Time		0		0		ns
t_{CO}	Clock to Output		2	5	2	4.5	ns
t_{SKEW}	Skew Between Registered Outputs (Note 2)			1		1	ns
t_{AR}	Asynchronous Reset to Registered Output			10		10	ns
t_{ARW}	Asynchronous Reset Width		7		7		ns
t_{ARR}	Asynchronous Reset Recovery Time		7		7		ns
t_{SR}	Synchronous Preset Recovery Time		7		7		ns
t_{WL}	Clock Width	LOW	3.5		3.0		ns
t_{WH}		HIGH	3.5		3.0		ns
f_{MAX}	Maximum Frequency (Note 3)	External Feedback	$1/(t_S + t_{CF})$	100		111	MHz
		Internal Feedback (t_{CNT})	$1/(t_S + t_{CF})$ (Note 4)	125		133	MHz
		No Feedback	$1/(t_{WH} + t_{WL})$	142.8		166	MHz
t_{EA}	Input to Output Enable Using Product Term Control			7.5		7.5	ns
t_{ER}	Input to Output Disable Using Product Term Control			7.5		7.5	ns

Notes:

1. See "Switching Test Circuit" for test conditions.
2. Skew is measured with all outputs switching in the same direction.
3. These parameters are not 100% tested, but are calculated at initial characterization and at any time the design is modified where frequency may be affected.
4. t_{CF} is a calculated value and is not guaranteed. t_{CF} can be found using the following equation:
 $t_{CF} = 1/f_{MAX}$ (internal feedback) - t_S .



ABSOLUTE MAXIMUM RATINGS

Storage Temperature	-65°C to +150°C
Ambient Temperature with Power Applied	-55°C to +125°C
Supply Voltage with Respect to Ground	-0.5 V to +7.0 V
DC Input Voltage	-0.5 V to $V_{CC} + 1.0$ V
DC Output or I/O Pin Voltage	-0.5 V to $V_{CC} + 1.0$ V
Static Discharge Voltage	2001 V
Latchup Current ($T_A = 0^\circ\text{C}$ to $+75^\circ\text{C}$)	100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to absolute maximum ratings for extended periods may affect device reliability. Programming conditions may vary.

OPERATING RANGES

Commercial (C) Devices

Ambient Temperature (T_A)	Operating in Free Air	0°C to +75°C
Supply Voltage (V_{CC}) with Respect to Ground		+4.75 V to +5.25 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES

Parameter Symbol	Parameter Description	Test Conditions	Min	Max	Unit
V_{OH}	Output HIGH Voltage	$I_{OH} = -3.2$ mA, $V_{IN} = V_{IH}$ or V_{IL} , $V(X) = \text{Min}$	2.4		V
V_{OL}	Output LOW Voltage	$I_{OL} = 16$ mA, $V_{IN} = V_{IH}$ or V_{IL} , $V(X) = \text{Min}$		0.4	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all Inputs (Note 1)	2.0		V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all Inputs (Note 1)		0.8	V
I_{IH}	Input HIGH Leakage Current	$V_{IN} = V(X)$, $V(X) = \text{Max}$ (Note 2)		10	μA
I_{IL}	Input LOW Leakage Current	$V_{IN} = 0$ V, $V(X) = \text{Max}$ (Note 2)		-100	μA
I_{OZH}	Off-State Output Leakage Current HIGH	$V_{OLT} = V(X)$, $V(X) = \text{Max}$, $V_{IN} = V_{IL}$ or V_{IH} (Note 2)		10	μA
I_{OZL}	Off-State Output Leakage Current LOW	$V_{OLT} = 0$ V, $V(X) = \text{Max}$, $V_{IN} = V_{IL}$ or V_{IH} (Note 2)		-100	μA
I_{SC}	Output Short-Circuit Current	$V_{OLT} = 0.5$ V, $V(X) = \text{Max}$, $T_A = 25^\circ\text{C}$ (Note 3)	-30	-130	mA
I_{CC} (Dynamic)	Supply Current	Outputs Open, ($I_{OLT} = 0$ mA), $V_{CC} = \text{Max}$, $f = 25$ MHz		120	mA

Notes:

- These are absolute values with respect to the device ground, and all overshoots due to system and tester noise are included.
- I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).
- Not more than one output should be tested at a time. Duration of the short-circuit test should not exceed one second. $V_{OLT} = 0.5$ V has been chosen to avoid test problems caused by tester ground degradation.



CAPACITANCE ¹

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
t_{IN}	Input Capacitance	$V_{IN} = 2.0\text{ V}$	$V_{CC} = 5.0\text{ V}$ $T_A = 25^\circ\text{C}$ $f = 1\text{ MHz}$	5	pF
t_{OUT}	Output Capacitance	$V_{OUT} = 2.0\text{ V}$		8	

Note:

1. These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.

SWITCHING CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES ¹

Parameter Symbol	Parameter Description		-10		Unit
			Min	Max	
t_{PD}	Input or Feedback to Combinatorial Output			10	ns
t_{S1}	Setup Time from Input or Feedback		6		ns
t_{S2}	Setup Time from SP to Clock		7		ns
t_H	Hold Time		0		ns
t_{CO}	Clock to Output			6	ns
t_{AR}	Asynchronous Reset to Registered Output			13	ns
t_{ARW}	Asynchronous Reset Width		8		ns
t_{ARR}	Asynchronous Reset Recovery Time		8		ns
t_{SPR}	Synchronous Preset Recovery Time		8		ns
t_{CL}	Clock Width	LOW	4		ns
t_{CH}		HIGH	4		ns
f_{MAX}	Maximum Frequency (Note 2)	External Feedback	$1/(t_S + t_{CX})$	83.3	MHz
		Internal Feedback (t_{CNT})	$1/(t_S + t_{CP})$ (Note 3)	110	MHz
		No Feedback	$1/(t_{WH1} + t_{WL})$	125	MHz
t_{EA}	Input to Output Enable Using Product Term Control			10	ns
t_{ER}	Input to Output Disable Using Product Term Control			9	ns

Notes:

1. See "Switching Test Circuit" for test conditions.
2. These parameters are not 100% tested, but are calculated at initial characterization and at any time the design is modified where frequency may be affected.
3. t_{CF} is a calculated value and is not guaranteed. t_{CF} can be found using the following equation:

$$t_{CF} = 1/f_{MAX} (\text{internal feedback}) - t_S.$$



ABSOLUTE MAXIMUM RATINGS

Storage Temperature -65°C to +150°C
 Ambient Temperature with
 Power Applied -55°C to +125°C
 Supply Voltage with Respect
 to Ground -0.5 V to +7.0 V
 DC Input Voltage -0.5 V to $V_{CC} + 1.0$ V
 DC Output or I/O Pin
 Voltage -0.5 V to $V_{CC} + 1.0$ V
 Static Discharge Voltage 2001 V
 Latchup Current ($T_A = 0^\circ\text{C}$ to $+75^\circ\text{C}$) 100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to Absolute Maximum Ratings for extended periods may affect device reliability. Programming conditions may vary.

OPERATING RANGES

Commercial (C) Devices

Ambient Temperature (T_A)
 Operating in Free Air 0°C to $+75^\circ\text{C}$
 Supply Voltage (V_{CC}) with
 Respect to Ground +4.75 V to +5.25 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES

Parameter Symbol	Parameter Description	Test Conditions	Min	Max	Unit
V_{OH}	Output HIGH Voltage	$I_{OH} = -3.2$ mA, $V_{IN} = V_{IH}$ or V_{IL} , $V_{CX} = \text{Min}$	2.4		V
V_{OL}	Output LOW Voltage	$I_{OL} = 16$ mA, $V_{IN} = V_{IH}$ or V_{IL} , $V_{CX} = \text{Min}$		0.4	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all Inputs (Note 1)	2.0		V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all Inputs (Note 1)		0.8	V
I_{IH}	Input HIGH Leakage Current	$V_{IN} = V_{CX}$; $V_{CX} = \text{Max}$ (Note 2)		10	μA
I_{IL}	Input LOW Leakage Current	$V_{IN} = 0$ V, $V_{CX} = \text{Max}$ (Note 2)		-100	μA
I_{OZH}	Off-State Output Leakage Current HIGH	$V_{OLT} = V_{CX}$; $V_{CX} = \text{Max}$ $V_{IN} = V_{IL}$ or V_{IH} (Note 2)		10	μA
I_{OZL}	Off-State Output Leakage Current LOW	$V_{OLT} = 0$ V, $V_{CX} = \text{Max}$ $V_{IN} = V_{IL}$ or V_{IH} (Note 2)		-100	μA
I_{SC}	Output Short-Circuit Current	$V_{OLT} = 0.5$ V, $V_{CX} = 5$ V $T_A = 25^\circ\text{C}$ (Note 3)	-30	-130	mA
$I_{CC}(\text{Static})$	Supply Current	$V_{IN} = 0$ V, Outputs Open ($I_{OZT} = 0$ mA), $V_{CC} = \text{Max}$ (Note 4)		55	mA

Notes:

- These are absolute values with respect to the device ground, and all overshoots due to system and tester noise are included.
- I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).
- Not more than one output should be tested at a time, and the duration of the short-circuit test should not exceed one second. $V_{OLT} = 0.5$ V has been chosen to avoid test problems caused by tester ground degradation.
- This parameter is guaranteed worst case under test condition. Refer to the I_{CC} vs. frequency graph for typical I_{CC} characteristics.



CAPACITANCE ¹

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
C_{IN}	Input Capacitance	$V_{IN} = 2.0\text{ V}$	$V_{(X)} = 5.0\text{ V}$ $T_A = 25^\circ\text{C}$ $f = 1\text{ MHz}$	5	pF
C_{OUT}	Output Capacitance	$V_{OUT} = 2.0\text{ V}$		8	

Note:

1. These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.

SWITCHING CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES ¹

Parameter Symbol	Parameter Description		-10		Unit
			Min	Max	
t_{PD}	Input or Feedback to Combinatorial Output			10	ns
t_S	Setup Time from Input, Feedback or SP to Clock		6		ns
t_H	Hold Time		0		ns
t_{CO}	Clock to Output			6	ns
t_{AR}	Asynchronous Reset to Registered Output			13	ns
t_{ARW}	Asynchronous Reset Width		8		ns
t_{ARR}	Asynchronous Reset Recovery Time		8		ns
t_{SPR}	Synchronous Preset Recovery Time		8		ns
t_{WL}	Clock Width	LOW	4		ns
t_{WH}		HIGH	4		ns
f_{MAX}	Maximum Frequency (Note 2)	External Feedback	$1/(t_S + t_{XH})$	83	MHz
		Internal Feedback (t_{CNT})	$1/(t_S + t_{XH})$ (Note 3)	110	MHz
		No Feedback	$1/(t_{WH} + t_{WL})$	125	MHz
t_{EA}	Input to Output Enable Using Product Term Control			10	ns
t_{ER}	Input to Output Disable Using Product Term Control			9	ns

Notes:

1. See "Switching Test Circuit" for test conditions.
2. These parameters are not 100% tested, but are calculated at initial characterization and at any time the design is modified where frequency may be affected.
3. f_{CF} is a calculated value and is not guaranteed. f_{CF} can be found using the following equation:

$$f_{CF} = 1/f_{MAX} \text{ (Internal feedback)} - t_S$$



ABSOLUTE MAXIMUM RATINGS

Storage Temperature	-65°C to +150°C
Ambient Temperature with Power Applied	-55°C to +125°C
Supply Voltage with Respect to Ground	-0.5 V to +7.0 V
DC Input Voltage	-0.5 V to $V_{CC} + 0.5$ V
DC Output or I/O Pin Voltage	-0.5 V to $V_{CC} + 0.5$ V
Static Discharge Voltage	2001 V
Latchup Current ($T_A = 0^\circ\text{C}$ to $+75^\circ\text{C}$)	100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to Absolute Maximum Ratings for extended periods may affect device reliability. Programming conditions may vary.

OPERATING RANGES

Commercial (C) Devices

Ambient Temperature (T_A)	Operating in Free Air	0°C to +75°C
Supply Voltage (V_{CC}) with Respect to Ground (1L/Q-15)		+4.75 V to +5.25 V
Supply Voltage (V_{CC}) with Respect to Ground (1L/Q-25)		+4.5 V to +5.5 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES

Parameter Symbol	Parameter Description	Test Conditions	Min	Max	Unit
V_{OH}	Output HIGH Voltage	$I_{OH} = -3.2$ mA, $V_{IN} = V_{IH}$ or V_{IL} , $V_{CC} = \text{Min}$	2.4		V
V_{OL}	Output LOW Voltage	$I_{OL} = 16$ mA, $V_{IN} = V_{IH}$ or V_{IL} , $V_{CC} = \text{Min}$		0.4	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all Inputs (Note 1)	2.0		V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all Inputs (Note 1)		0.8	V
I_{IH}	Input HIGH Leakage Current	$V_{IN} = V_{CC}$, $V_{CC} = \text{Max}$ (Note 2)		10	μA
I_{IL}	Input LOW Leakage Current	$V_{IN} = 0$ V, $V_{CC} = \text{Max}$ (Note 2)		-100	μA
I_{OZH}	Off-State Output Leakage Current HIGH	$V_{OUT} = V_{CC}$, $V_{CC} = \text{Max}$, $V_{IN} = V_{IL}$ or V_{IH} (Note 2)		10	μA
I_{OZL}	Off-State Output Leakage Current LOW	$V_{OUT} = 0$ V, $V_{CC} = \text{Max}$, $V_{IN} = V_{IL}$ or V_{IH} (Note 2)		-100	μA
I_{SC}	Output Short-Circuit Current	$V_{OUT} = 0.5$ V, $V_{CC} = 5$ V $T_A = 25^\circ\text{C}$ (Note 3)	-30	-130	mA
I_{CC}	Supply Current	$V_{IK} = 0$ V, Outputs Open ($I_{OCT} = 0$ mA), $V_{CC} = \text{Max}$	H	90	mA
			Q	55	

Notes:

- These are absolute values with respect to the device ground, and all overshoots due to system and tester noise are included.
- I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).
- Not more than one output should be tested at a time, and the duration of the short-circuit test should not exceed one second. $V_{OCT} = 0.5$ V has been chosen to avoid test problems caused by tester ground degradation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น ยี่ห้อที่มีเครื่องหมายการค้าหรือเครื่องหมายบริการของบริษัทผู้ผลิตหรือผู้จำหน่ายที่ปรากฏในเอกสารนี้



CAPACITANCE ¹

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
C_{IN}	Input Capacitance	$V_{IN} = 2.0\text{ V}$	$V_{CC} = 5.0\text{ V}$ $T_A = 25^\circ\text{C}$ $f = 1\text{ MHz}$	5	pF
C_{OUT}	Output Capacitance	$V_{OUT} = 2.0\text{ V}$		8	

Note:

- These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.

SWITCHING CHARACTERISTICS OVER COMMERCIAL OPERATING RANGES ¹

Parameter Symbol	Parameter Description		-15		-25		Unit
			Min	Max	Min	Max	
t_{PD}	Input or Feedback to Combinatorial Output			15		25	ns
t_S	Setup Time from Input, Feedback or SP to Clock		10		15		ns
t_H	Hold Time		0		0		ns
t_{CO}	Clock to Output			10		15	ns
t_{AR}	Asynchronous Reset to Registered Output			20		25	ns
t_{ARW}	Asynchronous Reset Width		15		25		ns
t_{ARR}	Asynchronous Reset Recovery Time		10		25		ns
t_{SPR}	Synchronous Preset Recovery Time		10		25		ns
t_{WL}	Clock Width	LOW	8		13		ns
t_{WH}		HIGH	8		13		ns
f_{MAX}	Maximum Frequency (Note 2)	External Feedback	$1/(t_S + t_{CP})$	50		33.3	MHz
		Internal Feedback (t_{CNT})	$1/(t_S + t_{CP})$ (Note 3)	58.8		35.7	MHz
t_{EA}	Input to Output Enable Using Product Term Control			15		25	ns
t_{ER}	Input to Output Disable Using Product Term Control			15		25	ns

Notes:

- See "Switching Test Circuit" for test conditions.
- These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where frequency may be affected.
- t_{CF} is a calculated value and is not guaranteed. t_{CF} can be found using the following equation:
 $t_{CF} = 1/f_{MAX} \text{ (Internal feedback)} - t_S$



ABSOLUTE MAXIMUM RATINGS

Storage Temperature	-65°C to +150°C
Ambient Temperature with Power Applied	-55°C to +125°C
Supply Voltage with Respect to Ground	-0.5 V to +7.0 V
DC Input Voltage	-0.5 V to $V_{CC} + 0.5$ V
DC Output or I/O Pin Voltage	-0.5 V to $V_{CC} + 0.5$ V
Static Discharge Voltage	2001 V
Latchup Current ($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$)	100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to Absolute Maximum Ratings for extended periods may affect device reliability. Programming conditions may vary.

OPERATING RANGES

Industrial (I) Devices

Ambient Temperature (T_A)	
Operating in Free Air	-40°C to +85°C
Supply Voltage (V_{CC}) with Respect to Ground	+4.5 V to +5.5 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER INDUSTRIAL OPERATING RANGES

Parameter Symbol	Parameter Description	Test Conditions	Min	Max	Unit
V_{OH}	Output HIGH Voltage	$I_{OH} = -3.2$ mA, $V_{IN} = V_{IH}$ or V_{IL} , $V_{CX} = \text{Min}$	2.4		V
V_{OL}	Output LOW Voltage	$I_{OL} = 16$ mA, $V_{IN} = V_{IH}$ or V_{IL} , $V_{CX} = \text{Min}$		0.4	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all inputs (Note 1)	2.0		V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all inputs (Note 1)		0.8	V
I_{IH}	Input HIGH Leakage Current	$V_{IN} = V_{CX}$, $V_{CX} = \text{Max}$ (Note 2)		10	μA
I_{IL}	Input LOW Leakage Current	$V_{IN} = 0$ V, $V_{CX} = \text{Max}$ (Note 2)		-100	μA
I_{OZH}	Off-State Output Leakage Current HIGH	$V_{OLT} = V_{CX}$, $V_{CX} = \text{Max}$, $V_{IN} = V_{IL}$ or V_{IH} (Note 2)		10	μA
I_{OZL}	Off-State Output Leakage Current LOW	$V_{OLT} = 0$ V, $V_{CX} = \text{Max}$, $V_{IN} = V_{IL}$ or V_{IH} (Note 2)		-100	μA
I_{SC}	Output Short-Circuit Current	$V_{OLT} = 0.5$ V, $V_{CX} = 5$ V $T_A = 25^\circ\text{C}$ (Note 3)	-30	-130	mA
I_{CC} (Static)	Supply Current	H-20/25	$V_{IN} = 0$ V, Outputs Open ($I_{OLT} = 0$ mA), $V_{CX} = \text{Max}$	100	mA
		H-10/15		110	
I_{CC} (Dynamic)	Supply Current	$V_{IN} = 0$ V, Outputs Open ($I_{OLT} = 0$ mA), $V_{CC} = \text{Max}$, $f = 15$ MHz		130	mA

Notes:

- These are absolute values with respect to the device ground, and all overshoots due to system and tester noise are included.
- I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).
- Not more than one output should be tested at a time, and the duration of the short-circuit test should not exceed one second. $V_{OLT} = 0.5$ V has been chosen to avoid test problems caused by tester ground degradation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



CAPACITANCE ¹

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
t_{IK}	Input Capacitance	$V_{IN} = 2.0\text{ V}$	$V_{(X)} = 5.0\text{ V}$ $T_A = 25^\circ\text{C}$ $f = 1\text{ MHz}$	5	pF
t_{OXT}	Output Capacitance	$V_{OLT} = 2.0\text{ V}$		8	

Note:

- These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.

SWITCHING CHARACTERISTICS OVER INDUSTRIAL OPERATING RANGES ¹

Parameter Symbol	Parameter Description		-10		-15		-20		-25		Unit
			Min	Max	Min	Max	Min	Max	Min	Max	
t_{PD}	Input or Feedback to Combinatorial Output			10		15		20		25	ns
t_S	Setup Time from Input, Feedback or SP to Clock		7		10		12		15		ns
t_H	Hold Time		0		0		0		0		ns
t_{CO}	Clock to Output			6		10		12		15	ns
t_{AR}	Asynchronous Reset to Registered Output			13		20		25		25	ns
t_{ARW}	Asynchronous Reset Width		8		15		20		25		ns
t_{ARR}	Asynchronous Reset Recovery Time		8		10		20		25		ns
t_{SPR}	Synchronous Preset Recovery Time		8		10		14		25		ns
t_{WL}	Clock Width	LOW	4		8		10		13		ns
t_{WH}		HIGH	4		8		10		13		ns
f_{MAX}	Maximum Frequency (Note 2)	External Feedback	$1/(t_S + t_{(X)})$	83.3		50		41.6		33.3	MHz
		Internal Feedback (t_{OXT})	$1/(t_S + t_{(X)})$ (Note 3)	110		58.8		45.4		35.7	MHz
		No Feedback	$1/(t_{WH} + t_{WL})$	125		83.3		50		38.5	MHz
t_{EA}	Input to Output Enable Using Product Term Control			10		15		20		25	ns
t_{ED}	Input to Output Disable Using Product Term Control			9		15		20		25	ns

Notes:

- See "Switching Test Circuit" for test conditions.
- These parameters are not 100% tested, but are calculated at initial characterization and at any time the design is modified where frequency may be affected.
- t_{CF} is a calculated value and is not guaranteed. t_{CF} can be found using the following equation:
 $t_{CF} = 1/f_{MAX}$ (Internal feedback) - t_S .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่จําควรตีใดๆ ทั้งสิ้น คิดค้นขึ้นเพื่อให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ABSOLUTE MAXIMUM RATINGS

Storage Temperature	-65°C to +150°C
Ambient Temperature with Power Applied	-55°C to +125°C
Supply Voltage with Respect to Ground	-0.5 V to +7.0 V
DC Input Voltage	-0.5 V to $V_{CC} + 0.5$ V
DC Output or I/O Pin Voltage	-0.5 V to $V_{CC} + 0.5$ V
Static Discharge Voltage	2001 V
Latchup Current ($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$)	100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to Absolute Maximum Ratings for extended periods may affect device reliability. Programming conditions may differ.

OPERATING RANGES

Industrial (I) Devices

Ambient Temperature (T_A)	-40°C to +85°C
Supply Voltage (V_{CC}) with Respect to Ground	+4.5 V to +5.5 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER INDUSTRIAL OPERATING RANGES

Parameter Symbol	Parameter Description	Test Conditions	Min	Max	Unit
V_{OH}	Output HIGH Voltage	$V_{IN} = V_{IH}$ or V_{IL} $V_{(X)} = \text{Min}$	$I_{O11} = -6$ mA	3.84	V
			$I_{O11} = -20$ μA	$V_{(X)} - 0.1$	V
V_{OL}	Output LOW Voltage	$V_{IN} = V_{IH}$ or V_{IL} $V_{(X)} = \text{Min}$	$I_{OL} = 16$ mA	0.5	V
			$I_{OL} = 6$ mA	0.33	V
			$I_{OL} = 20$ μA	0.1	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all Inputs (Notes 1, 2)	2.0		V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all Inputs (Notes 1, 2)		0.9	V
I_{IH}	Input HIGH Leakage Current	$V_{IN} = V_{(X)}$; $V_{(X)} = \text{Max}$ (Note 3)		10	μA
I_{IL}	Input LOW Leakage Current	$V_{IN} = 0$ V; $V_{(X)} = \text{Max}$ (Note 3)		-10	μA
I_{OZ11}	Off-State Output Leakage Current HIGH	$V_{O11T} = V_{(X)}$; $V_{(X)} = \text{Max}$ $V_{IN} = V_{IH}$ or V_{IL} (Note 3)		10	μA
I_{OZ12}	Off-State Output Leakage Current LOW	$V_{O12T} = 0$ V; $V_{(X)} = \text{Max}$ $V_{IN} = V_{IH}$ or V_{IL} (Note 3)		-10	μA
I_{sc}	Output Short-Circuit Current	$V_{O11T} = 0.5$ V; $V_{(X)} = \text{Max}$ (Note 4)	-5	-150	mA
I_{CC}	Supply Current	Outputs Open ($I_{O11T} = 0$ mA) $V_{(X)} = \text{Max}$	$f = 0$ MHz	30	μA
			$f = 15$ MHz	100	mA

- Notes:**
- These are absolute values with respect to device ground, and all overshoots due to system or tester noise are included.
 - Represents the worst case of IIC and IIC^T standards, allowing compatibility with either.
 - I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZ11}).
 - Not more than one output should be shorted at a time, and the duration of the short-circuit should not exceed one second. $V_{O11T} = 0.5$ V has been chosen to avoid test problems caused by tester ground degradation.



CAPACITANCE ¹

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
C_{IN}	Input Capacitance	$V_{IN} = 2.0\text{ V}$	$V_{(X)} = 5.0\text{ V}$ $T_A = 25^\circ\text{C}$ $f = 1\text{ MHz}$	5	pF
C_{OUT}	Output Capacitance	$V_{OUT} = 2.0\text{ V}$		8	

Note:

1. These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.

SWITCHING CHARACTERISTICS OVER INDUSTRIAL OPERATING RANGES ¹

Parameter Symbol	Parameter Description		-15		Unit
			Min	Max	
t_{PD}	Input or Feedback to Combinatorial Output			15	ns
t_S	Setup Time from Input, Feedback or SP to Clock		10		ns
t_H	Hold Time		0		ns
t_{CO}	Clock to Output			10	ns
t_{AR}	Asynchronous Reset to Registered Output			20	ns
t_{ARW}	Asynchronous Reset Width		15		ns
t_{ARR}	Asynchronous Reset Recovery Time		10		ns
t_{SR}	Synchronous Preset Recovery Time		10		ns
t_{WL}	Clock Width	LOW	8		ns
t_{WH}		HIGH	8		ns
f_{MAX}	Maximum Frequency (Note 2)	External Feedback	$1/(t_S + t_{CO})$	50	MHz
		Internal Feedback (t_{CNT})	$1/(t_S + t_{CF})$ (Note 3)	58.8	MHz
		No Feedback	$1/(t_{WH} + t_{WL})$	62.5	MHz
t_{EA}	Input to Output Enable Using Product Term Control			15	ns
t_{ER}	Input to Output Disable Using Product Term Control			15	ns

Notes:

1. See "Switching Test Circuit" for test conditions.
2. These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where frequency may be affected.
3. t_{CF} is a calculated value and is not guaranteed. t_{CF} can be found using the following equation:
 $t_{CF} = 1/f_{MAX}$ (Internal feedback) - t_S .



ABSOLUTE MAXIMUM RATINGS

Storage Temperature	-65°C to +150°C
Ambient Temperature with Power Applied	-55°C to +125°C
Supply Voltage with Respect to Ground	-0.5 V to +7.0 V
DC Input Voltage	-0.5 V to $V_{CC} + 0.5$ V
DC Output or I/O Pin Voltage	-0.5 V to $V_{CC} + 0.5$ V
Static Discharge Voltage	2001 V
Latchup Current ($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$)	100 mA

Stresses above those listed under Absolute Maximum Ratings may cause permanent device failure. Functionality at or above these limits is not implied. Exposure to Absolute Maximum Ratings for extended periods may affect device reliability. Programming conditions may differ.

OPERATING RANGES

Commercial (C) Devices

Ambient Temperature (T_A)	0°C to +75°C
Supply Voltage (V_{CC}) with Respect to Ground	+4.75 V to +5.25 V

Industrial (I) Devices

Ambient Temperature (T_A)	-40°C to +85°C
Supply Voltage (V_{CC}) with Respect to Ground	+4.5 V to +5.5 V

Operating ranges define those limits between which the functionality of the device is guaranteed.

DC CHARACTERISTICS OVER COMMERCIAL AND INDUSTRIAL OPERATING RANGES

Parameter Symbol	Parameter Description	Test Conditions		Min	Max	Unit
V_{OH}	Output HIGH Voltage	$V_{IN} = V_{IH}$ or V_{IL} $V_{(X)} = \text{Min}$	$I_{OH} = -6$ mA	3.84		V
			$I_{OH} = -20$ μ A	$V_{(X)} - 0.1$		V
V_{OL}	Output LOW Voltage	$V_{IN} = V_{IH}$ or V_{IL} $V_{(X)} = \text{Min}$	$I_{OL} = 16$ mA		0.5	V
			$I_{OL} = 6$ mA		0.33	V
			$I_{OL} = 20$ μ A		0.1	V
V_{IH}	Input HIGH Voltage	Guaranteed Input Logical HIGH Voltage for all Inputs (Notes 1, 2)		2.0		V
V_{IL}	Input LOW Voltage	Guaranteed Input Logical LOW Voltage for all Inputs (Notes 1, 2)			0.9	V
I_{IH}	Input HIGH Leakage Current	$V_{IN} = V_{(X)}$, $V_{(X)} = \text{Max}$ (Note 3)			10	μ A
I_{IL}	Input LOW Leakage Current	$V_{IN} = 0$ V, $V_{(X)} = \text{Max}$ (Note 3)			-10	μ A
I_{OZH}	Off-State Output Leakage Current HIGH	$V_{OLT} = V_{(X)}$, $V_{(X)} = \text{Max}$, $V_{IN} = V_{IH}$ or V_{IL} (Note 3)			10	μ A
I_{OZL}	Off-State Output Leakage Current LOW	$V_{OLT} = 0$ V, $V_{(X)} = \text{Max}$, $V_{IN} = V_{IH}$ or V_{IL} (Note 3)			-10	μ A
I_{SC}	Output Short-Circuit Current	$V_{OLT} = 0.5$ V, $V_{(X)} = \text{Max}$ (Note 4)		-5	-150	mA
I_{CC}	Supply Current	Outputs Open ($I_{OLT} = 0$ mA) $V_{(X)} = \text{Max}$	$f = 0$ MHz		30	mA
			$f = 15$ MHz		120	mA

Notes:

1. These are absolute values with respect to device ground, and all overshoots due to system or tester noise are included.
2. Represents the worst case of IIC and I²C standards, allowing compatibility with either.
3. I/O pin leakage is the worst case of I_{IL} and I_{OZL} (or I_{IH} and I_{OZH}).
4. Not more than one output should be shorted at a time, and the duration of the short-circuit should not exceed one second. $V_{OLT} = 0.5$ V has been chosen to avoid test problems caused by tester ground degradation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



CAPACITANCE ¹

Parameter Symbol	Parameter Description	Test Conditions		Typ	Unit
C_{IN}	Input Capacitance	$V_{IN} = 2.0\text{ V}$	$V_{CX} = 5.0\text{ V}$ $T_A = 25^\circ\text{C}$ $f = 1\text{ MHz}$	5	pF
C_{OUT}	Output Capacitance	$V_{OUT} = 2.0\text{ V}$		8	

Note:

1. These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where capacitance may be affected.

SWITCHING CHARACTERISTICS OVER COMMERCIAL AND INDUSTRIAL OPERATING RANGES ¹

Parameters Symbol	Parameter Description		-25		Unit
			Min	Max	
t_{PD}	Input or Feedback to Combinatorial Output (Note 2)			25	ns
t_S	Setup Time from Input, Feedback or SP to Clock		15		ns
t_H	Hold Time		0		ns
t_{CO}	Clock to Output			15	ns
t_{AR}	Asynchronous Reset to Registered Output			25	ns
t_{ARW}	Asynchronous Reset Width		25		ns
t_{ARR}	Asynchronous Reset Recovery Time		25		ns
t_{SPR}	Synchronous Preset Recovery Time		25		ns
t_{WL}	Clock Width	LOW	10		ns
t_{WH}		HIGH	10		ns
f_{MAX}	Maximum Frequency (Notes 3)	External Feedback	$1/(t_S + t_{CO})$	33.3	MHz
		Internal Feedback (t_{CNT})	$1/(t_S + t_{CF})$ (Note 4)	35.7	MHz
		No Feedback	$1/(t_{WH} + t_{WL})$	50	MHz
t_{EA}	Input to Output Enable Using Product Term Control			25	ns
t_{ER}	Input to Output Disable Using Product Term Control			25	ns

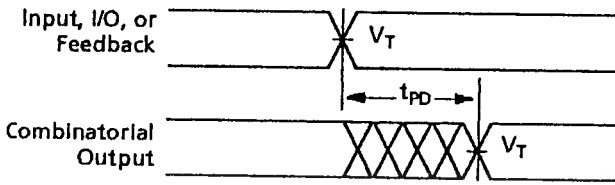
Notes:

1. See "Switching Test Circuit" for test conditions.
2. This parameter is tested in Standby Mode. When the device is not in Standby Mode, the t_{PD} will typically be 5 ns faster.
3. These parameters are not 100% tested, but are evaluated at initial characterization and at any time the design is modified where frequency may be affected.
4. t_{CF} is a calculated value and is not guaranteed. t_{CF} can be found using the following equation:
 $t_{CF} = 1/f_{MAX}$ (Internal feedback) - t_S .

PAL Devices

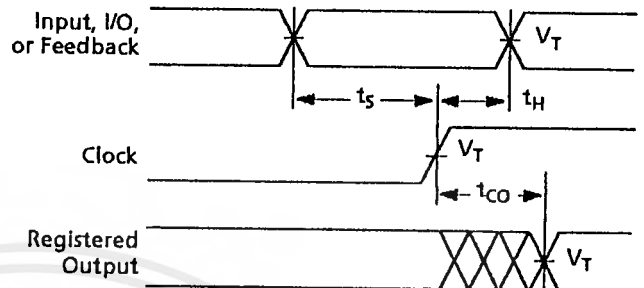


SWITCHING WAVEFORMS



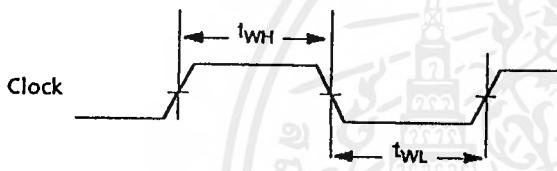
a. Combinatorial output

16564-007



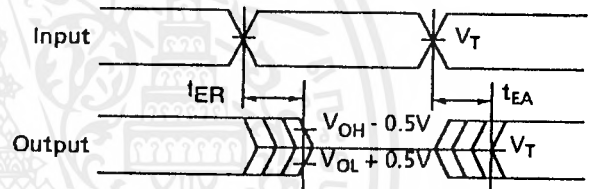
b. Registered output

16564-008



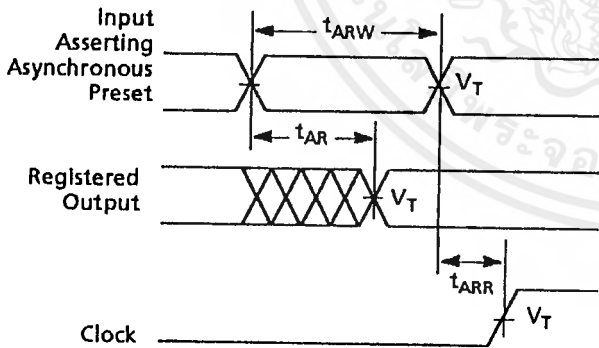
c. Clock width

16564-009



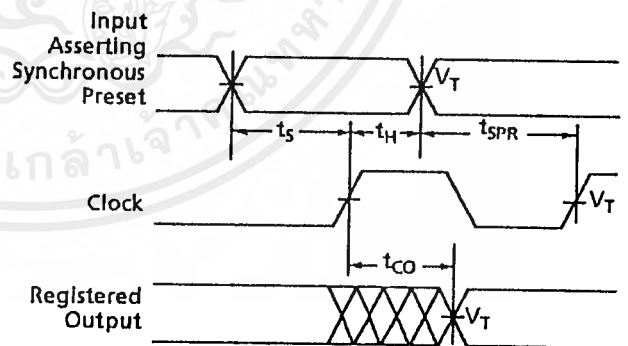
d. Input to output disable/enable

16564-010



e. Asynchronous reset

16564-011



f. Synchronous preset

16564-012

Notes:

1. $V_T = 1.5 \text{ V}$.
2. Input pulse amplitude 0 V to 3.0 V.
3. Input rise and fall times 2 ns to 5 ns typical.

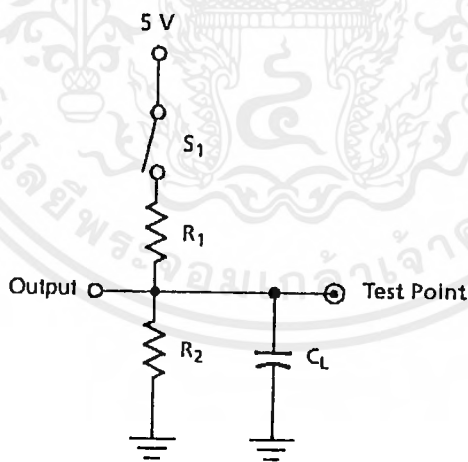


KEY TO SWITCHING WAVEFORMS

WAVEFORM	INPUTS	OUTPUTS
	Must be Steady	Will be Steady
	May Change from H to L	Will be Changing from H to L
	May Change from L to H	Will be Changing from L to H
	Don't Care, Any Change Permitted	Changing, State Unknown
	Does Not Apply	Center Line is High-Impedance "Off" State

16564E-013

SWITCHING TEST CIRCUIT



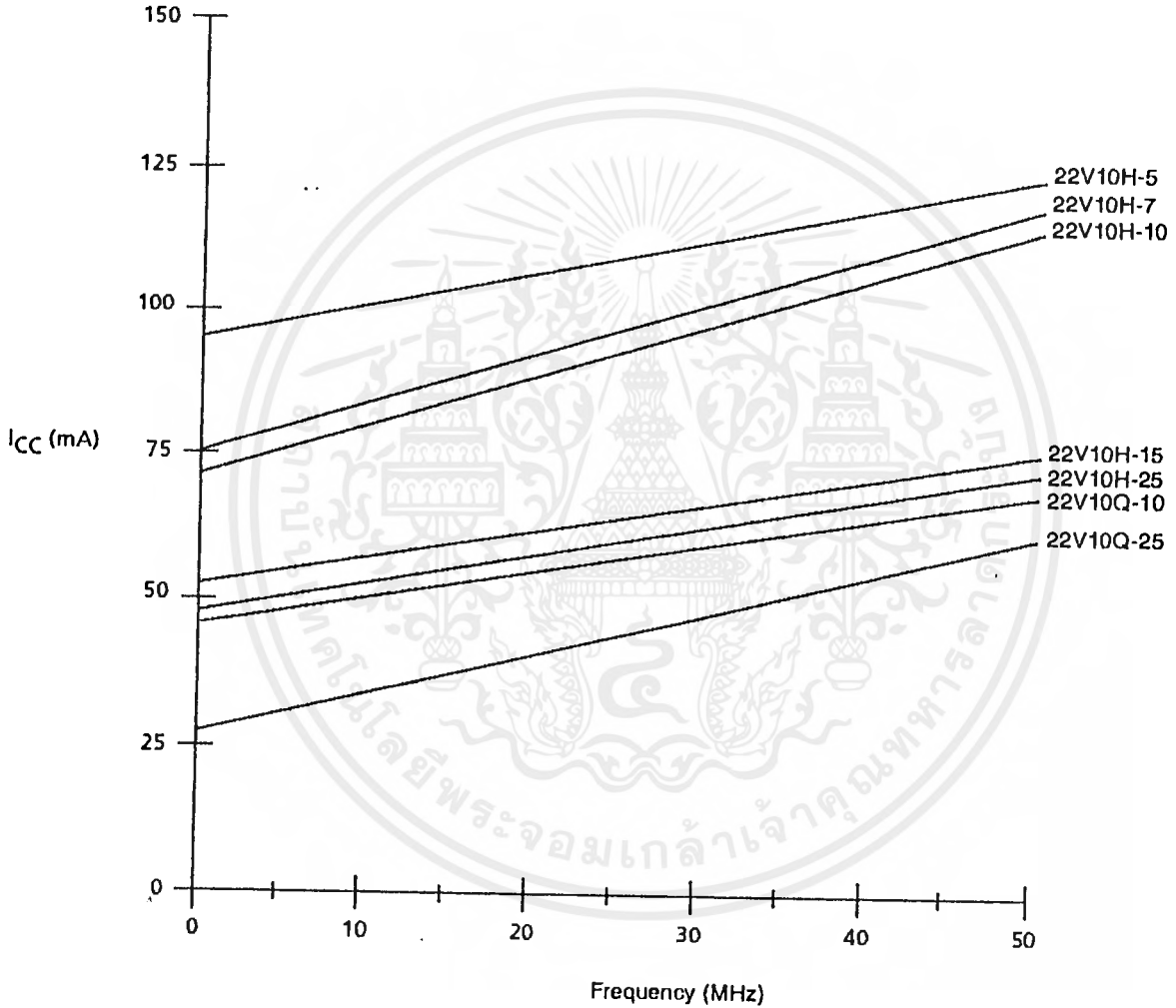
16564-014

Specification	S ₁	C _L	Commercial		Measured Output Value
			R ₁	R ₂	
t _{PD} , t _{CO}	Closed	50 pF	300 Ω	All except 11-5/7: 390 Ω	1.5 V
t _{EA}	Z → 11: Open Z → L: Closed				1.5 V
t _{ER}	11 → Z: Open L → Z: Closed	5 pF		11-5/7: 300 Ω	11 → Z: V _{OH} - 0.5 V L → Z: V _{OL} + 0.5 V



TYPICAL I_{CC} CHARACTERISTICS

$V_{CC} = 5.0 \text{ V}$, $T_A = 25^\circ\text{C}$



I_{CC} vs. Frequency

16564E-015

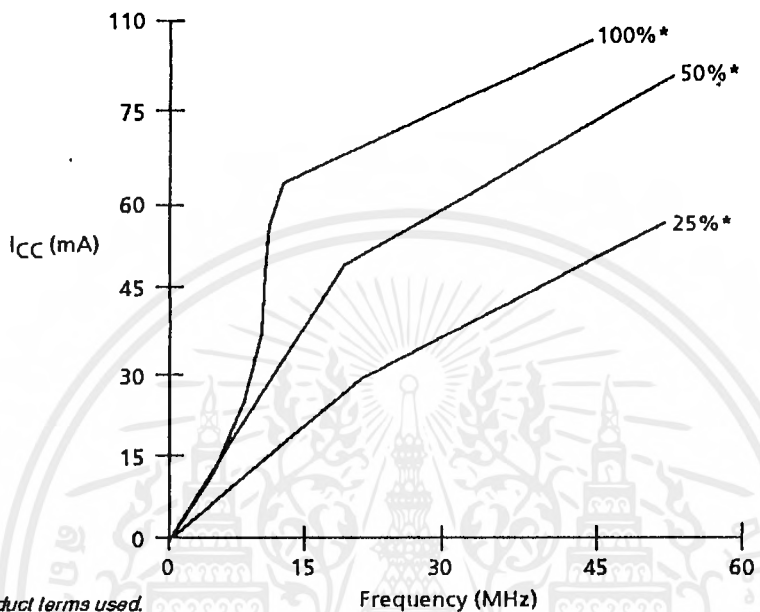
The selected "typical" pattern utilized 50% of the device resources. Half of the macrocells were programmed as registered, and the other half were programmed as combinatorial. Half of the available product terms were used for each macrocell. On any vector, half of the outputs were switching.

By utilizing 50% of the device; a midpoint is defined for I_{CC} . From this midpoint, a designer may scale the I_{CC} graphs up or down to estimate the I_{CC} requirements for a particular design.



TYPICAL I_{CC} CHARACTERISTICS FOR THE PALCE22V10Z-15

$V_{CC} = 5.0 \text{ V}$, $T_A = 25^\circ\text{C}$



*Percent of product terms used.

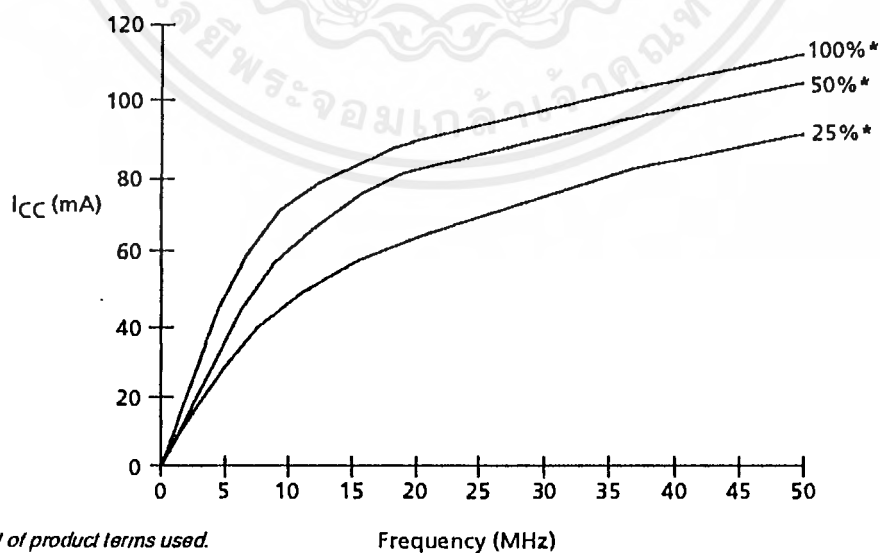
Frequency (MHz)

16564E-016

I_{CC} vs. Frequency Graph for the PALCE22V10Z-15

TYPICAL I_{CC} CHARACTERISTICS FOR THE PALCE22V10Z-25

$V_{CC} = 5.0 \text{ V}$, $T_A = 25^\circ\text{C}$



*Percent of product terms used.

Frequency (MHz)

16564E-017

I_{CC} vs. Frequency Graph for the PALCE22V10Z-25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงชื่อของเอกสารทุกครั้งที่มีการนำไปใช้

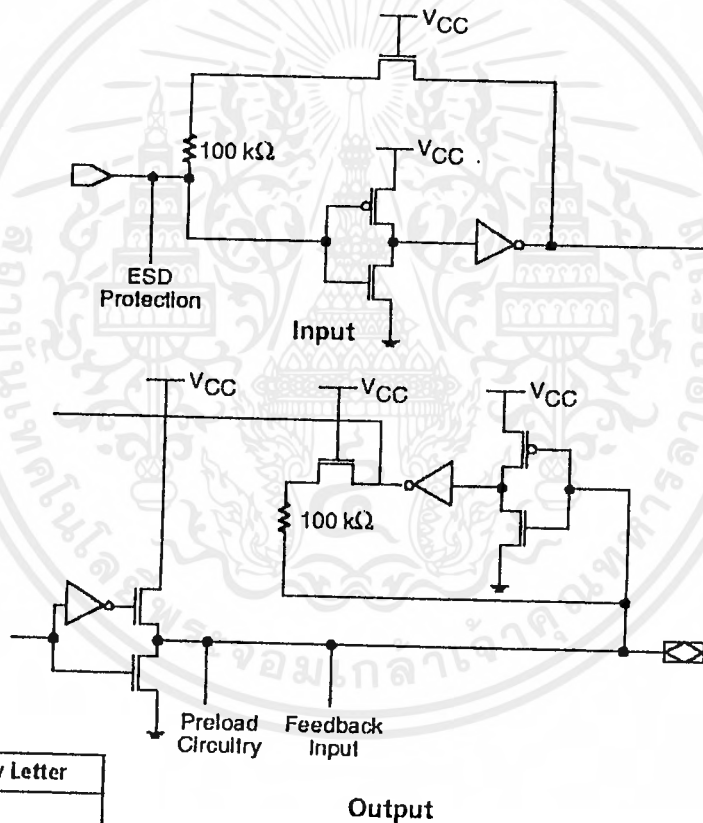


ENDURANCE CHARACTERISTICS

The PALCE22V10 is manufactured using Vantis' advanced electrically-erasable (EE) CMOS process. This technology uses an EE cell to replace the fuse link used in bipolar parts. As a result, the device can be erased and reprogrammed—a feature which allows 100% testing at the factory.

Symbol	Parameter	Test Conditions	Value	Unit
t_{DR}	Min Pattern Data Retention Time	Max Storage Temperature	10	Years
N	Max Reprogramming Cycles	Normal Programming Conditions	100	Cycles

INPUT/OUTPUT EQUIVALENT SCHEMATICS FOR SELECTED /4 DEVICES*



Device	Rev Letter
PALCE22V10H-15	II
PALCE22V10H-20H	
PALCE22V10H-25	
PALCE22V10Q-25I	I

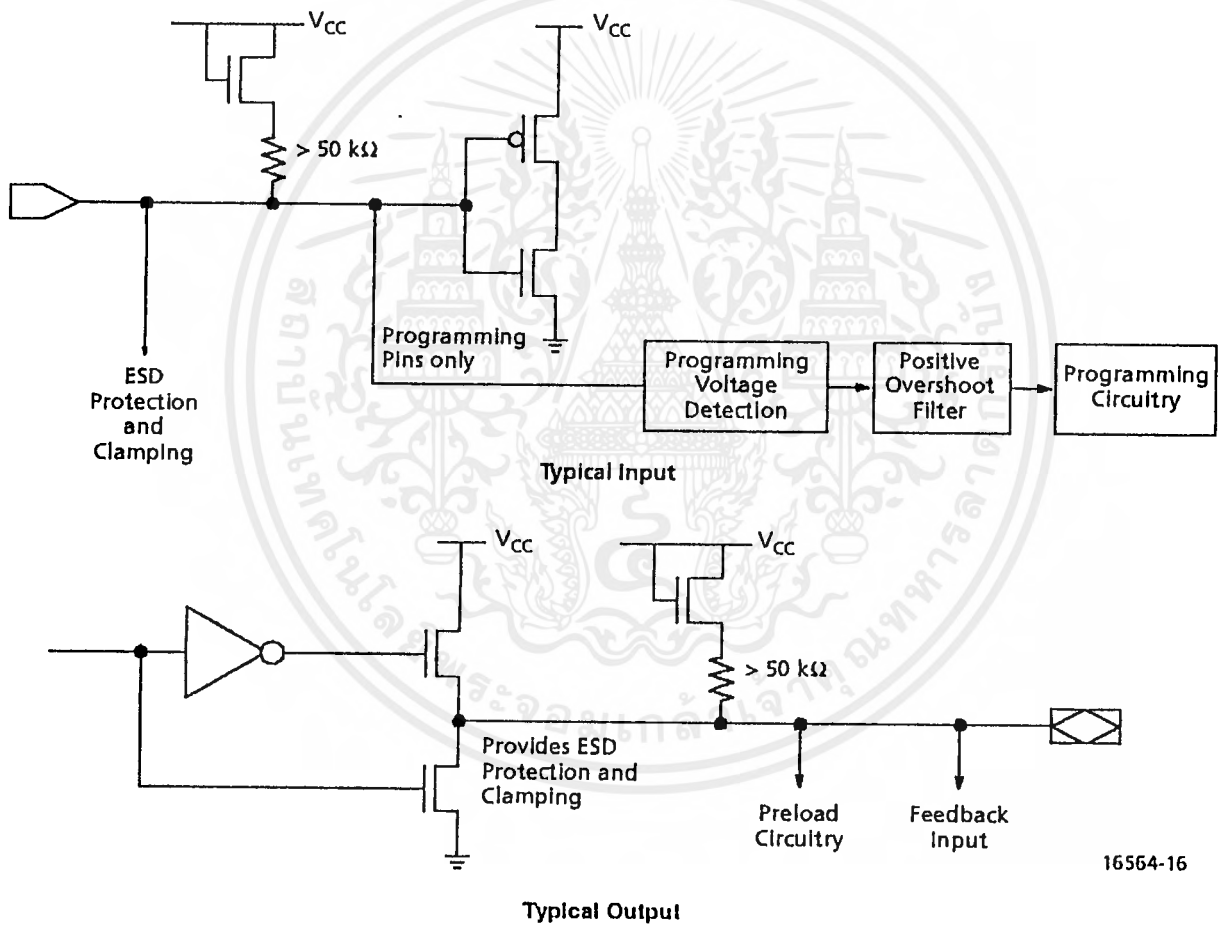
16564E-018



ROBUSTNESS FEATURES

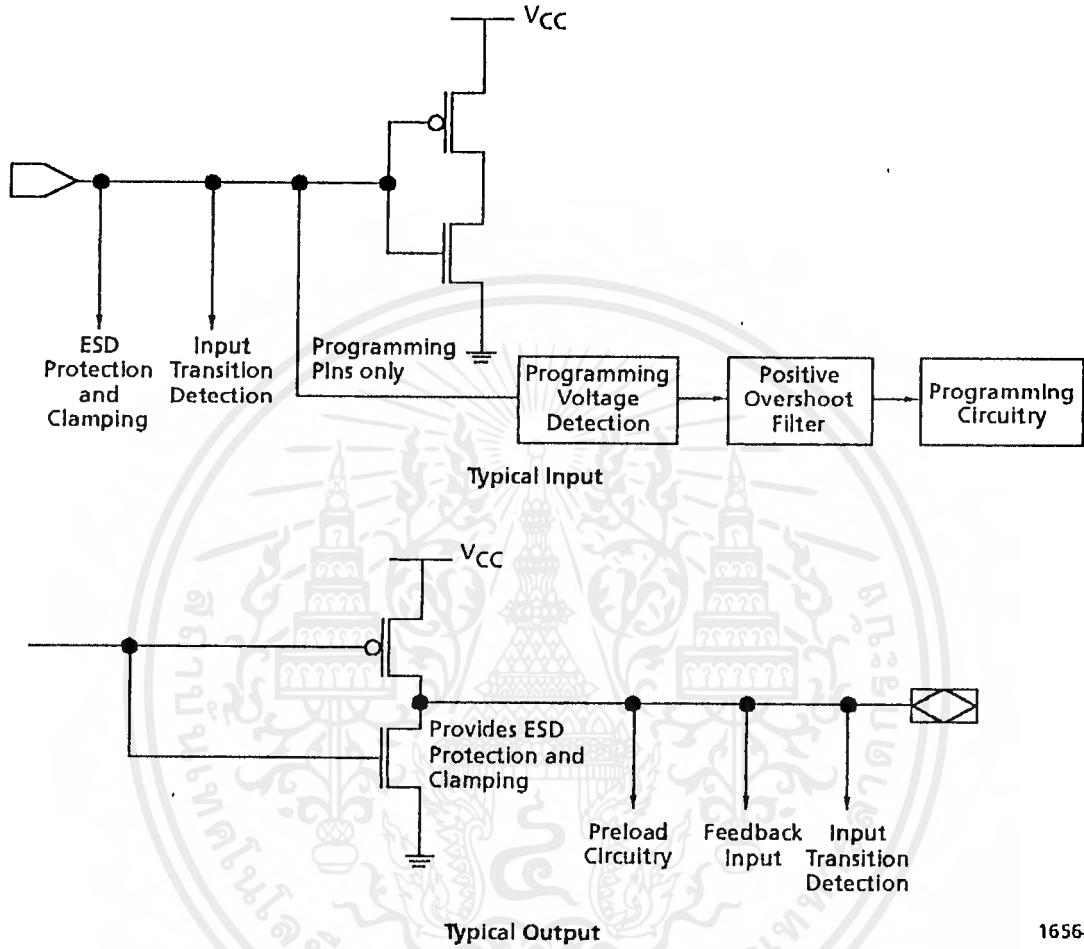
The PALCE22V10X-X/5 devices have some unique features that make them extremely robust, especially when operating in high-speed design environments. Pull-up resistors on inputs and I/O pins cause unconnected pins to default to a known state. Input clamping circuitry limits negative overshoot, eliminating the possibility of false clocking caused by subsequent ringing. A special noise filter makes the programming circuitry completely insensitive to any positive overshoot that has a pulse width of less than about 100 ns for the /5 version.

INPUT/OUTPUT EQUIVALENT SCHEMATICS FOR /5 VERSION AND DEVICES





INPUT/OUTPUT EQUIVALENT SCHEMATICS FOR PALCE22V10Z



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

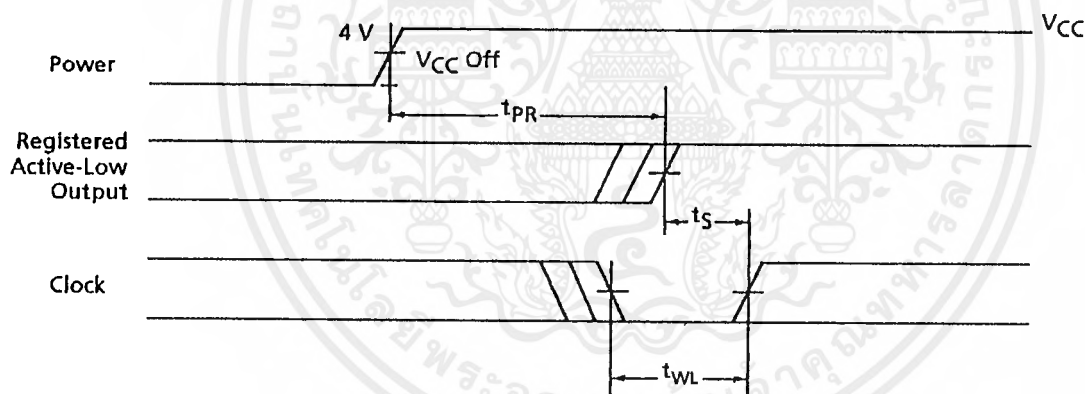


POWER-UP RESET

The power-up reset feature ensures that all flip-flops will be reset to LOW after the device has been powered up. The output state will depend on the programmed pattern. This feature is valuable in simplifying state machine initialization. A timing diagram and parameter table are shown below. Due to the synchronous operation of the power-up reset and the wide range of ways V_{CC} can rise to its steady state, two conditions are required to ensure a valid power-up reset. These conditions are:

- ◆ The V_{CC} rise must be monotonic.
- ◆ Following reset, the clock input must not be driven from LOW to HIGH until all applicable input and feedback setup times are met.

Parameter Symbol	Parameter Description	Max	Unit
t_{PR}	Power-up Reset Time	1000	ns
t_S	Input or Feedback Setup Time	See Switching Characteristics	
t_{WL}	Clock Width LOW		



16564E-021

Figure 3. Power-Up Reset Waveform



TYPICAL THERMAL CHARACTERISTICS

PALCE22V10

Measured at 25°C ambient. These parameters are not tested.

Parameter Symbol	Parameter Description	Typ		Unit	
		SKINNY DIP	PLCC		
θ_{jc}	Thermal impedance, junction to case	20	18	°C/W	
θ_{ja}	Thermal impedance, junction to ambient	73	55	°C/W	
θ_{jma}	Thermal impedance, junction to ambient with air flow	200 lpm air	66	48	°C/W
		400 lpm air	61	43	°C/W
		600 lpm air	55	40	°C/W
		800 lpm air	52	37	°C/W

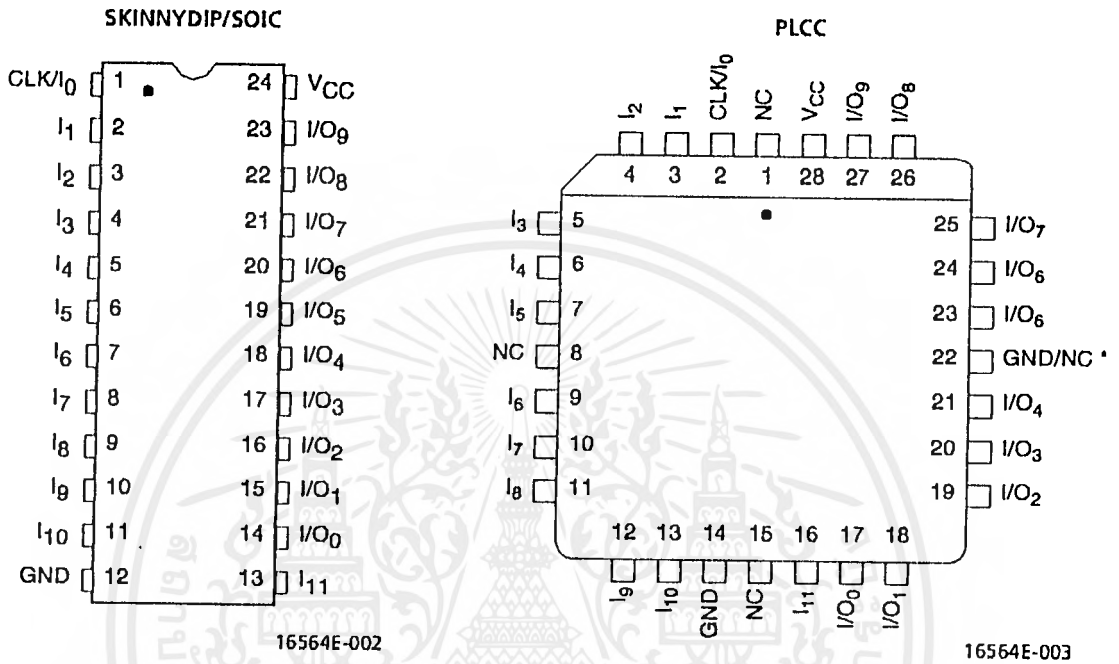
Plastic θ_{jc} Considerations

The data listed for plastic θ_{jc} are for reference only and are not recommended for use in calculating junction temperatures. The heat-flow paths in plastic-encapsulated devices are complex, making the θ_{jc} measurement relative to a specific location on the package surface. Tests indicate this measurement reference point is directly below the die-attach area on the bottom center of the package. Furthermore, θ_{jc} tests on packages are performed in a constant-temperature bath, keeping the package surface at a constant temperature. Therefore, the measurements can only be used in a similar environment.



CONNECTION DIAGRAMS

Top View



*For -5, this pin must be grounded for guaranteed data sheet performance. If not grounded, AC timing may degrade by about 10%.

Note:
Pin 1 is marked for orientation.

PIN DESIGNATIONS

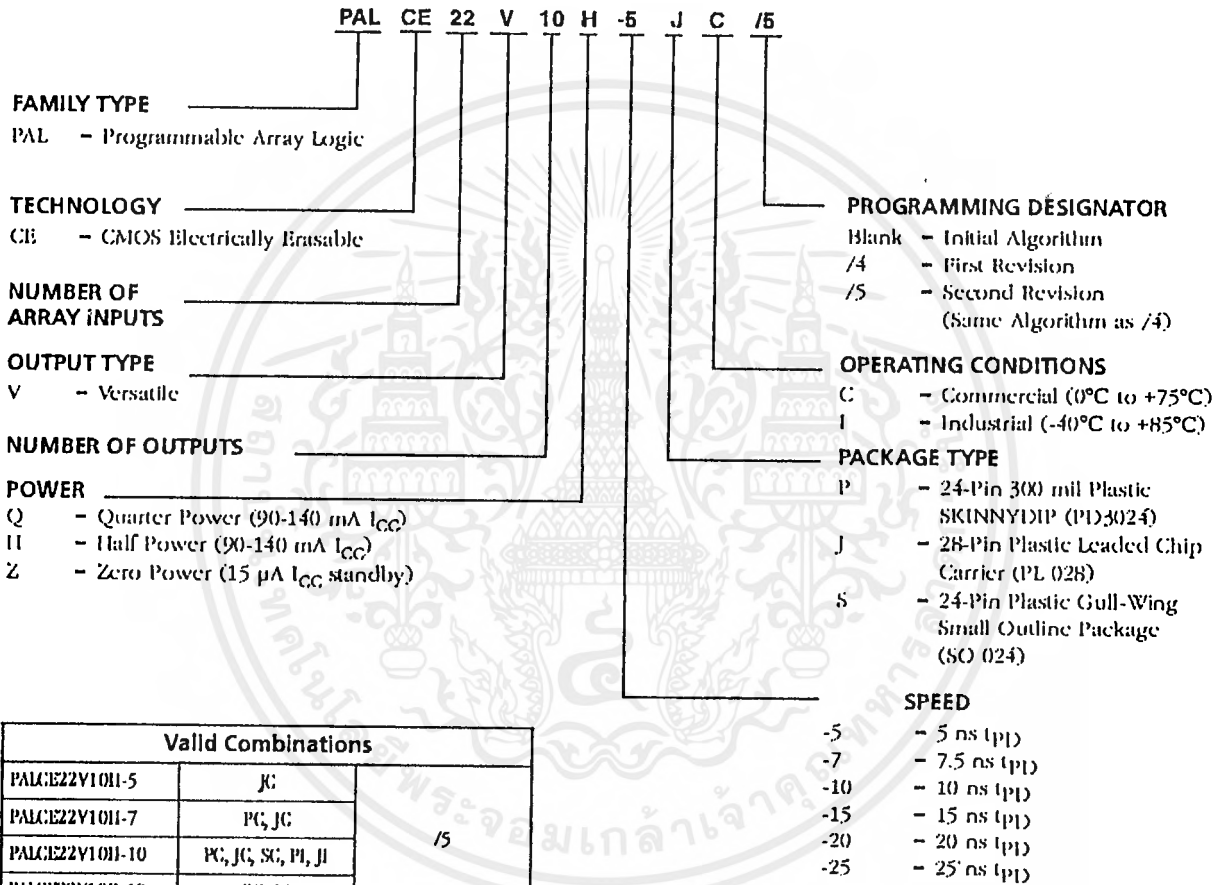
- CLK = Clock
- GND = Ground
- I = Input
- I/O = Input/Output
- NC = No Connect
- V_{CC} = Supply Voltage



ORDERING INFORMATION

Commercial and Industrial Products

Vantis programmable logic products for commercial and industrial applications are available with several ordering options. The order number (Valid Combination) is formed by a combination of:



Valid Combinations		
PALCE22V10H-5	JC	/5
PALCE22V10H-7	PC, JC	
PALCE22V10H-10	PC, JC, SC, PI, JI	
PALCE22V10Q-10	PC, JC	
PALCE22V10H-15	PC, JC, PI, JI, SI	/4
PALCE22V10Q-15	PC, JC	/5
PALCE22V10H-20	PI, JI	/4
PALCE22V10H-25	PC, JC, SC, PI, JI	/4
PALCE22V10Q-25	PC, JC	
PALCE22V10Z-15	PI, JI	
PALCE22V10Z-25	PC, JC, SC, PI, JI, SI	

Valid Combinations

Valid Combinations list configurations planned to be supported in volume for this device. Consult the local Vantis sales office to confirm availability of specific valid combinations and to check on newly released combinations.

5404/7404 Hex Inverter

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package		
		C	P	M		CF	C	P		M	CF	C		P	M	CF		C	P	M
T. I.	SN54S04	J	Q	W	SN54H04	J	Q	W	SN54LS04	J	Q	W	SN5404	J	Q	W	SN54L04	J	Q	W
	SN74S04	J	Q	W	SN74H04	J	Q	W	SN74LS04	J	Q	W	SN7404	J	Q	W	SN74L04	J	Q	W
FAIRCHILD	FMS4S04/FM9S04	D	L		FMS4H04/FM9H04	D	L		FMS4LS04/FM9LS04	D	L		FMT404/FM9404	D	L		FMT4L04/FM9L04	D	L	
	FC74S04/FC9S04	D	L		FC74H04/FC9H04	D	L		FC74LS04/FC9LS04	D	L		FMT404/FC9404	D	L		FMT4L04/FC9L04	D	L	
MOTOROLA					MC3108	L	1	F	MC3008	L	1	P	MC7404	L	1	P	MC7404	L	1	P
					DM54H04	J	Q		DM54LS04	J	Q		DM5404	J	Q		DM54L04	J	Q	
N. S. C.	DM74S04				DM74H04	J	Q		DM74LS04	J	Q		DM7404	J	Q		DM74L04	J	Q	
PHILIPS	N74S04				N74H04				N74LS04				FJH241/7404							
SIGNETICS	SS4S04	F	A	W	SS4H04	F	A	W	SS4LS04	F	A	W	SS404	F	A	W	SS4L04	F	A	W
	N74S04	F	A	W	N74H04	F	A	W	N74LS04	F	A	W	N7404	F	A	W	N74L04	F	A	W
SIEMENS													FLH211							
FUJITSU									74LS04				MB418							
HITACHI	HD74S04								HD74LS04				HD7404				HD74L04			
MITSUBISHI	M55S04								M74LS04				M53204							
NEC	74S04								74LS04				μPB235							
TOSHIBA													TD3404A							

Electrical Characteristics SN54LS04/SN74LS04

absolute maximum ratings over operating free-air temperature range

Supply voltage, V _{CC}	7V	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	7V	Storage temperature range	SN74LS	0°C to 100°C
		Storage temperature range		-65°C to 150°C

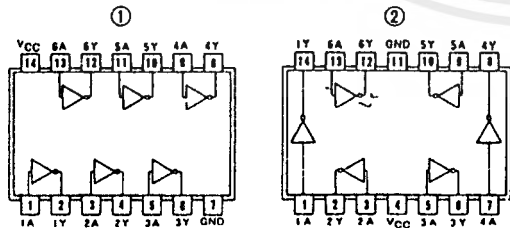
recommended operating conditions

	SN54LS04		SN74LS04		UNIT
	MIN	MAX	MIN	MAX	
Supply voltage, V _{CC}	4.5	5	4.75	5.25	V
High-level output current, I _{OH}		-400		-400	μA
Low-level output current, I _{OL}		4		8	mA
Duration free-air temperature, T _A	-55	125	0	70	°C

electrical characteristics over recommended operating free-air temperature range

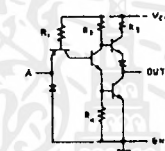
PARAMETER	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT	
V _{IH}	High-level input voltage		2		V	
V _{IL}	Low-level input voltage			0.8	V	
V _I	Input clamp voltage	V _{CC} = MIN, I _I = -18 mA		-1.5	V	
V _{OH}	High-level output voltage	V _{CC} = MIN, V _I = V _{IL} max, I _{OH} = MAX	2.7	3.4	V	
V _{OL}	Low-level output voltage	V _{CC} = MIN, V _{IH} = 2V, I _{OL} = 4 mA		0.4	V	
I _I	Input current at maximum input voltage	V _{CC} = MAX, V _I = 7V		0.1	mA	
I _{IH}	High-level input current	V _{CC} = MAX, V _{IH} = 2.7V		20	μA	
I _{IL}	Low-level input current	V _{CC} = MAX, V _{IL} = 0.4V		-0.4	mA	
I _{OS}	Short-circuit output current *	V _{CC} = MAX	54LS Family	-20	-100	mA
			74LS Family	-20	-100	mA
I _{CC} H	Supply current	V _{CC} = MAX	Total, outputs high	1.2	2.4	mA
I _{CC} L	Supply current		Total, outputs low	3.6	6.6	mA
I _{CC}	Supply current	V _{CC} = 5V	Average per gate (50% duty cycle)	0.4		mA
t _{PLH}	Propagation delay time, low-to-high-level output	V _{CC} = 5V, C _L = 15 pF, R _L = 2 kΩ, T _A = 25°C	9	15	ns	
t _{PHL}	Propagation delay time, high-to-low-level output		10	15	ns	

Pin Assignments (Top View)



positive logic:
Y = \bar{A}

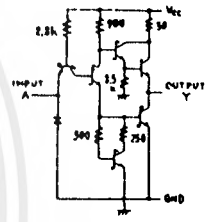
Schematics (each gate)



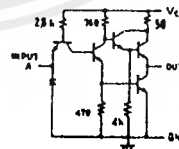
CIRCUIT	R1	R2	R3	R4
'04	4k	1.5k	130	1k
'L04	40k	20k	500	12k

Input clamp diodes not on SN54LS04/74LS04 circuits.

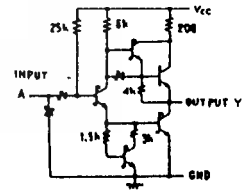
'04, 'L04 CIRCUITS



'S04 CIRCUIT



'H04 CIRCUIT



'LS04 CIRCUIT

Resistor values shown are nominal and in ohms

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5V, T_A = 25°C.

* Not more than one output should be shorted at a time, and for SN54H/74H* and SN54S/74S*, duration of short-circuit should not exceed 1 second.

5447A/7447A BCD-to-Seven Segment Decder/Driver (15V Output)

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL						
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package				
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF			
T.I.									SN54LS47	J	J		W	SN5447A	J	J		W	SN54LS47	J	J		W
FAIRCHILD									SN74LS47	J	J	N	J	SN7447A	J	J	N	J	SN74LS47	J	J	N	J
MOTOROLA													FM5447	F	M	9357B	D	I					
N.S.C.									DM54LS47					DM5447A									
PHILIPS									DM74LS47					DM7447A									
SIGNETICS													N7447										
SIEMENS													N7447					B					
FUJITSU									74LS47					FL171V									
HITACHI									HD74LS47				P	HD7447A				HD2532					
MTSUBISHI									MT74LS47				P	MS247									
NEC													μP-B2047										
TOSHIBA													TL3447A										

Electrical Characteristics SN54LS47A/SN74LS47A

absolute maximum ratings over operating free-air temperature range

Supply voltage, V _{CC}	7V	Operating free air temperature range	SN54LS47A	55°C to 125°C
Input voltage	7V	temperature range	SN74LS47A	0°C to 70°C
Current forced into any output in the off state	1 mA	Storage temperature range		65°C to 150°C

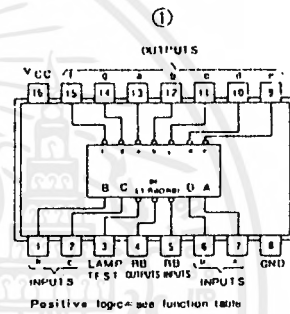
recommended operating conditions

	SN54LS47A			SN74LS47A			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V _{CC}	4.5	5	5.5	4.75	5	5.25	V
Off-state output voltage, V _O (off)	0 thru 0.15			15			V
On-state output current, I _O (on)	0 thru 0			12			mA
High-level output current, I _{OH}	BI/RBO			-50			μA
Low-level output current, I _{OL}	BI/RBO			1.6			3.2 mA
Operating free-air temperature, T _A	-55			125			0 to 70 °C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*	TEST CONDITIONS†	MIN	TY‡	MAX	UNIT
V _{IH} High-level input voltage			2		V
V _{IL} Low-level input voltage				0.8	V
V _I Input clamp voltage, any input except BI/RBO	V _{CC} = MIN, I _I = -18 mA			-1.5	V
V _{OH} High-level output voltage	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = 0.8 V, I _{OH} = -50 μA	2.4	4.2		V
V _{OL} Low-level output voltage	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = 0.8 V, I _{OL} = 1.6 mA	0.25	0.4		V
I _O (off) Off-state output current	V _{CC} = MAX, V _{IH} = 2 V, V _{IL} = 0.8 V, V _O (off) = MAX			250	μA
V _O (on) On-state output voltage	V _{CC} = MAX, V _{IH} = 2 V, V _{IL} = 0.8 V, I _O (on) = 12 mA	0.25	0.4		V
I _I Input current at maximum input voltage	V _{CC} = MAX, V _I = 7 V			0.1	mA
I _{IH} High-level input current	V _{CC} = MAX, V _I = 2.7 V			20	μA
I _{IL} Low-level input current	V _{CC} = MAX, V _I = 0.4 V			-0.4	mA
I _{OS} Short-circuit output current	V _{CC} = MAX	-0.3		-2	mA
I _{CC} Supply current	V _{CC} = MAX			7 13	mA
t _{off} Turn-off time from A input	V _{CC} = 5 V, T _A = 25°C			100	ns
t _{on} Turn-on time from A input				100	ns
t _{off} Turn-off time from RBI input	C _L = 15 pF, R _L = 665 Ω			100	ns
t _{on} Turn-on time from RBI input				100	ns

Pin Assignment (Top View)



- NOTES: 1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (RBI) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are off regardless of the level of any other input.
3. When ripple-blanking input (RBI) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output (RBO) goes to a low level (response condition).
4. When the blanking input/ripple blanking output (BI/RBO) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.
5. BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO).

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
 ‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
 * I_{CC} is measured with all outputs open and all inputs at 4.5V.
 † off corresponds to t_{PL} and t_{on} corresponds to t_{PHL}.

CONTINUED ON NEXT PAGE

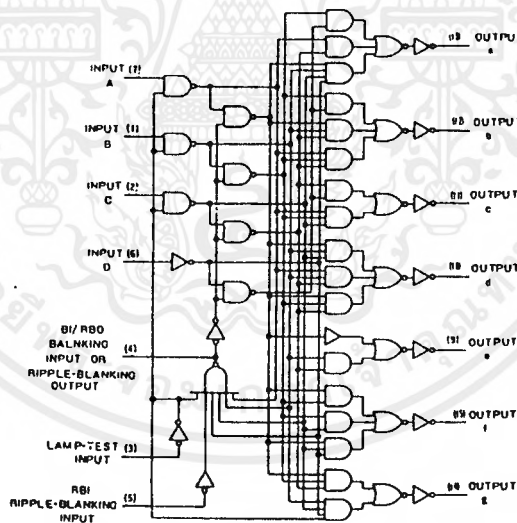
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Table

DECIMAL OR FUNCTION	INPUTS					BI/RBO #	OUTPUTS							NOTE	
	LT	RBI	O	C	B		A	a	b	c	d	e	f		g
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	1
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	H	L	L	H	OFF	OFF	OFF	ON	ON	OFF	
11	H	X	H	L	H	H	H	H	OFF	OFF	ON	ON	OFF	OFF	
12	H	X	H	H	L	L	L	H	OFF	ON	OFF	OFF	OFF	ON	
13	H	X	H	H	L	H	H	H	ON	OFF	ON	ON	OFF	ON	
14	H	X	H	H	H	L	L	H	OFF	OFF	OFF	ON	ON	ON	
15	H	X	H	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H=high level, L=low level, X=irrelevant

Schematic



'47A 'LSA47 'L47 BCD- TO-SEVEN-SEGMENT DECOER/DRIVER

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL								
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package								
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF					
T.I.	SNS4S74	J	Q	W		SNS4H74	J	Q	W		SNS4LS74	J	Q	W		SNS474	J	Q	W		SNS4L74	J	Q	W	
FAIRCHILD	SN74S74	J	Q	W		SN74H74	J	Q	W		SN74LS74	J	Q	W		SN7474	J	Q	W		SN74L74	J	Q	W	
	FM54S74/FM574	DD				FM54H74/FM574	DD				FM54LS74/FM574	DD				FM5474/FM574	DD								
MOTOROLA	FC74S74/FC9S74	DD				FC74H74/FC9H74	DD				FC74LS74/FC9LS74	DD				FC7474/FC974	DD								
											SN74LS74											DM54L74	J	Q	W
N.S.C.	DM74S74					DM54H74	J	Q	W		DM54LS74					DM5474	J	Q	W		DM54L74	J	Q	W	
						DM74H74	J	Q	W		DM74LS74					DM7474	J	Q	W		DM74L74	J	Q	W	
PHILIPS	N74S74					GJ1131/74H74					N74LS74					EJ1131/7474									
SIGNETICS	S54S74					S54H74	F	A	Q	W						S5474	F	A	Q	W					
	N74S74					N74H74	F	A	Q	W						N7474	F	A	Q	W					
SIEMENS																FLJ141									
FUJITSU											74LS74					MB420									
HITACHI	HD74S74										HD74LS74					HD7474/HD2S10									
MITSUBISHI	M74S74										M74LS74					M5327/M5374									
NEC	74S74										74LS74					μPB214									
TOSHIBA																TC3474A									

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

Supply voltage, V _{CC}	5V	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	5V	Storage temperature range	SN74LS	-65°C to 175°C

recommended operating conditions

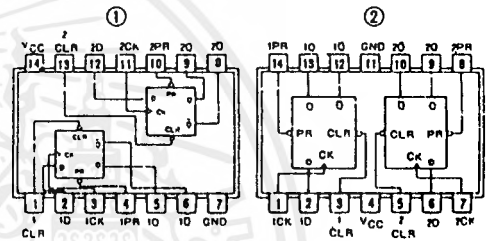
		SN54LS74		SN74LS74		UNIT
		MIN	MAX	MIN	MAX	
Supply voltage, V _{CC}		4.5	5	4.5	5	V
High-level output current, I _{OH}			-400		-400	mA
Low-level output current, I _{OL}			4		8	mA
Pulse width, t _p	Clear time	25		25		ns
	Preset or clear time	25		25		ns
Input setup time, t _{su}	High-level data	25		25		ns
	Low-level data	20		20		ns
Input hold time, t _{hd}		5		5		ns
Operating free-air temperature, T _A		-55	125	0	70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT	
V _{IH}	High-level input voltage		2		V	
V _{IL}	Low-level input voltage			0.8	V	
V _I	Input clamp voltage	V _{CC} = MIN, I _I = -18mA		-1.5	V	
V _{OH}	High-level output voltage	V _{CC} = MIN, V _{IH} = 2V, V _{IL} = 0.8V, I _{OH} = MAX	2.7	3.4	V	
V _{OL}	Low-level output voltage	V _{CC} = MIN, V _{IH} = 2V, V _{IL} = 0.8V, I _{OL} = 4mA		0.25	0.4	V
I _I	Input current at maximum input voltage	D, J, K, Clear		0.1	mA	
		Preset		0.2		
		Clock		0.1		
				20		
I _{IH}	High-level input current	D, J, K, Clear		40	μA	
		Preset		40		
		Clock		20		
				-0.4		
I _{IL}	Low-level input current	D, J, K, Clear		-0.8	mA	
		preset		-0.8		
		Clock		-0.4		
				-0.4		
I _{OS}	Short-circuit output current †	Series 54LS Series 74LS	V _{CC} = MAX	-20	-100	mA
I _{CC}	Supply current (Average per flip-flop)	V _{CC} = MAX. See Note 1		4	8	mA
f	clock frequency	V _{CC} = 5V, T _A = 25°C, C _L = 15pF, R _L = 2kΩ		25	33	MHz
t _{PLH}	from clear, preset or clock (as appropriate) to 0 or 1			13	25	ns
t _{PHL}				25	40	ns

1 For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
 2 All typical values are at V_{CC} = 5V, T_A = 25°C.
 3 Not more than one output should be shorted at a time.
 4 t_{PLH} = propagation delay time, low-to-high-level output;
 5 t_{PHL} = propagation delay time, high-to-low-level output;
 6 The arrow indicates the edge of the clock pulse used for reference; † for the rising edge.

Pin Assignments (Top View)

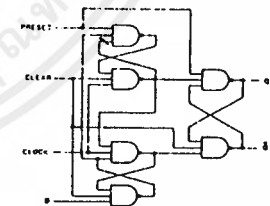


Functional Table

'74, 'H74, 'LS74, 'S74 (See Note 2)

INPUTS			OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q Q̄
L	H	X	X	H L
H	L	X	X	L H
L	L	X	X	H* H*
H	H	↑	H	H L
H	H	↓	L	L H
H	H	L	X	Q ₀ Q̄ ₀

Functional Block Diagram



'74, 'S74, 'H74, 'LS74, 'L74-DUAL D FLIP-FLOP WITH CLEAR AND PRESET

NOTES: 1 With all outputs open, I_{CC} is measured with the 0 and 1 outputs high in turn. At the time of measurement, the clock input is grounded.
 2 H = high level (steady state), L = low level (steady state), X = irrelevant
 ↑ = transition from low to high level.
 Q₀ = the level of Q before the indicated input conditions were established.
 * This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high-) level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5470/7490 Decade Counter

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL						
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package				
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF			
T.I.									SN54LS00	J			W	SN5490A	J		W	SN54LS90A	J	N	I	I	
FAIRCHILD									SN74LS00	J			W	SN7490A	J	N	I	I					
MOTOROLA									SN74LS00	J			W	MC5490	L		F	I					
N. S. C.									DM54LS00	J			W	DM5490	J	N	I	I	DM54LS90	J	N	I	I
PHILIPS									N74LS00	J			W	74LS90	J	N	I	I					
SIGNETICS									N74LS00	J			W	74LS90	J	N	I	I					
SIEMENS													1E1461	J		I							
FUJITSU																							
HITACHI									HD74LS00	J			W	HD7490A	J	N	I	I					
MITSUBISHI									M74LS00	J			W	M7490	J	N	I	I					
NEC													μPB719	J		C	I						
TOSHIBA													1T3490A	J		I							

Electrical Characteristics SN54LS/SN74LS90A

absolute maximum ratings over operating free-air temperature range

Supply voltage, V _{CC}	7V	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	7V	temperature range	SN74LS	0°C to 70°C
Intermittent voltage (see Note 1)	5.5V	Storage temperature range		-55°C to 150°C

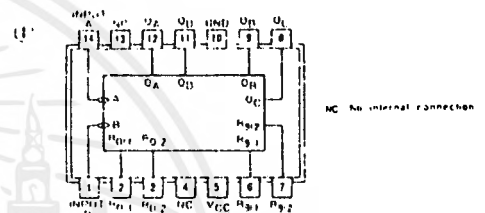
recommended operating conditions

	SN54LS90A			SN74LS90A			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V _{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I _{OH}			400			400	μA
Low-level output current, I _{OL}			4			8	mA
Count frequency, f _{count}	A input	0	32	0	32		kHz
	B input	0	16	0	16		
Pulse width, t _w	A input	15	15	15			ns
	B input	30	30				
Reset inputs	15	15					
Reset inactive-state setup, t _{setup}	25		25				ns
Operating free-air temperature, T _A	-55	125	0	70			°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER †	TEST CONDITIONS ‡	MIN	TYP ‡	MAX	UNIT	
V _{IH} High-level input voltage			2		V	
V _{IL} Low-level input voltage			0.8		V	
V _I Input clamp voltage	V _{CC} = MIN, I _I = -18mA		-1.5		V	
V _{OH} High-level output voltage	V _{CC} = MIN, V _{IH} = 2V, V _{IL} = 0.5V, I _{OH} = -400μA	2.7	3.4		V	
V _{OL} Low-level output voltage	V _{CC} = MIN, V _{IH} = 2V, V _{IL} = 0.5V, I _{OL} = 8mA		0.35	0.5	V	
I _I Input current at maximum input voltage	Any reset			0.1	mA	
	A input	V _{CC} = MAX, V _I = 5V		0.2	mA	
I _{IH} High-level input current	Any reset			20	μA	
	A input	V _{CC} = MAX, V _I = 2.7V		40	μA	
I _{IL} Low-level input current	Any reset			0.4	mA	
	A input	V _{CC} = MAX, V _I = 0.4V		2.4	mA	
I _{OS} Short-circuit output current *		V _{CC} = MAX	SN54LS	-20	-100	mA
			SN74LS	-20	-100	mA
I _{CC} Supply current	V _{CC} = MAX, See Note 2		9	15	mA	
f _{max}	from A to output O _A		32	42	MHz	
	from B to output O _B		16			
I _{PLH}	from A to output O _A		10	16	ns	
I _{PHL}	from A to output O _D		12	18		
I _{PLH}	from A to output O _D	V _{CC} = 5V	32	48	ns	
I _{PHL}	from B to output O _B	T _A = 25°C	34	50		
I _{PLH}	from B to output O _C	CL = 15pF	10	16	ns	
I _{PHL}	from B to output O _C	RL = 2kΩ	14	21		
I _{PLH}	from B to output O _D		21	32	ns	
I _{PHL}	from B to output O _D		23	35		
I _{PLH}	from Set-to-0 to Any output		21	32	ns	
I _{PHL}	from Set-to-0 to output O _A , O _D		23	35		
I _{PLH}	from Set-to-9 to output O _A , O _D		26	40	ns	
I _{PHL}	from Set-to-9 to output O _B , O _C		20	30		
I _{PHL}	from Set-to-9 to output O _B , O _C		26	40	ns	

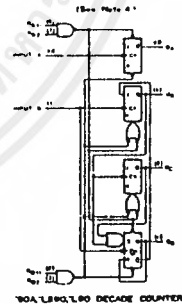
Pin Assignment (Top View)



Function Table

BCD COUNT SEQUENCE			BI-QUINARY (2-7)			RESET COUNT		
COUNT	OUTPUT		COUNT	OUTPUT		RESET INPUTS	OUTPUT	
	O _A O _B O _C O _D			O _A O _B O _C O _D		R ₀₁ R ₀₂ R ₀₃ R ₀₄	O _A O _B O _C O _D	
0	L L L L		0	L L L L		L L L L	L L L L	
1	L L L H		1	L L L H		L L L L	L L L L	
2	L L H L		2	L L L H		L L L L	L L L L	
3	L L H H		3	L L H L		L L L L	L L L L	
4	L H L L		4	L H L L		L L L L	L L L L	
5	L H L H		5	L H L H		L L L L	L L L L	
6	L H H L		6	L H L H		L L L L	L L L L	
7	L H H H		7	L H H L		L L L L	L L L L	
8	H L L L		8	H L L L		L L L L	L L L L	
9	H L L H		9	H L L L		L L L L	L L L L	

Functional Block Diagram



- NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies between the two R₀ inputs, and it also applies between the two R₁ inputs.
2. I_{CC} is measured with all outputs open, both R₀ inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.
3. Output O_A is connected to input B for BCD count. Output O_D is connected to input A for bi-quinary count. H = high level, L = low level, X = irrelevant.
4. The J and K inputs shown without connection are for reference only and are functionally at a high level.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.

‡ All typical values are at V_{CC} = 5V, T_A = 25°C.

* Not more than one output should be shorted at a time.

§ O_A Outputs are tested at I_{OL} = 16mA plus the limit value for I_{OL} for the B input. This limits driving the B input while maintaining full fan-out capability.

• max = maximum count frequency.

t_{PLH} = propagation delay time, low to high-level output

t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54125/74125 Quadruple Bus Buffer Gate with Three-State Output

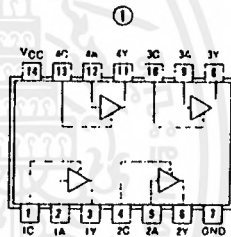
	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Tow-Power TTL							
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package					
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF				
T.I.													SN54125	J(0)		WD								
FAIRCHILD									F74LS125			PQ												
MOTOROLA																								
N.S.C.									SN74LS125			P(0)												
PHILIPS									DM54LS125			(0)					DM74125			N(0)				
SIEMENS									DM74LS125			(0)												
FUJITSU									N74LS125			(0)												
HITACHI																								
MITSUBISHI																	HD74125			P(J)				
NEC																	M74125			P(T)				
TOSHIBA																								

Electrical Characteristics SN54LS125/SN74LS125

absolute maximum ratings over operating free-air temperature range			
Supply voltage, V _{CC}	TV	Operating free-air temperature range	SN54LS -55°C to 125°C
Input voltage	TV	Storage temperature range	SN74LS 0°C to 70°C
			-55°C to 150°C
recommended operating conditions			
		SN54LS125	SN74LS125
		MIN NOM MAX	MIN NOM MAX UNIT
Supply voltage, V _{CC}		4.5 5 5.5	4.75 5 5.25 V
High-level output current, I _{OH}		-1	-2.8 mA
Low-level output current, I _{OL}		12	24 mA
Operating free-air temperature, T _A		-55 125 0	70 °C

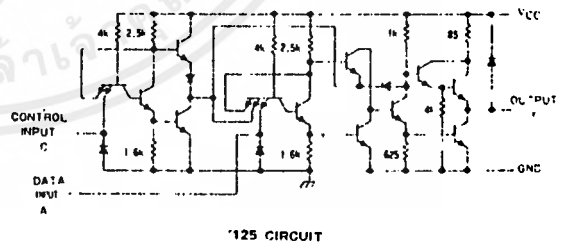
electrical characteristics over recommended operating free-air temperature range					
PARAMETER	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT
V _{IH}	High-level input voltage		2		V
V _{IL}	Low-level input voltage			0.8	V
V _I	Input clamp voltage	V _{CC} - MIN, I _I = -18mA		1.5	V
V _{OH}	High-level output voltage	V _{CC} - MIN, V _{IH} = 2V, V _{IL} = 0.8V, I _{OH} = MAX	54LS Family 2.4		V
			74LS Family 2.4		
V _{OL}	Low-level output voltage	V _{CC} - MIN, V _{IH} = 2V, V _{IL} = 0.8V, I _{OL} = MAX		0.35 0.5	V
I _{O(off)}	Off-state (high-impedance state) output current	V _{CC} - MAX, V _O = 2.4V, V _{IH} = 2V, V _{IL} = 0.8V		20	µA
I _I	Input current at maximum input voltage	V _{CC} - MAX, V _I = 7V		0.1	mA
I _{IH}	High-level input current	V _{CC} - MAX, V _{IH} = 2.7V		20	µA
I _{IL}	Low-level input current	V _{CC} - MAX, V _{IL} = 0.4V		0.4	mA
I _{OS}	Short-circuit output current †	V _{CC} - MAX, 54LS Family	90	225	mA
		74LS Family	40	225	
I _{CC}	Supply current	V _{CC} - MAX, DATA INPUT = 0V, OUTPUT CONTROL = 4.5V	11	20	mA
t _{PLH}	Propagation delay time, low-to-high-level output	V _{CC} 5V T _A 25°C C _L = 45PF, R _L = 66Ω	9	15	ns
t _{PHL}	Propagation delay time, high-to-low-level output		18	ns	
t _{ZH}	Output enable time to high level		12	20	ns
t _{ZL}	Output enable time to level		15	25	ns
t _{HZ}	Output disable time from high level		20	ns	
t _{LZ}	Output disable time from low level		20	ns	

Pin Assignment (Top View)



positive logic:
Y = A
Output is off (disabled) when C is high

Schematic (each gate)



Resistor values shown are nominal and in ohms

† For conditions shown as MIN or MAX, use the appropriate value from the recommended operating conditions.

‡ All typical values are at V_{CC} = 5V, T_A = 25°C.

†† Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package		
		C	P	M		CF	C	P		M	CF	C		P	M	CF		C	P	M
T.I.																				
FAIRCHILD																				
MOTOROLA																				
N.S.C.																				
PHILIPS																				
SIGNETICS																				
SIEMENS																				
FUJITSU																				
HITACHI																				
MITSUBISHI																				
NEC																				
TOSHIBA																				
AMD																				

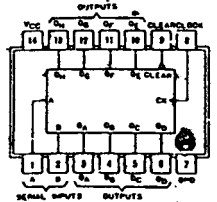
Electrical Characteristics SN54LS164/SN74LS164

absolute maximum ratings over operating free-air temperature range			
Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54 ¹ -55°C to 125°C
Input voltage	7V		SN74 ² 0°C to 70°C
		Storage temperature range	-65°C to 150°C
recommended operating conditions			
		SN54LS164	SN74LS164
		MIN NOM MAX	MIN NOM MAX
Supply voltage, V_{CC}		4.5 5 5.5	4.75 5 5.25
High-level output current, I_{OH}		-400	-400
Low-level output current, I_{OL}		4	8
Clock frequency, f_{clock}		0 25 0	25
Width of clock or clear input pulse, t_w		20	20
Data setup time, t_{setup}		15	15
Data hold time, t_{hold}		5	5
Operating free-air temperature, T_A		-55 125 0	70

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT
V_{IH} High-level input voltage			2		V
V_{IL} Low-level input voltage				0.8	V
V_I Input clamp voltage	$V_{CC} = \text{MIN.}, I_I = -18\text{mA}$			-1.5	V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN.}, V_{IH} = 2\text{V}, V_{IL} = 0.8\text{V}, I_{OH} = -400\mu\text{A}$	2.7	3.5		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN.}, V_{IH} = 2\text{V}, V_{IL} = 0.8\text{V}, I_{OL} = 8\text{mA}$	0.35	0.5		V
I_I Input current maximum	$V_{CC} = \text{MAX.}, V_I = 7\text{V}$		0.1		mA
I_{IH} High-level input current	$V_{CC} = \text{MAX.}, V_I = 2.7\text{V}$		20		μA
I_{IL} Low-level input current	$V_{CC} = \text{MAX.}, V_I = 0.4\text{V}$		0.4		mA
I_{OS} Short-circuit output current †	$V_{CC} = \text{MAX.}$	SN54LS -20		100	mA
		SN74LS -20		100	mA
I_{CC} Supply current	$V_{CC} = \text{MAX.}$, See Note 1		16	27	mA
f_{max} Maximum clock frequency	$V_{CC} = 5\text{V}$	$C_L = 15\text{pF}$	25	36	MHz
t_{PHL} Propagation delay time, high-to-low level 0 outputs from clear input	$V_{CC} = 5\text{V}, T_A = 25^\circ\text{C}, R_L = 2\text{k}\Omega$	$C_L = 15\text{pF}$	24	36	ns
t_{PLH} Propagation delay time, low-to-high level 0 outputs from clock input		$C_L = 15\text{pF}$	17	27	ns
t_{PHL} Propagation delay time, high-to-low level 0 outputs from clock input		$C_L = 15\text{pF}$	21	32	ns

Pin Assignment (Top View)



positive logic; see function table

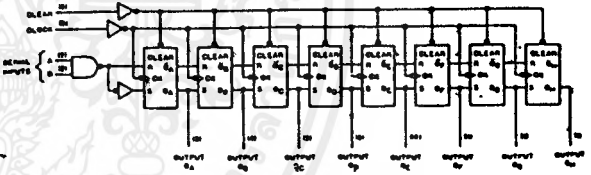
† For conditions shown at MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
 ‡ All typical values are at $V_{CC} = 5\text{V}, T_A = 25^\circ\text{C}$.
 * Not more than two outputs should be shorted at a time.

Function Table

164, LS164, L164 (see Note 2)

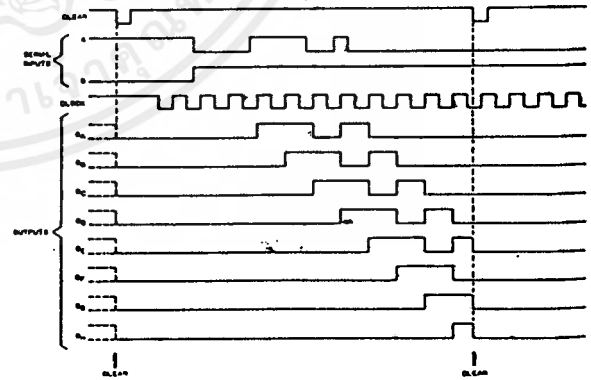
INPUTS				OUTPUTS		
CLEAR	CLOCK	A B	QA	QB	QH	
L	X	X X	L	L	L	
H	L	X X	Q_{An}	Q_{Bn}	Q_{Hn}	
H	↑	H H	H	Q_{An}	Q_{Hn}	
H	↑	L X	L	Q_{An}	Q_{Hn}	
H	↑	X L	L	Q_{An}	Q_{Hn}	

Functional Block Diagram



164, LS164, L164 8-BIT PARALLEL-OUT SHIFT REGISTER

typical clear, shift, and clear sequences



- NOTES: 1. I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5V, applied to clear.
 2. H = High level (steady state), L = Low-level (steady state)
 X = irrelevant (any input, including transitions)
 ↑ = transition from low to high level.
 Q_{An}, Q_{Bn}, Q_{Hn} = the level of $Q_A, Q_B,$ or Q_H , respectively, before the indicated steady-state input conditions were established.
 Q_{An}, Q_{Hn} = the level of Q_A or Q_G before the most-recent ↑ transition of the clock; indicates a one-bit shift.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



DAC0808, DAC0807, DAC0806 8-Bit D/A Converters

General Description

The DAC0808 series is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with $\pm 5V$ supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ± 1 LSB of $255 I_{REF} / 256$. Relative accuracies of better than $\pm 0.19\%$ assure 8-bit monotonicity and linearity while zero level output current of less than $4 \mu A$ provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 series are independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

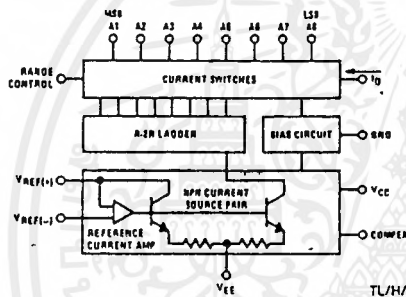
The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the

MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

Features

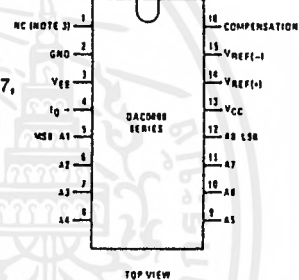
- Relative accuracy: $\pm 0.19\%$ error maximum (DAC0808)
- Full scale current match: ± 1 LSB typ
- 7 and 6-bit accuracy available (DAC0807, DAC0806)
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/ μs
- Power supply voltage range: $\pm 4.5V$ to $\pm 18V$
- Low power consumption: 33 mW @ $\pm 5V$

Block and Connection Diagrams



Order Number
**DAC0808, DAC0807,
 or DAC0806**
 See NS Package
 Number J16A,
 M16A or N16A

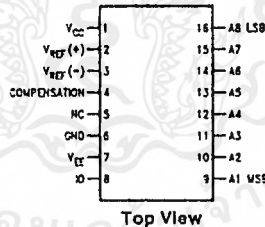
Dual-In-Line Package



TL/H/5687-1

TL/H/5687-2

Small-Outline Package



TL/H/5687-13

Top View

Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	ORDER NUMBERS				
		J PACKAGE (J16A)*		N PACKAGE (N16A)*		SO PACKAGE (M16A)
8-bit	$-55^{\circ}C \leq T_A \leq +125^{\circ}C$	DAC0808LJ	MC1508L8	DAC0808LCN	MC1408P8	DAC0808LCM
8-bit	$0^{\circ}C \leq T_A \leq +75^{\circ}C$	DAC0808LCJ	MC1408L8	DAC0807LCN	MC1408P7	DAC0807LCM
7-bit	$0^{\circ}C \leq T_A \leq +75^{\circ}C$	DAC0807LCJ	MC1408L7	DAC0806LCN	MC1408P6	DAC0806LCM
6-bit	$0^{\circ}C \leq T_A \leq +75^{\circ}C$	DAC0806LCJ	MC1408L6			

*Note. Devices may be ordered by using either order number.

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Power Supply Voltage	
V _{CC}	+ 18 V _{DC}
V _{EE}	- 18 V _{DC}
Digital Input Voltage, V ₅ -V ₁₂	- 10 V _{DC} to + 18 V _{DC}
Applied Output Voltage, V _O	- 11 V _{DC} to + 18 V _{DC}
Reference Current, I ₁₄	5 mA
Reference Amplifier Inputs, V ₁₄ , V ₁₅	V _{CC} , V _{EE}
Power Dissipation (Note 3)	1000 mW
ESD Susceptibility (Note 4)	TBD

Storage Temperature Range	- 65°C to + 150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260°C
Dual-In-Line Package (Ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Ratings

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
DAC0808L	$-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$
DAC0808LC Series	$0 \leq T_A \leq +75^\circ\text{C}$

Electrical Characteristics

(V_{CC} = 5V, V_{EE} = - 15 V_{DC}, V_{REF}/R₁₄ = 2 mA, DAC0808: T_A = - 55°C to + 125°C, DAC0808C, DAC0807C, DAC0806C, T_A = 0°C to + 75°C, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E _r	Relative Accuracy (Error Relative to Full Scale I _O) DAC0808L (LM1508-8), DAC0808LC (LM1408-8) DAC0807LC (LM1408-7), (Note 5) DAC0806LC (LM1408-6), (Note 5) Settling Time to Within 1/2 LSB (Includes I _{PLH})	(Figure 4)				%
					± 0.19	%
					± 0.39	%
				150	± 0.78	%
		T _A = 25°C (Note 6), (Figure 5)				ns
t _{PLH} , t _{PHL}	Propagation Delay Time	T _A = 25°C, (Figure 5)		30	100	ns
TC _{IO}	Output Full Scale Current Drift			± 20		ppm/°C
MSB V _{IH} V _{IL}	Digital Input Logic Levels High Level, Logic "1" Low Level, Logic "0"	(Figure 3)	2		0.8	V _{DC} V _{DC}
MSB	Digital Input Current High Level Low Level	(Figure 3) V _{IH} = 5V V _{IL} = 0.8V		0 -0.003	0.040 -0.8	mA mA
I ₁₅	Reference Input Bias Current	(Figure 3)		-1	-3	μA
	Output Current Range	(Figure 3) V _{EE} = -5V V _{EE} = -15V, T _A = 25°C	0 0	2.0 2.0	2.1 4.2	mA mA
I _O	Output Current	V _{REF} = 2.000V, R ₁₄ = 1000Ω, (Figure 3)	1.9	1.99	2.1	mA
	Output Current, All Bits Low	(Figure 3)		0	4	μA
	Output Voltage Compliance (Note 2) V _{EE} = -5V, I _{REF} = 1 mA V _{EE} Below -10V.	E _r ≤ 0.19%, T _A = 25°C			-0.55, +0.4 -5.0, +0.4	V _{DC} V _{DC}

Electrical Characteristics (Continued)

($V_{CC} = 5V$, $V_{EE} = -15V_{DC}$, $V_{REF}/R14 = 2mA$, DAC0808: $T_A = -55^{\circ}C$ to $+125^{\circ}C$, DAC0808C, DAC0807C, DAC0806C, $T_A = 0^{\circ}C$ to $+75^{\circ}C$, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
SRI_{REF}	Reference Current Slew Rate	(Figure 6)	4	8		mA/ μ s
	Output Current Power Supply Sensitivity	$-5V \leq V_{EE} \leq -16.5V$		0.05	2.7	μ A/V
I_{CC} I_{EE}	Power Supply Current (All Bits Low)	(Figure 3)		2.3 -4.3	22 -13	mA mA
V_{CC} V_{EE}	Power Supply Voltage Range	$T_A = 25^{\circ}C$, (Figure 3)	4.5 -4.5	5.0 -15	5.5 -16.5	V_{DC} V_{DC}
	Power Dissipation					
	All Bits Low	$V_{CC} = 5V$, $V_{EE} = -5V$ $V_{CC} = 5V$, $V_{EE} = -15V$		33 106	170 305	mW mW
	All Bits High	$V_{CC} = 15V$, $V_{EE} = -5V$ $V_{CC} = 15V$, $V_{EE} = -15V$		90 160		mW mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: Range control is not required.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX} , θ_{JA} , and the ambient temperature, T_A . The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, $T_{JMAX} = 125^{\circ}C$, and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is $100^{\circ}C/W$. For the dual-in-line N package, this number increases to $175^{\circ}C/W$ and for the small outline M package this number is $100^{\circ}C/W$.

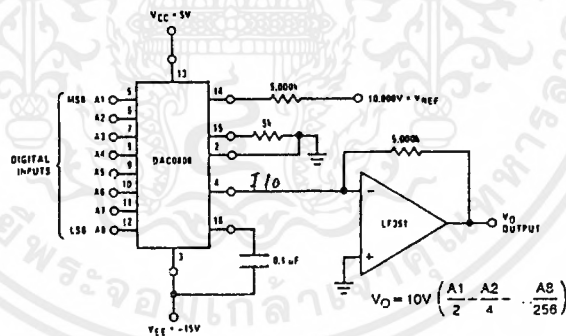
Note 4: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

Note 5: All current switches are tested to guarantee at least 50% of rated current.

Note 6: All bits switched.

Note 7: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

Typical Application



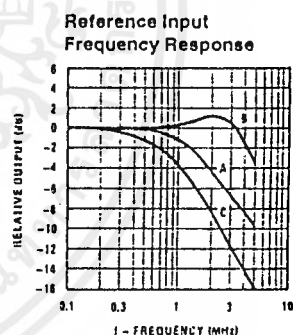
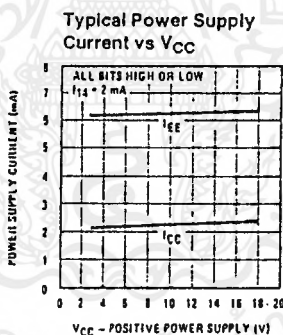
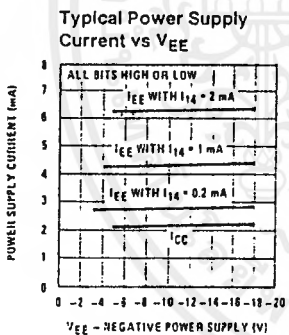
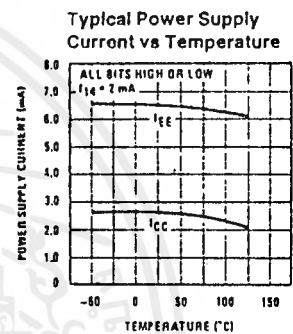
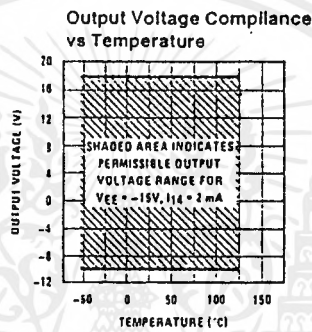
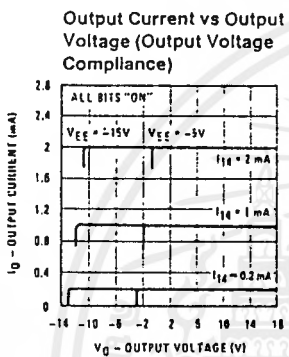
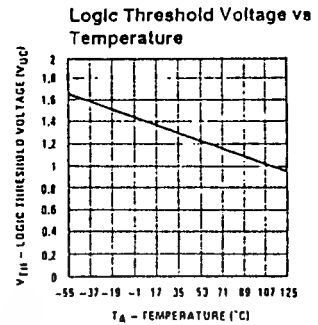
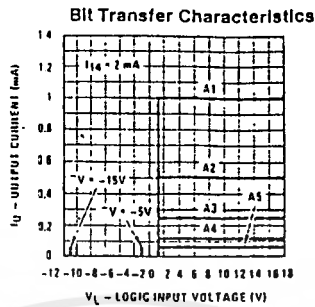
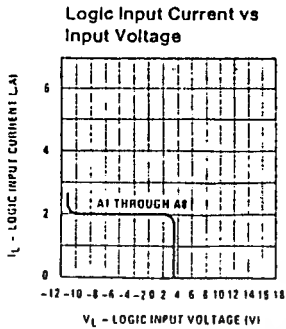
TL/H/5687-3

FIGURE 1. +10V Output Digital to Analog Converter (Note 7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

$V_{CC} = 5V$, $V_{EE} = -15V$, $T_A = 25^\circ C$, unless otherwise noted

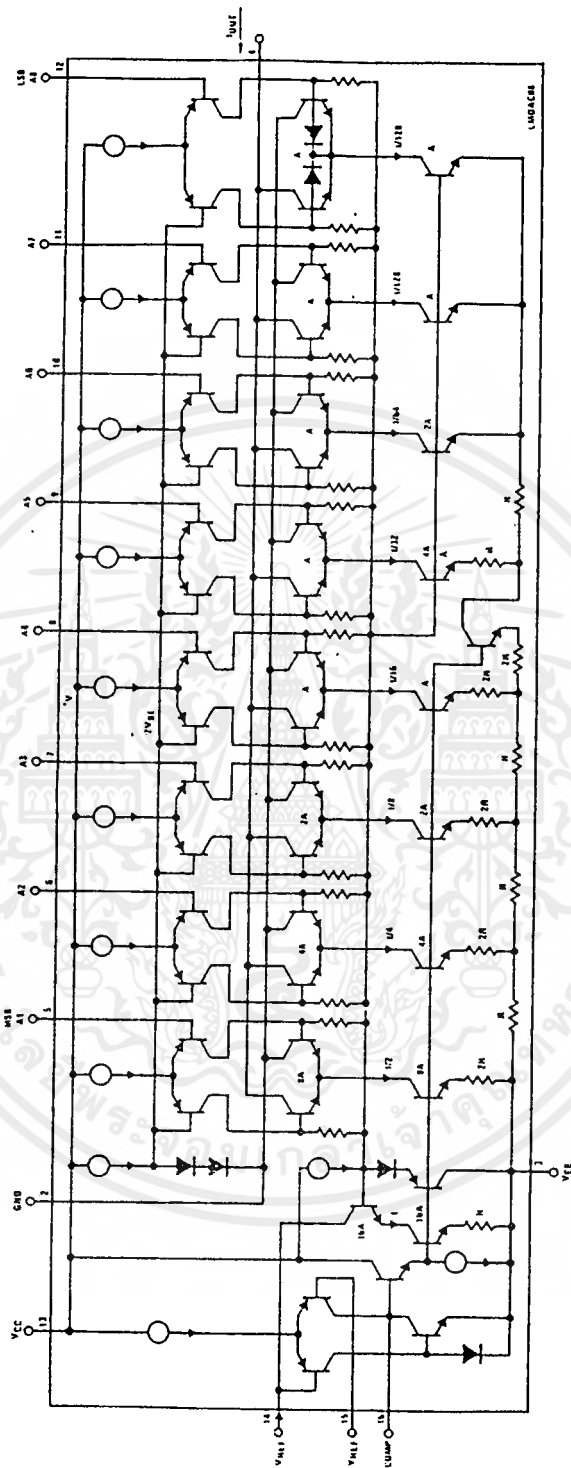


Unless otherwise specified: $R_{14} = 1\text{ k}\Omega$, $C = 15\text{ pF}$, pin 16 to V_{EE} ; $R_L = 50\Omega$, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of Figure 7, $V_{REF} = 2\text{ Vp}$ offset 1 V above ground.

Curve B: Small Signal Bandwidth Method of Figure 7, $R_L = 250\Omega$, $V_{REF} = 50\text{ mVp-p}$ offset 200 mV above ground.

Curve C: Large and Small Signal Bandwidth Method of Figure 9 (no clamp), $R_L = 50\Omega$, $R_S = 50\Omega$, $V_{REF} = 2\text{ V}$, $V_S = 100\text{ mVp-p}$ centered at 0V

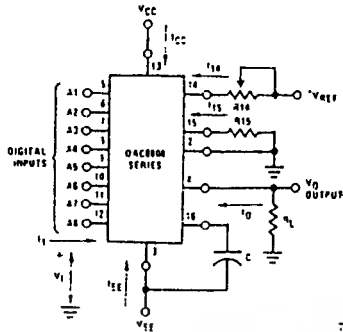


TL11/5687-4

FIGURE 2. Equivalent Circuit of the DAC0808 Series (Note 7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits



V_1 and I_1 apply to inputs A1-A8.

The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_O = K \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right)$$

where $K \approx \frac{V_{REF}}{R_{14}}$

and $A_N = "1"$ if A_N is at high level
 $A_N = "0"$ if A_N is at low level

TL/H/5687-6

FIGURE 3. Notation Definitions Test Circuit (Note 7)

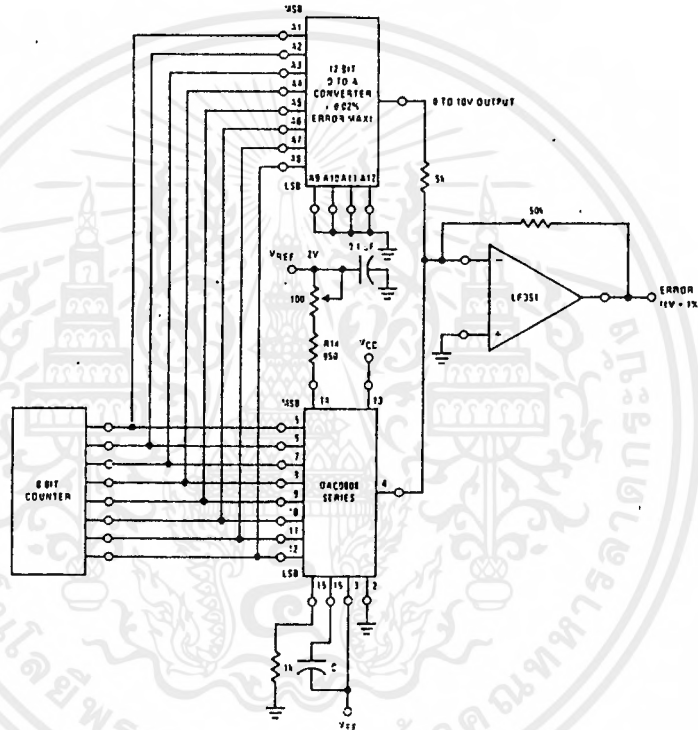


FIGURE 4. Relative Accuracy Test Circuit (Note 7)

TL/H/5687-7

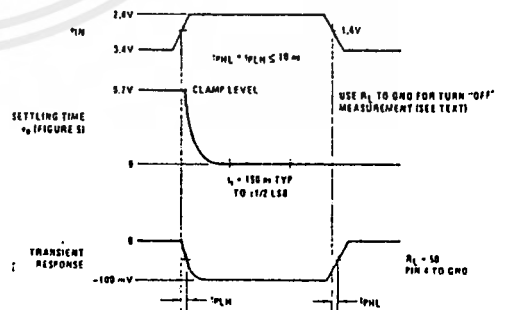
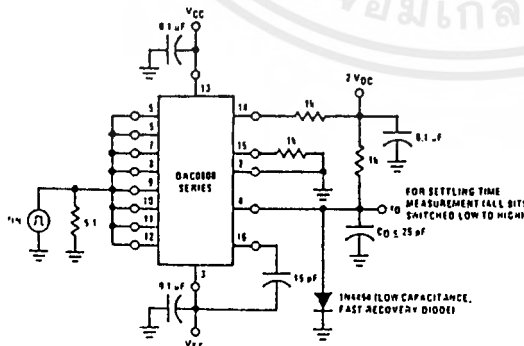


FIGURE 5. Transient Response and Settling Time (Note 7)

TL/H/5687-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits (Continued)

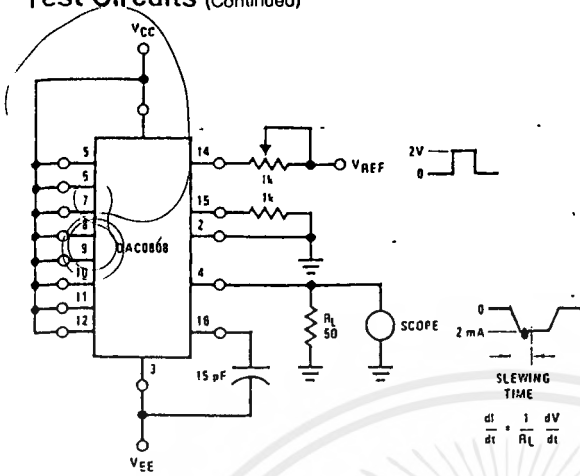


FIGURE 6. Reference Current Slew Rate Measurement (Note 7)

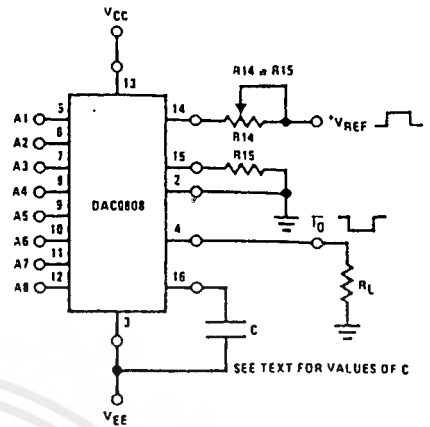


FIGURE 7. Positive V_{REF} (Note 7)

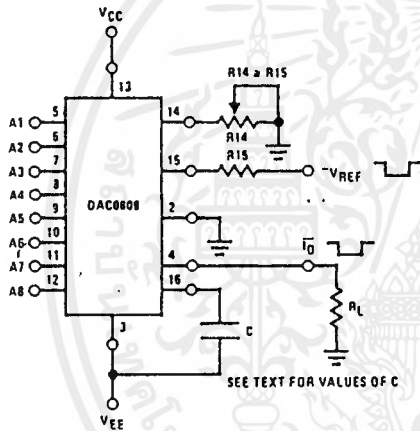


FIGURE 8. Negative V_{REF} (Note 7)

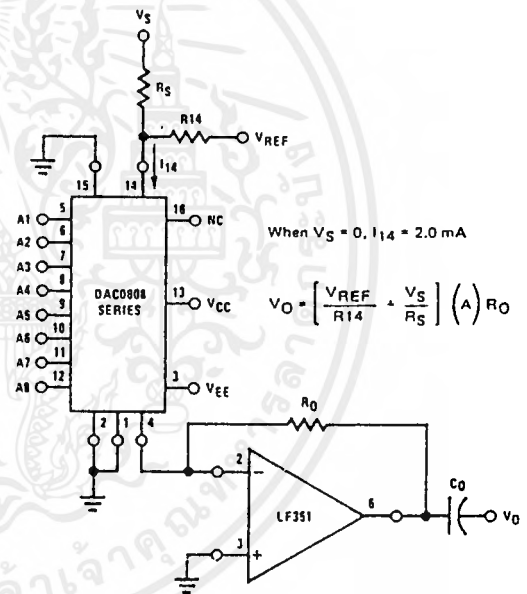


FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit (Note 7)

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current, I_{14} , must always flow into pin 14, regardless of the set-up method or reference voltage polarity. Connections for a positive voltage are shown in Figure 7. The reference voltage source supplies the full current I_{14} . For bipolar reference signals, as in the multiplying mode,

R15 can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R15 with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R14 to maintain proper phase margin; for R14 values of 1, 2.5 and 5 k Ω , minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection.

Application Hints (Continued)

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in Figure 8. A high input impedance is the main advantage of this method. Compensation involves a capacitor to V_{EE} on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 4V above the V_{EE} supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a DC reference voltage is used, capacitive bypass to ground is recommended. The 5V logic supply is not recommended as a reference voltage. If a well regulated 5V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to 5V through another resistor and bypassing the junction of the 2 resistors with 0.1 μ F to ground. For reference voltages greater than 5V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

OUTPUT VOLTAGE RANGE

The voltage on pin 4 is restricted to a range of -0.55 to $0.4V$ when $V_{EE} = -5V$ due to the current switching methods employed in the DAC0808.

The negative output voltage compliance of the DAC0808 is extended to $-5V$ where the negative supply voltage is more negative than $-10V$. Using a full-scale current of 1.992 mA and load resistor of 2.5 k Ω between pin 4 and ground will yield a voltage output of 256 levels between 0 and $-4.980V$. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500 Ω do not significantly affect performance, but a 2.5 k Ω load increases worst-case settling time to 1.2 μ s (when all bits are switched ON). Refer to the subsequent text section on Settling Time for more details on output loading.

OUTPUT CURRENT RANGE

The output current maximum rating of 4.2 mA may be used only for negative supply voltages more negative than $-8V$, due to the increased voltage drop across the resistors in the reference current amplifier.

ACCURACY

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current. The relative accuracy of the DAC0808 is essentially constant with temperature due to

the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the DAC0808 has a very low full-scale current drift with temperature.

The DAC0808 series is guaranteed accurate to within $\pm 1/2$ LSB at a full-scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2 mA, with the loss of 1 LSB (8 μ A) which is the ladder remainder shunted to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA, allowing some mismatch in the NPN current source pair. The accuracy test circuit is shown in Figure 4. The 12-bit converter is calibrated for a full-scale output current of 1.992 mA. This is an optional step since the DAC0808 accuracy is essentially the same between 1.5 and 2.5 mA. Then the DAC0808 circuits' full-scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accuracy D-to-A converter. 16-bit accuracy implies a total error of $\pm 1/2$ of one part in 65,536 or $\pm 0.00076\%$, which is much more accurate than the $\pm 0.019\%$ specification provided by the DAC0808.

MULTIPLYING ACCURACY

The DAC0808 may be used in the multiplying mode with 8-bit accuracy when the reference current is varied over a range of 256:1. If the reference current in the multiplying mode ranges from 16 μ A to 4 mA, the additional error contributions are less than 1.6 μ A. This is well within 8-bit accuracy when referred to full-scale.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the DAC0808 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a DC reference current is 0.5 to 4 mA.

SETTLING TIME

The worst-case switching condition occurs when all bits are switched ON, which corresponds to a low-to-high transition for all bits. This time is typically 150 ns for settling to within $\pm 1/2$ LSB, for 8-bit accuracy, and 100 ns to $1/2$ LSB for 7 and 6-bit accuracy. The turn OFF is typically under 100 ns. These times apply when $R_L \leq 500\Omega$ and $C_O \leq 25$ pF.

Extra care must be taken in board layout since this is usually the dominant factor in satisfactory test results when measuring settling time. Short leads, 100 μ F supply bypassing for low frequencies, and minimum scope lead length are all mandatory.