ปริญญานิพนธ์

เครื่องกำเนิดสัญญาณคลื่นพาห์เพื่อส่งกระจายเสียงเอฟเอ็มแบบสเตอรีโอ

BROADCAST FM EXCITOR WITH STEREO CODER

นายฉัตรชัย กิตยวัฒน์

นายสมพร เพชรสะแก

นายโอภาส รำนา

วัน เดือน ปี 19 ก.ค. 2540

เลขทะเบียน 036991

เลขเรียกหนังสือ T 38084 น 382 ค

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

036991

หัวข้อปริญญานิพนธ์ เครื่องกำเนิดสัญญาณคลื่นพาห์เพื่อส่งกระจายเสียงเอฟเอ็มแบบสเตอริโอ

Broadcast FM Excitor with Stereo Coder

คณะผู้จัดทำ นาย ฉัตรชัย กิตยวัฒน์ รหัสประจำตัว 37012047

นาย สมพร เพชรสะแก รหัสประจำตัว 37012070

นาย โอภาส รำนา รหัสประจำตัว 37012083

อาจารย์ที่ปรึกษา อาจารย์กฤดากร กล่อมการ

สาขา เทคโนโลยีโทรคมนาคม

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2537

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ

(.....)

.....กรรมการ

(.....)

.....กรรมการ

(.....)

.....กรรมการ

(.....)

.....กรรมการ

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปริญญานิพนธ์

เรื่อง เครื่องกำเนิดสัญญาณคลื่นพาห์เพื่อส่งกระจายเสียงเอฟเอ็มแบบสเตอริโอ

BROADCAST FM EXCITOR WITH STEREO CODER

วัตถุประสงค์

1. เพื่อศึกษาการทำงานของระบบกระจายเสียงเอฟเอ็มแบบสเตอริโอ
2. เพื่อศึกษาการทำงานของเครื่องกำเนิดคลื่นพาห์
3. เพื่อสร้างวงจรเครื่องกำเนิดสัญญาณคลื่นพาห์
4. เพื่อนำเครื่องกำเนิดสัญญาณคลื่นพาห์เพื่อส่งกระจายเสียงเอฟเอ็มสเตอริโอ ไปใช้ปฏิบัติงานจริง

ประโยชน์ที่คาดว่าจะได้รับ

1. ทำให้มีความรู้ ความเข้าใจ ระบบกระจายเสียงเอฟเอ็มแบบสเตอริโอ
2. ทำให้มีความรู้ ความเข้าใจ หลักการทำงานของเครื่องกำเนิดคลื่นพาห์
3. สามารถสร้างวงจรเครื่องกำเนิดสัญญาณคลื่นพาห์
4. สามารถนำเครื่องกำเนิดสัญญาณคลื่นพาห์เพื่อส่งกระจายเสียงเอฟเอ็มสเตอริโอ ไปใช้ปฏิบัติงานจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องกำเนิดสัญญาณคลื่นพาห์เพื่อส่งกระจายเสียงเอฟเอ็มแบบสเตอริโอ

นายฉัตรชัย กิตยวัฒน์
นายสมพร เพชรสะแก
นายโอภาส รำนา

อาจารย์ที่ปรึกษา
อาจารย์กฤดากร กล่อมการ
ปีการศึกษา 2538

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้นำเสนอเกี่ยวกับการออกแบบและโครงสร้างของ FM Stereo Excitor. โครงงานนี้มีส่วนประกอบอยู่ 2 ส่วนคือ

1. การเข้ารหัสสัญญาณสเตอริโอ
2. เครื่องกำเนิดสัญญาณเอฟเอ็ม

ในการเข้ารหัสสัญญาณสเตอริโอ ประกอบไปด้วย สัญญาณไพล็อตและสัญญาณ 38 KHz โดยใช้วงจรเฟสล็อกลูปและวงจรคูณ ในโครงงานนี้ใช้อนาล็อกสวิทช์ควบคุมแทนความถี่ 38 KHz

ในการกำเนิดสัญญาณเอฟเอ็มใช้การมอดูเลตโดยตรง (Direct Modulation) การควบคุมสัญญาณความถี่ใช้วงจรเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BROADCAST FM EXCITOR WITH STEREO CODER

MR.CHATCHAI KITTAYAWAT

MR.SOMPORN PETCHSAKAE

MR.OPAT RUMNA

ADVISER

MR.KITDAKORN KLOMKARN

YEAR 1995

ABSTRACT

This thesis present design and construction of FM stereo excitor. This project is consists of two part, the first part is stereo encoder and the second part is FM signal generator. In the stereo encoder, pilot tone generator, and 38 KHz generator used phase locked loop circuit and for the multiplier circuit. In this project used Analog Switch control by frequency 38 KHz instead.

In FM signal generator used direct modulation control carrier frequency by phase locked loop circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดี ด้วยความช่วยเหลือในการให้คำแนะนำปรึกษา, ตลอดจนจัดหาวัสดุอุปกรณ์, เครื่องมือ, เครื่องใช้, และสถานที่ในการปฏิบัติงานจาก อาจารย์กฤดากร กล่อมการ ซึ่งเป็นผู้ควบคุมปริญญานิพนธ์, ตลอดทั้งจากคณาจารย์ประจำภาควิชาเทคนิคอุตสาหกรรมทุกท่าน, ห้องสมุดคณะวิศวกรรมศาสตร์, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ศูนย์นนทบุรี ซึ่งเป็นสถานที่วิจัยและที่พักอาศัยหลับนอน รวมทั้งผู้อาวุโสทุกท่าน, เพื่อนๆ ห้อง 2M และเพื่อนๆ คณะครุศาสตร์อุตสาหกรรม ทุกท่านที่ให้กำลังใจ และคำชี้แนะด้วยดีมาโดยตลอด และขอกราบขอบพระคุณบิดา มารดา ผู้ซึ่งให้กำเนิด ซึ่งให้การสนับสนุนทางด้านกำลังใจและกำลังทรัพย์ตลอดมา

คุณความดีต่างๆ ที่เกิดจากปริญญานิพนธ์ฉบับนี้ ขอมอบให้แด่ บิดา มารดา และคณาจารย์ทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้ ตลอดจนปลูกฝังคุณธรรมความดีงามมาโดยตลอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูปภาพ	VI
สารบัญตาราง	IX
บทที่ 1 บทนำ	1
1.1 แนวความคิดในการทำปริญญานิพนธ์	1
1.2 องค์ประกอบของปริญญานิพนธ์	1
บทที่ 2 พื้นฐานของระบบเฟสล็อกลูป	3
2.1 ทรานเฟอร์ฟังก์ชั่น	3
2.2 ลูปเกน	9
2.3 ล็อกเรนจ์	11
2.4 แคปเจอร์เรนจ์	13
2.5 เฟสดีเทคเตอร์	13
2.5.1 มิกเซอร์	13
2.5.2 แซมปลิ้งดีเทคเตอร์	14
2.5.3 ดิจิตอลเฟสดีเทคเตอร์	20
2.6 การสังเคราะห์ความถี่โดย PLL	25
บทที่ 3 หลักการเครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์	34
3.1 การมอดูเลตทางความถี่	34
3.2 ดัชนีการมอดูเลต	36
3.3 ไซด์แบนด์เอฟเอ็ม	37
3.4 แบนด์วิดท์ของสัญญาณเอฟเอ็ม	40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 พรีเอ็มฟาซิส และดีเอ็มฟาซิส 41
3.6 หลักการของเอฟเอ็มสเตอริโอมัลติเพล็กซ์ และเอสซีเอ 44
3.7 บาลานซ์มอดูเลเตอร์ 46
3.8 เครื่องส่งสเตอริโอ 47
3.9 การส่งวิทยุกระจายเสียง 49
บทที่ 4 Stereo Generator 51
4.1 หลักการทำงานชุด Stereo Generator 51
4.2 วงจร Oscillator 456 KHz 53
4.3 วงจร Divider 56
4.4 วงจร Oscillator 57
4.5 วงจรเข้ารหัสสัญญาณ Stereo 60
4.6 วงจร Pre-emphasis 62
4.7 วงจรเลื่อน Phase สัญญาณ Pilot 63
4.8 วงจรรวมสัญญาณ 64
บทที่ 5 การมอดูเลตสัญญาณเอฟเอ็ม 66
5.1 การออกแบบวงจรมอดูเลตสัญญาณเอฟเอ็ม 68
5.2 วงจร VCO 69
5.3 วงจรกรองในลูป 72
5.4 วงจรหาร N 75
5.5 วงจรกำเนิดความถี่อ้างอิง 77
5.6 วงจร Wide Band Amplifier 80
บทที่ 6 สรุปการวิจัย และข้อเสนอแนะ 81
ภาคผนวก ก วงจรและแผ่นวงจรพิมพ์ 82
ภาคผนวก ข คู่มืออุปกรณ์อิเล็กทรอนิกส์ 97
บรรณานุกรม 109

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปภาพ	หน้า
รูปที่ 2.1 โครงสร้างของระบบเฟสล็อกลูป	3
รูปที่ 2.2 ลูปฟิลเตอร์	5
รูปที่ 2.3 ขบวนพัลซ์เพื่อใช้ในการ Sampling	14
รูปที่ 2.4 วงจร Pulse Modulator	15
รูปที่ 2.5 วงจรเฟสดีเทคเตอร์แบบกิลเบิร์ต และรูปสัญญาณ	17
รูปที่ 2.6 ความสัมพันธ์ระหว่าง ϕ และ Vo	18
รูปที่ 2.7 รูปคลื่น Sine กับคลื่นรูปเหลี่ยม	19
รูปที่ 2.8 Exclusive OR Phase Detectors	20
รูปที่ 2.9 คุณสมบัติอินพุทต่อเอาท์พุทของเฟสดีเทคเตอร์	20
รูปที่ 2.10 เฟสดีเทคเตอร์ชนิดทริกด้วยขอบขาขึ้นของพัลซ์	21
รูปที่ 2.11 คุณสมบัติอินพุทต่อเอาท์พุทของเฟสดีเทคเตอร์	22
รูปที่ 2.12 Phase Frequency Detectors ชนิดทริกด้วยขอบขาขึ้นของพัลซ์	23
รูปที่ 2.13 รูปคลื่นของวงจร Phase Frequency Detectors	24
รูปที่ 2.14 คุณสมบัติอินพุทต่อเอาท์พุทของเฟสดีเทคเตอร์	24
รูปที่ 2.15 การสังเคราะห์ความถี่ด้วย PLL	25
รูปที่ 2.16 ฟิลเตอร์สำหรับ PD (Double Ended)	27
รูปที่ 2.17 วิธีแก้ Transient ด้วย R1Cc	28
รูปที่ 2.18 วิธีการแก้ Transient ด้วย R2Cc	28
รูปที่ 2.19 รูปคลื่นเอาท์พุทของ PD และ Integrator	30
รูปที่ 2.20 กระแสรั่วไหลของกระแสไบอัสอินพุท	30
รูปที่ 2.21 วงจร LPF อันดับ 2 โดยใช้ OP AMP	31
รูปที่ 2.22 วงจร LPF อันดับ 2 โดยใช้ Transistor	32
รูปที่ 3.1 การมอดูเลตทางความถี่	34
รูปที่ 3.2 กราฟแสดงแอมปลิจูดของพาหะ และไซด์แบนด์ในระบบเอฟเอ็ม	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.3รูปคลื่นเอฟเอ็มในเชิงความถี่ 39
รูปที่ 3.4 การเปรียบเทียบแอมปลิจูดของสัญญาณที่เข้ามามอดูเลตกับนอยส์ 42
รูปที่ 3.5 ลักษณะของพรีเอ็มฟาซิส และดีเอ็มฟาซิส 43
รูปที่ 3.6 ขบวนการพรีเอ็มฟาซิสที่เครื่องส่ง และดีเอ็มฟาซิสที่เครื่องรับ 44
รูปที่ 3.7 สเปคตรัมที่ดิวิเอชั่นของ FM STEREO MULTIPLEX 45
รูปที่ 3.8 ลักษณะการมอดูเลตของคลื่น AMDSBSC 47
รูปที่ 3.9 หลักการเครื่องส่งสเตอริโอมัลติเพล็กซ์ 48
รูปที่ 3.10 แบนด์วิดท์และการ์ดแบนด์ของเอฟเอ็ม 49
รูปที่ 4.1 ผังการทำงานของ Stereo Generator 52
รูปที่ 4.2 ผังการทำงานของ Oscillator 456 KHz 53
รูปที่ 4.3 วงจร Oscillator ที่ควบคุมด้วย Crystal 53
รูปที่ 4.4 การโปรแกรม IC 40102 หาร 57 54
รูปที่ 4.5 วงจร Oscillator 456 KHz 55
รูปที่ 4.6 วงจร Divider 56
รูปที่ 4.7 ผังการทำงานของ Oscillator 19 KHz 57
รูปที่ 4.8 วงจร VCO XR2206 49 KHz 58
รูปที่ 4.9 ผังการทำงานของ LPF ใน PLL 59
รูปที่ 4.10 วงจร Oscillator 19 KHz 97
รูปที่ 4.11 ผังการทำงานของวงจรเข้ารหัสสัญญาณ Stereo 60
รูปที่ 4.12 รูปสัญญาณ Output ของ IC 4066 ซึ่งทำหน้าที่เป็นวงจร Balance Mod. 61
รูปที่ 4.13 วงจร Pre-emphasis และผลตอบสนองของความถี่ 62
รูปที่ 4.14 วงจรเลื่อน Phase 64
รูปที่ 4.15 วงจรรวมสัญญาณ 65
รูปที่ 4.16 วงจรเข้ารหัสสัญญาณสเตอริโอ 65
รูปที่ 5.1 วงจรสมมูลย์วงจรกำเนิดความถี่แบบ LC 66
รูปที่ 5.2 โครงสร้างวงจรมอดูเลตสัญญาณเอฟเอ็ม 68
รูปที่ 5.3 วงจรแคลปออสซิลเลเตอร์ 70
รูปที่ 5.4 วงจร VCO ที่ใช้ในทางปฏิบัติ 72

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.5 วงจรกรองที่ใช้ในลูป 73
รูปที่ 5.6 วงจร LPF และ PD ใช้ในการสร้างสัญญาณ FM 75
รูปที่ 5.7 วงจรหาร N = 21500 76
รูปที่ 5.8 วงจรกำเนิดความถี่อ้างอิง 77
รูปที่ 5.9 สเปคตรัมที่ความถี่ 107.5 Mhz 78
รูปที่ 5.10 วงจรมอดูเลตสัญญาณทั้งหมด 79
รูปที่ 5.11 วงจร Wide Band Amplifier 80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 3.1 การกระจายคลื่นพาหะ และไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่างๆ	39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 แนวความคิดในการทำปริญญานิพนธ์

ปัจจุบันการสื่อสารด้วยวิทยุยังใช้กันมาก เพราะมีราคาถูก และง่ายต่อการดำเนินรายการ การสื่อสารด้วยวิทยุนั้น ปัจจุบันยังมีการใช้งานอยู่ในย่านความถี่ปานกลาง (Medium Wave : MW), ย่านความถี่คลื่นสั้น (Short Wave : SW), และย่านความถี่สูงมาก (Very High Frequency : VHF) ในการสื่อสารระบบเอฟเอ็มสเตอริโอมัลติเพล็กซ์ จะใช้งานในย่าน VHF ความถี่ที่ใช้งานอยู่ระหว่าง 88-108 MHz ระบบเอฟเอ็มสเตอริโอมัลติเพล็กซ์นี้ ยังเป็นที่นิยมกันมากในปัจจุบัน เพราะให้คุณภาพเสียงที่ดีกว่าระบบอื่นๆ ที่ส่งอยู่ในปัจจุบัน เช่น ระบบเอเอ็ม และ ชอร์ตเวฟ เป็นต้น แต่ในระบบเอฟเอ็มมีข้อเสียคือ ไม่สามารถส่งไปได้ไกลมากนัก ซึ่งเป็นผลจากคุณสมบัติของคลื่น ถ้าจะทำการส่งในระยะไกลก็ต้องมีสถานีทวนสัญญาณ (Repeater) เพื่อที่จะเป็นตัวทวนสัญญาณในการที่จะส่งสัญญาณต่อไป เพื่อให้บริเวณที่อยู่ระยะไกลๆ สามารถรับได้

ปริญญานิพนธ์นี้ได้นำเสนอ เรื่องเครื่องกำเนิดสัญญาณคลื่นพาห์เพื่อส่งกระจายเสียงเอฟเอ็มแบบสเตอริโอมัลติเพล็กซ์ ซึ่งใช้ความถี่ 107.5MHz เป็นความถี่คลื่นพาห์ ในการทำปริญญานิพนธ์นี้ ก็เพื่อที่จะศึกษาการเข้ารหัสสัญญาณสเตอริโอ และการกำเนิดสัญญาณคลื่นพาห์ของระบบเอฟเอ็มสเตอริโอมัลติเพล็กซ์ที่ใช้กันอยู่ในปัจจุบัน โดยเริ่มทำการวิจัยตั้งแต่ภาค Stereo Encoder จนถึงการกำเนิดสัญญาณคลื่นพาห์

1.2 องค์ประกอบของปริญญานิพนธ์

บทที่ 2 กล่าวถึงทฤษฎีของ Phase Lock Loop (PLL) และ การสังเคราะห์ความถี่ (Frequency Synthesizer) เพราะเป็นส่วนหนึ่งที่ใช้ในการออกแบบวงจร

บทที่ 3 กล่าวถึงหลักการของ FM Stereo Multiplex โดยเนื้อหาจะกล่าวถึง ทฤษฎีเกี่ยวกับการมอดูเลตทางความถี่ (FM) ลักษณะสเปคตรัม และหลักการพื้นฐานของเครื่องส่งในระบบนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 กล่าวถึงภาค Stereo Generator เป็นชุดที่ใช้ในการเข้ารหัสสัญญาณสเตอริโอ (Stereo Encoder) ซึ่งวงจรภายในภาคนี้ จะใช้ระบบ Digital ทั้งหมด ทำให้ง่ายต่อการออกแบบ และวงจรที่ใช้มีขนาดเล็ก ภายในบทนี้ จะอธิบายการทำงานในภาคต่างๆ รวมทั้งการออกแบบวงจร โดยเฉพาะชุด L-R 38 KHz จะใช้ Analog Switch ในการสร้างสัญญาณ และใช้วงจร PLL ในการสร้างสัญญาณต่างๆ เช่น Pilot Tone 19 KHz, สัญญาณ 38 KHz เพื่อนำไปใช้ในการควบคุม Analog Switch

บทที่ 5 กล่าวถึงการมอดูเลตสัญญาณ FM ซึ่งเป็นแบบ Direct Modulation หรือ Reactance Modulation รวมทั้งกล่าวถึง การผลิตความถี่ของคลื่นพาห์ 107.5 MHz โดยมีการใช้ Prescaler ในการหารความถี่สูง เพื่อให้เป็นไปตามหลักการของ Frequency Synthesizer ทำให้สามารถผลิตความถี่ได้คงที่ และสามารถปรับความถี่ได้ตามต้องการ

บทที่ 6 กล่าวถึงการสรุปงานวิจัยและข้อเสนอแนะ โดยการสรุปจากผลการทดลองที่เกิดขึ้น รวมทั้งกล่าวถึงปัญหาที่เกิดขึ้น และข้อเสนอแนะในการแก้ปัญหา

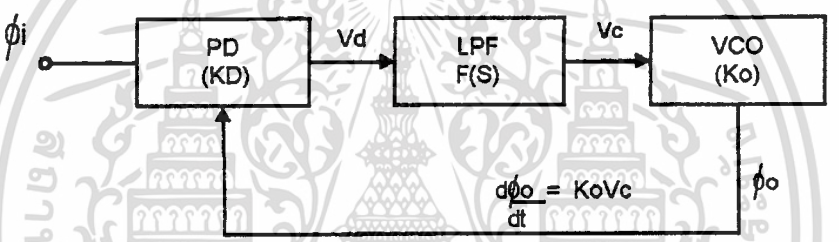
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

พื้นฐานของระบบเฟสล็อกลูป (Phase Locked Loop)

2.1 ทรานเฟอร์ฟังก์ชั่น (Transfer Function)

พิจารณาจากระบบในรูปที่ 2.1 ซึ่งเป็นลูปลักษณะพื้นฐาน (Elementary Loop) ซึ่งประกอบด้วย เฟสดีเทคเตอร์ (Phase Detector : PD), ลูปฟิลเตอร์ (Loop Filter) และ วงจรผลิตความถี่ควบคุมด้วยแรงดัน (Voltage control Oscillater : VCO)



รูปที่ 2.1 โครงสร้างของระบบเฟสล็อกลูป

สัญญาณอินพุท มีเฟส $\theta_i(t)$ และ VCO เอาท์พุทมีเฟส $\theta_o(t)$ สมมุติว่า ระบบในสภาวะล็อก(Locked), PD มีการทำงานแบบเชิงเส้น และ PD มีเอาท์พุทที่เป็นสัดส่วนกับความแตกต่างของเฟสของอินพุททั้งสอง ดังนั้น

$$V_d = K_d(\theta_i - \theta_o) \qquad (1)$$

เมื่อ K_d คือ เกนแฟคเตอร์ (Gain Factor) หรือ คอนเวอร์ชั่นเกน (Conversion Gain) วัดเป็นโวลท์ต่อเรเดียน (V/rad)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดัน V_d จะถูกฟิลเตอร์โดยลูปฟิลเตอร์ สัญญาณรบกวนและส่วนประกอบของสัญญาณที่เป็นความถี่สูงจะถูกกำจัดออกไป ลูปฟิลเตอร์จะเป็นตัวกำหนดคุณสมบัติทางกลศาสตร์ของลูป (Dynamic Performance) ทรานเฟอร์ฟังก์ชั่นของลูปกำหนดโดย F(s)

ความถี่ของ VCO กำหนดจากแรงดันควบคุมที่อินพุท V_c ทำให้ความถี่เบี่ยงเบนไปจากความถี่ศูนย์กลางไปด้วยขนาด $\Delta W = K_o V_c$ เมื่อ K_o คือเกนแฟคเตอร์ของ VCO วัดเป็น rad/sec/v เนื่องจากความถี่เป็นอนุพันธ์ (Derivative) ของเฟส การทำงานของ VCO อาจพิจารณาได้จาก $d\theta_o/dt = K_o V_c$ โดยใช้วิธีลาปลาซทรานฟอร์มจะได้ว่า

$$L\left[\frac{d\theta_o(t)}{dt}\right] = S\theta_o(s) = K_o V_c(s) \tag{2}$$

ดังนั้น

$$\theta_o(s) = \frac{K_o V_c(s)}{S}$$

เฟสของสัญญาณเอาท์พุทของ VCO จะมีความสัมพันธ์เชิงเส้นกับอินทิกรัลของแรงดันควบคุม (V_c) โดยใช้วิธีลาปลาซทรานฟอร์มเช่นกันจะได้

$$V_d(s) = K_d\left[\theta_i(s) - \theta_o(s)\right] \tag{3}$$

$$V_c(s) = F(s)V_d(s) \tag{4}$$

$$\theta_o(s) = \frac{K_o V_c(s)}{S} \tag{5}$$

จากสมการที่ (1) ถึง (5) จะได้สมการพื้นฐานของลูปคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

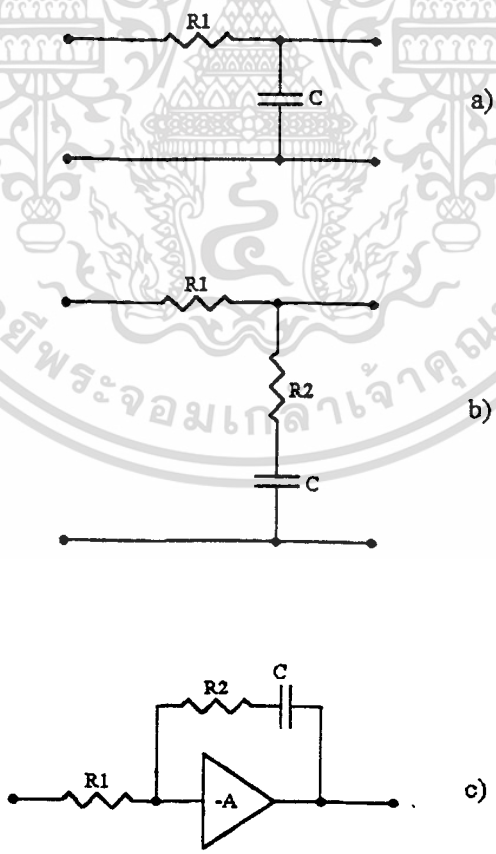
$$B(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_o K_d F(s)}{S + K_o K_d F(s)} \tag{6}$$

ซึ่ง B(s) คือ ทรานเฟอร์ฟังก์ชั่นของลูปปิด (Closed Loop Transfer function)

$$\frac{\theta_i(s)-\theta_o(s)}{\theta_i(s)} = \frac{\theta_o(s)}{\theta_i(s)} = \frac{S}{S+K_oK_dF(s)} = 1-B(S) \qquad (7)$$

$$V_c(s) = \frac{SK_dF(s)\theta_i(s)}{S+K_oK_dF(s)} = \frac{SB(s)\theta_i(s)}{K_o} \qquad (8)$$

ต่อไปจะกล่าวถึงลูปฟิลเตอร์ ซึ่งเป็นตัวกำหนดคุณสมบัติเชิงกลศาสตร์ของระบบ ก่อนที่จะพิจารณาการทำงานของลูปต่อไป ฟิลเตอร์ที่ใช้มีลักษณะพื้นฐาน 3 แบบ คือ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.2 แสดงลูปฟิลเตอร์

$$F(s) = \frac{1}{SR_1C+1}$$

$$F(s) = \frac{SR_2C+1}{SC(R_1+R_2)+1} = \frac{ST_2+1}{ST_1+1}$$

$$T_1 = (R_1+R_2)C \quad , T_2 = R_2C$$

$$F(s) = \frac{-A(SR_2C+1)}{SR_2C+1+(1+A)(SR_1C)}$$

ถ้า A มีขนาดใหญ่มากๆ

$$F(s) \approx \frac{-SR_2C+1}{SR_1C} = \frac{-ST_2+1}{ST_1}$$

$$T_2 = R_2C \quad , T_1 = R_1C$$

สำหรับพาสซีฟฟิลเตอร์ชนิดที่ 2 จะให้ทรานเฟอร์ฟังก์ชั่นของลูปปิด คือ

$$B_1(s) = \frac{\frac{K_oK_d(ST_2+1)}{T_1}}{S^2 + \frac{S(1+K_oK_dT_2)}{T_1} + \frac{K_oK_d}{T_1}} \qquad (9)$$

สำหรับเมื่อแก้ไขการกลับเฟสของวงจรขยาย A แล้ว จะได้ทรานเฟอร์ฟังก์ชั่นของลูปปิด คือ

$$B_2(s) = \frac{\frac{K_oK_d(ST_1+1)}{T_1}}{S^2 + \frac{S(K_oK_dT_2)}{T_1} + \frac{K_oK_d}{T_1}} \qquad (10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานเฟอร์ฟังก์ชั่นทั้งสอง สามารถเขียนในรูป

$$B_1(s) = \frac{S(\frac{2W_n\zeta - W_n^2}{K_oK_d}) + W_n^2}{S^2 + S2W_n\zeta + W_n^2} \tag{11}$$

$$B_2(s) = \frac{2SW_n\zeta + W_n}{S^2 + 2SW_n\zeta + W_n^2} \tag{12}$$

สมการที่ (11) และ (12) เขียนในรูปของวิธีควบคุมป้อนกลับ (Feedback Control) โดยเรียก W_n ว่า ความถี่ธรรมชาติของลูป (Natural Frequency) และ แดมปิ้งแฟคเตอร์ของลูป (Damping Factor)

Passive	Active
$W_n = \left[\frac{K_oK_d}{T_1}\right]^{1/2}$	$W_n = \left[\frac{K_oK_d}{T_1}\right]^{1/2}$
$\zeta = \frac{1}{2}\left[\frac{K_oK_d}{T_1}\right]^{1/2}\left[\frac{T_2+1}{K_oK_d}\right]$	$\zeta = \frac{T_2}{2}\left[\frac{K_oK_d}{T_1}\right]^{1/2} = \frac{T_2W_n}{2}$
$T_1 = (R_1 + R_2)C$	$T_1 = R_1C$
$T_2 = R_2C$	$T_2 = R_2C$

(13)

จะเห็นว่า ทรานเฟอร์ฟังก์ชั่นจะคล้ายกันมากถ้า $1/K_o/K_d << T$ ในกรณีของพาสซีฟ และจากสมการกำลังสูงสุดของส่วน คือ 2 ลูปจึงเรียกเป็นลูปอันดับ 2 (Second Order) จากทฤษฎีของระบบควบคุมแบบ Type ของลูปจะเท่ากับจำนวนของ Perfect Integrator ภายในลูป ดังนั้นระบบ PLL ใดๆ อย่างน้อยที่สุดก็จะเป็นแบบลูปที่ 1 (Type I) เนื่องจาก VCO เป็น Perfect Integrator และถ้าลูปฟิลเตอร์ประกอบด้วย Perfect Integrator อีกหนึ่งตัว ลูปก็จะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

แบบที่ 2 (Type II) ดังนั้น PLL อันดับ 2 ที่มีแอคทีฟฟิลเตอร์ก็จะถือได้ว่าเป็นลูปแบบที่ 2 โดยฟิลเตอร์เป็นตัว Integrator ที่เพิ่มมาในขณะที่ PLL มีพาสซีฟฟิลเตอร์เป็นลูปแบบที่ 1

การตอบสนองความถี่ของลูปเกนสูง (High Gain Loop) หมายถึงลูปที่ $K_oK_dT_2>>1$ สำหรับพาสซีฟ และ $|A|T_1>>T_2$ สำหรับแอคทีฟฟิลเตอร์เมื่อ Damping Factor เปลี่ยนไป จะเห็นว่า มีลักษณะเป็น Low Pass Filter ทำงานเป็นเฟสอินพุทของลูป

ผลตอบสนองความผิดพลาด (Error Response) ของลูปอันดับ 2 High Gain คือ

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{S^2}{S^2 + 2SW_n\zeta + W_n^2} \tag{14}$$

ขณะที่ลูป Low Gain

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{S\left[S + \dfrac{W_n^2}{K_oK_d}\right]}{S^2 + 2SW_n\zeta + W_n^2} = \frac{S\left[S + \dfrac{1}{T_1}\right]}{S^2 + 2SW_n\zeta + W_n^2} \tag{15}$$

ผลตอบสนองต่อความผิดพลาดเชิงเฟส แสดงดังรูป 2.4 สำหรับรูป High Gain ที่ ζ =0.707 จะเห็นว่ามีคุณสมบัติเป็น High Pass คือลูปสามารถ Tracking ตามความเปลี่ยนแปลงความถี่ต่ำ แต่ไม่สามารถ Tracking ตามการเปลี่ยนแปลงความถี่สูงได้

Bandwidth ของลูปกำหนดโดยให้ $|B(jw)|^2 = 0.5$ และหาค่า W ออกมาจะได้ว่า

$$W_{odB} = W_n\left[2\zeta^2 + 1 + \sqrt{(2\zeta^2+1)^2 + 1}\right]^{1/2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ลูปเกน (Loop Gain)

ทรานเฟอร์ฟังก์ชั่นลูปเปิดของ PLL กำหนดจาก

$$G(s) = \frac{K_o K_d F(s)}{S} \tag{16}$$

ทรานเฟอร์ฟังก์ชั่นลูปปิดของ PLL กำหนดจาก

$$B(s) = \frac{G(s)}{1+G(s)} \tag{17}$$

และ DC ลูปเกนกำหนดจาก

$$K_v = K_o K_d F(s)$$

มีขนาดเป็นความถี่ (Dimension of Frequency) rad/sec คุณสมบัติของลูปเกนที่ต้องการ K_V มีขนาดใหญ่ F(s) ของฟิลเตอร์เป็นฟังก์ชั่นตรรกยะ (Rational Function)

$$F(s) = \frac{g(S-Z_1)(S-Z_2)\ldots(S-Z_m)}{(S-P_1)(S-P_3)\ldots(S-P_{n-1})}$$

สำหรับ PLL อันดับที่ n ฟิลเตอร์จะมีจำนวน M ได้ไม่มากกว่าจำนวน n-1 ถ้า m = n-1 (กรณีที่พบบ่อยใน PLL) ดังนั้น g = F(∝)

เมื่อกระจาย F(s) ให้เป็นเศษส่วนย่อยเกนของลูปเปิด จะเขียนได้ว่า

$$G(s) = \frac{K}{S}\left[a_1 + \sum_{i=1}^{n=1}\frac{ai+1}{S+P_i}\right] \tag{18}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมุติเป็นการชั่วคราวว่า ทุกๆ Pole เป็น Simple Pole กับค่า Residue ai+1 เรียก K ว่าเป็นลูปเกน a1 จะเป็นศูนย์ ถ้า m<n-1 และ a1 เป็น 1 ถ้า m = n-1 ในการออกแบบระบบ PLL มักจะกำหนดให้ a1 = 1 นั้นคือ จำนวน Pole จะเท่ากับ จำนวน Zero ในฟิลเตอร์

ใน PLL ระบบอันดับ 2 ที่ใช้ฟิลเตอร์เป็นชนิดพาสซีฟ รูปที่ 2.2b จะเป็น

$$F(s) = \frac{ST_2 + 1}{ST_1 + 1}$$

$$G(s) = \frac{K_o K_d T_2}{T_1 S}\left[\frac{1 + \frac{1}{T_2} + \frac{1}{T_1}}{S + \frac{1}{T_1}}\right] = \frac{K}{S}\left[\frac{1 + a2}{S + \frac{1}{T_1}}\right]$$

$$K = \frac{K_o K_d T_2}{T_1} \; ; a1 = 1 \; ; a2 = \left[\frac{1}{T_1} - \frac{1}{T_1}\right]$$

สำหรับแอคทีฟฟิลเตอร์

$$F(s) = \frac{ST_2 + 1}{ST_1}$$

$$G(s) = \frac{K_o K_d T_2}{ST_1}(1 + \frac{1}{ST_2}) = \frac{K}{S}\left[1 + \frac{a2}{S}\right]$$

$$K = \frac{K_o K_d T_2}{ST_1} \; ; a1 = 1 \; ; a2 = \frac{1}{T_2}$$

$$W_n = \sqrt{Ka2} = \frac{1}{2}\sqrt{\frac{K}{a2}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลูปเกนมีผลต่อตำแหน่งของ Pole บน Complex Plan Pole จะเปลี่ยนตำแหน่งไปเมื่อลูปเกนเปลี่ยน และสามารถวิเคราะห์ได้ด้วยวิธีทางเดินของราก (Root Locus Plot) การวิเคราะห์ระบบ PLL ยังสามารถทำได้ด้วยวิธี Bode Plot เช่นกัน

2.3 ล็อกเรนจ์ (Locked Range)

เป็นย่านความถี่ซึ่งลูปสามารถ Tracking ตามการเปลี่ยนแปลงความถี่ของอินพุท อาจเรียกได้ว่า Tracking Range หรือ Hold In Range กรณีนี้ ภาวะเริ่มต้นลูปจะอยู่ในสภาวะล็อก กำหนดจาก DC Loop Gain K_v โดย

$$W_L = K_V = K_o K_d F(o) \text{ rad/s} \tag{19}$$

ซึ่งไม่ขึ้นอยู่กับพารามิเตอร์ของฟิลเตอร์ อย่างไรก็ตาม F(o) ของพาสซีฟฟิลเตอร์ คือ 1 และของแอคทีฟฟิลเตอร์ คือ A จะเห็นว่าฟิลเตอร์แบบแอคทีฟจะให้ W_L กว้างกว่า และความผิดพลาดเชิงเฟสในสภาวะ Steady น้อยกว่า โดยความผิดพลาดเชิงเฟส คือ

$$\theta_o(s) = \frac{S\theta_i(s)}{S + K_o K_d F(s)} \tag{20}$$

จากทฤษฎี Final Value Theorem

$$\lim_{t\to\alpha} Y(t) = \lim_{s\to 0} SY(s) \tag{21}$$

$$\lim_{t\to\alpha} \theta_o(t) = \lim_{s\to 0} \frac{S^2\theta_i(s)}{S + K_o K_d F(s)} \tag{22}$$

ถ้าพิจารณาสภาวะ Steady State ของระบบเมื่อการเปลี่ยนแปลงอินพุทเป็นชนิดขั้น (Step) ทำให้ θ_1 เปลี่ยนไปด้วยขนาด $\Delta\theta o$ ลาปลาซทรานฟอร์มของอินพุทจะเป็น $\theta_i(s) = \Delta\theta/S$ แทนค่าในสมการ (22) จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\lim_{t\to\alpha}\theta_o(t) = \lim_{s\to 0}\frac{S\Delta\theta}{S + K_0K_dF(s)} = 0 \qquad (23)$$

กำหนดให้ F(o)>0 กรณีนี้จะพบว่า ในทางทฤษฎีแล้วระบบอันดับ 2 Type II จะไม่มีผลของการผิดพลาดในสภาวะ Steady State Error เนื่องจากเฟสอินพุทเปลี่ยนไปในลักษณะเป็นขั้น (Step)

ถ้าพิจารณาความผิดพลาดในสภาวะ Steady State เนื่องจากการเปลี่ยนแปลงความถี่อินพุทด้วยขนาด ΔW เฟสของสัญญาณอินพุทจะเปลี่ยนแปลงไปเป็นแบบ Ramp

$$\theta_V(t) = \Delta Wt \;,\; \theta_i(s) = \frac{\Delta W}{S^2}$$

แทนค่า θ_I ในสมการ (22) จะได้ว่า

$$\theta_V = \lim_{t\to\alpha}\theta_o(t) = \lim_{s\to 0}\frac{\Delta W}{S + K_oK_dF(s)} = \frac{\Delta W}{K_oK_dF(o)} \qquad (24)$$

โดย $K_oK_dF(o)$ เรียกว่าเป็น ค่าคงที่ความเร็ว (Velocity Contance) หรือ DC ลูปเกน (K_V)

จากสมการ (24) จะพบว่า ที่ΔW ขนาดเดียวกัน แอดทีฟฟิลเตอร์จะให้ขนาดของความผิดพลาดเชิงเฟสในสภาวะ Steady State น้อยกว่าแบบพาสซีฟด้วยค่าของ A เท่า ดังนั้น ตัว PD จะมีการสิ้นเปลืองกำลังน้อยกว่า ถ้า F(s) เป็นแบบแอดทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 แคปเจอร์เรนจ์ (Capture Range)

แคปเจอร์เรนจ์ หรืออาจเรียกว่า Locked In Range ที่กล่าวมา เป็นสถานะของระบบเมื่ออยู่ในสภาวะล๊อก ส่วน Capture Range เป็นสถานะของระบบก่อนที่จะล๊อก ซึ่งหมายถึงความถี่อินพุทอยู่ใกล้ความถี่ VCO ขนาดใดลูปจะสามารถล๊อกได้ Capture Range (W_c) จะเกี่ยวข้องกับพารามิเตอร์ของฟิลเตอร์ด้วย โดยสำหรับ ลีด-แล็กฟิลเตอร์จะประมาณ

$$W_c = W_L \frac{R_2}{R_1 + R_2} \qquad (25)$$

และแอคทีฟฟิลเตอร์

$$W_c = W_L \left(\frac{R_2}{R_1}\right) \qquad (26)$$

2.5 เฟสดีเทคเตอร์ (Phase Detector)

เฟสดีเทคเตอร์ เป็นวงจรซึ่งให้เอาท์พุทเป็นแรงดัน (อนาลอก) หรือความกว้างของพัลซ์ ซึ่งเป็นอัตราที่แปรผันตามความต่างเฟสของสัญญาณอินพุททั้งสอง เฟสดีเทคเตอร์เป็นส่วนประกอบสำคัญของระบบ PLL วงจรซึ่งสามารถทำหน้าที่เฟสดีเทคเตอร์ได้คือ

2.5.1 มิกเซอร์ (Mixers)

มิกเซอร์ หรือ มัลติพลายเออร์ ใช้เป็นเฟสดีเทคเตอร์ในวงจรอนาลอกเฟสล๊อกลูป ถ้าให้อินพุทของวงจรเป็น $\theta_i = A_i \sin W_o(t)$ มาเปรียบเทียบกับเฟสของสัญญาณอ้างอิง $\theta_r = A_r \sin (W_o(t)+\phi)$ เมื่อ ϕ คือความต่างเฟสของสัญญาณทั้งสองเอาท์พุทของมิกเซอร์ θ_o คือ

$$\theta_o = \theta_i \theta_r = \frac{A_i A_r K}{2} \cos\phi - \frac{A_i A_r K}{2} \cos(2W_o(t) + \phi) \qquad (27)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

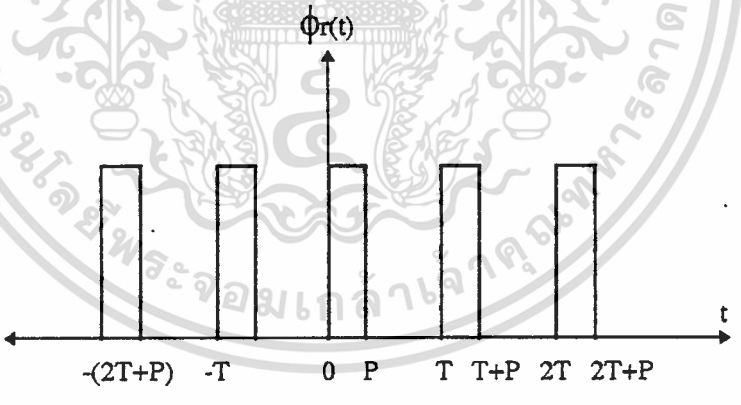
เมื่อ K เป็นเกนของมิกเซอร์ เทอมที่ 2 ของสมการที่ (1) จะถูกฟิลเตอร์ออกไป ดังนั้น

$$\theta_o = \frac{A_i A_r K}{2} \cos\phi \qquad (28)$$

จากสมการ (28) เอาท์พุทของมิกเซอร์จะเป็นศูนย์ เมื่อ $\phi = \pi/2$ ซึ่งหมายความว่าถ้า θ_i และ θ_r ต่างเฟสกัน 90 องศา วงจรมิกเซอร์จะให้เอาท์พุทเป็นศูนย์ และ จะให้เอาท์พุทสูงสุด เมื่อ θ_i และ θ_r มีเฟส 0 และ 180 องศา จะเป็นว่า นอกจาก ϕ แล้วเอาท์พุทจะแปรตามขนาดของสัญญาณอินพุทด้วย วงจรที่ทำหน้าที่นี้ได้แก่ Balance Mixers

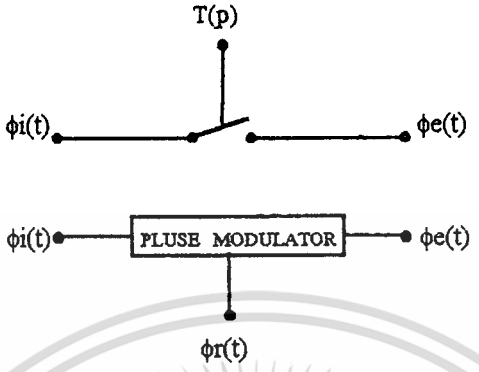
2.5.2 แซมปลิ้งดีเทคเตอร์ (Sampling Detector)

เราสามารถแยกความต่างเฟสของสัญญาณสองสัญญาณได้ โดยกำหนดสัญญาณอ้างอิง θ_r เป็นสัญญาณพัลซ์ซึ่งมีคาบเวลาคงที่ไปทำการ Sampling สัญญาณอินพุท θ_i ด้วยช่วงเวลาสั้นๆ (P) ดังรูปที่ 2.3



รูปที่ 2.3 ขบวนพัลซ์เพื่อใช้ในการ Sampling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 วงจร Pulse Modulator

เอาท์พุทของวงจรในรูปที่ 2.4 จะเป็น

$$\theta_e(t) = \theta_i(t)\theta_r(t) \tag{29}$$

โดยที่

$$\theta_r(t) = \sum_{n=-\alpha}^{\alpha} Cn\theta^{jnw_o t} \tag{30}$$

เมื่อ

$$C_n = \frac{1}{T}\int_0^P A_n\theta^{-jnw_o t}\,dt \tag{31}$$

$$= \frac{4A_r}{T}\sin\frac{nW_o P}{2}\theta^{-\frac{jw_n P}{2}} \quad ; \; n \neq 0$$

$$= \frac{A_r P}{T} \quad ; \; n = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น

$$\theta_r(t) = \frac{A_r P}{T} + \sum_{n=1}^{\alpha} \frac{4A_r}{T} \sin\frac{nW_o P}{nW_o} \cos nW_o(t - \frac{P}{2}) \quad (32)$$

ถ้าสัญญาณอินพุทเป็น Sinewave

$$\theta_i(t) = A_i \sin(W_i t + \phi)$$

โดยแทนค่า $\theta_r(t)$ และ $\theta_i(t)$ ในสมการ (29)

$$\theta_e(t) = \frac{A_i A_r}{T}\Big[P \sin(W_i t + \phi) + 2\sum_{n=1}^{\alpha} \sin\frac{nW_o P}{nW_o}(\sin(nW_o + W_i)t + \phi - \frac{nW_o P}{2}) + \sin(W_i t + \phi + \frac{nW_o P}{2})\Big] \quad (33)$$

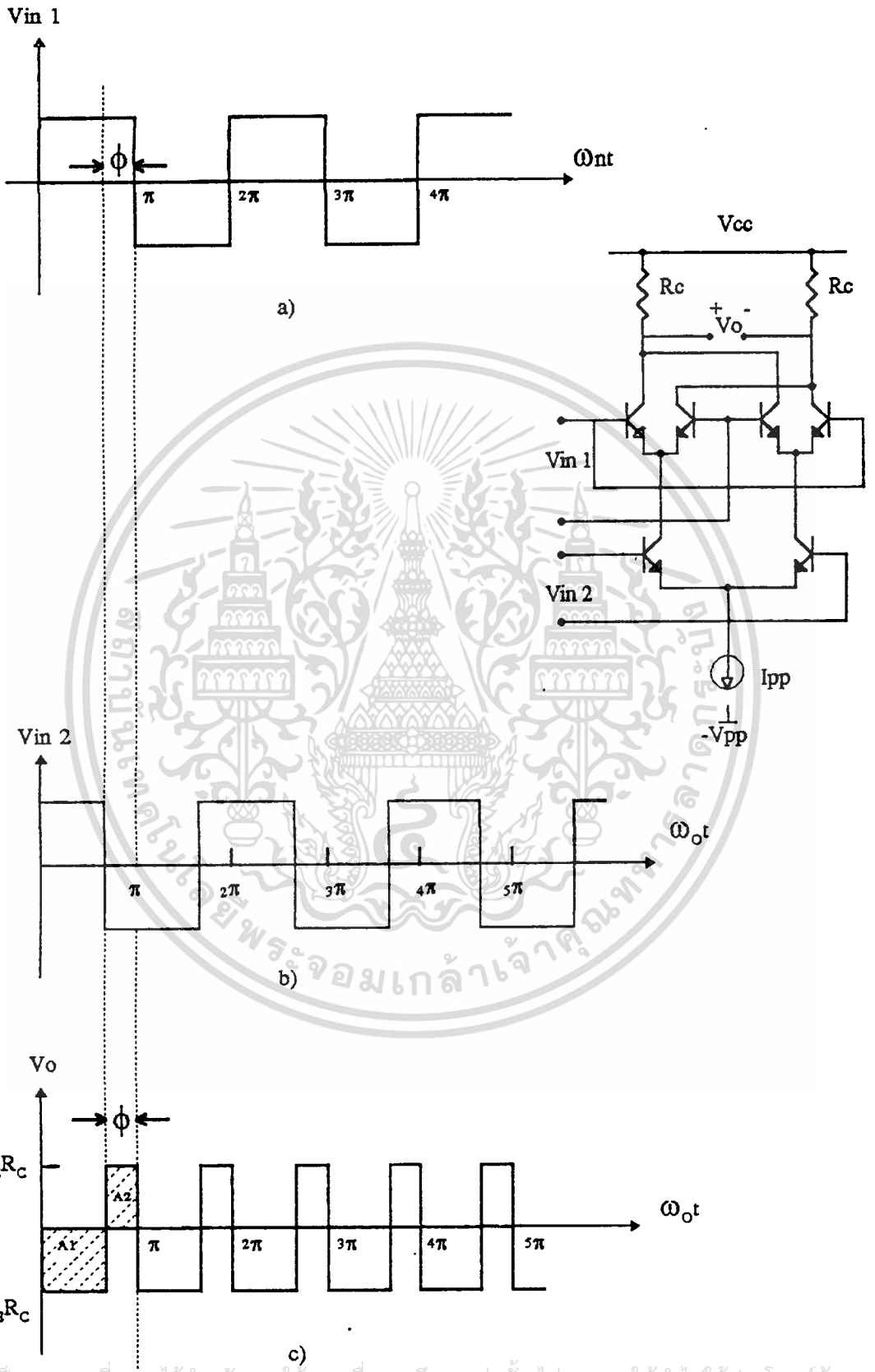
เมื่อ $W_i = W_o$ จะได้เทอมเป็น DC คือ

$$\theta_e(t) = \frac{A_i A_r}{T} \sin\frac{P}{2} \sin(\phi + \frac{W_o P}{2}) \quad (34)$$

จะเห็นว่า การต่างเฟส $\Delta\phi$ ค่าน้อยๆ แล้วเอาท์พุทจะเป็นอัตราส่วนโดยตรงกับ $\Delta\phi$ และต่างจากวงจรแบบมิกเซอร์ คือ เอาท์พุทจะเป็นศูนย์เมื่อ $\Delta\phi = W_O P/2$ นั่นคือ เมื่อเฟสของอินพุททั้งสองตรงกันเอาท์พุทวงจรจะเป็นศูนย์ และคุณสมบัติที่เหมือนกับวงจรแบบมิกเซอร์คือเอาท์พุทจะขึ้นอยู่กับขนาดของอินพุทเช่นกัน อย่างไรก็ตามเมื่อ $W_i = W_o$ เอาท์พุทของมิกเซอร์จะประกอบด้วยเทอมที่เป็น DC และ ฮาร์โมนิคทุกตัวของ $\theta_r(t)$

เฟสดีเทคเตอร์ของอนาลอก PLL จะเป็นวงจรคูณแบบกิลเบิร์ต (Gilbert Multiplier) ดังรูปที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.5 วงจรเฟสดีเทคเตอร์แบบกิลเบิร์ต และรูปสัญญาณ

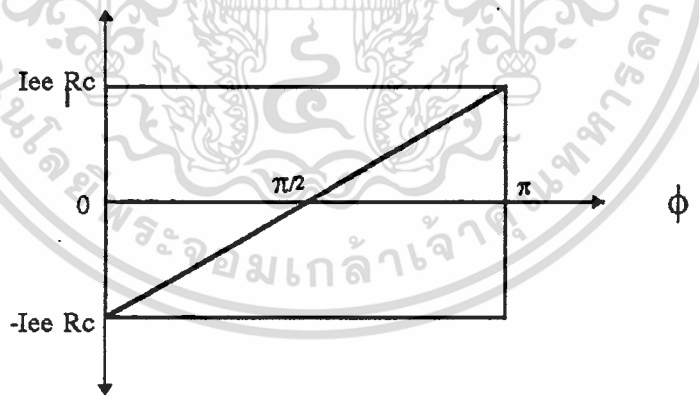
เอาท์พุทของวงจรประกอบด้วยส่วนที่เป็น DC และ ฮาร์โมนิคที่ 2 ของอินพุท ส่วนประกอบ DC จะแปรผันตรงกับความต่างเฟส(ϕ) โดย

$$V_{av} = \frac{1}{2\pi}\int_0^{2\pi} V_o(t)\,d(W_o t) \qquad (35)$$
$$= \frac{-1}{\pi}(A_1 - A_2)$$

เมื่อ A1 และ A2 คือพื้นที่ในรูป ดังนั้น

$$V_{av} = -\left[IeeR_c\left(\frac{\pi-\phi}{\pi}\right) - IeeR_c\frac{\phi}{\pi}\right] \qquad (36)$$
$$= IeeR_c\left(\frac{2\phi-1}{\pi}\right)$$

ความสัมพันธ์ระหว่าง ϕ และ V_o ดังแสดงในรูป 2.6



รูปที่ 2.6 ความสัมพันธ์ระหว่าง ϕ และ V_o

กรณีอินพุทมีขนาดเล็กเมื่อเปรียบเทียบกับ Thermal Voltage (V_T) วงจรจะมีลักษณะการทำงานแบบ Balance Modulator ขนาดของ DC เอาท์พุทในกรณีที่อินพุทมีขนาดเล็กจะขึ้น

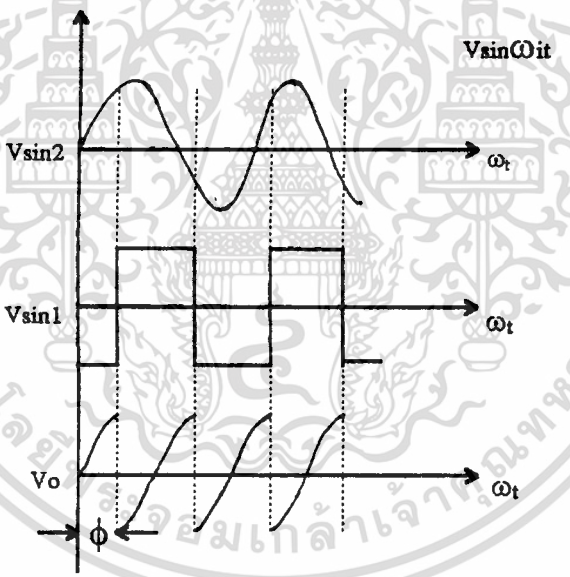
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อยู่กับแรงดันอินพุท (V_{in2}) เอาท์พุทจะเป็นคลื่นรูป Sine คูณกับ คลื่นรูปเหลี่ยม ดังรูป 2.7 โดยแรงดันเฉลี่ยของเอาท์พุทจะเป็น

$$V_{av} = \frac{R_c V_i}{\pi}\left[\int_0^{\pi}(\sin Wt)d(Wt) - \int_0^{\pi}(\sin Wt)d(Wt)\right] \qquad (37)$$
$$= \frac{-2gmR_c V_i \cos\phi}{\pi}$$

โดยที่ V_i คือ แรงดันอินพุท V_{in2}

gm คือ Transconductance ของ ทรานซิสเตอร์



รูปที่ 2.7 รูปคลื่น Sine คูณกับ คลื่นรูปเหลี่ยม

เฟสดีเทคเตอร์ทั้งสองแบบเป็นชนิดอนาลอก โดยที่ขนาดของสัญญาณมีการเปลี่ยนแปลงแบบไม่จำกัด สำหรับวงจรที่มีสัญญาณจำกัดจะเป็นวงจร Digital Phase Detectors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

036991

2.5.3 ดิจิตอลเฟสดีเทคเตอร์ (Digital Phase Detectors)

I. Exclusive OR Phase Detectors

Exclusive OR สามารถใช้เป็น Phase Detectors ได้ จะให้เอาท์พุทเป็น "1" เมื่ออินพุททั้งสองมีระดับลอจิกต่างกัน ถ้าอินพุททั้งสองเหมือนกันเอาท์พุทจะเป็น "0" แรงดันเฉลี่ยของเอาท์พุทคำนวณได้จาก

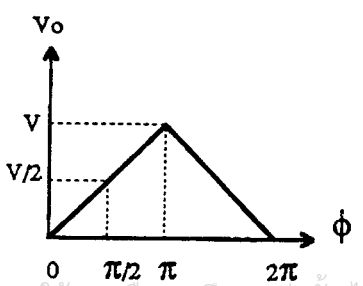
$$V_o = V_p D \tag{38}$$

เมื่อ V_p คือ ระดับแรงดันลอจิก "1"

D คือ Duty Cycle ของเอาท์พุท

รูปที่ 2.8 Exclusive OR Phase Detectors

เมื่อนำแรงดันเอาท์พุทมาเขียนกราฟสัมพันธ์กับ $\Delta\phi$ จะเป็น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

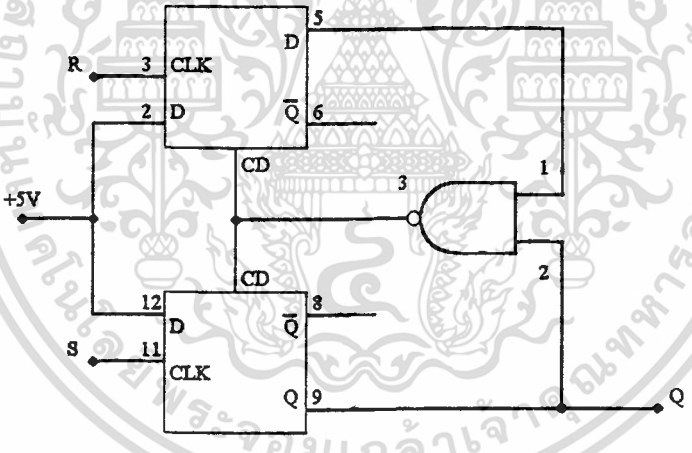
รูปที่ 2.9 คุณสมบัติอินพุทต่อเอาท์พุทของเฟสดีเทคเตอร์

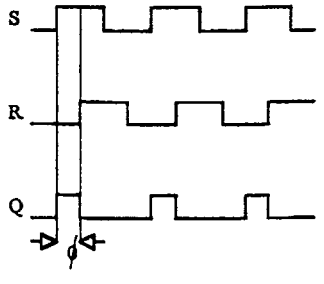
จากรูป 2.9 Exclusive OR สามารถใช้เป็นเฟสดีเทคเตอร์ ได้ในช่วงความต่างเฟส ระหว่าง 0 ถึง π โดยอินพุทจำเป็นต้องมี Duty Cycle 50% และเอาท์พุทที่ได้จะมีความถี่เป็นสองเท่าของความถี่อินพุท และมี Conversion Gain เท่ากับ VDD/π

II. Flip-Flop Detector

วงจรดังรูป 2.10 แรงดันเฉลี่ยที่ขา Q จะเป็นสัดส่วนกับความต่างเฟส ของสัญญาณที่ R และ S วงจรใช้วิธีการทริกที่ขอบขาขึ้นของสัญญาณอินพุท ในกรณีนี้ไม่จำเป็นที่อินพุททั้งสองจะต้องมี Duty Cycle 50%

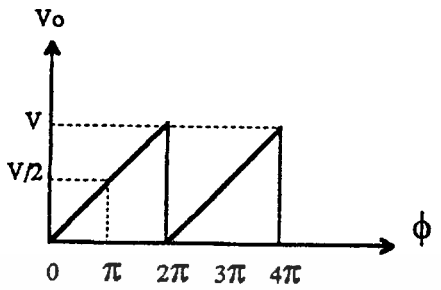
ถ้านำความต่างเฟส $\Delta\phi$ มาเขียนกราฟเทียบกับแรงดันเฉลี่ยเพื่อหาความสัมพันธ์ระหว่างอินพุทจะได้สัญญาณรูปฟันเลื่อย ดังรูป 2.11





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.10 เฟสดีเทคเตอร์ชนิดทริกด้วยขอบขาขึ้นของพัลซ์



รูปที่ 2.11 คุณสมบัติอินพุทต่อเอาท์พุทของเฟสดีเทคเตอร์

สำหรับวงจรเฟสดีเทคเตอร์นี้ จะมีช่วงเฟสช่วงต่างเฟสได้ 0 ถึง 2π (เป็นสองเท่าของ EX-OR) ความถี่ของสัญญาณเอาท์พุทจะเท่ากับอินพุท และมี Conversion Gain เท่ากับ $VDD/2\pi$

III. Phase Frequency Detectors

แม้ว่าเฟสดีเทคเตอร์แบบ EX-OR และแบบ Flip-Flop จะเป็นวงจรที่ง่าย แต่ก็มีข้อจำกัดคือ จำเป็นต้องมีการฟิลเตอร์สัญญาณเอาท์พุทที่ดี เพื่อจะแยกค่าเฉลี่ยของแรงดัน DC ที่ต้องการ และเมื่อนำไปใช้ในวงจร PLL จะให้ผลตอบสนองช้า จึงได้มีการพัฒนามาเป็น Phase Frequency Detectors

วงจรจะให้เอาท์พุท 3 แบบ คือ

1. Double Ended Output
2. Tri State Output
3. Phase Pulse Output

1. Double Ended Output มีขา ϕR และ ϕV จะให้เอาท์พุท ดังนี้

ถ้า fv>fr หรือเฟสของ fv นำหน้า fr ขา ϕV จะเป็น "0" นานเท่ากับเวลาที่นำหน้าอยู่ และ ϕR จะเป็น "1" ตลอดเมื่อต่อร่วมกับวงจร Charge Pump จะเป็นตัว Pump Down

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า fr>fv หรือเฟสของ fr นำหน้า fv ขา ϕR จะเป็น "0" นานเท่ากับเวลาที่นำหน้าอยู่ และ ϕV จะเป็น "1" ตลอดเมื่อต่อร่วมกับวงจร Charge Pump จะเป็นตัว Pump up

ถ้าความถี่ fr=fv และมีเฟสเดียวกัน ϕR และ ϕV จะเป็น "1" ตลอด ยกเว้นในช่วงเวลาสั้นๆ ที่เฟสทั้งสองเข้าใกล้กัน ซึ่งจะเห็นเป็นพัลซ์แหลมๆ (Spike) ดังรูป 2.13 จะไม่สามารถผ่านวงจร LPF ไปได้

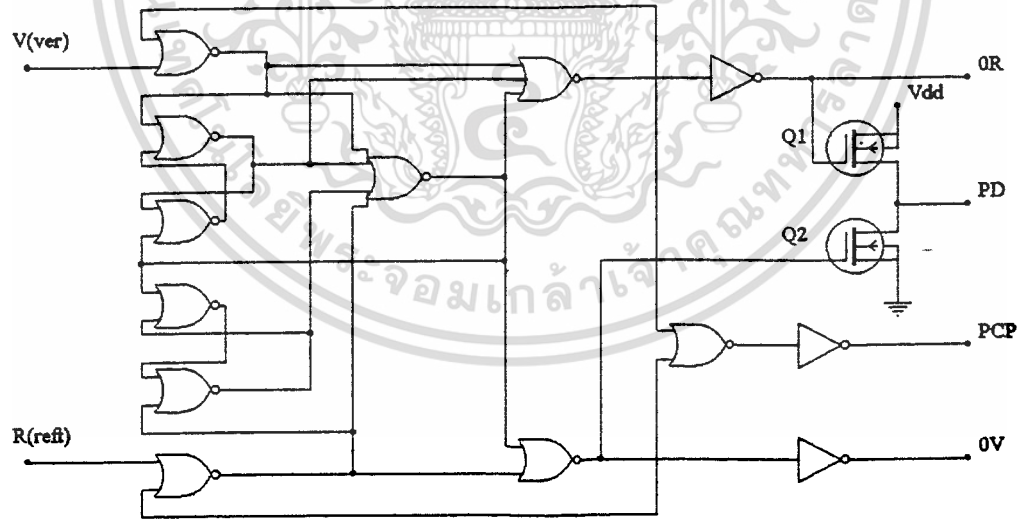
2. Tri State Output ขา PD จะให้เอาท์พุทดังนี้

ถ้า fv>fr หรือ เฟส fv นำหน้า fr จะให้พัลซ์เป็นลบ (Q2 นำกระแส)

ถ้า fv<fr หรือ เฟส fv ล้าหลัง fr จะให้พัลซ์เป็นบวก (Q1 นำกระแส)

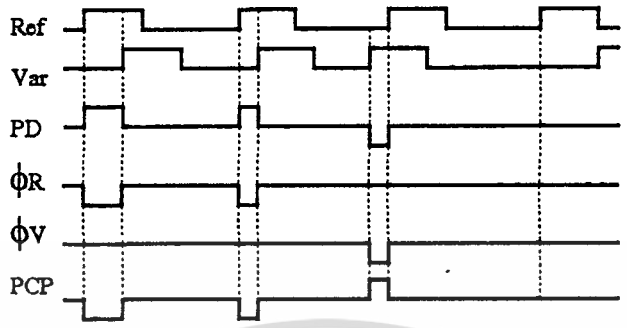
ถ้า fv=fr และมีเฟสเดียวกัน Output จะมีสถานะเป็น High Impedance (Q1 และ Q2 ไม่นำกระแส)

3. Phase Pulse Output ให้ลอจิก "0" ทุกๆ ครั้งที่เกิดความต่างเฟสของ fv และ fr นอกจากนั้นจะเป็น "1" ซึ่งสามารถใช้แสดงสถานะการล็อกได้



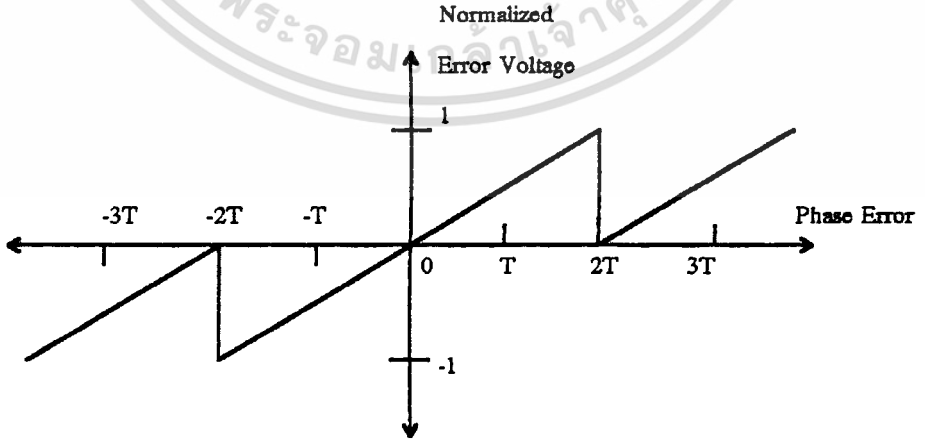
รูปที่ 2.12 Phase Frequency Detectors ชนิดทริกด้วยขอบขาขึ้นของพัลซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 รูปคลื่นของวงจร Phase Frequency Detectors

วงจรในรูป 2.10 จะรวมอยู่ในรูปของไอซีตัวเดียว เช่น เบอร์ 4046, 14568 จะมีเฉพาะขา PD และ PCP ส่วนเบอร์ 145157-1 และ 145158-1 จะมีทุกขาที่กล่าวมา ไอซีชนิด TTL ทำงานที่ขอบขาลงของพัลซ์ เช่น เบอร์ MC4044 ทำงานได้ถึง 80 MH_Z ใช้ในระบบ PLL ที่ต้องการตอบสนองในย่านกว้าง เช่น วงจร Frequency Synthesizer รูปที่ 2.14 แสดงความสัมพันธ์ระหว่างความต่างเฟส และแรงดันเอาท์พุท วงจรมี Convertion Gain เท่ากับ VDD/4π สำหรับขา PD และ VDD/2π สำหรับขา ϕR,ϕV



รูปที่ 2.14 คุณสมบัติอินพุทต่อเอาท์พุทของเฟสดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

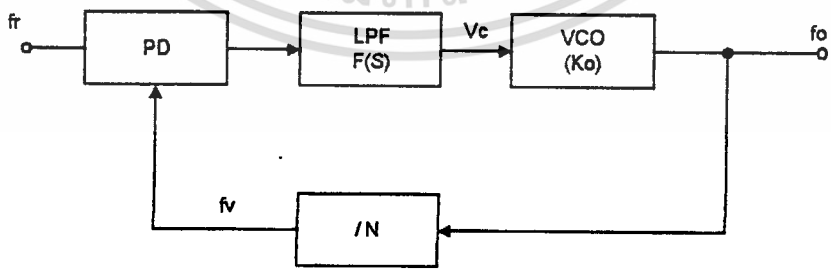
2.6 การสังเคราะห์ความถี่โดย PLL

โครงสร้างของระบบ PLL ในรูปที่ 2.1 จะเห็นว่า ความถี่ที่ได้จาก VCO มีความถี่เดียว คือ ความถี่อินพุทของลูป เราสามารถเปลี่ยนความถี่ของ VCO ในลูปได้ โดยเพิ่มหรือลดความถี่อินพุท ซึ่งจะทำให้ VCO ติดตามความถี่ใหม่ของอินพุทไป เมื่อวงจรอยู่ในสภาวะ Steady State ความถี่ของ VCO ก็จะเท่าความถี่ใหม่ของอินพุทอีกครั้ง ซึ่งไม่ได้ให้ความหมายของการสังเคราะห์ความถี่แต่อย่างใด การสังเคราะห์ความถี่ในการสื่อสารต้องการความถี่ที่มีเสถียรภาพสูงทั้งระยะสั้น และระยะยาว ความถี่ที่ต้องการเปลี่ยนไปในลักษณะเป็นขั้น โดยมีลักษณะเป็นการทดแทนคริสตอลในวงจรออสซิลเลเตอร์ ที่ต้องเปลี่ยนตัวใหม่เมื่อต้องเปลี่ยนความถี่

การสังเคราะห์ความถี่ด้วย PLL ทำได้โดยให้ความถี่อินพุทเป็นความถี่อ้างอิงซึ่งสร้างจากคริสตอลหรืออุปกรณ์สร้างความถี่มาตรฐานควบคุมด้วย Atomic เช่น Cesium หรือ Rubidium จากนั้นสร้างความถี่ VCO ให้ทำงานที่ความถี่ทวีคูณด้วยเลขจำนวนเต็มใดๆ ของความถี่อ้างอิงที่อินพุท โดย

$$f_{VCO} = Nf_R \tag{39}$$

จากนั้นทำการหาร N ก่อนที่จะป้อนเข้า PD กรณีนี้ความถี่ของ VCO ก็จะเปลี่ยนไปตามจำนวนของตัวหารนั้น



รูปที่ 2.15 การสังเคราะห์ความถี่ด้วย PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาจากรูปที่ 2.15 จะเห็นว่า ตัวหารความถี่ถูกเพิ่มขึ้นมาในส่วนของการป้อนกลับในลูป และความถี่เอาท์พุทของตัวหารความถี่ fv จากนำไปเปรียบเทียบเฟสกับ fr ซึ่งเป็นความถี่อ้างอิงมาตราฐานจาก สมการจะเขียนใหม่โดยเพิ่ม K_n ซึ่งเป็นตัวหารความถี่เข้าไป

$$B(s)=\frac{K_oK_dF(s)}{S+\frac{K_iK_dF(s)}{K_n}}=\frac{\frac{K_iK_dF(s)}{S}}{1+\frac{K_oK_dF(s)}{K_nS}} \tag{40}$$

ซึ่งฟอร์เวอร์ดเกนของระบบ คือ

$$G(s)=\frac{K_oK_dF(s)}{S} \tag{41}$$

และเกนลูปเปิด คือ

$$G(s)H(s)=\frac{K_oK_dF(s)}{K_nS} \tag{42}$$

จากสมการ (40) เราสามารถนำไปประยุกต์เป็นวงจรสังเคราะห์ความถี่ โดยนำพารา-มิเตอร์ต่างๆ ในสมการเปลี่ยนไปประยุกต์เป็นวงจรจริง แล้วนำมาต่อ ระบบ PD ที่ใช้กับวงจรสังเคราะห์ความถี่จะเป็นชนิดดิจิตอล PD แบบเชิงเส้นไม่เหมาะที่จะใช้งานเนื่องจาก

1. ลูปอาจไปล็อกกับความถี่ฮาร์โมนิคของความถี่ที่ต้องการ
2. คุณสมบัติ PD แบบเชิงเส้นจะเป็น Cosine Function ช่วงใช้งานจึงจำกัดในช่วง $\pm\pi/4$ rad
3. ลูปเกนจะขึ้นอยู่กับขนาดและ Duty Cycle ของสัญญาณอินพุท
4. สภาวะล็อกของลูป fr และ fv จะต้องมีเฟสต่างกันคงที่ 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

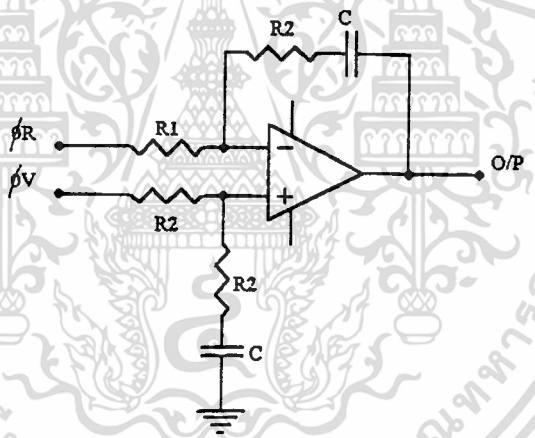
จากสมการ (13) เมื่อเพิ่ม K_n เข้าไปในลูป พารามิเตอร์ที่เปลี่ยนไป คือ W_n ซึ่ง N คือ ตัวหารใน Feed Back Loop ส่วน Damping Factor ยังเหมือนเดิม

ข้อพิจารณาในการออกแบบลูปฟิลเตอร์

1. เนื่องจากตัวฟิลเตอร์ที่ใช้ OP AMP (Integrator) มีฟังก์ชั่นเป็น Inverting ดังนั้น จึงจำเป็นต้องกลับเฟสเสียก่อน เพื่อให้ V_c จากฟิลเตอร์สามารถควบคุม VCO ได้ถูกทิศทางกับความผิดพลาดที่เกิดขึ้น ซึ่งทำได้ง่ายที่สุด โดยการสลับอินพุท fr และ fv ที่ PD

2. สำหรับ PD เป็น IC CMOS ขา Non-Inverting ของ OP AMP ต้องไบอัสที่ VDD/2 ส่วน PD ที่เป็น TLL ต้องดูคุณสมบัติเฉพาะเบอร์

3. กรณี PD ที่มีเอาท์พุทเป็น Double Ended ใช้ในวงจรฟิลเตอร์ดังรูปที่ 2.16



รูปที่ 2.16 ฟิลเตอร์สำหรับ PD (Double Ended)

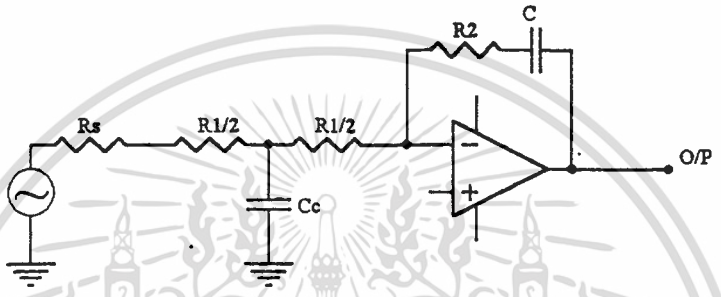
ซึ่งเฟสดีเทคเตอร์ชนิดนี้ จะมี $K_d = VDD/2\pi$ ส่วน Wn และ Damping Factor ของลูปเหมือนกับแบบ Single Ended

4. วงจรแอคทีฟฟิลเตอร์อาจเกิดการอิ่มตัว ถ้าลูปเกิดการผิดพลาดเชิงเฟสที่ PD มีขนาดใหญ่ พร้อมๆ กับ Transient Overshoot ขึ้นในลูป กรณีเฉพาะลูปที่ใช้ PD แบบดิจิตอล เนื่องจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

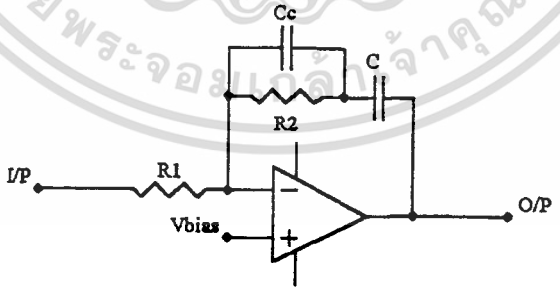
เอาท์พุทของ PD เปลี่ยนเป็น "0" หรือ "1" ทันทีทันทันใด นอกจากนี้ความถี่อินพุทของฟิลเตอร์มักจะมาก ดังนั้นถ้าอัตราส่วนของ R_2/R_1 มากกว่า 10 เท่า ความถี่นี้ก็จะถูกขยายออกด้วยอัตรส่วนของ R_2/R1 ถ้าสามารถทำได้ควรให้อัตราส่วนน้อยที่สุด

วิธีการแก้ไขการอิ่มตัวของ Op Amp ทำได้โดยเพิ่มวงจร LPF ก่อนวงจร Integrator ดังรูป 2.17 และ 2.18



รูปที่ 2.17 วิธีแก้ Transient ด้วย R_1 C_c

$W_c = 1/R_2C_c$



รูปที่ 2.18 วิธีการแก้ Transient ด้วย R_2C_c

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ $R_s << R_1/2$; $W_c = 4/R_1C_c$;R_sคือ O/P Impedance ของ PD นอกจากนั้น $W_c = 4(R_1+R_s)/(R_1+2R_s)R_1 C_c$

จากรูป 2.17 คำนวณ W_c ได้จาก $4/R_1C_c$ได้เลยถ้า PD เป็น Digital จากมีความต้านทานเอาท์พุทต่ำ ความถี่คัทออฟของวงจรที่เพิ่มขึ้น ถ้าเป็นไปได้ควรจะมากกว่า W_n อยู่ 5-10 เท่า เนื่องจาก Pole ที่เกิดจากวงจรที่เพิ่มขึ้น ถ้าอยู่ใกล้ W_n จะทำให้ลูปเกิด Overhoot มากขึ้น และผลพลอยได้ของฟิลเตอร์ที่เพิ่มขึ้นจะทำให้ W_r (ความถี่อ้างอิง) ถูกลดทอนลงด้วย แรงดันที่ไปควบคุม VCO ควรเป็นแรงดันที่ไม่ใช่ DC จะทำให้เอาท์พุทของ VCO มีการมอดูเลตด้วย แรงดันที่ไม่ใช่ DC ใดๆ ในแรงดันที่มาควบคุม VCO ส่วนประกอบที่ไม่ใช่ DC ส่วนใหญ่จะมาจาก W_r และ Noise ต่างๆ ในวงจรแอคทีฟฟิลเตอร์จะเพิ่มขึ้น Noise ลงไปในแรงดัน DC นี้ด้วย ดังนั้น วงจรขยายที่ใช้ OP AMP เป็นตัวฟิลเตอร์ควรมีคุณสมบัติที่มีสัญญาณรบกวนต่ำ และกระแสไบอัสอินพุทควรน้อยที่สุด เนื่องจากวงจรดึงกระแสจำนวนหนึ่งจาก PD ทำให้เกิดการผิดพลาดเชิงเฟสเมื่อวงจรอยู่ในสภาวะ Stady State มีค่ามากกว่า 0 มาก ถ้าใช้ฟิลเตอร์แบบพาสซีสจะทำให้เกิดความผิดพลาดในสภาวะ Steady State มากกว่า แอคทีฟฟิลเตอร์ เพราะพาสซีสฟิลเตอร์จะดึงกระแสมากกว่าแอคทีฟฟิลเตอร์ อย่างไรก็ตามพาสซีสฟิลเตอร์จะไม่เพิ่ม Noise เข้าไปในวงจรเหมือนแอคทีฟฟิลเตอร์ และ R_1 ของพาสซีฟสามารถแบ่งเป็น $R_1/2$ แล้วใช้ C_c เพิ่มขึ้นได้เช่นเดียวกับวงจรในรูป 2.17 และใช้วิธีคำนวณ W_c เช่นเดียวกัน

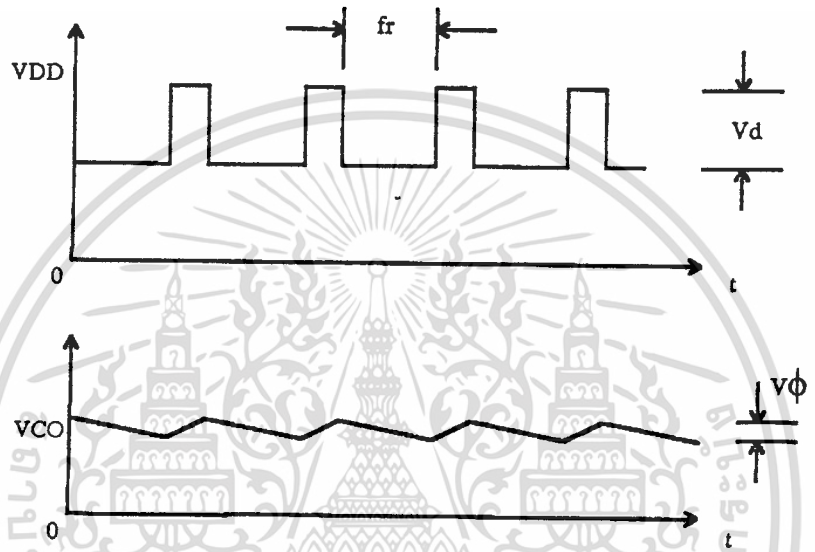
5. แรงดันไปควบคุม VCO ควรมีส่วนประกอบที่ไม่ใช่ DC น้อยที่สุดเพราะจะทำให้ความถี่เอาท์พุทของ VCO เกิดเอาท์พุทที่ไม่ต้องการ ดังนั้น W_r ควรกำจัดออกไปให้มากที่สุด

จากรูปที่ 2.19 รูปคลื่นจะทำให้เกิด Side Band ที่สัมพันธ์กับ Carrier ของVCO โดยประมาณได้จาก

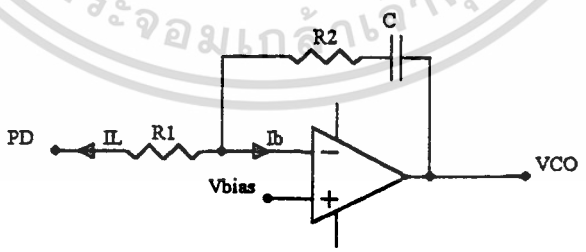
$$\frac{sideband}{(f_o)carrier} \cong \frac{V_\phi K_o}{2W_R} \qquad (43)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ Vϕ คือ ค่าแรงดัน Peak Value ของ fr ที่อินพุทของ VCO จะเห็นว่า K_o ของ VCO และ fr ต่างมีผลกับ Side Band ที่เกิดขึ้นกับความถี่ของ VCO นอกจากนี้ Side Band ยังสัมพันธ์กับ Leakage Current ของ C ใน Integrator และกระแสไบอัสอินพุทของ OP AMP



รูปที่ 2.19 รูปคลื่นเอาท์พุทของ PD และ Integrator

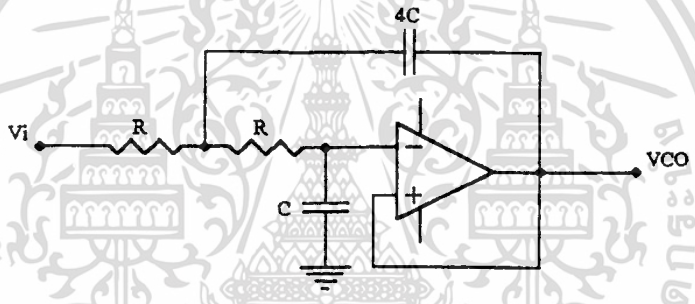


รูปที่ 2.20 กระแสรั่วไหลของกระแสไบอัสอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{sideband}{f_o} \cong \frac{R_2(I_b + I_L)K_o}{W_R} \qquad (44)$$

ในกรณีที่จำเป็นสามารถเพิ่มวงจรฟิลเตอร์เข้าไประหว่าง Integrator และ VCO เพื่อลดขนาดของ Vϕ ในรูปที่ 2.19 เพื่อให้ Side Band ที่เกิดขึ้นน้อยที่สุด ฟิลเตอร์ใช้ได้ทั้งแอคทีฟและพาสซีฟ ถ้าต้องการลดทอนมากก็ใช้แอคทีฟฟิลเตอร์ เนื่องจากการใช้พาสซีฟมากกว่าหนึ่งชุดจะทำให้เกิดการเลื่อนเฟสมากกว่าการลดทอนสัญญาณ ซึ่งเฟสที่เลื่อนไปจะต้องนำไปหักจาก Phase Margin ของระบบซึ่งจะทำให้ระบบไม่มีเสถียรภาพ ดังนั้นใช้แอคทีฟฟิลเตอร์จะดีกว่า



รูปที่ 2.21 วงจร LPF อันดับ 2 โดยใช้ OP AMP

$$\zeta = \sqrt{\frac{C}{4C}} = 0.5$$

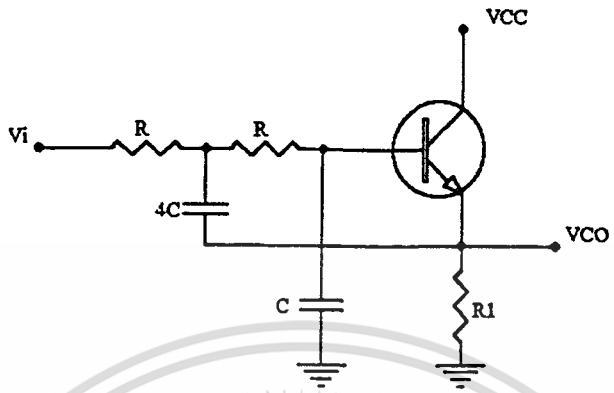
$$W_c = \frac{0.636}{RC}$$

1K < R < 100 H

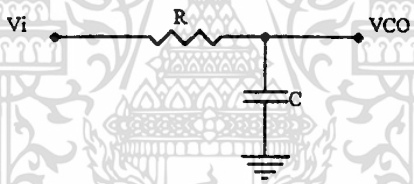
ถ้า O/P > Vcc-1V วงจรจะไวต่อสัญญาณรบกวนจาก VCC

$W_C = 1/RC$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 วงจร LPF อันดับ 2 โดยใช้ Transistor



รูปที่ 2.23 วงจร LPF แบบ พาสซีลฟีลเตอร์

ความสามารถในการลด Side Band โดยประมาณของวงจร คือ

$$dB \cong 40\log (W_c/W_r) \quad (45)$$

สำหรับพาสซีฟฟีลเตอร์ คือ

$$dB \cong 20\log (W_c/W_r) \quad (46)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. การเพิ่มฟิลเตอร์เข้าไปในลูปของข้อ 4 และ 5 จะทำให้ผลการทำงานของลูปต่างไปจากระบบ Order 2 Type II ทั้งนี้ในส่วนของ B (s) จะเพิ่มขึ้นตามโพลของฟิลเตอร์ที่เพิ่มขึ้น การวิเคราะห์การทำงานของระบบจัดทำได้ยาก จึงต้องใช้โปรแกรมคอมพิวเตอร์ช่วย เช่น โปรแกรม PLL Design Kit ของ Comunication Consultting Corporation

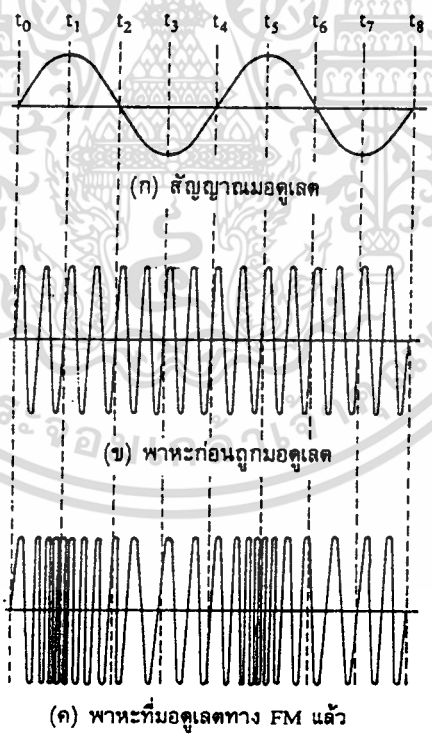
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการเครื่องส่งเอฟเอ็มสเตอรีโอมัลติเพล็กซ์

3.1 การมอดูเลตทางความถี่

รูปคลื่นของสัญญาณเอฟเอ็ม เกิดจากสัญญาณมอดูเลต ดังรูปที่ 3.1 (ก) เช่น สัญญาณเสียง ซึ่งเป็นข่าวสาร เข้าไปมอดูเลตลงบนสัญญาณพาหะ ดังรูปที่ 3.1 (ข) สัญญาณพาหะหลังจากถูกมอดูเลตแล้วในรูปที่ 3.1 (ค) เป็นสัญญาณเอฟเอ็ม จะเห็นว่าเวลา t_0 สัญญาณเอฟเอ็ม อยู่ที่ความถี่กลาง เมื่อสัญญาณที่เข้ามามอดูเลตมีค่าทางบวกสูงสุด ความถี่ของพาหะจะเพิ่มขึ้นสูงสุด นั่นคือ สัญญาณมอดูเลตถึงจุดยอดสุด (สัญญาณมอดูเลตมีขนาดสูงสุดนั่นเอง) ที่เวลา t_1



รูปที่ 3.1 การมอดูเลตทางความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เวลา t_2 สัญญาณมอดูเลตลดลงเป็นศูนย์ ความถี่ของพาหะก็จะลดลงมาที่ความถี่กลางดังเดิม หลังจากสัญญาณมอดูเลตมีค่าตกลงกว่าศูนย์กลายเป็นลบ พาหะจะมีความถี่ลดลงต่ำกว่าความถี่กลาง และเมื่อสัญญาณมอดูเลตกลับเป็นศูนย์อีกครั้งหนึ่ง ความถี่ของพาหะก็จะกลับมายังความถี่ของพาหะคือ ความถี่กลางดังเดิม ในช่วงเวลา t_4 ถึง t_8 ก็จะซ้ำแบบเดิมเรื่อยๆ ไป สรุปแล้วความถี่ของพาหะจะเปลี่ยนแปลงไปตามแอมพลิจูดของสัญญาณมอดูเลต และพาหะยังคงอยู่ที่ความถี่กลาง เมื่อสัญญาณมอดูเลตเป็นศูนย์

ช่วงความถี่ที่พาหะเบี่ยงเบนไปจากความถี่กลาง เรียกว่า ความถี่เบี่ยงเบน (frequency deviation) หรือดีวิเอชั่น ตัวอย่างเช่น พาหะมีความถี่ 100 MHz ลดลงต่ำสุดเป็น 99.9 MHz และเพิ่มขึ้นสูงสุดเป็น 100.1 MHz สลับไปมาเช่นนี้ หมายความว่า ช่วงความถี่เบี่ยงเบนเท่ากับ 0.1 MHz หรือ 100 KHz อัตราการเปลี่ยนแปลงความถี่ของสัญญาณเอฟเอ็มขึ้นอยู่กับความถี่ของสัญญาณที่เข้ามามอดูเลต เช่น ถ้าสัญญาณที่เข้ามอดูเลตเป็นโทน (สัญญาณเสียง) ความถี่ 1000 Hz อัตราการเบี่ยงเบนความถี่ของสัญญาณเอฟเอ็มจะเท่ากับ 1000 ครั้งต่อวินาที ถ้าสัญญาณที่เข้ามามอดูเลตเพิ่มความถี่เป็น 10 KHz โดยคงค่าแอมปลิจูดเท่าเดิม ช่วงความถี่เบี่ยงเบนก็ยังเท่าเดิม คือเท่ากับ 100 KHz แต่อัตราการเบี่ยงเบนจะเพิ่มเป็น 10000 ครั้งต่อนาที นั่นคือ ความถี่ของสัญญาณที่เข้ามอดูเลตเป็นตัวกำหนดการเบี่ยงเบนความถี่

สำหรับแอมปลิจูดของสัญญาณมอดูเลตจะเป็นตัวกำหนดช่วงความถีเบี่ยงเบน ตัวอย่างเช่น สัญญาณโทนที่มีแอมปลิจูดสูง จะทำให้ความถี่เบี่ยงเบนไป ±100 KHz และสัญญาณโทนที่มีแอมปลิจูดน้อยลง จะทำให้ความถี่เบี่ยงเบนไป ±50 กิโลเฮิรตซ์

กล่าวโดยสรุป สัญญาณ เอฟเอ็ม มีคุณสมบัติที่สำคัญดังนี้

1. มีแอมปลิจูดคงที่ตลอด แต่ความถี่เปลี่ยนตามสัญญาณที่เข้ามามอดูเลต
2. อัตราการเบี่ยงเบนความถี่ของสัญญาณพาหะเท่ากับความถี่ของสัญญาณที่มามอดูเลต
3. ช่วงความถี่เบี่ยงเบน (หรือดีวิเอชั่น) เป็นสัดส่วนกับแอมปลิจูดของสัญญาณที่เข้ามามอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ดัชนีการมอดูเลต

ในระบบเอเอ็ม ปริมาณการมอดูเลต เรานิยมวัดเป็นเปอร์เซ็นต์การมอดูเลต ซึ่งดูได้จากการเปลี่ยนแปลงของแอมพลิจูดหรือกรอบคลื่นเอเอ็มทั้งด้านต่ำสุดและสูงสุด แต่ในระบบเอฟเอ็ม เราวัดเปอร์เซ็นต์การมอดูเลตโดยดูจากการเปลี่ยนแปลงความถี่ ซึ่งเรานิยมเรียกชื่อเสียใหม่ว่า ดัชนีการมอดูเลต ลองพิจารณาความหมายของดัชนีการมอดูเลตต่อไปนี้

$$m = f_d / f_m \qquad \text{(ของระบบ เอฟเอ็ม)}$$

ในที่นี้ f_d คือ ช่วงความถี่เบี่ยงเบน

f_m คือ ความถี่เบี่ยงเบนสูงสุดของระบบ

ค่าตัวเลขของดัชนีการมอดูเลตจะมีค่าสูง (แตกต่างจากเปอร์เซ็นต์การมอดูเลต ซึ่งเมื่อคิดเป็นอัตราส่วนจะได้อยู่ระหว่าง 0 ถึง 1) ตัวอย่างเช่น ในระบบวิทยุกระจายเสียงเอฟเอ็ม เรากำหนดให้ความถี่เบี่ยงเบนของระบบสูงสุดไว้เท่ากับ 75 KHz สมมุติว่า เราใช้สัญญาณเสียงความถี่ 1 KHz มอดูเลตให้เกิดความถี่เบี่ยงเบนเต็มที่ ค่าดัชนีการมอดูเลตจะเป็น

$$m = 75 \text{ KHz} / 1 \text{ KHz} = 75$$

สังเกตุว่า ค่าดัชนีการมอดูเลตในระบบเอฟเอ็มขึ้นอยู่กับความถี่ของสัญญาณเสียงที่เข้ามามอดูเลต ในทางปฏิบัติ เรานิยมวัดเป็นอัตราส่วนการเบี่ยงเบน (deviation ratio) ซึ่งเป็นอัตราส่วนระหว่างความถี่เบี่ยงเบน (ของระบบ) สูงสุด ($f_{d\,max}$) ต่อความถี่สูงสุดของสัญญาณที่เข้ามามอดูเลต ($f_{m\,max}$) ในระบบกระจายเสียงเอฟเอ็ม ค่าอัตราการเบี่ยงเบนจะเท่ากับ

$$\begin{aligned} \text{อัตราการเบี่ยงเบน} &= f_{d\,max} / f_{m\,max} \\ &= 75 \text{ KHz} / 15 \text{ KHz} \\ &= 5 \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบเอเอ็ม เมื่อเพิ่มแอมปลิจูดของสัญญาณที่เข้ามามอดูเลต เพื่อให้เปอร์เซ็นต์การมอดูเลตสูงขึ้น การเปลี่ยนแปลงแอมปลิจูด (กรอบคลื่น) ของพาหะจะเปลี่ยนแปลงมากขึ้น แต่ในระบบเอฟเอ็ม เมื่อเพิ่มแอมปลิจูดของสัญญาณที่เข้ามามอดูเลตสูงขึ้น การเบี่ยงเบนความถี่ของพาหะจะเบี่ยงเบนได้มากขึ้น ในระบบวิทยุกระจายเสียงเอฟเอ็ม กำหนดให้ความถี่เบี่ยงเบนของระบบเต็มที่ไม่เกิน 75 KHz ถ้าเรามอดูเลตทำให้ความถี่ของพาหะเบี่ยงเบนไปเท่ากับ 75 KHz แสดงว่าเรามอดูเลตเต็มที่ 100 เปอร์เซ็นต์ ซึ่งเราเขียนเป็นสมการได้ดังนี้

$$\text{เปอร์เซ็นต์การมอดูเลต} = (f_d/f_{d\,max})\times 100$$

ในที่นี้ f_d คือ ความถี่เบี่ยงเบนเนื่องจากสัญญาณเข้ามามอดูเลต

$f_{d\,max}$ คือ ความถี่เบี่ยงเบนสูงสุดของระบบ

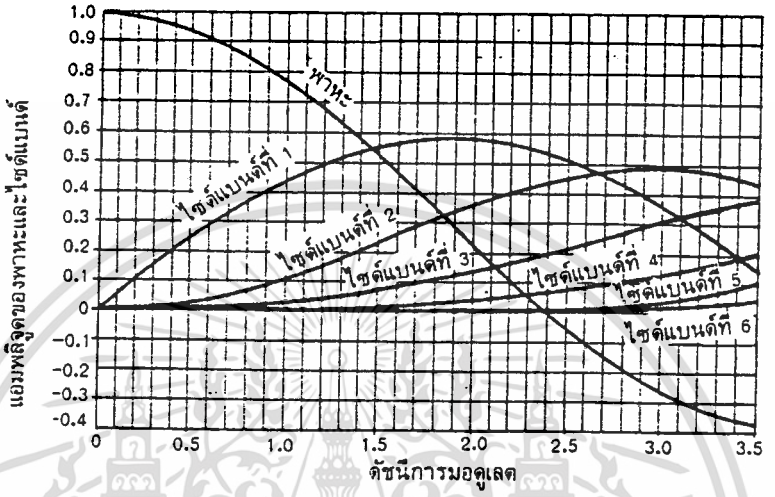
3.3 ไซด์แบนด์เอฟเอ็ม

ความแตกต่างระหว่างระบบเอเอ็มกับเอฟเอ็ม ที่เห็นได้ชัดก็คือ ไซด์แบนด์ ระบบเอเอ็ม ถ้าเรามอดูเลตด้วยสัญญาณรูปไซน์จะเกิดไซด์แบนด์จำนวน 2 ตัว คือ USB กับ LSB แต่ในระบบเอฟเอ็ม ถ้าเรามอดูเลตด้วยสัญญาณรูปไซน์ จะเกิดไซด์แบนด์จำนวนอนันต์ เนื่องจากการเบี่ยงเบนความถี่ของพาหะ ทำให้เกิดความถี่เพิ่มขึ้นอีกมากมาย ความจริงแล้วไซด์แบนด์ที่อยู่ห่างจากความถี่กลางมากๆ มักมีแอมปลิจูดเล็กมากจนไม่ต้องคำนึงถึง

ในระบบเอเอ็ม ไซด์แบนด์อาจเสริมหรือหักล้างจากพาหะที่มีแอมปลิจูดคงที่ ซึ่งมีผลให้กรอบคลื่นของพาหะเปลี่ยนแปลง แต่ในระบบเอฟเอ็ม สัญญาณเอฟเอ็มจะรักษาแอมปลิจูดไว้คงที่เสมอ ซึ่งหมายความว่า กำลังของคลื่นพาหะย่อมกระจายไปอยู่ในไซด์แบนด์ ความสัมพันธ์ของพาหะกับไซด์แบนด์ในระบบเอฟเอ็มขึ้นอยู่กับดัชนีการมอดูเลต เนื่องจากดัชนีการมอดูเลตเป็นตัวกำหนดจำนวนของไซด์แบนด์ที่สำคัญ และแอมปลิจูดของพาหะกับไซด์แบนด์ต่างๆ จะเห็นว่าเมื่อดัชนีการมอดูเลตเป็นศูนย์ จะมีแต่คลื่นพาหะอย่างเดียว (เท่ากับ 1 หน่วย) คลื่นไซด์แบนด์เป็นศูนย์ เมื่อดัชนีการมอดูเลตเพิ่มขึ้น จำนวนไซด์แบนด์จะเพิ่มขึ้น แอมปลิจูดของไซด์แบนด์ก็จะใหญ่ขึ้น แต่แอมปลิจูดของพาหะกลับเล็กลง จนกระทั่งดัชนีการมอดูเลตเท่ากับ 2.4 คลื่นพาหะจะเป็นศูนย์ ตอนนี้กำลังของคลื่นเอฟเอ็มจะไปอยู่ที่ไซด์แบนด์ทั้งสิ้น เมื่อดัชนีการมอดูเลตเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

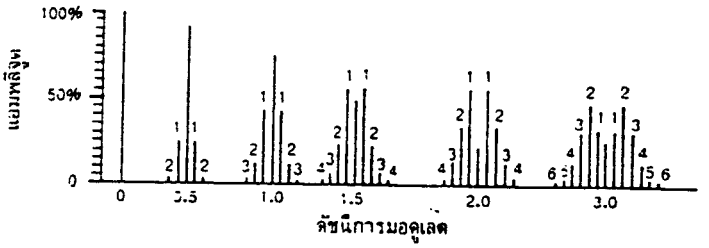
อีก (เป็นค่าลบ แสดงว่า เฟสตรงกันข้ามกับตอนแรกเช่น เมื่อดัชนีการมอดูเลตเป็น 3.1 แอมพลิจูดของพาหะจะเท่ากับ -0.3 หน่วย)



รูปที่ 3.2 กราฟแสดงแอมปลิจูดของพาหะและไซด์แบนด์ในระบบเอฟเอ็ม

กราฟในรูปที่ 3.2 เขียนได้เป็นตารางดังในตารางที่ 3.1 เพื่อให้ดูง่ายขึ้น ในที่นี้ เราจะตัดไซด์แบนด์ที่มีแอมปลิจูดน้อยกว่า 1 เปอร์เซ็นต์ของพาหะเดิม (ก่อนมอดูเลต) ออก โดยไม่คำนึงถึง เช่น เมื่อดัชนีการมอดูเลตเท่ากับ 0.5 แอมปลิจูดของพาหะจะเท่ากับ 0.94 หน่วย ไซด์แบนด์คู่แรกมีแอมปลิจูดเท่ากับ 0.24 หน่วย ไซด์แบนด์คู่ที่สองถัดไปมีแอมปลิจูดเท่ากับ 0.03 หน่วย และไซด์แบนด์อื่นนอกจากนี้มีแอมปลิจูดน้อยจนสามารถตัดทิ้งไปได้ เมื่อดัชนีการมอดูเลตสูงขึ้น การกระจายคลื่นไซด์แบนด์จะเป็นดังรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 รูปคลื่นเอฟเอ็มในเชิงความถี่

ตารางที่ 1.2 แสดงการกระจายคลื่นพาหะและไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่าง ๆ

ดัชนีการมอดูเลต	พาหะ	ไซด์แบนด์คู่ที่															
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0.00	1.00	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0.25	0.98	0.12	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0.5	0.94	0.24	0.03	—	—	—	—	—	—	—	—	—	—	—	—	—	—
1.0	0.77	0.44	0.11	0.02	—	—	—	—	—	—	—	—	—	—	—	—	—
1.5	0.51	0.56	0.23	0.06	0.01	—	—	—	—	—	—	—	—	—	—	—	—
2.0	0.22	0.58	0.35	0.13	0.03	—	—	—	—	—	—	—	—	—	—	—	—
2.5	-0.05	0.50	0.45	0.22	0.07	0.02	—	—	—	—	—	—	—	—	—	—	—
3.0	-0.26	0.34	0.49	0.31	0.13	0.04	0.01	—	—	—	—	—	—	—	—	—	—
4.0	-0.40	-0.07	0.36	0.43	0.28	0.13	0.05	0.02	—	—	—	—	—	—	—	—	—
5.0	-0.18	-0.33	0.05	0.36	0.39	0.26	0.13	0.05	0.02	—	—	—	—	—	—	—	—
6.0	0.15	0.28	-0.24	0.11	0.36	0.36	0.25	0.13	0.06	0.02	—	—	—	—	—	—	—
7.0	0.30	0.00	-0.30	-0.17	0.16	0.35	0.34	0.23	0.13	0.06	0.02	—	—	—	—	—	—
8.0	0.17	0.23	-0.11	-0.29	-0.10	0.19	0.34	0.32	0.22	0.13	0.06	0.03	—	—	—	—	—
9.0	-0.09	0.24	0.14	-0.18	-0.27	-0.06	0.20	0.33	0.30	0.21	0.12	0.06	0.03	0.01	—	—	—
10.0	-0.25	0.04	0.25	0.06	-0.22	-0.23	-0.01	0.22	0.31	0.29	0.20	0.12	0.06	0.03	0.01	—	—
12.0	-0.05	-0.22	-0.08	0.20	0.18	-0.07	-0.24	-0.17	0.05	0.23	0.30	0.27	0.20	0.12	0.07	0.03	0.01
15.0	-0.01	0.21	0.04	0.19	-0.12	0.13	0.21	0.03	-0.17	-0.22	-0.09	0.10	0.24	0.28	0.25	0.18	0.12

ตารางที่ 3.1 การกระจายคลื่นพาหะและไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 แบนด์วิดท์ของสัญญาณเอฟเอ็ม

ในระบบเอฟเอ็ม จำนวนไซด์แบนด์และแอมปลิจูดของไซด์แบนด์ขึ้นอยู่กับค่าดัชนีการมอดูเลต โดยความถี่ของไซด์แบนด์มีค่าสัมพันธ์กับความถี่ของสัญญาณที่เข้ามามอดูเลต กล่าวคือ ไซด์แบนด์คู่แรกมีความถี่เท่ากับ f_c+f_m ไซด์แบนด์คู่ที่สองมีความถี่เท่ากับ f_c+2f_m,...ฯลฯ

ฉะนั้นแบนด์วิดท์ของคลื่นเอฟเอ็ม ต้องครอบคลุมจำนวนไซด์แบนด์ที่สำคัญทุกคัว นั่นคือ แบนด์วิดท์ขึ้นอยู่กับดัชนีการมอดูเลต และความถี่ของสัญญาณที่เข้ามอดูเลต แต่ดัชนีการมอดูเลตเท่ากับ f_d/f_m ดังนั้น ถ้าเราทราบความถี่เบี่ยงเบนและความถี่ของสัญญาณมอดูเลต เราก็สามารถคำนวณหาแบนด์วิดท์ได้ ตัวอย่างเช่น ความถี่ของสัญญาณเสียงที่เข้ามอดูเลตเท่ากับ 3 KHz ความถี่เบี่ยงเบนเท่ากับ 18 KHz เราคำนวณค่าดัชนีการมอดูเลตได้ดังนี้

$$m = f_d/f_m$$
$$= 18\ KHz / 3KHz = 6$$

นำค่า $m = 6$ ไปหาไซด์แบนด์ที่สำคัญ พิจารณาได้จากตาราง จะเห็นว่า เมื่อดัชนีการมอดูเลตเท่ากับ 6 จำนวนไซด์แบนด์จะมีอยู่ 9 คู่ เราจึงคำนวณหาแบนด์วิทด์ได้ดังนี้

$$BM = f_m \times \text{จำนวนไซด์แบนด์} \times 2$$
$$= 3\ KHz \times 9 \times 2$$
$$= 54\ KHz$$

ความจริงแล้วในทางปฏิบัตินิยมใช้สูตรคำนวณแบนด์วิดท์แบบประมาณจากค่า $f_{d\,max}$ และ $f_{m\,max}$ เลย ไม่ต้องเสียเวลานับจำนวนไซด์แบนด์ ดังนี้

$$BW = 2(m+1)f_{m\,max}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ

$$BW = 2(f_{d\,max} + f_{m\,max})$$

เมื่อ $m = f_{d\,max}/f_{m\,max}$

จากตัวอย่างดังกล่าวเราคำนวณได้ว่า $BW = 2 \times (6+1) \times 3$

$= 42$ KHz

หรือ $BW = 2 \times (18+3)$

$= 42$ KHz

เสมือนกับว่า เราพิจารณาใช้จำนวนไซด์แบนด์เพียง 7 คู่ เมื่อเทียบกับการคำนวณข้างต้น

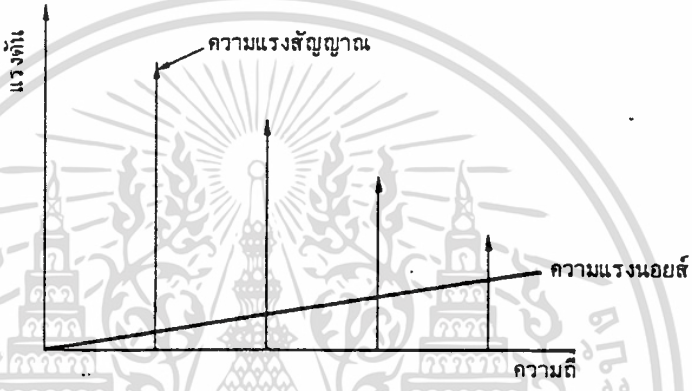
3.5 พรีเอ็มฟาซิส และดีเอ็มฟาซิส

รูปคลื่นส่วนใหญ่จะประกอบด้วยองค์ประกอบฮาร์โมนิกมากมาย และทางด้านความถี่สูงมักจะมีแอมปลิจูดต่ำๆ ตัวอย่างเช่น เสียงพูดซึ่งอยู่ในย่านความถี่ประมาณ 20-20,000 Hz แต่เสียงพูดทั่วไปมักจะอยู่ช่วง 500 Hz สำหรับผู้ชาย และ 800 Hz สำหรับผู้หญิง เป็นต้น แต่นอยส์ในระบบเอฟเอ็ม จะตรงข้าม คือ นอยส์เอฟเอ็ม จะมีแอมปลิจูดสูงขึ้นเป็นสัดส่วนกับความถี่ ดังนั้นเราจะเขียนรูปเทียบกันดังรูปที่ 3.4 จะเห็นว่า ความถี่ด้านสูงมีนอยส์รบกวนมากกว่าด้านต่ำ วิธีการแก้ไขให้คุณภาพสัญญาณทางด้านความถี่สูงดีขึ้น ทำได้โดยการใช้วิธียกระดับหรือเน้น (emphasis) สัญญาณให้มีแอมปลิจูดสูงขึ้นในย่านความถี่สูง กรรมวิธีนี้เรียกว่า พรีเอ็มฟาซิส (pre-emphasis)

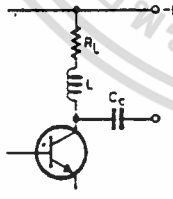
ในรูปที่ 3.4 สัญญาณมอดูเลตจะผ่านขบวนการพรีเอ็มฟาซิสที่เครื่องส่ง เพื่อให้สัญญาณความถี่สูงเน้นแรงขึ้น แล้วจึงมอดูเลตที่เครื่องส่ง ส่งออกอากาศต่อไป ทำให้สัญญาณความถี่สูงมีความแรงขึ้นจนนอยส์รบกวนได้ยากเมื่อคลื่นมาถึงเครื่องรับ และหลังจากทำการดีมอดูเลตแล้วเราจะต้องคืนสัญญาณที่เน้นความถี่สูงให้เหมือนเดิม ดังนั้น เราจึงต้องมีวงจรกดความถี่สูงลง กรรมวิธีนี้เรียกว่า ดีเอ็มฟาซิส (de-emphasis)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

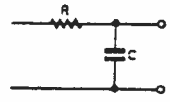
วงจรที่ใช้ในกรรมวิธีพรีเอ็มฟาซิสและดีเอ็มฟาซิส ก็คือ วงจรฟิลเตอร์ นั่นเอง คุณสมบัติของฟิลเตอร์ในตอนพรีเอ็มซิสกับดีเอ็มฟาซิสจะต้องเป็นตรงข้ามกัน ในระบบกระจายเสียงเอฟเอ็ม โดยมากเรากำหนดคุณสมบัติของวงจรฟิลเตอร์ (ทั้งพรีเอ็มฟาซิสและดีเอ็มฟาซิส) เป็นค่าคงตัวเวลา (time contant) เท่ากับ 75 ไมโครวินาที ซึ่งแอมปลิจูดจะค่อยๆ เพิ่มขึ้น (พรีเอ็มฟา-ซิส) หรือลดลง (ดีเอ็มฟาซิส) ตั้งแต่ความถี่ 2,122 Hz เป็นต้น ดังรูปที่ 3.4



รูปที่ 3.4 การเปรียบเทียบแอมปลิจูดของสัญญาณที่เข้ามอดูเลตกับนอยส์

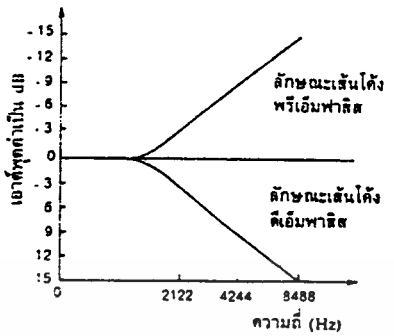


(ก) ตัวอย่างวงจรพรีเอ็มฟาซิส

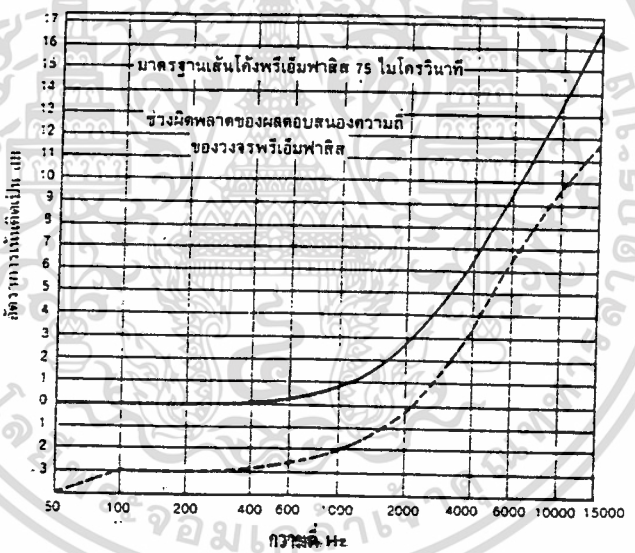


(ข) ดีเอ็มฟาซิส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



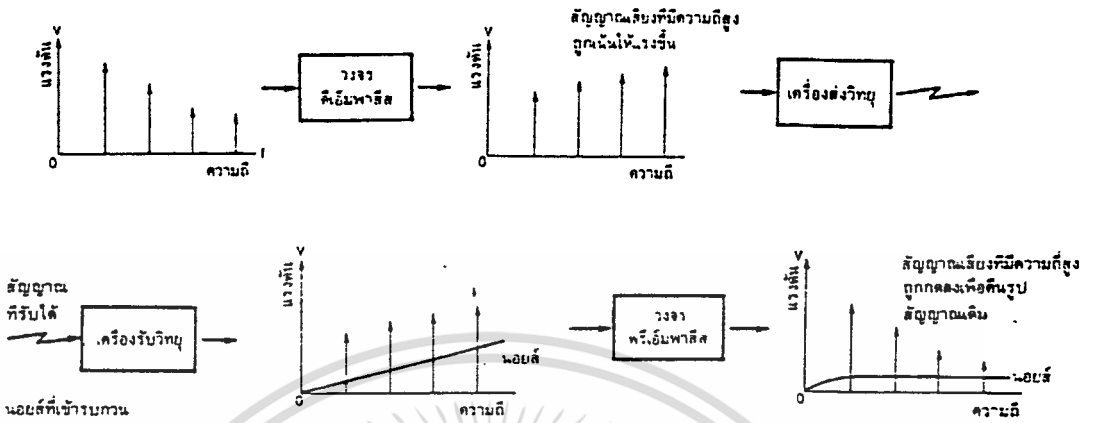
(ค) ลักษณะเส้นโค้งพรีเอ็มฟาซิส



(ง) แสดงกราฟมาตรฐานพรีเอ็มฟาซิส 75 uS

รูปที่ 3.5 ลักษณะของพรีเอ็มฟาซิส และดีเอ็มฟาซิส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 ขบวนการพรีเอ็มฟาซิสที่เครื่องส่ง และดีเอ็มฟาซิสที่เครื่องรับ

3.6 หลักการของเอฟเอ็มสเตอริโอมัลติเพล็กซ์ และ เอสซีเอ

สัญญาณ FM STRereo MULTIPLEX ประกอบด้วย

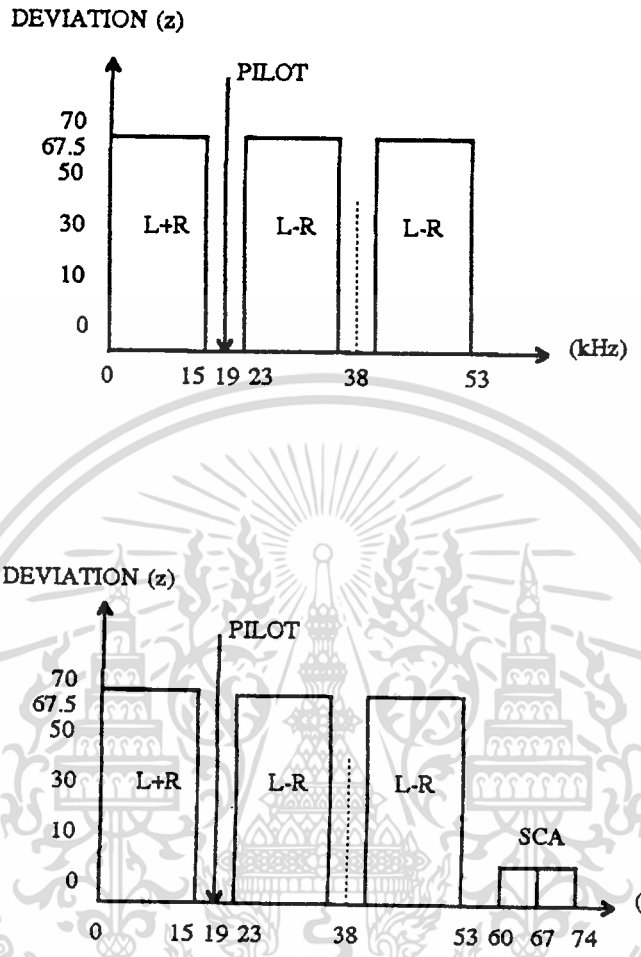
1. สัญญาณรวม (Composite signal) หรือ สัญญาณเสียงแบบโมโน เป็นสัญญาณเอฟเอ็มธรรมดาที่อยู่ในช่วงความถี่ต่ำๆ ช่วงประมาณความถี่ 0-15 KHz การส่งสัญญาณนี้ออกไป เพื่อให้เครื่องรับเอฟเอ็มธรรมดาสามารถรับฟังได้ เขียนเป็นความสัมพันธ์ได้ว่า L+R

2. สัญญาณสำรอง (Sub signal) หรือ สัญญาณผลต่าง เป็นสัญญาณที่เราส่งเข้าไป เพื่อให้เกิดการถอดรหัสสเตอริโอในเครื่องรับ เขียนความสัมพันธ์ได้ว่า L-R สัญญาณนี้จะถูกมอดูเลตในระบบเอเอ็ม ทำให้สัญญาณมีเฟส 2 เฟส เหมือนกับเอเอ็ม มีทั้ง -(L-R) และ +(L-R) เมื่อไปถึงเครื่องรับ เครื่องรับจะทำการถอดรหัส ซึ่งผลของการถอดรหัสสามารถเขียนเป็นความสัมพันธ์ได้ดังนี้

2.1 (L+R)+(L-R)=2L (สัญญาณด้านซ้าย)

2.2 (L+R)-(L-R)=2R (สัญญาณด้านขวา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 *สเปคตรัมที่ดิวิเอชั่นของ FM STEREO MULTIPLEX*

สัญญาณในระบบเอเอ็ม จะมีปัญหาในการส่งสัญญาณ เพราะสัญญาณทั้งหมดจะต้องส่งในรูปแบบเอฟเอ็ม ฉะนั้นระบบเอเอ็มที่นำมาใช้จะเป็น แบบ AM DOUBLE SIDEBAND SUPPRESSED CARRIER (AM DSBSC) ซึ่งจะตัดความถี่พาหะย่อยออก ความถี่พาหะย่อย (SUB CARRIER) เท่ากับ 38 KHz ความถี่นี้จะไม่ไปรบกวนการส่ง เมื่อพิจารณาย่านความถี่จะอยู่ในช่วง 23-53 KHz (38+15 KHz , 38-15 KHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. สัญญาณชี้นำ (Pilot singnal) ทำหน้าที่ควบคุมให้เครื่องรับและเครื่องส่งทำงานตรงกัน ถ้าไม่มีสัญญาณ Pilot signal 19 KH_Z เครื่องรับจะไม่สามารถรับสัญญาณสเตอริโอมัลติเพล็กซ์ได้ จำเป็นต้องมีสัญญาณ Pilot มาช่วยในการถอดรหัส

4. สัญญาณเอสซีเอ (SCA signal) เป็นสัญญาณที่อาศัยเครื่องส่งของสถานีเอฟเอ็มใดก็ได้ ส่งออกอากาศไปพร้อมกับการออกอากาศของรายการปกติ โดยมีการตั้งสตูดิโอเพื่อผสมสัญญาณแฝงเข้าไป สัญญาณ SCA จะอยู่ในช่วง 60-70 KHz โดยมี Center Frequency อยู่ที่ 67 KHz ช่วงสวิงอยู่ระหว่าง +7 KHz,-7 KHz

ระบบ FM MONO ธรรมดา สวิงอยู่ระหว่าง 75 KHz Deviation 100 %

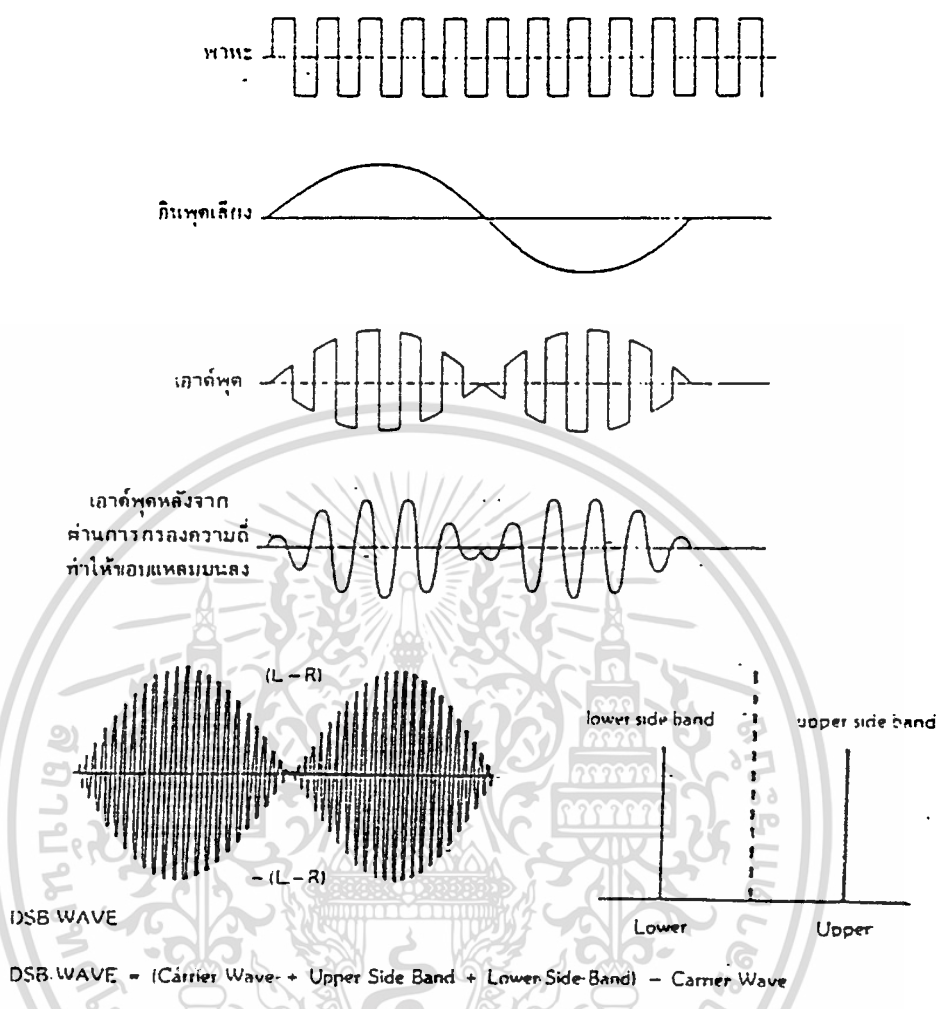
ระบบ FM STRERO MULTIPLEX สวิงอยู่ระหว่าง 67.5 KHz Deviation 90 %

ระบบ FM STRERO MULTIPLEX & SCA สวิงอยู่ระหว่าง 60 KHz Devialtion 80 %

3.7 บาลานซ์มอดูเลเตอร์

เนื่องจากในระบบเอเอ็ม ไม่มีข่าวสารปนอยู่ในคลื่นพาหะ เราจึงสามารถกำจัดหรือเอาคลื่นพาหนะออกก่อนที่จะทำการส่งอากาศ วงจรที่ทำหน้าที่นี้เรียกว่า วงจรบาลานซ์มอดูเลเตอร์ (Balanced modulator) หรือเขียนว่า BM วงจร BM นี้ จะผสมสัญญาณเสียงกับสัญญาณพาหะและผลลัพท์จากการผสมเฉพาะไซด์แบนด์เท่านั้นที่ผ่านไปยังเอาท์พุทได้ สัญญาณที่ได้จากวงจร เรียกว่า สัญญาณ AMDSBSC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



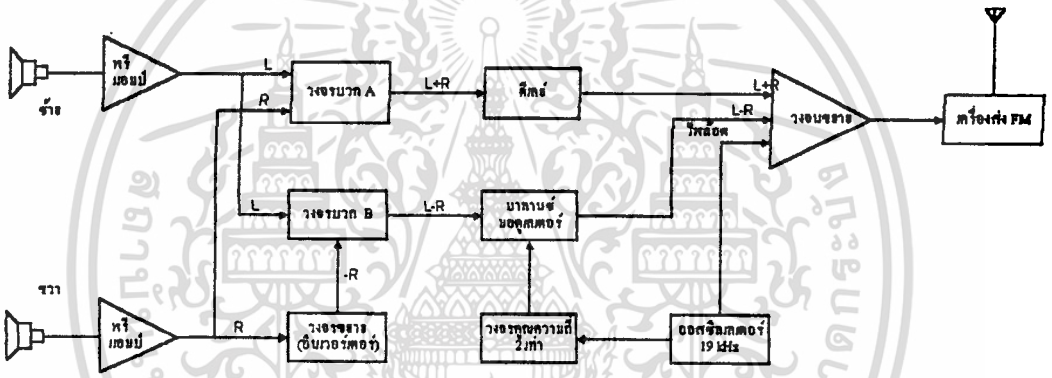
รูปที่ 3.8 ลักษณะการมอดูเลตของคลื่น AMDSBSC

3.8 เครื่องส่งสเตอริโอ

ในรูปที่ 3.8 แสดงผังการทำงานของเครื่องส่งระบบสเตอริโอมัลติเพล็กซ์ สัญญาณจากไมโครโฟนแชนเนลซ้าย (L) และขวา (R) จะผ่านวงจรขยายแล้วนำมาป้อนแก่วงจรบวก A เกิดเป็นสัญญาณ (L+R) สำหรับสัญญาณ (R) อีกทางหนึ่งจะผ่านวงจรอินเวอร์เตอร์ เพื่อกลับเฟสให้เป็น (-R) แล้วป้อนเข้าวงจรบวก B เพื่อบวกกับสัญญาณ L เกิดเป็นสัญญาณ (L-R) ส่วนสัญญาณ R อีกทางหนึ่งจะเข้าสู่วงจรบวก A เพื่อบวกกับ L เกิดเป็นสัญญาณ (L-R) ส่วนสัญญาณ R อีกทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนึ่งจะเข้าสู่วงจรบวก A บวกกับ L เกิดเป็นสัญญาณ (L+R) สัญญาณ (L-R) จะป้อนไปให้วงจรบาลานซ์มอดูเลเตอร์ (BM) โดยใช้พาหะรอง 38 KHz พาหะรองนี้เกิดจากออสซิลเตอร์ 19 KHz มาคูณสองเท่า โดยวงจรคูณความถี่ที่ได้จาก BM จะเป็นสัญญาณ DSB ของ (L-R) สัญญาณนี้จะผ่านการขยายแล้ว แล้วป้อนภาคส่ง เช่นเดียวกับสัญญาณ (L+R) ซึ่งต้องหน่วงเวลาเล็กน้อย เพื่อชดเชยเวลาที่สัญญาณ (L-R) ต้องเสียไปในการมอดูเลต ทำให้สัญญาณทั้ง (L+R) และ (L-R) มาถึงภาคส่งพร้อมกัน นอกจากนี้สัญญาณไพล็อต 19 KHz ออสซิลเลเตอร์ ก็ป้อนให้ภาคส่งด้วย สัญญาณทั้งหมดจะถูกมอดูเลตแบบเอฟเอ็ม โดยใช้พาหะหลักร่วมกัน



รูปที่ 3.9 หลักการเครื่องส่งสเตอริโอมัลติเพล็กซ์

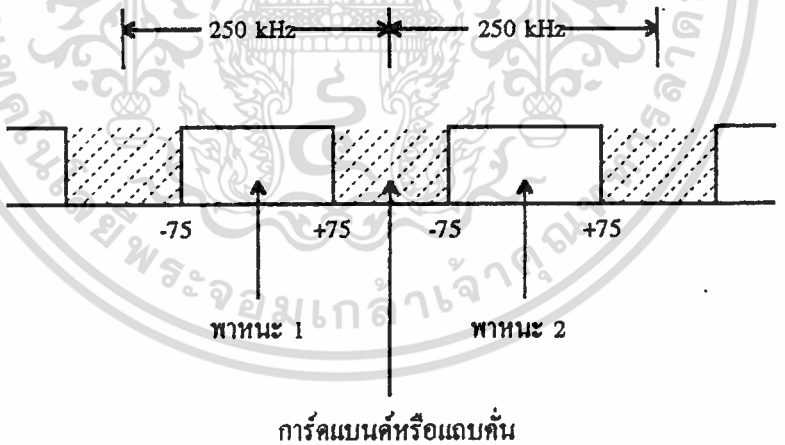
มาตรฐานวิทยุกระจายเสียงเอฟเอ็ม กำหนดไว้ว่า ความเบี่ยงเบน จะต้องเท่ากับ 475 KHz ไม่ว่าจะเป็นโมโนหรือสเตอริโอ ดังนั้นในระบบสเตอริโอ สัญญาณเสียงจะต้องลดเปอรเซ็นต์การมอดูเลตลงไปเล็กน้อย เนื่องจากเราต้องมอดูเลตสัญญาณไพล็อต 19 KHz ลงไปด้วย สัญญาณไพล็อตนี้จะมอดูเลตไว้ 10 เปอร์เซ็นต์ของความถี่เบี่ยงเบนสูงสุด ±75 KHz หรือ ±75 KHz × 10 เปอร์เซ็นต์ = ±7.5 KHz ฉะนั้น สัญญาณเสียงที่เข้ามอดูเลต จึงมอดูเลตลดลงไปอีก 90 เปอร์เซ็นต์ กับ 100 เปอร์เซ็นต์เท่านั้น ผิดกันเพียง 10 เปอร์เซ็นต์เท่านั้น ผู้ฟังจะสังเกตไม่ออกว่าความดังของเสียงลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สังเกตว่า ในส่วนที่เข้ามอดูเลต 90 เปอร์เซ็นต์ของสัญญาณเสียงนี้ ยังจะต้องแบ่งอีกเป็น 2 ส่วนสำหรับ (L+R) กับ (L-R) เท่าๆ กันอีก แต่ความจริงไม่เป็นเช่นนั้น เพราะสัญญาณ(L+R) กับ (L-R) รวมกันจะไม่ทำให้ความถี่เบี่ยงเบนเพิ่มขึ้นเป็น 2 เท่า เนื่องจากเมื่อสัญญาณ (L+R) มีค่ามาก สัญญาณ (L-R) จะมีค่าน้อย และในทางกลับกัน เมื่อสัญญาณ (L+R) มีค่าน้อย สัญญาณ (L-R) จะกลับมีค่ามาก ดังนั้น การเบี่ยงเบนความถี่จะไม่มีโอกาสเกินได้

3.9 การส่งวิทยุกระจายเสียง

วิทยุกระจายเสียงที่สำคัญๆ ในประเทศไทยมี 2 ระบบ คือ ระบบวิทยุเอเอ็ม และระบบวิทยุเอฟเอ็ม (บางสถานีเป็นเอฟเอ็มธรรมดาและบางสถานีเป็นเอฟเอ็มสเตอริโอมัลติเพล็กซ์) ซึ่งจำนวนสถานีส่งวิทยุก็มีอยู่นับร้อยๆ สถานี คณะกรรมการบริหารวิทยุกระจายเสียงและเสียงโทรทัศน์ ได้วางระเบียบการส่งกระจายเสียงไว้ เพื่อป้องกันไม่ให้เกิดการรบกวนระหว่างกัน โดยยึดตามมาตรฐานสากล



รูปที่ 3.10 แบนด์วิดท์และการ์ดแบนด์ของเอฟเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบเอฟเอ็ม จะใช้ย่านความถี่ตั้งแต่ 88 ถึง 108 MHz คลื่นเอฟเอ็มของแต่ละสถานีมีแบนด์วิดท์ได้ไม่เกิน 200 KHz ความเที่ยงตรงของความถี่พาหะผิดพลาดไม่เกิน 20 ส่วนในล้าน (20 / 1,000,000 = 0.00002) คลื่นแปลกปลอมที่เล็ดลอดออกจากเครื่องส่งต้องมีค่าไม่เกิน 1 mW (หรือต่ำกว่าคลื่นพาหะไม่น้อยกว่า 60 dB)

สำหรับมอดูเลเตอร์เอฟเอ็ม จะต้องมีวงจรป้องกันโอเวอร์มอด โดยสัญญาณเสียงที่ใช้ในการมอดูเลตมีความถี่อยู่ในช่วงระหว่าง 50 ถึง 15,000 Hz

สัญญาณเอฟเอ็มต้องมีการเบี่ยงเบน (deviatation) ไม่เกิน ±75 KHz จากรูปสังเกตว่า มีช่วงการ์ดแบนด์ (guardband) คั่นระหว่างช่องสถานีเพื่อป้องกันการรบกวนเข้าช่องอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

Stereo Generator

ชุด Strereo Generator จะเป็นชุดที่สร้างสัญญาณ FM Stereo Multiplex ซึ่งจะประกอบด้วย สัญญาณ L+R , L-R (AMDSBSC) และ Pilot

สัญญาณ L+R ได้จากการนำสัญญาณ L และ R มารวมกัน (Summing)

สัญญาณ L-R ได้จากการนำสัญญาณ L และ R มาผ่านชุด Analog Switch โดยที่ใช้สัญญาณ Pulse (Square wave) 38 KHz มาควบคุม Analog Switch เพื่อใช้ในการสร้างสัญญาณ L-R

สัญญาณ Pilot 19 KHz ได้มาจาก Oscillator 19 KHz Sine wave

4.1 หลักการทำงาน ชุด Stereo Genertor

- Oscillator 456 KHz ทำหน้าที่ผลิต Square wave 456 KHz

- Divider จะเป็นวงจรที่ทำหน้าที่หาร ความถี่ 456 KHz เป็น 19 KHz, 38 KHz, 114 KHz เราจะใช้ความถี่ 19 KHz เป็นความถี่อ้างอิงในการผลิตสัญญาณ Pilot 19 KHz (Sine wave) ส่วนความถี่ 38 KHz จะใช้ในการควบคุมสับสวิตซ์ของชุด Analog Switch

- ชุด Phase Detector, LPF และ VCO จะเป็นวงจร PLL ที่สร้างสัญญาณ Pilot 19 KHz (sine wave)

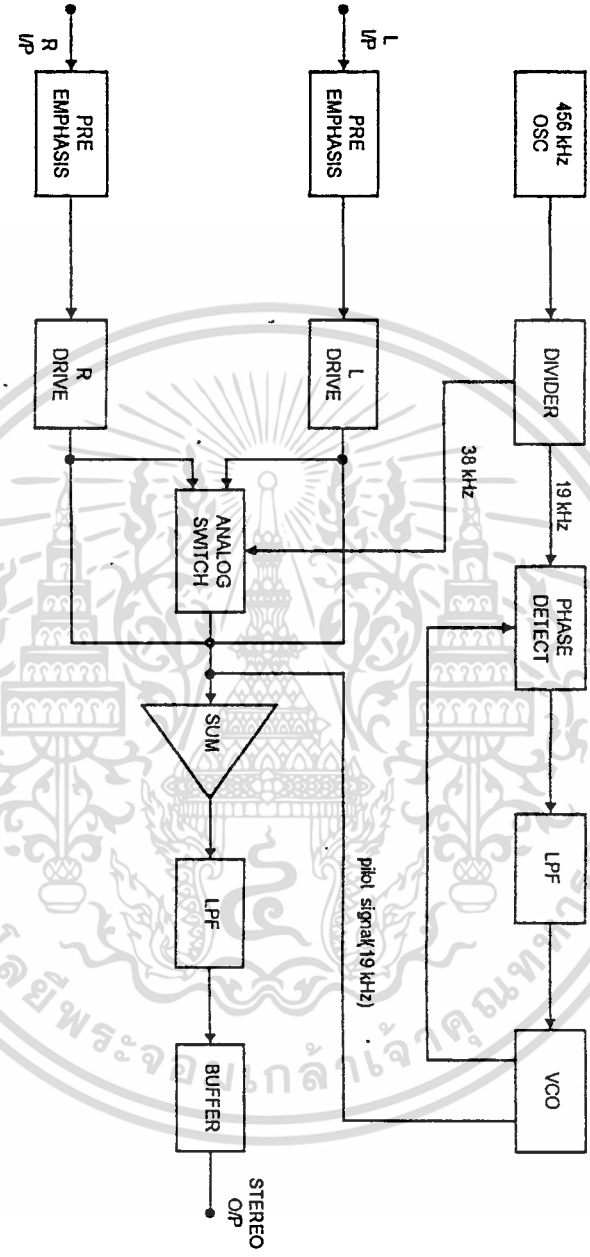
- Pre-emphasis และ Driver จะเป็นชุดที่ยกระดับสัญญาณทางความถี่สูงของสัญญาณ L และ R

- Analog Switch เป็นที่สร้างสัญญาณ L-R

- Summing ทำหน้าที่รวมสัญญาณ L+R, L-R และ Pilot 19 KHz เข้าด้วยกัน

- LPF และ Buffer ทำหน้าที่ Filter สัญญาณ FM Stereo Multiplex และขับกระแสของสัญญาณด้วย Buffer เพื่อที่จะนำไปใช้งานในภาคอื่นๆ ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

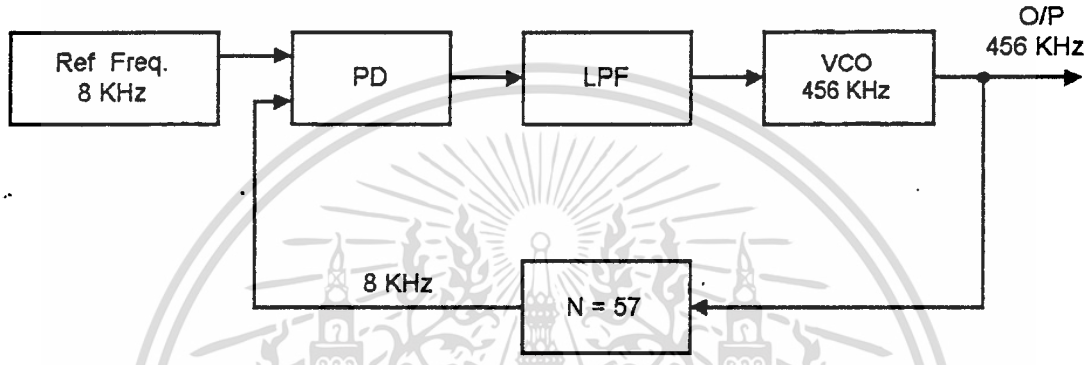


รูปที่ 4.1 ผังการทำงานของ Stereo Generator

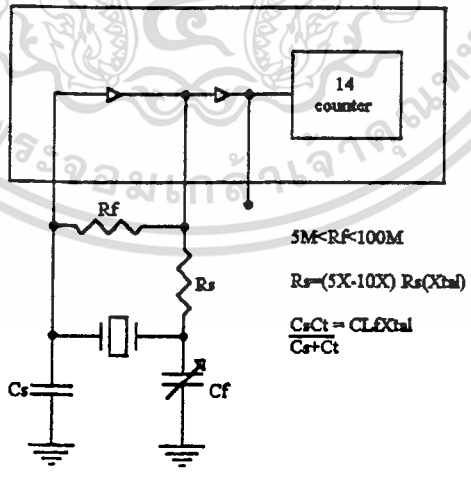
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจร Oscillator 456 KHz

วงจรนี้ทำหน้าที่เป็น PLL โดยมีตัวหาร N เท่ากับ 57 ซึ่งเปรียบเทียบเสมือนวงจร Synthesizer



รูปที่ 4.2 ผังการทำงานของ Oscillator 456 KHz



รูปที่ 4.3 วงจร Oscillator ที่ควบคุมด้วย Crystal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- วงจรสร้างความถี่อ้างอิง 8 KHz ใช้ Crystal 10.24 MHz ผลิตความถี่ 10.24 MHz นำความถี่นี้หารด้วย 128 โดยใช้ IC 4060 จะได้ความถี่เท่ากับ 80 KHz หารด้วย 10 โดยใช้ IC 4017 เหลือความถี่ 8 KHz เป็นความถี่ที่ใช้ในการอ้างอิง

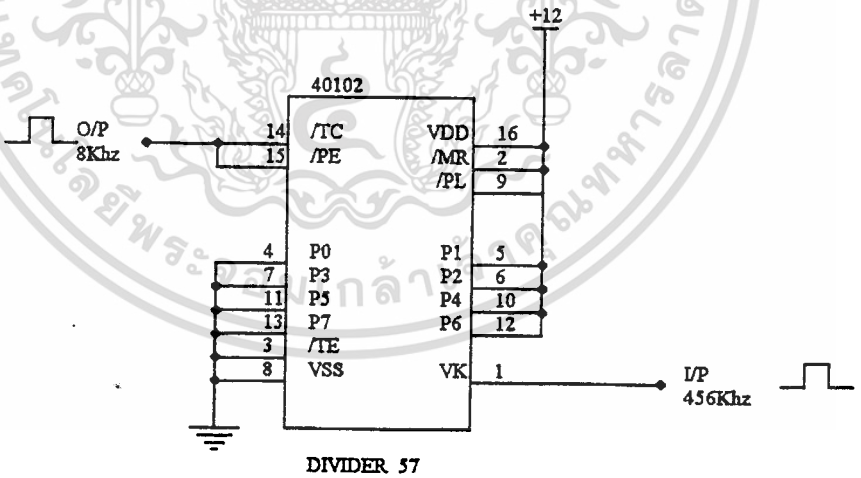
- วงจร Oscillator ที่ควบคุมด้วย Crystal สามารถสร้างจากอุปกรณ์ Active เช่น Transistor, FET, MOS-FET ในโครงงานนี้ใช้วงจร Oscillator ซึ่งสร้างจาก IC ชนิด CMOS

จากวงจรดังรูปที่ 4.3 จะสามารถทำงานได้อย่างถูกต้องถ้าทราบค่า Loading Capacitor (C_L) ของCrystal ซึ่งกำหนดโดยผู้ผลิต ปกติที่ความถี่ต่ำกว่า 8 KHz จะมีค่าไม่เกิน 32 pF, 20 pF สำหรับความถี่ช่วง 8-15 MHz และความถี่สูงกว่า 15 MHz ดังสมการ

$$C_L = \frac{(C_{in} \times C_{out})}{(C_{in} + C_{out}) + C_n + C_o + (\frac{C_1 \times C_2}{C_1 + C_2})}$$

C_{in} คือ Input และ Output Capacitor ของ Inverter

C_n คือ Capacitance ระหว่างขา Input และ Output Capacitor ของ Inverter



รูปที่ 4.4 การโปรแกรม IC 40102 หาร 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปกติที่แรงดัน V_{cc} =5 V ค่า C_{in}= 5 pF, C_{out} = 6 pF, C_n = 5 pF, R_f = 5-20 Mohms

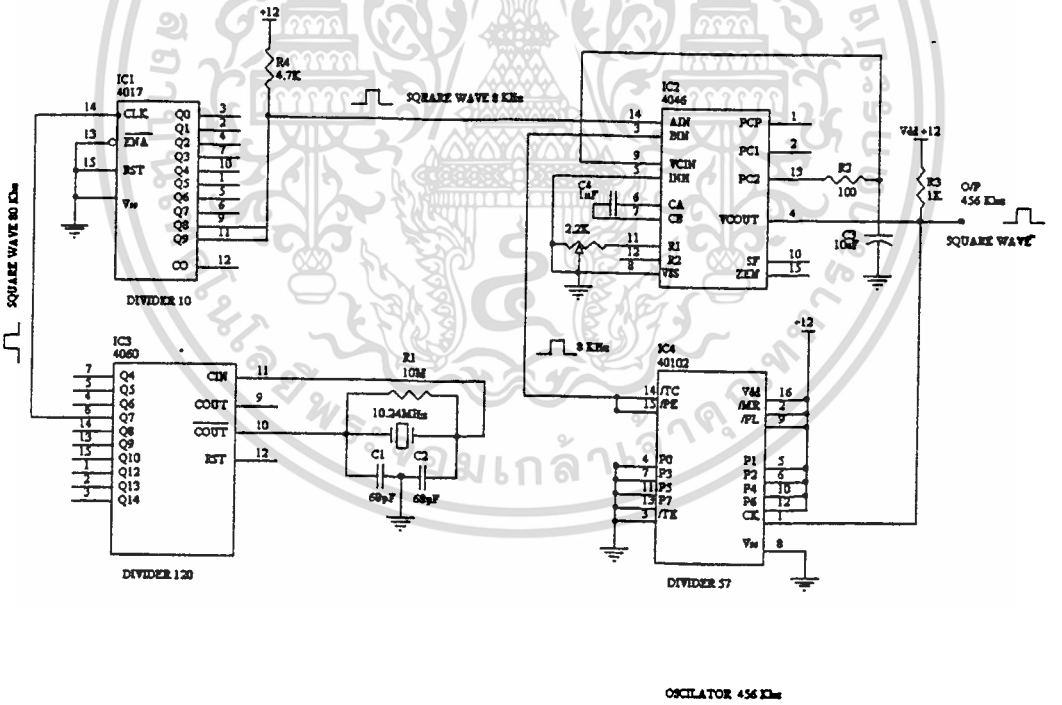
IC บางเบอร์จะมีวงจร Ocillator (Inverter) อยู่ภายใน IC ด้วยเช่นเบอร์ 4060 ภายใน IC 4060 จะมี PD ภายใน เมื่อ Phase ความถี่อ้างอิงกับความถี่ที่ผลิตได้ไม่ตรงกันจะเกิด Voltage Error ไปควบคุม VCO ซึ่งอยู่ภายใน IC ให้ผลิตความถี่ให้ตรงตามที่ต้องการความถี่ที่ผลิตสามารถเปลี่ยนได้โดยตั้ง Program หารที่ IC 40102

- วงจร PLL ใช้ IC 4046
- วงจรหาร 57 ใช้ IC 40102 ซึ่งสามารถโปรแกรมได้

การโปรแกรม IC 40102

Preset = N-1 = 57-1 = 56

เพราะฉะนั้นถ้าเราตั้งโปรแกรมหาร 56 IC จะทำหน้าที่หาร 57 ตามต้องการ

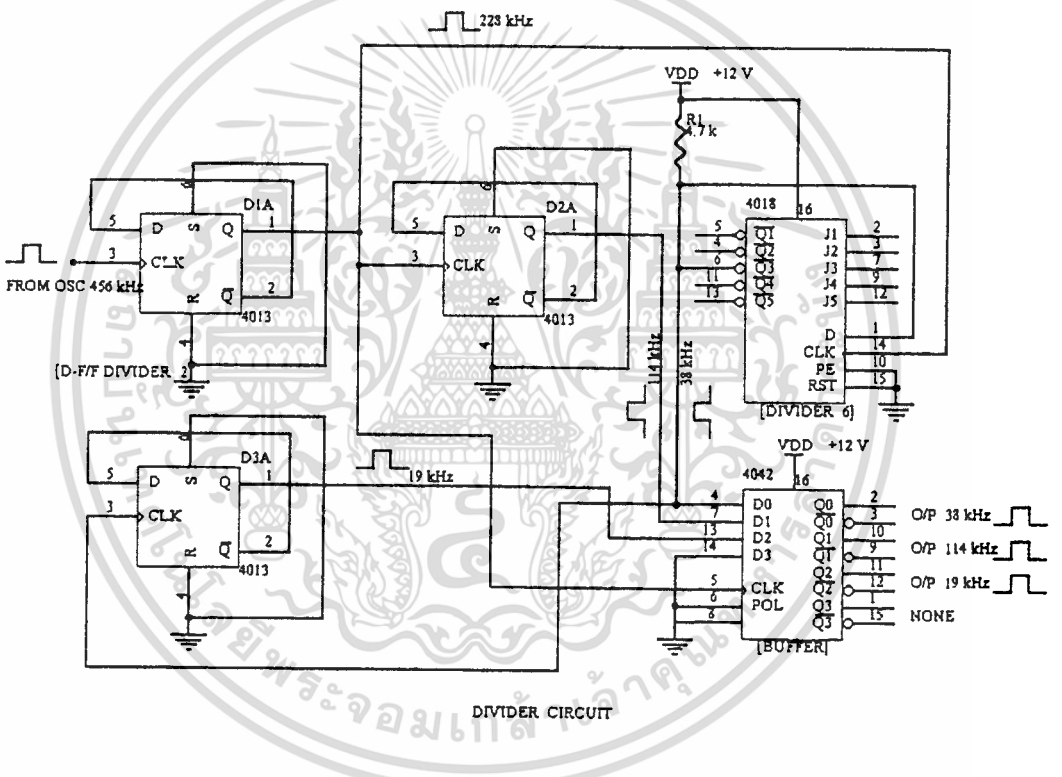


รูปที่ 4.5 แสดงวงจร Oscillator 456 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจร Divider

- ความถี่ 456 KHz ที่ได้มาจากชุด Oscillator 456 KHz จะถูกหารด้วย D1 F/F ซึ่งอยู่ภายใน IC 4013 ภายใน IC จะมี D F/F 2 ตัว แต่ละตัวจะทำหน้าที่หาร 2 เพื่อให้ได้ความถี่ 228 KHz จากนั้นนำความถี่ 228 KHz นี้หารต่อด้วย D2 F/F เพื่อให้ได้ความถี่ 114 KHz แต่ความถี่นี้เราไม่ได้ใช้งาน เก็บไว้เช็คสัญญาณเท่านั้น



รูปที่ 4.6 วงจร Divider

- ความถี่ 228 KHz จะถูกหาร 6 ด้วย IC 4018 ซึ่ง Program การหารได้ จะได้ความถี่ 38 KHz เพื่อนำไปควบคุม Analog Switch

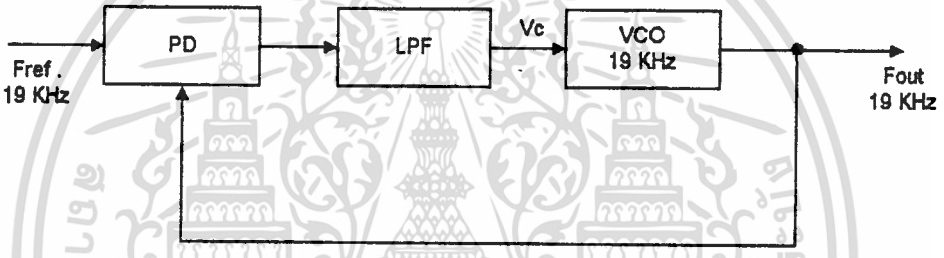
- ความถี่ 38 KHz จะถูกหาร 2 ด้วย D3 F/F อีกครั้งเพื่อให้ได้ความถี่ 19 KHz ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Buffer จะใช้ IC 4042 (CMOS Quad Latch) จะหน้าที่ Latch สัญญาณพร้อมทั้งขับกระแสให้แก่สัญญาณ เพื่อให้สามารถขับภาคอื่นๆต่อไปได้ และยังทำหน้าที่กลับ Phase ของสัญญาณให้เป็น 114 KHz,/114KHz, 38KHz,/38KHz, 19KHz,/19 KHz ซึ่งทั้งหมดเป็น Output ของวงจร Divider

4.4 วงจร Oscilltor

วงจร Oscilltor นี้จะจัดเป็นชุด Phase Locked Loop (PLL)



รูปที่ 4.7 ผังการทำงานของ Oscillator 19 KHz

- VCO (Voltage Control Oscillator) ใช้ IC XR 2206 ซึ่งจะทำให้สามารถผลิตสัญญาณ Output เป็น Sine wave 19 KHz

การออกแบบ XR 2206

สามารถที่จะผลิตสัญญาณรูป Sine wave โดยการหาค่า C_1 ที่ขา 5 และขา 6 และค่า R ที่อยู่ติดที่ขา 7 ความถี่หาได้จาก

$$f_o = 1/RC_1 \; ; f_o = 19\ \text{KHz}$$

กำหนด $C_1 = 0.01\ \text{uF}$

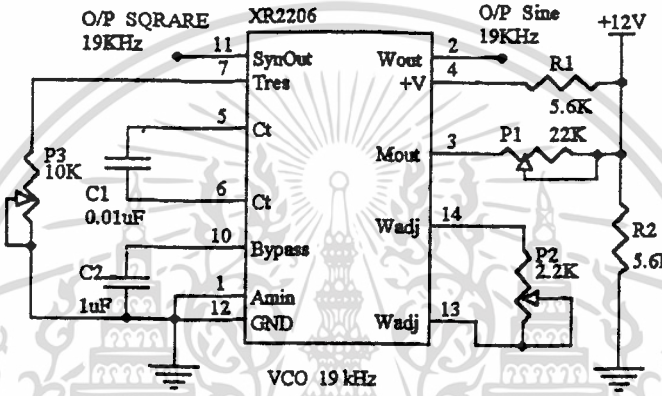
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R = 5.263 Kohms

เพราะฉะนั้นเลือกใช้

VR = 10 Kohms

สังเกตว่า Timing Resistor ใช้แค่ขา 7 ของ IC เท่านั้นเพราะว่าขา 9 (FSK Input) มิได้ป้อนสัญญาณ



รูปที่ 4.8 วงจร VCO XR2206 49 KHz

วงจรจะผลิตสัญญาณ Sine wave หรือไม่ ขึ้นอยู่กับการปรับค่า VR (P2) ที่ขา 13 และ 14 ของ IC สำหรับแรงดันไฟฟ้าที่ขา 3 ของ IC มีค่าเป็นครึ่งหนึ่งของ V_{cc} โดยใช้ R1 และ R2 ทำหน้าที่แบ่งแรงดัน ดังนั้น Sine wave ที่ขา 2 ควรมีค่าประมาณครึ่งหนึ่งของแรงดันที่ V_{cc} โดยขึ้นอยู่กับ VR (P1)

- วงจรกรองความถี่ต่ำ (Low Pass Filter)

การออกแบบ LPF

(PD Gain) $K_d = VCC/4\pi = 12\ V/4\pi = 0.95\ V/rad$

(VCO Gain) $K_o = -0.32/R_cC_c$ จาก Data Sheet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำนดให้ C_c = 0.01 uF VCO ในการออกแบบนี้ให้ K_o = 8 Hz/V

R_c = 3.6 Kohms

W_n = 10 Kz ทำให้ค่า Setting time (t_n) = 71 ms ซึ่งเป็นค่าที่ยอมรับได้

= 0.707 (Damping Factor)

กำหนดให้ C = 1uF

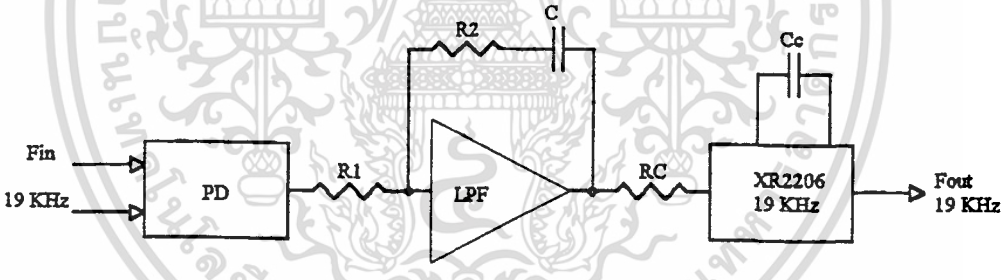
$R_1 = (K_n K_d)/NWC$; N = 1

$R_2 = (2)/W_n C$

เพราะฉะนั้น

R_1 = 30 Kohms

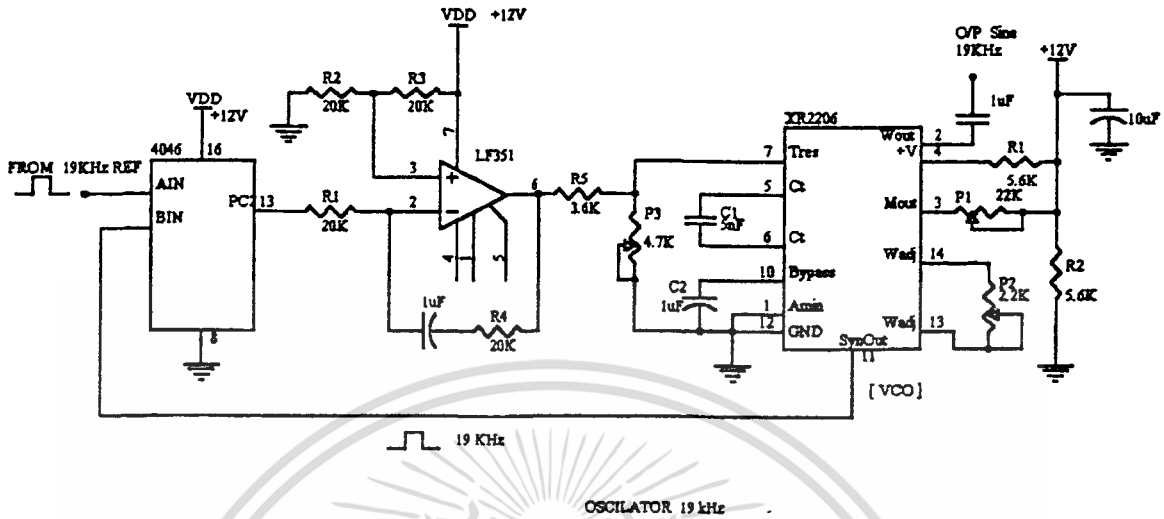
R_2 = 20 Kohms



รูปที่ 4.9 ผังการทำงาน ของ LPF ใน PLL

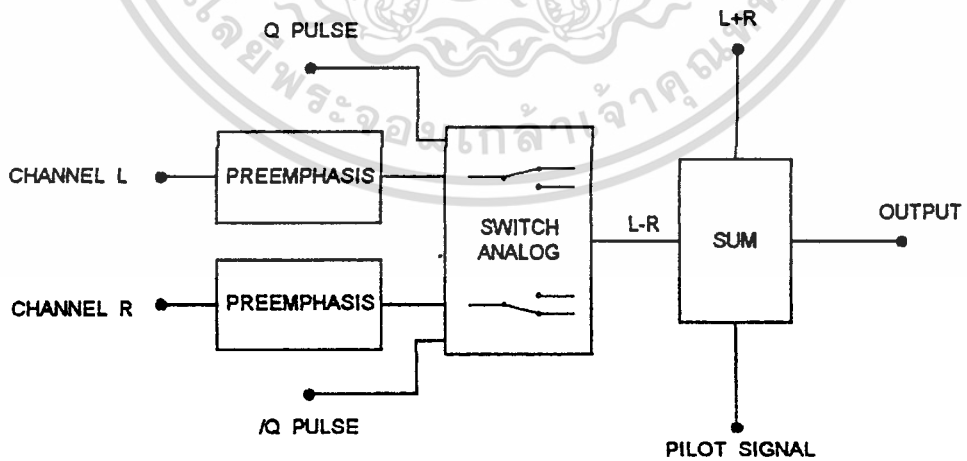
- วงจร PD ใช้ IC 4046 เป็นตัวเปรียบเทียบ Phase ระหว่างความถี่ 19 KHz อ้างอิงกับความถี่ 19 KHz ที่ผลิตได้จาก VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 วงจร Oscillator 19 KHz

4.5 วงจรเข้ารหัสสัญญาณ Stereo

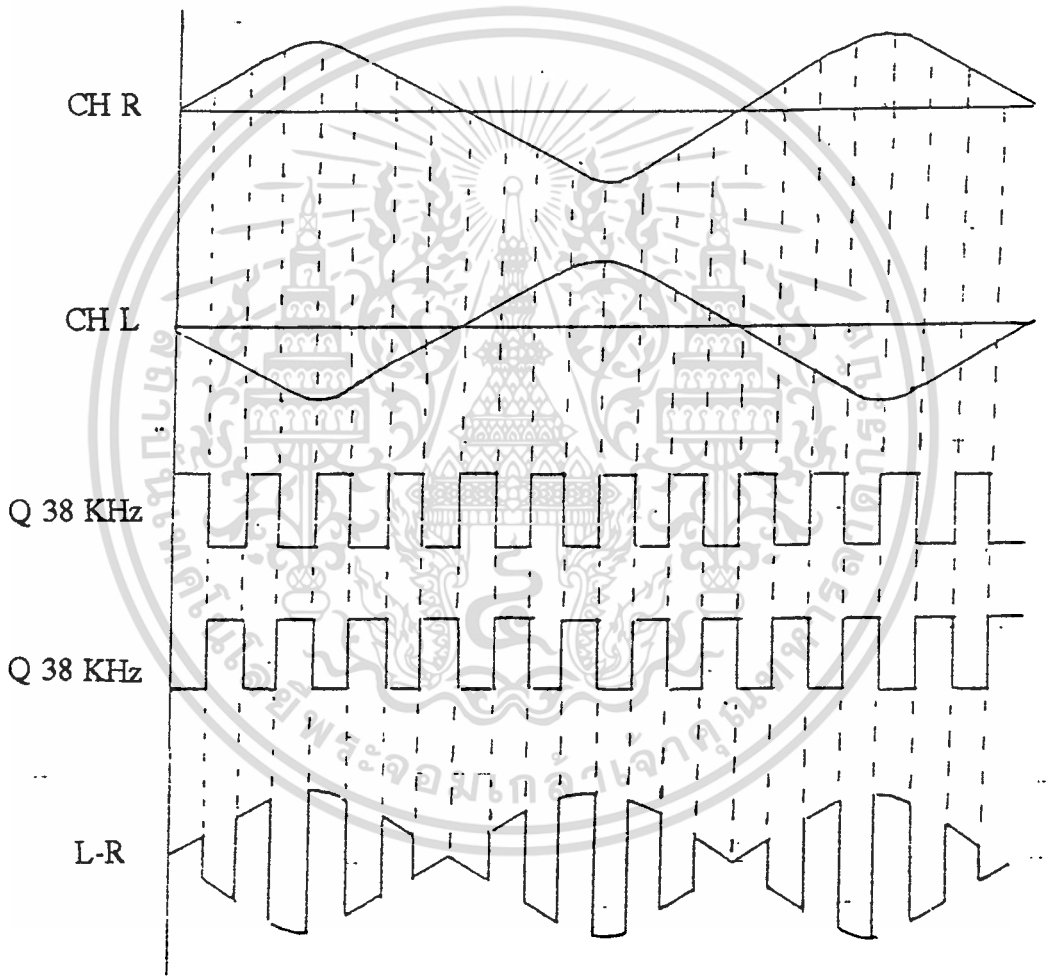


รูปที่ 4.11 ผังการทำงานของวงจรเข้ารหัสสัญญาณ Stereo

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกระจายเสียงแบบ FM Stereo Multiplex ในโครงงานนี้จะใช้เทคนิคของ Analog Switch แสดงดังรูปที่ 4.11

จากรูปวงจรเข้ารหัสสัญญาณ Stereo ประกอบไปด้วยวงจรต่างๆ ได้แก่ วงจรPre-emphasis, ซึ่งมีวงจร L และ R Driver, วงจร Analog Switch ซึ่งใช้ IC 4066, วงจร SUM จากผังการทำงาน Output จะเป็นสัญญาณ Stereo โดยมีสัญญาณ Pilot 19 KHz และ L-R 38 KHz และL+R



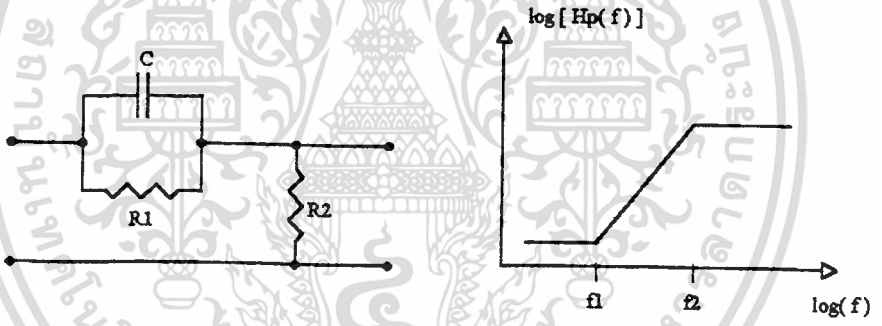
รูปที่ 4.12 รูปสัญญาณ Output ของ IC 4066 ซึ่งหน้าที่เป็นวงจร Balance Mod.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ออกมาจาก Analog Switch จะได้เป็น สัญญาณ L-R 38 KHz แบบ Amplitude Modulation Double Sideband Suppress Carrier (AMDSBSC) ทำได้โดยเรานำเอา Pule 38 KHz Q ,/Q มาควบคุมการ ON, OFF Analog Switch และ นำเอา Output ของ Switch ทั้งสองมาต่อร่วมกัน ลักษณะการ ON, OFF ของ Switch จะคล้ายกับการ ON,OFF ของ Diode ในวงจร Ring Modulation

4.6 วงจร Pre-emphasis

วงจร Pre-emphasis เป็นวงจรยกระดับสัญญาณความถี่สูง เพื่อที่จะชดเชยอัตราของสัญญาณต่อสัญญาณรบกวนที่ภาครับ สำหรับวงจร Pre-emphasis แสดงวงจรและผลตอบสนองความถี่ได้ ดังรูปที่ 4.13



รูปที่ 4.13 วงจร Pre-emphasis และผลตอบสนองของความถี่

โดย Transfer function ของวงจร Pre-emphasis แสดงได้ดังนี้คือ

$$H_o(f) = \frac{K(1 + j\frac{f}{f_1})}{(1 + j\frac{f}{f_2})}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_1 = \frac{1}{2RC\pi}$$

$$f_2 = \frac{(R_1 + R_2)}{(2R_1R_2C\pi)}$$

โดยค่า R_1C ของวงจรจะมีค่าคงที่ของเวลาเท่ากับ 75 uS ความถี่ f_1 จะมีความถี่หักมุมที่ 2.1 KHz โดยอัตราความลาดชันต่อผลตอบสนองความถี่ระหว่าง f_1 และ f_2 มีขนาด 20 dB/decade หรือ ความถี่ตั้งแต่ 2.1 KHz ถูก Pre-emphasis โดยค่า f_2 มีค่าประมาณ 15 KHz ดังนั้น ในการออกแบบเลือก C = 0.0033 uS ค่า R_1 ใช้ค่า 22 Kohms, R_2 = 3.9 Kohms

4.7 วงจรเลื่อน Phase สัญญาณ Pilot

สำหรับเลื่อนหรือหน่วงเวลาของสัญญาณ Pilot โดยแสดง Transfer function ของแรงดัน Output และ Input คือ

$$H(f) = \frac{1 - j(\frac{f}{f_o})}{1 + j(\frac{f}{f_o})}$$

โดย

$$f_o = 1/2\pi RC$$

และ Phase Transfer function แสดงได้คือ

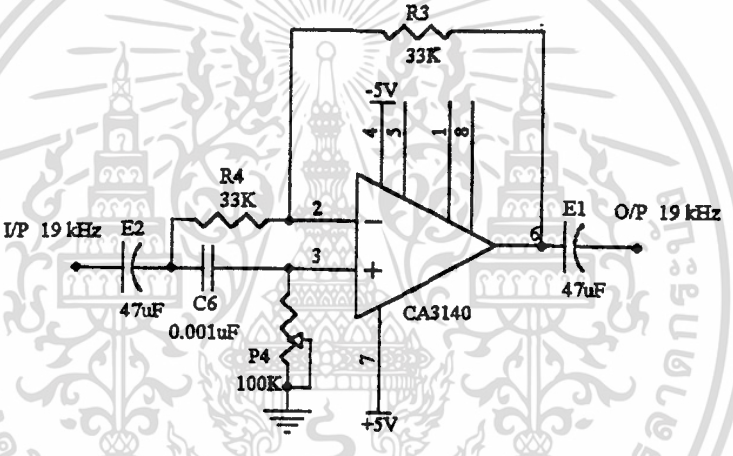
$$\theta(f) = -2\tan^{-1}(f/f_o)$$

(โดยที่ความถี่ f_o Phase Output จะเลื่อนล้าหลังไป 90 องศา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบให้ Output เลื่อน Phase ได้ 0-180 องศา ถ้ากำหนดค่า C เท่ากับ 0.001 uF และใช้ค่า R ปรับค่าได้ขนาด 100 Kohms

วงจรเลื่อน Phase นี้จะมีผลมากต่อการแยก ซ้าย ขวา ของการส่ง ถ้า Phase ของสัญญาณ Pilot นี้มี Phase ที่นำหน้าไปมากการแยก ซ้าย ขวา ก็จะไม่เกิดขึ้น และสิ่งสำคัญอีกอย่างคือ ความแรงของสัญญาณ L-R จะ L+R จะต้องมีความแรงที่เหมาะสม คือไม่มีสัญญาณใดสัญญาณหนึ่งแรงเกินไป เพราะถ้ามีสัญญาณใดแรงเกินไปก็จะไม่มีการแยก ซ้าย ขวา ของแต่ละ Channel เกิดขึ้น

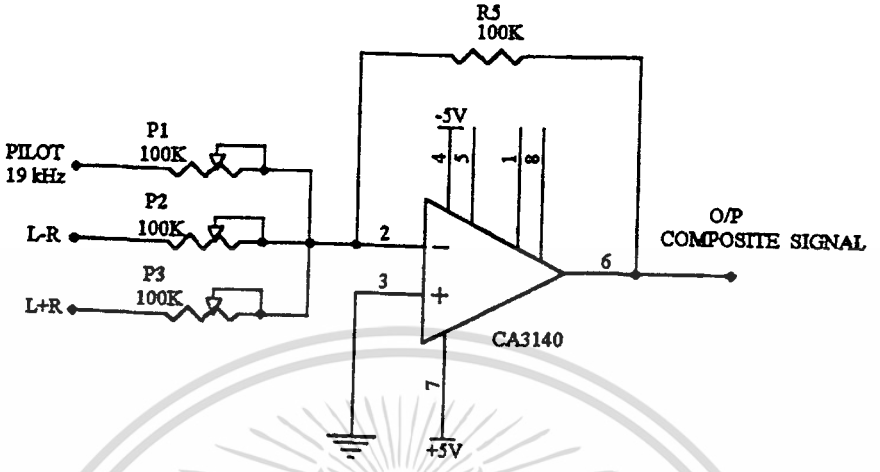


รูปที่ 4.14 วงจรเลื่อน Phase

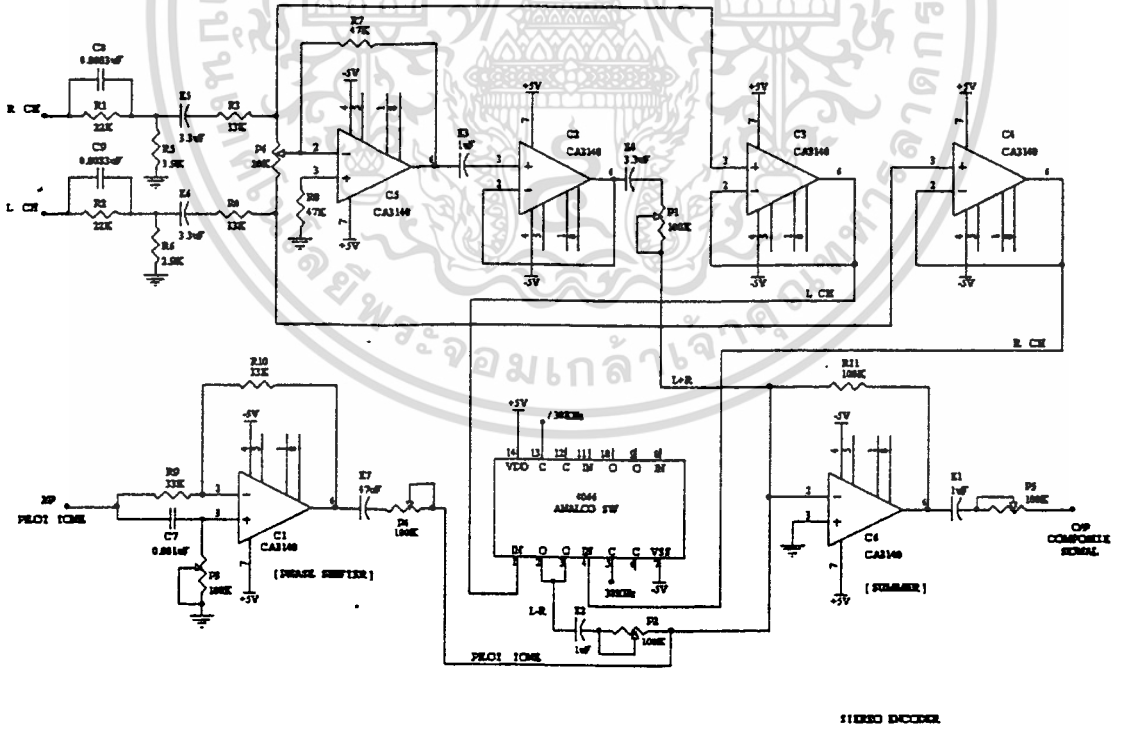
4.8 วงจรรวมสัญญาณ (Summing)

สำหรับรวมสัญญาณ Pilot ที่ผ่านวงจรเลื่อน Phase แล้วเข้า กับสัญญาณ L-R จากวงจร Analog Switch และ L+R จากวงจร L+R แสดงวงจร SUM ดังรูปที่ 4.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 วงจรรวมสัญญาณ



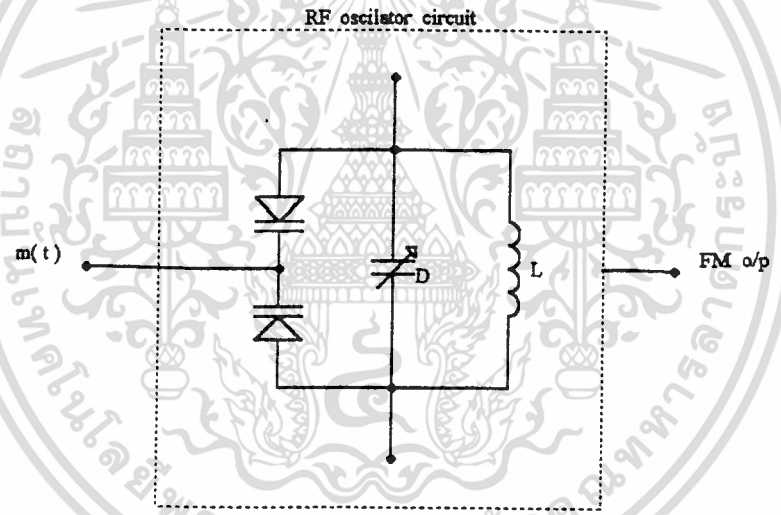
รูปที่ 4.16 วงจรเข้ารหัสสัญญาณสเตอริโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การมอดูเลตสัญญาณเอฟเอ็ม

การมอดูเลตสัญญาณเอฟเอ็ม ซึ่งเป็นการเปลี่ยนแปลงขนาดความถี่ของคลื่นพาห์ ตามสัญญาณเบสแบนด์ที่มอดูเลต สำหรับในที่นี้จะกล่าวถึงการมอดูเลตแบบตรง (Direct FM) ซึ่งเป็นการมอดูเลตสัญญาณเบสแบนด์เข้ากับวงจรกำเนิดคลื่นพาห์โดยตรง การสร้างสัญญาณเอฟเอ็ม ใช้วงจรกำเนิดความถี่ เช่น วงจรกำเนิดความถี่แบบ LC โดยแสดงวงจรสมมูลย์ได้ดังรูปที่ 5.1



รูปที่ 5.1 วงจรสมมูลย์วงจรกำเนิดความถี่แบบ LC

ค่าของความถี่ที่กำเนิดขึ้นอยู่กับค่าของ LC ซึ่งเขียนได้เป็น

$$W_1 = \frac{1}{\sqrt{LC}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

W_1 = ความถี่ที่กำเนิดจากวงจร LC

โดยค่า C หรือค่าคาปาซิแตนซ์สามารถเปลี่ยนแปลงค่าตามความถี่ที่เข้ามอดูเลตหรือเขียนได้เป็น

$$C = C_o - K_c m(t)$$

โดย C_o เป็นค่าคาปาซิแตนซ์ขณะที่ไม่มีความถี่ที่อินพุท

K_c ค่าของความไวในการเปลี่ยนแปลงของค่าปาซิแตนซ์

m(t) สัญญาณเบสแบนด์ที่มอดูเลต

ดังนั้น ความถี่ชั่วขณะใดๆ คือ

$$W_i(t) = \frac{1}{\sqrt{L(C_o - K_c m(t))}}$$

จากสมการเขียนได้

$$W_i(t) = \frac{-W_o}{\sqrt{1 - \frac{K_c m(t)}{C_o}}}$$

โดย W_o เป็นความถี่ของวงจรที่ไม่ถูกมอดูเลตด้วยสัญญาณเบสแบนด์

สมการประมาณได้

$$W_i(t) = W_o\left[1 + \frac{K_c m(t)}{2C_o}\right]$$

$$Kf = \frac{W_o K_c}{2C_o}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

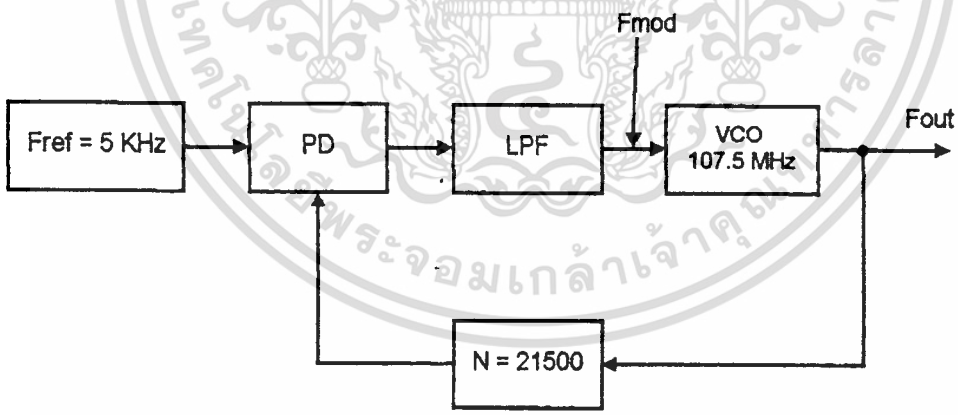
ดังนั้น แสดงได้ว่าวงจรกำเนิดความถี่แบบ LC ใดๆ ที่ C สามารถเปลี่ยนแปลงตามสัญญาณเบสแบนด์อินพุท สามารถกำเนิดสัญญาณเอฟเอ็ม ได้ดังสมการของเอฟเอ็ม คือ

$$W_i(t) = W_o + Kfm(t)$$

ซึ่งเป็นสมการของสัญญาณเอฟเอ็ม

5.1 การออกแบบวงจรมอดูเลตสัญญาณเอฟเอ็ม

สำหรับในส่วนนี้จะกล่าวถึง การออกแบบวงจรมอดูเลตเอฟเอ็มแบบตรง (Direct FM Modulation) การควบคุมความถี่ของคลื่นพาห์ให้มีเสถียรภาพ ใช้วงจรเฟสล็อกลูป สำหรับวงจรมอดูเลตแบบตรง หรือวงจรที่มอดูเลตสัญญาณเบสแบนด์โดยตรงกับวงจรกำเนิดความถี่ใช้วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน ดังที่ได้กล่าวข้างต้น สำหรับวงจรมอดูเลต FM แสดงโครงสร้างดังรูปที่ 5.2



รูปที่ 5.2 โครงสร้างวงจรมอดูเลตสัญญาณเอฟเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปต้องการสร้างสัญญาณคลื่นพาห์ที่มีความถี่เท่ากับ 107.5 MHz กำหนดให้สัญญาณคลื่นพาห์ต่อไซด์ที่ยังไม่ทำการมอดูเลตมีขนาดลดทอนมากกว่า -60 dB สำหรับความถี่อ้างอิงของลูป กำหนดให้มีขนาด 5 KHz เพื่อจะให้ลูปทำการหารความถี่ของคลื่นพาห์ลงจำนวนมากๆ (21,500) เพื่อไม่ให้ลูปเกิดจากล็อก (loss of lock) เมื่อเกิดความถี่เบี่ยงเบนสูงๆ เนื่องจากการ มอดูเลตด้วยความถี่ต่ำสุดที่ต้องการมอดูเลต ในที่นี้จะเท่ากับ 20 Hz สำหรับวงจรกรองในลูปใช้ วงจรกรองแบบแอคทีฟชนิดลีดแล็ค

ความถี่ธรรมชาติของลูป และค่าแดมปิ้งเฟคเตอร์คือ

$$W_n = \sqrt{\frac{K_o K_d}{NT_1}}$$

$$= \frac{T_2 W_n}{2}$$

โดย $T_1 = R_1C$ และ $T = RC$

สำหรับค่า K_d เป็นเฟสดีเทคเตอร์เกน ในการออกแบบใช้ ดิจิตอลเฟสดีเทคเตอร์ ซึ่งเป็นวงจรรวมเบอร์ 4046 มีค่า K = Vcc/4 ค่า K_o เป็นค่าเกนของ VCO หาได้จากวงจร VCO ซึ่งมีการออกแบบดังต่อไปนี้

5.2 วงจร VCO

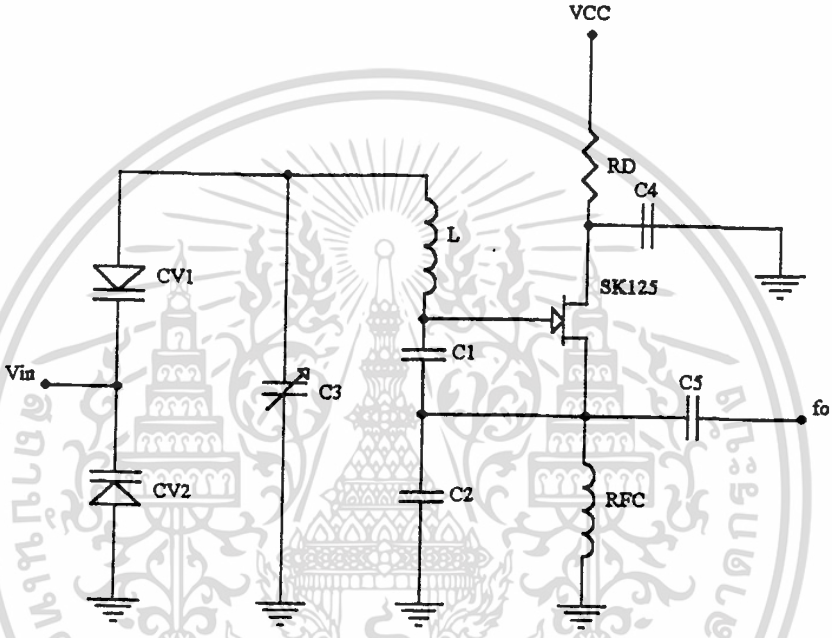
สำหรับการออกแบบวงจร VCO จะใช้วงจรแคลปออสซิลเลเตอร์ต่อร่วมกับวาริแคป ดังแสดงในรูปที่ 5.3

จากวงจรให้ค่ารีแอคแตนซ์ของ RFC มีขนาดสูงมากที่ความถี่ออสซิลเลต ค่าคาปาซิแตนซ์ทางด้านอินพุทของ FET มีขนาดน้อยมากเมื่อเทียบกับ C_1 และ C_2 ดังนั้น ค่าความถี่ที่ออสซิลเลต จะเท่ากับ

$$f_o = \frac{1}{2\pi\sqrt{LC}} \qquad (1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C = \frac{\left[\frac{CV_1CV_2}{CV_1+CV_2} + C_3\right]\left[\frac{C_1C_2}{C_1+C_2}\right]}{\left[\frac{CV_1CV_2}{CV_1+CV_2}\right] + \left[\frac{C_1C_2}{C_1+C_2}\right]} \qquad (2)$$



รูปที่ 5.3 วงจรแคลปออสซิลเลเตอร์

การออกแบบในทางปฏิบัติ กำหนดให้แรงดันของวงจรมีขนาด 12 V และแรงดันควบคุมของอินพุท Vin มีขนาด 1-12 V ซึ่งในวงจรจะใช้ FET เบอร์ SK125 เมื่อกำหนดให้ค่าอินดัคแตนซ์ (L) ในวงจรมีขนาด 600 nH และ C_3 มีขนาด 4 pF แล้วให้วงจร VCO ทำงานตั้งแต่ความถี่ 103 MHz ซึ่งจากสมการ (1) หา C ที่ความถี่ 103 MHz ถึง 110 MHz ได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C = \frac{1}{4\pi^2 f^2 L} \qquad (3)$$

จะได้ค่าคาปาซิแตนซ์ที่ความถี่ 103 MHz เท่ากับ 4 pF และที่ความถี่ 110 MHz เท่ากับ 3.48 pF ซึ่งค่าคาปาซิแตนซ์ของวาริแคปที่เปลี่ยนแปลงความถี่ตั้งแต่ 103 MHz - 110 MHz จะมีขนาดเท่ากับ 5 pF ดังนั้น การออกแบบจึงเลือกใช้วาริแคปเบอร์ MV 2101 ซึ่งมีขนาด 4 pF เมื่อถูกรีเวิร์ดไบอัสเท่ากับ 12 V และมีขนาด 10 pF เมื่อถูกรีเวิร์ดไบอัสเท่ากับ 1 V ซึ่งค่าเปลี่ยนแปลงของค่าคาปาซิแตนซ์มีขนาดใกล้เคียงกับความต้องการ และในวงจรใช้วาริแคปต่ออนุกรมกัน ซึ่งจะทำให้ค่าความจุลดลงครึ่งหนึ่ง

โดยในทางปฏิบัติ แรงดันควบคุม VCO ที่ความถี่ 107.5 MHz มีขนาด 4 V ที่ความถี่ 105.5 MHz แรงดันควบคุมอินพุทของ VCO มีขนาด 2 V และที่ความถี่ 108.5 MHz แรงดันควบคุมจะมีขนาด 5 V ซึ่งอัตราส่วนระหว่างความถี่และแรงดันในช่วงระหว่างความถี่ 105.5 MHz - 108.5 MHz และแรงดัน 2 V - 5 V เมื่อนำมาเขียนกราฟจะได้กราฟในช่วงที่เป็นเชิงเส้น และสามารถนำไปใช้ในการคำนวณหาเกนของ VCO ได้จาก

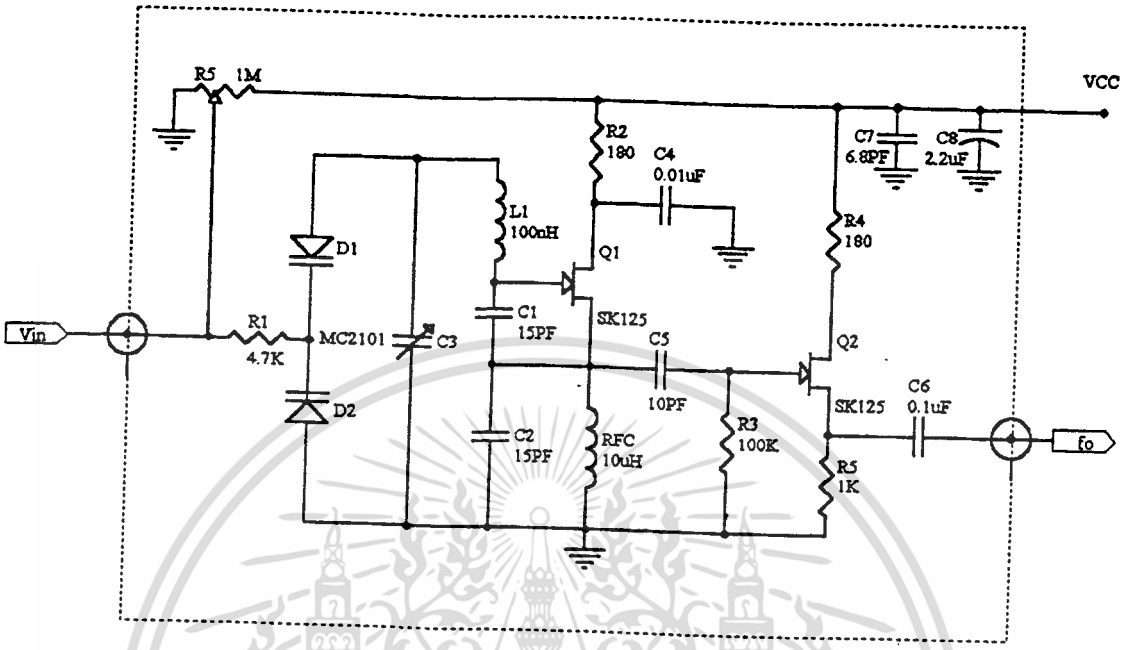
$$K_o = 2\pi\left[\frac{f_{vco\max} - f_{vco\min}}{V_{\max} - V_{\min}}\right]$$

$$= 2\pi\left[\frac{108.5MHz - 105.5MHz}{5V - 2V}\right]$$

$$= 6.28 \text{ MHz/V}$$

สำหรับวงจรที่สมบูรณ์แสดงได้ดังรูปที่ 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



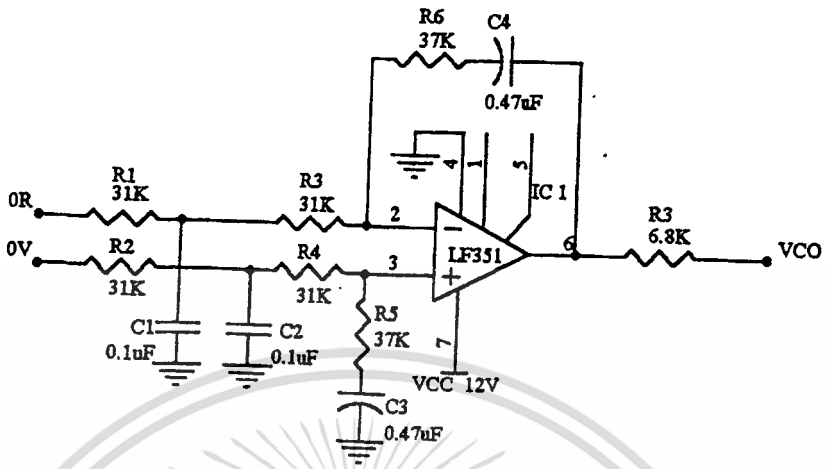
รูปที่5.4 วงจร VCO ที่ใช้ในทางปฏิบัติ

5.3 วงจรกรองในลูป

วงจรกรองในลูปเป็นส่วนสำคัญอีกส่วนหนึ่งในระบบเฟสล็อกลูป ซึ่งจะมีหน้าที่หลักๆ อยู่ 2 ส่วน คือ ลดค่าความคลาดเคลื่อนที่เป็นความถี่สูงที่ออกจากวงจรเปรียบเทียบเฟส (phase detector) โดยการใช้คุณสมบัติการกำจัดสัญญาณรบกวนและเป็นตัวทำให้เกิดแรงดันไฟดีซีเพื่อนำไปควบคุมวงจร VCO

อีกส่วนหนึ่งยังทำหน้าที่ควบคุมการทำงานของลูป ซึ่งขึ้นอยู่กับเงื่อนไขต่างๆ คือ แคปเวอร์เรนจ์, ล็อกเรนจ์, แบนด์วิดท์ และการตอบสนองทรานเซียนส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 วงจรกรองที่ใช้ในลูป

การออกแบบวงจรกรองเมื่อเอาท์พุทของเฟสดีเทคเตอร์เป็นแบบดับเบิลเอ็นด์ สามารถหาค่าความต้านทานของวงจรกรองในลูปได้จาก

$$R_1 = \frac{K_o K_d}{N W_n^2 C} \qquad (1)$$

$$R_2 = \frac{2\zeta}{W_n C} \qquad (2)$$

กำหนดให้แรงดันสำหรับวงจรรวมเบอร์ MC 145151 เท่ากับ 5 V เมื่อ K_d เป็นเกนของเฟสดีเทคเตอร์จะได้

$$K_d = \frac{V_{dd}}{2\pi}$$

$$K_d = \frac{5V}{2\pi} = 0.8 \text{ V/rad}$$

$K_o = 6.28$ MHz/V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N = 21500

W_n = 4.5/t = 90 rad/s

จากสมการ (1) และ (2) กำหนดให้ค่าอัตราแดมปิ้งเท่ากับ 0.8 และในการออกแบบ เมื่อเลือกค่า C ที่ใช้ในวงจรเท่ากับ 0.47 uF จะได้ค่าความต้านทาน R_1 เท่ากับ 62 KΩ และ R_2 เท่ากับ 38 KΩ ในการออกแบบ ต้องเลือกให้อัตราส่วนของ R_1/R_2 ของวงจรมีอัตราส่วนน้อยกว่า 10 เท่า เพื่อป้องกันไม่ให้ออปแอมป์เกิดการอิ่มตัว เมื่อเฟสดีเทคเตอร์ให้ค่าผิดพลาดเชิงเส้นขนาดใหญ่ในช่วงโอเวอร์ชูท เนื่องจากเอาท์พุทของเฟสดีเทคเตอร์เปลี่ยนแปลงเป็น 0 หรือ 1 ในทันทีทันใด ซึ่งการแก้ไขการอิ่มตัวของออปแอมป์ ทำได้โดยเพิ่มวงจรกรองความถี่ต่ำผ่านเข้าไปที่ขาอินพุททั้งสองของออปแอมป์

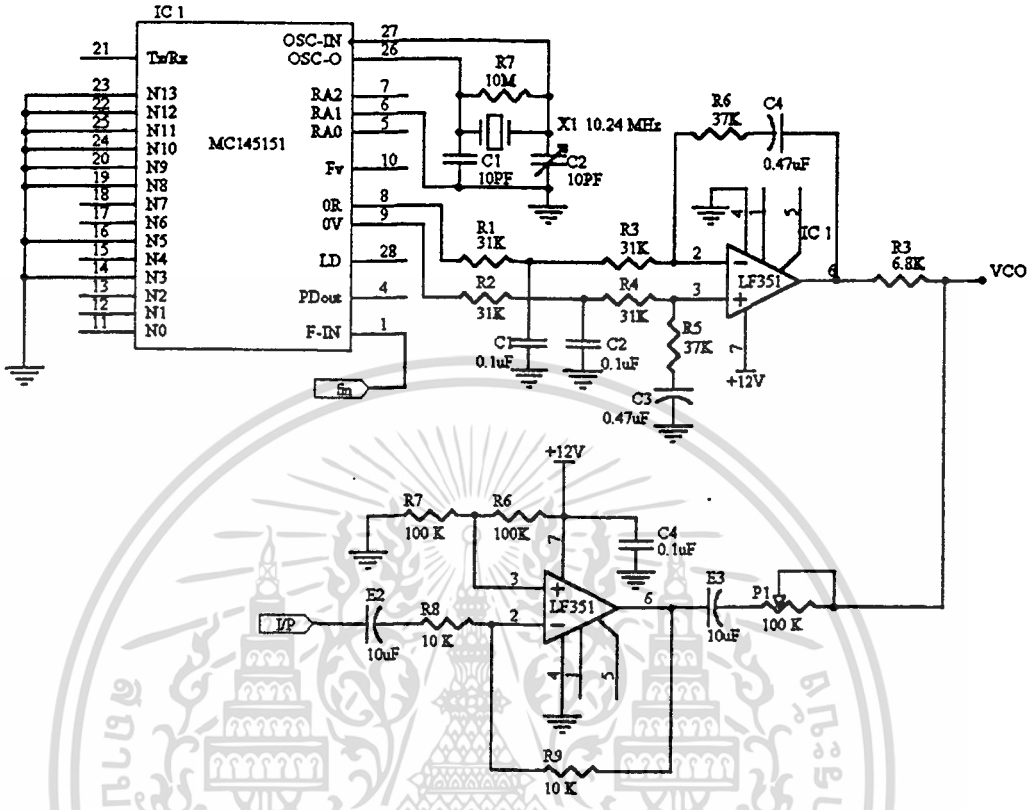
วงจรกรองความถี่ต่ำผ่านที่เพิ่มเข้าไป จะมีความถี่หักมุมประมาณ 10 เท่าของความถี่ของ W_n โดยแยกค่าของ R_1 ออกเป็นสองตัวที่มีค่าเท่ากัน และระหว่าง R ทั้งสอง จะมีคาปาซิเตอร์ C_c ต่อลงกราวด์ ซึ่งเป็นการแก้ไขปัญหาเนื่องจากการอิ่มตัวของออปแอมป์ในสภาวะทรานเซียนส์โอเวอร์ชูท

สำหรับอัตราการลดทอนไซด์แบนด์ต่อแคร์เรียร์จะหาได้จากสมการ

$$\frac{sideband}{carrier} = 20\log\frac{R_2(I_L + I_b)K_o}{W_{REF}}$$

กระแสไบอัสอินพุทของออปแอมป์ซึ่งใช้วงจรรวมเบอร์ LF351 จะมีขนาด Ib = 50 pA และกระแสรั่วไหลของเฟสดีเทคเตอร์มีค่าน้อยกว่า 10 pA ดังนั้น จะได้อัตราการลดทอนไซด์แบนด์ของแคร์เรียร์ มีขนาดเท่ากับ - 66.8 dB ซึ่งเป็นการลดทอนที่เพียงพอกับเงื่อนไขที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



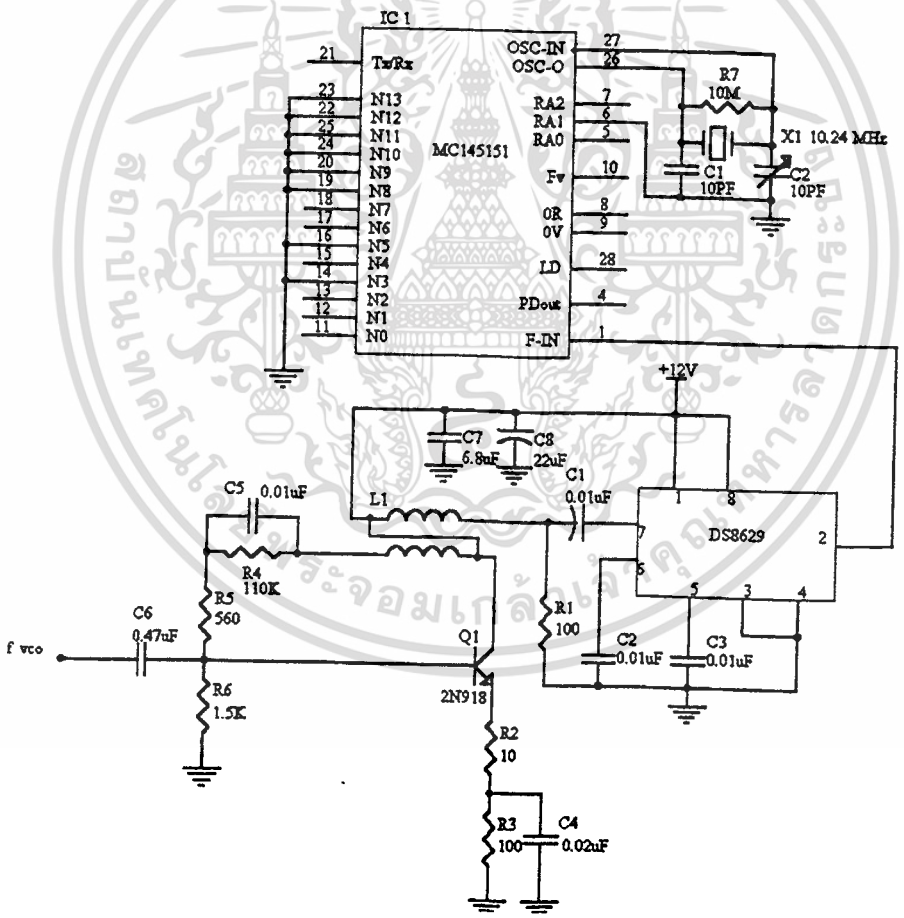
รูปที่ 5.6 วงจร LPF และ PD ใช้ในการสร้างสัญญาณ FM

5.4 วงจรหาร N

วงจรหารในลูป เป็นการหารความถี่ของคลื่นพาห์ขนาด 107.5 MHz ให้เหลือ 5 KHz เพื่อเป็นความถี่อ้างอิงของลูป เนื่องจากวงจรหารในลูปนี้ ต้องหารความถี่สูง ในการออกแบบใช้วงจรรวมเบอร์ DSB 8629 ต่อรวมกับวงจรรวม MC 145151 โดย DSB 8629 เป็นวงจรหาร 100 (prescaler) ต้องการขนาดแรงดันอินพุทขนาด 100 mV เป็นอย่างต่ำ และวงจรรวม MC 145151 เป็นวงจรหารสามารถโปรแกรมได้ สำหรับคลื่นพาห์ที่ออกจากวงจรออสซิลเลเตอร์ ที่มีขนาดเล็กมากๆ และเพื่อให้เกิดการแยกโดยไม่ให้สัญญาณดิจิตอลเข้าไปรบกวนวงจรออสซิลเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จึงต้องใช้วงจรขยายความถี่ย่านกว้าง (wide band amplifier) ต่อที่อินพุทวงจรหารภาคแรก โดยเอาท์พุทของวงจรภาคแรก จะมีความถี่เหลือขนาด 1.075 MHz เป็นระดับสัญญาณ TTL ป้อนเข้าสู่วงจรรวมเบอร์ MC 145151 ซึ่งเป็นวงจรรวมที่สามารถโปรแกรมการหารได้ โดยโปรแกรมได้ตั้งแต่ 0-16384 โดยผ่านขา N0-N13 โดยที่ N0 เป็นหลักที่มีนัยสำคัญน้อยที่สุด (Least Significant Bit : LSB) และ N13 เป็นหลักที่มีนัยสำคัญมากที่สุด (Most Significant Bit : MSB) โดยหาร 1.075 MHz ให้เหลือ 5 KHz เป็นการหารเท่ากับ 215 ดังนั้น ต้องโปรแกรมที่ขา N0-N2 เป็น "1" ขา N3 เป็น "0" ขา N4 เป็น "1" ขา N5 เป็น "0"ขา N6, N7 เป็น "1" ขา N8-N13 เป็น "0" สำหรับวงจรภาคปฏิบัติแสดงได้ดังรูป 5.7

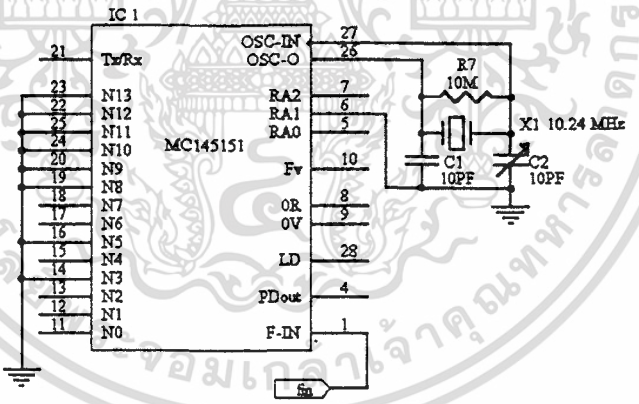


รูปที่ 5.7 วงจรหาร N = 21500

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 วงจรกำเนิดความถี่อ้างอิง

วงจรกำเนิดความถี่อ้างอิงและเฟสดีเทคเตอร์ที่ใช้ในส่วนของเฟสล็อกลูปนี้ จะได้จากวงจรรวมเบอร์ MC 145151 ซึ่งภายในประกอบด้วยวงจรหาร เฟสดีเทคเตอร์และวงจรที่กำเนิดความถี่อ้างอิง ซึ่งความถี่ 10.24 MHz เป็นความถี่ที่ผลิตจากคริสตอลจะถูกหารให้เหลือ 5 MHz เพื่อใช้เป็นความถี่อ้างอิง โดยวงจรหารส่วนนี้ สามารถกำหนดค่าได้ 8 ค่า ซึ่งกำหนดได้จากขา Ra_0, Ra_1, Ra_2 สำหรับความถี่ที่จะนำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์ซึ่งเป็นความถี่ 107.5 MHz ที่ผลิตจาก VCO จะถูกหารด้วยวงจรหาร 100 ก่อนที่จะมาเข้า MC 145151 ความถี่นี้ จะถูกหารด้วยวงจรหารอีกส่วนหนึ่งที่อยู่ภายใน MC 145151 ให้เหลือความถี่ 5 KHz ซึ่งวงจรหารส่วนนี้ จะเป็นวงจรหารแบบไบนารีจำนวน 14 สเตท โดยจะกำหนดค่าของการหารได้จากขา No-N_{13}



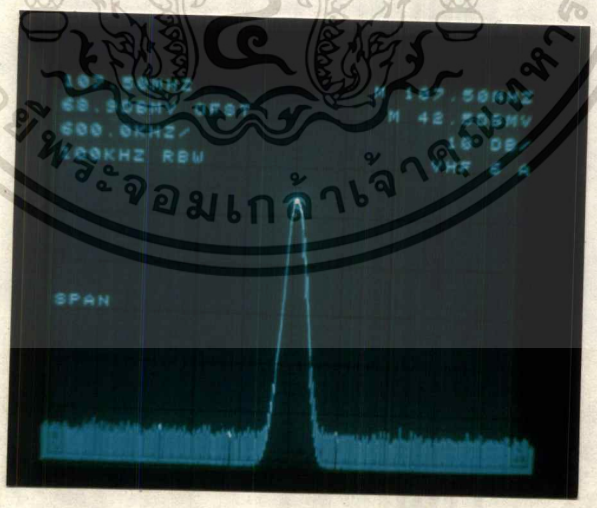
รูปที่ 5.8 วงจรกำเนิดความถี่อ้างอิง

สำหรับวงจรเฟสดีเทคเตอร์ที่อยู่ภายใน MC145151 จะมีเอาท์พุทคือ R และ V ที่ขา 8 และขา 9 ซึ่งจะใช้ต่อกับวงจรกรองในลูป ในส่วนของวงจรหารที่ใช้หารความถี่ 10.24 MHz จะสามารถเลือกตัวหารได้ 8 ค่า โดยกำหนดได้จากขา RA_0, RA_1, RA_2 ซึ่งความถี่ 10.24 MHz ก็จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

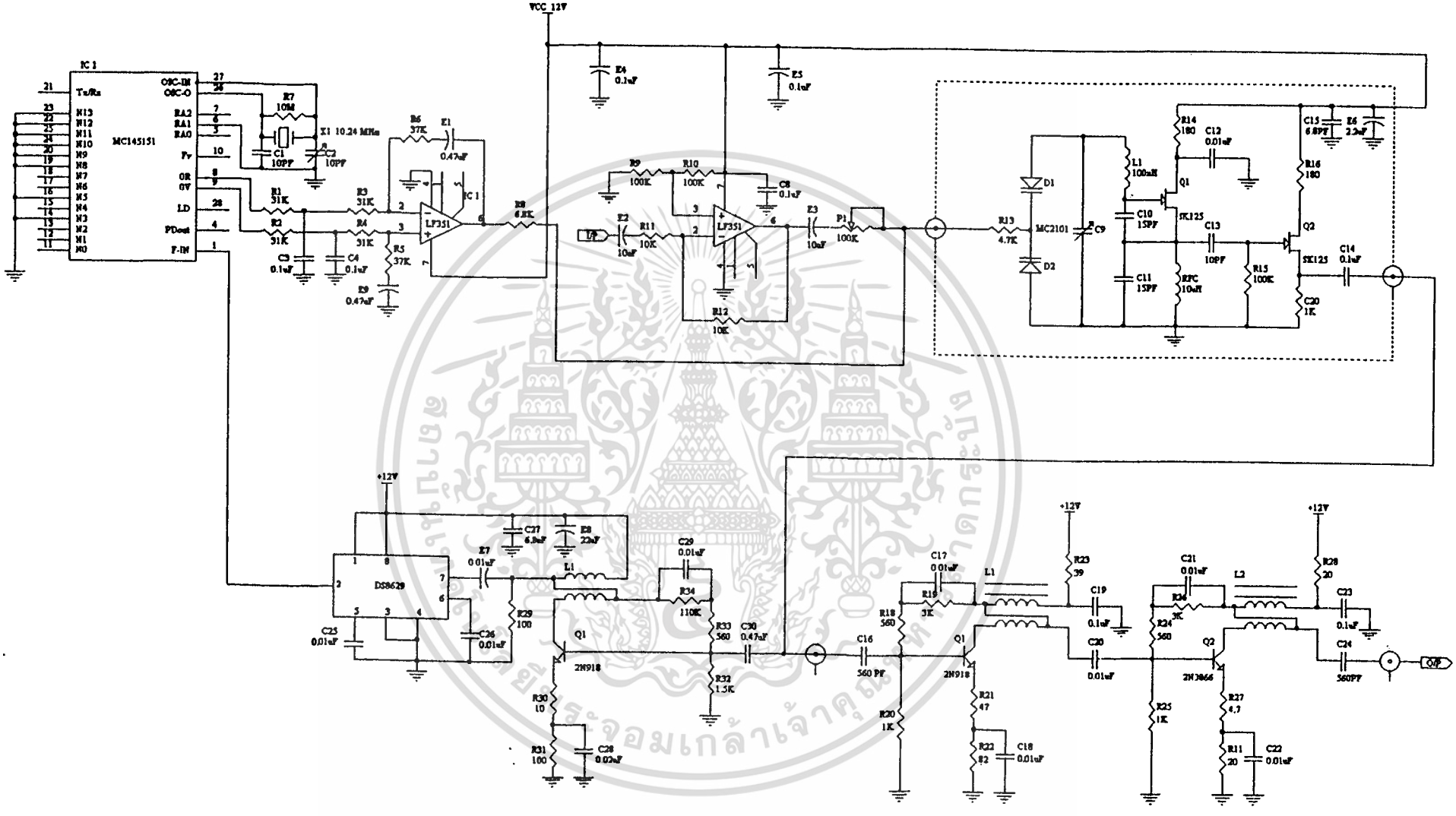
ถูกหารด้วยค่า 2048 เพื่อให้เหลือ 5 KHz โดยกำหนดให้ขา RA_1, RA_2 เป็นลอจิกหนึ่ง และ ขา RA_1 เป็นลอจิกศูนย์โดยการต่อลงกราวด์ สำหรับความถี่ 107.5 MHz ที่ผลิตจากวงจร VCO จะผ่านวงจรหาร 100 ก่อนที่จะมาเข้า MC 145151 ทำให้เหลือความถี่ 1.075 MHz ความถี่นี้จะถูกหารด้วยค่า 215 ซึ่งจะกำหนดได้จากขา N_0-N_{13} โดยกำหนดให้ขา N_0, N_1, N_2, N_3, N_4, N_7 เป็นลอจิกหนึ่ง และขา N_3, N_5, N_6, N_8, N_9, N_{10}, N_{11}, N_{12}, N_{13} เป็นลอจิกศูนย์ และความถี่ที่ได้จากวงจรหารส่วนนี้ จะถูกนำไปเปรียบเทียบเฟสและความถี่กับความถี่อ้างอิงที่เฟสดีเทคเตอร์ ซึ่งเฟสดีเทคเตอร์จะเป็นวงจรดิจิตอลเฟสดีเทคเตอร์

สำหรับวงจรเกทออสซิลเลต ซึ่งอยู่ภายในวงจรรวม MC145151 เกทเปรียบเหมือนวงจรขยายกลับเฟส โดยมี R_1, C_1, C_2 และคริสตอลเป็นส่วนของวงจรป้อนกลับสัญญาณจากเอาท์พุทของเกทให้อินพุทของเกทมีเฟสกลับไป 180 องศา R_1 เป็นความต้านทานสำหรับไบอัสให้เกททำงาน ซึ่งจะใช้ค่า 10 โอห์ม สำหรับ C_1 และ C_2 กำหนดให้อนุกรมกัน ซึ่งจะมีขนาดเท่ากับค่าโหลดคาปาซิแตนซ์ของคริสตอล โดยในการออกแบบเลือกค่า C_1 ขนาด 10 pF และ C_2 เป็นทริมเมอร์ปรับค่าได้ขนาด 10 pF



รูปที่ 5.9 สเปคตรัมที่ความถี่ 107.5 MHz

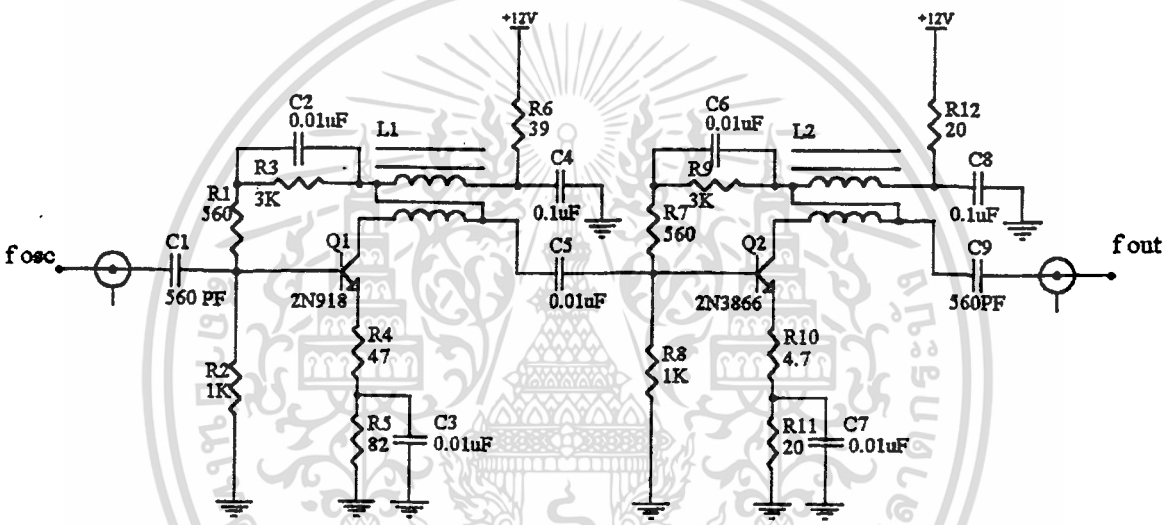
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 วงจรมอดูเลตสัญญาณทั้งหมด

5.6 วงจร Wide Band Amplifier

วงจรขยายความถี่สูงทั่วไป มักจะให้เกนสูงสุดที่ความถี่ที่ออกแบบไว้ และเนื่องจากเกน Band Width ของ Transistor มีค่าคงที่ ดังนั้น วิธีที่จะเพิ่มแบนด์วิดท์ สามารถทำได้โดยลดเกนลง ด้วยวิธีการป้อนกลับ วงจร Wide Band Amplifier สามารถสร้างได้จาก วงจร Cascode หรือวงจร Differential ได้เช่นกัน ซึ่งโครงงานนี้ใช้วิธีการป้อนกลับ



รูป 5.11 แสดงวงจร Wide Band Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปการวิจัยและข้อเสนอแนะ

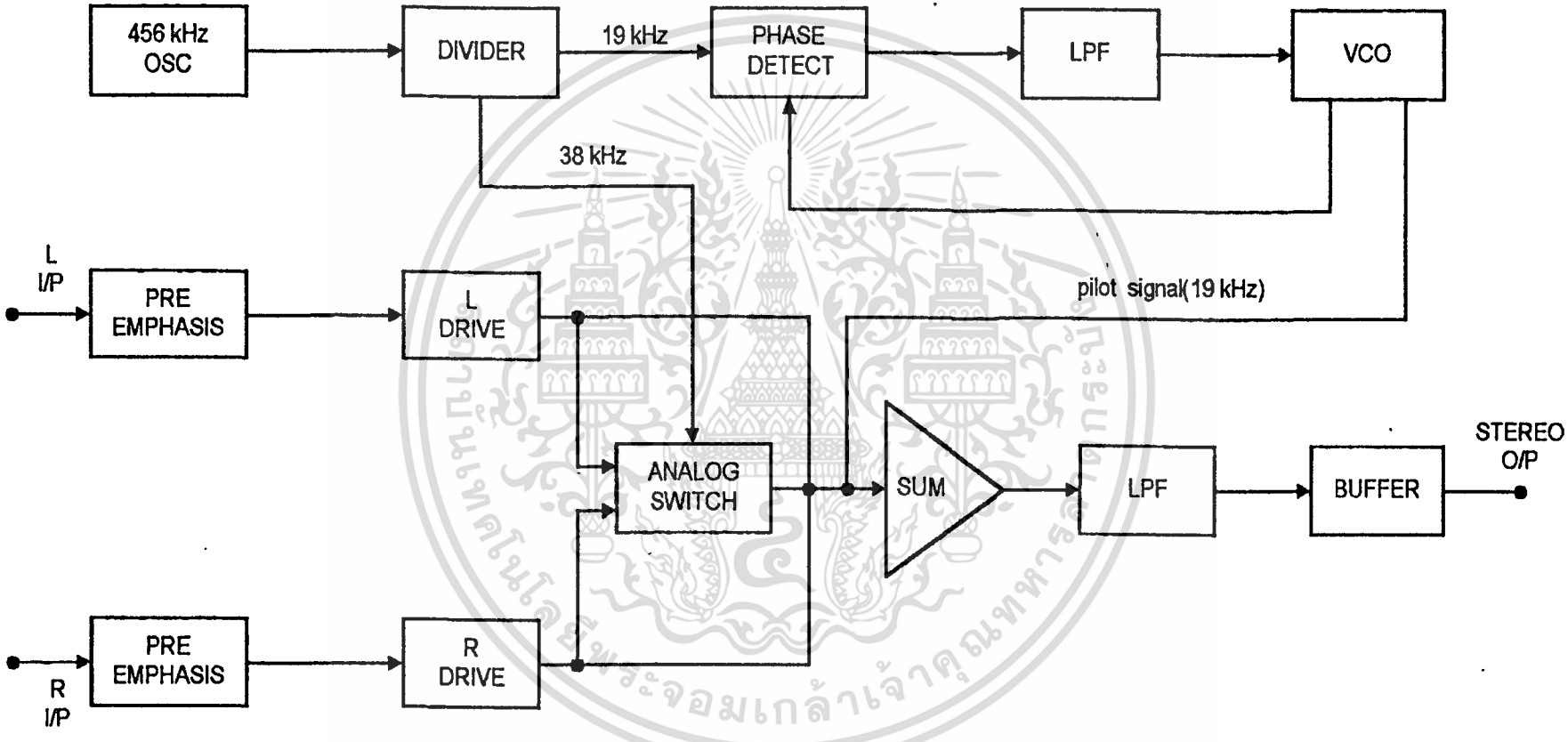
จากการทดลอง เครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์ ในส่วนของภาค Stereo Encoder สามารถสร้างสัญญาณที่เข้ารหัสแล้วเครื่องรับสามารถแยกช่อง(Channel) ซ้าย และขวาได้อย่างชัดเจน แต่ก็ยังมีครอสทอร์ค (Cross Talk) อยู่บ้างเล็กน้อย ซึ่งอาจจะขึ้นอยู่กับตัวไอซีอนาลอกสวิทช์ มีคุณภาพไม่ดีพอ รวมทั้งการปรับอัตราส่วนของสัญญาณ L-R, L+R และ Pilot Tone ที่ยังไม่ดีพอ เพราะในการปรับอัตราส่วนของสัญญาณเหล่านี้ เราใช้เพียงตัวต้านทานปรับค่าได้แบบเกือกม้าธรรมดา (Variable Resister : VR) ทำให้การปรับไม่ละเอียดเท่าที่ควร และจุดที่สำคัญที่ทำให้มีผลต่อการแยกช่องซ้าย-ขวา มากคือ การปรับเฟสของสัญญาณไพล็อต 19 KHz เพราะถ้าเฟสของสัญญาณไม่ได้ ก็จะทำให้สัญญาณนั้นไม่เกิดการแยกช่อง จากการปรับ VRของวงจรเลื่อนเฟส จะมีช่วงเพียงเล็กน้อยเท่านั้น ที่ทำให้เกิดการแยกช่อง เพราะฉนั้นควรใช้VR ที่ปรับละเอียด จะทำให้ได้การแยกช่องที่ชัดเจนยิ่งขึ้น การแยกช่องสามารถสลับช่องกันได้ โดยการสลับสัญญาณ Q และ /Q 38 KHz. ที่ไปควบคุมอนาลอกสวิทช์ (Analog Switch)

ภาค FM Modulator เราสามารถสร้างวงจรออสซิลเลเตอร์ 107.5 MHz เพื่อนำไปใช้เป็นความถี่คลื่นพาห์ได้จากวงจรแคลป โดยใช้ FET เพื่อให้ความถี่คงที่ เราจะใช้หลักการ PLL โดยมีการหาร N (Prescaler) เข้าช่วย จะทำให้เราไม่ต้องสร้างความถี่อ้างอิงให้มีความถี่สูงเท่ากับ 107.5 MHz เราสามารถเปลี่ยนความถี่ของคลื่นพาห์ได้โดยการเปลี่ยนค่าวงจรหาร N

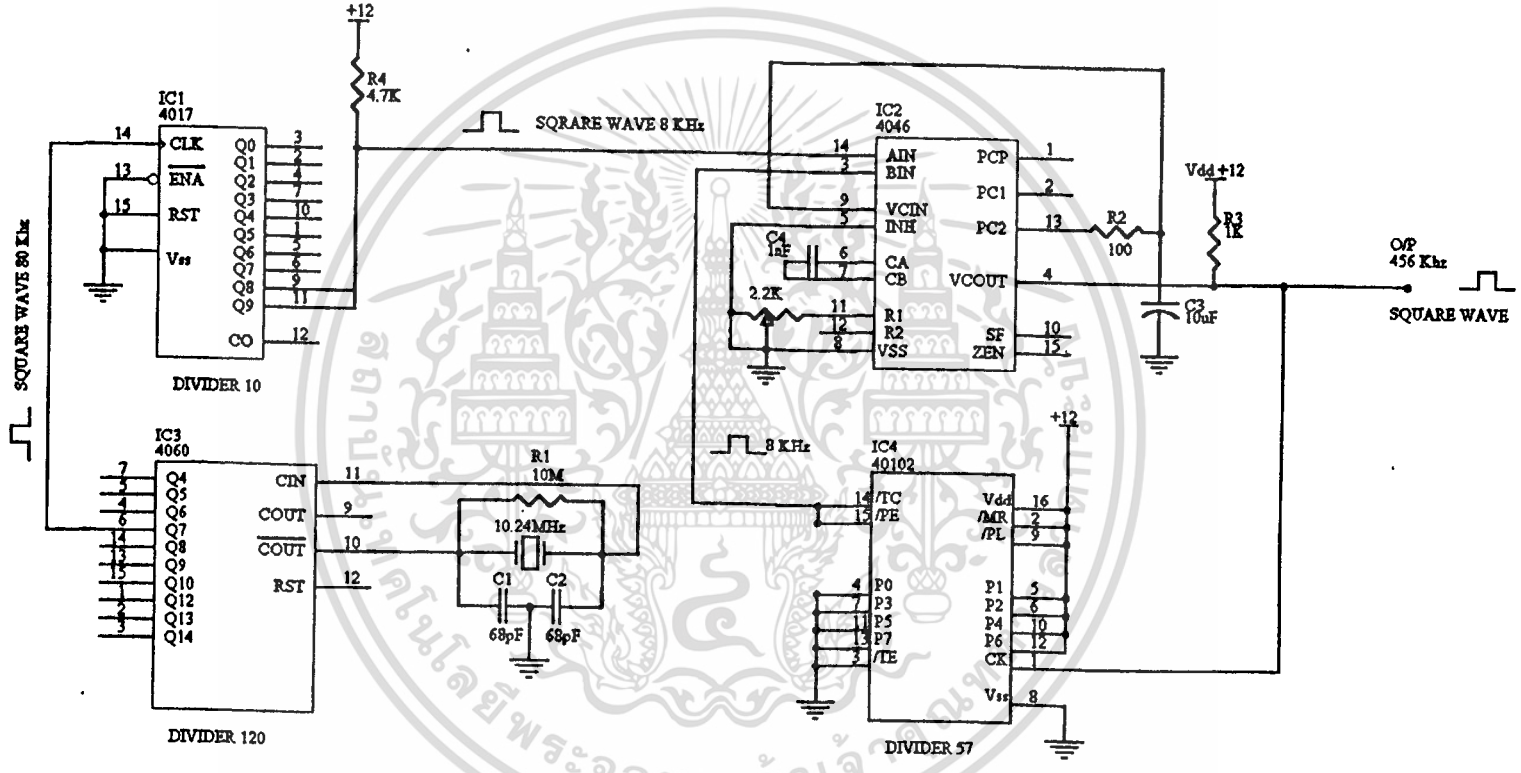
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก
วงจรและแผ่นวงจรพิมพ์

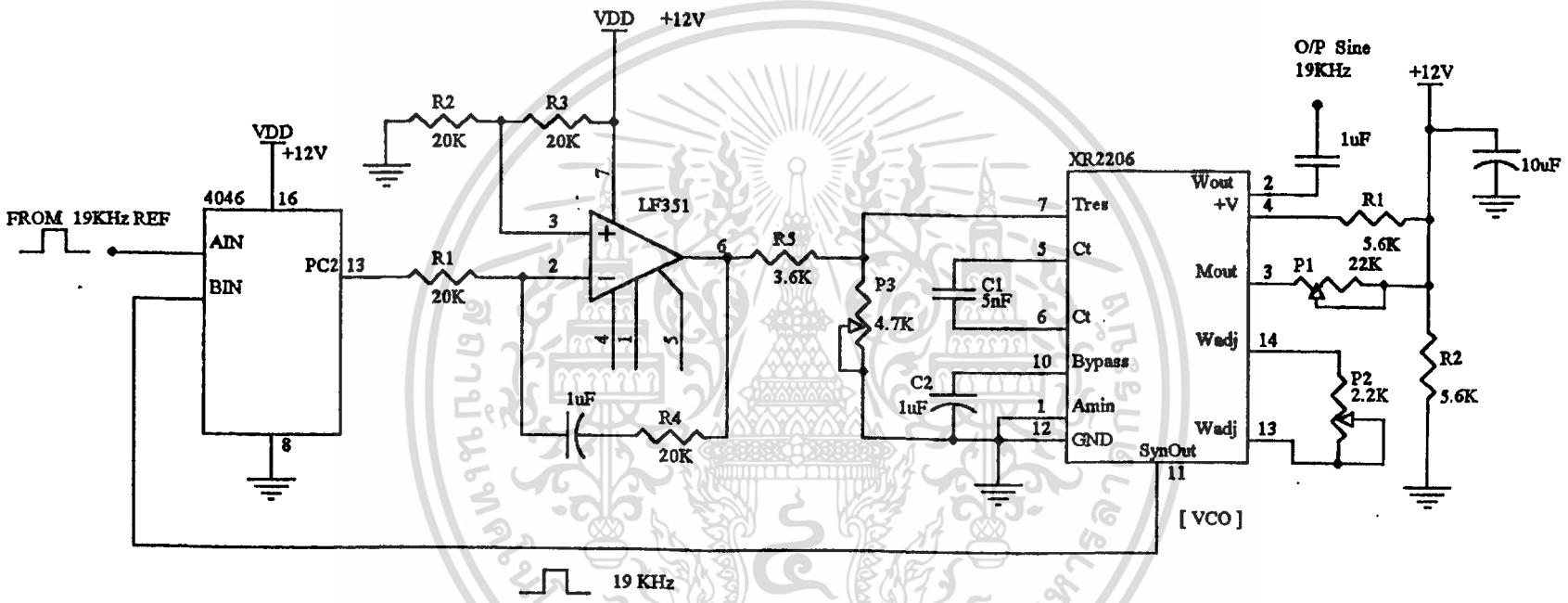
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



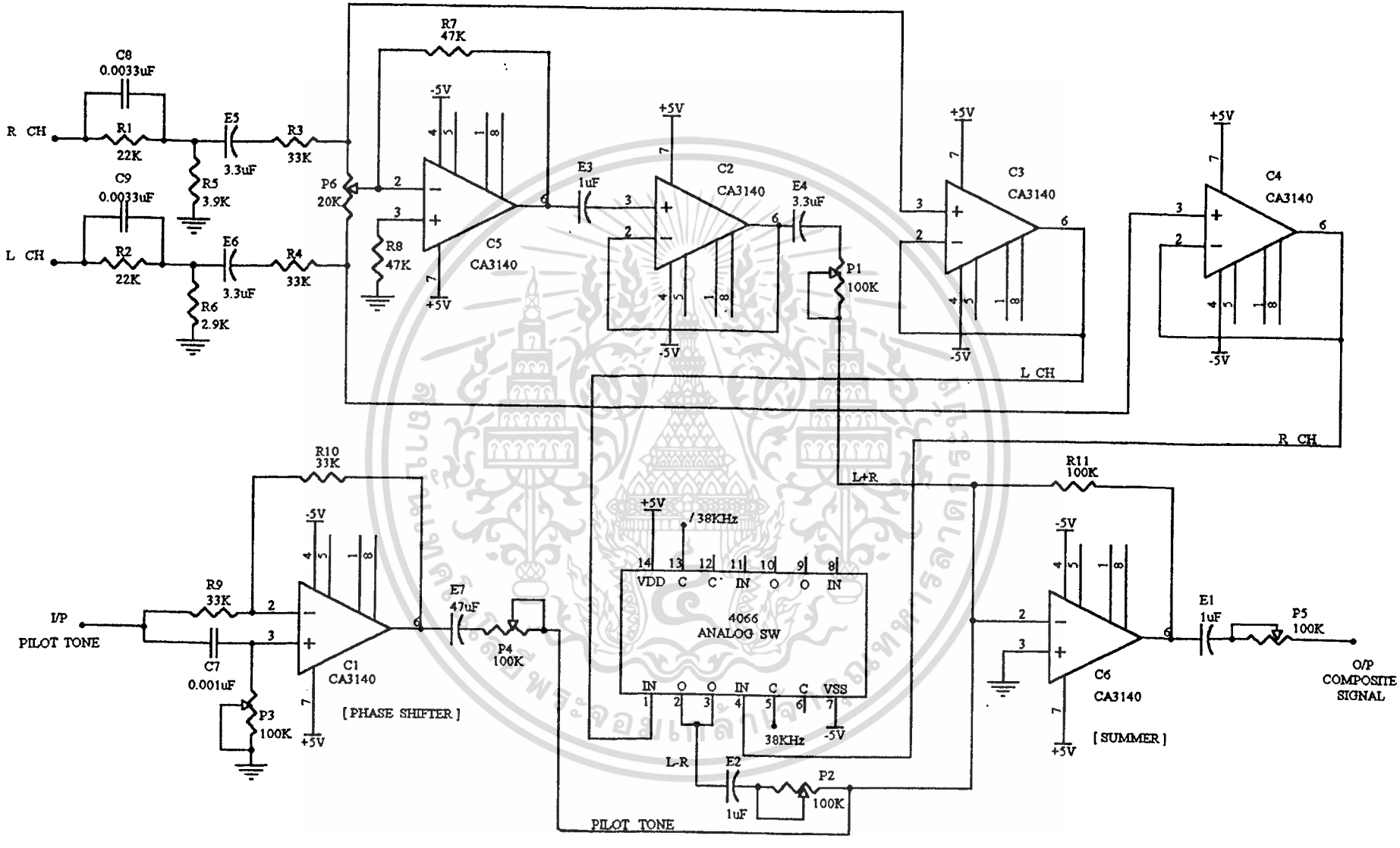
STEREO GENERATOR



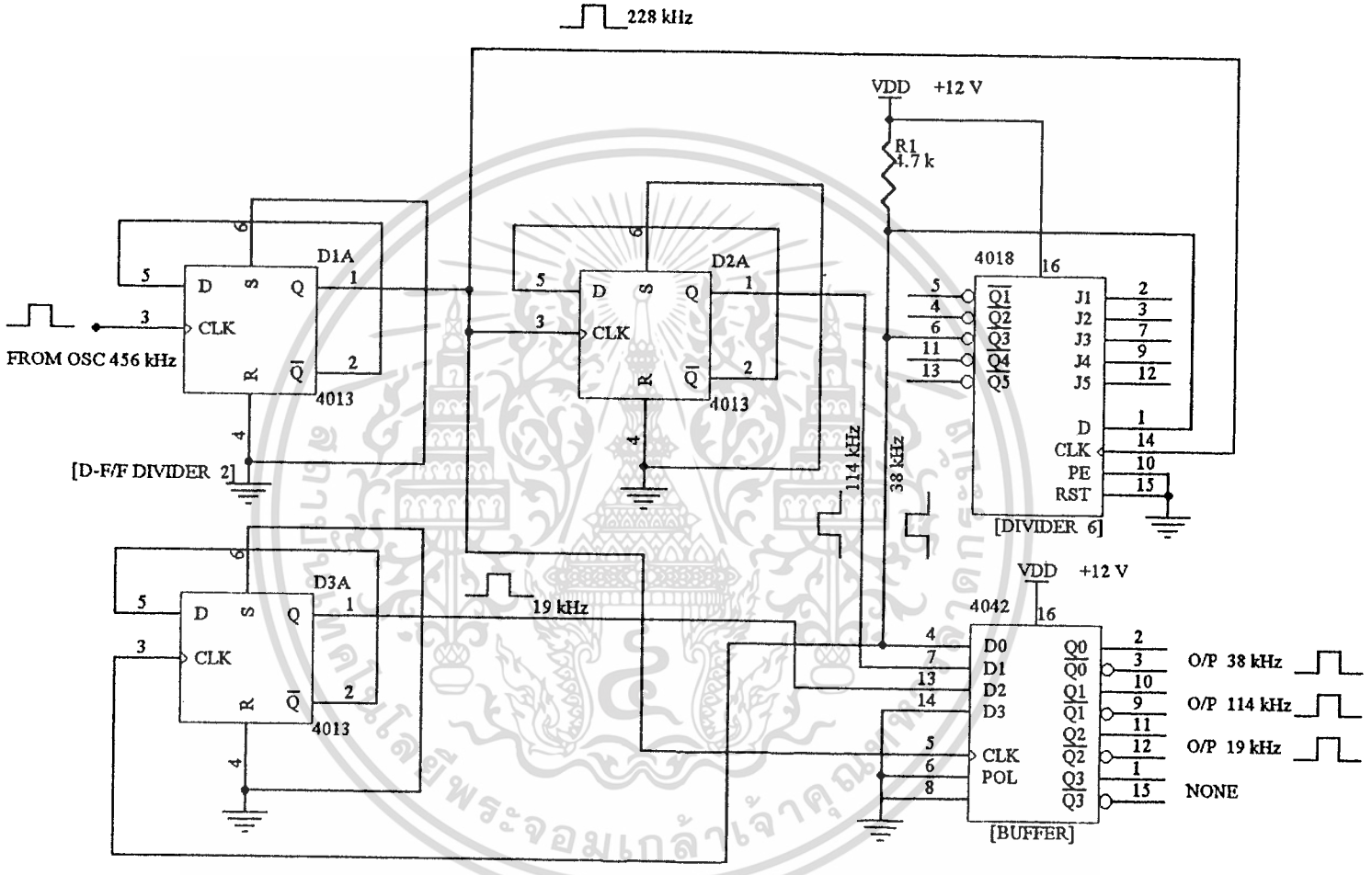
OSCILLATOR 456 KHz



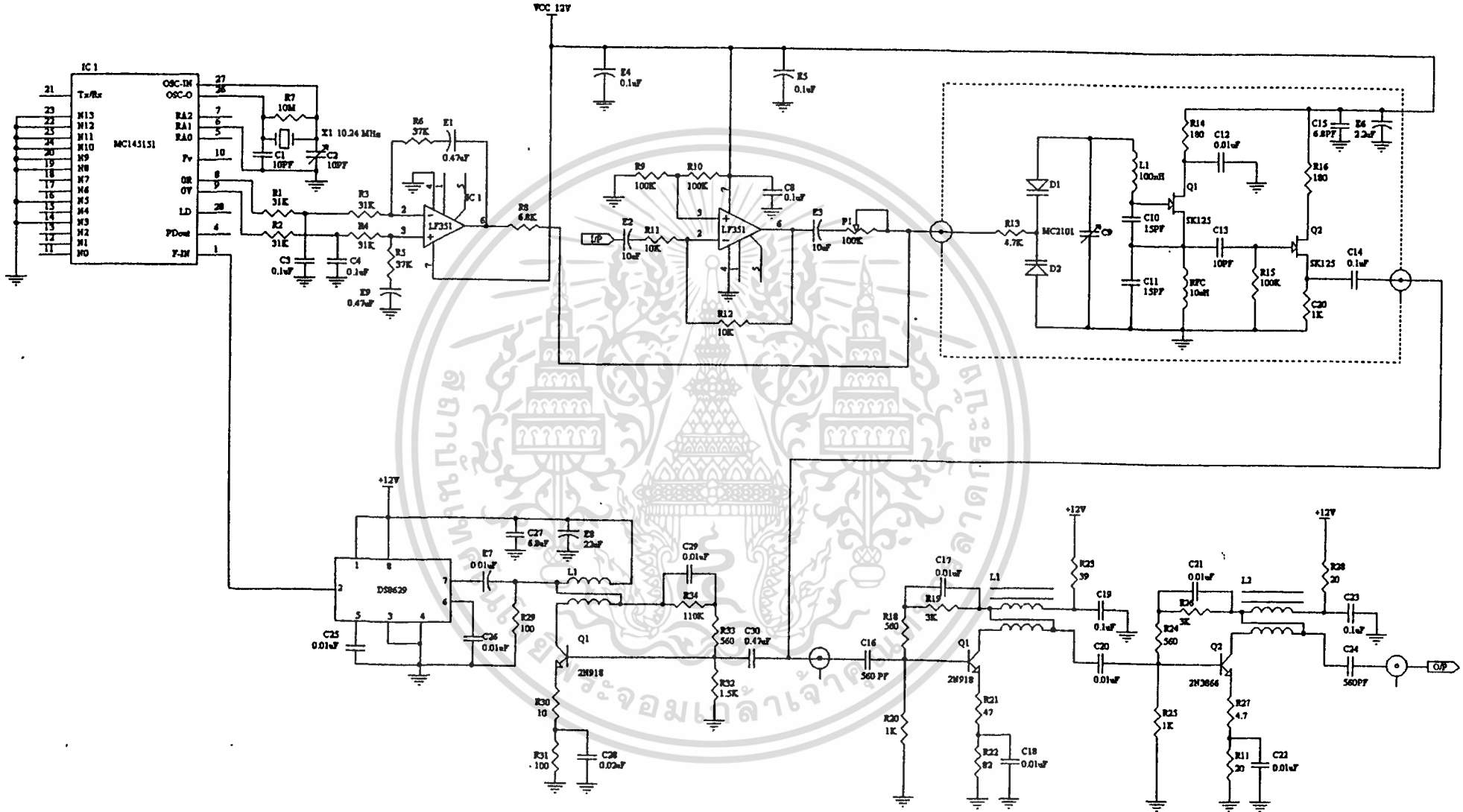
OSCILLATOR 19 KHz



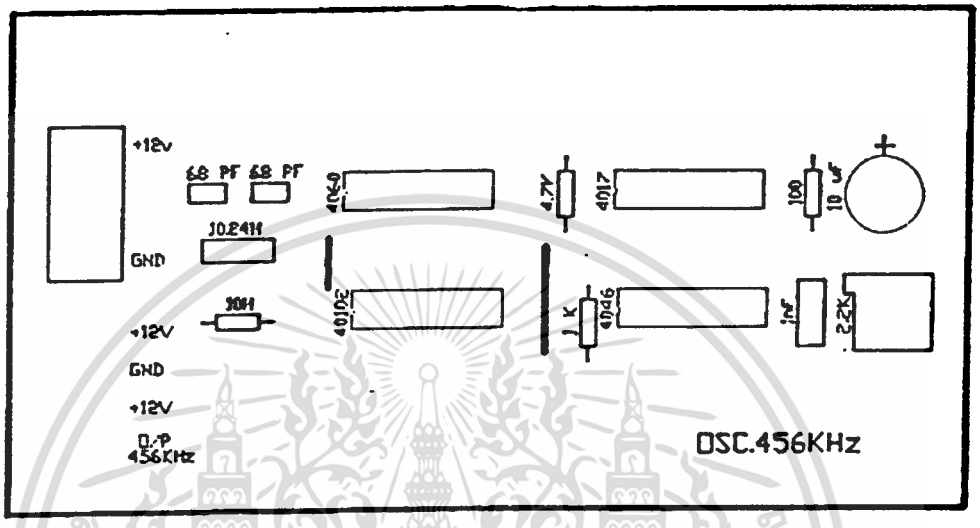
STEREO ENCODER

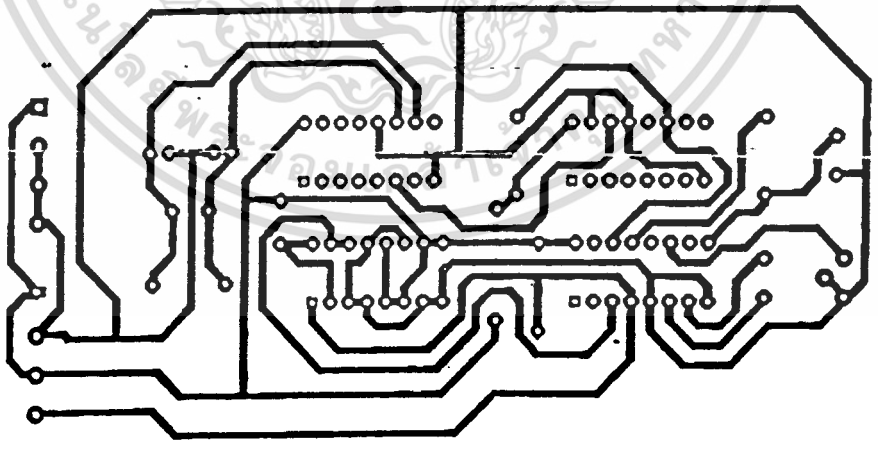


ลายวงจรพิมพ์วงจร PHASE DETECTOR และ LPF

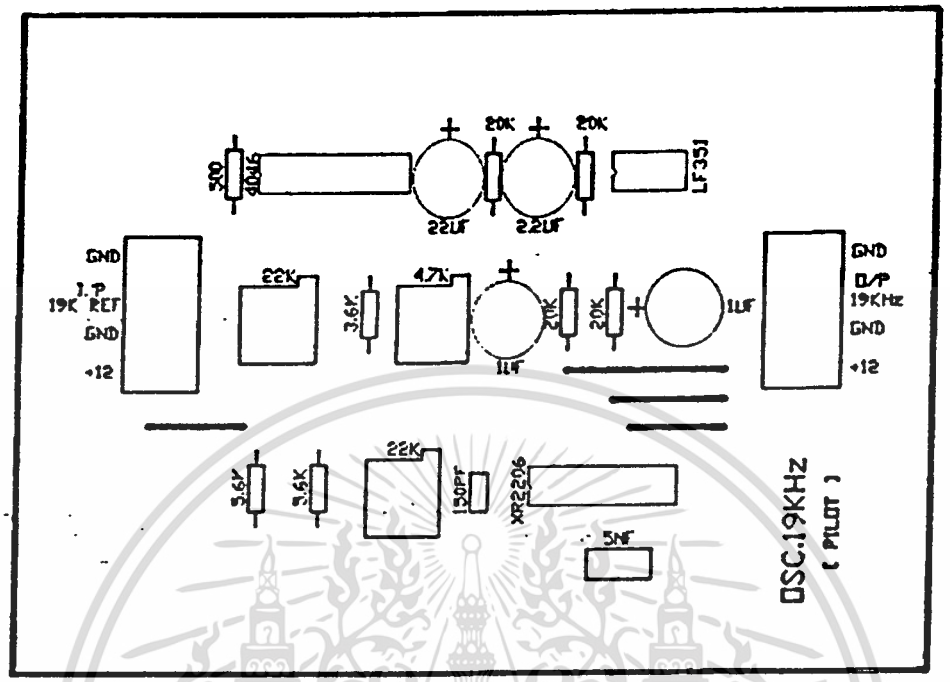


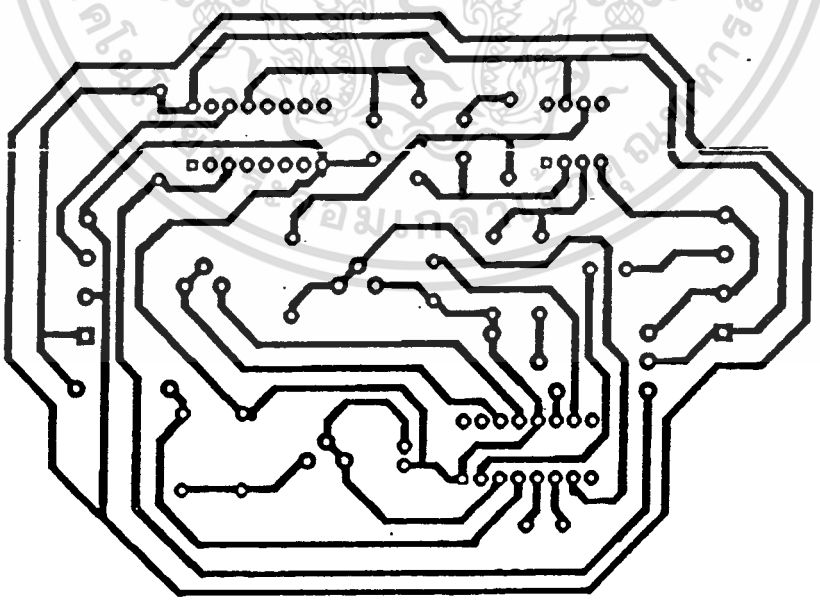
FM MODULATION CIRCUIT



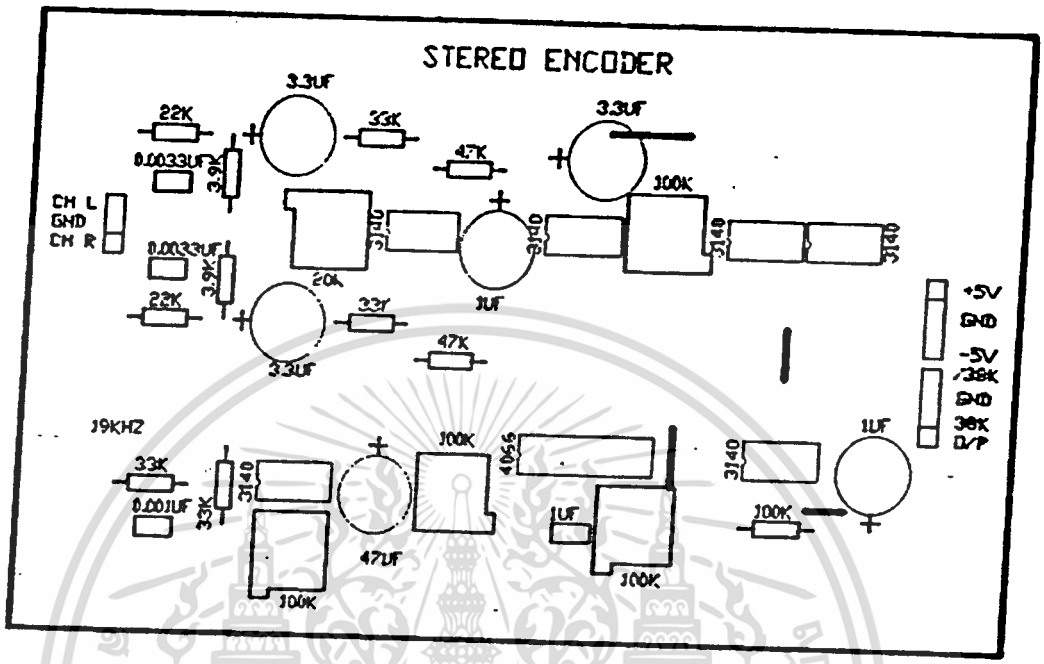


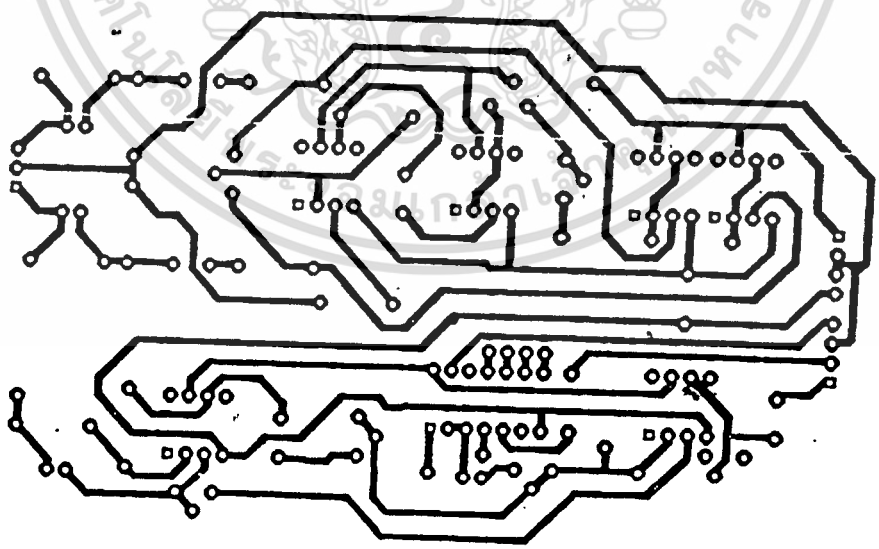
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



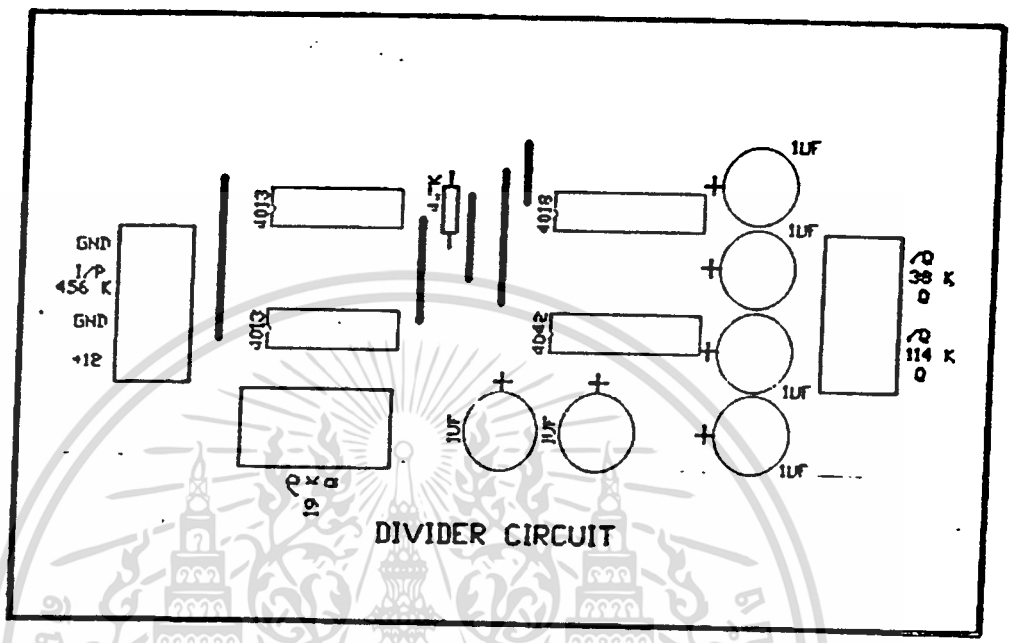


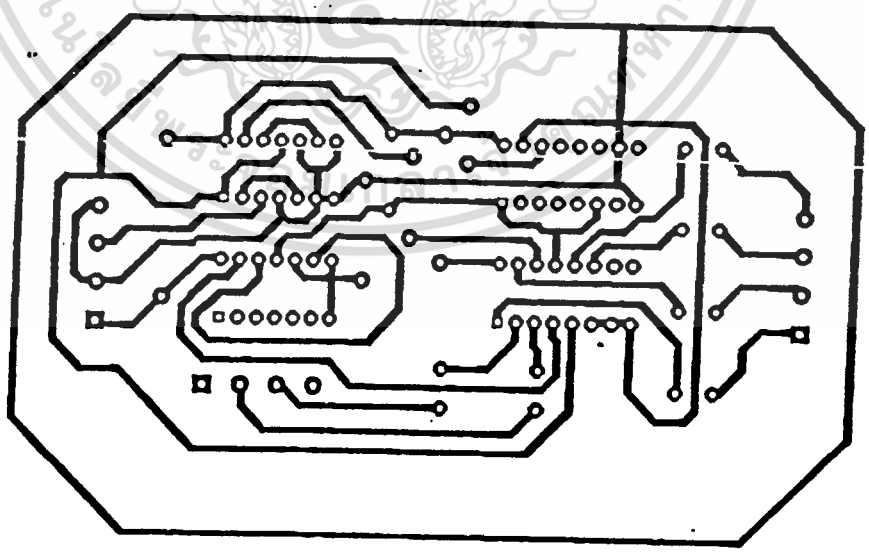
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





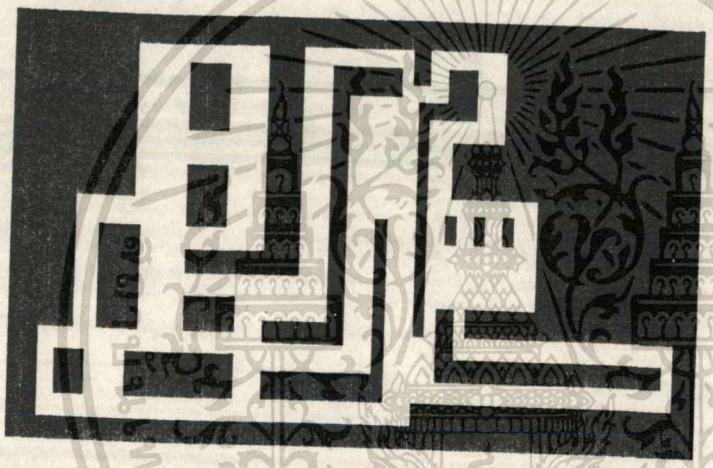
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



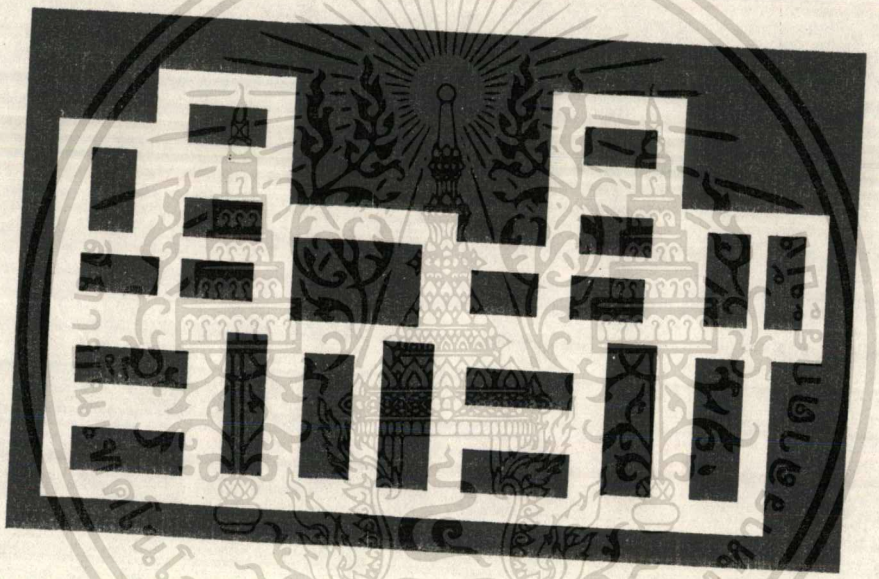


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

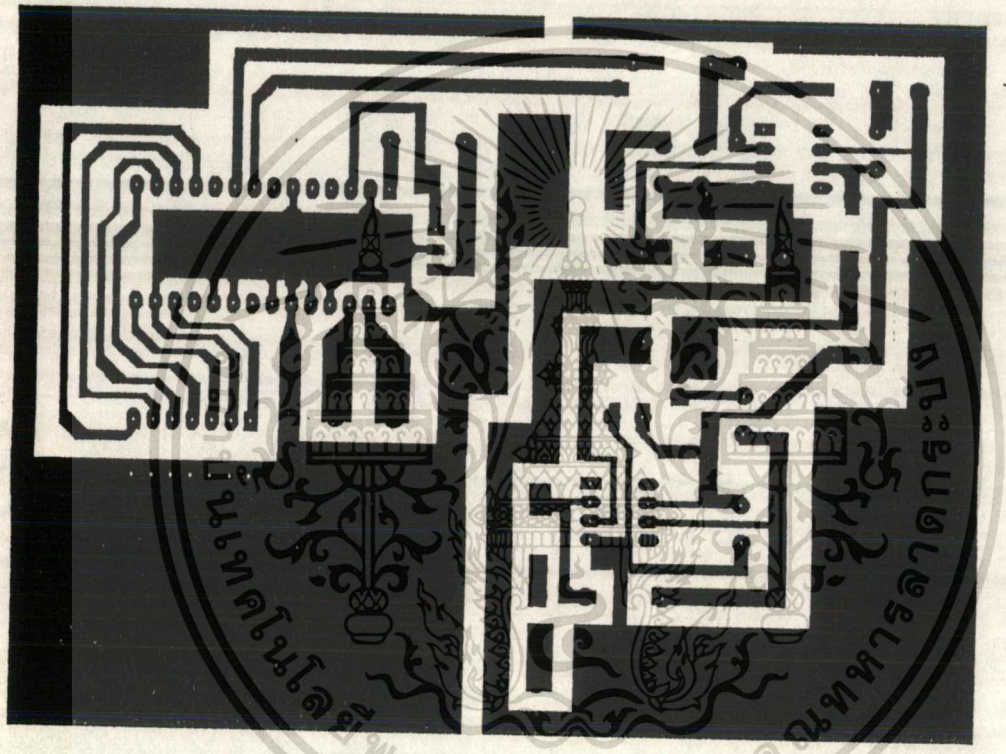
ลายวงจรพิมพ์วงจร OSCILLATOR 107.5 MHz



ลายวงจรพิมพ์วงจร หาร 100



ลายวงจรพิมพ์วงจร WIDE BAND AMPLIFIER



ลายวงจรพิมพ์วงจร PHASE DETECTOR และ LPF

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ภาคผนวก ข

คู่มืออุปกรณ์อิเล็กทรอนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC145151-2

Parallel-Input PLL Frequency Synthesizer

Interfaces with Single-Modulus Prescalers

The MC145151-2 is programmed by 14 parallel input-data lines for the N counter and 3 input lines for the R counter. The device features consist of a reference oscillator, selectable-reference divider, digital-phase detector, and 14-bit programmable divide-by-N counter.

The MC145151-2 is an improved-performance drop-in replacement for the MC145151-1. The power consumption has decreased and ESD and latch-up performance have improved.

- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On- or Off-Chip Reference Oscillator Operation
- Lock Detect Signal
- ÷N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User-Selectable ÷R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- ÷N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single Ended (Three-State) or Double Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates

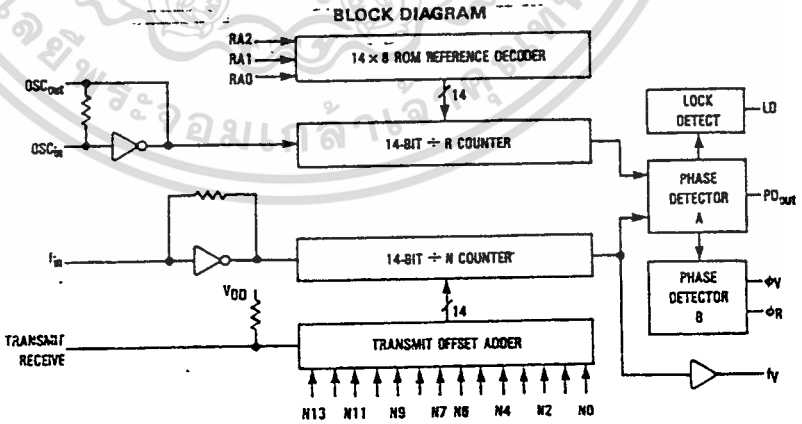
P SUFFIX
PLASTIC
CASE 710

FN SUFFIX
PLCC
CASE 776

ORDERING INFORMATION

MC145151P2	Plastic DIP
MC145151FN2	PLCC Package

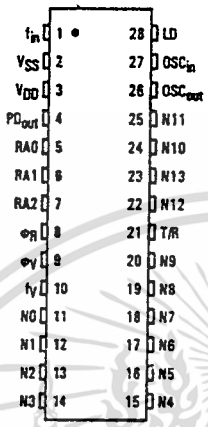
BLOCK DIAGRAM



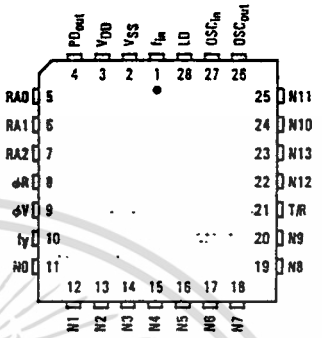
NOTE: N0 through N13 inputs and inputs RA0, RA1, and RA2 have pullup resistors not shown.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN ASSIGNMENTS



PLASTIC DIP



PLCC PACKAGE

PIN DESCRIPTIONS

INPUTS

f_{in}—Frequency Input

Input to the ÷N portion of the synthesizer. f_{in} is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2—Reference Address Inputs

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pullup resistors ensure that inputs left open remain at a logic one and require only a SPST switch to alter data to the zero state.

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	4410
1	1	1	8192

N Inputs—N Counter Programming Inputs

These inputs provide the data that is preset into the ÷N counter when it reaches the count of zero. N0 is least significant and N13 is most significant. Pullup resistors ensure that inputs left open remain at a logic one and require only a SPST switch to alter data to the zero state.

Transmit/Receive—Offset Adder Input

This input controls the offset added to the data provided at the N inputs. This is normally used for offsetting the VCO frequency by an amount equal to the IF frequency of the transceiver. This offset is fixed at 856 when T/R is low and gives no offset when T/R is high. A pullup resistor ensures that no connection will appear as a logic one causing no offset addition.

OSC_{in}, OSC_{out}—Reference Oscillator Input/Output

These pins form an on-chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally-generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUTS

PD_{out}—Phase Detector A Output

Three-state output of phase detector for use as loop error signal. Double-ended outputs are also available for this purpose (see ϕV and ϕR).

Frequency $f_V > f_R$ or f_V Leading: Negative Pulses
Frequency $f_V < f_R$ or f_V Lagging: Positive Pulses
Frequency $f_V = f_R$ and Phase Coincidence: High-Impedance State

ϕR, ϕV—Phase Detector B Outputs

These phase detector outputs can be combined externally for a loop-error signal. A single-ended output is also available for this purpose (see PD_{out}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕ_V pulsing low. ϕ_R remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕ_R pulsing low. ϕ_V remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕ_V and ϕ_R remain high except for a small minimum time period when both pulse low in phase.

f_V—N Counter Output.

This is the buffered output of the ÷N counter that is internally connected to the phase detector input. With this output available, the ÷N counter can be used independently.

LD—Lock Detector Output

Lock detector signal. Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

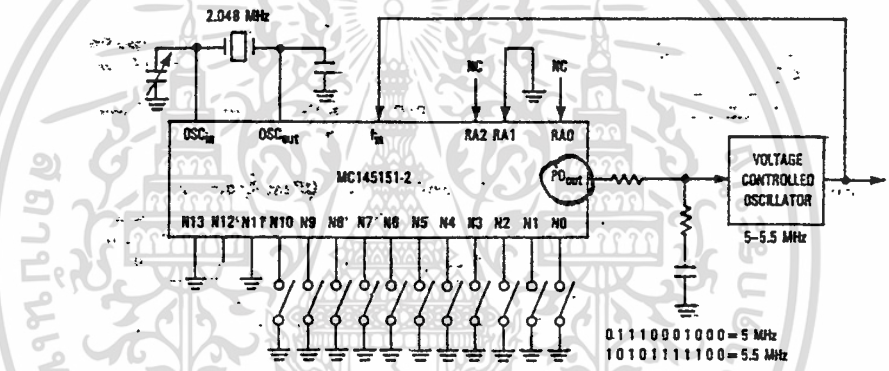
V_{DD}

The positive power supply potential. This pin may range from +3 to +9 V with respect to V_{SS}.

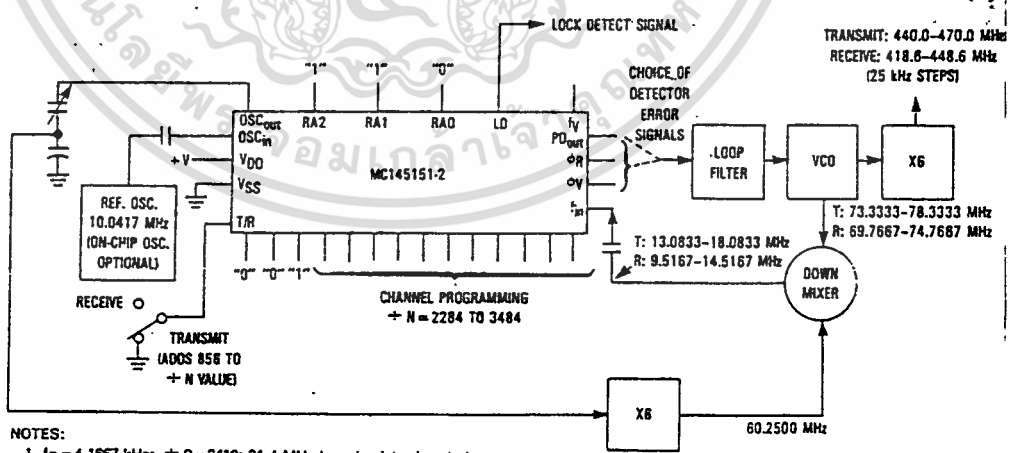
V_{SS}

The most negative supply potential. This pin is usually ground.

TYPICAL APPLICATIONS



5 MHz to 5.5 MHz Local Oscillator Channel Spacing = 1 kHz



NOTES:
1. f_R = 4.1667 kHz; ÷R = 2410; 21.4 MHz low side injection during receive.
2. Frequency values shown are for the 440–470 MHz band. Similar implementation applies to the 406–440 MHz band. For 470–512 MHz, consider reference oscillator frequency X9 for mixer injection signal (90.3750 MHz).

Synthesizer for Land Mobile Radio UHF Bands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAMILY CHARACTERISTICS

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	−0.5 to +10.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient), except SW1, SW2	−0.5 to V_{DD} +0.5	V
V_{out}	Output Voltage (DC or Transient), SW1 or SW2 (R_{pullup} = 4.7 kΩ)	−0.5 to +15	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	±10	mA
I_{DD}, I_{SS}	Supply Current, V_{DD} or V_{SS} Pins	±30	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 seconds	260	°C

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

†Power Dissipation Temperature Derating:
Plastic DIP: −12 mW/°C from 65°C to 85°C
PLCC Package: −12 mW/°C from 65°C to 85°C
SOG Package: −7 mW/°C from 65°C to 85°C

These devices contain protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to these high-impedance circuits. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$ except for SW1 and SW2.

SW1 and SW2 can be tied through external resistors to voltages as high as 15 V dc, independent of the supply voltage.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}), except for inputs with pullup devices. Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Symbol	Parameter	Test Condition	V_{DD} V	−40°C Min	−40°C Max	25°C Min	25°C Max	85°C Min	85°C Max	Unit
V_{DD}	Power Supply Voltage Range		—	3	9	3	9	3	9	V
I_{ss}	Dynamic Supply Current	$f_{in} = OSC_{in}$ = 10 MHz, 1 Vp-p ac-coupled sine wave R = 128, A = 32, N = 128	3	—	3.5	—	3	—	3	mA
			5	—	10	—	7.5	—	7.5	
			9	—	30	—	24	—	24	
I_{SS}	Quiescent Supply Current (not including pullup current component)	$V_{in} = V_{DD}$ or V_{SS} I_{out} = 0 μA	3	—	800	—	800	—	1600	μA
			5	—	1200	—	1200	—	2400	
			9	—	1600	—	1600	—	3200	
V_{in}	Input Voltage—f_{in}, OSC_{in}	Input ac-coupled sine wave	—	500	—	500	—	500	—	mVp-p
V_{IL}	Low-Level Input Voltage—f_{in}, OSC_{in}	$V_{out} \ge 2.1$ V Input dc-coupled square wave	3	—	0	—	0	—	0	V
		$V_{out} \ge 3.5$ V	5	—	0	—	0	—	0	
		$V_{out} \ge 6.3$ V	9	—	0	—	0	—	0	
V_{IH}	High-Level Input Voltage—f_{in}, OSC_{in}	$V_{out} \le 0.9$ V Input dc-coupled square wave	3	3.0	—	3.0	—	3.0	—	V
		$V_{out} \le 1.5$ V	5	5.0	—	5.0	—	5.0	—	
		$V_{out} \le 2.7$ V	9	9.0	—	9.0	—	9.0	—	
V_{IL}	Low-Level Input Voltage—except f_{in}, OSC_{in}		3	—	0.9	—	0.9	—	0.9	V
			5	—	1.5	—	1.5	—	1.5	
			9	—	2.7	—	2.7	—	2.7	
V_{IH}	High-Level Input Voltage—except f_{in}, OSC_{in}		3	2.1	—	2.1	—	2.1	—	V
			5	3.5	—	3.5	—	3.5	—	
			9	6.3	—	6.3	—	6.3	—	
I_{in}	Input Current (f_{in}, OSC_{in})	$V_{in} = V_{DD}$ or V_{SS}	9	±2	±50	±2	±25	±2	±22	μA
I_{IL}	Input Leakage Current (Data, Clock, Enable—without Pullups)	$V_{in} = V_{SS}$	9	—	−0.3	—	−0.1	—	−1.0	μA
I_{IH}	Input Leakage Current (all inputs except f_{in}, OSC_{in})	$V_{in} = V_{DD}$	9	—	0.3	—	0.1	—	1.0	μA
I_{IL}	Pullup Current (all inputs with Pullups)	$V_{in} = V_{SS}$	9	−20	−400	−20	−200	−20	−170	μA
C_{in}	Input Capacitance		—	—	10	—	10	—	10	pF

Continued

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAMILY CHARACTERISTICS

ELECTRICAL CHARACTERISTICS (Continued)

Symbol	Parameter	Test Condition	V_{DD} V	−40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
V_{OL}	Low-Level Output Voltage—OSC_{out}	I_{out} = 0 μA V_{in} = V_{DD}	3 5 9	– – –	0.9 1.5 2.7	– – –	0.9 1.5 2.7	– – –	0.9 1.5 2.7	V
V_{OH}	High-Level Output Voltage—OSC_{out}	I_{out} = 0 μA V_{in} = V_{SS}	3 5 9	2.1 3.5 6.3	– – –	2.1 3.5 6.3	– – –	2.1 3.5 6.3	– – –	V
V_{OL}	Low-Level Output Voltage—Other Outputs	I_{out} = 0 μA	3 5 9	– – –	0.05 0.05 0.05	– – –	0.05 0.05 0.05	– – –	0.05 0.05 0.05	V
V_{OH}	High-Level Output Voltage—Other Outputs	I_{out} = 0 μA	3 5 9	2.95 4.95 8.95	– – –	2.95 4.95 8.95	– – –	2.95 4.95 8.95	– – –	V
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage—SW1, SW2	R_{pullup} = 4.7 kΩ	–	15	–	15	–	15	–	V
I_{OL}	Low-Level Sinking Current—Modulus Control	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	1.30 1.90 3.80	– – –	1.10 1.70 3.30	– – –	0.66 1.08 2.10	– – –	mA
I_{OH}	High-Level Sourcing Current—Modulus Control	V_{out} = 2.7 V V_{out} = 4.6 V V_{out} = 8.5 V	3 5 9	−0.60 −0.90 −1.50	– – –	−0.50 −0.75 −1.25	– – –	−0.30 −0.50 −0.80	– – –	mA
I_{OL}	Low-Level Sinking Current—Lock Detect	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	0.25 0.64 1.30	– – –	0.20 0.51 1.00	– – –	0.15 0.36 0.70	– – –	mA
I_{OH}	High-Level Sourcing Current—Lock Detect	V_{out} = 2.7 V V_{out} = 4.6 V V_{out} = 8.5 V	3 5 9	−0.25 −0.64 −1.30	– – –	−0.20 −0.51 −1.00	– – –	−0.15 −0.36 −0.70	– – –	mA
I_{OL}	Low-Level Sinking Current—SW1, SW2	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	0.80 1.50 3.50	– – –	0.48 0.90 2.10	– – –	0.24 0.45 1.05	– – –	mA
I_{OL}	Low-Level Sinking Current—Other Outputs	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	0.44 0.64 1.30	– – –	0.35 0.51 1.00	– – –	0.22 0.36 0.70	– – –	mA
I_{OH}	High-Level Sourcing Current—Other Outputs	V_{out} = 2.7 V V_{out} = 4.6 V V_{out} = 8.5 V	3 5 9	−0.44 −0.64 −1.30	– – –	−0.35 −0.51 −1.00	– – –	−0.22 −0.36 −0.70	– – –	mA
I_{OZ}	Output Leakage Current—PD_{out}	V_{out} = V_{DD} or V_{SS} Output in Off State	9	–	±0.3	–	±0.1	–	±1.0	μA
I_{OZ}	Output Leakage Current—SW1, SW2	V_{out} = V_{DD} or V_{SS} Output in Off State	9	–	±0.3	–	±0.1	–	±3.0	μA
C_{out}	Output Capacitance—PD_{out}	PD_{out}—3-State	–	–	10	–	10	–	10	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MMBV2101 thru MMBV2109
MV2101 thru MV2115

VVC

VOLTAGE-VARIABLE CAPACITANCE DIODES
6.8–100 pF
30 VOLTS

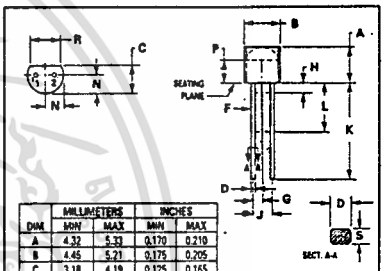
CASE 182-02

CASE 318-06
TO-236AA
SOT-23

SILICON EPICAP DIODES

... designed in the popular PLASTIC PACKAGE for high volume requirements of FM Radio and TV tuning and AFC, general frequency control and tuning applications; providing solid-state reliability in replacement of mechanical tuning methods.
Also available in Surface Mount package up to 33 pF.

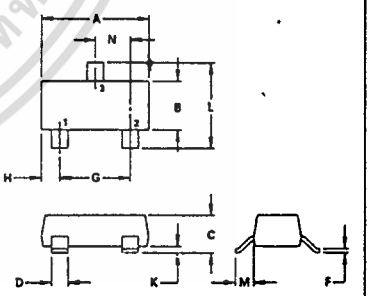
- High Q with Guaranteed Minimum Values
- Controlled and Uniform Tuning Ratio
- Standard Capacitance Tolerance — 10%
- Complete Typical Design Curves



DIM	MILLIMETERS MIN	MAX	INCHES MIN	MAX
A	4.32	5.33	0.170	0.210
B	4.45	5.21	0.175	0.205
C	3.18	4.19	0.125	0.165
D	0.41	0.56	0.016	0.022
F	0.407	0.482	0.016	0.019
G	1.27 BSC		0.050 BSC	
H	—	1.27	—	0.050
J	2.54 BSC		0.100 BSC	
K	12.70	—	0.500	—
L	6.35	—	0.250	—
N	2.03	2.66	0.080	0.105
P	2.93	—	0.115	—
R	3.43	—	0.135	—
S	0.36	0.41	0.014	0.016

STYLE 1:
PIN 1. ANODE
2. CATHODE

CASE 182-02, STYLE
MV2101 thru MV2115



STYLE 8:
PIN 1. ANODE
2. NO CONNECTION
3. CATHODE

DIM	MILLIMETERS MIN	MAX	INCHES MIN	MAX
A	2.800	3.040	0.1102	0.1197
B	1.198	1.389	0.0472	0.0551
C	0.940	1.143	0.0370	0.0450
D	0.381	0.508	0.0150	0.0200
F	0.102	0.177	0.0040	0.0070
G	1.781	2.049	0.0701	0.0807
H	0.450	0.599	0.0177	0.0236
K	0.061	0.127	0.0020	0.0050
L	2.109	2.499	0.0830	0.0984
M	0.458	0.599	0.0180	0.0236
N	0.892	1.018	0.0350	0.0401

CASE 318-05, STYLE
TO-236AA
SOT-23
MMBV2101 thru
MMBV2109

MAXIMUM RATINGS

Rating	Symbol	MV2101 thru MV2115	MMBV2101 thru MMBV2109	Unit
Reverse Voltage	V_R	30		Volts
Forward Current	I_F	200		mA
Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	280 2.8	200 2.0	mW mW/°C
Junction Temperature	T_J	+125		°C
Storage Temperature Range	T_{stg}	−55 to +150		°C

DEVICE MARKING

MMBV2101 = 4G
MMBV2109 = 4J
MMBV2102 = 4Y
MMBV2103 = 4H
MMBV2104 = 4Z
MMBV2105 = 4U
MMBV2106 = 4V
MMBV2107 = 4W
MMBV2108 = 4X

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MMBV2101 thru MMBV2109 • MV2101 thru MV2115

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic—All Types	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage (I_R = 10 μAdc)	$V_{(BR)R}$	30	—	—	Vdc
Reverse Voltage Leakage Current (V_R = 25 Vdc, T_A = 25°C)	I_R	—	—	0.10	μAdc
Diode Capacitance Temperature Coefficient (V_R = 4.0 Vdc, f = 1.0 MHz)	TC_C	—	280	—	ppm/°C

	C_T, Diode Capacitance V_R = 4.0 Vdc, f = 1.0 MHz pF			Q, Figure of Merit V_R = 4.0 Vdc, f = 50 MHz	TR, Tuning Ratio C_2/C_{30} f = 1.0 MHz		
Device	Min	Nom	Max	Typ	Min	Typ	Max
MMBV2101 /MV2101	6.1	6.8	7.5	450	2.5	2.7	3.2
MMBV2102 /MV2102	7.4	8.2	9.0	450	2.5	2.8	3.2
MMBV2103 /MV2103	9.0	10.0	11.0	400	2.5	2.9	3.2
MMBV2104 /MV2104	10.8	12.0	13.2	400	2.5	2.9	3.2
MMBV2105 /MV2105	13.5	15.0	16.5	400	2.5	2.9	3.2
MMBV2106 /MV2106	16.2	18.0	19.8	350	2.5	2.9	3.2
MMBV2107 /MV2107	19.8	22.0	24.2	350	2.5	2.9	3.2
MMBV2108 /MV2108	24.3	27.0	29.7	300	2.5	3.0	3.2
MMBV2109 /MV2109	29.7	33.0	36.3	200	2.5	3.0	3.2
MV2110	35.1	39.0	42.9	150	2.5	3.0	3.2
MV2111	42.3	47.0	51.7	150	2.5	3.0	3.2
MV2112	50.4	56.0	61.6	150	2.6	3.0	3.3
MV2113	61.2	68.0	74.8	150	2.6	3.0	3.3
MV2114	73.8	82.0	90.2	100	2.6	3.0	3.3
MV2115	90.0	100.0	110.0	100	2.6	3.0	3.3

PARAMETER TEST METHODS

1. **C_T, DIODE CAPACITANCE**
   ($C_T = C_C + C_J$). C_T is measured at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).

2. **TR, TUNING RATIO**
   TR is the ratio of C_T measured at 2.0 Vdc divided by C_T measured at 30 Vdc.

3. **Q, FIGURE OF MERIT**
   Q is calculated by taking the G and C readings of an admittance bridge at the specified frequency and substituting in the following equations:

$$Q = \frac{2\pi fC}{G}$$

   (Boonton Electronics Model 33AS8). Use Lead Length ≈1/16".

4. **TC_C, DIODE CAPACITANCE TEMPERATURE COEFFICIENT**
   TC_C is guaranteed by comparing C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = -65°C with C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = +85°C in the following equation which defines TC_C:

$$TC_C = \frac{C_T(+85^\circ C) - C_T(-65^\circ C)}{85 + 65} \cdot \frac{10^6}{C_R(25^\circ C)}$$

   Accuracy limited by measurement of C_T to ± 0.1 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL DEVICE PERFORMANCE

FIGURE 1 – DIODE CAPACITANCE versus REVERSE VOLTAGE

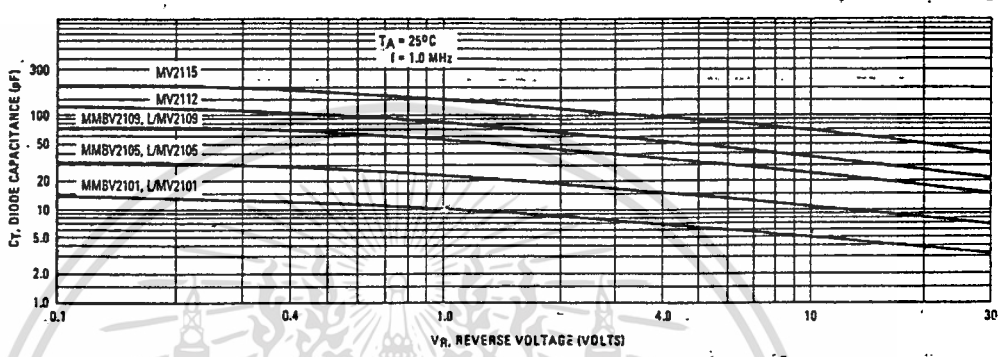


FIGURE 2 – NORMALIZED DIODE CAPACITANCE versus JUNCTION TEMPERATURE

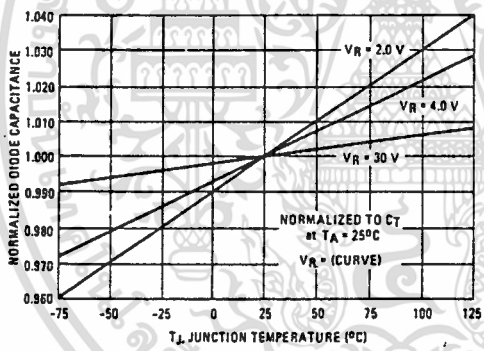


FIGURE 3 – REVERSE CURRENT versus REVERSE BIAS VOLTAGE

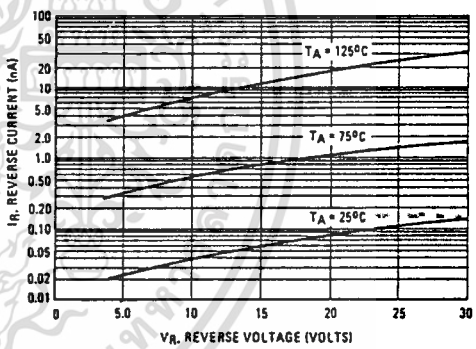


FIGURE 4 – FIGURE OF MERIT versus REVERSE VOLTAGE

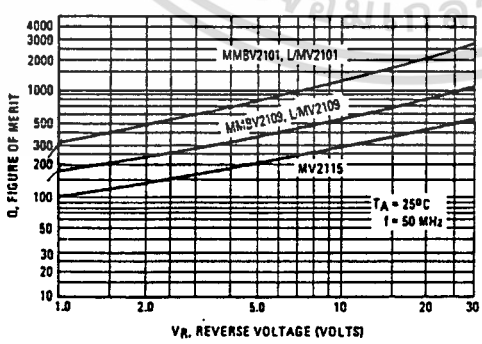
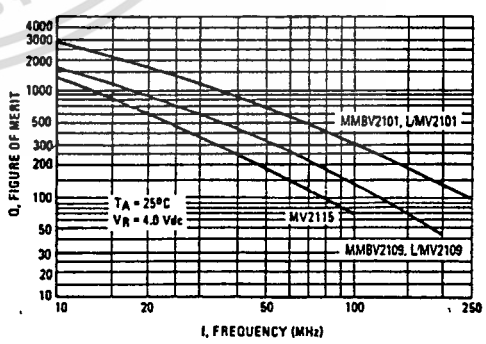


FIGURE 5 – FIGURE OF MERIT versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

2N3866
2N3866A

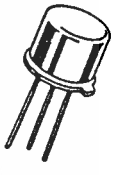
The RF Line

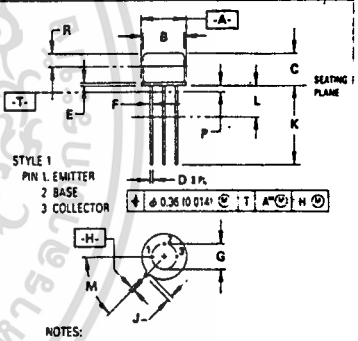
1.0 W – 400 MHz
HIGH FREQUENCY TRANSISTOR
NPN SILICON

NPN SILICON HIGH FREQUENCY TRANSISTOR

. . . designed for amplifier and oscillator applications in military and industrial equipment. Suitable for use as output, driver or pre-driver stages in VHF and UHF equipment.

- Specified 400 MHz, 28 Vdc Characteristics –
  Output Power = 1.0 Watt
  Minimum Gain = 10 dB
  Efficiency = 45%
- Large Signal Series Equivalent Impedances
- S-Parameter Characterization





NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION J MEASURED FROM DIMENSION A MAXIMUM.
4. DIMENSION B SHALL NOT VARY MORE THAN 0.25 (0.010) IN ZONE R. THIS ZONE CONTROLLED FOR AUTOMATIC HANDLING
5. DIMENSION F APPLIES BETWEEN DIMENSION P AND L. DIMENSION D APPLIES BETWEEN DIMENSION L AND K MINIMUM. LEAD DIAMETER IS UNCONTROLLED IN DIMENSION P AND BEYOND DIMENSION K MINIMUM

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	8.51	9.39	0.335	0.370
B	7.75	8.50	0.305	0.335
C	6.10	6.60	0.240	0.260
D	0.41	0.53	0.016	0.021
E	0.23	1.04	0.009	0.041
F	0.41	0.48	0.016	0.019
G	5.08 BSC		0.200 BSC	
H	0.72	0.86	0.028	0.034
J	0.74	1.14	0.029	0.045
K	12.70	19.05	0.500	0.750
L	6.35	—	0.250	—
M	45° BSC		45° BSC	
P	—	1.27	—	0.050
R	2.54	—	0.100	—

CASE 79-04
TO-205AD
(TO-39)

***MAXIMUM RATINGS**

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V_{CEO}	30	Vdc
Collector-Base Voltage	V_{CBO}	55	Vdc
Emitter-Base Voltage	V_{EBO}	3.5	Vdc
Collector Current – Continuous	I_C	0.4	Adc
Total Device Dissipation @ $T_C = 25^oC$ Derate Above 25^oC	P_D	5.0 28.6	Watts $mW/^oC$
Storage Temperature Range	T_{stg}	-65 to +200	^oC

*Indicates JEDEC Registered Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

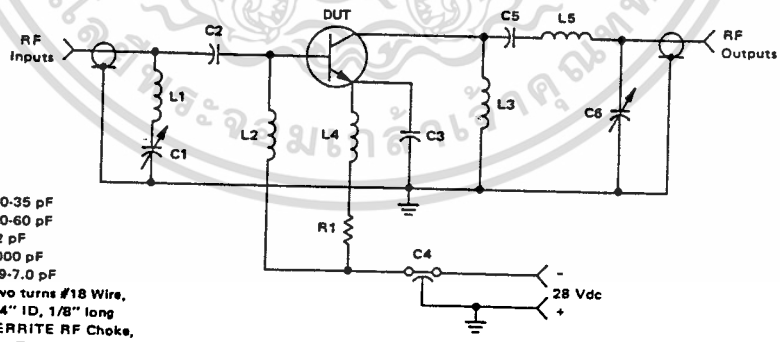
2N3866, 2N3866A

*ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise noted).

Characteristic		Symbol	Min	Max	Unit
OFF CHARACTERISTICS					
Collector-Emitter Sustaining Voltage (I_C = 5.0 mAdc, I_B = 0)		$V_{CEO(sus)}$	30	—	Vdc
Collector-Base Sustaining Voltage (I_C = 5.0 mAdc, R_{BE} = 10 Ω)		$V_{CER(sus)}$	55	—	Vdc
Emitter-Base Breakdown Voltage (I_E = 100 μAdc, I_C = 0)		$V_{(BR)EBO}$	3.5	—	Vdc
Collector Cutoff Current (V_{CE} = 28 Vdc, I_B = 0)		I_{CEO}	—	0.02	mAdc
Emitter Cutoff Current (V_{BE} = 3.5 Vdc, I_C = 0)		I_{EBO}	—	0.1	mAdc
Collector Cutoff Current (V_{CE} = 30 Vdc, V_{BE} = −1.5 Vdc (Rev.), T_C = 200°C)		I_{CEX}	—	5.0	mAdc
(V_{CE} = 55 Vdc, V_{BE} = −1.5 Vdc (Rev.))			—	0.1	
ON CHARACTERISTICS					
DC Current Gain (I_C = 360 mAdc, V_{CE} = 5.0 Vdc)	Both	h_{FE}	5.0	—	—
(I_C = 50 mAdc, V_{CE} = 5.0 Vdc)	2N3866		10	200	
	2N3866A		25	200	
Collector-Emitter Saturation Voltage (I_C = 100 mAdc, I_B = 20 mAdc)		$V_{CE(sat)}$	—	1.0	Vdc
DYNAMIC CHARACTERISTICS					
Current-Gain — Bandwidth Product (I_C = 50 mAdc, V_{CE} = 15 Vdc, f = 200 MHz)	2N3866	f_T	500	—	MHz
	2N3866A		800	—	
Output Capacitance (V_{CB} = 28 Vdc, I_E = 0, f = 1.0 MHz)		C_{ob}	—	3.0	pF
FUNCTIONAL TESTS					
Common-Emitter Amplifier Power Gain (V_{CC} = 28 Vdc, P_{out} = 1.0 W, f = 400 MHz)		G_{PE}	10	—	dB
Collector Efficiency (V_{CC} = 28 Vdc, P_{out} = 1.0 W, f = 400 MHz)		η	45	—	%

*Indicates JEDEC Registered Data.

FIGURE 1 – 400 MHz TEST CIRCUIT SCHEMATIC



C1: 3.0-35 pF
C2,C5: 8.0-60 pF
C3: 12 pF
C4: 1000 pF
C6: 0.9-7.0 pF
L1: Two turns #18 Wire, 1/4" ID, 1/8" long
L2: FERRITE RF Choke, One Turn, z = 450 Ohms
L3,L4: RF Choke, 0.1 μH
L5: 2-3/4 Turns, #18 Wire, 1/4" ID, 3/16" long
R1: 5.6 Ohms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2N3866, 2N3866A

FIGURE 2 – POWER OUTPUT versus FREQUENCY (Class C)

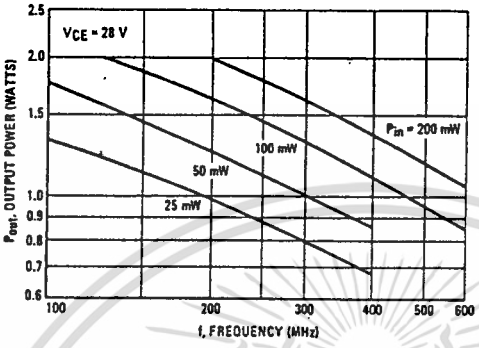


FIGURE 3 – CURRENT-GAIN – BANDWIDTH PRODUCT

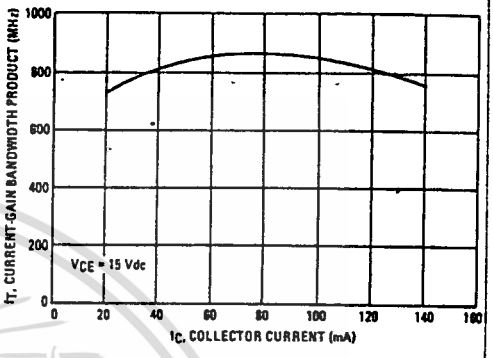


FIGURE 4 – COLLECTOR-BASE TIME CONSTANT

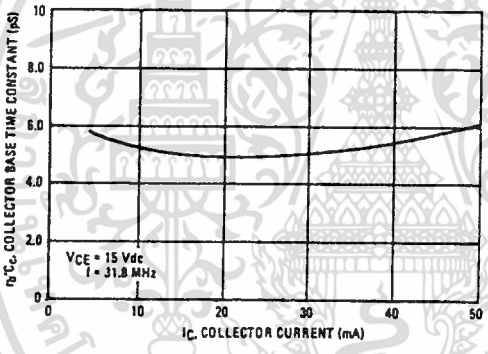


FIGURE 5 – OUTPUT CAPACITANCE

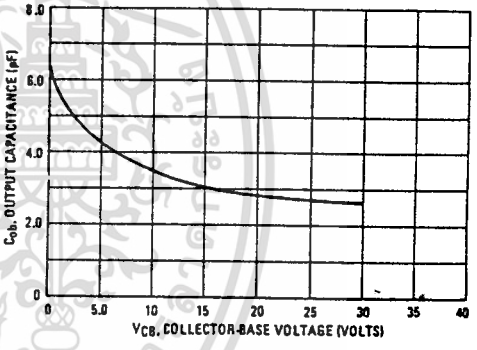


FIGURE 6 – OUTPUT POWER versus INPUT POWER (CLASS C)

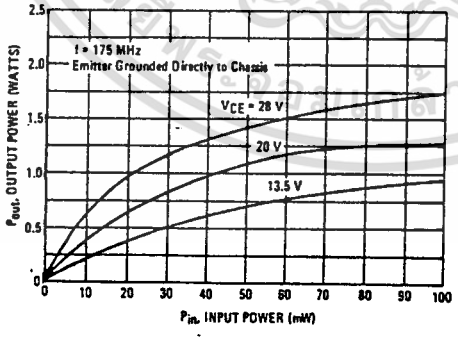
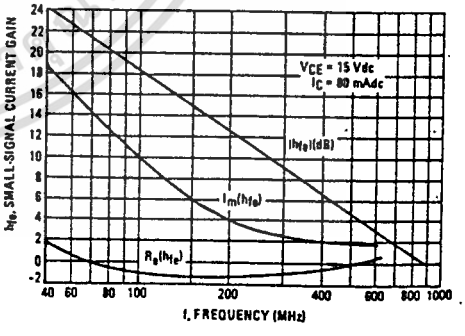


FIGURE 7 – SMALL-SIGNAL CURRENT GAIN



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. กฤดากร กล่อมการ, **การออกแบบระบบส่งข้อมูลในช่องสัญญาณการกระจายเสียงแบบเอฟเอ็ม**, วิทยานิพนธ์มหาบัณฑิตวิศวกรรมศาสตร์ ส.จ.ล., พ.ศ.2536
2. เจน สงสมพันธ์, **เทคโนโลยีอิเล็กทรอนิคส์ 2**, บ.เอดิสัน เพรส โปรดักส์, พ.ศ.2537
3. ยืน ภู่วรวรรณ, **ทฤษฎีและการใช้งานอิเล็กทรอนิกส์**, บ.ซีเอ็ดยูเคชั่น, พ.ศ.2521
4. สุชาติ กังวารจิตต์, **เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร**, บ.ซีเอ็ดยูเคชั่นจำกัด, พ.ศ. 2521
5. J.K. Hardy, **High Frequency Circuit Design**, Reston, Viginig, 1979
6. J.Smith, **Modern Communication Circuit**, Mc Graw-Hill, New York, 1986
7. W.F Egan, **Frequency Synthesis by Phase Lock Loop**, Wiley, New York, 1981

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้