เทคนิคการส่งข้อมูลดิจิตอลความเร็วสูง

HIGH SPEED DIGITAL TRANSMISSION TECHNIQUE

โดย

นายพสุง ม่วงงาม

นายวศิน มั่งคั่ง

วัน เดือน ปี 31 ก.ค. 2540
เลขทะเบียน 036988
เลขเรียกหนังสือ T 38083 พสม ก

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

036988

HIGH SPEED DIGITAL TRANSMISSION TECHNIQUE

MR.PAYUNG MUANG-NGAM

MR.WASIN MUNGKUNG

PROJECT REPORT SUBMITTED IN PARTIAL FULFILLMENT OF THE REQUIREMENTS

FOR THE BACHELOR'S DEGREE

DEPARTMENT OF INDUSTIRAL TECHNOLOGY

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เทคนิคการส่งข้อมูลดิจิตอลความเร็วสูง HIGH SPEED DIGITAL TRANSMISSION TECHNIQUE
โดย	นายพยุง ม่วงงาม นายวสิน มั่งคั่ง
ภาควิชา	เทคนิคอุตสาหกรรม
อาจารย์ที่ปรึกษา	อาจารย์ดลชัย สุขเจริญผล

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

---------- อาจารย์ที่ปรึกษา
( )

---------- กรรมการ
( )

---------- กรรมการ
( )

---------- กรรมการ
( )

---------- กรรมการ
( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROJECT REPROT HIGH SPEED DIGITAL TRANSMISSION TECHNIUQE

BY MR.PAYUNG MUANG-NGAM

MR.WASIN MUNGKUNG

DEPARTMENT OF INDUSTRIAL TECHNOLOGY

ADVISOR MR.DONLACHAI SUKCHARERNPON

ACCEPTED BY THE FACULTY OF ENGINEERING, KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG IN PARTIAL FULFILLMENT OF THE REQUIREMENTS FOR THE BACHELOR'S DEGREE

PROJECT REPORT COMMITTEE

---------- CHAIRMAN

( )

---------- COMMITTEE

( )

---------- COMMITTEE

( )

---------- COMMITTEE

( )

---------- COMMITTEE

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ เทคนิคการส่งข้อมูลดิจิตอลความเร็วสูง

HIGH SPEED DIGITAL TRANSMISSION TECHNIQUE

โดย นายพยุง ม่วงงาม

นายวาศิน มั่งคั่ง

อาจารย์ที่ปรึกษา อาจารย์ดลชัย สุขเจริญผล

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอ การทดลองการส่งสัญญาณดิจิตอล ความเร็ว 256 kbps ไปตามสายโคแอกเชียล โดยใช้หลักของการมอดูเลทแบบ 16QAM ซึ่งเป็นรูปแบบหนึ่งในการส่งสัญญาณดิจิตอล ข้อมูลดิจิตอลนั้นจะถูกบรรจุอยู่ในเฟสหรือขนาดหรือทั้งคู่ของสัญญาณพาหะ

ในโครงงานนี้จะใช้วงจรผลิตสัญญาณพาหะ 1.024 MHz และสัญญาณไพล็อท โทน 896 kHz ที่อ้างอิงจากสัญญาณนาฬิกา 256 kbps และใช้วงจรแยกสัญญาณดิจิตอลแล้วนำสัญญาณดิจิตอลไปแปลงเป็นสัญญาณ PAM ก่อนจะเข้าวงจรบาลานซ์มอดูเลเตอร์ ดังนั้นที่วงจรบาลานซ์มอดูเลเตอร์ จะมีการเปลี่ยนแปลงที่เอาท์พุทหนึ่งครั้งเมื่อมีข้อมูลอินพุทเข้ามาทุกๆ 4 บิท ซึ่งสามารถแสดงให้เห็นว่า 16QAM มีประสิทธิภาพในการใช้แบนด์วิดธ์มากกว่า BPSK สำหรับบิทเรทที่เท่ากัน

ABSTRACT

This project present of digital transmission system at data speed 256 kbps in coaxial line meduim. This work use Sixteen Quadrature Amplitude Modulation (16QAM)is a form of digital modulation where the digital information is contained in both the amplitude and phase of the transmitted carrier.

In this project to use oscillate carrier signal 1.024 MHz and pilot tone signal 896 kHz circuits with control by real time clock 256 kbps . And use digital data separate circuit to convert digital signal into the PAM signal before presented to either balance modulator. Also, at balance modulator,there is one change in the output signal for every 4 bits input data bits.The results indicate that 16QAM is use bandwidth efficiency more than BPSK for the same bit rate.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้ สำเร็จลุล่วงลงได้ ด้วยความตั้งใจและความพยายามในการทำงานของผู้ร่วมงานในกลุ่มโครงงาน ตลอดจนความร่วมมือของหลายๆคน และได้รับคำแนะนำจากอาจารย์ที่ปรึกษาทางด้านเทคนิคและแนวทางต่างๆ จึงขอขอบคุณไว้ ณ ที่นี้

ขอบคุณ อาจารย์ดลชัย สุขเจริญผล อาจารย์ที่ปรึกษาโครงงานที่ให้คำแนะนำรายละเอียดและขอบเขตของโครงงาน ตลอดจนเอื้อเฟื้อเครื่องมือและอุปกรณ์ในการทำโครงงานครั้งนี้ด้วย

ขอบคุณ นายสมควร ชื่นดี เจ้าหน้าที่ช่างเทคนิค ประจำภาคเทคนิคอุตสาหกรรม ที่เอื้อเฟื้อสถานที่พัก และช่วยอำนวยความสะดวกในการทำโครงงานหลายๆเรื่อง

ขอบคุณ นายธงชัย นาคเจือทอง ที่เอื้อเฟื้อวงจรและคำแนะนำหลายอย่าง ด้วยเหตุที่มีลักษณะและรายละเอียดของโครงงานคล้ายคลึงกัน

แต่ที่จะขาดเสียมิได้คือ บิดามารดาและพี่น้องของผู้ทำโครงงาน ที่อุตส่าห์ส่งเสียให้เล่าเรียนจนพบกับความสำเร็จอีกระดับหนึ่ง นับว่าเป็นบุญคุณอันยิ่งใหญ่ ที่จะลืมเสียมิได้อีกเช่นกัน

นายชลุง ม่วงงาม
นายวาสิน มั่งคั่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ(ภาษาไทย)	I
บทคัดย่อ(ภาษาอังกฤษ)	I
กิตติกรรมประกาศ	II
สารบัญตาราง	III
สารบัญภาพ	IV
บทที่	
1.บทนำ	1
ความเป็นมา	1
วัตถุประสงค์	1
ขอบเขต	2
ประโยชน์	2
2.ทฤษฎีที่เกี่ยวข้อง	3
Quadrature Amplitude Modulation	3
Balance Modulation	9
Active Filter	9
Phase Lock Loop	14
Differential Amplifier	16
3.การออกแบบและทดลองวงจรทางด้านภาคส่ง	22
วงจรแยกสัญญาณดิจิตอล	22
วงจรแปลง 2 บิท ไปเป็น 4 ระดับ	23
วงจรกรองความถี่ต่ำ	24
วงจรกำเนิดสัญญาณพาหะ 1.024 MHz	26
วงจรกำเนิดสัญญาณไพล็อท โทน 896 kHz	27
วงจรกรองช่วงความถี่	28
วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา	29
วงจรบาลานซ์มอดูเลเตอร์	31
วงจรรวมสัญญาณมอดูเลท	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

4.การออกแบบและทดลองวงจรทางด้านภาครับ 33

วงจรกรองช่วงสัญญาณ 33

วงจรกู้สัญญาณนาฬิกา 34

วงจรกู้สัญญาณพาหะ 35

วงจรเลื่อนเฟสสัญญาณ 90 องศา 35

วงจรบาลานซ์ดีมอดูเลเตอร์ 36

วงจรกรองความถี่ต่ำ 37

วงจรแปลง 4 ระดับ ไปเป็น 2 บิท 38

วงจรรวมสัญญาณดิจิตอล 40

5.ผลการดำเนินงาน 42

6.บทสรุปและข้อเสนอแนะ 49

เอกสารอ้างอิง 53

ภาคผนวก 54

ประวัติผู้ทำปริญญานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่

2.1 ตารางความจริงของ I และ Q ที่เปลี่ยนแปลงได้ทั้ง 4 ระดับ 4

2.2 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลทต่างๆ 6

2.3 สรุปข้อแตกต่างของ FSK,PSK และ QAM 7

3.1 การแปลงรหัสจาก Binary Code ไปเป็น Gray Code 23

3.2 การแปลง 2 บิท ไปเป็น 4 ระดับ 24

4.1 การขยายสัญญาณก่อนเข้าวงจรตรวจระดับสัญญาณ 38

4.2 การตรวจจับระดับสัญญาณแล้วแปลงเป็น Gray Code 39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

หน้า

รูปที่

2.1 บล็อกไดอะแกรมของ 16QAM modulator 4

2.2 Phasor diagram และ Contellation diagram 5

2.3 การพิจารณาแถบความถี่ของ 16QAM modulator 8

2.4 วงจร Balance Modulator 10

2.5 Frequency Response ของวงจร Filter 12

2.6 บล็อกไดอะแกรมของวงจร PLL 14

2.7 คุณลักษณะระหว่างความถี่กับ Error Voltage ของ PLL 16

2.8 การวิเคราะห์วงจรขยายความแตกต่างทั้ง 4 ชนิด 17

2.9 วงจร Dual-input,balance-output differential amplifier 18

2.10 DC equivalent circuit ของ dual-input,balance-output 19

2.11 AC equivalent circuit ของ dual-input,balance-output 20

3.1 วงจรแยกสัญญาณดิจิตอล 22

3.2 วงจรแปลงสัญญาณ 2 บิท ไปเป็น 4 ระดับ 24

3.3 Second-Order Low Pass Butterworth Filter 25

3.4 วงจรกำเนิดสัญญาณพาหะ 1.024 MHz 27

3.5 วงจรกำเนิดสัญญาณไหล่ล่าง โทน 896 kHz 28

3.6 วงจร Band Pass Filter 28

3.7 วงจร All-Pass Filter กรณี Vo ล้าหลัง Vin 30

3.8 วงจรบาลานซ์มอดูเลเตอร์ 31

3.9 วงจรรวมสัญญาณมอดูเลต 32

4.1 วงจรกรองช่วงความถี่ 1.024 MHz 33

4.2 วงจรกรองช่วงความถี่ 896 kHz 33

4.3 วงจรกู้สัญญาณนาฬิกา 34

4.4 วงจรกู้สัญญาณพาหะ 35

4.5 วงจรเลื่อนเฟสสัญญาณ 90 องศา 36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

4.6 วงจรบาลานซ์ดีมอดูเลเตอร์ 37
4.7 วงจรกรองความถี่ต่ำ 37
4.8 วงจรขยายสัญญาณหลายระดับ 39
4.9 วงจรแปลง 4 ระดับ เป็น 2 บิท 40
4.10 วงจรรวมสัญญาณดิจิตอล 41
5.1 สัญญาณกิ่งแรนดัม 256 kbps 42
5.2 การหน่วงสัญญาณนาฬิกา 4 เท่า 42
5.3 สัญญาณดิจิตอลที่แยกออกมาทั้งด้าน I และ Q 43
5.4 สัญญาณ 4 ระดับ ทั้งด้าน I และ Q 43
5.5 สัญญาณพาหะทั้งด้าน I และ Q 44
5.6 สัญญาณที่ผ่านการมอดูเลทแล้วทั้งด้าน I และ Q 44
5.7 สัญญาณไพล็อท โทน 45
5.8 สัญญาณ 16-QAM ที่ส่งออกไป 45
5.9 สัญญาณ 16 QAM ที่รับได้ 46
5.10 สัญญาณนาฬิกาที่กู้ออกมาได้ 46
5.11 สัญญาณพาหะที่กู้ออกมาได้ทั้งด้าน I และ Q 47
5.12 สัญญาณที่ผ่านการดีมอดูเลทแล้วทั้งด้าน I และ Q 47
5.13 สัญญาณดิจิตอลที่รับได้ทั้งด้าน I และ Q 48
5.14 สัญญาณดิจิตอลเอาท์พุท 48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในระบบสื่อสารโทรคมนาคมที่ใช้กันในปัจจุบัน มีความต้องการเพิ่มขึ้นอย่างมาก ทั้งทางคุณภาพ ปริมาณและความยืดหยุ่นในการใช้งาน ด้วยเหตุนี้ระบบสื่อสารแบบดิจิตอล (Digital Communication System) ที่ให้ความถูกต้องแม่นยำมากกว่าจึงเข้ามาแทนที่ระบบสื่อสารแบบอนาลอก (Analog Communication System) อีกทั้งในการส่งสัญญาณหรือข้อมูลในระบบต่างๆ เช่น ระบบโทรศัพท์ ระบบสื่อสารดาวเทียมภาคพื้นดิน หรือ ระบบสื่อสารดาวเทียมอวกาศ (Aeronuatical or Land Mobile Satellite System) เป็นต้น จำเป็นต้องใช้เทคนิคการมอดูเลทสัญญาณดิจิตอลที่ละเอียดซับซ้อน ทำให้ต้องมีการศึกษาและค้นคว้าเทคนิคในการมอดูเลทแบบต่างๆ เพื่อพัฒนาให้ทันกับความต้องการของตลาดการสื่อสารที่เป็นอยู่

ในกรณีที่มี ตัวมอดูเลทสัญญาณที่มีอยู่นั้นยังขาดความยืดหยุ่นในการใช้งาน เช่น อุปกรณ์สื่อสารทางคอมพิวเตอร์ที่เรียกว่า โมเด็ม (Modem) โดยทั่วไปจะสามารถส่งสัญญาณที่ได้จากการมอดูเลทสัญญาณดิจิตอลเพียงรูปแบบเดียว ไม่สามารถรับส่งสัญญาณกับโมเด็มที่มีรูปแบบการมอดูเลทสัญญาณแบบอื่นได้ นอกจากนี้ยังจำกัดในเรื่องช่วงความถี่ แถบความถี่ ความเร็ว ตัวกลาง ความผิดพลาดของสัญญาณก็ยังไม่สามารถทำได้ครบทุกกรณี

รูปแบบการมอดูเลทสัญญาณดิจิตอลมีหลายรูปแบบ เช่น FSK,PSK,BPSK,QPSK,8PSK,QAM 8QAM,16QAM ฯลฯ แต่ในโครงงานนี้จะเลือกใช้ 16QAM ซึ่งการเปลี่ยนแปลงของคลื่นพาห์จะมีทั้งเฟสและขนาดรวม 16 ตำแหน่งภายในหนึ่งคาบเวลา

ความเป็นมา

ปัจจุบันระบบการส่งสัญญาณดิจิตอล เริ่มมีบทบาทมากขึ้น และกำลังจะเข้ามาแทนที่ระบบการส่งสัญญาณอนาล็อก แต่ในการส่งสัญญาณดิจิตอลนั้น หากเป็นสัญญาณที่มีอัตราเร็วสูงๆ จะมีผลทำให้มีขนาดของแบนด์วิดธ์ที่กว้างมาก ไม่เป็นการประหยัดในการเข้าใช้ช่องสัญญาณ จึงต้องมีเทคนิคในการลดแบนด์วิดธ์ของสัญญาณ

วัตถุประสงค์

เพื่อที่จะนำเสนอการทดลองการส่งสัญญาณดิจิตอลอัตราเร็ว 256 kbps โดยใช้วิธีการส่งสัญญาณแบบ 16QAM ซึ่งสามารถลดแบนด์วิดธ์ลงได้ถึง 4 เท่า ของการส่งสัญญาณแบบ PSK จะทำให้การใช้ช่องสัญญาณมีประสิทธิภาพมากยิ่งขึ้น เพราะสามารถลดขนาดแบนด์วิดธ์ของช่องสัญญาณได้ หรือกล่าวอีกนัยหนึ่งก็คือ สามารถเพิ่มบิทเรทของสัญญาณข้อมูลได้ ขณะที่มีแบนด์วิดธ์เท่าเดิม

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขอบเขตของโครงงาน

ในการทำโครงงานครั้งนี้มีการออกแบบและทดลองวงจร 2 ส่วน คือ

Transmitter

1. Serial to Parallel
2. 2 Bit to 4 Level
3. Low Pass Filter
4. Phase Lock Loop
5. Band Pass Filter
6. Phase Shift 90 degree
7. Balance Modulator
8. Summing Amplifier

Receiver

1. Band Pass Filter
2. Phase Lock Loop
3. Carrier Recovery
4. Clock Recovery
5. Phase Shift 90 degree
6. Balance Modulator
7. Low Pass Filter
8. 4 Level to 2 Bit
9. Parallel to Serial

ประโยชน์ที่จะได้รับ

สามารถเข้าใจรายระเอียดของระบบการส่งสัญญาณแบบดิจิตอลได้ดียิ่งขึ้น อีกทั้งรายละเอียดของวงจรส่วนประกอบต่างๆในโครงงาน เช่น วงจรแยกบิท-รวมบิท วงจร LPF-BPF วงจร Balance Mod วงจรทำสัญญาณหลายระดับ(Multi Level) และเข้าใจถึงขั้นตอนการทำงานและปัญหาของการประกอบวงจรทางเทคโนโลยีโทรคมนาคม

สามารถทดสอบความเป็นไปได้ของการส่งสัญญาณแบบ 16QAM ว่ามีข้อดี ข้อเสีย ในเรื่องใดบ้าง อาทิเช่น สามารถลดแบนด์วิดธ์ได้ แต่สัญญาณที่รับได้มีความผิดพลาดสูง เป็นวงจรที่มีความซับซ้อน และวงจรก็ต้องอาศัยระบบการซิงค์โครไนซ์ที่มีประสิทธิภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีที่เกี่ยวข้อง

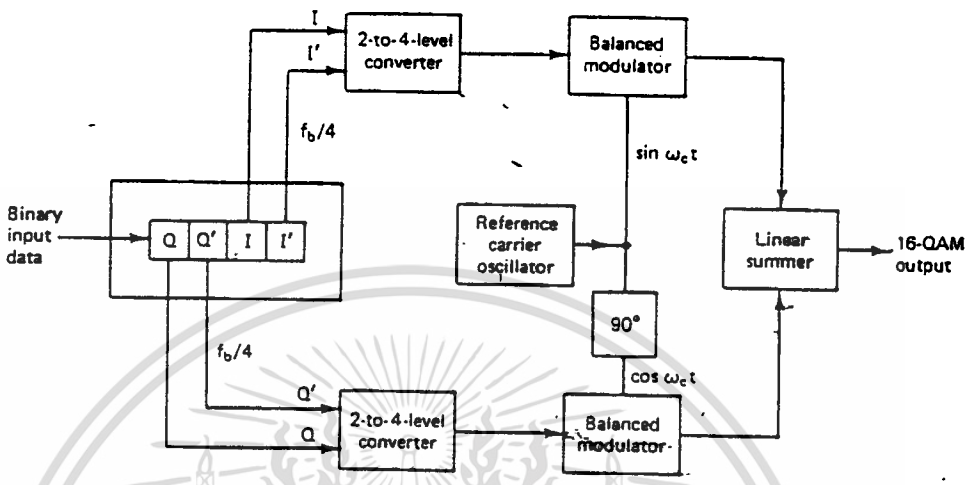
Quadrature Amplitude Modulation

Quadrature Amplitude Modulation เป็นการมอดูเลทสัญญาณดิจิตอลอีกรูปแบบหนึ่งซึ่งข้อมูลดิจิตอลจะถูกบรรจุในทั้งแอมปลิจูดและเฟสของสัญญาณพาหะ และในโครงงานนี้จะเลือกใช้แบบ 16QAM ซึ่งเป็นเทคนิคการเข้ารหัสแบบ M-ary เมื่อ M=16 ข้อมูลอินพุทถูกแบ่งเป็นกลุ่มๆละ 4 ($2^4=16$)

บล็อกไดอะแกรมของเครื่องส่ง 16 QAM แสดงในรูป 2.1 ข้อมูลอินพุทแบบเลขฐานสองถูกแบ่งป้อนเข้าช่องต่างๆ 4 ช่องคือ I,I^,Q และ Q^ บิทเรทในแต่ละช่องมีค่า 1/4 ของบิทเรทอินพุท (Fb/4) อินพุท 4 บิทถูกส่งแบบอนุกรมเข้าวงจรแยกบิท แล้วถูกส่งออกพร้อมๆกันเป็นแบบขนาน ด้วยช่อง I,I^,Q และ Q^ บิท I และ Q ทั้งคู่จะถูกป้อนเข้าสู่วงจรแปลง 2 ลอจิก ไปเป็น 4 ระดับ ดังนั้นวงจรแปลง 2 ลอจิก เป็น 4 ระดับ จึงสร้างสัญญาณ PAM ได้ 4 สัญญาณ คือมี 2 ขั้วและ 2 ขนาดที่เป็นไปได้ที่เอาท์พุทของวงจรแปลง 2 ลอจิก เป็น 4 ระดับแต่ละวงจร ซึ่งมีค่าเป็น +0.22V และ +0.821V สัญญาณ PAM จะเข้าไปมอดูเลทกับสัญญาณพาหะ Inphase และ สัญญาณพาหะ Quadrature phase ด้วยวงจรคูณ ดังนั้นผลที่ได้จะมี 4 เอาท์พุท สำหรับวงจรคูณแต่ละวงจร วงจรคูณ I มีค่าเป็น +.0821sinw_ct , +0.22sinw_ct , -0.22sinw_ct และ -0.821sinw_ct ส่วนวงจรคูณ Q มีค่าเป็น +0.821cosw_ct , +0.22cosw_ct , -0.22cosw_ct และ -0.821cosw_ct และเมื่อนำผลลัพธ์ที่ได้ไปรวมกันที่วงจรรวมสัญญาณแบบเชิงเส้น จะทำให้ได้เอาท์พุทถึง 16 รูปแบบ สำหรับ 16 QAM

ส่วนในการพิจารณาขนาดของแบนด์วิดธ์นั้น สำหรับบิทเรทอินพุทที่เหมือนกัน แถบความถี่ที่น้อยที่สุดที่ต้องการส่งผ่านวงจรมอดูเลท 16 QAM มีค่า 1/4 ของวงจรมอดูเลท BPSK มีค่า 1/2 ของ QPSK และน้อยกว่า 25 % เมื่อใช้ 8PSK สำหรับเทคนิคการมอดูเลทแต่ละวิธี อัตราบอดเรทจะถูกลดลงด้วยอัตราส่วนเหมือนๆกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 บล็อกไดอะแกรม 16 QAM modulator

I	I^	Output
0	0	-0.220 V
0	1	-0.821 V
1	0	+0.220 V
1	1	+0.821 v

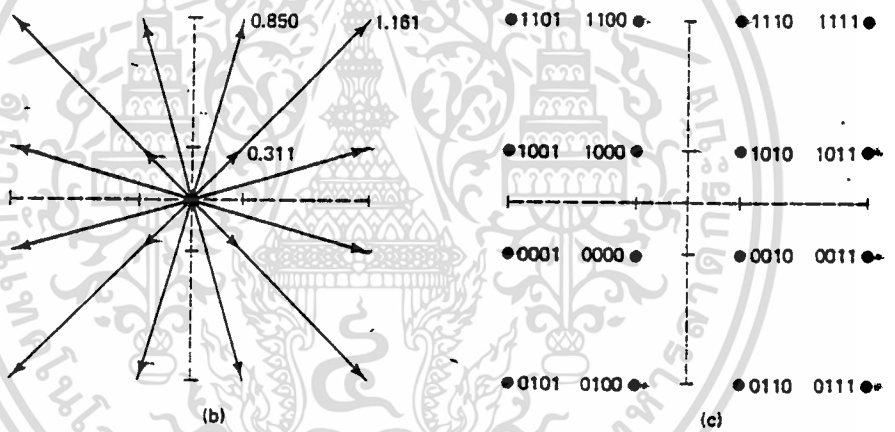
Q	Q^	Output
0	0	-0.220 V
0	1	-0.821 v
1	0	+0.220 V
1	1	+0.821 V

ตารางที่ 2.1 ตารางความจริงของ I และ Q ที่เปลี่ยนแปลงได้ทั้ง 4 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Binary input				16QAM output	
Q	Q'	I	I'		
0	0	0	0	0.311 V	−135°
0	0	0	1	0.850 V	−165°
0	0	1	0	0.311 V	−45°
0	0	1	1	0.850 V	−15°
0	1	0	0	0.850 V	−105°
0	1	0	1	1.161 V	−135°
0	1	1	0	0.850 V	−75°
0	1	1	1	1.161 V	−45°
1	0	0	0	0.311 V	135°
1	0	0	1	0.850 V	175°
1	0	1	0	0.850 V	45°
1	0	1	1	0.850 V	15°
1	1	0	0	0.850 V	105°
1	1	0	1	1.161 V	135°
1	1	1	0	0.850 V	75°
1	1	1	1	1.161 V	45°

(a)



รูปที่ 2.2 phasor diagram และ constellation diagram

ประสิทธิภาพของแถบความถี่

ประสิทธิภาพของแถบความถี่ (หรือความหนาแน่นของข้อมูล) ถูกใช้เปรียบเทียบการทำงานของเทคนิคการมอดูเลทหนึ่งกับแบบอื่นๆ สิ่งที่สำคัญก็คือ อัตราส่วนของบิทเรทในการสื่อสารกับแถบความถี่ที่น้อยที่สุดที่ต้องการ สำหรับการมอดูเลทที่ต้องการความละเอียด ประสิทธิภาพของแถบความถี่ที่ปกติเป็นแถบความถี่ 1 Hz ทำให้แยกจำนวนบิทที่สามารถส่งผ่านอุปกรณ์สำหรับแถบความถี่แต่ละเฮิรตซ์ เขียนสมการได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{BW efficiency} = \frac{\text{transmission rate (bps)}}{\text{minimum bandwidth (Hz)}}$$

$$= \frac{\text{bits/second}}{\text{hertz}}$$

$$= \frac{\text{bits/second}}{\text{cycles/second}}$$

$$= \frac{\text{bits}}{\text{cycle}}$$

การหาประสิทธิภาพของแถบความถี่สำหรับการมอดูเลทแบบ BPSK,QPSK,8PSK และ 16QAM จากตารางเป็นการแสดงแถบความถี่ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตราการส่ง 10 Mbps ด้วยการมอดูเลทในรูปแบบต่างๆ

Modulation Technique	Minimum Bandwidth (MHz)
BPSK	10
QPSK	5
8PSK	3.33
16QAM	2.5

ตารางที่ 2.2 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลทต่างๆ

แทนค่าลงในสมการ จะได้ค่าประสิทธิภาพแถบความถี่ดังนี้

$$\text{BPSK ; BW efficiency} = \frac{10\ \text{Mbps}}{10\ \text{MHz}} = \frac{1\ \text{bps}}{\text{Hz}} = \frac{1\ \text{bit}}{\text{cycle}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{QPSK ; BW efficiency} = \frac{10\ \text{Mbps}}{5\ \text{MHz}} = \frac{2\ \text{bps}}{\text{Hz}} = \frac{2\ \text{bit}}{\text{cycle}}$$

$$\text{8PSK ; BW efficiency} = \frac{10\ \text{Mbps}}{3.33\ \text{MHz}} = \frac{3\ \text{bps}}{\text{Hz}} = \frac{3\ \text{bit}}{\text{cycle}}$$

$$\text{16QAM ; BW efficiency} = \frac{10\ \text{Mbps}}{2.5\ \text{MHz}} = \frac{4\ \text{bps}}{\text{Hz}} = \frac{4\ \text{bit}}{\text{cycle}}$$

ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำสุด และ 16QAM มีประสิทธิภาพสูงที่สุด และ 16QAM ต้องการเพียง 1/4 ของแถบความถี่ที่ใช้ใน BPSK ในอัตราบิทเรทอินพุทที่เท่ากัน และสรุปข้อแตกต่างของ FSK,PSK,QAM ได้ในตารางที่ 2.3

Modulation	Encoding	Bandwidth (Hz)	baud	Bandwidth efficiency (bps/Hz)
FSK	Single bit	>Fb	Fb	<1
BPSK	Single bit	Fb	Fb	1
QPSK	Dibit	Fb/2	Fb/2	2
8PSK	Tribit	Fb/3	Fb/3	3
8QAM	Tribit	Fb/3	Fb/3	3
16PSK	Quadbit	Fb/4	Fb/4	4
16QAM	Quadbit	Fb/4	Fb/4	4

ตารางที่ 2.3 สรุปข้อแตกต่างของ FSK,PSK และ QAM

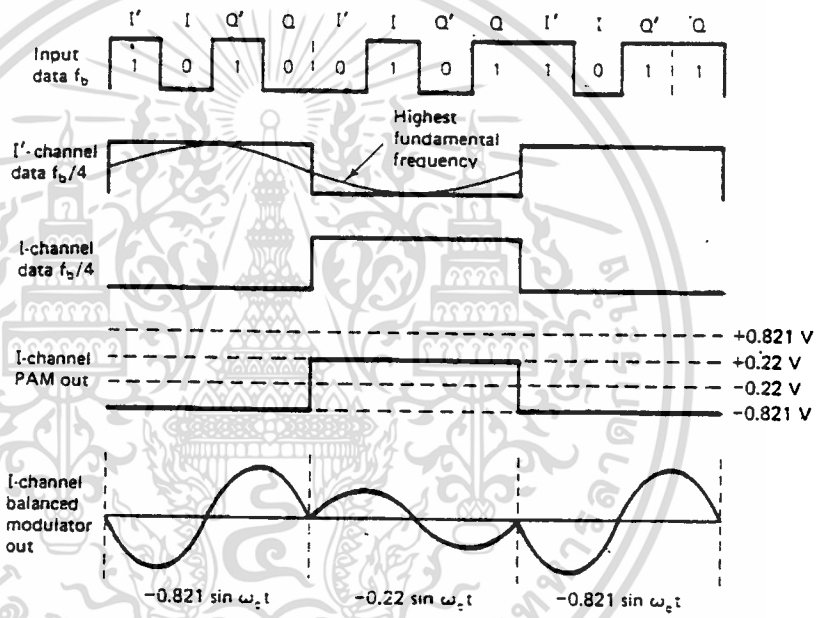
การพิจารณาแถบความถี่ของ 16QAM

การส่งข้อมูลดิจิตอลแบบ 16QAM นี้เมื่อข้อมูลที่ป้อนเข้ามาแล้วมันจะถูกแบ่งออกเพื่อป้อนเข้าฟลิบฟลอบ 4 ตัว บิทเรทในช่อง I , I^ , Q และ Q^ มีค่าเท่ากับ 1/4 ของอัตราขาเข้าของข้อมูลอินพุทแบบเลขฐานสอง (Fb/4) วงจรแยกบิทจะขยายบิท I , I^ , Q และ Q^ เป็นสี่เท่าของคาบเวลาบิทอินพุท ทั้งนี้เพราะว่าบิท I , I^ , Q และ Q^ จะเป็นเอาท์พุทออกมาพร้อมกันและอยู่ในรูปขนาน วงจรแปลงระดับ 2 ถึง 4 ระดับ จะมีอัตราการเปลี่ยนแปลงอินพุทและเอาท์พุทเป็น 1/4 ของอัตราเข้าของข้อมูลอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.3 แสดงความสัมพันธ์ของ เวลาของบิทระหว่าง สัญญาณดิจิตอล อินพุทที่ I , I^ , Q และ Q^ และสัญญาณ PAM จากช่อง I จะเห็นว่า ความถี่พื้นฐานที่สูงที่สุด ในช่อง I , I^ , Q และ Q^ มีค่า 1/4 ของข้อมูลดิจิตอลอินพุท (หนึ่งรอบในช่าง I , I^ , Q และ Q^ ใช้เวลาเท่ากันเป็นเวลาที่อินพุทเข้ามา 8 บิท) ดังนั้นความถี่พื้นฐานที่สูงที่สุดของสัญญาณ PAM ทั้งสองสัญญาณมีค่า 1/8 ของบิทเรทดิจิตอลอินพุท

วงจรบาลานซ์มอดูเลเตอร์ 16QAM มีการเปลี่ยนแปลงที่เอาท์พุทหนึ่งครั้ง (เฟสหรือแอมปลิจูดหรือทั้งสองอย่าง) สำหรับเมื่อมีสัญญาณอินพุทเข้ามาทุกๆ 4 บิท ดังนั้นจะมีอัตราบอดเรท Fb/4 เหมือนกันกับแถบความถี่ที่น้อยที่สุด



รูปที่ 2.3 การพิจารณาแถบความถี่ของ 16QAM modulator

ความน่าจะเป็นของความผิดพลาด และอัตราความผิดพลาดของบิท

Probability of error (P(e)) และ Bit Error Rate (BER) จะมีความหมายที่แตกต่างกันอยู่เล็กน้อย P(e) คือการคาดเดาอย่างมีเหตุผลของอัตราการผิดของบิท ส่วน BER คือการบันทึกโดยการสังเกตการกระทำของระบบที่เกิดความผิดพลาดจริง

ความน่าจะเป็นของความผิดพลาดเป็นฟังก์ชั่นของอัตราส่วนระหว่าง สัญญาณพาหะและสัญญาณรบกวนของเครื่องรับ ขึ้นอยู่กับ M-ary ที่ใช้และ P(e) ที่ต้องการ โดยทั่วไป อัตราส่วนที่น้อยที่สุดของสัญญาณพาหะต่อสัญญาณรบกวนที่ต้องการสำหรับระบบ QAM มีค่าน้อยกว่าที่ต้องการในระบบ PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Balance Modulation

วงจร Balance Modulation หรือเราเรียกย่อๆว่า BM นี้จะทำหน้าที่ผสมสัญญาณระหว่างสัญญาณ baseband กับสัญญาณ carrier โดยผลลัพธ์ที่ได้จากการผสมจะมีเฉพาะไซด์แบนด์ทั้งสองข้างเท่านั้นโดยที่สัญญาณคลื่นพาห์จะถูกกำจัดออกไป

วงจรที่ใช้งานกันทั่วไปมีหลายแบบ เช่น ใช้เฟทคู่ ใช้ไดโอดต่อเป็นวง หรือใช้ ไอซีสำเร็จรูปทั่วไปก็ได้เช่นกัน

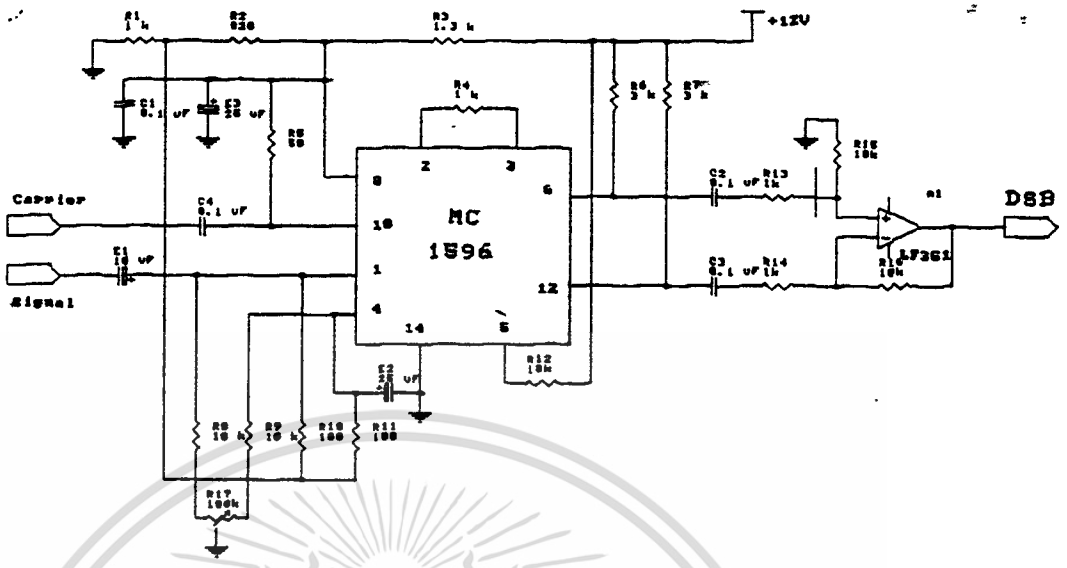
วงจร balance modulator ที่ใช้ในโครงงานนี้ คือ IC สำเร็จรูปของ Motorola เบอร์ MC1496,MC1596 ซึ่งเป็น IC ที่สามารถประยุกต์ใช้งานได้หลายอย่าง คือสามารถใช้เป็นทั้งภาค Modulator ทั้งแบบธรรมดา และ suppress carrier ก็ได้หรือจะใช้เป็นส่วนหนึ่งในภาค Detector ก็ได้อีกเช่นกัน

IC MC1496,MC1596 ตัวนี้จะทำหน้าที่เป็น Balance Modulator/Demodulator ซึ่งถูกออกแบบสำหรับใช้กับ Output ที่เกิดจากการคูณของ Input signal กับ Carrier ซึ่งนอกจากทำเป็นวงจร Balance Mod/Demod แล้ว ยังสามารถนำไปประยุกต์ได้อีกหลายอย่าง เช่น Amplitude Modultion,Synchronous Detection,FM Detection ฯลฯ และในการนำ IC ตัวนี้มาใช้ต้องพิจารณาด้วยว่า ในวงจรที่เราใช้นั้นมีการกำหนดค่าถูกต้องตาม IC ที่เรามีอยู่หรือไม่ เพราะ IC ชนิดนี้มี 2 รูปแบบ คือแบบที่เป็นตัวถังโลหะมี 10 ขา และแบบตัวถังพลาสติกมี 14 ขา โดยมีขนาดข้อกำหนดของ Carrier signal=60 mV และ Modulating signal=300 mV วงจรที่ใช้นี้จะใช้เพียงไฟเลี้ยงชุดเดียวคือ +12 V นอกจากนี้ IC MC1496,MC1596 ตัวนี้สามารถใช้กับไฟเลี้ยง 2 ชุด(+12V และ -8V) และถ้าหากต้องการนำ IC ตัวนี้ไปประยุกต์ใช้กับงานอื่นก็ต้องมีข้อกำหนดที่แตกต่างกันไป โดยเราสามารถดูรายละเอียดได้จาก Data sheet ในภาคผนวก

Active Filter

Active Filter ทำหน้าที่กรองความถี่สัญญาณ เป็นวงจรที่ประกอบด้วยภาคขยาย เช่น Transistor หรือ IC และ Network เลือกความถี่ (Frequency Selective Network) จำพวก Resistor กับ Capacitor วงจรให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวกันจะขวางกั้น(Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าว มิให้ปรากฏที่ Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 วงจร Balance Modulator

โดยทั่วไปแล้ว Filter แบ่งออกเป็นหลายรูปแบบ ดังนี้

1. Filter ชนิด Analog หรือ Digital
2. Filter ประเภท Active หรือ Passive
3. Filter ย่านความถี่เสียง(Audio Frequency) หรือ ย่านความถี่วิทยุ(Radio Frequency)

Analog Filter ออกแบบมาเพื่อใช้กับสัญญาณ Analog ส่วน Digital Filter ใช้งานกับสัญญาณ Digital โดยอาศัยเทคนิคทาง Analog มาช่วย ถ้าคำนึงถึงชิ้นส่วน(Element) ที่นำมาประกอบกันเป็นวงจร Filter แบ่งออกเป็น Passive และ Active ชิ้นส่วนวงจรที่ใช้ใน Passive Filter ได้แก่ Resistor,Capacitor และ Inductor ส่วน Active-Filter ประกอบด้วยตัวขยายสัญญาณจำพวก Transistor หรือ IC ในรูป OP-AMP และ Resistor และ Capacitor ทำงานร่วมกัน Resistor,Capacitor และ Inductor ถือได้ว่าเป็นชิ้นส่วนประเภท Passive element การจะเลือกใช้ชิ้นส่วนชนิดใดนั้น ขึ้นอยู่กับย่านความถี่สัญญาณที่ต้องการให้วงจร Filter ทำงาน ยกตัวอย่าง RC Filter ใช้กับย่านความถี่เสียงหรือในย่านความถี่ต่ำ ในขณะที่ LC Filter จะใช้ในย่านความถี่วิทยุหรือย่านความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของ Active Filter ที่มีเหนือกว่า Passive Filter

1. การปรับอัตราการขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดค่าอัตราการขยายของ Op-Amp ชุดเชยกับอัตราลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราการขยายของวงจรทั้งหมดด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยาย Op-Amp และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า RC เท่านั้น

2. ไม่มีปัญหา Loading จากการที่ Op-Amp มีคุณสมบัติของ Input Impedance สูง และ Output Impedance ต่ำ วงจร Active Filter อาศัย Op-Amp จึงไม่เกิดปัญหาการ Loading กับ Output และ Input ของวงจร ณ จุดที่นำ Active Filter เข้าไปต่อร่วม

3. ราคาถูกกว่า เนื่องจาก Active Filter มีราคาถูกกว่า Passive Filter เพราะไม่ต้องอาศัย Inductor ที่มีราคาแพงและยังใช้ Op-Amp ซึ่งในปัจจุบันราคาถูกมาก

เราแบ่ง Active Filter ตามลักษณะการทำงานออกเป็น 5 ชนิด

ก. Low Pass Filter (LPF)

ข. High Pass Filter (HPF)

ค. Band Pass Filter (BPF)

ง. Band Reject หรือ Band Stop Filter (BSF)

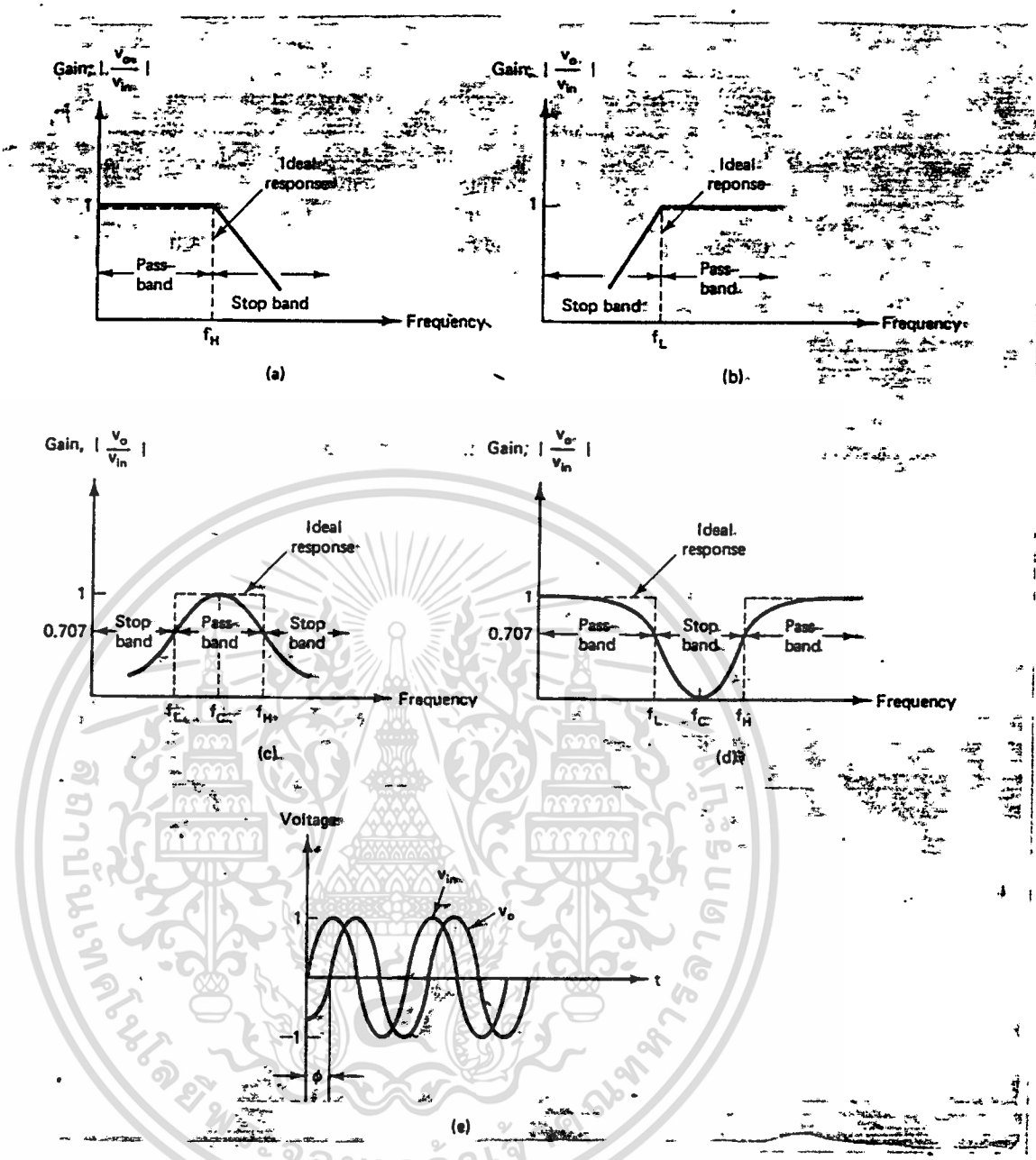
จ. All Pass Filter

Filter เหล่านี้อาศัย Resistor และ Capacitor เป็น Passive Element ทำงานร่วมกับ Active Element จำพวก Op-Amp อาศัย IC ที่มีคุณสมบัติ High Speed ที่มี Slew Rate สูง และ Unity Gain Bandwidth สูงๆเช่น LM 318 หรือ ICL8017 จะช่วยให้วงจรมีคุณสมบัติด้านความถี่และด้านอัตราการขยายของ Filter ดีขึ้น

Frequency Response ของ Filter ทั้ง 5 ชนิดแสดงในรูปที่ เส้นประแสดงถึง Response ที่เป็นอุดมคติในทางทฤษฎี ส่วน Response Courve ในทางปฏิบัติแสดงด้วยเส้นทึบ

รูปที่ 2.5 (a) แสดง Frequency Response ของวงจร Low Pass Filter มีขนาดของ Gain คงที่ จากความถี่ 0 Hz ถึงความถี่ High Cutoff(f_H) ค่าของ Bandwidth จึงเท่ากับ f_H ที่ f_H หรือตำแหน่งความถี่ High Cutoff นั้น Gain จะลดลง 3 dB และที่ความถี่มากกว่า f_H นั่นคือที่ $f>f_H$ อัตราขยายหรือ Gain ของวงจรก็ลดลงทุกขณะอย่างต่อเนื่อง ตามความถี่สัญญาณ Input ที่เพิ่มขึ้น ช่วงของความถี่ระหว่าง 0-f_H Hz เราเรียกว่า Pass Band ส่วนช่วงที่ความถี่สูงกว่า f_H ขึ้นไป ซึ่งเกิดการลดทอนของสัญญาณลงทุกขณะ เราเรียกว่า Stop Band จาก Response ที่เป็นอุดมคติในเส้นประ แสดงให้เห็นว่า Filter ที่เป็นอุดมคติจะมี Loss เป็นศูนย์ตลอดช่วง Pass Band และมี Loss เป็นอนันต์ในช่วง Stop Band แต่สภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 Frequency Response ของ วงจร Filter

ความเป็นจริงในทางปฏิบัติมิได้เป็นเช่นนั้น เพราะโครงข่ายวงจรชนิดเชิงเส้น (Linear-Network) ไม่สามารถสร้างคุณสมบัติของความไม่ต่อเนื่องขึ้นได้ อย่างไรก็ตามเราอาจสร้าง Response Curve ในทางปฏิบัติตามเส้นทึบให้ใกล้เคียงกับ Response ที่เป็นอุดมคติตามเส้นประได้เช่นกัน โดยอาศัยเทคนิคการออกแบบวงจรเป็นพิเศษเข้าช่วย ประกอบวงจรด้วยชิ้นส่วนอุปกรณ์เช่น Resistor และ Capacitor ที่มีค่าถูกต้องแม่นยำ หรือมีค่าผิดพลาดน้อยที่สุดและใช้ Op-Amp ชนิด High Speed (ในโครงงานนี้ใช้ Op-Amp เบอร์ LF351)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบของ Filter ที่นิยมนำมาใช้กันมากในทางปฏิบัติซึ่งให้ Response Curve ประมาณใกล้เคียงทางทฤษฎี ได้แก่รูปแบบ Butterworth, Chebyshev และ Caur แต่ละรูปแบบมีคุณสมบัติลักษณะประจำตัวแตกต่างกันไป Butterworth Filter ให้คุณลักษณะของทั้ง Pass Band และ Stop Band ในลักษณะค่อนข้างราบเรียบ บางโอกาสจึงเรียกว่า Flat Filter สำหรับ Chebyshev Filter มีคุณลักษณะ Pass Band เป็น Ripple และ Stop Band เป็น Flat ส่วน Caur Filter ให้ทั้ง Pass Band และ Stop Band เป็น Ripple ทั้งคู่ ซึ่งการออกแบบและความยุ่งยากของวงจรก็แตกต่างกันไปตามลักษณะการใช้งาน

รูปที่ 2.5 (b) เป็น Response Curve ของ High Pass Filter เมื่อให้ f เป็นความถี่ใดๆ และ f_L เป็น Low Cutoff Frequency แล้ว ช่วง Stop Band จะอยู่ที่ ความถี่ $0<f<f_L$ และช่วงของ Pass Band อยู่ที่ $f>f_L$

รูปที่ 2.5 (c) แสดง Frequency Response ของวงจร Band Pass Filter ช่วง Pass Band อยู่ระหว่างสองความถี่คัทออฟได้แก่ High Cutoff Frequency (f_H) และ Low Cutoff Frequency (f_L) ซึ่งเป็นตำแหน่งที่ Gain ลดลง 3 dB และช่วง Stop Band มีสองช่วงที่ $0<f<f_L$ กับ $f>f_H$ โดยที่ $f_H>f_L$ ค่า Bandwidth ของ Band Pass Filter เท่ากับ f_H-f_L และ Center Frequency อยู่ที่ความถี่ f_c ปรากฏที่ตำแหน่งกึ่งกลางช่วง Pass Band Gain พลดี

รูปที่ 2.5 (d) แสดง Response ของ Band Reject Filter มี Curve คุณลักษณะตรงข้ามกับ Band Pass Filter กล่าวคือช่วง Band Stop อยู่ระหว่างความถี่คัทออฟสองจุด คือ f_H กับ f_L และมีช่วง Pass Band สองช่วงอยู่ระหว่างความถี่ $f>f_H$ และ $0<f<f_L$ อาจเรียก Band Reject Filterว่า Band Stop Filter หรือ Band Elimination Filter ก็ได้ ค่า Bandwidth ของ Stop Band เท่ากับ f_H-f_L และตำแหน่งกึ่งกลางของช่วง Stop Band เป็นความถี่ Center Frequency หรือ f_c

รูปที่ 2.5 (e) แสดง Phase Shift ระหว่าง Input Voltage v_{in} กับ Output Voltage v_o ของ All Pass Filter มีคุณสมบัติในการให้สัญญาณทุกความถี่ผ่านได้เท่าๆกัน กล่าวคือให้ v_o เท่ากับ v_{in} ในทุกความถี่โดยปรากฏ Phase Shift ขึ้นระหว่าง v_o กับ v_{in} ในบางความถี่ แต่ค่าความถี่สูงสุดซึ่ง v_o กับ v_{in} ยังคงมีขนาดเท่ากันขึ้นอยู่กับคุณสมบัติ Unity Gain Bandwidth ของ Op-Amp ที่ความถี่นี้ Phase Shift ที่เกิดขึ้นระหว่าง v_o กับ v_{in} จะมีค่าสูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

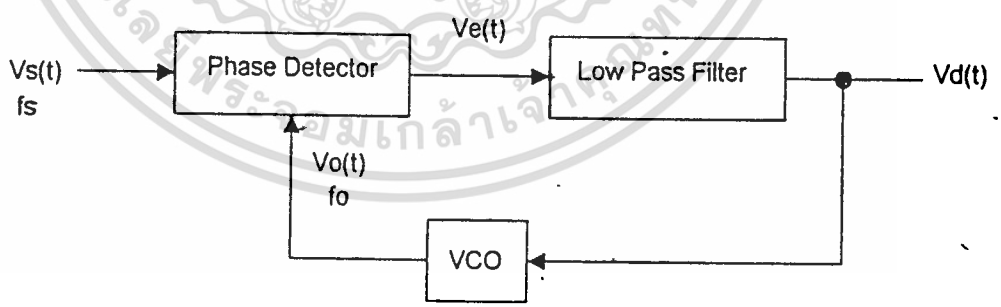
Phase Lock Loop

Phase Lock Loop (PLL) เป็นอิเล็กทรอนิกส์เซอร์โว ซึ่งสามารถควบคุมออสซิล-เลเตอร์ให้ผลิตความถี่ล็อคหรือซิ้งค์กับความถี่ของสัญญาณที่เข้ามา เมื่อเฟสของความถี่จากออสซิลเลเตอร์เปลี่ยน แสดงว่าสัญญาณที่เข้ามาความถี่เปลี่ยนไป เอาท์พุทจากเฟสดีเทคเตอร์จะมีค่าเพิ่มขึ้นหรือลดลง ควบคุมให้ออสซิลเลเตอร์ผลิตความถี่ให้ตรงและล็อคกับสัญญาณที่เข้ามา ดังนั้นโวลเตจเฉลี่ยที่ได้จากเฟสดีเทคเตอร์ไปควบคุมออสซิลเลเตอร์ จึงเป็นฟังก์ชั่นของความถี่ของสัญญาณที่เข้ามา อาทิเช่น หากสัญญาณที่เข้ามาเป็น FM (Frequency Modulation) แล้วเอาท์พุทที่ได้จากเฟสดีเทคเตอร์ผ่าน LPF (Low Pass Filter) จะเป็นสัญญาณที่ถูกทำการ Demodulated นั่นเอง

ในปัจจุบัน ด้วยการพัฒนาทางด้านเซมิคอนดัคเตอร์ ทำให้วงจร PLL ที่ซับซ้อนสามารถที่จะบรรจุอยู่ใน ไอ.ซี.เล็กๆเพียงตัวเดียว เมื่อใช้งานก็เพียงต่ออุปกรณ์ภายนอกไม่กี่ตัว ทำให้ง่ายสะดวก และประหยัด หลายประการ

หลักการของ PLL

หลักการเบื้องต้นของ PLL ก็มาจากระบบการป้อนกลับ ซึ่งประกอบด้วยส่วนสำคัญสามส่วน ดังบล็อคไดอะแกรมในรูปที่ คือ Phase Detector,Low Pass Filter และ voltage control Oscillator



รูปที่ 2.6 บล็อคไดอะแกรมของวงจร PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่ไม่มีสัญญาณป้อนเข้ามา Vd จะเท่ากับศูนย์ และ VCO จะผลิตความถี่แบบที่เรียกว่า Free-running เท่ากับ fo เมื่อมีอินพุท Vs ป้อนเข้ามามีความถี่เท่ากับ fs วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับสัญญาณที่ VCO ถ้า fs และ fo แตกต่างกันจะได้ Ve (Error Voltage) จากเอาท์พุทของเฟสดีเทคเตอร์ผ่าน LPF เป็น Vd ไปเข้า VCO ปรับความถี่ fo ให้เท่ากับ fs และเมื่อ fo เท่ากับ fs ก็คือสภาวะล็อคหรือซิ้งค์ เอาท์พุทจากเฟสดีเทคเตอร์ Ve จะเป็นศูนย์ และVd ก็เท่ากับศูนย์ด้วย

ในเรื่องของ PLL มีคำที่มักเข้าใจสับสนกันบ่อยๆ คือคำว่า Lock Range กับคำว่า Capture Range ซึ่งมีความหมายแตกต่างกันดังนี้

Lock Range หมายถึงย่านความถี่ที่ใกล้เคียงกับ fo ซึ่ง PLL ยังสามารถล็อคกับสัญญาณที่เข้ามา ค่าของ Lock Range จะลดลงเมื่ออัตราการขยายทั้งหมดของ PLL ลดลง

Capture Range หมายถึงบริเวณแถบความถี่ที่ใกล้เคียงกับ fo ที่ PLL เริ่มล็อคกับสัญญาณที่เข้ามา ค่าของ Capture Range ขึ้นอยู่กับแบนด์วิดธ์ของ LPF คือจะลดลงหากแบนด์วิดธ์แคบ และโดยปกติ Capture Range จะมีค่าน้อยกว่า Lock Range

เพื่อให้เข้าใจคำว่า Lock Range และ Capture Range ง่ายขึ้น ลองพิจารณาดูจากรูปที่ 2.7 ซึ่งแสดงถึงคุณลักษณะระหว่างความถี่กับ Error Voltage ของ PLL ดังรูป

จากส่วนบนของรูปที่ 2.7 สมมติว่าสัญญาณที่เข้ามามีความถี่ค่อยๆเปลี่ยนไป จากต่ำไปสูง ตอนแรก จะยังไม่มีอะไรเกิดขึ้น และ Vd เท่ากับศูนย์ จนกระทั่งความถี่ของสัญญาณที่เข้ามา fs ซึ่งเป็นความถี่ต่ำสุดของ Capture Range ทำให้ PLL เริ่มล็อคกับ fs และ Vd มีค่าเป็นลบเพื่อปรับ VCOให้ fo เท่ากับ fs แต่ในที่นี้เราสมมติว่า fs เปลี่ยนไปเรื่อยๆ ซึ่งจะทำให้ค่าของ Vd เป็นลบน้อยลง

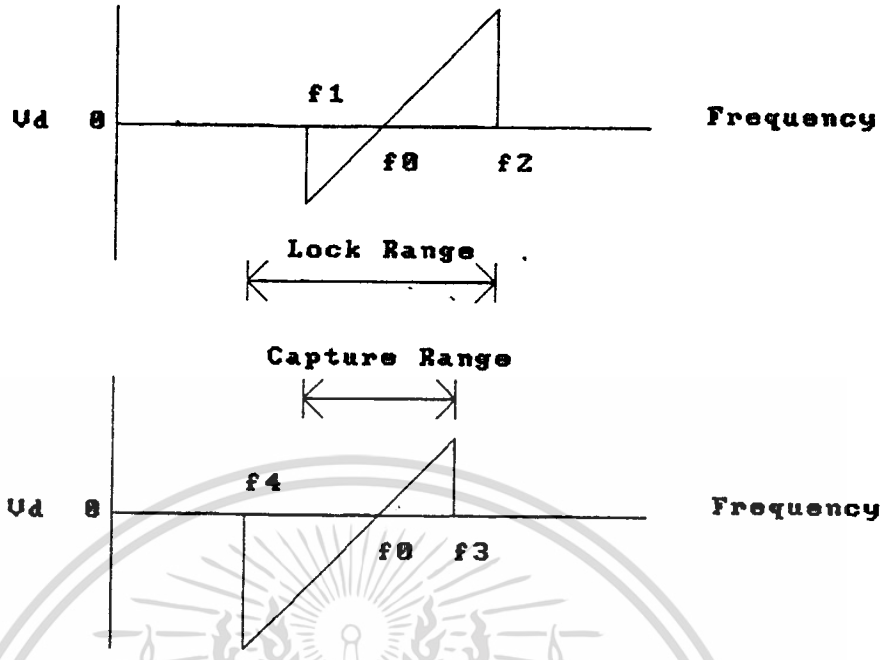
จนกระทั่ง fs = fo ทำให้ Vd เท่ากับศูนย์ จากนั้น Vd จะเริ่มเป็นบวก และมากขึ้นเรื่อยๆ จนกระทั่ง fs = f2 ซึ่งเป็นความถี่สูงสุดของ Lock Range จะทำให้หลุดจากการล็อค และ Vd เท่ากับศูนย์

ในทางกลับกันถ้า fs เปลี่ยนจากสูงลงมาต่ำ ให้พิจารณารูปที่ 2 ส่วนล่าง PLL จะเริ่มล็อคเมื่อ fs = f3 ซึ่งเป็นค่าสูงสุดของ Capture Range ทำให้ Vd มีค่าเป็นบวกทันทีเมื่อ fs ลดลงจน fs = fo จะได้ Vd เท่ากับศูนย์แล้วมีค่าเป็นลบมากขึ้นเรื่อยๆ จนกระทั่ง fs = f4 ซึ่งเป็นค่าต่ำสุดของ Lock Range จะทำให้ fs หลุดจากการล็อคของ PLL และ Vd กลับเป็นศูนย์อีกครั้ง เราจึงสรุปได้ว่า

$$\text{Lock Range} = f2 - f4$$

$$\text{Capture Range} = f3 - f1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 คุณลักษณะระหว่างความถี่กับ Error Voltage ของ PLL

วงจรขยายความแตกต่าง

วงจรขยายความแตกต่าง (Differential Amplifier)นี้ คือวงจรที่ใช้เปรียบเทียบสัญญาณอินพุท และสามารถเลือกสัญญาณใช้เอาท์พุทได้ มีอยู่ด้วยกัน 4 ชนิด ดังนี้

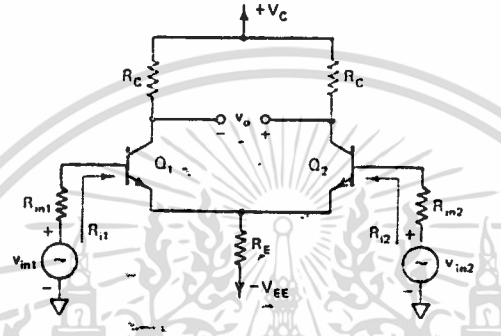
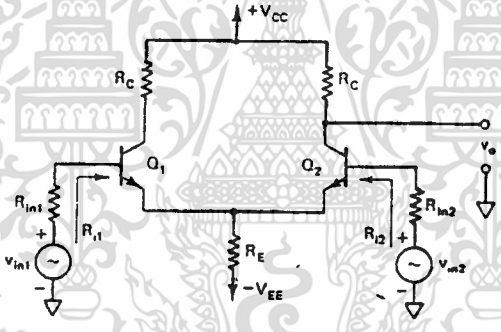
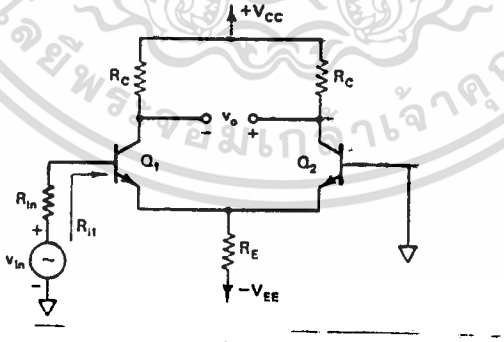
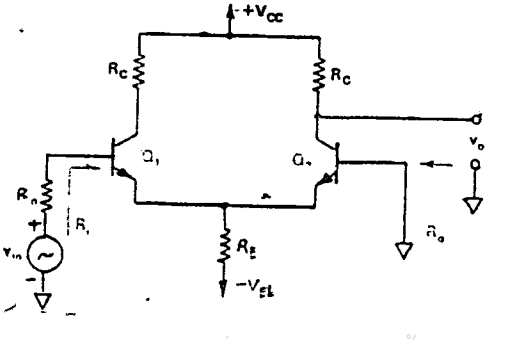
1. Dual-input,balance-output differential amplifier
2. Dual-input,unbalance-output differential amplifier
3. Single-input,balance-output differential amplifier
4. Single-input,unbalanc-output differential amplifier

การแบ่งลักษณะการเรียกชื่อชนิดวงจรนั้นๆ พิจารณาจาก จำนานสัญญาณอินพุท และลักษณะการวัดเอาท์พุท ถ้ามีอินพุทเข้า 2 เส้น จะเรียกว่า dual-input แต่ถ้ามีอินพุทเส้นเดียว ก็จะเรียกว่า single-input นอกจากนั้นก็แบ่งตามลักษณะการใช้งานเอาท์พุท ถ้าวัดเอาท์พุทระหว่างขาคอลเลคเตอร์ ของทรานซิสเตอร์ทั้งสองตัว (พื้นฐานวงจรของวงจรขยายความแตกต่างนี้จะใช้ทรานซิสเตอร์ NPN 2 ตัว ดังจะได้แสดงรูปวงจรต่อไป)จะเรียกว่า balance-output แต่ถ้าหากวัดขาคอลเลคเตอร์ ของทรานซิสเตอร์ตัวใดตัวหนึ่ง แล้วเทียบกับกราวนด์ ก็จะเรียกว่า unbalance-output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

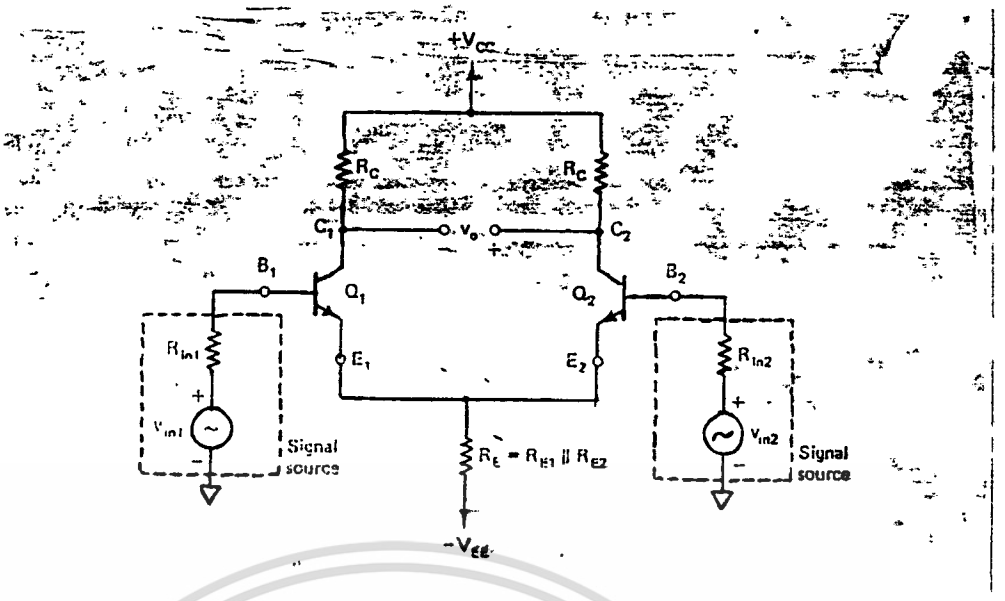
การวิเคราะห์วงจรทั้ง 4 ประเภท จะใช้วงจรเทียบเคียงทางไฟฟ้ากระแสตรง (DC equivalent circuit) และวงจรเทียบเคียงทางไฟฟ้ากระแสสลับ (AC equivalent circuit) เพื่อใช้ทำการวิเคราะห์หาคุณลักษณะทางด้านไฟฟ้ากระแสตรง คุณลักษณะทางด้านไฟฟ้ากระแสสลับ อัตราขยายแรงดัน อินพุทอิมพีแดนซ์ เอาท์พุทอิมพีแดนซ์ ดังจะได้สรุปในรูปที่ 2.8

เนื่องจากในโครงงานนี้ จะใช้วงจรขยายความแตกต่าง ชนิด Dual-input,balance-output differential amplifier จึงจะได้ทำการวิเคราะห์วงจรชนิดนี้ ซึ่งผลการวิเคราะห์ได้สรุปไว้แล้วในรูปที่ 2.8

Configuration	Circuit	Voltage gain	Input resistance	Output resistance
1. Dual input, balanced output		$A_d = \frac{R_C}{r_e}$	$R_{i1} = 2\beta_{ac} r_e$ $R_{i2} = 2\beta_{ac} r_e$	$R_{o1} = R_C$ $R_{o2} = R_C$
2. Dual input, unbalanced output		$A_d = \frac{R_C}{2r_e}$	$R_{i1} = 2\beta_{ac} r_e$ $R_{i2} = 2\beta_{ac} r_e$	$R_o = R_C$
3. Single input, balanced output		$A_d = \frac{R_C}{r_e}$	$R_i = 2\beta_{ac} r_e$	$R_{o1} = R_C$ $R_{o2} = R_C$
4. Single input, unbalanced output		$A_d = \frac{R_C}{2r_e}$	$R_i = 2\beta_{ac} r_e$	$R_o = R_C$

รูปที่ 2.8 การวิเคราะห์วงจรขยายความแตกต่างทั้ง 4 ชนิด

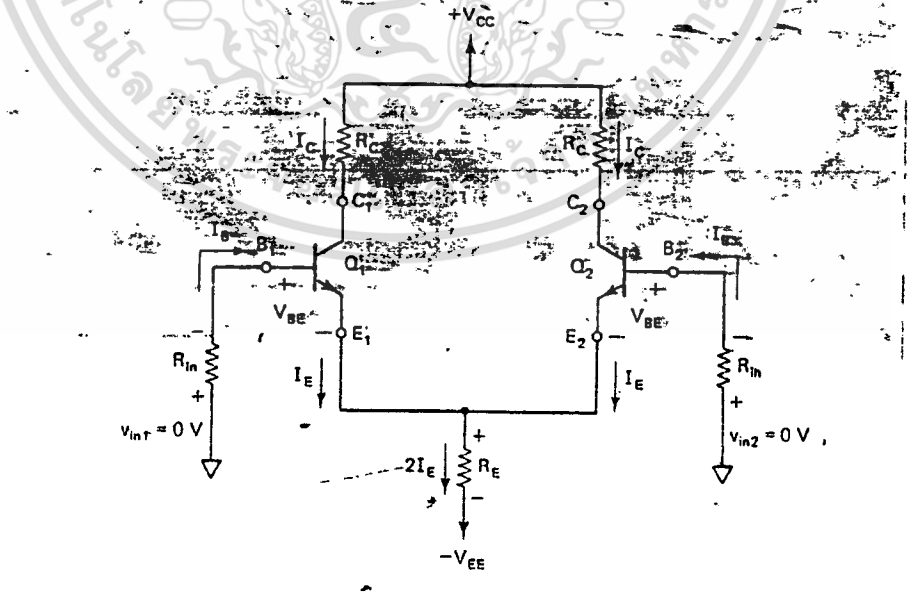
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 วงจร Dual-input,balance-output differential amplifier

DC Analysis

ในการวิเคราะห์เชิงไฟฟ้ากระแสตรงนี้ จะทำการช็อตสัญญาณอินพุท $V_{in1} = V_{in2} = 0$ และกำหนดให้ $R_{in1} = R_{in2} = R_{in}$ และการทำงานของทรานซิสเตอร์อยู่ในสภาวะสงบ (Q point) เราจะทำการวิเคราะห์เฉพาะ Q_1 เท่านั้น เพราะเรากำหนดให้ Q_1 เหมือนกันทุกประการกับ Q_2



รูปที่ 2.10 DC equivalent circuit ของ dual-input,balance-output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.10 ใช้กฎแรงดันของเคอร์ชอฟฟ์ ในการพิจารณาลูประหว่างขาเบสและคอลเลคเตอร์ของ Q_1 แล้วจะได้ว่า

$$-R_{IN}I_B - V_{BE} - R_E(2I_E) + V_{EE} = 0 \qquad (2.1)$$

แต่ $$I_B = I_E/\beta_{DC} \quad \text{และ} \quad I_C = I_E$$

ดังนั้น เราสามารถหาค่า I_E จาก (2.1) ได้ว่า

$$I_E = \frac{V_{EE} - V_{BE}}{2R_E + R_{IN}/\beta_{DC}} \qquad (2.2)$$

เมื่อ $V_{BE} = 0.6$ V สำหรับทรานซิสเตอร์ชนิดซิลิกอน

$V_{BE} = 0.2$ V สำหรับทรานซิสเตอร์ชนิดเยอรมันเนียม

โดยทั่วไปแล้ว $R_{IN}/\beta_{DC} << 2R_E$ เราจึงได้เขียนสมการ(2.2)ใหม่ว่า

$$I_E = \frac{V_{EE} - V_{BE}}{2R_E} \qquad (2.3)$$

จาก(2.3)เราจะเห็นได้ว่า R_E จะเป็นตัวกำหนดค่า I_E และจากรูป R_C ก็เป็นตัวกำหนดกระแสของ Q_1 และ Q_2 ด้วยเช่นกัน จากนั้น เราก็จะอาศัยกฎแรงดันของเคอร์ชอฟฟ์พิจารณาลูประหว่างคอลเลคเตอร์ และอิมิตเตอร์ ได้ดังต่อไปนี้

จาก $$V_C = V_{CC} - R_CI_C \qquad (2.4)$$

$$V_E = V_{BE} \quad \text{เพราะ } R_{IN} = 0$$

และ $$V_{CE} = V_C - V_E$$

$$= V_{CC} - R_CI_C - (-V_{BE})$$

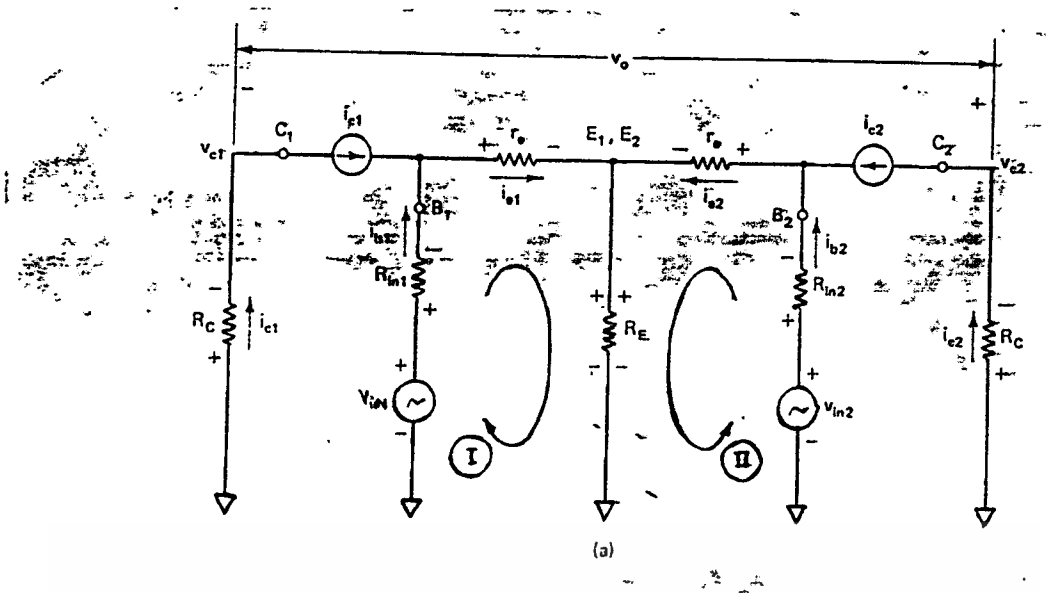
$$= V_{CC} + V_{BE} - R_CI_C \qquad (2.5)$$

เราจะใช้สมการ(2.2) และ(2.4) ในการวิเคราะห์ DC Analysis ทั้ง 4 รูปแบบ เพราะสามารถใช้เป็นพื้นฐานของวงจร Differential Amplifier ทุกวงจร

AC Analysis

ในการวิเคราะห์ทางด้านไฟฟ้ากระแสสลับนั้นจะกำหนดให้ ช็อตแหล่งจ่าย ($V_{CC} = 0$ V) แล้วใช้วงจรเทียบเคียงแบบ T แทนตัวทรานซิสเตอร์ ดังรูปที่ 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
036988



รูปที่ 2.11 AC equivalent circuit ของ Dual-input,balance-output

พิจารณาที่ลูป I และลูป II ของรูปที่ 2.11

$$V_{in1} - R_{in1}i_{B1} - r_E i_{E1} - R_E(i_{E1} + i_{E2}) = 0 \qquad (2.5)$$

$$V_{in2} - R_{in2}i_{B2} - r_E i_{E2} - R_E(i_{E1} + i_{E2}) = 0 \qquad (2.6)$$

แทนค่า $i_{B1} = i_{E1}/\beta_{AC}$ และ $i_{B2} = i_{E2}/\beta_{AC}$

$$V_{in1} - R_{in1}/\beta_{AC}xi_{E1} - r_E i_{E1} - R_E(i_{E1} + i_{E2}) = 0$$

$$V_{in2} - R_{in2}/\beta_{AC}xi_{E2} - r_E i_{E2} - R_E(i_{E1} + i_{E2}) = 0$$

แต่ R_{in1}/β_{AC} และ R_{in2}/β_{AC} มีค่าน้อยมาก จึงสามารถเขียนสมการได้ใหม่ว่า

$$(r_E + R_E)i_{E1} + R_E i_{E2} = V_{in1} \qquad (2.7)$$

$$R_E i_{E1} + (r_E + R_E)i_{E2} = V_{in2} \qquad (2.8)$$

จากนั้น แก้สมการหาค่า i_{E1} และ i_{E2} โดยใช้ Cramer's rule

$$i_{E1} = \frac{(r_E + R_E)V_{in1} - (R_E)V_{in2}}{(r_E + R_E)^2 - (R_E)^2} \qquad (2.9a)$$

$$i_{E2} = \frac{(r_E + R_E)V_{in2} - (R_E)V_{in1}}{(r_E + R_E)^2 - (R_E)^2} \qquad (2.9b)$$

และเพราะว่าเป็น balance-output จึงกำหนดให้

$$V_o = V_{c2} - V_{c1}$$

$$= -R_c i_{c2} - (-R_c i_{c1})$$

$$= R_c i_{c1} - R_c i_{c2}$$

$$= R_c(i_{E1} - i_{E2}) \qquad \text{และ} \qquad i_c = i_E \qquad (2.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่า i_{E1} และ i_{E2} จาก (2.9a) และ (2.9b) จะได้ว่า

$$V_o = R_C/r_E x(V_{IN1} - V_{IN2}) \qquad (2.11)$$

$$V_o = R_C/r_E x V_{ID} \quad \text{และ} \quad V_{ID} = V_{IN1} - V_{IN2}$$

Input Impedance

เราจะทำการพิจารณา จากรูปที่ 2.11 โดยใช้ทฤษฎีการวางซ้อน(Superposition) เมื่อพิจารณาค่าความต้านทานขาเข้าของวงจร จะได้ว่า

$$R_{IN1} = \left| \frac{V_{IN1}}{i_{B1}} \right| \quad V_{IN2} = 0$$

$$= \left| \frac{V_{IN1}}{i_{E1}/\beta_{AC}} \right| \quad V_{IN2} = 0$$

แล้วใช้ค่า i_{E1} จาก (2.9a) แทนค่าลงในสมการดังกล่าว โดยกำหนด ให้ค่าโดยประมาณของ $R_{EE} >> r_E$ แล้วจะได้ว่า

$$R_{IN1} = 2\beta_{AC} r_E \qquad (2.12)$$

ในทำนองเดียวกัน

$$R_{IN2} = \left| \frac{V_{IN2}}{i_{B2}} \right| \quad V_{IN1} = 0$$

$$= \left| \frac{V_{IN2}}{i_{E2}/\beta_{AC}} \right| \quad V_{IN1} = 0$$

แล้วใช้ค่า i_{E2} จาก (2.9b) แทนค่าลงในสมการดังกล่าว โดยกำหนด ให้ค่าโดยประมาณของ $R_{EE} >> r_E$ แล้วจะได้ว่า

$$R_{IN2} = 2\beta_{AC} r_E \qquad (2.13)$$

Output Impedance

ความต้านทานทางด้านขาออกของวงจรเทียบเคียง เชิงไฟฟ้ากระแสสลับ ก็คือค่าความต้านทานระหว่างจุดที่เป็นเอาท์พุทเมื่อเทียบกับกราวนด์ และเมื่อพิจารณาจากรูปที่ 2.11. แล้วจะพบว่า

$$R_{o1} = R_{o2} = R_C \qquad (2.14)$$

ส่วนในวงจรอื่นๆ ก็จะใช้หลักและวิธีการที่คล้ายคลึงกัน จะแตกต่างกันตรงจุดที่นำสัญญาณเข้าไปในวงจร และจุดที่นำสัญญาณออกไปจากวงจร ซึ่งผลจากการเปลี่ยนแปลงจุดอินพุทและเอาท์พุทดังกล่าว ทำให้การวิเคราะห์ได้ผลสรุปออกมาไม่เหมือนกัน ดังที่ได้สรุปไว้แล้วในรูปที่ 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

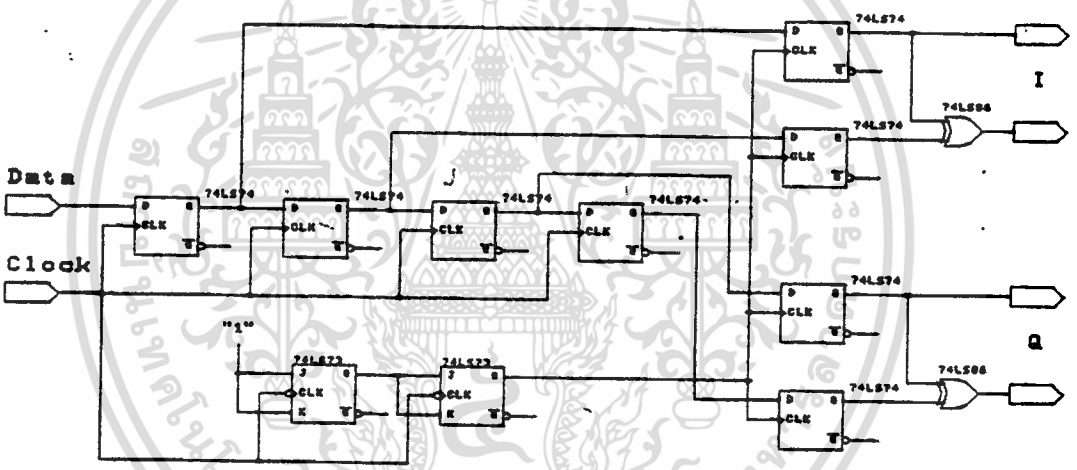
บทที่ 3

การออกแบบและทดลองวงจรทางด้านภาคส่ง

วงจรแยกสัญญาณดิจิตอล

เป็นวงจรที่ทำหน้าที่แบ่งข้อมูลดิจิตอลอินพุทออกเป็น 2 ชุดๆละ 2 บิท พร้อมทั้งใช้วงจรหน่วงเวลา 4 บิท เพื่อควบคุมให้อินพุทเข้ามาครบ 4 บิทเสียก่อน แล้วจึงทำการแยกสัญญาณ

จากรูปที่ 3.1 นั้นจะใช้ D ฟลิบฟลอบ และ JK ฟลิบฟลอบ ทำงานร่วมกัน และที่เป็นส่วนสำคัญของวงจรส่วนนี้ ก็คือ วงจรหน่วงเวลา 4 บิท หรือวงจรหาร 4 นั่นเอง ซึ่งจะช่วยควบคุมจังหวะการรับข้อมูล และส่งข้อมูล ให้เหมาะสมกัน แนวทางของวงจรนี้อาศัยหลักการทำงานของวงจร Serial to Parallel นั่นเอง



รูปที่ 3.1 วงจรแยกสัญญาณดิจิตอล

ข้อมูลที่ออกมาจากวงจรส่วนนี้ มีอยู่ 2 ส่วน คือ Inphase และ Quadrature phase หรือเรียกง่ายๆว่า บิทบน บิทล่าง นั่นเอง ข้อมูลที่ได้ออกมาจะมี 2 บิท และจะมีการเปลี่ยนแปลงครั้งละ 2 บิทพร้อมๆกัน จึงควรออกแปลงสัญญาณ Binary ดังกล่าว ให้เป็น Gray Code เสียด้วย ทั้งนี้เพื่อช่วยลดอัตราความผิดพลาดของข้อมูลได้ เพราะว่าบิทข้างเคียงของ Gray Code จะต่างกันเพียง 1 บิทเท่านั้น ดังตารางที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Binary Code	Gray Code
0 0	0 0
0 1	0 1
1 0	1 1
1 1	1 0

ตารางที่ 3.1 การแปลงรหัสจาก Binary Code ไปเป็น Gray Code

วงจรแปลง 2 บิท ไปเป็น 4 ระดับ

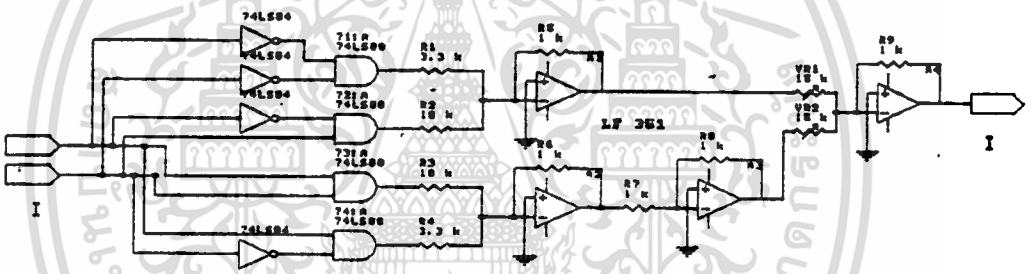
ด้วยสาเหตุที่ว่าโครงงานนี้เป็นการมอดูเลทสัญญาณดิจิตอลกับสัญญาณพาหะ กันที่วงจรบาลานซ์-มอดูเลเตอร์ และสัญญาณดิจิตอลที่จะนำไปมอดูเลท จะต้องเป็นสัญญาณเส้นเดียว แต่สัญญาณที่เราแยกออกมา เป็นสัญญาณ 2 เส้น (2 บิท) จึงต้องมีการแปลงสัญญาณจาก 2 เส้น ให้เป็นสัญญาณเส้นเดียว แต่มีหลายระดับเสียก่อน ในที่นี้ ความเปลี่ยนแปลงอันเกิดจากสัญญาณ 2 บิท มีโอกาสเป็นไปได้ 2^2 = 4 ระดับ และจากข้อกำหนดของ Data sheet ของ IC MC1596 ที่กำหนดให้ระดับของสัญญาณอินพุทที่จะนำไปมอดูเลทนั้นมีขนาดไม่เกิน 300 Vp-p จึงได้ทำการกำหนดระดับการแปลงสัญญาณให้เป็นไปดังตารางที่ 3.2

ในส่วนของอุปกรณ์ที่ใช้ในวงจรส่วนนี้จะอาศัย NOT Gate และ AND Gate ให้ทำหน้าที่แปลงสัญญาณ 2 บิท ให้เป็น 4 เอาท์พุท แล้ว Op-Amp จะทำหน้าที่แปลงทั้ง 4 เอาท์พุท ให้ไปเป็น 4 ระดับ ดังข้อกำหนดในตารางที่ 3.2 ดังนั้น จึงได้ทำการออกแบบวงจรแปลงสัญญาณดิจิตอล 2 บิท ไปเป็น 4 ระดับ เพื่อจะนำไปมอดูเลทกับสัญญาณพาหะ ดังรูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Gray Code (Input 2 bit)	Level (Output 4 level)
0 0	+150 mV
0 1	+50 mV
1 1	-50 mV
1 0	-150 mV

ตารางที่ 3.2 การแปลง 2 บิท ไปเป็น 4 ระดับ



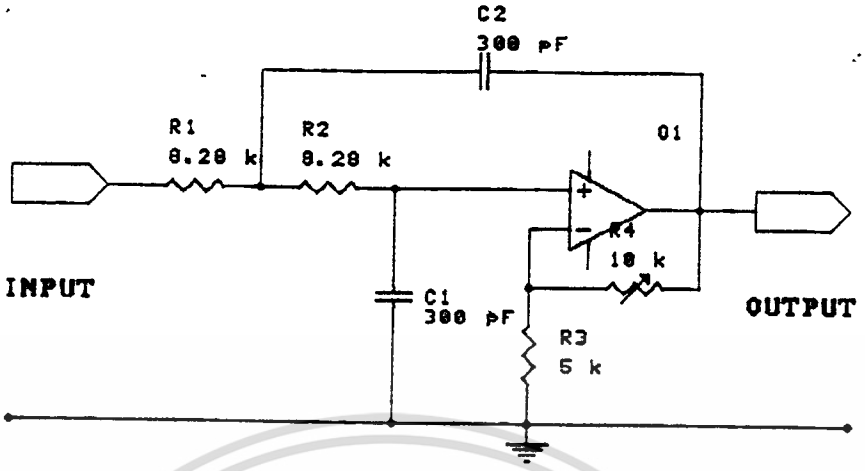
รูปที่ 3.2 วงจรแปลงสัญญาณ 2 บิท ไปเป็น 4 ระดับ

วงจรกรองความถี่ต่ำ

วงจรกรองความถี่ต่ำ(Low Pass Filter)นี้ จะทำหน้าที่คัดเลือกเฉพาะความถี่ต่ำๆให้สามารถผ่านไปโดยไม่ถูกลดทอน แต่ความถี่ที่สูงกว่าจุดคัทออฟจะถูกลดทอนลงไปอย่างมาก หน้าที่ของวงจร LPF ในที่นี้ จะช่วยปรับรูปร่างสัญญาณ 4 ระดับ ที่ออกมาจาก วงจรแปลง 2 บิท ไปเป็น 4 ระดับ ก่อนจะเข้าวงจรบาลานซ์มอดูเลเตอร์ ทั้งนี้เพื่อลดขนาดของแบนด์วิดธ์ของสัญญาณที่จะไปมอดูเลท เนื่องจากในโครงงานนี้ บิทเรทของสัญญาณที่ถูกแยกออกมาจากวงจรแยกสัญญาณดิจิตอล มีค่าเท่ากับ 64 kbps ดังนี้ ความถี่สูงสุดที่สามารถผ่านวงจรกรองความถี่ต่ำโดยไม่ถูกลดทอนนี้ มีค่าประมาณ 64 kHz (f_H = 64 kHz)

รายละเอียดของการออกแบบ แสดงได้ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 Second-Order Low Pass Butterworth Filter

จากรูป จะได้ว่า

$$\left|Vo/Vin\right| = A_F / \sqrt{1+(f/f_H)^4}$$

เมื่อ Vo/Vin = Gain ของวงจร

A_F = $1+R_f/R_1$ = Pass Band Gain ของวงจร

f = Frequency ของ Input Signal

f_H = $1/2\pi R_2 C_2$ = High Cutoff Frequency

ขั้นตอนการออกแบบวงจร

1.เลือกค่า High Cutoff Frequency (f_H) ของวงจรในที่นี้จะเลือกค่าเท่ากับ 1 ใน 4 ของอัตราความเร็วของข้อมูล 256 kbps คือ 64 kbps

2.เลือกค่า $C_2 = 10/f_H = 10/64$ k $= 156.25$ uF

แต่ในที่นี้จะเลือกใช้ C_2 = 300 pF

3.คำนวณค่า $R_2 = 1/2\pi f_H C_2 = 1/2x\pi x64x10^3x300x10^{-12} = 8.28$ k

4.คำนวณหาค่า R_1 และ R_f ตามค่า Pass Band Gain แต่ในการทดลองเอาท์พุทของวงจร LPF จะไปป้อนเข้าวงจร Balance Modulation จึงเลือกใช้

R_1 = 5 k

R_2 = V_R 10 k

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกำเนิดสัญญาณพาหะ 1.024 MHz

วงจรในส่วนนี้จะทำหน้าที่กำเนิดสัญญาณ sine wave ความถี่ 1.024 MHz เพื่อใช้เป็นสัญญาณพาหะและนำไปคูณกับสัญญาณหลายระดับ ที่วงจรบาลานซ์มอดูเลเตอร์ เนื่องจากระบบการส่งสัญญาณดิจิตอลนี้ มีหัวใจสำคัญคือการซิงโครไนซ์เซชั่น (synchronization) ที่ทำให้จังหวะการทำงานของอุปกรณ์อิเล็กทรอนิกส์ในทั้งภาคส่งและภาครับมีความสัมพันธ์กันอย่างแม่นยำ ดังนั้นจึงอาศัยสัญญาณนาฬิกาที่ได้จากข้อมูลที่ทำการส่ง ในโครงงานนี้ต้องการส่งข้อมูลความเร็ว 256 kbps จึงมีสัญญาณนาฬิกา 256 kbps มาใช้อ้างอิงกับสัญญาณพาหะที่มีความถี่ 1.024 MHz โดยใช้วงจร Phase Lock Loop ช่วยล็อกสัญญาณนาฬิกาและคูณความถี่ให้สูงขึ้น แต่เนื่องจาก เราไม่สามารถคูณความถี่ 256 kbps ให้เป็น 1.024 Mbps ได้โดยตรง จึงอาศัยสัญญาณนาฬิกาของวงจรหารความถี่ซึ่งอยู่ในวงจรแยกสัญญาณดิจิตอล ซึ่งจะมีความถี่ 256 kbps , 256/2 = 128 kbps และ 256/4 = 64 kbps และได้เลือกใช้ความถี่สัญญาณนาฬิกา 128 kbps ไปคูณกับ 8 ซึ่งก็จะได้ความถี่ 128x8 = 1024 kbps พอดี

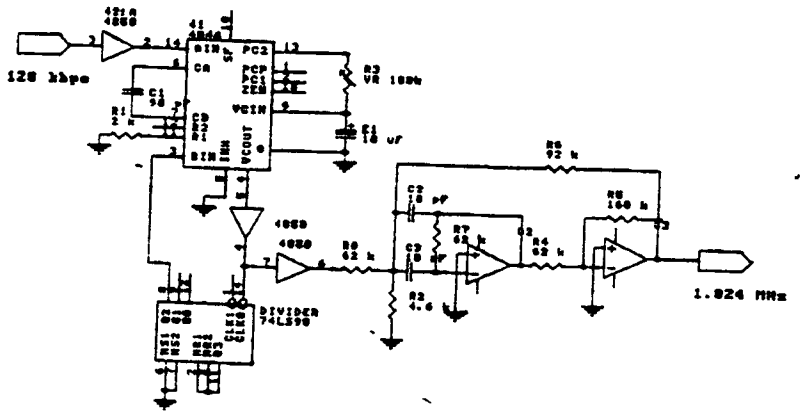
วงจรในส่วนนี้จะใช้ IC Phase Lock Loop เบอร์ 4046 เพราะมีอุปกรณ์ประกอบภายนอกไม่ยุ่งยาก แต่ทว่าช่วงการล็อกความถี่จะกว้างมาก แต่ถึงอย่างไรก็ถือว่าไม่ใช่วัตถุประสงค์หลักในการทำโครงงานครั้งนี้ เพียงแต่ต้องการทำเป็นวงจรคูณความถี่เท่านั้น

ในส่วนของวงจรหารความถี่ลดลง 8 เท่า นั้นก็เลือกใช้ IC 74LS90 เพราะสะดวกในการต่อวงจร และมีความเชื่อถือได้พอสมควร อนึ่ง สัญญาณที่ได้จากวงจรในส่วนนี้ ควรเป็นสัญญาณนาฬิกาที่สมบูรณ์แบบ จึงได้นำ IC 4050 มาประกอบร่วมด้วย เพราะจะช่วยทำให้เป็นสัญญาณที่สวยงามมากยิ่งขึ้น

เมื่อสัญญาณนาฬิกาผ่านวงจร Phase Lock Loop แล้วก็ยังเป็นสัญญาณรูปสี่เหลี่ยมอยู่ ซึ่งไม่สามารถนำไปเป็นสัญญาณพาหะได้ เพราะสัญญาณรูปสี่เหลี่ยมนั้นจะประกอบไปด้วยฮาร์โมนิคมากมาย ไม่เหมาะสมในการนำไปมอดูเลท ดังนั้นจึงใช้วงจรกรองช่วงความถี่(Band Pass Filter) เพื่อทำการกรองเอาคลื่นความถี่ฮาร์โมนิคที่ 1 ซึ่งเป็นสัญญาณ sine wave ที่มีความถี่เท่ากับสัญญาณสี่เหลี่ยม หรืออาจจะกล่าวง่ายๆว่า เป็นการกรองเอา sine wave ออกจาก square wave นั่นเอง

ดังนั้นเราจะได้ความถี่สัญญาณนาฬิกา 1.024 Mbps จากการนำสัญญาณนาฬิกาความถี่ 128 kbps ผ่านวงจร Phase Lock Loop และภายในวงจร Phase Lock Loop นั้น มีวงจรหาร 8 ประกอบอยู่ด้วย ดังจะได้แสดงให้เห็นวงจรทั้งหมด ในรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 วงจรกำเนิดสัญญาณพาหะ 1.024 MHz

วงจรกำเนิดสัญญาณไพล็อท โทน 896 kHz

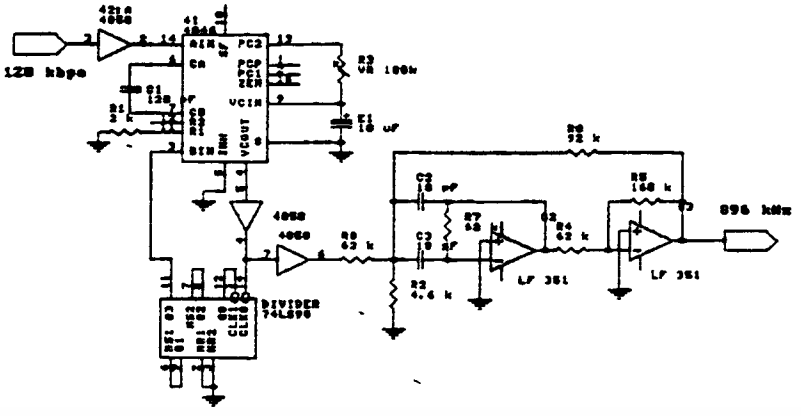
สัญญาณไพล็อท โทน ในที่นี้ คือ สัญญาณ sine wave ที่มีความถี่ใกล้เคียงกันกับสัญญาณพาหะ และมีความสัมพันธ์กันกับสัญญาณนาฬิกา เพราะอาศัยสัญญาณนาฬิกาคูณความถี่ขึ้นมา ใช้หลักการและวิธีการเหมือนกันกับวงจรกำเนิดสัญญาณพาหะนั่นเอง โดยในโครงงานนี้จะเลือกกำเนิดที่ความถี่ 896 kHz ซึ่งจะอยู่ทางด้าน Lower Side Band ของสเปคตรัมการมอดูเลทในโครงงานนี้ สาเหตุที่เลือกความถี่ 896 kHz ก็เพราะว่าอยู่ห่างจากความถี่ 1.024 MHz เท่ากับ 128 kHz และสะดวกในการออกแบบวงจรคูณความถี่ คือจะได้ใช้วงจรหาร 7 ภายในวงจร Phase Lock Loop ในส่วนนี้ได้เลย และที่ความถี่ 896 kHz นี้เป็นช่วงที่สเปคตรัมอยู่ในตำแหน่ง second-null พอดี สามารถหลีกเลี่ยงสัญญาณรบกวนอันอาจจะเกิดจากการมอดูเลทแบบ 16QAM นี้ได้ ในระดับหนึ่ง

ถ้าหากพิจารณาอีกแง่หนึ่งจะพบว่าเป็นการใช้ช่วงความถี่ที่ไม่ค่อยมีประสิทธิภาพเท่าใดนัก เพราะแทนที่จะวาง สัญญาณไพล็อท โทน ไว้ตรง first-null เพื่อเป็นการใช้ช่วงความถี่ที่แคบลงมาอีก แต่จุดประสงค์ในโครงงานนี้ก็เพื่อที่จะศึกษาหลักการ ความเป็นไปได้ และความน่าจะเป็นของความผิดพลาด ของการมอดูเลทแบบ 16QAM แบบนี้ เมื่อเทียบกับการมอดูเลทแบบ BPSK จะได้เป็นแนวทางในการศึกษาพัฒนาระบบการส่งสัญญาณดิจิตอลต่อไป

สำหรับวงจรที่ใช้ก็จะเหมือนกันกับวงจรกำเนิดสัญญาณพาหะ 1.024 MHz เกือบทุกอย่าง แตกต่างกันเพียงตรงวงจรหารความถี่เท่านั้น คือ เปลี่ยนจากวงจรหาร 8 มาเป็นวงจรหาร 7 เท่านั้นเอง รวมไปถึงวงจร Band Pass Filter ที่ใช้ ก็เปลี่ยนความถี่ศูนย์กลางจากเดิมที่ 1.024 MHz ก็กลายมาเป็น 896 kHz แทน

รายละเอียดของวงจรกำเนิดสัญญาณไพล็อท โทน แสดงได้ดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

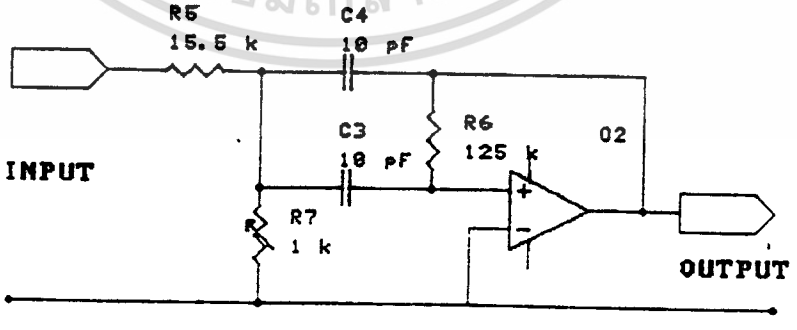


รูปที่ 3.5 วงจรกำเนิดสัญญาณไพล็อท โทน 896 kHz

วงจรกรองช่วงความถี่

วงจรกรองช่วงความถี่(Band Pass Filter)นี้ จะทำหน้าที่คัดเลือกสัญญาณในช่วงความถี่ที่ต้องการให้สามารถผ่านวงจรออกไปได้ โดยที่ไม่ถูกลดทอน หน้าที่ของ BPF ในที่นี้ จะทำหน้าที่กรองเอาสัญญาณ sine wave ออกจาก square wave ภายในส่วนของวงจรกำเนิดสัญญาณนาฬิกา และวงจรกำเนิดสัญญาณไพล็อท โทน และยังช่วยกำจัดสัญญาณรบกวน ที่เกิดจากวงจรข้างเคียงก่อนจะส่งออกไปยังภาครับอีกด้วย

วงจรกรองช่วงความถี่ ในที่นี้ จะเลือกใช้แบบ แบนด์แคบ (Narrow Band Pass Filter) ที่มีชื่อว่า Multiple-feedback filter ซึ่งใช้ Op-Amp เพียงตัวเดียวและอยู่ใน inverting mode ดังรูปที่ 3.6



รูปที่ 3.6 วงจร Band Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบ เลือกค่า C = 10 pF , Q = 10 , A_F = 10

จากสูตร

$$R_1 = \frac{Q}{2\pi fcCA_F} = \frac{10}{2x\pi x1.024x10^6x10x10^{-12}x10} = 15.542\ k$$

$$R_2 = \frac{Q}{2\pi fcC(2Q^2-A_F)} = \frac{10}{2x\pi x1.024x10^6x10x10^{-12}x(2x10^2-10)} = 0.818\ k$$

$$R_3 = \frac{Q}{\pi fcC} = \frac{10}{\pi x1.024x10^6x10x10^{-12}} = 310.85\ k$$

เราสามารถเลื่อนค่า fc ได้จากสูตร

$$R_2' = R_2(fc/fc')^2$$

และเนื่องจากในโครงงานนี้ มี fc อยู่ 2 ค่าคือ 1.024 MHz และ 896 kHz ดังนั้นเราจึงใช้วงจรเดิมได้ทันทีเพียงแต่เลื่อนความถี่จาก 1.024 MHz ไปเป็น 896 kHz แทน โดยการเปลี่ยนค่า R_2 ใหม่ดังนี้

$$R_2' = 0.818\ k\ x\ (1024/896)^2$$
$$= 1.068\ k$$

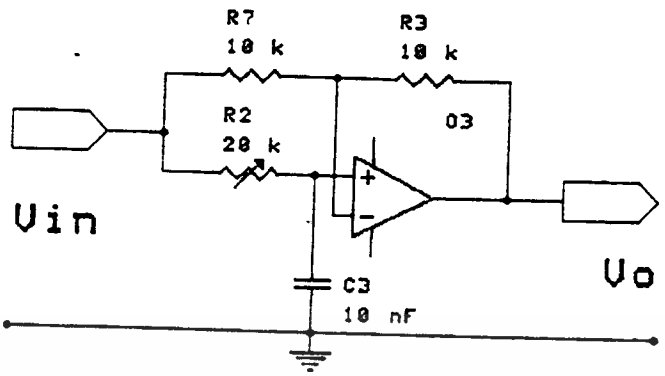
แต่ในการใช้งานจริงๆนั้น จะใช้ตัวต้านทานปรับค่าได้ ทั้งนี้เพราะว่าจะช่วยให้มีค่าความต้านทานตรงตามทฤษฎีที่คำนวณ และสามารถปรับจูนให้การตอบสนองของวงจรดียิ่งขึ้น

วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา

จากการที่ทำการแยกสัญญาณดิจิตอลออกเป็น 2 ส่วน คือ Inphase และ Quadrature phase เราจึงมีวงจรบาลานซ์มอดูเลเตอร์ 2 วงจร และมีสัญญาณพาหะ 2 ชุด เพื่อที่จะเป็นตัวพาหะนำสัญญาณดิจิตอลออกไปด้วยเช่นกัน ในโครงงานนี้จะเลือกใช้สัญญาณพาหะที่มีความถี่ตรงกัน แต่มีความต่างเฟสกัน 90 องศา(sine wave กับ cosine wave) โดยใช้สัญญาณพาหะ sine wave ที่ได้จาก วงจรกำเนิดสัญญาณพาหะโดยตรง ไปมอดูเลทกับสัญญาณ 4 ระดับ ที่ทางด้าน Inphase และใช้สัญญาณพาหะ cosine wave ที่ได้จากวงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา ไปมอดูเลทกับสัญญาณ 4 ระดับที่อยู่ทางด้าน Quadrature phase

ดังนั้นจึงทำการออกแบบ วงจรเลื่อนเฟส โดยอาศัยหลักการของวงจร All-Pass Filter ชนิด Vo ล้าหลัง Vin ดังมีรายละเอียดดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจร All Pass Filter กรณี Vo ล้าหลัง Vin

จากรูป จะได้ว่า

$$\left|Vo/Vin\right| = 1+2\pi fR_2C_2 \;/\; 1+2\pi fR_2C_2 = 1$$

$$\theta = -2\tan^{-1}(2\pi fR_2C_2)$$

เมื่อ Vo/Vin = Gain ของวงจร

θ = Phase Shift ระหว่าง Vo และ Vin

ขั้นตอนการออกแบบวงจร

1. เลือกค่า θ = 90 องศา
2. ใช้ค่าความถี่เท่ากับสัญญาณแคร์เรียร์ คือ 1.024 MH_z
3. จากสูตร C_2 = 10/f = 10/1.024 MH_z = 9.76 uF
   แต่ในการทดลอง ใช้ C_2 = 10 pF เพราะความถี่สูงควรใช้ C ค่าต่ำๆ
4. จากสูตร $R_2 = \tan(-\pi/2)/(2\pi fC_2)$

   $= \tan(-(-90)/2)/(2\times\pi\times10.24\times10^{6}\times10\times10^{-12})$

   = 15.54 k.

ในการทดลองใช้ V_R 20 k

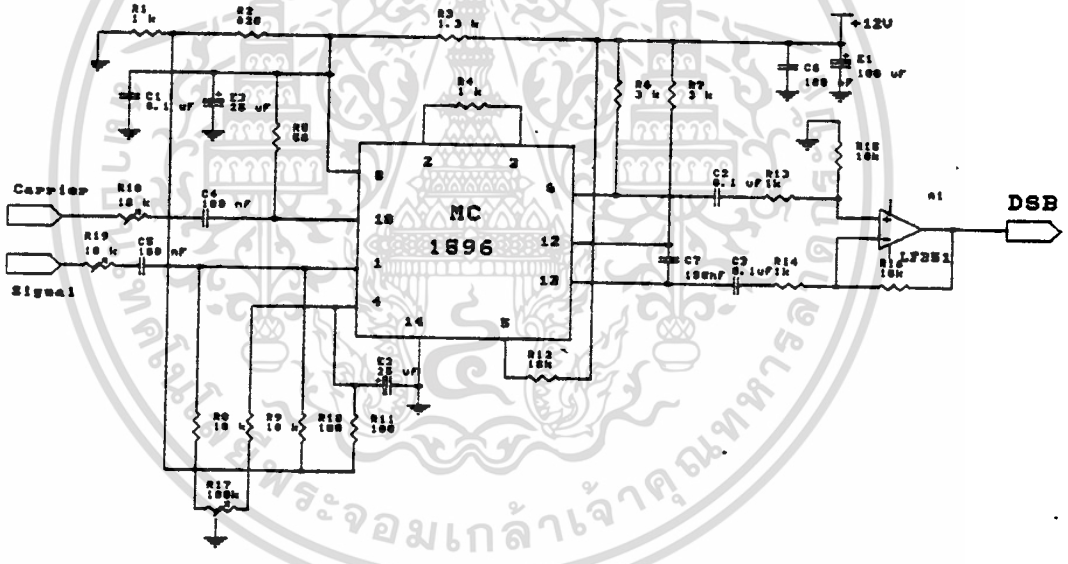
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรบาลานซ์มอดูเลเตอร์

วงจรนี้นับว่าเป็นส่วนสำคัญยิ่งของวงจร เพราะจะทำหน้าที่คูณสัญญาณพาหะ กับสัญญาณ 4 ระดับ ซึ่งจะมี 2 ส่วน เหมือนกันกับสัญญาณ 4 ระดับที่แยกออกจากกัน โดยวงจรแยกสัญญาณดิจิตอล กล่าวคือ จะมีทั้ง Inphase กับ Quadrature phase

วงจรบาลานซ์มอดูเลเตอร์ทางด้าน Inphase ก็จะทำหน้าที่คูณสัญญาณ 4 ระดับ ที่มาจากวงจรแยกสัญญาณดิจิตอลทางด้าน Inphase กับสัญญาณพาหะที่ได้มาจากวงจรกำเนิดสัญญาณพาหะโดยตรง ส่วนวงจรบาลานซ์มอดูเลเตอร์ทางด้าน Quadrature phase ก็จะทำหน้าที่คูณสัญญาณ 4 ระดับ ที่ได้มาจากวงจรแยกสัญญาณดิจิตอลทางด้าน Quadrature phase กับสัญญาณพาหะที่ได้มาจากวงจรกำเนิดสัญญาณพาหะแล้วผ่านวงจรเลื่อนเฟส 90 องศา

ทั้งนี้ รายละเอียดของวงจรบาลานซ์มอดูเลเตอร์ทั้งสองวงจร จะเหมือนกันทุกประการ ดังแสดงไว้ในรูปที่ 3.8



รูปที่ 3.8 วงจรบาลานซ์มอดูเลเตอร์

ข้อควรคำนึงในวงจรส่วนนี้คือ ข้อกำหนด จาก Data sheet ของ IC MC1596 ที่ได้ระบุไว้ว่าขนาดของสัญญาณที่จะนำมามอดูเลทควรมีค่าประมาณ 400 mVp-p และขนาดของสัญญาณพาหะควรมีค่าประมาณ 100 mVrms ดังนั้นสัญญาณทั้งสองก่อนที่จะเข้าไปคูณกัน ต้องผ่านตัวต้านทานปรับค่าได้เสียก่อน เพื่อจะได้ควบคุมระดับสัญญาณทั้งสองให้เป็นไปตามข้อกำหนดดังกล่าว

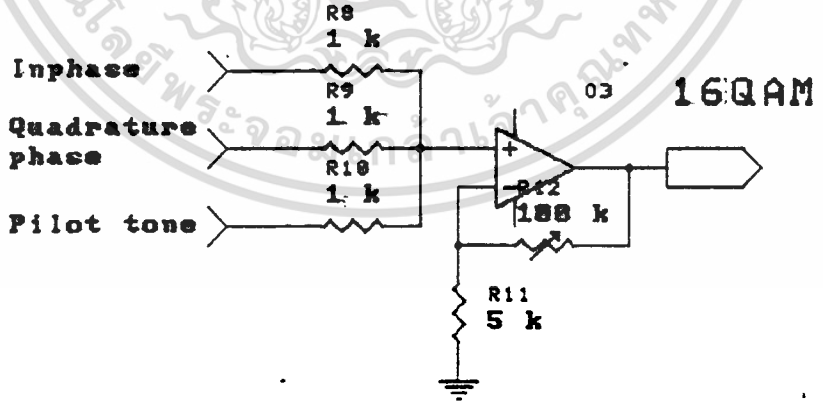
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IC MC1596 นี้ เป็นวงจรมอดูเลทที่ใช้กับสัญญาณขนาดเล็ก(small signal) จึงเกิดการรบกวนค่อนข้างง่าย จนต้องใช้ L ต่อร่วมไปในวงจรด้วย เพื่อกำจัดสัญญาณรบกวนความถี่สูง ที่เกิดขึ้นภายในวงจรบาลานซ์มอดูเลเตอร์เอง ดังในรูป

สัญญาณที่ได้จากวงจรบาลานซ์มอดูเลเตอร์นั้นมีขนาดเล็กมาก จึงต้องผ่านวงจรขยายความแตกต่าง(Differential Amplifier) โดยอาศัยสัญญาณที่ออกจากขา 6 และขา 12 (สัญญาณที่ขา 6 และขา 12 จะกลับเฟสกันอยู่) ป้อนเข้าที่ขา 2 และขา 3 ของ Op-Amp ตามลำดับ และสามารถกำหนดอัตราขยายจากอัตราส่วนตัวต้านทาน ทำนองเดียวกันกับ วงจร Inverting Amplifier (รายละเอียดดูได้จาก บทที่ 2 ในเรื่องวงจรขยายความแตกต่าง)

วงจรรวมสัญญาณมอดูเลท

เมื่อได้ทำการมอดูเลทสัญญาณทั้งสองส่วนแล้ว ก็ต้องนำมารวมกัน แล้วส่งออกไปพร้อมๆกัน ซึ่งสัญญาณที่ต้องการส่งไปนั้น จะประกอบด้วย สัญญาณจากวงจรบาลานซ์มอดูเลเตอร์ ทางด้าน Inphase , สัญญาณจากวงจรบาลานซ์มอดูเลเตอร์ ทางด้าน Quadrature phase และ สัญญาณไพล็อท โทน และทั้งสามสัญญาณจะต้องถูกส่งออกไปพร้อมกันด้วยวงจรขยายรวมสัญญาณ (Summing Amplifier) โดยสัญญาณดังกล่าวจะถูกส่งไปตามสายโคแอกเชียล ดังนั้นนอกจากจะใช้ Op-Amp มาเป็นวงจร Summing Amplifier แล้วยังต้องใช้ Transistor มาช่วยขยายสัญญาณให้มีกำลังเพียงพอที่จะส่งไปอีกด้วย ดังจะได้แสดงในรูปที่ 3.9



รูปที่ 3.9 วงจรรวมสัญญาณ

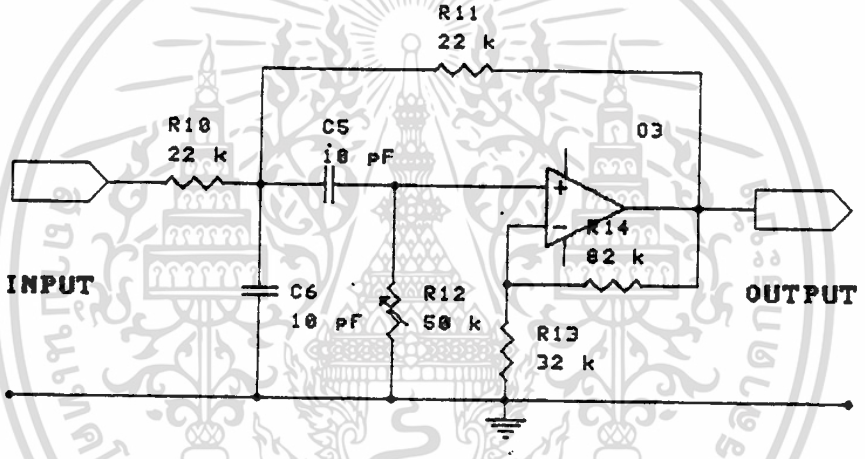
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

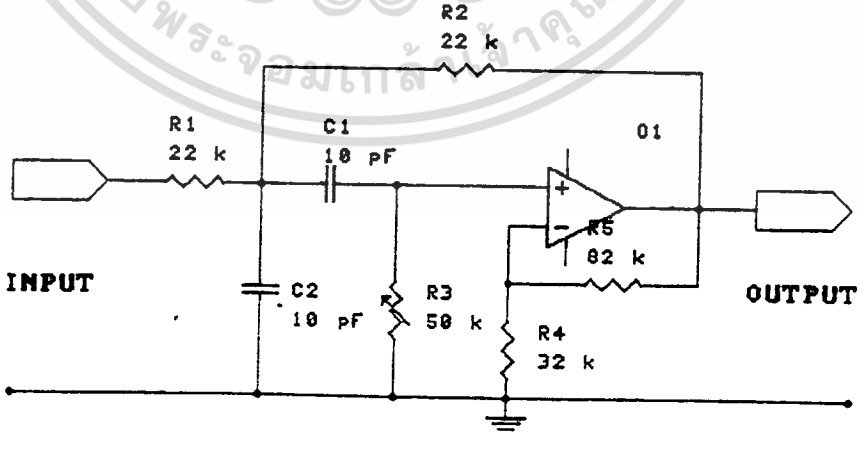
การออกแบบและทดลองวงจรทางด้านภาครับ

วงจรกรองช่วงความถี่

สัญญาณ 16QAM จะถูกส่งมาตามสายโคแอกเชียล เข้ามายังภาครับ ดังนั้น จำเป็นต้องมีวงจรกรองช่วงความถี่(Band Pass Filter) ในการตรวจรับสัญญาณมอดูเลทในขั้นต้น เพื่อทำหน้าที่คัดเลือกสัญญาณที่สามารถเข้าสู่ภาครับได้ให้อยู่ในเฉพาะช่วงที่ต้องการเท่านั้น อีกทั้งยังเป็นการกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย ในที่นี้ จะมีวงจรกรองช่วงความถี่อยู่ 2 วงจร จะใช้กรองความถี่ของสัญญาณมอดูเลทช่วง 1.024 MHz (รูปที่ 4.1) และใช้กรองความถี่ของสัญญาณไพล็อท โทน 896 kHz (รูปที่ 4.2) ลักษณะรายละเอียดในการออกแบบและทดลองวงจร จะคล้ายคลึงกันกับวงจรกรองช่วงความถี่ของภาคส่ง ซึ่งอยู่ในบทที่ 3



รูปที่ 4.1 วงจรกรองช่วงความถี่ 1.024 MHz



รูปที่ 4.2 วงจรกรองช่วงความถี่ 896 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

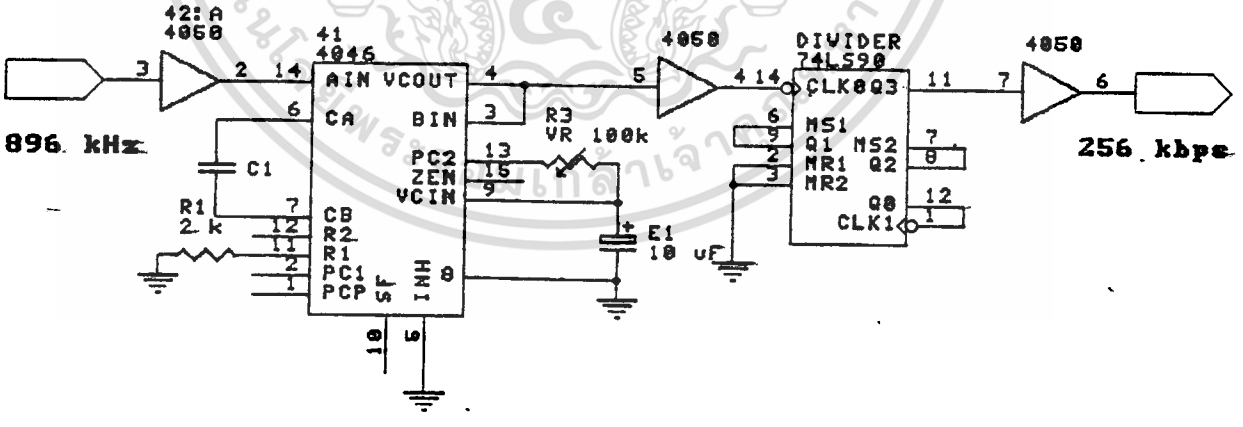
วงจรกู้สัญญาณนาฬิกา

เมื่อสัญญาณไพล็อท โทน 896 kHz ผ่านวงจรกรองช่วงความถี่แล้ว จะถูกส่งต่อไปยังวงจรกู้สัญญาณนาฬิกา เพื่อทำการแปลงสัญญาณ sine wave ให้เป็น square wave จากนั้นก็จะผ่านวงจรหาร 7 เพื่อทำให้สัญญาณ square wave 896 kbps มีความถี่ลดลงเหลือ 256 kbps ซึ่งจะมีค่าเท่ากับสัญญาณนาฬิกา 256 kbps ที่ภาคส่งพอดี

เนื่องจากการที่ทางด้านภาคส่งนั้น สัญญาณไพล็อท โทน ได้มาจากอ้างอิงจากสัญญาณนาฬิกา โดยใช้วงจรเฟสล็อคลูป ทำการล็อคสัญญาณนาฬิกาเอาไว้ แล้วคูณความถี่ให้สูงขึ้น หลังจากนั้นใช้วงจรกรองช่วงความถี่ช่วยทำให้สัญญาณ square wave กลายเป็น sine wave และที่ภาครับเมื่อรับสัญญาณไพล็อท โทน ได้แล้ว จะใช้วงจรเฟสล็อคลูป ทำการล็อคสัญญาณเอาไว้ พร้อมกับแปลงสัญญาณ sine wave ให้เป็น square wave จากนั้นก็ใช้วงจรหารความถี่เพื่อให้ความถี่ลดลงเหลือเท่ากับความถี่ของสัญญาณนาฬิกาพอดี

ดังนั้นจะเห็นได้ว่า การสร้างสัญญาณไพล็อท โทน ของทางภาคส่งและสัญญาณนาฬิกาของทางภาครับนั้น จะอาศัยการอ้างอิงและเปรียบเทียบกับสัญญาณที่มีอยู่แล้วในวงจร อีกทั้งเป็นสัญญาณตัวเดียวกันอีกด้วย รวมทั้งการใช้วงจรเฟสล็อคลูป ซึ่งมีวงจรผลิตความถี่ และวงจรเปรียบเทียบเฟสสัญญาณ อยู่ภายใน จึงเป็นการทำให้เกิดการซิงค์โครไนซ์(synchronization)กัน ระหว่างภาคส่งและภาครับ

วงจรกู้สัญญาณนาฬิกา(Clock Recovery) แสดงได้ในรูปที่ 4.3

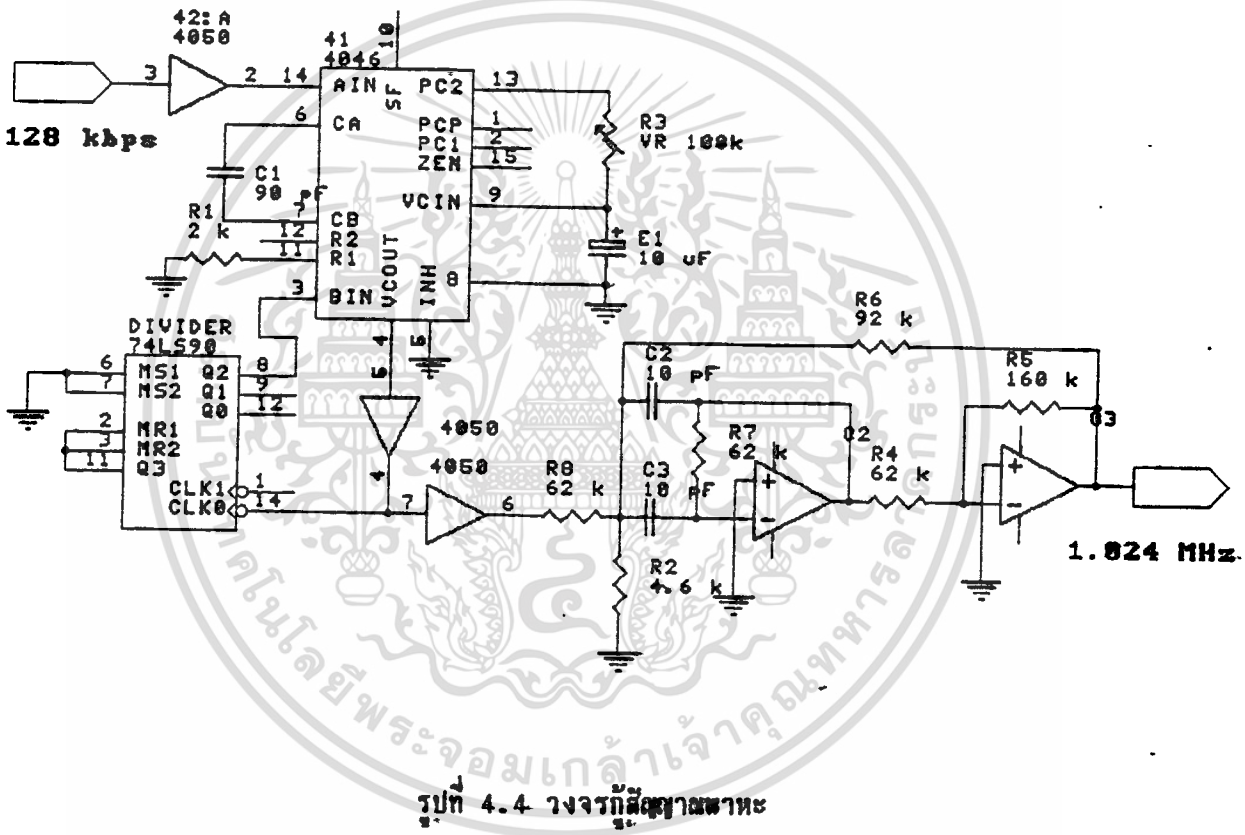


รูปที่ 4.3 วงจรกู้สัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกู้สัญญาณพาหะ

วงจรกู้สัญญาณพาหะ(Carrier Recovery)นั้น ก็จะใช้หลักการและวิธีการเหมือนกันทุกประการกับวงจรกำเนิดสัญญาณพาหะของทางด้านภาคส่ง ของบทที่ 3 กล่าวคือ จะอาศัยสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกา มาใช้เป็นสัญญาณอ้างอิง แล้วคูณความถี่ให้สูงขึ้น โดยใช้วงจรเฟสล็อคลูป จากนั้นก็จะผ่านวงจรกรองช่วงความถี่ ทำการคัดเลือกเฉพาะสัญญาณ sine wave เพื่อนำไปเป็นสัญญาณพาหะ สำหรับใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ต่อไป ดังจะแสดงวงจรกู้สัญญาณพาหะในรูปที่ 4.4



รูปที่ 4.4 วงจรกู้สัญญาณพาหะ

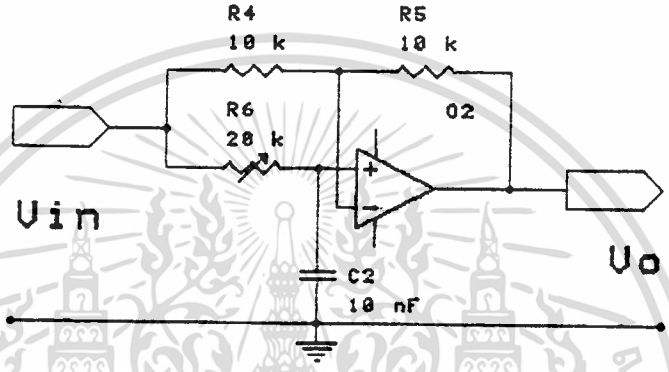
วงจรเลื่อนเฟสสัญญาณ 90 องศา

เนื่องจากสัญญาณมอดูเลตที่รับมาได้นั้น จะประกอบไปด้วย สัญญาณดิจิตอลที่ถูกแยกออกเป็น 2 ส่วน และสัญญาณข้อมูล 2 บิท ที่ถูกแยกออกมานั้น จะกลายเป็นของสัญญาณ 4 ระดับ แล้วมอดูเลตมากับสัญญาณพาหะ โดยวงจรบาลานซ์มอดูเลเตอร์ และนำมารวมกันระหว่างสัญญาณมอดูเลตทางด้าน Inphase ที่ใช้สัญญาณ sine wave เป็นสัญญาณพาหะ และสัญญาณมอดูเลตทางด้าน Quadrature phase ที่ใช้สัญญาณ cosine wave เป็นสัญญาณพาหะ ในทำนองเดียวกัน ณ ที่ภาครับนี้ สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พาหะก็ต้องมี 2 ชุดด้วย โดยจะใช้สัญญาณ sine wave ที่ได้มาจากวงจรกู้สัญญาณพาหะ เพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ของทางด้าน Inphase และจะใช้สัญญาณ cosine wave ที่ได้มาจากวงจรกู้สัญญาณพาหะแล้วผ่านวงจรเลื่อนเฟส 90 องศา เพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ของทางด้าน Quadrature phase

สำหรับวงจรเลื่อนเฟสสัญญาณ 90 องศานั้น ก็จะใช้วงจรกรองผ่านทุกความถี่ (All-Pass Filter) ชนิด Vo ล้าหลัง Vin เหมือนกันทุกประการกับทางด้านภาคส่ง ทั้งนี้เพื่อเป็นการทำให้สอดคล้องกับทางด้านภาคส่งนั่นเอง ดังวงจรที่แสดงไว้ในรูปที่ 4.5



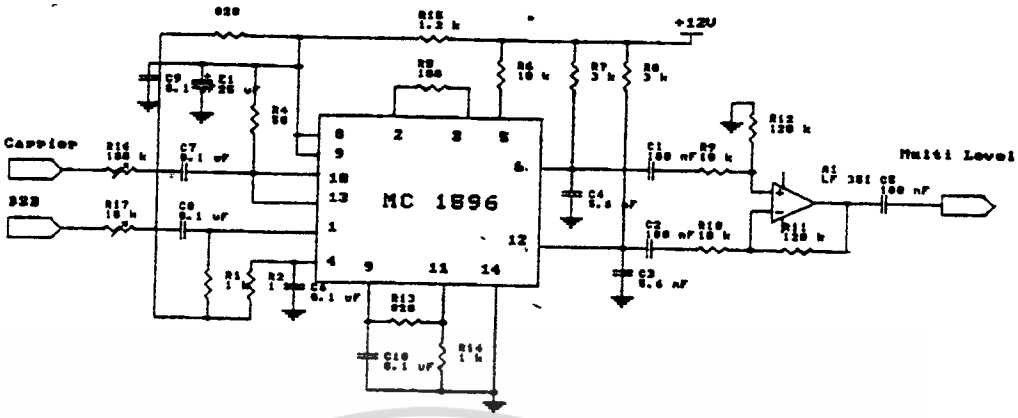
รูปที่ 4.5 วงจรเลื่อนเฟสสัญญาณ 90 องศา

วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรบาลานซ์ดีมอดูเลเตอร์(Balance Demodulator) ที่ใช้ในภาครับนี้ จะเป็นวงจรที่เหมือนกันเกือบทุกประการ กับวงจรบาลานซ์มอดูเลเตอร์(Balance Modulator) ที่ใช้ในภาคส่ง มีข้อแตกต่างกันอยู่เล็กน้อยเท่านั้น ดังจะได้แสดงวงจรไว้ในรูปที่ 4.6 และด้วยเหตุที่ว่าข้อมูลถูกส่งมา 2 ส่วน ดังนั้นในทางด้านภาครับนี้ ก็จะต้องมีวงจรบาลานซ์ดีมอดูเลเตอร์ 2 วงจร เพื่อที่จะทำหน้าที่ในการแยกสัญญาณ 4 ระดับ ที่ถูกมอดูเลตมากับสัญญาณพาหะ ทั้งทางด้าน Inphase และ Quadrature phase โดยอาศัยสัญญาณพาหะจากวงจรกู้สัญญาณพาหะโดยตรง(sine wave) คูณกับสัญญาณมอดูเลตที่วงจรบาลานซ์ดีมอดูเลเตอร์ทางด้าน Inphase และสัญญาณพาหะจากวงจรเลื่อนเฟส 90 องศา(cosine wave) คูณกับสัญญาณมอดูเลตที่วงจรบาลานซ์ดีมอดูเลเตอร์ทางด้าน Quadrature phaes

ลักษณะและรายละเอียดของวงจรบาลานซ์ดีมอดูเลเตอร์ทั้งสองวงจรจะเหมือนกันทุกประการ จึงแสดงไว้เพียงวงจรเดียว ดังรูปที่ 4.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

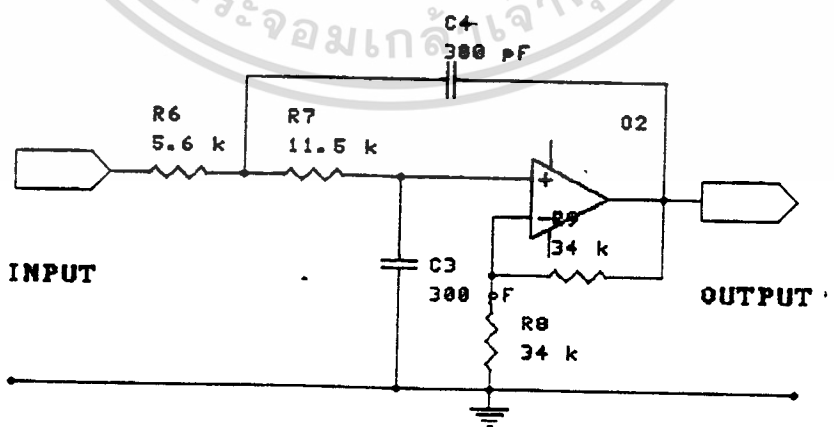


รูปที่ 4.6 วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรกรองความถี่ต่ำ

สัญญาณเอาท์พุทของวงจรบาลานซ์ดีมอดูเลเตอร์ทั้งสองวงจรนั้น จะประกอบไปด้วยสัญญาณที่เกิดจากการคูณกันระหว่างสัญญาณมอดูเลทกับสัญญาณพาหะ และผลที่ได้ จะมีทั้งสัญญาณความถี่สูงและสัญญาณความถี่ต่ำ ซึ่งสัญญาณ 4 ระดับ ที่เป็นสัญญาณข้อมูลที่ต้องการ จะอยู่ในส่วนของสัญญาณความถี่ต่ำ ดังนั้น จึงต้องใช้วงจรกรองความถี่ต่ำเพื่อทำหน้าที่ตัดสัญญาณความถี่สูงทิ้งไป เหลือเพียงสัญญาณ 4 ระดับ ในส่วนของความถี่ต่ำเท่านั้น

ในส่วนของวงจรกรองความถี่ต่ำที่ใช้ในทางด้านภาครับนี้ ก็จะเหมือนกันทุกประการกับวงจรกรองความถี่ต่ำที่ใช้ในภาคส่ง คือ จะใช้วงจร Second-Order Low Pass Butterworth Filter ที่มี f_H = 64 kHz ดังรูปที่ 4.7



รูปที่ 4.7 วงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแปลงสัญญาณ 4 ระดับ ไปเป็น 2 บิท

เมื่อสัญญาณผ่านวงจรบาลานซ์ดีมอดูเลเตอร์ทางภาครับแล้ว จะเป็นสัญญาณความถี่ต่ำ และเมื่อผ่านขบวนการตัดสินระดับและจัดรูปพัลซ์แล้ว จะเป็นสัญญาณ 4 ระดับ เหมือนกันกับสัญญาณก่อนที่จะเข้าวงจรบาลานซ์มอดูเลเตอร์ของทางด้านภาคส่ง ดังนั้นเราจำเป็นต้องเปลี่ยนสัญญาณ 4 ระดับดังกล่าว ให้เป็นสัญญาณดิจิตอล 2 บิท เพื่อที่จะนำไปรวมกันเป็นข้อมูลดิจิตอลส่งออกต่อไป

เพื่อความสะดวกในการตรวจจับระดับ จึงได้ทำการออกแบบวงจรขยายสัญญาณ 4 ระดับ ซึ่งมีขนาดเล็กไม่ถึง 1 Vp-p ให้เป็นสัญญาณขนาดใหญ่ 8 Vp-p ดังจะได้สรุปการขยายสัญญาณ 4 ระดับ และแสดงไว้ในตารางที่ 4.1

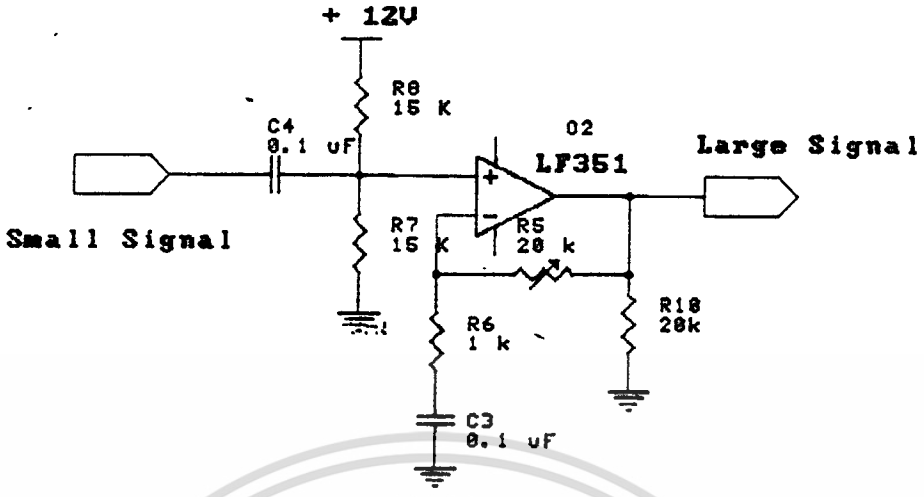
Input 4 Level (Small signal)	Output 4 Level (Large signal)
+150 mV	9 V
+50 mV	7 V
-50 mV	5 V
-150 mV	3 V

ตารางที่ 4.1 การขยายสัญญาณก่อนเข้าวงจรตรวจระดับสัญญาณ

ในส่วนของวงจรขยายสัญญาณดังกล่าวนี้ ได้ทำการออกแบบและทดลองวงจร แสดงไว้ใน 4.8 โดยอาศัยวงจรขยาย Op-Amp แบบ non-inverting ใช้ตัวต้านทานแบ่งแรงดันจาก 12 V ให้ได้ 6 V เข้าที่ขา 3 ของ Op-Amp เพื่อใช้เป็นระดับอ้างอิงในการขยายสัญญาณ และใช้ C ค่า 0.1 uF ร่วมกันกับ R 1k ที่ขา 2 ของ Op-Amp ทั้งนี้เพื่อช่วยให้วงจรตอบสนองสัญญาณที่ความถี่ต่ำ (64 kbps) ได้ดียิ่งขึ้น ส่วน Rf ของวงจรนี้จะใช้ VR 20 k เพื่อใช้ปรับอัตราการขยายของวงจรให้เป็นไปตามข้อกำหนดที่ได้ทำการออกแบบไว้

เมื่อระดับของสัญญาณมีขนาดใหญ่เพียงพอกับการตรวจจับระดับและมีความสามารถในการป้องกันความผิดพลาดของสัญญาณแล้ว จะถูกส่งไปเข้าวงจรแปลงระดับ ให้เป็น 2 บิท โดยจะใช้วงจร Comparator ซึ่งอาศัย Op-Amp และ EX-OR Gate ทำหน้าที่ตรวจจับระดับสัญญาณ ทำการตั้งจุดการทำงานของ Op-Amp ไว้ที่ระดับต่างๆกัน ดังนี้ 4 V , 6 V และ 8 V เมื่อสัญญาณเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 วงจรขยายสัญญาณ 4 ระดับ

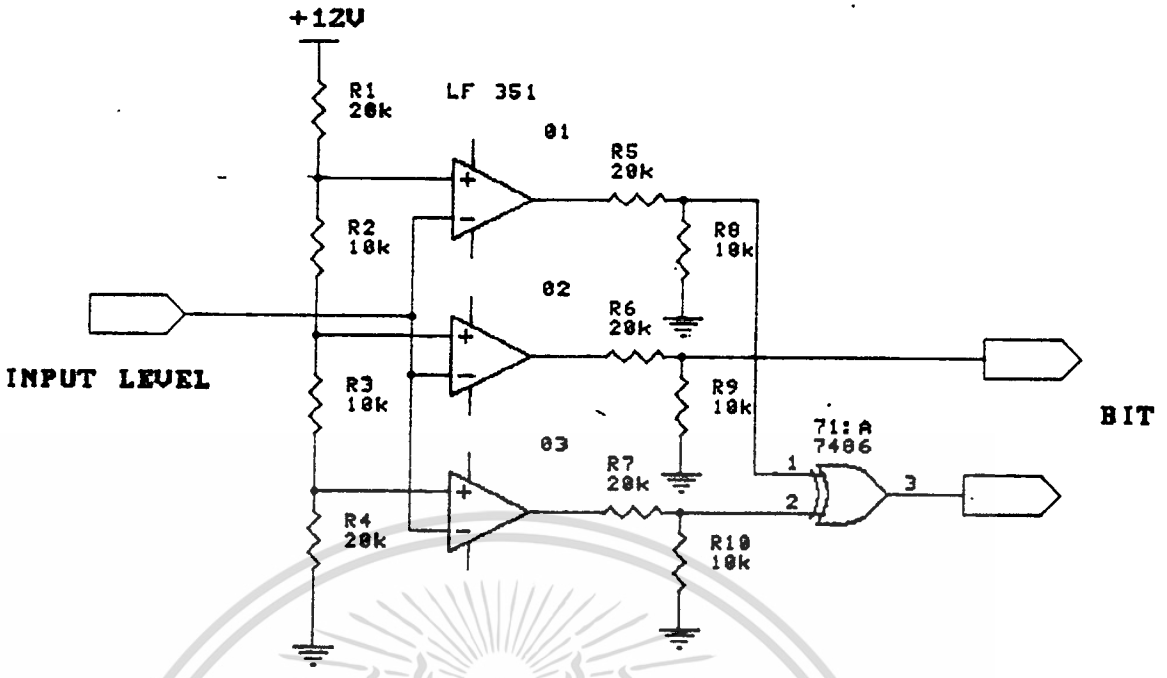
Op-Amp แต่ละตัวจะตรวจสอบ เปรียบเทียบความต่างศักย์ระหว่าง ขา inverting และ ขา non-inverting แล้วให้เอาท์พุทตามลักษณะสมบัติของตัวมัน และที่เอาท์พุทแต่ละตัวจะใช้ตัวต้านทานแบ่งแรงดันเพื่อที่ต้องการเพียง 5 V ในขณะที่สัญญาณเข้ามาต่ำกว่าระดับที่ตั้งไว้ และ 0 V ในขณะที่สัญญาณเข้ามาสูงกว่าระดับที่ตั้งไว้ ของ Op-Amp ทุกตัว ทั้งนี้เพื่อให้สอดคล้องกับ อินพุทที่ EX-OR Gate ต้องการ (ไฟเลี้ยงของ Op-Amp จะป้อน +12 V เข้าที่ขา 7 และ ขา 4 ลงกราวนด์ ดังนั้นเอาท์พุทของ Op-Amp จะไม่มีโอกาสเป็นไฟลบ)

ดังนั้นเอาท์พุทจากวงจรที่ได้จาก EX-OR Gate แล้วจะเป็นสัญญาณดิจิตอลที่เป็น Gray Code ดังตารางที่ 4.2

Signal Input	Gray Code Output
9 V	0 0
7 V	0 1
5 V	1 1
3 V	1 0

ตารางที่ 4.2 การตรวจจับระดับสัญญาณแล้วแปลงเป็น Gray Code

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท

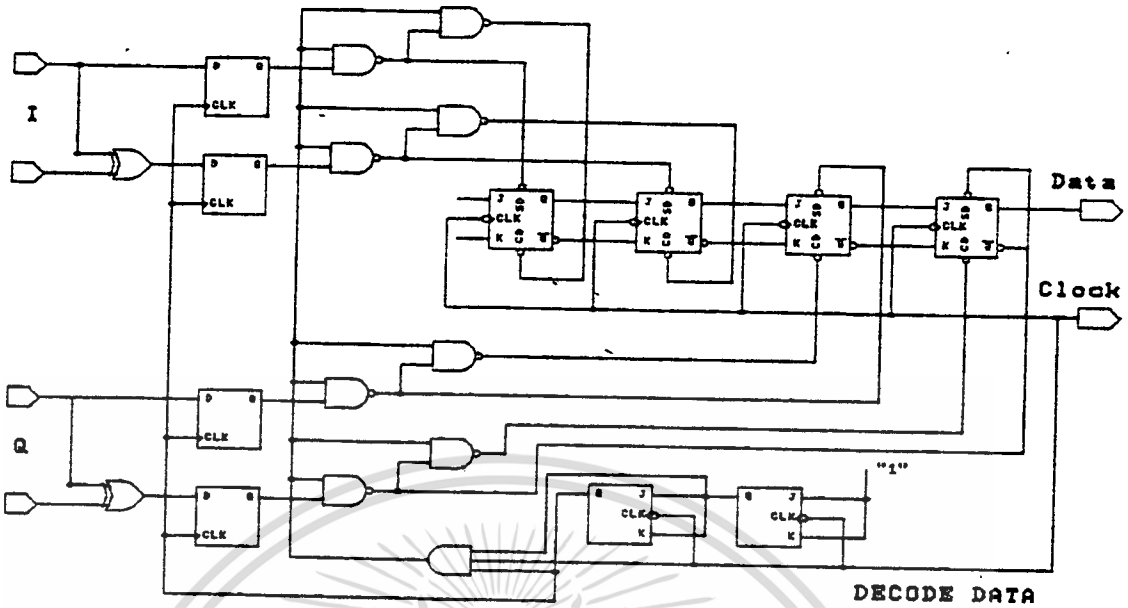
วงจรรวมสัญญาณดิจิตอล

เป็นวงจรที่มีลักษณะและหน้าที่การทำงาน ตรงกันข้ามกันกับวงจรแยกสัญญาณดิจิตอล ของทางด้านภาคส่ง เพื่อทำหน้าที่รวมสัญญาณดิจิตอลทั้ง Inphase และ Quadrature phase (บิทบนบิทล่าง) จากสัญญาณดิจิตอลแบบขนาน ไปเป็นสัญญาณดิจิตอลแบบอนุกรม โดยอาศัยการควบคุมจังหวะการทำงานของตัวฟลิบฟลอบจากสัญญาณนาฬิกา ที่ได้มาจากวงจร Clock Recovery

สัญญาณดิจิตอลที่ได้มาจากภาคส่งในส่วนของวงจรแยกสัญญาณดิจิตอล นั้นจะเป็น Gray Code จึงต้องทำการแปลงสัญญาณให้เป็น Binary Code โดยอาศัยหลักการทำงานของ EX-OR Gate เหมือนกันกับทางด้านภาคส่ง

วงจรหาร 4 หรือวงจรหน่วงเวลา 4 บิท ก็จะเข้ามามีบทบาทอีกเช่นเดิม แต่จะทำหน้าที่พิเศษในการบังคับ D ฟลิบฟลอบให้มีจังหวะพอดีกับความต้องการรับข้อมูลของ JK ฟลิบฟลอบ เพราะว่าข้อมูลจาก D ฟลิบฟลอบจะถูกส่งไปบังคับให้ JK ฟลิบฟลอบ มีเอาท์พุทเหมือนกันกับข้อมูลที่ได้รับมาโดยผ่านการควบคุมที่ขา Preset และขา Clear ของ JK ฟลิบฟลอบแต่ละตัว เมื่อ JK ฟลิบฟลอบรับข้อมูลไปแล้วนั้นควรจะใช้เวลาเพียงสัญญาณนาฬิกาพัลซ์ลูกเดียวเท่านั้น จึงใช้ NAND Gate แบบ 3 อินพุท เข้าช่วยในการบังคับให้ D ฟลิบฟลอบ ส่งข้อมูลเฉพาะสัญญาณนาฬิกาลูกแรกเท่านั้น (พัลซ์ควบคุม D ฟลิบฟลอบจะมี 4 ลูก) ซึ่งหลักการดังกล่าวนี้ก็เป็นหลักการของวงจร Parallel Serial นั่นเอง วงจรที่ได้ทำการออกแบบและทดลอง แสดงได้ดังรูปที่ 4.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

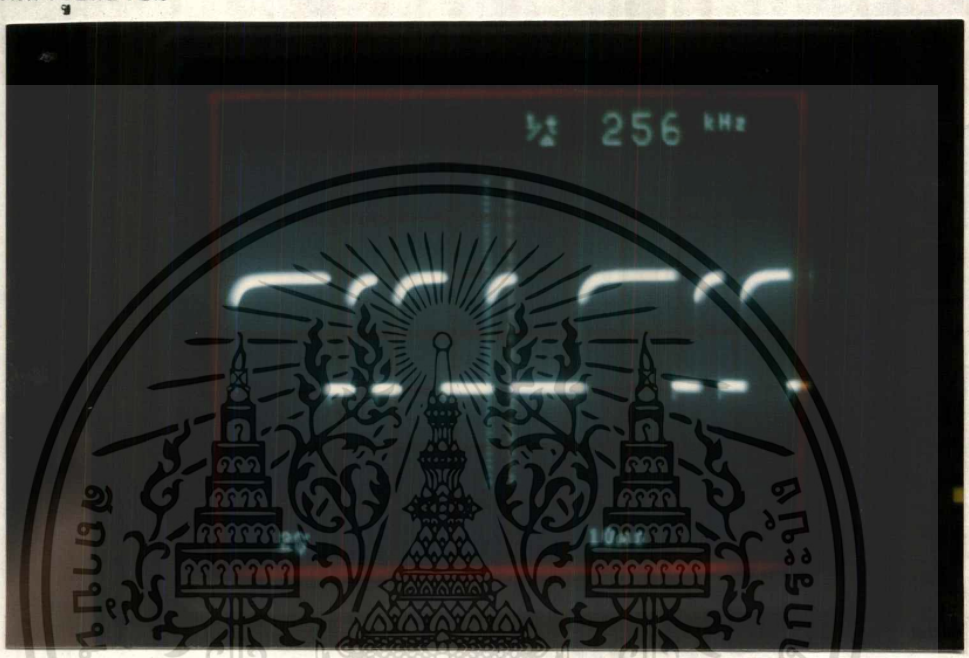


รูปที่ 4.10 วงจรรวมสัญญาณดิจิตอล

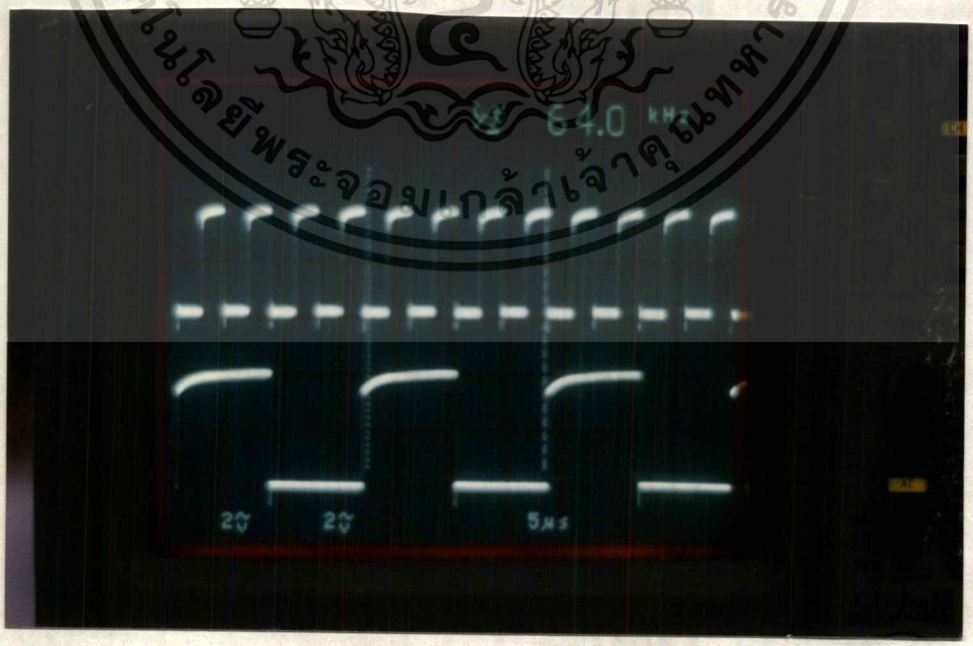
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ผลการดำเนินงาน

จากการออกแบบและทดลองวงจรทั้งทางด้านภาคส่งและภาครับนั้น ได้ผลการทดลองแสดงออกมาได้ดังรูปต่อไปนี้

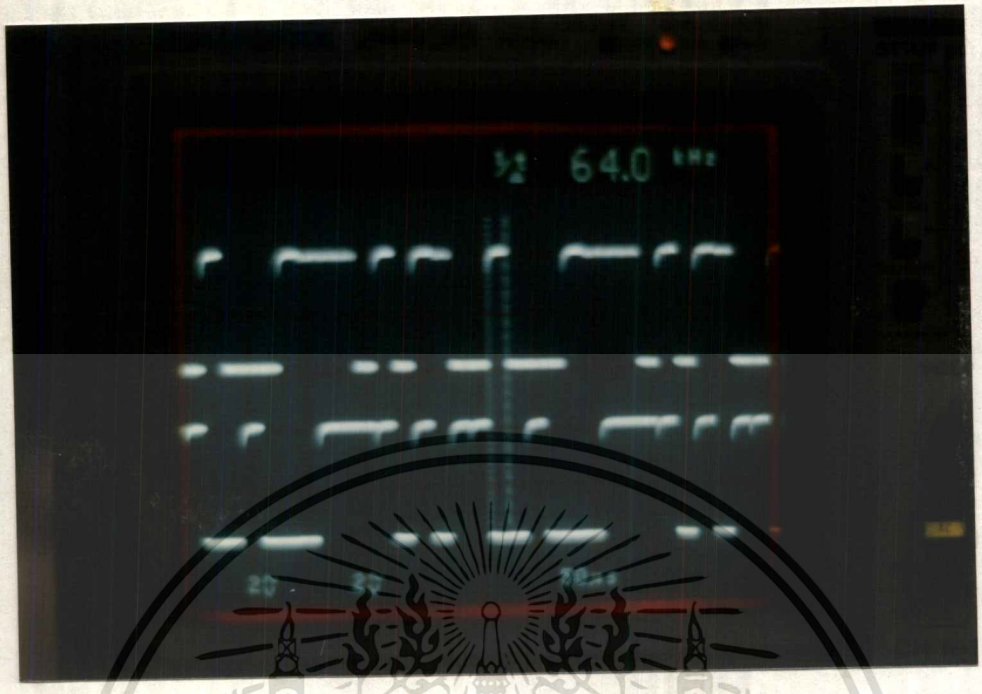


รูปที่ 5.1 สัญญาณกึ่งแรนดัม 256 kbps



รูปที่ 5.2 การหน่วงสัญญาณนาฬิกา 4 เท่า

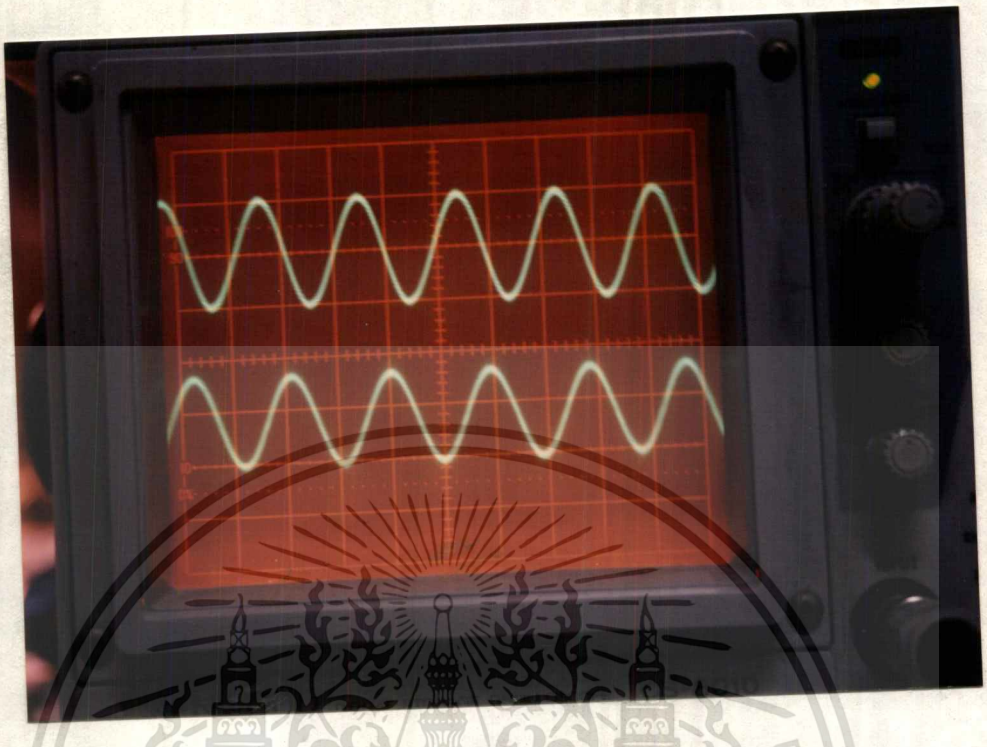
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



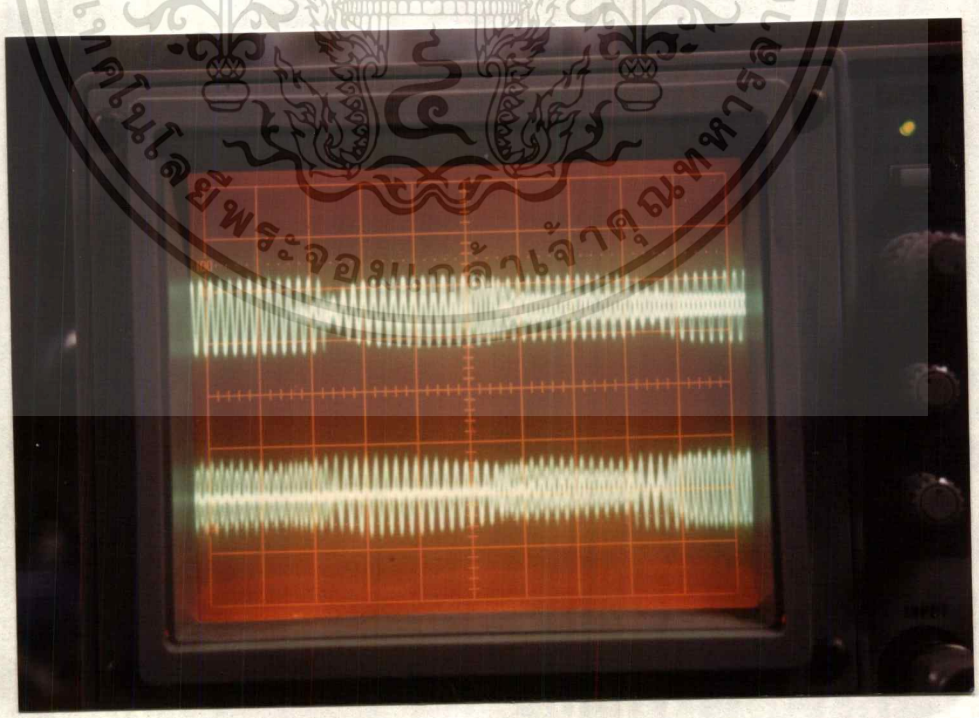
รูปที่ 5.3 สัญญาณดิจิตอลที่แยกออกมาทั้งด้าน I และ Q

รูปที่ 5.4 สัญญาณ 4 ระดับ ทั้งด้าน I และ Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

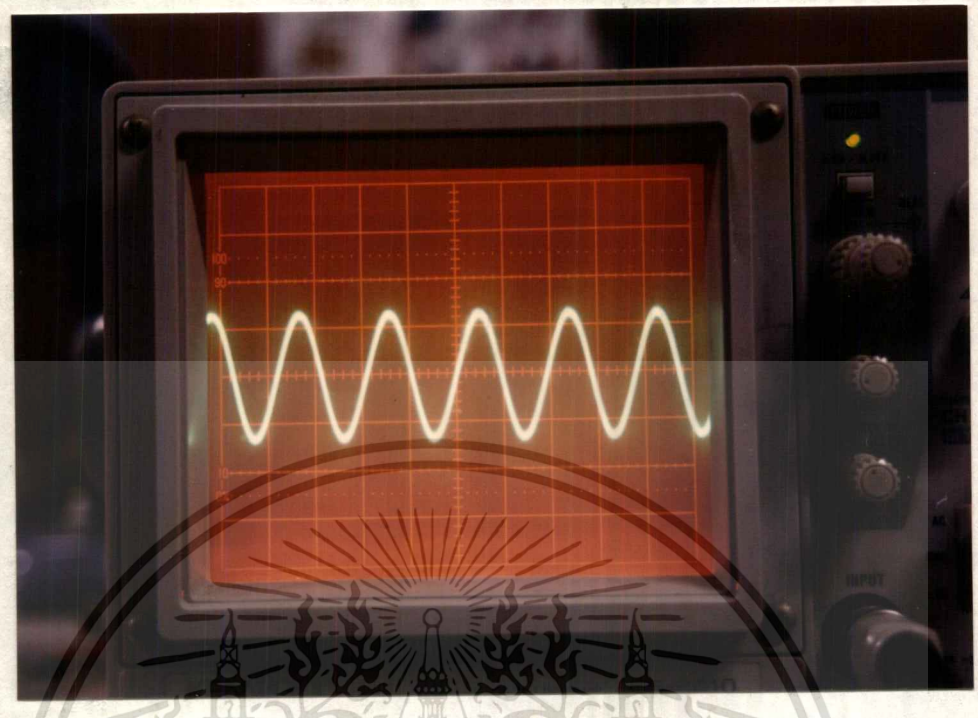


รูปที่ 5.5 สัญญาณพาหะทั้งด้าน I และ Q

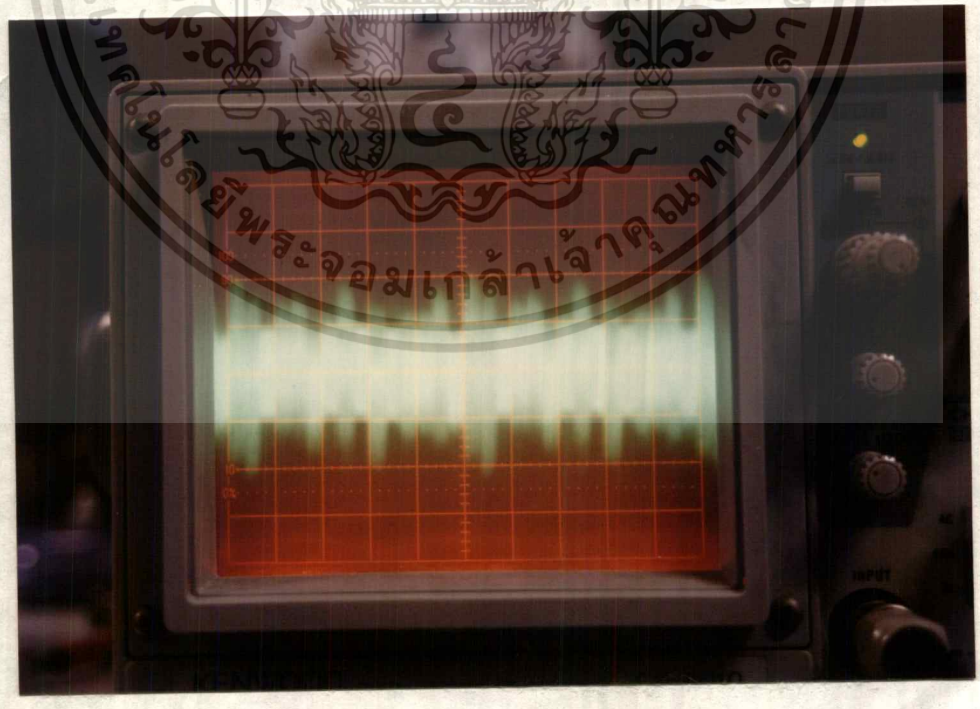


รูปที่ 5.6 สัญญาณที่ผ่านการมอดูเลทแล้วทั้งด้าน I และ Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

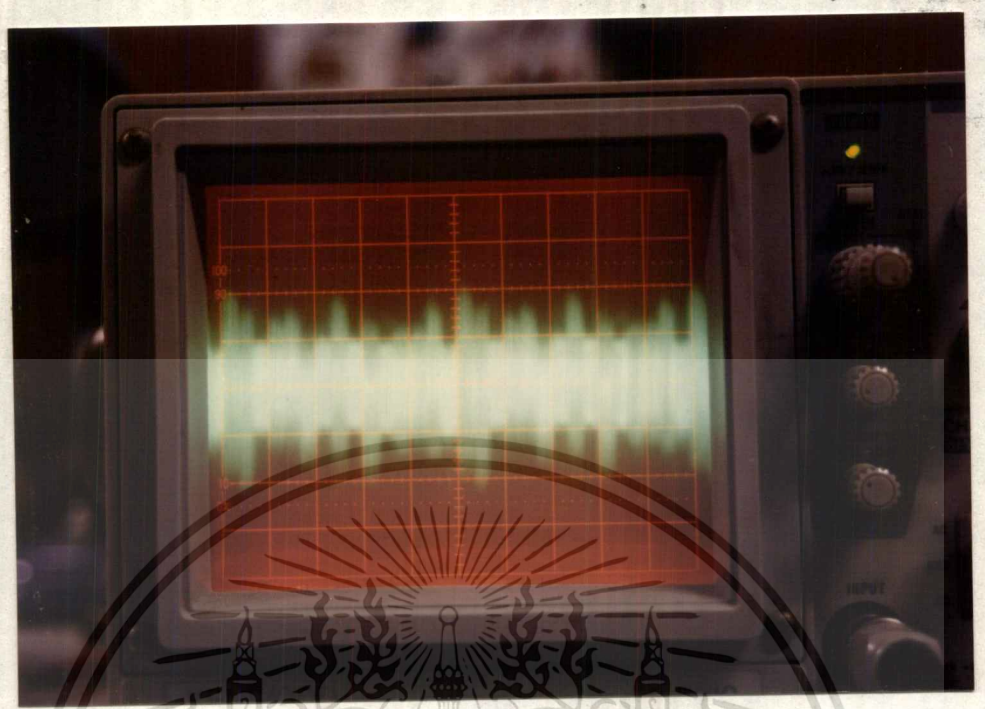


รูปที่ 5.7 สัญญาณไพล็อท โทน



รูปที่ 5.8 สัญญาณ 16 QAM ที่ส่งออกไป

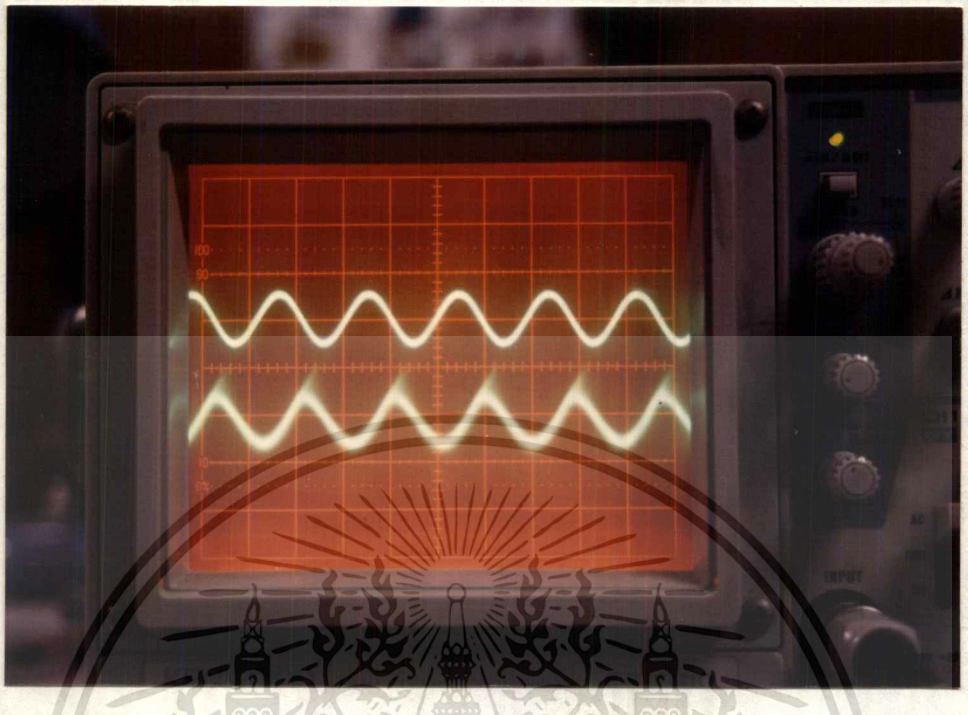
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



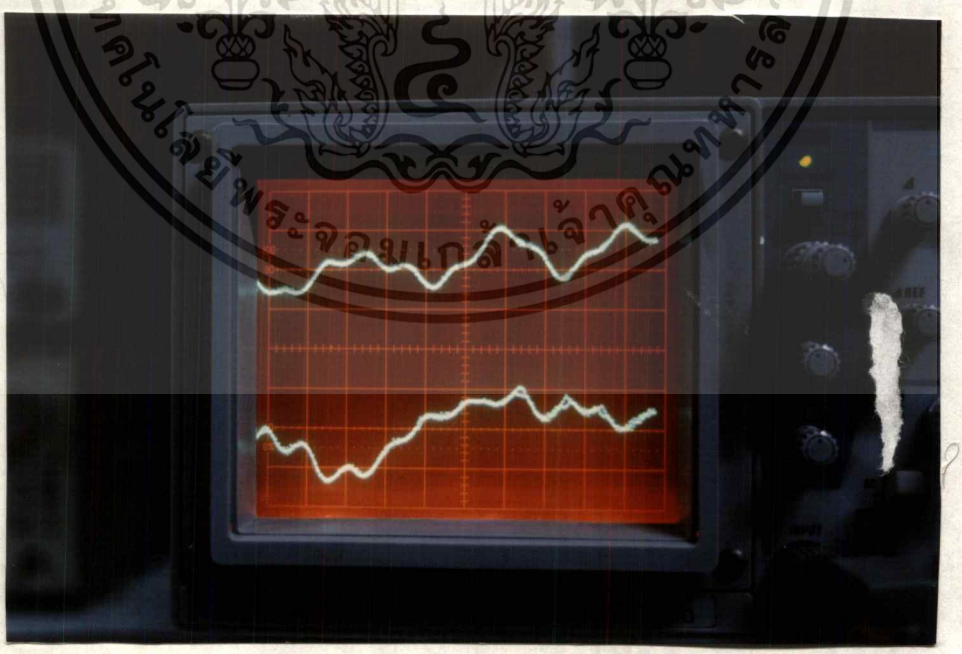
รูปที่ 5.9 สัญญาณ 16 QAM ที่รับได้

รูปที่ 5.10 สัญญาณนาฬิกาที่กู้ออกมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

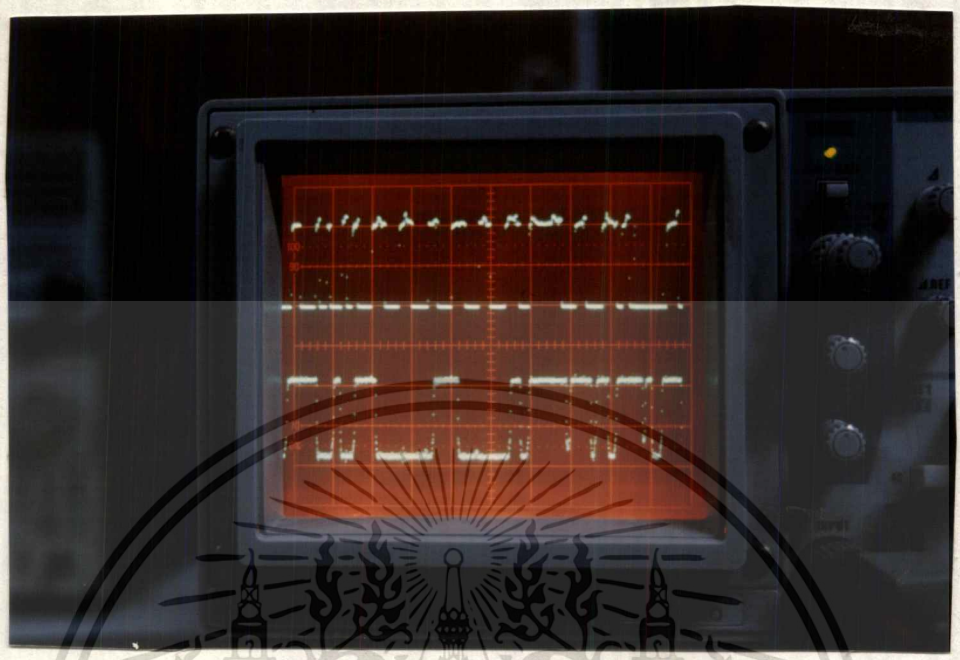


รูปที่ 5.11 สัญญาณพาหะที่กู้ลอกมาได้ทั้งด้าน I และ Q

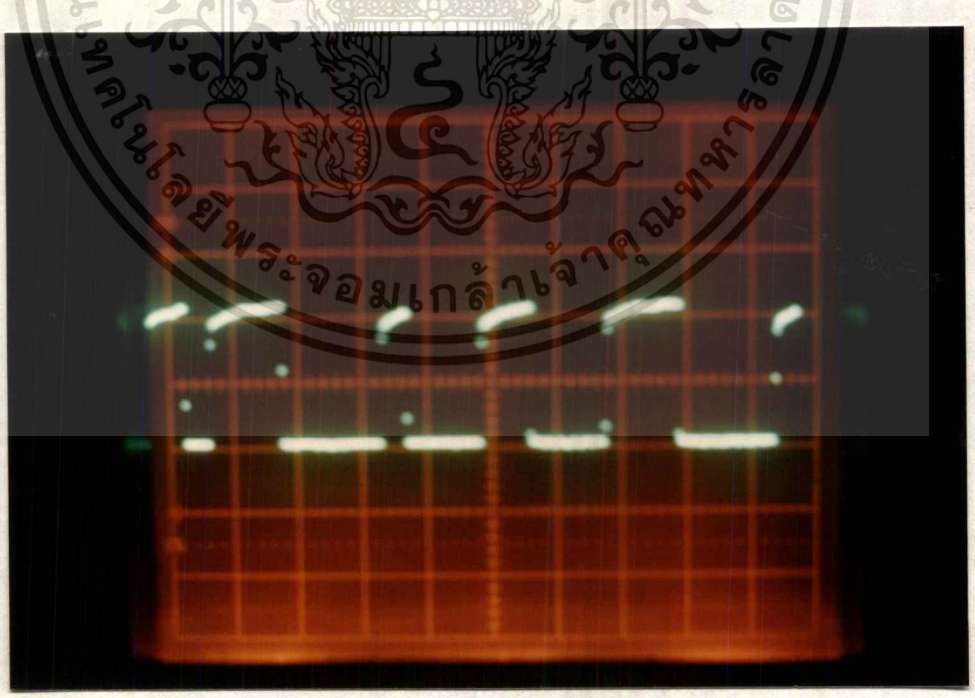


รูปที่ 5.12 สัญญาณที่ผ่านการดีมอดูเลทแล้วทั้งด้าน I และ Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

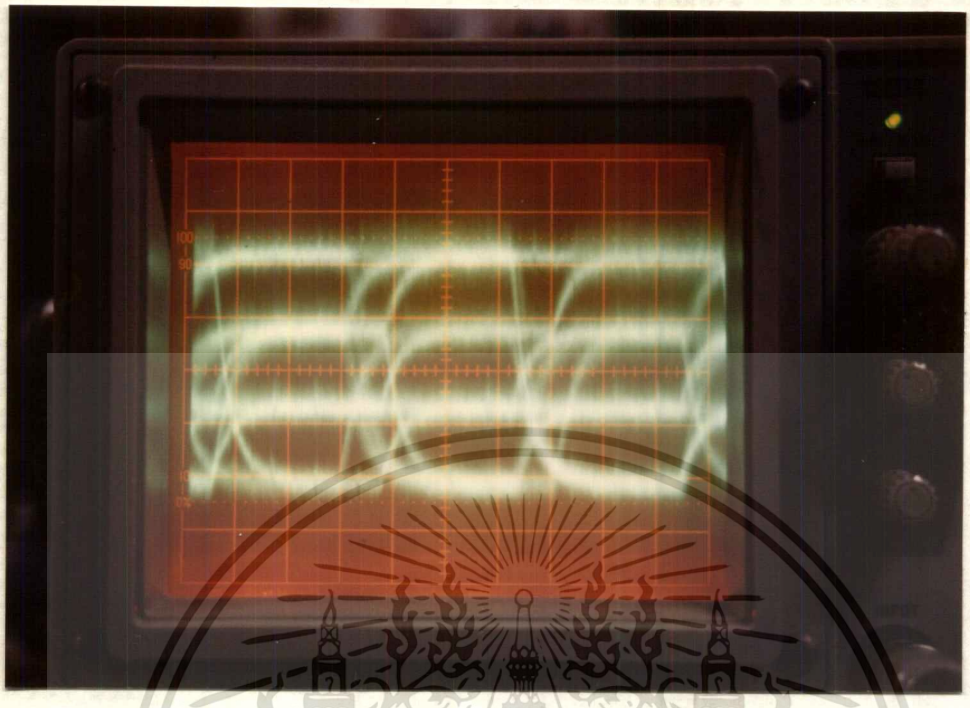


รูปที่ 5.13 สัญญาณดิจิตอลที่รับได้ทั้งด้าน I และ Q

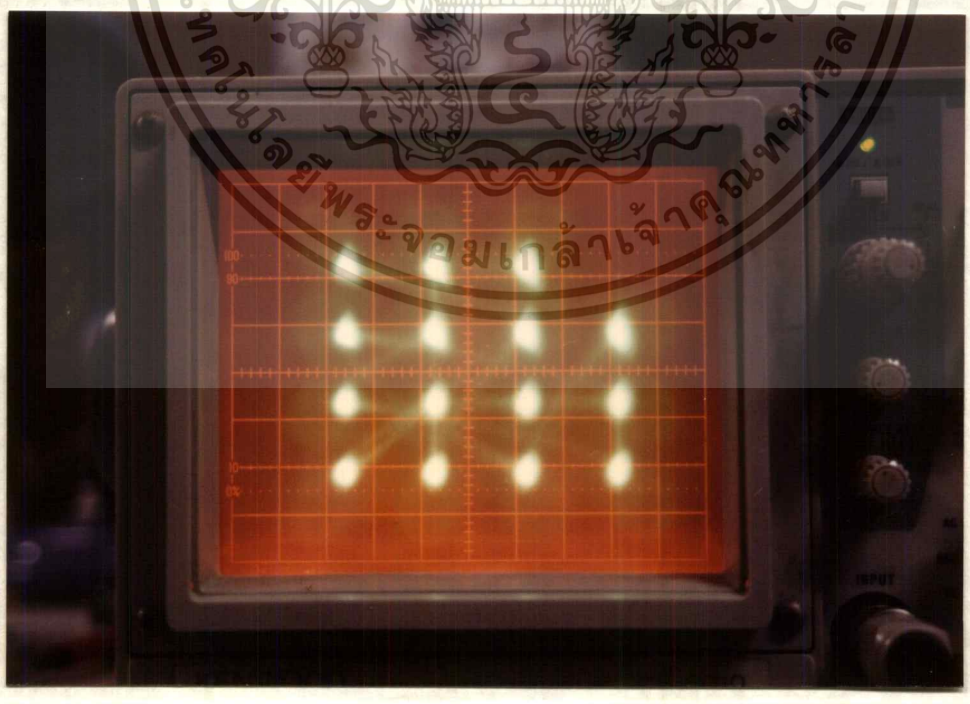


รูปที่ 5.14 สัญญาณดิจิตอลเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดงการวัด eye diagram ของสัญญาณเบสแบนด์ในเครื่องส่ง 16QAM



รูปแสดงการวัด constellation diagram ของสัญญาณ 16QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

บทสรุปและข้อเสนอแนะ

ในการทำโครงงาน เรื่อง "เทคนิคการส่งข้อมูลดิจิตอลความเร็วสูง"นี้ ส่วนใหญ่จะเป็นการศึกษาระบบการมอดูเลทสัญญาณดิจิตอล โดยจะมุ่งเน้นในส่วนของรูปแบบการมอดูเลท แบบ 16QAM รวมถึงหลักการ รายละเอียดและการออกแบบวงจร เพราะตำราทางด้านวิศวกรรมโทรคมนาคมส่วนใหญ่ จะมีเพียงหลักการและเทคนิคแบบกว้างๆเท่านั้น การอธิบายรายละเอียด ก็จะใช้ภาษาทางคณิตศาสตร์ ซึ่งต้องอาศัยความรู้ความสามารถที่สูงกว่านี้ อีกทั้งมีเพียงบล็อคไดอะแกรม ที่ใช้แสดงวงจร รายละเอียดปลีกย่อยก็ต้องไปทำการค้นคว้าเอาเอง โดยอาศัยพื้นฐานความรู้ที่เป็นประโยชน์ต่อเนื้อหาในเรื่องนี้เป็นสำคัญ

จากหลักการและบล็อคไดอะแกรมของ 16QAM ทั้งภาคส่งและภาครับ จะพบว่า บางวงจรที่ใช้ในภาคส่งสามารถนำไปใช้ที่ภาครับได้เลย วงจรบางวงจรก็มีอยู่แล้วในคู่มือใช้งานไอซี เช่น ไอซี 1596 และไอซี 4046 แต่เวลาใช้ในงานจริง ยังต้องมีการดัดแปลงวงจรโดยที่ไม่ทราบมาก่อน ทำให้เสียเวลาในการลองผิดลองถูก อีกส่วนหนึ่งก็ต้องออกแบบวงจรมาใช้เอง ดังเช่น ในส่วนที่เป็นสัญญาณดิจิตอลทั้งภาคส่งและภาครับ ทั้งนี้เพราะสามารถทำความเข้าใจได้อย่างละเอียดและแก้ปัญหาได้ทันท่วงที

บทสรุปในการทำโครงงานและข้อเสนอแนะที่เป็นประโยชน์ จะแบ่งเป็นข้อๆ ตามลักษณะความสำคัญและขั้นตอนการทำงาน ได้ดังต่อไปนี้

1. วงจรจ่ายไฟเลี้ยงวงจร

วงจรนี้อาจจะไม่ต้องคำนึงในบางเรื่อง แต่ในที่นี้เป็นโครงงานที่เกี่ยวกับความถี่ จะต้องมีประสิทธิภาพเพื่อช่วยให้วงจรทำงานตรงตามทฤษฎี ในโครงงานนี้ใช้ไฟ +15V , -15V , +12V , +5V จึงใช้หม้อแปลงขนาด 3 แอมแปร์ 2 ตัว เพื่อให้สามารถจ่ายกระแสไฟได้อย่างเพียงพอ เพราะจะใช้ทั้งภาคส่งและภาครับ และยังมี C ช่วยกรองระดับแรงดันร่วมกับไอซีเรกูเลเตอร์ รวมไปถึงวงจรที่สำคัญๆ ยังต้องใช้ C เพิ่มเติมที่ขาไฟเลี้ยงอีกด้วย

2. วงจรกำเนิดสัญญาณกึ่งแรนดัม

วงจรนี้จะใช้กำเนิดสัญญาณข้อมูล ในลักษณะสุ่มการเกิด (Pseudo Random Binary Sequence) เพื่อเป็นสัญญาณป้อนให้กับวงจร ที่บิทเรท 256 kbps ตามอัตราเร็วของสัญญาณนาฬิกาที่ไปควบคุมวงจร โดยจะใช้ D ฟลิปฟลอป 4 ตัว ซึ่งสามารถกำเนิดสัญญาณได้ทั้งหมด 16 (2^4) รูปแบบ ข้อควรคำนึงถึงก็คือ ระดับแรงดันของสัญญาณนาฬิกาที่ใช้ ต้องมีขนาดพอดีกับระดับอินพุทที่ D ฟลิปฟลอปต้องการด้วย อีกทั้งในสภาวะเริ่มแรกต้องกระตุ้นวงจรโดยการนำไฟ 5V ไปสะกิดที่เอาท์พุทเสียก่อน มิฉะนั้นมันจะไม่กำเนิดสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.วงจรแยกสัญญาณดิจิตอล

จากบล็อคไดอะแกรมทราบแต่เพียงว่า เป็นการแยกข้อมูล 4 บิท ออกเป็น 2 ส่วนๆละ 2 บิท เท่านั้นเอง หากใช้วงจรแปลงข้อมูลอนุกรมไปเป็นขนาน(Serial to Parallel)ธรรมดาๆ ก็สามารถแยกข้อมูลออกไปได้ แต่อัตราบิทเรทจะคงเดิม ดังนั้นจึงต้องเพิ่มวงจรหน่วงเวลา 4 บิท เพื่อบังคับให้ข้อมูลเข้ามาครบ 4 บิทเสียก่อน จึงค่อยส่งแยกออกไป ในการทดลอง ใช้ D ฟลิปฟลอป (IC 74F175) และ JK ฟลิปฟลอป (IC 74F112)ผลการทดลองก็เป็นที่น่าพอใจ

4.วงจรแปลง 2 บิท ไปเป็น 4 ระดับ

สัญญาณที่จะเข้าไปมอดูเลทต้องเป็นสัญญาณหลายระดับ โดยแต่ละระดับ จะหมายถึงบิทคู่ของข้อมูลที่เป็น Gray Code โดยจะใช้ NOT Gate และ AND Gate เป็นตัวกำหนดระดับ และใช้ Op-Amp เป็นตัวทำระดับ วงจรนี้ไม่สามารถใช้วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก(A/D Converter)ธรรมดาๆได้ เพราะสัญญาณที่จะแปลงจะต้องเป็นลักษณะ Gray Code เท่านั้น ในการปรับแต่งก็ปรับตรง VR จะทำให้ระยะห่างทั้ง 4 ระดับ อยู่ในช่วง +150 mV และ -150 mV พอดี ซึ่งก็ได้ผลเป็นที่น่าพอใจ

5.วงจรกรองความถี่ต่ำ

ในที่นี้ จะใช้ที่ f_H = 64 kHz ตามอัตราการเปลี่ยนแปลงของสัญญาณ 4 ระดับ อุปกรณ์ที่ใช้ก็ออกแบบตามสูตร แล้วเลือกค่าที่ใกล้เคียง หากแต่บางตัวต้องใช้ชนิดปรับค่าได้ เพื่อใช้ปรับให้การตอบสนองในเรื่องความถี่คัทออฟและค่าความชันในการลดทอนสัญญาณที่ความถี่สูงกว่า 64 kbps ผลการทดลองก็อยู่ในเกณฑ์ที่พอใช้ได้

6.วงจรกำเนิดสัญญาณพาหะ

จะใช้วงจรเฟสล็อคลูป เพื่อคูณสัญญาณนาฬิกาให้มีความถี่สูงขึ้นเท่ากับสัญญาณพาหะแล้วกรองเอาเฉพาะสัญญาณ sine wave ออกมา วงจรนี้ประสบปัญหาอย่างมาก ใช้เวลาในการทดลองวงจรอยู่นานพอสมควร เนื่องจากวงจรเฟสล็อคลูปไม่เป็นไปตามทฤษฎีเท่าใดนัก กล่าวคือ บางทีก็ไม่ยอมล็อคความถี่ในช่วงที่ต้องการ แต่สามารถคูณความถี่ขึ้นไปได้พอดี และบางครั้งก็สามารถล็อคความถี่ไว้ได้ แต่กลับไม่ยอมคูณความถี่ขึ้นไปให้ตรงตามที่ต้องการ จนในที่สุดก็พยายามปรับแต่งโดยการเลือกค่า C ค่าต่างๆ จนได้ผลใกล้เคียงกับค่าที่ออกแบบไว้ที่สามารถยอมรับได้

7.วงจรเลื่อนเฟสสัญญาณ 90 องศา

ใช้วงจร All-Pass Filter ชนิด Vo ล้าหลัง Vin โดยเปลี่ยนค่า C จาก 0.01 uF ไปเป็น 10 pF เพื่อให้วงจรตอบสนองสัญญาณที่ความถี่ประมาณ 1 MHz ได้ดีที่สุด ส่วนค่าอื่นก็ใช้ตามหนังสือ และปรับการเลื่อนเฟสที่ VR 20 k เอาท์พุทที่ได้บางทีก็อาจจะต้องไปผ่านวงจรกรองช่วงความถี่อีกครั้งหนึ่งเพื่อให้ได้มาซึ่งรูปสัญญาณที่สวยงาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.วงจรบาลานซ์มอดูเลเตอร์

วงจรที่ใช้ในโครงงานต้องมีการดัดแปลงจากคู่มือ ไอซี 1596 อีกเล็กน้อย พร้อมทั้งใช้วงจรขยายความแตกต่าง ขยายสัญญาณให้มีขนาดใหญ่ขึ้นอีก อีกอย่างวงจรนี้เป็นการใช้งานกับสัญญาณขนาดเล็ก(Small Signal) จึงมีสัญญาณรบกวนมากมาย และปัญหาที่พบก็คือ ต่อวงจรผิดเพราะในตอนต้น ไม่เคยทราบมาก่อนว่าจะต้องดัดแปลงวงจร และต้องเพิ่ม L เพื่อใช้ดักสัญญาณขนาดเล็กที่อาจจะวิ่งไปมาตามสายไฟเลี้ยงวงจรได้ และ C ที่ใช้ควรเป็นชนิดไม่มีขั้ว ยกเว้นในจุดที่ต่อโดยตรงกับไฟเลี้ยงหรือกราวนด์ในบางจุด สัญญาณเอาท์พุทที่ได้ไม่สวยงามตามทฤษฎี ทั้งนี้เป็นเพราะสัญญาณที่นำไปมอดูเลทเป็นสัญญาณ 4 ระดับ ไม่ใช่ 2 ระดับ เหมือนในตำราที่เขียนไว้

9.วงจรกำเนิดสัญญาณไพล็อท โทน

วงจรนี้จะเหมือนกับวงจรกำเนิดสัญญาณพาหะ เพียงแต่เปลี่ยนการคูณความถี่ให้ต่ำกว่าเล็กน้อย และปัญหาที่เจอก็จะเหมือนกัน ผลการทดลองที่ได้ก็ออกมาในทำนองเดียวกัน

10.วงจรรวมสัญญาณมอดูเลท

จะใช้วงจร Summing Amplifier แบบ 3 อินพุท และทำการปรับอัตราการขยาย โดย VR 100 k ที่ Rf ของวงจร ซึ่งก็ไม่มีปัญหาอะไร

11.วงจรกรองช่วงความถี่

วงจรนี้ก็จะออกแบบตามทฤษฎีของวงจรฟิลเตอร์ แต่หอใช้งานจริงๆควรใช้ VR เพื่อปรับการตอบสนอง โดยดูจาก Network Analyzer ซึ่งเป็นเครื่องมือที่ใช้วิเคราะห์และดูเส้นตอบสนองสัญญาณความถี่ของวงจรฟิลเตอร์ แต่ครั้นประกอบลงวงจรเข้าจริงๆกลับต้องปรับแต่งกันใหม่อีก

12.วงจรกู้สัญญาณนาฬิกา

จะอาศัยสัญญาณไพล็อท โทน ที่รับเข้ามา แล้วล็อคสัญญาณพร้อมกับแปลงเป็นสัญญาณดิจิตอลโดยวงจรเฟสล็อคลูป แล้วก็หารความถี่ลงมาให้เท่ากับสัญญาณนาฬิกา ปัญหาที่พบก็ทำนองเดียวกับวงจรที่ใช้เฟสล็อคลูป คือต้องพยายามเลือกค่า C ที่ให้ผลตอบสนองได้ใกล้เคียงที่สุด

13.วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรนี้ได้จากคู่มือไอซี 1596 พร้อมกับดัดแปลงเพิ่มเติมวงจรอีกนิดหน่อย ปัญหาที่พบคือสัญญาณที่ออกมา จะมีสัญญาณรบกวนอย่างมากมายจนแทบไม่แน่ใจว่าเป็นการทำงานตามปกติหรือไม่ ซึ่งก็คงเป็นขีดจำกัดในการทำโครงงานครั้งนี้ มาจากสาเหตุหลายประการ อาทิเช่น อุปกรณ์คุณภาพไม่ดีพอ ใช้อุปกรณ์ผิดประเภท การตอบสนองวงจรไม่เป็นไปตามอุดมคติ รวมไปถึงการออกแบบวงจรและการปรับแต่งไม่สมบูรณ์แบบเท่าใดนัก สิ่งเหล่านี้ผู้ทำโครงงานได้พยายามอย่างเต็มที่ ผลที่ได้ออกมาคงต้องยอมรับอยู่ในระดับหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

14. วงจรแปลงสัญญาณ 4 ระดับไปเป็น 2 บิท

ต้องทำการขยายสัญญาณให้มีขนาดใหญ่เสียก่อน จุดสำคัญอยู่ที่ C ที่ใช้งาน โดยต้องเลือกค่าที่ทำให้วงจรตอบสนองที่ความถี่ 64 kHz ในที่นี้ใช้ค่า 0.1 uF ในส่วนของการตรวจจับระดับนั้น เอาท์พุทของ Op-Amp ตัวกลางควรจะไปฝากต่อที่ขาอินพุทของ EX-OR Gate เพื่อไม่ให้สัญญาณมีโอกาสเกิดเป็นค่าเป็นลบ สัญญาณ 2 บิท นั้นควรเป็น Gray Code เพราะง่ายต่อการแปลงระดับ

15. วงจรรวมสัญญาณดิจิตอล

จะใช้เพียงหลักการของวงจรแปลงบิทขนานเป็นอนุกรมเท่านั้น และต้องเพิ่มวงจรหน่วงเวลา 4 บิท เหมือนกับวงจรแยกสัญญาณดิจิตอล ก่อมรวมสัญญาณ จะต้องแปลงจาก Gray Code ไปเป็น Binary เสียด้วย ปัญหาที่พบคือ สัญญาณนาฬิกาต้องแรงพอที่ทำให้ฟลิปฟลอปทำงานได้ และวงจรหารก็ต้องลดลง 4 เท่าเช่นดีจึงจะสามารถรวมสัญญาณดิจิตอลได้อย่างถูกต้อง

โดยสรุปแล้วปัญหาเกือบทั้งหมดเกิดจากความรู้เท่าไม่ถึงการณ์ และประสบการณ์ที่ยังมีไม่มาก วิธีการแก้ปัญหาก็อาศัยการลองผิดลองถูก พร้อมทั้งวิเคราะห์หาข้อสรุปว่าทำไมจึงเป็นเช่นนั้น โดยใช้เวลามากมายพอสมควร หากจะให้งานชิ้นนี้สมบูรณ์แบบยิ่งขึ้นคงต้องใช้เวลามากมายเลยทีเดียว ดังนั้นผู้ที่สนใจศึกษาเรื่องราวประเภทนี้ ต้องมีเวลาทุ่มเทให้กับมันอย่างเต็มที่ และหวังว่าปริญญานิพนธ์ฉบับนี้ จะเป็นประโยชน์และแนวทางแก่ผู้ที่กำลังศึกษาและผู้สนใจอยู่บ้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

บุญธรรม กิจปรีดาบริสุทธิ์ การเขียนรายงาน การวิจัยและวิทยานิพนธ์ พิมพ์ครั้งที่ 3 คณะสังคมศาสตร์และมนุษย์ศาสตร์ มหาวิทยาลัยมหิดล พ.ศ.2524,150 หน้า

นิกร สุขุตมตันติ การออกแบบวงจรอิเล็กทรอนิกส์ พิมพ์ครั้งที่ 1 ตำราชุดวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง พ.ศ.2533,74 หน้า

Wayne Tomasi,Advanced Electronic Communication Systems,second edition Prentic Hall,Engle Wood Cliffs,N.J.,1992

Ramakant A.Gayakwad,Op-Amps and Linear Integrated Circuits,second edition,Prentice-Hall International,1988

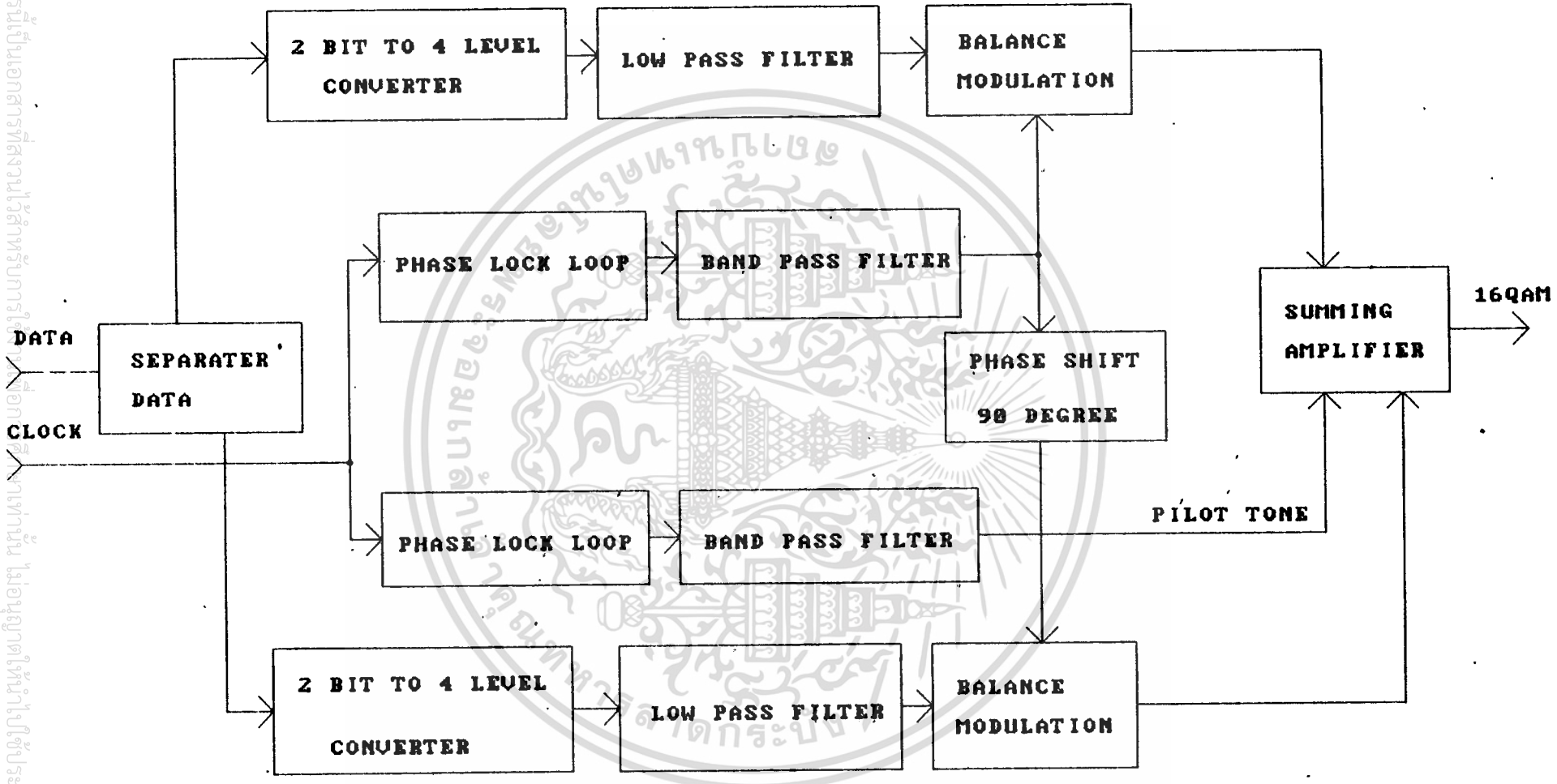
Miklos Herpy,Analog Integrated Circuits (Operational Amplifier and Analog Multilpiers),Research Institute for Telecommunication, Budapest,Hungary,A Wiley-Interscience Publication

กฤดากร กล่อมการ การออกแบบระบบส่งข้อมูลในช่องสัญญาณการกระจายเสียงแบบ FM วิทยานิพนธ์ บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง พ.ศ.2536,182 หน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

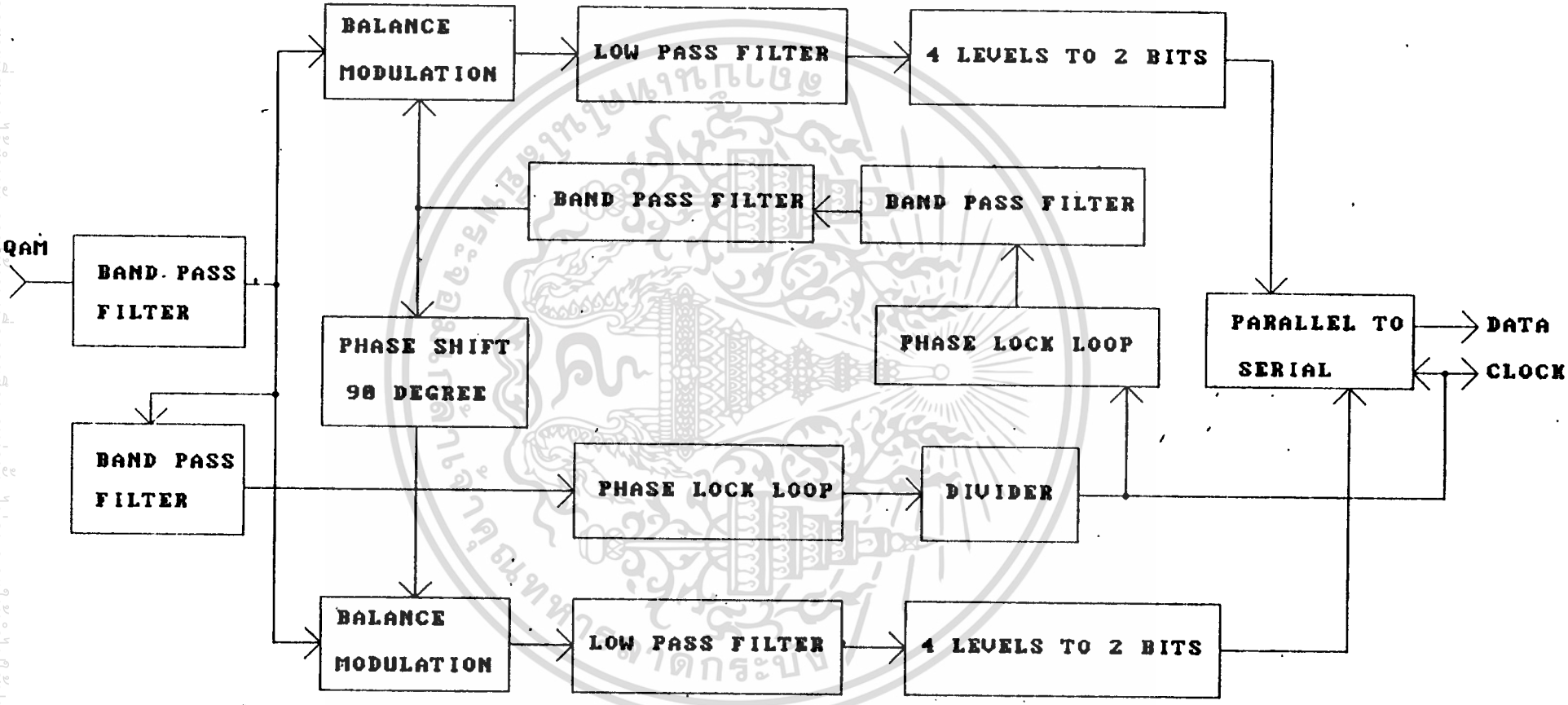
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



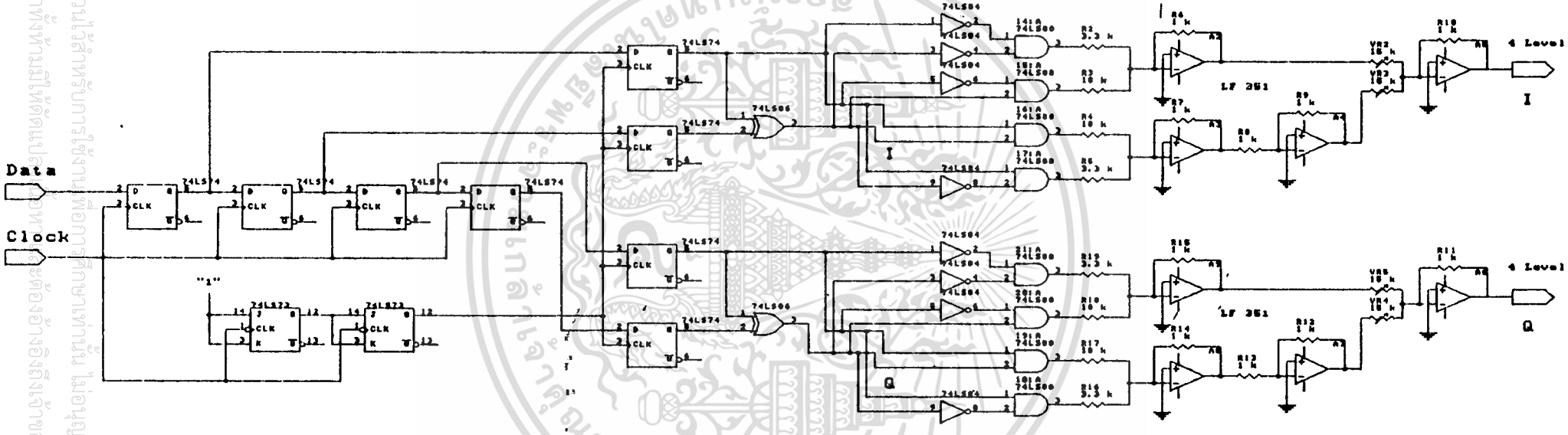
BLOCK DIAGRAM 16QAM TRANSMITTER

Title: 16QAM Technique		
Size: A4	Number	Revision
Date: 10-OCT 1995		Sheet of
File: BLOCK/2		Drawn By: PAYUNG SU

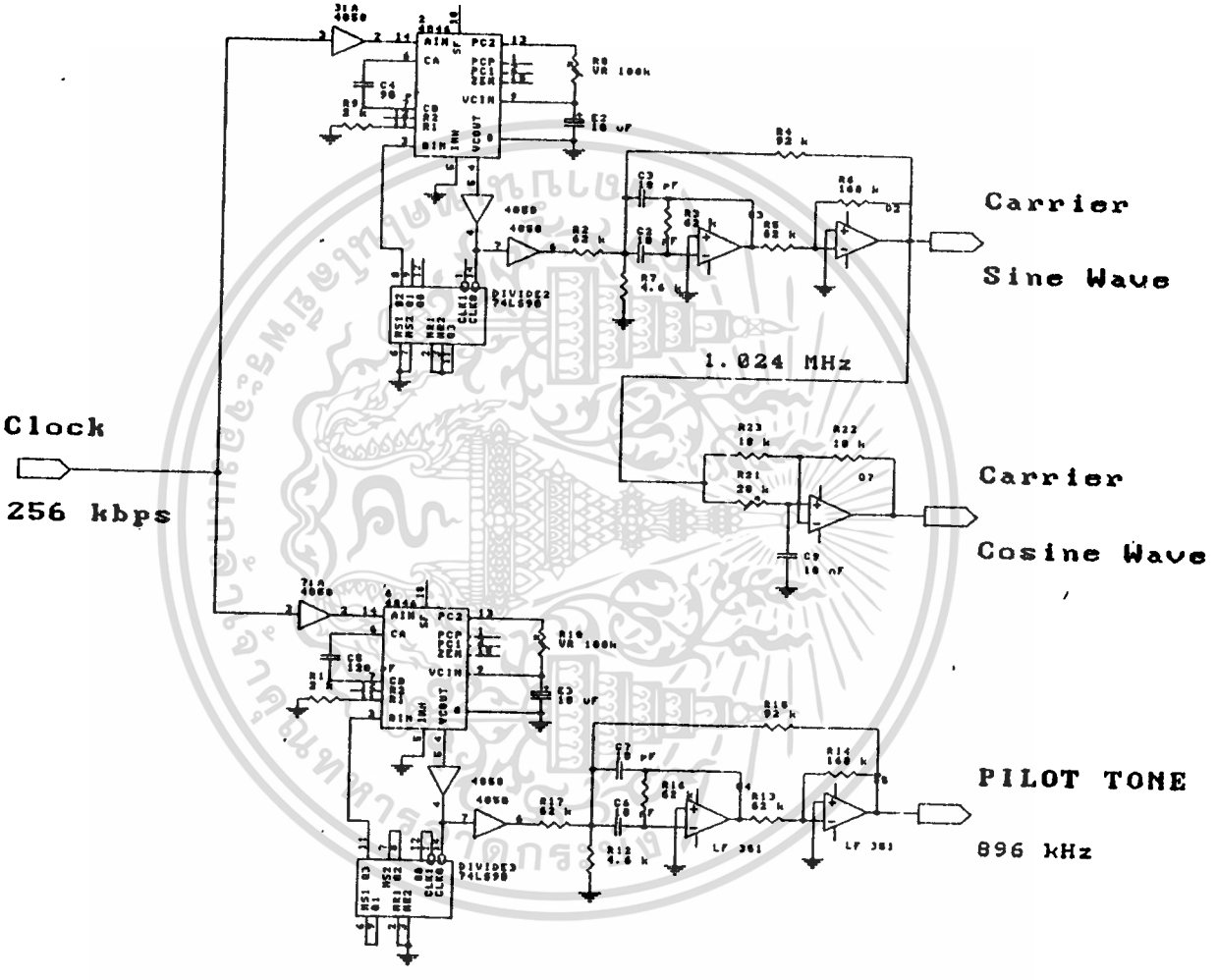


BLOCK DIAGRAM 16QAM RECIEVER

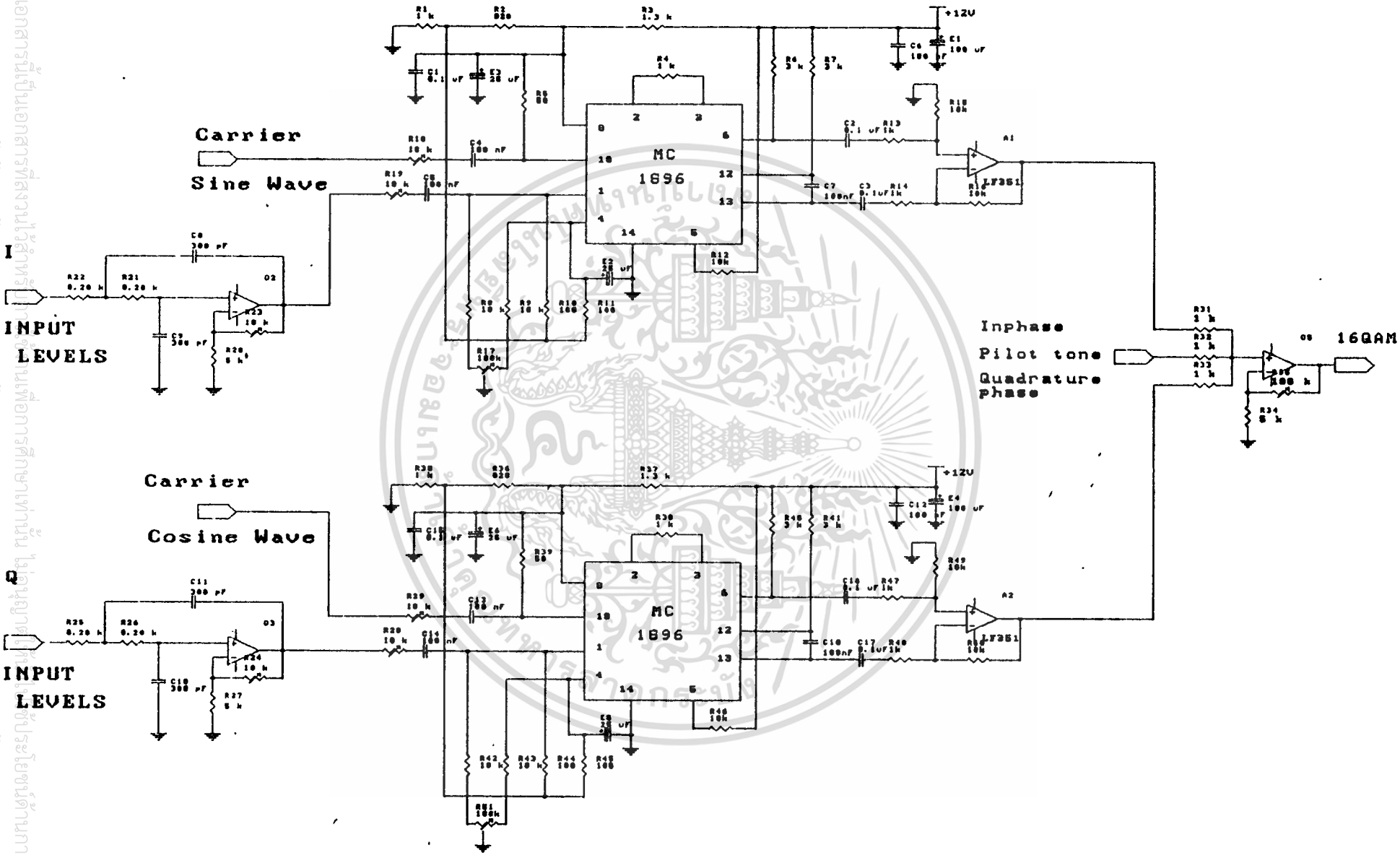
Title: 16QAM Reciever		
Size: A4	Number	Revision
Date: 10-OCT 1995		Sheet of
File: BLOCK/3		Drawn By:



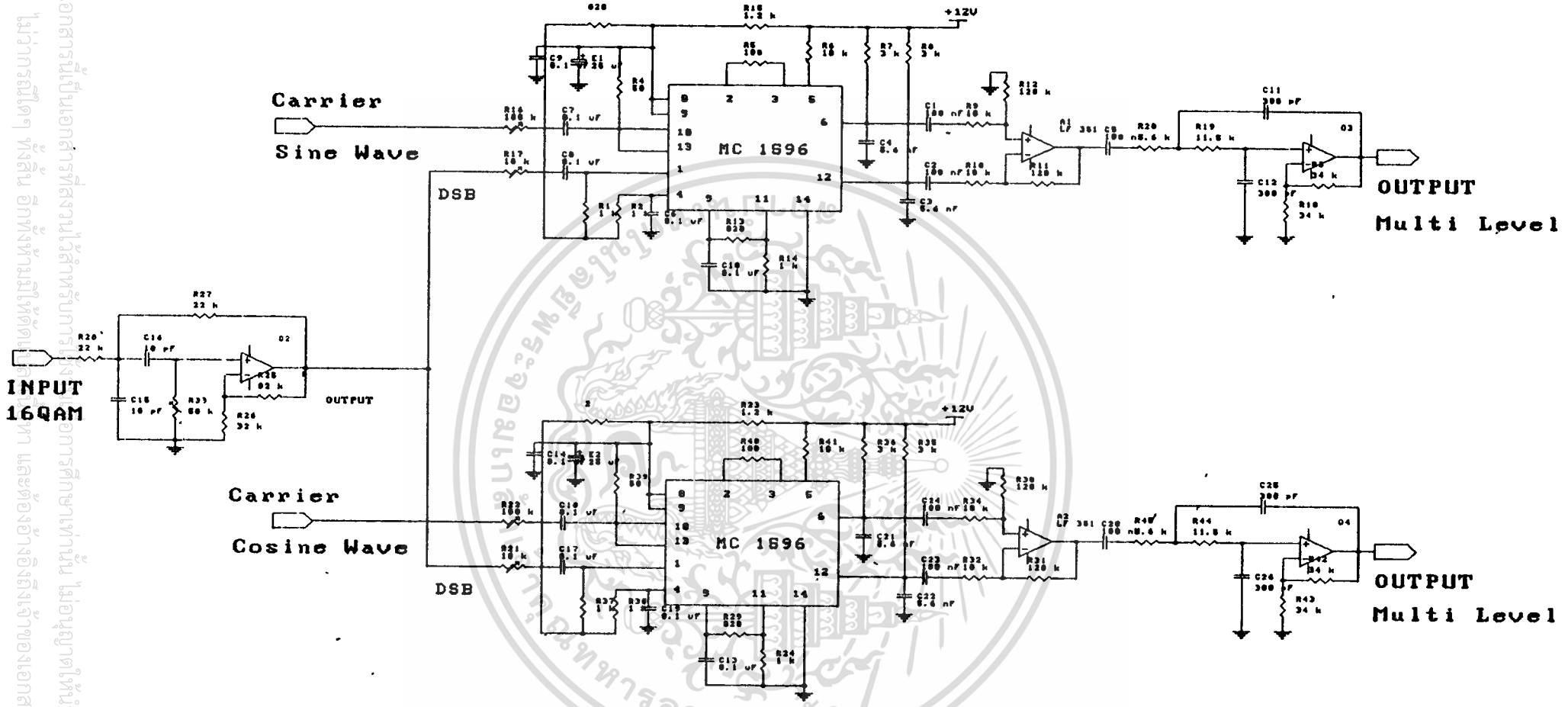
วงจรภาคส่งส่วนที่ 1



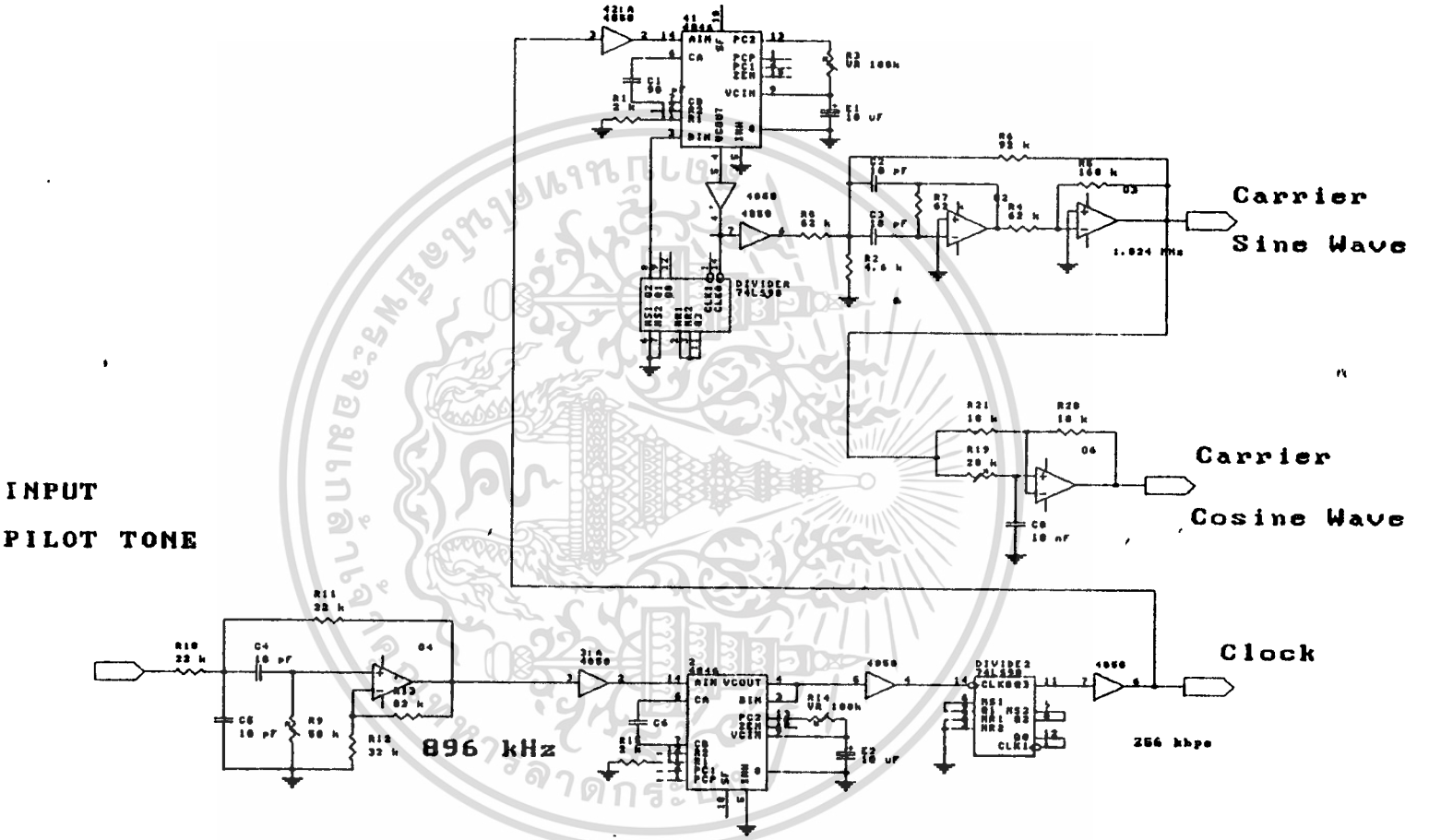
วงจรภาคส่งส่วนที่ 2



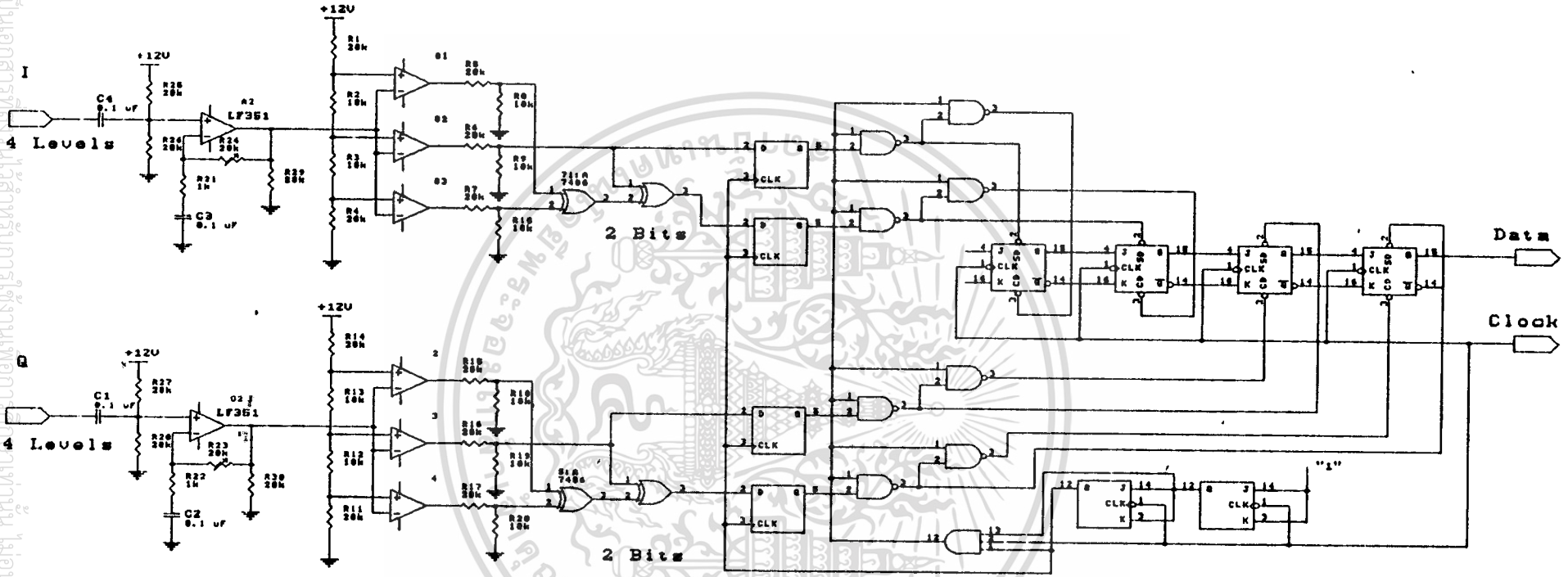
วงจรภาคส่งส่วนที่ 3



วงจรภาครับส่วนที่ 1



วงจรภาครับส่วนที่ 2

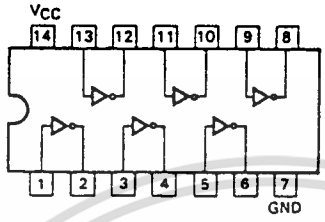


วงจรภาครับส่วนที่ 3

MOTOROLA

MC54F/74F04

HEX INVERTER



HEX INVERTER

FAST™ SCHOTTKY TTL

J Suffix — Case 632-08 (Ceramic)
N Suffix — Case 646-06 (Plastic)
D Suffix — Case 751A-02 (SOIC)

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V_{CC}	Supply Voltage	54, 74	4.5	5.0	5.5	V
T_A	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			-1.0	mA
I_{OL}	Output Current — Low	54, 74			20	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER		LIMITS MIN	LIMITS TYP	LIMITS MAX	UNITS	TEST CONDITIONS	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage	
V_{IL}	Input LOW Voltage				0.8	V	Guaranteed Input LOW Voltage	
V_{IK}	Input Clamp Diode Voltage				-1.2	V	V_{CC} = MIN, I_{IN} = -18 mA	
V_{OH}	Output HIGH Voltage	54, 74	2.5			V	I_{OH} = -1.0 mA	V_{CC} = 4.50 V
		74	2.7			V	I_{OH} = -1.0 mA	V_{CC} = 4.75 V
V_{OL}	Output LOW Voltage				0.5	V	I_{OL} = 20 mA	V_{CC} = MIN
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				-0.6	mA	V_{CC} = MAX, V_{IN} = 0.5 V	
I_{OS}	Output Short Circuit Current (Note 2)		-60		-150	mA	V_{CC} = MAX, V_{OUT} = 0 V	
I_{CC}	Power Supply Current Total, Output HIGH				4.2	mA	V_{CC} = MAX, V_{IN} = GND	
	Total, Output LOW				15.3	mA	V_{CC} = MAX, V_{IN} = Open	

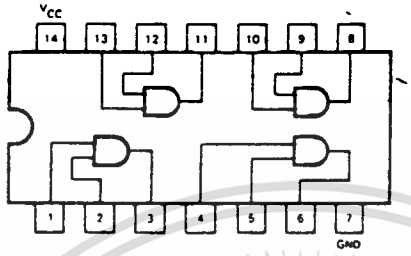
NOTES:
1. For conditions shown as MIN or MAX, use the appropiate value specified under recommended operating conditions for the applicable device type.
2. Not more than one output should be shorted at a time, nor for more than 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC54F/74F08

QUAD 2-INPUT AND GATE



J Suffix — Case 632-08 (Ceramic)
N Suffix — Case 646-06 (Plastic)
D Suffix — Case 751A-02 (SOIC)

QUAD 2-INPUT AND GATE
FAST™ SCHOTTKY TTL

4

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V_{CC}	Supply Voltage	54, 74	4.5	5.0	5.5	V
T_A	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			-1.0	mA
I_{OL}	Output Current — Low	54, 74			20	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER		LIMITS MIN	LIMITS TYP	LIMITS MAX	UNITS	TEST CONDITIONS	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage	
V_{IL}	Input LOW Voltage				0.8	V	Guaranteed Input LOW Voltage	
V_{IK}	Input Clamp Diode Voltage				-1.2	V	V_{CC} = MIN, I_{IN} = -18 mA	
V_{OH}	Output HIGH Voltage	54, 74	2.5			V	I_{OH} = -1.0 mA	V_{CC} = 4.50 V
		74	2.7			V	I_{OH} = -1.0 mA	V_{CC} = 4.75 V
V_{OL}	Output LOW Voltage				0.5	V	I_{OL} = 20 mA	V_{CC} = MIN
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				-0.6	mA	V_{CC} = MAX, V_{IN} = 0.5 V	
I_{OS}	Output Short Circuit Current (Note 2)		-60		-150	mA	V_{CC} = MAX, V_{OUT} = 0 V	
I_{CC}	Power Supply Current Total, Output HIGH				8.3	mA	V_{CC} = MAX, V_{IN} = Open	
	Total, Output LOW				12.9	mA	V_{CC} = MAX, V_{IN} = GND	

NOTES:
1. For conditions shown as MIN or MAX, use the appropiate value specified under recommended operating conditions for the applicable device type.
2. Not more than one output should be shorted at a time, nor for more than 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

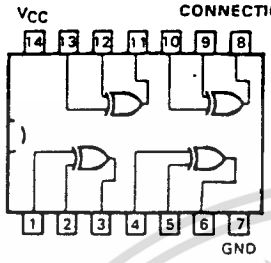
MC54F/74F86

QUAD 2-INPUT EXCLUSIVE-OR GATE

QUAD 2-INPUT EXCLUSIVE-OR GATE

FAST™ SCHOTTKY TTL

CONNECTION DIAGRAM



J Suffix — Case 632-08 (Ceramic)
N Suffix — Case 646-06 (Plastic)
D Suffix — Case 751A-02 (SOIC)

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V_{CC}	Supply Voltage	54, 74	4.50	5.0	5.50	V
T_A	Operating Ambient Temperature Range	54	-55	25	125	°C
		74	0	25	70	
I_{OH}	Output Current — High	54, 74			-1.0	mA
I_{OL}	Output Current — Low	54, 74			20	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER		LIMITS MIN	LIMITS TYP	LIMITS MAX	UNITS	TEST CONDITIONS	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage	
V_{IL}	Input LOW Voltage				0.8	V	Guaranteed Input LOW Voltage	
V_{IK}	Input Clamp Diode Voltage				-1.2	V	I_{IN} = -18 mA	V_{CC} = MIN
V_{OH}	Output HIGH Voltage	54, 74	2.5	3.4		V	I_{OH} = -1.0 mA	V_{CC} = 4.5 V
		74	2.7	3.4		V	I_{OH} = -1.0 mA	V_{CC} = 4.75 V
V_{OL}	Output LOW Voltage			0.35	0.5	V	I_{OL} = 20 mA	V_{CC} = MIN
I_{IH}	Input HIGH Current				20	μA	V_{IN} = 2.7 V	V_{CC} = MAX
					100	μA	V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				-0.6	mA	V_{IN} = 0.5 V	V_{CC} = MAX
I_{OS}	Output Short Circuit Current (Note 2)		-60		-150	mA	V_{OUT} = 0 V	V_{CC} = MAX
I_{CC}	Power Supply Current			15	23	mA	1-Input HIGH, 1-Input LOW	V_{CC} = MAX
				18	28		Inputs LOW	

NOTES:
1. For conditions such as MIN or MAX, use the appropriate value specified under guaranteed operating ranges.
2. Not more than one output should be shorted at a time, nor for more than 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC54F/74F175

QUAD D FLIP-FLOP

QUAD D FLIP-FLOP

FAST™ SCHOTTKY TTL

DESCRIPTION — The MC54F/74F175 is a high-speed quad D flip-flop. The device is useful for general flip-flop requirements where clock and clear inputs are common. The information on the D inputs is stored during the LOW-to-HIGH clock transition. Both true and complemented outputs of each flip-flop are provided. A Master Reset input resets all flip-flops, independent of the Clock or D inputs when LOW.

- EDGE-TRIGGERED D-TYPE INPUTS
- BUFFERED POSITIVE EDGE-TRIGGERED CLOCK
- ASYNCHRONOUS COMMON RESET
- TRUE AND COMPLEMENT OUTPUT

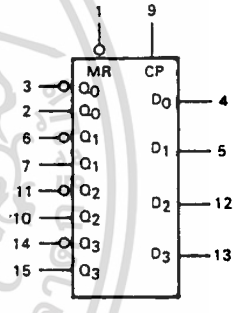
FUNCTIONAL DESCRIPTION — The F175 consists of four edge-triggered D flip-flops with individual D inputs and Q and $\overline{Q}$ outputs. The Clock and Master Reset are common. The four flip-flops will store the state of their individual D inputs on the LOW-to-HIGH clock (CP) transition, causing individual Q and $\overline{Q}$ outputs to follow. A LOW input on the Master Reset ($\overline{MR}$) will force all Q outputs LOW and $\overline{Q}$ outputs HIGH independent of Clock or Data inputs. The F175 is useful for general logic applications where a common Master Reset and Clock are acceptable.

TRUTH TABLE

INPUTS		OUTPUTS	
@ t_n, $\overline{MR}$ = H		@ t_{n+1}	
D_n		Q_n	$\overline{Q}_n$
L		L	H
H		H	L

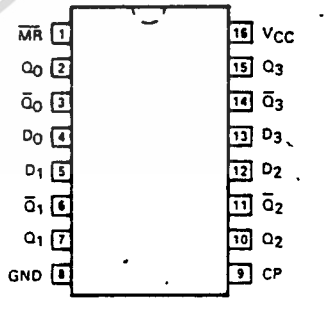
t_n = Bit time before clock positive-going transition
t_{n+1} = Bit time after clock positive-going transition
H = HIGH Voltage Level
L = LOW Voltage Level

LOGIC SYMBOL



V_{CC} = Pin 16
GND = Pin 8

CONNECTION DIAGRAM

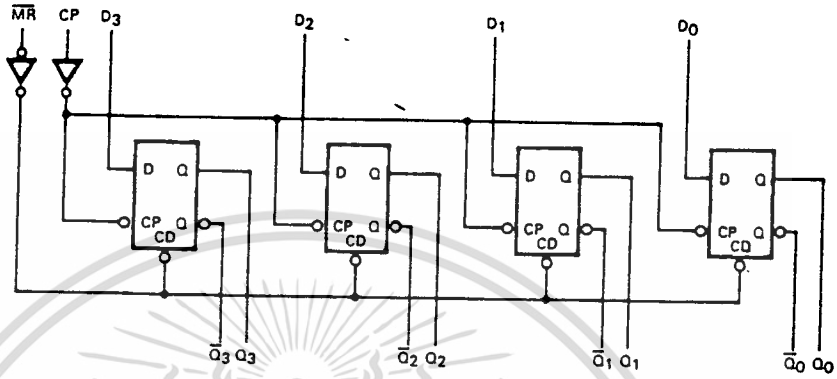


J Suffix — Case 620-09 (Ceramic)
N Suffix — Case 648-08 (Plastic)
D Suffix — Case 751B-03 (SOIC)

4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



Please note that this diagram is provided only for the understanding of logic operations and should not be used to estimate propagation delays.

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V_{CC}	Supply Voltage	54, 74	4.50	5.0	5.50	V
T_A	Operating Ambient Temperature Range	54	-55	25	125	°C
		74	0	25	70	
I_{OH}	Output Current — High	54, 74			-1.0	mA
I_{OL}	Output Current — Low	54, 74			20	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER		LIMITS MIN	LIMITS TYP	LIMITS MAX	UNITS	TEST CONDITIONS	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage	
V_{IL}	Input LOW Voltage				0.8	V	Guaranteed Input LOW Voltage	
V_{IK}	Input Clamp Diode Voltage				-1.2	V	I_{IN} = -18 mA	V_{CC} = MIN
V_{OH}	Output HIGH Voltage	54, 74	2.5	3.4		V	I_{OH} = -1.0 mA	V_{CC} = 4.50 V
		74	2.7	3.4		V	I_{OH} = -1.0 mA	V_{CC} = 4.75 V
V_{OL}	Output LOW Voltage			0.35	0.5	V	I_{OL} = 20 mA	V_{CC} = MIN
I_{IH}	Input HIGH Current				20	μA	V_{IN} = 2.7 V	V_{CC} = MAX
					100	μA	V_{IN} = 7.0 V	V_{CC} = MAX
I_{IL}	Input LOW Current				-0.6	mA	V_{IN} = 0.5 V	V_{CC} = MAX
I_{OS}	Output Short Circuit Current (Note 2)		-60		-150	mA	V_{OUT} = 0 V	V_{CC} = MAX
I_{CC}	Power Supply Current			22.5	34	mA	D_n = $\overline{MR}$ = 4.5 V, CP = ⎍	V_{CC} = Max

NOTES:
1. For conditions such as MIN or MAX, use the appropriate value specified under guaranteed operating ranges.
2. Not more than one output should be shorted at a time, nor for more than 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54S90 / 7490 Decade Counter

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package C F P I M J CF	Device Type	Package C F P I M J CF	Device Type	Package C F P I M J CF	Device Type	Package C F P I M J CF	Device Type	Package C F P I M J CF
T.I.					SN54LS90	J N W	SN5490A	J N W	SN54L90A	J N W
					SN74LS90	J N W	SN7490A	J N W	SN74L90A	J N W
FAIRCHILD					9N54LS90 / 74LS90	D J F	FM5490 FM3390	D J F		
					9DM54LS90 / 74LS90	D J P F	FC7490 FC3390	D J P F		
MOTOROLA							MC5490	L F		
					SN74LS90	P F	MC7490	L P F		
N. S. C.					DM54LS90	J W	DM5490	J W	DM54L90	J W F
					DM74LS90	J N F	DM7490	J N	DM74L90	J N F
PHILIPS					N74LS90		FJ...41 7490			
SIGNETICS							S5490	F J A W		
					N74LS90	A F	N7490	F J A W		
SIEMENS							FLJ161	J		
FUJITSU										
HITACHI					HD74LS90	P FP	HD7490A HD2519	P FP		
MITSUBISHI					M74LS90	P FP	M53290	P FP		
NEC							μPB219	D CP		
TOSHIBA							TD3490A	P FP		

Electrical Characteristics SN54LS'SN74LS90A

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C	to 125°C
Input voltage	7V		SN74LS	0°C	to 70°C
Interemitter voltage (see Note 1)	5.5V	Storage temperature range		−65°C	to 150°C

recommended operating conditions

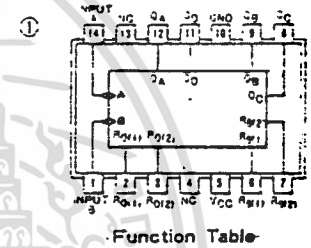
		SN54LS90A			SN74LS90A			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		32	0		32	MHz
	B input	0		16	0		16	
Pulse width, t_w	A input	15		15	15			ns
	B input	30			30			
	Reset inputs	15			15			
Reset inactive-state setup time, t_{setup}		25			25			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER *		TEST CONDITIONS †		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN,	I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IL}=0.8V,	V_{IH}=2V, I_{OH}=−400μA	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V,	I_{OL}=4mA		0.35	0.5	V
I_I	Input current at maximum input voltage: Any reset	V_{CC}=MAX,	V_I=7V			0.1	mA
	A input	V_{CC}=MAX,	V_I=5.5V			0.2	
	B input					0.4	
I_{IH}	High-level input current: Any reset	V_{CC}=MAX,	V_I=2.7V			20	μA
	A input					40	
	B input					80	
I_{IL}	Low-level input current: Any reset	V_{CC}=MAX,	V_I=0.4V			−0.4	mA
	A input					−2.4	
	B input					−3.2	
I_{OS}	Short-circuit output current *	V_{CC}=MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC}=MAX,	See Note 2		9	15	mA

f_{max}	from A to output Q_A	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	32	42	MHz
	from B to output Q_B		16		
t_{PLH}	from A to output Q_A		10	15	ns
t_{PHL}			12	18	
t_{PLH}	from A to output Q_D		32	48	ns
t_{PHL}			34	50	
t_{PLH}	from B to output Q_B		10	15	ns
t_{PHL}			14	21	
t_{PLH}	from B to output Q_C		21	32	ns
t_{PHL}			23	35	
t_{PLH}	from B to output Q_D		21	32	ns
t_{PHL}			23	35	
t_{PLH}	from Set-to-9 to any output		25	40	ns
t_{PHL}			30	50	
t_{PLH}	from Set-to-9 to output Q_A, Q_D		25	40	ns
t_{PHL}			30	50	

Pin Assignment (Top View)



NC—No internal connection

Function Table

BCD COUNT SEQUENCE
'90A, 'LS90, 'L90 (See Note 3)

COUNT	OUTPUT Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

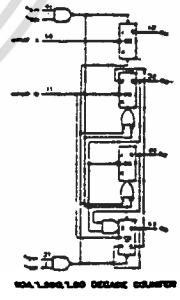
BI-QUINARY (5-2)
'90A, 'LS90, 'L90 (See Note 3)

COUNT	OUTPUT Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

RESET/COUNT
'90A, 'LS90, 'L90 (See Note 3)

RESET INPUTS $R_{9(1)}$	$R_{9(2)}$	$R_{0(1)}$	$R_{0(2)}$	OUTPUT Q_D	Q_C	Q_B	Q_A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			
X	L	X	L	COUNT			

Functional Block Diagram



'90A, 'LS90, 'L90 DECADE COUNTER

NOTES:
1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies between the two R_0 inputs, and it also applies between the two R_9 inputs.
2. I_{CC} is measured with all outputs open, both R_0 inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.
3. Output Q_A is connected to input B for BCD count.
   Output Q_D is connected to input A for bi-quinary count.
   H = high level, L = low level, X = irrelevant.
4. The J and K inputs shown without connection are for reference only and are functionally at a high level.

*For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡All typical values are at V_{CC}=5V, T_A=25°C.
• Not more than one output should be shorted at a time.
§ Q_A outputs are tested at I_{OL} = 16mA plus the limit value for I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.
• f_{max} = maximum count frequency.
t_{PLH} = propagation delay time, low-to-high-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

·92/7492 Divide-by-Twelve Counter (Divide-by-Two and Divide-by-Six)

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
											SN54LS92	J	D		W	SN5492A	J	D		W					
											SN74LS92	J	D	N	D	SN7492A	J	D	N	D					
HLD											[illegible]	J	D		R	FM5492/FM5392	D	D		·D					
											[illegible]	J	D	P	D	FC7492/FC5392	D	D	P	D					
ROLA																MC5492	L	D		F					
											SN74LS92		P	D		MC7492	L	D	P	D					
											DM54LS92		D			DM5492	J	D	N	D					
											DM74LS92		D			DM7492	J	D	N	D					
S																									
											N74LS92		D			F...251/7492		D							
TICS																55492	F	D	A	D	W				
											N74LS92	A	D			N7492	F	D	A	D					
ENS																									
																FL3171		D							
SU																									
H																									
											HD74LS92		P	D		HD7492A/HD2521		D	P	D					
BISH																									
											M74LS92		P	D		M53292		P	D						
																μPB222		D	C	D					
BA																									
																TD2492A		P	D						

Electrical Characteristics SN54LS/SN74LS92

olute maximum ratings over operating free-air temperature range

.oltage, V_{CC}	7V	Operating free-air temperature range: SN54LS	−55°C to 125°C
tage	7V	SN74LS	0°C to 70°C
·or voltage (See Note 1)	5.5V	Storage temperature range	−65°C to 150°C

recommended operating conditions

		SN54LS92A MIN	NOM	MAX	SN74LS92A MIN	NOM	MAX	UNIT
.oltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
·h output current, I_{OH}				−400			−400	μA
·h output current, I_{OL}				4			8	mA
·equency, f_{count}	A input	0		32	0		32	MHz
	B input	0		16	0		16	
idth, t_w	A input	15			15			ns
	B input	30			30			
	Reset inputs	15			15			
ctive-state setup, t_{setup}		25			25			ns
·free-air temperature, T_A		−55		125	0		70	°C

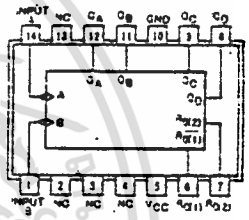
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
·high-level input voltage				2			V
·low-level input voltage						0.8	V
·put clamp voltage		V_{CC} = MIN, I_I = −18mA				−1.5	V
·high-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
·low-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 4mA			0.35	0.5	V
·put current at maximum input voltage	Any reset	V_{CC} = MAX, V_I = 7V				0.1	mA
	A input	V_{CC} = MAX, V_I = 5.5V				0.2	
	B input					0.4	
high-level input current	Any reset	V_{CC} = MAX, V_I = 2.7V				20	μA
	A input					40	
	B input					80	
low-level input current	Any reset	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
	A input					−2.4	
	B input					−3.2	
Short-circuit output current*		V_{CC} = MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
Supply current		V_{CC} = MAX, See Note 2			9	15	mA
·om A to output Q_A				32	42		MHz
·om B to output Q_B				16			
·m A to output Q_A		V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ			0	14	ns
					2	18	
·om A to output Q_D					32	48	ns
					34	50	
·om B to output Q_B					10	16	ns
					4	21	
·m B to output Q_C					9	16	ns
					4	21	
·m B to output Q_D					31	32	ns
					23	35	
·m Set-to-0 to Any output					25	40	ns

·tions shown as MIN or MAX use the appropriate value specified under recommended operating conditions for the applicable ·ree
·ll values are at V_{CC} = 5V, T_A = 25°C
* ·nly one output should be shorted at a ·me
‡ All typical values are at V_{CC} = 5V, T_A = 25°C
§ ·ICC is measured with all outputs open, both R_0 inputs grounded following momentary connection to 4.5V, and all other inputs grounded.
¶ Output Q_A is connected to input B.

Pin Assignment (Top View)

①



positive logic: see function tables
NC—No internal connection

Function Table

COUNT SEQUENCE

·92A, ·LS92 (See Notes 3,4)

COUNT	OUTPUT Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
11	H	H	L	H

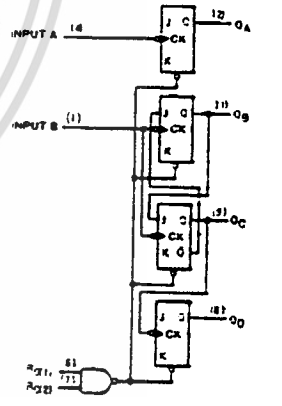
RESET/COUNT

·92A, ·LS92 (See Notes 3)

RESET INPUTS $R_{0(1)}$	$R_{0(2)}$	OUTPUT Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

Functional Block Diagram

(See Note 5)



·92 ·LS92 DIVIDE-BY-TWO AND DIVIDE-BY-SIX

NOTES
1. This is the voltage between two emitters of multiple-emitter transistor. For this circuit, this rating occurs between the two R_0 inputs.
2. I_{CC} is measured with all outputs open, both R_0 inputs grounded following momentary connection to 4.5V, and all other inputs grounded.
3. Output Q_A is connected to input B.
4. H = high level, L = low level, X = irrelevant
5. The J and K inputs shown without connection are for reference only and are functionally at a high level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4046B
SCL4446B

CMOS PHASE-LOCKED LOOPS

FEATURES

- Very low power consumption — 70 μW (typ) @ f_o = 10kHz, 5Vdc
- Operating frequency range (no offset) —
  Up to 3MHz (typ) @ 10Vdc (SCL4046B)
  Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- Low frequency drift — 0.04%/°C (typ) @ 10Vdc
- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- High VCO linearity 1% (typ)
- Source-follower output of VCO control input (Demodulator Output)
- Zener Diode to assist Supply Regulation
- Balanced Output Drive Current Specifications

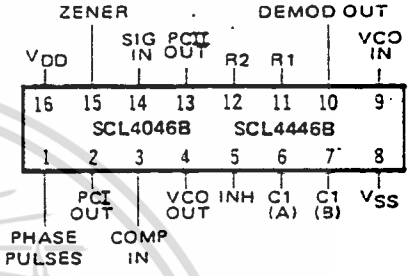
APPLICATIONS

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK-Modems
- Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{out}, and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals $PCII_{out}$ and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM

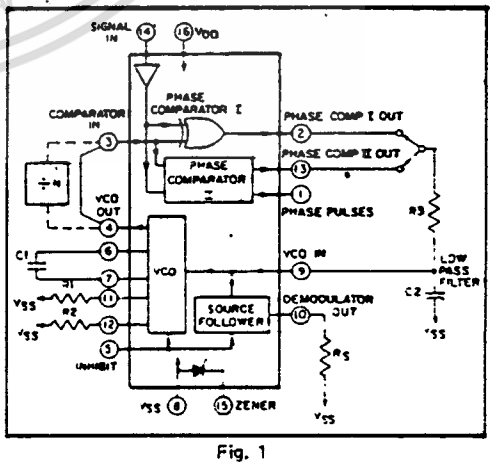


Fig. 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATOR OUTPUT). If this terminal is used, a load resistor (R_S) of 50kΩ or more should be connected from this terminal to V_{SS}. If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leq$ 30% (V_{DD}-V_{SS}), logic "1" $\geq$ 70% (V_{DD}-V_{SS})]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_o).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_c$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase-comparator I in locked condition is shown in Figure 3.

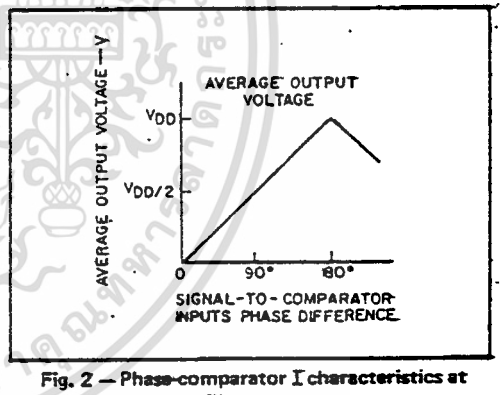


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

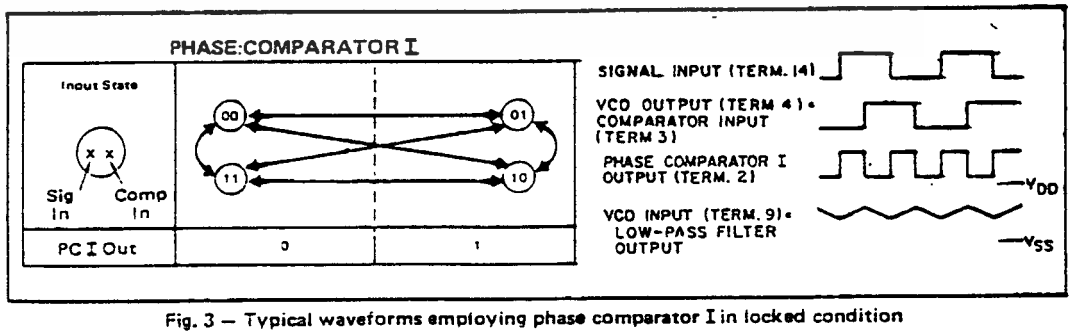


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

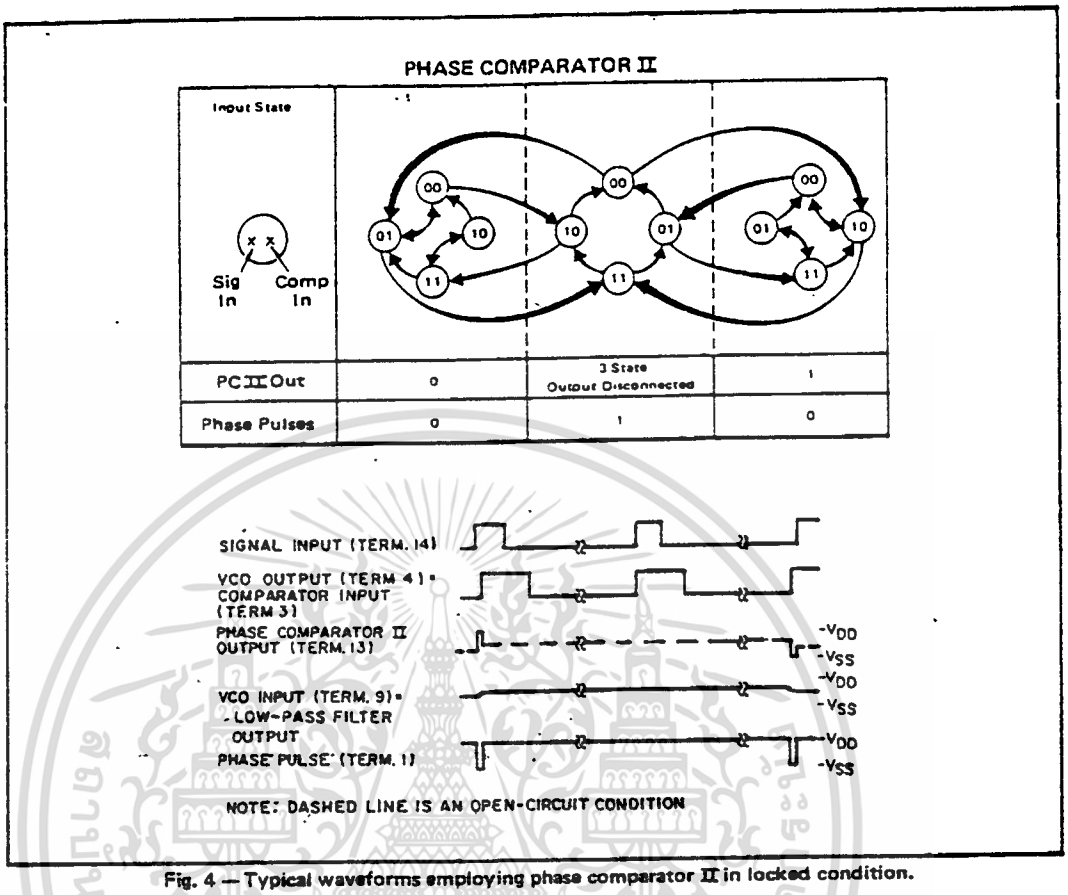


Fig. 4 — Typical waveforms employing phase comparator II in locked condition.

Phase-comparator II is an edge-controlled digital memory network. It consists of several flip-flop stages, control gating, and a three state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON, they pull the output up to V_{DD} or down to V_{SS}, respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p- and n-type output drivers remain OFF. Thus, the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover, the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle.

It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 4 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

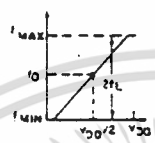
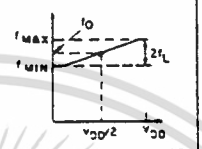
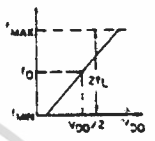
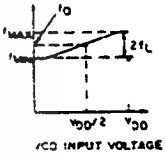
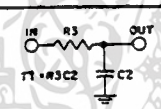
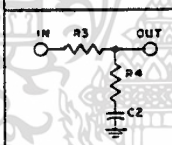
DESIGN INFORMATION

This information is a guide for approximating the values of external components for the SCL4046B and SCL4446B in a Phase-Locked Loop system. The selected external components must be within the following ranges:

$R1, R2 \geqslant 2k\Omega, R_S \geqslant 10k\Omega$

$C1 \geqslant 15pF$

In addition to the given design information refer to Figure 5 for R1, R2, and C1 component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_0		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau 1}}$		$f_C = f_L$	
Loop Filter Component Selection	 For $2f_C$, see Ref.			
Phase Angle between Signal and Comparator	90° at center frequency (f_0), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	– Given: f_0 – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_0 and f_L – Calculate f_{min} from the equation $f_{min} = f_0 - f_L$ – Use f_{min} with Fig. 5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_0 + f_L}{f_0 - f_L}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1	– Given: f_{max} – Calculate f_0 from the equation $f_0 = \frac{f_{max}}{2}$ – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_{min} & f_{max} – Use f_{min} with Fig.5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1

REF. G. S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop" BSTJ, May, 1965.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS [1, 3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	Inhibit = V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	Signal Input =	–	10	–	0.01	10	–	300	
		15	V_{DD}	–	20	–	0.2	20	–	600	
TOTAL POWER DISSIPATION	P_T		Inh = V_{SS}, $VCO_{IN} = \frac{V_{DD}}{2}$, f_o = 10kHz, C_L = 15pF, R1 = 1MΩ, R2 = R_S = ∞								
		5		–	–	–	0.07	–	–	–	mW
		10		–	–	–	0.6	–	–	–	
		15		–	–	–	2.4	–	–	–	

NOTES:
1. Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
2. T_{LOW} = -55°C for C, D, F, H device.
   = -40°C for E device.
   T_{HIGH} = +125°C for C, D, F, H device.
   = + 85°C for E device.
3. VCO output (pin 4) and Phase Comparator Outputs (pins 2 and 13) have been designed for balanced output drive current specifications. Consult Family Specifications.

PARAMETER		CONDITIONS		V_{DD}	25°C Min.	25°C Typ.	25°C Max.	UNIT
VCO SECTION								
MAXIMUM OPERATING FREQUENCY	f_{max}							
SCL4046B			R1 C1					
		R2 = ∞, VCO_{IN} = V_{DD}	10k 50pF	5	0.5	0.8	–	MHz
				10	1.0	1.5	–	
				15	1.3	1.9	–	
			5k 50pF	5	0.6	1.0	–	MHz
				10	1.4	2.1	–	
				15	1.8	2.7	–	
			2k 50pF	5	–	1.3	–	MHz
				10	–	2.9	–	
				15	–	3.8	–	
SCL4446B		R2 = ∞	R1 C1					
		VCO_{IN} = V_{DD}	10k 50pF	5	0.7	1.0	–	MHz
				10	1.3	2.0	–	
				15	1.9	2.8	–	
			5k 50pF	5	0.9	1.3	–	MHz
				10	1.9	2.9	–	
				15	2.6	3.9	–	
			2k 50pF	5	–	1.8	–	MHz
				10	–	3.9	–	
				15	–	5.4	–	
LINEARITY		R2 = ∞						
		VCO_{IN} = 2.5±0.3V, R1 ≥ 10kΩ		5	–	1	–	%
		VCO_{IN} = 5.0±2.5V, R1 ≥ 400kΩ		10	–	1	–	
		VCO_{IN} = 7.5±5.0V, R1 ≥ 1MΩ		15	–	1	–	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER		CONDITIONS	V_{DD}	+25°C			UNIT
				Min.	Typ.	Max.	
VCO SECTION (Continued)							
TEMPERATURE-FREQUENCY STABILITY							
No Offset		R2 = ∞	5	–	0.12-0.24	–	%/°C
			10	–	0.04-0.08	–	
			15	–	0.015-0.03	–	
With Offset		R2 ≤ 10X R1	5	–	0.06-0.12	–	%/°C
			10	–	0.05-0.1	–	
			15	–	0.03-0.06	–	
INPUT RESISTANCE (VCO_{IN})	R_{IN}		5, 10, 15	–	10^6	–	MΩ
OUTPUT DUTY CYCLE		All valid input combinations and voltages		–	50	–	%
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
PHASE COMPARATORS							
INPUT RESISTANCE							
Signal Input	R_{IN}		5	1	3	–	MΩ
			10	0.2	0.7	–	
			15	0.1	0.3	–	
Comparator Input	R_{IN}		5, 10, 15	–	10^6	–	MΩ
AC-COUPLED INPUT SENSITIVITY							
Signal Input	V_{IN}		5	–	200	400	mV
			10	–	400	800	
			15	–	700	1400	
OUTPUT TRANSITION TIME							
PCI, PCII Outputs	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
Phase Pulses Output	t_{TLH}, t_{THL}		5	–	130	260	ns
			10	–	65	130	
			15	–	50	100	
DEMODULATOR OUTPUT							
OFFSET VOLTAGE	VCO_{IN} - V_{DEM}	R_S ≥ 50kΩ	5	–	1.4	2.2	Vdc
			10	–	1.6	2.2	
			15	–	1.8	2.2	
LINEARITY		R_S ≥ 50kΩ					
		VCO_{IN} = 2.5±0.3V	5	–	0.1	–	%
		VCO_{IN} = 5.0±2.5V	10	–	0.6	–	
		VCO_{IN} = 7.5±5.0V	15	–	0.9	–	
ZENER DIODE							
ZENER VOLTAGE	V_Z	I_Z = 50μA	–	6.3	7.0	7.7	V
DYNAMIC RESISTANCE	R_Z	I_Z = 1mA	–	–	100	–	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

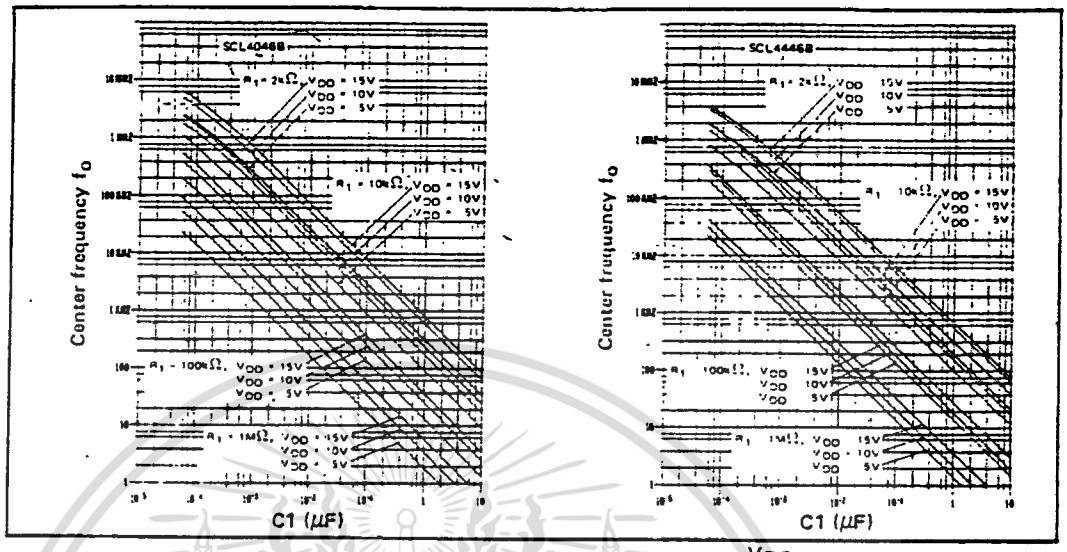


Fig. 5 (a) Typical center frequency (f_o) vs C1 ($R2 = \infty$, $VCO_{IN} = \frac{V_{DD}}{2}$, T_A = 25°C)

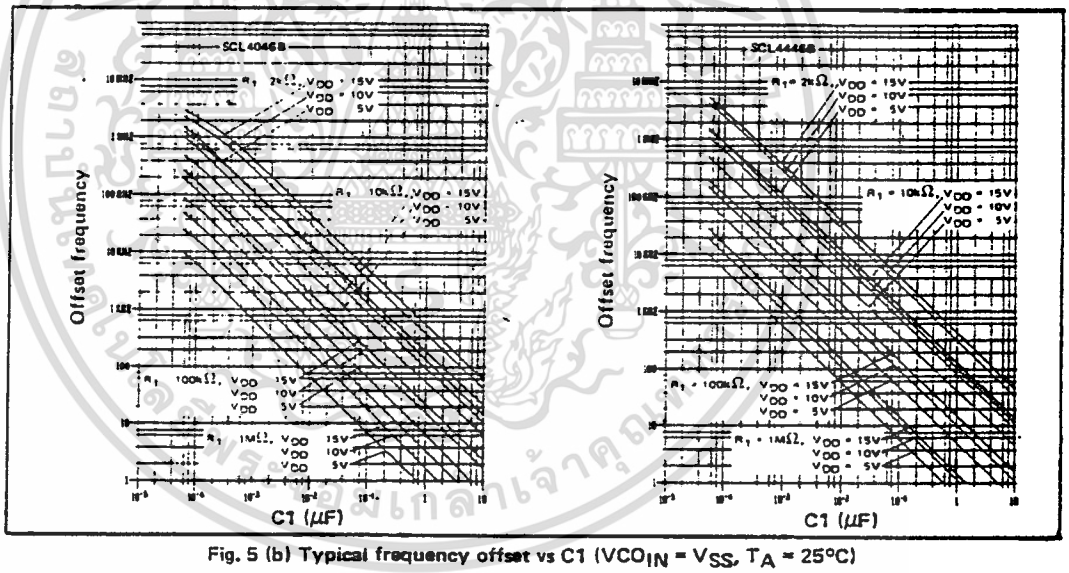


Fig. 5 (b) Typical frequency offset vs C1 ($VCO_{IN} = V_{SS}$, T_A = 25°C)

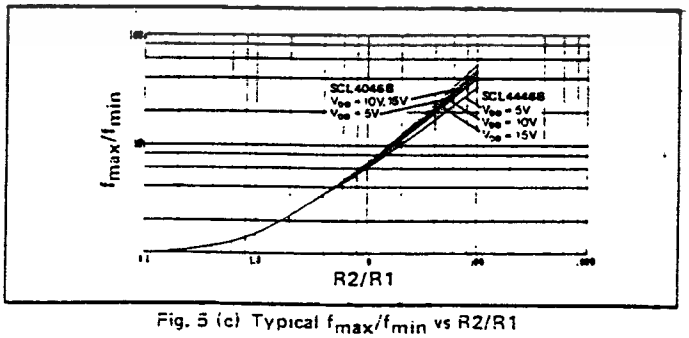


Fig. 5 (c) Typical f_{max}/f_{min} vs R2/R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

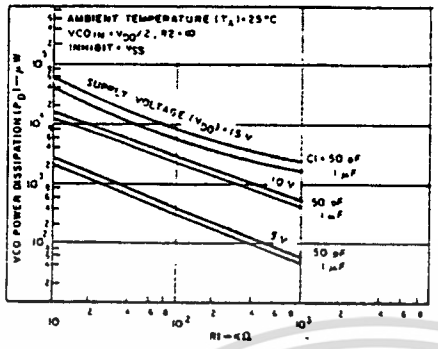


Fig. 6 (a) - Typical VCO power dissipation at center frequency vs R1.

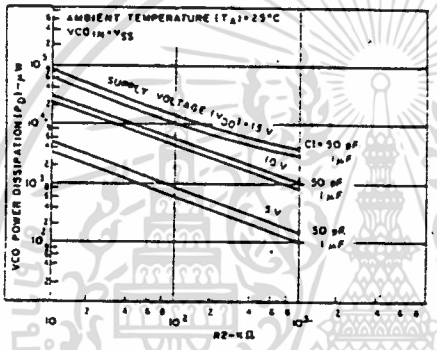


Fig. 6 (b) - Typical VCO power dissipation at f_{min} vs R2.

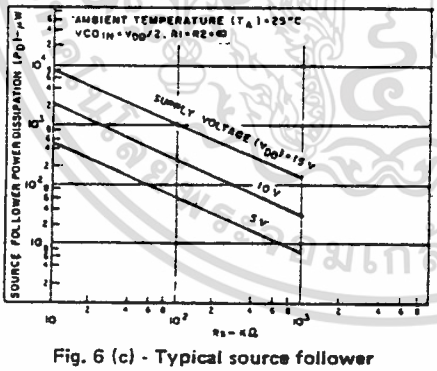


Fig. 6 (c) - Typical source follower power dissipation vs R_S.

NOTE: To obtain approximate total power dissipation of PLL system for no-signal input

P_D (Total) = P_D (f_o) + P_D (f_{MIN}) +-P_D (R_S)
– Phase Comparator I

P_D (Total) = P_D (f_{MIN})
– Phase Comparator II

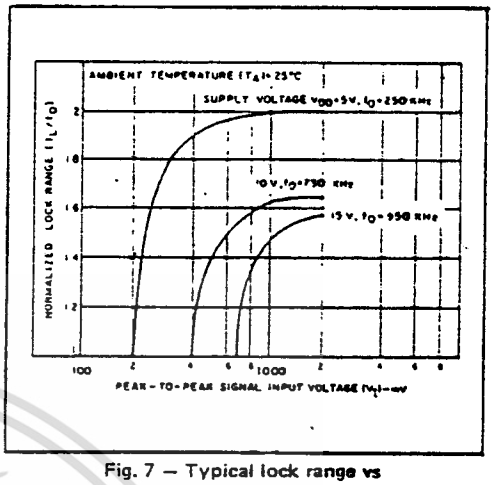


Fig. 7 — Typical lock range vs signal input amplitude

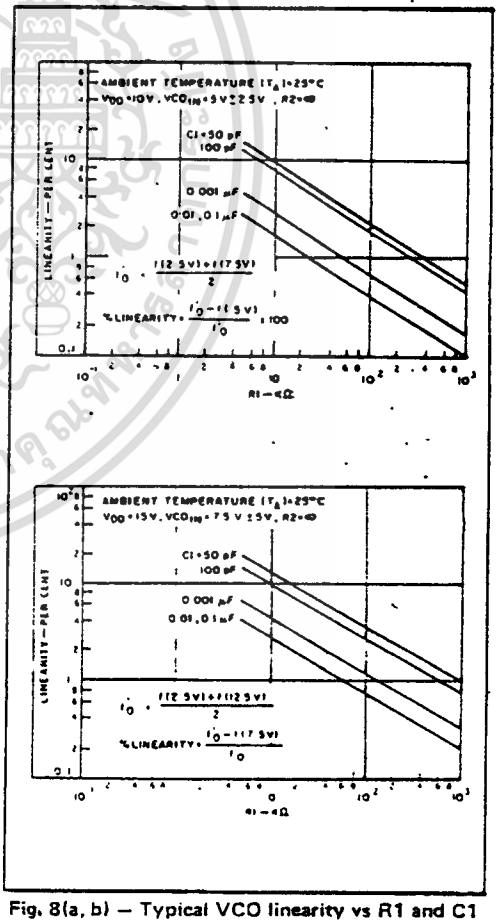


Fig. 8(a, b) — Typical VCO linearity vs R1 and C1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4049UB Inverting
SCL4050B Non-Inverting

CMOS
HEX BUFFERS/CONVERTERS

FEATURES

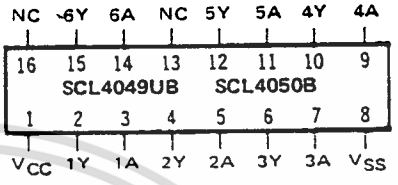
- Direct Drive of 2 TTL/DTL Loads
- Operation from Single Supply
- Pin-for Pin Replacements for SCL4009B, SCL4010B

DESCRIPTION

The SCL4049UB and SCL4050B are Inverting and Non-Inverting Hex Buffers, respectively, and feature logic-level conversion using only one supply voltage (V_{CC}). The Input-signal high level (V_{IH}) can exceed the V_{CC} supply voltage when these devices are used for logic-level conversions. These devices are intended for use as CMOS-to-DTL/TTL converters and can drive directly two DTL/TTL Loads.

The SCL4049UB and SCL4050B are interchangeable with SCL4009UB and SCL40108 devices, respectively. In these applications the SCL4049UB and SCL4050B are pin-compatible with the SCL4009UB and SCL40108, respectively, and can be substituted for these devices in existing as well as in new designs. Terminal No. 16 is not connected internally on the SCL4049UB or SCL4050B; therefore, connection to this terminal is of no consequence to circuit operation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

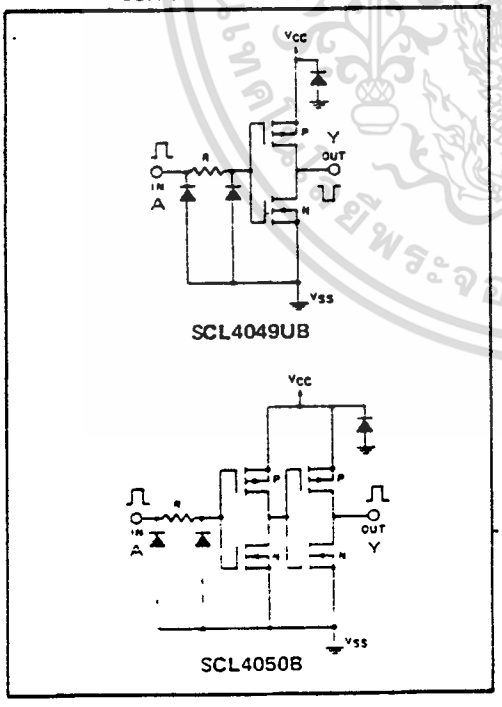
RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

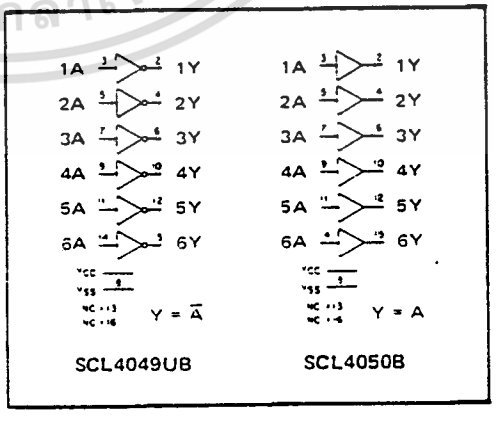
DC Supply Voltage	$V_{CC} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

Note: These devices contain input protection networks to V_{SS} only. Therefore, V_{IH} (max) may exceed V_{CC} without damage (subject to absolute maximum ratings).

SCHEMATIC DIAGRAMS



LOGIC DIAGRAMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1,3]

PARAMETER		V_{CC} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{CC}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	1.0	–	0.005	1.0	–	30	µAdc
		10	All valid input	–	2.0	–	0.01	2.0	–	60	
		15	combinations	–	4.0	–	0.02	4.0	–	120	
MINIMUM INPUT HIGH VOLTAGE SCL4049UB	V_{IH}	5	V_{OL} =0.5V	–	4.0	–	2.75	4.0	–	4.0	Vdc
		10	V_{OL} =1.0V	–	8.0	–	5.5	8.0	–	8.0	
		15	V_{OL} =1.5V	–	12.0	–	8.25	12.0	–	12.0	
MAXIMUM INPUT LOW VOLTAGE SCL4049UB	V_{IL}	5	V_{OH} = 3.6V	1.0	–	1.0	2.25	–	1.0	–	Vdc
		10	V_{OH} = 7.2V	2.0	–	2.0	4.5	–	2.0	–	
		15	V_{OH} = 10.8V	3.0	–	3.0	6.75	–	3.0		
OUTPUT LOW (SINK) CURRENT C, D, F, H devices	I_{OL}	5	V_{OL} =0.4V	4.0	–	3.2	6.4	–	2.4	–	mAdc
		10	V_{OL} =0.5V	10	–	8.0	16	–	5.6	–	
		15	V_{OL} =1.5V	30	–	24.0	40	–	16.8	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	V_{OL} =0.4V	3.8	–	3.2	6.4	–	2.6	–	mAdc
		10	V_{OL} =0.5V	9.6	–	8.0	16	–	6.4	–	
		15	V_{OL} =1.5V	28	–	24.0	40	–	19	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL40008 Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] These devices have been designed to meet the balanced output drive current specifications for Output High (Source) Current. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{IN} (Vdc)	V_{CC} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME SCL4049UB	t_{PLH}	5	5	–	60	120	ns
		10	10	–	32	65	
		15	15	–	25	50	
		10	5	–	45	90	ns
		15	5	–	45	90	
SCL4050B		5	5	–	70	140	ns
		10	10	–	40	80	
		15	15	–	30	60	
		10	5	–	45	90	ns
		15	5	–	40	80	
SCL4049UB	t_{PHL}	5	5	–	32	65	ns
		10	10	–	20	40	
		15	15	–	15	30	
		10	5	–	15	30	ns
		15	5	–	10	20	
SCL4050B		5	5	–	55	110	ns
		10	10	–	27	55	
		15	15	–	15	30	
		10	5	–	50	100	ns
		15	5	–	50	100	
OUTPUT TRANSITION TIME	t_{TLH}	5	5	–	80	160	ns
		10	10	–	40	80	
		15	15	–	30	60	
	t_{THL}	5	5	–	30	60	ns
		10	10	–	20	40	
		15	15	–	15	30	
INPUT CAPACITANCE SCL4049UB	C_{IN}	–	–	–	15	22.5	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	−55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

MC1496
MC1596

Specifications and Applications Information

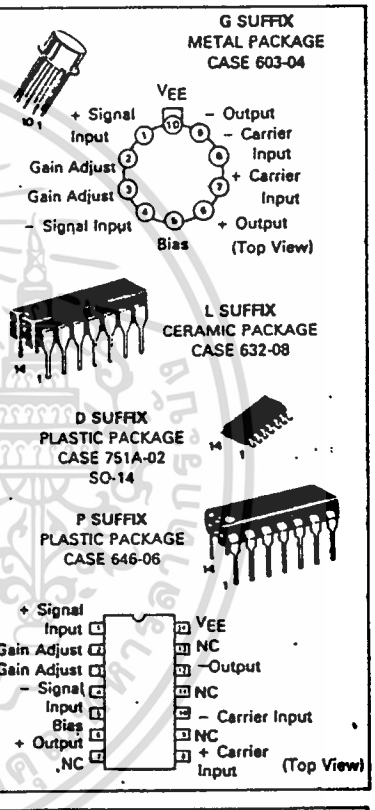
BALANCED MODULATOR/DEMODULATOR

SILICON MONOLITHIC INTEGRATED CIRCUIT

BALANCED MODULATOR/ DEMODULATOR

. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression — 65 dB typ @ 0.5 MHz
  — 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection — 85 dB typ



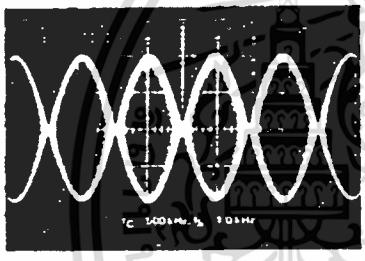


FIGURE 1 – SUPPRESSED-CARRIER OUTPUT WAVEFORM

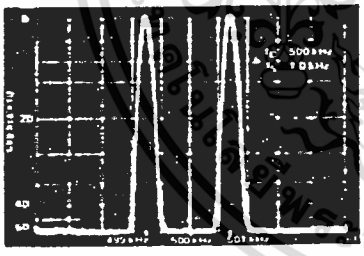


FIGURE 2 – SUPPRESSED-CARRIER SPECTRUM

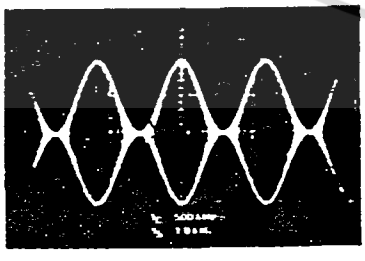
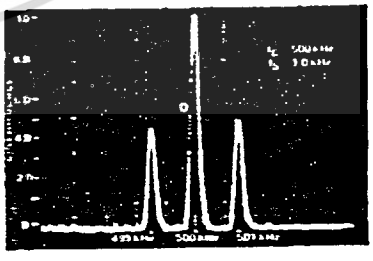


FIGURE 3 – AMPLITUDE-MODULATION OUTPUT WAVEFORM

FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_6 - V_7$, $V_8 - V_1$, $V_9 - V_7$, $V_9 - V_8$, $V_7 - V_4$, $V_7 - V_1$, $V_8 - V_4$, $V_6 - V_8$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_7 - V_8$ $V_4 - V_1$	±5.0 ±($5 + I_5R_e$)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C unless otherwise noted) (All input and output characteristics are single-ended unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough	5	1	V_{CFT}							μV(rms)
V_C = 60 mV(rms) sine wave and offset adjusted to zero, f_C = 1.0 kHz				—	40	—	—	40	—	
f_C = 10 MHz				—	140	—	—	140	—	
V_C = 300 mVp-p square wave: offset adjusted to zero, f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	mV(rms)
offset not adjusted, f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression f_S = 10 kHz, 300 mV(rms) f_C = 500 kHz, 60 mV(rms) sine wave	5	2	V_{CS}	50	65	—	40	65	—	dB
f_C = 10 MHz, 60 mV(rms) sine wave				—	50	—	—	50	—	
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms) Carrier Input Port, V_C = 60 mV(rms) sine wave f_S = 1.0 kHz, 300 mV(rms) sine wave	8	6	BW_{3dB}	—	300	—	—	300	—	MHz
Signal Input Port, V_S = 300 mV(rms) sine wave $\|V_{CI}\|$ = 0.5 Vdc				—	80	—	—	80	—	
Signal Gain V_S = 100 mV(rms), f = 1.0 kHz; $\|V_{CI}\|$ = 0.5 Vdc	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance	6	—	r_{ip}	—	200	—	—	200	—	kΩ
Parallel Input Capacitance			c_{ip}	—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz Parallel Output Resistance	6	—	r_{op}	—	40	—	—	40	—	kΩ
Parallel Output Capacitance			c_{oo}	—	5.0	—	—	5.0	—	pF
Input Bias Current $I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$	7	—	I_{bS}	—	12	25	—	12	30	μA
			I_{bC}	—	12	25	—	12	30	
Input Offset Current $I_{ioS} = I_1 - I_4$; $I_{ioC} = I_7 - I_8$	7	—	$\|I_{ioS}\|$	—	0.7	5.0	—	0.7	7.0	μA
			$\|I_{ioC}\|$	—	0.7	5.0	—	0.7	7.0	
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)	7	—	$\|TC_{Iio}\|$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_6 - I_9$)	7	—	$\|I_{oo}\|$	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)	7	—	$\|TC_{Ioo}\|$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_{CI}\|$ = 0.5 Vdc	9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current $I_6 + I_9$	7	6	I_{CC}	—	2.0	3.0	—	2.0	4.0	mAdc
I_{10}			I_{EE}	—	3.0	4.0	—	3.0	5.0	
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION *

Note 1 – Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Note 2 – Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Note 3 and Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Note 3 – Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e \approx \frac{26\text{ mV}}{I_5\text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Note 4 – Common-Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen (see Note 6).

Note 5 – Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage current products at each port, i.e. assuming $V_9 - V_6$, $I_5 \quad I_6 \quad I_9$ and ignoring base current, $P_D = 2\, I_5 (V_6 - V_{10}) + I_5 (V_5 - V_{10})$ where subscripts refer to pin numbers

Note 6 – Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions. See Note 3 for R_e equation.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume

$$I_5 = I_6 = I_9$$

$$I_B \ll I_C \text{ for all transistors}$$

then,

$$R_5 = \frac{V^- - \phi}{I_5} - 500\ \Omega \quad \text{where. } R_5 \text{ is the resistor between pin 5 and ground}$$

ϕ = 0.75 V at T_A = +25°C

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Note 7 – Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table.

$$30 \text{ Vdc} \geq |(V_6, V_9) - (V_7, V_8)| \geq 2 \text{ Vdc}$$

$$30 \text{ Vdc} \geq |(V_7, V_8) - (V_1, V_4)| \geq 2.7 \text{ Vdc}$$

$$30 \text{ Vdc} \geq |(V_1, V_4) - (V_5)| \geq 2.7 \text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_9, \quad V_7 = V_8, \quad V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Note 8 – Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y21C = \left.\frac{i_o \text{ (each sideband)}}{v_s \text{ (signal)}}\right| V_o = 0$$

Signal transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y21S = \left.\frac{i_o \text{ (signal)}}{v_s \text{ (signal)}}\right| V_C = 0.5 \text{ Vdc}, V_o = 0$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note 9 – Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Note 10 – Output Signal, V_o

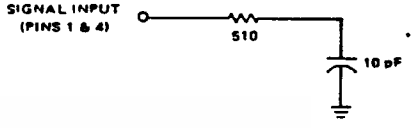
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs, with a single-ended output connection.

Note 11 – Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources

Note 12 – Signal Port Stability

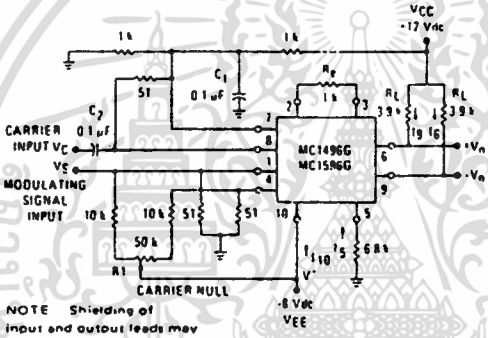
Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 k-ohm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION



NOTE Shielding of input and output leads may be needed to properly perform these tests

FIGURE 6 – INPUT-OUTPUT IMPEDANCE

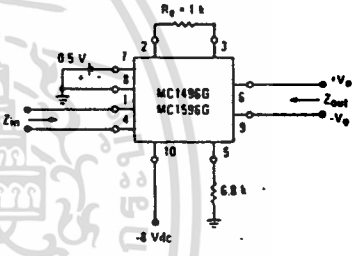


FIGURE 7 – BIAS AND OFFSET CURRENTS

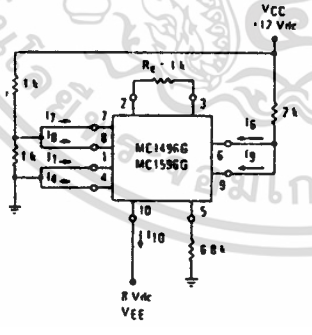
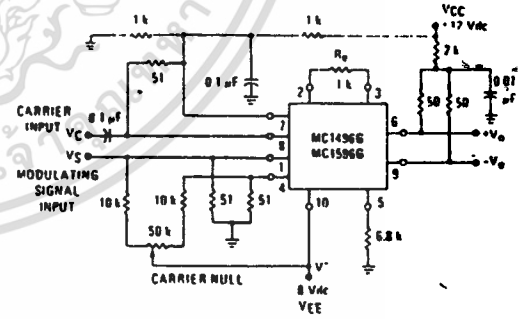


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON-MODE GAIN

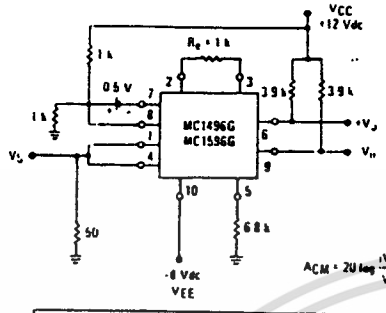
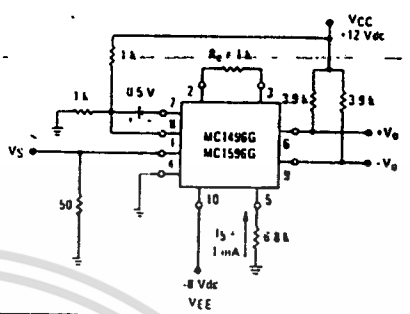


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 9, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

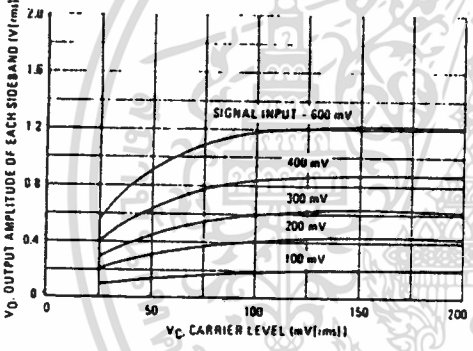


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

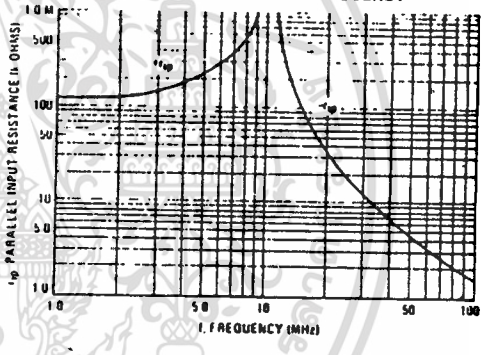


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

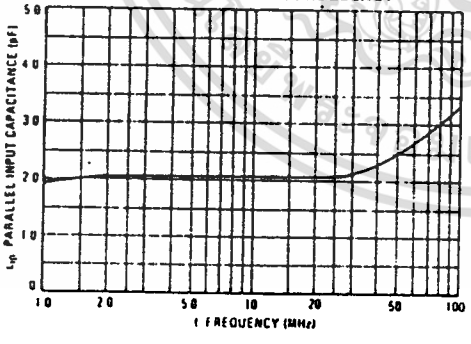
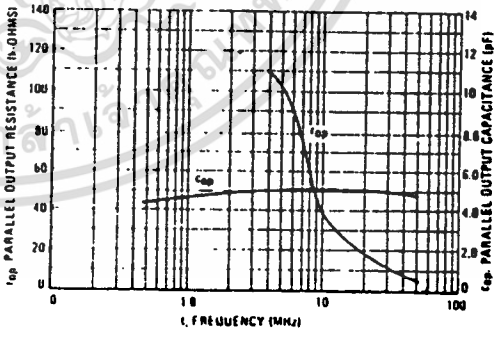


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 9. f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

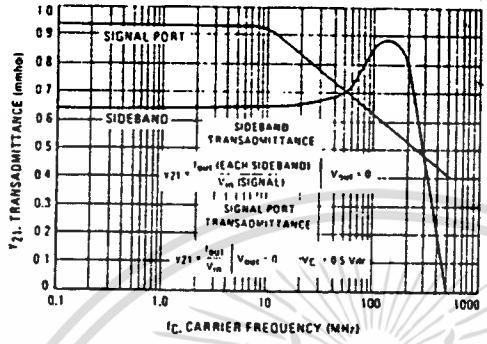


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

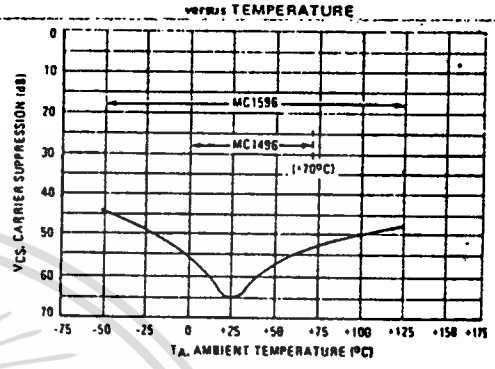


FIGURE 17 – SIGNAL-PORT FREQUENCY RESPONSE

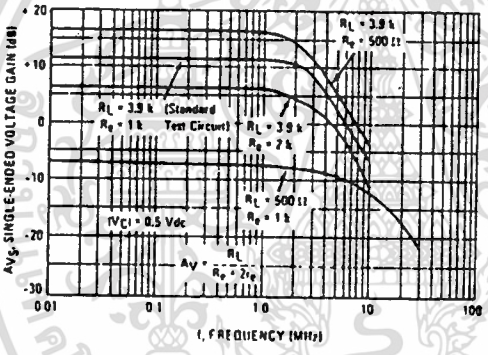


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

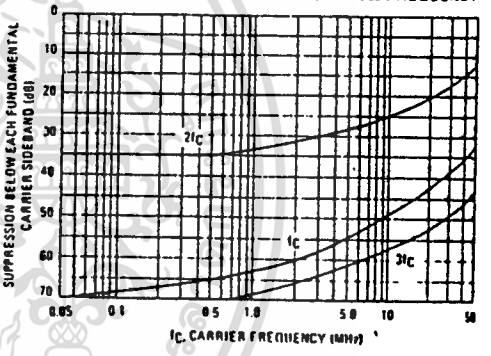


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

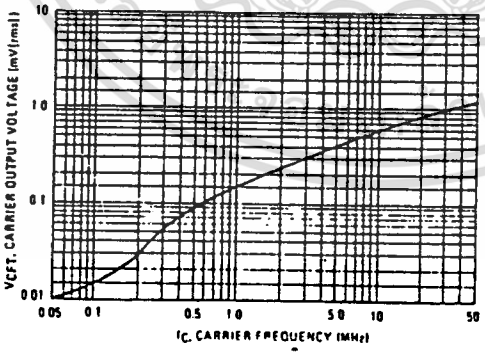
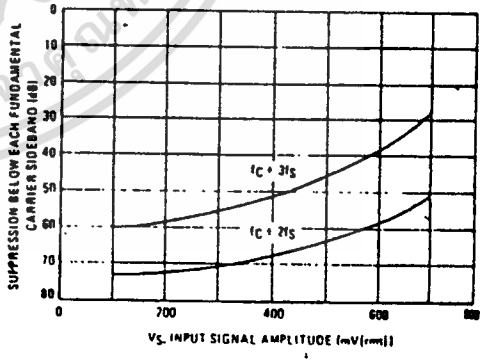


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

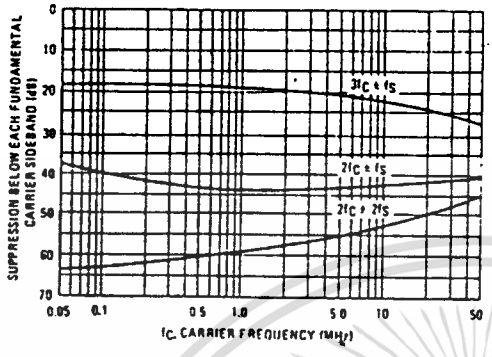
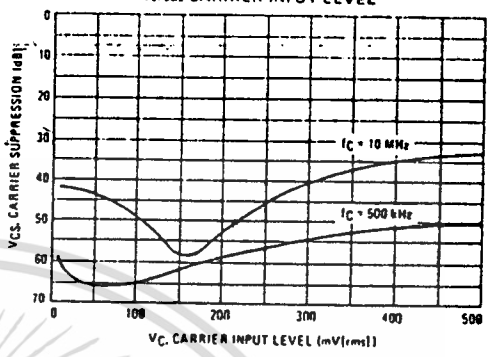


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 23 – CIRCUIT SCHEMATIC

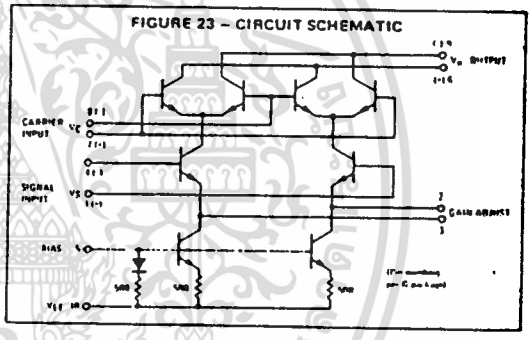
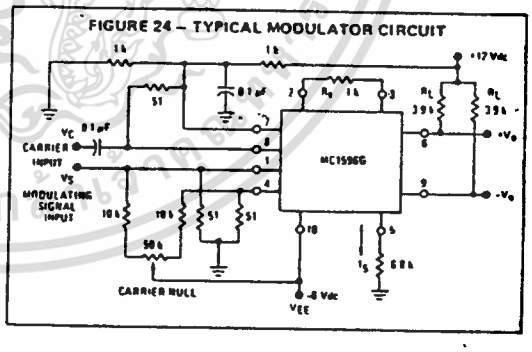


FIGURE 24 – TYPICAL MODULATOR CIRCUIT



NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be antroximated from the following expression:

$$V \approx (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \ldots$

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C:
$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 7 and 8 should be increased to 1.0 μF. Also, the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL APPLICATIONS

FIGURE 26 – BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

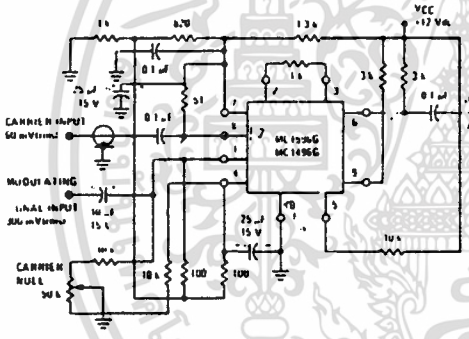


FIGURE 27 BALANCED MODULATOR-DEMODULATOR

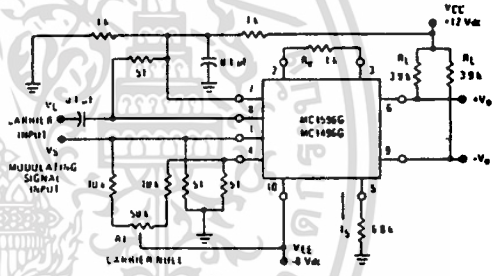


FIGURE 28 – AM MODULATOR CIRCUIT

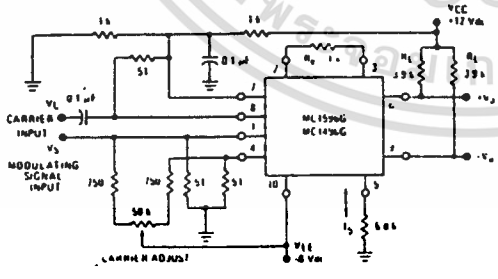
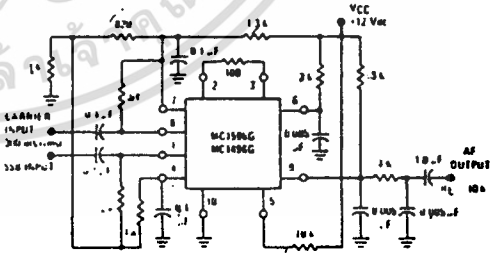


FIGURE 29 – PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้ทำปริญญานิพนธ์

นายพลุง ม่วงงาม

เกิดเมื่อวันที่ 20 สิงหาคม 2516 เป็นบุตรชายคนโตในจำนวน 3 คน ของนายพยอม ม่วงงาม และนางโฉมยงค์ ม่วงงาม

จบ ป.6	จากโรงเรียนบ้านหนองต่อ	อ.หันคา	จ.ชัยนาท
จบ ม.3	จากโรงเรียนหันคาราษฎร์รังสฤษดิ์	อ.หันคา	จ.ชัยนาท
จบ ปวช.	จากวิทยาลัยเทคนิคชัยนาท	อ.เมือง	จ.ชัยนาท
จบ ปวส.	จากวิทยาลัยเทคนิคสัตหีบ	อ.สัตหีบ	จ.ชลบุรี

นายวศิน มั่งคั่ง

เกิดเมื่อวันที่ 16 กันยายน 2515 เป็นบุตรชายคนโตในจำนวน 2 คน ของนายมานพ มั่งคั่ง และนางสุมาลี มั่งคั่ง

จบ ป.6	จากโรงเรียนสมคิดจิตวิทยา	อ.บ้านบึง	จ.ชลบุรี
จบ ม.3	จากโรงเรียนบ้านบึงอุตสาหกรรมนุเคราะห์	อ.บ้านบึง	จ.ชลบุรี
จบ ปวช.	จากวิทยาลัยเทคนิคชลบุรี	อ.บ้านบึง	จ.ชลบุรี
จบ ปวส.	จากวิทยาลัยเทคนิคชลบุรี	อ.บ้านบึง	จ.ชลบุรี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้