ชุดรับส่งข้อมูลผ่านช่องสัญญาณ FM-SCA

(TERMINAL ADAPTER FOR FM-SCA)

โดย

นาย ชวลิต มณีโรจน์

นาย ภานุพงษ์ เปลี่ยนศรี

นาย สุทัย วินิจชัย

วัน เดือน ปี 30 ก.ค. 2540

เลขทะเบียน 036986

เลขเรียกหนังสือ T 380 ช71 ช.28 ช

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาเทคโนโลยีโทรคมนาคม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปีการศึกษา 2538

036986

หัวข้อปริญญานิพนธ์ ชุดรับส่งข้อมูลผ่านช่องสัญญาณ FM-SCA
(TERMINAL ADAPTER FOR FM-SCA)

ชื่อนักศึกษา	นายชวลิต	มณีโรจน์	เลขประจำตัว 36013238
	นายภานุพงษ์	เปลี่ยนศรี	เลขประจำตัว 36013259
	นายสุทัย	วินิจชัย	เลขประจำตัว 36013270

อาจารย์ที่ปรึกษา อาจารย์กฤดากร กล่อมการ
ภาควิชา เทคนิคอุตสาหกรรม
ปีการศึกษา 2538

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง อนุมัติให้นับเป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญา อุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.... ประธานกรรมการ
(...)

กฤดากร กล่อมการ .... กรรมการ
(...)

.... กรรมการ
(...)

.... กรรมการ
(...)

.... กรรมการ
(...)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

สารบัญ

เรื่อง **หน้า**

เรื่อง	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
บทที่ 1 วิทยุกระจายเสียงระบบ FM และระบบ SCA	1
บทที่ 2 ทฤษฎีและหลักการ	11
2.1 การมอดูเลทสัญญารดิจิตอล	11-26
2.2 ทฤษฎีเฟสล็อกลูปพื้นฐานและอุปกรณ์ในลูป	27-56
บทที่ 3 การออกแบบวงจรโมเดมในช่องสัญญาณ FM-SCA	57-68
บทที่ 4 โปรแกรมใช้งาน	69-75
บทที่ 5 ผลการทดลอง	76-82
ภาคผนวก	83-115
บรรณานุกรม	116

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดรับส่งข้อมูลผ่านช่องสัญญาณ FM-SCA

ชื่อนักศึกษา นายชวลิต มณีโรจน์ เลขประจำตัว 36013238
นายภานุพงษ์ เปลี่ยนศรี เลขประจำตัว 36013259
นายสุทัย วินิจชัย เลขประจำตัว 36013270

อาจารย์ที่ปรึกษา อาจารย์กฤดากร กล่อมการ
ภาควิชา เทคนิคอุตสาหกรรม
ปีการศึกษา 2538

บทคัดย่อ

โครงงานนี้เป็นการเสนอการส่งข้อมูลขนาดความเร็ว 4800 บิตต่อวินาที (4800 BPS) โดยการส่งสัญญาณฝากไปกับสัญญาณวิทยุ FM สเตอริโอ โดยใช้ SUBCARRIER FM-SCA (67.2 KHz) ที่ได้จากการนำเอา BIT RATE คูณด้วย 14 เท่า จะได้ SUB-CARRIER 67.2 KHz ซึ่งเป็น SUBCARRIER เราสามารถส่งข้อมูลผ่านระบบได้ขณะใช้โปรแกรม WINDOWS ทั้งส่งและรับโปรแกรมที่ใช้เขียนด้วย VISUAL BASIC ซึ่งทำให้รับข้อมูลที่เป็นภาษาไทย 3 ระดับได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TERMINAL ADAPTER FOR FM-SCA

BY	MR.CHAVALIT MANEEROJ	36013238
	MR.PANUPONG PLEANSRI	36013259
	MR.SUTHAI WINICHAI	36013270

ADVISER MR.KITDAKORN KLOMKARN

YEAR 1995

ABSTRACT

THIS THESIS PRESENTS THE DESIGN AND CONSTRUCTION OF THE TERMINAL ADAPTER FOR FMSCA. ITS PRESENTS TRANSMISSION OF DATA BIT, RATE 4800 BITS PER SECONDS BY TRANSMIT THEM WITH FM RADIO STEREO SIGNAL USING 14 TIMES BIT RATE SUBCARRIER OF FMSCA (EQUAL 67.2 KHz)

THE DATA IS TRANSMITTED THROUGH THE FMSCA SYSTEM UNDER THE VISUAL BASIC PROGRAM MANAGEMENT. ITS LETS US SENDING AND RECEIVING OF 3-LEVEL THAI LANGUAGE. HERE IS THE MODULATION OF THE DATA IS FREQUENCY SHIFT KEYING (FSK)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

กลุ่มผู้จัดทำขอขอบพระคุณท่านอาจารย์ที่ปรึกษา อาจารย์ กฤดากร กล่อมการ ซึ่งให้คำปรึกษาและสนับสนุนในการทำโครงงานนี้เป็นอย่างดี ขอบคุณผู้บังคับบัญชาทุกท่าน ขอบคุณพี่ ๆ น้อง ๆ เพื่อน ๆ ที่ให้กำลังงานและให้กำลังใจเสมอมา และขอขอบคุณเจ้าหน้าที่ห้องสมุด ภาคเทคนิคอุตสาหกรรมทุกท่านที่ให้ความอนุเคราะห์ในการจัดทำปริญญานิพนธ์ชุดนี้เป็นอย่างดี

ท้ายนี้ ผู้จัดทำขอกราบขอบพระคุณบิดา มารดา ซึ่งให้การสนับสนุนและให้กำลังใจแก่ผู้จัดทำเสมอมาจนสำเร็จการศึกษา

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
วิทยุกระจายเสียงระบบ เอฟ เอ็ม และระบบ SCA

วิทยุกระจายเสียง FM กำหนดให้อยู่ในย่านความถี่ 88-108 MHz.ซึ่งในย่านความถี่นี้จะเป็นอิสระต่อชั้นบรรยากาศและการแทรกสอดของ Noise คลื่นในย่านความถี่นี้ไม่สามารถสะท้อนชั้นบรรยากาศได้ แต่จะวิ่งผ่านชั้นบรรยากาศของโลกออกไป ทำให้วิทยุกระจายเสียงระบบ FM ให้บริการได้ไม่ไกลเท่าระบบ AM (ย่านความถี่ 535-1605KHz.) เพราะคลื่นในย่านความถี่ AM มีชั้นบรรยากาศไอออนโนสเฟียร์ช่วยในการหักเหคลื่นให้กลับลงมายังพื้นโลก อีกครั้งหนึ่ง ทำให้คลื่นเดินทางไปได้ไกลยิ่งขึ้น

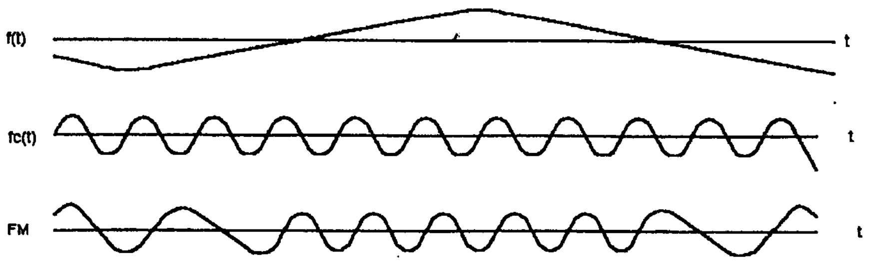
แต่อย่างไรก็ตามคุณภาพของเสียงในระบบ FM ก็ดีกว่าคุณภาพของเสียงในระบบ AM เนื่องจาก FM มีการปรับปรุงคุณลักษณะในการกำจัด Noise ได้ดีกว่าเนื่องจาก Noise ต่าง ๆที่สอดแทรกเข้ามาจะมีผลต่อสัญญาณ RF ทาง Amplitude จึงทำให้ Noise เหล่านี้เข้าไปรวมกับสัญญาณ RF ในระบบ AM ได้ง่ายกว่า แต่ในระบบ FM นั้น สัญญาณ RF มีการเปลี่ยนแปลงทางความถี่ Noise จึงมีผลต่อสัญญาณน้อยกว่า และที่เครื่องรับของระบบ FM มีวงจร Limiting เพื่อทำหน้าที่ตัด Amplitude ที่มีการเปลี่ยนแปลงไปจากเดิมอันเป็นผลมาจาก Noise

นอกจากนี้การกำจัด Noise ในระบบ FM ยังใช้วิธี PRE-EMPHASIS ในเครื่องส่งโดยความถี่ของเสียงที่สูงกว่า 2.1 KHZ. จะถูก Boot ทางด้าน Amplitude ด้วยอัตรา 6 dB/Octaveก่อนที่จะป้อนให้กับภาค Modulator Flat Frequency Response จะเกิดขึ้นก็ต่อเมื่อ ผ่านวงจร De-Emphasis ของเครื่องรับ โดยการลดทอน Amplitude ของความถี่ที่สูงกว่า 2.1 KHz. ลง 6 dB/Octave ในขณะเดียวกัน Noise ความถี่สูงก็จะถูกลดทอนตามไปด้วย

1.1 ทฤษฎี Frequency Modulation

FM (Frequency Modulation) เป็นแบบหนึ่งของ Angular Modulation ในระบบ Angular Modulation บางระบบ ทั้งความถี่และเฟสของ Carrier จะแปรเปลี่ยนไปตามสัญญาณ Modulating Signal (หรือสัญญาณที่เข้ามา Mod.) แต่ในระบบ FM ความถี่ของ Carrier จะเบี่ยงเบนไปตาม Amplitude ของ Modulating Signal ดังรูปที่ 1.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

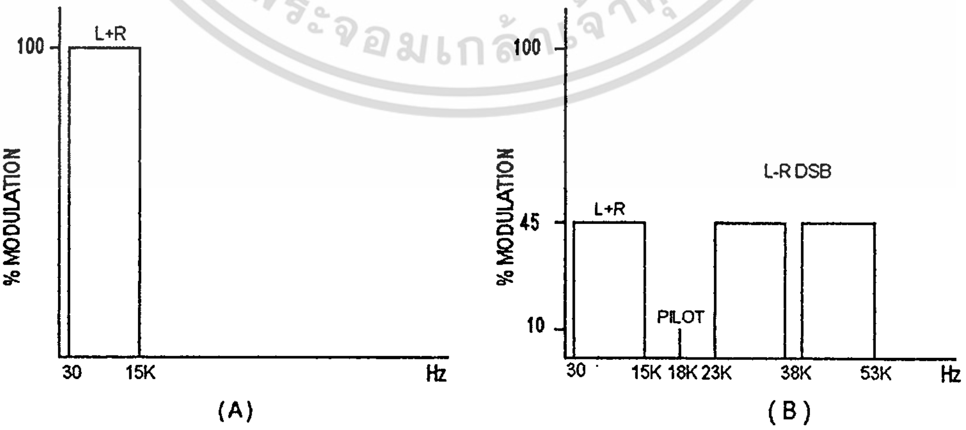


รูปที่ 1.1

ความสัมพันธ์ระหว่างค่าเบี่ยงเบนทางความถี่ (Frequency Deviation) กับความถี่ของ Modulating Signal ถูกกำหนดให้เป็นค่า Modulation Index (m) โดย

$$m = \frac{Frequency deviation(\pm Hertz)}{Modulation frequency(\pm Hertz)}$$

ในระบบ FM จะทำให้เกิดค่าเบี่ยงเบนทางความถี่ของ Carrier ขึ้นค่าหนึ่ง ตามการเปลี่ยนแปลงทาง Amplitude ของสัญญาณที่เข้ามา Mod. โดยไม่ขึ้นกับความถี่ของ Modulating สมมุติว่า สัญญาณเสียงขนาด 1 โวลต์ ที่ป้อนให้กับ Modulator ทำให้เกิดค่าเบี่ยงเบนทางความถี่ 20 KHz. ถ้าขนาดของสัญญาณเสียงเพิ่มขึ้นเป็น 2 โวลต์ค่าเบี่ยงเบนทางความถี่จะเพิ่มขึ้นเป็น 40 KHz. สำหรับวิทยุกระจายเสียงระบบ FM ได้กำหนดไว้ว่าค่าเบี่ยงเบนทางความถี่สูงสุดเท่ากับ ± 75 KHz. ซึ่งจะทำให้เกิด Mod. ที่ 100%



รูปที่ 1.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ Modulating จะอยู่ในช่วงความถี่ 30 Hz. - 15 KHz. ซึ่งในการส่งกระจายเสียงในระบบ FM Mono ในแถบความถี่ (Baseband) ดังรูปที่ 2 (A) และระบบ FM Stereo มีแถบความถี่ดังแสดงในรูปที่ 2(B) ส่วนการส่งกระจายเสียงในระบบ FM Stereo จำเป็นจะต้องมีการแยกสัญญาณซ้าย (L) และขวาออกจากกันแล้วจึงนำสัญญาณทั้ง 2 มาทำการจัดให้อยู่ในรูปของ L-R โดยจะนำสัญญาณ L-R ไปทำการ Mod. กับ Subcarrier ความถี่ 38 KHz. แบบ AM นอกจากนี้ ยังมีการรวมสัญญาณ Pilot ความถี่ 19KHz. เข้าไปด้วย เพื่อทำให้การแยกสัญญาณ L และ R ที่เครื่องรับทำได้ง่ายขึ้น

1.2 ลักษณะทั่วไปของระบบ SCA

SCA ย่อมาจากคำว่า "Subsidiary Communication Authorization" (หนังสือบางเล่มระบุว่าย่อมาจากคำว่า "Subsidiary Carrier Authorization" - หมายถึงการส่งกระจายเสียงในระบบ FM ซึ่งสอดแทรกข่าวสาร หรือ รายการที่นอกเหนือไปจากรายการปกติอีกหนึ่งหรือหลายรายการควบคู่ไปพร้อมกับการส่งกระจายเสียงของระบบ FM โดยไม่ก่อให้เกิดการรบกวนระหว่างข่าวสาร หรือ รายการซึ่งกันและกัน รายการของ SCA อาจเป็นสัญญาณเสียงพูดหรือดนตรี เช่นเดียวกับรายการปกติหรืออาจเป็นรหัสตัวเลขหรือสัญญาณอื่นใดก็ได้ซึ่งปริญญานิพนธ์จะทำการส่งข้อมูลไปกับ SCA

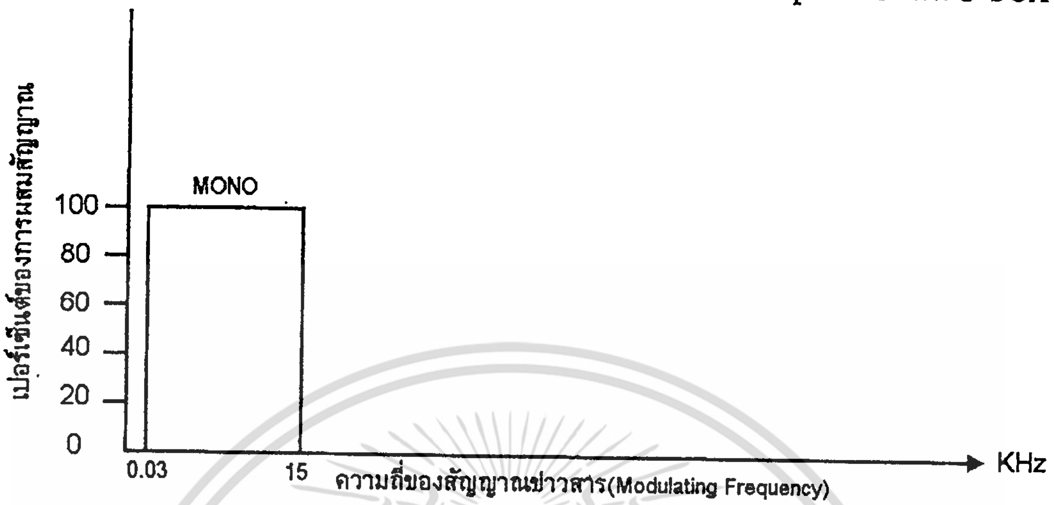
- การส่งกระจายเสียงในระบบ FM Mono จะใช้ความกว้างแถบคลื่นประมาณ 180 KHz.
- การส่งกระจายเสียงในระบบ FM Stereo Multiplex จะใช้ความกว้างแถบคลื่น ประมาณ 256 KHz.
- การส่งกระจายเสียงในระบบ FM STEREO Multiplex รวมกับ SCA จะใช้ความกว้างแถบคลื่น ประมาณ 300 KHz.

สำหรับสัญญาณ SCA ที่จะนำไปผสมกับสัญญาณใน ระบบ FM นั้นจะต้องมี Amplitude และ Bandwidth อยู่ในขอบเขตจำกัด เพื่อป้องกันมิให้เกิดการรบกวนกับรายการ FM ในภาคปกติและ สัญญาณของสถานีที่ใช้ความถี่ข้างเคียง การรับฟังรายการของ SCA เครื่องรับวิทยุ จะต้องมีอุปกรณ์แยกสัญญาณ SCA ด้วยจึงจะสามารถรับฟังรายการ SCA ได้ เช่นเดียวกับเครื่องรับวิทยุระบบ FM Mono ไม่สามารถรับฟังรายการ SCA ได้ เช่นเดียวกับเครื่องรับวิทยุระบบ FM mono ที่ไม่สามารถแยกสัญญาณในระบบ Stereo multiplex ได้ เนื่องจากไม่มีอุปกรณ์ในการ

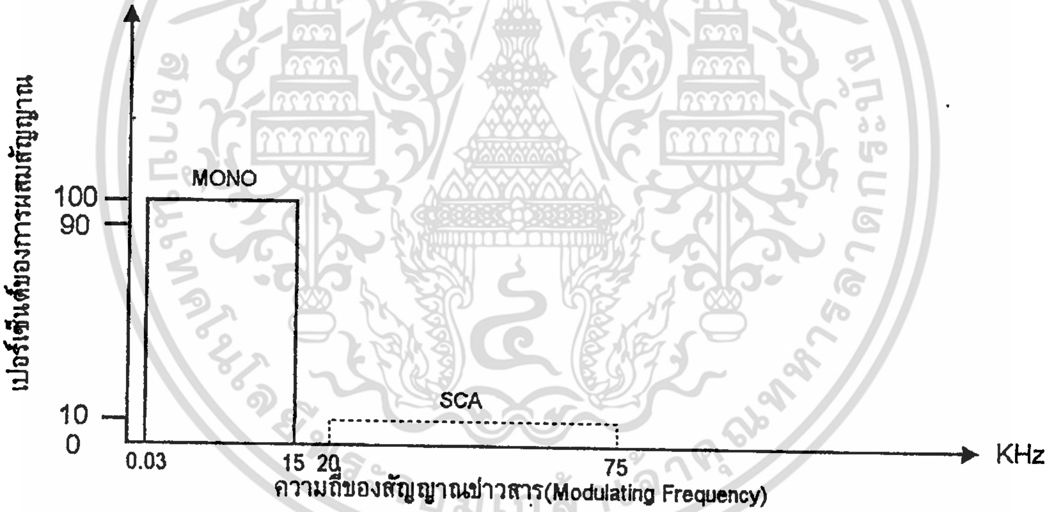
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แยกสัญญาณ Stereo Multiplex ในรูปที่ 1.3,1.4,1.5 และ 1.6 แสดงถึงความแตกต่างของแถบความถี่ที่ไม่ใช้ส่งกระจายเสียงในระบบ FM-Mono, FM stereo multiplex, FM mono บวกกับ SCA และ FM stereo multiplex บวกกับ SCA

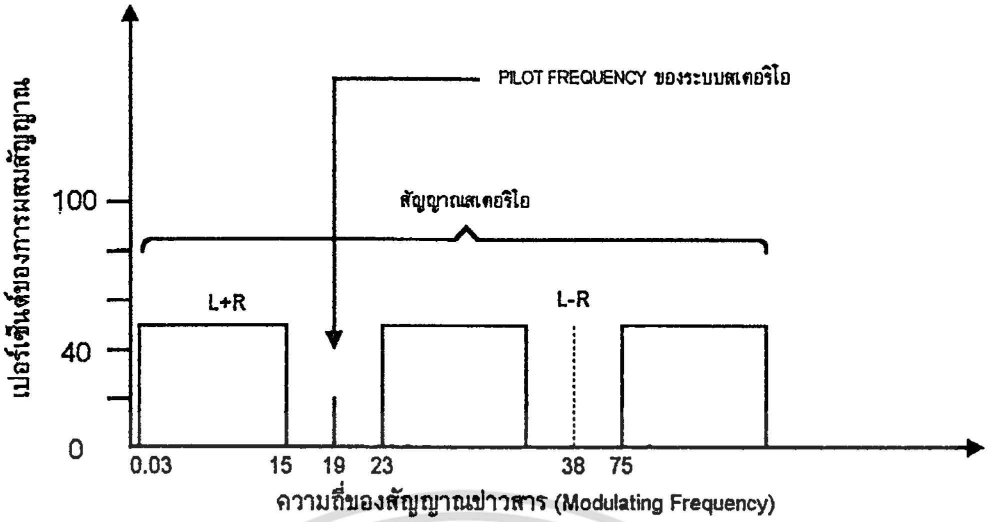


รูปที่ 1.3 แสดงการใช้แถบความถี่ของสัญญาณในระบบ FM Mono

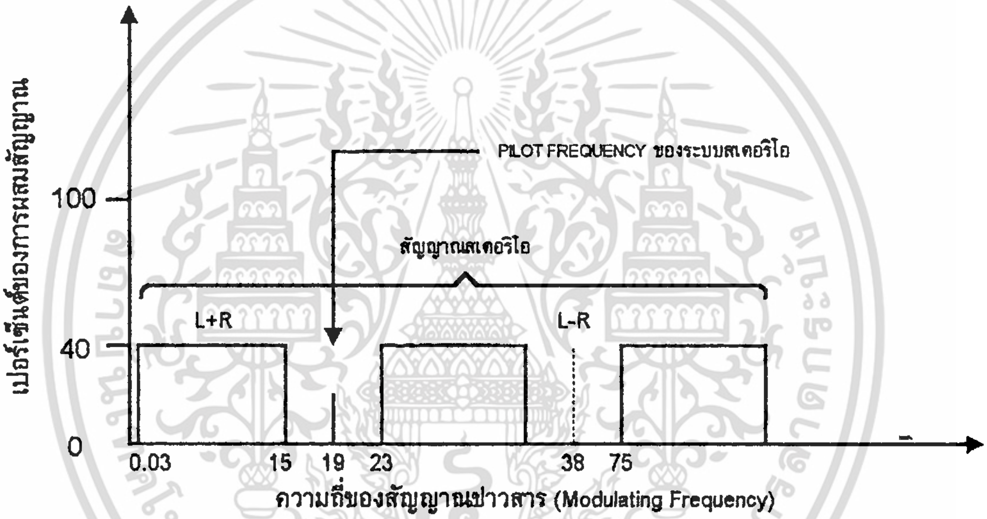


รูปที่ 1.4 แสดงการใช้แถบความถี่ของสัญญาณในระบบ FM Mono รวมกับ SCA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.5 แสดงการใช้แถบความถี่ของสัญญาณในระบบ FM stereo



รูปที่ 4 แสดงการใช้แถบความถี่ของสัญญาณในระบบ FM stereo รวมกับ SCA

ในรูปที่ 1.1 จะเห็นได้ว่า ระบบ FM Mono ความถี่ของสัญญาณข่าวสาร (Modulating Frequency) มีความกว้างของแถบคลื่นไม่เกิน15 KHz. รูปที่ 1.5 แสดงระบบ FM Stereoซึ่งโดยมีคลื่นพาห์ย่อย (Sub Carrier) ความถี่ 38 KHz. ซึ่งกำหนดขึ้นภายในเครื่องส่งความถี่ 19 KHz.นี้ยังใช้เป็นความถี่นำ (Pilot Fre-quency) เพื่อให้ทางเครื่องรับทราบว่าเป็นระบบ Stereo Multiplex และ ใช้ในการแยกสัญญาณข้างซ้ายและสัญญาณข้างขวาในเครื่องรับอีกครั้งหนึ่ง ในปริญญานิพนธ์นี้ใช้คลื่นพาห์ย่อยนี้ 67.2 KHz. โดยได้มาจากอัตราเร็วของการส่งข้อมูลคูณกัน 14 เท่า (4800 X 14) ได้เท่ากับคลื่นพาห์ย่อยนั้นเอง

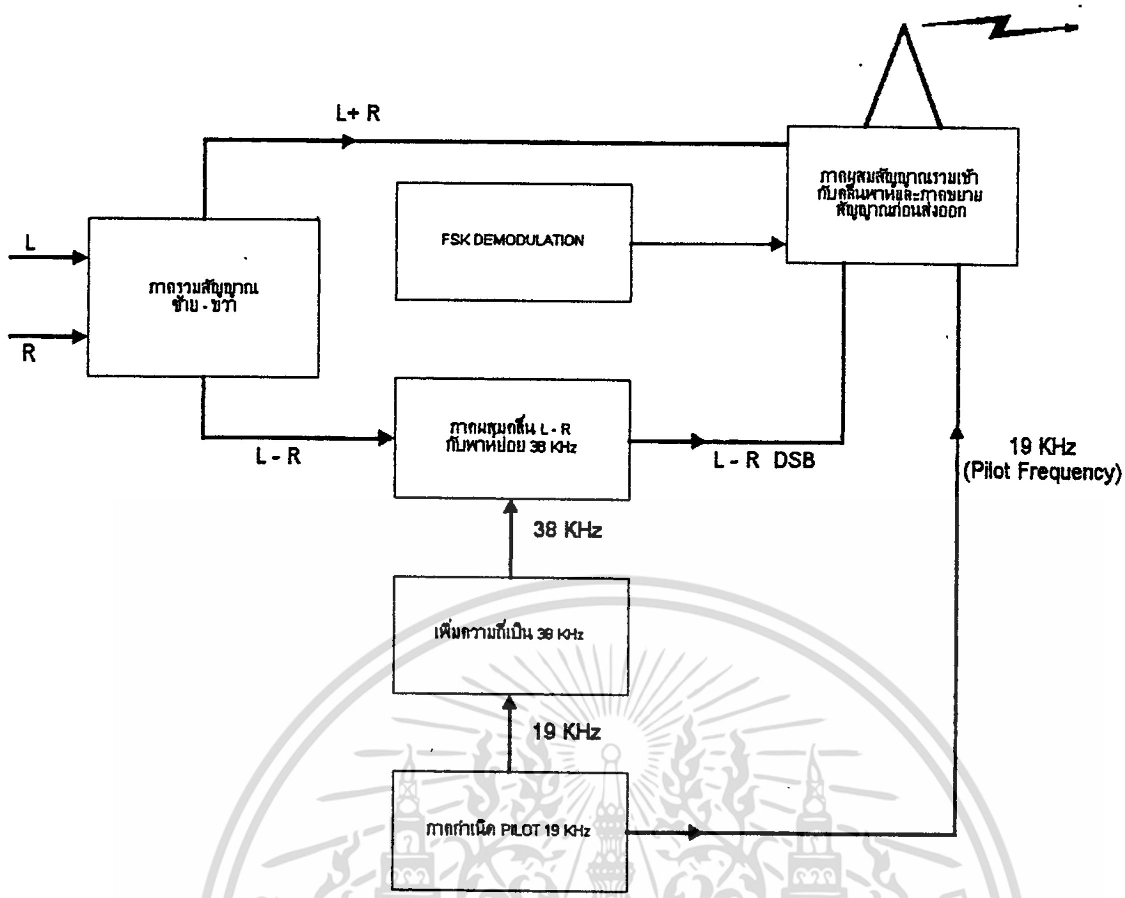
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2.1 การส่งสัญญาณระบบ SCA

การส่งวิทยุกระจายเสียงระบบ FM มีอยู่ 2 แบบคือ Monophonic และ Stereophonic สำหรับสัญญาณของ SCA นั้น สามารถสอดแทรกได้ทั้งสองระบบ แต่จะแตกต่างกันตรงขนาดความถี่ของคลื่นพาห์เท่านั้น ในระบบ Mono สามารถสอดแทรกจำนวน คลื่นพาห์ย่อยของ SCA ได้มากกว่ากรณีของระบบ Stereo ในระบบ FM Stereo โดยปกติ จะสอดแทรกคลื่นพาห์ย่อยของ SCA ได้เพียงหนึ่งสองช่องสัญญาณเท่านั้น หากเกินกว่านี้ จะทำให้ความกว้างของแถบความถี่ของคลื่นวิทยุเกินไป อาจก่อให้เกิดการรบกวนต่อช่องสัญญาณของสถานีที่ใช้ความถี่วิทยุข้างเคียงได้ เมื่อได้ทำการสอดแทรกสัญญาณ SCA ร่วมไปกับสัญญาณกระจายเสียงหนักนั้นจะต้องกำจัดขนาดและความแรงของสัญญาณทั้งสัญญาณกระจายเสียงหลักและสัญญาณ SCA ด้วยเพื่อป้องกันไม่ให้เกิดการรบกวนซึ่งกันและกัน ในการส่งกระจายเสียงระบบ FM แบบ Monophonic, Stereophonic, Monophonic + SCA และ Stereophonic + SCA จะใช้อุปกรณ์ในการส่งที่แตกต่างกัน โดยระบบที่มี SCA จะใช้อุปกรณ์ในการส่งที่แตกต่างกัน โดยระบบที่มี SCA รวมอยู่ด้วย จะมีอุปกรณ์ SCA Generator เพิ่มเข้ามาดังแสดงให้เห็นใน Block Diagram ของระบบ Stereophonic + SCA ดังรูปที่ 1.7 แสดงถึงส่วนของอุปกรณ์ที่เพิ่มเข้ามาจากระบบการส่ง FM Stereo ปกติ รายการที่ส่งโดยระบบ SCA จะถูกผสมคลื่นด้วยคลื่นพาห์ย่อย ขนาดความถี่ 67 KHz. แล้วส่งไปพร้อมกับสัญญาณ Stereo ซึ่งเป็นรายการกระจายเสียง FM เข้าไปผสมคลื่นพาห์หลัก (Main Carrier) ในเครื่องส่ง แล้วจึงแพร่กระจาย คลื่นออกทางสายอากาศ

ในปริญญานิพนธ์นี้ SCA Generator เราจะใช้การนำข้อมูลส่งด้วยอัตราเร็ว 4800 bps มาคูณกัน 14 เท่าจะได้คลื่น พาห์ ย่อย 67.2 KHz. ซึ่งใช้การมอดูเลทสัญญาณแบบ FSK ซึ่งจะกล่าวถึงในบทต่อไป ซึ่งง่ายต่อการหาอุปกรณ์และสร้าง เราสามารถประยุกต์เพื่อใช้ในการส่งข้อมูลของตลาดหุ้นหรือข่าวสารต่าง ๆ ผ่านไปกับสัญญาณ FM Stereo

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



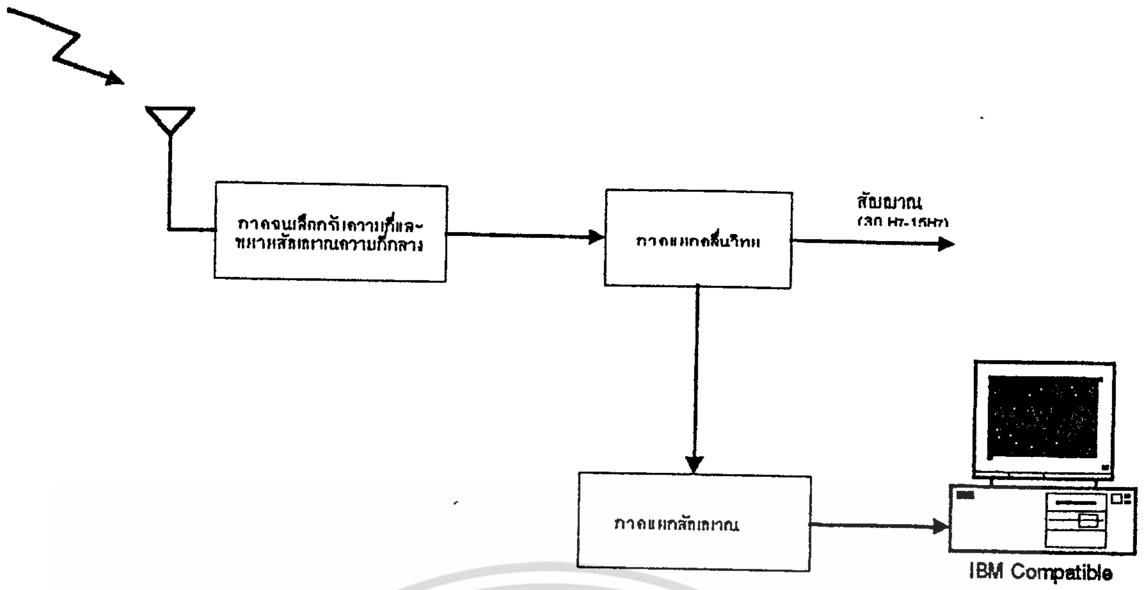
รูปที่ 1.7แสดง Block Diagram โดยสังเขปของเครื่องวิทยุกระจายเสียงระบบ Stereophonic + SCA

1.2.2 การรับสัญญาณระบบ SCA

กรณีของการรับสัญญาณของสถานีวิทยุกระจายเสียงระบบ FM ก็เช่นเดียวกัน จะมีการรับอยู่สองแบบ คือ Monophonic และ Stereophonic หากเครื่องรับวิทยุต้องการรับฟังข้อมูลในระบบ SCA ให้ได้นั้น จะต้องมีอุปกรณ์แยกสัญญาณ SCA และ ดีมอดูเลท จะได้ข้อมูลหรือข่าวสารของระบบ SCA ได้ ดังแสดงให้เห็นด้วย Block Diagram ของเครื่องรับวิทยุซึ่งมีอุปกรณ์แยกสัญญาณ SCA ด้วย ในรูปที่ 1.8

ในเครื่องรับจะทำการดีมอดูเลทสัญญาณ SCA ซึ่งจะดีมอดูเลทแยกสัญญาณ FSK จะได้ข้อมูลมายังเครื่องคอมพิวเตอร์เพื่อบันทึกหรือจัดการข้อมูลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



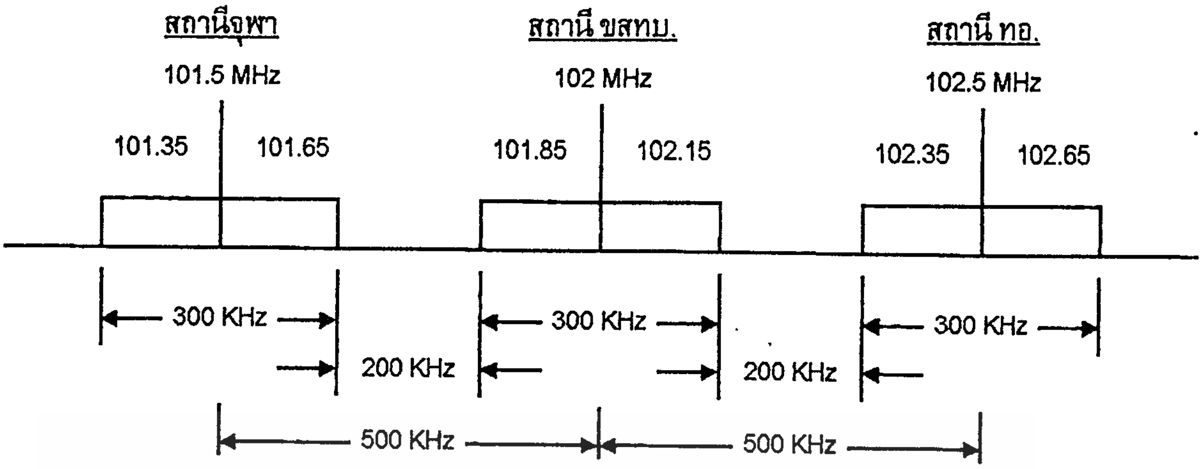
รูปที่ 1.8 แสดง Block Diagram โดยสังเขปของเครื่องรับวิทยุ FM Stereo ที่สามารถเลือกสัญญาณ SCA ได้ด้วย

1.3 การรบกวนในกรณีสถานีวิทยุ FM Stereo ที่ส่ง SCA ด้วย การรบกวนข้างเคียง

สถานีวิทยุกระจายเสียงระบบ FM ในกรุงเทพมหานคร (36 สถานี) ทุกสถานีจะมีความถี่ช้างเคียงห่างกัน 500 KHz. สถานี FM Stereo ที่ส่งรายการ SCA ด้วย จะมีความกว้างแถบความถี่หรือ Bandwidth ประมาณ 300 KHz. (2 X 75 + 2 X 74.5 = 299 KHz.) และสถานีซึ่งออกอากาศในระบบ FM Stereo ที่ไม่มีการส่ง SCA จะใช้ความกว้างแถบความถี่ประมาณ 256 KHZ.(2 X 75 + 2 X 53 = 256 KHz.) จากตัวเลขดังกล่าวจะเห็นว่า จะไม่เกิดการรบกวนกันระหว่างสถานีวิทยุ FM ที่ส่งคลื่น SCA ด้วย กับสถานีที่อยู่ช้างเคียง

ในอนาคต อาจเป็นไปได้ว่า สถานีวิทยุ FM ต่างๆ อาจส่งคลื่น SCA ด้วย ดังนั้นการใช้ตัวเลขดังกล่าวช้างต้นประกอบการพิจารณา จะพบว่า ยังคงไม่เกิดการรบกวนกันระหว่างสถานีที่อยู่ช้างเคียง ตัวอย่างเช่น สมมุติว่า สถานีวิทยุ ชสทบ, สถานีวิทยุจุฬา และ สถานีวิทยุ ทอ. ขณะที่ส่ง SCA ด้วย ว่าจะไม่เกิดการรบกวนกัน ดังแสดงในรูปที่ 1.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.9 แสดงความกว้างแถบความถี่ของคลื่นสัญญาณ สถานีวิทยุ
จุฬา, ขสทบ. และ ทอ. ที่ส่งระบบ SCA ด้วยทั้ง 3 สถานี

ในกรณีของสถานีวิทยุในต่างจังหวัด ปัญหาการรบกวนระหว่างสถานีที่ใช้ความถี่ข้างเคียงยิ่งไม่ต้องพิจารณาถึงเลย เนื่องจากในแผนความถี่วิทยุ FM ของประเทศ ได้กำหนดให้สถานีในต่างจังหวัด ใช้ความถี่ห่างกันอย่างน้อย 750 KHz.

1.3.1 การรบกวนกันเองภายในระบบ

โดยที่การส่งคลื่นระบบ SCA หมายถึง การผสมคลื่นอีกชุดหนึ่ง (หรือหลายชุด) เพิ่มจากการผสมคลื่น FM ตามปกติในช่วงความถี่เดียวกัน คลื่นผสมดังกล่าวจึงมีช่วงความถี่อยู่ไม่ห่างกันนัก ดังนั้น โอกาสที่จะเกิดการรบกวนกันเองในสถานีส่งระหว่างคลื่นความถี่หลักกับคลื่น SCA (Cross Talk) จึงอาจเกิดขึ้นได้หากไม่มีการควบคุมที่ดีพอ โดยเฉพาะอย่างยิ่ง กรณีที่คลื่นความถี่หลักเป็นชนิด FM Stereo ซึ่งต้องใช้ความกว้างแถบความถี่ถึง 30 KHz. - 53 KHz. การรบกวนกันเองจึงยิ่งเป็นไปได้มาก

เกี่ยวกับเรื่องนี้ ในกรณีของประเทศสหรัฐอเมริกา FCC (Federal Communication Commission) ซึ่งเป็นหน่วยงานกำหนดและ ควบคุมการใช้วิทยุของหน่วยงานเอกชนของประเทศได้กำหนดไว้ว่า ในกรณีของระบบ FM Mono ความถี่ของคลื่นผสมในระบบ SCA ที่ใช้ จะอยู่ในระหว่าง 20 KHz. - 75 KHz. โดยไม่จำกัดว่าจะใช้ชุดคลื่นผสม SCA กี่ชุด (กี่รายการ) และผลรวมของความแรงในการผสมคลื่น SCA จะต้องสูงไม่เกิน 30% และตัวสัญญาณรบกวนของ SCA ที่เข้าไปในช่องความถี่ของสัญญาณ Mono ไม่น้อยกว่า 60 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีของสถานีวิทยุระบบ FM Stereo ความถี่ของคลื่นผสม SCA จะจำกัดอยู่ในระหว่าง 53 - 75 KHz. ความแรงในการผสมคลื่น SCA จะจำกัดอยู่ในระหว่าง 53 - 75 KHz. ความแรงในการผสมคลื่น SCA จะต้องไม่เกิน 10% (ของผลรวมคลื่นผสมทั้งหมดของสถานี) และสัญญาณทั้งหมดของ SCA ที่เลยเข้าไปในช่วงสัญญาณ Stereo จะต้องมีความแรงต่ำกว่าสัญญาณ Stereo ไม่น้อยกว่า 60 dB (เช่นเดียวกับกรณีของสถานี Mono)

เพื่อป้องกันปัญหาการรบกวนกันเองดังกล่าว สถานีส่งที่มีการส่งคลื่นระบบ SCA ด้วย จะต้องรับผิดชอบในการดำเนินการทางเทคนิค ให้เป็นไปตามที่หน่วยงานรับผิดชอบของแต่ละประเทศได้กำหนดไว้ หรือไม่ให้เกิดการรบกวนดังกล่าวขึ้น โดยอาจถือเอา ตามรายงานของคณะกรรมาธิการที่ปรึกษาการวิทยุระหว่างประเทศ (CCIR) หรือถือปฏิบัติมาก่อนหน้าในประเทศอื่นในกรณีที่ประเทศนั้นๆ ยัง]ไม่มีการกำหนดในส่วนที่เกี่ยวกับ SCA ไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1การมอดูเลทสัญญาณดิจิตอล

ปัจจุบันการสื่อสารนิยมใช้การมอดูเลทสัญญาณดิจิตอลมากขึ้น เพราะระบบ ดิจิตอลมอดูเลชั่นมีความน่าเชื่อถือสูงและมีราคาถูกลงเมื่อใช้การส่งแบบดิจิตอลจะทำให้สามารถส่งสัญญาณไปได้มากขึ้น เนื่องจากได้มีการพัฒนาทางดิจิตอลอิเล็กทรอนิคส์และไอซีวงจรรวมอย่างรวดเร็วทำให้ต้นทุนในการผลิตถูกลง นอกจากนี้ การมอดูเลทสัญญาณดิจิตอลยังสามารถใช้วิธีการเข้ารหัส(Coding) ก่อนการมอดูเลทสัญญานเพื่อลดความผิดพลาดให้ต่ำลง สัญญาณดิจิตอลนั้น ถ้าส่งผ่านสายนำสัญญาณอาจจะส่งในรูปสัญญาณเบสแบนด์ได้ แต่เมื่อต้องการส่งโดยใช้คลื่นแม่เหล็กไฟฟ้า ก็ต้องทำการมอดูเลทเข้ากับคลื่นแม่เหล็กไฟฟ้านั้นเช่นเดียวกับการส่งสัญญาณอนาล็อก การส่งสัญญาณดิจิตอลโดยมอดูเลทเข้ากับคลื่นพาห์นี้ในปัจจุบันมีที่ใช้อย่างกว้างขวางในข่ายสื่อสารโทรศัพท์ และข่ายสื่อสารดาวเทียม ซึ่งเดิมทีเป็นระบบอนาล็อก แบบ FDM-FM การเปลี่ยนจากระบบอนาล็อกมาเป็นระบบดิจตอลนี้ก็เป็นไปตามพัฒนาการของ เทคโนโลยีทางด้านระบบสื่อสาร ซึ่งสืบเนื่องมาจาก ความก้าวหน้าทางด้าน ดิจิตอลอิเล็กทรอนิกส์และคอมพิวเตอร์ ดังนั้น ระบบส่งและรับสัญญาณ (Transmission) ในข่ายหลักจึงทยอยเปลี่ยนมาใช้ระบบดิจิตอลมากขึ้นตามลำดับ ซึ่งในวิทยานิพนธ์นี้ใช้ส่ง สัญญาณดิจิตอลผ่านเข้าไปใน ระบบวิทยุกระจายเสียง แบบ FM ในบทนี้จะกล่าวถึงลักษณะ ทั่วไปในทางการมอดูเลทสัญญาณดิจิตอล

การมอดูเลทสัญญาณดิจิตอลนั้นจะทำได้ 3 แบบหลัก ๆ คือ

2.1.1. การเปลี่ยนขนาดของสัญญาณคลื่นพาห์ Amplitude Shift Keying (ASK)

2.1.2. การเปลี่ยนความถี่ของสัญญาณคลื่นพาห์ Frequency Shift Keying (FSK)

2.1.3. การเปลี่ยนเฟสของสัญญาณคลื่นพาห์ Phase Shift Keying (PSK)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตาม แบบที่เปลี่ยนทั้งขนาดและเฟสของสัญญาณคลื่นพาห์ ถึงแม้จะเป็นวิธีที่ซับซ้อนขึ้น แต่ก็ให้ประโยชน์ในการเพิ่มอัตราข้อมูลในการส่งในหัวข้อนี้จะกล่าวถึงวิธีมอดูเลทแบบต่างๆ ที่กล่าวมานี้ทั้งแบบที่ใช้ 1 สัญญาณแทน1 บิต และแบบที่ใช้ 1 สัญญาณแทน N บิตและจะกล่าวถึงการหาความหนาแน่นสเป็กตรัมกำลังของสัญญาณที่มอดูเลทแล้วด้วยการส่งสัญญาณ ข้อมูลที่เป็น ดิจิตอล โดยผ่านคลื่นวิทยุ จำเป็นที่จะต้องเปลี่ยนสัญญาณดิจิตอลไปเป็น สัญญาณดิจิตอลไปเป็นสัญญาณในย่านความถี่วิทยุ เทคนิคในการมอดูเลท สัญญาณดิจิตอล คลื่นพาห์ในย่านความถี่วิทยุ หรือไมโครเวฟสามารถกำหนดได้โดย

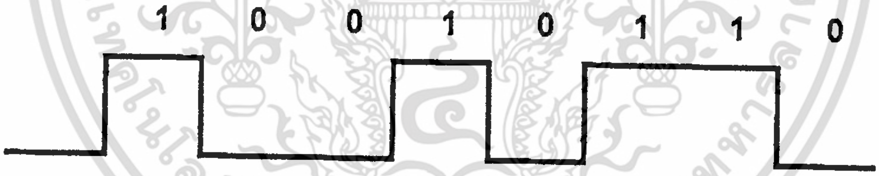
$$\text{คลื่นพาห์} = A \cos(2\pi f_c t + \sigma)$$

ในที่นี้ A : แอมปลิจูดของคลื่นพาห์

f_c : ความถี่คลื่นพาห์

σ : initial phase

สัญญาณดิจิตอลเบสแบนด์ หรือ ข้อมูลจากคอมพิวเตอร์ (จาก RS 232C)เป็นคลื่นรูปสี่เหลี่ยมแสดงรหัสไบนารี 1 และ 0 ในการ มอดูเลทสัญญาณดิจิตอลนี้ หนึ่งในสามพารามิเตอร์คือ แอมปลิจูด ความถี่ หรือเฟสของคลื่นพาห์จะเปลี่ยนไปตามสถานะ 1 หรือ 0 ของสัญญาณ เบสแบนด์ ดังรูปที่ 2.1



รูปที่ 2.1 สัญญาณเบสแบนด์ดิจิตอล

การมอดูเลทแบบดิจิตอล	การมอดูเลทแบบอานาล๊อก
ASK Amplitude Shift Keying	AM
FSK Frequency Shift keying	FM
P S K Phase hift Keying	PM

ตารางที่ 2.1 เปรียบเทียบวิธีการมอดูเลทแบบดิจิตอลและอานาล๊อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1. การเปลี่ยนขนาดของสัญญาณคลื่นพาห์ Amplitude Shift Keying(ASK)

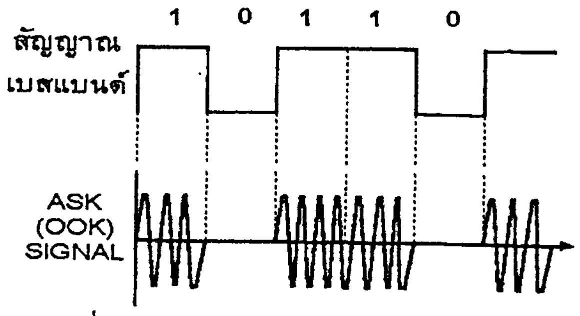
การมอดูเลทสัญญาณแบบแอมปลิจูดชีฟคีย์อิงหรือเอเอสเค (ASK) เป็นสัญญาณ ดิจิตอลมอดูเลชั่น ที่ค้นพบก่อนระบบดิจิตอลมอดูเลชั่นอื่นโดยอาศัยหลักการของแอมปลิจูดมอดูเลชั่น สัญญาณเอเอสเคนี้เวลามีสัญญาณมาร์ค หรือสัญญาณเปิด จะส่งสัญญาณพัลส์เวลามีสัญญาณสเปส หรือสัญญาณปิด จะไม่ส่งสัญญาณซึ่งมีรูปคลื่นดังรูปที่ 2.2 การมอดูเลทโดยการเปลี่ยนขนาดของสัญญาณคลื่นพาห์นั้น วิธีที่ง่ายที่สุดก็คือ การมอดูเลทให้ได้สัญญาณ AM ออกมา ในกรณีที่ทำการมอดูเลทให้สัญญาณ AM นั้น มีมอดูเลชันอินเด็กซ์เป็น 1 และไลน์โคดดิงของสัญญาณดิจิตอลที่เข้ามาเป็นแบบยูนิโพลาร์ NRZ รูปร่างของสัญญาณที่ได้ก็เป็นดังที่แสดงไว้ สัญญาณ OOK นี้จัดเป็นรูปแบบเฉพาะอันหนึ่งของสัญญาณ แอมปลิจูดชิฟท์คีย์อิง (Amplitude Shift Keying) สัญญาณ OOK นี้มีประวัติการใช้งานยาวนานมาก ตั้งแต่สมัยใช้คลื่นวิทยุในการสื่อสารใหม่ ๆ โดยใช้ในการส่งโทรเลข และความถี่ที่ใช้เป็นย่าน HF (High Frequency) ปัจจุบันนี้ ก็มีใช้ในระบบไมโครเวฟบ้าง สำหรับที่ใช้เด่นสุดก็ คือ ใช้ในระบบสื่อสารด้วยเส้นใยแสงส่วนใหญ่จะใช้วิธีนี้

ในการพิจารณาแบนด์วิดท์ของสัญญาณที่มีการมอดูเลทแบบ ASKนี้จะได้แบบเดียวกับสัญญาณ AM โดยทั่วไป กล่าวคือ สเป็กตรัมของสัญญาณ คลื่นพาห์เช่นเดียวกันกับกรณีของ AM กรณีของ ASK บางครั้งเรียกว่า OOK (On-Off Keying) เพราะว่าคลื่นพาห์ ถูกสวิทช์ On/Off ตามสัญญาณที่เป็น 1 หรือ 0 ถ้าคลื่นพาห์ กำหนดโดย $A \cos 2\pi f_c t$ ดังนั้น สัญญาณ ASK จะกำหนดได้เป็น

$S(t) = A \cos 2\pi f_c t$ เมื่อสัญญาณเป็น 1

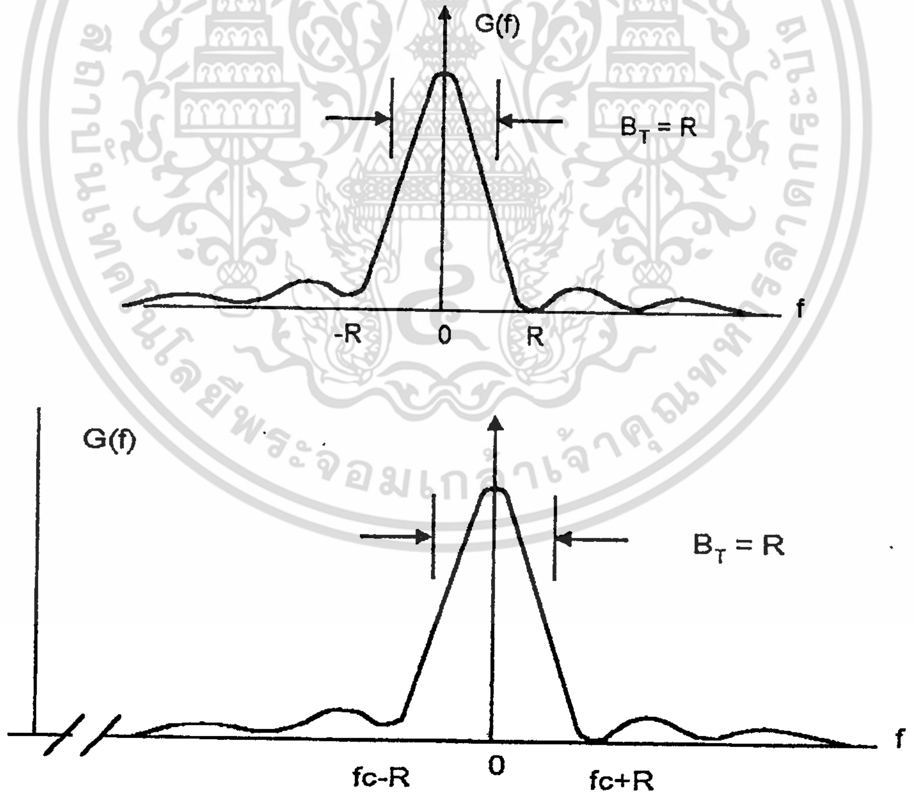
$S(t) = 0$ เมื่อสัญญาณเป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 amplitude shift keying

การพิจารณาแบนด์วิดท์ของสัญญาณที่มีการมอดูเลทแบบ ASK นี้ จะทำได้ แบบเดียวกับสัญญาณ AM โดยทั่วไป กล่าวคือ สเป็กตรัมของสัญญาณ ASK จะได้จากการเคลื่อนย้ายสเป็กตรัมของสัญญาณเบสแบนด์ไป อยู่สองข้างของสเป็กตรัมของสัญญาณ คลื่นพาห์เช่นเดียวกับในกรณีของสัญญาณ AM และเนื่องจากสัญญาณดิจิตอลเบสแบนด์ ทำการส่งอยู่นั้น ส่วนใหญ่มีลักษณะเป็นสัญญาณแรนดัม เพราะฉะนั้น การหาสเป็กตรัม ของสัญญาณนี้ก็จะต้องอาศัยหลักการของการหาสเป็กตรัมของสัญญาณแรนดัม



รูปที่ 2.3 ความหนาแน่นสเป็กตรัมของสัญญาณยูนิโพลาร์ NRZ และความหนาแน่นสเป็กตรัมของสัญญาณ OOK

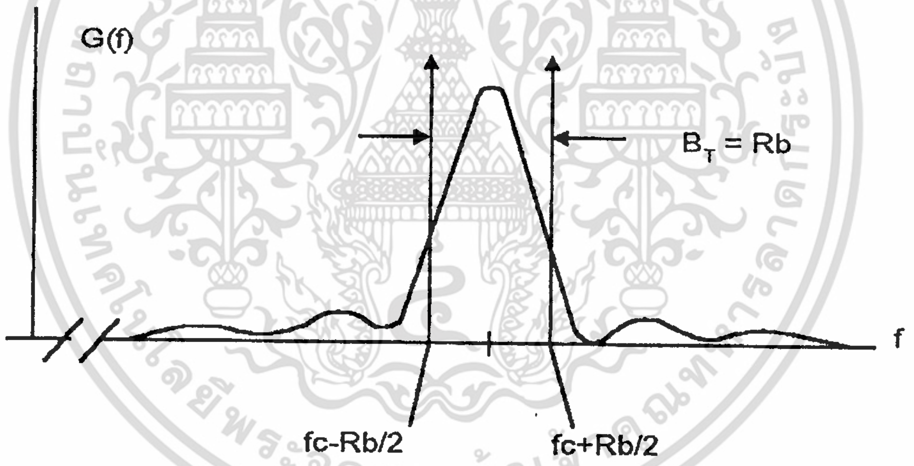
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีของ FSK ความถี่ของคลื่นพาห์จะมี 2 ความถี่ เช่น ความถี่ f_1 สำหรับสัญญาณเป็น 1 และความถี่ f_2 สำหรับสัญญาณที่เป็น 0

$S(t) = A\cos 2\pi f_1 t$ สำหรับสัญญาณเป็น 1

$S(t) = A\cos 2\pi f_2 t$ สำหรับสัญญาณเป็น 0

วิธีมอดูเลทแบบฟรีเควนซีมอดูเลชัน เมื่อเปรียบเทียบกับวิธีมอดูเลทแบบ แอมปลิจูดจะคงทนต่อสัญญาณรบกวน และได้รับผลกระทบจากการเปลี่ยนระดับน้อยมาก เป็นการมอดูเลทที่มีคุณลักษณะที่ดีเยี่ยม จึงนิยมใช้กันอย่างแพร่หลาย และยังมีลักษณะพิเศษที่วงจรทางปฏิบัติก็ค่อนข้างง่าย



รูปที่ 2.4ความหนาแน่นสเป็กตรัมกำลังของสัญญาณ FSK

รูปแสดงความหนาแน่นสเป็กตรัมกำลังตามสมการ (27) นี้ โดยแสดงในความถี่ด้านบวกด้านเดียว ความหนาแน่นสเป็กตรัมกำลังที่ได้นี้จะมีจุดศูนย์คู่แรกที่ตำแหน่ง $f_c + 3R_B/2$ ซึ่งกว้างกว่าของสัญญาณแบบ ASK และแบบ PSK อย่างไรก็ตาม เนื่องจากการลดต่ำลงของความหนาแน่นสเป็กตรัมกำลังจะแปรตาม $1/|f-f_c|^4$ ดังนั้น จะสามารถอนุโลมให้แบนด์วิดท์ที่ต้องการเป็น $B_T \approx R_B$ เช่นเดียวกับกรณีของสัญญาณ ASK และ PSK ได้ สำหรับการส่งสัญญาณดิจิตอลใน

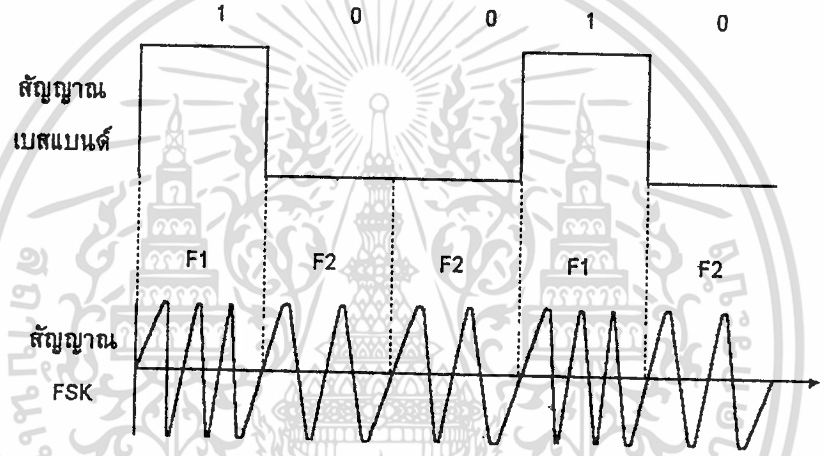
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่องสัญญาณ FM-SCA สัญญาณที่เป็นการ มอดูเลทแบบดิจิตอลที่ใช้เทคนิคการมอดูเลทและดีมอดูเลทที่ง่ายที่สุดคือการส่งโดยใช้สัญญาณ FSK โดยแทนความถี่

$$f_c(t) = A\cos\omega_1 t$$

$$f_c(t) = A\cos\omega_2 t$$

โดยความถี่ ω_1 เป็นความถี่สำหรับสัญญาณเบสแบนด์ที่เป็น "0" และความถี่ ω_2 เป็นความถี่สำหรับสัญญาณเบสแบนด์ที่เป็น "1" สำหรับโครงสร้างสำหรับการมอดูเลทและดีมอดูเลทแสดงได้ดังรูปที่ 2.5



รูปที่ 2.5 แสดงโครงสร้างการมอดูเลทและดีมอดูเลทสัญญาณ FSK

การจัดสัญญาณเอฟเอสเค (FSK signalling)

สัญญาณเอฟเอสเคเป็นสัญญาณดิจิตอลที่ความถี่เปลี่ยนแปลงตามขนาดของเบสแบนด์ พัลส์พีซีเอ็ม โดยทั่วไป เอฟเอสเคมักใช้ในการส่งข้อมูลที่อัตราความเร็วต่ำตามข้อกำหนดรายละเอียด CCITT V.21 และนิยมใช้เอฟเอสเคชนิด 2 ความถี่เท่านั้น เพราะเอฟเอสเคนอนโคฮีเร็นท์ชนิด 2 ความถี่ สามารถกำเนิดและรับได้ง่าย ทำให้มีราคาถูก

$S_1(t) = A\cos(\omega_c + \omega_d)t$, สำหรับสัญญาณมาร์ค

และ $0 < t < T$

$S_2(t) = A\cos(\omega_c - \omega_d)t$, สำหรับสัญญาณสเปส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในที่นี้ ω_d คือ ความถี่เบี่ยงเบน

จะเห็นได้ว่า สัญญาณมาร์คมีความถี่ $\omega_1 = \omega_c + \omega_d$ และสัญญาณสเปสมีความถี่ $\omega_2 = \omega_c - \omega_d$ สัญญาณเอฟเอสเค จึงเป็นสัญญาณดิจิตัลที่กำเนิดได้ง่าย โดยการสวิตช์ไปมา ของเครื่องกำเนิดสัญญาณ ω_1 และเครื่องกำเนิดสัญญาณ ω_2 สัญญาณเอฟเอสเคดังกล่าว จะมีเฟสไม่ต่อเนื่อง (Discontinuous Phase) ที่รอยต่อสวิต์ แต่ถ้าค่อย ๆ เปลี่ยนเฟสของสัญญาณ เอฟเอสเคตามขนาดของพัลส์พีซีเอ็ม เช่น เอฟเอสเคที่เกิดจากการเอฟเอ็มโมดูเลทพัลส์พีซีเอ็มเป็นต้น

โคฮีเร็นท์เอฟเอสเค (COHERENT FSK)

ถ้าเราดีโมดูเลทสัญญาณเอฟเอสเคด้วยเครื่องรับคอร์รีเลชั่นสัญญาณตัวพาท้องถิ่นที่ต้องการคือ

$$S_1(t) - S_2(t) = A\cos(\omega_c t + \omega_d t) - A\cos(\omega_c t - \omega_d t)$$

สัญญาณขาออก ณ เวลาสุ่มตัวอย่าง $t = kT$ คือ $S_{o1}(kT)$ และ S_{o2} (kT)

ในที่นี้

$$S_{o1}(kT) = \int_0^T S_1(t)\,[\,S_1(t) - S_2(t)\,]\,dt$$

$$S_{o2}(kT) = \int_0^T S_2(t)\,[\,S_1(t) - S_2(t)\,]\,dt$$

ถ้าพลังงานของสัญญาณ E_1 และ E_2 เท่ากัน $S_{o1}(kT) = -S_{o2}$ (kT)ฉะนั้น เทรสโฮลด์ของเครื่องรับจึงตั้งไว้ที่ค่าศูนย์ พรอบบะบิวลิตี้ความผิดพลาด P_e สำหรับเครื่อง รับคอร์รีเลชั่น

$$P_e = \frac{1}{2}\,\mathrm{erfc}\,(\gamma_{max}/2)$$

ในที่นี้

$$\gamma^2_{max} = \frac{2}{\eta}\int_0^T [\,S_1(t) - S_2(t)\,]^2\,dt$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทน $S_1(t)$ และ $S_2(t)$ จากสมการ และอินติเกรท จะได้

$$\gamma^2_{max} = \frac{2A^2T}{\eta}\left[\frac{1 - \sin 2\omega_d T}{2\omega_d T} + \frac{1}{2}\frac{\sin[2(\omega_c+\omega_d)T]}{2(\omega_c+\omega_d)T} - \frac{1}{2}\frac{\sin[2(\omega_c-\omega_d)T]}{2(\omega_c-\omega_d)T} - \frac{\sin 2\omega_c T}{2\omega_c T}\right]$$

สมมุติว่า $\omega_c T >> 1$, $\omega_c >> \omega_d$
ซึ่งเป็นจริงในทางปฏิบัติและ 3 เทอมหลังในสมการมีค่าน้อยจนไม่ต้องคำนึงถึงได้ เราจะได้

$$\gamma^2_{max} = \frac{2A^2T}{\eta}\left(1 - \frac{\sin 2\omega_d T}{2\omega_d T}\right)$$

ค่า γ^2_{max} จะมีค่ามากที่สุด ถ้าเลือกความถี่เบี่ยงเบนให้ $2\omega_d T = 3\pi/2$
ที่ค่า ω_2 ค่านี้ จะได้

$$\gamma^2_{max} = (2.42)(A^2T/\eta)$$

และ

$$P_e = \frac{1}{2}\,\mathrm{erfc}\left(\sqrt{0.61\frac{A^2T}{\eta}}\right)$$

ถ้าเรากำหนด $S_{av} = A^2/2$ และ $E_{av} = A^2T/2$ เราสามารถแสดง P_e ในรูปของ

$$P_e = \frac{1}{2}\,\mathrm{erfc}\left(\sqrt{1.2\,S_{av}T/\eta}\right)$$

$$P_e = \frac{1}{2}\,\mathrm{erfc}\left(\sqrt{1.2\,E_{av}/\eta}\right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปรียบเทียบพรอบบะบิวลิตี้ความผิดพลาดสำหรับโคฮีเร็นท์เอฟเอสเคกับพรอบบะบิวลิตี้ความผิดพลาดของโคฮีเร็นท์พีเอสเค จะเห็นได้ว่าโคฮีเร็นท์เอฟเอสเค ต้องการกำลังมากกว่าโคฮีเร็นท์พีเอสเคเท่ากับ 2.2 dB มีค่าพรอบบะบิวลิตี้ความผิดพลาดเดียวกัน สัญญาณเอฟเอสเคใช้แถบความถี่กว้างกว่าสัญญาณพีเอสเค โคฮีเร็นท์เอฟสเอสเคจึงไม่มีข้อได้เปรียบกว่าโคฮีเร็นท์พีเอสเค

นอนโคฮีเร็นท์เอฟเอสเค

ในการรับนอนโคฮีเร็นท์เอฟเอสเค เราใช้เครื่องกรองความถี่ผ่านแถบ (Bandpassfilters) 2 ตัว ที่มีความถี่ศูนย์กลางอยู่ที่ F1 และ F2 ตามด้วยเครื่องรับเอ็นเวลลอฟ(Envelope Detector) ในแต่ละกิ่ง (Branch) เอ็นเวลลอปแต่ละกิ่งจะถูกสุ่มตัวอย่างพัลส์ละ1ครั้งแล้วนำมาเปรียบเทียบว่าเอ็นเวลลอปของสัญญาณมาร์คบวกเสียงรบกวนหรือของสัญญาณสเปสบวกเสียงรบกวนจะมากกว่ากัน แล้วจะตัดสินสัญญาณขาออกเป็นของสัญญาณที่มีค่ามากกว่าดังรูปนอนโคฮีเร็นท์เอฟสเอสเค สามารถคิดเสมือนหนึ่งว่าเป็นสัญญาณ เอเอสเค 2 ตัวที่มีความถี่ $f_c + f_d$ และ $f_c - f_d$ ซึ่งเราจะเปรียบเทียบวิสัยความสามารถของนอนโคฮีเร็นท์เอฟสเอสเคกับนอนโคฮีเร็นท์เอเอสเคต่อไป

สมมุติสัญญาณที่ส่งเป็นสัญญาณมาร์ค $S_1(t) = A\cos(\omega_c + \omega_d)t$
พรอบบะบิวลิตี้
เดนซิตี้ฟังก์ชั่น (pdf) ของเอ็นเวลลอป γ_1 คือ

$$p(r_1) = \frac{r_1}{N} I_o\left(\frac{A r_1}{N}\right) \exp\left(-\frac{r_1^2 + A^2}{2N}\right), \quad r_1 > 0$$

ในที่นี้ $N = \eta B_T$ และ B_T คือแถบความถี่ของเครื่องกรองความถี่

ในขณะเดียวกันเครื่องกรองความถี่ผ่านแถบที่กิ่งข้างล่างจะมีเฉพาะเสียงรบกวนเก๊าเซี่ยนที่ผ่านเท่านั้น เอ็นเวลลอปของเสียงรบกวนจะมี pdf เป็นเรย์เล่ย์ ดังนี้

$$P(r_2) = \frac{r_2}{N} \exp\left(-\frac{r_2^2}{2N}\right), \quad r_2 > 0$$

ความผิดพลาดจะเกิดขึ้นเมื่อ $r_2 > r_1$ และพรอบบะบิวลิตี้ความผิดพลาดหาได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

036986

$$P_e = P(r_2 > r_1) = \int_{r1=0}^{\alpha} p(r_1) \left[\int_{r2=r1}^{\alpha} p(r_2)\,dr_2 \right] dr_1$$

อินติกรัลในวงเล็บจะได้ $\exp(-r_1^2/2N)$ ดังนี้

$$P_e = \int_0^{\alpha} \frac{r_1}{N} I_o\left(\frac{Ar_1}{N}\right) e^{-r_1^2/N}\, e^{-A^2/2N}\, dr_1$$

จากสูตรฟังก์ชั่นคิว (Q-FUNCTION)

$$Q(\alpha, O) = \int_0^{\alpha} t\, I_o(\alpha t)\, e^{-(\alpha^2+t^2)/2}\, dt = 1$$

และ

$$Q(O, \beta) = \int_{\beta}^{\alpha} t\, e^{-t^2/2}\, dt = e^{-\beta^2/2}$$

และสมมุติสัญญาณมาร์คและสัญญาณสเปสมีโอกาสเกิดเท่าๆกัน พรอบบะบิวลิตี้ความผิดพลาดโดยเฉลี่ยสำหรับสัญญาณนอนโคฮีเร็นท์เอฟสเอสเค จะได้

$$P_e = \frac{1}{2} \exp\left(-\frac{A^2}{4N}\right)$$

จะเห็นได้ว่านอนโคฮีเร็นท์เอฟเอสเคได้พรอบบะบิวลิตี้ความผิดพลาดในรูปของฟังก์ชั่นเอ็กซ์โพเนนเชียล เหมือนกับพรอบบะบิวลิตี้ความผิดพลาดของเอเอสเคที่อ็อพติมัมเทรสโอลด์ ดังสมการแต่นอนโคฮีเร็นท์เอฟเอสเคใช้อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนเพียงครึ่งหนึ่งของนอนโคฮีเร็นท์เอเอสเคเท่านั้น ในกรณีที่อัตราความเร็วในการส่งพัลส์ของสองระบบเท่ากัน และแถบความถี่ของเครื่องกรองของทั้งสองระบบเท่ากันซึ่งหมายความว่า กำลังของเสียงรบกวนของทั้งสองระบบเท่ากัน อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนในระบบเอเอสเคมีค่าเฉพาะในกรณีที่ส่งสัญญาณมาร์คเท่านั้นในการส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณสเปสจะมีกำลังของสัญญาณที่ส่งเท่ากับศูนย์ กำลังเฉลี่ยของเอเอสเคจึงมีค่าเพียงครึ่งหนึ่งของค่าที่ใช้ในคำจำกัดความอัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน ฉะนั้นที่พรอบบะบิวลิตี้ความผิดพลาดต่ำทั้งนอนโคฮีเร็นท์เอฟเอสเคและนอนโคฮีเร็นท์เอเอสเคจะได้ค่าพรอบบะบิวลิตี้ความผิดพลาดเท่ากันที่ค่าเฉลี่ยของอัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนเท่ากัน นอกจากนั้นเนื่องจากเอฟเอสเคต้องใช้ความถี่ 2 โทน

เอฟเอสเคจึงถูกกำหนดให้ใช้แถบความถี่กว้างขึ้นอย่างน้อย 2 เท่า อย่างไรก็ตาม เพื่อบรรลุถึงวิสัยความสามารถนี้ เอเอสเคก็มีข้อเสียที่สำคัญคือจำเป็นต้องอ็อพติไมซ์เทรดโฮลด์ในการรับที่ค่าของอัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนค่าหนึ่ง ๆ ส่วนเอฟเอสเคใช้การเปรียบเทียบความแตกต่างระหว่าง r_2 และ r_2 $(r_2 - r_1)$ เทียบกับเทรสโฮลด์ที่เป็นศูนย์ ทำให้เทรสโฮลด์ของเอฟเอสเคเป็นอิสระไม่ขึ้นต่ออัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน จึงเป็นเทรนโฮลด์ ที่เหมาะสมเสมอ โดยเฉพาะในกรณีที่เกิดเฟดดิ้ง (Fading) เอฟเอสเคจะเหมาะสมมากกว่า เพราะไม่มีเทรสโฮลด์จึงไม่ต้องปรับเทรสโฮลด์เนื่องจากผลกระทบของเฟดดิ้งที่มีต่อระดับสัญญาณ

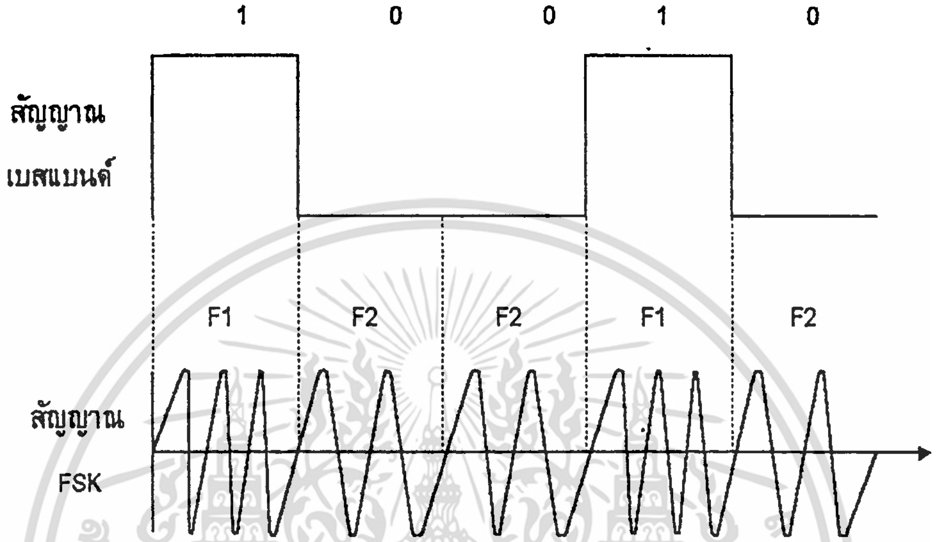
การสื่อสารดิจิตัลแบบง่าย ๆ ที่ดัดแปลงระบบเอฟเอ็มมาใช้ในการโมดูเลทและส่ง สัญญาณดิจิตัลไบนารี "1" หรือ "0" นี้ เรียกว่า ดิจิตัลเอฟเอ็ม (Digital FM) หรือไบนารี เอฟเอสเค (Binary FSK) การสื่อสารดิจิตัลเอฟเอสนี้นิยมใช้กันในสมัยเริ่มแรกของการพัฒนา ระบบสื่อสารดิจิตัล ในปัจจุบันก็ยังคงใช้กันอยู่ในวงการสื่อสารดิจิตัล และที่ประหยัดค่าใช้จ่าย ความแตกต่างระหว่างอะนาล็อกเอฟเอ็มและดิจิตัลเอฟเอ็มคือ อะนาล็อกเอฟเอ็ม ส่วนมากเป็น ระบบเอฟเอ็มที่มีแถบความถี่กว้าง (WIDBAND FM) ส่วนดิจิตัลเอฟเอ็ม ส่วนมากเป็นระบบ เอฟเอ็มที่มีแถบความถี่แคบ (NARROWBAND FM)

2.1.3. การเปลี่ยนเฟสของสัญญาณคลื่นพาห์ Phase Shift Keying (PSK)

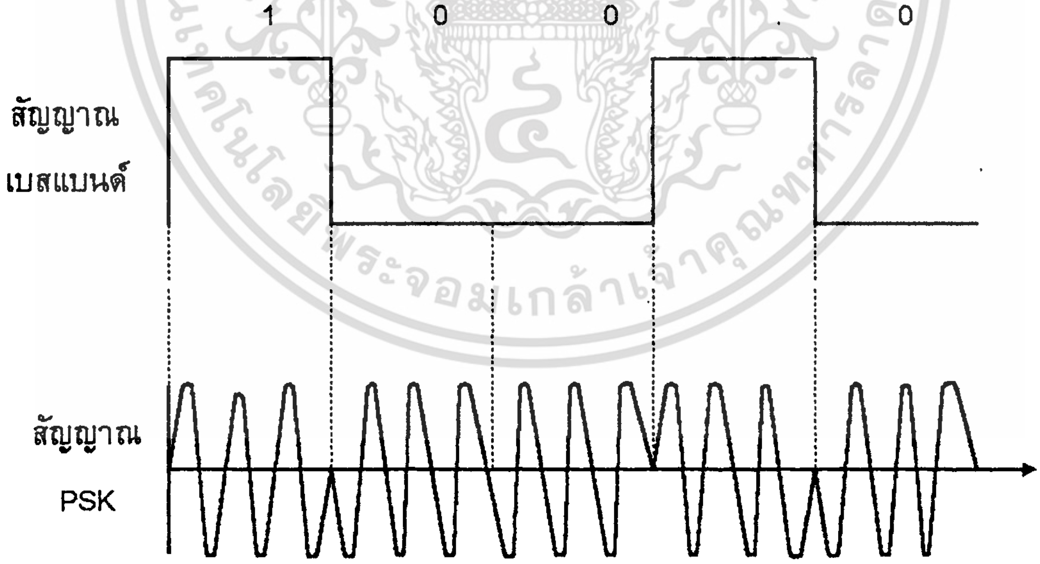
กรณีของ PSK แอมปลิจูดและความถี่จะคงที่ แต่ initial phase จะต่างกันสำหรับสัญญาณที่เป็น 1 หรือ 0 คือเฟสของคลื่นพาห์ $A\cos(2\pi f_c t + \sigma)$ จะเปลี่ยนไปตามสถานะของสัญญาณ เช่น เฟส σ เป็น 0 กรณีสัญญาณมีสถานะเป็น 1 และเฟส σ เป็น π กรณีสัญญาณมีสถานะเป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$
S(t) = \begin{cases} A \cos 2\pi f_c t & \text{กรณีสัญญาณเป็น 1} \\ A \cos (2\pi f_c t + \pi) & \text{กรณีสัญญาณเป็น 0} \end{cases}
$$



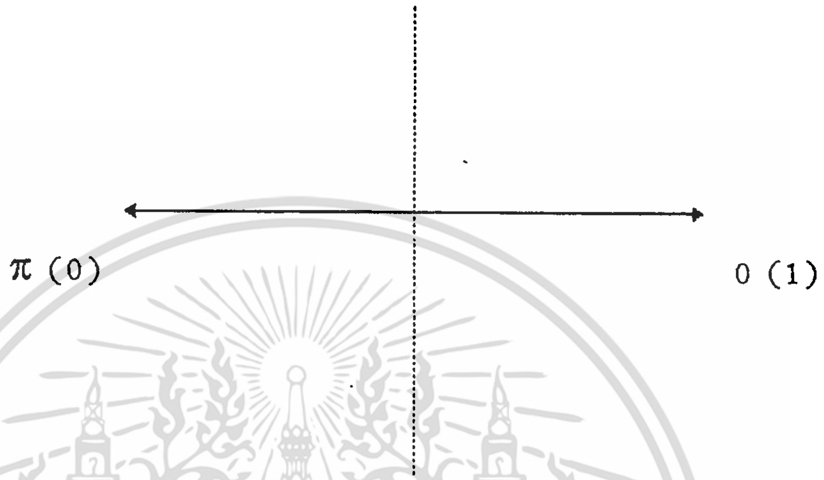
รูปที่ 2.6 FREQUENCY SHIFT KEYING



รูปที่ 2.7 phase shift keying

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยหลักการแล้วเฟสเริ่มแรกของคลื่นพาห์มีจำนวนมาก จำนวนของเฟสเริ่มแรกที่ใช้ใน PSK สามารถที่จะเพิ่มขึ้นได้ ถ้าเราสามารถแยกแยะสัญญาณทางด้านการรับออกได้อย่างถูกต้อง เนื่องจากระบบดิจิตอลใช้รหัสไบนารี สัญญาณดิจิตอลสามารถจะส่งได้โดยใช้ 2 initial phase เรียกว่าไบนารี PSK เฟสเป็น 0 สำหรับรหัส 1 และ เฟสเป็น π สำหรับ รหัส 0



รูปที่ 2.8 ไบนารี PSK

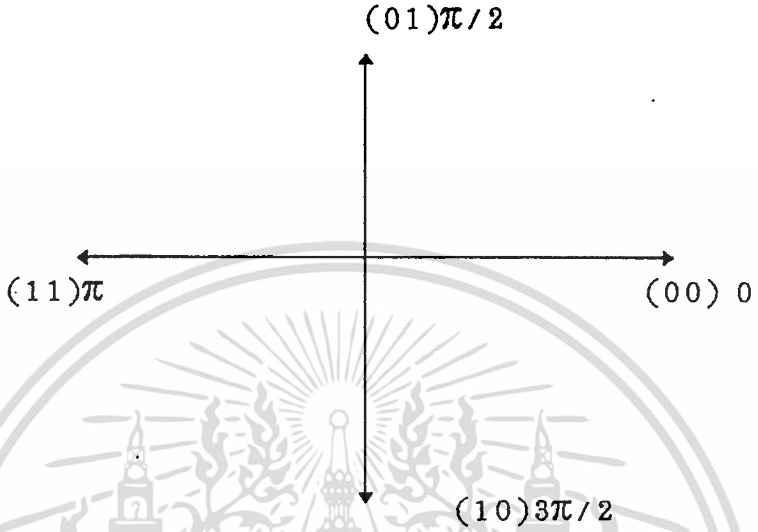
ลองมาพิจารณาการส่งสัญญาณดิจิตอลพร้อมกัน 2 บิทในเวลาเดียวกัน ในกรณีนี้จะมีการรวมรหัส 4 ตัวด้วยกันคือ 00, 01, 10 และ 11 โดยให้รหัสที่รวมกันนี้เทียบกับเฟส 4 เฟส สัญญาณดิจิตอล 2 บิทจึงสามารถส่งพร้อมกันได้

1st bit	0	0	1	1
2nd bit	0	1	0	1

ตารางที่ 2.2 สัญญาณดิจิตอล 2 บิทที่จะส่งพร้อมกัน

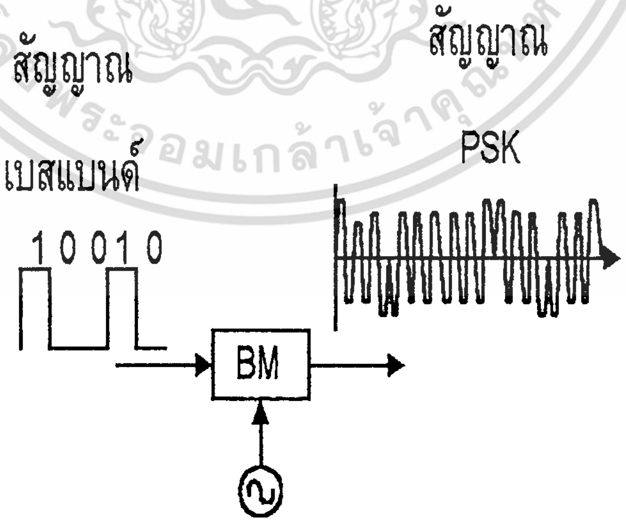
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PSK ที่ใช้ 4 เฟส เริ่มแรกเรียกว่า quadri PSK (QPSK) เฟส 0 สำหรับรหัส 00, เฟส $\pi/2$ สำหรับรหัส 01, เฟส π สำหรับรหัส 11 และเฟส 3 $\pi/2$ สำหรับรหัส 10



รูปที่ 2.9 Quadri PSK(QPSK)

โดยทั่วไปแล้วการมอดูเลท PSK จะใช้ balanced modulator สมมุติว่าสัญญาณดิจิตอลเบสแบนด์อยู่ในรูปคลื่นสี่เหลี่ยนมีแอมปลิจูดเท่ากับ -1 สี่เหลี่ยมนี้ถูกผสมโดยคลื่นแคเรียร์ Acos2π $f_c t$ ผ่านวงจร balanced modulator สัญญาณ PSK ที่ได้แสดงดังในรูป

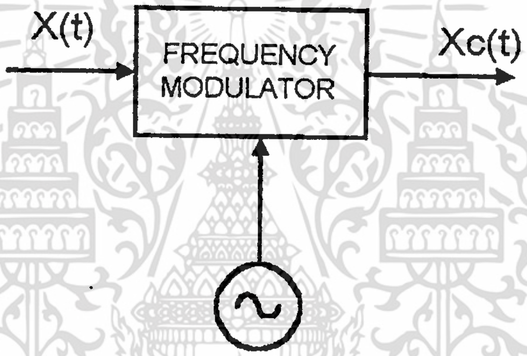


รูปที่ 2.10 การมอดูเลทสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ PSK สำหรับรหัส 1 จะเป็น

$S(t) = -1 \times A \cos 2\pi f_c t = A \cos 2\pi fct$ เราสามารถเขียน $-A \cos 2\pi f_c t = A \cos (2\pi f_c t + \pi)$ ตามหลักการนี้แสดงว่าสำหรับรหัส 0 เฟสของคลื่นแคเรียร์จะเปลี่ยนไปเท่ากับ π การมอดูเลทสัญญาณดิจิตอลโดยการเปลี่ยนความถี่ของสัญญาณคลื่นพาห์ ตามที่แสดงไว้ในรูปการมอดูเลทสัญญาณดิจิตอลโดยการเปลี่ยนความถี่ของคลื่นพาห์ สวิทช์ตอบสนองสัญญาณดิจิตอล เพื่อทำการเลือกออสซิลเลเตอร์ที่มีความถี่ที่ต้องการเพื่อทำการส่งสัญญาณออกไปจำนวนออสซิลเลเตอร์ที่เตรียมไว้จะต้องเท่ากับจำนวนระดับของสัญญาณ การมอดูเลทวิธีนี้เฟสของสัญญาณแต่ละช่วงจะไม่ต่อเนื่องกัน เพราะมาจากออสซิลเลเตอร์คนละชุดกันวิธีนี้โดยทั่วไปเรียกว่าFSK(Frequency Shift Keying) สัญญาณทั้งสองแบบนี้มีความยุ่งยากในการวิเคราะห์สเป็กตรัม



รูปที่ 2.11 การมอดูเลทสัญญาณดิจิตอลโดยการเปลี่ยนความถี่ของคลื่นพาห์

เนื่องจากการมอดูเลทแบบ FSK ในกรณีที่สัญญาณดิจิตอลมีมากกว่า 2 ระดับ จะไม่สู้มีที่ใช้มากนัก ถ้าเปรียบเทียบกับการมอดูเลทแบบ QAM หรือแบบ PSK ดังนั้น ในที่นี้จะกล่าวถึงการวิเคราะห์สเป็กตรัมของกรณีสัญญาณดิจิตอล 2 ระดับเท่านั้น ถ้าให้อัตราข้อมูลเป็น R_B bps ตามเงื่อนไขที่จะให้เฟสต่อเนื่องระหว่างช่วงการเปลี่ยนสัญญาณ จะหา f_d ได้ดังนี้

$$f_d = \frac{1}{2D} = \frac{R_B}{2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การดีมอดูเลทสัญญาณดิจิตอลแบบไบนารี

การดีมอดูเลทสัญญาณดิจิตอลแบบที่ผสมอยู่กับคลื่นพาห์นี้โดยหลักการพื้นฐานแล้ว วิธีการจะเหมือนกับกรณีของสัญญาณแบบ อนาล็อก กล่าวคือ จะสามารถแยกกว้าง ๆ ออกได้เป็น 2 วิธีด้วยกันคือ การดีมอดูเลทแบบซิงโครนัสดีเทคชันหรือโคฮีเรนท์ดีเทคชัน กับการดีเทคแบบนอนโคฮีเรนท์หรือสัญญาณรบกวนได้ดีกว่า ซึ่งผลที่ได้ในเชิงของพรอบบะบิลิตีของการผิดพลาดก็จะดีกว่ามอดูเลทแบบโคฮีเรนท์ดีเทคชันที่ให้ผลดีที่สุด และผลที่ได้สำหรับสัญญาณดิจิตอลที่มอดูเลทแบบต่างๆ ในกรณีของสัญญาณไบนารีแบบ FSK นั้น ถ้าให้สัญญาณ “1” และ “0” ทำให้ความถี่เปลี่ยนไปจากความถี่คลื่นพาห์เป็น + f_d และ - f_d ตามลำดับ เราจะสามารถเขียนสัญญาณได้ในรูปต่อไปนี้

$$s_1(t) = A_c p(t)\cos 2\pi(f_c+f_d)t$$

$$s_0(t) = A_c p(t)\cos 2\pi(f_c-f_d)t$$

ในกรณีที่ $f_c \pm f_d >> R_B$

จะได้

$$E_L = E0 = A_C^2 D = \frac{Eb}{2}$$

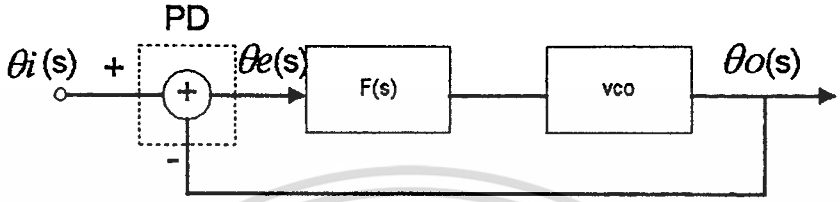
$$E_{10} = A_C^2 D \operatorname{sinc}(4\pi f_d D) = \frac{Eb}{2}\operatorname{sinc}(4\pi f_d D)$$

จากผลที่ได้นี้จะเห็นได้ว่า E_{10} เปลี่ยนแปลงไปตามความสัมพันธ์ระหว่าง f_d กับ D เราจะทำให้ E_{10} เป็น 0 ได้ ถ้าเลือก $f_d = n/4D$ โดยที่ n เป็นเลขจำนวนเต็ม เพื่อให้ค่า $E_b - E_{10}$ มีค่าสูงที่สุดนั้น อาจทำได้โดยเลือกค่า f_d ที่ทำให้ sinc $(4\pi f_d D)$ มีค่าเป็นลบมากที่สุด ซึ่งเท่ากับ - 0.22 ในกรณีที่ $E_{10} = 0$ นั้น พรอบบะบิลิตีของการผิดพลาด ก็จะเท่ากับของสัญญาณ OOK ส่วนกรณีที่ $E_{10} = -0.22E_b$ นั้น พรอบบะบิลิตีของการผิดพลาดก็จะมีค่าต่ำลง แต่ว่าก็ยังสู้สัญญาณแบบ PSK ไม่ได้ ในขณะที่ระบบดีเทคสัญญาณของกรณีสัญญาณ FSK จะยุ่งยากกว่าของสัญญาณแบบ OOK และแบบ PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ทฤษฎีเฟสล็อกลูปพื้นฐานและอุปกรณ์ในลูป

ระบบเฟสล็อกลูป (Phase Locked Loop:PLL) เป็นระบบที่เอาเฟสของสัญญาณเอาท์พุทป้อนกลับ (Feed Back) มาควบคุมความถี่ของลูปแสดงโครงสร้างของระบบในรูปที่ 2.12



รูปที่ 2.12 แสดงโครงสร้างของระบบเฟสล็อกลูป

โดย	$\theta_o(s)$	เฟสเอาท์พุทของระบบ	(rad)
	$\theta_1(s)$	เฟสอินพุทหรือเฟสอ้างอิงของระบบ	(rad)
	$\theta_e(s)$	เฟสเออเรอร์ของระบบ	(rad)
	PD	เฟสดีเทคเตอร์	
	VCO	วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน	
	F (s)	วงจรกรองความถี่ต่ำผ่าน	

แบบจำลองเฟสล็อกลูป

เราสามารถวิเคราะห์และกำหนดเงื่อนไขในการออกแบบระบบเฟสล็อกลูปให้เป็นระบบเชิงเส้น [3] โดยให้ความต่างเฟสระหว่างเฟสดีเทคเตอร์อินพุทและเฟสที่ป้อนกลับมีเฟสแตกต่างกันไม่มาก และให้เอาท์พุทของเฟสดีเทคเตอร์เป็นแรงดัน (Va) โดยขึ้นอยู่กับความต่างเฟสของเฟสอินพุทและเฟสป้อนกลับหรือเขียนได้เป็น

$$V_a = K_d(\theta_1 - \theta_0) \qquad .....(1)$$

โดย K_d เป็นค่าเฟสดีเทคเตอร์เกนมีหน่วยเป็น V/rad และในกรณีที่ให้ระบบเป็นแบบเชิงเส้น เราจะได้ความถี่เอาท์พุทของวงจร VCO ที่เบี่ยงเบนออกจากความถี่ศูนย์กลางคือ

$$\Delta\omega = K_o V_c \qquad ....(2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย V_c เป็นแรงดันอินพุทของวงจร VCO, K_o เป็น VCO เกนมีหน่วย rad/v ดังนั้น เขียนความถี่ที่เอาท์พุทของ VCO คือ

$$\omega_o = \omega_c + \Delta\omega = \omega_c + K_o V_c \qquad .....(3)$$

โดย ω_c เป็นความถี่อิสระ (free running) ของ VCO และจากความถี่เป็นการอนุพันธ์ของเฟสเทียบกับเวลาหรือเขียนได้เป็น

$$\Delta\omega = \frac{d\theta_o}{dt} = K_o V_c \qquad .....(4)$$

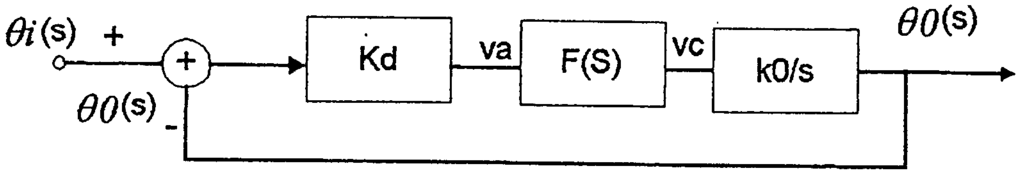
หรือเขียนเฟสเอาท์พุทของลูปอยู่ในรูปของ

$$\theta_o(t) = \int_0^t \Delta\omega \, dt + \theta_{-o} \qquad .....(5)$$

กรณีในระบบของ PLL ถ้าทำการวิเคราะห์ด้วยการลาปลาซทรานฟอร์ม (Laplace transform) เขียนเฟสเอาท์พุทเขียนได้เป็น

$$\theta_o(s) = \frac{K_o V_o}{S} \qquad .....(6)$$

ดังนั้น ระบบ PLL สามารถแสดงแบบจำลองได้ดังรูป



รูปที่ 2.13 แสดงแบบจำลองของ PLL

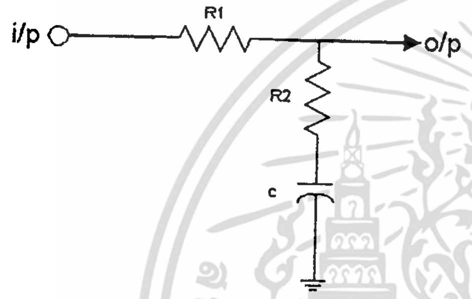
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจากรูป เราสามารถเขียนทรานเฟอร์ฟังก์ชันของระบบได้คือ

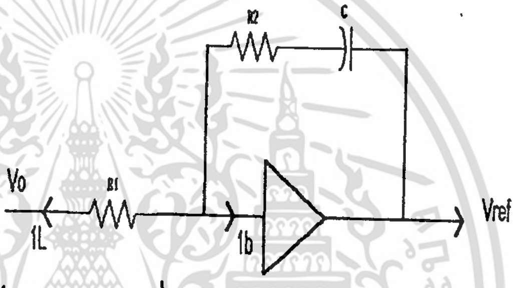
$$\frac{\theta_o s)}{\theta_1 (s)} = \frac{K_d K_o F(s)/s}{1 + K_d K_o F(s)/s} \qquad .....(7)$$

วงจรกรองความถี่ในลูป

สำหรับกรณีวงจรกรองความถี่ต่ำผ่าน F (s) ในลูป ซึ่งเป็นตัวควบคุมคุณสมบัติไดนามิกของลูป สำหรับในที่นี้ขอกล่าวไว้ 2 ประการคือ วงจรกรองแบบพาสซีฟหรือวงจรกรองเป็นลีด-แล็ก (Lead-Lag Filter) และวงจรกรองความถี่แบบแอคตีฟ



รูปที่ 2.14ก. แสดงวงจรกรองแบบพาสซีฟ



รูปที่ 2.14ข. แสดงวงจรกรองแบบแอคตีฟ

วงจรกรองแบบพาสซีฟ หรือวงจรกรองเป็นลีด-แล็ก (Lead-Lag Filter) แสดงในรูปทรานเฟอร์ฟังก์ชันคือ

$$F(s) = \frac{ST_2 + 1}{ST1 + 1} \qquad .....(8)$$

โดย $T_1 = (R_1 + R_2)\,C$

$T_2 = (R_2 C)$

วงจรกรองแบบแอคตีฟมีทรานเฟอร์ฟังก์ชั่นแสดงได้คือ

$$F(s) = \frac{(ST_2 + 1)}{sT_1}$$

โดย $T_1 = R_1 C$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$T_2 = R_2C$

โดย A เป็นเกนของวงจรขยายกำหนดให้มีค่ามาก ๆ ถ้าแทนสมการ (8) ลงในสมการ (7) จะได้ทรานเฟอร์ฟังก์ชันของเฟสเอาท์พุทต่อเฟสอินพุทคือ

$$H_1(s) = \frac{\theta_o(s)}{\theta_1(s)} = \frac{K_oK_d(sT_2 + 1)/T_1}{s^2 + s(1 + K_oK_dT_2)/T_1 + K_oK_d/T_1} \quad .....(10)$$

หรือถ้าวงจรกรองแบบแอคตีฟ แทนสมการ (9) ลงในสมการ (7) จะได้ทรานเฟอร์-ฟังก์ชันของ PLL คือ

$$H_2(s) = \frac{K_oK_d(sT_2 + 1)/T_1}{s^2 + s(K_oK_dT_2)/T_1 + K_oK_d/T_1} \quad .....(11)$$

จากทรานเฟอร์ฟังก์ชัน (10), (11) เขียนให้อยู่ในเทอมของระบบป้อนกลับแบบเซอร์โว (servo) ได้เป็น

$$H_1(s) = \frac{s(2\xi\omega_n - \omega_n^2/K_oK_d) + \omega}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad .....(12)$$

โดย $\omega_n = \sqrt{K_oK_d/T_1}$

$$\xi = \frac{1}{2}\sqrt{(K_oK_d/T_1) \times (T_2 + 1/K_oK_d)}$$

ถ้าค่า $K_oK_d >> \omega_n$ แล้วทรานเฟอร์ฟังก์ชัน H_1 จะประมาณได้ว่า

$$H_1 = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad .....(13)$$

สำหรับ PLL ที่ใช้วงจรกรองความถี่แบบแอคตีฟในลูป ทรานเฟอร์ฟังก์ชันคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H_2 = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n 2} \qquad .....(14)$$

โดย $\omega_n = \sqrt{K_o K_d / T_1}$

$$\xi = \frac{T_2}{2}\sqrt{K_o K_d / T_1} = \frac{T_2 \omega_n}{2}$$

และถ้าค่าเฟสเออเรอร์เป็นความแตกต่างระหว่างเฟสอินพุทต่อเฟสที่ป้อนกลับแล้วจะได้

$$\theta_e(s) = \theta_1(s) - \theta_0(s) \qquad .....(15)$$

ซึ่งทรานเฟอร์ฟังก์ชันของเฟสเออเรอร์ต่อเฟสอินพุทของ PLL แสดงได้คือ

$$\frac{\theta_e(s)}{\theta_i(s)} = 1 - \frac{\theta_o(s)}{\theta_i(s)} \qquad .....(16)$$

หรือเขียนได้

$$\frac{\theta_e(s)}{\theta_i(s)} = \frac{s}{s + K_o K_d F(s)} \qquad .....(17)$$

ถ้า PLL ใช้วงจรกรองชนิดลีดเล็คแบบพาสซีฟแล้ว ทรานเฟอร์ฟังก์ชันของเฟสเออเรอร์ต่อเฟสอินพุทเขียนได้เป็น

$$H_3(s) = \frac{\theta_e(s)}{\theta_i(s)} = \frac{s(s + \omega_n^2 / K_o K_d)}{s^2 + 2\xi\omega_n s + \omega_n^2} \qquad ....(18)$$

$$= \frac{s\,[s + 1/T_1]}{s^2 + 2\xi\omega_n s + \omega_n 2} \qquad .....(19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้ากำหนดค่าลูปเกนมากกว่าความถี่ธรรมชาติ ($K_oK_d >> \omega_n$) แล้ว

$$H_3(s) = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad .....(20)$$

สำหรับทรานเฟอร์ฟังก์ชันของเฟสเออเรอร์ต่อเฟสอินพุทของ PLL ที่ใช้ วงจรกรองแบบแอคตีฟหาได้โดยแทนสมการที่ (9) ลงในสมการ (17) ทรานเฟอร์ฟังก์ชันของเฟสเออเรอร์คือ

$$H_4(s) = \frac{\theta_e(s)}{\theta_i(s)} = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad ......(21)$$

ซึ่งมีค่าเท่ากับสมการที่ (20)

เฟสดีเทคเตอร์

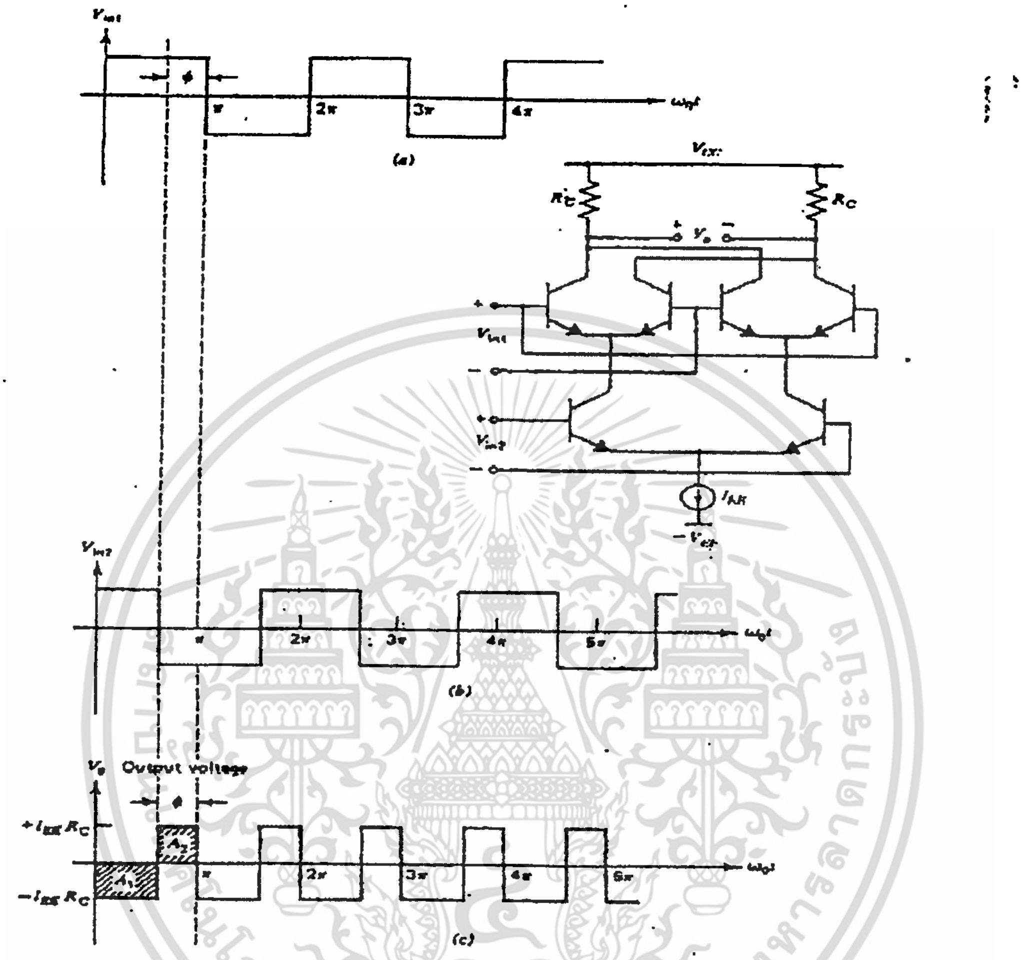
สำหรับเฟสดีเทคเตอร์ หรืออาจเรียกว่าเฟสคอมพาราเตอร์ (Phase Comparator)เป็นอุปกรณ์ที่เปรียบเทียบสัญญาณอ้างอิงหรือเฟสอินพุทกับเฟสเอาท์พุทที่ป้อนกลับจาก VCO และให้แรงดันเอาท์พุทเป็นแรงดันที่แปรตามค่าความต่างเฟส สำหรับเฟสดีเทคเตอร์สามารถ แบ่งออกเป็น 2 ประเภท คือ อนาลอกเฟสดีเทคเตอร์และดิจิตอลเฟสดีเทคเตอร์ โดย PLL ที่ใช้อนาลอกเฟสดีเทคเตอร์หรืออาจเรียกว่าอนาลอกเฟสล็อกลูป (Analog Phase Locked Loop) และ ใน PLL ที่ใช้ดิจิตอลเฟสดีเทคเตอร์ หรืออาจเรียกว่า ดิจิตอลเฟสล็อกลูป (Digital Phase Locked Loop : DPLL) โดยทั่วไปแล้วถ้ากล่าวถึง PLL นั่นหมายถึงอนาลอกเฟสล็อกลูป สำหรับ เฟสดีเทคเตอร์ที่ใช้ในอนาลอกเฟสล็อกลูปที่ใช้กันมากก็คือวงจรคูณแบบกิลเบิร์ด (Gilbert Multiplier) และสำหรับ DPLL มักใช้เฟสดีเทคเตอร์ แบบเฟสฟรีเควนซี่ดีเทคเตอร์ (Phase Frequency Detector : PFD)

วงจรคูณแบบกิลเบิร์ด [4]

โครงสร้างวงจรแสดงดังรูป โดยสัญญาณอินพุทของเฟสดีเทคเตอร์ จะมาจากสัญญาณอ้างอิง และสัญญาณที่ป้อนกลับจากเอาท์พุทของ VCO โดยสัญญาณจาก VCO จะให้สัญญาณรูปสี่เหลี่ยม ส่วนสัญญาณอินพุทของเฟสดีเทคเตอร์โดยทั่วไปจะเป็นสัญญาณไซน์มีขนาดใหญ่เมื่อเปรียบเทียบกับแรงดันความร้อนสมมูลย์ (Thermal Voltage = 26 mv) ดังนั้น ทรานซีสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คู่ล่างของวงจรคูณจะปิดและเปิดตามซีกบวกหรือลบของสัญญาณไซน์ ในที่นี้วงจรคูณจะทำหน้าที่เป็นซิงโครไนซ์สวิทซ์ (Synchronous Switched) โดยอินพุทป้อนเข้าที่จุด V_{in1}, V_{in2} สามารถเขียนสัญญาณการทำงานได้ดังรูปที่ 2.15



รูปที่ 2.15 แสดงวงจรอนาลอกเฟสดีเทคเตอร์

สำหรับสัญญาณเอาท์พุทประกอบด้วย DC และสัญญาณส่วนประกอบที่เป็น AC ที่มีความถี่เป็น 2 เท่าของสัญญาณอินพุท ดังนั้น ค่าเฉลี่ยของสัญญาณเอาท์พุทแสดงได้คือ

$$V_{avx} = \frac{1}{\pi} \int_{\pi}^{\pi} V_o(t)\,dt \qquad \text{......(22)}$$

จะได้

$$V_{avx} = (A_1 - A_2)/\Pi \qquad \text{.....(23)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

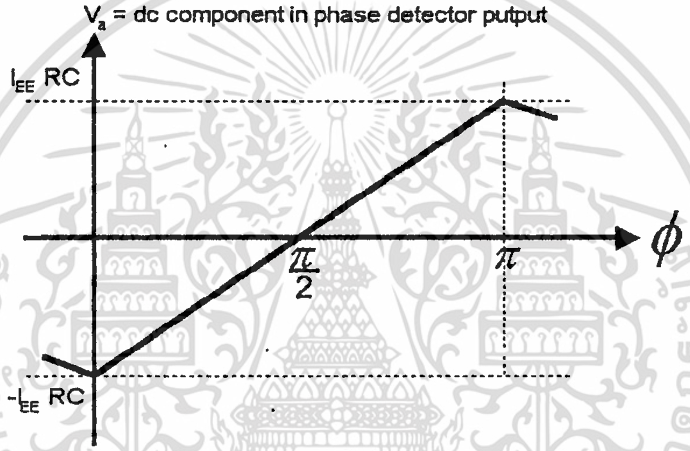
สำหรับ A1, A2 เป็นพื้นที่แสดงดังรูป ดังนั้น

$$V_{avx} = -[I_{EE}R_C(\Pi-\phi)/\Pi - I_{EE}R_C\phi/\Pi] \qquad .....(24)$$

จะได้

$$V_{avx} = I_{EE}R_C(2\phi/\Pi - 1) \qquad .....(25)$$

โดยแสดงคุณสมบัติโอนย้ายของอนาลอกเฟสดีเทคเตอร์ได้ดังรูปที่ 2.16



รูปที่ 2.16 แสดงคุณสมบัติโอนย้ายของอนาลอกเฟสดีเทคเตอร์

วงจรเฟสฟรีเควนซีดีเทคเตอร์

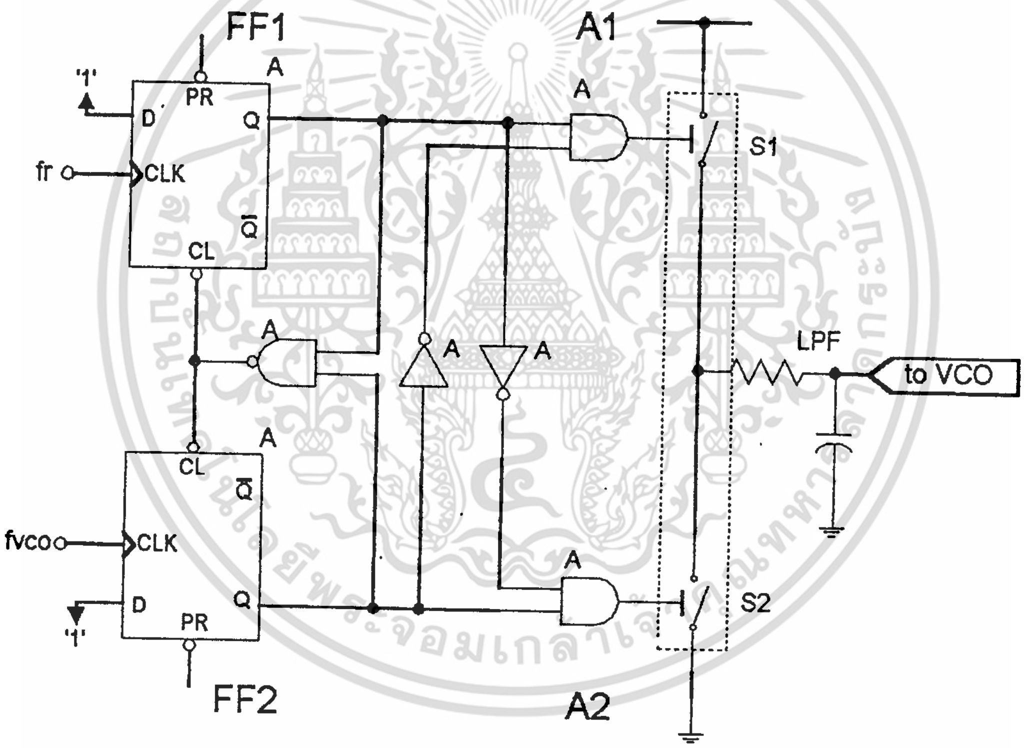
สำหรับเฟสฟรีเควนซีดีเทคเตอร์ (Phase Frequency Detector : PFD) เป็นวงจรที่รับสัญญาณอินพุทเป็นสัญญาณดิจิตอล และให้เอาท์พุทเป็นสัญญาณดิจิตอลที่ขึ้นอยู่กับความต่างเฟสของสัญญาณอินพุท นอกจากจะทำการดีเทคความต่างเฟสแล้ว วงจร PFD สามารถที่จะดีเทคความแตกต่างระหว่างความถี่อินพุททั้งสองด้วย สำหรับวงจรของ PFD แสดงได้ดังรูป

วงจรจะประกอบด้วย ฟลิบฟลอบ, วงจรเกท, และต่อร่วมกันกับส่วนที่เรียกว่า ชาร์จปั๊ม (Charge Pump) ซึ่งเป็นส่วนเปลี่ยนสัญญาณเอาท์พุทลอจิกเป็นแรงดัน โดยแสดงวงจรสมมูลย์ของวงจรชาร์จปั๊มเป็นสวิชท์ที่จะปิดเมื่อมีสัญญาณลอจิกที่มาซับเท่ากับ "1" และเปิดเมื่อลอจิกที่มาซับเท่ากับ "0" โดยที่อินพุท f_r เป็นสัญญาณจากความถี่อ้างอิง ส่วนอินพุท f_{vco} เป็นอินพุทจาความถี่ป้อนกลับจาก VCO สำหรับการทำงานแสดงรูปคลื่นอินพุท, เอาท์พุทของเฟสฟรีเควนซีดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคเตอร์และที่เอาท์พุทของวงจรกรองความถี่ต่ำผ่าน (LPF) โดยสามารถแบ่งการอธิบายการทำงานได้เป็น 3 ช่วง คือ

ช่วงแรก เริ่มต้นสัญญาณ f_r ที่มีเฟสนำหน้าสัญญาณ f_{vco} ขอบของสัญญาณ f_r จะเซ็ทฟลิบฟลอบ FF_1 ให้สัญญาณที่ขา Q เป็นลอจิก "1" ส่วนสัญญาณที่ขา Q ของ FF_2 นั้น จะเป็นลอจิก "0" ดังนั้น เอาท์พุทเกท A_1 มีลอจิก "1" ทำให้ S_1 ปิด ดังนั้น กระแสจะไหลจากแหล่งจ่าย VCC ผ่านความต้านทานเข้าสู่คาปาซิเตอร์ในวงจร LPF ซึ่งเป็นการชาร์จแรงดันให้กับคาปาซิเตอร์ ขณะต่อมาขอบของสัญญาณ f_{vco} ที่ตามมาจะเซ็ทให้ขา Q ของฟลิบฟลอบ FF_2 เป็น "1" ดังนั้น ที่เอาท์พุทของแนนเกทจะได้เอาท์พุท "0" เป็นการรีเซ็ทฟลิบฟลอบทั้งสองตัวดังนั้น ที่สวิชท์ S_1 จะเปิดออก สำหรับปรากฏการณ์ในช่วงแรกนี้เราเรียกว่าเป็นการปั๊มขึ้น (Pump Up) โดยอาจจะเกิดขึ้นหลาย ๆ ไซเคิลต่อ ๆ กัน โดย PFD จะทำการปั๊มขึ้นจนกระทั่งเฟสของ f_r และเฟสของ f_{vco}

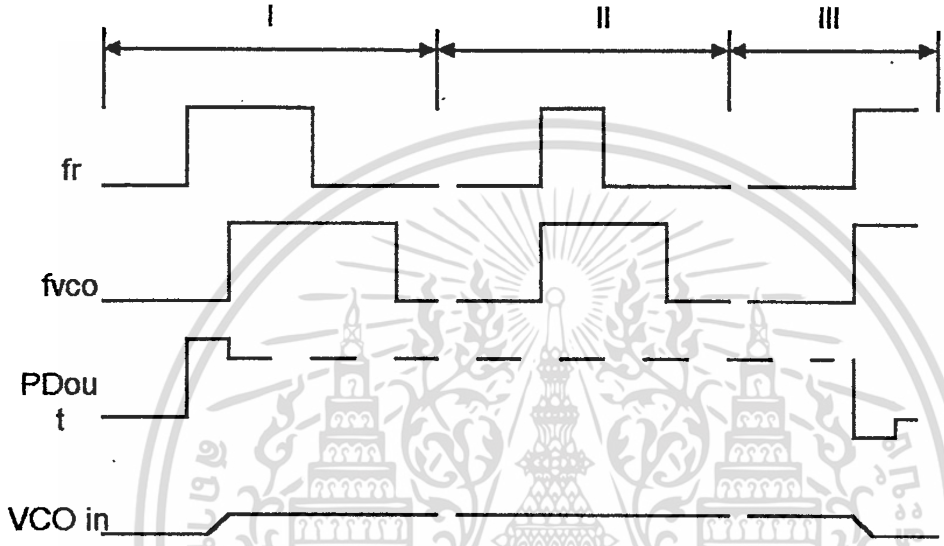


รูปที่ 2.17 โครงสร้างของวงจรเฟสฟรีเควนซีดีเทคเตอร์

ช่วงสอง เนื่องจากเฟสของ f_r และ f_{vco} เท่ากันแล้ว S_1 และ S_2 อยู่ในสภาวะเปิดออกทั้งคู่ สภาวะเช่นนี้ที่จุดที่ต่อกับ LPF จะเป็นสถานะไฮอิมพีแดนซ์ (Hi-Impedance) แรงดันที่ควบคุม VCO จะเป็นแรงดันซึ่งคงค้างในคาปาซิเตอร์จากการชาร์จ

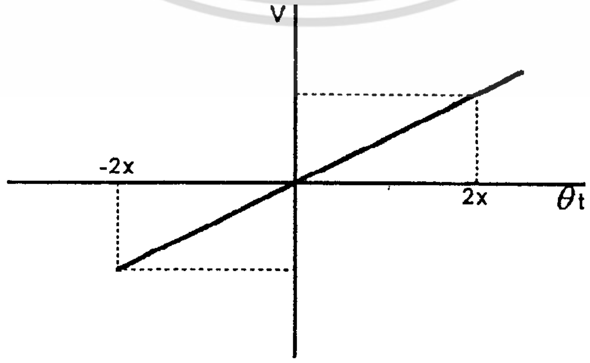
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงสาม กรณีเฟสของสัญญาณจาก VCO เริ่มนำหน้าสัญญาณ f_{in} ขอบของสัญญาณ f_{vco} จะเซ็ทให้ฟลิบฟลอบ FF_2 ให้ลอจิกเอาท์พุทเท่ากับ “1” และที่เอาท์พุทของเกท A_2 มีค่าเป็นลอจิก “1” ทำให้ S_2 ถูกปิดแรงดันในคาปาซิเตอร์ จะถูกดิสชาร์จผ่านความต้านทาน, สวิชท์ S_2 ลงกราวด์ และเฟสของ f_{in} ที่ตามมาจะเซ็ทฟลิบฟลอบ FF_1 ทำให้เอาท์พุทของ A_2 เป็นลอจิก “0” และ S_2 ถูกเปิดออก สำหรับลักษณะการทำงานในช่วงนี้เรียกว่าการปั๊มลง (Pump Down) โดยอาจจะเกิดเป็นหลาย ๆ ไซเคิลเช่นเดียวกับการปั๊มขึ้น



รูปที่ 2.18 แสดงผังเวลาของเฟสฟรีเควนซีดีเทคเตอร์ในช่วงเวลาต่าง ๆ

กล่าวได้ว่าในกรณีถ้าความถี่อินพุทไม่เท่ากันแล้ว ที่อินพุทของ PFD จะมีความต่างเฟสกันตลอดเวลา ดังนั้น ฟลิบฟลอบ FF_1, FF_2 จะถูกเซ็ทตลอด เช่น ถ้า $f_{in} > f_{vco}$ ที่เอาท์พุทของ Q_1 จะเป็น “1” ตลอด ทำให้ S_1 ปิดวงจร, แรงดันชาร์จเข้าสู่คาปาซิเตอร์ เป็นการเพิ่มแรงดันให้กับ VCO สร้างความถี่เพิ่มขึ้นตาม f_{in} สำหรับคุณสมบัติโอนย้ายของเฟสฟรีเควนซีดีเทคเตอร์แสดงได้ดังรูปที่ 2.19



รูปที่ 2.19 แสดงคุณสมบัติโอนย้ายของเฟสฟรีเควนซีดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลตอบสนองของลูปต่อสัญญาณอินพุท

ในการวิเคราะห์ผลของ PLL ต่อสภาวะทรานเซียนและสเทคดีสเตท (Steady State) เนื่องจากการเปลี่ยนแปลงของสัญญาณอินพุทนั้น มีประโยชน์สำหรับการนำเอา PLL ไปออกแบบสำหรับลูปที่ใช้ติดตาม (Tracking) สัญญาณหรือลูปที่ใช้สำหรับสังเคราะห์ความถี่

ผลตอบสนองการเปลี่ยนเฟส (Phase Step Response)

จากรูป แสดงแบบจำลองของ PLL เมื่อสัญญาณอินพุทมีการเปลี่ยนแปลง เนื่องจากการเปลี่ยนเฟสสัญญาณอินพุทเขียนอยู่ในรูปของเฟสได้เป็น

$$\theta_i(t) = u(t)\,\Delta\theta \qquad .....(26)$$

$u(t)$ = ยูนิตสเตปฟังก์ชัน

$\Delta\theta$ = ขนาดเฟสอินพุทที่เปลี่ยนแปลง

หรือเขียนให้อยู่ในรูป S โดเมนได้ว่า

$$\theta_i(s) = \frac{\Delta\theta}{S} \qquad .....(27)$$

จากสมการที่ (19), (21) สำหรับ PLL ที่มีค่าลูปเกนสูง ๆ จะได้เฟสเออเรอร์จากการเปลี่ยนแปลงเฟสอินพุทได้ว่า

$$\theta_e(s) = \frac{\Delta\theta s^2}{S(S^2 + 2\xi\omega_n S + \omega_n^2)} \qquad .....(28)$$

เมื่อต้องการทราบผลตอบสนองของ θ_e ในรูปโดเมนของเวลาทำได้โดยอินเวอ-สลาปลาซทรานฟอร์มสมการที่ (28) จะได้

$$\theta(t) = \Delta\theta\left(\cos\sqrt{1-\xi^2}\,\omega_n t - \frac{\xi}{\sqrt{1-\xi}}\sin\sqrt{1-\xi^2}\,\omega_n t\right)\cdot\exp(-\xi\omega_n t) \quad \text{เมื่อ } \xi<1$$

$$\theta(t) = \Delta\theta\,(1-\omega_n t)\exp(-\omega_n t) \qquad \text{เมื่อ } \xi = 1 \qquad .....(29)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\theta(t) = \Delta\theta \left(\cosh\sqrt{\xi^2-1}\,\omega_n t - \frac{\xi \sinh\sqrt{\xi^2-1}\,\omega_n t}{\sqrt{\xi^2-1}}\right) \exp(-\xi\omega_n t) \quad \text{เมื่อ } \xi>1$$

ซึ่งผลตอบสนองของการเปลี่ยนเฟสอินพุท ในสภาวะทรานเซียนแสดงได้โดยรูปแสดงเฟสเออเรอร์ต่อการเปลี่ยนเฟสอินพุท สำหรับเฟสเออเรอร์ต่อสัญญาณอินพุทในสภาวะสเทดดีสเตท ทำได้โดยแทนค่า $\theta_i(s)$ ของสมการ (27) ในสมการ (17)

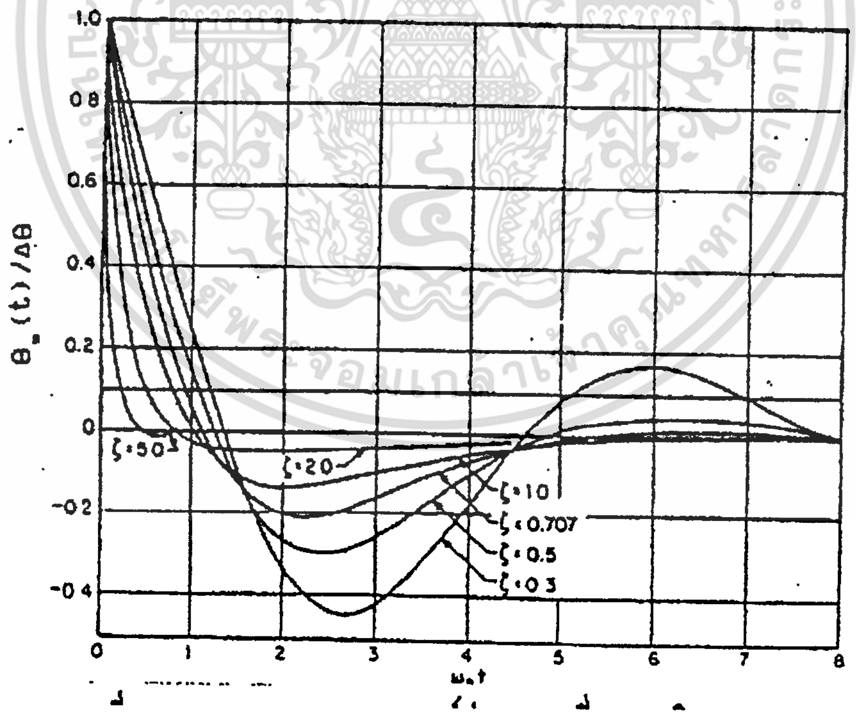
$$\theta_e(s) = \frac{s \quad \Delta\theta}{s + K_o K_d F(s)\, s} \qquad .....(30)$$

โดยใช้ทฤษฎีค่าสุดท้าย (Final Value Theorem) สำหรับลาปลาซทรานฟอร์ม สำหรับหาสภาวะของระบบในช่วงสเทดดีสเตท จะได้

$$\lim_{t \to \infty} \theta_e = \lim_{t \to o} \frac{s^2 \quad \Delta\theta}{S + K_o K_d F(S)\, S} = S\Delta\theta \qquad 31)$$

$$= 0$$

ซึ่งหมายถึงค่าสำหรับอินพุทที่เป็นการเปลี่ยนแปลงทางเฟส ค่าเฟสเออเรอร์ของลูปในสภาวะสเทดดีสเตทจะเป็นศูนย์



รูปที่ 2.20 แสดงเฟสเออเรอร์ต่อการเปลี่ยนเฟสอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลตอบสนองการเปลี่ยนความถี่ (Frequency Step Response)

เมื่อสัญญาณอินพุทเป็นการเปลี่ยนแปลงทางความถี่หรือการเลื่อนจากความถี่หนึ่งไปสู่อีกความถี่หนึ่ง สมการความถี่ของอินพุทเขียนได้เป็น

$$\omega_1 = \omega_o + \Delta\omega \qquad .....(32)$$

ω_o = ความถี่อินพุทเดิม

ω_1 = ความถี่ที่เปลี่ยนแปลงใหม่

$\Delta\omega$ = ขนาดของความถี่ที่เปลี่ยนแปลง

ดังนั้น เฟสอินพุทเขียนได้เป็น

$$\theta_i(t) = \Delta\omega t \qquad .....(33)$$

หรือใน S โดเมน

$$\theta_i(s) = \frac{\Delta\omega}{s^2} \qquad .....(34)$$

จากสมการที่ (20) สำหรับ PLL ที่มีค่าลูปเกนสูง ๆ จะได้เฟสเออเรอร์จากการเปลี่ยนแปลงความถี่ได้ว่า

$$\theta_e(s) = \frac{\Delta\omega s^2}{s^2(s^2 + 2\xi\omega_n s + \omega_n^2)} \qquad .....(35)$$

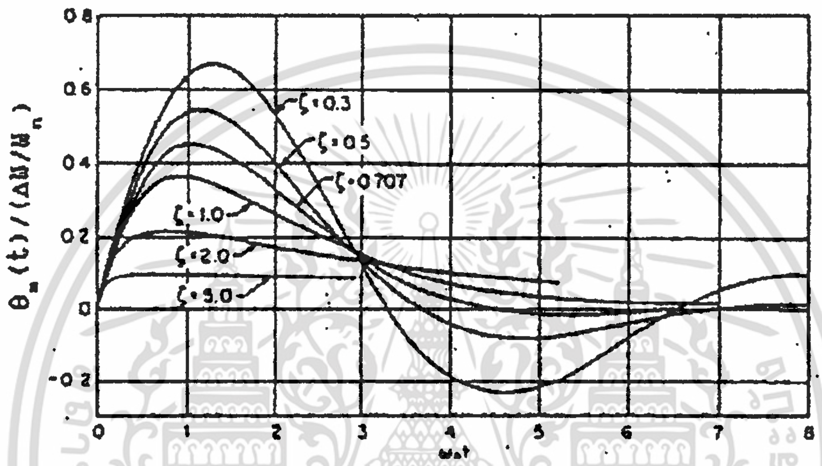
ผลตอบสนองในสภาวะทรานเชียนหาได้โดยการอินเวอสลาปลาซสมการ (35) จะได้

$$\theta(t) = \frac{\Delta\omega}{\omega_n\sqrt{1-\xi^2}}(_1 \sin\sqrt{1-\xi^2}\,\omega_n t)\exp(-\xi\omega_n t) \qquad \text{เมื่อ } \xi < 1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\theta(t) = \frac{\Delta\omega}{\omega_n}(\omega_n t)\exp(-\omega_n t) \qquad \text{เมื่อ } \xi = 1$$

$$\theta(t) = \frac{\Delta\omega}{\Delta\omega_n \sqrt{\xi^2-1}}\left(\underline{1}\sin\sqrt{\xi^2-1}\;\omega_n t\right)\exp(-\xi\omega_n t) \qquad \text{เมื่อ } \xi > 1 \qquad .....(36)$$



รูปที่ 2.21 แสดงเฟสเออเรอร์ต่อการเปลี่ยนความถี่อินพุท

สำหรับเฟสเออเรอร์ในสภาวะสเทดดีสเตท แทนค่าสมการเฟสอินพุทสมการที่ (34) ลงในสมการที่ (7)

$$\theta_e(s) = \frac{s \qquad \Delta\omega}{s + K_o K_d F(s)\, s^2} \qquad .....(37)$$

ใช้ทฤษฎีค่าสุดท้ายสเทดดีสเตทจะได้

$$\lim_{t \to \infty} \theta_e(t) = \lim_{s \to 0} s \quad \theta_e(s) \qquad ......(38)$$

หรือ

$$\theta_e(\alpha) = \frac{\Delta\omega}{K_o K_d F(O)} \qquad .....(39)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยค่า F (O) เป็นอัตราการขยายของวงจรกรองในลูป ถ้าในกรณีวงจรชนิดพาสซีฟแล้ว ดีซีเกนของวงจรกรองในลูป ประมาณเท่ากับ 1 ดังนั้น เฟสเออเรอร์แสดงได้คือ

$$\theta_e(\alpha) = \frac{\Delta\omega}{K_o K_d} \qquad .....(40)$$

สำหรับวงจรกรองความถี่แบบแอคตีฟ ค่าดีซีเกนของวงจรกรองในลูปมีค่ามาก ๆ แล้ว ค่าเฟสออเรอร์แสดงได้คือ

$$\theta e(\alpha) = 0 \qquad .....(41)$$

ซึ่งหมายถึงว่าในทางปฏิบัติแล้ว เอาท์พุทเฟสเออเรอร์ของลูปที่ใช้วงจรกรองความถี่แบบแอคตีฟให้เอาท์พุทน้อยกว่าลูปที่ใช้วงจรกรองแบบพาสซีฟ

การเข้าสู่สภาวะล็อกและการติดตามสัญญาณของ PLL

เนื่องจากการประยุกต์ใช้งานที่สำคัญอันหนึ่งในระบบโทรคมนาคม สำหรับ PLL ก็คือ การใช้สำหรับติดตามสัญญาณเพื่อจะทำการดีมอดูเลทหรือทำการซิงค์โครไนซ์สัญญาณขึ้นมาใหม่จากสัญญาณอินพุทซึ่งเป็นคลื่นพาห์ ดังนั้น การวิเคราะห์ความสามารถติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุทและความสามารถสำหรับเริ่มต้นล็อกความถี่อินพุทจึงมีความสำคัญ โดยในที่นี้จะเป็นการวิเคราะห์สำหรับอนาลอกเฟสล็อกลูปเท่านั้น

1. พิสัยล็อก (LOCK RANGE) เป็นพิสัยที่ความถี่ของ VCO ของลูปสามารถติดตามความถี่ อินพุท (TRACKING) หลังจากลูปเริ่มต้นล็อกกับสัญญาณอินพุทแล้ว ดังนั้น อาจเรียก **พิสัยแทรคกิ้ง** (TRACKING RANGE) หรือพิสัยโฮล (HOLD IN RANGE) การหาพิสัยล็อกสูงสุดนั้นหาได้จากการสมมุติ ว่าความถี่ที่ป้อนเข้าลูปเป็นความถี่สูงสุดของ PLL ทำการล็อก จากสมการ (38) ซึ่งเป็นเฟส เออเรอร์ของ PLL ที่จำลองระบบในสภาวะที่ค่าของเฟสเออเรอร์มีค่าน้อย ๆ สำหรับเฟสเออเรอร์ ที่มีค่ามาก ๆ เขียนได้

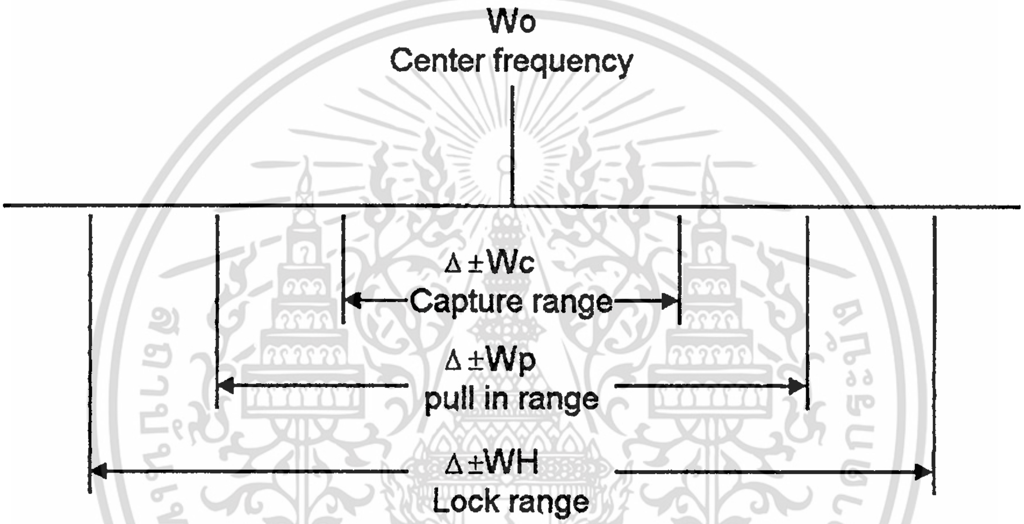
$$\lim_{t \to o} \sin\theta_e(t) = \frac{\Delta\omega_H}{K_o K_d F(o)} \qquad .....(41)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า $\Delta\omega_H$ เป็นค่าพิสัยล็อกซึ่งจะเกิดขึ้นสูงสุดเมื่อมุมของ θ_e เท่ากับ $\pm$ II/2 หรือฟังก์ชัน $\sin \theta_e (t)$ มีค่าสูงสุดคือ ± 1 ดังนั้น

$$\Delta\omega_H = K_o K_d F(O) \qquad .....(42)$$

หรือจะเท่ากับลูปเกนในกรณีของ PLL ที่ใช้วงจรกรองแบบพาสซีฟ และ $\Delta\omega_H$ มีค่าเท่ากับ α กรณี PLL ในวงจรกรองแบบแอคตีฟ

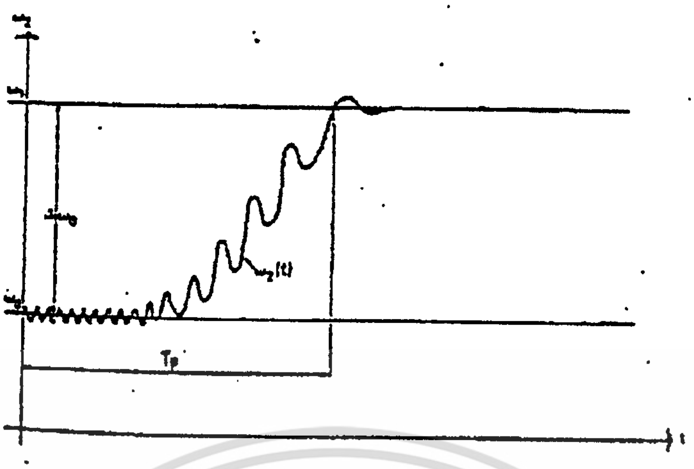


รูปที่ 2.22 แสดงพิสัยล็อก, พิสัยพูลอิน, พิสัยแคปเจอร์

2. พิสัยพูลอิน (Pull In Range) เป็นพิสัยที่ PLL สามารถจะล็อกกับสัญญาณอินพุทได้โดยลูปอยู่ในสภาวะเริ่มต้นไม่ได้ล็อกกับความถี่อินพุท ปรากฏการณ์เริ่มต้นล็อกสามารถอธิบายได้โดยสมมุติให้ลูปเปิดออกระหว่างวงจรกรองความถี่ในลูป (Loop Filter) และ VCO ถ้าที่อินพุทมีความถี่เข้ามา (ω_1) ใกล้ความถี่ VCO (ω_2) เฟสดีเทคเตอร์ ซึ่งเป็นอนาลอกมัลติพลายเรอร์ จะให้ผลรวมและผลต่างของความถี่ระหว่างความถี่อินพุทและความถี่เอาท์พุท VCO โดยที่เอาท์พุทของวงจรกรองจะมีเพียงผลต่างของความถี่ ถ้าลูปเปิดอย่างทันทีทันใด ผลต่างของความถี่ซึ่งกำหนดให้เท่ากับ $\Delta\omega_o$ หรือเขียนได้

$$\Delta\omega_o = \frac{d\theta_e}{dt} \qquad .....(44)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 แสดงการเกิดสัญญาณบีทโน๊ต

ความถี่ $\Delta\omega_o$ จะเป็นสัญญาณอินพุทของ VCO ซึ่งจะมอดูเลทแบบ FM หรือสัญญาณเอาท์พุทเป็นสัญญาณไซน์โดยขนาดของความถี่เปลี่ยนแปลงตามเวลาถ้าระหว่างขบวนการมอดูเลท ค่าความถี่ของ VCO เคลื่อนเข้าใกล้ความถี่อินพุท ดังนั้น ค่า $\Delta\omega_o$ จะลดลงค่า $d\theta_e/dt$ ลดลง ผลการเปลี่ยนแปลงแรงดันของเฟสดีเทคเตอร์ ทางด้านเอาท์พุทจะช้าลงเมื่อเทียบเวลาแต่ถ้าระหว่างขบวนการมอดูเลท ค่าความถี่ของ VCO เคลื่อนจากความถี่อินพุทจะทำให้ค่า $\Delta\omega_o$ เพิ่มมากขึ้น ค่า $d\theta_e/dt$ เพิ่มขึ้นแรงดันเอาท์พุทของเฟสดีเทคเตอร์เปลี่ยนแปลงอย่างรวดเร็วเมื่อเทียบกับเวลาแสดงการเกิดสัญญาณบีทโน๊ตในรูปแสดงการเกิดสัญญาณบีทโน๊ต

ภายใต้เงื่อนไขดังกล่าวแสดงสัญญาณเฟสดีเทคเตอร์เอาท์พุท ได้ดังรูปสัญญาณบีทโน๊ตที่เป็นลักษณะไม่สมมาตรจะให้ค่าแรงดันดีซีเฉลี่ย ที่ทำให้ความถี่ของ VCO เคลื่อนที่เข้าไปสู่ความถี่อินพุท จนกระทั่งเท่ากันหรือเกิดการล็อกช่วงเวลาที่ PLL ใช้สำหรับการล็อกนี้เรียกว่าเวลาพูลอิน (Pull In Time) โดยถ้า $\Delta\omega_o$ มากกว่าลูปเกนมาก ๆ แล้ว ($\Delta\omega_o \gg K_oK_d$) ค่าเวลาพูลอินจะประมาณได้คือ

$$T_D = \frac{(\Delta\omega_o)^2}{2\xi\omega_n^3} \qquad .....(45)$$

ซึ่งค่า $\Delta\omega_o$ ที่เป็นความแตกต่างระหว่างความถี่อินพุทและความถี่อิสระของ VCO

3. พิสัยแคปเจอร์ เป็นพิสัยที่ PLL สามารถจะล็อกกับความถี่อินพุท โดยสภาพของลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไม่ได้เริ่มต้นล็อกเช่นเดียวกับพิสัยพูลอิน ซึ่งพิสัยแคปเจอร์นี้ช่วงความถี่จะแคบกว่า โดยผลต่างความถี่อินพุทเข้ามากับความถี่ของ VCO ไม่ทำให้เกิดลักษณะสัญญาณบีทโน๊ต ที่เอาท์พุทของเฟสดีเทคเตอร์ หรือกล่าวได้ว่าผลต่างของความถี่สามารถผ่านลูปฟิลเตอร์โดยไม่ถูกลดทอน ดังนั้น เขียนสมการของความถี่สูงสุดของ VCO เอาท์พุทได้จากการถูกมอดูเลท โดยแรงดันที่ผ่านลูปฟิลเตอร์นี้ได้

$$\left|\Delta\omega_c\right| = K_o K_d F \left|j\Delta\omega\right| \quad .....(46)$$

โดย $\left|F(j\Delta\omega)\right|$ เป็นอัตราการลดทอนของวงจรกรองความถี่ต่อความถี่ที่แตกต่างกันระหว่างความถี่อินพุทและความถี่ของ VCO (ที่เป็นความถี่อิสระ) สำหรับวงจรกรองความถี่แบบพาสซีฟ ขนาดของแมกนีจูดทรานเฟอร์ฟังก์ชันแสดงได้คือ

$$F(j\omega) = \sqrt{\frac{1+(\omega T_2)^2}{1+(\omega T_1)^2}} \quad .....(47)$$

หรือประมาณได้ว่า

$$F(j\Delta\omega) = \frac{T_2}{T_1} \quad .....(48)$$

ดังนั้น

$$\Delta\omega_c = \frac{K_o K_d T_2}{T_1} \quad .....(49)$$

หรือ $\Delta\omega_c = 2\xi\omega_n$ .....(50)

PLL ต่อสัญญาณอินพุทที่มีสัญญาณนอยส์

ในกรณีที่อินพุทของ PLL มีสัญญาณนอยส์ (noise) เขียนได้เป็น

$$V_1(t) = V_s \sin(\omega_i t + \theta_i) + n(t) \quad .....(51)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนอยส์ n (t) เป็นนอยส์ที่ผ่านวงจรกรองความถี่ผ่านย่านก่อนเข้า PLL ดังนั้น แสดงได้ว่า

$$n(t) = n_c(t)\cos\omega_i t - n_s(t)\sin\omega_i t \qquad .....(52)$$

สำหรับแรงดันจากเอาท์พุทของ VCO สำหรับ PLL ที่ใช้เฟสดีเทคเตอร์แบบมัลติ-พลายเรอร์ (Multiplier) เมื่อลูปล็อก สัญญาณเอาท์พุทจะต่างเฟสกับอินพุท 90 องศา ดังนั้น เขียนแรงดันเอาท์พุทได้

$$V_0(t) = V_0\cos(\omega_i t+\theta_0) \qquad .....(53)$$

ดังนั้น ที่เอาท์พุทของเฟสดีเทคเตอร์เขียนได้

$$V_d(t) = K_m V_i(t)\, V_o(t) \qquad .....(54)$$

$$\begin{aligned}V_d(t) = {} & 1/2\,[K_m V_s V_o \sin(\theta_i-\theta_o)] + 1/2\,[K_m n_c V_o \cos\theta_o] + \\ & 1/2\,[K_m V_o n_s \sin\theta_o] + 1/2 \sin[K_m V_s V_o\,(2w_1 t+\theta_1+\theta_o) \\ & + 1/2\,[K_m V_o n_c \cos(2w_i t+\theta_o)] - 1/2\,[K_m V_o n_s \sin \\ & (2w_i t+\theta_o)]\end{aligned} \qquad .....(55)$$

โดย K_m เป็นค่าคงที่ของการคูณ

ในการวิเคราะห์ผลของสัญญาณนอยส์ เราสนใจเฉพาะสามเทอมแรกของสมการ (55) โดยเทอมที่เป็นความถี่สองเท่าของความถี่อินพุท และ VCO จะถูกกรองทิ้ง โดยวงจรกรองความถี่ต่ำผ่านในลูป

กำหนดค่าเฟสดีเทคเตอร์เกน $K_d = 1/2\,[K_m V_s V_o]$ ดังนั้น สมการ (55) เขียนได้

$$V_d(t) = K_d \sin(\theta_1-\theta_o) + \frac{n_c K_d}{V_s}\cos\theta_o + \frac{n_s K_d}{V_s}\sin\theta_o \qquad .....(56)$$

และกำหนด n' (t)

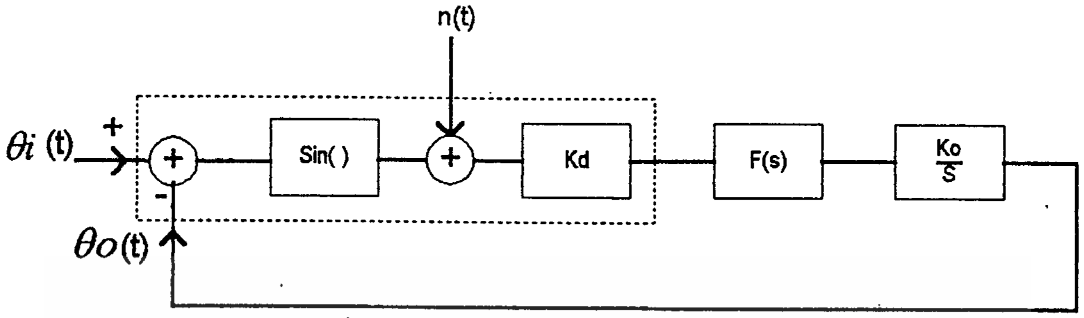
$$n'(t) = \frac{n_c}{V_s}(t)\cos\theta_o + \frac{n_s}{V_s}(t)\sin\theta_o \qquad .....(57)$$

ดังนั้น เอาท์พุทของเฟสดีเทคเตอร์เขียนได้

$$V_d(t) = K_d\,[\sin(\theta_i-\theta_o) + n'(t)] \qquad .....(58)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งทำให้แบบจำลองของวงจรเฟสดีเทคเตอร์และระบบ PLL แสดงได้ดังรูปแสดงแบบจำลองของลูปเมื่ออินพุทมีสัญญาณนอยส์



รูปที่ 2.24 แสดงแบบจำลองของลูปเมื่ออินพุทมีสัญญาณนอยส์

ซึ่งผลของสัญญาณนอยส์ทำให้เฟสของสัญญาณเอาท์พุท θ_o (t) แกว่งจากจุดตัดศูนย์หรือเกิดจิทเตอร์ (Jitter) หรือเป็นสัญญาณนอยส์ในรูปของเอาท์พุทเฟสนอยส์ (Phase Noise) หรือเฟสจิทเตอร์วาเรียนซ์ (Phase Jitter Variance) แสดงได้คือ

$$\theta_n^2 = \int_{-\alpha}^{+\alpha} \left| H(j2\Pi f) \right|^2 S_n(f)\, df \qquad (rad^2) \quad .....(59)$$

โดย S_n เป็นกำลังสเปคตรัมของนอยส์อินพุทของไวท์เกาส์เซียลนอยส์ ซึ่งมีความเข้มข้นคงที่ตลอดความถี่ ตั้งแต่ความถี่ 0 Hz เป็นต้นไป ดังนั้น เราสามารถประมาณสเปคตรัมของนอยส์

อินพุทได้คือ

$$S_n = N_o/2V^2 \qquad .....(60)$$

แทนสมการ (60) ลงใน (59) จะได้

$$\theta_n^2 = \frac{N_o}{2V^2} \int_{\alpha}^{+\alpha} \left| H(\omega) \right|^2 df \qquad .....(61)$$

เรานิยามลูปนอยส์แบนด์วิดท์ B_L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$B_L = \int_0^{\alpha} \left| H(\omega) \right|^2 df \qquad (Hz) \quad .....(62)$$

สำหรับลูปที่ใช้วงจรกรองแบบพาสซีฟสำหรับลูปเกนสูง ๆ แล้ว ค่านอยส์แบนด์วิดท์ประมาณได้

$$B_L = \frac{1\omega_n}{2} \frac{(\xi + 1)}{4\xi} \qquad .....(63)$$

สมการ (61) เขียนได้

$$\theta_n^2 = \frac{N_o B_L}{V^2} \qquad .....(64)$$

กำหนดก่อนหน้าวงจร PLL เป็นวงจรกรองความถี่ผ่านย่านมีแบนด์วิดท์ เท่ากับ B_1 แล้ว สามารถหาค่ากำลังของนอยส์ทางด้านอินพุทได้คือ

$$N_i = N_o B_i$$

สัญญาณต่อสัญญาณนอยส์อินพุทคือ $SNR_i = V^2/N_i$ ดังนั้น เฟสจิทเตอร์เขียนได้

$$\theta_n^2 = \frac{B_L}{SNR_i B_i} \qquad .....(65)$$

หมายถึงว่าค่าเฟสจิทเตอร์จะแกว่งมากเมื่ออัตราของ SNR_i ลดลงหรือขนาดของวงจรกรองความถี่ผ่านที่อินพุทมีขนาดมากขึ้น โดยขนาดของเฟสจิทเตอร์ที่เอาท์พุทของ PLL ที่ป้อนกลับไปเปรียบเทียบกับเฟสอินพุทแล้วทำให้ PLL สามารถจะล็อกอยู่ได้นั้น ขนาดของเฟสจิทเตอร์ ต้องแกว่งอยู่ในย่านเชิงเส้นของเฟสดีเทคเตอร์หรือเฟสจิทเตอร์ rms ($\sqrt{\theta_n^2}$) น้อยกว่า 0.3 rad จากสมการ (65) เราสามารถจำกัดขนาดเฟสจิทเตอร์โดยการจำกัดขนาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของค่าลูปแบนด์วิดท์ หรือให้ค่า ω_n มีขนาดน้อย ๆ แล้ว จากสมการ (45) ค่าเวลาพลูอินของลูป จะมีค่ามาก ดังนั้น การกำหนดค่าลูปแบนด์วิดท์ต้อง
คำนึงถึงเวลาพลูอินด้วย

ถ้าเรานิยาม

$$\theta_n^2 = 1/2SNR_L \qquad .....(66)$$

โดย SNR_L เป็นสัญญาณต่อสัญญาณนอยส์อินพุทของลูปจะได้

$$SNR_L = \frac{SNR_i B_i}{2B_L} \qquad .....(67)$$

ซึ่งหมายถึงค่า SNR_L จะขึ้นอยู่กับค่าสัญญาณต่อสัญญาณนอยส์อินพุท แบนด์วิดท์ของวงจรกรองความถี่ผ่านย่าน ค่าลูปแบนด์วิดท์, โดยค่า SNR_L เป็นตัวบอกคุณภาพของลูปว่าสามารถปรับปรุงอัตราส่วนสัญญาณต่อสัญญาณนอยส์ขึ้นได้ดีเพียงใด โดยในทางปฏิบัติกำหนดค่า SNR_L มากกว่า 6 dB จึงทำให้ PLL สามารถล็อกสัญญาณอินพุทโดยไม่เกิดการหลุด (Loss of Locked)

วงจร PLL ที่อินพุทเป็นวงจรยกกำลัง 2

สำหรับการใช้วงจร PLL สำหรับล็อกสัญญาณฮาร์โมนิคที่ 2 ของสัญญาณ โดยก่อนหน้าของสัญญาณ PLL เป็นวงจรยกกำลังสองขนาดของเฟสจิทเตอร์วาเรียนซ์จะเพิ่มขึ้น โดยถ้าให้อินพุทของวงจรยกกำลังสองเป็น

$$V_{in}(t) = m(t)\cos(\omega_i t+\theta_i) + n(t) \qquad .....(68)$$

โดย n (t) เป็น Band Pass Gassian Noise ที่เอาท์พุทของวงจรยกกำลังสอง หรืออินพุทของ PLL เขียนได้คือ

$$V_{s\alpha}(t) = m(t)\cos(\omega_i t+\theta_i) + n(t)^2 \qquad .....(69)$$

$$= [1m^2(t)\cos 2(\omega_i t+\theta_i) + 1n_c\cos 2\omega_i t - 1n_s\cos 2\omega_i t$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 2 2

$$+ n_c m\,(t) \sin\,(2\omega_i + \theta_i) + n_s m\,(t) \cos\,(2\omega_i t + \theta_i)$$

$$- n_c n_s \sin 2\omega_i t] \qquad .....(70)$$

และสำหรับอนาลอก PLL สัญญาณเอาท์พุทเขียนได้คือ

$$V_o\,(t) = V_o \sin 2\,(\omega_i t + \theta_o) \qquad .....(71)$$

แรงดันเอาท์พุทของวงจรเฟสดีเทคเตอร์ เขียนได้คือ

$$V_d\,(t) = V_s\alpha\,(t) \times V_o\,(t) \qquad .....(72)$$

$$= \frac{1}{2} k_m \left[\frac{1}{2} m^2\,(t) \sin 2\,(\theta_i - \theta_o) + \frac{1}{2}(n_c^2 - n_s^2) \sin 2\theta_o - n_c n_s \cos 2\theta_o + n_c m\,(t) \cos\,(\theta_i - 2\theta_o) - n_s m\,(t) \sin\,(\theta_i - 2\theta_o)\right] \qquad .....(73)$$

กำหนด

$$K_d = \frac{1}{4} K_m\, m\,(t)_2 \qquad .....(74)$$

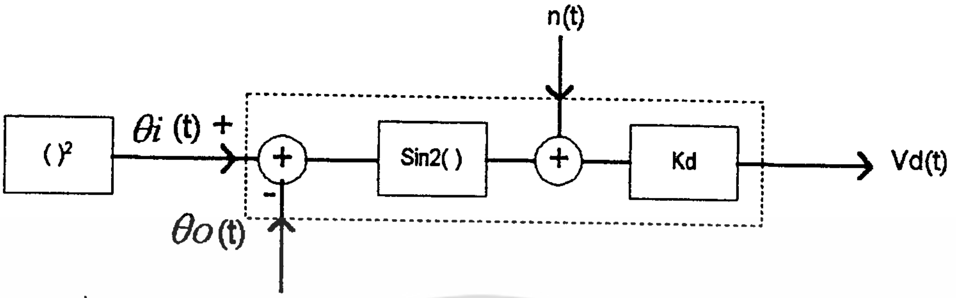
$$n\,(t) = \frac{1}{2}(n_c^2 - n_s^2) \sin 2\theta_o - n_c n_s \cos 2\theta_o + n_c m\,(t) \cos\,(\theta_i - 2\theta_o) - n_s m\,(t) \sin\,(\theta_i - 2\theta_o) \qquad .....(75)$$

ดังนั้น สามารถเขียนสมการข้างบนได้

$$V_d = K_d\,[\sin 2\,(\theta_i - \theta_o) + n\,(t) \qquad .....(76)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย n (t) เป็นนอยส์และอินเตอร์มอดูเลชั่นนอยส์ (inter modulation noise) ของ PD ดังนั้น วงจรสมมูลย์ของนอยส์ของเฟสดีเทคเตอร์จึงเขียนได้ดังรูปแสดงวงจรสมมูลย์ของเฟสดีเทคเตอร์ที่มีวงจรยกกำลังสองที่อินพุท



รูปที่ 2.25 แสดงวงจรสมมูลย์ของเฟสดีเทคเตอร์ที่มีวงจรยกกำลังสองที่อินพุท

ซึ่งผลของคุณสมบัติโอนย้ายของเฟสดีเทคเตอร์เปลี่ยนไป ขนาดของจิทเตอร์วาเรียนซ์ที่ทำไม่ให้เกิดการหลุดจากการล็อคหรือเกิด cycle slip จะลดลงเนื่องจากขนาดของเฟสดีเทคเตอร์ ลดลงครึ่งหนึ่งโดยขนาดเฟสจิทเตอร์ rms ($\sqrt{\theta^2_n}$) ที่ไม่ทำให้เกิด Cycle Slip ต้องน้อยกว่า 0.15 rad โดยค่าเฟสจิทเตอร์เกิดขึ้นจากสัญญาณนอยส์ที่อินพุท PLL ซึ่งกรณีอินพุทเป็นวงจรยกกำลังสอง แสดงค่าเอาท์พุทเฟสจิทเตอร์วาเรียนซ์ ได้คือ

$$\theta^2_n = \frac{B_L}{B_i SNR_i}\left[1 + \frac{1}{2SNR_i}\right] \quad .....(77)$$

โดยเทอมที่อยู่ในวงเล็บเป็นเทอมที่เพิ่มขึ้นจากอินเตอร์มอดูเลทชั่นนอยส์ที่อินพุทของ PLL โดยถ้าหากขนาดของ SNR_i สูงพอแล้ว ค่าเทอมในวงเล็บที่อาจเรียกว่า Squaring Loss จะไม่มีผล แต่เนื่องจากขนาดของเฟสดีเทคเตอร์ลดลงครึ่งหนึ่ง ดังนั้น ค่า SNR_L จะต้องเพิ่มขึ้น 6 dB หรือ SNR_L ต้องมากกว่า 12 dB จึงทำให้ PLL ล็อกสัญญาณอินพุทได้มีเสถียรภาพ

การสังเคราะห์ความถี่ด้วยเฟสล็อกลูป

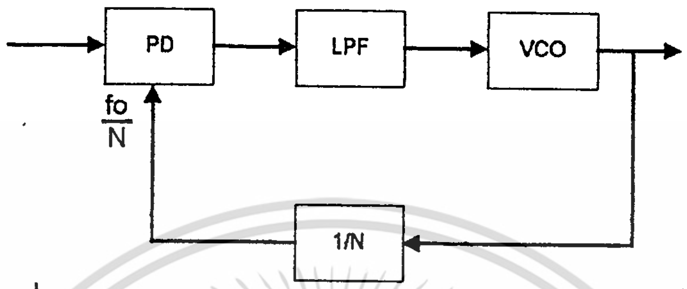
การสังเคราะห์ความถี่ด้วย PLL เป็นการสร้างความถี่ขึ้นใหม่ด้วยสัญญาณความถี่อ้างอิงที่มาตรฐาน โดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงได้ดังรูปแสดงโครงสร้าง PLL สำหรับการสังเคราะห์ความถี่

จากรูปที่ 2.26 ส่วนที่เพิ่มเข้าไปจากโครงสร้างของ PLL ที่ได้กล่าวมาแล้วคือ วงจาหาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N (1/N) โดยถ้า f_r เป็นความถี่อ้างอิงที่มีความถี่ที่คงที่แล้ว ความถี่เอาท์พุทของ VCO จะเท่ากับขนาดของความถี่อ้างอิง (Frequency Reference : f_r) คูณกับจำนวนหาร N หรือเขียนได้

$$f_o = f_r \times n \qquad .....(78)$$



รูปที่ 2.26 แสดงโครงสร้าง PLL สำหรับการสังเคราะห์ความถี่

หรือกล่าวได้ว่าความถี่เอาท์พุท (f_o) จะเป็นจำนวนเท่าของความถี่อ้างอิงความถี่ที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์ (PD) หารด้วยจำนวน N ให้เท่ากับความถี่อ้างอิง สำหรับการทรานเฟอร์ฟังก์ชันของ PLL ที่มีวงจรหาร N ในส่วนป้อนกลับเขียนทรานเฟอร์ฟังก์ชันได้คือ

$$\frac{\theta_o(s)}{\theta_r(s)} = \frac{K_oK_dF(s)/s}{1 + K_oK_dF(s)/Ns} \qquad .....(79)$$

สำหรับทรานเฟอร์ฟังก์ชันของลูปใด ๆ เขียนได้

$$\frac{\theta_o(s)}{\theta_r(s)} = \frac{G(s)}{1 + G(s)H(s)} \qquad .....(80)$$

G (s) = ฟอร์เวิร์ดเกน (Forword Gain)

H (s) = เกนป้อนกลับ (Feedback Gain)

G (s) H (s) = เกนลูปเปิด (Open Loop Gain)

จาก (79) เราได้ฟอร์เวิร์ดเกนคือ

$$G(s) = \frac{K_oK_dF(s)}{s} \qquad .....(81)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเกนลูปเปิดของ PLL คือ

$$G(s)H(s) = \frac{K_o K_d F(s)}{N \times s} \qquad .....(82)$$

สำหรับในการสังเคราะห์ความถี่วงจรกรองความถี่ต่ำ (LPF) ในลูปจะเลือกใช้วงจรกรองแบบแอคตีฟ เนื่องจากดึงกระแสอินพุทน้อย ทำให้ค่าความผิดพลาดในสภาวะสงบของเฟส-ดีเทคเตอร์เอาท์พุทมีค่าน้อย จากวงจรกรองในลูปในรูปแสดงวงจรกรองแบบแอคทีฟ ซึ่งมีทรานเฟอร์ฟังก์ชันแสดงในสมการที่ (9) แทนลงในสมการ (79) จะได้

$$\frac{\theta_o}{\theta_r} = \frac{K_o K_d (sT_2 + 1)/T_1}{s^2 + sxK_o K_d T_2/NT_1 + K_o K_d/NT_1} \qquad .....(83)$$

จะได้ความถี่ธรรมชาติของลูป และค่าแดมปิ้งแฟคเตอร์คือ

$$\omega_n = (K_o K_d/NT_1)^{1/2}$$

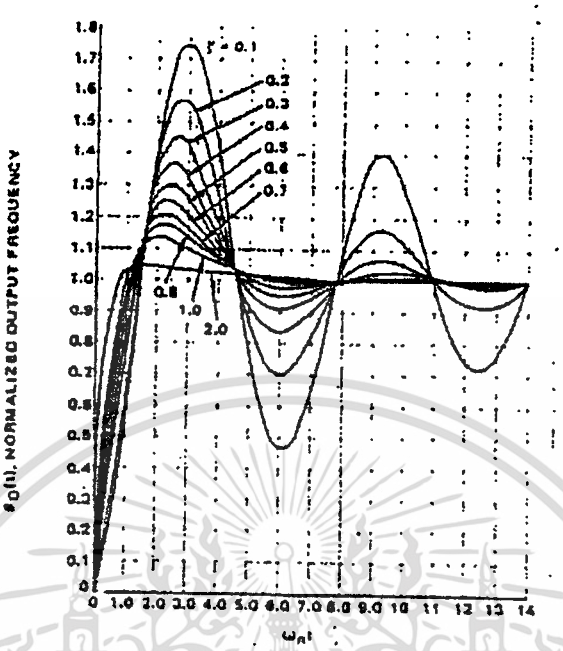
$$\xi = (T_2/2)\omega_n \qquad .....(84)$$

ค่าความถี่ธรรมชาติ, ค่าแดมปิ้งแฟคเตอร์ของลูปจะเป็นพารามิเตอร์ที่เราสามารถกำหนดได้โดยการกำหนดค่าพารามิเตอร์ดังกล่าว เราจะกำหนดโดยพิจารณาจากความต้องการต่อการตอบสนองของลูปในสภาวะทรานเชียน ความสามารถมอดูเลทความถี่ที่ต้องการในกรณีที่ลูปถูกมอดูเลทด้วยสัญญาณเบสแบนด์ และความเสถียรภาพของลูป

ผลตอบสนองสภาวะทรานเชียน

สำหรับ PLL การสังเคราะห์ความถี่การเปลี่ยนสเตปของความถี่ โดยการเปลี่ยนการหารในลูปป้อนกลับทำให้เกิดการเปลี่ยนแปลงเฟสเอาท์พุท โดยสามารถหาการเปลี่ยนแปลงในสภาวะทรานเชียน โดยการทำ Unit Step สมการที่ (19) แล้วอินเวอร์ลาปลาซทรานสฟอร์ม ซึ่งผลของเฟสเอาท์พุทในสภาวะทรานเชียนของ PLL ที่ใช้วงจรกรองแบบแอคตีฟแสดงได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



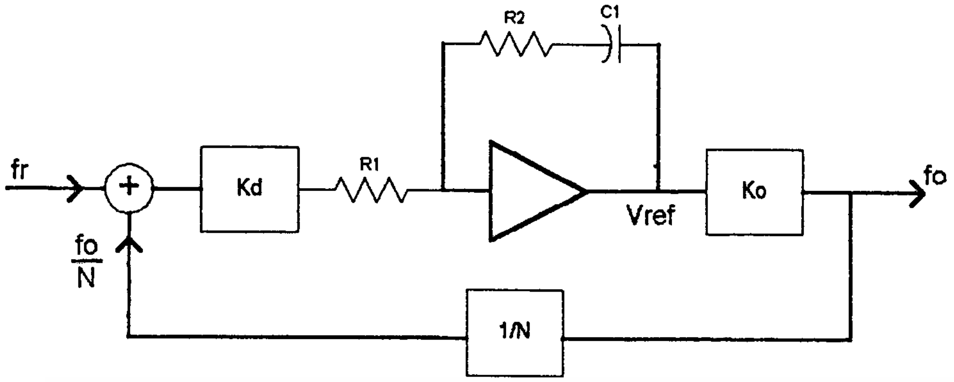
รูปที่ 2.27 แสดงเฟสเอาท์พุทในสภาวะทรานเซียนของ PLL ใช้วงจรกรองแบบแอคทีฟ

จากรูป ค่าอัตราแดมปิ้งที่ 0.707 ซึ่งเป็นค่าเหมาะสมสำหรับลูปอันดับสอง จากรูป เมื่อค่า $\omega_n t > 4.5$ ค่าพีคโอเวอร์ชูท (Peak Over Shoot) จะน้อยกว่า 20% ดังนั้น เราสามารถกำหนดค่าเวลาเซ็ทติ้ง (Setting Time) ได้เท่ากับ $t_s = 4.5/\omega_n$ หรือค่าความถี่ธรรมชาติของลูป มีผลต่อเวลาเซ็ทติ้งของลูป

การลดทอนของไซด์แบนด์นอยส์

เนื่องจากการสังเคราะห์ความถี่ด้วย PLL เป็นการควบคุมโดยการป้อนกลับ สัญญาณอินพุทที่ควบคุมให้วงจร VCO กำเนิดความถี่ให้มีความถี่คงที่เป็นแรงดันดีซี ถ้าหากมีสัญญาณรบกวนใด ๆ ปะปนสัญญาณดีซี สัญญาณรบกวนนี้จะเป็นสัญญาณที่มอดูเลทเข้าไปในวงจร VCO เกิดเป็นไซด์แบนด์ที่ไม่ต้องการขึ้น การวิเคราะห์การเกิดไซด์แบนด์ แสดงโครงสร้างได้ดังรูปที่ 2.28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดงโครงสร้างของลูปสำหรับวิเคราะห์หาไซด์แบนด์นอยส์

จากรูป ให้ V_{ref} เป็นสัญญาณขาเอาท์พุทของวงจรกรองแบบแอคตีฟ มีลักษณะเป็นสัญญาณริปเปิล (Ripple) เกิดขึ้นเนื่องจากการอินทีเกรทของวงจรกรองโดยอินพุทของวงจรกรองเป็นพัลซ์เล็ก ๆ เกิดจากการที่วงจรชาร์จปั๊มของเฟสฟรีเควนซ์ดีเทคเตอร์ต้องทำการปิดสวิทช์ช่วงสั้น ๆ ทุกคาบความถี่อ้างอิง โดยไซด์แบนด์ที่เกิดจากการมอดูเลทโดยสัญญาณ V_{ref} ซึ่งมีขนาดเล็ก ๆ ซึ่งถือว่าเป็นการมอดูเลทเอฟเอ็มแบบค่าดัชนีการมอดูเลทน้อย (Low Modulation Index) ไซด์แบนด์ที่เกิดขึ้น [5] หรือ J_1 จะมีขนาดประมาณเท่ากับ ค่ามอดูเลชั่นอินเดคซ์ส่วน 2

$$J_1 = (1/2)\,\beta \qquad .....(85)$$

แล้วเขียนไซด์แบนด์เกิดจาก V_{ref} ได้

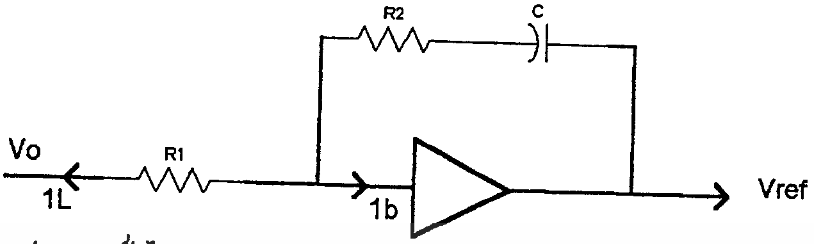
$$J_1 = V_{ref}\ K_o/2\omega_{ref} \qquad .....(86)$$

โดยค่า β หลังมอดูเลชั่นอินเดคซ์เท่ากับความถี่ที่เบี่ยงเบน หารด้วยความถี่ที่มอดูเลท ซึ่งขนาดของความถี่เบี่ยงเบนจะเท่ากับขนาดของ V_{ref} คูณกับค่าเกนของ VCO โดยค่าแรงดันของ V_{ref} มีขนาดของคาบความถี่เท่ากับความถี่อ้างอิงของลูป ในทางปฏิบัติการออกแบบจะกำหนดค่าขนาดของไซด์แบนด์ต่อความถี่ที่ต้องการจริง ๆ หรือเป็นไซด์แบนด์ต่อคลื่นพาห์เป็นรูปขนาดของ dB หรือเขียนได้

$$\frac{\text{Sideband}}{\text{Carrier}} = 20 \log \left(\frac{V_{ref}.K_o}{2\omega_{ref}}\right) \qquad .....(87)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (87) V_{ref} เป็นค่า Peak เกิดจากกระแสรั่วไหลของเฟสดีเทคเตอร์ (I_L) และกระแสไบอัสอินพุทออปแอมป์ (I_b)



รูปกระแสรั่วไหลของเฟสดีเทคเตอร์และกระแสไบอัสอินพุทออปแอมป์

ถ้าให้ V_{avx} เป็นแรงดันอินพุทเฉลี่ยเกิดจากกระแส I_L, I_b หรือแสดงได้

$$V_{avx} = (I_L + I_b) R_1 \quad .....(88)$$

V. เป็นขนาดแรงดันจากยอดถึงยอด (peak to peak) จะมีขนาด 2 เท่าของ V_{avx} ดังนั้น เราสามารถเขียนแรงดัน V. เกิดจากกระแส I_L, I_b ได้คือ

$$V. = 2 (I_L + I_b) R_1 \quad .....(89)$$

โดย V_{ref} จะถูกขยายด้วยอัตราส่วนของ R_2/R_1 จากอินพุท V. ดังนั้น สมการ (87) เขียนใหม่ได้ว่า

$$\frac{\text{Sideband}}{\text{Carrier}} = 20 \log \frac{(I_L + I_b) R_2 K_o}{\omega_{ref}} \quad .....(90)$$

โดยถ้าหากค่า Sideband/Carrier มีค่าลดทอนไม่มากเราอาจจะเพิ่มวงจรกรองความถี่ต่ำผ่านเข้าไปในลูปได้ โดยความถี่คัทออฟของวงจรออกแบบให้ขนาดเท่ากับ $\omega_c = 5\omega_n$ โดยอัตราลดทอนของไซด์แบนด์จะลดทอนคือ SB

$$SB = n \times 20 \times \log (\omega_c/\omega_{ref}) \quad .....(91)$$

โดย n เป็นจำนวนอันดับของวงจรกรองในลูป แต่ผลของการเพิ่มวงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผ่านเข้าไปในลูปจะทำให้เกิดการเลื่อนเฟสในลูป ทำให้ผลของเสถียรภาพของลูปเปลี่ยนแปลงไป

เสถียรภาพของลูป

สำหรับการหาเสถียรภาพของลูปอาจจะวิเคราะห์ได้จากการใช้โบดพล็อต (Bode Plot) ทั้งแมกนิจูดและเฟสของเกนลูปเปิดในสมการ (83) เทียบกับความถี่ โดยค่าของเกนลูปเปิดที่เท่ากับ 0 dB ค่าเฟสต้องมีขนาดน้อยกว่า -180 องศา หรือกำหนดเฟสมาจิน (Phase Margin) ของลูปคือ

$$\phi^{m} = 180 + a_{rx}\, G\,(j\omega_1) \times H\,(j\omega_1) \qquad .....(92)$$

ω_1 เป็นค่าของความถี่ที่ขนาดเกนของลูปเปิดเท่ากับ 1 หรือ 0 dB โดยค่าเฟสมาจินจะเท่ากับ 180 องศา บวกกับเฟสที่เลื่อนของทรานเฟอร์ฟังก์ชันลูปเปิดซึ่งจะเป็นค่าลบ ถ้าหากค่าเฟสมาจินนี้มาก PLL จะมีเสถียรภาพมาก โดยเราไม่คำนึงถึงการเลื่อนเฟสจากผลของค่าพาราซิติก (Parasitic) ในลูป สำหรับการเพิ่มวงจรกรองเข้าไปในลูปเพื่อลดทอนขนาดของไซด์แบนด์จะทำให้ค่าเฟสมาจินลดลง โดยถ้าหากเฟสมาจินมีขนาดน้อยกว่า 0 PLL ก็จะไม่มีเสถียรภาพ

การมอดูเลทด้วยสัญญาณเบสแบนด์

สำหรับการสังเคราะห์ความถี่ด้วย PLL เราอาจจะทำการมอดูเลทสัญญาณเบสแบนด์เข้ากับความถี่ f_o ซึ่งถือว่าเป็นความถี่พาห์ที่มีเสถียรภาพทางความถี่ขึ้นอยู่กับความถี่อ้างอิงของลูป โดยแสดงการมอดูเลทแบบ FM ได

จากรูปสัญญาณเบสแบนด์ถูกบวกเข้าที่อินพุทของ VCO ทำให้ความถี่ของ VCO เปลี่ยนแปลงตามแรงดัน Vf จากการป้อนความถี่กลับมาเปรียบเทียบกับความถี่อ้างอิงจากอินพุทเป็นแรงดัน ผลของเฟสเอาท์พุทต่อแรงดันอินพุท Vf คือ

$$\theta_o\,(s) = \frac{K_o\, Vf\,(s)/s}{[1 + (K_o K_d F\,(s)/s)]} \qquad .....(93)$$

สำหรับเอาท์พุทในรูปของความถี่ ซึ่งเขียนลาปลาซทรานสฟอร์มของเฟสได้คือ

$$\Omega_o\,(s) = s\theta_o\,(s) \qquad .....(94)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น สมการความถี่เอาท์พุทจากผลของแรงดัน Vf คือ

$$\Omega_o(s) = \frac{Sk_\Omega Vf(s)}{S + K_oK_dF(s)} \quad .....(95)$$

จากสมการข้างบน ทรานเฟอร์ฟังก์ชันของความถี่เอาท์พุทต่อแรงดันอินพุทคือ

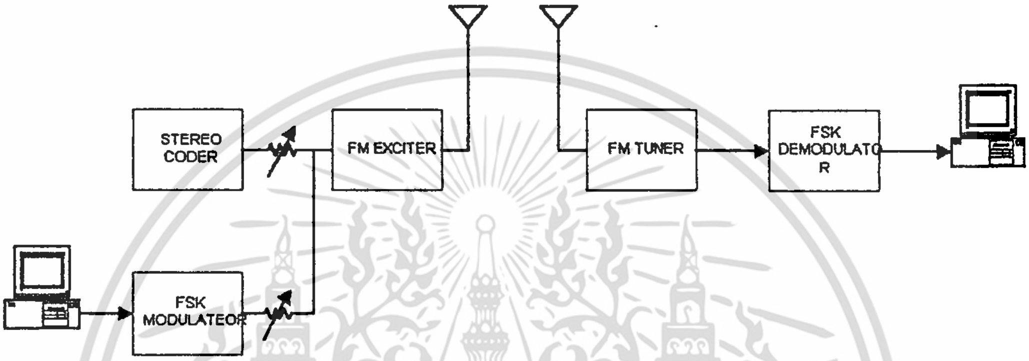
$$\frac{\Omega_\Omega(s)}{Vf(s)} = \frac{sK_\Omega}{s + K_oK_dF(s)} \quad .....(96)$$

ซึ่งส่วนของเทอม $s / (s + K_oK_dF(s))$ มีลักษณะมีผลตอบสนองความถี่สูงผ่าน ดังนั้น กล่าวได้ว่าลูปแบนด์วิดท์ต้องมีค่าต่ำกว่าความถี่ต่ำสุดที่ทำการมอดูเลทเข้ามาในลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบวงจรโมเดมในช่องสัญญาณ FM-SCA

ในบทนี้จะกล่าวถึงการออกแบบวงจรมอดูเลทและดีมอดูเลท สัญญาณดิจิตอลเพื่อส่งในช่องสัญญาณ FM-SCA โดยในบทนี้จะกล่าวถึงการเข้ารหัสสัญญาณเบสแบนด์ วงจรโมเดมแบบ FSK ที่ออกแบบใช้ในช่องสัญญาณ FM-SCA โดยส่วนของระบบการรับส่งข้อมูลของปริญญานิพนธ์นี้แสดงได้ดังรูปที่ 3.1



รูปที่ 3.1 แสดงระบบการส่งข้อมูลในช่องสัญญาณ FM-SCA

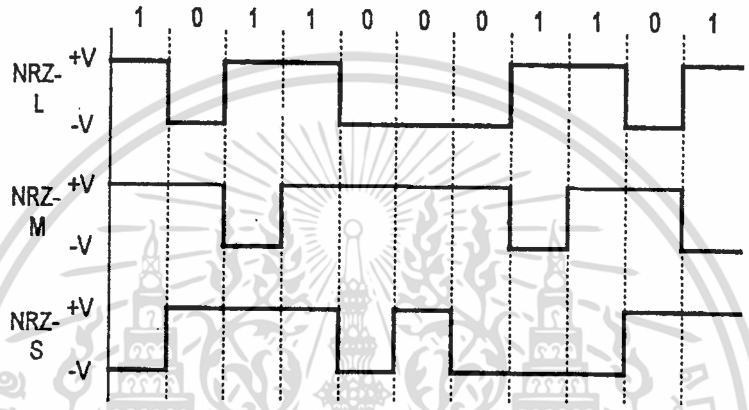
โดยสัญญาณ FSK ที่ใช้ส่งเป็นสัญญาณเบสแบนด์อยู่ในช่องสัญญาณ FM-SCA โดยจากข้อกำหนดความถี่ศูนย์กลางขนาด 67 KHz + 500 Hz นั้น สำหรับระบบที่ได้ออกแบบเพื่อให้ง่ายต่อการมอดูเลทกับสัญญาณดิจิตอล จึงเลือกใช้ความถี่ศูนย์กลางหรือความถี่ คลื่นพาห์ สำหรับสัญญาณ FSK ขนาด 67.2 KHz ซึ่งเป็นขนาด 14 เท่าของสัญญาณบิทเรท ขนาด 4800 bps ซึ่งเป็นจำนวนขนาดของบิทเรทที่มีขนาดสูงสุดสำหรับ FSK ที่ไม่ทำให้เกิดไซด์แบนด์ไปรบกวนช่องสัญญาณเมนโปรแกรมของระบบ FM สำหรับการมอดูเลทกับวงจร Exciter การออกแบบปรับให้สัญญาณ SCA มีขนาด 10% ของสัญญาณเบนแบนด์ FMทั้งหมด

สัญญาณดิจิตอลเบสแบนด์

สำหรับสัญญาณเบสแบนด์สำหรับการใช้ส่งข้อมูลดิจิตอล สามารถจะเลือกการทำเข้ารหัส (Encode) ได้เป็นหลายประเภท ขึ้นอยู่กับความเหมาะสมของช่องสัญญาณ ความต้องการของภาครับที่สามารถจะกู้สัญญาณนาฬิกา (Clock) จากสัญญาณเบสแบนด์ ที่รับได้หรือไม่, หรืออาจจะทำการเข้ารหัสเพื่อแก้ไขการกลับ(Invert)ของสัญญาณที่ภาครับ เนื่องจากการส่งสัญญาณผ่านวงจรที่ทำให้เกิดการกลับเฟสในที่นี้จะกล่าวถึงเฉพาะสัญญาณที่ไม่กลับศูนย์แบบระดับ(Non Return To-Zero-Level)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือเรียกย่อว่าสัญญาณ NRZ-L และการเข้ารหัสสัญญาณ NRZ-L ให้เป็นสัญญาณไม่กลับศูนย์แบบอินเวอร์ส (Non Return To Zero Invert) หรือสัญญาณ NRZ-I สัญญาณ NRZ-I นั้นเป็นการใช้การเปลี่ยนระดับ (Transition) ของสัญญาณเป็นข้อมูลแทนการใช้ระดับแรงดันแทนข้อมูลซึ่งในสัญญาณ NRZ-L โดยอาจจะให้สัญญาณเอาท์พุทเปลี่ยนแปลงระดับทุกครั้งที่สัญญาณข้อมูลอินพุท มีค่าระดับลอจิกเป็น "1" หรือให้เอาท์พุทเปลี่ยนแปลงระดับทุกครั้งที่สัญญาณอินพุทมีค่าเป็นศูนย์ หรือเรียกสัญญาณ NRZ-I สองประเภทนี้คือ สัญญาณไม่กลับศุนย์แบบมาร์ค (Non Return TO Zero-Mark : NRZ-M) และสัญญาณไม่กลับศูนย์แบบสเปซ (Non Return To ZerO : NRZ-S) ตามลำดับ

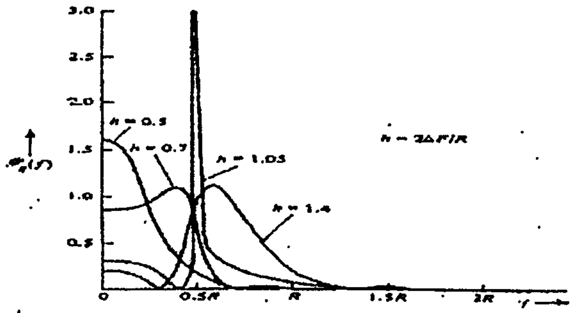


รูปที่ 3.2 แสดงสัญญาณ NRZ-L, NRZ-M, NRZ-S

การออกแบบวงจร FSK โมเดม

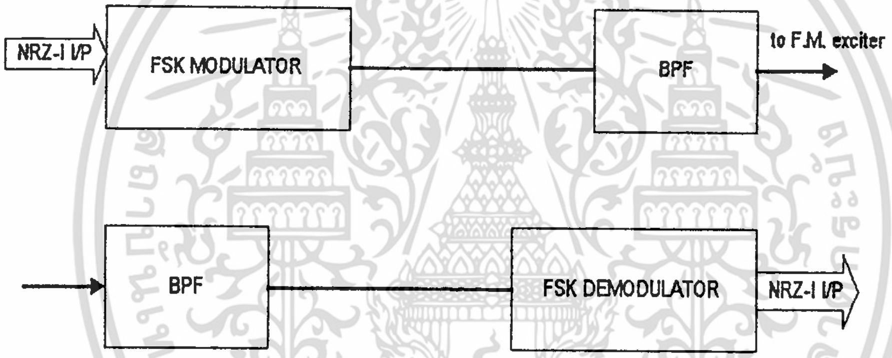
โดยโครงสร้างของวงจรภาคมอดูเลเตอร์จะประกอบด้วยวงจรมอดูเลทสัญญาณFSK และวงจรกรองความถี่ผ่านย่าน (Band Pass Filter) สำหรับกรองเฉพาะกลุ่มของความถี่ FSK ที่อยู่ในช่วงของ SCA เท่านั้น โดยมีความถี่ศูนย์กลางของวงจรกรองเท่ากับ 67.2 KHZ ก่อนที่เข้าไปมอดูเลทกับวงจร FM Exciter สำหรับภาครับประกอบด้วยวงจรกรองความถี่ผ่านย่าน ซึ่งกรองเอาเฉพาะสัญญาณ FSK มาทำการดีมอดูเลทโดยใช้วงจร PLL สำหรับสัญญาณ FSK ขนาดแบนด์วิดท์ของสัญญาณจะขึ้นอยู่ กับค่า มอดูเลชั่นอินเดคซ์ โดยการเลือกค่ามอดูเลชั่นอินเดคซ์ที่เหมาะสมในการส่ง ถ้าเลือกค่ามอดูเลชั่นอินเดคซ์ที่มาก ๆ แล้วค่า SNR ของการส่งสัญญาณ FM ก็จะสูงหรือหมายถึงว่าค่า Bit-Error Rate สำหรับกรณีส่งสัญญาณ FSK ก็จะต่ำ แต่ขนาดแบนด์วิดท์ของสัญญาณจะสูงตามมอดูเลชั่นอินเดคซ์ ดังนั้น ในการเลือกค่ามอดูเลชั่นอินเดคซ์สำหรับสัญญาณ FSK จึงเลือกให้สูงสุดเท่าที่จะกระทำได้ โดยทำให้เกิดการรบกวนช่องสัญญาณเมนโปรแกรมน้อยที่สุด โดยสามารถแสดงขนาดความเข้มข้นสเปคตรัมกำลังของสัญญาณ FSK ขนาดต่าง ๆ แสดงได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 ความเข้มข้นสเปคตรัมกำลังของสัญญาณ FSK

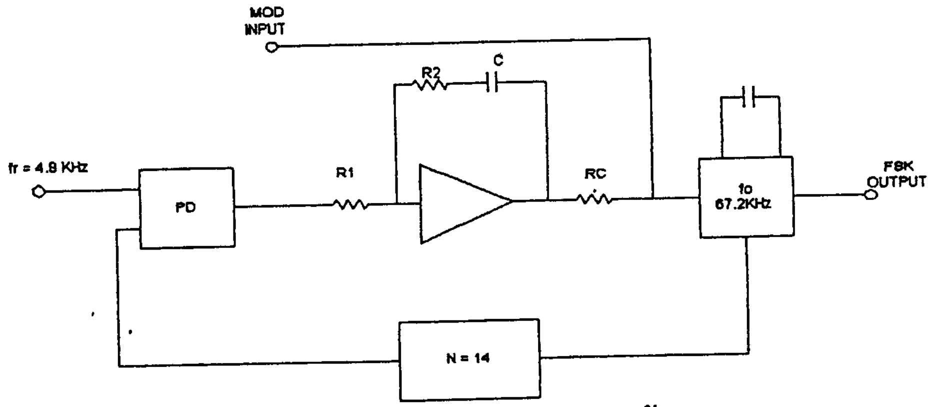
จากรูปสเปคตรัมกำลังจะมีขนาดขึ้นอยู่กับมอดูเลชั่นอินเดคซ์ (H) โดยขนาดของสเปคตรัมจะกระจายอยู่ในช่วงความถี่ 0 - ความถี่บิทเรท (R)สำหรับ มอดูเลชั่นอินเดคซ์ ที่น้อยกว่า 1, สำหรับมอดูเลชั่นอินเดคซ์มากกว่า 1 ขึ้นไป สเปคตรัมกระจายอยู่ในช่วงความถี่ 0 - 1.5 เท่าของบิทเรท(R)สำหรับในวิทยานิพนธ์นี้ใช้มอดูเลชั่นอินเดคซ์เท่ากับ 0.6



การออกแบบวงจรมอดูเลทสัญญาณ FSK ด้วย PLL

สำหรับในส่วนของวงจรมอดูเลทประกอบด้วย 2 ส่วน คือ วงจรมอดูเลทโดยใช้ PLL และวงจรกรองความถี่ผ่าน 67.2 KHZ โดยวงจรมอดูเลทสัญญาณ FSK ในทางปฏิบัติใช้ วงจรสร้างความถี่ควบคุมด้วยแรงดัน (VCO) โดยการป้อนสัญญาณเบสแบนด์เข้าที่อินพุทของวงจร VCOโดยเอาท์พุทของสัญญาณจะเปลี่ยนแปลงขนาดของความถี่ขึ้นอยู่กับสัญญาณเบสแบนด์อินพุท วงจรมอดูเลทสัญญาณ FSK ซึ่งออกแบบให้มีความถี่ศูนย์กลางอยู่ที่ 67.2 KHZ เพื่อให้ความถี่ศูนย์กลางของคลื่นพาห์มีเสถียรภาพจึงใช้หลักการของ PLLสำหรับควบคุมความถี่ สำหรับการออกแบบ PLL เพื่อสร้างความถี่ 67.2 KHZ และสัญญาณที่มอดูเลทเข้าในลูปเป็นสัญญาณไบนารีที่เป็นระดับแรงดัน TTL มีบิทเรทเท่ากับ 4800 BPS โครงสร้างของลูปแสดงได้ดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงโครงสร้างของวงจรมอดูเลทสัญญาณ FSK

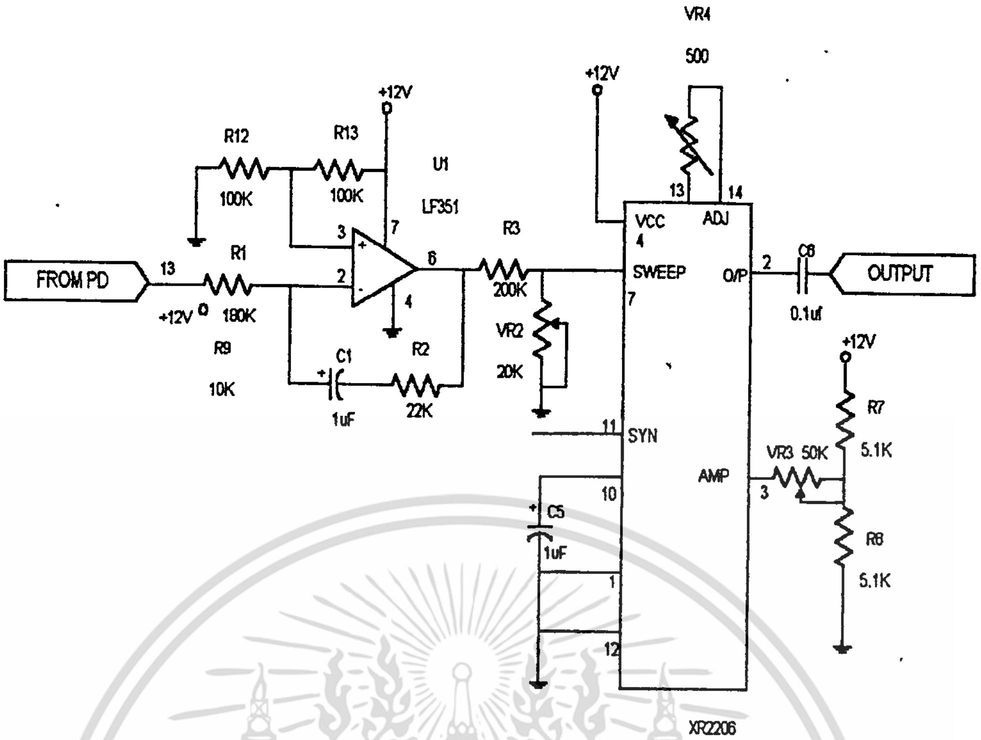
โดยลูปออกแบบให้มีความถี่อ้างอิงเท่ากับ 4.8 KHZ สำหรับค่าความถี่ธรรมชาติของลูปต้องออกแบบให้มีความถี่ต่ำกว่าความถี่ต่ำสุดของสัญญาณที่มอดูเลทเข้ามาในลูป สำหรับ ในลูปของการสร้างสัญญาณ FSK นี้ เลือกค่าความถี่ธรรมชาติของลูปเท่ากับ 10 Hz VCO เกนกำหนดให้สามารถเบี่ยงเบนตามความถี่ที่มอดูเลทเข้ามาทางอินพุทที่ป้อนโดยตรงกับ VCO โดยในที่นี้ออกแบบให้มีขนาด 1600 Hz/V โดยโครงสร้างของลูปใช้วงจรกรองแบบแอคทีฟเป็นวงจรกรองในลูป วงจร VCO ใช้วงจรรวม XR2206 และเฟสดีเทคเตอร์ใช้วงจรรวม 4046 เช่นเดียวกับวงจรสร้างสัญญาณ 19 KHZ

$$R_c = (0.32)/K_o C_c$$

ค่า R_C หรือความต้านทานที่อนกรมระหว่างวงจรกรองความถี่ในลูปและวงจร VCO จะมีค่า 200 KΩ สำหรับค่า R และ C ของวงจรกรองในลูปกำหนดค่าแดมปิ้งแฟคเตอร์ในลูปเท่ากับ 0.707 ค่า R_1 และ R_2 สำหรับลูปฟิลเตอร์ถ้ากำหนดค่า C เท่ากับ 1 μF โดยค่า R_1 จะมีขนาดเท่ากับ 172 KΩ และ R_2 มีขนาด 22.5 KΩ โดยวงจร ในทางปฏิบัติแสดงได้ดังรูปที่ 3.6 แสดงวงจร VCO และวงจรกรองของลูป โดยค่า R_1 ในที่นี้คือ R_1 ซึ่งใช้ขนาด 180 KΩ และ R_2 ในวงจรคือ R2 ใช้ขนาด 22 KΩ ค่า R_c คือ R3 ใช้ 200 KΩ และค่า C_c สำหรับ VCO คือ C4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

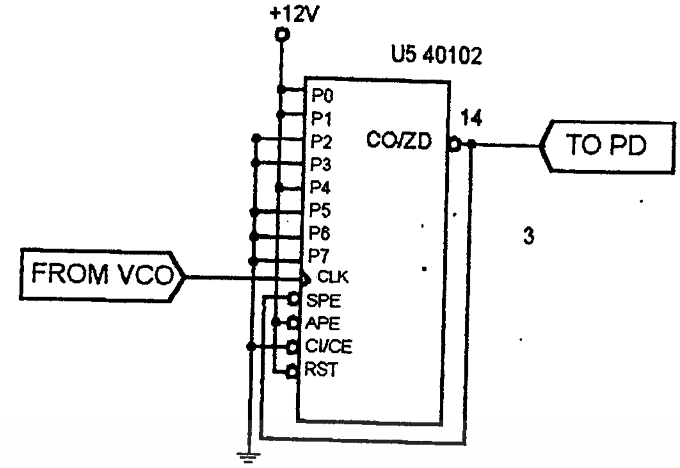
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



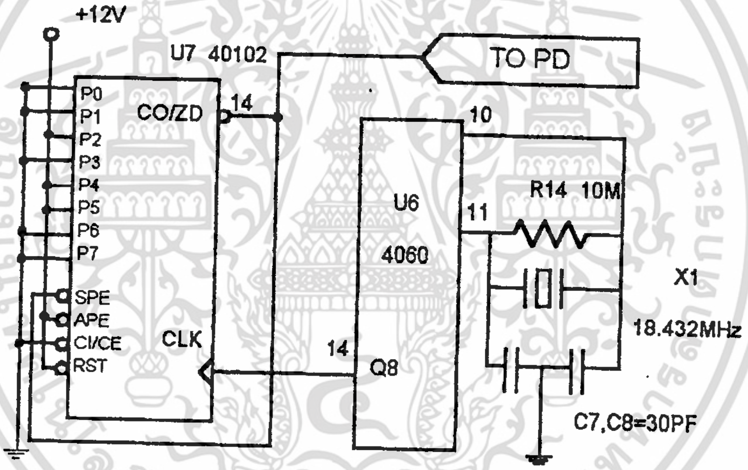
รูปที่ 3.6 แสดงวงจร VCO และวงจรกรองของลูป

สำหรับวงจรหารและวงจรสร้างความถี่อ้างอิงของลูปแสดงได้ดังรูปที่ 3.7 แสดงวงจรหารความถี่ และรูปที่ 3.8 แสดงวงจรสร้างความถี่อ้างอิง โดยใช้การหารใช้วงจรรวม 40102 เช่นเดียวกับวงจรสร้างสัญญาณ 19 KHZ ค่าที่ต้องการหารคือ 14 ค่าที่ต้องโปรแกรมตัวหารจะเท่ากับ 13 โดยขาวงจรรวม P_4, P_1, P_0 ต่อกับ VCCและ P_7, P_6, P_5, P_3, P_2 ต่อลงกราวน์การสร้างความถี่อ้างอิงสำหรับลูปสร้างจากความถี่ 18.432 MHZ ซึ่งใช้เกทภายในวงจรรวม 4060 ต่อร่วมกับคริสตอลขนาด 18.432 MHZ โดยสัญญาณขนาด 4,800 Hz ได้จาก เอาท์พุท Q_8 ของ 4060 ซึ่งเป็นการหารความถี่ 18.432 MHZ ด้วย 256, ต่อเข้าสู่วงจรหาร 15 ซึ่งใช้วงจรรวม 40102 (U7) โดยให้เอาท์พุทที่ขา 14 ที่มีความถี่ขนาด 4,800 Hz เป็นสัญญาณดิจิตอลมีระดับ 0 ถึง 12 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

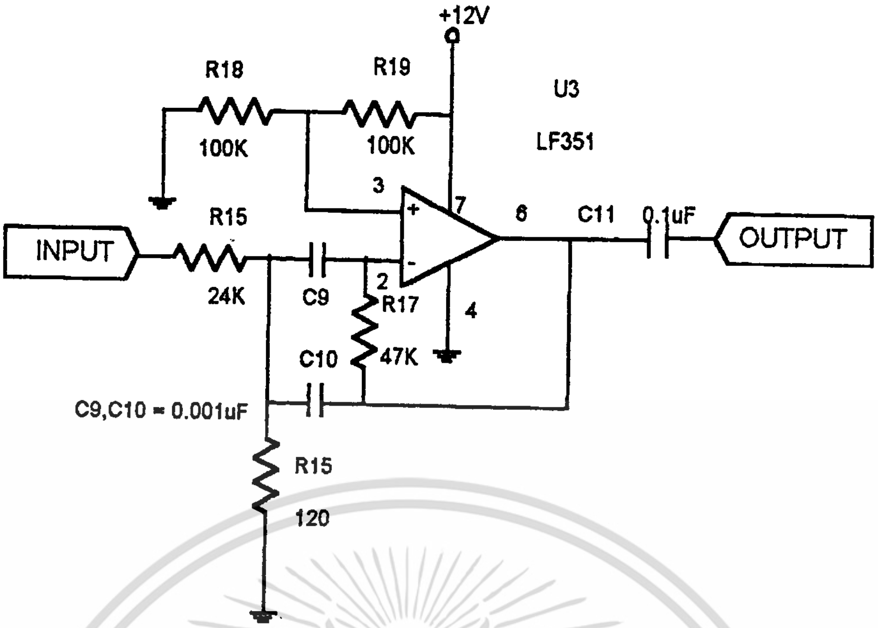


รูปที่ 3.7 แสดงวงจรหารความถี่



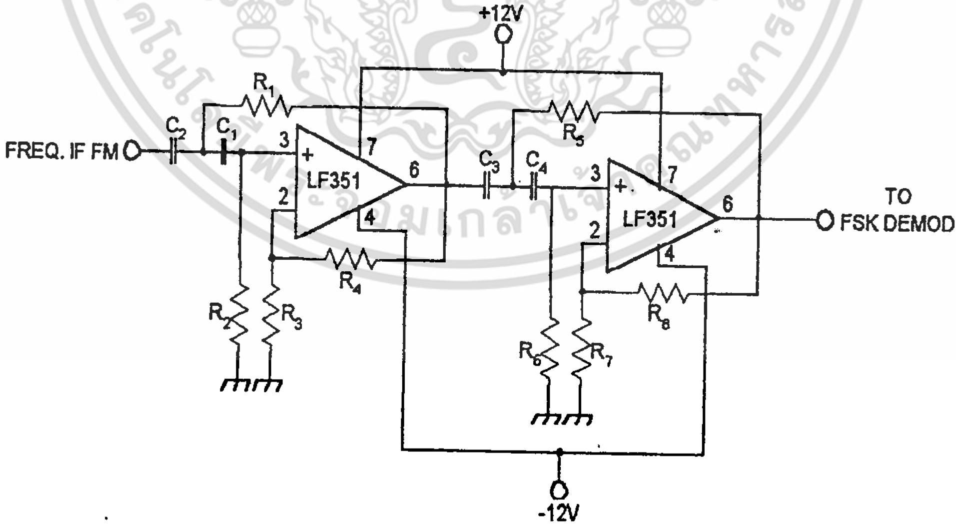
รูปที่ 3.8 แสดงวงจรสร้างความถี่อ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 แสดงวงจรกรองความถี่ผ่านย่าน (BAND PASS FILTER ; BPF)67.2 KHZ สำหรับภาคมอดูเลทสัญญาณ FSK

สำหรับวงจรกรองความถี่ผ่านย่านสำหรับภาคการมอดูเลทสัญญาณ FSK กำหนดความถี่ศูนย์กลางเท่ากับ 67.2 KHZ และค่า Q สำหรับวงจรกรองความถี่เท่ากับ 10 โดยวงจรในทางปฏิบัติแสดงได้ดังรูป

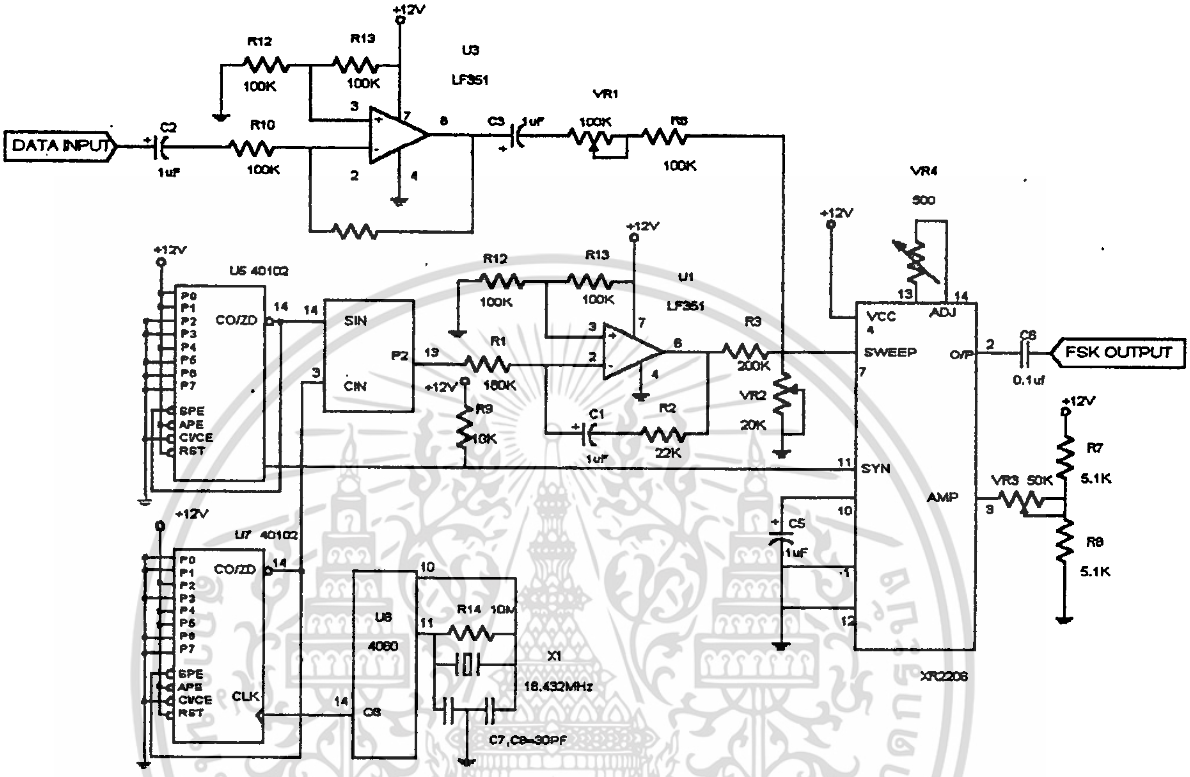


รูปที่ 3.10

โดยจากรูปที่ 3.10 R_1 ใช้ค่า 24KΩ R_3 ใช้ค่า 470KΩ โดย R_2 อาจใช้ R เกือกม้าขนาด 150 Ω สำหรับการปรับเพื่อให้ตรงกับค่า R_2 ที่ได้จากการคำนวณโดยวงจรมอดูเลทสัญญาณทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

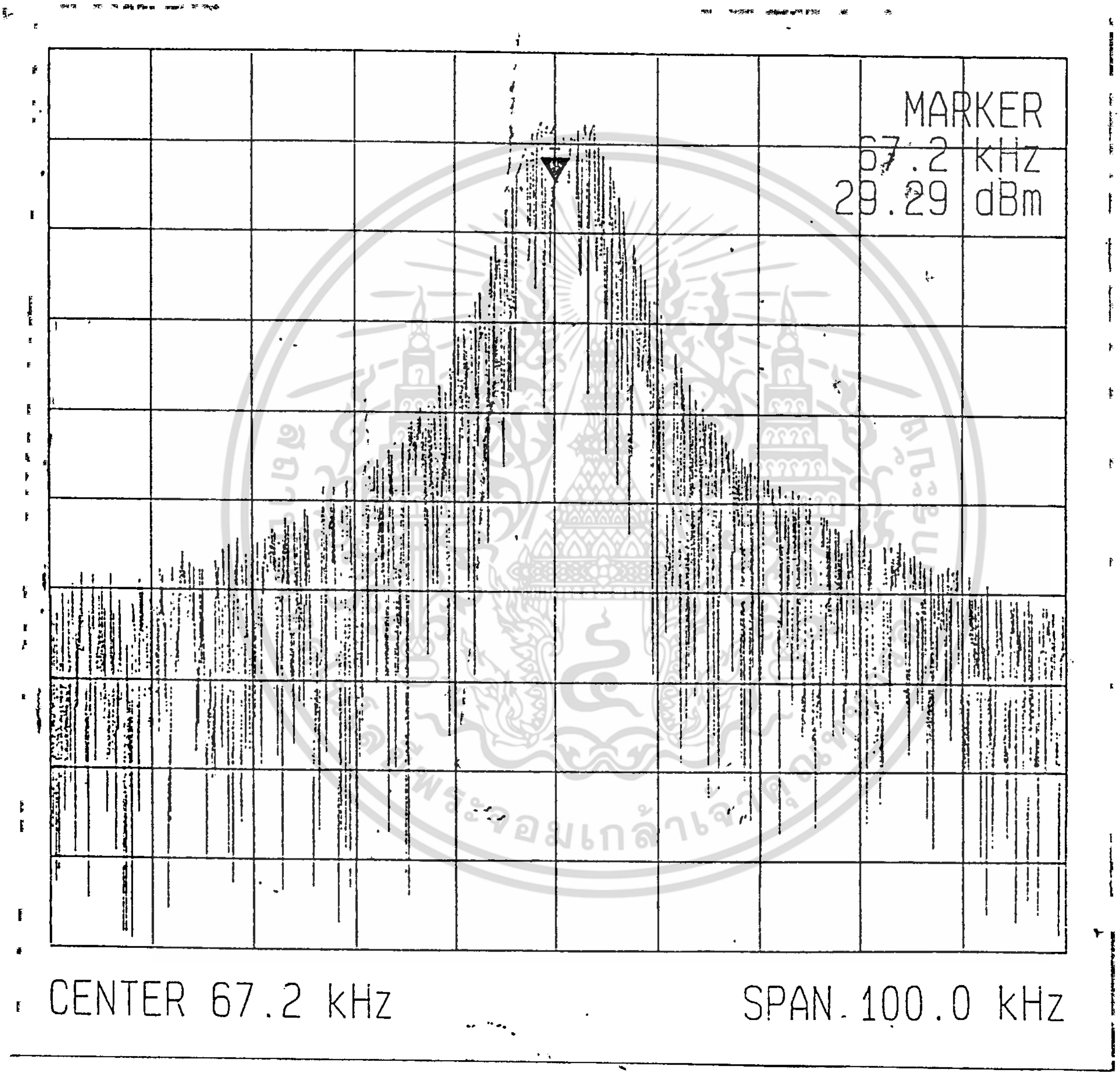
แสดงไว้ดังรูปที่ 3.11 แสดงวงจรมอดูเลทสัญญาณ FSK ทั้งหมด สำหรับส่วนที่มอดูเลทสัญญาณเบสแบนด์เข้ากับวงจร VCO ใช้วงจรรวม LF351 (U3) ต่อเป็นบัฟเฟอร์ที่อินพุทสำหรับการมอดูเลทสัญญาณเบสแบนด์เข้ากับ VCO โดยตรง โดยมี VR1 100 KΩ ต่ออนุกรมกับความต้านทานขนาด 200 KΩ เป็นความต้านทานสำหรับปรับอัตราการมอดูเลท



รูปที่ 3.11 แสดงวงจรมอดูเลทสัญญาณ FSK ทั้งหมด

สำหรับผลของการทดลองวงจรมอดูเลทสัญญาณ FSK ที่ได้ออกแบบ แสดงสเปคตรัมของสัญญาณเอาท์พุทได้ดังรูปที่ 3.12 แสดงสเปคตรัมของสัญญาณ FSK ที่เอาท์พุทของวงจรมอดูเลท และบิทเรทเท่ากับ 4,800 BPS. โดยปรับอัตราการมอดูเลทให้ค่า มอดูเลชั่นอินเดคซ์เท่ากับประมาณ 0.6 สเปคตรัมของสัญญาณจะกระจายอยู่ในช่วงความถี่คลื่นพาห์ 67.2 KHz และบวกลบไปขนาด 3 KHz หรือสัญญาณใช้ขนาดแบนด์วิดท์ 6 KHz โดยมีช่วงความถี่ตั้งแต่ 64.2 KHz - 70.2 KHz ในช่องสัญญาณ SCA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

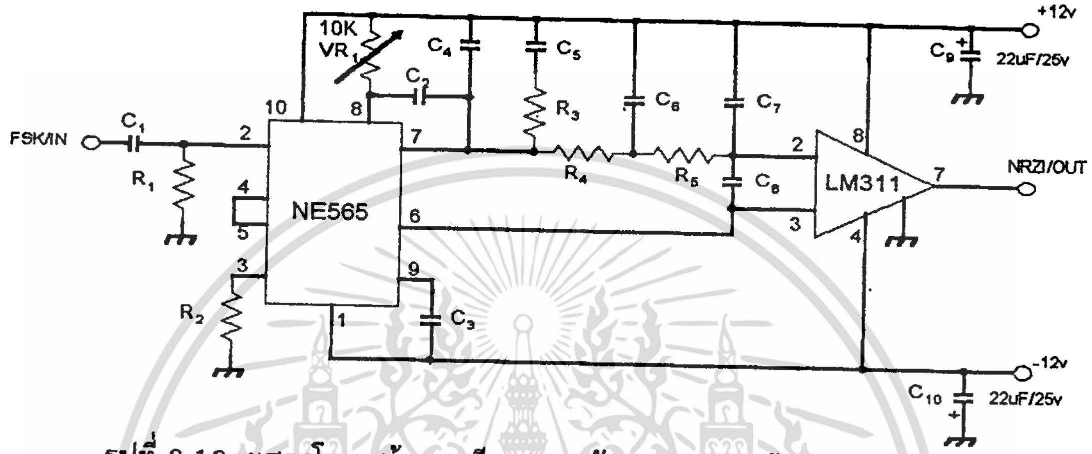


รูปที่ 3.12 แสดงสเปคตรัมของสัญญาณ FSK ที่เอาท์พุทของวงจรมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรดีมอดูเลทสัญญาณ FSK ด้วย PLL

สำหรับวงจรในทางปฏิบัติแสดงวงจรสมมูลย์ได้ดังรูปที่ 3.13 โดย PLL ใช้วงจรรวม 565 [15] ซึ่งมีค่าลูปเกน ($K = K_o K_D$) เท่ากับ 33.6 F_o/V_{cc} ค่าความถี่อิสระของ VCO กำหนดได้ $F_O = 1/(3.7R_oC_o)$ สำหรับการออกแบบวงจรกรองในลูปนั้นค่า R_1 ของ 565 ที่มีขนาด 3600Ω การออกแบบถ้าความถี่อิสระของลูปกำหนดให้เท่ากับ 67.2 KHZ สำหรับค่าขนาดของ R_o ถ้ากำหนด C_o มีขนาดเท่ากับ 0.001μF

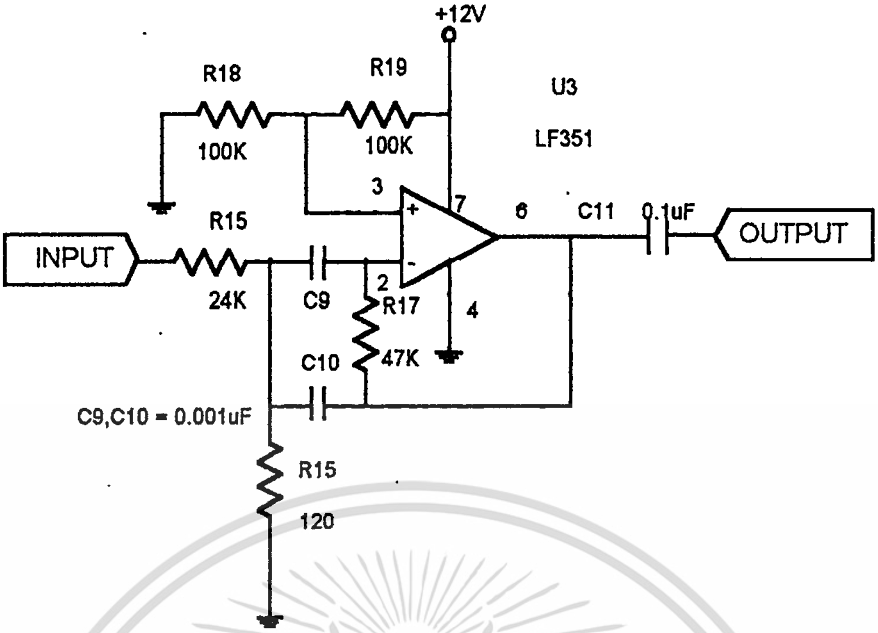


รูปที่ 3.13 แสดงโครงสร้างการดีมอดูเลทสัญญาณ FSK ด้วยวงจรรวม 565

$$R_o = 1/(3.7F_oC_o) = 4021$$

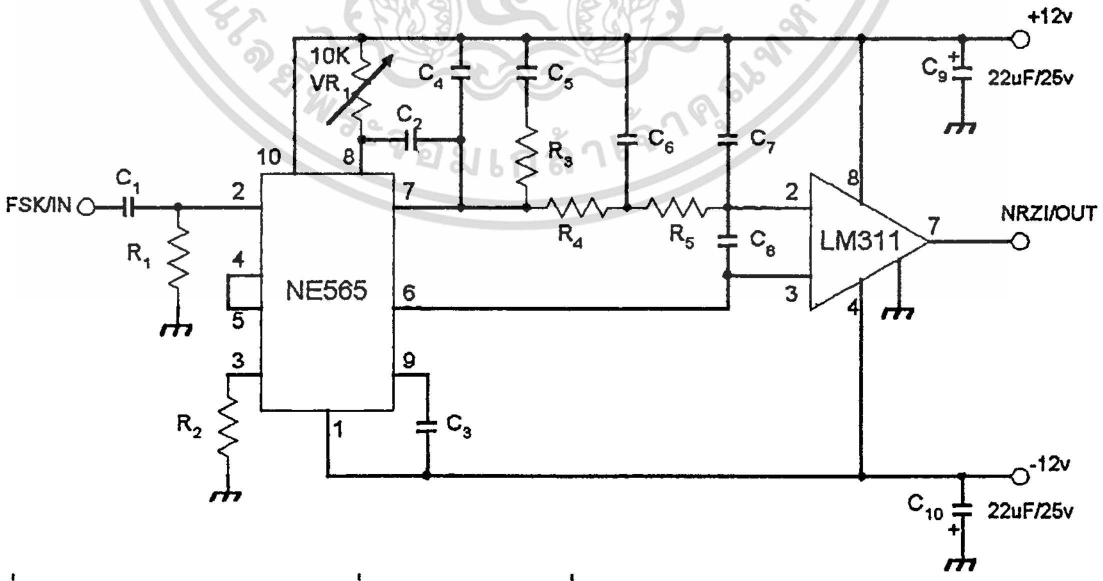
Ro มีค่าเท่ากับ 4021 ในทางปฏิบัติใช้ความต้านทานปรับค่าได้ขนาด 5 KΩ สำหรับค่า R_2 = 3.6 K และ C_1 = 0.118 μF กำหนดเวลาคงที่ของวงจรกรองในลูปสัญญาณ FSKโดยทางปฏิบัติแล้วใช้ C_1 = 0.12 μF และ R_2 มีขนาดเท่ากับ 860Ω หรือเลือก R_2 ขนาด 890Ω โดยจากรูป C_1 และ R_2 คือ C6 และ R7 ส่วน R_o และ C_o คือความต้านทานปรับค่าได้ R6 และ C4 ตามลำดับ สำหรับส่วนของวงจรเปรียบเทียบ ใช้วงจรรวม LM 311 ซึ่งเป็นวงจรรวมสำหรับการเปรียบเทียบ ซึ่งเอาท์พุทสามารถที่จะพูลอัพต่อกับแรงดันขนาด 5 V เพื่อให้เชื่อมต่อกับระดับสัญญาณ TTL ซึ่งเป็นภาคต่อไปได้ โดยอินพุทแรงดันอ้างอิงของ LM 311 ที่ขา 3 ต่อกับขา 6 ของวงจรรวม 565 ซึ่งเป็นขาสัญญาณอ้างอิงซึ่งให้แรงดันดีซีออกจากวงจรรวม 565 สำหรับสัญญาณ FSK เอาท์พุทได้จากแรงดันที่ควบคุม VCO ของ PLL ซึ่งในวงจรรวม 565 คือขา 7 โดยระหว่างเอาท์พุท 565 และอินพุทของ LM 311 เป็นวงจรกรองความถี่ต่ำผ่าน RC ต่อกัน 2 ชุด โดยค่าความถี่หักมุมของวงจรกรองนี้ประมาณระหว่างความถี่ของสัญญาณที่มอดูเลท 2,400 Hz และ 2 เท่าของความถี่อินพุทสูงสุด (139.2 KHZ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 วงจรกรองความถี่ผ่านย่าน 67.2 KHZ

สำหรับวงจรกรองความถี่ผ่านสำหรับวงจรดีมอดูเลทสัญญาณ FSK เพื่อให้สัญญาณ FSK มีขนาดมอดูเลชั่นอินเดคซ์ประมาณเท่ากับ 0.6 ผ่านได้และตัดสัญญาณนอยส์ให้มากที่สุดนั้น กำหนดค่า Q ของวงจรเท่ากับ 10 และอัตราการขยายของวงจรที่ความถี่ศูนย์กลางเท่ากับ 10 ซึ่งสามารถออกแบบวงจรกรองความถี่ผ่านจากข้อกำหนดดังกล่าวโดยใช้วงจร Multiple Feedback ออร์เดอร์ 2 ค่า C เท่ากับ 0.001 μF $R_1 = 12K\Omega$ $R_2 = 240K\Omega$ $R_3 = 24K\Omega$ สำหรับวงจรในทางปฏิบัติแสดงได้ดังรูปที่ 3.15



รูปที่ 3.15 แสดงวงจรกรองความถี่ผ่าน 67.2 KHz ที่ภาคดีมอดูเลทสัญญาณ FSK

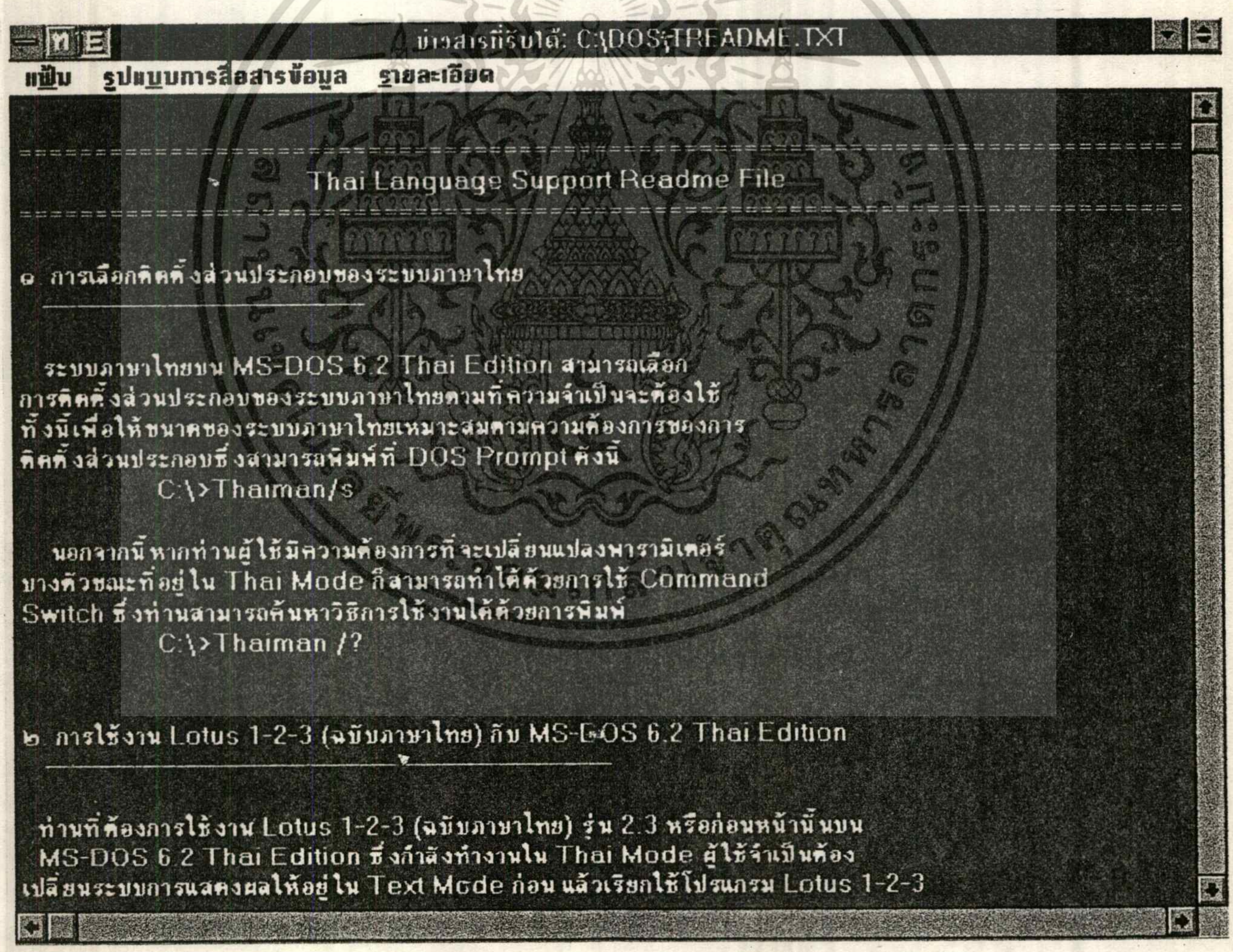
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
โปรแกรมใช้งาน

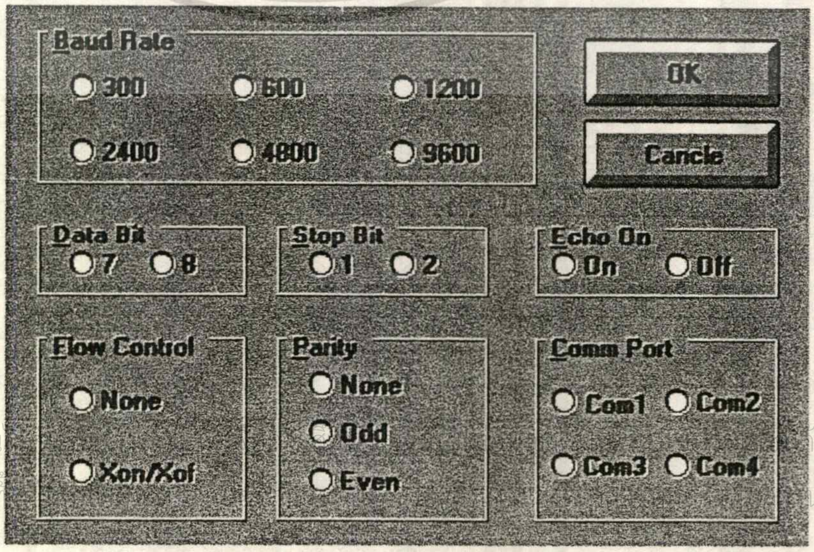
ใช้ VISUAL BASIC เขียนเพื่อให้สามารถทำงานบน WINDOW ได้ การทำงานของ WINDOWS จะทำงานแบบ MULTI FASKING คือ เราสามารถใช้โปรแกรมนี้รับส่งข้อมูลขณะนั้นก็ยังใช้งานอื่นได้ปกติ

หน้าต่างของโปรแกรม

การเซ็ทโปรแกรมจะใช้หน้าต่างดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวน ... ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้ ... นำไปใช้

บิตพาริตี้

การตรวจสอบพาริตี้เป็นวิธีหนึ่งในการทดสอบว่า ข้อมูลที่ส่งได้ถูกรับไปอย่างถูกต้องหรือไม่ อุปกรณ์ฝ่ายส่งจะเพิ่มบิตพาริตี้อีกหนึ่งบิต เป็นค่า 0 หรือ 1 ขึ้นอยู่กับบิตข้อมูล อุปกรณ์ฝ่ายรับจะตรวจสอบว่าบิตพาริตี้มีความสัมพันธ์ที่ถูกต้องกับบิตอื่นหรือไม่ ถ้าไม่แสดงว่าบางสิ่งต้องผิดพลาดในระหว่างการส่ง พาริตี้สามารถคำนวณได้จากวิธีต่อไปนี้

- พาริตี้คู่ (EVEN PARITY)_หมายความว่า จำนวนของบิตข้อมูลที่เป็น 1 และค่าของบิตพาริตี้ รวมกัน เป็นจำนวนคู่ เช่น ตัว A ในฐานสองคือ 01000001 เมื่อนับจำนวนของบิตที่เป็น 1 จะได้ 2 ซึ่งเป็นเลขคู่ ดังนั้น บิตพาริตี้ต้องเป็น 0 ถ้าตัวอักษร A ที่รับได้มีพาริตี้เป็น 1 แสดงว่าเกิดความผิดพลาดในระหว่างการส่ง

- พาริตี้คี่ (ODD PARITY) ความหมายว่า จำนวนทั้งหมดของบิตข้อมูลที่เป็น 1 บวกกับค่า ของบิตพาริตี้ เป็นจำนวนคี่ ดังนั้น สำหรับตัวอักษร A บิตพาริตี้ควรถูกเซตเป็น 1 เพื่อให้จำนวนของบิตที่เป็น 1 ทั้งหมดเป็น 3 ซึ่งเป็นจำนวนคี่ ไม่มีพาริตี้ (NULL PARITY) หมายถึงไม่มีบิตพาริตี้

- SPACE (บางครั้งเรียกว่า BIT TRIMMING) คือบิตพาริตี้ที่เป็น 0 เสมอ มีประโยชน์ในการ ตรวจสอบข้อผิดพลาดบางอย่าง เมื่อการส่งข้อมูลเป็นขยะมาก บางครั้งบิตพาริตี้อาจ กลายเป็น 1 แสดงว่า เกิดข้อผิดพลาด พาริตี้แบบนี้สามารถใช้เพื่อส่งอักษรเจ็ดบิตให้กับอุปกรณ์ที่ต้องการตัวอักษรแปดบิตได้เช่นกัน อุปกรณ์ฝ่ายรับจะถือว่าบิตพาริตี้เป็นบิตสุดท้ายของข้อมูล

- MARK (บางครั้งเรียกว่า BIT FORCING) ทำงานเหมือนกับพาริตี้แบบ SPACE ยกเว้นแต่ บิตพาริตี้จะเป็น 1 เสมอ เนื่องจาก 1 ในตำแหน่งนั้นสามารถที่จะถูกตีความรวมเข้ากับ ค่าของจำนวนได้ อุปกรณ์ หรือคอมพิวเตอร์ฝ่ายรับต้องถูกโปรแกรมไม่ให้สนใจมัน

บิตจบ

ที่ท้ายของแต่ละเฟรม บิตจบจะถูกส่งออกมา บิตจบมีทั้งแบบหนึ่งบิตหนึ่งบิตครึ่งหรือสองบิต อย่างน้อยต้องมีหนึ่งบิตเสมอ เพื่อประกันว่ามีแรงดันไฟฟ้าลบอย่างน้อยเป็นช่วงเวลาหนึ่งก่อนที่เฟรมถัดไปจะมาถึง เพื่อที่จะสามารถแยกแยะเฟรมถัดไปได้จากบิตเริ่มต้นที่เป็นบวกของมัน บิตจบมากกว่าหนึ่งบิตโดยทั่วไปจะใช้เมื่ออุปกรณ์ฝ่ายรับต้องการเวลาเพิ่มขึ้นก่อนที่มันจะสามารถจัดการกับตัวอักษรที่เข้ามาตัวถัดไปได้

หนึ่งบิตครึ่ง หมายความว่า ความยาวของบิตนั้นมากกว่าบิตปกติ บิตจบบังคับให้มีช่องว่างอย่างน้อยระหว่างเฟรม พวกมันถูกส่งเป็นไบนารีหนึ่ง ซึ่งในการเชื่อมต่อโดยตรงจะเป็นแรงดันไฟฟ้าลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิตจบสองบิตมักจะถูกใช้ที่อัตราบอด 110 ซึ่งเป็นอัตราการส่งข้อมูลต่ำสุดที่ใช้กันทั่วไป เพื่อให้สอดคล้องกับความต้องการของเครื่องโทรพิมพ์รุ่นเก่า ซึ่งใช้อัตราบอดต่ำและต้องการเวลาพิเศษเพื่อประมวลตัวอักษร

เบรก

ดังที่ได้อธิบายมาก่อนเมื่อกล่าวถึงบิตเริ่มต้นว่า ระหว่างตัวอักษร สายข้อมูลโดยปกติอยู่ในสภาวะ MARK (แรงดันไฟฟ้าลบ, ไบนารีหนึ่ง) ถ้าตัวอักษรประกอบด้วยศูนย์ทั้งหมด พร้อมด้วยแปดบิตข้อมูลและพาริตี้คู่ สภาวะ SPACE จะปรากฏอยู่สิบบิตคือ บิตเริ่มต้น บิตข้อมูลทั้งแปด และบิตพาริตี้ ซึ่งเป็นสภาวะ SPACE ที่ยาวที่สุด ก่อนจะสิ้นสุดเมื่อถึงบิตจบ ดังนั้น ที่อัตรา 150 บิตต่อวินาที สภาวะ SPACE ตามปกติจะไม่มากไปกว่า 1/15 วินาที หรือ 66.67 มิลลิวินาที สภาวะ SPACE ที่นานกว่านี้ โดยปกติเป็น 100 ถึง 600 มิลลิวินาที ถูกใช้เป็นสัญญาณพิเศษเรียกว่า เบรก (BREAK) เบรกบางครั้งถูกใช้เสมือนกับ CTRL-C ของเมนเฟรมบนพีซี มันจะขัดจังหวะไม่ว่าโปรแกรมอะไรกำลังทำงานอยู่ และกลับคืนสู่ระบบปฏิบัติการ หรือเมนูที่อยู่ในระดับบนภายในโปรแกรม เช่นเดียวกับ CTRL-C หรือ BREAK มันมีประโยชน์สำหรับการหนีออกจากโปรแกรมที่เข้ามาลูปไม่รู้จบ

อัตราบอด

อัตราบอด (BAUD RATE) แสดงจำนวนของสัญญาณแต่ละหน่วยในหนึ่งหน่วยวินาที มันถูกตั้งชื่อตาม BAUDOT ซึ่งเป็นผู้บุกเบิกการสื่อสารชาวฝรั่งเศส ในการส่งแบบไบนารีมันเป็นสิ่งเดียวกับบิตต่อวินาที (BPS) หรือจำนวนเลขฐานสองที่ถูกส่งในหนึ่งวินาที ทั้งสองคำนี้มีความแตกต่างกัน แต่มันมักจะทำให้สับสน ผู้คน 200,000 คน อาจพบว่าพวกเขามีโมเด็ม 1200 บอด และไม่มีสักคนที่มีจริง ๆ ที่จริงแล้วพวกเขามีโมเด็ม 1200 BPS

ในการเชื่อมต่อ RS-232 โดยตรง สัญญาณจะเป็นหนึ่งในสองสถานะในเวลาขณะใดขณะหนึ่ง อัตราบอดและ BPS จึงเท่ากัน อย่างไรก็ตาม ในบทที่ 4 เราจะได้เห็นว่าเมื่อสัญญาณหนึ่งถูกส่งผ่านระหว่างโมเด็มมันสามารถเป็นหนึ่งในหลายสถานะ ความยาวของสัญญาณอาจเป็น 1/600 แปลงแต่ละสภาวะ อัตราบิตต่อวินาทีจะสูงกว่าอัตราบอด

มีจุดน่าสังเกตคือ ทั้งอัตราบอดและ BPS อ้างถึงอัตราที่บิตภายในหนึ่งเฟรมถูกส่ง ช่องว่างระหว่างเฟรมอาจมีความยาวแปรเปลี่ยนได้ เช่น จากการพิมพ์ตัวอักษรด้วยอัตราแตกต่างกัน ดังนั้น ทั้งอัตราบอดและ BPS จึงไม่ได้หมายถึงอัตราที่ข้อมูลถูกส่งไปจริง ๆ

อัตราบิตต่อวินาทีโดยทั่วไปอยู่ในอนุกรม 110, 150, 300, 600, 1200, 2400, 4800, 9600 และ 19200 อัตราที่ใช้กันมากที่สุดสำหรับการสื่อสารทางโมเด็มคือ 1200 และ 2400

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตรา 1200 ใช้กันมากสำหรับการสื่อสารระหว่างคอมพิวเตอร์กับเครื่องพิมพ์ และ 9600 ใช้กันมากสำหรับการเชื่อมต่อเทอร์มินัลกับคอมพิวเตอร์

การแก้ปัญหา

เมื่ออุปกรณ์สองตัวสื่อสารซึ่งกันและกันพวกมันต้องตกลงกันในเรื่องอัตราบอด ความยาวเวิร์ด จำนวนบิตจบ และพาริตี้ ถ้าพบว่าไม่ได้รับอะไรเลย ความผิดพลาดอาจอยู่ที่การเชื่อมต่อทางกายภาพ เช่น ข้อมูลกำลังถูกส่งบนสายผิดเส้น สายขาด หรือไม่ได้รับสัญญาณแฮนด์เช็คกิ้งที่ถูกต้อง ถ้าได้รับขยะ ความผิดพลาดอาจอยู่ในหัวข้อที่จะกล่าวต่อไปนี้

อัตราบอดไม่ตรงกัน

ถ้าอุปกรณ์สองตัวถูกตั้งอัตราบอดต่างกัน อุปกรณ์ฝ่ายรับอาจพยายามที่จะแปลข้อมูล (ถ้ามันไม่ได้ถูกโปรแกรมให้รายงานข้อผิดพลาดทางพาริตี้และทางเฟรม) โดยปกติคุณจะเห็นว่าจำนวนข้อมูลที่รับได้แตกต่างจากที่ถูกส่งมา

ความผิดพลาดทางพาริตี้

ความผิดพลาดทางพาริตี้ (PARITY ERROR) บ่งบอกว่าข้อมูลถูกทำลายในระหว่างการส่ง อย่างไรก็ตาม มันอาจหมายความว่าอุปกรณ์ทั้งสองไม่ได้ถูกตั้งให้มีพาริตี้ (คู่, คี่, หรือไม่มี) หรือความยาวเวิร์ดตรงกัน

ความยาวเวิร์ดไม่ตรงกัน

ถ้าเวิร์ดขนาดแปดบิตกำลังถูกส่งและอุปกรณ์ฝ่ายรับคาดหวังที่จะรับเวิร์ดขนาดเจ็ดบิต คุณอาจไม่พบความแตกต่างในการส่งข้อความ เพราะว่า เพียงแค่เจ็ดบิตแรกที่มีนัยสำคัญ เนื่องจากบิตศูนย์ถูกส่งก่อน และบิตเจ็ดไม่ถูกใช้ในการส่ง ASCII ปกติการขาดหายไปของมันจึงไม่มี ความสำคัญ อย่างไรก็ตาม อุปกรณ์ฝ่ายรับอาจพยายามแปลความหมายบิตที่เกินมาเป็นบิตพาริตี้ และรายงานข้อผิดพลาด ดังนั้น ข้อผิดพลาดทางพาริตี้จึงไม่จำเป็นที่จะต้องหมายถึงข้อมูล ถูกทำลายในการส่ง มันอาจบอกถึงความยาวเวิร์ดไม่ตรงกันก็ได้

ถ้าส่งเวิร์ดขนาดเจ็ดบิดโดยที่อุปกรณ์ฝ่ายรับต้องการเวิร์ดขนาดแปดบิต บิตพาริตี้อาจถูกนำไปรวมเป็นบิตที่แปด เนื่องจากบิตพาริตี้อาจเป็น 1 สำหรับตัวอักษรครึ่งหนึ่ง และเป็น 0 สำหรับอีกครึ่งหนึ่ง จึงพบได้บ่อยครั้งว่าอุปกรณ์ฝ่ายรับจะแสดงอักขระเพิ่มเติม เช่น อักขระกราฟิกในจำนวนครึ่งหนึ่งของตัวอักษรที่รับได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิตจบ

ไม่ควรจะมีปัญหาถ้าบิตจบสองบิตถูกส่งมา แม้มีเพียงบิตเดียวที่ต้องการบิตจบที่เกินมาเพียงแต่รวมเข้าในช่องว่างระหว่างตัวอักษร อย่างไรก็ตาม การส่งหนึ่งบิตจบ เมื่อต้องการสองบิตอายทำให้เกิดปัญหาขึ้นอยู่กับคุณลักษณะของอุปกรณ์ฝ่ายรับ เรื่องนี้ไม่เป็นปัญหากับอุปกรณ์โมเด็ม

ความผิดพลาดทางเฟรม

ความผิดพลาดทางเฟรมบ่งบอกความไม่ตรงกันของจำนวนบิต ซึ่งมักจะถูกรายงานเมื่อไม่ได้รับบิตจบตามที่คาดหวัง

แฮนด์เช็คกิ้งและบัฟเฟอร์

แฮนด์เช็คกิ้งเป็นวิธีที่อุปกรณ์ฝ่ายรับใช้ควบคุมการไหลของข้อมูลจากอุปกรณ์ฝ่ายส่ง บางครั้งเครื่องพิมพ์ไม่สามารถพิมพ์ตัวอักษรด้เร็วเท่ากับที่มันได้รับจากคอมพิวเตอร์ เครื่องพิมพ์พิมพ์กระดาษหมด หรือเมื่อคอมพิวเตอร์ส่งข้อมูลปให้คอมพิวเตอร์อีกเครื่อง และคอมพิวเตอร์ฝ่ายรับไม่สามารถประมวลผลตัวอักษรด้เร็วเท่ากับที่พวกมันกำลังถูกส่งมา

เมื่อทราบว่าอุปกรณ์ฝ่ายรับสามารถประมวลผลตัวอักษรที่รับเข้ามาได้เร็วกว่าอัตราการส่งก็สามารถยกเลิกแฮนด์เช็คกิ้งด้

ฮาร์ดแวร์แฮนด์เช็คกิ้ง

ฮาร์ดแวร์แฮนด์เช็คกิ้งเป็นการใช้วงจรแฮนด์เช็คกิ้งโดยเฉพาะเพื่อควบคุมการส่งข้อมูล โดยปกติอุปกรณ์ DCE ใช้ DSR เป็นสายแฮนด์เช็คกิ้งเพื่อบอก DTE ว่ามันถูกเปิดขึ้นและพร้อม จะรับข้อมูลมันสามารถใช้ CTS เป็นสายแฮนด์เช็คกิ้งเสริมด้

อุปกรณ์ DTE ใช้ DTR เป็นสายแฮนด์เช็คกิ้งหลักเพื่อบอก DCE ว่ามันพร้อมที่จะรับและใช้ RTS เป็นแฮนด์เช็คกิ้งเสริม โดยปกติสายแฮนด์เช็คกิ้งเหล่านี้นำพาแรงดันฟฟ้าบวกเมื่อการส่งสามารถทำด้ และแรงดันไฟฟ้าลบเมื่อการส่งควรถูกหยุดชั่วคราว

ตัวอย่างเช่น เครื่องพิมพ์อนุกรมที่เป็น DTE จะทำให้ DTR เป็นแรงดันไฟฟ้าบวกเมื่อมันพร้อมที่จะรับตัวอักษร และทำให้มันเป็นลบเมื่อมันต้องการหยุดการส่งชั่วคราว มันสามารถใช้ RTS เป็นสายแฮนด์เช็คกิ้งเสริมได้เช่นกัน ดังที่อธิบายไว้ในบทที่ 1 ถ้าคอมพิวเตอร์เป็นอุปกรณ์ DTE ด้วย ต้องใช้นัลโมเด็มเพื่อสลับสัญญาณ หมายความมว่า DTE และ RTS จากเครื่องพิมพ์จะกลายเป็น DSR และ CTS ที่คอมพิวเตอร์ คอมพิวเตอร์หลายชนิดถูกโปรแกรมไม่ให้ส่งข้อมูล ถ้าทั้ง DSR และ CTS ไม่เป็นบวกทั้งคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซอฟต์แวร์แฮนด์เช็คกิ้ง

ซอฟต์แวร์แฮนด์เช็คกิ้งคือ สัญญาณแฮนด์เช็คกิ้งที่ถูกส่งเหมือนกับข้อมูลไปตามสายข้อมูล (TXD และ RXD, สาย 2 และ 3) แทนที่จะไปตามวงจรแฮนด์เช็คกิ้งโดยเฉพาะ ดังเช่นในฮาร์ดแวร์แฮนด์เช็คกิ้ง วิธีนี้ถูกใช้ทั่วไปเมื่อคอมพิวเตอร์สองเครื่องสื่อสารกัน (ทั้งโดยตรงและผ่านโมเด็ม) และเมื่อการสื่อสารสองทางสามารถทำได้

โปรโตคอลมาตรฐานหลายโปรโตคอลถูกสร้างขึ้นเพื่อจัดการซอฟต์แวร์แฮนด์เช็คกิ้ง โปรโตคอลที่ใช้กันมากที่สุดคือ XON/XOFF

XON/XOFF

ภายใต้โปรโตคอล XON/XOFF อุปกรณ์ฝ่ายรับจะส่งอักขระ ASCII DC3 (19 ฐานสิบ, 13 ฐานสิบหก) ไปยังอุปกรณ์ฝ่ายส่งเมื่อมันต้องการให้อุปกรณ์ฝ่ายส่งหยุดการส่งตัวอักษร และส่งอักขระ ASCII DC1 (17 ฐานสิบ, 11 ฐานสิบหก) เมื่อต้องการให้การส่งดำเนินการต่อไป

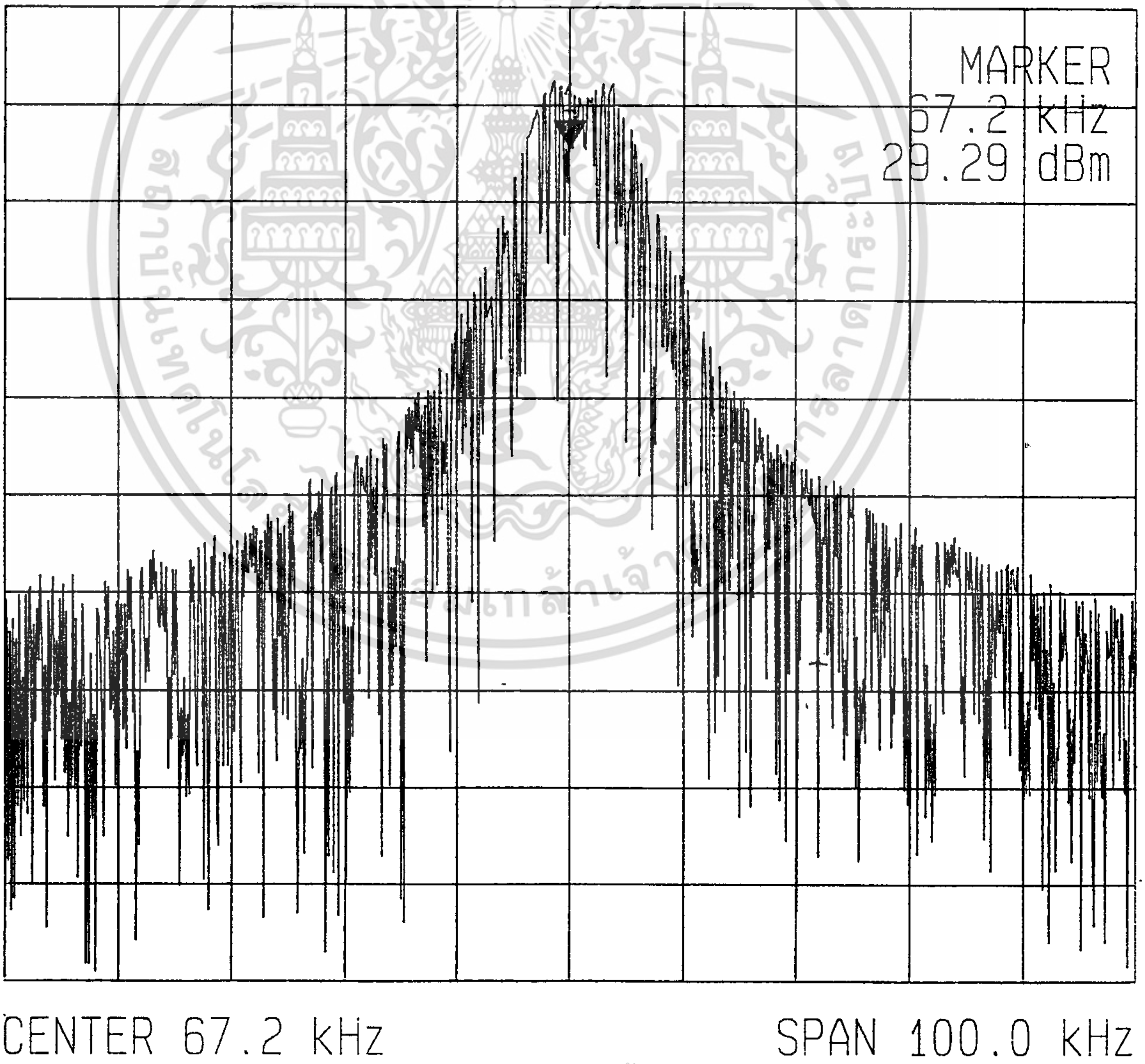
ในทางปฏิบัติตามปกติที่มีการใช้บัฟเฟอร์ (BUFFER) อักขระ DC3 จะถูกส่งไปที่ฝ่ายส่ง เมื่อบัฟเฟอร์เกือบจะเต็ม และอักขระ DC1 จะถูกส่งเมื่อบัฟเฟอร์ใกล้จะว่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

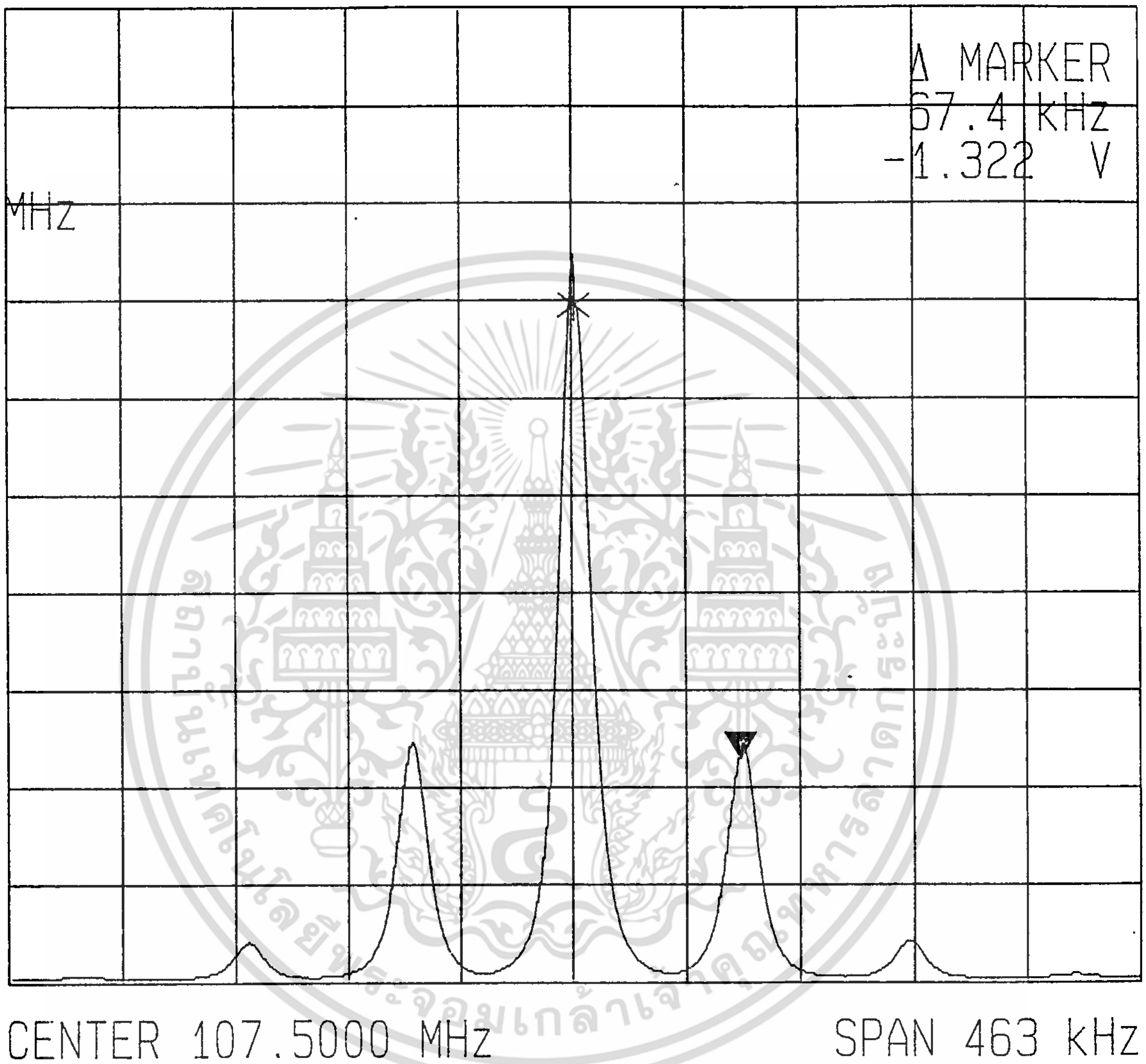
บทที่ 5

ผลการทดลอง

ผลของการทดลองวงจรมอดูเลทสัญญาณ FSK ซึ่งเป็นผลมาจากการทำงานของ PLL ซึ่งสร้างความถี่โดยการควบคุมด้วยแรงดัน (VCO) โดยมี IC # 4046 เป็น PHASE DETECTER และ IC # XR 2206 เป็น VCO และใช้ X-TAL รวมกับ IC # 4060 และ 40102 เพื่อกำหนดความถี่นี้ใช้ในการอ้างอิง 4.8 KHZ. โดยมีอินพุทของวงจรเป็นสัญญาณข้อมูลในการส่งผ่าน SERIAL PORT ของ RS 232 โดยมีบิทเรทเท่ากับ 4,800 BPS จะทำให้ได้สเป็กตรัมของสัญญาณ OUTPUT กระจายอยู่ในช่องความถี่คลื่นพาห์ 67.2 KHZ. ± 3 KHZ. เพื่อจะนำไปส่งในช่องของ FM SCA ดังแสดงในแถบสเป็กตรัมดังรูป

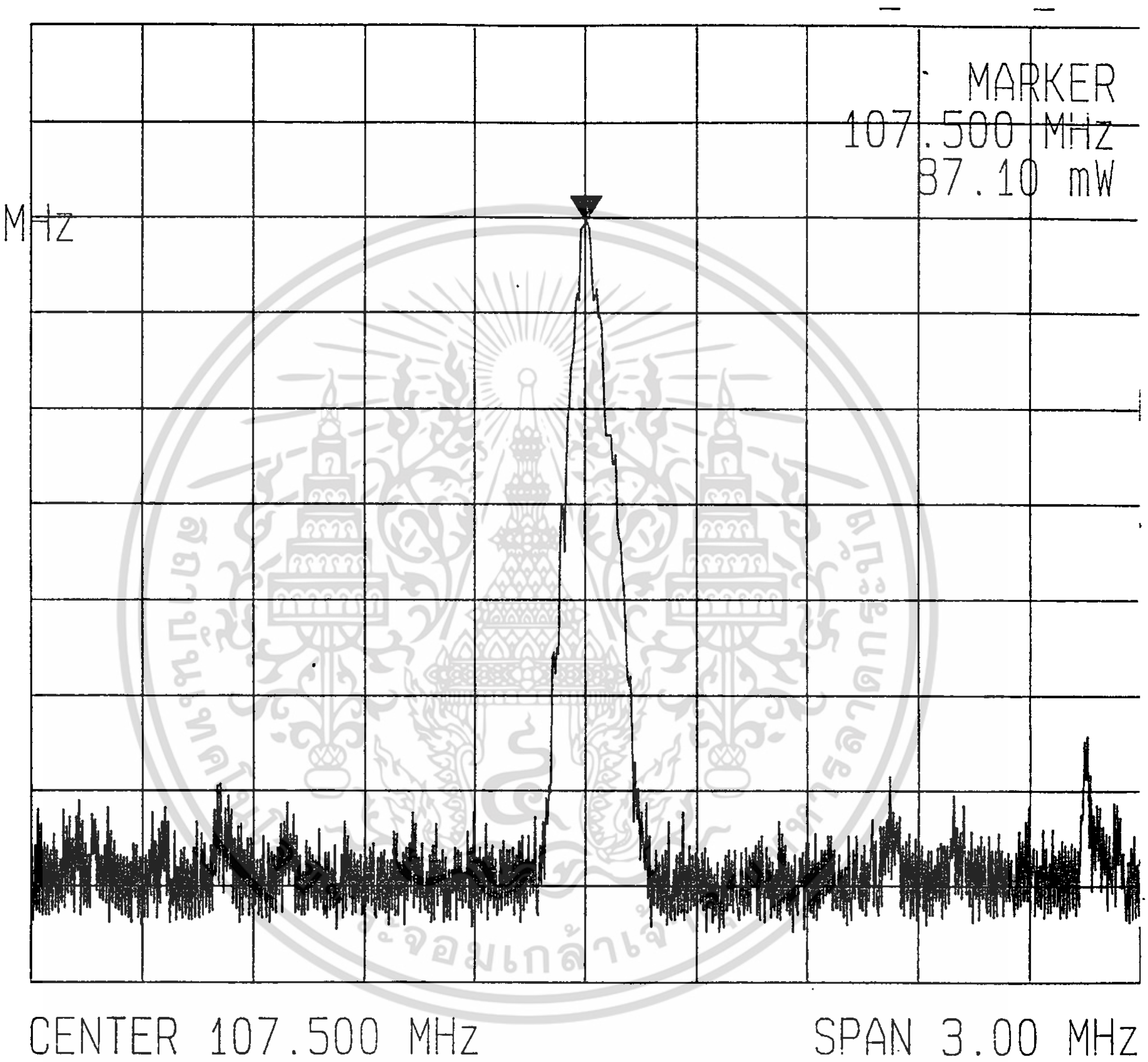


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



<u>รูปภาพแสดงแถบสัญญาณความถี่หลักและSCA</u>
ขณะไม่มีการ Mod สัญญาณเสียงและข้อมูล

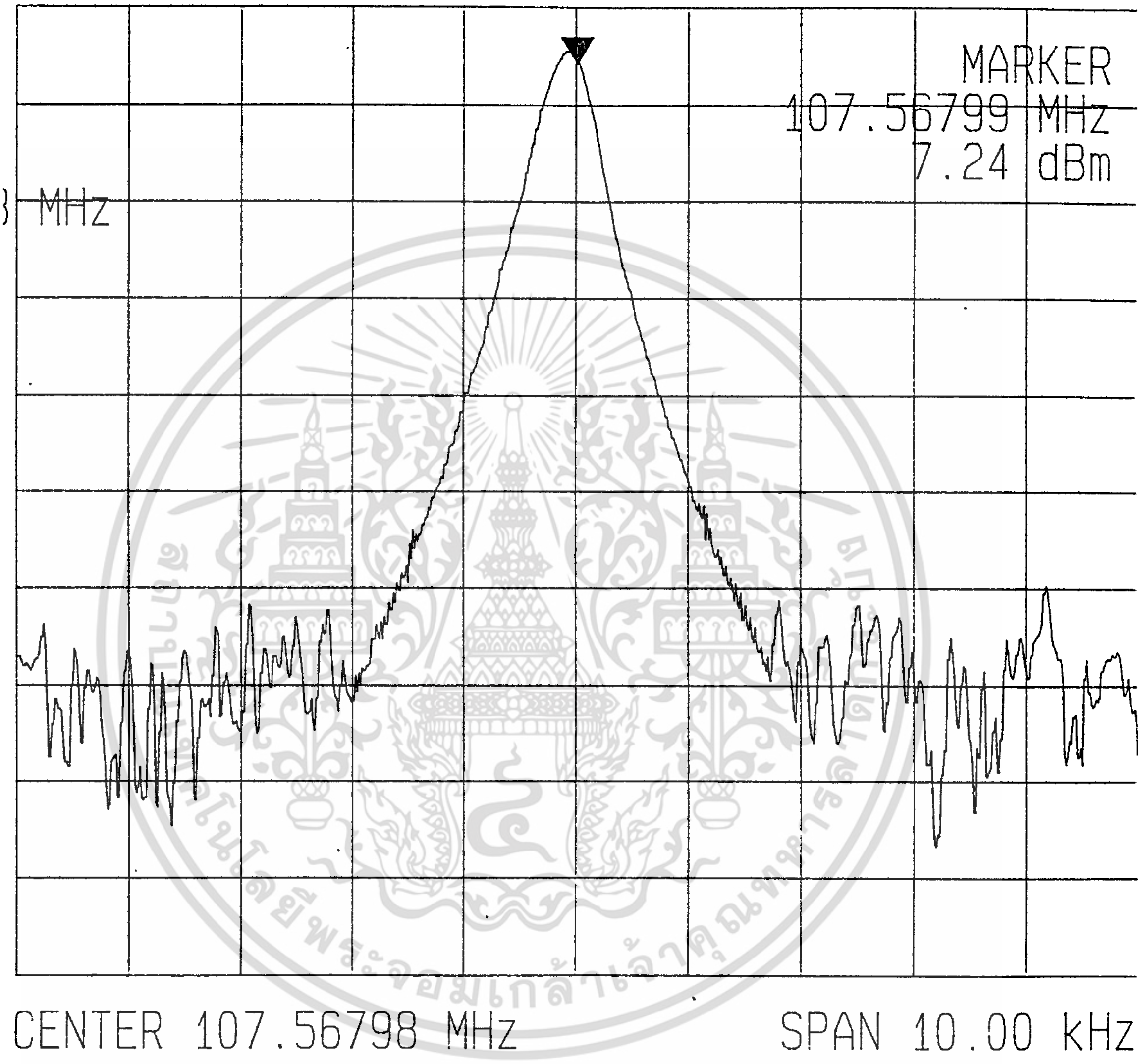
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



<u>รูปภาพแสดงแถบสัญญาณความถี่หลัก</u>

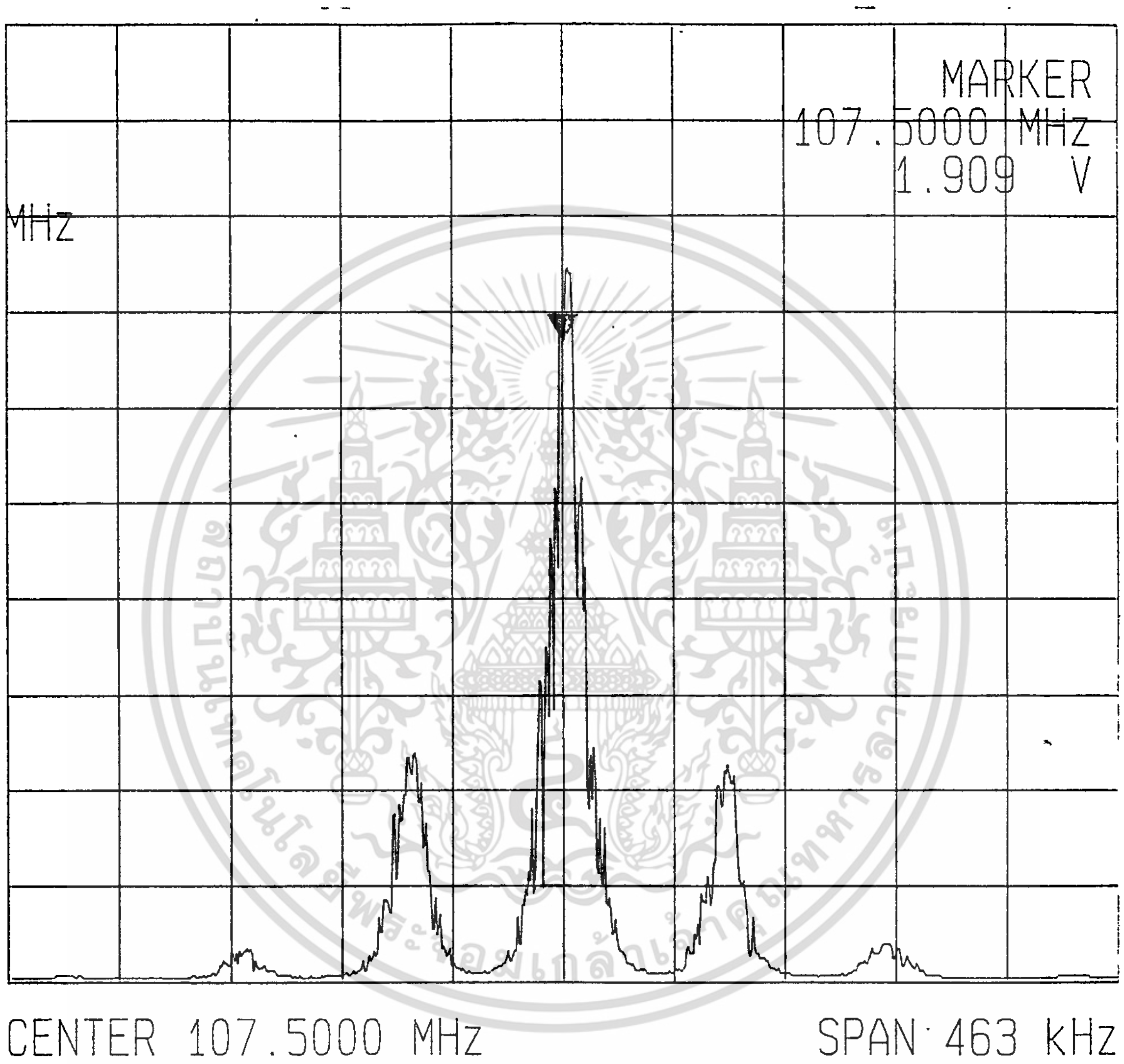
ขณะไม่มีการ Mod สัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



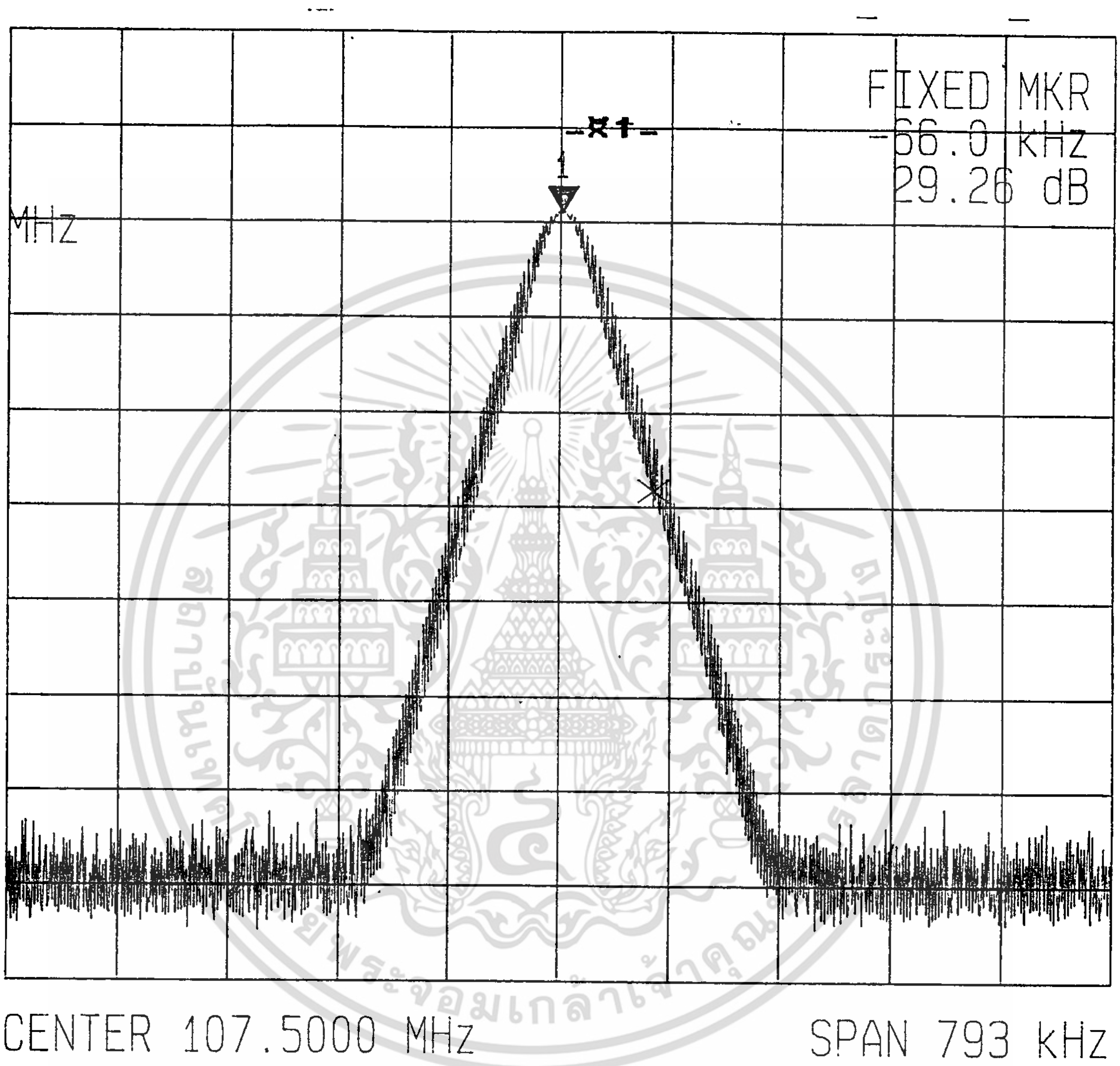
<u>รูปภาพแสดงแถบสัญญาณความถี่SCA</u>
ขณะไม่มีการ Mod สัญญาณข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



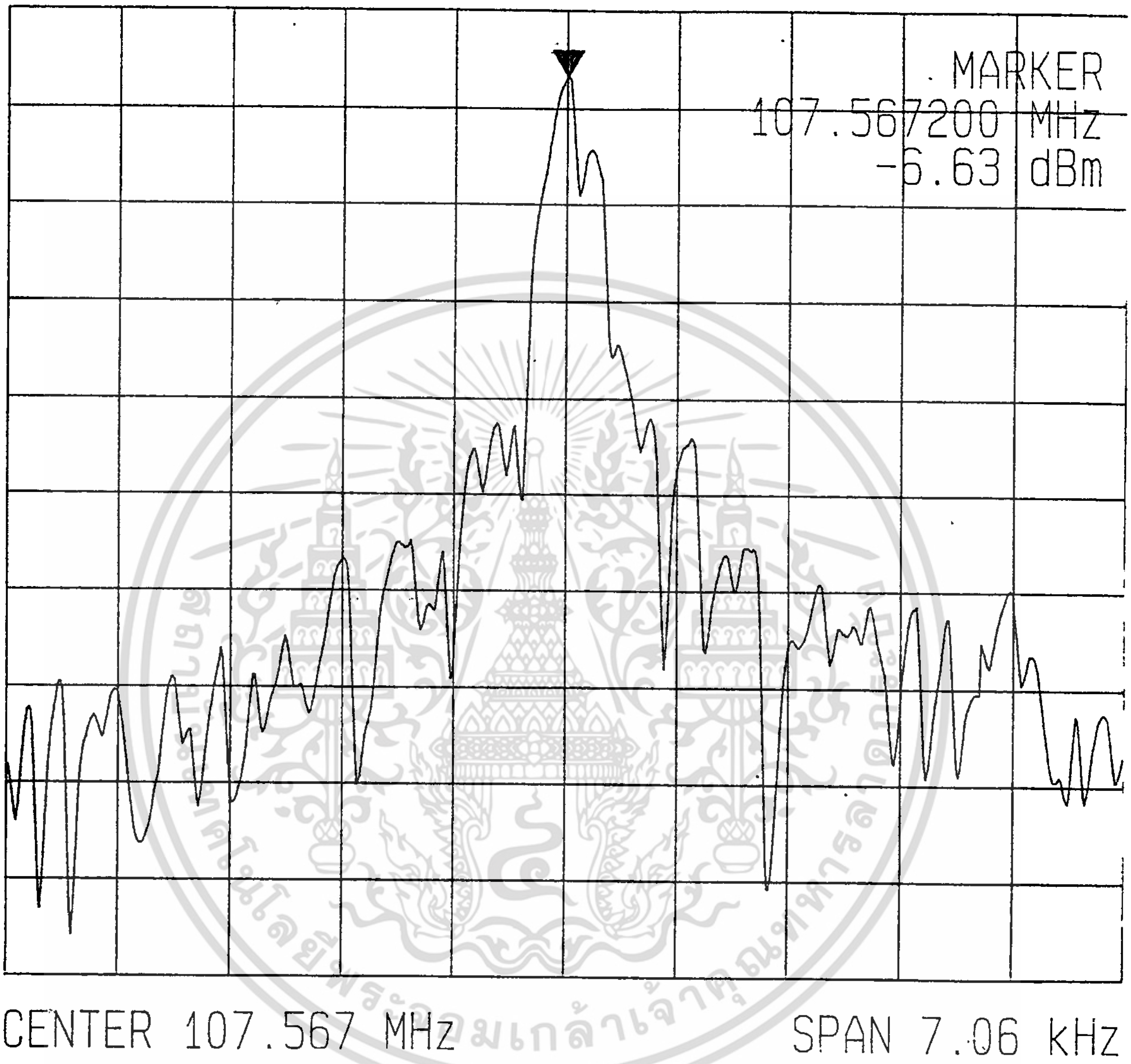
รูปภาพแสดงแถบสัญญาณความถี่หลักและSCA
ขณะมีการ Mod สัญญาณเสียงและข้อมูลแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปภาพแสดงแถบสัญญาณความถี่หลัก
ขณะมีการ Mod สัญญาณเสียงแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปภาพแสดงแถบสัญญาณความถี่SCA
ขณะมีการ Mod สัญญาณข้อมูลแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Industrial Blocks

LM565/LM565C Phase Locked Loop

General Description

The LM565 and LM565C are general purpose phase locked loops containing a stable, highly linear voltage controlled oscillator for low distortion FM demodulation, and a double balanced phase detector with good carrier suppression. The VCO frequency is set with an external resistor and capacitor, and a tuning range of 10:1 can be obtained with the same capacitor. The characteristics of the closed loop system—bandwidth, response speed, capture and pull in range—may be adjusted over a wide range with an external resistor and capacitor. The loop may be broken between the VCO and the phase detector for insertion of a digital frequency divider to obtain frequency multiplication.

The LM565H is specified for operation over the −55°C to +125°C military temperature range. The LM565CH and LM565CN are specified for operation over the 0°C to +70°C temperature range.

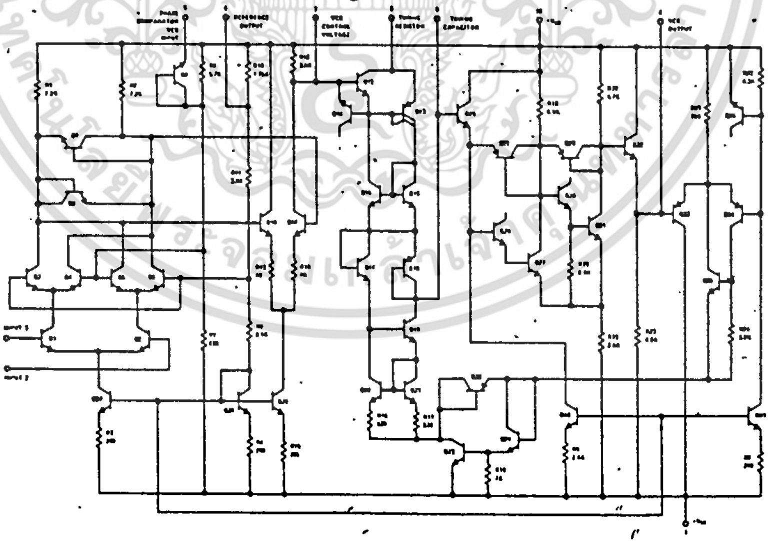
Features

- 200 ppm/°C frequency stability of the VCO
- Power supply range of ±5 to ±12 volts with 100 ppm/% typical
- 0.2% linearity of demodulated output
- Linear triangle wave with in phase zero crossings available
- TTL and DTL compatible phase detector input and square wave output
- Adjustable hold in range from ±1% to > ±60%.

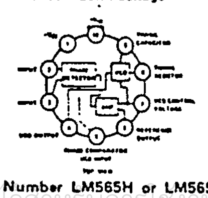
Applications

- Data and tape synchronization
- Modems
- FSK demodulation
- FM demodulation
- Frequency synthesizer
- Tone decoding
- Frequency multiplication and division
- SCA demodulators
- Telemetry receivers
- Signal regeneration
- Coherent demodulators.

Schematic and Connection Diagrams

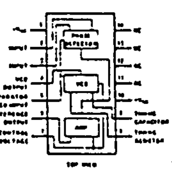


Metal Can Package



Order Number LM565H or LM565CH
See NS Package H10C

Dual-In-Line Package



Order Number LM565CN
See NS Package N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

Absolute Maximum Ratings

Supply Voltage		±12V
Power Dissipation (Note 1)		300 mW
Differential Input Voltage		±1V
Operating Temperature Range	LM565H	−55°C to +125°C
	LM565CH, LM565CN	0°C to 70°C
Storage Temperature Range		−65°C to +150°C
Lead Temperature (Soldering, 10 sec)		300°C

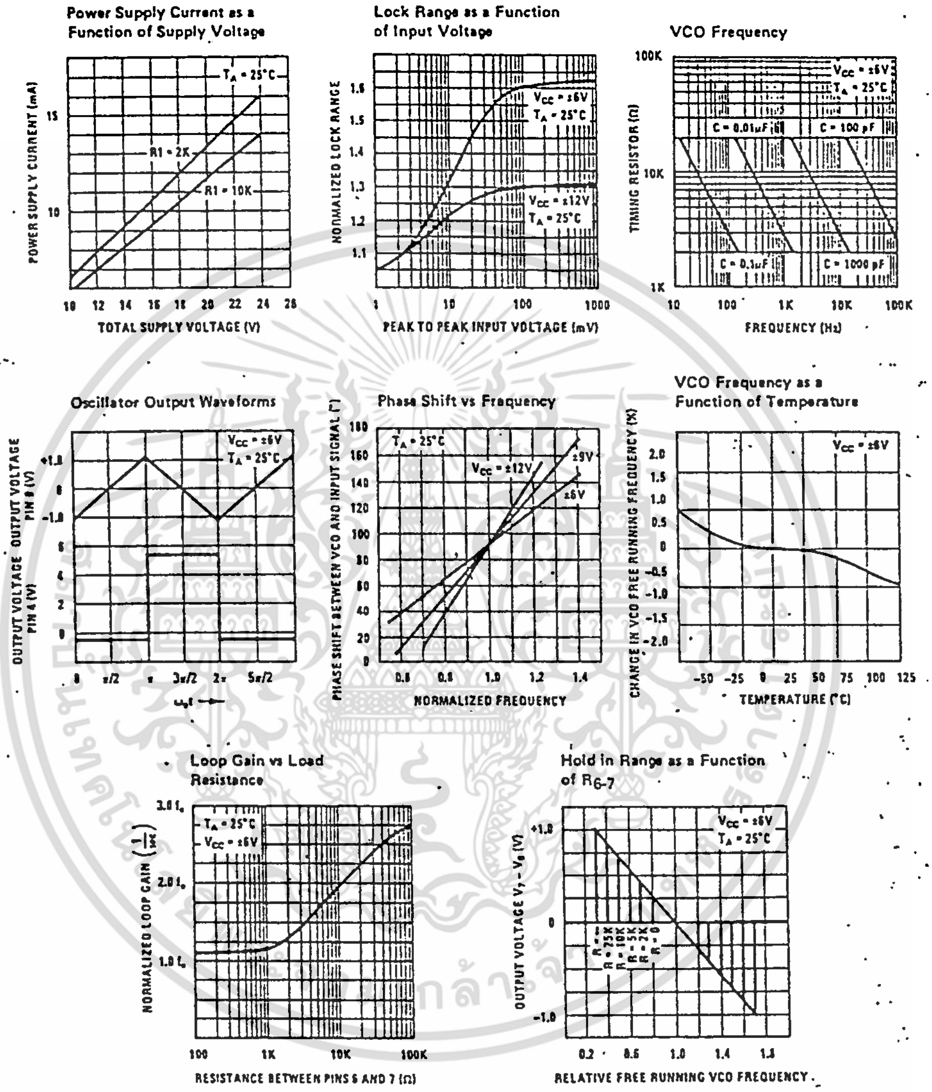
Electrical Characteristics (AC Test Circuit, T_A = 25°C, V_C = ±6V)

PARAMETER	CONDITIONS	LM565			LM565C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Power Supply Current			8.0	12.5		8.0	12.5	mA
Input Impedance (Pins 2, 3)	$-4V < V_2, V_3 < 0V$	7	10			5		kΩ
VCO Maximum Operating Frequency	C_o = 2.7 pF	300	500		250	500		kHz
Operating Frequency Temperature Coefficient			−100	300		−200	500	ppm/°C
Frequency Drift with Supply Voltage			0.01	0.1		0.05	0.2	%/V
Triangle Wave Output Voltage		2	2.4	3	2	2.4	3	V_{p-p}
Triangle Wave Output Linearity			0.2	0.75		0.5	1	%
Square Wave Output Level		4.7	5.4		4.7	5.4		V_{p-p}
Output Impedance (Pin 4)			5			5		kΩ
Square Wave Duty Cycle		45	50	55	40	50	60	%
Square Wave Rise Time			20	100		20		ns
Square Wave Fall Time			50	200		50		ns
Output Current Sink (Pin 4)		0.6	1		0.6	1		mA
VCO Sensitivity	f_o = 10 kHz	6400	6600	6800	6000	6600	7200	Hz/V
Demodulated Output Voltage (Pin 7)	±10% Frequency Deviation	250	300	350	200	300	400	mV_{pp}
Total Harmonic Distortion	±10% Frequency Deviation		0.2	0.75		0.2	1.5	%
Output Impedance (Pin 7)			3.5			3.5		kΩ
DC Level (Pin 7)		4.25	4.5	4.75	4.0	4.5	5.0	V
Output Offset Voltage $\|V_7 - V_6\|$			30	100		50	200	mV
Temperature Drift of $\|V_7 - V_6\|$			500			500		µV/°C
AM Rejection		30	40			40		dB
Phase Detector Sensitivity K_D		0.6	.68	0.9	0.55	.68	0.95	V/radian

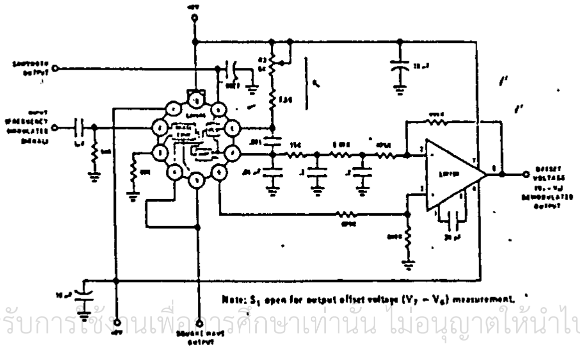
Note 1: The maximum junction temperature of the LM565 is 150°C, while that of the LM565C and LM565CN is 100°C. For operation at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W junction to ambient or 45°C/W junction to case. Thermal resistance of the dual-in-line package is 100°C/W.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

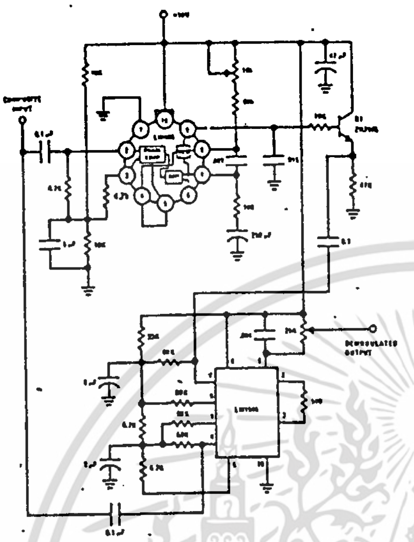


AC Test Circuit

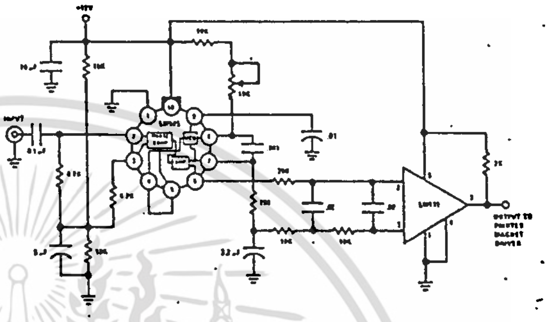


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

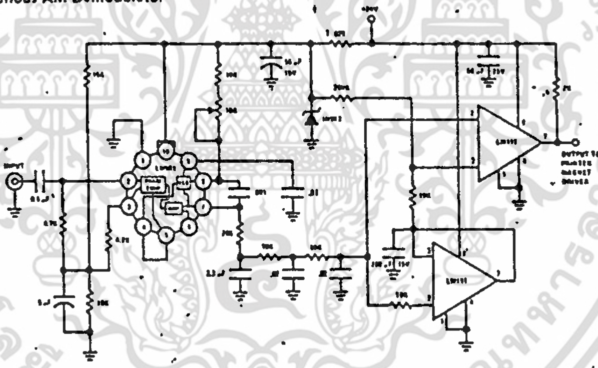
Typical Applications



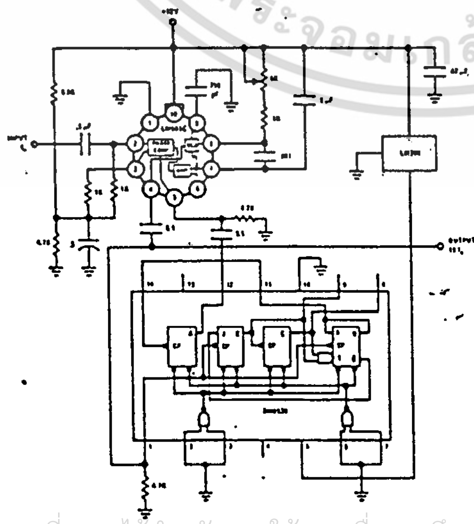
2400 Hz Synchronous AM Demodulator



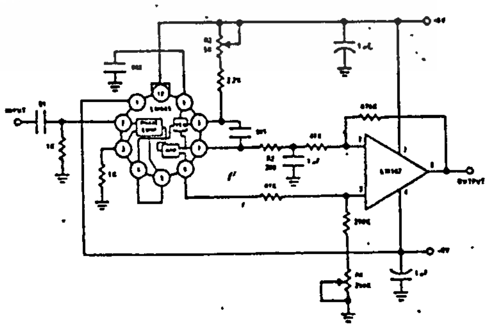
FSK Demodulator (2025-2225 cps)



FSK Demodulator with DC Restoration.



Frequency Multiplier (x10)



IRIG Channel 13 Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

In designing with phase locked loops such as the LM565, the important parameters of interest are:

FREE RUNNING FREQUENCY

$$f_o \cong \frac{1}{3.7\, R_0 C_0}$$

LOOP GAIN: relates the amount of phase change between the input signal and the VCO signal for a shift in input signal frequency (assuming the loop remains in lock). In servo theory, this is called the "velocity error coefficient".

$$\text{Loop gain} = K_o K_D \left(\frac{1}{\text{sec}}\right)$$

$$K_o = \text{oscillator sensitivity} \left(\frac{\text{radians/sec}}{\text{volt}}\right)$$

$$K_D = \text{phase detector sensitivity} \left(\frac{\text{volts}}{\text{radian}}\right)$$

The loop gain of the LM565 is dependent on supply voltage, and may be found from:

$$K_o K_D = \frac{33.6\, f_o}{V_c}$$

f_o = VCO frequency in Hz

V_c = total supply voltage to circuit.

Loop gain may be reduced by connecting a resistor between pins 6 and 7; this reduces the load impedance on the output amplifier and hence the loop gain.

HOLD IN RANGE: the range of frequencies that the loop will remain in lock after initially being locked.

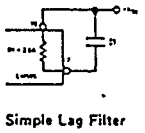
$$f_H = \pm \frac{8\, f_o}{V_c}$$

f_o = free running frequency of VCO

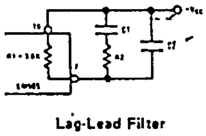
V_c = total supply voltage to the circuit.

THE LOOP FILTER

In almost all applications, it will be desirable to filter the signal at the output of the phase detector (pin 7) this filter may take one of two forms:



Simple Lag Filter



Lag-Lead Filter

A simple lag filter may be used for wide closed loop bandwidth applications such as modulation following where the frequency deviation of the carrier is fairly high (greater than 10%), or where wideband modulating signals must be followed.

The natural bandwidth of the closed loop response may be found from:

$$f_n = \frac{1}{2\pi}\sqrt{\frac{K_o K_D}{R_1 C_1}}$$

Associated with this is a damping factor:

$$\delta = \frac{1}{2}\sqrt{\frac{1}{R_1 C_1 K_o K_D}}$$

For narrow band applications where a narrow noise bandwidth is desired, such as applications involving tracking a slowly varying carrier, a lead lag filter should be used. In general, if $1/R_1C_1 < K_oK_d$, the damping factor for the loop becomes quite small resulting in large overshoot and possible instability in the transient response of the loop. In this case, the natural frequency of the loop may be found from

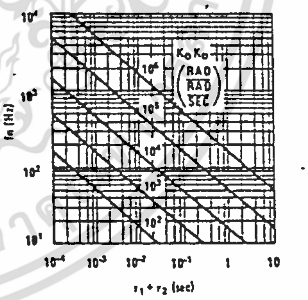
$$f_n = \frac{1}{2\pi}\sqrt{\frac{K_o K_D}{\tau_1 + \tau_2}}$$

$$\tau_1 + \tau_2 = (R_1 + R_2)\, C_1$$

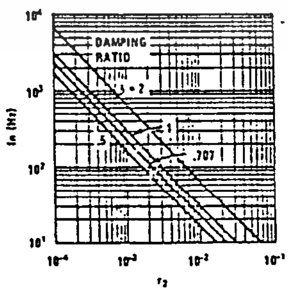
R_2 is selected to produce a desired damping factor δ, usually between 0.5 and 1.0. The damping factor is found from the approximation:

$$\delta \simeq \pi \tau_2 f_n$$

These two equations are plotted for convenience.



Filter Time Constant vs Natural Frequency



Damping Time Constant vs Natural Frequency

Capacitor C_2 should be much smaller than C_1 since its function is to provide filtering of carrier. In general $C_2 \leq 0.1\, C_1$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Voltage Comparators

LM311 Voltage Comparator

General Description

The LM311 is a voltage comparator that has input currents more than a hundred times lower than devices like the LM306 or LM710C. It is also designed to operate over a wider range of supply voltages: from standard ±15V op amp supplies down to the single 5V supply used for IC logic. Its output is compatible with RTL, DTL and TTL as well as MOS circuits. Further, it can drive lamps or relays, switching voltages up to 40V at currents as high as 50 mA.

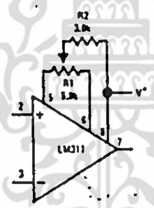
Features

- Operates from single 5V supply
- Maximum input current: 250 nA
- Maximum offset current: 50 nA
- Differential input voltage range: ±30V
- Power consumption: 135 mW at ±15V

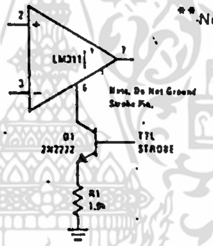
Both the input and the output of the LM311 can be isolated from system ground, and the output can drive loads referred to ground, the positive supply or the negative supply. Offset balancing and strobe capability are provided and outputs can be wire OR'ed. Although slower than the LM306 and LM710C (200 ns response time vs 40 ns) the device is also much less prone to spurious oscillations. The LM311 has the same pin configuration as the LM306 and LM710C. See the "application hints" of the LM311 for application help.

Auxiliary Circuits**

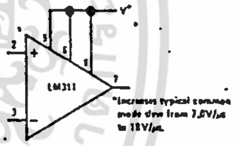
**Note: Pin connections shown on schematic diagram and typical applications are for TO-5 package.



Offset Balancing

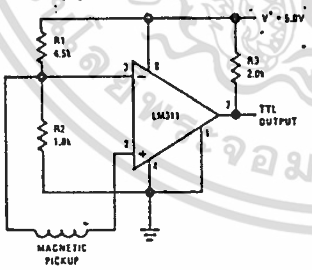


Strobing

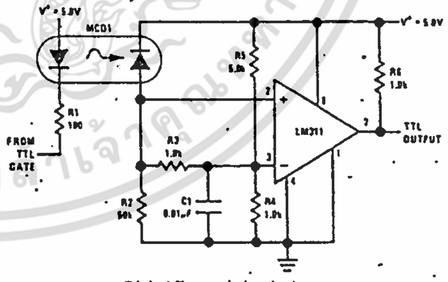


Increasing Input Stage Current*

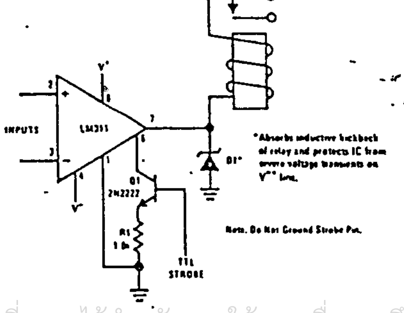
Typical Applications**



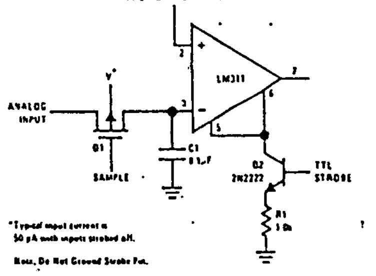
Detector for Magnetic Transducer



Digital Transmission Isolator



Relay Driver with Strobe



Strobing off Both Input* and Output Stages

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Total Supply Voltage (V_{84})	36V
Output to Negative Supply Voltage (V_{74})	40V
Ground to Negative Supply Voltage (V_{14})	30V
Differential Input Voltage	±30V
Input Voltage (Note 1)	±15V
Power Dissipation (Note 2)	500 mW
Output Short Circuit Duration	10 sec
Operating Temperature Range	0°C to 70°C
Storage Temperature Range	−65°C to 150°C
Lead Temperature (soldering, 10 sec)	300°C
Voltage at Strobe Pin	$V^+ - 5V$

Electrical Characteristics (Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage (Note 4)	$T_A = 25°C$, $R_S \leq 50k$		2.0	7.5	mV
Input Offset Current (Note 4)	$T_A = 25°C$		6.0	50	nA
Input Bias Current	$T_A = 25°C$		100	250	nA
Voltage Gain	$T_A = 25°C$	40	200		V/mV
Response Time (Note 5)	$T_A = 25°C$		200		ns
Saturation Voltage	$V_{IN} \leq -10$ mV, $I_{OUT} = 50$ mA $T_A = 25°C$		0.75	1.5	V
Strobe ON Current	$T_A = 25°C$		3.0		mA
Output Leakage Current	$V_{IN} \geq 10$ mV, $V_{OUT} = 35V$ $T_A = 25°C$, $I_{STROBE} = 3$ mA		0.2	50	nA
Input Offset Voltage (Note 4)	$R_S \leq 50k$			10	mV
Input Offset Current (Note 4)				70	nA
Input Bias Current				300	nA
Input Voltage Range		−14.5	13.8,−14.7	13.0	V
Saturation Voltage	$V^+ \geq 4.5V$, $V^- = 0$ $V_{IN} \leq -10$ mV, $I_{SINK} \leq 8$ mA		0.23	0.4	V
Positive Supply Current	$T_A = 25°C$		5.1	7.5	mA
Negative Supply Current	$T_A = 25°C$		4.1	5.0	mA

Note 1: This rating applies for ±15V supplies. The positive input voltage limit is 30V above the negative supply. The negative input voltage limit is equal to the negative supply voltage or 30V below the positive supply, whichever is less.

Note 2: The maximum junction temperature of the LM311 is 110°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient, or 45°C/W, junction to case. The thermal resistance of the dual-in-line package is 100°C/W, junction to ambient.

Note 3: These specifications apply for $V_S = \pm 15V$ and the Ground pin at ground, and $0°C < T_A < +70°C$, unless otherwise specified. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to ±15V supplies.

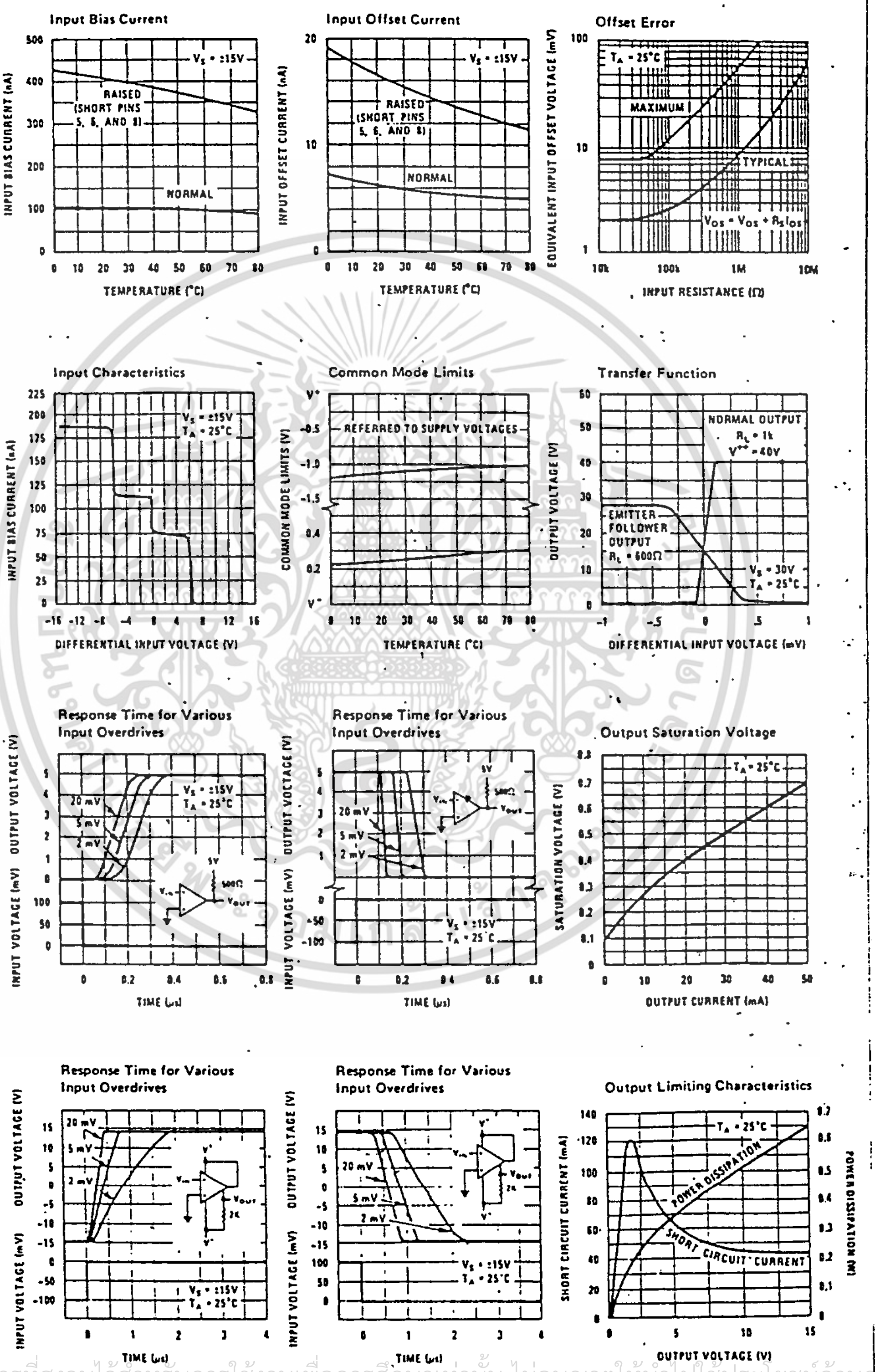
Note 4: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with 1 mA load. Thus, these parameters define an error band and take into account the worst-case effects of voltage gain and input impedance.

Note 5: The response time specified (see definitions) is for a 100 mV input step with 5 mV overdrive.

Note 6: Do not short the strobe pin to ground; it should be current driven at 3 to 5 mA.

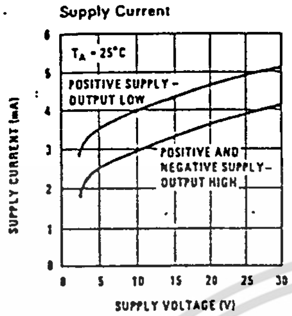
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

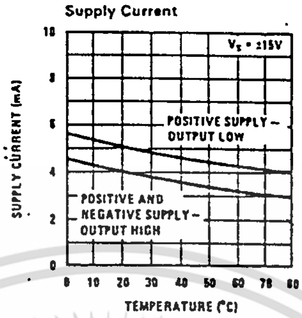
Typical Performance Characteristics

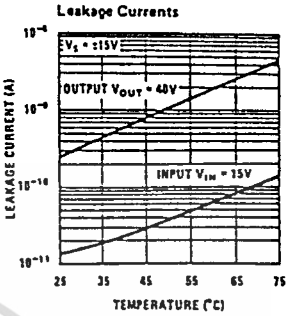


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

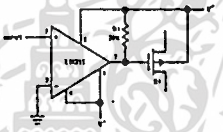
Typical Performance Characteristics (Continued)



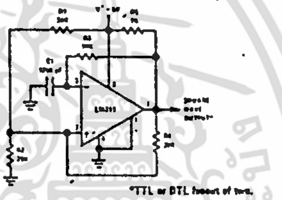




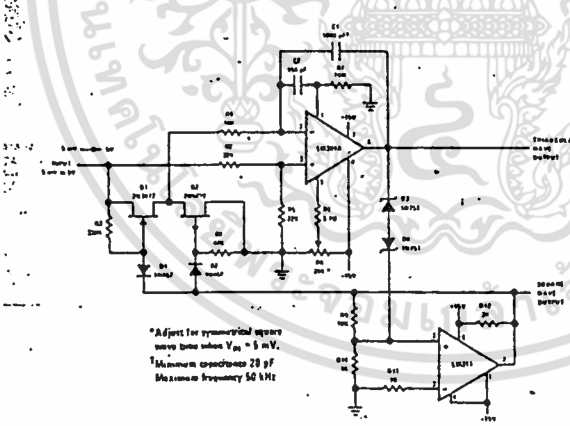
Typical Applications



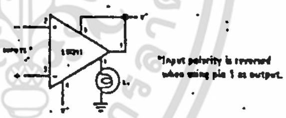
Zero Crossing Detector Driving MOS Switch



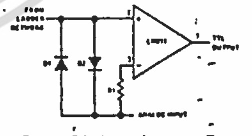
100 kHz Free Running Multivibrator



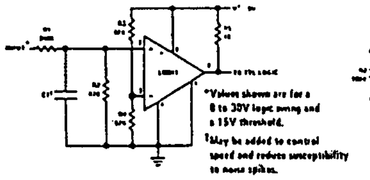
10 Hz to 10 kHz Voltage Controlled Oscillator



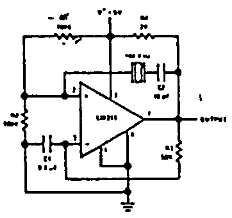
Driving Ground-Referred Load



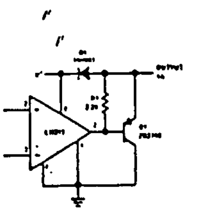
Using Clamp Diodes to Improve Response



TTL Interface with High Level Logic



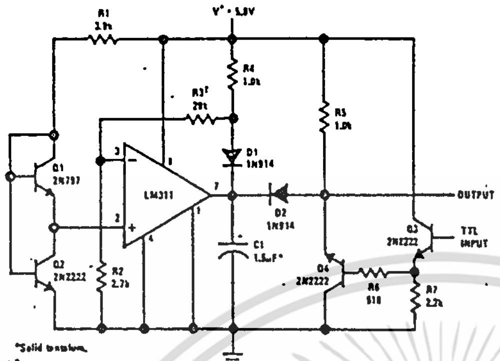
Crystal Oscillator



Comparator and Solenoid Driver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

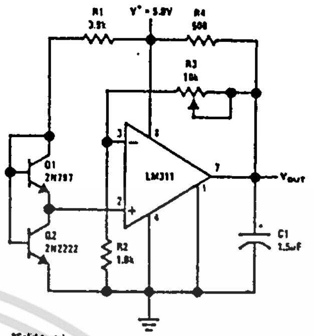
Typical Applications (Continued)



*Solid tantalum.

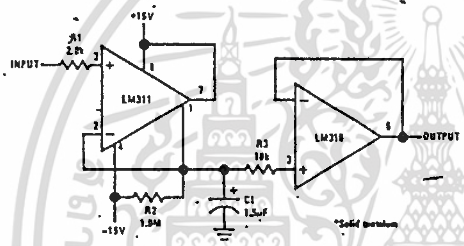
† Adjust to set clamp level.

Precision Squarer

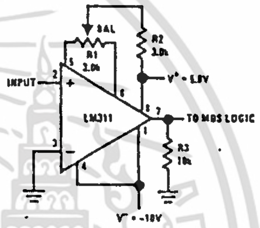


*Solid tantalum

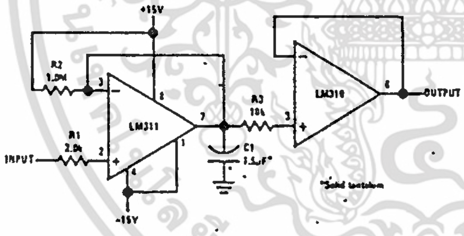
Low Voltage Adjustable Reference Supply



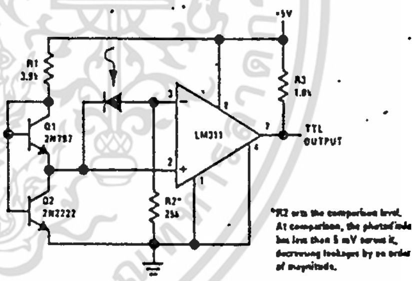
Positive Peak Detector



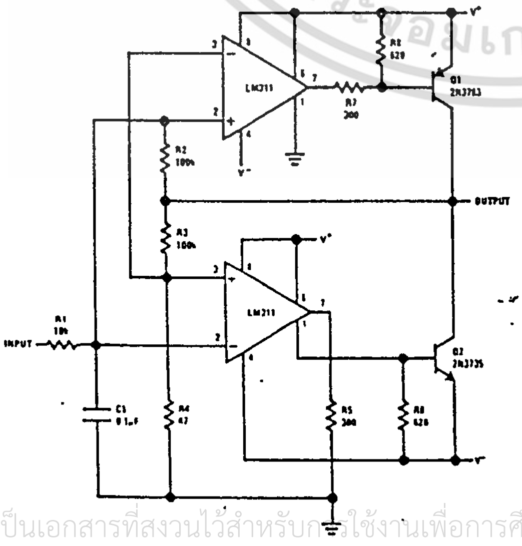
Zero Crossing Detector driving MOS logic



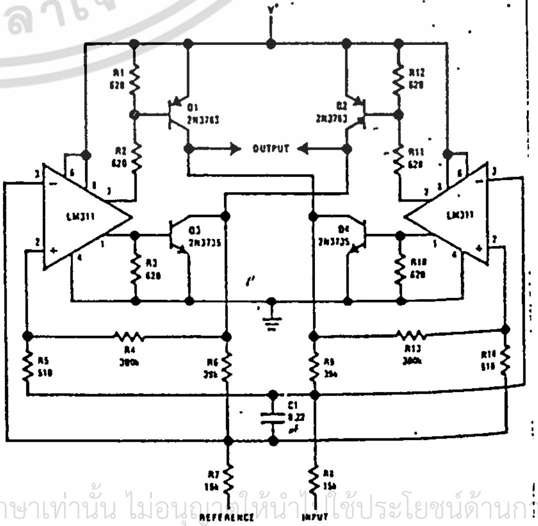
Negative Peak Detector



Precision Photodiode Comparator



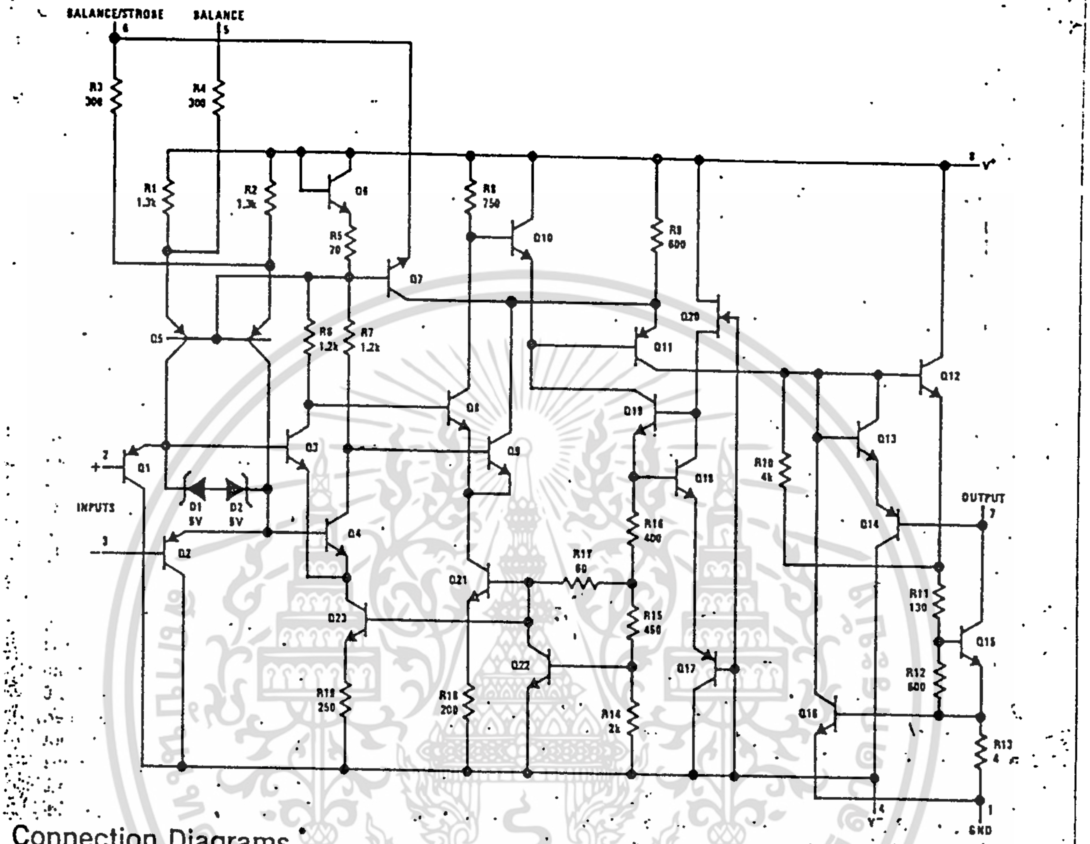
Switching Power Amplifier



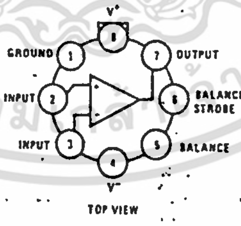
Switching Power Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

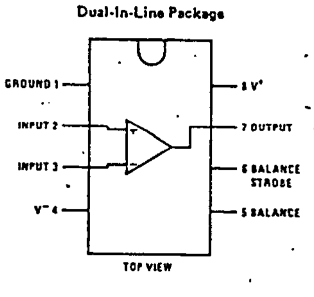
Schematic Diagram



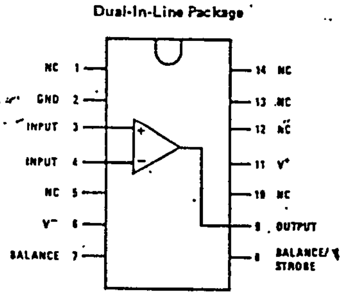
Connection Diagrams



Order Number LM311H
See NS Package H08C



Order Number LM311N
See NS Package N08B
Order Number LM311J-8
See NS Package J08A



Order Number LM311N-14
See NS Package N14A
Order Number LM311J
See NS Package J14A

*Pin connections shown on schematic diagram and typical applications are for TO-5 package.

Note: Pin 6 connected to bottom of package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints

CIRCUIT TECHNIQUES FOR AVOIDING OSCILLATIONS IN COMPARATOR APPLICATIONS

When a high-speed comparator such as the LM111 is used with fast input signals and low source impedances, the output response will normally be fast and stable, assuming that the power supplies have been bypassed (with 0.1 μF disc capacitors), and that the output signal is routed well away from the inputs (pins 2 and 3) and also away from pins 5 and 6.

However, when the input signal is a voltage ramp or a slow sine wave, or if the signal source impedance is high (1 kΩ to 100 kΩ), the comparator may burst into oscillation near the crossing-point. This is due to the high gain and wide bandwidth of comparators like the LM111. To avoid oscillation or instability in such a usage, several precautions are recommended, as shown in *Figure 1* below.

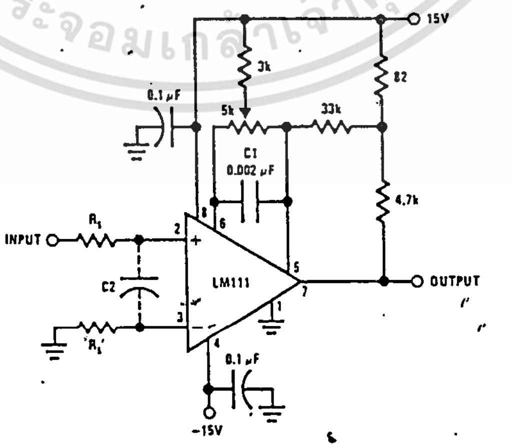
1. The trim pins (pins 5 and 6) act as unwanted auxiliary inputs. If these pins are not connected to a trim-pot, they should be shorted together. If they are connected to a trim-pot, a 0.01 μA capacitor C1 between pins 5 and 6 will minimize the susceptibility to AC coupling. A smaller capacitor is used if pin 5 is used for positive feedback as in *Figure 1*.

2. Certain sources will produce a cleaner comparator output waveform if a 100 pF to 1000 pF capacitor C2 is connected directly across the input pins.

3. When the signal source is applied through a resistive network, R_S, it is usually advantageous to choose an R_S' of substantially the same value, both for DC and for dynamic (AC) considerations. Carbon, tin-oxide, and metal-film resistors have all been used successfully in comparator input circuitry. Inductive wirewound resistors are not suitable.

4. When comparator circuits use input resistors (eg. summing resistors), their value and placement are particularly important. In all cases the body of the resistor should be close to the device or socket. In other words there should be very little lead length or printed-circuit foil run between comparator and resistor to radiate or pick up signals. The same applies to capacitors, pots, etc. For example, if R_S = 10 kΩ, as little as 5 inches of lead between the resistors and the input pins can result in oscillations that are very hard to damp. Twisting these input leads tightly is the only (second best) alternative to placing resistors close to the comparator.

5. Since feedback to almost any pin of a comparator can result in oscillation, the printed-circuit layout should be engineered thoughtfully. Preferably there should be a groundplane under the LM111 circuitry, for example, one side of a double-layer circuit card. Ground foil (or, positive supply or negative supply foil) should extend between the output and the inputs, to act as a guard. The foil connections for the inputs should be as small and compact as possible, and should be essentially surrounded by ground foil on all sides, to guard against capacitive coupling from any high-level signals (such as the output). If pins 5 and 6 are not used, they should be shorted together. If they are connected to a trim-pot, the trim-pot should be located, at most, a few inches away from the LM111, and the 0.01 μF capacitor should be installed. If this capacitor cannot be used, a shielding printed-circuit foil may be advisable between pins 6 and 7. The power supply bypass capacitors should be located within a couple inches of the LM111. (Some other comparators require the power-supply bypass to be located immediately adjacent to the comparator.)



Pin connections shown are for LM111H in 8-lead TO-5 hermetic package

FIGURE 1. Improved Positive Feedback

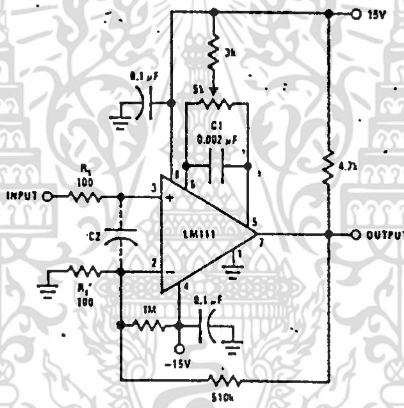
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

6. It is a standard procedure to use hysteresis (positive feedback) around a comparator, to prevent oscillation, and to avoid excessive noise on the output because the comparator is a good amplifier for its own noise. In the circuit of *Figure 2,* the feedback from the output to the positive input will cause about 3 mV of hysteresis. However, if R_S is larger than 100Ω, such as 50 kΩ, it would not be reasonable to simply increase the value of the positive feedback resistor above 510 kΩ. The circuit of *Figure 3* could be used, but it is rather awkward. See the notes in paragraph 7 below.

7. When both inputs of the LM111 are connected to active signals, or if a high-impedance signal is driving the positive input of the LM111 so that positive feedback would be disruptive, the circuit of *Figure 1* is ideal. The positive feedback is to pin 5 (one of the offset adjustment pins). It is sufficient to cause 1 to 2 mV hysteresis and sharp transitions with input triangle waves from a few Hz to hundreds of kHz. The positive-feedback signal across the 82Ω resistor swings 240 mV below the positive supply. This signal is centered around the nominal voltage at pin 5, so this feedback does not add to the V_{OS} of the comparator. As much as 8 mV of V_{OS} can be trimmed out, using the 5 kΩ pot and 3 kΩ resistor as shown.

8. These application notes apply specifically to the LM111, LM211, LM311, and LF111 families of comparators, and are applicable to all high-speed comparators in general, (with the exception that not all comparators have trim pins).



Pin connections shown are for LM111H in 8-lead TO-5 hermetic package

FIGURE 2. Conventional Positive Feedback

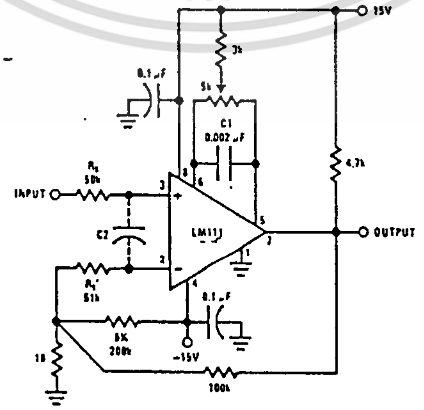


FIGURE 3. Positive Feedback With High Source Resistance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXAR

XR-2206

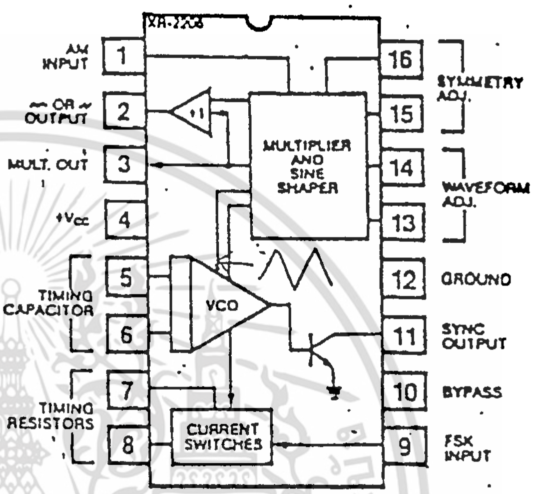
Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high-quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FUNCTIONAL BLOCK DIAGRAM



FEATURES

Low-Sine Wave Distortion	0.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	−55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency proportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	−65°C to +150°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\ \mu F$, $R_1 = 100\ k\Omega$, $R_2 = 10\ k\Omega$, $R_3 = 25\ k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETERS	XR-2206M			XR-2206C			UNITS	CONDITIONS
	MIN	TYP	MAX	MIN	TYP	MAX		
GENERAL CHARACTERISTICS								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10\ k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\ pF$, $R_1 = 1\ k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\ \mu F$, $R_1 = 2\ M\Omega$
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	$0°C \leq T_A \leq 70°C$, $R_1 = R_2 = 20\ k\Omega$
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20\ k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ $R_1 = 1\ k\Omega$ f_L @ $R_1 = 2\ M\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1\ kHz$, $f_H = 10\ kHz$
1000:1 Sweep		8			8		%	$f_L = 100\ kHz$, $f_H = 100\ kHz$
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	µF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	k Ω	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/k Ω	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/k Ω	Figure 1, S_1 Closed
Max. Output Swing		6			6		V p-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30\ k\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		k Ω	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		V p-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10\ pF$
Fall Time		50			50		nsec	$C_L = 10\ pF$
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2\ mA$
Leakage Current		0.1	20		0.1	100	µA	$V_{11} = 26V$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 2.
Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

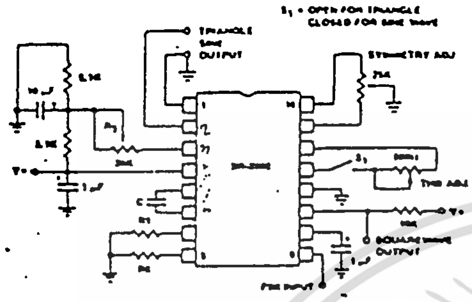


Figure 1. Basic Test Circuit.

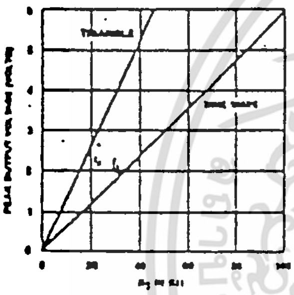


Figure 2. Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

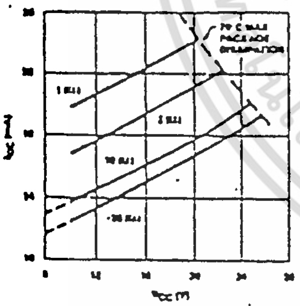


Figure 3. Supply Current versus Supply Voltage, Timing, R.

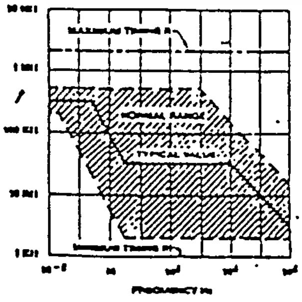


Figure 4. R versus Oscillation Frequency.

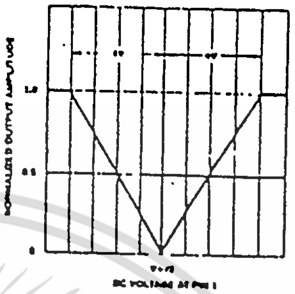


Figure 5. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

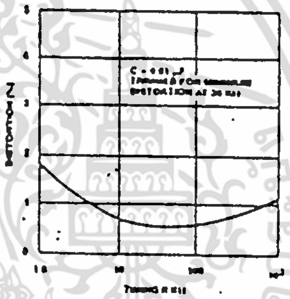


Figure 6. Trimmed Distortion versus Timing Resistor.

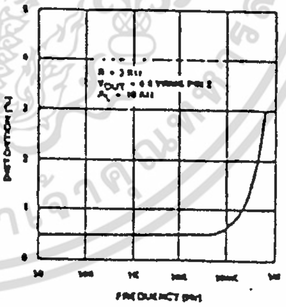


Figure 7. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

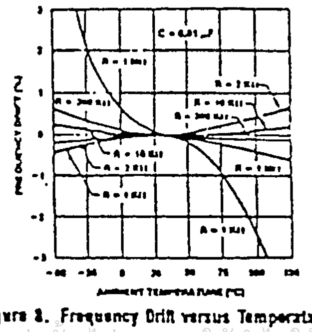


Figure 8. Frequency Drift versus Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

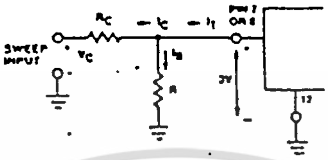


Figure 9. Circuit Connection for Frequency Sweep.

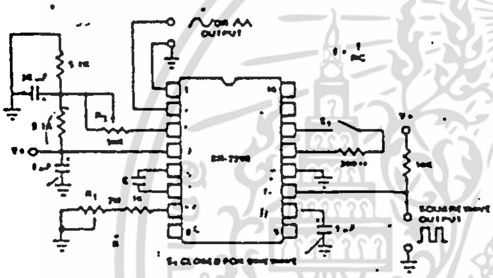


Figure 10. Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3).

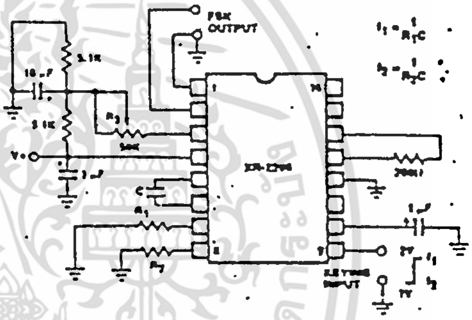


Figure 12. Sinusoidal FSK Generator.

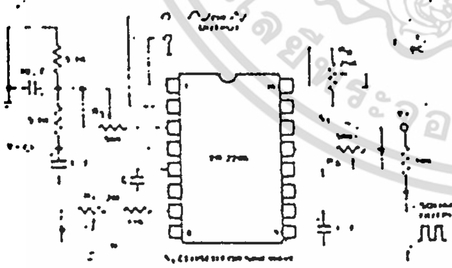


Figure 11. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing—See Figure 2.)

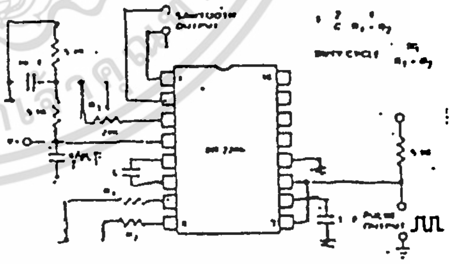


Figure 13. Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$ 2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$ 1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to $\approx$0.5% by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSX Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_0, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_0 = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in Figure 4. Temperature stability is optimum for 4 kΩ < R < 200 kΩ. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320\ I_T\ (mA)}{C\ (\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T, over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}\left(1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right)\right) \text{ Hz}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

XR-2206

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f/\partial V_C = -\frac{0.32}{R_C C}\ \text{Hz/V}$$

CAUTION: For safety operation of the circuit, I_T should be limited to ≤ 3 mA.

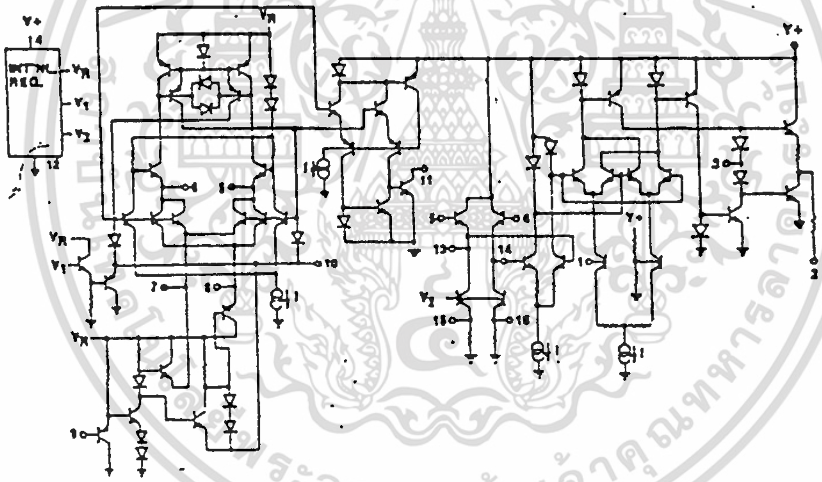
Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160 mV peak per kΩ of R_3. Thus, for example, R_3 = 50 kΩ would produce approximately ±3V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ± 4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+.



EQUIVALENT SCHEMATIC DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4046BM/CD4046BC micropower phase-locked loop

general description

The CD4046B micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin $C1_A$, $C1_B$, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more. The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation if necessary.

features

- Wide supply voltage range—3V to 18V
- Low dynamic power consumption—70 µW (typ) at f_o = 10 kHz, V_{DD} = 5V
- VCO frequency—1.3 MHz (typ) at V_{DD} = 10V
- Low frequency drift with temperature—0.06%/°C at V_{DD} = 10V
- High VCO linearity—1% (typ)

applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

block and connection diagrams

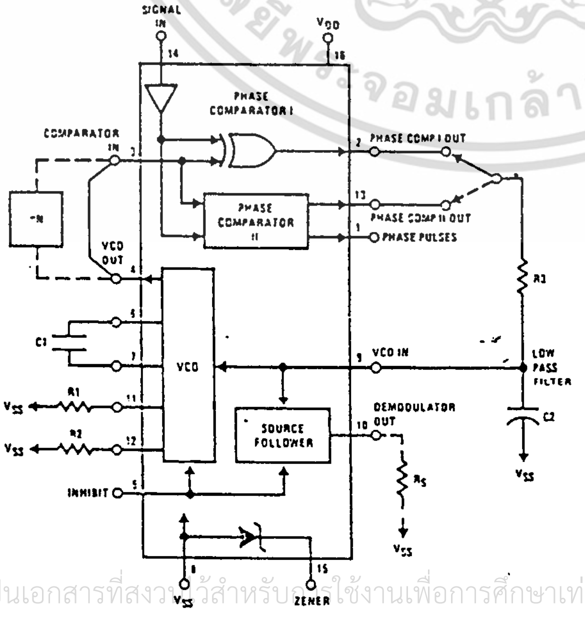
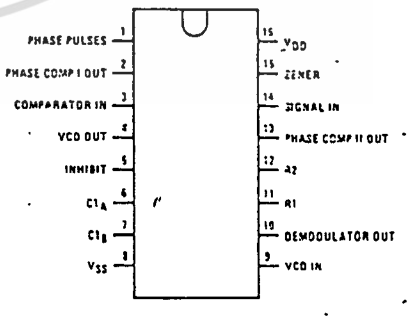


FIGURE 1

Dual-In-Line Package



TOP VIEW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

absolute maximum ratings

(Notes 1 and 2)

V_{DD} DC Supply Voltage	−0.5 to +18 V_{DC}
V_{IN} Input Voltage	−0.5 to V_{DD} + 0.5 V_{DC}
T_S Storage Temperature Range	−55°C to +150°C
P_D Package Dissipation	500 mW
T_L Lead Temperature (Soldering, 10 seconds)	300°C

recommended operating conditions

(Note 2)

V_{DD} DC Supply Voltage	3 to 15 V_{DC}
V_{IN} Input Voltage	0 to $V_{DD}V_{DC}$
T_A Operating Temperature Range	
CD4046BM	−55°C to +125°C
CD4046BC	−40°C to +85°C

dc electrical characteristics CD4046BM (Note 2)

PARAMETER		CONDITIONS	−55°C		25°C			125°C		UNITS
			MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I_{DD}	Quiescent Device Current	Inhibit = V_{DD}, Signal In = V_{DD}								
		V_{DD} = 5V		5		0.005	5		150	µA
		V_{DD} = 10V		10		0.01	10		300	µA
		V_{DD} = 15V		20		0.015	20		600	µA
V_{OL}	Low Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	V
V_{IH}	High Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.64		−0.51	−0.88		−0.36		mA
		V_{DD} = 10V, V_O = 9.5V	−1.6		−1.3	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−4.2		−3.4	−8.8		−2.4		mA
I_{IN}	Input Current	All Inputs Except Signal Input								
		V_{DD} = 15V, V_{IN} = 0V		−0.1		-10^{-5}	−0.1		−1.0	µA
		V_{DD} = 15V, V_{IN} = 15V		0.1		10^{-5}	0.1		1.0	µA
C_{IN}	Input Capacitance	Any Input, (Note 3)					7.5			pF
P_T	Total Power Dissipation	f_o = 10 kHz, R1 = 1 MΩ,								
		R2 = ∞, VCO_{IN} = $V_{DD}/2$								
		V_{DD} = 5V				0.07				mW
		V_{DD} = 10V				0.6				mW
		V_{DD} = 15V				2.4				mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

dc electrical characteristics CD4046BC (Note 2)

	PARAMETER	CONDITIONS	-40°C MIN	-40°C MAX	25°C MIN	25°C TYP	25°C MAX	35°C MIN	35°C MAX	UNITS
I_{DD}	Quiescent Device Current	Inhibit = V_{DD}, Signal In = V_{DD}								
		V_{DD} = 5V		20		0.005	20		150	µA
		V_{DD} = 10V		40		0.01	40		300	µA
		V_{DD} = 15V		80		0.015	80		600	µA
V_{OL}	Low Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	V
V_{IH}	High Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4		mA
I_{OH}	High Level Output Current	V_{DD} = 5V, V_O = 4.6V	-0.52		-0.44	-0.88		-0.36		mA
		V_{DD} = 10V, V_O = 9.5V	-1.3		-1.1	-2.25		-0.9		mA
		V_{DD} = 15V, V_O = 13.5V	-3.6		-3.0	-8.8		-2.4		mA
I_{IN}	Input Current	All Inputs Except Signal Input								
		V_{DD} = 15V, V_{IN} = 0V		-0.3		-10^{-5}	-0.3		-1.0	µA
		V_{DD} = 15V, V_{IN} = 15V		0.3		10^{-5}	0.3		1.0	µA
C_{IN}	Input Capacitance	Any Input, (Note 3)					7.5			pF
P_T	Total Power Dissipation	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, VCO_{IN} = $V_{DD}/2$								
		V_{DD} = 5V				0.07				mW
		V_{DD} = 10V				0.6				mW
		V_{DD} = 15V				2.4				mW

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed, they are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

Note 3: Capacitance is guaranteed by periodic testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

ac electrical characteristics CD4046BM/CD4046BC (C_L = 50 pF, T_A = 25°C)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
VCO SECTION					
f_{MAX} Maximum Operating Frequency	C1 = 50 pF, R1 = 10 kΩ, R2 = ∞, VCO_{IN} = V_{DD}				
	V_{DD} = 5V	0.4	0.8		MHz
	V_{DD} = 10V	0.6	1.2		MHz
	V_{DD} = 15V	1.0	1.6		MHz
Linearity	VCO_{IN} = 2.5V ±0.3V, R1 ≥ 10 kΩ, V_{DD} = 5V		1		%
	VCO_{IN} = 5V ±2.5V, R1 ≥ 400 kΩ, V_{DD} = 10V		1		%
	VCO_{IN} = 7.5V ±5V, R1 ≥ 1 MΩ, V_{DD} = 15V		1		%
Temperature-Frequency Stability No Frequency Offset, f_{MIN} = 0	%/°C ∝ 1/f. V_{DD}, R2 = ∞				
	V_{DD} = 5V		0.12–0.24		%/°C
	V_{DD} = 10V		0.04–0.08		%/°C
	V_{DD} = 15V		0.015–0.03		%/°C
Frequency Offset, f_{MIN} ≠ 0	V_{DD} = 5V		0.06–0.12		%/°C
	V_{DD} = 10V		0.05–0.1		%/°C
	V_{DD} = 15V		0.03–0.06		%/°C
VCO_{IN} Input Resistance (VCO_{IN})	V_{DD} = 5V		10^6		MΩ
	V_{DD} = 10V		10^6		MΩ
	V_{DD} = 15V		10^6		MΩ
VCO Output Duty Cycle	V_{DD} = 5V		50		%
	V_{DD} = 10V		50		%
	V_{DD} = 15V		50		%
t_{THL}, t_{TLH} VCO Output Transition Time	V_{DD} = 5V		90	200	ns
	V_{DD} = 10V		50	100	ns
	V_{DD} = 15V		45	80	ns
PHASE COMPARATORS SECTION					
R_{IN} Input Resistance Signal Input	V_{DD} = 5V	1	3		MΩ
	V_{DD} = 10V	0.2	0.7		MΩ
	V_{DD} = 15V	0.1	0.3		MΩ
Comparator Input	V_{DD} = 5V		10^6		MΩ
	V_{DD} = 10V		10^6		MΩ
	V_{DD} = 15V		10^6		MΩ
AC-Coupled Signal Input Voltage Sensitivity	C_{SERIES} = 1000 pF, f = 50 kHz				
	V_{DD} = 5V		200	400	mV
	V_{DD} = 10V		400	800	mV
	V_{DD} = 15V		700	1400	mV
DEMODULATOR OUTPUT					
Offset Voltage (VCO_{IN} − V_{DEM})	R_S ≥ 10 kΩ, V_{DD} = 5V		1.50	2.2	V
	R_S ≥ 10 kΩ, V_{DD} = 10V		1.50	2.2	V
	R_S ≥ 50 kΩ, V_{DD} = 15V		1.50	2.2	V
Linearity	R_S > 50 kΩ				
	VCO_{IN} = 2.5 ±0.3V, V_{DD} = 5V		0.1		%
	VCO_{IN} = 5 ±2.5V, V_{DD} = 10V		0.6		%
	VCO_{IN} = 7.5 ±5V, V_{DD} = 15V		0.8		%
ZENER DIODE					
V_Z Zener Diode Voltage CD4046BM	I_Z = 50 μA	6.7	7.0	7.3	V
CD4046BC		6.3	7.0	7.7	V
R_Z Zener Dynamic Resistance	I_Z = 1 mA		100		Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

phase comparator state diagrams

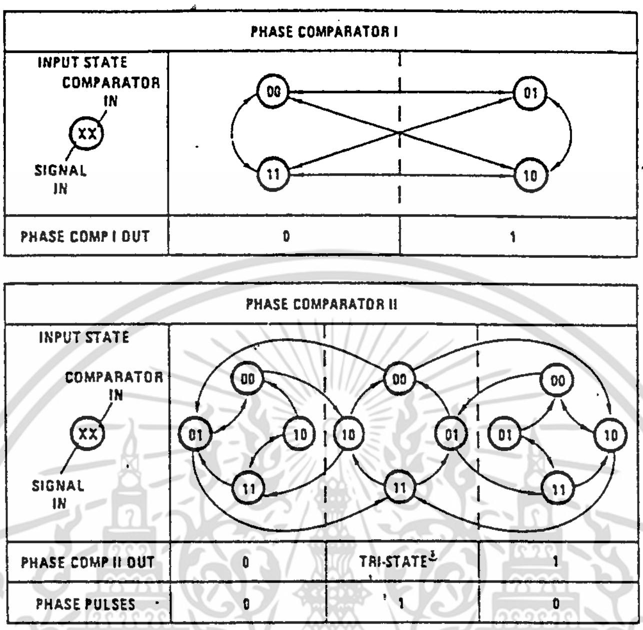


FIGURE 2

typical waveforms

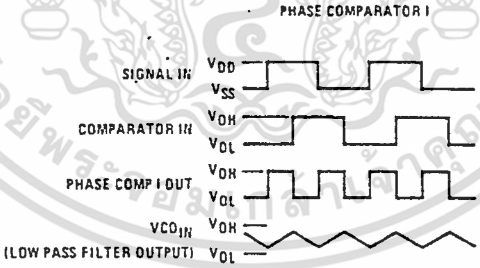


FIGURE 3. Typical Waveform Employing Phase Comparator I in Locked Condition

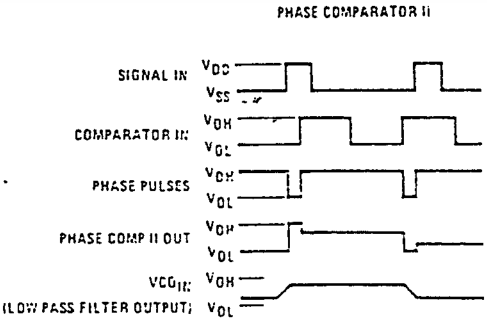


FIGURE 4. Typical Waveform Employing Phase Comparator II in Locked Condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

typical performance characteristics

Typical Center Frequency vs C1 for R1 = 10 kΩ, 100 kΩ and 1 MΩ

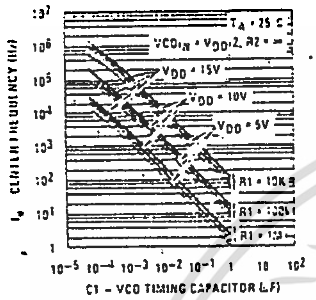


FIGURE 5a

Typical Frequency Offset vs C1 for R2 = 10 kΩ, 100 kΩ and 1 MΩ

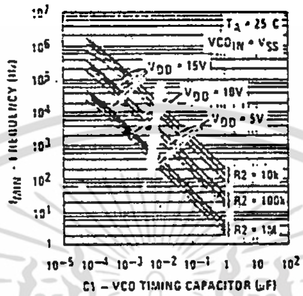


FIGURE 5b

Typical f_{MAX}/f_{MIN} vs R2/R1

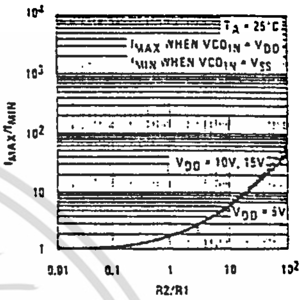


FIGURE 5c

Typical VCO Power Dissipation at Center Frequency vs R1

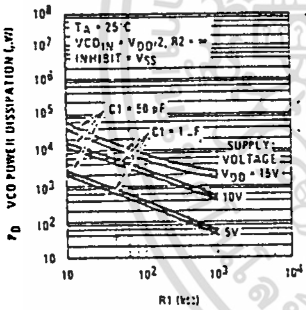


FIGURE 6a

Typical VCO Power Dissipation at f_{MIN} vs R2

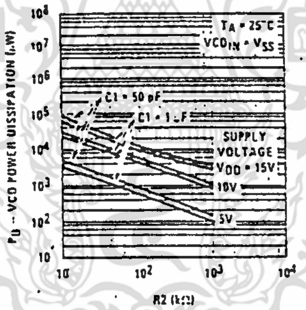


FIGURE 6b

Typical Source Follower Power Dissipation vs R_S

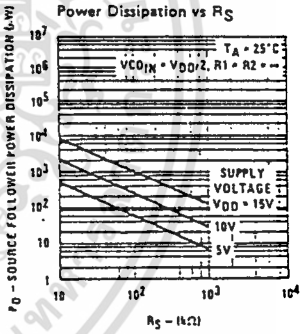


FIGURE 6c

Typical VCO Linearity vs R1 and C1

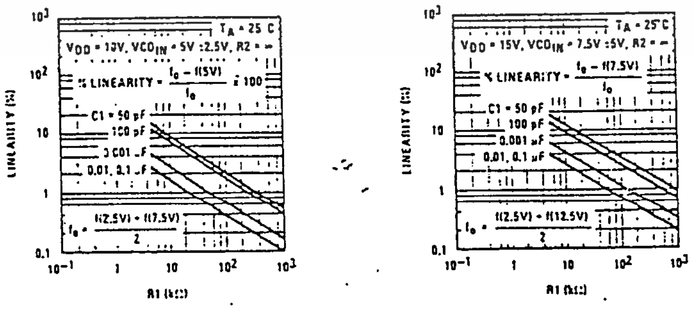


FIGURE 7

Note. To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

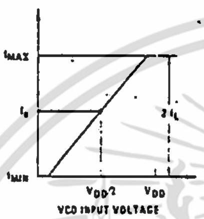
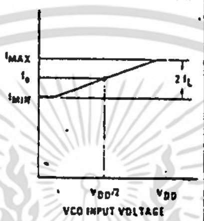
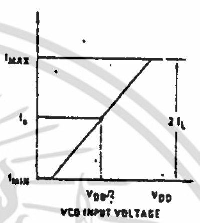
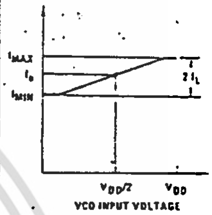
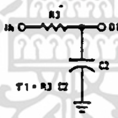
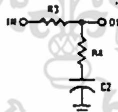
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

design information

This information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components must be within the following ranges: R1, R2 ≥ 10 kΩ, R_S ≥ 10 kΩ, C1 ≥ 50 pF.

In addition to the given design information, refer to *Figure 5* for R1, R2 and C1 component selections.

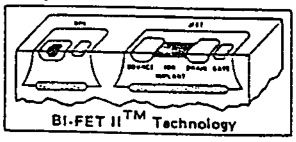
CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET R2 = ∞	VCO WITH OFFSET	VCO WITHOUT OFFSET R2 = ∞	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_o		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$		$2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau 1}}$	$f_C = f_L$	
Loop Filter Component Selection		For $2f_C$, see Ref.		
Phase Angle Between Signal and Comparator	90° at center frequency (f_o), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	–Given: f_o –Use f_o with *Figure 5a* to determine R1 and C1	–Given: f_o and f_L –Calculate f_{min} from the equation $f_{min} = f_o - f_L$ –Use f_{min} with *Figure 5b* to determine R2 and C1 –Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o + f_L}{f_o - f_L}$ –Use $\frac{f_{max}}{f_{min}}$ with *Figure 5c* to determine ratio R2/R1 to obtain R1	–Given: f_{max} –Calculate f_o from the equation $f_o = \frac{f_{max}}{2}$ –Use f_o with *Figure 5a* to determine R1 and C1	–Given: f_{min} and f_{max} –Use f_{min} with *Figure 5b* to determine R2 and C1 –Calculate $\frac{f_{max}}{f_{min}}$ –Use $\frac{f_{max}}{f_{min}}$ with *Figure 5c* to determine ratio R2/R1 to obtain R1

REF. G.S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.
Floyd Gardner, "Phaselock Techniques," John Wiley & Sons, 1966.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Operational Amplifiers/Buffers



LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

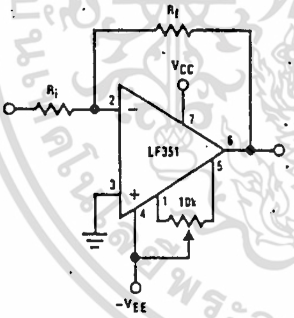
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

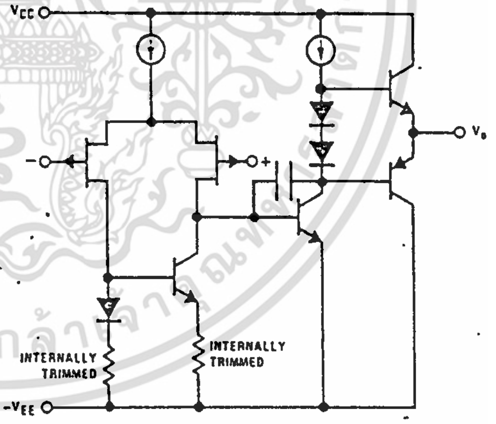
Features

- Internally trimmed offset voltage — 10 mV
- Low input bias current — 50 pA
- Low input noise voltage — $16\,nV/\sqrt{Hz}$
- Low input noise current — $0.01\,pA/\sqrt{Hz}$
- Wide gain bandwidth — 4 MHz
- High slew rate — 13 V/μs
- Low supply current — 1.8 mA
- High input impedance — $10^{12}\Omega$
- Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20\,V_{p\text{-}p}$, BW = 20 Hz-20 kHz — <0.02%
- Low 1/f noise corner — 50 Hz
- Fast settling time to 0.01% — 2 μs

Typical Connection

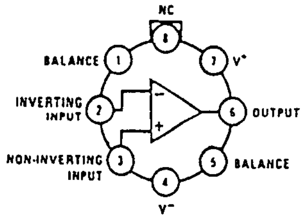


Simplified Schematic



Connection Diagrams (Top Views)

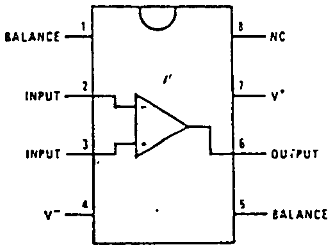
Metal Can Package



Note. Pin 4 connected to case.

Order Number LF351H
See NS Package H08C

Dual-In-Line Package



TOP VIEW

Order Number LF351N
See NS Package N08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

Absolute Maximum Ratings

Supply Voltage	±18V
Power Dissipation (Note 1)	500mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

DC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF351			UNITS
			MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	$R_S = 10k\Omega$, $T_A = 25°C$		5	10	mV
		Over Temperature			13	mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10k\Omega$		10		μV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4)		25	100	pA
		$T_j \leq 70°C$			4	nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4)		50	200	pA
		$T_j \leq 70°C$			8	nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm15V$, $T_A = 25°C$ $V_O = \pm10V$; $R_L = 2k\Omega$	25	100		V/mV
		Over Temperature	15			V/mV
V_O	Output Voltage Swing	$V_S = \pm15V$, $R_L = 10k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm15V$	±11	+15		V
				−12		V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio.	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

AC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF351			UNITS
			MIN	TYP	MAX	
SR	Slew Rate	$V_S = \pm15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, f = 1000 Hz		16		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, f = 1000 Hz		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on a thermal resistance of 150°C/W junction to ambient or 45°C/W junction to case.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

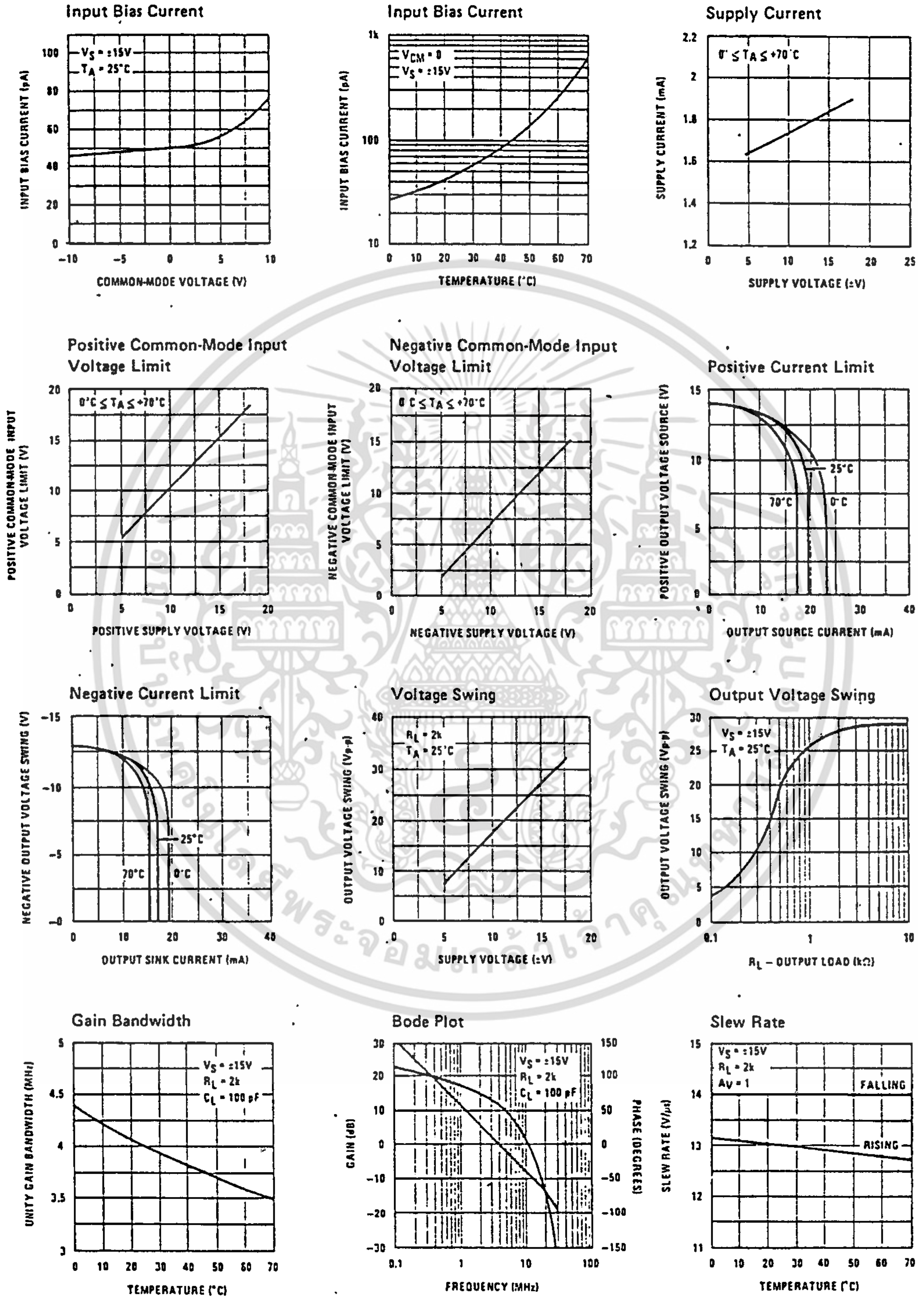
Note 3: These specifications apply for $V_S = \pm15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

Note 5.: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

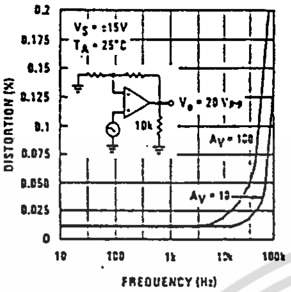


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

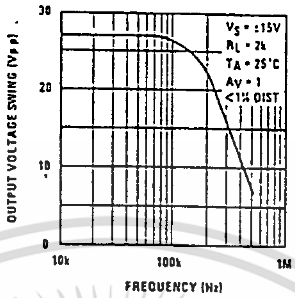
ภาคผนวก

Typical Performance Characteristics (Continued)

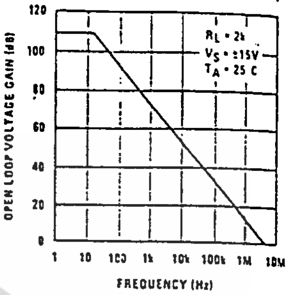
Distortion vs Frequency



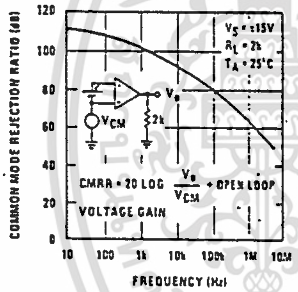
Undistorted Output Voltage Swing



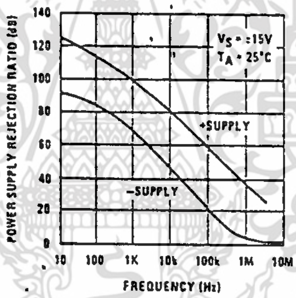
Open Loop Frequency Response



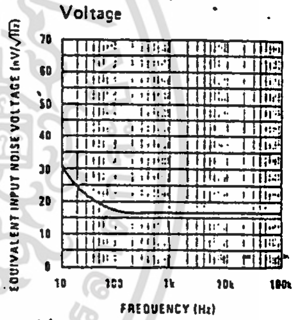
Common-Mode Rejection Ratio



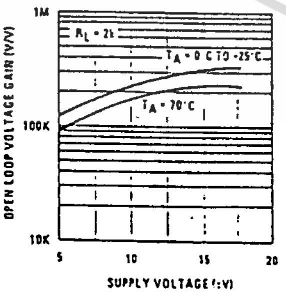
Power Supply Rejection Ratio



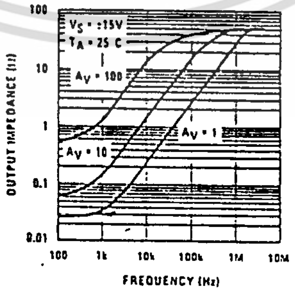
Equivalent Input Noise Voltage



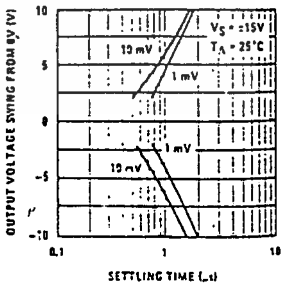
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

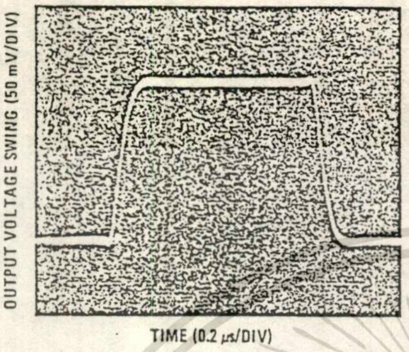


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

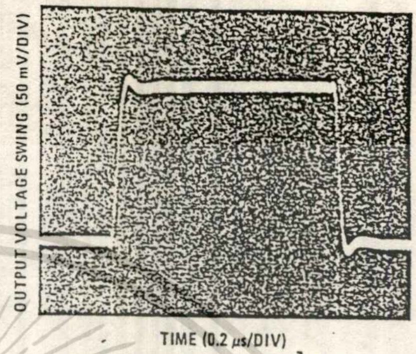
ภาคผนวก

Pulse Response

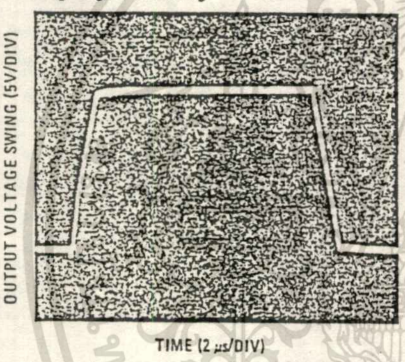
Small Signal Inverting



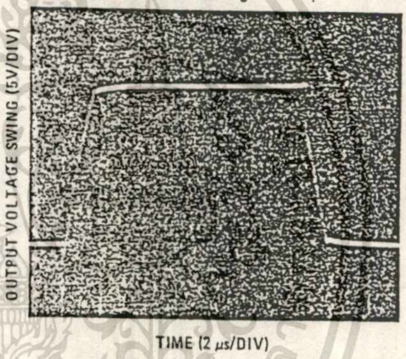
Small Signal Non-Inverting



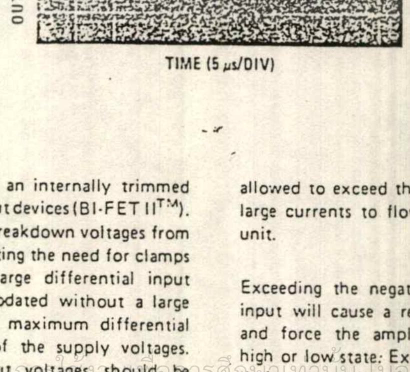
Large Signal Inverting



Large Signal Non-Inverting



Current Limit ($R_L = 100\Omega$)



Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET-input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will cause a reversal of the phase to the output and force the amplifier output to the corresponding high or low state. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ ... ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

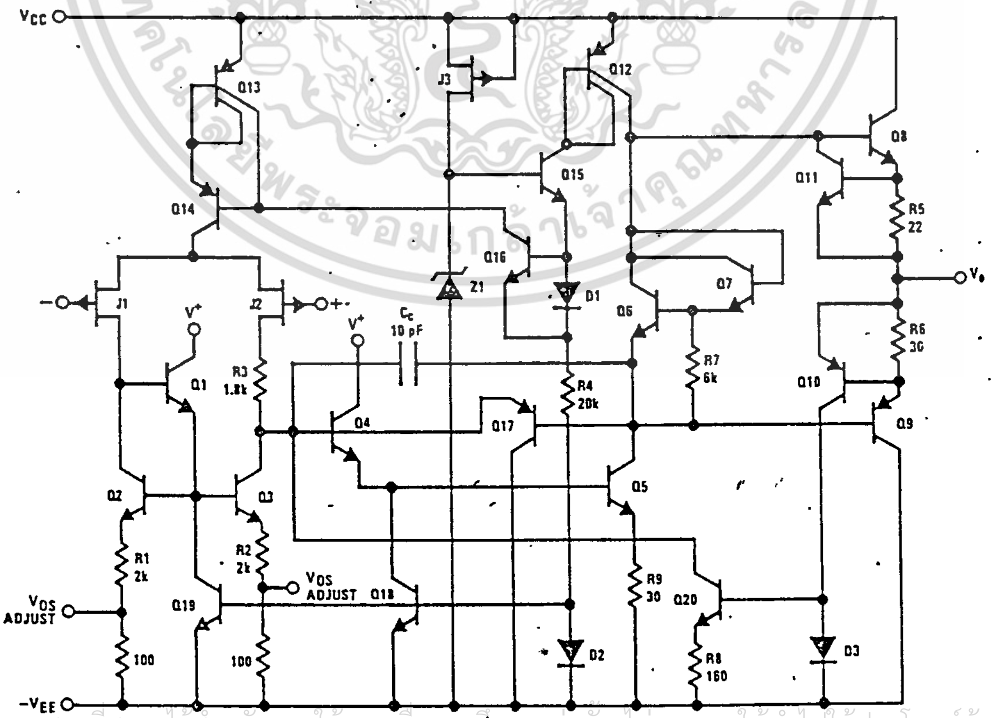
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

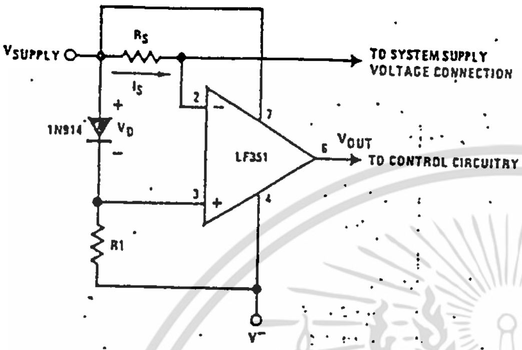


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

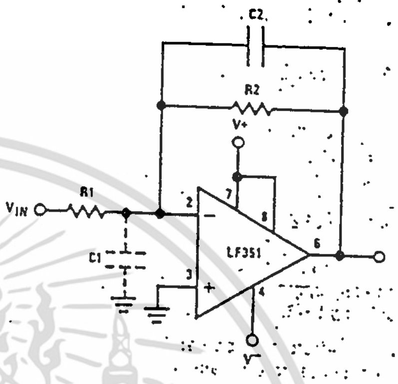
Typical Applications

Supply Current Indicator/Limiter



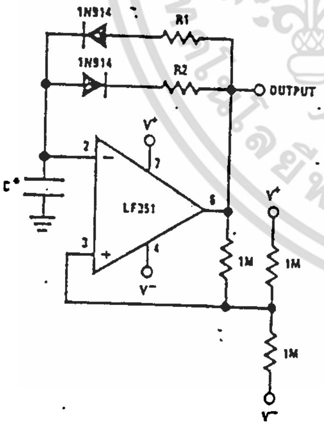
- V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that: R2C2 ≈ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator

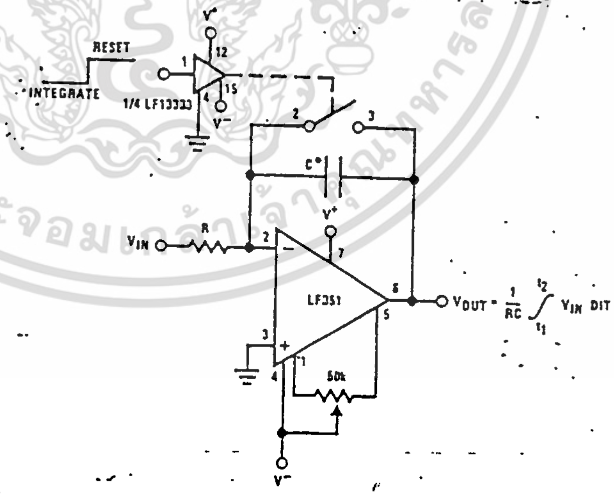


- $t_{OUTPUT\ HIGH} \approx R1C \ln \frac{4.8 - 2V_S}{4.8 - V_S}$
- $t_{OUTPUT\ LOW} \approx R2C \ln \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



- * Low leakage capacitor
- 50k pot used for less sensitive V_{OS} adjust

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

กฤดากร กล่อมการ. การออกแบบระบบส่งข้อมูลในช่องสัญญาณการกระจายเสียงแบบ FM. กรุงเทพมหานคร: สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2536

คู่มือ ไอซี CMOS 4000 Series. กรุงเทพมหานคร: ซีเอ็ดยูเคชั่น, 2521

จิรศักดิ์ เหลืองอุไร. การใช้งานการสื่อสารอนุกรมบน PC. กรุงเทพมหานคร: ซีเอ็ดยูเคชั่น

ชาญยุทธ พฤกษ์คุ้มวงศ์. "เรียนรู้การสื่อสารข้อมูล." เซมิคอนดัคเตอร์อิเล็กทรอนิกส์. กันยายน 2350, หน้า 90-95.

ทนง โชติสรยุทธ์. CQ.CQ.CQ.. กรุงเทพมหานคร: ซีเอ็ดยูเคชั่น, 2536

ทวีชัย ภูรีทิพย์. ไขปัญหา RS-232 วิธีการใช้พอร์ตอนุกรมอย่างละเอียด. กรุงเทพมหานคร: ซีเอ็ดยูเคชั่น

ธานินทร์ ถาวรศาสนวงศ์, ทินกร ตุ๊ก. การอินเตอร์เฟส IBM-PC. กรุงเทพมหานคร: ฟิสิกส์เซ็นเตอร์

สื่อสารมวลชนแห่งประเทศไทย, องค์การ. สำนักวิศวกรรม. ความรู้เบื้องต้นวิทยุกระจายเสียงและวิทยุโทรทัศน์. กรุงเทพมหานคร: สำนักวิศวกรรม, 2531

Fred Halsall. Data Communications,Computer Networks And Open Systems. Swansea: University of Wales,1992.

William L. Schweber. Data Communications. Singapore: McGraw-Hill, 1988.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้