# เครื่องมอนิเตอร์สัญญาณข้อมูลแบบอะซิงโครนัส

# PORTABLE ASYNCHRONOUS MONITOR


โดย

นาย โกมล มหาสวัสดิ์ 36013234

นาย วิชัย จันสุริยศิริรัตน์ 36013262



วัน เดือน ปี 30 ก.ค. 2540

เลขทะเบียน 036982

เลขเรียกหนังสือ T 38075 ก94ท ค


ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

036982

| | |
|---|---|
| **หัวข้อปริญญานิพนธ์** | **เครื่องมอนิเตอร์สัญญาณข้อมูลแบบอะซิงโครนัส** |
| **ชื่อนักศึกษา** | **นาย โกมล มหาสวัสดิ์ 36013234**<br>**นาย วิชัย จันสุริยศิริรัตน์ 36013262** |
| **อาจารย์ที่ปรึกษา** | **อาจารย์ ไพศาล สิทธิโยภาสกุล** |
| ภาควิชา | เทคนิคอุตสาหกรรม |
| ปีการศึกษา | 2538 |

**คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับ ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต**

**คณะกรรมการสอบปริญญานิพนธ์**

..... ประธานกรรมการ
(.....)

..... กรรมการ
(.....)

..... กรรมการ
(.....)

..... กรรมการ
(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | | |
|---|---|---|
| Project Report | Portable Asynchronous Monitor | |
| By | Mr. Komol Mahasawasdi | 36013234 |
| | Mr. Vichai Junsuriyasirirath | 36013262 |
| Department | Industrial Technology | |
| Project Report Advisor | Mr. Paisan Sithiyopasakul | |

Accepted by The Faculty of Engineering King Mongkut's Institute of Technology Ladkrabang. In partial Fulfillment of the requirement for the bachelor's degree

Project Report Committee

..... Member

(.....)

..... Member

(.....)

..... Member

(.....)

..... Member

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | |
|---|---|
| หัวข้อปริญญานิพนธ์ | เครื่องมอนิเตอร์สัญญาณข้อมูลแบบอะซิงโครนัส |
| ชื่อนักศึกษา | นาย โกมล มหาสวัสดิ์ 36013234<br>นาย วิชัย จันสุริยศิริรัตน์ 36013262 |
| อาจารย์ที่ปรึกษา | อาจารย์ไพศาล สิทธิโยภาสกุล |
| ภาควิชา | เทคนิคอุตสาหกรรม |
| ปีการศึกษา | 2538 |


บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ เสนอการนำระบบไมโครโปรเซสเซอร์ไปประยุกต์ให้กับเครื่องมอนิเตอร์สัญญาณข้อมูลแบบอะซิงโครนัส สำหรับใช้เป็นเครื่องมอนิเตอร์สัญญาณข้อมูลระหว่าง DTE กับ DCE ที่กำลังรับส่งสัญญาณข้อมูลอยู่ตลอดเวลา ซึ่งใช้ IC USART 8251 เป็นตัวรับสัญญาณข้อมูลที่ส่งมาเป็นแบบอนุกรม ในรูปของรหัส ASCII ให้เปลี่ยนไปเป็นแบบขนาน เพื่อให้ CPU Z-80 นำสัญญาณข้อมูลเหล่านั้นไปเก็บไว้ในหน่วยความจำของระบบ แล้วทำการประมวลผลโดยให้แสดงผลในส่วนแสดงผลเป็นตัวอักษรบนจอ LCD ในรูปแบบรหัส ASCII , HEXADICIMAL และ BINARY ซึ่งสามารถเลือกตั้งค่าความเร็วของการรับข้อมูลได้ ตั้งแต่ 300 bps ~ 19.2 Kbps


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | |
|---|---|
| Project Report | Portable Asynchronous Monitor |
| Name | Mr. Komol Mahasawasdi 36013234 |
| | Mr. Vichai Junsuriyasirirath 36013262 |
| Project Report Advisor | Mr. Paisan Sithiyopasakul |
| Department | Industrial Technology |
| Academic year | 1995 |


## ABSTRACT

This thesis is dedicated to microprocessor system applied with asynchronous monitor data signal for usage monitor data signal between DTE and DCE sending data signal through. When IC USART 8251 receiver code ASCII in series data and changed to parallel for CPU Z-80. So data has brought picking to memory system. It process by display character on LCD in code ASCII,HEXADICIMAL and BINARY. You can play speedy of receive data from 300 bps to 19.2 Kbps.


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

ปริญญานิพนธ์เรื่อง เครื่องมอนิเตอร์สัญญาณข้อมูลแบบอะซิงโครนัส ฉบับนี้สำเร็จลงได้โดยได้รับความช่วยเหลือเป็นอย่างดีจากอาจารย์ที่ปรึกษา อาจารย์ ไพศาล สิทธิโยภาสกุล รวมทั้ง คุณ ประดิษฐ์ สงค์แสงยศ วิศวกร ระดับ 6 ที่ทำการสื่อสารข้อมูล กองสื่อสารข้อมูล ที่กรุณาให้คำปรึกษา, แนะนำที่เป็นประโยชน์ของการทำโครงงาน และที่ทำการสื่อสารข้อมูล กองสื่อสารข้อมูล การสื่อสารแห่งประเทศไทย ที่เอื้อเฟื้อเครื่องมือที่มีความจำเป็นสำหรับการทดสอบโครงงานนี้เป็นอย่างดี ผู้จัดทำใคร่ขอขอบคุณทุกๆ ท่านเป็นอย่างสูง

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| | | หน้า |
|---|---|---|
| บทคัดย่อ | | I |
| บทที่ 1 | บทนำ | 1 |
| | 1.1 ที่มาของโครงงาน | 1 |
| | 1.2 วัตถุประสงค์ของโครงงาน | 1 |
| | 1.3 SPECIFICATION | 2 |
| บทที่ 2 | การรับส่งข้อมูลแบบอะซิงโครนัส | 3 |
| | 2.1 การรับส่งข้อมูลแบบขนานและแบบอนุกรม | 3 |
| | 2.2 ทิศทางของการส่งผ่านข้อมูล | 5 |
| | 2.3 อัตราบอด (BAUD RATE) | 7 |
| | 2.4 บิทเริ่มต้น (START BIT) | 8 |
| | 2.5 บิทข้อมูล (DATA BIT) | 9 |
| | 2.6 พาริตี้บิท (PARITY BIT) | 9 |
| | 2.6.1 พาริตี้บิทคู่ (EVEN PARITY) | 10 |
| | 2.6.2 พาริตี้บิทคี่และบิทหยุด (ODD PARITY AND STOP BIT) | 10 |
| | 2.7 การสื่อสารแบบอะซิงโครนัส | 12 |
| | 2.8 8251 USART พอร์ตสื่อสารแบบอนุกรม | 13 |
| | 2.9 พอร์ต RS-232C | 16 |
| | 2.9.1 ข้อกำหนดทางไฟฟ้า | 17 |
| | 2.9.2 ขาขั้วต่อ RS-232C และหน้าที่ | 18 |
| บทที่ 3 | เครื่องมอนิเตอร์สัญญาณข้อมูลแบบอะซิงโครนัส | 22 |
| | 3.1 การออกแบบทาง HARDWARE | 22 |
| | 3.1.1 ผังแอดเดรส | 22 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 การสร้างสัญญาณเลือกอุปกรณ์ 24
3.1.3 การเชื่อมต่อ USART กับ Z-80 25
3.1.4 LCD 26
3.1.5 การเชื่อมต่อกับสายส่งข้อมูล 33
3.2 การออกแบบทาง SOFTWARE 34

บทที่ 4 การทำงานของวงจร 45
4.1 การทำงานของวงจรที่ออกแบบ 45
4.2 การทำงานโดยการตั้งค่าพารามิเตอร์ต่าง ๆ 46
4.3 สรุปและวิจารณ์ 47

บรรณานุกรม 48

ภาคผนวก
ก. การใช้เครื่อง
ข. โปรแกรมการทำงานของระบบ
ค. CIRCUIT DIAGRAM
ง. PRINTED CIRCUIT BOARD
จ. DATA ของอุปกรณ์ที่สำคัญในโครงงานปริญญานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

ในการสื่อสารข้อมูล การใช้งานเครื่อง computer (DTE) จะนำมาต่อเชื่อมกันเป็นเครือข่ายเพื่อเพิ่มขีดความสามารถในการใช้งานให้สูงขึ้น โดยผ่านทาง Communication port ไปยัง Data Communication Equipment เพื่อจะได้ทำการแลกเปลี่ยนข้อมูลระหว่างกันได้ ถ้าหากระบบการรับส่งข้อมูลนั้นมีปัญหาขึ้นมาอาจมีสาเหตุหลายประการ เช่น มีสัญญาณรบกวนในสายรับส่งสัญญาณ อุปกรณ์ปลายทางเกิดการขัดข้อง ข้อมูลที่ได้รับเข้ามาบางตัวผิดพลาด เป็นต้น

จากปัญหาเหล่านี้เราไม่สามารถทราบได้ว่า การแลกเปลี่ยนข้อมูลระหว่าง computer นั้นเป็นไปอย่างสมบูรณ์ การแก้ปัญหาจะต้องมีเครื่องมือตรวจสอบที่มีประสิทธิภาพในการตรวจจับสัญญาณในสายเพื่อดูการผิดพลาดของข้อมูลในสายได้

**ที่มาของโครงงาน**

ในระบบการสื่อสารข้อมูลซึ่งกำลังพัฒนาไปอย่างรวดเร็วในขณะนี้และในอนาคตความจำเป็นของการใช้เครื่องมือตรวจสอบ, ทดสอบ การบริการทางการสื่อสารข้อมูลยิ่งมีความจำเป็นและสำคัญมากขึ้น นั่นเป็นสิ่งจำเป็นที่จำต้องมีการประยุกต์และพัฒนาเทคโนโลยี เพื่อให้เกิดเครื่องมือทดสอบที่สามารถสร้างขึ้นเองได้ มีราคาถูก เพื่อจะได้มีส่วนลดการขาดดุลในการซื้อเครื่องมือเหล่านี้มาจากต่างประเทศซึ่งมีราคาแพงมาก

สำหรับโครงงานนี้คณะผู้จัดทำได้มีแนวความคิดจากเครื่องมือทดสอบวิเคราะห์สัญญาณข้อมูลนำบาง function ในการใช้งานที่มีความจำเป็นสำหรับช่างเทคนิคที่ปฏิบัติงานภาคสนาม ซึ่งบางครั้งไม่จำเป็นต้องนำเครื่องมือทดสอบขนาดใหญ่ทำให้สะดวกต่อการใช้งาน

**วัตถุประสงค์ของโครงงาน**

- ต้องการ monitor สัญญาณข้อมูลระหว่าง DTE กับ DCE ซึ่งกำลังทำการรับส่งข้อมูลกันตลอดเวลา
- ต้องการพัฒนาเครื่องมือตรวจสอบสำหรับให้ความสะดวกในการใช้งานของช่างเทคนิคในการให้บริการทางด้านการสื่อสารข้อมูล
- นำอุปกรณ์ที่สามารถจัดซื้อได้ภายในประเทศมาใช้งาน
- เพื่อให้ประเทศไทยสามารถพึ่งพาเทคโนโลยีของตนเองได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**โครงงานแบ่งเป็น 2 ส่วน**

1. HARDWARE
   - CPU
   - Clock Generator สำหรับกำหนด Baud rate
   - Interface device ทำหน้าที่เป็น Input/Output Port
   - LCD Display Unit
2. SOFTWARE

**Specification**

- Input CCITT V. 24 , V. 28 Recommendation
- Asynchronous mode : ASCII , HEX , BINARY
  : 300 bps ~ 19.2 Kbps
  : data bit 5, 6, 7, 8 / char.
  : party bit EVEN , ODD , NONE
  : stop bit 1, 1.5, 2
- LCD Display 16 Columns 4 Rows
- Break out box (simulator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

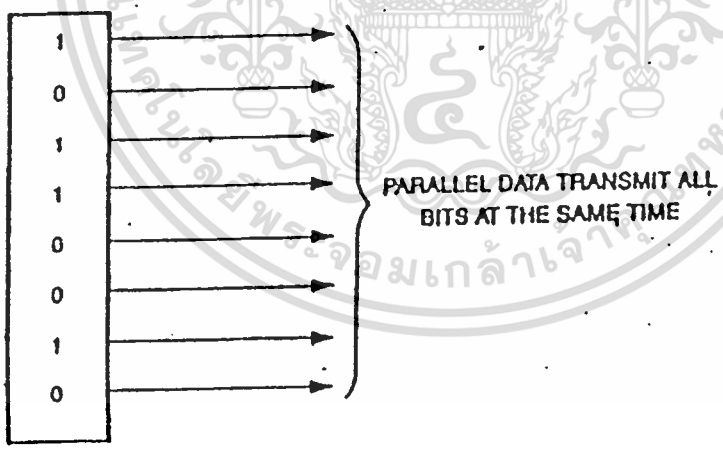
# บทที่ 2

## การรับ-ส่งข้อมูลแบบอะซิงโครนัส

ก่อนที่จะทำการศึกษาวิธีการมอนิเตอร์สัญญาณข้อมูลแบบอะซิงโครนัสนั้น จำเป็นต้องทราบความหมาย หลักการพื้นฐานของการติดต่อสื่อสารในระบบอะซิงโครนัสรวมทั้งอุปกรณ์เชื่อมต่อ (Interface) ต่าง ๆ ที่เกี่ยวข้องก่อน

### 1. การรับ-ส่งข้อมูลแบบขนานและแบบอนุกรม

โดยทั่ว ๆ ไปหลักใหญ่ของการส่งข้อมูลในคอมพิวเตอร์ หรือระหว่างคอมพิวเตอร์ด้วยกันจะมีลักษณะการส่งข้อมูลอยู่ 2 แบบ คือ การส่งแบบขนานและส่งแบบอนุกรม การส่งข้อมูลแบบขนานคือ ข้อมูลทุก ๆ บิทจะถูกส่งไปพร้อมกันในครั้งเดียว เช่น ถ้าเป็นข้อมูล 1010 ทั้งสี่บิทนี้จะถูกส่งออกไปพร้อม ๆ กัน โดยผ่านสายส่งข้อมูลที่มีสี่เส้น โดยแต่ละบิทจะส่งในสายส่งคนละเส้น




รูปที่ 2.1 แสดงบิทต่าง ๆ ของข้อมูลที่จะทำการส่งแบบขนานโดยที่ทุกบิทของข้อมูลจะถูกส่งออกไปในเวลาเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งแบบอนุกรม คือ ข้อมูลแต่ละบิทจะถูกส่งเรียงกันออกไปเป็นลำดับต่อเนื่องกันทีละบิท เช่น ถ้าข้อมูลเป็น 1010 โดยเลข 0 ทางขวามือสุด ซึ่งเป็น LSB (Least Significant bit) ส่งออกไปก่อน ตามด้วยบิทที่สอง คือเลข 1 และบิทที่สาม คือ เลข 0 และบิทสุดท้าย คือเลข 1 ซึ่งเป็นการ MSB (Most significant bit) ตามลำดับ โดยสายส่งข้อมูลจะมีอยู่เพียงเส้นเดียวเท่านั้น

รูปที่ 2.2 แสดงบิทต่าง ๆ ของข้อมูลที่จะทำการส่งแบบอนุกรมโดยที่ข้อมูลนี้จะถูกส่งทีละ 1 บิท

เราทราบแล้วว่าการส่งข้อมูลระหว่างซีพียูกับอุปกรณ์ต่าง ๆ บนแผ่นวงจรจะส่งเป็นแบบขนาน แต่ถ้าในกรณีที่เป็นการส่งข้อมูลจากไมโครคอมพิวเตอร์ไปยังอุปกรณ์รอบข้างต่าง ๆ การส่งข้อมูลมักจะส่งเป็นแบบอนุกรมแทบทั้งสิ้น เพื่อเป็นการประหยัดค่าใช้จ่ายและสามารถส่งได้ในระยะทางไกล ๆ ดังนั้นจึงใช้สายส่งข้อมูลเพียงเส้นเดียวส่วนสายสัญญาณที่เหลือจะเป็นสายส่งสัญญาณควบคุมและสายกราวนด์

มาตรฐานสากลที่กำหนดขึ้นมาควบคุมขบวนการส่งข้อมูลแบบนี้ ประกอบด้วยมาตรฐานของสัญญาณระดับต่าง ๆ เช่น ระดับสัญญาณที่ใช้อุปกรณ์ TTL (Transistor-Transistor Logic) ระดับสัญญาณที่ใช้กับมาตรฐานของ EIA RS-232C และระดับสัญญาณที่ใช้กับระบบ 20 mA Current Loop มาตรฐานเหล่านี้ใช้กันแพร่หลายในการส่งข้อมูลแบบอนุกรมในระบบไมโครคอมพิวเตอร์โดยเฉพาะมาตรฐาน RS-232C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

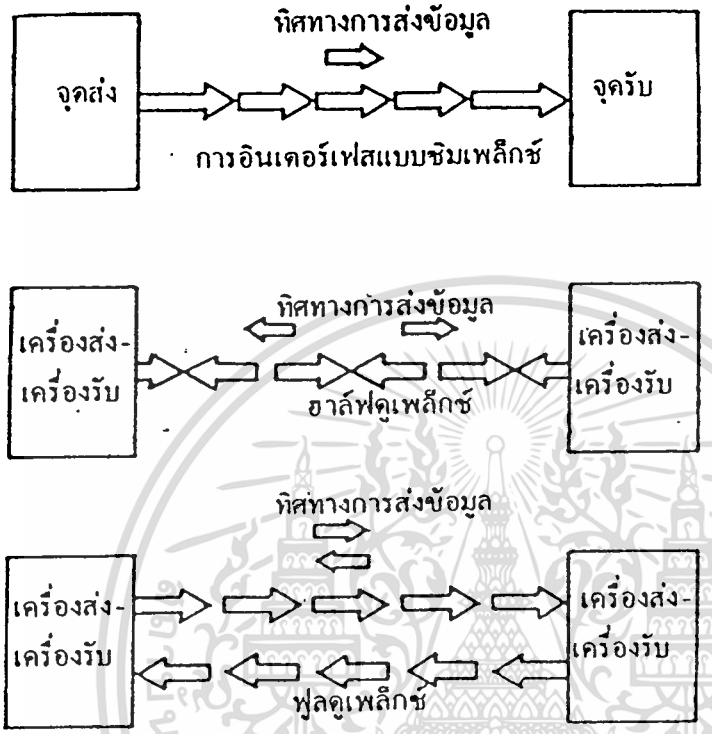
ข้อเปรียบเทียบระหว่างการส่งข้อมูลแบบขนานและแบบอนุกรม

| | แบบขนาน | แบบอนุกรม |
|---|---|---|
| 1. ระยะทาง | ปกติจะน้อยกว่า 100 ฟุต | ส่งได้ตั้งแต่ระยะสั้น ๆ จนถึงระยะทางเป็นไมล์ |
| 2. ความเร็ว | ความเร็วสูงมากในระยะทางที่ไม่ไกลมากนัก กำหนดได้เป็นจำนวนบิทต่อวินาที | อัตราความเร็วของข้อมูลที่ใช้กันอยู่ทั่วไปอยู่ในช่วง 0-2 ล้านบิทต่อนาที |
| 3. ระดับของสัญญา | ในการอินเตอร์เฟสจะใช้ระดับสัญญาณที่ใช้กับอุปกรณ์ TTL คือ สัญญาณลอจิก 1 และ 0 จะแทนด้วยระดับแรงดัน +5V และ 0V ตามลำดับ | ใช้มาตรฐานของ EIA RS232C คือ มีระดับสัญญาณไฟฟ้าขนาด 15V หรืออาจใช้มาตรฐาน 20mA CURRENT LOOP |
| 4. ความผิดพลาดของสัญญาณ | ถ้าส่งในระยะทางไกล ๆ ความผิดพลาดของข้อมูลจะเกิดขึ้นง่าย | การผิดพลาดของสัญญาณจะมีน้อยลง |
| 5. ค่าใช้จ่าย | ถ้าส่งในระยะทางไกล ๆ จะสิ้นเปลืองค่าใช้จ่ายมากเพราะต้องใช้สายส่งหลายเส้น | สิ้นเปลืองน้อยกว่า |

**2. ทิศทางของการส่งผ่านข้อมูล**

ทิศทางของการส่งข้อมูลมีต่างกัน 3 ลักษณะ คือ แบบทิศทางเดียวหรือซิมเพล็กซ์แบบสองทางแต่โต้ตอบกันไม่ได้ หรือฮาล์ฟดูเพล็กซ์และแบบที่ 3 เป็นแบบส่งข้อมูลได้สองทางและโต้ตอบกันได้ในเวลาเดียวกันหรือแบบฟูลดูเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.3 แสดงการส่งข้อมูลในลักษณะต่าง ๆ

**ระบบซิมเพล็กซ์** เช่น การส่งกระจายเสียงวิทยุหรือโทรทัศน์หรือการส่งข้อมูลจากคอมพิวเตอร์ไปให้เครื่องพิมพ์

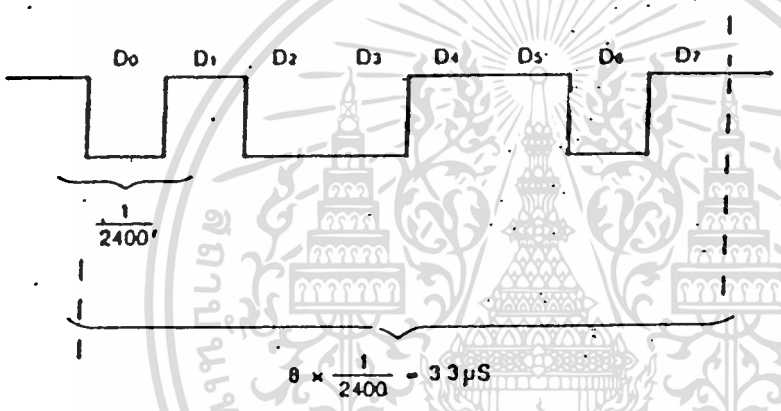
**ระบบฮาล์ฟดูเพล็กซ์** เช่น ระบบวิทยุติดต่อ ระบบ ATM

**ระบบฟูลดูเพล็กซ์** เช่น การสื่อสารทางโทรศัพท์และการสื่อสารคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**3. อัตราบอด (BAUD RATE)**

สิ่งที่สำคัญสิ่งหนึ่งในการส่งข้อมูลแบบอนุกรมนี้ก็คือ ความถี่ที่ใช้การส่งข้อมูล ซึ่งจะต้องสัมพันธ์กันระหว่างอุปกรณ์ที่ทำหารรับและส่งข้อมูล ซึ่งความถี่ที่ใช้นี้เรียกว่า "Baud Rate" หมายถึง อัตราการรับส่งข้อมูลเป็นจำนวนบิทใน 1 วินาที ถ้าหากว่าเครื่องส่งใช้ Baud rate ที่ไม่สัมพันธ์กับเครื่องรับแล้ว ก็จะทำให้การรับส่งข้อมูลเกิดผิดพลาดขึ้นได้ โดยทั่วไปค่าของ Baud rate นั้นจะใช้ค่าต่าง ๆ ดังต่อไปนี้ คือ 110, 150, 300, 1200, 2400, 4800, 9600, และ 19200 สมมุติว่าเราต้องการที่จะส่งข้อมูลด้วยอัตรา 2400 baud (2400 บิท/วินาที)




รูปที่ 2.4 แสดงรูปสัญญาณของข้อมูลที่ถูกส่งตามสายส่งแบบอนุกรม

จากรูปที่ 2.4 จะเห็นว่าความกว้างของสัญญาณแต่ละบิทจะเท่ากับ 1/baud rate วินาที ซึ่งจาก baud rate ที่เราต้องการที่จะใช้คือ 2400 baud นั้น จะทำให้ความกว้างของแต่ละบิทที่จะส่งไปตามสายส่งนี้ทำให้เราสามารถที่จะคำนวณเวลาที่จะต้องใช้ในการรับส่งข้อมูลแต่ละไบท์ ( 8 บิท ) ได้ดังนี้ เท่ากับ 8 X 416 Microsecond หรือ 3.33 Milisecond อย่างไรก็ตามเพื่อป้องกันความผิดพลาดที่อาจเกิดขึ้นได้จึงมีการเพิ่มบิทต่าง ๆ ลงไปในแต่ละไบท์ของข้อมูลเพื่อช่วยในการตรวจสอบความถูกต้องของข้อมูลที่เครื่องรับได้รับเข้ามา ( ไม่ได้หมายความว่าเมื่อเพิ่มบิทต่าง ๆ เหล่านี้เข้าไปแล้วจะทำให้การส่งผ่านข้อมูลมีความถูกต้อง 100% ) สำหรับบิทต่าง ๆ ที่เพิ่มเข้ามานี้ คือ Start, Parity และ Stop bit ซึ่งจะทำให้ข้อมูลในแต่ละไบท์ที่ส่งออกไปนี้มีมากกว่า 8 บิท และเวลาที่ใช้ในการรับส่งข้อมูลก็จะมากขึ้นตามไปด้วย

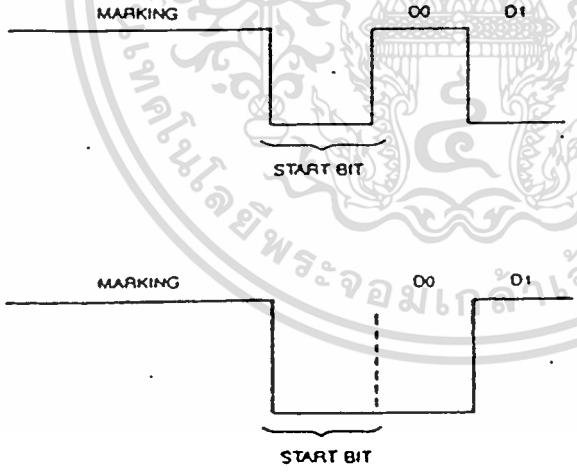
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4. บิทเริ่มต้น ( START BIT )**

ในการส่งผ่านข้อมูลแบบอนุกรมนี้ เราจำเป็นที่จะต้องทำให้อุปกรณ์ที่จะรับข้อมูลทราบว่าข้อมูลที่ส่งมานั้นเริ่มต้นที่จุดใด ดังนี้เราจึงจำเป็นที่จะต้องเพิ่มข้อมูล 1 บิทลงไปก่อนหน้าข้อมูลจริง (Actaul) ที่จะทำการส่งข้อมูลแบบอนุกรมจะส่งบิท D0 เป็นบิทแรกและ D7 เป็นบิทสุดท้าย คือทำการเพิ่มบิทนี้ลงไปหน้าบิท D0 นั่นเอง และเรียกบิทนี้ว่า " Start bit"

หน้าที่ของ Start bit นี้นอกจากจะใช้ในการบอกว่าข้อมูลนั้นเริ่มต้นที่ใดแล้วยังทำงานร่วมกับ Stop bit เพื่อช่วยในการแยกข้อมูลแต่ละชุดออกจากกันและความกว้างของบิทนี้จะเท่ากับความกว้างของบิทอื่น ๆ ในข้อมูลที่จะส่ง ( D0-D7 )

เมื่ออุปกรณ์ที่จะส่งข้อมูลยังไม่ได้ทำการส่งข้อมูลใด ๆ ออกมานั้นสายส่งจะอยู่ในสภาวะที่เรียกว่า "Marking" ซึ่งเป็นสภาวะที่ไม่มีการรับส่งข้อมูลใด ๆ เกิดขึ้น ในที่นี้เราจะสมมุติให้ "Marking" ของสายส่งเป็นลอจิก "1" Start bit ที่จะเพิ่มเข้าไปนี้จะมีลอจิกที่ตรงข้ามกับลอจิกของ Marking ดังนั้นในกรณีนี้ Start bit จะมีลอจิกเป็น "0"




รูปที่ 2.5 การเพิ่ม Start bit เข้าไปก่อนหน้าบิท D0 ในกรณีที่บิท D0 เป็น "1" และ "0" ตามลำดับ

สำหรับ Start bit นี้จะมีความกว้างเท่ากับ 1 บิทของข้อมูลเช่น ใน 1 บิทของข้อมูลมีความยาวเท่ากับ 416 Microsecond Start bit ก็จะมีความกว้างของสัญญาณเท่ากับ 416 Microsecond ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**5. บิทข้อมูล ( DATA BIT )**

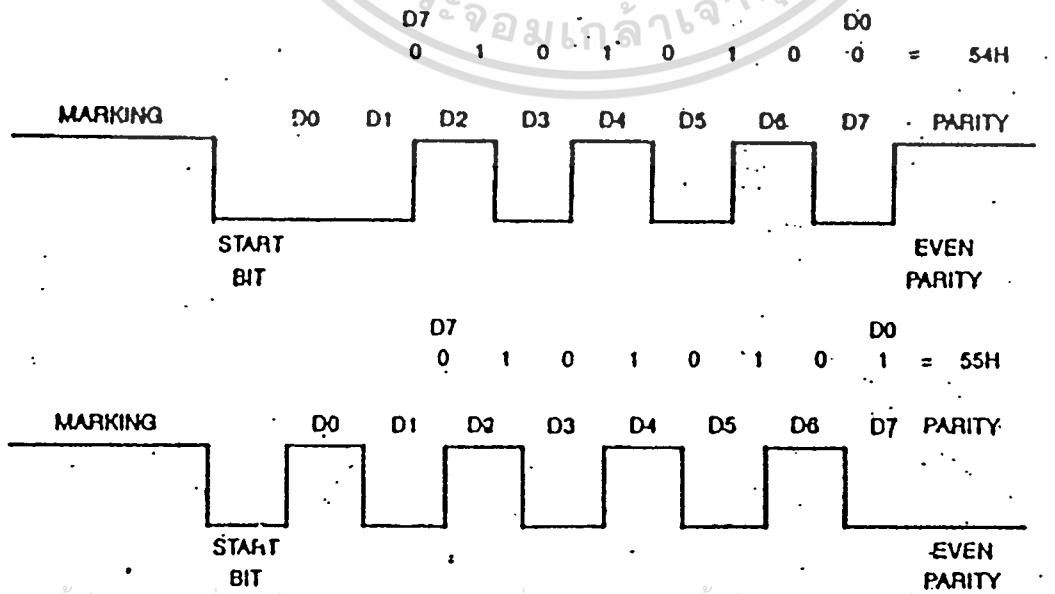
หลังจากที่ด้านรับสามารถดีเทกซ์สัญญาณบิทเริ่มต้นได้แล้วก็จะทำการเซ็ทสถานะของชิฟรีจิสเตอร์ให้พร้อมที่จะรับบิทข้อมูลได้ โดยบิทข้อมูลจะมีจำนวนบิทเป็น 5, 6, 7 หรือ 8 บิท ขึ้นอยู่กับจำนวนคาร์แรกเตอร์ดังนี้

| จำนวนบิทข้อมูลใน 1 คาร์แรกเตอร์ | จำนวนคาร์แรกเตอร์ |
|---|---|
| 5 บิท | 32 |
| 6 บิท | 64 |
| 7 บิท | 128 |
| 8 บิท | 256 |

จำนวนบิทต่าง ๆ ใน 1 คาร์แรกเตอร์เหล่านี้ 5 บิท เป็นมาตรฐานของรหัส BAUDOT, 7 บิทเป็นมาตรฐานของรหัส ASCII และใช้กันแพร่หลายมากและ 8 บิทเป็นมาตรฐานรหัส EBCDIC

**6. พาริตี้บิท ( PARITY BIT )**

บิทนี้จะทำหน้าที่ในการบอกให้ส่วนรับข้อมูลทราบว่า ข้อมูลที่รับมาผิดหรือไม่ โดยบิทนี้จะทำหน้าที่ในการบอกให้ด้านรับทราบว่าข้อมูลที่ส่งมาแต่ละไบท์นั้นมีจำนวนบิทที่เป็น "1" อยู่เป็นจำนวนคี่ (Odd) หรือจำนวนคู่ (Even)




**รูปที่ 2.6 แสดงการเพิ่ม Parity bit ลงไปในข้อมูลแต่ละไบท์**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**6.1 พาริตี้บิทคู่ ( EVEN PARITY )**

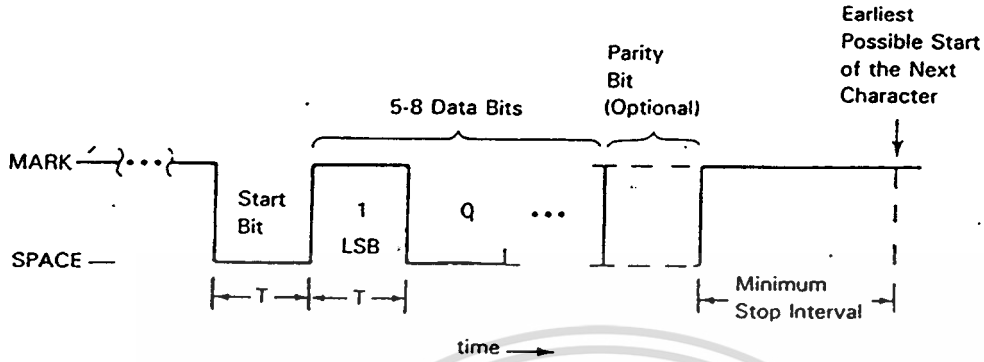
ทำการกำหนดค่าพาริตี้โดยการนับจำนวนของบิทของข้อมูลที่มีสถานะเป็น "1" (มาร์ค) สถานะของพาริตี้จะถูกจัดให้มีค่าเป็น "1" (มาร์ค) หรือ 0 (สเปซ) เพื่อทำให้จำนวนบิททั้งหมด รวมทั้งพาริตี้บิทมีจำนวนบิทที่เป็นมาร์ครวมกันแล้วมีค่าเป็นเลขคู่ ( การนับนี้ไม่รวมบิทเริ่มต้น )

**6.2 พาริตี้บิทคี่และบิทหยุด (ODD PARITY AND STOP BIT)**

มีหลักการคล้ายกับหลักการแรกต่างกันแต่การเลือกค่าของพาริตี้นั้นจะทำให้จำนวนของบิทที่เป็นมาร์คในจำนวนบิทที่รวมกันแล้วมีค่าเป็นจำนวนคี่แทนที่จะเป็นจำนวนคู่ แน่นอนว่าเครื่องรับและเครื่องส่งนั้นถ้าใช้ระบบการตรวจพาริตี้จะต้องใช้ระบบเดียวกัน ถ้าเครื่องส่งในระบบพาริตี้คู่แต่เครื่องรับใช้พาริตี้แล้วระบบย่อมสื่อสารกันไม่ได้ การตรวจสอบความผิดพลาดที่อาจเกิดจากการส่งสัญญาณผ่านช่องการสื่อสารก็เพียงแต่เครื่องรับตรวจดูว่าข้อมูลที่รับเข้ามามีพาริตี้ตรงตามชนิดที่ออกแบบไว้หรือไม่ ถ้ามีบิทผิดพลาดเกิดขึ้นก็หมายความว่ามีบิทใดบิทหนึ่งเปลี่ยนค่าจาก 0 เป็น 1 หรือจาก 1 เป็น 0 ก็จะทำให้จำนวนผลรวมของบิทที่เป็น 1 แตกต่างไปจากจำนวนคู่หรือจำนวนคี่ที่กำหนด เครื่องรับก็จะรู้ได้ว่าในกรณีนั้นข้อมูลที่รับมาเกิดผิดพลาดแล้ว

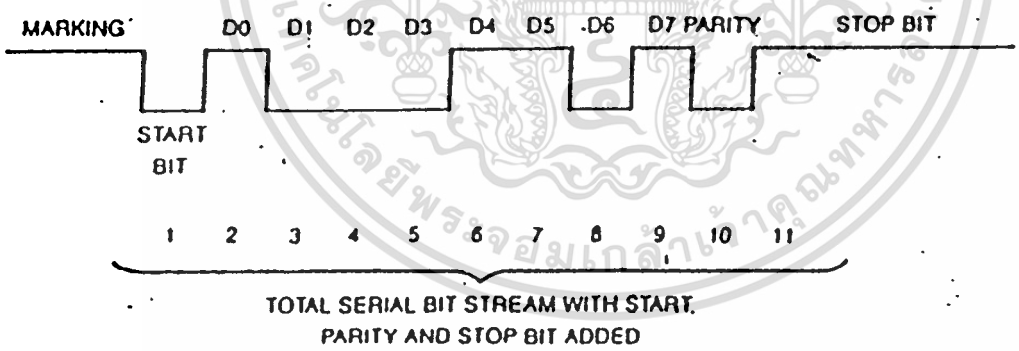
เมื่อสิ้นสุดบิทสุดท้ายแล้ว สถานะของสายส่งข้อมูลก็จะถูกบังคับให้กลับเป็นมาร์คอีกครั้ง นี่คือการเริ่มต้นของช่วงการหยุด (Stop interval) ซึ่งมักจะมีผู้ใช้คำเรียกคลาดเคลื่อนว่าเป็น บิทสิ้นสุด (Stop bit) กันมาก มันเป็นจุดเริ่มต้นของเวลาที่ว่าง (Idle time) ระหว่างการส่งตัวอักษรแบบอะซิงโครนัส แต่เพื่อเป็นหลักประกันว่าจะมีการเปลี่ยนสถานะของสายมาร์คเป็นสเปซ ในการเริ่มต้นของบิทเริ่มต้นของการส่งตัวอักษรตัวใหม่นั้นก็จะเกิดความจำเป็นที่จะต้องจัดค่าช่วงการหยุดจากท้ายสุดของบิทสุดท้ายของอักษรตัวเก่าให้เกิดมีขึ้น ไม่เช่นนั้นถ้าบิทสุดท้ายของตัวอักษรตัวเก่ามีสถานะเป็นสเปซแล้ว สถานะการเริ่มของบิทเริ่มต้นที่สังเกตจากการเปลี่ยนแปลงสถานะของสายจากมาร์คมาเป็นสเปซก็จะไม่มีความชัดเจน ช่วงการหยุดนั้นจะมีช่วงเวลาน้อยที่สุดเท่าใดนั้นมีใช้ต่างกันไปตามการออกแบบระบบสื่อสารข้อมูลนั้น ๆ ที่นิยมกันทั่วไปนั้นคือ 1 หรือ 2 เท่าของเวลาบิท T และมีอยู่เหมือนกันที่ใช้ 1.5 T เนื่องจากรูปแบบการส่งเป็นแบบอะซิงโครนัส ช่วงการหยุดนี้จะไม่มีการกำหนดค่าช่วงเวลาว่าค่านานที่สุดควรเป็นเท่าไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.7 แสดงลักษณะทั่วไปของสัญญาณอักษรอะซิงโครนัส

สรุปได้ว่าข้อมูลที่ส่งออกมาในแต่ละไบท์นั้นไม่ใช้มีแต่ข้อมูล 8 บิท ( ในกรณีที่ 1 ไบท์ มี 8 บิท ) เท่านั้น แต่อาจมีได้ถึง 12 บิท

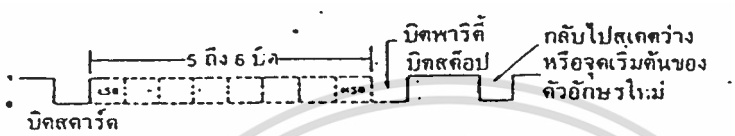



รูปที่ 2.8 แสดงรูปแบบของข้อมูลแต่ละไบท์ ในการรับส่งข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**7. การสื่อสารแบบอะซิงโครนัส**

การสื่อสารแบบนี้ประกอบด้วยบิทเริ่มต้น (Start bit) และบิทสิ้นสุด (Stop bit)




รูปที่ 2.9 รูปแบบของการสื่อสารแบบอะซิงโครนัส

ขณะที่สถานะของการส่งเป็นแบบว่างหรือไอเดิล (Idle) คือยังไม่มีสัญญาณส่งออกมาจะมีสัญญาณหรือมีแรงดันตลอดเวลาเพื่อความแน่ใจว่าฝ่ายรับยังติดต่อกับฝ่ายส่ง ฝ่ายส่งจะส่งข้อมูลบอกจุดเริ่มต้น สัญญาณแบบอะซิงโครนัสจะเป็น "0" หนึ่งช่วงสัญญาณนาฬิกา บิทนี้เรียกว่าบิทสตาร์ท ข้อมูล 1 ตัวอักษรที่ตามหลังบิทสตาร์ทจะมีขนาดตั้งแต่ 5 บิทจนถึง 8 บิท โดยบิทที่มีค่าน้อย (LSB) จะถูกส่งมาก่อนและไล่ไปจนถึงบิทที่มีค่ามากที่สุด (MSB) การเข้ารหัสอักขระนี้ส่วนมากจะสิยมใช้รหัสแอสกี้ (ASCII Code)

แรกเริ่มของการส่งข้อมูลจะส่งด้วยรหัสโบโต (BAUDOT Code) ซึ่งใช้ 5 บิทแทนอักขระหนึ่งตัว ส่วนที่ตามหลังข้อมูลก็จะเป็นบิทพาริตี้ ซึ่งอาจใช้หรือไม่ใช้ก็ได้ บิทพาริตี้จะทำหน้าที่เป็นตัวตรวจสอบความถูกต้องของสัญญาณที่ได้รับ บิทพาริตี้อาจเป็นแบบคู่ (Even) หรือแบบคี่ (Odd) ก็ได้หมายความว่าถ้าหากเป็นพาริตี้คู่ จำนวนบิทที่เป็น "1" ในช่วงบิทข้อมูลกับพาริตี้รวมกันแล้วต้องเป็นจำนวนคู่ อุปกรณ์ส่งข้อมูลจะทำหน้าที่ตรวจสอบข้อมูลแล้วใส่บิทพาริตี้เอง อุปกรณ์รับเมื่อรับสัญญาณแล้วก็ต้องตรวจสอบดูว่าเป็นจริงตามสถานการณ์ที่ตั้งเอาไว้หรือไม่ หากผิดพลาดก็หมายความว่าสัญญาณที่รับนั้นผิดพลาดไปจากอุปกรณ์ตัวส่งที่ส่งออกมา หลังจากบิทพาริตี้แล้วก็ต้องมีบิทสิ้นสุดซึ่งมีสถานะเป็น "1" ความกว้างของบิทสิ้นสุดอาจเป็น 1, 1.5 หรือ 2 พัลส์ของสัญญาณนาฬิกา ซึ่งแล้วแต่ผู้รับและผู้ส่งจะตกลงใช้กันเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

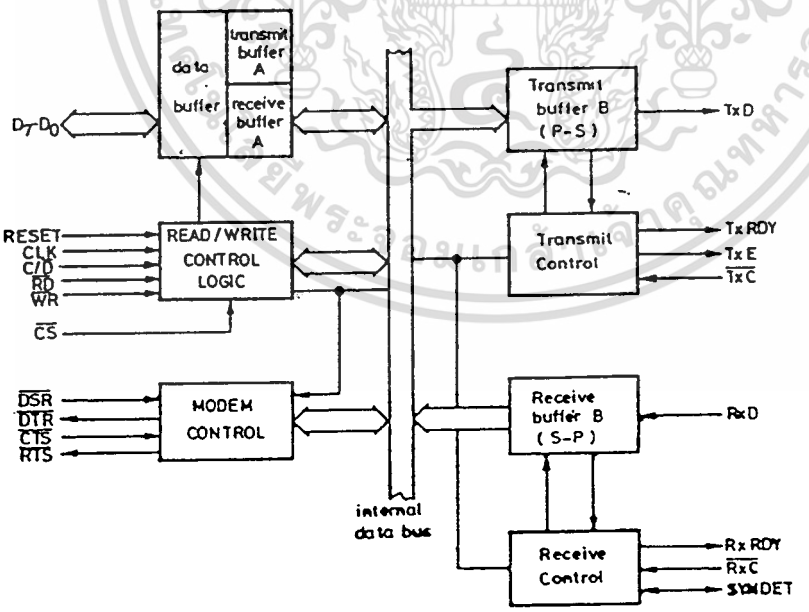
การเริ่มใช้พอร์ตอนุกรมจึงจำเป็นต้องตั้งค่าต่าง ๆ สำหรับการสื่อสารซึ่งมีดังนี้

1. ความเร็วของการส่ง
2. ความยาวของรหัสข้อมูล 1 อักขระ
3. บิทตรวจสอบ
4. จำนวนบิทสิ้นสุด

## 8. 8251 USART พอร์ตสื่อสารแบบอนุกรม

Universal Synchronous / Asynchronous Receiver / Transmiter หรือ USART 8251 รับข้อมูลแบบ ขนานจากไมโครโปรเซสเซอร์แล้วส่งออกไปยังอุปกรณ์ภายนอกแบบอนุกรม

USART 8251 สามารถรับข้อมูลแบบอนุกรมจากอุปกรณ์ภายนอกมาเปลี่ยนเป็นแบบขนานส่งไปยังไมโครโปรเซสเซอร์เมื่อมันพร้อมจะรับข้อมูลใหม่ เพื่อจะส่งต่อไปหรือเมื่อมันมีข้อมูลซึ่งรับมาจากอุปกรณ์ภายนอกจะส่งให้ไมโครโปรเซสเซอร์ ไมโครโปรเซสเซอร์สามารถตรวจสอบสถานะรพของ USART ได้ตลอดเวลา โดยขบวนการอ่านภายใน 8251 วงจรต่าง ๆ เขียนเป็นบล็อกดังนี้




รูปที่ 2.10 แสดงบล็อกไดอะแกรมของ 8251

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data bus buffer ทำหน้าที่ต่อเชื่อมกับ data bus ของไมโครโปรเซสเซอร์ ข้อมูลที่ส่งมาจากซีพียูจะถูกเก็บไว้ใน Transmit buffer A ซึ่งจะถูกส่งต่อไปยังวงจร Transmit buffer B เพื่อจะเลื่อนออกไปแบบบอนุกรมทาง TXD ในทางตรงข้าม ข้อมูลที่ 8251 รับมาแบบอนุกรมจะถูกเปลี่ยนเป็นแบบขนาน โดย Receiver buffer B ก่อนแล้วจึงถูกส่งมาเก็บใน Receiver buffer A เพื่อส่งต่อแบบขนานให้ซีพียูต่อไป ซีพียูสามารถบังคับให้ 8251 ทำหน้าที่ต่าง ๆ ได้ ข้อมูลหรือสถานะของ 8251 ก็ถูกส่งไปยังซีพียูทาง data bus เช่นเดียวกับซีพียูติดต่อกับ 8251 โดยทำคำสั่ง Read หรือ Write

Read / Write Control Logic ทำหน้าที่ควบคุมการอ่านหรือเขียนข้อมูลมายัง 8251

Modem Control ทำหน้าที่ควบคุม 8251 เมื่อ 8251 ต้องทำหน้าที่ติดต่อกับโมเด็ม

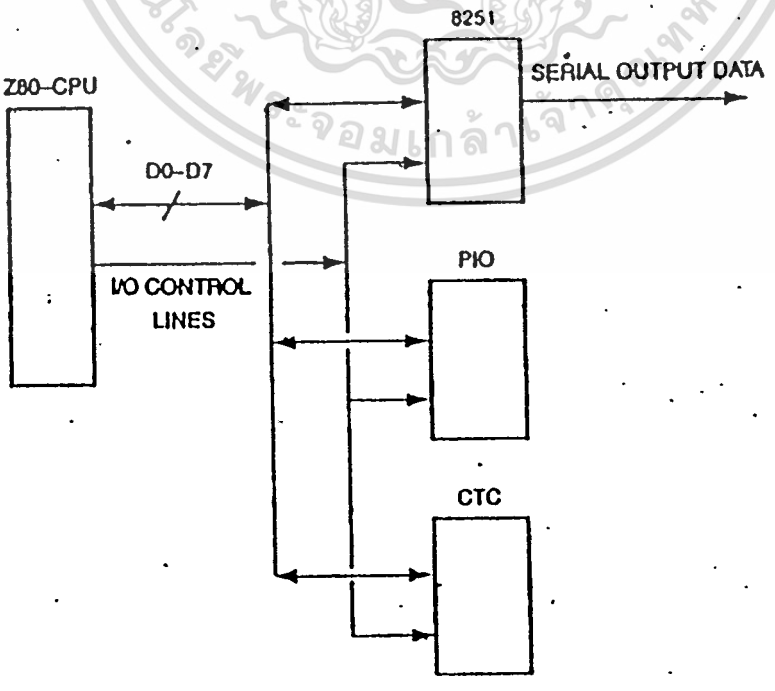
Transmit buffer B (P-S) ทำหน้าที่รับข้อมูลจาก Data buffer A แล้วเปลี่ยนเป็นแบบอนุกรมส่งไปยังอุปกรณ์ภายนอก

Transmit Control ทำหน้าที่ควบคุมการส่งข้อมูลแบบอนุกรมจาก Transmit buffer

Receive buffer B (S-P) เป็นที่เก็บข้อมูลที่มาจากอุปกรณ์ภายนอกแบบอนุกรมเปลี่ยนเป็นแบบขนานให้ Receive buffer A

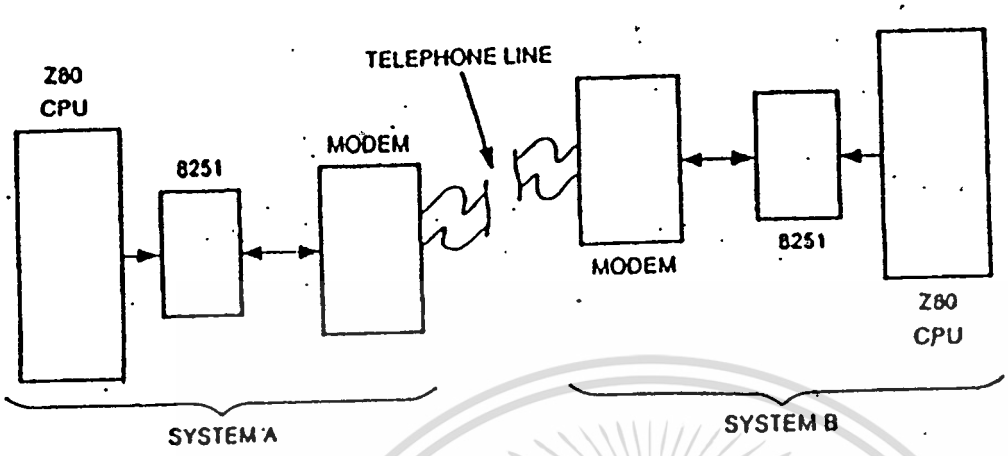
Receive Control ทำหน้าที่ควบคุมการรับข้อมูลแบบอนุกรม

Internal data bus เป็นเส้นทางติดต่อของสัญญาณและข้อมูลระหว่างหน่วยต่าง ๆ ใน 8251




รูปที่ 2.11 การใช้งาน 8251 ร่วมกับ Chip Support ของ Z 80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.12 การใช้งาน 8251 ร่วมกับโมเด็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**9. พอร์ต RS - 232 C**

โดยปกติไมโครคอมพิวเตอร์จะมีพอร์ตที่เป็นแบบอนุกรมเรียกชื่อว่า RS-232C อยู่ในตัวเองอยู่แล้ว ชื่อ RS-232C นี้ ถูกกำหนดโดยสมาคมผู้ผลิตอุปกรณ์อีเล็คโทรนิคส์ของอเมริกาหรือ EIA ซึ่งความเป็นจริงมาตรฐานการส่งข้อมูลแบบอนุกรมมีหลายมาตรฐานแต่ที่นิยมกันมากที่สุดสำหรับไมโครคอมพิวเตอร์คือ RS-232C

หน้าที่สำคัญของการสื่อสารแบบอะซิงโครนัส คือ

รับสัญญาณ

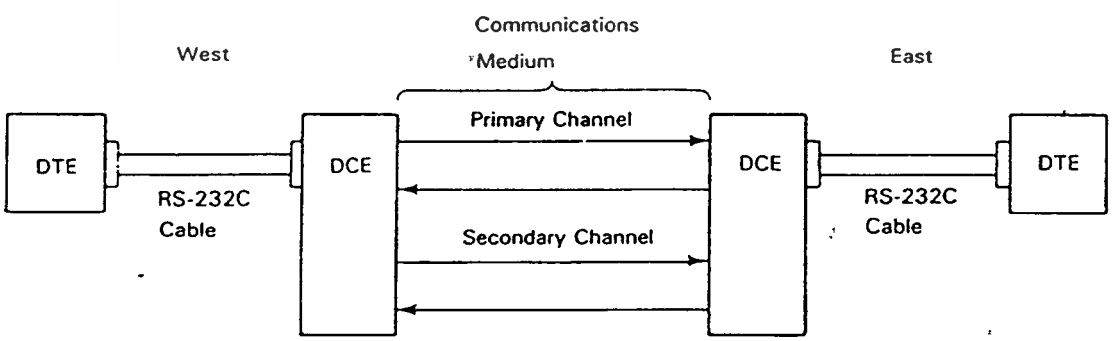
1. เปลี่ยนสัญญาณที่เข้ามาแบบอนุกรมให้เป็นแบบขนาน
2. ตรวจสอบความผิดพลาดของสัญญาณที่รับ
3. ตัดสตาร์ท, พาริตี้ และสต๊อปบิทออก
4. ส่งสัญญาณให้ซีพียูรู้ว่ารับสัญญาณไว้แล้ว

ส่งสัญญาณ

1. เปลี่ยนสัญญาณแบบขนานที่ส่งไปจากซีพียูค่อยทยอยส่งออกเป็นแบบอนุกรม
2. เพิ่มสตาร์ท, พาริตี้ และสต๊อปบิทเข้าไปในชุดของบิทข้อมูล
3. เพิ่มสัญญาณควบคุมโมเด็มที่ต่อเชื่อม (ถ้ามี)

แบบจำลองของวงจรการสื่อสารแบบ RS-232C

ข้อกำหนดตาม RS-232C นั้น บอกถึงการเดินสายในเคเบิลที่ต่อระหว่าง DTE กับ DCE เป็นเคเบิลที่ต่อปลั๊ก 25 ขา เสียบเข้ากับคอนเนคเตอร์พอร์ตอนุกรมที่หลังไมโครคอมพิวเตอร์หรืออุปกรณ์ปลายทางต่าง ๆ

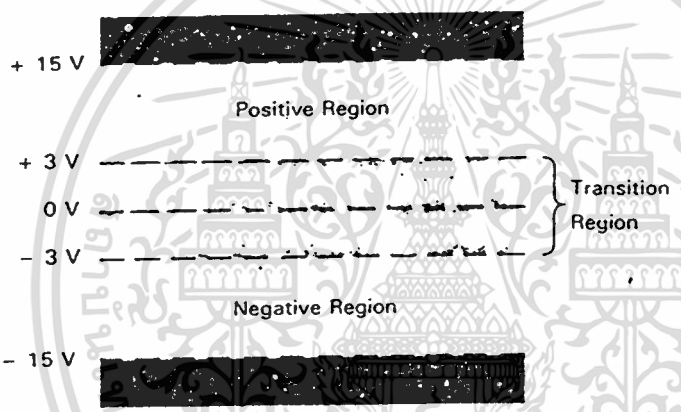



**รูปที่ 2.13 แสดงจำลองของวงจรการสื่อสารที่ใช้ RS-232C**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 9.1 ข้อกำหนดทางไฟฟ้า

มีรายละเอียดเกี่ยวกับคุณสมบัติของสัญญาณไฟฟ้าบนสายแต่ละสายในเคเบิล RS-232C มากมาย แต่เพราะเราเกี่ยวข้องอยู่กับสัญญาณไบนารี ข้อจำกัดเกี่ยวกับโวลเตจจึงถูกกำหนดลงในสองบริเวณ คือ บริเวณบวก ( Positive Region ) อยู่ระหว่าง +3 โวลท์ ถึง +15 โวลท์ DC และบริเวณลบ ( Negative Region ) อยู่ระหว่าง -3 โวลท์ DC ถึง -15 โวลท์ DC บริเวณระหว่าง -3 โวลท์ ถึง 3 โวลท์ ถือเป็นบริเวณเปลี่ยนถ่ายสถานะ ( Transition Region ) มีข้อกำหนดให้สัญญาณจะมีสถานะอยู่ในบริเวณนี้ได้ไม่เกิน 1 มิลลิวินาที ในบริเวณเปลี่ยนถ่ายสถานะนี้จะมีการกำหนดสภาพให้กับสัญญาณแต่อย่างใด




รูปที่ 2.14 แสดงระดับโวลท์เตจของสัญญาณที่ RS-232C กำหนดใช้

บริเวณเหล่านี้ใช้เกี่ยวพันกับสถานะไบนารีของสายสัญญาณในลักษณะที่เป็นเอกเทศ การแปลความหมายของระดับโวลท์เตจขึ้นอยู่กับหน้าที่ของสาย ซึ่งกำหนดตามตารางนี้

| WIRE FUNCTION | VOLTAGE LEVEL | |
|---|---|---|
| | Positive | Negative |
| Data | SPACE (0) | MARK (1) |
| Modem Control & Training | On (asserted) | Off (integrate) |

**ตารางแสดงหน้าที่ของสายและความหมายของโวลเตจที่กำหนดให้**

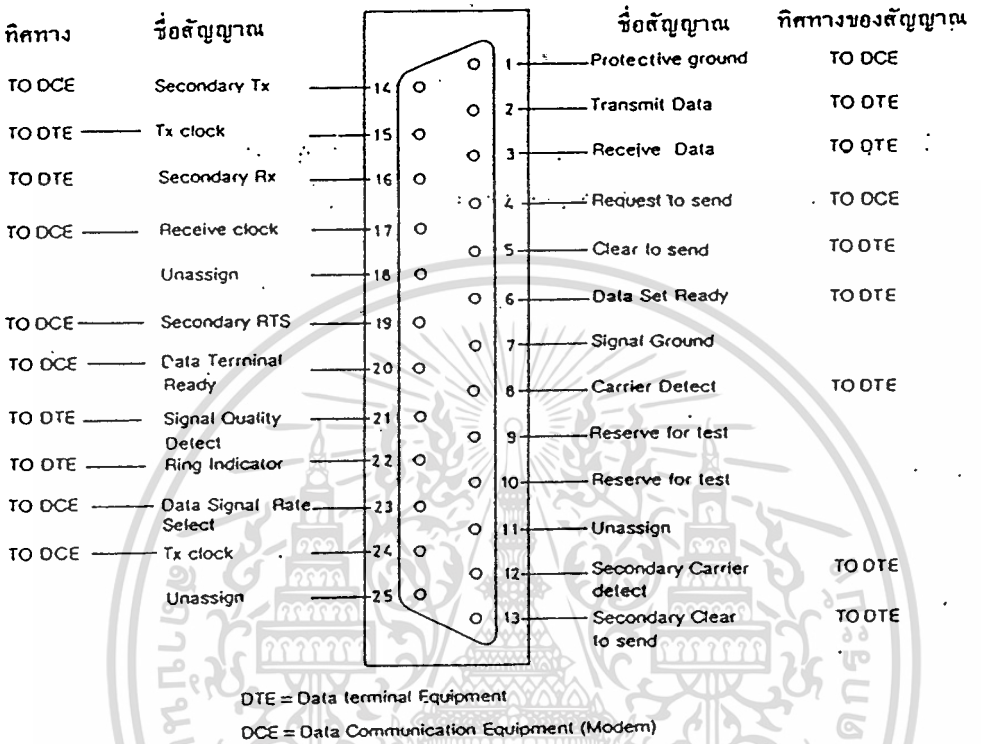
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 9.2 ขาขั้วต่อ RS-232C และหน้าที่

| Pin | Signal Name | Direction DTE | Direction DTC | Abbreviation |
|---|---|---|---|---|
| 1 | Protective (Frame) Ground | | | |
| 2 | Transmit Data | | → | XMT |
| 3 | Receive Data | | ← | RCV |
| 4 | Request To Send | | → | RTS |
| 5 | Clear To Send | | ← | CTS |
| 6 | Data Set Ready | | ← | DSR |
| 7 | Signal Ground (Common Return) | | | GRD |
| 8 | Carrier Detect | | ← | CAR_DET |
| 9 | - | | | |
| 10 | - | | | |
| 11 | - | | | |
| 12 | Secondary Carrier Detect | | ← | SEC_CAR_DET |
| 13 | Secondary Clear To Send | | ← | SEC_CTS |
| 14 | Secondary Transmit Data | | → | SEC_XMT |
| 15 | Transmit Clock (DCE Source) | | ← | XMT_CLK |
| 16 | Secondary Receive | | ← | SEC_RCV |
| 17 | Receive Clock | | ← | RCV_CLK |
| 18 | - | | | |
| 19 | Secondary Request To Send | | → | SEC_RTS |
| 20 | Data Terminal Ready | | → | STR |
| 21 | Signal Quality Detector | | ← | SQD |
| 22 | Ring Indicator | | ← | RI |
| 23 | Data Rate Selector | | → | DR_SEL |
| 24 | Transmit Clock (DTE Source) | | → | XMT_CLK |
| 25 | - | | | |

**ตารางแสดงรายการขาขั้วของ RS-232C และชื่อสัญญาณที่ใช้รวมกับขาขั้วต่อ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.15 การกำหนดของข้อต่อ RS-232C

สัญญาณต่าง ๆ ถูกมอบหมายให้ทำหน้าที่ดังนี้

Transmit data (TD ขาที่ 2)

เป็นสัญญาณที่ส่งออกจาก DTE ไปยัง DCE หรือต่อเข้ากับ DTE ตัวอื่นหรือเครื่องพิมพ์ เมื่อไม่มีสัญญาณส่งออกสถานะของลอจิกจะมีค่าเท่ากับ "1" หรือเทียบเท่ากับสต๊อปบิท

Receive data (RD ขาที่ 3)

เป็นทางของสัญญาณเข้าไปยัง DTE เมื่อไม่มีสัญญาณรับเข้ามาขานี้จะมีสถานะของลอจิกเป็น "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
036982

Request to sent (RTS ขาที่ 4)

ใช้สำหรับส่งสัญญาณไปยังโมเด็มหรือเครื่องพิมพ์เป็นการเรียกร้องที่จะส่งสัญญาณมาทางขา 2 สัญญาณที่ใช้คู่กับ CTS อุปกรณ์รับหากได้รับสัญญาณ RTS จะตรวจสอบตัวเองว่าพร้อมจะรับสัญญาณได้หรือยังหากพร้อมที่จะรับก็ส่งสัญญาณออกไปที่สาย CTS

Clear to sent (CTS ขาที่ 5)

ตัวอธิบายไว้ใน RTS เมื่อสัญญาณที่อยู่ในสภาพออฟ (Negative Voltage หรือลอจิก "1") หมายความว่า อุปกรณ์รับคำสั่งบอกว่าพร้อมที่จะรับข้อมูลแล้ว

Data Set Ready (DSR ขาที่ 6)

เมื่อสัญญาณสายนี้อยู่ในสถานะออน (หรือลอจิก "0") เป็นการบอก DTE หรือฝ่ายส่งว่าโมเด็มต่อเข้ากับสายโทรศัพท์เรียบร้อยแล้ว และพร้อมที่จะส่งได้แล้วโมเด็มที่มีการหมุนหมายเลขอัตโนมัติจะส่งสัญญาณสายนี้ไปบอกให้ DTE รู้ว่าต่อโทรศัพท์ได้สำเร็จแล้ว

Signal Ground (SG ขาที่ 7)

SG ทำหน้าที่เป็นระดับแรงดันอ้างอิงสำหรับทุก ๆ สายของสัญญาณจะมีแรงดันเป็น "0" เมื่อเทียบกับสัญญาณตัวอื่น

Carrier Defect (CD ขาที่ 8)

โมเด็มจะส่งสัญญาณที่อยู่ในสถานะออน (ลอจิก "0") ไปบอก DTE เมื่อได้รับสัญญาณจากโมเด็มของอีกฝ่ายหนึ่งสัญญาณนี้จะนำไปจุด LED บอกว่าได้รับสัญญาณจากโมเด็มอีกฝ่ายหนึ่งแล้ว LED จะอยู่บนหน้าปัดของโมเด็มเอง

Data Terminal Ready (DTR ขาที่ 20)

คอมพิวเตอร์เปิดสัญญาณสายนี้ให้ออน (ลอจิก "0") เมื่อพร้อมที่จะติดต่อกับโมเด็ม โมเด็มส่วนมากจะไม่รายงานสถานภาพของตัวเอง (CD, DSR และ CTS) ให้คอมพิวเตอร์รู้ หากคอมพิวเตอร์ไม่เปิดสัญญาณ DTR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ring Indicator (RI ขาที่ 22)

**สัญญาณที่ใช้ในโมเด็มที่เป็นระบบตอบอัตโนมัติ (Auto-answer) สัญญาณนี้จะออกเมื่อมีกระดิ่งมาและออฟระหว่างเสียงดังของกระดิ่ง**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3
## เครื่องมอนิเตอร์สัญญาณข้อมูลแบบอะซิงโครนัส

โครงงานนี้มีจุดมุ่งหมายที่จะนำเอาข้อมูลที่มีการส่งผ่านกันระหว่างคอมพิวเตอร์หรือ Terminal อื่น-ๆ ออกมาแสดงที่จอ Monitor ในรูปของตัวอักษรซึ่งสามารถเข้าใจได้ง่าย โครงงานนี้นำมาใช้งานได้ง่ายไม่ยุ่งยากและยังมีราคาถูกอีกด้วย สามารถตรวจสอบและวิเคราะห์ปัญหาที่เกิดจากการผิดพลาดในการรับส่งข้อมูลระหว่างคอมพิวเตอร์หรือ Terminal ได้เป็นอย่างดี

### 1. การออกแบบทาง HARDWARE

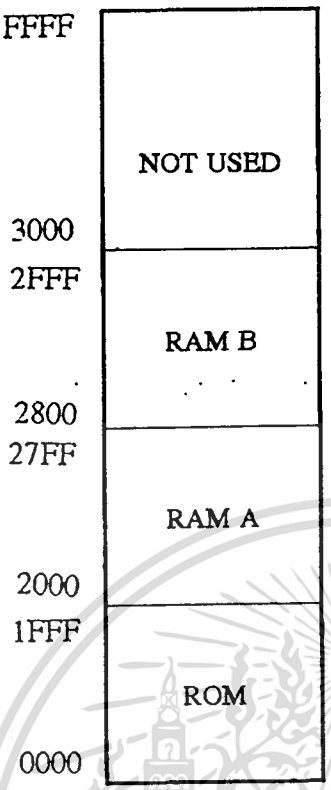
โดยการหาข้อมูลและวิเคราะห์ความเป็นไปได้ของอุปกรณ์ต่าง ๆ ที่จะนำมาประกอบเป็นส่วนของ HARDWARE เมื่อได้ครบตามขอบเขตของเครื่องมือที่ต้องการจะสร้างและจึงได้กำหนดส่วนต่าง ๆ ของระบบดังนี้

### 1.1 ผังแอดเดรส

Z80 เป็นไมโครโปรเซสเซอร์ที่มีบัสแอดแดรส 16 เส้น (A0-A15) นั่นหมายถึง Z80 สามารถติดต่อกับแอดเดรสต่าง ๆโดยตรงได้ถึง $2^{16}$ หรือเท่ากับ 65,536 ตำแหน่งหรือ 64K ตำแหน่ง

ก่อนที่จะทำการสร้างระบบทาง HARDWARE ผู้ออกแบบจำเป็นต้องกำหนดโครงสร้างของผังหน่วยความจำ (Memory map) เสียก่อน เนื่องจากผังหน่วยความจำเป็นสิ่งที่บอกให้ทราบว่าตำแหน่งของ ROM, RAM และอุปกรณ์ I/O อยู่ที่ไหน ในรูปที่ 3.1 ได้แสดงถึงผังหน่วยความจำจะเห็นว่าในรูปนี้ เราแบ่งตำแหน่งออกเป็นกลุ่มตามหน้าที่ของการทำงานและในกลุ่มของ ROM และ RAM ที่แสดงไว้นี้ได้เผื่อไว้สำหรับหน้าที่เฉพาะที่อาจจำเป็นต้องใช้ด้วย
ค่าแอดเดรส 0000H จะใช้เป็นแอดเดรสเริ่มต้นของหน่วยความจำแบบ ROM เมื่อ CPU ถูกรีเซทจากภายนอกหรือเป็นการรีเซทที่เกิดจากการจ่ายไฟเลี้ยงให้แก่ระบบในครั้งแรก ค่าของโปรแกรมเคาน์เตอร์จะเป็น 0000H CPU ก็จะเริ่มทำงานตามโปรแกรมคำสั่งที่เริ่มต้นจากตำแหน่งนี้ ซึ่งจะเป็นโปรแกรมควบคุมให้ระบบทำงานตามต้องการที่เรียกว่า โปรแกรมมอนิเตอร์
( Monitor Program ) และถูกกำหนดให้ตำแหน่งเริ่มต้นโปรแกรมอยู่ที่ 0000H เสมอในส่วนของหน่วยความจำเป็น RAM ได้จัดแบ่งพื้นที่ออกเป็น พื้นที่ใช้งาน (User Area) พื้นที่ข้อมูล (Data Area) และพื้นที่สแตก (Stack Area) ดังแสดงในรูปที่ 3.2

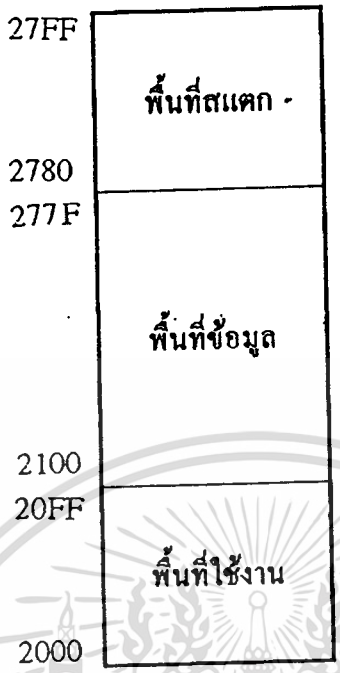
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.1 ผังหน่วยความจำของระบบ

หลังจากกำหนดผังหน่วยความจำแล้ว กำหนดให้หน่วยความจำแบบ ROM อยู่ที่ตำแหน่ง 0000H-1FFFH เท่ากับ 8192 ตำแหน่ง หรือ 8K ตำแหน่ง เลือกใช้ EPROM เบอร์ 27C64 ซึ่งมีบัสแอดเดรส 13 เส้น (A0-A12) มีขนาดหน่วยความจำ 8192* 8 บิท หรือ 8K ไบท์ ให้หน่วยความจำแบบ RAM อยู่ที่ตำแหน่ง 2000H-27FFH เท่ากับ 2048 ตำแหน่ง หรือ 2K ตำแหน่ง เลือกใช้ Static RAM เบอร์ 6116 ซึ่งมีบัสแอดเดรส 11 เส้น (A0-A10) มีขนาดหน่วยความจำ 2048* 8 บิท หรือ 2K ไบท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.2 การจัดแบ่งพื้นที่หน่วยความจำแบบ RAM

**1.2 การสร้างสัญญาณเลือกอุปกรณ์**

ในระบบของ Z80 นั้นจะมีบัสแอดเดรสอยู่ 16 เส้น แต่จะถูกใช้ในการบ่งบอกตำแหน่งของ Input/Output port เพียง 8 เส้นเท่านั้น ซึ่งก็คือ Z80 สามารถจะติดต่อกับอุปกรณ์ Input/Output ได้ถึง $2^8$ เท่ากับ 256 port โดยที่ระบบที่ใช้บ่งบอกตำแหน่งของพอร์ตนั้นจะต้องเป็นลักษณะการวางผัง input/output แบบมาตรฐาน (Standard I/O Map)

เนื่องจากการบ่งตำแหน่งของอุปกรณ์ Input/Output และของหน่วยความจำในระบบของ Z80 ใช้บัสแอดเดรสชุดเดียวกัน ไมโครโปรเซสเซอร์จึงต้องมีสัญญาณ IORQ (Input/Output Request) แยกออกจาก MREQ (Memory Request) ในส่วนของการถอดรหัสได้ใช้สัญญาณแอดเดรสที่แตกต่างกันเท่านั้นมาถอดรหัสใช้ IC Decoder เบอร์ 74HC139A ภายในจะประกอบด้วยวงจรถอดรหัสจำนวน 2 ชุด กำหนดให้วงจรถอดรหัสชุดหนึ่งเลือกหน่วยความจำและอีกชุดหนึ่งเลือกอุปกรณ์ Input/Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การถอดรหัสของหน่วยความจำได้ใช้สัญญาณ A13 และ A14 ร่วมกับสัญญาณ MREQ ดังนี้

| MREQ | A14 | A13 | |
|---|---|---|---|
| 0 | 0 | 0 | จะต้องถอดรหัสเป็น # EPROM |
| 0 | 0 | 1 | จะต้องถอดรหัสเป็น # RAM |

การถอดรหัสของอุปกรณ์ input/output ได้ใช้สัญญาณ A4 และ A5 ร่วมกับสัญญาณ IORQ ดังนี้

| IORQ | A5 | A4 | |
|---|---|---|---|
| 0 | 0 | 0 | จะต้องถอดรหัสเป็น USART |
| 0 | 0 | 1 | จะต้องถอดรหัสเป็น # 74HC245A |
| 0 | 1 | 0 | จะต้องถอดรหัสเป็น LCM |
| 0 | 1 | 1 | จะต้องถอดรหัสเป็น # 74HC174 |

**1.3 การเชื่อมต่อระหว่าง USART กับ Z80**

การนำ USART ไปใช้งานร่วมกับ Z80 นั้นสามารถต่อบัสข้อมูลของ 82C51A (D0 -D7) เข้ากับบัสข้อมูลของ Z80 (D0 -D7) ได้โดยตรง

ขา CS ของ 82C51A ได้จากการถอดรหัสแอดเดรสโดย 74HC139A ส่วนขา A0 ของ Z80 จะต่อเข้ากับขา C/D ของ 82C51A โดยตรงจะได้ค่า Port Address ของ 82C51A เป็น 00H สำหรับ Data Register และ 01H สำหรับ Control Register

ขา RD และ WR ของ 82C51A นั้นจะต่อเข้ากับขา RD และ WR ของ Z80 โดยตรงขา Reset ของ 82C51A ต่อกับ IC Power Reset TL 7705

ขา Clock ของ 82C51A ถูกต่อเข้ากับสัญญาณนาฬิกาของระบบโดยตรงสัญญาณนาฬิกาที่ใช้ในการกำหนด Buad Rate นั้นจะถูกนำไปป้อนให้กับขา REC สัญญาณนี้จะต้องมากกว่า 30 เท่าของความถี่สัญญาณนาฬิกาที่ใช้ระบบนั่นคือที่ Buad Rate เท่ากับ 19.2 Kbps ความถี่ที่ใช้เป็นสัญญาณนาฬิกาของระบบอย่างน้อยจะต้องเท่ากับ 576 Kbps ในที่นี้ใช้สัญญาณนาฬิกาของระบบเท่ากับ 1.8432 Mhz ผ่านวงจรหาร 6 (74HC92) แล้วผ่านวงจรหาร 2 (74HC4020) อีก 4 ครั้งก็จะได้ความถี่สัญญาณนาฬิกาเป็น 19.2 Kbps ที่ RXC ของ 82C51A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากนำความถี่ 19.2 Kbps นี้มาหาร 2 ต่อไปเรื่อย ๆ ก็จะได้สัญญาณนาฬิกาเป็น 9600, 4800, 2400, 1200, 600, 300 BPS ตามลำดับ ดังนั้นใช้สัญญาณนาฬิกาที่ Buad Rate ต่าง ๆ นี้ผ่านวงจร Multiplexer (74C151) เพื่อป้อนที่ขา RXC ของ 82C51A การเลือก Buad Rate ก็จะสามารถกระทำได้โดยสัญญาณควบคุมวงจร Multiplexer ให้ต่อผ่านสัญญาณนาฬิกาที่ต้องการสัญญาณควบคุมวงจร Mutiplexer นี้จะถูกสั่งจาก Z80 ผ่านวงจร D Latch (74HC174)

ขาสัญญาณที่ใช้การติดต่อกับ Modem นี้ไม่จำเป็นสำหรับการติดต่อกับอุปกรณ์เชื่อมต่อจึงทำการต่อขา DSR กับ DTR และต่อขา RTS กับ CTS เพื่อให้ 82C51A ทำงานได้โดยไม่ต้องรับส่งสัญญาณเหล่านี้กับอุปกรณ์เชื่อมต่อ 82C51A จะรับข้อมูลทาง RXD ซึ่งในที่นี้รับจาก RS-232C จึงต้องผ่านวงจรแปลงระดับสัญญาณให้เป็นระดับที่ใช้อุปกรณ์ประเภท TTL ก่อน ซึ่งจะได้กล่าวต่อไป

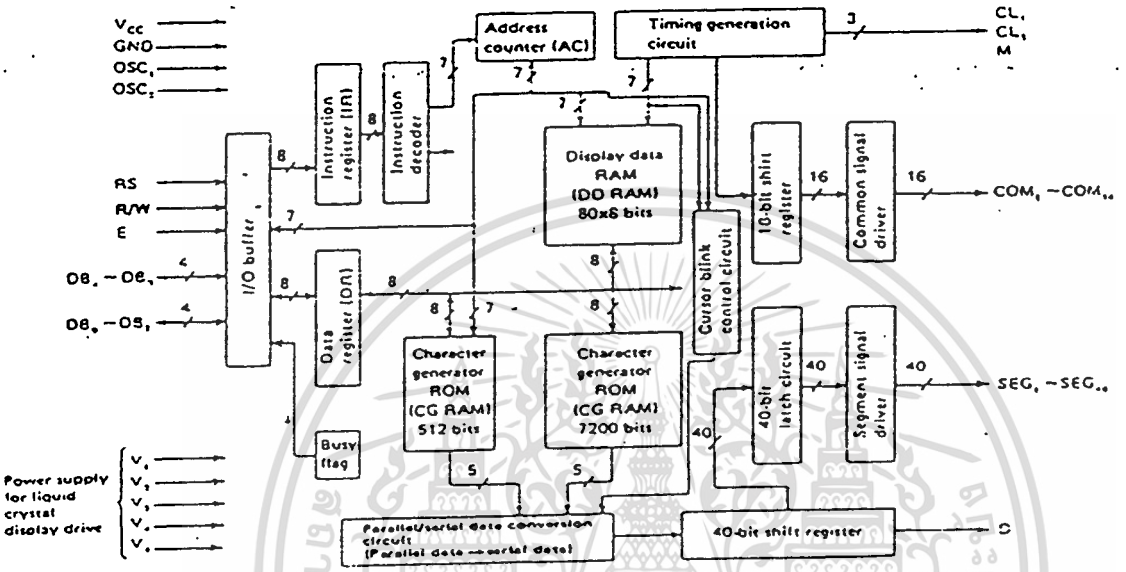
## 1.4 LCD

LCD ใช้ในภาคแสดงผลเป็นจอแสดงผลแบบผลึกเหลวมีลักษณะพิเศษ คือ สามารถแสดงอักขระได้ครบทุกตัวและเครื่องหมายพิเศษบางตัวได้สามารถใช้งานได้ง่าย เนื่องจากเป็นลักษณะของโมดูล ในโมดูลจอ LCD จะมีตัวควบคุมที่ทำหน้าที่สแกนหรือที่เรียกว่า คอนโทรลเลอร์ เมื่อต้องการใช้แสดงอะไรก็ทำการส่งข้อมูลไปให้คอนโทรลเลอร์เหมือนกับการเอาต์พุตธรรมดาถ้าไม่ต้องการเปลี่ยนแปลงการแสดงผลก็สามารถไปทำงานอื่นได้โดยที่การแสดงผลก็ยังคงทำงานปกติจนกว่าต้องการเปลี่ยนการแสดงผลจึงจะส่งข้อมูลไปใหม่

โมดูล LCD ที่ใช้ในโครงงานนี้คือ เบอร์ 16416H ของอีทีที ซึ่งเป็นโมดูล LCD ที่มีการแสดงผลแบบ 16 ตัวอักษร 4 บรรทัด โดยมี HD44780 เป็นคอนโทรลเลอร์บล็อกไดอะแกรมการทำงานของ HD44780 แสดงดังในรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block diagram of HD44780 interior



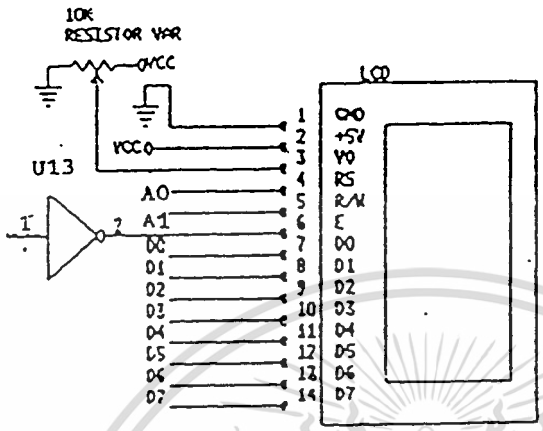

รูปที่ 3.3 บล็อกไดอะแกรมภายในของ HD44780

การต่อ LCD Module กับ CPU Z80

สามารถต่อ LCD Module เข้ากับ bus ของ Z80 CPU ได้โดยตรงตามวงจรดังรูป โดยให้ LCD Module เป็น port หนึ่งของระบบหมายเลข 20 ถูกเลือก port โดย 74HC139 ต่อเข้ากับขา Enable ของ LCD Module และใช้ A0 เป็นสัญญาณ RS และ A1 เป็นขาสัญญาณ R/W สำหรับการปรับความสว่างของจอ LCD ใช้ VR1 10K ดังในรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาต่าง ๆ ในการต่อใช้งาน HD44780




รูปที่ 3.4 การต่อ LCD MODULE กับ CPU Z80

1. RS (Register Selection) จะเป็นขาเลือก Register ภายในซึ่งมีอยู่ 2 ตัว คือ Instruction Registor (IR) และ Data Registor (DR) โดยถ้าเป็น 1 จะเป็นการเลือก Data และถ้าเป็น 0 จะเป็นการเลือก Instruction

2. R/W (Read/Write) เป็นตัวเลือกว่าจะเขียนหรือจะอ่านข้อมูลจากตัว IC โดยอ่านข้อมูล =1, เขียนข้อมูล = 0

3. E (Enable Signal) เป็นขากำหนดสภาพการรับเขียนอ่านข้อมูล

4. DB0-DB7 เป็นขารับส่งข้อมูลจากตัว IC

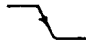
5. VDD ไฟเลี้ยงตัววงจร

6. VSS เป็นขา GND

7. VO เป็นขารับ Voltage ในการขับ LCD ให้สว่างหรือมืด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The relation between the operation and the combination of RS, R/W

| RS | RW | E | OPERATION |
|---|---|---|---|
| 0 | 0 | | Write instruction code |
| 0 | 1 | | Read busy flag and address counter |
| 1 | 0 |  | Write data |
| 1 | 1 | | Read data |

When performing data and instruction code by 4 bit, transfer RS, R/W every time.

รูปที่ 3.5 สภาวะลอจิกของขาต่าง ๆ ในการใช้งาน

| PORT NUMBER | FUNCTION |
|---|---|
| 20 | เขียนคำสั่ง |
| 21 | อ่านสถานะของ LCD |
| 22 | เขียนข้อมูล |
| 23 | อ่านข้อมูล |

ตารางที่ 3.1 แสดงหมายเลขพอร์ตที่ติดต่อกับ LCD

เมื่อเราเริ่มเปิดไฟป้อนให้ HD44780 นั้นก็จะทำการ RESET ตัวมันเองโดยใช้เวลาประมาณ 10 ms หลังจากไฟ VDD ถึง 4.5 VOLT แล้ว โดยจะ SET ตัวเองดังนี้

1. Display Clear จะทำการลบข้อมูลจอภาพ LCD
2. Function Set โดยจะ set ค่าภายใน

   DL = 1 : เป็นการ set ให้การติดต่อแบบ 8 bit

   N = 0 : set เป็น 1 บรรทัดการแสดงผล

   F = 0 : 5*7 ต่อหนึ่งตัวอักษร
3. Display ON/OFF

   D = 0 : Display OFF

   C = 0 : Cursor OFF

   B = 0 : Blink OFF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. Entry Mode Set I/D = 1 : +1 (เพิ่มค่า Counter ขึ้น 1)

S = 0 : no Shift

เมื่อเราเริ่มเปิดเครื่องทำงานแล้วก็จะต้องส่งค่าสั่งควบคุมให้มันเริ่มทำงาน ดังตารางที่ 3.2

5. Cursor or Display Shift

เป็นคำสั่งกำหนดให้ตำแหน่ง Cursor หรือข้อมูลไปเกิดทางซ้ายหรือขวาโดยไม่ต้องใช้คำสั่งเขียนหรืออ่านโดย S/C = 0, R/L = 1 คือ ทำการย้าย Cursor ไปจากตำแหน่งเดิมไปทางขวามือ 1 ตำแหน่ง

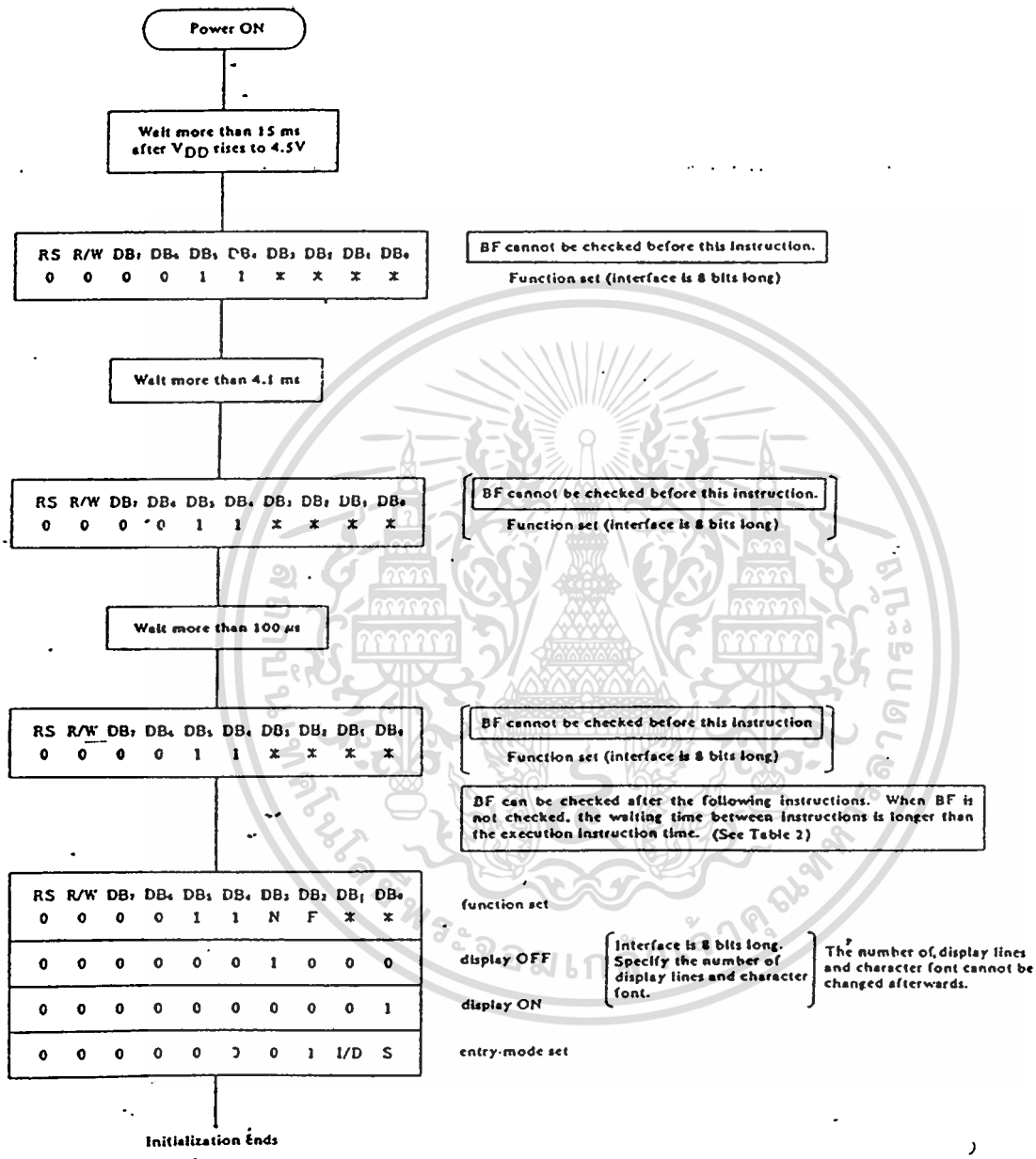
6. Set DD RAM Address

เป็นคำสั่ง set ค่า Address ใน DD RAM ในการเขียนหรืออ่านจาก DD RAM (DD RAM คือ ส่วนที่จะแสดงผลหน้าจอ LCD) โดยจำนวน Address ที่จะเกิดขึ้นบนจอ LCD จะอยู่กับ set ค่า N ด้วย

ถ้า N = 0 ( 1 บรรทัด) Address จะอยู่ 00H-4FH

ถ้า N = 1 ( 2 บรรทัด) Address จะอยู่ 00H-27H สำหรับบรรทัดที่ 1 และ 40H-67H สำหรับบรรทัดที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ตารางที่ 3.2 แสดงลำดับการทำงานของคอนโทรลเลอร์

การนำไปใช้งาน คือ สามารถกำหนดตำแหน่งของ Cursor ให้ไปปรากฏอยู่ที่ตำแหน่งใดก็ได้ตามต้องการโดยต้อง set ค่าตามรูปข้างบน และใช้ DB0-DB7 เป็นตัวกำหนดตำแหน่งของ Cursor ดูได้จากรูปที่ 3.6 เสร็จแล้วจึงส่งออกไปที่พอร์ตเขียนคำสั่ง ดังตัวอย่างข้างล่าง

เอกสารนี้ถูกจัดทำขึ้นเพื่อการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LD      A,45H           ; กำหนดตำแหน่ง cursor บรรทัดที่ 2 ตำแหน่งที่ 5
SET     7,A             ; อยู่ในโหมด set DD RAM Address
OUT     ( LCD_INST )    ; ส่งออกไปที่พอร์ตเขียนคำสั่ง
```

จากตัวอย่าง Cursor จะกระโดดไปที่ตำแหน่งบรรทัดที่ 2 ตำแหน่งที่ 6 ทันทีในรูปที่ 3.6 เป็นการจัด Address ของ DD RAM หน้าจอ LCD แบบ 16 ตัวอักษร 4 บรรทัด HDM-16416H

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | ← display position |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 1-line | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F | ← DD RAM address |
| 2-line | 40 | 41 | 42 | 43 | 44 | 45 | 46 | 47 | 48 | 49 | 4A | 4B | 4C | 4D | 4E | 4F | |
| 3-line | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 1A | 1B | 1C | 1D | 1E | 1F | |
| 4-line | 50 | 51 | 52 | 53 | 54 | 55 | 56 | 57 | 58 | 59 | 5A | 5B | 5C | 5D | 5E | 5F | |

รูปที่ 3.6 HDM-16416H

7. Read busy flag and Address

เป็นคำสั่งอ่านค่า busy flag ซึ่งจะเป็นตัวบอกว่าตัว HD 4478 นี้อยู่ในขบวนการทำงานภายในอยู่หรืออยู่ในสภาพพร้อมจะรับโดย

BF = 1 อยู่ในขบวนการทำงานภายในไม่พร้อมจะรับข้อมูลหรือคำสั่ง

BF = 0 พร้อมจะรับข้อมูลหรือคำสั่งได้

และนอกจากนี้ยังเป็นคำสั่งอ่านค่าข้อมูล address ของ CG RAM หรือ DD RAM ด้วย

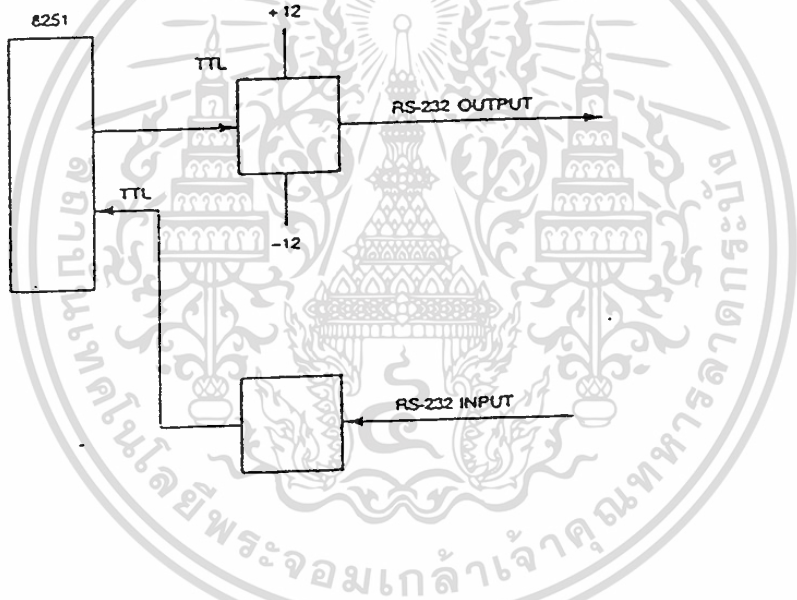
8. Write data to CG หรือ DD RAM

เป็นคำสั่งเขียนข้อมูลเข้าไปใน CG หรือ DD RAM โดยเมื่อเขียนข้อมูลและ address จะเพิ่มหรือลดโดยอัตโนมัติตามคำสั่งที่ set ใน entry mode ข้อกำหนดที่จะรู้ว่าเป็นการเขียนข้อมูลของ CG RAM หรือ DD RAM ทำได้โดยการ set address ของ CG RAM หรือ DD RAM ขึ้นมาก่อนจะเขียนข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.5 การเชื่อมต่อกับสายส่งข้อมูล

การรับ-ส่งข้อมูลแบบอนุกรมนั้นนิยมนำไปใช้ในการรับ-ส่งข้อมูลในระยะทางไกลเพราะสามารถที่จะลดค่าใช้จ่ายในการวางสายลงได้มาก แต่อย่างไรก็ตามระดับสัญญาณที่ใช้ในวงจร (+5 V) นั้นไม่สามารถที่จะส่งไปได้ไกลนักดังนั้นก่อนที่จะส่งข้อมูลไปในสายส่งจะต้องทำการเปลี่ยนระดับแรงดันของสัญญาณใหม่เพื่อให้สามารถที่จะส่งสัญญาณได้ไกลขึ้น แต่การที่จะเปลี่ยนระดับของสัญญาณไปเท่าใดนั้นอยู่กับมาตรฐานที่ใช้ในการส่งการรับ-ส่งข้อมูลที่ใช้มาตรฐาน RS-232C ในการส่งข้อมูลและการเปลี่ยนจากระดับของ RS-232C ไปเป็นระดับสัญญาณ TTL ในการรับข้อมูลจากสายส่ง




รูปที่ 3.7 บล็อกไดอะแกรมแสดงการเปลี่ยนระดับของสัญญาณ

อุปกรณ์ที่ใช้ในการทำหน้าที่ทั้งสองอย่างนี้ก็คือ IC เบอร์ MC 1488 ซึ่งทำหน้าที่ในการเปลี่ยนระดับของสัญญาณจาก TTL ไปเป็น RS-232C และ MC 1489 ซึ่งทำหน้าที่ในการเปลี่ยนระดับของสัญญาณจาก RS-232C ไปเป็น TTL

ในที่นี้อุปกรณ์ที่ใช้รับข้อมูลจาก RS-232C เท่านั้น ได้ใช้ MC 1489 ตัวหนึ่งเพื่อแปลงระดับสัญญาณ RS-232C ของข้อมูลที่รับมาทางขา TXD ของ RS-232C เป็นระดับสัญญาณ TTL ป้อนที่ขา RXD ของ 82C51A และใช้ MC 1489 อีกตัวหนึ่งสำหรับแปลงระดับสัญญา RS-232C ของสัญญาณที่ใช้ในการติดต่อกับ MODEM ให้เป็นสัญญาณระดับ TTL เพื่อที่จะสามารถทำการมอนิเตอร์คูสัญญาณเหล่านี้ได้

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

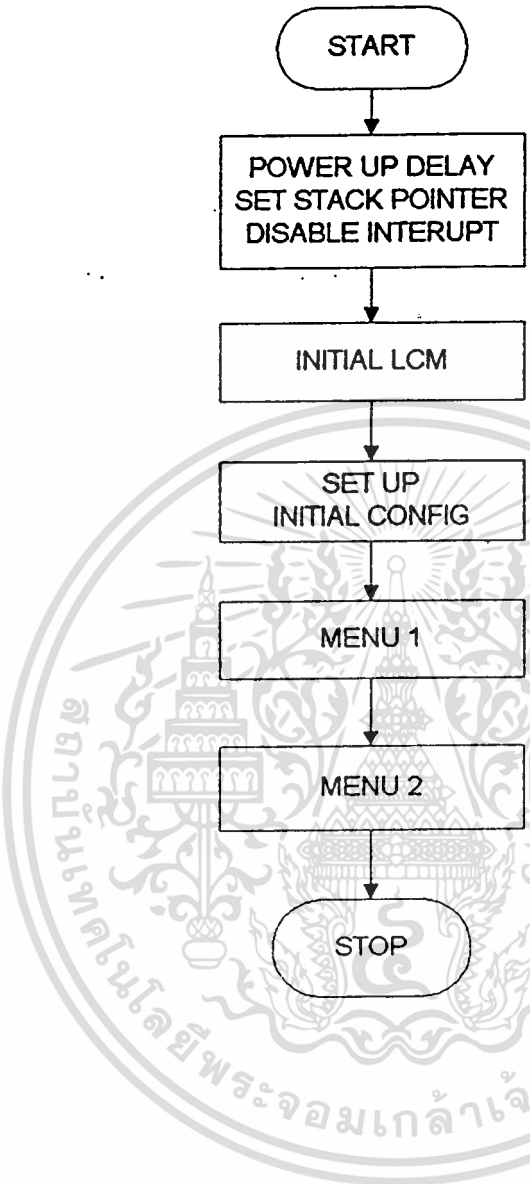
**2. การออกแบบทาง SOFTWARE**

โดยวิเคราะห์จากความสามารถและขอบเขตของอุปกรณ์ทาง HARDWARE ที่ได้ออกแบบไว้แล้วและกำหนด Function การใช้งานต่าง ๆที่ต้องการ ซึ่งได้แสดงใน Configuration Table ดังนี้

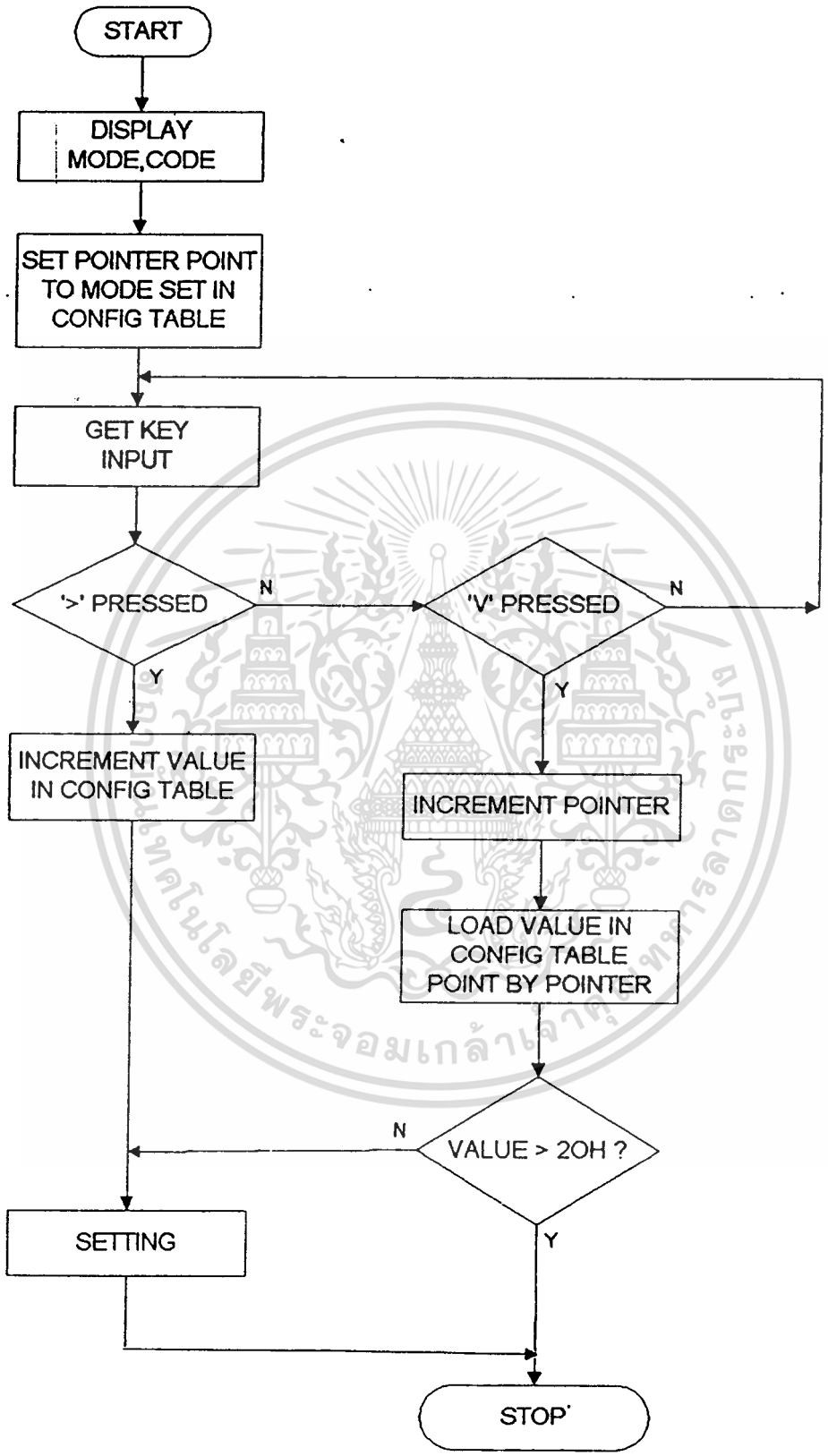
| เลขที่ | พารามิเตอร์ | ค่า | การทำงาน |
|---|---|---|---|
| 2040H | โหมดการแสดงผล | 01* | SINGLE |
| | MODE | 02 | MULTIPLE |
| 2041H | แสดงผลในรูปรหัส | 11* | ASCII |
| | CODE | 12 | HEXADECIMAL |
| | | 13 | BINARY |
| 2042H | BAUD RATE | 21* | 19200 |
| | | 22 | 9600 |
| | | 23 | 4800 |
| | | 24 | 2400 |
| | | 25 | 1200 |
| | | 26 | 600 |
| | | 27 | 300 |
| 2043H | PARITY BIT | 31* | EVEN |
| | | 32 | ODD |
| | | 33 | NONE |
| 2044H | STOP BIT | 41* | 2 |
| | | 42 | 1.5 |
| | | 43 | 1 |
| 2045H | DATA BIT | 51* | 8 |
| | | 52 | 7 |
| | | 53 | 6 |
| | | 54 | 5 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

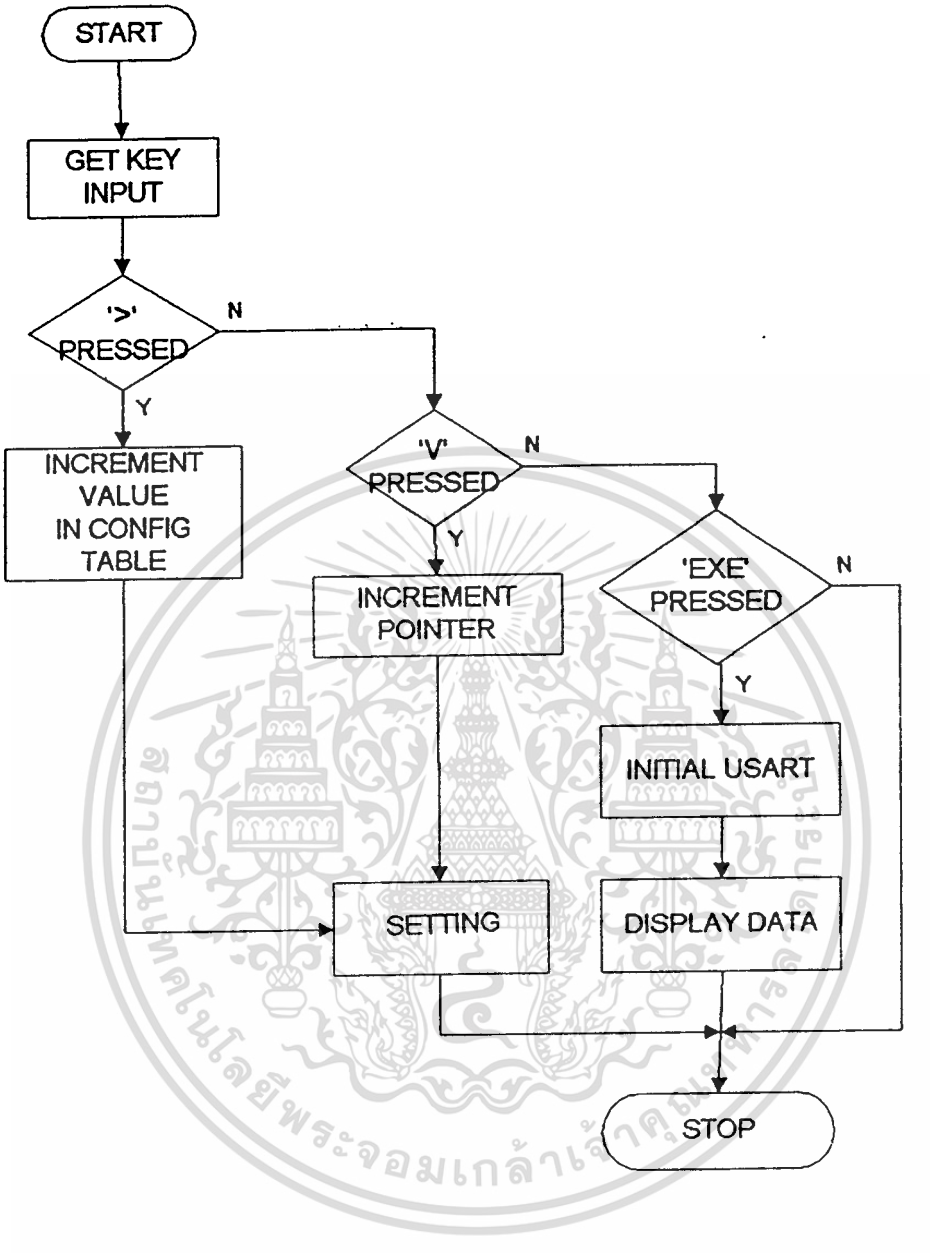
ตารางที่ 3.3 แสดง Configuration Table (* ค่าเริ่มต้น )



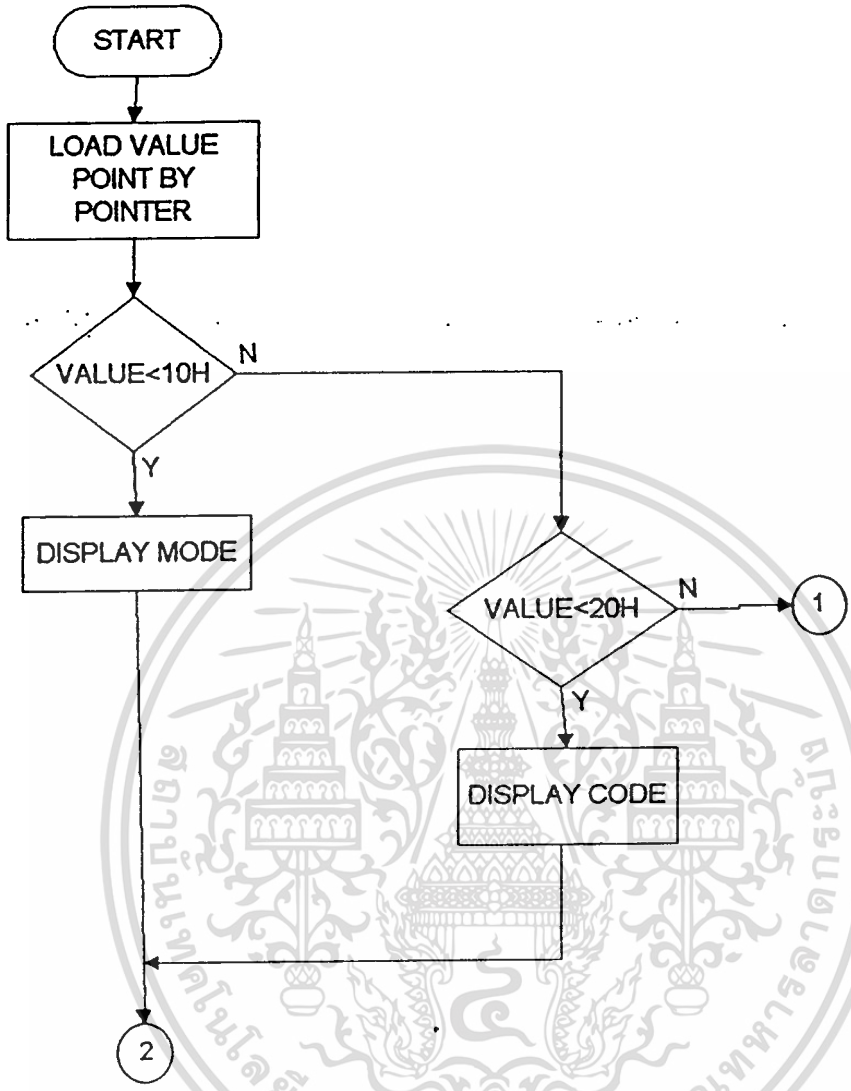

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



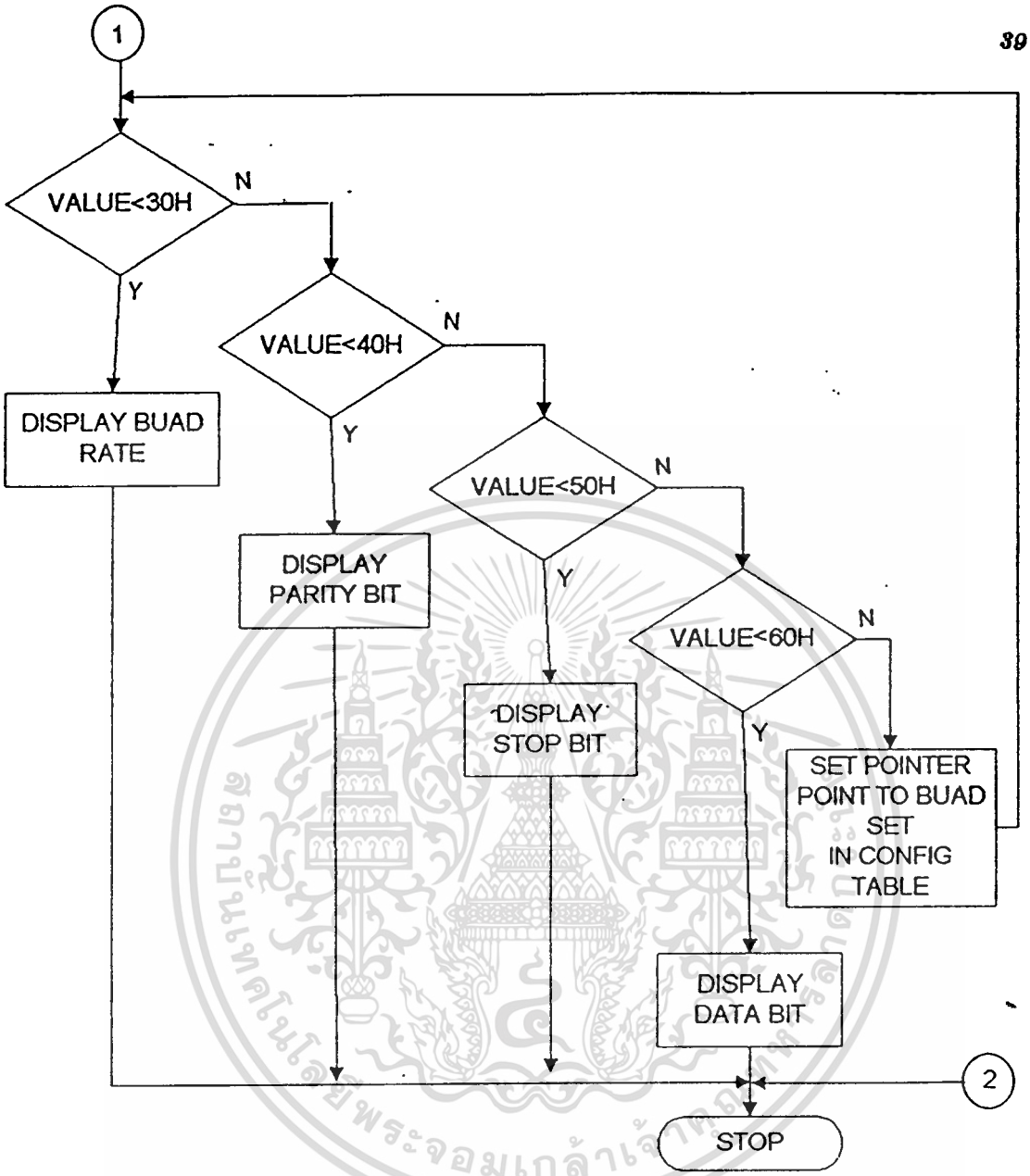

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



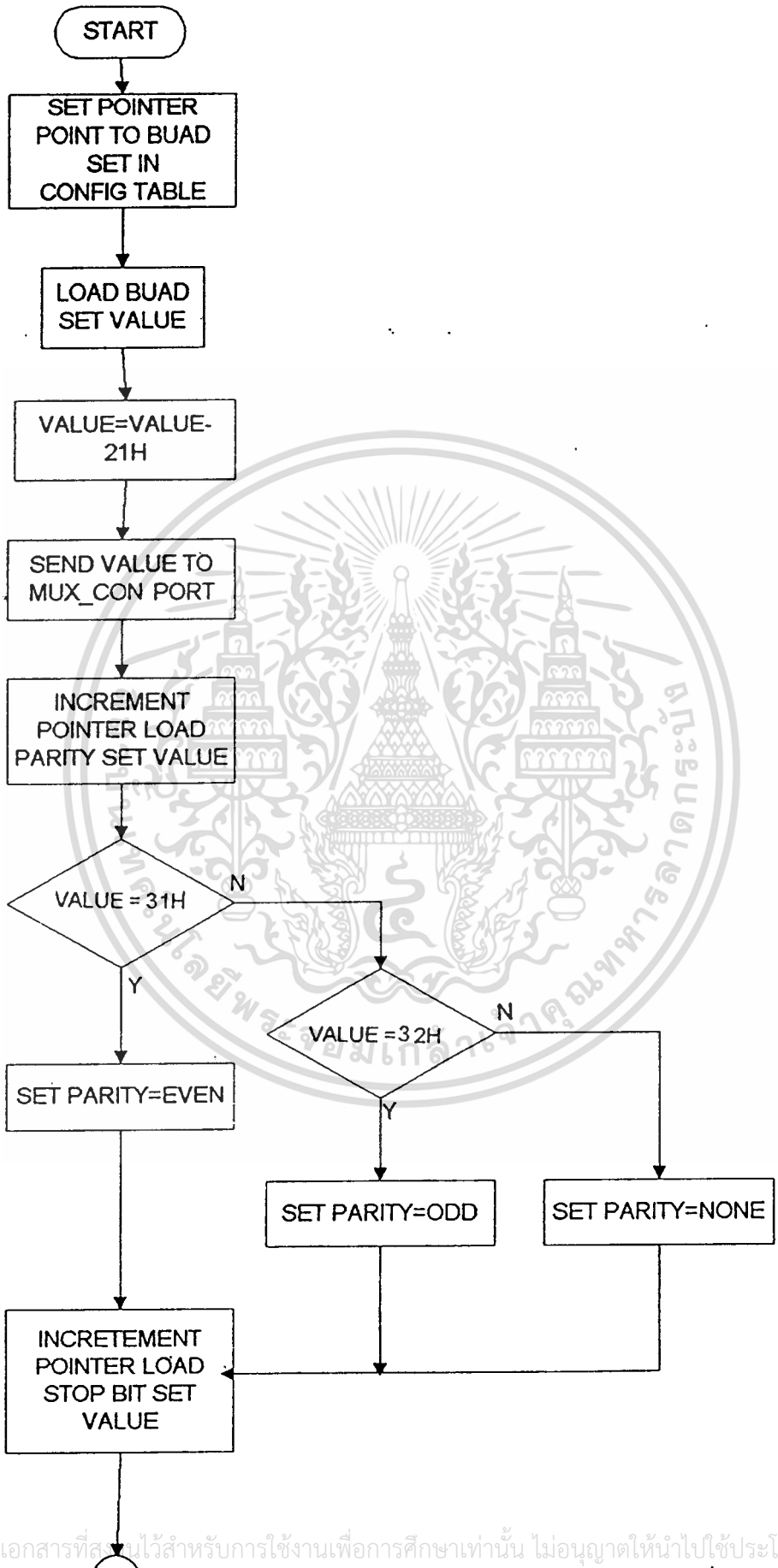

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



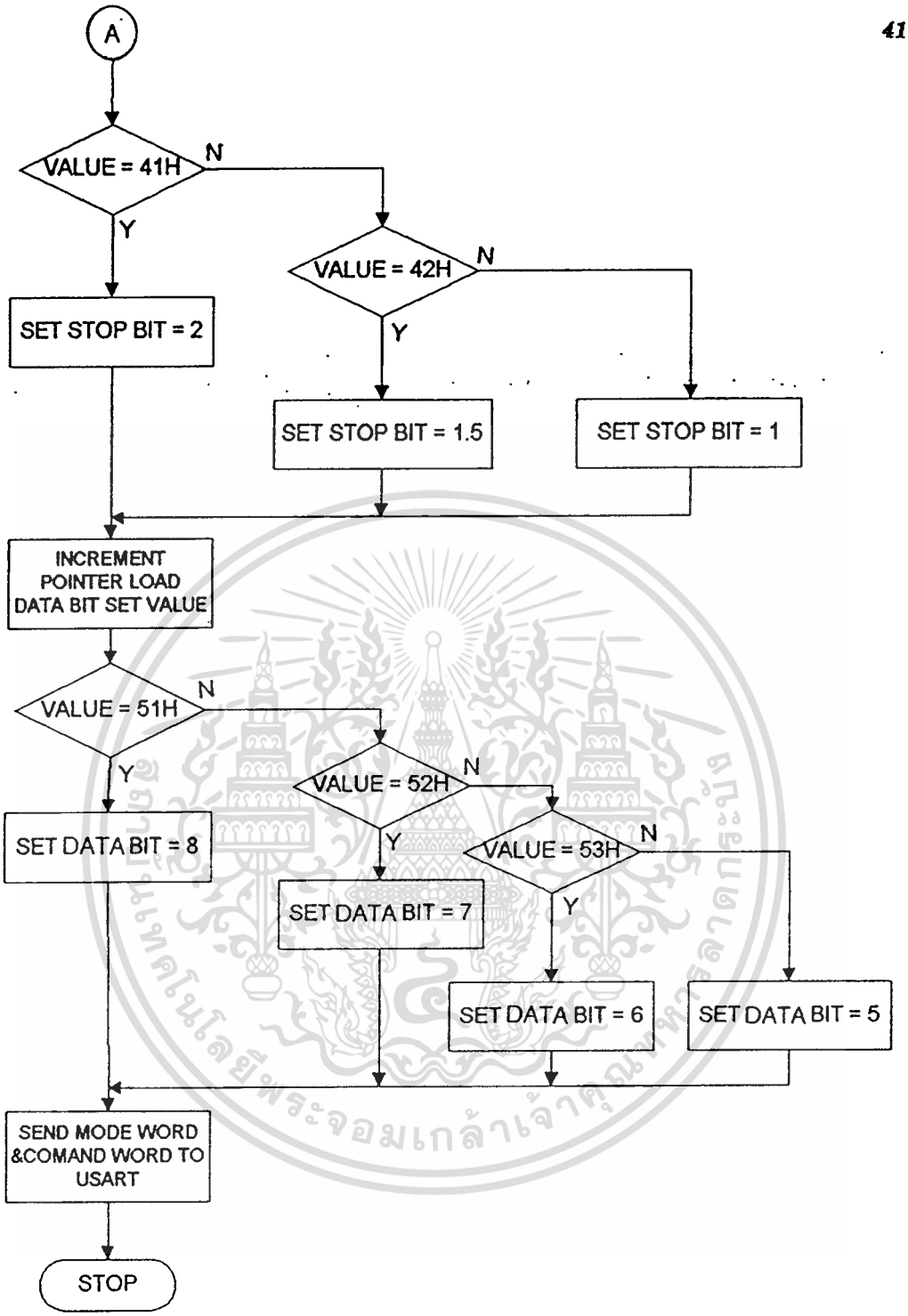

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



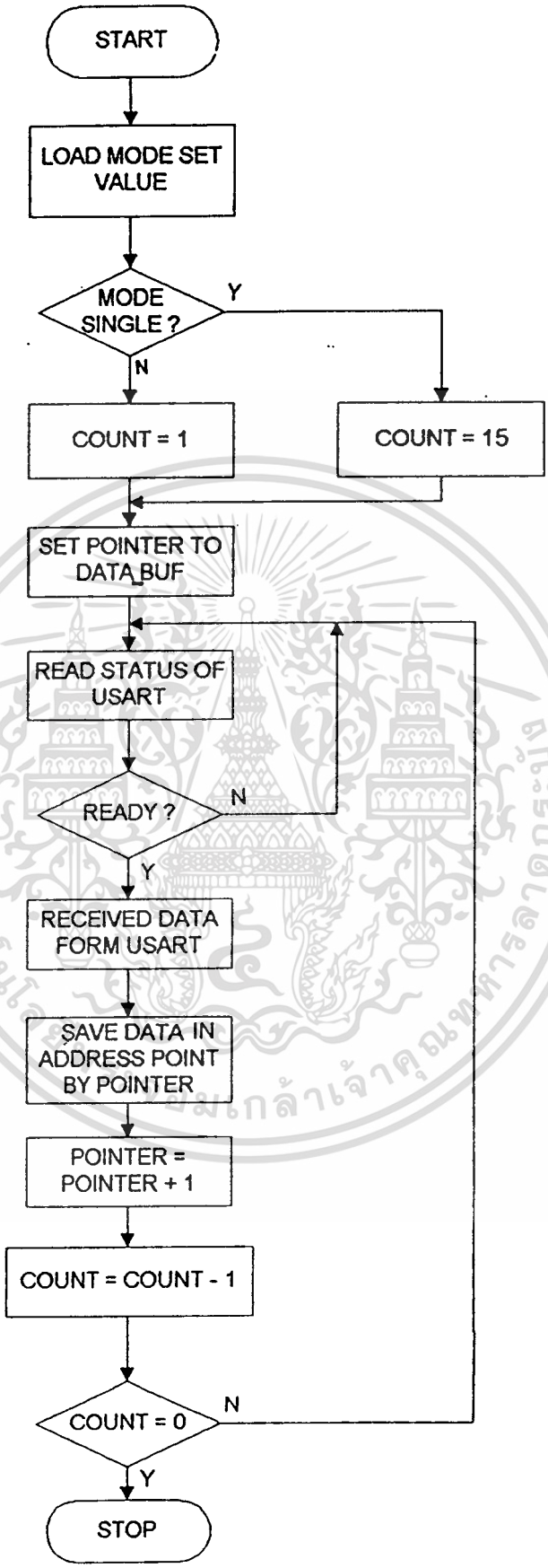

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



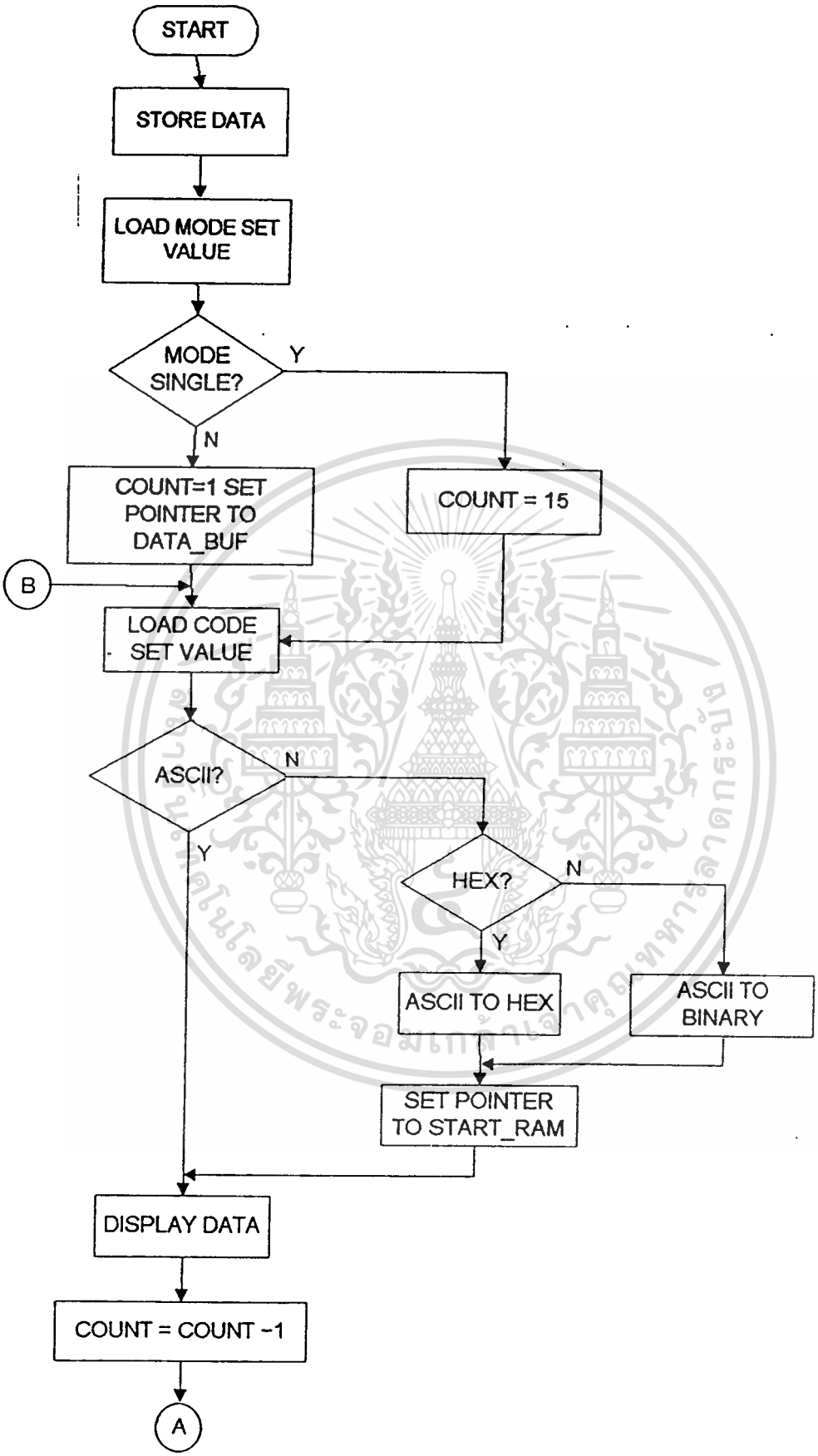

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



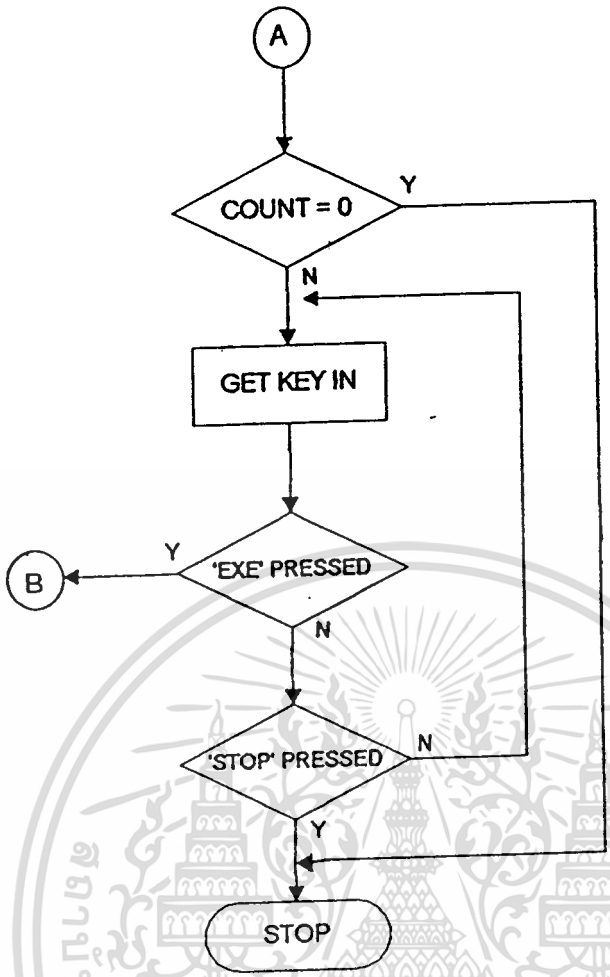

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4
## การทำงานของวงจร

เครื่องมอนิเตอร์สัญญานอะซิงโครนิสนี้มีหลายส่วนด้วยกัน ที่จะต้องทำการทดสอบโดยเฉพาะอย่างยิ่ง วงจรกำเนิดสัญญาณนาฬิกา ในการทำให้สามารถทำงานได้ที่อัตราบอด (Baud Rate) ต่าง ๆ ได้อย่างเที่ยงตรง ซึ่งเป็นส่วนที่สำคัญมากในโครงงานนี้ นอกจากนั้นยังต้องคำนึงถึงการตรวจจับ (Detect) ข้อมูลที่รับเข้ามา โดยจะต้องทำการตั้งพารามิเตอร์ต่าง ๆ ให้ถูกต้องตรงกับข้อมูลที่ได้รับ จึงจะสามารถแสดงข้อมูลออกมาที่จอ LCD ได้อย่างถูกต้อง

### 1. การตรวจสอบการทำงานของวงจรที่ออกแบบ

จากวงจรที่ออกแบบในภาคผนวก ค ประกอบด้วยภาคหน่วยประมวลผลกับหน่วยความจำชนิด ROM และหน่วยความจำชนิด RAM วงจรถอดรหัสวงจรรับข้อมูลจากสวิทช์กด ภาครับสัญญาณข้อมูลจากพอร์ตอนุกรม และภาคแสดงผลทางจอ LCD

ได้ทำการเขียนโปรแกรมมอนิเตอร์ (Mornitor Program) เป็นภาษาแอสเซมบลี้ โปรแกรมแอสเซมเบอลร์ T80 นำซอส์สโปรแกรม (Source Program) ไปแปลเป็นไฟล์เลขฐานสอง (Binary File) และลิสติ้งไฟล์ (Listing File) จะสะดวก และสามารถตรวจสอบความผิดพลาดได้ง่าย เมื่อแก้ไขโปรแกรมให้ถูกต้องแล้ว นำไฟล์เลขฐานสอง ที่ได้ไปทำการเขียนลงบนตัว Eprom โดยเครื่องโปรแกรม Eprom

ใช้เครื่องคาต้าเทสเตอร์ (Data Tester) ส่งรูปแบบ (Test Pattern) Test ต่อเนื่องด้วยรหัสแอสกี้ (ASSCII) ,อัตราบอด (Baud Rate) 19.2 Kbps พาริตี้คู่ (Even Parity) , 2 Stop Bit , 7 Data Bit เข้าที่พอร์ตอนุกรม (Serial Port) IC U9 (USART) สามารถรับข้อมูลซึ่งถูกแปลงแรงดันจากระดับ V.24 เป็นแรงดันระดับ TTL โดย IC U10 (Line Reciever) ที่อัตราบอด 19.2 Kbps เก็บข้อมูลไว้ในหน่วยความจำชนิด RAM แล้วอ่านข้อมูลจากหน่วยความจำชนิด RAM นำไปแสดงผลที่จอ LCD ได้ทดลองกดสวิทช์กดใด ๆ ในจำนวน 4 ตัว สามารถรับการกดสวิทช์ จากนั้นจะเปลี่ยนค่าสัญญาณควบคุมจากค่าเริ่มต้อน คือ 0 ไปเป็น 1 ส่งสัญญาณควบคุมผ่าน IC U13 (D Latch) ไปยังขาควบคุมของ IC U8 (Multiplexer) ให้ทำการสวิทช์สัญญาณนาฬิกาทางด้านออกซึ่งมีค่าความถี่สัญญาณนาฬิกาตาม Q4 คือ 19.2 Kbpsไปเป็นค่าความถี่สัญญาณนาฬิกาตาม Q5 คือ 9.6 Kbps จ่ายเป็นสัญญาณนาฬิกาด้านรับของ IC U9 (USART) อัตราความเร็วในการรับข้อมูลจะเปลี่ยนเป็น 9.6 Kbps แต่ละครั้งของการกดสวิทช์ใด ๆ จะทำให้สัญญาณนาฬิกาควบคุมเพิ่มค่าขึ้น

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ครั้งละหนึ่งทำให้สัญญาณนาฬิกาทางด้านออกของ IC U8 (Multiplexer) ซึ่งจ่ายเป็นสัญญาณนาฬิกาด้านรับของ IC U9 (USART) เปลี่ยนแปลงเป็นความถี่ตาม Q4 , Q5 , Q6 , Q7 , Q8 , Q9 และ Q10 ตามลำดับ อัตราความเร็วในการรับข้อมูลก็จะเป็น 19.2 Kbps , 9.6 Kbps , 4.8 Kbps , 1.2 Kbps , 600 bps และ 300 bps ตามลำดับ

2. การทำงานโดยตั้งค่าพารามิเตอร์ต่าง ๆ

ก่อนจะทำการเขียนโปรแกรมมอนิเตอร์ที่ทำการแก้ไข (Edit) ลงบน EPROM ที่ผ่านการโปรแกรมแล้ว จะต้องนำไปลบข้อมูลเดิมโดยการฉายรังสีเหนือม่วง (Ultraviolet Ray) ประมาณ 20 นาที จึงจะทำการเขียนโปรแกรมลงบน EPROM ได้อีก จึงใช้การ์ด EPROM Emulator ต่อแทน EPROM ทำการส่งไฟล์เลขฐานสองที่ผ่านการแปลโดยโปรแกรมแอสเซมเบลอร์ T80 แล้วผ่านทางพอร์ตเครื่องพิมพ์ไปเก็บในการ์ด EPROM Emulator สามารถทำงานแทน EPROM ทำให้สะดวกในการแก้ไข

เมื่อเริ่มเปิดเครื่องมอนิเตอร์สัญญาณแบบอะซิงโครนัสจะทำการเก็บค่าเริ่มต้นของพารามิเตอร์ต่าง ๆ ดังแสดงในตารางที่ 3.3 เริ่มต้นตัวชี้ ( Pointer ) จะชี้ไปยังเลขที่ ( Address ) ที่ 2040H ก่อนเมื่อมีการกดสวิตช์ > จะเพิ่มค่าในเลขที่ของพารามิเตอร์นั้นทีละ 1 และหากเป็นค่าสุดท้ายแล้ว เมื่อมีการกดสวิตช์ > อีกจะวนกลับไปเป็นค่าเริ่มต้น ถ้ากดสวิตช์ V ตัวชี้จะมีค่าเพิ่มขึ้นทีละ 1

ทดลองทำการตั้งค่าพารามิเตอร์ต่าง ๆ ด้วยมือเริ่มต้นจากการตั้งอัตราบอดในการรับข้อมูล เมื่อทำการกดสวิตช์ > จะเปลี่ยนอัตราความเร็วจากค่าเริ่มต้น 19200 BPS เป็น 9600, 4800, 1200, 600 และ 300 BPS ตามลำดับ หากตั้งอัตราความเร็วเป็น 300 BPS แล้วทำการกดสวิตช์ > อีกครั้งจะเปลี่ยนอัตราความเร็วเป็นค่าเริ่มต้น คือ 19.2 Kbps อีก ทำการกดสวิตช์ V จะเปลี่ยนเป็นการตั้งพาริตี้ ค่าเริ่มต้นจะเป็นพาริตี้คู่ (Even Parity) เมื่อกดสวิตช์ > ก็จะเปลี่ยนเป็นพาริตี้คี่ (Odd Parity) และไม่มีพาริตี้ (None Parity) ตามลำดับ และเช่นเดียวกันสำหรับพารามิเตอร์อื่น เมื่อทำการตั้งค่าพารามิเตอร์ต่าง ๆ แล้วกดสวิตช์ปฏิบัติการ (Execute) จะทำการรับข้อมูลจากพอร์ตอนุกรมแล้วนำไปแสดงผลทางจอ LCD ได้ 1 หน้าจอ ( 64 ตัวอักษร ) เมื่อกดสวิตช์หยุด (Stop) ก็จะรับการตั้งพารามิเตอร์อีก จากนั้นทำการพัฒนาโปรแกรมให้สามารถแสดงผลในโหมด SINGLE หรือโหมด MULTIPLLE ในโหมด SINGLE จะทำการรับข้อมูลจากพอร์ตอนุกรมจำนวน 1 Kbyte ( 1024 * 8 bit ) เมื่อกดสวิตช์ปฏิบัติการ (Execute) จะแสดงผลทางจอLCD 1 จอภาพกดสวิตช์ครั้งต่อไปจะนำข้อมูลไปมาแสดงผลครั้งละ 1 จอภาพจนหมดชุดข้อมูลหรือกดสวิตช์หยุดก็จะ

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลับมารับการตั้งค่าพารามิเตอร์ในโหมดแสดงผลแบบ MULTIPLE เมื่อกดสวิตช์ปฏิบัติการจะรับข้อมูลนำมาแสดงผล 1 จอภาพกดสวิตช์ปฏิบัติการครั้งต่อไปก็จะรับข้อมูลมาแสดงผลอีกครั้งละ 1 จอภาพ เมื่อกดสวิตช์หยุดจึงจะกลับมารับการตั้งค่าพารามิเตอร์

ทำการพัฒนาโปรแกรมต่อไปให้สามารถแสดงผลเป็นตัวอักษรตาม รหัสแอสกี้หรือแสดงผลในรูปรหัสเลขฐานสิบหก (Hexadecimal) หรือแสดงผลในรูปรหัสเลขฐานสอง (Binary) การแสดงผลเป็นตัวอักษรตาม รหัสแอสกี้จะทำการรับข้อมูลรหัส ASCII จากพอร์ตอนุกรมเก็บไว้ในหน่วยความจำชนิด RAM ตั้งแต่เลขที่ 2100H เป็นต้นไป แล้วตั้งค่าตัวชี้ให้นำข้อมูลที่เก็บนั้นมาแสดงผลทางจอ LCD หากแสดงผลในรูป รหัสเลขฐานสิบหก จะตั้งค่าตัวชี้หนึ่งให้ชี้ตำแหน่งของข้อมูลคือ ตั้งแต่เลขที่ 2100H เป็นต้นไป แล้วนำข้อมูลรหัสแอสกี้ที่เก็บไว้มาแปลงให้สามารถแสดงผลในรูปรหัสเลขฐานสิบหกของข้อมูลนั้นเก็บไว้ตั้งแต่เลขที่ 2000H เป็นต้นไป ตั้งค่าตัวชี้อีกตัวหนึ่งให้นำข้อมูลที่ถูกแปลงเก็บไว้นั้นมาแสดงผลทางจอ LCD สำหรับหน้าจอต่อไปจะเลื่อนตัวชี้ตำแหน่งของข้อมูลเพื่อนำข้อมูลต่อไปมาแสดงผลโดยจะแปลงข้อมูลเก็บไว้ตั้งแต่เลขที่ 2000H เช่นเดิม ซึ่ง 1 หน้าจอจะสามารถแสดงผลได้ 64 อักษรต่อจอภาพ การแสดงผลในรูปรหัสเลขฐานสิบหกแสดง 20 ตัวต่อจอภาพ สำหรับการแสดงผลในรูปรหัสเลขฐานสองจะต้องใช้ตัวชี้สองตัวเช่นเดียวกัน โดยจะแปลงข้อมูลให้สามารถแสดงผลในรูปรหัสเลขฐานสองเก็บไว้ตั้งแต่ เลขที่ 2000H เช่นกัน 1 หน้าจอจะแสดงผลในรูปรหัสเลขฐานสองได้ 4 ตัวต่อจอภาพ

## 3. สรุปและวิจารณ์

ในการจัดสร้างเครื่องมอนิเตอร์สัญญาณข้อมูลแบบอะซิงโครนัส ทางคณะผู้จัดทำได้ดำเนินการวิจัยและพัฒนาอย่างต่อเนื่อง นับตั้งแต่การหาข้อมูลของอุปกรณ์ต่าง ๆ ที่จะนำมาสร้างโครงงานนี้ เมื่อได้ข้อมูลก็นำมาวิเคราะห์ในความเป็นไปได้ในการจัดสร้าง แล้วจึงได้ทำการหาอุปกรณ์ดังกล่าวมาทำการทดลองใช้งาน แล้วจึงออกแบบวงจรจริงเพื่อนำมาใช้งาน ซึ่งขั้นตอนทั้งหมดใช้ระยะเวลามาก เนื่องจากโครงงานนี้มี HARDWARE และ SOLFWARE และเนื่องจากระยะเวลาที่จำกัดผลงานบางส่วนอาจไม่สมบูรณ์เท่าที่ควรนัก หรือถ้าหากมีผู้สนใจที่จะนำโครงงานนี้ไปพัฒนาต่อไปก็จะได้ผลงานที่สมบูรณ์และเหมาะสมกับการใช้งานยิ่งขึ้นต่อไป

คณะผู้จัดทำหวังเป็นอย่างยิ่งว่าโครงงานนี้จะเป็นประโยชน์ต่อผู้ที่สนใจที่จะนำไปใช้งานจริงหรือเป็นแนวทางในการพัฒนาเทคโนโลยีด้านนี้ต่อไป เพื่อให้ประเทศของเราได้พึ่งพาเทคโนโลยีของตนเองได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บรรณานุกรม


ชูชัย ธนสารตั้งเจริญ การสื่อสารข้อมูล กรุงเทพ : ฟิสิกส์เซ็นเตอร์ 2535

ปราโมทย์ วาดเขียน
ดร. วิวัฒน์ กิรานนท์ พื้นฐานการสื่อสารข้อมูล กรุงเทพ : JICA 2536

ยืน ภู่วรวรรณ ไมโครโปรเซสเซอร์ ไมโครคอมพิวเตอร์ กรุงเทพ : ซีเอ็ดยูเคชั่น 2521

ประทีป บัญญัตินพรัตน์ การเขียนโปรแกรมภาษาแอซแซมบลี Z-80 กรุงเทพ : คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2535


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก ก
# การใช้เครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**วิธีการใช้**

เมื่อเปิดสวิทช์ ON สักครู่ จึงกดสวิทช์ RESET ด้านหลังของเครื่องจะเป็นการ Initial อุปกรณ์ทั้งหมดของระบบเพื่อให้พร้อมที่จะทำงาน โดยที่จอ LCD จะแสดง MENU 1

MODE -> SINGLE

DISPLAY -> ASCII

โดย cursor จะกระพริบที่บรรทัดแรก เราสามารถแก้ไขได้โดยใช้สวิทช์ > สำหรับการเปลี่ยนค่าตรงบรรทัดที่ cursor กระพริบอยู่ และสวิทช์ V สำหรับเลื่อน cursor มาที่บรรทัดถัดมาข้างล่าง เมื่อเรากดสวิทช์ V ลงมาเรื่อย ๆ LCD จะแสดง MENU 2 ดังนี้

BAUD RATE -> 19200

PARITY -> EVEN

STOP BIT -> 2

DATA BIT -> 8

ค่าที่แสดงด้านขวามือของลูกศรจะเป็นค่าพารามิเตอร์ที่เครื่อง SET ไว้ให้ครั้งแรก ทุกครั้งที่มีการ POWER ON เราสามารถตั้งค่าใหม่ได้ เช่น ต้องการรับข้อมูลที่ความเร็ว 9600 bps, Parity None, Stop bit และ Data bit 7 ทำได้ดังนี้

1. กดสวิทช์ > 1 ครั้ง จอภาพจะแสดง 9600

2. กดสวิทช์ > 1 ครั้ง cursor จะลงมาที่บรรทัดที่ 2 แล้วกดสวิทช์ > 2 ครั้ง พารามิเตอร์จะเปลี่ยนเป็น None

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก ช

# โปรแกรมการทำงานของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SER_DAT     EQU  00H
SER_INST    EQU  SER_DAT+1
KEY_IN      EQU  10H
LCD_INST    EQU  20H
LCD_RAM     EQU  LCD_INST+1
LCD_SIG     EQU  LCD_INST+2
MUX_CON     EQU  30H
DISP_MOD    EQU  1000H
TABLE       EQU  1100H
RAM_SIZE    EQU  2*1024            ;RAM 6116 :2K BYTES
START_RAM   EQU  2000H
CONFIG      EQU  START_RAM+40H
DATA_BUF    EQU  START_RAM+100H
STACK       EQU  START_RAM+RAM_SIZE-1

;-------------------------------------------------------;
;MAIN PROGRAM                                           ;
;-------------------------------------------------------;
            ORG  0000H
            LD   B,0
PWR_UP:     DJNZ PWR_UP            ;POWER UP DELAY
            LD   SP,STACK
            DI                     ;DISABLE INTERRUPT
            CALL INITLCD           ;INITIAL LCD. DISPLAY
            LD   HL,CONFIG         ;POINT TO START TABLE
            LD   A,1
            LD   B,8
SET_CON:    LD   (HL),A            ;SET UP INITIAL CONFIG.
            ADD  A,10H             ;NEXT PARAMETER
            INC  HL                ;POINT TO ANOTHER CONFIG.
            DJNZ SET_CON
LOOP:       CALL MENU1
            LD   HL,CONFIG+2       ;POINT TO SETTING CONFIG.
            LD   A,(HL)            ;LOAD SETTING CONFIG.
            CP   21H               ; SETTING?
            JR   NZ,SAV_SET
            CALL CLSLCD            ;DO SETTING
            CALL BUAD_SET
            CALL PA_SET
            CALL ST_SET
            CALL BIT_SET
            LD   D,00001001B       ;SET CURSUR OF LINE 1
            CALL SET_CUR
            LD   HL,CONFIG+3
            CALL MENU2
            JR   LOOP


;-------------------------------------------------------;
;MENU1 SUBROUTINE                                       ;
;PRESSED '>' KEY TO CHANGE CONFIGURATION                ;
;PRESSED 'V' KEY FOR GO TO ANOTHER CONFIGURATION        ;
;REG: HL POINT TO CONFIGURATION TABLE                   ;
;-------------------------------------------------------;
MENU1:      CALL CLSLCD
            CALL MODE_SET          ;DISPLAY MENU1
            CALL CODE_SET
            LD   D,00000110B
            CALL SET_CUR           ;SET CURCUR OF LINE 1
            LD   HL,CONFIG
INKEYM1:    CALL INKEY
RIGHTM1:    CP   11111110B         ;KEY '>' PRESSED?
            JR   NZ,VERM1          ;IF NO CHECK ANOTHER KEY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                INC   (HL)              ;YES, CHANGE CONFIGUARTION
                CALL SETTING
                DEC   C
                JR    NZ,RIGHTM1
                JR    INKEYM1
VERM1:          CP    11111101B         ;KEY 'V' PRESSED?
                JR    NZ,WRGM1          ;IF NO GET KEY INPUT AGAIN
                INC   HL                ;YES POINT TO OTHER CONFIG
                LD    A,(HL)
                SUB   20H
                JR    NC,BACKM1
                CALL SETTING
WRGM1:          JR    INKEYM1
BACKM1:         RET

;-------------------------------------------------------------;
;MENU2 SUBROUTINE                                             ;
;PRESSED '>' KEY TO CHANGE CONFIGUATION                       ;
;PRESSED 'V' KEY FOR GO TO ANOTHER CONFIGURATION              ;
;PRESSED 'EXE' KEY FOR EXECUTE                                ;
;PRESSED 'STOP' KEY FOR EXIT                                  ;
;REG: HL POINT TO CONFIGURATION TABLE                         ;
;-------------------------------------------------------------;
MENU2:          CALL INKEY
INM2:           CP    11111110B         ;KEY '>' PRESSED?
                JR    NZ,VERM2          ;IF NO CHECK ANOTHER KEY
                INC   (HL)              ;YES, CHANGE CONFIGURATION
                CALL SETTING
                DEC   C
                JR    NZ,INM2
                JR    MENU2
VERM2:          CP    11111101B         ;KEY 'V' PRESSED?
                JR    NZ,RUN_KEY        ;IF NO CHECK ANOTHER KEY
                INC   HL                ;YES POINT TO OTHER CONFIG
                CALL SETTING
                JR    MENU2
RUN_KEY:        CP    11111011B         ;KEY 'EXE' PRESSED?
                JR    NZ,STOP_KEY
                CALL INITUSART
                CALL SHOW               ;YES, DISPLAY DATA
STOP_KEY:       RET                     ;NO, STOP AND GO TO MENU1


;-------------------------------------------------------------;
;CONFIGURATION SETTING SUBROUTINE                             ;
;REG:HL  POINT TO CONFIGURATION SET TABLE                     ;
;-------------------------------------------------------------;
SETTING:        LD    A,(HL)            ;LD CONFIG. IN TABLE
                SUB   10H
                JR    NC,NEXT11         ;MODE SET?
                CALL MODE_SET           ;YES, DO MODE SETTING
                RET
NEXT11:         LD    A,(HL)            ;LOAD CONFIG. IN TABLE
                SUB   20H
                JR    NC,NEXT12         ;CODE SET?
                CALL CODE_SET           ;YES, DO CODE SETTING
                RET
NEXT12:         LD A,(HL)               ;LOAD CONFIG.  IN TABLE
                SUB 30H
                JR    NC,NEXT21         ;BUAD RATE SET?
                CALL BUAD_SET           ;YES, DO BUAD RATE SETTING
NEXT21:         LD    A,(HL)            ;LOAD CONFIG. IN TABLE
                SUB   40H
                JR    NC,NEXT22         ;PARITY SET?
                CALL PA_SET             ;YES, DO PARITY SETTING
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                RET
NEXT22:         LD   A,(HL)             ;LOAD CONFIG. IN TABLE
                SUB  50H
                JR   NC,NEXT23          ;STOP BIT SET?
                CALL ST_SET             ;YES, DO STOP BIT SETTING
                RET
NEXT23:         LD   A,(HL)             ;LOAD CONFIG. IN TABLE
                SUB  60H
                JR   NC,NEXT24          ;DATA BIT SET?
                CALL BIT_SET            ;YES, DO DATA BIT SETTING
                RET
NEXT24:         LD   HL,CONFIG+3
                JR   NEXT21

;-------------------------------------------------------------;
;MODE SETTING SUBROUTINE                                      ;
;DISPLAY MODE SET = SINGLE/MULTIPLE                           ;
;DESTROY REG: A,BC,IX                                         ;
;-------------------------------------------------------------;
MODE_SET:       PUSH DE
                PUSH HL
                LD   HL,CONFIG          ;POINT TO START OF TABLE
                LD   DE,DISP_MOD        ;POINT TO CHARACTER
                LD   IX,START_RAM       ;POINT TO DISPLAY BUFFER
                LD   BC,0801H
                CALL SAV_V_BUF          ;STORE CHARACTER
SET_MODE:       LD   A,(HL)             ;LOAD MODE CONFIG.
                CP   01H
                JR   NZ,MODE_MUL        ;SINGLE MODE?
MODE_SIN:       LD   DE,DISP_MOD+08H    ;YES, DISPLAY SINGLE
                JR   MODE
MODE_MUL:       CP   02H                ;OVERRANGE?
                JR   NZ,MODE_OVER
                LD   DE,DISP_MOD+10H    ;IF NO DISPLAY MULTIPLE
MODE:           LD   B,08
                CALL SAV_V_BUF          ;STORE CHARACTER
                PUSH HL
                LD   HL,START_RAM       ;POINT TO DISPLAY BUFFER
                CALL WRL1               ;DISPLAY LINE 1
                POP  HL
                LD   D,00000110B
                CALL SET_CUR            ;SET CURCUR OF LINE 1
                JR   RETMOD
MODE_OVER:      LD   (HL),00H           ;RESTORE INITIAL VALUE
                LD    C,0
                LD    A,11111110B
RETMOD:         POP   HL
                POP   DE
                RET

;-------------------------------------------------------------;
;CODE SETTING SUBROUTINE                                      ;
;DISPLAY CODE SET = ASCII/HEXADECIMAL/BINARY                  ;
;DESTROY REG: A,BC,IX                                         ;
;-------------------------------------------------------------;
CODE_SET:       PUSH DE
                PUSH HL
                LD   HL,CONFIG+1        ;POINT TO TABLE
                LD   DE,DISP_MOD+18H    ;POINT TO CHARACTER
                LD   IX,START_RAM+10H   ;POINT TO DISPLAY BUFFER
                LD   BC,0901H
                CALL SAV_V_BUF          ;STORE CHARACTER
SET_CODE:       LD   A,(HL)             ;LOAD CODE CONFIG.
                CP   11H
                JR   NZ,CODE_HEX        ;ASCII CODE?
CODE_ASC:       LD   DE,DISP_MOD+21H    ;YES, DISPLAY ASCII
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            JP   COD
CODE_HEX:   CP   12H
            JR   NZ,CODE_BIN       ;HEXADECIMAL CODE?
            LD   DE,DISP_MOD+28H   ;YES, DISPLAY HEXADECIMAL
            JP   COD
CODE_BIN:   CP   13H               ;OVERRANGE?
            JR   NZ,CODE_OVER
            LD   DE,DISP_MOD+2FH   ;IF NO DISPLAY BINARY
COD:        LD   B,7
            CALL SAV_V_BUF         ;STORE CHARACTER
            PUSH HL
            LD   HL,START_RAM+10H  ;POINT TO DISPLAY BUFFER
            CALL WRL2              ;DISPLAY LINE 2
            POP  HL
            LD   D,00010111B
            CALL SET_CUR           ;SET CURCUR TO LINE 2
            JR   RETCOD
CODE_OVER:  LD   (HL),10H          ;RESTORE INITIAL VALUE
            LD   C,0
            LD   A,11111110B
RETCOD:     POP  HL
            POP  DE
            RET

;-------------------------------------------------------;
;BUAD RATE SETTING SUBROUTINE                           ;
;DISPLAY BUAD RATE SET = 19200/9600/4800/2400/1200/600/300 ;
;DESTROY REG: A,BC,IX
;-------------------------------------------------------;
BUAD_SET:   PUSH DE
            PUSH HL
            LD   HL,CONFIG+3       ;POINT TO TABLE
            LD   DE,DISP_MOD+4DH   ;POINT TO CHARACTER
            LD   IX,START_RAM      ;POINT TO DISPLAY BUFFER
            LD   BC,0B01H
            CALL SAV_V_BUF         ;STORE CHARACCTER
SET_BUAD:   LD   A,(HL)            ;LOAD BUAD RATE CONFIG.
            CP   21H
            JP   NZ,BUAD_96        ;BUAD RATE 19200?
BUAD_192:   LD   DE,DISP_MOD+58H   ;YES, DISPLAY 19200
            JR   BUAD
BUAD_96:    CP   22H
            JR   NZ,BUAD_48        ;BUAD RATE 9600?
            LD   DE,DISP_MOD+5DH   ;YES, DISPLAY 9600
            JR   BUAD
BUAD_48:    CP   23H
            JR   NZ,BUAD_24        ;BUAD RATE 4800?
            LD   DE,DISP_MOD+62H   ;YES, DISPLAY 4800
            JR   BUAD
BUAD_24:    CP   24H
            JR   NZ,BUAD_12        ;BUAD RATE 2400?
            LD   DE,DISP_MOD+67H   ;YES, DISPLAY 2400
            JR   BUAD
BUAD_12:    CP   25H
            JR   NZ,BUAD_06        ;BUAD RATE 1200?
            LD   DE,DISP_MOD+6CH   ;YES, DISPLAY 1200
            JR   BUAD
BUAD_06:    CP   26H
            JR   NZ,BUAD_03        ;BUAD RATE 600?
            LD   DE,DISP_MOD+71H   ;YES, DISPLAY 600
            JR   BUAD
BUAD_03:    CP   27H               ;OVERRANGE?
            JR   NZ,BUAD_OVER
            LD   DE,DISP_MOD+76H   ;IF NO DISPLAY 300
BUAD:       LD   B,5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            CALL SAV_V_BUF          ;STORE CHARACTER
            PUSH HL
            LD   HL,START_RAM       ;POINT TO DISPLAY BUFFER
            CALL WRL1               ;DISPLAY LINE 1
            POP  HL
            LD   D,00001001B
            CALL SET_CUR            ;SET CURSUR OF LINE 1
            JR   RETBUAD
BUAD_OVER:  LD   (HL),20H           ;RESTORE INITIAL VALUE
            LD   C,0
            LD   A,11111110B
RETBUAD:    POP  HL
            POP  DE
            RET

;-------------------------------------------------------------;
;PARITY SETTING SUBROUTINE                                    ;
;DISPLAY PARITY SET = EVEN/ODD/NONE                           ;
;DESTROY REG: A,BC,IX                                         ;
;-------------------------------------------------------------;
PA_SET:     PUSH DE
            PUSH HL
            LD   HL,CONFIG+4        ;POINT TO TABLE
            LD   DE,DISP_MOD+7BH    ;POINT TO CHARACTER
            LD   IX,START_RAM+10H   ;POINT TO DISPLAY BUFFER
            LD   BC,0B01H
            CALL SAV_V_BUF          ;STORE CHARCTER
SET_PA:     LD   A,(HL)             ;LOAD PARITY CONFIG.
            CP   31H
            JR   NZ,PA_ODD          ;EVEN PARITY?
            LD   DE,DISP_MOD+86H    ;YES, DISPLAY EVEN
            JR   PARITY
PA_ODD:     CP   32H
            JR   NZ,PA_EVEN         ;ODD PARITY?
            LD   DE,DISP_MOD+8BH    ;YES, DISPLAY ODD
            JR   PARITY
PA_EVEN:    CP   33H                ;OVERRANGE?
            JR   NZ,PA_OVER
            LD   DE,DISP_MOD+90H    ;IF NO DISPLAY NONE
PARITY:     LD   B,5
            CALL SAV_V_BUF          ;STORE CHARACTER
            PUSH HL
            LD   HL,START_RAM+10H   ;POINT TO DISPLAY BUFFER
            CALL WRL2               ;DISPLAY LINE 2
            POP  HL
            LD   D,00011001B
            CALL SET_CUR            ;SET CURSUR OF LINE 2
            JR   RETPA
PA_OVER:    LD   (HL),30H           ;RESTORE INITIAL VALUE
            LD   C,0
            LD   A,11111110B
RETPA:      POP  HL
            POP  DE
            RET

;-------------------------------------------------------------;
;STOP BIT SETTING SUBROUTINE                                  ;
;DISPLAY STOP BIT SET = 2/1.5/1                               ;
;DESTROY REG: A,BC,IX                                         ;
;-------------------------------------------------------------;
ST_SET:     PUSH DE
            PUSH HL
            LD   HL,CONFIG+5        ;POINT TO TABLE
            LD   DE,DISP_MOD+95H    ;POINT TO CHARACTER
            LD   IX,START_RAM+20H   ;POINT TO DISPLAY BUFFER
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ทำซ้ำ ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LD   BC,0B01H
                CALL SAV_V_BUF          ;STORE CHARACTER
SET_ST:         LD   A,(HL)             ;LOAD STOP BIT CONFIG.
                CP   41H
                JR   NZ,ST_15           ;STOP BIT = 2?
                LD   DE,DISP_MOD+0A0H ;YES, DISPLAY 2
                JR   ST_BIT
ST_15:          CP   42H
                JR   NZ,ST_2            ;STOP BIT = 1.5
                LD   DE,DISP_MOD+0A5H ;YES, DISPLAY 1.5
                JR   ST_BIT
ST_2:           CP   43H                ;OVERRANGE?
                JR   NZ,ST_OVER
                LD   DE,10AAH           ;IF NO DISPLAY 1
ST_BIT:         LD   B,5
                CALL SAV_V_BUF          ;STORE CHARACTER
                PUSH HL
                LD   HL,START_RAM+20H ;POINT TO DISPLAY BUFFER
                CALL WRL3               ;DISPLAY LINE 3
                POP  HL
                LD   D,00101001B
                CALL SET_CUR            ;SET CURSUR OF LINE 3
                JR   RETST
ST_OVER:        LD   (HL),40H           ;RESTORE INITIAL VALUE
                LD   C,0
                LD   A,11111110B
RETST:          POP  HL
                POP  DE
                RET

;-----------------------------------------------------------;
;DATA BIT SETTING SUBROUTINE                                ;
;DISPLAY DATA BIT SET = 8/7/6/5                             ;
;DESTROY REG: A,BC,IX                                       ;
;-----------------------------------------------------------;
BIT_SET:        PUSH DE
                PUSH HL
                LD   HL,CONFIG+6        ;POINT TO TABLE
                LD   DE,DISP_MOD+0AFH ;POINT TO CHARACTER
                LD   IX,START_RAM+30H ;POINT TO DISPLAY BUFFER
                LD   BC,0B01H
                CALL SAV_V_BUF          ;STORE CHARACTER
SET_BIT:        LD   A,(HL)             ;LOAD DATA BIT CONFIG.
                CP   51H
                JR   NZ,BIT_7           ;DATA BIT = 8?
                LD   DE,DISP_MOD+0BAH ;YES, DISPLAY 8
                JR   BIT
BIT_7:          CP   52H
                JR   NZ,BIT_6           ;DATA BIT = 7?
                LD   DE,DISP_MOD+0BFH ;YES, DISPLAY 7
                JR   BIT
BIT_6:          CP   53H
                JR   NZ,BIT_5           ;DATA BIT = 6?
                LD   DE,DISP_MOD+0C4H ;YES, DISPLAY 6
                JR   BIT
BIT_5:          CP   54H                ;OVERRANGE?
                JR   NZ,BIT_OVER
                LD   DE,DISP_MOD+0C9H ;IF NO DISPLAY 5
BIT:            LD   B,5
                CALL SAV_V_BUF          ;STORE CHARACTER
                PUSH HL
                LD   HL,START_RAM+30H ;POINT TO DISPLAY BUFFER
                CALL WRL4               ;DISPLAY LINE 4
                POP  HL
                LD   D,00111001B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            CALL SET_CUR          ;SET CURSUR OF LINE 4
            JR   RETBIT
BIT_OVER:   LD   (HL),50H         ;RESTORE INITIAL VALUE
            LD   C,0
            LD   A,11111110B
RETBIT:     POP  HL
            POP  DE
            RET

;-------------------------------------------------------;
;            INCLUDE MONCTRL.ASM
;-------------------------------------------------------;
;INITIAL LCD DISPLAY                                    ;
;DESTROY REG: A                                         ;
;-------------------------------------------------------;
INITLCD:    LD   A,00111000B      ;FUNCTION SET
            OUT  (LCD_INST),A
            CALL DELAY1
            CALL DELAY1           ;DELAY > 4.1 mS
            LD   A,00001111B      ;DISPLAY ON/OFF CONTROL
            OUT  (LCD_INST),A
            CALL DELAY1
            LD   A,00000110B      ;ENTRY MODE SET
            OUT  (LCD_INST),A
CLSLCD:     LD   A,00000001B      ;CLEAR ALL DISPLAY
            OUT  (LCD_INST),A
            CALL READ
            RET

;-------------------------------------------------------;
;DISPLAY 16*4 CHARACTERS                                ;
;-------------------------------------------------------;
DISP:       CALL WRL1             ;DISPLAY LINE 1
            CALL WRL2             ;DISPLAY LINE 2
            CALL WRL3             ;DISPLAY LINE 3
            CALL WRL4             ;DISPLAY LINE 4
            RET

;-------------------------------------------------------;

WRL1:       LD   A,00H            ;LINE 1
            CALL GOTO
            JR   WRLINE           ;WRITE STING TO LCD RAM
WRL2:       LD   A,40H            ;LINE 2
            CALL GOTO
            JR   WRLINE           ;WRITE STRING TO LCD RAM
WRL3:       LD   A,10H            ;LINE 3
            CALL GOTO
            JR   WRLINE           ;WRITE STRING TO LCD RAM
WRL4:       LD   A,50H            ;LINE 4
            CALL GOTO
            JR   WRLINE           ;WRITE STRING TO LCD RAM

;-------------------------------------------------------;
;GOTO_LCD: GOTO POSITION OF LCD RAM                     ;
;ENTRY:    REG.A = ADDRESS                              ;
;-------------------------------------------------------;
GOTO:       SET  7,A
            OUT  (LCD_INST),A     ;SET DD RAM
            CALL READ             ;READ LCD STATUS
            RET
;-------------------------------------------------------;
;SET_CURSOR: SET CURSOR POSITION                        ;
;ENTRY:      REG. D = |7 6 5 4 3 2 1 0|                 ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;                       ¦  ROW  ¦  COL  ¦                          ;
;                       ROW = 0 - 3                                ;
;                       COLUMN = 0 - F                             ;
;-----------------------------------------------------------------;
SET_CUR:    PUSH DE
            PUSH AF
            LD   A,D
            SRL  A
            SRL  A
            SRL  A
            SRL  A
            CP   0
            JR   Z,SET_CUR0         ;LINE 1?
            CP   1
            JR   Z,SET_CUR1         ;LINE 2?
            CP   2
            JR   Z,SET_CUR2         ;LINE 3?
            CP   3
            JR   Z,SET_CUR3         ;LINE 4?
            JR   SET_CUR5           ;NO WRITE LINE
SET_CUR0:   LD   E,00H              ;LINE 1
            JR   SET_CUR4
SET_CUR1:   LD   E,40H              ;LINE 2
            JR   SET_CUR4
SET_CUR2:   LD   E,10H              ;LINE 3
            JR   SET_CUR4
SET_CUR3:   LD   E,50H              ;LINE 4
SET_CUR4:   LD   A,D
            AND  00001111B
            ADD  A,E
            CALL GOTO               ;SET DD RAM
SET_CUR5:   POP  AF
            POP  DE
            RET

;-----------------------------------------------------------------;
;WRITE STRING                                                     ;
;ENTRY: REG.HL POINT TO DATA ADDRESS                              ;
;DESTROY REG: A,B,D                                               ;
;-----------------------------------------------------------------;
WRLINE:     LD   B,16               ;16 CHARACTERS
WRL:        LD   D,(HL)             ;LOAD STRING
            PUSH BC
            LD   A,D
            OUT  (LCD_RAM),A        ;WRITE STRING TO LCD RAM
            CALL READ               ;READ LCD STATUS
            POP  BC
            INC  HL                 ;POINT TO NEXT STRING
            DJNZ WRL
            RET

;-----------------------------------------------------------------;
;READ LCD STATUS                                                  ;
;DESTROY REG: A                                                   ;
;-----------------------------------------------------------------;
READ:       IN   A,(LCD_SIG)
            BIT  7,A                ;READ LCD STATUS
            JR   NZ,READ
            RET

;-----------------------------------------------------------------;
;GET KEY INPUT                                                    ;
;RESULT IN REG.A                                                  ;
;-----------------------------------------------------------------;
INKEY:      IN   A,(KEY_IN)         ;CHECK KEY PRESSED?
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            CP   11111111B
            JR   Z,INKEY          ;IF KEY ALREADY PRESSED
            LD   D,A              ;SAVE KEY INPUT
RELEASE:    CALL DELAY1           ;DELAY APPROX. 1 mSEC
            IN   A,(KEY_IN)
            CP   D
            JR   Z,RELEASE        ;IS KEY RELEASE?
            LD   A,D              ;YES, RESTORE DATA
            RET

;-------------------------------------------------------;
;INITIAL  USART. SUBROUTINE                             ;
;REG:HL POINT TO CONFIGURATION TABLE                    ;
;DESTROY REG: A,C                                       ;
;-------------------------------------------------------;
INITUSART:  PUSH BC
            PUSH HL
            LD   HL,CONFIG+3      ;POINT TO BUAD RATE CONFIG
            LD   A,(HL)           ;LOAD CONFIG.
            SUB  21H
            OUT  (MUX_CON),A      ;CONTROL BUAD RATE
            LD   A,0              ;SEND 0 TO GUARANTEE DEVICE IS
            OUT  (SER_INST),A     ;IN COMMAND INSTRUCTION FORMAT
            LD   B,2              ;BEFORE RESET COMMAND IS ISSUE
D0:         DJNZ D0               ;DELAY AFTER SENDING EACH
            OUT  (SER_INST),A     ;COMMAND INSTRUCTION
            LD   B,2
D1:         DJNZ D1
            OUT  (SER_INST),A
            LD   B,2
D2:         DJNZ D2
            LD   A,01000000B      ;SEND INTERNAL RESET COMMAND
            OUT  (SER_INST),A     ;RETURN DEVICE TO IDLE STATE
            LD   B,2
D3:         DJNZ D3
            INC  HL               ;NEXT PARAMETER
            LD   A,(HL)           ;LOAD CONFIG.
            CP   31H
            JR   NZ,ODD_PA        ;EVEN PARITY?
            LD   A,11111001B      ;YES, 2 STOP BITS,EVEN PARITY,
            JR   ST_SEL           ;7 DATA BIT,* 1 BUAD RATE
ODD_PA:     CP   32H
            JR   NZ,NON_PA        ;ODD PARITY?
            LD   A,11011001B      ;YES, 2 STOP BITS,ODD PARITY,
            JR   ST_SEL'          ;7 DATA BIT,* 1 BUAD RATE
NON_PA:     LD   A,11001001B      ;2 STOP,NONE PARITY,7 BIT,* 1
ST_SEL:     AND  00111111B        ;MARK BITS
            LD   C,A
            INC  HL               ;NEXT PARAMETER
            LD   A,(HL)           ;LOAD CONFIG.
            CP   41H
            JR   NZ,ST15          ;STOP BIT = 2?
            LD   A,C
            OR   11000000B        ;YES, SET STOP BIT = 2
            JR   BIT_SEL
ST15:       CP   42H
            JR   NZ,ST01          ;STOP BIT = 1.5?
            LD   A,C
            OR   10000000B        ;YES, SET STOP BIT = 1.5
            JR   BIT_SEL
ST01:       LD   A,C
            OR   01000000B        ;SET STOP BIT = 1
BIT_SEL:    AND  11110011B        ;MARK BITS
            LD   C,A
            INC  HL               ;NEXT PARAMETER
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LD   A,(HL)             ;LOAD CONFIG.
                CP   51H
                JR   NZ,BIT7            ;DATA BIT = 8?
                LD   A,C
                OR   00001100B          ;YES, SET DATA BIT = 8
                JR   MOD_WORD
BIT7:           CP   52H
                JR   NZ,BIT6            ;DATA BIT = 7?
                LD   A,C
                OR   00001000B          ;YES, SET DATA BIT = 7
                JR   MOD_WORD
BIT6:           CP   53H
                JR   NZ,BIT5            ;DATA BIT = 6?
                LD   A,C
                OR   00000100B          ;YES, SET DATA BIT = 6
                JR   MOD_WORD
BIT5:           LD   A,C                ;DATA BIT = 5
MOD_WORD:       OUT  (SER_INST),A       ;SEND MODE WORD.
                LD   B,2
D4:             DJNZ D4
                LD   A,00010100B        ;LOAD COMMAND WORD
                OUT  (SER_INST),A       ;AND SEND IT
                POP  HL
                POP  BC
                RET

;-------------------------------------------------------------;
;SHOW SUBROUTINE                                              ;
;DESTROY REG: A,C,IY                                          ;
;-------------------------------------------------------------;
SHOW:           PUSH DE
                PUSH HL
                LD   D,1
SHOW1:          CALL STORE              ;STORE DATA
                LD   C,1
                LD   HL,CONFIG          ;POINT TO START OF TABLE
                LD   A,(HL)             ;LOAD MODE CONFIG.
                LD   HL,DATA_BUF+64
                LD   IY,DATA_BUF+64
                CP   1
                JR   NZ,KEY             ;SINGLE MODE?
DIS_SIN:        LD   A,(CONFIG+1)       ;YES, LOAD CODE CONFIG
                CP   11H
                JR   NZ,HCOUNT          ;ASCII DISPLAY?
                LD   C,16               ;YES, COUNT = 16
                JR   KEY
HCOUNT:         CP   12H
                JR   NZ,BCOUNT          ;HEXADECIMAL DISPLAY?
                LD   C,51               ;YES, COUNT = 51
                JR   KEY
BCOUNT:         LD   C,0FFH             ;BINARY DISPLAY COUNT = 255
KEY:            DEC  D
                JR   NZ,KEYPRES
                LD   A,11111011B
                JR   KEY0
KEYPRES:        CALL INKEY              ;KEYPRESS?
KEY0:           CP   11111011B          ;YES
                JR   NZ,STOPINIT        ;KEY 'EXE' PRESSED?
                CALL CLSLCD
CONVERT:        PUSH BC
                LD   DE,CONFIG+1        ;YES
                LD   A,(DE)             ;LOAD CODE CONFIG.
                CP   11H
                JR   NZ,HEXA            ;ASCII DISPLAY?
                JR   DSP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
HEXA:       CP   12H
            JR   Z,HEX_CODE        ;HEXADECIMAL DISPLAY
            CALL BIN               ;NO, CONVERT TO BINARY
            JR   DSP
HEX_CODE:   CALL HEX               ;CONVERT TO HEXADECIMAL
DSP:        CALL DISP              ;DISPLAY 1 PAGE
            POP  BC
            DEC  C
            JR   NZ,KEYPRES        ;DISPLAY ALL?
            LD   HL,CONFIG
            LD   A,(HL)
            CP   1
            JR   Z,HOMINIT
            LD   D,0
            JR   SHOW1
STOPINIT:   CP   11110111B
            JR   NZ,KEYPRES        ;KEY 'STOP' PRESSED?
HOMINIT:    POP  HL                ;YES, STOP
            POP  DE
            RET

;-------------------------------------------------------------;
;STORE DATA SUBROUTINE                                        ;
;DESTROY REG: A                                               ;
;-------------------------------------------------------------;
STORE:      PUSH BC
            PUSH DE
            PUSH HL
            LD   HL,CONFIG         ;POINT TO START OF TABLE
            LD   B,2               ;2 PAGES
            LD   A,(HL)            ;LOAD CONFIG.
            CP   01H
            JR   NZ,MUL            ;MODE SINGLE?
            LD   B,17              ;17 PAGES
MUL:        LD   HL,DATA_BUF
SAVE:       LD   C,64              ;64 CHARACTERS
LOOPRD:     IN   A,(SER_INST)
            AND  00000010B
            BIT  1,A               ;RECEIVED READY?
            JR   Z,LOOPRD
            IN   A,(SER_DAT)       ;YES, READ DATA
            LD   (HL),A            ;STORE DATA
            INC  HL                ;POINT TO NEXT ADDRESS
            DEC  C
            JR   NZ,LOOPRD
            DJNZ SAVE
            POP  HL
            POP  DE
            POP  BC
            RET

;-------------------------------------------------------------;
;DELAY APPROXIMATION 4 mSEC                                   ;
;-------------------------------------------------------------;
DELAY1:     PUSH BC
            PUSH AF
            LD   B,80H             ;SET DELAY TIME
DELAY12:    DJNZ DELAY12           ;DELAY TIME LOOP
            POP  AF
            POP  BC
            RET
;-------------------------------------------------------------;
;TRANSFER DATA                                                ;
;REG: B NUMBER OF DATA                                        ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;     DE POINT TO DATA ADDRESS                                  ;
;     IX POINT TO DESTINATION                                   ;
;-------------------------------------------------------------;
SAV_V_BUF:  LD   A,(DE)           ;GET DATA
            LD   (IX),A           ;SAVE IN ADDRESS POINT
            INC   DE              ;BY POINTER
            INC   IX              ;NEXT DATA
            DJNZ SAV_V_BUF        ;ALL DATA?
            RET

;-------------------------------------------------------------;
;HEXADECIMAL MODE DISPLAY                                     ;
;REG:IX  POINT TO RESULTS IN HEXADECIMAL                      ;
;   :IY  POINT TO DATA IN ASCII                               ;
;-------------------------------------------------------------;
HEX:        LD   IX,START_RAM     ;POINT TO DISPLAY BUFFER
            PUSH BC
            PUSH DE
            LD   B,20             ;1 PAGE OF HEX = 20 CHAR.
            LD   A,20H            ;ADD SPACE
            LD   (IX),A
            INC  IX               ;POINT TO NEXT ADDRESS
TAB:        LD   DE,TABLE
            LD   A,(IY)           ;LOAD DATA
            SRL  A
            SRL  A
            SRL  A
            SRL  A
            ADD  A,E
            LD   E,A
            LD   A,(DE)           ;HIGH BYTE RESULT
            LD   (IX),A           ;SAVE RESULT
            INC  IX               ;POINT TO NEXT ADDRESS
            LD   DE,TABLE
LOW_BYTE:   LD   A,(IY)           ;LOAD DATA
            AND  00001111B
            ADD  A,E
            LD   E,A
            LD   A,(DE)           ;LOW BYTE RESULT
            LD   (IX),A           ;SAVE RESULT
            INC  IX               ;POINT TO NEXT ADDRESS
            LD   A,B
            CP   10H              ;END OF LINE 1?
            JR   Z,ADSP
            CP   0BH              ;END OF LINE 2?
            JR   Z,ADSP
            CP   06               ;END OF LINE 3?
            JR   NZ,NORM
ADSP:       LD   A,20H            ;ADD SPACE
            LD   (IX),A
            INC  IX               ;POINT TO NEXT ADDRESS
NORM:       INC  IY               ;POINT TO NEXT DATA
            LD   A,20H
            LD   (IX),A           ;ADD SPACE
            INC  IX               ;POINT TO NEXT ADDRESS
            DJNZ TAB
            POP  BC
            POP  DE
            LD   HL,START_RAM     ;POINT TO DISPALY BUFFER
            RET

;-------------------------------------------------------------;
;BINARY MODE DISPLAY                                          ;
;REG:IX  POINT TO RESULTS IN BINARY                           ;
;   :IY  POINT TO DATA IN ASCII                               ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;DESTROY REG: A,B                                              ;
;-------------------------------------------------------------;
BIN:        LD   IX,START_RAM     ;POINT TO DISPLAY BUFFER
            LD   B,04
LOOPBI:     PUSH BC
            LD   B,04
            LD   A,20H
SPACE1:     LD   (IX),A           ;ADD SPACE
            INC  IX               ;POINT TO NEXT ADDRESS
            DJNZ SPACE1
            LD   B,08
            LD   A,(IY)           ;LOAD DATA
            CCF
BYTE:       RLCA
            JR   NC,ZERO          ;BIT = 1?
            LD   C,A
            LD   A,31H            ;IF YES DISPLAY 1
            JR   NEXTBIT
ZERO:       LD   C,A
            LD   A,30H            ;IF NO DISPLAY 0
NEXTBIT:    LD   (IX),A           ;SAVE RESULT
            INC  IX               ;POINT TO NEXT ADDRESS
            LD   A,C
            DJNZ BYTE
            LD   B,04
            LD   A,20H
SPACE2:     LD   (IX),A           ;ADD SPACE
            INC  IX               ;POINT TO NEXT ADDRESS
            DJNZ SPACE2
            INC  IY               ;POINT TO NEXT DATA
            POP  BC
            DJNZ LOOPBI
            LD   HL,START_RAM     ;POINT TO DATA BUFFER
            RET

;-------------------------------------------------------------;

            ORG  1000H
            DB   'MODE  ->'
            DB   'SINGLE  '
            DB   'MULTIPLE'
            DB   'DISPLAY->'
            DB   'ASCII   '
            DB   'HEX     '
            DB   'BINARY  '
            DB   ,BAUD RATE->,
            DB   '19200'
            DB   ' 9600'
            DB   ' 4800'
            DB   ' 2400'
            DB   ' 1200'
            DB   '  600'
            DB   '  300'
            DB   'PARITY   ->'
            DB   'EVEN '
            DB   'ODD  '
            DB   'NONE '
            DB   'STOP BIT ->'
            DB   '2    '
            DB   '1.5  '
            DB   '1    '
            DB   'DATA BIT ->'
            DB   '8    '
            DB   '7    '
            DB   '6    '
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            DB    '5     '
;-------------------------------------------------------;

            ORG   1100H
            DB    '0123456789ABCDEF'
            END
;-------------------------------------------------------;
```

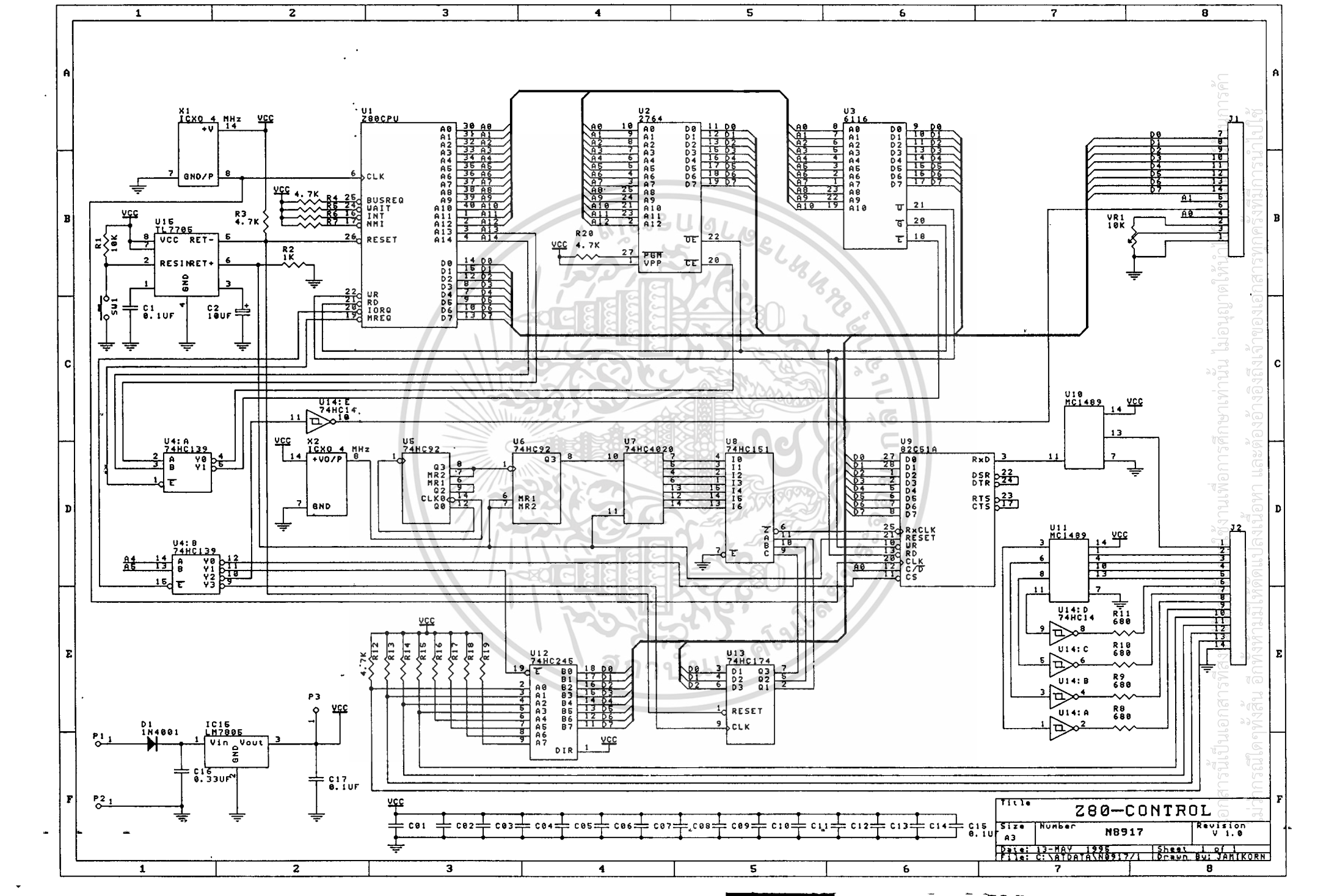


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก ค

# CIRCUIT DIAGRAM

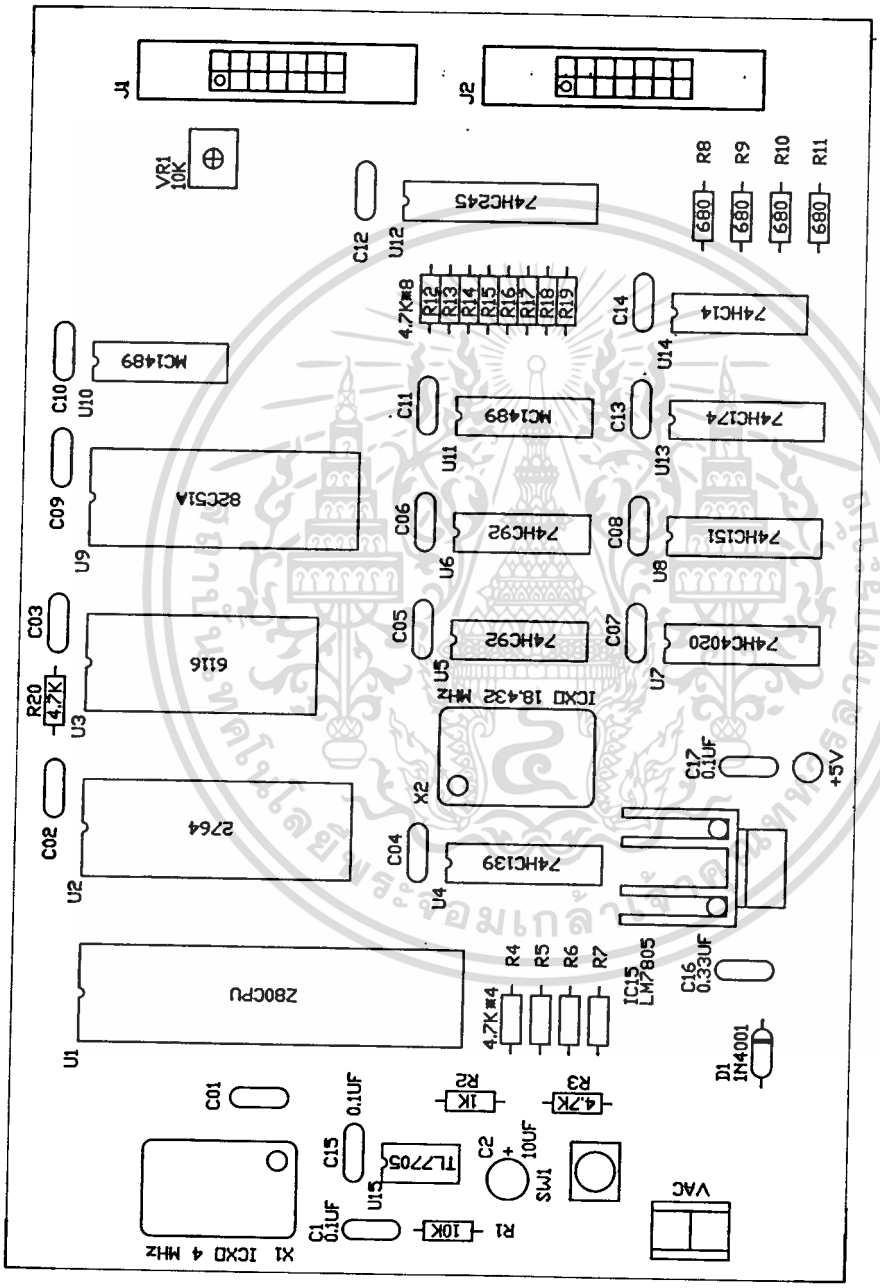
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


Z80-CONTROL
Number N8917
Revision V 1.0
Size A3
Date: 13-MAY 1995
Sheet 1 of 1
File: C:\AIDATA\N8917\1
Drawn By: JAMIKORN
X1 ICXO 4 MHz
U1 Z80CPU
U2 2764
U3 6116
U4:A 74HC139
U4:B 74HC139
U5 74HC92
U6 74HC92
U7 74HC4020
U8 74HC151
U9 82C51A
U10 MC1489
U11 MC1489
U12 74HC245
U13 74HC174
U14:A 74HC14
U14:B 74HC14
U14:C 74HC14
U14:D 74HC14
U14:E 74HC14
U15 TL7705
X2 ICXO 4 MHz
IC15 LM7805
D1 1N4001
J1
J2
P1
P2
P3
VR1 10K
SW1
VCC
GND
BUSREQ
WAIT
INT
NMI
RESET
CLK
RD
WR
IORQ
MREQ
RxD
DSR
DTR
RTS
CTS
RxCLK
CLK
C/D
CS
R1 10K
R2 1K
R3 4.7K
R4 4.7K
R5 4.7K
R6 4.7K
R7 4.7K
R8 680
R9 680
R10 680
R11 680
R12 4.7K
R13 4.7K
R14 4.7K
R15 4.7K
R16 4.7K
R17 4.7K
R18 4.7K
R19 4.7K
R20 4.7K
C1 0.1UF
C2 10UF
C16 0.33UF
C17 0.1UF
C01 C02 C03 C04 C05 C06 C07 C08 C09 C10 C11 C12 C13 C14 C15 0.1UF

# ภาคผนวก ง

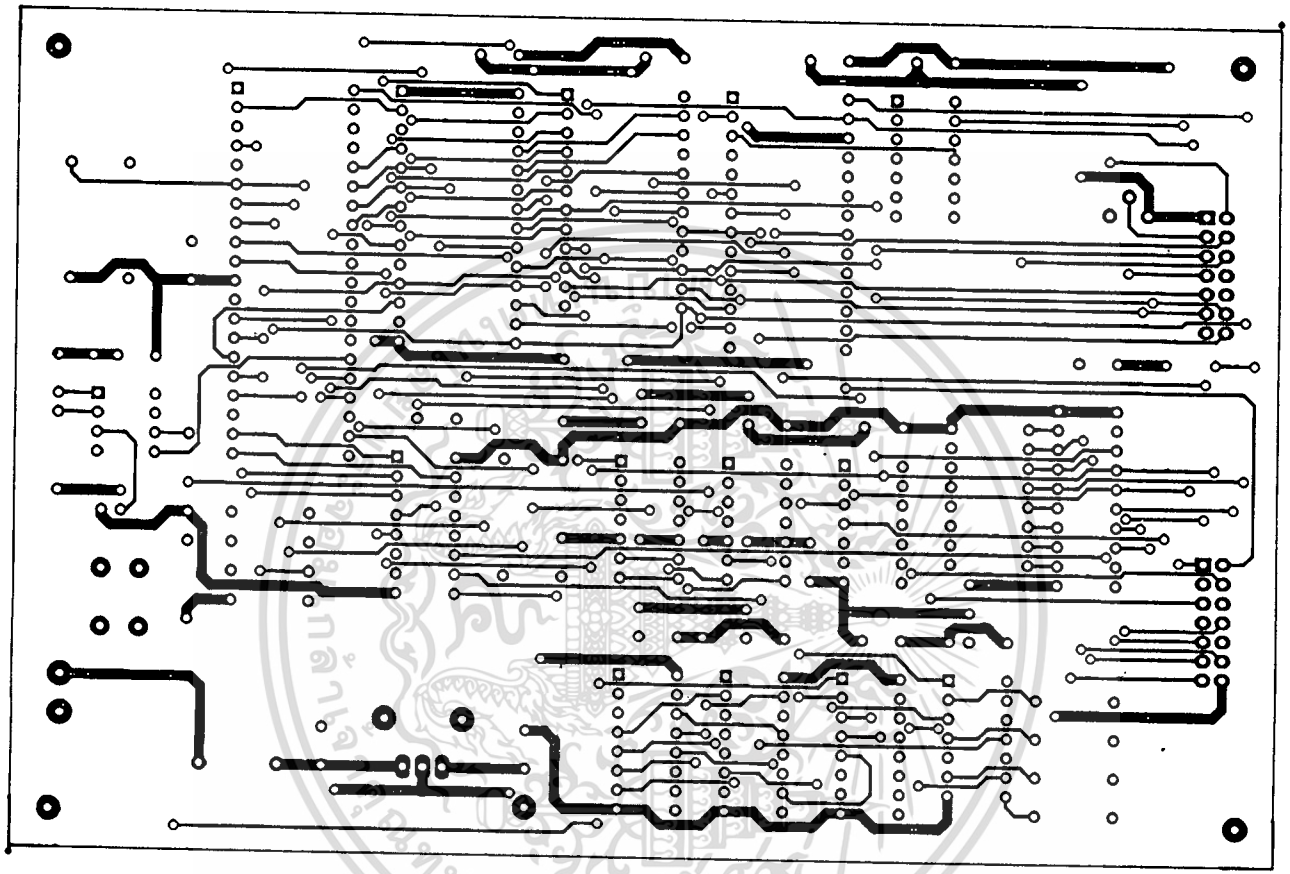
# PRINTED CIRCUIT BOARD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




N8917 Top Overlay

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N8917 Top Layer

Main Bottom Board

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก จ

# DATA ของอุปกรณ์ที่สำคัญในโครงงานปริญญานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# รายละเอียดข้อมูลไมโครโปรเซสเซอร์และชิพสนับสนุน

# Z80®-CPU
# Z80A-CPU

## Product Specification

MARCH 1978

The Zilog Z80 product line is a complete set of microcomputer components, development systems and support software. The Z80 microcomputer component set includes all of the circuits necessary to build high-performance microcomputer systems with virtually no other logic and a minimum number of low cost standard memory elements.

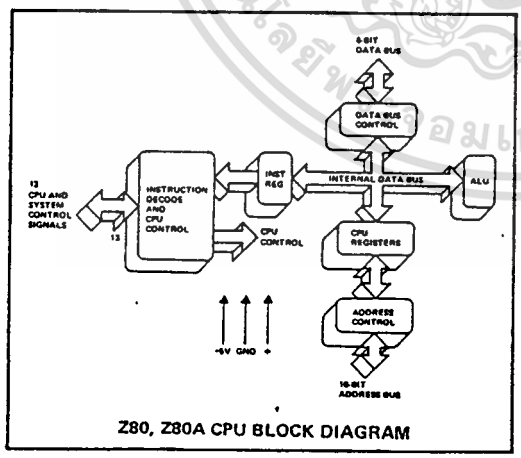
The Z80 and Z80A CPU's are third generation single chip microprocessors with unrivaled computational power. This increased computational power results in higher system through-put and more efficient memory utilization when compared to second generation microprocessors. In addition, the Z80 and Z80A CPU's are very easy to implement into a system because of their single voltage requirement plus all output signals are fully decoded and timed to control standard memory or peripheral circuits. The circuit is implemented using an N-channel, ion implanted, silicon gate MOS process.

Figure 1 is a block diagram of the CPU, Figure 2 details the internal register configuration which contains 208 bits of Read/Write memory that are accessible to the programmer. The registers include two sets of six general purpose registers that may be used individually as 8-bit registers or as 16-bit register pairs. There are also two sets of accumulator and flag registers. The programmer has access to either set of main or alternate registers through a group of exchange instructions. This alternate set allows foreground/background mode of operation or may be reserved for very fast Interrupt response. Each CPU also contains a 16-bit stack pointer which permits simple implementation of multiple level interrupts, unlimited subroutine nesting and simplification of many types of data handling.

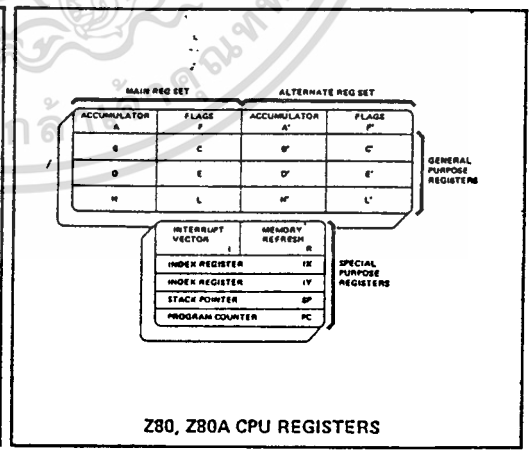
The two 16-bit index registers allow tabular data manipulation and easy implementation of relocatable code. The Refresh register provides for automatic, totally transparent refresh of external dynamic memories. The I register is used in a powerful interrupt response mode to form the upper 8 bits of a pointer to a interrupt service address table, while the interrupting device supplies the lower 8 bits of the pointer. An indirect call is then made to this service address.

### FEATURES

- Single chip, N-channel Silicon Gate CPU.
- 158 instructions–includes all 78 of the 8080A instructions with total software compatibility. New instructions include 4-, 8- and 16-bit operations with more useful addressing modes such as indexed, bit and relative.
- 17 internal registers.
- Three modes of fast interrupt response plus a non-maskable interrupt.
- Directly interfaces standard speed static or dynamic memories with virtually no external logic.
- 1.0 $\mu$s instruction execution speed.
- Single 5 VDC supply and single-phase 5 volt Clock.
- Out-performs any other single chip microcomputer in 4-, 8-, or 16-bit applications.
- All pins TTL Compatible
- Built-in dynamic RAM refresh circuitry.



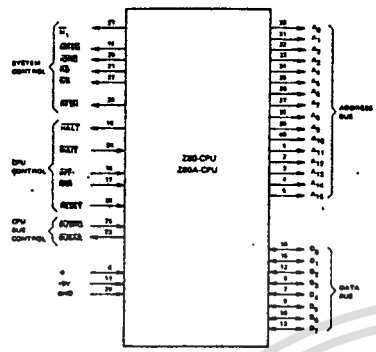

Z80, Z80A CPU BLOCK DIAGRAM




Z80, Z80A CPU REGISTERS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Z80, Z80A-CPU Pin Description



Z80, Z80A CPU PIN CONFIGURATION

**$A_0$-$A_{15}$ (Address Bus)** Tri-state output, active high. $A_0$-$A_{15}$ constitute a 16-bit address bus. The address bus provides the address for memory (up to 64K bytes) data exchanges and for I/O device data exchanges.

**$D_0$-$D_7$ (Data Bus)** Tri-state input/output, active high. $D_0$-$D_7$ constitute an 8-bit bidirectional data bus. The data bus is used for data exchanges with memory and I/O devices.

**$\overline{M_1}$ (Machine Cycle one)** Output, active low. $\overline{M_1}$ indicates that the current machine cycle is the OP code fetch cycle of an instruction execution.

**$\overline{MREQ}$ (Memory Request)** Tri-state output, active low. The memory request signal indicates that the address bus holds a valid address for a memory read or memory write operation.

**$\overline{IORQ}$ (Input/ Output Request)** Tri-state output, active low. The $\overline{IORQ}$ signal indicates that the lower half of the address bus holds a valid I/O address for a I/O read or write operation. An $\overline{IORQ}$ signal is also generated when an interrupt is being acknowledged to indicate that an interrupt response vector can be placed on the data bus.

**$\overline{RD}$ (Memory Read)** Tri-state output, active low. $\overline{RD}$ indicates that the CPU wants to read data from memory or an I/O device. The addressed I/O device or memory should use this signal to gate data onto the CPU data bus.

**$\overline{WR}$ (Memory Write)** Tri-state output, active low. $\overline{WR}$ indicates that the CPU data bus holds valid data to be stored in the addressed memory or I/O device.

**$\overline{RFSH}$ (Refresh)** Output, active low. $\overline{RFSH}$ indicates that the lower 7 bits of the address bus contain a refresh address for dynamic memories and the current $\overline{MREQ}$ signal should be used to do a refresh read to all dynamic memories.

**$\overline{HALT}$ (Halt state)** Output, active low. $\overline{HALT}$ indicates that the CPU has executed a HALT software instruction and is awaiting either a non-maskable or a maskable interrupt (with the mask enabled) before operation can resume. While halted, the CPU executes NOP's to maintain memory refresh activity.

**$\overline{WAIT}$ (Wait)** Input, active low. $\overline{WAIT}$ indicates to the Z-80 CPU that the addressed memory or I/O devices are not ready for a data transfer. The CPU continues to enter wait states for as long as this signal is active.

**$\overline{INT}$ (Interrupt Request)** Input, active low. The Interrupt Request signal is generated by I/O devices. A request will be honored at the end of the current instruction if the internal software controlled interrupt enable flip-flop (IFF) is enabled.

**$\overline{NMI}$ (Non Maskable Interrupt)** Input, active low. The non-maskable nterrupt request line has a higher priority than $\overline{INT}$ and is always recognized at the end of the current instruction, independent of the status of the interrupt enable flip-flop. $\overline{NMI}$ automatically forces the Z-80 CPU to restart to location $0066_H$.

**$\overline{RESET}$** Input, active low. $\overline{RESET}$ initializes the CPU as follows: reset interrupt enable flip-flop, clear PC and registers I and R and set interrupt to 8080A mode. During reset time, the address and data bus go to a high impedance state and all control output signals go to the inactive state.

**$\overline{BUSRQ}$ (Bus Request)** Input, active low. The bus request signal has a higher priority than $\overline{NMI}$ and is always recognized at the end of the current machine cycle and is used to request the CPU address bus, data bus and tri-state output control signals to go to a high impedance state so that other devices can control these busses.

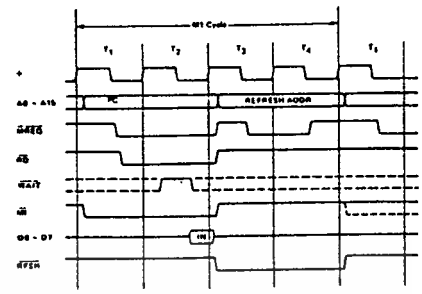
**$\overline{BUSAK}$ (Bus Acknowledge)** Output, active low. Bus acknowledge is used to indicate to the requesting device that the CPU address bus, data bus and tri-state control bus signals have been set to their high impedance state and the external device can now control these signals.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Timing Waveforms

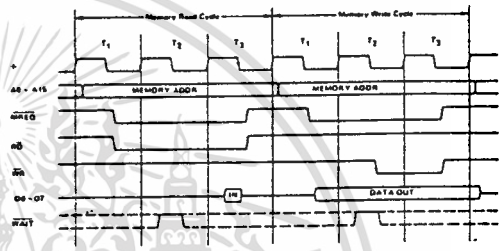
### INSTRUCTION OP CODE FETCH

The program counter content (PC) is placed on the address bus immediately at the start of the cycle. One half clock time later $\overline{MREQ}$ goes active. The falling edge of $\overline{MREQ}$ can be used directly as a chip enable to dynamic memories. $\overline{RD}$ when active indicates that the memory data should be enabled onto the CPU data bus. The CPU samples data with the rising edge of the clock state $T_3$. Clock states $T_3$ and $T_4$ of a fetch cycle are used to refresh dynamic memories while the CPU is internally decoding and executing the instruction. The refresh control signal $\overline{RFSH}$ indicates that a refresh read of all dynamic memories should be accomplished.



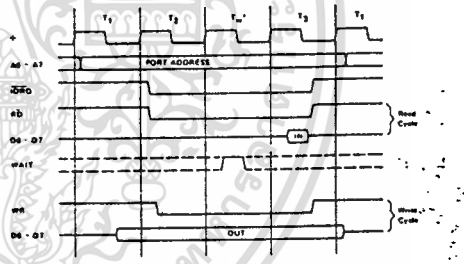

### MEMORY READ OR WRITE CYCLES

Illustrated here is the timing of memory read or write cycles other than an OP code fetch ($M_1$ cycle). The $\overline{MREQ}$ and $\overline{RD}$ signals are used exactly as in the fetch cycle. In the case of a memory write cycle, the $\overline{MREQ}$ also becomes active when the address bus is stable so that it can be used directly as a chip enable for dynamic memories. The $\overline{WR}$ line is active when data on the data bus is stable so that it can be used directly as a R/W pulse to virtually any type of semiconductor memory.



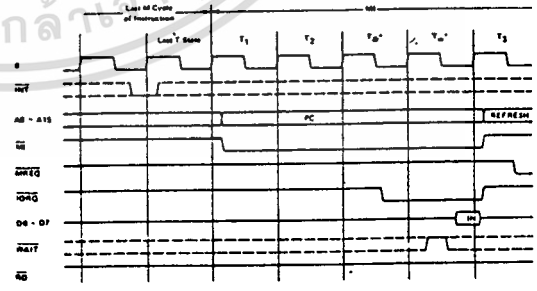

### INPUT OR OUTPUT CYCLES

Illustrated here is the timing for an I/O read or I/O write operation. Notice that during I/O operations a single wait state is automatically inserted (Tw*). The reason for this is that during I/O operations this extra state allows sufficient time for an I/O port to decode its address and activate the $\overline{WAIT}$ line if a wait is required.




### INTERRUPT REQUEST/ACKNOWLEDGE CYCLE

The interrupt signal is sampled by the CPU with the rising edge of the last clock at the end of any instruction. When an interrupt is accepted, a special $M_1$ cycle is generated. During this $M_1$ cycle, the $\overline{IORQ}$ signal becomes active (instead of $\overline{MREQ}$) to indicate that the interrupting device can place an 8-bit vector on the data bus. Two wait states (Tw*) are automatically added to this cycle so that a ripple priority interrupt scheme, such as the one used in the Z80 peripheral controllers, can be easily implemented.




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Z80, Z80A Instruction Set

The following is a summary of the Z80, Z80A instruction set showing the assembly language mnemonic and the symbolic operation performed by the instruction. A more detailed listing appears in the Z80-CPU technical manual, and assembly language programming manual. The instructions are divided into the following categories:

| | |
|---|---|
| 8-bit loads | Miscellaneous Group |
| 16-bit loads | Rotates and Shifts |
| Exchanges | Bit Set, Reset and Test |
| Memory Block Moves | Input and Output |
| Memory Block Searches | Jumps |
| 8-bit arithmetic and logic | Calls |
| 16-bit arithmetic | Restarts |
| General purpose Accumulator & Flag Operations | Returns |

In the table the following terminology is used.

b ≡ a bit number in any 8-bit register or memory location

cc ≡ flag condition code
- NZ ≡ non zero
- Z ≡ zero
- NC ≡ non carry
- C ≡ carry
- PO ≡ Parity odd or no over flow
- PE ≡ Parity even or over flow
- P ≡ Positive
- M ≡ Negative (minus)

d ≡ any 8-bit destination register or memory location

dd ≡ any 16-bit destination register or memory location

e ≡ 8-bit signed 2's complement displacement used in relative jumps and indexed addressing

L ≡ 8 special call locations in page zero. In decimal notation these are 0, 8, 16, 24, 32, 40, 48 and 56

n ≡ any 8-bit binary number

nn ≡ any 16-bit binary number

r ≡ any 8-bit general purpose register (A, B, C, D, E, H, or L)

s ≡ any 8-bit source register or memory location

$s_b$ ≡ a bit in a specific 8-bit register or memory location

ss ≡ any 16-bit source register or memory location

subscript "L" ≡ the low order 8 bits of a 16-bit register

subscript "H" ≡ the high order 8 bits of a 16-bit register

( ) ≡ the contents within the ( ) are to be used as a pointer to a memory location or I/O port number

8-bit registers are A, B, C, D, E, H, L, I and R

16-bit register pairs are AF, BC, DE and HL

16-bit registers are SP, PC, IX and IY

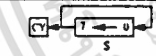
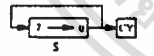
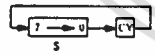
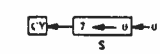
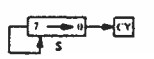
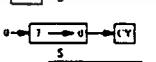
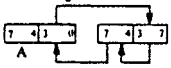
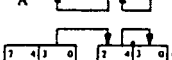
Addressing Modes implemented include combinations of the following:

| | |
|---|---|
| Immediate | Indexed |
| Immediate extended | Register |
| Modified Page Zero | Implied |
| Relative | Register Indirect |
| Extended | Bit |

| | Mnemonic | Symbolic Operation | Comments |
|---|---|---|---|
| 8-BIT LOADS | LD r, s | r ← s | s ≡ r, n, (HL), (IX+e), (IY+e) |
| | LD d, r | d ← r | d ≡ (HL), r (IX+e), (IY+e) |
| | LD d, n | d ← n | d ≡ (HL), (IX+e), (IY+e) |
| | LD A, s | A ← s | s ≡ (BC), (DE), (nn), I, R |
| | LD d, A | d ← A | d ≡ (BC), (DE), (nn), I, R |
| 16-BIT LOADS | LD dd, nn | dd ← nn | dd ≡ BC, DE, HL, SP, IX, IY |
| | LD dd, (nn) | dd ← (nn) | dd ≡ BC, DE, HL, SP, IX, IY |
| | LD (nn), ss | (nn) ← ss | ss ≡ BC, DE, HL, SP, IX, IY |
| | LD SP, ss | SP ← ss | ss = HL, IX, IY |
| | PUSH ss | $(SP-1) \leftarrow ss_H$; $(SP-2) \leftarrow ss_L$ | ss = BC, DE, HL, AF, IX, IY |
| | POP dd | $dd_L \leftarrow (SP)$; $dd_H \leftarrow (SP+1)$ | dd = BC, DE, HL, AF, IX, IY |
| EXCHANGES | EX DE, HL | DE ↔ HL | |
| | EX AF, AF' | AF ↔ AF' | |
| | EXX | $\begin{pmatrix} BC \\ DE \\ HL \end{pmatrix} \leftrightarrow \begin{pmatrix} BC' \\ DE' \\ HL' \end{pmatrix}$ | |
| | EX (SP), ss | $(SP) \leftarrow ss_L$, $(SP+1) \leftarrow ss_H$ | ss ≡ HL, IX, IY |

| | Mnemonic | Symbolic Operation | Comments |
|---|---|---|---|
| MEMORY BLOCK MOVES | LDI | (DE) ← (HL), DE ← DE+1 HL ← HL+1, BC ← BC-1 | |
| | LDIR | (DE) ← (HL), DE ← DE+1 HL ← HL+1, BC ← BC-1 Repeat until BC = 0 | |
| | LDD | (DE) ← (HL), DE ← DE-1 HL ← HL-1, BC ← BC-1 | |
| | LDDR | (DE) ← (HL), DE ← DE-1 HL ← HL-1, BC ← BC-1 Repeat until BC = 0 | |
| MEMORY BLOCK SEARCHES | CPI | A-(HL), HL ← HL+1 BC ← BC-1 | A-(HL) sets the flags only. A is not affected |
| | CPIR | A-(HL), HL ← HL+1 BC ← BC-1, Repeat until BC = 0 or A = (HL) | |
| | CPD | A-(HL), HL ← HL-1 BC ← BC-1 | |
| | CPDR | A-(HL), HL ← HL-1 BC ← BC-1, Repeat until BC= 0 or A = (HL) | |
| 8-BIT ALU | ADD s | A ← A + s | CY is the carry flag<br>s ≡ r, n, (HL) (IX+e), (IY+e) |
| | ADC s | A ← A + s + CY | |
| | SUB s | A ← A - s | |
| | SBC s | A ← A - s - CY | |
| | AND s | A ← A ∧ s | |
| | OR s | A ← A ∨ s | |
| | XOR s | A ← A ⊕ s | |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | Mnemonic | Symbolic Operation | Comments |
|---|---|---|---|
| 8-BIT ALU | CP s | A - s | s = r, n (HL) (IX+e), (IY+e) |
| | INC d | d ← d + 1 | d = r, (HL) (IX+e), (IY+e) |
| | DEC d | d ← d - 1 | |
| 16-BIT ARITHMETIC | ADD HL, ss | HL ← HL + ss | ss ≡ BC, DE HL, SP |
| | ADC HL, ss | HL ← HL + ss + CY | |
| | SBC HL, ss | HL ← HL - ss - CY | |
| | ADD IX, ss | IX ← IX + ss | ss ≡ BC, DE, IX, SP |
| | ADD IY, ss | IY ← IY + ss | ss ≡ BC, DE, IY, SP |
| | INC dd | dd ← dd + 1 | dd ≡ BC, DE, HL, SP, IX, IY |
| | DEC dd | dd ← dd - 1 | dd ≡ BC, DE, HL, SP, IX, IY |
| GP ACC. & FLAG | DAA | Converts A contents into packed BCD following add or subtract. | Operands must be in packed BCD format |
| | CPL | $A \leftarrow \overline{A}$ | |
| | NEG | A ← 00 - A | |
| | CCF | $CY \leftarrow \overline{CY}$ | |
| | SCF | CY ← 1 | |
| MISCELLANEOUS | NOP | No operation | |
| | HALT | Halt CPU | |
| | DI | Disable Interrupts | |
| | EI | Enable Interrupts | |
| | IM 0 | Set interrupt mode 0 | 8080A mode |
| | IM 1 | Set interrupt mode 1 | Call to $0038_H$ |
| | IM 2 | Set interrupt mode 2 | Indirect Call |
| ROTATES AND SHIFTS | RLC s |  | s ≡ r, (HL) (IX+e), (IY+e) |
| | RL s | | |
| | RRC s |  | |
| | RR s |  | |
| | SLA s |  | |
| | SRA s |  | |
| | SRL s |  | |
| | RLD |  | |
| | RRD |  | |

| | Mnemonic | Symbolic Operation | Comments |
|---|---|---|---|
| BIT S, R, & T | BIT b, s | $Z \leftarrow \overline{s_b}$ | Z is zero flag |
| | SET b, s | $s_b \leftarrow 1$ | s ≡ r, (HL) (IX+e), (IY+e) |
| | RES b, s | $s_b \leftarrow 0$ | |
| INPUT AND OUTPUT | IN A, (n) | A ← (n) | |
| | IN r, (C) | r ← (C) | Set flags |
| | INI | (HL) ← (C), HL ← HL + 1 B ← B - 1 | |
| | INIR | (HL) ← (C), HL ← HL + 1 B ← B - 1 Repeat until B = 0 | |
| | IND | (HL) ← (C), HL ← HL - 1 B ← B - 1 | |
| | INDR | (HL) ← (C), HL ← HL - 1 B ← B - 1 Repeat until B = 0 | |
| | OUT(n), A | (n) ← A | |
| | OUT(C), r | (C) ← r | |
| | OUTI | (C) ← (HL), HL ← HL + 1 B ← B - 1 | |
| | OTIR | (C) ← (HL), HL ← HL + 1 B ← B - 1 Repeat until B = 0 | |
| | OUTD | (C) ← (HL), HL ← HL - 1 B ← B - 1 | |
| | OTDR | (C) ← (HL), HL ← HL - 1 B ← B - 1 Repeat until B = 0 | |
| JUMPS | JP nn | PC ← nn | cc { NZ PO, Z PE, NC P, C M |
| | JP cc, nn | If condition cc is true PC ← nn, else continue | |
| | JR e | PC ← PC + e | kk { NZ NC, Z C |
| | JR kk, e | If condition kk is true PC ← PC + e, else continue | |
| | JP (ss) | PC ← ss | ss = HL, IX, IY |
| | DJNZ e | B ← B - 1, if B = 0 continue, else PC ← PC + e | |
| CALLS | CALL nn | $(SP-1) \leftarrow PC_H$ $(SP-2) \leftarrow PC_L$, PC ← nn | cc { NZ PO, Z PE, NC P, C M |
| | CALL cc, nn | If condition cc is false continue, else same as CALL nn | |
| RESTARTS | RST L | $(SP-1) \leftarrow PC_H$ $(SP-2) \leftarrow PC_L$, $PC_H \leftarrow 0$ $PC_L \leftarrow L$ | |
| RETURNS | RET | $PC_L \leftarrow (SP)$, $PC_H \leftarrow (SP+1)$ | cc { NZ PO, Z PE, NC P, C M |
| | RET cc | If condition cc is false continue, else same as RET | |
| | RETI | Return from interrupt, same as RET | |
| | RETN | Return from non-maskable interrupt | |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## A.C. Characteristics Z80-CPU

$T_A$ = 0°C to 70°C, Vcc = +5V ± 5%, Unless Otherwise Noted.

| Signal | Symbol | Parameter | Min | Max | Unit | Test Condition | |
|---|---|---|---|---|---|---|---|
| Φ | $t_c$ | Clock Period | 4 | [12] | μsec | | [12] $t_c = t_{w(\Phi H)} + t_{w(\Phi L)} + t_r + t_f$ |
| | $t_{w(\Phi H)}$ | Clock Pulse Width, Clock High | 180 | [E] | nsec | | |
| | $t_{w(\Phi L)}$ | Clock Pulse Width, Clock Low | 180 | 2000 | nsec | | |
| | $t_r, t_f$ | Clock Rise and Fall Time | | 30 | nsec | | |
| $A_{0-15}$ | $t_{D(AD)}$ | Address Output Delay | | 145 | nsec | $C_L$ = 50pF | |
| | $t_{F(AD)}$ | Delay to Float | | 110 | nsec | | |
| | $t_{acm}$ | Address Stable Prior to $\overline{MREQ}$ (Memory Cycle) | [11] | | nsec | | [1] $t_{acm} = t_{w(\Phi H)} + t_f - 75$ |
| | $t_{aci}$ | Address Stable Prior to $\overline{IORQ}$, $\overline{RD}$ or $\overline{WR}$ (I/O Cycle) | [21] | | nsec | | [2] $t_{aci} = t_c - 80$ |
| | $t_{ca}$ | Address Stable from $\overline{RD}$, $\overline{WR}$, $\overline{IORQ}$ or $\overline{MREQ}$ | [31] | | nsec | | |
| | $t_{caf}$ | Address Stable From $\overline{RD}$ or $\overline{WR}$ During Float | [4] | | nsec | | |
| $D_{0-7}$ | $t_{D(D)}$ | Data Output Delay | | 230 | nsec | $C_L$ = 50pF | [3] $t_{cc} = t_{w(\Phi L)} + t_r - 40$ |
| | $t_{F(D)}$ | Delay to Float During Write Cycle | | 90 | nsec | | [4] $t_{caf} = t_{w(\Phi L)} + t_r - 60$ |
| | $t_{S\Phi(D)}$ | Data Setup Time to Rising Edge of Clock During M1 Cycle | 50 | | nsec | | [5] $t_{dcm} = t_c - 210$ |
| | $t_{S\bar{\Phi}(D)}$ | Data Setup Time to Falling Edge of Clock During M2 to M5 | 60 | | nsec | | [6] $t_{dci} = t_{w(\Phi L)} + t_r - 210$ |
| | $t_{dcm}$ | Data Stable Prior to $\overline{WR}$ (Memory Cycle) | [5] | | nsec | | [7] $t_{cdf} = t_{w(\Phi L)} + t_r - 80$ |
| | $t_{dci}$ | Data Stable Prior to $\overline{WR}$ (I/O Cycle) | [6] | | nsec | | |
| | $t_{cdf}$ | Data Stable From $\overline{WR}$ | [7] | | | | |
| | $t_H$ | Any Hold Time for Setup Time | 0 | | nsec | | |
| $\overline{MREQ}$ | $t_{DL\bar{\Phi}(MR)}$ | $\overline{MREQ}$ Delay From Falling Edge of Clock, $\overline{MREQ}$ Low | | 100 | nsec | $C_L$ = 50pF | |
| | $t_{DH\Phi(MR)}$ | $\overline{MREQ}$ Delay From Rising Edge of Clock, $\overline{MREQ}$ High | | 100 | nsec | | |
| | $t_{DH\bar{\Phi}(MR)}$ | $\overline{MREQ}$ Delay From Falling Edge of Clock, $\overline{MREQ}$ High | | 100 | nsec | | |
| | $t_{w(\overline{MRL})}$ | Pulse Width, $\overline{MREQ}$ Low | [8] | | nsec | | [8] $t_{w(MRL)} = t_c - 40$ |
| | $t_{w(\overline{MRH})}$ | Pulse Width, $\overline{MREQ}$ High | [9] | | nsec | | [9] $t_{w(MRH)} = t_{w(\Phi H)} + t_f - 30$ |
| $\overline{IORQ}$ | $t_{DL\Phi(IR)}$ | $\overline{IORQ}$ Delay From Rising Edge of Clock, $\overline{IORQ}$ Low | | 90 | nsec | $C_L$ = 50pF | |
| | $t_{DL\bar{\Phi}(IR)}$ | $\overline{IORQ}$ Delay From Falling Edge of Clock, $\overline{IORQ}$ Low | | 110 | nsec | | |
| | $t_{DH\Phi(IR)}$ | $\overline{IORQ}$ Delay From Rising Edge of Clock, $\overline{IORQ}$ High | | 100 | nsec | | |
| | $t_{DH\bar{\Phi}(IR)}$ | $\overline{IORQ}$ Delay From Falling Edge of Clock, $\overline{IORQ}$ High | | 110 | nsec | | |
| $\overline{RD}$ | $t_{DL\Phi(RD)}$ | $\overline{RD}$ Delay From Rising Edge of Clock, $\overline{RD}$ Low | | 100 | nsec | $C_L$ = 50pF | |
| | $t_{DL\bar{\Phi}(RD)}$ | $\overline{RD}$ Delay From Falling Edge of Clock, $\overline{RD}$ Low | | 130 | nsec | | |
| | $t_{DH\Phi(RD)}$ | $\overline{RD}$ Delay From Rising Edge of Clock, $\overline{RD}$ High | | 100 | nsec | | |
| | $t_{DH\bar{\Phi}(RD)}$ | $\overline{RD}$ Delay From Falling Edge of Clock, $\overline{RD}$ High | | 110 | nsec | | |
| $\overline{WR}$ | $t_{DL\Phi(WR)}$ | $\overline{WR}$ Delay From Rising Edge of Clock, $\overline{WR}$ Low | | 80 | nsec | $C_L$ = 50pF | |
| | $t_{DL\bar{\Phi}(WR)}$ | $\overline{WR}$ Delay From Falling Edge of Clock, $\overline{WR}$ Low | | 90 | nsec | | |
| | $t_{DH\bar{\Phi}(WR)}$ | $\overline{WR}$ Delay From Falling Edge of Clock, $\overline{WR}$ High | | 100 | nsec | | |
| | $t_{w(\overline{WRL})}$ | Pulse Width, $\overline{WR}$ Low | [10] | | nsec | | [10] $t_{w(\overline{WRL})} = t_c - 40$ |
| $\overline{M1}$ | $t_{DL(M1)}$ | $\overline{M1}$ Delay From Rising Edge of Clock, $\overline{M1}$ Low | | 130 | nsec | $C_L$ = 50pF | |
| | $t_{DH(M1)}$ | $\overline{M1}$ Delay From Rising Edge of Clock, $\overline{M1}$ High | | 130 | nsec | | |
| $\overline{RFSH}$ | $t_{DL(RF)}$ | $\overline{RFSH}$ Delay From Rising Edge of Clock, $\overline{RFSH}$ Low | | 180 | nsec | $C_L$ = 50pF | |
| | $t_{DH(RF)}$ | $\overline{RFSH}$ Delay From Rising Edge of Clock, $\overline{RFSH}$ High | | 150 | nsec | | |
| $\overline{WAIT}$ | $t_{s(WT)}$ | $\overline{WAIT}$ Setup Time to Falling Edge of Clock | 70 | | nsec | | |
| $\overline{HALT}$ | $t_{D(HT)}$ | $\overline{HALT}$ Delay Time From Falling Edge of Clock | | 300 | nsec | $C_L$ = 50pF | |
| $\overline{INT}$ | $t_{s(IT)}$ | $\overline{INT}$ Setup Time to Rising Edge of Clock | 80 | | nsec | | |
| $\overline{NMI}$ | $t_{w(\overline{NML})}$ | Pulse Width, $\overline{NMI}$ Low | 80 | | nsec | | |
| $\overline{BUSRQ}$ | $t_{s(BQ)}$ | $\overline{BUSRQ}$ Setup Time to Rising Edge of Clock | 80 | | nsec | | |
| $\overline{BUSAK}$ | $t_{DL(BA)}$ | $\overline{BUSAK}$ Delay From Rising Edge of Clock, $\overline{BUSAK}$ Low | | 120 | nsec | $C_L$ = 50pF | |
| | $t_{DH(BA)}$ | $\overline{BUSAK}$ Delay From Falling Edge of Clock, $\overline{BUSAK}$ High | | 110 | nsec | | |
| $\overline{RESET}$ | $t_{s(RS)}$ | $\overline{RESET}$ Setup Time to Rising Edge of Clock | 90 | | nsec | | |
| | $t_{F(C)}$ | Delay to Float ($\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$ and $\overline{WR}$) | | 100 | nsec | | |
| | $t_{mi}$ | $\overline{M1}$ Stable Prior to $\overline{IORQ}$ (Interrupt Ack.) | [11] | | nsec | | [11] $t_{mi} = 2t_c + t_{w(\Phi H)} + t_f - 80$ |

NOTES:

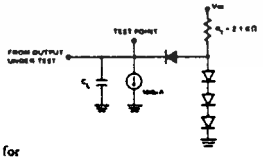
A. Data should be enabled onto the CPU data bus when $\overline{RD}$ is active. During interrupt acknowledge data should be enabled when $\overline{M1}$ and $\overline{IORQ}$ are both active.

B. All control signals are internally synchronized, so they may be totally asynchronous with respect to the clock.

C. The $\overline{RESET}$ signal must be active for a minimum of 3 clock cycles.

D. Output Delay vs. Loaded Capacitance
TA = 70°C, Vcc = +5V ±5%
Add 10nsec delay for each 50pf increase in load up to a maximum of 200pf for the data bus & 100pf for address & control lines

† Although static by design, testing guarantees $t_{w(\Phi H)}$ of 200 μsec maximum



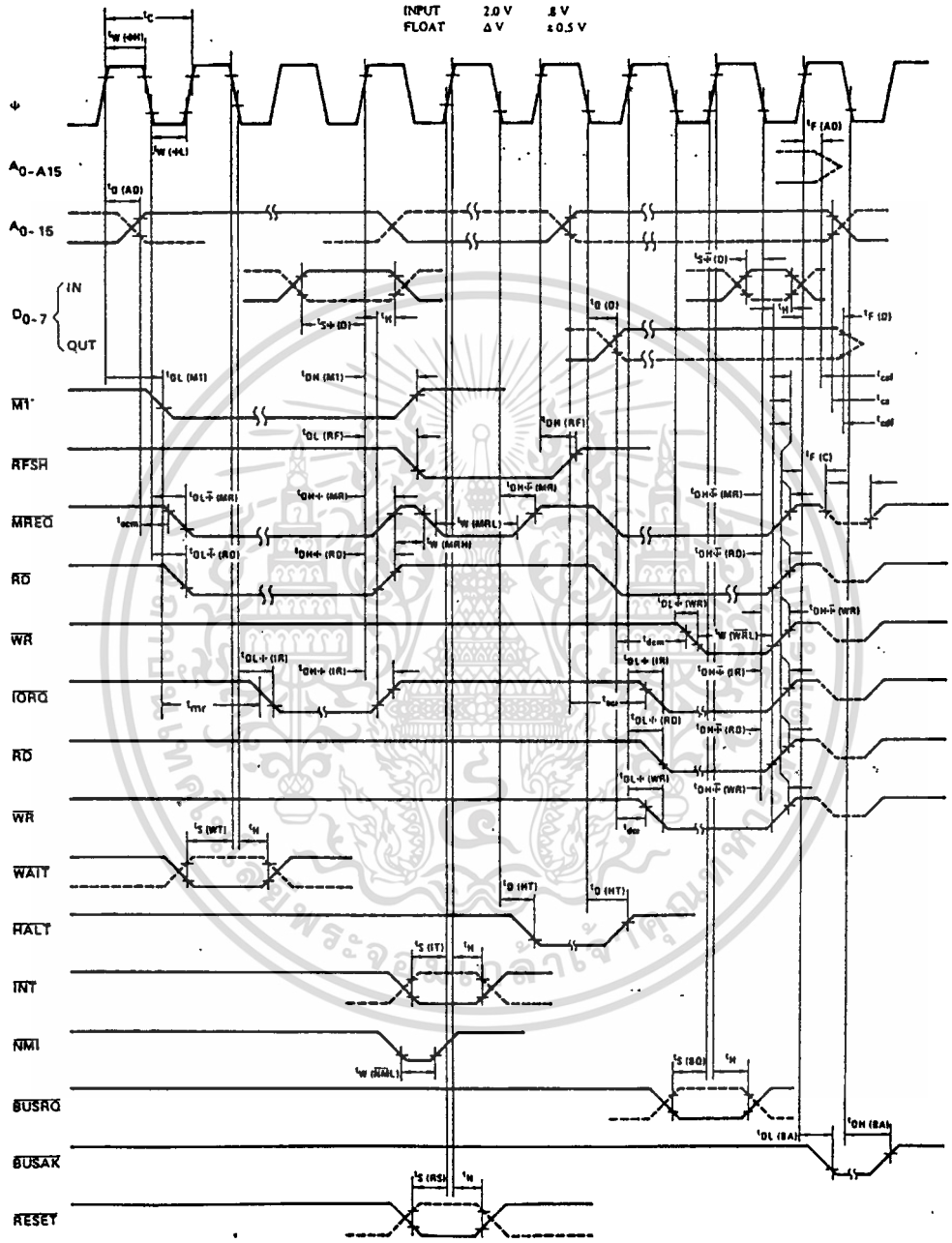

Load circuit for Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## A.C. Timing Diagram

Timing measurements are made at the following voltages, unless otherwise specified:

| | "1" | "0" |
|---|---|---|
| CLOCK | $V_{cc}$ -.6V | .45V |
| OUTPUT | 2.0 V | .8 V |
| INPUT | 2.0 V | .8 V |
| FLOAT | Δ V | ±0.5 V |




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings

| | |
|---|---|
| Temperature Under Bias | Specified operating range. |
| Storage Temperature | -65°C to +150°C |
| Voltage On Any Pin with Respect to Ground | -0.3V to +7V |
| Power Dissipation | 1.5W |

*Comment

Stresses above those listed under "Absolute Maximum Rating" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other condition above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Note: For Z80-CPU all AC and DC characteristics remain the same for the military grade parts except $I_{CC}$.

$I_{CC}$ = 200 mA

## Z80-CPU D.C. Characteristics

$T_A$ = 0°C to 70°C, $V_{CC}$ = 5V ± 5% unless otherwise specified

| Symbol | Parameter | Min. | Typ. | Max. | Unit | Test Condition |
|---|---|---|---|---|---|---|
| $V_{ILC}$ | Clock Input Low Voltage | -0.3 | | 0.45 | V | |
| $V_{IHC}$ | Clock Input High Voltage | $V_{CC}$ -.6 | | $V_{CC}$+.3 | V | |
| $V_{IL}$ | Input Low Voltage | -0.3 | | 0.8 | V | |
| $V_{IH}$ | Input High Voltage | 2.0 | | $V_{CC}$ | V | |
| $V_{OL}$ | Output Low Voltage | | | 0.4 | V | $I_{OL}$=1.8mA |
| $V_{OH}$ | Output High Voltage | 2.4 | | | V | $I_{OH}$ = -250μA |
| $I_{CC}$ | Power Supply Current | | | 150 | mA | |
| $I_{LI}$ | Input Leakage Current | | | 10 | μA | $V_{IN}$=0 to $V_{CC}$ |
| $I_{LOH}$ | Tri-State Output Leakage Current in Float | | | 10 | μA | $V_{OUT}$=2.4 to $V_{CC}$ |
| $I_{LOL}$ | Tri-State Output Leakage Current in Float | | | -10 | μA | $V_{OUT}$=0.4V |
| $I_{LD}$ | Data Bus Leakage Current in Input Mode | | | ±10 | μA | $0 \le V_{IN} \le V_{CC}$ |

## Capacitance

$T_A$ = 25°C, f = 1 MHz,
unmeasured pins returned to ground

| Symbol | Parameter | Max. | Unit |
|---|---|---|---|
| $C_\Phi$ | Clock Capacitance | 35 | pF |
| $C_{IN}$ | Input Capacitance | 5 | pF |
| $C_{OUT}$ | Output Capacitance | 10 | pF |

## Z80-CPU Ordering Information

C – Ceramic
P – Plastic
S – Standard 5V ±5% 0° to 70°C
E – Extended 5V ±5% -40° to 85°C
M – Military 5V ±10% -55° to 125°C

## Z80A-CPU D.C. Characteristics

$T_A$ = 0°C to 70°C, $V_{CC}$ = 5V ± 5% unless otherwise specified

| Symbol | Parameter | Min. | Typ. | Max. | Unit | Test Condition |
|---|---|---|---|---|---|---|
| $V_{ILC}$ | Clock Input Low Voltage | -0.3 | | 0.45 | V | |
| $V_{IHC}$ | Clock Input High Voltage | $V_{CC}$ -.6 | | $V_{CC}$+.3 | V | |
| $V_{IL}$ | Input Low Voltage | -0.3 | | 0.8 | V | |
| $V_{IH}$ | Input High Voltage | 2.0 | | $V_{CC}$ | V | |
| $V_{OL}$ | Output Low Voltage | | | 0.4 | V | $I_{OL}$=1.8mA |
| $V_{OH}$ | Output High Voltage | 2.4 | | | V | $I_{OH}$ = -250μA |
| $I_{CC}$ | Power Supply Current | | 90 | 200 | mA | |
| $I_{LI}$ | Input Leakage Current | | | 10 | μA | $V_{IN}$=0 to $V_{CC}$ |
| $I_{LOH}$ | Tri-State Output Leakage Current in Float | | | 10 | μA | $V_{OUT}$=2.4 to $V_{CC}$ |
| $I_{LOL}$ | Tri-State Output Leakage Current in Float | | | -10 | μA | $V_{OUT}$=0.4V |
| $I_{LD}$ | Data Bus Leakage Current in Input Mode | | | ±10 | μA | $0 \le V_{IN} \le V_{CC}$ |

## Capacitance

$T_A$ = 25°C, f = 1 MHz,
unmeasured pins returned to ground

| Symbol | Parameter | Max. | Unit |
|---|---|---|---|
| $C_\Phi$ | Clock Capacitance | 35 | pF |
| $C_{IN}$ | Input Capacitance | 5 | pF |
| $C_{OUT}$ | Output Capacitance | 10 | pF |

## Z80A-CPU Ordering Information

C – Ceramic
P – Plastic
S – Standard 5V ±5% 0° to 70°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# A.C. Characteristics Z80A-CPU

$T_A$ = 0°C to 70°C, Vcc = +5V ± 5%, Unless Otherwise Noted.

| Signal | Symbol | Parameter | Min | Max | Unit | Test Condition | |
|---|---|---|---|---|---|---|---|
| Φ | $t_c$ | Clock Period | 250 | [12] | μsec | | [12] $t_c = t_{w(\Phi H)} + t_{w(\Phi L)} + t_r + t_f$ |
| | $t_{w(\Phi H)}$ | Clock Pulse Width, Clock High | 110 | [E] | nsec | | |
| | $t_{w(\Phi L)}$ | Clock Pulse Width, Clock Low | 110 | 2000 | nsec | | |
| | $t_r, t_f$ | Clock Rise and Fall Time | | 30 | nsec | | |
| $A_{0-15}$ | $t_{D(AD)}$ | Address Output Delay | | 110 | nsec | $C_L$ = 50pF | |
| | $t_{F(AD)}$ | Delay to Float | | 90 | nsec | | |
| | $t_{acm}$ | Address Stable Prior to $\overline{MREQ}$ (Memory Cycle) | [1] | | nsec | | [1] $t_{acm} = t_{w(\Phi H)} + t_f - 65$ |
| | $t_{aci}$ | Address Stable Prior to $\overline{IORQ}$, $\overline{RD}$ or $\overline{WR}$ (I/O Cycle) | [2] | | nsec | | [2] $t_{aci} = t_c - 70$ |
| | $t_{ca}$ | Address Stable from $\overline{RD}$, $\overline{WR}$, $\overline{IORQ}$ or $\overline{MREQ}$ | [3] | | nsec | | [3] $t_{ca} = t_{w(\Phi L)} + t_r - 50$ |
| | $t_{caf}$ | Address Stable From $\overline{RD}$ or $\overline{WR}$ During Float | [4] | | nsec | | [4] $t_{caf} = t_{w(\Phi L)} + t_r - 45$ |
| $D_{0-7}$ | $t_{D(D)}$ | Data Output Delay | | 150 | nsec | $C_L$ = 50pF | [5] $t_{dcm} = t_c - 170$ |
| | $t_{F(D)}$ | Delay to Float During Write Cycle | | 90 | nsec | | [6] $t_{dci} = t_{w(\Phi L)} + t_r - 170$ |
| | $t_{s\Phi(D)}$ | Data Setup Time to Rising Edge of Clock During M1 Cycle | 35 | | nsec | | [7] $t_{cdf} = t_{w(\Phi L)} + t_r - 70$ |
| | $t_{s\overline{\Phi}(D)}$ | Data Setup Time to Falling Edge of Clock During M2 to M5 | 50 | | nsec | | |
| | $t_{dcm}$ | Data Stable Prior to $\overline{WR}$ (Memory Cycle) | [5] | | nsec | | |
| | $t_{dci}$ | Data Stable Prior to $\overline{WR}$ (I/O Cycle) | [6] | | nsec | | |
| | $t_{cdf}$ | Data Stable From $\overline{WR}$ | [7] | | | | |
| | $t_H$ | Any Hold Time for Setup Time | | 0 | nsec | | |
| $\overline{MREQ}$ | $t_{DL\overline{\Phi}(MR)}$ | $\overline{MREQ}$ Delay From Falling Edge of Clock, $\overline{MREQ}$ Low | | 85 | nsec | $C_L$ = 50pF | |
| | $t_{DH\Phi(MR)}$ | $\overline{MREQ}$ Delay From Rising Edge of Clock, $\overline{MREQ}$ High | | 85 | nsec | | |
| | $t_{DH\overline{\Phi}(MR)}$ | $\overline{MREQ}$ Delay From Falling Edge of Clock, $\overline{MREQ}$ High | | 85 | nsec | | |
| | $t_{w(\overline{MRL})}$ | Pulse Width, $\overline{MREQ}$ Low | [8] | | nsec | | [8] $t_{w(\overline{MRL})} = t_c - 30$ |
| | $t_{w(\overline{MRH})}$ | Pulse Width, $\overline{MREQ}$ High | [9] | | nsec | | [9] $t_{w(\overline{MRH})} = t_{w(\Phi H)} + t_f - 20$ |
| $\overline{IORQ}$ | $t_{DL\Phi(IR)}$ | $\overline{IORQ}$ Delay From Rising Edge of Clock, $\overline{IORQ}$ Low | | 75 | nsec | $C_L$ = 50pF | |
| | $t_{DL\overline{\Phi}(IR)}$ | $\overline{IORQ}$ Delay From Falling Edge of Clock, $\overline{IORQ}$ Low | | 85 | nsec | | |
| | $t_{DH\Phi(IR)}$ | $\overline{IORQ}$ Delay From Rising Edge of Clock, $\overline{IORQ}$ High | | 85 | nsec | | |
| | $t_{DH\overline{\Phi}(IR)}$ | $\overline{IORQ}$ Delay From Falling Edge of Clock, $\overline{IORQ}$ High | | 85 | nsec | | |
| $\overline{RD}$ | $t_{DL\Phi(RD)}$ | $\overline{RD}$ Delay From Rising Edge of Clock, $\overline{RD}$ Low | | 85 | nsec | $C_L$ = 50pF | |
| | $t_{DL\overline{\Phi}(RD)}$ | $\overline{RD}$ Delay From Falling Edge of Clock, $\overline{RD}$ Low | | 95 | nsec | | |
| | $t_{DH\Phi(RD)}$ | $\overline{RD}$ Delay From Rising Edge of Clock, $\overline{RD}$ High | | 85 | nsec | | |
| | $t_{DH\overline{\Phi}(RD)}$ | $\overline{RD}$ Delay From Falling Edge of Clock, $\overline{RD}$ High | | 85 | nsec | | |
| $\overline{WR}$ | $t_{DL\Phi(WR)}$ | $\overline{WR}$ Delay From Rising Edge of Clock, $\overline{WR}$ Low | | 65 | nsec | $C_L$ = 50pF | |
| | $t_{DL\overline{\Phi}(WR)}$ | $\overline{WR}$ Delay From Falling Edge of Clock, $\overline{WR}$ Low | | 80 | nsec | | |
| | $t_{DH\overline{\Phi}(WR)}$ | $\overline{WR}$ Delay From Falling Edge of Clock, $\overline{WR}$ High | | 80 | nsec | | |
| | $t_{w(\overline{WRL})}$ | Pulse Width, $\overline{WR}$ Low | [10] | | nsec | | [10] $t_{w(\overline{WRL})} = t_c - 30$ |
| $\overline{M1}$ | $t_{DL(M1)}$ | $\overline{M1}$ Delay From Rising Edge of Clock, $\overline{M1}$ Low | | 100 | nsec | $C_L$ = 50pF | |
| | $t_{DH(M1)}$ | $\overline{M1}$ Delay From Rising Edge of Clock, $\overline{M1}$ High | | 100 | nsec | | |
| $\overline{RFSH}$ | $t_{DL(RF)}$ | $\overline{RFSH}$ Delay From Rising Edge of Clock, $\overline{RFSH}$ Low | | 130 | nsec | $C_L$ = 50pF | |
| | $t_{DH(RF)}$ | $\overline{RFSH}$ Delay From Rising Edge of Clock, $\overline{RFSH}$ High | | 120 | nsec | | |
| $\overline{WAIT}$ | $t_{s(WT)}$ | $\overline{WAIT}$ Setup Time to Falling Edge of Clock | 70 | | nsec | | |
| $\overline{HALT}$ | $t_{D(HT)}$ | $\overline{HALT}$ Delay Time From Falling Edge of Clock | | 300 | nsec | $C_L$ = 50pF | |
| $\overline{INT}$ | $t_{s(IT)}$ | $\overline{INT}$ Setup Time to Rising Edge of Clock | 80 | | nsec | | |
| $\overline{NMI}$ | $t_{w(\overline{NML})}$ | Pulse Width, $\overline{NMI}$ Low | 80 | | nsec | | |
| $\overline{BUSRQ}$ | $t_{s(BQ)}$ | $\overline{BUSRQ}$ Setup Time to Rising Edge of Clock | 50 | | nsec | | |
| $\overline{BUSAK}$ | $t_{DL(BA)}$ | $\overline{BUSAK}$ Delay From Rising Edge of Clock, $\overline{BUSAK}$ Low | | 100 | nsec | $C_L$ = 50pF | |
| | $t_{DH(BA)}$ | $\overline{BUSAK}$ Delay From Falling Edge of Clock, $\overline{BUSAK}$ High | | 100 | nsec | | |
| $\overline{RESET}$ | $t_{s(RS)}$ | $\overline{RESET}$ Setup Time to Rising Edge of Clock | 60 | | nsec | | |
| | $t_{F(C)}$ | Delay to Float ($\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$ and $\overline{WR}$) | | 80 | nsec | | |
| | $t_{mr}$ | M1 Stable Prior to IORQ (Interrupt Ack.) | [11] | | nsec | | [11] $t_{mr} = 2t_c + t_{w(\Phi H)} + t_f - 65$ |

NOTES:

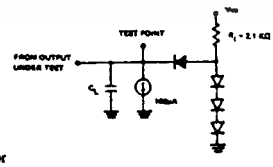
A. Data should be enabled onto the CPU data bus when $\overline{RD}$ is active. During interrupt acknowledge data should be enabled when $\overline{M1}$ and $\overline{IORQ}$ are both active.

B. All control signals are internally synchronized, so they may be totally asynchronous with respect to the clock.

C. The $\overline{RESET}$ signal must be active for a minimum of 3 clock cycles.

D. Output Delay vs. Loaded Capacitance
TA = 70°C Vcc = +5V ±5%
Add 10nsec delay for each 50pf increase in load up to maximum of 200pf for data bus and 100pf for address & control lines.

E. Although static by design, testing guarantees $t_{w(\Phi H)}$ of 200 μsec maximum




Load circuit for Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# TOSHIBA

**8,192 WORD x 8 BIT UV ERASABLE AND ELECTRICALLY PROGRAMMABLE READ ONLY MEMORY**

**N-CHANNEL SILICON STACKED GATE MOS**

# TMM2764D
# TMM2764D-2

## DESCRIPTION

The TMM2764D is a 8192 word x 8 bit ultraviolet light erasable and electrically programmable read only memory. For read operation, the TMM2764D's access time is 200 ns, and the TMM2764D operates from a single 5-volt power supply and has low power standby mode which reduces the power dissipation without increasing access time. The standby mode is achieved by applying a TTL-high level signal to the $\overline{CE}$ input. The maximum active current is 120mA and the maximum standby current is 35mA.

For program operation, the programming is achieved by applying a 50ms active TTL low program pulse to the $\overline{PGM}$ input, and it is possible to program sequentially individually, or at random.

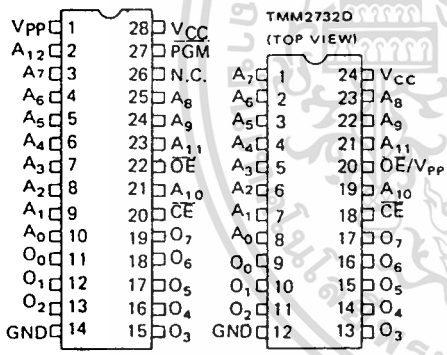
The TMM2764D is fabricated with the N-channel silicon double layer gate MOS technology and is packaged in a standard 28 pin dual in line cerdip package.

## FEATURES

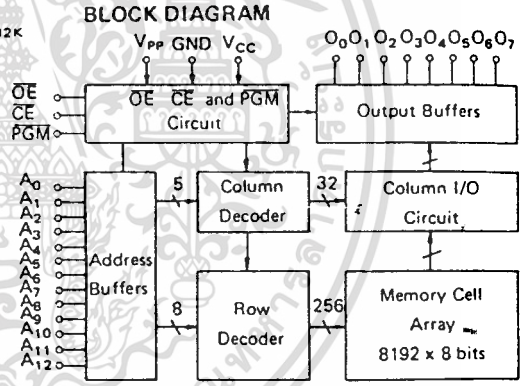
- Single 5-volt power supply
- Fast access time : TMM2764D 250 ns
  TMM2764D-2 200 ns
- Power dissipation :
  120 mA (active current) Max.
  35 mA (standby current) Max.
- Low power standby mode . $\overline{CE}$
- Output buffer control $\overline{OE}$
- Fully static operation
- Programs with one 50 ms pulse
- Single location programming
- Three state outputs
- Inputs and outputs TTL compatible
- Pin compatible with i2764 and ROM TMM2364P

## PIN CONNECTION (TOP VIEW)

Lower 24 pins compatible with 32K bit EPROM TMM2732D




## BLOCK DIAGRAM




## PIN NAMES

| | |
|---|---|
| $A_0 \sim A_{12}$ | Address Inputs |
| $O_0 \sim O_7$ | Outputs (Inputs) |
| $\overline{CE}$ | Chip Enable Input |
| $\overline{OE}$ | Output Enable Input |
| $\overline{PGM}$ | Program Control Input |
| N.C. | No Connection |
| $V_{PP}$ | Program Supply Voltage |
| $V_{CC}$ | $V_{CC}$ Supply Voltage (+5V) |
| GND | Ground |

## MODE SELECTION

| Mode \ Pin | $\overline{PGM}$ (27) | $\overline{CE}$ (20) | $\overline{OE}$ (22) | $V_{PP}$ (1) | $V_{CC}$ (28) | $O_0 \sim O_7$ (11~13, 15~19) | Power |
|---|---|---|---|---|---|---|---|
| Read | H | L | L | 5V | 5V | Data Out | Active |
| Output Deselect | • | • | H | 5V | 5V | High Impedance | Active |
| Standby | • | H | • | 5V | 5V | High Impedance | Standby |
| Program | L | L | • | 21V | 5V | Data in | Active |
| Program Inhibit | • | H | • | 21V | 5V | High Impedance | Active |
| | H | L | H | 21V | 5V | High Impedance | Active |
| Program Verify | H | L | L | 21V | 5V | Data Out | Active |

Note, • H or L



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MAXIMUM RATINGS

| SYMBOL | ITEM | RATING | UNIT |
|---|---|---|---|
| $V_{CC}$ | $V_{CC}$ Power Supply Voltage | −0.6 ~ 7.0 | V |
| $V_{PP}$ | Program Supply Voltage | −0.6 ~ 22.0 | V |
| $V_{IN}$ | Input Voltage | −0.6 ~ 7.0 | V |
| $V_{OUT}$ | Output Voltage | −0.6 ~ 7.0 | V |
| $P_D$ | Power Dissipation | 1.5 | W |
| $T_{SOLDER}$ | Soldering Temperature · Time | 260 · 10 | °C · sec |
| $T_{STRG.}$ | Storage Temperature | −65 ~ 125 | °C |
| $T_{OPR.}$ | Operating Temperature | 0 ~ 70 | °C |

## READ OPERATION

### D.C. RECOMMENDED OPERATING CONDITIONS

| SYMBOL | PARAMETER | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|
| $V_{IH}$ | Input High Voltage | 2.0 | – | $V_{CC}$ + 1.0 | V |
| $V_{IL}$ | Input Low Voltage | −0.3 | – | 0.8 | V |
| $V_{CC}$ | $V_{CC}$ Power Supply Voltage | 4.75 | – | 5.25 | V |
| $V_{PP}$ | $V_{PP}$ Power Supply Voltage | 2.0 | $V_{CC}$ | $V_{CC}$ + 0.6 | V |

### D.C. and OPERATING CHARACTERISTICS

(Ta = 0 ~ 70°C, $V_{CC}$ = 5V ± 5% Unless otherwise noted)

| SYMBOL | PARAMETER | CONDITIONS | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|---|
| $I_{LI}$ | Input Current | $V_{IN}$ = 0 ~ $V_{CC}$ | – | – | ± 10 | μA |
| $I_{CC1}$ | Supply Current (Standby) | $\overline{CE}$ = $V_{IH}$ | – | – | 35 | mA |
| $I_{CC2}$ | Supply Current (Active) | $\overline{CE}$ = $V_{IL}$ | – | – | 120 | mA |
| $V_{OH}$ | Output High Voltage | $I_{OH}$ = −400μA | 2.4 | – | – | V |
| $V_{OL}$ | Output Low Voltage | $I_{OL}$ = 2.1mA | – | – | 0.4 | V |
| $I_{PP1}$ | $V_{PP}$ Current | $V_{PP}$ = 0 ~ $V_{CC}$ + 0.6 | – | – | ± 10 | μA |
| $I_{LO}$ | Output Leakage Current | $V_{OUT}$ = 0.4 ~ $V_{CC}$ | – | – | ± 10 | μA |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## A.C. CHARACTERISTICS

($Ta = 0 \sim 70°C$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 2.0V \sim V_{CC} + 0.6V$, Unless otherwise noted)

| SYMBOL | PARAMETER | CONDITIONS | TMM2764D-2 | | TMM2764D | | UNIT |
|---|---|---|---|---|---|---|---|
| | | | MIN. | MAX. | MIN. | MAX. | |
| $t_{ACC}$ | Address Access Time | $\overline{CE} = \overline{OE} = V_{IL}$, $\overline{PGM} = V_{IH}$ | – | 200 | – | 250 | ns |
| $t_{CE}$ | $\overline{CE}$ to Output Valid | $\overline{OE} = V_{IL}$, $\overline{PGM} = V_{IH}$ | – | 200 | – | 250 | ns |
| $t_{OE}$ | $\overline{OE}$ to Output Valid | $\overline{CE} = V_{IL}$, $\overline{PGM} = V_{IH}$ | – | 70 | – | 100 | ns |
| $t_{PGM}$ | $\overline{PGM}$ to Output Valid | $\overline{OE} = \overline{CE} = V_{IL}$ | – | 70 | – | 100 | ns |
| $t_{DF1}$ | $\overline{CE}$ to Output in High-Z | $\overline{OE} = V_{IL}$, $\overline{PGM} = V_{IH}$ | 0 | 60 | 0 | 90 | ns |
| $t_{DF2}$ | $\overline{OE}$ to Output in High-Z | $\overline{CE} = V_{IL}$, $\overline{PGM} = V_{IH}$ | 0 | 60 | 0 | 90 | ns |
| $t_{DF3}$ | $\overline{PGM}$ to Output in High-Z | $\overline{OE} = \overline{CE} = V_{IL}$ | 0 | 60 | 0 | 90 | ns |
| $t_{OH}$ | Output Data Hold Time | $\overline{CE} = \overline{OE} = V_{IL}$, $\overline{PGM} = V_{IH}$ | 0 | – | – | – | ns |

### A.C. Test Conditions

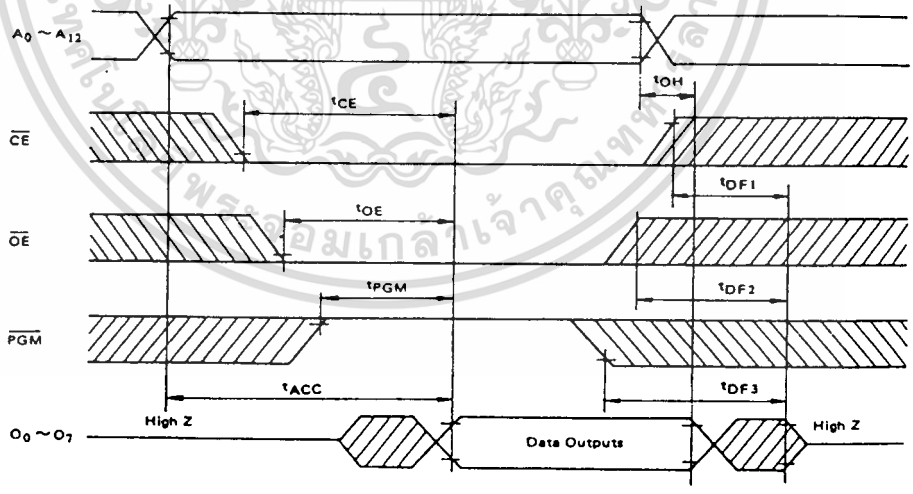
- Output Load : 1 TTL Gate and $C_L = 100pF$
- Input Pulse Rise and Fall Times : 10ns Max.
- Input Pulse Levels : 0.8V to 2.2V
- Timing Measurement Reference Level : Inputs 1V and 2V, Outputs 0.8V and 2.0V

### CAPACITANCE * ($Ta = 25°C$, $f = 1MHz$)

| SYMBOL | PARAMETER | CONDITIONS | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|---|
| $C_{IN}$ | Input Capacitance | $V_{IN} = 0V$ | – | 4 | 6 | pF |
| $C_{OUT}$ | Output Capacitance | $V_{OUT} = 0V$ | – | 8 | 12 | pF |

* This parameter is periodically sampled and is not 100% tested.

### TIMING WAVEFORMS (READ)






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PROGRAM OPERATION

### D.C. RECOMMENDED OPERATING CONDITIONS

| SYMBOL | PARAMETER | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|
| $V_{IH}$ | Input High Voltage | 2.0 | – | $V_{CC}$ + 1.0 | V |
| $V_{IL}$ | Input Low Voltage | –0.3 | – | 0.8 | V |
| $V_{CC}$ | $V_{CC}$ Power Supply Voltage | 4.75 | 5.0 | 5.25 | V |
| $V_{PP}$ | $V_{PP}$ Power Supply Voltage | 20.5 | 21.0 | 21.5 | V |

### D.C. and OPERATING CHARACTERISTICS

($Ta = 25 \pm 5°C$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$)

| SYMBOL | PARAMETER | CONDITIONS | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|---|
| $I_{LI}$ | Input Current | $V_{IN} = 0 \sim V_{CC}$ | – | – | ± 10 | μA |
| $V_{OH}$ | Output High Voltage | $I_{OH} = -400\mu A$ | 2.4 | – | – | V |
| $V_{OL}$ | Output Low Voltage | $I_{OL} = 2.1mA$ | – | – | 0.4 | V |
| $I_{CC}$ | $V_{CC}$ Supply Current | – | – | – | 120 | mA |
| $I_{PP2}$ | $V_{PP}$ Supply Current | $V_{PP} = 21.5V$ | – | – | 30 | mA |

### A.C. PROGRAMMING CHARACTERISTICS

($Ta = 25 \pm 5°C$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$)

| SYMBOL | PARAMETER | CONDITIONS | MIN. | Typ. | MAX. | UNIT |
|---|---|---|---|---|---|---|
| $t_{AS}$ | Address Setup Time | – | 2 | – | – | μs |
| $t_{AH}$ | Address Hold Time | – | 2 | – | – | μs |
| $t_{CES}$ | $\overline{CE}$ Setup Time | – | 2 | – | – | μs |
| $t_{CEH}$ | $\overline{CE}$ Hold Time | – | 2 | – | – | μs |
| $t_{DS}$ | Data Setup Time | – | 2 | – | – | μs |
| $t_{DH}$ | Data Hold Time | – | 2 | – | – | μs |
| $t_{PS}$ | $\overline{PGM}$ Setup Time | – | 2 | – | – | μs |
| $t_{PH}$ | $\overline{PGM}$ Hold Time | – | 2 | – | – | μs |
| $t_{OES}$ | $\overline{OE}$ Setup Time | – | 2 | – | – | μs |
| $t_{VS}$ | $V_{PP}$ Setup Time | – | 2 | – | – | μs |
| $t_{PW}$ | Program Pulse Width | $\overline{PGM} = \overline{CE} = V_{IL}$ | 45 | 50 | 55 | ms |
| $t_{CP}$ | Program Recovery Time | – | 0 | – | – | μs |
| $t_{PRT}$ | Program Pulse Rise Time | – | 5 | – | – | ns |
| $t_{PFT}$ | Program Pulse Fall Time | – | 5 | – | – | ns |
| $t_{CE}$ | $\overline{CE}$ to Output Valid | – | – | – | 250 | ns |
| $t_{OE}$ | $\overline{OE}$ to Output Valid | – | – | – | 100 | ns |
| $t_{DF1}$ | $\overline{CE}$ to Output in High Z | $\overline{OE} = V_{IL}$ | – | – | 90 | ns |
| $t_{DF2}$ | $\overline{OE}$ to Output in High Z | $\overline{CE} = V_{IL}$ | – | – | 90 | ns |

### A.C. Test Conditions

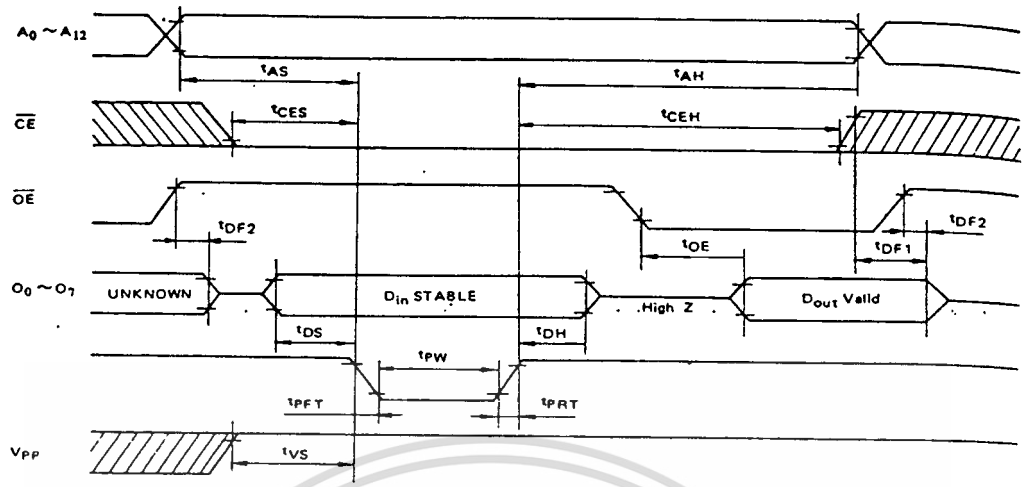
- Output Load : 1TTL Gate and $C_L$ (100 pF)
- Input Pulse Rise and Fall Times : 10ns Max.
- Input Pulse Levels : 0.8 ~ 2.2V
- Timing Measurement Reference Level . Input 1V and 2V , Output 0.8V and 2.0V



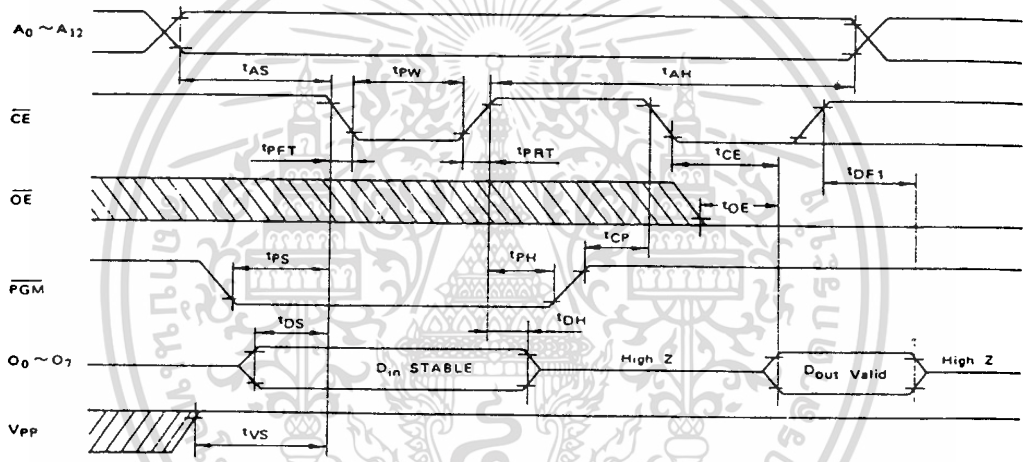
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TIMING WAVEFORMS (PROGRAM)

### PROGRAM OPERATION 1. ($V_{PP}$ = 21V ± 0.5V)




### PROGRAM OPERATION 2. ($V_{PP}$ = 21V ± 0.5V)




Note: 1. $V_{CC}$ must be applied simultaneously or before $V_{PP}$ and cut off simultaneously or after $V_{PP}$.
2. Removing the device from socket and setting the device in socket with $V_{PP}$ = 21V may cause permanent damage to the device.
3. The $V_{PP}$ supply voltage is permitted up to 22V for program operation, so the voltage over 22V should not be applied to the $V_{PP}$ terminal.
When the switching pulse voltage is applied to the $V_{PP}$ terminal, the over-shoot voltage of its pulse should not be exceeded 22V.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ERASURE CHARACTERISTICS

The TMM2764D's erasure is achieved by applying shortwave ultraviolet light which has a wavelength of 2537Å (Angstroms) to the chip through the transparent window. Then integrated dose (Ultraviolet light intensity [w/cm²] x exposure time [sec.]) for erasure should be a minimum of 15 [W. sec/cm²].

When the Toshiba sterilizing lamp GL-15 is used and the device is exposed at a distance of 1 cm from the lamp surface, the erasure will be achieved within 60 minutes. And using commercial lamps whose ultraviolet light intensity is a 12000 [μw/cm²] will reduce the exposure time to about 20 minutes. (In this case, the integrated does is 12000 [μw/cm²] x (20 x 60) [sec] ≅ 15 [w. sec/cm²].)

The TMM2764D's erasure begins to occur when exposed to light with wavelength shorter than 4000 Å. The sunlight and the fluorescent lamps will include 3000 ~ 4000 Å wavelength components. Therefore when used under such lighting for extended periods of time, the opaque seals - Toshiba EPROM Protect Seal AC901 - are available.

## OPERATION INFORMATION

The TMM2764D's six operation modes are listed in the following table. Mode selection can be achieved by applying TTL level signal to all inputs. In the read operation mode, a single 5V power supply is required and the levels required for all inputs are TTL.

| | | $\overline{PGM}$ (27) | $\overline{CE}$ (20) | $\overline{OE}$ (22) | $V_{PP}$ (1) | $V_{CC}$ (28) | $O_0 \sim O_7$ (11~13, 15~19) | Power |
|---|---|---|---|---|---|---|---|---|
| READ OPERATION (Ta = 0 ~ 70°C) | Read | H | L | L | 5V | 5V | Data Out | Active |
| | Output Deselect | • | • | H | | | High Impedance | Active |
| | Standby | • | H | • | | | High Impedance | Standby |
| PROGRAM OPERATION (Ta = 25 ± 5°C) | Program | L | L | • | 21V | 5V | Data In | Active |
| | Program | • | H | • | | | High Impedance | Active |
| | Inhibit | H | L | H | | | High Impedance | Active |
| | Program Verify | H | L | L | | | Data Out | Active |

Note H: $V_{IH}$, L: $V_{IL}$, •: $V_{IH}$ or $V_{IL}$

## READ MODE

The TMM2764D has three control functions. The chip enable ($\overline{CE}$) controls the operation power and should be used for device selection.

The output enable ($\overline{OE}$) and the program control ($\overline{PGM}$) control the output buffers, independent of device selection.

Assuming that $\overline{CE} = \overline{OE} = V_{IL}$ and $\overline{PGM} = V_{IH}$, the output data is valid at the outputs after address access time from stabilizing of all addresses.

The $\overline{CE}$ to output valid ($t_{CE}$) is equal to the address access time ($t_{ACC}$).

Assuming that $\overline{CE} = V_{IL}$, $\overline{PGM} = V_{IH}$ and all addresses are valid, the output data is valid at the outputs after $t_{OE}$ from the falling edge of $\overline{OE}$.

And assuming that $\overline{CE} = \overline{OE} = V_{IL}$ and all addresses are valid, the output data is valid at the outputs after $t_{PGM}$ from the rising edge of $\overline{PGM}$.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## OUTPUT DESELECT MODE

Assuming that $\overline{CE} = V_{IH}$ or $\overline{OE} = V_{IH}$, the outputs will be in a high impedance state. So two or more TMM2764D can be connected together on a common bus line. When $\overline{CE}$ is decoded for device selection, all deselected devices are in low power standby mode.

## STANDBY MODE

The TMM2764D has a low power standby mode controlled by the $\overline{CE}$ signal. By applying a TTL high level to the $\overline{CE}$ input, the TMM2764D is placed in the standby mode which reduce the operating current from 120mA to 35mA, and then the outputs are in a high impedance state, independent of the $\overline{OE}$ and the $\overline{PGM}$ inputs.

## PROGRAM MODE

Initially, when received by customers, all bits of the TMM2764D are in the "1" state which is erased state.

Therefore the program operation is to introduce "0s" data into the desired bit locations by electrically programming.

The TMM2764D is set up in the program operation mode when applied the program voltage (+21V) to the $V_{PP}$ terminal under $\overline{CE} = \overline{PGM} = \overline{OE} = V_{IH}$.

The program operation occurs during the overlap of the $\overline{CE}$ low and the $\overline{PGM}$ low. Then the programming is achieved by applying a 50ms ($t_{PW}$) active low program pulse to the $\overline{CE}$ or the $\overline{PGM}$ input after the addresses and data are stable.

This program pulse should be a single pulse with 50ms pulse width per address word, and its maximum value is 55ms.

The levels required for all inputs are TTL.

The TMM2764D can be programmed any location at anytime — either individually, sequentially, or at random.

The TMM2764D should not be programmed with D.C. signal applied to both $\overline{CE}$ and $\overline{PGM}$ inputs.

## PROGRAM VERIFY MODE

The verify mode is to check that the desired data is correctly programmed on the programmed bits.

The verify is accomplished with $\overline{OE}$ and $\overline{CE}$ at $V_{IL}$ and $\overline{PGM}$ at $V_{IH}$.

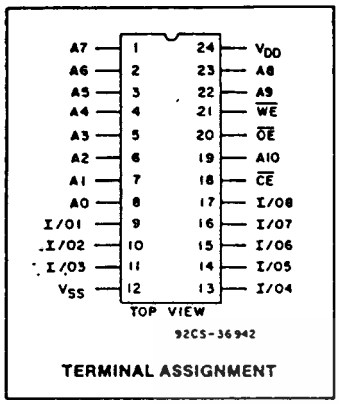
## PROGRAM INHIBIT MODE

Under the condition that the program voltage (+21V) is applied to $V_{PP}$ terminal, a high level $\overline{CE}$ or $\overline{PGM}$ input inhibits the TMM2764D from being programmed. Programming of two or more TMM2764Ds in parallel with different data is easily accomplished. That is, all inputs except for $\overline{CE}$ or $\overline{PGM}$ may be commonly connected, and a TTL low level program pulse is applied to the $\overline{CE}$ and $\overline{PGM}$ of the desired device only and TTL high level signal is applied to the other devices.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## CDM6116A




TERMINAL ASSIGNMENT

# CMOS 2048-Word by 8-Bit Static RAM

**Features:**

- *Fully static operation*
- *Single power supply: 4.5 V to 5.5 V*
- *All inputs and outputs directly TTL compatible*
- *3-state outputs*
- *Industry standard 24-pin configuration*
- *Chip-enable gates address buffers for minimum standby current*
- *Data retention voltage: 2 V min.*

| | CDM6116A-2 | CDM6116A-3 | CDM6116A-9 |
|---|---|---|---|
| Access Time (max.) | 200 ns | 150 ns | 250 ns |
| Output Enable Time (max.) | 120 ns | 60 ns | 150 ns |
| Operating Temperature | 0° to +70° C | | -40° to +85° C |
| Operating Current (max.) | 35 mA | 35 mA | 40 mA |
| Standby Current $I_{DDSt}$ (max.) | 30 μA | 50 μA | 100 μA |

The RCA-CDM6116A is a CMOS 2048-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data inputs and data outputs and utilizes a single power supply of 4.5 V to 5.5 V. A chip-enable input and an output-enable input are provided for memory expansion and output buffer control.

The chip enable ($\overline{CE}$) gates the address and output buffers and powers down the chip to the low power standby mode.

The output enable ($\overline{OE}$) controls the output buffers to eliminate bus contention.

The CDM6116A-2 and CDM6116A-3 have an operating temperature range of 0° to +70° C. The CDM6116A-9 has an operating temperature range of -40° to +85° C.

The CDM6116A-2 and CDM6116A-3 are supplied in a 24-lead dual-in-line plastic package (E suffix). The CDM-6116A-9 is supplied in a 24-lead dual-in-line plastic package (E suffix) and a 24-lead dual-in-line side-brazed ceramic package (D suffix).

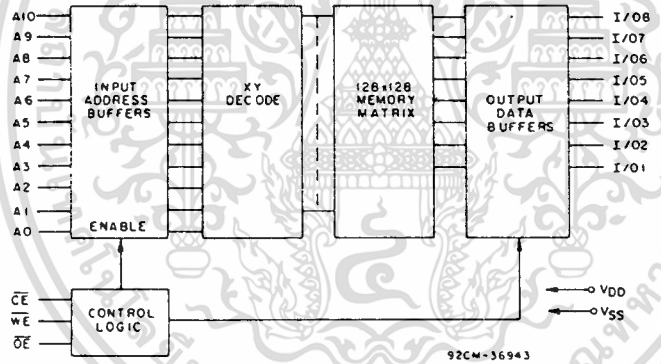



*Fig. 1 - Functional block diagram.*

**TRUTH TABLE**

| $\overline{CE}$ | $\overline{OE}$ | $\overline{WE}$ | A0 TO A10 | MODE | I/01 TO I/08 | DEVICE CURRENT |
|---|---|---|---|---|---|---|
| H | X | X | X | NOT SELECTED | HIGH Z | STANDBY |
| L | L | H | STABLE | READ | DATA OUT | ACTIVE |
| L | H | L | STABLE | WRITE | DATA IN | ACTIVE |
| L | L | L | STABLE | WRITE | DATA IN | ACTIVE |

L = LOW H = HIGH X = H or L



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## CDM6116A

**MAXIMUM RATINGS,** *Absolute-Maximum Ratings*

DC SUPPLY-VOLTAGE RANGE, ($V_{DD}$):
(Voltage referenced to $V_{SS}$ terminal) ..... -0.3 to +7 V
INPUT VOLTAGE RANGE, ALL INPUTS ..... -0.3 to +7 V
DC INPUT CURRENT, ANY ONE INPUT ..... ±10 mA
POWER DISSIPATION PER PACKAGE ($P_D$):
For $T_A$ = -40° to +60°C (PACKAGE TYPE E) ..... 500 mW
For $T_A$ = +60° to +85°C (PACKAGE TYPE E) ..... Derate Linearly at 8 mW/°C to 300 mW
For $T_A$ = -40° to +85°C (PACKAGE TYPE D) ..... 500 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
For $T_A$ = FULL PACKAGE-TEMPERATURE RANGE (All Package Types) ..... 100 mW
OPERATING-TEMPERATURE RANGE ($T_A$)
CDM6116A-2, CDM6116A-3 (PACKAGE TYPE E) ..... 0 to +70°C
CDM6116A-9 (PACKAGE TYPES D, E) ..... -40 to +85°C
STORAGE TEMPERATURE RANGE ($T_{stg}$) ..... -55 to +125°C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. ..... +265°C

**OPERATING CONDITIONS at $T_A$ = 0 to +70°C, (CDM6116A-2, CDM6116A-3); $T_A$ = -40° to +85°C (CDM6116A-9)**

**For maximum reliability, operating conditions should be selected so that operation is always within the following ranges:**

| CHARACTERISTIC | | LIMITS ALL TYPES | | UNITS |
|---|---|---|---|---|
| | | MIN. | MAX. | |
| DC Operating Voltage Range | | 4.5 | 5.5 | V |
| Input Voltage Range | $V_{IH}$ | 2.2 | $V_{DD}$ + 0.3 | V |
| | $V_{IL}$ | -0.3 | 0.8 | V |
| Input Signal Rise or Fall Time Δ | $t_r, t_f$ | — | 5 | μs |

Δ Input signal rise and fall times longer than the maximum value can cause loss of stored data in the selected mode

**STATIC ELECTRICAL CHARACTERISTICS at $T_A$ = 0 to +70°C (CDM6116A-2, CDM6116A-3);**
**$T_A$ = -40° to +85°C (CDM6116A-9), $V_{DD}$ = 5 V ± 10%, Except as noted**

| CHARACTERISTIC | | CONDITIONS | LIMITS | | | | | | | | | UNITS |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | CDM6116A-2 | | | CDM6116A-3 | | | CDM6116A-9 | | | |
| | | | MIN. | TYP.* | MAX. | MIN. | TYP.* | MAX. | MIN. | TYP.* | MAX. | |
| Standby Device Current | $I_{DDS}$ | $\overline{CE}$ = $V_{IH}$ | — | 0.6 | 2 | — | 0.6 | 2 | — | 0.3 | 2 | mA |
| | $I_{DDS1}$ | $\overline{CE}$ = $V_{DD}$-0.2 V | — | 1 | 30 | — | 1 | 50 | — | 1 | 100 | μA |
| Output Voltage Low Level | $V_{OL}$ Max. | $I_{OL}$ = 2.1 mA | — | — | 0.4 | — | — | 0.4 | — | — | 0.4 | V |
| | | $I_{OL}$ = 1 μA | — | 0.1 | — | — | 0.1 | — | — | 0 1 | — | |
| Output Voltage High Level | $V_{OH}$ Min. | $I_{OH}$ = -1 mA | 2.4 | — | — | 2.4 | — | — | 2.4 | — | — | V |
| | | $I_{OH}$ = -1 μA | — | $V_{DD}$-0.1 | — | — | $V_{DD}$-0.1 | — | — | $V_{DD}$-0.1 | — | |
| Input Leakage Current | $I_{IN}$ Max. | $V_{DD}$ = 5.5 V<br>$V_{IN}$ = 0 V to $V_{DD}$ | — | ±0.1 | ±2 | — | ±0.1 | ±2 | — | ±0 1 | ±2 | μA |
| 3-State Output Leakage Current | $I_{OUT}$ | $\overline{CE}$ or $\overline{OE}$ = $V_{IH}$<br>$V_{I/O}$ = 0 V to $V_{DD}$ | — | ±0.5 | ±2 | — | ±0.5 | ±2 | — | ±0.5 | ±2 | μA |
| Operating Device Current | $I_{OPER}$# | $V_{IN}$ = $V_{IL}$, $V_{IH}$ | — | 20 | 35 | — | 20 | 35 | — | 28 | 40 | mA |
| Input Capacitance | $C_{IN}$ | $V_{IN}$ = 0 V,<br>f = 1 MHz, $T_A$ = 25°C | — | 4 | 6 | — | 4 | 6 | — | 4 | 6 | pF |
| Output Capacitance | $C_{I/O}$ | $V_{I/O}$ = 0 V,<br>f = 1 MHz, $T_A$ = 25°C | — | 6 | 8 | — | 6 | 8 | — | 6 | 8 | pF |

*Typical values are for $T_A$ = 25°C and nominal $V_{DD}$.

#Outputs open circuited; cycle time = Min. $t_{cycle}$, duty = 100%.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# CDM6116A

## SIGNAL DESCRIPTIONS

**A0-A10** (Address Inputs): These inputs must be stable prior to a write operation, but may change asynchronously during read operations.

**I/01-I/08**: 8-bit tristate data bus.

**$\overline{CE}$** (Chip Enable): Powers down chip, disables Read and Write functions, and gates off address inputs.

**$\overline{OE}$** (Output Enable): Enables tristate outputs if $\overline{CE}$ is low and $\overline{WE}$ is high.

**$\overline{WE}$** (Write Enable): Enables Write function, if $\overline{CE}$ is low. $\overline{WE}$ will dominate if both $\overline{WE}$ and $\overline{OE}$ are low (i.e., the bus will be tristated and a Write will occur).

**$V_{DD}$, $V_{SS}$**: Power supply connections.

**DYNAMIC ELECTRICAL CHARACTERISTICS at $T_A$ = 0 to +70° C (CDM6116A-2, CDM6116A-3); $T_A$ = -40° to +85° C (CDM6116A-9), $V_{DD}$ = 5 V ± 10%, Input $t_r$, $t_f$ = 10 ns; $C_L$ = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V**

| CHARACTERISTIC | | LIMITS | | | | | | UNITS |
|---|---|---|---|---|---|---|---|---|
| | | CDM6116A-2 | | CDM6116A-3 | | CDM6116A-9 | | |
| **Read Cycle Times See Fig. 2** | | MIN.† | MAX. | MIN.† | MAX. | MIN.† | MAX. | |
| Read Cycle Time | $t_{RC}$ | 200 | — | 150 | — | 250 | — | ns |
| Address Access Time | $t_{AA}$ | — | 200 | — | 150 | — | 250 | |
| Chip Enable Access Time | $t_{ACE}$ | — | 200 | — | 150 | — | 250 | |
| Chip Enable to Output Active | $t_{CX}$ | 15 | — | 15 | — | 15 | — | |
| Output Enable to Output Valid | $t_{OEV}$ | — | 120 | — | 60 | — | 150 | |
| Output Enable to Output Active | $t_{OEX}$ | 15 | — | 15 | — | 15 | — | |
| Chip Disable to Output "High Z" | $t_{CHZ}$ | 0 | 60 | 0 | 50 | 0 | 80 | |
| Output Disable to Output "High Z" | $t_{OHZ}$ | 0 | 60 | 0 | 50 | 0 | 80 | |
| Output Hold from Address Change | $t_{OH}$ | 15 | — | 15 | — | 15 | — | |

†Time required by a limit device to allow for the indicated function

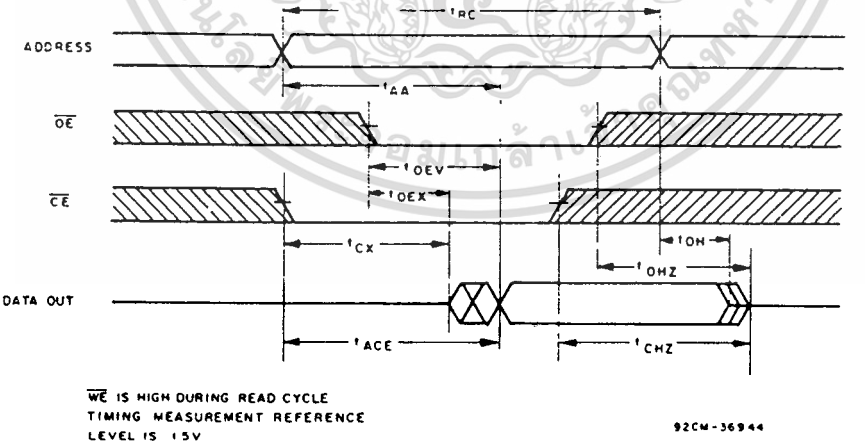



*Fig. 2 - Read-cycle timing waveforms.*



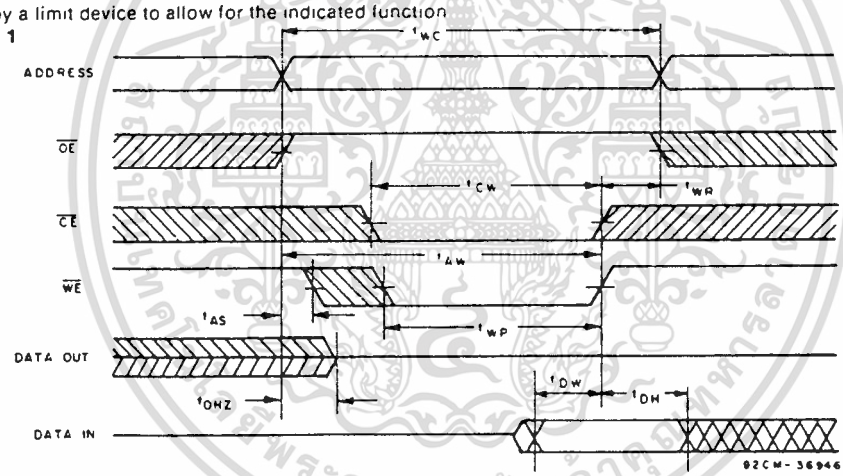
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**DYNAMIC ELECTRICAL CHARACTERISTICS at $T_A$ = 0 to +70° C (CDM6116A-2, CDM6116A-3); $T_A$ = -40° to +85° C (CDM6116A-9), $V_{DD}$ = 5 V ± 10%, Input $t_r$, $t_f$ = 10 ns; $C_L$ = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V**

| CHARACTERISTIC | | LIMITS | | | | | | UNITS |
|---|---|---|---|---|---|---|---|---|
| | | CDM6116A-2 | | CDM6116A-3 | | CDM6116A-9 | | |
| **Write Cycle Times See Fig. 3** | | MIN.† | MAX. | MIN.† | MAX. | MIN.† | MAX. | |
| Write Cycle Time | $t_{WC}$ | 200 | — | 150 | — | 250 | — | ns |
| Chip Enable to End of WRITE | $t_{CW}$ | 160 | — | 90 | — | 200 | — | |
| Address Valid to End of WRITE | $t_{AW}$ | 160 | — | 90 | — | 200 | — | |
| Address Setup Time | $t_{AS}$ | 0 | — | 0 | — | 0 | — | |
| Write Pulse Width | $t_{WP}$ | 160 | — | 90 | — | 200 | — | |
| Write Recovery Time | $t_{WR}$ | 10 | — | 0 | — | 10 | — | |
| Output Disable to Output "High Z" | $t_{OHZ}$ | 0 | 60 | 0 | 50 | 0 | 80 | |
| Write to Output "High Z" | $t_{WHZ}$ | 0 | 60 | 0 | 40 | 0 | 80 | |
| Input Data Setup Time | $t_{DW}$ | 80 | — | 50 | — | 100 | — | |
| Input Data Hold Time | $t_{DH}$ | 10 | — | 5 | — | 10 | — | |
| Output Active from End of Write | $t_{OW}$ | 10 | — | 10 | — | 10 | — | |

†Time required by a limit device to allow for the indicated function

**WRITE CYCLE 1**




**WRITE CYCLE 2 - $\overline{OE}$ = LOW**

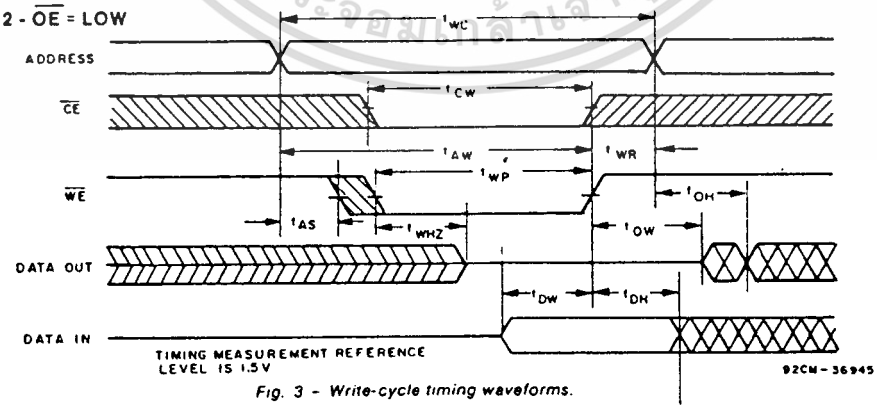



*Fig. 3 - Write-cycle timing waveforms.*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## CDM6116A

**DATA RETENTION CHARACTERISTICS at $T_A$ = 0 to 70°C (CDM6116A-2, CDM6116A-3); $T_A$ = −40 to +85°C (CDM6116A-9), Unless otherwise noted, See Fig. 4.**

| CHARACTERISTIC | | TEST CONDITIONS | LIMITS ALL TYPES MIN. | LIMITS ALL TYPES MAX. | UNITS |
|---|---|---|---|---|---|
| Minimum Data Retention Voltage $V_{DR}$ CDM6116A-2, CDM6116A-3, CDM6116A-9 | | $T_A$ = 0 to 70°C, $\overline{CE} \geq V_{DD}$ − 0.2 V | 2 | — | V |
| | CDM6116A-9 | $T_A$ = −40 to 0°C, $\overline{CE} \geq V_{DD}$ − 0.2 V | 4.5 | — | V |
| Data Retention Quiescent Current | $I_{DD}DR$* | | | | |
| | CDM6116A-2 | $V_{DD}$ = 3 V, $\overline{CE} \geq$ 2.8 V | — | 15 | μA |
| | CDM6116A-3 | $V_{DD}$ = 3 V, $\overline{CE} \geq$ 2.8 V | — | 25 | μA |
| | CDM6116A-9 | $V_{DD}$ = 3 V, $\overline{CE} \geq$ 2.8 V | — | 50 | μA |
| Chip Disable to Data Retention Time | $t_{CDR}$ | See Fig. 4 | 0 | — | ns |
| Recovery to Normal Operation Time | $t_R$ | See Fig. 4 | *$t_{RC}$ | — | ns |

*$I_{DD}DR$=7.5 μA max. at $T_A$=0° to +40°C for CDM6116A-2 and CDM6116A-3
*$t_{RC}$ = Read Cycle Time.

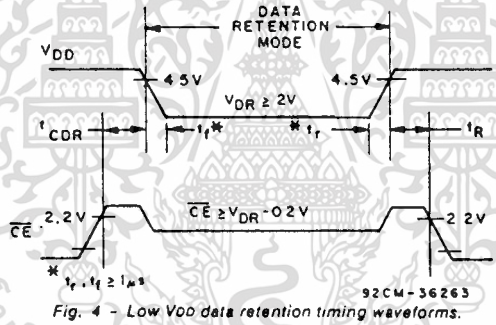



*Fig. 4 - Low VDD data retention timing waveforms.*

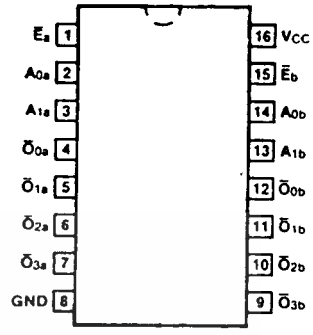


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

139

# 54S/74S139
# 54LS/74LS139
## DUAL 1-OF-4 DECODER

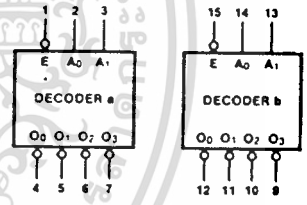
**CONNECTION DIAGRAM**
PINOUT A




**DESCRIPTION** — The '139 is a high speed dual 1-of-4 decoder/demultiplexer. The device has two independent decoders, each accepting two inputs and providing four mutually exclusive active LOW outputs. Each decoder has an active LOW Enable input which can be used as a data input for a 4-output demultiplexer. Each half of the '139 can be used as a function generator providing all four minterms of two variables. The '139 is fabricated with the Schottky barrier diode process for high speed.

- **SCHOTTKY PROCESS FOR HIGH SPEED**
- **MULTIFUNCTION CAPABILITY**
- **TWO COMPLETELY INDEPENDENT 1-OF-4 DECODERS**
- **ACTIVE LOW MUTUALLY EXCLUSIVE OUTPUTS**

**LOGIC SYMBOL**




VCC = Pin 16
GND = Pin 8

**ORDERING CODE:** See Section 9

| PKGS | PIN OUT | COMMERCIAL GRADE<br>VCC = +5.0 V ±5%,<br>TA = 0°C to +70°C | MILITARY GRADE<br>VCC = +5.0 V ±10%,<br>TA = -55°C to +125°C | PKG TYPE |
|---|---|---|---|---|
| Plastic DIP (P) | A | 74S139PC, 74LS139PC | | 9B |
| Ceramic DIP (D) | A | 74S139DC, 74LS139DC | 54S139DM, 54LS139DM | 6B |
| Flatpak (F) | A | 74S139FC, 74LS139FC | 54S139FM, 54LS139FM | 4L |

**INPUT LOADING/FAN-OUT:** See Section 3 for U.L. definitions

| PIN NAMES | DESCRIPTION | 54/74S (U.L.)<br>HIGH/LOW | 54/74LS (U.L.)<br>HIGH/LOW |
|---|---|---|---|
| $A_0$, $A_1$ | Address Inputs | 1.25/1.25 | 0.5/0.25 |
| $\overline{E}$ | Enable Input (Active LOW) | 1.25/1.25 | 0.5/0.25 |
| $\overline{O}_0 - \overline{O}_3$ | Outputs (Active LOW) | 25/12.5 | 10/5.0<br>(2.5) |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**FUNCTIONAL DESCRIPTION** — The '139 is a high speed dual 1-of-4 decoder/demultiplexer fabricated with the Schottky barrier diode process. The device has two independent decoders, each of which accepts two binary weighted inputs ($A_0$, $A_1$) and provides four mutually exclusive active LOW outputs ($\overline{O}_0 - \overline{O}_3$). Each decoder has an active LOW enable ($\overline{E}$). When $\overline{E}$ is HIGH all outputs are forced HIGH. The enable can be used as the data input for a 4-output demultiplexer application. Each half of the '139 generates all four minterms of two variables. These four minterms are useful in some applications, replacing multiple gate functions as shown in *Figure a*, and thereby reducing the number of packages required in a logic network.

**TRUTH TABLE**

| INPUTS | | | OUTPUTS | | | |
|---|---|---|---|---|---|---|
| $\overline{E}$ | $A_0$ | $A_1$ | $\overline{O}_0$ | $\overline{O}_1$ | $\overline{O}_2$ | $\overline{O}_3$ |
| H | X | X | H | H | H | H |
| L | L | L | L | H | H | H |
| L | H | L | H | L | H | H |
| L | L | H | H | H | L | H |
| L | H | H | H | H | H | L |

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

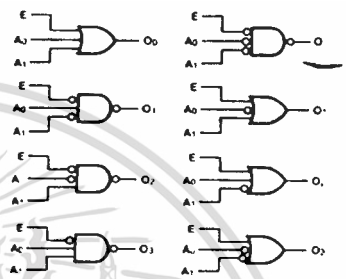
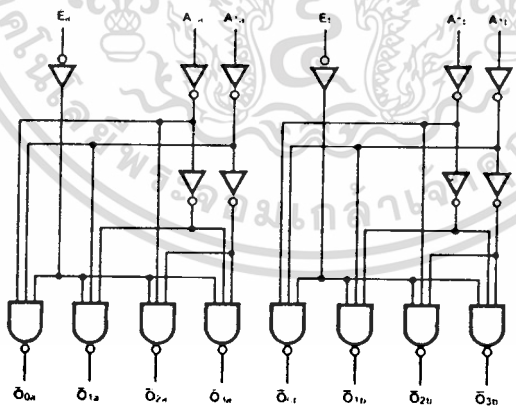


Fig. a

**LOGIC DIAGRAM**





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE** (unless otherwisespecified)

| SYMBOL | PARAMETER | 54/74LS | | 54/74S | | UNITS | CONDITIONS |
|---|---|---|---|---|---|---|---|
| | | Min | Max | Min | Max | | |
| $I_{CC}$ | Power Supply Current | | 11 | | 90 | mA | $V_{CC}$ = Max |

**AC CHARACTERISTICS:** $V_{CC}$ = +5.0 V, $T_A$ = +25°C (See Section 3 for waveforms and load configurations)

| SYMBOL | PARAMETER | 54/74LS | | 54/74S | | UNITS | CONDITIONS |
|---|---|---|---|---|---|---|---|
| | | $C_L$ = 15 pF | | $C_L$ = 15 pF, $R_L$ = 280 Ω | | | |
| | | Min | Max | Min | Max | | |
| $t_{PLH}$ | Propagation Delay | | 18 | | 12 | ns | Figs. 3-1, 3-4, 3-5 |
| $t_{PHL}$ | $A_0$ or $A_1$ to $\overline{O}_n$ | | 27 | | 12 | | |
| $t_{PLH}$ | Propagation Delay | | 15 | | 8.0 | ns | Figs. 3-1, 3-5 |
| $t_{PHL}$ | $\overline{E}$ to $\overline{O}_n$ | | 24 | | 10 | | |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 54/7414
# 54LS/74LS14
## HEX SCHMITT TRIGGER INVERTER

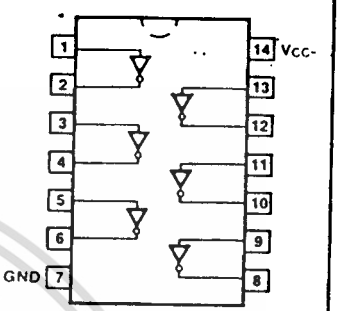
**ORDERING CODE:** See Section 9

| PKGS | PIN OUT | COMMERCIAL GRADE<br>$V_{CC}$ = +5.0 V ±5%,<br>$T_A$ = 0°C to +70°C | MILITARY GRADE<br>$V_{CC}$ = +5.0 V ±10%,<br>$T_A$ = -55°C to +125°C | PKG TYPE |
|---|---|---|---|---|
| Plastic DIP (P) | A | 7414PC, 74LS14PC | | 9A |
| Ceramic DIP (D) | A | 7414DC, 74LS14DC | 5414DM, 54LS14DM | 6A |
| Flatpak (F) | A | 7414FC, 74LS14FC | 5414FM, 54LS14FM | 3I |

**INPUT LOADING/FAN-OUT:** See Section 3 for U.L. definitions

| PINS | 54/74 (U.L.)<br>HIGH/LOW | 54/74LS (U.L.)<br>HIGH/LOW |
|---|---|---|
| Inputs | 1.0/1.0 | 0.5/0.25 |
| Outputs | 20/10 | 10/5.0<br>(2.5) |

**CONNECTION DIAGRAM**
PINOUT A




**DC AND AC CHARACTERISTICS:** See Section 3*

| SYMBOL | PARAMETER | 54/74 Min | 54/74 Max | 54/74LS Min | 54/74LS Max | UNITS | CONDITIONS | |
|---|---|---|---|---|---|---|---|---|
| $V_{T+}$ | Positive-going Threshold Voltage | 1.5 | 2.0 | 1.5 | 2.0 | V | $V_{CC}$ = +5.0 V | |
| $V_{T-}$ | Negative-going Threshold Voltage | 0.6 | 1.1 | 0.6 | 1.1 | V | $V_{CC}$ = +5.0 V | |
| $V_{T+} - V_{T-}$ | Hysteresis Voltage | 0.4 | | 0.4 | | V | $V_{CC}$ = +5.0 V | |
| $I_{T+}$ | Input Current at Positive-going Threshold | -0.43** | | -0.14** | | mA | $V_{CC}$ = +5.0 V, $V_{IN}$ = $V_{T+}$ | |
| $I_{T-}$ | Input Current at Negative-going Threshold | -0.56** | | -0.18** | | mA | $V_{CC}$ = +5.0 V, $V_{IN}$ = $V_{T-}$ | |
| $I_{IL}$ | Input LOW Current | | -1.2 | | -0.4 | mA | $V_{CC}$ = Max, $V_{IN}$ = 0.4 V | |
| $I_{OS}$ | Output Short Circuit Current | -18 | -55 | -20 | -100 | mA | $V_{CC}$ = Max, $V_{OUT}$ = 0 V | |
| $I_{CCH}$ | Power Supply Current | | 36 | | 16 | mA | $V_{IN}$ = Gnd | $V_{CC}$ = Max |
| $I_{CCL}$ | | | 60 | | 21 | | $V_{IN}$ = Open | |
| $t_{PLH}$ | Propagation Delay | | 22 | | 22 | ns | Figs. 3-1, 3-15 | |
| $t_{PHL}$ | | | 22 | | 22 | | | |

*DC limits apply over operating temperature range. AC limits apply at $T_A$ = +25°C and $V_{CC}$ = +5.0 V. **Typical Value



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

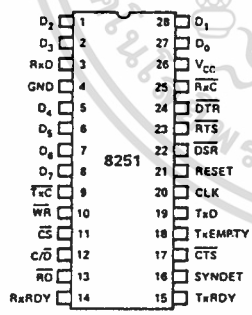
# intel Silicon Gate MOS 8251

## PROGRAMMABLE COMMUNICATION INTERFACE

- **Synchronous and Asynchronous Operation**
  - **Synchronous:**
    5-8 Bit Characters
    Internal or External Character Synchronization
    Automatic Sync Insertion
  - **Asynchronous:**
    5-8 Bit Characters
    Clock Rate — 1, 16 or 64 Times Baud Rate
    Break Character Generation
    1, 1½, or 2 Stop Bits
    False Start Bit Detection
- **Baud Rate —DC to 56k Baud (Sync Mode)**
  **DC to 9.6k Baud (Async Mode)**
- **Full Duplex, Double Buffered, Transmitter and Receiver**
- **Error Detection — Parity, Overrun, and Framing**
- **Fully Compatible with 8080 CPU**
- **28-Pin DIP Package**
- **All Inputs and Outputs Are TTL Compatible**
- **Single 5 Volt Supply**
- **Single TTL Clock**

The 8251 is a Universal Synchronous/Asynchronous Receiver / Transmitter (USART) Chip designed for data communications in microcomputer systems. The USART is used as a peripheral device and is programmed by the CPU to operate using virtually any serial data transmission technique presently in use (including IBM Bi-Sync). The USART accepts data characters from the CPU in parallel format and then converts them into a continuous serial data stream for transmission. Simultaneously it can receive serial data streams and convert them into parallel data characters for the CPU. The USART will signal the CPU whenever it can accept a new character for transmission or whenever it has received a character for the CPU. The CPU can read the complete status of the USART at any time. These include data transmission errors and control signals such as SYNDET, TxEMPT. The chip is constructed using N-channel silicon gate technology.

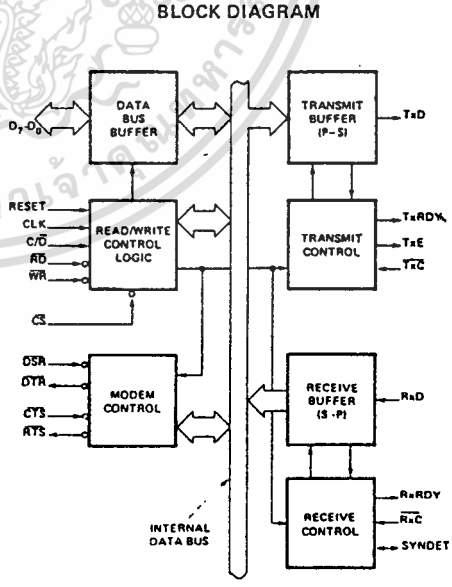
PIN CONFIGURATION




| Pin Name | Pin Function |
|---|---|
| $D_7$-$D_0$ | Data Bus (8 bits) |
| C/D | Control or Data is to be Written or Read |
| $\overline{RD}$ | Read Data Command |
| $\overline{WR}$ | Write Data or Control Command |
| $\overline{CS}$ | Chip Enable |
| CLK | Clock Pulse (TTL) |
| RESET | Reset |
| $\overline{TxC}$ | Transmitter Clock |
| TxD | Transmitter Data |
| $\overline{RxC}$ | Receiver Clock |
| RxD | Receiver Data |
| RxRDY | Receiver Ready (has character for 8080) |
| TxRDY | Transmitter Ready (ready for char. from 8080) |

| Pin Name | Pin Function |
|---|---|
| $\overline{DSR}$ | Data Set Ready |
| $\overline{DTR}$ | Data Terminal Ready |
| SYNDET | Sync Detect |
| $\overline{RTS}$ | Request to Send Data |
| $\overline{CTS}$ | Clear to Send Data |
| TxE | Transmitter Empty |
| Vcc | +5 Volt Supply |
| GND | Ground |

BLOCK DIAGRAM




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SILICON GATE MOS 8251

## 8251 BASIC FUNCTIONAL DESCRIPTION

### General

The 8251 is a Universal Synchronous/Asynchronous Receiver/Transmitter designed specifically for the 8080 Microcomputer System. Like other I/O devices in the 8080 Microcomputer System its functional configuration is programmed by the systems software for maximum flexibility. The 8251 can support virtually any serial data technique currently in use (including IBM "bi-sync").

In a communication environment an interface device must convert parallel format system data into serial format for transmission and convert incoming serial format data into parallel system data for reception. The interface device must also delete or insert bits or characters that are functionally unique to the communication technique. In essence, the interface should appear "transparent" to the CPU, a simple input or output of byte-oriented system data.

### Data Bus Buffer

This 3-state, bi-directional, 8-bit buffer is used to interface the 8251 to the 8080 system Data Bus. Data is transmitted or received by the buffer upon execution of INput or OUTput instructions of the 8080 CPU. Control words, Command words and Status information are also transferred through the Data Bus Buffer.

### Read/Write Control Logic

This functional block accepts inputs from the 8080 Control bus and generates control signals for overall device operation. It contains the Control Word Register and Command Word Register that store the various control formats for device functional definition.

### RESET (Reset)

A "high" on this input forces the 8251 into an "Idle" mode. The device will remain at "Idle" until a new set of control words is written into the 8251 to program its functional definition.

### CLK (Clock)

The CLK input is used to generate internal device timing and is normally connected to the Phase 2 (TTL) output of the 8224 Clock Generator. No external inputs or outputs are referenced to CLK but the frequency of CLK must be greater than 30 times the Receiver or Transmitter clock inputs for synchronous mode (4 times for asynchronous mode).

### $\overline{WR}$ (Write)

A "low" on this input informs the 8251 that the CPU is outputting data or control words, in essence, the CPU is writing out to the 8251.

### $\overline{RD}$ (Read)

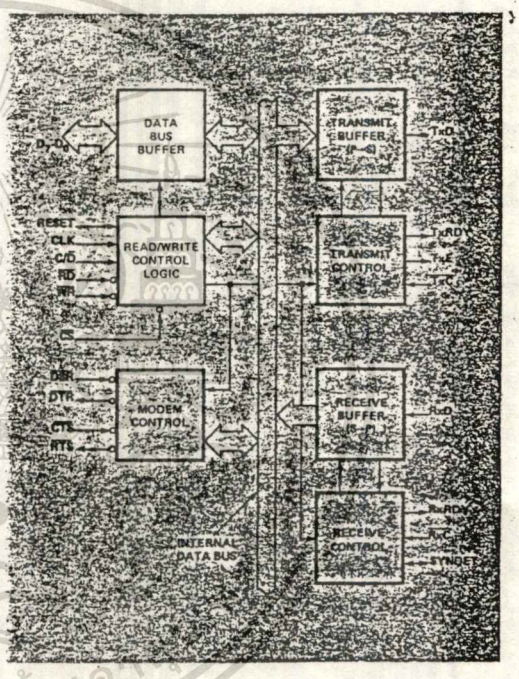
A "low" on this input informs the 8251 that the CPU is inputting data or status information, in essence, the CPU is reading from the 8251.

### C/$\overline{D}$ (Control/Data)

This input, in conjunction with the $\overline{WR}$ and $\overline{RD}$ inputs informs the 8251 that the word on the Data Bus is either a data character, control word or status information.
1 = CONTROL 0 = DATA

### $\overline{CS}$ (Chip Select)

A "low" on this input enables the 8251. No reading or writing will occur unless the device is selected.




| C/$\overline{D}$ | $\overline{RD}$ | $\overline{WR}$ | $\overline{CS}$ | |
|---|---|---|---|---|
| 0 | 0 | 1 | 0 | 8251 → DATA BUS |
| 0 | 1 | 0 | 0 | DATA BUS → 8251 |
| 1 | 0 | 1 | 0 | STATUS → DATA BUS |
| 1 | 1 | 0 | 0 | DATA BUS → CONTROL |
| X | X | X | 1 | DATA BUS → 3-STATE |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SILICON GATE MOS 8251

## Modem Control

The 8251 has a set of control inputs and outputs that can be used to simplify the interface to almost any Modem. The modem control signals are general purpose in nature and can be used for functions other than Modem control, if necessary.

## $\overline{DSR}$ (Data Set Ready)

The $\overline{DSR}$ input signal is general purpose in nature. Its condition can be tested by the CPU using a Status Read operation. The $\overline{DSR}$ input is normally used to test Modem conditions such as Data Set Ready.

## $\overline{DTR}$ (Data Terminal Ready)

The $\overline{DTR}$ output signal is general purpose in nature. It can be set "low" by programming the appropriate bit in the Command Instruction word. The $\overline{DTR}$ output signal is normally used for Modem control such as Data Terminal Ready or Rate Select.

## $\overline{RTS}$ (Request to Send)

The $\overline{RTS}$ output signal is general purpose in nature. It can be set "low" by programming the appropriate bit in the Command Instruction word. The $\overline{RTS}$ output signal is normally used for Modem control such as Request to Send.

## $\overline{CTS}$ (Clear to Send)

A "low" on this input enables the 8251 to transmit data (serial) if the Tx EN bit in the Command byte is set to a "one."

## Transmitter Buffer

The Transmitter Buffer accepts parallel data from the Data Bus Buffer, converts it to a serial bit stream, inserts the appropriate characters or bits (based on the communication technique) and outputs a composite serial stream of data on the TxD output pin.

## Transmitter Control

The Transmitter Control manages all activities associated with the transmission of serial data. It accepts and issues signals both externally and internally to accomplish this function.

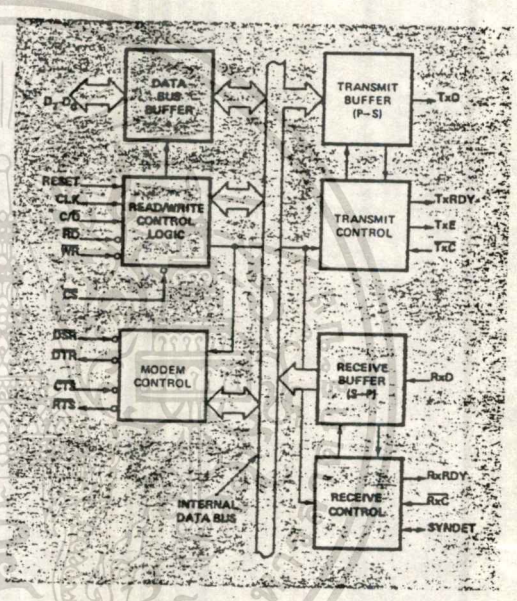
## TxRDY (Transmitter Ready)

This output signals the CPU that the transmitter is ready to accept a data character. It can be used as an interrupt to the system or for the Polled operation the CPU can check TxRDY using a status read operation. TxRDY is automatically reset when a character is loaded from the CPU.

## TxE (Transmitter Empty)

When the 8251 has no characters to transmit, the TxE output will go "high". It resets automatically upon receiving a character from the CPU. TxE can be used to indicate the end of a transmission mode, so that the CPU "knows" when to "turn the line around" in the half-duplexed operational mode.

In SYNChronous mode, a "high" on this output indicates that a character has not been loaded and the SYNC character or characters are about to be transmitted automatically as "fillers".




## $\overline{TxC}$ (Transmitter Clock)

The Transmitter Clock controls the rate at which the character is to be transmitted. In the Synchronous transmission mode, the frequency of $\overline{TxC}$ is equal to the actual Baud Rate (1X). In Asynchronous transmission mode, the frequency of $\overline{TxC}$ is a multiple of the actual Baud Rate. A portion of the mode instruction selects the value of the multiplier; it can be 1x, 16x or 64x the Baud Rate.

For Example:

If Baud Rate equals 110 Baud,
$\overline{TxC}$ equals 110 Hz (1x)
$\overline{TxC}$ equals 1.76 kHz (16x)
$\overline{TxC}$ equals 7.04 kHz (64x).
If Baud Rate equals 9600 Baud,
$\overline{TxC}$ equals 614.4 kHz (64x).

The falling edge of $\overline{TxC}$ shifts the serial data out of the 8251.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SILICON GATE MOS 8251

### Receiver Buffer

The Receiver accepts serial data, converts this serial input to parallel format, checks for bits or characters that are unique to the communication technique and sends an "assembled" character to the CPU. Serial data is input to the RxD pin.

### Receiver Control

This functional block manages all receiver-related activities.

### RxRDY (Receiver Ready)

This output indicates that the 8251 contains a character that is ready to be input to the CPU. RxRDY can be connected to the interrupt structure of the CPU or for Polled operation the CPU can check the condition of RxRDY using a status read operation. RxRDY is automatically reset when the character is read by the CPU.

### $\overline{\text{RxC}}$ (Receiver Clock)

The Receiver Clock controls the rate at which the character is to be received. In Synchronous Mode, the frequency of $\overline{\text{RxC}}$ is equal to the actual Baud Rate (1x). In Asynchronous Mode, the frequency of $\overline{\text{RxC}}$ is a multiple of the actual Baud Rate. A portion of the mode instruction selects the value of the multiplier; it can be 1x, 16x or 64x the Baud Rate.

For Example:
If Baud Rate equals 300 Baud,
$\overline{\text{RxC}}$ equals 300 Hz (1x)
$\overline{\text{RxC}}$ equals 4800 Hz (16x)
$\overline{\text{RxC}}$ equals 19.2 kHz (64x).
If Baud Rate equals 2400 Baud,
$\overline{\text{RxC}}$ equals 2400 Hz (1x)
$\overline{\text{RxC}}$ equals 38.4 kHz (16x)
$\overline{\text{RxC}}$ equals 153.6 kHz (64x).

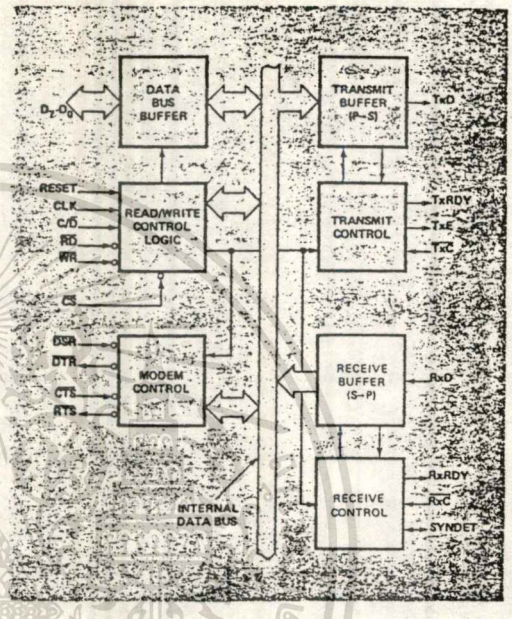
Data is sampled into the 8251 on the rising edge of $\overline{\text{RxC}}$.

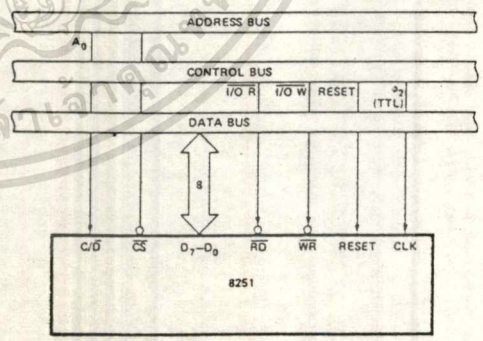
NOTE: In most communications systems, the 8251 will be handling both the transmission and reception operations of a single link. Consequently, the Receive and Transmit Baud Rates will be the same. Both $\overline{\text{TxC}}$ and $\overline{\text{RxC}}$ will require identical frequencies for this operation and can be tied together and connected to a single frequency source (Baud Rate Generator) to simplify the interface.

### SYNDET (SYNC Detect)

This pin is used in SYNChronous Mode only. It is used as either input or output, programmable through the Control Word. It is reset to "low" upon RESET. When used as an output (internal Sync mode), the SYNDET pin will go "high" to indicate that the 8251 has located the SYNC character in the Receive mode. If the 8251 is programmed to use double Sync characters (bi-sync), then SYNDET will go "high" in the middle of the last bit of the second Sync character. SYNDET is automatically reset upon a Status Read operation.

When used as an input, (external SYNC detect mode), a positive going signal will cause the 8251 to start assembling data characters on the falling edge of the next $\overline{\text{RxC}}$. Once in SYNC, the "high" input signal can be removed. The duration of the high signal should be at least equal to the period of $\overline{\text{RxC}}$.




8251 Interface to 8080 Standard System Bus

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SILICON GATE MOS 8251

## DETAILED OPERATION DESCRIPTION

### General

The complete functional definition of the 8251 is programmed by the systems software. A set of control words must be sent out by the CPU to initialize the 8251 to support the desired communications format. These control words will program the: BAUD RATE, CHARACTER LENGTH, NUMBER OF STOP BITS, SYNCHRONOUS or ASYNCHRONOUS OPERATION, EVEN/ODD PARITY etc. In the Synchronous Mode, options are also provided to select either internal or external character synchronization.

Once programmed, the 8251 is ready to perform its communication functions. The TxRDY output is raised "high" to signal the CPU that the 8251 is ready to receive a character. This output (TxRDY) is reset automatically when the CPU writes a character into the 8251. On the other hand, the 8251 receives serial data from the MODEM or I/O device, upon receiving an entire character the RxRDY output is raised "high" to signal the CPU that the 8251 has a complete character ready for the CPU to fetch. RxRDY is reset automatically upon the CPU read operation.

The 8251 cannot begin transmission until the TxEN(Transmitter Enable) bit is set in the Command Instruction and it has received a Clear To Send (CTS) input. The TxD output will be held in the marking state upon Reset.

### Programming the 8251

Prior to starting data transmission or reception, the 8251 must be loaded with a set of control words generated by the CPU. These control signals define the complete functional definition of the 8251 and must immediately follow a Reset operation (internal or external).

The control words are split into two formats:

1. Mode Instruction
2. Command Instruction

### Mode Instruction

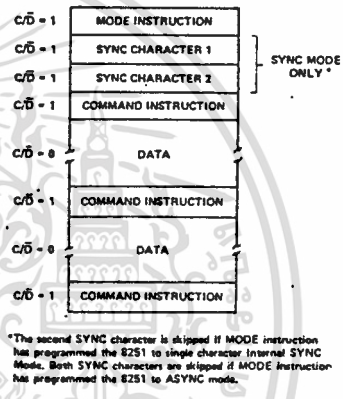
This format defines the general operational characteristics of the 8251. It must follow a Reset operation (internal or external). Once the Mode instruction has been written into the 8251 by the CPU, SYNC characters or Command instructions may be inserted.

### Command Instruction

This format defines a status word that is used to control the actual operation of the 8251.

Both the Mode and Command instructions must conform to a specified sequence for proper device operation. The Mode Instruction must be inserted immediately following a Reset operation, prior to using the 8251 for data communication.

All control words written into the 8251 after the Mode Instruction will load the Command Instruction. Command Instructions can be written into the 8251 at any time in the data block during the operation of the 8251. To return to the Mode Instruction format a bit in the Command Instruction word can be set to initiate an internal Reset operation which automatically places the 8251 back into the Mode Instruction format. Command Instructions must follow the Mode Instructions or Sync characters.




Typical Data Block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SILICON GATE MOS 8251

## Mode Instruction Definition

The 8251 can be used for either Asynchronous or Synchronous data communication. To understand how the Mode Instruction defines the functional operation of the 8251 the designer can best view the device as two separate components sharing the same package. One Asynchronous the other Synchronous. The format definition can be changed "on the fly" but for explanation purposes the two formats will be isolated..

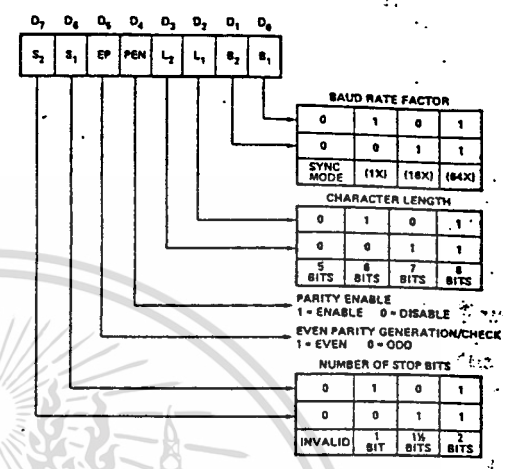
## Asynchronous Mode (Transmission)

Whenever a data character is sent by the CPU the 8251 automatically adds a Start bit (low level) and the programmed number of Stop bits to each character. Also, an even or odd Parity bit is inserted prior to the Stop bit(s), as defined by the Mode Instruction. The character is then transmitted as a serial data stream on the TxD output. The serial data is shifted out on the falling edge of $\overline{TxC}$ at a rate equal to 1, 1/16, or 1/64 that of the $\overline{TxC}$, as defined by the Mode Instruction. BREAK characters can be continuously sent to the TxD if commanded to do so.

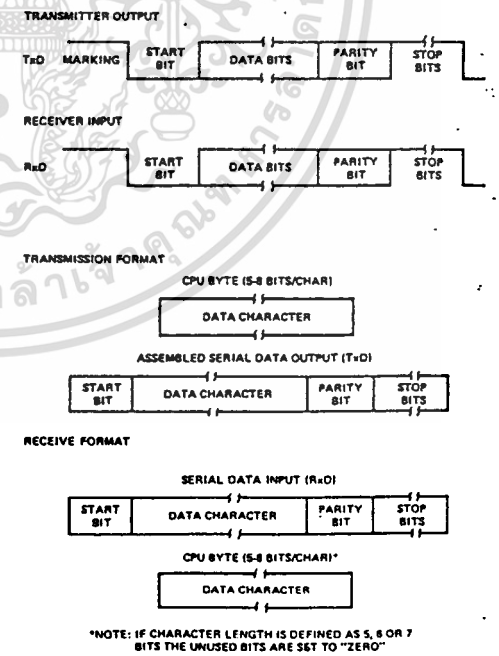
When no data characters have loaded into the 8251 the TxD output remains "high" (marking) unless a Break (continuously low) has been programmed.

## Asynchronous Mode (Receive)

The RxD line is normally high. A falling edge on this line triggers the beginning of a START bit. The validity of this START bit is checked by again strobing this bit at its nominal center. If a low is detected again, it is a valid START bit, and the bit counter will start counting. The bit counter locates the center of the data bits, the parity bit (if it exists) and the stop bits. If parity error occurs, the parity error flag is set. Data and parity bits are sampled on the RxD pin with the rising edge of $\overline{RxC}$. If a low level is detected as the STOP bit, the Framing Error flag will be set. The STOP bit signals the end of a character. This character is then loaded into the parallel I/O buffer of the 8251. The RxRDY pin is raised to signal the CPU that a character is ready to be fetched. If a previous character has not been fetched by the CPU, the present character replaces it in the I/O buffer, and the OVERRUN flag is raised (thus the previous character is lost). All of the error flags can be reset by a command instruction. The occurrence of any of these errors will not stop the operation of the 8251.




Mode Instruction Format, Asynchronous Mode




Asynchronous Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## SILICON GATE MOS 8251

### Synchronous Mode (Transmission)

The TxD output is continuously high until the CPU sends its first character to the 8251 which usually is a SYNC character. When the $\overline{CTS}$ line goes low, the first character is serially transmitted out. All characters are shifted out on the falling edge of $\overline{TxC}$. Data is shifted out at the same rate as the $\overline{TxC}$.

Once transmission has started, the data stream at TxD output must continue at the $\overline{TxC}$ rate. If the CPU does not provide the 8251 with a character before the 8251 becomes empty, the SYNC characters (or character if in single SYNC word mode) will be automatically inserted in the TxD data stream. In this case, the TxEMPTY pin is raised high to signal that the 8251 is empty and SYNC characters are being sent out. The TxEMPTY pin is internally reset by the next character being written into the 8251.

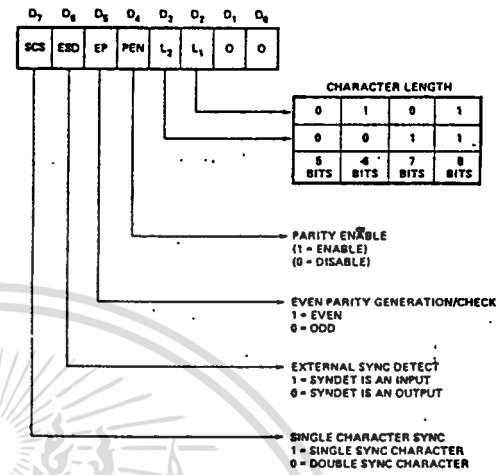
### Synchronous Mode (Receive)

In this mode, character synchronization can be internally or externally achieved. If the internal SYNC mode has been programmed, the receiver starts in a HUNT mode. Data on the RxD pin is then sampled in on the rising edge of $\overline{RxC}$. The content of the Rx buffer is continuously compared with the first SYNC character until a match occurs. If the 8251 has been programmed for two SYNC characters, the subsequent received character is also compared; when both SYNC characters have been detected, the USART ends the HUNT mode and is in character synchronization. The SYNDET pin is then set high, and is reset automatically by a STATUS READ.

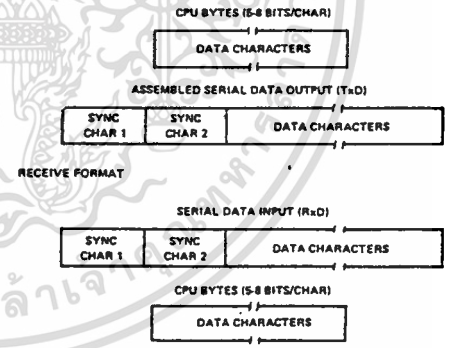
In the external SYNC mode, synchronization is achieved by applying a high level on the SYNDET pin. The high level can be removed after one $\overline{RxC}$ cycle.

Parity error and overrun error are both checked in the same way as in the Asynchronous Rx mode.

The CPU can command the receiver to enter the HUNT mode if synchronization is lost.




Mode Instruction Format, Synchronous Mode




Synchronous Mode, Transmission Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SILICON GATE MOS 8251

## COMMAND INSTRUCTION DEFINITION

Once the functional definition of the 8251 has been programmed by the Mode Instruction and the Sync Characters are loaded (if in Sync Mode) then the device is ready to be used for data communication. The Command Instruction controls the actual operation of the selected format. Functions such as: Enable Transmit/Receive, Error Reset and Modem Controls are provided by the Command Instruction.

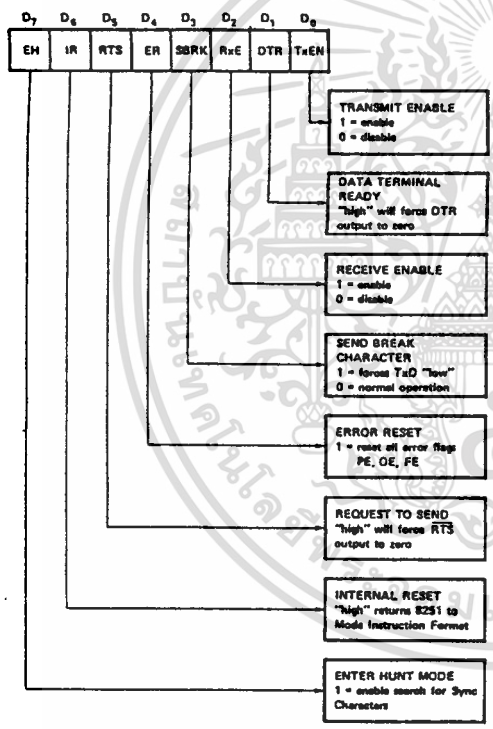
Once the Mode Instruction has been written into the 8251 and Sync characters inserted, if necessary, then all further "control writes" ($C/\overline{D}$ = 1) will load the Command Instruction. A Reset operation (internal or external) will return the 8251 to the Mode Instruction Format.

## STATUS READ DEFINITION

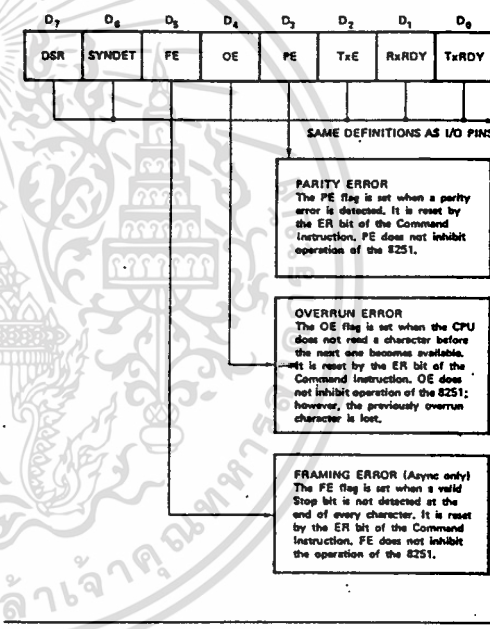
In data communication systems it is often necessary to examine the "status" of the active device to ascertain if errors have occurred or other conditions that require the processor's attention. The 8251 has facilities that allow the programmer to "read" the status of the device at any time during the functional operation.

A normal "read" command is issued by the CPU with the C/D input at one to accomplish this function.

Some of the bits in the Status Read Format have identical meanings to external output pins so that the 8251 can be used in a completely Polled environment or in an interrupt driven environment.




Command Instruction Format

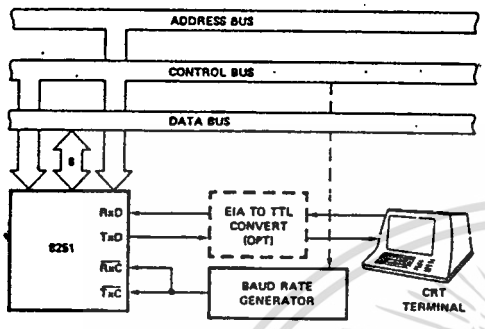



Status Read Format

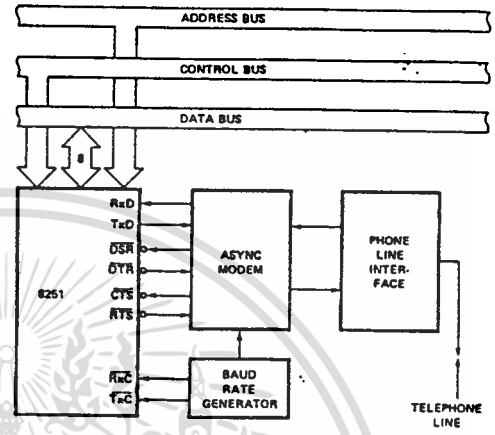
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## SILICON GATE MOS 8251

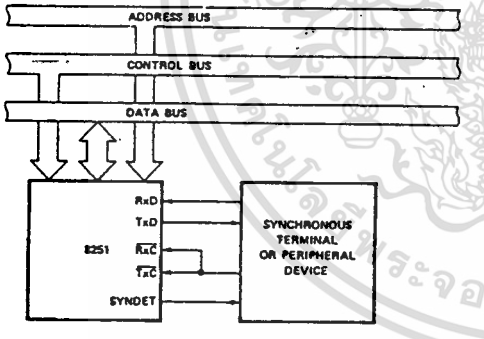
### APPLICATIONS OF THE 8251



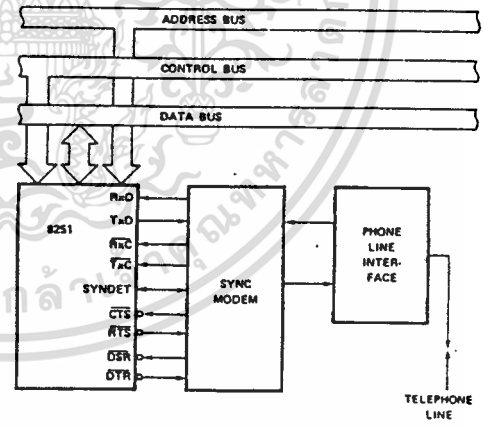

Asynchronous Serial Interface to CRT Terminal, DC-9600 Baud




Asynchronous Interface to Telephone Lines




Synchronous Interface to Terminal or Peripheral Device




Synchronous Interface to Telephone Lines

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SILICON GATE MOS 8251

**D.C. Characteristics:** $T_A = 0°C$ to $70°C$; $V_{CC} = +5V \pm 5\%$; $V_{SS} = 0V$

| Symbol | Parameter | Min. | Typ. | Max. | Unit | Test Conditions |
|---|---|---|---|---|---|---|
| $V_{IL}$ | Input Low Voltage | | | .8 | V | |
| $V_{IH}$ | Input High Voltage | 2.0 | | | V | |
| $V_{OL}$ | Output Low Voltage | | | .4 | V | $I_{OL}$=2.0mA ($DB_{0-7}$), 1.6mA (Others) |
| $V_{OH}$ | Output High Voltage | 2.4 | | | V | $I_{OH}$=-150μA ($DB_{0-7}$), -100μA (Others) |
| $I_{CC}$ | Power Supply Current | | 80 | | mA | |
| $I_{LI}$ | Input Load Current | | 10 | | μA | $V_{IN}$=0V to 5.25V |
| $I_{LOL}$ | Output Leakage Current (DB Low) | | -100 | | μA | $V_{OUT}$=0.4V |
| $I_{LOH}$ | Output Leakage Current (DB High) | | +10 | | μA | $V_{OUT}$=$V_{CC}$ |

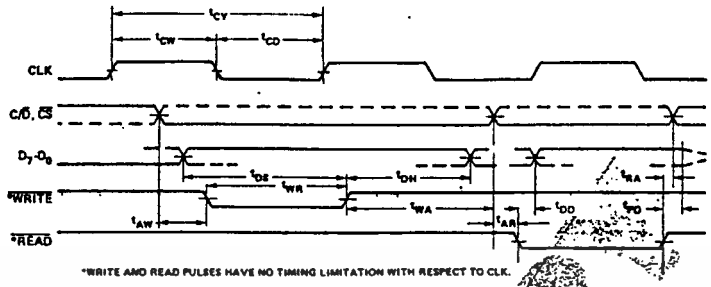
**A.C. Characteristics:** $T_A = 0°C$ to $70°C$; $V_{CC} = +5V \pm 5\%$; $V_{SS} = 0V$

| Symbol | Parameter | Min. | Typ. | Max. | Unit | Test Conditions |
|---|---|---|---|---|---|---|
| $t_{CY}$ | Clock Period | | 480 | | ns | |
| $t_{CW}$ | Clock Pulse Width | | 220 | | ns | |
| $t_{CD}$ | Clock Pulse Delay | | 260 | | ns | |
| $t_R, t_F$ | Clock Rise and Fall Time | | 50 | | ns | |
| $t_{WR}$ | Write Pulse Width | | 400 | | ns | |
| $t_{DS}$ | Data Set-Up Time for $\overline{WRITE}$ | | 300 | | ns | |
| $t_{DH}$ | Data Hold Time for $\overline{WRITE}$ | | 20 | | ns | |
| $t_{DD}$ | Data Delay from $\overline{READ}$ | | 350 | | ns | $C_L$ = 150pF |
| $t_{FD}$ | $\overline{READ}$ to Data Floating | | 160 | | ns | $C_L$ = 150pF |
| $t_{AW}$ | Address Stable before $\overline{WRITE}$ | 0 | | | ns | |
| $t_{WA}$ | Address Hold Time for $\overline{WRITE}$ | | 40 | | ns | |
| $t_{AR}$ | Address Stable before $\overline{READ}$ | | 0 | | ns | |
| $t_{RA}$ | Address Hold Time for $\overline{READ}$ | | 0 | | ns | |
| $t_{DTx}$ | TxD Delay from Rising Edge of $\overline{TxC}$ | | 300 | | ns | |
| $t_{SRx}$ | Rx Data Set-Up Time to Sampling Pulse | | 500 | | ns | |
| $t_{HRx}$ | Rx Data Hold Time to Sampling Pulse | | 6 | | CLK Period | |
| $f_{Tx}$ | Transmitter Input Clock Frequency<br>1X Baud Rate<br>16X and 64X Baud Rate | | <br>56<br>615 | | <br>KHz<br>KHz | |
| $f_{Rx}$ | Receiver Input Clock Frequency<br>1X Baud Rate<br>16X and 64X Baud Rate | | <br>56<br>615 | | <br>KHz<br>KHz | |
| $t_{Tx}$ | TxRDY Delay from Center of Data Bit | | 6 | | CLK Period | $C_L$=50pF |
| $t_{Rx}$ | RxRDY Delay from Center of Data Bit | | 6 | | CLK Period | |
| $t_{IS}$ | Internal SYNDET Delay from Center of Data Bit | | 6 | | CLK Period | |
| $t_{ES}$ | External SYNDET Set-Up Time before Rising Edge of $\overline{RxC}$ | | 6 | | CLK Period | |

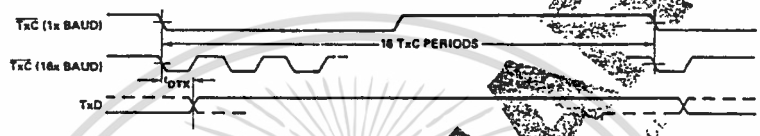
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## SILICON GATE MOS 8251

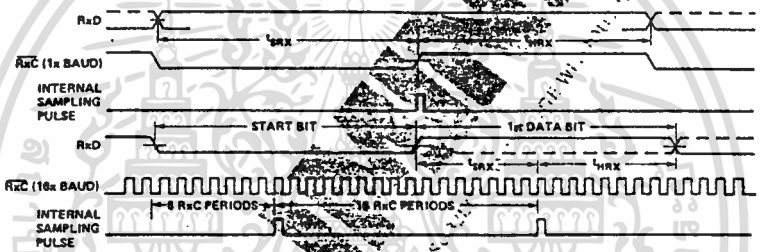
### READ AND WRITE TIMING



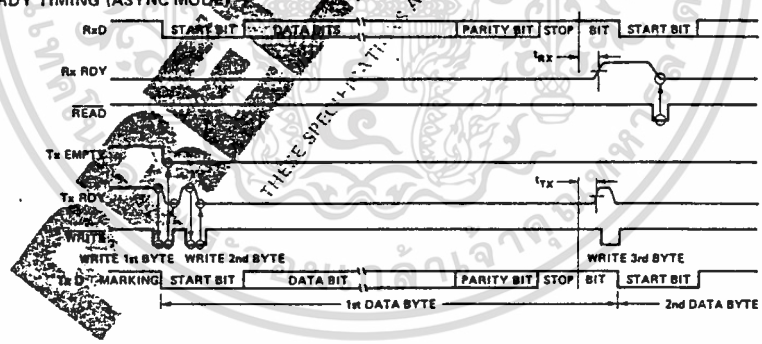

### TRANSMITTER CLOCK AND DATA



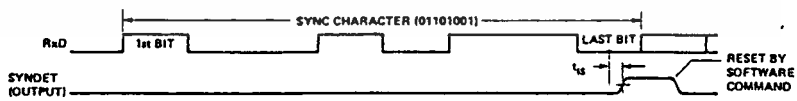

### RECEIVER CLOCK AND DATA



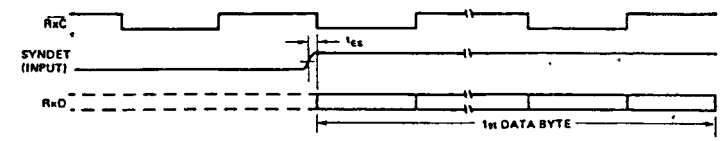

### Tx RDY AND Rx RDY TIMING (ASYNC MODE)




### INTERNAL SYNC DETECT




### EXTERNAL SYNC DETECT




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
**SEMICONDUCTOR**
TECHNICAL DATA

# MC1489
# MC1489A

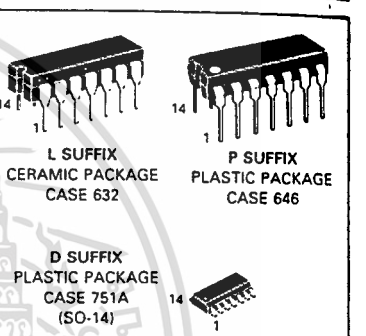
## QUAD LINE RECEIVERS

**QUAD MDTL LINE RECEIVERS EIA-232D**

**SILICON MONOLITHIC INTEGRATED CIRCUIT**

The MC1489 monolithic quad line receivers are designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. EIA-232D.

- Input Resistance – 3.0 k to 7.0 kilohms
- Input Signal Range – ± 30 Volts
- Input Threshold Hysteresis Built In
- Response Control
  a) Logic Threshold Shifting
  b) Input Noise Filtering



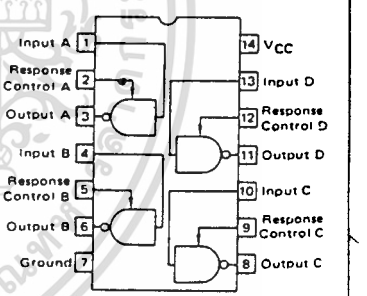

L SUFFIX
CERAMIC PACKAGE
CASE 632



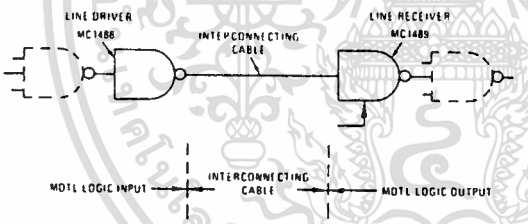

P SUFFIX
PLASTIC PACKAGE
CASE 646

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

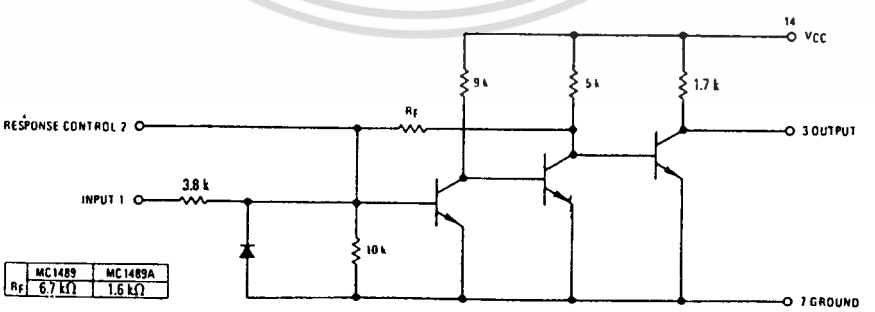



### TYPICAL APPLICATION




### EQUIVALENT CIRCUIT SCHEMATIC (1/4 OF CIRCUIT SHOWN)




| | MC1489 | MC1489A |
|---|---|---|
| $R_F$ | 6.7 kΩ | 1.6 kΩ |




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**MAXIMUM RATINGS** ($T_A$ = +25°C unless otherwise noted)

| Rating | Symbol | Value | Unit |
|---|---|---|---|
| Power Supply Voltage | $V_{CC}$ | 10 | Vdc |
| Input Voltage Range | $V_{IR}$ | ±30 | Vdc |
| Output Load Current | $I_L$ | 20 | mA |
| Power Dissipation (Package Limitation, Ceramic and Plastic Dual In-Line Package)<br>Derate above $T_A$ = 25 C | $P_D$<br>$1/\theta JA$ | 1000<br>6.7 | mW<br>mW/°C |
| Operating Ambient Temperature Range | $T_A$ | 0 to +75 | °C |
| Storage Temperature Range | $T_{stg}$ | −65 to +175 | °C |

**ELECTRICAL CHARACTERISTICS** (Response control pin is open.) ($V_{CC}$ = +5.0 Vdc ±10%, $T_A$ = 0 to +75°C unless otherwise noted)

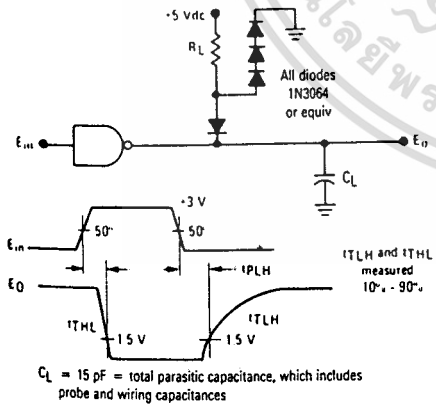
| Characteristics | | Symbol | Min | Typ | Max | Unit |
|---|---|---|---|---|---|---|
| Positive Input Current | ($V_{IH}$ = +25 Vdc)<br>($V_{IH}$ = +3.0 Vdc) | $I_{IH}$ | 3.6<br>0.43 | —<br>— | 8.3<br>— | mA |
| Negative Input Current | ($V_{IL}$ = −25 Vdc)<br>($V_{IL}$ = −3.0 Vdc) | $I_{IL}$ | −3.6<br>−0.43 | —<br>— | −8.3<br>— | mA |
| Input Turn-On Threshold Voltage ($T_A$ = +25 C, $V_{OL}$ ≤ 0.45 V) | MC1489<br>MC1489A | $V_{IH}$ | 1.0<br>1.75 | —<br>1.95 | 1.5<br>2.25 | Vdc |
| Input Turn-Off Threshold Voltage ($T_A$ = +25°C, $V_{OH}$ ≥ 2.5 V, $I_L$ = −0.5 mA) | MC1489<br>MC1489A | $V_{IL}$ | 0.75<br>0.75 | —<br>0.8 | 1.25<br>1.25 | Vdc |
| Output Voltage High | ($V_{IH}$ = 0.75 V, $I_L$ = −0.5 mA)<br>(Input Open Circuit, $I_L$ = −0.5 mA) | $V_{OH}$ | 2.5<br>2.5 | 4.0<br>4.0 | 5.0<br>5.0 | Vdc |
| Output Voltage Low | ($V_{IL}$ = 3.0 V, $I_L$ = 10 mA) | $V_{OL}$ | — | 0.2 | 0.45 | Vdc |
| Output Short-Circuit Current | | $I_{OS}$ | — | −3.0 | −4.0 | mA |
| Power Supply Current (All Gates "on," $I_{out}$ = 0 mA, $V_{IH}$ = +5.0 Vdc) | | $I_{CC}$ | — | 16 | 26 | mA |
| Power Consumption | ($V_{IH}$ = +5.0 Vdc) | $P_C$ | — | 80 | 130 | mW |

**SWITCHING CHARACTERISTICS** ($V_{CC}$ = 5.0 Vdc ±1%, $T_A$ = +25°C, See Figure 1.)

| | | | | | | |
|---|---|---|---|---|---|---|
| Propagation Delay Time | ($R_L$ = 3.9 kΩ) | $t_{PLH}$ | — | 25 | 85 | ns |
| Rise Time | ($R_L$ = 3.9 kΩ) | $t_{TLH}$ | — | 120 | 175 | ns |
| Propagation Delay Time | ($R_L$ = 390 kΩ) | $t_{PHL}$ | — | 25 | 50 | ns |
| Fall Time | ($R_L$ = 390 kΩ) | $t_{THL}$ | — | 10 | 20 | ns |

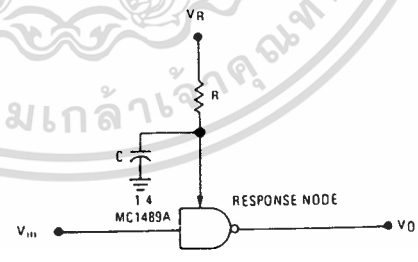
## TEST CIRCUITS

FIGURE 1 — SWITCHING RESPONSE




$C_L$ = 15 pF = total parasitic capacitance, which includes probe and wiring capacitances

FIGURE 2 — RESPONSE CONTROL NODE




C, capacitor is for noise filtering
R, resistor is for threshold shifting



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TYPICAL CHARACTERISTICS

($V_{CC}$ = 5.0 Vdc, $T_A$ = +25°C unless otherwise noted)

FIGURE 3 — INPUT CURRENT

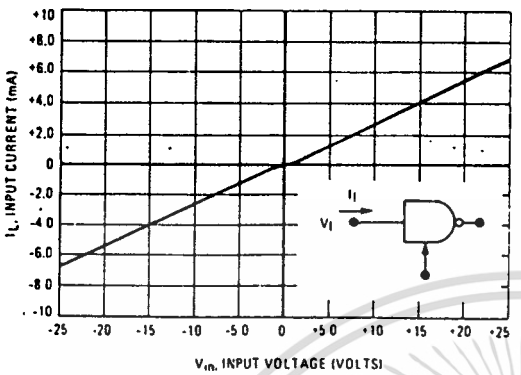



FIGURE 4 — MC1489 INPUT THRESHOLD VOLTAGE ADJUSTMENT

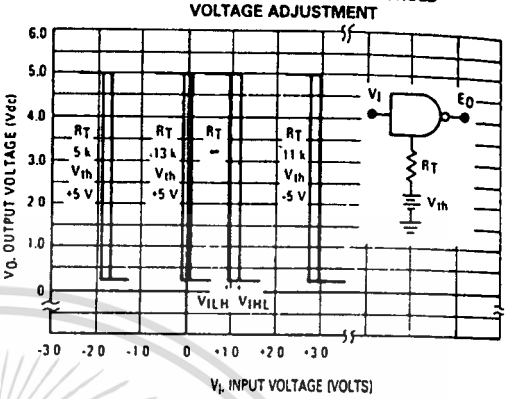



FIGURE 5 — MC1489A INPUT THRESHOLD VOLTAGE ADJUSTMENT

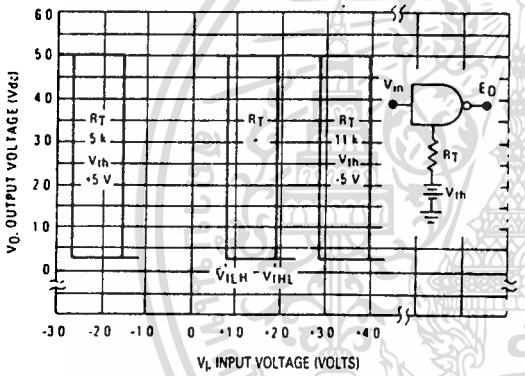



FIGURE 6 — INPUT THRESHOLD VOLTAGE versus TEMPERATURE

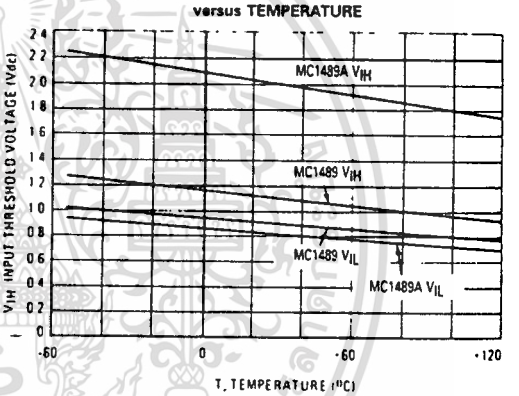
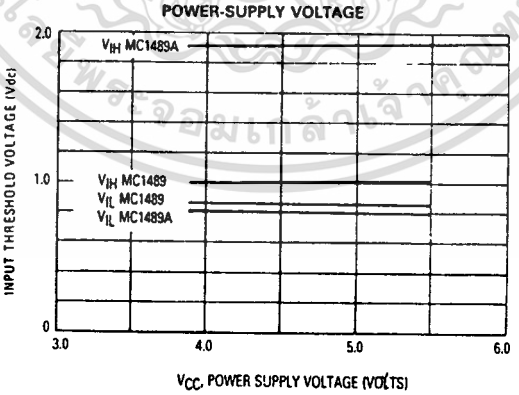



FIGURE 7 — INPUT THRESHOLD versus POWER-SUPPLY VOLTAGE






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## APPLICATIONS INFORMATION

### General Information

The Electronic Industries Association (EIA) has released the EIA-232D specification detailing the requirements for the interface between data processing equipment and data communications equipment. This standard specifies not only the number and type of interface leads, but also the voltage levels to be used. The MC1488 quad driver and its companion circuit, the MC1489 quad receiver, provide a complete interface system between DTL or TTL logic levels and the EIA-232D defined levels. The EIA-232D requirements as applied to receivers are discussed herein.

The required input impedance is defined as between 3000 ohms and 7000 ohms for input voltages between 3.0 and 25 volts in magnitude; and any voltage on the receiver input in an open circuit condition must be less than 2.0 volts in magnitude. The MC1489 circuits meet these requirements with a maximum open circuit voltage of one $V_{BE}$.

The receiver shall detect a voltage between −3.0 and −25 volts as a Logic "1" and inputs between +3.0 and +25 volts as a Logic "0." On some interchange leads, an open circuit of power "OFF" condition (300 ohms or more to ground) shall be decoded as an "OFF" condition or Logic "1." For this reason, the input hysteresis thresholds of the MC1489 circuits are all above ground. Thus an open or grounded input will cause the same output as a negative or Logic "1" input.

### Device Characteristics

The MC1489 interface receivers have internal feedback from the second stage to the input stage providing input hysteresis for noise rejection. The MC1489 input has typical turn-on voltage of 1.25 volts and turn-off of 1.0 volt for a typical hysteresis of 250 mV. The MC1489A has typical turn-on of 1.95 volts and turn-off of 0.8 volt for typically 1.15 volts of hysteresis.

Each receiver section has an external response control node in addition to the input and output pins, thereby allowing the designer to vary the input threshold voltage levels. A resistor can be connected between this node and an external power supply. Figures 2, 4 and 5 illustrate the input threshold voltage shift possible through this technique.

This response node can also be used for the filtering of high-frequency, high energy noise pulses. Figures 8 and 9 show typical noise-pulse rejection for external capacitors of various sizes.

These two operations on the response node can be combined or used individually for many combinations of interfacing applications. The MC1489 circuits are particularly useful for interfacing between MOS circuits and MDTL/MTTL logic systems. In this application, the input threshold voltages are adjusted (with the appropriate supply and resistor values) to fall in the center of the MOS voltage logic levels. (See Figure 10)

The response node may also be used as the receiver input as long as the designer realizes that he may not drive this node with a low impedance source to a voltage greater than one diode above ground or less than one diode below ground. This feature is demonstrated in Figure 11 where two receivers are slaved to the same line that must still meet the EIA-232D impedance requirement.

7

FIGURE 8 — TYPICAL TURN-ON THRESHOLD versus CAPACITANCE FROM RESPONSE CONTROL PIN TO GND

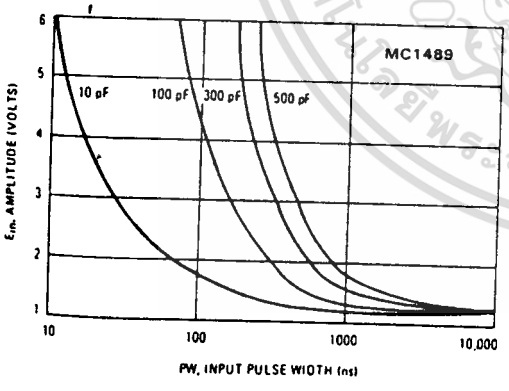
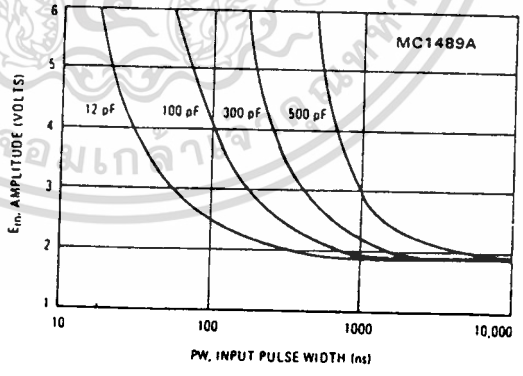



FIGURE 9 — TYPICAL TURN-ON THRESHOLD versus CAPACITANCE FROM RESPONSE CONTROL PIN TO GND






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 10 — TYPICAL TRANSLATOR APPLICATION — MOS TO DTL OR TTL

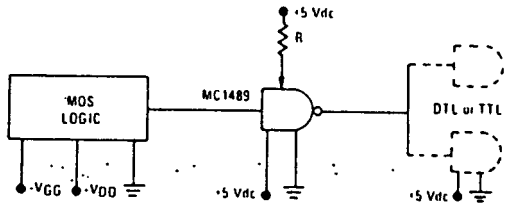
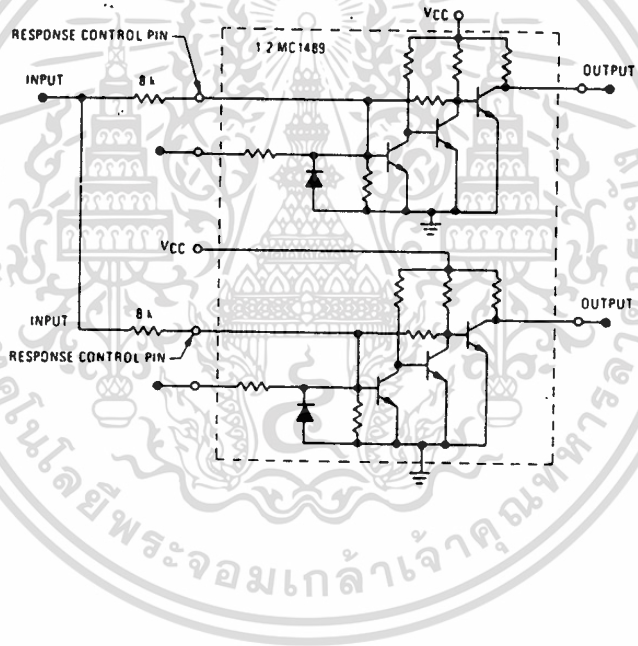



FIGURE 11 — TYPICAL PARALLELING OF TWO MC1489,A RECEIVERS TO MEET EIA-232D






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

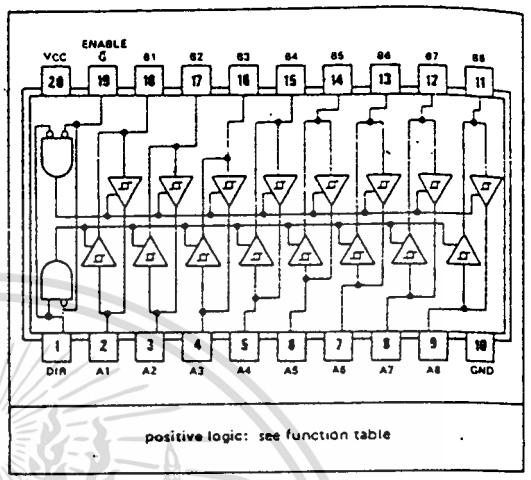
# TYPES SN54LS245, SN74LS245
# OCTAL BUS TRANSCEIVERS WITH 3-STATE OUTPUTS

BULLETIN NO. DL-S 7712471, OCTOBER 1976—REVISED FEBRUARY 1979

- Bi-directional Bus Transceiver in a High-Density 20-Pin Package
- 3-State Outputs Drive Bus Lines Directly
- P-N-P Inputs Reduce D-C Loading on Bus Lines
- Hysteresis at Bus Inputs Improve Noise Margins
- Typical Propagation Delay Times, Port-to-Port . . . 8 ns
- Typical Enable/Disable Times . . . 17 ns

| TYPE | $I_{OL}$ (SINK CURRENT) | $I_{OH}$ (SOURCE CURRENT) |
|---|---|---|
| SN54LS245 | 12 mA | −12 mA |
| SN74LS245 | 24 mA | −15 mA |

SN54LS245 . . . J PACKAGE
SN74LS245 . . . J OR N PACKAGE
(TOP VIEW)




positive logic: see function table

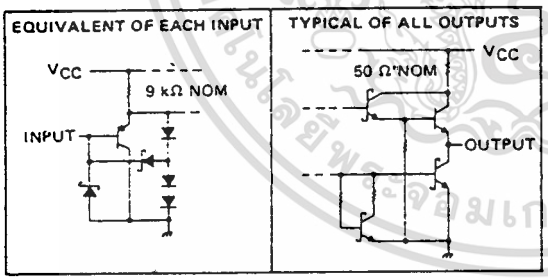
## description

These octal bus transceivers are designed for asynchronous two-way communication between data buses. The control function implementation minimizes external timing requirements.

The device allows data transmission from the A bus to the B bus or from the B bus to the A bus depending upon the logic level at the direction control (DIR) input. The enable input ($\overline{G}$) can be used to disable the device so that the buses are effectively isolated.

The SN54LS245 is characterized for operation over the full military temperature range of −55°C to 125°C. The SN74LS245 is characterized for operation from 0°C to 70°C.

## schematics of inputs and outputs




FUNCTION TABLE

| ENABLE $\overline{G}$ | DIRECTION CONTROL DIR | OPERATION |
|---|---|---|
| L | L | B data to A bus |
| L | H | A data to B bus |
| H | X | Isolation |

H = high level, L = low level, X = irrelevant

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1) . . . . . 7 V
Input voltage . . . . . 7 V
Off-state output voltage . . . . . 5.5 V
Operating free-air temperature range: SN54LS245 . . . . . −55°C to 125°C
SN74LS245 . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.



TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## recommended operating conditions

| PARAMETER | SN54LS245 | | | SN74LS245 | | | UNIT |
|---|---|---|---|---|---|---|---|
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | −12 | | | −15 | mA |
| Low-level output current, $I_{OL}$ | | | 12 | | | 24 | mA |
| Operating free-air temperature, $T_A$ | −55 | | 125 | 0 | | 70 | °C |

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | | | TEST CONDITIONS† | | SN54LS245 | | | SN74LS245 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | MIN | TYP‡ | MAX | MIN | TYP‡ | MAX | |
| $V_{IH}$ | High-level input voltage | | | | 2 | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | | 0.7 | | | 0.8 | V |
| $V_{IK}$ | Input clamp voltage | | $V_{CC}$ = MIN, | $I_I$ = −18 mA | | | −1.5 | | | −1.5 | V |
| | Hysteresis ($V_{T+} - V_{T-}$) A or B input | | $V_{CC}$ = MIN | | 0.2 | 0.4 | | 0.2 | 0.4 | | V |
| $V_{OH}$ | High-level output voltage | | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, | $I_{OH}$ = −3 mA | 2.4 | 3.4 | | 2.4 | 3.4 | | V |
| | | | $V_{IL}$ = $V_{IL}$ max | $I_{OH}$ = MAX | 2 | | | 2 | | | |
| $V_{OL}$ | Low-level output voltage | | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, | $I_{OL}$ = 12 mA | | | 0.4 | | | 0.4 | V |
| | | | $V_{IL}$ = $V_{IL}$ max | $I_{OL}$ = 24 mA | | | | | | 0.5 | |
| $I_{OZH}$ | Off-state output current, high-level voltage applied | | $V_{CC}$ = MAX, $\overline{G}$ at 2 V | $V_O$ = 2.7 V | | | 20 | | | 20 | μA |
| $I_{OZL}$ | Off-state output current, low-level voltage applied | | | $V_O$ = 0.4 V | | | −200 | | | −200 | |
| $I_I$ | Input current at maximum input voltage | A or B | $V_{CC}$ = MAX, | $V_I$ = 5.5 V | | | 0.1 | | | 0.1 | mA |
| | | DIR or $\overline{G}$ | | $V_I$ = 7 V | | | 0.1 | | | 0.1 | |
| $I_{IH}$ | High-level input current | | $V_{CC}$ = MAX, | $V_{IH}$ = 2.7 V | | | 20 | | | 20 | μA |
| $I_{IL}$ | Low-level input current | | $V_{CC}$ = MAX, | $V_{IL}$ = 0.4 V | | | −0.2 | | | −0.2 | mA |
| $I_{OS}$ | Short-circuit output current¶ | | $V_{CC}$ = MAX | | −40 | | −225 | −40 | | −225 | mA |
| $I_{CC}$ | Supply current | Total, outputs high | $V_{CC}$ = MAX, | Outputs open | | 48 | 70 | | 48 | 70 | mA |
| | | Total, outputs low | | | | 62 | 90 | | 62 | 90 | |
| | | Outputs at Hi-Z | | | | 64 | 95 | | 64 | 95 | |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
¶Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C

| PARAMETER | | TEST CONDITIONS | MIN | TYP | MAX | UNIT |
|---|---|---|---|---|---|---|
| $t_{PLH}$ | Propagation delay time, low-to-high-level output | $C_L$ = 45 pF, $R_L$ = 667 Ω, See Note 2 | | 8 | 12 | ns |
| $t_{PHL}$ | Propagation delay time, high-to-low-level output | | | 8 | 12 | ns |
| $t_{PZL}$ | Output enable time to low level | | | 27 | 40 | ns |
| $t_{PZH}$ | Output enable time to high level | | | 25 | 40 | ns |
| $t_{PLZ}$ | Output disable time from low level | $C_L$ = 5 pF, $R_L$ = 667 Ω, See Note 2 | | 15 | 25 | ns |
| $t_{PHZ}$ | Output disable time from high level | | | 15 | 28 | ns |

NOTE 2: Load circuit and waveforms are shown on page 3-11.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

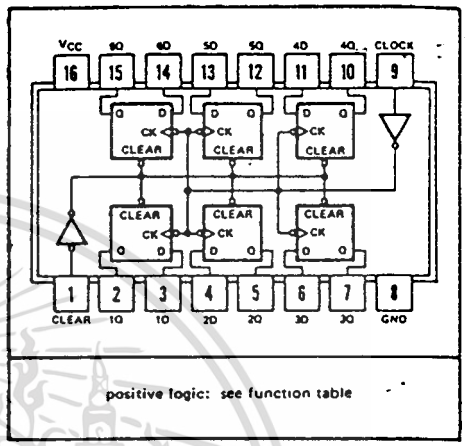
# TYPES SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175, SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175
# HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

BULLETIN NO. DL-S 7611803, DECEMBER 1972—REVISED OCTOBER 1976

'174, 'LS174, 'S174 . . . HEX D-TYPE FLIP-FLOPS
'175, 'LS175, 'S175 . . . QUADRUPLE D-TYPE FLIP-FLOPS

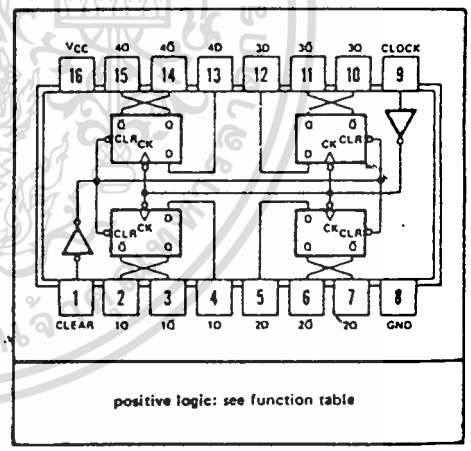
- '174, 'LS174, 'S174 Contain Six Flip-Flops with Single-Rail Outputs
- '175, 'LS175, 'S175 Contain Four Flip-Flops with Double-Rail Outputs
- Three Performance Ranges Offered: See Table Lower Right
- Buffered Clock and Direct Clear Inputs
- Individual Data Input to Each Flip-Flop
- Applications include:
  - Buffer/Storage Registers
  - Shift Registers
  - Pattern Generators

SN54174, SN54LS174, SN54S174 . . . J OR W PACKAGE
SN74174, SN74S174 . . . J OR N PACKAGE
SN74LS174 . . . J, N OR NS PACKAGE
(TOP VIEW)




positive logic: see function table

SN54175, SN54LS175, SN54S175 . . . J OR W PACKAGE
SN74175, SN74S175 . . . J OR N PACKAGE
SN74LS175 . . . J, N OR NS PACKAGE
(TOP VIEW)




positive logic: see function table

## description

These monolithic, positive-edge-triggered flip-flops utilize TTL circuitry to implement D-type flip-flop logic. All have a direct clear input, and the '175, 'LS175, and 'S175 feature complementary outputs from each flip-flops.

Information at the D inputs meeting the setup time requirements is transferred to the Q outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a particular voltage level and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the high or low level, the D input signal has no effect at the output.

These circuits are fully compatible for use with most TTL or DTL circuits.

FUNCTION TABLE
(EACH FLIP-FLOP)

| INPUTS | | | OUTPUTS | |
|---|---|---|---|---|
| CLEAR | CLOCK | D | Q | $\bar{Q}$† |
| L | X | X | L | H |
| H | ↑ | H | H | L |
| H | ↑ | L | L | H |
| H | L | X | $Q_0$ | $\bar{Q}_0$ |

H = high level (steady state)
L = low level (steady state)
X = irrelevant
↑ = transition from low to high level
$Q_0$ = the level of Q before the indicated steady-state input conditions were established.
† = '175, 'LS175, and 'S175 only

| TYPES | TYPICAL MAXIMUM CLOCK FREQUENCY | TYPICAL POWER DISSIPATION PER FLIP-FLOP |
|---|---|---|
| '174, '175 | 35 MHz | 38 mW |
| 'LS174, 'LS175 | 40 MHz | 14 mW |
| 'S174, 'S175 | 110 MHz | 75 mW |

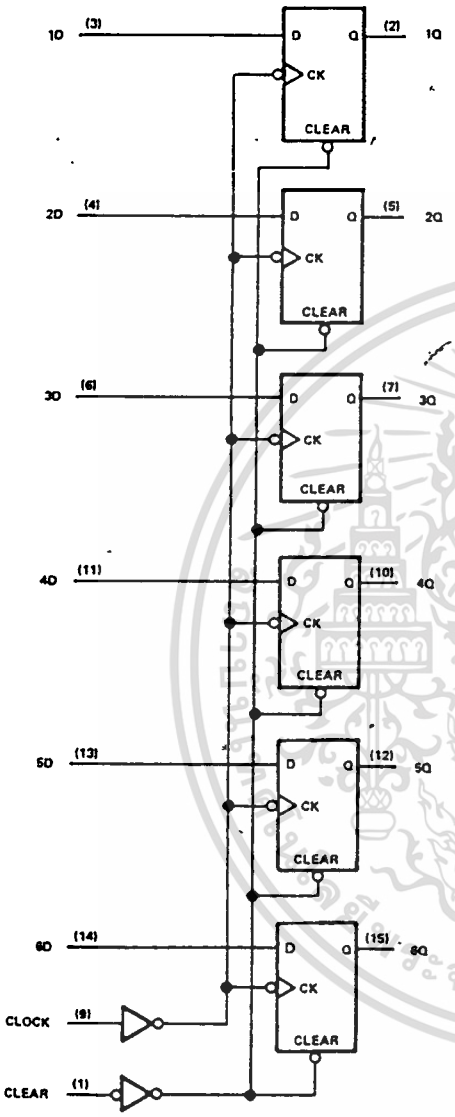


TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

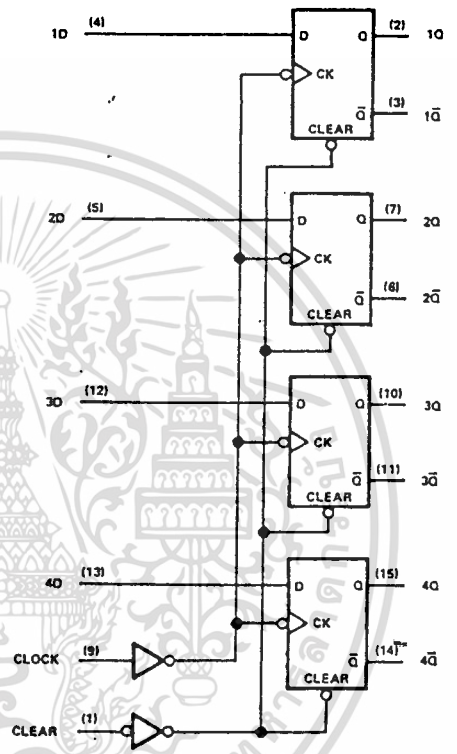
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## functional block diagrams

'174, 'LS174, 'S174




'175, 'LS175, 'S175



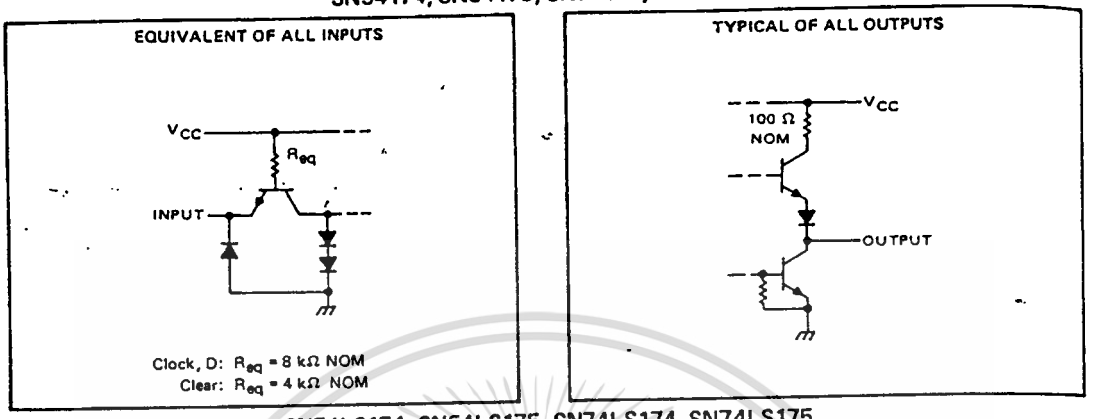

. . . dynamic input activated by transition from a high level to a low level.



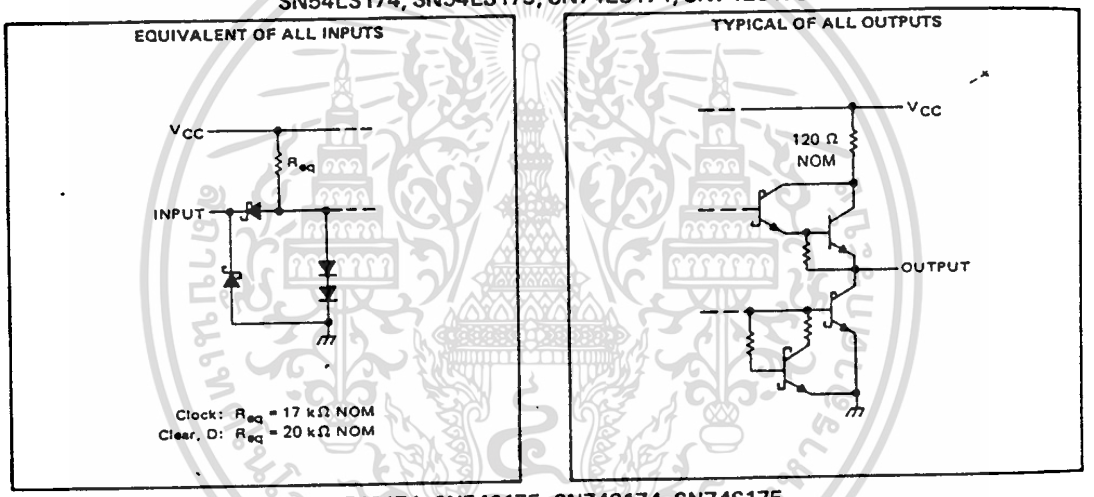
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## schematics of inputs and outputs

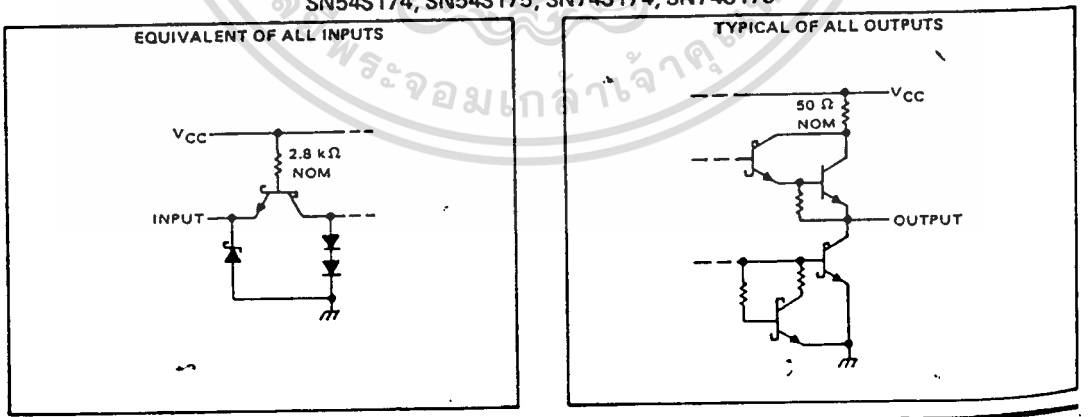
### SN54174, SN54175, SN74174, SN74175




### SN54LS174, SN54LS175, SN74LS174, SN74LS175




### SN54S174, SN54S175, SN74S174, SN74S175






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1) . . . . . 7 V
Input voltage . . . . . 5.5 V
Operating free-air temperature range: SN54174, SN54175 Circuits . . . . . −55°C to 125°C
SN74174, SN74175 Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

## recommended operating conditions

| | | SN54174, SN54175 | | | SN74174, SN74175 | | | UNIT |
|---|---|---|---|---|---|---|---|---|
| | | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | | −800 | | | −800 | μA |
| Low-level output current, $I_{OL}$ | | | | 16 | | | 16 | mA |
| Clock frequency, $f_{clock}$ | | 0 | | 25 | 0 | | 25 | MHz |
| Width of clock or clear pulse, $t_w$ | | 20 | | | 20 | | | ns |
| Setup time, $t_{su}$ | Data input | 20 | | | 20 | | | ns |
| | Clear inactive-state | 25 | | | 25 | | | ns |
| Data hold time, $t_h$ | | 5 | | | 5 | | | ns |
| Operating free-air temperature, $T_A$ | | −55 | | 125 | 0 | | 70 | °C |

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | | TEST CONDITIONS† | | | MIN | TYP‡ | MAX | UNIT |
|---|---|---|---|---|---|---|---|---|
| $V_{IH}$ | High-level input voltage | | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | | 0.8 | V |
| $V_{IK}$ | Input clamp voltage | $V_{CC}$ = MIN, $I_I$ = −12 mA | | | | | −1.5 | V |
| $V_{OH}$ | High-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.8 V, $I_{OH}$ = −800 μA | | | 2.4 | 3.4 | | V |
| $V_{OL}$ | Low-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.8 V, $I_{OL}$ = 16 mA | | | | 0.2 | 0.4 | V |
| $I_I$ | Input current at maximum input voltage | $V_{CC}$ = MAX, $V_I$ = 5.5 V | | | | | 1 | mA |
| $I_{IH}$ | High-level input current | $V_{CC}$ = MAX, $V_I$ = 2.4 V | | | | | 40 | μA |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, $V_I$ = 0.4 V | | | | | −1.6 | mA |
| $I_{OS}$ | Short-circuit output current§ | $V_{CC}$ = MAX | | SN54' | −20 | | −57 | mA |
| | | | | SN74' | −18 | | −57 | |
| $I_{CC}$ | Supply current | $V_{CC}$ = MAX, | See Note 2 | '174 | | 45 | 65 | mA |
| | | | | '175 | | 30 | 45 | |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
§Not more than one output should be shorted at a time.
NOTE 2: With all outputs open and 4.5 V applied to all data and clear inputs, $I_{CC}$ is measured after a momentary ground, then 4.5 V, is applied to clock.

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C

| PARAMETER | | TEST CONDITIONS | MIN | TYP | MAX | UNIT |
|---|---|---|---|---|---|---|
| $f_{max}$ | Maximum clock frequency | $C_L$ = 15 pF, $R_L$ = 400 Ω, See Note 3 | 25 | 35 | | MHz |
| $t_{PLH}$ | Propagation delay time, low-to-high-level output from clear (SN54175, SN74175 only) | | | 16 | 25 | ns |
| $t_{PHL}$ | Propagation delay time, high-to-low-level output from clear | | | 23 | 35 | ns |
| $t_{PLH}$ | Propagation delay time, low-to-high-level output from clock | | | 20 | 30 | ns |
| $t_{PHL}$ | Propagation delay time, high-to-low-level output from clock | | | 24 | 35 | ns |

NOTE 3: Load circuit and voltage waveforms are shown on page 3-10.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# TYPES SN54LS174, SN54LS175, SN74LS174, SN74LS175
# HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

REVISED DECEMBER 1980

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1) . . . . . 7 V
Input voltage . . . . . 7 V
Operating free-air temperature range: SN54LS174, SN54LS175 Circuits . . . . . −55°C to 125°C
SN74LS174, SN74LS175 Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

## recommended operating conditions

| | | SN54LS174 SN54LS175 | | | SN74LS174 SN74LS175 | | | UNIT |
|---|---|---|---|---|---|---|---|---|
| | | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | | −400 | | | −400 | μA |
| Low-level output current, $I_{OL}$ | | | | 4 | | | 8 | mA |
| Clock frequency, $f_{clock}$ | | 0 | | 30 | 0 | | 30 | MHz |
| Width of clock or clear pulse, $t_w$ | | 20 | | | 20 | | | ns |
| Setup time, $t_{su}$ | Data input | 20 | | | 20 | | | ns |
| | Clear inactive-state | 25 | | | 25 | | | ns |
| Data hold time, $t_h$ | | 5 | | | 5 | | | ns |
| Operating free-air temperature, $T_A$ | | −55 | | 125 | 0 | | 70 | °C |

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | | TEST CONDITIONS† | | SN54LS174 SN54LS175 | | | SN74LS174 SN74LS175 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP‡ | MAX | MIN | TYP‡ | MAX | |
| $V_{IH}$ | High-level input voltage | | | 2 | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.7 | | | 0.8 | V |
| $V_{IK}$ | Input clamp voltage | $V_{CC}$ = MIN, $I_I$ = −18 mA | | | | −1.5 | | | −1.5 | V |
| $V_{OH}$ | High-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = $V_{IL}$ max, $I_{OH}$ = −400 μA | | 2.5 | 3.5 | | 2.7 | 3.5 | | V |
| $V_{OL}$ | Low-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = $V_{IL}$ max | $I_{OL}$ = 4 mA | | 0.25 | 0.4 | | 0.25 | 0.4 | V |
| | | | $I_{OL}$ = 8 mA | | | | | 0.35 | 0.5 | |
| $I_I$ | Input current at maximum input voltage | $V_{CC}$ = MAX, $V_I$ = 7 V | | | | 0.1 | | | 0.1 | mA |
| $I_{IH}$ | High-level input current | $V_{CC}$ = MAX, $V_I$ = 2.7 V | | | | 20 | | | 20 | μA |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, $V_I$ = 0.4 V | | | | −0.4 | | | −0.4 | mA |
| $I_{OS}$ | Short-circuit output current§ | $V_{CC}$ = MAX | | −20 | | −100 | −20 | | −100 | mA |
| $I_{CC}$ | Supply current | $V_{CC}$ = MAX, See Note 2 | 'LS174 | | 16 | 26 | | 16 | 26 | mA |
| | | | 'LS175 | | 11 | 18 | | 11 | 18 | |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
§Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
NOTE 2: With all outputs open and 4.5 V applied to all data and clear inputs, $I_{CC}$ is measured after a momentary ground, then 4.5 V, is applied to clock.

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C

| PARAMETER | | TEST CONDITIONS | 'LS174 | | | 'LS175 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|
| | | | MIN | TYP | MAX | MIN | TYP | MAX | |
| $f_{max}$ | Maximum clock frequency | $C_L$ = 15 pF, $R_L$ = 2 kΩ, See Note 3 | 30 | 40 | | 30 | 40 | | MHz |
| $t_{PLH}$ | Propagation delay time, low-to-high-level output from clear | | | | | | 20 | 30 | ns |
| $t_{PHL}$ | Propagation delay time, high-to-low-level output from clear | | | 23 | 35 | | 20 | 30 | ns |
| $t_{PLH}$ | Propagation delay time, low-to-high-level output from clock | | | 20 | 30 | | 13 | 25 | ns |
| $t_{PHL}$ | Propagation delay time, high-to-low-level output from clock | | | 21 | 30 | | 16 | 25 | ns |

NOTE 3: Load circuit and voltage waveforms are shown on Page 3-11.



TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1) . . . . . 7 V
Input voltage . . . . . 5.5 V
Operating free-air temperature range: SN54S174, SN54S175 Circuits . . . . . −55°C to 125°C
SN74S174, SN74S175 Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

## recommended operating conditions

| | | SN54S174, SN54S175 | | | SN74S174, SN74S175 | | | UNIT |
|---|---|---|---|---|---|---|---|---|
| | | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | | −1 | | | −1 | mA |
| Low-level output current, $I_{OL}$ | | | | 20 | | | 20 | mA |
| Clock frequency, $f_{clock}$ | | 0 | | 75 | 0 | | 75 | MHz |
| Pulse width, $t_w$ | Clock | 7 | | | 7 | | | ns |
| | Clear | 10 | | | 10 | | | |
| Setup time, $t_{su}$ | Data input | 5 | | | 5 | | | ns |
| | Clear inactive-state | 5 | | | 5 | | | |
| Data hold time, $t_h$ | | 3 | | | 3 | | | ns |
| Operating free-air temperature, $T_A$ | | −55 | | 125 | 0 | | 70 | °C |

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | | TEST CONDITIONS† | | MIN | TYP‡ | MAX | UNIT |
|---|---|---|---|---|---|---|---|
| $V_{IH}$ | High-level input voltage | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.8 | V |
| $V_{IK}$ | Input clamp voltage | $V_{CC}$ = MIN, $I_I$ = −18 mA | | | | −1.2 | V |
| $V_{OH}$ | High-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.8 V, $I_{OH}$ = −1 mA | SN54S' | 2.5 | 3.4 | | V |
| | | | SN74S' | 2.7 | 3.4 | | |
| $V_{OL}$ | Low-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.8 V, $I_{OL}$ = 20 mA | | | | 0.5 | V |
| $I_I$ | Input current at maximum input voltage | $V_{CC}$ = MAX, $V_I$ = 5.5 V | | | | 1 | mA |
| $I_{IH}$ | High-level input current | $V_{CC}$ = MAX, $V_I$ = 2.7 V | | | | 50 | μA |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, $V_I$ = 0.5 V | | | | −2 | mA |
| $I_{OS}$ | Short-circuit output current§ | $V_{CC}$ = MAX | | −40 | | −100 | mA |
| $I_{CC}$ | Supply current | $V_{CC}$ = MAX, See Note 2 | S174 | | 90 | 144 | mA |
| | | | S175 | | 60 | 96 | |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
§Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
NOTE 2: With all outputs open and 4.5 V applied to all data and clear inputs, $I_{CC}$ is measured after a momentary ground, then 4.5 V, is applied to clock.

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C

| PARAMETER | | TEST CONDITIONS | MIN | TYP | MAX | UNIT |
|---|---|---|---|---|---|---|
| $f_{max}$ | Maximum clock frequency | $C_L$ = 15 pF, $R_L$ = 280 Ω, See Note 3 | 75 | 110 | | MHz |
| $t_{PLH}$ | Propagation delay time, low-to-high-level $\overline{Q}$ output from clear (SN54S175, SN74S175 only) | | | 10 | 15 | ns |
| $t_{PHL}$ | Propagation delay time, high-to-low-level Q output from clear | | | 13 | 22 | ns |
| $t_{PLH}$ | Propagation delay time, low-to-high-level output from clock | | | 8 | 12 | ns |
| $t_{PHL}$ | Propagation time, high-to-low-level output from clock | | | 11.5 | 17 | ns |

NOTE 3: Load circuit and voltage waveforms are shown on page 3-10.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

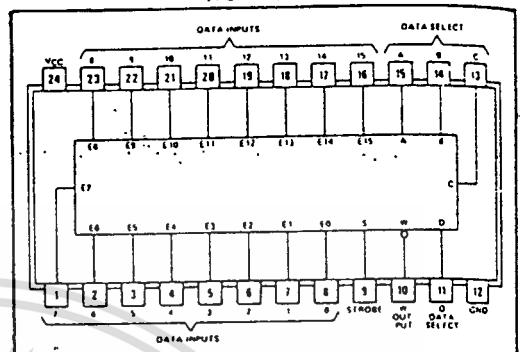
# TYPES SN54150, SN54151A, SN54152A, SN54LS151, SN54LS152, SN54S151, SN74150, SN74151A, SN74LS151, SN74S151
# DATA SELECTORS/MULTIPLEXERS

BULLETIN NO. DL-S 7611819, DECEMBER 1972–REVISED OCTOBER 1976

- '150 Selects One-of-Sixteen Data Sources
- Others Select One-of-Eight Data Sources
- Performs Parallel-to-Serial Conversion
- Permits Multiplexing from N Lines to One Line
- Also For Use as Boolean Function Generator
- Input-Clamping Diodes Simplify System Design
- Fully Compatible with Most TTL and DTL Circuits

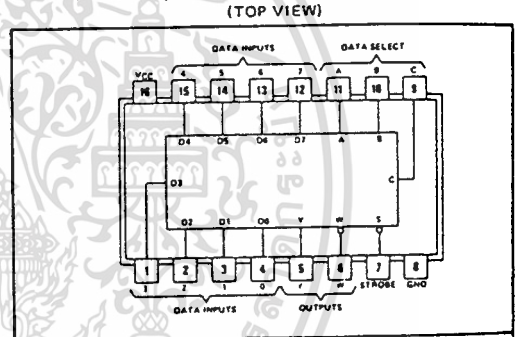
| TYPE | TYPICAL AVERAGE PROPAGATION DELAY TIME DATA INPUT TO W OUTPUT | TYPICAL POWER DISSIPATION |
|---|---|---|
| '150 | 11 ns | 200 mW |
| '151A | 8 ns | 145 mW |
| '152A | 8 ns | 130 mW |
| 'LS151 | 11 ns | 30 mW |
| 'LS152 | 11 ns | 28 mW |
| 'S151 | 4.5 ns | 225 mW |

SN54150 . . . J OR W PACKAGE
SN74150 . . . J OR N PACKAGE
(TOP VIEW)



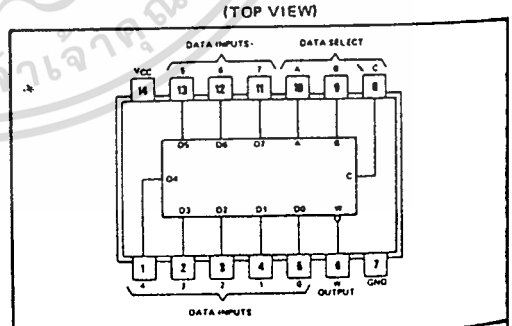

positive logic: see function table

SN54151A, SN54LS151, SN54S151 . . . J OR W PACKAGE
SN74151A . . . J OR N PACKAGE
SN74LS151, SN74S151 . . . J, N OR NS PACKAGE
(TOP VIEW)




positive logic: see function table

SN54152A, SN54LS152 . . . W PACKAGE
(TOP VIEW)




positive logic: see function table

## description

These monolithic data selectors/multiplexers contain full on-chip binary decoding to select the desired data source. The '150 selects one-of-sixteen data sources; the '151A, '152A, 'LS151, 'LS152, and 'S151 select one-of-eight data sources. The '150, '151A, 'LS151, and 'S151 have a strobe input which must be at a low logic level to enable these devices. A high level at the strobe forces the W output high, and the Y output (as applicable) low.

The '151A, 'LS151, and 'S151 feature complementary W and Y outputs whereas the '150, '152A, and 'LS152 have an inverted (W) output only.

The '151A and '152A incorporate address buffers which have symmetrical propagation delay times through the complementary paths. This reduces the possibility of transients occurring at the output(s) due to changes made at the select inputs, even when the '151A outputs are enabled (i.e., strobe low).



TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## logic

### '150
FUNCTION TABLE

| INPUTS | | | | | OUTPUT |
|---|---|---|---|---|---|
| SELECT | | | | STROBE | W |
| D | C | B | A | S | |
| X | X | X | X | H | H |
| L | L | L | L | L | $\overline{E0}$ |
| L | L | L | H | L | $\overline{E1}$ |
| L | L | H | L | L | $\overline{E2}$ |
| L | L | H | H | L | $\overline{E3}$ |
| L | H | L | L | L | $\overline{E4}$ |
| L | H | L | H | L | $\overline{E5}$ |
| L | H | H | L | L | $\overline{E6}$ |
| L | H | H | H | L | $\overline{E7}$ |
| H | L | L | L | L | $\overline{E8}$ |
| H | L | L | H | L | $\overline{E9}$ |
| H | L | H | L | L | $\overline{E10}$ |
| H | L | H | H | L | $\overline{E11}$ |
| H | H | L | L | L | $\overline{E12}$ |
| H | H | L | H | L | $\overline{E13}$ |
| H | H | H | L | L | $\overline{E14}$ |
| H | H | H | H | L | $\overline{E15}$ |

### '151A, 'LS151, 'S151
FUNCTION TABLE

| INPUTS | | | | OUTPUTS | |
|---|---|---|---|---|---|
| SELECT | | | STROBE | | |
| C | B | A | S | Y | W |
| X | X | X | H | L | H |
| L | L | L | L | D0 | $\overline{D0}$ |
| L | L | H | L | D1 | $\overline{D1}$ |
| L | H | L | L | D2 | $\overline{D2}$ |
| L | H | H | L | D3 | $\overline{D3}$ |
| H | L | L | L | D4 | $\overline{D4}$ |
| H | L | H | L | D5 | $\overline{D5}$ |
| H | H | L | L | D6 | $\overline{D6}$ |
| H | H | H | L | D7 | $\overline{D7}$ |

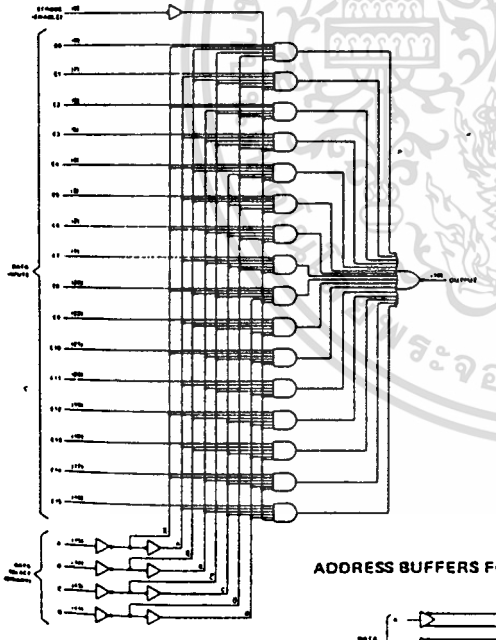
### '152A, 'LS152
FUNCTION TABLE

| SELECT INPUTS | | | OUTPUT |
|---|---|---|---|
| C | B | A | W |
| L | L | L | $\overline{D0}$ |
| L | L | H | $\overline{D1}$ |
| L | H | L | $\overline{D2}$ |
| L | H | H | $\overline{D3}$ |
| H | L | L | $\overline{D4}$ |
| H | L | H | $\overline{D5}$ |
| H | H | L | $\overline{D6}$ |
| H | H | H | $\overline{D7}$ |

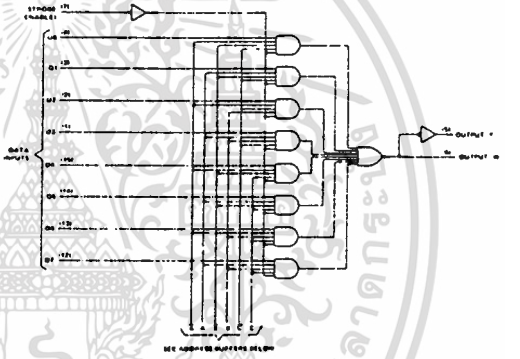
H = high level, L = low level, X = irrelevant
$\overline{E0}$, $\overline{E1}$ . . . $\overline{E15}$ = the complement of the level of the respective E input
D0, D1 . . . D7 = the level of the D respective input

## functional block diagrams

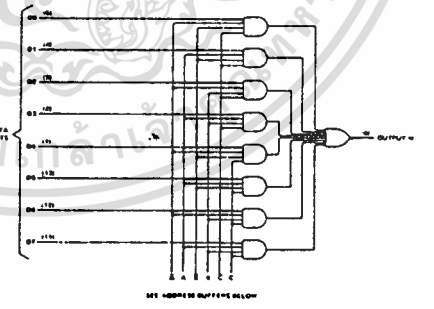
'150



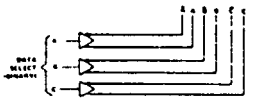
'151A, 'LS151, 'S151



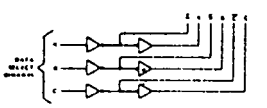
'152A, 'LS152



ADDRESS BUFFERS FOR '151A, '152A



ADDRESS BUFFERS FOR 'LS151, 'S151, 'LS152





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REVISED OCTOBER 1976

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1) . . . . . 7 V
Input voltage (see Note 2) . . . . . 5.5 V
Operating free-air temperature range: SN54' Circuits . . . . . −55°C to 125°C
SN74' Circuits . . . . . 0°C to 70°C
Storage temperature range: . . . . . −65°C to 150°C

NOTES: 1. Voltage values are with respect to network ground terminal.
2. For the '150, input voltages must be zero or positive with respect to network ground terminal.

## recommended operating conditions

| | SN54' | | | SN74' | | | UNIT |
|---|---|---|---|---|---|---|---|
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | −800 | | | −800 | μA |
| Low-level output current, $I_{OL}$ | | | 16 | | | 16 | mA |
| Operating free-air temperature, $T_A$ | 55 | | 125 | 0 | | 70 | °C |

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | | TEST CONDITIONS† | | '150 | | | '151A, '152A | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP‡ | MAX | MIN | TYP‡ | MAX | |
| $V_{IH}$ | High-level input voltage | | | 2 | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.8 | | | 0.8 | V |
| $V_{IK}$ | Input clamp voltage | $V_{CC}$ = MIN, $I_I$ = −8 mA | | | | | | | −1.5 | V |
| $V_{OH}$ | High-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.8 V, $I_{OH}$ = −800 μA | | 2.4 | 3.4 | | 2.4 | 3.4 | | V |
| $V_{OL}$ | Low-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.8 V, $I_{OL}$ = 16 mA | | | 0.2 | 0.4 | | 0.2 | 0.4 | V |
| $I_I$ | Input current at maximum input voltage | $V_{CC}$ = MAX, $V_I$ = 5.5 V | | | | 1 | | | 1 | mA |
| $I_{IH}$ | High-level input current | $V_{CC}$ = MAX, $V_I$ = 2.4 V | | | | 40 | | | 40 | μA |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, $V_I$ = 0.4 V | | | | −1.6 | | | −1.6 | mA |
| $I_{OS}$ | Short-circuit output current§ | $V_{CC}$ = MAX | SN54' | −20 | | −55 | −20 | | −55 | mA |
| | | | SN74' | −18 | | −55 | −18 | | −55 | |
| $I_{CC}$ | Supply current | $V_{CC}$ = MAX, See Note 3 | '150 | | 40 | 68 | | | | mA |
| | | | '151A | | | | | 29 | 48 | |
| | | | '152A | | | | | 26 | 43 | |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡All typical values at $V_{CC}$ = 5 V, $T_A$ = 25°C.
§Not more than one output of the '151A should be shorted at a time.
NOTE 3: $I_{CC}$ is measured with the strobe and data select inputs at 4.5 V, all other inputs and outputs open.



TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

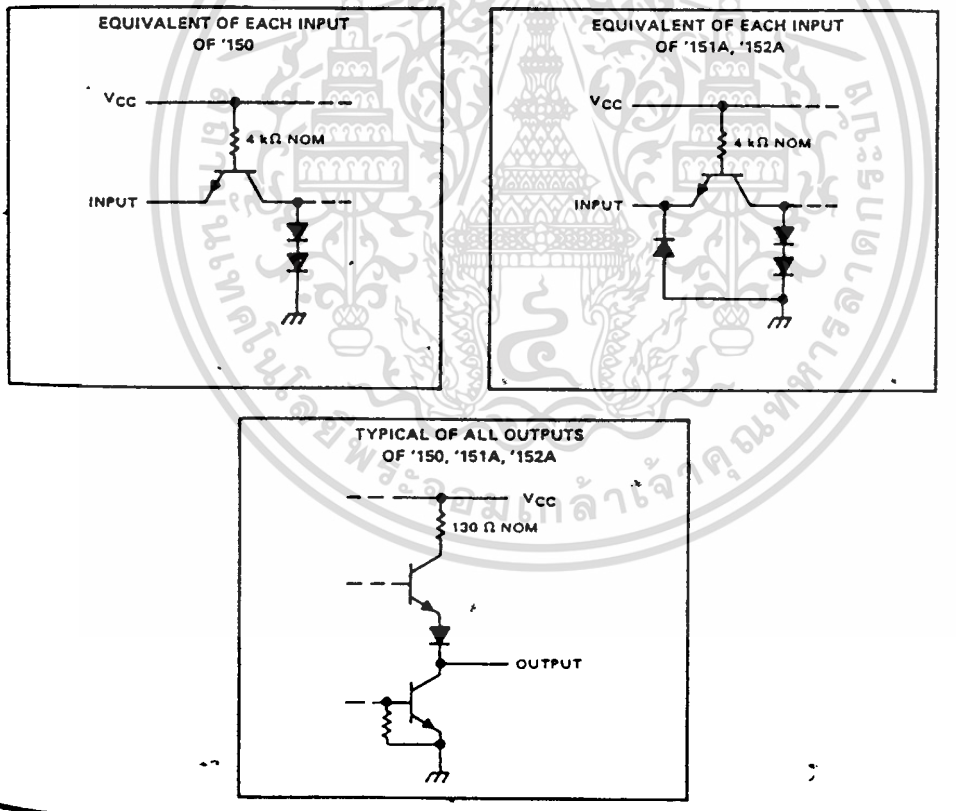
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C

| PARAMETER¶ | FROM (INPUT) | TO (OUTPUT) | TEST CONDITIONS | '150 | | | '151A, '152A | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP | MAX | MIN | TYP | MAX | |
| $t_{PLH}$ | A, B, or C (4 levels) | Y | $C_L$ = 15 pF, $R_L$ = 400 Ω, See Note 4 | | | | | 25 | 38 | ns |
| $t_{PHL}$ | | | | | | | | 25 | 38 | |
| $t_{PLH}$ | A, B, C, or D (3 levels) | W | | | 23 | 35 | | 17 | 26 | ns |
| $t_{PHL}$ | | | | | 22 | 33 | | 19 | 30 | |
| $t_{PLH}$ | Strobe | Y | | | | | | 21 | 33 | ns |
| $t_{PHL}$ | | | | | | | | 22 | 33 | |
| $t_{PLH}$ | Strobe | W | | | 15.5 | 24 | | 14 | 21 | ns |
| $t_{PHL}$ | | | | | 21 | 30 | | 15 | 23 | |
| $t_{PLH}$ | D0 thru D7 | Y | | | | | | 13 | 20 | ns |
| $t_{PHL}$ | | | | | | | | 18 | 27 | |
| $t_{PLH}$ | E0 thru E15, or D0 thru D7 | W | | | 8.5 | 14 | | 8 | 14 | ns |
| $t_{PHL}$ | | | | | 13 | 20 | | 8 | 14 | |

¶ $t_{PLH}$ ≡ propagation delay time, low-to-high-level output
$t_{PHL}$ ≡ propagation delay time, high-to-low-level output
NOTE 4: Load circuit and voltage waveforms are shown on page 3-10.

## schematics of inputs and outputs






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1) . . . . . 7 V
Input voltage . . . . . 7 V
Operating free-air temperature range: SN54LS' Circuits . . . . . −55°C to 125°C
SN74LS' Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

## recommended operating conditions

| | SN54LS' | | | SN74LS' | | | UNIT |
|---|---|---|---|---|---|---|---|
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | −400 | | | −400 | μA |
| Low-level output current, $I_{OL}$ | | | 4 | | | 8 | mA |
| Operating free-air temperature, $T_A$ | −55 | | 125 | 0 | | 70 | °C |

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | | TEST CONDITIONS† | | | SN54LS' | | | SN74LS' | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | MIN | TYP‡ | MAX | MIN | TYP‡ | MAX | |
| $V_{IH}$ | High-level input voltage | | | | 2 | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | | 0.7 | | | 0.8 | V |
| $V_{IK}$ | Input clamp voltage | $V_{CC}$ = MIN, | $I_I$ = −18 mA | | | | −1.5 | | | −1.5 | V |
| $V_{OH}$ | High-level output voltage | $V_{CC}$ = MIN, $V_{IL}$ = $V_{IL}$ max, | $V_{IH}$ = 2 V, $I_{OH}$ = −400 μA | | 2.5 | 3.4 | | 2.7 | 3.4 | | V |
| $V_{OL}$ | Low-level output voltage | $V_{CC}$ = MIN, $V_{IL}$ = $V_{IL}$ max | $V_{IH}$ = 2 V, | $I_{OL}$ = 4 mA | | 0.25 | 0.4 | | 0.25 | 0.4 | V |
| | | | | $I_{OL}$ = 8 mA | | | | | 0.35 | 0.5 | |
| $I_I$ | Input current at maximum input voltage | $V_{CC}$ = MAX, | $V_I$ = 7 V | | | | 0.1 | | | 0.1 | mA |
| $I_{IH}$ | High-level input current | $V_{CC}$ = MAX, | $V_I$ = 2.7 V | | | | 20 | | | 20 | μA |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, | $V_I$ = 0.4 V | | | | −0.4 | | | −0.4 | mA |
| $I_{OS}$ | Short-circuit output current§ | $V_{CC}$ = MAX | | | −20 | | −100 | −20 | | −100 | mA |
| $I_{CC}$ | Supply current | $V_{CC}$ = MAX, All inputs at 4.5 V | Outputs open, | 'LS151 | | 6.0 | 10 | | 6.0 | 10 | mA |
| | | | | 'LS152 | | 5.6 | 9 | | | | |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
§Not more than one output should be shorted at a time and duration of short-circuit should not exceed one second.



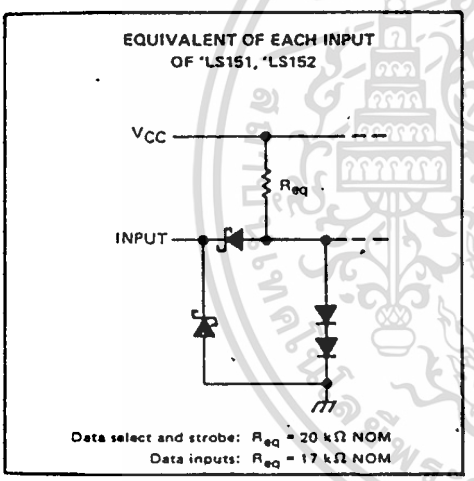
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

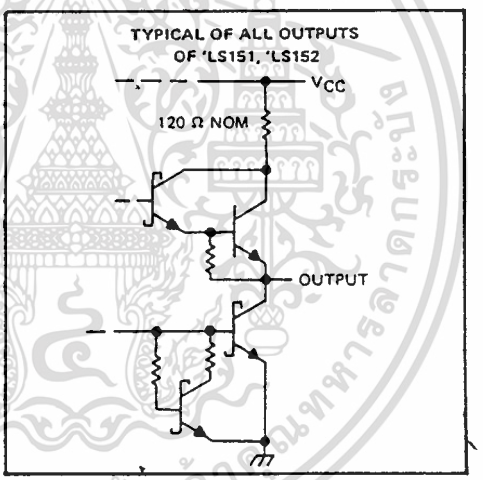
## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C

| PARAMETER[1] | FROM (INPUT) | TO (OUTPUT) | TEST CONDITIONS | SN54LS', SN74LS' MIN | TYP | MAX | UNIT |
|---|---|---|---|---|---|---|---|
| $t_{PLH}$ | A, B, or C (4 levels) | Y | $C_L$ = 15 pF, $R_L$ = 2 kΩ, See Note 5 | | 27 | 43 | ns |
| $t_{PHL}$ | | | | | 18 | 30 | |
| $t_{PLH}$ | A, B, or C (3 levels) | W | | | 14 | 23 | ns |
| $t_{PHL}$ | | | | | 20 | 32 | |
| $t_{PLH}$ | Strobe | Y | | | 26 | 42 | ns |
| $t_{PHL}$ | | | | | 20 | 32 | |
| $t_{PLH}$ | Strobe | W | | | 15 | 24 | ns |
| $t_{PHL}$ | | | | | 18 | 30 | |
| $t_{PLH}$ | Any D | Y | | | 20 | 32 | ns |
| $t_{PHL}$ | | | | | 16 | 26 | |
| $t_{PLH}$ | Any D | W | | | 13 | 21 | ns |
| $t_{PHL}$ | | | | | 12 | 20 | |

[1] $t_{PLH}$ ≡ Propagation delay time, low-to-high-level output
$t_{PHL}$ ≡ Propagation delay time, high-to-low-level output
NOTE 5: See load circuits and waveforms on page 3-11.

## schematics of inputs and outputs




7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1) . . . . . 7 V
Input voltage . . . . . 5.5 V
Operating free-air temperature range: SN54S151 Circuits . . . . . −55°C to 125°C
SN74S151 Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

## recommended operating conditions

| | SN54S151 | | | SN74S151 | | | UNIT |
|---|---|---|---|---|---|---|---|
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | −1 | | | −1 | mA |
| Low-level output current, $I_{OL}$ | | | 20 | | | 20 | mA |
| Operating free-air temperature, $T_A$ | −55 | | 125 | 0 | | 70 | °C |

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | | TEST CONDITIONS† | | MIN | TYP‡ | MAX | UNIT |
|---|---|---|---|---|---|---|---|
| $V_{IH}$ | High-level input voltage | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.8 | V |
| $V_{IK}$ | Input clamp voltage | $V_{CC}$ = MIN, $I_I$ = −18 mA | | | | −1.2 | V |
| $V_{OH}$ | High-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.8 V, $I_{OH}$ = −1 mA | SN54S' | 2.5 | 3.4 | | V |
| | | | SN74S' | 2.7 | 3.4 | | |
| $V_{OL}$ | Low-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.8 V, $I_{OL}$ = 20 mA | | | | 0.5 | V |
| $I_I$ | Input current at maximum input voltage | $V_{CC}$ = MAX, $V_I$ = 5.5 V | | | | 1 | mA |
| $I_{IH}$ | High-level input current | $V_{CC}$ = MAX, $V_I$ = 2.7 V | | | | 50 | μA |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, $V_I$ = 0.5 V | | | | −2 | mA |
| $I_{OS}$ | Short-circuit output current§ | $V_{CC}$ = MAX | | −40 | | −100 | mA |
| $I_{CC}$ | Supply current | $V_{CC}$ = MAX, All inputs at 4.5 V, All outputs open | | | 45 | 70 | mA |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
§Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.



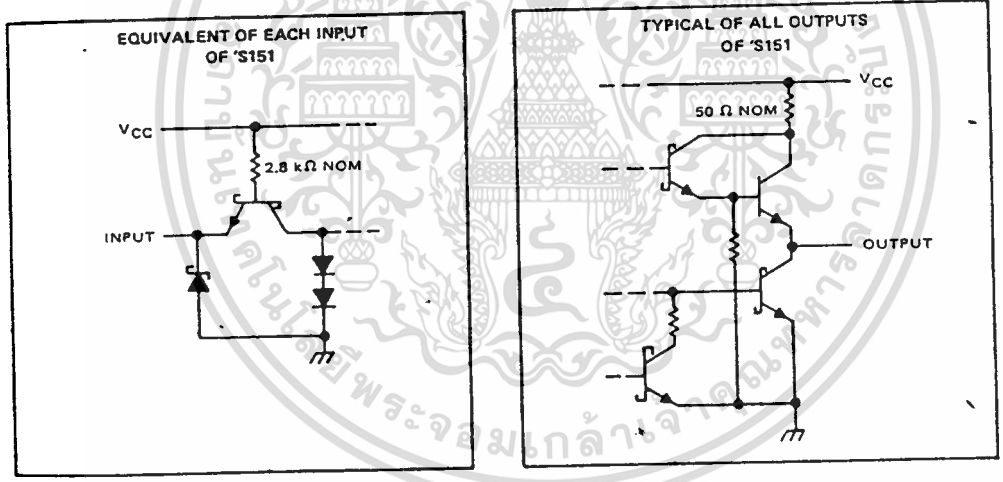
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C

| PARAMETER¶ | FROM (INPUT) | TO (OUTPUT) | TEST CONDITIONS | SN54S151, SN74S151 | | | UNIT |
|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP | MAX | |
| $t_{PLH}$ | A, B, or C (4 levels) | Y | $C_L$ = 15 pF, $R_L$ = 280 Ω, See Note 4 | | 12 | 18 | ns |
| $t_{PHL}$ | | | | | 12 | 18 | |
| $t_{PLH}$ | A, B, or C (3 levels) | W | | | 10 | 15 | ns |
| $t_{PHL}$ | | | | | 9 | 13.5 | |
| $t_{PLH}$ | Any D | Y | | | 8 | 12 | ns |
| $t_{PHL}$ | | | | | 8 | 12 | |
| $t_{PLH}$ | Any D | W | | | 4.5 | 7 | ns |
| $t_{PHL}$ | | | | | 4.5 | 7 | |
| $t_{PLH}$ | Strobe | Y | | | 11 | 16.5 | ns |
| $t_{PHL}$ | | | | | 12 | 18 | |
| $t_{PLH}$ | Strobe | W | | | 9 | 13 | ns |
| $t_{PHL}$ | | | | | 8.5 | 12 | |

¶ $t_{PLH}$ ≡ Propagation delay time, low-to-high-level output
$t_{PHL}$ ≡ Propagation delay time, high-to-low-level output
NOTE 4: See load circuits and waveforms on page 3-10.

## schematics of inputs and outputs






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# TYPES SN5490A, SN5492A, SN5493A, SN54L90, SN54L93, SN54LS90, SN54LS92, SN54LS93, SN7490A, SN7492A, SN7493A, SN74LS90, SN74LS92, SN74LS93
# DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

BULLETIN NO. DL-S 7611807, MARCH 1974—REVISED OCTOBER 1976

'90A, 'L90, 'LS90 . . . DECADE COUNTERS

'92A, 'LS92 . . . DIVIDE-BY-TWELVE COUNTERS

'93A, 'L93, 'LS93 . . . 4-BIT BINARY COUNTERS

| TYPES | TYPICAL POWER DISSIPATION |
|---|---|
| '90A | 145 mW |
| 'L90 | 20 mW |
| 'LS90 | 45 mW |
| '92A, '93A | 130 mW |
| 'LS92, 'LS93 | 45 mW |
| 'L93 | 16 mW |

## description

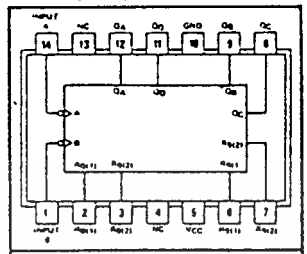
Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '90A, 'L90, and 'LS90, divide-by-six for the '92A and 'LS92, and divide-by-eight for the '93A, 'L93, and 'LS93.

All of these counters have a gated zero reset and the '90A, 'L90, and 'LS90 also have gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade, divide-by-twelve, or four-bit binary) of these counters, the B input is connected to the $Q_A$ output. The input count pulses are applied to input A and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A, 'L90, or 'LS90 counters by connecting the $Q_D$ output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output $Q_A$.

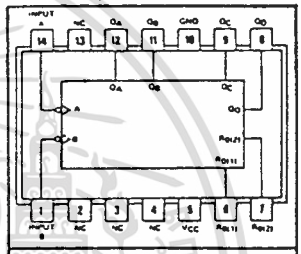
SN54', SN54LS' . . . J OR W PACKAGE
SN54L' . . . J OR T PACKAGE
SN74' . . . J OR N PACKAGE
SN74LS' . . . J, N OR NS PACKAGE

'90A, 'L90, 'LS90 (TOP VIEW)



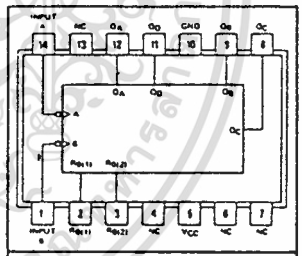
positive logic: see function tables

'92A, 'LS92, (TOP VIEW)



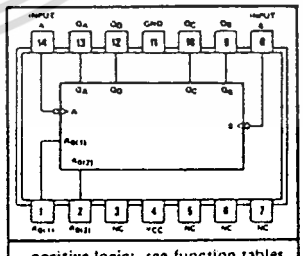
positive logic: see function tables

'93A, 'LS93 (TOP VIEW)



positive logic: see function tables

'L93 (TOP VIEW)



positive logic: see function tables

NC – No internal connection



TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'90A, 'L90, 'LS90
BCD COUNT SEQUENCE
(See Note A)

| COUNT | OUTPUT | | | |
|---|---|---|---|---|
| | $Q_D$ | $Q_C$ | $Q_B$ | $Q_A$ |
| 0 | L | L | L | L |
| 1 | L | L | L | H |
| 2 | L | L | H | L |
| 3 | L | L | H | H |
| 4 | L | H | L | L |
| 5 | L | H | L | H |
| 6 | L | H | H | L |
| 7 | L | H | H | H |
| 8 | H | L | L | L |
| 9 | H | L | L | H |

'90A, 'L90, 'LS90
BI-QUINARY (5-2)
(See Note B)

| COUNT | OUTPUT | | | |
|---|---|---|---|---|
| | $Q_A$ | $Q_D$ | $Q_C$ | $Q_B$ |
| 0 | L | L | L | L |
| 1 | L | L | L | H |
| 2 | L | L | H | L |
| 3 | L | L | H | H |
| 4 | L | H | L | L |
| 5 | H | L | L | L |
| 6 | H | L | L | H |
| 7 | H | L | H | L |
| 8 | H | L | H | H |
| 9 | H | H | L | L |

'92A, 'LS92
COUNT SEQUENCE
(See Note C)

| COUNT | OUTPUT | | | |
|---|---|---|---|---|
| | $Q_D$ | $Q_C$ | $Q_B$ | $Q_A$ |
| 0 | L | L | L | L |
| 1 | L | L | L | H |
| 2 | L | L | H | L |
| 3 | L | L | H | H |
| 4 | L | H | L | L |
| 5 | L | H | L | H |
| 6 | H | L | L | L |
| 7 | H | L | L | H |
| 8 | H | L | H | L |
| 9 | H | L | H | H |
| 10 | H | H | L | L |
| 11 | H | H | L | H |

'93A, 'L93, 'LS93
COUNT SEQUENCE
(See Note C)

| COUNT | OUTPUT | | | |
|---|---|---|---|---|
| | $Q_D$ | $Q_C$ | $Q_B$ | $Q_A$ |
| 0 | L | L | L | L |
| 1 | L | L | L | H |
| 2 | L | L | H | L |
| 3 | L | L | H | H |
| 4 | L | H | L | L |
| 5 | L | H | L | H |
| 6 | L | H | H | L |
| 7 | L | H | H | H |
| 8 | H | L | L | L |
| 9 | H | L | L | H |
| 10 | H | L | H | L |
| 11 | H | L | H | H |
| 12 | H | H | L | L |
| 13 | H | H | L | H |
| 14 | H | H | H | L |
| 15 | H | H | H | H |

'90A, 'L90, 'LS90
RESET/COUNT FUNCTION TABLE

| RESET INPUTS | | | | OUTPUT | | | |
|---|---|---|---|---|---|---|---|
| $R_{0(1)}$ | $R_{0(2)}$ | $R_{9(1)}$ | $R_{9(2)}$ | $Q_D$ | $Q_C$ | $Q_B$ | $Q_A$ |
| H | H | L | X | L | L | L | L |
| H | H | X | L | L | L | L | L |
| X | X | H | H | H | L | L | H |
| X | L | X | L | COUNT | | | |
| L | X | L | X | COUNT | | | |
| L | X | X | L | COUNT | | | |
| X | L | L | X | COUNT | | | |

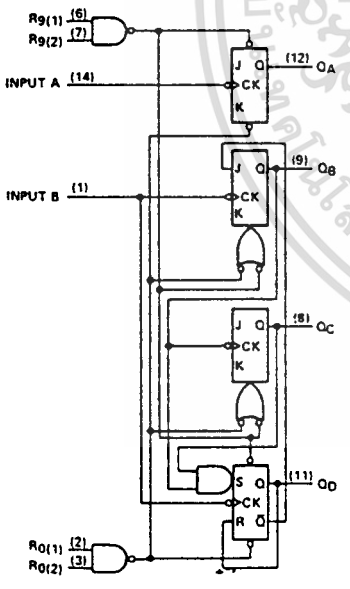
'92A, 'LS92, '93A, 'L93, 'LS93
RESET/COUNT FUNCTION TABLE

| RESET INPUTS | | OUTPUT | | | |
|---|---|---|---|---|---|
| $R_{0(1)}$ | $R_{0(2)}$ | $Q_D$ | $Q_C$ | $Q_B$ | $Q_A$ |
| H | H | L | L | L | L |
| L | X | COUNT | | | |
| X | L | COUNT | | | |

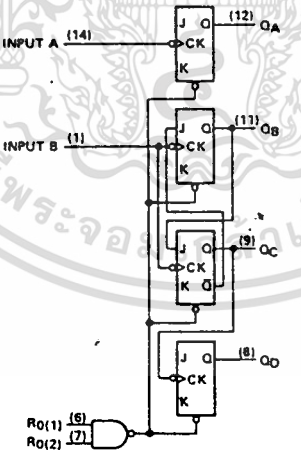
NOTES: A. Output $Q_A$ is connected to input B for BCD count.
B. Output $Q_D$ is connected to input A for bi-quinary count.
C. Output $Q_A$ is connected to input B.
D. H = high level, L = low level, X = irrelevant

## functional block diagrams

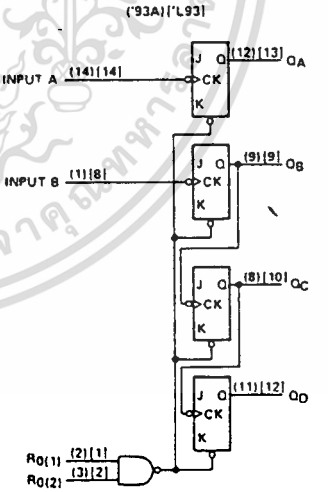
'90A, 'L90, 'LS90




'92A, 'LS92




'93A, 'L93, 'LS93



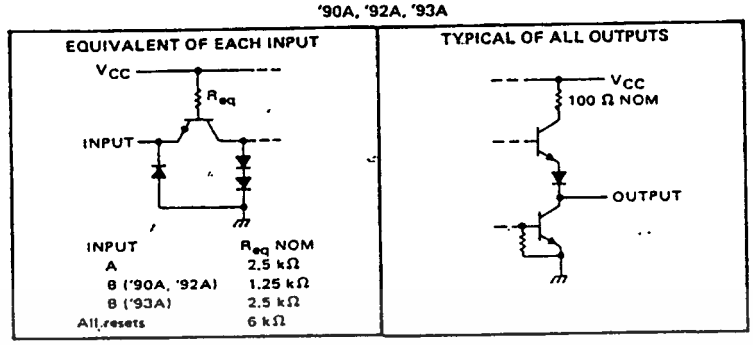

The J and K inputs shown without connection are for reference only and are functionally at a high level.



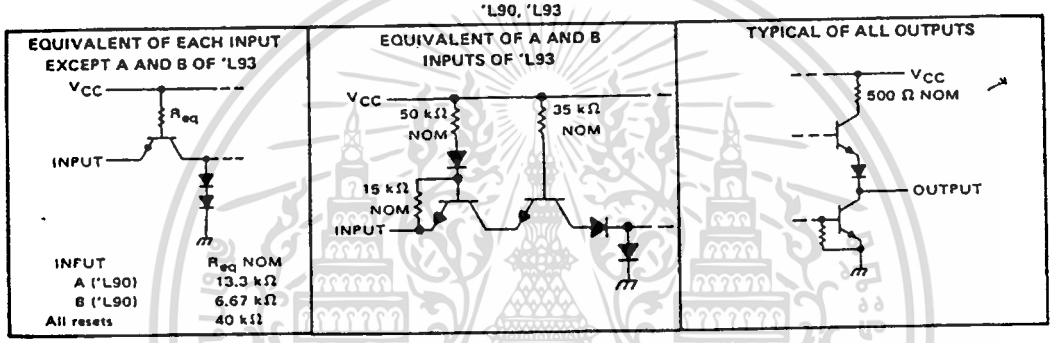
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

schematics of inputs and outputs

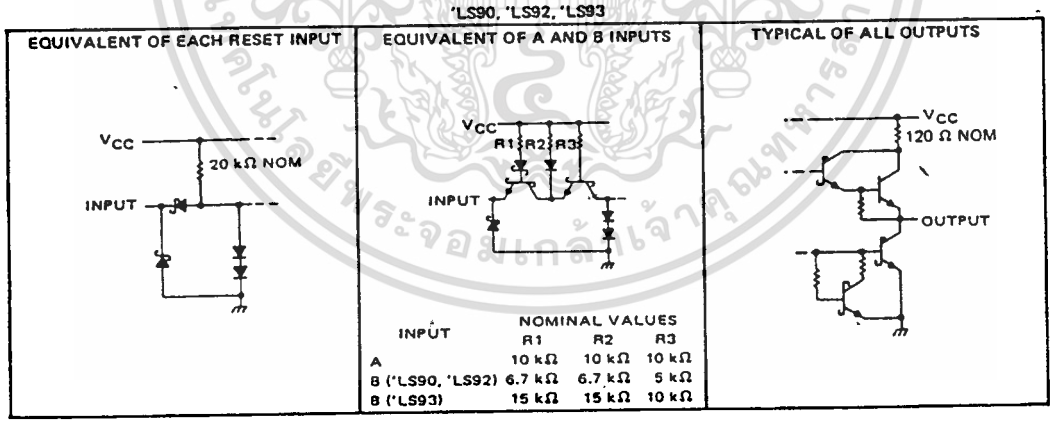
'90A, '92A, '93A




'L90, 'L93




'LS90, 'LS92, 'LS93






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1) . . . . . 7 V
Input voltage . . . . . 5.5 V
Interemitter voltage (see Note 2) . . . . . 5.5 V
Operating free-air temperature range: SN5490A, SN5492A, SN5493A . . . . . −55°C to 125°C
SN7490A, SN7492A, SN7493A . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTES: 1. Voltage values, except interemitter voltage, are with respect to network ground terminal.
2. This is the voltage between two emitters of a multiple-emitter transistor. For these circuits, this rating applies between the two $R_0$ inputs, and for the '90A circuit, it also applies between the two $R_9$ inputs.

## recommended operating conditions

| | | SN5490A, SN5492A SN5493A | | | SN7490A, SN7492A SN7493A | | | UNIT |
|---|---|---|---|---|---|---|---|---|
| | | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | | −800 | | | −800 | μA |
| Low-level output current, $I_{OL}$ | | | | 16 | | | 16 | mA |
| Count frequency, $f_{count}$ (see Figure 1) | A input | 0 | | 32 | 0 | | 32 | MHz |
| | B input | 0 | | 16 | 0 | | 16 | |
| Pulse width, $t_w$ | A input | 15 | | | 15 | | | ns |
| | B input | 30 | | | 30 | | | |
| | Reset inputs | 15 | | | 15 | | | |
| Reset inactive-state setup time, $t_{su}$ | | 25 | | | 25 | | | ns |
| Operating free-air temperature, $T_A$ | | −55 | | 125 | 0 | | 70 | °C |

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | | TEST CONDITIONS† | | '90A | | | '92A | | | '93A | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP‡ | MAX | MIN | TYP‡ | MAX | MIN | TYP‡ | MAX | |
| $V_{IH}$ | High-level input voltage | | | 2 | | | 2 | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.8 | | | 0.8 | | | 0.8 | V |
| $V_{IK}$ | Input clamp voltage | $V_{CC}$ = MIN, $I_I$ = −12 mA | | | | −1.5 | | | −1.5 | | | −1.5 | V |
| $V_{OH}$ | High-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.8 V, $I_{OH}$ = −800 μA | | 2.4 | 3.4 | | 2.4 | 3.4 | | 2.4 | 3.4 | | V |
| $V_{OL}$ | Low-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.8 V, $I_{OL}$ = 16 mA¶ | | | 0.2 | 0.4 | | 0.2 | 0.4 | | 0.2 | 0.4 | V |
| $I_I$ | Input current at maximum input voltage | $V_{CC}$ = MAX, $V_I$ = 5.5 V | | | | 1 | | | 1 | | | 1 | mA |
| $I_{IH}$ | High-level input current | $V_{CC}$ = MAX, $V_I$ = 2.4 V | Any reset | | | 40 | | | 40 | | | 40 | μA |
| | | | A input | | | 80 | | | 80 | | | 80 | |
| | | | B input | | | 120 | | | 120 | | | 80 | |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, $V_I$ = 0.4 V | Any reset | | | −1.6 | | | −1.6 | | | −1.6 | mA |
| | | | A input | | | −3.2 | | | −3.2 | | | −3.2 | |
| | | | B input | | | −4.8 | | | −4.8 | | | −3.2 | |
| $I_{OS}$ | Short-circuit output current§ | $V_{CC}$ = MAX | SN54' | −20 | | −57 | −20 | | −57 | −20 | | −57 | mA |
| | | | SN74' | −18 | | −57 | −18 | | −57 | −18 | | −57 | |
| $I_{CC}$ | Supply current | $V_{CC}$ = MAX, See Note 3 | | | 29 | 42 | | 26 | 39 | | 26 | 39 | mA |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
§Not more than one output should be shorted at a time.
¶$Q_A$ outputs are tested at $I_{OL}$ = 16 mA plus the limit value for $I_{IL}$ for the B input. This permits driving the B input while maintaining full fan-out capability.
NOTE 3: $I_{CC}$ is measured with all outputs open, both $R_0$ inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C

| PARAMETER[1] | FROM (INPUT) | TO (OUTPUT) | TEST CONDITIONS | '90A | | | '92A | | | '93A | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP | MAX | MIN | TYP | MAX | MIN | TYP | MAX | |
| $f_{max}$ | A | $Q_A$ | $C_L$ = 15 pF, $R_L$ = 400 Ω, See Figure 1 | 32 | 42 | | 32 | 42 | | 32 | 42 | | MHz |
| | B | $Q_B$ | | 16 | | | 16 | | | 16 | | | |
| $t_{PLH}$ | A | $Q_A$ | | | 10 | 16 | | 10 | 16 | | 10 | 16 | ns |
| $t_{PHL}$ | | | | | 12 | 18 | | 12 | 18 | | 12 | 18 | |
| $t_{PLH}$ | A | $Q_D$ | | | 32 | 48 | | 32 | 48 | | 46 | 70 | ns |
| $t_{PHL}$ | | | | | 34 | 50 | | 34 | 50 | | 46 | 70 | |
| $t_{PLH}$ | B | $Q_B$ | | | 10 | 16 | | 10 | 16 | | 10 | 16 | ns |
| $t_{PHL}$ | | | | | 14 | 21 | | 14 | 21 | | 14 | 21 | |
| $t_{PLH}$ | B | $Q_C$ | | | 21 | 32 | | 10 | 16 | | 21 | 32 | ns |
| $t_{PHL}$ | | | | | 23 | 35 | | 14 | 21 | | 23 | 35 | |
| $t_{PLH}$ | B | $Q_D$ | | | 21 | 32 | | 21 | 32 | | 34 | 51 | ns |
| $t_{PHL}$ | | | | | 23 | 35 | | 23 | 35 | | 34 | 51 | |
| $t_{PHL}$ | Set-to-0 | Any | | | 26 | 40 | | 26 | 40 | | 26 | 40 | ns |
| $t_{PLH}$ | Set-to-9 | $Q_A$, $Q_D$ | | | 20 | 30 | | | | | | | ns |
| $t_{PHL}$ | | $Q_B$, $Q_C$ | | | 26 | 40 | | | | | | | |

[1] $f_{max}$ ≡ maximum count frequency
$t_{PLH}$ ≡ propagation delay time, low-to-high-level output
$t_{PHL}$ ≡ propagation delay time, high-to-low-level output

7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 4) . . . . . 8 V
Input voltage (see Note 5) . . . . . 5.5 V
Operating free-air temperature range: SN54L90, SN54L93 . . . . . −55°C to 125°C
Storage temperature range . . . . . −65°C to 150°C

NOTES: 4. Voltage values are with respect to network ground terminal.
5. Input voltages must be zero or positive with respect to network ground terminal.

## recommended operating conditions

| | SN54L90, SN54L93 | | | UNIT |
|---|---|---|---|---|
| | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | 4.5 | 5 | 5.5 | V |
| Count frequency, $f_{count}$ | 0 | | 3 | MHz |
| High-level output current, $I_{OH}$ | | | −100 | μA |
| Low-level output current, $I_{OL}$ | | | 2 | mA |
| Width of input count pulse, $t_{w(count)}$ | 200 | | | ns |
| Width of reset pulse, $t_{w(reset)}$ | 200 | | | ns |
| Operating free-air temperature, $T_A$ | −55 | | 125 | °C |

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | | | TEST CONDITIONS† | 'L90 | | | 'L93 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP‡ | MAX | MIN | TYP‡ | MAX | |
| $V_{IH}$ | High-level input voltage | | | 2 | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.7 | | | 0.7 | V |
| $V_{OH}$ | High-level output voltage | SN54L' | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.7 V, $I_{OH}$ = MAX | 2.4 | 3.3 | | 2.4 | 3.3 | | V |
| $V_{OL}$ | Low-level output voltage | SN54L' | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.7 V, $I_{OL}$ = MAX¶ | | 0.15 | 0.3 | | 0.15 | 0.3 | V |
| $I_I$ | Input current at maximum input voltage | Any reset input | $V_{CC}$ = MAX, $V_I$ = 5.5 V | | | 100 | | | 100 | μA |
| | | A input | | | | 300 | | | 200 | |
| | | B input | | | | 600 | | | 200 | |
| $I_{IH}$ | High-level input current | Any reset input | $V_{CC}$ = MAX, $V_I$ = 2.4 V | | | 10 | | | 10 | μA |
| | | A input | | | | 30 | | | 20 | |
| | | B input | | | | 60 | | | 20 | |
| $I_{IL}$ | Low-level input current | Any reset input | $V_{CC}$ = MAX, $V_I$ = 0.3 V | | | −0.18 | | | −0.18 | mA |
| | | A input | | | | −0.54 | | | −0.36 | |
| | | B input | | | | −1.08 | | | −0.36 | |
| $I_{OS}$ | Short-circuit output current§ | | $V_{CC}$ = MAX | −3 | | −15 | −3 | | −15 | mA |
| $I_{CC}$ | Supply current | | $V_{CC}$ = MAX, See Note 3 | | 4 | 7.2 | | 3.2 | 6.6 | mA |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
§Not more than one output should be shorted at a time.
¶$Q_A$ outputs are tested at $I_{OL}$ = MAX plus the limit value for $I_{IL}$ for the B input. This permits driving the B input while maintaining full fan-out capability.

NOTE 3: $I_{CC}$ is measured with all outputs open, both $R_0$ inputs grounded following momentary connection to 4.5 V and all other inputs grounded.

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C

| PARAMETER | | TEST CONDITIONS | 'L90 | | | 'L93 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|
| | | | MIN | TYP | MAX | MIN | TYP | MAX | |
| $f_{max}$ | Maximum count frequency | | 3 | 6 | | 3 | 6 | | MHz |
| $t_{PLH}$ | Propagation delay time, low-to-high-level $Q_D$ output from input A | $C_L$ = 50 pF, $R_L$ = 4 kΩ, See Figure 1 | | 230 | 340 | | 280 | 450 | ns |
| $t_{PHL}$ | Propagation delay time, high-to-low-level $Q_D$ output from input A | | | 230 | 340 | | 280 | 450 | ns |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**SCL4020AB**

# CMOS 14-STAGE BINARY COUNTER

### FEATURES

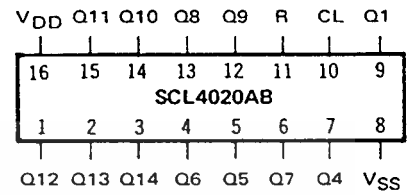
- 14 Fully Static Stages
- Buffered Outputs Available from 12 Stages
- Common Reset Line
- 8MHz Counting Rate @ 10Vdc
- All Inputs Buffered

### DESCRIPTION

The SCL4020AB consists of 14 ripple-carry binary counter stages with appropriate input buffers and reset circuitry. Buffered outputs are externally available from stages 1, and 4 through 14. The counter is reset to its "all zeroes" state by a high level on the Reset input. The counter is advanced one count on the negative-going transition of each input pulse. Isolation from external noise and the effects of loading is provided by output buffering.

Applications include time delay circuits, counter controls, and frequency-dividing circuits.

CONNECTION DIAGRAM
(all packages)




Add suffix for package:

| | |
|---|---|
| C | 16-pin Cerdip |
| D | 16-pin Ceramic |
| E | 16-pin Epoxy |
| F | 16-pin Flat |
| H | Chip |

### RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

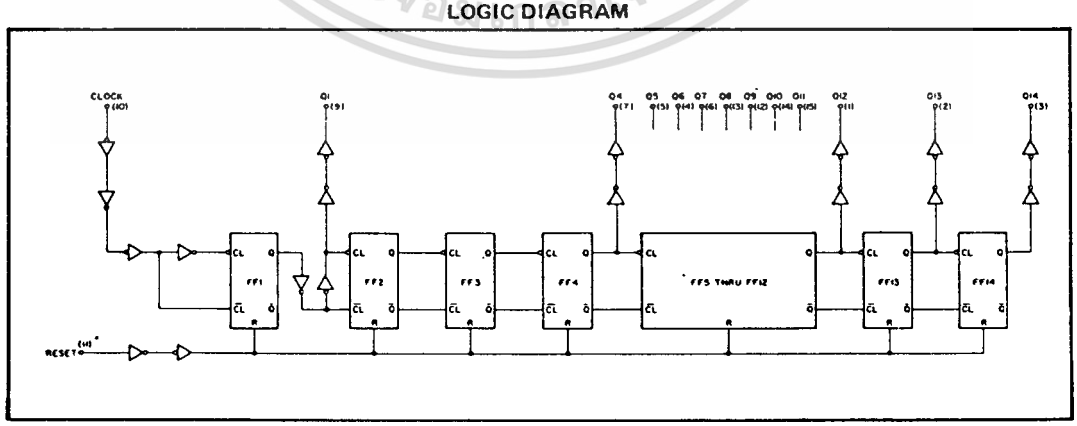
| | | | |
|---|---|---|---|
| DC Supply Voltage | $V_{DD} - V_{SS}$ | 3 to 15 | Vdc |
| Operating Temperature | $T_A$ | | |
| C, D, F, H Device | | -55 to +125 | °C |
| E Device | | -40 to +85 | °C |

### TRUTH TABLE

| CLOCK | RESET | OUTPUT STATE |
|---|---|---|
| ⌒ | 0 | No Change |
| ⌣ | 0 | Advance to next state |
| X | 1 | All Outputs are low |

X = Don't Care

### LOGIC DIAGRAM






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ELECTRICAL CHARACTERISTICS

## STATIC CHARACTERISTICS[1]

| PARAMETER | | $V_{DD}$ (Vdc) | CONDITIONS | $T_{LOW}$[2] | | +25°C | | | $T_{HIGH}$[2] | | Units |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | Min. | Max. | Min. | Typ. | Max. | Min. | Max. | |
| QUIESCENT DEVICE CURRENT | $I_{DD}$ | 5 | $V_{IN}=V_{SS}$ or $V_{DD}$ | – | 5 | – | 0.05 | 5 | – | 150 | μAdc |
| | | 10 | All valid input | – | 10 | – | 0.1 | 10 | – | 300 | |
| | | 15 | combinations | – | 15 | – | 0.2 | 20 | – | 600 | |
| OUTPUT HIGH (SOURCE) CURRENT | $I_{OH}$ | | | | | | | | | | |
| C, D, F, H device | | 5 | $V_{OH}$ = 4.6V | -0.15 | – | -0.12 | -0.5 | – | -0.08 | – | mAdc |
| | | 10 | $V_{OH}$ = 9.5V | -0.37 | – | -0.3 | -1.15 | – | -0.21 | – | |
| | | 15 | $V_{OH}$ = 13.5V | -1.25 | – | -1.0 | -4.5 | – | -0.69 | – | |
| | | | $V_{IN}=V_{SS}$ or $V_{DD}$ | | | | | | | | |
| E device | | 5 | $V_{OH}$ = 4.6V | -0.14 | – | -0.12 | -0.5 | – | -0.10 | – | mAdc |
| | | 10 | $V_{OH}$ = 9.5V | -0.35 | – | -0.3 | -1.15 | – | -0.25 | – | |
| | | 15 | $V_{OH}$ = 13.5V | -1.2 | – | -1.0 | -4.5 | – | -0.85 | – | |
| | | | $V_{IN}=V_{SS}$ or $V_{DD}$ | | | | | | | | |
| OUTPUT LOW (SINK) CURRENT | $I_{OL}$ | | | | | | | | | | |
| C, D, F, H device | | 5 | $V_{OL}$ = 0.4V | 0.15 | – | 0.12 | 0.5 | – | 0.08 | – | mAdc |
| | | 10 | $V_{OL}$ = 0.5V | 0.37 | – | 0.3 | 1.0 | – | 0.21 | – | |
| | | 15 | $V_{OL}$ = 1.5V | 1.25 | – | 1.0 | 5.8 | – | 0.69 | – | |
| | | | $V_{IN}=V_{SS}$ or $V_{DD}$ | | | | | | | | |
| E device | | 5 | $V_{OL}$ = 0.4V | 0.14 | – | 0.12 | 0.5 | – | 0.10 | – | mAdc |
| | | 10 | $V_{OL}$ = 0.5V | 0.35 | – | 0.3 | 1.0 | – | 0.25 | – | |
| | | 15 | $V_{OL}$ = 1.5V | 1.2 | – | 1.0 | 5.8 | – | 0.85 | – | |
| | | | $V_{IN}=V_{SS}$ or $V_{DD}$ | | | | | | | | |

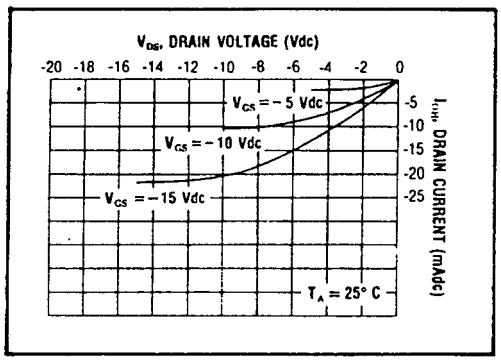
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] $T_{LOW}$ = -55°C for C, D, F, H device.
= -40°C for E device.
$T_{HIGH}$ = +125°C for C, D, F, H device.
= + 85°C for E device.

## DYNAMIC CHARACTERISTICS ($C_L$ = 50pF, $T_A$ = 25°C)

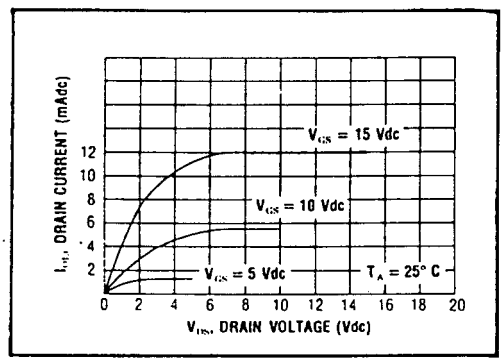
| PARAMETER | | $V_{DD}$ (Vdc) | Min. | Typ. | Max. | Units |
|---|---|---|---|---|---|---|
| CLOCKED OPERATION | | | | | | |
| PROPAGATION DELAY TIME | | | | | | |
| Clock to Q1 | $t_{PLH}, t_{PHL}$ | 5 | – | 200 | 400 | ns |
| | | 10 | – | 100 | 200 | |
| | | 15 | – | 80 | 160 | |
| $Q_i$ to $Q_{i+1}$ | $t_{PLH}, t_{PHL}$ | 5 | – | 150 | 300 | ns |
| | | 10 | – | 75 | 150 | |
| | | 15 | – | 60 | 120 | |
| OUTPUT TRANSITION TIME | $t_{TLH}, t_{THL}$ | 5 | – | 180 | 360 | ns |
| | | 10 | – | 90 | 180 | |
| | | 15 | – | 65 | 130 | |
| MINIMUM CLOCK PULSE WIDTH | $PW_{CL}$ | 5 | – | 100 | 200 | ns |
| | | 10 | – | 50 | 100 | |
| | | 15 | – | 40 | 80 | |
| MAXIMUM CLOCK FREQUENCY | $f_{CL}$ | 5 | 2.0 | 4.0 | – | MHz |
| | | 10 | 4.0 | 8 | – | |
| | | 15 | 5 | 10 | – | |
| MAXIMUM CLOCK RISE AND FALL TIME | $t_{rCL}, t_{fCL}$ | 5 | 15 | – | – | μs |
| | | 10 | 15 | – | – | |
| | | 15 | 5 | – | – | |
| RESET OPERATION | | | | | | |
| PROPAGATION DELAY TIME | $t_{PHL}$ | 5 | – | 300 | 600 | ns |
| | | 10 | – | 150 | 300 | |
| | | 15 | – | 120 | 240 | |
| MINIMUM RESET PULSE WIDTH | $PW_R$ | 5 | – | 150 | 300 | ns |
| | | 10 | – | 75 | 150 | |
| | | 15 | – | 60 | 120 | |
| RESET REMOVAL TIME | $t_{rem}$ | 5 | – | 250 | 500 | ns |
| | | 10 | – | 125 | 250 | |
| | | 15 | – | 100 | 200 | |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

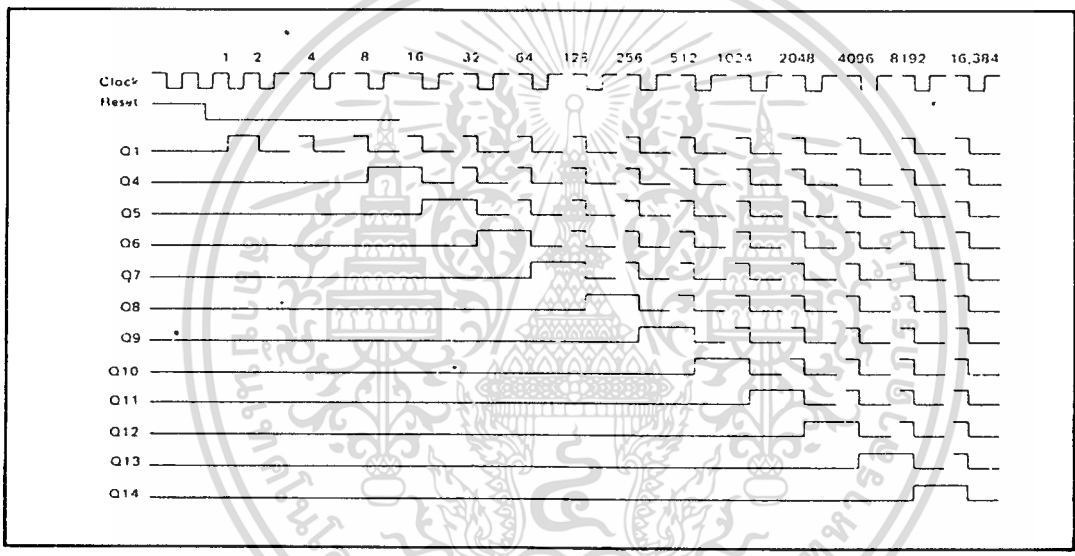



Typical P-Channel
Source Current Characteristics

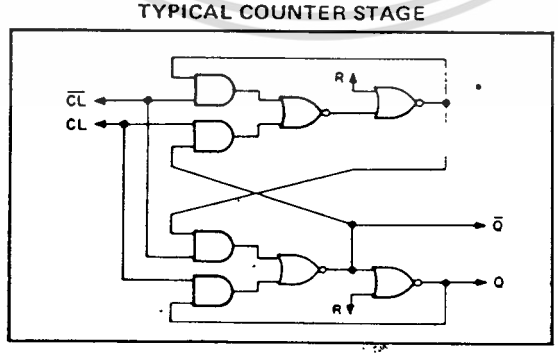



Typical N-Channel
Sink Current Characteristics

## TIMING DIAGRAM




## TYPICAL COUNTER STAGE






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ETT บริษัท อีทีที จำกัด
# ETT CO., LTD.

## DOT MATRIX LCD MODULE

อุปกรณ์ในปัจจุบันนี้ในส่วนแสดงผลนั้นจะใช้ LCD เสียเป็นส่วนใหญ่ไม่ว่าจะเป็นเครื่องเล่น VEDIO, เครื่องถ่ายเอกสาร, เครื่องมือวัดคุมต่างๆ, เครื่องคอมพิวเตอร์ เราพอจะแบ่ง DOT MATRIX LCD MODULE นี้ออกได้เป็นพวกๆดังนี้ :-

1. CHARACTER LCD MODULE
2. GRAPHIC LCD MODULE
3. SEGMENT DISPLSY TYPE LCD MODULE

โดยในแต่ละแบบนี้ก็จะมีส่วนประกอบใหญ่ๆแบ่งได้เป็น

1. DOT MATRIX LCD เป็นตัวแสดงผลให้เรามองเห็นในลักษณะการปิดและเปิดตัวเองกับแสงก็คือ ส่วนของที่เป็นตัวกระจกบรรจุผลึก

2. DRIVER เป็นตัวรับสัญญาณจากตัวควบคุมมาขับผลึก LCD อีกทีหนึ่งโดยมีเบอร์ที่นิยมใช้ใน LCD MODULE เช่น HD44100H, MSM5259

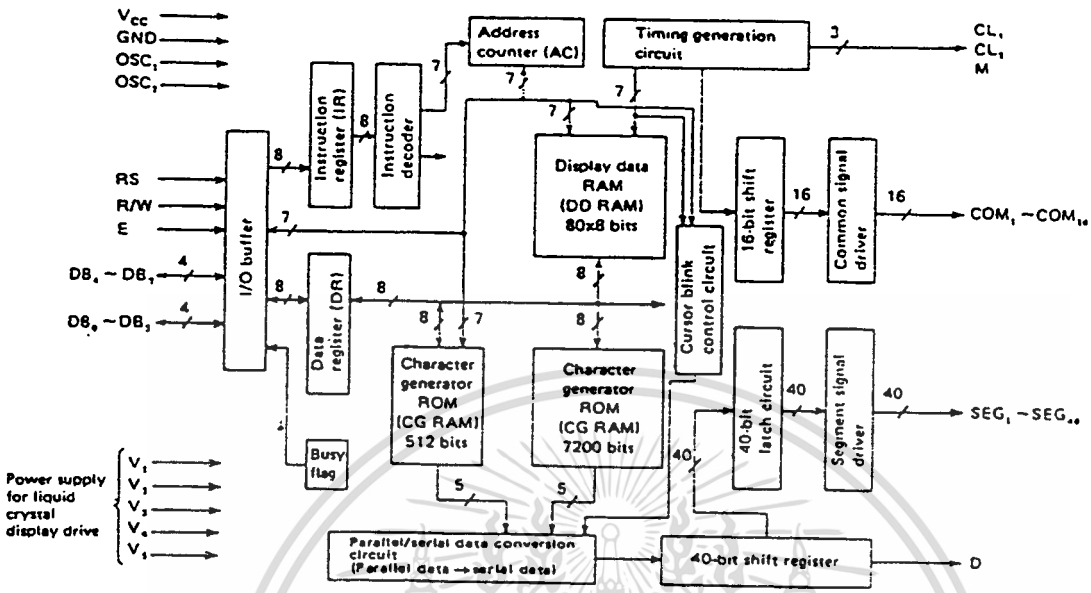
3. CONTROLLER เป็นตัวรับข้อมูลจากอุปกรณ์ภายนอกมาและจัดการควบคุม LCD MODULE ให้ทำงานแสดงผลต่างๆ,เช่น การลบจอภาพ, การเกิดตัวอักษร, เป็นต้น โดยมีเบอร์ IC ที่นิยมใช้กันคือ HD44780 ซึ่งจะใช้ในแบบ CHARACTER LCD MODULE เป็นส่วนใหญ่ เบอร์ IC HD61830 จะใช้ในแบบ GRAPHIC LCD MODULE

ในการศึกษาการทำงานและใช้งาน LCD MODULE นั้นไม่ใช่เรื่องยากเลยถ้าเราสามารถทำความเข้าใจในส่วนของ CONTROLLER ได้ก็เพียงพอแล้วและโดยมาก LCD MODULE ในแต่ละบริษัทแล้วจะใช้ตัว CONTROLLER ที่มีหลักการทำงานเหมือนๆกันเป็นส่วนใหญ่และใน LCD MODULE แต่ละขนาดจำนวนตัวอักษรหรือจำนวนบรรทัดก็มีหลักการทำงานแบบเดียวกันทั้งหมด IC ที่นิยมมากที่สุดตัวหนึ่งที่เป็น CONTROLLER LCD ก็คือ เบอร์ HD44780 โดยรูปแบบการทำงานของมันได้เป็นมาตรฐานให้กับ CONTROLLER LCD ตัวอื่นๆด้วย

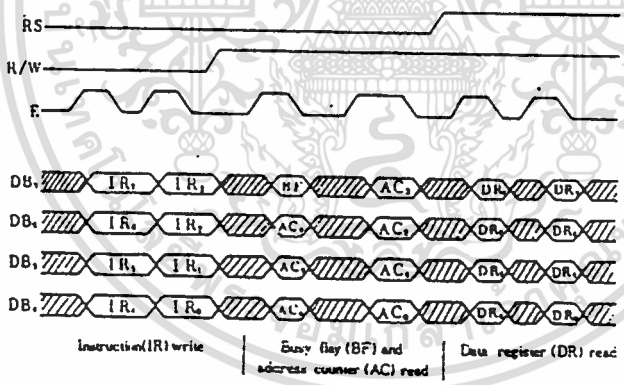
HD44780 เป็นไอซี LSI ตัวหนึ่งใช้ควบคุม LCD โดยแสดงผลในรูปตัวอักษรหรือสัญลักษณ์ต่างๆตัวมันเองสามารถต่อใช้งานแบบ 4 BIT หรือ 8 BIT ก็ได้ โดยถ้าเราต่อแบบ 4 BIT จะต่อใช้งานที่ DB7-DB4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

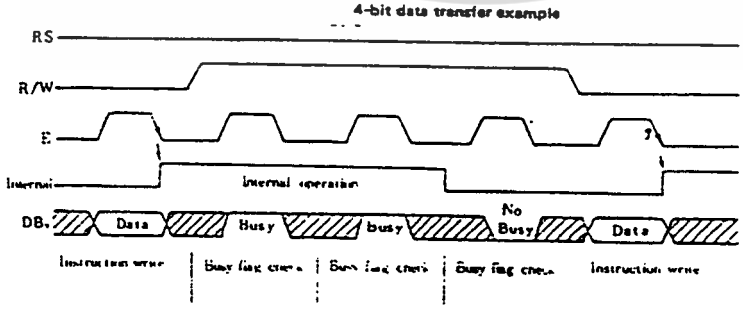
**Block diagram of HD44780 interior**




เท่านั้นโดยข้อมูลครั้งแรกที่ส่งไป HD44780 จะถือเป็นข้อมูล 4 BIT บน และข้อมูลที่ส่งต่อมานั้น
เป็นข้อมูล 4 BIT ล่าง




4-bit data transfer example

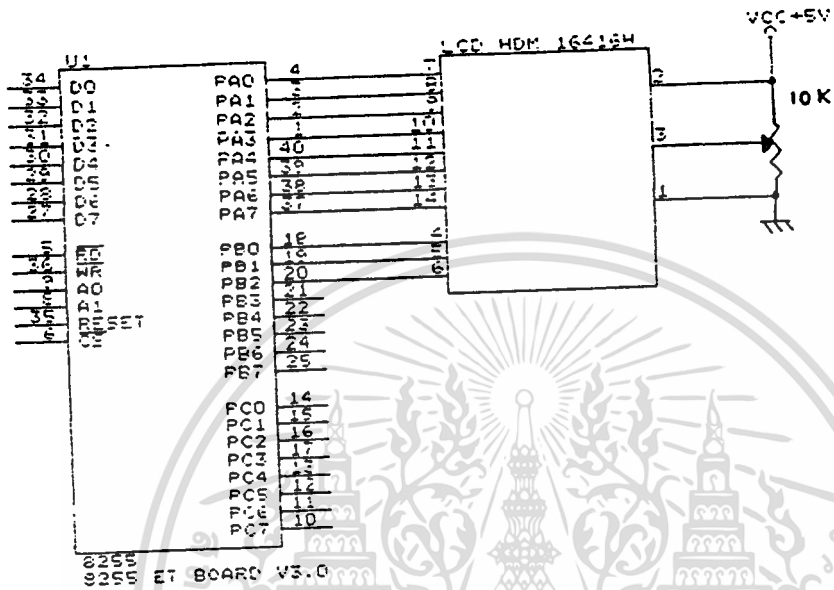



Example of busy flag check timing sequence



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ตัวอย่างการต่อใช้งานจริงกับ ET-BOARD V3.0




จากวงจรเป็นการต่อ 8255 ให้เข้าใช้กับ LCD โดยเราจะจำลองสัญญาณต่างๆขึ้นมาโดยการใช้ PORT A และ PORT B โดย PORT A นั้นเราให้เป็น DATA PORT และ PORT B นั้นเราให้เป็นสัญญาณควบคุมไปใช้

เมื่อเราเริ่มเปิดไฟป้อนให้ HD44780 นั้นก็จะทำการ RESET ตัวมันเองโดยจะใช้เวลาประมาณ 10 ms หลังจากไฟ VDD ถึง 4.5 VOLT แล้ว โดยจะ SET ตัวเองดังนี้ :-

1. DISPLAY CLEAR จะทำการลบข้อมูลจอภาพ LCD

2. FUNCTION SET โดยจะ SET ค่าภายใน
   - DL = 1 : เป็นการ SET ให้การติดต่อแบบ 8 BIT
   - N = 0 : SET เป็น 1 บรรทัดการแสดงผล
   - F = 0 : 5X7 DOT ต่อหนึ่งต่ออักษร

3. DISPLAY ON/OFF
   - D = 0 : DISPLAY OFF
   - C = 0 : CURSOR OFF
   - B = 0 : BLINK OFF

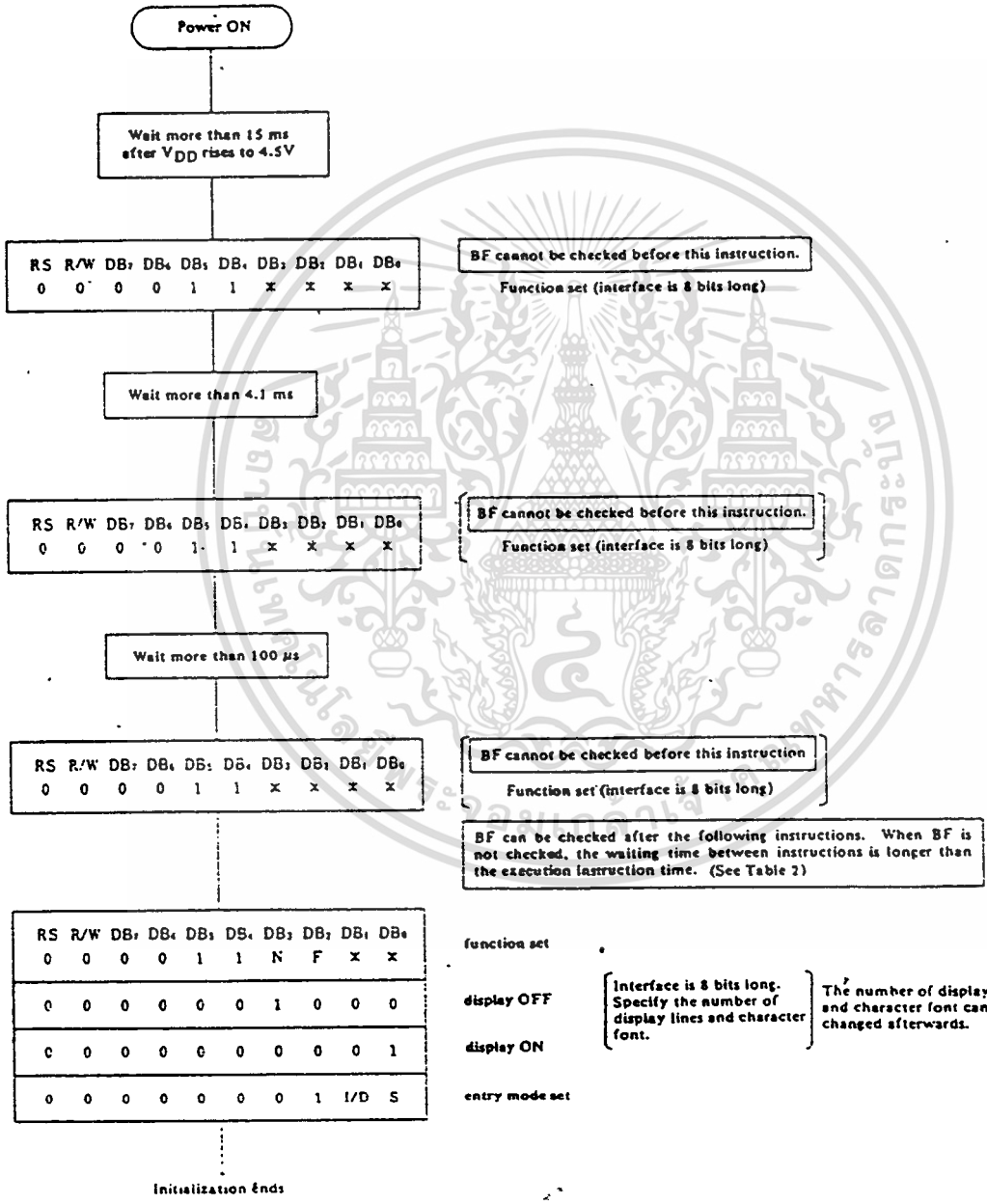


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ENTRY MODE SET I/D = 1 : +1 (เพิ่มค่า COUNTER ขึ้น 1)

S = 0 : NO SHIFT

เมื่อเราเริ่มเปิดเครื่องทำงานแล้วก็จะต้องส่งคำสั่งควบคุมให้มันเริ่มทำงานดังตาราง






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ตารางคำสั่ง HD44780

| Instruction | Code | | | | | | | | | | Description | Execution time (when fosc is 250 kHz) Note 1 | Execution time (when fosc is 160 kHz) Note 2 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | RS | R/W | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 | | | |
| Clear display | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | Clears all display and returns the cursor to the home position (Address 0). | 82 μs ~ 1.64 ms | 120 μs ~ 4.9 ms |
| Return home | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | * | Returns the cursor to the home position (Address 0). Also returns the display being shifted to the original position. DD RAM contents remain unchanged. | 40 μs ~ 1.6 ms | 120 μs ~ 4.8 ms |
| Entry mode set | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | I/D | S | Sets the cursor move direction and specifies or not to shift the display. These operations are performed during data write and read. | 40 μs | 120 μs |
| Display ON/ OFF control | 0 | 0 | 0 | 0 | 0 | 0 | 1 | D | C | B | Sets ON/OFF of all display (D), cursor ON/OFF (C), and blink of cursor position character (B). | 40 μs | 120 μs |
| Cursor and display shift | 0 | 0 | 0 | 0 | 0 | 1 | S/C | R/L | * | * | Moves the cursor and shifts the display without changing DD RAM contents | 40 μs | 120 μs |
| Function set | 0 | 0 | 0 | 0 | 1 | DL | N | F | * | * | Sets interface data length (DL) number of display lines (L) and character font (F). | 40 μs | 120 μs |
| Set CG RAM address. | 0 | 0 | 0 | 1 | $A_{CG}$ | | | | | | Sets the CG RAM address. CG RAM data is sent and received after this setting. | 40 μs | 120 μs |
| Set DD RAM address | 0 | 0 | 1 | $A_{DD}$ | | | | | | | Sets the DD RAM address. DD RAM data is sent and received after this setting. | 40 μs | 120 μs |
| Read busy flag & address | 0 | 1 | BF | AC | | | | | | | Reads Busy flag (BF) indicating internal operation is being performed and reads address counter contents. | 1 μs | 1 μs |
| Write data to CG or DD RAM | 1 | 0 | Write Data | | | | | | | | Writes data into DD RAM or CG RAM. | 40 μs | 120 μs |
| Read data to CG or DD RAM | 1 | 1 | Read Data | | | | | | | | Reads data from DD RAM or CG RAM. | 40 μs | 120 μs |
| | I/D = 1: Increment (+1) I/D = 0: Decrement (−1)<br>S = 1: Accompanies display shift.<br>S/C = 1: Display shift S/C = 0: Cursor move<br>R/L = 1: Shift to the right.<br>R/L = 0: Shift to the left.<br>DL = 1: 8 bits DL = 0: 4 bits<br>N = 1: 2 lines N = 0: 1 line<br>F = 1: 5 × 10 dots F = 0: 5 × 7 dots<br>BF = 1: Internally operating<br>BF = 0: Can accept instruction | | | | | | | | | | DD RAM: Display data RAM<br>CG RAM: Character generator RAM<br>$A_{CG}$: CG RAM address<br>$A_{DD}$: DD RAM address Corresponds to cursor address.<br>AC: Address counter used for both of DD and CG RAM address. | Execution time changes when frequency changes.<br>(Example)<br>When fosc is 270 kHz:<br>$40\ \mu s \times \frac{250}{270} = 37\ \mu s$ | |

*No effect

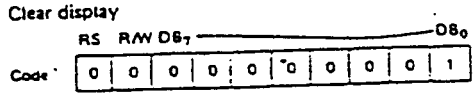
Notes 1. Applied to models driven by 1/8 duty or 1/11 duty.
2. Applied to models driven by 1/16 duty.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

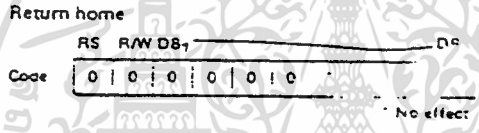
รายละเอียดของคำสั่ง HD44780

1. CLEAR DISPLAY



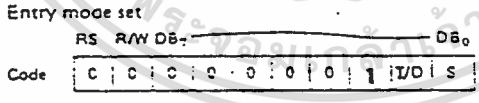

คำสั่งนี้จะเป็นการเขียนช่องว่างหรือ SPACE (ASCII 20H) เข้าไปใน DD RAM ทั้งหมดและทำการ SET DD RAM ADDRESSER เป็นศูนย์ ตัว CURSOR จะกลับไปอยู่ตำแหน่งบนสุดซ้ายมือของจอภาพ SET I/D = 1, S ไม่มีการเปลี่ยน

2. RETURN HOME




คำสั่งนี้จะทำการ SET DD RAM ADDRESSER เป็นศูนย์ ตัว CURSOR จะกลับไปอยู่ตำแหน่งบนสุดซ้ายมือของจอภาพข้อมูลในจอภาพไม่เปลี่ยน

3. ENTRY MODE SET




BIT I/D : โดยจะเป็นตัวกำหนดให้ว่าเมื่อเขียนหรืออ่านข้อมูลแล้วจะทำให้ DD RAM ADDRESS . เพิ่มขึ้นหนึ่งหรือลดลงหนึ่งโดย 1 = เพิ่ม 0 = ลดลงหนึ่ง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BIT S : เป็นตัวกำหนดแสดงผลโดยถ้า S = 1 จะเป็นการใส่ข้อมูลแล้วตัว CURSOR อยู่กับที่ข้อมูลจะถูกเคลื่อนไปทางซ้าย ถ้า S = 0 ข้อมูลจะอยู่กับที่ตัว CURSOR จะถูกเคลื่อนไปทางขวามือ

4. DISPLAY ON/OFF CONTROL

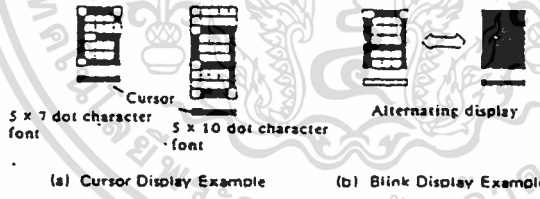
Display ON/OFF control

| | RS | R/W | $DB_7$ | | | | | | $DB_0$ |
|---|---|---|---|---|---|---|---|---|---|
| Code | 0 | 0 | 0 | 0 | 0 | 0 | 1 | D | C | B |

BIT D : เป็น BIT ให้เปิดปิดหน้าจอภาพโดยถ้า D = 1 จะ ON และ D = 0 จะ OFF

BIT C : จะให้แสดง CURSOR ให้ BIT C = 1 และถ้าไม่ต้องการแสดง CURSOR BIT C = 0 โดยตัว CURSOR จะอยู่ที่ LINE ที่ 8 ในแบบ 5X7 DOT และจะอยู่ LINE ที่ 11 ในแบบ 5X10 DOT

BIT B : เป็น BIT SET การกระพริบของ CURSOR โดย B = 1 มีการกระพริบ B = 0 ไม่มีการกระพริบ โดยมีระยะเวลาการกระพริบประมาณ 379.2 ms




(a) Cursor Display Example (b) Blink Display Example

5. CURSOR OR DISPLAY SHIFT

Cursor or display shift

| | RS | R/W | $DB_7$ | | | | | | $DB_0$ |
|---|---|---|---|---|---|---|---|---|---|
| Code | 0 | 0 | 0 | 0 | 0 | 1 | S/C | R/L | * | * |

* No effect



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นคำสั่งกำหนดให้ตำแหน่ง CURSOR หรือข้อมูลไปเกิดทางซ้ายหรือขวาโดยไม่ต้องใช้คำสั่งเขียนหรืออ่าน โดย

| S/C | R/L | |
|---|---|---|
| 0 | 0 | ทำการย้าย CURSOR ไปจากตำแหน่งเดิมไปซ้ายมือ 1 ตำแหน่ง |
| 0 | 1 | ทำการย้าย CURSOR ไปจากตำแหน่งเดิมไปขวามือ 1 ตำแหน่ง |
| 1 | 0 | เป็นการดันตัวอักษรที่เกิดไปทางซ้าย |
| 1 | 1 | เป็นการดันตัวอักษรที่เกิดไปทางขวามือ |

6. FUNCTION SET

Function set

| | RS | R/W | $DB_7$ | | | | | $DB_0$ |
|---|---|---|---|---|---|---|---|---|
| Code | 0 | 0 | 0 | 0 | 1 | DL | N | F | * | * |

* No effect

BIT DL : เป็นการ SET การติดต่อว่าจะให้เป็นแบบ 8 BIT หรือ 4 BIT โดยถ้าต้องการติดต่อ 4 BIT DL = 0 และ 8 BIT DL = 1

N : เป็นการ SET บรรทัดการแสดงผล N = 0 แสดง 1 บรรทัด N = 1 แสดง 2 บรรทัด ในกรณีมากกว่า 2 บรรทัด ก็ให้ SET N = 1

F : เป็นการ SET ขนาด DOT การแสดงผล 5X7 หรือ 5X10 โดย F = 0 เป็นแบบ 5X7 และ F = 1 เป็นแบบ 5X10

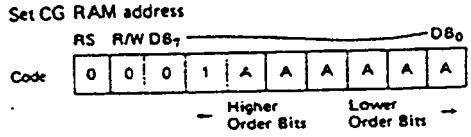
| N | F | No. of display lines | Character font | Duty factor | Remarks |
|---|---|---|---|---|---|
| 0 | 0 | 1 | 5 x 7 dots | 1/8 | |
| 0 | 1 | 1 | 5 x 10 dots | 1/11 | |
| 1 | * | 2 | 5 x 7 dots | 1/16 | Cannot display 2 lines with 5 x 10 dot character font. |

* No effect



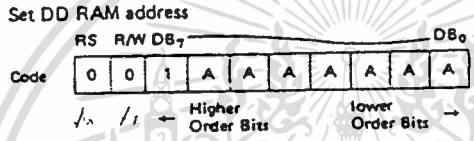
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. SET CG RAM ADDRESS




ใน HD44780 นั้นจะมีหน่วยความจำอยู่ 2 ชุด คือ DISPLAY DATA RAM (DD RAM) จำนวน 80X8 BIT และ CHARACTER GENERATOR ROM CG RAM จำนวน 512 BIT และ 7200 BIT คำสั่งนี้จะเป็นการ SET ADDRESS ใน CG RAM โดยต้องทำการ SET ADDRESS ก่อนเขียนหรืออ่านข้อมูลจาก CG RAM ด้วย

8. SET DD RAM ADDRESS




เป็นคำสั่ง SET ค่า ADDRESS ใน DD RAM ในการเขียนหรืออ่านค่าจาก DD RAM (DD RAM คือ ส่วนที่จะแสดงผลหน้าจอ LCD) โดยจำนวน ADDRESS ที่จะเกิดขึ้นบนจอ LCD จะอยู่กับ SET ค่า N ด้วย

ถ้า N = 0 (1 บรรทัด) ADDRESS จะอยู่ 00H-4FH

ถ้า N = 1 (2 บรรทัด) ADDRESS จะอยู่ 00H-27H สำหรับบรรทัดที่ 1 และ 40H-67H สำหรับบรรทัดที่ 2

ตัวอย่างการจัด ADDRESS ของ DD RAM หน้าจอ LCD แบบ 16 ตัวอักษร 4 บรรทัด และ 20 ตัวอักษร 2 บรรทัด HDM-16416H, HDM-20216H

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | — display position |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 1-line | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F | — DD RAM address |
| 2-line | 40 | 41 | 42 | 43 | 44 | 45 | 46 | 47 | 48 | 49 | 4A | 4B | 4C | 4D | 4E | 4F | |
| 3-line | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 1A | 1B | 1C | 1D | 1E | 1F | |
| 4-line | 50 | 51 | 52 | 53 | 54 | 55 | 56 | 57 | 58 | 59 | 5A | 5B | 5C | 5D | 5E | 5F | |

HDM-16416H



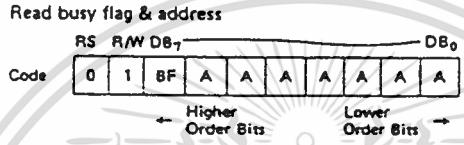
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | 1st | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | — display position |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 1-line | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F | 10 | 11 | 12 | 13 | — DD RAM address |
| 2-line | 40 | 41 | 42 | 43 | 44 | 45 | 46 | 47 | 48 | 49 | 4A | 4B | 4C | 4D | 4E | 4F | 50 | 51 | 52 | 53 | |
| 3-line | 14 | 15 | 16 | 17 | 18 | 19 | 1A | 1B | 1C | 1D | 1E | 1F | 20 | 21 | 22 | 23 | 24 | 25 | 26 | 27 | |
| 4-line | 54 | 55 | 56 | 57 | 58 | 59 | 5A | 5B | 5C | 5D | 5E | 5F | 60 | .61 | 62 | 63 | 64 | 65 | 66 | 67 | |

(Note)Shift display is as same as 2-line type.

HDM-20216H

9. READ BUSY FLAG AND ADDRESS



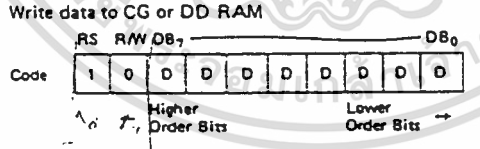

เป็นคำสั่งอ่านค่า BUSY FLAG ซึ่งจะเป็นตัวบอกว่าตัว HD44780 นี้อยู่ในขบวนการทำงานภายในอยู่หรืออยู่ในสภาพพร้อมจะรับข้อมูล โดย

BF = 1 อยู่ในขบวนการทำงานภายในไม่พร้อมจะรับข้อมูลหรือคำสั่ง

BF = 0 พร้อมจะรับข้อมูลหรือคำสั่งได้

และนอกจากนี้ยังเป็นคำสั่งอ่านค่าข้อมูล ADDRESS ของ CG RAM หรือ DD RAM ด้วย

10. WRITE DATA TO CG หรือ DD RAM

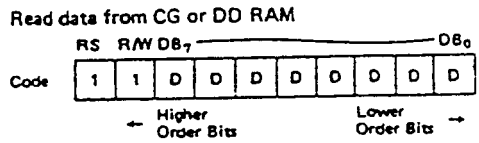



เป็นคำสั่งเขียนข้อมูลเข้าไปใน CG หรือ DD RAM โดยเมื่อเขียนข้อมูลและ ADDRESS จะเพิ่มหรือลดโดยอัตโนมัติตามคำสั่งที่ SET ใน ENTRY MODE ข้อกำหนดที่จะรู้ว่าเป็นการเขียนข้อมูลของ CG RAM หรือ DD RAM ทำได้โดยการ SET ADDRESS ของ CG RAM หรือ DD RAM ขึ้นมาก่อนจะเขียนข้อมูล



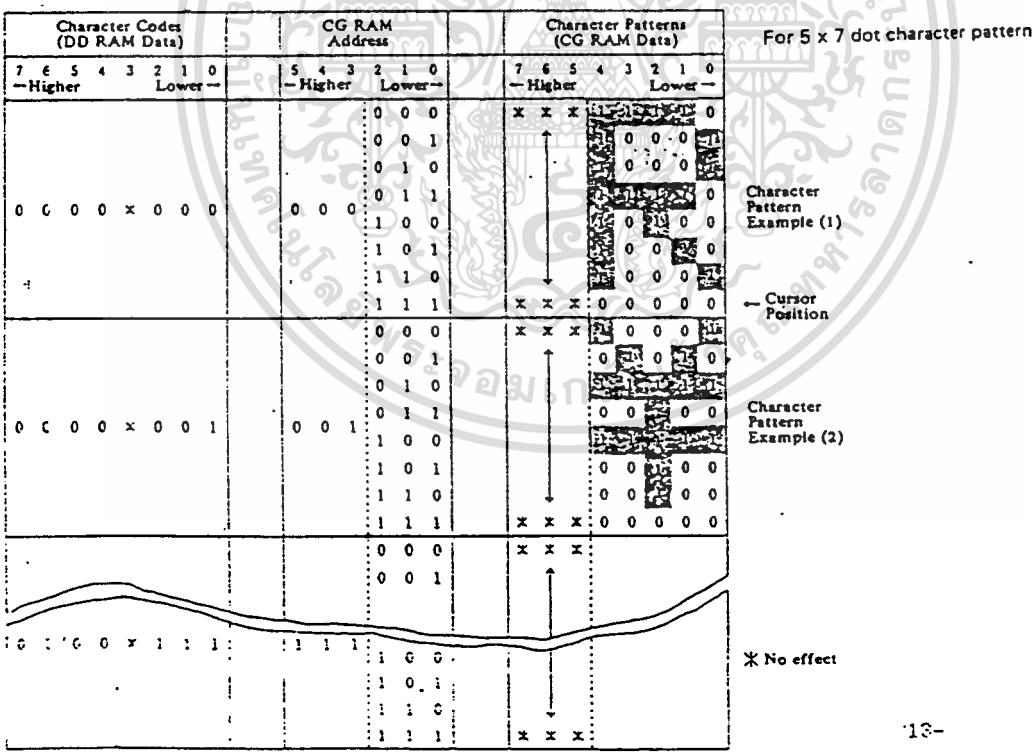
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11. READ DATA FROM CG OR DD RAM




เป็นคำสั่งอ่านค่าข้อมูลจาก CG RAM หรือ DD RAM โดยก่อนอ่านค่าจาก DD RAM หรือ CG RAM นี้ควรจะใช้คำสั่ง SET ADDRESS ก่อนเพื่อให้รู้ว่าข้อมูลที่อ่านได้นั้นเป็น DD หรือ CG RAM

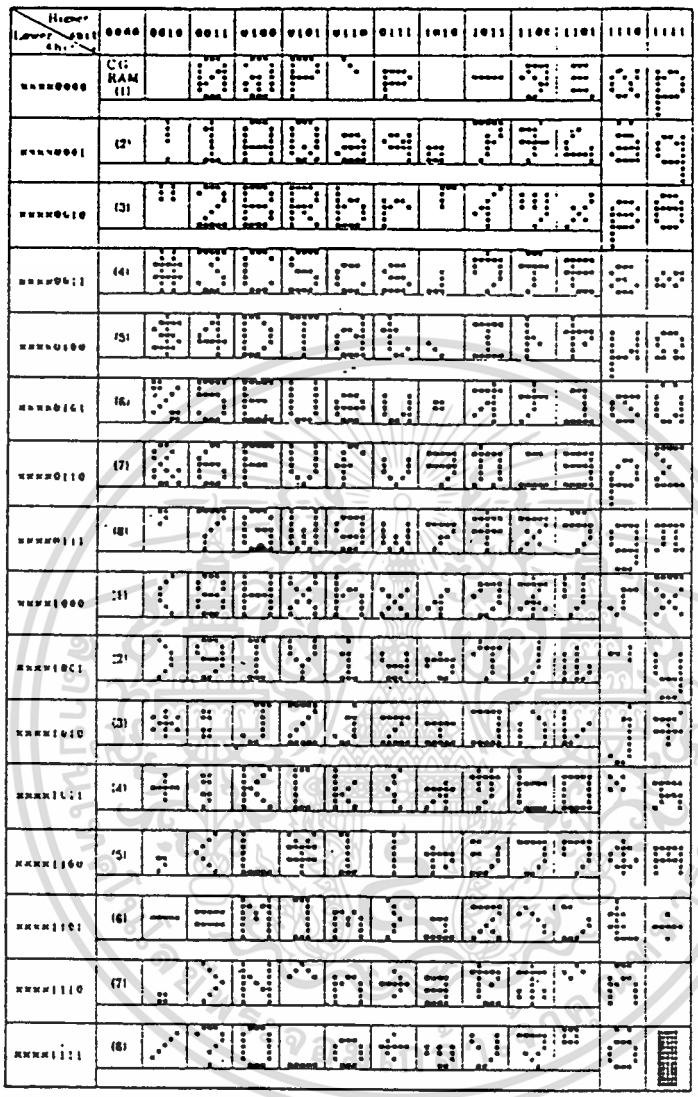
จากตารางการทำงานจะเห็นว่าการใช้งาน LCD MODULE นั้นง่ายเพียงแต่เราส่งคำสั่งเริ่มแรกและ SET ความต้องการในขนาดตัวอักษร, CURSOR หลังจากนั้นเราก็สามารถเขียนตัวอักษรเข้าไปใน DD RAM ตามตารางตัวอักษรที่ให้มานั้นก็จะเกิดอักษรในจอภาพ LCD เรายังสามารถกำหนดตำแหน่งตัวอักษรที่จะให้เกิดบนจอได้โดยการ SET DD RAM ADDRESS ตามตารางที่ให้มาในหัวข้อ SET DD RAM ADDRESS ขอให้ทดสอบทำความเข้าใจกับตัวโปรแกรมที่ใช้กับ ET-BOARD V3.0 นี้ที่ให้มาจะเห็นว่าจะมีส่วนเริ่มต้นก็คือ ส่วนการ INITIAL LCD เพื่อกำหนดหน้าที่การทำงานต่างๆ






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# CHARACTER FONT TABLE



NOTE: CGRAM is a CHARACTER GENERATOR RAM having a storage function of character pattern which enable to change freely by user's program.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาต่างๆในการต่อใช้งาน HD44780

1. RS (REGISTOR SELECTION) จะเป็นขาเลือก REGISTOR ภายในซึ่งมีอยู่ 2 ตัวคือ INSTRUCTION REGISTOR (IR) และ DATA REGISTOR (DR) โดยถ้าเป็น 1 จะเป็นการเลือก DATA และถ้าเป็น 0 จะเป็นการเลือก INSTRUCTION

2. R/W (READ/WRITE) เป็นตัวเลือกว่าจะเขียนหรือจะอ่านข้อมูลจากตัว IC โดยอ่านข้อมูล = 1, เขียนข้อมูล = 0

3. E (ENABLE SIGNAL) เป็นขากำหนดสภาพการรับเขียนอ่านข้อมูล

The relation between the operation and the combination of RS, R/W

| RS | RW | E | OPERATION |
|---|---|---|---|
| 0 | 0 | | Write instruction code |
| 0 | 1 | | Read busy flag and address counter |
| 1 | 0 | | Write data |
| 1 | 1 | | Read data |

When performing data and instruction code by 4 bit, transfer RS, R/W every time.

4. DB0-DB7 เป็นขารับส่งข้อมูลจากตัว IC

5. VDD ไฟเลี้ยงตัววงจร

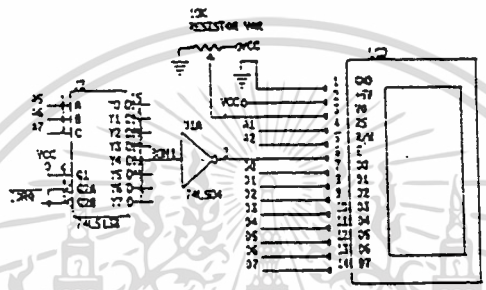
6. VSS เป็นขา GND

7. VO เป็นขารับ VOLTAGE ในการชับ LCD ให้สว่างหรือมืด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* การต่อ LCD MODULE กับ CPU Z80 *

เราสามารถต่อ LCD MODULE เข้ากับ BUS ของ Z80 CPU ได้โดยตรงตามวงจรดังรูป โดยเราจะให้ LCD MODULE เป็นๆเป็น PORT ของระบบ และใช้ CS จาก 74LS138 ผ่าน 74LS04 เป็นสัญญาณขา E ใช้ A1 เป็นสัญญาณ RS และ A2 เป็นขาสัญญาณ R/W



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MAXIMUM RATINGS

Electric maximum ratings

| Item | Symbol | Min | Max. | Unit | Remarks |
|---|---|---|---|---|---|
| Power supply for logic | $V_{DD}$ – $V_{SS}$ | Refer to individual specification | | | |
| Power supply for LCD drive | $V_{EE}$ – $V_0$ | | | | |
| Input voltage | $V_I$ | | | | |
| Static electricity | | – | 100 | | See note |

Note Electro-static discharge resistance is tested by charging a condenser with a capacity of 200pF and discharging it by contact with an interface connector pin.

Environmental conditions

| Item | Operating | | Non-operating | | Remarks |
|---|---|---|---|---|---|
| | Min | Max. | Min. | Max. | |
| Ambient temperature | Refer to individual specifications | | | | |
| Humidity | Note | | | | No dew |
| Vibration | – | 4.9m/s² (0.5G) | – | 19.6 m/s² (2G) | |
| Shock | – | 29.4 m/s² (3G) | – | 490 m/s²(50G) | XYZ 3 directions |
| Corrosion gas | No corrosion gas | | | | |

Note Humidity conditions are as follows

| Number of dots / Ambient temperature (Ta) | Under 128 x 240 | 128 x 240 or over |
|---|---|---|
| Ta ≤ 40°C | 95% RH max | 85% RH max |
| Ta > 40°C (Below maximum temperature) | Below maximum absolute humidity of 40°C 95% RH | Below maximum absolute humidity of 40°C 85% RH |

## RELIABILITY CONDITIONS

LCD MODULE (Consumer Type)

| Item | Conditions | Evaluation |
|---|---|---|
| High Temperature Operation | Operating 96 – 100 Hrs at 50 ± 2°C surrounding temp | No change is visible in appearance nor function |
| Low Temperature Operation | Operating 96 – 100 Hrs at 0 ± 2°C surrounding temp | |
| High Temperature Storage | Storage 96 – 100 Hrs at 60 ± 2°C surrounding temp then storage 4 Hrs at normal condition (Power Off) | |
| Low Temperature Storage | Storage 96 – 100 Hrs at – 20 ± 2°C surrounding temp then storage 4 Hrs at normal condition (Power Off) No dew to be found | |
| Damp Proof | Storage 96 – 100 Hrs at 40 ± 2°C and 90 – 95% RH surrounding condition then storage 4 Hrs at normal condition (Power Off) No dew to be found | |

Note The above condition is only representative, and may differ in case of customized specifications.

## OPTICAL DATA

Ta = 25°C

| Item | Symbol | Condition | Min. | Typ | Max | Unit | Notes to see |
|---|---|---|---|---|---|---|---|
| Viewing angle | $\theta 2-\theta 1$ | K = 1.4 | – | 20 | – | deg | – |
| Contrast ratio | K | $\theta = 25°$ $\phi = 0°$ | – | 2 | – | – | – |
| Response time (rise) | $t_r$ | $\theta = 25°$ $\phi = 0°$ | – | 250 | 400 | ms | – |
| Response time (fall) | $t_f$ | $\theta = 25°$ $\phi = 0°$ | – | 150<br>250 | 250<br>400 | ms | – |



DATA VISION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้