เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า

(NETWORK ANALYZER)

โดย

นายพลสิทธิ์ สุภัทธนาวัฒน์

นายวรวุฒิ ก่อก้องวิศรุต

นายสิทธิพงศ์ ป่านเล็ก

วัน เดือน ปี 30 ก.ค. 2540

เลขทะเบียน 036970

เลขเรียกหนังสือ T 58063 พ119 ก

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

036970

ปีการศึกษา 2538

เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า
(NETWORK ANALYZER)

โดย

นายพลสิทธิ์ สุภัทธนาวัฒน์

นายวรวุฒิ ก่อก้องวิศรุต

นายสิทธิพงศ์ ปานเล็ก

อาจารย์ที่ปรึกษา

อ. เกียรติศักดิ์ คมวัชระ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ปริญญานิพนธ์ปีการศึกษา 2538

ภาควิชาวิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า

ผู้จัดทำ

นายพลสิทธิ์ สุภัทธนาวัฒน์

นายวรวุฒิ ก่อก้องวิศรุต

นายสิทธิพงศ์ ปานเล็ก

_____ อาจารย์ที่ปรึกษา

(อ. เกียรติศักดิ์ คมวัชระ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า

(NETWORK ANALYZER)

นายพลสิทธิ์ สุภัทธนาวัฒน์
นายวรวุฒิ ก่อก้องวิศรุต
นายสิทธิพงศ์ ปานเล็ก
อ. เกียรติศักดิ์ คมวัชระ
อาจารย์ที่ปรึกษา
ปีการศึกษา 2538

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นการทดสอบคุณสมบัติของผลตอบสนองความถี่ของวงจรฟิลเตอร์ โดยใช้เครื่องคอมพิวเตอร์เป็นตัวควบคุมการทำงานของเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า โดยการวิเคราะห์นี้จะกระทำกับสัญญาณความถี่ทางด้านเอาท์พุทต่อสัญญาณความถี่ทางด้านอินพุท แล้วทำการหาค่าล็อกการิทึมมาทำการวาดกราฟผลตอบสนองของระบบต่อความถี่ออกมา แล้วทำการพิจารณาผลการทดลองจากกราฟที่ได้ว่ามีการเปลี่ยนแปลงอย่างไร โดยการทดสอบนี้จะกระทำกับวงจรฟิลเตอร์แบบต่าง ๆ ของระบบอันดับที่ 1 และอันดับที่ 2 ซึ่งข้อมูลที่ได้จากการทดลองสามารถนำมาวิเคราะห์คุณสมบัติของระบบอย่างคร่าว ๆ ได้ ซึ่งการทดสอบนี้สามารถที่จะพัฒนาไปใช้กับวงจรแบบอื่น ๆ ได้อีก

ABSTRACT

The purpose of this thesis is to present the tests of frequency response of filter networks by using the network analyzer. The tests simulate logmagnitude of output frequency by input frequency versus frequency. This thesis shows frequency response of the first order and second order active filter network. The graphs show a variety of characteristics of network , network analyzer can also adapt to use with other device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สำเร็จลงได้นอกจากการทำงานของคณะผู้จัดทำแล้วยังมีผู้มีพระคุณต่าง ๆ ที่คอยช่วยเหลือให้คำแนะนำช่วยให้ปริญญานิพนธ์สำเร็จได้ด้วยดี คณะผู้จัดทำจึงขอแสดงความขอบคุณทุก ๆ ท่านดังนี้ อ.เกียรติศักดิ์ คมวัชระ อาจารย์ที่ปรึกษา , ดร. สุธี ผู้เจริญชนะชัย , คุณสมชาย เกรียงอารีกุล, คุณนิรุตต์ นาคสุข, คุณสุนิบูณ ตั้งวิญญู, คุณภูสิทธิ์ รัตน์ปียะสุนทร ที่คอยให้คำแนะนำ ห้องโปรเจคภาควิชาอิเล็กทรอนิกส์และชุมนุมอิเล็กทรอนิกส์ที่ให้ยืมอ่านดาต้าบุ๊ก และเพื่อน ๆ ทุกท่านภายในห้องโปรเจค อ. สมยศ จุณณะปิยะ ภาควิชาโทรคมนาคม ที่ให้ยืมอุปกรณ์ต่าง ๆ เช่น Oscilloscope, Protoboard, สาย jump ทางคณะผู้จัดทำรู้สึกทราบซึ้งถึงความช่วยเหลือของทุก ๆ ท่าน จึงขอขอบพระคุณมา ณ ที่นี้

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สารบัญ

	หน้า
บทคัดย่อ	I
ABSTRACT	I
กิตติกรรมประกาศ	II
สารบัญรูป	IV
บทที่ 1 บทนำ	1
บทที่ 2 วิธีการตอบสนองทางความถี่	2
2.1 คำจำกัดความ	2
2.2 การพิจารณาวิธีการตอบสนองทางความถี่	2
2.3 โบดไดอะแกรม	5
บทที่ 3 เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า	8
3.1 หลักการของเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า	8
3.2 หลักการทำงานของเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า	8
3.2.1 วงจรสร้างสัญญาณกวาดความถี่	9
3.2.2 วงจรตรวจวัดสัญญาณ	15
3.2.3 หน่วยประมวลผลและแสดงผลตอบสนองความถี่	16
บทที่ 4 วงจรกรองความถี่แบบแอกทีฟ	19
4.1 วงจรกรองความถี่ต่ำผ่าน	20
4.2 วงจรกรองความถี่สูงผ่าน	21
4.3 วงจรกรองความถี่ผ่านแถบ	23
4.4 วงจรกรองความถี่หยุดแถบ	24
บทที่ 5 การทดลอง	25
บทที่ 6 สรุปและวิจารณ์	29
เอกสารอ้างอิง	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สารบัญรูป

หน้า

รูป 2.1 ระบบเชิงเส้น 3

รูป 2.2 สัญญาณซายน์เข้าและออก 4

รูป 3.1 แผนผังแสดงการทำงานของเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า 8

รูป 3.2 แผนผังของวงจรสร้างสัญญาณกวาดความถี่ 9

รูป 3.3 แผนผังของเครื่องสร้างสัญญาณกวาดความถี่ 10

รูป 3.4 แผนผังของเครื่องสร้างสัญญาณกวาดความถี่ 11

รูป 3.5 วงจรกวาดความถี่ 12

รูป 3.6 แผนผังของวงจรเครื่องสร้างสัญญาณกวาดความถี่ 13

รูป 3.7 วงจรสร้างสัญญาณกวาดความถี่ 14

รูป 3.8 วงจรเลือกสัญญาณเข้า 15

รูป 3.9 Flowchart การทำงานของโปรแกรมในส่วนการประมวลผลและแสดงผล 17

รูป 3.10 วงจรของหน่วยอินเทอร์เฟส 18

รูป 4.1 ผลตอบสนองความถี่ของวงจรกรองความถี่ต่าง ๆ 19

รูป 4.2 วงจรและผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านอันดับที่ 1 20

รูป 4.3 วงจรและผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านอันดับที่ 2 21

รูป 4.4 วงจรและผลตอบสนองความถี่ของวงจรกรองความถี่สูงผ่านอันดับที่ 1 22

รูป 4.5 วงจรและผลตอบสนองความถี่ของวงจรกรองความถี่สูงผ่านอันดับที่ 2 22

รูป 4.6 วงจรและผลตอบสนองความถี่ของวงจรกรองความถี่ผ่านแถบ 23

รูป 4.7 วงจรและผลตอบสนองความถี่ของวงจรกรองความถี่หยุดแถบ 24

รูป 5.1 วงจรที่ใช้ในการทดลอง 25

รูป 5.2 ผลการทดลองของวงจรขยายเกน 26

รูป 5.3 ผลการทดลองของวงจรกรองความถี่ผ่านแถบ 26

รูป 5.4 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านอันดับที่ 1 27

รูป 5.5 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านอันดับที่ 2 27

รูป 5.6 ผลการทดลองของวงจรกรองความถี่สูงผ่านอันดับที่ 1 28

รูป 5.7 ผลการทดลองของวงจรกรองความถี่สูงผ่านอันดับที่ 2 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทที่ 1

บทนำ

การวิเคราะห์วงจร (Network Analysis) เป็นการวิเคราะห์ของระบบซึ่งระบบแต่ละระบบจะมีคุณสมบัติแตกต่างกัน ในการวิเคราะห์ผลของระบบ หรือวงจรสามารถกระทำได้หลายรูปแบบ แต่ที่นิยมวิเคราะห์ จะใช้การวิเคราะห์ผลตอบสนองทางความถี่ (Frequency Response) หรือวิเคราะห์ความแตกต่างระหว่างสัญญาณป้อนเข้าวงจรที่จะทดสอบ และสัญญาณภายหลังการทดสอบ เพื่อหาอัตราขยาย วิเคราะห์ผลของเฟสเลื่อน (Phase Shift) ซึ่งจะแสดงผลในรูปของ Bode Plot , Polar Plot และ Log Magnitude versus Phase Plot

จากคุณสมบัติของ Network Analysis นี้เราสามารถนำไปใช้ในการวิเคราะห์หาคุณสมบัติต่าง ๆ ของระบบที่เราต้องการวิเคราะห์ได้ เช่น ในวงจรกรองความถี่ (Frequency Filter) เราสามารถใช้หา Bandwidth , Transition Band , Stop Band ของระบบได้

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทที่ 2

วิธีการตอบสนองทางความถี่

(FREQUENCY RESPONSE METHODS)

2.1 คำจำกัดความ

การตอบสนองทางความถี่ (Frequency Response) หมายถึง ผลตอบสนองที่สถานะคงตัว (Steady State) ของระบบต่ออินพุท ที่เป็นสัญญาณไซน์(Sinusoid) โดยการศึกษาผลตอบสนองความถี่นี้ เราจะทำการปรับค่าความถี่ของสัญญาณอินพุทในช่วงหนึ่งๆ แล้วศึกษาผลตอบสนองของระบบช่วงหนึ่งต่อความถี่นั้นๆ

ประโยชน์ของการศึกษาวิธีการตอบสนองทางความถี่

1. ในการตรวจสอบเสถียรภาพของระบบ ไม่จำเป็นต้องดูตำแหน่งโพลของระบบปิด (Closed-Loop Pole) หรือแก้สมการเพื่อหารากของสมการคุณลักษณะ(Characteristic equation)

2. สามารถตรวจสอบทางความถี่ของระบบได้ง่ายและถูกต้อง โดยการให้อินพุทเป็นสัญญาณไซน์จากเครื่องกำเนิดสัญญาณ(Signal Gen) แล้วตรวจวัดผลตอบสนองเชิงความถี่ได้

3. การหาทรานเฟอร์ฟังก์ชั่น(Transfer Function) ของอุปกรณ์บางชนิดที่ซับซ้อน มักจะใช้วิธีการตรวจสอบโดยใช้ผลตอบสนองทางความถี่

4. วิธีตอบสนองทางความถี่สามารถใช้วิเคราะห์ฟังก์ชั่นที่ไม่ได้อยู่ในรูปอัตราส่วน เช่น ระบบจำพวกทรานพอร์ทแลก(Transport Lag) เป็นต้น

5. วิธีตอบสนองทางความถี่สามารถใช้กับระบบ(Plant) ที่มี ลักษณะไม่แน่นอน (Uncertainly)

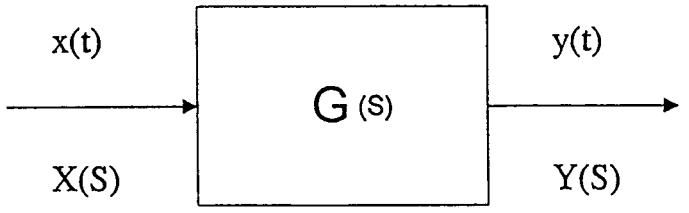
6. การออกแบบและวิเคราะห์ทางการตอบสนองทางความถี่สามารถใช้กับระบบที่ไม่เป็นเชิงเส้น(Non-Linear) ได้

2.2 การพิจารณาวิธีการตอบสนองทางความถี่

คุณลักษณะการตอบสนองทางความถี่ของระบบ สามารถหาได้โดยการหาจากการทรานเฟอร์ฟังก์ชั่นของสัญญาณไซน์ซึ่งเป็นการทรานเฟอร์ฟังก์ชั่นที่เราแทนค่า S ด้วย $j\omega$ โดย ω คือความถี่

พิจารณาระบบเชิงเส้นที่เวลาเดียวกัน(Stable Linear Time-Invariant) ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 2.1 ระบบเชิงเส้น

เมื่อ X(t) เป็นสัญญาณแบบไซน์เราจะได้ว่าสัญญาณเอาท์พุท Y(t) ที่สถานะคงตัวจะเป็นแบบไซน์ด้วย และจะเป็นสัญญาณไซน์ที่มีความถี่เท่ากัน แต่อาจมีค่าขนาด(Magnitude) และมุม (Phase) ต่างกัน

กำหนดให้สัญญาณอินพุทเป็น $X(t) = X\sin\Omega t$ และให้ทรานเฟอร์ฟังก์ชั่นของระบบมีค่า G(S) ซึ่งเราสามารถเขียนให้อยู่ในรูปอัตราส่วนของโพลิโนเมียล(Polynomial) เทอม S ได้ดังนี้

$$G(S) = \frac{P(S)}{Q(S)} = \frac{P(S)}{(S+S_1)(S+S_2)\ldots(S+S_N)}$$

และเราจะได้ค่าเอาท์พุทเป็นดังนี้

$$Y(S) = G(S)X(S)$$
$$= \frac{P(S)}{Q(S)}X(S)$$

ผลตอบสนองที่สถานะคงตัวของสัญญาณอินพุท X(t) ซึ่งเป็นแบบสัญญาณไซน์จะไม่ขึ้นกับค่าสถานะเริ่มต้น (Initial Conditions) ในที่นี้เรากำหนดให้สถานะเริ่มต้นเป็นศูนย์

$$Y(S) = G(S)X(S) = G(S)\frac{\omega}{s^2+\omega^2}X(S)$$

โดย a และ b_i (i=1,2,..,n) เป็นค่าคงที่

$\bar{a}$ เป็นค่าจำนวนเชิงซ้อน(Complex Conjugate) ของ a

และจะได้การแปลงลาปลาซ(Inverse Laplace) เป็น

$$y(t) = ae^{-j\alpha t} + \bar{a}e^{-j\alpha t} + b_1e^{-s_1t} + b_2e^{-s_2t} + \ldots + b_ne^{-s_nt} \quad (t>=0)$$

สำหรับระบบเสถียรจะได้

$-s_1, -s_2, \ldots, -s_n$ มีส่วนจริงเป็นลบ

ดังนั้น $e^{-s_1t}, e^{-s_2t}, \ldots, e^{-s_nt}$ มีค่าเข้าใกล้ศูนย์เมื่อ $t \to \infty$

ที่สถานะคงตัวจะได้ค่าผลตอบสนองเอาท์พุทเป็น

$$y_{ss}(t) = ae^{-j\alpha t} + \bar{a}e^{j\alpha t}$$

ค่าคงที่ a และ $\bar{a}$ หาได้โดยใช้ทฤษฎีเรซิดิว(Residuce)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

$$\frac{Y(j\omega)}{X(j\omega)} = G(j\Omega)$$

โดยที่

$$|G(j\omega)| = \frac{|Y(j\omega)|}{|X(j\omega)|}$$

และ

มุมของ $G(j\Omega)$ = มุมของ $\frac{Y(j\omega)}{X(j\omega)}$

ถ้ามุมเป็นบวกเรียกว่า เฟสลีด (Phase Lead)

ถ้ามุมเป็นลบเรียกว่า เฟสแลก (Phase Lag)

การแทนผลตอบสนองทางความถี่ของระบบที่มีทรานเฟอร์ฟังก์ชั่นอยู่ในรูปของสัญญาณไซน์ที่เป็นฟังก์ชั่นเชิงซ้อนของความถี่ จะสามารถแทนในรูปของขนาดและมุม ที่ขึ้นกับความถี่

วิธีการแทนทรานเฟอร์ฟังก์ชั่นสัญญาณไซน์มี 3 วิธี คือ

1. โบดไดอะแกรม (Bode Diagram)
2. โพลาพล็อต (Polar Plot)
3. ล็อกแมกนิจูดต่อเฟสพล็อต (Log-Magnitude VS Phase Plot)

โดยการแทนผลตอบสนองความถี่ที่เราสนใจคือโบดไดอะแกรม

2.3 <u>โบดไดอะแกรม</u>

โบดไดอะแกรมจะประกอบด้วยกราฟ 2 ส่วนซึ่งพล็อตลงบนกราฟล็อกการิทึม ได้แก่

1. กราฟล็อการิทึมของขนาดของทรานเฟอร์ฟังก์ชั่นสัญญาณไซน์
2. กราฟของมุม

<u>การพล็อตขนาดในหน่วยเดซิเบล</u>

รูปแบบมาตราฐานของการแทนค่าล็อกแมกนิจูดของ $G(j\Omega)$ คือ $20\log|G(j\Omega)|$ ซึ่งมีหน่วยเท่ากับเดซิเบล (dB) โดยการเขียนโบดไดอะแกรมนี้จะเขียนลงบนกระดาษกราฟเซมิล็อก (semi-log) ซึ่งมีฐานของล็อกเท่ากับสิบและค่ามุมซึ่งพล็อตคู่กับขนาดนี้จะมีหน่วยเป็นดีกรี(degree)

ประโยชน์ของการใช้สเกลล็อกการิทึมในการพล็อตโบดไดอะแกรม ก็คือ ล็อกของผลคูณของขนาดจะเท่ากับผลบวกของค่าล็อกแมกนิจูดแต่ละเทอม ดังนั้นเราจึงได้ว่า การคูณกันของขนาดนั้นเมื่อแปลงเป็นขนาดของล็อกแล้วจะกลายเป็นผลบวกแทน

นอกจากนี้ การแทนด้วยล็อกการิทึมยังให้ประโยชน์ ในการแสดงคุณลักษณะของทรานเฟอร์ฟังก์ชั่นที่ความถี่ต่ำและความถี่สูงไว้ในรูปเดียวกันได้ (แต่ไม่สามารถแสดงผลตอบสนองทางความถี่ที่ความถี่ศูนย์ได้)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

$$a = G(s)\frac{\omega x}{s^2+\omega^2}(s+j\omega) = \frac{XG(-j\omega)}{-2j}$$

และ

$$\bar{a} = G(s)\frac{\omega X}{s^2+\omega^2}(s-j\omega) = \frac{XG(j\omega)}{2j}$$

ค่าของ G(jω) สามารถเขียนให้อยู่ในรูป

$$G(j\omega) = |G(j\omega)|\, e^{j\phi}$$

โดย $|G(j\omega)|$ คือขนาด (Magnitude) ของ G(jω)

ϕ คือมุมของ G(jω)

และ $\phi = \tan^{-1}\left[\frac{\mathrm{Im}\{G(j\omega)\}}{\mathrm{Re}\{G(j\omega)\}}\right]$

ในทำนองเดียวกันเราหาค่า G(-jω) ได้จาก

$$G(-j\omega) = |G(-j\omega)|\, e^{-j\phi} = |G(j\omega)|\, e^{-j\phi}$$

แทนค่าของ a , $\bar{a}$,G(jω) และ G(-jω) จะได้

$$y_{ss}(t) = X\,|G(j\omega)|\,\frac{e^{j(\omega t+\phi)} - e^{-j(\omega y+\phi)}}{2j}$$

$$= X\,|G(j\omega)|\,\sin(\omega t+\phi)$$

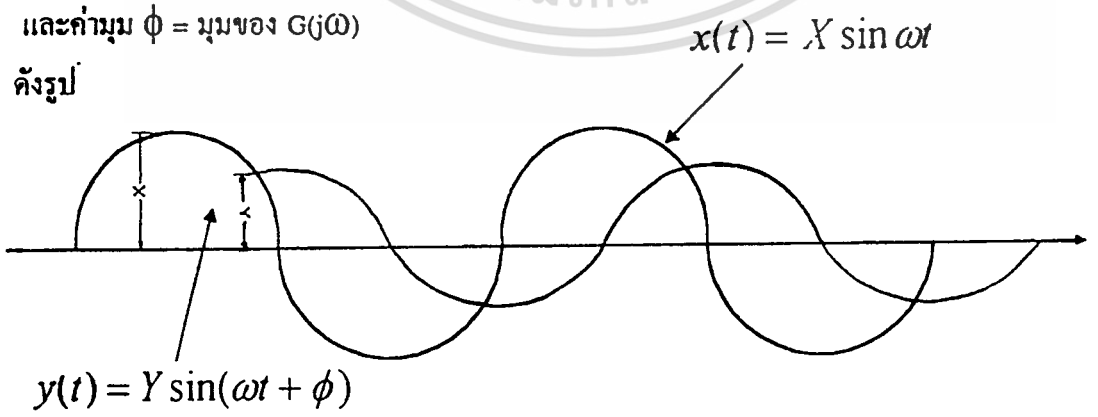
$$= Y\sin(\omega t+\phi)$$

โดยที่ $Y = X\,|G(j\omega)|$

ระบบที่เป็นแบบเชิงเส้นคงตัวนี้เมื่อได้รับอินพุทแบบไซน์จะให้เอาท์พุทเป็นไซน์ที่มีความถี่เดียวกันแต่ขนาดและมุมอาจต่างกันไป โดยค่าขนาดของเอาท์พุทเท่ากับค่าขนาดของอินพุทคูณด้วยขนาดของ G(jω)

และค่ามุม ϕ = มุมของ G(jω)

ดังรูป



รูป 2.2 สัญญาณซายน์ (Sinusoidal) เข้าและออก

และเราจะนิยามค่าทรานเฟอร์ฟังก์ชั่นของสัญญาณไซน์ ดังนี้

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ส่วนประกอบพื้นฐานของค่า $G(j\omega)H(j\omega)$

ส่วนประกอบของกราฟที่เรามักจะพบในทรานเฟอร์ฟังก์ชั่นสัญญาณไซน์ของ $G(j\omega)H(j\omega)$ ได้แก่

1. ขนาดของค่า K (Gain K)
2. ส่วนประกอบของการอินทิกรัลและการเดริเวทีฟ(Integral & Derivative Factor$(j\omega)^{\pm 1}$)
3. ตัวแปรอันดับหนึ่งของ$(1+j\omega T)$ (First Order Factor $(1+j\omega T)^{\pm 1}$)
4. ตัวแปรควอทดราทิก (Quadratic factor $1+2\zeta\left(\frac{j\omega}{\omega_n}\right)+\left(\frac{j\omega}{\omega_n}\right)^2\Bigg]^{\pm 1}$)

การหาโบดพล็อต (Bode Plot) สามารถทำได้โดยการพล็อตรูปกราฟของตัวแปรแต่ละตัวแปรที่อยู่ในสมการทรานเฟอร์ฟังก์ชั่นแยกกัน หลังจากนั้นจึงหากราฟรวมโดยนำค่าสีอกแมกนิจูดที่ได้จากแต่ละตัวแปรนั้นมาบวกกันบนกราฟล็อก

1. ขนาดของค่า K คือค่าคงที่ที่คูณอยู่ในทรานเฟอร์ฟังก์ชั่นในกรณีที่ขนาดมีค่ามากกว่า 1 จะให้ค่าเดซิเบลเป็นบวก และในกรณีที่ขนาดมีค่าน้อยกว่า 1 จะให้ค่าเดซิเบลเป็นลบ

รูปกราฟในโบดไดอะแกรมในส่วนตัวแปร K นี้จะได้ เป็นเส้นตรงขนานกับแกนนอน ที่มีขนาดเท่ากับ 20log K dB และมีกราฟของมุม เป็นศูนย์

2. ส่วนประกอบของการอินทิกรัลและการเดริเวทีฟ

ในกรณีของตัวแปรอินทิกรัล

ขนาดของ $\frac{1}{j\omega}$ ในกราฟของล็อกแมกนิจูด คือ

$$20\log\left|\frac{1}{j\omega}\right| = -20\log\omega \text{ dB}$$

และมีค่ามุมเป็น

$$\phi = -90 \text{ (คงที่)}$$

ลักษณะของรูปกราฟล็อกแมกนิจูดจะเป็นเส้นตรงที่มีความชันเท่ากับ -20 dB/decade

ในกรณีของตัวแปรเดริเวทีฟ

ขนาดของ $j\omega$ ในกราฟของล็อกแมกนิจูดจะเป็น

$$20\log|j\omega| = 20\log\omega \text{ dB}$$

และมีค่ามุมเป็น

$$\phi = 90 \text{ (คงที่)}$$

ลักษณะรูปกราฟ จะเป็นเส้นตรงมีความชันคงที่ 20 dB/decade ผ่านจุด 0 dB ที่ $\omega = 1$

3. ตัวแปรอันดับหนึ่งของ $(1+j\omega T)^{\pm 1}$

สำหรับพจน์ $\frac{1}{(1+j\omega T)}$ จะได้ค่าล็อกแมกนิจูดเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

$$20\log\left|\frac{1}{(1+j\omega T)}\right| = -20\log\sqrt{1+\omega^2T^2} \quad \text{dB}$$

กรณีความถี่ต่ำ คือ $\omega << 1/T$ จะสามารถประมาณกราฟล็อกแมกนิจูดนี้ได้เป็น

$$-20\log\sqrt{1+\omega^2T^2} \cong -20\log 1 = 0 \quad \text{dB}$$

กรณีความถี่สูง กล่าวคือ $\omega >> 1/T$ จะได้

$$-20\log\sqrt{1+\omega^2T^2} \cong -20\log \omega T \quad \text{dB}$$

ซึ่งก็คือกราฟเส้นตรงที่มีความชันเท่ากับ -20 dB/decade โดยเริ่มจากความถี่เชิงมุมที่ $\omega = 1/T$

เราจึงได้ข้อสรุปการแทนผลตอบสนองทางความถี่ของ เทอม $\frac{1}{(1+j\omega T)}$ นี้โดยการประมาณผลตอบสนองด้วยเส้นตรง 2 เส้น คือ

1. เส้นตรงที่ศูนย์เดซิเบล สำหรับความถี่ในช่วง $0 < \omega < 1/T$

2. เส้นตรงที่มีความชันเท่ากับ -20 dB/decade ในช่วงความถี่ $1/T < \omega < \infty$

เส้นตรงทั้งสองนี้ ทำหน้าที่เป็นเส้นสัมผัสโดยเส้นกราฟที่แท้จริง จะมีค่าต่ำกว่าเส้นสัมผัสที่ความถี่เชิงมุม $\omega = 1/T$ เท่ากับ 3 dB ซึ่งมาจาก

$$-20\log\sqrt{1+1} + 20\log 1 = -10\log 2$$

$$= -3.03 \quad \text{dB}$$

มุมของตัวแปร $\frac{1}{(1+j\omega T)}$ จะมีค่าเป็น

$$\phi = -\tan^{-1}\omega T$$

ที่ $\omega = 0$ จะมี $\phi = 0$ องศา

ที่ $\omega = 1/T$ จะมี $\phi = -\tan^{-1}1 = -45$ องศา

ที่ $\omega = \infty$ จะมี $\phi = -\tan^{-1}\infty = -90$ องศา

และในทำนองเดียวกัน การหารูปกราฟของตัวแปร $1+j\omega T$ ก็สามารถทำได้โดยการเปลี่ยนเครื่องหมายในกราฟล็อกแมกนิจูดและมุม ดังนี้

$$20\log\left|1+j\omega T\right| = -20\log\left|\frac{1}{1+j\omega T}\right|$$

และ

$$\phi = \text{มุมของ } 1+j\omega T = \tan^{-1}\omega T = \text{มุมลบของ } \frac{1}{1+j\omega T}$$

ความถี่เชิงมุมจะมีค่าเท่ากับ $1/T$ เช่นกันแต่ความชันของเส้นสัมผัส ด้านความถี่สูงจะเป็น 20 dB/decade แทนและมีมุมแปรค่าจากศูนย์องศาถึงเก้าสิบองศา เมื่อ ω เป็นศูนย์ถึงอินฟินิตี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทที่ 3

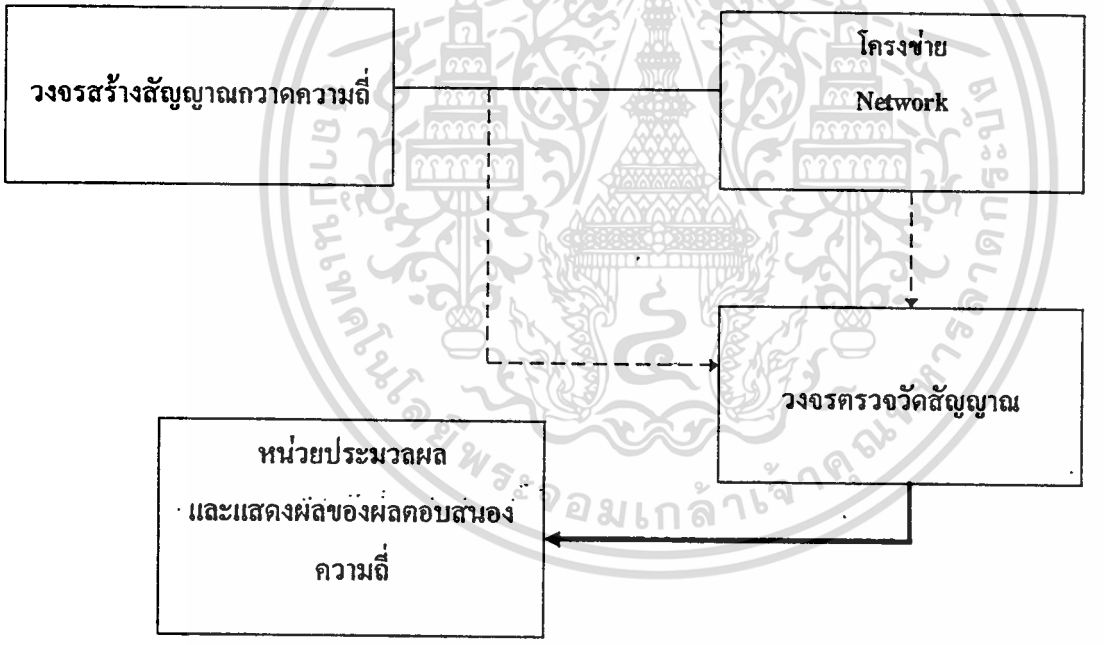
เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า

3.1 หลักการของเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า (Network Analyzer)

เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้านี้ จะเป็นการวิเคราะห์โครงข่ายทางฟิสิกส์ โดยจะหาผลตอบสนองทางความถี่ (Frequency Response) ของโครงข่าย โดยจะทำการป้อนสัญญาณความถี่ค่าต่าง ๆ เข้าไปยังโครงข่าย แล้วทำการวิเคราะห์ผลตอบสนองความถี่ของโครงข่าย

สำหรับชิ้นงานนี้จะใช้เครื่องไมโครคอมพิวเตอร์มาใช้ เพื่อทำการประมวลผล และ แสดงผลตอบสนองทางความถี่ (Frequency Response) ของโครงข่ายด้วย

จากเนื้อหาที่กล่าวมา เราสามารถสรุปเป็นแผนผังได้ดังรูปที่ 1



รูปที่ 3.1 แผนผังแสดงการทำงานของเครื่องวิเคราะห์โครงข่าย

3.2 หลักการทำงานของเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า

จากที่กล่าวมาแล้ว เราสามารถแยกการทำงานของเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้าได้เป็น 3 ส่วน คือ

1. วงจรสร้างสัญญาณกวาดความถี่ เป็นส่วนที่ทำหน้าที่สร้างสัญญาณความถี่ค่าต่าง ๆ ตั้งแต่ค่าน้อย ขึ้นไปจนถึงค่ามาก ๆ เพื่อป้อนความถี่เข้าสู่โครงข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

2. วงจรตรวจวัดสัญญาณ ทำหน้าที่จับตรวจวัดระดับของสัญญาณที่เข้าและออกจากเครือข่ายวงจรไฟฟ้า ก่อนที่จะเข้าสู่หน่วยประมวลผล และแสดงผลของผลตอบสนองความถี่

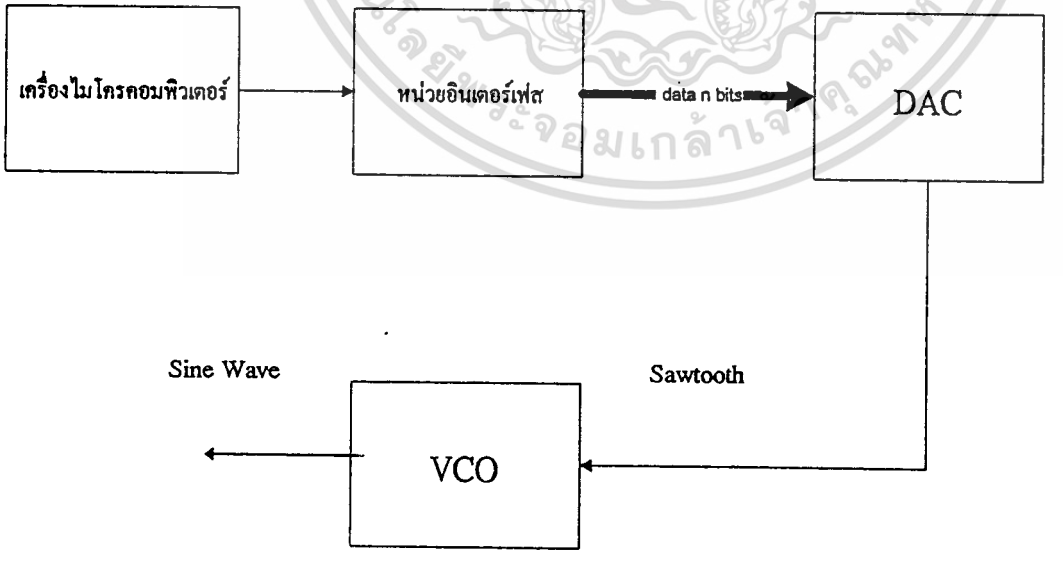
3. หน่วยประมวลผลและแสดงผลของผลตอบสนองความถี่ (เครื่องไมโครคอมพิวเตอร์) จะทำการรับข้อมูลจากส่วนตรวจจับสัญญาณแล้วนำมาทำการประมวลผล แล้วแสดงผลออกทางหน้าจอคอมพิวเตอร์

<u>หลักการทำงานของแต่ละส่วน</u>

3.2.1 <u>วงจรสร้างสัญญาณกวาดความถี่</u> (Sweep Frequency Generator)

เราจะทำการสร้างสัญญาณกวาดความถี่ โดยใช้วงจรควบคุมความถี่ด้วยศักดา (Voltage Control oscillator , VCO) เป็นตัวกำเนิดความถี่ ด้วยการสร้างสัญญาณฟันเลื่อยมาควบคุมการกวาดสัญญาณ

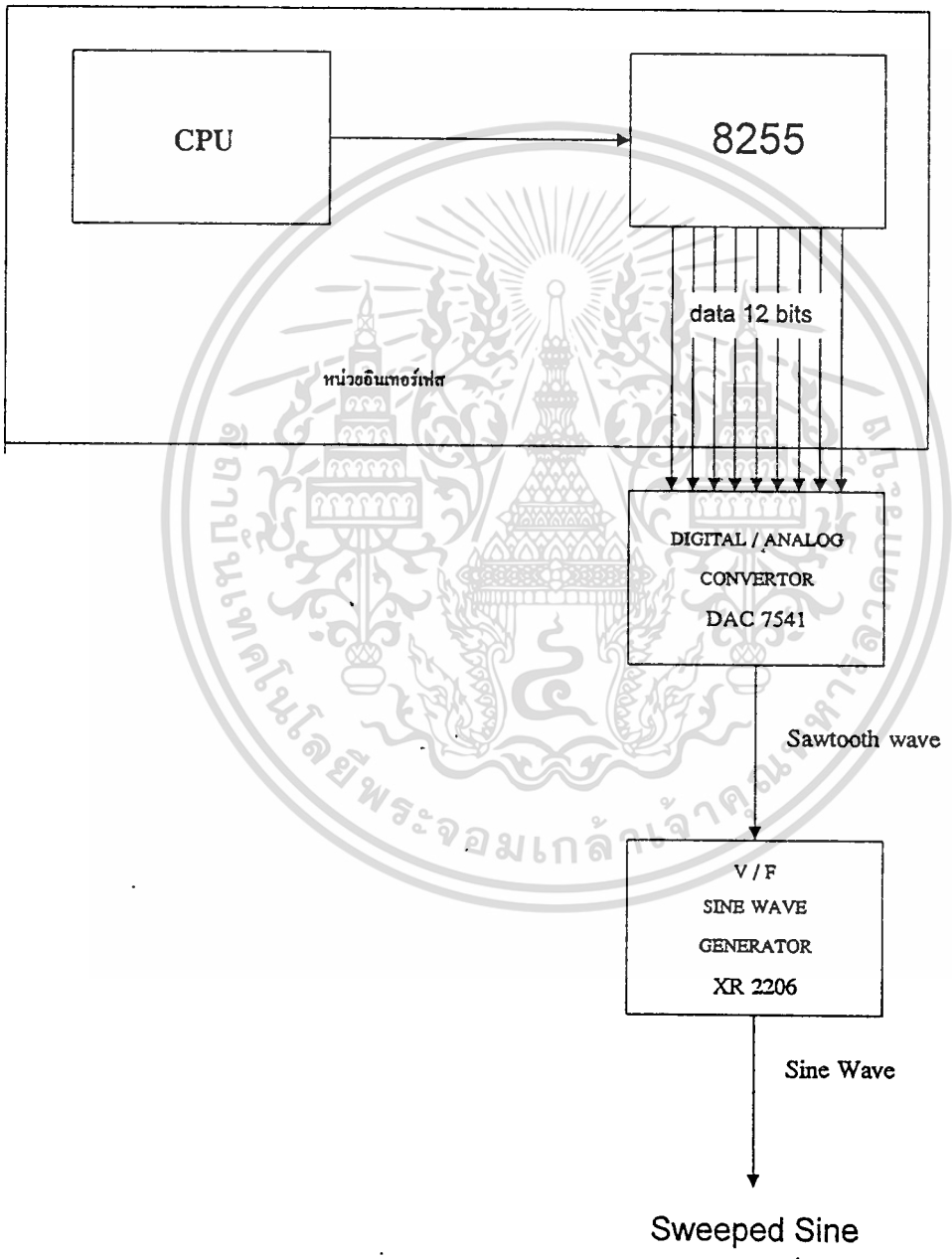
จากหลักการข้างต้นเราจะสร้างสัญญาณฟันเลื่อยด้วยตัวเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก (Digital to Analog Converter , DAC) โดยค่าที่ส่งไปยังบิทต่าง ๆ จำนวน n บิทของตัวเปลี่ยนสัญญาณดิจิตอลเป็นอนาล็อกจะถูกส่งมาโดยถูกควบคุมโดยเครื่องคอมพิวเตอร์แล้วส่งผ่านหน่วยอินเทอร์เฟส หลังจากนั้นก็ส่งเป็นข้อมูลมาให้ DAC โดยเราจะควบคุมให้ข้อมูลจำนวน n บิทนั้นเพิ่มขึ้นอย่างสม่ำเสมอ เมื่อข้อมูลเหล่านั้นถูกส่งมาเปลี่ยนเป็นสัญญาณอนาล็อกก็จะได้เป็นสัญญาณฟันเลื่อย แล้วสัญญาณฟันเลื่อยเหล่านี้ก็จะไปควบคุมการสร้างสัญญาณความถี่ของ VCO หลังจากนั้นก็จะได้สัญญาณความถี่ค่าต่าง ๆ กันออกมา เป็นสัญญาณกวาดความถี่



รูปที่ 3.2 แผนผังของวงจรสร้างสัญญาณกวาดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สัญญาณกวาดความถี่ที่เราสร้างจะมีความถี่และความละเอียดของสัญญาณขึ้นอยู่กับสัญญาณที่ควบคุม VCO ซึ่งคือ สัญญาณฟันเลื่อย โดยเราสามารถควบคุมสัญญาณฟันเลื่อยจากการใช้โปรแกรมควบคุมการทำงาน และการส่งข้อมูลของเครื่องไมโครคอมพิวเตอร์ และใช้ DAC ที่สามารถให้ค่าศักดาอ้างอิง (Voltage Reference) ที่มากขึ้น การทำให้ความละเอียดของสัญญาณฟันเลื่อยมีมากขึ้น โดยใช้ DAC ที่มีจำนวนบิทมากขึ้น

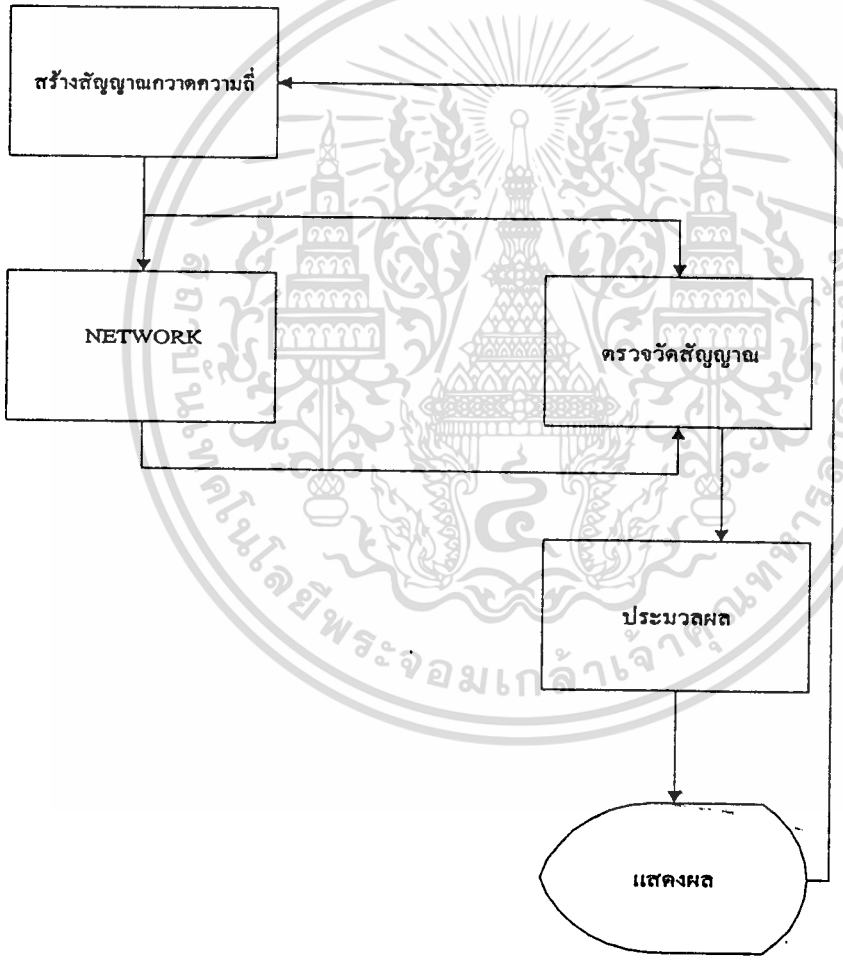


รูปที่ 3.3 แผนผังของวงจรสร้างสัญญาณกวาดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ขั้นตอนการออกแบบวงจรสร้างสัญญาณกวาดความถี่

จากหลักการที่กล่าวมาข้างต้นเราจะใช้การเขียนโปรแกรมเพื่อควบคุมเครื่องคอมพิวเตอร์ให้ส่งข้อมูลจำนวน 12 บิท ผ่านการ์ดอินเตอร์เฟส ซึ่งมี 8255 เป็นพอร์ทส่งข้อมูลออกมา แล้วจึงนำข้อมูลเหล่านั้นส่งไปยังตัวเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก (Digital to Analog Convertor , DAC) จากการใช้โปรแกรมควบคุมทำให้เราสามารถกำหนดลักษณะของข้อมูล และความเร็วในการส่งข้อมูลได้อย่างเต็มที่ ในส่วนของตัวเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกเราจะใช้ IC AD7541 (CMOS 12 bit Monolithic Multiplying DAC) จากลักษณะของข้อมูลที่ถูกควบคุมโดยโปรแกรมให้ส่งมายัง IC AD7541 มีลักษณะเพิ่มขึ้นอย่างต่อเนื่องทำให้สัญญาณที่ออกจาก IC AD7541 มีลักษณะเป็นสัญญาณฟันเลื่อย



รูปที่ 3.4 แผนผังของเครื่องสร้างสัญญาณกวาดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สัญญาณที่ออกจาก IC AD7541 จะถูกส่งไปให้กับวงจรที่ทำหน้าที่เป็นเครื่องสร้างความถี่ (Function Generator) โดยเราจะใช้ IC XR-2206 (Monolithic Function Generator) ซึ่งเป็นไอซีสำเร็จรูปที่ใช้เป็นเครื่องสร้างสัญญาณความถี่ได้หลายชนิด เช่น สัญญาณซายน์ (Sine Wave) , สัญญาณสี่เหลี่ยม (Square Wave) , สัญญาณสามเหลี่ยม (Triangle Wave) ซึ่งสามารถสร้างความถี่ได้ตั้งแต่ 0.01 Hz ถึง 1 MHz ใน IC XR-2206 จะประกอบไปด้วย ส่วนต่างๆ 4 ส่วน คือ VCO , Analog multiplier and sine-shaper , วงจรบัฟเฟอร์ (Unity gain Buffer Amplifier) และ ชุดตัดต่อกระแส (set of current switches) ซึ่งจะใช้ VCO ในการสร้างความถี่ออกมา โดยความถี่ที่ผลิตออกมาจะขึ้นกับกระแสอินพุท

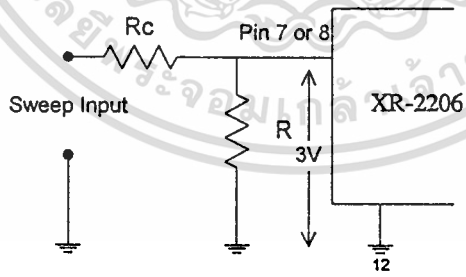
เมื่อเราใช้ IC XR-2206 เป็นตัวสร้างสัญญาณกวาดความถี่ (Frequency sweeper) ความถี่ของสัญญาณจะขึ้นกับกระแสที่ให้กับขา 7 หรือ 8 ของ IC XR-2206 และขึ้นกับค่าตัวเก็บประจุระหว่างขา 5 และ 6 ของ IC XR-2206

โดยคุณสมบัติของ IC XR-2206 เราสามารถควบคุมสัญญาณกวาดความถี่จาก กระแสที่เข้าขา 7 หรือ 8 ตามสมการ

$$f = \frac{320 i_r(mA)}{C(\mu F)} Hz$$

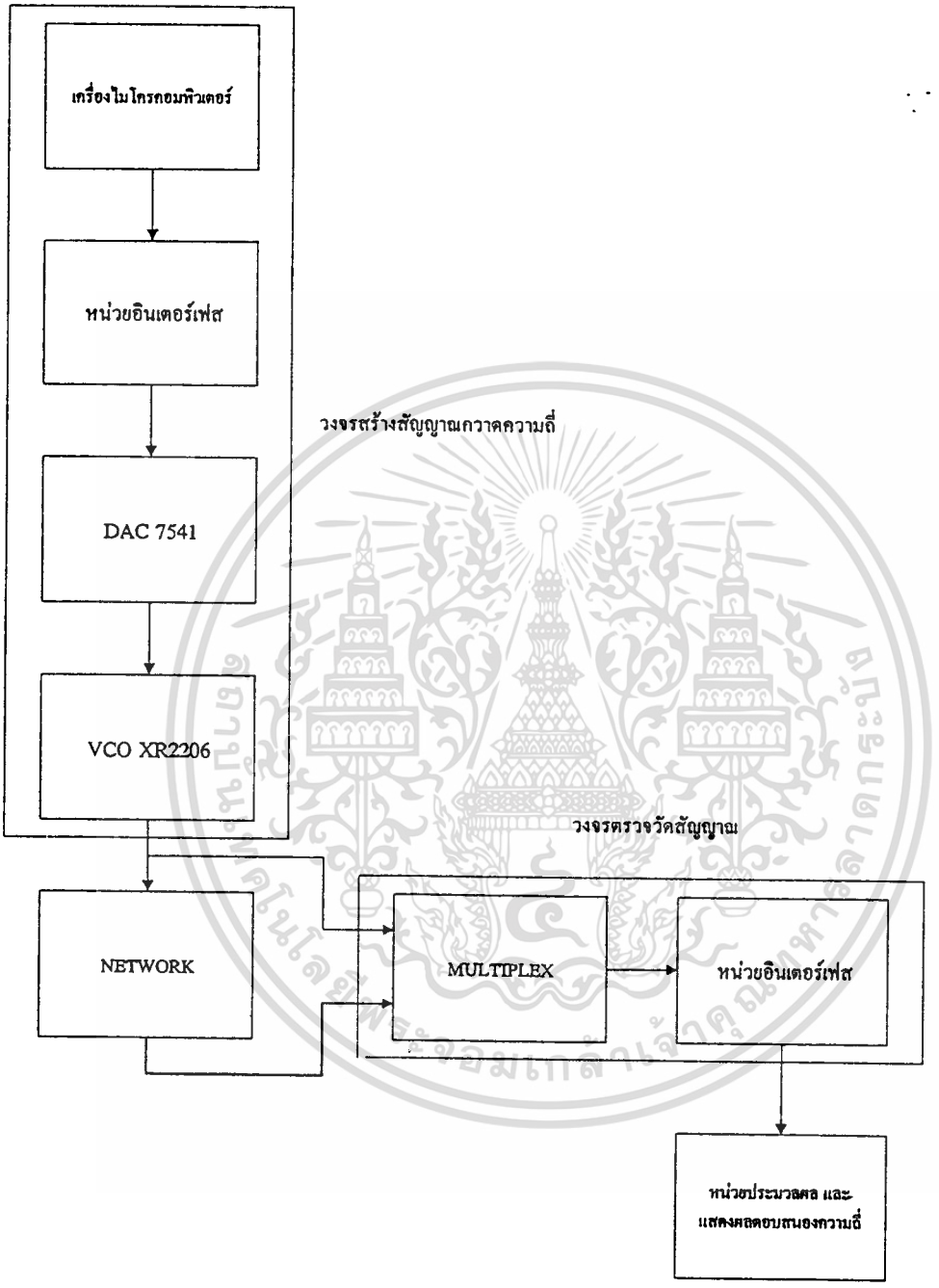
และเรายังสามารถควบคุมการสร้างสัญญาณกวาดความถี่จากการควบคุมแรงดัน ซึ่งสามารถคำนวณหาความถี่ซึ่งขึ้นกับแรงดัน จากสมการ

$$f = \frac{1}{RC} + \frac{R}{R_c}\left(1 - \frac{V_c}{3}\right) Hz$$



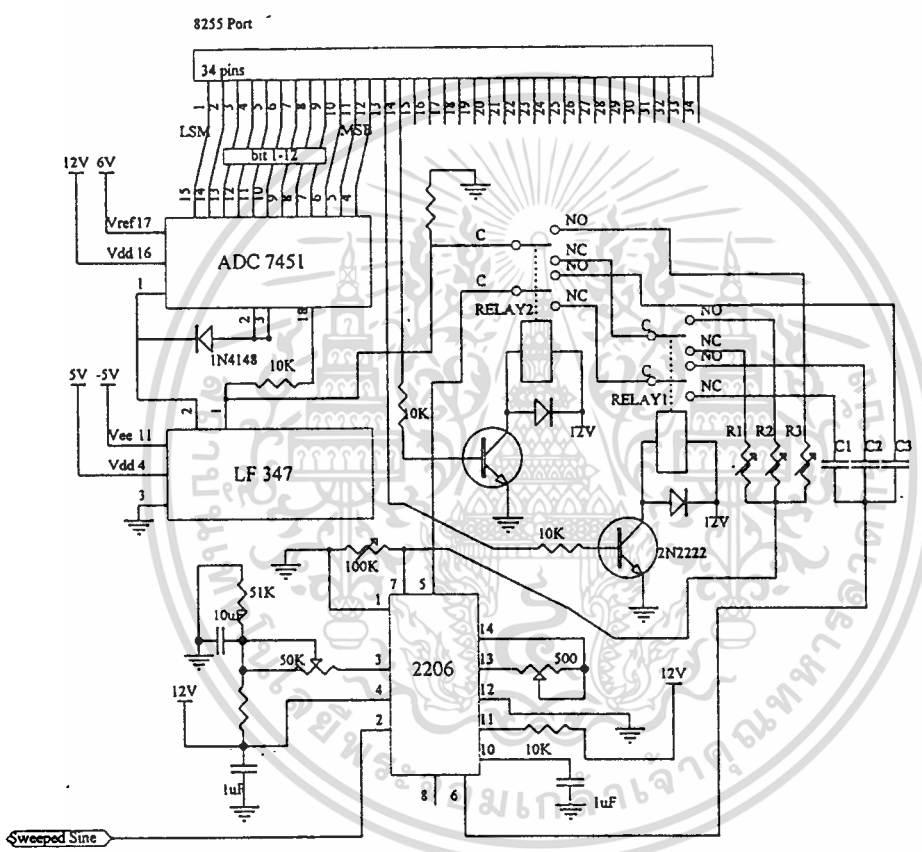
รูป 3.5 วงจรกวาดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 3.6 แผนผังของวงจรเครื่องสร้างสัญญาณกวาดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 3.7 วงจรสร้างสัญญาณกวาดความถี่

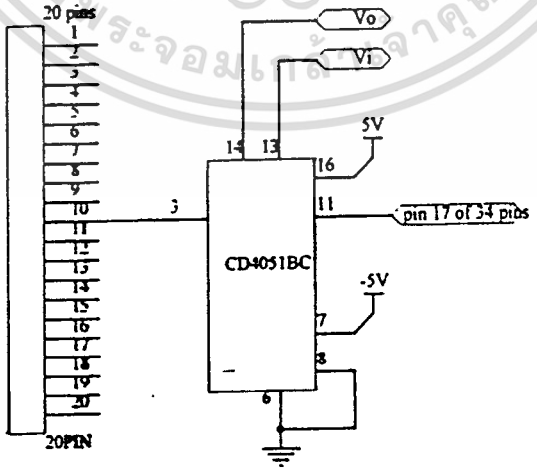
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

3.2.2 วงจรตรวจวัดสัญญาณ

เราจะทำการตรวจวัดสัญญาณที่ต้องการและปรับแต่งสัญญาณที่ต้องการ ก่อนที่จะนำสัญญาณที่ได้เข้าสู่วงจรที่ทำหน้าที่เปลี่ยนสัญญาณที่ได้เป็นสัญญาณที่เครื่องไมโครคอมพิวเตอร์สามารถใช้ประมวลผลได้ (สัญญาณดิจิตอล) โดยมีขั้นตอนดังต่อไปนี้

ในขั้นแรกจะรับสัญญาณเข้ามา แล้วทำการเปลี่ยนสัญญาณเป็นสัญญาณดิจิตอลโดยตัวเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (Analog to Digital Convertor, ADC) หลังจากนั้นจะทำการส่งค่าข้อมูลที่ได้ไปยังส่วนของหน่วยประมวลผลและแสดงผลทางความถี่ โดยใช้เครื่องไมโครคอมพิวเตอร์ ทำการประมวลผลและเก็บค่าข้อมูลที่ได้ไว้ ส่งผลของการประมวลที่ได้ไปทำการวาดกราฟ โดยแสดงผลทางจอภาพ โดยให้แกนในแนวนอนเป็นแกนความถี่ แกนตั้งเป็นแกนของอัตราส่วนระหว่าง 20log(Vo/Vin) โดยในการรับสัญญาณเข้าและส่งสัญญาณออกในขั้นตอนของการสร้างสัญญาณกวาดความถี่ (interface) เราจะใช้หน่วยอินเทอร์เฟสคือ ET-DIO CARD เนื่องจาก ADC ที่ใช้บน ET-DIO CARD จะใช้ IC ADC0804 ซึ่งสามารถรับข้อมูลได้ค่าเดียว แต่เนื่องจากสัญญาณที่เราต้องการนำไปใช้ในการประมวลผลโดยเครื่องไมโครคอมพิวเตอร์ที่เราต้องการมี 2 สัญญาณ คือ สัญญาณความถี่ที่ส่งเข้าวงจรเครือข่ายไฟฟ้า และสัญญาณความถี่ที่ออกมาจากวงจรเครือข่าย ดังนั้นจึงต้องใช้วงจรเลือกสัญญาณ (Multiplex) ในการเลือกค่าอินพุททั้ง 2 ค่า เข้ามาทีละสัญญาณ แล้วจึงทำการแปลงสัญญาณจากสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

ในส่วนของวงจรตรวจวัดสัญญาณ เราจะใช้การ์ดอินเทอร์เฟส (ET-DIO CARD) เป็นตัวที่ทำหน้าที่รับสัญญาณที่เข้ามาและทำการตรวจวัดสัญญาณ และใช้โปรแกรมในการควบคุมการทำงานของวงจรตรวจวัดสัญญาณ เช่น การส่งสัญญาณควบคุมการเลือกค่าอินพุทเข้า และการควบคุมการตรวจวัดสัญญาณ



รูป 3.8 วงจรเลือกสัญญาณเข้า (Multiplex)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

3.2.3 หน่วยประมวลผลและแสดงผลของผลตอบสนองความถี่

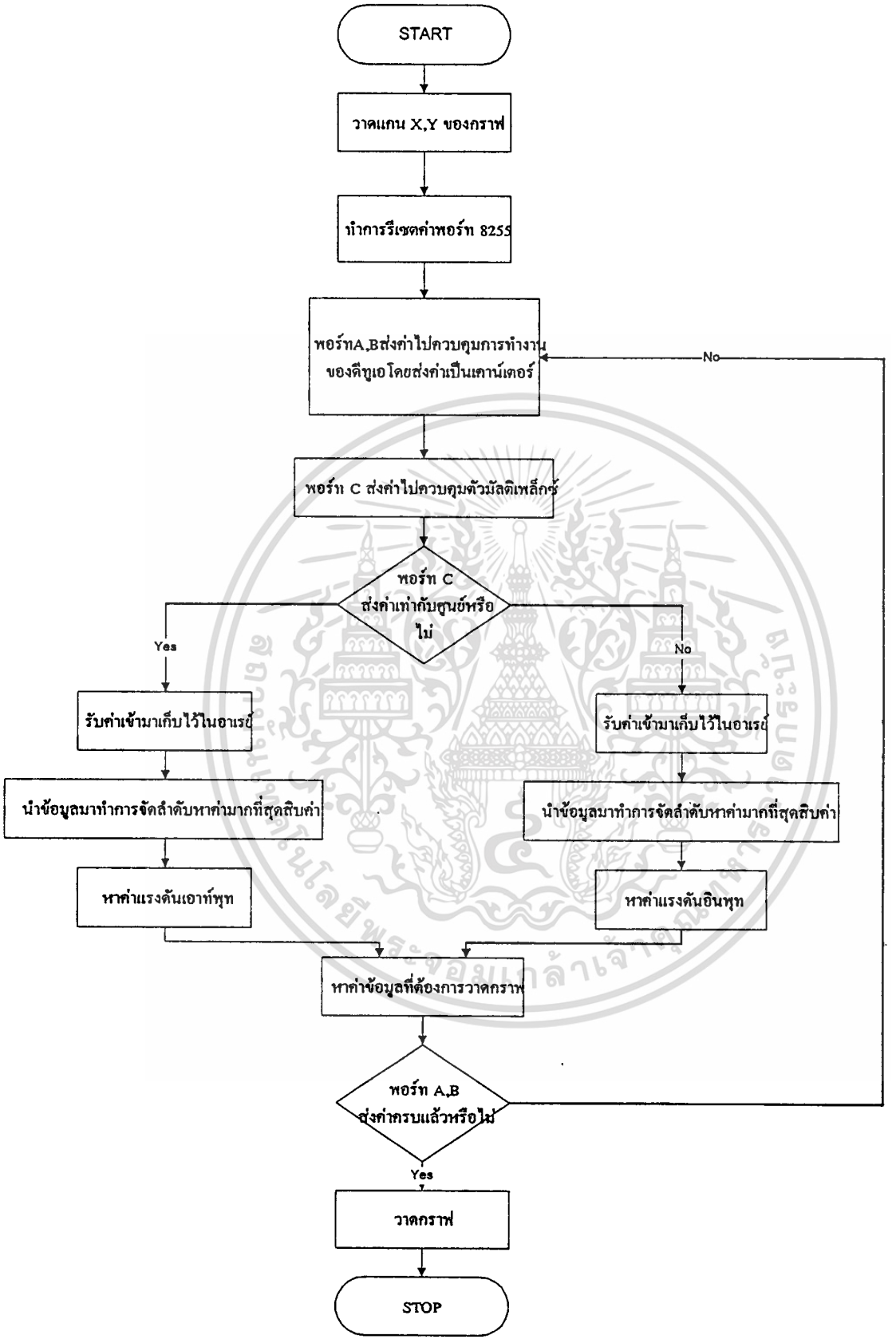
เมื่อได้รับสัญญาณที่เป็นสัญญาณดิจิตอลมาจากส่วนตรวจวัดสัญญาณแล้ว จะนำข้อมูลมาทำการประมวลผลคำนวณทางคณิตศาสตร์เพื่อหาค่าต่าง ๆ หลังจากการคำนวณแล้วก็จะนำข้อมูลที่ได้รับการคำนวณทั้งหมดแสดงผลเป็นผลตอบสนองความถี่ออกทางหน้าจอคอมพิวเตอร์

ในส่วนนี้จะเป็นการใช้โปรแกรมทั้งหมดในการควบคุมการคำนวณ และการแสดงผล โดยในส่วนของโปรแกรมที่ใช้ควบคุมจะเป็นโปรแกรมภาษาซีทั้งหมด รวมถึงโปรแกรมในส่วนอื่น ๆ ที่เคยกล่าวถึงมาแล้วในขั้นตอนต้น ๆ

การทำงานของโปรแกรมภาษาซี

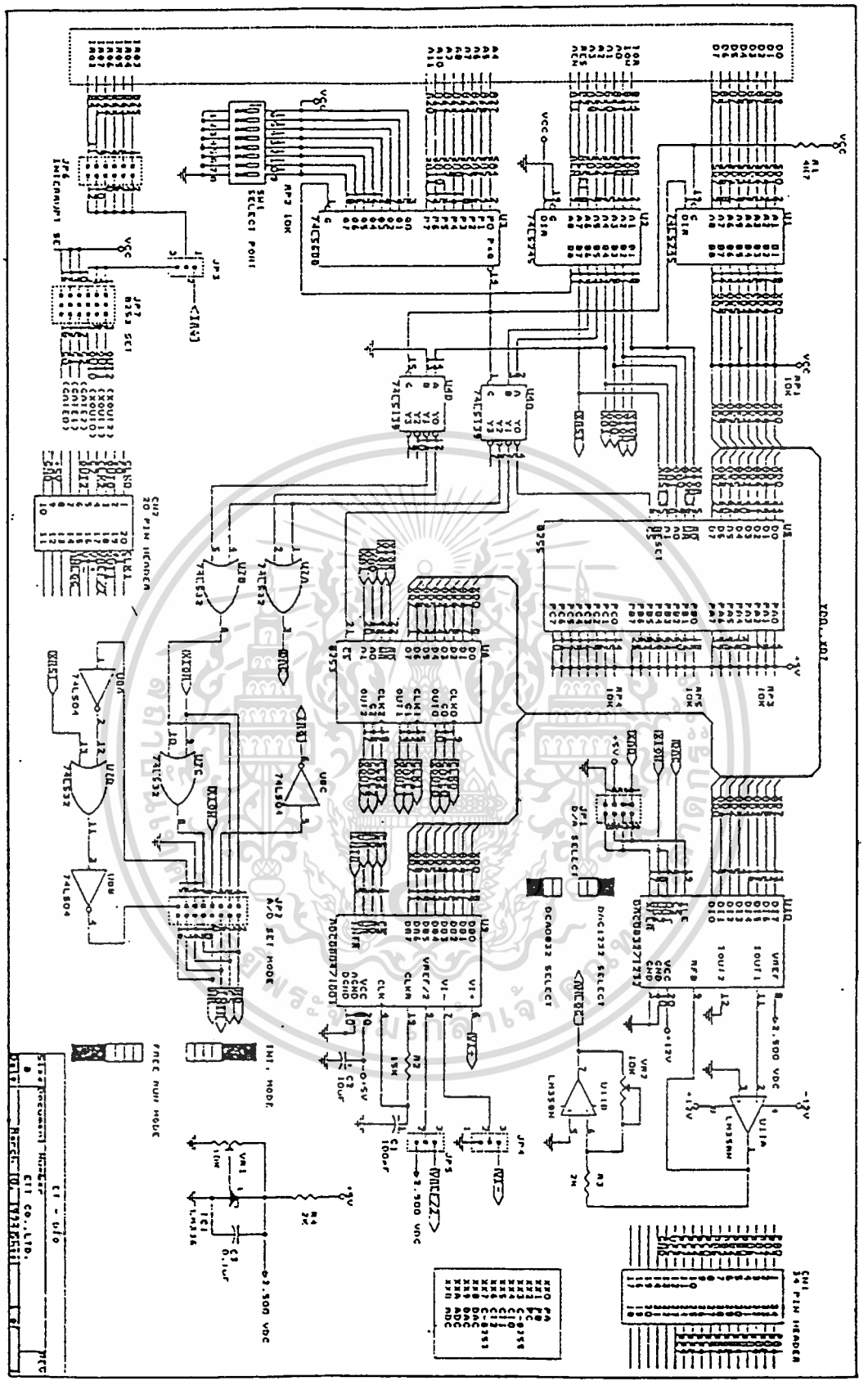
ในตอนเริ่มต้นของโปรแกรมจะทำการวาดเค้าโครงของกราฟออกมาก่อน คือ จะทำการวาดแกน X และแกน Y ออกมาแล้วหลังจากนั้นก็จะทำการรีเซตค่าของพอร์ทของไอซีเบอร์ 8255 ซึ่งพอร์ท A และ B ของไอซีเบอร์8255 จะทำการส่งค่าเลขฐานสองไปควบคุมการทำงานของดีทูเอ ซึ่งการส่งค่าของพอร์ท A และ B จะมีลักษณะเป็นเคาน์เตอร์โดยเริ่มส่งค่าแรกคือค่า 2FFF H เลขฐานสิบหกจนถึงค่าศูนย์ ส่วนพอร์ท C ของไอซีเบอร์ 8255 จะทำการส่งค่าไปควบคุมการทำงานของตัวมัลติเพล็กเซอร์ซึ่งจะเป็นตัวควบคุมการเข้าออกของค่าที่จะทำการหา คือค่าแรงดันอินพุทและแรงดันเอาท์พุท โดยค่าที่พอร์ท C ส่งมานั้นจะมีค่าเป็นศูนย์กับหนึ่ง โดยถ้าค่าที่รับเข้ามาจากพอร์ท C มีค่าเป็นศูนย์ โปรแกรมจะทำการอ่านค่าเข้ามาทางตัวเอทูดีของการ์ดอินเทอร์เฟสแล้วทำการหาค่าเข้าเป็นจำนวนหนึ่งพันค่าซึ่งในการทำเช่นนี้เพราะจะเป็นการเพิ่มความละเอียดและความถูกต้องให้กับค่าที่รับเข้ามา เพื่อขจัดปัญหาเรื่องสัญญาณรบกวนแล้วทำการหาค่าสูงสุดสิบค่าเพื่อนำมาหารสิบเพื่อหาค่าที่ต้องการ โดยค่าที่ได้จากการที่พอร์ท C ส่งค่าศูนย์นี้จะเป็นค่าของแรงดันเอาท์พุท ส่วนค่าที่พอร์ท C ส่งค่าหนึ่งมาจะมีการทำงานคล้ายค่าที่ส่งมาเป็นศูนย์ แต่ค่าที่ได้จะเป็นค่าของแรงดันอินพุท ซึ่งเมื่อได้แรงดันอินพุทและแรงดันเอาท์พุทมาแล้ว ต่อไปจะเป็นการหาค่าที่ต้องการเพื่อนำไปวาดกราฟต่อไป ซึ่งค่าที่ได้นี้จะทำการเก็บไว้ในอาเรย์ ซึ่งค่าที่ได้นี้เป็นค่าของ $20\log(\frac{Vo}{Vin})$ เมื่อได้ค่าที่ต้องการแล้วก็จะกลับไปทำตั้งแต่ตอนส่งค่าพอร์ท A และ B มาจนได้ค่าที่ต้องการจนครบ แล้วจึงนำค่าทั้งหมดที่หาได้มาทำการวาดกราฟต่อไป โดยกราฟที่เราทำการวาดอยู่นี้เป็นลักษณะของกราฟโบดไดอะแกรม (Bode Diagram) ส่วนของกราฟขนาด (Magnitude) เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูป 3.9 flowchart การทำงานของโปรแกรมในส่วนการประมวลผลและแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



3.10 วงจรของหน่วยอินเทอร์เฟส (ET-DIO CARD)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

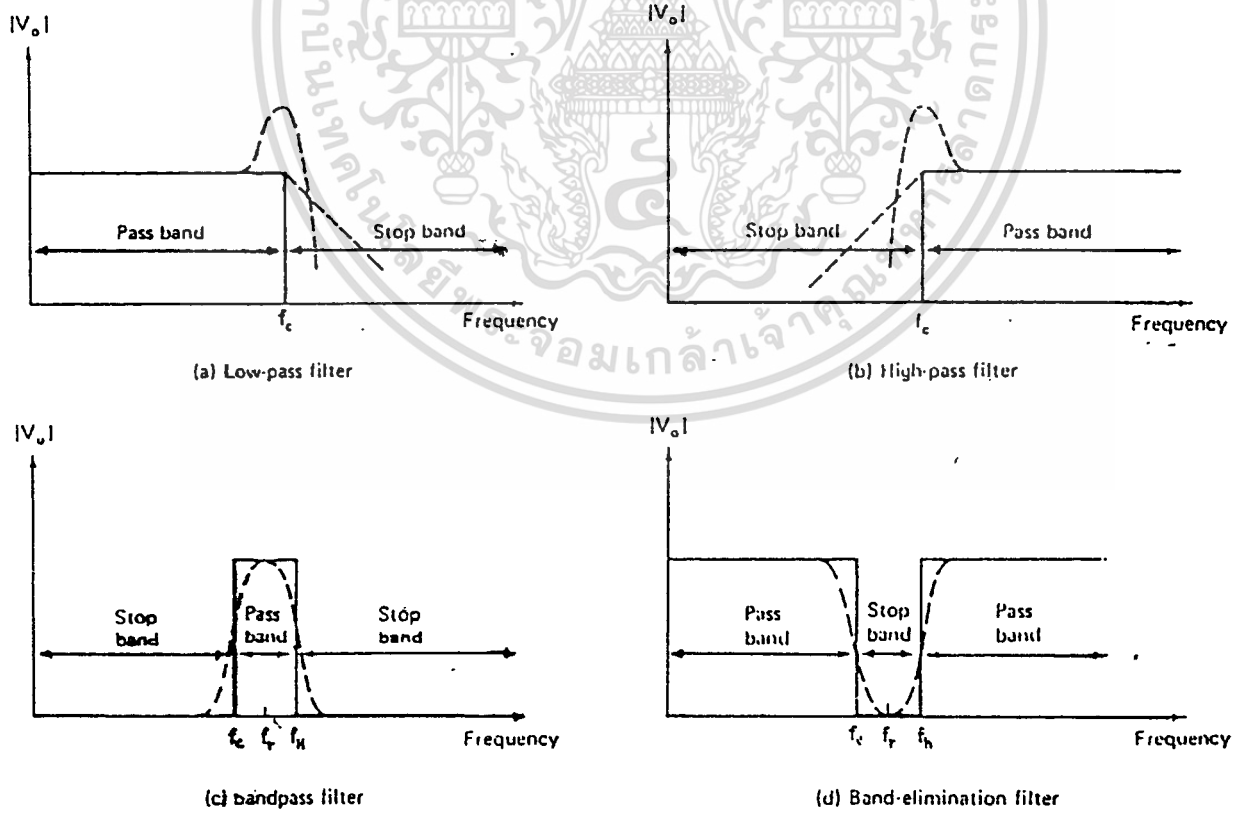
บทที่ 4

วงจรกรองความถี่แบบแอกทีฟ

(ACTIVE FILTER)

วงจรกรองความถี่ (Filter) เป็นวงจรที่ถูกออกแบบมาเพื่อทำการเลือกช่วงความถี่ที่เราต้องการ และกำจัดช่วงความถี่ที่ไม่ต้องการทิ้งไป โดยทั่วไปวงจรกรองความถี่สามารถแบ่งออกได้เป็นวงจรกรองความถี่แบบพาสซีฟ (Passive filter network) และวงจรกรองความถี่แบบแอกทีฟ (Active filter network) วงจรกรองความถี่แบบพาสซีฟ จะมีเฉพาะตัวต้านทาน ตัวเก็บประจุ และตัวเหนี่ยวนำเท่านั้น แต่วงจรกรองความถี่แบบแอ็กทีฟ จะมีทรานซิสเตอร์หรือออฟแอมป์รวมอยู่กับตัวต้านทาน และตัวเก็บประจุ โดยทั่วไปตัวเหนี่ยวนำจะไม่ค่อยพบในวงจรกรองความถี่แบบแอ็กทีฟ เนื่องจากขนาดที่ใหญ่ , ราคาสูง และยังมีความต้านทานที่สูงด้วย

วงจรกรองสัญญาณแบ่งตามคุณสมบัติทางกายภาพได้เป็น 4 ชนิด คือ วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) , วงจรกรองความถี่สูงผ่าน (High Pass Filter) , วงจรกรองความถี่ผ่านแถบ (Band Pass Filter) , วงจรกรองความถี่หยุดแถบ (Band Reject Filter)หรือบางทีเรียกว่าวงจรกรองความถี่หยุดแถบ (Band Elimination Filter , Notch)



รูป 4.1 ผลตอบสนองความถี่ของวงจรกรองความถี่ต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

036970

เมื่อเรานำวงจรกรองความถี่แบบแอ็กทีฟมาเปรียบเทียบกับวงจรความถี่แบบพาสซีฟพบว่าวงจรกรองความถี่แบบแอ็กทีฟมีข้อดี-ข้อเสียเมื่อเปรียบเทียบกัน คือ

ข้อดี

1. ไม่จำเป็นต้องใช้ตัวเหนี่ยวนำ (L) ซึ่งเป็นอุปกรณ์ที่มีราคาแพง ขนาดใหญ่ และมีความต้านทานสูง
2. มีขนาดเล็ก และน้ำหนักเบากว่า
3. ออกแบบและสังเคราะห์ง่าย และยังสามารถปรับแต่งความถี่ได้ง่าย
4. สามารถให้อัตราการขยาย (Gain) ได้
5. สามารถแยกวงจรกรองความถี่ แต่ละส่วนไม่ให้มีผลกระทบต่อกัน (Loading Effect)

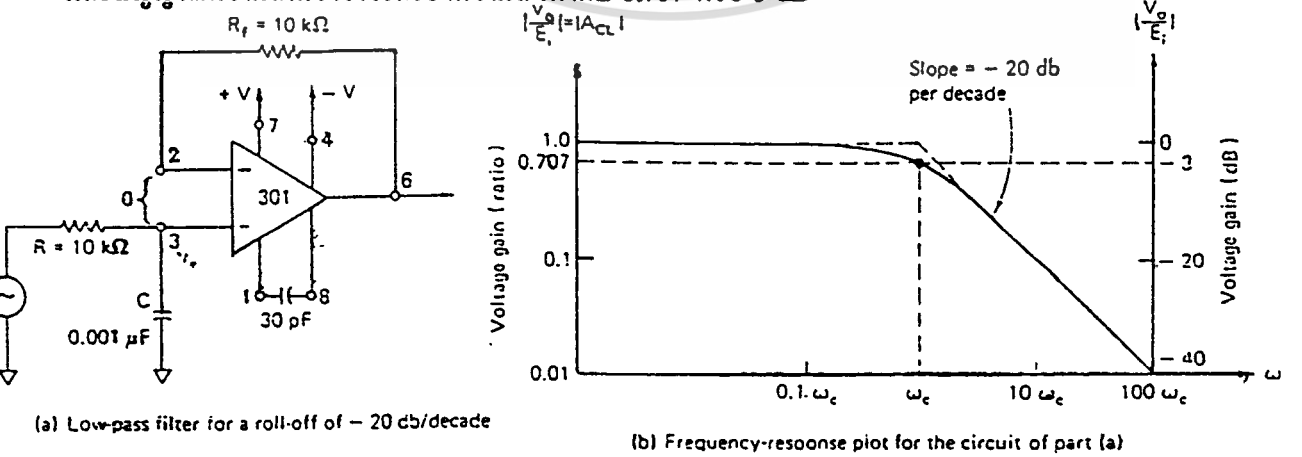
ข้อเสีย

1. มีขีดจำกัดทางด้านแรงดัน และกระแส
2. มีปัญหาที่จะต่อวงจรให้ลอย (Float) เมื่อเทียบกับดิน
3. มีปรากฏการณ์แทรกซ้อนอันเนื่องมาจากอุปกรณ์แอ็กทีฟ เช่น สัญญาณสั่น (Oscillate) , ออฟเซท (Offset)

แต่โดยทั่ว ๆ ไปแล้ววงจรกรองความถี่แบบแอ็กทีฟมีข้อดีมากกว่าข้อเสีย วงจรกรองความถี่แบบแอ็กทีฟเหมาะกับการใช้ในย่านความถี่ที่ไม่สูงนัก ขึ้นกับคุณสมบัติของอุปกรณ์แอ็กทีฟในวงจร เช่นออฟแอมป์

4.1 วงจรกรองความถี่ต่ำผ่าน (Active Low Pass Filter)

วงจรกรองความถี่ต่ำผ่าน เป็นวงจรที่ให้ความถี่ที่ต่ำกว่าความถี่คัทออฟ (Cuttoff Frequency) ผ่าน ในขณะที่ความถี่ที่สูงกว่าความถี่คัทออฟจะลดลง ความถี่คัทออฟ หรือความถี่มุม (Corner Frequency) เป็นความถี่ที่อัตราส่วนระหว่างสัญญาณความถี่ที่ออกจากวงจรกรองความถี่และสัญญาณความถี่ที่เข้าวงจรกรองความถี่ เท่ากับ 0.707 หรือ 3-dB



(a) Low-pass filter for a roll-off of − 20 db/decade

(b) Frequency-resoonse plot for the circuit of part (a)

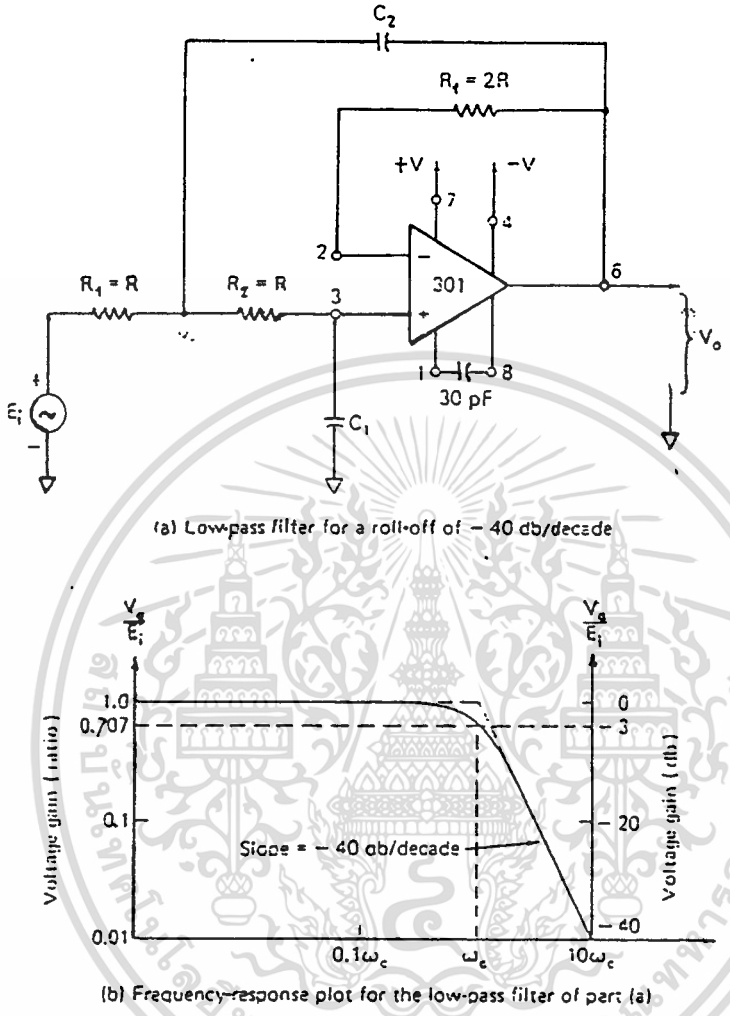
รูป 4.2 วงจรและผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านอันดับที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปความถี่คัทออฟ หาได้จาก

$$\omega_C = \frac{1}{2\pi RC}$$

วงจรกรองความถี่ต่ำผ่านอันดับที่ 2



รูป 4.3 วงจรและผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านอันดับที่ 2

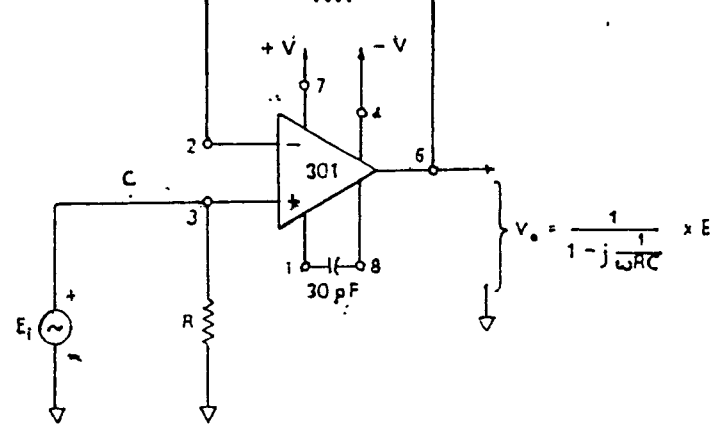
จากรูปความถี่คัทออฟ หาได้จาก

$$\omega_C = \frac{1}{2\sqrt{2}\pi RC}$$

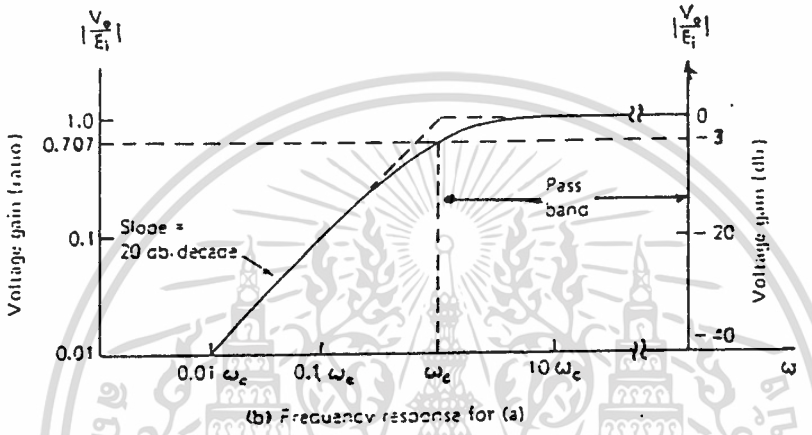
4.2 วงจรกรองความถี่สูงผ่าน (Active High Pass Filter)

วงจรกรองความถี่สูงผ่าน เป็นวงจรที่กำจัดความถี่ที่ต่ำกว่าความถี่คัทออฟ (Cuttoff Frequency) ในขณะที่ความถี่ที่สูงกว่าความถี่คัทออฟผ่านได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



(a) High-pass filter with a roll-off of 20 db/decade



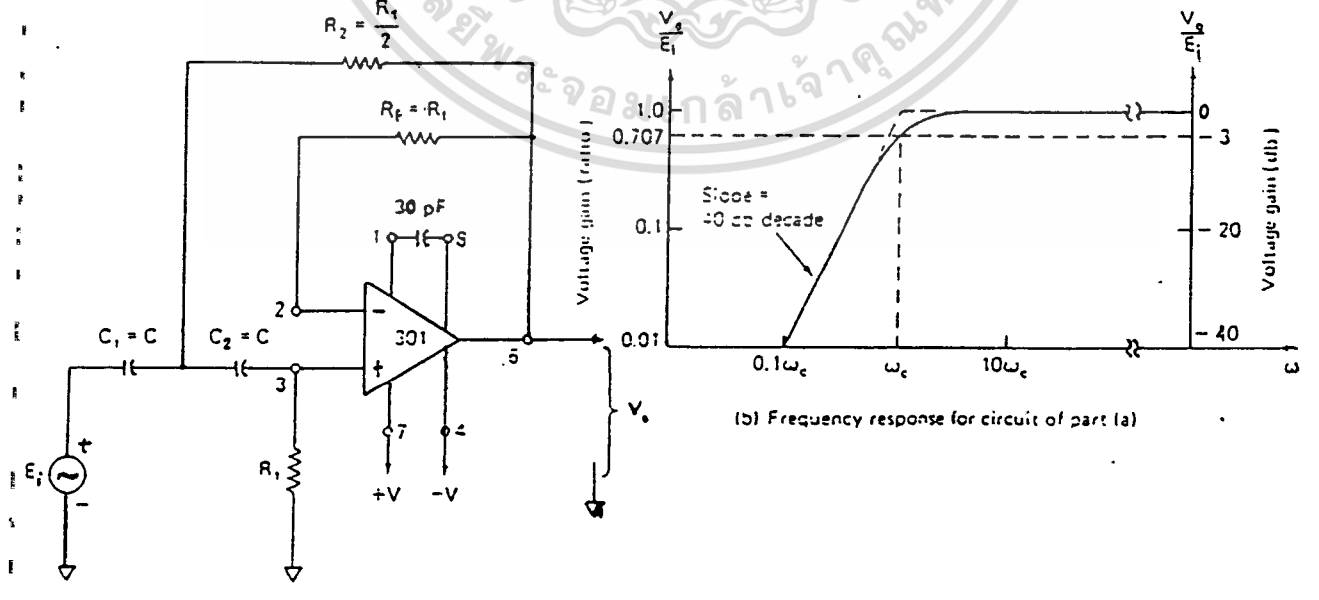
(b) Frequency response for (a)

รูป 4.4 วงจรและผลตอบสนองความถี่ของวงจรกรองความถี่สูงผ่านอันดับที่ 1

จากรูปความถี่คัทออฟ หาได้จาก

$$\omega_C = \frac{1}{2\pi RC}$$

วงจรกรองความถี่สูงผ่านอันดับที่ 2



(a) High-pass filter with a roll-off of 40 db/decade

(b) Frequency response for circuit of part (a)

รูป 4.5 วงจรและผลตอบสนองความถี่ของวงจรกรองความถี่สูงผ่านอันดับที่ 2

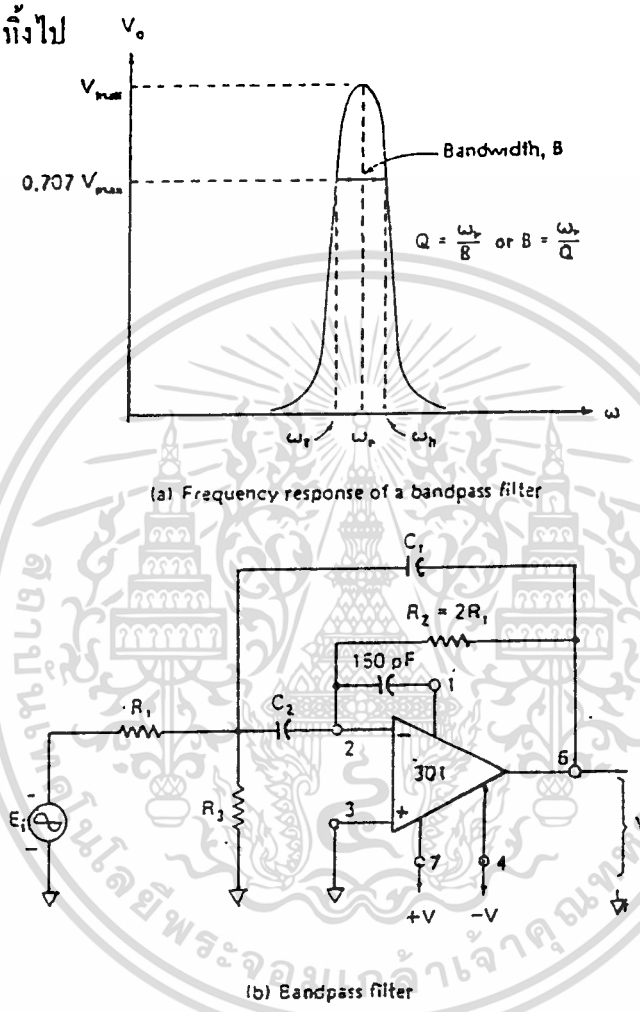
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปความถี่คัทออฟ หาได้จาก

$$\omega_c = \frac{1}{2\sqrt{2}\pi RC}$$

4.3 วงจรกรองความถี่ผ่านแถบ (Active Band Pass Filter)

วงจรกรองความถี่ผ่านแถบ เป็นวงจรที่ยอมให้ความถี่ช่วงที่เราต้องการผ่านเท่านั้น และกำจัดความถี่ในช่วงอื่นทิ้งไป



รูป 4.6 วงจรและผลตอบสนองความถี่ของวงจรกรองความถี่ผ่านแถบ

จากรูปของวงจรกรองความถี่ผ่านแถบจะมีค่าสัญญาณความถี่ที่ออกมามากที่สุดที่ความถี่ที่เรียกว่า ความถี่อภินาท (Resonant Frequency , ω_r) และจะมีความถี่คัทออฟ 2 ค่า ซึ่งเป็นความถี่ที่มากกว่า และน้อยกว่าความถี่อภินาท เรียกว่าความถี่คัทออฟค่าต่ำ (ω_l) และความถี่คัทออฟค่าสูง (ω_h)

ความแตกต่างระหว่างค่าความถี่คัทออฟค่าต่ำ และสูง จะเรียกว่า ค่าความกว้างแถบความถี่ (Bandwidth , B)

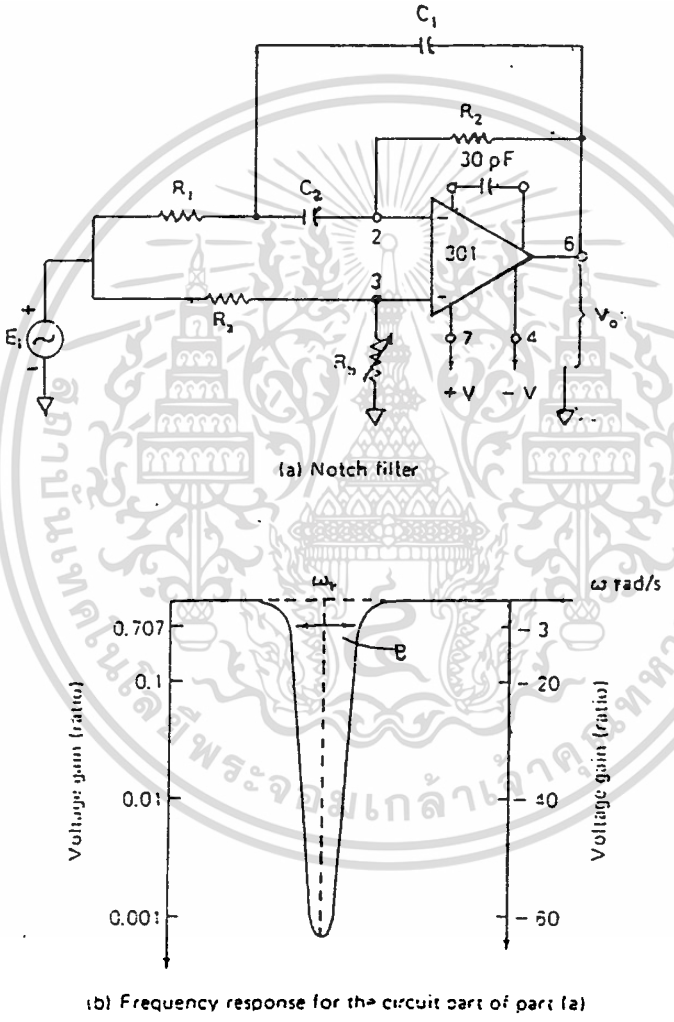
$$B = \omega_h - \omega_l$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

วงจรกรองความถี่ผ่านแถบจะแบ่งออกเป็นแบบผ่านแถบแคบ และแบบผ่านแถบกว้าง ขึ้นอยู่กับค่าอัตราส่วนระหว่างค่าความถี่อภินาทและความกว้างแถบความถี่ ซึ่งจะเรียกว่าสัมประสิทธิ์คุณภาพ (Quality Factor , Q) โดยวงจรกรองความถี่ผ่านแถบแคบ (Narrow-Band) จะมีค่า Q มากกว่า 10 และวงจรกรองความถี่ผ่านแถบกว้าง (Wide-Band) จะมีค่า Q น้อยกว่า 10

4.4 วงจรกรองความถี่หยุดแถบ (Active Band Elimination Filter , Notch Filter)

วงจรกรองความถี่หยุดแถบ เป็นวงจรที่ทำงานตรงข้ามกับวงจรกรองความถี่ผ่านแถบ คือจะกำจัดค่าความถี่ในช่วงที่เราต้องการกำจัดเท่านั้น และยอมให้ความถี่ในช่วงอื่นผ่านได้



รูป 4.7 วงจรและผลตอบสนองความถี่ของวงจรกรองความถี่หยุดแถบ

จากวงจรและผลตอบสนองความถี่ ค่าความถี่อภินาท , ความถี่คัทออฟต่ำ และความถี่คัทออฟสูงจะเหมือนกับของวงจรกรองความถี่ผ่านแถบ และเราสามารถนำสัมประสิทธิ์คุณภาพ(Q) มาแบ่งลักษณะของวงจรหยุดแถบเป็น 2 แบบได้เช่นเดียวกับของวงจรกรองความถี่ผ่านแถบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

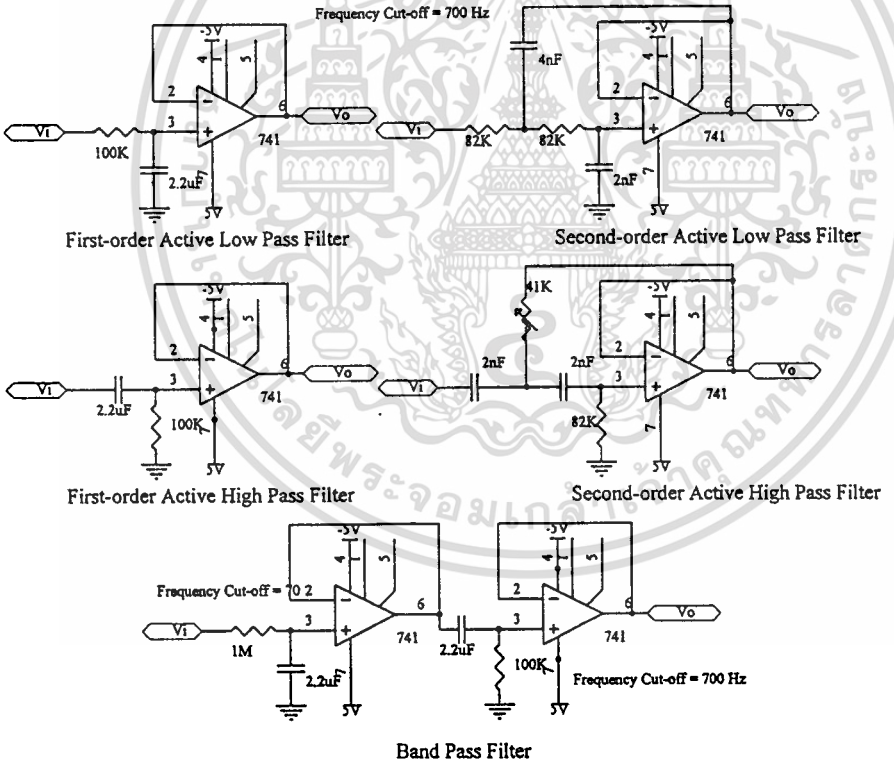
บทที่ 5

การทดลอง

การทดลองใช้เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า

ในการทดลองนี้ได้ทำการทดสอบเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้าในการวิเคราะห์วงจรกรองความถี่ทั้งหมด 6 วงจร คือ การทดลองกับวงจรขยาย (Gain) , วงจรกรองความถี่ต่ำผ่านอันดับที่ 1 และอันดับที่ 2 , วงจรกรองความถี่สูงผ่านอันดับที่ 1 และอันดับที่ 2 และวงจรกรองความถี่ผ่านแถบ โดยวงจรทั้งหกวงจรจะมีความถี่คัทออฟเท่ากับ 700 Hz

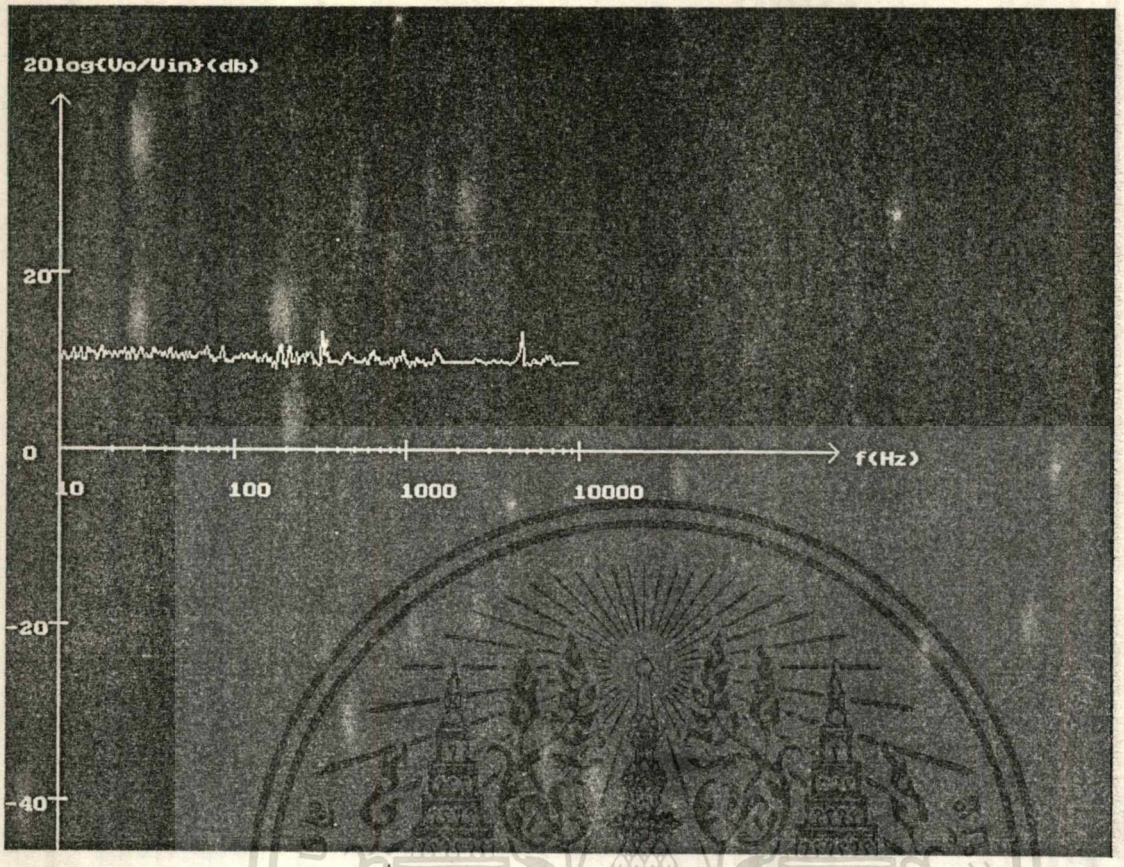
วงจรที่ใช้ในการทดลอง



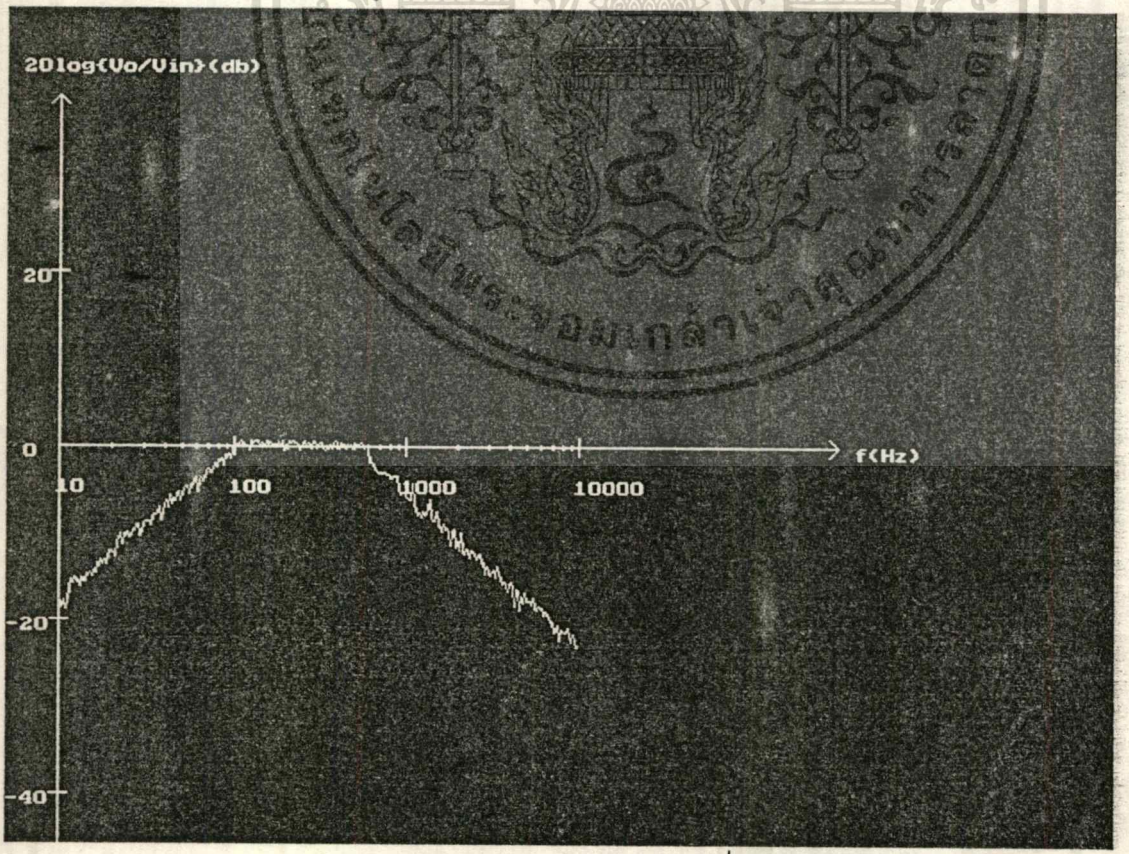
รูป 5.1 วงจรที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ผลการทดลองของวงจรขยาย และวงจรกรองความถี่ผ่านแถบ



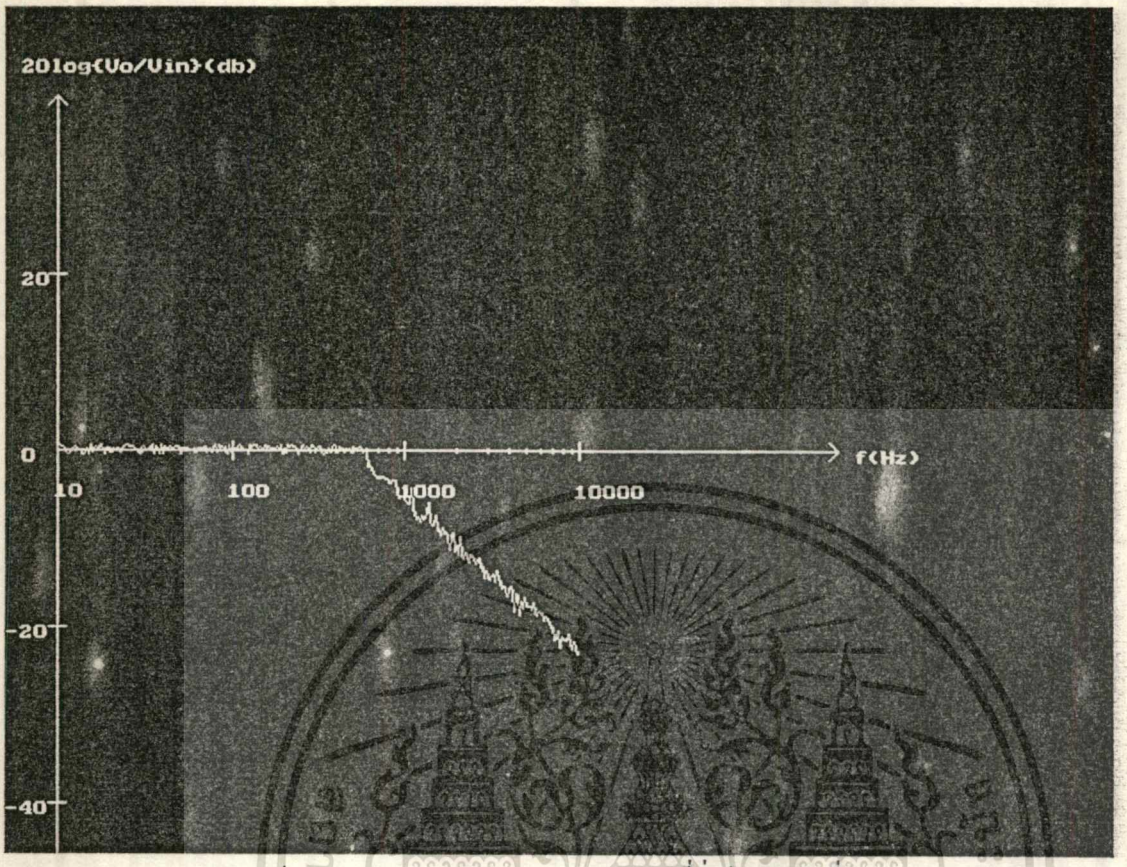
รูป5.2 ผลการทดลองของวงจรขยายเกน



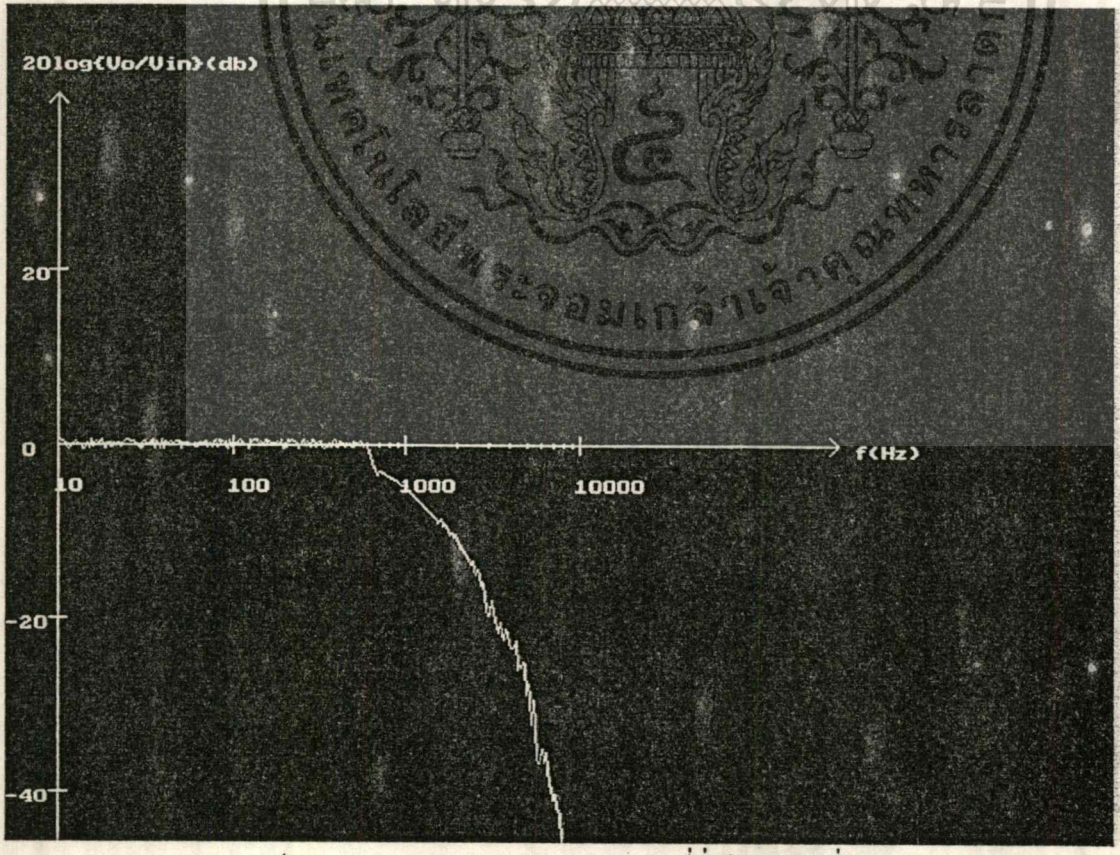
รูป 5.3 ผลการทดลองของวงจรกรองความถี่ผ่านแถบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ผลการทดลองของวงจรกรองความถี่ต่ำผ่านอันดับที่ 1 และอันดับที่ 2



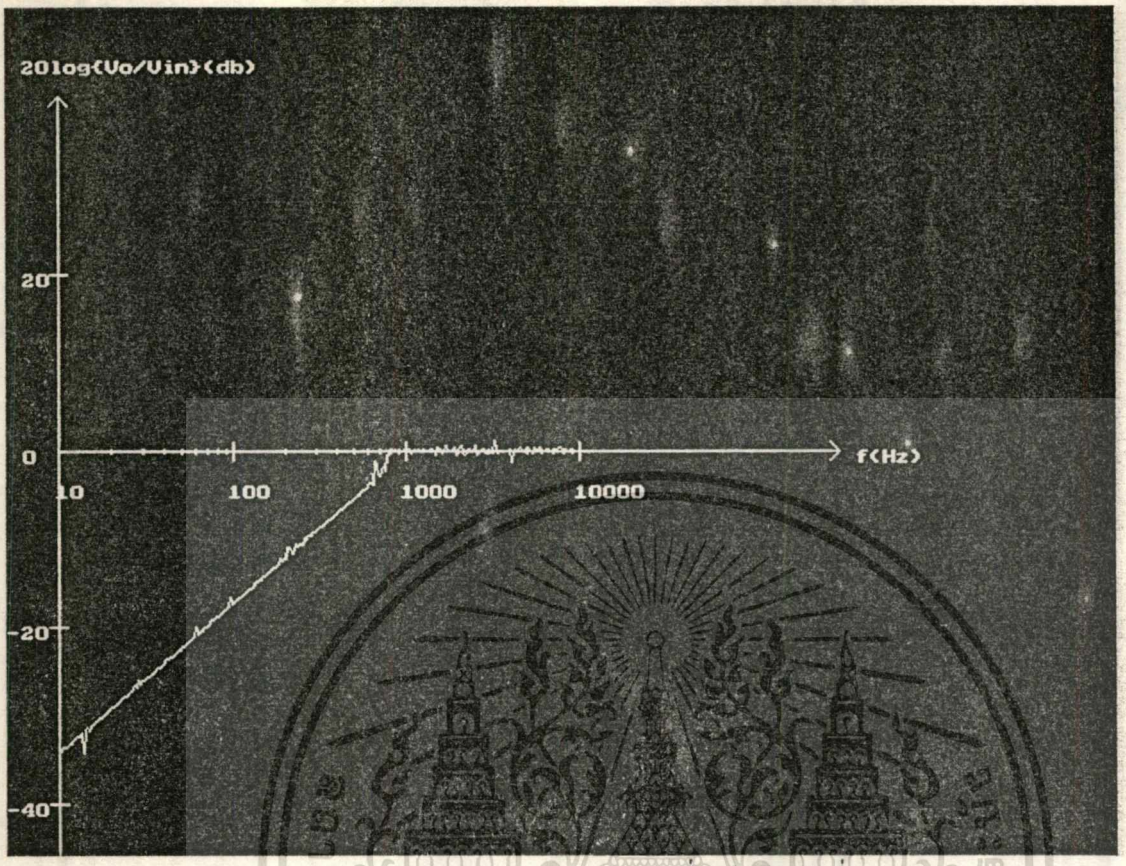
รูป 5.4 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านอันดับที่ 1



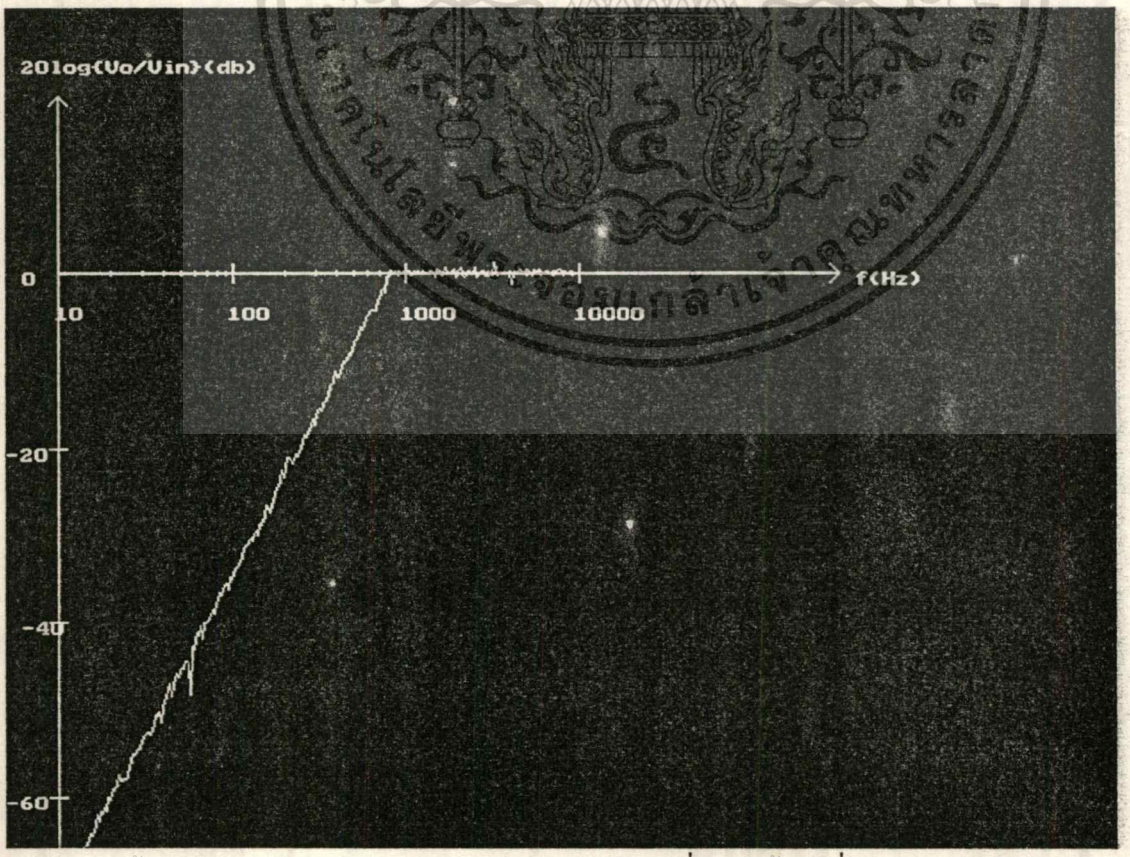
รูป 5.5 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านอันดับที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ผลการทดลองของวงจรกรองความถี่สูงผ่านอันดับที่ 1 และอันดับที่ 2



รูป 5.6 ผลการทดลองของวงจรกรองความถี่สูงผ่านอันดับที่ 1



รูป 5.7 ผลการทดลองของวงจรกรองความถี่สูงผ่านอันดับที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปและวิจารณ์

จากการทดลองเมื่อนำเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้ามาทำการทดลองกับวงจรต่าง ๆ ทั้งหมด 6 วงจร คือวงจรขยาย (Gain) , วงจรกรองความถี่ต่ำผ่าน อันดับที่ 1 และอันดับที่ 2 (First-order and Second-order Active Low Pass Filters) ,วงจรกรองความถี่สูงผ่าน อันดับที่ 1 และอันดับที่ 2 (First-order and Second-order Active High Pass Filter) และวงจรกรองความถี่ผ่านแถบ (Band-pass Filter) ได้ผลการทดลองดังบทที่ผ่านมา

ซึ่งเมื่อเทียบกับทฤษฎีแล้วพบว่าผลการทดลองได้ค่าที่ใกล้เคียงกับผลตอบสนองความถี่ของวงจรตามทฤษฎี และจะมีความคลาดเคลื่อนอันเนื่องมาจาก

1. ในส่วนของวงจรกวาดความถี่ ซึ่งใช้ IC XR-2206 พบว่ามีข้อผิดพลาดคือ IC XR-2206 ไม่ได้สร้างสัญญาณกวาดความถี่ที่เพิ่มขึ้นแบบเชิงเส้น(Linear)ตลอดช่วง ทำให้ในการสร้างสัญญาณกวาดความถี่ต้องเลือกช่วงที่ทำให้ความถี่ที่กวาดออกมาเป็นเชิงเส้นมากที่สุด ซึ่งอาจมีข้อผิดพลาดเกิดขึ้นขณะเลือกช่วงความถี่ และข้อผิดพลาดอีกประการหนึ่งของการใช้ IC XR-2206 คือเมื่อทำการกวาดสัญญาณความถี่ที่สูงขึ้นไป สัญญาณที่กวาดออกมาจะมีการลดทอน คือค่าแอมปริจูดของสัญญาณจะลดลง ซึ่งเป็นเหตุผลที่ทำให้เกิดความผิดพลาดขึ้นได้
2. ในส่วนของวงจรตรวจวัดสัญญาณ และการประมวลผล เนื่องจากการใช้ IC ในการตรวจวัดสัญญาณ ทำให้มีข้อจำกัดในเรื่องของความเร็วในการตรวจวัดสัญญาณซึ่งอยู่ที่ความสามารถในการรับค่าของ IC ที่ใช้เปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล ความเร็วและค่าคลาดเคลื่อนที่เกิดขึ้นสามารถลดหรือเพิ่มได้ขึ้นอยู่กับการเขียนโปรแกรมด้วย แต่เมื่อต้องการให้ค่าคลาดเคลื่อนลดลงอาจต้องใช้การตรวจจับที่เพิ่มขึ้นซึ่งทำให้ความเร็วของเครื่องในการวิเคราะห์ลดลงด้วย

จากการทดลองเมื่อมาวิเคราะห์แนวทางในการแก้ไข และปรับปรุงคุณสมบัติของเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า คือ

1. แก้ไขในส่วนของวงจรกวาดความถี่ให้มีเสถียรภาพและกวาดความถี่ได้มากขึ้น โดยการแก้ไขจะออกแบบวงจรกวาดความถี่ให้ดียิ่งขึ้น
2. แก้ไขในส่วนของการเขียนโปรแกรมให้สามารถตรวจสอบค่าสัญญาณที่เข้า และออกจากวงจรให้ได้ค่าที่ใกล้เคียงมากขึ้นและทำให้เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้าสามารถทำงานได้เร็วขึ้น โดยการแก้ไขที่อัลกอริทึม และวิธีในการตรวจสอบและวัดค่าสัญญาณ ในส่วนของโปรแกรม
3. ปรับปรุงให้เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้าสามารถวิเคราะห์ผลตอบสนองความถี่ของเฟสที่เปลี่ยนไประหว่างสัญญาณที่เข้าและออกจากวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

4. ปรับปรุงให้เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้าสามารถหาค่าความถี่คัทออฟ , ความถี่อภินาทของวงจร , ค่าความกว้างของแถบความถี่ (Bandwidth) และ ค่า Q ของเครือข่ายวงจรไฟฟ้าได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ทำซ้ำ ดัดแปลง หรือนำไปเผยแพร่ต่อ

ภาคผนวก ก

การ์ดอินเทอร์เฟส (ET-DIO CARD)

โปรแกรมการทำงานของเครื่องวิเคราะห์เครือข่ายวงจรไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ET - DIGITAL INPUT / OUTPUT CARD (ET - DIO CARD)

ลักษณะทั่ว ๆ ไปของ ET-DIO CARD

ET-DIO CARD เป็นลักษณะของการ์ดพีซีใช้เชื่อมต่อกับเครื่องคอมพิวเตอร์เพื่อขยายระบบอินพุทและเอาท์พุท ให้ใช้งานได้มากยิ่งขึ้นซึ่ง ET-DIO CARD สามารถที่จะรับสัญญาณอินพุทและให้สัญญาณเอาท์พุทออกมาได้ทั้งในรูปของอนาล็อกและดิจิตอล ทำให้มีความอ่อนตัวในการนำไปประยุกต์ใช้งานในด้านต่าง ๆ ได้มากยิ่งขึ้น ซึ่ง ET-DIO CARD มีอุปกรณ์ร่วมและมีจุดเด่น ๆ ของตัวมันเองดังนี้คือ

- มีไอซี 8255 (Programmable Pheripheral Interface) จำนวน 1 ตัว ซึ่งสามารถที่จะใช้โปรแกรมให้เป็นได้ทั้งอินพุทและเอาท์พุทตามความต้องการของผู้ใช้เองได้ทั้งหมด 3 พอร์ต หรือ 24 บิต I/O ในรูปของสัญญาณดิจิตอลนั่นเอง

- มีไอซี 8253 (Programmable Interval Timer) จำนวน 1 ตัวทำให้ ET-DIO CARD สามารถที่จะประยุกต์ใช้งานเกี่ยวกับระบบฐานเวลาต่าง ๆ ได้มากมาย ซึ่ง IC 8253 นี้มีโครงสร้างภายในให้ใช้งานถึง 3 แชนแนล และแต่ละแชนแนลทำงานแยกจากกันอย่างอิสระ

- มีไอซี ADC (Analog to Digital Converter) จำนวน 1 ตัว ซึ่งสามารถที่จะเลือกใช้ได้ถึง 2 เบอร์ คือ ADC0804 (8 บิต) หรือ ADC1001 (10 บิต) ซึ่งทำให้ ET-DIO CARD สามารถที่จะประยุกต์ใช้งานในการตรวจจับ หรือการวัดสัญญาณหรือรับสัญญาณอินพุทในรูปของสัญญาณอนาล็อกได้ 1 แชนแนล ซึ่งขนาดของสัญญาณ Analog ที่รับเข้ามาสามารถที่จะรับได้โดยตรงสูงถึง 5Vdc หรือมากกว่าโดยเพิ่มวงจรขยายย่านวัดเข้าไปอีกเล็กน้อย ทำให้ ET-DIO CARD สามารถประยุกต์ใช้เป็นเครื่องมือวัดสัญญาณต่าง ๆ ได้มากมาย ซึ่งผลของการวัดแบบต่าง ๆ สามารถที่จะนำมาเก็บเป็นแฟ้มข้อมูลหรือแสดงผลในรูปแบบอื่น ๆ ได้ตามต้องการโดยผู้ใช้เขียนโปรแกรมควบคุมเอง

- มีไอซี DAC (Digital to Analog Converter) จำนวน 1 ตัว ซึ่งสามารถเลือกใช้ได้ถึง 2 เบอร์ คือ DAC0832 (8 บิต) หรือ DAC1232 (12 บิต) ซึ่งเลือกได้โดยการ Set Jumper JP1 ทำให้ ET-DIO CARD สามารถที่จะประยุกต์ใช้ในงานควบคุมต่าง ๆ โดยส่งสัญญาณในรูปของ Analog ออกไปควบคุมอุปกรณ์ภายนอก ซึ่งขนาดของสัญญาณ Analog มีวงจร OP - AMP เพื่อขยายขนาดของสัญญาณอยู่แล้วซึ่งผู้ใช้สามารถปรับขนาดของสัญญาณได้ตั้งแต่ 0 V - 10.66 Vdc

- มีวงจรถอดรหัสตำแหน่งของพอร์ตที่จะใช้งาน ทำให้สะดวกในการเปลี่ยนแปลงตำแหน่งของพอร์ตที่จะใช้งานได้ง่ายโดยการ SET DIP-SWITCH ทำให้มีความอ่อนตัวในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้งานและสามารถที่จะนำ ET-DIO CARD ต่อร่วมกับเครื่อง PC ได้มากกว่า 1 CARD โดยกำหนดพอร์ตใช้งานที่แตกต่างกัน

- มี Working Arear มากถึง 5 CM x 9 CM ทำให้มีพื้นที่ว่างใช้งานมากยิ่งขึ้นจึงทำให้ผู้ใช้สามารถที่จะประยุกต์ใช้งานต่อวงจรหรือเพิ่มเติมอุปกรณ์ต่าง ๆ ได้มากมายและสะดวกยิ่งขึ้น

<u>การ DECODE PORT</u>

ตำแหน่งของพอร์ตบน ET-DIO CARD จะใช้ IC TTL 74LS688 (U3) , 74LS139 (U4) , 74LS32 (U7) , SWITCH DIP-8 (SW1) ต่อร่วมกันเป็นวงจร DECODE PORT โดยใช้ SWITCH1 เป็นตัวกำหนดเบอร์พอร์ตตามความต้องการของผู้ใช้ โดยใน ET-DIO CARD จะใช้ตำแหน่งของพอร์ตทั้งหมด 12 พอร์ต คือ

XX0H = Port PA ของ 8255
XX1H = Port PB ของ 8255
XX2H = Port PC ของ 8255
XX3H = Port Control ของ 8255
XX4H = Port Counter0 ของ 8253
XX5H = Port Counter1 ของ 8253
XX6H = Port Counter2 ของ 8253
XX7H = Port Control ของ 8253
XX8H = Port Control ของ DAC
XX9H = Port Control ของ DAC
XXAH = Port Control ของ ADC
XXBH = Port Control ของ ADC

เราสามารถที่จะกำหนดเบอร์พอร์ตได้โดยการกำหนดระดับ Logic ให้กับตำแหน่ง ADDRESS นั้น ๆ ตามความต้องการ ซึ่งบน ET-DIO CARD สามารถที่จะกำหนดระดับของ Logic ให้กับตำแหน่ง ADDRESS ใด ๆ โดยใช้ SWITCH1 ซึ่งหาก ON SWITCH จะได้ระดับ Logic " 0 " หาก OFF SWITCH จะได้ระดับ Logic " 1 "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

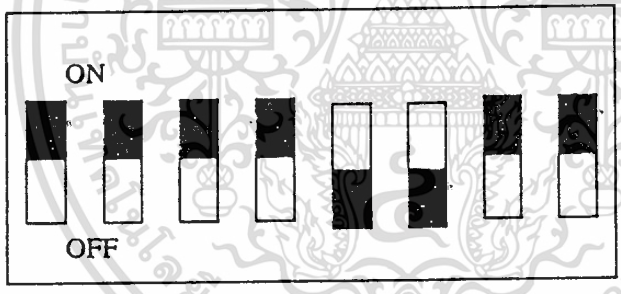
ตัวอย่างเช่น ถ้าเราต้องการกำหนดตำแหน่ง Port ADRESS เป็น 300H สามารถที่จะทำได้ดังนี้คือ

1. กำหนดระดับ Logic ให้กับ ADDRESS ต่าง ๆ ให้เท่ากับ 300H คือ

A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	1	1	0	0	0	0	X	X	X	X
		3			0			0			

จะเห็นได้ว่าที่ตำแหน่ง Port 300H เราต้องให้ Logic " 1 " กับตำแหน่ง ADDRESS A8,A9 และต้องให้ Logic " 0 " กับ ADDRESS A11,A10,A7,A6,A5,A4 (ซึ่ง A4 - A11 ถูกต่อไว้กับ Dip-Switch SW1) ส่วน A0 - A3 ถูก DECODE ด้วยไอซี 74LS139 อีกทีหนึ่ง ดังนั้น SW1 จึงมีหน้าที่เลือก ADDRESS เพียงสองหลักเท่านั้น

2. SET SWITCH เพื่อกำหนด Logic ให้ตำแหน่ง ADDRESS ตามข้อ 1.



A4 A5 A6 A7 A8 A9 A10 A11

<u>การใช้งาน 8255 (Programmable Pheripheral Interface)</u>

ไอซี 8255 (Programmable Pheripheral Interface) ประกอบด้วยพอร์ตใช้งานถึง 3 พอร์ตและพอร์ตควบคุม (CONTROL PORT) อีก 1 พอร์ต รวมเป็น 4 พอร์ต ซึ่งไอซี 8255 สามารถที่จะโปรแกรมให้เป็นได้ทั้งอินพุทและเอ้าท์พุทได้ทั้ง 3 พอร์ตหรือ 24 บิต I/O โดยการกำหนดที่พอร์ตควบคุม (CONTROL PORT) ซึ่งการโปรแกรมเพียงแต่ส่งค่า Control Word Code ไปให้พอร์ตควบคุมเพื่อกำหนดการทำงานของ 8255 ซึ่งมีรายละเอียดดังนี้ คือ

D0 ใช้สำหรับกำหนดการทำงานของพอร์ต C ล่าง (PC0 - PC3) คือ

ถ้าเป็น 1 หมายถึงให้เป็น Input

ถ้าเป็น 0 หมายถึงให้เป็น Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D1 ใช้สำหรับกำหนดการทำงานของพอร์ต B (PB0 - PB7) คือ

ถ้าเป็น 1 หมายถึงให้เป็น Input

ถ้าเป็น 0 หมายถึงให้เป็น Output

D2 ใช้สำหรับกำหนดโหมดการทำงานของพอร์ต C ล่างและพอร์ต B คือ

ถ้าเป็น 1 หมายถึงให้พอร์ต C ล่างและพอร์ต B ทำงานในโหมด 0

ถ้าเป็น 0 หมายถึงให้พอร์ต C ล่างและพอร์ต B ทำงานในโหมด 1

D3 ใช้สำหรับกำหนดการทำงานของพอร์ต C บน (PC4 - PC7) คือ

ถ้าเป็น 1 หมายถึงให้เป็น Input

ถ้าเป็น 0 หมายถึงให้เป็น Output

D4 ใช้สำหรับกำหนดการทำงานของพอร์ต A (PA0 - PA7) คือ

ถ้าเป็น 1 หมายถึงให้เป็น Input

ถ้าเป็น 0 หมายถึงให้เป็น Output

D6,D5 ใช้สำหรับกำหนดโหมดการทำงานของพอร์ต C ล่างและพอร์ต A คือ

ถ้าเป็น 00 หมายถึงให้พอร์ต C บนและพอร์ต A ทำงานในโหมด 0

ถ้าเป็น 01 หมายถึงให้พอร์ต C บนและพอร์ต A ทำงานในโหมด 1

ถ้าเป็น 1X หมายถึงให้พอร์ต C บนและพอร์ต A ทำงานในโหมด 2

D7 ใช้สำหรับกำหนด MODE SET FLAG คือ

ถ้าเป็น 1 หมายถึง ACTIVE ซึ่งต้องกำหนดให้บิทนี้เป็น 1 เสมอ

ถ้าเป็น 0 หมายถึง NON - ACTIVE

เมื่อได้ Control Word Code แล้วการโปรแกรมให้ 8255 ทำงานตาม Control Word Code ก็เพียงแต่ส่งค่า Control Word Code ไปยังพอร์ตควบคุม (Control Port) การโปรแกรมจะทำเพียงครั้งเพียงเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

JP7 8253 SET-UP ในส่วนของ JP7 ใช้เลือกสัญญาณให้ 8253 ซึ่งมีทั้งหมด 2 กลุ่มสัญญาณ OUTPUT และกลุ่มสัญญาณ GATE ซึ่งมีรายละเอียดดังนี้ คือ

กลุ่มของสัญญาณ OUTPUT ใช้เลือกว่าจะให้สัญญาณ OUTPUT ของ 8253 ซึ่งมีทั้งหมด 3 OUTPUT (OUT0 , OUT1 และ OUT2) ออกไปใช้งานควบคุมอุปกรณ์อื่น ๆ ภายนอกหรือส่งสัญญาณไป Interrupt เครื่อง PC การ SET ทำได้ดังนี้คือ

Channal	OUT = IRQ. Signal		OUT = EXT. Signal	
Output	Jumper JP7 SET		Jumper JP7 SET	
Channal 0	SHORT	OPEN	SHORT	OPEN
(OUT0)	1 - 2	2 - 3	2 - 3	1 - 2
Channal 1	SHORT	OPEN	SHORT	OPEN
(OUT1)	4 - 5	5 - 6	5 - 6	4 - 5
Channal 2	SHORT	OPEN	SHORT	OPEN
(OUT2)	7 - 8	8 - 9	8 - 9	7 - 8

กลุ่มของสัญญาณ GATE ใช้เลือกว่าจะให้สัญญาณ GATE ของ 8253 ซึ่งมีทั้งหมด 3 Channal (GATE0 , GATE1 และ GATE2) ทำงานตลอดเวลาตามสัญญาณนาฬิกาที่ป้อนเข้ามาเพียงอย่างเดียว (เหมาะที่จะใช้กับกรณีที่โปรแกรมให้ 8253 ทำงานสร้างสัญญาณ Interrupt หรือโหมดอื่นๆ ที่ไม่ต้องการการควบคุมจากภายนอก) หรือจะให้สัญญาณ GATE ถูกควบคุมจากสัญญาณภายนอก การ SET ทำได้ดังนี้คือ

Channal	GATE = VCC. Signal		GATE = EXT. Signal	
Output	Jumper JP7 SET		Jumper JP7 SET	
Channal 0	SHORT	OPEN	SHORT	OPEN
(GATE0)	10 - 11	11 - 12	11 - 12	10 - 11
Channal 1	SHORT	OPEN	SHORT	OPEN
(GATE1)	13 - 14	14 - 15	14 - 15	13 - 14
Channal 2	SHORT	OPEN	SHORT	OPEN
(GATE2)	16 - 17	17 - 18	17 - 18	16 - 17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

JP4 VI - Select ใช้เลือก VI - ให้ ADC โดยเลือกระหว่างให้ VI - ของ ADC = 0 V (GROUND) หรือ VI - จากภายนอกที่ต่อเข้ามาทาง CN2

VI - Select	การจัดการต่าง ๆ เกี่ยวกับ	
Source	Jumper JP4	
0 V Reference	SHORT	OPEN
(Ground)	1 - 2	2 - 3
External	OPEN	SHORT
Reference	1 - 2	2 - 3

JP5 Vref / 2 Select ใช้สำหรับเลือกแรงดันอ้างอิง (Vref / 2) ให้กับ ADC ระหว่างแรงดันอ้างอิงมาตรฐาน 2.50 Vdc บน ET-DIO CARD เอง หรือแรงดันอ้างอิงจากภายนอกซึ่งต่อเข้ามาทาง CN2

Vref / 2 Select	การจัดการต่าง ๆ เกี่ยวกับ	
Source	Jumper JP5	
2.50 V Reference	SHORT	OPEN
(Internal)	1 - 2	2 - 3
External	OPEN	SHORT
Reference	1 - 2	2 - 3

JP6 Interrupt Number Select ใช้สำหรับเลือกเบอร์ของสัญญาณ Interrupt ที่ต้องการจะส่งให้เครื่อง PC มีรายละเอียดดังนี้คือ

เบอร์ Interrupt	JP6 Short	เบอร์ Interrupt	JP6 Short
IRQ 2	11 - 12	IRQ 5	5 - 6
IRQ 3	1 - 2	IRQ 6	7 - 8
IRQ 4	3 - 4	IRQ 7	9 - 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

JP2 ADC Select Mode ใช้สำหรับเลือกโหมดการทำงานของไอซี ADC ว่าจะให้ทำงานในโหมดปกติ (Free Run) หรือโหมดอินเทอร์รัพท์ (Interrupt) โดยมีวิธีการ SET ดังนี้คือ

Mode	การจัดการต่าง ๆ เกี่ยวกับ Jumper JP2						
FREE RUN	OPEN	OPEN	OPEN	OPEN	SHORT	SHORT	SHORT
SHORT							
Mode	1 - 2	3 - 4	5 - 6	7 - 8	9 - 10	11 - 12	13 - 14
15 - 16							
INTERRUPT	SHORT	SHORT	SHORT	SHORT	OPEN	OPEN	OPEN
OPEN							
Mode	1 - 2	3 - 4	5 - 6	7 - 8	9 - 10	11 - 12	13 - 14
15 - 16							

JP3 Interrupt Select ใช้เลือกแหล่งกำเนิดสัญญาณ Interrupt โดยเลือกว่าจะใช้สัญญาณ Interrupt จาก ADC หรือ 8253 โดยมีวิธีการดังนี้คือ

Interrupt Source	การจัดการต่าง ๆ เกี่ยวกับ Jumper JP1	
Interrupt จาก ADC	SHORT 1 - 2	OPEN 2 - 3
Interrupt จาก 8253	OPEN 1 - 2	SHORT 2 - 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

อิง ซึ่งขนาดของแรงดันอ้างอิงนี้กำหนดให้มีขนาด = 2.50V โดยใช้เป็นค่าแรงดันอ้างอิงของไอซี DAC และไอซี ADC ซึ่งการปรับแต่งค่าแรงดันอ้างอิงนี้ทำได้โดยการใช้โวลท์มิเตอร์วัดเทียบระหว่าง GND และจุดกำเนิดแรงดันอ้างอิง 2.50V (ขา 8 ของ DAC0832 หรือขา 1 ของ JP5) แล้วทำการปรับ VR1 จนได้แรงดัน 2.50Vdc พอดี

** หมายเหตุ ** ถ้าค่าแรงดันอ้างอิงนี้ไม่เที่ยงตรงจะมีผลต่อค่าพารามิเตอร์ต่าง ๆ ที่เกี่ยวกับไอซี DAC และไอซี ADC อาจทำให้ผลการวัดต่าง ๆ ได้ค่าที่ผิดพลาดตามไปด้วย

<u>การปรับแต่งขนาดของสัญญาณ Analog</u>

สัญญาณ Analog ที่ได้จาก IC DAC มีวงจร OP-AMP เพื่อทำการขยายให้มีขนาดสัญญาณสูงขึ้นเพื่อให้เกิดความสะดวกในการใช้งานด้านต่าง ๆ ได้ดีขึ้น ซึ่งขนาดของสัญญาณนี้สามารถกำหนดและปรับแต่งได้ตั้งแต่ 0 - 10.6V โดยประมาณ การปรับแต่งขนาดของสัญญาณ Analog ของ DAC ทำได้โดย

1. กำหนดค่าของสัญญาณสูงสุดที่ต้องการใช้
2. ส่งค่า DATA = FFH ให้ Port Control ของ DAC (xx8 OR xx9)
3. ปรับ VR2 ให้ได้ขนาดของสัญญาณตามต้องการ

** หมายเหตุ ** การปรับขนาดของสัญญาณ Analog ต้องทำหลังจากปรับแต่งแรงดันอ้างอิง Vref 2.50Vdc เรียบร้อยแล้วจึงจะได้ผลที่แน่นอน

JP1 DAC Select ใช้สำหรับเลือกเบอร์ของไอซี DAC (U10) ว่าจะใช้ไอซี DAC ขนาด 8 Bits (DAC0832) หรือ 12 Bits (DAC1232) โดยมีวิธีการ SET ดังนี้คือ

เบอร์ของ ไอซี DAC	การจัดการต่าง ๆ เกี่ยวกับ Jumper JP1			
DAC0832	OPEN	OPEN	SHORT	SHORT
8 bits	1 - 2	3 - 4	5 - 6	7 - 8
DAC123	SHORT	SHORT	OPEN	OPEN
12 bits	1 - 2	3 - 4	5 - 6	7 - 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

คือ DAC0832 (8 Bits) หรือ DAC1232 (12 Bits) ตัวใดตัวหนึ่งโดยการเลือกที่ Jumper JP1

ซึ่งการควบคุมขนาดของสัญญาณ Analog Output นั้นทำได้โดยการส่งค่า DATA ออกไปยังพอร์ตควบคุมของไอซี DAC (Port Control DAC) ซึ่งอัตราส่วนของขนาดสัญญาฯ Analog Output ที่ได้นั้นจะเปลี่ยนแปลงอย่างเป็นเชิงเส้น (Linear) นั่นคือ

ถ้าส่งค่า DATA ค่า FFH จะได้ขนาดสัญญาณ Output สูงสุด

ถ้าส่งค่า DATA ค่า 7FH จะได้ขนาดสัญญาณ Output ครึ่งหนึ่ง

ถ้าส่งค่า DATA ค่า 00H จะได้ขนาดสัญญาณ Output ต่ำสุด

ซึ่งขนาดของสัญญาณ Analog Output นั้นมีความละเอียดถึง 256 ค่าจากย่านความกว้างของสัญญาณทั้งหมด (Range) หรือคำนวณได้จากสูตร

ความละเอียดของช่วงสัญญาณ = (Vmax - Vmin) / 256

ตัวอย่างเช่น ต้องการขนาดสูงสุดของสัญญาณ 10 V โดยให้ขนาดต่ำสุดของสัญญาณเป็น 0 V จะได้ความละเอียดของสัญญาณเป็น 0.0390625 V

CN1 เป็น Connector ขนาด 34 Pin มาตรฐาน ETT ใช้เป็นจุดเชื่อมของสัญญาณอินพุท / เอ้าต์พุท ระหว่าง 8255 และ อุปกรณ์ภายนอก

CN2 เป็น Connector ขนาด 20 Pin ใช้เป็นจุดเชื่อมต่อของสัญญาณระหว่าง 8253 , ADC และ DAC กับอุปกรณ์ภายนอก

การ SETUP และการปรับแต่งต่าง ๆ เกี่ยวกับ ET-DIO CARD

การปรับแต่งแรงดันอ้างอิง (2.50V บน ET-DIO CARD)

ET-DIO CARD มีวงจรควบคุมแรงดันอ้างอิงซึ่งประกอบอยู่ในตัวเรียบร้อยแล้วซึ่งใช้ไอซี LM336 เป็นอุปกรณ์หลักโดยมีตัวต้านทานปรับค่าได้ (VR1) เป็นตัวปรับแต่งค่าแรงดันอ้าง

ถ้าสัญญาณ Analog ที่รับเข้ามามีค่าเท่ากับ VI- จะได้ DATA = 00H

ซึ่งอัตราการเปลี่ยนแปลงของ DATA ที่มีต่อขนาดของสัญญาณจะเป็นเชิงเส้นตลอด (Linear) ซึ่งขนาดของสัญญาณ Vref/2 ผู้ใช้สามารถเลือกได้โดย JP5 กล่าวคือถ้าผู้ใช้ Short ที่ตำแหน่ง 1-2 จะได้ Vref/2 = 2.50 V ถ้า Short ที่ตำแหน่ง 2-3 ขนาดของสัญญาณ Vref/2 จะขึ้นอยู่กับขนาดที่ผู้ใช้กำหนดเองจากภายนอกที่ต่อมาจาก Connect CN2 ซึ่งขนาดของ Vref/2 ที่ผู้ใช้ป้อนเข้ามาต้องมีค่ามากกว่า 0 V และไม่ควรเกิน 2.50 V ด้วยเช่นกัน

ตัวอย่างเช่น ผู้ใช้เลือก VI- เท่ากับ 0 V (JP4 Short ที่ตำแหน่ง 1-2) และเลือก Vref/2 เท่ากับ 2.50 V (JP5 Short ที่ตำแหน่ง 1-2) แล้วจะได้ว่าช่วงของสัญญาณ Analog Input จะต้องอยู่ระหว่าง 0 V - 5.0 V เท่านั้นซึ่งความละเอียดของแต่ละช่วงสัญญาณที่รับเข้ามามีความละเอียดถึง 256 ระดับ นั่นคือ

ถ้าสัญญาณ Analog Input มีค่าเท่ากับ 0 V จะได้ DATA เท่ากับ 00H

ถ้าสัญญาณ Analog Input มีค่าเท่ากับ 2.50 V จะได้ DATA เท่ากับ 7FH

ถ้าสัญญาณ Analog Input มีค่าเท่ากับ 5.0 V จะได้ DATA เท่ากับ FFH

ดังนั้นจะได้ความละเอียดของสัญญาณ = (5 V - 0 V) / 256

= 0.0195 V

หรืออาจกล่าวได้ว่า ผู้ใช้สามารถรับสัญญาณได้ตั้งแต่ 0V - 5.0V โดยมีความแตกต่างของแต่ละช่วง (Step) เป็น 0.0195V

หรืออีกกรณีหนึ่งคือ หากผู้ใช้เลือก VI- เท่ากับ 0.50 V จากภายนอกซึ่งต่อเข้ามาทาง Connector CN2 (JP4 Short ที่ตำแหน่ง 2-3) และเลือก Vref/2 เท่ากับ 1.50V (JP5 Short ที่ตำแหน่ง 2-3) แล้วจะได้ว่าช่วงของสัญญาณ Analog Input จะต้องอยู่ระหว่าง 0.50 V - 3.0V นั่นเอง

สำหรับไอซี ADC บน ET-DIO CARD สามารถเลือกโหมดการทำงานได้ทั้งหมด 2 โหมดการทำงาน โดยการเลือกที่ Jumper JP2 คือ

- โหมดการทำงานปรกติ (Free Run Mode)
- โหมดอินเทอร์รัพท์ (Interrupt Mode)

<u>การใช้งาน DAC (Digital To Analog Converter)</u>

ไอซี DAC มีลักษณะการทำงานที่ตรงกันข้ามกับไอซี ADC กล่าวคือมันจะทำหน้าที่เปลี่ยนสัญญาณ Digital ให้เป็นสัญญาณ Analog ซึ่งนิยมใช้งานในด้านการควบคุมต่าง ๆ ซึ่งบน ET-DIO CARD มีไอซี DAC ให้ใช้งาน 1 ตัว โดยสามารถที่จะเลือกใช้ได้ 2 เบอร์

บิท D3,D2,D1 (M2,M1,M0) : Mode ใช้สำหรับเลือกโหมดการทำงานของ 8253 คือ

M2	M1	M0	โหมดการทำงาน
0	0	0	โหมด 0 : Interrupt On Terminal
0	0	1	โหมด 1 : Progrannable One-Shot
X	1	0	โหมด 2 : Rate Generator
X	1	1	โหมด 3 : Square Wave Generator
1	0	0	โหมด 4 : Software Trigger Stobe
1	0	1	โหมด 5 : Hareware Trigger Stobe

BCD : ใช้กำหนดการลดค่าข้อมูลในรีจิสเตอร์เค้าน์เตอร์ กล่าวคือ
ถ้าเป็น 1 ค่าของข้อมูลในรีจิสเตอร์เค้าน์เตอร์จะถูกลดลงแบบ BCD
ถ้าเป็น 0 ค่าของข้อมูลในรีจิสเตอร์เค้าน์เตอร์จะถูกลดลงแบบ Binary

<u>การใช้งาน ADC (Analog To Digital Converter)</u>

ไอซี ADC0804 เป็นไอซีที่ทำหน้าที่รับสัญญาณอินพุทในรูปของ Analog แล้วเปลี่ยนเป็น Digital เพื่อส่งให้ CPU ประมวลผล ซึ่งสามารถที่จะประยุกต์ใช้งานในการเชื่อมต่อ (Interface) กับอุปกรณ์ภายนอกที่ให้สัญญาณเป็น Analog ซึ่ง ET-DIO CARD สามารถรับสัญญาณ Analog ได้โดยตรงถึง 5 Vdc หรือมากกว่าโดยผู้ใช้เพียงเพิ่มเติมวงจรขยายย่านวัดเช่นเดียวกับเครื่องวัดทั่ว ๆ ไป ซึ่งขนาดของสัญญาณ Analog ที่รับเข้ามานั้นสามารถกำหนดแถบความกว้าง (Range) ของสัญญาณได้โดยการควบคุมขนาดของ VI- และ Vref/2 ซึ่ง VI- จะเป็นตัวกำหนดจุดเริ่มต้นหรือค่าต่ำสุดของสัญญาณที่รับเข้ามาโดยบน ET-DIO CARD ผู้ใช้สามารถเลือกได้โดย JP4 คือถ้า Short JP4 ที่ตำแหน่ง 1-2 (Ground) จะทำให้สัญญาณเริ่มต้นจาก 0V จนถึง Maximum (ไม่ควรเกิน 5V) แต่ถ้าผู้ใช้ Short JP4 ที่ตำแหน่ง 2-3 จุดเริ่มต้นของสัญญาณจะขึ้นอยู่กับขนาดของสัญญาณ VI- จากภายนอกที่ต่อมาจาก Connector CN2 ซึ่งผู้ใช้ต้องกำหนดเองซึ่งโดยปรกติแล้วต้องมีค่ามากกว่า 0V แต่ต่ำกว่า Vref/2 เสมอ ส่วนสัญญาณ Vref/2 จะเป็นตัวกำหนดขนาดสูงสุดของสัญญาณที่รับเข้ามา (Maximum) นั่นคือ

ถ้าสัญญาณ Analog ที่รับเข้ามามีค่าเป็น 2 เท่าของ Vref/2 จะได้ DATA = FFH
ถ้าสัญญาณ Analog ที่รับเข้ามามีค่าเป็น 1 เท่าของ Vref/2 จะได้ DATA = 7FH

เอกสารนี้ ... ได้รับการคุ้มครองลิขสิทธิ์ ... ห้ามมิให้ทำซ้ำ ... เพื่อการค้า

การใช้งาน 8253 (Programmable Interval Timer)

ไอซี 8253 (Programmable Interval Timer) เป็นไอซีซึ่งประกอบด้วยพอร์ตใช้งาน 3 พอร์ต และพอร์ตควบคุมการทำงาน (Control Port) อีก 1 พอร์ต รวมเป็น 4 พอร์ต ซึ่ง 8253 เหมาะสำหรับการใช้งานในด้านฐานเวลาต่าง ๆ ซึ่งมีอินพุท 2 อินพุท (CLK และ GATE) และเอาท์พุท 1 เอาท์พุท (OUT) ต่อ 1 แชนแนล ซึ่งใน 8253 มีให้ใช้งานถึง 3 แชนแนล และแต่ละแชนแนลยังแยกการทำงานกันอย่างอิสระ 8253 แต่ละแชนแนลสามารถเลือกการทำงานได้ 6 โหมด การโปรแกรมให้ 8253 ทำงานในโหมดใดนั้นทำได้โดยการส่งค่า Control Word ให้กับ Register Mode Control (Port Control 8253) ซึ่งมีรายละเอียดการโปรแกรมดังนี้ คือ

บิท	D7	D6	D5	D4	D3	D2	D1	D0
หน้าที่	SC1	SC0	RL1	RL0	M2	M1	M0	BCD

บิท D7,D6 (SC1,SC0) : Select Counter ใช้สำหรับเลือกแชนแนลที่ต้องการ คือ

SC1	SC0	แชนแนลที่ถูกเลือก
0	0	แชนแนล 0
0	1	แชนแนล 1
1	0	แชนแนล 2
1	1	-

บิท D5,D4 (RL1,RL0) : Read / Load ใช้สำหรับกำหนดไบท์ในการอ่าน / เขียนข้อมูล

RL1	RL0	หน้าที่
0	0	ทำการแลทช์ค่าในรีจิสเตอร์ - เค้าน์เตอร์
0	1	อ่าน / เขียน เฉพาะข้อมูลใน 8 บิทล่าง (LSB)
1	0	อ่าน / เขียน เฉพาะข้อมูลใน 8 บิทบน (MSB)
1	1	อ่าน / เขียน ข้อมูลทั้ง 16 บิท โดยเริ่มจาก 8 บิทล่างก่อน จากนั้นจึงอ่าน / เขียนข้อมูลใน 8 บิทบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

```
#include<graphics.h>
#include<stdlib.h>
#include<stdio.h>
#include<conio.h>
#include<dos.h>
#include<math.h>

#define port1 0x300
#define port2 0x301
#define port3 0x302
#define portC 0x303
#define control 0x80

void graph(void)
{
   int A = DETECT,B;

   initgraph(&A,&B,"c:\\bcpp\\bgi");
   line(30,50,30,500);
   line(30,250,480,250);
   line(30,50,25,55);
   line(30,50,35,55);
   line(480,250,475,245);
   line(480,250,475,255);
   line(25,150,35,150);
   line(25,350,35,350);
   line(25,450,35,450);
   line(60,249,60,251);
   line(78,249,78,251);
   line(90,249,90,251);
   line(100,249,100,251);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

```
line(108,249,108,251);
line(115,249,115,251);
line(121,249,121,251);
line(126,249,126,251);
line(130,245,130,255);
line(160,249,160,251);
line(178,249,178,251);
line(190,249,190,251);
line(200,249,200,251);
line(208,249,208,251);
line(215,249,215,251);
line(221,249,221,251);
line(226,249,226,251);
line(230,245,230,255);
line(260,249,260,251);
line(278,249,278,251);
line(290,249,290,251);
line(300,249,300,251);
line(308,249,308,251);
line(315,249,315,251);
line(321,249,321,251);
line(326,249,326,251);
line(330,245,330,255);
outtextxy(29,270,"10");
outtextxy(128,270,"100");
outtextxy(228,270,"1000");
outtextxy(328,270,"10000");
outtextxy(490,250,"f(Hz)");
outtextxy(1,350,"-20");
outtextxy(10,250,"0");
outtextxy(10,150,"20");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

```
    outtextxy(1,450,"-40");
    outtextxy(10,30,"20log(Vo/Vin)(db)");
}

float senddata(int count)
{
    float V0,V1,W0,W1;
    unsigned char x;
    int N,a,c;

    outport(port1,count);
    for(N=0;N<2;N++)
    {
        outportb(port3,N);
        if (N<1)
        {
            V0=0;
            for(a=0;a<1000;a++)
            {
                x=inportb(0x30A);
                V0+=((float)x * 5./255);
            }
            V1=(V0/1000);
        }
        else
        {
            W0=0;
            for(c=0;c<1000;c++)
            {
                x=inportb(0x30A);
                W0+=((float)x * 5./255);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

```
            }
            W1=(W0/1000);
        }
    }
    if (W1!=0)
    {
        return (20 * log(V1/W1));
    }
    return -1;
}

void main()
{
   int count,i,b,p;
   float data[350];

 clrscr();
   graph();
   count = 0;
   outportb(portC,control);
   outport(port1,count);
   i=0;
   for(b=0;b<3;b++)
   {
        for(count=(12287-(4096 * b));count>(11851-(4096 * b));count-=15)
        {
            data[i]=senddata(count);
            i++;
        }
        for(count=(11836-(4096 * b));count>(11410-(4096 * b));count-=25)
        {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

```
    data[i]=senddata(count);
    i++;
}
for(count=(11385-(4096 * b));count>(10966-(4096 * b));count-=38)
{
    data[i]=senddata(count);
    i++;
}
for(count=(10928-(4096 * b));count>(10522-(4096 * b));count-=45)
{
    data[i]=senddata(count);
    i++;
}
for(count=(10477-(4096 * b));count>(10084-(4096 * b));count-=56)
{
    data[i]=senddata(count);
    i++;
}
for(count=(10028-(4096 * b));count>(9637-(4096 * b));count-=65)
{
    data[i]=senddata(count);
    i++;
}
for(count=(9572-(4096 * b));count>(9186-(4096 * b));count-=77)
{
    data[i]=senddata(count);
    i++;
}
for(count=(9109-(4096 * b));count>(8740-(4096 * b));count-=92)
{
    data[i]=senddata(count);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

```
            i++;
        }
        for(count=(8648-(4096 * b));count>(8305-(4096 * b));count-=114)
        {
            data[i]=senddata(count);
            i++;
        }

        for(p=0;p<99;p++)
            line((30+(p+(100*b))),(250-(5 * (data[(p+(100*b))]))),(31+(p+(100*b))),(250-(5 * (data
[(p+1+(100*b))])))));
    }
    getch();
    closegraph();
}
```

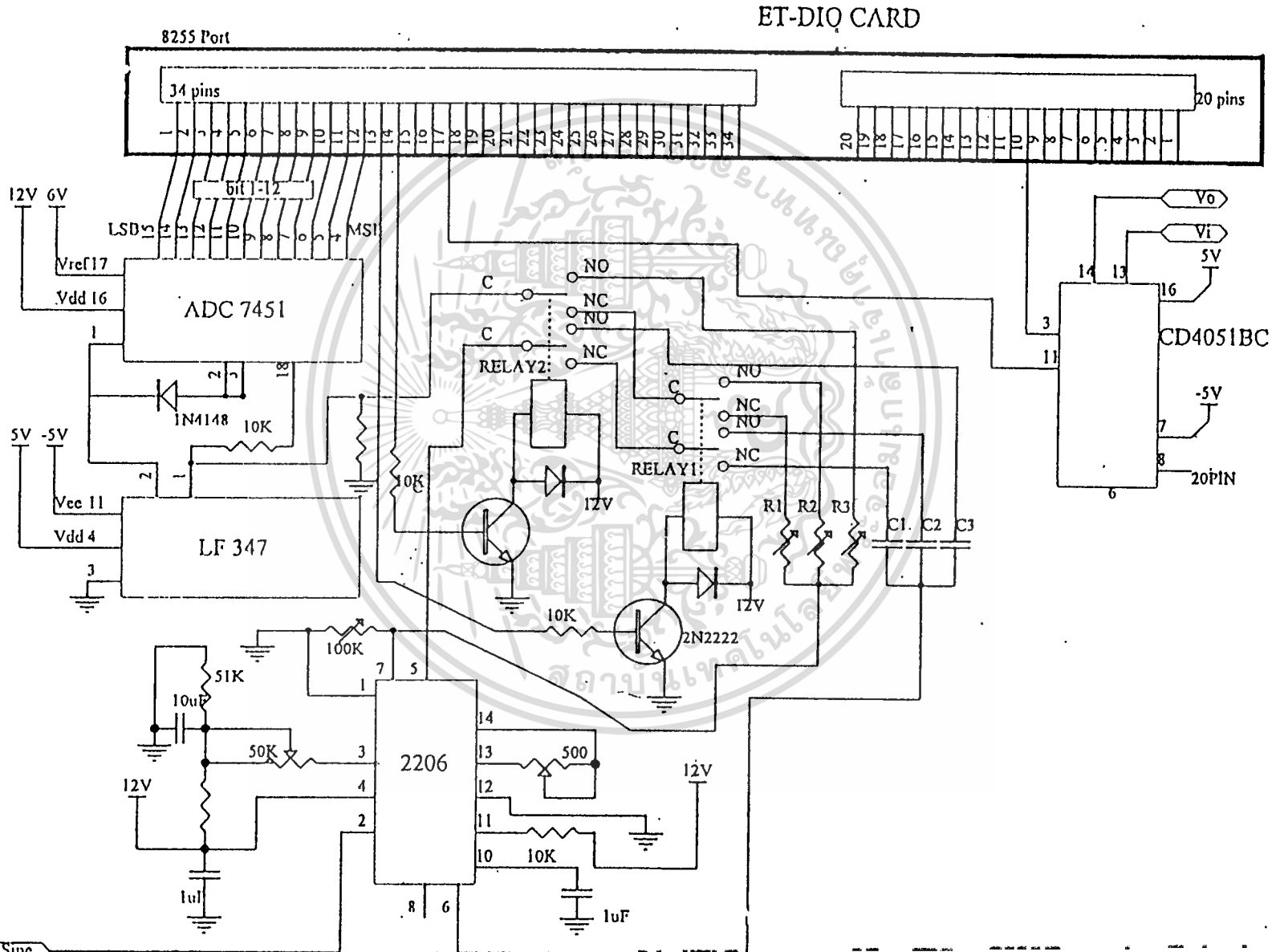
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ภาคผนวก ข

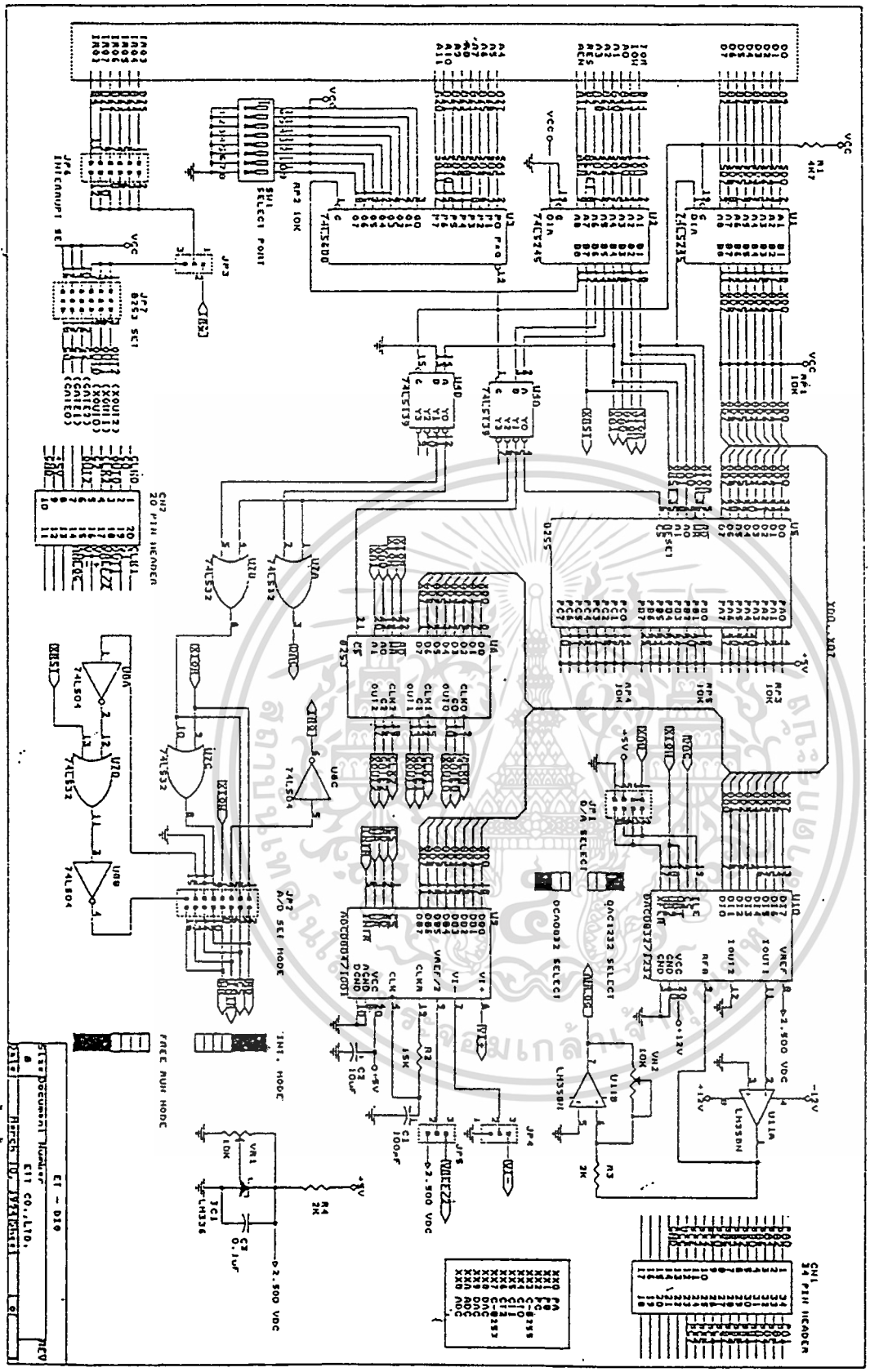
รูปวงจรทั้งหมดของเครื่องวิเคราะห์เครือข่ายวงจรไฟฟ้า

รูปวงจรของหน่วยอินเทอร์เฟส (ET-DIO CARD)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูป วงจรทั้งหมดของเครื่องวิเคราะห์เครือข่ายวงจรไฟฟ้า



รูป วงจรของหน่วยอินเทอร์เฟส (ET-DIO CARD)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ภาคผนวก ค

ข้อมูลของ IC ต่าง ๆ

IC XR-2206

IC ADC 7541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

EXAR

XR-2206

onolithic Function Generator

ERAL DESCRIPTION

XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high stability and accuracy. The output waveforms can be amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a small effect on distortion.

TURES

Sine Wave Distortion	0.5 %, Typical
ilent Temperature Stability	20 ppm/°C, Typical
Sweep Range	2000:1, Typical
Supply Sensitivity	0.01 %/V, Typical
or Amplitude Modulation	
Compatible FSK Controls	
Supply Range	10V to 26V
stable Duty Cycle	1 % to 99 %

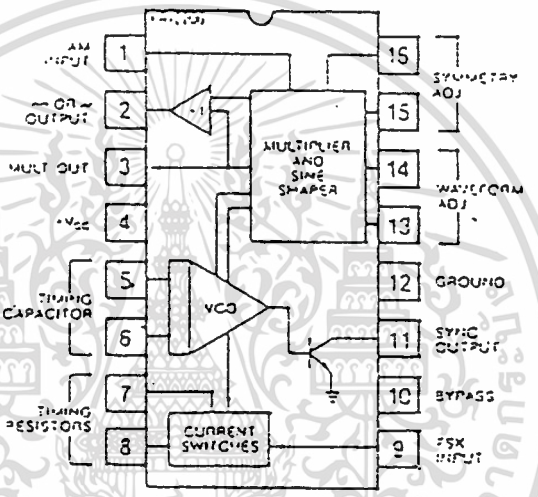
LICATIONS

- elorm Generation
- ep Generation
- FM Generation
- Conversion
- Generation
- e-Locked Loops (VCO)

OLUTE MAXIMUM RATINGS

er Supply	26V
er Dissipation	750 mW
erate Above 25°C	5 mW/°C
Timing Current	5 mA
ge Temperature	−65°C to + 150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	−55°C to + 125°C
XR-2206N	Ceramic	0°C to + 70°C
XR-2206P	Plastic	0°C to + 70°C
XR-2206CN	Ceramic	0°C to + 70°C
XR-2206CP	Plastic	0°C to + 70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks: a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper, a unity gain buffer amplifier, and a set of current switches.

The VCO actually produces an output frequency proportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

XR-2206

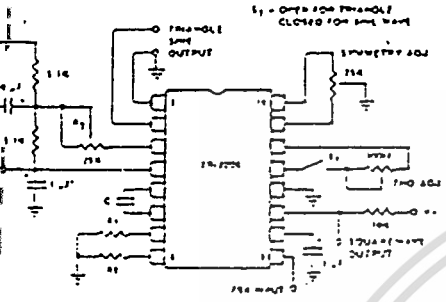
ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\ \mu F$, $R_1 = 100\ k\Omega$, $R_2 = 10\ k\Omega$, $R_3 = 25\ k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

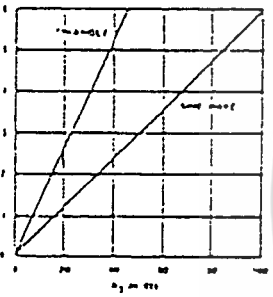
PARAMETERS	XR-2206M			XR-2206C			UNITS	CONDITIONS
	MIN	TYP	MAX	MIN	TYP	MAX		
GENERAL CHARACTERISTICS								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10\ k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\ pF$, $R_1 = 1\ k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\ \mu F$, $R_1 = 2\ M\Omega$
Frequency Accuracy		±1	±4		±2		% of f_0	$f_0 = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	$0°C \leq T_A \leq 70°C$, $R_1 = R_2 = 20\ k\Omega$
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20\ k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ $R_1 = 1\ k\Omega$, f_L @ $R_1 = 2\ M\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1$ kHz, $f_H = 10$ kHz
1000:1 Sweep		3			3		%	$f_L = 100$ kHz, $f_H = 100$ kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/kΩ	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S_1 Closed
Max. Output Swing		6			6		V p-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		±600			±600		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30\ k\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 5 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		V p-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10\ pF$
Fall Time		50			50		nsec	$C_L = 10\ pF$
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2\ mA$
Leakage Current		0.1	20		0.1	100	μA	$V_{11} = 26V$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 2.
Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

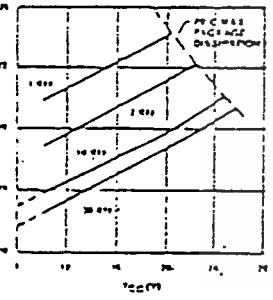
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



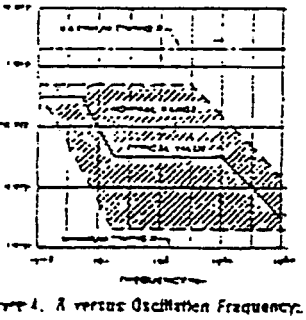
re 1. Basic Test Circuit.



re 2. Output Amplitude as a Function of the Resistor, R_3, at Pin 3.



re 3. Supply Current versus Supply Voltage, Timing, R.



re 4. R versus Oscillation Frequency.

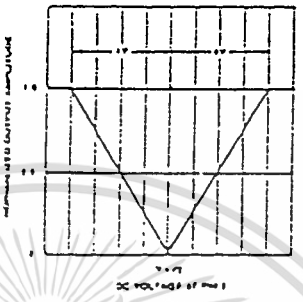


Figure 5. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

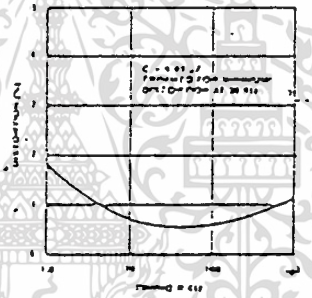


Figure 6. Trimmed Distortion versus Timing Resistor.

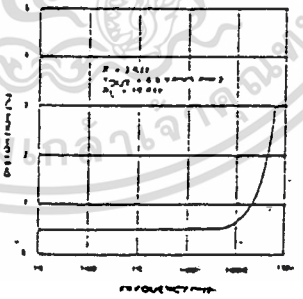


Figure 7. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

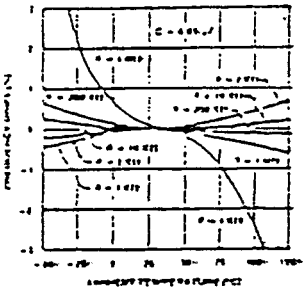


Figure 8. Frequency Drift versus Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

XR-2206

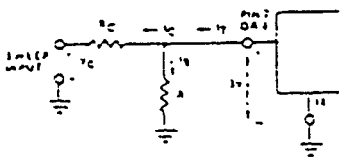


Figure 9. Circuit Connection for Frequency Sweep.

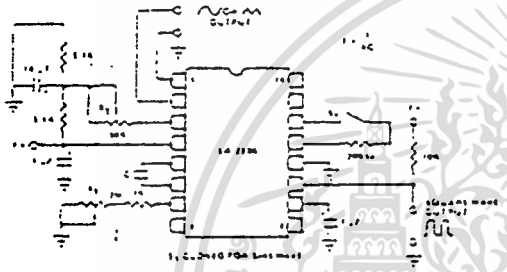


Figure 10. Circuit for Sine Wave Generation without External Adjustment. (See Figure 7 for Choice of R_2).

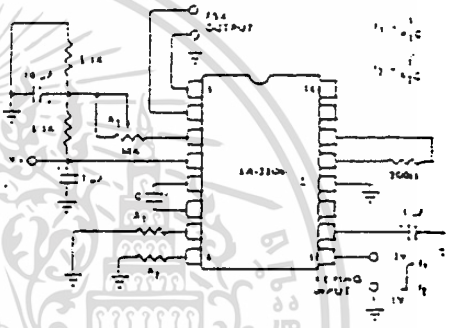


Figure 12. Sinusoidal FSK Generator.

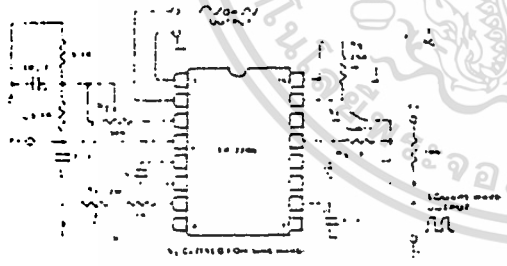


Figure 11. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_2 Determines Output Swing—See Figure 7.)

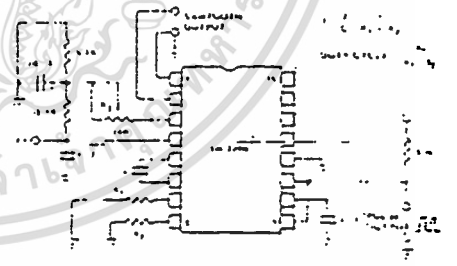


Figure 13. Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

...uency-Shift Keying:

...e XR-2206 can be operated with two separate timing ...istors, R_1 and R_2, connected to the timing Pin 7 and ...espectively, as shown in Figure 12. Depending on ...e polarity of the logic signal at Pin 9, either one or the ...er of these timing resistors is activated. If Pin 9 is ...en-circuited or connected to a bias voltage ≥ 2V, only ... is activated. Similarly, if the voltage level at Pin 9 is ...V, only R_2 is activated. Thus, the output frequency ...n be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

...r split-supply operation, the keying voltage at Pin 9 is ...ferenced to V⁻.

...put DC Level Control:

...e dc level at the output (Pin 2) is approximately the ...me as the dc-bias at Pin 3. In Figures 10, 11 and 12, ...in 3 is biased midway between V⁺ and ground, to ...ve an output dc level of +V⁺/2.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a ...nusoidal output from the XR-2206. The potentiometer, ... at Pin 7, provides the desired frequency tuning. The ...timum output swing is greater than V⁺/2, and the ...onal distortion (THD) is <2.5%. If lower sine wave ...stortion is desired, additional adjustments can be pro...ded as described in the following section.

...e circuit of Figure 10 can be converted to split-supply ...eration, simply by replacing all ground connections ...V⁻. For split-supply operation, R_3 can be directly ...nnected to ground.

With External Adjustment:

...e harmonic content of sinusoidal output can be re...ced to <0.5% by additional adjustments as shown ... Figure 11. The potentiometer, R_A, adjusts the sine-...ming resistor, and Rg provides the fine adjustment ... the waveform symmetry. The adjustment procedure ...s as follows:

... Set Rg at midpoint, and adjust R_A for minimum ...stortion.

... With R_A set as above, adjust Rg to further reduce ...stortion.

Triangle Wave Generation

...e circuits of Figures 10 and 11 can be converted to ...angle wave generation, by simply open-circuiting Pin ... and 14 (i.e., S_1 open). Amplitude of the triangle is ap...ximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2, the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V⁻.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in Figure 4. Temperature stability is optimum for 4 kΩ < R < 200 kΩ. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320\ I_T\ (mA)}{C\ (\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 5. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC} + \frac{F}{F_{C_o}}\left(1 - \frac{V_C}{3}\right) \text{ Hz}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_3 C} \text{ Hz/V}$$

CAUTION: For safety operation of the circuit, I_T should be limited to ≤ 3 mA.

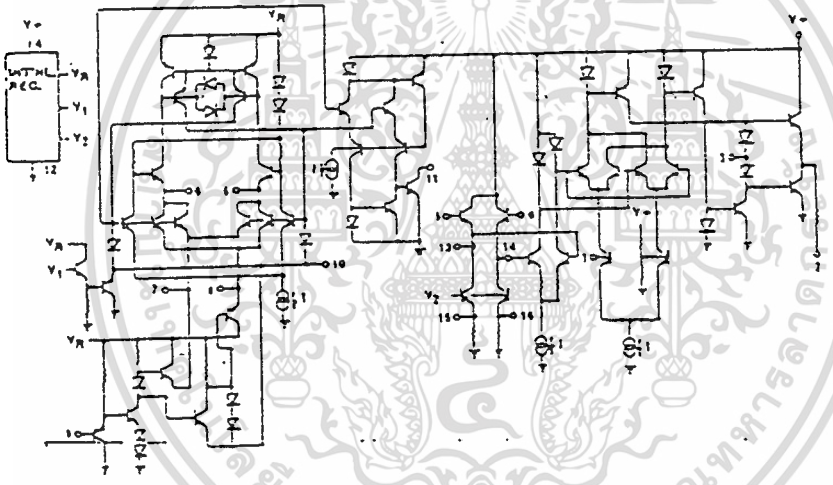
Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 150 mV peak per kΩ of R_3. Thus, for example, R_3 = 50 kΩ would produce approximately 3V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ± 4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches V^+, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+.



EQUIVALENT SCHEMATIC DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

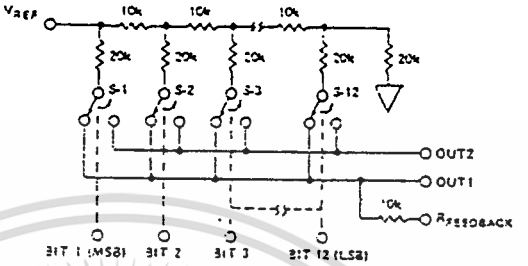
ANALOG DEVICES

CMOS 12-Bit Monolithic Multiplying DAC

AD7541A

URES
oved Version of AD7541
our Quadrant Multiplication
Linearity (End-Point)
8 Gain Error
rts Guaranteed Monotonic
MOS Compatible
Cost
ction Schottky not Required
Logic Input Leakage

AD7541A FUNCTIONAL BLOCK DIAGRAM



DIGITAL INPUTS IDTL/TTL/CMOS COMPATIBLE)
Logic A switch is closed to IOUT1 for its digital input in a "HIGH" state.

AL DESCRIPTION

og Devices' AD7541A is a low cost, high performance onolithic multiplying digital to analog converter. It is using advanced, low noise, thin film on CMOS y and packaged in a standard 18-pin DIP.

7541A is functionally and pin compatible with the standard AD7541 device and offers improved specifica- performance. The improved design ensures that the latch-up free so no output Schottky protection diodes red.

device uses laser wafer trimming to provide full 12-bit linearity with several new high performance grades.

ING INFORMATION

	Gain Error T_A = +25°C	Temperature Ranges and Packages		
		Plastic 0 to +70°C	Cerdip[1] −25°C to +85°C	Ceramic −55°C to +125°C
	±1LSB	AD7541AJN	AD7541AAQ	AD7541ASD
	±1LSB	AD7541AKN	AD7541ABQ	AD7541ATD

a offering the AD7541A in this version. For information contact your n" sales office.
ase reserves the right to ship Ceramic Packages in lieu of Cerdip Packages.

GE IDENTIFICATION[1]

": – Plastic DIP (N18B)
": – Cerdip[2] (Q18A)
": – Ceramic DIP (D18B)

e 19 for package outline information.
vices reserves the right to ship ceramic pages in lieu of Cerdip Packages.

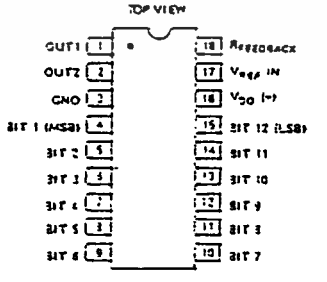
PRODUCT HIGHLIGHTS

Compatability: The AD7541A can be used as a direct replacement for any AD7541-type device. As with the Analog Devices AD7541, the digital inputs are TTL/CMOS compatible and have been designed to have a ±1μA maximum input current requirement so as not to load the driving circuitry.

Improvements: The AD7541A offers the following improved specifications over the AD7541:

1. Gain Error for all grades has been reduced with premium grade versions having a maximum gain error of ±1LSB which eliminates the need for gain trimming.
2. Gain Error temperature coefficient has been reduced to 2ppm/°C typical and 5ppm/°C maximum.
3. Digital to analog charge injection energy for this new device is typically 20% less than the standard AD7541 part.
4. Latch-up proof.
5. Improvements in laser wafer trimming provides ½LSB max. differencial nonlinearity for top grade devices over the operating temperature range (vs. 1LSB on older 7541 types).
6. All grades are guaranteed monotonic to 12 bits over the operating temperature range.

PIN CONFIGURATION
(NOT TO SCALE)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

SPECIFICATIONS (V_{DD} = +15V, V_{REF} = +10V; V_{FIN1} = V_{FIN2} = 0V unless otherwise specified)

Parameter	Version	T_A = +25°C	T_A = T_{min}, T_{max}[1]	Units	Test Conditions/Comments
ACCURACY					
Resolution	All	12	12	Bits	
Relative Accuracy	J, A, S	±1	±1	LSB max	±1LSB = ±0.024% of Full Scale
	K, B, T	±1/2	±1/2	LSB max	±1/2LSB = ±0.012% of Full Scale
Differential Nonlinearity	J, A, S	±1	±1	LSB max	All grades guaranteed monotonic
	K, B, T	±1/2	±1/2	LSB max	to 12 bits, T_{min} to T_{max}
Gain Error	J, A, S	±6	±8	LSB max	Measured using internal R_{FB} and includes
	K, B, T	±4	±8	LSB max	effect of leakage current and gain T.C.
					Gain error can be trimmed to zero.
Gain Temperature Coefficient[2]					
ΔGain/ΔTemperature	All	5	5	ppm/°C max	Typical value is 2ppm/°C.
Output Leakage Current					
OUT1 (Pin 1)	J, K	±5	±10	nA max	All digital inputs = 0V.
	A, B	±5	±10	nA max	
	S, T	±5	±200	nA max	
OUT 2 (Pin 2)	J, K	±5	±10	nA max	All digital inputs = V_{DD}.
	A, B	±5	±10	nA max	
	S, T	±5	±200	nA max	
REFERENCE INPUT					
Input Resistance (Pin 17 to GND)	All	7–13	7–18	kΩ min/max	Typical input resistance = 11kΩ.
					Typical input resistance temperature coefficient = −300ppm/°C.
DIGITAL INPUTS					
V_{IH} (Input HIGH Voltage)	All	2.4	2.4	V min	
V_{IL} (Input LOW Voltage)	All	0.8	0.8	V max	
I_{IN} (Input Current)	All	±1	±1	μA max	Logic inputs are MOS gates. I_{IN} typ(25°C) = 1nA.
C_{IN} (Input Capacitance)[2]	All	8	8	pF max	V_{IN} = 0V
POWER SUPPLY REJECTION					
ΔGain/ΔV_{DD}	All	±0.01	±0.02	%per% max	ΔV$_{DD}$ = ±5%
POWER SUPPLY					
V_{DD} Range	All	−5 to +16	−5 to +16	V min/V max	Accuracy is not guaranteed over this range.
I_{DD}	All	2	2	mA max.	All digital inputs V_{IL} or V_{IH}.
		100	500	μA max	All digital inputs 0V or V_{DD}.

AC PERFORMANCE CHARACTERISTICS

These Characteristics are included for Design Guidance Only and are not Subject to Test.
V_{DD} = +15V, V_{IN} = +10V except where stated, V_{FIN1} = V_{FIN2} = 0V, Output Amp is AD544 except where stated.

Parameter	Version[1]	T_A = +25°C	T_A = T_{min}, T_{max}[1]	Units	Test Conditions/Comments
PROPAGATION DELAY (From Digital Input Change to 90% of Final Analog Output)	All	100	-	ns typ	OUT1 Load = 100Ω, C_{EXT} = 13pF Digital Inputs = 0V to V_{DD} or V_{DD} to 0V.
DIGITAL TO ANALOG GLITCH IMPULSE	All	1000	-	nV-sec typ	V_{REF} = 0V. All digital inputs 0V to V_{DD} or V_{DD} to 0V. Measured using Model 50K as output amplifier.
MULTIPLYING FEEDTHROUGH ERROR[3] (V_{REF} to OUT1)	All	1.0	-	mV p-p typ	V_{REF} = ±10V, 10kHz sine wave.
OUTPUT CURRENT SETTLING TIME	All	0.6	-	μs typ	To 0.01% of full scale range. OUT1 load = 100Ω, C_{EXT} = 13pF. Digital inputs = 0V to V_{DD} or V_{DD} to 0V
OUTPUT CAPACITANCE					
C_{OUT1} (Pin 1)	All	200	200	pF max	Digital Inputs
C_{OUT2} (Pin 2)	All	70	70	pF max	= V_{IH}
C_{OUT1} (Pin 1)	All	70	70	pF max	Digital Inputs
C_{OUT2} (Pin 2)	All	200	200	pF max	= V_{IL}

NOTES
[1]Temperature ranges as follows: JN, KN versions: 0 to +70°C
AQ, BQ versions: −25°C to +85°C
SD, TD versions: −55°C to +125°C.
[2]Guaranteed by design but not production tested.
[3]To minimize feedthrough in the ceramic package (Suffix D) the user must ground the metal lid.
Specifications subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

LUTE MAXIMUM RATINGS*

+25°C unless otherwise noted)

pin 16) to GND	+17V
(pin 17) to GND	=25V
(pin 18) to GND	=25V
l Input Voltage to GND	
s 4–15)	−0.3V, V_{DD}
V_{REF2} to GND	−0.3V, V_{DD}
Dissipation (Any Package)	
+75°C	450mW
ages above +75°C	6mW/°C

Operating Temperature Range

Commercial Plastic (JN, KN versions)	0 to +70°C
Industrial Cerdip (AQ, BQ versions)	−25°C to +85°C
Extended Ceramic (SD, TD versions)	−55°C to +125°C
Storage Temperature	+65°C to +150°C
Lead Temperature (Soldering, 10secs)	+300°C

*Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other condition above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

TION

(Electro-Static-Discharge) sensitive device. The digital control inputs are zener protect-owever, permanent damage may occur on unconnected devices subject to high energy ostatic fields. Unused devices must be stored in conductive foam or shunts. The protective should be discharged to the destination socket before devices are removed.

MINOLOGY

ATIVE ACCURACY

ive accuracy or endpoint nonlinearity is a measure of the mum deviation from a straight line passing through the ints of the DAC transfer function. It is measured after ing for zero and full scale and is expressed in % of full range or (sub)multiples of 1LSB.

FERENTIAL NONLINEARITY

ential nonlinearity is the difference between the *measured* e and the *ideal* 1LSB change between any two adjacent . A specified differential nonlinearity of =1LSB max over perating temperature range insures monotonicity.

N ERROR

error or full-scale error is a measure of the output error en an ideal DAC and the actual device output. For the 541A, ideal full-scale output is $-\left(\frac{4095}{4096}\right)(V_{REF})$. Gain is adjustable to zero using external trims as shown gures 4, 5 and 6.

OUTPUT LEAKAGE CURRENT

Current which appears at OUT1 with the DAC loaded to all 0s or at OUT2 with the DAC loaded to all 1s.

MULTIPLYING FEEDTHROUGH ERROR

AC error due to capacitive feedthrough from V_{REF} terminal to OUT1 with DAC loaded to all 0s.

OUTPUT CURRENT SETTLING TIME

Time required for the output function of the DAC to settle to within 1/2LSB for a given digital input stimulus, i.e., 0 to Full Scale.

PROPAGATION DELAY

This is a measure of the internal delay of the circuit and is measured from the time a digital input changes to the point at which the analog output at OUT1 reaches 90% of its final value.

DIGITAL TO ANALOG GLITCH IMPULSE

This is a measure of the amount of charge injected from the digital inputs to the analog outputs when the inputs change state. It is usually specified as the area of the glitch in nV secs and is measured with V_{REF} = GND and a Model 50K as the output op amp, C1 (phase compensation) = 0pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

GENERAL CIRCUIT INFORMATION

The simplified D/A circuit is shown in Figure 1. An inverted R-2R ladder structure is used—that is, the binarily weighted currents are switched between the OUT1 and OUT2 bus lines, thus maintaining a constant current in each ladder leg independent of the switch state.

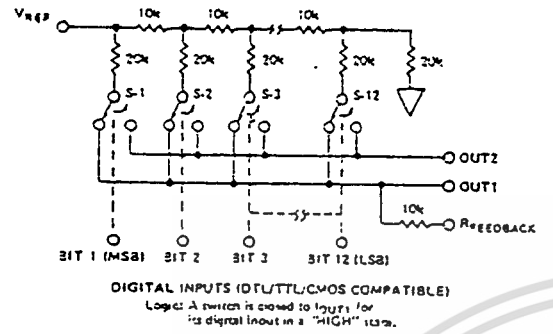


Figure 1. AD7541A Functional Diagram (Inputs "High")

The input resistance at V_{REF} (Figure 1) is always equal to R_{LDR} (R_{LDR} is the R/2R ladder characteristic resistance and is equal to value "R"). Since R_{IN} at the V_{REF} pin is constant, the reference terminal can be driven by a reference voltage or a reference current, ac or dc, of positive or negative polarity. (If a current source is used, a low temperature coefficient external R_{FB} is recommended to define scale factor.)

EQUIVALENT CIRCUIT ANALYSIS

The equivalent circuits for all digital inputs LOW and all digital inputs HIGH are shown in Figures 2 and 3. In Figure 2 with all digital inputs LOW, the reference current is switched to OUT2. The current source $I_{LEAKAGE}$ is composed of surface and junction leakages to the substrate, while the $I/4096$ current source represents a constant 1-bit current drain through the termination resistor on the R-2R ladder. The "ON" capacitance of the output N-channel switch is 200pF, as shown on the OUT2 terminal. The "OFF" switch capacitance is 70pF, as shown on the OUT1 terminal. Analysis of the circuit for all digital inputs HIGH, as shown in Figure 3 is similar to Figure 2; however, the "ON" switches are now on terminal OUT1, hence the 200pF at that terminal.

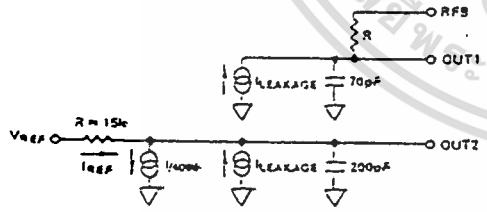


Figure 2. AD7541A DAC Equivalent Circuit All Digital Inputs LOW

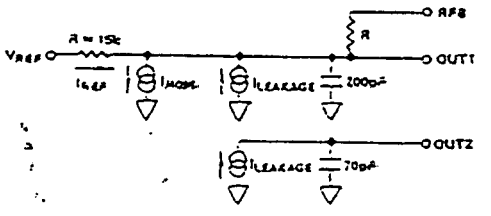


Figure 3. AD7541A DAC Equivalent Circuit All Digital Inputs HIGH

Applications

UNIPOLAR BINARY OPERATION (2-QUADRANT MULTIPLICATION)

Figure 4 shows the analog circuit connections required for unipolar binary (2-quadrant multiplication) operation. With a dc reference voltage or current (positive or negative polarity) applied at pin 17, the circuit is a unipolar D/A converter. With an ac reference voltage or current the circuit provides 2-quadrant multiplication (digitally controlled attenuation). The input/output relationship is shown in Table II.

R1 provides full scale trim capability (i.e.-load the DAC register to 1111 1111 1111, adjust R1 for $V_{OUT} = -V_{REF}$ (4095/4096)]. Alternatively, Full Scale can be adjusted by omitting R1 and R2 and trimming the reference voltage magnitude.

C1 phase compensation (10 to 25pF) may be required for stability when using high speed amplifiers. (C1 is used to cancel the pole formed by the DAC internal feedback resistance and output capacitance at OUT1).

Amplifier A1 should be selected or trimmed to provide $V_{OS} \leq$ 10% of the voltage resolution at V_{OUT}. Additionally, the amplifier should exhibit a bias current which is low over the temperature range of interest (bias current causes output offset at V_{OUT} equal to I_B times the DAC feedback resistance, nominally 11kΩ). The AD544L is a high-speed implanted FET-input op amp with low factory-trimmed V_{OS}.

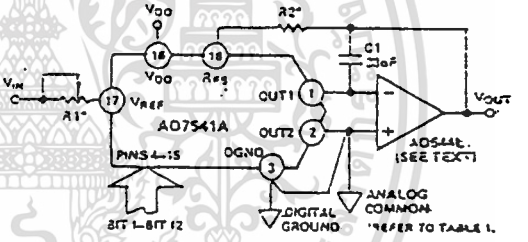


Figure 4. Unipolar Binary Operation

Trim Resistor	J/N/AQ/SD	K/N/BQ/TD
R1	100Ω	100Ω
R2	47Ω	33Ω

Table I. Recommended Trim Resistor Values vs. Grades

Binary Number in DAC (MSB ... LSB)	Analog Output, V_{OUT}
1111 1111 1111	$-V_{IN}\left(\frac{4095}{4096}\right)$
1000 0000 0000	$-V_{IN}\left(\frac{2048}{4096}\right) = -1/2\ V_{IN}$
0000 0000 0001	$-V_{IN}\left(\frac{1}{4096}\right)$
0000 0000 0000	0 Volts

Table II. Unipolar Binary Code Table for Circuit of Figure 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

POLAR OPERATION
QUADRANT MULTIPLICATION)

ure 5 and Table III illustrate the circuitry and code relationship bipolar operation. With a dc reference (positive or negative arity) the circuit provides offset binary operation. With an ac erence, the eleven LSBs provide digitally controlled attenuation the ac reference while the MSB provides polarity control.

th the DAC loaded to 1000 0000 0000, adjust R1 for V_{OUT} 0V (alternatively, one can omit R1 and R2 and adjust the o of R3 to R4 for V_{OUT} = 0V). Full scale trimming can be omplished by adjusting the amplitude of V_{REF} or by varying value of R5.

in unipolar operation, A1 must be chosen for low V_{OS} and g. R3, R4 and R5 must be selected for matching and cking. Mismatch of 2R3 to R4 causes both offset and Full le error. Mismatch of R5 to R4 or 2R3 causes Full Scale or. C1 phase compensation (10pF to 50pF) may be required stability, depending on amplifier used.

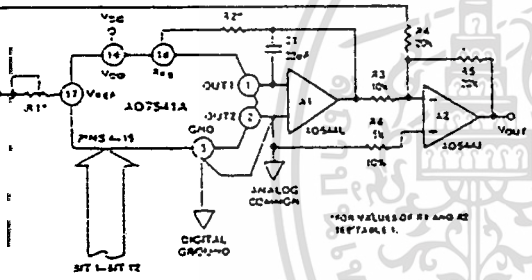


Figure 5. Bipolar Operation (4-Quadrant Multiplication)

Binary Number in DAC MSB LSB	Analog Output, V_{OUT}
1111 1111 1111	$-V_{IN}\left(\frac{2047}{2048}\right)$
1000 0000 0001	$-V_{IN}\left(\frac{1}{2048}\right)$
1000 0000 0000	0V
0111 1111 1111	$-V_{IN}\left(\frac{1}{2048}\right)$
0000 0000 0000	$-V_{IN}\left(\frac{2048}{2048}\right)$

Table III. Bipolar Code Table for Offset Binary Circuit of Figure 5

gure 6 shows an alternative method of achieving bipolar tput. The circuit operates with sign plus magnitude code and s the advantage that it gives 12-bit resolution in each quadrant mpared with 11-bit resolution per quadrant for the circuit of gure 5. The AD7592 is a fully protected CMOS change-over itch with data latches. R4 and R5 should match each other to 01% to maintain the accuracy of the D/A converter. Mismatch tween R4 and R5 introduces a gain error.

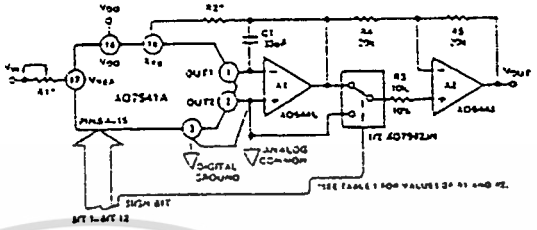


Figure 6. 12-Bit Plus Sign Magnitude Operation

Sign Bit	Binary Number in DAC MSB LSB	Analog Output, V_{OUT}
0	1111 1111 1111	$+V_{IN}\cdot\left(\frac{4095}{4095}\right)$
0	0000 0000 0000	0 Volts
1	0000 0000 0000	0 Volts
1	1111 1111 1111	$-V_{IN}\cdot\left(\frac{4095}{4096}\right)$

Note: Sign bit of "0" connects R3 to GND.

Table IV. 12-Plus Sign Magnitude Code Table for Circuit of Figure 6

APPLICATIONS HINTS

Output Offset: CMOS D/A converters exhibit a code dependent output resistance which in turn can cause a code dependent error voltage at the output of the amplifier. The maximum amplitude of this offset, which adds to the D/A converter nonlinearity, is 0.67 V_{OS} where V_{OS} is the amplifier input offset voltage. To maintain monotonic operation it is recommended that V_{OS} be no greater than $(25 \times 10^{-6})(V_{REF})$ over the temperature range of operation. Suitable op amps are AD517L and AD544L. The AD517L is best suited for fixed reference applications with low bandwidth requirements: it has extremely low offset (50uV) and in most applications will not require an offset trim. The AD544L has a much wider bandwidth and higher slew rate and is recommended for multiplying and other applications requiring fast settling. An offset trim on the AD544L may be necessary in some circuits.

Digital Glitches: One cause of digital glitches is capacitive coupling from the digital lines to the OUT1 and OUT2 terminals. This should be minimized by screening the analog pins of the AD7541A (pins 1, 2, 17, 18) from the digital pins by a ground track run between pins 2 and 3 and between pins 16 and 17 of the AD7541A. Note how the analog pins are at one end of the package and separated from the digital pins by V_{DD} and GND to aid screening at the board level. On-chip capacitive coupling can also give rise to crosstalk from the digital to analog sections of the AD7541A, particularly in circuits with high currents and fast rise and fall times.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Temperature Coefficients: The gain temperature coefficient of the AD7541A has a maximum value of 5ppm/°C and a typical value of 2ppm/°C. This corresponds to worst case gain shifts of 2LSBs and 0.8LSBs respectively over a 100°C temperature range. When trim resistors R1 and R2 are used to adjust full scale range, the temperature coefficient of R1 and R2 should also be taken into account. The reader is referred to Analog Devices Application Note "Gain Error and Gain Temperature Coefficient of CMOS Multiplying DACs", Publication Number E630–10–6/81.

SINGLE SUPPLY OPERATION

Figure 7 shows the AD7541A connected in a voltage switching mode. OUT1 is connected to the reference voltage and OUT2 is connected to GND. The D/A converter output voltage is available at the V_{REF} pin (pin 17) and has a constant output impedance equal to R_{LDR}. The feedback resistor R_{FB} is not used in this circuit.

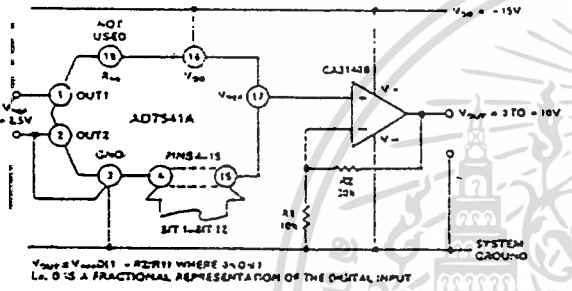


Figure 7. Single Supply Operation Using Voltage Switching Mode

The reference voltage must always be positive. If OUT1 goes more than 0.3V less than GND an internal diode will be turned on and a heavy current may flow causing device damage (the AD7541A is, however, protected from the SCR latch-up phenomenon prevalent in many CMOS devices). Suitable references include the AD580 and AD584.

The loading on the reference voltage source is code dependent and the response time of the circuit is often determined by the behavior of the reference voltage with changing load conditions. To maintain linearity, the voltage at OUT1 should remain within 2.5V of GND, for a V_{DD} of 15V. If V_{DD} is reduced from 15V or the reference voltage at OUT1 increased to more than 2.5V the differential nonlinearity of the DAC will increase and the linearity of the DAC will be degraded.

SUPPLEMENTAL APPLICATION MATERIAL

For further information on CMOS multiplying D/A converters the reader is referred to the following texts:

Application Guide to CMOS Multiplying D/A Converters, Publication Number G479–15–8/78 available from Analog Devices.

Gain Error and Gain Temperature Coefficient of CMOS Multiplying DAC Application Note, Publication Number E630–10–6/81 available from Analog Devices.

Analog-Digital Conversion Notes – available from Analog Devices, price $5.95.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

เอกสารอ้างอิง

1. Katsuhiko Ogata, " Modern Control Engineering " , Prentice-Hall International , 1990

2. ทีมงานอีทีที , " ET-DIO การ์ดอินพุทเอาท์พุตอเนกประสงค์ " , วารสารเซมิคอนดักเตอร์ อิเล็กทรอนิกส์ ฉบับที่ 141

3. ธันวา ศรีประโมง , " การเขียนโปรแกรมภาษาซี สำหรับวิศวกรรม " , มหาวิทยาลัยเทคโนโลยีมหานคร , 739 หน้า , 2537

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า