



การส่งข้อมูลไร้สาย

WIRELESS DATA TRANSMISSION



- 1. ต.ค. 2511
วัน เดือน ปี.....
เลขทะเบียน..... 0.38.39.7
เลขเรียกหนังสือ..... T. 99417. 1. 1/2417

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มี **038397**

การส่งข้อมูลไร้สาย

WIRELESS DATA TRANSMISSION

โดย

โกเมศ	เมฆาภรณ์	37.013188
วิฑูรย์	เรืองเกียรติกุล	37.013211
ธาดา	สุขโข	37.013245

อาจารย์ที่ปรึกษา

รศ.ดร. รัตติกร วราวุฒศิริพันธุ์

ปริญญาานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2539

ภาควิชาอิเล็กทรอนิกส์

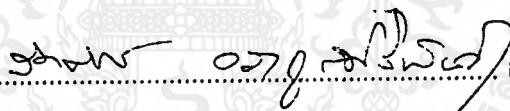
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ผู้จัดทำ

นายโกเมศ เมฆาภรณ์ 37.013188

นายวิฑูรย์ เรืองเกียรติกุล 37.013211

นายชาดา สุขโข 37.013245



.....

อาจารย์ที่ปรึกษา

(รศ.ดร. รัตติกร วรากุลศิริพันธุ์)

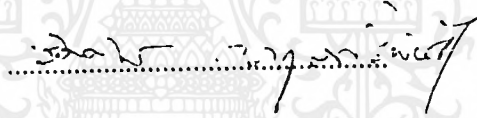
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งข้อมูลไร้สาย

WIRELESS DATA TRANSMISSION

นายโกเมศ	เมธากรณ์	37.013188
นายวิฑูรย์	เรืองเกียรติฤต	37. 013211
นายชาดา	สุขโข	37. 013245

โครงการได้รับการตรวจสอบแล้ว พร้อมทั้งจะทำการสอบได้



(รศ.ดร. รัตติกร วรากุลศิริพันธ์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งข้อมูลไร้สาย

โกเมศ เมฆาภรณ์

วิฑูรย์ เรืองเกียรติกุล

ธาดา สุขโข

รศ.ดร. รัตติกร วรากุลศิริพันธุ์ อาจารย์ที่ปรึกษา

ปีการศึกษา 2539

บทคัดย่อ

ในปฏิญานิพนธ์ฉบับนี้ เป็นการศึกษาเกี่ยวกับการส่งข้อมูลและการพัฒนาการส่งข้อมูล โดยใช้คลื่นวิทยุความถี่ 27 MHz เริ่มต้นในระบบเพื่อง่ายต่อการออกแบบวงจร จุดมุ่งหมายหลัก คือ การส่งสัญญาณดิจิทัลจากคอมพิวเตอร์โดยการส่งแบบไร้สายผ่านคลื่นวิทยุ ไปควบคุมบอร์ด LED ซึ่งต่อแบบเมตริกซ์ขนาด 16*84 ดวง โดยใช้ Z80180 CPU ในการควบคุมระบบสามารถรับข้อมูลจากคอมพิวเตอร์และนำข้อมูลมาประมวลผล เปลี่ยนเป็นข้อความต่างๆ โครงการนี้สามารถที่จะนำไปประยุกต์ใช้งานในด้านอื่นๆ ต่อไป

WIRELESS DATA TRANSMISSION

Komet Methaporn

Witoon Raungkeattikul

Tada Sukkho

Ruttikorn Varakulsiripunth Advisor

1997

ABSTRACT

In this thesis, the study and development on data transmission by using radio frequency is presented. The 27 MHz of radio frequency is introduced in our system for simple implementation on circuit design. The main objective is to transmit digital data from computer as wireless transmission via radio channel to control matrix broad LED 16*84 dots by Z80180 CPU is used for control system is can be received data from computer and data process to change the display patterns. This project can be applied to many areas.

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 รูปแบบการส่งข้อมูลทางคอมพิวเตอร์	3
2.1 การทำงานของวงจรรีโมตคอนโทรล	3
2.2 การส่งข้อมูลแบบขนานและแบบอนุกรม	3
2.3 การส่งข้อมูลแบบอะซิงโครนัสและซิงโครนัส	8
2.3.1 การรับส่งข้อมูลแบบซิงโครนัส	8
2.3.2 การรับส่งข้อมูลแบบอะซิงโครนัส	8
2.4 การสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-232-C ลักษณะทั่วไป	13
2.5 คุณสมบัติของสัญญาณไฟฟ้า	14
2.6 คุณสมบัติทางกลของอินเทอร์เฟซ	18
บทที่ 3 การส่งผ่านข้อมูลแบบดิจิทัล	27
3.1 โมดูเลท	27
3.2 คีโมดูเลท	27
3.3 โมเด็ม	27
3.3.1 การแบ่งชนิดของโมเด็มตามลักษณะการทำงาน	28
3.3.2 การแบ่งชนิดของโมเด็มตามวิธีการส่งผ่านข้อมูล	28
3.3.3 การแบ่งชนิดของ โมเด็มตามอัตราส่งข้อมูล	29
3.3.4 การแบ่งชนิดของ โมเด็มตามเทคนิคการ โมดูเลท	29
3.4 Frequency Shift Keying (FSK)	30
3.4.1 การเปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณอนาลอก FSK	32
3.4.2 การเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิทัล	35
บทที่ 4 การออกแบบวงจรแสดงผลข้อมูล	40
4.1 สถาปัตยกรรม Z80180	40
4.2 หลักการทำงานของวงจรแสดงผล	50

บทที่ 5 ทฤษฎีเครื่องรับส่งคลื่นวิทยุ	59
5.1 การมอดูเลตทางแอมพลิจูด	59
5.2 เพอร์เซ็นต์การมอดูเลต	60
5.3 ไซค์แบนด์ AM	63
5.4 แบนวิดท์ของสัญญาณ AM	67
บทที่ 6 ผลการทดลองและสรุปผลการทดลอง	69



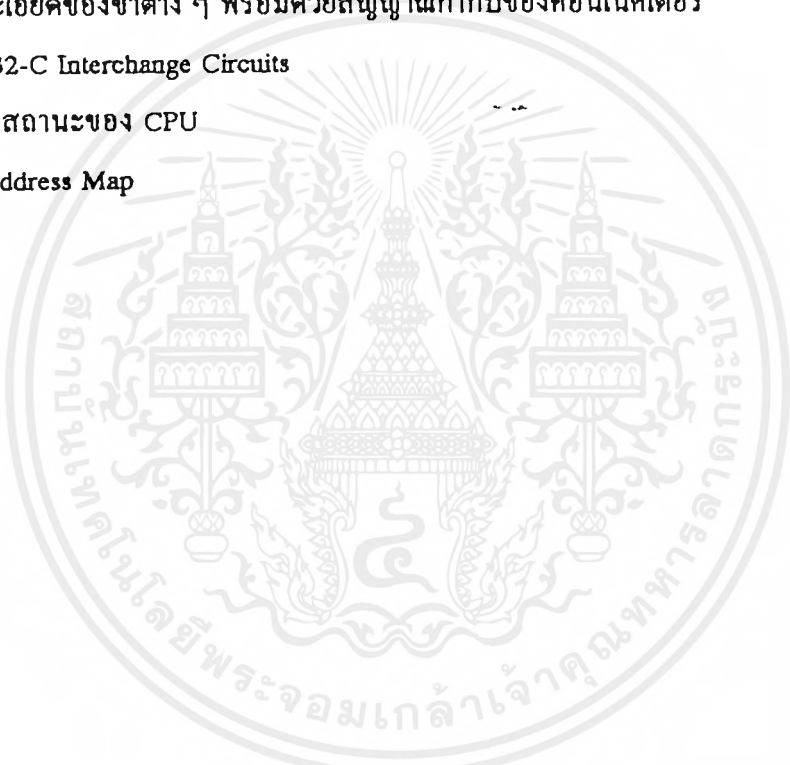
สารบัญญภาพ

	หน้า
2.1 แสดงการอินเทอร์กับเครื่องคอมพิวเตอร์	3
2.2 แสดงรูปแบบข้อข้อมูล	4
2.3 ระบบการส่งข้อมูลแบบขนาน	5
2.4 การส่งข้อมูลอนุกรมแบบอะซิงโครนัส	9
2.5 การส่งข้อมูลอนุกรมแบบอะซิงโครนัสหรือแบบโปรโตคอลแบบ SDLC	9
2.6 การเพิ่มพาริตีบิตเข้าไปในข้อมูลแต่ละไบต์	12
2.7 รูปแบบของข้อมูลในแต่ละไบต์ในการส่งข้อมูลอนุกรมแบบอะซิงโครนัส	12
2.8 ลักษณะของ DCE และ DTE ที่ใช้ในวงจรการสื่อสารข้อมูล	14
2.9 RS-232 -C interface circuit (ELA)	14
2.10 คุณสมบัติทางไฟฟ้าของอินเทอร์แบบ RS-232-C	16
2.11 ลักษณะทางกลของคอนเน็คเตอร์แบบ DB-25	18
2.12 การทำ handshaks ของสัญญาณ RTS และ CTS ในช่วง ADTE	21
2.13 ในช่วง (A) DTE ไม่สามารถ ON สัญญาณ RTS	22
3.1 แสดงการส่งข้อมูลแบบซิมเพิล็กซ์	28
3.2 การส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์	29
3.3 การส่งข้อมูลแบบฟูลดูเพล็กซ์	29
3.4 การแบ่งชนิดของโมเด็ม	30
3.5 แสดงสัญญาณที่ได้จากเทคนิค FSK	30
3.6 แสดงสัญญาณที่เกิดจากการส่งอักษร S ด้วยเทคนิคการโมดูเลท (รวมถึงวิธี FSK ด้วย)	31
3.7 แสดงบล็อกโครงสร้างแต่ละส่วนของ XR-226	32
3.8 แสดงการนำไอซี XR-2206 ไปใช้เป็นวงจรรีควเอนซ์คีอ์ซิปองโมดูเลเตอร์	33
3.9 แสดงโครงสร้างภายในของไอซี XR-2211	36
3.10 แสดงถึงการนำไอซี XR-2211 ไปใช้เพื่อทำการคิเทรทส์สัญญาณ FSK	37
4.1 บล็อกไออะแแกรมภายใน CPU Z80180	41
4.2 I/O Control Register (ICR : I/O Address = 3FH)	47
4.3 I/O Address Reloation	47
4.4 วงจรแคว้นแสดงผล	

4.5	แสดงการจัดตำแหน่งแอดเดรสใช้งานหน่วยความจำอีพรอมและแรม	52
4.6	บล็อกไดอะแกรมของ ASCII	53
5.1	การมอดูเลตทางแอมพลิจูดโดยใช้อุปกรณ์นอนลิเนียร์	59
5.2	การใช้สัญญาณเสียงที่มีขนาดมากและน้อยเพื่อมอดูเลตบนคลื่นพาหะ	60
5.3	การวัดเปอร์เซ็นต์การมอดูเลต	61
5.4	แอมพลิจูดของสัญญาณเสียงที่ติมอดคืบมาได้ที่เครื่องรับ	62
5.5	การโอเวอร์มอดจะทำให้สัญญาณที่ได้จากการติมอดที่เครื่องรับมีความเพี้ยน	62
5.6	วิเคราะห์คลื่น AM ในเชิงความถี่	64
5.7	ความสัมพันธ์ทางเฟสระหว่างไซน์แบนด์กับพาหะ	65
5.8	เปรียบเทียบคลื่น AM ในเชิงความถี่และเชิงเวลา	66
5.9	วงจรเครื่องส่งคลื่นวิทยุ 27 Mhz	67
5.10	วงจรเครื่องรับคลื่นวิทยุ 27 Mhz	68
6.1	ข้อมูลจากคอมพิวเตอร์ เลข 0,1,3 ตามลำดับ	70
6.2	ข้อมูลจากคอมพิวเตอร์ เลข 5,7,9 ตามลำดับ	71
6.3	ข้อมูลจากคอมพิวเตอร์ เลข 7,9 ตามลำดับ	71
6.4	สัญญาณที่สายอากาศของเครื่องส่งและสัญญาณที่สายอากาศของเครื่องรับ	72
6.5	สัญญาณ OVP จาก FSK ที่ป้อนให้กับเครื่องส่งเปรียบเทียบกับสัญญาณ OVP จากเครื่องรับ	72
6.6	สัญญาณที่สายอากาศของเครื่องส่งเพื่อหา % การมอดูเลชัน	73

สารบัญตาราง

ตาราง	หน้า	
2.1	ข้อเปรียบเทียบระหว่างการส่งข้อมูลแบบขนานและแบบอนุกรม	7
2.2	คุณสมบัติของสัญญาณไฟฟ้า	15
2.3	รายละเอียดของขาต่าง ๆ พร้อมด้วยสัญญาณกำกับของคอนเน็คเตอร์	17
2.4	RS-232-C Interchange Circuits	19
4.1	ตารางสถานะของ CPU	45
4.2	I/O Address Map	49



บทที่ 1

บทนำ

ในปัจจุบันนี้เทคโนโลยีการสื่อสารข้อมูล ได้มีการพัฒนาไปอย่างรวดเร็วโดยเฉพาะได้ มีการนำคอมพิวเตอร์มาประยุกต์ในการส่งข้อมูล ในลักษณะรูปแบบที่แตกต่างกัน ไม่ว่าจะเป็นการ ส่งข้อมูลสื่อสารระหว่างคอมพิวเตอร์ หรือส่งข้อมูลเข้ามาในคอมพิวเตอร์ แต่ในโครงการที่ทำการ ศึกษาและทดลอง เป็นการส่งข้อมูลทางคอมพิวเตอร์ โดยส่งออกทางพอร์ตอนุกรม RS - 232 จากนั้นทำการส่งข้อมูลไปทำการมอดูเลตแบบ FSK (Frequency Shift Keying) แล้วทำการส่งข้อมูล ออกทางคลื่นวิทยุ ส่วนของข้อมูลอนาล็อกที่รับเข้ามา จะทำให้อยู่ในรูปของสัญญาณดิจิทัลแล้ว ทำการประมวลโดยใช้ไมโครคอนโทรลเลอร์เป็นตัวควบคุม แล้วทำการแสดงผลของข้อมูล

โครงสร้างโครงการ



ซึ่งสามารถแบ่งเป็นส่วนย่อย ๆ ได้ดังนี้

1. ส่วนเตรียมข้อมูล เป็นส่วนที่ทำงานโดยใช้เครื่องคอมพิวเตอร์ส่วนบุคคล ส่วนนี้จะทำหน้าที่รับ ข้อมูลจากผู้ส่งผ่านเข้าทางเป็นพินท์และ ทำการนำข้อมูลมาจัดรูปแบบตามที่ได้กำหนดไว้ แล้ว ทำการส่งข้อมูลไปยังส่วนส่งข้อมูลโดยผ่านทางพอร์ตอนุกรม
2. ส่วนส่งข้อมูล จะรับสัญญาณจากพอร์ตอนุกรม RS- 232 จากส่วนเตรียมข้อมูล และทำการมอดู เลตข้อมูล โดยวิธี Frequency Shift Keying แล้วทำการส่งออกอากาศต่อไป
3. ส่วนรับข้อมูล จะรับสัญญาณ Frequency Shift Keying เข้ามาแล้วทำการดีมอดูเลตสัญญาณให้ เป็นสัญญาณดิจิทัล Asynchronous แล้วทำการส่งให้ส่วนตรวจสอบข้อมูลต่อไป
4. ส่วนตรวจสอบข้อมูล จะนำข้อมูลที่ได้จากส่วนรับข้อมูลมาตรวจสอบตำแหน่งที่มากับข้อมูล ว่าตรง กับเครื่องรับ หรือไม่ หากตรงกันก็จะเก็บข้อมูลไว้และทำการตรวจความผิดของข้อมูล
5. ส่วนแสดงผล จะนำข้อมูลที่ได้จากส่วนตรวจสอบมาแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์

1. เพื่อให้เข้าใจการทำงาน และสามารถสร้างต้นแบบของเครื่องรับ/ส่ง แบบ Amplitude Modulate
2. สามารถอธิบายหลักการ การรับ/ส่งข้อมูลทางพอร์ตอนุกรม RS-232
3. เขียนโปรแกรมส่งข้อมูลและโปรแกรมรับข้อมูลทางพอร์ตอนุกรมได้
4. สามารถอธิบายหลักการการทำงานและสร้างต้นแบบของส่วนแสดงผลได้



บทที่ 2

รูปแบบการส่งข้อมูลทางคอมพิวเตอร์

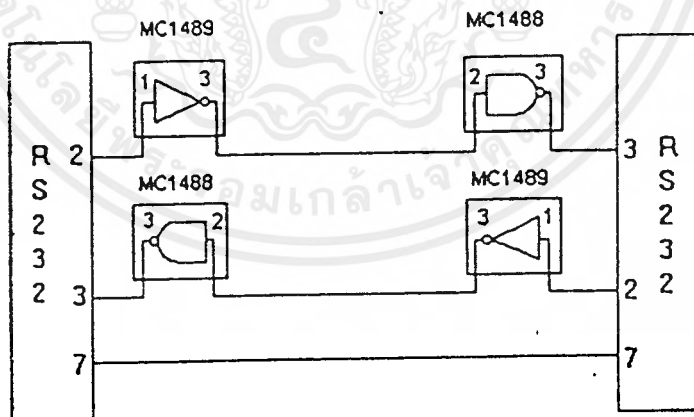
2.1 การทำงานของวงจรรีเลย์เฟส

การส่งข้อมูลจากคอมพิวเตอร์มายังโมเด็มที่นิยมใช้กันนั้นเป็นการส่งข้อมูลออกมาที่พอร์ท RS-232C ซึ่งเป็นการส่งข้อมูลแบบอนุกรม โดยระดับแรงดันที่ส่งผ่านพอร์ท RS-232C นี้จะอยู่ในระดับ ± 12 โวลต์ ดังนั้นตัวโมเด็มจึงจำเป็นต้องมีตัวแปลงระดับแรงดัน ± 12 โวลต์ ให้อยู่ในระดับ TTL (0-5 โวลต์) ในที่นี้เราใช้ไอซี MC1489 โดยระดับแรงดันที่เข้าตัวไอซีนี้

- หากเป็น 12 โวลต์ เมื่อผ่าน MC1489 จะได้ระดับแรงดัน 0 โวลต์
- หากเป็น -12 โวลต์ เมื่อผ่าน MC1489 จะได้ระดับแรงดัน 5 โวลต์

ในการส่งข้อมูลเข้าพอร์ท RS-232 ก็เช่นกันจำเป็นต้องเปลี่ยนแรงดัน ในระดับ TTL (0-5 โวลต์) ให้อยู่ในระดับแรงดัน ± 12 โวลต์ ในที่นี้เราใช้ ไอซี MC1488 โดยระดับแรงดันที่เข้าตัวไอซีนี้

- หากเป็น 0 โวลต์ เมื่อผ่าน MC1488 จะได้ระดับแรงดัน 12 โวลต์
- หากเป็น 5 โวลต์ เมื่อผ่าน MC1488 จะได้ระดับแรงดัน -12 โวลต์



รูป 2.1 แสดงการอินเทอร์เฟสระหว่างเครื่องคอมพิวเตอร์

2.2 การส่งข้อมูลแบบขนานและแบบอนุกรม

โดยทั่วไป หลักใหญ่ของการส่งข้อมูลในคอมพิวเตอร์ หรือระหว่างคอมพิวเตอร์ด้วยกันจะมีลักษณะของการส่งข้อมูลอยู่ 2 แบบคือ ส่งแบบขนาน และส่งแบบอนุกรม ดังกล่าวมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วว่าคำสั่งหรือข้อมูลอยู่ในรูปของบิต คือ หลาย ๆ บิตประกอบกันเป็นคำ ๆ หนึ่ง (word) หรือ คำสั่งหนึ่ง ๆ ดังในรูป 2.2 ได้แสดงถึงกลุ่มของบิตที่มีการใช้งานในไมโครคอมพิวเตอร์ โดยในการกำหนดแอดเดรสของหน่วยความจำ หรือการเขียนคำสั่ง และขบวนการอื่น ๆ ส่วนแต่ต้องแปลงให้อยู่ในรูปของเลขศูนย์กับเลขหนึ่งเสมอ จึงจะทำให้ซีพียูรับรู้ และปฏิบัติตามได้ จึงได้มีการกำหนดลักษณะมาตรฐานของข้อมูล ดังนี้

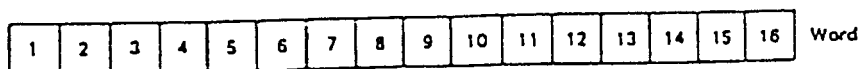
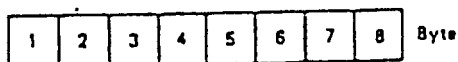
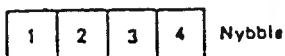
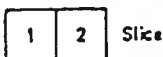
“ถ้าข้อมูลหนึ่งตัวเมื่อแปลงให้อยู่ในรูปของเลขฐานสองแล้ว ประกอบด้วย 4 บิต เราเรียกว่า 4 บิตไมโคร หรือ 1 นิบเบิล (Nybble)”

“และถ้าข้อมูลประกอบไปด้วยกลุ่มของบิตที่มี 8 บิต เราเรียกว่าเป็น 1 ไบท์ (byte)” เป็นต้น แต่ในระบบอื่นอาจจะมี 16 บิต หรือ 32 บิต เป็น 1 ไบท์ก็ได้

เพราะฉะนั้น เมื่อเรารู้ลักษณะของข้อมูลแล้ว ต่อไปเราจะมาพูดถึงข้อแตกต่างระหว่างการส่งข้อมูลในแบบขนาน และอนุกรมว่าเป็นอย่างไร

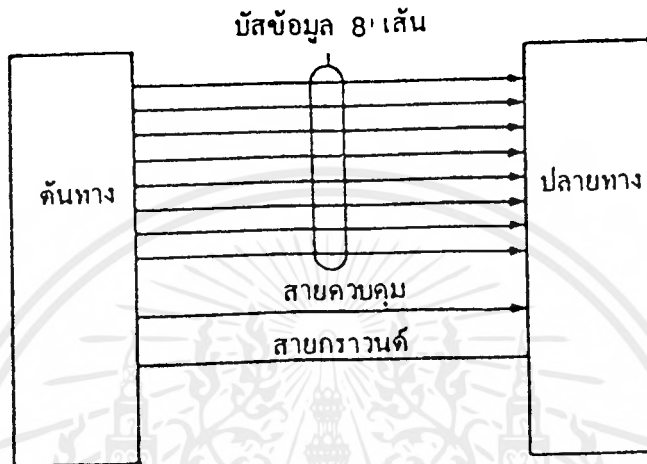
การส่งข้อมูลแบบอนุกรม : ข้อมูลจะถูกส่งเรียงกันออกไปเป็นลำดับต่อเนื่องกันทีละบิต เช่น ถ้าข้อมูลเป็น 1010 : เลข 0 ทางขวามือสุดซึ่งเป็น LSB (Least Significant bit) ส่งออกไปก่อน ตามด้วยบิตที่สองคือเลข 1 และ บิตที่ 3 คือเลข 0 และบิตสุดท้ายคือเลข 1 ซึ่งเป็น MSB (Most Significant bit) ตามลำดับ โดยสายส่งข้อมูลจะมีอยู่เพียงเส้นเดียวเท่านั้น

การส่งข้อมูลแบบขนาน : ข้อมูลทุก ๆ บิตจะถูกส่งออกไปพร้อม ๆ กันในครั้งเดียว เช่น ถ้าข้อมูลเป็น 1010 ทั้งสี่บิตนี้จะถูกส่งออกไปพร้อมกัน โดยผ่านสายส่งข้อมูลที่มี 4 เส้น โดยแต่ละบิตจะส่งในสายส่งคนละเส้น



รูป 2.2 แสดงรูปแบบของข้อมูล

ในระบบไมโครคอมพิวเตอร์ทั่วไป การส่งผ่านข้อมูลระหว่างอุปกรณ์ต่าง ๆ ที่อยู่แผ่นวงจรเดียวกัน จะส่งในแบบขนานทั้งสิ้น ถ้าเป็นไมโครคอมพิวเตอร์ขนาด 8 บิต สายส่งข้อมูลภายในก็จะมี 8 เส้น ซึ่งเรียกว่า “บัสข้อมูล” (data bus) นอกจากนี้บัสข้อมูลทั้ง 8 นี้แล้วยังต้องมีสายส่งข้อมูลอย่างน้อยอีก 2 เส้นร่วมกันอีกด้วย ซึ่งจะใช้เป็นสาย data Ready และสายกราวด์ดังรูป 2.3



รูป 2.3 ระบบการส่งข้อมูลแบบขนาน

ซึ่งความจำเป็นของสายกราวด์นี้มีไว้เพื่อใช้เป็นจุดอ้างอิงของศักดาไฟฟ้าเพื่อแสดงสถานะทางลอจิกของข้อมูลทั้ง 8 บิต โดยที่ระดับศักดาไฟฟ้าของข้อมูลจะมีเพียง 0 กับ 1 เท่านั้น สำหรับสาย data ready นั้นจะบอกถึงความพร้อมของจุดส่งข้อมูลว่า ขณะนี้มีข้อมูลพร้อมที่จะส่งแล้ว ทางจุดรับจะตอบรับต่อสัญญาณนี้ว่าพร้อมที่จะรับหรือไม่ ซึ่งจะต้องมีการตรวจสอบสัญญาณเหล่านี้ก่อนเสมอ ถึงจุดนี้แล้วคงพอจะมองเห็นภาพของข้อมูลที่ถูกส่งแล้วว่าจะถูกส่งออกไปครั้งละ 1 ไบต์ ตลอดเวลาจึงทำให้ปฏิบัติตามขบวนการต่าง ๆ รับรู้คำสั่ง และปฏิบัติตามได้อย่างรวดเร็วถูกต้อง

ข้อที่ควรสังเกตจากรูป 2.3 อีกข้อหนึ่งก็คือ ในการส่งข้อมูลแบบขนานนี้ ควรจะต้องมีสัญญาณควบคุมเพื่อใช้ควบคุมการปฏิบัติงานให้ถูกต้อง โดยสัญญาณควบคุมนี้จะส่งในทิศทางเดียวตลอดเวลา แต่ถ้าหากทิศทางของข้อมูลมีการแลกเปลี่ยนกันคือ ส่งกลับไปมาได้ทั้งสองทางในลักษณะนี้สัญญาณควบคุมก็จะต้องเป็นลักษณะสองทิศทางด้วย จึงต้องใช้สายสัญญาณควบคุมถึง 2 เส้นพร้อมกัน คือสัญญาณ IN และ OUT จะเป็นตัวชี้ว่า แชนแนลหรือช่องสัญญาณไหนที่ทำการส่งข้อมูลและช่องสัญญาณไหนที่รับข้อมูล เป็นต้น

สำหรับในระบบไมโครคอมพิวเตอร์ 8 บิตนั้น ซีพียู Z-80 ถูกใช้แพร่หลายที่สุดในการใช้งาน ซีพียู Z-80 บัสข้อมูลทั้ง 8 เส้นจะต่ออยู่กับวีจีทีเคภายในของซีพียู โดยหน้าที่ของเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซีพียูนี้ จะทำหน้าที่ในการแปลคำสั่งที่รับเข้ามา แล้วเปลี่ยนให้อยู่ในรูปของสัญญาณลอจิกส่งออกไปส่งงานให้ขาต่าง ๆ ของตัวซีพียู (Z-80) มีขาที่ติดอยู่กับตัวถังทั้งหมด 40 ขา ประกอบกัน เรียกว่าแพ็คเกจปฏิบัติงานส่งสัญญาณออกไปให้อุปกรณ์ต่าง ๆ บนแผ่นวงจรมินิคอมพิวเตอร์ สำหรับโครงสร้างอื่น ๆ ของซีพียู Z-80 ก็ประกอบด้วยหน่วยความจำ หน่วยความจำของระบบนี้จะจัดเป็นกลุ่ม ๆ ละ 8 บิต การส่ง ข้อมูลผ่านพอร์ทอินพุท/เอาต์พุทพอร์ท จะส่งครั้งละ 8 บิต รีจิสเตอร์ภายในที่เป็นรีจิสเตอร์ใช้งานทั่วไปจะมีขนาด 8 บิต แต่ในโครงสร้างภายในสามารถใช้รีจิสเตอร์ 8 บิต สองตัวรวมเป็น 16 บิตได้

ในปัจจุบันไมโครคอมพิวเตอร์ขนาด 16 บิต และจุปเปอร์ไมโครคอมพิวเตอร์ตลอดจนถึงมินิคอมพิวเตอร์ และจุปเปอร์มินิคอมพิวเตอร์ได้เข้ามามีบทบาทในงานคอมพิวเตอร์มาก ดังนั้นหลักการต่าง ๆ จึงสามารถประยุกต์ใช้งานกับคอมพิวเตอร์เหล่านี้ได้

ในหัวข้อก่อนเราทราบแล้วว่าการส่งข้อมูลระหว่างซีพียูกับอุปกรณ์ต่าง ๆ บนแผ่นวงจรมักจะส่งเป็นแบบขนาน แต่ถ้าในกรณีที่เป็นการส่งข้อมูลจากไมโครคอมพิวเตอร์ไปยังอุปกรณ์รอบข้างต่างๆ การส่งข้อมูลมักจะเป็นการส่งแบบอนุกรมแทบทั้งสิ้น เพื่อเป็นการประหยัดค่าใช้จ่ายและสามารถส่งได้ระยะทางไกล ๆ ดังนั้น จึงใช้สายส่งข้อมูลเพียงเส้นเดียว ส่วนสายสัญญาณที่เหลือจะเป็นสายส่งสัญญาณควบคุม และสายกราวนด์

ซึ่งมาตรฐานสากลที่กำหนดขึ้นมาควบคุมขบวนการส่งข้อมูลแบบนี้ประกอบด้วยมาตรฐานของสัญญาณระดับต่าง ๆ เช่น ระดับสัญญาณที่ใช้อุปกรณ์ TTL (Transistor-Transistor Logic), ระดับสัญญาณที่ใช้กับมาตรฐานของ EIA RS-232C และระดับสัญญาณที่ใช้กับระบบ 20 mA Current loop มาตรฐานเหล่านี้ใช้กันแพร่หลายในการส่งข้อมูลแบบอนุกรมในระบบไมโครคอมพิวเตอร์โดยเฉพาะมาตรฐาน RS-232C

ในระบบการสื่อสารข้อมูลนั้น ข้อมูลที่ส่งออกไปจะอยู่ในรูปของสัญญาณไฟฟ้า (เป็นสัญญาณอนาล็อก) วิ่งผ่านไปตามสายส่ง ซึ่งมักจะเกิดปัญหาเรื่องเกิดความผิดพลาดของสัญญาณขึ้นมา ซึ่งปัจจัยอย่างหนึ่งที่เป็นสาเหตุก็คือ ระยะทางที่ส่งผ่านข้อมูล ถ้าระยะทางยิ่งไกล ความผิดพลาดของข้อมูลก็จะเพิ่มมากขึ้นเป็นเงาตามตัว ฉะนั้น ในการแก้ไขจุดบกพร่องนี้วิธีการต่าง ๆ ที่ใช้แก้ไขปัญหานี้ก็คือ ส่งสัญญาณข้อมูลที่มีความแรงมาก ๆ ออกไป หรือมีการใช้วงจรขยายสัญญาณข้อมูลเป็นช่วง ๆ เพื่อให้ความแรงของสัญญาณคงที่ตลอดเวลา เป็นคั่น ซึ่งการขยายสัญญาณของข้อมูลที่เป็นแบบอนุกรมจะยุ่งยากน้อยกว่าแบบขนานมาก นอกจากนี้ปัญหาอื่น ๆ ที่พบอยู่เสมออีกได้แก่ เฟสของสัญญาณและปัญหาเกี่ยวกับการหน่วงเวลาของสัญญาณข้อมูล ซึ่งล้วนแต่มีผลให้ข้อมูลที่ได้รับได้ทางปลายทางผิดพลาดได้ และในการส่งข้อมูลแบบขนานมักจะพบกับปัญหาการบิดเบือนของสัญญาณ (Skewing) เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง 2.1

ข้อเปรียบเทียบระหว่างการส่งข้อมูลแบบขนานและแบบอนุกรม		
	แบบขนาน	แบบอนุกรม
1. ระยะทาง	ปกติจะน้อยกว่า 100 ฟุต	ส่งได้ตั้งแต่ระยะสั้น ๆ จนถึงระยะทางเป็นไมล์
2. ความเร็ว	อัตราความเร็วสูงมากในระยะที่ไม่ไกลมากนัก กำหนดได้เป็นจำนวนบิตต่อวินาที	อัตราความเร็วของข้อมูลที่ใช้กันอยู่ทั่วไป จะอยู่ในช่วง 0 ถึง 2 ล้านบิตต่อวินาที
3. ระดับของสัญญาณ	ในการอินเตอร์เฟสจะใช้ระดับสัญญาณที่ใช้กับอุปกรณ์ TTL คือสัญญาณลอจิก 1 และ 0 จะแทนด้วยระดับแรงดัน + 5V และ 0V ตามลำดับ	ใช้มาตรฐานของ EIA-RS 232 C คือ มีระดับสัญญาณไฟฟ้าขนาด 12 V current loop หรืออาจจะใช้ระดับสัญญาณของ TTL ก็ได้ (ใช้กันน้อยมาก)
4. ความผิดพลาดของสัญญาณ	ถ้าส่งในระยะทางไกล ๆ ความผิดพลาดของข้อมูลจะเกิดขึ้นง่าย	การผิดพลาดของสัญญาณจะมีน้อยลง
5. ค่าใช้จ่าย	ถ้าส่งในระยะทางไกล ๆ จะสิ้นเปลืองค่าใช้จ่ายมาก เพราะต้องใช้สายส่งสัญญาณหลายเส้น	สิ้นเปลืองน้อยกว่าหลายเท่า ถึงแม้ว่าจะใช้อุปกรณ์เปลี่ยนสัญญาณของข้อมูลจากแบบขนานไปเป็นแบบอนุกรม แล้วส่งผ่านสายส่งใช้อุปกรณ์ในการแปลงสัญญาณกลับมาเป็นแบบขนานอีก ก็ยังลงทุนน้อยกว่า

ในปัจจุบันดำเนินการสื่อสารข้อมูลที่มีระยะทางไกลแล้ว รูปแบบของการส่งสัญญาณมักจะอาศัยเครือข่ายโทรศัพท์เป็นศูนย์กลางหรือส่งผ่านสายโทรศัพท์นั่นเอง โดยจะส่งในรูปแบบของสัญญาณเสียง (Voice Signal) หรือสัญญาณอนาล็อก แต่ในกรณีที่จะส่งสัญญาณในลักษณะของสัญญาณดิจิทัล โดยใช้เครือข่ายโทรศัพท์ แล้วจะต้องทำการแปลงสัญญาณดิจิทัลให้อยู่ในรูปแบบของสัญญาณอนาล็อกเสียก่อน โดยจะต้องมีคุณสมบัติของสัญญาณ เช่น มีแถบความถี่ และอื่น ๆ สอดคล้องกับคุณสมบัติของระบบเครือข่ายโทรศัพท์ที่วางไว้เป็นมาตรฐานแล้ว ดังนั้น เมื่อมาถึงจุดนี้เราจะนึกภาพออกแล้วว่า จะเลือกใช้วิธีการส่งข้อมูลแบบใดนั้นขึ้นอยู่กับความเหมาะสมที่จะนำไปใช้ในระบบ ถ้าเป็นการสื่อสารในระยะทางสั้น ก็ควรจะใช้การส่งข้อมูลแบบขนาน เนื่องจากสามารถส่งข้อมูลในอัตราสูงได้ แต่สำหรับการสื่อสารในระยะไกล ๆ การส่งในแบบอนุกรมจะเหมาะสมกว่า และไม่ว่าในการส่งข้อมูลแบบอนุกรมหรือแบบขนานก็ตาม คุณสมบัติอย่างหนึ่งที่ต้องคำนึงถึง คือ ทิศทางการส่งข้อมูล

2.3 การส่งข้อมูลแบบอะซิงโครนัสและซิงโครนัส

2.3.1 การรับส่งข้อมูลแบบซิงโครนัส

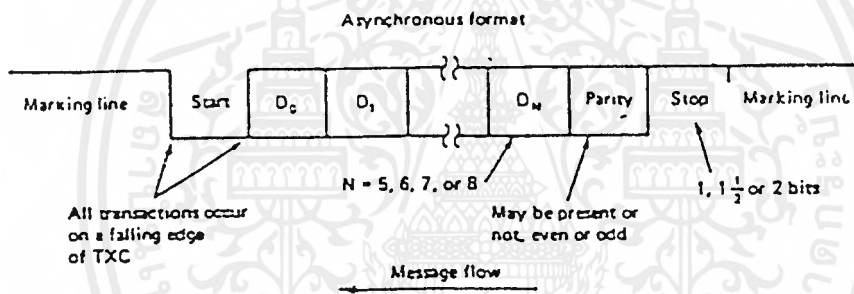
ไม่ว่าในการส่งข้อมูลจะเป็นแบบขนานหรือแบบอนุกรม การส่งข้อมูลแบบซิงโครนัสระบบการส่งที่ข้อมูลแต่ละเวิร์ค ถูกส่งออกไปตามเวลาที่แน่นอน ซึ่งหมายถึงระยะเวลาระหว่างข้อมูลแต่ละเวิร์คที่ถูกส่งออกไปมีค่าแน่นอน

2.3.2 การรับส่งข้อมูลแบบอะซิงโครนัส

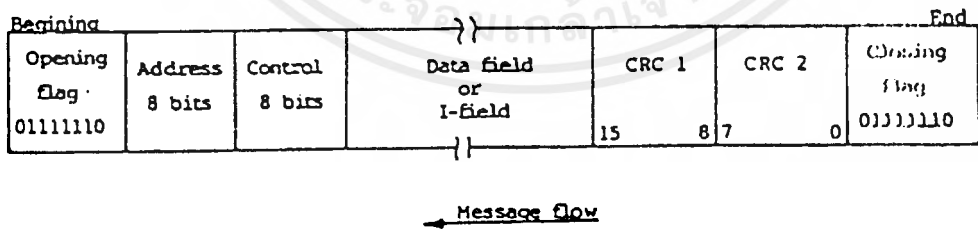
คือระบบการรับส่งข้อมูลที่แต่ละคำ ถูกส่งออกไปอย่างไม่มีการกำหนดเวลาแน่นอน นั่นคือ ระยะเวลาระหว่างข้อมูลแต่ละคำที่ถูกส่งออกไปมีค่าไม่แน่นอน ตัวอย่างเช่น การส่งข้อมูลจากคอมพิวเตอร์ A ไปยังคอมพิวเตอร์ B ในการป้อนข้อมูลจากคีย์บอร์ดนั้นผู้ที่พิมพ์คีย์ไม่สามารถพิมพ์ด้วยอัตราเร็วคงที่ได้ แต่ละครั้งที่กดจะห่างไม่เท่ากัน ดังนั้น สิ่งที่กำหนดเวลาในการส่งข้อมูลก็คือ ความพร้อมเพียงของเครื่องรับและเครื่องส่ง

ในการส่งข้อมูลอนุกรมแบบอะซิงโครนัสนั้น โครงสร้างของข้อมูลที่จะส่งจะมีลักษณะเป็นบิต็อก ๆ ซึ่งแต่ละบิต็อกประกอบด้วยบิตเริ่มต้น (Start bit) ส่วนของข้อมูลและบิตสุดท้ายคือบิตสิ้นสุดข้อมูล (Stop bit) โดยบิตเริ่มต้นจะแสดงถึงการเริ่มต้นของกลุ่มข้อมูล แล้วตามด้วยส่วนของกลุ่มข้อมูล และบางกรณีอาจจะมีการเพิ่มบิตพาริตีเพื่อใช้ตรวจสอบความถูกต้องของข้อมูล และบิตสิ้นสุดข้อมูลก็จะเป็นการบอกว่าข้อมูลในบิต็อก ๆ นี้ หมดลงเพียงแค่นี้ ส่วนในการส่งข้อมูลแบบซิงโครนัสนั้น จะต้องมีการส่งสัญญาณนาฬิกาไปพร้อม ๆ กับสัญญาณข้อมูล

ระยะสั้น ๆ สัญญาณนาฬิกาซึ่งใช้เป็นสัญญาณซิงค์ อาจจะส่งแยกไปในสายส่งสัญญาณอีกเส้นหนึ่ง ไม่ส่งรวมไปในสายส่งข้อมูลก็ได้ แต่ถ้าเป็นการสื่อสารในระยะไกล ๆ แล้วสัญญาณนาฬิกาจะถูกเข้ารหัสส่งรวมไปกับสัญญาณข้อมูลในสายส่งเส้นเดียวกัน และไม่ว่าจะเป็นการส่งข้อมูลแบบซิงค์โครนัสหรืออะซิงค์โครนัส ข้อมูลในบิตถ้อยหนึ่ง ๆ จะต้องมีบิตที่แสดงให้รู้ว่าเป็นการเริ่มต้นของข้อมูล และสิ้นสุดข้อมูลซึ่งลักษณะของข้อมูลเช่นนี้เรากล่าวถึงมาแล้วในการส่งข้อมูลแบบอะซิงค์โครนัส แต่ถ้าเป็นการส่งแบบซิงค์โครนัสจะไม่มีบิตเริ่มต้นและบิตหยุด แต่บิตที่อยู่ตัวท้ายของข้อมูลบิตถ้อยหนึ่ง ๆ (บิตถ้อยหนึ่ง ๆ ประกอบด้วยข้อมูลหลายชุด) จะแสดงถึงจุดเริ่มต้นและจุดสิ้นสุดของข้อมูลเท่านั้น เพราะฉะนั้นถ้าเป็นการส่งข้อมูลอนุกรมแบบอะซิงค์โครนัส เราจะเพิ่ม Framing bits รวมเข้าไปในแต่ละคาร์แรกเตอร์ และถ้าเป็นการส่งข้อมูลอนุกรมแบบซิงค์โครนัส เราจะเพิ่ม Framing characters เข้าไปร่วมกับบิตถ้อยของข้อมูลแต่ละบิตถ้อย ซึ่งแสดงความแตกต่างได้ดังรูป 2.4 และรูป 2.5



รูป 2.4 การส่งข้อมูลอนุกรมแบบอะซิงค์โครนัส



รูป 2.5 การส่งอนุกรมแบบซิงค์โครนัสหรือโปรโตคอลแบบ SDLC

Asynchronous Serial Link-Level Protocol

ในหัวข้อนี้จะกล่าวถึงโปรโตคอลของการส่งข้อมูลอนุกรมแบบซิงค์โครนัสโดยละเอียด ซึ่งก่อนหน้านี้ได้กล่าวอย่างคร่าว ๆ มาบ้างแล้วว่า ข้อมูลแต่ละคาร์แรกเตอร์ที่ส่งไปมีกำหนดเวลาไม่แน่นอน ดังนั้น หลักการของโปรโตคอลชนิดนี้จึงต้องมีการรีซิงค์โครโนซ์โยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Resynchronization) ระหว่างคาร์แรกเตอร์ด้วย โดยหลักการของการรีซิงค์โครไนซ์ ก็คือ ความแตกต่างของสัญญาณนาฬิกา ระหว่างด้านส่งและด้านรับจะมีได้ไม่เกิน 10 เปอร์เซ็นต์ ซึ่งหมายความว่าหลังจากที่ทางด้านส่ง ๆ ข้อมูลไปแล้ว 10 บิต โดยสมมติให้ทางด้านส่งมีความถี่ของสัญญาณนาฬิกาเร็วกว่าทางด้านรับ ทางด้านรับจะรับข้อมูลได้เกินมา 1 บิต คือรับได้ 11 บิต หรือหมายความว่า ค่ายระยะเวลาของสัญญาณนาฬิกาเท่า ๆ กัน ทางด้านส่งจะส่งข้อมูลได้จำนวนบิตมากกว่า ดังนั้นในบิตถัด ๆ หนึ่งของข้อมูลที่ส่งไปจึงมีการเพิ่มบิตเริ่มต้น และบิตหยุดรวมเข้าไปตรงหัว/ท้ายของข้อมูล โดยปกติบิตเริ่มต้นจะมีเพียงบิตเดียวในขณะที่บิตหยุดอาจจะมี 2 บิต หรือ 3 บิตก็ได้

บิตเริ่มต้น

ในโปรโตคอลของการส่งข้อมูลอนุกรมแบบอะซิงค์โครนัส กำหนดให้สถานะมาร์ค (Marking State) เป็นสัญญาณลอจิก 1 เมื่อทางด้านส่งจะทำการส่งข้อมูลก็จะต้องส่งบิตเริ่มต้นโดยแทนด้วยสถานะสเปส (Space State) หรือสัญญาณลอจิก 0 จำนวน 1 บิตไปก่อน ซึ่งจะทำให้ทางด้านรับตีเท็กซ์สถานะของสายส่งได้ว่าขณะนั้นสายส่งกำลังมีข้อมูลส่งมา สำหรับปัญหาที่เกิดขึ้น และมีผลต่อสัญญาณข้อมูลก็คือสัญญาณสไปค์ (Spide) ซึ่งทำให้สถานะลอจิกของสายส่งมีช่วงเวลาสั้นเกินไป ทำให้ทางด้านรับไม่สามารถตีเท็กซ์สถานะของสายส่งหรือสถานะของบิตเริ่มต้นได้ ดังนั้น ส่วนใหญ่ทางด้านรับจะมีส่วนของวงจรสไปค์ คีเทคชัน (Spike Detection) ที่ทำหน้าที่สุ่มจับสัญญาณสถานะของสายส่งด้วยความถี่ของการสุ่มค่าหนึ่งในระหว่างบิตต่อบิต ซึ่งอาจจะเป็น 2, 4 หรือ 16 ครั้ง ในระหว่าง 1 บิตก็ได้

ดังนั้นเราอาจสรุปได้ว่า หน้าที่ของบิตเริ่มต้นจะเป็นตัวบอกว่าข้อมูลเริ่มต้นตรงไหนและเมื่อใช้ร่วมกับบิตหยุด ซึ่งจะกล่าวต่อไปก็จะทำให้ทราบได้ว่าข้อมูลสิ้นสุดตรงไหน โดยความกว้างของบิตเริ่มต้นนี้จะมีความกว้างเท่ากับ 1 บิตข้อมูล แสดงดังรูปที่ 2.6

บิตข้อมูล

หลังจากที่ด้านรับสามารถตีเท็กซ์สัญญาณบิตเริ่มต้นได้แล้ว ก็จะมีการเจ็ทสถานะของชิพรีจิสเตอร์ ให้พร้อมที่จะรับบิตข้อมูลได้ โดยบิตข้อมูลจะมีจำนวนบิตเป็น 5, 6, 7 หรือ 8 บิต ขึ้นกับจำนวนคาร์แรกเตอร์ที่ใช้ดังแสดงตามตารางต่อไปนี้

จำนวนบิตข้อมูลใน 1 คาร์แรกเตอร์	จำนวนคาร์แรกเตอร์
5 บิต	32
6 บิต	64
7 บิต	128
8 บิต	256

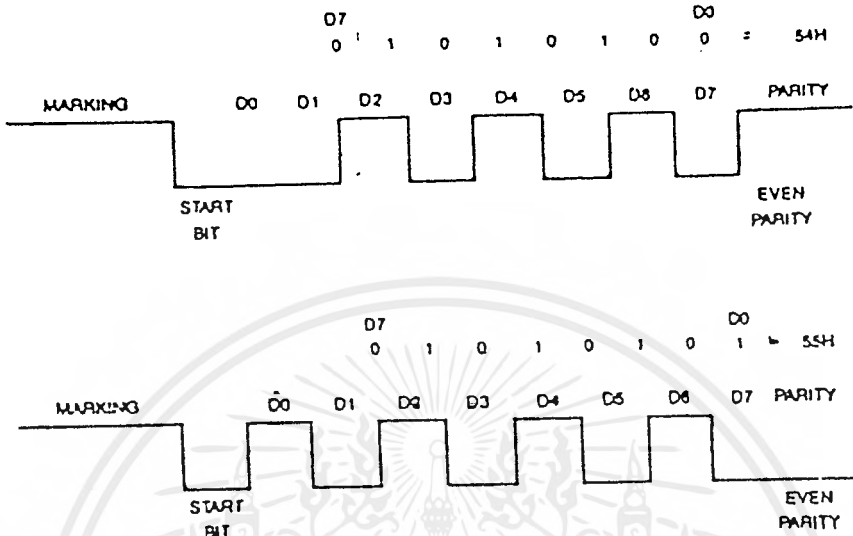
นอกจากนี้รหัสต่าง ๆ ที่ใช้อาจจะแทนด้วย 5 บิต ซึ่งเป็นมาตรฐานของรหัส Baudot โดยประกอบด้วยกลุ่มของคาร์แรกเตอร์ต่าง ๆ จำนวน 32 คาร์แรกเตอร์ และถ้าเป็นรหัสขนาด 7 บิต จะประกอบด้วยกลุ่มของคาร์แรกเตอร์ต่าง ๆ จำนวน 128 ตัว ซึ่งเป็นมาตรฐานของรหัส ASCII และใช้กันแพร่หลายมาก นอกจากนี้ยังมีรหัสขนาด 8 บิต หรือมาตรฐานของรหัส EBCDIC โดยมาตรฐานนี้ประกอบด้วยกลุ่มของคาร์แรกเตอร์ 256 คาร์แรกเตอร์ เป็นต้น

บิตพาริตี

บิตนี้จะทำหน้าที่ในการบอกให้ส่วนรับข้อมูลทราบว่าข้อมูลที่รับเข้ามาผิดหรือไม่ (โดยบิตนี้จะทำหน้าที่ในการบอกให้ด้านรับทราบว่าข้อมูลที่ส่งมาแต่ละไบต์นั้น มีจำนวนบิตที่เป็น "1" อยู่เป็นจำนวนคี่ หรือจำนวนคู่ เช่นข้อมูล 54H = 01010111 จะมีจำนวนบิตที่เป็น "1" อยู่เป็นจำนวนคี่ เป็นต้น ซึ่งบิตที่ใช้ในการตรวจสอบนี้ เราเรียกว่า บิตพาริตี) บิตพาริตีนี้จะถูกส่งออกมาพร้อมกับบิตข้อมูล ซึ่งบิตนี้จะ เป็น "1" หรือ "0" นั้นขึ้นอยู่กับข้อมูลที่ส่งออกมาว่ามีจำนวนบิตที่เป็น "1" เป็นจำนวนคี่หรือคี่ และยังขึ้นอยู่กับอุปกรณ์รับส่งข้อมูลด้วยว่าถูกออกแบบ (โปรแกรม) ไว้ให้รับส่งบิตพาริตีในลักษณะของพาริตีคู่ หรือคี่อีกด้วย

ในกรณีที่อุปกรณ์รับส่งออกแบบไว้ให้เป็นพาริตีคู่ อุปกรณ์ส่งข้อมูลจะทำการส่งพาริตีเป็นลอจิก 1 ออกไปเมื่อจำนวนบิตที่เป็น 1 ของข้อมูลเป็นจำนวนคี่ และจะทำการส่งพาริตีบิตเป็นลอจิก 0 เมื่อจำนวนบิตที่เป็น 1 ของข้อมูลเป็นจำนวนคู่ (คือทำให้จำนวนบิตที่เป็น 1 ของข้อมูลเมื่อรวมกับพาริตีบิตแล้วเป็นจำนวนคู่นั่นเอง) สำหรับในกรณีของพาริตีคี่ก็เช่นกัน คือพาริตีบิตจะเป็น "1" ในกรณีที่จำนวนบิตที่เป็น 1 ของข้อมูลเป็นจำนวนคี่ และจะเป็น 0 ในกรณีที่ เป็นจำนวนคี่ ในที่นี้จะสมมติว่าอุปกรณ์ถูกออกแบบไว้สำหรับพาริตีคู่ และเราต้องการที่จะส่งข้อมูลออกไปให้กับส่วนรับข้อมูลเป็นจำนวน 2 ไบต์ คือ 54 H และ 55 H เมื่อเราส่งข้อมูล 54 H ออกไปซึ่งมีจำนวนบิตที่เป็น 1 เป็นจำนวนคี่ ดังนั้น ในกรณีนี้อุปกรณ์ส่งข้อมูลก็จะทำการส่งพาริตีบิตเป็นลอจิก 1 ตามออกมาด้วย เพื่อให้จำนวนบิตที่เป็น 1 ของข้อมูล (54 H) รวมกับพาริตีบิตแล้วได้เป็นจำนวนคู่ ส่วนข้อมูล 55 H จำนวนบิตที่เป็น 1 นั้นเป็นจำนวนคู่อยู่แล้ว ดังนั้น อุปกรณ์ส่งข้อมูล ก็จะส่งพาริตีบิตเป็น 0 ให้กับส่วนรับข้อมูลสำหรับส่วนรับข้อมูลนั้น เมื่อรับเข้ามาแล้วก็จะตรวจสอบสัญญาณว่าจำนวนบิตที่เป็น 1 ของข้อมูลรวมกับพาริตีบิตนั้นเป็นจำนวนคู่หรือไม่ ถ้าหากว่าเป็นจำนวนคี่ก็แสดงว่าข้อมูลที่ได้รับการเข้ามามีก็มีความผิดพลาดเกิดขึ้น

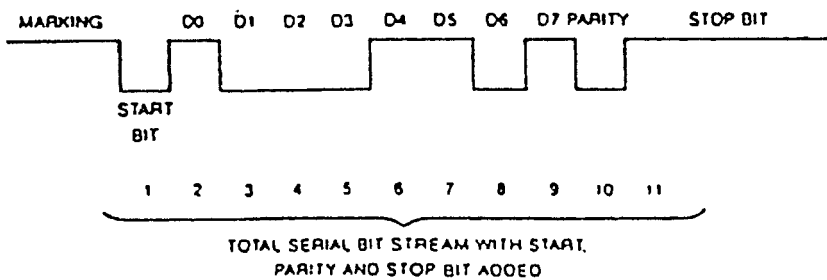
สิ่งสำคัญอีกสิ่งหนึ่งก็คือ ถ้าอุปกรณ์ส่งข้อมูลทำการส่งในลักษณะพาริตีคู่ หรือคี่ก็ตามส่วนรับข้อมูลก็ต้องทำการรับในลักษณะพาริตีเดียวกับอุปกรณ์ส่งข้อมูลด้วย เช่น ในกรณีที่อุปกรณ์ส่งข้อมูลทำการส่งข้อมูลในลักษณะพาริตีคู่ อุปกรณ์รับข้อมูลก็ต้องทำการรับข้อมูลในลักษณะของพาริตีคู่ด้วย เป็นต้น ดังรูป 2.6



รูป 2.6 การเพิ่มพาริตีบิตเข้าไปในข้อมูลแต่ละไบต์

บิตสิ้นสุดข้อมูล (Stop bit)

บิตสุดท้ายที่เพิ่มเข้าไปนี้ จะใช้ในการตรวจสอบจุดสิ้นสุดของข้อมูล บิตนี้จะถูกเพิ่มเข้าไปหลังพาริตีบิต ถ้าอุปกรณ์รับข้อมูลตรวจสอบไม่พบบิตนี้ ก็แสดงว่าข้อมูลที่รับเข้านั้นเกิดข้อผิดพลาดขึ้น สำหรับบิตสิ้นสุดข้อมูลนี้อาจจะมีจำนวนบิตเป็น 1, 1.5 หรือ 2 บิตก็ได้ ซึ่งสรุปได้ว่าข้อมูลที่ส่งออกมาในแต่ละไบต์นั้นไม่ใช่มีแค่ข้อมูล 8 บิต (ในกรณีที่ 1 ไบต์มี 8 บิต) เท่านั้น แต่อาจจะมีได้ถึง 12 บิต หรือมากกว่าก็เป็นได้ ดังรูป 2.7



รูป 2.7 รูปแบบของข้อมูลในแต่ละไบต์ในการรับส่งข้อมูลอนุกรมแบบอะซิงโครนัส

2.4 การสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-232-C ลักษณะต่างๆไป

ถ้าเราอ่านแคตตาล็อก (catalogue) ของเทอร์มินัลหรือเครื่องพิมพ์ เราจะเห็นข้อความ "RS-232-C compatible" ข้อความนี้หมายความว่า อุปกรณ์ตัวนั้นสามารถต่อกับคอมพิวเตอร์ได้โดยใช้คอนเน็คเตอร์แบบ 25 ขา คุณสมบัติของสัญญาณไฟฟ้าและคุณสมบัติทางกลของการอินเตอร์เฟสต้องเป็นไปตามมาตรฐาน RS-232-C ซึ่งถูกกำหนดโดย EIA แต่แม้ว่าคุณสมบัติต่าง ๆ จะเป็นไปตามมาตรฐาน RS-232-C เรายังไม่อาจมั่นใจได้ว่า เราจะใช้งานมันได้อย่างเต็มประสิทธิภาพ ผู้ผลิตเทอร์มินัลหรือเครื่องพิมพ์มักจะทำตามข้อกำหนดเพียงบางข้อเท่านั้น คือเราอาจใช้เซอร์กิตต่าง ๆ ตามมาตรฐาน RS-232-C ได้เพียงบางเซอร์กิตเท่านั้น ดังนั้นเราต้องอ่านข้อกำหนดที่ผู้ผลิตได้จัดทำไว้อย่างละเอียด และตัดสินใจเองว่าเซอร์กิตที่ผู้ผลิตได้จัดไว้ให้เหมาะสมกับความต้องการของเราหรือไม่

ต่อไปจะกล่าวถึงมาตรฐาน ES-232-C อย่างย่อ ๆ โดยเลือกเฉพาะบางส่วนของเอกสารที่ได้รับจาก Electronic Industries Association (EIA)

เนื่องจากความต้องการในการสื่อสารข้อมูลผ่านทางเครือข่ายโทรศัพท์มีมากขึ้นเรื่อย ๆ ดังนั้น จึงต้องมีการกำหนดมาตรฐานที่เรียกว่า RS-232-C ขึ้น เพื่อใช้เป็นมาตรฐานแก่อุปกรณ์ที่ถูกผลิตจากบริษัทต่าง ๆ ในสหรัฐอเมริกา Bell System operating telephone companies เป็นบริษัทหลักบริษัทแรกที่เป็นผู้ผลิตและติดตั้งระบบสื่อสารข้อมูล และเป็นผู้ผลิตอุปกรณ์ต่าง ๆ ที่ใช้ในการอินเตอร์เฟสอุปกรณ์ดิจิทัลกับเครือข่ายโทรศัพท์รายใหญ่ อุปกรณ์นี้ก็คือ Bell modem ซึ่งถูกพัฒนาโดย Bell Laboratories และถูกใช้เป็นมาตรฐานในงานอุตสาหกรรมจนถึงปัจจุบันนี้ (บริษัทต่าง ๆ มักจะลอกข้อกำหนดต่าง ๆ ของ Bell ไปใช้งาน เพื่อให้สินค้าของบริษัทนั้น ๆ สามารถใช้กับอุปกรณ์ของ Bell ได้) ขณะที่อุปกรณ์เกี่ยวกับคอมพิวเตอร์ต่าง ๆ ได้ถูกพัฒนาขึ้นเรื่อย ๆ โดยบริษัทต่าง ๆ เทอร์มินัลและอุปกรณ์อื่น ๆ มักถูกออกแบบให้สามารถอินเตอร์เฟสกับ Bell Modem ได้ ดังนั้น ความต้องการข้อมูลเกี่ยวกับข้อกำหนดในการอินเตอร์เฟสกับโมเด็มจึงมีเพิ่มขึ้นเรื่อย ๆ เพื่อตอบสนองต่อความต้องการนี้ EIA, Bell System และผู้ผลิตโมเด็มรายอื่น ๆ จึงร่วมมือกันตั้งมาตรฐาน RS-232-C ขึ้น

มาตรฐาน RS-232-C ได้ถูกตีพิมพ์โดย EIA ในปี ค.ศ. 1969 ตัวอักษร RS แทน "Recommended Standard", 232 แทนหมายเลขของมาตรฐาน ส่วนอักษร C แสดงให้รู้ว่ามาตรฐานได้รับการแก้ไขกี่ครั้ง

ตามมาตรฐาน RS-232-C ที่ถูกตีพิมพ์โดย EIA ได้กล่าวถึงการสื่อสารข้อมูลระหว่าง Data Terminal Equipment (DTE) และ Data Communication Equipment (DCE) (แต่ในปัจจุบันตัวย่อ DCE จะแทน data circuit terminating equipment) กำจำกัดความของ DCE และ DTE ซึ่งแสดงไว้ข้างล่าง ได้คัดมาจากคำแปลศัพท์ (glossary) ในหนังสือ "Technical Aspect of Data communication" ซึ่งเขียนโดย John Mcnamara (Digital Press, 1977) ดังนี้

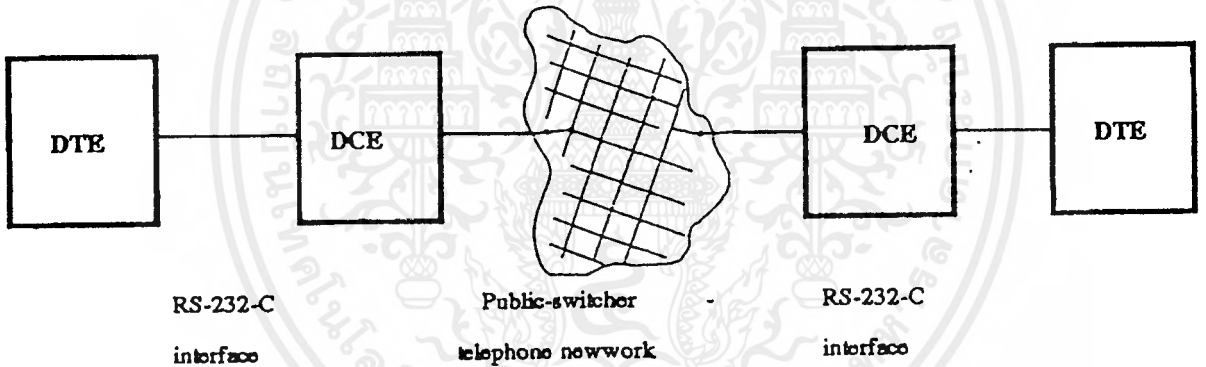
ไมวารณใด ๆ ซึ่งสิ้น อีกทั้งห้ามมิให้คิดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DCE : อุปกรณ์ที่มีฟังก์ชันการทำงานต่าง ๆ ที่ทำให้เกิดการเชื่อมต่อ, ทำให้การเชื่อมต่อยังคงดำรงต่อไป และปฏิบัติการเชื่อมต่อ นอกจากนี้ยังใช้เปลี่ยนลักษณะของสัญญาณและสร้างรหัสสัญญาณต่าง ๆ ที่จำเป็นต้องใช้ในการสื่อสารข้อมูลระหว่าง DTE (data terminal equipment) และ data circuit โดย DCE อาจเป็นส่วนใดส่วนหนึ่งของคอมพิวเตอร์หรือไม่ก็ได้

DTE :

1. เป็นอุปกรณ์ที่ประกอบไปด้วยตัวส่งข้อมูล (data source) หรือตัวรับข้อมูล (data sink) หรือเป็นทั้งตัวส่งและตัวรับข้อมูลก็ได้
2. เป็นอุปกรณ์ที่ประกอบไปด้วย function unit ต่อไปนี้ control logic, buffer store และอุปกรณ์อินพุทหรือเอาต์พุทจำนวนหนึ่งตัวหรือมากกว่าก็ได้ หรือรวมเครื่องคอมพิวเตอร์เข้าไปด้วยก็ได้ DTE อาจจะรวมส่วน error control, synchronization และความสามารถการบ่งหรือระบุความต้องการเกี่ยวข้องกับอุปกรณ์ตัวใด (station identification capability) เข้าไปด้วยก็ได้

ลักษณะของ DCE และ DTE ที่ใช้ในการสื่อสารข้อมูลได้แสดงไว้ในรูป 2.8 ตามลักษณะการทำงานที่ได้อธิบายไว้ข้างต้น

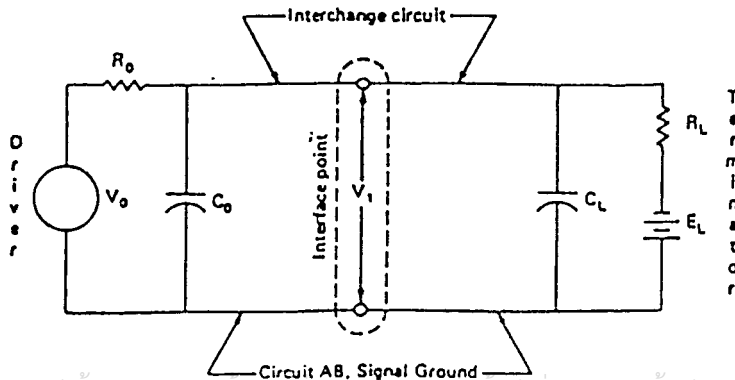


รูป 2.8 ลักษณะของ DCE และ DTE ที่ใช้ในวงจรการสื่อสารข้อมูล

2.5 คุณสมบัติของสัญญาณไฟฟ้า

เราจะอธิบายคุณสมบัติของสัญญาณไฟฟ้าของ RS-232-C ในหัวข้อนี้ โดยใช้รูป

2.9 ประกอบ



รูป 2.9 RS-232-C interface circuit (EIA)

1. สัญญาณที่ขาทุกขาที่คอนเน็คเตอร์ของ RS-232-C จะเป็นสถานะ (status) ใด สถานะหนึ่งในแต่ละคู่ของคู่ต่อไปนี้

MARK/SPACE

ON/OFF

logic 0/ logic 1

ความสัมพันธ์ระหว่างสถานะของสัญญาณคู่ต่าง ๆ กับระดับแรงดันได้แสดงไว้ใน ตาราง 2.2 ขอให้สังเกตด้วยว่า RS-232-C ใช้ลอจิกลบ (negative logic) แทนระดับแรงดันต่าง ๆ (ลอจิกลบ (negative logic) คือวิธีการเปรียบเทียบระดับแรงดันแบบหนึ่ง ถ้าระดับแรงดันหนึ่งมีค่าเป็นลบมากกว่าอีกระดับหนึ่งแรงดันหนึ่ง ระดับแรงดันที่มีค่าเป็นลบมากกว่าจะเป็นลอจิก “สูง” ดังนั้น $1 = -V$, กราวด์ หรือ OFF ส่วน $0 = +V$ หรือ ON) โดยแรงดันของระดับสัญญาณต่าง ๆ จะถูกวัดเทียบกับเซอร์กิต Signal Ground ซึ่งจะกล่าวถึงในภายหลัง นอกจากนี้ช่วงของระดับแรงดันระหว่าง -3 ถึง +3 โวลต์ จะเป็นช่วงของการเปลี่ยนแปลงลอจิก ดังนั้น จึงไม่มีการระบุสถานะของสัญญาณในช่วงนี้

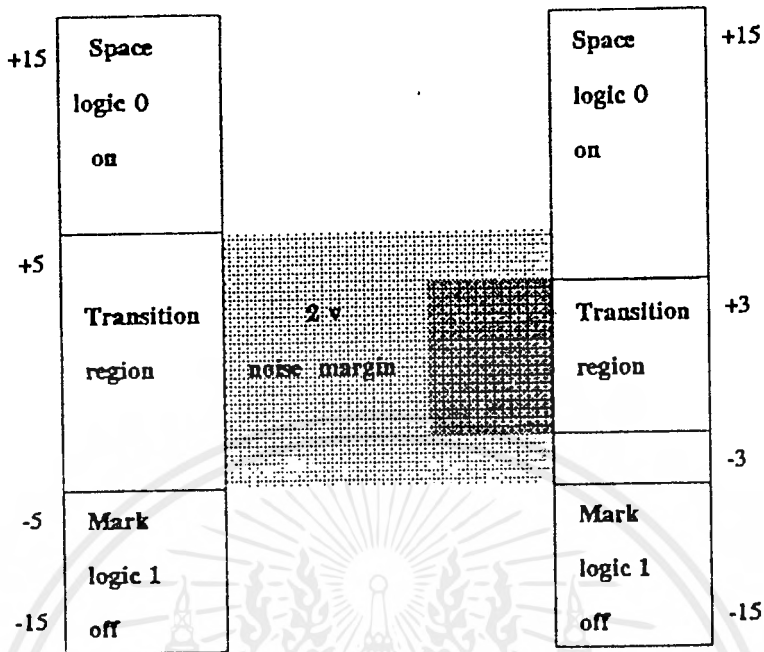
ตาราง 2.2

Status	Signal Voltage	
	$-25V < V_1 < -3V$	$3V < V_1 < 25V$
Binary logic state	1	0
Signal condition	MARK	SPACE
Function	OFF	ON

2. ในการแทนลอจิก 1 หรือสถานะ MARK ตัวขับสัญญาณ (driver) ต้องจ่ายแรงดันระหว่าง -5 ถึง -15 โวลต์ ส่วนในการแทนลอจิก 0 หรือ Space ตัวขับสัญญาณต้องจ่ายแรงดันระหว่าง +5 ถึง +15 โวลต์

จากข้อ 1 และข้อ 2 แสดงว่า RS-232-C ขอมให้มี noise margin ได้ไม่เกิน 2 โวลต์ สำหรับความสัมพันธ์ระหว่างระดับแรงดันและสถานะของสัญญาณได้แสดงไว้ในรูปที่ 2.10 จากรูปจะเห็นได้ว่า ถ้า line driver หรือตัวกำเนิดสัญญาณต้องการส่งลอจิก 0 line driver จะต้องจ่ายแรงดันระหว่าง +5 ถึง +15 โวลต์ ส่วน line receiver หรือตัวรับสัญญาณปลายทางจะถือว่าแรงดันที่อยู่ภายในช่อง +3 ถึง +15 โวลต์แทนลอจิก 0 จากการเปรียบเทียบระดับสัญญาณของตัวส่งและตัวรับ จะเห็นว่า RS-232-C ขอมให้มีการ drop ของสัญญาณในช่วง 2 โวลต์เกิดขึ้นได้ สำหรับ

ในด้านนี้การส่งลอจิก 1 ก็เป็นเช่นเดียวกัน งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.10 คุณสมบัติทางไฟฟ้าของอินเทอร์เฟซแบบ RS-232-C

จากที่ได้อธิบายมาอาจมีข้อสงสัยว่าทำไมไม่ใช้สถานะลอจิกแบบ TTL ซึ่งระดับของแรงดันมีค่าระหว่าง 0 ถึง +5 โวลต์ และทำไมถึงต้องใช้ระดับแรงดันระหว่าง -15 ถึง -3 และ +3 ถึง +15 โวลต์ด้วย

สาเหตุที่ไม่ใช้การแทนลอจิกแบบ TTL ก็เพราะสถานะลอจิกแบบ TTL ถูกรบกวนจากสัญญาณรบกวนต่าง ๆ ได้ง่าย นอกจากนี้ยังมีปัญหาเกี่ยวกับระยะทางที่สามารถทำการสื่อสารข้อมูลอีกด้วย สำหรับสาเหตุที่ต้องใช้แรงดันในช่วง -15 ถึง -3 และ +3 ถึง +15 ก็เพราะในขณะที่กำลังทำการพัฒนา RS-232-C ขึ้นนั้น โฉงจรคอมพิวเตอร์ต่าง ๆ โดยทั่ว ๆ ไปมีการใช้ระดับแรงดันในช่วงเหล่านี้อยู่ อนึ่ง ทรานซิสเตอร์ที่มีขายกันทั่ว ๆ ไปมีการใช้ระดับแรงดันในช่วงเหล่านี้ และยังทนต่อสัญญาณรบกวนต่าง ๆ ที่เข้ามาได้ นอกจากนี้ยังสามารถทำงานที่ความถี่สูง ๆ ได้ สูงถึง 20,000 บิตต่อวินาที (bps) ยิ่งกว่านั้นสถานะ MARK และสถานะ SPACE ยังถูกแทนด้วยการไหลของกระแสในทิศทางที่ตรงข้ามกันและความแตกต่างของแรงดันที่สถานะ MARK และ SPACE มีค่าสูงถึง 6 โวลต์เป็นอย่างน้อย ข้อดีต่าง ๆ ที่กล่าวมานี้ช่วยให้การส่งข้อมูลมีเสถียรภาพดี

3. ตัวเก็บประจุ C_L ที่ต่อขนานกับอุปกรณ์รับข้อมูลปลายทางจะต้องมีค่าไม่เกิน 2500 pF (พิโคฟารัด) โดยค่านี้ไม่รวมค่าความจุไฟฟ้าของสายเคเบิลเข้าไปด้วย

หมายเหตุ ตามข้อกำหนดข้อนี้ ระยะทางที่สามารถใช้ทำการสื่อสารข้อมูลได้ต้องไม่เกิน 50 ฟุต ซึ่งถูกกำหนดไว้ในมาตรฐาน RS-232-C

4. แรงดันขณะเปิดวงจรหรือขณะที่ไม่มีโหลด (V_o) จะต้องไม่เกิน 25 โวลต์ ซึ่งก็คือแรงดันใด ๆ ในเซอร์กิตของอินเทอร์เฟซแบบ RS-232-C ต้องไม่เกิน 25 โวลต์

5. วงจรรับสัญญาณที่ใช้กับ RS-232-C ต้องสามารถทนต่อการตัดวงจรที่เกิดขึ้นได้ (เช่น ขาดของขาเกิดตัดวงจรโดยไม่ตั้งใจ) โดยไม่ทำให้เกิดความเสียหายต่อตัวมันเองหรืออุปกรณ์ที่เกี่ยวข้องด้วย เช่น เทอร์มินัล, โมเด็ม, พอร์ท I/O และอุปกรณ์ต่าง ๆ ที่ต่อเข้ากับเคเบิลที่ใช้ในการอินเตอร์เฟซแบบ RS-232-C

ตาราง 2.3 รายละเอียดของขาต่าง ๆ พร้อมด้วยสัญญาณกำกับของคอนเน็คเตอร์

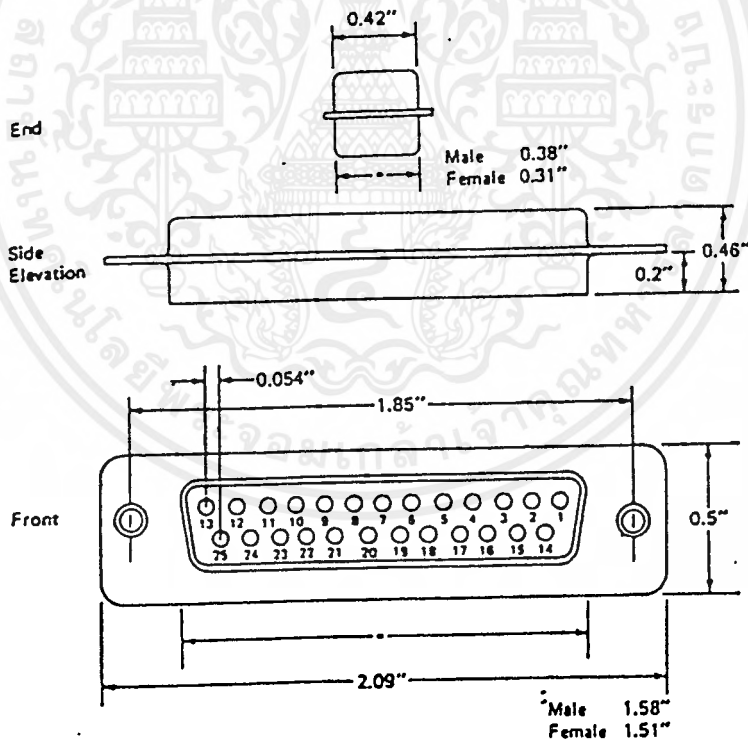
ขา	เซอร์กิต	ความหมายของเซอร์กิต
1	AA	Protective Ground
2	BA	Transmitted Data
3	BB	Received Data
4	CA	Request to Send
5	CB	Clear to Send
6	CC	Data Set Ready
7	AB	Signal Ground
8	CF	Received Line Signal Detector
9/10	-	(Reserved for Data Set Testing)
11	-	Unassigned
12	SCF	Secondary Received Line Signal Detector
13	SCB	Secondary Clear to Send
14	SBA	Secondary Transmitted Data
15	DB	Transmit Signal Element Timing (DCE Source)
16	SBB	Sedondary Received Data
17	DD	Receive Signal Element Timing
18	-	Unassigned
19	SCA	Secondary Request to Send
20	CD	Data Terminal Ready
21	CG	Signal Quality Detector
22	CE	Ring Indicator
23	CH/CI	Data Signal Rate Select (DTE/DCE Source)
24	DA	Transmit Signal Element Timing (DTE/DCE Source)
25	-	Unassigned

2.6 คุณสมบัติทางกลของการอินเทอร์เฟซ

รายละเอียดของขาต่าง ๆ ของคอนเน็คเตอร์ตามมาตรฐาน RS-232-C ได้แสดงไว้ในตาราง 2.3 ขอให้สังเกตด้วยว่ามาตรฐาน RS-232-C ไม่ได้กล่าวถึงปลั๊กตัวผู้ (plug) หรือปลั๊กตัวเมีย (Socket) ของคอนเน็คเตอร์เลยว่าจะต้องมีรูปร่างลักษณะอย่างไร ในปัจจุบันเรามักจะใช้คอนเน็คเตอร์แบบ DB-25 (บางที่เรียกแบบ D-type 25 pin connector) ในการอินเทอร์เฟซตามมาตรฐาน RS-232-C คอนเน็คเตอร์แบบนี้เทียบเท่าแบบ ISO 2113 ซึ่งเป็นมาตรฐานที่ประกาศใช้โดย International Organization for Standardization (ISO) สำหรับรายละเอียดเพิ่มเติมของคอนเน็คเตอร์แบบนี้หาได้จาก

ISO Draft International Standard 2110, "Data Communication : 25-Pin DTE/DCE Interface Connector and Pin Assignments" (Revision of ISO 2110-1972). February 1979.

สำหรับรายละเอียดทางกลของปลั๊กตัวผู้ (DB-25-P) และปลั๊กตัวเมีย (DB-25-S) แสดงไว้ในรูป 2.11 ขอให้สังเกตด้วยว่าคอนเน็คเตอร์ตัวผู้จะใช้กับ DTE ส่วนคอนเน็คเตอร์ตัวเมียใช้กับ DCE



รูป 2.11 ลักษณะทางกลของคอนเน็คเตอร์แบบ DB-25

ลักษณะการทำงานของเซอร์กิตต่าง ๆ

เซอร์กิตต่าง ๆ ได้แสดงไว้ในตาราง 2.3 ซึ่งสามารถแยกออกเป็นประเภทต่าง ๆ ได้ 5 ประเภท คือ

1. กราวนด์ หรือ Common Return (A)

2. เซอร์กิตข้อมูล (B)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของสถาบันวิจัยและพัฒนาเทคโนโลยีสารสนเทศและการสื่อสารเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



3. เซอร์กิตควบคุม (C)
4. เซอร์กิตของสัญญาณฐานเวลา (timing circuit) (D)
5. เซอร์กิตของแขนแปลที่สอง (S)

จากตาราง 2.4 จะเห็นได้ว่า ตัวอักษรในวงเล็บที่อยู่ท้ายเซอร์กิตประเภทต่าง ๆ จะเป็นตัวอักษรตัวแรกของกลุ่มตัวอักษร (ประกอบด้วยตัวอักษรสองหรือสามตัว) ซึ่งใช้กันทั่วไป ในการอธิบายสัญญาณต่าง ๆ ที่เกี่ยวข้องกับการใช้งาน RS-232-C จากตาราง 2.4 เซอร์กิตต่าง ๆ ของ RS-232-C ถูกแบ่งออกเป็นประเภทๆ โดยใช้กลุ่มของตัวอักษรตั้งอธิบายไว้ข้างต้น นอกจากนี้ ในตารางยังแสดงทิศการเคลื่อนที่ของข้อมูล สัญญาณควบคุมและสัญญาณเวลาที่ส่งจาก DCE หรือส่งจาก DTE รวมทั้งการกำหนดขาสัญญาณที่ใช้กำกับเซอร์กิตต่าง ๆ สำหรับลักษณะการทำงาน ของเซอร์กิตต่าง ๆ มีดังนี้

ตาราง 2.4 RS-232-C Interchange Circuits

Interchange circuit	Connector pin assignment	Description	Grnd	Data		Control		Timing	
				From to DCE	OCE	From to DCE	DCE	From to DCE	DCE
AA	1	Protective Ground	X						
AD	7	Signal Ground/Common Return	X						
BA	2	Transmitted Data			X				
BB	3	Received Data		X					
	4	Request to Send					X		
	5	Clear to Send				X			
	6	Data Set Ready				X			
	20	Data Terminal Ready					X		
	22	Ring Indicator				X			
	8	Received Line Signal Detector				X			
	21	Signal Quality Detector				X			
	23	Data Signal Rate Selector (DTE)					X		
	23	Data Signal Rate Selector (DCE)				X			
DA	24	Transmitter Signal Element Timing (DTE)							X
DB	15	Transmitter Signal Element Timing (DCE)							X
DD	17	Receiver Signal Element Timing (DCE)							X
SBA	14	Secondary Transmitted Data			X				
SBD	16	Secondary Received Data		X					
SCA	19	Secondary Request to Send					X		
SCB	13	Secondary Clear to Send				X			
SCF	12	Secondary Received Line Signal Detector				X			

Circuit AA:Protective Ground

ลวดตัวนำของเซอร์กิตนี้จะถูกต่อเข้ากับตัวถังของอุปกรณ์เพื่อใช้เป็นสายดิน เมื่อเปรียบเทียบกับ Protective Ground กับ Signal Ground จะเห็นได้ว่า Signal Ground มีความสำคัญกว่ามาก ดังนั้น Protective Ground จึงมักไม่ถูกต่อการกระทำเช่นนี้ไม่เป็นการทำผิดข้อกำหนดในมาตรฐาน RS-232-C เนื่องจากว่า RS-232-C ได้กำหนดให้กรณีนี้เป็นกรณีเลือกใช้งาน (option)

Circuit AB:Signal Ground หรือ Common Return

เซอร์กิตนี้ถูกใช้เป็นส่วนอ้างอิงของสัญญาณที่ใช้ ใน เซอร์กิตต่าง ๆ ยกเว้นเซอร์กิต AA (Protective Ground) เซอร์กิตนี้เป็นเซอร์กิตเดียวที่ต้องถูกต่อไว้เสมอไม่ว่าเป็นการประยุกต์ใช้งานแบบใด

Circuit BB:Received Data

สัญญาณของเซอร์กิตนี้จะถูกส่งจาก DTE ไปยัง DCE,DTE จะทำให้เซอร์กิต BA (Transmitted Data) มีสถานะลอจิกเป็น 1 (MARK) ตลอดเวลาที่ไม่มี การส่งข้อมูล

ในระบบทุกระบบที่ใช้มาตรฐาน RS-232-C DTE จะไม่ทำการส่งข้อมูลนอกจาก เซอร์กิตต่อไปนี้มีสถานะลอจิกเป็น 0 (ON)

1. เซอร์กิต CA (Request to Send)
2. เซอร์กิต CB (Clear to Send)
3. เซอร์กิต CC (Data Set Ready)
4. เซอร์กิต CD (Data Terminal Ready)

ในบางกรณีเราอาจต้องใช้ null modem ร่วมกับเซอร์กิตนี้ ตัวอย่างเช่น ในระบบคอมพิวเตอร์ระบบหนึ่ง เราทำการอินเตอร์เฟซคอมพิวเตอร์ของเราเข้ากับเทอร์มินัลผ่านทาง RS-232-C ถ้าเทอร์มินัลเป็น DTE (ปกติมักจะเป็นเช่นนี้ด้วย) และคอมพิวเตอร์ทำตัวเป็น DCE คอมพิวเตอร์จะคอยรับสัญญาณที่ส่งจากเทอร์มินัลผ่านทางสาย Transmitted Data (การส่งนี้เราใช้ DTE เป็นตัวอ้างอิงไม่ใช่ DCE) แต่ถ้าคอมพิวเตอร์ทำตัวเป็น DTE และส่งข้อมูลผ่านทางเซอร์กิตนี้ ก็จะทำให้เกิดปัญหาขึ้น คือ อุปกรณ์ทั้งสองตัวจะส่งข้อมูลลงบนสายเส้นเดียวกันทำให้ข้อมูลเกิดการคานกัน จึงต้องใช้ null modem ช่วยแก้ปัญหา

ปัญหาที่สำคัญอีก ข้อหนึ่งก็คือ ในเซอร์กิตบางเซอร์กิตซึ่งจะต้องอยู่ในสถานะ ON ก่อนที่จะมีการส่งข้อมูลแต่กลับไม่อยู่ในสถานะ ON สาเหตุนี้อาจเกิดจากการทำงานที่ผิดพลาดของตัวเทอร์มินัล, พอร์ต I/O ของคอมพิวเตอร์ หรือเกิดจากตัวสายเคเบิลที่ต่อระหว่างเทอร์มินัลกับคอมพิวเตอร์ ถ้ามีปัญหาเหล่านี้เกิดขึ้นในขณะที่เราส่งข้อมูลโดยใช้ RS-232-C ปัญหาของเราอาจเกิดจากสัญญาณใดสัญญาณหนึ่งข้างต้นเป็น OFF หรือเทอร์มินัลของเราทำการส่งข้อมูลบนสายเส้นเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับที่คอมพิวเตอร์ใช้ส่งข้อมูลสำหรับการตรวจสอบข้อผิดพลาดเหล่านี้จะอธิบายในตอนท้าย

Circuit BB:Received Data

สัญญาณของเซอร์กิตนี้จะถูกส่งจาก DCE ไปยัง DTE เซอร์กิตนี้จะอยู่ในสถานะ MARK (ลอจิก15) ตลอดเวลาที่ไม่มีการส่งข้อมูล

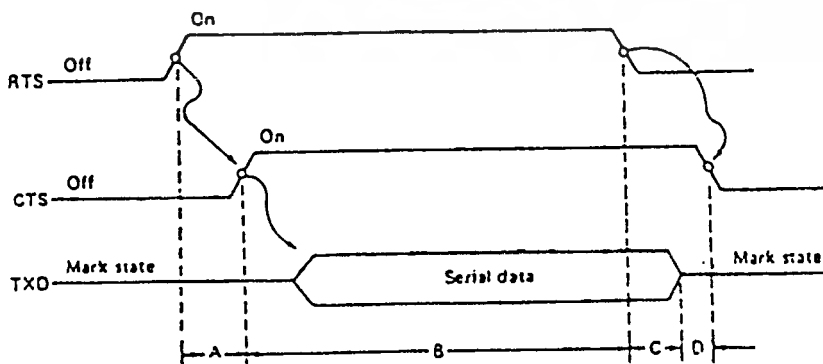
ในการส่งข้อมูลแบบ half-duplex เมื่อ Request to Send (เซอร์กิต CA) อยู่ในสถานะ ON (ลอจิก 0) Received Data (เซอร์กิต BB) จะมีสถานะเป็น OFF (ลอจิก1) นอกจากนี้ Received Data จะคงอยู่ในสถานะ OFF อีกช่วงระยะเวลาสั้น ๆ ระยะเวลาหนึ่งหลังจากที่ Request to Send เปลี่ยนสถานะจาก ON ไปเป็น OFF เมื่อการส่งข้อมูลเกิดขึ้นเรียบร้อยแล้ว

Circuit CA:Request to Send

สัญญาณ Request to Send นี้ถูกส่งจาก DTE ไปยัง DCE ลักษณะการทำงานร่วมกันของสัญญาณ Request to Send (RTS) และสัญญาณ Clear to Send (CTS หรือเซอร์กิต CB) ซึ่งเกิดขึ้นในการส่งข้อมูลระหว่าง DTE และ DCE แสดงไว้ในรูป 2.12 และ รูป 2.13

ในการส่งข้อมูลแบบ simplex และ full-duplex เมื่อ Request to Sent มีสถานะของลอจิกเป็น 0 (ON) จะทำให้ DCE อยู่ในโหมดการส่งข้อมูล (transmit mode) ในที่นี้การที่ DCE อยู่ในโหมดการส่งข้อมูลหมายความว่า DCE จะรับข้อมูลจาก DTE และส่งข้อมูลนี้ออกไปยังตัวกลางในการสื่อสารข้อมูล (communication link) ตัวอย่างเช่น ถ้า DCE ของเราเป็นโมเด็ม เมื่อ DCE อยู่ในโหมดการส่งข้อมูล โมเด็มจะส่งข้อมูลที่ได้รับมาจาก DTE ไปยังเครือข่ายโทรศัพท์ แต่ในกรณีของ simplex และ half-duplex ถ้า Request to Send มีค่าเป็นลอจิก 1 (OFF) DCE จะไม่อยู่ในโหมดการส่งข้อมูล (คือ DCE จะไม่ส่งข้อมูลที่ได้รับจาก DTE ออกไปยังตัวกลางในการสื่อสารข้อมูล)

ในกรณี half-duplex เมื่อ Request to Send อยู่ในสถานะ ON, DCE จะอยู่ในโหมดการส่งข้อมูล แต่ถ้า Request to Send อยู่ในสถานะ OFF, DCE จะอยู่ในโหมดการรับข้อมูล (คือ DCE จะรับข้อมูลจากเครือข่ายการสื่อสารและส่งข้อมูลเหล่านี้ไปยัง DTE)

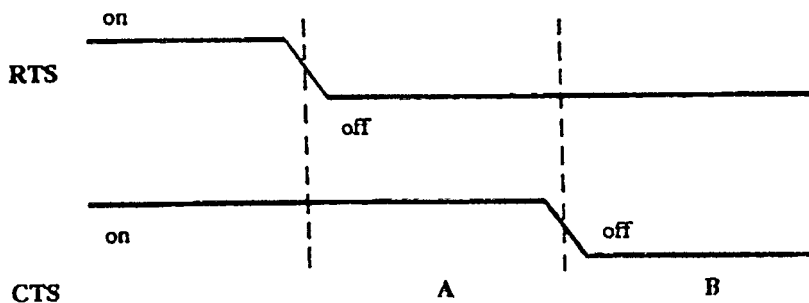


รูป 2.12 การทำ **handshake** ของสัญญาณ RTS และ CTS ในช่วง A DTE จะป้อนสัญญาณ RTS แสดงให้ DCE ทราบว่า DTE ต้องการส่งข้อมูลซึ่งจะเกิดขึ้นตอนเหล่านี้คือ DCE จะจัดตั้งช่องทางสื่อสารและป้อนสัญญาณ CTS (เป็น ON) ซึ่งแสดงให้ DTE ทราบว่า DTE สามารถไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เริ่มต้นส่งข้อมูลได้แล้ว แต่ TXD จะยังอยู่ในสถานะ MARK อยู่ในช่วง B ข้อมูลจะถูกส่งผ่านทาง เซอร์กิต Transmitted data เมื่อข้อมูลถูก ส่งออกไปจนหมดแล้ว DTE จะ OFF สัญญาณ RTS เพื่อบอกให้ DCE ทราบว่า DTE ไม่ต้องการส่งข้อมูลอีกต่อไปในช่วง C เมื่อ DCE ส่งข้อมูล ทั้งหมดออกไปยัง Communication link เสร็จแล้ว เซอร์กิต TXD จะกลับเข้าสู่สถานะ MARK ในช่วง D DCE แจ้งให้ DTE ทราบว่า DCE พร้อมแล้วที่รับข้อมูลชุดใหม่เพื่อส่งออกไปโดยการ OFF สัญญาณ CTS

จากรูป 2.12 ที่สถานะการเปลี่ยนแปลงจาก ON ไปเป็น OFF และ OFF ไปเป็น ON ของสัญญาณ Request to Send การเปลี่ยนสถานะของสัญญาณ Request to Send จาก OFF ไปเป็น ON จะทริก (trigger) DCE ให้อยู่ในโหมดการส่งสัญญาณ และทำขั้นตอนต่าง ๆ ที่ทำให้การสื่อสารข้อมูลเกิดขึ้นได้ เช่น การต่อโทรศัพท์ไปยังคอมพิวเตอร์หลัก (host computer) (ถ้า DCE ตัว นั้นสามารถต่อโทรศัพท์โดยอัตโนมัติได้) ในระบบไมโครคอมพิวเตอร์ทั่ว ๆ ไปสาย Request to Send จะถูกต่อกับสาย Clear to Send โดยตรง ดังนั้นเมื่อไรก็ตามที่ DTE ป้อนสัญญาณ Request to Send, DTE ก็จะได้รับสัญญาณตัวนี้กลับมา โดยส่งมาทางสาย Clear to Send (รายละเอียดเพิ่มเติม ของเรื่องนี้จะกล่าวในการทดลอง) เมื่อการทำขั้นตอนต่าง ๆ ที่ทำให้เกิดการสื่อสารข้อมูลได้เกิดขึ้น เรียบร้อยแล้ว DCE จะทำให้ Clear to Send (เซอร์กิต CB) มีค่าลอจิกเป็น 0 (ON) ซึ่งเป็นการบอก ให้ DTE ทราบว่า สามารถส่งข้อมูลทางเซอร์กิต Transmit Data ข้ามจุดเชื่อมต่อ (interface point) ได้แล้ว การเปลี่ยนสถานะจาก ON ไปเป็น OFF ของสาย RTS เป็นการสั่งให้ DCE ส่งข้อมูลที่ยัง เหลืออยู่ที่จุดเชื่อมต่อ (interface point) ของเซอร์กิต Transmitted Data ออกไปยังช่องทางการสื่อสาร และออกจากโหมดการส่งข้อมูล (ในกรณีของ full-duplex หรือ simplex) หรือเข้าสู่โหมดการ รับข้อมูล (ในกรณีของ half-duplex) DCE จะตอบสนองต่อสัญญาณนี้โดยทำให้สัญญาณ Clear to Send มีลอจิกเป็น 1 (OFF)

จากรูป 2.12 เมื่อใดก็ตามที่ Request to Send เปลี่ยนสถานะจาก ON เป็น OFF Request to Send จะ ON ใหม่ได้อีกครั้งหนึ่งก็ต่อเมื่อ DCE สั่งให้ Clear to Send เปลี่ยนสถานะ จาก ON เป็น OFF แล้ว การทำเช่นนี้เป็นการป้องกันไม่ให้เกิด overrun error ขึ้น ซึ่งก็คือ DTE ทำการส่งข้อมูลชุดใหม่อีก ในขณะที่ DCE ยังส่งข้อมูลชุดเก่าไม่เรียบร้อย



เอกสารรูป 2.13 ในช่วง (A) DTE ไม่สามารถ ON สัญญาณ RTS ใหม่ได้อีกครั้งหนึ่งได้ DTE ต้องดำเนินการค่า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระทั่ง DCE ส่งข้อมูลที่เหลือออกไปจนหมด โดย DCE จะ OFF สัญญาณ CTS เพื่อแสดงให้ DTE ทราบว่ามันพร้อมที่จะรับข้อมูลชุดใหม่แล้วในช่วง (B) DTE สามารถ ON สัญญาณ RTS ใหม่เมื่อใดก็ได้ เนื่องจาก CTS มีสถานะเป็น OFF

การทำ handshake โดยใช้ Request to Send กับ Clear to Send ที่อธิบายไปนั้นใช้ได้ทั้งในการส่งข้อมูลที่ละคาร์แรกเตอร์ หรือที่ละ block (เราใช้โปรโตคอลที่มีระดับสูงกว่า Physical-level protocol ในการกำหนดลักษณะของคาร์แรกเตอร์หรือบล็อก) ตัวอย่างเช่น สมมติให้หนึ่งคาร์แรกเตอร์ประกอบด้วยบิตต่าง ๆ 10 บิต เมื่อทำการส่งข้อมูลจะต้องทำ handshake ระหว่างข้อมูลแต่ละคาร์แรกเตอร์ดังนี้ เมื่อส่งข้อมูลครบ 10 บิต DTE จะป้อนสัญญาณลงในสาย Request to Send และคอยรับสัญญาณจาก DCE ทางสาย Clear to Send สำหรับการทำ handshake ในการส่งข้อมูลที่ละบล็อกนั้น DTE จะส่งคาร์แรกเตอร์พิเศษที่บอกจุดสิ้นสุดของบล็อก (end of transmission character) เพิ่มเข้าไปด้วย และเมื่อถึงจุดสิ้นสุดของบล็อกข้อมูล DTE จะ OFF สัญญาณ Request to Send ในการตอบสนองเหตุการณ์เหล่านี้ DCE จะ OFF สัญญาณ Clear to Send เมื่อคาร์แรกเตอร์พิเศษที่บอกจุดสิ้นสุดของข้อมูลได้ถูกส่งจาก DCE ออกไปยังเครือข่ายการสื่อสาร (communication network) เรียบร้อยแล้ว

จากที่อธิบายไว้ในเซอร์กิต BA, DTE จะส่งข้อมูลได้ก็ต่อเมื่อ Request to Send, Clear to Send, Data Set Ready และ Data Terminal Ready เหล่านี้ ON หมดทุกตัวก่อน (ในกรณีที่ระบบของเราต้องใช้สัญญาณนี้ทุกตัว) เมื่อสัญญาณ Data Terminal Ready และ Data Set Ready ON เรียบร้อยแล้ว สัญญาณ Request to Send จะ ON ตามมา และ DCE จะตอบสนองต่อสัญญาณนี้ โดยการส่งสัญญาณ Clear to Send เป็น ON กลับมายัง DTE, DTE จะส่งข้อมูลออกทางเซอร์กิต Transmitted Data ได้ (เราสามารถ ON สัญญาณ Request to Send เมื่อไรก็ตามที่ Clear to Send เป็น OFF โดยไม่ต้องสนใจสถานะของเซอร์กิตอื่น ๆ)

สิ่งที่น่าสนใจอีกข้อหนึ่งคือ สัญญาณ Request to Send เป็นสัญญาณที่ใช้ระหว่าง DTE กับ DCE เท่านั้น เนื่องจากการเชื่อมโยงโดยใช้สายโทรศัพท์, โมเด็ม หรือควายเทียมจะแยก DCE ทางด้านผู้ส่ง (local) และผู้รับออกจากกัน (remote) ดังนั้น สัญญาณนี้จะไม่ถูกส่งไปยังอุปกรณ์ใด ๆ ที่อยู่ทางด้านที่เราจะคิดต่อด้วย (remote) และสัญญาณนี้ก็ไม่ได้บอกสถานะ (status) ของเครื่องทางด้านผู้รับด้วยเช่นกัน

การใช้งานเซอร์กิต Request to Send ยังเป็นตัวก่อให้เกิดปัญหาในการอินเตอร์เฟสขึ้นอีกด้วย โดยเฉพาะในการใช้งานร่วมกับระบบไมโครคอมพิวเตอร์ที่ใช้อุปกรณ์พวก USART (Universal Synchronous/Asynchronous Receive/Transmit) เป็นพอร์ต I/O แบบอนุกรม

Circuit CB:Clear to Send

สัญญาณนี้เป็นสัญญาณควบคุมซึ่งถูกส่งจาก DCE ไปยัง DTE เพื่อบอกให้ DTE ทราบว่า DCE พร้อมที่จะรับข้อมูลที่จะส่งมาจาก DTE บนสาย Transmitted Data แล้ว เมื่อสัญญาณ Clear to Send อยู่ในสถานะ ON รวมทั้งสัญญาณ Request to Send, Data Set Ready หรือ Data Terminal Ready มีสถานะเป็น ON ด้วย การ ON ของสัญญาณเหล่านี้จะบอกให้ DTE ทราบว่าข้อมูลที่ส่งไปยัง DCE จะถูก DCE รับไว้และส่งต่อไปยัง Communication Channel เมื่อสัญญาณ Clear to Send อยู่ในสถานะ OFF จะบอกให้ DTE ทราบว่า DCE ไม่พร้อมที่จะรับข้อมูล ดังนั้น DTE จะยังไม่ส่งข้อมูลออกมา (ต้องป้อนสัญญาณ RTS ใหม่)

Clear to Send จะอยู่ในสถานะ ON ก็ต่อเมื่อสัญญาณ Request to send (เซอร์กิต CA) และ Data Set Ready (เซอร์กิต CC) จะอยู่ในสถานะ ON ทั้งคู่ ถ้าไม่ใช้ขา Request to Send ให้ถือว่าสัญญาณ Request to Send เป็น ON ตลอดเวลา ดังนั้น สถานะสัญญาณของ Clear to Send จะเป็นอย่างไรจึงขึ้นอยู่กับสถานะของสัญญาณ Data set Ready ว่าเป็น ON หรือ OFF

ในการอินเตอร์เฟสตามมาตรฐานของ RS-232-C ซึ่งทำการอินเตอร์เฟสระหว่าง DTE และ DCE ในกรณีที่มีเครือข่ายสวิชชิงโทรศัพท์เข้าไปเกี่ยวพันด้วย เราจะต้องใช้เซอร์กิตต่อไปนี้เพิ่มเข้าไปด้วย

1. เซอร์กิต CC:Data Set Ready
2. เซอร์กิต CD:Data Terminal Ready
3. เซอร์กิต CE:Ring Indicator
4. เซอร์กิต CF:Received Line Signal Detector

เนื่องจากการทำงานของเซอร์กิตต่อไปนี้เกี่ยวข้องกับเครือข่ายโทรศัพท์ ดังนั้นถ้าเราทำการติดต่อในระยะสั้น ๆ (ไม่ผ่านเครือข่ายโทรศัพท์) โดยใช้ RS-232-C เพียงอย่างเดียว เราสามารถตัดเซอร์กิตเหล่านี้ออกไปได้ การประยุกต์ใช้งานที่น่าสนใจมากที่สุดของเซอร์กิตเหล่านี้คือการใช้งานร่วมกับอุปกรณ์ที่สามารถต่อโทรศัพท์ได้โดยอัตโนมัติ (auto dial) และอุปกรณ์ที่สามารถตอบรับต่อการเรียก (โทรศัพท์ที่มีเข้ามา) โดยอัตโนมัติ (auto answer)

หน้าที่สำคัญของสัญญาณ Data Set Ready และ Data Terminal Ready คือมันเป็นตัวแสดงให้เราทราบว่าอุปกรณ์ของเราพร้อมที่จะทำการสื่อสารข้อมูล (Equipment Readiness) หรือไม่ สำหรับรายละเอียดของเรื่องนี้จะอธิบายในหัวข้อ "การส่งข้อมูลแบบ full duplex" ถ้า Data Set Ready อยู่ในสถานะ ON จะบอกให้ DTE ทราบว่า DCE พร้อมจะส่งข้อมูลที่รับจาก DTE ออกไปยังเครือข่ายการสื่อสารแล้ว (เช่น เครือข่ายโทรศัพท์, โมโครเวฟ) ในลักษณะเดียวกัน ถ้า Data terminal Ready อยู่ในสถานะ ON แสดงว่า DTE พร้อมที่จะส่งข้อมูลไปให้ DCE โดยส่งข้อมูลออกทางเซอร์กิต Transmitted Data ดังที่ได้อธิบายไว้แล้วใน "Circuit BA:Transmitted

ข้อมูลเกิดขึ้น แต่เนื่องจากสัญญาณเหล่านี้ไม่ค่อยถูกใช้ในกรณีที่ทำกรอินเตอร์เฟสกับระบบไมโครคอมพิวเตอร์ ดังนั้น ข้อมูลจะถูกส่งเมื่อใดจึงขึ้นอยู่กับสถานะของสัญญาณ Request to Send และ Clear to Send

Circuit CC:Data Set Ready

สัญญาณนี้เป็นสัญญาณควบคุมที่ส่งจาก DCE ไปยัง DTE ในกรณีที่ Data Set Ready อยู่ในสถานะ ON แสดงว่า DCE ได้ถูกต่อกับ Communication Channel เรียบร้อยแล้ว ในกรณีที่ DCE ของเราสามารถต่อโทรศัพท์ได้โดยอัตโนมัติ การที่ Data Set Ready เป็น ON หมายความว่า DCE ของเรา (local) ได้ต่อโทรศัพท์ (เรียก) DCE ของเครื่องคอมพิวเตอร์ที่เราต้องการติดต่อ (remote) ได้ตอบรับต่อการเรียกทำให้เกิดการเชื่อมต่อกันของ communication Channel ขึ้นระหว่าง DCE ทั้งสองด้าน ทำให้สามารถทำการสื่อสารข้อมูลระหว่างกันได้ เมื่อ Communication Channel ถูกเชื่อมต่อแล้ว ระบบเข้าสู่โหมดการส่งข้อมูล (ไม่ใช่โหมดการส่งสัญญาณเสียง คือเราพูดสายไม่ได้)

Circuit CD:Data Terminal Ready

สัญญาณควบคุมตัวนี้จะถูกส่งจาก DTE ไปยัง DCE สัญญาณ Data Terminal Ready ต้องอยู่ในสถานะ ON ก่อนที่ DCE จะ ON สัญญาณ Data Set Ready (ซึ่งบอกให้รู้ว่า DCE ถูกเชื่อมต่อเข้ากับช่องทางการสื่อสาร (Communication Channel) แล้ว และสามารถส่งข้อมูลได้) ขณะใดก็ตามที่ DCE ต่อกับช่องทางการสื่อสารแล้ว Data Terminal Ready เปลี่ยนสถานะจาก ON เป็น OFF, DCE จะตัดการเชื่อมต่อระหว่าง DCE กับ Communication Channel ทิ้งทันที

Circuit CE:Ring Indicator

สัญญาณนี้เป็นสัญญาณควบคุมที่ถูกส่งจาก DCE ไปยัง DTE เมื่อสัญญาณนี้มีสถานะเป็น ON แสดงว่า DCE กำลังได้รับสัญญาณเสียงกริ่ง (ringing signal) ที่เข้ามา สำหรับช่วงเงียบระหว่างเสียงกริ่ง (เงียบและดังเป็นช่วงๆ) และในกรณีที่ DCE ไม่ได้รับสัญญาณเสียงกริ่งสัญญาณ Ring Indicator จะมีสถานะเป็น OFF เราใช้สัญญาณควบคุมตัวนี้ในกรณีที่ใช้โมเด็มที่สามารถตอบรับการเรียกได้โดยอัตโนมัติ (auto answer)

Circuit CF:Received Line Signal Detector

สัญญาณนี้ส่งจาก DCE ไปยัง DTE เมื่อ DCE ได้รับสัญญาณ carrier (ซึ่งต้องเป็นไปตามข้อกำหนดของบริษัทผู้ผลิต DCE ตัว) ที่ส่งมาจาก DCE อีกด้านหนึ่ง (remote side) สัญญาณ Received Line Signal Detector จะมีสถานะเป็น ON แสดงว่า DCE จับสัญญาณใน Communication Channel ซึ่งจะถูกนำไป demodulate ได้แล้ว ในโมเด็มแบบต่าง ๆ สายเส้นนี้จะถูกต่อกับ LED เพื่อแสดงให้เห็นว่ามีสัญญาณ carrier เข้ามาหรือไม่

หมายเหตุ : สัญญาณนี้มีชื่ออีกชื่อหนึ่งว่า Data Carrier Detector (DCD)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการใช้งานเทอร์มินัลที่มีจำนวนในท้องถิ่นมาก ส่วนมากเราต้องให้สัญญาณนี้มีสถานะเป็น high ตลอดเวลาก่อนที่จะรับหรือส่งข้อมูล ตัวอย่างของเทอร์มินัลที่เราต้องทำเช่นนี้ได้แก่ Texas และมีพอร์ท RS-232-C ให้ใช้ในการต่อกับโมเด็มภายนอก Received Line Signal Detector จะมีสถานะเป็น ON เมื่อโมเด็มภายในตรวจจับ Carrier ที่ส่งมาจากโมเด็มอีกด้านหนึ่ง (remote) ได้ (โมเด็มตัวนี้ต้องสามารถตอบรับต่อการเรียกได้โดยอัตโนมัติ ในอีกกรณีหนึ่งถ้าเราต้องการอินเตอร์เฟส Silent 700 เข้ากับไมโครคอมพิวเตอร์โดยตรง (ไม่ผ่านโมเด็ม) เรายังต้องทำให้สาย Received Line Signal Detector มีสถานะเป็น ON เสมอโดยทั่วๆ ไปมักจะต่อขาสัญญาณนี้เข้ากับขาสัญญาณตัวอื่นที่มีอยู่บนคอนเน็คเตอร์ เช่นขา Data Terminal Ready เทคนิคนี้เรียกว่า “jumping” สำหรับเซอร์กิตที่เหลืือ คือ

Circuit CG Signal Quality Detector
 Circuit CH Data Signal Rate Selector (DTE Source)
 Circuit CI Data Signal Rate Selector (DCE Source)
 Circuit DA Transmit Signal Timing (DTE Source)
 Circuit DB Transmit Signal Timing (DCE Source)
 Circuit DD Receiver Signal Timing (DCE Source)
 Circuit SBA Secondary Transmitted Data
 Circuit SBB Secondary Received Data
 Circuit SCA Secondary Request to Send
 Circuit SCB Secondary Clear to Send
 Circuit SCF Secondary Receive Signal Detector

บทที่ 3

การส่งผ่านข้อมูลแบบดิจิทัล

3.1 โมดูเลต

คือขบวนการอย่างหนึ่งที่มาเอาคลื่นความถี่สูงค่าหนึ่งๆที่เรียกว่า สัญญาณพาหะ (Carrier Signal) เข้าไปรวมกับคลื่นความถี่เสียง ซึ่งจะทำให้เกิดความถี่ใหม่ขึ้นอีกสองเท่า เช่น สมมติให้สัญญาณพาหะมีความถี่เป็น F_1 และความถี่เสียงเป็น F_2 เมื่อผ่านขบวนการโมดูเลเตอร์แล้ว ความถี่ที่เกิดขึ้นจะเป็น $F_1 + F_2$, $F_1 - F_2$ และ F_1 อีกค่าหนึ่ง ซึ่งจะทำให้เกิดแถบความถี่ที่เรียกว่า Upper Side Band และ Lower side band ขึ้นมา

โดยทั่วไปขบวนการโมดูเลตของสัญญาณอนาล็อกจะมีเทคนิคอยู่ 3 แบบ คือ

1. แอมพลิจูดโมดูเลชัน (Amplitude Modulation) หรือแบบ AM.
2. ฟริควเอนซีโมดูเลชัน (Frequency Modulation) หรือแบบ FM.
3. เฟสโมดูเลชัน (Phase Modulation) หรือแบบ PM.

โดยเฉพาะแบบ AM. และ FM. จะเป็นที่คุ้นเคยที่สุดในชีวิตประจำวันก็คือ การส่งสัญญาณของสถานีวิทยุกระจายเสียงต่าง ๆ นั่นเอง

3.2 ดีโมดูเลต (Demodulate)

เป็นขบวนการที่ทำงานตรงข้ามกับขบวนการโมดูเลต คือ ทำการแยกเอาสัญญาณพาหะออกซึ่งจะทำให้ได้สัญญาณของข้อมูลอย่างแท้จริงเพียงอย่างเดียว

จุดประสงค์สำคัญที่จำเป็นคือมีการ โมดูเลตสัญญาณความถี่เสียงนี้ก็เพื่อให้สามารถส่งไปได้ในระยะทางไกล ๆ โดยเกิดการผิดเพี้ยนของสัญญาณน้อยที่สุด

ต่อไปนี้จะขอกล่าวถึงการ โมดูเลตสัญญาณดิจิทัลซึ่งมีเพียง 2 ระดับ เท่านั้นคือ 0 กับ 1 โดยทั่วไปเทคนิคที่ใช้มีอยู่หลายแบบด้วยกันคือ

1. ฟริควเอนซีชิฟต์คีย์อิง (Frequency Shift Keying : FSK)
2. เฟสชิฟต์คีย์อิง (Phase Shift Keying : PSK)
3. แอมพลิจูดชิฟต์คีย์อิง (Amplitude Shift Keying)

3.3 โมเด็ม

เป็นอุปกรณ์ที่ทำหน้าที่ร่วมระหว่างขบวนการโมดูเลตและดีโมดูเลต (Modulate/DEModulate) นั่นเอง ซึ่งบางทีก็อาจจะเรียกว่าเป็น “ตัวแปลงสัญญาณ” (Signal Converter) ก็ได้ โดยเป็นอุปกรณ์ที่ทำกรแปลงสัญญาณดิจิทัลที่ส่งออกมาจากเครื่องคอมพิวเตอร์ให้เป็นสัญญาณเสียง (Voice Signal) เพื่อส่งผ่านไปในสายโทรศัพท์ได้ โดยต้องผ่านขบวนการ

เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนทางคอมพิวเตอร์ด้านรับก็จะมีการต่ออุปกรณ์โมเด็มคั่นไว้ เมื่อโมเด็มด้านรับรับสัญญาณเสียงเข้ามา ก็จะทำการแปลงสัญญาณเสียงให้กลับไปเป็นสัญญาณดิจิทัล (โดยใช้ขบวนการดีโมดูเลท) ก่อนที่จะส่งผ่านไปยังเครื่องคอมพิวเตอร์ต่อไป ในการส่งผ่านสัญญาณระหว่างเครื่องคอมพิวเตอร์กับอุปกรณ์รอบข้าง เช่น เครื่องพิมพ์ที่ตั้งอยู่ในระยะไกลออกไปก็จำเป็นอย่างยิ่งที่จะต้องส่งสัญญาณผ่านเข้าไปในสายโทรศัพท์ในรูปของสัญญาณอนาล็อก และเมื่อส่งถึงด้านรับก็จะแปลงกลับมาเป็นสัญญาณดิจิทัลเหมือนเดิม

3.3.1 การแบ่งชนิดของโมเด็มตามลักษณะการทำงาน

ในกรณีจะยึดเอาความเร็วของการส่งข้อมูลและเทคนิคของการโมดูเลทเป็นหลัก ถ้าพูดถึงความเร็วของข้อมูลที่ส่งเรามักจะต้องเข้าใจถึงอัตราการส่งข้อมูลในลักษณะบิตต่อวินาที (bPS:bit per second) และอัตราไบต (Band Rate) โดยที่

อัตราไบต หมายถึง หน่วยของอัตราการส่งสัญญาณดิจิทัลที่แทนข่าวสารข้อมูล คิดต่อ 1 วินาที

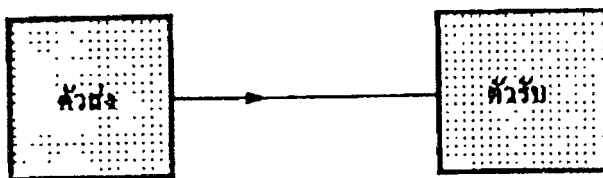
บิตต่อวินาที หมายถึง จำนวนของเลขไบนารี (ประกอบด้วย 0 กับ 1) ที่แทนข้อมูลซึ่งถูกส่งออกไปใน 1 วินาที

เช่น ในกรณีที่ส่งข้อมูลออกไปโดยให้ 1 เวิร์ด มีขนาดเป็น 1 บิต และส่งข้อมูลออกไป 1 บิต/วินาที (bPS) ในลักษณะเช่นนี้ก็ถือได้ว่าอัตราไบตมีค่าเท่ากับ 16 ไบต แต่ถ้าหากว่ามีการใช้เทคนิคเพิ่มขึ้นจำนวนบิตที่ส่งต่อวินาที เช่น อาจจะมีการรวมเอา 2 บิต มาไว้เข้าเป็นบิต ๆ เดียวในลักษณะนี้ จำนวนบิตข้อมูลที่ส่งออกไปจะเป็น 2 บิต/วินาที คือ มีความเร็วสูงขึ้น ดังนั้นอัตราไบตจึงมีค่าเป็น 8 ไบตเท่านั้น

3.3.2 การแบ่งชนิดของโมเด็มตามวิธีการส่งผ่านข้อมูล

ในกรณีที่เราจะกล่าวถึงโครงสร้างของระบบที่จะนำเอาโมเด็มไปต่อเข้าคังตัวกลางการส่งผ่านข้อมูล (Communication Lines) ซึ่งจะแบ่งออกได้เป็น

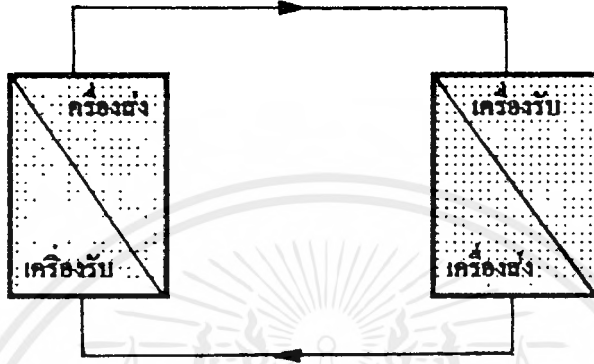
1. แบบซิมเพิล็กซ์ (Simplex) : เป็นการส่งแบบที่เทอร์มินัลแต่ละด้านจะเป็นเฉพาะตัวส่งหรือตัวรับอย่างใดอย่างหนึ่งเท่านั้น เช่น ระบบสื่อสารวิทยุและทีวี เป็นต้น



รูป 3.1 แสดงการส่งข้อมูลแบบซิมเพิล็กซ์

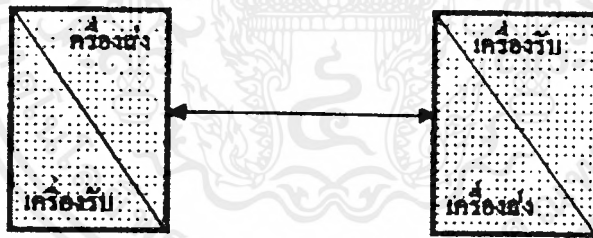
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. แบบฮาล์ฟดูเพล็กซ์ (Halfduplex) : วิธีนี้จะมีวิธีสลับทิศทางการไหลของข้อมูลให้กับทิศทางกันได้ โดยใช้อุปกรณ์ปลายสายที่พัฒนาขึ้นมาให้มีความสามารถทั้งรับและส่งได้ แต่มีข้อแม้ว่าตัวส่ง/ตัวรับจะทำงานพร้อมกันไม่ได้ในเครื่องเดียวกัน นั่นคือ ถ้าด้านหนึ่งเป็นเครื่องส่งอีกด้านหนึ่งจะต้องเป็นเครื่องรับ ดังรูป 3.2



รูป 3.2 การส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์

3. แบบฟูลดูเพล็กซ์ (Fullduplex) : วิธีนี้เป็นวิธีที่สมบูรณ์ที่สุด คือ ทั้งทางด้านส่งสามารถจะทำการส่งหรือรับข้อมูลพร้อม ๆ กันได้ในเวลาเดียวกัน เช่น ระบบโทรศัพท์ ดังรูป 3.3



รูป 3.3 การส่งข้อมูลแบบฟูลดูเพล็กซ์

3.3.3 การแบ่งชนิดของโมเด็มตามอัตราส่งข้อมูล

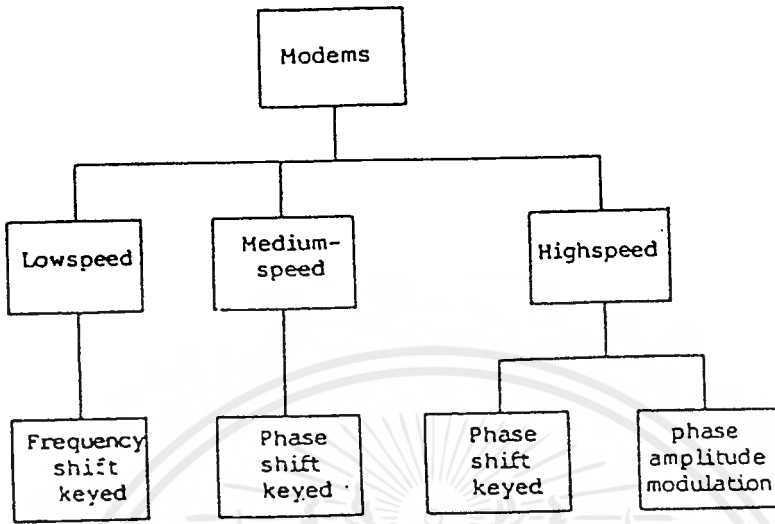
1. อัตราการส่งข้อมูลต่ำ (Low-speed) มีอัตราการส่งข้อมูลไม่เกิน 600 bps
2. อัตราการส่งข้อมูลปานกลาง (Medium-speed) มีอัตราการส่งข้อมูลระหว่าง 1200 ถึง 9600 bps
3. อัตราการส่งข้อมูลสูง (High-speed) มีอัตราการส่งข้อมูลมากกว่า 9600 bps

3.3.4 การแบ่งชนิดของโมเด็มตามเทคนิคการโมดูเลต

1. เฟสชิฟต์คีย์อิง (Phase Shift Keying : PSK)
2. ฟรีแควนซีชิฟต์คีย์อิง (Frequency Shift Keying : FSK)
3. เฟสแอมพลิจูดโมดูเลชัน (Phase Amplitude Modulation : PAM)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

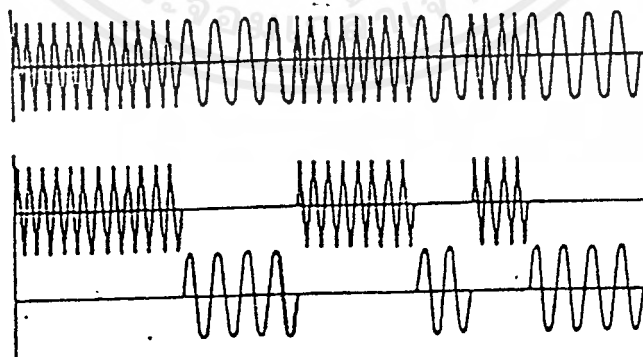
สำหรับวิธีการโมดูเลชันยังมีเทคนิคอื่น ๆ อีกหลายแบบ แต่ค่อนข้างจะใช้กันน้อยตามการแบ่งโดยลักษณะต่าง ๆ อาจจะสรุปเป็นโคอะแกรมได้ดังรูป 3.4



รูป 3.4 การแบ่งชนิดของโมเด็ม

3.4 Frequency-Shift Keying (FSK)

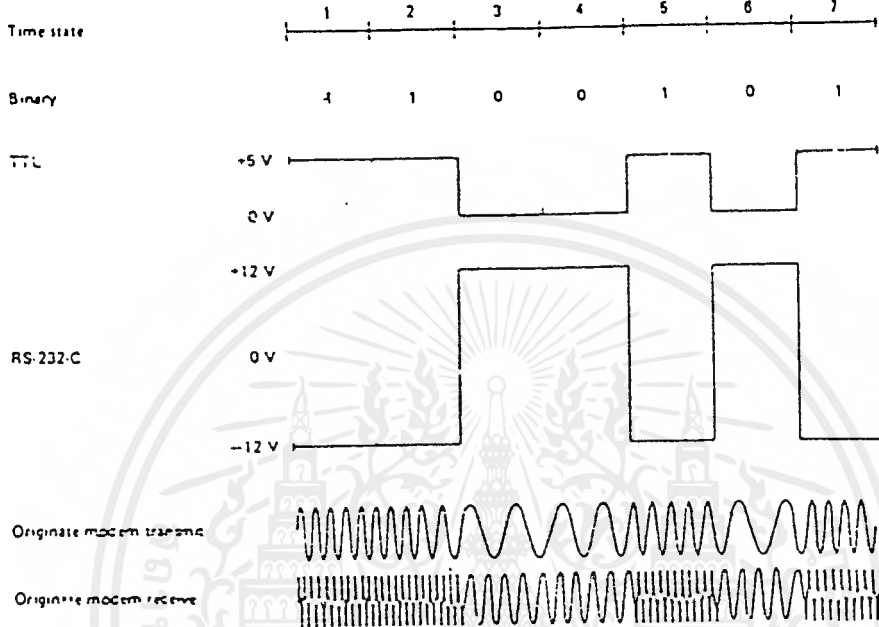
หลักการ : ความถี่ของสัญญาณพาหะจะแปรเปลี่ยนตามสัญญาณดิจิทัลที่เข้ามาคือถ้าสัญญาณมีระดับลอจิกเป็น 1 ความถี่ของสัญญาณพาหะจะสูงขึ้น แต่ถ้าสัญญาณมีระดับลอจิกเป็น 0 ความถี่ของสัญญาณพาหะจะลดลง ดังรูป 3.5 โดยเราสามารถแยกข้อแตกต่างของ FSK จาก FM ได้ว่า ในขบวนการ FSK คลื่นพาหะอาจจะมี ความถี่ของคลื่นได้มากกว่า 2 ความถี่ แต่ใน FM จะมี ความถี่ของคลื่นพาหะได้เพียง 1 ความถี่เท่านั้น



รูป 3.5 แสดงสัญญาณที่ได้จากเทคนิค FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 3.5 จะเห็นว่าเราสามารถจะแยกสัญญาณ FSK ออกเป็นสัญญาณ Amplitude Shift Keying (ASK) ซึ่งเทคนิคในการนำสัญญาณดิจิทัลออกมาไมโครเตทเข้ากับสัญญาณอนาล็อกแล้วส่งผ่านตัวนำออกไป เราเรียกว่า เทคนิคของ FSK หรือ Frequency Shift Keying



รูป 3.6 แสดงสัญญาณที่เกิดจากการส่งอักษร S ด้วยเทคนิคการไมโครเตท (รวมถึงวิธี FSK ด้วย)

จากรูป 3.6 แสดงให้เห็นว่าเทคนิค FSK นำมาใช้ในการส่งสัญญาณดิจิทัลได้อย่างไร ในกรณีนี้สมมติว่าเราต้องการจะส่งอักษร S ออกไป ในรหัสแอสกี (ASCII) แทนตัวอักษร S ด้วยเลข 53H หรือ 53 ในฐานสิบหก หรือในฐานสองแทนด้วย 1010011 นั่นเอง ดังนั้น ในบรรทัดแรกแสดงถึงสถานะเวลา (Time State) ของสัญญาณดิจิทัลที่แทนเลข 1010011 ขนาด 7 บิตตามมาตรฐานของรหัสแอสกี และส่งออกไปแบบอนุกรม

ในบรรทัดต่อมาแสดงถึงสัญญาณดิจิทัลที่แทนรหัสฐานสอง 1010011 โดยมีบิตต่ำสุด (Least Significant Bit : LSB) อยู่ทางซ้ายมือ

ในบรรทัดที่ 3 แสดงถึงสัญญาณเอาต์พุตที่ได้จาก TTL (Transistor Transistor Logic) เพราะอุปกรณ์จำพวก TTL ใช้กับระดับไฟที่ 5 โวลต์ กับ 0 โวลต์ ดังนั้น จึงแทนลอจิก 1 ด้วยระดับไฟ 5 โวลต์ และลอจิก 0 ด้วยระดับไฟ 0 โวลต์

ในบรรทัดที่ 4 แสดงถึงสัญญาณที่ต่อผ่านพอร์ท RS-232C ออกมาโดยใช้กับไฟระดับ +12 โวลต์ และ -12 โวลต์ ดังนั้น จึงแทนลอจิก 0 ด้วยระดับไฟ +12 โวลต์ และลอจิก 1 ด้วยระดับไฟ -12 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ 2 บิตแรกที่มีระดับลอจิกเป็น 1 ออกไปด้วยความถี่ของสัญญาณที่ผ่านการโมดูเลทแล้วเท่ากับ 1270 Hz ส่วนในบิตที่ 3 และ 4 แทนลอจิก 0 จะส่งออกไปด้วยความถี่ 1070 Hz และในบิตที่ 5 และ 7 จะถูกส่งออกไปด้วยความถี่ 1270 Hz ส่วนในบิตที่ 6 ก็จะถูกส่งด้วยความถี่ 1070 Hz ตามลำดับ คำนึง จึงสรุปได้ว่าเทคนิคของ FSK ก็คือ เทคนิคในการโมดูเลทสัญญาณดิจิทัลด้วยวิธีเฟรีแควนซีโมดูเลชัน (FSK) นั่นเอง

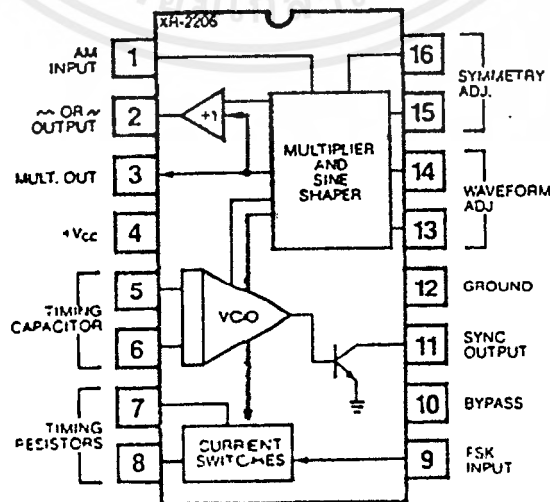
3.4.1 การเปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณอนาลอก FSK

โมเต็มไร้สายที่ได้ทำการออกแบบนั้นใช้ไอซีเบอร์ XR-2206 มาทำหน้าที่เปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณอนาลอก FSK

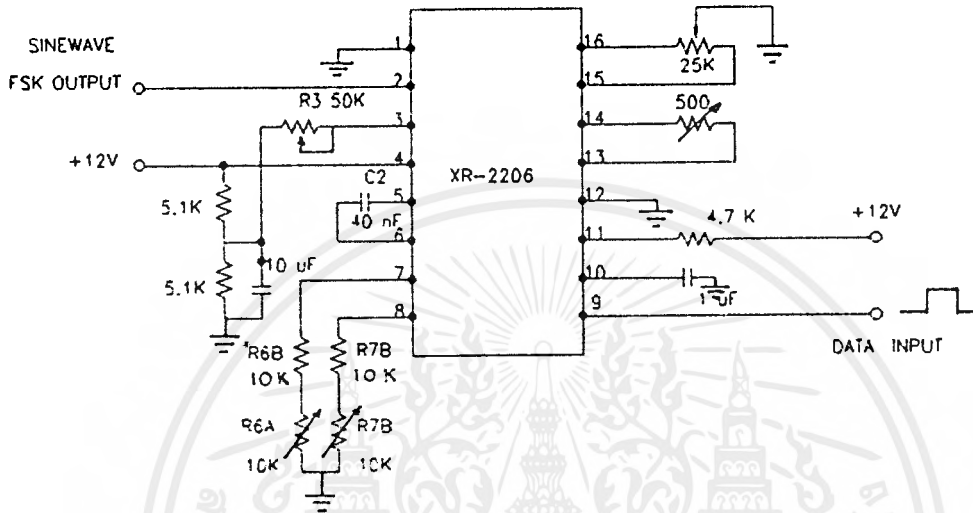
โครงสร้างภายในของ XR-2206

ไอซีเบอร์ XR-2206 นี้เป็นโมโนลิทิกฟังก์ชันเจนเนอเรเตอร์ มีความสามารถในการผลิตคลื่นรูปไซน์ (sine) รูปคลื่นสามเหลี่ยม (triangle) สี่เหลี่ยม (square) แรมป์ (ramp) ได้ โดยที่มีความถี่ตั้งแต่ไม่กี่เฮิรตซ์จนถึงหลายร้อยกิโลเฮิรตซ์ โดยต่อกับวงจรภายนอกอีกเล็กน้อย นอกจากนี้ยังสามารถนำไอซี XR-2206 มาควบคุมขนาดและความถี่ (AM หรือ FM) และ Phase Shift or Frequency Shift Keying ได้ด้วย

สำหรับ XR-2206 นี้อยู่ในแพ็คเกจไอซี 16 ขา สามารถที่จะใช้กับไฟเลี้ยง (power supply) ตัวเดียว คือในช่วง 10 ถึง 26 โวลต์ได้ หรืออาจจะใช้ไฟเลี้ยงคู่ในช่วง 5 ถึง 13 โวลต์ ขณะที่ต้องผลิตสัญญาณคลื่นไซน์ (sine) นั้นค่า r.h.d. ของสัญญาณนั้นจะมีค่า 2.5% เมื่อยังไม่มี การปรับแต่งแต่ก็สามารถปรับให้เหลือเพียง 0.5% ได้โดยการควบคุมของวงจรที่นำมาต่อร่วมโดยที่ สัญญาณเอาต์พุตทุกรูปไร่นี้จะมีขนาดสูงสุด 2 โวลท์ (r.m.s.) และมีเอาต์พุตอิมพีแดนซ์เท่ากับ 600 โอห์ม



รูป 3.7 แสดงบล็อกโคจรแต่ละส่วนของ XR-2206 หัวใจสำคัญของส่วนนี้คือ V.C.O. (Voltage Control Oscillator) ซึ่งเมื่อนำมาใช้เป็นฟรีควเอนซ์ ชิฟท์คีย์อิงโมดูเลเตอร์ที่ทำหน้าที่ในการเปลี่ยนสัญญาณดิจิทัลขนาด 0-5 โวลต์เป็นสัญญาณอนาลอกไซน์เวฟ 2 ความถี่ โดยแต่ละความถี่แทนข้อมูล 1 และ 0 จะแสดงได้วงจรดังรูป 3.8



รูป 3.8 แสดงการนำไอซี XR-2206 ไปใช้เป็นวงจรฟรีควเอนซ์ชิฟท์คีย์อิงโมดูเลเตอร์ การออกแบบดังกล่าวสามารถอธิบายได้โดยรูป 3.7 และ 3.8 ทั้งสองประกอบดังนี้

คาปาซิเตอร์จับเวลา (Timing Capacitor) ต่อระหว่างขา 5 และ 6 จะเป็นอินพุทของ VCO. มีค่าที่เหมาะสมในการใช้งานอยู่ระหว่าง 1,000pF - 100µF จะทำงานร่วมกับตัวต้านทานจับเวลา (Timing Resister) เพื่อใช้กำหนดความถี่ของสัญญาณไซน์เวฟทั้งสอง โดยความถี่ที่ต้องการสามารถปรับแต่งได้ โดยใช้ความสัมพันธ์ตามสมการ

$$\text{ความถี่ (Hz)} = 1 / RC \quad \dots (1)$$

เมื่อ C คือคาปาซิเตอร์จับเวลา (Timing Capacitor) และ R คือตัวต้านทานจับเวลา (Timing Resister)

เนื่องจากเราต้องการความถี่สองความถี่ สำหรับแทนสัญญาณดิจิทัลสูงและต่ำ และกำหนดให้ใช้ค่าคาปาซิเตอร์เพียงค่าเดียว คือคาปาซิเตอร์จับเวลา (Timing Capacitor) ที่ต่อระหว่างขา 5 และ 6 ดังนั้น ค่าตัวต้านทานจับเวลา (Timing Resister) จะต้องมี 2 ค่า ซึ่งใช้ตัวต้านทานจับเวลา (Timing Resister) 2 กลุ่มต่อเข้าที่ขา 7 และ 8 โดยกลุ่มที่มีค่าตัวต้านทานมากกว่าจะเป็นตัวสร้างความถี่ต่ำ และกลุ่มที่มีค่าตัวต้านทานน้อยกว่าจะเป็นตัวสร้างความถี่ แต่ละกลุ่มจะประกอบด้วยตัวต้านทานที่มีค่าคงที่ และตัวต้านทานที่ปรับค่าได้ที่ต่ออนุกรมกันเพื่อให้ปรับความถี่ได้ถูกต้อง และละเอียดยิ่งขึ้น

สำหรับช่วงของตัวต้านทานจับเวลา (Timing Resister) ที่เหมาะสมในการใช้งานจะอยู่ในช่วงระหว่าง 4-200 กิโลโอห์ม เพื่อรักษาความคงค่าของอุณหภูมิ (temperature stability) และความเที่ยงของสัญญาณขานให้อยู่ในช่วงที่ใช้งานได้อย่างมีประสิทธิภาพ

เมื่อให้สัญญาณคจิจตอลอินพุทขนาด 0-5 โวลต์เข้ามาที่ขาที่ 9 ของไอซี

- ไอซีจะใช้ตัวต้านทานจกเวลา (Timing Resister) ที่ขา 7 ในการให้กำเนิดสัญญาณรูปขายน ถ้าหากระดับสัญญาณที่เข้ามามีขนาดมากกว่า 2 โวลต์ หรือขา 9 มีการเปิดวงจร (open circuit)

- ไอซีจะใช้ตัวต้านทานจกเวลา (Timing Resister) ที่ขา 8 ในการให้กำเนิดสัญญาณรูปขายน ถ้าหากระดับสัญญาณที่เข้ามามีขนาดน้อยกว่า 2 โวลต์

การเกิดคลื่นรูปขายนี่เริ่มมาจากส่วน VCO ของไอซีซึ่งส่วนนี้จะผลิตรูปคลื่นได้ 2 ชนิด คือ รูปคลื่นแรมท์ซึ่งจะป้อนไปยังส่วนของ Multiplier and Sine Shaper อีกที่หนึ่ง และคลื่นรูปสี่เหลี่ยม (rectangular) ซึ่งจะป้อนออกที่ขาเอาต์พุทที่ขา 11 โดยผ่านทรานซิสเตอร์ ซึ่งการผลิตคลื่นนี้ก็เกิดขึ้นอยู่กับคาปาซิเตอร์จกเวลา (Timing Capacitor) โดยคาปาซิเตอร์จกเวลานี้จะเริ่มดับกับประจุ เป็นผลทำให้เกิดช่วงพุ่งขึ้นของคลื่นรูปแรมท์ และที่อีกเอาต์พุทจะได้สัญญาณ High ที่คลื่นรูปสี่เหลี่ยม (rectangular) จนกระทั่งแรงดันไฟฟ้ามันจะถึงจุด ๆ หนึ่งเรียกว่า "firing voltage" ที่จุดนี้จะทำให้ได้สัญญาณคลื่นรูปสี่เหลี่ยมกลับกลายเป็นสัญญาณ "Low" และคาปาซิเตอร์จกเวลา (Timing Capacitor) จะเก็บประจุในทิศทางตรงกันข้ามกับตอนต้นเป็นผลทำให้เกิดช่วงตกลงของคลื่นรูปแรมท์ซึ่งก็จะตกลงจนถึงจุด "firing voltage" เช่นกันที่จุดนี้ จะทำให้คลื่นรูปสี่เหลี่ยม (rectangular) กลับกลายเป็นระดับสัญญาณ "High" และกระบวนการต่าง ๆ ก็จะกลับไปกลับมาเช่นนี้เหมือนเดิม

รูปคลื่นแรมท์ที่ได้จากส่วนของ VCO ของไอซี XR-2206 นี้ จะถูกนำไปเข้ายังส่วนของ multiplier and sine shaper block อีกที่ซึ่งส่วนนี้นั้นทำหน้าที่คล้ายกับวงจรขยายความต่าง ซึ่งจะทำให้เอาต์พุทอิมพีแดนซ์ ที่ขา 3 มีค่าสูง และที่ขา 2 จะเป็นเอาต์พุทบัฟเฟอร์ ที่มีค่าอิมพีแดนซ์ เท่ากับ 600 โอห์ม ในกรณีที่เปิดวงจรที่ขา 13 และ 14 นั้น จะมีผลทำให้เอาต์พุทที่ขา 2 และ 3 นั้นจะให้คลื่นรูปแรมท์ออกมา แต่ถ้าต่อตัวต้านทานที่มีค่าประมาณ 200-300 โอห์ม ที่ขา 13 และ 14 จะทำให้ยอดของคลื่นรูปแรมท์ถูกตัดออก ทำให้เอาต์พุทที่ขา 2 และ 3 นั้น ผลิตคลื่นขายนออกมา ถ้ามีการปรับแต่งที่ถูกต้องเหมาะสม จะทำให้คลื่นรูปขายนที่ได้มีความเพี้ยนเพียง 0.5 % เท่านั้น การควบคุมอัตราขยายสัญญาณเอาต์พุท FSK ทำได้โดยการควบคุมที่ขา 1 หรือ ขา 3 โดยในโมเด็มไร้สายนี้ใช้การควบคุมอัตราขยายที่ขา 3 โดยจากรูปที่ 3.2 จะเห็นว่าที่ขา 3 จะต่อกับอินพุทของบัฟเฟอร์แอมพลิฟิเออร์ที่มีอัตราขยายเท่ากับ 1 ซึ่งทำให้ขาที่ 2 มีเอาต์พุทอิมพีแดนซ์เท่ากับ 600 โอห์ม ดังนั้น เราสามารถใช้ขา 3 ทำหน้าที่เป็นตัวควบคุมแรงดันสำหรับกำหนดอัตราขยาย โดยใช้วงจรแบ่งแรงดัน (potential divider) ต่อเข้าที่ขา 3 ทำให้สัญญาณอินพุทที่เข้าไปยังบัฟเฟอร์แอมพลิฟิเออร์ ถูกควบคุมศักดาไฟฟ้าตามวงจรแบ่งแรงดันนั้น โดยปกติแรงดันดังกล่าวจะเป็นครึ่งหนึ่งของไฟเลี้ยงวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการคำนวณค่าของตัวต้านทานและค่าของคาปาซิเตอร์

สำหรับโมเด็มไร้สายนี้ได้ใช้เทคนิคการมอดูเลตสัญญาณแบบ FSK ซึ่งได้กำหนดความถี่ต่าง ๆ ตัวอย่างเช่น ถ้าใช้ความถี่ตามมาตรฐานของ CCITT V.23 คือที่บอดเรท 1300 บิตต่อวินาที ความถี่ f_1 และ f_2 ค่า 1070 และ 1270 Hz ตามลำดับคั้งนั้นสามารถคำนวณค่าของความต้านทานและค่าคาปาซิเตอร์ได้คั้งนี้

1. ทำการกำหนดค่าของคาปาซิเตอร์จกเวลา (Timing Capacitor) ซึ่งควรจะอยู่ในช่วง 1 μF ถึง 100 μF คั้งนั้นในโมเด็มไร้สายนี้ได้กำหนดค่าของคาปาซิเตอร์จกเวลาไว้เท่ากับ 40 μF

2. การคำนวณค่าของตัวต้านทานจกเวลา (Timing Resistor) จากสมการที่ 1 และความถี่ที่กำหนด จะได้คั้งนี้

- ค่าของตัวต้านทานจกเวลาที่ขา 7 ซึ่งขานี้ใช้กับสัญญาณคิจิตอลที่มีลอจิกเป็น "1" และ เนื่องจากความถี่ที่กำหนดลอจิก "1" นั้นมีค่าเท่ากับ 1070 Hz คั้งนั้นจะได้

$$\begin{aligned} \text{ค่าความต้านทานที่ขา 7} &= 1 / (1070 \times 40 \times 10^{-6}) \\ &= 23,365 \text{ โอห์ม} \end{aligned}$$

- ค่าของตัวต้านทานจกเวลาที่ขา 8 ซึ่งขานี้ใช้กับสัญญาณคิจิตอลที่มีลอจิก "0" และ เนื่องจากความถี่ที่กำหนดลอจิก "0" นั้นมีค่าเท่ากับ 1270 Hz คั้งนั้นจะได้

$$\begin{aligned} \text{ค่าความต้านทานที่ขา 8} &= 1 / (1270 \times 40 \times 10^{-6}) \\ &= 19,685 \text{ โอห์ม} \end{aligned}$$

3.4.2 การเปลี่ยนสัญญาณอนาลอก FSK ให้เป็นสัญญาณคิจิตอล

ภาครับสัญญาณ FSK นี้จะรับสัญญาณจากภาครับสัญญาณ RF โดยที่ภาครับนี้จะทำการแปลงสัญญาณ FSK ที่มี 2 ความถี่ให้กลายเป็นสัญญาณคิจิตอล 0 (แทนด้วยแรงดันประมาณ 0 โวลต์) และ 1 (แทนด้วยแรงดันประมาณ 5 โวลต์)

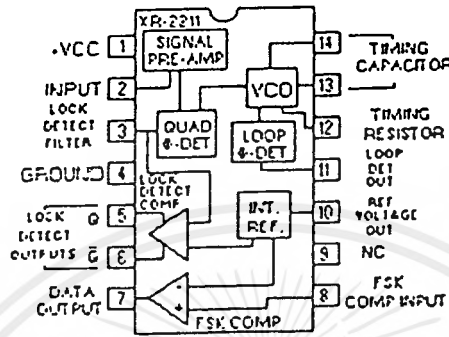
ภาครับนี้ใช้ไอซีเบอร์ XR-2211 ซึ่งได้ถูกออกแบบมาโดยเฉพาะเพื่อทำการแปลงสัญญาณ FSK ให้เป็นสัญญาณคิจิตอล (FSK Demodulation) การซิงโครไนซ์ข้อมูล (Data Synchronization) การถอดรหัสสัญญาณเสียง (Tone Decoding) การคิเทคสัญญาณ FM (FM Detection) และการคิเทคสัญญาณคิ่่นพาท์ (Carrier Detection)

ลักษณะโดยทั่วไปของไอซี XR-2211

ไอซีเบอร์ XR-2211 นี้เป็นไอซีที่ทำงานแบบเฟสล็อกลูป (Phase Locked Loop : PLL) ไฟเลี้ยงที่ใช้กับไอซีนี้อยู่ในช่วงคั้งแต่ 4.5 ถึง 20 โวลต์ และสามารถทำงานในย่านความถี่คั้งแต่ 0.01 Hz จนถึง 300 kHz นอกจากนั้นยังสามารถรับสัญญาณอินพุทในช่วงที่กว้างได้คั้งแต่ 2 มิลลิโวลต์ จนถาพที่เข้ามามีขนาดน้อยกว่า 2 โวลต์ อีกอย่างหนึ่งคือ สามารถใช้งานร่วมกับอุปกรณ์ทางลอจิกที่เป็นมาตรฐานได้แก่ ตระกูล DTL, TTL และ CEL ได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างภายในของไอซี XR-2211



รูป 3.9 แสดงโครงสร้างภายในของไอซี XR-2211

โครงสร้างภายในแสดงดังรูปที่ 3.10 โดยมีโครงสร้างหลักเป็นวงจรเฟสล็อกซึ่งประกอบด้วยวงจรปริแอมพลิฟายเออร์ (Preamplifier) วงจรคูณสัญญาณอนาล็อก (Analog Multiplier) ซึ่งใช้เป็นวงจรเฟสดีเทกเตอร์และวงจร VCO (Voltage Control Oscillator) โดยวงจรปริแอมพลิฟายเออร์นี้ใช้สำหรับขยายสัญญาณอินพุตที่มีขนาดต่ำ ๆ (สูงกว่า 2 มิลลิโวลต์) ให้มีขนาดสูงขึ้น ส่วนวงจรเฟสดีเทกเตอร์แบบคูณนี้ทำงานคล้ายกับเอกคลูซีฟออร์เกด ส่วนวงจร VCO นั้นจะถูกควบคุมความถี่โดยตัวต้านทาน R_0 และกระแสจากวงจรเฟสดีเทกเตอร์

แรงดันอ้างอิง (Reference Voltage : V_R ที่ขา 10) แรงดันที่ขา 10 นี้ใช้เป็นแรงดันอ้างอิงสำหรับแรงดันที่ขา 5, 8, 10 และ 11 โดยที่ขา 10 นี้จะต้องต่อคาปาซิเตอร์ขนาด 0.1 μF กับกราวด์เพื่อขยายพาสสัญญาณความถี่สูงลงกราวด์ และให้วงจรทำงานสม่ำเสมอ

สัญญาณเอ๊าท์พุทจากวงจรรูปเฟสดีเทกเตอร์ (Loop Phase Detector Output) ที่ขา 11 นี้ เป็นเอ๊าท์พุทที่มีความต้านทานสูง ใช้สำหรับรูปเฟสดีเทกเตอร์โดยมีตัวต้านทาน R_1 และคาปาซิเตอร์ C_1 ทำหน้าที่เป็นวงจรรูปฟิลเตอร์ของเฟสล็อก ในกรณีที่ยังไม่มีสัญญาณอินพุตหรือไม่มีความแตกต่างทางเฟสของวงจรเฟสล็อก ระดับแรงดันที่ขา 11 นี้ จะมีค่าใกล้เคียงกับแรงดันอ้างอิง V_R

การควบคุมความถี่ของวงจร VCO ความถี่ของวงจร VCO ถูกควบคุมจากตัวต้านทาน $R_{4A} + R_{4B}$ ซึ่งสามารถหาได้จากสมการที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

$$f_0 = 1 / (R_{4B} + R_{4A})(C_1) \quad \text{Hz} \quad \dots (2)$$

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

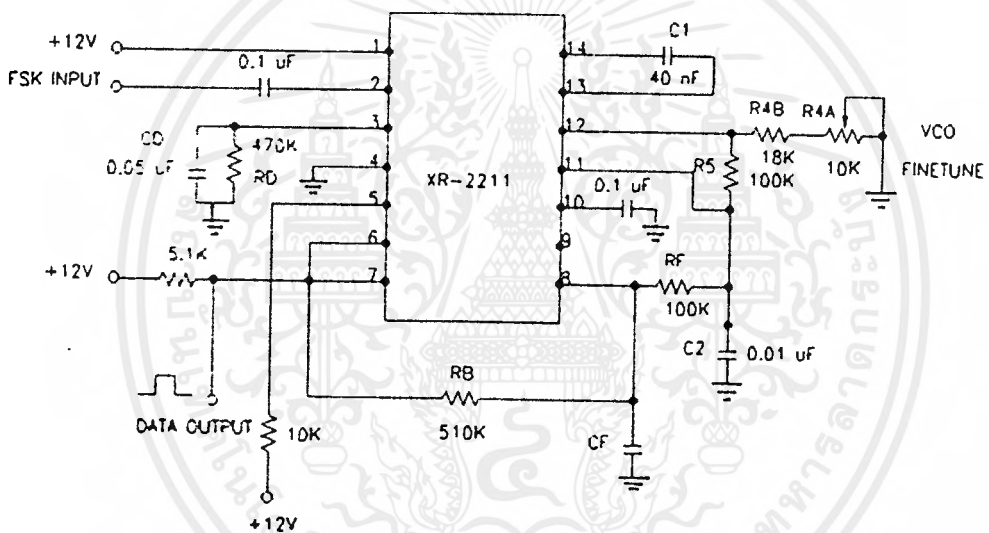
โดยที่ C_1 คือ คาปาซิเตอร์ที่ต่อระหว่างขา 13 กับขา 14 และเพื่อความเสถียรภาพของ วงจรควรใช้ตัวต้านทาน $R_{4A} + R_{4B}$ มีค่าอยู่ในช่วงระหว่าง 10 กิโลโอห์ม และ 100 กิโลโอห์ม

คาปาซิเตอร์ควบคุมวงจร VCO (ที่ขา 13 และ 14) ความถี่ที่ได้จากวงจร VCO แปรผกผันกับค่าของคาปาซิเตอร์ C_1 ที่ต่อระหว่างขา 13 และ 14 คาปาซิเตอร์ C_1 ต้องใช้แบบไม่มี ขั้วอยู่ในย่าน 200 พิโคฟาร์จนจนถึง 10 ไมโครฟาร์ด

การปรับความถี่ของวงจร VCO ควรใช้ตัวต้านทานที่สามารถปรับค่าได้ต่ออนุกรม กับตัวต้านทานค่าหนึ่ง

การนำไอซี XR-2211 ไปใช้ในการคิเทกสัญญาณ FSK

การนำไอซี XR-2211 ไปใช้เพื่อทำการคิเทกหัตสัญญาณ FSK แสดงดังรูป 3.10



รูป 3.10 แสดงถึงการนำไอซี XR-2211 ไปใช้เพื่อทำการคิเทกหัตสัญญาณ FSK

จากรูป 3.10 ตัวต้านทาน $R_{4A} + R_{4B}$ และคาปาซิเตอร์ C_1 ใช้เพื่อกำหนดความถี่ กลางของเฟสล็อกถูกล f_0 ตัวต้านทาน R_3 นั้นใช้เพื่อกำหนดแบนด์วิดท์, คาปาซิเตอร์ C_2 ใช้กำหนด ค่าคงที่ทางเวลาของฟีดแบ็คและค่าอุปแคมป์, คาปาซิเตอร์ C_F และตัวต้านทาน R_F ทำหน้าที่ เป็น One Pole Post-detection สำหรับสัญญาณเอทท์ทุก, ตัวต้านทาน R_B (มีค่าประมาณ 510 กิโล โอห์ม)ซึ่งต่อระหว่างขา 7 และ 8 ทำหน้าที่เป็นตัวป้อนกลับทางบวก (Positive Feedback)

ขั้นตอนการกำหนดค่าตัวต้านทานและคาปาซิเตอร์

1. คำนวณความถี่กลางของเฟสล็อกถูกล f_0 คิงสมการที่ 3 โดยค่า f_1 และ f_2 คือ ความถี่ทั้งสองสัญญาณอินพุท FSK

$$f_0 = (f_1 + f_2) / 2 \quad \dots (3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าทางด้านส่งนั้นได้กำหนดความถี่ไว้ตามมาตรฐานของ Bell 103 คือที่บอดเรท 300 บิต ต่อวินาที ซึ่งมีความถี่ f_1 และ f_2 มีค่า 1070 และ 1270 Hz ตามลำดับคั้งนั้นจะได้

$$\begin{aligned} f_0 &= (1070 + 1270) / 2 \\ &= 1170 \text{ Hz} \end{aligned}$$

2. เลือกค่าความต้านทาน $R_{4A} + R_{4B}$ ซึ่งค่า $R_{4A} + R_{4B}$ ควรจะอยู่ในช่วง 10 กิโลโอห์ม จนถึง 100 กิโลโอห์ม สำหรับค่าความต้านทานของ R_{4B} ที่ใช้ในโครงการนั้นมีค่า 18 กิโลโอห์ม

3. กำหนดค่าคาปาซิเตอร์ $C_1 = 39 \text{ nF}$

$$C_1 = 1 / (R_{4A} + R_{4B})f_0 \quad \dots (4)$$

จากค่าความต้านทานของ R_{4B} จากขั้นตอนที่ 2 นั้น จะได้ค่าของ R_{4A} ดังนี้

$$\begin{aligned} R_{4A} &= 1 / (39 \times 10^{-9} \times 1170) - 18 \times 10^3 \\ &= 3915.4 \text{ โอห์ม} \end{aligned}$$

4. คำนวณค่าความต้านทาน R_s จากสมการที่ 5

$$R_s = R_{4A} + R_{4B} \times [f_0 / (f_1 - f_2)] \quad \dots (5)$$

จากค่าที่ได้จากขั้นตอนที่ 1 และค่าความต้านทานในขั้นตอนที่ 2 จะได้ค่าของ R_s ดังนี้

$$\begin{aligned} R_s &= (18000 + 3915) \times [1170 / (1270 - 1070)] \\ &= 12820 \text{ โอห์ม} \end{aligned}$$

5. คำนวณค่าคาปาซิเตอร์ C_2 เพื่อกำหนดลูปแอมป์ (Loop Damping) ซึ่งควรจะมีค่าประมาณ 0.5 คั้งนั้น จะได้ค่าของคาปาซิเตอร์ C_2 สมการที่ 6

$$C_2 = C_1 / 4 \quad \dots (6)$$

จากค่าของ C_1 ตามขั้นตอนที่ 3 จะได้ค่าของ C_2 ดังนี้

$$\begin{aligned} C_2 &= 39 \times 10^{-9} \times 0.25 \\ &= 0.975 \times 10^{-8} \\ &= 9.75 \text{ nF} \end{aligned}$$

6. คำนวณค่าของคาปาซิเตอร์ C_F ถ้ากำหนดตัวต้านทาน R_F มีขนาด 100 กิโลโอห์ม และตัวต้านทาน R_B มีขนาด 510 กิโลโอห์ม คั้งนั้น จะหาค่าของ C_F ได้จากการหาค่า τ_F จาก

$$\begin{aligned} \tau_F &= R_F \times C_F \\ &= 0.3 / (\text{baud rate}) \\ &= 0.3 / 300 \\ &= 0.001 \text{ sec} \end{aligned}$$

หาค่า $C_F = \tau_F / R_F$

$$= 0.001 / 100000$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเหตุ

สำหรับค่าของคาปาซิเตอร์ที่ใช้จริงในวงจรนั้นให้ใช้ค่าที่ใกล้เคียงกับค่าที่ได้จากการคำนวณมากที่สุด ส่วนค่าความต้านทานที่ใช้จริงในวงจรนั้นให้ใช้ค่าที่ใกล้เคียงที่น้อยกว่าต่ออนุกรมกับความต้านทานที่ปรับค่าได้เพื่อให้สามารถปรับแต่งให้ได้คุณสมบัติของวงจรที่ดีที่สุด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบวงจรแสดงผลข้อมูล

4.1 สถาปัตยกรรม Z80180

Z80180 รวมเอาคุณสมบัติหลักต่างๆ ของ CPU ในระบบต่าง ๆ และทรัพยากร input/output ซึ่งมีประโยชน์ในการประยุกต์ใช้งานอย่างกว้างขวาง แกนหลักของ CPU ประกอบด้วย บล็อกการงาน 5 บล็อกดังนี้ ผลิตภัณฑ์สัญญาณนาฬิกา (Clock generator) , ควบคุมสัญญาณ BUS (bus statecontroller) ร่วมด้วยสัญญาณ Refresh Dynamic RAM , ควบคุมการอินเตอร์รัพท์ (Interrupt controller) , หน่วยจัดการหน่วยความจำ (Memory management unit , MMU) , และหน่วยประมวลผลกลาง (CPU) ทรัพยากร input/output ประกอบด้วยบล็อกการทำงานดังนี้ DMA2 ช่อง , PRT 2 ช่อง และช่องสัญญาณอนุกรมคต่อกอีก 1 ช่อง

ผลิตภัณฑ์สัญญาณนาฬิกา (Clock generator) สัญญาณนาฬิกา ของระบบได้มาจากคริสตอล ภายนอกหรือ Clock ที่ป้อนเป็นอินพุตให้กับ CPU สัญญาณนาฬิกา ภายนอกจะถูกหารด้วย 2 เป็นฐาน เวลาให้กับอุปกรณ์ภายในและภายนอก CPU

ควบคุมสัญญาณ BUS (Bus state controller) เป็นสัญญาณสถานะทั้งหมดของระบบ และควบคุมการทำงานร่วมกันทั้ง CPU และ internal I/O ที่ร่วมด้วย wait state timing , วงรอบการ Reset , DRAM refresh และการทำ DMA

ควบคุมการอินเตอร์รัพท์ (Interrupt controller) ทำหน้าที่ตอบรับและจัดลำดับความสำคัญ

ของการขออินเตอร์รัพท์ภายในและภายนอกแบบต่าง ๆ เพื่อจะได้ผลการตอบสนองที่ถูกต้องจาก CPU อินเตอร์รัพท์ทั้ง 3 แบบที่มีใน Z80 ยังคงมีใน Z80180 เพื่อที่จะให้คอมแพททิเบิลกับ Z80

หน่วยจัดการหน่วยความจำ (Memory Management Unit) MMU อนุญาตให้ผู้ใช้สามารถ Map หน่วยความจำขนาด 64 KB ไปอยู่ที่ใดก็ได้ใน 1 MB ทำให้คำสั่งต่าง ๆ ของ Z180 สามารถ ใช้กับหน่วยความจำที่เพิ่มขึ้นได้โดยใช้การแบ่งหน่วยความจำแบบ Common area Bank area

หน่วยประมวลผลกลาง (Central Processing Unit) คำสั่งต่าง ๆ ของ Z180 สามารถใช้ ได้กับ CPU Z80180 ทุกคำสั่ง พร้อมทั้งยังเพิ่มคำสั่งการคูณ , หาร แบบ 8 บิตอีกด้วย ทำให้การคำนวณแบบคูณ,หารใช้เวลาน้อยลง

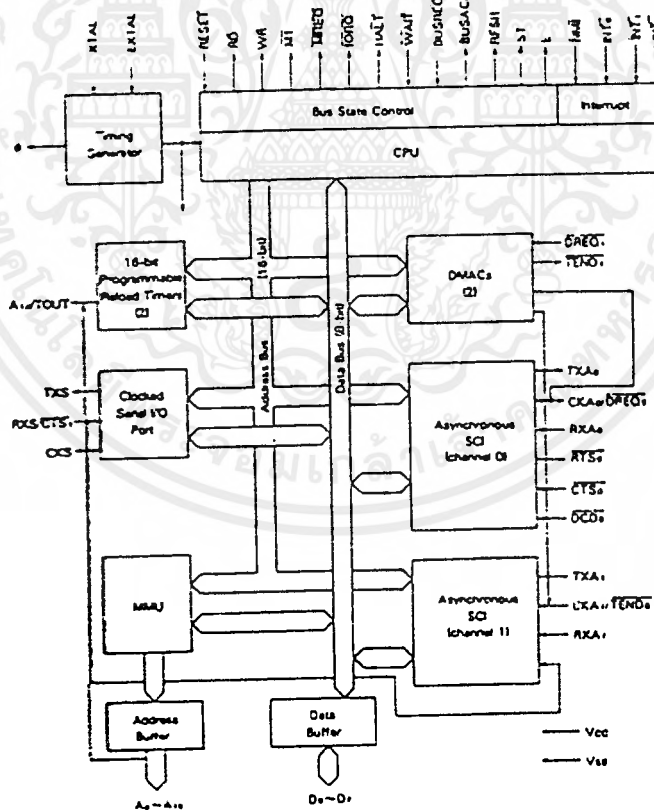
ควบคุมการ DMA (DMA Controller) หน่วยควบคุม DMA ทำหน้าที่ถ่ายข้อมูลระหว่าง หน่วยความจำกับอุปกรณ์อื่น ๆ ด้วยความเร็วสูง การถ่ายข้อมูลสามารถกระทำได้ระหว่างหน่วยความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำกัดหน่วยความจำหน่วยความจำกับอุปกรณ์ I/O , อุปกรณ์ I/O กับ อุปกรณ์ I/O Mode ของการถ่ายข้อมูลมี burst Mode และ steal Mode การถ่ายข้อมูลทำได้ในขอบเขต 1 MB บล็อกละ 64 KB การติดต่อสื่อสารข้อมูลอนุกรมแบบอะซิงโครนัส (Asynchronous Serial Communication) มีช่อง ASCII แบบ full-duplex UARTs 2 ช่องแยกจากกัน แต่ละช่องประกอบด้วย Programmable baud rate generator และสัญญาณควบคุมโมเด็ม ช่อง ASCII นี้สนับสนุนการทำงานแบบ Multiprocessor ด้วย

ตั้งเวลาแบบโปรแกรมได้ [Programmable Reload Timer (PRT)] มี 2 ช่อง แต่ละประกอบด้วย counter 16 bit (timer) และรีจิสเตอร์โหลดค่าเวลา ค่าฐานเวลาที่ป้อนให้กับ counter คำนวณจากสัญญาณนาฬิกาของระบบหารด้วย 20

Clock Serial I/O (CSIO) ทำหน้าที่ส่งและรับข้อมูลอนุกรมแบบ half-duplex ช่องสัญญาณนี้ใช้สำหรับติดต่อข้อมูลด้วยความเร็วสูงกับไมโครโปรเซสเซอร์ หรือกับไมโครคอมพิวเตอร์อื่นได้



คุณลักษณะ Z80180 หรือ Z180 MPU

- ทำงานที่ความถี่ 10 Mhz
 - หน่วยจัดการหน่วยความจำอยู่บนชิป เพื่อขยายหน่วยความจำ
 - ช่อง DMA 2 ช่อง
 - Rair State Gen บนชิป
 - ช่อง UARTs 2 ช่อง
 - ช่อง Timer 16 bit 2 ช่อง
 - Interrupt Controller บนชิป
 - Clock OSC/GEN บนชิป
 - พอร์ทอนุกรม
 - คำสั่ง Compat กับ Z80 CPU
 - คำสั่ง Compat กับ Z80 CPU
 - มีคำสั่งเพิ่มเติมจาก Z80
- ลักษณะโดยทั่วไป

ตั้งอยู่บนพื้นฐานของหน่วยประมวลผลทั่วไป ใช้เทคโนโลยีการผลิตแบบ CMOS ซีไมโครโปรเซสเซอร์ชนิด 8 บิต ซึ่งมีประโยชน์ในการลดต้นทุนของระบบลง และทำงานโดยใช้กำลังงาน ขณะที่ให้คุณภาพที่สูงกว่าและยังเขียนซอฟต์แวร์เข้ากันได้กับ Zilog Z80 CPU

คุณภาพที่เหนือกว่าก็เนื่องจากการทำที่ความถี่สูงกว่า ทำให้ลดค่าเวลาในการปฏิบัติคำสั่งลง รวมทั้งยังมีชุดคำสั่งที่เพิ่มขึ้นอีก และมีหน่วยจัดการหน่วยความจำ (MMU) พร้อมทั้งติดต่อกับหน่วยความจำได้สูงถึง 1 MB

การลดราคาของระบบลงก็เนื่องจากการรวมเข้าไว้ด้วยกันของ Key function ต่าง ๆ อยู่ใน CPU Key function เหล่านี้ประกอบด้วยอุปกรณ์ทาง I/O เช่น DMA , UART และ Timer channel รวมทั้ง Glue function เช่น Dynamic RAM refresh control , generator , Clock Oscillator , และ Interrupt controller

ไม่เพียงแต่ Z80180 จะใช้กำลังงานในการทำงานภาวะปกติเท่านั้น แต่มันยังจะกำหนดโหมดการทำงานที่ออกแบบมาเพื่อลดกำลังงานสิ้นเปลือง มี 2 โหมด คือ

-Sleep Mode ถดกำลังงานโดยให้ CPU เข้าสู่ภาวะ "Stopped " เพื่อให้ใช้กระแสน้อยขณะ
ที่ on-chip I/O device ยังทำงานอยู่

-System Stop Mode คือทั้ง CPU และ on-chip peripherals เข้าสู่ภาวะ " Stopped "
" ดังนั้นจะถดกำลังงานสิ้นเปลือง ได้ดียิ่งขึ้นทีเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต่อรวมกับ memory และอุปกรณ์อื่น ๆ ที่ใช้เทคโนโลยีการผลิตประเภท CMOS VLSI Z80180 จะให้ผลตอบแทนที่คล้ายกับระบบที่ต้องการคุณภาพและใช้กำลังต่ำ
 ขาต่าง ๆ ของ Z 80

- A0- A19** Address Bus (Output active High 3 state) คือขา Address ขนาด 20 บิตซึ่งจะกำหนดตำแหน่งของหน่วยความจำเพื่อแลกเปลี่ยนข้อมูล ขนาดหน่วยความจำสูงสุดเท่า 1 MB และขนาด I/O Port เท่ากับ 64 K Address bus จะมีสถานะเป็น High Impedance เมื่อ รีเซ็ตและเมื่ออุปกรณ์ภายนอกต้องการขอใช้ Bus A18 จะมัลติเพล็กซ์กับสัญญาณเอาต์พุต ของ PRT Channel 1 (Programmable Timer) หรือ TOUT ในสถานะรีเซ็ตขาจะเป็น Address Bus และ A19 จะมีเฉพาะ Z80180 รุ่น PLLCC
- $\overline{\text{BUSACK}}$** Bus Acknowledge (output active Low) ตอบรับถึงความพร้อมที่จะยก Bus ต่าง ๆ ให้อุปกรณ์อื่น ๆ Bus เหล่านี้เช่น Address Bus DATA Bus สัญญาณควบคุมบางขา จะมีสถานะเป็น High Impedance
- $\overline{\text{BUSREQ}}$** Bus Request (Input active Low) ขานี้ถูกใช้โดยอุปกรณ์ภายนอก (เช่น DMA Controller)เมื่อต้องการขอใช้ Bus ของระบบ ความต้องการนี้มีความสำคัญสูงกว่า $\overline{\text{NMI}}$ และ CPU จะคอยตรวจสอบสัญญาณนี้ที่ machine cycle สุดท้ายของ cycle ปัจจุบันเสมอ สัญญาณนี้จะหยุด CPU จากการ execute คำสั่งและให้ Address Bus, DATA Bus และสัญญาณควบคุมอื่น ๆ เข้าสู่สถานะ High Impedance
- CKA0, CKA1** Asynchronous Clock 0 and 1 (Bidirectional, active High) ขาสองขานี้จะส่งและรับสัญญาณนาฬิกาสำหรับ Synchronous Channels CKA0 มัลติเพล็กซ์กับ $\overline{\text{DREQ0}}$ และ CKA1 มัลติเพล็กซ์กับ $\overline{\text{TEND0}}$
- CKS** Serial Clock (Bidirectional, active High) เป็น clock สำหรับ CSIO Channel
- CLOCK** System Clock (Output, active High) เป็นเอาต์พุต clock ใช้สำหรับอ้างอิง (Reference clock) ให้กับ MPU และระบบภายนอก ความถี่ขานี้เท่ากับ 1/2 ของคริสตัลหรือ input clock
- $\overline{\text{CTS0}}$ - $\overline{\text{CTS1}}$** Clear to Send 0 and 1 (Input, active Low) ขาเหล่านี้คือสัญญาณควบคุมโมเด็มสำหรับ ASCII Channel CTS1 ถูกมัลติเพล็กซ์กับ RXS
- D0 - D7** DATA Bus (Bidirectional, active High, 3-state) D0-D7 ประกอบขึ้นเป็น 8 บิต บัส 2 ทิศทางใช้สำหรับเป็นทางเดินของข้อมูลจาก I/O และ Memory DATA Bus จะเข้าสู่สถานะ High Impedance ในช่วงรีเซ็ตและช่วงตอบรับการขอใช้ Bus จากอุปกรณ์ภายนอก

$\overline{\text{DCDO}}$	DATA Carrier Detect 0 (Input active Low) เป็นขา programmable mode control signal สำหรับ ASCII Channel 0
$\overline{\text{DREQ0}}, \overline{\text{DREQ1}}$	DMA Request 0 and 1 (Input, active Low) $\overline{\text{DREQ}}$ ถูกใช้สำหรับร้องขอการที่ DMA ที่อยู่บนชิปทั้งหมด 2 ช่อง DMA Channel Monitor ใช้ขาเหล่านี้เพื่อบ่งบอกเมื่ออุปกรณ์ภายนอกพร้อมที่จะอ่านหรือเขียนข้อมูล ขา Input เหล่านี้สามารถโปรแกรมให้เป็น Level 0 หรือ 1 หรือที่ขอบสัญญาณได้ $\overline{\text{DREQ0}}$ ถูกมัลติเพล็กซ์กับ $\overline{\text{CKA0}}$
$\overline{\text{E}}$	Enable Clock (Output, active High) เป็นขา Clock ที่ทำงานเข้าจังหวะกับ Machine cycle ระหว่างการจัดการเกี่ยวกับ Bus
$\overline{\text{EXTAL}}$	External Clock/Crystal (Input, active High) เป็นจุดต่อคริสตอล หรือ clock ภายนอก สามารถป้อนเข้าสู่ Z80180 ที่ขา $\overline{\text{M1}}$ เมื่อเราไม่ใช้คริสตอล ขา $\overline{\text{EXTAL}}$ นี้ลักษณะเป็น Schmitt Trigger
$\overline{\text{HALT}}$	Halt/Steep Status (Output, active High) ขา $\overline{\text{HALT}}$ นี้จะ active หลังจาก CPU ปฏิบัติคำสั่ง HALT หรือ SLP ซึ่งจะตรวจสอบการ non-maskable หรือ maskable interrupt ก่อนคำสั่งนี้เสมอและยังใช้ร่วมกับ $\overline{\text{M1}}$ และ ST เพื่อ Decode สถานะการทำงานของ CPU
$\overline{\text{INT0}}$	Maskable Interrupt Request 0 (input, active Low) สัญญาณนี้กำเนิดมาจากอุปกรณ์ภายนอก CPU จะตรวจสอบการอินเตอร์รัพท์ที่จุดสิ้นสุดของการปฏิบัติคำสั่งปัจจุบัน ขณะที่ $\overline{\text{NMI}}$ และ $\overline{\text{BUSREQ}}$ ไม่ active เมื่อ CPU รับรู้แล้วจะเข้าสู่วงรอบรอบของการอินเตอร์รัพท์ ช่วงไซเคิลนี้ทั้ง $\overline{\text{M1}}$ และ $\overline{\text{IORQ}}$ จะไม่ active
$\overline{\text{INT1}}, \overline{\text{INT2}}$	Maskable Interrupt Request 1 and 2 (input, active Low) สัญญาณนี้กำเนิดมาจากอุปกรณ์ภายนอก CPU จะตรวจสอบการอินเตอร์รัพท์ที่จุดสิ้นสุดของการปฏิบัติคำสั่งปัจจุบันขณะที่ $\overline{\text{NMI}}$, $\overline{\text{BUSREQ}}$ และ $\overline{\text{INT0}}$ ไม่ active เมื่อ CPU รับรู้แล้วจะเข้าสู่วงรอบของการอินเตอร์รัพท์ซึ่งจะไม่เหมือนกับการตอบรับของ $\overline{\text{INT0}}$ ช่วงไซเคิลนี้ทั้ง $\overline{\text{M1}}$ และ $\overline{\text{IORQ}}$ จะไม่ active
$\overline{\text{IORQ}}$	I/O Request (output, active Low 3-state) $\overline{\text{IORQ}}$ เป็นสัญญาณบ่งบอกว่าขณะนี้สาย Address Bus แสดงตำแหน่งของอุปกรณ์ I/O เพื่อที่จะเขียนกับอุปกรณ์เหล่านั้น $\overline{\text{IORQ}}$ จะ active พร้อมกับ $\overline{\text{M1}}$ ระหว่างการตอบรับการอินเตอร์รัพท์ $\overline{\text{INT0}}$ ซึ่งจะต้องป้อนข้อมูล interrupt vector เข้าที่ DATA bus
$\overline{\text{M1}}$	Machine Cycle 1 (Output active Low) ใช้ร่วมกับ $\overline{\text{MREQ}}$ เพื่อบ่งบอกช่วงจังหวะการ Fetch ข้อมูลจากหน่วยความจำ, ใช้ร่วมกับ $\overline{\text{IORQ}}$ เพื่อบ่งบอกสถานะการตอบรับการอินเตอร์รัพท์ใช้ประกอบกับสัญญาณ HALT และ ST เพื่อ decode สถานะของ CPU

$\overline{\text{MREQ}}$	Memory Request (Output, active Low 3 state) $\overline{\text{MREQ}}$ บ่งบอกให้รู้ว่าข้อมูลใน Address Bus นั้นเป็นตำแหน่งของหน่วยของหน่วยความจำที่จะอ่านหรือเขียนข้อมูลลงไป
$\overline{\text{NMI}}$	Non-maskable Interrupt (Input, Negative edge trigger) $\overline{\text{NMI}}$ มีความสำคัญสูงกว่า INT และจะตรวจสอบ $\overline{\text{NMI}}$ ทุก ๆ state สุดท้ายของแต่ละคำสั่ง และไม่คำนึงถึงค่าใน Interrupt Enable flip-flop เมื่อมีสัญญาณนี้ CPU จะไปเริ่มปฏิบัติคำสั่งที่ Address 0066H
$\overline{\text{RD}}$	Read (Output, active Low, 3-state) $\overline{\text{RD}}$ เป็นขาที่บ่งบอกว่า CPU ต้องการอ่านข้อมูลจากหน่วยความจำหรืออุปกรณ์ I/O หน่วยความจำหรืออุปกรณ์ I/O ควรใช้ขานี้เป็นสัญญาณเปิดเกตเข้าสู่บัสข้อมูลของ CPU
$\overline{\text{RFSH}}$	Refresh (Output, active Low) ใช้ร่วมกับ $\overline{\text{MREQ}}$ เพื่อบ่งบอกว่าขณะนี้ CPU กำลังใช้ 8 บิตล่างของ Address Bus ซึ่งไปยังหน่วยความจำแบบ Dynamic เพื่อทำการ Refresh
$\overline{\text{RTSO}}$	Request to Send 0 (Output, active Low) เป็นขาสัญญาณควบคุมโมเด็มสำหรับ ASCII ช่อง 0
RXA0,RXA1	Receive Data 0 and 1 (Input, active High) ขานี้ใช้สำหรับรับข้อมูลเข้าไปใน ASCII
RXS	Clock serial Receive Data (Input, active High) ขานี้ใช้สำหรับรับข้อมูลเข้าไปใน CSIORXS มัลติเพล็กซ์กับ $\overline{\text{CTS1}}$ (ของ ASCII ช่อง 1)
ST	Status (Output, active High) สัญญาณนี้ใช้ร่วมกับ $\overline{\text{M1}}$ และ $\overline{\text{HALT}}$ เพื่อ decode สถานะของ CPU ดังตาราง 4.1

ST	$\overline{\text{HALT}}$	$\overline{\text{M1}}$	Operation
0	1	0	CPU Operation (1 st op-code fetch)
1	1	0	CPU Operation (2nd op-code and 3 rd op-code fetch)
1	1	1	CPU Operation (MC xcept for op-code fetch)
0	X	1	DMA Operation
0	0	0	HALT mode
1	0	1	SLEEP mode (including SYSTEM STOP mode)

$\overline{TENDO}, \overline{TEND1}$	Transfer End 0 and 1 (Output, active Low) ขานี้จะ active ระหว่าง cycle สุดท้ายของการทำ DMA มันใช้สำหรับบ่งบอกจุดสิ้นสุดการถ่ายข้อมูลชุดนั้น \overline{TENDO} มีลติเพดจ์กับ CKAI
TOUT	Timer Out (Output, active High) คือ สัญญาณพัลส์ที่ออกจาก PRT ช่อง 1 ขานี้มีลติเพดจ์กับ A18
TXAO, TXAI	Transmit Data 0 and 1 (Output active High) ขานี้ใช้สำหรับส่งข้อมูลออกจาก ASCII Channels
TXS	Clocked Serial Transmit Data (Output, active High) ขานี้ใช้สำหรับส่งข้อมูลออก CSIO Channel
\overline{WAIT}	Wait (Input, active Low) \overline{WAIT} ใช้แจ้ง CPU ว่าหน่วยความจำหรืออุปกรณ์ I/O ไม่พร้อมในการรับส่งข้อมูล ขานี้จะต้องป้อนสัญญาณเข้าไปในช่วงของไซเคิลปัจจุบัน สัญญาณ \overline{WAIT} นี้จะถูกตรวจสอบที่ขอบขาของ T2 (ต่อมาที่จะเป็นช่วง Wait state) ถ้าอินพุตเป็น LOW สถานะ WAIT state จะถูกรวมเข้าไว้ในไซเคิลนั้น จนกระทั่งอินพุตเป็น High คำสั่งนั้นจะถูกปฏิบัติต่อไป
\overline{WR}	Write (Input, active Low, 3-state) \overline{WR} บ่งบอกว่า CPU มีข้อมูลอยู่บนสาย Data Bus เพื่อที่จะเก็บลงในตำแหน่งของหน่วยความจำหรืออุปกรณ์ I/O
XTAL	Crystal (Input, active high) เป็นจุดต่อผลึกคริสตอล ถ้าเราใช้สัญญาณนาฬิกาภายนอกแล้ว (external clock) ก็ไม่ต้องต่อคริสตอล
Multiplexed pin descriptions	
A18/ \overline{TOUT}	ระหว่างรีเซ็ตขานี้จะเป็น A18 ถ้า TOC1 หรือ TOC0 บิตของ Timer Control Register (TCR) ถูกเซ็ตเป็น 1 ขานี้จะเป็น TOUT ถ้า TOC1 และ TOC0 ถูก Clear เป็น 0 ขานี้จะเป็น A18
CKA0/ $\overline{DREQ0}$	ระหว่างรีเซ็ตขานี้จะเป็น CKA0 ถ้า DM1 หรือ SM1 ใน DMA Mode Register (DMODE) ถูกเซ็ตเป็น 1 ขานี้จะเป็น $\overline{DREQ0}$
CKA1/ $\overline{TEND0}$	ระหว่างรีเซ็ตขานี้จะเป็น Cka1 ถ้าบิต CKA1d ใน ASCII Control Register ช่อง 1 (CNTLA1) ถูกเซ็ตเป็น 1 ขานี้จะเป็น $\overline{TEND0}$ ถ้าบิต CKA1D ถูก Clear เป็น 0 ขานี้จะเป็น CKA1
RXS/ $\overline{CTS1}$	ระหว่างรีเซ็ตขานี้จะเป็น RXS ถ้าบิต CTS1E ใน ASCII Status Register ช่อง 1 (STAT1) ถูกเซ็ตเป็น 1 ขานี้จะเป็น $\overline{CTS1}$ ถ้า CTS1E ถูก Clear เป็น 0 ขานี้จะเป็น RXS

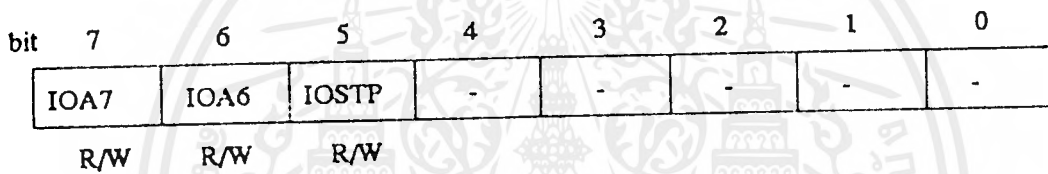
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Internal I/O Registers

I/O register ภายใน Z80180 มีทั้งหมด 64 แอดแควส (รวมทั้งที่ reserveไว้ด้วย) แบ่งเป็น Internal I/O Modules (เช่น ASCII, CSI/O, PRT) และ Control function (DMAC, DRM refresh, interrupts wait state generator ,MMU, และ I/O relocation)

เพื่อที่จะหลีกเลี่ยงไม่ให้ I/O address ภายในและภายนอกมีตำแหน่งที่ทับซ้อนกัน I/O register ภายใน Z80180 สามารถเคลื่อนย้ายกลุ่มของ internal I/O ภายใน 256 byte ต่างสุดของพื้นที่ I/O ทั้งหมด 64 Kbyte

I/O Control register (ICR) : ICR ใช้สำหรับเคลื่อนย้าย internal I/O address พร้อมทั้งสามารถควบคุมการ enable/disable IOSTOP ใหม่ได้



รูป 4.2 I/O Control Register (ICR : I/O Address = 3FH)

IOA7,6 Address Relocation (Bits 7,6)

IOA7 และ IOA6 ใช้ย้ายตำแหน่งของ internal I/O ดังรูป 4.3 ข้อสังเกต 8 bit บนของ I/O address จะเป็น "0" เสมอ สภาวะ reset IOA7,IOA6 จะเปลี่ยนเป็น "0"

IOA7.IOA6 = 11	00FFH 00C0H
IOA7.IOA6 = 10	00BFH 0080H
IOA7.IOA6 = 01	007FH 0040H
IOA7.IOA6 = 00	003FH 0000H

รูป 4.3 I/o Address Relocation

เอกสารนี้เป็นเอกสาร IOSTP : IOSTOP Mode (bit 5) ถ้าเซทบิตนี้เป็น 1 IOSTOP จะ enable ปกติแล้วถ้าจะใช้งาน internal I/O จะ IOSTOP เป็น "0" สภาวะ Reset IOSTOP จะเป็น "0"

internal I/O Register Map ตำแหน่งของ internal I/O แสดงดังตาราง 4. 2 ตำแหน่ง I/O เหล่านี้เป็นตำแหน่งสัมพันธ์กับ base address ที่กำหนดไว้ใน ICR

I/O Address Notess : ตำแหน่งของ internal I/O register จะอยู่ในพื้นที่ระหว่าง 0000H - 00FFH (16 บิต I/O address) ดังนั้นในการออกคำสั่งเกี่ยวกับ Internal I/O 8 บิตบนของ 16 บิต I/O Address ต้องเป็น "0" คำสั่งเกี่ยวกับ I/O โดยทั่วไป (OUT (M) A / In A (M) / OUTI / INI / ect.) ได้ใช้ 8 บิตเป็นของ 16 บิต I/O address ในการกำหนดตำแหน่งของ I/O ด้วย ดังนั้นจึงเป็นการยากที่จะใช้งาน Internal I/O registers.

เพื่อที่จะให้มีประสิทธิภาพในการใช้งาน Internal I/O register จึงได้เพิ่มคำสั่งใหม่เข้าไป เพื่อให้ 8 บิตบนของ 16 บิต I/O address เป็น "0" คำสั่งเหล่านี้ IN0, OUT0, OTIMR, OTIM, OTDM, OTDMR และ TSTIO

เมื่อเขียนข้อมูลลงบน internal I/O write cycle ก็จะปรากฏบน internal bus ด้วย ปกติแล้ว I/O ภายนอกควรจะ decode address ให้ไม่ตรงกับตำแหน่งของ internal I/O เพื่อหลีกเลี่ยงการทำงานที่พร้อมกันทั้ง Internal และ External I/O

	Register	Mnemonic	Address	
			Binary	Hexadecimal
ASCII	ASCII Control Register A Ch 0	CNTLA0	XX000000	00H
	ASCII Control Register A Ch 1	CNTLA1	XX000001	01H
	ASCII Control Register B Ch 0	CNTLB0	XX000010	02H
	ASCII Control Register B Ch 1	CNTLB1	XX000011	03H
	ASCII Status Register Ch 0	STAT0	XX000100	04H
	ASCII Status Register Ch 1	STAT1	XX000101	05H
	ASCII Transmit Data Register Ch 0	TDR0	XX000110	06H
	ASCII Transmit Data Register Ch 1	TDR1	XX000111	07H
	ASCII Receive Data Register Ch 0	RDR0	XX001000	08H
	ASCII Receive Data Register Ch 1	RDR1	XX001001	09H
CSIO	CSIO Control Register	CNTR	XX001010	0AH
	CSIO Transmit/Receive Data Register	TRDR	XX001011	0BH
Timer	Timer Data Register Ch 0L	TMDROL	XX001100	0CH
	Timer Data Register Ch 0H	TMDROH	XX001101	0DH
	Reload Register Ch 0L	RLDROL	XX001110	0EH
	Reload Register Ch 0H	RLDROH	XX001111	0FH
	Timer Control Register	TCR	XX010000	10H
	Reserved		XX010001	11H
			↓	↓
			XX010011	13H
			XX010100	14H
			XX010101	15H
			XX010110	16H
			XX010111	17H

	Register	Mnemonic	Address	
			Binary	Hexadecimal
Others	Free Running Counter	FRC	XX011000	18H
	Reserved		XX011001 ↓ XX011111	19H ↓ 1FH
DMA	DMA Source Address Register Ch 0L	SAR0L	XX100000	20H
	DMA Source Address Register Ch 0H	SAR0H	XX100001	21H
	DMA Source Address Register Ch 0B	SAR0B	XX100010	22H
	DMA Destination Address Register Ch 0L	DAR0L	XX100011	23H
	DMA Destination Address Register Ch 0H	DAR0H	XX100100	24H
	DMA Destination Address Register Ch 0B	DAR0B	XX100101	25H
	DMA Byte Count Register Ch 0L	BCROL	XX100110	26H
	DMA Byte Count Register Ch 0H	BCROH	XX100111	27H
	DMA Memory Address Register Ch 1L	MAR1L	XX101000	28H
	DMA Memory Address Register Ch 1H	MAR1H	XX101001	29H
	DMA Memory Address Register Ch 1B	MAR1B	XX101010	2AH
	DMA I/O Address Register Ch 1L	LAR1L	XX101011	2BH
	DMA I/O Address Register Ch 1H	LAR1H	XX101100	2CH
	Reserved		XX101101	2DH
	DMA Byte Count Register Ch 1L	BCR1L	XX101110	2EH
	DMA Byte Count Register Ch 1H	BCR1H	XX101111	2FH
	DMA Status Register	DSTAT	XX110000	30H
DMA Mode Register	DMODE	XX110001	31H	
DMA/WAIT Control Register	DCNTL	XX110010	32H	
INT	IL Register (Interrupt Vector Low Register)	IL	XX110011	33H
	INT/TRAP Control Register	ITC	XX110100	34H
	Reserved		XX110101	35H
Refresh	Refresh Control Register	RCR	XX110110	36H
	Reserved		XX110111	37H
MMU	MMU Common Base Register	CBR	XX111000	38H
	MMU Bank Base Register	BBR	XX111001	39H
	MMU Common/Bank Area Register	CBAR	XX111010	3AH
I/O	Reserved		XX111011 ↓ XX111101	3BH ↓ 3DH
	Operation Mode Control Register	OMCR	XX111110	3EH
	I/O Control Register	ICR	XX111111	3FH

ตาราง 4.2 I/O Address Map

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 หลักการทำงานของวงจรแสดงผล (ดูรูป 4.4 ประกอบ)

วงจรประกอบด้วยส่วนแสดงผล LED ซึ่งต่อแบบเมตริกซ์ (Matrix) ซึ่งประกอบด้วย LED จำนวน 16 X 64 (แถว X คอลัมน์) ที่แต่ละแถวจะมีวงจรสวิตช์ทำหน้าที่จ่ายกระแสไฟจากแหล่งจ่ายไฟเพื่อส่งผ่าน LED ตัวที่ต่อครบวงจร

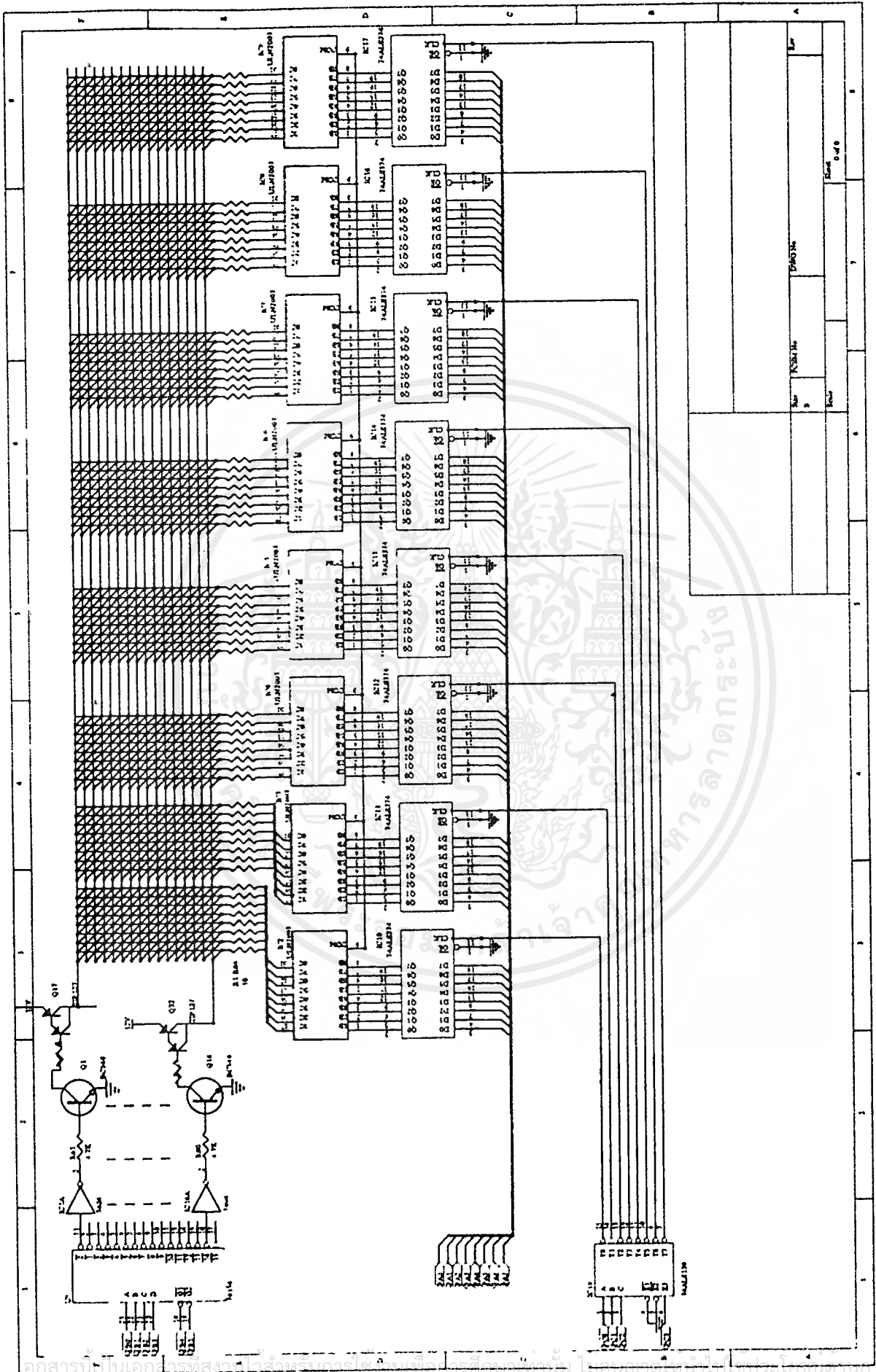
วงจรสวิตช์ด้านแถวถูกควบคุมโดยวงจรแตรซ์ด้านแถว 16 ตัว ซึ่งจะทำหน้าที่รับข้อมูลจากบัสข้อมูลจากพอร์ต B ของวงจร 8255 (Port B) ซึ่งเป็นตัวควบคุมการสวิตช์เลือกแถวโดยใช้ไอซีคิโคเดอร์เบอร์ 74LS154 ผ่านวงจรขับกระแสให้ไหลผ่าน LED ลงสู่กราวด์โดยใช้ทรานซิสเตอร์ชนิด NPN (BC 548) และชนิด PNP (TIP 127) ส่วนของการควบคุมด้านคอลัมน์จะมีลักษณะคล้ายกับทางแถวคือประกอบด้วยส่วนคิโคเดอร์ใช้ในการสวิตช์เลือกคอลัมน์โดยใช้ไอซีเบอร์ 74LS138 โดยรับข้อมูลจากบัสข้อมูลจากพอร์ต C ของ 8255 (Port C) และในส่วนของข้อมูลที่จะแสดงผลจะถูกส่งจากบัสข้อมูลจากพอร์ต A ของ 8255 (Port A) ผ่านเข้าสู่วงจรแตรซ์ข้อมูลโดยใช้ไอซีเบอร์ 74LS374 ซึ่งจะรับ/ส่ง ข้อมูลออกไปได้ก็ต่อเมื่อได้รับสัญญาณนาฬิกา (Clock) จาก Low เป็น High (0 - 1) ผ่านไปยังวงจรขับกระแสทางด้านคอลัมน์โดยใช้ไอซีเบอร์ ULN 2003

การเชื่อมต่อวงจรแบบเมตริกซ์และการมัลติเพล็กซ์ซึ่ง

วงจรแบบเมตริกซ์ถูกนำมาใช้ในการเชื่อมต่อ LED ทั้ง 1024 ตัว เพื่อให้สามารถควบคุม LED ทุกตัวให้ทำงานและหยุดทำงานจากการควบคุมด้วยสวิตช์ทั้ง 80 ตัว เงื่อนไขที่ทำให้ LED ติดต่อสว่างหรือทำงานคือต้องให้สวิตช์ทั้งด้านแถวและคอลัมน์ปิดวงจร ทำให้กระแสไฟสามารถไหลผ่านสวิตช์และ LED ครบวงจรได้

เทคนิคการมัลติเพล็กซ์ (Multiplex) ที่ถูกนำมาใช้จะมีลักษณะการทำงานดังนี้ เริ่มจากระบบจะกำหนดให้สวิตช์ด้านแถวทำงานที่แถวใดแถวหนึ่ง ซึ่งจะทำให้ LED เฉพาะในแถวนั้นทำงานตามสถานะของสวิตช์ด้านคอลัมน์ในขณะนั้น สวิตช์ด้านแถวจะถูกควบคุมให้ทำงานอยู่ในช่วงเวลาหนึ่งสั้นๆ หลังจากสวิตช์ด้านแถวหยุดทำงานลง โปรเซสเซอร์จะทำการเขียนข้อมูลไปยังแตรซ์ด้านคอลัมน์ใหม่ทั้งหมด เพื่อให้สวิตช์ด้านคอลัมน์ทำงานในรูปแบบที่จะทำให้ LED ในแถวต่อลงมาติดสว่างเมื่อเรียบร้อยแล้วสวิตช์ด้านแถวที่รองลงมาจะถูกส่งให้ทำงาน LED จะติดสว่างรูปแบบที่เตรียมไว้ก่อนหน้าแล้วทันที การทำงานจะเป็นเช่นนี้ไปเรื่อยๆจนกระทั่งสวิตช์ด้านแถวต่างสุดถูกส่งให้ทำงานเป็นการแสดงครบ 1 เฟรม จากนั้นสวิตช์ด้านแถวบนสุดจะถูกส่งให้ทำงานอีกครั้งเป็นการเริ่มต้นกระบวนการใหม่หรือเริ่มเฟรมใหม่ต่อไป

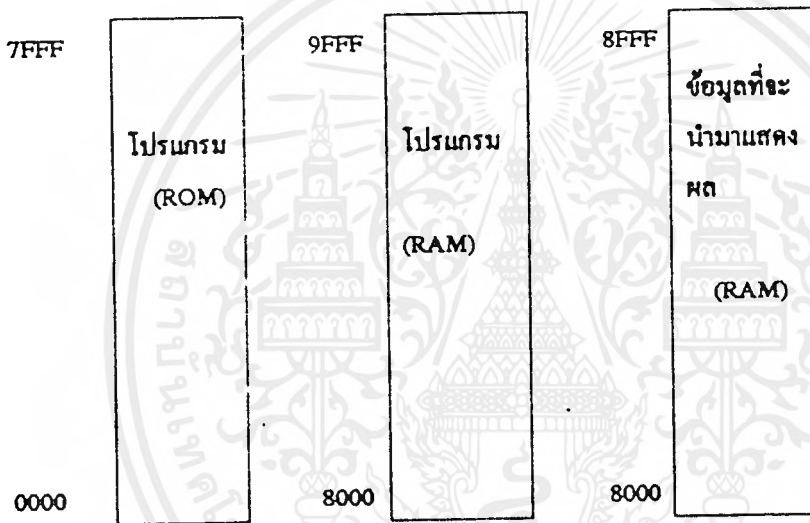
จากกระบวนการทำงานแบบมัลติเพล็กซ์ที่ต้องอาศัยการควบคุมสวิตช์ด้านแถวและคอลัมน์ที่ซับซ้อน ดังนั้นระบบควบคุมจึงเป็นต้องสามารถทำงานได้ด้วยความเร็วที่พอเหมาะ และสามารถควบคุมให้แสดงให้แสดงผลซึ่งแต่ละเฟรม (Frame Repetition Rate) ได้ประมาณ 50 เฟรมต่อวินาทีเพื่อให้ข้อความที่มองเห็นได้มีลักษณะนิ่งเพียงพอต่อการสังเกตเห็นได้ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.4 วงจรส่วนแสดงผล

การทำงานของโปรแกรมควบคุมระบบ

การทำงานของโปรแกรมเริ่มจากการรับข้อมูลเข้ามาทางพอร์ตอนุกรม (ASCII) ของบอร์ด Z80180 แล้วทำการตรวจสอบรหัสข้อมูลที่รับเข้ามา โดยการเปรียบเทียบกับรหัส (ASCII Code) ที่กำหนดไว้ เพื่อนำข้อมูลที่ได้นำมาแสดงผลโดยคิงส่วนของข้อมูลจากส่วนของหน่วยความจำที่จัดไว้ ซึ่งสามารถจัดเรียงหน่วยความจำแสดงดังรูป 4.5



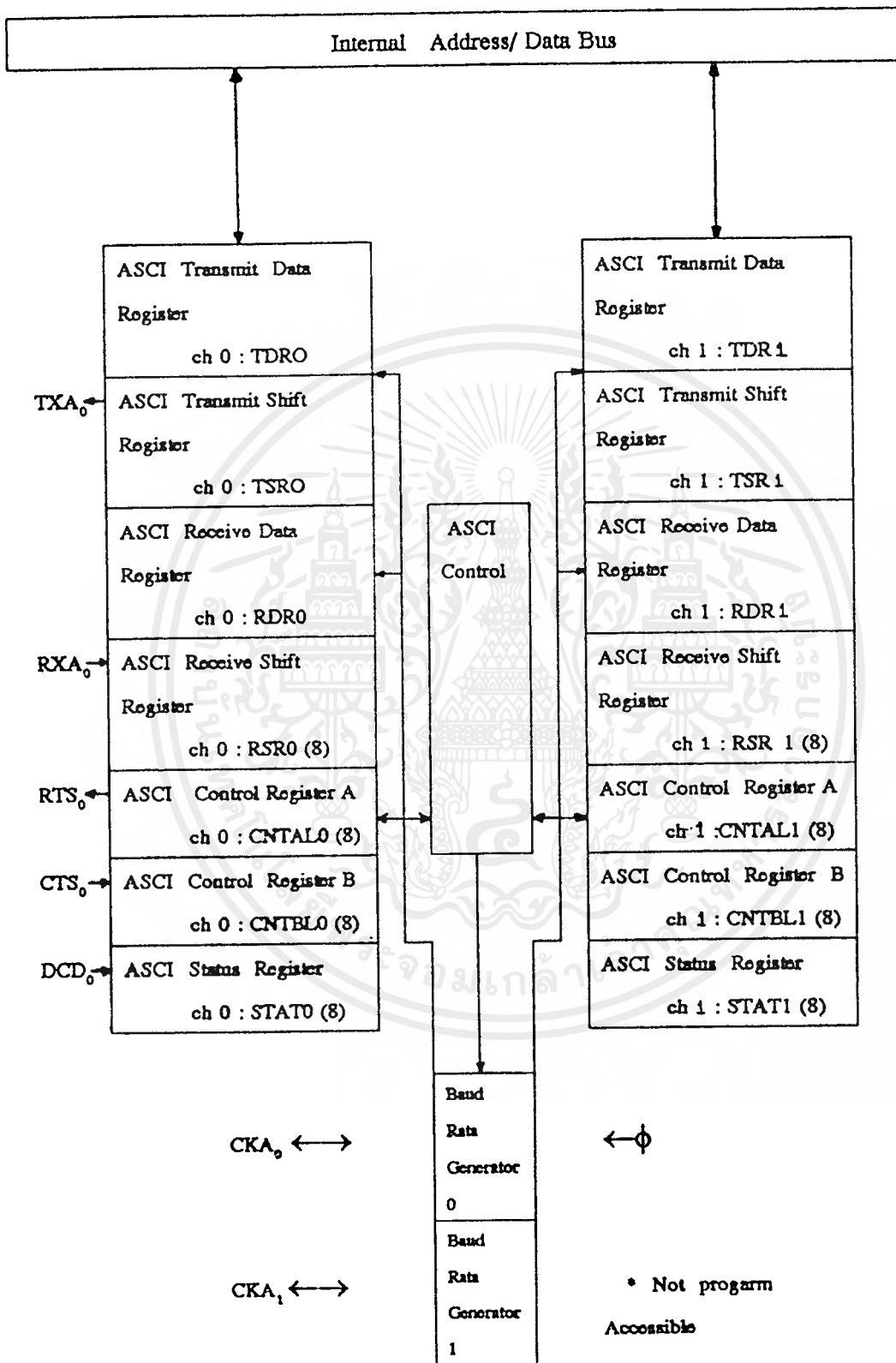
รูป 4.5 แสดงการจัดตำแหน่งแอดเดรสใช้งานในหน่วยความจำอีพรอมและแรม

Asynchronous Serial Communication Interface (ASCI)

ฟังก์ชันสำหรับ ASCII แสดงรายละเอียดข้างล่าง โดยแต่ละช่องสัญญาณจะเป็นอิสระต่อกันในการเขียนโปรแกรม

- การสื่อสารข้อมูลแบบพูลดูเพล็กซ์
- ความยาวของข้อมูล 7 หรือ 8 bit
- จำนวน STOP BIT 1 หรือ 2
- พาร์ตีบิต คู่, คี่ หรือ ไม่มีพาร์ตี
- ความเร็ว 38.4 Kbit ต่อวินาที (CPU $f_c = 6.144$ MHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



จากรูป 4.2 บล็อกโคแอสแกรมของ ASCII จะประกอบไปด้วยรีจิสเตอร์รับ/ส่งข้อมูล รีจิสเตอร์แสดงสถานะ รีจิสเตอร์ควบคุม ซึ่งในที่นี้จะอธิบายเพียงเฉพาะที่ใช้ในโครงงานนี้เท่านั้น

ASCII Recsive Shift Register 0,1(RSR0,1) รีจิสเตอร์นี้ใช้ในการรับข้อมูลเข้ามาทางขา RXA เมื่อข้อมูลเต็มจะถูกโอนถ่ายไปยัง ASCII Receive Data Register (RDR) โดยอัตโนมัติ ซึ่งรีจิสเตอร์นี้ไม่สามารถโปรแกรมได้

ASCII Recsive Shift Register 0,1(RDR0,1 I/O Address = 08H, 09H)

เมื่อการรับข้อมูลเข้ามาใน RSR สมบูรณ์แล้วข้อมูลจะโอนถ่ายเข้าไปยัง RDR โดยอัตโนมัติถ้า RDR ว่าง ข้อมูลตัวถัดไปที่เข้ามาจะสามารถเข้าไปยัง RSR ขณะเดียวกัน RDR จะทำการเตรียมรับข้อมูล

ASCII Status Register 0,1 (STAT 0,1)

bit	7	6	5	4	3	2	1	0
	RDRF	OVRN	PE	FE	RIE	DCD ₀	TDRE	TIE
	R	R	R	R	R/W	R	R	R/W

ASCII Status Register 0 (STAT 0 : I/O Address = 04 H)

bit	7	6	5	4	3	2	1	0
	RDRF	OVRN	PE	FE	RIE	DCD ₀	TDRE	TIE
	R	R	R	R	R/W	R	R	R/w

ASCII Status Register 0 (STAT 1 : I/O Address = 05H)

RDRF : Receive Data Resgister Full (bit 7) ใช้สำหรับตรวจสอบข้อมูลที่รับเข้ามาเต็มหรือไม่ โดยถ้า bit 7 เป็น 1 แสดงว่าข้อมูลเต็ม และข้อมูลจะถูกไหลคเข้าไปยัง RDR โดยการตั้งให้รีจิสเตอร์ RDR มีค่าเป็น 00H

ASCII Control Register A 0,1 (CNTLA 0,1) มีหน้าที่การทำงานหลักคังเช่น จะรับ/ส่งหรือไม่รับ/ส่งข้อมูล รูปแบบของข้อมูล

ASCII Control Register A 0 (CNTLA: I/O Addresss = 00H)

bit	7	6	5	4	3	2	1	0
	MPE	RE	TE	RTS ₀	MPBR/ EFR	MOD 2	MOD 1	MOD 0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ASCII Control Register A 1 (CNTLA: I/O Address = 01H)

bit	7	6	5	4	3	2	1	0
	MPE	RE	TE	CKA1D	MPBR/ EFR	MOD 2	MOD 1	MOD 0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MPE : Multi - Processor Mode Enable (bit7) ถ้า MPE ถูกเซ็ตให้เป็น 1 จะใช้สำหรับรับข้อมูลอย่างเดียว

RE : Receiver Enable(bit 6) โดย RE ถูกเซ็ตให้เป็น 1 จะใช้ในการรับข้อมูล RE ถูกเซ็ตเป็น 0 จะไม่สามารถรับข้อมูลได้

TE : Transmitter Enable(bit 5) โดย TE ถูกเซ็ตให้เป็น 1 จะใช้ในการรับข้อมูล TE ถูกเซ็ตเป็น 0 จะไม่สามารถรับข้อมูลได้

MOD 2,2,1 : ASCII Data Fomat Mode 2,1,0 (bit 2-0)

ตาราง 4.3 รูปแบบของข้อมูล

MOD2	MOD1	MOD0	Data Fomat
0	0	0	Start + 7 bit data + 1 stop
0	0	1	Start + 7 bit data + 2 stop
0	1	0	Start + 7 bit data + parity +1 stop
0	1	1	Start + 7 bit data + parity +2 stop
1	0	0	Start + 8 bit data + 1 stop
1	0	1	Start + 8 bit data + 2 stop
1	1	0	Start + 8 bit data + parity +1 stop
1	1	1	Start + 8 bit data + parity +2 stop

ซึ่งในโครงงานนี้รับข้อมูลเข้ามาอย่างเดียวและรูปแบบของข้อมูลเป็นดังนี้ Start 8 bit Data , 1 Stop bit ไม่มีพาริตีบิต ดังนั้นการเซ็ตค่า Register นี้ = C4H

ASCII Control Register B 0,1 (CNTLB0,1)

bit	7	6	5	4	3	2	1	0
	MPBT	MP	CTS/PS	PEO	DR	SS2	SS1	SS0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ASCII Control Register B0 (CNTLB0 : I/O Address = 02H)

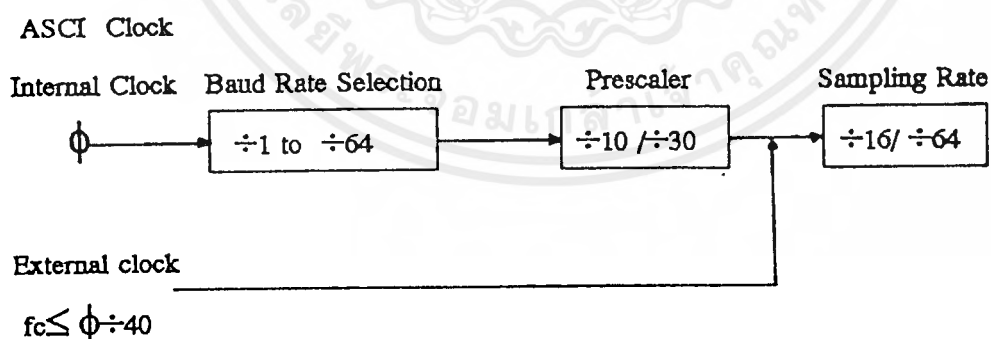
ASCII Control Register B1 (CNTLB1 : I/O Address = 03H)

MPBT : Multiprocessor Bit Transmit (bit 7) ถูกรีเซ็ตให้เป็น 0 เนื่องจากใช้ในการรับข้อมูลเพียงอย่างเดียว

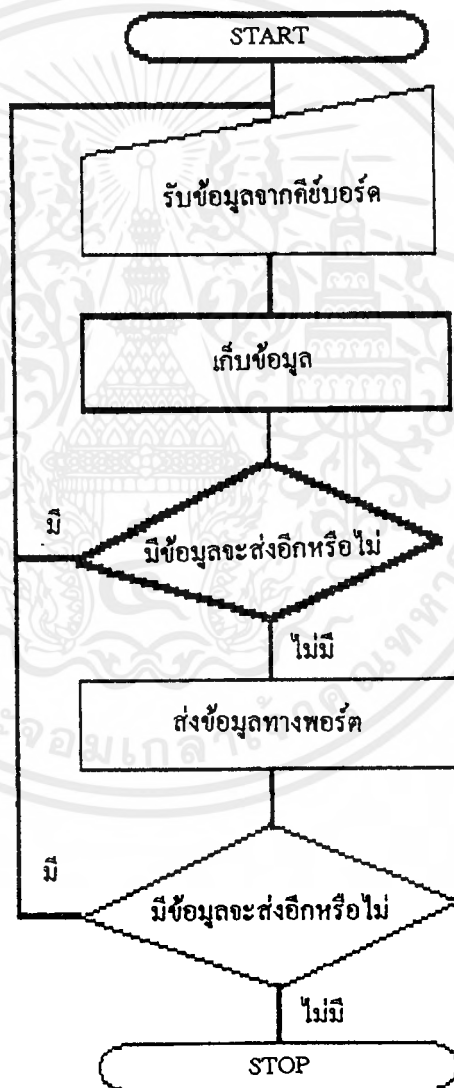
MP : Multiprocessor Mode (bit 6) ถูกรีเซ็ตให้เป็น 0 ซึ่งตามรูปแบบของข้อมูลบน MOD0, MOD 1, MOD 2

DR : Divide Ratio (bit 3) DR ใช้ในการแบ่งบอดรีตจาก data sampling clock ถ้า DR ถูกรีเซ็ตเป็น 0 หารด้วย 16 แต่ถ้า DR ถูกรีเซ็ตเป็น 1 ถูกหารด้วย 64 SS2,1,0: Source / Speed Select 2,1,0 (bit 2-0)

SS2	SS1	SS0	Divide Ratio
0	0	0	÷1
0	0	1	÷2
0	1	0	÷4
0	1	1	÷8
1	0	0	÷16
1	0	1	÷32
1	1	0	÷64
1	1	1	external clock

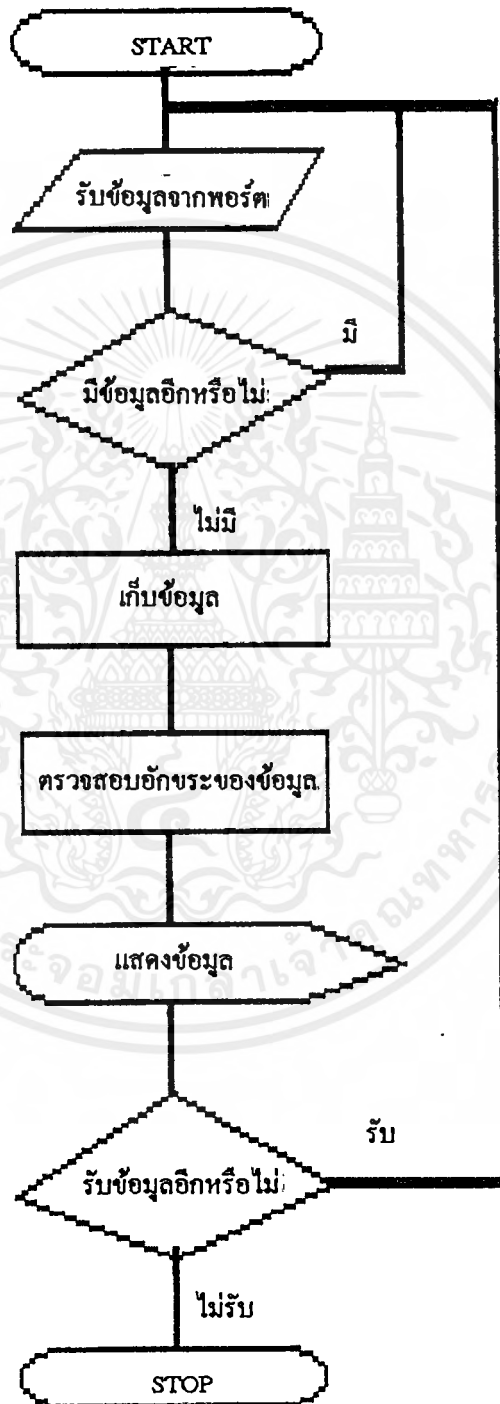


โฟร์ชาร์ตแสดงโปรแกรมส่งข้อมูล



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟร์ชาร์ตแสดงโปรแกรมรับข้อมูล



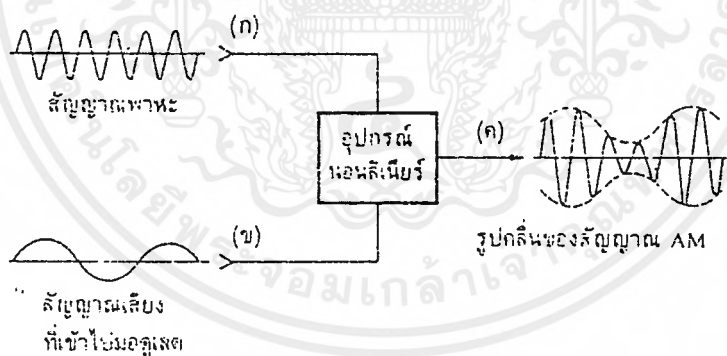
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

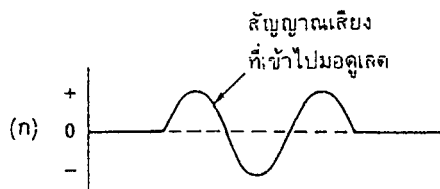
ทฤษฎีเครื่องรับส่งคลื่นวิทยุ

5.1 การมอดูเลตทางแอมพลิจูด

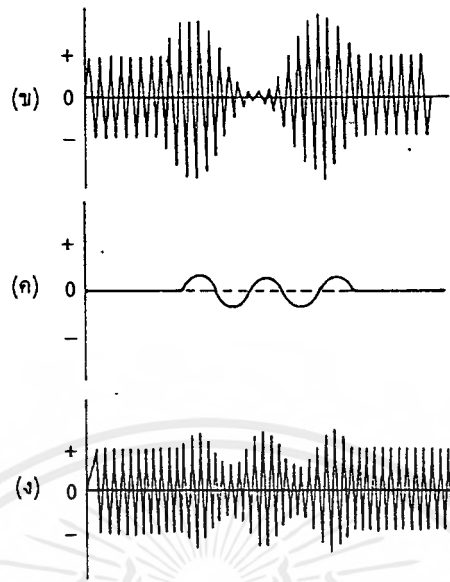
การมอดูเลตแบบ AM นั้นเราใช้สัญญาณข่าวสารสมมติว่าให้สัญญาณเสียงมอดูเลตลงบนสัญญาณพาหะเพื่อเปลี่ยนคุณสมบัติทางแอมพลิจูด(หรือขนาด)ของพาหะในรูป 5.1 เราใช้สัญญาณพาหะ (ก) ผสมกับสัญญาณเสียง (ข) ลงในวงจรนอนลิเนียร์ (nonlinear) เช่น ใช้ไดโอดหรือทรานซิสเตอร์ โดยให้มีจุดทำงานอยู่ในบริเวณที่ไม่เป็นลิเนียร์ ในอุปกรณ์แบบนอนลิเนียร์จะทำให้เกิดสัญญาณ AM ดังรูป 5.1 (ก) ขึ้นจะสังเกตว่าสัญญาณพาหะซึ่งถูกมอดูเลตแล้วจะมีแอมพลิจูด(ขนาด) เปลี่ยนแปลงตามสัญญาณเสียง สัญญาณเสียงที่ป้อนอยู่ในสัญญาณ AM จะปรากฏเป็นกรอบคลื่น (envelope) บนและล่างดังเช่นรูป 5.2(ก) เป็นสัญญาณเสียงที่มีแอมพลิจูดขนาดหนึ่ง โดยรูป 5.2 (ข) คือสัญญาณ AM ที่มีสัญญาณเสียงในรูป 5.2 (ก) มอดูเลต ในทางตรงข้ามถ้าสัญญาณเสียงมีแอมพลิจูดเล็กดังรูป 5.2 (ค) สัญญาณ AM ที่เกิดขึ้นก็จะมีกรอบ (การเปลี่ยนแปลงทางแอมพลิจูด) เล็กดังด้วย ดังรูป 5.2 (ง)



รูป 5.1 การมอดูเลตทางแอมพลิจูด โดยใช้อุปกรณ์นอนลิเนียร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5.2 การใช้สัญญาณเสียงที่มีขนาดมากและน้อยเพื่อมอดูเลตบนคลื่นพาหะ

5.2 เปอร์เซนต์ของการมอดูเลต

ในรูป 5.2 จะเห็นว่าปริมาณการมอดูเลตของสัญญาณเสียงลงบนพาหะไม่เท่ากัน สังเกตได้ว่าแอมพลิจูดของพาหะเปลี่ยนแปลงมากในรูป 5.2 (ข) และเปลี่ยนแปลงน้อยในรูป 5.2 (ง) ปริมาณการมอดูเลตนี้ขมวดเป็นเปอร์เซ็นต์ (บางทีเรียก แฟกเตอร์การมอดูเลตมี 'คัต' ตั้งแต่ 0 ถึง 1) รูป 5.3 พาหะที่ยังไม่มีการมอดูเลตเรียกว่า มีเปอร์เซ็นต์การมอดูเลตเท่ากับศูนย์ (0 เปอร์เซนต์) ในรูป 5.3 (ก) สมมติว่าพาหะมีแอมพลิจูดจากขอดบวกถึงขอดลบเท่ากับ $40 V_{pp}$

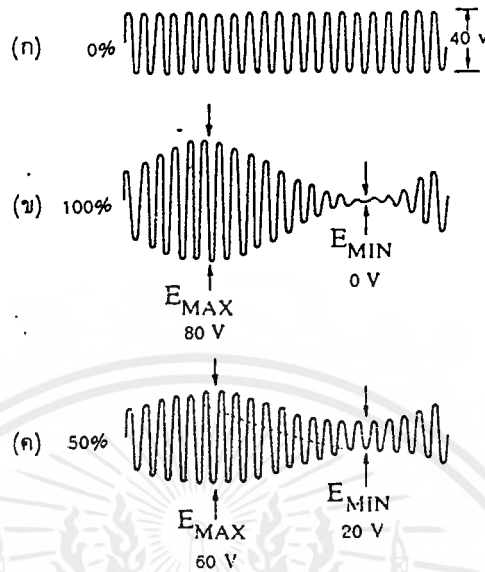
ในรูป 5.3 (ข) พาหะถูกมอดูเลตด้วยสัญญาณเสียงเต็มๆที่ 100 เปอร์เซนต์ แอมพลิจูดของพาหะจะตกลงมาถึงศูนย์ และแอมพลิจูดขอดบวกถึงขอดลบของพาหะจะให้ได้สูงสุด $80 V_{pp}$ อย่างไรก็ตามค่าแอมพลิจูดโดยเฉลี่ยของพาหะยังคงเป็น $40 V_{pp}$ เท่าเดิม

ในรูป 5.3 (ค) พาหะถูกมอดูเลตเพียง 50 เปอร์เซนต์ แอมพลิจูดของคลื่นพาหะสูงสุด $60 V_{pp}$ และต่ำสุด $20 V_{pp}$ แอมพลิจูดเฉลี่ยของพาหะเท่ากับ 40 (จาก $\frac{60 + 20}{2} = 40 V_{pp}$)

2

เช่นเดิม เราสามารถใช้สูตรคำนวณได้จากสมการต่อไปนี้

$$\text{เปอร์เซ็นต์การมอดูเลต} = \frac{E_{\max} - E_{\min}}{E_{\max} + E_{\min}} \times 100\%$$

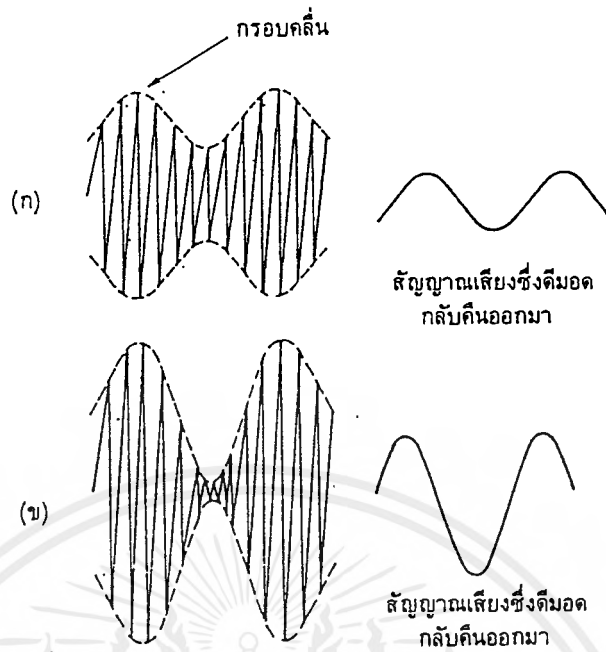


รูป 5.3 การวัดเปอร์เซ็นต์การมอดูเลต

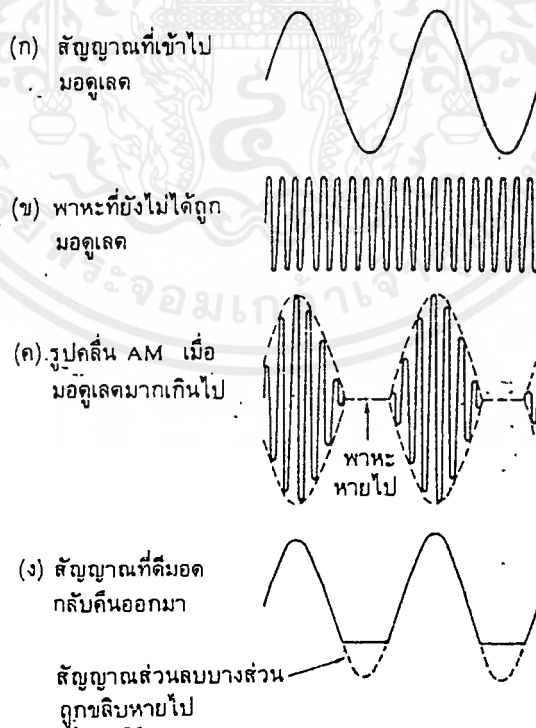
$$\begin{aligned}
 \text{เปอร์เซ็นต์การมอดูเลต} &= \frac{E_{\max} - E_{\min}}{E_{\max} + E_{\min}} \times 100\% \\
 &= \frac{60 \text{ V} - 20 \text{ V}}{60 \text{ V} + 20 \text{ V}} \times 100\% \\
 &= \frac{40 \text{ V}}{80 \text{ V}} \times 100 = 0.5 \times 100 \% \\
 &= 50 \%
 \end{aligned}$$

ปกติเราต้องการให้เปอร์เซ็นต์การมอดูเลตมีค่าสูงสุด เพื่อว่าสัญญาณเสียงที่รับได้ที่เครื่องรับจะมีกำลังแรง (เสียงดัง) จากรูป 5.4 เนื่องจากเครื่องรับ AM จะเปลี่ยนคลื่น AM เป็นสัญญาณเสียง โดยการแยกเอาแต่เฉพาะสัญญาณที่เข้าไปมอดูเลตลงบนพาหะกลับคืนจากคลื่น AM (คือคีมอดนั้นเอง) ฉะนั้นสัญญาณเสียงที่รับได้ในกรณีที่ว่ามอดูเลตมาแรง (เปอร์เซ็นต์การมอดูเลตมีค่าสูง) จะได้เสียงดังกว่า นั่นคือในที่มีรูป 5.4 (ข) จะให้สัญญาณเสียงดังกว่ารูป 5.4 (ก) เพราะเปอร์เซ็นต์การมอดูเลตมากกว่า

อย่างไรก็ตามการมอดูเลตต้องไม่สูงเกินไป (ไม่เกิน 100 เปอร์เซ็นต์) เพราะจะทำให้สัญญาณเสียงที่รับได้ที่เครื่องรับเกิดความเพี้ยน การมอดูเลตมากเกินไปนี้เรียกว่าการมอดูเลตเกิน (overmodulation) หรือเรียกย่อ ๆ ว่า โอเวอร์มอด จะเห็นว่าแอมพลิจูดสัญญาณ AM ลดลงได้ไม่ต่ำกว่าศูนย์ ไม่ว่าจะมอดูเลต



รูป 5.4 แอมพลิจูดของสัญญาณเสียงที่ติมอดคืนมาได้ที่เครื่องรับจะมีความแรงมาก น้อยขึ้นอยู่กับเปอร์เซ็นต์การมอดูเลต



รูป 5.5 การโอเวอร์มอดจะทำให้สัญญาณที่ได้จากการติมอด (หรือดีเทก) ที่เครื่องรับมีความเพี้ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงเท่าใดก็ตาม ยิ่งถ้าสัญญาณที่มอดูเลตมีค่ามากคลื่นพาหะจะหายไป (cut off) บางส่วนเสียด้วยซ้ำ ดังนั้นกรอบคลื่นของสัญญาณ AM จึงมีรูปร่างผิดไปจากสัญญาณเสียงที่เข้าไปมอดูเลต ดังในรูป 5.5(ก) เป็นสัญญาณที่เข้าไปมอดูเลต (คือสัญญาณเสียง) รูป 5.5 (ข) เป็นพาหะที่ยังไม่มีการมอดูเลต รูป 5.5 (ค) เป็นพาหะที่มอดูเลตด้วยสัญญาณเสียงที่มีความแรงมากเกินไปทำให้พาหะบางช่วงหายไป เมื่อเครื่องรับคิมอดสัญญาณเสียงกลับมาจะมีลักษณะเหมือนกับกรอบคลื่นซึ่งเพี้ยนไปจากเดิม ดังรูป 5.5 (ง)

5.3 ไซด์แบนด์ AM

เราลองวิเคราะห์สัญญาณ AM (รูป 5.6) ในเชิงความถี่ดูว่าเป็นอย่างไรและมีองค์ประกอบอะไรบ้างในที่นี้สัญญาณ AM เกิดจากสัญญาณพาหะรูปไซน์ความถี่ 1 เมกะเฮิร์ตซ์ มอดูเลตด้วยสัญญาณเสียงรูปไซน์ ความถี่ 10 กิโลเฮิร์ตซ์ ดูเผิน ๆ อาจจะพบว่าผลของการมอดูเลตแบบ AM ของสัญญาณ 1 เมกะเฮิร์ตซ์กับ 10 กิโลเฮิร์ตซ์ น่าจะได้เป็นพาหะ 1 เมกะเฮิร์ตซ์กับสัญญาณเสียง 10 กิโลเฮิร์ตซ์ เท่านั้น อย่างไรก็ตามถ้าเราไปอนสัญญาณทั้งคู่ให้แก่วงจรฟิลเตอร์ชนิดแบนด์พาส (bandpass filter) ความถี่ 10 กิโลเฮิร์ตซ์กับความถี่ 1 เมกะเฮิร์ตซ์ เราจะพบว่าเอาต์พุตจากวงจรฟิลเตอร์ชนิดแบนด์พาสความถี่ 10 กิโลเฮิร์ตซ์ เป็นศูนย์ดังรูป 5.6 (ข) แต่เอาต์พุตจากวงจรแบนด์พาสความถี่ 1 เมกะเฮิร์ตซ์ จะไม่เป็นศูนย์ สรุปได้ว่า สัญญาณพาหะ 1 เมกะเฮิร์ตซ์เมื่อถูกมอดูเลตด้วยสัญญาณเสียง 10 กิโลเฮิร์ตซ์แล้ว ผลปรากฏว่าสัญญาณ 10 กิโลเฮิร์ตซ์จะไม่มีอยู่ในคลื่นพาหะที่มอดูเลตด้วยสัญญาณเสียง 10 กิโลเฮิร์ตซ์จะไม่มีอยู่ในคลื่นพาหะที่มอดูเลตแล้ว (คลื่น AM) เลย แต่ไปปรากฏเป็นกรอบคลื่นแทน อย่างไรก็ตามเราทราบดีว่าคลื่น AM จะต้องมีส่วนประกอบของสัญญาณเสียงปนอยู่แน่นอน เพราะกรอบของรูปคลื่นเป็นสิ่งที่ขึ้นกันอย่างชัดเจน

ถ้าเราใช้วงจรฟิลเตอร์ชนิดแบนด์พาสแบบพิเศษที่สามารถจูนความถี่ใกล้เคียงกับความถี่ 1 เมกะเฮิร์ตซ์ หรือใช้สเปกตรัมอนาไลเซอร์ เพื่อค้นหาสัญญาณที่เข้าไปมอดูเลตบนพาหะว่าไปหลบซ่อนอยู่ในส่วนใดของพาหะ (วิเคราะห์ในเชิงความถี่) ด้วยวิธีนี้เราจะพบว่า สัญญาณ AM นั้นนอกจากจะมีพาหะตัวเดิม 1 เมกะเฮิร์ตซ์แล้ว ยังมีคลื่นข้างเคียงเกิดขึ้นอีก 2 ข้าง คือ ที่ความถี่ 1.01 เมกะเฮิร์ตซ์กับ 0.99 เมกะเฮิร์ตซ์ คลื่นข้างเคียงทั้ง 2 ข้างนี้ เรียกว่าไซด์แบนด์ (sideband) ซึ่งเราจะตรวจพบได้โดยใช้ฟิลเตอร์ที่มีความคมหรือความละเอียดในการจูนตรวจค้นหาสัญญาณดังรูป 5.6 (ค)

ไซด์แบนด์ที่มีความถี่สูงกว่าเรียกว่าไซด์แบนด์ด้านบน (upper sideband หรือ USB) ความถี่ของ USB เท่ากับผลรวมความถี่พาหะกับความถี่สัญญาณมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ USB = $f_c + f_m$

ในที่นี้ f_c คือความถี่พาหะ

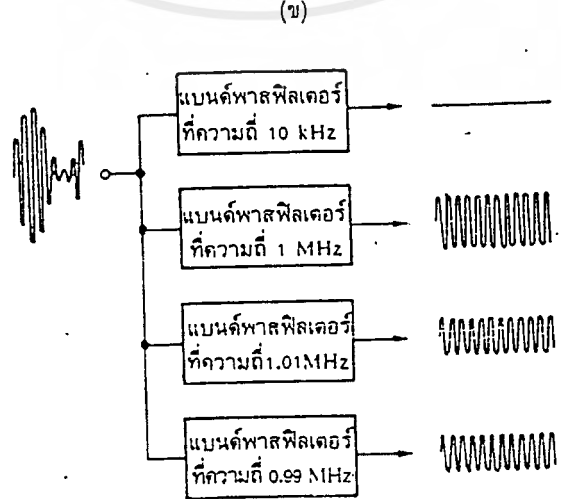
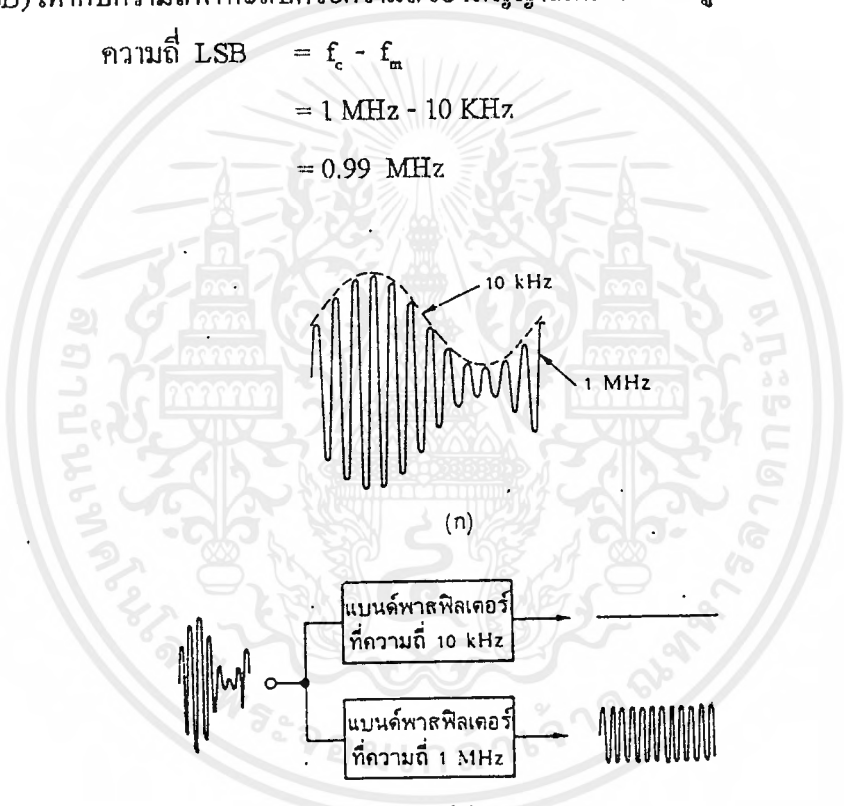
f_m คือความถี่ของสัญญาณที่เข้าไปมอดูเลต

ตามตัวอย่าง $f_c = 1 \text{ MHz}$, $f_m = 10 \text{ kHz}$ ฉะนั้นความถี่ของ USB จะเท่ากับ

$$\begin{aligned} \text{ความถี่ USB} &= 1 \text{ MHz} + 10 \text{ kHz} \\ &= 1.01 \text{ MHz} \end{aligned}$$

สำหรับไซด์แบนด์ที่มีความถี่ต่ำกว่าเรียกว่า ไซด์แบนด์ด้านล่าง (lower sideband หรือ LSB) เท่ากับความถี่พาหะลบด้วยความถี่ของสัญญาณที่เข้าไปมอดูเลต ในกรณีนี้จะได้

$$\begin{aligned} \text{ความถี่ LSB} &= f_c - f_m \\ &= 1 \text{ MHz} - 10 \text{ kHz} \\ &= 0.99 \text{ MHz} \end{aligned}$$



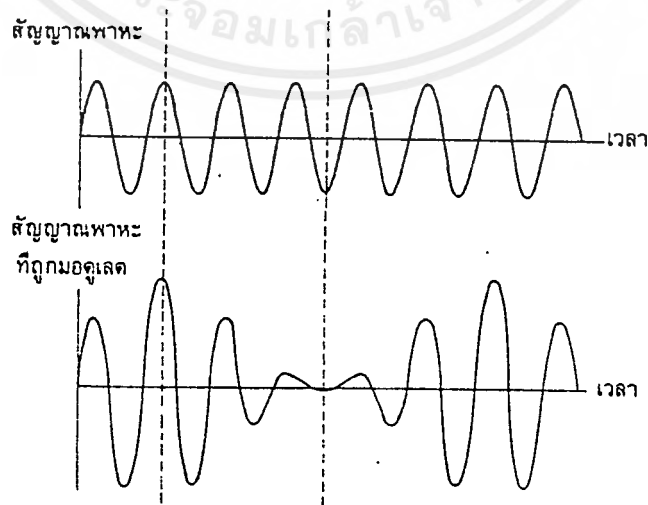
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ระบุว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและข้อมูลใดๆ ของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 5.6 วิเคราะห์คลื่น AM ในเชิงความถี่

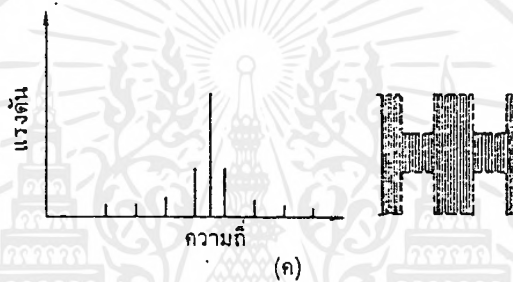
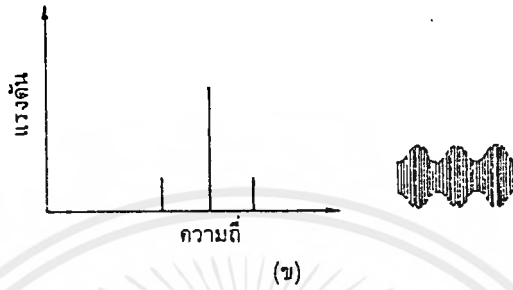
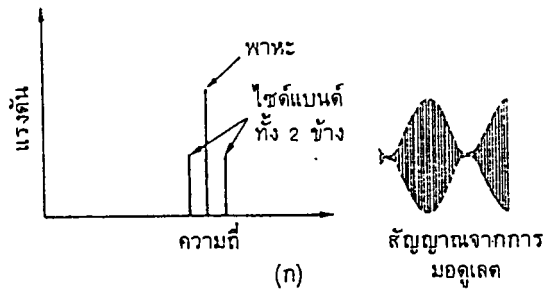
กล่าวโดยสรุปได้ว่า คลื่น AM ประกอบด้วยคลื่นพาหะ และคลื่น ไซด์แบนด์ 2 ข้างคือ USB กับ LSB ถ้าเราลองพิจารณาแอมพลิจูดจากฟิลเตอร์ต่าง ๆ ในรูป 5.6 (ก) จะพบว่าแอมพลิจูดของสัญญาณพาหะและไซด์แบนด์มีค่าคงที่ ซึ่งเราทราบมาในตอนต้นแล้วว่าพาหะจะมีแอมพลิจูดคงเดิมเสมอจนกว่าจะมีสัญญาณเข้าไปมอดูเลต แต่แอมพลิจูดเฉลี่ยของพาหะยังมีค่าคงเดิมตลอดไป ไม่ว่าจะมอดูเลตเข้าไปมอดูเลต หรือไม่ก็ตาม อาจจะมีข้อสงสัยว่าแอมพลิจูดของสัญญาณแต่ละตัวที่ประกอบขึ้นเป็น AM คือ คลื่นพาหะกับไซด์แบนด์นั้นมีแอมพลิจูดคงที่ได้ทุกอย่างที่แอมพลิจูดหรือขนาดของสัญญาณ AM ก็เปลี่ยนแปลงตามสัญญาณที่เข้าไปมอดูเลต

ขอให้พิจารณารูป 5.7 ซึ่งแสดงให้เห็นคลื่น ไซด์แบนด์ทั้งคู่และคลื่นพาหะ สังเกตว่าพาหะมีแอมพลิจูดคงที่ และไซด์แบนด์ก็มีแอมพลิจูดเท่ากันทั้งคู่และคงที่ด้วย (อย่าลืมว่าความถี่ของพาหะต้องอยู่ระหว่างกลางของความถี่ไซด์แบนด์ทั้งสอง) สมมติพิจารณาที่จุด A ซึ่งสัญญาณทั้งสามมีเฟสตรงกันแต่ละสัญญาณอยู่ตรงขอบบวกพอดี ทำให้ผู้รวมได้แอมพลิจูดของสัญญาณ AM ค่าสูง พิจารณาที่จุด B ซึ่งไซด์แบนด์มีเฟสตรงกัน แต่พาหะมีเฟสต่างจากไซด์แบนด์ 180 องศา ผลรวมจะได้แอมพลิจูดค่าต่ำของสัญญาณ AM

จากการวิเคราะห์ในรูป 5.7 สรุปได้ว่ารูปร่างของกรอบคลื่นไม่ได้ขึ้นอยู่กับแอมพลิจูดของสัญญาณไซด์แบนด์ แต่ความถี่ของสัญญาณไซด์แบนด์ทั้งคู่จะเป็นตัวกำหนดเฟสของสัญญาณไซด์แบนด์ว่าจะตรงเฟสหรือต่างเฟสกับพาหะ ซึ่งทำให้เกิดการเปลี่ยนแปลงของแอมพลิจูดของสัญญาณ AM หรือกรอบคลื่น แอมพลิจูดของไซด์แบนด์จะขึ้นอยู่กับแอมพลิจูดของกรอบคลื่น นั่นคือเป็นตัวกำหนดเปอร์เซ็นต์การมอดูเลต ทั้งนี้เนื่องจากไซด์แบนด์อาจมาเสริมหรือหักล้างกับแอมพลิจูดของพาหะก็ได้



รูป 5.7 ความสัมพันธ์ทางเฟสระหว่างไซด์แบนด์กับพาหะ



รูป 5.8 เปรียบเทียบคลื่น AM ในแง่ความถี่และเชิงเวลา

ในรูป 5.8 แสดงการวิเคราะห์สัญญาณ AM ซึ่งมอดูเลตด้วยสัญญาณเสียงที่มีรูปคลื่น
 นชนิดต่าง ๆ ถ้าตรวจสอบด้วยออสซิลโลสโคปจะเห็นว่าไซด์แบนด์จะผสมเสริมหรือหักล้างกับพาหะ
 ทำให้แอมพลิจูดของสัญญาณเปลี่ยนแปลง สังเกตว่าในรูป 5.8 (ก) แอมพลิจูดของไซด์แบนด์จะเท่า
 กับครึ่งหนึ่งของพาหะสถานะเช่นนี้เป็นสถานะของการมอดูมิเฟสตรงกัน แอมพลิจูดของไซด์แบนด์
 จะเท่ากับ 100 เปอร์เซ็นต์ ฉะนั้นเมื่อสัญญาณไซด์แบนด์ (ทั้งคู่) และพาหะมีเฟสตรงกัน แอมพลิจู
 ดรวมจะได้ศูนย์

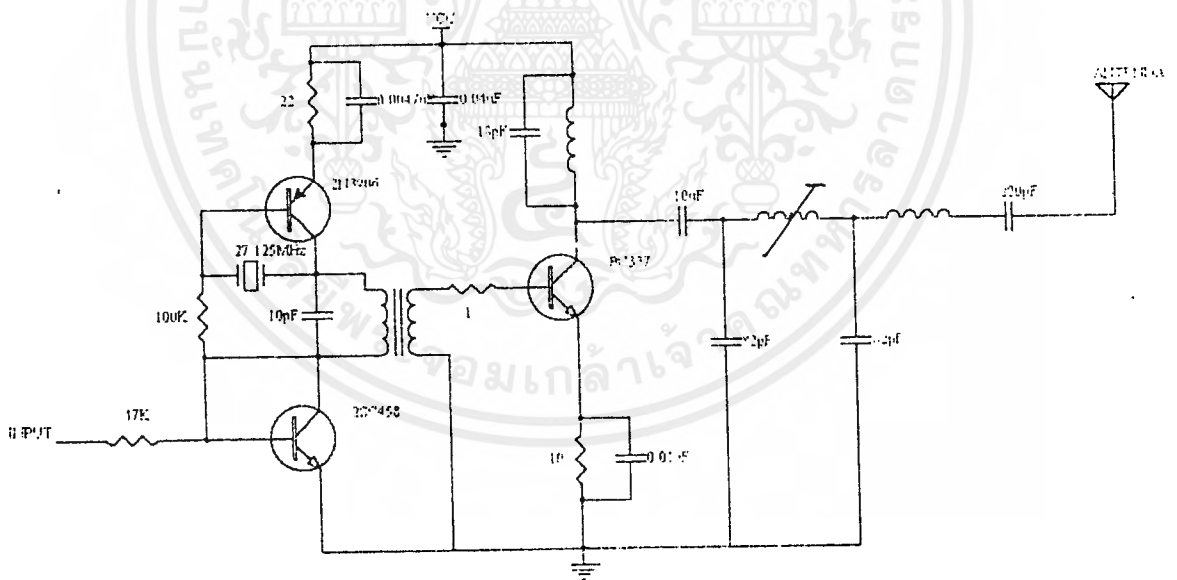
รูป 5.8 (ข) แสดงการมอดูเลตบนพาหะดังกล่าวด้วยเปอร์เซ็นต์ลดลงเหลือ 50
 เปอร์เซ็นต์ สังเกตว่าแอมพลิจูดของพาหะคงเดิม แต่ไซด์แบนด์มีแอมพลิจูดลดลง นอกจากนี้ถ้าเรา
 มอดูเลตด้วยสัญญาณเสียงที่มีความถี่สูงขึ้น ความถี่ของไซด์แบนด์ก็ยิ่งห่างออกไปจากพาหะมาก
 ขึ้น

รูป 5.8 (ค) เราใช้สัญญาณรูปสี่เหลี่ยมเข้ามอดูเลตลงบนพาหะ สังเกตว่าคราวนี้
 เกิดสัญญาณไซด์แบนด์ขึ้นมากมาย เพราะว่าสัญญาณสี่เหลี่ยมประกอบด้วยความถี่พื้นตามนตล
 และความถี่ฮาร์โมนิกส์ที่จำนวนมาก ฉะนั้นไซด์แบนด์ของสัญญาณก็จะไซด์แบนด์ 1 คู่สำหรับ
 พื้นตามนตล ไซด์แบนด์อีก 1 คู่ สำหรับฮาร์โมนิกส์ที่ 3 อีก 1 คู่สำหรับฮาร์โมนิกส์ที่ 5..... ฯลฯ

5.4 แบนด์วิดท์ของสัญญาณ AM

เราสังเกตจากรูป 5.8 การส่งสัญญาณ AM มิใช่เป็นการส่งสัญญาณเพียงความถี่พาหะความถี่หนึ่ง แต่เป็นการส่งหลาย ๆ ความถี่หรือเป็นแถบความถี่ และความถี่ข้างวารก็ไม่ได้อยู่ในคลื่นพาหะแต่ป็นอยู่ในไซด์แบนด์ทั้ง 2 ข้าง ถ้าเราส่งแต่พาหะไปอย่างเดียว ข่าวารก็ไปไม่ถึงเครื่องรับ ฉะนั้น ในระบบ AM ทั้งพาหะและไซด์แบนด์จะถูกส่งไปให้เครื่องรับ

ช่วงความถี่หรือแถบความถี่ของสัญญาณ AM จะเริ่มจากความถี่จาก LSB ไปยัง USB ฉะนั้น แถบความถี่หรือ แบนด์วิดท์ (bandwidth) ของสัญญาณ AM จะเท่ากับ 2 เท่าของความถี่สูงสุดของสัญญาณมอดูเลต เช่น สมมติความถี่สูงสุดของสัญญาณเสียงที่มอดูเลตเท่ากับ 15 กิโลเฮิร์ตซ์ แบนด์วิดท์ของสัญญาณ AM ย่อมเท่ากับ 30 กิโลเฮิร์ตซ์ ในกรณีที่เรามอดูเลตด้วยสัญญาณมอดูเลต เช่น สัญญาณรูปสี่เหลี่ยม (อย่างไรก็ตามเครื่องส่งจะถูกออกแบบให้ใช้งานในแบนด์วิดท์ที่จำกัด ฉะนั้นตัวเครื่องส่งจึงจำกัดแบนด์วิดท์ของสัญญาณ AM เอง)

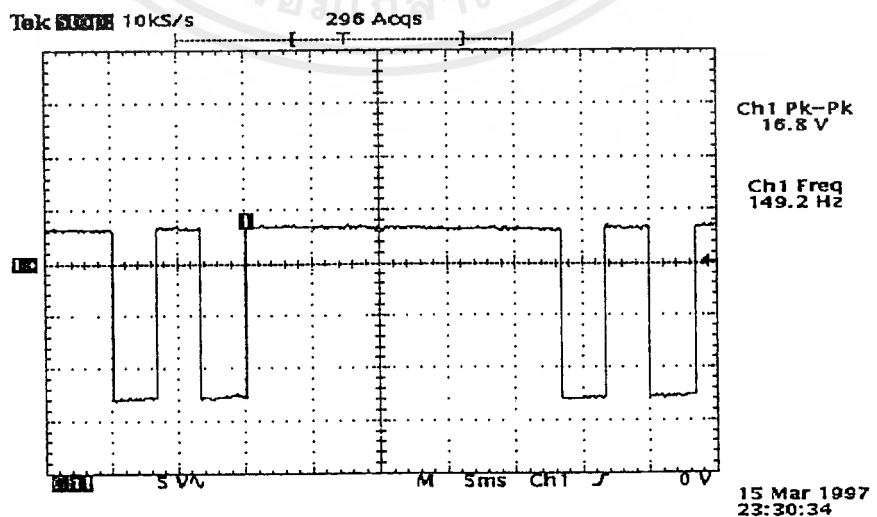
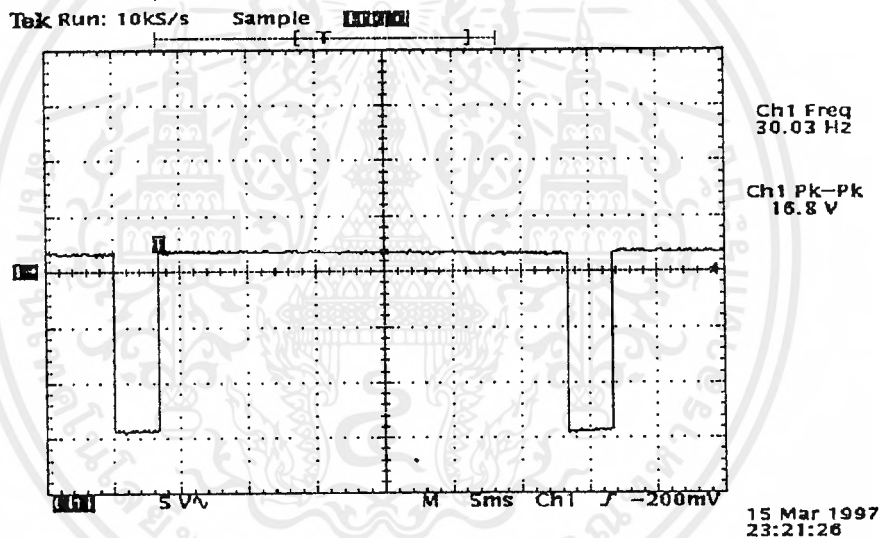


รูป 5.9 วงจรเครื่องส่งคลื่นวิทยุ 27 MHz

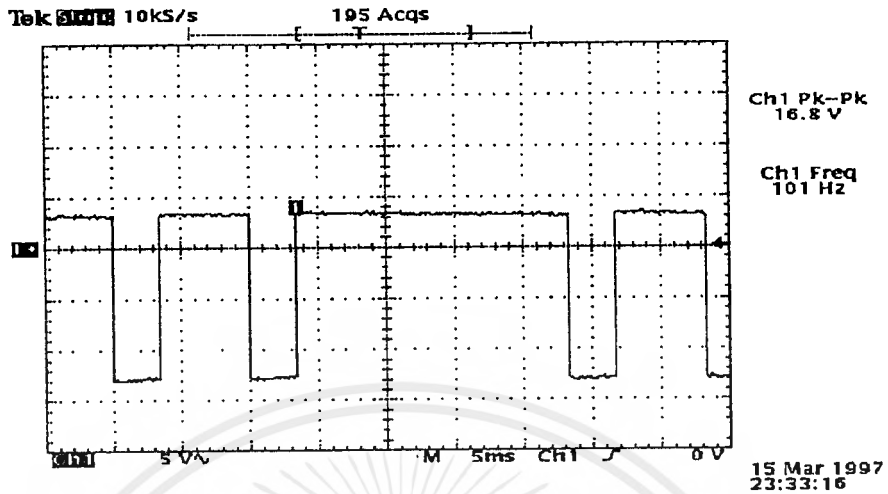
บทที่ 6

ผลการทดลองและสรุปผลการทดลอง

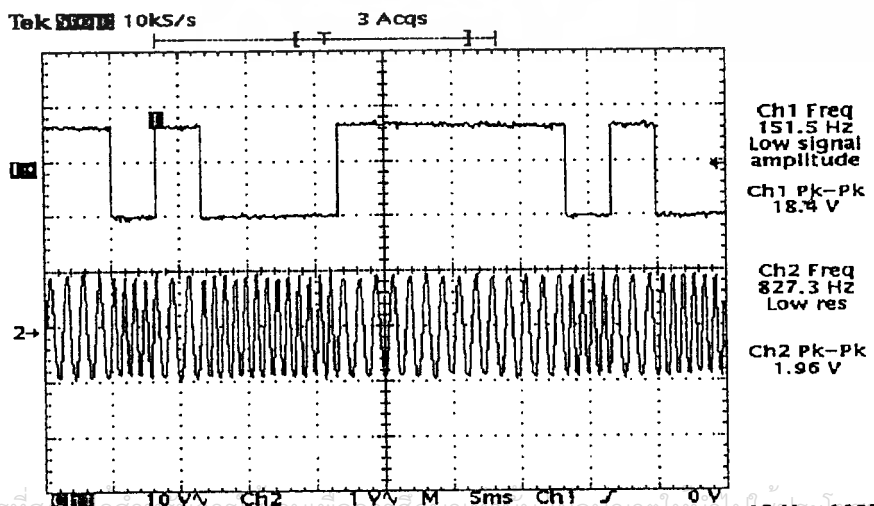
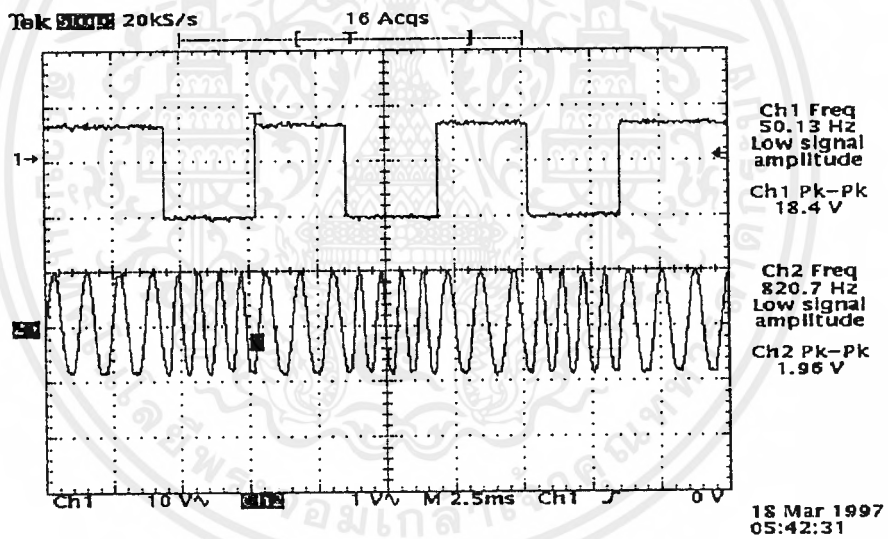
จากผลการทดลองในการรับส่งข้อมูลสัญญาณดิจิทัลผ่านคลื่นความถี่ 27 MHz โดยจะต้องทำการแปลงสัญญาณดิจิทัลเป็นอนาล็อกโดยใช้วงจร FSK เพื่อทำการมอดูเลชันแบบแอมพลิจูดมอดูเลชัน (Amplitude Modulation) ซึ่งสามารถวัดผลการทดลองแสดงรูปร่างของสัญญาณข้อมูลดิจิทัลจากคอมพิวเตอร์ และเปรียบเทียบกับสัญญาณได้จากวงจร FSK และ FSK Demod

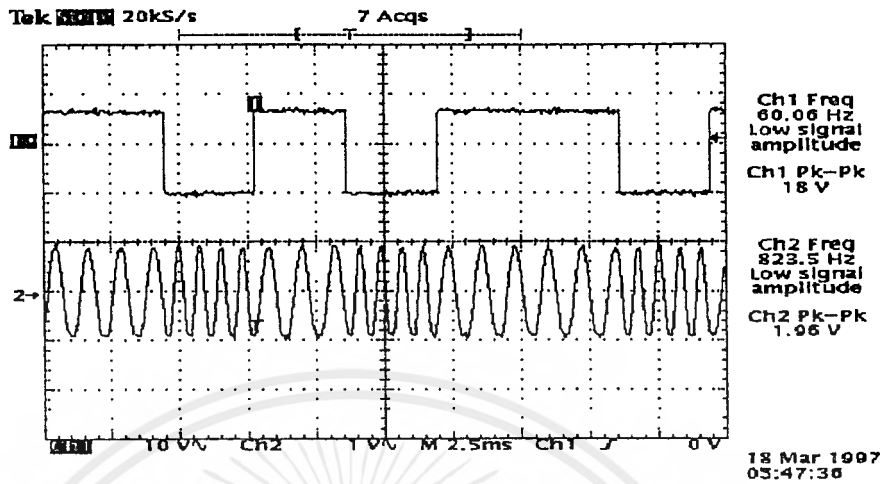


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

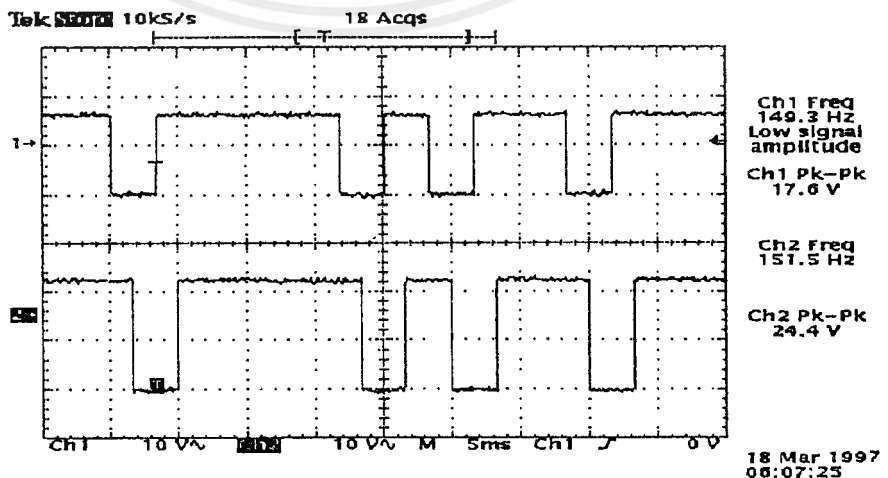
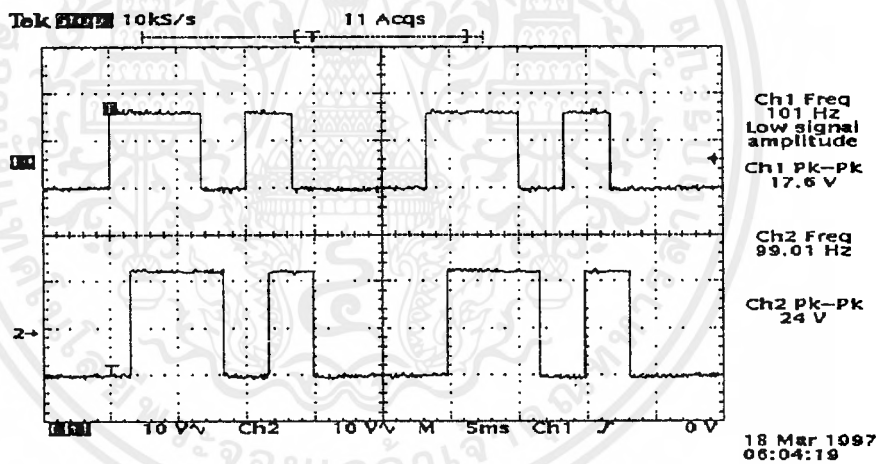


รูป 6.1 ข้อมูลจากคอมพิวเตอร์ เลข 0,1,3 ตามลำดับ





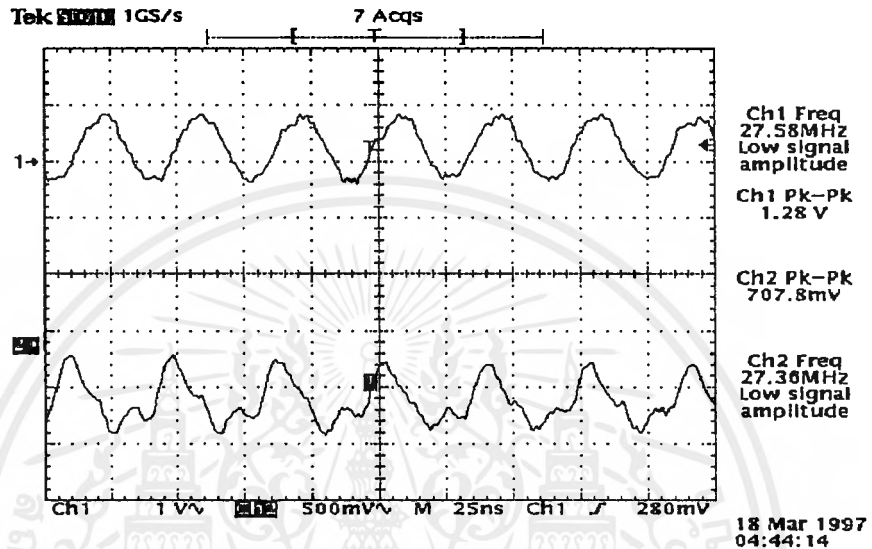
รูป 6.2 ข้อมูลจากคอมพิวเตอรื เลข 5,7,9 ตามลำดับ (Ch1)เปรียบเทียบกับสัญญาณ O/P ของวงจร FSK (Ch2)



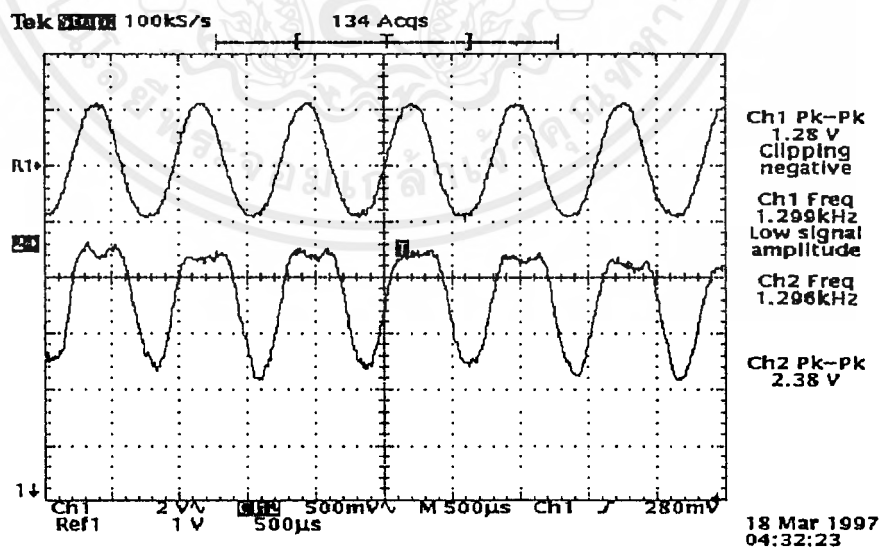
รูป 6.3 ข้อมูลจากคอมพิวเตอรื เลข 7,9 ตามลำดับ(Ch1) เปรียบเทียบกับข้อมูล

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
 ที่ได้จากวงจร FSK Demod (Ch2)
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองจากวงจรแอมป์ลิจูดมอดูเลชัน (Amplitude Modulation) 27 MHz โดยวัดสัญญาณที่สายอากาศดังนี้

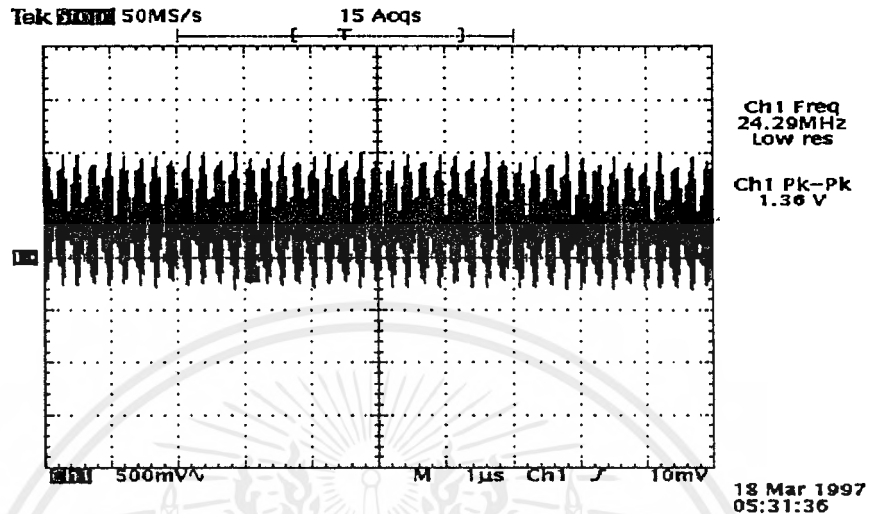


รูป 6.4 สัญญาณที่สายอากาศของเครื่องส่ง (Ch1) และสัญญาณที่สายอากาศของเครื่องรับ (Ch2)



รูป 6.5 สัญญาณ O/P จาก FSK ที่ป้อนให้กับเครื่องส่ง(Ch1)เปรียบเทียบกับสัญญาณ O/P จากเครื่องรับ(Ch2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$\% \text{ Mod} = \frac{E_{\text{max}} - E_{\text{min}}}{E_{\text{max}} + E_{\text{min}}} = \frac{1.36 - 0.3}{1.36 + 0.3} * (100) = 63.86 \%$$

รูป 6.6 สัญญาณที่สายอากาศของเครื่องส่งเพื่อหา % การมอดดูเลชั่น

ในการทดลองการรับส่งข้อมูลจากคอมพิวเตอร์ไปแสดงผล โดยใช้คลื่นความถี่ 27 Mhz สามารถรับ/ส่งข้อมูลได้ดีพอสมควร แต่ที่เกิดความผิดขึ้นบ้างเล็กน้อยเนื่องจากสัญญาณความถี่ 27 MHz ถูกรบกวนทำให้สัญญาณที่ได้เกิดความผิด และไม่สามารถนำไปแปลงเป็นสัญญาณดิจิทัลได้ซึ่งจะทำให้ข้อมูลที่แสดงเกิดความผิดพลาดนี้

สรุปและแนวทางการแก้ไข จากการรับ/ส่งข้อมูลสัญญาณดิจิทัลจากคอมพิวเตอร์เพื่อนำไปแสดงผลสามารถรับ/ส่งข้อมูลและแสดงผลได้ตามที่ต้องการได้พอสมควร แต่จะเกิดความผิดพลาดขึ้นบ้างเนื่องสัญญาณความถี่ 27 MHz ถูกรบกวน การแก้ไขปรับปรุงในการรับส่งข้อมูลให้มีประสิทธิภาพที่ดียิ่งขึ้น โดยการใช้ภาครับ/ส่งคลื่นวิทยุให้มีประสิทธิภาพมากกว่านี้และโปรแกรมการแสดงผลข้อมูลควรมีการพัฒนารูปแบบการแสดงผลให้มากยิ่งขึ้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

PROGRAM Transmitter;
USES CRT,DOS;
VAR I,J,C,K,x,y : INTEGER;
    H,M,S,F      :Word;
    CH1          :Char;
    St,Sttime    :String;
    Col1,Row1    :Word;
    CH : ARRAY [1..300] OF CHAR;
    A  : ARRAY [1..300] OF BYTE;
    T  : BYTE;
    REGS : REGISTERS;
PROCEDURE INT_PORT;
BEGIN
    REGS.AH := $00;
    REGS.AL := $43;
    REGS.DX := $0;
    INTR($14,REGS);
END;
PROCEDURE INT_PORT2;
BEGIN
    REGS.AH := $00;
    REGS.AL := $E3;
    REGS.DX := $1;
    INTR($14,REGS);
END;
PROCEDURE STATUS_PORT(VAR T: BYTE);
BEGIN
    REGS.AH := $03;
    REGS.DX := $1;
    INTR($14,REGS);
    T := REGS.AL;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

END;

Procedure time;

BEGIN

    gettime(h,m,s,f);

    str(h,st);

if h<10 then st:='0'+st;

    stTime:=st;

    str(m,st);

if m<10 then st:='0'+st;

    sttime:=stTime+':'+st;

    str(s,st);

if s<10 then st:='0'+st;

    sttime:=stTime+':'+st;

    str(f,st);

gotoxy(60,10);write(' ',sttime, ' ');

END;

Procedure view;

BEGIN

    textbackground(10);

    textcolor(15);

    for y:= 1 to 24 do

        BEGIN

            for x:= 1 to 80 do

                begin

                    gotoxy(x,y);write(#219);{back ground}

                END;

            END;

        textcolor(0);

        for y:= 11 to 21 do

            BEGIN

                for x:= 12 to 72 do

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

BEGIN
    gotoxy(x,y);write(#219);{black box}
END;
END;
textcolor(3);
for y:= 10 to 20 do
BEGIN
    for x:= 10 to 70 do
        BEGIN
            gotoxy(x,y);write(#219);{read key}
        END;
    END;
    {=====text=====}
    textbackground(12);
    textcolor(15);
    gotoxy(67,25);write(' ESC to EXIT ');
    textbackground(1);
    gotoxy(1,1);write(' โปรแกรมส่งข้อมูลไร้สาย ');
    textbackground(3);
    for x:= 11 to 69 do begin
        gotoxy(x,11);write(#196);
    END;
    {repeat
        time;
    until keypressed;}
END;
BEGIN
    init_port;
    INIT_PORT2;
    CLRSCR;
    view;
{END.

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมส่งข้อมูลไร้สาย ');}

WRITELN('

I := 0; K := 0;

window(12,12,68,20);

{ read(st);}

repeat

{ I := (I+1);

CH[I] := READKEY ;

IF CH[I] <> #8

THEN

WRITE(CH[I])

ELSE BEGIN

WRITE(CH[I]);

K := K+1;

I := I-2;

END;

A[I] := ORD(CH[I]);

UNTIL A[I] = 13;}

if keypressed then begin

i:=i+1;

CH[i] := READKEY;

if ch[1]=#13 then ch[1]:=#11;

sound(6000);delay(10);nosound;

COL1 := COL1 + 1;

GOTOXY(COL1,ROW1);

WRITE(CH[i]);

IF CH[i] = #8 THEN COL1 := COL1 - 2;

IF COL1 > 68 THEN BEGIN COL1 :=11; ROW1 := ROW1 + 1;

.END;

IF (CH[i] = #13) THEN BEGIN ROW1 := ROW1 + 1; COL1 := 0;

WRITELN; END;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

{ IF ROW1 > 25 THEN BEGIN col1:=11;row1:=25; END;}

        end;

if (ch[i]=#13) then begin
textcolor(12);
WRITELN(' Send ');
textcolor(15);

        I := 0;
        J := 0;
REPEAT
{ REPEAT
        J := J+1;

        UNTIL J = 30000;}
        delay(50);
        I := I+1;
        port[$03f8] := ORD(CH[I]);
        WRITE(CH[I]);
        A[I] := ORD(CH[I]);
        UNTIL A[I] = 13;

repeat until keypressed;

ch[i]:=' ';
i:=0;
row1:=1;
CLRSCR;

        END;

until ch[i]=#27;

END.

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

; PROGRAM RECIEVER

```
ORG 8000H
LD A,0CA      ; SET INITIAL
OUT0 (00H),A
LD B,4DH
OUT0 (02H),B
LD A,00H
OUT0 (04H),A
LD HL,9000H
LD E,00H
A: IN0 A,(04H)
   BIT 7,A      ; CHECK ข้อมูลเข้า
   JR Z,A
B: IN0 A,(08H)  ; รับข้อมูลเข้า
   LD (HL),A    ; เก็บข้อมูลใน Register HL
   INC E
   INC HL
   XOR 0DH
   JR NZ, A
   DEC E
   LD A,E
   LD (9100H),A
C: CALL CLEARM
   LD A,(9100H)
   LD E,A
   LD B,08H
   LD HL,9000H
CHECKD: LD A,(HL) ; ตรวจสอบอักขระ
        XOR 20H
        JP Z,A20
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR 21H

JP Z,A21

LD A,(HL)

XOR 22H

JP Z,A22

LD A,(HL)

XOR 23H

JP Z,A23

LD A,(HL)

XOR 24H

JP Z,A24

LD A,(HL)

XOR 25H

JP Z,A25

LD A,(HL)

XOR 26H

JP Z,A26

LD A,(HL)

XOR 27H

JP Z,A27

LD A,(HL)

XOR 28H

JP Z,A28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)
XOR 29H
JP Z,A29

LD A,(HL)
XOR 2AH
JP Z,A2A

LD A,(HL)
XOR 2BH
JP Z,A2B

LD A,(HL)
XOR 2CH
JP Z,A2C

LD A,(HL)
XOR 2DH
JP Z,A2D

LD A,(HL)
XOR 2EH
JP Z,A2E

LD A,(HL)
XOR 2FH
JP Z,A2F

LD A,(HL)
XOR 30H
JP Z,A30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR 31H

JP Z,A31

LD A,(HL)

XOR 32H

JP Z,A32

LD A,(HL)

XOR 33H

JP Z,A33

LD A,(HL)

XOR 34H

JP Z,A34

LD A,(HL)

XOR 35H

JP Z,A35

LD A,(HL)

XOR 36H

JP Z,A36

LD A,(HL)

XOR 37H

JP Z,A37

LD A,(HL)

XOR 38H

JP Z,A38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR 39H

JP Z,A39

LD A,(HL)

XOR 3AH

JP Z,A3A

LD A,(HL)

XOR 3BH

JP Z,A3B

LD A,(HL)

XOR 3CH

JP Z,A3C

LD A,(HL)

XOR 3DH

JP Z,A3D

LD A,(HL)

XOR 3EH

JP Z,A3E

LD A,(HL)

XOR 3FH

JP Z,A3F

LD A,(HL)

XOR 40H

JP Z,A40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR 41H

JP Z,A41

LD A,(HL)

XOR 42H

JP Z,A42

LD A,(HL)

XOR 43H

JP Z,A43

LD A,(HL)

XOR 44H

JP Z,A44

LD A,(HL)

XOR 45H

JP Z,A45

LD A,(HL)

XOR 46H

JP Z,A46

LD A,(HL)

XOR 47H

JP Z,A47

LD A,(HL)

XOR 48H

JP Z,A48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR 49H

JP Z,A49

LD A,(HL)

XOR 4AH

JP Z,A4A

LD A,(HL)

XOR 4BH

JP Z,A4B

LD A,(HL)

XOR 4CH

JP Z,A4C

LD A,(HL)

XOR 4DH

JP Z,A4D

LD A,(HL)

XOR 4EH

JP Z,A4E

LD A,(HL)

XOR 4FH

JP Z,A4F

LD A,(HL)

XOR 50H

JP Z,A50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR 51H

JP Z,A51

LD A,(HL)

XOR 52H

JP Z,A52

LD A,(HL)

XOR 53H

JP Z,A53

LD A,(HL)

XOR 54H

JP Z,A54

LD A,(HL)

XOR 55H

JP Z,A55

LD A,(HL)

XOR 56H

JP Z,A56

LD A,(HL)

XOR 57H

JP Z,A57

LD A,(HL)

XOR 58H

JP Z,A58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR 59H

JP Z,A59

LD A,(HL)

XOR 5AH

JP Z,A5A

LD A,(HL)

XOR 5BH

JP Z,A5B

LD A,(HL)

XOR 5CH

JP Z,A5C

LD A,(HL)

XOR 5DH

JP Z,A5D

LD A,(HL)

XOR 5EH

JP Z,A5E

LD A,(HL)

XOR 5FH

JP Z,A5F

LD A,(HL)

XOR 60H

JP Z,A60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR 61H

JP Z,A61

LD A,(HL)

XOR 62H

JP Z,A62

LD A,(HL)

XOR 63H

JP Z,A63

LD A,(HL)

XOR 64H

JP Z,A64

LD A,(HL)

XOR 65H

JP Z,A65

LD A,(HL)

XOR 66H

JP Z,A66

LD A,(HL)

XOR 67H

JP Z,A67

LD A,(HL)

XOR 68H

JP Z,A68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR 69H

JP Z,A69

LD A,(HL)

XOR 6AH

JP Z,A6A

LD A,(HL)

XOR 6BH

JP Z,A6B

LD A,(HL)

XOR 6CH

JP Z,A6C

LD A,(HL)

XOR 6DH

JP Z,A6D

LD A,(HL)

XOR 6EH

JP Z,A6E

LD A,(HL)

XOR 6FH

JP Z,A6F

LD A,(HL)

XOR 70H

JP Z,A70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR 71H

JP Z,A71

LD A,(HL)

XOR 72H

JP Z,A72

LD A,(HL)

XOR 73H

JP Z,A73

LD A,(HL)

XOR 74H

JP Z,A74

LD A,(HL)

XOR 75H

JP Z,A75

LD A,(HL)

XOR 76H

JP Z,A76

LD A,(HL)

XOR 77H

JP Z,A77

LD A,(HL)

XOR 78H

JP Z,A78

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR 79H

JP Z,A79

LD A,(HL)

XOR 7AH

JP Z,A7A

LD A,(HL)

XOR A1H

JP Z,AA1

LD A,(HL)

XOR A2H

JP Z,AA2

LD A,(HL)

XOR A3H

JP Z,AA3

LD A,(HL)

XOR A4H

JP Z,AA4

LD A,(HL)

XOR A5H

JP Z,AA5

LD A,(HL)

XOR A6H

JP Z,AA6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR A7H

JP Z,AA7

LD A,(HL)

XOR A8H

JP Z,AA8

LD A,(HL)

XOR A9H

JP Z,AA9

LD A,(HL)

XOR AAH

JP Z,AAA

LD A,(HL)

XOR ABH

JP Z,AAB

LD A,(HL)

XOR ACH

JP Z,AAC

LD A,(HL)

XOR ADH

JP Z,AAD

LD A,(HL)

XOR AEH

JP Z,AAE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR AFH

JP Z,AAF

LD A,(HL)

XOR B0H

JP Z,AB0

LD A,(HL)

XOR B1H

JP Z,AB1

LD A,(HL)

XOR B2H

JP Z,AB2

LD A,(HL)

XOR B3H

JP Z,AB3

LD A,(HL)

XOR B4H

JP Z,AB4

LD A,(HL)

XOR B5H

JP Z,AB5

LD A,(HL)

XOR B6H

JP Z,AB6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR B7H

JP Z,AB7

LD A,(HL)

XOR B8H

JP Z,AB8

LD A,(HL)

XOR B9H

JP Z,AB9

LD A,(HL)

XOR BAH

JP Z,ABA

LD A,(HL)

XOR BBH

JP Z,ABB

LD A,(HL)

XOR BCH

JP Z,ABC

LD A,(HL)

XOR BDH

JP Z,ABD

LD A,(HL)

XOR BEH

JP Z,ABE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR BFH

JP Z,ABF

LD A,(HL)

XOR C0H

JP Z,AC0

LD A,(HL)

XOR C1H

JP Z,AC1

LD A,(HL)

XOR C2H

JP Z,AC2

LD A,(HL)

XOR C3H

JP Z,AC3

LD A,(HL)

XOR C4H

JP Z,AC4

LD A,(HL)

XOR C5H

JP Z,AC5

LD A,(HL)

XOR C6H

JP Z,AC6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR C7H

JP Z,AC7

LD A,(HL)

XOR C8H

JP Z,AC8

LD A,(HL)

XOR C9H

JP Z,AC9

LD A,(HL)

XOR CAH

JP Z,ACA

LD A,(HL)

XOR CBH

JP Z,ACB

LD A,(HL)

XOR CCH

JP Z,ACC

LD A,(HL)

XOR CDH

JP Z,ACD

LD A,(HL)

XOR D0H

JP Z,AD0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR D1H

JP Z,AD1

LD A,(HL)

XOR D2H

JP Z,AD2

LD A,(HL)

XOR D4H

JP Z,AD4

LD A,(HL)

XOR D5H

JP Z,AD5

LD A,(HL)

XOR D6H

JP Z,AD6

LD A,(HL)

XOR D7H

JP Z,AD7

LD A,(HL)

XOR D8H

JP Z,AD8

LD A,(HL)

XOR D9H

JP Z,AD9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD A,(HL)

XOR E1H

JP Z,AE1

LD A,(HL)

XOR E0H

JP Z,AE0

LD A,(HL)

XOR E2H

JP Z,AE2

LD A,(HL)

XOR E3H

JP Z,AE3

LD A,(HL)

XOR E4H

JP Z,AE4H

LD A,(HL)

XOR E5H

JP Z,AE5

LD A,(HL)

XOR E6H

JP Z,AE6

LD A,(HL)

XOR E7H

JP Z,AE7

LD A,(HL)

XOR E8H

JP Z,AE8

LD A,(HL)

XOR E9H

JP Z,AE9

LD A,(HL)

XOR EAH

JP Z,AEA

LD A,(HL)

XOR EBH

JP Z,AEB

LD A,(HL)

XOR ECH

JP Z,AEC

JP A8A

AD0: LD IX,AD00H ; ตัวแสดงตำแหน่ง ของข้อมูล

JP DI

AD1: LD IX,AD10H

DEC B

JP DI

AD2: LD IX,AD20H

JP DI

AD4: LD IX,AD40H

DEC B

JP DI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AD5: LD IX,AD50H

DEC B

JP DI

AD6: LD IX,AD60H

DEC B

JP DI

AD7: LD IX,AD70H

DEC B

JP DI

AD8: LD IX,AD80H

DEC B

JP DI

AD9: LD IX,AD90H

DEC B

JP DI

AE0: LD IX,AE00H

JP DI

AE1: LD IX,AE10H

JP DI

AE2: LD IX,AE20H

JP DI

AE3: LD IX,AE30H

JP DI

AE4: LD IX,AE40H

JP DI

AE5: LD IX,AE50H

JP DI

AE6: LD IX,AE60H

JP DI

AE7: LD IX,AE70H

DEC B

JP DI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AE8: LD IX,AE80H

DEC B

JP DI

AE9: LD IX,AE90H

DEC B

JP DI

AEA: LD IX,AEA0H

DEC B

JP DI

AEB: LD IX,AEB0H

DEC B

JP DI

AEC: LD IX,AEC0H

DEC B

JP DI

AA1: LD IX,BA10H

JP DI

AA2: LD IX,BA20H

JP DI

AA3: LD IX,BA30H

JP DI

AA4: LD IX,BA40H

JP DI

AA5: LD IX,BA50H

JP DI

AA6: LD IX,BA60H

JP DI

AA7: LD IX,BA70H

JP DI

AA8: LD IX,BA80H

JP DI

AA9: LD IX,BA90H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

JP DI

AAA: LD IX,BAA0H

JP DI

AAB: LD IX,BAB0H

JP DI

AAC: LD IX,BAC0H

JP DI

AAD: LD IX,BAD0H

JP DI

AAE: LD IX,BAE0H

JP DI

AAF: LD IX,BAF0H

JP DI

AB0: LD IX,BB00H

JP DI

AB1: LD IX,BB10H

JP DI

AB2: LD IX,BB20H

JP DI

AB3: LD IX,BB30H

JP DI

AB4: LD IX,BB40H

JP DI

AB5: LD IX,BB50H

JP DI

AB6: LD IX,BB60H

JP DI

AB7: LD IX,BB70H

JP DI

AB8: LD IX,BB80H

JP DI

AB9: LD IX,BB90H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

JP DI

ABA: LD IX,BBA0H

JP DI

ABB: LD IX,BBB0H

JP DI

ABC: LD IX,BBC0H

JP DI

ABD: LD IX,BBD0H

JP DI

ABE: LD IX,BBE0H

JP DI

ABF: LD IX,BBF0H

JP DI

AC0: LD IX,BC00H

JP DI

AC1: LD IX,BC10H

JP DI

AC2: LD IX,BC20H

JP DI

AC3: LD IX,BC30H

JP DI

AC4: LD IX,BC40H

JP DI

AC5: LD IX,BC50H

JP DI

AC6: LD IX,BC60H

JP DI

AC7: LD IX,BC70H

JP DI

AC8: LD IX,BC80H

JP DI

AC9: LD IX,BC90H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

JP DI

ACA: LD IX,BCA0H

JP DI

ACB: LD IX,BCB0H

JP DI

ACC: LD IX,BCC0H

JP DI

ACD: LD IX,BCD0H

JP DI

A20: LD IX,B200H

JP DI

A21: LD IX,B210H

JP DI

A22: LD IX,B220H

JP DI

A23: LD IX,B230H

JP DI

A24: LD IX,B240H

JP DI

A25: LD IX,B250H

JP DI

A26: LD IX,B260H

JP DI

A27: LD IX,B270H

JP DI

A28: LD IX,B280H

JP DI

A29: LD IX,B290H

JP DI

A2A: LD IX,B2A0H

JP DI

A2B: LD IX,B2B0H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

JP DI

A2C: LD IX,B2C0H

JP DI

A2D: LD IX,B2D0H

JP DI

A2E: LD IX,B2E0H

JP DI

A2F: LD IX,B2F0H

JP DI

A30: LD IX,B300H

JP DI

A31: LD IX,B310H

JP DI

A32: LD IX,B320H

JP DI

A33: LD IX,B330H

JP DI

A34: LD IX,B340H

JP DI

A35: LD IX,B350H

JP DI

A36: LD IX,B360H

JP DI

A37: LD IX,B370H

JP DI

A38: LD IX,B380H

JP DI

A39: LD IX,B390H

JP DI

A3A: LD IX,B3A0H

JP DI

A3B: LD IX,B3B0H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

JP DI
A3C: LD IX,B3C0H
JP DI
A3D: LD IX,B3D0H
JP DI
A3E: LD IX,B3E0H
JP DI
A3F: LD IX,B3F0H
JP DI
A40: LD IX,B400H
JP DI
A41: LD IX,B410H
JP DI
A42: LD IX,B420H
JP DI
A43: LD IX,B430H
JP DI
A44: LD IX,B440H
JP DI
A45: LD IX,B450H
JP DI
A46: LD IX,B460H
JP DI
A47: LD IX,B470H
JP DI
A48: LD IX,B480H
JP DI
A49: LD IX,B490H
JP DI
A4A: LD IX,B4A0H
JP DI
A4B: LD IX,B4B0H

JP DI

A4C: LD IX,B4C0H

JP DI

A4D: LD IX,B4D0H

JP DI

A4E: LD IX,B4E0H

JP DI

A4F: LD IX,B4F0H

JP DI

A50: LD IX,B500H

JP DI

A51: LD IX,B510H

JP DI

A52: LD IX,B520H

JP DI

A53: LD IX,B530H

JP DI

A54: LD IX,B540H

JP DI

A55: LD IX,B550H

JP DI

A56: LD IX,B560H

JP DI

A57: LD IX,B570H

JP DI

A58: LD IX,B580H

JP DI

A59: LD IX,B590H

JP DI

A5A: LD IX,B5A0H

JP DI

A5B: LD IX,B5B0H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

JP DI

A5C: LD IX,B5C0H

JP DI

A5D: LD IX,B5D0H

JP DI

A5E: LD IX,B5E0H

JP DI

A5F: LD IX,B5F0H

JP DI

A60: LD IX,B600H

JP DI

A61: LD IX,B610H

JP DI

A62: LD IX,B620H

JP DI

A63: LD IX,B630H

JP DI

A64: LD IX,B640H

JP DI

A65: LD IX,B650H

JP DI

A66: LD IX,B660H

JP DI

A67: LD IX,B670H

JP DI

A68: LD IX,B680H

JP DI

A69: LD IX,B690H

JP DI

A6A: LD IX,B6A0H

JP DI

A6B: LD IX,B6B0H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

JP DI
A6C: LD IX,B6C0H
JP DI
A6D: LD IX,B6D0H
JP DI
A6E: LD IX,B6E0H
JP DI
A6F: LD IX,B6F0H
JP DI
A70: LD IX,B700H
JP DI
A71: LD IX,B710H
JP DI
A72: LD IX,B720H
JP DI
A73: LD IX,B730H
JP DI
A74: LD IX,B740H
JP DI
A75: LD IX,B750H
JP DI
A76: LD IX,B760H
JP DI
A77: LD IX,B770H
JP DI
A78: LD IX,B780H
JP DI
A79: LD IX,B790H
JP DI
A7A: LD IX,B7A0H
JP DI
A8A: LD IX,A000H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

JP DI

CLEARM: LD A,80H ; CLEAR MONITOR

OUT (83H),A

LD A,00H

LD B,08H

LD C,08H

OUT (82H),A

LOOP1: LD A,B

OUT (82H),A

LD A,00H

OUT (80H),A

OUT (82H),A

INC B

DEC C

JR NZ,LOOP1

RET

CLEARD: LD A,B

OUT (82H),A

LD A,00H

OUT (80H),A

OUT (82H),A

RET

DI: LD C,0FH

LOOP2: CALL CLEARD

LD A,C

OUT (81H),A

LD A,B

OUT (82H),A

LD A,(IX+00)

INC IX

```

OUT (80H),A
LD A,00H
OUT (82H),A
LD A,B
LD (9900H),A
LD B,03FH
LOOP3: DEC B
      JP NZ,LOOP3
      LD A,(9900H)
      LD B,A
      DEC C
      JP NZ,LOOP2
      INC HL
      INC B
      DEC E
      JP NZ,CHECKD
      LD HL,9000H
      LD E,00H
      IN0 A,(04)
      BIT 7,A
      JP Z, A
      JP B

```

ORG B410

```

.DB00H,00H,00H,00H,81H,81H,81H,FFH,81H,42H,24H,18H,00H,00H,00H,00H ;A
.DB 00H,00H,00H,00H,7FH,81H,81H,7FH,7FH,81H,81H,7FH,00H,00H,00H,00H ;B
.DB 00H,00H,00H,00H,7EH,81H,81H,01H,01H,81H,81H,7EH,00H,00H,00H,00H ;C
.DB 00H,00H,00H,00H,3FH,41H,81H,81H,81H,81H,41H,3FH,00H,00H,00H,00H ;D
.DB 00H,00H,00H,00H,FFH,01H,01H,FFH,FFH,01H,01H,FFH,00H,00H,00H,00H ;E
.DB 00H,00H,00H,00H,01H,01H,01H,01H,01H,3FH,01H,FFH,00H,00H,00H,00H ;F
.DB 00H,00H,00H,00H,3CH,42H,81H,E1H,01H,81H,C2H,BCH,00H,00H,00H,00H ;G
.DB 00H,00H,00H,00H,81H,81H,81H,FFH,81H,81H,81H,81H,00H,00H,00H,00H ;H

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

.DB 00H,00H,00H,00H,3CH,18H,18H,18H,18H,18H,18H,3CH,00H,00H,00H,00H ;I
.DB 00H,00H,00H,00H,3CH,42H,41H,40H,40H,40H,40H,E0H,00H,00H,00H,00H ;J
.DB 00H,00H,00H,00H,81H,41H,21H,1FH,1FH,21H,41H,81H,00H,00H,00H,00H ;K
.DB 00H,00H,00H,00H,FFH,01H,01H,01H,01H,01H,01H,01H,00H,00H,00H,00H ;L
.DB 00H,00H,00H,00H,81H,81H,81H,81H,99H,A5H,C3H,81H,00H,00H,00H,00H ;M
.DB 00H,00H,00H,00H,81H,C1H,A1H,91H,89H,85H,83H,81H,00H,00H,00H,00H ;N
.DB 00H,00H,00H,00H,7EH,81H,81H,81H,81H,81H,81H,7EH,00H,00H,00H,00H ;O
.DB 00H,00H,00H,00H,01H,01H,01H,7FH,81H,81H,81H,7FH,00H,00H,00H,00H ;P
.DB 00H,00H,00H,00H,BEH,41H,61H,41H,41H,41H,41H,3EH,00H,00H,00H,00H ;Q
.DB 00H,00H,00H,00H,81H,41H,21H,1FH,FFH,81H,81H,FFH,00H,00H,00H,00H ;R
.DB 00H,00H,00H,00H,FFH,80H,80H,FFH,FFH,01H,01H,FFH,00H,00H,00H,00H ;S
.DB 00H,00H,00H,00H,18H,18H,18H,18H,18H,18H,FFH,FFH,00H,00H,00H,00H ;T
.DB 00H,00H,00H,00H,7EH,81H,81H,81H,81H,81H,81H,81H,00H,00H,00H,00H ;U
.DB 00H,00H,00H,00H,18H,24H,42H,81H,81H,81H,81H,81H,00H,00H,00H,00H ;V
.DB 00H,00H,00H,00H,81H,C3H,A5H,99H,81H,81H,81H,81H,00H,00H,00H,00H ;W
.DB 00H,00H,00H,00H,81H,42H,24H,18H,18H,24H,42H,81H,00H,00H,00H,00H ;X
.DB 00H,00H,00H,00H,18H,18H,18H,18H,18H,24H,42H,81H,00H,00H,00H,00H ;Y
.DB 00H,00H,00H,00H,FFH,02H,04H,08H,10H,20H,40H,FFH,00H,00H,00H,00H ;Z

ORG BA10H

.DB 00H,00H,00H,00H,82H,82H,82H,82H,82H,81H,7EH,00H,00H,00H,00H ;ก
.DB 00H,00H,00H,00H,F0H,90H,90H,90H,90H,98H,98H,00H,00H,00H,00H ;ข

ORG BA40H

.DB 00H,00H,00H,00H,86H,8AH,8AH,9AH,9AH,82H,7CH,00H,00H,00H,00H ;ค

ORG BA60H

.DB 00H,00H,00H,00H,FCH,8CH,88H,88H,88H,8FH,8BH,00H,00H,00H,00H ;ณ
.DB 00H,00H,00H,00H,80H,C0H,A0H,90H,80H,C0H,C0H,00H,00H,00H,00H ;จ
.DB 00H,00H,00H,00H,C0H,A0H,A0H,B0H,B0H,82H,7CH,00H,00H,00H,00H ;ฉ
.DB 00H,00H,00H,00H,C8H,F8H,88H,8CH,8CH,82H,7CH,00H,00H,00H,00H ;ฉ
.DB 00H,00H,00H,00H,60H,90H,90H,90H,90H,98H,58H,80H,80H,00H,00H ;ช
.DB 00H,00H,00H,00H,60H,90H,90H,90H,90H,9EH,56H,80H,80H,00H,00H ;ช
.DB 00H,00H,00H,00H,FBH,9BH,91H,91H,92H,91H,9EH,00H,00H,00H,00H ;ณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

.DB 00H,00H,74H,8CH,63H,93H,91H,91H,92H,91H,9EH,00H,00H,00H,00H ;ญ
.DB 9CH,E2H,FCH,C0H,83H,83H,82H,82H,84H,82H,7CH,00H,00H,00H,00H ;ฎ
.DB 9CH,F2H,ECH,C0H,83H,83H,82H,82H,84H,82H,7CH,00H,00H,00H,00H ;ฏ
.DB 7CH,D2H,BCH,40H,40H,A0H,B0H,B0H,7EH,7CH,80H,00H,00H,00H,00H ;ฐ
.DB 00H,00H,00H,00H,88H,88H,88H,88H,88H,9FH,6BH,00H,00H,00H,00H ;ฑ
.DB 00H,00H,00H,00H,B9H,EAH,BCH,A7H,A7H,A9H,B6H,00H,00H,00H,00H ;ฒ
.DB 00H,00H,00H,00H,D3H,F3H,51H,51H,53H,51H,5EH,00H,00H,00H,00H ;ณ
.DB 00H,00H,00H,00H,86H,8AH,9AH,9AH,82H,82H,7CH,00H,00H,00H,00H ;ด
.DB 00H,00H,00H,00H,86H,8AH,9AH,9AH,82H,92H,6CH,00H,00H,00H,00H ;ต
.DB 00H,00H,00H,00H,86H,86H,82H,82H,82H,81H,FEH,00H,00H,00H,00H ;ถ
.DB 00H,00H,00H,00H,84H,84H,84H,84H,84H,8EH,76H,00H,00H,00H,00H ;ท
.DB 00H,00H,00H,00H,76H,82H,82H,82H,7FH,01H,FEH,00H,00H,00H,00H ;ธ
.DB 00H,00H,00H,00H,C2H,FEH,42H,42H,42H,43H,43H,00H,00H,00H,00H ;น
.DB 00H,00H,00H,00H,7CH,82H,82H,82H,82H,83H,83H,00H,00H,00H,00H ;บ
.DB 00H,00H,00H,00H,7CH,82H,82H,82H,82H,83H,83H,80H,80H,00H,00H,00H ;ป
.DB 00H,00H,00H,00H,6CH,92H,92H,92H,92H,96H,96H,00H,00H,00H,00H ;ผ
.DB 00H,00H,00H,00H,6CH,92H,92H,92H,92H,96H,96H,80H,80H,00H,00H,00H ;ฝ
.DB 00H,00H,00H,00H,6CH,92H,92H,92H,92H,93H,93H,00H,00H,00H,00H ;พ
.DB 00H,00H,00H,00H,6CH,92H,92H,92H,92H,93H,93H,80H,80H,00H,00H,00H ;ฬ
.DB 00H,00H,00H,00H,83H,83H,82H,82H,82H,81H,FEH,00H,00H,00H,00H ;ภ
.DB 00H,00H,00H,00H,86H,FEH,84H,84H,84H,86H,86H,00H,00H,00H,00H ;ม
.DB 00H,00H,00H,00H,7CH,82H,82H,8CH,82H,86H,86H,00H,00H,00H,00H ;ย
.DB 00H,00H,00H,00H,60H,60H,40H,40H,40H,3EH,7CH,80H,00H,00H,00H ;ร
.DB 00H,00H,00H,00H,86H,86H,82H,FCH,80H,82H,7CH,00H,00H,00H,00H ;ธ
ORG BC70H
.DB 00H,00H,00H,00H,C0H,C0H,80H,80H,80H,82H,7CH,00H,00H,00H,00H ;จ
.DB 00H,00H,00H,00H,82H,86H,9AH,9AH,82H,82H,74H,80H,00H,00H,00H,00H ;ช
.DB 00H,00H,00H,00H,7EH,42H,7AH,5AH,C2H,43H,43H,00H,00H,00H,00H ;ข
.DB 00H,00H,00H,00H,86H,86H,82H,FCH,82H,FCH,80H,00H,00H,00H,00H ;ศ
.DB 00H,00H,00H,00H,42H,46H,4AH,52H,62H,E3H,E3H,00H,00H,00H,00H ;ห
.DB 00H,00H,00H,00H,6CH,92H,92H,92H,92H,D3H,D3H,80H,00H,00H,00H ;ฬ

.DB 00H,00H,00H,00H,7CH,82H,86H,86H,80H,82H,7CH,00H,00H,00H,00H,00H ;๒
.DB 00H,00H,00H,00H,7CH,82H,86H,86H,9EH,7CH,20H,00H,00H,00H,00H,00H ;๘

ORG AD00H

.DB 00H,00H,00H,00H,00H,3EH,46H,00H,3EH,46H,00H,00H,00H,00H,00H,00H ;๕
.DB 00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,3EH,46H,80H ;๖
.DB 00H,00H,00H,00H,80H,80H,80H,80H,82H,82H,3CH,00H,00H,00H,00H,00H ;๗

ORG AD40H

.DB 00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,FFH,81H,7EH,00H ;๑
.DB 00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,FFH,81H,FEH,80H ;๒
.DB 00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,FFH,81H,FEH ;๓
.DB 00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,FFH,81H,FEH,COH ;๔
.DB 80H,80H,COH,COH,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H ;๕
.DB COH,COH,E0H,E0H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H ;๖

ORG AE00H

.DB 00H,00H,00H,00H,30H,30H,10H,10H,10H,10H,10H,00H,00H,00H,00H,00H ;๑
.DB 00H,00H,00H,00H,78H,78H,28H,28H,28H,28H,28H,00H,00H,00H,00H,00H ;๒
.DB 00H,00H,00H,00H,0CH,0CH,04H,04H,04H,04H,06H,01H,7EH,08H,00H,00H ;๓
.DB 00H,00H,00H,00H,30H,30H,10H,10H,10H,10H,14H,12H,12H,0CH,00H,00H ;๔
.DB 00H,00H,00H,00H,30H,30H,10H,10H,10H,10H,10H,14H,1AH,11H,00H,00H ;๕

ORG AE60H

.DB 04H,08H,10H,20H,40H,40H,40H,40H,40H,6CH,5CH,00H,00H,00H,00H,00H ;๑
.DB 00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,50H,50H,70H,70H,E0H ;๒
.DB 00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,80H,80H,80H,00H ;๓
.DB 00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,38H,58H,98H,00H ;๔
.DB 00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H ;๕
.DB 00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,20H,70H,20H,00H ;๖
.DB 00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,00H,18H,18H,30H,40H,80H ;๗

ORG B610H

.DB 00H,00H,00H,00H,78H,84H,84H,F8H,80H,7CH,00H,00H,00H,00H,00H,00H ;a
.DB 00H,00H,00H,00H,78H,84H,84H,7CH,04H,04H,04H,04H,00H,00H,00H,020H ;b

.DB 00H,00H,00H,00H,78H,84H,04H,04H,84H,78H,00H,00H,00H,00H,00H ;c
.DB 00H,00H,00H,00H,78H,84H,84H,F8H,80H,80H,80H,80H,00H,00H,00H,00H ;d
.DB 00H,00H,00H,00H,F8H,04H,04H,FCH,84H,78H,00H,00H,00H,00H,00H ;e
.DB 00H,00H,00H,00H,10H,10H,10H,38H,90H,60H,00H,00H,00H,00H,00H ;f
.DB 00H,00H,7CH,80H,80H,80H,F8H,84H,84H,78H,00H,00H,00H,00H,00H ;g
.DB 00H,00H,00H,00H,84H,84H,84H,7CH,04H,04H,04H,04H,00H,00H,00H,00H ;h
.DB 00H,00H,00H,00H,10H,10H,10H,10H,10H,10H,00H,10H,00H,00H,00H ;i
.DB 00H,00H,78H,84H,80H,80H,80H,80H,80H,80H,00H,80H,00H,00H,00H ;j
.DB 00H,00H,00H,00H,84H,44H,24H,14H,24H,44H,04H,04H,00H,00H,00H,00H ;k
.DB 00H,00H,00H,00H,10H,10H,10H,10H,10H,10H,10H,10H,00H,00H,00H,00H ;l
.DB 00H,00H,00H,00H,92H,92H,92H,92H,92H,6DH,00H,00H,00H,00H,00H ;m
.DB 00H,00H,00H,00H,84H,84H,84H,84H,84H,74H,00H,00H,00H,00H,00H ;n
.DB 00H,00H,00H,00H,78H,84H,84H,84H,84H,78H,00H,00H,00H,00H,00H ;o
.DB 00H,00H,04H,04H,04H,04H,7CH,84H,84H,7CH,00H,00H,00H,00H,00H,00H ;p
.DB 00H,00H,80H,80H,80H,80H,F8H,84H,84H,F8H,00H,00H,00H,00H,00H,00H ;q
.DB 00H,00H,00H,00H,04H,04H,04H,04H,8CH,74H,00H,00H,00H,00H,00H,00H ;r
.DB 00H,00H,00H,00H,78H,80H,78H,04H,04H,78H,00H,00H,00H,00H,00H,00H ;s
.DB 00H,00H,00H,00H,30H,48H,48H,08H,08H,1CH,08H,08H,00H,00H,00H,00H ;t
.DB 00H,00H,00H,00H,B8H,44H,44H,44H,44H,44H,00H,00H,00H,00H,00H,00H ;u
.DB 00H,00H,00H,00H,20H,10H,48H,84H,84H,84H,00H,00H,00H,00H,00H,00H ;v
.DB 00H,00H,00H,00H,58H,A4H,A4H,A4H,A4H,A4H,00H,00H,00H,00H,00H,00H ;w
.DB 00H,00H,00H,00H,84H,48H,30H,30H,48H,84H,00H,00H,00H,00H,00H,00H ;x
.DB 00H,00H,78H,84H,80H,80H,F8H,84H,84H,84H,00H,00H,00H,00H,00H,00H ;y
.DB 00H,00H,00H,00H,FCH,08H,10H,20H,40H,FCH,00H,00H,00H,00H,00H,00H ;z



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54374/74374 Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

Manufacturer	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL				
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	
IL	SN54S374	J	1							SN54LS374	J	1									
	SN74S374	J	1							SN74LS374	J	1									
FAIRCHILD																					
MOTOROLA																					
K.S.C.																					
PHILIPS																					
SGNINETICS																					
SIEMENS																					
DAIICHI																					
DAIICHI																					
MITSUBISHI																					
NEC																					
ROSBBA																					

Electrical Characteristics SN54LS374/SN74LS374

absolute maximum ratings over operating free-air temperature range.

Supply voltage, V _{CC}	7V	Operating free-air temperature range	SN54LS	-55 to 125°C
Input voltage		Storage temperature range	SN74LS	0°C to 70°C
				-65 to 150°C

recommended operating conditions

PARAMETER	SN54LS374		SN74LS374		UNIT
	MIN	NOM	MIN	MAX	
Supply voltage, V _{CC}	4.5	5	4.75	5.25	V
Input voltage, V _{OH}			-420		μA
Output current, I _{OH}			16		mA
Settling time, t _{su}	High	15	15		ns
	Low	15	15		ns
Hold time, t _{hold}		0	0		ns
Setup time, t _{setup}		20	20		ns
Operating free-air temperature, T _A	-55	125	0	70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

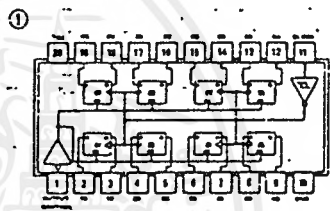
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{IH}	High-level input voltage	2			V
V _{IL}	Low-level input voltage		0.8		V
V _{IC}	Input clamp voltage	V _{CC} - MAX, I _I = -10mA		-1.5	V
V _{OH}	High-level output voltage	V _{CC} - MAX, V _{IH} = 2V, V _I = V _I max, I _{OH} = MAX	2.4	3.1	V
V _{OL}	Low-level output voltage	V _{CC} = MAX, V _{IH} = 2V, V _I = V _I max, I _{OL} = 20mA	0.25	0.5	V
I _{OZH}	Off-state output current, high-level voltage applied	V _{CC} = MAX, V _{IH} = 2V, V _O = 2.7V		20	μA
I _{OZL}	Off-state output current, low-level voltage applied	V _{CC} = MAX, V _{IH} = 2V, V _O = 0.5V		-20	μA
I _I	Input current at maximum input voltage	V _{CC} = MAX, V _I = 7V		0.1	mA
I _{IH}	High-level input current	V _{CC} = MAX, V _I = 2.7V		20	μA
I _{IL}	Low-level input current	V _{CC} = MAX, V _I = 0.5V		-0.4	mA
I _{OC}	Short-circuit output current	V _{CC} = MAX		-130	mA
I _{CC}	Supply current	Output control at 1V LS374	27	40	mA

switching characteristics, V_{CC} = 5V, T_A = 25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{prop}				35	56		nHz
t _{PLH}	Data	Any 0	C _L = 45pF, R _L = 64Ω, See Notes 2 and 3				
t _{PHL}	Clock or enable	Any 0		15	28		ns
t _{PHL}	Output Control	Any 0		19	28		ns
t _{PHL}	Output Control	Any 0		20	28		ns
t _{PLZ}	Output Control	Any 0		21	28		ns
t _{PHZ}	Output Control	Any 0	C _L = 50pF, R _L = 64Ω, See Note 3	12	28		ns
t _{PLZ}	Output Control	Any 0		14	25		ns

Test conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
 Test typical values are at V_{CC} = 5V, T_A = 25°C.
 Test more than one output should be checked at a time and duration of the short circuit should not exceed one second.

Pin Assignment (Top View)



SN54LS374 (J) SN74LS374 (J, N)
 SN54S374 (J) SN74S374 (J, N)

LS374, S374 FUNCTION TABLE

OUTPUT CONTROL	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	X	X	Q ₀
H	X	X	Z

NOTES: 2. Maximum clock frequency is tested with all outputs loaded.
 3. See load circuit and waveforms on page 3-11.
 t_{max} = maximum clock frequency
 t_{PLH} = propagation delay time, low-to-high-level output
 t_{PHL} = propagation delay time, high-to-low-level output
 t_{PHZ} = output enable time to high level
 t_{PLZ} = output enable time to low level
 t_{PHZ} = output disable time from high level
 t_{PLZ} = output disable time from low level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและตั้งอ้างถึงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL				
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		
	C	P	M	C	P	M	C	P	M	C	P	M	C	P	M	C	P	M	C	P	M
T.I.	SN54SD4	JG			SN74SD4	JG			SN54LS04	JG			SN5404	JG			SN54L04	JG			
FAIRCHILD	SN74SD4	JG			SN74SD4	JG			SN74LS04	JG			SN7404	JG			SN74L04	JG			
MOTOROLA	FM54SD4/FM54SD4	DJ			FM54SD4/FM54SD4	DJ			FM54LS04/FM54LS04	DJ			FM5404/FM5404	DJ			FM54L04/FM54L04	DJ			
N.S.C.	FC74SD4/FC74SD4	DJ			FC74SD4/FC74SD4	DJ			FC74LS04/FC74LS04	DJ			FC7404/FC7404	DJ			DM74L04	JG			
PHILIPS					MC3708	LG			MC3708	LG			MC3704	LG			MC3704	LG			
SIGNETICS	SS4SD4	FJ			SS4SD4	FJ			SS4LS04	FJ			SS404	FJ			SS4L04	FJ			
SIEMENS	N74SD4	FJ			N74SD4	FJ			N74LS04	FJ			74LS04	MT			M74LS04	PJ			
FUJITSU																					
HITACHI	HD74SD4	JG							HD74LS04	PJ			HD7404/HC2527	GP							
MITSUBISHI	M55004								M74LS04	PJ			M53204								
NEC	74SD4								74LS04	CJ			74LS04								
TOSHIBA													TD3404A								

Electrical Characteristics SN54LS04/SN74LS04

* Absolute maximum ratings over operating free-air temperature range

Supply voltage, VCC	16	Operating power dissipation	SN54LS04	-55°C to 125°C
Input voltage	16	Storage temperature range	SN74LS04	-55°C to 150°C

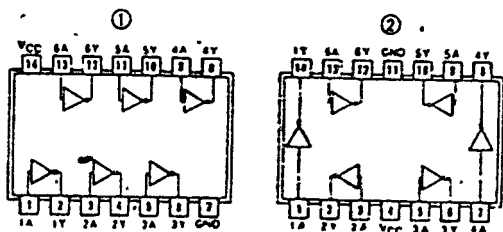
recommended operating conditions

	SN54LS04				SN74LS04				UNIT
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
Supply voltage, VCC	4.5	5	5.5	±5%	5	5.25	5	5.25	V
High-level output current, IOH			-400						μA
Low-level output current, IOL			0						mA
Operating power dissipation, PA	-30		120		0				°C

electrical characteristics over recommended operating free-air temperature range

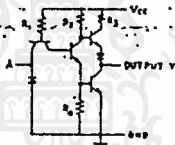
PARAMETER	TEST CONDITIONS 1	MIN	TYP 2	MAX	UNIT
V _{IH}	High-level input voltage		2		V
V _{IL}	Low-level input voltage			0.8	V
V _I	Input clamp voltage	V _{CC} = MIN, I _I = -15 mA		-1.5	V
V _{OH}	High-level output voltage	V _{CC} = MIN, V _I L = V _{IL} max, I _{OH} = MAX	2.3	3.4	V
V _{OL}	Low-level output voltage	V _{CC} = MIN, V _I H = 2V, I _{OL} = 4mA		0.4	V
I _I	Input current at maximum input voltage	V _{CC} = MAX, V _I = 7V		0.1	mA
I _{IH}	High-level input current	V _{CC} = MAX, V _I H = 2.7V		20	μA
I _{IL}	Low-level input current	V _{CC} = MAX, V _I L = 0.4V		-0.4	mA
I _{OS}	Short-circuit output current	V _{CC} = MAX	SN54LS Family	-70	-100
			SN74LS Family	-70	-100
I _{CCH}	Supply current	V _{CC} = MAX	Total outputs high	1.2	2.4
I _{CCL}	Supply current	V _{CC} = MAX	Total outputs low	3.6	6.6
I _{CC}	Supply current	V _{CC} = 5V	Average per gate (50% duty cycle)	6.4	
t _{PLH}	Propagation delay time, low-to-high-level output	V _{CC} = 5V, T _A = 25°C, C _L = 15pF, R _L = 2kΩ		9	15
t _{PHL}	Propagation delay time, high-to-low-level output			10	15

Pin Assignments (Top View)



positive logic:
V_I = 1

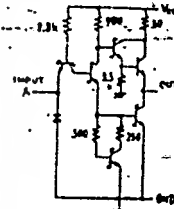
Schematics (each gate)



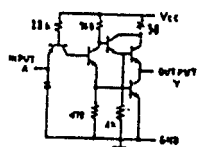
CIRCUIT	R1	R2	R3	R4
'04	4k	10k	10k	1k
'L04	40k	10k	10k	10k

Input clamp diodes not on SN54LS74/74L circuits.

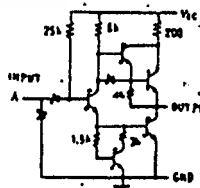
'04, 'L04 CIRCUITS



'04 CIRCUIT



'H04 CIRCUIT



'L04 CIRCUIT

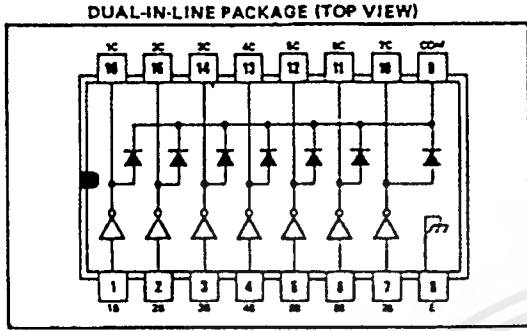
Resistor values shown are nominal and in Ω

1 For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
 2 All typical values are at V_{CC} = 5V, T_A = 25°C.
 * Not more than one output should be shorted to 0 V, and for SN54LS/ SN74LS and SN54S/ SN74S, duration of short-circuit should not exceed 1 second.

ไอซีมาใหม่...จาก TEXAS INSTRUMENTS

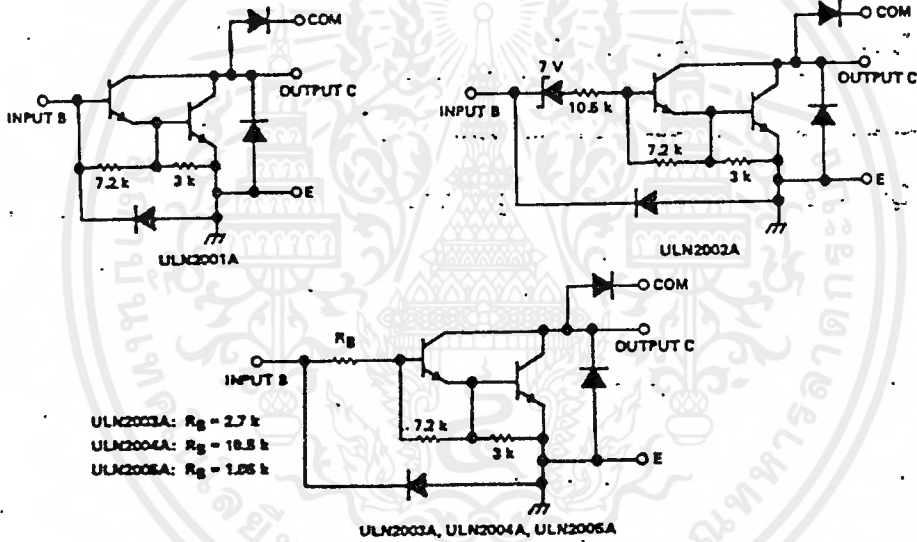
ULN 2001AN, ULN 2002AN ULN 2003AN, ULN 2004AN

high-voltage high-current darlington transistor arrays

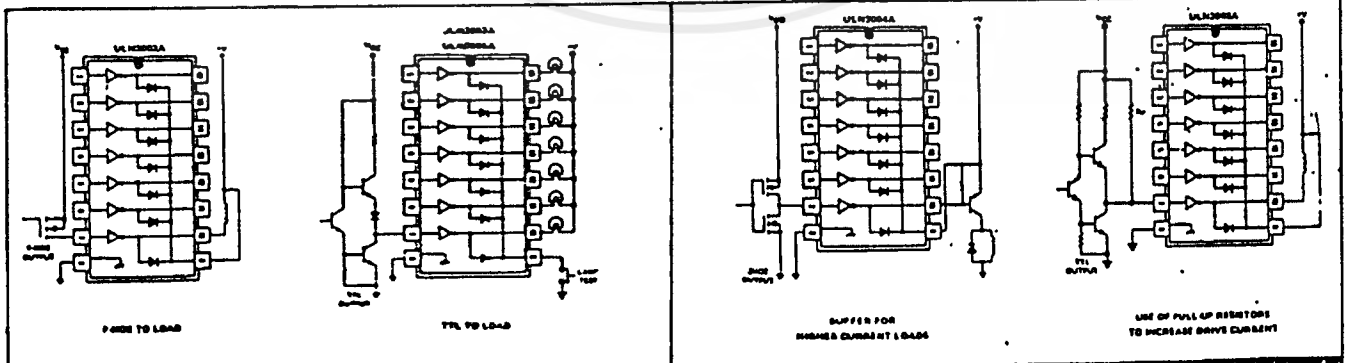


- ขับโหลดได้ถึง 500 mA
- ทนแรงดันออกได้สูงถึง 50 โวลท์
- มีไดโอดต่อป้องกันไว้ภายในสำหรับขับรีเลย์ได้เลย
- ULN 2001 สำหรับอินพุตแบบ TTL, DTL, CMOS
- ULN 2002 สำหรับอินพุตขนาด 14-25V
- ULN 2003 สำหรับอินพุตแบบ TTL หรือ CMOS ขนาด 5V
- ULN 2004 สำหรับอินพุต ขนาด 6-15V

schematics (each darlington pair)



ตัวอย่างการนำไปใช้งาน



ทางห้างบริการจัดสินค้าสำหรับท่านที่เปิดหรือขอชมถึงกรรพ.ภาคอิเล็กทรอนิกส์
โดยทางบกขบวนรถเป็นกันเอง รับผิดชอบ พ.ท.จ. ศรีชมความรวดเร็ว

ผู้แทนจำหน่าย สหพัฒน์
176 ถนนบ้านหม้อ กรุงเทพฯ 10200
โทร. 2229295, 2240726

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FEATURES

Low-Sine Wave Distortion	.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

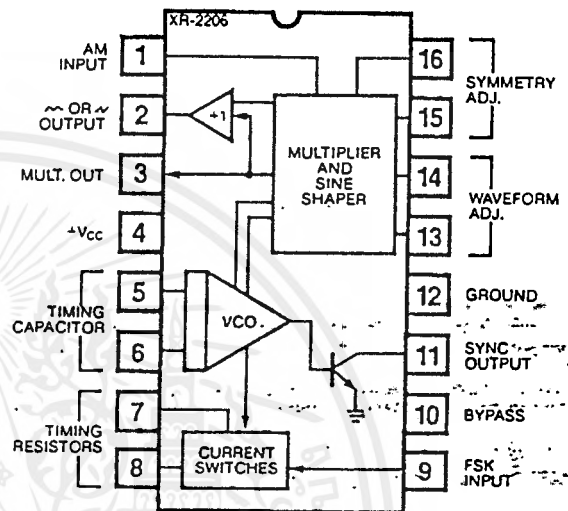
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency proportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

XR-2206

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25^\circ$, $C = 0.01 \mu F$, $R_1 = 100 k\Omega$, $R_2 = 10 k\Omega$, $R_3 = 25 k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTICS								
Single Supply Voltage	10		26	10		26	V	$R_1 > 10 k\Omega$
Split-Supply Voltage	± 5		± 13	± 5		± 13	V	
Supply Current		12	17		14	20	mA	
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000 pF$, $R_1 = 1 k\Omega$ $C = 50 \mu F$, $R_1 = 2 M\Omega$ $f_o = 1/R_1 C$ $0^\circ C < T_A < 75^\circ C$, $R_1 = R_2 = 20 k\Omega$ $V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20 k\Omega$ $f_H @ R_1 = 1 k\Omega$ $f_L @ R_1 = 2 M\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	
Frequency Accuracy		± 1	± 4		± 2		% of f_o	
Temperature Stability		± 10	± 50		± 20		ppm/ $^\circ C$	
Supply Sensitivity		0.01	0.1		0.01		%/V	
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	
Sweep Linearity								
10:1 Sweep		2			2		%	
1000:1 Sweep		8			8		%	
FM Distortion		0.1			0.1		%	
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	$k\Omega$	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/ $k\Omega$	
Sine Wave Amplitude	40	60	80		60		mV/ $k\Omega$	Figure 1, S_1 Open
Max. Output Swing		6			6		V _{p-p}	Figure 1, S_1 Closed
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep See Note 2.
Sine Wave Amplitude Stability		4800			4800		ppm/ $^\circ C$	
Sine Wave Distortion								$R_1 = 30 k\Omega$ See Figures 6 and 7.
Without Adjustment		2.5			2.5		%	
With Adjustment		0.4	1.0		0.5	1.5	%	
Amplitude Modulation								For 95% modulation
Input Impedance	50	100		50	100		$k\Omega$	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	
Square-Wave Output								Measured at Pin 11.
Amplitude		12			12		V _{p-p}	
Rise Time		250			250		nsec	
Fall Time		50			50		nsec	
Saturation Voltage		0.2	0.4		0.2	0.6	V	
Leakage Current		0.1	20		0.1	100	μA	$I_L = 2 mA$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	$V_{I1} = 26V$ See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3 , on Pin 3. See Figure 2

Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

XR-2206

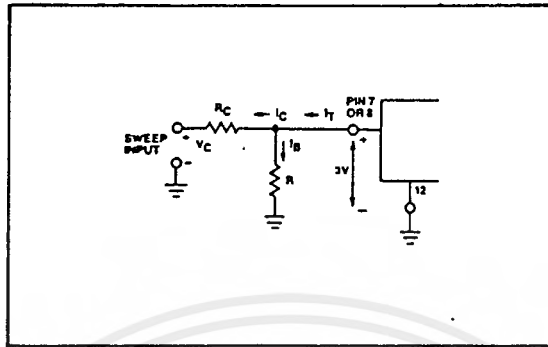


Figure 9: Circuit Connection for Frequency Sweep.

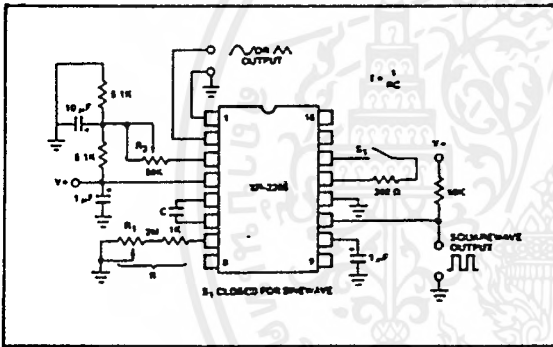


Figure 10: Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R₃.)

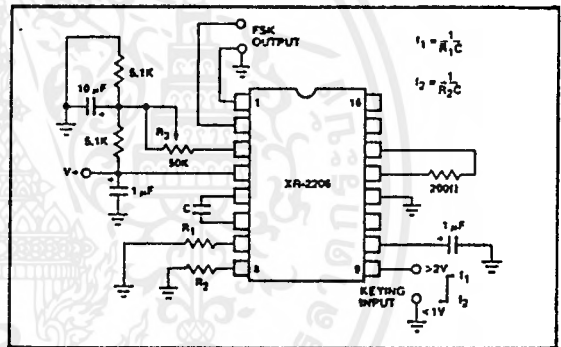


Figure 12: Sinusoidal FSK Generator.

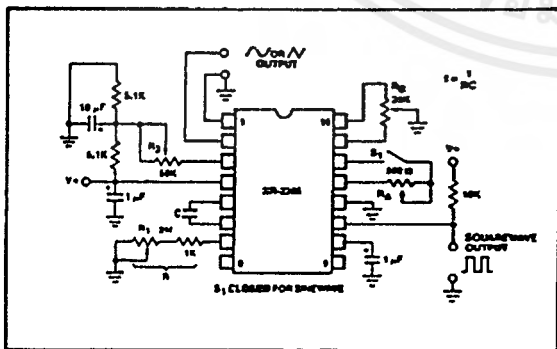


Figure 11: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R₃ Determines Output Swing – See Figure 2.)

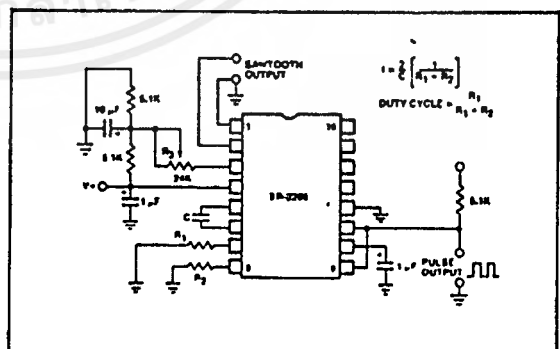


Figure 13: Circuit for Pulse and Ramp Generation.

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2 , connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq 2V$, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq 1V$, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2 , as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^- .

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION**Sine Wave Generation****Without External Adjustment:**

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is $< 2.5\%$. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^- . For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to $\approx 0.5\%$ by additional adjustments as shown in Figure 11. The potentiometer, R_A , adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2 ; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^- .

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2 . The values of R_1 and R_2 should be in the range of 1 k Ω to 2 M Ω .

XR-2206

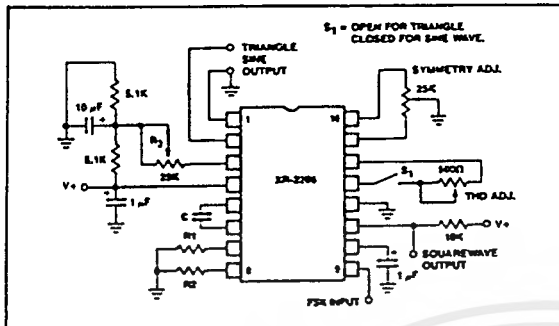


Figure 1: Basic Test Circuit.

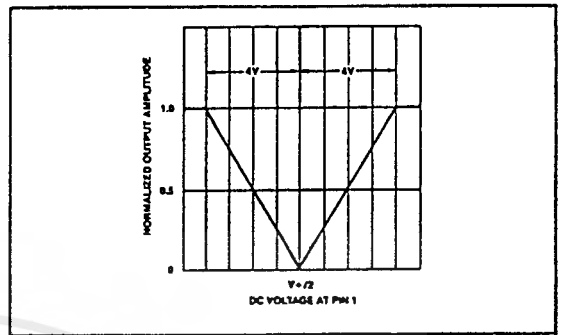


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

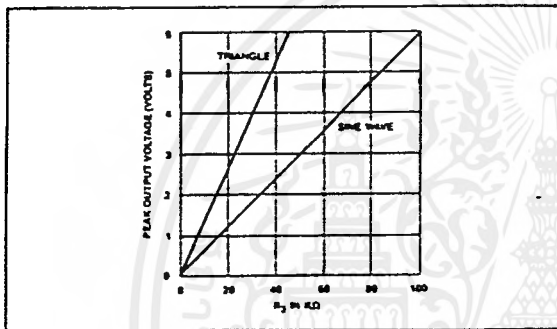


Figure 2: Output Amplitude as a Function of the Resistor, R_3 , at Pin 3.

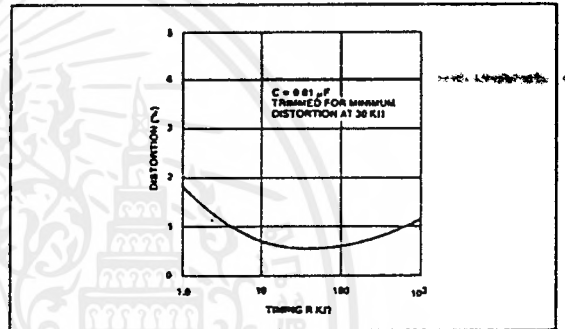


Figure 6: Trimmed Distortion versus Timing Resistor.

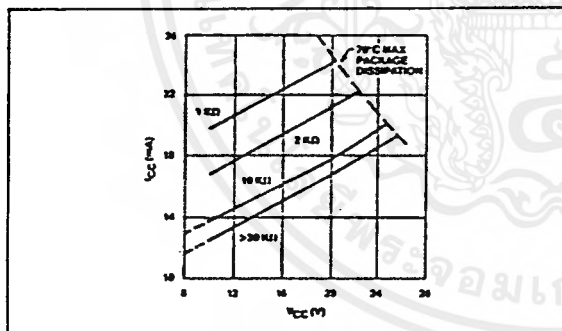


Figure 3: Supply Current versus Supply Voltage, Timing, R .

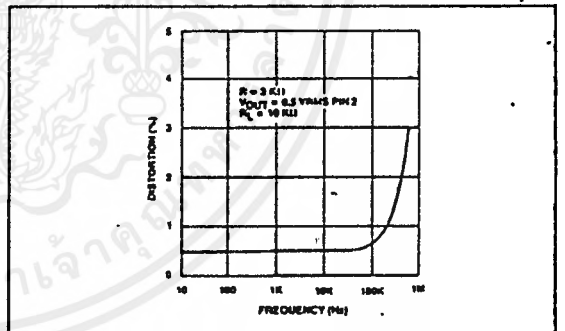


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

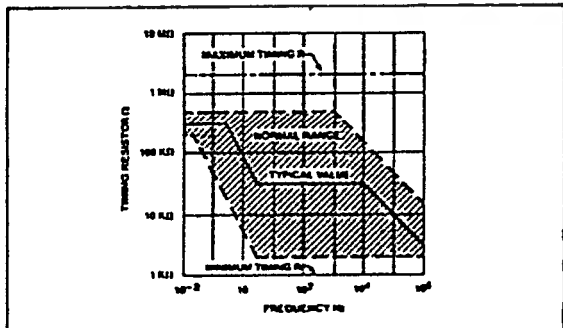


Figure 4: R versus Oscillation Frequency.

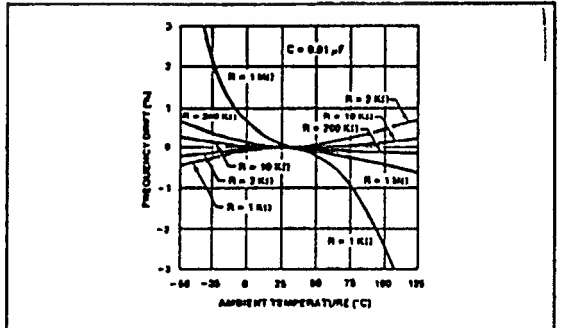


Figure 8: Frequency Drift versus Temperature.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o , is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, are shown in Figure 4. Temperature stability is optimum for $4 \text{ k}\Omega < R < 200 \text{ k}\Omega$. Recommended values of C are from 1000 pF to 100 μF .

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T , drawn from Pin 7 or 8:

$$f = \frac{320I_T \text{ (mA)}}{C \text{ (}\mu\text{F)}} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T , over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C , to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC} \left(1 + \frac{R}{R_C} \left(1 - \frac{V_C}{3} \right) \right) \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = - \frac{0.32}{R C C} \text{ Hz/V}$$

CAUTION: For safe operation of the circuit, I_T should be limited to $\leq 3 \text{ mA}$.

Output Amplitude:

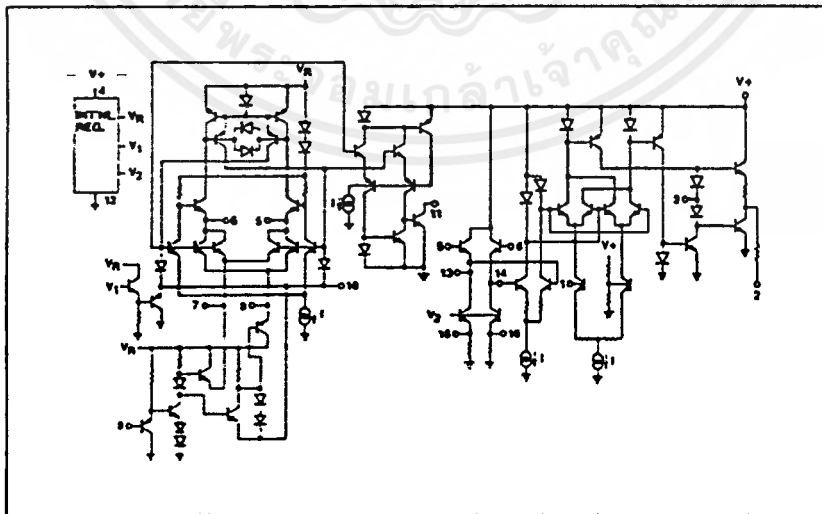
Maximum output amplitude is inversely proportional to the external resistor, R_3 , connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per $\text{k}\Omega$ of R_3 ; for triangle, the peak amplitude is approximately 160 mV peak per $\text{k}\Omega$ of R_3 . Thus, for example, $R_3 = 50 \text{ k}\Omega$ would produce approximately $\pm 3\text{V}$ sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 $\text{k}\Omega$. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ± 4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+ .

EQUIVALENT SCHEMATIC DIAGRAM



FSK Demodulator / Tone Decoder

GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications. It is particularly well suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20 V and a wide frequency range of 0.01 Hz to 300 kHz. It can accommodate analog signals between 2 mV and 3 V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply provides ratio metric operation for low system performance variations with power supply changes.

The XR-2211 is available in 14 pin DTL ceramic or plastic packages specified for commercial or military temperature ranges.

FEATURES

Wide Frequency Range	0.01 Hz to 300 kHz
Wide Supply Voltage Range	4.5 V to 20 V
DTL/TTL/ECL Logic Compatibility	
FSK Demodulation, with Carrier Detection	
Wide Dynamic Range	2 mV to 3 V rms
Adjustable Tracking Range ($\pm 1\%$ to $\pm 80\%$)	
Excellent Temp. Stability	20 ppm/ $^{\circ}$ C, typ.

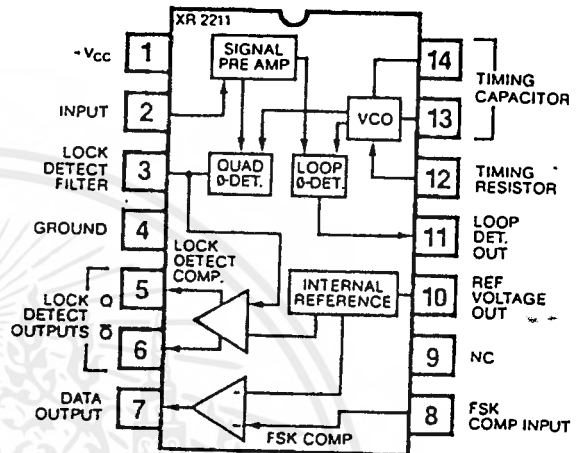
APPLICATIONS

FSK Demodulation
Data Synchronization
Tone Decoding
FM Detection
Carrier Detection

ABSOLUTE MAXIMUM RATINGS

Power Supply	20 V
Input Signal Level	3 V rms
Power Dissipation	
Ceramic Package	750 mW
Derate above $T_A = +25^{\circ}$ C	6 mW/ $^{\circ}$ C
Plastic Package	625 mW
Derate above $T_A = +25^{\circ}$ C	5.0 mW/ $^{\circ}$ C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2211M	Ceramic	-55° C to $+125^{\circ}$ C
XR-2211CN	Ceramic	0° C to $+75^{\circ}$ C
XR-2211CP	Plastic	0° C to $+75^{\circ}$ C
XR-2211N	Ceramic	-40° C to $+85^{\circ}$ C
XR-2211P	Plastic	-40° C to $+85^{\circ}$ C

SYSTEM DESCRIPTION

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier used as a phase detector, and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 2MV RMS are amplified to a constant high level signal. The multiplying-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output, f input + f input ($2f$ input) and f input - f input (0 Hz) when the phase detector output to remove the "sum" frequency component while passing the difference (DC) component to drive the VCO. The VCO is actually a current controlled oscillator with its nominal input current (I_0) set by a resistor (R_0) to ground and its driving current with a resistor (R_1) from the phase detector.

The other sections of the XR-2211 act to: determine if the VCO is driven above or below the center frequency (FSK comparator); produced both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).

XR-2211

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = V^- = 6V$, $T_A = +25^\circ C$, $C = 5000 \text{ pF}$, $R_1 = R_2 = R_3 = R_4 = 20 \text{ k}\Omega$, $R_L = 4.7 \text{ k}\Omega$, Binary Inputs grounded, S_1 and S_2 closed unless otherwise specified.

PARAMETERS	XR-2211/2211M			XR-2211C			UNITS	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL								
Supply Voltage	4.5		20	4.5		20	V	$R_0 \geq 10 \text{ k}\Omega$ See Fig. 4
Supply Current		4	7		5	9	mA	
OSCILLATOR SECTION								
Frequency Accuracy		± 1	± 3		± 1		%	Deviation from $I_0 = 1/R_0 C_0$ $R_1 = \%$ See Fig. 8. $V^+ = 12 \pm 1 \text{ V}$. See Fig. 7. $V^- = 5 \pm 0.5 \text{ V}$. See Fig. 7. $R_0 = 8.2 \text{ k}\Omega$, $C_0 = 400 \text{ pF}$ $R_0 = 2 \text{ M}\Omega$, $C_0 = 50 \text{ }\mu\text{F}$ See Fig. 5. See Fig. 7 and 8.
Frequency Stability								
Temperature		± 20	± 50		± 20		ppm/ $^\circ C$	
Power Supply		0.05	0.5		0.05		%/V	
Upper Frequency Limit	100	0.2			0.2		%/V	
Lowest Practical		300			300		kHz	
Operating Frequency			0.01		0.01		Hz	
Timing Resistor, R_0							k Ω	
Operating Range	5		2000	5		2000	k Ω	
Recommended Range	15		100	15		100	k Ω	
LOOP PHASE DETECTOR SECTION								
Peak Output Current	± 150	± 200	± 300	± 100	± 200	± 300	μA	Measured at Pin 11.
Output Offset Current		± 1			± 2		μA	
Output Impedance		1			1		M Ω	Referenced to Pin 10.
Maximum Swing	± 4	± 5		± 4	± 5		V	
QUADRATURE PHASE DETECTOR								
Measured at Pin 3.								
Peak Output Current	100	150			150		μA	
Output Impedance		1			1		M Ω	
Maximum Swing		11			11		V _{pp}	
INPUT PREAMP SECTION								
Measured at Pin 2.								
Input Impedance		20			20		k Ω	
Input Signal Voltage Required to Cause Limiting		2	10		2		mV _{rms}	
VOLTAGE COMPARATOR SECTIONS								
Input Impedance		2			2		M Ω	Measured at Pins 3 and 8. $R_L = 5.1 \text{ k}\Omega$ $I_C = 3 \text{ mA}$ $V_O = 12 \text{ V}$
Input Bias Current		100			100		nA	
Voltage Gain	55	70		55	70		dB	
Output Voltage Low		300			300		mV	
Output Leakage Current		0.01			0.01		μA	
INTERNAL REFERENCE								
Voltage Level	4.9	5.3	5.7	4.75	5.3	5.85	V	Measured at Pin 10.
Output Impedance		100			100		Ω	

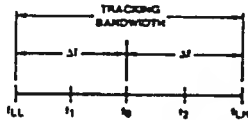
XR-2211

4. Loop Damping, ζ :

$$\zeta = 1/4 \sqrt{\frac{C_0}{C_1}}$$

5. Loop Tracking Bandwidth, $\pm \Delta f / f_0$:

$$\Delta f / f_0 = R_0 / R_1$$



6. FSK Data Filter Time Constant, τF :

$$\tau F = R_F C_F$$

7. Loop Phase Detector Conversion Gain, $K\phi$:

($K\phi$ is the differential dc voltage across Pins 10 and 11, per unit of phase error at phase detector input):

$$K\phi = -2V_R / \pi \text{ volts/radian}$$

8. VCO Conversion Gain, K_0 :

(K_0 is the amount of change in VCO frequency, per unit of dc voltage change at Pin 11):

$$K_0 = -1/V_R C_0 R_1 \text{ Hz/volt}$$

9. Total Loop Gain, K_T :

$$K_T = 2\pi K\phi K_0 = 4/C_0 R_1 \text{ rad/sec/volt}$$

10. Peak Phase Detector Current I_A :

$$I_A = V_R \text{ (volts)}/25 \text{ mA}$$

APPLICATIONS INFORMATION

FSK DECODING:

Figure 9 shows the basic circuit connection for FSK decoding. With reference to Figures 2 and 9, the functions of external components are defined as follows: R_0 and C_0 set the PLL center frequency, R_1 sets the system bandwidth, and C_1 sets the loop filter time constant and the loop damping factor. C_F and R_F form a one-pole post-detection filter for the FSK data output. The resistor R_B (= 510 k Ω) from Pin 7 to Pin 8 introduces positive feedback across the FSK comparator to facilitate rapid transition between output logic states.

Recommended component values for some of the most commonly used FSK bands are given in Table 1.

Design Instructions:

The circuit of Figure 9 can be tailored for any FSK decoding application by the choice of five key circuit components: R_0 , R_1 , C_0 , C_1 and C_F . For a given set of FSK mark and space frequencies, f_1 and f_2 , these parameters can be calculated as follows:

a) Calculate PLL center frequency, f_0 :

$$f_0 = \frac{f_1 + f_2}{2}$$

b) Choose value of timing resistor R_0 , to be in the range of 10 k Ω to 100 k Ω . This choice is arbitrary. The recommended value is $R_0 \cong 20 \text{ k}\Omega$. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X .

c) Calculate value of C_0 from design equation (1) or from Figure 6.

$$C_0 = 1/R_0 f_0$$

d) Calculate R_1 to give a Δf equal to the mark space deviation.

$$R_1 = R_0 [f_0 / (f_1 - f_2)]$$

e) Calculate C_1 to set loop damping. (See design equation no. 4.):

Normally, $\zeta \approx 1/2$ is recommended.

Then: $C_1 = C_0/4$ for $\zeta = 1/2$

f) Calculate Data Filter Capacitance, C_F :

For $R_F = 100 \text{ k}\Omega$, $R_B = 510 \text{ k}\Omega$, the recommended value of C_F is:

$$C_F \approx 3/(\text{Baud Rate}) \mu\text{F}$$

Note: All calculated component values except R_0 can be rounded to the nearest standard value, and R_0 can be varied to fine-tune center frequency, through a series potentiometer, R_X . (See Figure 9.)

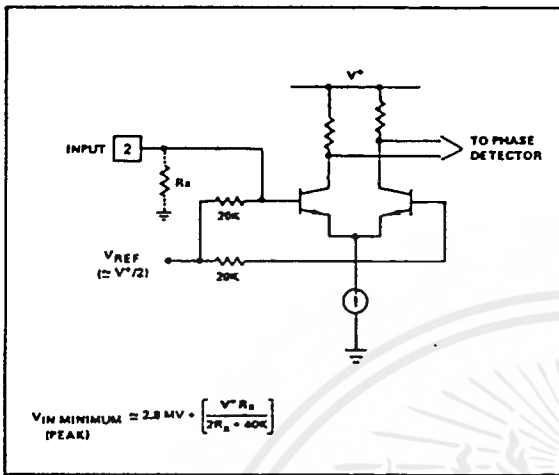


Figure 3: Desensitizing Input Stage

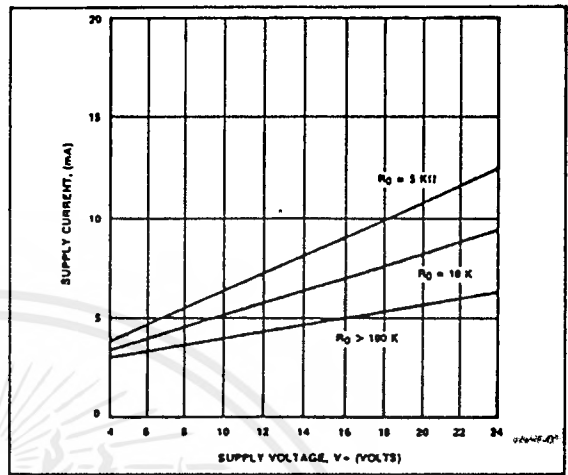


Figure 4: Typical Supply Current vs V^+ (Logic Outputs Open Circuited).

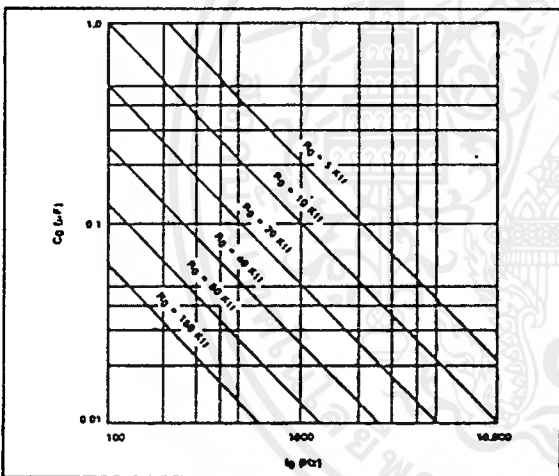


Figure 5: VCO Frequency vs Timing Resistor

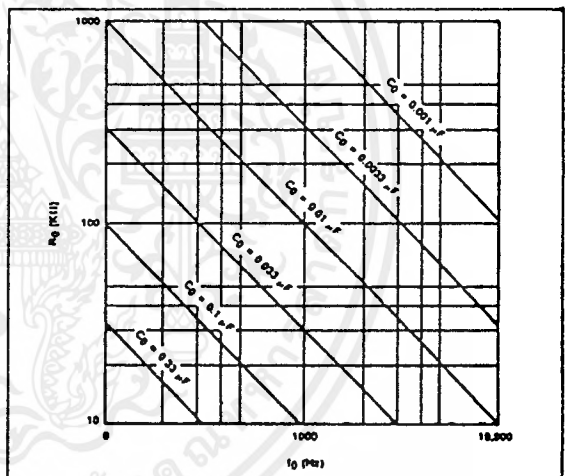


Figure 6: VCO Frequency vs Timing Capacitor

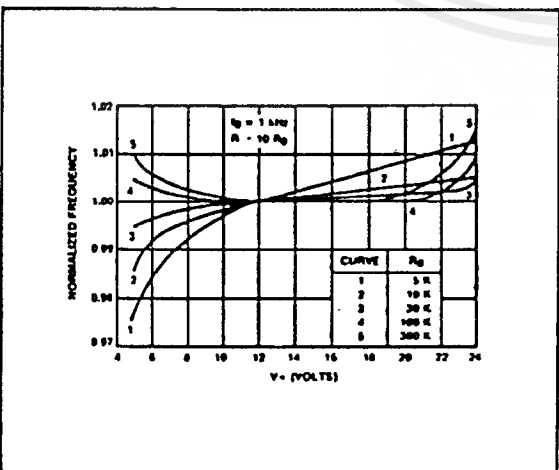


Figure 7: Typical f_0 vs Power Supply Characteristics

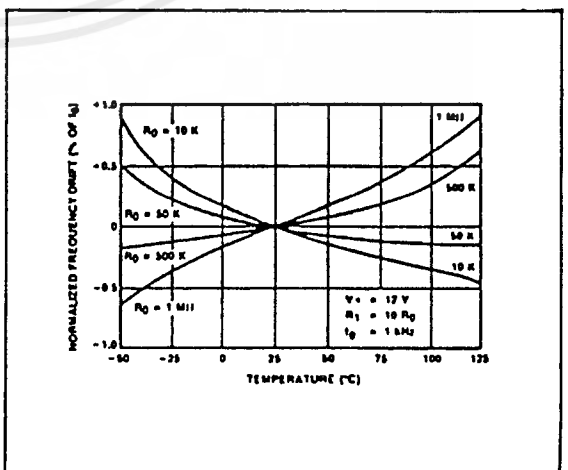


Figure 8: Typical Center Frequency Drift vs Temperature

XR-2211

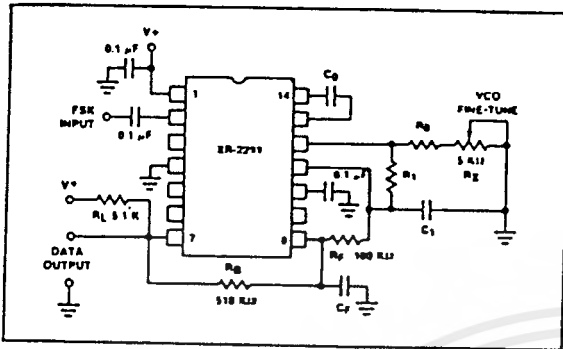


Figure 9: Circuit Connection for FSK Decoding

Design Example:

75 Baud FSK demodulator with mark space frequencies of 1110/1170 Hz:

- Step 1: Calculate f_0 : $f_0 = (1110 + 1170) (1/2) = 1140$ Hz
- Step 2: Choose $R_0 = 20$ KΩ (18 KΩ fixed resistor in series with 5 KΩ potentiometer)
- Step 3: Calculate C_0 from Figure 6: $C_0 = 0.044$ μF
- Step 4: Calculate R_1 : $R_1 = R_0 (2240/60) = 380$ KΩ
- Step 5: Calculate C_1 : $C_1 = C_0/4 = 0.011$ μF

Note: All values except R_0 can be rounded to nearest standard value.

Table 1. Recommended Component Values for Commonly Used FSK Bands.
(See Circuit of Figure 9.)

FSK BAND	COMPONENT VALUES	
300 Baud $f_1 = 1070$ Hz $f_2 = 1270$ Hz	$C_0 = 0.039$ μF $C_1 = 0.01$ μF $R_1 = 100$ KΩ	$C_F = 0.005$ μF $R_0 = 18$ KΩ
300 Baud $f_1 = 2025$ Hz $f_2 = 2225$ Hz	$C_0 = 0.022$ μF $C_1 = 0.0047$ μF $R_1 = 200$ KΩ	$C_F = 0.005$ μF $R_0 = 18$ KΩ
1200 Baud $f_1 = 1200$ Hz $f_2 = 2200$ Hz	$C_0 = 0.027$ μF $C_1 = 0.01$ μF $R_1 = 30$ KΩ	$C_F = 0.0022$ μF $R_0 = 18$ KΩ

FSK DECODING WITH CARRIER DETECT:

The lock detect section of XR-2211 can be used as a carrier detect option, for FSK decoding. The recommended circuit connection for this application is shown in Figure 10. The open collector lock detect output, Pin 6, is shorted to data output (Pin 7). Thus, data output will be disabled at "low" state, until there is a carrier within the detection band of the PLL, and the Pin 6 output goes "high," to enable the data output.

The minimum value of the lock detect filter capacitance C_D is inversely proportional to the capture range, $\pm \Delta f_c$. This is the range of incoming frequencies over which the loop can acquire lock and is always less than the tracking range. It is further limited by C_1 . For most applications, $\Delta f_c > \Delta f/2$. For $R_D = 470$ KΩ, the approximate minimum value of C_D can be determined by:

$$C_D (\mu F) \geq 16/\text{capture range in Hz.}$$

With values of C_D that are too small, chatter can be observed on the lock detect output as an incoming signal frequency approaches the capture bandwidth. Excessively large values of C_D will slow the response time of the lock detect output.

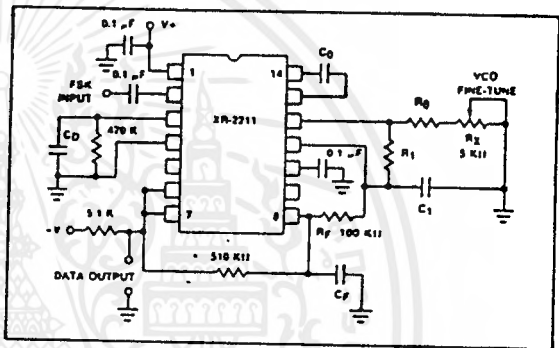


Figure 10: External Connectors for FSK Demodulation with Carrier Detect Capability

Note: Data Output is "Low" When No Carrier is Present.
TONE DETECTION:

Figure 11 shows the generalized circuit connection for tone detection. The logic outputs, Q and \bar{Q} at Pins 5 and 6 are normally at "high" and "low" logic states, respectively. When a tone is present within the detection band of the PLL, the logic state at these outputs become reversed for the duration of the input tone. Each logic output can sink 5 mA of load current.

Both logic outputs at Pins 5 and 6 are open collector type stages, and require external pull-up resistors R_{L1} and R_{L2} , as shown in Figure 11.

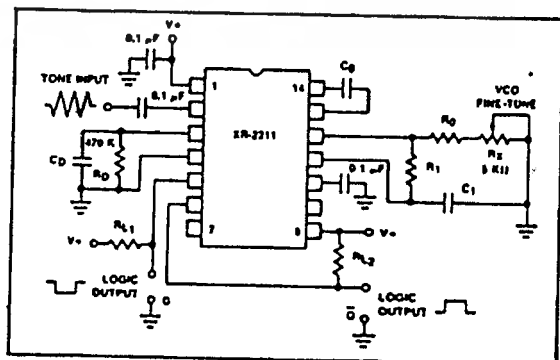


Figure 11: Circuit Connection for Tone Detection.

With reference to Figures 2 and 11, the functions of the external circuit components can be explained as follows: R_0 and C_0 set VCO center frequency; R_1 sets the detection bandwidth; C_1 sets the low pass-loop filter time constant and the loop damping factor. R_{L1} and R_{L2} are the respective pull-up resistors for the Q and \bar{Q} logic outputs.

Design Instructions:

The circuit of Figure 11 can be optimized for any tone detection application by the choice of the 5 key circuit components: R_0 , R_1 , C_0 , C_1 and C_D . For a given input, the tone frequency, f_s , these parameters are calculated as follows:

- Choose R_0 to be in the range of 15 K Ω to 100 K Ω . This choice is arbitrary.
- Calculate C_0 to set center frequency, f_0 equal to f_s (see Figure 6) $C_0 = 1/R_0 f_s$

- Calculate R_1 to set bandwidth $\pm \Delta f$ (see design equation no. 5):

$$R_1 = R_0(f_0/\Delta f)$$

Note: The total detection bandwidth covers the frequency range of $f_0 \pm \Delta f$.

- Calculate value of C_1 for a given loop damping factor,

$$C_1 = C_0/16\zeta^2$$

Normally $\zeta \approx 1/2$ is optimum for most tone detector applications, giving $C_1 = 0.25 C_0$.

Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

- Calculate value of filter capacitor C_D . To avoid chatter at the logic output, with $R_D = 470$ K Ω , C_D must be:

$$C_D(\mu F) \geq (16/\text{capture range in Hz})$$

Increasing C_D slows down the logic output response time.

Design Examples:

Tone detector with a detection band of 1 kHz \pm 20 Hz:

- Choose $R_0 = 20$ K Ω (18 K Ω in series with 5 K Ω potentiometer).
- Choose C_0 for $f_0 = 1$ kHz (from Figure 6) $C_0 = 0.05$ μF .

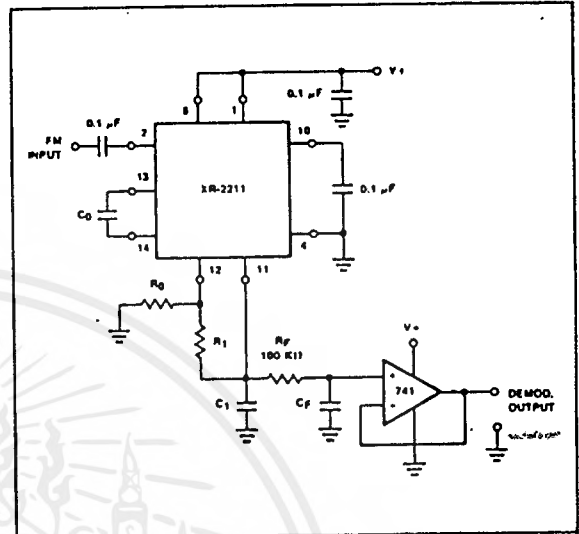


Figure 12: Linear FM Detector Using XR-2211 and an External Op Amp. (See section on Design Equation for Component Values.)

- Calculate R_1 : $R_1 = (R_0) (1000/20) = 1$ M Ω .
- Calculate C_1 : for $\zeta = 1/2$, $C_1 = 0.25$, $C_0 = 0.013$ μF .
- Calculate C_D : $C_D = 16/38 = 0.42$ μF .
- Fine-tune center frequency with 5 K Ω potentiometer, R_X .

LINEAR FM DETECTION:

XR-2211 can be used as a linear FM detector for a wide range of analog communications and telemetry applications. The recommended circuit connection for this application is shown in Figure 12. The demodulated output is taken from the loop phase detector output (Pin 11), through a post-detection filter made up of R_F and C_F , and an external buffer amplifier. This buffer amplifier is necessary because of the high impedance output at Pin 11. Normally, a non-inverting unity gain op amp can be used as a buffer amplifier, as shown in Figure 12.

The FM detector gain, i.e., the output voltage change per unit of FM deviation can be given as:

$$V_{out} = R_1 V_R / 100 R_0 \text{ Volts/\%deviation}$$

where V_R is the Internal reference voltage ($V_R = V+/2 = 650$ mV). For the choice of external components R_1 , R_0 , C_D , C_1 and C_F , see section on design equations.

XR-2211

PRINCIPLES OF OPERATION

Signal Input (Pin 2): Signal is ac coupled to this terminal. The internal impedance at Pin 2 is 20 K Ω . Recommended input signal level is in the range of 10 mV rms to 3 V rms.

Quadrature Phase Detector Output (Pin 3): This is the high impedance output of quadrature phase detector and is internally connected to the input of lock detect voltage comparator. In tone detection applications, Pin 3 is connected to ground through a parallel combination of R_D and C_D (see Figure 2) to eliminate the chatter at lock detect outputs. If the tone detect section is not used, Pin 3 can be left open circuited.

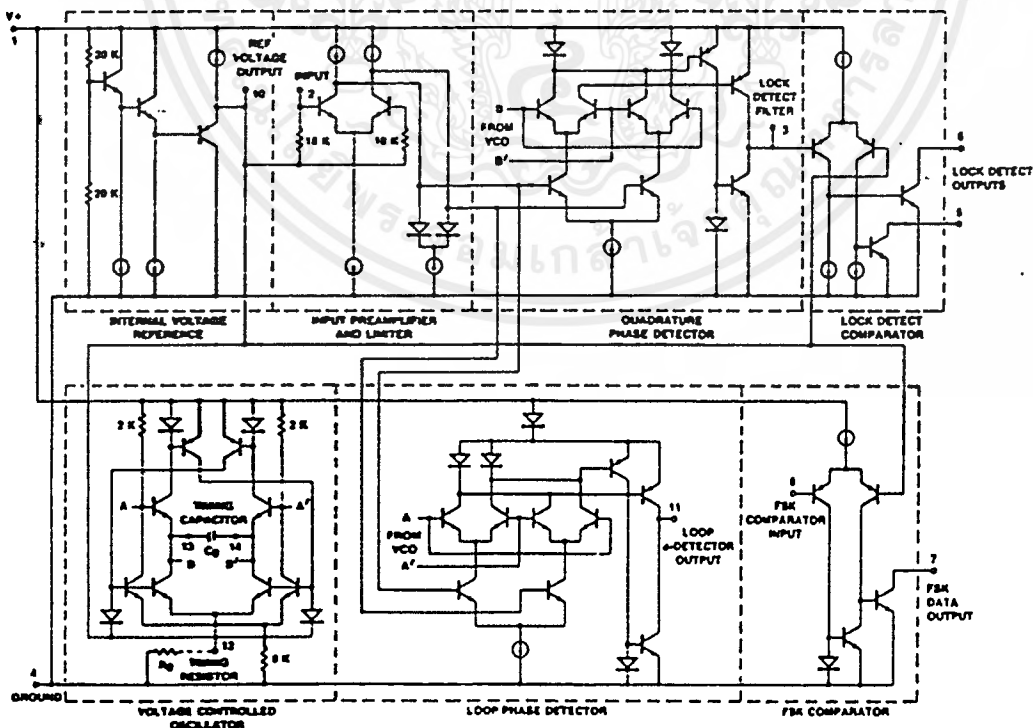
Lock Detect Output, Q (Pin 5): The output at Pin 5 is at "high" state when the PLL is out of lock and goes to "low" or conducting state when the PLL is locked. It is an open collector type output and requires a pull-up resistor, R_L , to $V+$ for proper operation. At "low" state, it can sink up to 5 mA of load current.

Lock Detect Complement, \bar{Q} (Pin 6): The output at Pin 6 is the logic complement of the lock detect output at Pin 5. This output is also an open collector type stage which can sink 5 mA of load current at low or "on" state.

FSK Data Output (Pin 7): This output is an open collector logic stage which requires a pull-up resistor, R_L , to $V+$ for proper operation. It can sink 5 mA of load current. When decoding FSK signals, FSK data output is at "high" or "off" state for low input frequency, and at "low" or "on" state for high input frequency. If no input signal is present, the logic state at Pin 7 is indeterminate.

FSK Comparitor Input (Pin 8): This is the high impedance input to the FSK voltage comparator. Normally, an FSK post-detection or data filter is connected between this terminal and the PLL phase detector output (Pin 11). This data filter is formed by R_F and C_F of Figure 2. The threshold voltage of the comparator is set by the internal reference voltage, V_{REF} , available at Pin 10.

EQUIVALENT SCHEMATIC DIAGRAM



กิตติกรรมประกาศ

ขอกราบขอบพระคุณ อาจารย์ รัตติกร วรากุลศิริพันธุ์ อาจารย์ภาควิชาอิเล็กทรอนิกส์ ซึ่งเป็นอาจารย์ที่ปรึกษาโครงการนี้ ผู้ให้ความช่วยเหลือและคำปรึกษา ตลอดจนคำแนะนำที่ทำให้โครงการนี้สำเร็จได้ด้วยดี

ขอขอบคุณรุ่นพี่ปริญญาโททุกคนที่ให้คำปรึกษา เตรียมเครื่องมือและอุปกรณ์ในการทดลองทำโครงการ และขอบคุณเพื่อนๆทุกคน ที่คอยให้กำลังใจตลอดมา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. ชูชัย ชนสารตั้งเจริญ, “การสื่อสารข้อมูล”, ฟิสิกส์เซ็นเตอร์, 203 หน้า
2. ไกรวุฒิ โรมน์ประเสริฐสุข, “วารสารเซมิกอนดักเตอร์อิเล็กทรอนิกส์”, ฉบับที่ 159, หน้า 30 - 37 ฉบับที่ 160, หน้า 31 - 35, 2539
3. วิบูลย์ ชื่นแจก, “ไมโครโปรเซสเซอร์”, สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ, 361 หน้า, 2532
4. สุชาติ กังวารจิตต์, “หลักการทํางานเครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร”, ซีเอ็ดดูเคชั่น, 386 หน้า, 2521
5. Lance A. Leventhal, “Z80 ASSEMBLY LANGUAGE PROGRAMMING ”
6. ETT, “MICROPROCESSOR DATA BOOK TECHNICAL Z80180”, 121 p., 1988