โลจิกอนาไลเซอร์

LOGIC ANALYZER

โดย

นาย ณัฐพล สุทธินนท์ 37012008

นาย นิวาสน์ บุญหมื่น 37012012

นาย มนต์ชัย แช่มช้อย 37012018

วัน เดือน ปี 30 ก.ค. 2540

เลขทะเบียน 036955

เลขเรียกหนังสือ T 38048 ค.บ. ก

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

036955

หัวข้อปริญญานิพนธ์ โลจิกอนาไลเซอร์

Logic Analyzer

โดย นาย ณัฐพล สุทธินนท์ 37012008

นาย นิวาสน์ บุญหมื่น 37012012

นาย มนต์ชัย แซ่มซ้อย 37012018

อาจารย์ที่ปรึกษา อาจารย์ ไพศาล สิทธิโยภาสกุล

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2538

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของชบวนการศึกษาหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการปริญญานิพนธ์

_____ ประธานกรรมการ

(_____)

_____ กรรมการ

(_____)

_____ กรรมการ

(_____)

_____ กรรมการ

(_____)

_____ กรรมการ

(_____)

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ **โลจิกอนาไลเซอร์**

โดย **นาย ณัฐพล สุทธินนท์ 37012008**
นาย นิวาสน์ บุญหมื่น 37012012
นาย มนต์ชัย แซ่มซ้อย 37012018

อาจารย์ที่ปรึกษา **อาจารย์ ไพศาล สิทธิโยภาสกุล**

บทคัดย่อ

ในปัจจุบันนี้เราจะสามารถสังเกตเห็นได้ว่าอุปกรณ์ประเภทไอซีได้ถูกนำมาใช้ประกอบในวงจรไฟฟ้าและอิเล็กทรอนิกส์มากมายอันเนื่องมาจากขนาดที่เล็กกว่า ประหยัดเนื้อที่ของการประกอบวงจรให้มีขนาดเล็กลงมาก เนื่องจากการลดขนาดของเครื่องมือหรืออุปกรณ์ ซึ่งกลไกต่าง ๆ ได้ถูกแทนที่ด้วยการทำงานของไอซี

ดังนั้นจึงเป็นเหตุผลสำคัญที่ทางกลุ่มโครงงานของเราได้ทำการคิดค้นออกแบบอุปกรณ์ที่สามารถจะตอบสนองต่อการเพิ่มขึ้นของการใช้งานไอซี อันได้แก่อุปกรณ์ที่เรียกว่า "โลจิกอนาไลเซอร์" , เป็นอุปกรณ์ที่ใช้วิเคราะห์วงจรและไอซีทางโลจิก ซึ่งสามารถใช้ตรวจเช็คไอซี ทีทีแอล/ซีมอส (เกท), วิเคราะห์สมการจากโปรแกรมที่อยู่ในไอซี PAL และใช้วัดสัญญาณทางโลจิก (3 สถานะ) ได้ถึง 24 เซลแนล อีกด้วย โดยอาศัยฮาร์ดแวร์ร่วมกันให้มีประโยชน์สูงสุด ส่วนการทำงานที่ต่างกันนั้น ซอฟท์แวร์จะเป็นตัวจัดการ ซึ่งลักษณะต่าง ๆ เหล่านี้ล้วนแต่เป็นประโยชน์ต่อการแก้ไขและปรับปรุง รวมถึงการไล่ตามความเจริญเติบโตของวงการอิเล็กทรอนิกส์ต่อไปในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THESIS **Logic Analyzer**

NAME **Nuttapon Suttinon 37012008**

Nivas Boonmuhn 37012012

Monchai Chamchoy 37012018

ADVISER **Mr. Phaisan Sittiyopassakoon**

Abstract

In the present ; we can found the kind of IC component. It was fitted in the electric and electronic circuits. Because of smaller and save area for fitted circuits. As replaced mechanical with operation of IC.

So that, It is the important reason which we taked to design something to response for increase of operate IC. That is "Logic Analyzer" This tool used for analysis circuit and IC logic which can checked TTL and CMOS IC gate. It can analysed equation from program in IC PAL and used to mesurement logic signal (Low, High and High-Impedance state) more 24 channel with combined hardware for used maximum efficiency. In the differential operation parts, software are operated. Which these characteristic used to correction and improvement, combined with development to electronics in the future.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณ บิดา มารดา ผู้ให้กำเนิด ,อาจารย์ ไพศาล สิทธิโยภาสกุล ซึ่งเป็นอาจารย์ที่ปรึกษา ตลอดจน อาจารย์ทุกท่าน ที่ประสิทธิ์ประสาทวิชาความรู้ให้แก่พวกผมทุกคน อันเป็นผลให้มีวันนี้ และทำให้ปริญญานิพนธ์นี้สำเร็จลงได้ด้วยดี

ขอขอบคุณเพื่อน อันได้แก่ สัมฤทธิ์ เตชะวงศ์ธรรม ช่วยให้คำปรึกษาในการเขียนโปรแกรม และช่วยสแกนรูป , จรัล จำรัสเรืองรอง ที่ช่วยออกแบบลายปรินท์ให้ และ เพื่อน ๆ ทุกคนที่ช่วยเหลือ และให้ยืมของ

ขอบคุณ หนังสือทั้งหลายที่ให้ค้นคว้า ทั้ง Software และ Hardware.

นาย ณัฐพล สุทธินนนท์
นาย นิวาสน์ บุญหมื่น
นาย มนต์ชัย แซ่มซ้อย

คณะผู้จัดทำปริญญานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีที่ใช้ในโครงงาน	2
2.1 PAL	2
2.2 การทำงานของระบบฮาร์ดแวร์	20
2.3 ฮาร์ดแวร์อินพุท/เอาท์พุทสำหรับ IBM PC	30
บทที่ 3 โครงสร้าง การทำงานของฮาร์ดแวร์และซอฟท์แวร์	37
3.1 ฮาร์ดแวร์	37
3.2 ซอฟท์แวร์	43
บทที่ 4 การติดตั้ง และการใช้งาน	55
4.1 การติดตั้ง	55
4.2 การใช้งาน	56
บทที่ 5 สรุปและวิจารณ์	83
เอกสารอ้างอิง	
ภาคผนวก	
ก. วงจรและลายทองแดงของฮาร์ดแวร์	
ข. Data Sheet	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

เนื่องจากในปัจจุบันวงจรหรืออุปกรณ์ประเภทดิจิตอลหรือโลจิก ได้เข้ามามีบทบาทต่อวงการอิเล็กทรอนิกส์และการสื่อสารมาก ดังนั้นจึงจำเป็นที่จะต้องมีอุปกรณ์, เครื่องมือช่วยในการวิเคราะห์วงจร รวมทั้งอุปกรณ์ในทางโลจิก นั่นคือ โลจิกอนาไลเซอร์ , โลจิกอนาไลเซอร์ในโครงงานนี้จะค่อนข้างแตกต่างกับโลจิกอนาไลเซอร์ทั่ว ๆ ไป เนื่องจากว่า มันมิได้ใช้วัดสัญญาณทางโลจิกเพียงอย่างเดียวเท่านั้น แต่มันยังใช้เป็นเครื่องมือตรวจสอบไอซีตระกูล TTL/CMOS ประเภทเกทต่าง ๆ ว่าทำงานได้หรือเสีย และยังเป็นเครื่องอ่านและวิเคราะห์สมการจากโปรแกรมที่อยู่ในไอซี PAL ได้อีกด้วย ซึ่งการทำงานทั้งหมดดังกล่าวนี้เกิดจากความคิดที่จะใช้ประโยชน์จากฮาร์ดแวร์ที่ออกแบบให้เกิดประโยชน์สูงสุด และควบคุมการทำงานในหน้าที่ต่าง ๆ ด้วยซอฟท์แวร์

ดังนั้นจึงสามารถกล่าวถึงการทำงานในหน้าที่ต่าง ๆ ได้ดังนี้

โลจิกอนาไลเซอร์

ตัวของโลจิกอนาไลเซอร์นี้สามารถวัดได้สูงสุด 24 channel และสามารถวิเคราะห์ระดับสัญญาณได้ 3 ระดับคือ โลจิก LOW, HIGH และ HI IMPEDANCE โดยจะแบ่งการแสดงผลออกเป็น 3 ครั้ง ในแต่ละครั้งจะสามารถแสดงผลได้ 8 ช่องสัญญาณซึ่งการแสดงผลทั้ง 3 ครั้งจะใช้ฐานเวลาร่วมกัน เพื่อใช้ในการเปรียบเทียบรูปคลื่นของสัญญาณ

เครื่องอ่านและวิเคราะห์โปรแกรม PAL

เครื่องอ่านและวิเคราะห์โปรแกรม PAL จะเป็นส่วนที่ทำหน้าที่คล้ายกับโลจิกอนาไลเซอร์ โดย PAL ที่ต้องการอ่านนั้นจะต้องเสียบอยู่บนซ็อกเก็ต (test socket) และตัวโปรแกรมจะทำการส่งอินพุทจากค่าต่ำสุดไปจนถึงค่าสูงสุด ซึ่งค่าสูงสุดนี้จะขึ้นออยู่กับจำนวนของอินพุท เมื่อโปรแกรมส่งค่าไปให้กับ PAL หนึ่งครั้ง ก็จะทำการอ่านค่าเอาท์พุทของ PAL มาหนึ่งครั้ง จนกว่าจะครบ หลังจากนั้นโปรแกรมจะนำค่าเอาท์พุทต่าง ๆ ที่ได้นี้ นำมาวิเคราะห์หาสมการทางโลจิก โดยจะสามารถวิเคราะห์หาสมการได้สูงสุด 8 เอาท์พุท

เครื่องทดสอบไอซี TTL/CMOS

สำหรับในส่วนของเครื่องตรวจสอบไอซี TTL/CMOS นั้นก็จะใช้หลักการเดียวกันกับเครื่องอ่านโปรแกรม PAL ซึ่งจะสามารถตรวจสอบได้แต่เฉพาะไอซีโลจิกเกทพื้นฐานเท่านั้น โดยผู้ใช้ต้องป้อนเบอร์ไอซีให้กับโปรแกรม หลังจากนั้น โปรแกรมจะนำเบอร์นี้ไปเปรียบเทียบกับข้อมูลของไอซีเบอร์นั้น ๆ ถ้าผลที่ได้เหมือนกัน ก็แสดงว่าไอซีตัวนั้นสามารถนำมาใช้งานได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีที่ใช้ในโครงงาน

2.1 PAL

แนวความคิดเกี่ยวกับ PAL

PAL เป็นอุปกรณ์ในตระกูลหน่วยความจำสำหรับ นักออกแบบเครื่องมือที่เต็มไปด้วยประสิทธิภาพที่หาที่ติไม่ได้ สำหรับใช้ในการออกแบบวงจร logic ใหม่ ๆ หรือที่มีใช้อยู่แล้ว PAL ช่วยประหยัดเวลาและประหยัดเงินโดยการแก้ปัญหาเกี่ยวกับการแบ่งระบบ และการแก้ปัญหาที่เกิดขึ้นด้วยการเพิ่มเทคโนโลยีของอุปกรณ์สารกึ่งตัวนำเข้าไป

ความเจริญก้าวหน้าด้วยความรวดเร็วในการรวมเอาเทคโนโลยี ซึ่งนำไปสู่ความโตขึ้น และโตขึ้นของฟังก์ชั่นโลจิกมาตรฐาน โดยการนำ IC หลายๆ ตัวมากระทำให้เกิดการ์ดวงจรที่สมบูรณ์ ,ขณะที่ LSI ยังต้องการอุปกรณ์ SSI/MSI เป็นจำนวนมาก สำหรับเชื่อมโยงกับผู้ใช้ระบบ นักออกแบบยังคงใช้การสุ่มโลจิกสำหรับการประยุกต์ใช้งานหลาย ๆ อย่าง

นักออกแบบต้องเผชิญหน้ากับแต่ละปัญหาความยุ่งยากซับซ้อนในการผลิตตั้งแต่ระดับต่ำๆจนถึงระดับกลางๆในการออกแบบ บ่อยครั้งที่ฟังก์ชั่นสามารถบรรยายได้ดีและยังสามารถแสดงที่มาที่มีประโยชน์จากการประดิษฐ์วงจรรวม อย่างไรก็ดีวัฐจักรของการออกแบบสำหรับวงจรที่มีจำหน่ายก็ยังคงยาวนานและมีราคาสูงมาก นี่เป็นการแสดงถึงความเสี่ยงที่เดียวที่จะยับยั้งผู้ใช้ส่วนมาก เทคโนโลยีที่ใช้รองรับการรวมกันอย่างคล่องตัวมากที่สุด ด้วยความเร็วของการหมุนรอบวัฐจักรของโลจิกที่มีจำหน่ายอยู่ ถูกแก้ไขให้ง่ายขึ้นซึ่งหาได้ไม่ง่ายนัก หน่วยความจำแบบถาวรยังช่วยแก้ปัญหาเกี่ยวกับการโปรแกรมด้วย

ตระกูล PAL ในยุคแรกจะใช้ฟิวส์เป็นตัวโปรแกรมโลจิก PAL คือการรวมแนวความคิดของอุปกรณ์ซึ่งรวมเอาความคล่องตัวของโปรแกรมด้วยความเร็วสูงและขยายตัวเลือกของทางเลือกของการเชื่อมต่อระบบ PAL สามารถรายการสิ่งของ,ตัดวัฐจักรของการออกแบบและให้ความยุ่งยากซับซ้อนสูงแต่ให้ความคล่องตัวสูงสุด ลักษณะสำคัญต่างๆเหล่านี้ ได้รวมถึงการลดขนาดของชิ้นงานและให้ความแม่นยำสูง ด้วยความจริงที่ว่าวงจร PAL เป็นเสมือนเพื่อนที่ดีที่สุดของนักออกแบบ

PAL กับการศึกษาเกี่ยวกับ PROM แบบเก่าและศึกษากลวิธีใหม่ๆ

MMI เป็น PROM สมัยใหม่ที่ถูกพัฒนาขึ้นและให้การแนะนำเกี่ยวกับสถาปัตยกรรม และวิธีการต่างๆมากมายซึ่งปัจจุบันถูกยอมรับให้เป็นมาตราฐานของโรงงานอุตสาหกรรม ด้วยการประดิษฐ์ PROM ที่ใหญ่ที่สุดในโลก MMI เป็นเทคโนโลยีที่ทดลองได้ผลแล้ว และมีความสามารถในการผลิตเป็นจำนวนสูงมาก เพื่อความต้องการในการผลิตและลองรับ PAL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PAL เป็นการออกแบบเทคโนโลยีของตัวหลอมได้หรือฟิวส์ซึ่งริเริ่มโดย หน่วยความจำแบบถาวรเพื่อใช้ใน PROM แบบไบโพล่าร์ การเชื่อม PROM แบบหลอมได้เริ่มแรกจะใช้แบบดิจิตอล นักออกแบบใช้แรงไฟเขียนบนซิลิกอน ในเวลาเพียงไม่กี่นาทีก็สามารถแปลง PROM ให้ว่างได้ จากวัตถุประสงค์โดยทั่วไปอุปกรณ์ตัวหนึ่งๆจะประกอบไปด้วยสมการพวกอัลกอริทึม ,ไมโครโปรแกรม หรือ การกระทำทางบูลีน นี่เป็นการสร้างขอบเขตใหม่เพื่อใช้สำหรับ PROM ในการควบคุมการเก็บข้อมูลของคอมพิวเตอร์,การกำหนดตัวอักษร,ตารางการเก็บรักษาข้อมูลและการนำไปประยุกต์ใช้งานอื่นๆ การยอมรับอย่างกว้างขวางของเทคโนโลยีนี้ ได้พิสูจน์ให้เห็นชัดเจนโดยตลาด PROM ทุกวันนี้ด้วยเงินหลายๆล้านเหรียญ

กุญแจสำคัญของผลสำเร็จของ PROM นั่นคือออกแบบให้เร็วและง่ายสำหรับผู้ใช้ซึ่งมีขนาดเล็กลงกับความต้องการเป็นพิเศษ PAL สามารถโปรแกรมความคล่องตัวโดยใช้ประโยชน์จากเทคโนโลยีการประสานกันเพื่อหลอมฟิวส์ด้วยเครื่องมือโลจิก การใช้ PAL ออกแบบสามารถทำได้รวดเร็วและได้ผลเครื่องมือทางโลจิกสามารถเปลี่ยนแปลงความยุ่งยากจากการสุ่มของเกท ของความยุ่งยากทางการกระทำทางคณิตศาสตร์

การ AND และการ OR

PAL เป็นเครื่องมือจำพวกผลรวมของผลคูณโลจิกโดยการใช้การโปรแกรมของกระบวนการ AND โดยที่เอาท์พุทเทอมจะถูกกำหนดด้วยกระบวนการ OR ตั้งแต่รูปแบบของการรวมของผลคูณสามารถแสดงผลเกี่ยวกับการแปลงการกระทำทางบูลีน การใช้ของ PAL จะถูกกำหนดด้วยจำนวนเทอมที่หาได้ง่ายในกระบวนการ AND - OR

PAL เริ่มมีขนาดที่แตกต่างที่ยอมรับเพราะได้ผลในงานทางโลจิก

รูปที่ 2.1.1 แสดงพื้นฐานของ PAL โครงสร้างสำหรับ 2 อินพุท,1 เอาท์พุท เป็นสมการทางโลจิกโดยทั่วๆไปสำหรับส่วนนี้คือ

$$\text{Output} = (i_1+\overline{f}_1)(\overline{i}_1+\overline{f}_2)(i_2+\overline{f}_3)(\overline{i}_2+\overline{f}_4)+$$
$$(i_1+\overline{f}_5)(\overline{i}_1+\overline{f}_6)(i_2+\overline{f}_7)(\overline{i}_2+\overline{f}_8)$$

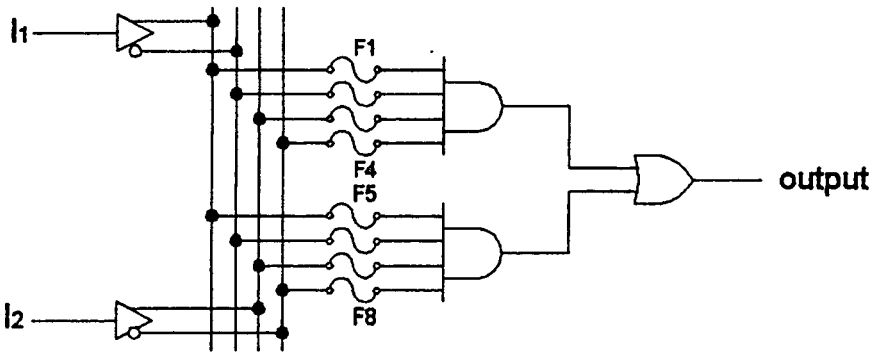
โดยที่ "f" คือตำแหน่งของการต่อเชื่อมของฟิวส์ในกระบวนการ AND ของ PAL การต่อเชื่อมจะไม่ถูกระเบิดถ้าเป็นโลจิก 1 ดังนี้

ฟิวส์ระเบิด , $f = 0$

ฟิวส์สมบูรณ์ , $f = 1$

ถ้าปราศจากการโปรแกรม PAL ฟิวส์ทุกตัวจะคงสมบูรณ์

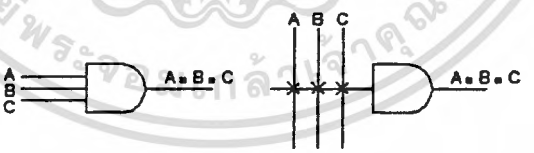
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



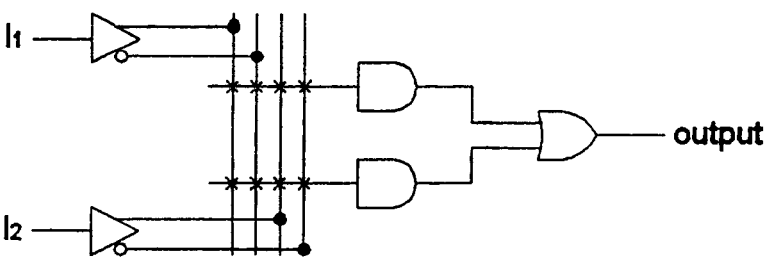
รูปที่ 2.1.1

การให้คำอธิบายเกี่ยวกับ PAL

ขณะที่เครื่องมือให้ความสะดวกสำหรับฟังก์ชั่นเล็กๆ ,ความเร็วกลายเป็นความลำบากในระบบใหญ่ๆ การลดความยุ่งยากที่เป็นไปได้,ความยุ่งยากของระบบโครงข่ายของโลจิกคือการอธิบายทั่วๆไป โดยใช้ โลจิกไดอะแกรม และตารางความจริง รูปที่ 2.1.2 แสดงแบบแผนของโลจิกที่นำมาใช้เก็บโลจิก PAL แบบง่าย ๆ ต่อการเข้าใจและใช้งาน ในรูป x คือการแสดงความสมบูรณ์ของฟิวส์ ในรูปแบบของฟังก์ชั่น AND (อินพุท เทอมบนเส้นร่วมที่ประกอบด้วย x คือการไม่ต่อร่วมกัน) สัญลักษณ์ทางโลจิกดังรูปที่ 2.1.2 ถูกนำมาใช้โดยการรวมวงจรจากโรงงาน เพราะมันถูกสร้างขึ้นมาเพื่อให้เห็นได้ชัดเจน การต่อเชื่อมกันระหว่างจุดต่อจุดระหว่าง IC ที่ถูกออกแบบมาแล้วกับแผนผังของโลจิกหรือโลจิกไดอะแกรม มันสามารถที่จะยอมรับให้โลจิกไดอะแกรม และตารางความจริงรวมอยู่ด้วยเพื่อง่ายต่อการอ่านรูปแบบ, ดังนั้นการบริการด้วยการให้ความสะดวกสำหรับ PAL 2 อินพุท-1 เอาท์พุท ดังแสดงในรูปที่ 2.1.1 สามารถเขียนใหม่ด้วยการรวมวงจรได้ดังรูปที่ 2.1.3



รูปที่ 2.1.2



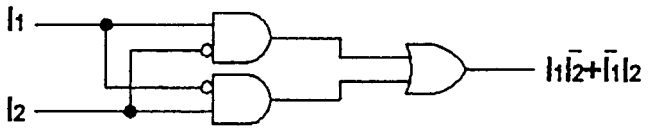
รูปที่ 2.1.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

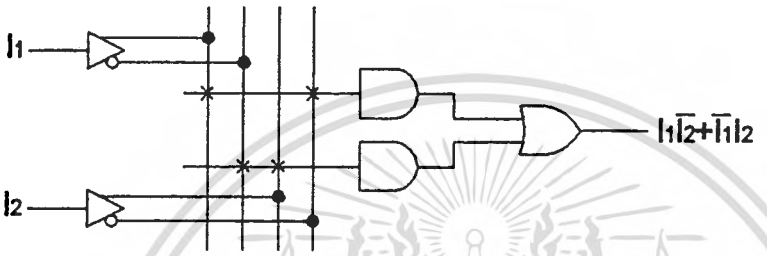
ตัวอย่างอย่างง่ายของ PAL , พิจารณาถึงผลที่เกิดจากการแปลงฟังก์ชั่น

Output = $i_1\bar{i}_2 + \bar{i}_1 i_2$

โดยปกติการรวมกันของโลจิกไดอะแกรมสำหรับ ฟังก์ชั่นนี้คือรูปที่ 2.1.4 ซึ่งแสดงวงจรสมมูลทางโลจิกแสดงดังรูปที่ 2.1.5



รูปที่ 2.1.4



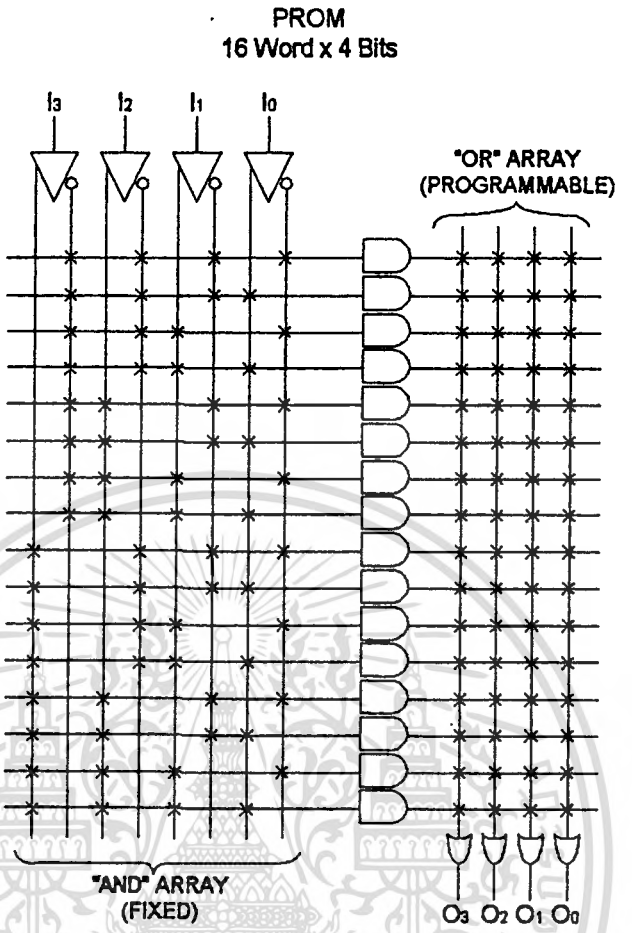
รูปที่ 2.1.5

การใช้การรวมกันของโลจิกในปัจจุบันเป็นไปได้ที่จะเปรียบเทียบ โครงสร้างของ PAL กับโครงสร้างของหลายๆตระกูลของ PROM และ PLA ซึ่งโครงสร้างพื้นฐานทางโลจก ของ PROM ประกอบไปด้วย ขบวนการ AND ซึ่งเอาท์พุทจะถูกป้อนเข้าสู่ระบบของขบวนการ OR ดังรูปที่ 2.1.6 PROM ราคาต่ำ, โปรแกรมง่าย และเหมาะสำหรับใช้เปลี่ยนขนาดและการจัดระบบ โดยธรรมดาส่วนมากนิยมใช้เก็บโปรแกรมคอมพิวเตอร์และ ข้อมูล ในการประยุกต์ใช้งานนี้ได้ระบุอินพุทตามตำแหน่งหน่วยความจำของคอมพิวเตอร์, เอาท์พุทคือตัวบรรจุตำแหน่งหน่วยความจำ

โครงสร้างพื้นฐานทางโลจิกของ PLA ประกอบด้วยการโปรแกรมโดยขบวนการ AND ซึ่งเอาท์พุทได้จากการป้อนข้อมูลผ่านขบวนการ OR ดังรูปที่ 2.1.7 ตั้งแต่ที่นักออกแบบสามารถควบคุมทั้งอินพุทและเอาท์พุทได้อย่างสมบูรณ์, PLA ไม่สามารถที่จะทำการโปรแกรมได้อีก ถูกออกแบบให้ใช้อย่างกว้างขวางในการประยุกต์ใช้งาน อย่างไรก็ดีหลักการสร้าง PLA โดยทั่วๆไปจะแพง, ค่อนข้างจะยากต่อการเข้าใจ และค่าโปรแกรมแพง (ต้องอาศัยนักโปรแกรมที่มีความสามารถเป็นพิเศษ)

โครงสร้างพื้นฐานทางโลจิกของ PAL ประกอบด้วยการโปรแกรมโดยขบวนการ AND ซึ่งเอาท์พุทถูกระบุไว้อย่างแน่นอนด้วยขบวนการ OR ดังรูปที่ 2.1.8 PAL ได้รวมเอาข้อดีของ PLA ด้วยราคาที่ต่ำและการโปรแกรมง่ายของ PROM ตารางที่ 2.1.1 สรุปคุณสมบัติของ PROM ,PLA และ PAL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1.6

	AND	OR	OUTPUT OPTION
PROM	Fixed	Programmable	TS OC
FPLA	Programmable	Programmable	TS OC Fusible Polarity
FPGA	Programmable	None	TS OC Fusible Polarity
FPLS	Programmable	Programmable	TS Registered Feedback, I/O
PAL	Programmable	Fixed	TS Rigistered Feedback, I/O

ตารางที่ 2.1.1

PAL สำหรับงานหลายๆประเภท

สมาชิกของตระกูล PAL และคุณสมบัติ สามารถสรุปได้ดังตารางที่ 2.1.2 ซึ่งถูกออกแบบให้ครอบคลุมการกระทำของโลจิก เพื่อลดราคา และขนาดโปรแกรมสำเร็จรูป นี่คือการยอมรับของการยอมรับของนักออกแบบว่า PAL เหมาะสมที่สุดที่จะนำมาประยุกต์ใช้งาน PAL จึงเข้ามาเป็นองค์ประกอบพื้นฐานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขบวนการสำหรับรับข้อมูล

ขบวนการรับข้อมูลของ PAL เหมาะที่จะใช้กับขนาด 12×10 (12 อินพุท, 10 เอาท์พุท) ถึงขนาด 20×2 โดยที่ทั้งการทำงานเมื่อเป็น high และ low เหมาะสำหรับองค์ประกอบทางเอาท์พุท ดังรูปที่ 2.1.9 นี่คือการเปลี่ยนแปลงที่กว้างขวางสำหรับการจัดรูปแบบ อินพุทและเอาท์พุท ซึ่งยอมให้ PAL แทนที่ซึ่งจะมีขนาดที่แตกต่างกันเมื่อนำมารวมกันให้เป็นชิ้นเดียวกัน

PAL Introduction

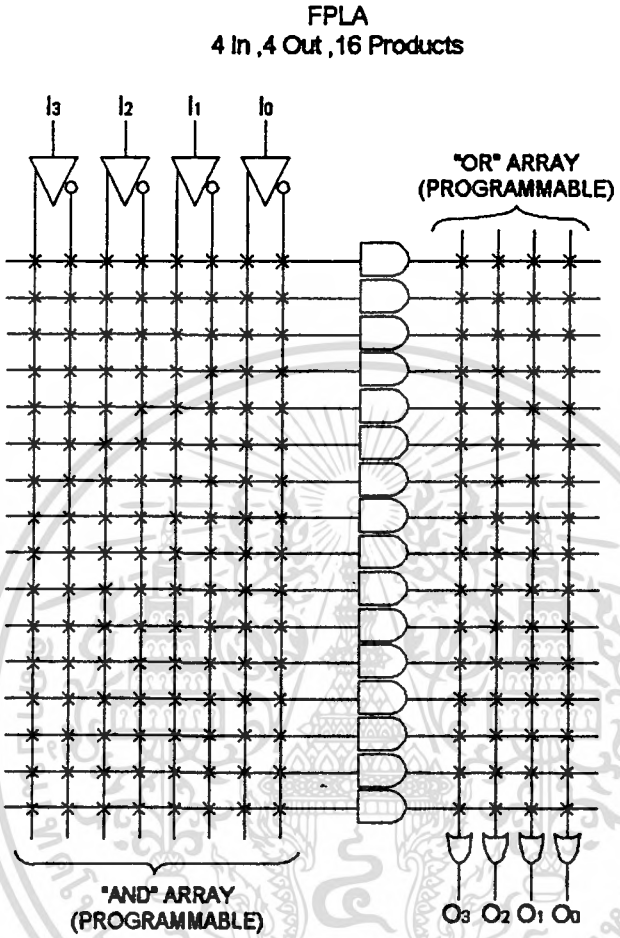
PAL Input / Output / Function / Performance Chart

PART NUMBER	I/P	O/P	PROGRAMMABLE I/O'S	FEEDBACK REGISTER	OUTPUT POLARITY	FUNCTION	PERFORMANCE STD	A	-2	-4
PAL10H8	10	8			AND-OR	AND-OR Gate Array	x			
PAL12H6	12	6			AND-OR	AND-OR Gate Array	x			
PAL14H4	14	4			AND-OR	AND-OR Gate Array	x			
PAL16H2	16	2			AND-OR	AND-OR Gate Array	x			
PAL16C1	16	2			BOTH [1]	AND-OR Gate Array	x			
PAL20C1	20	2			BOTH [1]	AND-OR Gate Array	x			
PAL10L8	10	8			AND-NOR	AND-OR Invert Gate Array	x			
PAL12L6	12	6			AND-NOR	AND-OR Invert Gate Array	x			
PAL14L4	14	4			AND-NOR	AND-OR Invert Gate Array	x			
PAL16L2	16	2			AND-NOR	AND-OR Invert Gate Array	x			
PAL12L10	12	10			AND-NOR	AND-OR Invert Gate Array	x			
PAL14L8	14	8			AND-NOR	AND-OR Invert Gate Array	x			
PAL16L6	16	6			AND-NOR	AND-OR Invert Gate Array	x			
PAL18L4	18	4			AND-NOR	AND-OR Invert Gate Array	x			
PAL20L2	20	2			AND-NOR	AND-OR Invert Gate Array	x			
PAL16L8	10	2	6		AND-NOR	AND-OR Invert Gate Array	x	x	x	x
PAL20L10	12	2	8		AND-NOR	AND-OR Invert Gate Array	x			
PAL16R8	8	8		8	AND-NOR	AND-OR Invert Array w/Reg's	x	x	x	x
PAL16R6	8	6	2	6	AND-NOR	AND-OR Invert Array w/Reg's	x	x	x	x
PAL16R4	8	4	4	4	AND-NOR	AND-OR Invert Array w/Reg's	x	x	x	x
PAL20X10	10	10		10	AND-NOR	AND-OR-XOR Invert w/Reg's	x			
PAL20X8	10	8	2	8	AND-NOR	AND-OR-XOR Invert w/Reg's	x			
PAL20X4	10	4	6	4	AND-NOR	AND-OR-XOR Invert w/Reg's	x			
PAL16X4	8	4	4	4	AND-NOR	AND-OR-XOR Invert w/Reg's	x			
PAL16A4	8	4	4	4	AND-NOR	AND-CARRY-OR-XOR Invert w/reg's	x			

[1] Simultaneous AND-OR and AND-NOR outpu

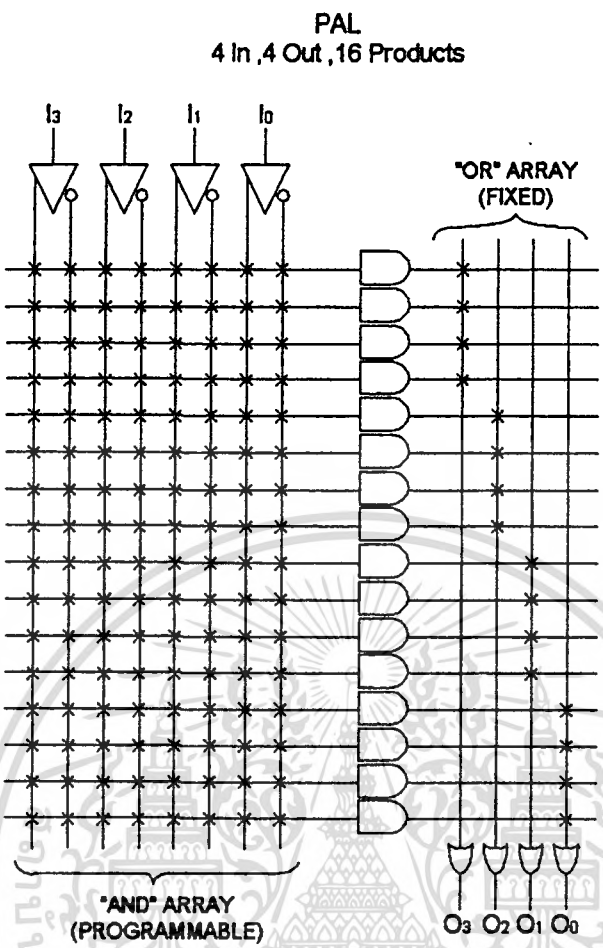
ตารางที่ 2.1.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

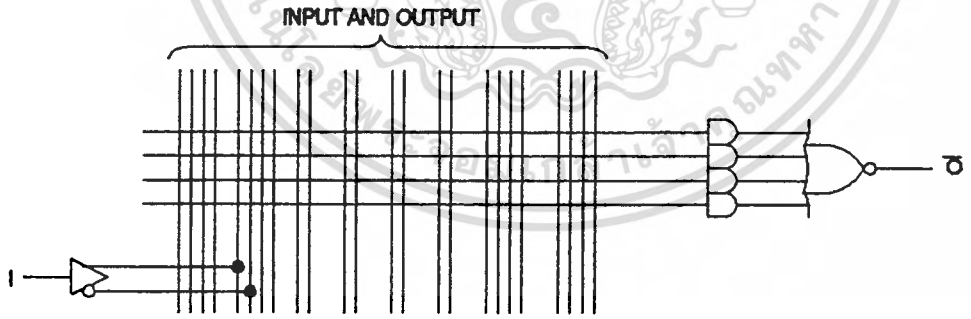


รูปที่ 2.1.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1.8



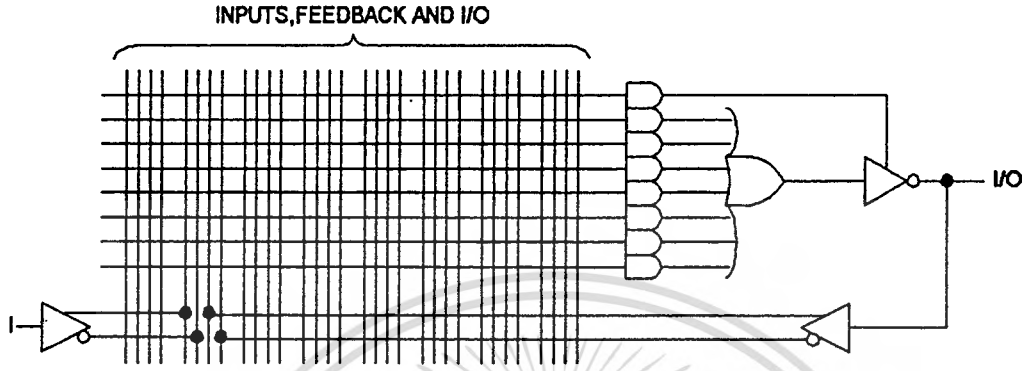
รูปที่ 2.1.9

การโปรแกรม อินพุท / เอาท์พุท

ลักษณะของสมาชิกที่สุดยอดของตระกูล PAL คือการโปรแกรม อินพุท / เอาท์พุท นี่คือการยอมรับเงื่อนไขการผลิตซึ่งควบคุมเอาท์พุทโดยตรงของ PAL ดังแสดงรูปที่ 2.1.10 เงื่อนไขการผลิตอันดับแรกคือกำหนดให้ตัวกั้นหรือ buffer ทำการได้ 3 สภาวะ ซึ่งในการบังคับสวิทช์เงื่อนรวมเข้ากับเอาท์พุท PIN เอาท์พุทจะย้อนกลับไปยังกระบวนการทางอินพุทของ PAL ดังนั้น PAL จะขับอินพุท / เอาท์พุท PIN เมื่อสวิทช์ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สภาวะให้อยู่ในสภาวะที่สามารถต่อเชื่อมได้, อินพุท / เอาท์พุท PIN คืออินพุทของขบวนการของ PAL และเมื่อสวิทช์ 3 สภาวะให้อยู่ในสภาวะที่ไม่สามารถที่จะต่อเชื่อมได้ ลักษณะนี้สามารถใช้ PIN สำหรับจัดเตรียมเนื้อที่สำหรับใช้ในการประมวลผลของฟังก์ชั่น อินพุท / เอาท์พุท หรือกำหนดเอาท์พุท PIN ที่สามารถติดต่อโดยตรงได้ 2 ทาง สำหรับทำงาน เช่น การเลื่อนหรือการหมุน ข้อความแบบอนุกรม

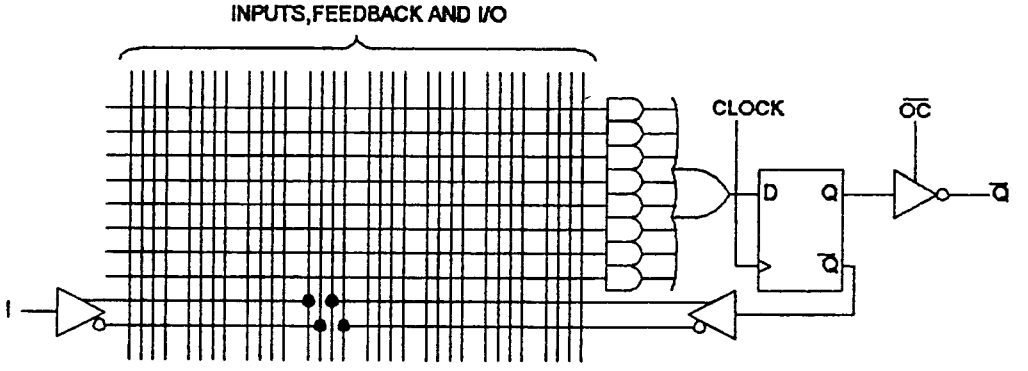


รูปที่ 2.1.10

หน่วยความจำย่อยทางเอาท์พุทกับการป้อนกลับ

ลักษณะอื่นของความสุดยอดของตระกูล PAL คือข้อมูลในหน่วยความจำย่อยที่เอาท์พุทกับการป้อนกลับของหน่วยความจำย่อย แต่ละเงื่อนไขการผลิตจะเก็บค่าไว้ในฟลิปฟลอปชนิด D ในช่วงขอบขาขึ้นของระบบนาฬิกา ดังรูปที่ 2.1.11 เอาท์พุท Q ของฟลิปฟลอปผ่านสวิทช์ไปยังเอาท์พุท PIN โดยสามารถเชื่อมต่อโดยการทำงานเมื่อเป็น low ของตัวกั้นหรือ buffer 3 สภาวะ

รวมไปถึงความเหมาะสมในการส่งข้อมูล เอาท์พุท Q จะถูกส่งกลับไปยังขบวนการของทางอินพุทของ PAL การป้อนกลับนี้ทำให้ PAL จดจำสภาวะก่อนหน้า และยังสามารถดัดแปลงฟังก์ชั่นพื้นฐานบนสภาวะนั้นได้ การยินยอมดังกล่าวทำให้นักออกแบบสามารถเลือกใช้อุปกรณ์ต่างๆเพื่อสนับสนุนการทำงานของระบบคอมพิวเตอร์ ด้วยการเรียงลำดับสภาวะ ซึ่งสามารถโปรแกรมให้ได้ผลสำเร็จ เช่น การกระทำพื้นฐาน, การนับขึ้น, การนับลง, การนับข้าม, การเลื่อน และการแยกไปทำงานตามที่โปรแกรมกำหนดไว้ การกระทำดังกล่าวสามารถทำให้เป็นผลสำเร็จได้โดยหน่วยความจำย่อยของ PAL ด้วยอัตราสูงขึ้นถึง 20 MHz

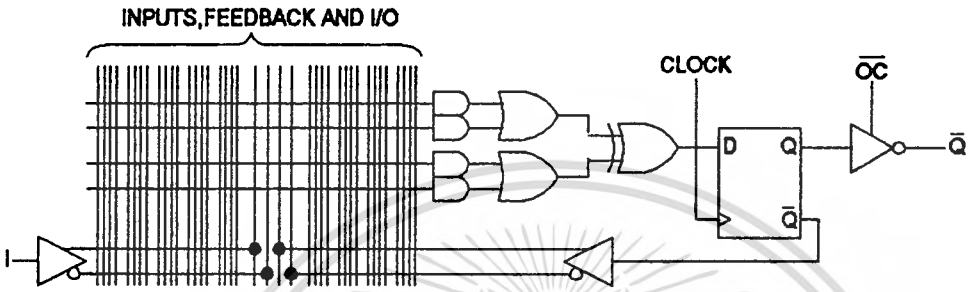


รูปที่ 2.1.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขบวนการ OR แบบพิเศษของ PAL

XOR PAL ชนิดนี้มีลักษณะการกระทำการ OR แบบพิเศษ เป็นการรวมของผลคูณเป็นส่วนหนึ่งในการรวมกัน 2 ครั้ง ซึ่ง XOR ที่อินพุทของฟลิปฟลอปชนิด D ดังรูปที่ 2.1.12 ลักษณะทั้งหมดของการหน่วยความจำของ PAL คือการรวมใน XOR PAL การกระทำ XOR กำหนดอุปกรณ์ง่ายๆ ซึ่งการทำงานใช้ในการนับและการจัดเรียงลำดับอื่นๆ

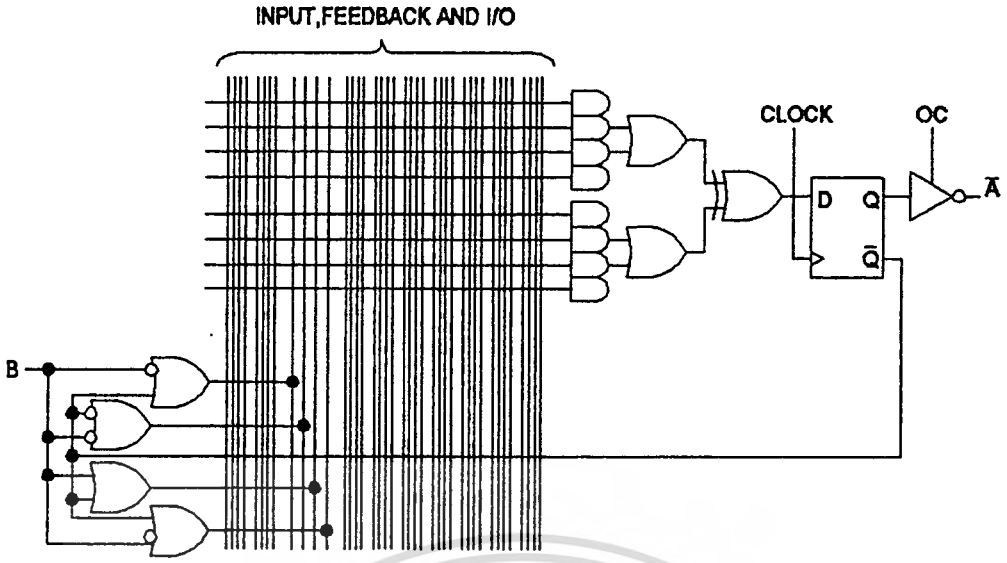


รูปที่ 2.1.12

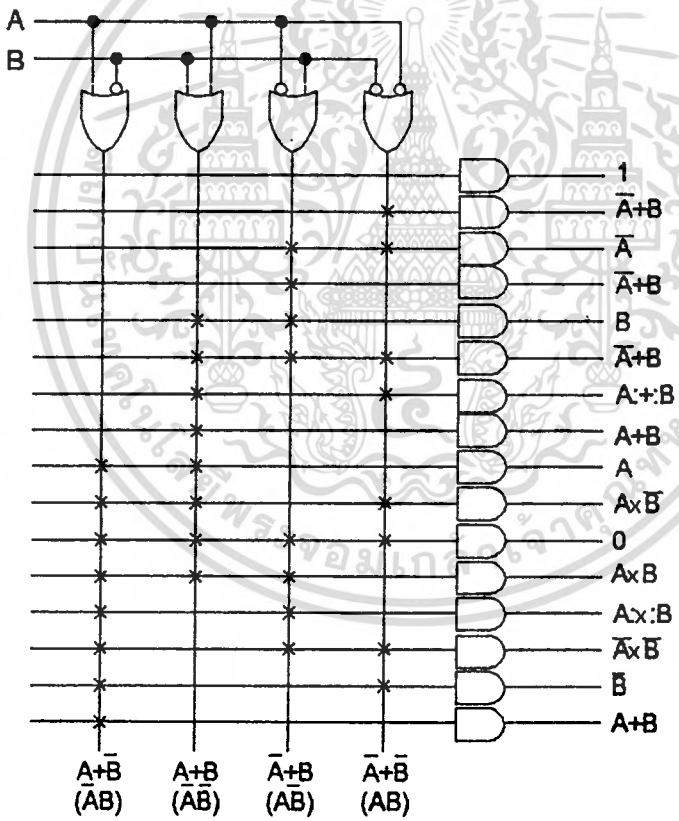
การป้อนกลับเกี่ยวกับการเลขคณิต ของวงจรตรรก

การกระทำทางคณิตศาสตร์ (+,-,>,<) สามารถทำให้เกิดผลโดยการรวมกันของการป้อนกลับของวงจรตรรกในลักษณะของ XOR PAL ที่อินพุทของฟลิปฟลอปชนิด D ยอมผลักดันให้การทำงานในสภาวะก่อนของ XOR ด้วยการรวมการเปลี่ยนแปลง 2 ส่วน ผลิตโดยกระบวนการของ PAL เอาท์พุท Q ของฟลิปฟลอปที่ป้อนกลับไปยังเกทพื้นฐานโดยอินพุทของเงื่อนไข A ดังรูปที่ 2.1.13 วงจรเกทพื้นฐานนี้ได้จากกรรมวิธีการลดรูปโดยอาศัยกรรมวิธีการลดรูปแบบคาร์นอร์ (Karnaugh Map) ดังรูปที่ 2.1.15 รูปที่ 2.1.14 แสดงขบวนการของ PAL ที่สามารถโปรแกรมได้ 16 วิธีการปฏิบัติการ การกำหนดลักษณะนี้เพื่อประโยชน์ในการทำงานหลายๆอย่างของการกระทำ 2 ตัวแปร และทำให้สะดวกต่อการเปรียบเทียบที่จำเป็นเพื่อให้การทำงานทางคณิตศาสตร์เร็วขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1.13



รูปที่ 2.1.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(A+B̄),(A+B) \ (Ā+B),(Ā+B̄)	--	-X	XX	X-
--	1	Ā+B̄	Ā	Ā+B
-X	A+B	A⊕B	Ā•B	B
XX	A	A•B̄	0	A•B
X-	A+B̄	B̄	Ā•B̄	A⊕B

รูปที่ 2.1.15

มันทำให้เราเข้าใจอย่างชัดเจนว่า PAL สามารถแทนที่ระบบ SSI หรือ Small-Scale Intergrated ที่ใช้กันอยู่ทุกวันนี้ ดังนั้นต้นทุนการผลิตซึ่งต่ำลงและให้ความคล่องตัวสูงขึ้นในการทำงานของเครื่องมือทางโลจิก

การโปรแกรม PAL

PAL สามารถโปรแกรมโดยนักโปรแกรม PROM โดยทั่วไปร่วมด้วยผู้ใช้โปรแกรม PAL PAL เกิดขึ้นจากนักโปรแกรม PROM ระหว่างการโปรแกรมครั้งหนึ่งของเอาท์พุท PAL ถูกเลือกสำหรับโปรแกรม ในขณะที่เอาท์พุทอื่นๆและอินพุทใช้สำหรับอ้างตำแหน่ง เอาท์พุทเป็นสวิทช์สำหรับเลือกตำแหน่งอื่นๆการพิจารณาใช้วิธีเดียวกับการโปรแกรมในสภาวะต่ำๆ

PALASM (PAL Assembler)

PALASM คือการโปรแกรมอำนวยความสะดวกใช้แสดงความหมาย,จำลอง,สร้าง และทดสอบ PAL PALASM จะรับเอารายละเอียดของการออกแบบ PAL ด้วยอินพุทไฟล์ มันจะพิสูจน์ด้วยการออกแบบให้กระทำตามตารางอีกหนและบ่งบอกตำแหน่งของฟิวส์ ซึ่งจะใช้ในการโปรแกรม PAL PALASM มีประโยชน์ในโอกาสที่มีการร้องขอของรหัสหลายๆแหล่งกำเนิดและเอกสารของแนวความคิดในการออกแบบ PAL

HAL (Hard Array Logic)

ในตระกูล HAL คือการระบุรุ่นของโปรแกรม PAL HAL เป็นของ PAL เช่นเดียวกับที่ ROM เป็นของ PROM มาตราฐานของแผ่นซิลิกอนบางๆที่ใช้สร้างไอซีที่ประดิษฐ์โดยเครื่องจักรครอบอยู่ 6 ชั้น ชั้นที่เป็นโลหะทำขึ้นจากอะลูมิเนียมผสมสำหรับ HAL แทนที่ของการโปรแกรมด้วยกระบวนการฟิวส์ที่ใช้ใน PAL

HAL คือการแก้ปัญหาของผลกระทบทางราคา ซึ่งมีจำนวนมากและเป็นเครื่องที่ผลิตมาเป็นต้นแบบเพียงเครื่องเดียวที่ประกอบด้วยกระบวนการของเกท

HMSI (HAL Medium Scale Integration) ตระกูล HMSI เกิดมาจาก PAL ที่ใช้เทคโนโลยีของ HAL อุปกรณ์นี้สามารถปฏิบัติงานได้การคาดคะเนกรือกะไว้ว่าจะต้องเป็นไปได้ ซึ่งหาไม่ๆด้ง่ายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตระกูล TTL ที่มีอยู่เพราะพวกมันถูกผลิตมาในปริมาณจำกัด ผู้ใช้จะได้รับประโยชน์คุ้มค่า การออกแบบ HMSI PAL เป็นการประยุกต์ใช้งานกับ IC เบอร์ 74LS

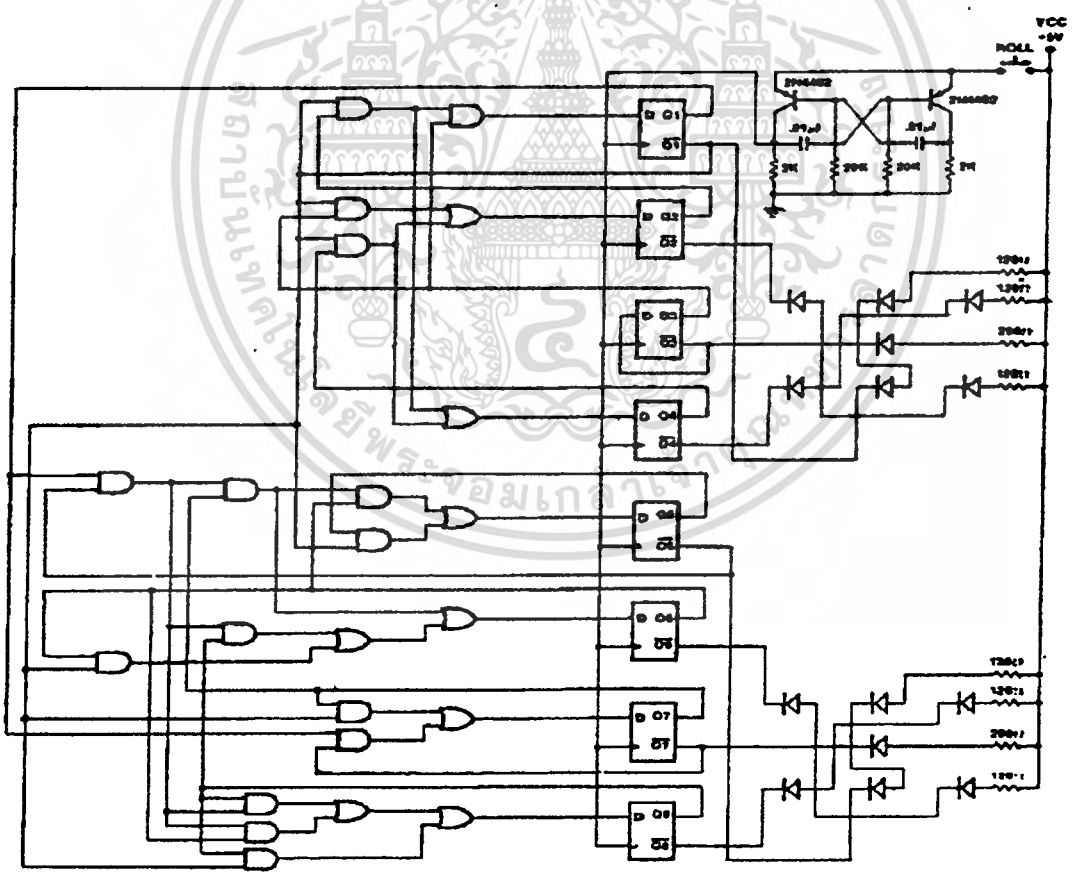
เทคโนโลยีของ PAL

อุตสาหกรรมของ PAL ใช้การพิสูจน์ของ TTL Schottky Bipolar ของการระเบิดฟิวส์ชนิด Ti-W เพื่อสร้างเส้นที่จะถูกหลอมหรือระเบิดใน PROM รูปแบบของ emitter follower ชนิด NPN ในการโปรแกรมด้วยกระบวนการ AND ที่อินพุทของชนิด PNP มีความต้านทานทางด้านเอาท์พุทสูง (สูงสุด 0.25 mA) เอาท์พุทโดยทั้งหมดของ TTL มาตราฐานประกอบด้วยการพูลอัพด้วยตัวต้านทานภายใน

PAL แบบที่มีใช้กันแพร่หลายมีการหน่วงเวลา 20 nS และ PAL ทั้งหมดมีขนาด 20 ขาและ 24 ขา

ข้อมูลความลับของ PAL

วงจรที่ถูกใช้ในการโปรแกรมและโลจิกที่ใช้ตรวจสอบความจริงบางครั้งสามารถใช้การกำหนดโดยการเก็บค่าของแบบแผนของโลจิกในกระบวนการ PAL สำหรับความลับ PAL มีฟิวส์ตัวสุดท้ายซึ่งสามารถขยายการทำให้ไม่สามารถตรวจสอบโลจิกได้นี้คือความสำคัญในการถ่วงความก้าวหน้าของผู้เรียนแบบและมันสามารถป้องกันได้อย่างได้ผลของลิขสิทธิ์การออกแบบ



รูปที่ 2.1.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแบ่งแต่ละส่วนของเบอร์ PAL

แต่ละส่วนของเบอร์ PAL จะถูกระบุในส่วนที่เป็นรหัสของเบอร์ ซึ่งจะแสดงความหมายของการทำงานของโลจิก ระบบของรหัสของ PAL ถูกแสดงดังรูปที่ 2.1.17 ตัวอย่างเช่น PAL เบอร์ PAL14LSCN จะมี 14 อินพุท, 4 เอาท์พุท, ทำงานเมื่อเป็น low,บอกอัตราอุณหภูมิ,ขนาด 20 ขา, ทำจากพลาสติก

ตัวอย่าง PAL เบอร์ PAL14L4-2CJ883BPO1234

PAL : บอกกระบวนการหลักว่าเป็นโลจิกตระกูลใด

14 : บอกกระบวนการทางอินพุท

L : ชนิดของเอาท์พุท

L = ทำงานเมื่อเป็น low

C = ส่วนประกอบให้สมบูรณ์

X = ตัวที่เก็บข้อมูลแบบ OR แบบพิเศษ

A = ตัวเก็บข้อมูลแบบคณิตศาสตร์

4 : จำนวนของเอาท์พุท

-2 : ความเร็ว/กำลัง

A = ความเร็วสูง

-2 = ให้กำลังครึ่งหนึ่ง

-4 = ให้กำลัง 1/4 ของกำลัง

C : อัตราของอุณหภูมิ

C = 0 ถึง 75 องศา

M = -55 ถึง 125 องศา

J : รูปแบบของตัวไอซี

N = ชนิดพลาสติก

J = ชนิดเซรามิค

F = ชนิดที่มีลักษณะแบน

883B : กระบวนการ Hi-Rel ที่มีให้เลือก

883B MIL-STD-883

METHOD 5004 & 5005 LEVEL B

883C MIL-STD-883

METHOD 5004 & 5005 LEVEL C

B = MIL-STD-883

METHOD 5004 EQUIVALENT

C = MIL-STD-883

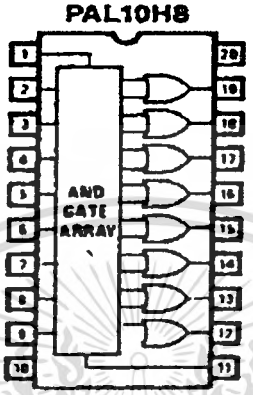
METHOD 5004 EQUIVALENT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PO1234 : จำนวนรูปแบบของบิท

สัญลักษณ์ของโลจิก PAL

สัญลักษณ์ของแต่ละชนิดของอุปกรณ์ PAL เป็นการบรรยายการทำงานแบบกระทัดรัดของ PAL สัญลักษณ์สร้างความสะดวกในการเลือกใช้ PAL ที่ดีที่สุด ระบุข้อมูลในการประยุกต์ใช้งาน ดังรูปที่ 2.1.17 แสดงให้เห็นสัญลักษณ์ของ PAL 10H8 พร้อมกระบวนการของวงจรเกท



รูปที่ 2.1.17

ตัวอย่างของ PAL

ตัวอย่างของ PAL ที่สามารถออกแบบให้มีราคาถูกและง่ายต่อการออกแบบโลจิก ง่ายต่อการพิจารณารูปแบบ,ผลิตมาเป็นจำนวนมาก ได้แก่เกมส์ลูกเต๋าอิเล็กทรอนิกส์ การผลิตแบบนี้จะผลิตเป็นจำนวนมากที่สุด ดังนั้นมันจึงเป็นสิ่งสำคัญที่เป็นไปได้ที่จะทำให้ราคาต่ำที่สุด

เกมลูกเต๋าอิเล็กทรอนิกส์ใช้หลักการง่ายของการวิ่งอย่างอิสระของความถี่ ซึ่งเอาท์พุทใช้กระตุ้นวงจรนับ 6 แบบอะซิงโครนัส เมื่อผู้ใช้กดปุ่มเริ่มเกมลูกเต๋า สถานะของกระแสพอการนับจะถอดรหัสและเก็บข้อมูลในการแสดงคล้ายคลึงกับรูปแบบลูกเต๋าคู่หนึ่งธรรมดาๆ

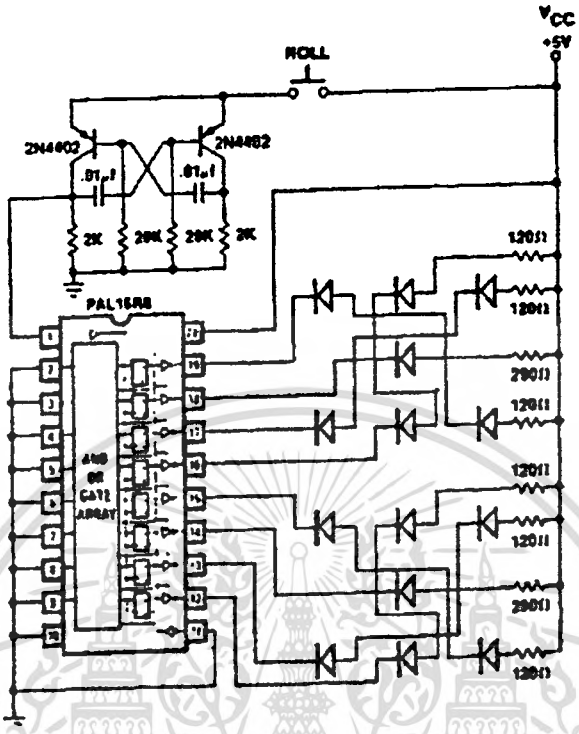
แผนภาพของวงจรโลจิกที่นิยมของเกมส์ลูกเต๋าแสดงไว้ในรูปที่ 2.1.16 มันคืออุปกรณ์ที่ใช้มาตรฐานของส่วนที่เป็น TTL,SSI และ MSI ด้วยการรวมไอซีนับ 8 ซึ่งประกอบด้วยเกทพื้นฐานจำนวน 24 ตัวและตัวเก็บข้อมูลแบบ D ฟลิปฟลอปอีก 8 ตัว ซึ่งดูเหมือนว่าจะสวยและเป็นการออกแบบที่ชัดเจนถูกไหม แต่ผิด

PAL สู่สถานการพหนัน

ตัวอย่างที่สรุปโดยกระทัดรัดดังรูปที่ 2.1.16 แสดงให้เห็นพื้นฐานของความจริง 2 ประการแรกคือวงจรเกือบเป็นชิ้นเดียว ประการที่ 2 มันใช้สัญญานนาฬิกาเป็นการเปลี่ยนแปลงการเรียงลำดับการจดจำของตระกูล PAL ประกอบด้วยข้อกำหนดมากมายสำหรับลักษณะนี้ ข้อมูลรายละเอียดของโลจิกทั้งหมดของวงจรที่สามารถโปรแกรมใน PAL ดังแสดงในรูปที่ 2.1.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในตัวอย่างนี้ PAL ถูกสร้างเป็นอุปกรณ์นับถอยหลังจาก 8 ถึง 1 และสิ่งสำคัญคือการประหยัดค่าใช้จ่าย นี้คือแบบอย่างของกำลังงานและผลกระทบต่อราคา นั่นคือตระกูล PAL นำไปสู่การออกแบบทางโลจิก



รูปที่ 2.1.18

ข้อได้เปรียบของการใช้ PAL

PAL มีลักษณะเฉพาะอย่างในโลกของการออกแบบโลจิก ไม่เท่านั้นมันยังมีข้อได้เปรียบมากมายเหนือกว่าการใช้โลจิกโดยทั่วไป ด้วยลักษณะมากมายที่ไม่สามารถพบที่ใดอีกของตระกูล PAL

- ใช้การโปรแกรมแทนที่โลจิกของ TTL ทั่วๆไป
- ลดความสำคัญของไอซีและง่ายต่อการควบคุม
- ลดไอซีของวงจรนับให้น้อยที่สุดคือ 4 ถึง 1
- ความสะดวกและปราศจากสิ่งขัดขวางของเครื่องต้นแบบและโครงการ
- ขนาดของรูปร่างไอซีจะบางและมีขนาด 24 ขาและ 20 ขา
- ความเร็วสูง , ขนาดช่วงหน่วงเวลาที่ใช้กันแพร่หลายคือขนาด 20 nS
- โปรแกรมตามมาตราฐานของ PROM
- โปรแกรมเอาท์พุท 3 สถานะ
- ลักษณะพิเศษที่สามารถที่นำออกมาได้โดยการลอกเลียนแบบของคู่แข่ง

ลักษณะทั้งหมดเหล่านี้รวมกันอยู่ในการพัฒนาการผลิตให้ต่ำลง และเพิ่มผลกระทบทางราคาของการผลิต ซึ่งเป็นวิธีการประหยัดเงินของ PAL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแทนที่โลจิกโดยตรง

ทั้งใหม่และที่มีอยู่แล้วของการออกแบบ PAL สามารถใช้แทนการกระทำทางตรรกหลายๆวงจรได้ นี่คือการยอมให้นักออกแบบมองวงจรในแง่ดีในหลายๆวิธีที่ไม่เคยทำมาก่อนที่จะเป็นไปได้ PAL เป็นผลกระทบในกรณีพิเศษเมื่อใช้กำหนดเมื่อต้องการเชื่อมต่อโดยอาศัยการกระทำหลายๆวิธีของ LSI ข้อเสียเปรียบของ PAL ถูกรวมด้วยความหนาแน่นของการกระทำ LSI ทำให้เกิดพลังงานในการรวมกัน

การเปลี่ยนแปลงของ PAL

PALเสนอให้ระบบการออกแบบของโลจิกขณะที่โลกใหม่ของทางเลือกจนกระทั่งปัจจุบัน การตกลงใจบนระบบเครื่องมือทางโลจิกโดยธรรมดาระหว่างการกระทำของ SSI / MSI บนมือหนึ่งและไมโครโปรเซสเซอร์ของอันอื่นๆ ในการกระทำหลายๆกรณีอาจจะเชื่องช้าเกินไปของการตอบสนองต่อวิธีแรก และง่ายเกินไปต่อการสนับสนุนวิธีที่ 2 ขณะที่ PAL ที่ถูกนำเสนอต่อนักออกแบบจะมีความหนาแน่นของการกระทำสูง, ความเร็วสูง และราคาต่ำ ถึงแม้ว่าจะดีกว่า, PAL เริ่มนิยมที่จะเปลี่ยนแปลงขนาดและการกระทำ ด้วยเหตุนี้เป็นการส่งเสริมให้ทางเลือกของนักออกแบบเพิ่มขึ้น

การกระทำต่อพื้นที่ว่าง

โดยการยอมให้นักออกแบบแทนที่การกระทำของโลจิกง่ายๆหลายๆอย่างด้วยไอซีตัวเดียว PAL กระทัดรัดกว่าแผนงานของบอร์ด PC ขนาดของ PAL ขนาด 20 ขามีขนาดบางช่วยในการลดขนาดของพื้นที่ของบอร์ด ในขณะที่การออกแบบบอร์ดจะง่ายลงรวมถึงการประดิษฐ์ที่ได้จากเครื่องจักร นี่หมายความว่าการ์ดหลายๆชนิดสามารถลดให้เหลือ 1 หรือ 2 การ์ดได้ และนั่นคือการสร้างความแตกต่างระหว่างผลสำเร็จทางกำไร และความสูญเสียที่เกิดจากความแพง

รายการอุปกรณ์ที่น้อยกว่า

ตระกูล PAL การทำงานใช้แทนที่ขึ้นถึง 90% ของการรวมเอาตระกูล TTL เพียง 25 ส่วน การลดลงอย่างมากมายนี้ทั้งอุปกรณ์ที่ใช้ทำ และต้องการรายการสิ่งของ ถึงแม้ว่าจะดีกว่า, การปรับปรุงเพียงเล็กน้อยเพื่อการกระทำให้เป็นมาตราฐานซึ่งง่ายต่อผู้ใช้ที่ PAL แต่ไม่ง่ายต่อมาตราฐานของผู้ใช้ TTL

ความเร็วสูง

ตระกูล PAL การทำงานของโปรแกรมเร็วกว่าหรือเท่าๆกับ วงจรโลจิกไบโพล่าร์ที่ดีที่สุด นี่ทำให้ทางเลือกทางการทำงานทางโลจิกมีมากที่สุด หรือควบคุมผลที่ตามมา ซึ่งต้องการความซับซ้อนขนาดกลางและความเร็วสูง ด้วยในระบบไมโครโปรเซสเซอร์หลายๆระบบ PAL สามารถความเร็วสูงของข้อมูลต่อเชื่อม นั่นคือจะใช้ไม่ได้ผลกับไมโครโปรเซสเซอร์ตัวเดียว นี่สามารถใช้สำหรับขยายความสามารถของราคาต่ำ,ความเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่ำของไมโครโปรเซสเซอร์แบบ NMOS ออกไปยังบริเวณความต้องการของไมโครโปรเซสเซอร์แบบไบโพล่าร์ที่มีราคาสูงแบบก่อน

ความง่ายต่อการโปรแกรม

สมาชิกของตระกูล PAL สามารถโปรแกรมเร็วและง่ายด้วยการใช้ PROM มาตราฐานมาโปรแกรม นี่คือการยอมรับของนักออกแบบที่ใช้ PAL ด้วยการลงทุนที่ต่ำที่สุดและการจัดเตรียมเป็นกรณีพิเศษ หลายๆ ชนิดของโลจิกที่สามารถออกแบบได้ ดังเช่น FPLA ต้องให้ราคาแพงกับนักออกแบบ

ความปลอดภัยของข้อมูล

การพิสูจน์ข้อเท็จจริงของ PAL สามารถทำให้ไม่เสร็จสมบูรณ์โดยการระเบิดของการเชื่อมครั้งสุดท้าย นี่คือการป้องกันไม่ให้เกิดการลอกเลียนแบบค่าของข้อมูลได้ และทำให้ PAL มีความสมบูรณ์ในการใช้ประยุกต์ใช้งาน ซึ่งข้อมูลจะไม่สามารถถูกโจรกรรมได้ ซึ่งป้องกันได้อย่างปลอดภัย

สรุป

สมาชิกทั้ง 25 ตัวของตระกูล PAL ของอุปกรณ์ทางโลจิกซึ่งเป็นการเลือกใหม่ของนักออกแบบในการกระทำของอุปกรณ์ทางโลจิกที่ออกแบบที่เกี่ยวกับการเรียงลำดับและการรวมกันของโลจิกตระกูลนี้จะเร็ว, กระทัดรัด,บอบบาง และง่ายต่อการใช้ ทั้งการออกแบบใหม่และที่มีอยู่แล้ว มันสามารถที่จะลดราคาในทุกๆ บริเวณที่ออกแบบ และผลิต ด้วยการสอดคล้องกับการเพิ่มการผลิตซึ่งทำให้เกิดกำไรได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
036955

2.2 การทำงานของระบบฮาร์ดแวร์

ระบบฮาร์แวร์ได้จัดตำแหน่งหมายเลขพอร์ตไว้ เพื่อเป็นการกำหนดตำแหน่งที่แน่นอนของชิปชัพพอร์ตในการใช้งานและในการอ้างแอดเดรสของโปรแกรมซึ่งได้จัดตำแหน่งไว้ดังแสดงในตารางที่ 2.2.1

ตารางที่ 2.2.1 แสดงการจัดตำแหน่งหมายเลขพอร์ตของระบบฮาร์ดแวร์

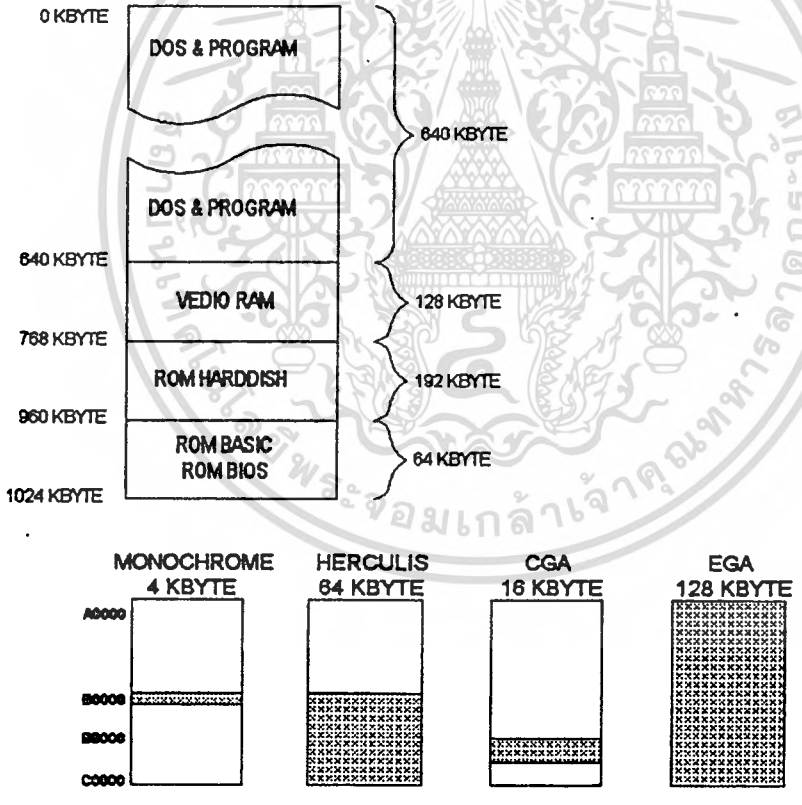
หมายเลขพอร์ต	การใช้งาน
000-00F	ตัวควบคุมดีเอ็มเอ 8237A-5
020-021	ตัวควบคุมการอินเตอร์พัพต์ 8259-A
040-043	ไทม์เมอร์ 8253
060-063	ตัวควบคุมพอร์ต I/O 8255
080-083	ดีเอ็มเอเพจรีจิสเตอร์
0AX	NMI
0CX	สงวนไว้
0EX	สงวนไว้
200-20F	ส่วนควบคุมพอร์ตเกม
210-217	ส่วนขยาย
220-24F	สงวนไว้
278-27F	สงวนไว้
2F0-2F7	สงวนไว้
2F8-2FF	พอร์ตสื่อสาร 2 (com 2)
300-31F	การ์ดโปรโตไทร์
320-32F	ส่วนควบคุมฮาร์ดดิสก์
378-37F	เครื่องพิมพ์แบบขนาน
380-38F	พอร์ตสื่อสาร SDLC
3A0-3AF	สงวนไว้
3B0-3BF	พอร์ตแสดงผลจอภาพ/เครื่องพิมพ์
3C0-3CF	สงวนไว้
3D0-3DF	พอร์ตแสดงผลจอภาพแบบสี/กราฟฟิก
3E0-3EF	สงวนไว้
3F0-3F7	พอร์ตควบคุมดิสก์ไดร์ฟ
3F8-3FF	พอร์ตสื่อสาร 1 (com 1)

เราสามารถอ่านข้อมูลจากพอร์ตต่าง ๆ บนเมนบอร์ดของระบบฮาร์ดแวร์ได้ โดยใช้คำสั่งจากภาษาแอสเซมบลี 8080 เช่น IH AL,61 เป็นการอ่านค่าจากพอร์ต 61 มาสู่รีจิสเตอร์ AL หากต้องการจะส่งข้อมูลให้กับพอร์ต 61 ก็ต้องใช้คำสั่ง OUT,62 AL จะเป็นการนำข้อมูลจากรีจิสเตอร์ AL มาให้แก่พอร์ต 61 โดยตำแหน่งหมายเลขพอร์ตบนเมนพอร์ดจะอยู่ที่ 000H-01FFH และอีกส่วนคือตำแหน่งพอร์ตที่อยู่บนการ์ดต่าง ๆ ริมจากตำแหน่ง 0200 H-03FFH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานหน่วยความจำ

ระบบฮาร์ดแวร์ได้แบ่งหน่วยความจำออกเป็น 2 ส่วนคือ รอมหรือ ROM(read only memory) และ แรม หรือ RAM (random acess memory) โดยรอมจะมีตำแหน่งแอดเดรสที่ $0F0000_H$-$0FFFFF_H$ ส่วนแรมจะเริ่มจากตำแหน่ง 00000_H-$9FFFFF_H$ ในส่วนของรอมจะมีอยู่ 2 ตัวที่จะใช้งานในระบบคือรอมเบสิก และรอมไบออส ซึ่งรอมเบสิกจะอยู่ตำแหน่งแอดเดรสที่ $F6000_H$-$FDFFF_H$ ความจุ 32 กิโลไบต์ และรอมไบออสจะอยู่ตำแหน่งแอดเดรสที่ $FE000_H$-$FFFFF_H$ ความจุ 8 กิโลไบต์ ส่วนทางด้านแรมนั้นจะมีตำแหน่งแอดเดรสที่ 00000_H-$3FFFF_H$ ความจุ 256 กิโลไบต์ และ 00000_H-$9FFFF_H$ ในกรณีความจุ 640 กิโลไบต์ ทั้งหมดนี้เป็นหน่วยความจำบนเมนบอร์ด หน่วยความจำที่ใช้งานบนการ์ดคือดิสเพลย์บัฟเฟอร์ (display buffer) มีตำแหน่งแอดเดรสที่ $B0000_H$-$B7FFF_H$ (โมโนโครม) และแอดเดรส $B8000_H$-$BFFFF_H$ (สี/กราฟฟิก) ระบบฮาร์แวร์ได้จัดตำแหน่งของหน่วยความจำ 1 เมกะไบต์ แต่ในระบบฮาร์แวร์นั้นไม่สามารถนำหน่วยความจำทั้งหมด 1 เมกะไบต์มาใช้งานสำหรับโปรแกรมต่าง ๆ เพราะต้องเผื่อเนื้อที่บางส่วนไว้สำหรับ วิดีโอแรม (video ram) สำหรับแสดงผลทางจอภาพ รอมเบสิก(โปรแกรมภาษาเบสิก) และรอมไบออส(โปรแกรมควบคุมการทำงานของฮาร์ดแวร์)

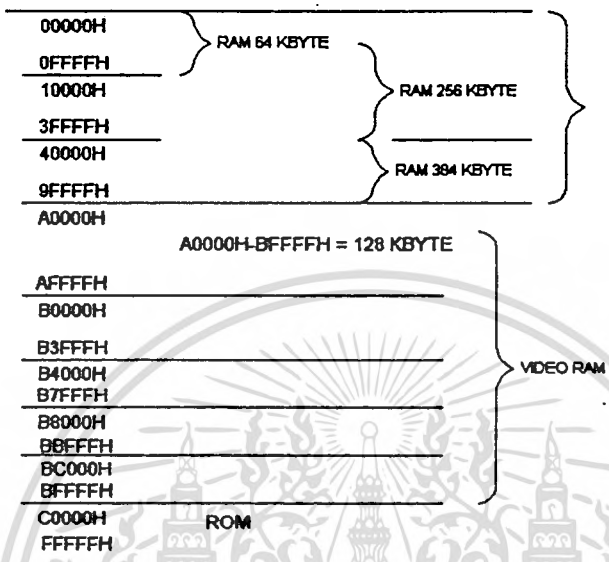


รูปที่ 2.2.1 แสดงตำแหน่งหน่วยความจำ และวิดีโอแรม

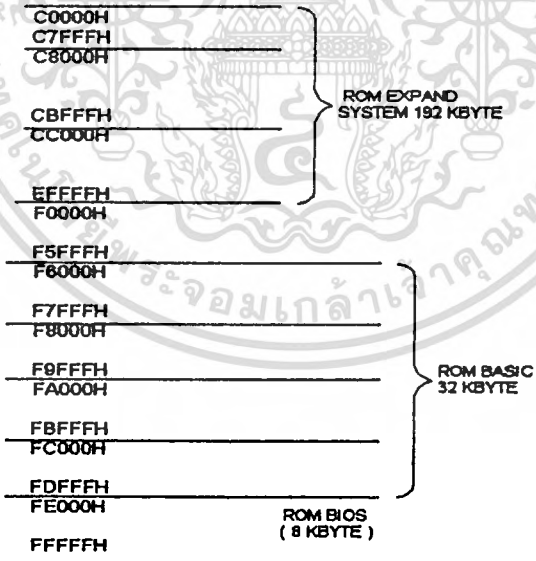
จากรูปที่ 2.2.1 จะเห็นว่าเนื้อที่ 640 กิโลไบต์แรก เป็นส่วนของโปรแกรมดอส และโปรแกรมใช้งานทั่ว ๆ ไป ตบอดจนโปรแกรมถาวร (resident program) ถัดมาอีก 128 กิโลไบต์คือ 768 กิโลไบต์ เป็นส่วยของวิดีโอแรม ถ้าหากใช้การ์ดแสดงผลโมโนโครมธรรมดา จะใช้เนื้อที่แค่ 4 ถึง 8 กิโลไบต์(704-708) ถ้าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ์ดเฮอร์คอวลิส (hercules) ซึ่งแสดงผลบนจอโมโนโครม และแสดงกราฟฟิกได้ จะใช้เนื้อที่ 64 กิโลไบต์ (704-768 กิโลไบต์) ส่วนการ์ CGA (color graphic adapter) จะใช้เนื้อที่ 16 กิโลไบต์ (736-752กิโลไบต์) และถ้าเป็นการ์ด EGA (enhanced graphics adapter) จะใช้เนื้อที่เต็ม 128 กิโลไบต์เลย จากวิดีโอแรม ขึ้นมาอีก 192 กิโลไบต์เป็นที่สำหรับหน่วยความจำรอมไบออสของฮาร์ดดิสค์ ส่วนเนื้อที่สุดท้ายจาก 960 กิโลไบต์เป็นที่สำหรับหน่วยความจำรอมเบสิก และรอมไบออสของระบบ



รูปที่ 2.2.2 แสดงตารางหน่วยความจำของระบบฮาร์แวร์



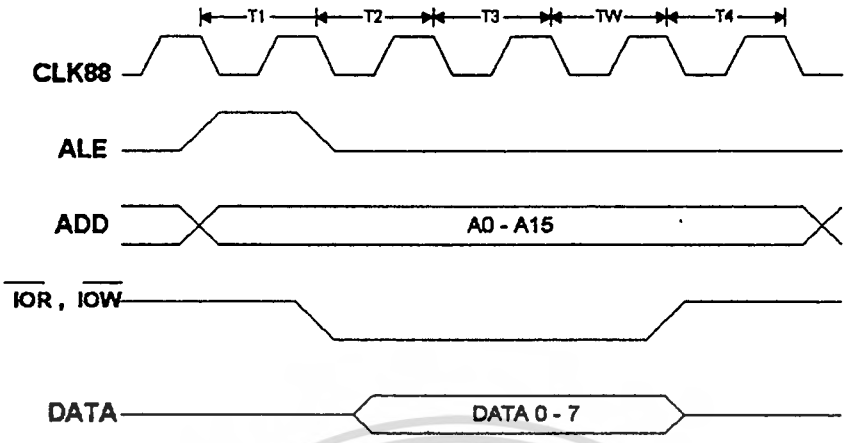
รูปที่ 2.2.3 แสดงตำแหน่งหน่วยความจำรอม

การทำงานของวงจรผลิตสัญญาณนาฬิกา

ระบบฮาร์แวร์จะทำงานได้นั้นจะต้องมีสัญญาณนาฬิกามาป้อนให้กับตัวอุปกรณ์แต่ละตัวบนเมนบอร์ด ตัวผลิตสัญญาณนาฬิกาคือไอซีเบอร์ 8284 (รูปที่ 2.2.4) จะกำเนิดสัญญาณนาฬิกาโดยใช้คริสตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามปกติแล้ว บัสไซเกิลของการอ่าน หรือเขียนข้อมูลลงหน่วยความจำ จะไม่มี Tw เกิดขึ้น เพราะว่าหน่วยความจำมีความเร็วพอในการตอบสนองต่อบัสไซเกิล แต่ในกรณีหน่วยความจำบนการ์ดคือ ดิสเพลย์บัฟเฟอร์ จะต้องมี wait state (รูปที่ 2.2.7) ให้ด้วย



รูปที่ 2.2.7 บัสไซเกิลของซีพียูที่มี Tw

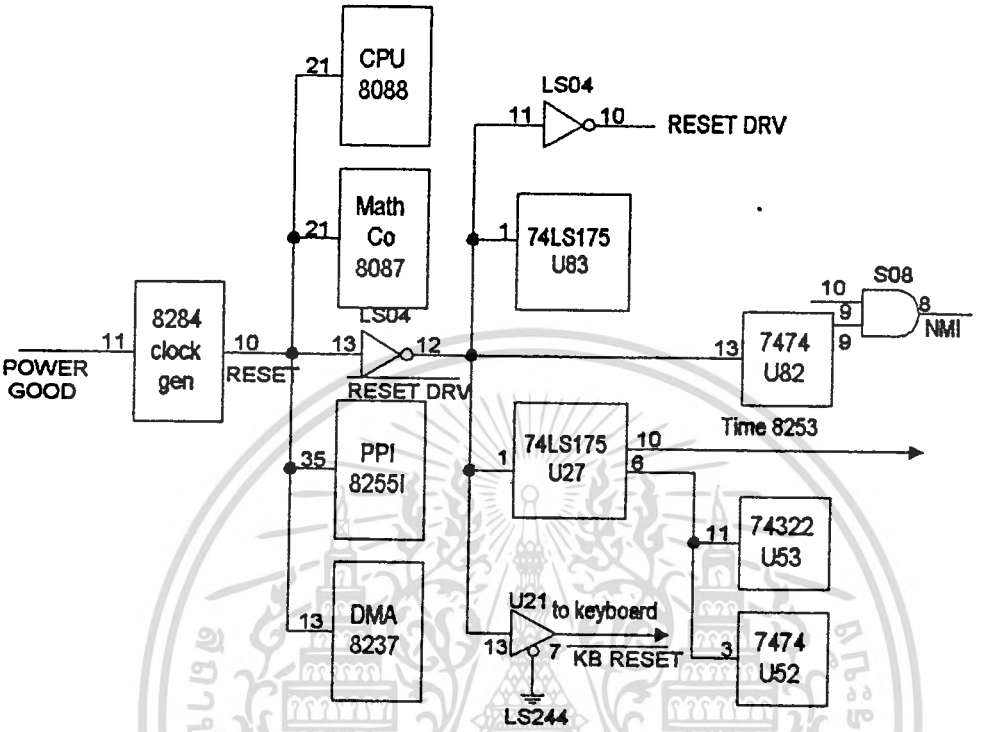
วงจร wait state นี้จะคอยตรวจสอบสัญญาณ I/O CH RDY เสมอว่ามีระดับสัญญาณเป็น "0" หรือไม่ หากมีเมื่อใดจะเป็นการสร้างสัญญาณ wait หรือ Tw ขึ้น 1 ลูกของบัสไซเกิลเพื่อให้ซีพียูอยู่ในสภาวะ wait ก่อน จากนั้นเมื่อหมด Tw แล้ว ซีพียูจะได้รับสัญญาณ $\overline{RDY}$ จาก 8284 หลังจากจบบัสไซเกิลนั้น ๆ

การจัดระบบบัส

ในการจัดระบบบัสและสัญญาณควบคุม ชิสเต็มบอร์ด นั้นจะใช้ 8288 (ดูรูปที่ 2.2.8) บัสคอนโทรลเลอร์ เป็นตัวควบคุมทั้งหมด มี อินพุต 7 เส้น โดยให้ขา 1 (IOB) ต่อลงกราวน์เพื่อทำงาน ในโหมดชิสเต็มบัสและสามารถจะหยุดการทำงานของ 8288 ได้โดยให้สัญญาณ $\overline{AEN}$ (แอดเดรส อีนาเบิล) ที่ขา 15 แอคตีฟ เมื่อหยุดการทำงานของ 8288 แล้ว สัญญาณ $\overline{AEN}$ จะส่งไปขา 1 ของ 74LS138 (U51) ทำให้ 74LS138 ไม่ทำงานด้วยและ 8237A-5 จะควบคุมระบบบัส ทำกระบวนการ DMA ต่อไป สัญญาณ S0,S1,S2 จากซีพียู จะถูกส่งเข้าสู่ 8288 เพื่อทำการถอดระหัส และควบคุมสัญญาณนั้น ยังมีสัญญาณสำคัญ ที่เป็นอินพุตแก่ 8288 คือ AENBRD จาก 74LS175 (U83) ขา 2 ป้อนให้ 8288 ขา 6 เพื่อให้ควบคุมสัญญาณเอาต์พุทของ 8288 เอง และสัญญาณ AENBRD ก็ยังส่งไปให้แก่ 74LS373 (U5,U7) (octal tranparent latches) และ 74LS244 (U6) (octal buffer) อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ $\overline{RESET\ DRV}$ นี้ยังผ่าน 74LS04 (U18) อีกตัวทางขา 11 ได้เอาต์พุตเป็น RESET DRV เพื่อส่งสาญญาณนี้ออกสู่สลอต B2 แล้วผ่านเข้าไปบนการ์ดโมโนโครมสทำการเคลียร์ F/F 74LS175 บนการ์ดหมายเลขพอร์ต 3B8,3BF และรีเซต 6845 บนการ์ดด้วย



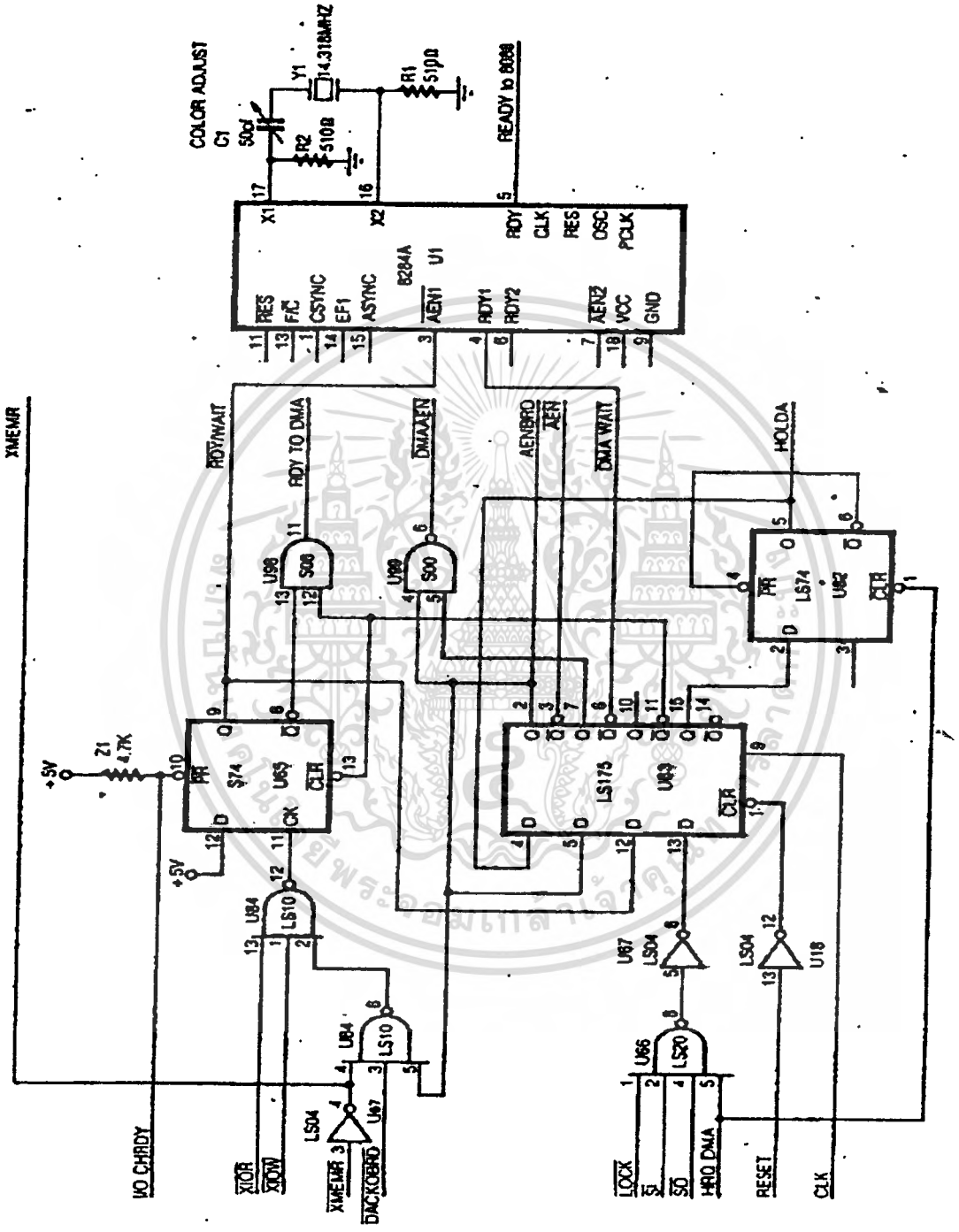
รูปที่ 2.2.5 สัญญาณรีเซตจาก 8284 กำเนิดสัญญาณนาฬิกา

จากรูปที่ 2.2.5 จะสังเกตเห็นว่าเมื่อสัญญาณรีเซตจาก 8284 ผ่าน 74LS04 (U18) ตัวแรกจะได้เอาต์พุตเป็นสัญญาณ $\overline{RESET\ DRV}$ เพื่อส่งไปเคลียร์ฟลิปฟลอป 74LS175 (U83,27) และ 74LS74 (U82) และสัญญาณ $\overline{RESET\ DRV}$ นี้ยังผ่าน 74LS04 (U18) อีกตัวทางขา 11 ได้เอาต์พุตเป็น RESET DRV เพื่อส่งสัญญาณนี้ออกสู่สลอต B2 แล้วผ่านเข้าไปบนการ์ดโมโนโครมทำการเคลียร์ F/F 74LS175 บนการ์ดหมายเลขพอร์ต 3B8,3BF และรีเซต 6845 บนการ์ดด้วย

นอกจากนี้ 8284 ยังมีหน้าที่ในการควบคุมสัญญาณ READY และ wait ให้แก่ซีพียู 8088 โดยทั่วไปแล้วการทำงานของซีพียูจะเรียกว่า บัสไซเกิล หมายถึง ขั้นตอนของสัญญาณที่เกิดขึ้นในขณะมีการส่งผ่านข้อมูลระหว่างอุปกรณ์อินพุตเอาต์พุต หน่วยความจำ และซีพียู ดังนั้นการทำงานของซีพียูในแต่ละบัสไซเกิลนั้น จะอาศัยเวลาในการทำงานเท่ากับเวลาของสัญญาณนาฬิกา 4.77 เมกะเฮิรตซ์ที่ป้อนให้ซีพียูถึง 4 ลูกด้วยกัน ใช้คาบเวลาของสัญญาณนาฬิกา 1 ลูก ประมาณ 210 นาโนวินาที ฉะนั้นใน 1 บัสไซเกิลจะเท่ากับ 4x210 นาโนวินาที (840 นาโนวินาที) หรือใช้ช่วงเวลาตั้งแต่ T1,T2,T3 และ T4 (Tx=210 นาโนวินาที) เมื่ออุปกรณ์ทำงานร่วมกับซีพียูทำงานช้ากว่ามาก ไม่สามารถตอบสนอง การทำงานตามบัสไซเกิล ของซีพียูได้ อุปกรณ์เหล่านั้นก็จะสามารถจะเพิ่มช่วงเวลาในการทำงานจาก T1-T4 เป็น T1-T5 ช่วงเวลาที่เพิ่มเข้ามานี้คือ Tw

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

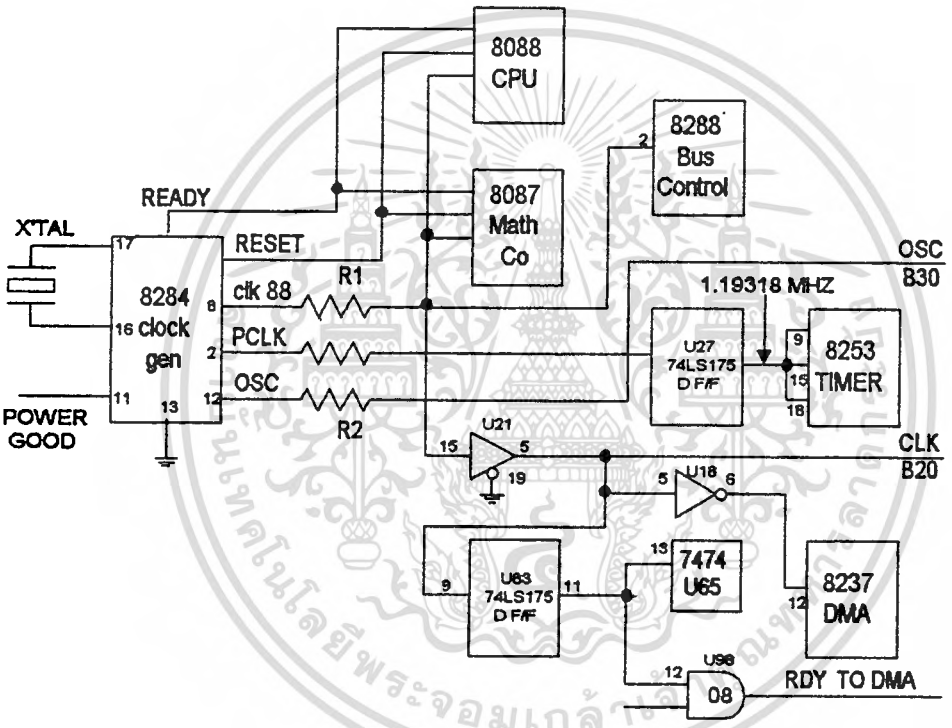
(Time Wait) ทำให้บัสไซเกิลเพิ่มช่วงเวลาเป็น 5x210 เท่ากับ 1.05 ไมโครวินาที วงจร Wait state ที่กล่าวถึงนี้มีลักษณะวงจรดังแสดงดังรูปที่ 2.2.6



รูปที่ 2.6 วงจร Wait state

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

14.31818 เมกะเฮิรตซ์เป็นออสซิลเลเตอร์ ทำให้ได้เอาต์พุตสัญญาณนาฬิกา 3 สัญญาณคือ OSC (14.31818 mhz) CLK88 (44.7 MHz) และ PCLK(2.386 MHz) ป้อนให้อุปกรณ์บนเมนบอร์ด จะเห็นว่าขา 13 ของ 8284 ต่อบงการาวด์เพื่อให้ผลิตความถี่ตามคริสตอล 14.31818 MHz หากจะให้เป็นเทอร์โบ 8-10 MHz ขา 13 ต้องเป็น "1" ส่วน R1-R2 นั้นจะทำให้ความถี่ของคริสตอลคงที่ในการ อ้างอิงสัญญาณแก่ 8284 ความถี่ 14.31818 MHz ที่ออกมาจากขา 12 ของ 8284 เป็นความถี่ที่มีค่าสูงสุดบนเมนบอร์ดเรียกว่า OSC จะใช้งานร่วมกับการ์ดแสดงดผบที่เป็นสี-กราฟฟิก และเอาต์พุตของ 8284 ขา 8 คือ CLK 4.77 MHz ป้อนให้แก่ ซีพียู 8088 แมต์โคโปรเซสเซอร์ 8087 8288 และ 74LS175 (U27) และเอาต์พุตจาก 74LS175 คือความถี่ 1.19318 เมกะเฮิรตซ์ ป้อนให้แก่ขา clock 0.1.2 ของ 8283 (ไทม์เมอร์) สัญญาณนาฬิกาทั้ง 3 คือ OSC,PLCK และ CLK88 จะต้องผ่านตัวต้านทาน 27 โอห์ม ในการเชื่อมต่อกับอุปกรณ์เหล่านั้น

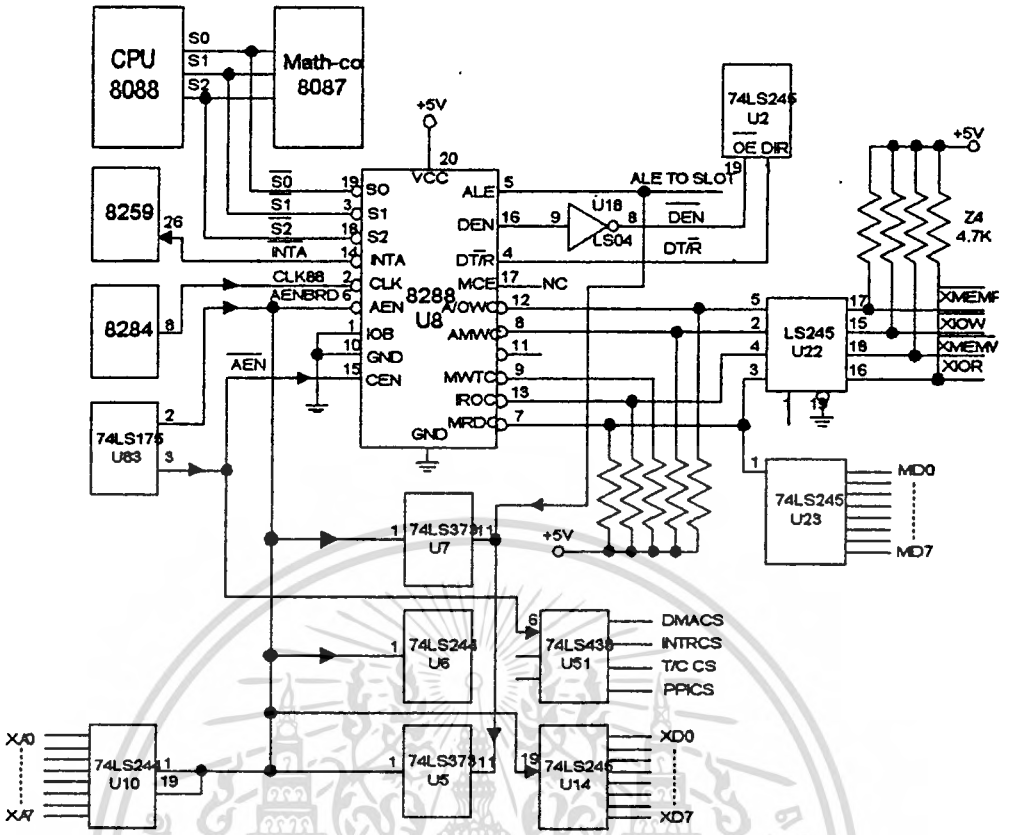


รูปที่ 2.2.4 วงจรสัญญาณนาฬิกาของระบบฮาร์ดแวร์

สัญญาณ Power Good จะป้อนให้แก่ 8284 ทางขา 11 และสัญญาณ Power Good ที่เป็นอินพุตให้ 8284 จะต้องไม่ต่ำกว่า 4.75 โวลต์ หากสัญญาณนี้ต่ำกว่าที่กำหนดไว้จะทำให้ 8284 ส่งสัญญาณรีเซตให้แก่ 8088 ทำให้รีจนิสเตอร์ภายในเป็น 0 และ CS (โค้ดเซกเมนต์) จะมีตำแหน่งแอดเดรสสที่ $0FFFF_H$ ซึ่งเป็นแอดเดรสเริ่มต้นของรอมไบออส สัญญาณรีเซตนี้จะส่งไปให้แก่ 8255,8087,8237A-5 ด้วย เพื่อเคลียร์รีจิสเตอร์และฟลิปฟลอปภายในชิบซัพพอร์ตเหล่านี้ รวมทั้งยังส่งสัญญาณรีเซตไปให้แก่ฟลิปฟลอป และอินเวอร์เตอร์

จากรูปที่ 2.2.5 จะสังเกตเห็นว่าเมื่อสัญญาณรีเซตจาก 8284 ผ่าน 74LS07 (U18) ตัวแรกจะได้เอาต์พุตเป็นสัญญาณ $\overline{RESET\ DRV}$ เพื่อส่งไปเคลียร์ฟลิปฟลอป 74LS175 (U83,27) และ 74LS74 (U82) และ

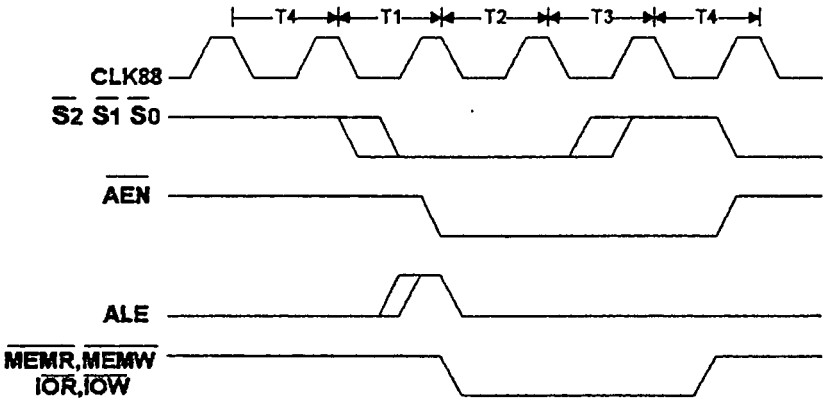
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.8 สัญญาณการจัดระบบบัสของ 8288 บัสคอนโทรลเลอร์

ส่วนเอาต์พุตของ 8288 ที่ใช้งานมีอยู่ 7 ขา คือ ขา 8 เป็นสัญญาณ $\overline{MEMW}$ (memory write หรือสัญญาณเขียนหน่วยความจำ) ขา 7 สัญญาณ $\overline{MEMR}$ (memory read หรือสัญญาณอ่านหน่วยความจำ) ขา 12 (I/O wirte หรือสาญญาณเขียน อินพุตเอาต์พุต) ขา 13 $\overline{IOR}$ (I/O read หรือสัญญาณอ่านอินพุตเอาต์พุต)โดยสัญญาณทั้ง 4 เส้น จะแอคตีฟโลจิก "0" และต่อเข้ากับ 74LS245 (U22) (ดาต้าบัสบัฟเฟอร์) เอาต์พุตขา 14 $\overline{INTR}$ (intterupt acknowage หรือสัญญาณการตอบรับอินเตอร์รัพท์ จะถูกส่งให้แก่ 8259 (โปรแกรมมิ่งอินเตอร์รัพท์) โดยสัญญาณนี้ จะเป็นตัวบอกให้ 8259 รับรู้การตอบรับการอินเตอร์รัพท์จากซีพียู สัญญาณเอาต์พุตที่ใช้ในการเชื่อมโยงกับแอดเดรสแลตช์ รับส่งข้อมูลและอินเตอร์รัพท์คอนโทรล มีดังนี้ DT/$\overline{R}$ (data transmit / reciver) จากขา 4 ของ 8288 จะเชื่อมต่อกับขา 1 ของ 74 LS245 (U2) เมื่อสัญญาณ DT/$\overline{R}$ เป็น "1" หมายความว่ากำลังส่งข้อมูลจากซีพียูผ่าน 74LS245 (U2) ไปสู่อินพุตเอาต์พุต หรือหน่วยความจำ แต่ถ้าหากสัญญาณ DT/$\overline{R}$ เป็น "0" หมายความว่า ซีพียูกำลังอ่านข้อมูลผ่าน 74LS245 (U2) เข้าไป สัญญาณ ALE (แอดเดรสแลตช์ อีนาเบิล) จะใช้ในการสโตรบแอดเดรสของ 74 LS373 (U5,U7) เมื่อสัญญาณนี้เปลี่ยนจาก "1" เป็น "0" ณ ขอบขาลงของสัญญาณ ALE (รูปที่ 2.2.9) จะเป็นการ แลตช์แอดเดรสจากบัสแอดเดรสจากบัสข้อมูล (AD0-AD7) ของซีพียู เป็นการแยกแอดเดรส (A0-A19) และข้อมูล (AD0-AD7) ออกจากกัน แต่เมื่ออยู่ในขณะกระทำขบวนการ DMA แล้ว สัญญาณนี้จะไม่แอคตีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

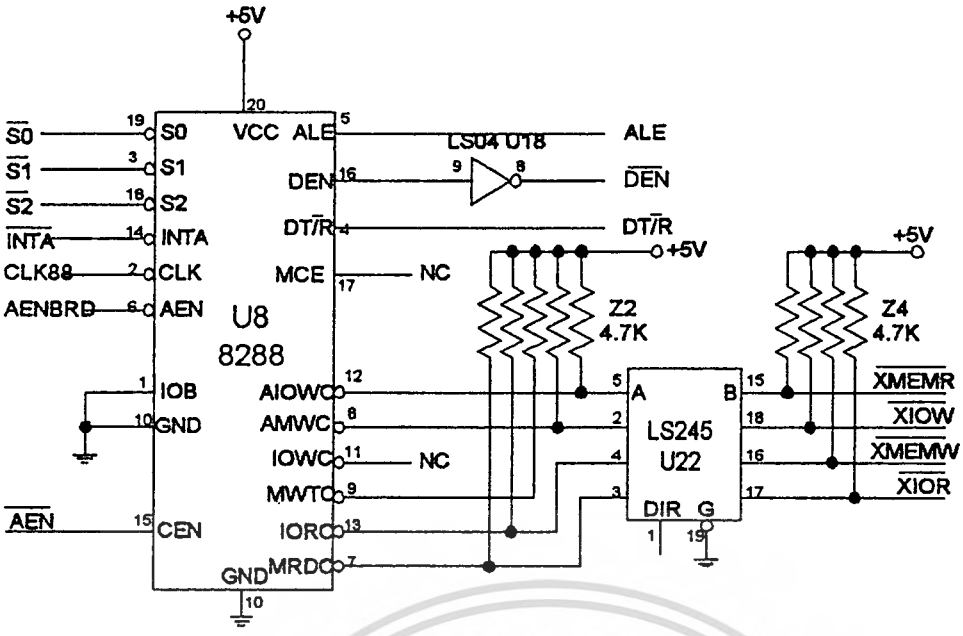


รูปที่ 2.2.9 บัสไซเกิลของสัญญาณ ALE

สัญญาณสุดท้ายที่จะกล่าวถึงคือ สัญญาณ DEN (ดาต้าอีนาเบิล) จะต่อเข้ากับขา 19 ของ 74LS245 (U2) โดยผ่านอินเวอร์เตอร์เพื่อกลับลอจิก ของสัญญาณจาก 8288 ก่อน สัญญาณนี้จะเป็นตัวอินาเบิลให้ข้อมูลเข้าออกได้

วงจรควบคุมระบบบัสโดย 8288 (บัสคอนโทรลเลอร์) นี้ จะเห็นว่าสัญญาณ $\overline{MEMR}$,$\overline{MEMW}$, $\overline{IOR}$ และ $\overline{IOW}$ ที่ออกจาก 8288 จะต้องผ่าน IC 74LS245 (U22) ได้ เอาต์พุตเป็นสัญญาณ $\overline{XMEMR}$, $\overline{XMEMW}$, $\overline{XIOR}$ และ $\overline{XIOW}$ เพื่อส่งให้แก่อุปกรณ์ต่าง ๆ บน ซิสเต็มบอร์ด อุปกรณ์ทุกตัวบนซิสเต็มบอร์ดที่ต้องใช้สัญญาณแหล่านี้ จะได้รับเฉพาะสัญญาณ $\overline{XMEMR}$, $\overline{XIOR}$ และ $\overline{XIOW}$ เท่านั้น (ขณะที่ซีพียูกำลังทำงานอยู่) ไม่โอกาสได้รับสัญญาณ $\overline{MEMR}$,$\overline{MEMW}$,$\overline{IOR}$ และ $\overline{IOW}$ แต่จะเห็นว่ามีสัญญาณ $\overline{MEMR}$,$\overline{MEMW}$,$\overline{IOR}$ และ $\overline{IOW}$ ถูกส่งออกมายังสล้อตทั้ง 8 ของฮาร์ดแวร์ที่ขา B11-B14 เพื่อส่งสัญญาณนี้ให้แก่วงจรอินเตอร์เฟส หรืออุปกรณ์อินพุตเอาต์พุตบนการ์ดเท่านั้น รูปที่ 2.2.10 แสดงสัญญาณควบคุมจาก 8288 ออกสู่ระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



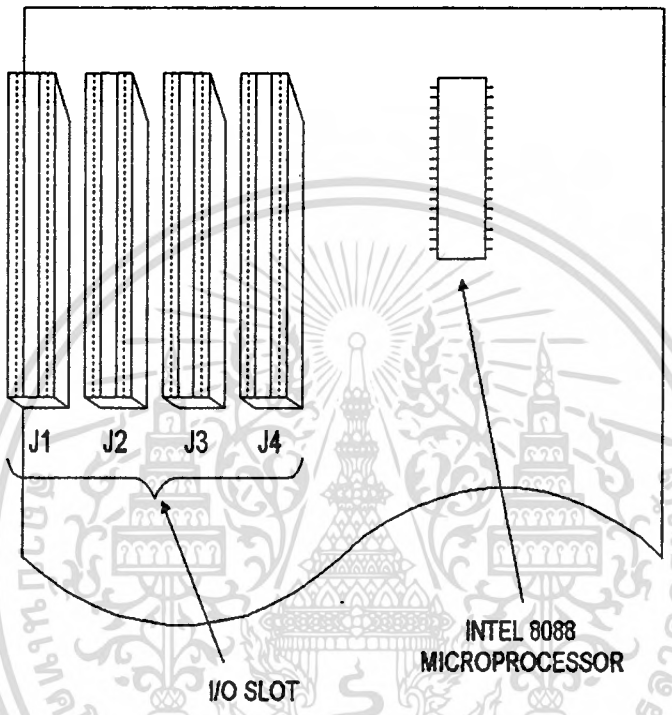
รูปที่ 2.2.10 แสดงสัญญาณควบคุมจาก 8288 ออกสู่ระบบ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

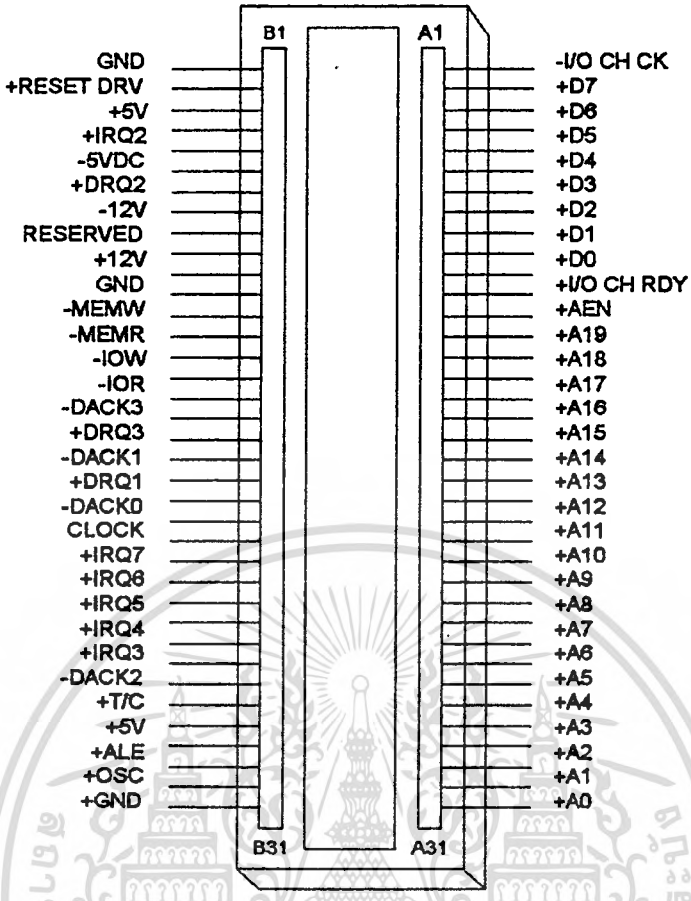
2.3 ฮาร์ดแวร์อินพุต/เอาท์พุตสำหรับ IBM PC

ในการส่งข้อมูลออก (output data) และนำข้อมูลเข้า (input data) สำหรับ IBM PC นั้น จำเป็นต้องมีวงจรอิเล็กทรอนิกส์เชื่อมต่อเข้ากับ IBM PC ดังนั้นก่อนอื่นจึงต้องมารู้จักกับ slot บน IBM PC ซึ่งมีระบบ I/O slot แสดงรายละเอียดดังรูปที่ 2.3.1 และ 2.3.2 ตามลำดับ



รูปที่ 2.3.1 ระบบ I/O slot บน IBM PC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3.2 ชาสัญญาณต่างๆ ใน I/O slot บน IBM PC

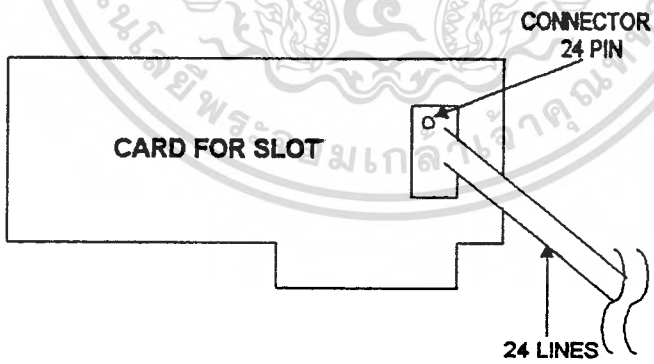
การส่งข้อมูลออกและนำข้อมูลเข้าจำเป็นต้องมีเส้นทาง ในที่นี้เราจะเรียกว่า พอร์ต(port) ซึ่งมีการจัดสรรที่ไม่ซ้ำซ้อนกัน มีแอดเดรส (address) ที่แน่นอน ตัวอย่างการจัดสรรแอดเดรสที่ใช้ติดต่อกับอุปกรณ์ภายนอกบน IBM PC แสดงดังตารางที่ 2.3.1 และการสร้างการ์ด (card) เพื่อใช้เชื่อมต่อกับ I/O slot แสดงดังรูปที่ 2.3.3 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.3.1 การจัดสรรแอดเดรสที่ใช้ติดต่อกับอุปกรณ์ภายนอกบน IBM PC

พื้นที่แอดเดรสของอุปกรณ์ I/O				
เลขฐานสิบหก	9 8	7 6 5 4	3 2 1 0	อุปกรณ์ I/O
00-0F	0 0	0 0 0 Z	A3 A2 A1 A0	DMA CHIP B327-2
20-21	0 0	0 0 1 Z	Z Z Z A0	INTERRUPT 8259A
40-43	0 0	0 1 0 Z	Z Z A1 A0	TIMER 8253-5
60-63	0 0	0 1 1 Z	Z Z A1 A0	PPI 8255A-5
80-83	0 0	1 0 0 Z	Z Z A1 A0	DMA PAGE REGS
AX	0 0	1 0 1		NMI MARK REG
CX	0 0	1 1 0		RESERVED
EX	0 0	1 1 1		RESERVED
3F8-3FF	1 1	1 1 1 1	1 A2 A1 A0	TP RS-232-C CD
3F0-3F7	1 1	1 1 1 1	0 A2 A1 A0	$5^{1/4"}$ DRV ADAPTOR
2F8-2FF	1 0	1 1 1 1	1 Z A1 A0	RESERVED
378-37F	1 1	0 1 1 1	1 Z A1 A0	PARALLEL PRTR PRT
3D0-3DF	1 1	1 1 0 1	A3 A2 A1 A0	COLOR/GRAPHIC ADAPTOR
278-27F	1 0	0 1 1 1.	1 Z A1 A0	RESERVED
200-20F	1 0	0 0 0 0	A3 A2 A1 A0	GAME I/O ADAPTOR
3B0-3BF	1 1	1 0 1 1	A3 A2 A1 A0	IBM MONOCHROME DISPLAY PARALLEL PRINTER ADAPTER

หมายเหตุ Z เป็น 1 หรือ 0 ก็ได้



รูปที่ 2.3.3 การ์ดที่ใช้เสียบใน I/O slot (PC-card)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฮาร์ดแวร์ในการอินพุต/เอาต์พุตข้อมูลมีรายละเอียดของสงจรการเชื่อมต่อ ดังนี้

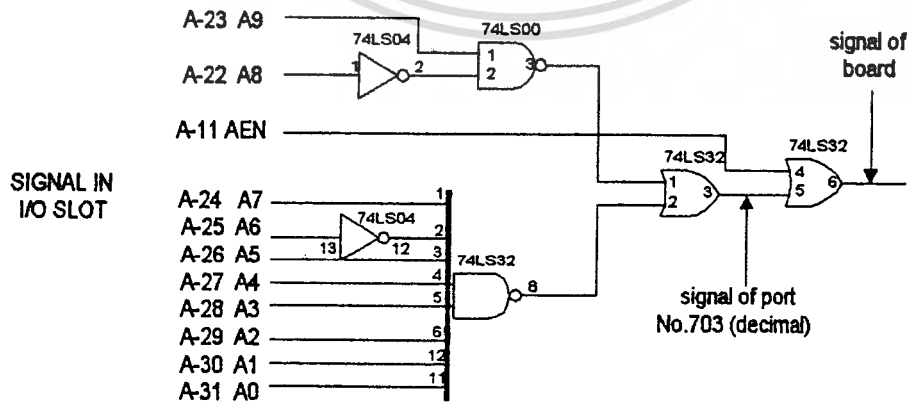
1. วงจรอีนาเบิล (enable circuit)
2. วงจรเอาต์พุตแลทช์ (output latches circuit)
3. วงจรอินพุตบัฟเฟอร์ (input buffer circuit)

2.3.1 วงจรอีนาเบิล

การสื่อสารภายในคอมพิวเตอร์มีสายข้อมูล (data bus) เพื่อส่งและรับข้อมูลถึงกัน การส่งและรับข้อมูล ถ้าไม่มีตำแหน่งในการส่งแบะรับก็ไม่รู้ว่าส่งไปที่ไหนบะให้ที่ใดรับ จึงจำเป็นต้องมีสายแอดเดรส (address bus) ในการกำหนดตำแหน่งภายในคอมพิวเตอร์ เช่นเดียวกับเลขที่ห้อง เพื่อจะได้รับรู้กันภายในคอมพิวเตอร์ว่า ต้องส่งข้อมูลดังกล่าวจากเลขที่ห้องไหนไปสู่ห้องไหน

ในกรณีที่มีการสื่อสารกับอุปกรณ์ภายนอก ก็ต้องมีการถอดรหัสแอดเดรสให้หมายเลขแก่อุปกรณ์ภายนอกนั้น การถอดรหัสแอดเดรสต้องไม่มีการซ้ำซ้อนกับแอดเดรสที่ใช้สื่อสารกับอุปกรณ์ภายนอกตัวอื่น แอดเดรสที่ใช้สื่อสารกับอุปกรณ์ภายนอกสำหรับ IBM PC ดังแสดงรายละเอียดในตารางที่ 2.3.1 ซึ่งพบว่าแอดเดรสในช่วง 2B0-2BF (เลขฐานสิบหก) ไม่มีการใช้ เราจึงสามารถถอดรหัสแอดเดรสใช้งานการเชื่อมต่อในช่วงดังกล่าว เพื่อใช้ในการส่งข้อมูลออกและนำข้อมูลเข้าได้

การถอดรหัสแอดเดรสเพื่อการเลือกพอร์ต (port select) ได้ใช้สายแอดเดรส A0-A9 มีค่าเท่ากับ 1010111111 (หมายเลข 703 เมื่อเป็นเลขฐานสิบ) จึงทำให้สัญญาณการเลือกพอร์ตมีลอจิก 0 แต่การที่จะส่งหรือรับข้อมูลจากสายข้อมูลได้ ต้องมีการต่อกับสาย AEN (address enable) ของ IBM PC ด้วย เพราะไม่เช่นนั้น การส่งหรือรับข้อมูลจากสายข้อมูลจะเกิดการผิดพลาดได้ สัญญาณที่ได้จากการเลือกพอร์ตนำมาออร์ (or) กับ AEN จะใช้ในการอีนาเบิล วงจรส่งหรือรับข้อมูลจึงมีการส่งข้อมูลหรือรับข้อมูลเกิดขึ้น รายละเอียดของวงจรแสดงดังรูปที่ 2.3.4

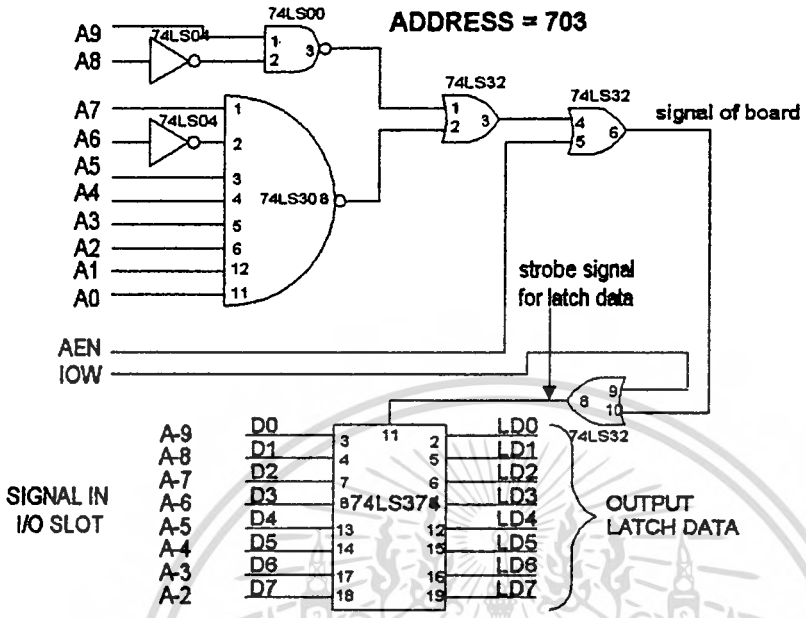


รูปที่ 2.3.4 รายละเอียดวงจรอะนาเบิ้ล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 วงจรเอาต์พุตแลตช์

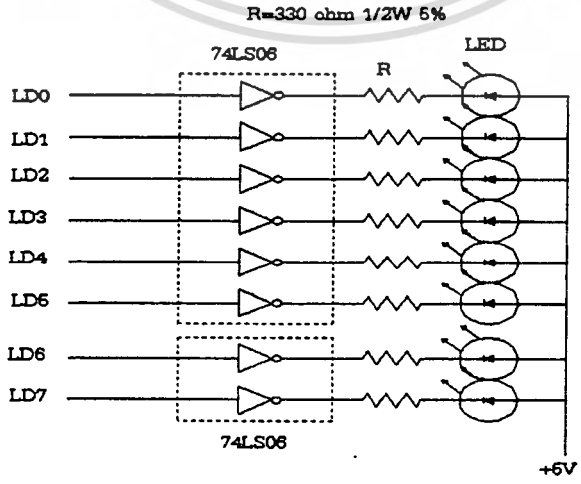
การส่งข้อมูลออกใช้ IC เบอร์ 74LS374 เป็นตัวแลทช์ข้อมูล การส่งข้อมูลออกต้องผ่านทางสายข้อมูล D0-D7 และต้องทำการอีนาเบิล เพื่อ



รูปที่ 2.3.5 รายละเอียดวงจรเอาต์พุตแลตช์

แลตช์ข้อมูล ซึ่งยังไม่เพียงพอที่วงจรจะทำงานได้ ต้องมีสายสัญญาณอีกสายหนึ่งเข้ามาเกี่ยวข้องคือ -IOW (input/output write) สายสัญญาณนี้มีลอจิก 0 เมื่อมีการใช้คำสั่ง out address, data ในภาษาเบสิกเพื่อทำการส่งข้อมูลออก ฉะนั้นจำเป็นต้องเชื่อมต่อสายสัญญาณดังกล่าวเข้าในวงจรอีนาเบิล เพื่อการแลตช์ข้อมูลออก รายละเอียดของวงจรแสดงดังรูปที่ 2.3.5

การแสดงผลส่งข้อมูลออกสามารถใช้ LED 8 ดวง เป็นตัวแสดงผลของข้อมูล 8 บิต แสดงการต่อดังรูปที่ 2.3.6

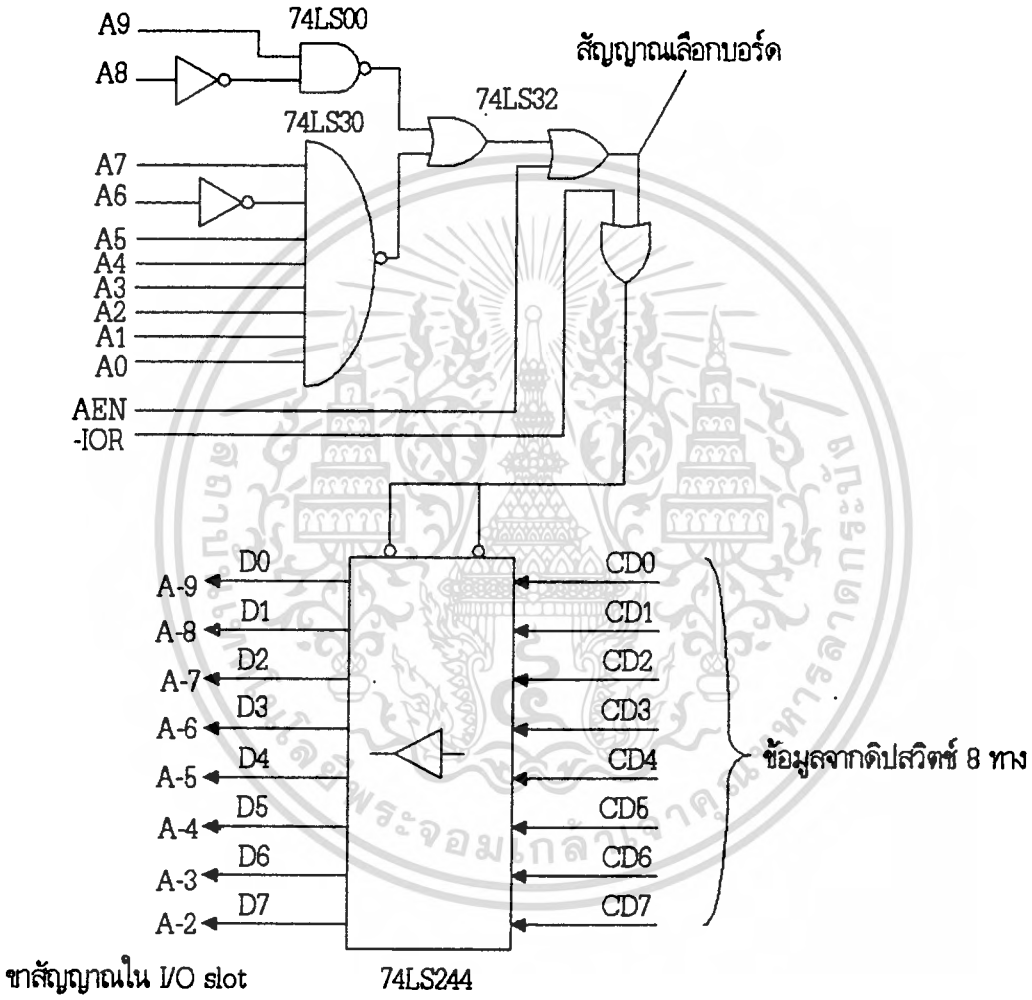


รูปที่ 2.3.6 รายละเอียดการต่อวงจรเอาต์พุตแลตช์กับ LED 8 ดวง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3 วงจรอินพุตบัฟเฟอร์

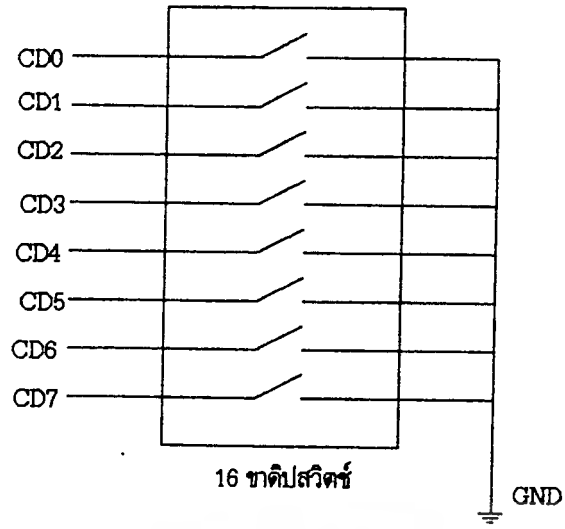
การนำข้อมูลเข้าใช้ IC เบอร์ 74LS244 เป็นบัฟเฟอร์ของข้อมูล การนำข้อมูลเข้าก็ต้องมีการอีนาเบิล เพื่อนำข้อมูลเข้าทางสายข้อมูลเช่นกัน อย่างไรก็ตาม ต้องมีสายสัญญาณอีกสายหนึ่งเข้ามาเกี่ยวข้องด้วย สายดังหล่าวคือ -IOR (input/output read) สายสัญญาณนี้มลอจิก 0 เมื่อมีการใช้คำสั่ง A=INP(address) ในภาษาเบสิก ฉะนั้นจำเป็นต้องเชื่อมต่อสายสัญญาณนี้เข้ากับวงจรอีนาเบิล รายละเอียดของวงจรแสดงดังรูปที่ 2.3.7



รูปที่ 2.3.7 รายละเอียดวงจรอินพุตบัฟเฟอร์

จากรูปที่ 2.3.7 ที่ตำแหน่ง CD0-CD7 ทำการเชื่อมต่อกับดิปสวิตช์ 8 ทาง (16 ขา) เพื่อทำการสับสวิตช์ ON-OFF เป็นข้อมูลเข้าของแต่ละบิต (D0-D7) แสดงการต่อดังรูปที่ 2.3.8 คือเมื่อสวิตช์เปิด (ON) ข้อมูลที่เข้าสู่ IC 74LS244 มีลอจิกเป็น 1 (เพราะเป็น IC TTL : transister-transister logic) แต่เมื่อสวิตช์ปิด (OFF) ข้อมูลที่เข้าจะเป็นลอจิก 0 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3.8 รายละเอียดการต่อดิปสวิตช์ 8 ทางกับวงจรอินพุตบัฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
โครงสร้าง การทำงานของฮาร์ดแวร์และซอฟท์แวร์

3.1 ฮาร์ดแวร์

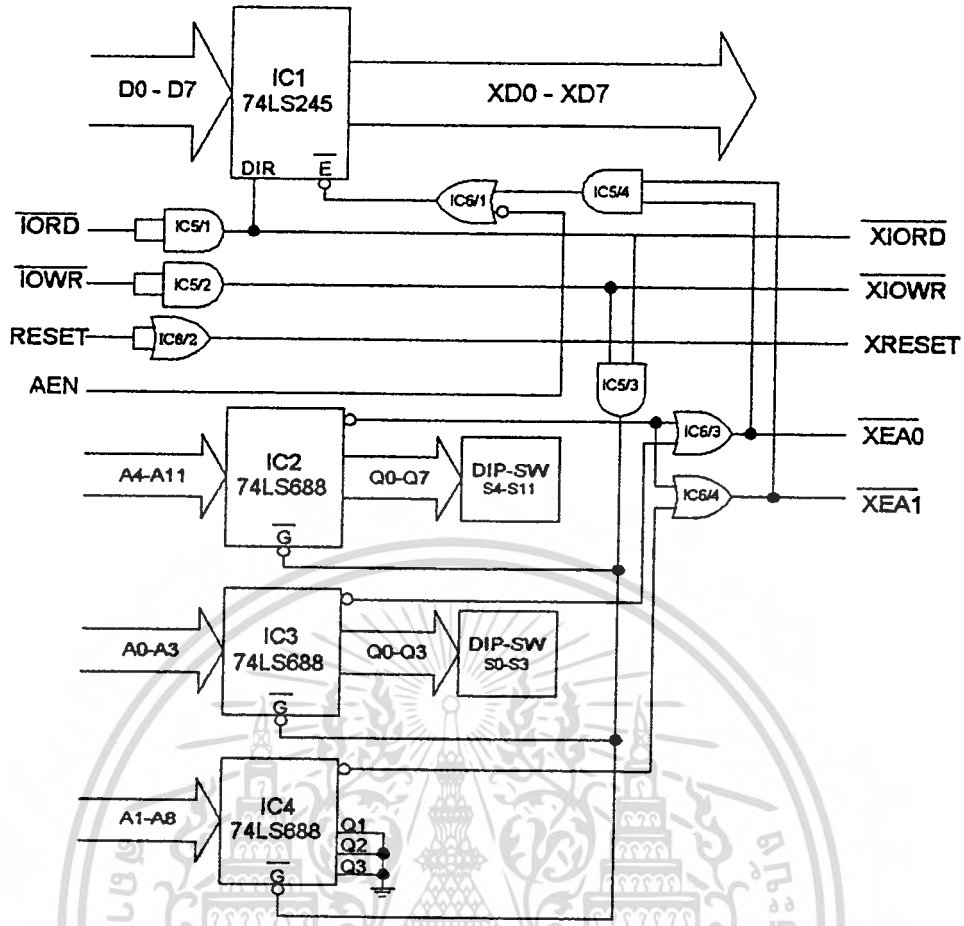
ในส่วนของฮาร์ดแวร์นั้นจะประกอบด้วยส่วนสำคัญ 2 ส่วนคือ

1. Interface Card
2. วงจรหลัก

3.1.1 Interface Card

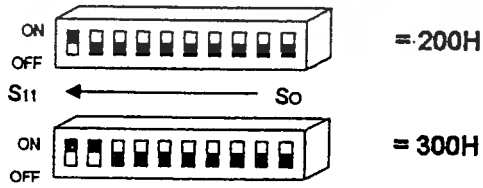
ในส่วนของ Interface Card นั้นจะเป็นส่วนที่ทำหน้าที่ในการติดต่อกับคอมพิวเตอร์และวงจรหลัก โดยจะอาศัยการมัลติเพล็กซ์ซึ่งจะถอดแอดเดรสพอร์ทที่ใช้ในการติดต่อมา 2 แอดเดรส โดยแอดเดรสแรกจะเป็นดัชนีในการอ้างถึงส่วนที่เราต้องการติดต่อ ส่วนแอดเดรสหลังจะใช้ในการส่งดาต้าไปยังส่วนที่เราต้องการติดต่อด้วย เหตุที่ต้องใช้การมัลติเพล็กนั้นก็เนื่องจาก ถ้าใช้การติดต่อกับวงจรหลักโดยตรงเราจะต้องใช้สายสัญญาณจำนวนมาก ซึ่งจะทำให้ไม่สะดวกในเวลาใช้งาน แต่ก็จะมีข้อดีในแง่ของความเร็วเนื่องจากไม่ต้องอ้างดัชนีก่อนการติดต่อ รูปที่ 3.1.1 แสดงวงจรของ I/O Interface Card ซึ่งการ์ดนี้สามารถเสียบเข้ากับสล็อตของเครื่อง PC/XT และ PC/AT โดยอาศัยบัสตำแหน่ง (address bus), บัสข้อมูล (data bus), สัญญาณควบคุมการอ่านและเขียน, สัญญาณอินพุตและเอาต์พุต, สัญญาณรีเซ็ต และไฟเลี้ยงจากเครื่องพีซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1.1 แสดงวงจรของ Interface Card

การกำหนดแอดเดรสในการเลือกการทำงานของการ์ดนี้ สามารถกำหนดได้จากดิพสวิตช์ที่อยู่บนการ์ด ซึ่งโดยทั่วไปจะกำหนดไว้ที่แอดเดรส 201H ซึ่งเป็นแอดเดรสเกมส์พอร์ตของ 8088, 80286, 80386 และ 80486 แอดเดรสนี้เราสามารถตั้งใหม่ได้โดยการปรับที่ดิพสวิตช์ ซึ่งแอดเดรสที่เรากำหนดจากดิพสวิตช์นี้จะเป็นแอดเดรสของดัชนี ส่วนแอดเดรสของดาต้าจะมีค่ามากกว่าแอดเดรสของดัชนีอยู่หนึ่งเสมอซึ่งในส่วนนี้เราไม่ต้องกำหนดการ์ดจะรับรู้เอง รูปที่ 3.1.2 แสดงการกำหนดตำแหน่งแอดเดรสให้กับการ์ด



รูปที่ 3.1.2 แสดงการกำหนดตำแหน่งแอดเดรสให้กับการ์ด

การทำงานของวงจร

จากวงจรของ Interface Card ในรูปที่ 3.1.1 เมื่อมีการใช้คำสั่งอินพอร์ตหรือเอาพอร์ต จะทำให้สัญญาณ I/O READ หรือ I/O WRITE แอคตีฟ ซึ่งทั้งสองสัญญาณนี้จะไม่แอคตีฟพร้อมกัน เราจึงใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AND GATE เป็นตัวถอดสัญญาณ I/O ซึ่งจะไปอีนาเบิลไอซี 74LS688 เพื่อตรวจสอบดูว่าแอดเดรสที่อ้างมานั้นตรงกับที่เรากำหนดไว้ที่ดิพสวิตช์หรือไม่ ถ้าไม่ตรงก็จะไม่มีสัญญาณไปอีนาเบิลไอซี 74LS245 ซึ่งทำหน้าที่เป็นบัฟเฟอร์สองทิศทาง สำหรับทิศทางนี้จะถูกกำหนดจากสัญญาณ I/O READ แต่ถ้าแอดเดรสที่อ้างมานั้นตรงกับที่เรากำหนดไว้จะทำให้ไอซี 74LS245 ถูกอีนาเบิล สัญญาณข้อมูล D0-D7 ที่ผ่านบัฟเฟอร์แล้วนั้นจะกลายเป็นสัญญาณ XD0-XD7 และในการอีนาเบิลไอซี 74LS245 นี้จะต้องอาศัยสัญญาณ AEN ร่วมด้วย เพื่อให้แน่ใจว่าสัญญาณ I/O ที่เกิดขึ้นนั้นไม่ได้เกิดจากกระบวนการ DMA การแยกแอดเดรสของดัชนีนั้นจะใช้ไอซี 74LS688 สองตัวคือ IC2 และ IC3 โดยการเปรียบเทียบ A0-A11 กับค่าที่ตั้งไว้ที่ดิพสวิตช์แล้วนำเอาต์พุตของทั้งคู่มา OR กันที่ IC6/1 จะได้เป็นสัญญาณ XEA0 ส่วนแอดเดรสของดัชนีจะใช้ไอซี 74LS688 (IC4) ร่วมกับ IC2 โดยที่ IC4 จะไม่นำ A0 มาเปรียบเทียบ แต่จะนำ +5V มาเปรียบเทียบกับค่าที่กำหนดไว้ในดิพสวิตช์แทน แล้วนำเอาต์พุตของ IC2 และ IC 4 มา OR กันที่ IC6/2 ได้เป็นสัญญาณ XEA1 ส่วนสัญญาณ I/O READ และ I/O WRITE นั้นจะใช้ IC5/1 และ IC5/2 เป็นบัฟเฟอร์ได้เป็นสัญญาณ XI/O READ และสัญญาณ XI/O WRITE ตามลำดับ ส่วนสัญญาณ RESET จะใช้ IC6/4 เป็นบัฟเฟอร์ได้เป็นสัญญาณ XRESET

3.1.2.วงจรหลัก

วงจรหลักนี้จะประกอบด้วยส่วนสำคัญๆอยู่ 3 ส่วนคือ

1.วงวจรดีมัลติเพล็กซ์

2.วงจร I/O

3.วงจร Comparator

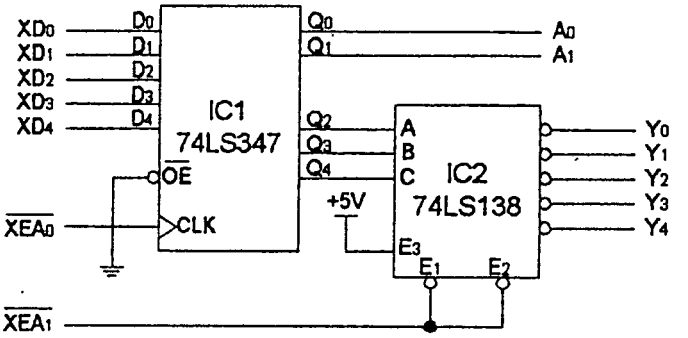
วงจรดีมัลติเพล็กซ์

วงจรดีมัลติเพล็กซ์นั้นจะทำหน้าที่ตรงกันข้ามกับวงจรมัลติเพล็กซ์ซึ่งอยู่ในส่วนของ Interface Card ซึ่งประกอบด้วย IC1 74LS374 และ IC2 74LS138 เพียง 2 ตัว

การทำงานของวงจร

จากรูปที่ 3.1.3 IC1 จะมีหน้าที่แลตช์ข้อมูลที่อ้างมาจากแอดเดรสดัชนี โดยสัญญาณ XEA0 จะต่ออยู่กับขา CLK ของ IC1 สัญญาณที่นำเข้ามาแลตช์ได้แก่สัญญาณ XD0-XD4 สัญญาณ XD0 และ XD1 จะใช้เป็นสัญญาณอ้างแอดเดรสให้กับไอซี 8255 ในส่วนของวงจร I/O ส่วนสัญญาณ XD2-XD4 จะเป็นสัญญาณอินพุตให้กับไอซีดีมัลติเพล็กซ์ 74LS138 เอาต์พุตที่ได้จะเป็นสัญญาณที่ใช้ในการอีนาเบิลไอซี 8255 ในวงจร I/O โดยต้องรอให้มีการอ้างข้อมูลผ่านแอดเดรสของดาต้า ซึ่งจะทำให้สัญญาณ XEA1 แอคตีฟเป็นผลทำให้ IC2 ถูกอีนาเบิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1.3 แสดงวงจรดีมัลติเพล็กซ์

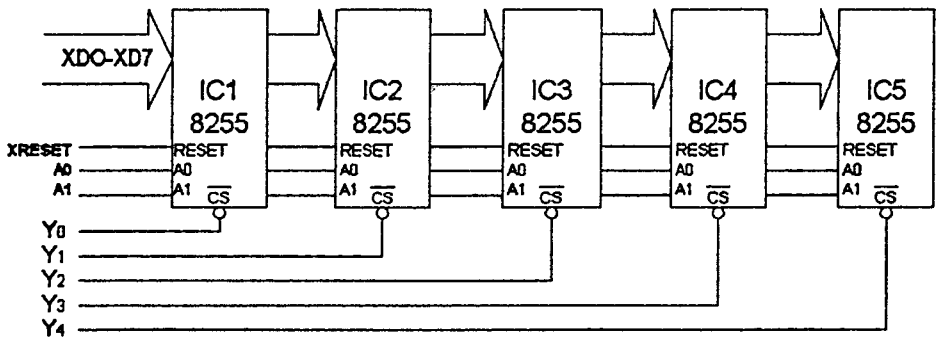
วงจร I/O

ส่วนของวงจร I/O จะประกอบไปด้วยไอซี 8255 ทั้งสิ้น 5 ตัว สาเหตุที่ต้องใช้ไอซี 8255 มากถึง 5 ตัวนั้นเนื่องจากต้องการให้ส่วนของอินพุตและเอาต์พุตเป็นอิสระต่อกันและสาเหตุที่เลือกใช้ไอซีเบอร์ 8255 ก็เพราะสายสัญญาณอินพุตและเอาต์พุททั้ง 24 เส้นมีระดับสัญญาณ TTL จึงเป็นการง่ายในการใช้ 8255 อินเตอร์เฟสกับวงจรลอจิกอื่นๆ นอกจากนี้เรายังสามารถโปรแกรมให้แต่ละพอร์ตเป็นอินพุทและเอาต์พุตได้ และยังสามารถโปรแกรมให้ทำงานในโหมดต่างๆได้ถึง 3 โหมด หน้าที่ของไอซี 8255 แต่ละตัวนั้นมีดังนี้ IC1 เป็นเอาต์พุตให้กับอุปกรณ์ที่นำมาทดสอบ IC2 เป็นเอาต์พุตสำหรับควบคุมอิเลคทรอนิคส์สวิตช์ซึ่งจะใช้ไอซีเบอร์ 74LS126 เพื่อแยกส่วนของอินพุตและเอาต์พุตออกจากกัน ส่วน IC3 และ IC4 มีหน้าที่เป็นอินพุตนำสัญญาณเอาต์พุตจากวงจร Comparator เข้าไปประมวลผล สาเหตุที่ต้องใช้อินพุตขนาด 48 บิตก็เนื่องจากออกแบบให้ใช้กับอินพุตขนาด 24 ช่อง โดยในแต่ละช่องสามารถตรวจสอบระดับสัญญาณได้ 3 ระดับคือ LOW, HIGH และ HIGH IMPEDANCE โดยแต่ละช่องจะต้องใช้อินพุต 2 บิตจึงจะเพียงพอกับการใช้งาน สำหรับไอซี 8255 ตัวสุดท้ายนี้จะใช้ในการแสดงสถานะของวงจร เช่น EMPTY BUSSY เป็นต้น นอกจากนี้ยังใช้เป็นเอาต์พุตให้กับวงจร R-2R LADDER ในกรณีที่ต้องการให้วงจรสามารถปรับระดับของแรงดัน THESHOLD ได้

การทำงานของวงจร

สำหรับการทำงานของวงจรนั้นจะเริ่มจากเมื่อมีการอ้างข้อมูลผ่านแอดเดรสของดัชนี วงจรดีมัลติเพล็กซ์จะทำการแยกแอดเดรสที่ใช้สำหรับระบุว่าจะติดต่อกับพอร์ตอะไรภายในตัวของไอซี 8255 และเมื่อมีการอ้างข้อมูลผ่านแอดเดรสของดาต้าวงจรดีมัลติเพล็กซ์จะทำการอีนาเบิลไอซี 8255 ตัวที่เราต้องการจะติดต่อด้วย ทำให้สามารถรับส่งข้อมูลระหว่างตัวโปรแกรมและอุปกรณ์ภายนอกได้ จากรูปที่ 3.1.4 สัญญาณ RESET จากเครื่องคอมพิวเตอร์จะต่ออยู่กับขา RESET ของไอซี 8255 เพื่อทำการเคลียร์ค่าที่กำหนดไว้ในตัวของไอซี 8255 เมื่อมีการ RESET ที่เครื่องคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1.4 แสดงวงจร I/O

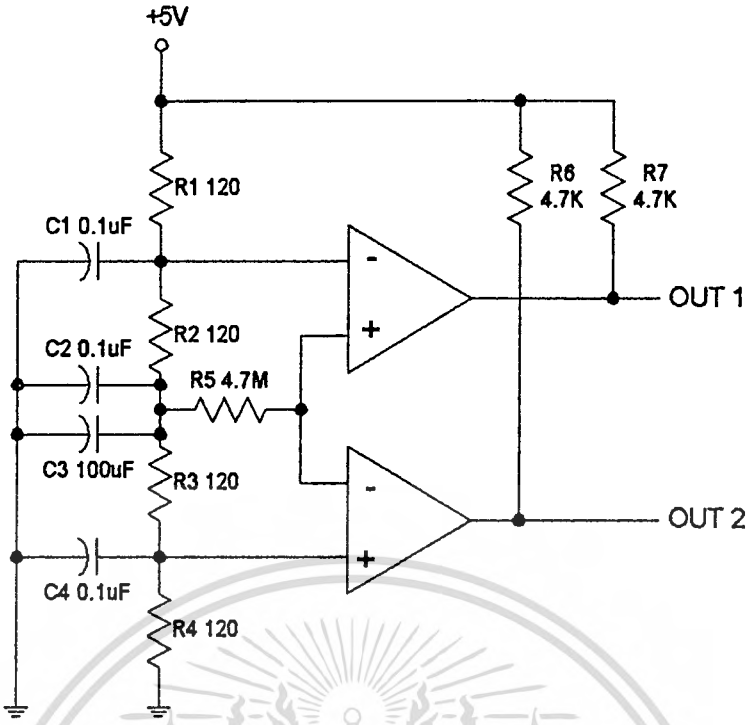
วงจร Comparator

ในส่วนของวงจร Comparator นี้มีหน้าที่ในการเปรียบเทียบระดับของแรงดันที่เราต้องการทดสอบ โดยสามารถแยกระดับของแรงดันได้ 3 ระดับ ซึ่งจะอาศัยหลักการของ Window Comparator ดังแสดงในรูปที่ 3.1.5 ซึ่งจะประกอบด้วยไอซีเบอร์ LM339 เป็นหลักซึ่งจะมีออปแอมป์อยู่ภายใน 4 ชุด โดยถ้าแรงดันที่ทำการทดสอบนั้นมีระดับโลจิกเป็น LOW ("0") วงจรจะแสดงสถานะเป็น "01" เมื่อระดับโลจิกเป็น HIGH ("1") วงจรจะแสดงสถานะเป็น "10" แต่ถ้าเป็น HIGH IMPEDANCE คือขณะที่ไม่ได้ต่อกับอะไรไว้วงจรจะแสดงสถานะเป็น "11" วงจร Comparator นี้จะต้องสร้างทั้งหมด 24 ชุดเพื่อให้สามารถใช้วัดได้ 24 ช่องสัญญาณ

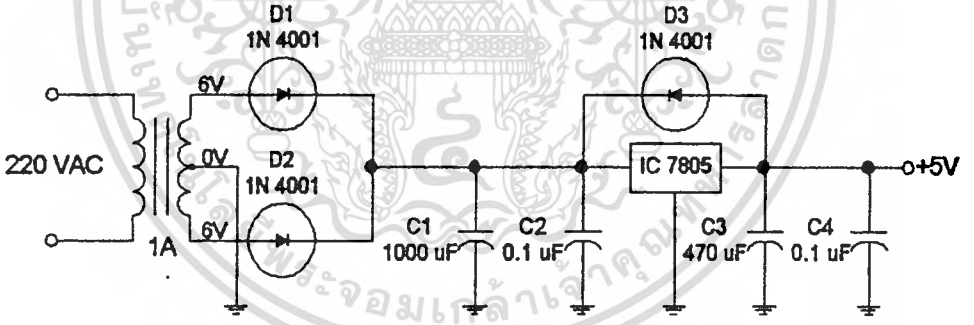
การทำงานของวงจร

วงจรจะประกอบด้วยออปแอมป์ 2 ตัวเพื่อทำเป็นวงจรเปรียบเทียบ ในส่วนของแรงดันอ้างอิงจะได้จากชุดแบ่งแรงดันที่ประกอบด้วย R1-R4 ซึ่งจะต้องมีค่าความผิดพลาดน้อยๆ จึงเลือกใช้ที่ค่าความผิดพลาด 1% เพื่อให้ได้ค่าแรงดันอ้างอิงที่ถูกต้องที่สุด ส่วนทางด้านเอาต์พุตของวงจรจะต้องทำการ Full Up ที่เอาต์พุตของออปแอมป์ทั้งสองด้วยความต้านทานค่า 4.7K เนื่องจากเอาต์พุตของออปแอมป์เป็นแบบคอลเลคเตอร์เปิด ขณะที่ยังไม่ได้ทำการวัดแรงดันที่ขา 5 และขา 7 ของออปแอมป์จะมีค่าสูงกว่าแรงดันอ้างอิงทำให้เอาต์พุตของออปแอมป์ทั้งคู่เป็นโลจิก "1" เมื่อนำไปวัดกับจุดที่ต้องการทดสอบ ถ้าจุดนั้นเป็นโลจิก "0" แรงดันอ้างอิงที่ขา 4 จะสูงกว่าแรงดันทดสอบทำให้เอาต์พุตของออปแอมป์มีสภาวะเป็นโลจิก "0" ส่วนแรงดันอ้างอิงที่ขา 7 จะสูงกว่าแรงดันทดสอบที่ขา 6 เอาต์พุตของออปแอมป์จะมีสภาวะเป็นโลจิก "1" แต่ถ้าจุดที่ทดสอบเป็นโลจิก "1" แรงดันอ้างอิงที่ขา 4 จะต่ำกว่าแรงดันทดสอบที่ขา 5 ของออปแอมป์เอาต์พุตจะแสดงสภาวะเป็นโลจิก "1" ส่วนแรงดันอ้างอิงที่ขา 7 ก็จะต่ำกว่าแรงดันทดสอบที่ขา 6 ทำให้เอาต์พุตของออปแอมป์มีสภาวะเป็นโลจิค "0" ดังแสดงวงจรไว้ในรูปที่ 3.1.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1.5 แสดงวงจร Comparator



รูปที่ 3.1.6 แสดงวงจรแหล่งจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ซอฟท์แวร์

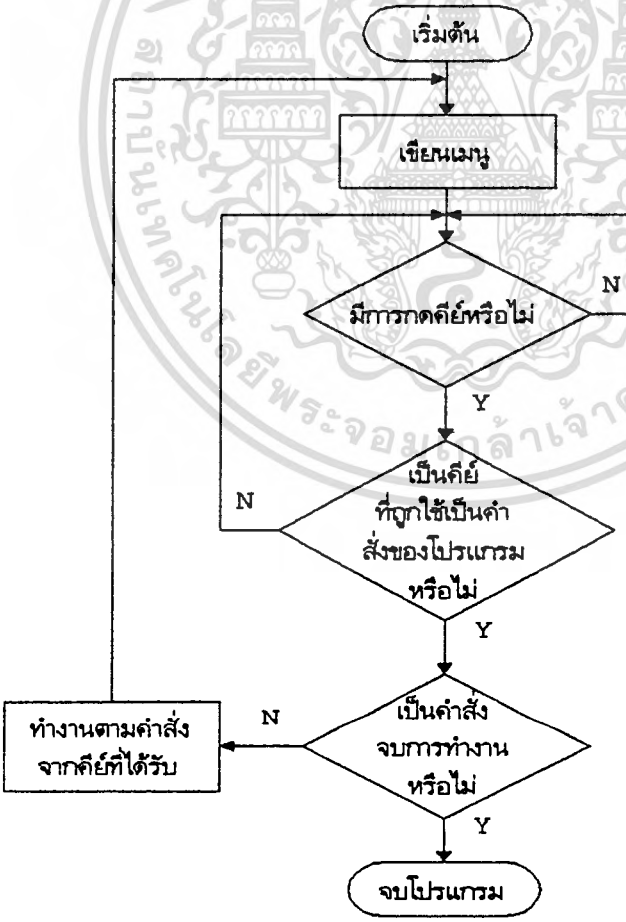
การทำงานของซอฟท์แวร์

เนื่องจากในโปรเจคนี้ต้องการมุ่งเน้นให้สามารถนำ hardware ที่ออกกแบบไว้มาใช้ประโยชน์ได้หลาย ๆ อย่าง โดยที่กำหนดไว้คือ สามารถใช้งานเป็น logic analyzer ได้ (สามารถวัดสถานะ hi-impedance ได้) , เป็นเครื่องอ่านหรือวิเคราะห์ฟังก์ชั่นในไอซี PAL (แบบที่ไม่มี Registor ภายใน) ซึ่งส่วนนี้ก็จะใช้โปรแกรม QM เข้ามาช่วยในการวิเคราะห์หาสมการอีกทีหนึ่ง และส่วนสุดท้ายคือใช้เป็นเครื่องตรวจสอบไอซี TTL และ CMOS ในตระกูล 74 series ซึ่งจะตรวจสอบได้เฉพาะ basic gate ทั่วไป เช่น AND OR NOR NAND NOT เท่านั้น

ในส่วนของ software นี้ จะแยกรายละเอียดของแต่ละโปรแกรมเป็น 4 หัวข้อคือ

3.2.1 Main Menu

เขียนด้วยภาษา C ทำหน้าที่เป็นตัวสั่งงานสำหรับโปรแกรมทั้งหมดในโปรเจค ซึ่งมีโฟลวชาร์ทการทำงานของโปรแกรมดังรูปที่ 3.2.1 (รายละเอียดของเมนูจะกล่าวโดยละเอียดอีกครั้งในบทที่ 4)



รูปที่ 3.2.1 โฟลวชาร์ทของโปรแกรม MAIN.EXE

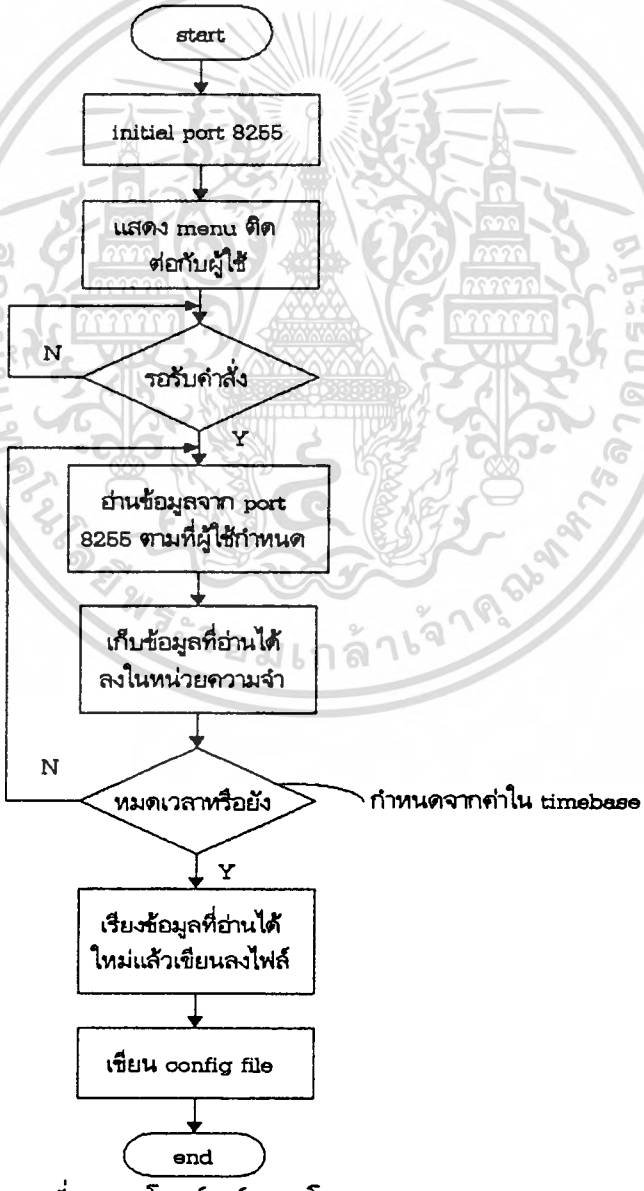
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 Logic Analyzer

ในการใช้งานเครื่องเป็น logic analyzer นี้ ก็จะแยกการทำงานออกเป็น 2 ส่วน คือ ส่วนที่ทำหน้าที่อ่านและเก็บข้อมูล และส่วนที่ทำหน้าที่ประมวลผล และแสดงผล ซึ่งตัวโปรแกรมทั้งสองส่วนนี้จะแสดงไว้ในภาคผนวกท้ายเล่ม

3.2.2.1 ส่วนที่ทำหน้าที่อ่านและเก็บข้อมูล

ส่วนนี้คือโปรแกรมที่กำหนดชื่อไว้เป็น CLA.EXE (Computer Logic Analyzer) เขียนด้วยภาษา Assembly มีหลักการทำงานดังนี้คือ จะรับคำสั่งต่าง ๆ จากผู้ใช้ และอ่านข้อสถานะของสัญญาณที่วัดผ่านทางพอร์ทข้อมูล 8255 แล้วนำผลข้อมูลที่อ่านเข้ามาได้เก็บเป็น file ข้อมูล คือ LOGIG01.DAT ถึง LOGIC24.DAT และ นอกจาก file ของข้อมูลแล้วยังมี fie ที่เป็น config (LOGIC.CFG) สำหรับเป็นส่วนบอกให้ตัวประมวลผลทราบว่ามีข้อมูลกี่ channel โดยจะแสดงการทำงานต่าง ๆ ของโปรแกรมไว้ใน flowchart ดังรูปที่ 3.2.2

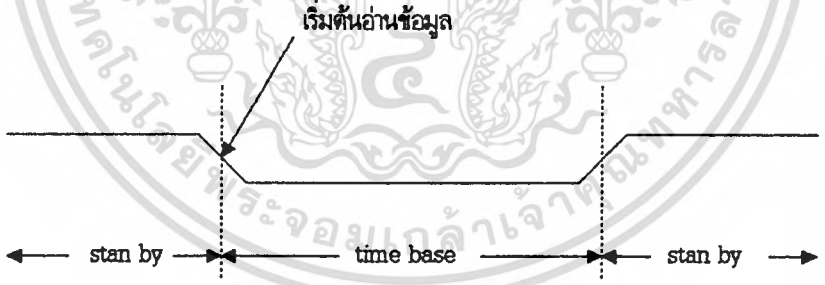


รูปที่ 3.2.2 โฟลว์ชาร์ทของโปรแกรม CLA.EXE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

initial 8255 จะเป็นส่วนกำหนด control word ให้กับ 8255 แต่ละตัวในเครื่อง เมื่อทำการกำหนดค่าต่าง ๆ แล้วก็จะตรวจสอบข้อมูลที่ส่งออกไป ถ้าข้อมูลที่ส่งออกไปไม่ตรงกับข้อมูลที่รับเข้ามาก็แสดงว่าเครื่องทำงานผิดพลาด หรือไม่ได้ต่อเครื่องเข้ากับคอมพิวเตอร์ โปรแกรมก็จะจบการทำงานตั้งแต่ขั้นตอนนี้ ถ้าผ่านการตรวจสอบแล้ว ไฟสีเขียวที่หน้าปัดก็จะติดสว่างขึ้น แสดงว่าเครื่องพร้อมที่จะทำงานแล้ว

menu ติดต่อกับผู้ใช้ ในส่วนของ menu นี้ ผู้ใช้จะต้องเลือกว่าต้องการใช้กี่ channel โดยจำนวน channel ที่เลือกจะมีผลต่อค่าความถี่สูงสุดที่จะทำการวัดได้ โดยถ้าเลือกจำนวน channel โดยจำนวน channel ที่เลือกจะมีผลต่อค่าความถี่สูงสุดที่วัดได้ โดยถ้าเลือกจะมีผลต่อค่าความถี่สูงสุดที่วัดได้ โดยถ้าเลือกจำนวน channel มาก ๆ ความถี่สูงสุดที่วัดได้ก็จะต่ำลง ดังนั้นถ้าผู้ใช้ต้องการวัดความถี่สูง ๆ ก็ควรเลือกไว้ที่ 4 channel การเบือกจำนวน channel สามารถเลือกได้ดังนี้คือ 4, 8, 12, 16, 20 และ 24 channel ขั้นตอนต่อไปก็คือเลือก time base ว่าต้องการเวลาในการอ่านข้อมูลนานมากน้อยเพียงใด ซึ่ง time base นี้จะมีให้เลือกใช้ทั้งหมด 16 ค่า ถ้าหากผู้ใช้ต้องการวัดสัญญาณความถี่ต่ำ ๆ ก็คือจะต้องเลือกค่าเวลาสูงสุดเอาไว้ก่อน ขั้นสุดท้าย ก่อนการสั่งให้อ่านข้อมูลก็คือ การ set threshold ว่าวงจรหรือสัญญาณที่เราจะวัดนั้นมีระดับแรงดันเป็นเท่าใด ถ้าเป็นวงจร logic ทั่ว ๆ ไป ก็ให้ set ไว้ที่ +5V เมื่อ set ค่าต่าง ๆ ครบแล้วจึงเริ่มสั่งให้โปรแกรมอ่านข้อมูลโดยเลือกไปที่ start ขณะเริ่มต้นการ start จะมีการส่งสัญญาณ trigger ไปยังภายนอกด้วย ซึ่งผู้ใช้สามารถนำสัญญาณนี้ไปเป็นตัวสั่งให้เริ่มต้นส่งข้อมูลได้ โดยสัญญาณ trigger นี้จะ active ที่ negative edge ดังรูปที่ 3.2.3



รูปที่ 3.2.3 ลักษณะของสัญญาณ trigger

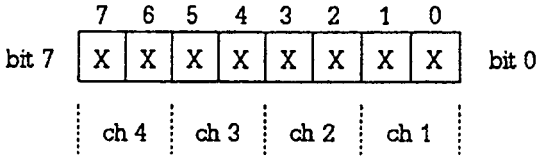
การอ่านข้อมูลจาก 8255 ลักษณะการอ่านข้อมูลจะอ่านเข้ามาทีละ 1 port โดยใน 1 port ก็จะมีข้อมูลทั้งหมด 4 channel เนื่องจาก 1 channel ต้องใช้ 2 bit ในการแทนสภาวะ 3 สภาวะ ดังตารางที่ 3.2.1

สถานะ	หมายเลข
โลจิก "0"	01
โลจิก "1"	10
Hi Impedance	00,11

ตารางที่ 3.2.1 แสดงเลขฐานสองที่กำหนดสถานะโลจิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่ออ่านข้อมูลเข้ามาแล้ว ก็จะนำข้อมูลเก็บลงหน่วยความจำโดยไม่มีการทำอะไรกับข้อมูลทั้งสิ้น เพื่อต้องการให้ CPU ใช้เวลากับสิ่งเหล่านี้น้อยที่สุด เพื่อให้สามารถวัดสัญญาณที่มีความถี่สูง ๆ ได้



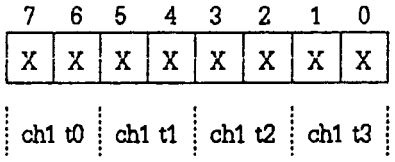
รูปที่ 3.2.4 ลักษณะของข้อมูบที่อ่านได้ 1 byte

การเรียงข้อมูลใหม่ การเรียงข้อมูลใหม่เพื่อให้โปรแกรมประมวลผลทำได้ง่ายขึ้น และเป็นการแยกข้อมูลออกมาเป็น channel ของใครของมัน เพื่อนำมาเก็บลงเป็น file ซึ่งจะมีขั้นตอนการจัดเรียงข้อมูลใหม่ดังแสดงใน flow chart รูปที่ 3.2.5

รูปที่ 3.2.5 โฟลว์ชาร์ตของการเรียงข้อมูล

ดังนั้นเราก็จะได้ format ของข้อมูลใหม่ ซึ่งใน 1 byte นั้น จะมีข้อมูลของ channel ใด channel หนึ่งเพียง channel เดียว ดังแสดงในรูปที่ 3.2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



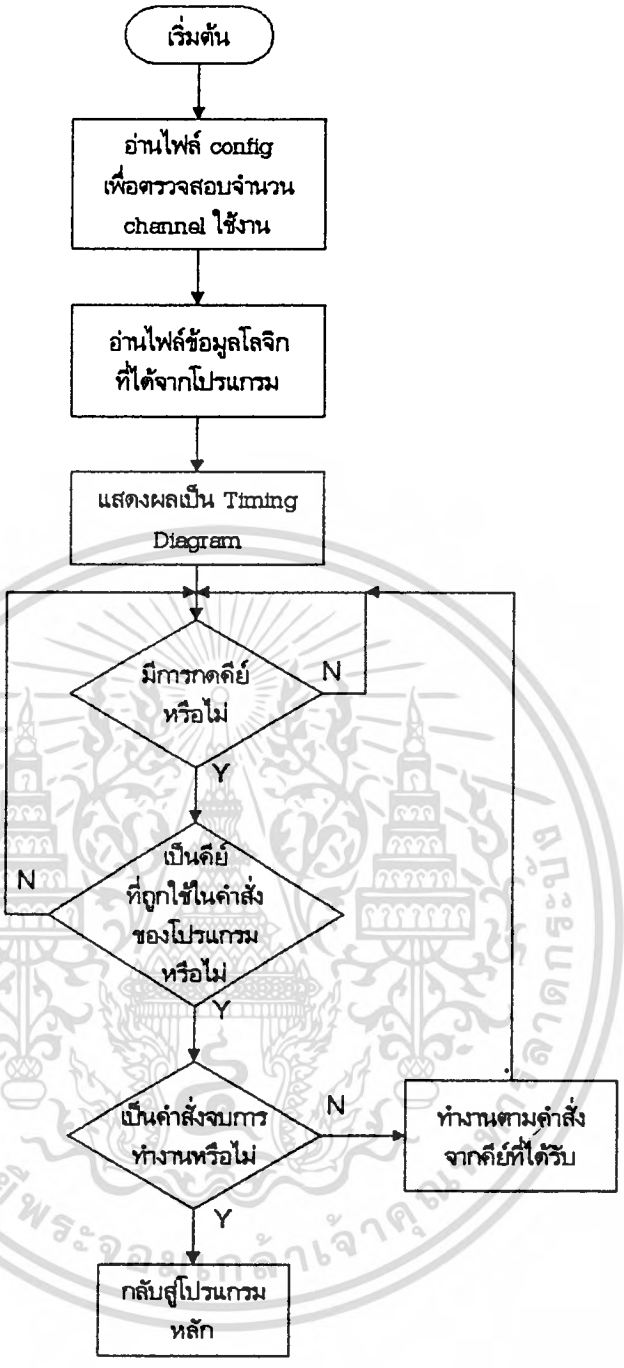
รูปที่ 3.2.6 ลักษณะข้อมูลใน 1 byte ของ channel 1

config file ถูกเขียนขึ้นมาเพื่อเป็นตัวบอกให้กับโปรแกรมส่วนแสดงผลรู้ว่ามีจำนวนของ channel ที่ใช้งานเท่าไร โดยจะเป็น binary file ซึ่งจะมีเพียง 1 byte เท่านั้น คือจะเป็นเลขฐาน 16 1 ตัว เช่นถ้าหากว่าเป็นการใช้งาน 4 channel เราก็จะเห็นระหัสตัวที่ 4 ของระหัส ASCII นั่นคือ ตัวข้าวหลามตัดอยู่ใน config file

3.2.2.2 ส่วนแสดงผลข้อมูล

ส่วนนี้คือโปรแกรมที่กำหนดชื่อไว้เป็น PULSE.EXE เขียนด้วยภาษา C มีหลักการทำงานดังโฟลว์ชาร์ตรูปที่ 3.2.7 คือ อันดับแรกจะอ่าน config file (LOGIC.CFG) เพื่อตรวจสอบว่าเป็นการใช้งานกี่ channel หลังจากนั้นจะทำการตรวจสอบไฟล์ต่าง ๆ ที่ใช้ในโปรแกรม และตรวจสอบว่า มีไฟล์ข้อมูลสถานะทางโลจิก (FUNCTXX.DAT) อยู่ครบตามจำนวน channel ที่ใช้งานหรือไม่ ถ้าหากไฟล์ใด ไฟล์หนึ่งไม่ครบ โปรแกรมจะหยุดการทำงานทันที , เมื่อตรวจสอบไฟล์เรียบร้อยแล้วโปรแกรมก็จะทำการอ่านข้อมูลสถานะทางโลจิกที่ถูกสร้างขึ้นโดย CLA.EXE เพื่อนำเลขฐานสองในไฟล์ข้อมูลมาเก็บไว้ในหน่วยความจำ โดยจะเก็บในรูปของตัวแปรชุด (แบ่งเป็นแต่ละเชลแนล) หลังจากนั้นจึงนำข้อมูลสถานะทางโลจิกดังกล่าวที่เก็บไว้ในตัวแปรชุด มาทำการแปลงให้เป็นรูปกราฟฟิก คือเป็น Timing Diagram นั่นเองโดยถ้าข้อมูลมีสถานะเป็นไฮอิมพีแดนซ์ Timing Diagram จะเป็นช่องว่าง (ไม่มีเส้นปรากฏ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2.7 โฟลว์ชาร์ตของโปรแกรม PULSE.EXE

3.2.3 การอ่านหรือวิเคราะห์โปรแกรมจากไอซี PAL

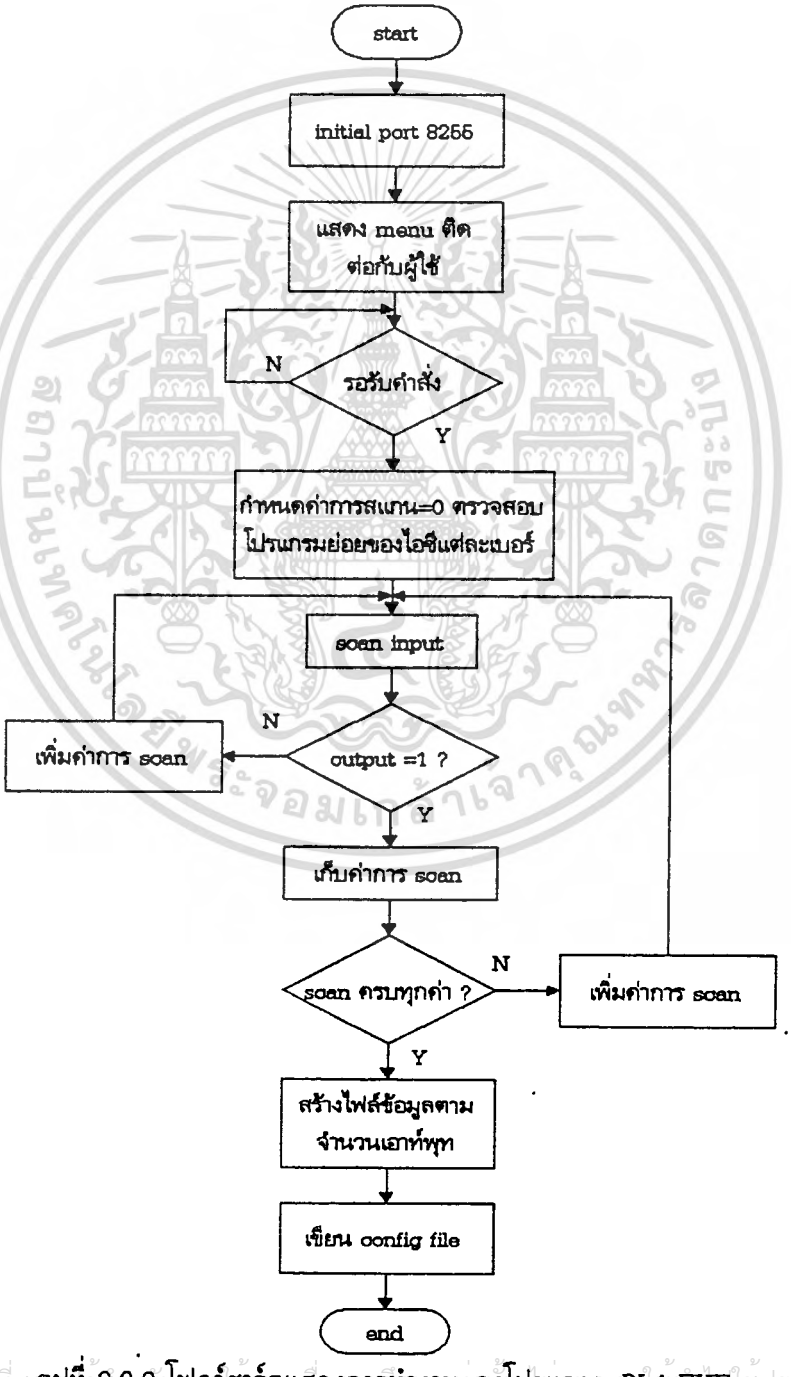
การอ่านหรือวิเคราะห์โปรแกรมจากไอซี PAL นี้ก็จะมีการแบ่งแยกหน้าที่เป็น 2 ส่วนคือ ส่วนที่ทำหน้าที่อ่านข้อมูลจากไอซี PAL และส่วนที่ทำหน้าที่วิเคราะห์หาสมการออกมา

3.2.3.1 การอ่านข้อมูลจาก PAL

ในการอ่านข้อมูลจาก PAL นี้จะอาศัยหลักการป้อนค่าต่าง ๆ ให้กับอินพุทของไอซี PAL เช่น ถ้าเป็นไอซี PAL ที่มี 16 อินพุท ก็ต้องป้อนค่าให้กับอินพุทของไอซีทั้งหมด 2^{16} ค่า หรือ 65535 ค่า

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คือเริ่มจาก 0000F - FFFFH (หรือถ้าหากมี 16 อินพุท แต่ใช้งานเพียง 4 อินพุทก็จะป้อนค่าให้กับอินพุทของไอซีเพียง 2^4 ค่า ซึ่งจะทำให้การทำงานของการส่งข้อมูลและการวิเคราะห์สมการทำได้เร็วขึ้น) แล้วทำการตรวจสอบว่าที่อินพุทแต่ละค่านั้นเอาท์พุทของมันมีค่าเป็นอะไร ซึ่งเราจะสนใจเฉพาะแต่อินพุทที่ให้เอาท์พุทเป็นโลจิก "1" เท่านั้น (ในรูปของมินเทอม) แล้วนำค่าอินพุทนั้นเก็บเป็น file ข้อมูลเพื่อวิเคราะห์หาสมการอีกทีหนึ่ง ซึ่งโปรแกรมที่ทำหน้าที่เหล่านี้คือ โปรแกรม PLA.EXE (เขียนด้วยภาษา Assembly) จากหลักการพื้นฐานข้างต้น ไอซี PAL ที่ใช้จะต้องไม่มี Register อยู่ภายในตัว เนื่องจากไม่เราจะไม่สามารถทราบได้ว่าสภาวะเริ่มต้นเป็นอะไร (นั่นคือไม่สามารถวิเคราะห์สมการที่เป็น Sequence ได้) flow chart การทำงานของโปรแกรมแสดงในรูปที่ 3.2.8



รูปที่ 3.2.8 โฟลว์ชาร์ตแสดงการทำงานของโปรแกรม PLA.EXE

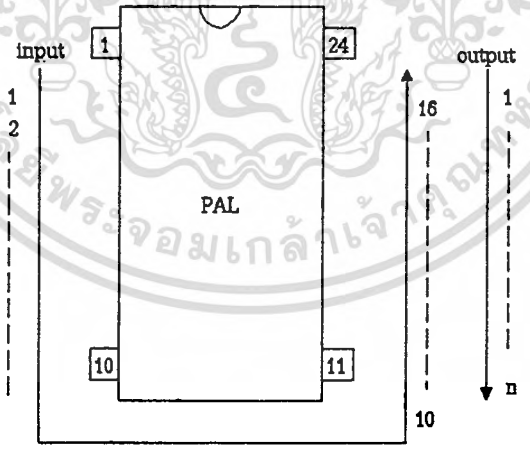
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมนูติดต่อกับผู้ใช้ ก่อนการเริ่มใช้งาน ผู้ใช้จะต้องเลือกเบอร์ไอซีที่ต้องการ ซึ่งจะสามารถเลือกได้ทั้งหมด 8 เบอร์ด้วยกัน คือ เบอร์ 16L8, 16L4, 16L2, 14L8, 14L4, 12L10, 12L6 และเบอร์ 12L4 เมื่อเลือกเบอร์ที่ต้องการได้แล้วผู้ใช้ก็จะต้องเลือกค่าหน่วงเวลา เนื่องจากคอมพิวเตอร์แต่ละเครื่องจะมีความเร็วในการทำงานไม่เท่ากัน

การตรวจสอบโปรแกรมย่อย เมื่อผู้ใช้ทำการเลือกเบอร์ไอซีและกำหนดค่าการหน่วงเวลาแล้ว ทำการ start โปรแกรม , โปรแกรมจะนำเบอร์ไอซีที่ผู้ใช้เลือกไปเรียกหาโปรแกรมย่อยของแต่ละเบอร์แล้วเริ่มต้นการทำงานตามโปรแกรมย่อยเหล่านั้น

การ scan inpup และรับค่าจาก output ปัญกาในการ scan input และรับค่าจาก output ก็คือแต่ละเบอร์จะมีตำแหน่งขา input และ ขา output ไม่ตรงกัน นอกจากนั้นไอซีบางเบอร์ยังใช้ขาเดียวกันทำหน้าที่เป็นทั้งอินพุทและเอาท์พุท ทำให้ต้องมีการเลื่อน bit ของค่าการ scan ให้ตรงกับ input ของไอซีซึ่งแต่ละเบอร์ก็จะมีการเลื่อน bit ข้อมูลที่ต่างกันไป ทั้งอินพุทและเอาท์พุท

การเริ่มต้นการ scan ก็จะใช้การเพิ่มค่าการ scan ขึ้นทีละ 1 ค่า แล้วตรวจสอบว่าเอาท์พุทเป็น 1 หรือไม่ ถ้าไม่ก็จะเพิ่มค่าอินพุทขึ้นอีก 1 แล้วตรวจสอบ output ใหม่ แต่ถ้าเป็น "1" ก็จะเก็บค่าของ input ที่ทำให้เอาท์พุทเป็น 1 ไว้แล้วจึงเพิ่มค่าการ scan ขึ้นอีก 1 ค่า แล้วเริ่มต้นการ scan ใหม่ โดยเมื่อ scan ครบทุกค่าแล้วก็จะนำค่า input ที่ทำให้ output เป็น "1" มาเขียนเป็น file ข้อมูลโดยมีชื่อว่า FUNCTXX.DAT โดยค่าตัวเลขท้าย 2 ตัวเป็นตัวบอกหมายเลขของ function ของไอซี ซึ่งการเรียงขา input และ output จะมีรูปแบบการเรียงดังรูปที่ 3.2.9



รูปที่ 3.2.9 รูปแบบการเรียงขาของ ไอซี

config file มีลักษณะเป็น Text file โดยจะเก็บพารามิเตอร์ของ ลักษณะของข้อมูล, จำนวนอินพุท และ จำนวนเอาท์พุท ซึ่งจะมี format ดังนี้

- พารามิเตอร์ตัวที่ 1 เป็นตัวบอกว่าวิเคราะห์ด้วยสมการแบบมินเทอม หรือแมกเทอม โดยจะแทนด้วยตัวอักษร "I" และ "A" ตามลำดับ (แต่ในโครงงานนี้จะใช้เป็นมินเทอมตลอด แต่ที่ต้องทำแมกเทอมไว้ด้วยนั้นก็คือรองรับการพัฒนาในอนาคต)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- พารามิเตอร์ตัวที่ 2 เป็นตัวบอกจำนวนอินพุทของ ไอซีเบอร์ที่ทำการวิเคราะห์

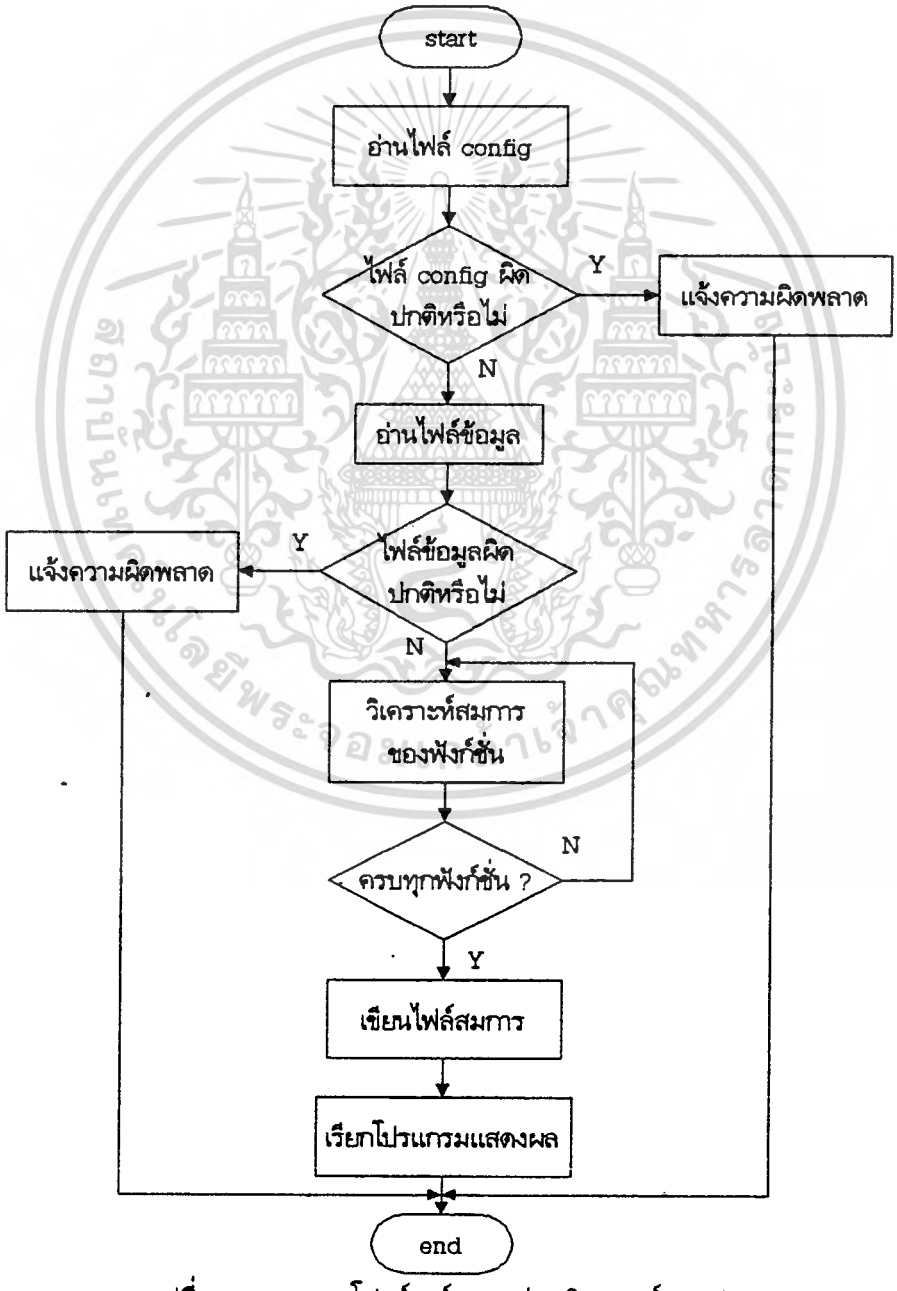
- พารามิเตอร์ตัวที่ 3 เป็นตัวบอกจำนวนเอาท์พุทของไอซีเบอร์ที่ทำการวิเคราะห์

โดยพารามิเตอร์แต่ละตัวจะถูกแยกจากกันด้วย space bar

ยกตัวอย่างเช่น config file คือ "I 16 8" ก็จะหมายความว่า เป็นการวิเคราะห์โดยใช้มินเทอม ,เป็นไอซี PAL ที่มี 16 อินพุท และมี 8 เอาท์พุท เป็นต้น

3.2.3.2 ส่วนวิเคราะห์หาสมการ

ส่วนนี้จะใช้โปรแกรม QM.EXE ซึ่งได้รับมาจากอาจารย์ไพศาล เป็นโปรแกรมที่เขียนขึ้นมาโดยนักศึกษาสถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ โดยทางผู้จัดทำได้นำมาปรับปรุง และปรับเปลี่ยนให้เข้ากับการทำงานที่ต้องการซึ่งโปรแกรมมีลำดับขั้นการทำงานดัง flow chart รูป 3.2.10



รูปที่ 3.2.10 แสดงโฟลว์ชาร์ตของส่วนวิเคราะห์สมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอ่าน config file ขั้นแรก โปรแกรมจะทำการอ่าน config file เพื่อตรวจสอบว่าฟังก์ชั่นที่จะให้วิเคราะห์นี้เป็นมินเทอม หรือแมกเทอม (ในที่นี้จะเป็นเฉพาะมินเทอม ดังที่ได้กล่าวมาแล้ว) และตรวจสอบว่ามีจำนวนอินพุทและเอาท์พุทเท่าใด เป็นค่าที่เป็นไปได้หรือไม่ คือถ้าเป็นค่าที่ผิดปกติ โปรแกรมก็จะรายงานให้ทราบ และจบโปรแกรมลง แต่ถ้าเป็นค่าที่เป็นไปได้ โปรมแกรมก็จะไปอ่านไฟล์ข้อมูลที่ถูกสร้างขึ้นโดยโปรแกรม PAL.EXE (FUNCTXX.DAT) แล้ววิเคราะห์ว่าค่าเทอมต่าง ๆ ในฟังก์ชั่นเหล่านั้นเป็นไปได้หรือไม่ (เช่น มีค่ามินเทอมคือ 3544 แต่มี อินพุทเพียง 11 ก็จะเป็นไปไม่ได้ , แต่ในความเป็นจริงแล้วไม่น่าจะมีความผิดพลาดเช่นนี้ขึ้นได้ แต่ก็ต้องทำการกันเอาไว้เพื่อความสมบูรณ์) ถ้าเป็นไปไม่ได้โปรแกรมก็จะแจ้งให้ทราบและจบโปรแกรม

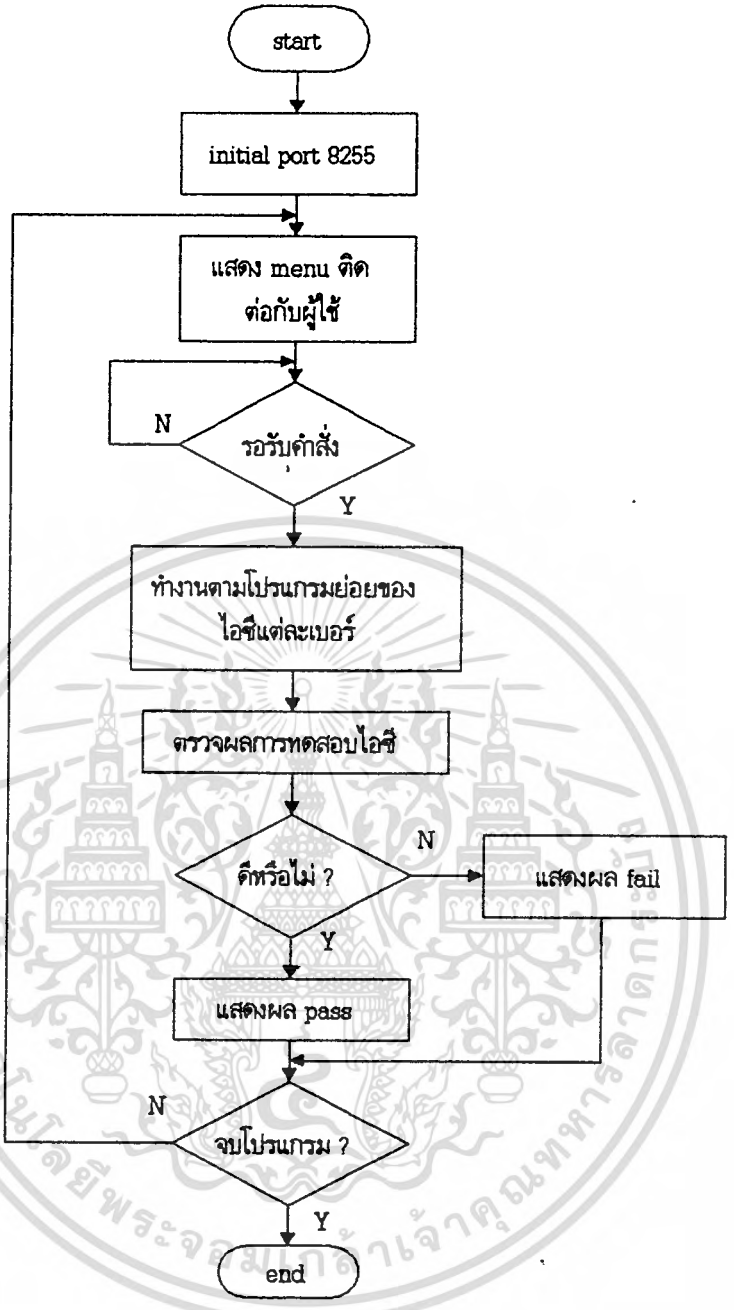
การวิเคราะห์สมการ ถ้าไม่มีอะไรที่ผิดพลาดในไฟล์ข้อมูล และไฟล์ config โปรแกรมก็จะทำการวิเคราะห์หาสมการออกมาให้ โดยใช้โปรแกรม QM.EXE , โปรแกรมนี้จะเป็นตัวที่ทำการวิเคราะห์หาสมการจากฟังก์ชั่นที่ได้รับมาจาก โปรแกรม PAL.EXE โดยอาศัยหลักการของ QM (Quine-McCluskey method) คือเป็นหลักการที่จะใช้เทอมของแต่ละ function ร่วมกันให้มากที่สุดเพื่อให้ประหยัดอุปกรณ์ หรือ GATE แต่เนื่องจากว่า function ที่ถูกโปรแกรมมาใน PAL นั้นมิได้ใช้เอาท์พุทร่วมกัน จึงได้ทำการแก้ไขให้โปรแกรมทำการวิเคราะห์ทีละฟังก์ชั่น แล้วได้สมการออกมาเป็นของใครของมันเลย (ซึ่งจากการทดสอบดูจะได้สมการที่สั้นกว่าคิดแบบ QM ตามปกติ) เมื่อได้สมการออกมาแล้วก็จะเขียนไว้เป็น file equation (QM.EQ)

การแสดงผล หลังจากที่ทำการวิเคราะห์สมการออกมาได้แล้ว โปรแกรมจะไปเรียกโปรแกรมแสดงผลออกมา โปรแกรมแสดงผลนี้จะทำการอ่านไฟล์ QM.EQ แล้วนำมาแสดงผลให้เห็นบนจอภาพ ด้วยโปรแกรม READ.EXE โดยสามารถใช้ปุ่มลูกศร ขึ้น, ลง, ซ้าย, ขวา หรือ Page Up, Page Down, Home, End ในการเลื่อนดูสมการได้

3.2.4 การตรวจสอบไอซี TTL และ CMOS

โปรแกรมที่ทำหน้าที่นี้คือโปรแกรม TTL.EXE โดยการตรวจสอบไอซี TTL และ CMOS นั้นจะต้องเป็นตระกูล 74 series เท่านั้น และจะต้องเป็นไอซี logic gate พื้นฐานทั่ว ๆ ไปด้วย เช่น AND, OR, NOR, NAND, NOT ซึ่งจะมีการทำงานดังแสดงใน flow chart ดังรูปที่ 3.2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



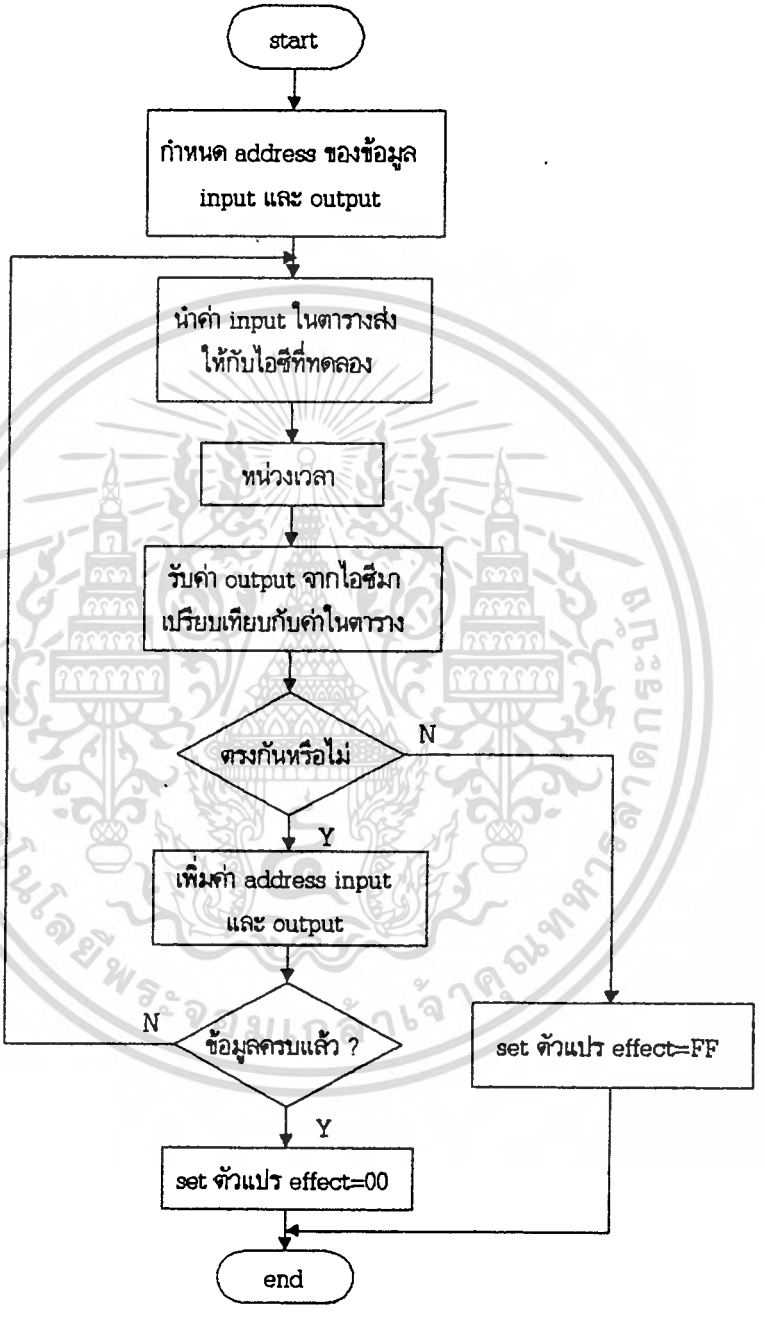
รูปที่ 3.2.11 แสดงโฟลว์ชาร์ตของโปรแกรมตรวจสอบไอซี TTL และ CMOS

เมนูติดต่อกับผู้ใช้ ผู้ใช้จะต้องกำหนดเบอร์ของไอซีลงไปว่าเป็นเบอร์อะไร แล้วโปรแกรมจะตรวจสอบว่ามีข้อมูลของไอซีเบอร์นั้นอยู่หรือไม่ ถ้ามี ขั้นต่อไปก็จะเป็นการกำหนดช่วงเวลาในการหน่วงเวลาไว้ว่าส่งข้อมูลให้ไอซีนานเท่าไร จึงจะรับผลจากไอซีเข้ามาตรวจสอบ

โปรแกรมย่อยของไอซีแต่ละเบอร์ เนื่องจากไอซีแต่ละเบอร์จะมีตำแหน่งขา input และ output ไม่ตรงกัน จึงต้องแยกการทำงานเป็นของไอซีแต่ละเบอร์ เพื่อให้ง่ายต่อการเขียนโปรแกรมและลดข้อผิดพลาดในการส่งข้อมูลไปยัง input และ รับ output จาก ไอซีที่ต้องการตรวจสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การตรวจผลการทดสอบไอซี หลักการในการตรวจสอบคือ นำผลที่ได้จากการส่งค่าไปให้ input ของไอซีแต่ละเบอร์ แล้วรับเอา output ที่ถูกต้องของไอซีเบอร์นั้น ๆ ซึ่งจะมีหลักการตรวจสอบดังแสดงใน flow chart ดังรูป 3.2.11



รูปที่ 3.2.12 แสดง โฟลว์ชาร์ตของหลักการตรวจสอบไอซี

การแสดงผล โดยจะดูจากค่าในตัวแปร offect โดยถ้าค่าเป็น 00 แสดงว่าไอซีตัวนั้นดี จะแสดงผลเป็น pass แต่ถ้าค่าใน effect เป็น FF แสดงว่าไอซีตัวนั้นเสีย จะแสดงผลเป็น fail

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การติดตั้งและการใช้งาน

4.1 การติดตั้ง

4.1.1 การติดตั้งฮาร์ดแวร์

เพียงนำส่วนที่เป็นการ์ด (interface card) เสียบลงบน ISA slot ที่ว่างๆ ในเครื่องคอมพิวเตอร์ แล้วต่อสายจาก connector ที่การ์ดมายังบอร์ดภายนอก (กล่องวงจร) ที่ช่อง card connect โดยไฟเลี้ยงของบอร์ดภายนอกนี้จะใช้อะแดปเตอร์ 13.8 Vdc 1 A เสียบเข้าที่แจ็คบนกล่อง ถ้าการติดตั้งเป็นไปอย่างถูกต้อง LED Power บนกล่องวงจรจะติด

4.1.2 การติดตั้งซอฟท์แวร์

จะใช้แผ่น Install ในการติดตั้ง ซึ่งแผ่น Install จะมีไฟล์ Install.bat และไฟล์ Logic.exe อยู่ (Logic.exe นี้จะเป็นไฟล์ที่เก็บโปรแกรมใช้งานทั้งหมดเอาไว้ด้วยการบีบอัดข้อมูล) ให้ใช้ไฟล์ Install.bat ในการติดตั้งโดยการพิมพ์ Install <drive : > ,drive คือ ชื่อไดร์ฟที่ต้องการจะนำโปรแกรมไปติดตั้ง เช่น ต้องการติดตั้งที่ไดร์ฟ C ก็พิมพ์ Install C: ก็จะเป็นการติดตั้งโปรแกรมทั้งหมดลงในไดร์ฟ C ในไดเรคทอรี่ของ "LOGIC" ซึ่งเมื่อทำการติดตั้งเรียบร้อยแล้ว จะมีไฟล์โปรแกรมทั้งหมดในไดเรคทอรี LOGIC ดังนี้

- MAIN.EXE
- CLA.EXE
- PULSE.EXE
- TTL.EXE
- PLA.EXE
- QM.EXE
- READ.EXE
- FON.T

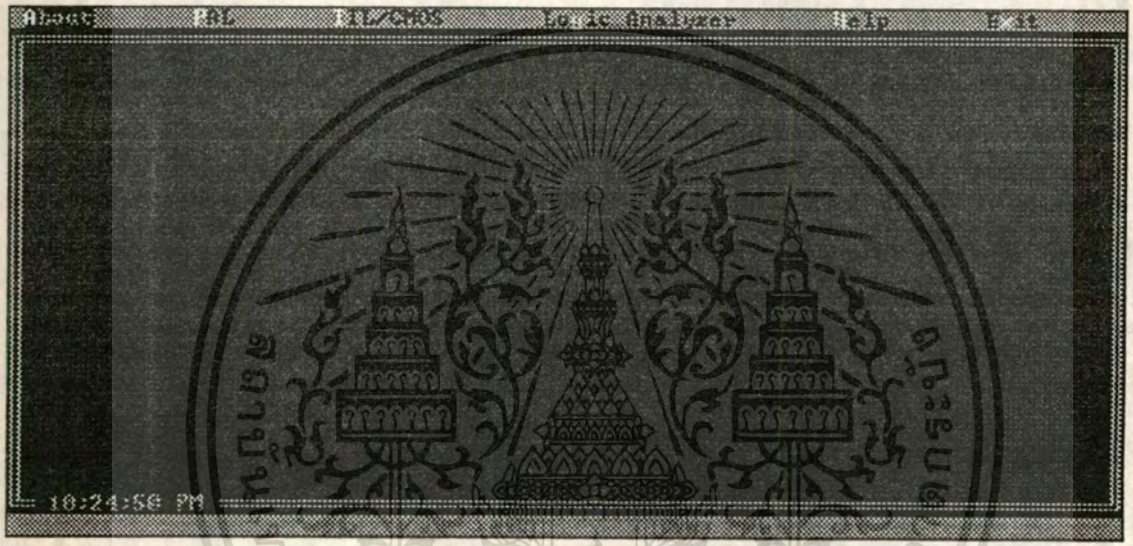
* (ในการติดตั้งนั้นจะต้องมีพื้นที่ว่างในฮาร์ดดิสก์ประมาณ 1.2 MB สำหรับไฟล์ทั้งหมดและต้องการอีกประมาณ 100 kb สำหรับไฟล์ข้อมูลที่จะถูกเขียนขึ้นเมื่อเรียกใช้โปรแกรม)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การใช้งาน

4.2.1 การใช้งาน Main Menu

Main Menu เป็นโปรแกรมที่ใช้สั่งงานโปรแกรมทั้งหมดในโปรเจคนี้ นั่นคือ Logic Analyzer , การวิเคราะห์สมการจากไอซี PAL และการตรวจสอบไอซี TTL/CMOS ซึ่งโปรแกรมนี้คือ MAIN.EXE เมื่อเรียก MAIN ที่ DOS prompt ก็จะปรากฏเมนูขึ้นมาดังรูปที่ 4.2.1



รูป 4.2.1 หน้าจอของ MAIN เมื่อเรียกเข้ามาครั้งแรก

(ที่มุมซ้ายล่างของจอจะเป็นนาฬิกาแสดงเลขปัจจุบันซึ่งมันจะทำงานตลอดเวลาที่ยังอยู่ในเมนู) จากรูป 4.2.1 จะเห็นว่าเมนูหลักจะประกอบไปด้วยเมนูย่อย 6 เมนู โดยเมนูย่อยที่ Active จะมีแถบบาร์สีดำอยู่ที่เมนูย่อยนั้น ในการเลือกเมนูย่อย จะทำได้ 2 วิธีด้วยกันคือ วิธีแรกใช้ปุ่มลูกศร ซ้าย และ ขวา เพื่อเลื่อนบาร์แล้วกดปุ่มลง หรือ ENTER เพื่อเปิดเมนูย่อยนั้น หลังจากนั้นก็ใช้ปุ่ม ขึ้น , ลง หรือ SPACE BAR เพื่อเลือกทำงานตามเมนูย่อยนั้น ๆ แล้วกด ENTER อีกวิธีหนึ่งคือการใช้คีย์ลัดในการเรียกเมนูย่อยโดยคีย์ลัดจะสังเกตได้คือ มันจะสว่างกว่าตัวอักษรตัวอื่น ๆ เช่น เมนู About คีย์ลัดก็คือ ตัวอักษร A (ดูรูป 4.2.1) เมื่อเรากดคีย์ตัวอักษรที่เป็นคีย์ลัด บาร์จะกระโดดไปยังเมนูย่อยนั้น ๆ ทันที และเปิดเมนูให้ โดยที่ไม่ต้องกดปุ่ม ENTER หรือ ปุ่ม ลงอีก หลังจากนั้น ในเมนูย่อยนั้น ๆ ก็จะมีคีย์ลัดอีก เราก็สามารถที่จะกดคีย์ลัดเพื่อทำงานตามเมนูย่อยได้ทันทีโดยไม่ต้องกดปุ่ม ENTER เช่นเดียวกัน

เมนูย่อยทั้งหมดของเมนูหลักมีดังนี้

1. About : (คีย์ลัดคือ A) เป็นเมนูที่ใช้แสดงข้อมูลเกี่ยวกับโปรแกรม และผู้จัดทำ แสดงดังรูป 4.2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.2.2 หน้าจอของเมนูหลักเมื่อเลือกเมนูย่อย About

2. PAL : (คีย์ลัดคือ P) เมื่อเปิดเมนูจะมีเมนูย่อยดังนี้ (ดูรูป 4.2.3)

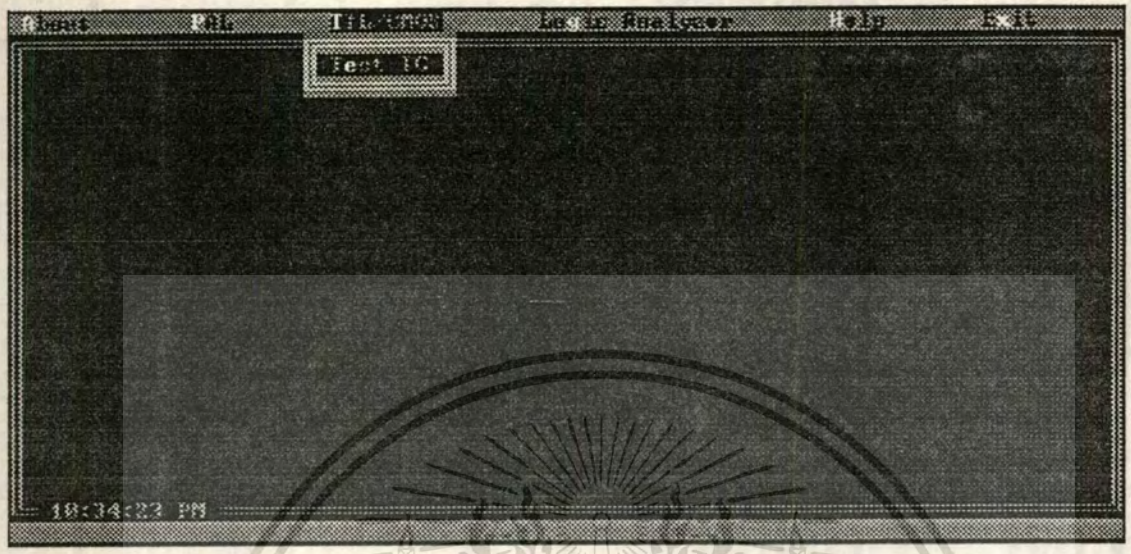
รูปที่ 4.2.3 เมนูของ PAL

- *Analysis PAL* (คีย์ลัดคือ N) ทำหน้าที่เรียกโปรแกรมที่ใช้อ่านและวิเคราะห์สมการของไอซี PAL (PLA.EXE , QM.EXE และ READ.EXE)

- *Read last equation* (คีย์ลัดคือ R) ทำหน้าที่เรียกโปรแกรมที่ใช้อ่านสมการที่ได้จากการวิเคราะห์ไอซี PAL ครั้งล่าสุด (READ.EXE)

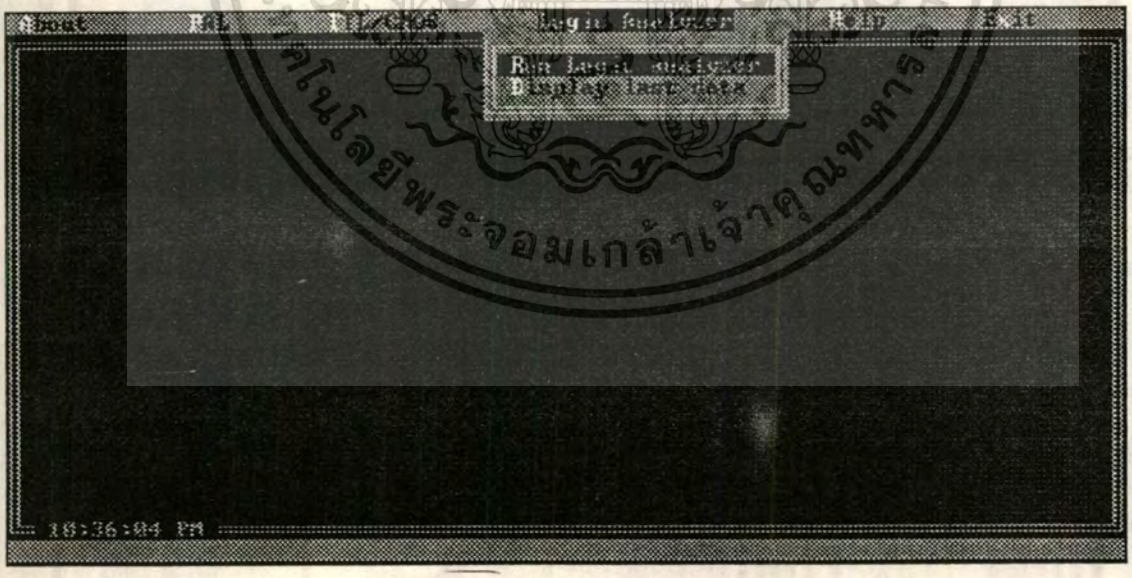
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. TTL/CMOS : (คีย์ลัดคือ T) แสดงดังรูป 4.2.4 ใช้ในการเรียกโปรแกรมตรวจสอบไอซี TTL/CMOS (TTL.EXE)



รูปที่ 4.2.4 เมนูของ TTL/CMOS

4. Logic Analyzer : (คีย์ลัดคือ G) เมื่อเปิดเมนูขึ้นมาจะมีเมนูย่อยดังนี้ (ดูรูป 4.2.5)



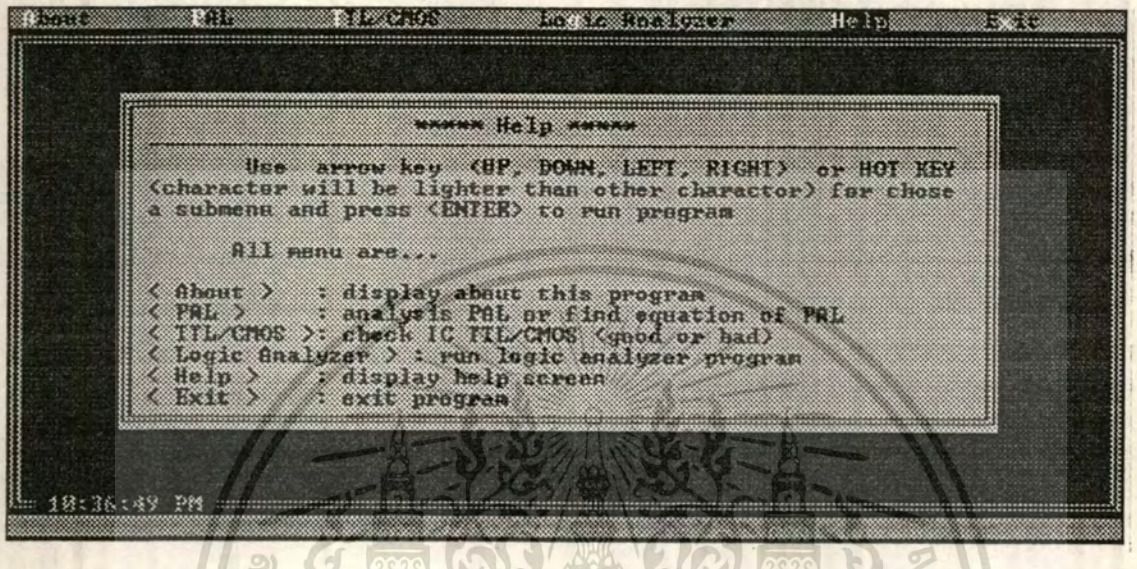
รูปที่ 4.2.5 เมนูของ Logic Analyzer

- *Run logic analyzer* (คีย์ลัดคือ R) ทำหน้าที่เรียกโปรแกรม logic analyzer (CLA.EXE และ PULSE.EXE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- *Display last data* (คีย์ลัดคือ D) ใช้ในการดูข้อมูลโลจิกที่วัดได้ครั้งล่าสุดมาดูซ้ำ (PULSE.EXE)

5. Help : (คีย์ลัดคือ H) เป็นเมนูแสดงความช่วยเหลือขณะทำการใช้โปรแกรม Main Menu แสดงดังรูป 4.2.6



รูปที่ 4.2.6 หน้าจอของเมนูย่อย Help

6. Exit : (คีย์ลัดคือ X) ใช้ออกจากเมนูหลัก แสดงดังรูป 4.2.7 ซึ่งสามารถออกจากเมนูหลักได้ 2 วิธี คือ

รูปที่ 4.2.7 หน้าจอเมื่อเปิดเมนู Exit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- *OS Shell* (คีย์ลัดคือ O) เป็นการออกจากเมนูแบบชั่วคราว คือออกไปยัง DOS ชั่วคราวเท่านั้น ซึ่งสามารถกลับมายังเมนูได้โดยการใช้คำสั่ง EXIT ที่ DOS prompt

- *Quit* (คีย์ลัดคือ Q) เป็นการออกจากเมนู หรือกลับมายัง DOS อย่างถาวร

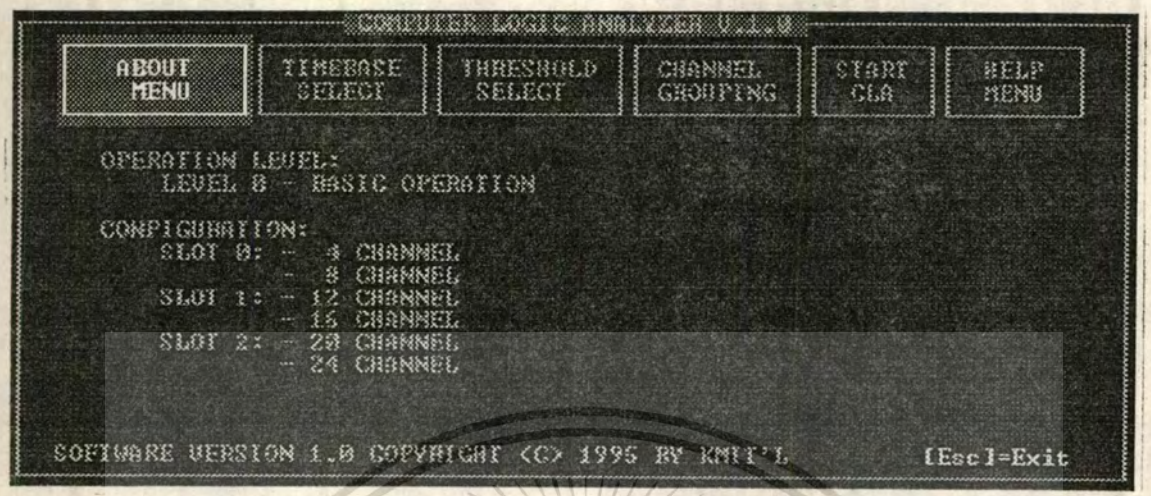
4.2.2 Logic Analyzer

จากที่ได้กล่าวมาแล้วว่า ส่วนของ Logic Analyzer นั้นจะประกอบไปด้วยโปรแกรมส่วนของการอ่านข้อมูล และโปรแกรมส่วนของการแสดงผล นั่นคือโปรแกรม 2 ตัวดังต่อไปนี้

4.2.2.1 โปรแกรม CLA.EXE

โปรแกรม CLA.EXE เป็นโปรแกรมสำหรับใช้งานเป็น Logic Analyzer ซึ่งในการใช้งานเป็นเครื่อง Logic Analyzer นี้ นอกจากผู้ใช้จะต้องติดตั้งส่วนของ Hardware ให้เรียบร้อยแล้ว จะต้องต่อสายวัดของ Logic Analyzer เข้าที่ด้านหลังของเครื่องด้วย โดยสายวัดแต่ละชุดจะสามารถวัดได้ 8 channel โดยจะต้องเสียบจุดสายวัดเข้ากับ slot 0 เป็น slot แรก ถ้าต้องการวัดมากกว่า 8 channel ก็ให้เสียบสายวัดเพิ่มที่ slot 1 และ slot 2 ตามลำดับ. สายวัดทั้ง 3 ชุดจะมี 1 ชุดที่แตกต่างจากชุดอื่น สังเกตจากชุดนี้จะมีสายวัดที่เป็นปากคีบสีเหลืองอยู่ด้วย สำหรับสายวัดชุดนี้จะใช้เสียบกับ slot 0 เท่านั้น เนื่องจากปากคีบสีเหลืองนี้จะเป็นตัว trigger สำหรับต่อกับอุปกรณ์ภายนอกเพื่อเป็นตัวบอกให้อุปกรณ์ภายนอกที่เราต้องการวัดสัญญาณเริ่มต้นทำงาน และการใช้งานโปรแกรมนี้จะต้องนำไอซีออกจาก test slot (text tool) บน กล่อง Hardware ด้วย เพื่อให้การทำงานของโปรแกรมเป็นไปอย่างถูกต้อง เมื่อติดตั้ง Hardware เรียบร้อยแล้ว สามารถเรียกใช้โปรแกรม CLA ได้ 2 วิธีคือเรียกผ่าน Main Menu และเรียกโปรแกรมโดยตรง โดยการพิมพ์ CLA ที่ DOS prompt ถ้าปรากฏข้อความเตือน แสดงว่าการติดตั้ง Hardware ไม่ถูกต้องเช่นไม่ได้เสียบปลั๊ก adapter ฯลฯ แต่ถ้าไม่มีอะไรผิดพลาด LED Stand By ที่เครื่องจะติดสว่าง และหน้าจอจะปรากฏดังแสดงในรูปที่ 4.2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.8 หน้าจอของโปรแกรม CLA.EXE เมื่อเรียกเข้ามาครั้งแรก

สำหรับโปรแกรม CLA นี้จะมีเมนูย่อย 6 เมนู ประกอบด้วย

- About menu
- Timebase Select
- Threshold Select
- Channel Grouping
- Start CLA
- Help menu

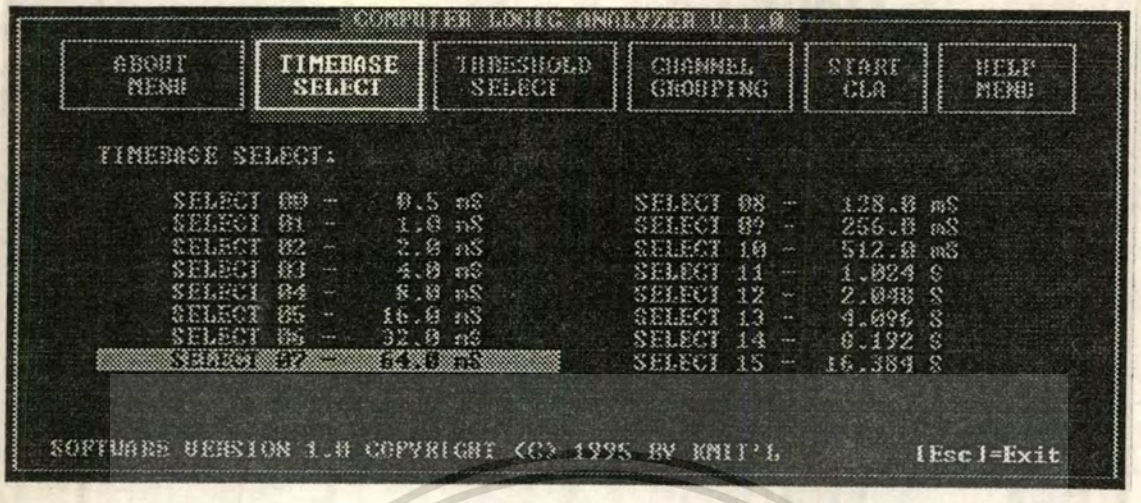
การเลือกเมนูย่อยสามารถเลือกใช้โดยการใช้คีย์ TAP หรือคีย์ลูกศร ซ้ายและขวา หรือการกดคีย์ตัวอักษรที่ปรากฏเป็นสีเหลือกในแต่ละเมนูย่อย ก็ได้เช่นกัน ส่วนการออกจากโปรแกรมนั้นจะใช้คีย์ ESC

การใช้งานแต่ละเมนูย่อย

1. About menu เป็นเมนูที่บอกให้ผู้ใช้ทราบว่าการวัด 4 channel ต้องต่อสายวัดที่ slot 0 หรือถ้าต้องการวัด 12 channel ก็ต้องต่อสายวัดทั้ง slot 0 และ slot 1

2. Timebase Select ใช้ในการเลือกค่า timebase ในการวัดสัญญาณ ซึ่งจะมีค่าต่าง ๆ ให้เลือกใช้ดังแสดงในรูปที่ 4.2.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

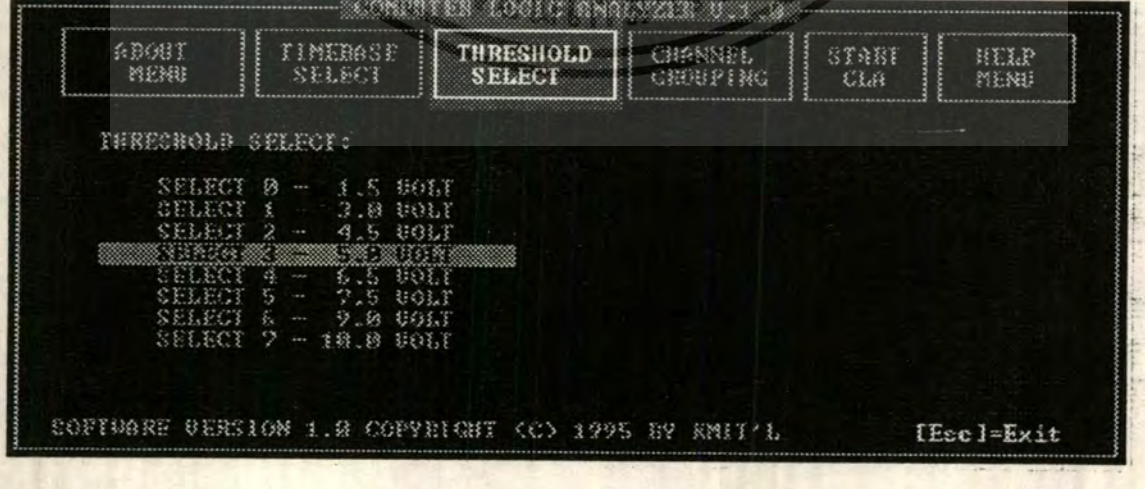


รูปที่ 4.2.9 ค่า timebase ที่มีให้เลือกในเมนู Timebase Select

การเลือกค่า timebase นั้น จะต้องใช้คีย์ลูกศร ขึ้นกับลงเท่านั้น ถ้าใช้คีย์ลูกศร ซ้ายและขวา จะเป็นการเปลี่ยนเมนูย่อย การเลือกค่า timebase นั้นเพียงแต่เลื่อนบาร์ไปที่ตำแหน่งที่ต้องการ แล้วเปลี่ยนตำแหน่งเมนูย่อยไปยังเมนูย่อยอื่น ๆ ได้เลย โดยที่ไม่จำเป็นต้องกดปุ่ม ENTER

* การเลือกค่า timebase ค่ามาก ๆ จะทำให้ไฟล์ข้อมูลมีขนาดใหญ่กว่าการเลือกค่า timebase น้อย ๆ

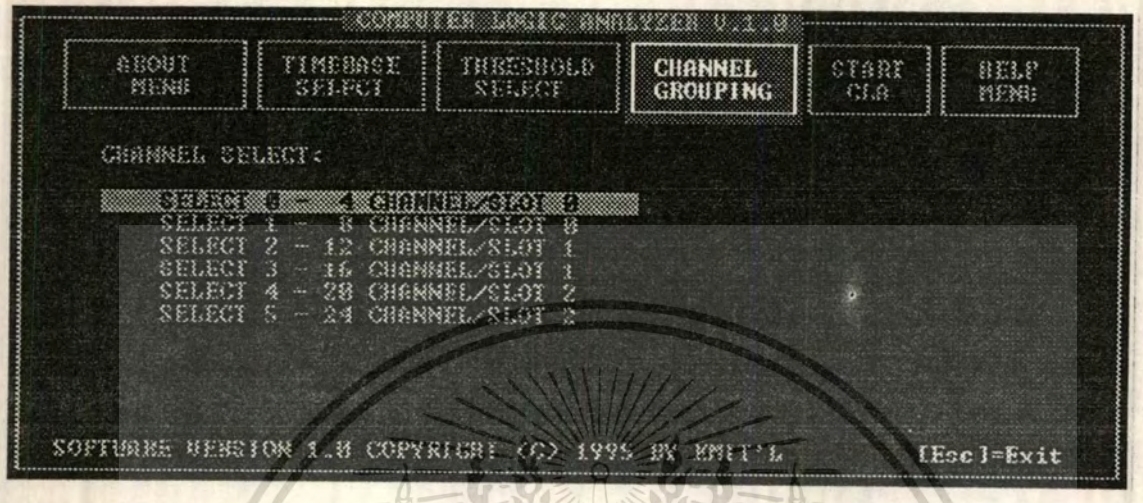
3. Threshold Select ใช้สำหรับเลือกว่าระดับแรงดันที่เราจะวัดนั้นจะมีค่าสูงสุดเท่าไร โดยปกติจะตั้งไว้ที่ 5 V สำหรับใช้กับวงจรดิจิตอลทั่ว ๆ ไป ซึ่งจะมีค่าต่าง ๆ ให้เลือกดังแสดงในรูปที่ 4.2.10



รูปที่ 4.2.10 ค่า threshold ต่าง ๆ ที่มีให้เลือกใช้ในเมนู Threshold Select

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. *Channel Grouping* เป็นเมนูย่อยสำหรับเลือกว่าต้องการจะวัดกี่ channel โดยจำนวน channel เราสามารถเอกได้จากค่าที่แสดงในรูป 4.2.11



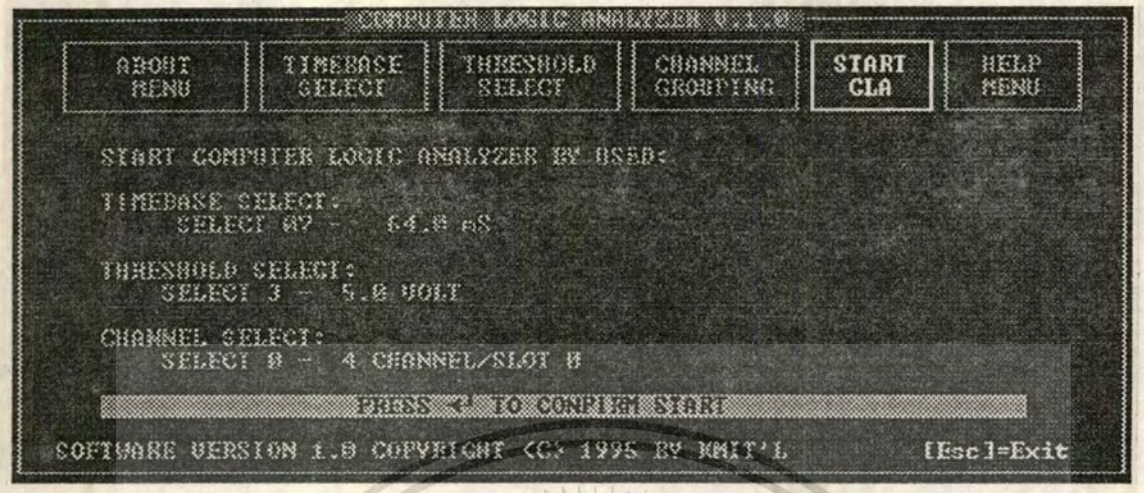
รูปที่ 4.2.11 การเลือกจำนวน channel

การเลือกจำนวน channel มาก ๆ จะทำให้วัดความถี่ได้ต่ำลงกว่าการเลือกจำนวน channel น้อย ๆ

* ข้อแนะนำการใช้งาน ถ้าใช้สายวัดไม่ครบทุก channel ที่เลือก เช่นเลือกว่าจะใช้ 8 channel แต่ใช้วัดจริงเพียง 6 channel, channel ที่ไม่ได้ใช้งานควรต่อไว้กับโลจิก "0" เพื่อให้สามารถอ่านค่า state ได้อย่างถูกต้อง

5. *Start CLA* เมื่อเลือกมาที่เมนูนี้ โปรแกรมจะรูให้ผู้ใช้กด ENTER เพื่อเริ่มต้นวัดสัญญาณ แต่ถ้าต้องการเปลี่ยนค่าต่าง ๆ ก็สามารถเลื่อนบาร์ไปยังเมนูอื่น ๆ ได้ ที่เมนูนี้จะแสดงค่าต่าง ๆ ที่ผู้ใช้เลือกไว้ให้ดูทั้งหมดก่อน เพื่อให้ผู้ใช้ยืนยันการเริ่มวัดสัญญาณโดยใช้ค่าต่าง ๆ เหล่านี้ ดังแสดงในรูปที่ 4.2.12 และระหว่างที่มีการติดต่อส่งและรับข้อมูล LED Busy จะติดสว่าง

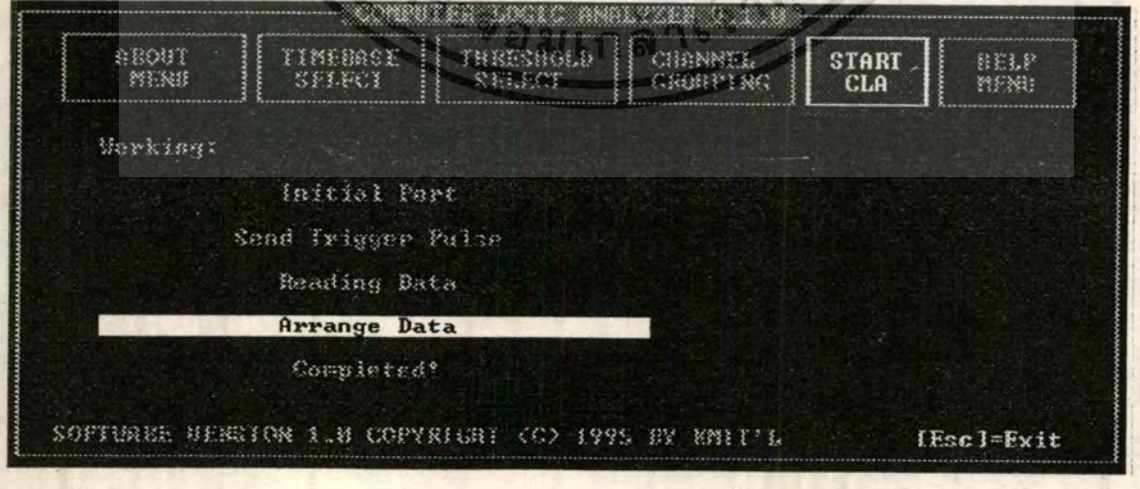
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.12 เมนู Start CLA จะแสดงค่าทั้งหมดที่ตั้งไว้ให้ดูก่อนการเริ่มต้นวัดสัญญาณ

หลังจากนั้นโปรแกรมจะเริ่มการทำงานตามลำดับดังนี้

1. ทำการ Initial port รับส่งข้อมูล
2. ส่งสัญญาณ trigger ไปยังอุปกรณ์ภายนอก
3. อ่านข้อมูลมาเก็บไว้ในหน่วยความจำ
4. ทำการเรียงข้อมูลใหม่
5. เขียนข้อมูลลงไฟล์ แล้วจบโปรแกรมซึ่งจะมีการแสดงผลดังในรูปที่ 4.2.13



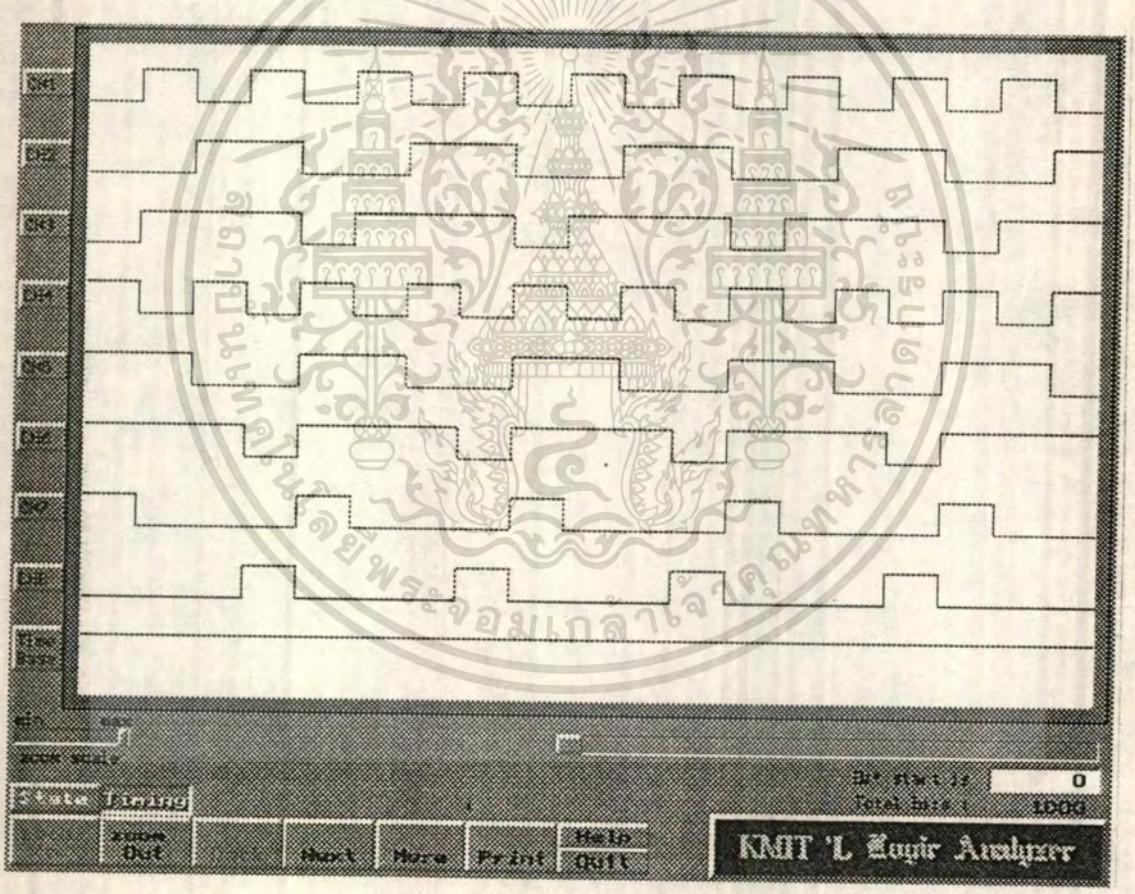
รูปที่ 4.2.13 ขั้นตอนการทำงานของโปรแกรม CLA ในขณะวัดสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. Help menu เป็นส่วนอธิบายการใช้เมนูย่อยในการกำหนดค่า Time base , Threshold และ Channel

4.2.2.2 โปรแกรม PULSE.EXE

โปรแกรม PULSE.EXE นี้เป็นโปรแกรมที่ใช้ในการประมวลผลและแสดงผลข้อมูลที่ทำการวัดได้ ซึ่งสามารถเรียกใช้ได้ด้วยการเรียกผ่านเมนูหลักดังที่กล่าวมาแล้วในหัวข้อ 4.2.1 หรือโดยการพิมพ์ PULSE ที่ DOS prompt ก็ได้ , โปรแกรมนี้เป็นโปรแกรมที่แสดงผลใน graphics mode จึงเป็นโปรแกรมที่มีขนาดใหญ่ และต้องการหน่วยความจำในการ RUN โปรแกรมค่อนข้างมาก ดังนั้นหากเรียกโปรแกรมแล้วได้รับข้อความแจ้งว่าหน่วยความจำไม่พอ ก็ให้ทำการ Boot เครื่องใหม่ โดย bypass เอา device driver ที่ไม่จำเป็นในไฟล์ CONFIG.SYS ออกไปให้หมด (จากการทดลอง ถ้าติดตั้ง device driver HIMEM.SYS ลงไป จะเหลือ conventional memory ประมาณ 630 kb ก็จะทำการ RUN โปรแกรม PULSE.EXE ได้อย่างไม่มีปัญหา) , เมื่อ เรียกโปรแกรม จะปรากฏหน้าจอดังรูป 4.2.14



รูปที่ 4.2.14 หน้าจอของ PULSE.EXE

จากรูปที่ 4.2.13 จะเห็นว่ามีปุ่มที่ใช้สั่งงานต่าง ๆ อยู่ด้านล่างของจะภาพ ซึ่งปุ่มเหล่านี้สามารถกดได้โดยการกดคีย์ตัวอักษรประจำปุ่ม (จะเป็นตัวอักษรตัวใหญ่ในปุ่มนั้น ๆ เช่น ปุ่ม zoom Out คีย์ตัวอักษรที่ใช้งานก็คือตัว "O") และจะมีรายละเอียดของปุ่มต่าง ๆ ทั้งหมดดังนี้

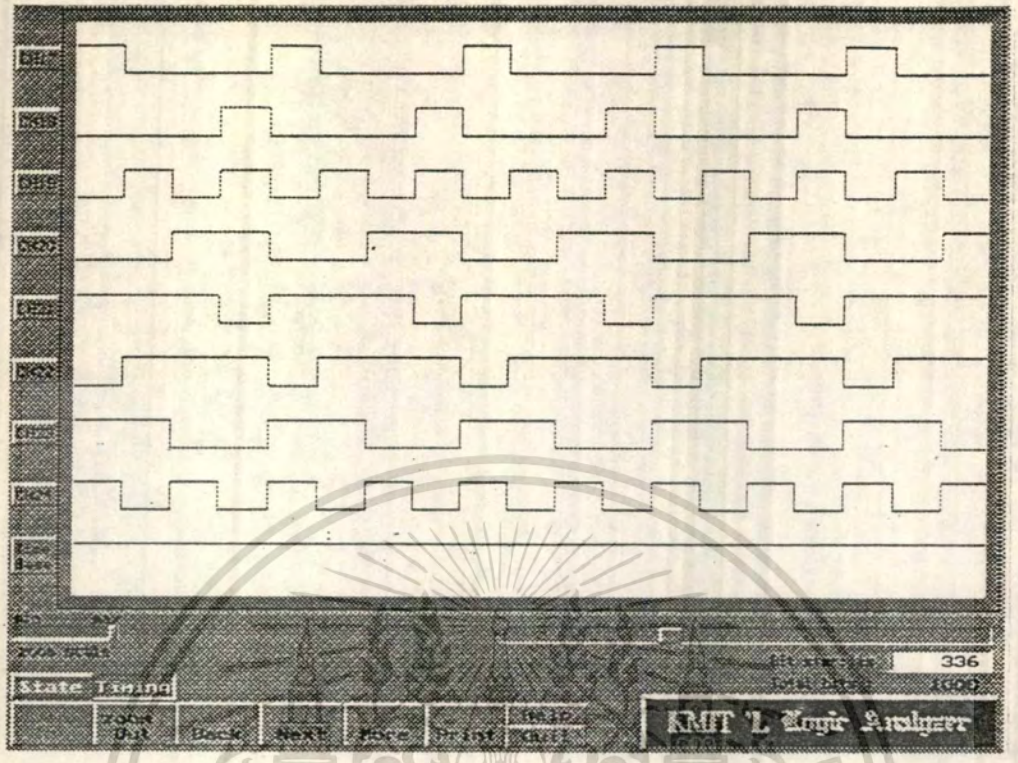
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. State/Timing : (คีย์ที่ใช้คือ S และ T ตามลำดับ) จะเป็นปุ่มที่ใช้สลับโหมดการแสดงผล ระหว่าง Timing mode และ State mode โดยใน Timing mode จะแสดงข้อมูลเป็นรูปสัญญาณโลจิก (ดังรูป 4.2.14) คือ Hi, Low และ Hi Impedance (Hi Impedance จะเป็นช่องว่างส่วน Hi และ Low ก็จะเป็นเส้นตามปกติ) ส่วน State mode จะแสดงผลข้อมูลเป็นเลขฐาน 16 โดยใช้ channel 1 เป็น LSB และ channel สูงสุดเป็น MSB (ส่วน Timebase ไม่นำมาคิด) และถ้าในกรณีที่ channel ใด channel หนึ่งมีค่าสถานะโลจิกเป็น Hi Impedance ค่าของ state จะแสดงออกมาเป็น FFFFFFFF (ตัดสินใจไม่ได้) หน้าจอใน State mode แสดงดังรูป 4.2.15

รูปที่ 4.2.15 หน้าจอของ PULSE ใน State mode

2. Next page : (คีย์ที่ใช้คือ N) ใช้ในการดูข้อมูลในหน้าถัดไป (ในกรณีที่ 1 หนึ่งหน้าจอ แสดงไม่ครบทั้งหมด) 1 หน้าจอ (ทั้ง Timing Diagram และ State จะใช้ปุ่มนี้ร่วมกัน) และจะทราบว่าเลื่อนดูข้อมูลมาถึงจุดใดของข้อมูลแล้วโดยการดู Bar ที่ข้างใต้จอด้านขวาซึ่งจะเลื่อนแสดงตำแหน่งของข้อมูล ดังรูป 4.2.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



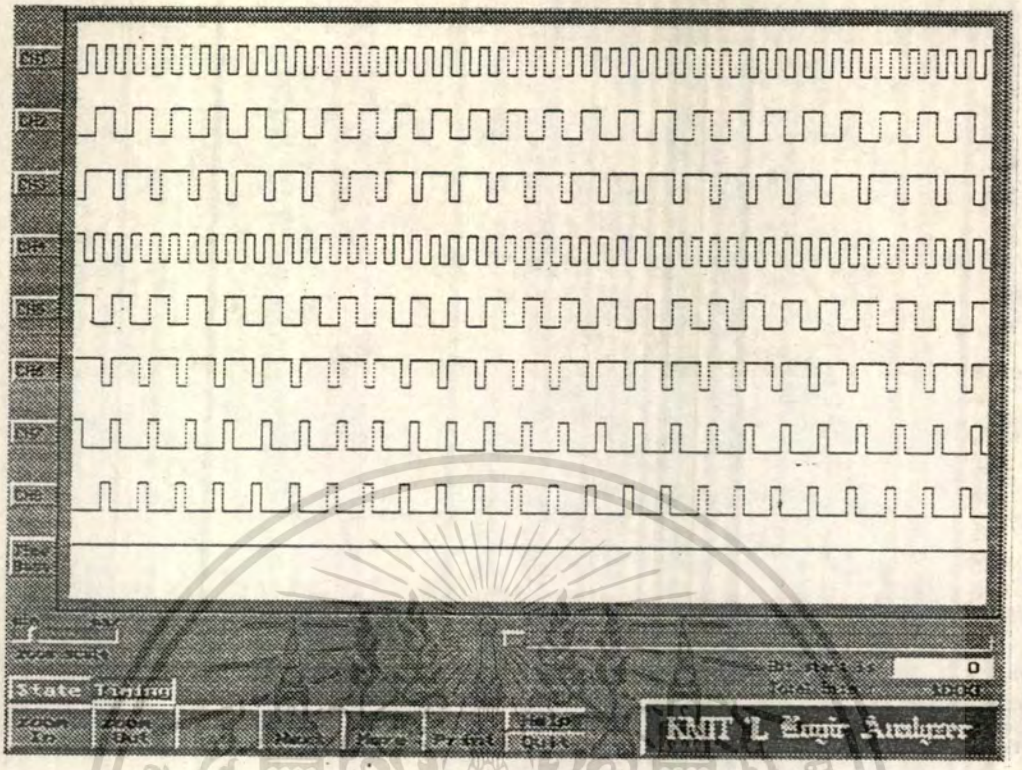
รูปที่ 4.2.16 หน้าจอของ PULSE เมื่อกดปุ่ม Next

3. Back page : (คีย์ที่ใช้คือ B) ใช้ในการดูข้อมูลย้อนถอยหลังกลับมา 1 หน้าจอ (ทั้ง Timing Diagram และ State จะใช้ปุ่มนี้ร่วมกัน)

4. Zoom In : (คีย์ที่ใช้คือ I) ใช้ในการขยายขนาดความกว้างของช่วงเวลา ในโหมด Timing Diagram ซึ่งเราจะดูระดับของการ Zoom ได้ที่ช่อง Zoom Scale พิจารณาจากรูป 4.2.13 จะเห็นว่าเป็นการ zoom in สูงสุด

5. Zoom Out : (คีย์ที่ใช้คือ O) ใช้ในการลดขนาดความกว้างของช่วงเวลา ในโหมด Timing Diagram แสดงดังรูป 4.2.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



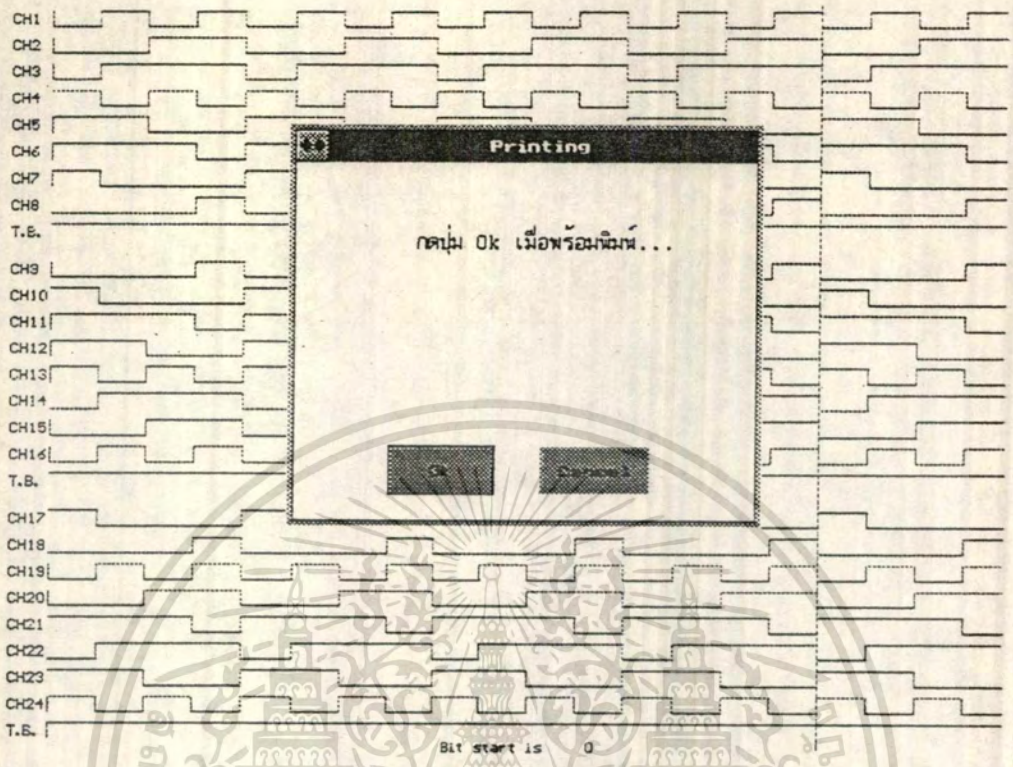
รูปที่ 4.2.17 หน้าจอของ PULSE.EXE เมื่อกดปุ่ม Zoom Out

6. More channel : (คีย์ที่ใช้คือ M) เนื่องจากในโหมดของ Timing Diagram จะแสดง Timing Diagram ได้เพียงหน้าจอละ 8 channel ดังนั้นถ้าต้องการดู channel ที่สูงกว่านี้ ก็ทำได้โดยการใช้ปุ่ม More นั่นเอง และถ้าหากเป็นการใช้งานไม่ครบ ทุก channel หากใช้ปุ่ม More ไปดู ก็จะเห็นว่าไม่มีสัญญาณปรากฏที่ channel ที่ไม่ได้ใช้งาน (ดูหมายเลข channel ได้ที่ปุ่มด้านซ้ายสุดของจอ)

7. Print : (คีย์ที่ใช้คือ P) เป็นปุ่มที่ใช้ในการพิมพ์รูปสัญญาณในโหมดของ Timing Diagram โดยในการพิมพ์จะพิมพ์ครั้งละ 24 channel พร้อม ๆ กัน , ในขณะที่พิมพ์จะเห็นว่ามีเส้นประสีขาวอยู่ที่บริเวณส่วนท้ายของสัญญาณในแต่ละหน้า เส้นประนี้ก็คือเส้นแสดงขอบเขตการสิ้นสุดของสัญญาณที่แท้จริงในหนึ่งหน้าจอ เพราะว่าในหนึ่งหน้าจอที่แสดงผลนั้นจะมีการแสดงซ้ำเล็กน้อย ในส่วนท้ายของสัญญาณในทุก ๆ หน้าจอ เพื่อให้การแสดงสัญญาณมีความต่อเนื่องและใช้ในการพิจารณาได้อย่างถูกต้องนั่นเอง ดังรูป 4.2.18

ในขณะที่กำลังทำการพิมพ์อยู่นั้นเราสามารถหยุดการพิมพ์ลงได้โดยการกดปุ่มใด ๆ ซึ่งโปรแกรมก็จะถามย้ำอีกครั้งหนึ่งว่าต้องการหยุดการพิมพ์หรือไม่ แสดงหน้าจอในขณะเริ่มต้นพิมพ์

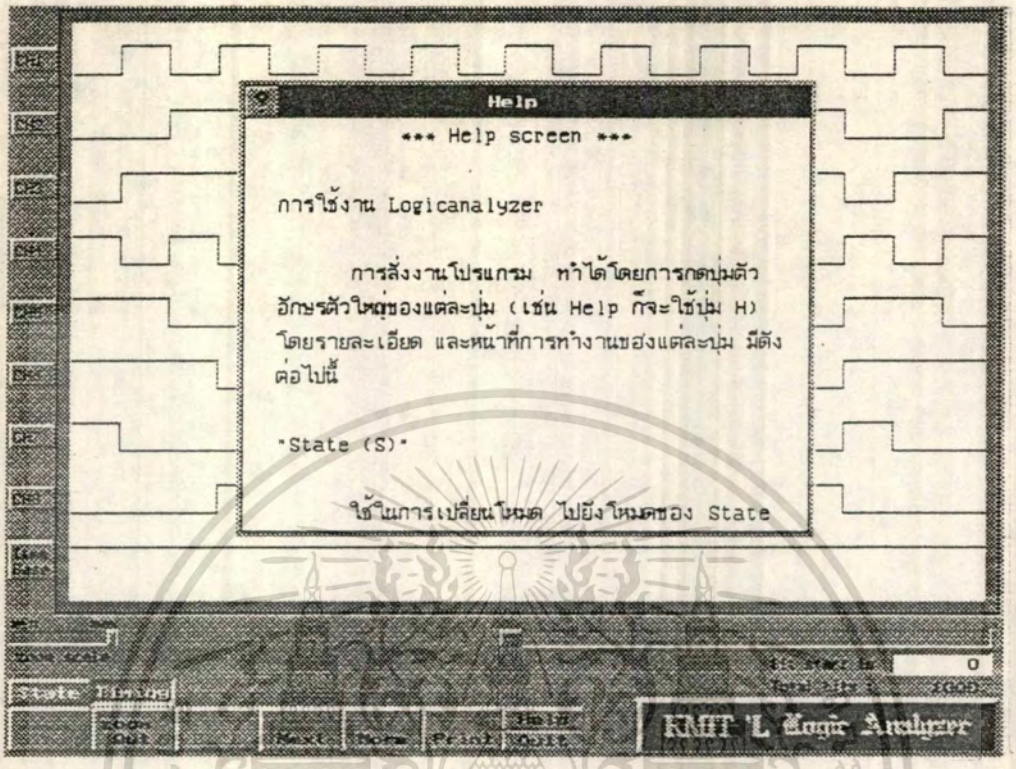
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.18 หน้าจอในขณะสั่งพิมพ์

8. Help : (คีย์ที่ใช้คือ H) ใช้ในการอธิบายการใช้งานโปรแกรม และปุ่มต่าง ๆ โดยสรุป ดังรูปที่ 4.2.19

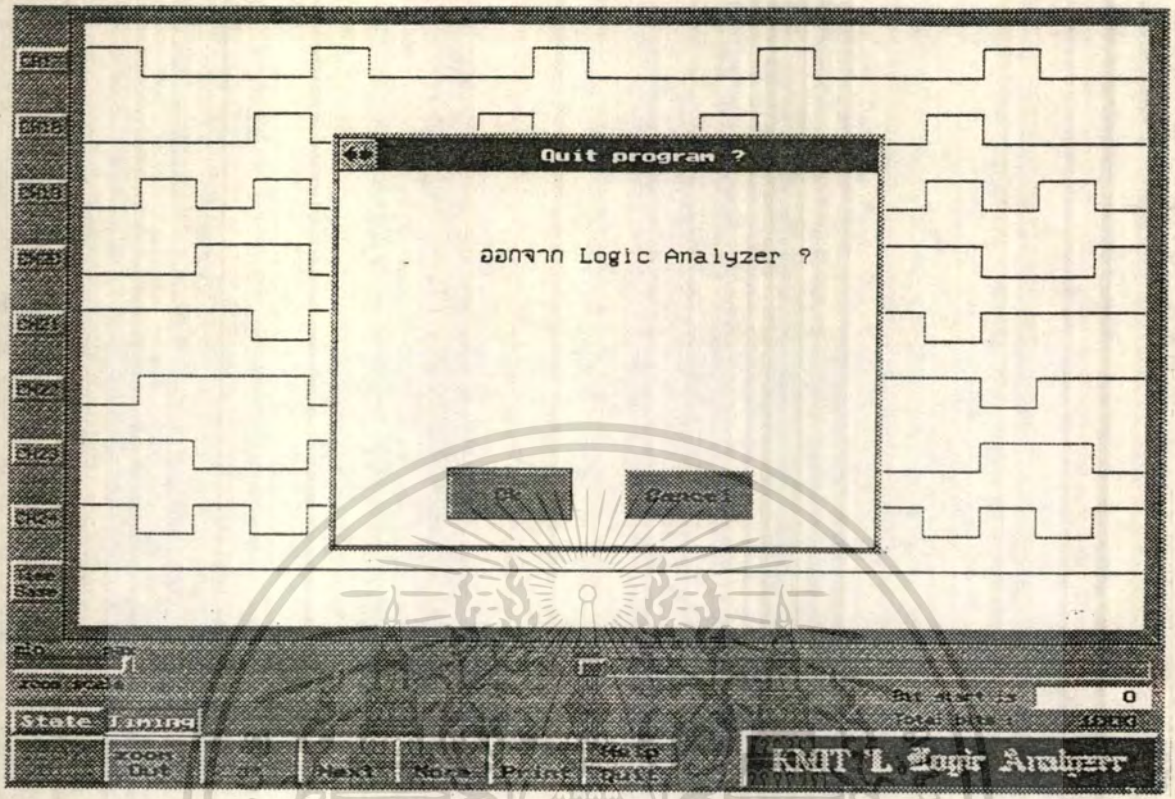
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.19 หน้าจอเมื่อกดปุ่ม Help

9. Quit : (คีย์ที่ใช้คือ Q) ออกจากโปรแกรม ซึ่งโปรแกรมจะถามย้ำก่อนออก ดังรูปที่ 4.2.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.20 หน้าจอก่อนออกจากโปรแกรม PULSE.EXE

และนอกจากนี้ยังมีปุ่มใช้งานที่ไม่แสดงให้เห็นที่หน้าจออีกด้วย คือปุ่ม Home และ ปุ่ม End ซึ่งทำหน้าที่กระโดดไปดูข้อมูลยังตำแหน่งเริ่มต้น และสิ้นสุด ของข้อมูล ตามลำดับ โดยจะสามารถใช้ได้ทั้งในโหมดของ Timing และในโหมด State

4.2.3 การวิเคราะห์โปรแกรมจากไอซี PAL

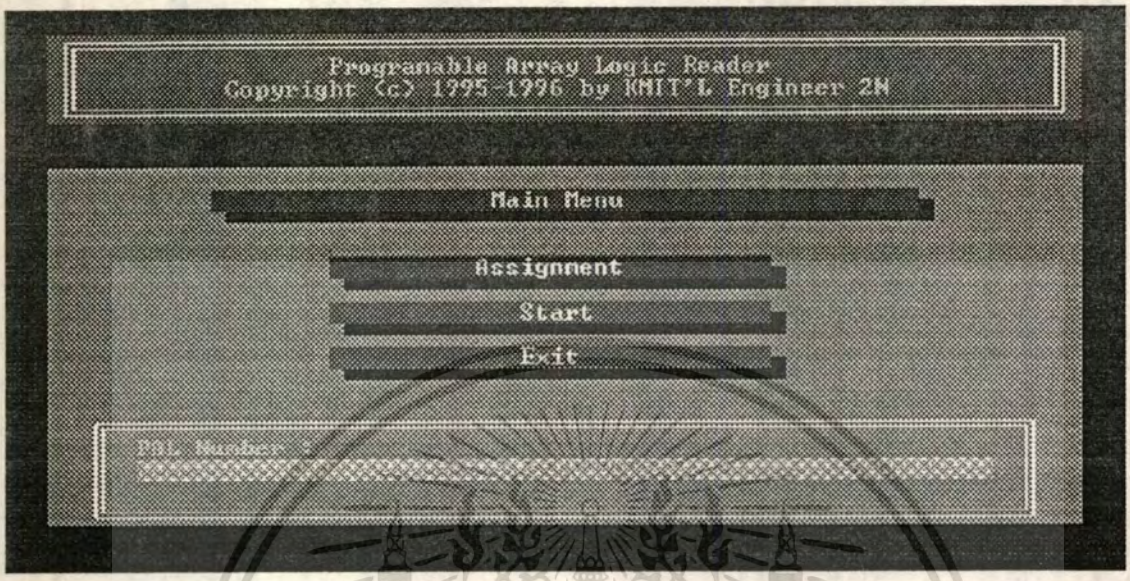
การทำงานนี้ก็แยกโปรแกรมออกเป็น 3 ตัวคือ ส่วนอ่านข้อมูลจากไอซี PAL และส่วนวิเคราะห์สมการ และโปรแกรมอ่านไฟล์สมการ ซึ่งมีการใช้งานดังต่อไปนี้

4.2.3.1 โปรแกรม PLA.EXE

โปรแกรม PLA.EXE เป็นโปรแกรมที่ใช้สำหรับการอ่าน function ในไอซี PAL ที่อยู่ในตระกูล H, L และ C ส่วน PAL ในตระกูล R ไม่สามารถอ่านได้ , function ที่อ่านได้ จะถูกเก็บไว้ในไฟล์ข้อมูล ดังนั้นไดร์ฟที่ใช้งานโปรแกรมนี้อยู่ จะต้องมีพื้นที่ว่างไม่น้อยกว่า 100 kb การเรียกใช้งานโปรแกรม PLA ทำได้ 2 วิธีคือ เรียกผ่านทางเมนูหลัก ดังที่ได้กล่าวมาแล้ว และเรียกโดยตรงโดยการพิมพ์ PLA ที่ DOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

prompt ถ้าเครื่องคอมพิวเตอร์ที่ใช้งานอยู่ไม่ได้ต่อ Hardware ของเครื่องโลจิกอนาไลเซอร์ไว้ จะมีข้อความเตือนออกมา ถ้าต่อเครื่องไว้เรียบร้อยแล้ว LED Stand By จะติดสว่าง และจะเห็นเมนูดังในรูปที่ 4.2.21



รูปที่ 4.2.21 เมนูของโปรแกรม PLA.EXE เมื่อเรียกเข้ามาครั้งแรก

โดยในเมนูจะประกอบไปด้วย 3 เมนูย่อย คือ เมนู Assignment, Start และ Exit ส่วนด้านล่างของเมนู จะแสดงข้อความ

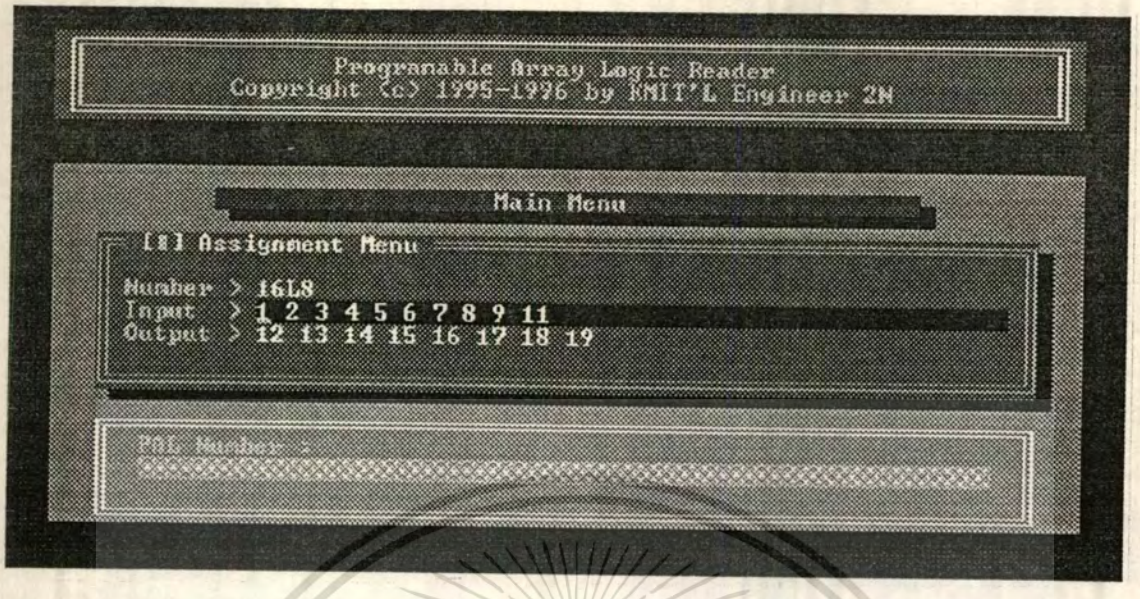
PAL Number :

ซึ่งในตอนเรียกเข้าโปรแกรมครั้งแรกนี้จะไม่มีค่าใด ๆ ปรากฏขึ้นหลังข้อความดังกล่าว ส่วนแถบบาร์ด้านล่าง จะเป็นตัวแสดงการอ่านข้อมูลจาก PAL

การใช้งานแต่ละเมนูย่อย

1. Assignment เป็นเมนูที่ใช้สำหรับกำหนดเบอร์ของ PAL ตำแหน่งขาอินพุทและเอาท์พุท สามารถเรียกใช้โดยการเลื่อนบาร์มาที่ Assignment แล้วกด ENTER หรือกดคีย์ A จะปรากฏผลดังแสดงในรูปที่ 4.2.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.22 เมนู Assignment ของ PLA.EXE

การกำหนดเบอร์ PAL เราสามารถเลือกเบอร์ของ PAL ได้โดยการพิมพ์เบอร์ของ PAL ตามหลังข้อความ

Number >

Input >

Output >

* โดยเบอร์ก็สามารถเลือกได้คือเบอร์ 10H8, 12H6, 14H4, 16H2, 16C1, 10L8, 12L6, 14L4, 16 L2, 12L10, 14L8, 16L6 และ 16L8

เช่นต้องการอ่านโปรแกรมจาก PAL เบอร์ 16L8 ให้พิมพ์ชื่อเบอร์ แล้วกด ENTER ดังนี้

Number > 16L8 <ENTER>

Input >

Output >

จะปรากฏผลดังนี้

Number > 16L8

Input > 1 2 3 4 5 6 7 8 9 11

output > 12 13 14 15 16 17 18 19

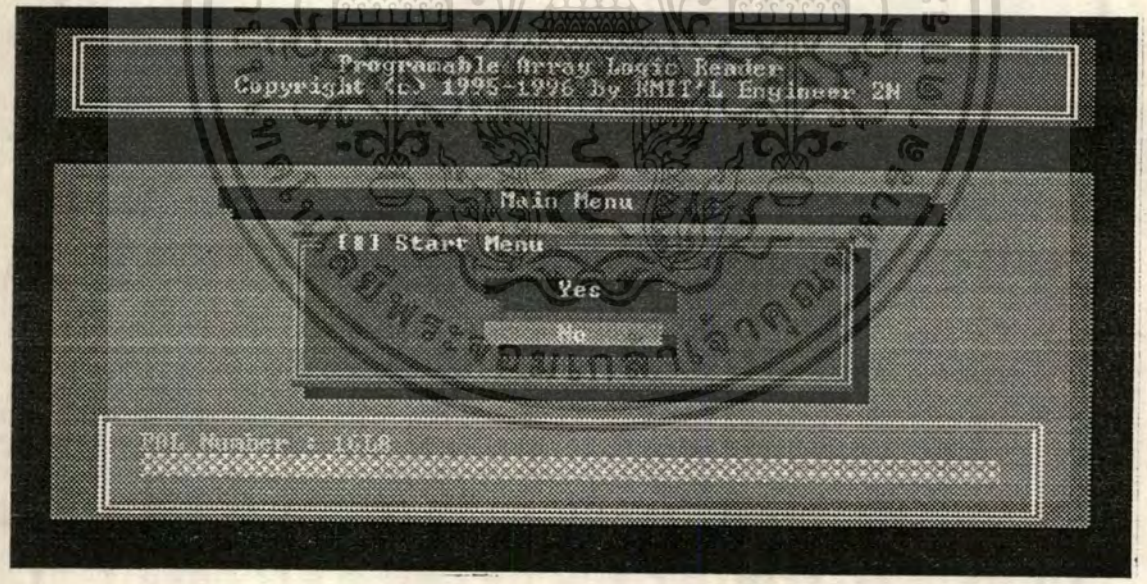
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อจากนี้ก็จะเป็นการกำหนดขาที่ต้องการให้เป็นอินพุท โดยขาแรกทางซ้ายมือจะเป็นค่า LSB ถ้าไม่ต้องการเปลี่ยนแปลงตำแหน่งขาให้กด ENTER เท่านั้น เพื่อผ่านการเลือกขาอิ นพุท แต่ถ้าต้องการกำหนดตำแหน่งขาใหม่ก็สามารถพิมพ์ตำแหน่งขาได้เลย โดยใช้ SPACE BAR เป็นตัวคั่นระหว่างอินพุทแต่ละขา โดยไม่จำเป็นต้องเลือกให้ครบทุกขา (ควรเลือกเฉพาะขาที่เป็นอินพุทจริง ๆ เท่านั้น เพราะจะทำให้ลดเวลาในการวิเคราะห์สมการลงไปได้มาก) และไม่ต้องเรียงขาตามลำดับก็ได้ เมื่อเลือกขาอินพุทครบแล้วให้กด ENTER การกำหนดขาจะต้องกำหนดตามค่าที่ปรากฏเท่านั้น ถ้ากำหนดนอกเหนือไปจากนี้ จะมีเสียงเตือนให้ป้อนค่าใหม่

เมื่อผ่านขั้นตอนนี้แล้วก็จะเป็นการกำหนดขาเอาท์พุทของไอซี วิธีการป้อนค่าก็จะเหมือนกับการป้อนขาอินพุท โดยค่าแรกจะให้ผลเป็น function ที่ 1 ค่าต่อไปก็จะเป็น function ถัดไปตามลำดับ เมื่อป้อนครบแล้วให้กด ENTER ก็จะกลับมายังเมนูหลักตามเดิม และจะมีข้อมูลปรากฏที่ด้านล่างของเมนูเป็น

PAL Number : 16L8

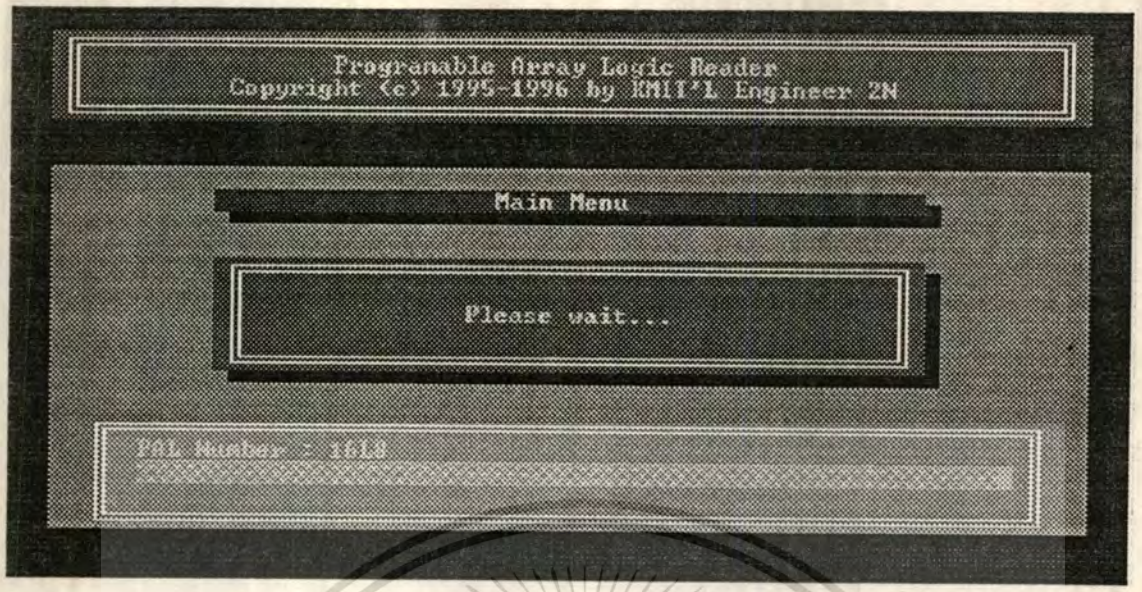
2. Start เป็นเมนูสำหรับเริ่มต้นการอ่าน function จาก PAL สามารถเลือกเมนูนี้ได้จากการเลื่อนบาร์ โดยใช้คีย์ลูกศร มายังเมนู Start แล้วกด ENTER หรือการกดคีย์ S จะปรากฏผลดังรูปที่ 4.2.23



รูปที่ 4.2.23 เมนู Start ของ PLA.EXE

ซึ่งจะมีการถามอีกครั้งเพื่อยืนยัน ถ้าต้องการให้อ่าน ให้เลือก Yes แล้วกด ENTER หรือกดคีย์ Y แต่ถ้าไม่ต้องการให้เลือก No หรือ กดคีย์ N , เราจะไม่สามารถ Start ได้ ถ้าไม่ได้ทำการเลือกเบอร์ไอซีก่อน แต่ถ้าเลือกทุกอย่างถูกต้องเรียบร้อยแล้ว จะปรากฏข้อความดังแสดงในรูปที่ 4.2.24

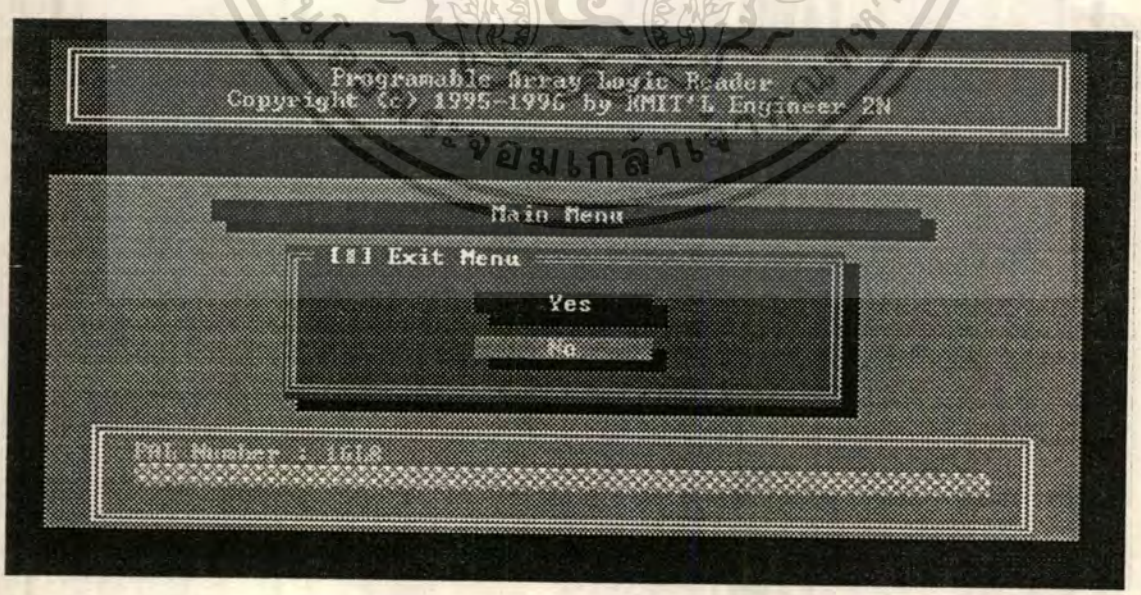
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.24 เมนู Start เมื่อเลือก Yes

หลังจากนั้น ที่ด้านล่างของเมนู จะแสดงให้เห็นว่าอ่านค่าไปแล้วเท่าไร โดยจะแสดงเป็นบาร์สีเหลืองเลื่อนไปทางขวามือ ถ้าเลื่อนไปสุดทางขวามือก็แสดงว่าอ่านข้อมูลครบแล้ว (ในขณะที่อ่านข้อมูลอยู่นี้ LED Busy จะติดสว่าง) ขั้นตอนต่อไปก็จะทำการเขียนข้อมูลลงไฟล์ แล้วจบโปรแกรมเอง

3. Exit เป็นเมนูสำหรับออกจากโปรแกรม ซึ่งเราสามารถออกจากโปรแกรมได้โดยการเลื่อนบาร์มาที่ Exit แล้วกด ENTER หรือกดคีย์ X หลังจากนั้นจะปรากฏผลดังในรูปที่ 4.2.25



รูปที่ 4.2.25 เมนู Exit ของ PLA.EXE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าต้องการออกจากโปรแกรมให้เลือก Yes แล้วกด ENTER หรือกดคีย์ Y แต่ถ้าไม่ต้องการออกจากโปรแกรมก็ให้เลือก No หรือ กดคีย์ N

4.2.3.2 โปรแกรม QM.EXE

ใช้วิเคราะห์สมการจาก function ที่อ่านออกมาได้โดย PLA.EXE จะถูกสั่งให้ทำงานโดยเมนูหลัก Analysis PAL ต่อจากโปรแกรม PLA.EXE แต่ถ้าหากจะเรียกใช้ที่ DOS prompt ก็ทำได้โดยการเรียก QM แต่ต้องแน่ใจว่ามีไฟล์ FUNCTXX.DAT ครบ และถูกต้องตามที่กำหนดในไฟล์ QM.CFG ซึ่งผลก็คือจะได้สมการออกมาในไฟล์ QM.EQ

4.2.3.3 โปรแกรม READ.EXE

ใช้อ่านไฟล์สมการ (QM.EQ) แล้วนำมาแสดงผลให้ดูได้โดยง่าย ซึ่งจะถูกเรียกผ่านเมนูหลักของ PAL แต่ถ้าเรียกใช้ที่ DOS prompt ก็พิมพ์ READ QM.EQ จะได้หน้าจอดังรูป 4.2.26 และทำการเลื่อนดูได้โดยใช้คีย์ลูกศร ขึ้น , ลง , ซ้าย , ขวา หรือ Page Up , Page Down , Home หรือ End และออกจากโปรแกรมได้ด้วยการกดคีย์ ESC

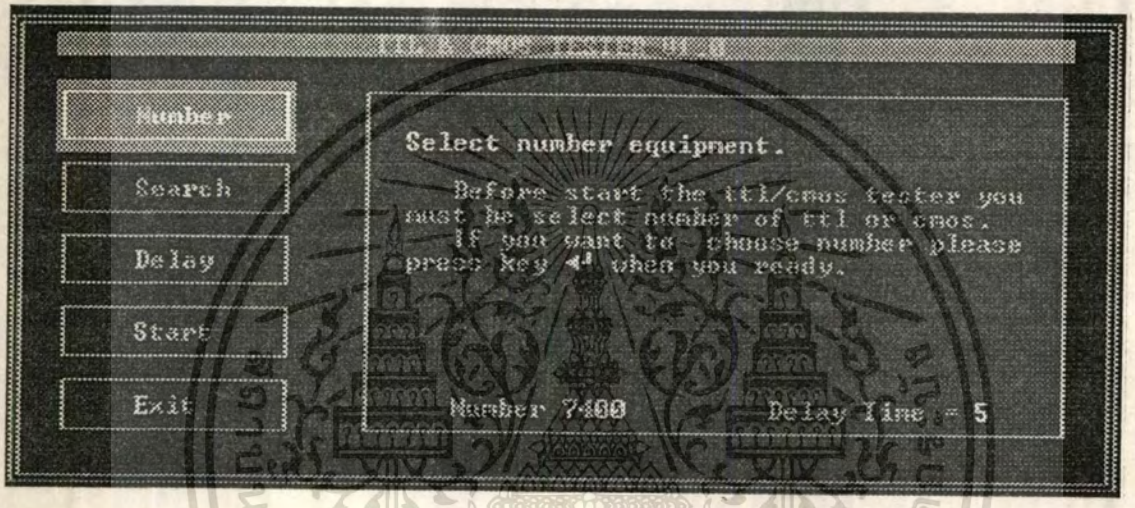
รูปที่ 4.2.26 หน้าจอของโปรแกรม READ.EXE ในขณะที่อ่านไฟล์ QM.EQ

* การใช้โปรแกรมเหล่านี้ หากใช้โดยผ่านเมนูหลัก จะทำได้สะดวกกว่าการเรียกใช้ที่ DOS prompt มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 การตรวจสอบไอซี TTL/CMOS

การตรวจสอบไอซี TTL/CMOS นี้จะใช้โปรแกรม TTL.EXE ซึ่งจะตรวจสอบไอซี TTL/CMOS ในตระกูล 74 series ซึ่งเป็นการประยุกต์ใช้ Hardware ให้คุ้มค่าที่สุด โดยไอซีที่นำมาทดสอบจะต้องเป็นไอซีเกทพื้นฐานทั่วไปที่ไม่ใช่ OC (open collector) และไม่ใช่ไอซีประเภทฟลิปฟลอปด้วย ซึ่งการทำงานของโปรแกรมจะมีการตรวจสอบ Hardware ก่อนเสมอ หากไม่ได้ต่อ Hardware ไว้ จะมีข้อความเตือน แต่ถ้าต่อ Hardware ไว้เรียบร้อยแล้ว LED Stand By จะติดสว่าง และจะปรากฏหน้าจอดังรูปที่ 4.2.27



รูปที่ 4.2.27 หน้าจอของโปรแกรม TTL.EXE เมื่อเรียกเข้าครั้งแรก

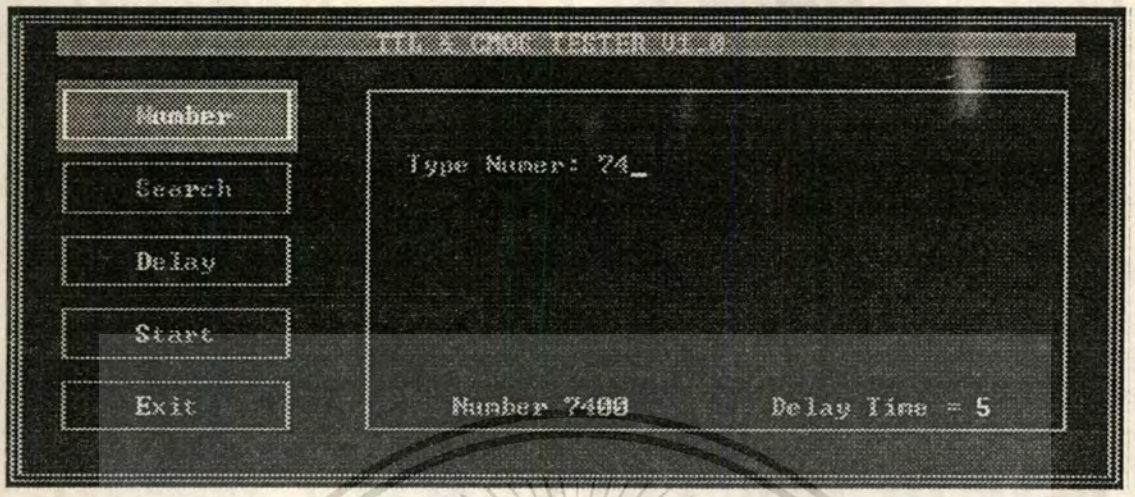
โดยจะมีเมนูย่อยอีก 5 เมนู ซึ่งประกอบไปด้วย

- Number
- Search
- Delay
- Start
- Exit

การเลือกใช้เมนูย่อยสามารถเลือกได้จากการใช้คีย์ลูกศร ขึ้น และ ลง เพื่อเลื่อนบาร์ไปยังเมนูย่อยแล้วกด ENTER หรือเลือกโดยการกดตัวอักษรสีเหลืองที่ปรากฏอยู่ตามแต่ละเมนูย่อยการใช้งานแต่ละเมนูย่อย

1. เมนู Number เมนูนี้จะใช้สำหรับการป้อนเบอร์ไอซีที่ต้องการจะทดสอบ โดยเมื่อเลือกเมนูนี้ หน้าจอจะแสดงผลดังรูปที่ 4.2.28

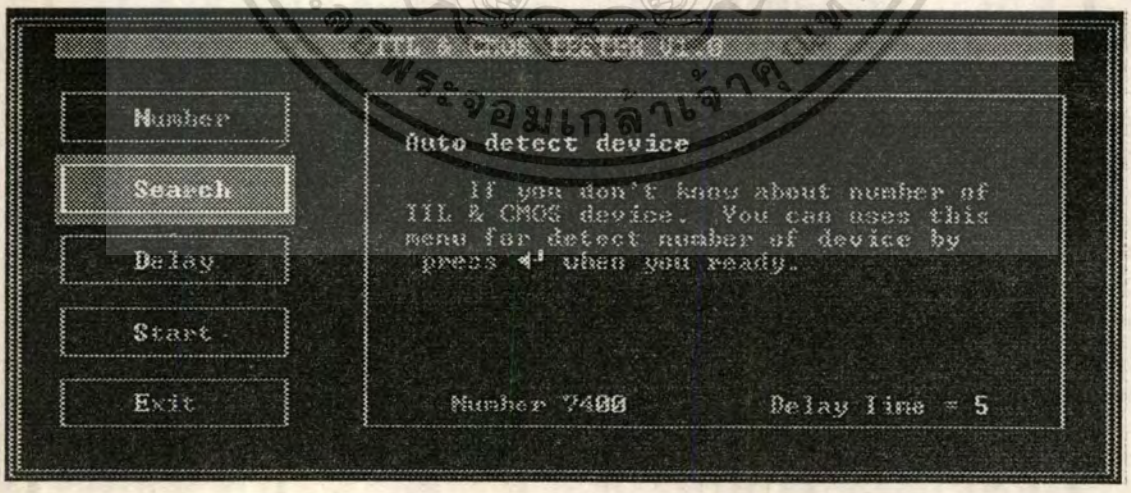
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.28 เมนู Number ของ TTL.EXE

หลังจากนั้น ให้ป้อนเบอร์ไอซีที่ต้องการแล้วกด ENTER ถ้าไอซีเบอร์นั้นไม่สามารถตรวจสอบได้หรือป้อนเบอร์ผิดพลาด จะมีเสียงเตือน และจะให้ป้อนค่าใหม่ ถ้าถูกต้องก็จะกลับมาที่เมนูหลักตามเดิม

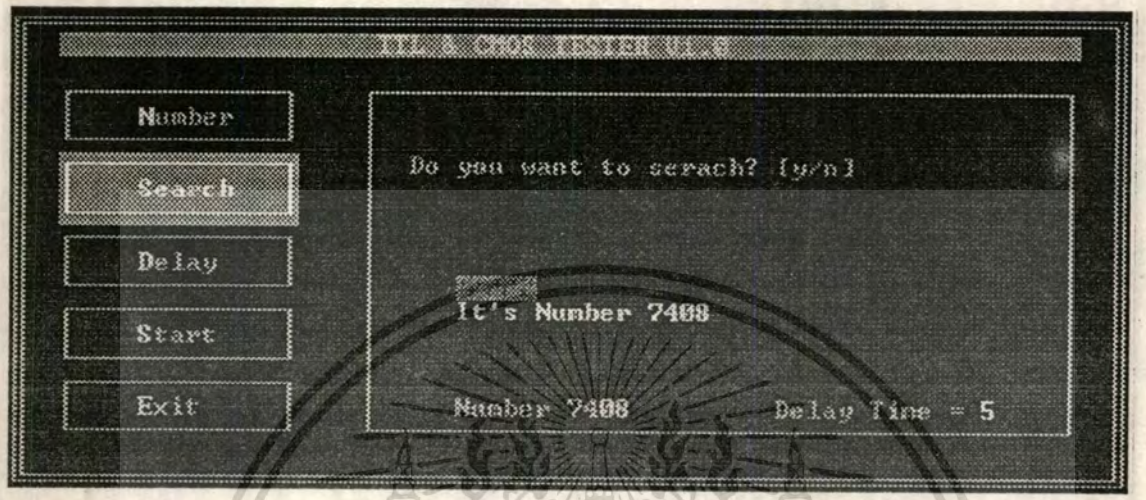
2. เมนู Search เป็นเมนูที่ใช้สำหรับค้นหาเบอร์ไอซีในกรณีที่ไม่ทราบเบอร์ไอซี เนื่องจากการลบเลือนของเบอร์บนตัวไอซี การตรวจสอบจะทำได้ก็ต่อเมื่อไอซีที่นำมาตรวจสอบเป็นไอซีที่ดีและเป็นเบอร์ที่โปรแกรมสามารถตรวจสอบได้เท่านั้น เมื่อเลือกใช้เมนูนี้จะมีข้อความถามยืนยันอีกครั้งดังแสดงในรูปที่ 4.2.29



รูปที่ 4.2.29 การถามยืนยันเมื่อจะทำการค้นหาเบอร์ไอซี

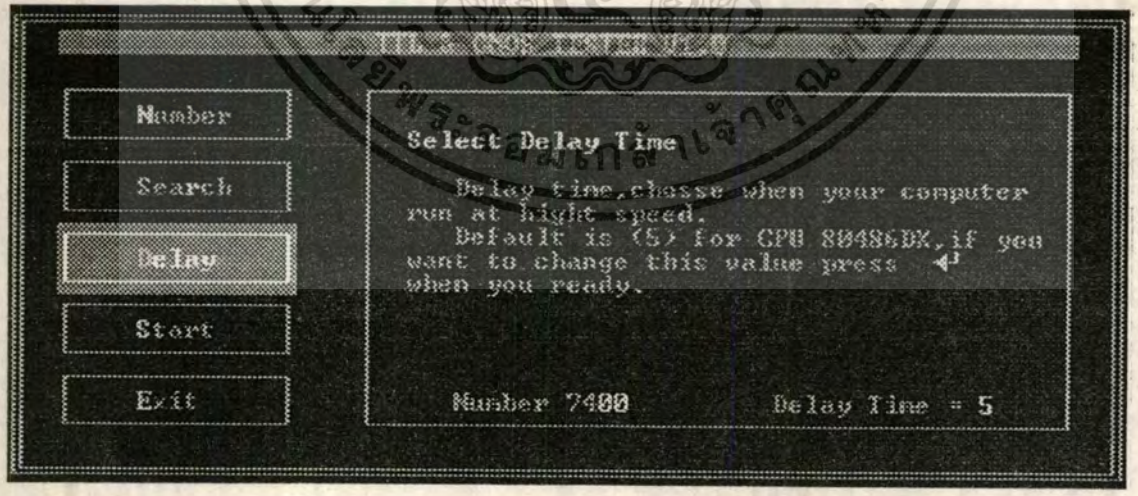
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าต้องการให้กด Y แต่ถ้าไม่ต้องการก็ให้กด N ถ้าไอซีที่นำมาตรวจสอบดี และโปรแกรมสามารถตรวจสอบได้ โปรแกรมก็จะแสดงการค้นหาข้อมูลที่หน้าจอ เมื่อพบแล้วก็จะมีข้อความบอกให้ผู้ใช้ทราบว่าไอซีที่นำมาตรวจสอบเป็นเบอร์อะไร ดังรูปที่ 4.2.30



รูปที่ 4.2.30 การรายงานเบอร์ของไอซีที่ตรวจสอบได้

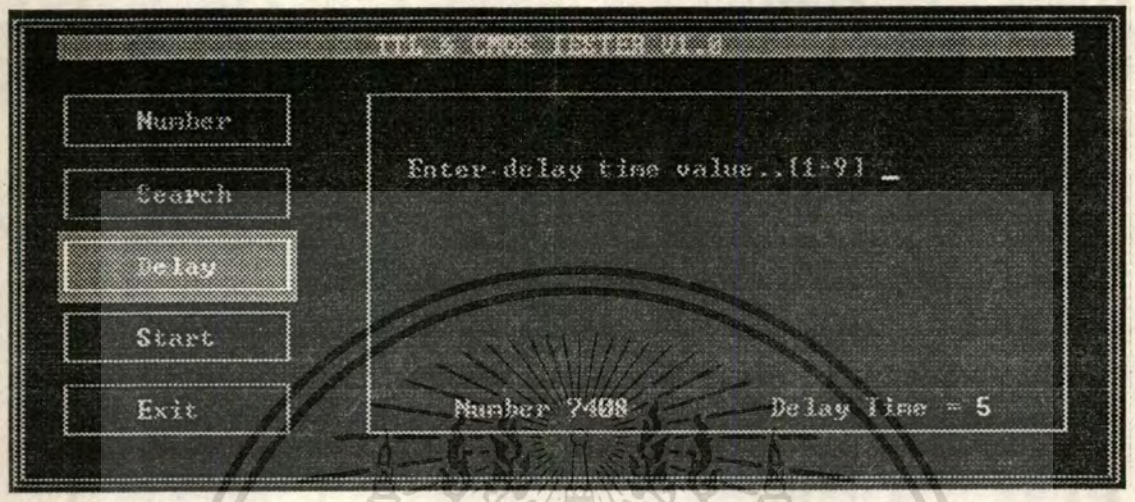
3. เมนู Delay ใช้กำหนดค่าการหน่วงเวลา เมื่อเลือกเมนูนี้โดยใช้คีย์ลูกศร จะปรากฏหน้าจอดังรูป 4.2.31



รูปที่ 4.2.31 เมนู Delay ของ TTL.EXE

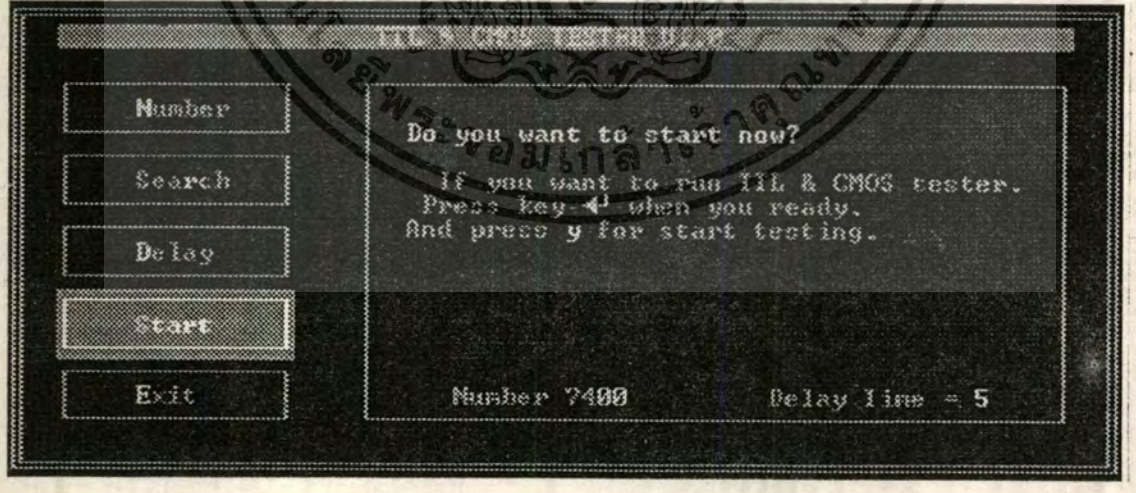
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งในการทดสอบไอซีแต่ละเบอร์จะมีการส่งค่าต่าง ๆ ไปให้กับอินพุทของไอซี เมื่อส่งค่าเสร็จก็จะมีการหน่วงเวลาไว้ก่อน (เพื่อป้องกันไอซีตอบสนองไม่ทัน เนื่องจากความเร็วของคอมพิวเตอร์ที่ใช้ อาจมีมากกว่าที่ไอซีจะทำงานทัน) แล้วจึงรับข้อมูลจากเอาท์พุทของไอซีกลับมาตรวจสอบ ดังแสดงในรูปที่ 4.2.32



รูปที่ 4.2.32 การป้อนค่าหน่วงเวลาในเมนู Delay

4. เมนู *Start* เมื่อเลือกเมนูนี้โดยการใช้คีย์ลูกศรเลื่อนมาที่เมนูนี้แล้ว จะปรากฏข้อความดังรูป 4.2.33



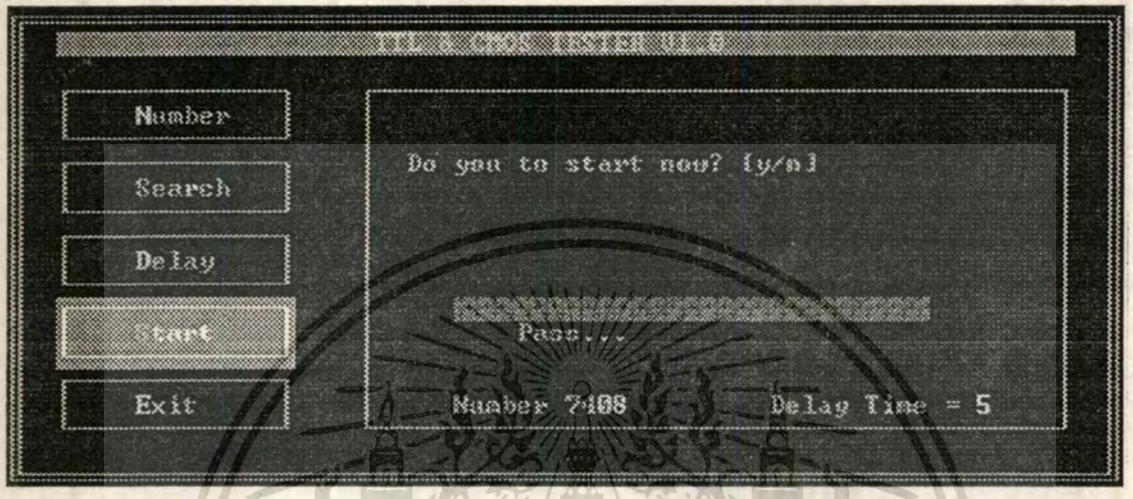
รูปที่ 4.2.33 เมนู Start ของ TTL.EXE

ถ้าเราต้องการตรวจสอบไอซีตามเบอร์ที่ปรากฏอยู่ที่ด้านล่างของเมนูคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

< Number 7400 Delay time = 5 >

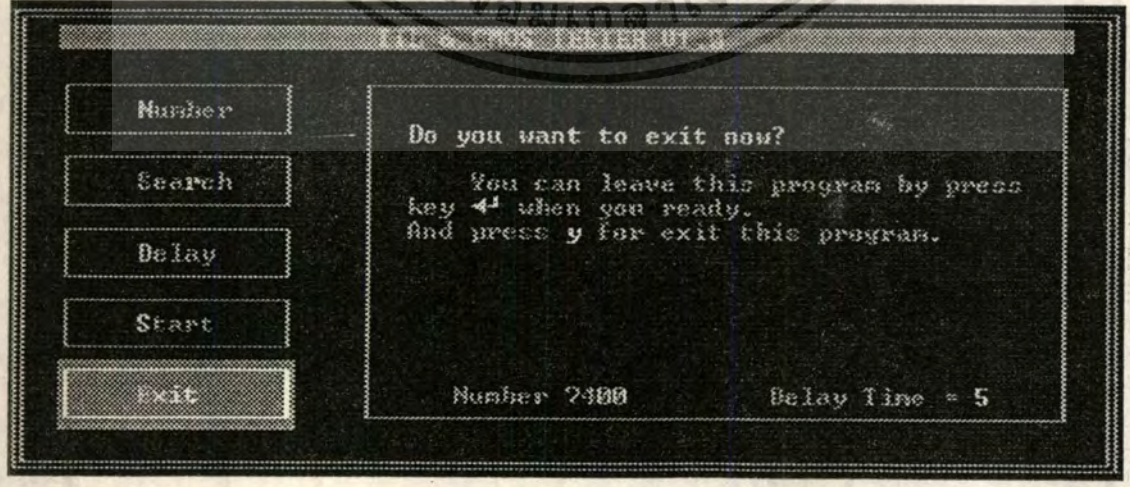
แสดงว่าผู้ใช้เลือกทดสอบไอซีเบอร์ 7400 โดยใช้ค่า Delay time = 5 ถ้าต้องการตรวจสอบไอซีตามค่านี้ก็ให้ Y จะปรากฏผลการตรวจสอบแจ้งให้ทราบดังรูป 4.2.34



รูปที่ 4.2.34 การรายงานผลการตรวจสอบไอซี

โดยถ้าปรากฏข้อความ Failed... แสดงว่าไอซีที่นำมาตรวจสอบนี้เสีย หรือผู้ใช้เลือกเบอร์ไอซีผิดเบอร์นั่นเอง แต่ถ้าปรากฏข้อความ Pass... แสดงว่าไอซีที่นำมาทดสอบนั้นดี

5. เมนู Exit เป็นเมนูสำหรับออกจากโปรแกรม เมื่อเลือกเมนูนี้โดยใช้คีย์ลูกศร จะปรากฏผลดังรูปที่ 4.2.35



รูปที่ 4.2.35 เมนู Exit ของ TTL.EXE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าต้องการออกจากโปรแกรมให้กด ENTER แล้วกด Y หรือสามารถออกจากโปรแกรมได้โดยการกดคีย์ E และ Y ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปและวิจารณ์

- การใช้งานเป็นเครื่อง Logic Analyzer

1. เนื่องจาก Hardware ของเครื่อง ต้องใช้งานหลายอย่าง ดังนั้นในส่วนของ Logic Analyzer จึงเป็นการสั่งให้เครื่องคอมพิวเตอร์อ่านข้อมูลจากสัญญาณที่วัดโดยตรง ไม่มีการใช้ Hardware ช่วยในการอ่านข้อมูลในส่วนนี้ ซึ่งทำให้สามารถวิเคราะห์สัญญาณได้ในช่วงความถี่ที่ไม่สูงมากเท่านั้น (เช่นการสื่อสารอะซิงโครนัส) โดยความถี่สูงสุดที่สามารวิเคราะห์ได้จะขึ้นอยู่กับการเลือกจำนวน channel และความเร็วในการทำงานของเครื่องคอมพิวเตอร์ด้วย

ความสัมพันธ์ระหว่างการเลือกจำนวน channel กับความถี่สูงสุดที่วัดได้โดยใช้เครื่องคอมพิวเตอร์ที่ใช้ CPU เบอร์ 80486DX2-80 จะได้ผลดังตารางที่ 5.1

จำนวน channel	ความถี่สูงสุดที่วัดได้	ช่วงที่เหมาะสมกับการใช้งาน
4	100 kHZ	45 kHz
8	70 kHz	30 kHz
12	50 kHz	20 kHz
16	40 kHz	18 kHz
20	30 kHz	15 kHz
24	25 kHz	10 kHz

ตารางที่ 5.1 ความสัมพันธ์ระหว่างการเลือกจำนวน channel กับความถี่สูงสุดที่สามารถวัดได้

2. การเลือกจำนวน channel มากกว่าการใช้งานจริง เช่นเลือกไว้ 8 channel แต่ใช้งานจริงเพียง 6 channel นั้น channel ที่เหลืออาจถูกสัญญาณรบกวนได้และการอ่านค่าใน State mode ไม่สามารถอ่านได้ (จะเป็น FFFFFFFF หมดเนื่องจากมี channel ที่เหลือเป็น Hi Impedance) ดังนั้นจึงควรจะต่อกับโลจิก "0" หรือกราวน์เอาไว้ เพื่อให้การอ่านสัญญาณไม่สับสน และสามารถอ่านค่าใน State mode ได้อย่างถูกต้องอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- การใช้งานเป็นเครื่องวิเคราะห์สมการ PAL

1. ไอซี PAL ที่สามารถอ่านได้จะต้องเป็นประเภทที่ไม่มี Register อยู่ภายในเท่านั้น และต้องเป็นไอซีที่มีจำนวนอินพุทไม่เกิน 16 อินพุทด้วย เนื่องจากโปรแกรมวิเคราะห์สมการ สามารถวิเคราะห์ได้เพียง 16 อินพุทเท่านั้น แต่ไม่จำกัดเอาท์พุท

2. การเลือกวิเคราะห์หาสมการจากทุกอินพุทของไอซี อาจทำให้ได้ค่า Minterm จำนวนมาก ซึ่งโปรแกรมวิเคราะห์สมการจะต้องใช้เวลาในการทำงานนานมากไปด้วย ดังนั้นก่อนจะทำการอ่านโปรแกรมใน PAL ควรกำหนดขาอินพุทเฉพาะขาที่ใช้งานจริงเท่านั้น เพื่อให้การวิเคราะห์สมการทำได้ในเวลาอันรวดเร็ว

- การใช้งานเป็นเครื่องตรวจสอบไอซี TTL/CMOS

1. ไอซีที่ตรวจสอบได้จะต้องเป็นไอซีโลจิกเกทพื้นฐาน และไม่เป็นชนิด open collector เท่านั้น เนื่องจากความไม่เหมาะสมบางอย่างของตัว Hardware เอง จึงทำให้สามารถตรวจสอบไอซีได้จำนวนเบอร์ค่อนข้างน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. The technical taff of monolithic memories INC , Designing With Programmable Array Logic , MC Graw-Hill Book Company

2. บัณฑิต จามรภูติ , ฮาร์ดแวร์ไมโครคอมพิวเตอร์ 8088, 80286, 80386 , บริษัทซีเอ็ดยูเคชั่น จำกัด (มหาชน)

3. เทคนิคการเชื่อมต่อ IBM PC , บริษัทซีเอ็ดยูเคชั่น จำกัด (มหาชน)

4. Herbert Schildt , C Power User's Guide , บริษัทซีเอ็ดยูเคชั่น จำกัด (มหาชน)

5. รองศาสตราจารย์มัณฑนา ปราการสมุทร , การเขียนชุดคำสั่งภาษา C , ภาควิชาวิศวกรรมอมพิวเตอร์ คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย

6. Ross P.Nelson , Microsoft's 80386/80486 Programming Guide , บริษัทซีเอ็ดยูเคชั่น จำกัด (มหาชน)

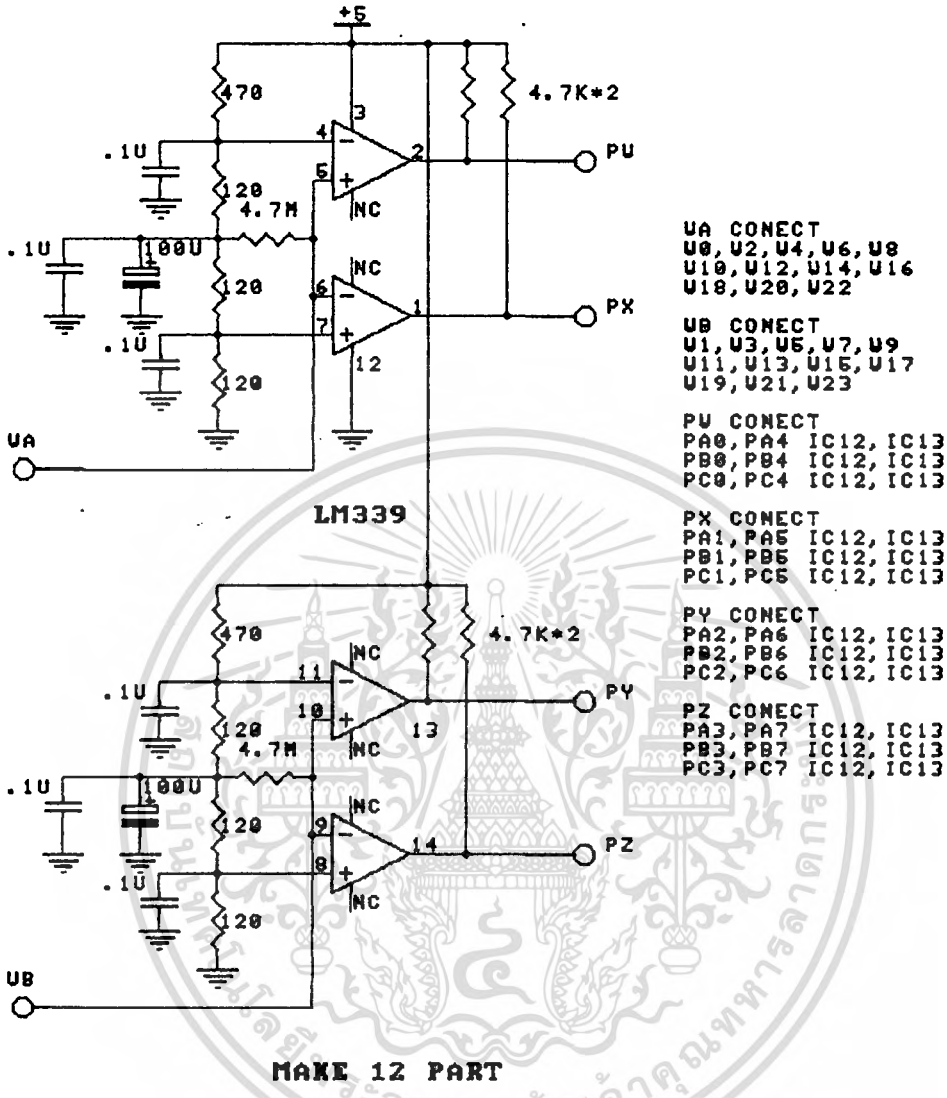
7. Steven Holzner & Peter Norton , Advanced Assembly Language , บริษัทซีเอ็ดยูเคชั่น จำกัด (มหาชน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

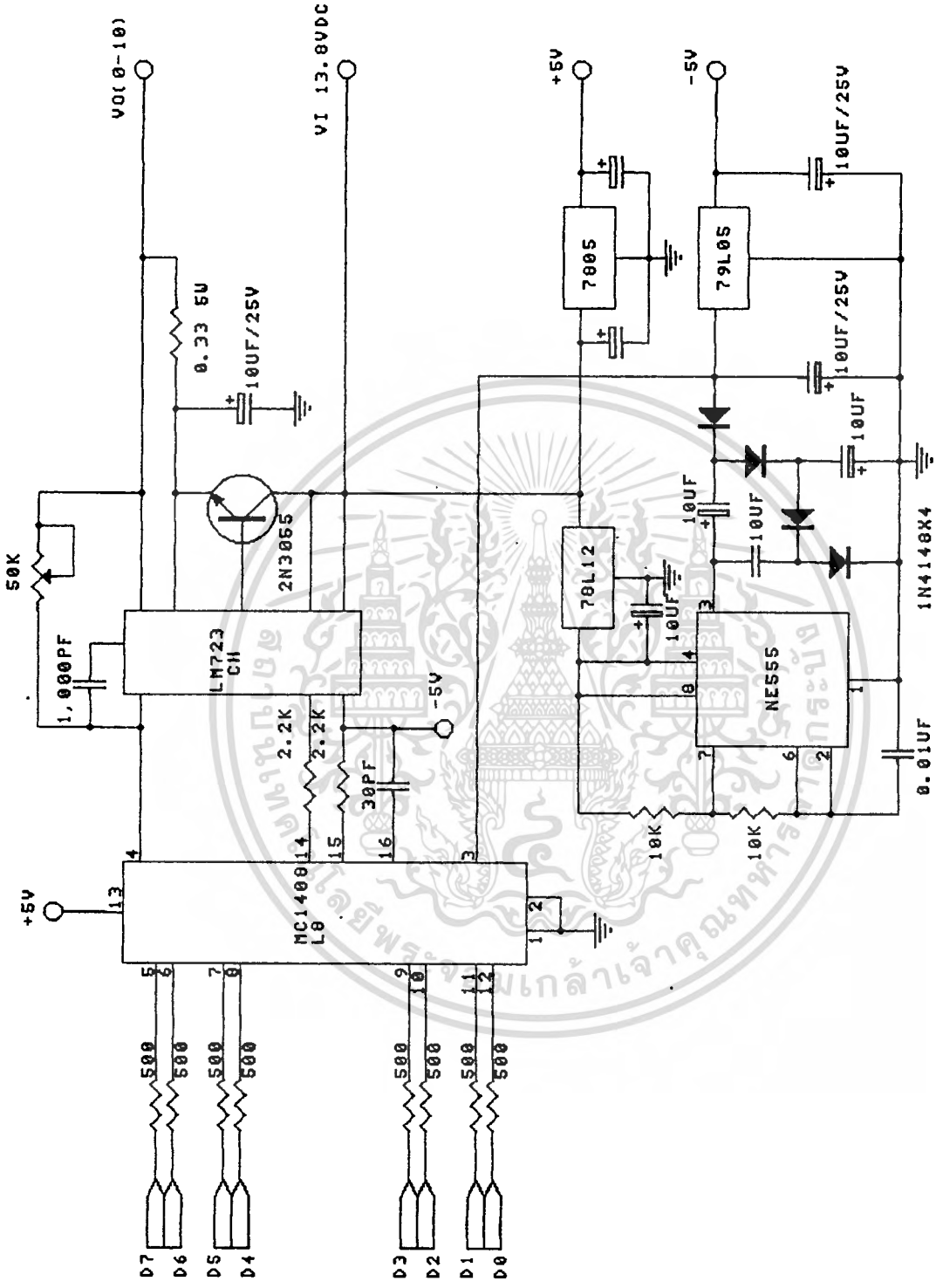
วงจรและลายทองแดงของฮาร์ดแวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจร Comparator

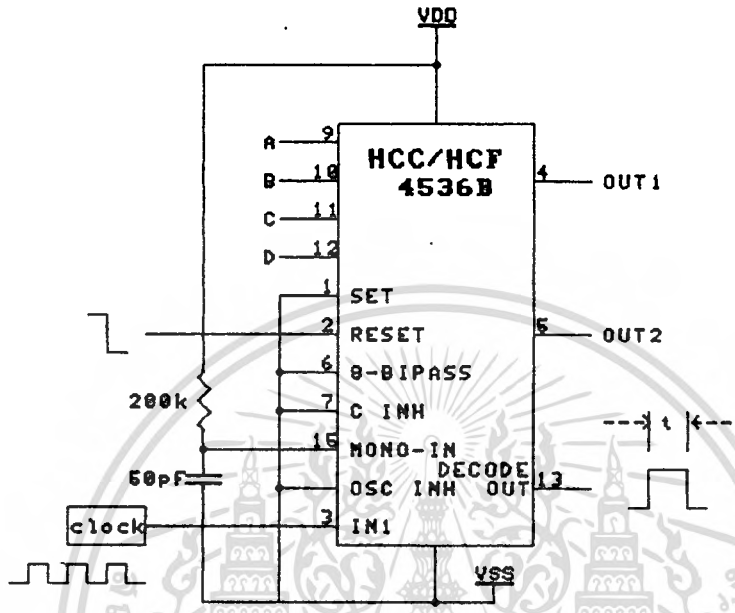
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรปรับแรงดันอ้างอิง หรือแรงดัน Thershold

(เป็นส่วนหนึ่งของวงจรหลัก)

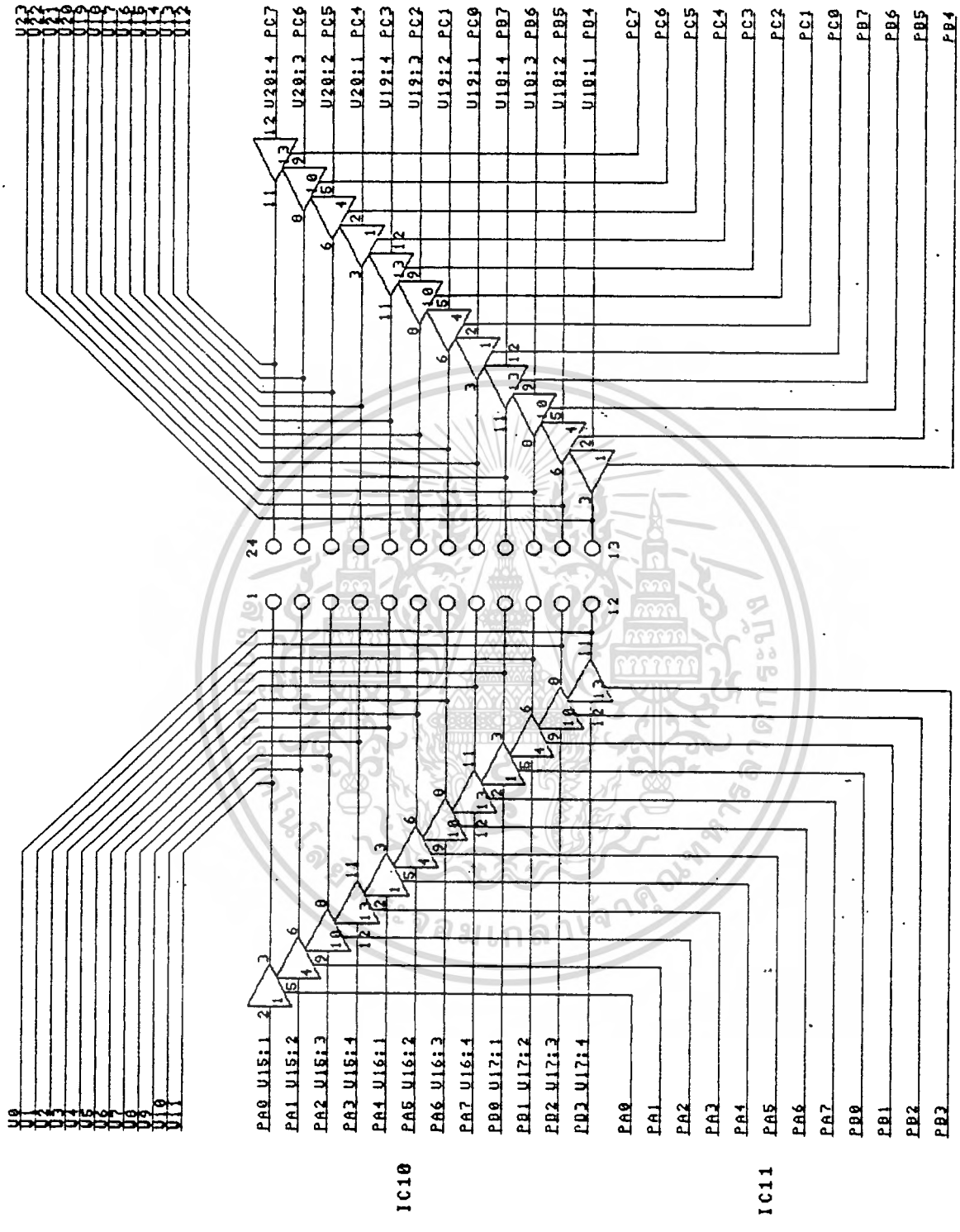
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรสร้างฐานเวลาหรือ Time base

(เป็นส่วนหนึ่งของวงจรหลัก)

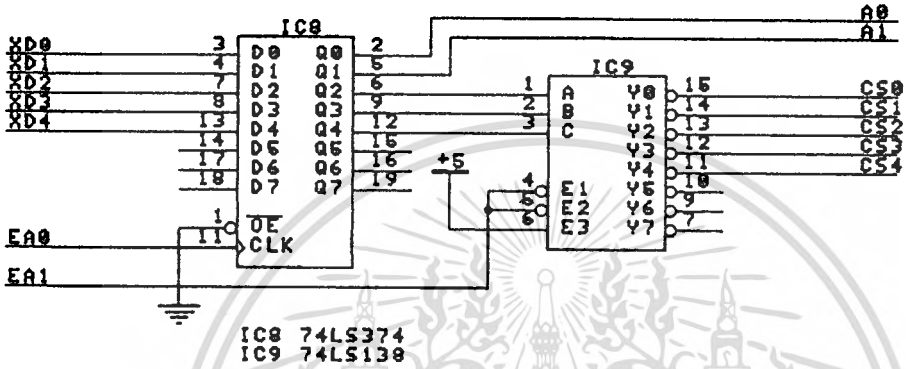
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรบัฟเฟอร์อินพุทเอาท์พุทของไอซีที่นำมาวิเคราะห์

(เป็นส่วนหนึ่งของวงจรหลัก)

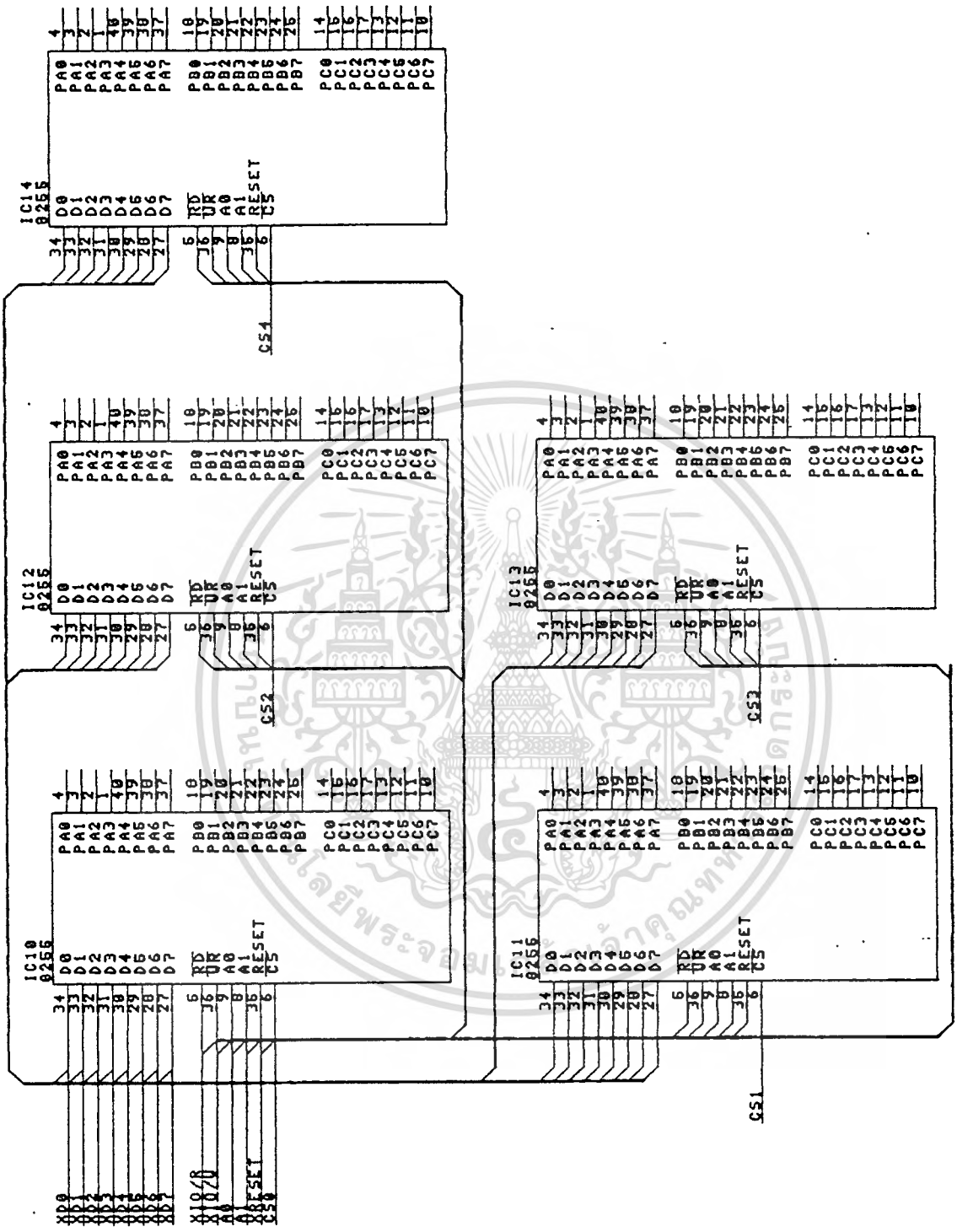
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรถอดรหัสเบอร์พอร์ท

(เป็นส่วนหนึ่งของวงจรหลัก)

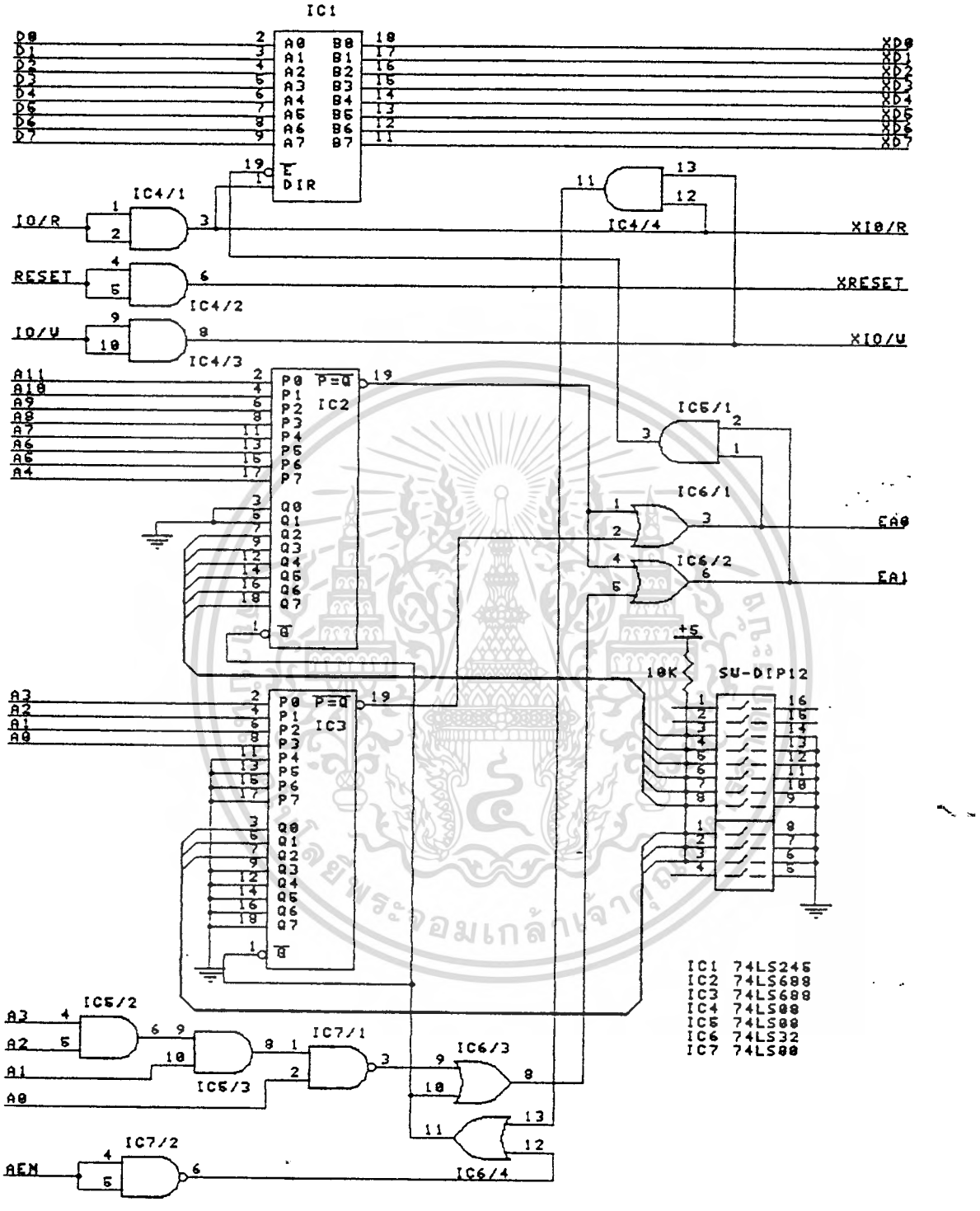
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจร 8255 I/O

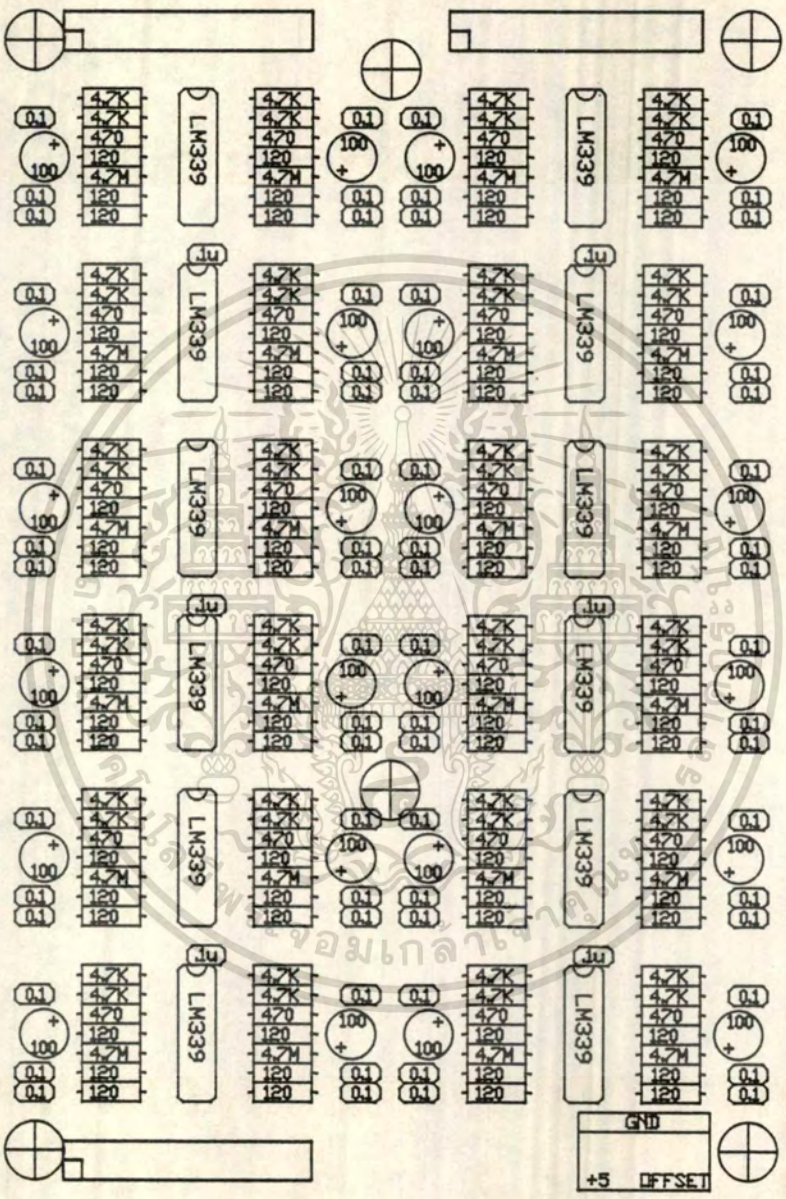
(เป็นส่วนหนึ่งของวงจรหลัก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



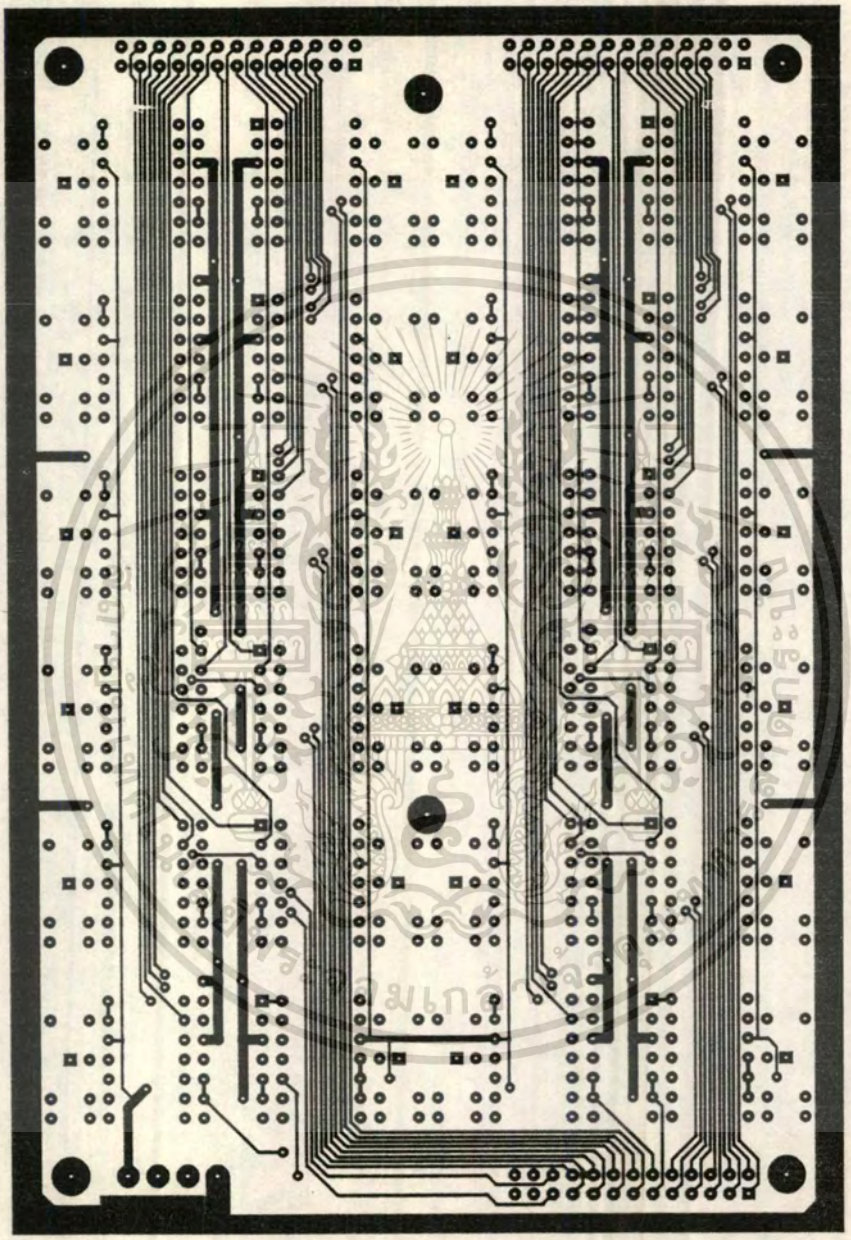
วงจร Interface card

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



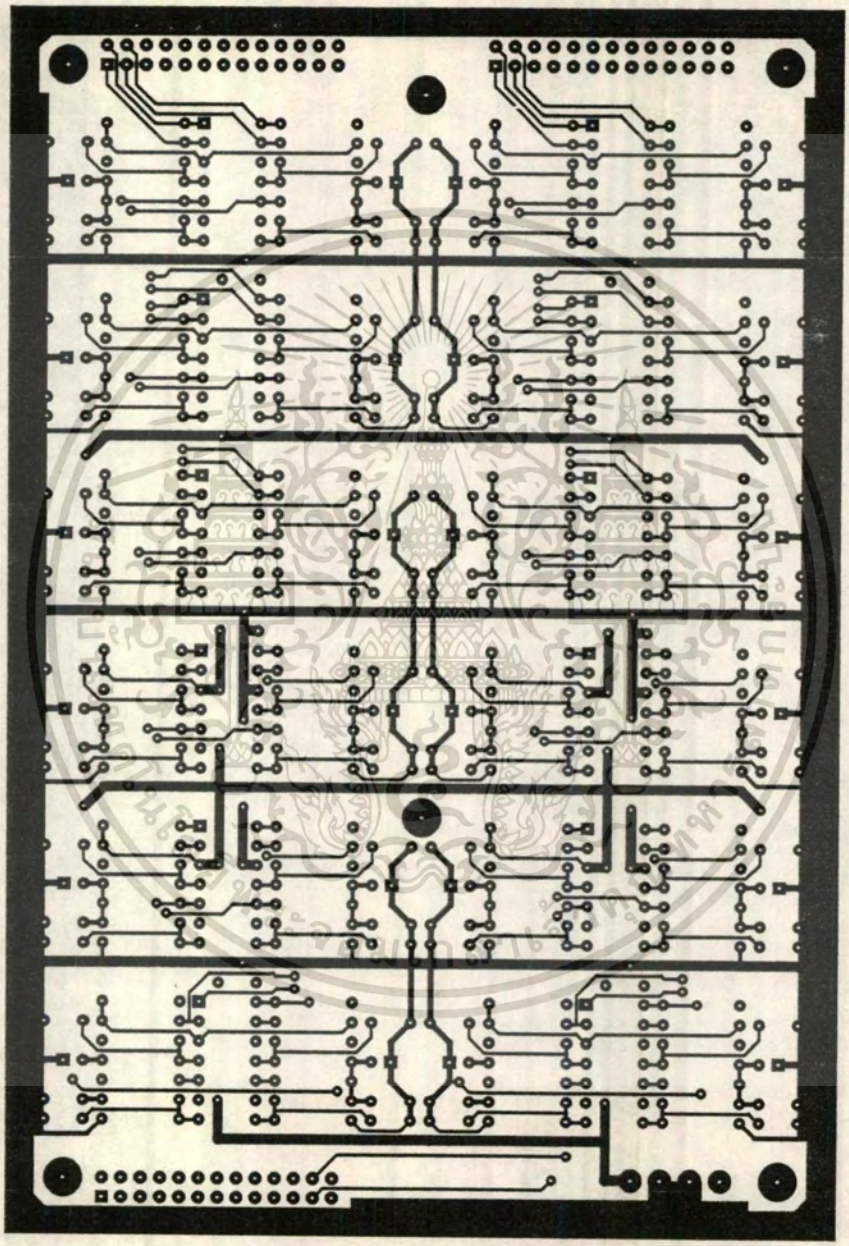
การวางอุปกรณ์ของวงจร comparator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



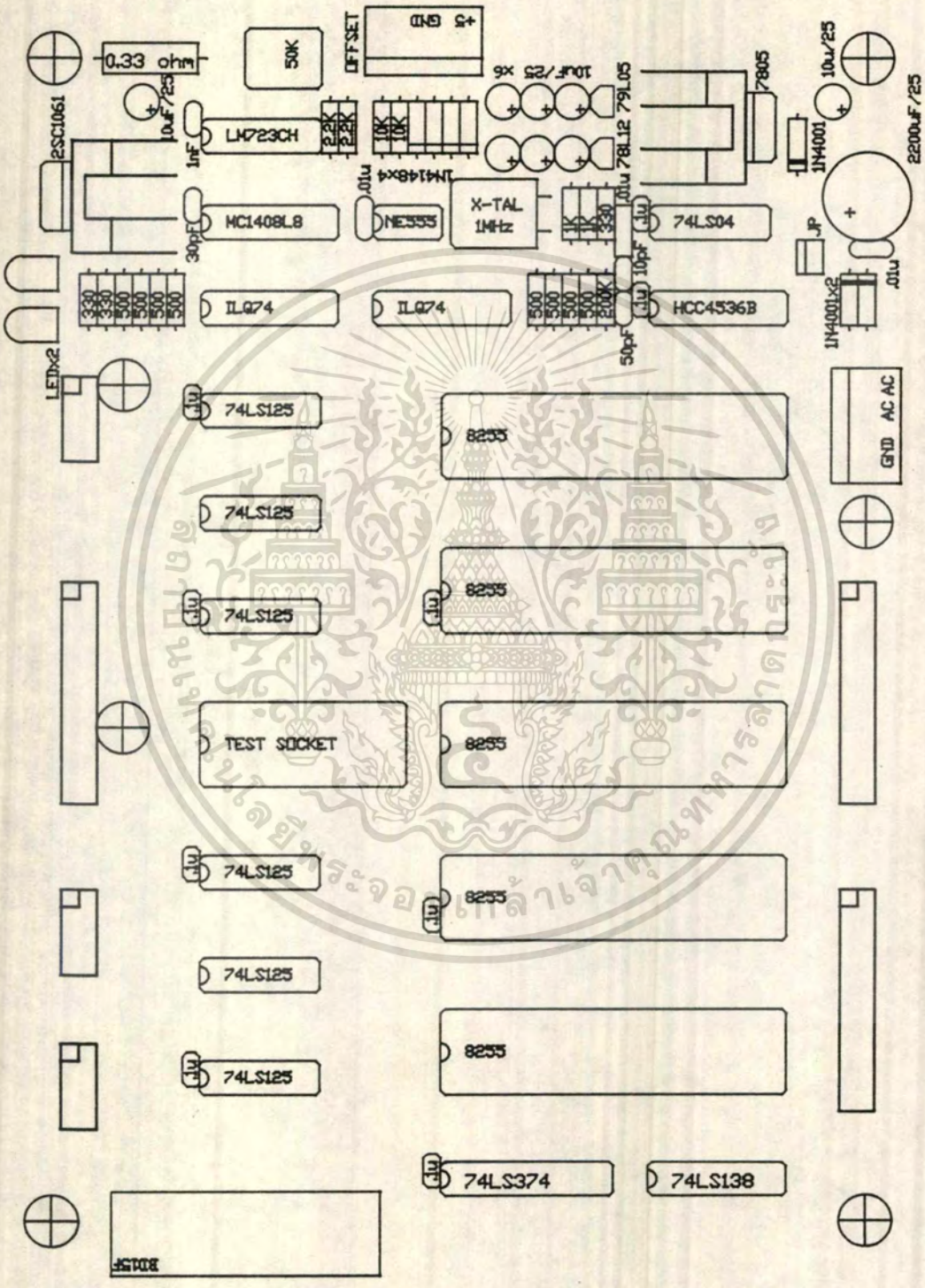
ลายทองแดงด้านล่างของวงจร comparator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



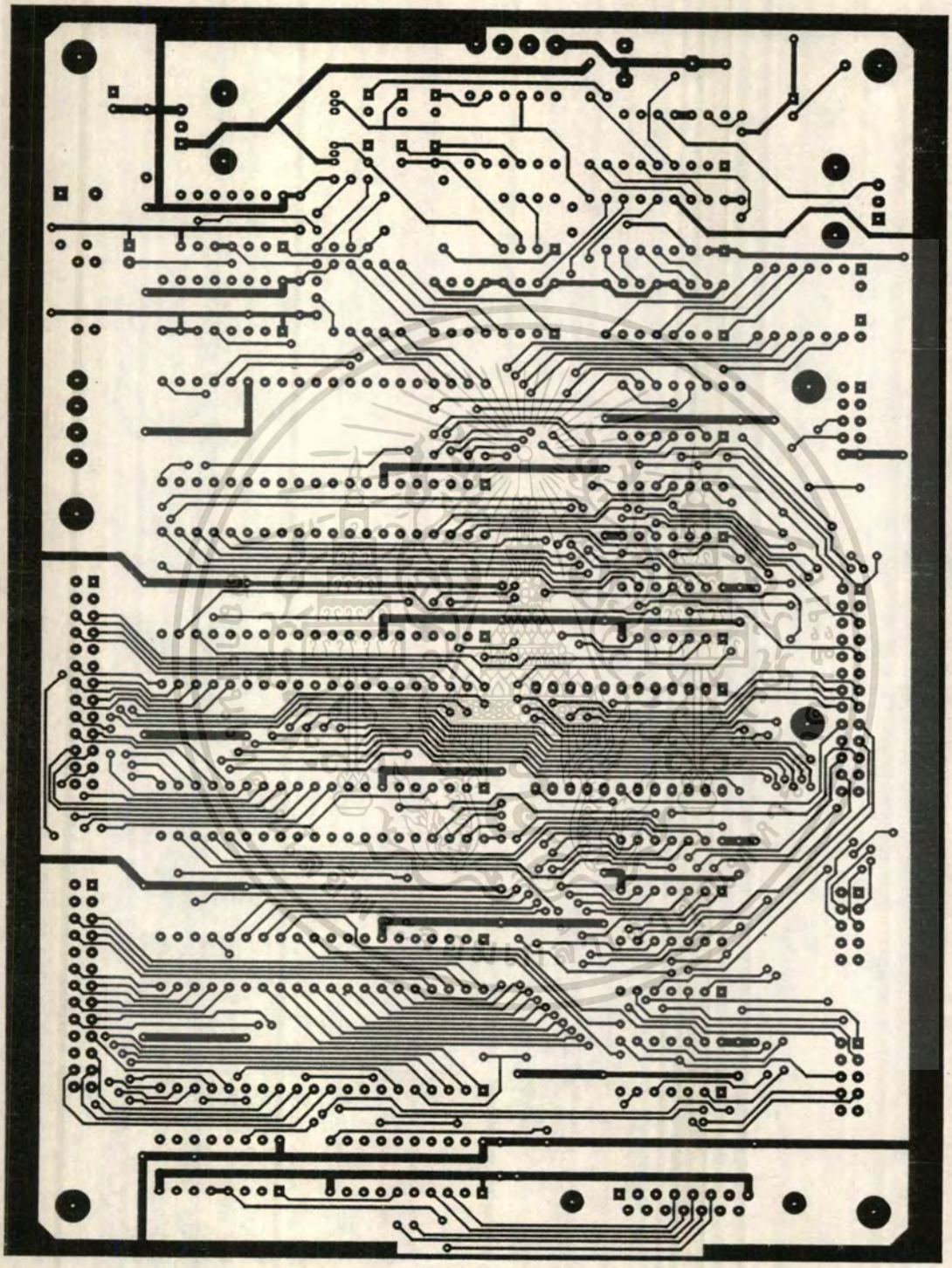
ลายทองแดงด้านบนของวงจร comparator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



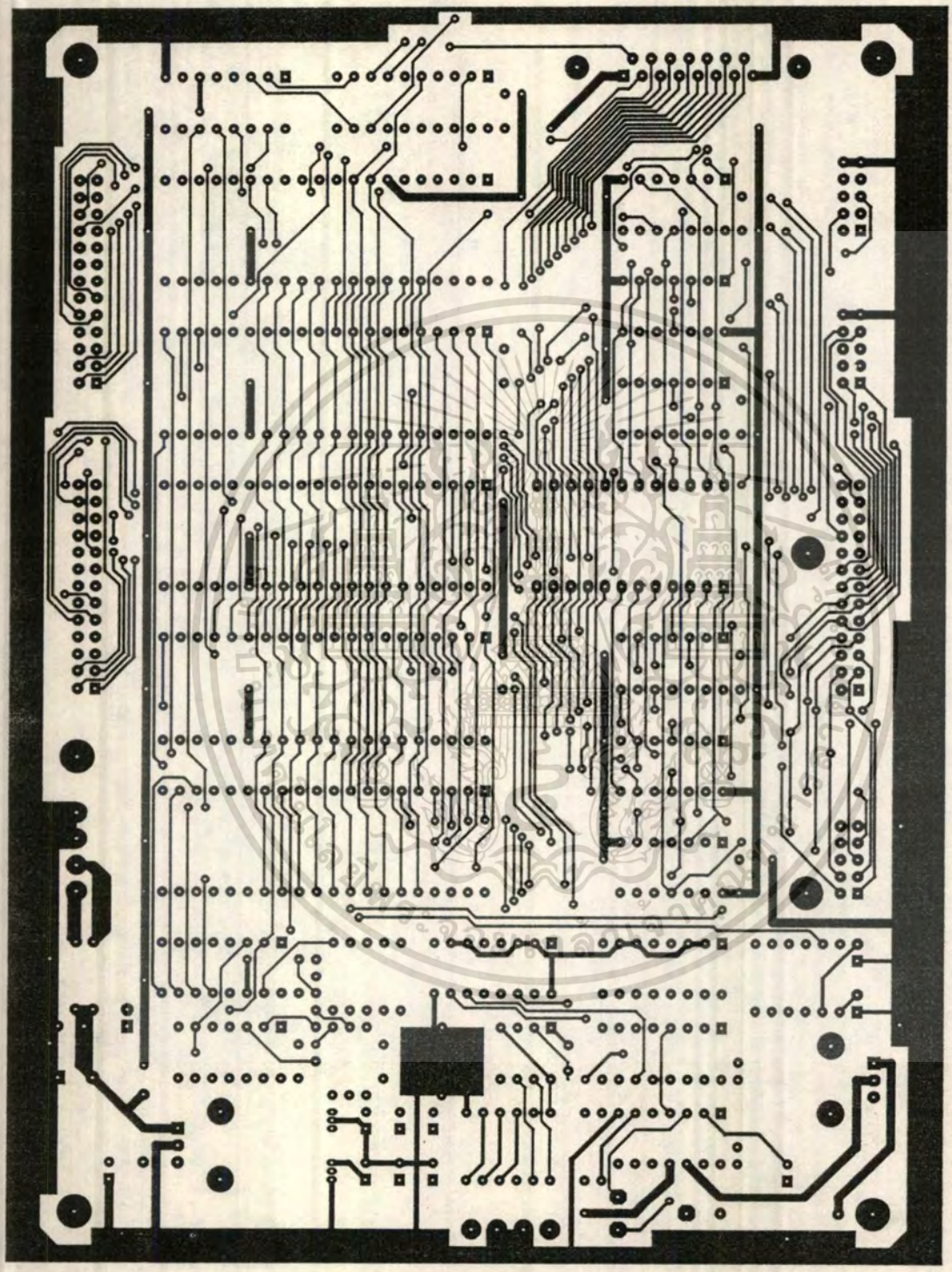
การวางอุปกรณ์ของวงจรหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



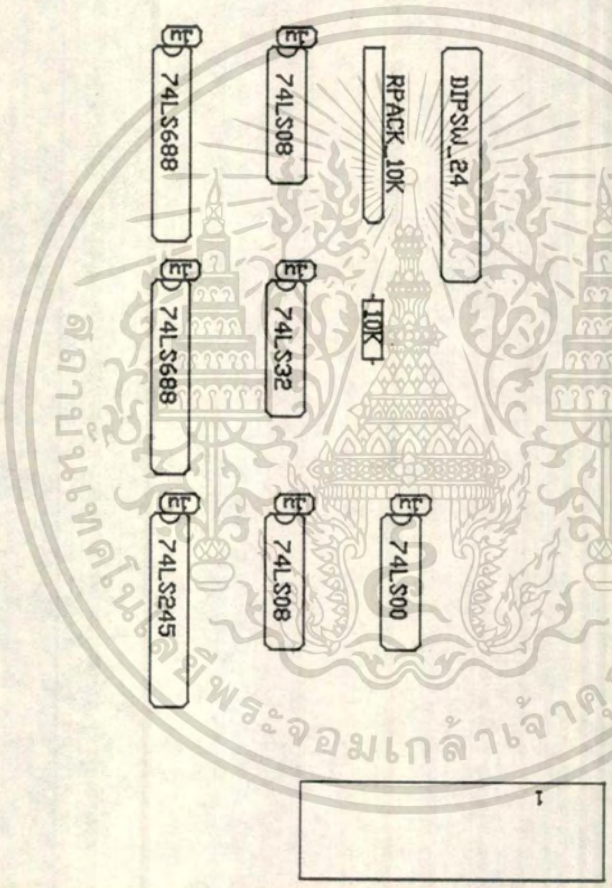
ลายทองแดงด้านล่างของวงจรหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



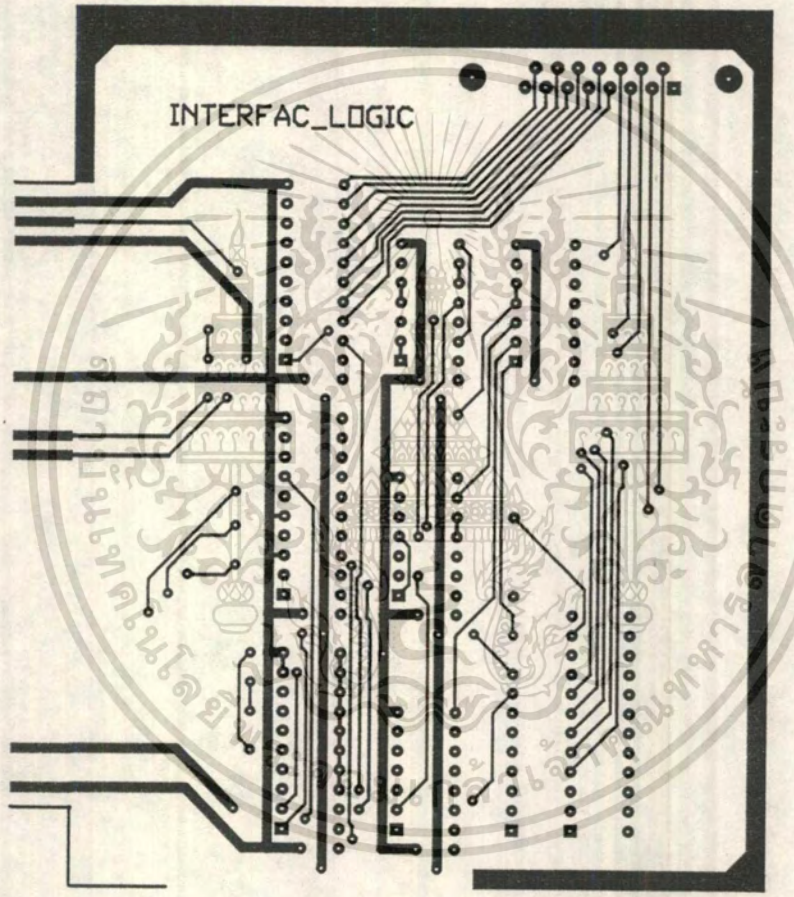
ลายทองแดงด้านบนของวงจรหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



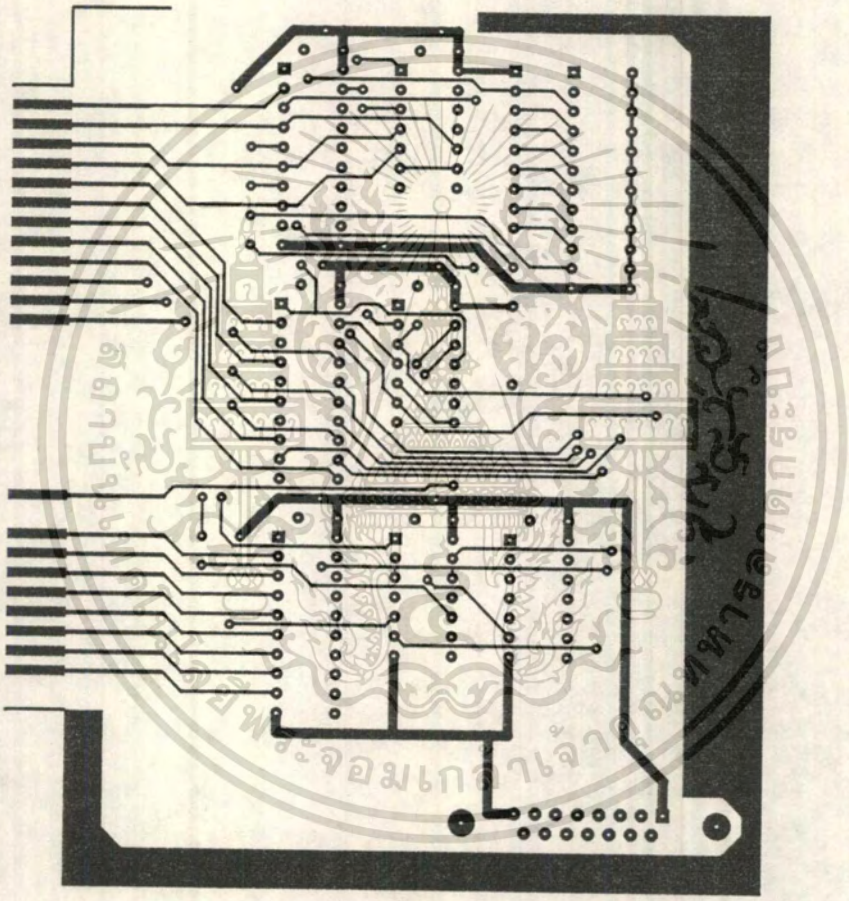
การวางอุปกรณ์ของ Interface card

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจรด้านล่างของ Interface card

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจรด้านบนของ Interface card

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

Data Sheet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM723/LM723C voltage regulator

general description

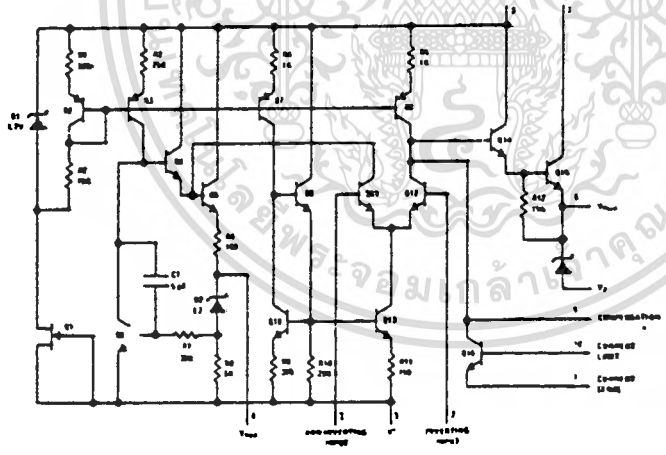
The LM723/LM723C is a voltage regulator designed primarily for series regulator applications. By itself, it will supply output currents up to 150 mA; but external transistors can be added to provide any desired load current. The circuit features extremely low standby current drain, and provision is made for either linear or foldback current limiting. Important characteristics are:

- 150 mA output current without external pass transistor
- Output currents in excess of 10A possible by adding external transistors
- Input voltage 40V max
- Output voltage adjustable from 2V to 37V
- Can be used as either a linear or a switching regulator.

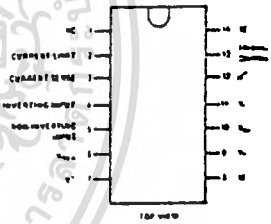
The LM723/LM723C is also useful in a wide range of other applications such as a shunt regulator, a current regulator or a temperature controller.

The LM723C is identical to the LM723 except that the LM723C has its performance guaranteed over a 0°C to 70°C temperature range, instead of −55°C to +125°C.

schematic and connection diagrams *



Dual-In-Line Package

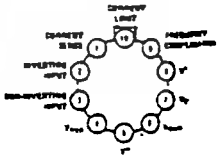


Order Number LM723D or LM723
See Package 2B

Order Number LM723N or LM
See Package 22

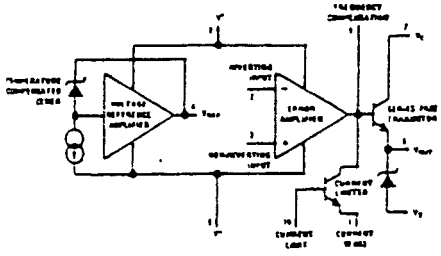
Order Number LM723J or LM723
See Package 16

Metal Can Package



Order Number LM723H or LM
See Package 12

equivalent circuit *



*Pin numbers refer to metal can package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings

Pulse Voltage from V^+ to V^- (50 ms)	50V
Continuous Voltage from V^+ to V^-	40V
Input Output Voltage Differential	40V
Maximum Amplifier Input Voltage (Either Input)	7.5V
Maximum Amplifier Input Voltage (Differential)	5V
Current from V_Z	25 mA
Current from V_{REF}	15 mA
Internal Power Dissipation Metal Can (Note 1)	800 mW
Cavity DIP (Note 1)	900 mW
Molded DIP (Note 1)	660 mW
Operating Temperature Range LM723	-55°C to +125°C
LM723C	0°C to +70°C
Storage Temperature Range Metal Can	-65°C to +150°C
DIP	-55°C to +125°C
Lead Temperature (Soldering, 10 sec)	300°C

electrical characteristics (Note 2)

PARAMETER	CONDITIONS	LM723			LM723C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Line Regulation	V_{IN} = 12V to V_{IN} = 15V		.01	0.1		.01	0.1	% V_{OUT}
	-55°C ≤ T_A ≤ +125°C			0.3				% V_{OUT}
	0°C ≤ T_A ≤ +70°C						0.3	% V_{OUT}
	V_{IN} = 12V to V_{IN} = 40V		.02	0.2		0.1	0.5	% V_{OUT}
Load Regulation	I_L = 1 mA to I_L = 50 mA		.03	0.15		.03	0.2	% V_{OUT}
	-55°C ≤ T_A ≤ +125°C			0.6				%V OUT
	0°C ≤ T_A ≤ +70°C						0.6	%V OUT
Ripple Rejection	f = 50 Hz to 10 kHz, C_{REF} = 0		74			74		dB
	f = 50 Hz to 10 kHz, C_{REF} = 5 µF		86			86		dB
Average Temperature Coefficient of Output Voltage	-55°C ≤ T_A ≤ +125°C		.002	.015				%/°C
	0°C ≤ T_A ≤ +70°C					.003	.015	%/°C
Short Circuit Current Limit	R_{SC} = 10Ω, V_{OUT} = 0		65			65		mA
Reference Voltage		6.95	7.15	7.35	6.80	7.15	7.50	V
Output Noise Voltage	BW = 100 Hz to 10 kHz, C_{REF} = 0		20			20		µVrms
	BW = 100 Hz to 10 kHz, C_{REF} = 5 µF		2.5			2.5		µVrms
Long Term Stability			0.1			0.1		%/1000 hrs
Standby Current Drain	I_L = 0, V_{IN} = 30V		1.3	3.5		1.3	4.0	mA
Input Voltage Range		9.5		40	9.5		40	V
Output Voltage Range		2.0		37	2.0		37	V
Input-Output Voltage Differential		3.0		38	3.0		38	V

Note 1: See derating curves for maximum power rating above 25°C.

Note 2: Unless otherwise specified, T_A = 25°C, V_{IN} = V^+ = V_C = 12V, V^- = 0, V_{OUT} = 5V, I_L = 1 mA, R_{SC} = 0, C_1 = 100 pF, C_{REF} = 0 and divider impedance as seen by error amplifier ≤ 10 kΩ connected as shown in Figure 1. Line and load regulation specifications are given for the condition of constant chip temperature. Temperature drifts must be taken into account separately for high dissipation conditions.

Note 3: L_1 is 40 turns of No. 20 enameled copper wire wound on Ferroxcube P36/22-3B7 pot core or equivalent with 0.009 in. air gap.

Note 4: Figures in parentheses may be used if R1/R2 divider is placed on opposite input of error amp.

Note 5: Replace R1/R2 in figures with divider shown in Figure 13.

Note 6: V^+ must be connected to a +3V or greater supply.

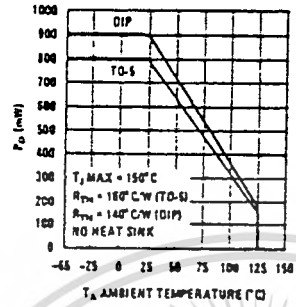
Note 7: For metal can applications where V_Z is required, an external 6.2 volt zener diode should be connected in series with V_{OUT}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

maximum power ratings

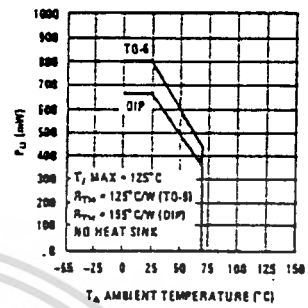
LM723

Power Dissipation vs Ambient Temperature



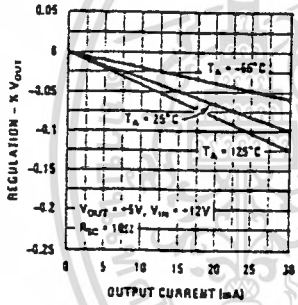
LM723C

Power Dissipation vs Ambient Temperature

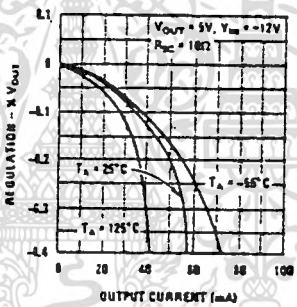


typical performance characteristics

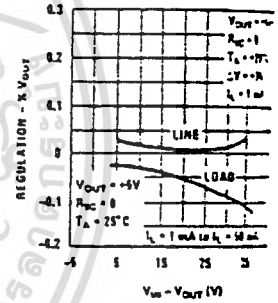
Load Regulation Characteristics with Current Limiting



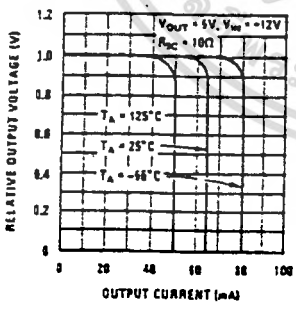
Load Regulation Characteristics with Current Limiting



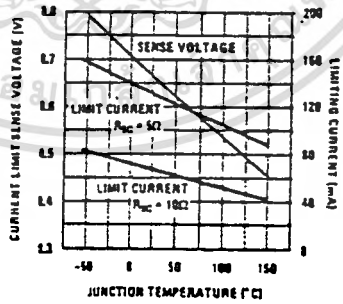
Load & Line Regulation vs Input-Output Voltage Differential



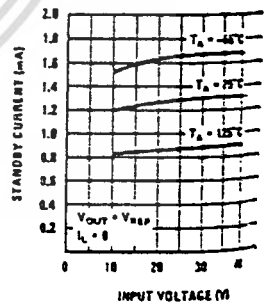
Current Limiting Characteristics



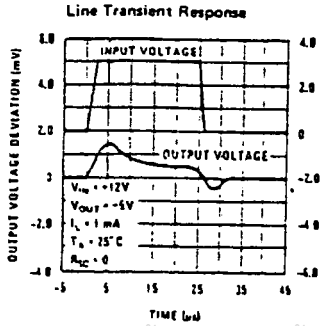
Current Limiting Characteristics vs Junction Temperature



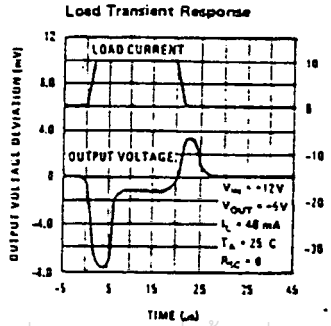
Standby Current Drain vs Input Voltage



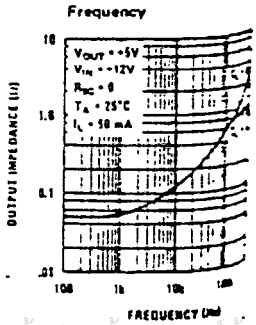
Line Transient Response



Load Transient Response



Output Impedance vs Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

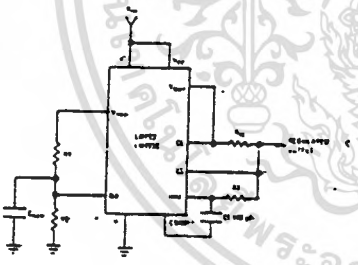
TABLE I RESISTOR VALUES (kΩ) FOR STANDARD OUTPUT VOLTAGE

POSITIVE OUTPUT VOLTAGE	APPLICABLE FIGURES	FIXED OUTPUT ±5%		OUTPUT ADJUSTABLE ±10% (Note 5)			NEGATIVE OUTPUT VOLTAGE	APPLICABLE FIGURES	FIXED OUTPUT ±5%		5% OUTPUT ADJUSTABLE ±10%		
	(Note 4)	R1	R2	R1	P1	R2			R1	R2	R1	P1	R2
+3.0	1, 5, 6, 9, 12 (4)	4.12	3.01	1.8	0.5	1.2	-100	7	3.57	102	2.2	10	91
+3.6	1, 5, 6, 9, 12 (4)	3.57	3.65	1.5	0.5	1.5	-250	7	3.57	255	2.2	10	240
+5.0	1, 5, 6, 9, 12 (4)	2.15	4.99	.75	0.5	2.2	-6 (Note 6)	3, (10)	3.57	2.43	1.2	0.5	.75
+6.0	1, 5, 6, 9, 12 (4)	1.15	6.04	0.5	0.5	2.7	-9	3, 10	3.48	5.36	1.2	0.5	2.0
+6.0	2, 4, (5, 6, 12, 9)	1.87	7.15	.75	1.0	2.7	-12	3, 10	3.57	8.45	1.2	0.5	3.3
+12	2, 4, (5, 6, 9, 12)	4.87	7.15	2.0	1.0	3.0	-15	3, 10	3.65	11.5	1.2	0.5	4.3
+15	2, 4, (5, 6, 9, 12)	7.87	7.15	3.3	1.0	3.0	-28	3, 10	3.57	24.3	1.2	0.5	10
28	2, 4, (5, 6, 9, 12)	21.0	7.15	5.6	1.0	2.0	-45	9	3.57	41.2	2.2	10	33
+45	7	3.57	48.7	2.2	10	39	-100	8	3.57	97.6	2.2	10	91
+75	7	3.57	78.7	2.2	10	58	-250	8	3.57	249	2.2	10	240

TABLE II FORMULAE FOR INTERMEDIATE OUTPUT VOLTAGES

Outputs from +2 to +7 volts (Figures 1, 5, 6, 9, 12, (4)) $V_{OUT} = \left[V_{REF} \times \frac{R2}{R1 + R2}\right]$	Outputs from +4 to +250 volts (Figure 7) $V_{OUT} = \left[\frac{V_{REF}}{2} \times \frac{R2 - R1}{R1}\right]$, R3 = R4	Current Limiting $I_{LIMIT} = \frac{V_{SENSE}}{R_{SC}}$
Outputs from +7 to +37 volts (Figures 2, 4, (5, 6, 9, 12)) $V_{OUT} = \left[V_{REF} \times \frac{R1 + R2}{R2}\right]$	Outputs from −6 to −250 volts (Figures 3, 8, 10) $V_{OUT} = \left[\frac{V_{REF}}{2} \times \frac{R1 + R2}{R1}\right]$, R3 = R4	Foldback Current Limiting $I_{SENSE} = \left[\frac{V_{OUT}\,R3}{R_{SC}\,R4} + \frac{V_{SENSE}\,(R3 + R4)}{R_{SC}\,R4}\right]$ $I_{SHORT\,CKT} = \left[\frac{V_{SENSE}}{R_{SC}} \times \frac{R3 + R4}{R4}\right]$

typical applications

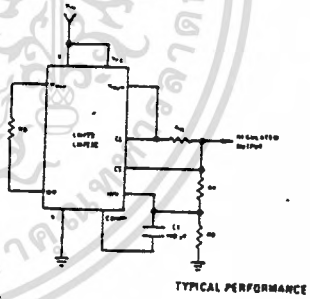


Note: R3 = $\frac{R1 \cdot R2}{R1 + R2}$ for minimum temperature drift.

TYPICAL PERFORMANCE

Regulated Output Voltage	5V
Line Regulation (ΔV_{in} = 3V)	0.5 mV
Load Regulation (ΔI_L = 50 mA)	1.5 mV

FIGURE 1. Basic Low Voltage Regulator (V_{OUT} = 2 to 7 Volts)



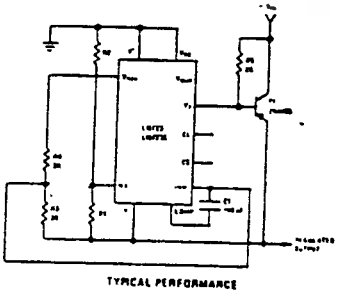
Note: R3 = $\frac{R1 \cdot R2}{R1 - R2}$ for minimum temperature drift.

R3 may be eliminated for minimum component count.

TYPICAL PERFORMANCE

Regulated Output Voltage	15V
Line Regulation (ΔV_{in} = 3V)	1.5 mV
Load Regulation (ΔI_L = 10 mA)	4.5 mV

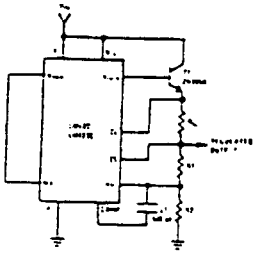
FIGURE 2. Basic High Voltage Regulator (V_{OUT} = 7 to 37 Volts)



TYPICAL PERFORMANCE

Regulated Output Voltage	-15V
Line Regulation (ΔV_{in} = 3V)	1 mV
Load Regulation (ΔI_L = 100 mA)	2 mV

FIGURE 3. Negative Voltage Regulator



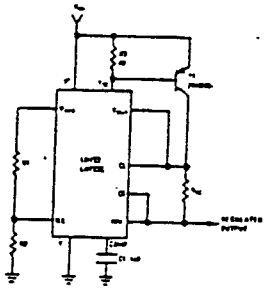
TYPICAL PERFORMANCE

Regulated Output Voltage	+15V
Line Regulation (ΔV_{in} = 3V)	1.5 mV
Load Regulation (ΔI_L = 1A)	15 mV

FIGURE 4. Positive Voltage Regulator (External NPN Pass Transistor)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

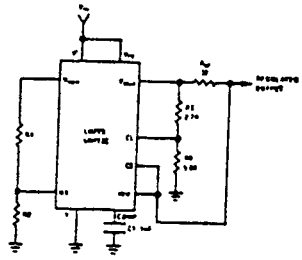
typical applications(con't.)



TYPICAL PERFORMANCE

Regulated Output Voltage	+5V
Line Regulation (ΔV_{in} = 7V)	2.5 mV
Load Regulation (ΔI_L = 1A)	5 mV

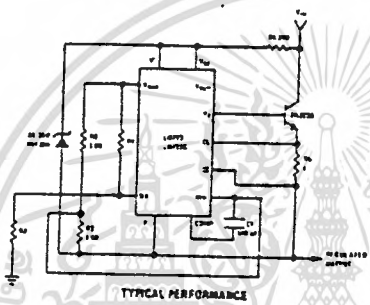
FIGURE 5. Positive Voltage Regulator (External PNP Pass Transistor)



TYPICAL PERFORMANCE

Regulated Output Voltage	+5V
Line Regulation (ΔV_{in} = 7V)	6.5 mV
Load Regulation (ΔI_L = 18 mA)	1 mV
Short Circuit Current	28 mA

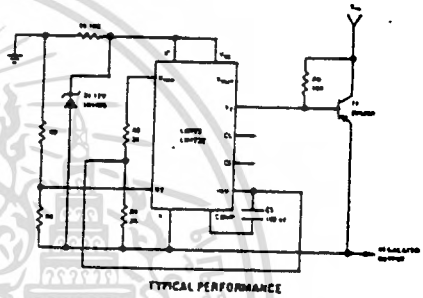
FIGURE 6. Foldback Current Limiting



TYPICAL PERFORMANCE

Regulated Output Voltage	+50V
Line Regulation (ΔV_{in} = 25V)	15 mV
Load Regulation (ΔI_L = 50 mA)	20 mV

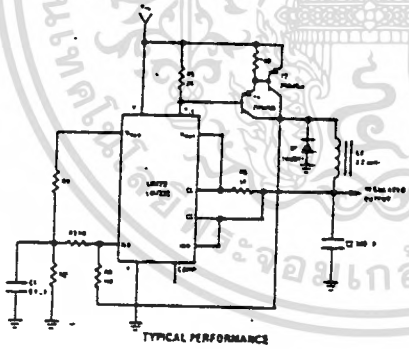
FIGURE 7. Positive Floating Regulator



TYPICAL PERFORMANCE

Regulated Output Voltage	-100V
Line Regulation (ΔV_{in} = 25V)	30 mV
Load Regulation (ΔI_L = 100 mA)	20 mV

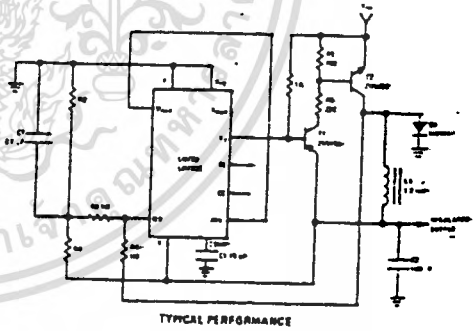
FIGURE 8. Negative Floating Regulator



TYPICAL PERFORMANCE

Regulated Output Voltage	+5V
Line Regulation (ΔV_{in} = 30V)	15 mV
Load Regulation (ΔI_L = 2A)	50 mV

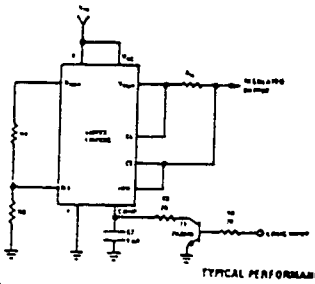
FIGURE 9. Positive Switching Regulator



TYPICAL PERFORMANCE

Regulated Output Voltage	-15V
Line Regulation (ΔV_{in} = 25V)	5 mV
Load Regulation (ΔI_L = 2A)	6 mV

FIGURE 10. Negative Switching Regulator

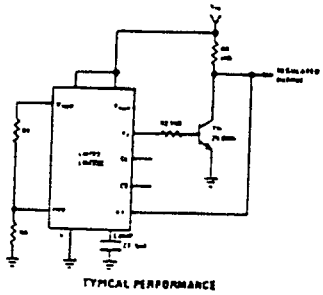


TYPICAL PERFORMANCE

Regulated Output Voltage	+5V
Line Regulation (ΔV_{in} = 3V)	0.5 mV
Load Regulation (ΔI_L = 50 mA)	1.5 mV

Note: Current load thermistor may be used for shutdown if overload handling is not required.

FIGURE 11. Remote Shutdown Regulator with Current Limiting



TYPICAL PERFORMANCE

Regulated Output Voltage	+5V
Line Regulation (ΔV_{in} = 18V)	0.5 mV
Load Regulation (ΔI_L = 100 mA)	1.1 mV

FIGURE 12. Shunt Regulator

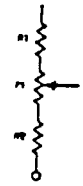


FIGURE 13. Output Voltage Adjust (See Note 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

2

LM139, A
LM239, A LM2901
LM339, A MC3302

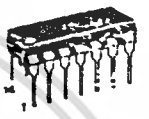
QUAD SINGLE SUPPLY COMPARATORS

These comparators are designed for use in level detection, low-level sensing and memory applications in Consumer Automotive and Industrial electronic applications.

- Single or Split Supply Operation
- Low Input Bias Current — 25 nA (Typ)
- Low Input Offset Current — ±5.0 nA (Typ)
- Low Input Offset Voltage — ±1.0 mV (Typ LM139A Series)
- Input Common-Mode Voltage Range to Gnd
- Low Output Saturation Voltage — 130 mV (Typ) @ 4.0 mA
- TTL and CMOS Compatible

QUAD COMPARATORS

SILICON MONOLITHIC
INTEGRATED CIRCUIT



N, P SUFFIX
PLASTIC PACKAGE
CASE 646

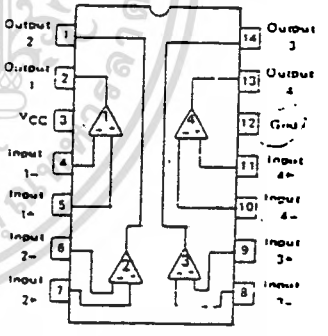
J, L SUFFIX
CERAMIC PACKAGE
CASE 632

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

MAXIMUM RATINGS

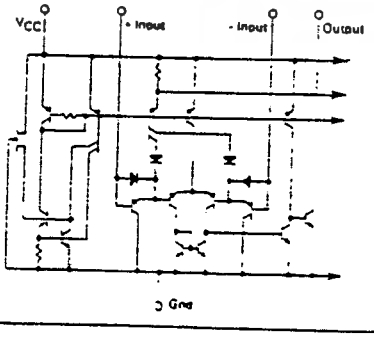
Rating	Symbol	Value	Unit
Power Supply Voltage LM139, A/LM239, A/LM339A/LM2901 / MC3302	V_{CC}	±18 or ±15 / ±15	Vdc
Input Differential Voltage Range LM139, A/LM239, A/LM339, A/LM2901 / MC3302	V_{IDR}	36 / 30	Vdc
Input Common Mode Voltage Range	V_{ICR}	−0.3 to V_{CC}	Vdc
Output Short-Circuit to Gnd (Note 1)	I_{SC}	Continuous	
Input Current (V_{in} < −0.3 Vdc) (Note 2)	I_{in}	50	mA
Power Dissipation @ T_A = 25°C Ceramic Package Derate above 25°C Plastic Package Derate above 25°C	P_D	 1.0 8.0 1.0 8.0	 Watts mW/°C Watts mW/°C
Junction Temperature Ceramic & Metal Package Plastic Package	T_J	 175 150	°C
Operating Ambient Temperature Range LM139, A LM239, A MC3302 LM2901 LM339, A	T_A	 −55 to +125 −25 to +85 −40 to +85 −40 to +105 0 to +70	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

PIN CONNECTIONS



(Top View)

FIGURE 1 — CIRCUIT SCHEMATIC (Diagram shown is for 1 comparator)



ORDERING INFORMATION

Device	Temperature Range	Package
LM139J, AJ	−55°C to +125°C	Ceramic DIP
LM239D, AD LM239J, AJ LM239N, AN	−25°C to +85°C	SO-14 Ceramic DIP Plastic DIP
LM339D, AD LM339J, AJ LM339N, AN	0°C to +70°C	SO-14 Ceramic DIP Plastic DIP
LM2901D LM2901N	−40°C to +105°C	SO-14 Plastic DIP
MC3302L MC3302P	−40°C to +85°C	Ceramic DIP Plastic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = +5.0 Vdc, T_A = 25°C unless otherwise noted)

Characteristic	Symbol	LM139A			LM239A/339A			LM139			LM239/339			LM2901			MC3302			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (Note 4)	V_{IO}	—	±1.0	±2.0	—	±1.0	±3.0	—	±2.0	±5.0	—	±2.0	±9.0	—	±2.0	±7.0	—	±3.0	±20	mVdc
Input Bias Current (Notes 4, 5) (Output in Linear Range)	I_{IB}	—	25	100	—	25	250	—	25	100	—	25	250	—	25	250	—	25	600	nA
Input Offset Current (Note 4)	I_{IO}	—	±3.0	±25	—	±5.0	±50	—	±3.0	±25	—	±5.0	±50	—	±5.0	±50	—	±30	±100	nA
Input Common-Mode Voltage Range	V_{ICR}	0	—	V_{CC} -1.5	0	—	V_{CC} -1.5	0	—	V_{CC} -1.5	0	—	V_{CC} -1.5	0	—	V_{CC} -1.5	0	—	V_{CC} -1.5	V
Supply Current R_L = ∞ (For All Comparators) R_L = ∞, V_{CC} = 30 Vdc	I_{CC}	—	0.8	2.0	—	0.8	2.0	—	0.8	2.0	—	0.8	2.0	—	0.8 1.0	2.0 2.5	—	0.8	2.0	mA
Voltage Gain R_L ≥ 15 kΩ, V_{CC} = 15 Vdc	A_V	50	200	—	50	200	—	—	200	—	—	200	—	25	100	—	3.0	30	—	V/mV
Large Signal Response Time V_I = TTL Logic Swing, V_{ref} = 1.4 Vdc, V_{RL} = 5.0 Vdc, R_L = 5.1 kΩ	—	—	300	—	—	300	—	—	300	—	—	300	—	—	300	—	—	300	—	ns
Response Time (Note 6) V_{RL} = 5.0 Vdc, R_L = 5.1 kΩ	—	—	1.3	—	—	1.3	—	—	1.3	—	—	1.3	—	—	1.3	—	—	1.3	—	μs
Output Sink Current $V_I(-) \geq -1.0$ Vdc, $V_I(+) = 0$, $V_O \leq 1.5$ Vdc	I_{Sink}	6.0	16	—	6.0	16	—	6.0	16	—	6.0	16	—	6.0	16	—	6.0	16	—	mA
Saturation Voltage $V_I(-) \geq -1.0$ Vdc, $V_I(+) = 0$, $I_{Sink} \leq 4.0$ mA	V_{sat}	—	130	400	—	130	400	—	130	400	—	130	400	—	130	400	—	130	500	mV
Output Leakage Current $V_I(+) \geq +1.0$ Vdc, $V_I(-) = 0$, V_O = 30 Vdc	I_{OL}	—	0.1	—	—	0.1	—	—	0.1	—	—	0.1	—	—	0.1	—	—	0.1	—	nA

PERFORMANCE CHARACTERISTICS (V_{CC} = +5.0 Vdc, T_A = T_{low} to T_{high})[Note 3]

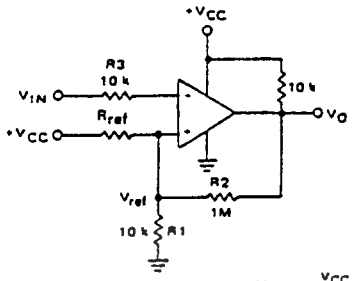
Characteristic	Symbol	LM139A			LM239A/339A			LM139			LM239/339			LM2901			MC3302			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (Note 4)	V_{IO}	—	—	±4.0	—	—	±4.0	—	—	±9.0	—	—	±9.0	—	—	±15	—	—	±40	mVdc
Input Bias Current (Notes 4, 5) (Output in Linear Range)	I_{IB}	—	—	300	—	—	400	—	—	300	—	—	400	—	—	500	—	—	1000	nA
Input Offset Current (Note 4)	I_{IO}	—	—	±100	—	—	±150	—	—	±100	—	—	±150	—	—	±200	—	—	±300	nA
Input Common-Mode Voltage Range	V_{ICR}	0	—	V_{CC} -2.0	0	—	V_{CC} -2.0	0	—	V_{CC} -2.0	0	—	V_{CC} -2.0	0	—	V_{CC} -2.0	0	—	V_{CC} -2.0	V
Saturation Voltage $V_I(-) \geq -1.0$ Vdc, $V_I(+) = 0$, $I_{Sink} \leq 4.0$ mA	V_{sat}	—	—	700	—	—	700	—	—	700	—	—	700	—	—	700	—	—	700	mV
Output Leakage Current $V_I(+) \geq +1.0$ Vdc, $V_I(-) = 0$, V_O = 30 Vdc	I_{OL}	—	—	1.0	—	—	1.0	—	—	1.0	—	—	1.0	—	—	1.0	—	—	1.0	μA
Differential Input Voltage All $V_I \geq 0$ Vdc	V_{ID}	—	—	V_{CC}	—	—	V_{CC}	—	—	V_{CC}	—	—	V_{CC}	—	—	V_{CC}	—	—	V_{CC}	Vdc

NOTES:

1. The maximum output current may be as high as 20 mA, independent of the magnitude of V_{CC}. Output short circuits to V_{CC} can cause excessive heating and eventual destruction.
2. This magnitude of input current will only occur if the leads are driven more negative than ground or the negative supply voltage. This is due to the input PNP collector-base junction becoming forward biased, acting as an input clamp diode. There is also a lateral PNP parasitic transistor action which can cause the output voltage of the comparator to go to the V_{CC} voltage level (or ground if overdrive is large) during the time that an input is driven negative. This will not destroy the device when limited to the maximum rating and normal output states will recover when the inputs become > ground or negative supply.
3. LM139/139A — T_{low} = −55°C, T_{high} = +125°C
   LM239/239A — T_{low} = −25°C, T_{high} = +85°C
   LM339/339A — T_{low} = 0°C, T_{high} = +70°C
   MC3302 — T_{low} = −40°C, T_{high} = +85°C
   LM2901 — T_{low} = −40°C, T_{high} = +105°C
4. At the output switch points, V_O = 1.4 Vdc, R_S < 100 kΩ, 5.0 Vdc < V_{CC} < 30 Vdc, with the input over the full common-mode range (0 Vdc to V_{CC} − 1.5 Vdc).
5. The bias current flows out of the inputs due to the PNP input stage. This current is virtually constant, independent of the output state.
6. The response time specified is for a 100 mV input step with 5.0 mV overdrive. For larger signals, 300 ns is typical.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 2 — INVERTING COMPARATOR WITH HYSTERESIS



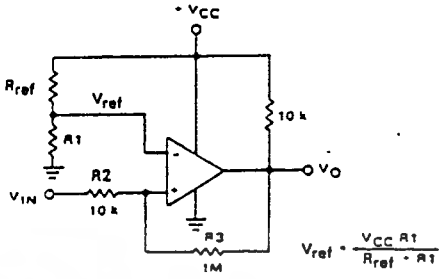
$$V_{ref} = \frac{V_{CC}\,R1}{R_{ref} + R1}$$

$$R3 \approx R1 \,//\, R_{ref}//R2$$

$$V_H = \frac{R1 \,//\, R_{ref}}{R1//R_{ref} + R2}\,(V_{Omax} - V_{Omin})$$

$$R2 >> R_{ref}//R1$$

FIGURE 3 — NON-INVERTING COMPARATOR WITH HYSTERESIS



$$V_{ref} = \frac{V_{CC}\,R1}{R_{ref} + R1}$$

$$R2 \approx R1//R_{ref}$$

Amount of Hysteresis V_H

$$V_H = \frac{R2}{R2 + R3}\,(V_{Omax} - V_{Omin})$$

TYPICAL CHARACTERISTICS

(V_{CC} = +15 Vdc, T_A = +25°C (each comparator) unless otherwise noted.)

FIGURE 4 — NORMALIZED INPUT OFFSET VOLTAGE

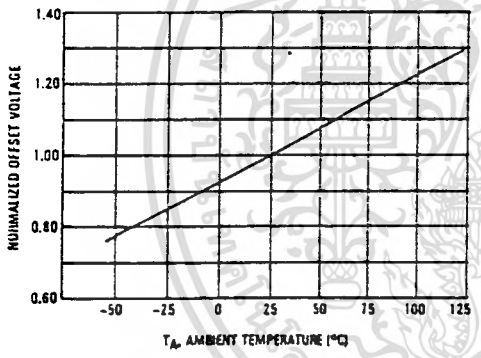


FIGURE 5 — INPUT BIAS CURRENT

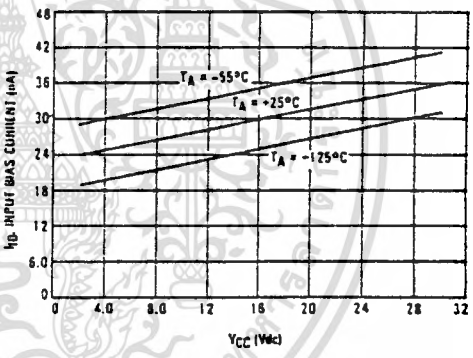
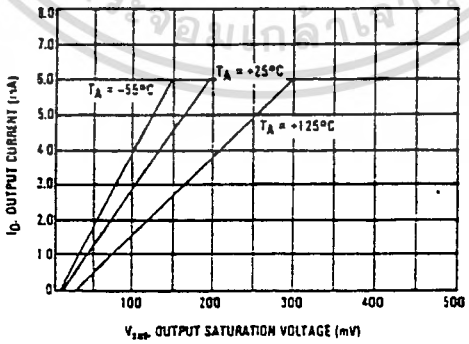
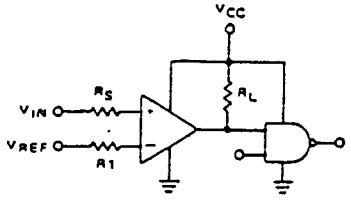


FIGURE 6 — OUTPUT SINK CURRENT versus OUTPUT SATURATION VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

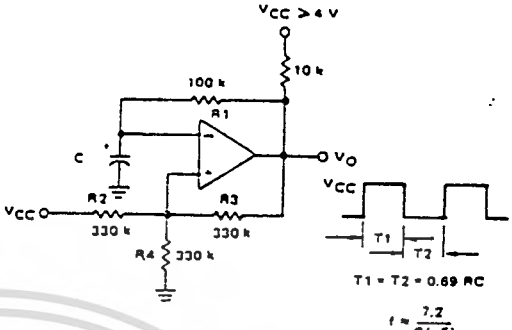
FIGURE 7 — DRIVING LOGIC



R_S = Source Resistance
$R1 \approx R_S$

LOGIC	DEVICE	V_{CC} Volts	R_L kΩ
CMOS	1/4 MC14001	+15	100
TTL	1/4 MC7400	+5	10

FIGURE 8 — SQUAREWAVE OSCILLATOR



$T1 = T2 = 0.69\ RC$

$f \approx \frac{7.2}{C(\mu F)}$

$R2 = R3 = R4$

$R1 \approx R2//R3//R4$

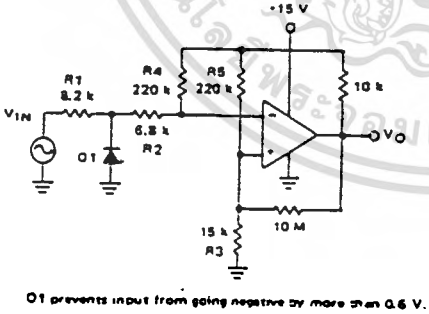
APPLICATIONS INFORMATION

These quad comparators feature high gain, wide bandwidth characteristics. This gives the device oscillation tendencies if the outputs are capacitively coupled to the inputs via stray capacitance. This oscillation manifests itself during output transistions (V_{OL} to V_{OH}). To alleviate this situation input resistors < 10 kΩ should be used. The addition of positive feedback (<10 mV) is also recommended.

It is good design practice to ground all unused input pins.

Differential input voltages may be larger than supply voltages without damaging the comparator's inputs. Voltages more negative than −300 mV should not be used.

FIGURE 9 — ZERO CROSSING DETECTOR
(Single Supply)

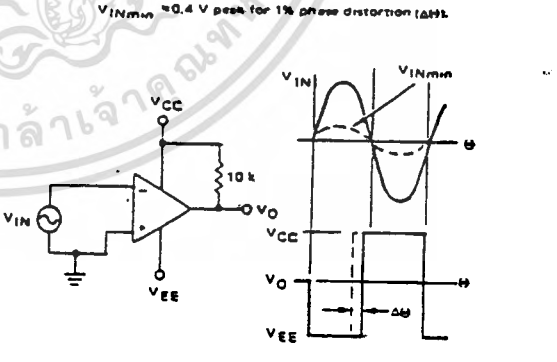


D1 prevents input from going negative by more than 0.6 V.

$R1 = R2 = R3$

$R3 < \frac{R5}{10}$ for small error in zero crossing

FIGURE 10 — ZERO CROSSING DETECTOR
(Split Supplies)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1408
MC1508

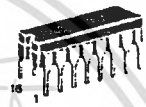
EIGHT-BIT MULTIPLYING DIGITAL-TO-ANALOG CONVERTER

. designed for use where the output current is a linear product of an eight-bit digital word and an analog input voltage.

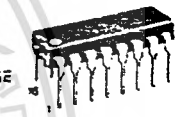
- Eight-Bit Accuracy Available in Both Temperature Ranges
  Relative Accuracy: ±0.19% Error maximum
  (MC1408L8, MC1408P8, MC1508L8)
- Seven and Six-Bit Accuracy Available with MC1408 Designated by 7 or 6 Suffix after Package Suffix
- Fast Settling Time — 300 ns typical
- Noninverting Digital Inputs are MTTL and CMOS Compatible
- Output Voltage Swing — +0.4 V to -5.0 V
- High-Speed Multiplying Input
  Slew Rate 4.0 mA/μs
- Standard Supply Voltages: +5.0 V and -5.0 V to -15 V

EIGHT-BIT MULTIPLYING DIGITAL-TO-ANALOG CONVERTER

SILICON MONOLITHIC INTEGRATED CIRCUIT



L SUFFIX
CERAMIC PACKAGE
CASE 620



P SUFFIX
PLASTIC PACKAGE
CASE 648

FIGURE 1 — D-to-A TRANSFER CHARACTERISTICS

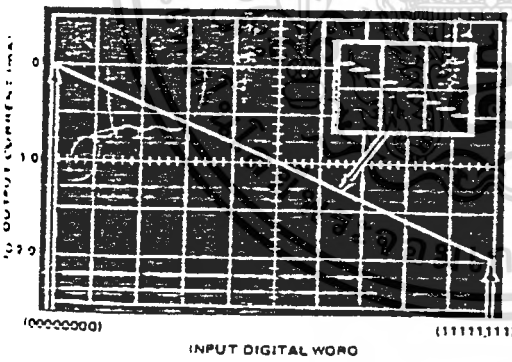
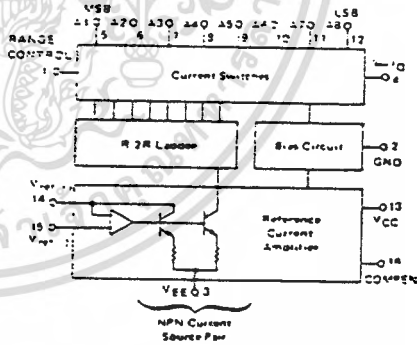


FIGURE 2 — BLOCK DIAGRAM



TYPICAL APPLICATIONS

- Tracking A-to-D Converters
- Successive Approximation A-to-D Converters
- 2 1/2 Digit Panel Meters and DVM's
- Waveform Synthesis
- Sample and Hold
- Peak Detector
- Programmable Gain and Attenuation
- CRT Character Generation
- Audio Digitizing and Decoding
- Programmable Power Supplies
- Analog-Digital Multiplication
- Digital-Digital Multiplication
- Analog-Digital Division
- Digital Addition and Subtraction
- Speech Compression and Expansion
- Stepping Motor Drive

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = +25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC} V_{EE}	+5.5 -16.5	Vdc
Digital Input Voltage	V_5 thru V_{12}	0 to +5.5	Vdc
Applied Output Voltage	V_O	+0.5,-5.2	Vdc
Reference Current	I_{14}	5.0	mA
Reference Amplifier Inputs	V_{14},V_{15}	V_{CC},V_{EE}	Vdc
Operating Temperature Range MC1508 MC1408 Series	T_A	 -55 to +125 0 to +75	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = +5.0 Vdc, V_{EE} = -15 Vdc, $\frac{V_{ref}}{R14}$ = 2.0 mA, MC1508L8: T_A = -55°C to +125°C, MC1408L Series: T_A = 0 to +75°C unless otherwise noted. All digital inputs at high logic level.)

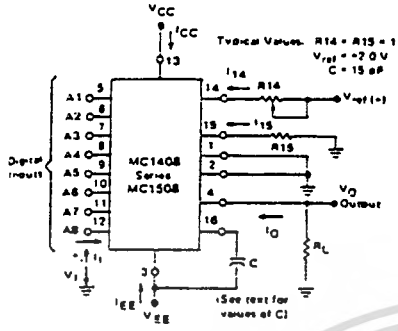
Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Relative Accuracy (Error relative to full scale I_O) MC1508L8, MC1408L8, MC1408P8 MC1408P7, MC1408L7, See Note 1 MC1408P6, MC1408L6, See Note 1	4	E_r	 - - -	 - - -	 ±0.19 ±0.39 ±0.78	%
Settling Time to within ±1/2 LSB (includes t_{PLH}) (T_A = +25°C) See Note 2	5	t_S	-	300	-	ns
Propagation Delay Time T_A = +25°C	5	t_{PLH},t_{PHL}	-	30	100	ns
Output Full Scale Current Drift		TCI_O	-	±20	-	PPM/°C
Digital Input Logic Levels (MSB) High Level, Logic "1" Low Level, Logic "0"	3	 V_{IH} V_{IL}	 2.0 -	 - -	 - 0.8	Vdc
Digital Input Current (MSB) High Level, V_{IH} = 5.0 V Low Level, V_{IL} = 0.8 V	3	 I_{IH} I_{IL}	 - -	 0 -0.4	 0.04 -0.8	mA
Reference Input Bias Current (Pin 15)	3	I_{15}	-	-1.0	-5.0	μA
Output Current Range V_{EE} = -5.0 V V_{EE} = -15 V, T_A = 25°C	3	I_{OR}	 0 0	 2.0 2.0	 2.1 4.2	mA
Output Current V_{ref} = 2.000 V, R14 = 1000 Ω	3	I_O	 1.9	 1.99	 2.1	mA
Output Current (All bits low)	3	$I_{O(min)}$	-	0	4.0	μA
Output Voltage Compliance (E_r ≤ 0.19% at T_A = +25°C) Pin 1 grounded Pin 1 open, V_{EE} below -10 V	3	V_O	 - -	 - -	 -0.55, +0.4 -5.0, +0.4	Vdc
Reference Current Slew Rate	6	SR I_{ref}	-	4.0	-	mA/μs
Output Current Power Supply Sensitivity		PSRR(-)	-	0.5	2.7	μA/V
Power Supply Current (All bits low)	3	I_{CC} I_{EE}	- -	-13.5 -7.6	+22 -13	mA
Power Supply Voltage Range (T_A = +25°C)	3	V_{CCR} V_{EER}	+4.5 -4.5	+5.0 -15	+5.5 -16.5	Vdc
Power Dissipation All bits low V_{EE} = -5.0 Vdc V_{EE} = -15 Vdc All bits high V_{EE} = -5.0 Vdc V_{EE} = -15 Vdc	3	P_D	 - - - -	 105 190 90 160	 170 305 - -	mW

Note 1. All current switches are tested to guarantee at least 50% of rated output current.
Note 2. All bits switched.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS

FIGURE 3 – NOTATION DEFINITIONS TEST CIRCUIT



V_I and I_I apply to inputs A1 thru A8

The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_O = K\left\{\frac{A1}{2}+\frac{A2}{4}+\frac{A3}{8}+\frac{A4}{16}+\frac{A5}{32}+\frac{A6}{64}+\frac{A7}{128}+\frac{A8}{256}\right\}$$

where $K \cong \frac{V_{ref}}{R14}$

and A_N = "1" if A_N is at high level
A_N = "0" if A_N is at low level

FIGURE 4 – RELATIVE ACCURACY TEST CIRCUIT

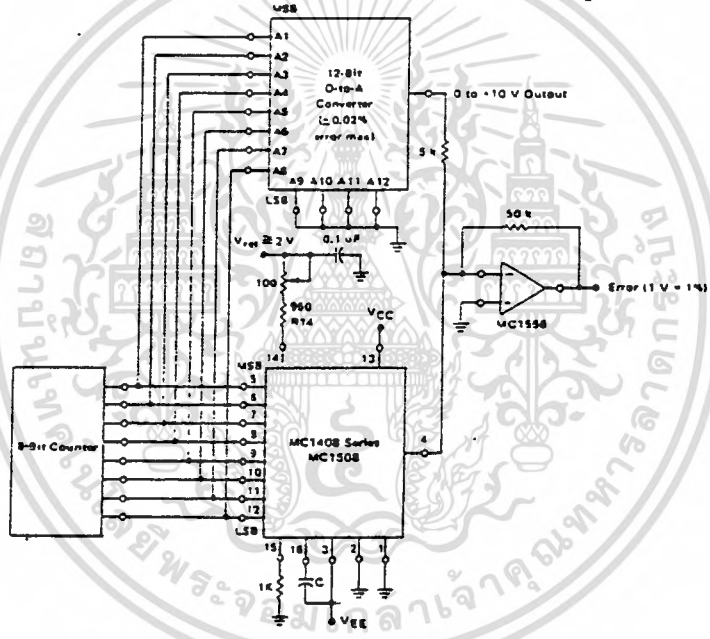
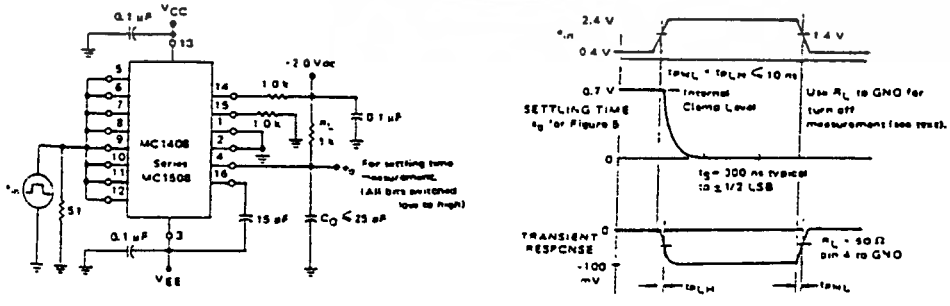


FIGURE 5 – TRANSIENT RESPONSE and SETTLING TIME



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 6 – REFERENCE CURRENT SLEW RATE MEASUREMENT

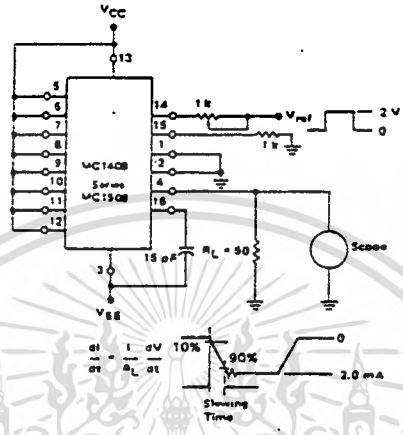


FIGURE 7 – POSITIVE V_{ref}

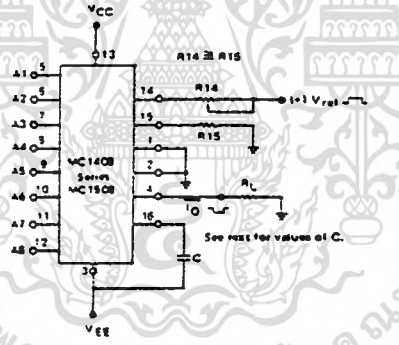
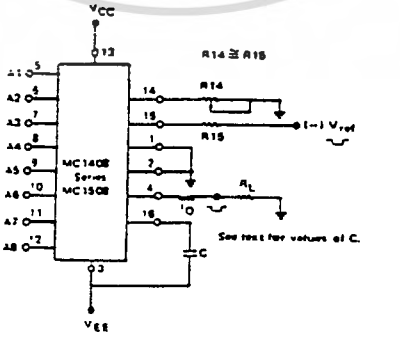
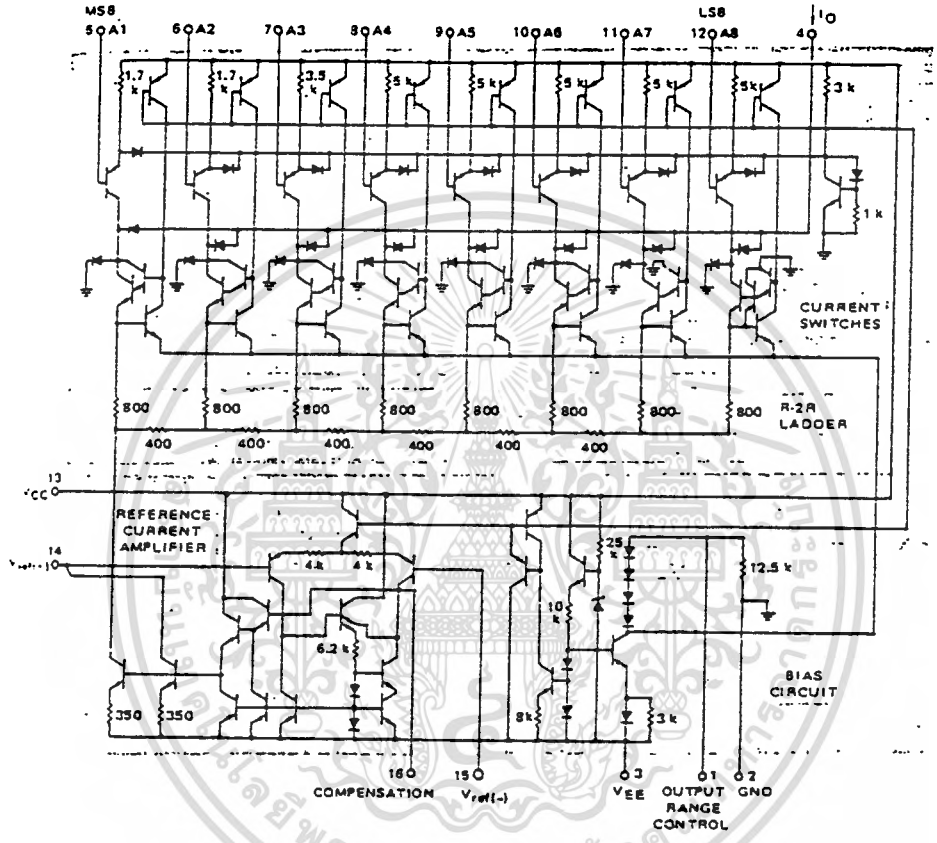


FIGURE 8 – NEGATIVE V_{ref}



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 9 – MC1408, MC1508 SERIES EQUIVALENT CIRCUIT SCHEMATIC



CIRCUIT DESCRIPTION

The MC1408 consists of a reference current amplifier, an R-2R ladder, and eight high-speed current switches. For many applications, only a reference resistor and reference voltage need be added.

The switches are noninverting in operation, therefore a high logic on the input turns on the specified output current component. The switch uses current steering for high speed, and a termination amplifier consisting of an active load gain stage with unity gain feedback. The termination amplifier holds the parasitic capacitance of the ladder at a constant voltage during switching, and provides a low impedance termination of equal voltage for all legs of the ladder.

The R-2R ladder divides the reference amplifier current into binarily-related components, which are fed to the switches. Note that there is always a remainder current which is equal to the least significant bit. This current is shunted to ground, and the maximum output current is 255/256 of the reference amplifier current, or 1.992 mA for a 2.0 mA reference amplifier current if the NPN current source pair is perfectly matched.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL INFORMATION

Reference Amplifier Drive and Compensation

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current, I14, must always flow into pin 14 regardless of the setup method or reference voltage polarity.

Connections for a positive reference voltage are shown in Figure 7. The reference voltage source supplies the full current I14. For bipolar reference signals, as in the multiplying mode, R15 can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R15 with only a small sacrifice in accuracy and temperature drift. Another method for bipolar inputs is shown in Figure 25.

The compensation capacitor value must be increased with increases in R14 to maintain proper phase margin; for R14 values of 1.0, 2.5 and 5.0 kilohms, minimum capacitor values are 15, 37, and 75 pF. The capacitor should be tied to V_{EE} as this increases negative supply rejection.

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in Figure 8. A high input impedance is the main advantage of this method. Compensation involves a capacitor to V_{EE} on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 3.0-volts above the V_{EE} supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a dc reference voltage is used, capacitive bypass to ground is recommended. The 5.0-V logic supply is not recommended as a reference voltage. If a well regulated 5.0-V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to +5.0 V through another resistor and bypassing the junction of the two resistors with 0.1 μF to ground. For reference voltages greater than 5.0 V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

Output Voltage Range

The voltage on pin 4 is restricted to a range of -0.55 to +0.4 volts at +25°C, due to the current switching methods employed in the MC1408. When a current switch is turned "off", the positive voltage on the output terminal can turn "on" the output diode and increase the output current level. When a current switch is turned "on", the negative output voltage range is restricted. The base of the termination circuit Darlington transistor is one diode voltage below ground when pin 1 is grounded, so a negative voltage below the specified safe level will drive the low current device of the Darlington into saturation, decreasing the output current level.

The negative output voltage compliance of the MC1408 may be extended to -5.0 V volts by opening the circuit at pin 1. The negative supply voltage must be more negative than -10 volts. Using a full scale current of 1.992 mA and load resistor of 2.5 kilohms between pin 4 and ground will yield a voltage output of 256 levels between 0 and -4.980 volts. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500 ohms do not significantly affect performance, but a 2.5-kilohm load increases "worst case" settling time to 1.2 μs (when all bits are switched on). Refer to the subsequent text section on Settling Time for more details on output loading.

If a power supply value between -5.0 V and -10 V is desired, a voltage of between 0 and -5.0 V may be applied to pin 1. The value of this voltage will be the maximum allowable negative output swing.

Output Current Range

The output current maximum rating of 4.2 mA may be used only for negative supply voltages typically more negative than -8.0 volts, due to the increased voltage drop across the 2.0-kilohm resistors in the reference current amplifier.

Accuracy

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full scale current. The relative accuracy of the MC1408 is essentially constant with temperature due to the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the MC1408 has a very low full scale current drift with temperature.

The MC1408/MC1508 Series is guaranteed accurate to within ±1/2 LSB at +25°C at a full scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2.0 mA, with the loss of one LSB = 8.0 μA which is the ladder remainder shunted to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA allowing some mismatch in the NPN current source pair. The accuracy test circuit is shown in Figure 4. The 12-bit converter is calibrated for a full scale output current of 1.992 mA. This is an optional step since the MC1408 accuracy is essentially the same between 1.5 and 2.5 mA. Then the MC1408 circuit's full scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accurate D-to-A converter. 16-bit accuracy implies a total error of ±1/2 of one part in 65, 536, or ±0.00076%, which is much more accurate than the ±0.19% specification provided by the MC1408-8.

Multiplying Accuracy

The MC1408 may be used in the multiplying mode with eight-bit accuracy when the reference current is varied over a range of 256:1. The major source of error is the bias current of the termination amplifier. Under "worst case" conditions, these amplifiers can contribute a total of 1.6 μA extra current to the output terminal. If the reference current in the multiplying mode ranges from 16 μA to 4.0 mA, the 1.6 μA contributes an error of 0.1 LSB. This is well within eight-bit accuracy referenced to 4.0 mA.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the MC1408 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a dc reference current is 0.5 to 4.0 mA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL INFORMATION (Continued)

Settling Time

The "worst case" switching condition occurs when all bits are switched "on", which corresponds to a low-to-high transition for all bits. This time is typically 300 ns for settling to within ±1/2 LSB, for 8-bit accuracy, and 200 ns to 1/2 LSB for 7 and 6-bit accuracy. The turn off is typically under 100 ns. These times apply when $R_L \leq 500$ ohms and $C_O \leq 25$ pF.

The slowest single switch is the least significant bit, which turns "on" and settles in 250 ns and turns "off" in 20 ns. In applications where the D-to-A converter functions in a positive-going ramp mode, the "worst case" switching condition does not occur, and a settling time of less than 300 ns may be realized. Bit A7 turns "on" in 200 ns and "off" in 80 ns, while bit A6 turns "on" in 150 ns and "off" in 80 ns.

The test circuit of Figure 5 requires a smaller voltage swing for the current switches due to internal voltage clamping in the MC1408. A 1.0-kilohm load resistor from pin 4 to ground gives a typical settling time of 400 ns. Thus, it is voltage swing and not the output RC time constant that determines settling time for most applications.

Extra care must be taken in board layout since this is usually the dominant factor in satisfactory test results when measuring settling time. Short leads, 100 µF supply bypassing for low frequencies, and mminimum scope lead length are all mandatory.

TYPICAL CHARACTERISTICS

(V_{CC} = +5.0 V, V_{EE} = -15 V, T_A = +25°C unless otherwise noted.)

FIGURE 10 – LOGIC INPUT CURRENT versus INPUT VOLTAGE

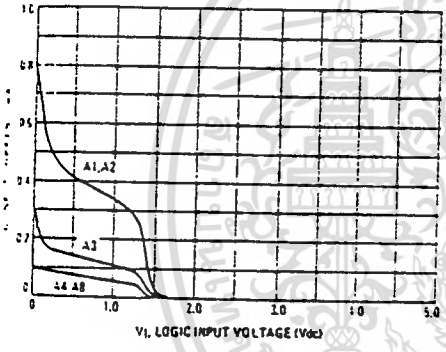


FIGURE 11 – TRANSFER CHARACTERISTIC versus TEMPERATURE
(A5 thru A8 thresholds lie within range for A1 thru A4)

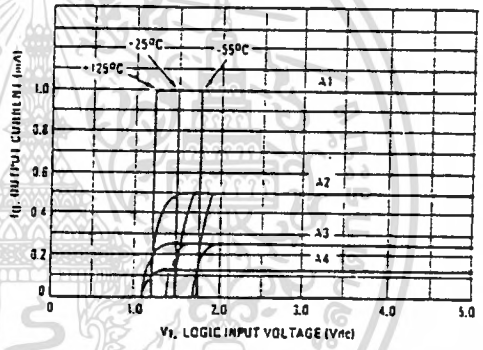


FIGURE 12 – OUTPUT CURRENT versus OUTPUT VOLTAGE
(See text for pin 1 restrictions)

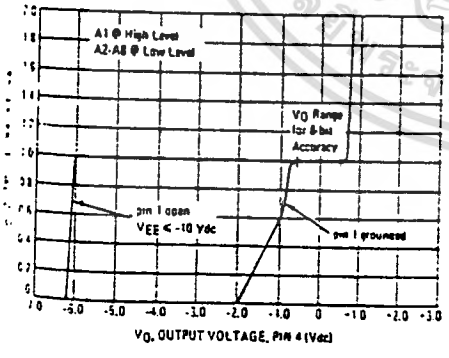
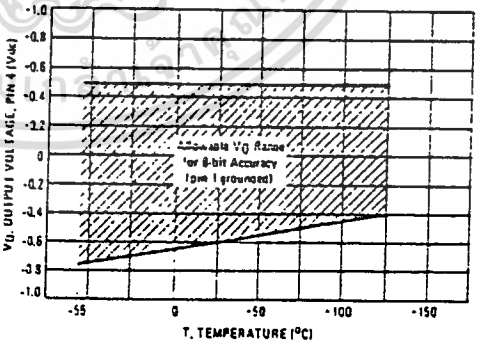


FIGURE 13 – OUTPUT VOLTAGE versus TEMPERATURE
(Negative range with pin 1 open is -5.0 Vdc over full temperature range)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

(V_{CC} = +5.0 V, V_{EE} = -15 V, T_A = +25°C unless otherwise noted.)

FIGURE 14 – REFERENCE INPUT FREQUENCY RESPONSE

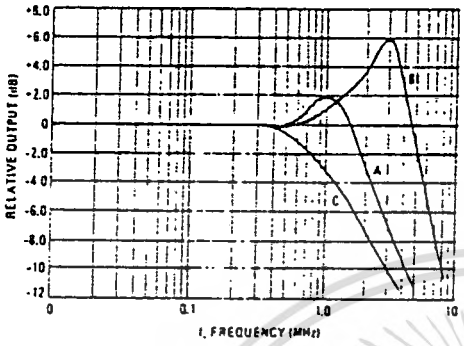
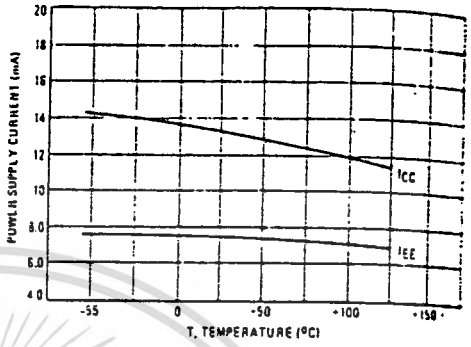


FIGURE 15 – TYPICAL POWER SUPPLY CURRENT versus TEMPERATURE (all bits low)



Unless otherwise specified:

R14 = R15 = 1.0 kΩ

C = 15 pF, pin 16 to V_{EE}

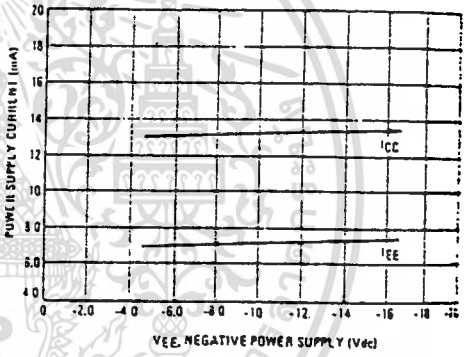
R_L = 50 Ω, pin 4 to GND

Curve A: Large Signal Bandwidth
Method of Figure 7
V_{ref} = 2.0 V(p-p) offset 1.0 V above GND

Curve B: Small Signal Bandwidth
Method of Figure 7 R_L = 250 Ω
V_{ref} = 50 mV(p-p) offset 200 mV above GND

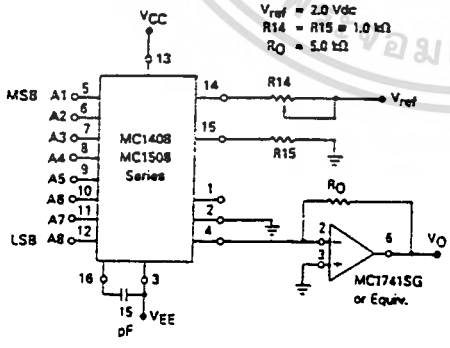
Curve C: Large and Small Signal Bandwidth
Method of Figure 25 (no op-amp), R_L = 50 Ω
R_S = 50 Ω
V_{ref} = 2.0 V
V_S = 100 mV(p-p) centered at 0 V

FIGURE 16 – TYPICAL POWER SUPPLY CURRENT versus V_{EE} (all bits low)



APPLICATIONS INFORMATION

FIGURE 17 – OUTPUT CURRENT TO VOLTAGE CONVERSION



Theoretical V_O

$$V_O = \frac{V_{ref}}{R14}(R_O)\left[\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right]$$

Adjust V_{ref}, R14 or R_O so that V_O with all digital inputs at high level is equal to 9.961 volts.

$$V_O = \frac{2\ V}{1\ k}(5\ k)\left[\frac{1}{2} - \frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} + \frac{1}{128} + \frac{1}{256}\right]$$

$$= 10\ V\left[\frac{255}{256}\right] = 9.961\ V$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

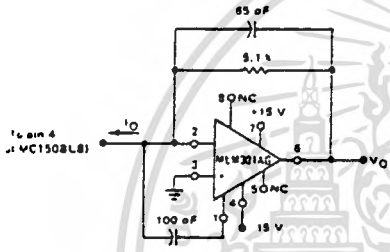
APPLICATIONS INFORMATION (continued)

Voltage outputs of a larger magnitude are obtainable with this circuit which uses an external operational amplifier as a current to voltage converter. This configuration automatically keeps the output of the MC1408 at ground potential and the operational amplifier can generate a positive voltage limited only by its positive supply voltage. Frequency response and settling time are primarily determined by the characteristics of the operational amplifier. In addition, the operational amplifier must be compensated for unity gain, and in some cases overcompensation may be desirable.

Note that this configuration results in a positive output voltage only the magnitude of which is dependent on the digital input.

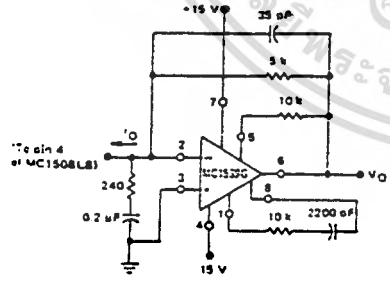
The following circuit shows how the MLM301AG can be used in a feedforward mode resulting in a full scale settling time on the order of 2.0 µs.

FIGURE 18



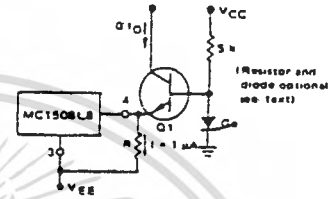
An alternative method is to use the MC1539G and input compensation. Response of this circuit is also on the order of 2.0 µs. See Motorola Application Note AN-459 for more details on this circuit.

FIGURE 19



The positive voltage range may be extended by cascading the output with a high beta common base transistor, Q1, as shown.

FIGURE 20 – EXTENDING POSITIVE VOLTAGE RANGE



The output voltage range for this circuit is 0 volts to BV_{CBO} of the transistor. If pin 1 is left open, the transistor base may be grounded, eliminating both the resistor and the diode. Variations in beta must be considered for wide temperature range applications. An inverted output waveform may be obtained by using a load resistor from a positive reference voltage to the collector of the transistor. Also, high-speed operation is possible with a large output voltage swing, because pin 4 is held at a constant voltage. The resistor (R) to V_{EE} maintains the transistor emitter voltage when all bits are "off" and insures fast turn-on of the least significant bit.

Combined Output Amplifier and Voltage Reference

For many of its applications the MC1408 requires a reference voltage and an operational amplifier. Normally the operational amplifier is used as a current to voltage converter and its output need only go positive. With the popular MC1723G voltage regulator both of these functions are provided in a single package with the added bonus of up to 150 mA of output current. See Figure 21. The MC1723G uses both a positive and negative power supply. The reference voltage of the MC1723G is then developed with respect to the negative voltage and appears as a common-mode signal to the reference amplifier in the D-to-A converter. This allows use of its output amplifier as a classic current-to-voltage converter with the non-inverting input grounded.

Since ±15 V and −5.0 V are normally available in a combination digital-to-analog system, only the −5.0 V need be developed. A resistor divider is sufficiently accurate since the allowable range on pin 5 is from −2.0 to −8.0 volts. The 5.0 kilohm pulldown resistor on the amplifier output is necessary for fast negative transitions.

Full scale output may be increased to as much as 32 volts by increasing R_O and raising the +15 V supply voltage to 35 V maximum. The resistor divider should be altered to comply with the maximum limit of 40 volts across the MC1723G. C_O may be decreased to maintain the same R_OC_O product if maximum speed is desired.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

Programmable Power Supply

The circuit of Figure 21 can be used as a digitally programmed power supply by the addition of thumbwheel switches and a BCD-to-binary converter. The output voltage can be scaled in several ways, including 0 to +25.5 volts in 0.1-volt increments, ±0.05 volt; or 0 to 5.1 volts in 20 mV increments, ±10 mV.

FIGURE 21 – COMBINED OUTPUT AMPLIFIER and VOLTAGE REFERENCE CIRCUIT

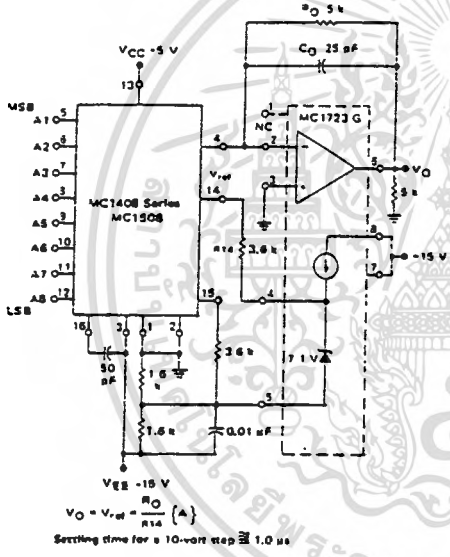


FIGURE 22 – BIPOLAR OR NEGATIVE OUTPUT VOLTAGE CIRCUIT

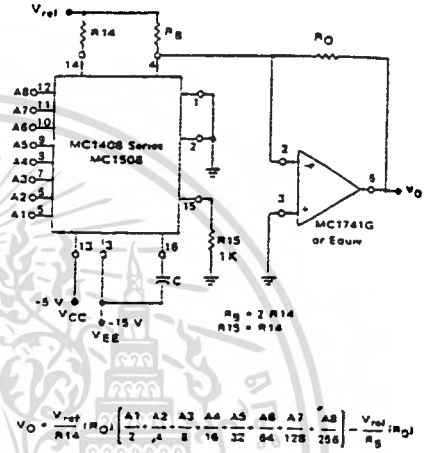
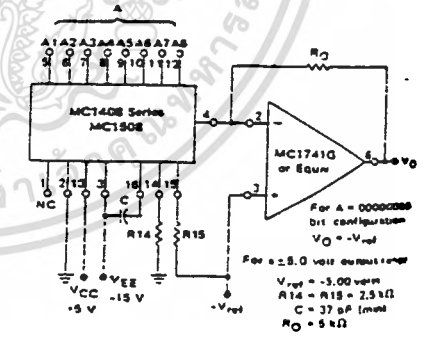


FIGURE 23 – BIPOLAR OR INVERTED NEGATIVE OUTPUT VOLTAGE CIRCUIT



Bipolar or Negative Output Voltage

The circuit of Figure 22 is a variation from the standard voltage output circuit and will produce bipolar output signals. A positive current may be sourced into the summing node to offset the output voltage in the negative direction. For example, if approximately 1.0 mA is used a bipolar output signal results which may be described as a 8-bit "1's" complement offset binary. V_{ref} may be used as this auxiliary reference.* Note that R_O has been doubled to 10 kilohms because of the anticipated 20 V(p-p) output range.

Decrease R_O to 2.5 kΩ for a 0 to -5.0-volt output range. This application provides somewhat lower speed, as previously discussed in the Output Voltage Range section of the General Information.

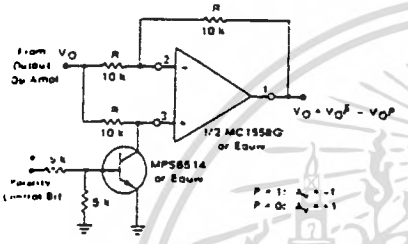
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

Polarity Switching Circuit, 8-Bit Magnitude Plus Sign D-to-A Converter

Bipolar outputs may also be obtained by using a polarity switching circuit. The circuit of Figure 24 gives 8-bit magnitude plus sign bit. In this configuration the operational amplifier is switched between a gain of +1.0 and −1.0. Although another operational amplifier is required, no more space is taken when a dual operational amplifier such as the MC1558G is used. The transistor should be covered for a very low saturation voltage and resistance.

FIGURE 24 – POLARITY SWITCHING CIRCUIT
(8-Bit Magnitude Plus Sign D-to-A Converter)



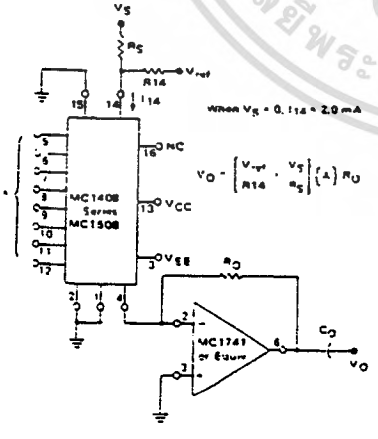
Programmable Gain Amplifier or Digital Attenuator

When used in the multiplying mode the MC1408 can be viewed as a digital attenuator. See Figure 25. One advantage of this technique is that if R_S = 50 ohms, no compensation capacitor is needed. The small and large signal bandwidths are now identical to those shown in Figure 14.

The best frequency response is obtained by not allowing I_{14} to reach zero. However, the high impedance node, pin 16, is applied to prevent saturation and insure fast recovery when the current through R14 goes to zero. R_S can be set for a ±1.0 mA variation in relation to I_{14}. I_{14} can never be negative.

The output current is always unipolar. The quiescent dc output current level changes with the digital word which makes ac coupling necessary.

FIGURE 25 – PROGRAMMABLE GAIN AMPLIFIER OR DIGITAL ATTENUATOR CIRCUIT



Panel Meter Readout

The MC1408 can be used to read out the status of BCD or binary registers or counters in a digital control system. The current output can be used to drive directly an analog panel meter. External meter shunts may be necessary if a meter of less than 2.0 mA full scale is used. Full scale calibration can be done by adjusting R14 or V_{ref}.

FIGURE 26 – PANEL METER READOUT CIRCUIT

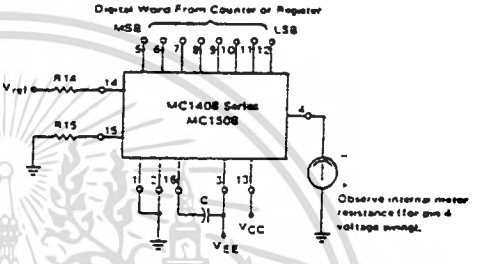
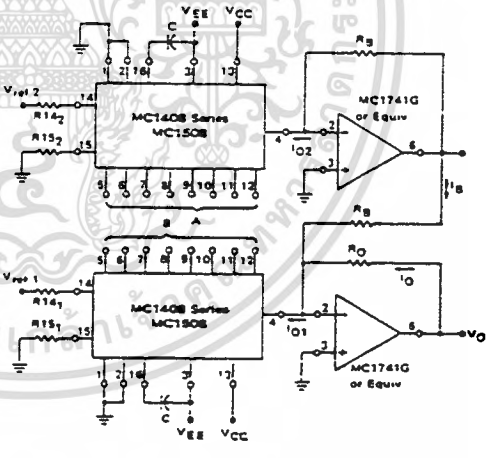


FIGURE 27 – DC COUPLED DIGITAL ATTENUATOR and DIGITAL SUBTRACTION



$$I_O = I_{O1} - I_{O2} = \frac{V_{ref\,1}}{R14_1}\{A\} - \frac{V_{ref\,2}}{R14_2}\{B\} \qquad I_{O2} = I_B$$

$$I_B = I_O - I_{O1}$$

Digital Subtraction:

Let $\frac{V_{ref\,1}}{R14_1} = \frac{V_{ref\,2}}{R14_2}$

Programmable Amplifier

Connect Digital Inputs as A = B

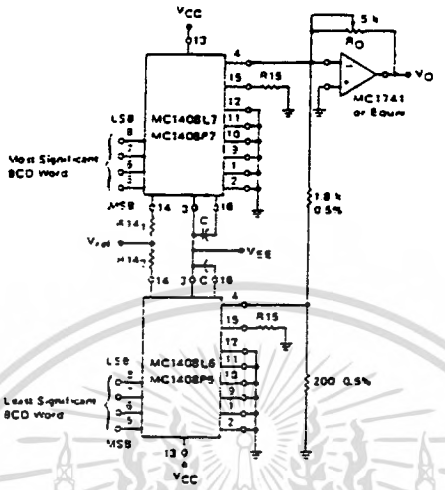
$$V_O = \frac{V_{ref\,1}}{R14_1} R_O\left[\{A\} - \{B\}\right]$$

$$V_O = \{A\}\left[\frac{V_{ref\,1}}{R14_1} - \frac{V_{ref\,2}}{R14_2}\right]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

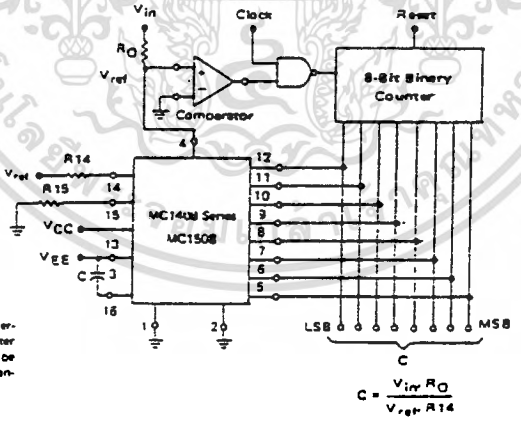
APPLICATIONS INFORMATION (continued)

FIGURE 36 – TWO-DIGIT BCD CONVERSION



Two 8-bit, D-to-A converters can be used to build a two digit BCD D-to-A or A-to-D converter. If both outputs feed the virtual ground of an operational amplifier, 10:1 current scaling can be achieved with a resistive current divider. If current output is desired, the units may be operated at full scale current levels of 4.0 mA and 0.4 mA with the outputs connected to sum the currents. The error of the D-to-A converter handling the least significant bits will be scaled down by a factor of ten and thus an MC1408L8 may be used for the least significant word.

FIGURE 37 – DIGITAL QUOTIENT OF TWO ANALOG VARIABLES or ANALOG-TO-DIGITAL CONVERSION



The circuit shown is a simple counter-ramp converter. An UP/DOWN counter and dual threshold comparator can be used to provide faster operation and continuous conversion.

$$C = \frac{V_{in} R_O}{V_{ref} R14}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

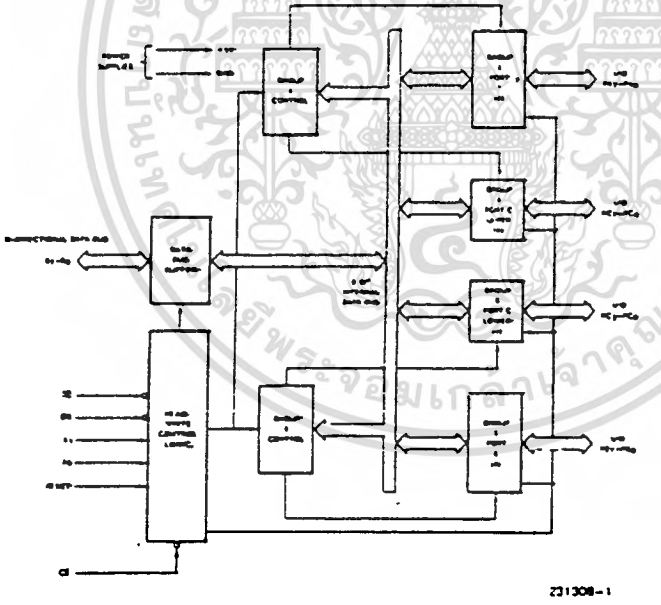
intel®

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range
- 40 Pin DIP Package or 44 Lead PLCC

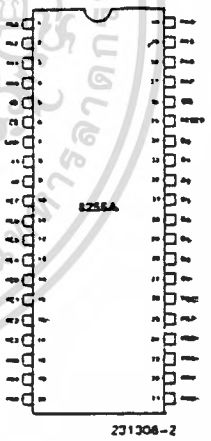
(See Intel Packaging, Order Number: 231369)

The Intel 8255A is a general purpose programmable I/O device designed for use with Intel microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.



231306-1

Figure 1. 8255A Block Diagram



231306-2

Figure 2. Pin Configuration

September 1987
Order Number: 231306-002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select. A "low" on this input pin enables the communication between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

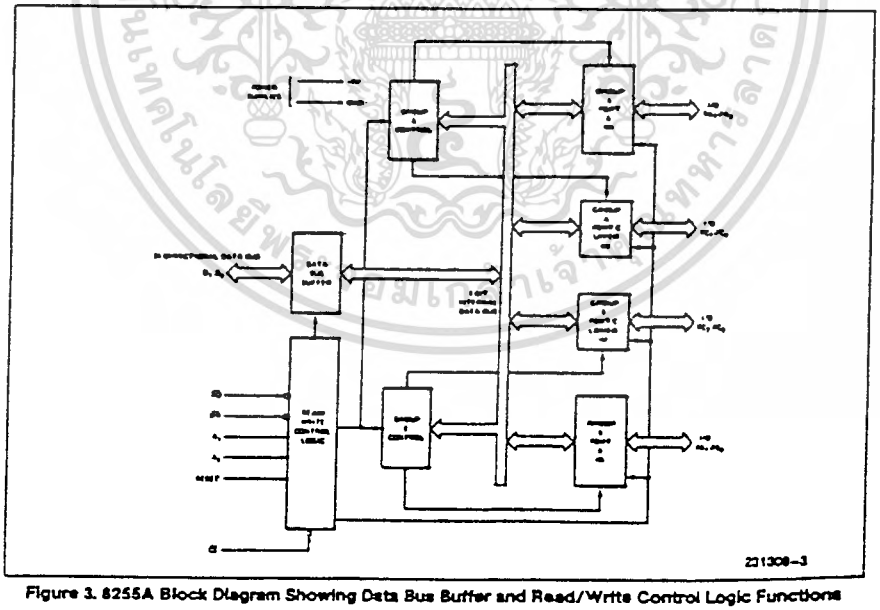


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	Input Operation (READ)
0	0	0	1	0	Port A → Data Bus
0	1	0	1	0	Port B → Data Bus
1	0	0	1	0	Port C → Data Bus
					Output Operation (WRITE)
0	0	1	0	0	Data Bus → Port A
0	1	1	0	0	Data Bus → Port B
1	0	1	0	0	Data Bus → Port C
1	1	1	0	0	Data Bus → Control
					Disable Function
X	X	X	X	1	Data Bus → 3-State
1	1	0	1	0	Illegal Condition
X	X	1	1	0	Data Bus → 3-State

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A—Port A and Port C upper (C7–C4)

Control Group B—Port B and Port C lower (C3–C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

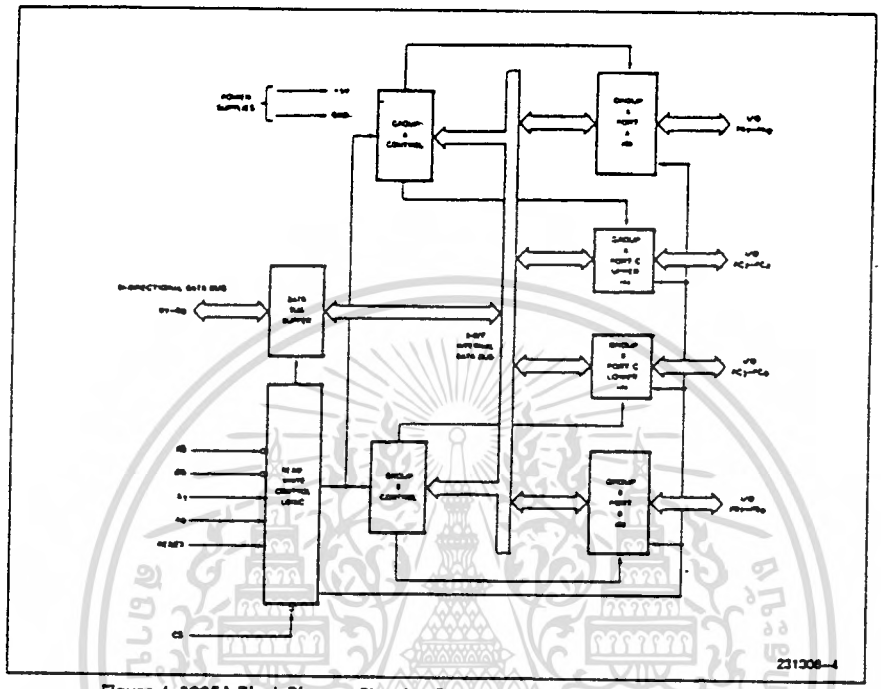
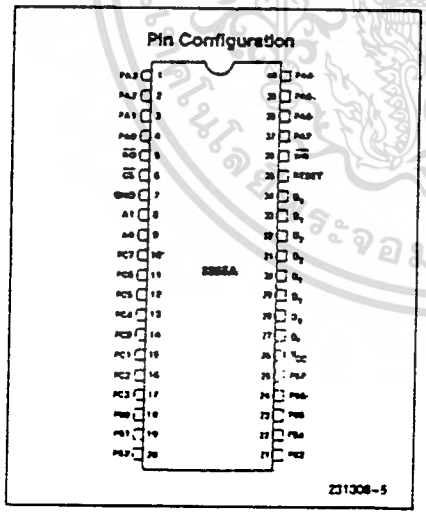


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions



Pin Names

D_7–D_0	Data Bus (Bi-Directional)
RESET	Reset Input
$\overline{CS}$	Chip Select
$\overline{RD}$	Read Input
$\overline{WR}$	Write Input
A0, A1	Port Address
PA7–PA0	Port A (BIT)
PB7–PB0	Port B (BIT)
PC7–PC0	Port C (BIT)
V_{CC}	+5 Volts
GND	0 Volts

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode 0—Basic Input/Output

Mode 1—Strobed Input/Output

Mode 2—Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be seperately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

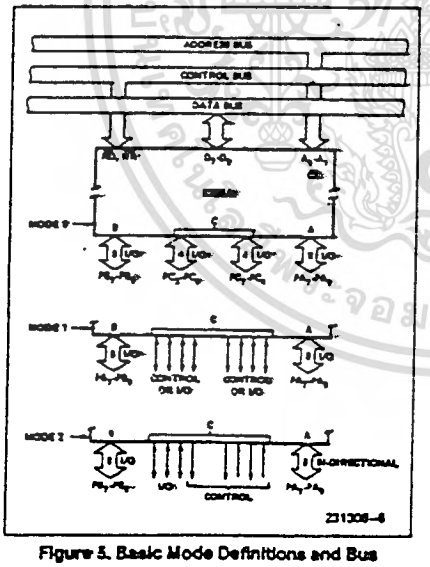


Figure 5. Basic Mode Definitions and Bus Interface

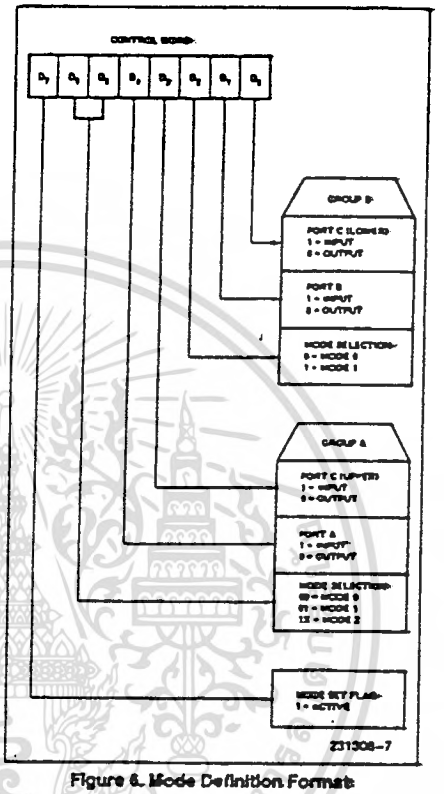


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

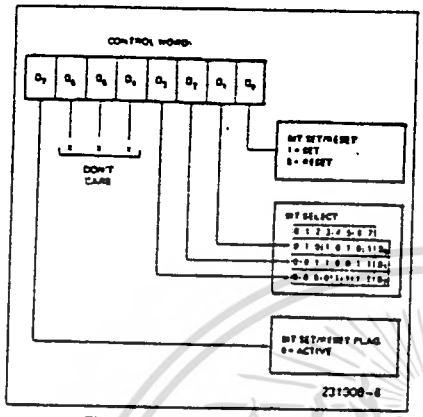


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET)—INTE is set—Interrupt enable

(BIT-RESET)—INTE is RESET—Interrupt disable

NOTE:
All Mask flip-flops are automatically reset during mode selection and device Reset.

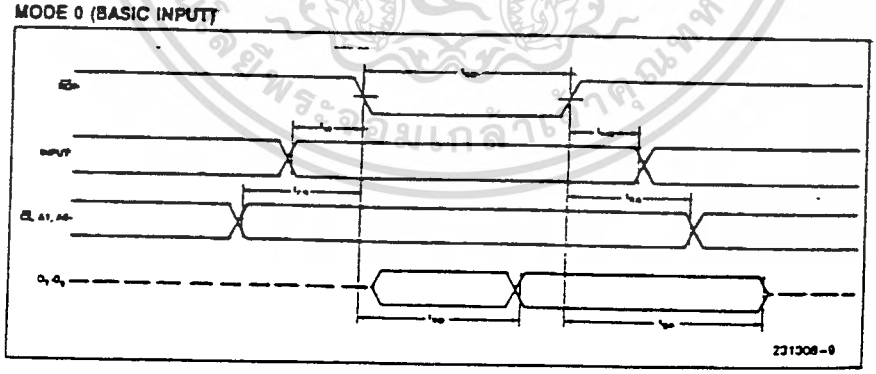
Operating Modes

MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

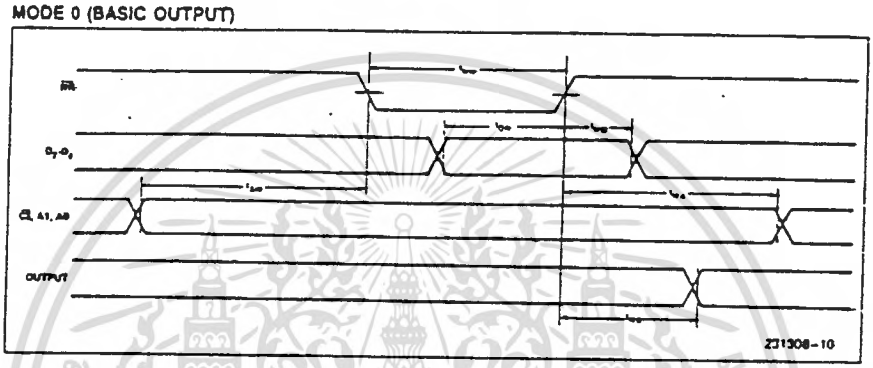
- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.

MODE 0 (BASIC INPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 (BASIC OUTPUT)

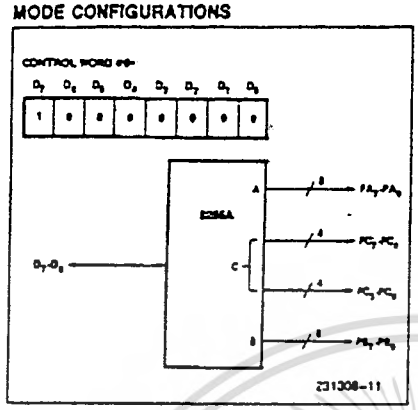


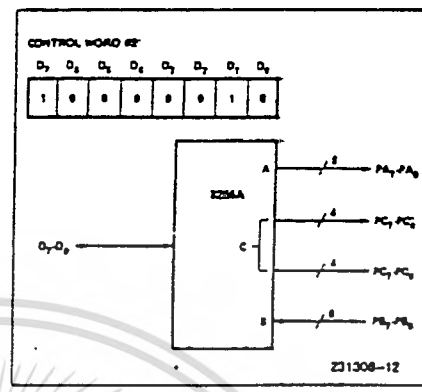
MODE 0 PORT DEFINITION

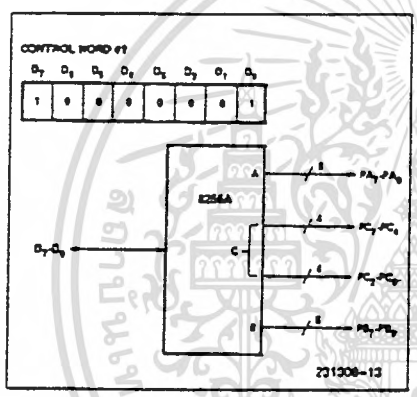
A		B		Group A			Group B	
D_6	D_3	D_1	D_0	Port A	Port C (Upper)	#	Port B	Port C (Lower)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

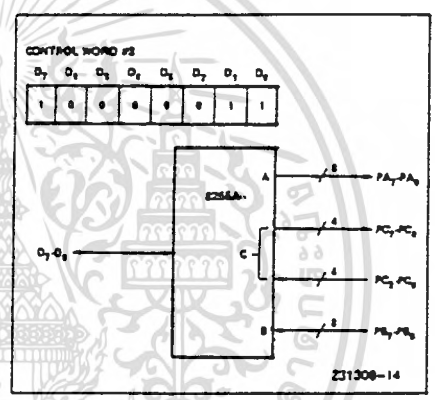
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

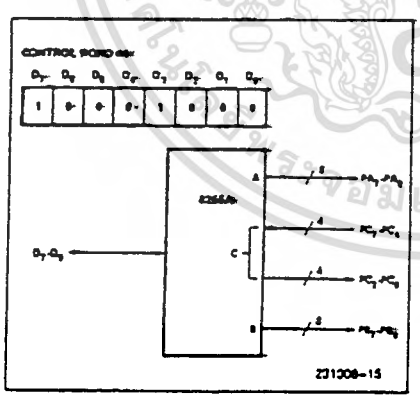
MODE CONFIGURATIONS

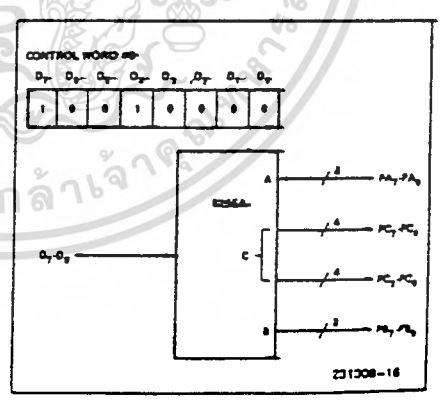




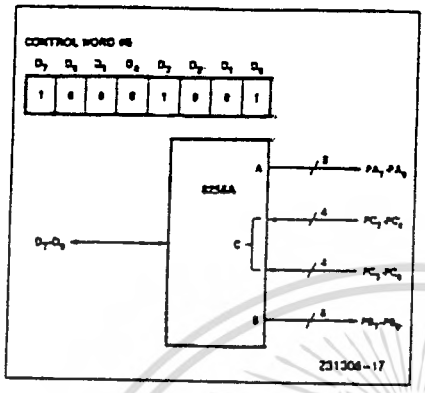


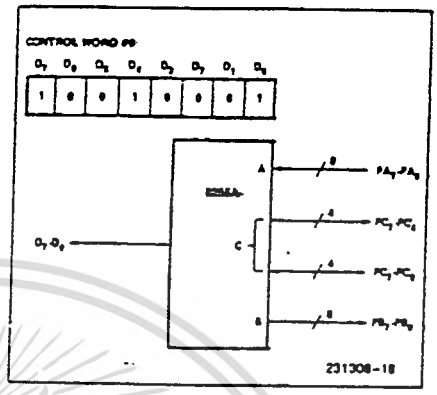


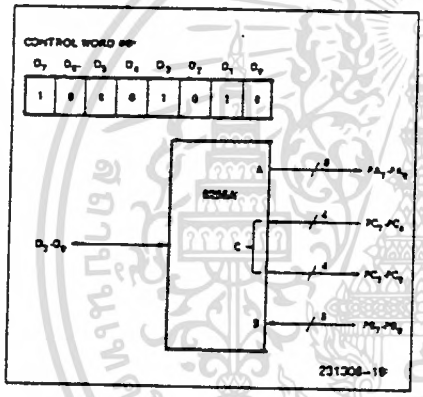


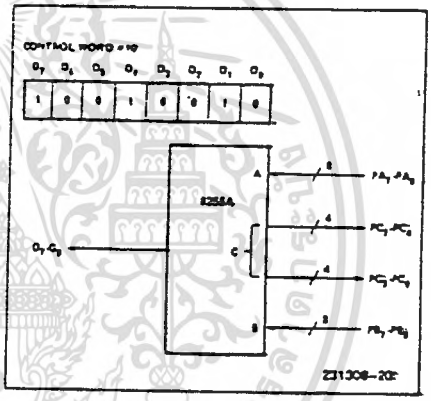


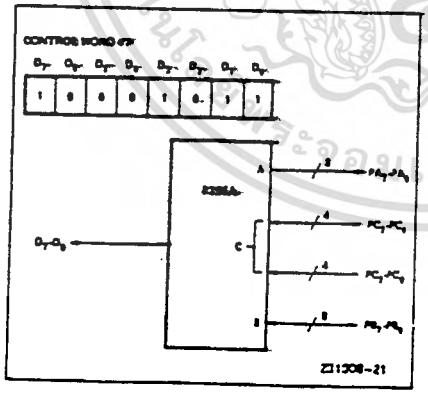
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

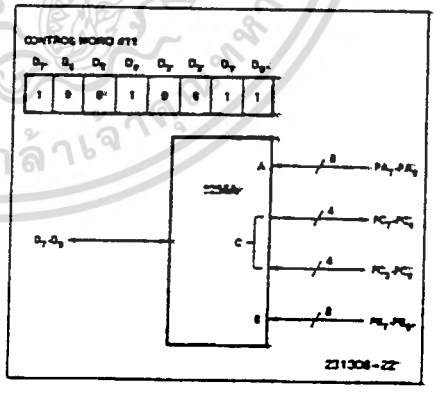




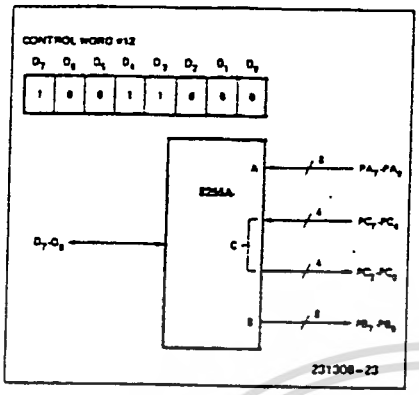


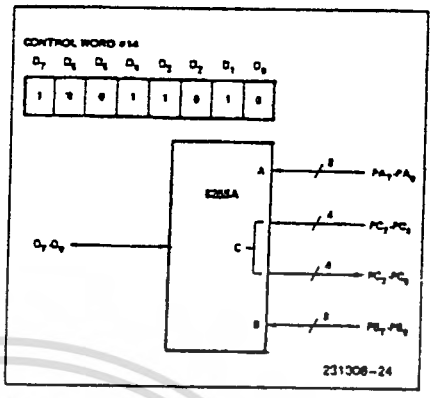


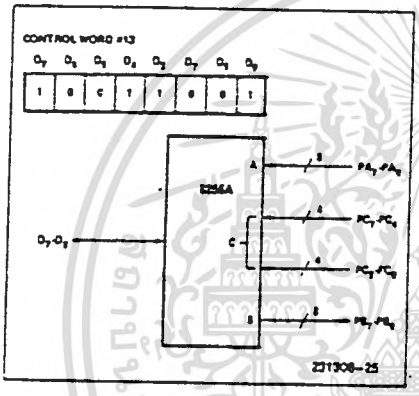


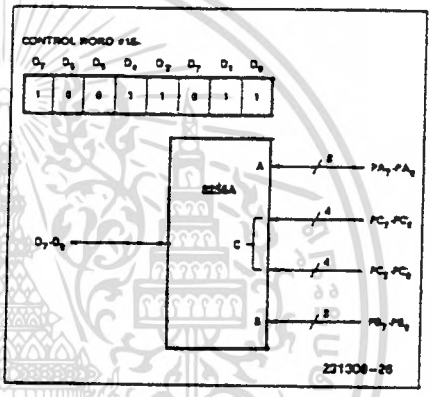


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้









Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTE A.

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

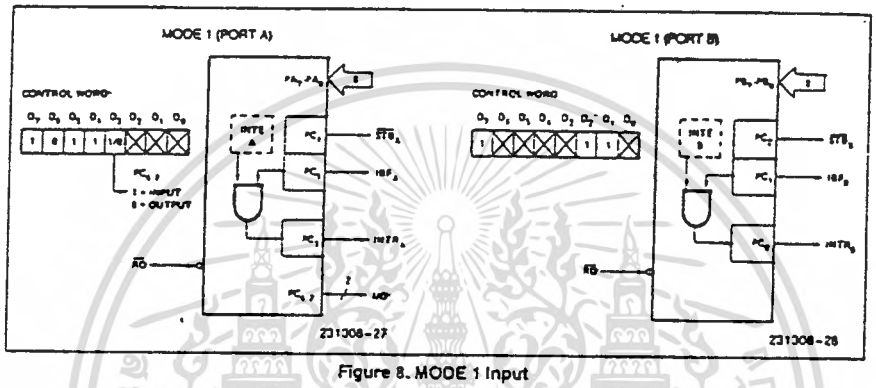


Figure 8. MODE 1 Input

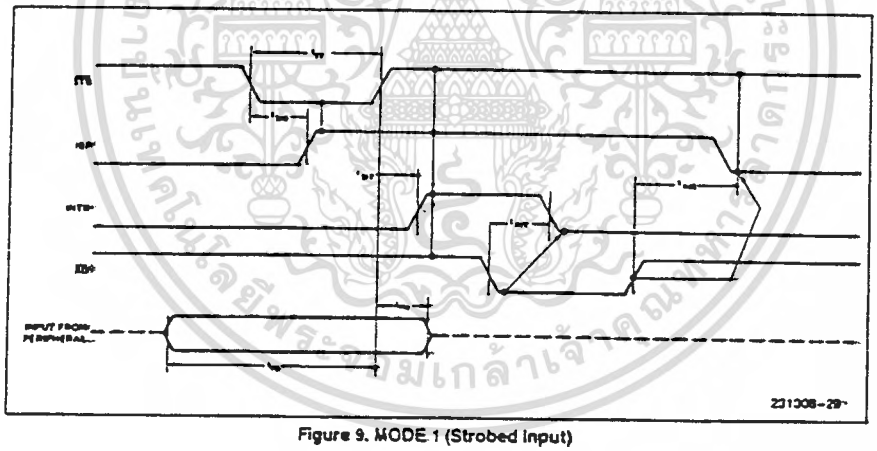


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

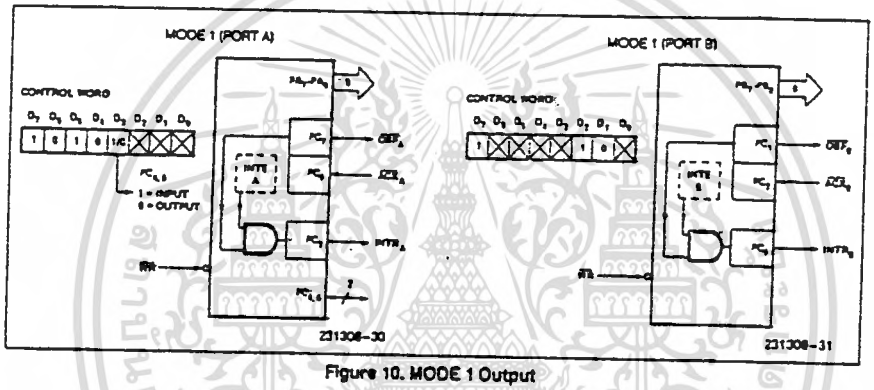


Figure 10. MODE 1 Output

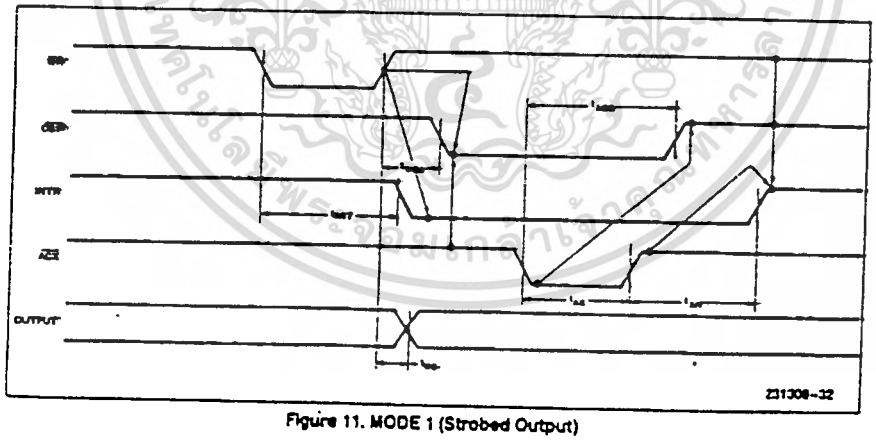


Figure 11. MODE 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

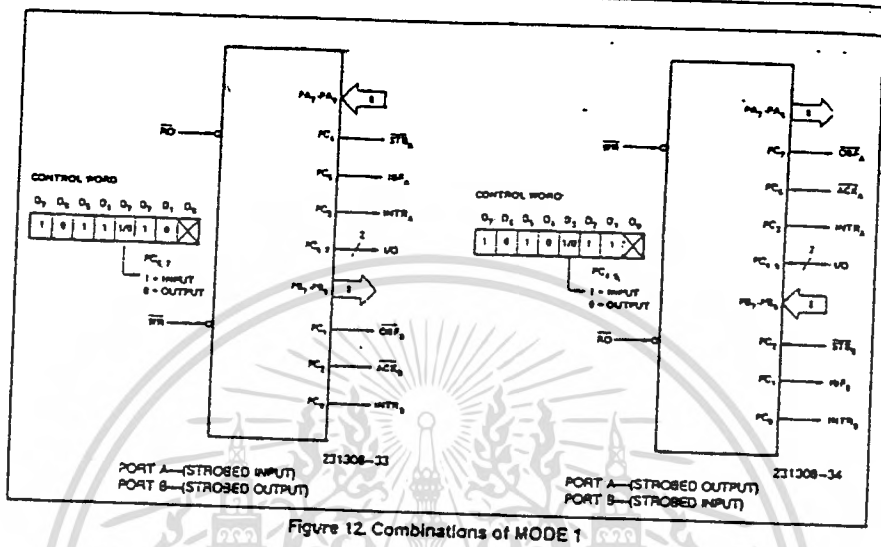


Figure 12. Combinations of MODE 1

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in MODE 1 to support a wide variety of strobed I/O applications.

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to port A.

$\overline{ACK}$ (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with $\overline{OBF}$). Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC_4.

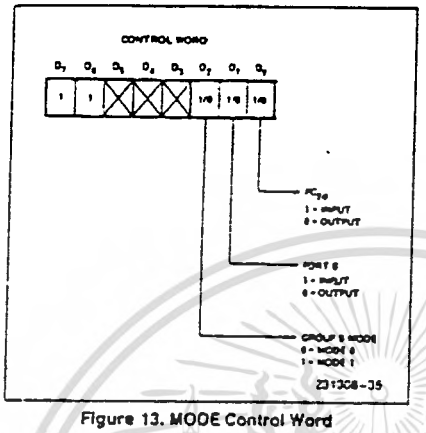


Figure 13. MODE Control Word

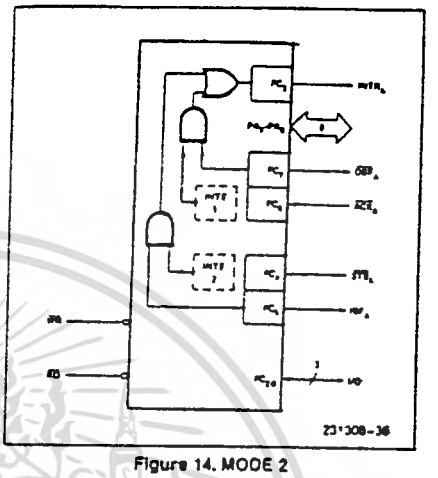
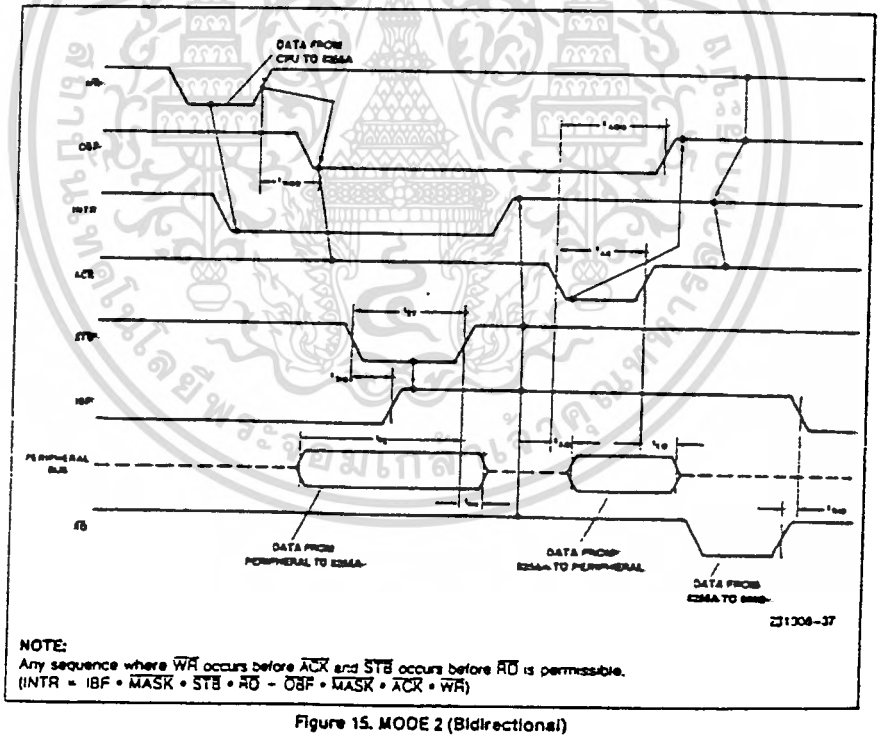


Figure 14. MODE 2



NOTE:
Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF • $\overline{MASK}$ • $\overline{STB}$ • $\overline{RD}$ • $\overline{OBF}$ • $\overline{MASK}$ • $\overline{ACK}$ • $\overline{WR}$)

Figure 15. MODE 2 (Bidirectional)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

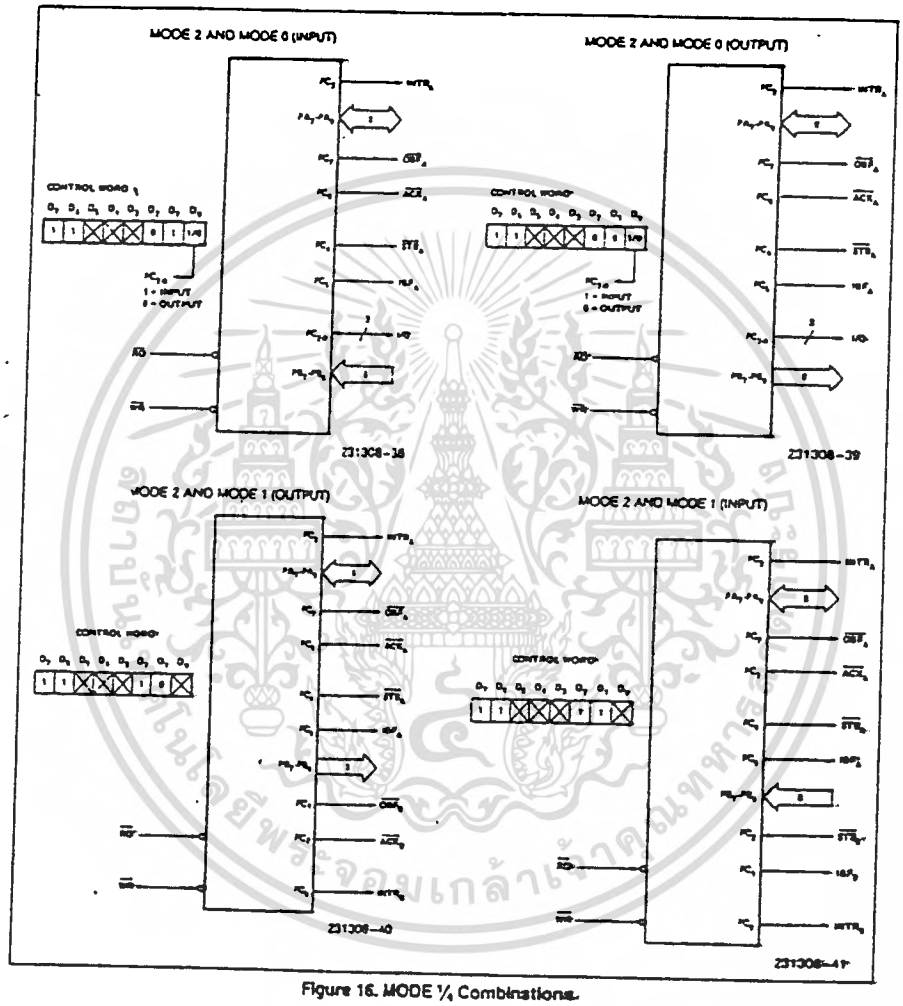


Figure 16. MODE 1/ Combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	⟷	
PA_1	IN	OUT	IN	OUT	⟷	
PA_2	IN	OUT	IN	OUT	⟷	
PA_3	IN	OUT	IN	OUT	⟷	
PA_4	IN	OUT	IN	OUT	⟷	
PA_5	IN	OUT	IN	OUT	⟷	
PA_6	IN	OUT	IN	OUT	⟷	
PA_7	IN	OUT	IN	OUT	⟷	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs—

All input lines can be accessed during a normal Port C read.

If Programmed as Outputs—

Bits in C upper (PC_7–PC_4) must be individually accessed using the bit set/reset function.

Bits in C lower (PC_3–PC_0) can be accessed using the bit set/reset function or accessed as a three-some by writing into Port C.

Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1 mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

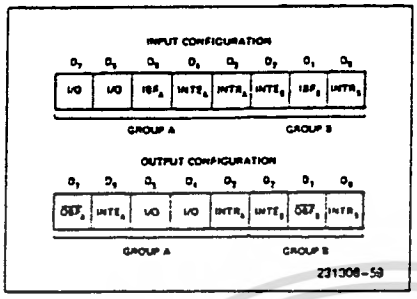


Figure 17. MODE 1 Status Word Format

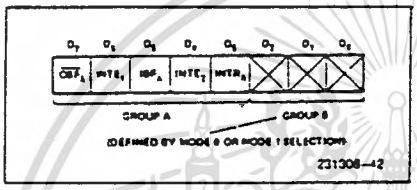


Figure 18. MODE 2 Status Word Format

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing; and matching this information to the examples and tables in the detailed operational description; a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 represent a few examples of typical applications of the 8255A.

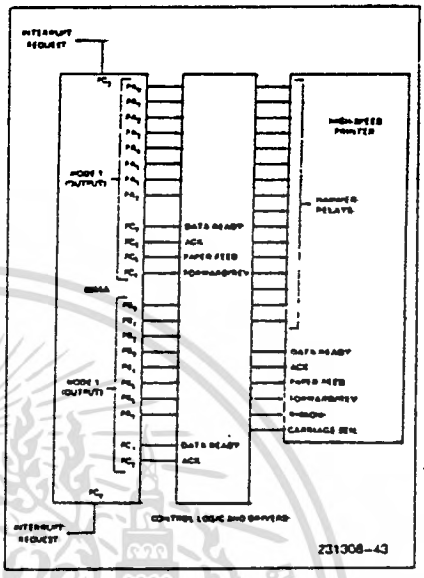


Figure 19. Printer Interface

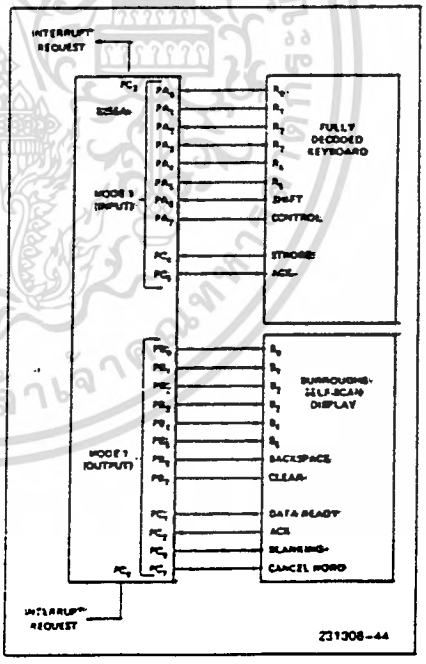


Figure 20. Keyboard and Display Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

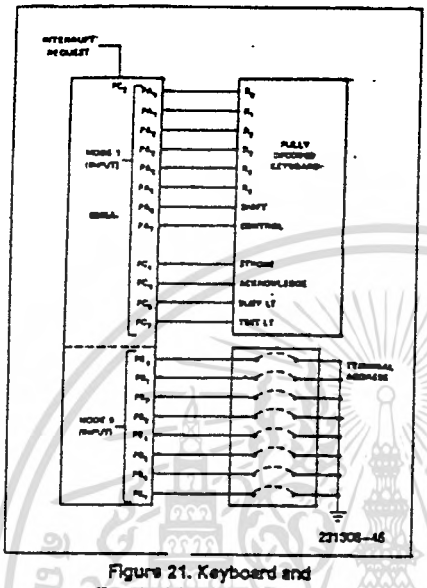


Figure 21. Keyboard and Terminal Address Interface

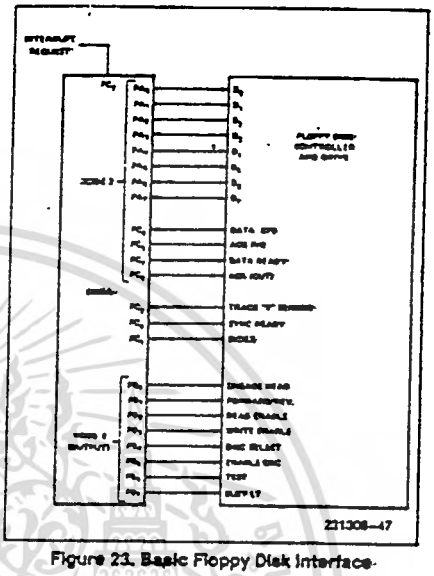


Figure 23. Basic Floppy Disk Interface

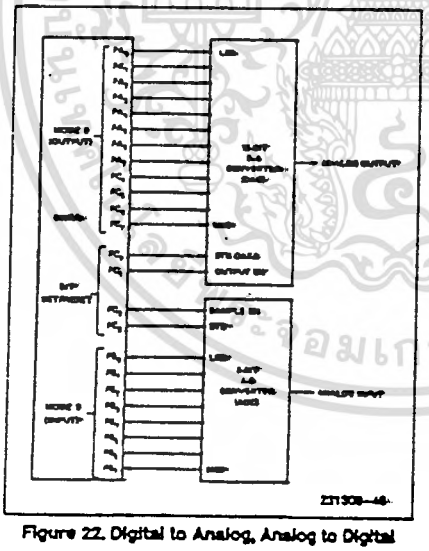


Figure 22. Digital to Analog, Analog to Digital

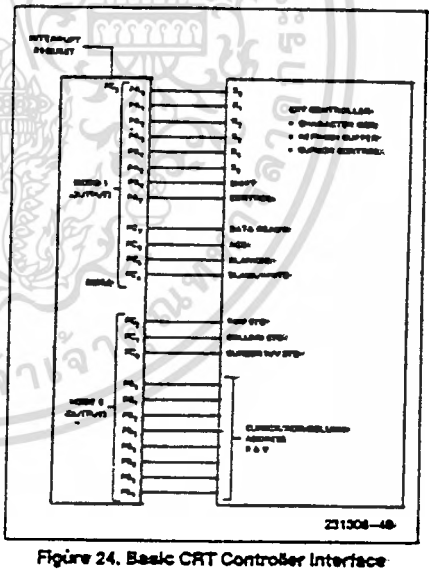
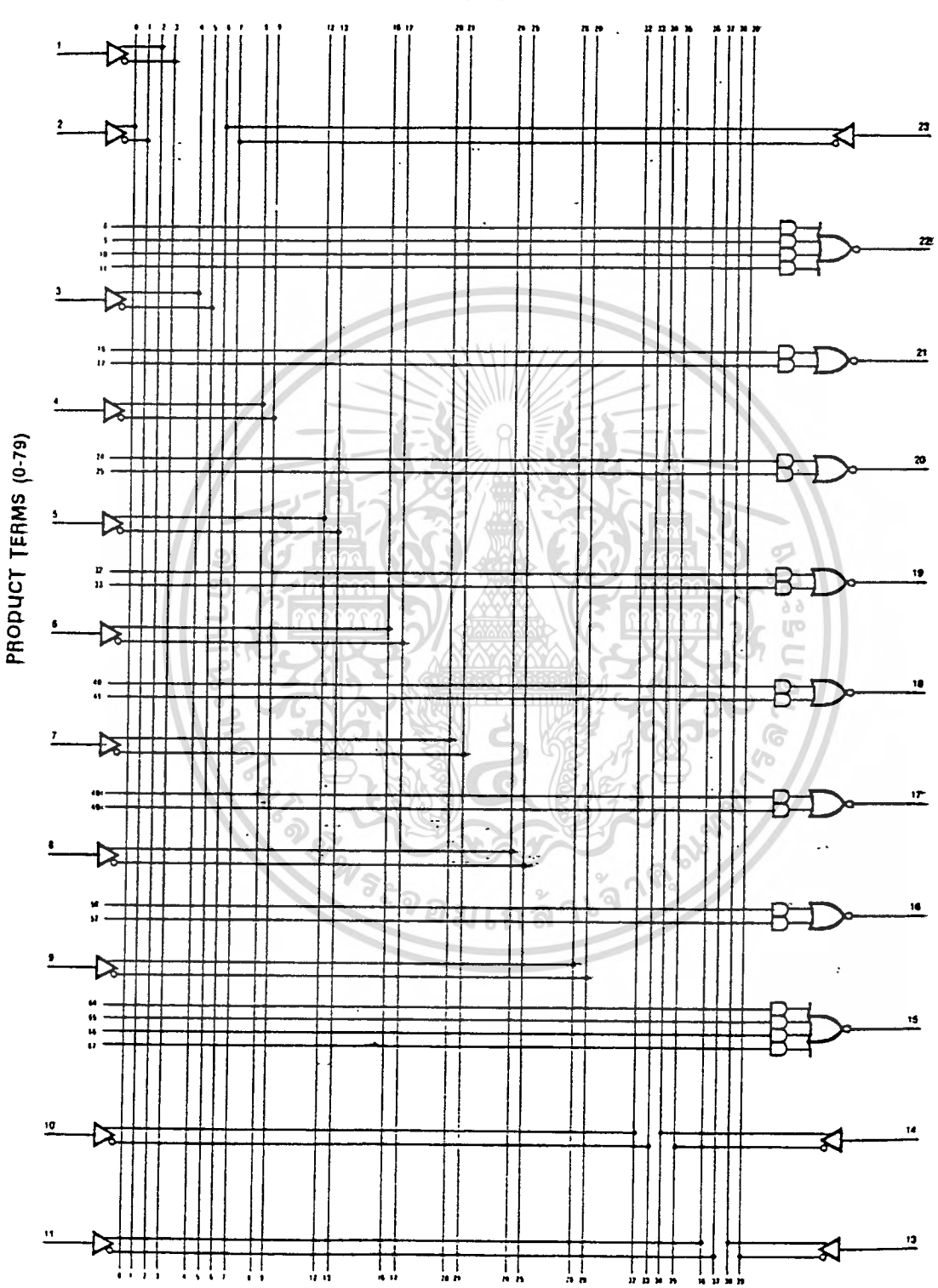


Figure 24. Basic CRT Controller Interface

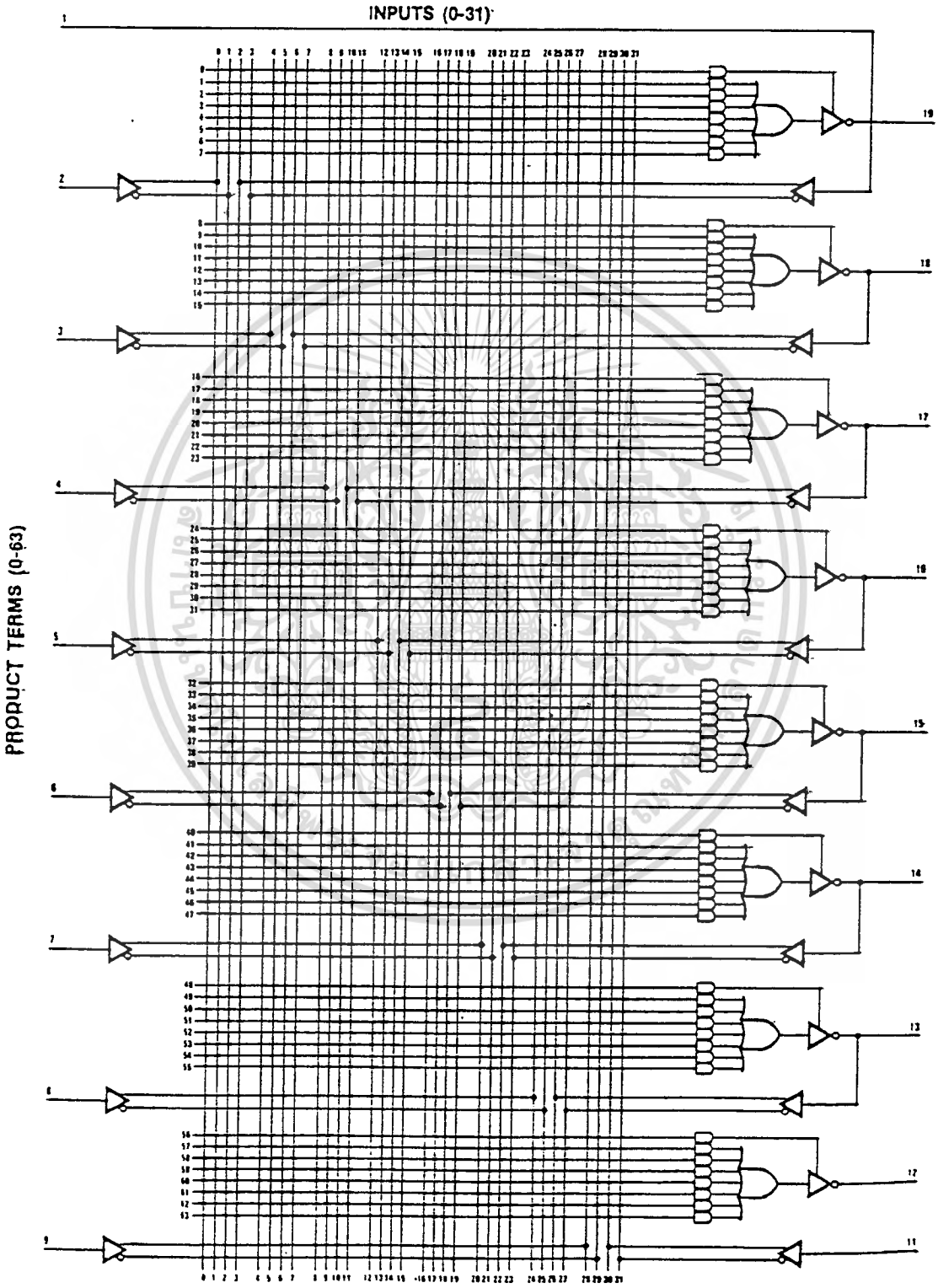
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram PAL14L8



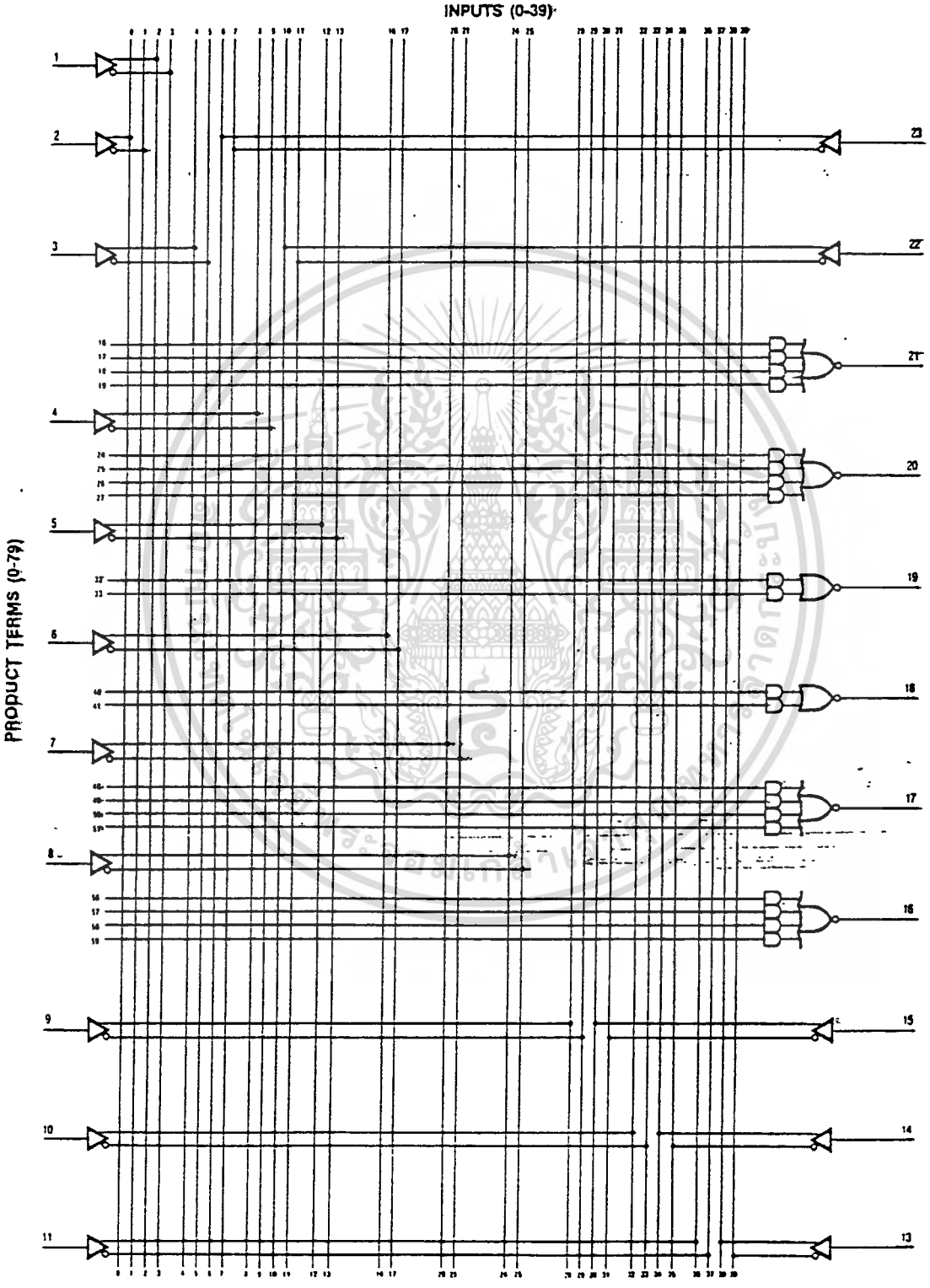
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram PAL16L8



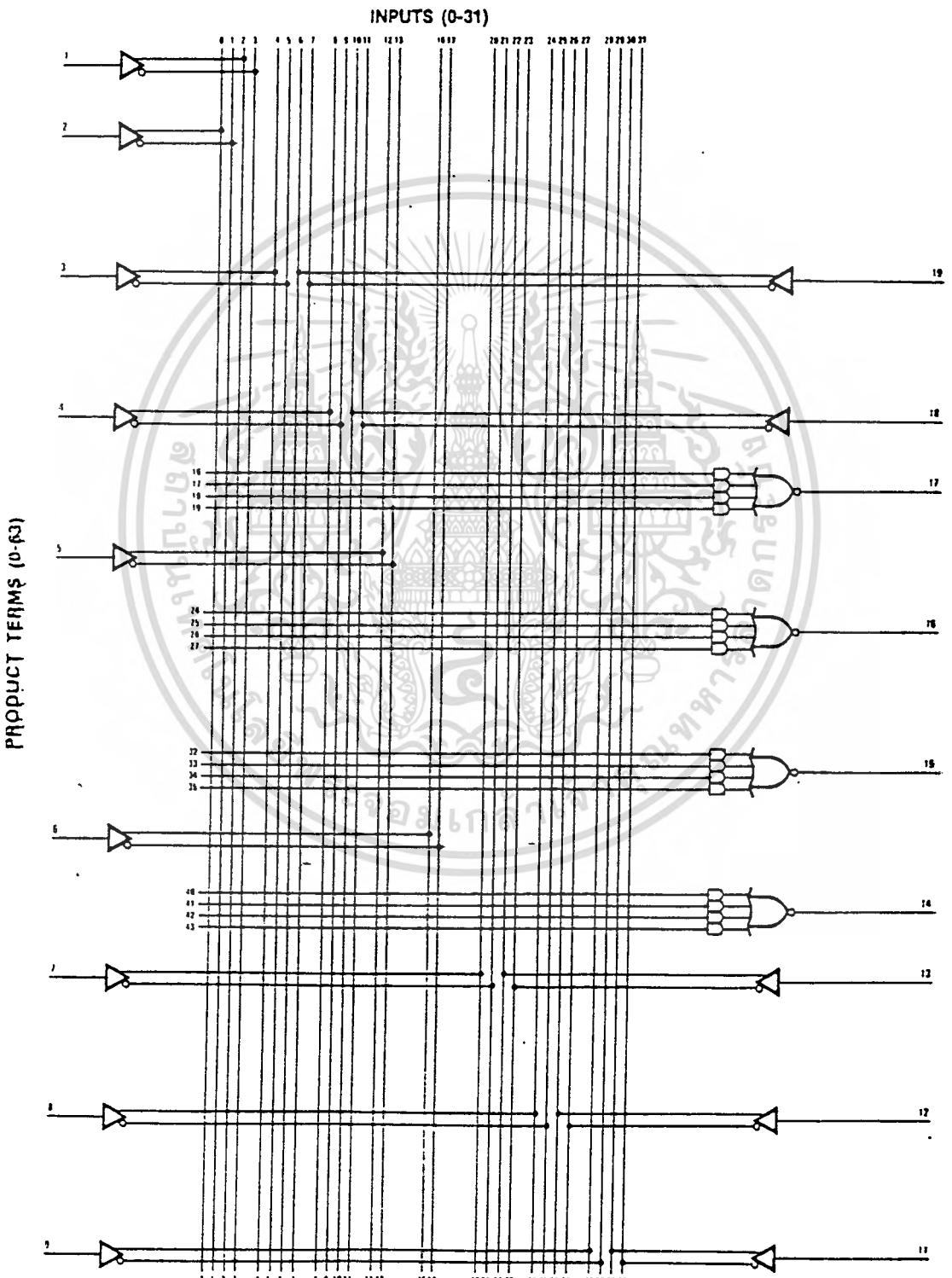
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram PAL16L6



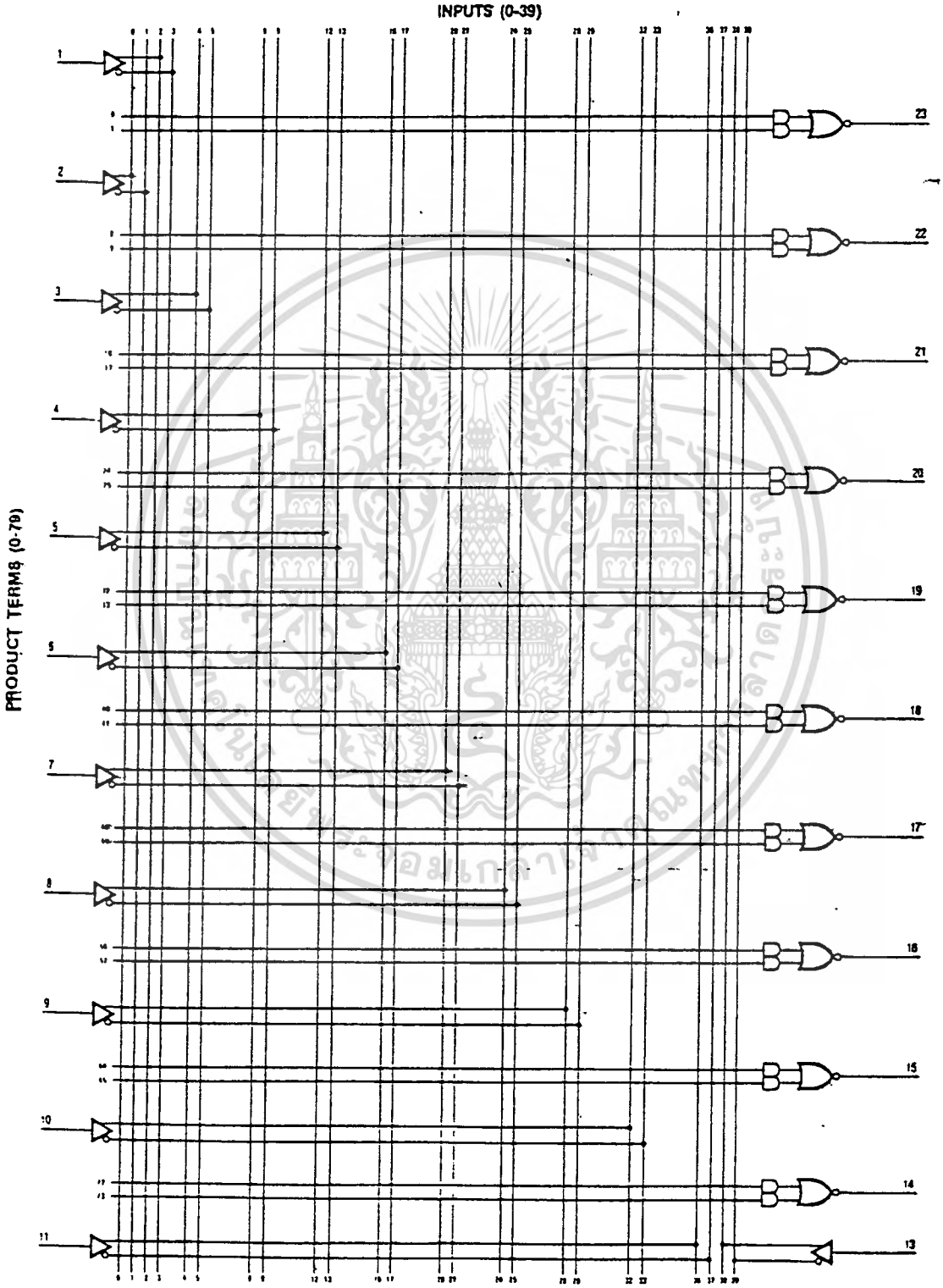
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram PAL14L4



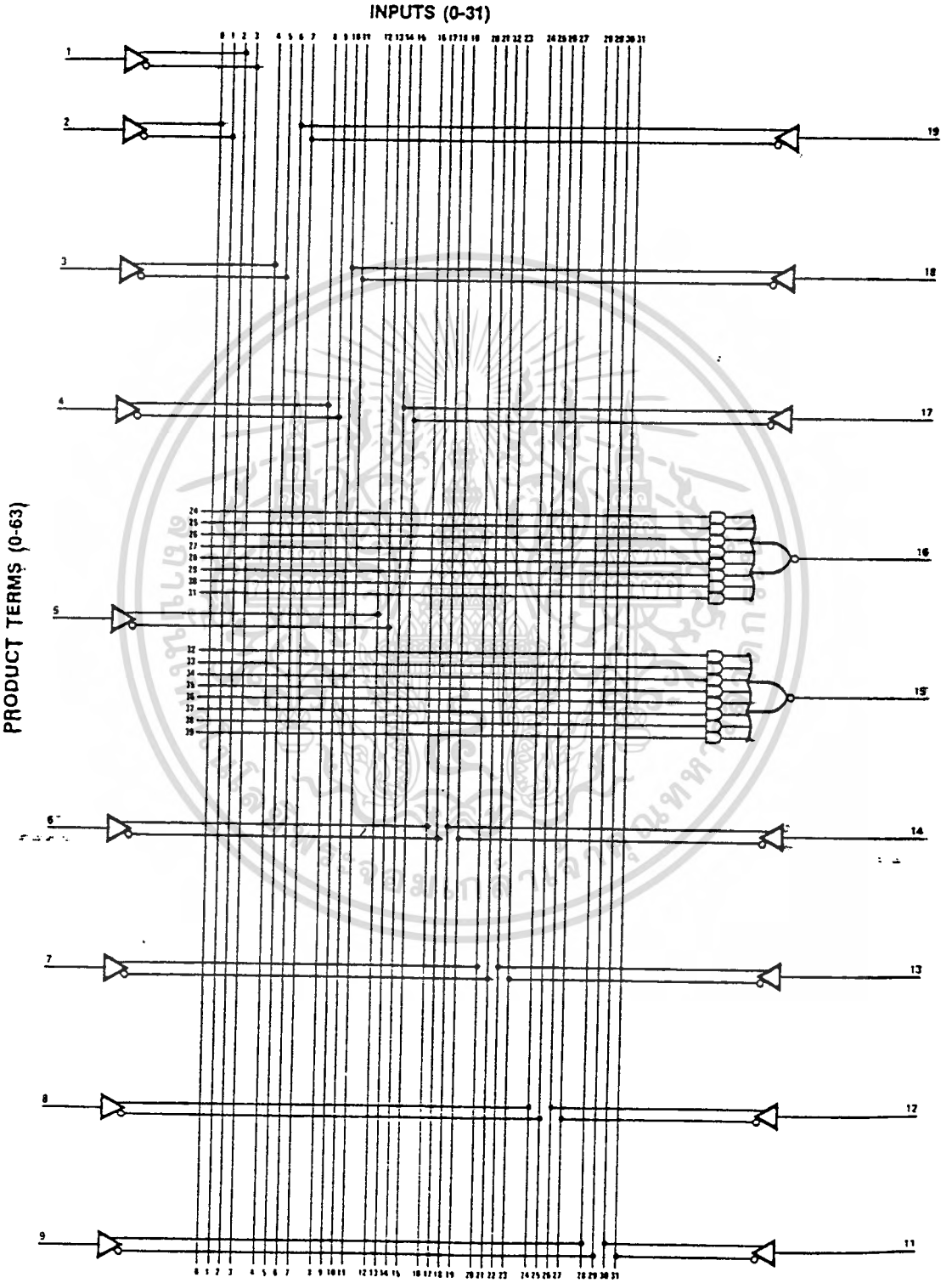
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram PAL12L10



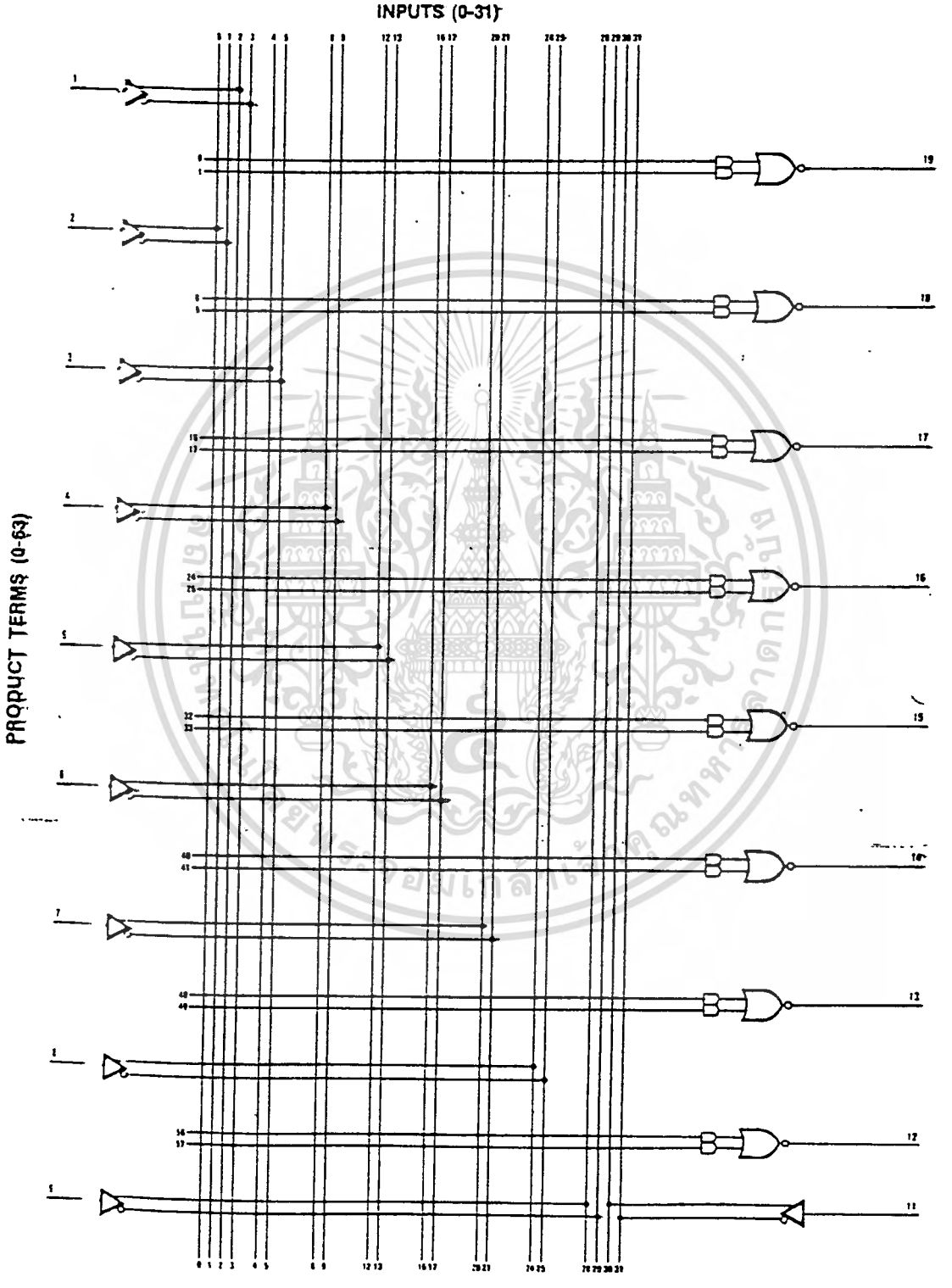
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram PAL16L2



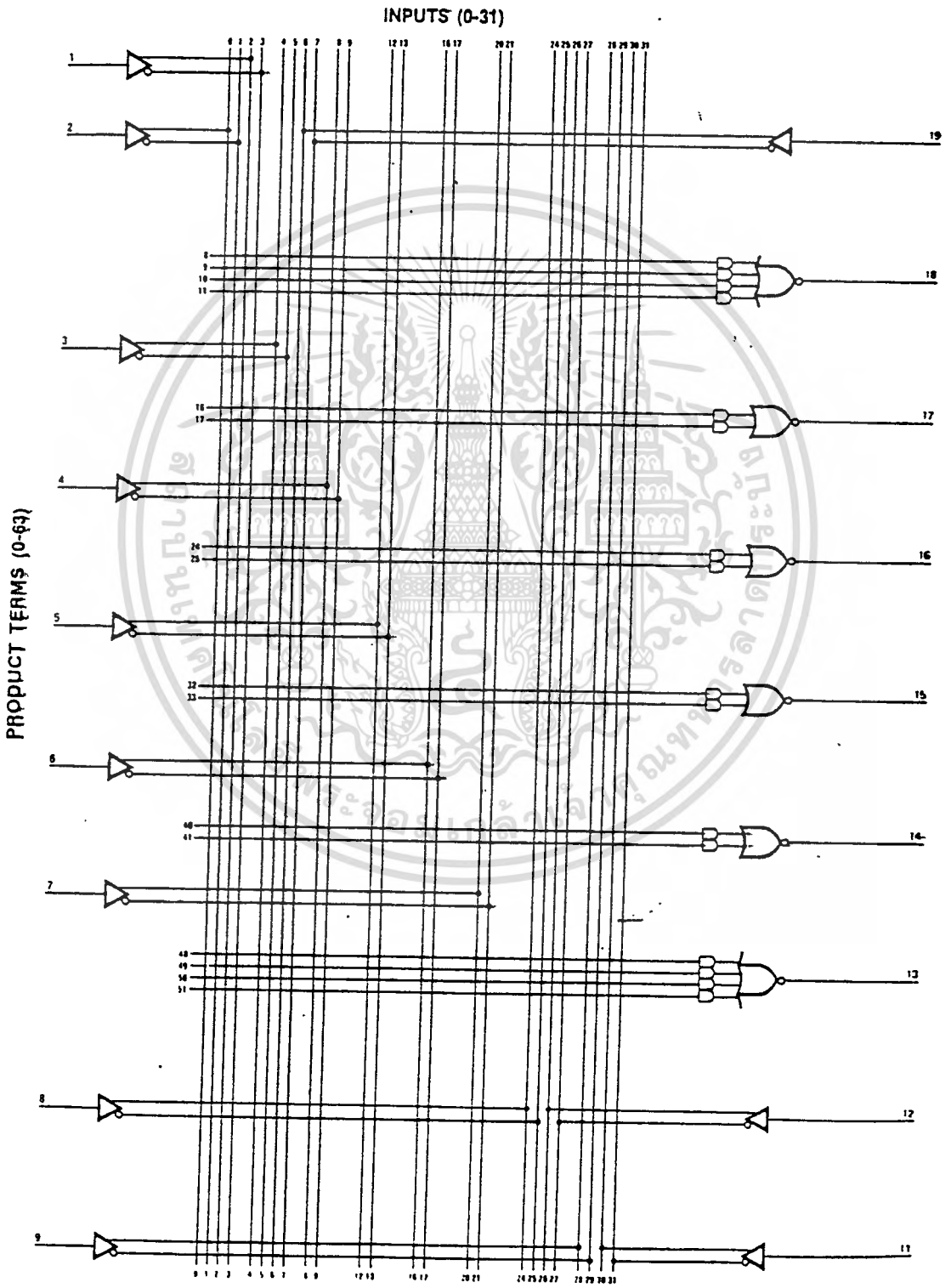
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram PAL10L8



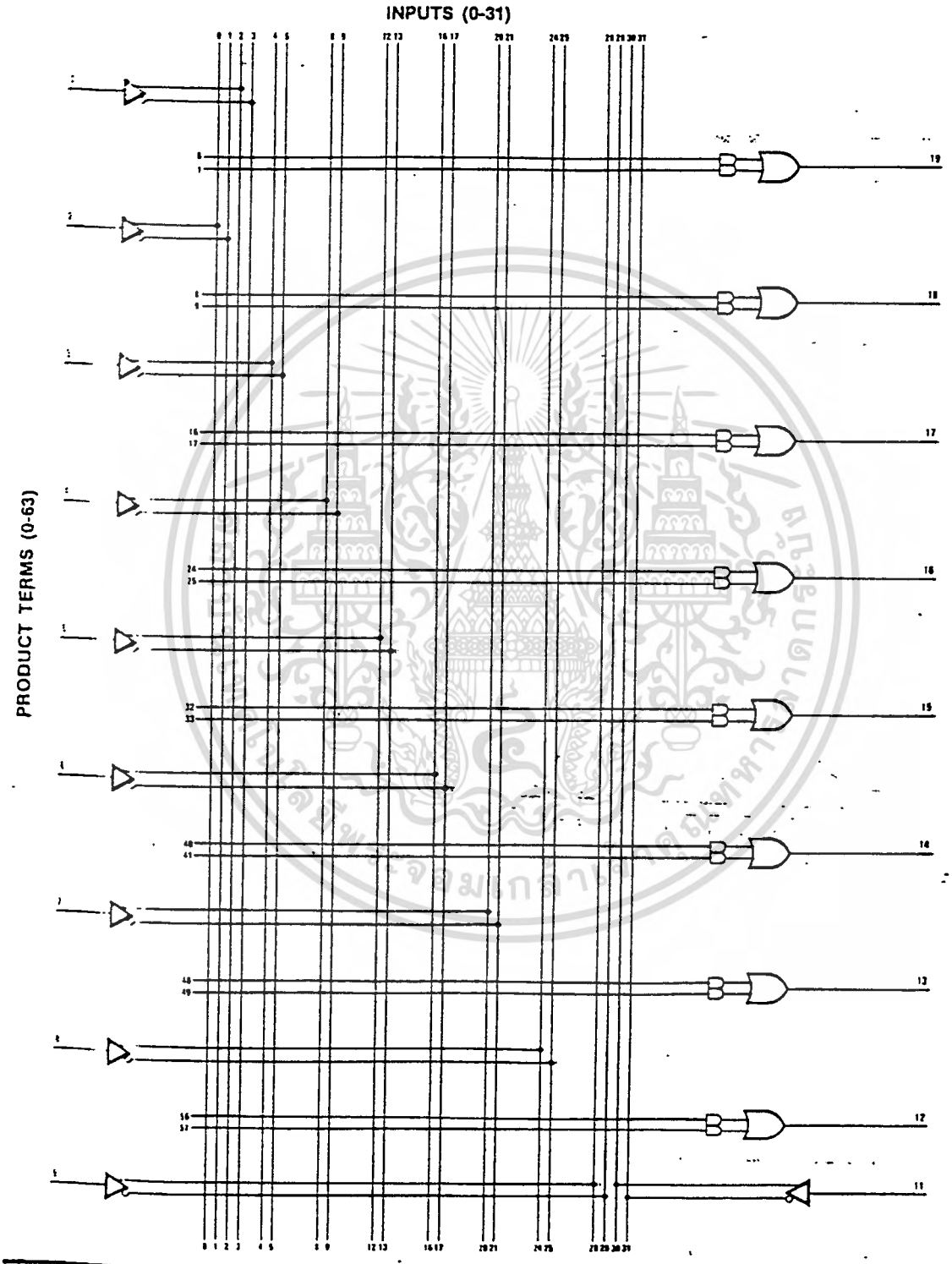
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram PAL12L6



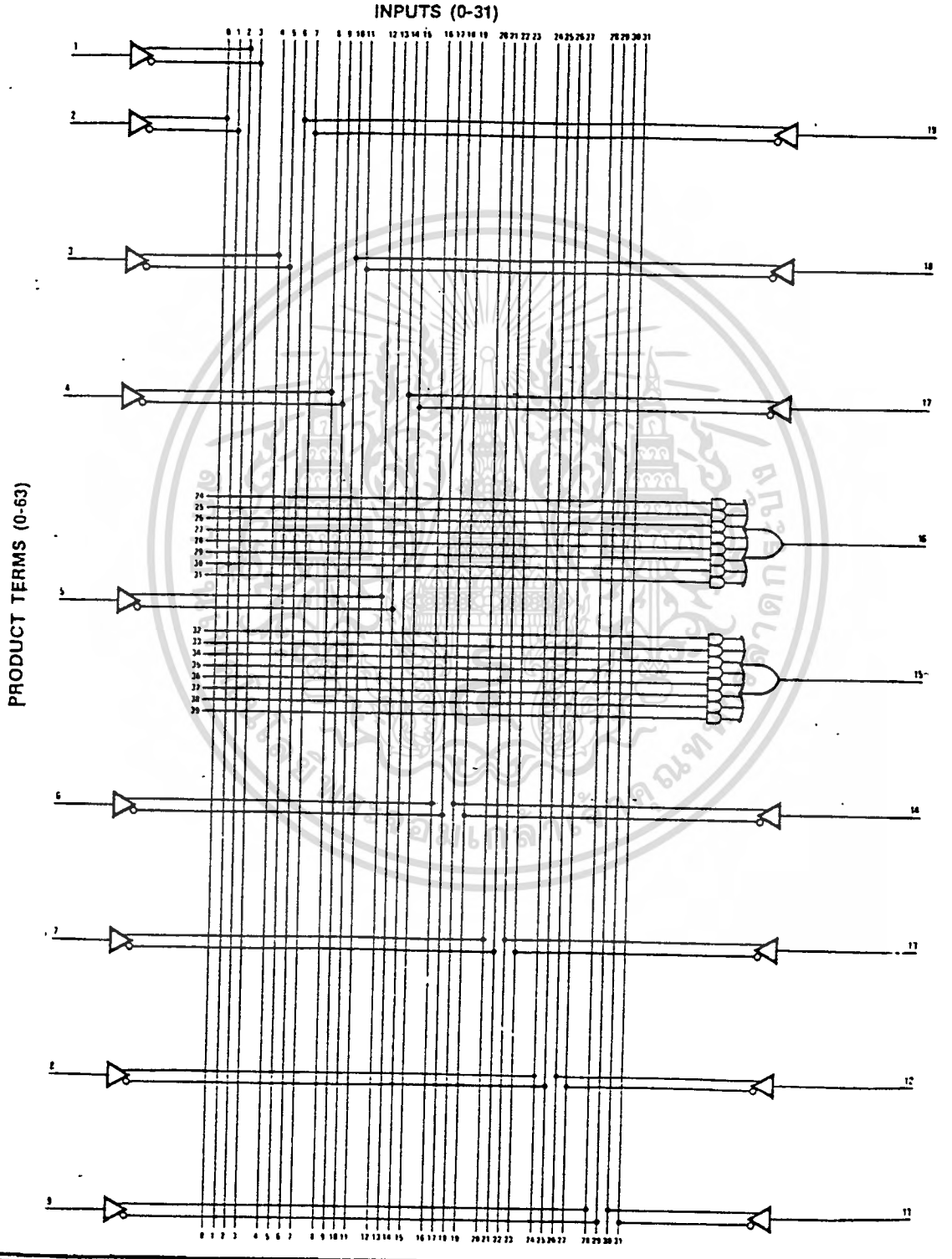
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ แสวงหาผลประโยชน์ทางการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram PAL10H8



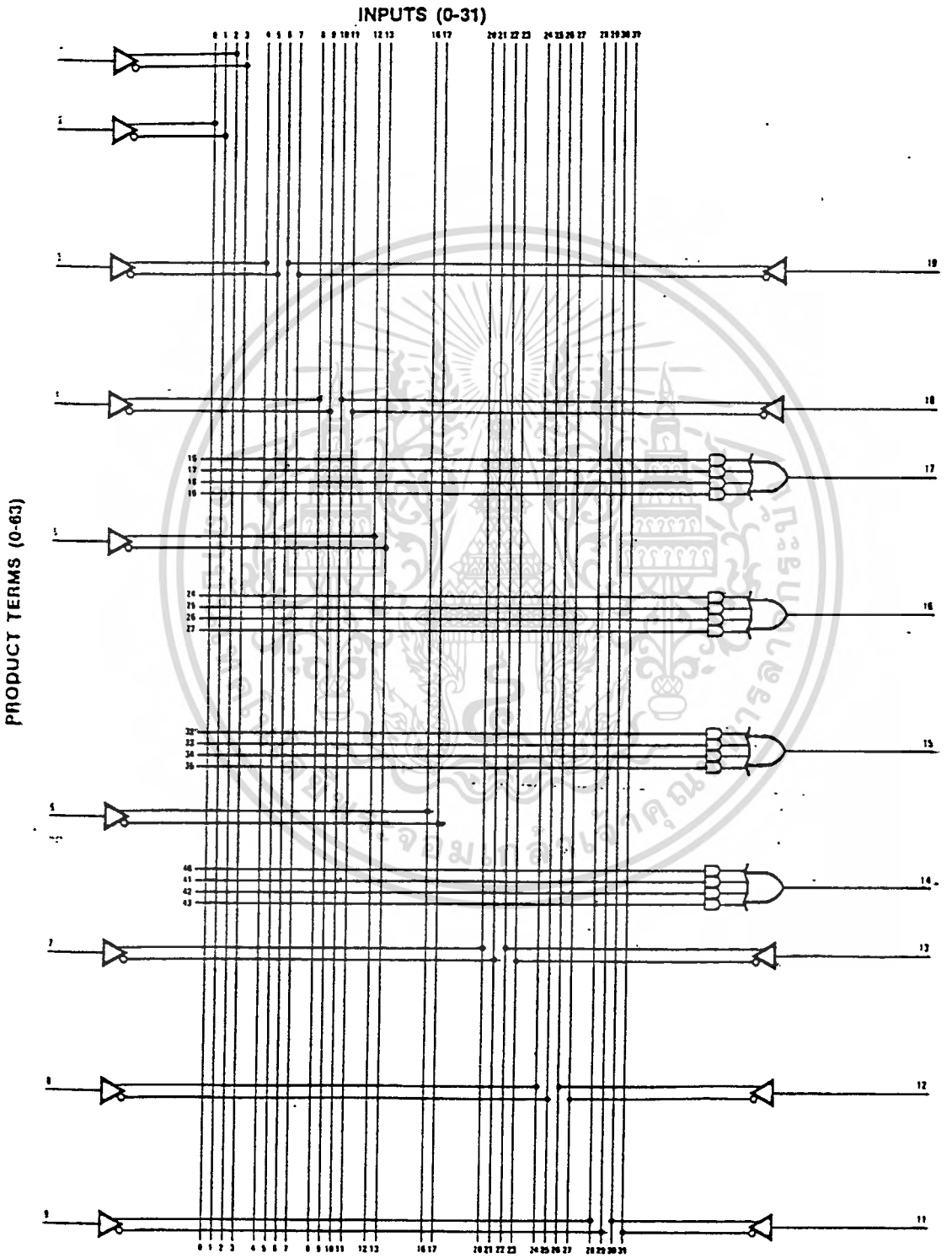
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram PAL16H2



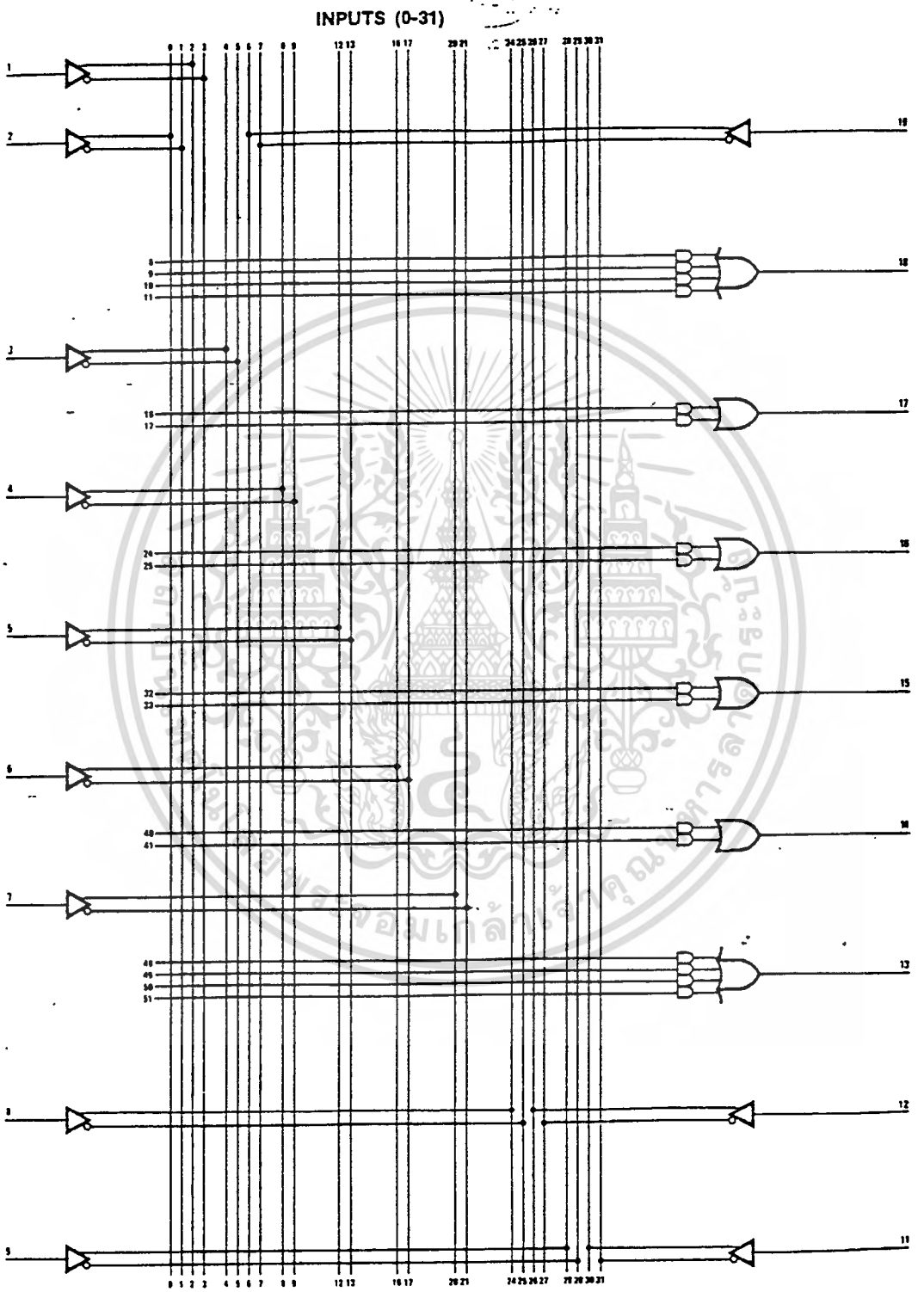
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram PAL14H4



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram PAL12H6



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้