เครื่องแจ้งเวลาและอุณหภูมิระบบดิจิตอล

TIMER AND TEMPERATURE DIGITAL SYSTEM BOARD

โดย

นายชัชวาลย์	สุวรรณศักดิ์สิน	30712002
นายประชา	เปี่ยมสง่า	37012014
นายภูมิศักดิ์	แสงขำ	37012017

วัน เดือน ปี 30 ก.ค. 2540
เลขทะเบียน 031953
เลขเรียกหนังสือ T 38046 ช 358 ค

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

หัวข้อปริญญานิพนธ์ **เครื่องแจ้งเวลาและอุณหภูมิระบบดิจิตอล**

TIMER AND TEMPERATURE DIGITAL SYSTEM BOARD

โดย	นาย ชัชวาลย์	สุวรรณศักดิ์สิน	37012002
	นาย ประชา	เปี่ยมสง่า	37012014
	นาย ภูมิศักดิ์	แสงชำ	37012017

อาจารย์ที่ปรึกษา	อาจารย์ ไพศาล	สิทธิโยภาสกุล
	อาจารย สถาพร	พรหมวงศ์

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2538

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของขบวนการศึกษาหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการปริญญานิพนธ์

_____ ประธานกรรมการ

(_____)

_____ กรรมการ

(_____)

_____ กรรมการ

(_____)

_____ กรรมการ

(_____)

_____ กรรมการ

(_____)

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์

1. เพื่อศึกษาการทำงานของวงจรตรวจจับอุณหภูมิที่ใช้อุปกรณ์อิเล็กทรอนิกส์
2. เพื่อศึกษาการทำงานของวงจรวัดค่าแรงดัน (Volt Meter) และอุปกรณ์ที่เกี่ยวข้อง
3. เพื่อศึกษาการทำงานของระบบไมโครโปรเซสเซอร์ที่มี Z-80 เป็น CPU
4. เพื่อศึกษาคำสั่งต่างๆ ของ Z-80
5. เพื่อศึกษาการทำงานของอุปกรณ์อิเล็กทรอนิกส์ประเภทกำลัง
6. เพื่อศึกษาการทำงานของ Real Time Clock (RTC)
7. เพื่อศึกษาวิธีการและขั้นตอนในการทำแผงแสดงผลขนาดใหญ่
8. เพื่อศึกษาถึงลักษณะและหลักการทำงานของ OPTOCOUPTER

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลประโยชน์ที่คาดว่าจะได้รับ

1. สามารถนำอุปกรณ์อิเล็กทรอนิกส์มาทำเป็นอุปกรณ์วัดอุณหภูมิได้
2. สามารถสร้างวงจรวัดค่าแรงดันไฟฟ้า (Voltage Meter) ได้
3. สามารถนำระบบไมโครโปรเซสเซอร์มาใช้ควบคุมระบบการทำงานได้
4. สามารถเข้าใจถึงคำสั่งต่าง ๆ ของ Z-80 และสามารถนำมาเขียนโปรแกรมสั่งงานได้
5. สามารถนำอุปกรณ์อิเล็กทรอนิกส์ประเภทกำลังมาใช้ควบคุมระบบไฟ AC 220 V ได้
6. สามารถนำ Real Time Clock (RTC) มาใช้ในการตั้งเวลาและบอกเวลาได้
7. สามารถนำวิธีการและขั้นตอนในการสร้างแผงแสดงผลขนาดใหญ่มาใช้สร้างจริงได้
8. สามารถนำอุปกรณ์ OPTOCOUPLER มาใช้งานได้จริง

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อโครงงาน เครื่องแจ้งเวลาและอุณหภูมิระบบดิจิตอล

TIMER AND TEMPERATURE DIGITAL SYSTEM BOARD

คณะผู้จัดทำ	นายชัชวาลย์	สุวรรณศักดิ์สิน	37012002
	นายประชา	เปี่ยมสง่า	37012014
	นายภูมิศักดิ์	แสงขำ	37012017

อาจารย์ที่ปรึกษา	อ.ไพศาล	สิทธิโยภาสกุล
	อ.สถาพร	พรหมวงศ์

บทคัดย่อ

เครื่องแจ้งเวลาและอุณหภูมิระบบดิจิตอล จะทำการแสดงเวลาและอุณหภูมิออกจอแสดงผลขนาดใหญ่ สลับกันเน้นเวลานานอย่างละ 20 วินาที โดยได้นำระบบไมโครโปรเซสเซอร์ที่มี Z-80 มาเป็นตัวควบคุมระบบทั้งหมดในส่วนของการตรวจจับอุณหภูมิใช้ IC เบอร์ LM 3911 และในส่วนของเวลาจะใช้ IC Real Time clock (RTC) เบอร์ MSM 6242B นอกจากมีในกรณีที่เวลาเดินไม่ตรง สามารถทำการ Set ค่าเวลาใหม่ได้โดยผ่านทาง Key board และยังสามารถกด Key * ที่ Key board เพื่อให้แสดงเวลาเป็นนาทีและวินาทีได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THESIS TIMER AND TEMPERATUER DIGITAL SYSTEM BOARD

NAME	**Chatchawan**	**Suwannasuksin**	**37012002**
	Pracha	**Piamsanga**	**37012014**
	Bhoomsak	**Saengkam**	**37012017**
ADVISER	**Mr. Paisan**	**Sittiyopassakoon**	
	Mr. Sathaporn	**Promwong**	

Abstract

The Digital Timer and Thermometer shows the times and temperatures on the big display board ,it will be shows and change every 20 seconds between Time and Temperature. We use Z-80 CPU microprocessor system control these operations. LM3911 is use to sensor the temperatures. MSM6242B is the Real Time Clock (RTC) chip which use to base times. If currently time was wrong , we can set the new times by keyboard. The key * is use to set the time values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การที่ปริญญานิพนธ์นี้สำเร็จลุล่วงไปได้นั้น คณะผู้จัดทำต้องกรรมขอบพระคุณคณะอาจารย์ ภาคเทคนิคทุกคนที่เป็นผู้ประสิทธิ์ประศาสตร์วิชาจึงทำให้คณะผู้จัดทำสามารถจัดทำปริญญานิพนธ์ได้สำเร็จ ขอบคุณ อาจารย์ ไพศาล สิทธิโยภากุล ที่ให้แนวทางในการทำปริญญานิพนธ์ ขอบคุณ อาจารย์ สถาพร พรหมวงศ์ ที่ให้ความช่วยเหลือด้วยดี ขอบคุณเพื่อนๆ ทุกคนที่ให้การช่วยเหลือและความร่วมมือตลอดมา ขอบคุณ บิดา-มารดา ที่ให้การอบรมสั่งสอนเลี้ยงดู และเป็นผู้อยู่เบื้องหลังตลอดมาจนมีวันนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ	หน้า
วัตถุประสงค์	
ผลที่คาดว่าจะได้	
บทคัดย่อภาษาไทย	
Abstract	
กิตติกรรมประกาศ	
บทที่ 1 บทนำ	1
บทที่ 2 ความรู้และทฤษฎีที่เกี่ยวข้อง	3
2.1 การตรวจวัดอุณหภูมิ	3
2.11 การตรวจวัดอุณหภูมิด้วยเทอร์โมดับเบิ้ล	
2.12 การตรวจวัดอุณหภูมิโดยใช้สารกึ่งตัวนำ	
2.13 โครงสร้างทั่วไปของ LM 39114	
2.14 หลักการทำงานของ LM 3911	
2.15 คุณสมบัติของ LM 3911	
2.2 การวัดแรงดันไฟฟ้า	5
2.21 โครงสร้างทั่วไปของ IC 7107	
2.22 คุณสมบัติของ IC 7107	
2.3 Real Time Clock (RTC)	7
2.31 ความรู้ทั่วไปเกี่ยวกับ RTC	
2.32 โครงสร้างของ MSM 6242B	
2.33 Register ต่าง ๆ ของ MSM 6242B	
2.4 ระบบไมโครโปรเซสเซอร์	9
2.41 ความรู้ทั่วไปเกี่ยวกับ Z- 80	
2.42 ความรู้ทั่วไปเกี่ยวกับ 8255	
2.43 ความรู้ทั่วไปเกี่ยวกับหน่วยความจำ	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

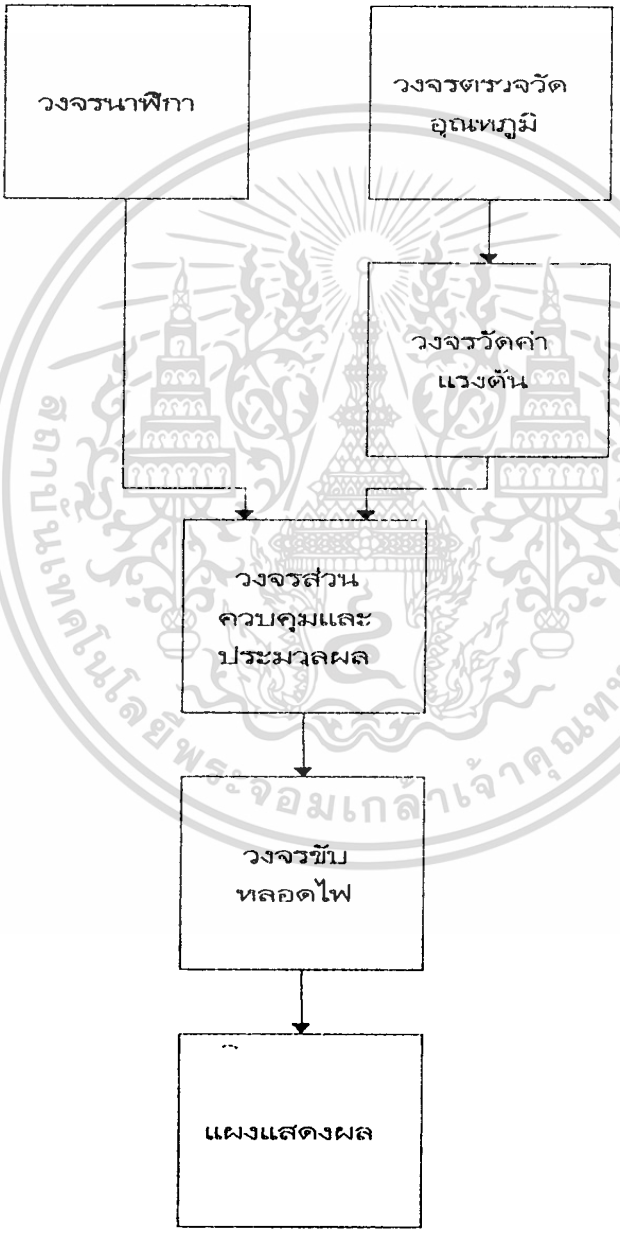
2.5 การขับหลอดไฟ AC 220 V 32
2.51 ความรู้ทั่วไปเกี่ยวกับ optocoupler
2.52 โครงสร้างและคุณสมบัติของ MOC 3020
2.53 ความรู้ทั่วไปเกี่ยวกับ Triac
บทที่ 3 การออกแบบวงจร 37
3.1 วงจรตรวจวัดอุณหภูมิ 37
3.2 วงจรวัดค่าแรงดันไฟฟ้า 38
3.3 วงจร Real Time Clock (RTC) 41
3.4 วงจรส่วนควบคุมและประมวลผล 42
3.5 วงจรขับหลอดไฟ 48
3.6 วงจรแหล่งจ่ายไฟ (Supply) 51
3.7 แผงแสดงผล 53
3.8 Flow chart 54
บทที่ 4 สรุปและวิจารณ์ผลการทดลอง 59
ภาคผนวก
ก โปรแกรม วงจรใช้งาน
ข แหล่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

เครื่องแข้งเวลาและอุณหภูมิระบบดิจิตอลนี้ จะทำการแสดงค่าของเวลาและอุณหภูมิสลับกัน โดยมี Z-80 CPU เป็นตัวควบคุมการทำงานของเครื่องสำหรับแผงแสดงผลจะเป็นแบบขนาดใหญ่ และใช้หลอดไฟ AC 220V เป็นตัวแสดงผล



รูปที่ 1.1 BLOCK DIAGRAM ของโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก Block Diagram วงจรตรวจจับอุณหภูมิจะทำการตรวจสอบอุณหภูมิรอบข้างแปลงเป็นค่าแรงดันไฟฟ้า (analog) ป้อนให้กับวงจรวัดค่าแรงดัน วงจรวัดค่าแรงดันจะการวัดค่าแรงดัน Analog นี้ แล้วแปลงค่าเป็นค่าแรงดันดิจิตอล เพื่อส่งเข้า port input ของวงจรส่วนควบคุม และประมวลผลต่อไป ส่วนวงจรนาฬิกาจะทำการสร้างเวลา และให้ค่าออกมาเป็นค่าเวลาดิจิตอล แล้วส่งเข้าวงจรส่วนควบคุม และประมวลผลเช่นเดียวกัน

สำหรับวงจรส่วนควบคุม และประมวลผลจะทำหน้าที่นำค่าอุณหภูมิ (แรงดัน) ดิจิตอลจาก port input และค่าเวลาดิจิตอลออกไปยัง port output เพื่อแสดงผลสลับกันเป็นระยะเวลานานประมาณ 20 วินาที

เนื่องจากแผงแสดงผลเป็นแบบที่ใช้หลอดไฟ AC 220V แต่ค่าอุณหภูมิ (แรงดัน) ดิจิตอล และเวลาดิจิตอลเป็นค่าทาง DC ดังนั้นเราจึงจำเป็นจะต้องใช้วงจรขับหลอดไฟเข้ามาช่วย เมื่อวงจรขับหลอดไฟได้รับสัญญาณ (สัญญาณจาก port output ของวงจรส่วนควบคุม และประมวลผล) ก็จะทำการขับหลอดไฟให้ติดสว่าง ทำให้แผงแสดงผลติดสว่างด้วย โดยวงจรขับหลอดไฟของเซ็กเมนต์ใดจะทำงานขึ้นอยู่กับสัญญาณทริกจาก port output ของวงจรส่วนควบคุมและประมวลผลนั่นเอง

สำหรับแผงแสดงผลจะมีอยู่ 2 ส่วน คือ แผงแสดงผลขนาดใหญ่ซึ่งเป็นแผงแบบใช้หลอดไฟ 220 VAC และแผงแสดงผลขนาดเล็กซึ่งเป็นจอ LED แบบ segment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

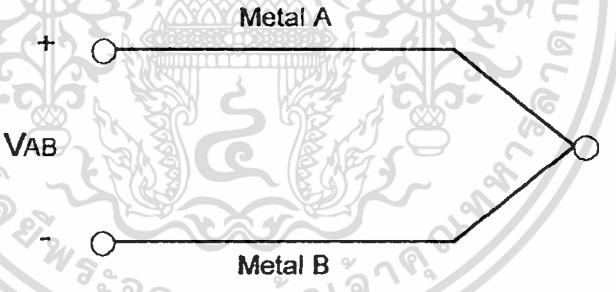
บทที่ 2
ความรู้และทฤษฎีที่เกี่ยวข้อง

2.1 การตรวจวัดอุณหภูมิ

การตรวจวัดอุณหภูมิสามารถกระทำได้หลายวิธี เช่น การใช้หลักการหดและขยายของปรอทในแท่งแก้ว การใช้หลักการวัดการแผ่รังสีความร้อนของวัตถุ การใช้คุณสมบัติฟิสิกส์ทางไฟฟ้า (หลักการของเทอร์โมคับเบิ้ล) หรือ การใช้คุณสมบัติของสารที่เปลี่ยนแปลงตามอุณหภูมิ (สารกึ่งตัวนำ)

2.11 การตรวจวัดอุณหภูมิด้วยเทอร์โมคับเบิ้ล

เทอร์โมคับเบิ้ลทำด้วยโลหะต่างชนิดกัน นำมาเชื่อมต่อปลายทั้งสองเข้าด้วยกันถ้าที่ปลายจุดต่อทั้งสองมีอุณหภูมิต่างกัน จะเกิดกระแสไฟฟ้าไหลในวงจรเส้นลวด โดยที่ปริมาณการไหลของกระแสไฟฟ้าจะมากน้อยเปลี่ยนแปลงไปตามผลต่างของอุณหภูมิที่จุดปลายต่อทั้งสอง



รูปที่ 2.1 เทอร์โมคับเบิ้ลแบบง่าย

2.12 การตรวจวัดอุณหภูมิโดยใช้สารกึ่งตัวนำ

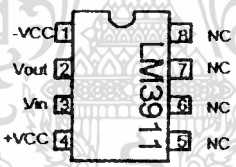
การใช้สารกึ่งตัวนำมาทำการตรวจวัดอุณหภูมิ เราจะใช้สาร P และ สาร N ต่อกันเป็นไดโอดแบบซิลิคอน เมื่อเราทำการป้อนแรงดันไบอัสตรงให้กับไดโอดนี้ ค่าแรงดันที่ตกคร่อมตัวไดโอดจะมีค่าเพิ่มขึ้น เมื่ออุณหภูมิเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

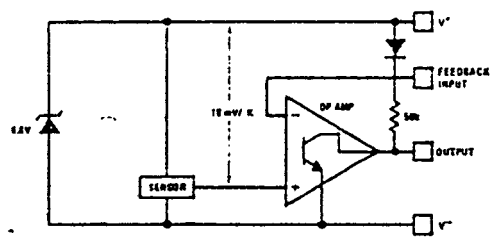
2.13 โครงสร้างทั่วไปของ LM3911

ไอซีเบอร์ LM3911 นี้มีลักษณะเป็นไอซีแบบตีนตะขาบมี 8 ขา แต่ขาที่ใช้งานจริงๆ จะมีอยู่เพียง 4 ขา คือ ขา 1, 2, 3 และ 4 เป็นไอซีที่ทำการตรวจจับอุณหภูมิรอบๆ ตัวมันเอง และเป็นไอซีที่นิยมใช้กันมากเพราะว่า ใช้งานง่าย มีความซับซ้อนน้อย ราคาถูก สำหรับหน้าที่ของแต่ละขาของ LM3911 มีดังนี้

ขา	1	เป็นขาไฟลบ V-
ขา	2	เป็นเอาท์พุท
ขา	3	เป็นขาอินพุท ซึ่งเป็นขาที่แรงดันจะเปลี่ยนแปลงไปตามอุณหภูมิ
ขา	4	เป็นขาไฟบวก V+
ขา	5-8	เป็นขา NC



รูปที่ 2.2 การจัดขาของ LM3911



รูปที่ 2.3 วงจรภายในของ LM3911

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.14 หลักการทำงานของ LM3911

ใช้หลักการแรงดันตกคร่อมซิลิกอนไดโอดเมื่อได้รับไบอัสตรง โดยเมื่ออุณหภูมิเพิ่มขึ้น 1 องศาเคลวินจะทำให้ค่าแรงดันตกคร่อมไดโอดเปลี่ยนแปลงไปประมาณ 2 มิลลิโวลต์

วงจรภายในตัวไอซี LM3911 ดังรูปที่ 2.3 วงจรที่สร้างขึ้นใช้ขาเบส อิมิตเตอร์ของทรานซิสเตอร์แทนไดโอด ทำเป็นวงจร 2 วงจรที่มีกระแสไบอัสต่างกัน ผลของแรงดันตกคร่อมไดโอด 2 วงจรนี้จะถูกเปรียบเทียบกัน และผลต่างของค่าแรงดันของ 2 วงจรนี้จะถูกขยายให้มีค่าเท่ากับ 10 มิลลิโวลท์เมื่ออุณหภูมิเพิ่มขึ้น 1 องศา

ที่ขา 3 ของไอซีเป็นขาอินพุทแบบ Inverting ที่ต่ออยู่กับขา 2 ซึ่งเป็นขาเอาท์พุท ทำให้อัตราขยายของออปแอมป์ในตัวไอซีมีค่าเท่ากับ 1 นั่นคือ ค่าแรงดันภายในตัวไอซีจะยังคงเปลี่ยนแปลง 10 มิลลิโวลต์เมื่อมีการเปลี่ยนแปลงของอุณหภูมิ 1 องศา เอาท์พุทของออปแอมป์ภายในไอซีเป็นแบบทรานซิสเตอร์ตัวเดียว มีไดโอดต่ออนุกรมกับตัวต้านทาน 50 kΩ เป็นโหลดภายใน

2.15 คุณสมบัติของ LM3911

- เอาท์พุทเป็นเชิงเส้น 10 mV/^{o}K (10 mV/^{o}C)
- เอาท์พุทสามารถขับโหลดได้สูงสุด 35 V
- ออปแอมป์ภายในมีการชดเชยทางความถี่
- มีค่าความผิดพลาดน้อยประมาณ 0.5%
- ทำงานช่วงอุณหภูมิกว้าง -25^{o} ถึง +85^{o}C
- สามารถปรับแต่งเป็นแบบเคลวิน, เซลเซียสหรือฟาเรนไฮท์ได้

2.2 วงจรวัดแรงดันไฟฟ้า

การวัดแรงดันไฟฟ้า เราใช้หลักการของดิจิตอล โวลท์มิเตอร์ (Digital Voltmeter)เนื่องจากวงจรวั ดแรงดันจะประกอบด้วยวงจรต่างๆ มากมาย ได้แก่ วงจร A/D คอนเวอร์เตอร์ วงจร Comparator วงจร BCD to 7 Segment วงจร Latch วงจรขับ LGD เป็นต้น ซึ่งจะเกิดความยุ่งยากมากในการใช้งาน ในปัจจุบันได้มีการสร้าง IC ดิจิตอลโวลท์มิเตอร์ ซึ่งภายในตัว IC ได้บรรจุวงจรต่าง ๆ ไว้มากมาย ทำให้เกิดความสะดวกในการใช้งาน

ICL 7107 เป็นไอซีดิจิตอลโวลต์มิเตอร์ มี 40 ขา เป็นแบบดีนตะขาบ สามารถทำการวัดค่าแรงดันไฟฟ้า (Analog) แล้วแปลงเป็นแรงดันดิจิตอลได้ด้วยวงจร A/D converter แบบ Dual sloper พร้อมวงจร latch ภายในตัวมันเอง นอกจากนี้ภายในตัวไอซียังประกอบด้วยวงจรสำหรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

drive LED ขนาด 3.5 หลัก ทำให้สามารถขับออก LED ได้โดยตรง สำหรับรายละเอียดการใช้งานขาต่างๆของ ICL 7107 มีดังต่อไปนี้

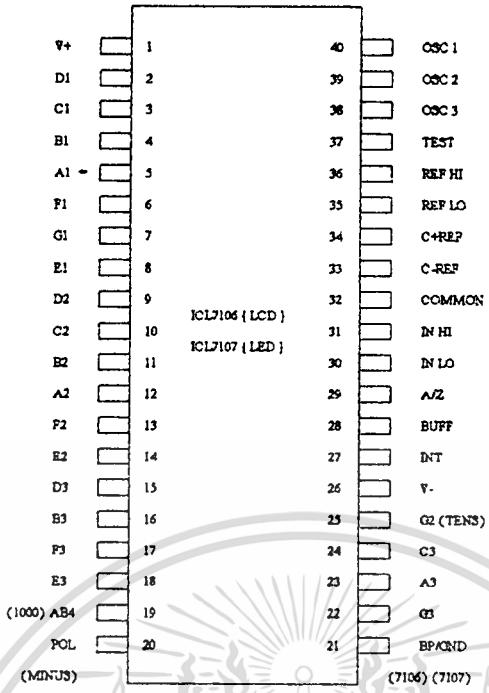
2.21 โครงสร้างของ ICL-7107

ขา 1	เป็นขาสำหรับไฟบวก
ขา 2-20	เป็นขาเอาท์พุทของค่าแรงดันดิจิตอล สำหรับแสดงออกสู่
22-25	ส่วนแสดงผล
ขา 21	เป็นขา ground
ขา 26	เป็นขาสำหรับไฟลบ
ขา 27	เป็นขา INT
ขา 28	เป็นขา Buffer
ขา 29	เป็นขา Auto Zero เมื่อวงจรเริ่มทำงานและค่าแรงดัน input เท่ากับศูนย์ (short input) ส่วนแสดงผลจะอ่านค่าได้ 0 V.
ขา 30,31	เป็นขา IN_{LO} และ IN_{HI} ตามลำดับ ซึ่งขาอินพุทนี้จะแตกต่างกันไปเป็นการใช้งาน
ขา 32	เป็นขา common
ขา 33,34	เป็นขา C^{-}_{REF} และ C^{+}_{REF} ตามลำดับ ซึ่งค่าของ Reference Capacitor ที่เหมาะสมที่สุดคือ 0.1 μF
ขา 35,36	เป็นขา REF_{LO} และ REF_{HI} ตามลำดับ สำหรับต่อค่าแรงดัน reference
ขา 37	เป็นขา TEST
ขา 38,39,40	เป็นขา oscillator สำหรับต่อวงจร RC Oscillator เพื่อสร้าง clock ภายในตัวไอซี

2.22 คุณสมบัติของ ICL7107

- ที่ขาอินพุทต้องการกระแสเพียง 1 pA
- สามารถขับโหลด LED ได้โดยตรง โดยไม่ต้องต่ออุปกรณ์ภายนอกช่วย
- ค่าของสัญญาณรบกวน (noise) มีค่าน้อยกว่า 15 μV_{p-p}
- ไม่ต้องการวงจรขยายภายนอกช่วย
- สัญญาณ clock และแรงดัน reference จะอยู่บนตัวไอซี
- ค่ากำลังงานสูญเสียมีค่าน้อยกว่า 10 mw

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงโครงสร้างของไอซี 7107

2.3 Real Time Clock (REC)

2.31 ความรู้ทั่วไปเกี่ยวกับ RTC

Real Time Clock หรือ REC คือ นาฬิกาที่บอกเวลาแท้จริงให้กับไมโครโปรเซสเซอร์ โดยการเชื่อมต่อกับ CPU สามารถรู้เวลาได้ทุกขณะ โดยที่ CPU สามารถที่จะอ่านเวลาจากตัว RTC ได้ทุกครั้งที่ CPU ต้องการ

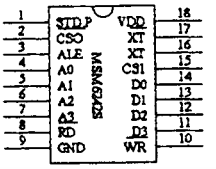
ในการประยุกต์ใช้งานไมโครโปรเซสเซอร์ที่ต้องการเกี่ยวข้องกับเวลาด้วยแล้ว RTC นับว่ามีประโยชน์อย่างมาก เพราะสามารถบอกเวลาได้ตั้งแต่ วินาที นาที ชั่วโมง วันในรอบสัปดาห์ วัน เดือน ปี ให้กับไมโครโปรเซสเซอร์ได้อย่างเที่ยงตรง โดยที่ CPU เพียงแต่ติดต่อกับ RTC เหมือนกับติดต่อกับหน่วยความจำ หรือ พอร์ท I/O เท่านั้น

เนื่องจากโครงสร้างของ RTC เป็นไอซีชนิด CMOS จึงสามารถสำรองแรงดันด้วยแบตเตอรี่ขนาดเล็กถึงแม้ว่าแรงดันที่ป้อนให้กับระบบไมโครโปรเซสเซอร์จะสูญหายไปเนื่องจากไฟดับหรือการปิดเครื่อง แต่เวลาใน RTC จะยังไม่สูญหายไปด้วย และยังคงเดินต่อไปตามปกติด้วยเวลาที่ถูกต้อง นอกจากนี้ความสามารถของ RTC อีกอย่างหนึ่งก็คือ การตั้งเวลาปลุก (Alarm Clock) ได้ เมื่อเวลาเดินไปถึงที่ตั้งไว้ RTC ก็จะไปอินเตอร์รัพท์ CPU และยังมีความสามารถในการอินเตอร์รัพท์ CPU เป็นจังหวะด้วยความถี่ที่กำหนดได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.32 โครงสร้างของ MSM 6242B

MSM 6242B เป็นไอซี RTC ชนิด CMOS มี 18 ขา บรรจุอยู่ในตัวถังแบบ DIP Package สำหรับหน้าที่และการจัดขาต่าง ๆ ของ MSM 6242B แสดงดังรูปที่ 2.5



รูปที่ 2.5 การจัดขาต่าง ๆ ของ MSM 6242B

ขา 1 (STD.P) เป็นขา output แบบ N- CH open drain โดยข้อมูล output จะถูกควบคุมด้วยขานี้ด้วย

ขา 2 (CSO) เป็นขา chip select active low

ขา 3 (ALE) เป็นขาควบคุมการ Latch ของ Address ที่ขา Ao-A3ถ้าขานี้เป็น“0” ค่า Address ที่ขา Ao-A3 จะถูก Latch ไว้

ขา 4 -7 (Ao-A3) เป็นขา Address ซึ่งจะต่อเข้ากับขา Address Ao-A3 ของ CPU โดยตรง

ขา 8 (RD) เป็นขาสำหรับอ่านข้อมูลใน registerของ RTC Active Low

ขา 9 (GND) เป็นขา Ground

ขา 10 (WR) เป็นขาสำหรับเขียนข้อมูลลงใน register ของ RTC Active low

ขา 11-14(D3-Do) เป็นขา Data input/output ซึ่งจะต่อเข้ากับขา Do- D3 ของ CPU โดยตรง

ขา 15 (CS1) เป็นขา Chip select active high

ขา 16,17 (XT,XT) เป็นขาสำหรับป้อน Clock ซึ่งจะให้ crystal ค่า 32.768 kHz ต่อเข้า กับขาทั้งสองนี้

ขา 18 (VDD) เป็นขาสำหรับป้อนไฟเลี้ยง +5 v

2.33 Register ต่าง ๆ ของ MSM 6242B

register ภายใน MSM 6242B สามารถแบ่งได้เป็น 2 ประเภท คือ register ใช้งาน และ register ควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

register ใช้งาน ได้แก่ s1 , S10 , MI1 , MI10 , H1 , H10, D1, D10, MO1 , MO10, Y1, Y10 และ W register ซึ่งย่อมาจาก Second1, Second10, Minutee1, Minute10 ,Hour1 , Hour10 , Day1, Day10, Month1 , Month10, Year1, Year10 และ Week register โดย register เหล่านี้มีคุณสมบัติดังต่อไปนี้

- ค่าต่าง ๆ ภายใน register เหล่านี้เป็นค่า BCD
- register ทั้งหมดนี้จะทำงานที่ Logic positive.
- ในกรณีที่จะเขียนค่าเวลาใหม่ลง RTC จะต้องกระทำอย่างถูกต้อง เพราะ register บางตัวมีการจำกัดทางข้อมูล เช่น S10 หรือ MI 10 จะเขียนข้อมูลใหม่ได้เฉพาะ 0-5 , H10 จะเขียนข้อมูลได้เฉพาะ 0-1 หรือ 0-2 , D10 จะเขียนข้อมูลได้เฉพาะ 0-3 เท่านั้นเป็นต้น
- MSM 6242B นี้ สามารถให้กำหนดแสดงเวลาเป็นแบบ 12 Hour หรือ 24 Hour ก็ได้
- สำหรับ register Y1 , Y10 ของ MSM 6242B จะถูกออกแบบไว้ให้รับข้อมูลและแสดงผลเป็นปีคริสตศักราช (ค.ศ.)
-สำหรับ register w จะถูกจำกัดข้อมูลไว้แค่ 0-6 เท่านั้น ถ้าแสดงในตารางที่ 1

ตารางที่ 1 แสดงค่าของวันต่าง ๆ ใน register w

0	0	0	Sunday
0	0	1	Monday
0	1	0	Tuesday
0	1	1	Wednesday
1	0	0	Thursday
1	0	1	Friday
1	1	0	Saturday

Register ควบคุม

ประกอบด้วย 3 register ได้แก่ CD register (Control D register) , CE register (Control E register) และ CP register (control F register) สำหรับรายละเอียดการใช้งาน register ต่าง ๆ เหล่านี้ดูได้จาก Data sheet ในภาคผนวก

2.4 ระบบไมโครโปรเซสเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

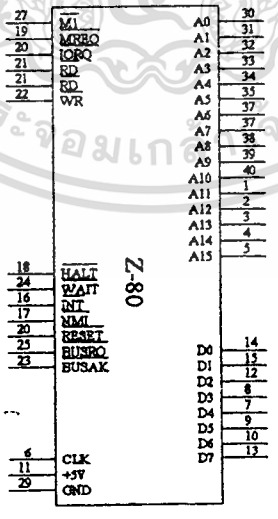
2.41 ความรู้ทั่วไปเกี่ยวกับ Z-80

Z-80 เป็น CPU ที่ผลิตจากบริษัท Zilog Inc. โดยกลุ่มวิศวกรชุดเดียวกับที่ผลิต 8080 CPU ของบริษัท Intel coorperation Z-808 CPU ได้รับการพัฒนาให้มีข้อดีเหนือกว่า 8080 เช่น มีชุดคำสั่งมากถึง 158 คำสั่งโดยรวมชุดคำสั่งเดิมของ 8080 ไว้ 80 คำสั่ง นอกจากนี้ Z-80 ยังมีรีจิสเตอร์มากกว่าใน 8080 ถึง 12 ตัวและ 8080 เพียงตัวเดียวก็ยังไม่สามารถที่จะนำไปใช้งานได้ต้องต่ออุปกรณ์สนับสนุนอีก 2 ตัวคือ clock generator chip และ systerm controller chip รวมกันเรียกว่า Three chip processor แต่ใน Z-80 CPU ได้รวมเอาลักษณะพื้นฐานเหล่านี้ไว้ในชิพเดียวกัน และเพิ่มประสิทธิภาพทาง Hardware Software และการ Interface ในสูงขึ้น

Z-80 CPU เพียงชิ้นเดียวไม่สามารถทำงานเป็นระบบคอมพิวเตอร์ได้ ต้องอาศัยอุปกรณ์อื่นๆ อีก 2 ส่วนคือ หน่วยความจำ (Memory) และหน่วยรับส่งข้อมูลเข้าออก (I/O device) สำหรับรายละเอียดของอุปกรณ์ทั้ง 2 ส่วนนี้จะได้กล่าวโดยละเอียดในลำดับต่อไป

โครงสร้างภายนอกของ Z-80

ไมโครโปรเซสเซอร์ Z-80 บรรจุอยู่ในไอซีขนาดมาตรฐานอุตสาหกรรม (Industrial Standard) แบบ Dual In-Line Package (DIP) หรือที่เรียกว่าแบบดีนตะขาบ 40 ขา ขาต่างๆ แสดงไว้ในรูปที่ 2.6



รูปที่ 2.6 โครงสร้างของ Z80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลุ่มสัญญาณต่างๆของไมโครโปรเซสเซอร์แบ่งออกได้เป็น 3 กลุ่มคือ กลุ่มของสายสัญญาณเพื่อกำหนดตำแหน่ง (Address Bus) คือ A_{15}-A_0 กลุ่มของสายสัญญาณส่งข้อมูล (Data Bus) คือ D_7-D_0 และกลุ่มของสายสัญญาณควบคุม (Control Bus) คือสายสัญญาณทั้งหมดที่เหลือยกเว้นขาแหล่งจ่ายไฟและสัญญาณนาฬิกา หน้าที่ของขาต่างๆ จะได้อธิบายในรายละเอียดต่อไปนี้

A_{15}-A_0 เป็นสายสัญญาณกำหนดตำแหน่ง (Address Bus) โดยที่ A_0 เป็นบิททางด้านต่ำ (LSB) ขาเหล่านี้เป็นเอาท์พุตแบบสามสถานะ (Tri-State) และจะให้แอคตีฟที่ลอจิก "1" บัสนี้มีด้วยกันทั้งหมด 16 สาย ดังนั้นจึงสามารถติดต่อกับหน่วยความจำได้ถึง 2^{16} = 65536 ตำแหน่ง (64 Kbytes) นอกจากนั้นยังสามารถใช้ในการกำหนดตำแหน่งของพอร์ท อินพุต/เอาต์พุต เมื่อใช้คำสั่งกลุ่มอินพุต/เอาต์พุตได้โดยใช้ 8 บิทด้านต่ำ (A_7-A_0) เพื่อแสดงตำแหน่งของพอร์ท ดังนั้นจึงสามารถกำหนดพอร์ทอินพุตได้ 256 พอร์ท หรือกำหนดพอร์ทเอาต์พุตได้ถึง 256 พอร์ทเช่นกัน และในขณะช่วงเวลารีเฟรช (RFSH) บัสทางด้านต่ำ 7 บิท (A_6-A_0) จะใช้แสดงตำแหน่งของหน่วยความจำแบบไดนามิกที่จะได้รับการรีเฟรช

D_7-D_0 เป็นสายสัญญาณข้อมูล (Data Bus) D_0 เป็นบิททางด้านต่ำลักษณะเป็นบัสแบบสองทิศทางแบบสามสถานะ ขนาด 8 บิท และแอคตีฟที่ลอจิก "1" ใช้เป็นเส้นทางเพื่อผ่านของข้อมูลระหว่างไมโครโปรเซสเซอร์กับหน่วยความจำ หรืออุปกรณ์อินพุต/เอาท์พุตต่างๆ

$\overline{M1}$(Machine เป็นขาCycle One) เอาต์พุตและแอคตีฟที่ลอจิก "0" เมื่อขานี้แอคตีฟ ชี้ให้เห็นว่าขณะนี้กำลังอยู่ในสภาวะของการเฟทซ์คำสั่ง และถ้าเป็นคำสั่งที่มีรหัส 2 ไบต์ ส่วนของ $\overline{M1}$ จะถูกสร้างขึ้นขณะเฟทซ์ในแต่ละไบต์ ลักษณะของคำสั่งที่มีขนาด 2 ไบต์ เช่นคำสั่งที่มีรหัสที่เริ่มต้นด้วย CBH,DDH,EDH, หรือ FDH นอกจากนั้นสัญญาณ $\overline{M1}$ นี้จะใช้ร่วมกับ $\overline{IORQ}$ เพื่อสร้างสัญญาณตอบรับการอินเตอร์รัพต์ (Interrupt Acknowledge)

$\overline{MREQ}$ (Memory Request) เป็นเอาท์พุตแบบสามสถานะและแอคติฟที่ลอจิก "0" เมื่อสายสัญญาณนี้แอคตีฟ บอกให้ทราบว่า ขณะนี้ไมโครโปรเซสเซอร์ต้องการติดต่อกับหน่วยความจำเพื่ออ่านหรือเขียนข้อมูล, โดยที่ตำแหน่งของหน่วยความจำจะปรากฏอยู่บนบัสตำแหน่งแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{IORQ}$ (Input/Output Request) เป็นเอาต์พุตแบบสามสถานะและแอคตีฟที่ลอจิก "0" เมื่อสายสัญญาณนี้แอคตีฟบอกให้ทราบว่า ขณะนี้ทางด้านไบต์ต่ำ (A_7-A_0) ของบัสตำแหน่งบรรจุตำแหน่งของพอร์ทที่จะส่งถ่ายข้อมูลระหว่างไมโครโปรเซสเซอร์กับอุปกรณ์อินพุต/เอาท์พุตนอกจากนี้จะใช้ร่วมกับสัญญาณ $\overline{M1}$ เพื่อตอบรับการอินเตอร์รัพต์

$\overline{RD}$ (Memory Read) เป็นขาเอาต์พุตแบบสามสถานะและแอคตีฟที่ลอจิก "0" สัญญาณนี้เพื่อชี้ว่าขณะนี้ไมโครโปรเซสเซอร์ต้องการอ่านข้อมูลจากหน่วยความจำหรือจากอุปกรณ์อินพุต/เอาท์พุต

$\overline{WR}$ (Memory Write) เป็นขาเอาต์พุตแบบสามสถานะ และแอคตีฟที่ลอจิก "0" เมื่อสัญญาณนี้แอคตีฟชี้ว่าขณะนี้ไมโครโปรเซสเซอร์ต้องการเขียนข้อมูลเข้าหน่วยความจำ หรือเข้าอุปกรณ์อินพุต/เอาส์พุต

$\overline{RFSH}$ (Refresh) เป็นขาเอาต์พุตแอคตีฟที่ลอจิก "0" $\overline{RFSH}$ เป็นสัญญาณเพื่อชี้ว่าขณะนี้มีบัสตำแหน่งทางด้านต่ำ 7 บิท (A_6-A_0) บรรจุค่าหน่วยความจำแบบไดนามิกแรมที่จะรีเฟรชและสัญญาณ $\overline{MERQ}$ ในช่วงนี้จะนำไปใช้เป็นสัญญาณสำหรับอ่านเพื่อรีเฟรช (Refresh Read) ไดนามิกแรมทั้งหมดที่ใช้ในระบบ

$\overline{HALT}$ (Halt State) เป็นขาเอาต์พุต แอคตีฟที่ลอจิก "0" เป็นสัญญาณเพื่อชี้ว่าขณะนี้ไมโครโปรเซสเซอร์ปฏิบัติคำสั่งHALT จากโปรแกรม และกำลังรอสัญญาณอินเตอร์รัพต์ชนิดนอนมาสเคเบิลหรือมาสเคเบิล (เมื่อสั่งให้ยอมรับ) จากอุปกรณ์ภายนอก ถ้าได้รับสัญญาณการอินเตอร์รัพต์แล้วจึงจะทำงานต่อไปได้ขณะที่หยุดรอ (Halted) นี้ซีพียูจะกระทำคำสั่ง NOP (No-Operation) เพื่อให้มีการเฟทช์คำสั่งซึ่งจะไม่ทำให้การรีเฟรชหยุดชะงักลง

$\overline{WAIT}$ (Wait) เป็นขาอินพุต แอคตีฟที่ลอจิก "0" เป็นสัญญาณเพื่อชี้ว่าการส่งถ่ายข้อมูลระหว่างไมโครโปรเซสเซอร์และหน่วยความจำ หรืออุปกรณ์อินพุต/เอาต์พุตยังไม่เรียบร้อย และให้ไมโครโปรเซสเซอร์หยุดรอ ตราบเท่าที่ขานี้ยังแอคตีฟอยู่ ดังนั้นสัญญาณนี้จะใช้เพื่อให้หน่วยความจำหรืออุปกรณ์อินพุต/เอาต์พุตที่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความเร็วใดๆ สามารถทำงานให้เข้าจังหวะกันได้พอดี (Synchronized) กับไมโครโปรเซสเซอร์

$\overline{INT}$ (Interrupt Request) เป็นขาอินพุตแอคตีฟที่ลอจิก "0" สัญญาณ $\overline{INT}$ นี้ เป็นสัญญาณที่สร้างมาจากอุปกรณ์อินพุต/เอาต์พุต เพื่อต้องการอินเตอร์รัพต์การทำงานตามปกติของไมโครโปรเซสเซอร์ สัญญาณร้องขอนี้จะถูกตรวจสอบเมื่อถึงสเตทสุดท้ายของคำสั่ง และไมโครโปรเซสเซอร์จะจดจำไว้ ถ้าหากว่าโปรแกรมกำหนดให้มีการยอมรับสัญยาณการอินเตอร์รัพต์ได้ (Enable Interrupt) โดย IFF1 ถูกเซตเป็น "1" และไม่มีการขอใช้บัสเสียก่อน คือขา $\overline{BUSRQ}$ ต้องไม่แอคตีฟ เมื่อไมโครโปรเซสเซอร์รับสัญญาณอินเตอร์รัพต์ มันจะตอบสนองโดยการส่งสัญญาณ $\overline{IORQ}$ ออกมาในช่วงเวลา $\overline{M1}$ เพื่อเป็นการตอบรับการอินเตอร์รัพต์ (Interrupt Acknowledge) ในช่วงไซเกิลของคำสั่งต่อมา

$\overline{NMI}$ (Non Maskable Interrupt) เป็นขาอินพุตและแอคตีฟที่ขอบฟัลช์ขาลง (Negative edge Trigger) สัญญาณที่ขา $\overline{NMI}$ นี้มีลำดับความสำคัญสูงกว่าสัญญาณที่ขา $\overline{INT}$ ไมโครโปรเซสเซอร์จะทำการตรวจสอบขานี้ที่สเตทสุดท้ายของคำสั่ง เช่นเดียวกับขา $\overline{INT}$ แต่จะไม่ขึ้นอยู่กับ IFF เมื่อไมโครโปรเซสเซอร์ได้รับสัญญาณที่ขา $\overline{NMI}$ จะทำให้เริ่มต้นการทำงานใหม่ที่ตำแหน่ง 0066H ส่วนค่าในโปรแกรมเคาน์เตอร์ที่ชี้ตำแหน่งของคำสั่งต่อไปก่อนที่ซีพียูจะถูกอินเตอร์รัพต์จะเก็บไว้ในสแตค (ที่ RAMX เพื่อที่ซีพียูสามารถกลับมาทำงานต่อได้หลังจากที่ทำโปรแกรมบริการการอินเตอร์รัพต์เสร็จสิ้นแล้ว ในขณะที่ซีพียูอยู่ในจังหวะ Wait มันจะไม่รับสัญญาณ $\overline{NMI}$ นี้ สัญญาณ $\overline{NMI}$ มีลำดับความสำคัญต่ำกว่าสัญญาณ $\overline{BUSRQ}$ ดังนั้นในขณะที่ซีพียูกำลังทำโปรแกรมบริการการอินเตอร์รัพต์อยู่ มันสามารถรับสัญญาณ $\overline{BUSRQ}$ ได้

$\overline{RESET}$ เป็นอินพุต แอคตีฟเมื่อลอจิก "0" เมื่อไมโครโปรเซสเซอร์ได้รับสัญญาณ $\overline{RESET}$ จะทำให้ค่าในโปรแกรมเคาน์เตอร์เริ่มจ้นที่ศูนย์ และตั้งต้นการทำงานของไมโครโปรเซสเซอร์ใหม่ และในส่วนอื่นจะเป็นดังนี้

1. จัดอินเตอร์รัพต์ฟลิปฟลอบ (IFF) ให้อยู่ในสภาพที่ไม่ยอมรับการอินเตอร์รัพต์แบบมาสเคเบิล (IFF1 = IFF2 = 0)
2. เซตรีจิสเตอร์ I = 00H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. เซตรีจิสเตอร์ R = 00H

4. เซตให้เป็นการอินเตอร์รัพต์ โหมด 0

ในช่วงเวลาของกจรรีเซต บัสข้อมูล บัสตำแหน่ง จะอยู่ในสภาวะอิมพีแดนซ์สูง ส่วนบัสควบคุมจะอยู่ในสภาพที่ไม่แอคตีฟ (Inactive)

$\overline{\text{BUSRQ}}$ (Bus Request) เป็นขาอินพุตแอคตีฟที่ระดับ "0" สัญญาณ $\overline{\text{BUSRQ}}$ นี้มีผลทำให้บัสตำแหน่งบัสข้อมูล และสัญญาณควบคุมที่เป็นขาเอาต์พุตแบบสามสถานะอยู่ในสภาวะอิมพีแดนซ์สูงจากนั้นบัสต่างๆ จะถูกควบคุมที่เป็นขาเอาต์พุตแบบสามสถานะ อยู่ในสภาวะอิมพีแดนซ์สูง จากนั้นบัสต่างๆ จะถูกควบคุมโดยอุปกรณ์ภายนอก ไมโครโปรเซสเซอร์จะตรวจสอบสัญญาณการขอใช้บัสนี้ทุกๆ สเตทสุดท้ายของทุกๆ แมชีนไซเกิลของคำสั่ง และเมื่อพบการขอใช้บัสซีพียูจะตอบสนองในไซเกิลถัดไป

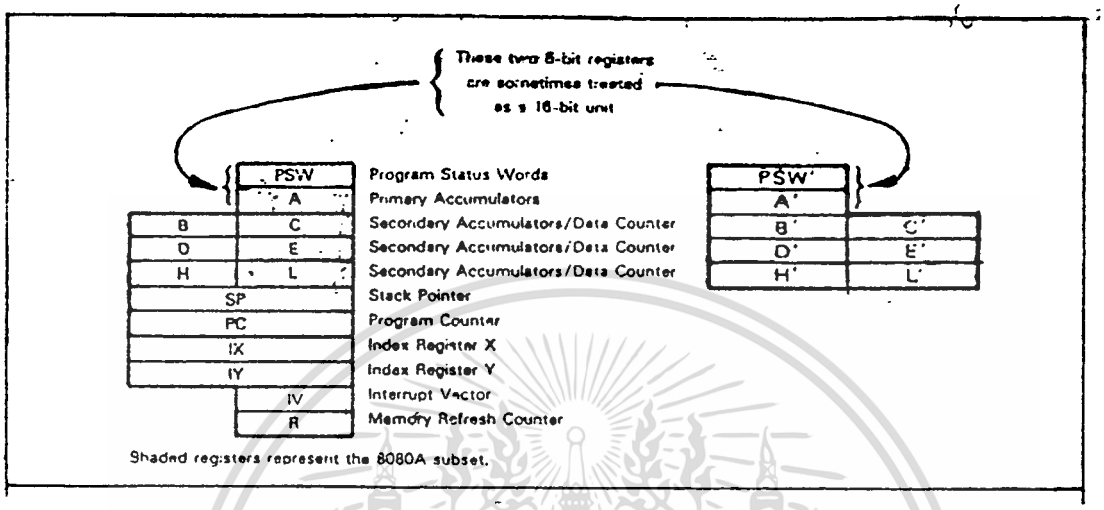
$\overline{\text{BUSAK}}$ (Bus Acknowledge) เป็นขาเอาต์พุตแอคตีฟที่ระดับ "0" สัญญาณนี้ใช้สำหรับตอบรับการขอใช้บัส และแสดงว่าขณะนี้บัสตำแหน่ง บัสข้อมูล และสัญญาณควบคุมที่เป็นเอาต์พุตแบบสามสถานะอยู่ในสภาวะอิมพีแดนซ์สูงแล้ว อุปกรณ์ควบคุมภายนอกสามารถเข้ามาควบคุมบัสได้

Φ เป็นขาที่รับสัญญาณนาฬิกาซึ่งเป็นเพียงเฟสเดียว ใช้ระดับสัญญาณแบบ TTL และต้องการตัวต้านทานเพื่อ Pull up ค่า 330 โอห์ม หนึ่งตัว เพื่อต่อกับแหล่งจ่ายไฟ 5 โวลท์ Z-80 ทำงานได้ที่สัญญาณนาฬิกาไม่เกิน 2.5 MHz Z-80A ทำงานได้ไม่เกิน 4 MHz และ Z-80B ทำงานได้ไม่เกิน 6 MHz

รีจิสเตอร์ต่างๆ ใน Z-80 CPU

Z80 CPU จะประกอบไปด้วยรีจิสเตอร์ถึง 32 ตัวดังรูป 2.7 รีจิสเตอร์เหล่านี้จะแบ่งได้เป็น 2 กลุ่มคือ รีจิสเตอร์ที่ทำหน้าที่ทั่วๆไป และรีจิสเตอร์ที่ทำหน้าที่เฉพาะงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 Register ต่าง ๆ ภายใน Z-80

1. รีจิสเตอร์ที่ทำหน้าที่ทั่วๆไป แบ่งเป็นรีจิสเตอร์หลัก ได้แก่ A, B, C, D, E, H และ L มีความจุขนาด 8 บิท รีจิสเตอร์เหล่านี้ใช้เก็บข้อมูลชั่วคราว นอกจากนี้ยังสามารถรับข้อมูล จากหน่วยความจำหรืออาจจะทำการย้ายข้อมูลไปเก็บไว้ในหน่วยความจำก็ได้ และรีจิสเตอร์สำรองได้แก่ A', B', C', D', E', H' และ L' ซึ่งเป็นรีจิสเตอร์ที่ทำหน้าที่เก็บข้อมูลที่มาจากรีจิสเตอร์หลัก ในกรณีที่ต้องใช้รีจิสเตอร์หลักในการทำงานอย่างอื่นก่อน ดังนั้นรีจิสเตอร์กลุ่มนี้จึงไม่สามารถกระทำขบวนการทางคณิตศาสตร์และลอจิกได้

รีจิสเตอร์ A เรียกว่า แอคคิวมูเลเตอร์ (ACCUMULATOR) ทำหน้าที่เก็บข้อมูลชั่วคราวที่ได้จากการทำขบวนการทางคณิตศาสตร์ เช่น บวกหรือลบข้อมูล 2 จำนวน ผลลัพท์ที่ได้จะเก็บไว้ในรีจิสเตอร์ A นี้ นอกจากนี้ ในการปฏิบัติตามคำสั่งที่ใช้กับข้อมูล 16 บิท Z80 จะนำเอารีจิสเตอร์แผลก "F" (FLAG REGISTER) มาใช้ร่วมกับรีจิสเตอร์ A เรียกว่าคู่รีจิสเตอร์ AF ซึ่งมีขนาด 16 บิท นอกจากนี้ยังมีคู่รีจิสเตอร์ 16 บิท อื่นๆ คือ BC, DE และ HL

2. รีจิสเตอร์ที่ใช้งานเฉพาะอย่าง ได้แก่ รีจิสเตอร์ I, R, IX, IY, SP และ PC ซึ่งทำหน้าที่ต่างๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์ I (INTERRUPT PAGE ADDRES REGISTER) เมื่อมีการอินเทอร์รัพท์เกิดขึ้น จำเป็นต้องบอก

รีจิสเตอร์ R (MEMORY-REFRESH REGISTER) เป็นรีจิสเตอร์ขนาด 7 บิท ที่ถูกใช้ในการรีเฟรช (REFRESH) DYNAMIC RAM และค่ารีจิสเตอร์ R จะเพิ่มขึ้นเองโดยอัตโนมัติ ในทุกๆ ครั้งที่มีการเฟทช์คำสั่งจากหน่วยความจำ รายละเอียดเกี่ยวกับ DYNAMIC RAM จะกล่าวถึงในบทที่ 5

รีจิสเตอร์ IX และ IY (INDEX REGISTER) เป็นรีจิสเตอร์ที่มีขนาด 16 บิท มีประโยชน์ใช้บ่งบอกตำแหน่งในหน่วยความจำแบบ INDEX ADDRESSING MODE โดยจะกำหนดให้ค่าใน INDEX REGISTER เป็นค่าอ้างอิง แล้วใช้คำสั่งบ่งบอกว่าตำแหน่งของข้อมูลที่ต้องการอยู่ห่างจากค่าอ้างอิงนี้เท่าใด โดยจะบอกค่าระยะห่างในรูปของ TWO COMPLEMENT

รีจิสเตอร์ SP (STACK POINTER) มีขนาด 16 บิท ในหน่วยความจำชนิด RAM จะมีส่วนหนึ่งที่ถูกกำหนดให้เป็นที่เก็บข้อมูลชั่วคราว ส่วนที่เรียกว่าสแตก (STACK) ซึ่งมีลักษณะการเก็บข้อมูลแบบ LIFO (LAST IN FIRST OUT) เราสามารถที่จะเก็บข้อมูลแบบสแตกโดยใช้คำสั่ง PUSH และเมื่อต้องการดึงข้อมูลออกจากสแตกต้องใช้คำสั่ง POP

รีจิสเตอร์ PC (PROGRAM ตำแหน่งของหน่วยความจำที่เก็บโปรแกรมตอบสนองการอินเตอร์รัพท์รีจิสเตอร์ I จะทำหน้าที่เก็บค่า 8 บิทบนของตำแหน่งข้อมูลในหน่วยความจำ ส่วนค่า 8 บิทล่างจะป้อนจากภายนอกให้แก่ CPU ค่าทั้งสองจะประกอบกันเป็นค่าแอดเดรสที่ระบุตำแหน่งของโปรแกรมตอบสนองการอินเทอร์รัพท์COUNTER) เป็นรีจิสเตอร์ขนาด 16 บิทที่ใช้ในการเก็บตำแหน่งของหน่วยความจำที่ CPU จะเฟทช์ (FETCH) คำสั่งหลังจากที่เฟทช์คำสั่งเรียบร้อยแล้ว ค่าในรีจิสเตอร์ PC จะเพิ่มขึ้น และจะชี้ไปยังตำแหน่งของคำสั่งถัดไป เราจะสามารถเปลี่ยนแปลงค่าใน PC ได้โดยใช้คำสั่ง CALL หรือ JUMP

รีจิสเตอร์ F (FLAG REGISTER) ประกอบด้วย

SIGN FLAG (S) : แฟลกเครื่องหมาย

ZERO FLAG (Z) : แฟลกศูนย์

HALF CARRY FLAG (H) : แฟลกทดครึ่ง

PARITY/OVERFLOW FLAG (P/V) : แฟลกพาริตีหรือโอเวอร์โฟล์ว

SUBTRACT FLAG (N) : แฟลกลบ

CARRY FLAG (C) : แฟลกตัวทด

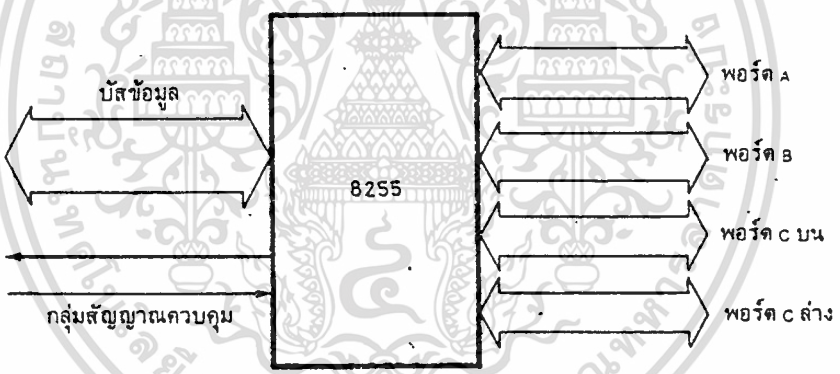
ผู้ผลิต Z80 ได้นำเอาแฟลกเหล่านี้มาประกอบร่วมกับ บิทว่าง (X : ไม่มีความหมาย) อีก 2 บิท เพื่อทำเป็นรีจิสเตอร์ขนาด 8 บิท สำหรับรายละเอียดของแฟลกเหล่านี้จะไม่ขอกล่าวถึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.42 ความรู้ทั่วไปเกี่ยวกับ 8255

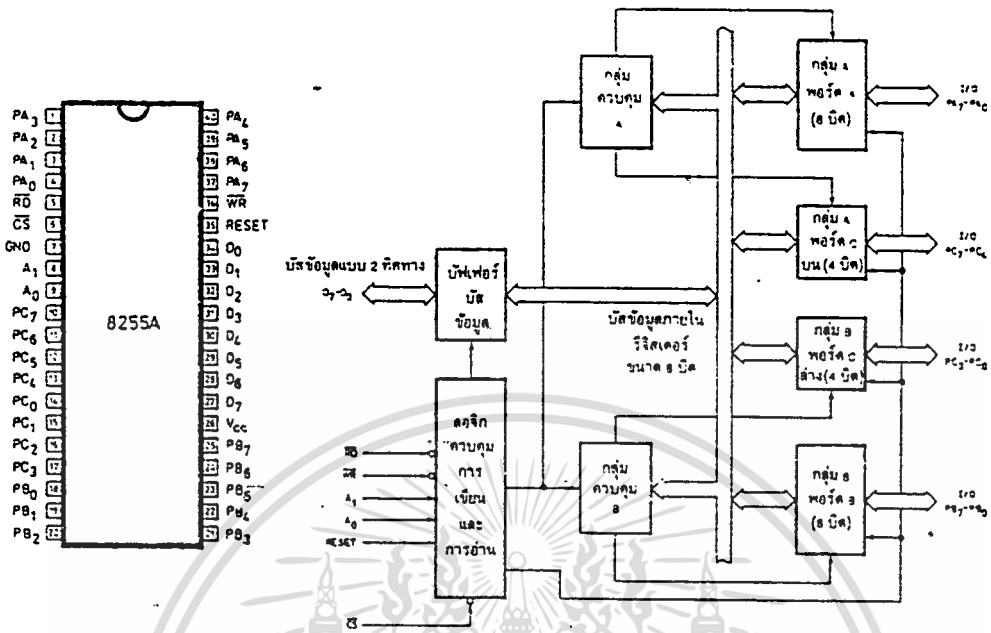
เป็นไอซีขนาด 40 ขา มีพอร์ตให้ใช้งานถึง 3 พอร์ต (เป็นขนาด 8 บิท) พอร์ท A, พอร์ท B, พอร์ท C โดยพอร์ท C นี้สามารถแยกได้เป็น 2 ส่วนคือ พอร์ท C บนตั้งแต่ PC4-PC7 จำนวน 4 บิท และพอร์ท C ล่างตั้งแต่ PC0-PC3 โดยพอร์ททุกพอร์ท (A,B,C) สามารถโปรแกรมได้ให้เป็นอินพุทหรือเอาท์พุท ซึ่งจะได้กล่าวถึงการโปรแกรมในรายละเอียดต่อไป การนำเอาไมโครโปรเซสเซอร์ไปใช้งานนั้น จำเป็นต้องให้ไมโครโปรเซสเซอร์ติดต่อกับโลกภายนอกซึ่งก็คือให้มันสามารถส่งสัญญาณมาควบคุมอุปกรณ์ต่างๆ ได้

ส่วนที่ทำให้ไมโครโปรเซสเซอร์ติดต่อกับโลกภายนอกได้ที่เรารู้จักกันคือ พอร์ท (PORT) ซึ่งมีอยู่หลายลักษณะด้วยกัน ดังรูปที่ 2.8



รูปที่ 2.8 แผนผังโครงสร้างของไอซี 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 แผนผังวงจรภายในและการจัดขาของไอซี 8255

จากรูปที่ 2.9 จะเห็นโครงสร้างภายในที่แสดงถึงกลุ่มควบคุมที่มีอยู่ 3 กลุ่ม คือ

- กลุ่มควบคุมชุด A จะควบคุมพอร์ท A และพอร์ท C บน
- กลุ่มควบคุมชุด B จะควบคุมพอร์ท B และพอร์ท C ล่าง
- กลุ่มควบคุมลอจิกการเขียนและอ่าน

การทำงานของ 8255 จะใช้สัญญาณควบคุมจากตัวไมโครโปรเซสเซอร์ มาควบคุมโดยจะมีการส่งคำสั่ง (Control word) มาที่กลุ่มควบคุมชุด A, B แล้วกลุ่มควบคุมชุดนี้ก็จะสั่งต่อไปที่พอร์ท เพื่อให้เป็นไปตามข้อกำหนดของคำสั่งนั้นๆ เช่น ให้พอร์ท A เป็นอินพุทพอร์ท B เป็นเอาท์พุทพอร์ทเหล่านี้เป็นต้น ส่วนกรณีเมื่อมีการอ่านเขียนพอร์ทจาก CPU นั้น กลุ่มควบคุมลอจิกการเขียนอ่านจะเป็นตัวที่ส่งสัญญาณไปบอกแก่กลุ่มควบคุมชุดในแต่ละชุดอีกที ทั้งนี้แล้วแต่ว่า CPU จะมีการอ่านเขียนพอร์ทของกลุ่มควบคุมชุดใด

ขาต่างๆของไอซี 8255

เพื่อให้เข้าใจวิธีการต่อใช้งานระหว่าง z-80 กับ 8255 จึงจำเป็นต้องเข้าใจความหมายและตำแหน่งของขาต่าง ๆ เสียก่อน ขาทั้ง 40 ขาของไอซีประกอบด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D_0-D_7 เป็นขาที่ข้อมูลอินพุตเอาต์พุตจะต้องผ่านเข้าออกจากส่วนนี้ D_0-D_7จึงต่อเข้ากับระบบบัสของไมโครโปรเซสเซอร์ เพื่อให้ไมโครโปรเซลเซอร์สามารถอ่านและเขียนข้อมูลจากพอร์ตผ่านทางบัสนี้

CS(สัญญาณเลือกชิป) ขานี้เป็นอินพุตที่จะรับสัญญาณจากภายนอกเพื่อเลือกชิป 8255โดยเมื่อขานี้เป็น "0" จะทำให้ 8255 ต่อเข้ากับระบบบัสของไมโครโปรเซสเซอร์ เพื่อให้ไมโครโปรเซสเซอร์เขียนหรืออ่านข้อมูลพอร์ตได้

RD (สัญญาณการอ่าน) เป็นสัญญาณอินพุทที่ต้องส่งมาจากซีพียู เมื่อสัญญาณที่ขานี้เป็น "0"และสัญญาณ CS เป็น"0"ด้วย ไอซี 8255จะทำให้ตัวซีพียูอ่านข้อมูลจากบัสในขณะที่เป็นพอร์ตอินพุท

WR เป็นสัญญาณการเขียนจะแอคตีฟเมื่อสัญญาณWR และสัญญาณ CS เป็น "o"สัญญาณนี้มาจากซีพียูเมื่อต้องการเขียนข้อมูลลงในพอร์ตที่กำหนด

A_0-A_1(สัญญาณแอดเดรส) ลอจิกของสัญญาณทั้งสองจะถอดรหัสออกเป็น 4 รหัส เพื่อกำหนดรีจิสเตอร์ภายในที่เชื่อมต่อกับพอร์ตอินพุตเอาต์พุตของ 8255

RESET (สัญญาณรีเซต) เป็นสัญญานที่ส่งจากภายนอกเข้ามาทำการรีเซต 8255 เพื่อเคลียร์สถานะต่างๆ ของ 8255เมื่อ 8255 ได้รับการรีเซตก็จะกลับเข้าสู่โหมดอินพุต หรือทุกพอร์ตที่เป็นพอร์ตอินพุต

PA_0-PA_7เป็นสัญญาณที่เป็นพอร์ตของ8255ที่ชื่อพอร์ต A การเลือกพอร์ตจะเลือกโดยสัญญาณแอดเดรส A_0-A_1

PB_0-PB_7 เป็นสายสัญญาณที่เป็นพอร์ต Bของ8255 ถูกเลือกโดยสัญญาณแอดเดรสA_0-A_1

PC_0-PC_7 สายสัญญาณที่เป็นพอร์ต C ของ 8255 การกำหนดพอร์ตนี้ได้รับจากการกำหนดโดยสัญญาณแอดเดรสA_0-A_1พอร์ตC นี้แบ่งเป็น2 กลุ่มคือ กลุ่ม P_0C-PC_3 และกลุ่ม PC_4-PC_7

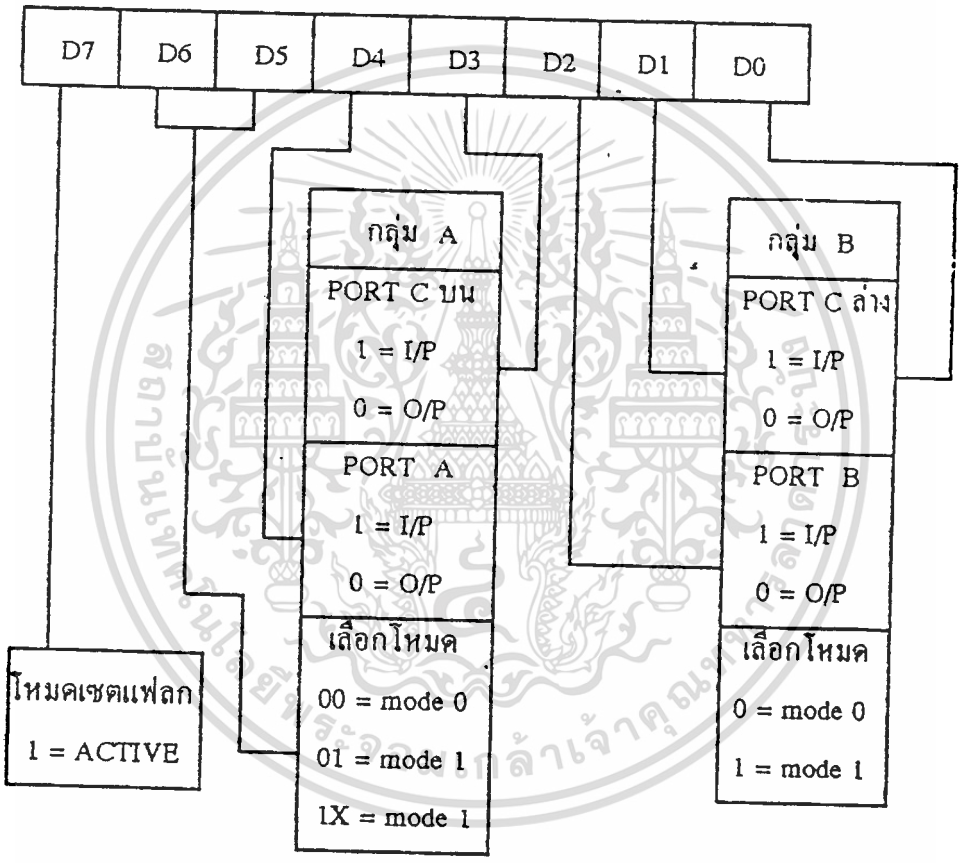
การโปรแกรม 8255

เราได้ทราบแล้วในรูปที่ 2.9 ว่าโครงสร้างภายในของ 8255 มีกลุ่มควบคุมชุดอยู่ 3 กลุ่มซึ่งทั้ง 3 กลุ่มนี้จะทำงานร่วมกันดังที่กล่าวมาและเราสามารถจะควบคุมการทำงานของพอร์ทจาก CPU โดยสั่งงานมาที่กลุ่มควบคุมดังกล่าว แต่ตัว CPU จะมองเห็น 8255 เป็น 4 พอร์ทด้วยกันโดยแต่ละ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ทเสมือนเป็นรีจิสเตอร์ที่ CPU สามารถจะทำการอ่าน/เขียนได้ซึ่งหากมีการอ่านเขียนไปยังพอร์ทดังกล่าวก็จะใช้ร่วมกับสัญญาณ $\overline{RD}$ โดยสัญญาณ $\overline{WR}$ หมายถึง เอาท์พุทข้อมูล และ $\overline{RD}$ แอคทีฟ หมายถึง อินพุทข้อมูล

การใช้งานเราจะต้องส่งรหัสควบคุม (Control Code) เข้าไปยังพอร์ทควบคุม (หรือเรียกอีกอย่างว่ารีจิสเตอร์ควบคุม) ซึ่งจะเป็นข้อมูลขนาด 1 ไบท์ส่งไปที่ แอดเดรส 13H (กรณีนี้เราถอดรหัสไว้ที่ 13H) โดยความหมายของแต่ละบิทที่เราไปโปรแกรม การทำงานเป็นดังนี้



รูปที่ 2.10 ความหมายของบิทต่างๆ ในรหัสควบคุม

บิท D_7 เป็นบิทที่แสดงรหัสคำสั่งควบคุม ถ้าบิทนี้เป็น"1"หมายถึงรหัสควบคุมนี้จะมีผลต่อการเปลี่ยนแปลงการเซตโหมดต่าง ๆ ของ 8255

บิท D_6 และ D_5 เป็นการเลือกโหมดของพอร์ตA ซึ่งมี 3 โหมดคือโหมด 0 โหมด 1 และโหมด 2 ดังรูป

บิท D_4 ถ้ามีค่าเป็น"0"หมายถึงการกำหนดพอร์ตA เป็นเอาต์พุต ถ้ามีค่าเป็น "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะหมายถึงการกำหนดให้พอร์ต A เป็นอินพุต

บิท D_3 เป็นบิทที่บอกถึงการเซตของพอร์ต C บน ถ้าเป็น"0"จะทำให้พอรต์ C บนเป็นเอาท์พุต

บิท D_2 เป็นบิทที่บอกถึงการเซตโหมดของพอร์ต B ถ้าเป็น"0"หมายถึงการเลือกพอร์ต B เป็นโหมด 0 และถ้าเป็น "1" หมายถึงการเลือกโหมด 1

บิท D_1 เป็นการกำหนดอินพุตเอาท์พุตของพอร์ต Bถ้าเป็น"0"หมายถึงเอาท์พุต ถ้าเป็น "1" หมายถึงอินพุต

บิท D_0 เป็นการกำหนดอินพุตเอาท์พุตของพอร์ตC ล่างถ้าเป็น"0" หมายถึงเอาต์พุต ถ้าเป็น "1" หมายถึงอินพุต

สัญญาณควบคุมการทำงานของ 8255

RD	WR	A1	A0	ความหมาย
1	0	0	0	เขียนพอร์ต A ซึ่งเป็นข้อมูล
0	1	0	0	อ่านพอร์ต A ซึ่งเป็นข้อมูล
1	0	0	1	เขียนพอร์ต B ซึ่งเป็นข้อมูล
0	1	0	1	อ่านพอร์ต B ซึ่งเป็นข้อมูล
1	0	1	0	เขียนพอร์ต C ซึ่งเป็นข้อมูล
0	1	1	0	อ่านพอร์ต C ซึ่งเป็นข้อมูล
1	0	1	1	เขียนข้อมูลซึ่งเป็นรหัสควบคุม
0	1	1	1	อ่านเข้ามาซึ่งไม่มีความหมายใด

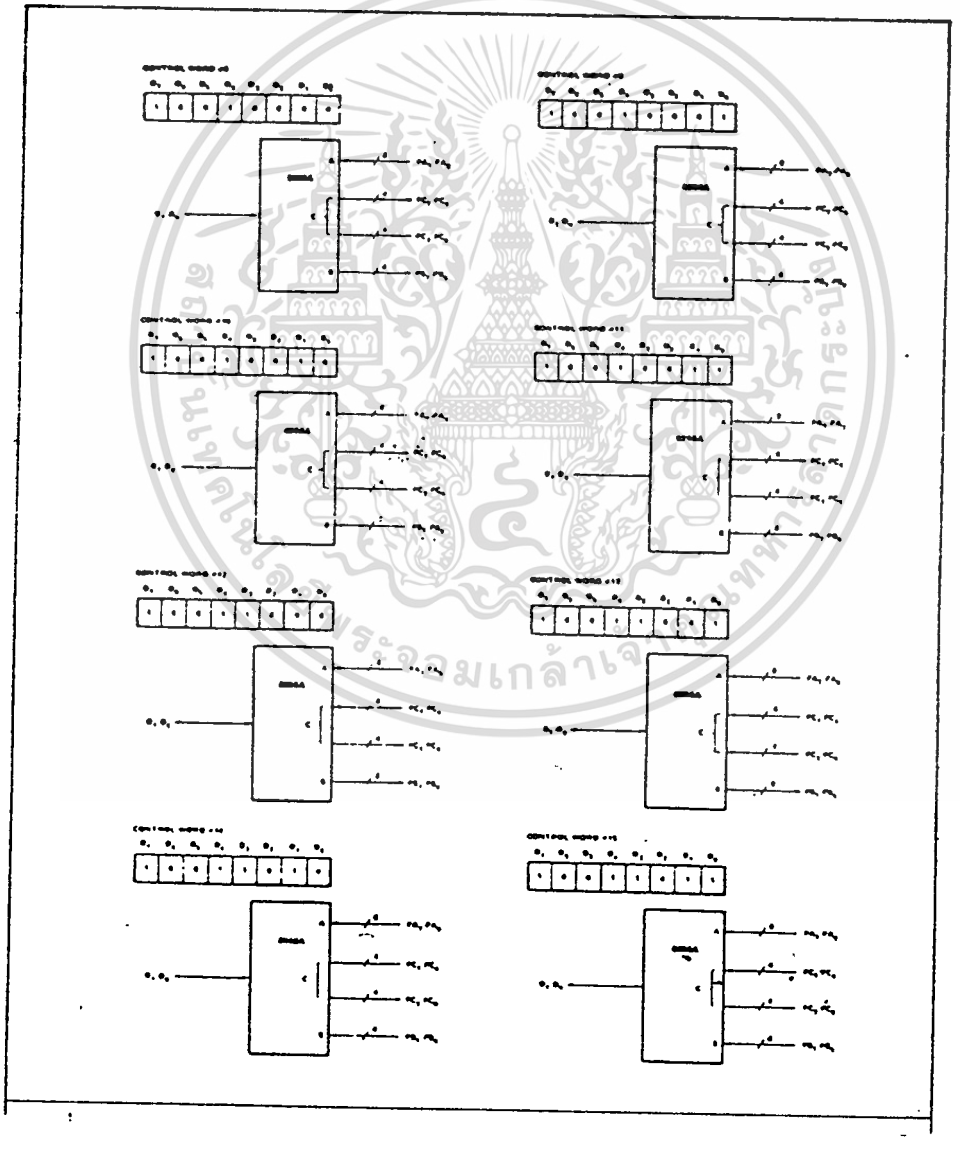
การใช้งาน 8255 จะต้องส่งรหัสควบคุม [control code] เข้าไปยังพอร์ตข้อมูลควบคุมเพื่อคุมการทำงานของ 8255 โดยใช้สัญญาณการควบคุมหมายเลข 13H การควบคุมการทำงานของ 8255 มีหลายโหมด แต่ละโหมดจะแตกต่างกันออกไป การโปรแกรมให้ 8255 ทำงานจะทำได้ 3 โหมดคือ โหมด 0 โหมด 1 และโหมด 2. แต่ในที่นี้จะกล่าวถึงในเฉพาะโหมด 0 เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

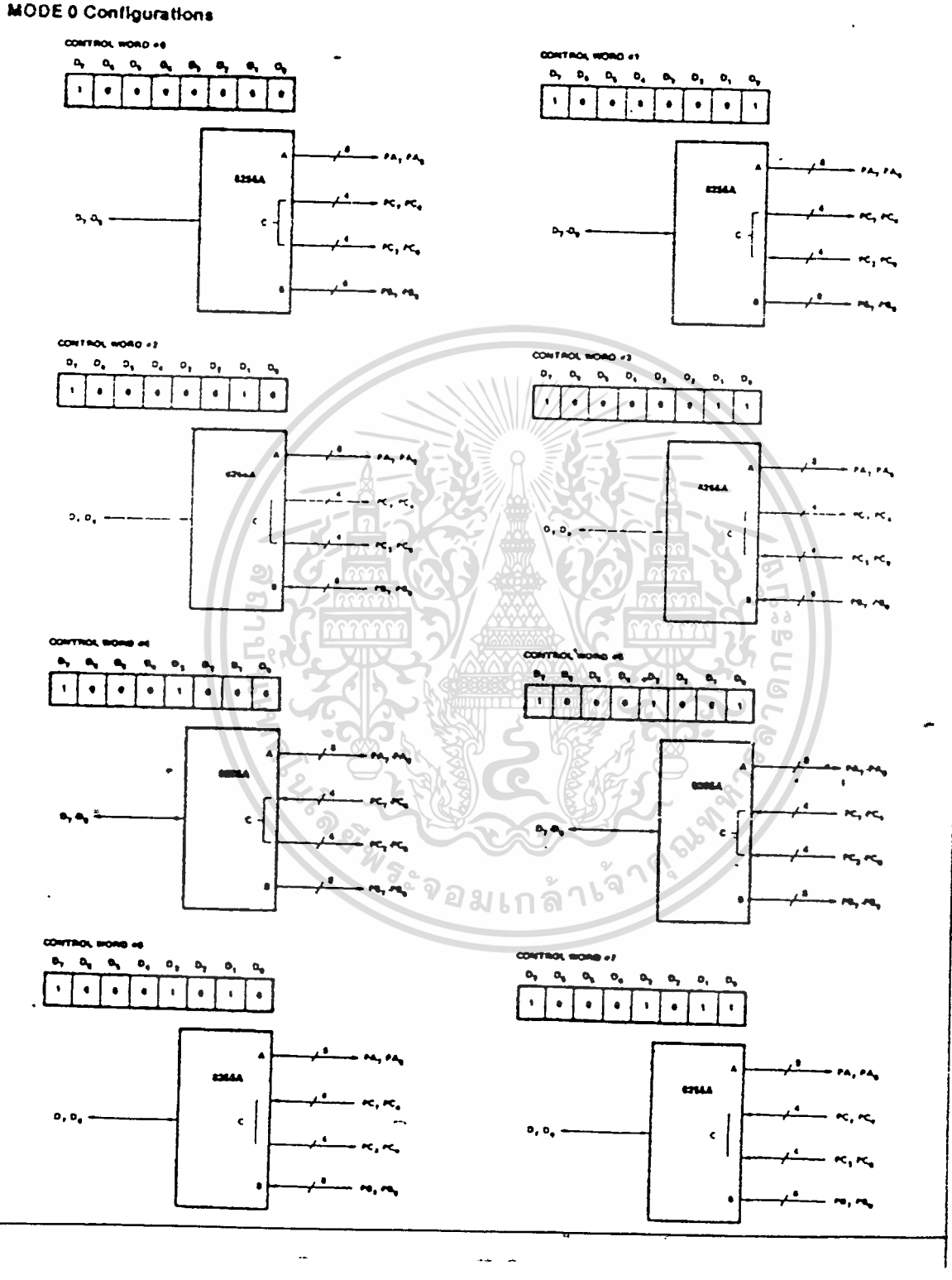
การทำงานของ 8255 ในโหมด 0

โหมด 0 หรืออินพุตเอาต์พุตแบบพื้นฐาน

การกำหนดโหมดการทำงาน จะต้องส่งขอ้มูลคำสั่งเข้าโปรแกรมในโหมดควบคุมของ 8255 ซึ่งในที่นี้โหมดหมายเลข 13H แต่ละบิตของข้อมูลที่ส่งไปจะมีความหมายในตัวเอง ลักษณะความหมายแต่ละบิตลักษณะควบคุมแสดงดังรูป การโปรมแกรม 8255 คือ การให้ค่ารหัสบิตต่าง ๆ เข้าไปในรหัสควบคุมแล้วส่งไปยังรีจิสเตอร์ของพอร์ตควบคุม

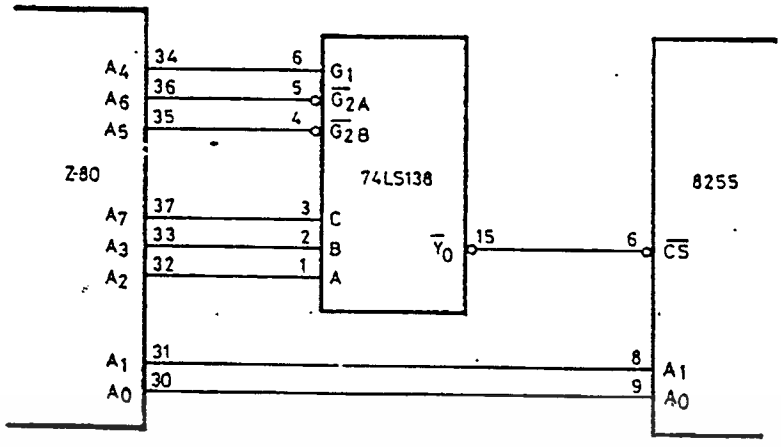


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



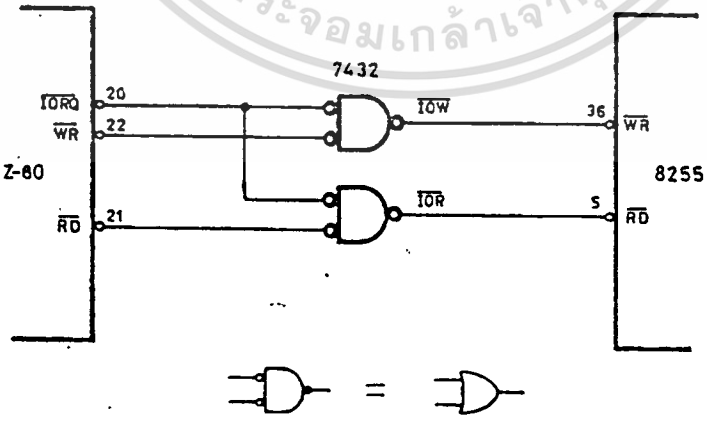
รูปที่ 2.11 ลักษณะการควบคุมแบบต่างๆ ในโหมด 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 การกำหนดแอดเดรสให้กับ 8255

สังเกตว่าขณะสัญญาณ $\overline{CS}$ แอคทีฟสัญญาณที่แอดเดรส A_7,A_6,A_5,A_4,A_3,A_2 จะต้องมีข้อมูล 00100 และเมื่อรวมกับ A_1,A_0 จะเป็น 000100XX พอร์ทที่เกิดขึ้นเมื่อ A_0,A_1 เป็น 00 คือ พอร์ท 10H และถ้า A_1,A_0 เป็น 11 พอร์ทจะเป็น 13H การกำหนดพอร์ทของ Z-80 จะใช้ข้อมูลบนแอดเดรส 8 เส้นคือ A_0,A_7 เท่านั้น สัญญาณที่จะควบคุม 8255 ยกชุดหนึ่งคือสัญญาณควบคุมการเขียนและการอ่าน หากสัญญาณ $\overline{WR}$ แอคทีฟเป็น "0" จะหมายถึง การเขียนพอร์ทหรือส่งข้อมูลให้พอร์ทเอาท์พุท แต่ถ้าสัญญาณ $\overline{RD}$ แอคทีฟเป็น "0" จะหมายถึง การอ่านพอร์ทหรือรับข้อมูลอินพุท

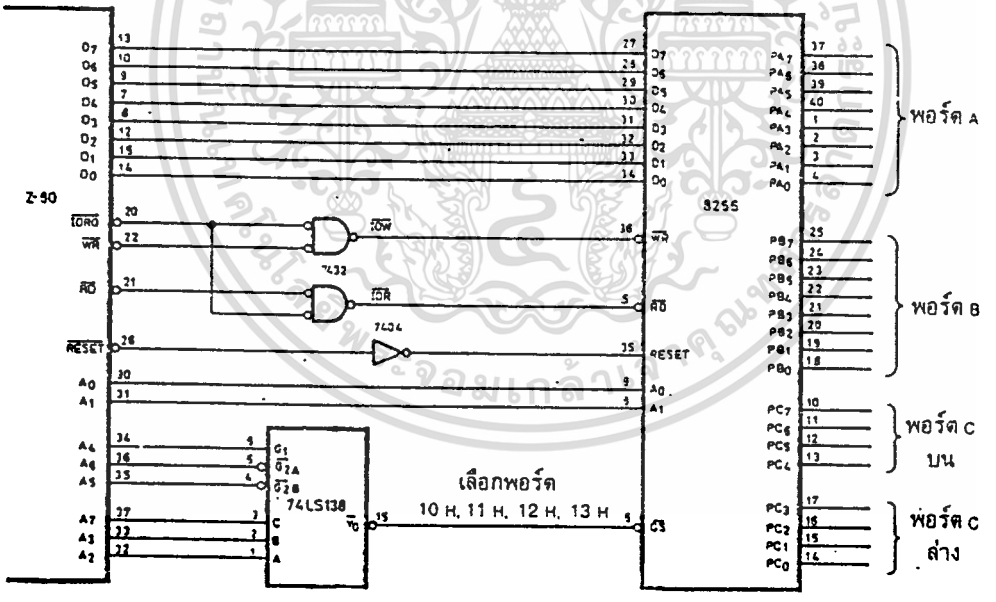


รูปที่ 2.13 วงจรการเชื่อมต่อสายสัญญาณควบคุมการเขียนและการอ่าน 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้แยกกันระหว่างการเขียนและการอ่านหน่วยความจำกับการเขียนและการอ่านพอร์ทอินพุทเอาท์พุท จึงต้องใช้สัญญาณ $\overline{IORQ}$ ร่วมด้วย กล่าวคือถ้าสัญญาณ $\overline{WR}$ เกิดขึ้นพร้อมกับสัญญาณ $\overline{IORQ}$ จะหมายถึงสัญญาณ IOW หรือสัญญาณเขียนพอร์ท และถ้าให้สัญญาณ $\overline{IORQ}$ แอคทีฟพร้อมกับสัญญาณ $\overline{RD}$ จะหมายถึงสัญญาณ $\overline{IOR}$ หรือสัญญาณอ่านพอร์ท ซึ่งการเชื่อมต่อสายสัญญาณควบคุมการเขียนและการอ่าน 8255 แสดงดังรูปที่ 2.16

เมื่อเชื่อมต่อระบบ จะต้องมีการเชื่อมสัญญาณ RESET ของ Z-80 มายังขา RESET ของ 8255 การรีเซตของ 8255 ใช้ "1" ซึ่งตรงข้ามกับ Z-80 ดังนั้นจำเป็นต้องมี อินเวอร์เตอร์เปลี่ยนลอจิกก่อน การที่ต้องรีเซต 8255 พร้อมกับ Z-80 ก็เนื่องจากว่า ขณะที่ Z-80 รีเซตเราจะเริ่มจากให้พอร์ทุกพอร์ทของ 8255 เป็นอินพุทเพื่อว่าอาจจะมีข้อมูลบางส่วน ไปออกที่พอร์ทเอาท์พุทในขณะที่เรายังไม่ต้องการ ซึ่งอาจจะมีระบบอินเตอร์เฟสภายนอกมีปัญหาได้ เพราะเราไม่รู้สถานะที่แน่นอนของ 8255 ก่อนการโปรแกรมโหมดการทำงาน ระบบการเชื่อมต่อของ 8255 กับ Z-80 ทั้งระบบแสดงดังรูปที่ 2.14



รูปที่ 2.14 การเชื่อมต่อ 8255 กับ Z-80 ทั้งระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.43 ความรู้ทั่วไปเกี่ยวกับหน่วยความจำ

หน่วยความจำในระบบคอมพิวเตอร์ทั้งหลาย คือ อุปกรณ์อิเล็กทรอนิกส์ที่ใช้ในการจดจำข้อมูล ซึ่งข้อมูลที่หน่วยความจำจำได้นี้ จะอยู่ในรูปของสัญญาณแม่เหล็กหรือสัญญาณไฟฟ้า ที่สามารถแสดงได้ว่าข้อมูลที่มีอยู่นั้นมีสภาวะเป็น 0 หรือ 1

ในยุคก่อน หน่วยความจำในระบบคอมพิวเตอร์ส่วนใหญ่จะเป็นสารแม่เหล็ก (Magnetic Core Memory) คือใช้แกนเฟอร์ไรท์และใช้ทิศทางของสนามแม่เหล็กเป็นตัวบอกให้ทราบว่าขณะนั้นเป็นสภาวะ 0 หรือ 1 แต่ในปัจจุบันหน่วยความจำได้วิวัฒนาการมาใช้อุปกรณ์สารกึ่งตัวนำ (Semiconductor Memory) ซึ่งมีคุณสมบัติที่เหนือกว่าในหลายๆด้าน ดังนั้นในที่นี้จะกล่าวถึงแต่หน่วยความจำแบบสารกึ่งตัวนำเท่านั้น คุณลักษณะของหน่วยความจำแบบนี้คือ

1. Nondestructive readout คือเมื่อทำการอ่านข้อมูลจากหน่วยความจำแล้ว ข้อมูล ณ ที่ตำแหน่งนั้นจะไม่มีการเปลี่ยนแปลง (หน่วยความจำแบบ Magnetic core ข้อมูลจะมีการเปลี่ยนแปลงหลังการอ่าน) ดังนั้นจึงไม่จำเป็นต้องทำการเขียนข้อมูลกลับเข้าไปอีก
2. Volatile คือความต้องการไฟเลี้ยง หน่วยความจำที่สามารถเขียนหรืออ่านได้ เช่น หน่วยความจำแบบแรม ข้อมูลจะหายไปเมื่อไม่มีไฟเลี้ยงหน่วยความจำ แต่หน่วยความจำประเภทที่อ่านได้อย่างเดียว เช่น รอม เป็นหน่วยความจำที่ข้อมูลจะไม่มีการเปลี่ยนแปลงแม้ว่าจะไม่มีไฟเลี้ยงก็ตาม ดังนั้นหน่วยความจำแบบ รอม จะเป็นหน่วยความจำชนิด Nonvolatile
3. Single chip form หน่วยความจำแบบสารกึ่งตัวนำนี้จะบรรจุอยู่ในชิพไอซี ซึ่งจะมีขนาดต่างๆกัน เช่นขนาดของคำ (Word length) จำนวนตำแหน่งของหน่วยความจำและโครงสร้างภายใน ส่วนการถอดรหัสตำแหน่งและการเข้าถึงข้อมูลจะเป็นส่วนที่อยู่ภายในชิพไอซีเอง

ชนิดของหน่วยความจำ

หน่วยความจำอาจแบ่งตามลักษณะการใช้ และการอ่านเขียนข้อมูลได้ 3 แบบใหญ่ๆ คือ

1. Read Only Memory (ROM)
2. Random Access Memory (RAM)
3. Serial Access Memory

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งลักษณะของหน่วยความจำทั้ง 3 แบบอาจกล่าวโดยสรุปได้ดังนี้ คือ

Read only Memory (ROM)

เป็นหน่วยความจำที่ใช้เก็บข้อมูลแบบถาวร หรือกึ่งถาวร คือข้อมูลจะต้องถูกเขียนลงไปในหน่วยความจำตั้งแต่ต้น หลังจากนั้นก็เป็นการเรียกใช้เพียงอย่างเดียวไม่สามารถแก้ไขเปลี่ยนแปลงได้อีก ดังนั้นเราจึงเรียกหน่วยความจำแบบนี้ว่า Read only หน่วยความจำแบบ รอมนี้เป็นหน่วยความจำแบบ Non volatile คือข้อมูลในรอม จะไม่สูญหายเมื่อไม่มีไฟเลี้ยง หน่วยคาวมจำรอมจะใช้ในระบบไมโครคอมพิวเตอร์ทุกเครื่อง เพื่อเก็บโปรแกรมสำหรับให้ระบบเริ่มต้นทำงานที่เรียกว่าโปรแกรมมอนิเตอร์หรือ โปรแกรม Bootstrap รอม สามารถจำแนกเป็นชนิดต่างๆ ได้ตามลักษณะของการเขียนข้อมูลเข้าไปในหน่วยความจำ ดังนี้

Mask Programmed ROM เป็น รอม ชนิดที่ได้ทำการเขียนข้อมูลเข้าไปในหน่วยความจำตั้งแต่ตอนสร้างชิพ และไม่สามารถแก้ไขข้อมูลภายในในได้อีก รอมแบบนี้จะต้องสร้างครั้งละจำนวนมากๆ เนื่องจากต้นทุนในการผลิตค่อนข้างสูง

Programmable Read Only Memory หรือ PROM หน่วยความจำแบบนี้ ผู้ใช้สามารถโปรแกรมเองได้โดยใช้กรรมวิธีจ่ายพัลส์แรงดันสูงเข้าไปทำลายฟิวส์ภายในตัวไอซีหน่วยความจำเพื่อทำให้เป็นลอจิก 0 หรือ 1 ณ ตำแหน่งที่กำหนด และเมื่อโปรแกรมเข้าไปแล้ว ไม่สามารถทำการแก้ไขได้เช่นกัน

Eraseable Programmable Read Only Memory หรือ EPROM หน่วยความจำชนิดนี้ ผู้ใช้สามารถโปรแกรมข้อมูลลงไปได้และสามารถลบได้ โดยใช้รังสี Ultra violet ฉายผ่านช่องกระจกบนตัวไอซี และหลังจากที่ทำการลบข้อมูลออกแล้วก็สามารถโปรแกรมข้อมูลใหม่ลงไปได้อีก

Electrically Alterable Read Only Memory หรือ EAROM เป็นหน่วยความจำที่สามารถโปรแกรมข้อมูลเข้าไปได้ และสามารถลบออกได้โดยใช้สัญญาณไฟฟ้า ทำให้การโปรแกรมและการลบทำได้โดยสะดวก และอาจทำได้โดยไม่ต้องถอดออกจากวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Read Access Memory (RAM)

หน่วยความจำแบบ แรม นี้ เป็นหน่วยความจำที่มีการทำงานที่ต่างจากรอม คือมันสามารถที่จะทำการเขียนหรืออ่านข้อมูลก็ได้ และในการเขียนหรืออ่านข้อมูลแต่ละคำหรือแต่ละบิท ณ ที่ตำแหน่งใดๆ ในพื้นที่ของหน่วยความจำนี้จะใช้เวลาเท่าๆกัน แต่ในกรณีของรอมการเขียนข้อมูลเข้าหน่วยความจำ จะใช้เวลามากกว่าการอ่านข้อมูลมาก หน่วยความจำแบบ แรม จะเป็นชนิด Volatile คือต้องการไฟเลี้ยงตลอดเวลา และเมื่อขาดไฟเลี้ยง ข้อมูลใน แรม จะหายไป แรม จะแบ่งออกได้เป็น 2 แบบ คือ

Static RAM หรือเรียกย่อๆ ว่า SRAM ชนิดนี้ หน่วยความจำแต่ละเซตจะใช้ลักษณะของวงจร ฟลิบฟลอบ เป็นพื้นฐาน ดังนั้นเมื่อไม่มีการเขียนข้อมูลเข้าไปใหม่ ข้อมูลนั้นๆ จะคงที่ตลอดไปตราบเท่าที่มีไฟเลี้ยงอยู่

Dynamic RAM หรือ DRAM ลักษณะของ แรม ชนิดนี้ ใช้การเก็บประจุที่ขาเกตของ MOSFET เพื่อเป็นการเก็บข้อมูล และเมื่อมีการอ่านข้อมูลออกมา ประจุที่เก็บไว้จะถูกคายออกมาและหมดไป ซึ่งถ้าเป็นเช่นนี้หน่วยความจำก็จะเป็นแบบ Destructive ดังนั้น DRAM จึงต้องมีการรีเฟรช เพื่อทำให้ข้อมูลยังคงอยู่ไม่สูญหายไปไหน ข้อดีของ DRAM ที่เหนือกว่า SRAM คือ มีความหนาแน่นของเซลหน่วยความจำสูงกว่า มีความสิ้นเปลืองกำลังต่ำกว่า และใช้เวลาในการเข้าถึงข้อมูลเร็วกว่า แต่ก็มีข้อเสียในเรื่องการที่จะต้องทำการรีเฟรช ซึ่งจะยุ่งยากในการใช้มากกว่า SRAM

Serial Access Memory

Serial Access Memory หน่วยความจำแบบนี้ใช้วิธีการเก็บข้อมูลตามลำดับก่อนหลังตามกันไป ดังนั้นเวลาอ่านก็จะต้องเรียงลำดับด้วย เช่นเดียวกับเทป ซึ่งลักษณะของหน่วยความจำแบบนี้คล้ายกับวงจรชิฟรีจิสเตอร์ หน่วยความจำนี้มีทั้งแบบ volatile และ Nonvolatile เช่น

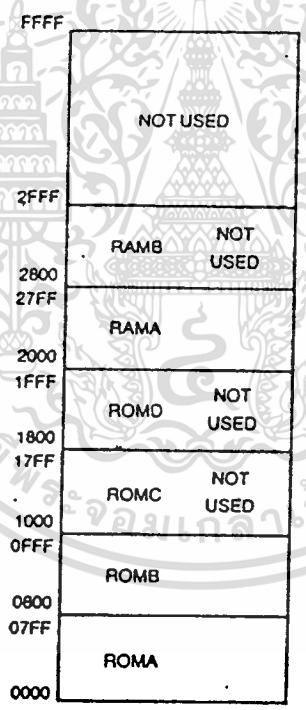
Magnetic Bubble Memory หน่วยความจำแบบนี้มีความจุข้อมูลสูงใกล้เคียงกับเทป สามารถเขียนและอ่านข้อมูลได้เช่นเดียวกับเทป และเป็นหน่วยความจำชนิด Nonvolatile ไม่จำเป็นต้องมีการรีเฟรช แต่ความเร็วในการอ่านหรือเขียนข้อมูลค่อนข้างช้ากว่า แรม แบบสารกึ่งตัวนำ แต่ก็มีความเร็วสูงกว่าเทปมาก หน่วยความจำแบบนี้มีแนวโน้มจะเข้ามาแทนที่ Disk ในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Charge Coupled Device (CCD) หน่วยความจำแบบนี้สามารถเก็บข้อมูลได้สูง สามารถอ่านหรือเขียนได้ แต่เป็นแบบ Volatile ความเร็วในการอ่านและเขียนข้อมูลค่อนข้างสูง เกือบเท่ากับแรม แบบสารกึ่งตัวนำ CCD มีราคาถูก แต่การใช้งานยุ่งยากจึงไม่เป็นที่นิยม

การต่อหน่วยความจำกับซีพียู Z-80

ซีพียู Z-80 มีสัญญาณในการเลือกตำแหน่ง 16 สัญญาณคือ A_{15}-A_0 นั่นหมายความว่าซีพียูสามารถติดต่อกับหน่วยความจำได้ถึง 2^{16} หรือ 65536 ตำแหน่ง ดังนั้นในการออกแบบระบบไมโครคอมพิวเตอร์ เราต้องทำการจัดสรรเนื้อที่นี้เสียก่อนว่าเราจะใช้หน่วยความจำส่วนไหนเพื่อประโยชน์อะไรและต้องใช้หน่วยความจำแบบใด ดังนั้นผู้ออกแบบระบบต้องทำการสร้างตารางเพื่อจัดสรรหน่วยความจำหรือที่เรียกว่า Memory Map ขึ้นเพื่อกำหนดตำแหน่งของการที่จะใช้หน่วยความจำแบบรอมหรือแบบแรมซึ่งตัวอย่างของ Memory Ram



รูปที่ 2.15 ตัวอย่างแผนผังหน่วยความจำของระบบไมโครโปรเซสเซอร์

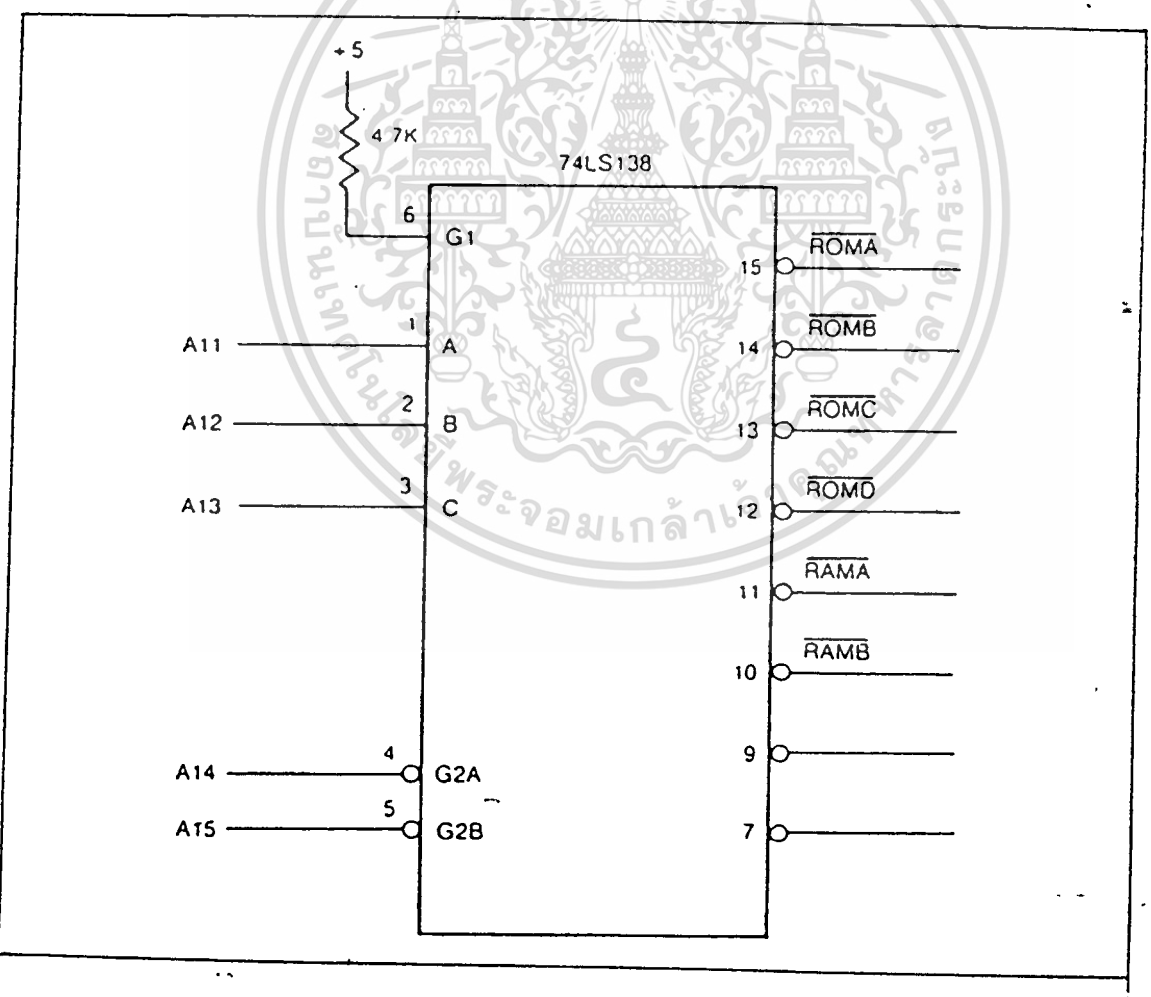
จากรูปที่ 2.15 เห็นได้ว่าตำแหน่งต่ำสุดของ Memory map คือที่ตำแหน่ง 0000H จะต้องใช้หน่วยความจำแบบรอม เนื่องจากเมื่อทำการรีเซตซีพียู ตำแหน่งเริ่มต้นที่ซีพียูจะทำการอ่านในครั้งแรกคือตำแหน่งที่ 0000H นี้เอง และข้อมูลในตำแหน่งนี้จะต้องเป็นคำสั่งเพื่อให้ซีพียูมีการทำงานได้ต่อไป นั่นคือโปรแกรมในส่วนแรกที่บรรจุอยู่ในหน่วยความจำแบบรอมนี้จะเป็นโปรแกรมที่เรียกว่า Bootstrap program หรือ มอนิเตอร์โปรแกรมนั่นเอง และส่วนนอกเหนือจากนั้นอาจจะ

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ส่วนใดเป็นรอม หรือส่วนใดเป็นแรมก็ได้ จากรูป 2.15 เราได้ทำการแบ่งหน่วยความจำออกเป็นส่วนๆ หรือที่เรียกว่า แบงก์ (Bank) โดยมีขนาดแบงก์ละ 2k แบงก์ 0 คือตั้งแต่ตำแหน่ง 0000H-07FFH กำหนดให้เป็นพื้นที่ของ ROM A แบงก์ 1 ตั้งแต่ตำแหน่ง 0800H-0FFFH ใช้เป็นพื้นที่ของ ROM B และแบงค์ 5 ตำแหน่งที่ 2000H-27FFH กำหนดให้เป็น RAM A แบงค์ 6 ตำแหน่ง 2800H-2FFFH กำหนดให้เป็น RAM B นอกจากนั้นไม่ถูกใช้งาน

การสร้างสัญญาณ CHIP SELECT สำหรับ ROM

จากรูปที่ 2.15 จะเห็นได้ว่า ROM A จะถูกเลือกเมื่อ Z80 มีเอาท์พุทแอดเดรสอยู่ระหว่าง 0000H กับ 07FFH ฉะนั้นระบบของเราจึงจำเป็นที่จะต้องมีสัญญาณที่ใช้เป็นตัวเลือกแอดเดรสให้อยู่ในช่วงที่เราต้องการ



รูปที่ 2.16 วงจรที่ใช้เลือกอุปกรณ์หน่วยความจำที่ถูกกำหนดบนผังหน่วยความจำ

เอกสารนี้ [illegible] ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 2.16 ได้แสดงวงจรที่ใช้เลือกแอดเดรสของหน่วยความจำ ซึ่งเมื่อ A11, A12, A13, A14 และ A15 มีลอจิก "0" จะทำให้ขา 15 ของ IC 74LS138 มีลอจิก "0" (ROM A ถูกเลือก) และขา 15 จะเป็น "0" ภายในช่วงแอดเดรสที่กำหนดไว้เท่านั้น ในตารางที่ 3 ได้แสดงถึงการตอบสนองของขาเอาท์พุทของ IC 74LS138 เมื่อมีค่าแอดเดรสบนบัสแอดเดรสในช่วงต่างๆกัน

เราจะเห็นได้ว่าในรูป 2.7 นั้น เมื่อสัญญาณที่ขา A11 มีลอจิกเป็น "1" ขา 1 ของ IC 74 LS138 จะมีลอจิกเป็น "1" ด้วย และขา 14 จะมีลอจิกเป็น "0" ถ้าหากค่าแอดเดรสจาก Z80 อยู่ในช่วง 0000-FFFFH คือ สัญญาณที่ขา A11 มีลอจิกเป็น "0" ทำให้ขา 1 ของ 74LS138 มีลอจิกเป็น "0" ในทำนองเดียวกัน เราสามารถเลือกเอาท์พุทอื่นๆ ได้ โดยพิจารณาจากตารางที่ 3

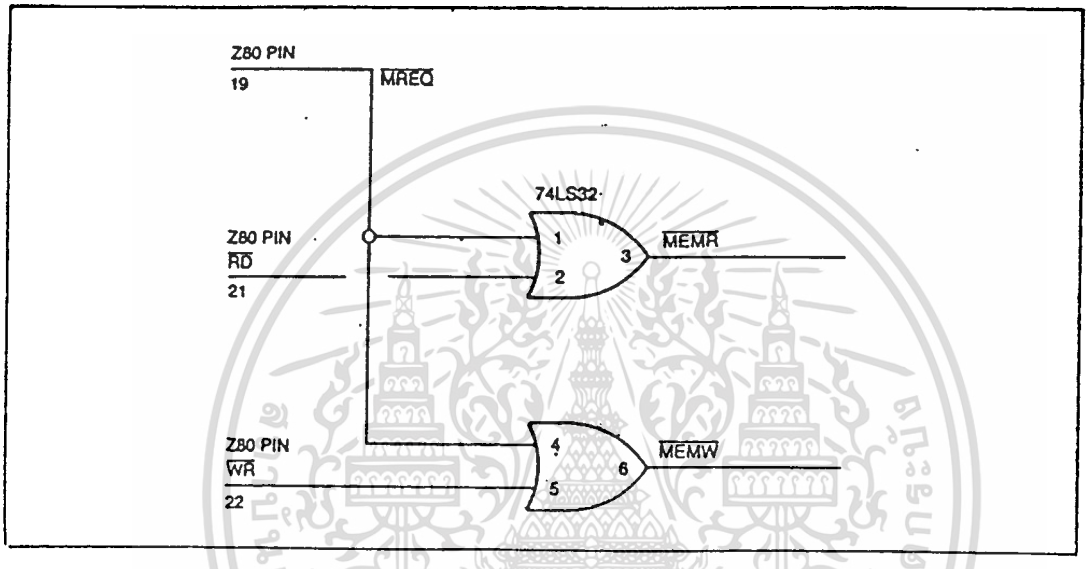
ตารางที่ 3 ผังหน่วยความจำของรูปที่ 2.16

A15	A14	A13	A12	A11	A10---A0	HEX	PIN# = 0
0	0	0	0	0	0-----0	0000	15
0	0	0	0	0	1-----1	07FF	15
0	0	0	0	1	0-----0	0800	14
0	0	0	0	1	1-----1	0FFF	14
0	0	0	1	0	0-----0	1000	13
0	0	0	1	0	1-----1	17FF	13
0	0	0	1	1	0-----0	1800	12
0	0	0	1	1	1-----1	1FFF	12
0	0	1	0	0	0-----0	2000	11
0	0	1	0	0	1-----1	27FF	11
0	0	1	0	1	0-----0	2800	10
0	0	1	0	1	1-----1	2FFF	10

การสร้าง CONTROL LINE ควบคุมการอ่านและเขียนหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อไมโครโปรเซสเซอร์ Z80 ทำการติดต่อกับหน่วยความจำ จะต้องมีสัญญาณจากสายควบคุมการอ่านคือ $\overline{\text{MEMR}}$ หรือ สัญญาณจากสายควบคุมการเขียนคือ $\overline{\text{MEMW}}$ ส่งออกไป โดยสัญญาณของสายควบคุมทั้งสอง ($\overline{\text{MEMR}}$ และ $\overline{\text{MEMW}}$) สามารถสร้างได้จากสัญญาณที่ได้จากสายควบคุมของ Z80 ($\overline{\text{MREQ}}$, $\overline{\text{RD}}$ และ $\overline{\text{WR}}$ ของ Z80) รูป 2.17 ได้แสดงวงจรที่ใช้สร้างสัญญาณ $\overline{\text{MEMR}}$ และ $\overline{\text{MEMW}}$ ซึ่งเป็นวิธีหนึ่งในการสร้างสัญญาณอ่านและเขียนหน่วยความจำ ซึ่งขึ้นอยู่กับลอจิกที่ได้จากสายควบคุมทั้งสายของ Z80



รูปที่ 2.17 วงจรลอจิกที่ใช้สร้างสัญญาณควบคุมการอ่านและเขียนจากหน่วยความจำ

2.5 การขับหลอดไฟ

สำหรับโครงงานชิ้นนี้ เราได้เลือกใช้หลอดไฟ AC 220 v ในการแสดงผล ฉะนั้น ในระบบของโครงงานนี้จึงประกอบด้วยส่วนของวงจรด้านไฟต่ำ (DC) และส่วนของวงจรด้านไฟสูง (AC 220 v) ซึ่งถ้าหากมีการ Short กันเกิดขึ้นในระบบอาจทำให้ไฟ AC 220v วิ่งเข้าไปในส่วนของวงจรด้านไฟฟ้าต่ำ (DC) ทำให้เกิดความเสียหายอย่างมาก ดังนั้น ในส่วนของวงจรขับหลอดไฟนี้ เราจึงจำเป็นที่จะต้องใช้อุปกรณ์ที่เรียกว่า optocoupler มาทำการแยกส่วนของวงจรด้านไฟต่ำ (DC) ออกจากส่วนของวงจรด้านไฟสูง (AC 220 v)

ในส่วนของวงจรขับหลอดไฟ เราได้ทำการใช้อุปกรณ์ไทรีสเตอร์ที่เรียกว่า ไตรแอค (Triac) มาทำการ drive กระแส ให้กับหลอดไฟ AC 220 v ด้วย

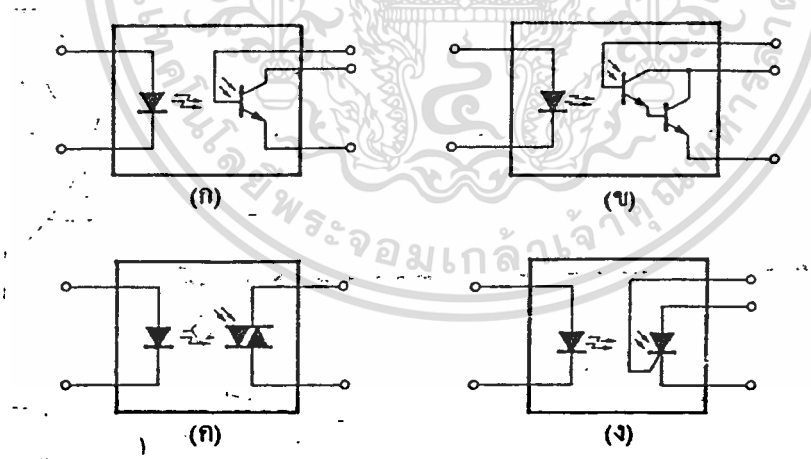
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.51 ความรู้ทั่วไปเกี่ยวกับOptocoupler

Optocoupler เป็นอุปกรณ์คัปปลิ้งใช้ลำแสงอินฟาเรดเป็นตัวกลางส่งสัญญาณจากวงจรหนึ่งไปยังวงจรอีกส่วนหนึ่ง โดยไม่การเชื่อมโยงทางไฟฟ้าถึงกันเลย บางครั้งเรียกว่า ตัวแยกโดยใช้แสง (optoisolator) เป็นอุปกรณ์เดี่ยวที่ประกอบด้วยแหล่งกำเนิดแสงและตัวตรวจรับแสง โดยที่ทั้งสองชิ้นส่วนนี้แยกจากกันและกันโดยมีฉนวนที่โปร่งใสคั่นกลางและชิ้นส่วนทั้งหมดจะถูกบรรจุอยู่ในตัวถังทึบแสง

แหล่งกำเนิดแสงสำหรับตัวเชื่อมโยงทางแสงส่วนมากแล้วจะใช้ไดโอด เปล่งแสงอินฟาเรด (Infrared Emitting Diode) ที่ทำจากสารแกลเลี่ยม อาร์เซไนด์ (Galllium arsenide : GaAs) ส่วนตัวตรวจรับหรืออุปกรณ์ภาคเอาท์พุทนั้น อาจจะเป็นโฟโต้ทรานซิสเตอร์, โฟโต้ดาร์ลิงตัน, สวิทช์สองทิศทางซึ่งทำงานเมื่อมีแสงมากระตุ้นและ SCR ที่ถูกกระตุ้นด้วยแสง ในรูปที่ 2.18 ได้แสดงให้เห็นถึงสัญลักษณ์ของวงจรชนิดต่าง ๆ ที่กล่าวมาแล้ว ถึงแม้ว่าจะมีหลายชนิดมากกว่านี้แต่รูปที่แสดงก็นำมาแต่เฉพาะที่พบเห็นกันบ่อย ๆ เท่านั้น

สัญญาณจะถูกส่งระหว่างชิ้นส่วนทั้งสองชิ้นที่แยกจากภัยทางไฟฟ้า โดยอยู่ในรูปของสัญญาณแสง โดยที่ชิ้นส่วนทั้งสองนี้ไม่สามารถสลับหน้าที่กันได้และไม่มีการเชื่อมโยงทางไฟฟ้าระหว่างชิ้นส่วนทั้งสองนี้ สัญญาณที่ถูกส่งผ่านจึงมีได้ในทิศทางเดียวเท่านั้น



รูปที่ 2.18 ตัวเชื่อมโยงทางแสงแบบต่าง ๆ

คุณสมบัติต่าง ๆ ของ optocoupler

เนื่องจากเราสนใจเฉพาะวงจรความถี่ต่ำ จึงจะจำกัดเฉพาะตัวแปรทางด้านไฟฟ้ากระแสตรงของอุปกรณ์เหล่านี้ ตัวแปรทางด้านไฟฟ้ากระแสตรงสามารถแบ่งออกเป็นอินพุท เอาท์พุท และอัตราส่วนของการส่งผ่านกระแส (current transfer ratio)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราส่วนของการส่งผ่านปกระแส หรือ CTR นั้นเป็นอัตราส่วนระหว่างกระแสอินพุทต่อกระแสเอาท์พุทของตัวเชื่อมโยงทางแสง (หรือเรียกกันว่าไบแอส) ส่วนใหญ่จะแทนด้วยตัวอักษรกรีก คือ อีต้า (n) ซึ่งค่านี้จะขึ้นอยู่กับประสิทธิภาพของไดโอดเปล่งแสงอินฟาเรด และช่องว่างระหว่างชิ้นส่วนทางอินพุทและเอาท์พุท โดยที่พื้นที่ความไว (sensitivity) และอัตราขยายของตัวตรวจรับก็มีบทบาทที่สำคัญเช่นกัน

ตัวแปรอินพุททางด้านไฟฟ้ากระแสตรงซึ่งเป็นตัวกำหนดตัวแปรทางด้านไฟฟ้าของไดโอดเปล่งแสงอินฟาเรด ได้แก่ กระแสของไดโอดเมื่อได้รับไบแอสตรง (IF) แรงดันตกคร่อมไดโอดเมื่อได้รับไบแอสตรง (VF) และแรงดันสูงสุดที่ทนได้ เมื่อได้รับไบแอสกลับ (VR)

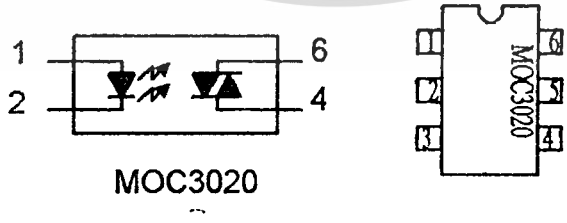
เนื่องจากตัวแปรเอาท์พุททางด้านไฟฟ้ากระแสตรงและตัวแปรส่งถ่าย (transfer parameter) นั้นจะแตกต่างกันโดยขึ้นอยู่กับชนิดของชิ้นส่วนที่เป็นตัวตรวจรับที่ใช้ในการเชื่อมโยงทางแสง

สำหรับอุปกรณ์ optocoupler ที่ได้เลือกใช้ในวงจรขับหลอดไฟนี้เป็น optocoupler แบบไดแอค เบอร์ MOC3020

2.52 โครงสร้างทั่วไปและคุณสมบัติของ MOC3020

MOC3020 เป็น Opto coupler แบบ diac ถูกบรรจุอยู่ในตัวถังพลาสติกแบบต้นตะขาบเหมือนไอซีทั่ว ๆ ไป มี 6 ขา ส่วนของตัวสำรองและตัวรับแสงจะแยกออกทางซีกขาคนละข้างดังรูปที่ 2.18 ทั้งเพื่อทำให้การ Isolationเกิดได้มากที่สุด

ภายใน MOC3020 จะมี diac ขนาดเล็กเป็นเอาท์พุท สามารถทนกระแสได้ 100 mA ซึ่งก็น้อยเกินไปสำหรับการควบคุมกระแสไฟฟ้า AC ผ่านอุปกรณ์ไฟฟ้าทั่งไฟ แต่ ก็เหมาะสมที่จะนำมาสร้างสัญญาณทริก triac ที่มีกำลังสูงภายนอก

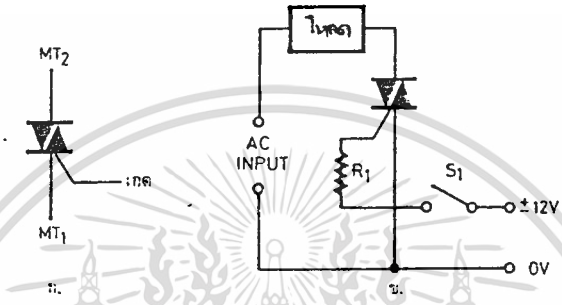


รูปที่ 2.19 โครงสร้างของMOC 3020

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.8 ความรู้ทั่วไปเกี่ยวกับ Triac

ลักษณะโครงสร้างของไตรแอกนี้เหมือนกับการนำเอาเอสซีอาร์ 2 ตัว มาต่อขนานกันในลักษณะกลับขั้วส่วนขาเกตต่อร่วมเข้าด้วยกัน ดังนั้นไตรแอกจะทำหน้าที่เป็นตัวควบคุมระบบไฟได้ทั้งแบบไฟตรง และไฟสลับ นั่นคือความสามารถในการนำกระแสทั้งสองทิศทาง โดยการทริกที่เกตนั้นก็สามารถกระทำได้ทั้งสองทิศทางเช่นกัน



รูปที่ 2.20 สัญลักษณ์และการใช้งานพื้นฐานของ Triac

ในรูปที่ 2.20 แสดงถึงสัญลักษณ์และการใช้งานแบบพื้นฐานของไตรแอก โดยทำหน้าที่คล้ายกับสวิตช์ ของแหล่งจ่ายไฟสลับโหลดจะถูกต่ออยู่ที่ขั้วด้านหนึ่งของไตรแอก ส่วนสวิตช์ S1 ใช้ป้อนสัญญาณทริกให้เกต ต่อไปจะของกล่าวถึงคุณสมบัติพื้นฐานเป็นข้อของไตรแอกซึ่งมีดังนี้

1. โดยปกติถ้าไม่มีสัญญาณทริกที่เกต ไตรแอกจะไม่ทำงานโดยจะมีลักษณะเหมือนกับสวิตช์ที่ถูกปิดวงจร

2. ในกรณีที่ MT2 และ MT1 ถูกป้อนด้วยแรงดันบวกและลบตามลำดับไตรแอกจะถูกกระตุ้นให้ทำงานได้โดยการป้อนสัญญาณพัลส์เพียงสั้น ๆ ที่เกตของมัน ไตรแอกใช้เวลาเพียง 2-3 x 10 วินาทีเท่านั้นในการเริ่มทำงานในขณะที่ไตรแอกทำงานนั้น จะมีแรงดันตกคร่อมตัวมัน มีค่าประมาณ 1 หรือ 2 โวลท์ เท่านั้น และก็เช่นเดียวกันเมื่อไตรแอกเริ่มทำงานแล้ว ก็จะสามารถคงสภาพการทำงานอยู่เช่นนั้นต่อไปเรื่อย ๆ ตราบเท่าที่ยังมีกระแสไหลผ่านตัวมันอย่างต่อเนื่อง

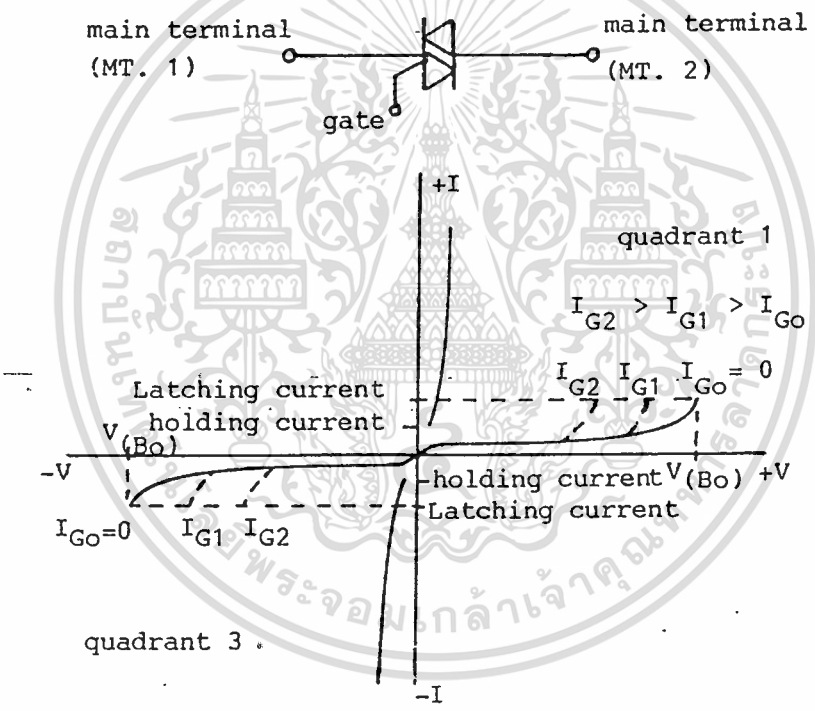
3. หลังจากที่ไตรแอกคงสภาพการทำงานอยู่นั้น ทางเดียวที่จะหยุดการทำงานลงได้ ก็โดยการลดปริมาณกระแสที่ไหล่านตัวมันลง ให้มีค่าต่ำกว่ากระแสโฮลดิ้งของมันในกรณีที่ใช้ไตรแอกในการจ่ายกระแสส AC การหยุดทำงานจะเกิดขึ้นอย่างอัตโนมัติ เมื่อแรงดันของไฟสลับเข้าใกล้จุดตัดศูนย์ที่เกิดขึ้น ทุก ๆ ครึ่งคลื่น นั่นคือกระแสจะลดลงเป็นศูนย์

4. ไตรแอกถูกกระตุ้นให้ทำงานได้ ทั้งสัญญาณแบบบวกและลบที่ป้อนให้แก่ขาเกต โดยไม่คำนึงถึงขั้วที่ต่ออยู่ที่ MT1 และ MT2 ดังนั้น การทำงานของไตรแอกนี้จะมีอยู่ 4 โหมดเมื่อเปรียบ

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทียบกับขั้วแรงดันที่ป้อนให้แก่ขาต่าง ๆ ของมัน ข้อแตกต่างกันเล็กน้อยของการทำงานในโหมดต่าง ๆ คือในกรณีของโหมดที่ขั้วแรงดันที่ให้แก่ขา MT2 และเกตเหมือนกัน (ทั้งบวกและลบ)จะทำให้ค่าความไวที่เกตสูงขึ้น

5. ไตรแอกสามารถทนการกระชากของกระแสได้สูง เช่น โดยปกติสำหรับไตรแอกที่ทนกระแสปกติได้ 10 แอมแปร์ สามารถทนการกระชากของกระแสในช่วงหนึ่งคาบเวลาของไฟ 60 เฮิรตซ์ได้สูงถึง 100 แอมแปร์ เป็นต้น



รูปที่ 2.21 แสดงกราฟคุณสมบัติของ Triac

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

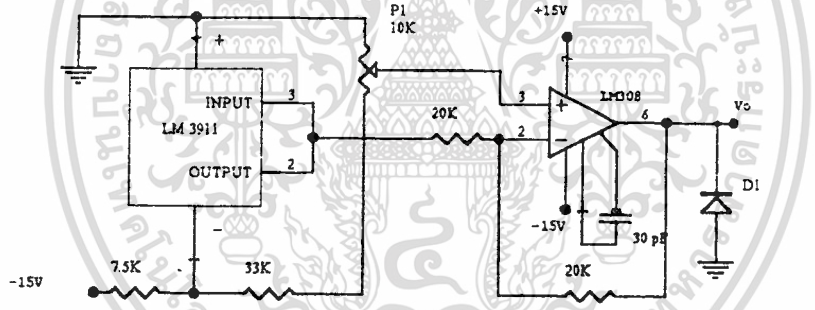
บทที่ 3

การออกแบบวงจรใช้งาน

3.1 วงจรตรวจจับอุณหภูมิ

วงจรส่วนนี้มีหน้าที่ทำการตรวจจับอุณหภูมิ แล้วแปลงเป็นค่าแรงดันไฟฟ้าสำหรับอุปกรณ์ที่ใช้เป็นตัวตรวจจับอุณหภูมิคือ IC เบอร์ LM3911

การออกแบบวงจรใช้งาน



รูปที่ 3.1 วงจรตรวจจับอุณหภูมิ

จากรูปที่ 3.1 เนื่องจาก วงจรตรวจจับอุณหภูมิของ LM3911 นี้ จะให้ค่าแรงดันเอาท์พุทเปลี่ยนแปลง 10 มิลลิโวลต์ต่อการเปลี่ยนแปลงอุณหภูมิ 1 องศาเคลวิน เพราะฉะนั้นที่อุณหภูมิ 0 องศาเซลเซียสวงจรนี้จะให้แรงดันเอาท์พุทเท่ากับ -2.73V แต่เราต้องการออกแบบให้วงจรตรวจจับอุณหภูมิทำงานช่วงอุณหภูมิระบบองศาเซลเซียส เพราะฉะนั้นจึงต้องใช้อุปกรณ์ภายนอกมาต่อช่วย นั่นคือ ออปแอมป์เบอร์ LM308 ซึ่งจะถูกต่อในลักษณะเป็นวงจร Inverting Amp และมี Gain เท่ากับ 1 ดังนั้นเราจะได้ค่าแรงดันเป็นบวก 2.73V ค่าแรงดันนี้ยังอยู่ใน scale ขององศาเคลวิน เพราะฉะนั้นที่ขา 3 ของ LM308 จึงต้องสร้างค่าแรงดัน reference 2.73V ขึ้นมา เพื่อใช้เป็นค่าแรงดันเปรียบเทียบกับค่าแรงดันที่ได้จากเอาท์พุทของ LM3911 เราก็จะได้ค่าแรงดันเอาท์พุทของวงจรตรวจจับอุณหภูมิเท่ากับ 0 V เมื่ออุณหภูมิเท่ากับ 0 องศาเซลเซียส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า R 7.5 kΩ เป็นค่าความต้านทานที่ใช้เป็นโหลดของแหล่งจ่ายไฟให้กับ LM3911 โดยคำนวณได้จากสูตร

$R = (V^{-}-6.8)\ 10^{3}$

เราใช้ $V^{-} = 15$ V

ได้ $R = (15-6.8)\ 10^{3}$

$= 7.5\ k\Omega$

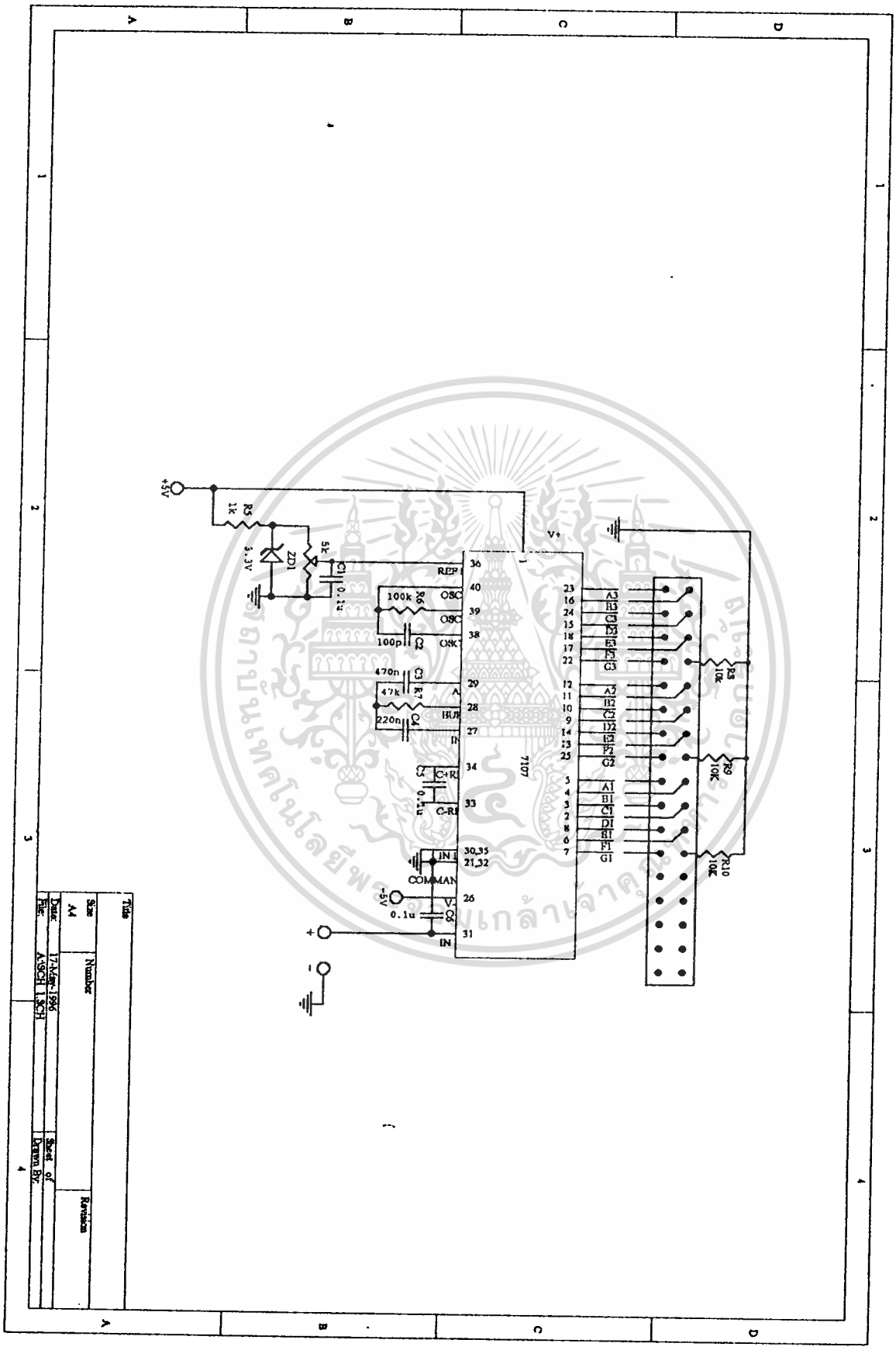
สำหรับวงจร inverting Amp ของ LM308 นั้นเราจะใช้ค่า R gain เท่ากัน คือ 20 kΩ เพื่อให้ได้ gain ขยายเท่ากับ 1 ตามความต้องการ VR 10 kΩ ใช้เป็นตัวปรับค่าแรงดัน reference ที่ขา 3 ของวงจร inverting amp ซึ่งเราจะต้องปรับค่าแรงดันที่ขา 3 นี้ให้มีค่าเท่ากับ 2.73 V R 33kΩ เป็นตัวต้านทาน ซึ่งใช้ป้องกันไม่ให้แรงดันที่เอาท์พุทของวงจร LM308 มีค่าสูงเกินไป ซึ่งจะมีผลในวงจรถัดไป

3.2 วงจรวัดค่าแรงดัน

วงจรวัดค่าแรงดัน หรือวงจรโวลท์มิเตอร์นี้มีหน้าที่วัดค่าแรงดันที่ได้จากวงจรตรวจจับอุณหภูมิแล้วทำการแปลงค่าแรงดันไฟฟ้า (Analog) นั้น เป็นค่าแรงดันดิจิตอล สำหรับอุปกรณ์ที่สำคัญที่ใช้ในวงจรวัดค่าแรงดันไฟฟ้านี้คือ IC เบอร์ ICL 7107

การออกแบบวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 วงจรวัดค่าแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.2 ที่ขา Oscillator จะถูกต่อเป็นวงจร RC Oscillator อย่างง่ายจะทำงานด้วยความถี่ประมาณ 48kHz และจะถูกทำให้ความถี่ลดลงเหลือ 1 ใน 4 และนำไปเป็น clock ของระบบภายในตัวไอซี คาบเวลาของ clock มีค่า 83.3 μs และคาบเวลาของสัญญาณ Integration (1000 clock pulse) มีค่า 73.3 μs ซึ่งจะทำให้ความถี่ในการวัดเท่ากับ 3 ครั้งใน 1 วินาที โดย set ค่า clock oscillator ที่ 48kHz และจะมีผลให้ line ความถี่ (60Hz) ไม่เกิด noise ถ้าคาบเวลาของสัญญาณ Integration เป็นคาบความถี่ในการรวมจำนวน line สำหรับวงจร RC Oscillator ที่ความถี่ 48kHz นี้เราจะให้ค่าความต้านทาน (R) 100kΩ เป็นค่าคงที่ แล้วทำการคำนวณค่า C ได้จากสูตร

$f = 0.45/(R*C)$

จะได้ $C = 100pF$

ที่ขา REF_{HI} จะได้รับแรงดัน Reference จากวงจร voltage divider และมี Zener diode 3.3 V เป็นตัวรักษาระดับแรงดันให้คงที่ยิ่งขึ้น โดยเราจะทำการปรับค่าแรงดัน Reference นี้ด้วย VR_1(5 k) สำหรับค่าแรงดัน reference นี้คำนวณได้จากสูตร

$$V_{REF} = 0.5*V_{IN}(\text{full scale})$$

จากสูตรจะพบว่า ค่าแรงดัน V_{REF} เป็นครึ่งหนึ่งของค่าแรงดันอินพุท full scale และจากวงจรโวลต์มิเตอร์ที่ออกแบบใช้งานนี้มีแรงดันอินพุท full scale เท่ากับ 500 mV เพราะฉะนั้นเราจะต้องปรับ VR_1 5k ให้ค่าแรงดัน V_{REF} มีค่าเป็น 250 mV

ที่ขา C^-_{REF} และ C^+_{REF} จะต่อ Reference Capacitor ค่า 0.1 μF ไว้ เพราะค่า Reference Capacitor ตัวนี้จะให้ค่าผลลัพธ์การตอบสนองดีที่สุด

สำหรับที่ขาอินพุท (IN_{HI}) สามารถที่จะรับแรงดันไฟฟ้าได้โดยตรง 2 ช่วง คือ 0 - 0.1999V และ 0 - 1.999V ซึ่งการกำหนดให้ขาอินพุทจะตับค่าแรงดันช่วงใด สามารถกำหนดได้โดยค่า C_3,R_3 และ C_4 ที่ต่ออยู่ที่ขา 29,28 และ 27 ตามลำดับ โดยเลือกใช้ค่าในการกำหนดดังนี้

Range	C_3	R_3	C_4
0 - 0.1999V	0.48μF	47kΩ	0.22μF
0 - 1.999V	0.047μF	47kΩ	0.022μF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ C_6 ที่ต่อคร่อมที่ขา IN_{HI} จะมีหน้าที่ bypass สัญญาณรบกวนที่มากับแรงดันอินพุท Analog ลงกราวด์ไป

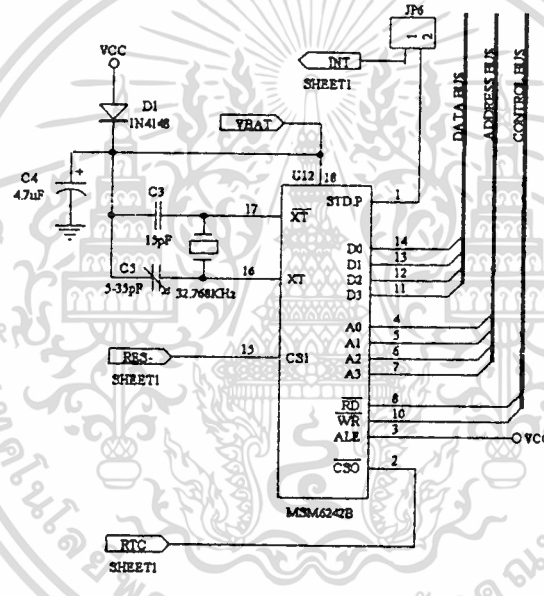
สำหรับค่าแรงดัน Supply ของวงจรนี้จะใช้ไปบวก 5V และไฟลบ -5V เป็นไปเลี้ยงวงจร

3.3 วงจร Real Time Clock (RTC)

วงจรส่วนนี้ มีหน้าที่สร้างเวลาและให้ค่าเวลาออกมาในรูปดิจิตอล (BCD) สำหรับอุปกรณ์ที่ใช้สร้างเวลานี้คือ chip RTC เบอร์ MSM6242B

การออกแบบวงจร

สำหรับวงจร RTC นี้ ได้ถูกบรรจุอยู่ในบอร์ด CP-Z80V3 ซึ่งมีลักษณะวงจรดังรูปที่ 3.3

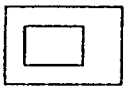


รูปที่ 3.3 วงจร Real Time Clock ที่ใช้ ไอซีเบอร์ MSM6242B

เนื่องจาก RTC เป็น chip ขนาด 4 บิท จึงต้องมีการอ้าง Address 2 ครั้ง (หลักหน่วย/ หลักสิบ) Jumper JP6 ใช้เมื่อต้องการให้ RTC มีการ interupt ตามเวลาที่โปรแกรมไว้ สำหรับตำแหน่ง address ของ RTC แสดงดังตารางที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4 แสดงตำแหน่งของพอร์ท RTC

ตำแหน่ง	JP3	
		
หลักหน่วยของวินาที	40H	C0H
หลักสิบของวินาที	41H	C1H
หลักหน่วยของนาที	42H	C2H
หลักสิบของนาที	43H	C3H
หลักหน่วยของชั่วโมง	44H	C4H
หลักสิบของชั่วโมง/AM,PM	45H	C5H
หลักหน่วยของวัน	46H	C6H
หลักสิบของวัน	47H	C7H
หลักหน่วยของเดือน	48H	C8H
หลักสิบของเดือน	49H	C9H
หลักหน่วยของปี	4AH	CAH
หลักสิบของปี	4BH	CBH
วันในสัปดาห์	4CH	CCH
รีจิสเตอร์ D	4DH	CDH
รีจิสเตอร์ E	4EH	CEH
รีจิสเตอร์ F	4FH	CFH

3.4 วงจรส่วนควบคุมและประมวลผล

วงจรส่วนควบคุมและประมวลนี้มีหน้าที่ในการนำค่าทางดิจิตอลของค่าอุณหภูมิและเวลาไปออก port output เพื่อแสดงผลสลับกันเป็นระยะเวลานานอย่างละประมาณ 20 วินาที โดยเราได้นำระบบไมโครโปรเซสเซอร์ที่มี Z-80 เป็น CPU มาทำหน้าที่ในส่วนนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจร

สำหรับวงจรส่วนควบคุมและประมวลผลนี้เราได้นำระบบไมโครโปรเซสเซอร์ Z-80 เข้ามาใช้งาน โดยได้ทำการเลือกใช้บอร์ด CP-Z80V3 ซึ่งรายละเอียดมีดังต่อไปนี้

โครงสร้างของบอร์ด CP-Z80V3

CP-Z80V3 เป็นบอร์ดไมโครคอมพิวเตอร์ที่ใช้ในงานควบคุมซึ่งมีส่วนประกอบดังนี้

-CPU Z84COO-6 (6MHZ)

-REAL TIME CLOCK 6242B (OPTION)

-POWER MONITOR & SYSTEM RELET (DS1232)

-96 BIT I/O (8255 x4)

-SOCKET สำหรับ EPROM 8/32 K

-RAM 8 KB (ON BOARD)

-X'TAL 4 MHZ

-LCD CONNECTOR (GRAPHIC & CHARACTER)

-KEY BOARD CONNECTOR (4x4)

-RS232

-Z80 BUS (สำหรับขยายระบบ)

-DIMENSION 4.65" x 5.2"

รายละเอียดและการใช้งาน

CPU ใช้ไอซี Z84COO-6ของบริษัท ZILOG ซึ่งเป็น CMOSใช้กำลังงานต่ำทำงานที่ความเร็วสูงสุดของ X'TAL ได้ 6 MHZ สำหรับบอร์ด CP Z80 V3 จะใช้ X'TAL เนื่องจากอุปกรณ์จำพวก EPROM ACCCSS TIME จะช้ากว่า CPU มาก ซึ่งอาจทำงานไม่ทัน แต่ถ้าผู้ใช้ต้องการใช้ความเร็ว 6 MHZ ก็ทำได้ด้วยการเปลี่ยน X'TAL จาก 4 MHZ เป็น 6 MHZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำ

1. ROM บนบอร์ด CP-Z80V3 จะมี SOCKET ว่างสำหรับผู้ใช้ ที่จะนำตัวโปรแกรมที่พัฒนาขึ้น มาใส่หรือชุดพัฒนาโปรแกรม (ET-CPZ80V3 DEBUGGER) SOCKET นี้ ใส่หน่วยความจำได้ 2 ขนาดคือ 8 K (2764) หรือ 32 K (27256) โดยกำหนดหน่วยความจำจาก JUMPER JP1

2. RAM บอร์ด CPZ80V3 เลือกใช้หน่วยความจำประเภท ได้ 2 ขนาด คือ 8 K (6264) หรือ 32 K (62256) โดยการเซท JUMPPER JP2 ซึ่งมีตำแหน่งแอดเดรสที่ 8000H-FFFFH หน่วยความจำ RAM ยังมีวงจร BACK UP ข้อมูลโดยการใส่ BATTERY และใส่ JUMPER "JBAT"ซึ่งจะเก็บข้อมูลไว้ได้นาน

พอร์ท

พอร์ด CPZ80V3 มี IC จำนวน 4 ตัว โดยสัญญาณ I/O จะถูกต่อไว้ที่ CONNECTOR 34 PIN (มาตรฐาน ETT) จำนวน 4 ชุด ซึ่งสามารถควบคุมอุปกรณ์อินพุท/เอาท์พุท ได้อีกหลายบอร์ด เช่น ET-SSRAC,ET-SMCC,ET-ADนอกจากนี้ยังมีขั้ว 10 PIN สำหรับ KEYBOARD ซึ่งต่อมาจาก PORT-C ของ 8255 U8

Z80 BUS

เป็น CONNECTOR 40 PIN ซึ่งมีขาสัญญาณเหมือนกับสัญญาณของ CPU Z80 ทุกประการ มีไว้เพื่อให้ผู้ใช้ต่อขยายระบบหรือ INTERFACE กับ อุปกรณ์ภายนอกตามต้องการ

POWER SUPPLY

บอร์ด CP-Z80V3 ต้องการแหล่งจ่ายไฟ 5 VDC จ่ายเข้าทาง TERMINAL ขา ในกรณีจ่ายไฟเกิน 5 VDC จะมี ZENER ขนาด 5.6 V ไว้ป้องกัน กรณีจ่ายไฟกลับขั้วจะมี DIODE 1N4001ต่อในทาง FORWARD BIAS (ขณะต่อ SUPPLY กลับขั้ว) จะทำให้ กระแสส่วนใหญ่ไหลผ่าน DIODE และ ZENER DIODE ถ้า POWER SUPPLY มีระบบ CURRENT LIMITก็จะตัดการจ่ายไฟ ในกรณีที่ใช้ POWER SUPPLY ที่ไม่มีระบบป้องกันและ POWER SUPPLY สามารถจ่ายกระแสได้สูง ระบบการป้องกันของบอร์ด CP Z80V3 คงป้องกันได้ชั่วขณะหนึ่ง เพราะฉะนั้นก่อนจ่ายไฟเข้าบอร์ดควรตรวจดูความถูกต้องทุกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LCD PORT

-มี CONNECTOR ขนาด 20 PIN มาตรฐานอีทีที สามารถต่อเข้ากับ LCD แบบ CHARRACTER

-การใช้งานเพียงแต่ต่อสายสัญญาณจาก CONNECTOR ให้ตรงกับสัญญาณของ LCD ตามที่กำหนด

-ในกรณีเข้าสายแพร์การต่อสายสัญญาณจากสายแพร่ไปยัง LCD ให้สลับเส้นเป็นคู่ๆเช่น 1 สลับกับ 2,3 สลับกับ 4 เป็นต้น

-แอดเดรสของ LCD

คีย์บอร์ด

ใช้ 8255 (U8) เป็นคีย์บอร์ด โดยอยู่ที่ตำแหน่งแอดเดรสดังตารางที่ 5

ตารางที่ 5 แสดง address ของ คีย์บอร์ด

คีย์	JP3	JP3
คีย์อินพุท (ROW)	02	82H
คีย์เอาท์พุท (COLUMN)	02	82H

เนื่องจาก PORTC สามารถโปรแกรมให้เป็นอินพุทหรือเอาท์พุททั้ง PC-HI (PC4-PC7) หรือ PC-LOW (PC0-PC3) ขึ้นอยู่กับผู้ใช้เป็นผู้กำหนด

RS232

เนื่องจากบอร์ด CPZ80V3 ไม่มีไอซีสนับสนุนทางด้านการสื่อสารข้อมูลอนุกรมจึงใช้พอร์ท 8255 2 บิทเป็น RX และ TX และมีวงจรปรับระดับสัญญาณ TTL ให้เป็น RS232 ในกรณีที่ไม่ต้องการใช้ RS232 ให้ถอด JUMPER JP7ออก ในกรณีที่ต้องการใช้ RS232ผู้ใช้ จะต้องเขียนโปรแกรมควบคุม 8255 (U11) ให้ทำงานตามลักษณะของพอร์ทอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอดเดรสและบิทสัญญาณของ RS232

ตารางที่ 6 แสดง address ของ RS232

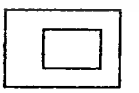
หน้าที่		
TXD PC3 (TRANSMIT DATA ; O/P)	32H	B2H
RXD PC5 (REGEIVE DATA ; I/P)	32H	B2H

WATCH DOG

WATCH DOG คือส่วนของวงจรที่ทำหน้าที่เฝ้าการทำงานของ CPU ให้ทำงานอย่างถูกต้องตามโปรแกรมที่เขียนไว้ เมื่อใดที่ CPU ไม่ทำงานหรือทำงานผิดพลาดไปจากที่กำหนด วงจร WATCH จะทำงานโดยการ RESET CPU เพื่อให้เริ่มต้นทำงานใหม่

บอร์ด CPZ80V3 ใช้ชิพของ DALLAS เบอร์ DS1232 ซึ่งเป็น POWER-ON RESET และ WATCH DOG ด้วย การใช้งานเพียงแต่ส่ง LOGIC 0 มา TRIG ที่ขา ST ให้ทันเวลาก่อนที่ DS1232 จะส่งสัญญาณ RESET ในกรณีไม่ต้องการใช้ WATCH DOG ให้ใส่ JP4 ในตำแหน่ง MEM RD (จากวงจร) ซึ่งจะทำให้ DS1232 ถูก TRIG อยู่เรื่อยๆ จึงไม่เกิดสัญญาณ RESETแอดเดรสและการใช้งาน WATCH DOG

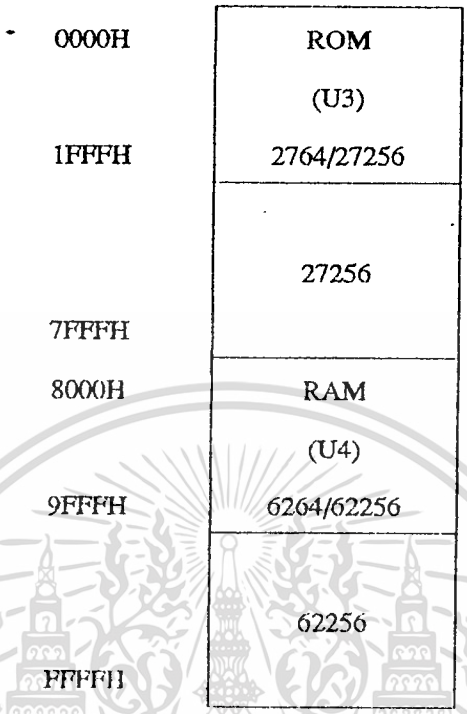
ตารางที่ 7 แสดง address ของ watch dog

	JP3 
WATCH DOG	-- 60H EOH

สำหรับวงจรต่าง ๆ ของบอร์ด CP-Z80V3 และตำแหน่ง jumper ต่าง ๆ แสดงดังรูปที่ 3.4 , 3.5 และ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MEMORY MAP



I/O MAP

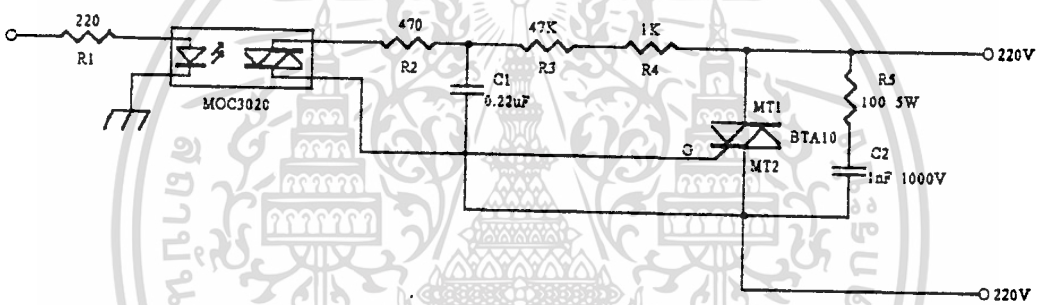
JP3		DISCRIPTION
00H	08H	8255 U8 General purpose KEY BOARD (PC0-PC7)
01H	09H	8255 U9 General purpose
02H	0AH	8255 U10 General purpose
03H	0BH	8255 U11 General purpose] EEPROM, RS232
04H	0CH	RTC (C0H-CFH)
05H	0DH	LCD Character/Graphics
06H	0EH	Watch dog
07H	0FH	Reserve

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรขับหลอดไฟ

เนื่องจากแผงแสดงผลเป็นแบบที่ใช้หลอดไฟ AC 220V แต่ค่าของอุณหภูมิ (แรงดัน) ดิจิตอล และเวลาดิจิตอล เป็นค่าทาง DC ดังนั้นเราจึงจำเป็นจะต้องใส่วงจรขับหลอดไฟเข้ามาช่วยและเพื่อเป็นการป้องกันและแบ่งแยกวงจรทางด้านไฟสูง (AC) ออกจากวงจรทางด้านไฟต่ำ (DC) เราจึงได้เลือกใช้อุปกรณ์ที่เรียกว่าออปโต้คัปเปลอร์ (optocoupler) เป็นตัวแบ่งแยก และใช้ triac เป็นอุปกรณ์ในการขับกระแสให้กับโหลด (หลอดไฟ)

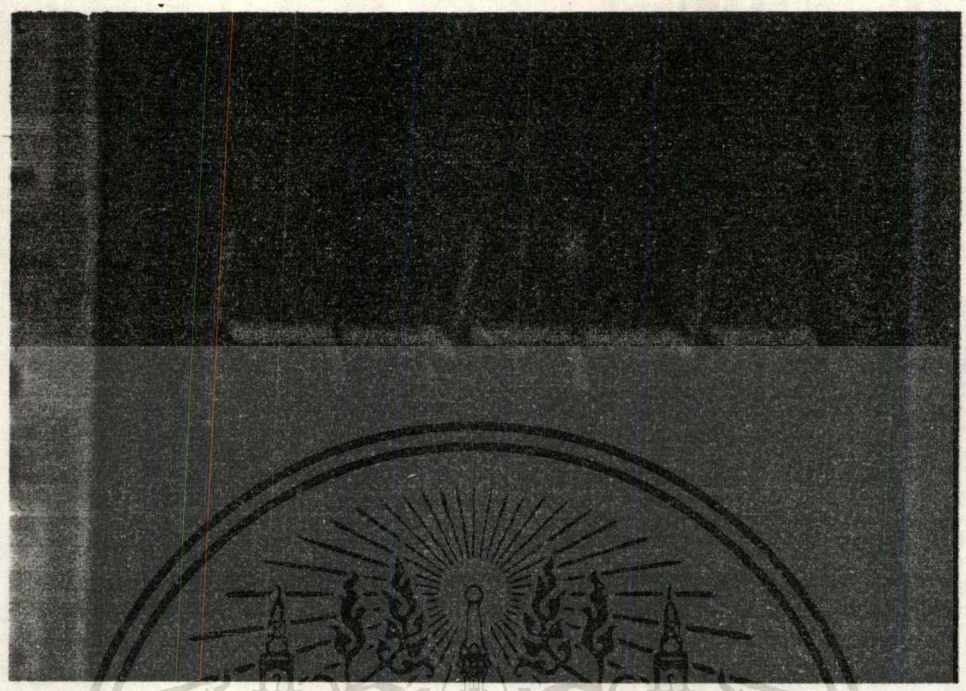
การออกแบบวงจร



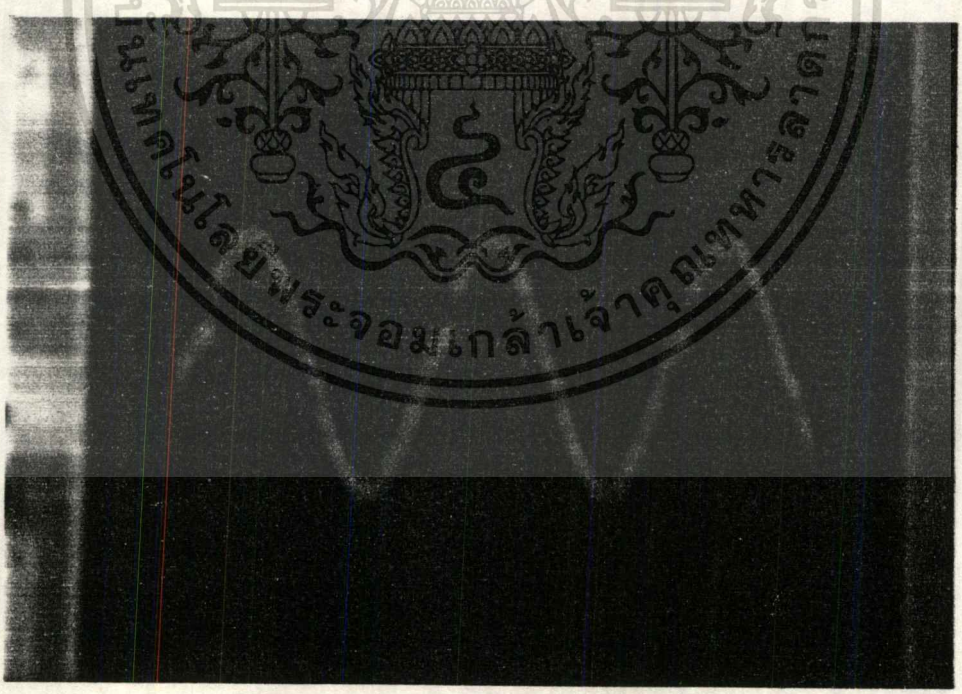
รูปที่ 3.4 วงจรขับหลอดไฟ

จากรูปจะเห็นว่าวงจรทางด้านเอาท์พุทของ optocoupler (ไดแอค) จะถูกต่อเป็นวงจรหรี่ไฟ ซึ่งมีหลักการดังนี้ ในขณะเริ่มทำงานไซเคิลแรกของไฟ AC กระแสจะไหลผ่าน R_2,VR_1 และ C_1 C_1 จะทำการเก็บประจุจนกระทั่งค่าแรงดันที่ตกคร่อมตัว C_1 นี้มีค่าสูงกว่าค่าแรงดันพังทะลายของไดแอคในตัว optocoupler ไดแอคนี้จะนำกระแส และจ่ายกระแสนี้ไปทริกที่ขาเกทของ triac (BTA10) ทำให้ triac นำกระแสด้วยหลอดไฟ (โหลด) จึงตัดสว่าง ในขณะนี้ C_1 ก็จะทำการคายประจุผ่าน R_1 ให้กับไดแอคใน optocoupler ด้วย จนกระทั่งค่าแรงดันตกคร่อมตัว C_1 มีค่าต่ำกว่างแรงดันพังทลายของไดแอค ไดแอคก็จะหยุดนำกระแส แต่ triac จะยังคงนำกระแสต่อไป จนกว่าแรงดันตกคร่อมตัวมันจะเป็นศูนย์ นั่นคือหมดครึ่งไซเคิลแรก triac ก็จะหยุดนำกระแส และเมื่อเริ่มอีกครึ่งไซเคิลที่เหลือ การทำงานของวงจรก็จะเหมือนกับครึ่งไซเคิลแรกเพราะ triac สามารถนำกระแสได้ทั้งบวกและลบ และจะเป็นเช่นนี้ไปทุกๆ ไซเคิล ทำให้เรามองเห็นหลอดไฟติดสว่างตลอดเวลาสำหรับรูปคลื่น (WAVE FORM) ที่จุดต่างๆ ของวงจรขับหลอดไฟ แสดงดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



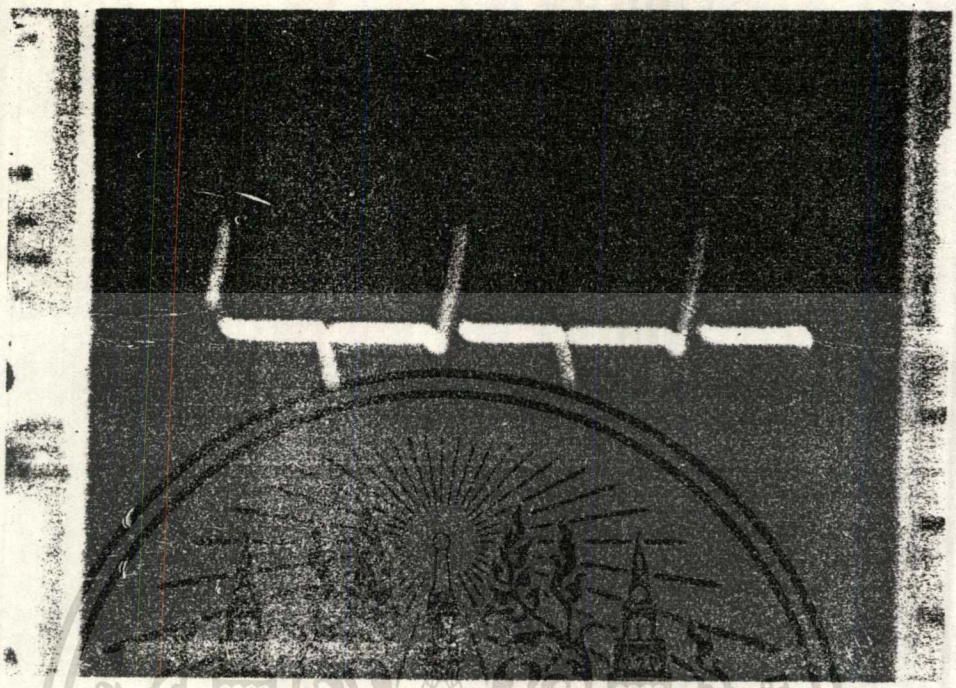
(a)



(b)

รูปที่ 3.5 (a) รูปคลื่นสัญญาณที่ไตรแอค (b) รูปคลื่นสัญญาณที่โหลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(c)

รูปที่ 3.5 (c) รูปคลื่นสัญญานที่ขาเกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากไดแอดในวงจรเป็นอุปกรณ์ optocoupler ดังนั้นเราจึงสามารถควบคุมการทำงานของวงจรขับหลอดไฟที่ได้ ด้วยการใช้สัญญาณทริกขาตัวกำเนิดแสงของ optocoupler นั่นเอง (สัญญาณทริกมาจาก port output ของวงจรส่วนควบคุมและประมวลผล)

R_3,C_2 ต่อเป็นวงจร Snubber เพื่อป้องกันแรงดัน spike อันเกิดจากการ SW การทำงานของ triac ค่าแรงดัน spike นี้จะมีค่าสูงมาก ซึ่งอาจจะทำให้อุปกรณ์ triac ได้รับความเสียหาย นอกจากนี้ความถี่ของแรงดัน spike อาจไปรบกวนเครื่องใช้ไฟฟ้าข้างเคียงได้ เพราะฉะนั้นเราจึงต้องใช้วงจร snubber เพื่อป้องกันแรงดัน spike ที่เกิดขึ้น

สำหรับ triac ที่ใช้ในวงจรขับหลอดไฟที่เบอร์ BTA10 สามารถจ่ายกระแสได้ 10A ทนแรงดันตกคร่อมได้ 600V

3.6 แผงแสดงผล

สำหรับแผงแสดงผลจะมีอยู่ 2 ส่วนคือ แผงแสดงผลขนาดใหญ่ซึ่งเป็นแผลแบบใช้หลอดไฟ 220 VAC และแผงแสดงผลขนาดเล็กซึ่งเป็นจอ LED แบบ segment

การออกแบบ

ในส่วนของแผงแสดงผลนี้จะทำการออกแบบเฉพาะแผงแสดงผลขนาดใหญ่เท่านั้น ซึ่งรูปร่างของแผงแสดงผลนี้แสดงดังรูปที่ 3.8

โครงสร้างส่วนต่าง ๆ ที่สำคัญของแผงแสดงผล ประกอบด้วยส่วนต่าง ๆ ดังที่รายละเอียดคร่าว ๆ ต่อไปนี้ คือ

1. ตัวโครงสร้างภายในของจอแสดงผลจะใช้เหล็กฉากสี่เหลี่ยใขนาด 1 นิ้ว ทั้งหมด เพื่อเป็นตัวยึดโครงสร้างของแผงแสดงผลให้เกิดความแข็งแรง

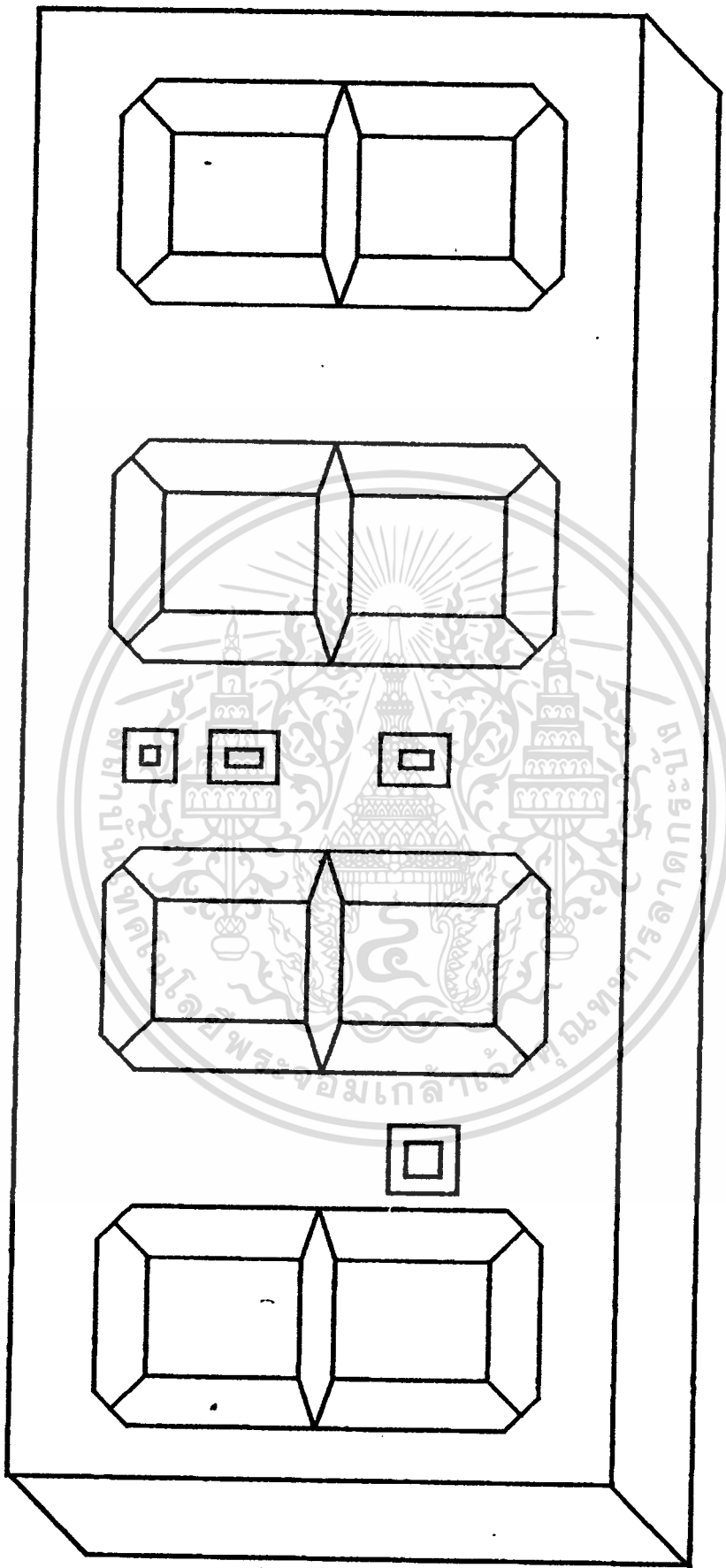
2. พลาสติกปิดด้านหน้า เป็นพลาสติกสีดำใส เพื่อช่วยลดแสงจากภายนอกที่จะเข้าไปยังแผงแสดงผล ซึ่งทำให้ตัวเลขของเซกเมนต์ ต่าง ๆ ที่จอแสดงผลมีความคมชัดขึ้น และรวมถึงการปิดส่วนของการแสดงผลบางส่วนที่ยังไม่ต้องการแสดงผลขณะนั้นด้วย

3. พลาสติกแผ่นกลางเป็นแผ่นที่เป็นพลาสติกใส สำหรับเป็นตัวรองรับแบบที่จะทำการกั้นแสงให้เป็นเซกเมนต์ และส่วนสว่าง ๆ ของแผงแสดงผล ตลอดจนถึงการใช้เป็นตัวยึดขั้วของหลอดไฟ 220VAC , 7W ด้วย

4. พลาสติดที่ใช้ปิดด้านบน , ด้านล่าง , ด้านข้าง และด้านหลัง เป็นพลาสติดขาวขุ่น ปิดเพื่อทำให้เป็นแผงที่สมบูรณ์และดูสวยงาม

ซึ่งรูปแบบของเซกเมนต์ต่าง ๆ และโครงสร้างภายในจะถูกออกแบบไว้ดังในรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



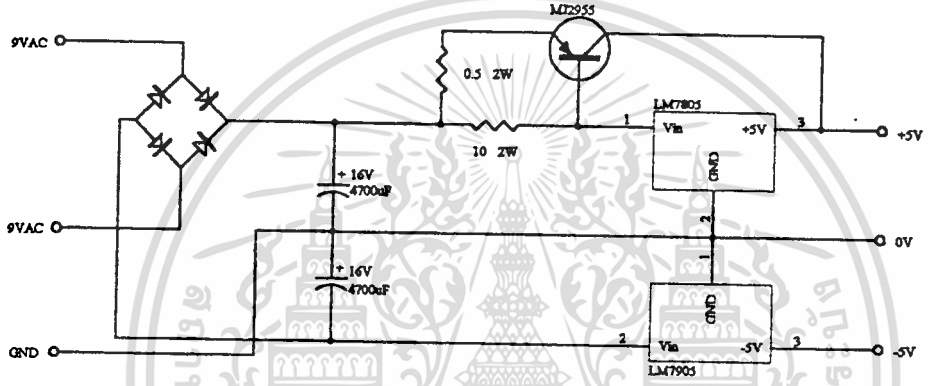
รูปที่ 3.6 แผงแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

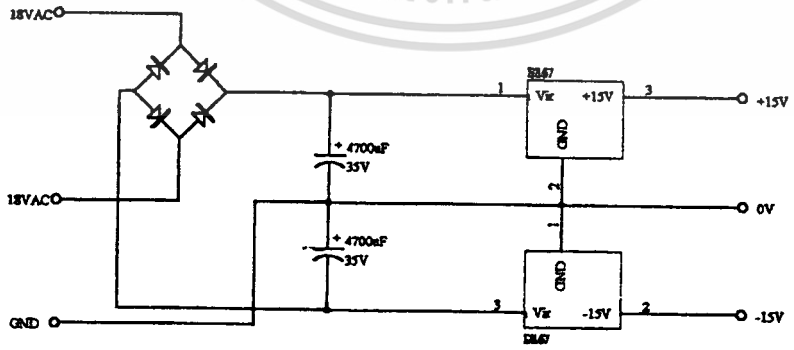
3.7 วงจรแหล่งจ่ายไฟ

แหล่งจ่ายไฟ (supply) มีหน้าที่เป็นแหล่งจ่ายกำลังงานให้กับวงจรทำงานส่วนต่าง ๆ การออกแบบวงจร

ในส่วนของวงจรแหล่งจ่ายไฟที่ใช้ในโครงงานนี้ ได้ทำการออกแบบไว้ 2 วงจร คือวงจรแหล่งจ่ายไฟ +5V และ -5V และวงจรแหล่งจ่ายไฟ +15V และ -15V ดังแสดงในรูปที่ 3.7 และรูปที่ 3.8

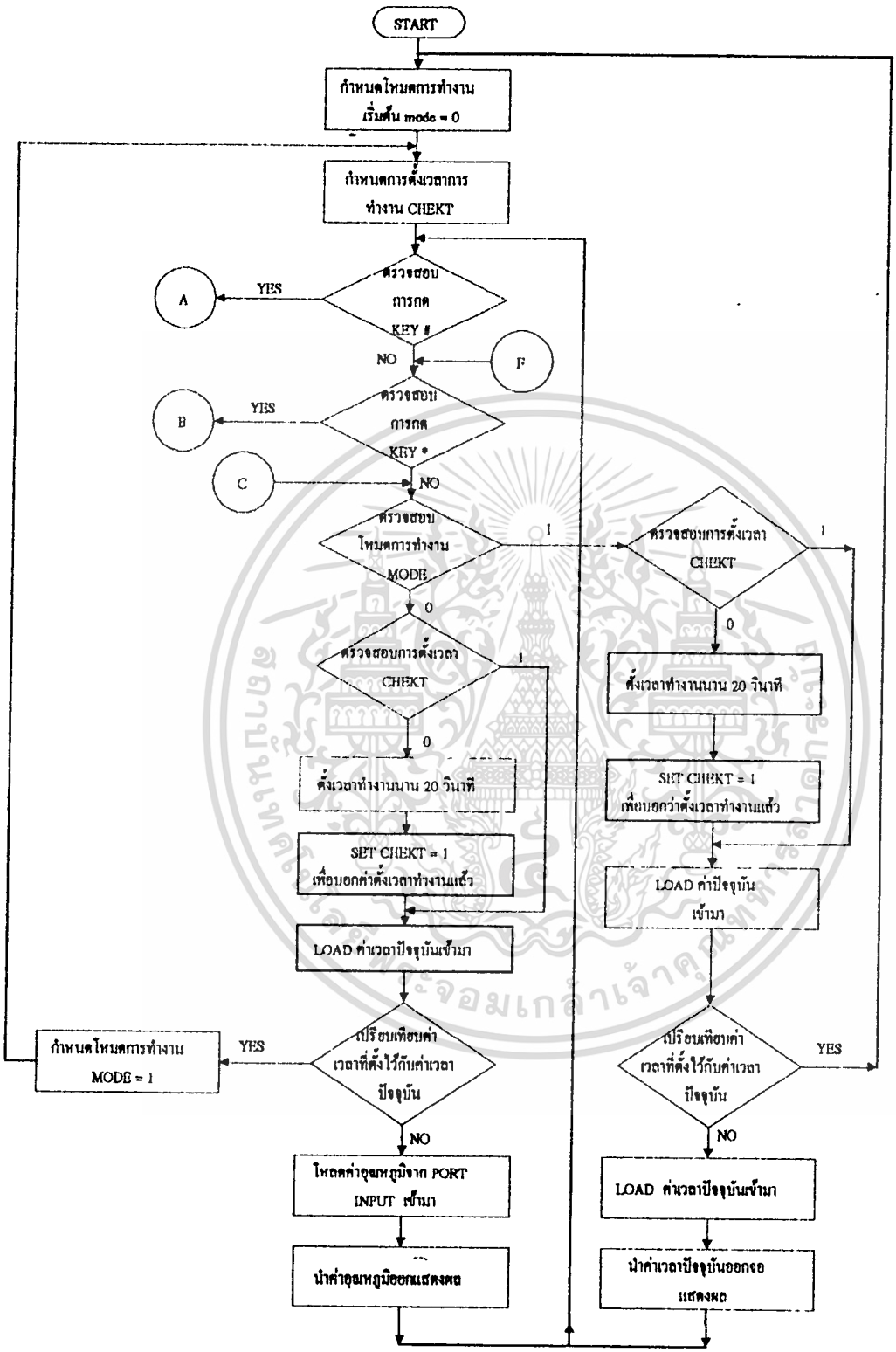


รูปที่ 3.7 วงจรแหล่งจ่ายไฟ +5V และ -5V

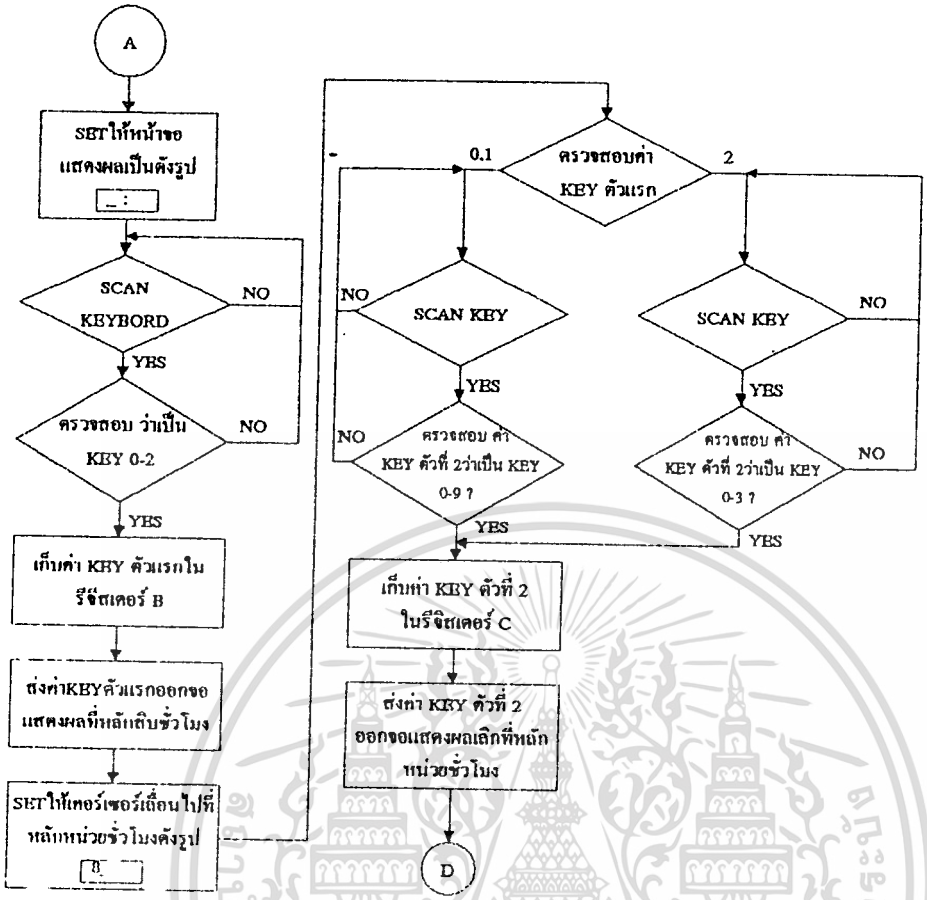


รูปที่ 3.8 วงจรแหล่งจ่ายไฟ +15V และ -15V

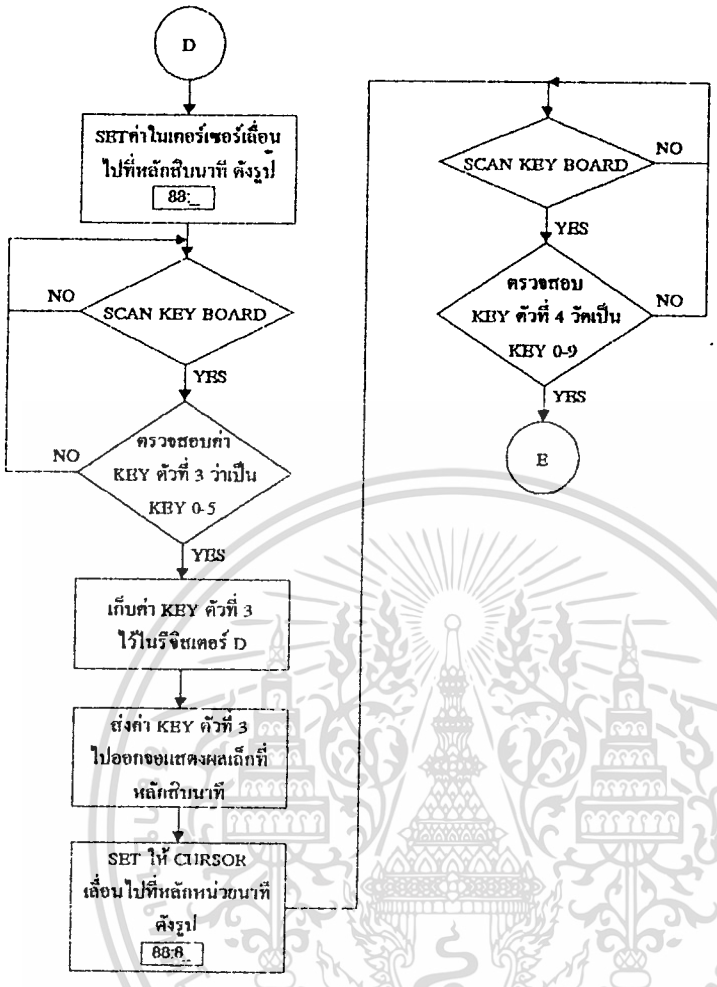
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



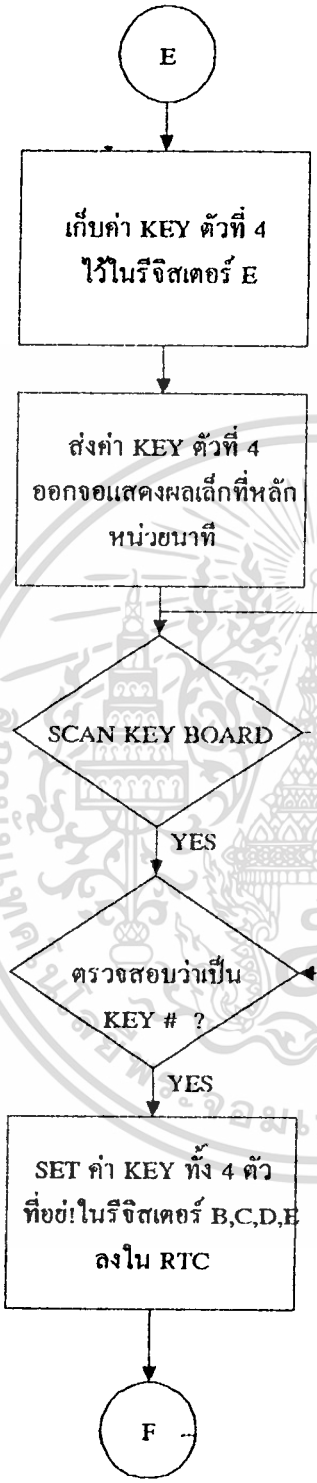
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



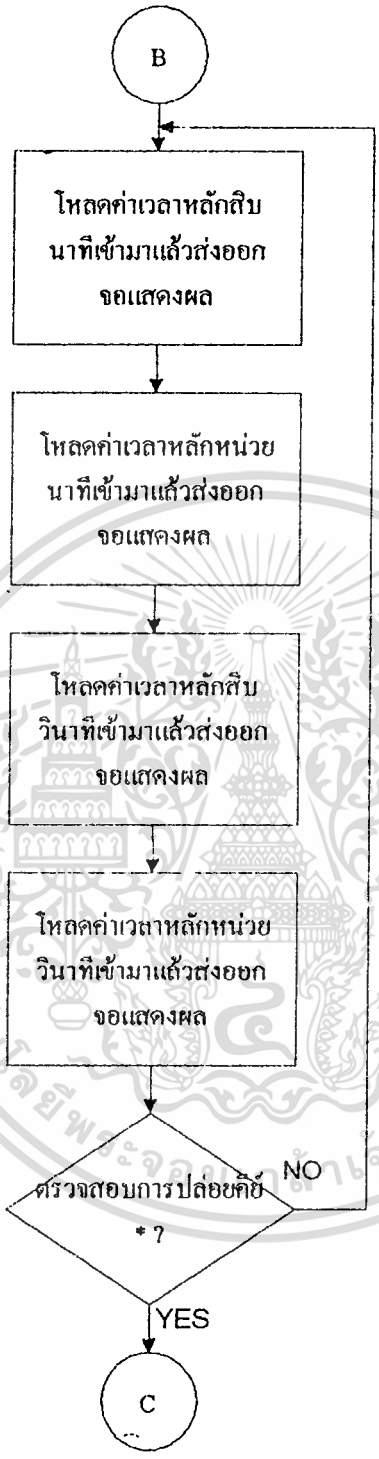
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

สรุปและวิจารณ์ผลการทดลอง

สำหรับโครงงานที่ได้สร้างขึ้นที่ได้ทำให้เกิดประโยชน์ในปลายๆด้านดังนี้

1. ประโยชน์ที่เกิดกับผู้จัดทำ เป็นประโยชน์ที่เกิดขึ้นโดยตรงการทำโครงงานชิ้นนี้เป็นการเสริมสร้างความรู้และทักษะให้กับผู้จัดทำเป็นทำให้ผู้จัดทำได้นำความรู้ความสามารถทั้งหมดที่ได้ศึกษาภายในห้องเรียนมาใช้ปฏิบัติงานจริง อีกทั้งยังเสริมสร้างประสบการณ์ในการทำงาน และเป็นการฝึกฝนให้รู้จักแก้ปัญหาต่างๆ ด้วยตนเอง

2. ประโยชน์ที่เห็นจากการนำโครงงานมาใช้งาน เป็นประโยชน์ที่เกิดขึ้นกับบุคคลทั่วไปเนื่องจากเครื่องแจ้งเวลาและอุณหภูมิได้ง่าย

สำหรับการสร้างโครงงานชิ้นนี้ได้ประสบปัญหาหลายอย่างแต่ก็ได้ทำการแก้ไข จนเป็นที่เรียบร้อยแล้ว ซึ่งรายละเอียดเกี่ยวกับปัญหาต่างๆและวิธีการแก้ไขมีดังต่อไปนี้

1. ในช่วงกลางของการทำโครงงานชิ้นนี้ได้ทำการออกแบบระบบไมโครโปรเซสเซอร์ที่มี Z-80 เป็น CPU เองโดยได้ทำการเขียน Program monitor เองและได้ทำการทดลองต่อวงจรทั้งระบบลงบนบอร์ดทดลองผลปรากฏว่าค่าที่แสดงออกมีความผิดพลาดอย่างมาก ซึ่งอาจเกิดจากการใช้สาย JUMP ยาวและบอร์ดทดลองทำให้สภาวะ 0 และ 1 มีความสับสน จึงได้ทำการแก้ไขโดยการซื้อบอร์ด CP-Z80V3 ซึ่งเป็นบอร์ดไมโครโปรเซสเซอร์สำเร็จรูป นอกจากนี้ยังเกิดความยุ่งยากในการเขียนโปรแกรมอีกด้วย เพราะต้องคอย COPY และ ล้าง EPROM อยู่บ่อย ๆ ซึ่งบอร์ด CP-Z80 V3 นี้จะมีอุปกรณ์ DEBUGGER อยู่ด้วย ทำให้การเขียนและทดลองโปรแกรมมีความยุ่งยากลดน้อยลงอย่างมากซึ่งทำให้สามารถใช้ RTC นี้สร้างเวลาเพื่อแสดงผลได้และเมื่อไม่ทำการป้อนไฟเลี้ยงวงจรโปรแกรมที่เขียนไว้ถ้าไม่หายเพราะที่บอร์ดมี Battery Backup ด้วย

2. ปัญหาในการเขียนโปรแกรม ปัญหาหลักของการเขียนโปรแกรมแล้วใช้ไม่ได้ก็คือปัญหาการ Boud และการรับ Key ที่ไม่ถูกต้องซึ่งได้ทำการเขียนโปรแกรมแก้ไขแล้ว รายละเอียดดูได้จากโปรแกรม

3. ปัญหาในการทำแผงแสดงผลขนาดใหญ่ เราได้ออกแบบโดยใช้หลอดไฟ 220 Vac ขนาด 7 ฬ ซึ่งเป็นหลอดไส้ในตอนแรกได้ทำการต่อไฟเข้าแผงแสดงผล ผลปรากฏว่าเกิดเป็นจุดขึ้นที่บอร์ด (แสงสว่างไม่ทั่ง) เราได้ทำการแก้ไขโดยใช้แผ่นสะท้อนแสงปิดรอบๆ และใช้แผ่นพลาสติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คมีแถวปิดหน้าบอร์ด อีกชนิดหนึ่งเพื่อทำให้แสงมีความนวลเสมอกัน นอกจากนี้ยังเกิดปัญหาแสงจากเซ็กเมนต์รบกวนกันแก้ไขโดยใช้พลาสติกขั้นระหว่างเซกเมนต์ให้มิดชิด

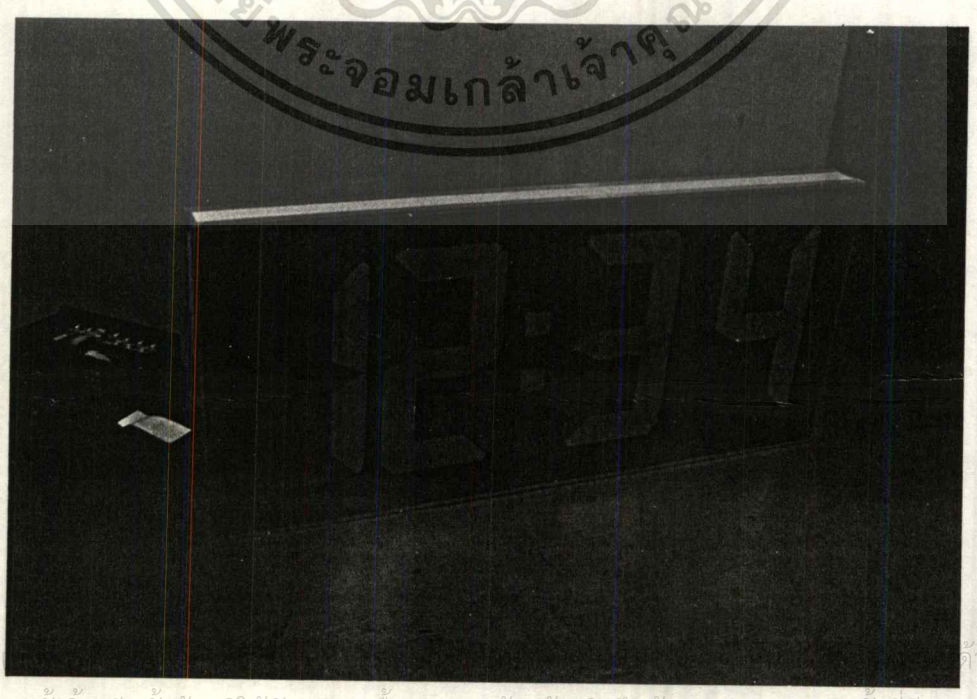
4. ปัญหาในส่วนของวงจรขับหลอดไฟ ในตอนแรกได้ทำการทดลองวงจร ด้วยค่า R, C ค่าหนึ่งผลปรากฏว่าหลอดไฟไม่สว่างแก้ไขโดยทำการเปลี่ยนค่า R, C ไปเรื่อย ๆ และใช้ VR เข้ามาช่วยด้วยนอกจากนี้อุปกรณ์ OPTOCOUPLER ที่เลือกใช้ในตอนแรกเป็นแบบมีวงจร Zero Crossing ภายในซึ่งให้แสงสว่างไม่เพียงพอ จึงได้เปลี่ยนมาใช้ OPTOCOUPLER แบบไม่มี Zero Crossing ทำให้แสงมีความสว่างมากขึ้น

5. ปัญหาในส่วนของ Supply เนื่องจากวงจรมีความต้องการกระแสมาก ทำให้ IC regulator 7805 เกิดความร้อนสูงเราได้ทำการแก้ไขโดยสร้างชุด drive กระแสเพิ่มขึ้นมา (สำหรับวงจรดูได้จากรูป) ทำให้ IC regulator 7805 จ่ายกระแสน้อยลงความร้อนจึงลดลงอย่างมาก

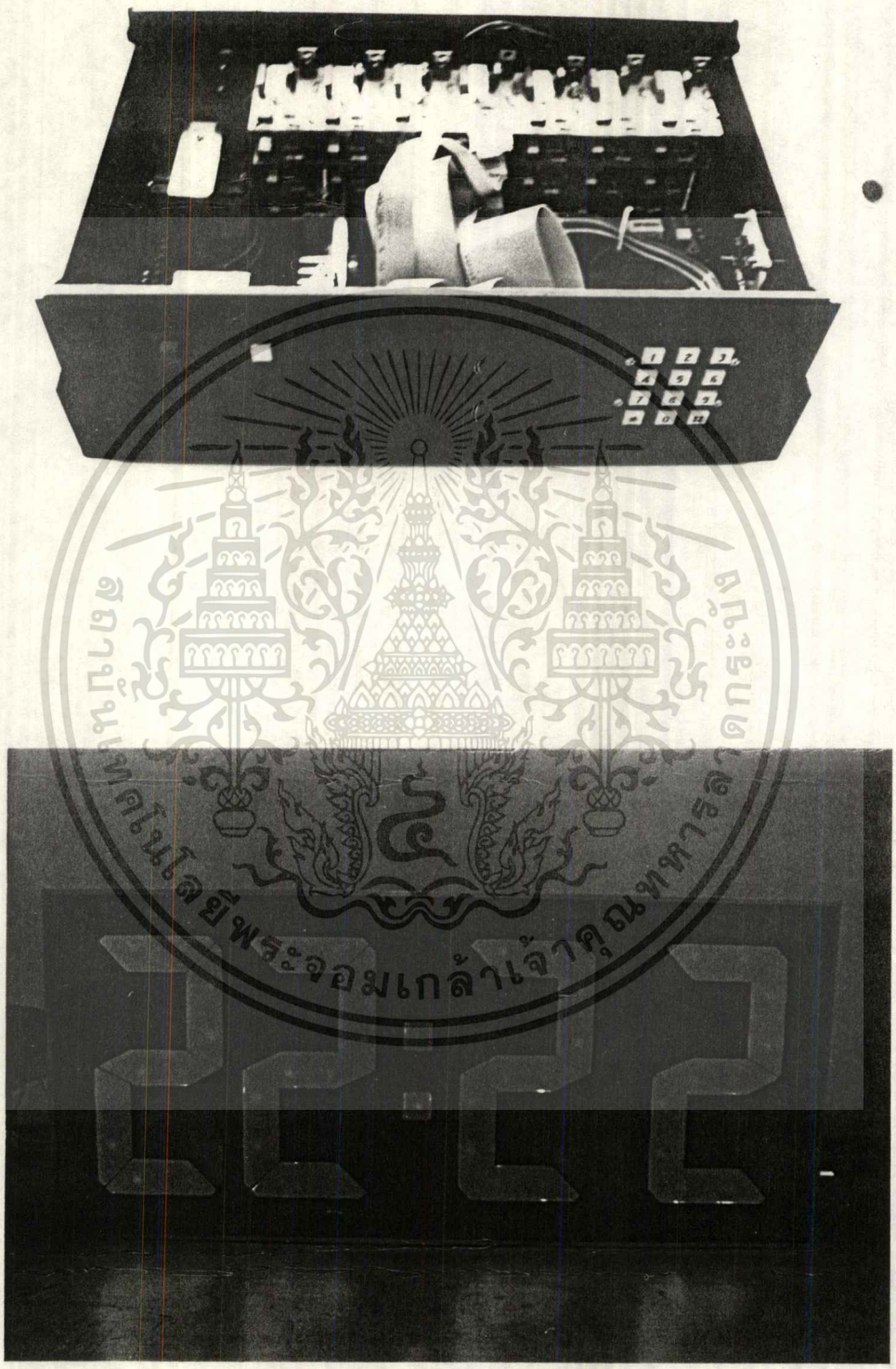
6. ปัญหาในส่วนของวงจรตรวจจับอุณหภูมิ ค่าแรงดันที่เกิดจากวงจรตรวจจับอุณหภูมิมีความผิดพลาด (ตรวจจับอุณหภูมิผิดพลาด) ซึ่งเกิดจากวงจรขยาย LM308 มีค่า GAIN ไม่ถูกต้อง (มากกว่า 1) ได้ทำการแก้ไขโดยการเปลี่ยนมาใช้ R ตัว ซึ่งทำให้ค่าตรวจจับผิดพลาดลดลง

7. ปัญหาในส่วนของวงจรขับหลอดไฟ ในตอนแรก เราได้ทำการออกแบบวงจรให้มี VR สำหรับปรับความสว่างของหลอดไฟ แต่เมื่อทำการทดลองใช้ VR ทำให้มีเสียงดัง (เนื่องจาก carbon contact ปาง) ทำให้เกิดการไหม้มีผลต่อเครื่องมาก ๆ เราได้ทำการแก้ไขโดยใช้ R ปรับ ค่า 47 กิโลโอห์ม แทน ซึ่งค่า R ค่านี้ เราได้ทำการทดลองแล้วให้ความสว่างของหลอดไฟได้ตามต้องการ

สำหรับรูปร่างแบบของโครงงานเครื่องแจ้งเวลาและอุณหภูมิระบบดิจิตอลนี้เราจะได้ทำการถ่านรูปจากเครื่องที่ทำจริงไว้ด้วยดังรูปที่ 4.1



เอกสารนี้เป็น ต้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 ภาพถ่ายจากของจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1 อุดมศักดิ์ ยั่งยืน POWER ELECTRONIC 2538

2 COMPUTER LAMGUAGE CENTER การใช้งาน Z-80

3 บริษัท ซีเอ็ดยูเคชั่น จำกัด คู่มือเทียบเบอร์ไอซี TTL

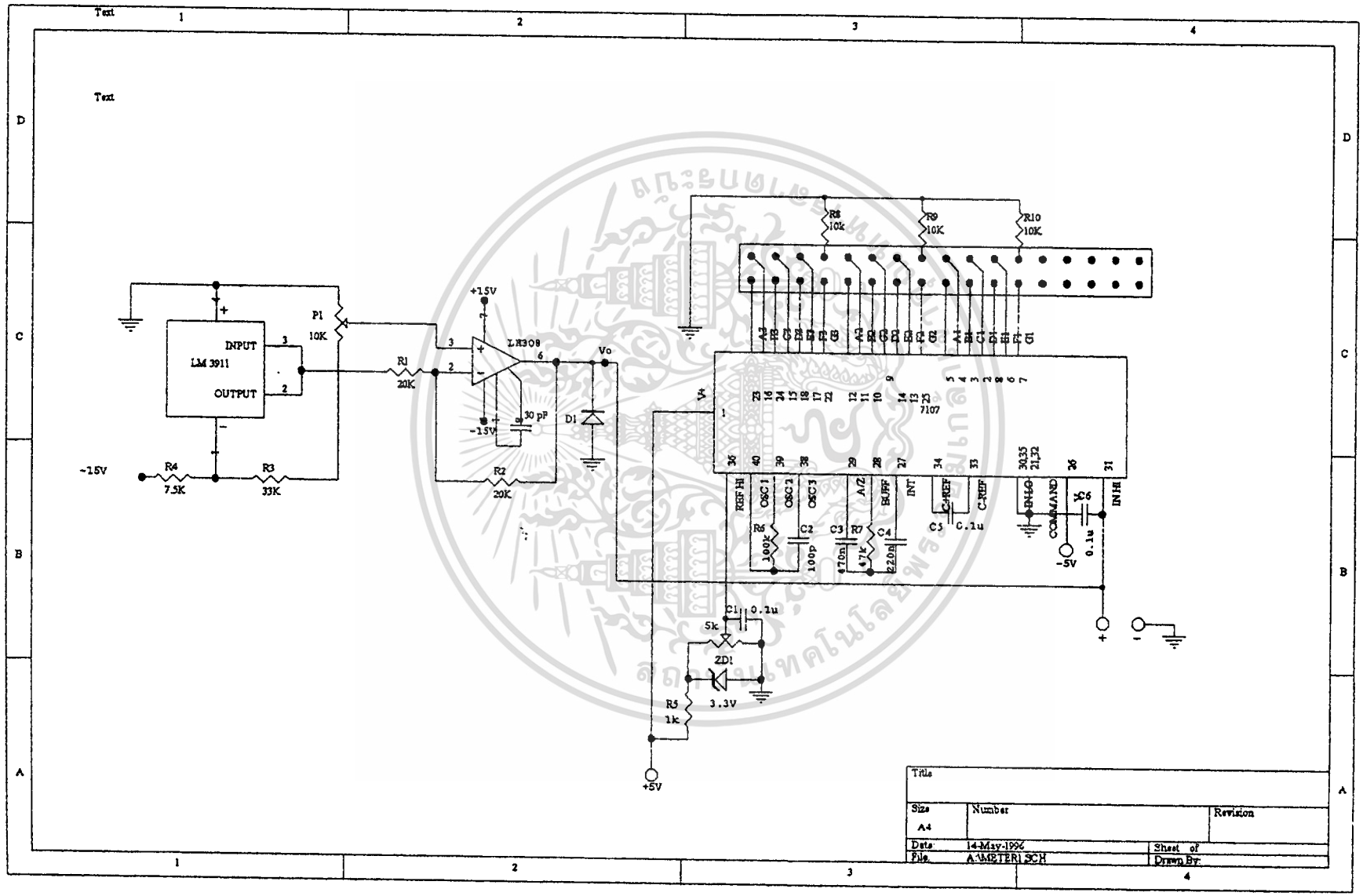
4 บริษัท ซีเอ็ดยูเคชั่น จำกัด อุปกรณ์สารกึ่งตัวนำ

5 DATACONVERSION ACQUISITION DATABOOK NATIONAL SEMICONDUCTOR

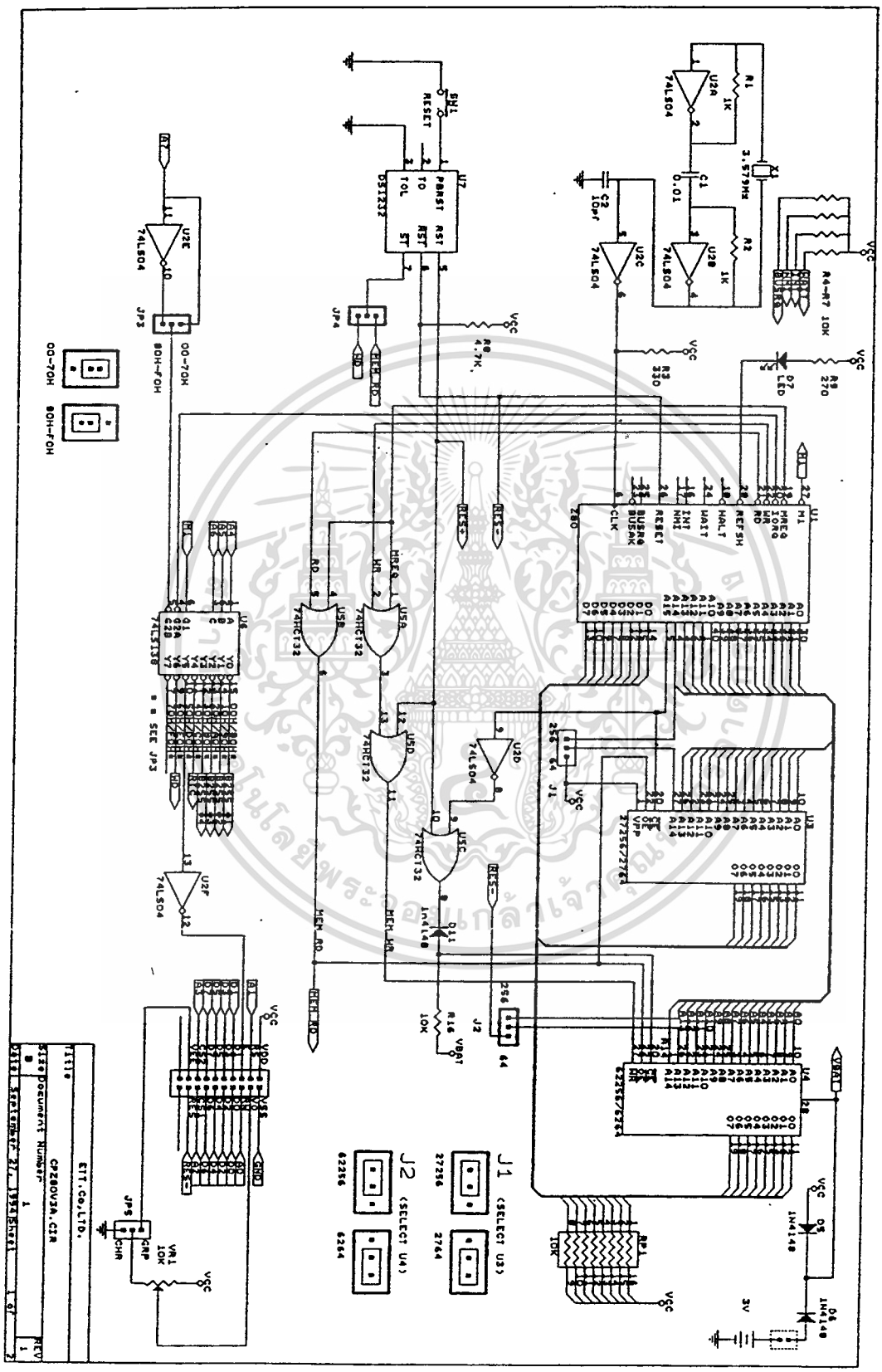
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

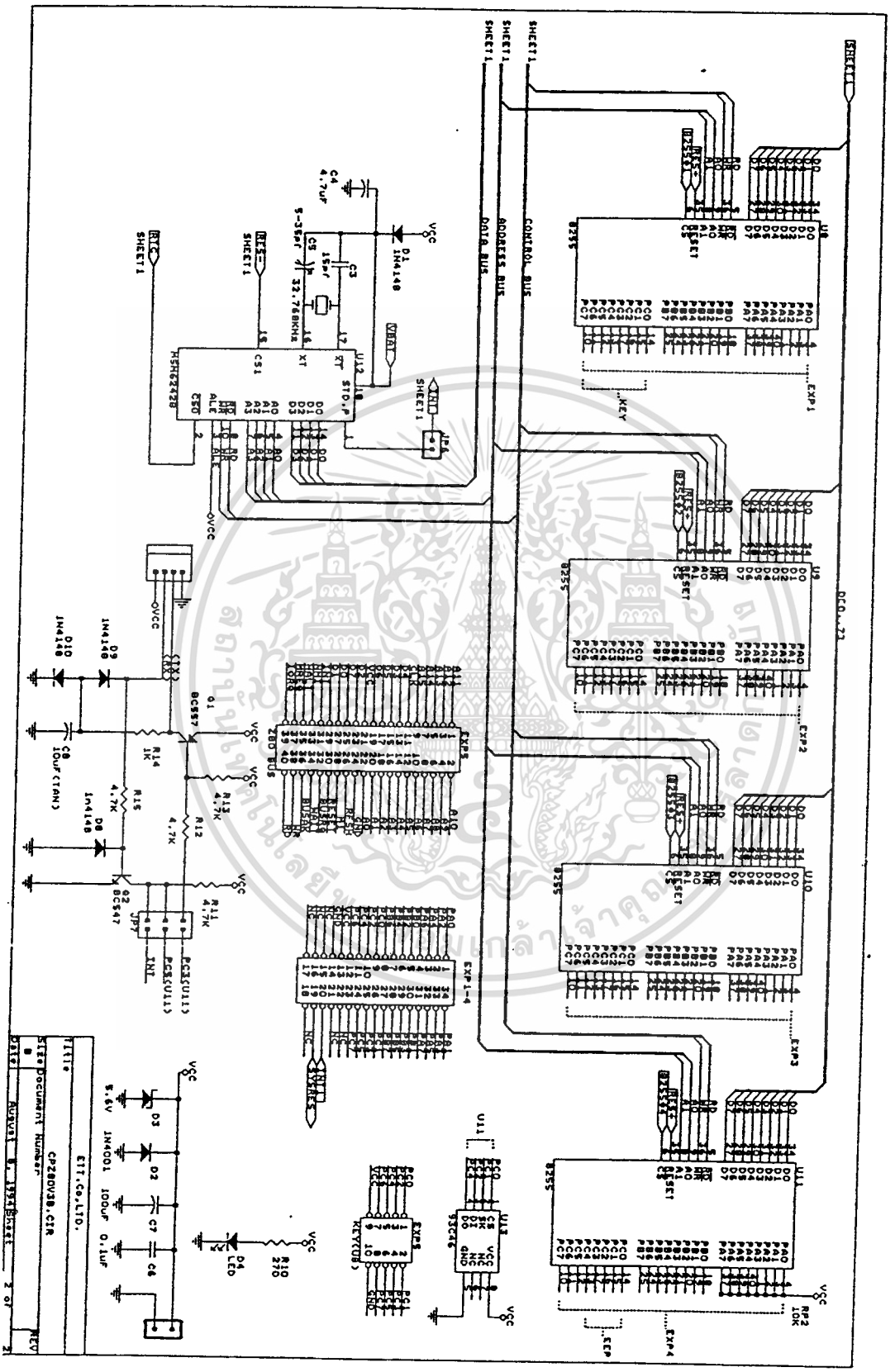
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



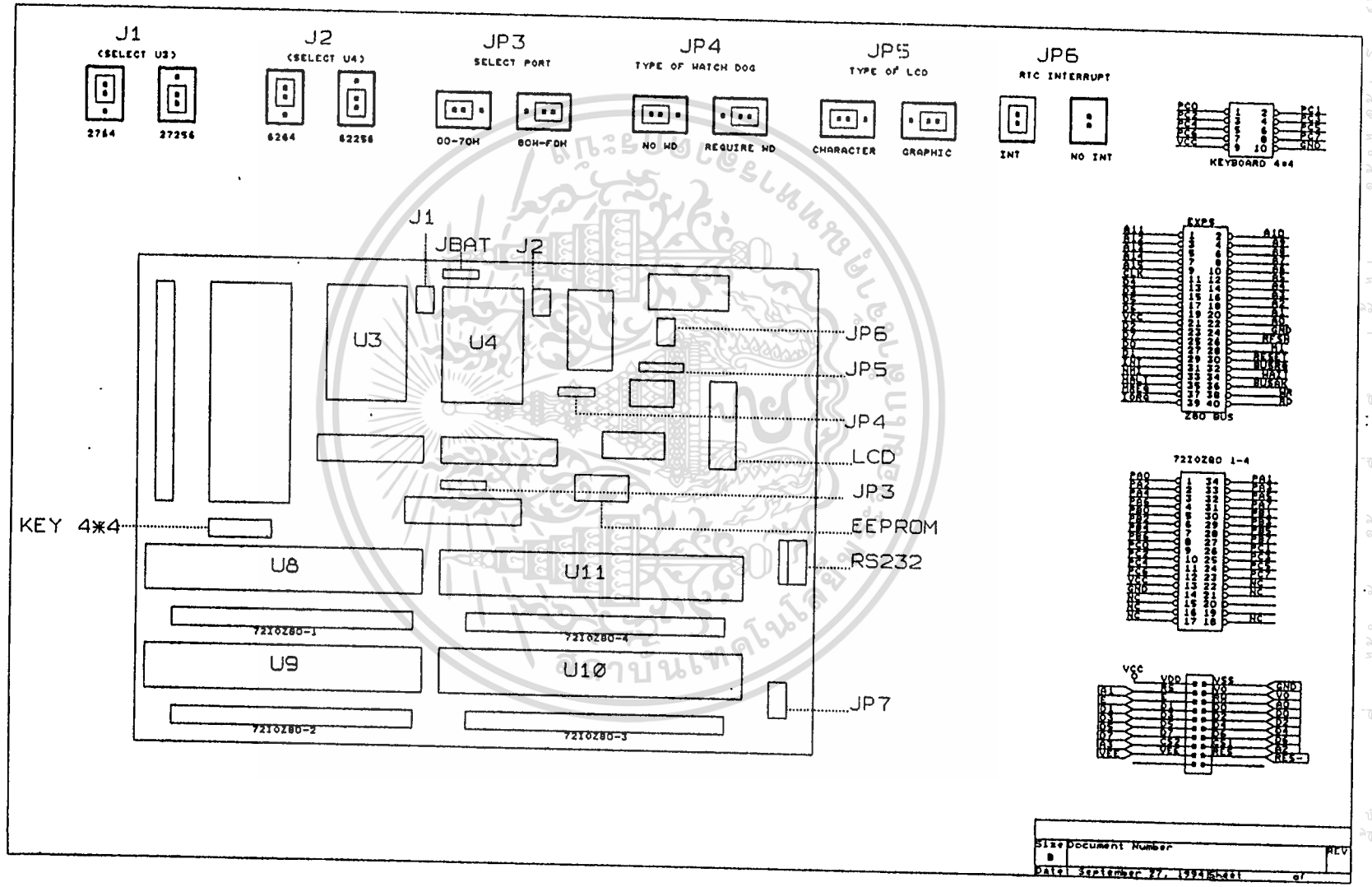
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Tue May 14 1996 23:16

2500 A.D. Z80 Macro Assembler - Version 4.02a

Input Filename : pa.asm
Output Filename : pa.obj

```
 1  9FFF                                ORG 9FFFH   ;AUTO RUN
 2  9FFF   A3                      DB  0A3H
 3
 4  8000                                ORG 8000H
 5
 6                                 ;              *** PORT 8255 ***
 7
 8         0080                    PA1     EQU  80H                ;PORT A 8255 U8
 9         0081                    PB1     EQU  81H                ;PORT B 8255 U8
10         0082                    PC1     EQU  82H                ;PORT C 8255 U8
11                                ;-------------------------------------------------------
12         0090                    PA2     EQU  90H                ;PORT A 8255 U9
13         0091                    PB2     EQU  91H                ;PORT B 8255 U9
14         0092                    PC2     EQU  92H                ;PORT C 8255 U9
15                                ;-------------------------------------------------------
16         00A0                    PA3     EQU  0A0H               ;PORT A 8255 U10
17         00A1                    PB3     EQU  0A1H               ;PORT B 8255 U10
18         00A2                    PC3     EQU  0A2H               ;PORT C 8255 U10
19                                ;-------------------------------------------------------
20         0080                    PA4     EQU  080H               ;PORT A 8255 U11
21         0081                    PB4     EQU  081H               ;PORT B 8255 U11
22         00B2                    PC4     EQU  082H               ;PORT C 8255 U11
23                                ;-------------------------------------------------------
24         0083                    PCC1    EQU  83H                ;CONTROL PORT 8255 U8
25         0093                    PCC2    EQU  93H                ;CONTROL PORT 8255 U9
26         00A3                    PCC3    EQU  0A3H               ;CONTROL PORT 8255 U10
27         00B3                    PCC4    EQU  083H               ;CONTROL PORT 8255 U11
28                                ;-------------------------------------------------------
29
30                                ;                  *** PORT RTC ***
31
32         00C0                    SEC1    EQU 0C0H                ;SECOND 1
33         00C1                    SEC10   EQU 0C1H                ;SECOND 10
34         00C2                    MIN1    EQU 0C2H                ;MINUTE 1
35         00C3                    MIN10   EQU 0C3H                ;MINUTE 10
36         00C4                    HOR1    EQU 0C4H                ;HOUR   1
37         00C5                    HOR10   EQU 0C5H                ;HOUR   10
38         00C6                    DAY1    EQU 0C6H                ;DAY    1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
39          00C7              DAY10   EQU 0C7H              ;DAY    10
40          00C8              MONT1   EQU 0C8H              ;MOUNT  1
41          00C9              MONT10  EQU 0C9H              ;MOUNT  10
42          00CA              YEAR1   EQU 0CAH              ;YEAR   1
43          00CB              YEAR10  EQU 0C8H              ;YEAR   10
44          00CC              WEEK    EQU 0CCH              ;DAY IN WEEK
45          00CD              REGD    EQU 0CDH              ;REGISTER D
46          00CE              REGE    EQU 0CEH              ;REGISTER E
47          00CF              REGF    EQU 0CFH              ;REGISTER F

48                          ;-------------------------------------------------------------
49
50                          ;                   *** INITIAL PROGRAM ***
51
52  8000    AF                      XOR   A
53  8001    3D                PROG  DEC   A
54  8002    20 FD                   JR    NZ,PROG
55                          ;-------------------------------------------------------------
56
57                          ;                   *** INITIAL 8255 ***
58
59  8004    3E 81                   LD    A,81H
60  8006    D3 83                   OUT   (PCC1),A          ;PA1 OUT , PB1 OUT , PClow IN ,PCup OUT
61  8008    3E 80                   LD    A,80H
62  800A    D3 93                   OUT   (PCC2),A          ;PA2 OUT , PB2 OUT , PC2 OUT
63  800C    D3 A3                   OUT   (PCC3),A          ;PA3 OUT , PB3 OUT , PC3 OUT
64  800E    3E 98                   LD    A,98H
65  8010    D3 B3                   OUT   (PCC4),A          ;PA4 IN  , PB4 IN  , PC4 IN
66                          ;-------------------------------------------------------------
67
68                          ;                   *** INITIL RTC ***
69
70  8012    3E 04                   LD    A,04H
71  8014    D3 CF                   OUT   (REGF),A          ;SET MODE 24 HOUR
72                          ;-------------------------------------------------------------
73
74                          ;                   *** MAIN PROGRAM ***
75
76  8016    26 00             MODE  LD    H,00H             ;SET MODE=0
77  8018    2E 00             CHEKT LD    L,00H             ;SET CHECKTIME=0
78  801A                      CHEKK
79  801A    CD 3F 82          SCANS CALL  SCANK
80  801D    FE FF                   CP    0FFH
81  801F    28 05                   JR    Z,SCANT
82  8021    FE 0C                   CP    0CH
83  8023    CA D5 80                JP    Z,SETT
84  8026    CD 3F 82          SCANT CALL  SCANK
85  8029    FE FF                   CP    0FFH
86  802B    28 07                   JR    Z,CHEKM
87  802D    FE 0A                   CP    0AH
88  802F    20 03                   JR    NZ,CHEKM
89  8031    C3 01 82                JP SSEC
90  8034    7C                CHEKM LD    A,H
91  8035    FE 00                    CP    00H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 92  8037   CA 3F 80                JP    Z,THEMO
 93  803A   FE 01                   CP    01H
 94  803C   CA 84 80                JP    Z,TIME
 95
 96                          ;              *** THEMO ROUTINE ***
 97
 98  803F   7D              THEMO   LD    A,L
 99  8040   FE 00                   CP    00H
100  8042   28 04                   JR    Z,AA
101  8044   FE 01                   CP    01H
102  8046   28 03                   JR    Z,BB
103  8048   CD C2 82        AA      CALL  SETCK
104  804B   CD 21 83        BB      CALL  LDCK
105  804E   78                     LD    A,B
106  804F   92                     SUB   D
107  8050   FA 18 80                JP    M,CHEKT
108  8053   79                     LD    A,C
109  8054   93                     SUB   E
110  8055   FA 18 80                JP    M,CHEKT
111  8058   78                     LD    A,B
112  8059   BA                     CP    D
113  805A   20 05                   JR    NZ,THEMO1
114  805C   79                     LD    A,C
115  805D   BB                     CP    E
116  805E   CA 7F 80                JP    Z,SM1
117  8061   DB B0          THEMO1  IN    A,(PA4)
118  8063   2F                     CPL
119  8064   D3 90                   OUT   (PA2),A
120  8066   D3 A1                   OUT   (PB3),A
121  8068   DB B1                   IN    A,(PB4)
122  806A   2F                     CPL
123  806B   D3 81                   OUT   (PB1),A
124  806D   D3 A0                   OUT   (PA3),A
125  806F   DB 80                   IN    A,(PA1)
126  8071   2F                     CPL
127  8072   D3 80                   OUT   (PA1),A
128  8074   D3 92                   OUT   (PC2),A
129  8076   3E D8                   LD    A,D8H
130  8078   D3 91                   OUT   (PB2),A
131  807A   D3 A2                   OUT   (PC3),A
132  807C   C3 1A 80                JP    CHEKK
133  807F   26 01           SM1     LD    H,01H            ; SET MODE =1
134  8081   C3 18 80                JP    CHEKT
135
136                         ;              *** TIME ROUTINE ***
137
138  8084   7D              TIME    LD    A,L
139  8085   FE 00                   CP    00H
140  8087   28 04                   JR    Z,CC
141  8089   FE 01                   CP    01H
142  808B   28 03                   JR    Z,DD
143  808D   CD C2 82        CC      CALL  SETCK
144  8090   CD 21 83        DD      CALL  LDCK
145  8093   78                     LD    A,B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
146  8094  92                      SUB   D
147  8095  FA 18 80                JP    M,CHEKT
148  8098  79                      LD    A,C
149  8099  93                      SUB   E
150  809A  FA 18 80                JP    M,CHEKT
151  809D  78                      LD    A,B
152  809E  BA                      CP    D
153  809F  20 05                   JR    NZ,TIME1
154  80A1  79                      LD    A,C
155  80A2  88                      CP    E
156  80A3  CA 16 80                JP    Z,MODE
157  80A6  DB C5          TIME1    IN    A,(HOR10)        ;SHOW HOUR10
158  80A8  E6 0F                   AND   0FH
159  80AA  CD B5 82                CALL  SHOW
160  80AD  D3 80                   OUT   (PA1),A
161  80AF  D3 92                   OUT   (PC2),A
162  80B1  DB C4                   IN    A,(HOR1)         ;SHOW HOUR1
163  80B3  E6 0F                   AND   0FH
164  80B5  CD B5 82                CALL  SHOW
165  80B8  D3 81                   OUT   (PB1),A
166  80BA  D3 A0                   OUT   (PA3),A
167  80BC  DB C3                   IN    A,(MIN10)        ;SHOW MINUTE10
168  80BE  E6 0F                   AND   0FH
169  80C0  CD B5 82                CALL  SHOW
170  80C3  D3 90                   OUT   (PA2),A
171  80C5  D3 A1                   OUT   (PB3),A
172  80C7  DB C2                   IN    A,(MIN1)         ;SHOW MINUTE1
173  80C9  E6 0F                   AND   0FH
174  80CB  CD B5 82                CALL  SHOW
175  80CE  D3 91                   OUT   (PB2),A
176  80D0  D3 A2                   OUT   (PC3),A
177  80D2  C3 1A 80                JP    CHEKK
178
179                        ;              *** SETTIME ROUTINE ***
180
181  80D5  F5             SETT     PUSH  AF
182  80D6  C5                      PUSH  BC
183  80D7  D5                      PUSH  DE
184  80D8  3E 88                   LD    A,88H
185  80DA  D3 92                   OUT   (PC2),A
186  80DC  3E 00                   LD    A,00H
187  80DE  D3 A0                   OUT   (PA3),A
188  80E0  D3 A1                   OUT   (PB3),A
189  80E2  D3 A2                   OUT   (PC3),A
190  80E4  CD 3F 82       SC1      CALL  SCANK            ;WAIT KEY1
191  80E7  FE FF                   CP    0FFH
192  80E9  28 F9                   JR    Z,SC1
193  80EB  FE 01                   CP    01H
194  80ED  CA FC 80                JP    Z,K11
195  80F0  FE 02                   CP    02H
196  80F2  CA FC 80                JP    Z,K11
197  80F5  FE 08                   CP    08H
198  80F7  CA FC 80                JP    Z,K11
199  80FA  18 E8                   JR    SC1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 200  80FC  FE 08          K11     CP    08H
 201  80FE  20 02                  JR    NZ,K1
 202  8100  3E 00                  LD    A,00H
 203  8102  47              K1      LD    B,A
 204  8103  CD B5 82               CALL  SHOW
 205  8106  D3 92                  OUT   (PC2),A
 206  8108  CD 3F 82          A0      CALL  SCANK
 207  8108  FE FF                  CP    0FFH
 208  810D  20 F9                  JR    NZ,A0
 209  810F  3E 08                  LD    A,08H
 210  8111  D3 A0                  OUT   (PA3),A
 211  8113  78              CHECK   LD    A,B             ;WAIT KEY2
 212  8114  FE 01                  CP    01H
 213  8116  28 08                  JR    Z,SC2
 214  8118  FE 00                  CP    00H
 215  811A  28 04                  JR    Z,SC2
 216  811C  FE 02                  CP    02H
 217  811E  28 11                  JR    Z,SC3
 218  8120  CD 3F 82          SC2     CALL  SCANK
 219  8123  FE FF                  CP    0FFH
 220  8125  28 F9                  JR    Z,SC2
 221  8127  FE 0A                  CP    0AH
 222  8129  28 F5                  JR    Z,SC2
 223  812B  FE 0C                  CP    0CH
 224  812D  28 F1                  JR    Z,SC2
 225  812F  18 19                  JR    K22
 226  8131  CD 3F 82          SC3     CALL  SCANK
 227  8134  FE FF                  CP    0FFH
 228  8136  28 F9                  JR    Z,SC3
 229  8138  FE 01                  CP    01H
 230  813A  28 27                  JR    Z,K33
 231  813C  FE 02                  CP    02H
 232  813E  28 23                  JR    Z,K33
 233  8140  FE 03                  CP    03H
 234  8142  28 1F                  JR    Z,K33
 235  8144  FE 08                  CP    08H
 236  8146  28 1B                  JR    Z,K33
 237  8148  18 E7                  JR    SC3
 238  814A  FE 08          K22     CP    08H
 239  814C  20 02                  JR    NZ,K2
 240  814E  3E 00                  LD    A,00H
 241  8150  4F              K2      LD    C,A
 242  8151  CD B5 82               CALL  SHOW
 243  8154  D3 A0                  OUT   (PA3),A
 244  8156  CD 3F 82          A1      CALL  SCANK
 245  8159  FE FF                  CP    0FFH
 246  815B  20 F9                  JR    NZ,A1
 247  815D  3E 08                  LD    A,08H
 248  815F  D3 A1                  OUT   (PB3),A
 249  8161  18 17                  JR    SC4
 250  8163  FE 0B          K33     CP    0BH
 251  8165  20 02                  JR    NZ,K3
 252  8167  3E 00                  LD    A,00H
 253  8169  4F              K3      LD    C,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
254  816A  CD 85 82              CALL  SHOW
255  816D  D3 A0                 OUT   (PA3),A
256  816F  CD 3F 82       A2     CALL  SCANK
257  8172  FE FF                 CP    0FFH
258  8174  20 F9                 JR    NZ,A2
259  8176  3E 08                 LD    A,08H
260  8178  D3 A1                 OUT   (PB3),A
261  817A  CD 3F 82       SC4    CALL  SCANK           ;WAIT KEY3
262  817D  FE FF                 CP    0FFH
263  817F  28 F9                 JR    Z,SC4
264  8181  FE 01                 CP    01H
265  8183  28 16                 JR    Z,K44
266  8185  FE 02                 CP    02H
267  8187  28 12                 JR    Z,K44
268  8189  FE 03                 CP    03H
269  818B  28 0E                 JR    Z,K44
270  818D  FE 04                 CP    04H
271  818F  28 0A                 JR    Z,K44
272  8191  FE 05                 CP    05
273  8193  28 06                 JR    Z,K44
274  8195  FE 08                 CP    08H
275  8197  28 02                 JR    Z,K44
276  8199  18 DF                 JR    SC4
277  819B  FE 08          K44    CP    08H
278  819D  20 02                 JR    NZ,K4
279  819F  3E 00                 LD    A,00H
280  81A1  57             K4     LD    D,A
281  81A2  CD 85 82              CALL  SHOW
282  81A5  D3 A1                 OUT   (PB3),A
283  81A7  CD 3F 82       A3     CALL  SCANK
284  81AA  FE FF                 CP    0FFH
285  81AC  20 F9                 JR    NZ,A3
286  81AE  3E 08                 LD    A,08H
287  81B0  D3 A2                 OUT   (PC3),A
288  81B2  CD 3F 82       SC5    CALL  SCANK           ;WAIT KEY4
289  81B5  FE FF                 CP    0FFH
290  81B7  28 F9                 JR    Z,SC5
291  81B9  FE 0A                 CP    0AH
292  81BB  28 F5                 JR    Z,SC5
293  81BD  FE 0C                 CP    0CH
294  81BF  28 F1                 JR    Z,SC5
295  81C1  FE 0B          K55    CP    0BH
296  81C3  20 02                 JR    NZ,K5
297  81C5  3E 00                 LD    A,00H
298  81C7  5F             K5     LD    E,A
299  81C8  CD 85 82              CALL  SHOW
300  81CB  D3 A2                 OUT   (PC3),A
301  81CD  CD 3F 82       A4     CALL  SCANK
302  81D0  FE FF                 CP    0FFH
303  81D2  20 F9                 JR    NZ,A4
304  81D4  CD 3F 82       K66    CALL  SCANK
305  81D7  FE FF                 CP    0FFH
306  81D9  28 F9                 JR    Z,K66
307  81DB  FE 0C                 CP    0CH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
308  81DD  28 02                    JR    Z,RTC
309  81DF  18 F3                    JR    K66
310  81E1  CD 3F 82          RTC    CALL  SCANK
311  81E4  FE FF                    CP    0FFH
312  81E6  20 F9                    JR    NZ,RTC
313  81E8  78                       LD    A,B
314  81E9  D3 C5                    OUT   (HOR10),A
315  81EB  79                       LD    A,C
316  81EC  D3 C4                    OUT   (HOR1),A
317  81EE  7A                       LD    A,D
318  81EF  D3 C3                    OUT   (MIN10),A
319  81F1  7B                       LD    A,E
320  81F2  D3 C2                    OUT   (MIN1),A
321  81F4  CD 3F 82          A5     CALL  SCANK
322  81F7  FE FF                    CP    0FFH
323  81F9  20 F9                    JR    NZ,A5
324  81FB  D1                       POP   DE
325  81FC  C1                       POP   BC
326  81FD  F1                       POP   AF
327  81FE  C3 26 80                 JP    SCANT
328
329                         ;                  *** SECOND ROUTINE ***
330
331  8201  F5               SSEC    PUSH  AF
332  8202  C5                       PUSH  BC
333  8203  D5                       PUSH  DE
334  8204  E5                       PUSH  HL
335  8205  DB C3            S1      IN    A,(MIN10)        ;SHOW MINUTE10
336  8207  E6 0F                    AND   0FH
337  8209  CD B5 82                 CALL  SHOW
338  820C  D3 80                    OUT   (PA1),A
339  820E  D3 92                    OUT   (PC2),A
340  8210  DB C2                    IN    A, (MIN1)        ;SHOW MINUTE1
341  8212  E6 0F                    AND   0FH
342  8214  CD B5 82                 CALL  SHOW
343  8217  D3 81                    OUT   (PB1),A
344  8219  D3 A0                    OUT   (PA3),A
345  8218  DB C1                    IN    A,(SEC10)        ;SHOW SECOND10
346  821D  E6 0F                    AND   0FH
347  821F  CD B5 82                 CALL  SHOW
348  8222  D3 90                    OUT   (PA2),A
349  8224  D3 A1                    OUT   (PB3),A
350  8226  DB C0                    IN    A,(SEC1)                  ;SHOW SECOND1
351  8228  E6 0F                    AND   0FH
352  822A  CD B5 82                 CALL  SHOW
353  822D  D3 91                    OUT   (PB2),A
354  822F  D3 A2                    OUT   (PC3),A
355  8231  CD 3F 82          KEYC   CALL  SCANK
356  8234  FE FF                    CP    0FFH
357  8236  20 CD                    JR    NZ,S1
358  8238  E1                       POP   HL
359  8239  D1                       POP   DE
360  823A  C1                       POP   BC
361  823B  F1                       POP   AF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
362  823C  C3 34 80          JP    CHEKM
363
364                    ;              *** SCANKEYBOARD SUBROUTINE ***
365
366  823F  C5          SCANK  PUSH  BC
367  8240  3E EF       SCAN1  LD    A,0EFH
368  8242  D3 82              OUT   (PC1),A
369  8244  DB 82              IN    A,(PC1)
370  8246  E6 0F              AND   0FH
371  8248  FE 0F              CP    0FH
372  824A  28 0E              JR    Z,SCAN2
373  824C  CD 3A 83           CALL  DELAY
374  824F  DB 82              IN    A,(PC1)
375  8251  E6 0F              AND   0FH
376  8253  06 00              LD    B,00H
377  8255  CD 92 82           CALL  BITT
378  8258  C1                POP   BC
379  8259  C9                RET
380  825A  3E DF       SCAN2  LD    A,0DFH
381  825C  D3 82              OUT   (PC1),A
382  825E  DB 82              IN    A,(PC1)
383  8260  E6 0F              AND   0FH
384  8262  FE 0F              CP    0FH
385  8264  28 0E              JR    Z,SCAN3
386  8266  CD 3A 83           CALL  DELAY
387  8269  DB 82              IN    A,(PC1)
388  826B  E6 0F              AND   0FH
389  826D  06 01              LD    B,01H
390  826F  CD 92 82           CALL  BITT
391  8272  C1                POP   BC
392  8273  C9                RET
393  8274  3E BF       SCAN3  LD    A,08FH
394  8276  D3 82              OUT   (PC1),A
395  8278  DB 82              IN    A,(PC1)
396  827A  E6 0F              AND   0FH
397  827C  FE 0F              CP    0FH
398  827E  28 0E              JR    Z,NOKEY
399  8280  CD 3A 83           CALL  DELAY
400  8283  DB 82              IN    A,(PC1)
401  8285  E6 0F              AND   0FH
402  8287  06 02              LD    B,02H
403  8289  CD 92 82           CALL  BITT
404  828C  C1                POP   BC
405  828D  C9                RET
406  828E  3E FF       NOKEY  LD    A,0FFH
407  8290  C1                POP   BC
408  8291  C9                RET
409
410                    ;              *** CHECKBIT SUBROUTINE ***
411
412  8292              BITT
413  8292  CB 5F       ROW1   BIT   3,A
414  8294  20 04              JR    NZ,ROW2
415  8296  3E 01              LD    A,01H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
416  8298  18 16              JR    PA
417  829A  C8 57       ROW2   BIT   2,A
418  829C  20 04              JR    NZ,ROW3
419  829E  3E 04              LD    A,04H
420  82A0  18 0E              JR    PA
421  82A2  C8 4F       ROW3   BIT   1,A
422  82A4  20 04              JR    NZ,ROW4
423  82A6  3E 07              LD    A,07H
424  82A8  18 06              JR    PA
425  82AA  C8 47       ROW4   BIT   0,A
426  82AC  20 04              JR    NZ,EXIT
427  82AE  3E 0A              LD    A,0AH
428  82B0  80          PA     ADD   A,B
429  82B1  C9                 RET
430  82B2  3E FF       EXIT   LD    A,0FFH
431  82B4  C9                 RET
432
433                    ;            *** SHOW DISPLAY ***
434
435  82B5  E5          SHOW   PUSH  HL
436  82B6  21 47 83           LD    HL,TABLE
437  82B9  85                 ADD   A,L
438  82BA  6F                 LD    L,A
439  82BB  7C                 LD    A,H
440  82BC  CE 00              ADC   A,00H
441  82BE  67                 LD    H,A
442  82BF  7E                 LD    A,(HL)
443  82C0  E1                 POP   HL
444  82C1  C9                 RET
445
446
447                    ;            *** SETCLOCK  SUBROUTINE ***
448
449  82C2  DB C2       SETCK  IN    A,(MIN1)
450  82C4  E6 0F              AND   0FH
451  82C6  47                 LD    B,A
452  82C7  DB C0              IN    A,(SEC1)
453  82C9  E6 0F              AND   0FH
454  82CB  C6 00              ADD   A,00H
455  82CD  4F                 LD    C,A
456  82CE  DB C1              IN    A,(SEC10)
457  82D0  E6 0F              AND   0FH
458  82D2  C6 02              ADD   A,02H
459  82D4  57                 LD    D,A
460  82D5  D6 05              SUB   05H
461  82D7  FA E9 82           JP    M,NORML
462  82DA  FE 00              CP    00H
463  82DC  CA E9 82           JP    Z,NORML
464  82DF  FE 01              CP    01H
465  82E1  CA F9 82           JP    Z,OVER1
466  82E4  FE 02              CP    02H
467  82E6  CA 0C 83           JP    Z, OVER2
468  82E9  7A          NORML  LD    A,D
469  82EA  CB 07              RLC   A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 470  82EC   CB 07                    RLC   A
 471  82EE   CB 07                    RLC   A
 472  82F0   CB 07                    RLC   A
 473  82F2   E6 F0                    AND   0F0H
 474  82F4   81                       ADD   A,C
 475  82F5   4F                       LD    C,A
 476  82F6   2E 01                    LD    L,01H
 477  82F8   C9                       RET
 478  82F9   78              OVER1    LD    A,B
 479  82FA   C6 01                    ADD   A,01H
 480  82FC   FE 0A                    CP    0AH
 481  82FE   28 03                    JR    Z,XX1
 482  8300   47                       LD    B,A
 483  8301   18 02                    JR    ZZ1
 484  8303   06 00              XX1      LD    B,00H
 485  8305   3E 00              ZZ1      LD    A,00H
 486  8307   81                       ADD   A,C
 487  8308   4F                       LD    C,A
 488  8309   2E 01                    LD    L,01H
 489  830B   C9                       RET
 490  830C   78              OVER2    LD    A,B
 491  830D   C6 01                    ADD   A,01H
 492  830F   FE 0A                    CP    0AH
 493  8311   28 03                    JR    Z,XX2
 494  8313   47                       LD    B,A
 495  8314   18 02                    JR    ZZ2
 496  8316   06 00              XX2      LD    B,00H
 497  8318   3E 10              ZZ2      LD    A,10H
 498  831A   E6 F0                    AND   0F0H
 499  831C   81                       ADD   A,C
 500  831D   4F                       LD    C,A
 501  831E   2E 01                    LD    L,01H
 502  8320   C9                       RET
 503
 504                         ;                *** LOADCLOCK  SUBROUTINE ***
 505
 506  8321   DB C2              LDCK     IN    A,(MIN1)
 507  8323   E6 0F                      AND   0FH
 508  8325   57                         LD    D,A
 509  8326   DB C0                      IN    A,(SEC1)
 510  8328   E6 0F                      AND   0FH
 511  832A   5F                         LD    E,A
 512  832B   DB C1                      IN    A,(SEC10)
 513  832D   CB 07                      RLC   A
 514  832F   CB 07                      RLC   A
 515  8331   CB 07                      RLC   A
 516  8333   CB 07                      RLC   A
 517  8335   E6 F0                      AND   0F0H
 518  8337   83                         ADD   A,E
 519  8338   5F                       LD    E,A
 520  8339   C9                         RET
 521
 522                         ;                *** DELAY SUBROUTINE ***
 523
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 524  833A  C5              DELAY   PUSH  BC
 525  833B  F5                      PUSH  AF
 526  833C  01 00 10                LD    BC,1000H
 527  833F  0B              DELAY1  DEC   BC
 528  8340  78                      LD    A,B
 529  8341  B1                      OR    C
 530  8342  20 FB                   JR    NZ,DELAY1
 531  8344  F1                      POP   AF
 532  8345  C1                      POP   BC
 533  8346  C9                      RET
 534
 535                          ;              *** TABLE 7 SEGMENT ***
 536
 537  8347  BF 86 DB CF E6  TABLE   DB BFH,86H,DBH,CFH,E6H,EDH,FDH,87H,FFH,EFH,00H,BFH,00H
      834C  ED FD 87 FF EF
      8351  00 BF 00
 538
 539  8354                          END

Defined          Symbol Name          Value     References

 206    A0                           8108      208
 244    A1                           8156      246
 256    A2                           816F      258
 283    A3                           81A7      285
 301    A4                           81CD      303
 321    A5                           81F4      323
 103    AA                           8048      100
 104    BB                           8048      102
 412    BITT                         8292      377    390    403
 143    CC                           808D      140
 211    CHECK                        8113
  78    CHEKK                        801A      132    177
  90    CHEKM                        8034       86     88    362
  77    CHEKT                        8018      107    110    134    147    150
Pre     CODE                         0000
Pre     DATA                         0000
  38    DAY1                       = 00C6
  39    DAY10                      = 00C7
 144    DD                           8090      142
 524    DELAY                        833A      373    386    399
 527    DELAY1                       833F      530
 430    EXIT                         82B2      426
  36    HOR1                       = 00C4      162    316
  37    HOR10                      = 00C5      157    314
 203    K1                           8102      201
 200    K11                          80FC      194    196    198
 241    K2                           8150      239
 238    K22                          814A      225
 253    K3                           8169      251
 250    K33                          8163      230    232    234    236
 280    K4                           81A1      278
 277    K44                          819B      265    267    269    271    273    275
 298    K5                           81C7      296
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

295	K55		81C1						
304	K66		81D4	306	309				
355	KEYC		8231						
506	LDCK		8321	104	144				
34	MIN1	=	00C2	172	320	340	449	506	
35	MIN10	=	00C3	167	318	335			
76	MODE		8016	156					
40	MONT1	=	00C8						
41	MONT10	=	00C9						
406	NOKEY		828E	398					
468	NORML		82E9	461	463				
478	OVER1		82F9	465					
490	OVER2		830C	467					
428	PA		82B0	416	420	424			
8	PA1	=	0080	125	127	160	338		
12	PA2	=	0090	119	170	348			
16	PA3	=	00A0	124	166	187	210	243	255
				344					
20	PA4	=	0080	117					
9	PB1	=	0081	123	165	343			
13	PB2	=	0091	130	175	353			
17	PB3	=	00A1	120	171	188	248	260	282
				349					
21	PB4	=	0081	121					
10	PC1	=	0082	368	369	374	381	382	387
				394					
				395	400				
14	PC2	=	0092	128	161	185	205	339	

Defined	Symbol Name		Value	References					
18	PC3	=	00A2	131	176	189	287	300	354
22	PC4	=	00B2						
24	PCC1	=	0083	60					
25	PCC2	=	0093	62					
26	PCC3	=	00A3	63					
27	PCC4	=	00B3	65					
53	PROG		8001	54					
45	REGD	=	00CD						
46	REGE	=	00CE						
47	REGF	=	00CF	71					
413	ROW1		8292						
417	ROW2		829A	414					
421	ROW3		82A2	418					
425	ROW4		82AA	422					
310	RTC		81E1	308	312				
335	S1		8205	357					
190	SC1		80E4	192	199				
218	SC2		8120	213	215	220	222	224	
226	SC3		8131	217	228	237			
261	SC4		817A	249	263	276			
288	SC5		81B2	290	292	294			
367	SCAN1		8240						
380	SCAN2		825A	372					

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
393   SCAN3                    8274    385
366   SCANK                    823F     79   84   190  206  218  226
                                        244  256  261  283  288
                                        301  304  310  321  355
 79   SCANS                    801A
 84   SCANT                    8026     81   327
 32   SEC1                 =   00C0    350  452  509
 33   SEC10                =   00C1    345  456  512
449   SETCK                    82C2    103  143
181   SETT                     80D5     83
435   SHOW                     8285    159  164  169  174  204  242
                                        254  281  299  337  342
                                        347  352
133   SM1                      807F    116
331   SSEC                     8201     89
537   TABLE                    8347    436
 98   THEMO                    803F     92
117   THEMO1                   8061    113
138   TIME                     8084     94
157   TIME1                    80A6    153
 44   WEEK                 =   00CC
484   XX1                      8303    481
496   XX2                      8316    493
 42   YEAR1                =   00CA
 43   YEAR10               =   00CB
485   ZZ1                      8305    483
497   ZZ2                      8318    495

        Lines Assembled :  539          Assembly Errors :  0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM3911 Temperature Controller

General Description

The LM3911 is a highly accurate temperature measurement and/or control system for use over a −25°C to +85°C temperature range. Fabricated on a single monolithic chip, it includes a temperature sensor, a stable voltage reference and an operational amplifier.

The output voltage of the LM3911 is directly proportional to temperature in degrees Kelvin at 10 mV/°K. Using the internal op amp with external resistors any temperature scale factor is easily obtained. By connecting the op amp as a comparator, the output will switch as the temperature transverses the set-point making the device useful as an on-off temperature controller.

An active shunt regulator is connected across the power leads of the LM3911 to provide a stable 6.8V voltage reference for the sensing system. This allows the use of any power supply voltage with suitable external resistors.

The input bias current is low and relatively constant with temperature, ensuring high accuracy when high source impedance is used. Further, the output collector can be returned to a voltage higher than 6.8V allowing the LM3911 to drive lamps and relays up to a 35V supply.

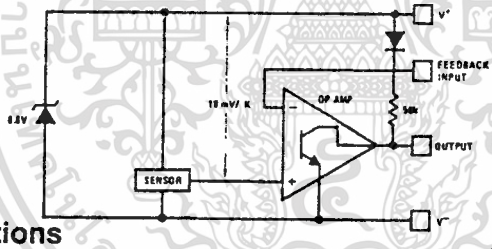
The LM3911 uses the difference in emitter-base voltage of transistors operating at different current densities as the basic temperature sensitive element. Since this output depends only on transistor matching the same reliability and stability as present op amps can be expected.

The LM3911 is available in two package styles, a metal can TO-46 and an 8-lead epoxy mini-DIP. In the epoxy package all electrical connections are made on one side of the device allowing the other 4 leads to be used for attaching the LM3911 to the temperature souce. The LM3911 is rated for operation over a −25°C to +85°C temperature range.

Features

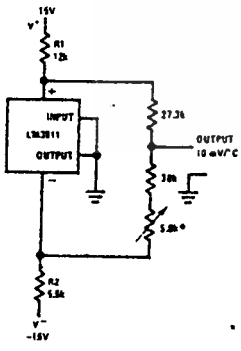
- Uncalibrated accuracy ±10°C
- Internal op amp with frequency compensation
- Linear output of 10 mV/°K (10 mV/°C)
- Can be calibrated in degrees Kelvin, Celsius or Fahrenheit
- Output can drive loads up to 35V
- Internal stable voltage reference
- Low cost

Block Diagram



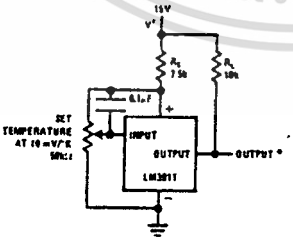
Typical Applications

Ground Referred Centigrade Thermometer



* Trims out initial zener tolerance. Set output to read C

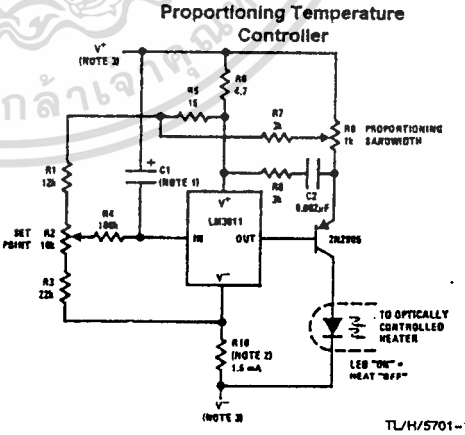
Basic Temperature Controller



* Output goes negative on temperature increase

$R_S = (V^+ - 6.8V)\ k\Omega$

Proportioning Temperature Controller



TL/H/5701–1

Note 1: C1 determines proportioning frequency $f \approx \frac{1}{2R4\ C1}$

Note 2: $R10 = \frac{V^+ + V^- - 7}{0.0015}$

Note 3: Either V^- or V^+ can be ground.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Current (Externally Set)	10 mA	Operating Temperature Range	−25°C to +85°C
Output Collector Voltage, V+ +	36V	Storage Temperature Range	−65°C to +150°C
Feedback Input Voltage Range	0V to +7.0V	Lead Temperature (Soldering, 10 seconds)	300°C
Output Short Circuit Duration	Indefinite		

Electrical Characteristics (Note 1)

Parameter	Conditions	Min	Typ	Max	Units
SENSOR					
Output Voltage	$T_A = -25°C$, (Note 2)	2.36	2.48	2.60	V
Output Voltage	$T_A = -25°C$, (Note 2)	2.88	2.98	3.08	V
Output Voltage	$T_A = -85°C$, (Note 2)	3.46	3.58	3.70	V
Linearity	$\Delta T = 100°C$		0.5	2	%
Long-Term Stability			0.3		%
Repeatability			0.3		%
VOLTAGE REFERENCE					
Reverse Breakdown Voltage	$1\ mA \le I_Z \le 5\ mA$	6.55	6.85	7.25	V
Reverse Breakdown Voltage Change With Current	$1\ mA \le I_Z \le 5\ mA$		10	35	mV
Temperature Stability			20	85	mV
Dynamic Impedance	$I_Z = 1\ mA$		3.0		Ω
RMS Noise Voltage	$10\ Hz \le f \le 10\ kHz$		30		μV
Long Term Stability	$T_A = +85°C$		6.0		mV
OP AMP					
Input Bias Current	$T_A = +25°C$		35	150	nA
Input Bias Current			45	250	nA
Voltage Gain	$R_L = 36k$, $V+ + = 36V$	2500	15000		V/V
Output Leakage Current	$T_A = 25°C$ (Note 3)		0.2	2	μA
Output Leakage Current	(Note 3)		1.0	8	μA
Output Source Current	$V_{OUT} \le 3.70$	10			μA
Output Sink Current	$1V \le V_{OUT} \le 36V$	2.0			mA

Note 1: These specifications apply for $-25°C \le T_A \le +85°C$ and $0.9\ mA \le I_{SUPPLY} \le 1.1\ mA$ unless otherwise specified; $C_L \le 50\ pF$.

Note 2: The output voltage applies to the basic thermometer configuration with the output and input terminals shorted and a load resistance of ≥ 1.0 MΩ. This is the feedback sense voltage and includes errors in both the sensor and op amp. This voltage is specified for the sensor in a rapidly stirred oil bath. The output is referred to V+.

Note 3: The output leakage current is specified with ≥ 100 mV overdrive. Since this voltage changes with temperature, the voltage drive for turn-off changes and is defined as V_{OUT} (with output and input shorted) −100 mV. This specification applies for $V_{OUT} = 36V$.

Application Hints

Although the LM3911 is designed to be totally trouble-free, certain precautions should be taken to insure the best possible performance.

As with any temperature sensor, internal power dissipation will raise the sensor's temperature above ambient. Nominal suggested operating current for the shunt regulator is 1.0 mA and causes 7.0 mW of power dissipation. In free, still, air this raises the package temperature by about 1.2°K. Although the regulator will operate at higher reverse currents and the output will drive loads up to 5.0 mA, these higher currents will raise the sensor temperature to about 19°K above ambient-degrading accuracy. Therefore, the sensor should be operated at the lowest possible power level.

With moving air, liquid or surface temperature sensing, self-heating is not as great a problem since the measured media will conduct the heat from the sensor. Also, there are many small heat sinks designed for transistors which will improve heat transfer to the sensor from the surrounding medium. A small finned clip-on heat sink is quite effective in free-air. It should be mentioned that the LM3911 die is on the base of the package and therefore coupling to the base is preferrable.

The internal reference regulator provides a temperature stable voltage for offsetting the output or setting a comparison point in temperature controllers. However, since this reference is at the same temperature as the sensor temperature changes will also cause reference drift. For application where maximum accuracy is needed an external reference should be used. Of course, for fixed temperature controllers the internal reference is adequate.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

Temperature Conversion

$T_{CENTIGRADE} = T_C$

$T_{FAHRENHEIT} = T_F$

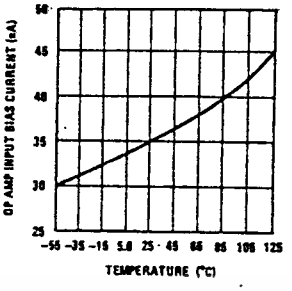
$T_{KELVIN} = T_K$

$T_K = T_C + 273$

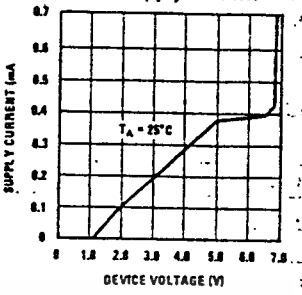
$$T_C = (40 + T_F)\frac{5}{9} - 40$$

$$T_F = (40 + T_C)\frac{9}{5} - 40$$

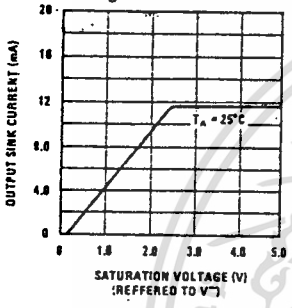
Op Amp Input Current



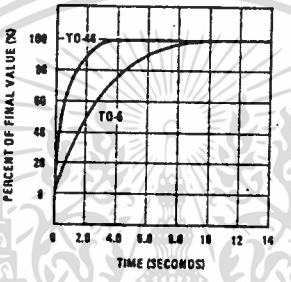
Power Supply Current



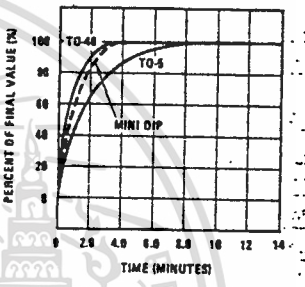
Output Saturation Voltage



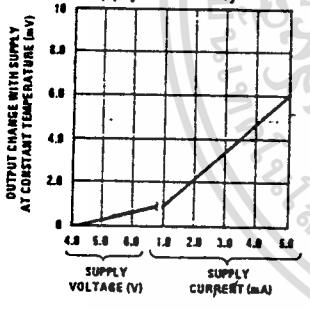
Thermal Time Constant in Stirred Oil Bath



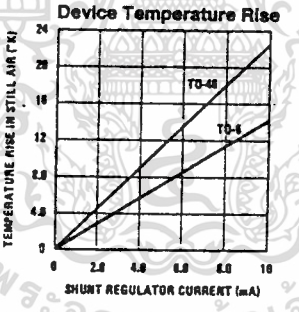
Thermal Time Constant in Still Air



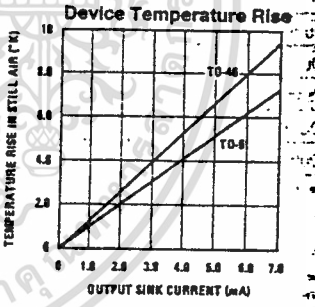
Supply Sensitivity



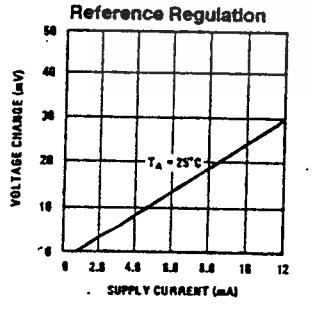
Device Temperature Rise



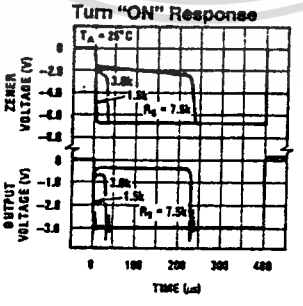
Device Temperature Rise



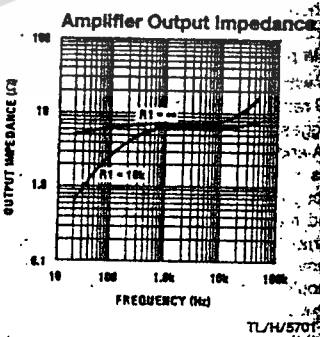
Reference Regulation



Turn "ON" Response



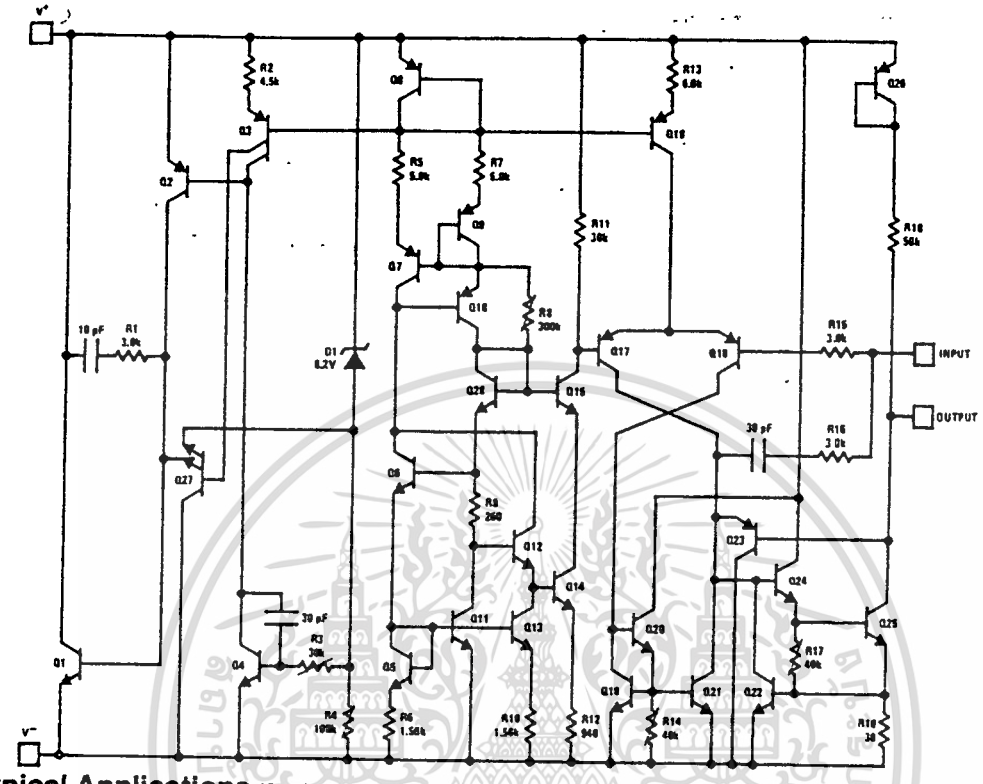
Amplifier Output Impedance



TL/H/5701

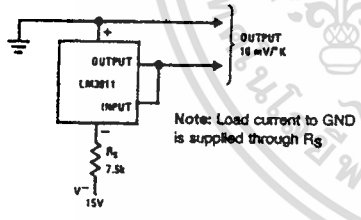
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



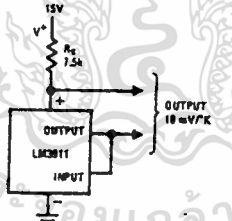
Typical Applications (Continued)

Basic Thermometer for Negative Supply



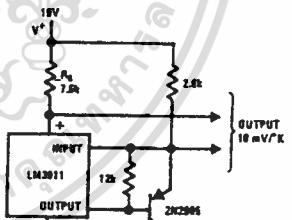
$R_S = (V^- - 6.8V) \times 10^3\Omega$

Basic Thermometer for Positive Supply



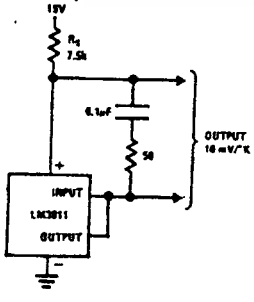
$R_S = (V^- - 6.8V) \times 10^3\Omega$

Increasing Gain and Output Drive

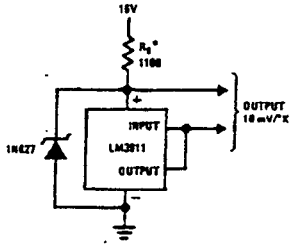


$R_S = (V^+ - 6.8V) \times 10^3\Omega$

External Frequency Compensation for Greater Stability when Driving Capacitive Loads

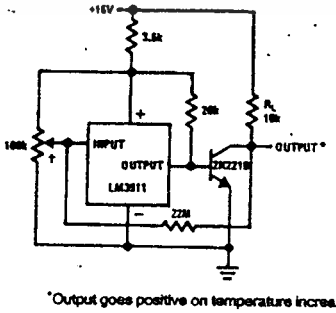


Operating With External Zener for Lower Power Dissipation and Ambient Reference



*Depends on Zener current.

Temperature Controller With Hysteresis



*Output goes positive on temperature increase

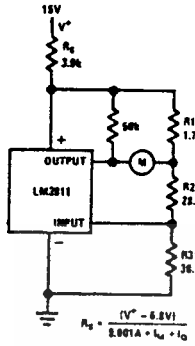
†Set temperature

TL/H/5701–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Thermometer With Meter Output



$$R1^* = \frac{(V_Z)\,0.01\Delta T}{I_M\,(V_Z - 0.01\,T_O)} \quad **$$

Select $I_O \leq \frac{2V}{R1}$

$$R2 = \frac{0.01\,T_O - I_O R1}{I_O}$$

$$R3 = \frac{V_Z}{I_O} - R1 - R2$$

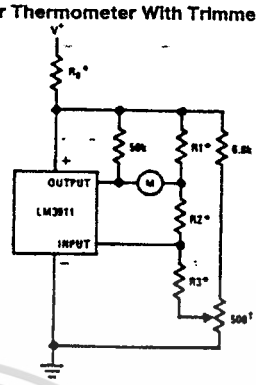
$$\left(I_O \leq \frac{2V}{R1}\right)$$

V_Z = Shunt regulator voltage (use 6.85)
ΔT = Meter temperature span (°K)
I_M = Meter full scale current (A)
T_O = Meter zero temperature (°K)
I_O = Current through R1, R2, R3 at zero meter current (10 μA to 1.0 mA) (A)

*Values shown for:
T_O = 300°K, ΔT = 100°K,
I_M = 1.0 mA, I_O = 100 μA

**The 0.01 in the above and following equations is in units of V/°K or V/°C, and is a result of the basic 0.01V/°K sensitivity of the transducer

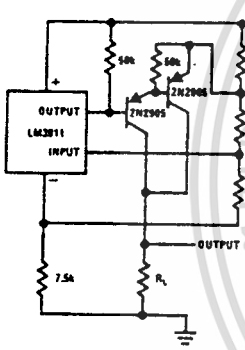
Meter Thermometer With Trimmed Output



*Selected as for meter thermometer except T_O should be 5°K more than desired and I_O = 100 μA

†Calibrates T_O

Ground Referred Thermometer



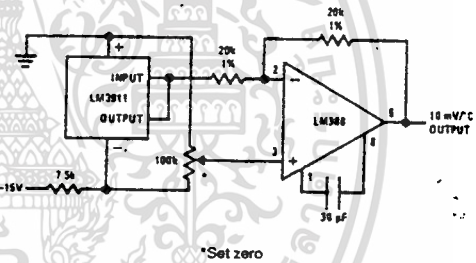
$$R1 = \frac{(V_Z)(10mV)(\Delta T)}{\frac{V_O}{R_L}(V_Z - 0.01\,T_O)}$$

$$R2 = \frac{0.01\,T_O - I_O R1}{I_O}$$

$$R3 = \frac{V_Z}{I_O} - R1 - R2$$

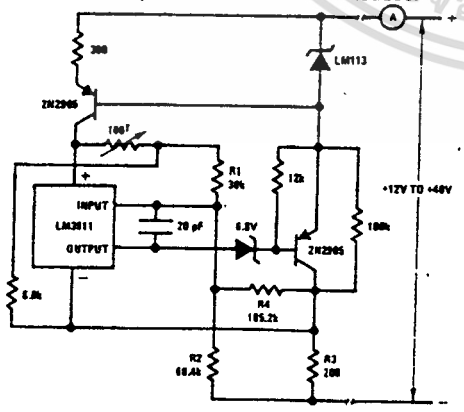
V_Z = Shunt regulator voltage
ΔT = Temperature span (°K)
T_O = Temperature for zero output (°K)
V_O = Full scale output voltage ≤ 10V
I_O = Current through R1, R2, R3 at zero output voltage (typically 100 μA to 1.0 mA)

Ground Referred Centigrade Thermometer



*Set zero

Two Terminal Temperature to Current Transducer*



$$R2\,(\Omega) = \frac{\left(V_Z - 0.01\,T_L\right)\left(I_H - \frac{0.01\,T_H}{R1}\right) + \left(V_Z - 0.01\,T_H\right)\left(\frac{0.01\,T_L}{R1} - I_L\right)}{\frac{0.01}{R1\,R3}\left[T_H(V_Z - 0.01\,T_L) - T_L(V_Z - 0.01\,T_H)\right]}$$

$$R3(\Omega) \geq \frac{V_Z\left(\frac{T_H}{T_L} - 1\right)}{I_H - \frac{I_L T_H}{T_L}}$$

$$\frac{1}{R4} = \frac{1}{(V_Z - 0.01\,T_L)(R2)}\left[\frac{(R2)(0.01\,T_L)}{R1} + \frac{\left(V_Z - 0.01\,T_L - I_L\right)}{\frac{1}{R2} + \frac{1}{R3}}\right] - \frac{1}{R2}$$

T_L = Temperature for I_L (K)
T_H = Temperature for I_H (K)
V_Z = Zener voltage (V)
I_L = Low temperature output current (A)
I_H = High temperature output current (A)

*Values shown for I_{OUT} = 1 mA to 10 mA for 10°F to 100°F

†Set temperature

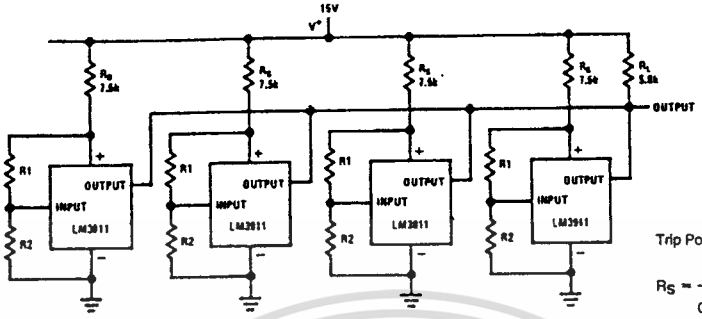
TL/H/5701–4

**The 0.01 in the above and following equations is in units of V/°K or.V/°C, and is a result of the basic 0.01V/°K sensitivity of the transducer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

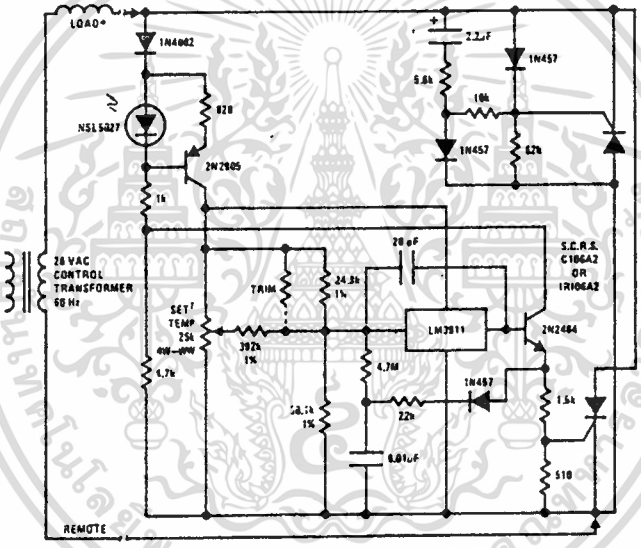
Over Temperature Detectors With Common Output



$$\text{Trip Point} = V_Z \frac{R1}{R1 + R2}$$

$$R_S = \frac{(V + -6.6V)}{0.001\,A + \frac{6.8V}{R1 + R2}}$$

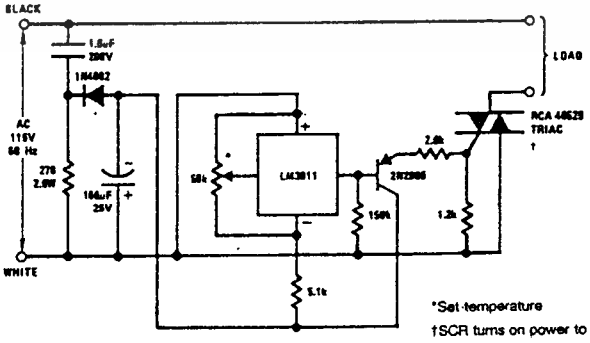
Two-Wire Remote A.C. Electronic Thermostat (Gas or Oil Furnace Control)



*Solenoid or 6 – 15W heater

†Pot will provide about a 50°F to 90°F setting range. The trim resistor (100k) is selected to bring 70°F near the middle of the pot rotation.

SCR heating, by proper positioning, can preheat the sensor giving control anticipation as is presently used in many home thermostats.



SENSITIVE GATE TRIAC
$I_{GT} = \leq 5$ mA
RCA T2300, 40529
OR SIMILAR

*Set-temperature

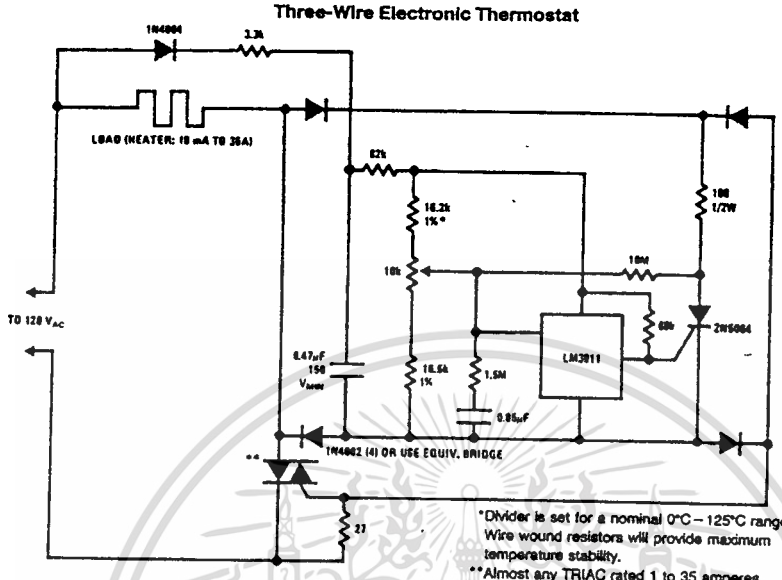
†SCR turns on power to fan or cooler when temperature increases.

TL/H/5701–5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

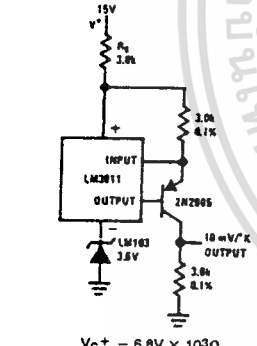
Three-Wire Electronic Thermostat



*Divider is set for a nominal 0°C – 125°C range. Wire wound resistors will provide maximum temperature stability.

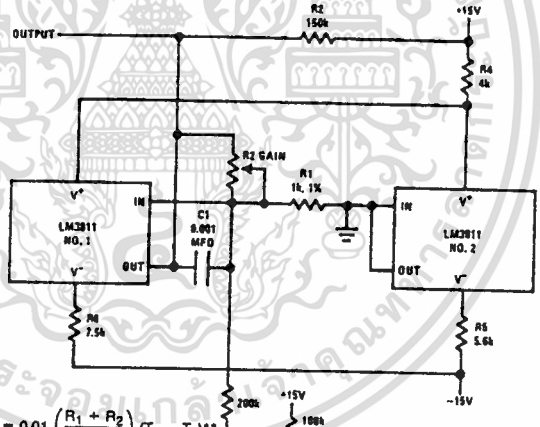
**Almost any TRIAC rated 1 to 35 amperes usable with appropriate load.

Kelvin Thermometer With Ground Referred Output



$$R_S = \frac{V_S^+ - 6.8V \times 10^3\Omega}{2}$$

Differential Thermometer



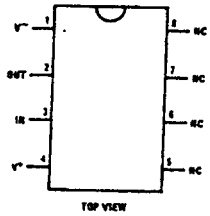
$$V_{OUT} = 0.01\left(\frac{R_1 + R_2}{R_1}\right)(T_2 - T_1)^{**}$$

Output can swing ±3V at ±50 μA with low output impedance

**The 0.01 in the above equation is in units of V/°K or V/°C, and is a result of the basic 0.01 V/°K sensitivity of the transducer

Connection Diagrams

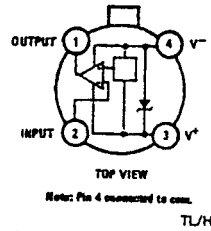
Dual-In-Line Package



TL/H/5701–6

Order Number LM3911N
See NS Package N08E

TO-46 Package



TL/H/5701–7

Order Number LM3911H46
See NS Package N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MOC3020
MOC3021
MOC3022
MOC3023

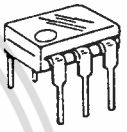
6-Pin DIP Optoisolators
Triac Driver Output

6-PIN DIP
OPTOISOLATORS
TRIAC DRIVER OUTPUT

These devices consist of gallium-arsenide infrared emitting diodes, optically coupled to a silicon bilateral switch.

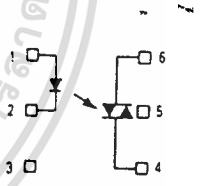
They are designed for applications requiring isolated triac triggering.

- UL Recognized File Number E54915
- Output Driver Designed for 240 Vac Line
- V_{ISO} Isolation Voltage of 7500 V Peak
- Similar to MOC3010 and MOC3011
- Standard 6-PIN Plastic DIP
- VDE approved per standard 0883/6.80 (Certificate number 41853), with additional approval to DIN IEC380 VDE0806, IEC435/VDE0805, IEC65/VDE0860, VDE110b, covering all other standards with equal or less stringent requirements, including IEC204 VDE0113, VDE0160, VDE0832, VDE0833, etc.
- Special lead form available (add suffix "T" to part number) which satisfies VDE0883/6.80 requirement for 8 mm minimum creepage distance between input and output solder pads.
- Various lead form options available. Consult "Optoisolator Lead Form Options" data sheet for details.



CASE 730A-02
PLASTIC

COUPLER SCHEMATIC



1 ANODE
2 CATHODE
3 NC
4 MAIN TERMINAL
5 SUBSTRATE
DO NOT CONNECT
6 MAIN TERMINAL

MAXIMUM RATINGS (T_A = 25°C unless otherwise noted)

Rating	Symbol	Value	Unit
INFRARED EMITTING DIODE			
Reverse Voltage	V_R	3	Volts
Forward Current — Continuous	I_F	60	mA
Total Power Dissipation @ T_A = 25°C Negligible Power in Triac Driver Derate above 25°C	P_D	100 1.33	mW mW/°C
OUTPUT DRIVER			
Off-State Output Terminal Voltage	V_{DRM}	400	Volts
Peak Repetitive Surge Current (PW = 1 ms, 120 pps)	I_{TSM}	1	A
Total Power Dissipation @ T_A = 25°C Derate above 25°C	P_D	300 4	mW mW/°C
TOTAL DEVICE			
Isolation Surge Voltage (1) (Peak ac Voltage, 60 Hz, 5 Second Duration)	V_{ISO}	7500	Vac
Total Power Dissipation @ T_A = 25°C Derate above 25°C	P_D	330 4.4	mW mW/°C
Junction Temperature Range	T_J	−40 to +100	°C
Ambient Operating Temperature Range	T_A	−40 to +85	°C
Storage Temperature Range	T_{stg}	−40 to +150	°C
Soldering Temperature (10 s)	—	260	°C

(1) Isolation surge voltage, V_{ISO}, is an internal device dielectric breakdown rating.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic		Symbol	Min	Typ	Max	Unit
INPUT LED						
Reverse Leakage Current (V_R = 3 V)		I_R	—	0.05	100	μA
Forward Voltage (I_F = 10 mA)		V_F	—	1.15	1.5	Volts
OUTPUT DETECTOR (I_F = 0 unless otherwise noted)						
Peak Blocking Current, Either Direction (Rated V_{DRM}, Note 1)		I_{DRM}	—	10	100	nA
Peak On-State Voltage, Either Direction (I_{TM} = 100 mA Peak)		V_{TM}	—	1.8	3	Volts
Critical Rate of Rise of Off-State Voltage (Figure 7, Note 2)		dv/dt	—	10	—	V/μs
COUPLED						
LED Trigger Current, Current Required to Latch Output (Main Terminal Voltage = 3 V, Note 3)	MOC3020	I_{FT}	—	15	30	mA
	MOC3021		—	8	15	
	MOC3022		—	—	10	
	MOC3023		—	—	5	
Holding Current, Either Direction		I_H	—	100	—	μA

Notes: 1. Test voltage must be applied within dv/dt rating.
2. This is static dv/dt. See Figure 7 for test circuit. Commutating dv/dt is a function of the load-driving thyristor(s) only.
3. All devices are guaranteed to trigger at an I_F value less than or equal to max I_{FT}. Therefore, recommended operating I_F lies between max I_{FT} (30 mA for MOC3020, 15 mA for MOC3021, 10 mA for MOC3022, 5 mA for MOC3023) and absolute max I_F (60 mA).

TYPICAL ELECTRICAL CHARACTERISTICS

T_A = 25°C

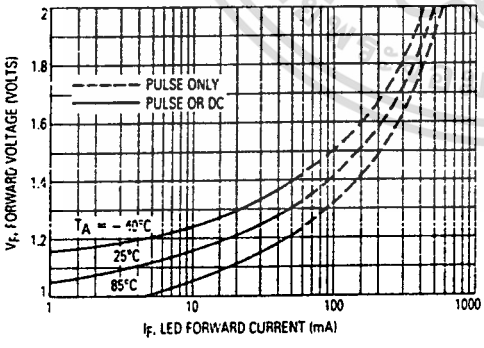


Figure 1. LED Forward Voltage versus Forward Current

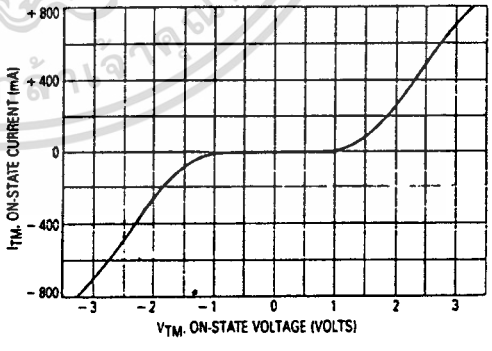


Figure 2. On-State Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

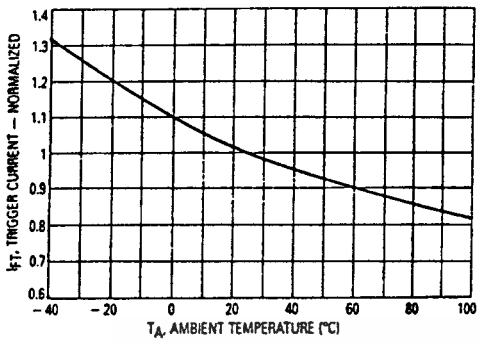


Figure 3. Trigger Current versus Temperature

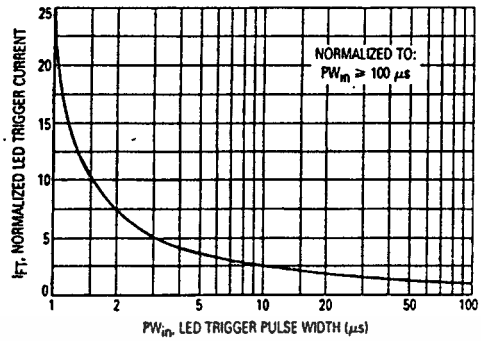


Figure 4. LED Current Required to Trigger versus LED Pulse Width

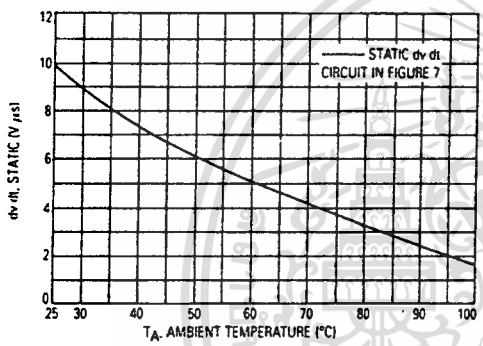


Figure 5. dv/dt versus Temperature

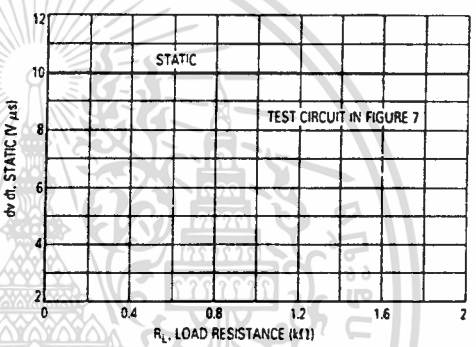
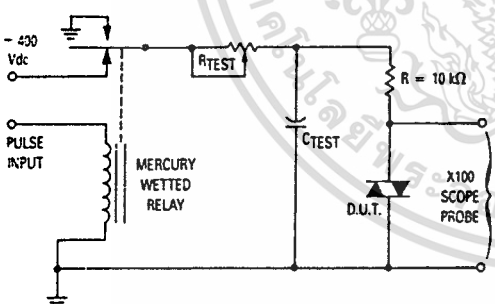


Figure 6. dv/dt versus Load Resistance



1. The mercury wetted relay provides a high speed repeated pulse to the D.U.T.
2. 100× scope probes are used, to allow high speeds and voltages.
3. The worst-case condition for static dv/dt is established by triggering the D.U.T. with a normal LED input current, then removing the current. The variable R_{TEST} allows the dv/dt to be gradually increased until the D.U.T. continues to trigger in response to the applied voltage pulse, even after the LED current has been removed. The dv/dt is then decreased until the D.U.T. stops triggering. τ_{RC} is measured at this point and recorded.

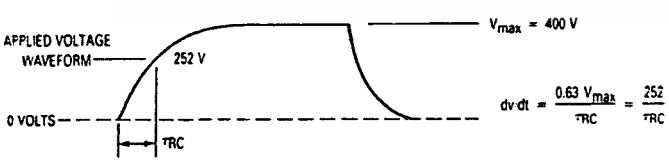
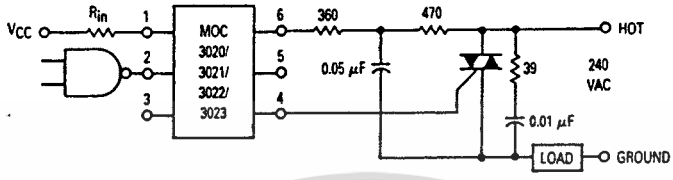


Figure 7. Static dv/dt Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



*This optoisolator should not be used to drive a load directly. It is intended to be a trigger device only.

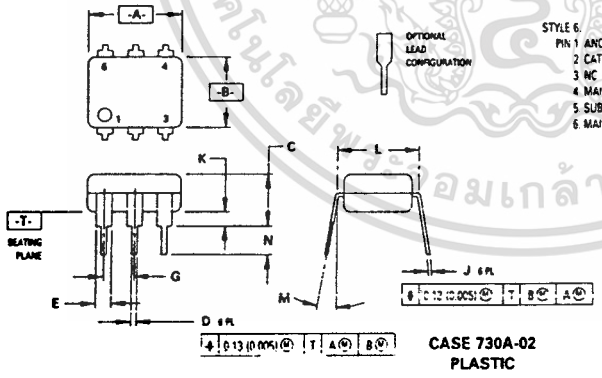
Additional information on the use of optically coupled triac drivers is available in Application Note AN-780A.

In this circuit the "hot" side of the line is switched and the load connected to the cold or ground side.

The 39 ohm resistor and 0.01 μF capacitor are for snubbing of the traic, and the 470 ohm resistor and 0.05 μF capacitor are for snubbing the coupler. These components may or may not be necessary depending upon the particular triac and load used.

Figure 8. Typical Application Circuit

OUTLINE DIMENSIONS



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIM L TO CENTER OF LEAD WHEN FORMED PARALLEL.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.13	8.89	0.320	0.350
B	6.10	6.60	0.240	0.260
C	2.93	5.08	0.115	0.200
D	0.41	0.50	0.016	0.020
E	1.02	1.77	0.040	0.070
G	2.54 BSC		0.100 BSC	
J	0.21	0.30	0.008	0.012
K	0.38	2.54	0.015	0.100
L	7.62 BSC		0.300 BSC	
M	0°	15°	0°	15°
N	2.54	3.81	0.100	0.150

CASE 730A-02
PLASTIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

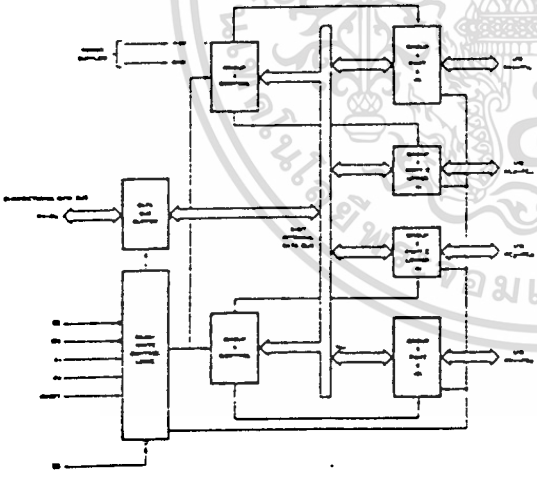


Figure 1. 8255A Block Diagram

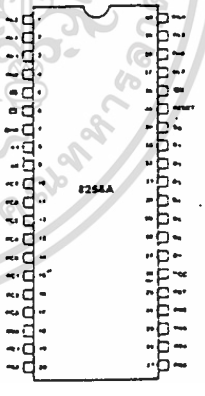


Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select. A "low" on this input pin enables the communiction between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A – DATA BUS
0	1	0	1	0	PORT B – DATA BUS
1	0	0	1	0	PORT C – DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS – PORT A
0	1	1	0	0	DATA BUS – PORT B
1	0	1	0	0	DATA BUS – PORT C
1	1	1	0	0	DATA BUS – CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS – 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS – 3-STATE

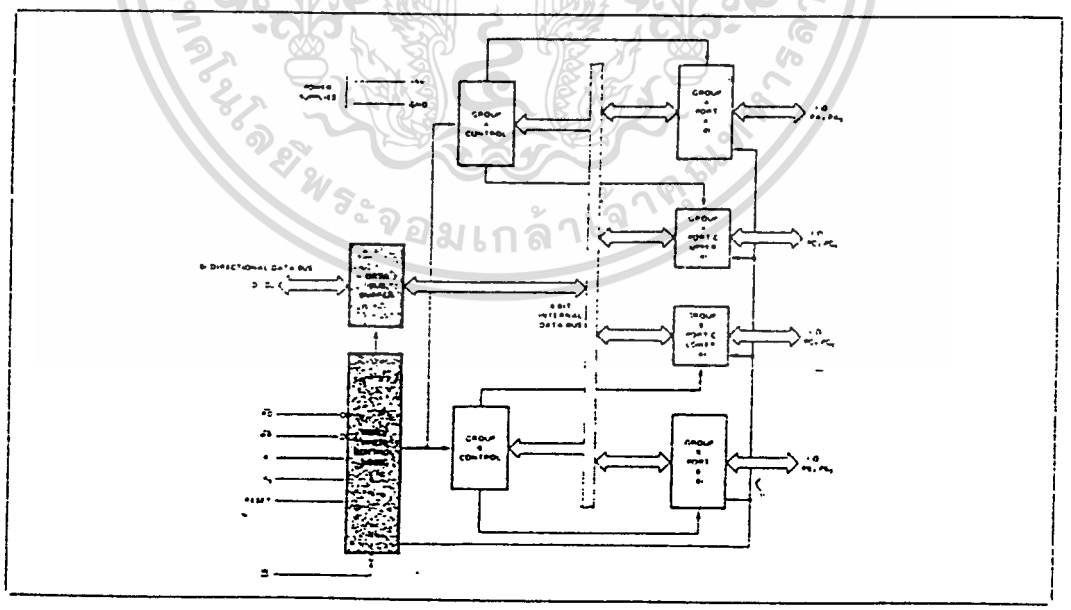


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

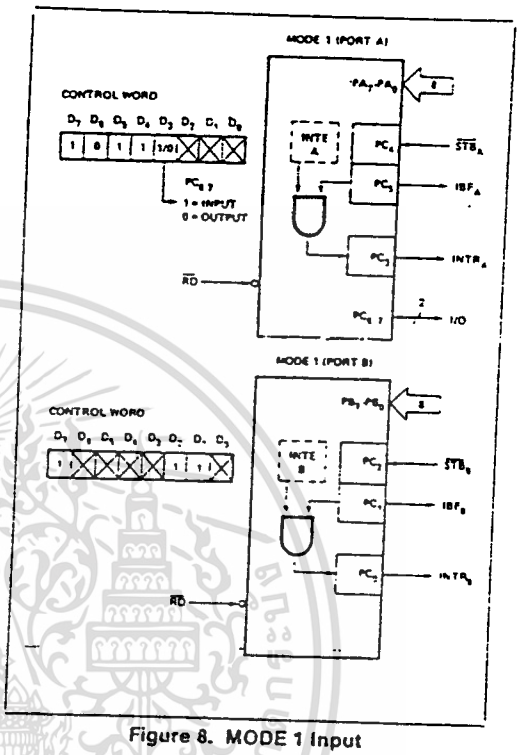


Figure 8. MODE 1 Input

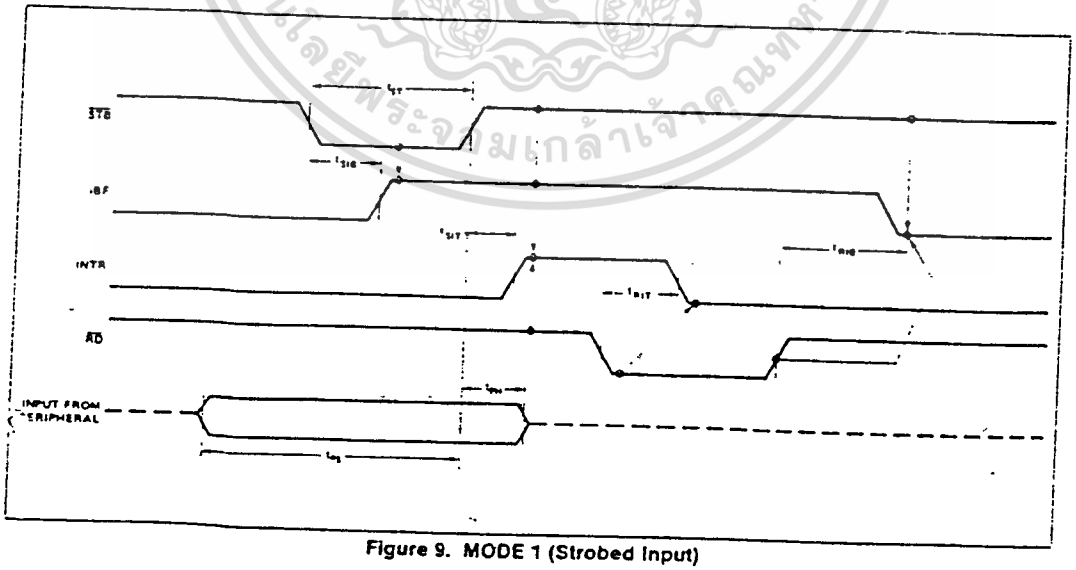


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has recieved the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of WR.

INTE A

Controlled by bit set/reset of PC_6

INTE B

Controlled by bit set/reset of PC_2.

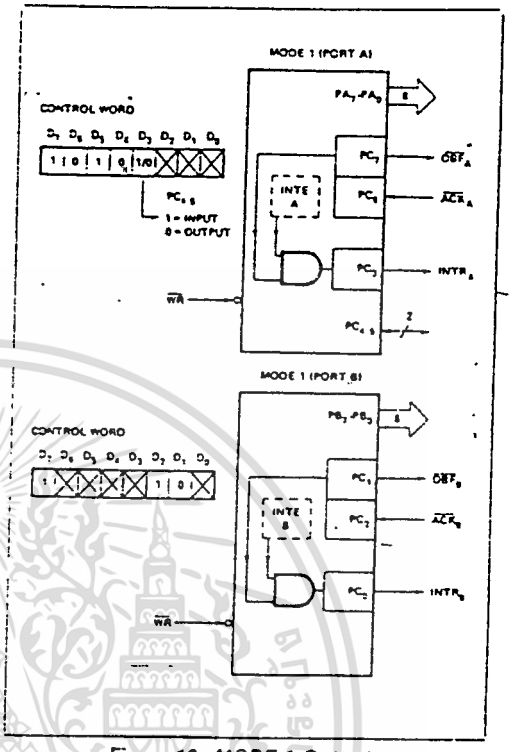


Figure 10. MODE 1 Output

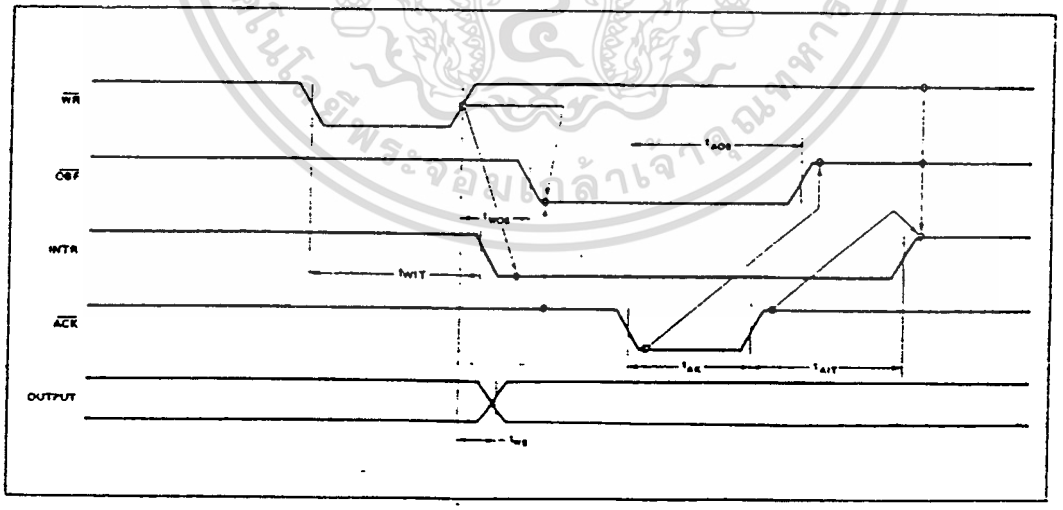


Figure 11. Mode 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ICL7106/ICL7107
3½-Digit LCD/LED Single-Chip A/D Converter

INTERSIL

GENERAL DESCRIPTION

The Intersil ICL7106 and 7107 are high performance, low power 3½-digit A/D converters containing all the necessary active devices on a single CMOS I.C. Included are seven-segment decoders, display drivers, a reference, and a clock. The 7106 is designed to interface with a liquid crystal display (LCD) and includes a backplane drive; the 7107 will directly drive an instrument-size light emitting diode (LED) display.

The 7106 and 7107 bring together an unprecedented combination of high accuracy, versatility, and true economy. It features auto-zero to less than 10μV, zero drift of less than 1μV/°C, input bias current of 10 pA max., and rollover error of less than one count. True differential inputs and reference are useful in all systems, but give the designer an uncommon advantage when measuring load cells, strain gages and other bridge-type transducers. Finally, the true economy of single power supply operation (7106), enables a high performance panel meter to be built with the addition of only 10 passive components and a display.

FEATURES

- **Guaranteed Zero Reading for 0 Volts Input on All Scales**
- **True Polarity at Zero for Precise Null Detection**
- **1pA Typical Input Current**
- **True Differential Input and Reference**
- **Direct Display Drive — No External Components Required — LCD ICL7106**
  — LED ICL7107
- **Low Noise – Less Than 15μV p-p**
- **On-Chip Clock and Reference**
- **Low Power Dissipation – Typically Less Than 10mW**
- **No Additional Active Circuits Required**
- **New Small Outline Surface Mount Package Available**
- **Evaluation Kit Available**

ORDERING INFORMATION

Part Number	Temperature Range	Package
ICL7106CPL	0°C to +70°C	40 pin plastic DIP
ICL7106CJL	0°C to +70°C	40 pin CERDIP
ICL7106CM44	0°C to +70°C	44 pin Surface Mount
ICL7107CJL	0°C to +70°C	40 pin CERDIP
ICL7107CPL	0°C to +70°C	40 pin plastic DIP
ICL7106EV/Kit ICL7107EV/Kit	Evaluation kits contain IC, display, circuit board, passive components and hardware.	

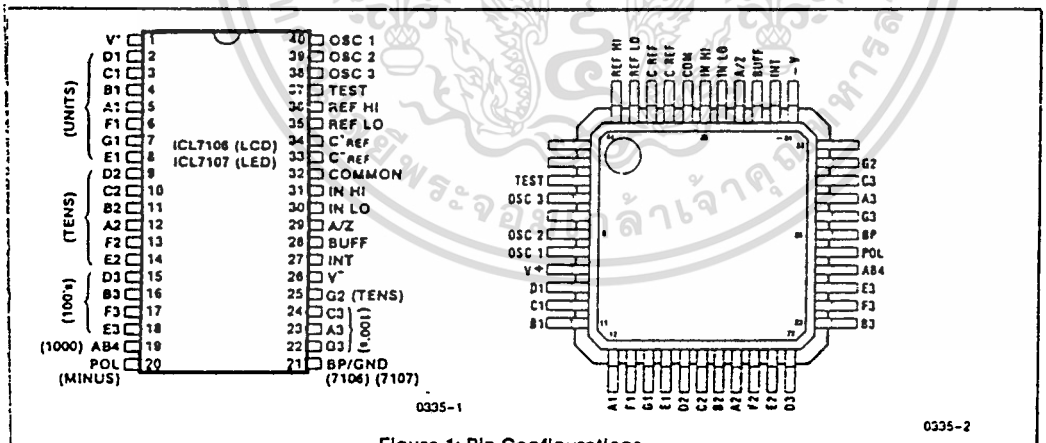


Figure 1: Pin Configurations

...'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. ...RRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF ...NTABILITY AND FITNESS FOR A PARTICULAR USE.

301650-003

*typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ICL7106/ICL7107

ABSOLUTE MAXIMUM RATINGS

Supply Voltage
- ICL7106, V+ to V− 15V
- ICL7107, V+ to GND ..... −6V
- ICL7107, V− to GND ..... −9V

Analog Input Voltage (either input)(Note 1) ..... V+ to V−
Reference Input Voltage (either input) ..... V+ to V−
Clock Input
- ICL7106 ..... TEST to V+
- ICL7107 ..... GND to V+

Power Dissipation (Note 2)
- Ceramic Package 1000mW
- Plastic Package 800mW

Operating Temperature ..... 0°C to +70°C
Storage Temperature ..... −65°C to +150°C
Lead Temperature (Soldering, 10sec) ..... 300°C

NOTE: *Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

Note 1: Input voltages may exceed the supply voltages provided the input current is limited to ±100μA.

Note 2: Dissipation rating assumes device is mounted with all leads soldered to printed circuit board.

ELECTRICAL CHARACTERISTICS (Note 3)

Characteristics	Test Conditions	Min	Typ	Max	Unit
Zero Input Reading	V_{IN} = 0.0V Full Scale = 200.0mV	−000.0	±000.0	+000.0	Digital Reading
Ratiometric Reading	V_{IN} = V_{REF} V_{REF} = 100mV	999	999/1000	1000	Digital Reading
Rollover Error (Difference in reading for equal positive and negative inputs near Full Scale)	$-V_{IN}$ = +V_{IN} ≥ 200.0mV	−1	±.2	+1	Counts
Linearity (Max. deviation from best straight line fit)	Full scale = 200.0mV or full scale = 2.000V (Note 6)	−1	±.2	+1	Counts
Common Mode Rejection Ratio (Note 4)	V_{CM} = ±1V, V_{IN} = 0V Full Scale = 200.0mV		50		μV/V
Noise (Pk-Pk value not exceeded 95% of time)	V_{IN} = 0V Full Scale = 200.0mV		15		μV
Leakage Current Input	V_{IN} = 0 (Note 6)		1	10	pA
Zero Reading Drift	V_{IN} = 0 0° < T_A < 70°C (Note 6)		0.2	1	μV/°C
Scale Factor Temperature Coefficient	V_{IN} = 199.0mV 0° < T_A < 70°C (Ext. Ref. 0ppm/°C) (Note 6)		1	5	ppm/°C
V+ Supply Current (Does not include LED current for 7107)	V_{IN} = 0		0.8	1.8	mA
V− Supply Current (7107 only)			0.6	1.8	mA
Analog Common Voltage (With respect to Pos. Supply)	25kΩ between Common & Pos. Supply	2.4	2.8	3.2	V
Temp. Coeff. of Analog Common (With respect to Pos. Supply)	25kΩ between Common & Pos. Supply		80		ppm/°C

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

ELECTRICAL CHARACTERISTICS (Note 3) (Continued)

Characteristics	Test Conditions	Min	Typ	Max	Unit
7106 ONLY Pk-Pk Segment Drive Voltage Pk-Pk Backplane Drive Voltage (Note 5)	V^+ to V^- = 9V	4	5	6	V
7107 ONLY Segment Sinking Current (Except Pin 19 & 20)	V^+ = 5.0V Segment voltage = 3V	5	8.0		mA
(Pin 19 only)		10	16		mA
(Pin 20 only)		4	7		

NOTES: 3. Unless otherwise noted, specifications apply to both the 7106 and 7107 at T_A = 25°C, f_{clock} = 48kHz. 7106 is tested in the circuit of Figure 2. 7107 is tested in the circuit of Figure 3.

4. Refer to "Differential Input" discussion.

5. Back plane drive is in phase with segment drive for 'off' segment, 180° out of phase for 'on' segment. Frequency is 20 times conversion rate. Average DC component is less than 50mV.

6. Not tested, guaranteed by design.

TEST CIRCUITS

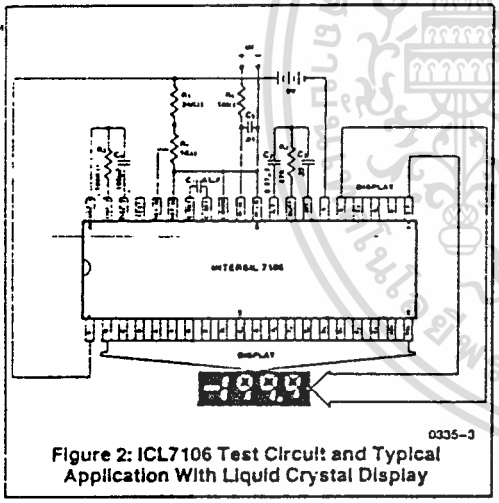


Figure 2: ICL7106 Test Circuit and Typical Application With Liquid Crystal Display

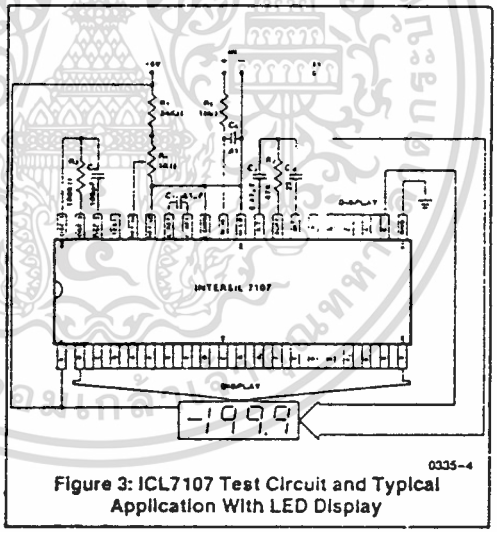


Figure 3: ICL7107 Test Circuit and Typical Application With LED Display

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

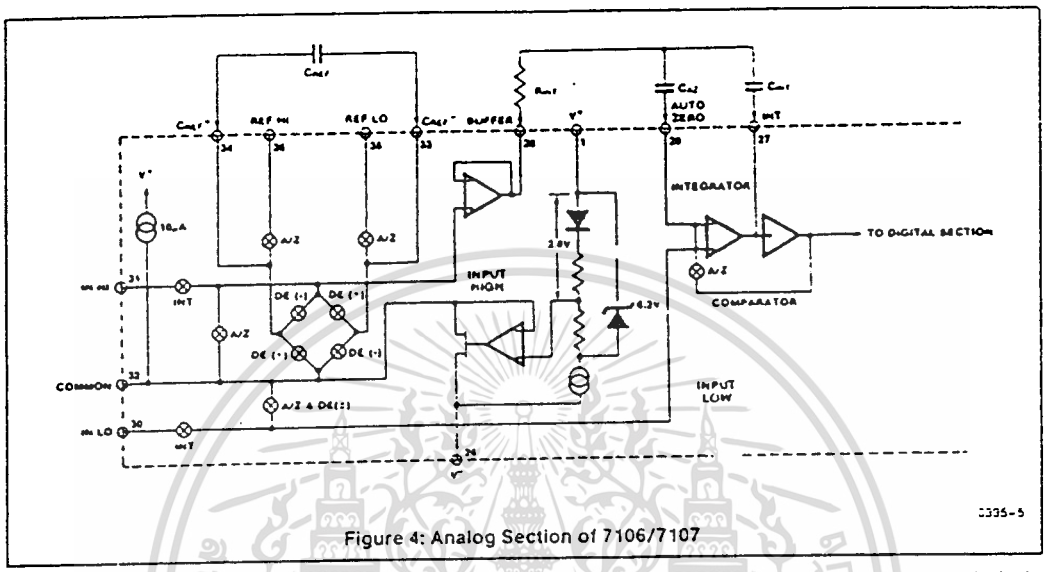


Figure 4: Analog Section of 7106/7107

DETAILED DESCRIPTION

Analog Section

Figure 4 shows the Analog Section for the ICL7106 and 7107. Each measurement cycle is divided into three phases. They are (1) auto-zero (A/Z), (2) signal integrate (INT) and (3) de-integrate (DE).

Auto-zero phase

During auto-zero three things happen. First, input high and low are disconnected from the pins and internally shorted to analog COMMON. Second, the reference capacitor is charged to the reference voltage. Third, a feedback loop is closed around the system to charge the auto-zero capacitor C_{AZ} to compensate for offset voltages in the buffer amplifier, integrator, and comparator. Since the comparator is included in the loop, the A/Z accuracy is limited only by the noise of the system. In any case, the offset referred to the input is less than 10μV.

Signal Integrate phase

During signal integrate, the auto-zero loop is opened, the internal short is removed, and the internal input high and low are connected to the external pins. The converter then integrates the differential voltage between IN HI and IN LO for a fixed time. This differential voltage can be within a wide common mode range: up to one volt from either supply. If, on the other hand, the input signal has no return with respect to the converter power supply, IN LO can be tied to analog COMMON to establish the correct common-mode voltage. At the end of this phase, the polarity of the integrated signal is determined.

De-Integrate phase

The final phase is de-integrate, or reference integrate. Input low is internally connected to analog COMMON and input high is connected across the previously charged reference capacitor. Circuitry within the chip ensures that the capacitor will be connected with the correct polarity to cause the integrator output to return to zero. The time required for the output to return to zero is proportional to the input signal. Specifically the digital reading displayed is $1000\left(\frac{V_{IN}}{V_{REF}}\right)$.

Differential Input

The input can accept differential voltages anywhere within the common mode range of the input amplifier, or specifically from 0.5 volts below the positive supply to 1.0 volt above the negative supply. In this range, the system has a CMRR of 86 dB typical. However, care must be exercised to assure the integrator output does not saturate. A worst case condition would be a large positive common-mode voltage with a near full-scale negative differential input voltage. The negative input signal drives the integrator positive when most of its swing has been used up by the positive common mode voltage. For these critical applications the integrator output swing can be reduced to less than the recommended 2V full scale swing with little loss of accuracy. The integrator output can swing to within 0.3 volts of either supply without loss of linearity. See Application Note A032 for a discussion of the effects of stray capacitance.

Differential Reference

The reference voltage can be generated anywhere within the power supply voltage of the converter. The main source of common mode error is a roll-over voltage caused by the reference capacitor losing or gaining charge to stray capacity on its nodes. If there is a large common mode voltage, the reference capacitor can gain charge (increase voltage) when called up to de-integrate a positive signal but lose charge (decrease voltage) when called up to deintegrate a negative input signal. This difference in reference for positive or negative input voltage will give a roll-over error. However, by selecting the reference capacitor such that it is

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE

NOTE: All typical values have been characterized but are not tested

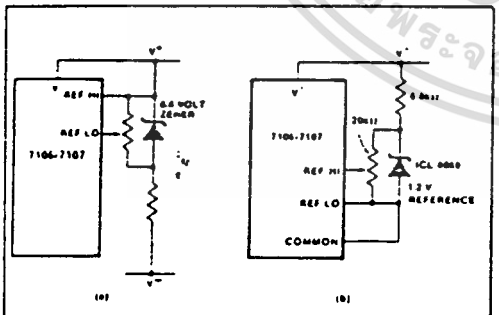
arge enough in comparison to the stray capacitance, this error can be held to less than 0.5 count worst case. (See Component Value Selection.)

Analog COMMON

This pin is included primarily to set the common mode voltage for battery operation (7106) or for any system where the input signals are floating with respect to the power supply. The COMMON pin sets a voltage that is approximately 2.8 volts more negative than the positive supply. This is selected to give a minimum end-of-life battery voltage of about 6V. However, analog COMMON has some of the attributes of a reference voltage. When the total supply voltage is large enough to cause the zener to regulate (> 7V), the COMMON voltage will have a low voltage coefficient (0.001%/V), low output impedance (≈ 15Ω), and a temperature coefficient typically less than 80ppm/°C.

The limitations of the on-chip reference should also be recognized, however. With the 7107, the internal heating which results from the LED drivers can cause some degradation in performance. Due to their higher thermal resistance, plastic parts are poorer in this respect than ceramic. The combination of reference Temperature Coefficient (TC), internal chip dissipation, and package thermal resistance can increase noise near full scale from 25 μV to 50μVp-p. Also the linearity in going from a high dissipation count such as 1000 (20 segments on) to a low dissipation count such as 1111(8 segments on) can suffer by a count or more. Devices with a positive TC reference may require several counts to pull out of an overrange condition. This is because overrange is a low dissipation mode, with the three least significant digits blanked. Similarly, units with a negative TC may cycle between overrange and a nonoverrange count as the die alternately heats and cools. All these problems are of course eliminated if an external reference is used.

The 7106, with its negligible dissipation, suffers from none of these problems. In either case, an external reference can easily be added, as shown in Figure 5.



0335-6

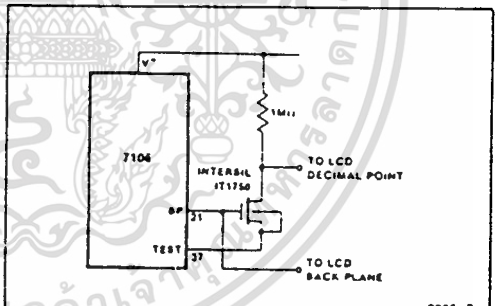
Figure 5: Using an External Reference

Analog COMMON is also used as the input low return during auto-zero and de-integrate. If IN LO is different from analog COMMON, a common mode voltage exists in the system and is taken care of by the excellent CMRR of the converter. However, in some applications IN LO will be set at a fixed known voltage (power supply common for instance). In this application, analog COMMON should be tied to the same point, thus removing the common mode voltage from the converter. The same holds true for the reference voltage. If reference can be conveniently tied to analog COMMON, it should be since this removes the common mode voltage from the reference system.

Within the IC, analog COMMON is tied to an N channel FET that can sink approximately 30mA of current to hold the voltage 2.8 volts below the positive supply (when a load is trying to pull the common line positive). However, there is only 10μA of source current, so COMMON may easily be tied to a more negative voltage thus over-riding the internal reference.

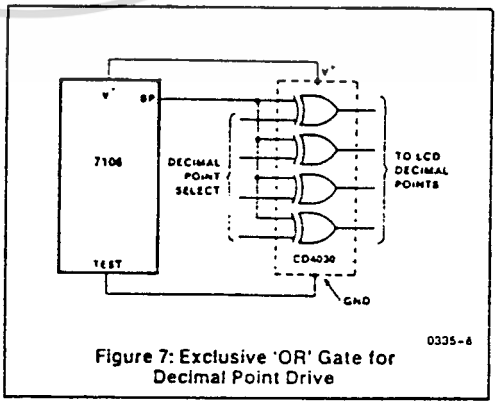
TEST

The TEST pin serves two functions. On the 7106 it is coupled to the internally generated digital supply through a 500Ω resistor. Thus it can be used as the negative supply for externally generated segment drivers such as decimal points or any other presentation the user may want to include on the LCD display. Figures 6 and 7 show such an application. No more than a 1mA load should be applied.



0335-7

Figure 6: Simple Inverter for Fixed Decimal Point



0335-8

Figure 7: Exclusive 'OR' Gate for Decimal Point Drive

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ICL7106/ICL7107

INTERSIL

DISPLAY FONT

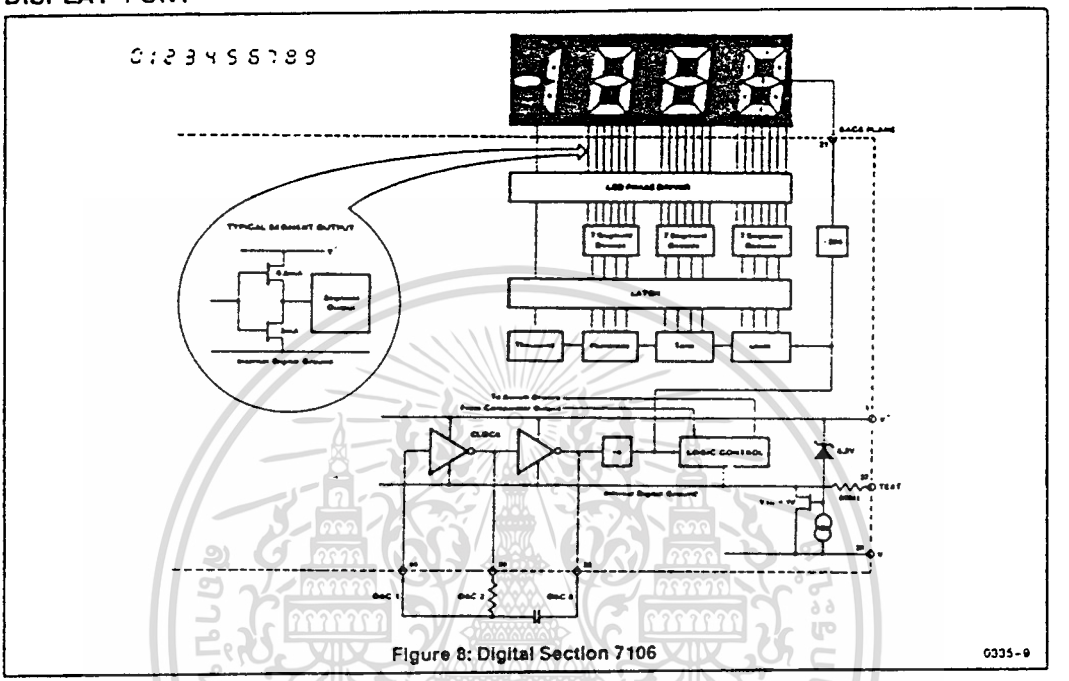


Figure 8: Digital Section 7106

0335-9

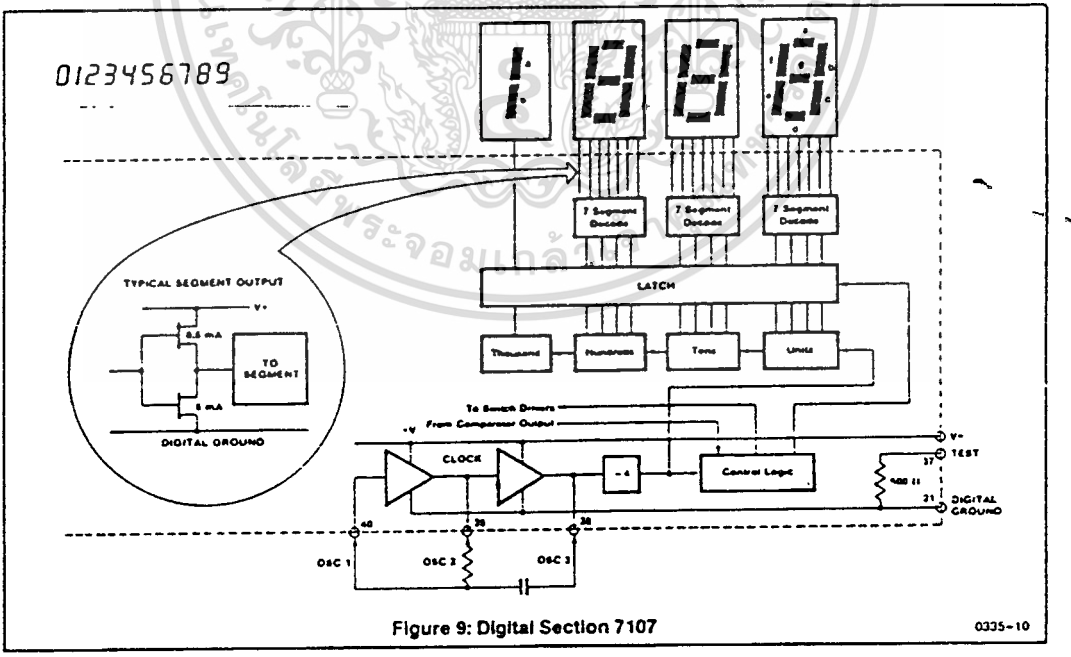


Figure 9: Digital Section 7107

0335-10

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

The second function is a "lamp test". When TEST is pulled high (to V+) all segments will be turned on and the display should read — 1888. The TEST pin will sink about 10mA under these conditions.

Caution: on the 7106, in the lamp test mode, the segments have a constant DC voltage (no square-wave) and may burn the LCD display if left in this mode for several minutes.

DIGITAL SECTION

Figures 8 and 9 show the digital section for the 7106 and 7107, respectively. In the 7106, an internal digital ground is generated from a 6 volt Zener diode and a large P channel source follower. This supply is made stiff to absorb the relative large capacitive currents when the back plane (BP) voltage is switched. The BP frequency is the clock frequency divided by 800. For three readings/second this is a 60Hz square wave with a nominal amplitude of 5 volts. The segments are driven at the same frequency and amplitude and are in phase with BP when OFF, but out of phase when ON. In all cases negligible DC voltage exists across the segments.

Figure 9 is the Digital Section of the 7107. It is identical to the 7106 except that the regulated supply and back plane drive have been eliminated and the segment drive has been increased from.2 to 8 mA, typical for instrument size common anode LED displays. Since the 1000 output (pin 19) must sink current from two LED segments, it has twice the drive capability or 16mA.

In both devices, the polarity indication is "on" for negative analog inputs. If IN LO and IN HI are reversed, this indication can be reversed also, if desired.

System Timing

Figure 10 shows the clocking arrangement used in the 7106 and 7107. Three basic clocking arrangements can be used:

1. An external oscillator connected to pin 40.
2. A crystal between pins 39 and 40.
3. An R-C oscillator using all three pins.

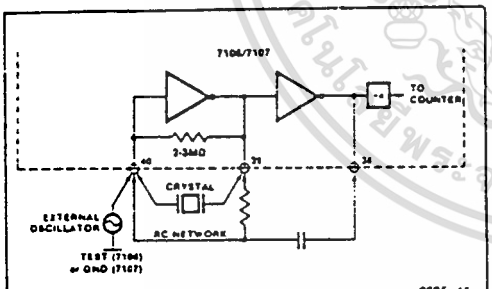


Figure 10: Clock Circuits

The oscillator frequency is divided by four before it clocks the decade counters. It is then further divided to form the three convert-cycle phases. These are signal integrate (1000 counts), reference de-integrate (0 to 2000 counts) and auto-zero (1000 to 3000 counts). For signals less than full scale, auto-zero gets the unused portion of reference deintegrate. This makes a complete measure cycle of 4,000 counts (16,000 clock pulses) independent of input voltage. For three readings/second, an oscillator frequency of 48kHz would be used.

To achieve maximum rejection of 60Hz pickup, the signal integrate cycle should be a multiple of 60Hz. Oscillator frequencies of 240kHz, 120kHz, 80kHz, 60kHz, 48kHz, 40kHz, 33⅓kHz, etc. should be selected. For 50Hz rejection, Oscillator frequencies of 200kHz, 100kHz, 66⅔ kHz, 50kHz, 40kHz, etc. would be suitable. Note that 40kHz (2.5 readings/second) will reject both 50 and 60Hz (also 400 and 440Hz).

COMPONENT VALUE SELECTION

Integrating Resistor

Both the buffer amplifier and the integrator have a class A output stage with 100μA of quiescent current. They can supply 20μA of drive current with negligible non-linearity. The integrating resistor should be large enough to remain in this very linear region over the input voltage range, but small enough that undue leakage requirements are not placed on the PC board. For 2 volt full scale, 470kΩ is near optimum and similarly a 47kΩ for a 200.0 mV scale.

Integrating Capacitor

The integrating capacitor should be selected to give the maximum voltage swing that ensures tolerance build-up will not saturate the integrator swing (approx. 0.3 volt from either supply). In the 7106 or the 7107, when the analog COMMON is used as a reference, a nominal ±2 volt full scale integrator swing is fine. For the 7107 with ±5 volt supplies and analog COMMON tied to supply ground, a ±3.5 to ±4 volt swing is nominal. For three readings/second (48kHz clock) nominal values for C_{INT} are 0.22μF and 0.10μF, respectively. Of course, if different oscillator frequencies are used, these values should be changed in inverse proportion to maintain the same output swing.

An additional requirement of the integrating capacitor is that it must have a low dielectric absorption to prevent roll-over errors. While other types of capacitors are adequate for this application, polypropylene capacitors give undetectable errors at reasonable cost.

Auto-Zero Capacitor

The size of the auto-zero capacitor has some influence on the noise of the system. For 200mV full scale where noise is very important, a 0.47μF capacitor is recommended. On the 2 volt scale, a 0.047μF capacitor increases the speed of recovery from overload and is adequate for noise on this scale.

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Reference Capacitor

A 0.1μF capacitor gives good results in most applications. However, where a large common mode voltage exists (i.e. the REF LO pin is not at analog COMMON) and a 200mV scale is used, a larger value is required to prevent roll-over error. Generally 1.0μF will hold the roll-over error to 0.5 count in this instance.

Oscillator Components

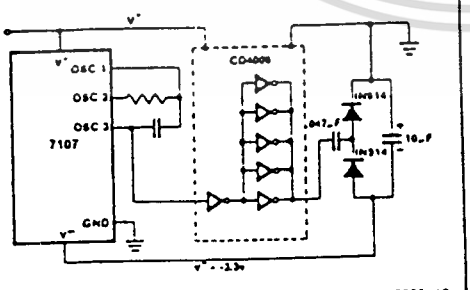
For all ranges of frequency a 100kΩ resistor is recommended and the capacitor is selected from the equation $f=\frac{0.45}{RC}$. For 48kHz clock (3 readings/second), C = 100pF.

Reference Voltage

The analog input required to generate full-scale output (2000 counts) is: $V_{IN} = 2V_{REF}$. Thus, for the 200.0mV and 2.000 volt scale, Vref should equal 100.0 mV and 1.000 volt, respectively. However, in many applications where the A/D is connected to a transducer, there will exist a scale factor other than unity between the input voltage and the digital reading. For instance, in a weighing system, the designer might like to have a full scale reading when the voltage from the transducer is 0.682V. Instead of dividing the input down to 200.0mV, the designer should use the input voltage directly and select $V_{REF} = 0.341V$. Suitable values for integrating resistor and capacitor would be 120kΩ and 0.22μF. This makes the system slightly quieter and also avoids a divider network on the input. The 7107 with ±5V supplies can accept input signals up to ±4V. Another advantage of this system occurs when a digital reading of zero is desired for $V_{IN} = 0$. Temperature and weighing systems with a variable tare are examples. This offset reading can be conveniently generated by connecting the voltage transducer between IN HI and COMMON and the variable (or fixed) offset voltage between COMMON and IN LO.

7107 Power Supplies

The 7107 is designed to work from ±5V supplies. However, if a negative supply is not available, it can be generated from the clock output with 2 diodes, 2 capacitors, and an inexpensive I.C. Figure 11 shows this application. See ICL7660 data sheet for an alternative.



0335-12

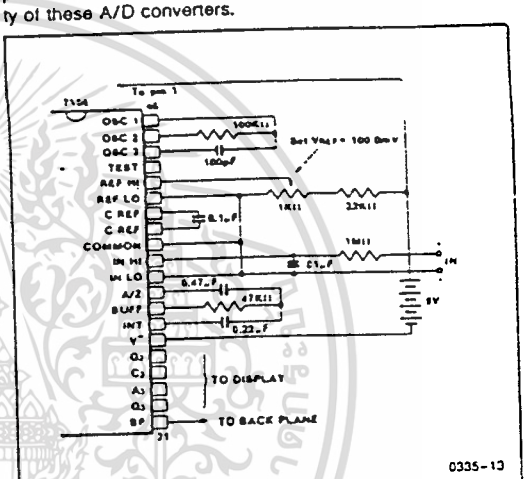
Figure 11: Generating Negative Supply from +5V

In fact, in selected applications no negative supply is required. The conditions to use a single +5V supply are:

1. The input signal can be referenced to the center of the common mode range of the converter.
2. The signal is less than ±1.5 volts.
3. An external reference is used.

TYPICAL APPLICATIONS

The 7106 and 7107 may be used in a wide variety of configurations. The circuits which follow show some of the possibilities, and serve to illustrate the exceptional versatility of these A/D converters.



0335-13

Figure 12: 7106 using the internal reference. Values shown are for 200.0 mV full scale, 3 readings per second, floating supply voltage (9V battery).

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

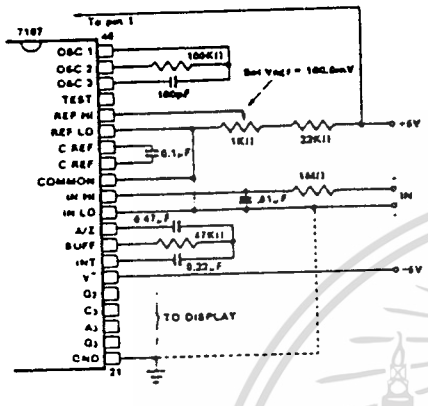


Figure 13: 7107 using the internal reference. Values shown are for 200.0mV full scale, 3 readings per second. IN LO may be tied to either COMMON for inputs floating with respect to supplies, or GND for single ended inputs. (See discussion under Analog COMMON.)

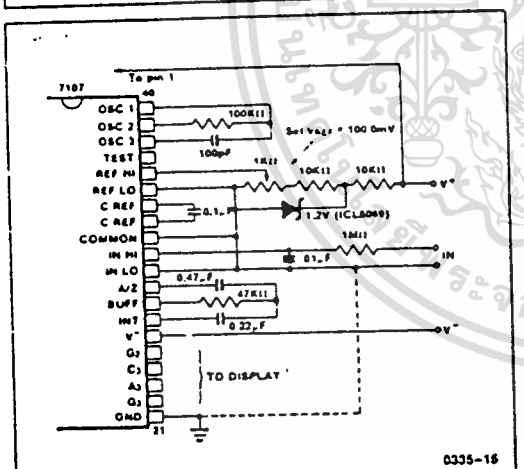


Figure 14: 7107 with an external band-gap reference (1.2V type). IN LO is tied to COMMON, thus establishing the correct common mode voltage. If COMMON is not shorted to GND, the input voltage may float with respect to the power supply and COMMON acts as a pre-regulator for the reference. If COMMON is shorted to GND, the input is single ended (referred to supply ground) and the pre-regulator is over-ridden.

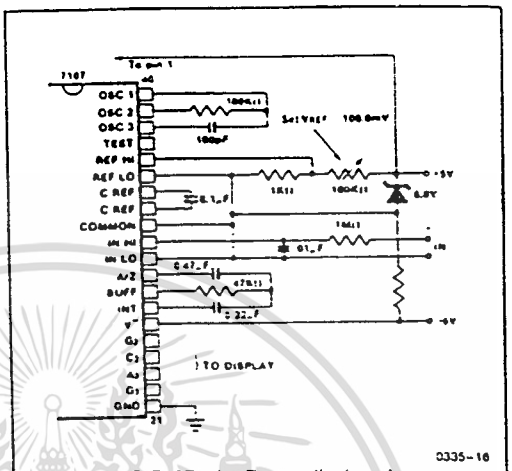


Figure 15: 7107 with Zener diode reference. Since low T.C. zeners have breakdown voltages ~ 6.8V, diode must be placed across the total supply (10V). As in the case of Figure 15, IN LO may be tied to either COMMON or GND.

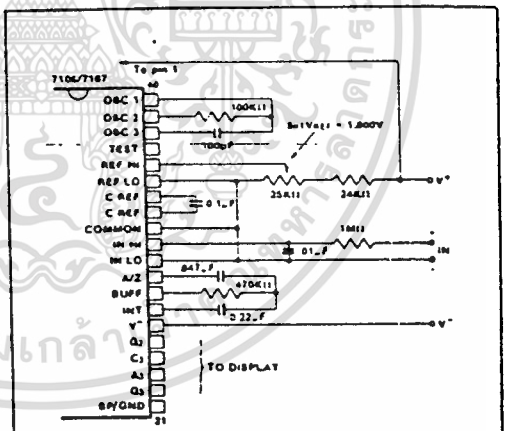
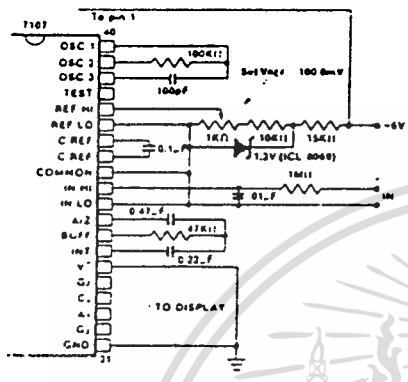


Figure 16: 7106/7107: Recommended component values for 2.000V full scale.

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

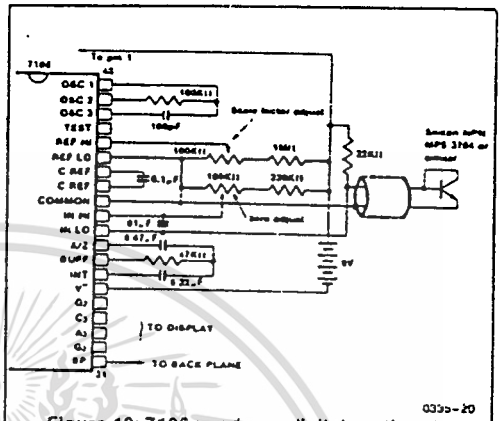
NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



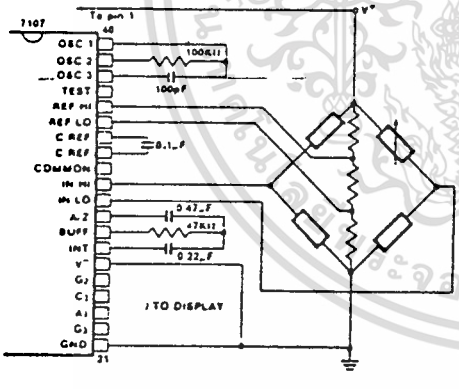
0335-18

Figure 17: 7107 operated from single +5V supply. An external reference must be used in this application, since the voltage between V⁺ and V⁻⁻ is insufficient for correct operation of the internal reference.



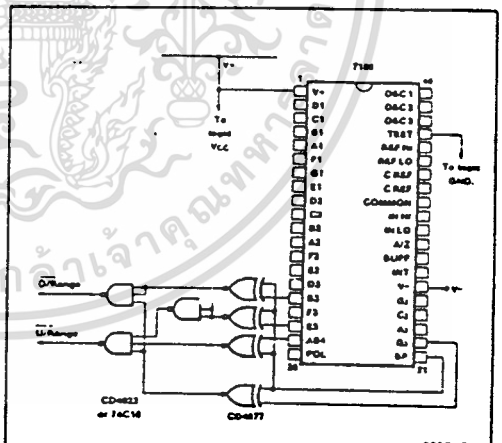
0335-20

Figure 19: 7106 used as a digital centigrade thermometer. A silicon diode-connected transistor has a temperature coefficient of about −2mV/°C. Calibration is achieved by placing the sensing transistor in ice water and adjusting the zeroing potentiometer for a 000.0 reading. The sensor should then be placed in boiling water and the scale-factor potentiometer adjusted for 100.0 reading.



0335-19

Figure 18: 7107 measuring ratiometric values of Quad Load Cell. The resistor values within the bridge are determined by the desired sensitivity.



0335-21

Figure 20: Circuit for developing Underrange and Overrange signals from 7106 outputs.

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

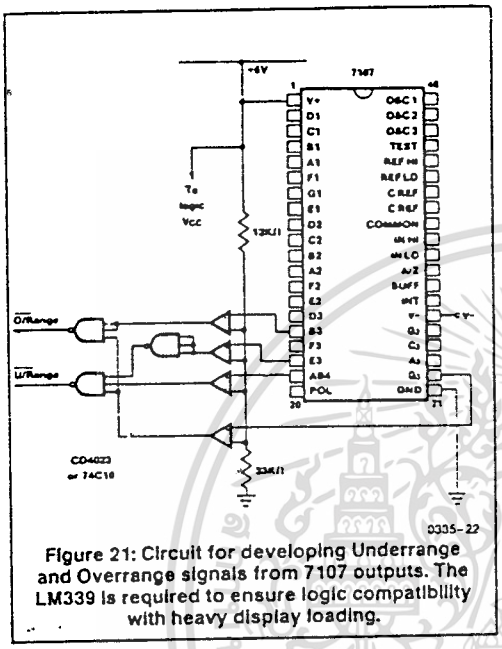


Figure 21: Circuit for developing Underrange and Overrange signals from 7107 outputs. The LM339 is required to ensure logic compatibility with heavy display loading.

7106/7107 EVALUATION KITS

After purchasing a sample of the 7106 or the 7107, the majority of users will want to build a simple voltmeter. The parts can then be evaluated against the data sheet specifications, and tried out in the intended application. However, locating and purchasing even the small number of additional components required, then wiring a breadboard, can often cause delays of days or sometimes weeks. To avoid this problem and facilitate evaluation of these unique circuits, Intersil is offering a kit which contains all the necessary components to build a 3½-digit panel meter. With the help of this kit, an engineer or technician can have the system "up and running" in about half an hour.

Two kits are offered, the ICL7106EV/KIT and the ICL7107EV/KIT. Both contain the appropriate IC, a circuit board, a display (LCD for 7106EV/KIT, LEDs for 7107EV/KIT), passive components, and miscellaneous hardware.

APPLICATION NOTES

A016 "Selecting A/D Converters", by David Fullagar.

A017 "The Integrating A/D Converter", By Lee Evans.

A018 "Do's and Don'ts of Applying A/D Converters", by Peter Bradshaw and Skip Osgood.

A023 "Low Cost Digital Panel Meter Designs", by David Fullagar and Michael Dufort.

A032 "Understanding the Auto-Zero and Common Mode Performance of the ICL7106/7/9 Family", by Peter Bradshaw.

A046 "Building a Battery-Operated Auto Ranging DVM with the ICL7106", by Larry Goff.

A052 "Tips for Using Single-Chip 3½-Digit A/D Converters", by Dan Watson.

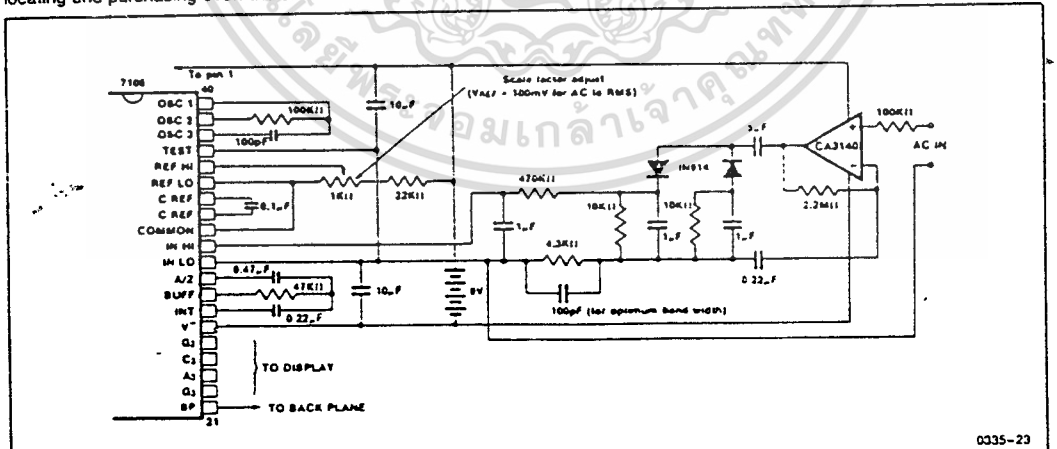


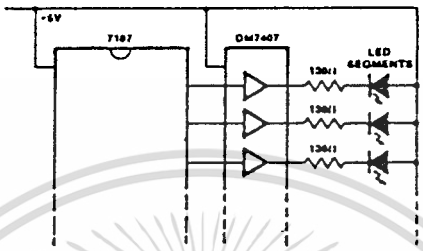
Figure 22: AC to DC Converter with 7106. TEST is used as a common mode reference level to ensure compatibility with most op-amps.

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ICL7106/ICL7107



0335-24

Figure 23: Display Buffering for increased drive current. Requires four DM7407 Hex Buffers. Each buffer is capable of sinking 40 mA.

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Z80®-CPU
Z80A-CPU

Product Specification

MARCH 1978

The Zilog Z80 product line is a complete set of microcomputer components, development systems and support software. The Z80 microcomputer component set includes all of the circuits necessary to build high-performance microcomputer systems with virtually no other logic and a minimum number of low cost standard memory elements.

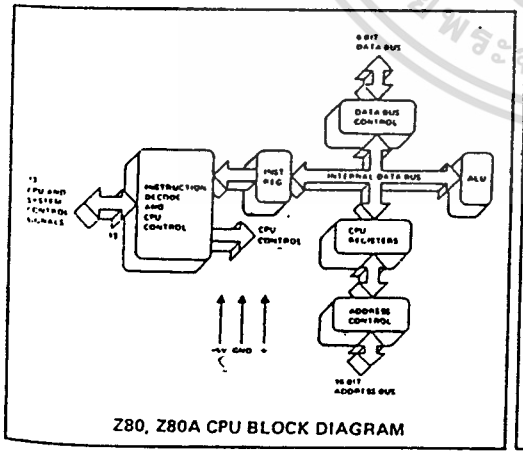
The Z80 and Z80A CPU's are third generation single chip microprocessors with unrivaled computational power. This increased computational power results in higher system through-put and more efficient memory utilization when compared to second generation microprocessors. In addition, the Z80 and Z80A CPU's are very easy to implement into a system because of their single voltage requirement plus all output signals are fully decoded and timed to control standard memory or peripheral circuits. The circuit is implemented using an N-channel, ion implanted, silicon gate MOS process.

Figure 1 is a block diagram of the CPU. Figure 2 details the internal register configuration which contains 208 bits of Read/Write memory that are accessible to the programmer. The registers include two sets of six general purpose registers that may be used individually as 8-bit registers or as 16-bit register pairs. There are also two sets of accumulator and flag registers. The programmer has access to either set of main or alternate registers through a group of exchange instructions. This alternate set allows foreground/background mode of operation or may be reserved for very fast Interrupt response. Each CPU also contains a 16-bit stack pointer which permits simple implementation of multiple level interrupts, unlimited subroutine nesting and simplification of many types of data handling.

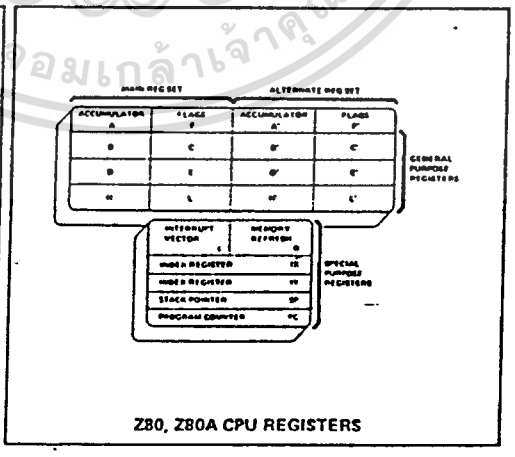
The two 16-bit index registers allow tabular data manipulation and easy implementation of relocatable code. The Refresh register provides for automatic, totally transparent refresh of external dynamic memories. The I register is used in a powerful interrupt response mode to form the upper 8 bits of a pointer to a interrupt service address table, while the interrupting device supplies the lower 8 bits of the pointer. An indirect call is then made to this service address.

FEATURES

- Single chip, N-channel Silicon Gate CPU.
- 158 instructions—includes all 78 of the 8080A instructions with total software compatibility. New instructions include 4-, 8- and 16-bit operations with more useful addressing modes such as indexed, bit and relative.
- 17 internal registers.
- Three modes of fast interrupt response plus a non-maskable interrupt.
- Directly interfaces standard speed static or dynamic memories with virtually no external logic.
- 1.0 μs instruction execution speed.
- Single 5 VDC supply and single-phase 5 volt Clock.
- Out-performs any other single chip microcomputer in 4-, 8-, or 16-bit applications.
- All pins TTL Compatible
- Built-in dynamic RAM refresh circuitry.



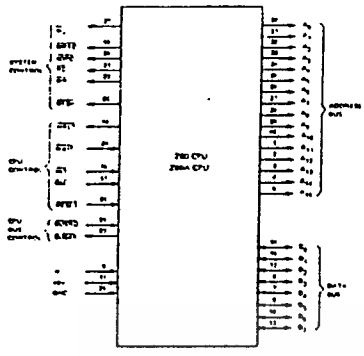
Z80, Z80A CPU BLOCK DIAGRAM



Z80, Z80A CPU REGISTERS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z80, Z80A-CPU Pin Description



Z80, Z80A CPU PIN CONFIGURATION

A_0-A_{15} (Address Bus) Tri-state output, active high. A_0-A_{15} constitute a 16-bit address bus. The address bus provides the address for memory (up to 64K bytes) data exchanges and for I/O device data exchanges.

D_0-D_7 (Data Bus) Tri-state input/output, active high. D_0-D_7 constitute an 8-bit bidirectional data bus. The data bus is used for data exchanges with memory and I/O devices.

$\overline{M_1}$ (Machine Cycle one) Output, active low. $\overline{M_1}$ indicates that the current machine cycle is the OP code fetch cycle of an instruction execution.

$\overline{MREQ}$ (Memory Request) Tri-state output, active low. The memory request signal indicates that the address bus holds a valid address for a memory read or memory write operation.

$\overline{IORQ}$ (Input/ Output Request) Tri-state output, active low. The $\overline{IORQ}$ signal indicates that the lower half of the address bus holds a valid I/O address for a I/O read or write operation. An $\overline{IORQ}$ signal is also generated when an interrupt is being acknowledged to indicate that an interrupt response vector can be placed on the data bus.

$\overline{RD}$ (Memory Read) Tri-state output, active low. $\overline{RD}$ indicates that the CPU wants to read data from memory or an I/O device. The addressed I/O device or memory should use this signal to gate data onto the CPU data bus.

$\overline{WR}$ (Memory Write) Tri-state output, active low. $\overline{WR}$ indicates that the CPU data bus holds valid data to be stored in the addressed memory or I/O device.

$\overline{RFSH}$ (Refresh) Output, active low. $\overline{RFSH}$ indicates that the lower 7 bits of the address bus contain a refresh address for dynamic memories and the current $\overline{MREQ}$ signal should be used to do a refresh read to all dynamic memories.

$\overline{HALT}$ (Halt state) Output, active low. $\overline{HALT}$ indicates that the CPU has executed a HALT software instruction and is awaiting either a non-maskable or a maskable interrupt (with the mask enabled) before operation can resume. While halted, the CPU executes NOP's to maintain memory refresh activity.

$\overline{WAIT}$ (Wait) Input, active low. $\overline{WAIT}$ indicates to the Z-80 CPU that the addressed memory or I/O devices are not ready for a data transfer. The CPU continues to enter wait states for as long as this signal is active.

$\overline{INT}$ (Interrupt Request) Input, active low. The Interrupt Request signal is generated by I/O devices. A request will be honored at the end of the current instruction if the internal software controlled interrupt enable flip-flop (IFF) is enabled.

$\overline{NMI}$ (Non Maskable Interrupt) Input, active low. The non-maskable interrupt request line has a higher priority than $\overline{INT}$ and is always recognized at the end of the current instruction, independent of the status of the interrupt enable flip-flop. $\overline{NMI}$ automatically forces the Z-80 CPU to restart to location 0066_H.

$\overline{RESET}$ Input, active low. $\overline{RESET}$ initializes the CPU as follows: reset interrupt enable flip-flop, clear PC and registers I and R and set interrupt to 8080A mode. During reset time, the address and data bus go to a high impedance state and all control output signals go to the inactive state.

$\overline{BUSRQ}$ (Bus Request) Input, active low. The bus request signal has a higher priority than $\overline{NMI}$ and is always recognized at the end of the current machine cycle and is used to request the CPU address bus, data bus and tri-state output control signals to go to a high impedance state so that other devices can control these busses.

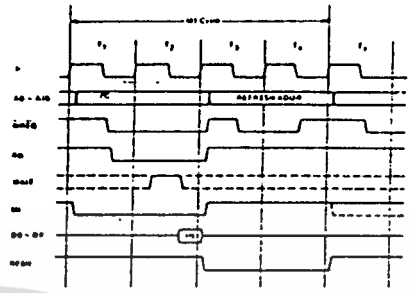
$\overline{BUSAK}$ (Bus Acknowledge) Output, active low. Bus acknowledge is used to indicate to the requesting device that the CPU address bus, data bus and tri-state control bus signals have been set to their high impedance state and the external device can now control these signals.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms

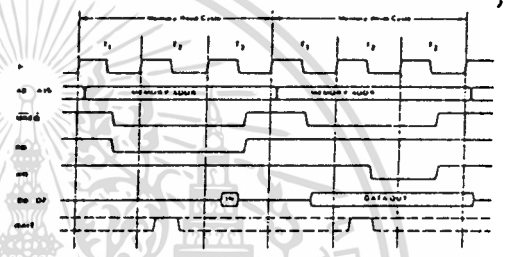
INSTRUCTION OP CODE FETCH

The program counter content (PC) is placed on the address bus immediately at the start of the cycle. One half clock time later $\overline{MREQ}$ goes active. The falling edge of $\overline{MREQ}$ can be used directly as a chip enable to dynamic memories. $\overline{RD}$ when active indicates that the memory data should be enabled onto the CPU data bus. The CPU samples data with the rising edge of the clock state T_3. Clock states T_3 and T_4 of a fetch cycle are used to refresh dynamic memories while the CPU is internally decoding and executing the instruction. The refresh control signal $\overline{RFSH}$ indicates that a refresh read of all dynamic memories should be accomplished.



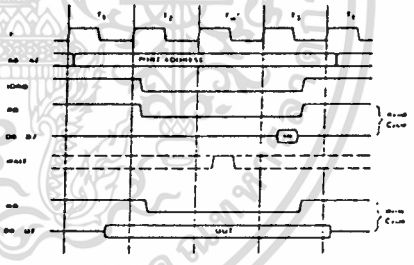
MEMORY READ OR WRITE CYCLES

Illustrated here is the timing of memory read or write cycles other than an OP code fetch (M_1 cycle). The $\overline{MREQ}$ and $\overline{RD}$ signals are used exactly as in the fetch cycle. In the case of a memory write cycle, the $\overline{MREQ}$ also becomes active when the address bus is stable so that it can be used directly as a chip enable for dynamic memories. The $\overline{WR}$ line is active when data on the data bus is stable so that it can be used directly as a R/W pulse to virtually any type of semiconductor memory.



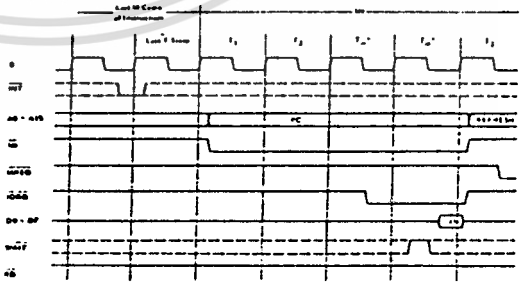
INPUT OR OUTPUT CYCLES

Illustrated here is the timing for an I/O read or I/O write operation. Notice that during I/O operations a single wait state is automatically inserted (Tw*). The reason for this is that during I/O operations this extra state allows sufficient time for an I/O port to decode its address and activate the $\overline{WAIT}$ line if a wait is required.



INTERRUPT REQUEST/ACKNOWLEDGE CYCLE

The interrupt signal is sampled by the CPU with the rising edge of the last clock at the end of any instruction. When an interrupt is accepted, a special M_1 cycle is generated. During this M_1 cycle, the $\overline{IORQ}$ signal becomes active (instead of $\overline{MREQ}$) to indicate that the interrupting device can place an 8-bit vector on the data bus. Two wait states (Tw*) are automatically added to this cycle so that a ripple priority interrupt scheme, such as the one used in the Z80 peripheral controllers, can be easily implemented.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z80, Z80A Instruction Set

The following is a summary of the Z80, Z80A instruction set showing the assembly language mnemonic and the symbolic operation performed by the instruction. A more detailed listing appears in the Z80-CPU technical manual, and assembly language programming manual. The instructions are divided into the following categories:

8-bit loads	Miscellaneous Group
16-bit loads	Rotates and Shifts
Exchanges	Bit Set, Reset and Test
Memory Block Moves	Input and Output
Memory Block Searches	Jumps
8-bit arithmetic and logic	Calls
16-bit arithmetic	Restarts
General purpose Accumulator & Flag Operations	Returns

In the table the following terminology is used.

b ≡ a bit number in any 8-bit register or memory location

cc ≡ flag condition code
- NZ ≡ non zero
- Z ≡ zero
- NC ≡ non carry
- C ≡ carry
- PO ≡ Parity odd or no over flow
- PE ≡ Parity even or over flow
- P ≡ Positive
- M ≡ Negative (minus)

d ≡ any 8-bit destination register or memory location

dd ≡ any 16-bit destination register or memory location

e ≡ 8-bit signed 2's complement displacement used in relative jumps and indexed addressing

L ≡ 8 special call locations in page zero. In decimal notation these are 0, 8, 16, 24, 32, 40, 48 and 56

n ≡ any 8-bit binary number

nn ≡ any 16-bit binary number

r ≡ any 8-bit general purpose register (A, B, C, D, E, H, or L)

s ≡ any 8-bit source register or memory location

s_b ≡ a bit in a specific 8-bit register or memory location

ss ≡ any 16-bit source register or memory location

subscript "L" ≡ the low order 8 bits of a 16-bit register

subscript "H" ≡ the high order 8 bits of a 16-bit register

( ) ≡ the contents within the ( ) are to be used as a pointer to a memory location or I/O port number

8-bit registers are A, B, C, D, E, H, L, I and R

16-bit register pairs are AF, BC, DE and HL

16-bit registers are SP, PC, IX and IY

Addressing Modes implemented include combinations of the following:

Immediate	Indexed
Immediate extended	Register
Modified Page Zero	Implied
Relative	Register Indirect
Extended	Bit

8-BIT LOADS

Mnemonic	Symbolic Operation	Comments
LD r, s	r ← s	s ≡ r, n, (HL), (IX+e), (IY+e)
LD d, r	d ← r	d ≡ (HL), r (IX+e), (IY+e)
LD d, n	d ← n	d ≡ (HL), (IX+e), (IY+e)
LD A, s	A ← s	s ≡ (BC), (DE), (nn), I, R
LD d, A	d ← A	d ≡ (BC), (DE), (nn), I, R

16-BIT LOADS

Mnemonic	Symbolic Operation	Comments
LD dd, nn	dd ← nn	dd ≡ BC, DE, HL, SP, IX, IY
LD dd, (nn)	dd ← (nn)	dd ≡ BC, DE, HL, SP, IX, IY
LD (nn), ss	(nn) ← ss	ss ≡ BC, DE, HL, SP, IX, IY
LD SP, ss	SP ← ss	ss = HL, IX, IY
PUSH ss	$(SP-1) \leftarrow ss_H$; $(SP-2) \leftarrow ss_L$	ss = BC, DE, HL, AF, IX, IY
POP dd	$dd_L \leftarrow (SP)$, $dd_H \leftarrow (SP+1)$	dd = BC, DE, HL, AF, IX, IY

EXCHANGES

Mnemonic	Symbolic Operation	Comments
EX DE, HL	DE ↔ HL	
EX AF, AF'	AF ↔ AF'	
EXX	$\begin{pmatrix} BC \\ DE \\ HL \end{pmatrix} \leftrightarrow \begin{pmatrix} BC' \\ DE' \\ HL' \end{pmatrix}$	
EX (SP), ss	$(SP) \leftrightarrow ss_L$, $(SP+1) \leftrightarrow ss_H$	ss ≡ HL, IX, IY

MEMORY BLOCK MOVES

Mnemonic	Symbolic Operation	Comments
LDI	(DE) ← (HL), DE ← DE+1 HL ← HL+1, BC ← BC-1	
LDIR	(DE) ← (HL), DE ← DE+1 HL ← HL+1, BC ← BC-1 Repeat until BC = 0	
LDD	(DE) ← (HL), DE ← DE-1 HL ← HL-1, BC ← BC-1	
LDDR	(DE) ← (HL), DE ← DE-1 HL ← HL-1, BC ← BC-1 Repeat until BC = 0	

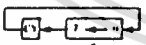
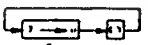
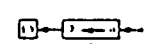
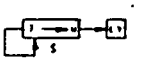
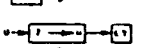
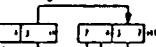
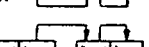
MEMORY BLOCK SEARCHES

Mnemonic	Symbolic Operation	Comments
CPI	A-(HL), HL ← HL+1 BC ← BC-1	
CPIR	A-(HL), HL ← HL+1 BC ← BC-1, Repeat until BC = 0 or A = (HL)	A-(HL) sets the flags only. A is not affected
CPD	A-(HL), HL ← HL-1 BC ← BC-1	
CPDR	A-(HL), HL ← HL-1 BC ← BC-1, Repeat until BC = 0 or A = (HL)	

8-BIT ALU

Mnemonic	Symbolic Operation	Comments
ADD s	A ← A + s	
ADC s	A ← A + s + CY	CY is the carry flag
SUB s	A ← A - s	
SBC s	A ← A - s - CY	s ≡ r, n, (HL) (IX+e), (IY+e)
AND s	A ← A ∧ s	
OR s	A ← A ∨ s	
XOR s	A ← A ⊕ s	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	Mnemonic	Symbolic Operation	Comments
8-BIT ALU	CP s	A - s	s = r, n (HL) (IX+e), (IY+e)
	INC d	d ← d + 1	d = r, (HL) (IX+e), (IY+e)
	DEC d	d ← d - 1	
16-BIT ARITHMETIC	ADD HL, ss	HL ← HL + ss	ss ≡ BC, DE HL, SP
	ADC HL, ss	HL ← HL + ss + CY	
	SBC HL, ss	HL ← HL - ss - CY	
	ADD IX, ss	IX ← IX + ss	ss ≡ BC, DE, IX, SP
	ADD IY, ss	IY ← IY + ss	ss ≡ BC, DE, IY, SP
	INC dd	dd ← dd + 1	dd ≡ BC, DE, HL, SP, IX, IY
	DEC dd	dd ← dd - 1	dd ≡ BC, DE, HL, SP, IX, IY
GP ACC. & FLAG	DAA	Converts A contents into packed BCD following add or subtract.	Operands must be in packed BCD format
	CPL	$A \leftarrow \overline{A}$	
	NEG	A ← 00 - A	
	CCF	$CY \leftarrow \overline{CY}$	
	SCF	CY ← 1	
MISCELLANEOUS	NOP	No operation	
	HALT	Halt CPU	
	DI	Disable Interrupts	
	EI	Enable Interrupts	
	IM 0	Set interrupt mode 0	8080A mode
	IM 1	Set interrupt mode 1	Call to 0038_H
	IM 2	Set interrupt mode 2	Indirect Call
ROTATES AND SHIFTS	RLC s		s ≡ r, (HL) (IX+e), (IY+e)
	RL s		
	RRC s		
	RR s		
	SLA s		
	SRA s		
	SRL s		
	RLD		
	RRD		

	Mnemonic	Symbolic Operation	Comments
BIT S, R, & T	BIT b, s	$Z \leftarrow \overline{s_b}$	Z is zero flag
	SET b, s	$s_b \leftarrow 1$	s ≡ r, (HL) (IX+e), (IY+e)
	RES b, s	$s_b \leftarrow 0$	
INPUT AND OUTPUT	IN A, (n)	A ← (n)	
	IN r, (C)	r ← (C)	Set flags
	INI	(HL) ← (C), HL ← HL + 1 B ← B - 1	
	INIR	(HL) ← (C), HL ← HL + 1 B ← B - 1 Repeat until B = 0	
	IND	(HL) ← (C), HL ← HL - 1 B ← B - 1	
	INDR	(HL) ← (C), HL ← HL - 1 B ← B - 1 Repeat until B = 0	
	OUT(n), A	(n) ← A	
	OUT(C), r	(C) ← r	
	OUTI	(C) ← (HL), HL ← HL + 1 B ← B - 1	
	OTIR	(C) ← (HL) HL ← HL + 1 B ← B - 1 Repeat until B = 0	
	OUTD	(C) ← (HL), HL ← HL - 1 B ← B - 1	
	OTDR	(C) ← (HL), HL ← HL - 1 B ← B - 1 Repeat until B = 0	
JUMPS	JP nn	PC ← nn	
	JP cc, nn	If condition cc is true PC ← nn, else continue	cc { NZ P, Z P, NC P, C M
	JR e	PC ← PC + e	
	JR kk, e	If condition kk is true PC ← PC + e, else continue	kk { NZ, Z
	JP (ss)	PC ← ss	ss = HL, IX,
	DJNZ e	B ← B - 1, if B = 0 continue, else PC ← PC + e	
CALLS	CALL nn	$(SP-1) \leftarrow PC_H$ $(SP-2) \leftarrow PC_L$, PC ← nn	cc { NZ P, Z P, NC P, C M
	CALL cc, nn	If condition cc is false continue, else same as CALL nn	
RESTARTS	RST L	$(SP-1) \leftarrow PC_H$ $(SP-2) \leftarrow PC_L$, $PC_H \leftarrow 0$ $PC_L \leftarrow L$	
RETURNS	RET	$PC_L \leftarrow (SP)$, $PC_H \leftarrow (SP+1)$	cc { NZ P, Z P, NC P, C M
	RET cc	If condition cc is false continue, else same as RET	
	RETI	Return from interrupt, same as RET	
	RETN	Return from non-maskable interrupt	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

T_A = 0°C to 70°C, Vcc = +5V ± 5%, Unless Otherwise Noted.

Signal	Symbol	Parameter	Min	Max	Unit	Test Condition	
Φ	t_c	Clock Period	4	[12]	μsec		[12] $t_c = t_{w(\Phi H)} + t_{w(\Phi L)} + t_r + t_f$
	$t_{w(\Phi H)}$	Clock Pulse Width, Clock High	180	[E]	nsec		
	$t_{w(\Phi L)}$	Clock Pulse Width, Clock Low	180	2000	nsec		
	t_r, t_f	Clock Rise and Fall Time		30	nsec		
A_{15-0}	$t_{d(A)}$	Address Output Delay		145	nsec	C_L = 50pf	
	$t_{f(A)}$	Delay to Float		110	nsec		
	t_{acm}	Address Stable Prior to MREQ (Memory Cycle)	[1]		nsec		[1] $t_{acm} = t_{w(\Phi H)} + t_f - 75$
	t_{aci}	Address Stable Prior to IORQ, RD or WR (I/O Cycle)	[2]		nsec		[2] $t_{aci} = t_c - 80$
	t_{ca}	Address Stable from RD, WR, IORQ or MREQ	[3]		nsec		[3] $t_{ca} = t_{w(\Phi L)} + t_r - 40$
	t_{caf}	Address Stable From RD or WR During Float	[4]		nsec		[4] $t_{caf} = t_{w(\Phi L)} + t_r - 60$
D_{7-0}	$t_{d(D)}$	Data Output Delay		230	nsec	C_L = 50pf	[5] $t_{dcm} = t_c - 210$
	$t_{f(D)}$	Delay to Float During Write Cycle		90	nsec		[6] $t_{dci} = t_{w(\Phi L)} + t_r - 210$
	$t_{s(D)}$	Data Setup Time to Rising Edge of Clock During M2 Cycle	50		nsec		[7] $t_{cdf} = t_{w(\Phi L)} + t_r - 80$
	$t_{s(D)}$	Data Setup Time to Falling Edge of Clock During M2 to M5	60		nsec		
	t_{dcm}	Data Stable Prior to WR (Memory Cycle)	[5]		nsec		
	t_{dci}	Data Stable Prior to WR (I/O Cycle)	[6]		nsec		
	t_{cdf}	Data Stable From WR	[7]		nsec		
	t_H	Any Hold Time for Setup Time	0		nsec		
MREQ	$t_{d(\Phi-MR)}$	MREQ Delay From Falling Edge of Clock, MREQ Low		100	nsec	C_L = 50pf	
	$t_{d(\Phi+MR)}$	MREQ Delay From Rising Edge of Clock, MREQ High		100	nsec		
	$t_{d(\Phi-MR)}$	MREQ Delay From Falling Edge of Clock, MREQ High		100	nsec		
	$t_{w(MRL)}$	Pulse Width, MREQ Low	[8]		nsec		[8] $t_{w(MRL)} = t_c - 40$
	$t_{w(MRH)}$	Pulse Width, MREQ High	[9]		nsec		[9] $t_{w(MRH)} = t_{w(\Phi H)} + t_r - 30$
IORQ	$t_{d(\Phi+IR)}$	IORQ Delay From Rising Edge of Clock, IORQ Low		90	nsec	C_L = 50pf	
	$t_{d(\Phi-IR)}$	IORQ Delay From Falling Edge of Clock, IORQ Low		110	nsec		
	$t_{d(\Phi+IR)}$	IORQ Delay From Rising Edge of Clock, IORQ High		100	nsec		
	$t_{d(\Phi-IR)}$	IORQ Delay From Falling Edge of Clock, IORQ High		110	nsec		
RD	$t_{d(\Phi+RD)}$	RD Delay From Rising Edge of Clock, RD Low		100	nsec	C_L = 50pf	
	$t_{d(\Phi-RD)}$	RD Delay From Falling Edge of Clock, RD Low		130	nsec		
	$t_{d(\Phi+RD)}$	RD Delay From Rising Edge of Clock, RD High		100	nsec		
	$t_{d(\Phi-RD)}$	RD Delay From Falling Edge of Clock, RD High		110	nsec		
WR	$t_{d(\Phi+WR)}$	WR Delay From Rising Edge of Clock, WR Low		80	nsec	C_L = 50pf	
	$t_{d(\Phi-WR)}$	WR Delay From Falling Edge of Clock, WR Low		90	nsec		
	$t_{d(\Phi+WR)}$	WR Delay From Falling Edge of Clock, WR High		100	nsec		
	$t_{w(WRL)}$	Pulse Width, WR Low	[10]		nsec		[10] $t_{w(WRL)} = t_c - 40$
M1	$t_{d(M1)}$	M1 Delay From Rising Edge of Clock, M1 Low		130	nsec	C_L = 50pf	
	$t_{d(M1)}$	M1 Delay From Rising Edge of Clock, M1 High		130	nsec		
RFSH	$t_{d(RF)}$	RFSH Delay From Rising Edge of Clock, RFSH Low		180	nsec	C_L = 50pf	
	$t_{d(RF)}$	RFSH Delay From Rising Edge of Clock, RFSH High		150	nsec		
WAIT	$t_{s(WT)}$	WAIT Setup Time to Falling Edge of Clock	70		nsec		
HALT	$t_{d(HT)}$	HALT Delay Time From Falling Edge of Clock		300	nsec	C_L = 50pf	
INT	$t_{s(IT)}$	INT Setup Time to Rising Edge of Clock	80		nsec		
NMI	$t_{w(NML)}$	Pulse Width, NMI Low	80		nsec		
BUSRQ	$t_{s(BQ)}$	BUSRQ Setup Time to Rising Edge of Clock	80		nsec		
BUSAK	$t_{d(BA)}$	BUSAK Delay From Rising Edge of Clock, BUSAK Low		120	nsec	C_L = 50pf	
	$t_{d(BA)}$	BUSAK Delay From Falling Edge of Clock, BUSAK High		110	nsec		
RESET	$t_{s(RS)}$	RESET Setup Time to Rising Edge of Clock	90		nsec		
	$t_{f(C)}$	Delay to Float (MREQ, IORQ, RD and WR)		100	nsec		
	t_{ms}	M1 Stable Prior to IORQ (Interrupt Ack.)	[11]		nsec		[11] $t_{ms} = 2t_c + t_{w(\Phi H)} + t_f - 80$

NOTES

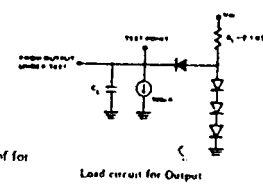
A Data should be enabled onto the CPU data bus when RD is active. During interrupt acknowledge data should be enabled when M1 and IORQ are both active.

B All control signals are internally synchronized so they may be totally asynchronous with respect to the clock.

C The RESET signal must be active for a minimum of 3 clock cycles.

D Output Delay vs. Loaded Capacitance
TA = 70°C Vcc = +5V ±5%
Add 10nsec delay for each 50pf increase in load up to a maximum of 200pf for the data bus & 100pf for address & control lines

E Although static by design, testing guarantees $t_{w(\Phi H)}$ of 200 μsec maximum.



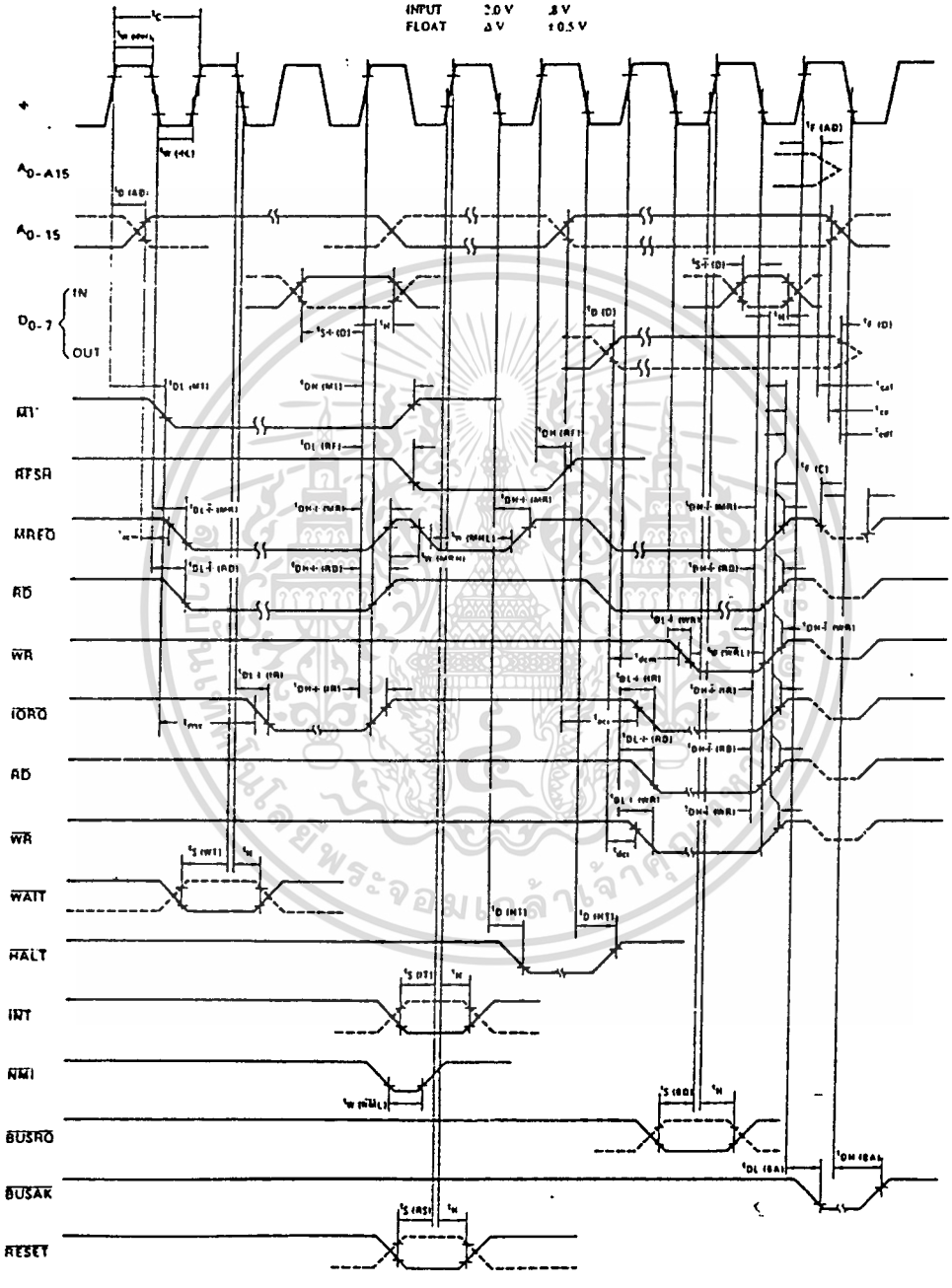
Load circuit for Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. Timing Diagram

Timing measurements are made at the following voltages, unless otherwise specified:

	"1"	"0"
CLOCK	V_{CC} -.6V	.45V
OUTPUT	2.0 V	.8 V
INPUT	2.0 V	.8 V
FLOAT	Δ V	±0.5 V



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Temperature Under Bias	Specified operating range
Storage Temperature	-65°C to +150°C
Voltage On Any Pin with Respect to Ground	-0.3V to +7V
Power Dissipation	1.5W

*Comment

Stresses above those listed under "Absolute Maximum Rating" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other condition above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Note For 2.5 MHz CPU all AC and DC characteristics remain the same for the military grade parts except I_{CC}

I_{CC} = 200 mA

Z80-CPU D.C. Characteristics

T_A = 0°C to 70°C, V_{CC} = 5V ± 5% unless otherwise specified

Symbol	Parameter	Min.	Typ	Max.	Unit	Test Condition
V_{ILC}	Clock Input Low Voltage	-0.3		0.45	V	
V_{IHC}	Clock Input High Voltage	V_{CC} -.6		V_{CC} +.3	V	
V_{IL}	Input Low Voltage	-0.3		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}	V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 1.8mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = -250μA
I_{CC}	Power Supply Current			150	mA	
I_{LI}	Input Leakage Current			10	μA	V_{IN}=0 to V_{CC}
I_{LOH}	Tri State Output Leakage Current in Float			10	μA	V_{OUT}=2.4 to V_{CC}
I_{LOL}	Tri State Output Leakage Current in Float			-10	μA	V_{OUT}=0.4V
I_{LD}	Data Bus Leakage Current in Input Mode			±10	μA	$0 < V_{IN} < V_{CC}$

Capacitance

T_A = 25°C, f = 1 MHz,
unmeasured pins returned to ground

Symbol	Parameter	Max	Unit
C_ϕ	Clock Capacitance	35	pF
C_{IN}	Input Capacitance	5	pF
C_{OUT}	Output Capacitance	10	pF

Z80-CPU Ordering Information

C – Ceramic
P – Plastic
S – Standard 5V ±5% 0° to 70°C
E – Extended 5V ±5% -40° to 85°C
M – Military 5V ±10% -55° to 125°C

Z80A-CPU D.C. Characteristics

T_A = 0°C to 70°C, V_{CC} = 5V ± 5% unless otherwise specified

Symbol	Parameter	Min.	Typ	Max.	Unit	Test Condition
V_{ILC}	Clock Input Low Voltage	-0.3		0.45	V	
V_{IHC}	Clock Input High Voltage	V_{CC} -.6		V_{CC} +.3	V	
V_{IL}	Input Low Voltage	-0.3		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}	V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 1.8mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = -250μA
I_{CC}	Power Supply Current		90	200	mA	
I_{LI}	Input Leakage Current			10	μA	V_{IN}=0 to V_{CC}
I_{LOH}	Tri State Output Leakage Current in Float			10	μA	V_{OUT}=2.4 to V_{CC}
I_{LOL}	Tri State Output Leakage Current in Float			-10	μA	V_{OUT}=0.4V
I_{LD}	Data Bus Leakage Current in Input Mode			±10	μA	$0 < V_{IN} < V_{CC}$

Capacitance

T_A = 25°C, f = 1 MHz
unmeasured pins returned to ground

Symbol	Parameter	Max	Unit
C_ϕ	Clock Capacitance	35	pf
C_{IN}	Input Capacitance	5	pf
C_{OUT}	Output Capacitance	10	pf

Z80A-CPU Ordering Information

C – Ceramic
P – Plastic
S – Standard 5V ±5% 0° to 70°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

T_A = 0°C to 70°C, Vcc = +5V ± 5%, Unless Otherwise Noted.

Signal	Symbol	Parameter	Min	Max	Unit	Test Condition	
Φ	t_c	Clock Period	250	[12]	nsec		[12] $t_c = t_{w(\Phi H)} + t_{w(\Phi L)} + t_r + t_f$
	$t_{w(\Phi H)}$	Clock Pulse Width, Clock High	110	[13]	nsec		
	$t_{w(\Phi L)}$	Clock Pulse Width, Clock Low	110	2000	nsec		
	t_r, t_f	Clock Rise and Fall Time		30	nsec		
A_{0-15}	$t_{D(AD)}$	Address Output Delay		110	nsec		
	$t_{F(AD)}$	Delay to Float		90	nsec		
	t_{acm}	Address Stable Prior to MREQ (Memory Cycle)	[1]		nsec	C_L = 50pF	[1] $t_{acm} = t_{w(\Phi H)} + t_f - 65$
	t_{aci}	Address Stable Prior to IORQ, RD or WR (I/O Cycle)	[2]		nsec		[2] $t_{aci} = t_c - 70$
	t_{ca}	Address Stable from RD, WR, IORQ or MREQ	[3]		nsec		
	t_{caf}	Address Stable From RD or WR During Float	[4]		nsec		
D_{0-7}	$t_{D(D)}$	Data Output Delay		150	nsec		[3] $t_{cs} = t_{w(\Phi L)} + t_f - 50$
	$t_{F(D)}$	Delay to Float During Write Cycle		90	nsec		[4] $t_{caf} = t_{w(\Phi L)} + t_f - 45$
	$t_{S\Phi(D)}$	Data Setup Time to Rising Edge of Clock During M1 Cycle	35		nsec	C_L = 50pF	[5] $t_{dcm} = t_c - 170$
	$t_{S\bar{\Phi}(D)}$	Data Setup Time to Falling Edge of Clock During M2 to M5	50		nsec		[6] $t_{dci} = t_{w(\Phi L)} + t_f - 170$
	t_{dcm}	Data Stable Prior to WR (Memory Cycle)	150		nsec		[7] $t_{cdf} = t_{w(\Phi L)} + t_f - 70$
	t_{dci}	Data Stable Prior to WR (I/O Cycle)	190		nsec		
	t_{cdf}	Data Stable From WR	170				
	t_{H}	Any Hold Time for Setup Time		0	nsec		
MREQ	$t_{DL\bar{\Phi}(MR)}$	MREQ Delay From Falling Edge of Clock, MREQ Low		85	nsec		
	$t_{DH\Phi(MR)}$	MREQ Delay From Rising Edge of Clock, MREQ High		85	nsec	C_L = 50pF	
	$t_{DH\bar{\Phi}(MR)}$	MREQ Delay From Falling Edge of Clock, MREQ High		85	nsec		[8] $t_{w(\overline{MRL})} = t_c - 30$
	$t_{w(\overline{MRL})}$	Pulse Width, MREQ Low	181		nsec		[9] $t_{w(\overline{MRH})} = t_{w(\Phi H)} + t_f - 20$
	$t_{w(\overline{MRH})}$	Pulse Width, MREQ High	101		nsec		
IORQ	$t_{DL\Phi(IR)}$	IORQ Delay From Rising Edge of Clock, IORQ Low		75	nsec		
	$t_{DL\bar{\Phi}(IR)}$	IORQ Delay From Falling Edge of Clock, IORQ Low		85	nsec	C_L = 50pF	
	$t_{DH\Phi(IR)}$	IORQ Delay From Rising Edge of Clock, IORQ High		85	nsec		
	$t_{DH\bar{\Phi}(IR)}$	IORQ Delay From Falling Edge of Clock, IORQ High		85	nsec		
RD	$t_{DL\Phi(RD)}$	RD Delay From Rising Edge of Clock, RD Low		85	nsec		
	$t_{DL\bar{\Phi}(RD)}$	RD Delay From Falling Edge of Clock, RD Low		95	nsec	C_L = 50pF	
	$t_{DH\Phi(RD)}$	RD Delay From Rising Edge of Clock, RD High		85	nsec		
	$t_{DH\bar{\Phi}(RD)}$	RD Delay From Falling Edge of Clock, RD High		85	nsec		
WR	$t_{DL\Phi(WR)}$	WR Delay From Rising Edge of Clock, WR Low		65	nsec		
	$t_{DL\bar{\Phi}(WR)}$	WR Delay From Falling Edge of Clock, WR Low		80	nsec	C_L = 50pF	
	$t_{DH\bar{\Phi}(WR)}$	WR Delay From Falling Edge of Clock, WR High		80	nsec		[10] $t_{w(\overline{WRL})} = t_c - 30$
	$t_{w(\overline{WRL})}$	Pulse Width, WR Low	[10]		nsec		
M1	$t_{DL(M1)}$	M1 Delay From Rising Edge of Clock, M1 Low		100	nsec	C_L = 50pF	
	$t_{DH(M1)}$	M1 Delay From Rising Edge of Clock, M1 High		100	nsec		
RFSH	$t_{DL(RF)}$	RFSH Delay From Rising Edge of Clock, RFSH Low		130	nsec	C_L = 50pF	
	$t_{DH(RF)}$	RFSH Delay From Rising Edge of Clock, RFSH High		120	nsec		
WAIT	$t_{s(WT)}$	WAIT Setup Time to Falling Edge of Clock	70		nsec		
HALT	$t_{D(HT)}$	HALT Delay Time From Falling Edge of Clock		300	nsec	C_L = 50pF	
INT	$t_{s(IT)}$	INT Setup Time to Rising Edge of Clock	80		nsec		
NMI	$t_{w(\overline{NML})}$	Pulse Width, NMI Low	80		nsec		
BUSRQ	$t_{s(BQ)}$	BUSRQ Setup Time to Rising Edge of Clock	50		nsec		
BUSAK	$t_{DL(BA)}$	BUSAK Delay From Rising Edge of Clock, BUSAK Low		100	nsec	C_L = 50pF	
	$t_{DH(BA)}$	BUSAK Delay From Falling Edge of Clock, BUSAK High		100	nsec		
RESET	$t_{s(RS)}$	RESET Setup Time to Rising Edge of Clock	60		nsec		
	$t_{F(C)}$	Delay to Float (MREQ, IORQ, RD and WR)		90	nsec		
	t_{mr}	M1 Stable Prior to IORQ (Interrupt Ack.)	[11]		nsec		[11] $t_{mr} = 2t_c + t_{w(\Phi H)} + t_f - 65$

NOTES

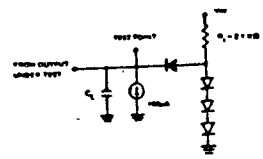
A Data should be enabled onto the CPU data bus when RD is active. During interrupt acknowledge data should be enabled when M1 and IORQ are both active.

B All control signals are internally synchronized, so they may be totally asynchronous with respect to the clock.

C The RESET signal must be active for a minimum of 3 clock cycles.

D Output Delay vs. Loaded Capacitance
TA = 70°C Vcc = +5V ±5%
Add 10nsec delay for each 50pf increase in load up to maximum of 200pf for data bus and 100pf for address & control lines.

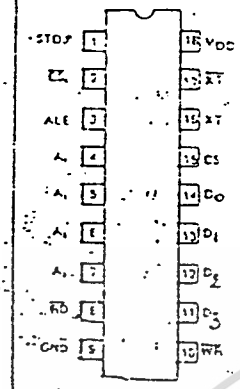
E Although static by design, testing guarantees $t_{w(\Phi H)}$ of 200 μsec maximum



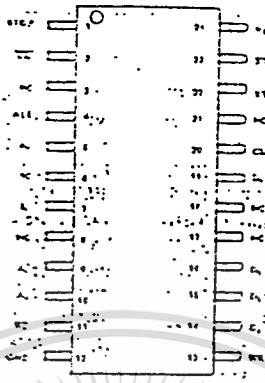
Load circuit for Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN CONFIGURATION



18 pin Plastic DIP Package



24 pin Plastic Flat Package

A0-A3:	Address input
D0-D3:	Data input/output
$\overline{CS0}$, CS_1	CHIP SELECTS 0, 1
$\overline{RD}$:	READ enable
$\overline{WR}$:	WRITE enable
ALE:	Address latch enable
STD.P:	Standard pulse output
XT, $\overline{XT}$:	XTAL oscillator input/output
VDD:	+5V supply
VSS:	ground

REGISTER TABLE

Address Input	A_3	A_2	A_1	A_0	Register Name	D_3	D_2	D_1	D_0	Count value	Description
0	0	0	0	0	S_1	S_8	S_4	S_2	S_1	0 ~ 9	1-second digit register
1	0	0	0	1	S_{10}	*	S_{40}	S_{20}	S_{10}	0 ~ 5	10-second digit register
2	0	0	1	0	mi_1	mi_8	mi_4	mi_2	mi_1	0 ~ 9	1-minute digit register
3	0	0	1	1	mi_{10}	*	mi_{40}	mi_{20}	mi_{10}	0 ~ 5	10-minute digit register
4	0	1	0	0	h_1	h_8	h_4	h_2	h_1	0 ~ 9	1-hour digit register
5	0	1	0	1	h_{10}	*	PM/$\overline{AM}$	h_{20}	h_{10}	0 ~ 2 or 0 ~ 1	PM/AM, 10-hour digit register
6	0	1	1	0	D_1	d_8	d_4	d_2	d_1	0 ~ 9	1-day digit register
7	0	1	1	1	D_{10}	*	*	d_{20}	d_{10}	0 ~ 3	10-day digit register
8	1	0	0	0	MO_1	mo_8	mo_4	mo_2	mo_1	0 ~ 9	1-month digit register
9	1	0	0	1	MO_{10}	*	*	*	MO_{10}	0 ~ 1	10-month digit register
A	1	0	1	0	Y_1	Y_8	Y_4	Y_2	Y_1	0 ~ 9	1-year digit register
B	1	0	1	1	Y_{10}	Y_{80}	Y_{40}	Y_{20}	Y_{10}	0 ~ 9	10-year digit register
C	1	1	0	0	W	*	w_4	w_2	w_1	0 ~ 6	Week register
D	1	1	0	1	C_D	30-sec. ADJ	IRQ FLAG	BUSY	HOLD		Control Register D
E	1	1	1	0	C_E	t_1	t_0	ITRPT /STND	MASK		Control Register E
F	1	1	1	1	C_F	TEST	24/12	STOP	REST		Control Register F

REST = RESET
ITRPT/STND = INTERRUPT/STANDARD

Note 1) — Bit * does not exist (unrecognized during a write and held at "0" during a read).
Note 2) — Be sure to mask the AM/PM bit when processing 10's of hour's data.
Note 3) — BUSY bit is read only. The IRQ FLAG bit can only be set to a "0". Setting the IRQ FLAG to a "1" is done by hardware.

Figure 1. Register Table

OSCILLATOR FREQUENCY DEVIATIONS

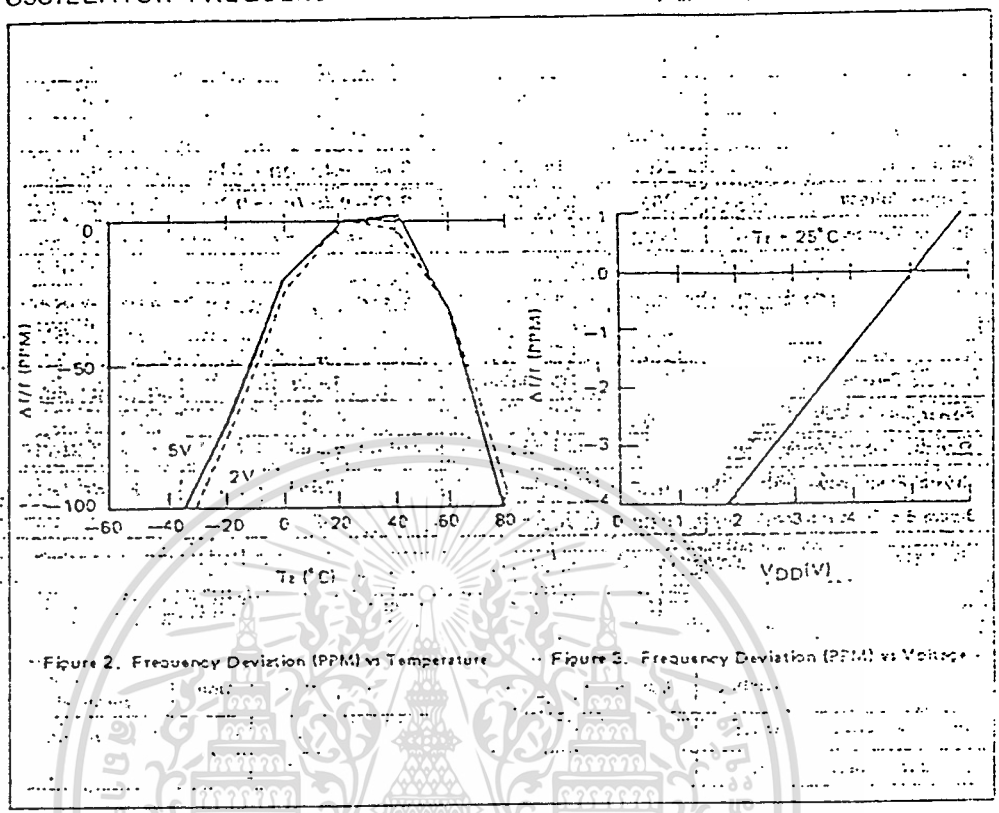
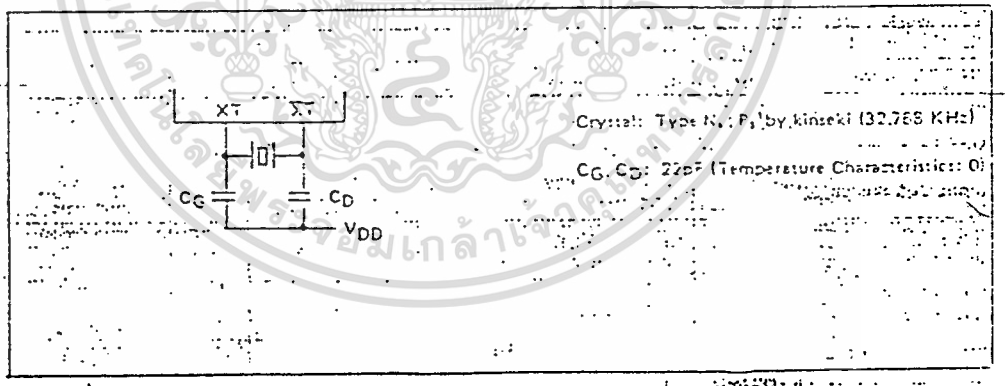


Figure 2. Frequency Deviation (PPM) vs Temperature

Figure 3. Frequency Deviation (PPM) vs Voltage

Note: 1. The graphs above showing frequency deviation vs temperature/voltage are primarily characteristic of the MSM6242B with the oscillation circuit described below.



ELECTRICAL CHARACTERISTICS

ABSOLUTE MAXIMUM RATINGS

Parameter	Symbol	Condition	Rating	Unit
Power Supply Voltage	V_{DD}	T_a = 25°C	−0.3~7	V
Input Voltage	V_I		GND − 0.3~V_{DD} + 0.3	V
Output Voltage	V_O		GND − 0.3~V_{DD} + 0.3	V
Storage Temperature	T_{STG}		−55~+150	°C

OPERATING CONDITIONS

Parameter	Symbol	Condition	Rating	Unit
Power Supply Voltage	V_{DD}	–	4~6	V
Standby Supply Voltage	V_{BAK}	–	2~6	V
Crystal Frequency	f(XT)	–	32.768	kHz
Operating Temperature	T_{OP}	–	−30~+85	°C

D.C. CHARACTERISTICS

V_{DD} = 5V ± 10%, T_A = −30~+85

Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit	Applicable Terminal
"H" Input Voltage	V_{IH}1	–	2.2	–	–	V	All input terminals except CS_1
"L" Input Voltage	V_{IL}1	–	–	–	0.8		
Input Leak Current	I_{LK}1	V_I = V_{DD}/0V	–	–	1/−1	μA	Input terminals other than D_0~D_3
Input Leak Current	I_{LK}2		–	–	10/−10		D_0~D_3
"L" Output Voltage	V_{OL}1	I_{OL} = 2.5mA	–	–	0.4	V	D_0~D_3
"H" Output Voltage	V_{OH}	I_{OH} = −400μA	2.4	–	–		
"L" Output Voltage	V_{OL}2	I_{OL} = 2.5mA	–	–	0.4	V	STD.P
OFF Leak Current	I_{OFFLK}	V = V_{DD}/0V	–	–	10	μA	
Input Capacitance	C_I	Input frequency = 1MHz	–	5	–	PF	All input terminals
Current Consumption	I_{DD}1	f(xt) = 32.768 KHz, T_a=25°C, V_{DD} = 5V	–	–	30	μA	V_{DD}
Current Consumption	I_{DD}2	f(xt) = 32.768 KHz, T_a=25°C, V_{DD} = 2V	–	–	10		
"H" Input Voltage	V_{IH}2	V_{DD} = 2~5.5V	4/5V_{DD}	–	–	V	CS_1
"L" Input Voltage	V_{IL}2		–	–	1/5V_{DD}		

SWITCHING CHARACTERISTICS

(1) WRITE mode (ALE = V_{DD})

(V_{DD} = 5V ± 10%, Ta = −30 ~ +85°C)

Parameter	Symbol	Condition	Min.	Max.	Unit
$\overline{CS_1}$ Set up Time	t_{C1S}	—	1000	—	ns
$\overline{CS_1}$ Hold Time	t_{C1H}	—	1000	—	
Address Stable Before WRITE	t_{AW}	—	20	—	
Address Stable After WRITE	t_{WA}	—	10	—	
WRITE Pulse Width	t_{WW}	—	120	—	
Data Set up Time	t_{DS}	—	100	—	
Data Hold Time	t_{DH}	—	10	—	

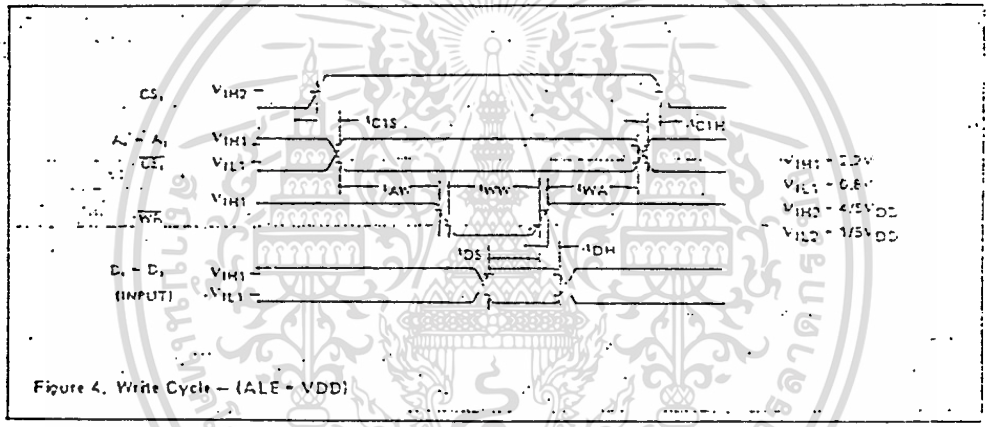


Figure 4. Write Cycle – (ALE = VDD)

(2) WRITE mode (With use of ALE)

(V_{DD} = 5 V ± 10%, Ta = −30

Parameter	Symbol	Condition	Min.	Max.	Unit
$\overline{CS_1}$ Set up Time	t_{C1S}	—	1000	—	ns
Address Set up Time	t_{AS}	—	25	—	
Address Hold Time	t_{AH}	—	25	—	
ALE Pulse Width	t_{AW}	—	40	—	
ALE Before WRITE	t_{ALW}	—	10	—	
WRITE Pulse Width	t_{WW}	—	120	—	
ALE After WRITE	t_{WAL}	—	20	—	
DATA Set up Time	t_{DS}	—	100	—	
DATA Hold Time	t_{DH}	—	10	—	
$\overline{CS_1}$ Hold Time	t_{C1H}	—	1000	—	

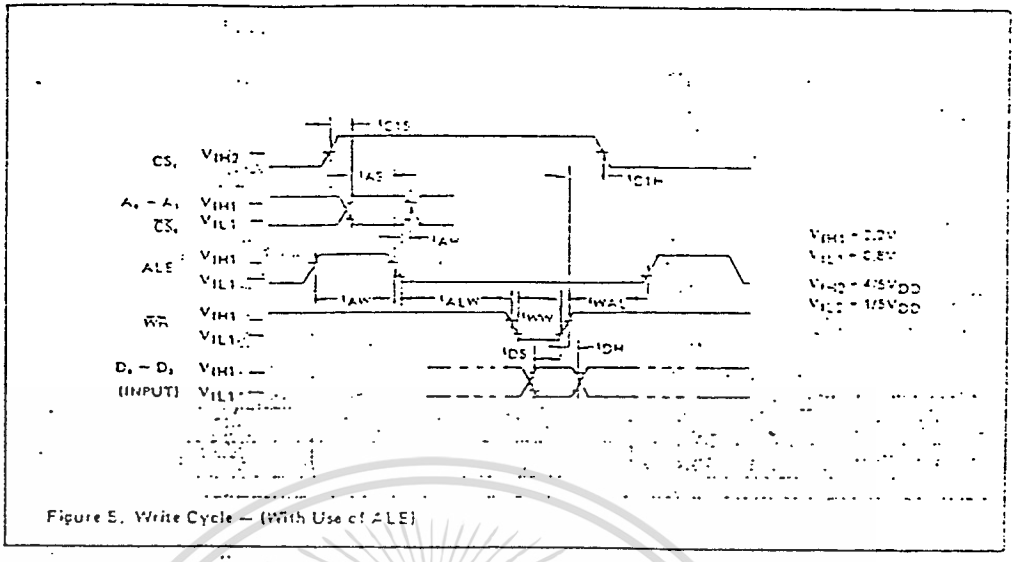


Figure 5. Write Cycle – (With Use of ALE)

(3) READ mode (ALE = V_{DD})

(V_{DD} = 5V ± 10%, T_a = −30 ~ +85°C)

Parameter	Symbol	Condition	Min.	Max.	Unit
CS, Set up Time	t_{CIS}	–	1000	–	ns
CS, Hold Time	t_{CIH}	–	1000	–	
Address Stable Before READ	t_{AR}	–	20	–	
Address Stable After READ	t_{RA}	–	0	–	
RD to Data	t_{RD}	C_L = 150pF	–	120	
Data Hold	t_{DR}	–	0	–	

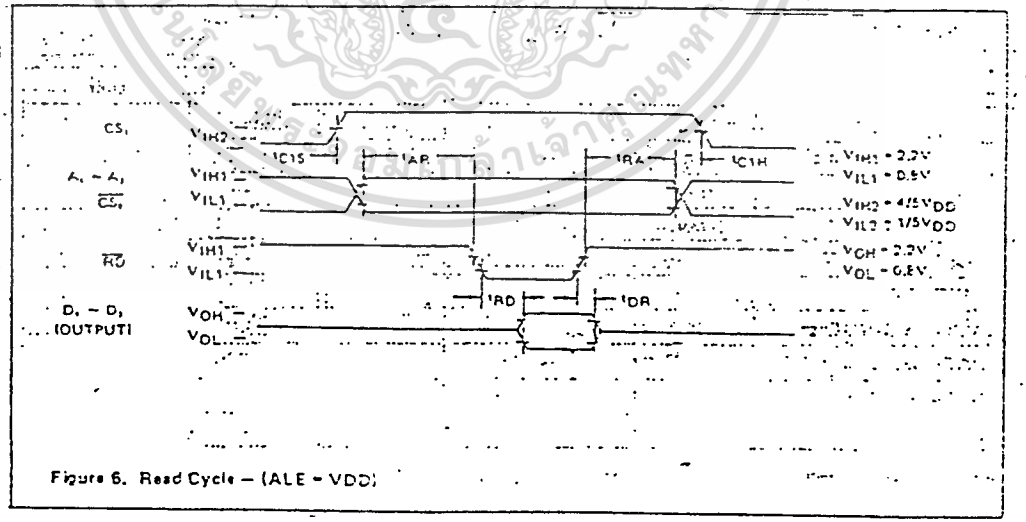


Figure 6. Read Cycle – (ALE = VDD)

(4) READ mode (With use of ALE)

(V_{DD} = 5V ±10%, Ta = −30~+85°C)

Parameter	Symbol	Condition	Min.	Max.	Unit
CS, Set up Time	t_{C1S}	–	1000	–	ns
Address Set up Time	t_{AS}	–	25	–	
Address Hold Time	t_{AH}	–	25	–	
ALE Pulse Width	t_{AW}	–	40	–	
ALE Before READ	t_{ALR}	–	10	–	
ALE after READ	t_{RAL}	–	10	–	
RD to Data	t_{RD}	C_L = 150pF	–	120	
DATA Hold	t_{DR}	–	0	–	
CS, Hold Time	t_{C1H}	–	1000	–	

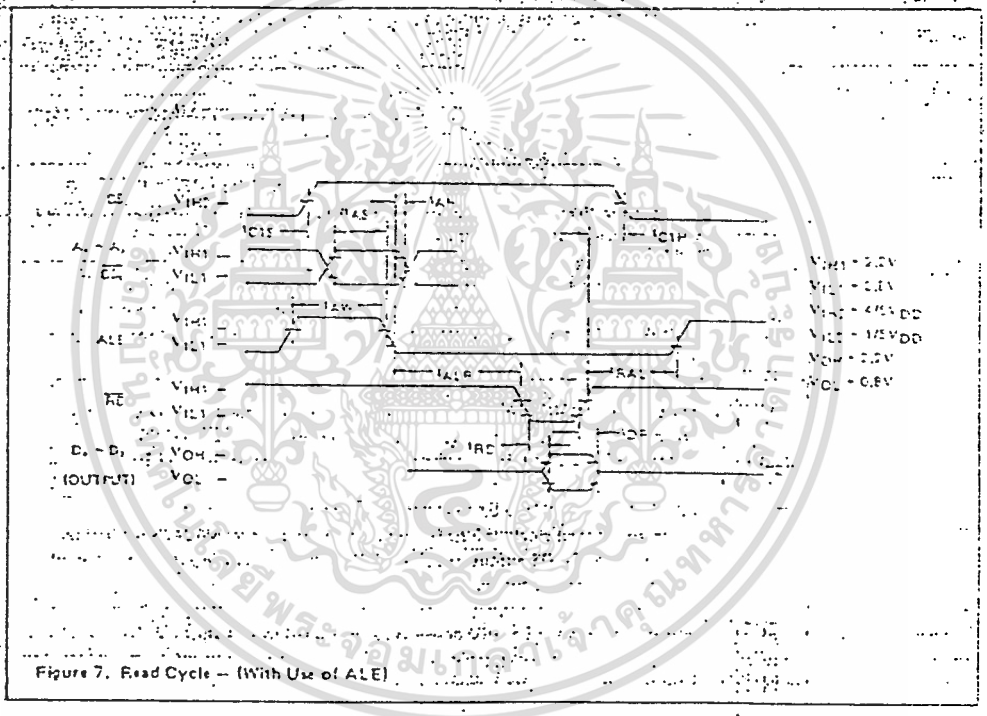
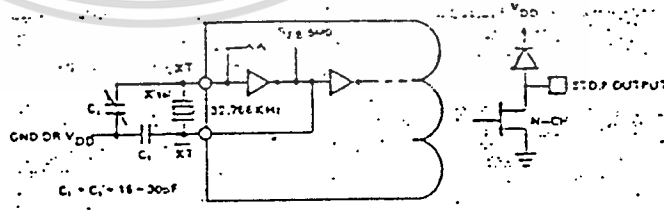


Figure 7. Read Cycle – (With Use of ALE)

PIN DESCRIPTION

Name	Pin No. RS	Pin No. GS	Description
D_0	14	19	Data Input/Output pins to be directly connected to a microcontroller bus for reading and writing of the clock/calendar's registers and control registers. $D0$ = LSB and $D3$ = MSB.
D_1	13	18	
D_2	12	17	
D_3	11	14	
A_0	4	5	Address input pin for use by a microcomputer to select internal clock/calendar's registers and control registers for Read/Write operations (See Function Table Figure 1). Address input pins A0-A3 are used in combination with ALE for addressing registers.
A_1	5	7	
A_2	6	9	
A_3	7	10	
ALE	3	4	Address Latch Enable pin. This pin enables writing of address data when ALE = 1 and $\overline{CS0}$ = 0; address data is latched when ALE = 0 Microcontroller/Microprocessors having an ALE output should connect to this pin; otherwise it should be connected at V_{DD}.
$\overline{WR}$	10	13	Writing of data is performed by this pin. When CS_1 = 1 and $\overline{CS_2}$ = 0, $D_0 \sim D_3$ data is written into the register at the rising edge of $\overline{WR}$.
$\overline{RD}$	8	11	Reading of register data is accomplished using this pin. When $\overline{CS_2}$ = 0 and $\overline{RD}$ = 0, the data of the register is output to $D_0 \sim D_3$. If both $\overline{RD}$ and $\overline{WR}$ are set at 0 simultaneously, $\overline{RD}$ is to be inhibited.
$\overline{CS_2}$	1	2	Chip Select Pins. These pins enable/disable ALE, $\overline{RD}$ and $\overline{WR}$ operation. $\overline{CS_2}$ and ALE work in combination with one another, while CS_1 work independent with ALE. CS_1 must be connected to power failure detection as shown in Figure 18.
CS_1	15	20	
STD.P	1	1	Output pin of N-CH OPEN DRAIN type. The output data is controlled by the D_1 data content of C_E register. This pin has a priority to $\overline{CS_2}$ and CS_1. Refer to Figure 5 and "FUNCTIONAL DESCRIPTION OF REGISTERS."
XT	16	22	32.768 kHz crystal is to be connected to these pins. When an external clock of 32.768 kHz is to be used for MSM5242's oscillation source, either CMOS output or pull-up TTL-output is to be input to XT, while $\overline{XT}$ should be left open.
$\overline{XT}$	17	23	
V_{DD}	18	24	Power supply pin. +2 ~ +6V power is to be applied to this pin.
GND	9	12	Ground pin.



The impedance of the crystal should be less than 30kΩ

Figure 8. Oscillator Circuit

Figure 9.

FUNCTIONAL DESCRIPTION OF REGISTERS

* S_1, S_{10}, MI_1, MI_{10}, H_1, H_{10}, D_1, D_{10}, $M\overline{O}_1$, $M\overline{O}_{10}$, Y_1, Y_{10}, W

a) These are abbreviations for SECOND1, SECOND10, MINUTE1, MINUTE10, HOUR1, HOUR10, DAY1, DAY10, MONTH1, MONTH10, YEAR1, YEAR10, and WEEK. These values are in BCD notation.

b) All registers are logically positive. For example, (S8, S4, S2, S1) = 1001 which means 9 seconds.

c) If data is written which is out of the clock register data limits, it can result in erroneous clock data being read back.

d) PM/AM, h_{23}, h_{13}

In the mode setting of 24-hour mode, PM/AM bit is ignored, while in the setting of 12-hour mode h_{23} is to be set. Otherwise it causes a discrepency. In reading out the PM/AM bit in the 24-hour mode, it is continuously read out as 0. In reading out h_{23} bit in the 12-hour mode, 0 is written into this bit first, then it is continuously read out as 0 unless 1 is being written into this bit.

e) Registers Y1, Y10, and Leap Year. The MSM6242B is designed exclusively for the Christian Era and is capable of identifying a leap year automatically. The result of the setting of a non-existant day of the month is shown in the following example: If the date February 29 or November 31, 1985, was written, it would be changed automatically to March 1, or December 1, 1985 at the exact time at which a carry pulse occurs for the day's clock.

f) The Register W data limits are 0–6 (Table 1 shows a possible data definition).

TABLE 1

W_4	W_2	W_1	Day of Week
0	0	0	Sunday
0	0	1	Monday
0	1	0	Tuesday
0	1	1	Wednesday
1	0	0	Thursday
1	0	1	Friday
1	1	0	Saturday

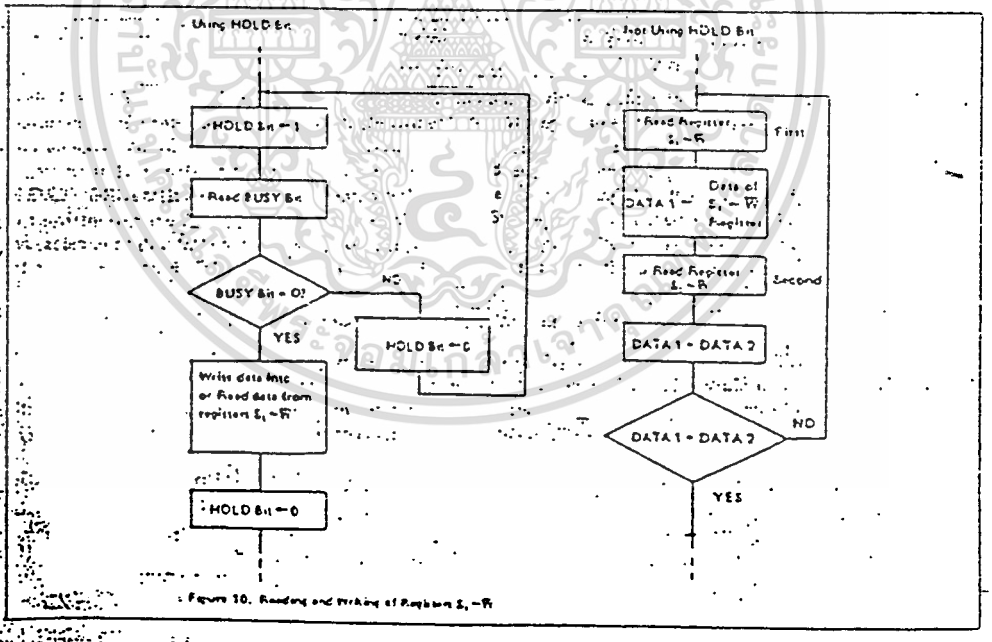
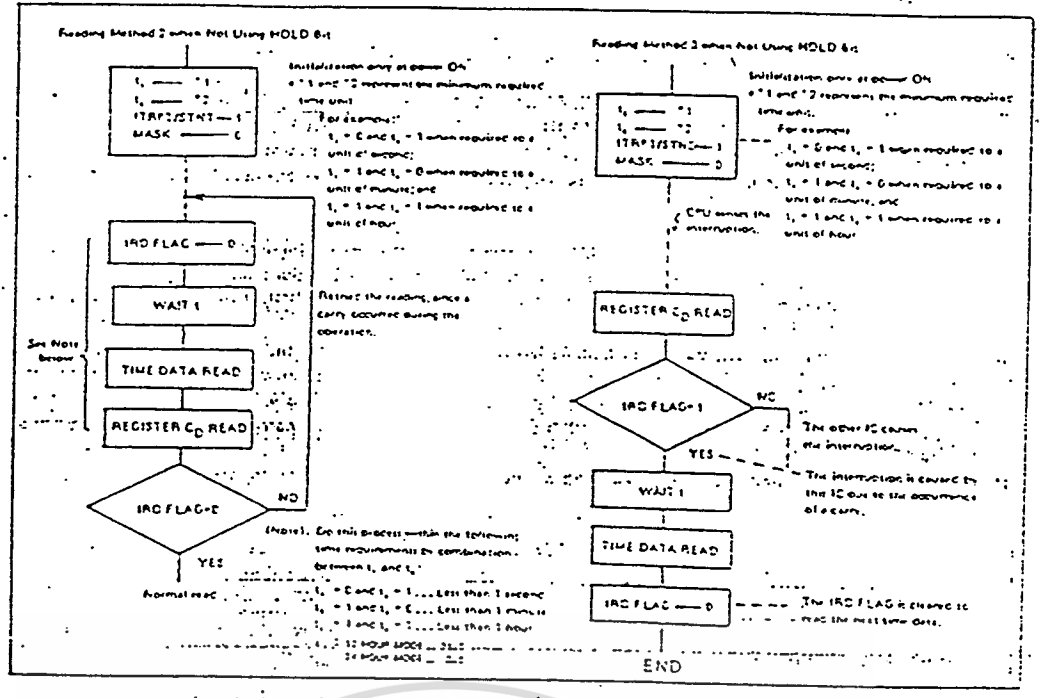


Figure 10. Reading and Writing of Registers S_1 ~ W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



■ CD REGISTER (Control D Register)

a) HOLD (D0) — Setting this bit to a "1" inhibits the 1Hz clock to the S1 counter, at which time the Busy status bit can be read. When Busy = 0, register's $S_1 \sim \overline{W}$ can be read or written. During this procedure if a carry occurs the S1 counter will be incremented by 1 second after HOLD = 0 (this condition is guaranteed as long as HOLD = 1 does not exceed 1 second in duration). If CS1 = 0 then HOLD = 0 irrespective of any condition.

b) BUSY (D1) — Status bit which shows the interface condition with microcontroller/microprocessor. As for the method of writing into and reading from $S_1 \sim \overline{W}$ (address 0 ~ C), refer to the flow chart described in Figure 10.

c) IRQ FLAG (D2) — This status bit corresponds to the output level of the STD.P output. When STD.P = 0, then IRQ = 1; when STD.P = 1, then IRQ = 0. The IRQ FLAG indicates that an interrupt has occurred to the microcomputer if IRQ = 1. When D0 of register C_E (MASK) = 0, then the STD.P output changes according to the timing set by D3 (t_1) and D2 (t_0) of register E. When D1 of register E (ITRPT/STND) = 1 (interrupt mode), the STD.P output remains low until the IRQ FLAG is written to a "0". When IRQ = 1 and timing for a new interrupt occurs, the new interrupt is ignored. When ITRPT/STND = 0 (Standard Pulse Output mode) the STD.P output remains low until either "0" is written to the IRQ FLAG; otherwise, the IRQ FLAG automatically goes to "0" after 7.8125 ms.

When writing the HOLD or 30 second adjust bits of register D, it is necessary to write the IRQ FLAG bit to a "1".

d) ±30 ADJ (D3) — When 30-second adjustment is necessary, a "1" is written to bit D3 during which time the internal clock registers should not be read from or written to. 125μs after bit D3 = 1 it will automatically return to a "0", and at that time reading or writing of registers can occur.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

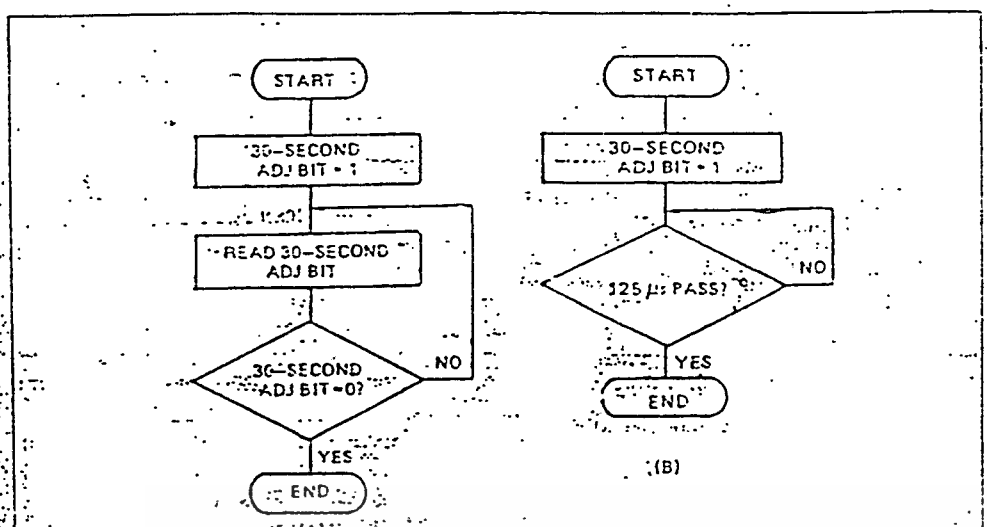


Figure 11. Writing 30-Second Adj. bit (Two Ways A, B)

CE REGISTER (Control E Register)

a) MASK (D0) — This bit controls the STD.P output. When MASK = 1, then STD.P = 1 (open); when MASK = 0, then STD.P = output mode. The relationship between the MASK bit and STD.P output is shown Figure 12.

b) INTRPT/STND (D1) — The INTRPT/STND input is used to switch the STD.P output between its two modes of operation, interrupt and Standard timing waveforms. When INTRPT/STND = 0 a fixed cycle waveform with a low-level pulse width of 7.8125 ms is present at the STD.P output. At this time the MASK bit must equal 0, while the period in either mode is determined by T0(D2) and T1(D3) of Register E.

c) T0 (D2), T1 (D3) — These two bits determine the period of the STD.P output in both Interrupt and Fixed timing waveform modes. The tables below show the timing associated with the T0, T1 inputs as well as their relationship to INTRPT/STND and STD.P.

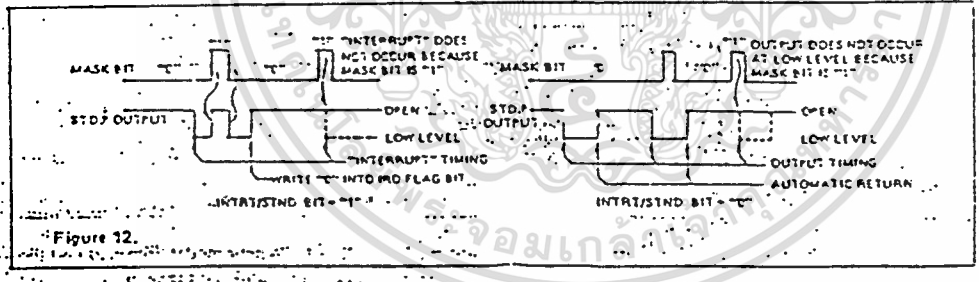


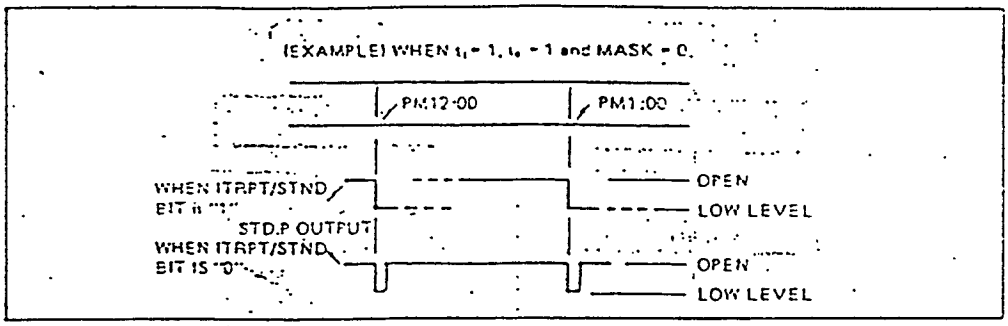
Figure 12.

t_1	t_0	Period	Duty CYCLE of "0" level when ITRPT/STND bit is "0"
0	0	1/64 second	1/2
0	1	1 second	1/128
1	0	1 minute	1/7680
1	1	1 hour	1/460800

TABLE 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The timing of the STD.P output designated by T1 and T0 occurs the moment that a carry occurs to a clock digit.



c) The low-level pulse width of the fixed cycle waveform (ITRPT/STND = 0) is 7.8125 ms independent of T0/T1 inputs.

e) The fixed cycle waveform mode can be used for adjustment of the oscillator frequency time base. (See Figure 14).

f) During ±30 second adjustment a carry can occur that will cause the STD.P output to go low when T0/T1 = 1,0 or 1,1. However, when T1/T0 = 0, 0 and ITRPT/STND = 0, carry does not occur and the STD.P output resumes normal operation.

g) The STD.P output is held (frozen) at the point at which STOP = 1 while ITRPT/STND = 0.

h) No STD.P output change occurs as a result of writing data to registers S1 ~ H1.

CF REGISTER (Control F Register)

a) REST (D0) — "RESET" — This bit is used to clear the clock's internal divider/counter of less than a second. When REST = 1, the counter is Reset for the duration of REST. In order to release this counter from Reset, a "0" must be written to the REST bit. If CS1 = 0 then REST = 0 automatically.

b) STOP (D1) — The STOP FLAG Only inhibits carries into the 8192Hz divider stage. There may be up to 122μs delay before timing starts or stops after changing this flag; 1 = STOP/0 = RUN.

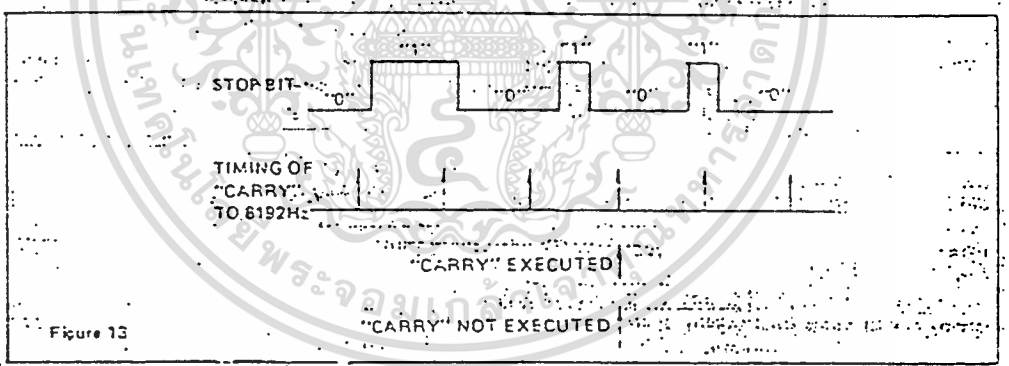


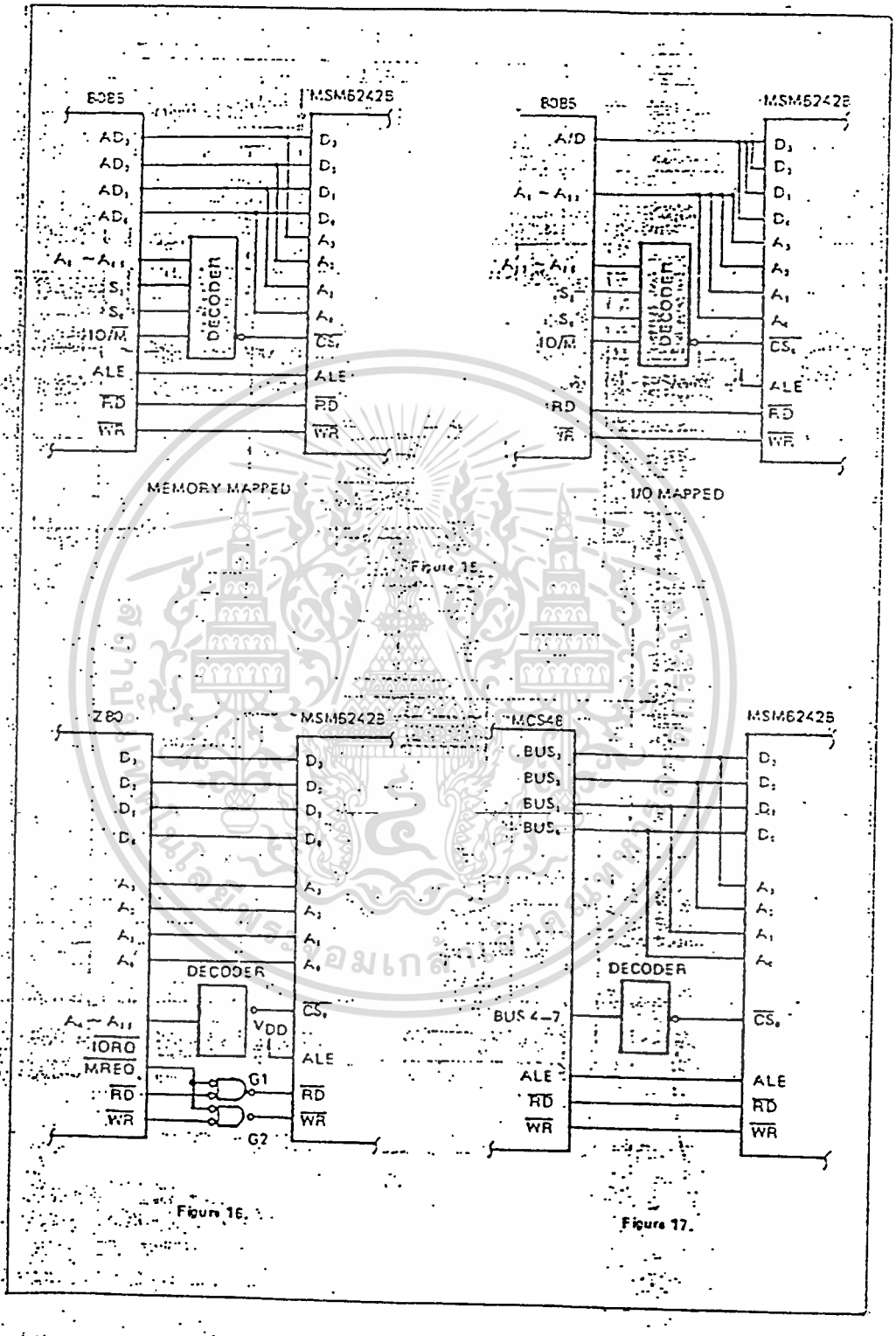
Figure 13

c) 24/12 (D2) — This bit is for selection of 24/12 hour time modes. If D2 = 1—24 hour mode is selected and the PM/AM bit is invalid. If D2 = 0—12 hour mode is selected and the PM/AM bit is valid.

"24 HOUR/ 12 HOUR" — Setting of the 24/12 hour bit is as follows:—
1) REST bit = 1
2) 24/12 hour bit = 0 or 1
3) REST bit = 0
* REST bit must = 1 to write to the 24/12 hour bit.

d) TEST (d3) — When the TEST flag is a "1", the input to the SECONDS counter comes from the counter/divider stage instead of the 15th divider stage. This makes the SECONDS counter count at 5.4163KHz instead of 1Hz. When TEST = 1 (Test Mode) the STOP & REST (Reset) flags do not inhibit internal counting. When Hold = 1 during Test (Test = 1) internal counting is inhibited; however, when the HOLD FLAG goes inactive (Hold = 0) counter updating is not guaranteed.

TYPICAL APPLICATION INTERFACE WITH MSM6242B AND MICROCONTROLLERS



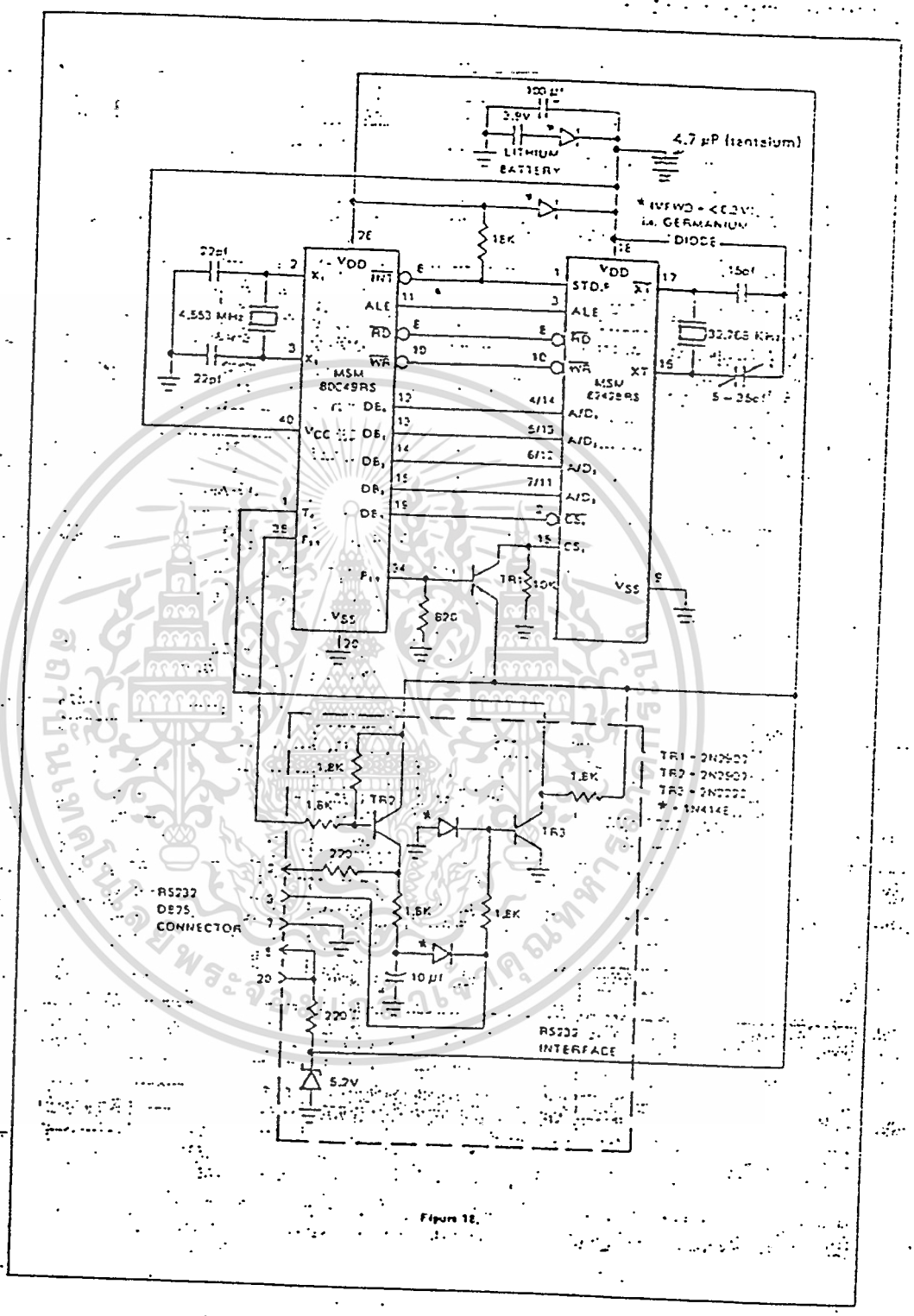
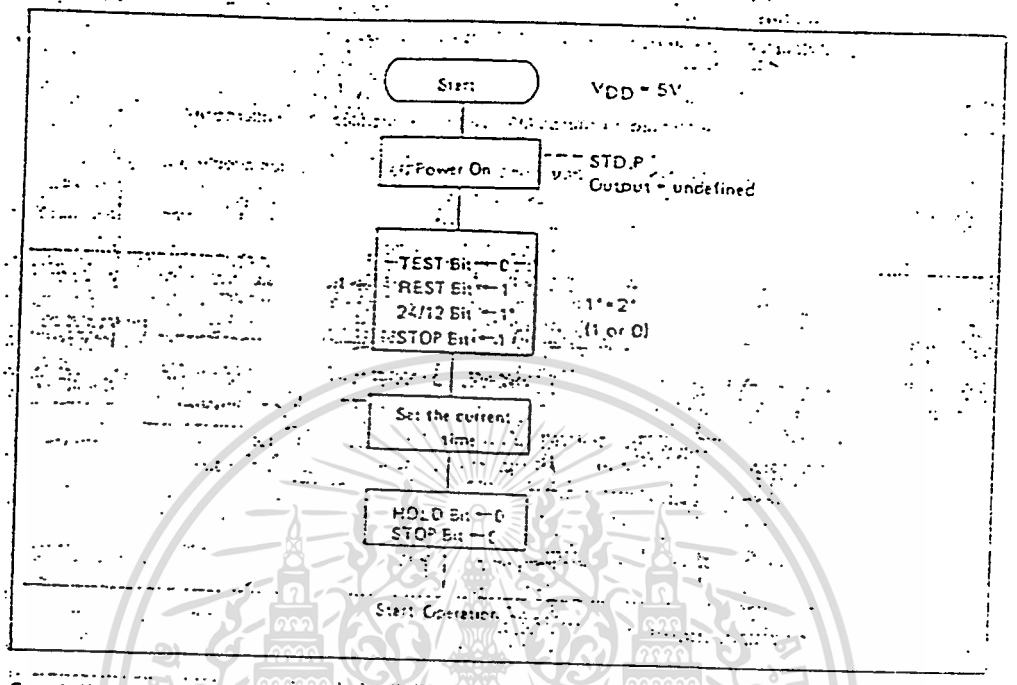
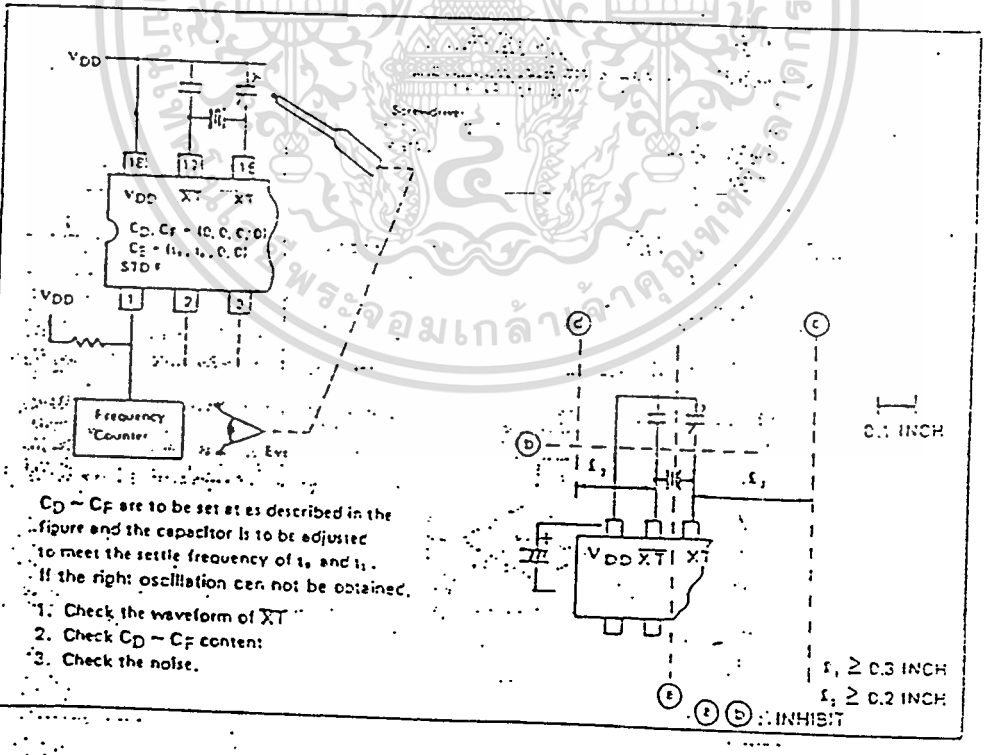

4.7 μF (tantalum)
LITHIUM BATTERY
3.6V
DIODE
22pf
4.553 MHz
MSM 80C49RS
MSM 82C49RS
ALE
RD
WR
VDD
VSS
VCC
TR1
TR2
TR3
1.8K
1.6K
220
10 μF
5.2V
RS232 DB25 CONNECTOR
RS232 INTERFACE
TR1 = 2N2907
TR2 = 2N2907
TR3 = 2N2222
* = 1N414E

Figure 18.

1. Power Supply



2. Adjustment of Frequency



C_D ~ C_F are to be set at as described in the figure and the capacitor is to be adjusted to meet the settle frequency of t_0 and t_1.

If the right oscillation can not be obtained,

1. Check the waveform of $\overline{XT}$
2. Check C_D ~ C_F content
3. Check the noise.

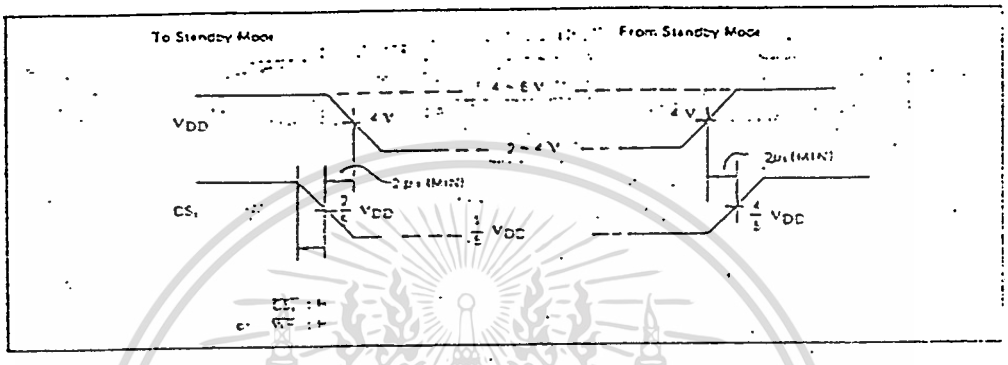
3. CH_1 (Chip Select)

V_{IH} and V_{IL} of CH_1 has 3 functions.

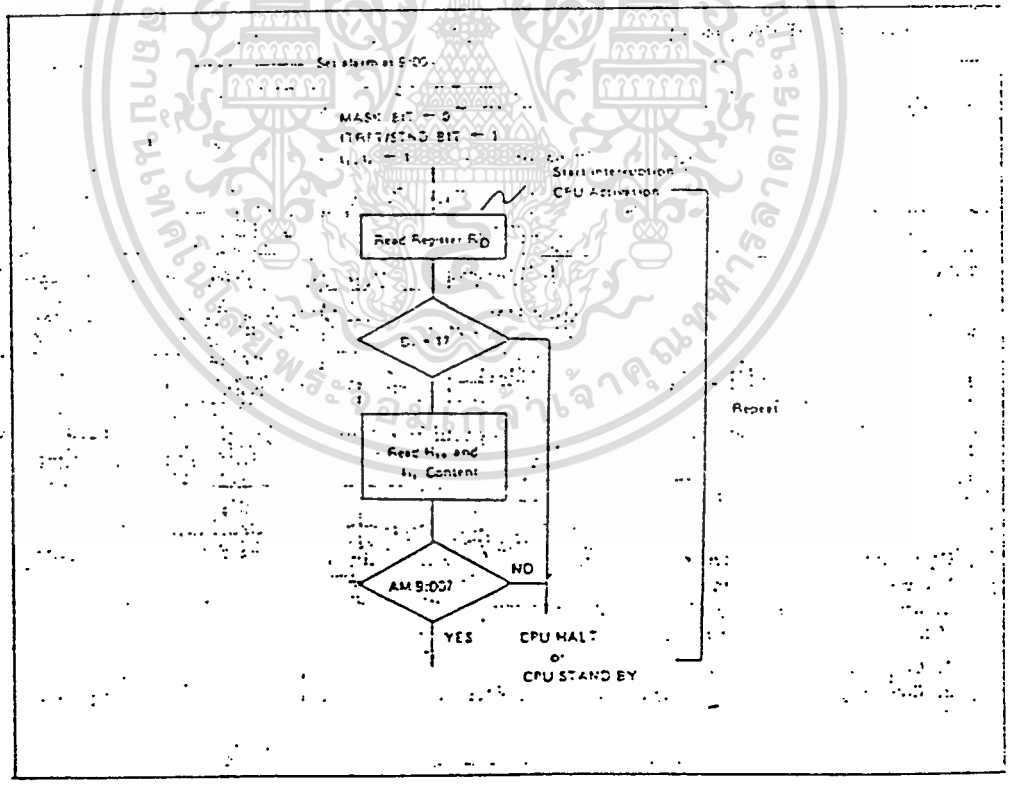
a) To accomplish the interface with a microcontroller/microprocessor.
b) To inhibit the control bus, data bus and address bus and to reduce input gate pass current in the stand-by mode.
c) To protect internal data when the mode is moved to and from standby mode.

To realize the above functions:

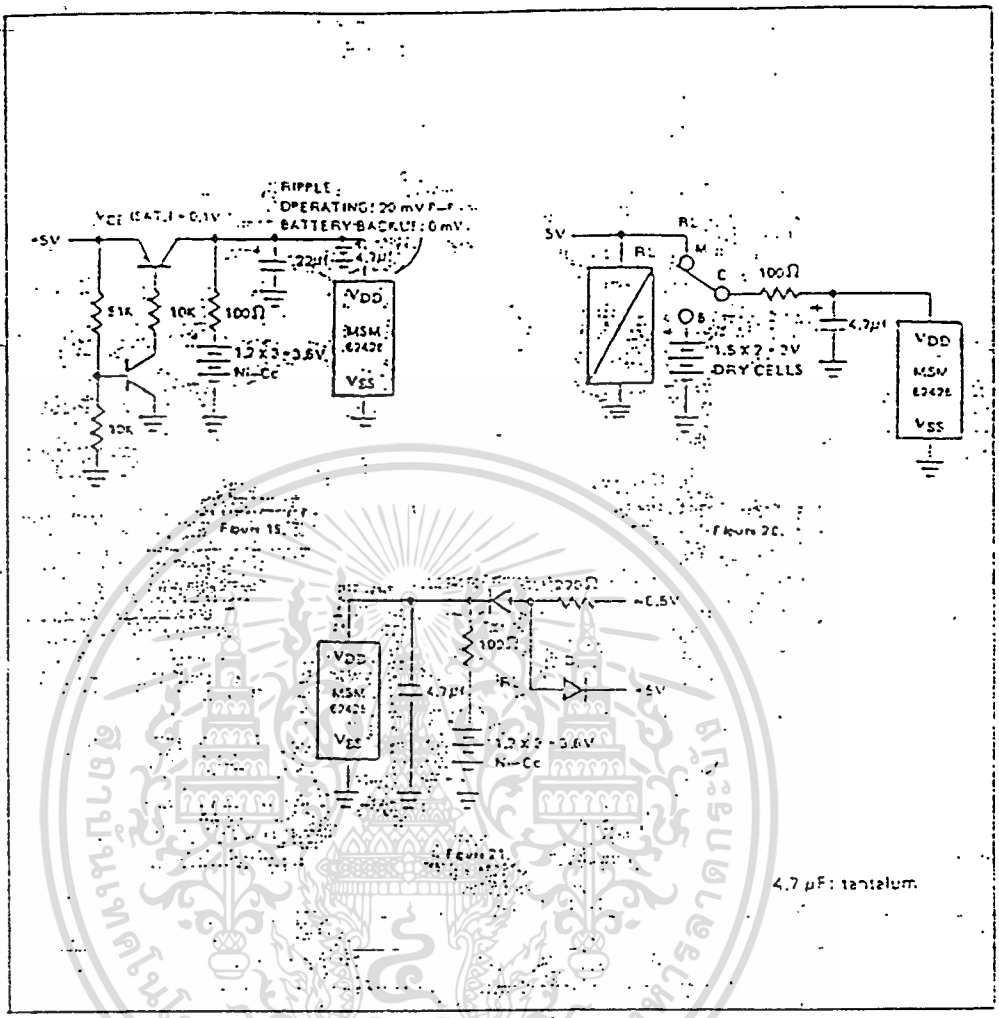
a) More than 4/5 V_{DD} should be applied to the MSM6242E for the interface with a microcontroller/microprocessor in 5V operation.
b) In moving to the standby mode, 1/5 V_{DD} should be applied so that all data buses should be disabled. In the standby mode, approx. 0V should be applied.
c) To and from the standby mode, obey following Timing chart.



4. Set STD.P at alarm mode



TYPICAL APPLICATION — POWER SUPPLY CIRCUIT



SUPPLEMENTARY DESCRIPTION

- When "0" is written to the IRQ FLAG bit, the IRQ FLAG bit is cleared. However, if "0" is assigned to the IRQ FLAG bit when written to the other bits, the 30-sec ADJ bit and the HOLD bit, the IRQ FLAG = 1 and was generated before the writing and IRQ FLG = 1 generated in a moment then will be cleared. To avoid this, always set "1" to the IRQ FLAG unless "0" is written to it intentionally. By writing "1" to it, the IRQ FLAG bit does not become "1".
- Since the IRQ FLAG bit becomes "1" in some cases when rewriting either of the 1_1, 1_0, or ITRPT/STND bit of registe: C_E, be sure to write "0" to the IRQ FLAG bit after writing to make valid the IRQ FLAG = 1 to be generated after it.
- The relationship between SDT. P OUT and IRQ FLAG bit is shown below: