เครื่องส่งสัญญาณระบบควบคุมตามลำดับ

SEQUENTIAL CONTROLLER

โดย

นางสาว จารุวรรณ ละอองมาลย์

นางสาว จารุวัณณี จิรัฐติกาล

นาย ทวีศักดิ์ ชัยรัตนายุทธ์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

วัน เดือน ปี -1 ต.ค. 2541

เลขทะเบียน 0383723

เลขเรียกหนังสือ T 39.94 ก007ค

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

เครื่องส่งสัญญาณระบบควบคุมตามลำดับ

SEQUENTIAL CONTROLLER

โดย

นางสาว จารุวรรณ ละอองมาลย์ เลขประจำตัว 36014070

นางสาว จารุวัณณี จิรัฐิติกาล เลขประจำตัว 36014073

นาย ทวีศักดิ์ ชัยรัตนายุทธ์ เลขประจำตัว 36014160

อาจารย์ที่ปรึกษา

ผศ. พลผดุง ผดุงกุล

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2539

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องส่งสัญญาณระบบควบคุมตามลำดับ

ผู้จัดทำ

1. นางสาว จารุวรรณ ละอองมาลย์ เลขประจำตัว 36014070
2. นางสาว จารุวัณณี จิรัฐติกาล เลขประจำตัว 36014073
3. นาย ทวีศักดิ์ ชัยรัตนายุทธ์ เลขประจำตัว 36014160

อาจารย์ที่ปรึกษา

(ผศ. พลผดุง ผดุงกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่งสัญญาณระบบควบคุมตามลำดับ

นางสาว จารุวรรณ ละอองมาลย์
นางสาว จารุวัณณี จิรัฐติกาล
นาย ทวีศักดิ์ ชัยรัตนายุทธ์
ผศ. พลผดุง ผดุงกุล อาจารย์ที่ปรึกษา
ปีการศึกษา 2539

บทคัดย่อ

เครื่องควบคุมแบบลำดับนี้ สามารถสั่งงานควบคุมอุปกรณ์ลูกข่ายให้ทำการเปิด-ปิดอุปกรณ์ไฟฟ้า โดยผ่านทางสายสัญญาณควบคุมระยะไกลเพียง 2 เส้น และตั้งเวลาเปิด-ปิดได้ ระบบนี้ประกอบด้วย เครื่องแม่ข่ายที่ทำการควบคุมด้วยระบบไมโครคอนโทรลเลอร์ 8032 ติดต่อกับผู้ใช้โดยผ่านคีย์บอร์ด และแสดงผลบนจอ LCD ทำการส่งสัญญาณควบคุมคำสั่งเปิด-ปิดตัวลูกข่ายได้ถึง 127 ตัว และคอยทำการตรวจสอบสภาวะการทำงานปัจจุบันของตัวลูกข่ายได้ ส่วนตัวลูกข่ายจะถูกออกแบบให้มีความยืดหยุ่นในการตั้งค่าแอดเดรสประจำตัวโดยดิปสวิทซ์ โครงงานนี้สามารถประยุกต์ให้เกิดประโยชน์ได้หลายอย่าง เช่น เปิด-ปิดวาล์วน้ำในสนามกอล์ฟ และสะดวกในการติดตั้ง เคลื่อนย้าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SEQUENTIAL CONTROLLER

Jaruwan Laongmal

Jaruwannee Jirattitikan

Taweesak Chairatanayut

Asst.Prof. Phophadung Phadungkul Advisor

1996

Abstract

Sequential controller is a system that consists of one controlling master and up to 127 controlled slaves. The master can control another slave to on-off conditions by using two lines (a signal line and a ground). We can set time to on-off any slaves because it has a clock provided by internal real time clock (RTC). This system can be stand alone by using microcontroller 8032 instead of personal computer. We can remotely control and monitor another slave by keyboard and LCD display respectively. Control signal runs from master to all slaves on the signal line and current condition reported from any slave runs back to master on the same line. The master verifies the result for confirmation. Every flexible slave is designed with the same hardware. Different identify address can be changed by user with 7 bit dipswitch. This project can apply to many applications such as solenoid-valved water control on the golf field.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	
บทที่ 1 บทนำ	1
บทที่ 2 หลักการทำงาน	2
2.1 หลักการทำงานของระบบโดยรวม	3
2.2 ชุดแม่ข่าย (MASTER)	3
2.3 ชุดลูกข่าย (SLAVE)	5
2.4 วงจรสร้างสัญญาณซิงโครนัส	6
2.5 วงจรแยกสัญญาณซิงโครนัส	7
2.6 วงจรสร้างสัญญาณข้อมูล	8
2.7 วงจรแยกสัญญาณข้อมูล	9
บทที่ 3 การออกแบบวงจร	10
3.1 การออกแบบวงจรสร้างสัญญาณซิงโครนัส	10
3.2 การออกแบบวงจรแยกสัญญาณซิงโครนัส	12
3.3 การออกแบบวงจรสร้างสัญญาณข้อมูล	14
3.4 การออกแบบวงจรแยกสัญญาณข้อมูล	15
บทที่ 4 การออกแบบโปรแกรม	17
บทที่ 5 ผลการทดลอง	20
บทที่ 6 สรุปและวิเคราะห์ผลการทดลอง	28
ภาคผนวก	29
กิตติกรรมประกาศ	
เอกสารอ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 แสดงบล็อกไดอะแกรมของระบบ 2
รูปที่ 2.2 แสดงบล็อกไดอะแกรมของชุดแม่ข่าย 4
รูปที่ 2.3 แสดงบล็อกไดอะแกรมของชุดลูกข่าย 5
รูปที่ 2.4 แสดงวงจรสร้างสัญญาณซิงโครนัส 6
รูปที่ 2.5 แสดงวงจรแยกสัญญาณซิงโครนัส 7
รูปที่ 2.6 แสดงวงจรสร้างสัญญาณข้อมูล 8
รูปที่ 2.7 แสดงวงจรแยกสัญญาณข้อมูล 9
รูปที่ 3.1 แสดงการออกแบบวงจรสร้างสัญญาณซิงโครนัส 10
รูปที่ 3.2 แสดงค่าอุปกรณ์ที่ใช้ในวงจรสร้างสัญญาณซิงโครนัส 11
รูปที่ 3.3 แสดงการออกแบบวงจรแยกสัญญาณซิงโครนัส 12
รูปที่ 3.4 แสดงค่าอุปกรณ์ที่ใช้ในวงจรแยกสัญญาณซิงโครนัส 13
รูปที่ 3.5 แสดงการออกแบบวงจรสร้างสัญญาณข้อมูล 14
รูปที่ 3.6 แสดงค่าอุปกรณ์ที่ใช้ในวงจรสร้างสัญญาณข้อมูล 14
รูปที่ 3.7 แสดงการออกแบบวงจรแยกสัญญาณข้อมูล 15
รูปที่ 3.8 แสดงค่าอุปกรณ์ที่ใช้ในวงจรแยกสัญญาณข้อมูล 16
รูปที่ 4.1 แสดงโฟลว์ชาร์ทของระบบ 17
รูปที่ 4.2 แสดงโฟลว์ชาร์ทของโปรแกรมย่อย 18
รูปที่ 4.3 แสดงโฟลว์ชาร์ทของการสร้างสัญญาณซิงโครนัส 19
รูปที่ 5.1 แสดงจุดต่างๆที่ใช้วัดสัญญาณ 20
รูปที่ 5.2 แสดงสัญญาณพัลส์และเอาท์พุทของวงจรสร้างสัญญาณซิงโครนัส ขณะไม่มีสัญญาณข้อมูล 21
รูปที่ 5.3 แสดงสัญญาณที่สายสัญญาณและเอาท์พุทของวงจรแยกสัญญาณซิงโครนัส ขณะไม่มีสัญญาณข้อมูล 21
รูปที่ 5.4 แสดงสัญญาณเอาท์พุทของวงจรแยกสัญญาณข้อมูลและในสายสัญญาณ ขณะไม่มีสัญญาณข้อมูล 22
รูปที่ 5.5 แสดงสัญญาณที่สายสัญญาณและเอาท์พุทของวงจรลอจิก 2 ขณะสั่งให้เปิดอุปกรณ์ตำแหน่งที่ 8 22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 5.6 แสดงสัญญาณที่สายสัญญาณและเอาท์พุทของวงจรเปรียบเทียบ ขณะสั่งให้เปิดอุปกรณ์ตำแหน่งที่ 8 รูปล่างเป็นรูปขยาย 23
รูปที่ 5.7 แสดงสัญญาณที่สายสัญญาณและเอาท์พุทของวงจรแยกสัญญาณข้อมูล ขณะสั่งให้เปิดอุปกรณ์ตำแหน่งที่ 8 รูปล่างเป็นรูปขยาย 24
รูปที่ 5.8 แสดงสัญญาณที่สายสัญญาณขณะสั่งให้เปิดอุปกรณ์ตำแหน่งที่ 8 และ16 25
รูปที่ 5.9 แสดงสัญญาณที่สายสัญญาณขณะสั่งให้เปิดอุปกรณ์ตำแหน่งที่ 8,16 และ 32 25
รูปที่ 5.10 แสดงสัญญาณเอาท์พุทของวงจรแยกสัญญาณซิงโครนัสและสายสัญญาณ ขณะสั่งให้เปิดอุปกรณ์ทุกตัว 26
รูปที่ 5.11 แสดงสัญญาณเอาท์พุทของวงจรแยกสัญญาณซิงโครนัสและสายสัญญาณ ขณะสั่งให้ปิดอุปกรณ์ทุกตัว 27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

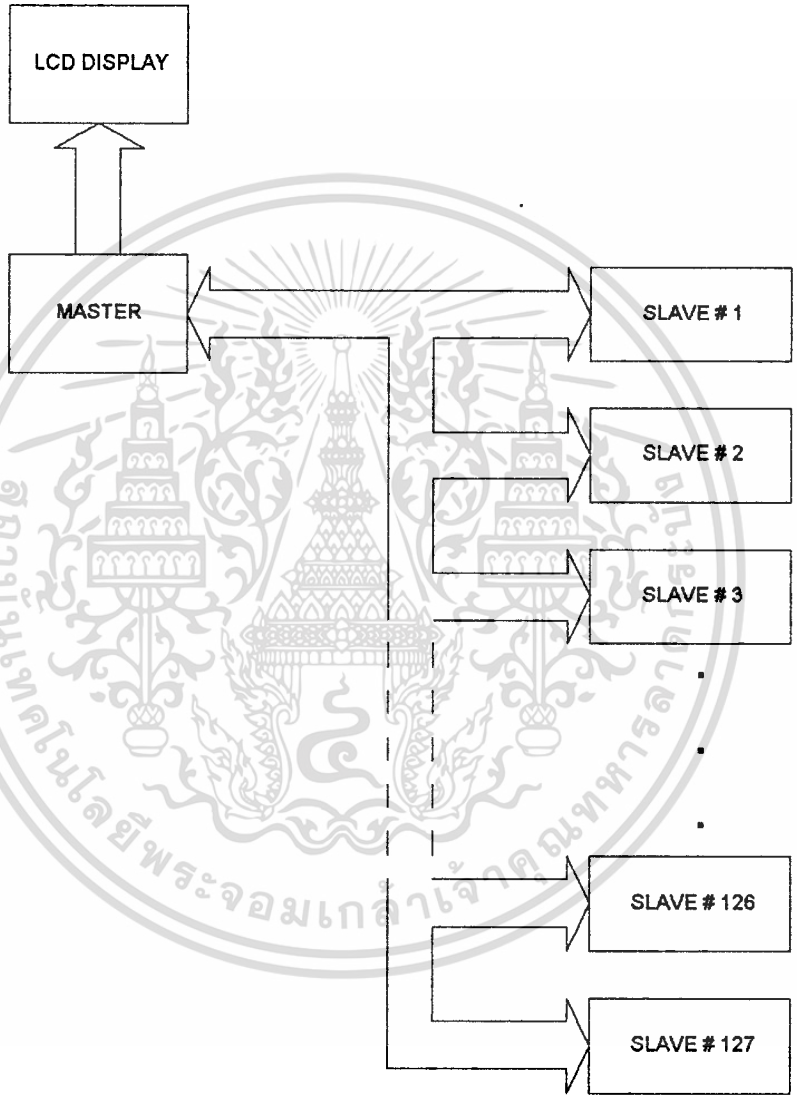
ปัจจุบันการพัฒนาทางเทคโนโลยีต่างๆได้ถูกนำมาใช้ในชีวิตประจำวันมากมาย เพื่ออำนวยประโยชน์ทางด้านความสะดวกสบาย รวดเร็ว ทั้งยังสามารถประยุกต์ใช้กับงานต่างๆตามที่ต้องการได้อย่างเหมาะสม

ปริญญานิพนธ์ฉบับนี้ได้นำเทคนิคทางด้านการควบคุมแบบตามลำดับ มาประยุกต์ใช้ในการสร้างอุปกรณ์เพื่อควบคุมการเปิด-ปิดอุปกรณ์ไฟฟ้าหลายๆตัวโดยเป็นอิสระต่อกัน เช่น การควบคุมการเปิด-ปิดวาล์วน้ำในสนามกอล์ฟ ซึ่งมีหลายตำแหน่งในสนามหนึ่งๆ สามารถควบคุมอุปกรณ์ได้ 127 ตัว หรือมากกว่าโดยมีการประยุกต์เพิ่มเติม

เราสามารถตั้งโปรแกรมเปิด-ปิดอุปกรณ์ตามวันและเวลาที่ต้องการโดยผ่านทางคีย์บอร์ด และสามารถแสดงตัวเลือกต่างๆในการโปรแกรมข้อมูลและแสดงผลการเปิด-ปิดอุปกรณ์ต่างๆบนจอ Liquid Crystal Display (LCD) ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการทำงาน



รูปที่ 2.1 แสดงบล็อกไดอะแกรมของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 หลักการทำงานของระบบโดยรวม

สร้างสัญญาณพัลส์ความถี่ 1 KHz ให้ไมโครคอนโทรลเลอร์ 8032 จ่ายสัญญาณพัลส์ออกมา 256 ไซเคิล และหน่วงสัญญาณ 16 ไซเคิล สลับกันไป ส่งออกทางพอร์ต 1 เข้าสู่วงจรสร้างสัญญาณซิงโครนัส เพื่อเปลี่ยนระดับสัญญาณพัลส์จาก 0-5 โวลท์ เป็น 5-12 โวลท์ เข้าสู่สายสัญญาณ(Signal Line) ส่งไปที่ชุดลูกข่าย เข้าวงจรแยกสัญญาณซิงโครนัสที่แบ่งเป็น 2 ชุด ชุดแรกผ่านเข้าวงจร โมโนสเตเบิล ซึ่งทริกที่ขอบขาขึ้น เมื่อพบสัญญาณที่ถูกหน่วง 16 ไซเคิล จะให้เอาท์พุทเป็นลอจิก 1 เพื่อเคลียร์วงจรนับใน 1 รอบ และชุดที่ 2 เข้าวงจรนับ 8 บิท ซึ่งจะนับที่ทุกๆ ขอบขาลงของสัญญาณที่เข้ามาจนครบ 256 ไซเคิลและสัญญาณที่ถูกหน่วง 16 ไซเคิล สัญญาณจากวงจรนับจะผ่านเข้าวงจรเปรียบเทียบเพื่อเปรียบเทียบกับสัญญาณจากดิปสวิตซ์ที่ตั้งไว้ ถ้าตรงกันจะได้เอาท์พุทเป็นลอจิก 0 ถ้าไม่ตรงกันจะได้เอาท์พุทเป็นลอจิก 1 แล้วนำสัญญาณที่บิทลำดับสูงสุด (MSB) ของวงจรนับและเอาท์พุทจากวงจรเปรียบเทียบมาเข้าออร์เกท นำเอาท์พุทที่ได้กับเอาท์พุทจากวงจรแยกสัญญาณข้อมูลมาเข้าแนนเกท แล้วเข้าวงจรรีทริกเอเบิลของโมโนสเตเบิล (ทริกที่ขอบขาลง) เอาท์พุทที่ได้มาขับทรานซิสเตอร์ให้ทำงาน เพื่อให้รีเลย์ทำงานแล้วหลอดไฟสว่าง ผ่านเข้าชุดตรวจจับกระแสและออปโตไอโซเลเตอร์ ถ้าไฟติดจะได้เอาท์พุทเป็นลอจิก 0 ถ้าไฟดับจะได้เอาท์พุทเป็นลอจิก 1 นำสัญญาณที่ได้กับเอาท์พุทจากวงจรเปรียบเทียบเข้านอร์เกท เอาท์พุทที่ได้กับบิทลำดับสูงสุดของวงจรนับเข้าแอนเกท แล้วผ่านวงจรสร้างสัญญาณข้อมูลเพื่อส่งข้อมูลสภาวะปัจจุบันของชุดลูกข่ายกลับไปที่วงจรตรวจสอบข้อมูลแล้วส่งผลการตรวจสอบไปให้ไมโครคอนโทรลเลอร์ 8032

2.2 ชุดแม่ข่าย (MASTER)

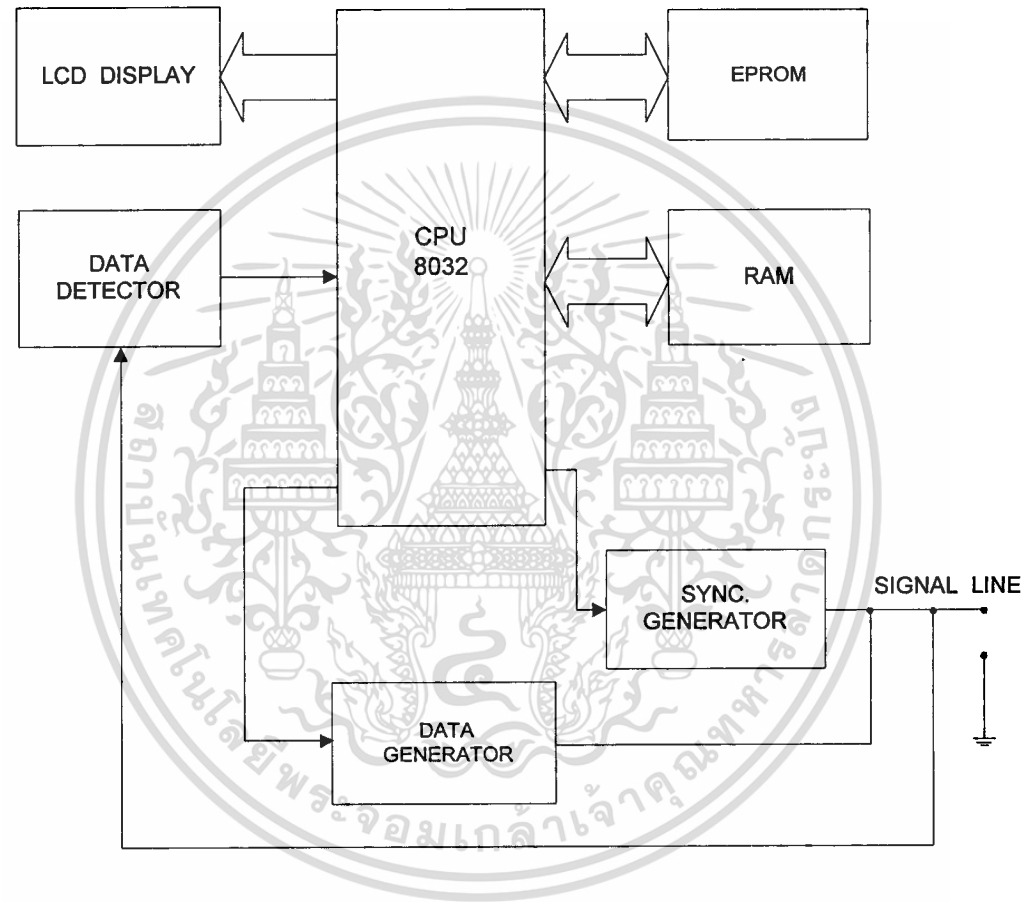
ชุดแม่ข่ายประกอบด้วยส่วนต่าง ๆ ดังนี้

1. CPU 8032 ทำหน้าที่นับจำนวนพัลส์ที่ส่งเข้ามา และ ตรวจสอบว่าสัญญาณที่ส่งกลับมาว่าผิดปกติหรือไม่ ถ้าผิดปกติก็จะตรวจสอบว่า สัญญาณลูกใดผิดปกติแล้วก็จะแสดงออกมาทางจอ LCD

2. **วงจงสร้างสัญญาณซิงโครงนัส (SYNCHRONOUS GENERATOR)** ทำหน้าที่เปลี่ยนระดับแรงดันของสัญญาณที่ส่งออกมาจากไมโครคอนโทรลเลอร์ 8032 จากระดับแรงดัน 0-5 โวลท์ เป็นระดับแรงดัน 5-12 โวลท์ แล้วส่งสัญญาณไปที่สายสัญญาณเพื่อส่งต่อไปที่วงจรตรวจสอบข้อมูล

3. **วงจรตรวจสอบข้อมูล (DATA SEPARATOR)** ทำหน้าที่ตรวจสอบว่าข้อมูลที่ส่งกลับมาผิดปกติหรือไม่ แล้วจะส่งสัญญาณที่ตรวจได้ไปให้ ไมโครคอนโทรลเลอร์ 8032

เอกสารนี้ [illegible] ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดงบล็อกไดอะแกรมของชุดแม่ข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ชุดลูกข่าย (SLAVE)

ชุดลูกข่ายประกอบด้วยส่วนต่าง ๆ ดังนี้

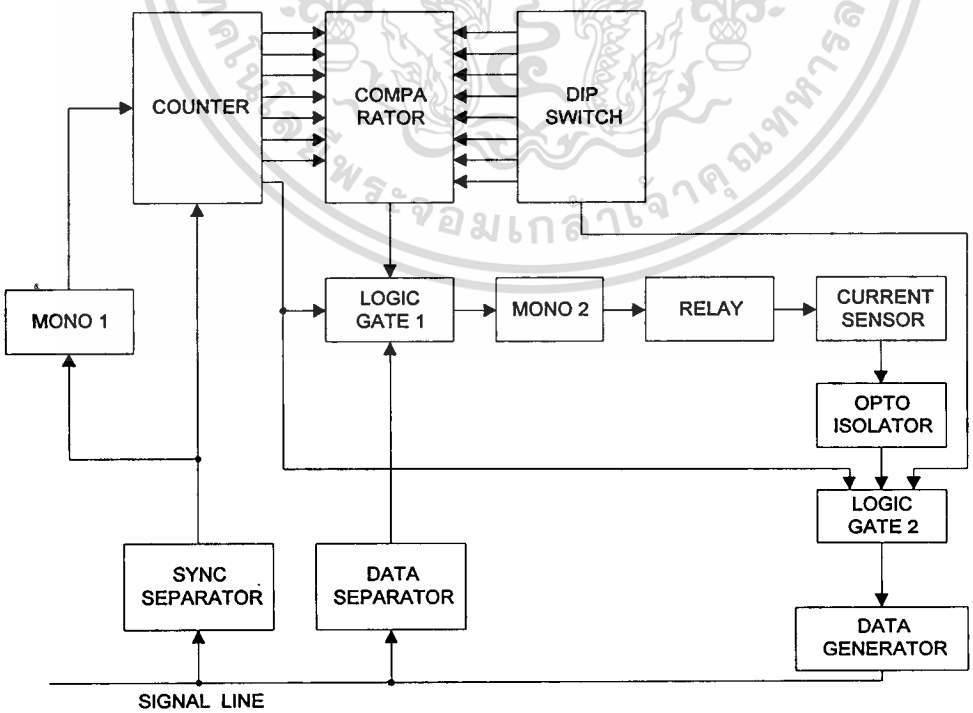
1. วงจรแยกสัญญาณซิงโครนัส (SYNCHRONOUS SEPARATOR) ทำหน้าที่รับสัญญาณมาจากสายสัญญาณ แล้วแยกให้ได้เฉพาะสัญญาณซิงโครนัส

2. วงจรนับ (COUNTER) ทำหน้าที่นับจำนวนพัลส์ที่ออกมาจากวงจรแยกสัญญาณซิงโครนัส เป็นไบนารี 8 บิท โดยจะนับที่ ทุก ๆ ขอบขาลงของสัญญาณ

3. วงจรเปรียบเทียบ (COMPARATOR) ทำหน้าที่เปรียบเทียบเอาท์พุทที่ออกมาจากวงจรนับกับดิปสวิตช์ ที่ตั้งไว้ ซึ่งเปรียบเทียบกันบิทต่อบิท ถ้าสัญญาณอินพุทตรงกันจะให้เอาท์พุทออกมาเป็นลอจิก 0 แต่ถ้าไม่ตรงกันก็จะให้ เอาท์พุทออกมาเป็นลอจิก 1

4. โมโนสเตเบิ้ล (MONOSTABLE) ทำหน้าที่เคลียร์วงจรนับในช่วงที่มีการหน่วงสัญญาณ 16 ไซเคิล และจะทำให้วงจรนับเริ่มนับพัลส์ในลูกที่ 1 ได้ถูกต้องยิ่งขึ้น

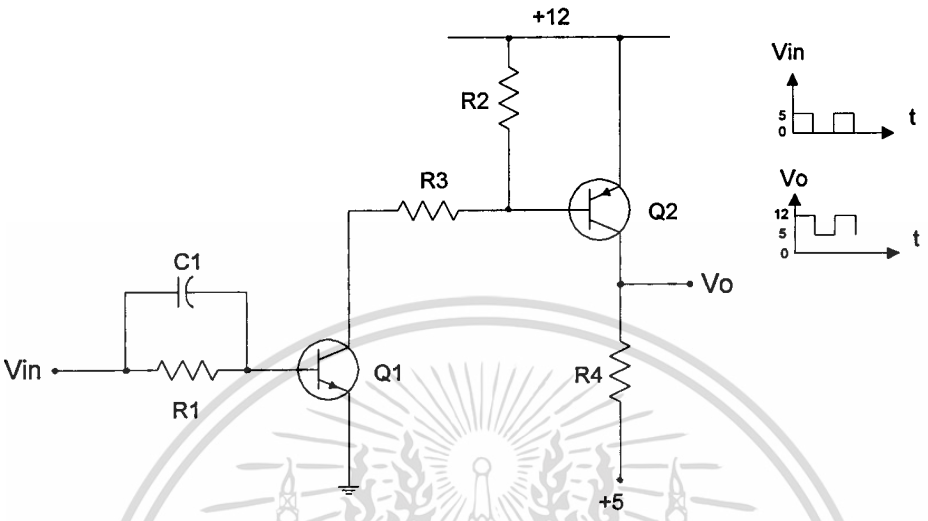
5. วงจรสร้างสัญญาณข้อมูล (DATA GENERATOR) ทำหน้าที่สร้างสัญญาณข้อมูลสภาวะปัจจุบันของชุดลูกข่ายแล้วส่งไปที่สายสัญเพื่อส่งสัญญาณกลับไปให้ไมโครคอนโทรลเลอร์ 8032 ตรวจสอบว่าชุดลูกข่ายทำงานตามที่ต้องการหรือไม่



รูปที่ 2.3 แสดงบล็อกไดอะแกรมของชุดลูกข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 วงจรสร้างสัญญาณซิงโครนัส (Synchronous Generator)



รูปที่ 2.4 แสดงวงจรสร้างสัญญาณซิงโครนัส

การทำงานของวงจร

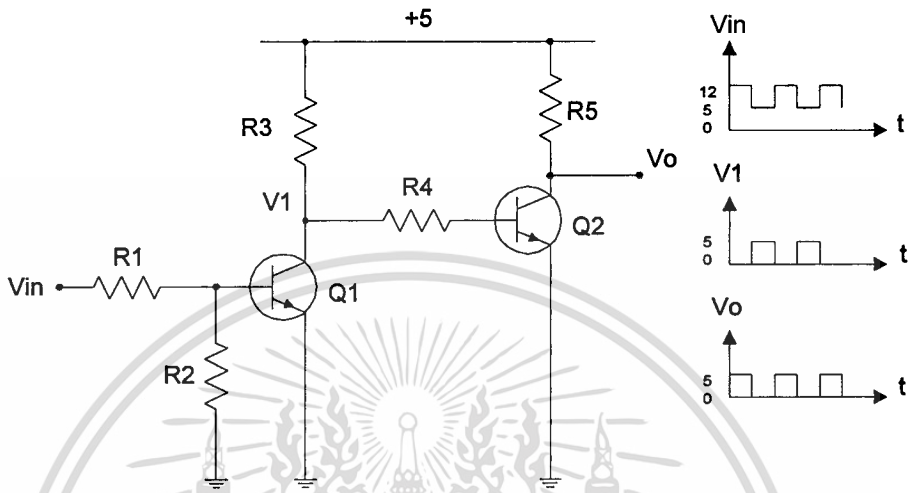
เมื่อป้อนสัญญาณอินพุทที่เป็นพัลส์โดยมีทั้งสัญญาณไฟ 5 โวลท์ และ 0 โวลท์

กรณีที่สัญญาณเป็น 5 โวลท์ ทรานซิสเตอร์ Q_1 จะทำงานเนื่องจากแรงดันที่เข้ามา มีค่ามากกว่าแรงดันตกคร่อมที่ขาเบสและอีมิตเตอร์ เมื่อทรานซิสเตอร์ Q_1 ทำงาน ทำให้ทรานซิสเตอร์ Q_2 ทำงานด้วย ซึ่งแบ่งแรงดันโดย R_2 และ R_3 เมื่อแรงดันตกคร่อม R_2 มากกว่า 0.7 โวลท์ ทำให้ทรานซิสเตอร์ Q_2 ทำงาน ซึ่งเปรียบเสมือนว่าขาคอลเลคเตอร์และขาเบส ของทรานซิสเตอร์ Q_2 เชื่อมต่อกัน ดังนั้นเอาท์พุทมีค่าเป็น 12 โวลท์

กรณีที่สัญญาณเป็น 0 โวลท์ ทรานซิสเตอร์ Q_1 จะไม่ทำงาน เพราะแรงดันที่เข้ามามีค่าน้อยกว่า 0.7 โวลท์ ทำให้ไม่มีกระแสไหลผ่านขาเบส ของทรานซิสเตอร์ Q_1 จึงทำให้ทรานซิสเตอร์ Q_2 ไม่ทำงานด้วย ดังนั้นเอาท์พุทมีค่าเป็น 5 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 วงจรแยกสัญญาณซิงโครนัส (SYNCHRONOUS SEPARATOR)



รูปที่ 2.5 แสดงวงจรแยกสัญญาณซิงโครนัส

การทำงานของวงจร

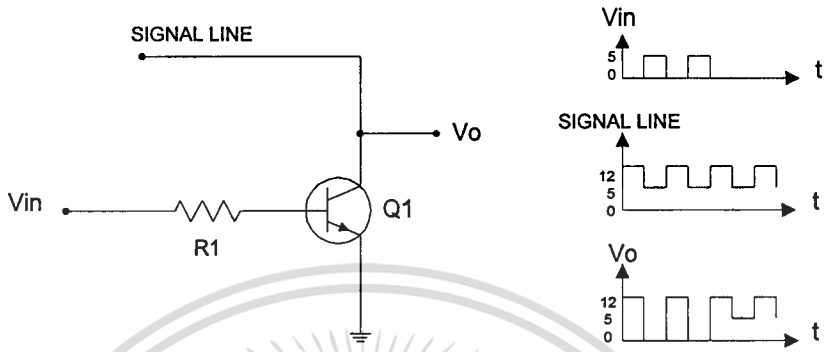
เมื่อป้อนสัญญาณอินพุทที่เป็นพัลส์ โดยมีทั้งสัญญาณ 12 โวลท์ และ 5 โวลท์

กรณีที่สัญญาณเป็น 12 โวลท์ จะแบ่งแรงดันโดย R_1 และ R_2 ค่าแรงดันตกคร่อม R_1 มีค่าเป็น 9 เท่าของแรงดันตกคร่อม R_2 ถ้าแรงดันคร่อม R_2 มากกว่า 0.7 โวลท์ ทำให้ Q_1 ทำงาน เสมือนว่าขาคอลเลคเตอร์และอีมิตเตอร์เชื่อมต่อกัน ทำให้แรงดันที่เข้าขาเบสของทรานซิสเตอร์ Q_2 เป็น 0 ทรานซิสเตอร์ Q_2 ไม่ทำงาน ดังนั้นเอาท์พุทมีค่าเป็น 5 โวลท์

กรณีอินพุทเป็น 5 โวลท์ แรงดันคร่อม R_2 น้อยกว่า 0.7 โวลท์ ทรานซิสเตอร์ Q_1 ไม่ทำงาน ที่ขาคอลเลคเตอร์ ของทรานซิสเตอร์ Q_1 เสมือนมีค่า 5 โวลท์ ทำให้ทรานซิสเตอร์ Q_2 ทำงาน ดังนั้นเอาท์พุทมีค่าเป็น 0 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 วงจรสร้างสัญญาณข้อมูล (DATA GENERATOR)



รูปที่ 2.6 แสดงวงจรสร้างสัญญาณข้อมูล

การทำงานของวงจร

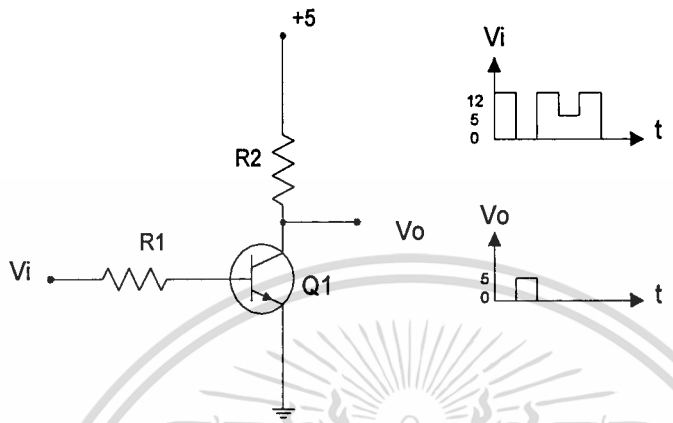
เมื่อป้อนสัญญาณอินพุทที่เป็นพัลส์ โดยมีทั้งสัญญาณ 5 โวลท์ และ 12 โวลท์

กรณีสัญญาณอินพุทเป็น 5 โวลท์ ทรานซิสเตอร์จะทำงาน เสมือนว่าขาคอลเลคเตอร์และอีมิตเตอร์เชื่อมต่อกัน ดังนั้นเอาท์พุทมีค่าเป็น 0 โวลท์

กรณีสัญญาณอินพุทเป็น 0 โวลท์ ทรานซิสเตอร์จะไม่ทำงาน ทำให้เอาท์พุทมีระดับสัญญาณตามสัญญาณที่ มาจากสายสัญญาณ คือ ถ้าสัญญาณที่สายสัญญาณเป็น 12 โวลท์ สัญญาณที่เอาท์พุทก็จะเป็น 12 โวลท์ ถ้าสัญญาณที่สายสัญญาณเป็น 5 โวลท์ สัญญาณที่เอาท์พุทก็จะเป็น 5 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 วงจรแยกสัญญาณข้อมูล (DATA DETECTOR)



รูปที่ 2.7 แสดงวงจรแยกสัญญาณข้อมูล

การทำงานของวงจร

เมื่อป้อนสัญญาณอินพุทที่มาจากเอาท์พุทของวงจรสร้างสัญญาณข้อมูลที่มีระดับสัญญาณ 12 โวลท์ 5 โวลท์ และ 0 โวลท์

กรณีสัญญาณอินพุทเป็น 12 โวลท์ ทรานซิสเตอร์ จะทำงาน เนื่องจากแรงดันตกคร่อมขาเบสและอีมิตเตอร์มากกว่า 0.7 โวลท์ ทำให้ขาคอลเลคเตอร์และอีมิตเตอร์เสมือนเชื่อมต่อกัน ดังนั้นเอาท์พุทมีค่าเป็น 0 โวลท์

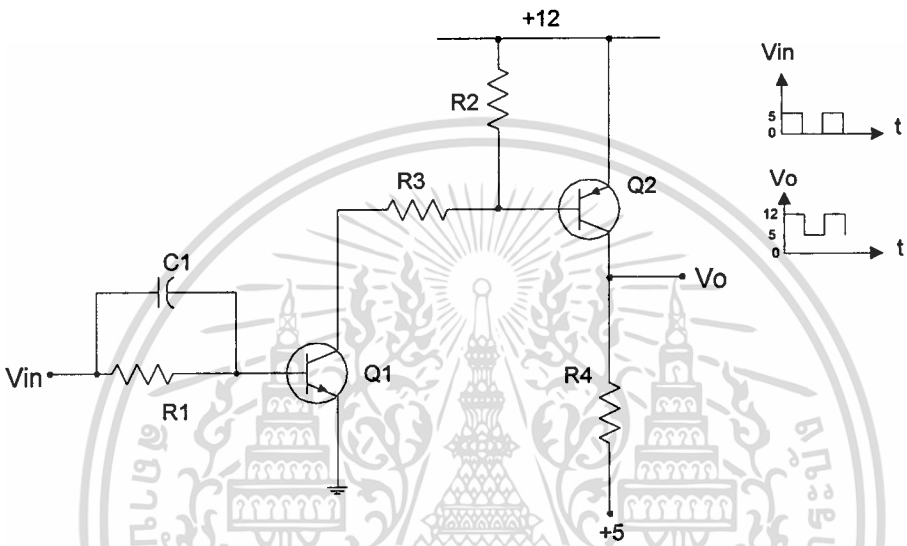
กรณีสัญญาณอินพุทเป็น 5 โวลท์ ทรานซิสเตอร์จะทำงานดังนั้นเอาท์พุทมีค่าเป็น 0 โวลท์

กรณีสัญญาณอินพุทเป็น 0 โวลท์ ทรานซิสเตอร์ไม่ทำงานดังนั้นเอาท์พุทมีค่าเป็น 5 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบวงจร

3.1 การออกแบบวงจรสร้างสัญญาณซิงโครนัส (Synchronous Generator)



รูปที่ 3.1 การออกแบบวงจรสร้างสัญญาณซิงโครนัส

คำนวณค่า R กรณี Q_1, Q_2 ON

กำหนด I_{B1}= 10 μA และ β = 100

$V_i - V_{R1} - V_{BE} = 0$

$5 - I_{B1}R_1 - 0.7 = 0$

$I_{B1}R_1 = 4.3\ V$

$R_1 = \frac{4.3}{10x10^{-6}}$

$R_1 = 430K\Omega$

กำหนด $V_{B(Q2)} = 1\ V$ และ $R_2 = 10\ K\Omega$

$\frac{R_3}{R_2 + R_3} xV_{CC} = 1$

$\frac{12R_3}{10K + R_3} = 1$

$R_3 = 909\ \Omega \approx 1\ K\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนด

$$I_{C2} = 1\ mA$$

$$I_{C2} = I_E$$

$$\therefore \quad I_E = 1\ mA$$

$$V_{EE} - V_{CE(SAT)} - V_{R4} - V_{CC} = 0$$

$$12 - 0.7 - I_{E2}R_4 - 5 = 0$$

$$I_{E2}R_4 = 6.3$$

$$R_4 = \frac{6.3}{1X10^{-3}}$$

$$R_4 = 6.3K\Omega$$

ค่าที่ใช้ในการทดลอง

C_1 = 0.01 uF

R_1 = 500 KΩ

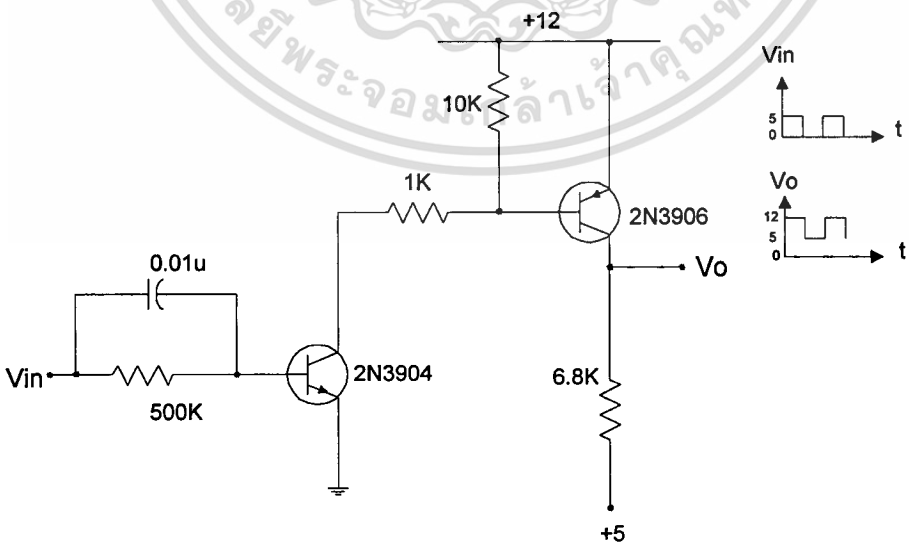
R_2 = 10 KΩ

R_3 = 1 KΩ

R_4 = 6.8 KΩ

Q_1 เบอร์ 2N3904

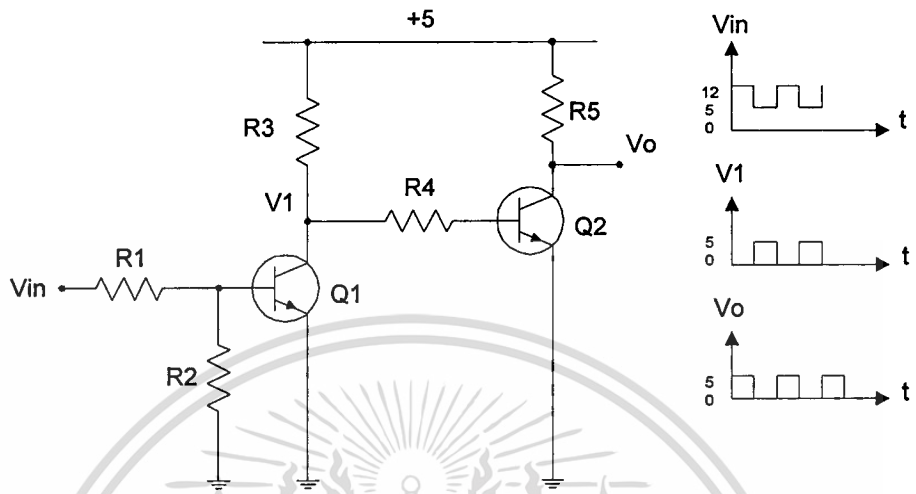
Q_2 เบอร์ 2N3906



รูปที่ 3.2 แสดงค่าอุปกรณ์ที่ใช้ในวงจรสร้างสัญญาณซิงโครนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรแยกสัญญาณซิงโครนัส (Synchronous Separator)



รูปที่ 3.3 แสดงการออกแบบวงจรแยกสัญญาณซิงโครนัส

คำนวณหาค่า R_1,R_2 โดยกำหนดให้ $V_{B(Q1)} = \frac{1}{10} x V_{in} = \frac{R_2}{R_2 + R_3} x V_{in}$

$\therefore R_2 = 10\ K\Omega$

$R_1 = 90\ K\Omega$

คำนวณหาค่า R_3 ,R_4 ,R_5 กรณี Q_1 , Q_2 ON

กำหนดให้ $I_{C(Q1)} = 1\ mA$

$V_{CC} - I_C R_3 - 0.7 = 0$

$I_C R_3 = 4.3V$

$\therefore R_3 = 4.3\ K\Omega$

กำหนดให้ $V_{C(Q1)} = 1\ V$

$1 - I_B R_4 - 0.7 = 0$

$R_4 = \frac{0.3}{10X10^{-6}}$

$\therefore R_4 = 30\ K\Omega$

กำหนดให้ $\beta = 100$

$V_{CC} - I_C R_5 - 0.7 = 0$

$I_C R_5 = 4.3\ V$

$\therefore R_5 = 4.3\ K\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าที่ใช้ในการทดลอง

R_1 = 100 KΩ

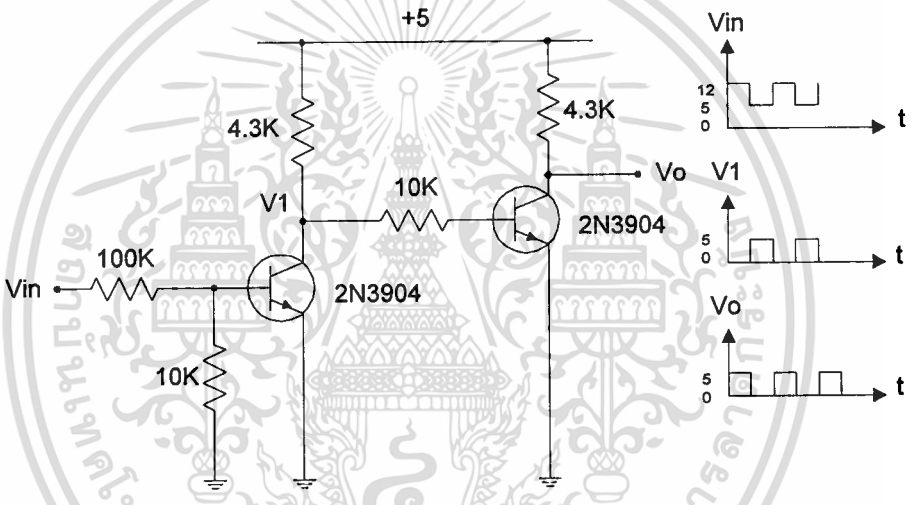
R_2 = 10 KΩ

R_3 = 4.3 KΩ

R_4 = 10 KΩ

R_5 = 4.3 KΩ

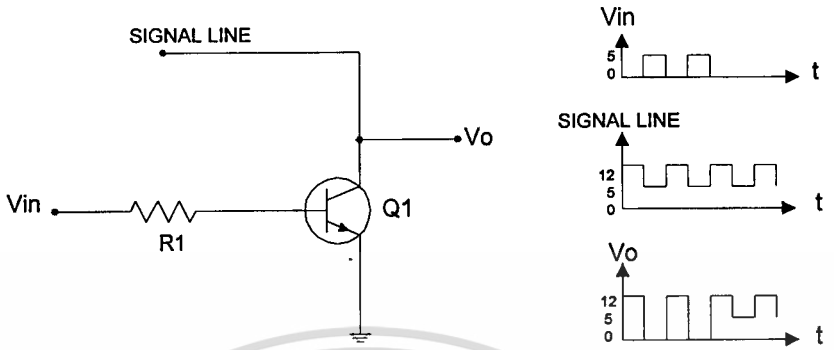
Q_1 ,Q_2 เบอร์ 2N3904



รูปที่ 3.4 แสดงค่าอุปกรณ์ที่ใช้ในวงจรแยกสัญญาณซิงโครนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การออกแบบวงจรสร้างสัญญาณข้อมูล (Data Generator)



รูปที่ 3.5 แสดงการออกแบบวงจรสร้างสัญญาณข้อมูล

คำนวณหาค่า R_1 กรณี Q_1 ON

กำหนด $I_B = 30\ \mu A$ และ $\beta = 100$

$$V_i - V_{R1} - V_{BE} = 0$$

$$5 - I_B R_1 - 0.7 = 0$$

$$I_B R_1 = 4.3\ V$$

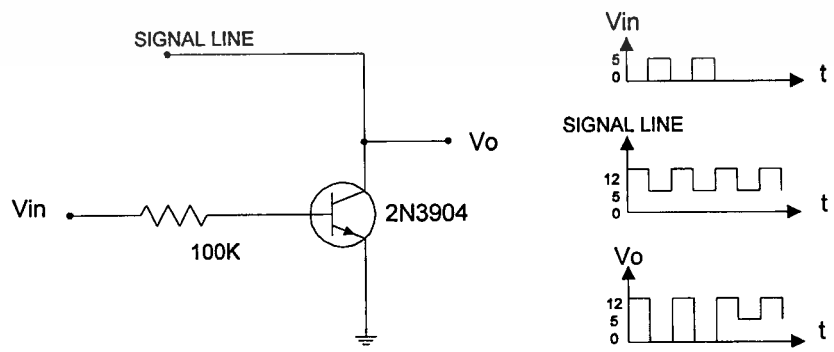
$$R_1 = \frac{4.3}{30x10^{-6}}$$

$$\therefore R_1 = 143.33\ K\Omega$$

ค่าที่ใช้ในการทดลอง

$R_1 = 100\ K\Omega$

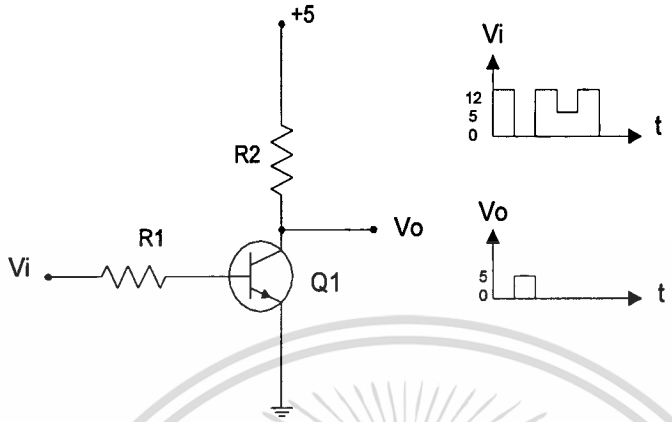
Q_1 เบอร์ 2N3904



รูปที่ 3.6 แสดงค่าอุปกรณ์ที่ใช้ในวงจรสร้างสัญญาณข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การออกแบบวงจรแยกสัญญาณข้อมูล (Data Detector)



รูปที่ 3.7 แสดงการออกแบบวงจรแยกสัญญาณข้อมูล

คำนวณหาค่า R_1 ,R_2 กรณี Q_1 ON

กำหนด I_B = 10 μA และ β = 100

$V_i - V_{R1} - V_{BE} = 0$

$5 - I_B R_1 - 0.7 = 0$

$I_B R_1 = 4.3\ V$

$$R_1 = \frac{4.3}{10x10^{-6}}$$

$\therefore R_1 = 430\ K\Omega$

$I_C = \beta I_B = 100\ (\ 10\ X10^{-6}\ ) = 1\ mA$

หาค่า R_2 จะได้

$V_{CC} - V_{R2} - V_{CE(SAT)} = 0$

$5 - I_C R_2 - 0.7 = 0$

$I_C R_2 = 4.3$

$$R_2 = \frac{4.3}{1X10^{-3}}$$

$\therefore R_2 = 4.3K\Omega$

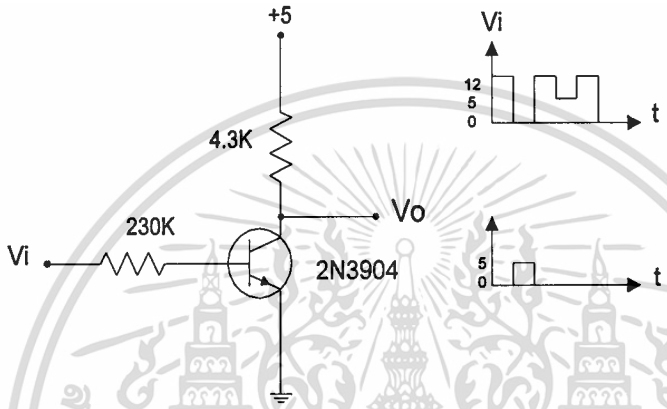
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าที่ใช้ในการทดลอง

R_1 = 230 KΩ

R_2 = 4.3 KΩ

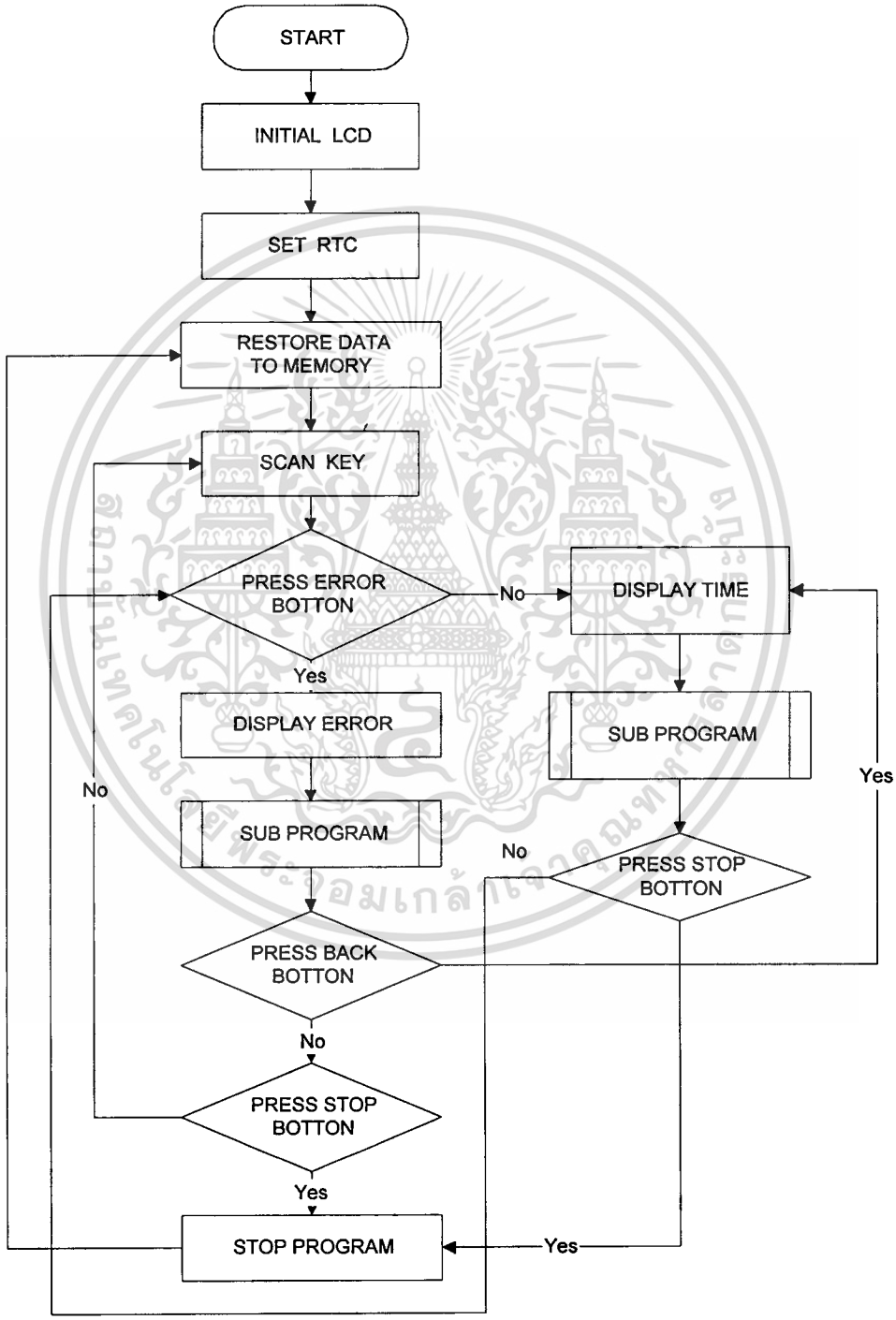
Q_1 เบอร์ 2N3904



รูปที่ 3.8 แสดงค่าอุปกรณ์ที่ใช้ในวงจรแยกสัญญาณข้อมูล

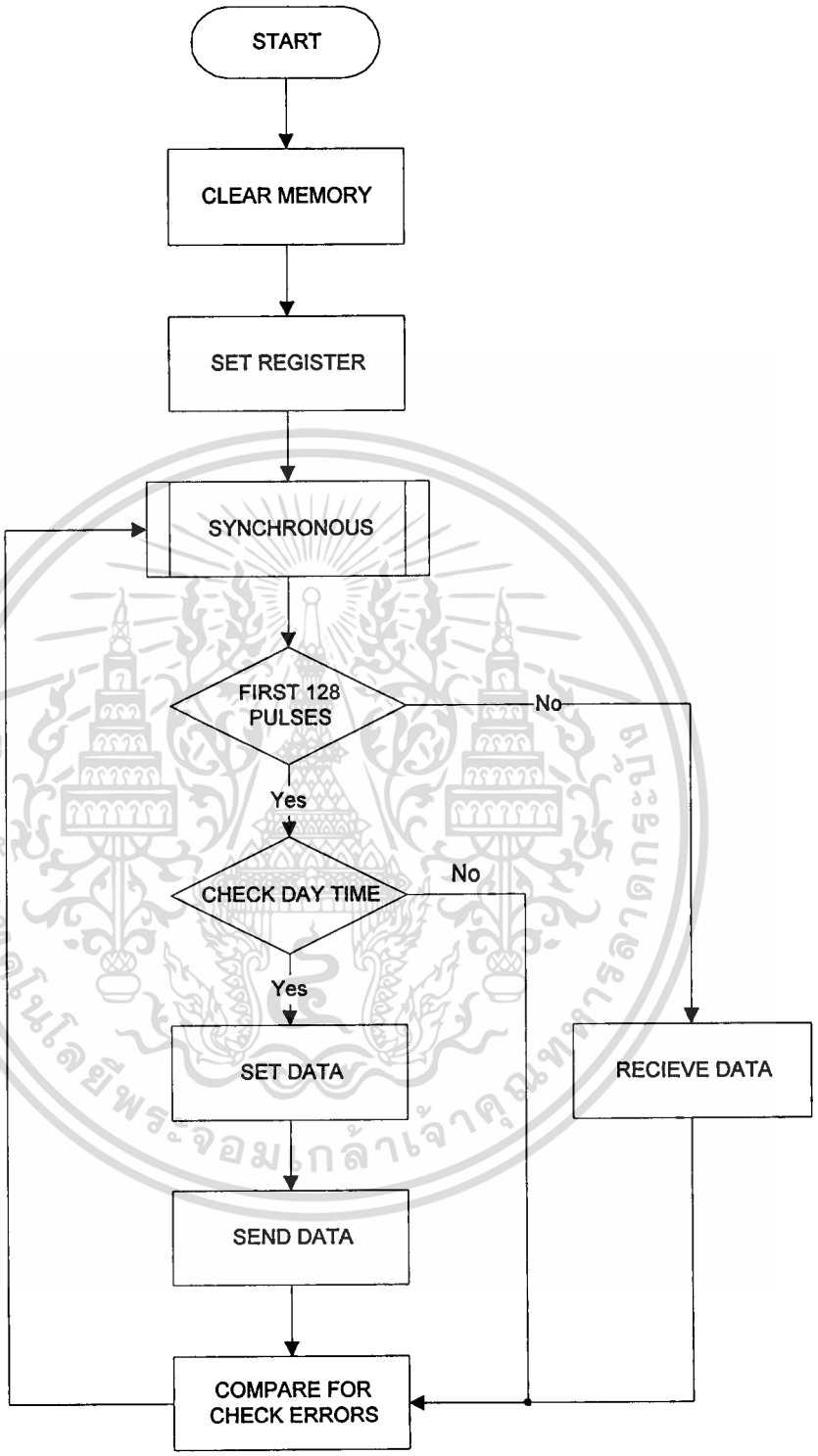
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบโปรแกรม



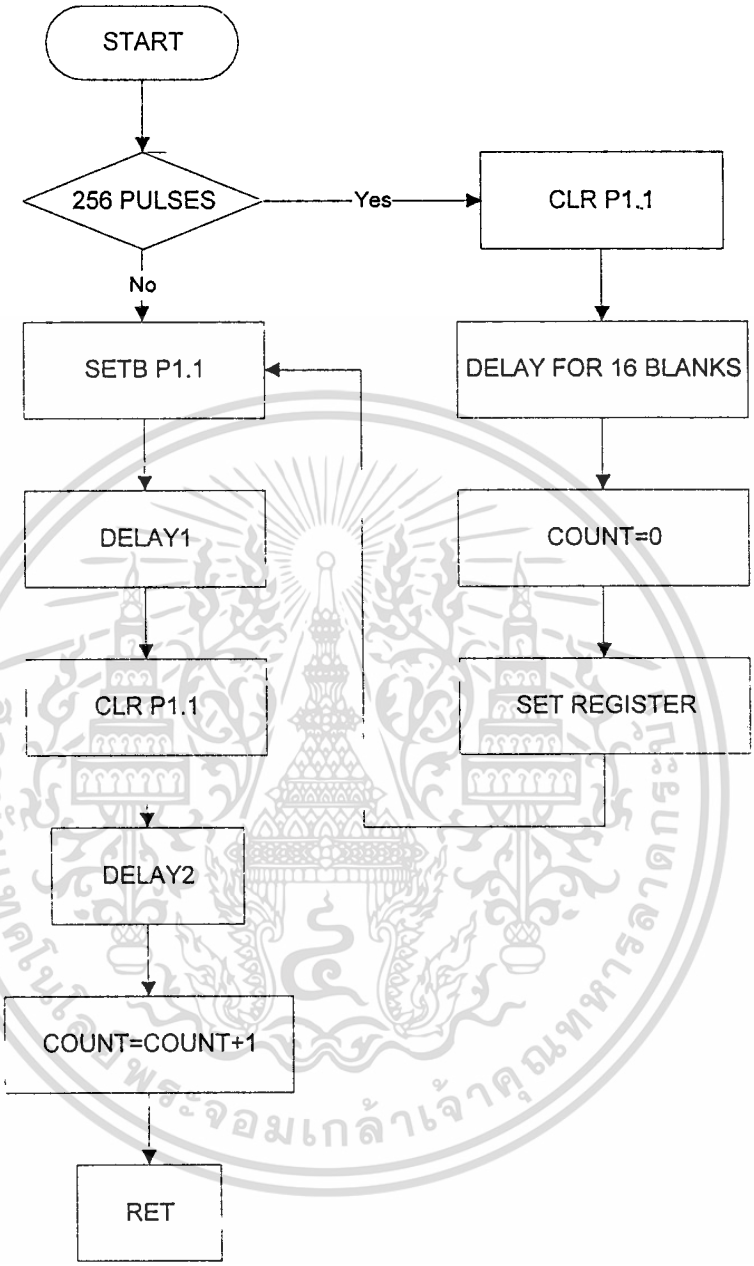
รูปที่ 4.1 แสดงโฟลว์ชาร์ทของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงโฟลว์ชาร์ทของโปรแกรมย่อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงโฟลว์ชาร์ทของการสร้างสัญญาณซิงโครนัส

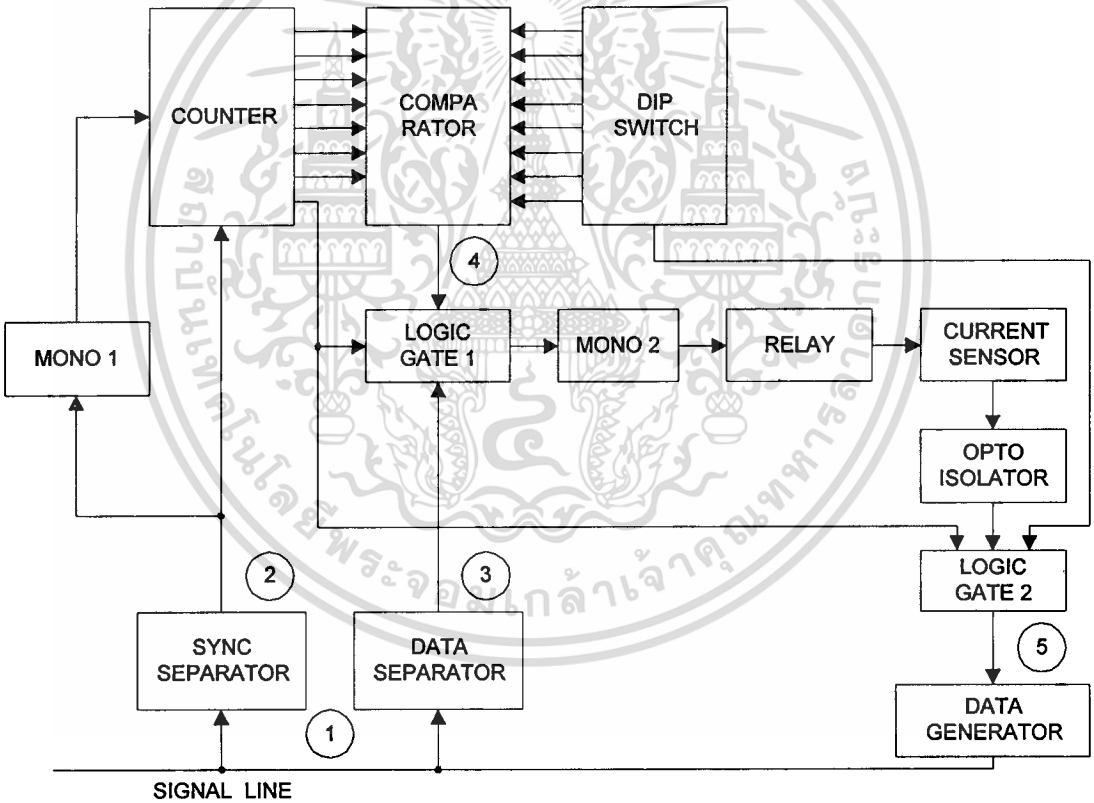
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
038378

บทที่ 5
ผลการทดลอง

ทำการทดลองดังขั้นตอนต่อไปนี้

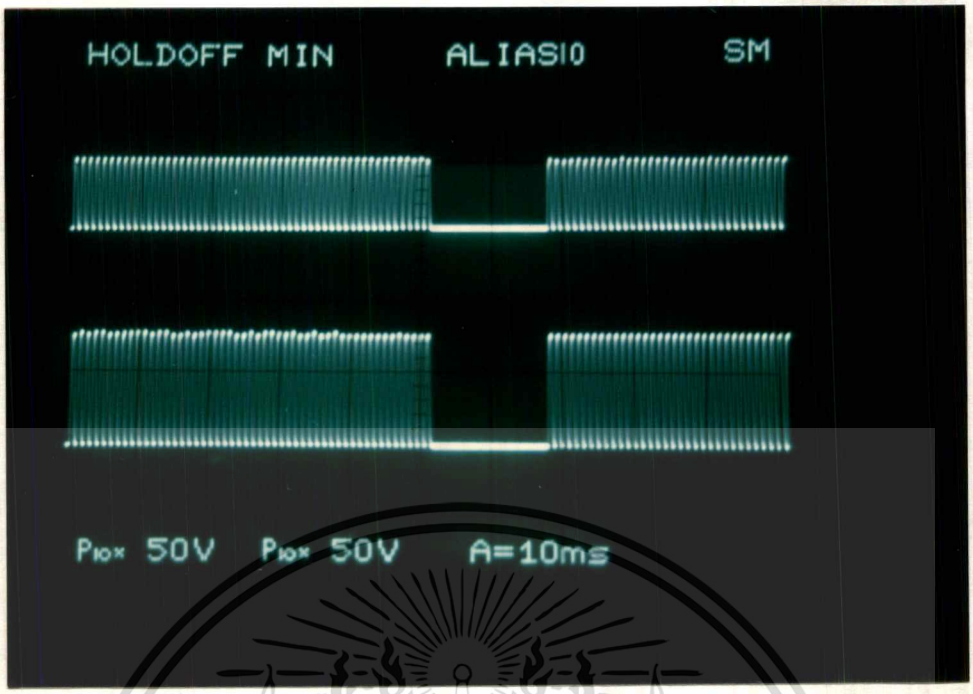
1. ต่อวงจรชุดควบคุมเข้ากับชุดลูกข่ายทั้ง 3 ชุด โดยใช้สาย 2 เส้น คือ สายสัญญาณและสายกราวนด์ที่ยาว 500 เมตร

2. ป้อนสัญญาณอินพุทเพื่อวัดสัญญาณที่จุดต่างๆ ดังรูป



รูปที่ 5.1 แสดงจุดต่างๆที่ใช้วัดสัญญาณ

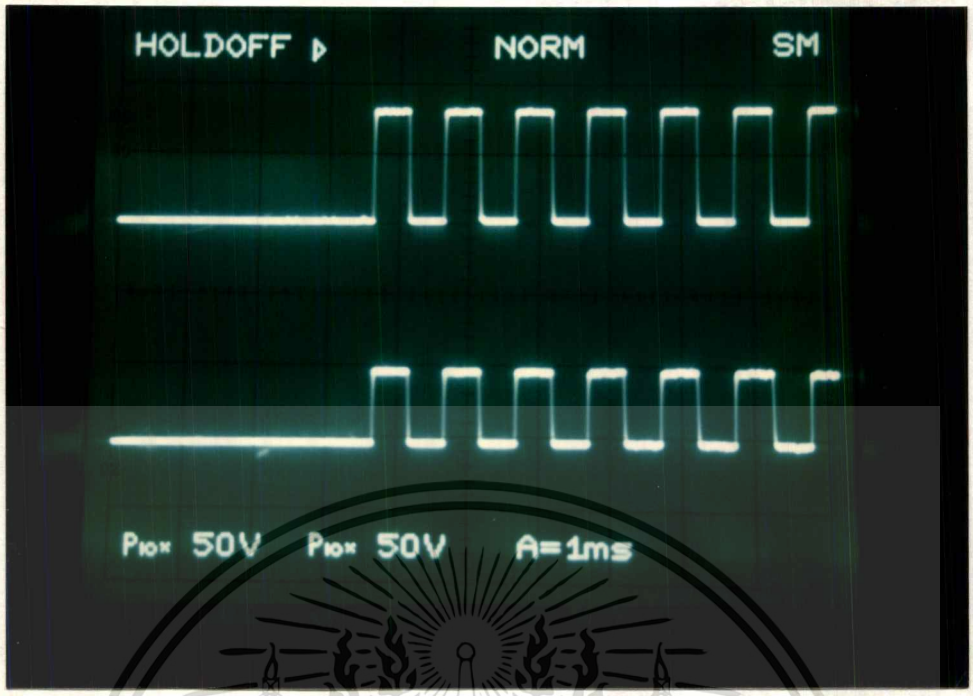
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



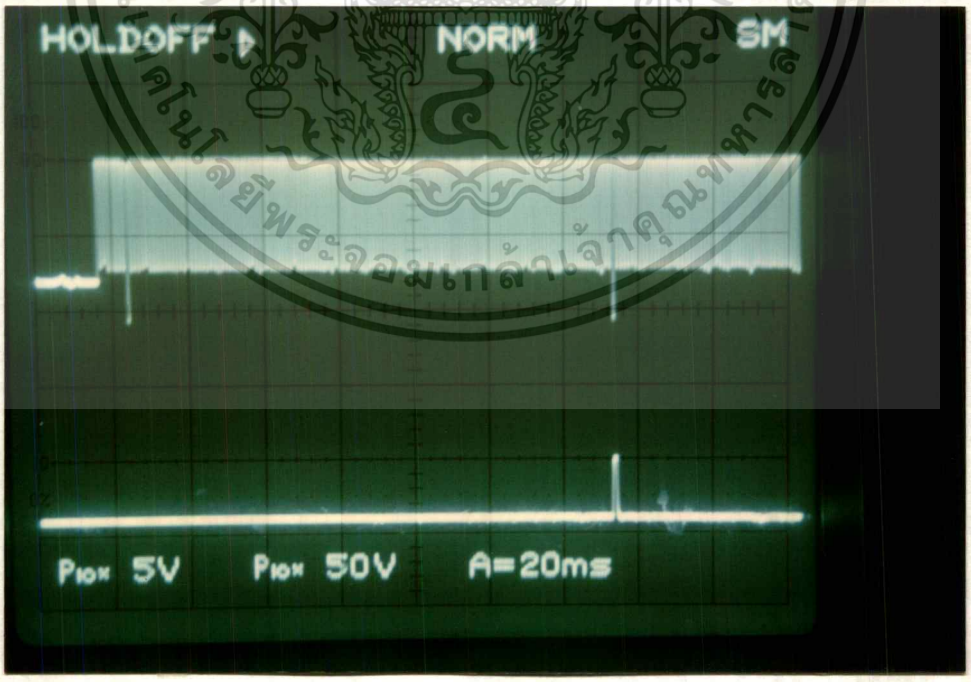
รูปที่ 5.2 แสดงสัญญาณพัลส์และเอาท์พุทของวงจรสร้างสัญญาณซิงโครนัส ขณะไม่มีสัญญาณข้อมูล

รูปที่ 5.3 แสดงสัญญาณที่สายสัญญาณ (จุด1) และเอาท์พุทของวงจรแยกสัญญาณซิงโครนัส (จุด2) ขณะไม่มีสัญญาณข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

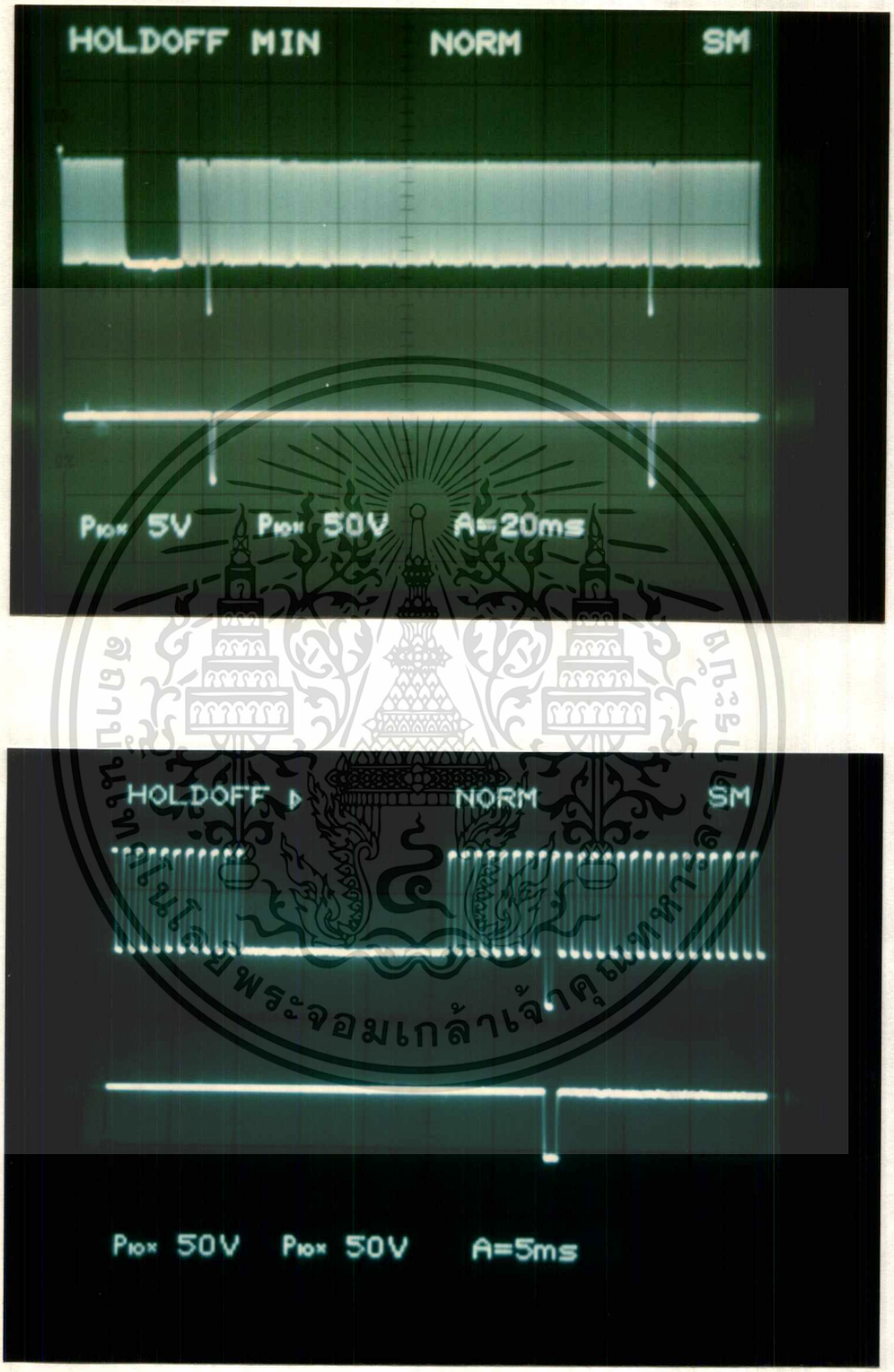


รูปที่ 5.4 แสดงภาพขยายของสัญญาณที่สายสัญญาณ (จุด1) และเอาท์พุทของวงจรแยกสัญญาณซิงโครนัส (จุด2) ขณะไม่มีสัญญาณข้อมูล



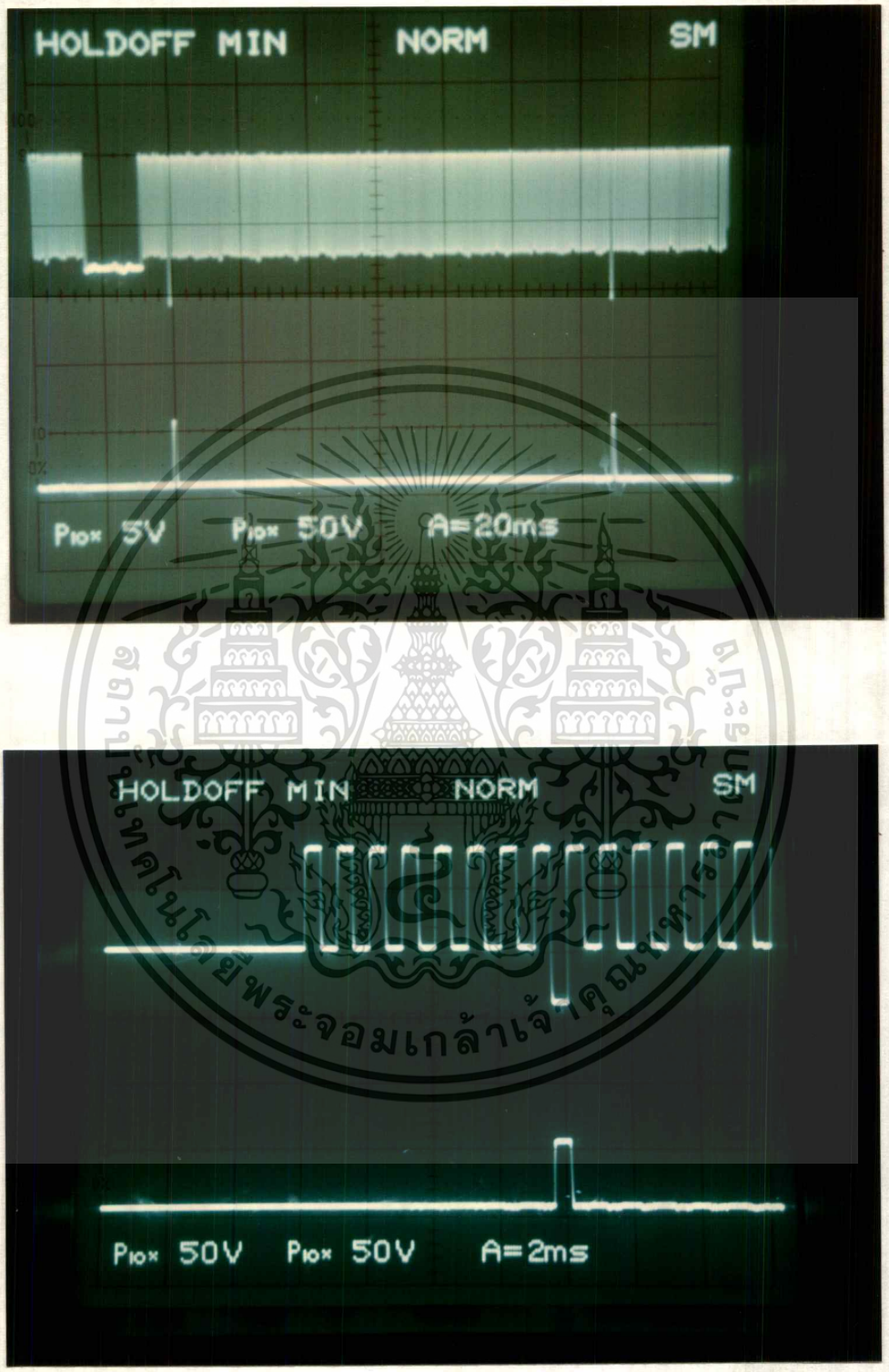
รูปที่ 5.5 แสดงสัญญาณที่สายสัญญาณ (จุด1) และเอาท์พุทของวงจรลอจิก 2 (จุด5) ขณะสั่งให้เปิดอุปกรณ์ตำแหน่งที่ 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



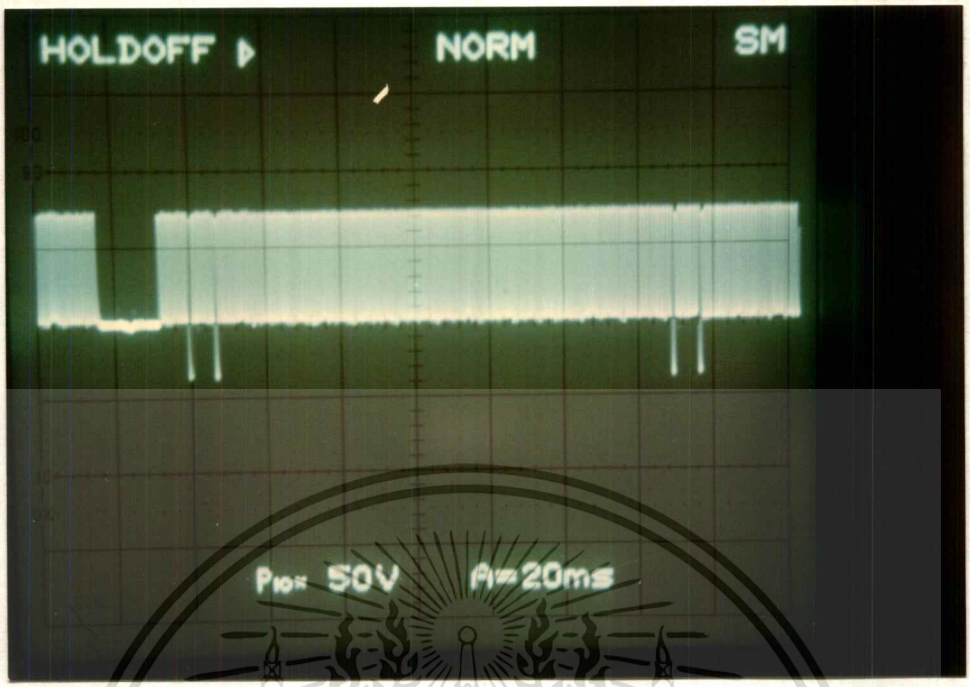
รูปที่ 5.6 แสดงสัญญาณที่สายสัญญาณ (จุด1) และเอาท์พุทของวงจรเปรียบเทียบ (จุด4) ขณะสั่งให้เปิดอุปกรณ์ตำแหน่งที่ 8 รูปล่างเป็นรูปขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

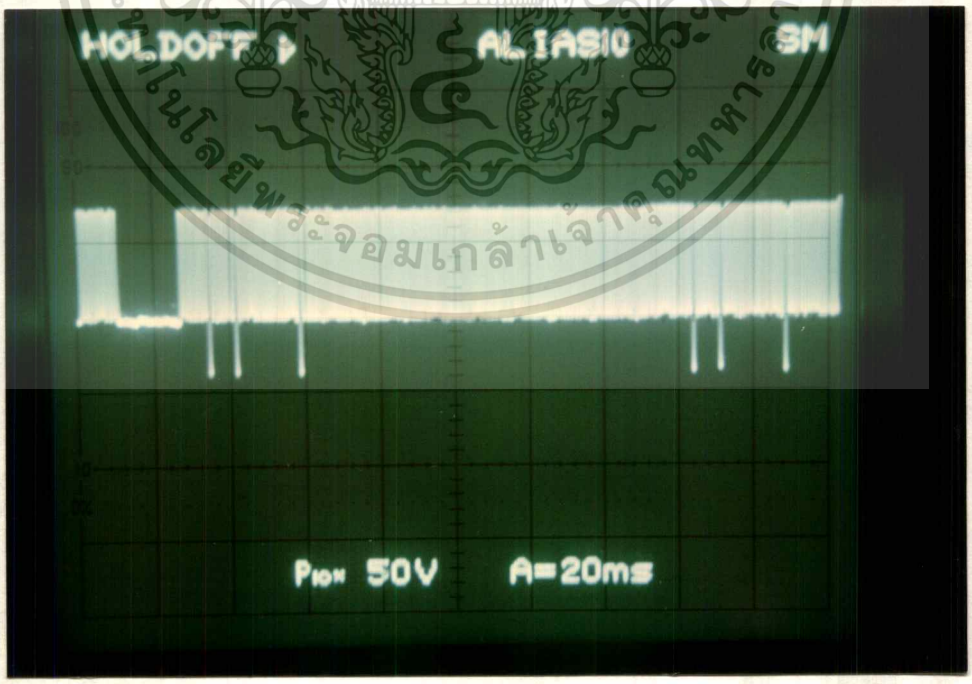


รูปที่ 5.7 แสดงสัญญาณที่สายสัญญาณ (จุด1) และเอาท์พุทของวงจรแยกสัญญาณข้อมูล (จุด3) ขณะสั่งให้เปิดอุปกรณ์ตำแหน่งที่ 8 รูปล่างเป็นรูปขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

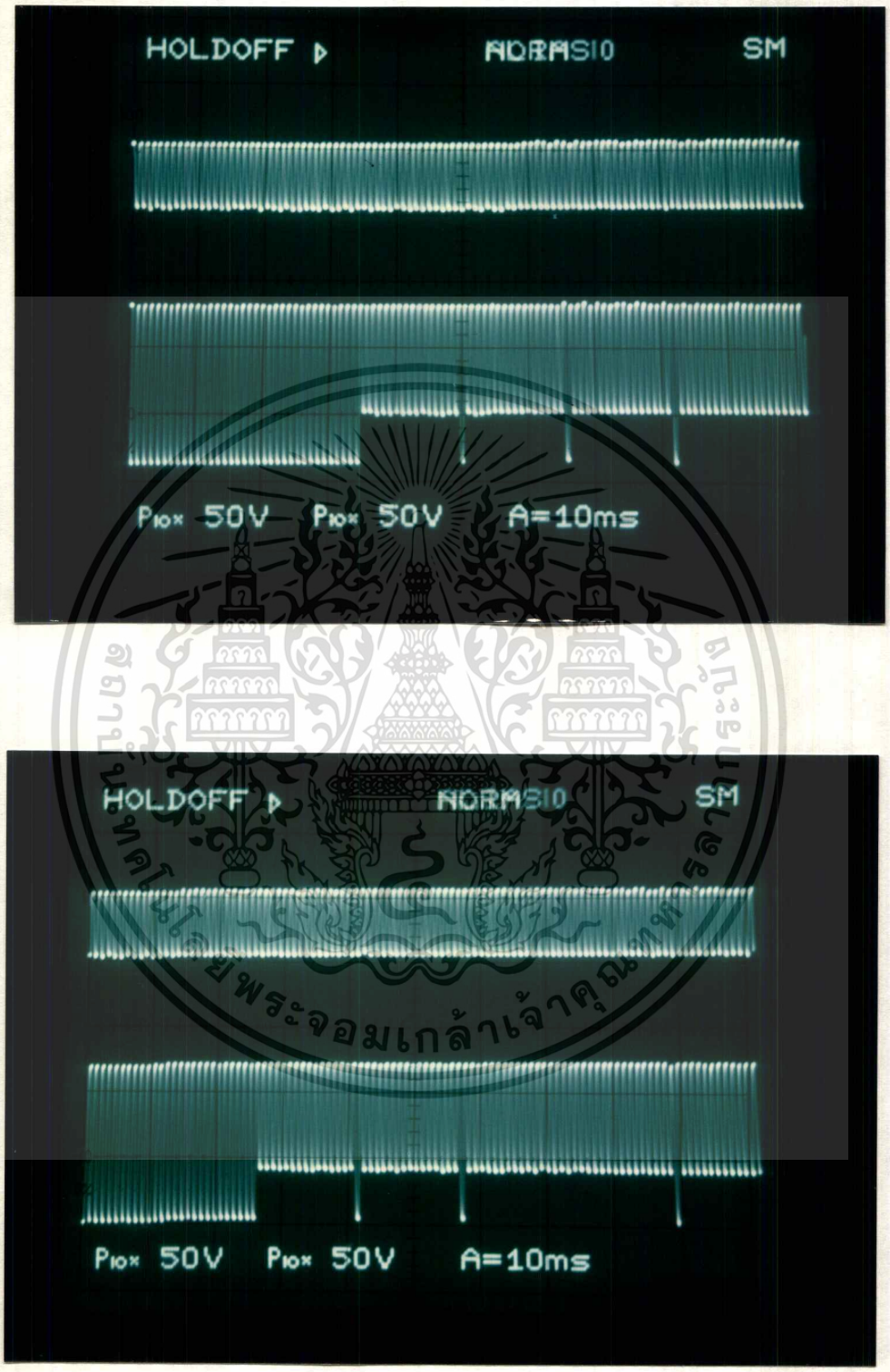


รูปที่ 5.8 แสดงสัญญาณที่สายสัญญาณ (จุด1) ขณะสั่งให้เปิดอุปกรณ์ตำแหน่งที่ 8 และ16



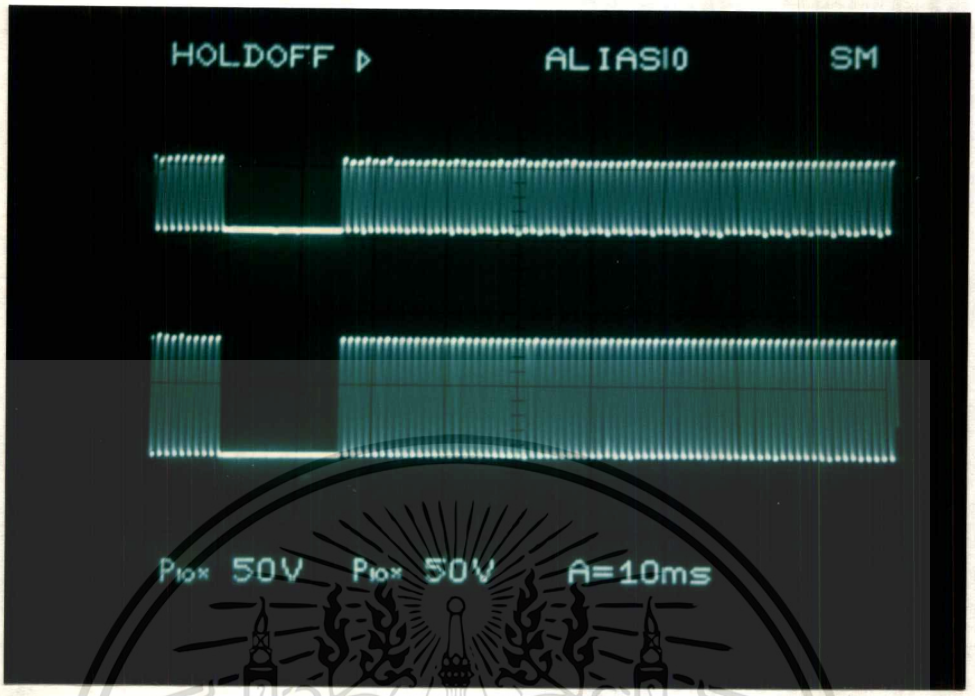
รูปที่ 5.9 แสดงสัญญาณที่สายสัญญาณ (จุด1) ขณะสั่งให้เปิดอุปกรณ์ตำแหน่งที่ 8,16 และ 32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 แสดงสัญญาณเอาท์พุทของวงจรแยกสัญญาณซิงโครนัส (จุด2) และสายสัญญาณ (จุด1) ขณะสั่งให้เปิดอุปกรณ์ทุกตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 แสดงสัญญาณเอาท์พุทของวงจรแยกสัญญาณซิงโครนัส (จุด2) และสายสัญญาณ (จุด1) ขณะสั่งให้ปิดอุปกรณ์ทุกตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปและวิเคราะห์ผลการทดลอง

วิเคราะห์ผลการทดลอง

เมื่อมีการสั่งให้เปิดหรือปิดอุปกรณ์ อุปกรณ์จะไม่ทำงานในทันที แต่จะมีช่วงหน่วงเวลาระยะหนึ่งทำให้อุปกรณ์เปิด-ปิดช้า เนื่องจาก RC time constant มีค่ามากเกินไป ถ้าลดค่าลงจะทำให้อุปกรณ์ทำงานได้เร็วขึ้น แต่จะมีผลทำให้สัญญาณที่วงจรโมโนสเตเบิลไม่เรียบทำให้เกิดความผิดพลาดขึ้นได้

เนื่องจากค่าตัวเก็บประจุในสายสัญญาณจะมีผลต่อความเร็วในการส่งสัญญาณ ดังนั้นถ้าต้องการเพิ่มความเร็วในการส่งสัญญาณ จึงต้องใช้สายสัญญาณขนาดสั้น ๆ

วงจรรวม MAX 691 จำเป็นต้องมี คำสั่งในการแสดงว่าโปรแกรมกำลังทำงานอยู่ โดยต้องมีการส่งคำสั่งที่เปลี่ยนแปลงไปทุก ๆ 1.6 วินาที เสมือนว่า CPU ทำงานตลอดเวลา เพื่อป้องกันไม่ให้ MAX 691 ทำการรีเซทตลอดเวลา

ในการโหลดโปรแกรมแต่ละครั้งจะให้ผลที่ไม่เหมือนกัน เนื่องจากอีพรอมอีมูเลเตอร์ดึงกระแสจากบอร์ดมากเกินไป จึงควรทำแหล่งจ่ายไฟให้อีพรอมอีมูเลเตอร์ต่างหาก

สรุปผลการทดลอง

เมื่อนำส่วนของวงจรแม่ข่ายและลูกข่ายของระบบต่อเข้าด้วยกันแล้ว สามารถควบคุมการเปิด-ปิดของอุปกรณ์ผ่านคีย์บอร์ด พร้อมทั้งสามารถตรวจสอบสภาวะปัจจุบันของอุปกรณ์ในตำแหน่งต่าง ๆ บนจอ LCD ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

ก. วงจรที่ใช้ในระบบ

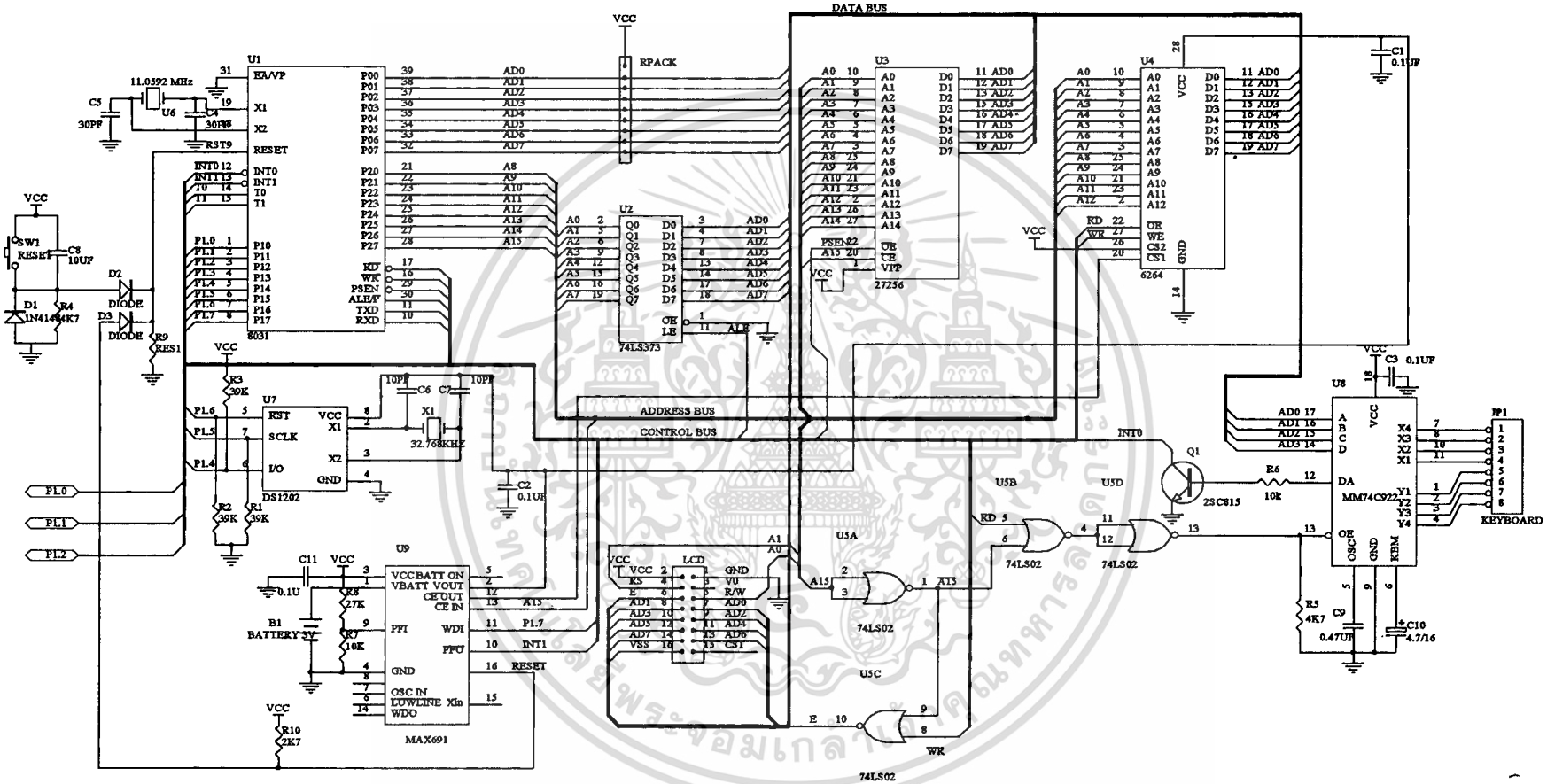
ข. โปรแกรมที่ใช้งาน

ค. ข้อมูลเฉพาะของวงจรรวม

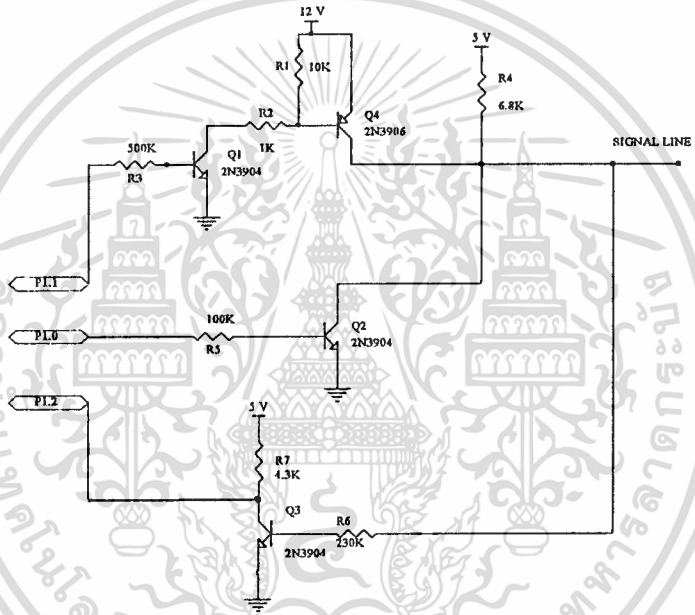
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

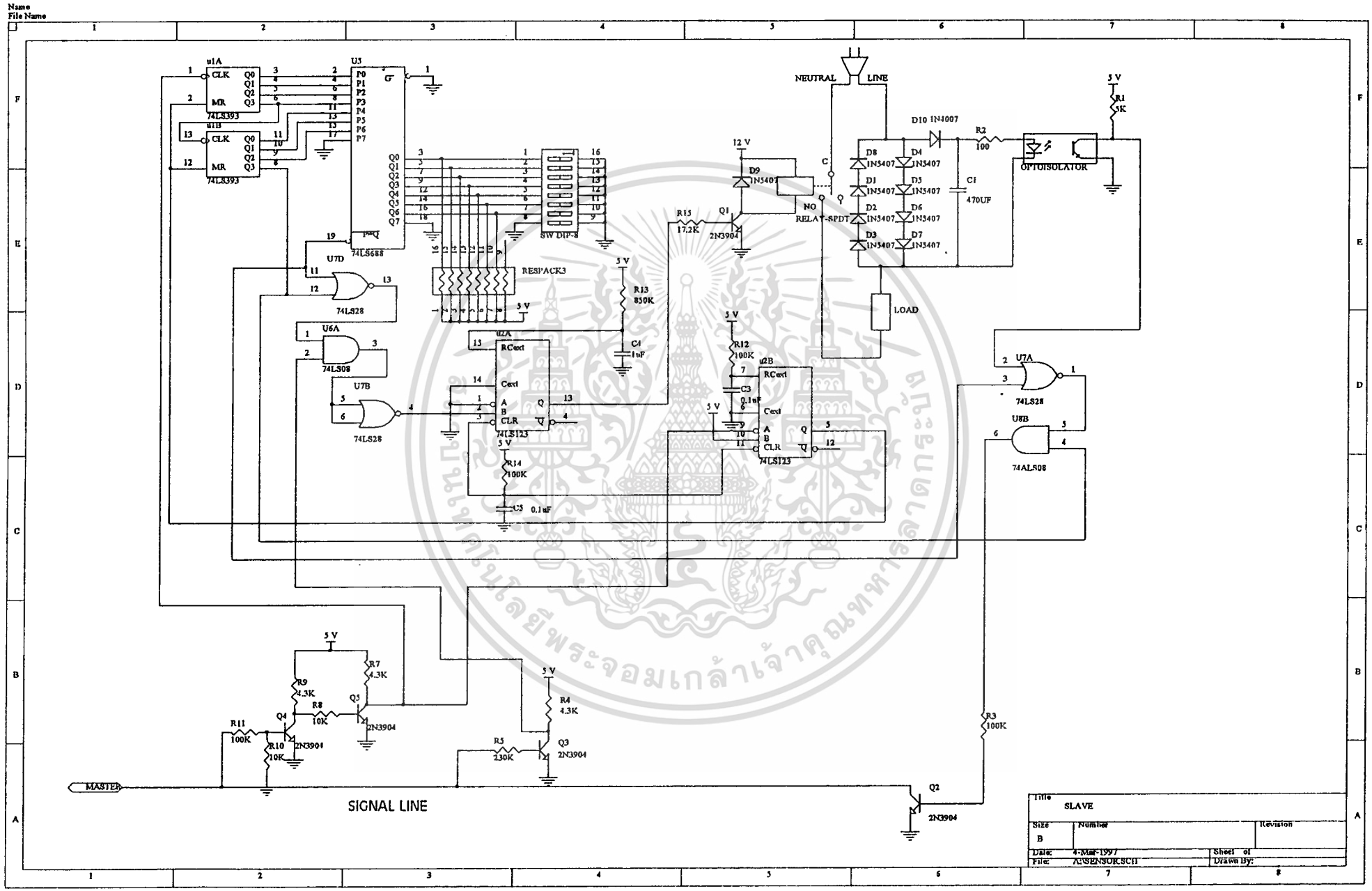
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title: CONTROLLER		
Size: A3	Number:	Revision:
Date: 4-Mar-1997	Sheet of:	
File: A:\SUBMAIN.SCH	Drawn By:	



Title: MASTER		
Size: B	Number:	Revision:
Date: 4-Mar-1997	Sheet of	
File: A:\MASTER.SCH	Drawn By:	


Name
File Name
u1A
74LS393
u1B
74LS393
U5
74LS688
SW DIP-8
RESPACK3
U7D
74LS28
U6A
74LS08
U7B
74LS28
u2A
74LS123
u2B
74LS123
U7A
74LS28
U8B
74LS08
NEUTRAL
LINE
D10 IN4007
D8 IN5407
D4 IN5407
D1 IN5407
D5 IN5407
D2 IN5407
D6 IN5407
D3 IN5407
D7 IN5407
D9 IN5407
NO
RELAY-SPDT
OPTOISOLATOR
LOAD
R1 5K
R2 100
C1 470UF
R13 850K
C4 1uF
R12 100K
C3 0.1uF
R14 100K
C5 0.1uF
R15 17.2K
Q1 2N3904
R7 4.3K
R9 4.3K
Q5 2N3904
R8 10K
Q4 2N3904
R11 100K
R10 10K
R4 4.3K
R5 230K
Q3 2N3904
R3 100K
Q2 2N3904
MASTER
SIGNAL LINE
Title
SLAVE
Size
B
Number
Revision
Date: 4-Mar-1997
File: A:\SENSOR.SCH
Sheet of
Drawn By:

ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LCDWRC  EQU  08000H
        LCDRDC  EQU  0FA01H
        LCDWRD  EQU  08002H
;VALUE IN KBINPUT
        BUT0    EQU  00000000B
        BUT1    EQU  00000001B
        BUT2    EQU  00000010B
        BUT3    EQU  00000011B
        BUT4    EQU  00000100B
        BUT5    EQU  00000101B
        BUT6    EQU  00000110B
        BUT7    EQU  00000111B
        BUT8    EQU  00001000B
        BUT9    EQU  00001001B
        BLANK   EQU  00001010B
        BACKS   EQU  00001011B
        RETU    EQU  00001100B
        FORW    EQU  00001101B
        SEL     EQU  00001110B
        BACK    EQU  00001111B
        BITBACK EQU  07
        TEMP1   EQU  21H
        TEMP2   EQU  22H
        ORG     0000H
        LJMP    MAIN
        ORG     0003H
        LJMP    INT0_SERV
INT0_SERV:
        PUSH    DPL
        PUSH    DPH
        PUSH    ACC
        MOV     DPTR,#8000H
        MOVX    A,@DPTR
        ANL     A,#0FH
        MOV     R0,A
        MOV     R4,#01H
        POP     ACC
        POP     DPH
        POP     DPL
        RETI
MAIN:
        MOV     SP,#40H
        MOV     IE,#80H
        SETB    IP.0
        SETB    TCON.2
        SETB    TCON.0
        SETB    IT0
        MOV     R7,#0
        NOP
        NOP
        DJNZ    R7,$
        MOV     DPTR,#0000H
        MOV     A,#00H
        MOV     R7,#1FH
CLR_DPTR:
        MOV     R6,#0FFH
CLR_DPTR1:
        MOVX    @DPTR,A
        INC     DPTR
        DJNZ    R6,CLR_DPTR1
        DJNZ    R7,CLR_DPTR
LCD:    MOV     A,#00111000B
        LCALL   LCDWI
        MOV     A,#00010100B
        LCALL   LCDWI
        MOV     A,#00001100B
        LCALL   LCDWI
        MOV     A,#00000110B
        LCALL   LCDWI
        MOV     A,#01H
        LCALL   LCDWI
MON_BLINK:
        MOV     DPTR,#MAINT1
        LCALL   TWO_LINES
MON_BLINK1:
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,MON_INT1
        LJMP    TUE_BLINK
MON_INT1:
        CJNE    R0,#RETU,MON_INT2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LJMP    GO_BLINK
MON_INT2:
        CJNE    R0,#SEL,MON_BLINK
        MOV     DPTR,#0001H
        LJMP    GO_SETTIME
TUE_BLINK:
        MOV     DPTR,#MAINT2
        LCALL   TWO_LINES
TUE_BLINK1:
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,TUE_INT1
        LJMP    WED_BLINK
TUE_INT1:
        CJNE    R0,#RETU,TUE_INT2
        LJMP    MON_BLINK
TUE_INT2:
        CJNE    R0,#SEL,TUE_BLINK
        MOV     DPTR,#0101H
        LJMP    GO_SETTIME
WED_BLINK:
        MOV     DPTR,#MAINT3
        LCALL   TWO_LINES
WED_BLINK1:
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,WED_INT1
        LJMP    THU_BLINK
WED_INT1:
        CJNE    R0,#RETU,WED_INT2
        LJMP    TUE_BLINK
WED_INT2:
        CJNE    R0,#SEL,WED_BLINK
        MOV     DPTR,#0201H
        LJMP    GO_SETTIME
THU_BLINK:
        MOV     DPTR,#MAINT4
        LCALL   TWO_LINES
THU_BLINK1:
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,THU_INT1
        LJMP    FRI_BLINK
THU_INT1:
        CJNE    R0,#RETU,THU_INT2
        LJMP    WED_BLINK
THU_INT2:
        CJNE    R0,#SEL,THU_BLINK
        MOV     DPTR,#0301H
        LJMP    GO_SETTIME
FRI_BLINK:
        MOV     DPTR,#MAINT5
        LCALL   TWO_LINES
FRI_BLINK1:
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,FRI_INT1
        LJMP    SAT_BLINK
FRI_INT1:
        CJNE    R0,#RETU,FRI_INT2
        LJMP    THU_BLINK
FRI_INT2:
        CJNE    R0,#SEL,FRI_BLINK
        MOV     DPTR,#0401H
        LJMP    GO_SETTIME
SAT_BLINK:
        MOV     DPTR,#MAINT6
        LCALL   TWO_LINES
SAT_BLINK1:
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,SAT_INT1
        LJMP    SUN_BLINK
SAT_INT1:
        CJNE    R0,#RETU,SAT_INT2
        LJMP    FRI_BLINK
SAT_INT2:
        CJNE    R0,#SEL,SAT_BLINK
        MOV     DPTR,#0501H
        LJMP    GO_SETTIME
SUN_BLINK:
        MOV     DPTR,#MAINT7
        LCALL   TWO_LINES
SUN_BLINK1:
        LCALL   WAIT_KEY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CJNE    R0,#FORW,SUN_INT1
        LJMP    GO_BLINK
SUN_INT1:
        CJNE    R0,#RETU,SUN_INT2
        LJMP    SAT_BLINK
SUN_INT2:
        CJNE    R0,#SEL,SUN_BLINK
        MOV     DPTR,#0601H
        LJMP    GO_SETTIME
GO_BLINK:
        MOV     DPTR,#MAINT8
        LCALL   TWO_LINES
GO_BLINK1:
        LCALL   WAIT_KEY
        CJNE    R0,#RETU,GO_INT1
        LJMP    SUN_BLINK
GO_INT1:
        CJNE    R0,#FORW,GO_INT2
        LJMP    MON_BLINK
GO_INT2:
        CJNE    R0,#SEL,GO_BLINK
        LJMP    SHOW_VALUE
GO_SETTIME:
        PUSH    DPL
        PUSH    DPH
        MOV     R7,#7
NOTE:   MOV     DPTR,#TIME_TBL
        LCALL   TWO_LINES
        LCALL   DELAY_1
        LCALL   CLRLCD
        LCALL   DELAY_1
        DJNZ    R7,NOTE
        POP     DPH
        POP     DPL
        MOV     A,#00001110B
        LCALL   LCDWI
        PUSH    DPL
        PUSH    DPH
        LCALL   SET_TIME
        POP     DPH
        POP     DPL
        MOV     A,#00001100B
        LCALL   LCDWI
        JNB     BITBACK,NOTGO_DAY
        LJMP    MON_BLINK
NOTGO_DAY:
        PUSH    DPL
        PUSH    DPH
        MOV     DPTR,#900H
        MOVX    A,@DPTR
        POP     DPH
        POP     DPL
        MOVX    @DPTR,A
        INC     DPTR
        PUSH    DPL
        PUSH    DPH
        MOV     DPTR,#902H
        MOVX    A,@DPTR
        POP     DPH
        POP     DPL
        MOVX    @DPTR,A
        INC     DPTR
        PUSH    DPL
        PUSH    DPH
        LCALL   SET_ONOFF
        POP     DPH
        POP     DPL
        LCALL   INC_17
        LJMP    GO_SETTIME

;********** INCREASE DPTR 17 ********
;IN = DPTR
;************************************
INC_17: MOV     R0,#11H
INC_DPTR1:
        INC     DPTR
        DJNZ    R0,INC_DPTR1
        RET

;********** SELECT ON OFF **************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;IN = DPTR (START ADDRESS) FROM SET_TIME
;*****************************************
SET_ONOFF:
        MOV     A,#01H
        LCALL   LCDWI
        PUSH    DPL
        PUSH    DPH
AON_BLINK:
        MOV     DPTR,#ONOFF_DB1
        LCALL   TWO_LINES
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,AON_INT1
        LJMP    ON_BLINK
AON_INT1:
        CJNE    R0,#SEL,AON_BLINK
        LJMP    AON_ACT
ON_BLINK:
        MOV     DPTR,#ONOFF_DB2
        LCALL   TWO_LINES
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,ON_INT1
        LJMP    AOFF_BLINK
ON_INT1:
        CJNE    R0,#RETU,ON_INT2
        LJMP    AON_BLINK
ON_INT2:
        CJNE    R0,#SEL,ON_BLINK
        LJMP    ON_ACT
AOFF_BLINK:
        MOV     DPTR,#ONOFF_DB3
        LCALL   TWO_LINES
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,AOFF_INT1
        LJMP    OFF_BLINK
AOFF_INT1:
        CJNE    R0,#RETU,AOFF_INT2
        LJMP    ON_BLINK
AOFF_INT2:
        CJNE    R0,#SEL,AOFF_BLINK
        LJMP    AOFF_ACT
OFF_BLINK:
        MOV     DPTR,#ONOFF_DB4
        LCALL   TWO_LINES
        LCALL   WAIT_KEY
        CJNE    R0,#RETU,OFF_INT1
        LJMP    AOFF_BLINK
OFF_INT1:
        CJNE    R0,#SEL,OFF_BLINK
        LJMP    OFF_ACT
AON_ACT:
        POP     DPH
        POP     DPL
        MOV     A,#01H
        MOVX    @DPTR,A
        INC     DPTR
        MOV     R5,#10H
AON_ACT1:
        MOV     A,#0FFH
        MOVX    @DPTR,A
        INC     DPTR
        DJNZ    R5,AON_ACT1
        RET
AOFF_ACT:
        POP     DPH
        POP     DPL
        MOV     A,#03H
        MOVX    @DPTR,A
        INC     DPTR
        MOV     R5,#10H
AOFF_ACT1:
        MOV     A,#00H
        MOVX    @DPTR,A
        INC     DPTR
        DJNZ    R5,AOFF_ACT1
        RET
ON_ACT:
        POP     DPH
        POP     DPL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     A,#02H
        MOVX    @DPTR,A
        INC     DPTR
        PUSH    DPL
        PUSH    DPH
        MOV     A,#00001111B
        LCALL   LCDWI
        LCALL   RECEIVE_KEY
        MOV     A,#00001100B
        LCALL   LCDWI
        POP     DPH
        POP     DPL
        LCALL   HEX_TO_BIT ;(ON)
        RET
OFF_ACT:
        POP     DPH
        POP     DPL
        MOV     A,#04H
        MOVX    @DPTR,A
        INC     DPTR
        PUSH    DPL
        PUSH    DPH
        MOV     A,#00001111B
        LCALL   LCDWI
        LCALL   RECEIVE_KEY
        MOV     A,#00001100B
        LCALL   LCDWI
        POP     DPH
        POP     DPL
        LCALL   HEX_TO_BIT
        RET
;********** MOVE TO REAL USE DATA ******
OK_MOV:
        MOV     R2,#03H
        MOV     DPTR,#0900H
        MOVX    A,@DPTR
        MOV     TEMP1,A
        MOV     DPTR,#0902H
        MOVX    A,@DPTR
        MOV     TEMP2,A
CHECKDAY:
        MOV     DPTR,#0904H
        MOVX    A,@DPTR
        CJNE    A,#00000001B,DAY2
        MOV     DPTR,#0001H
BACK_2:
        MOVX    A,@DPTR
        CJNE    A,TEMP1,NOHR
        INC     DPTR
        MOVX    A,@DPTR
        CJNE    A,TEMP2,NOMIN
        INC     DPTR
        INC     DPTR
        JMP     KEEP
DAY2:   CJNE    A,#00000010B,DAY3
        MOV     DPTR,#0101H
        JMP     BACK_2
DAY3:   CJNE    A,#00000011B,DAY4
        MOV     DPTR,#0201H
        JMP     BACK_2
DAY4:   CJNE    A,#00000100B,DAY5
        MOV     DPTR,#0301H
        JMP     BACK_2
DAY5:   CJNE    A,#00000101B,DAY6
        MOV     DPTR,#0401H
        JMP     BACK_2
DAY6:   CJNE    A,#00000110B,DAY7
        MOV     DPTR,#0501H
        JMP     BACK_2
DAY7:   CJNE    A,#00000111B,CHECKDAY
        MOV     DPTR,#0601H
        JMP     BACK_2
KEEP:   MOV     R5,#16D
LOOPKEEP:
        MOV     R6,#00H
        MOV     R7,#08H
LOOPKEEP1:
        MOVX    A,@DPTR
        PUSH    DPL
        PUSH    DPH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     DPL,R6
        MOV     DPH,R7
        MOVX    @DPTR,A
        INC     DPTR
        MOV     R6,DPL
        MOV     R7,DPH
        POP     DPH
        POP     DPL
        INC     DPTR
        DJNZ    R5,LOOPKEEP1
        DJNZ    R2,BACK_2
        JMP     CHECKDAY
NOHR:   MOV     R3,#19D
LOOP:   INC     DPTR
        DJNZ    R3,LOOP
        DJNZ    R2,BACK_2
        JMP     CHECKDAY
NOMIN:  MOV     R4,#18D
LOOP1:  INC     DPTR
        DJNZ    R4,LOOP1
        DJNZ    R2,BACK_2
        JMP     CHECKDAY
        RET

;****** RECEIVE SENSOR *******
RECEIVE_KEY:
        MOV     A,#01H
        LCALL   LCDWI
;_____________________
        MOV     DPTR,#0700H
        MOV     R1,#13D
        MOV     A,#00H
CLEAR:  MOVX    @DPTR,A
        INC     DPTR
        DJNZ    R1,CLEAR
        MOV     R4,#13D
        MOV     R3,#16D
NEW_SUB:
        MOV     A,#00H
        MOV     R5,A
        MOV     R6,A
        MOV     R7,A
NEW_FST_KEY:
        LCALL   WAIT_KEY
        MOV     A,R0
        LCALL   CHECKNUMBER
        JB      ACC.7,NEW_FST_KEY
        PUSH    ACC
        MOV     A,R6
        MOV     R5,A
        MOV     A,R7
        MOV     R6,A
        POP     ACC
        MOV     R7,A
        ADD     A,#30H
        LCALL   LCDWD
        DJNZ    R3,NEW_SEC_KEY
        MOV     A,#0C0H
        LCALL   LCDWI
NEW_SEC_KEY:
        LCALL   WAIT_KEY
        CJNE    R0,#BLANK,NOT2BLANK
        MOV     A,#' '
        LCALL   LCDWD
        DJNZ    R3,HELPJ
        MOV     A,#0C0H
        LCALL   LCDWI
HELPJ:  LJMP    CALCULATE
NOT2BLANK:
        CJNE    R0,#SEL,NOT2OK
        MOV     R4,#01H
        LJMP    CALCULATE
NOT2OK:
        MOV     A,R0
        LCALL   CHECKNUMBER
        JB      ACC.7,NEW_SEC_KEY
        PUSH    ACC
        MOV     A,R6
        MOV     R5,A
        MOV     A,R7
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     R6,A
        POP     ACC
        MOV     R7,A
        ADD     A,#30H
        LCALL   LCDWD
        DJNZ    R3,NEW_THD_KEY
        MOV     A,#0C0H
        LCALL   LCDWI
NEW_THD_KEY:
        LCALL   WAIT_KEY
        CJNE    R0,#BLANK,NOT3BLANK
        MOV     A,#' '
        LCALL   LCDWD
        DJNZ    R3,CALCULATE
        MOV     A,#0C0H
        LCALL   LCDWI
        LJMP    CALCULATE
NOT3BLANK:
        CJNE    R0,#SEL,NOT3OK
        MOV     R4,#01H
        LJMP    CALCULATE
NOT3OK:
        MOV     A,R0
        LCALL   CHECKNUMBER
        JB      ACC.7,NEW_THD_KEY
        PUSH    ACC
        MOV     A,R6
        MOV     R5,A
        MOV     A,R7
        MOV     R6,A
        POP     ACC
        MOV     R7,A
        ADD     A,#30H
        LCALL   LCDWD
        DJNZ    R3,NEW_FRT_KEY
        MOV     A,#0C0H
        LCALL   LCDWI
NEW_FRT_KEY:
        LCALL   WAIT_KEY
        CJNE    R0,#BLANK,NOT4BLANK
        MOV     A,#' '
        LCALL   LCDWD
        DJNZ    R3,CALCULATE
        MOV     A,#0C0H
        LCALL   LCDWI
        LJMP    CALCULATE
NOT4BLANK:
        CJNE    R0,#SEL,NOT4OK
        MOV     R2,#01H
        LJMP    CALCULATE
NOT4OK:
        SJMP    NEW_FRT_KEY
;-------------------
CALCULATE:
        MOV     A,R5
        MOV     B,#100D
        MUL     AB
        MOV     R5,A
        MOV     A,R6
        MOV     B,#10D
        MUL     AB
        MOV     R6,A
        MOV     A,R7
        ADD     A,R6
        ADD     A,R5
        PUSH    ACC
        MOV     DPTR,#070CH
        MOVX    A,@DPTR
        INC     DPTR
        MOVX    @DPTR,A
        MOV     DPTR,#070BH
        MOVX    A,@DPTR
        INC     DPTR
        MOVX    @DPTR,A
        MOV     DPTR,#070AH
        MOVX    A,@DPTR
        INC     DPTR
        MOVX    @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     DPTR,#0709H
        MOVX    A,@DPTR
        INC     DPTR
        MOVX    @DPTR,A
        MOV     DPTR,#0708H
        MOVX    A,@DPTR
        INC     DPTR
        MOVX    @DPTR,A
        MOV     DPTR,#0707H
        MOVX    A,@DPTR
        INC     DPTR
        MOVX    @DPTR,A
        MOV     DPTR,#0706H
        MOVX    A,@DPTR
        INC     DPTR
        MOVX    @DPTR,A
        MOV     DPTR,#0705H
        MOVX    A,@DPTR
        INC     DPTR
        MOVX    @DPTR,A
        MOV     DPTR,#0704H
        MOVX    A,@DPTR
        INC     DPTR
        MOVX    @DPTR,A
        MOV     DPTR,#0703H
        MOVX    A,@DPTR
        INC     DPTR
        MOVX    @DPTR,A
        MOV     DPTR,#0702H
        MOVX    A,@DPTR
        INC     DPTR
        MOVX    @DPTR,A
        MOV     DPTR,#0701H
        MOVX    A,@DPTR
        INC     DPTR
        MOVX    @DPTR,A
        MOV     DPTR,#0700H
        MOVX    A,@DPTR
        INC     DPTR
        MOVX    @DPTR,A
        POP     ACC
        MOV     DPTR,#0700H
        MOVX    @DPTR,A
        DEC     R4
        MOV     A,R4
        JZ      END_GET_NUMSUB
        LJMP    NEW_SUB
END_GET_NUMSUB:
        RET
;-------------------------------
;       CHECK NUMBER
; INPUT  A
; OUTPUT ACC.7 IS SET IF NOT NUMBER
; USED B
;-------------------------------
CHECKNUMBER:
        PUSH    ACC
        MOV     B,#10D
        CLR     C
        SUBB    A,B
        JC      NUMBER
        POP     ACC
        SETB    ACC.7
        RET
NUMBER:
        POP     ACC
        RET
;********* CHANGE HEX TO BIT *****
;IN = DPTR (START ADDRESS)
;*********************************
HEX_TO_BIT:
        MOV     R0,#00H
        MOV     R1,#08H
CHK_8V:
        INC     R0
        PUSH    DPL
        PUSH    DPH
        MOV     DPTR,#700H
        MOV     R2,#10H
CHK_16V:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOVX    A,@DPTR
        XRL     A,R0
        JZ      SET_SENSOR
        INC     DPTR
        DJNZ    R2,CHK_16V
        CLR     C
        LJMP    RR_C
SET_SENSOR:
        SETB    C
RR_C:   POP     DPH
        POP     DPL
        MOVX    A,@DPTR
        RRC     A
        MOVX    @DPTR,A
        DJNZ    R1,CHK_8V
        MOV     R1,#08H
        INC     DPTR
        CJNE    R0,#80H,CHK_8V
        RET

ONOFF_DB1:
        DB ' ALL ON , on '
        DB ' all off , off '
ONOFF_  DB2:
        DB ' all on , ON '
        DB ' all off , off '
ONOFF_  DB3:
        DB ' all on , on '
        DB ' ALL OFF , off '
ONOFF_  DB4:
        DB ' all on , on '
        DB ' all off , OFF '

;************ SHOW OR GO! *****
SHOW_VALUE:
        MOV     A,#01H
        LCALL   LCDWI
        MOV     DPTR,#SHOW_TABLE
        LCALL   TWO_LINES
SCAN_KEY:
        LCALL   WAIT_KEY
        CJNE    R0,#BUT1,GO_START
        LJMP    DAY_SEL
GO_START:
        CJNE    R0,#BUT2,GO_BACK
        LJMP    RUN
GO_BACK:
        CJNE    R0,#BACK,SCAN_KEY
        LJMP    MON_BLINK

;*** PROGRAM CONTROL OUT PORT ***
RUN:    LCALL   OK_MOV
START:  MOV     P1,#00H
        MOV     R0,#80H
        MOV     R1,#80H
        MOV     R2,#08H
        MOV     DPTR,#0800H
CLKONE:
        SETB    P1.1
        MOV     R5,#0DFH
        DJNZ    R5,$
        MOV     A,R0
        JZ      CLKZ2
CLKZ1:  MOVX    A,@DPTR
        RR      A
        MOVX    @DPTR,A
        ANL     A,#01H
        JZ      SENSOR_OFF
        SETB    P1.0
        SJMP    SENSOR_OFF1
SENSOR_OFF:
        CLR     P1.0
SENSOR_OFF1:
        CLR     P1.1
        DEC     R0
        DJNZ    R2,CLKONE
        MOV     R2,#08H
        INC     DPTR
        LJMP    CLKONE
CLKZ2:  SETB    P1.2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CLR     P1.1
        MOV     C,P1.2
        JNC     CLOSED
        MOVX    A,@DPTR
        ORL     A,#01H
        RR      A
        MOVX    @DPTR,A
        LJMP    RESPONSE
CLOSED:
        MOVX    A,@DPTR
        ANL     A,#0FEH
        RR      A
        MOVX    @DPTR,A
RESPONSE:
        DJNZ    R1,RESPONSE1
        LJMP    BLANK_1
RESPONSE1:
        DJNZ    R2,CLKONE
        MOV     R2,#08H
        INC     DPTR
        LJMP    CLKONE
BLANK_1:
        LCALL   CLRLCD
        MOV     A,#80H
        LCALL   LCDWI
        LCALL   SHOW_TIME
        MOV     A,#0C0H
        LCALL   LCDWI
        LCALL   SHOW_ERR
        LJMP    RUN

;********* SHOW_TIME ************
SHOW_TIME:
        CLR     P1.6
        SETB    P1.5
        LCALL   DELAY4
        LCALL   SETTIME
        MOV     DPTR,#TIME_TBL1
        LCALL   ONE_LINE
MAIN1:  MOV     A,#85H
        LCALL   LCDWI
        LCALL   TDISP
        RET

;********* SETTIME SUB.*********
SETTIME:
        MOV     R6,#8EH
        MOV     R7,#00H
        LCALL   BYTEWR
        MOV     R6,#80H
        MOV     R7,#00H
        LCALL   BYTEWR
        MOV     R6,#82H
        MOV     DPTR,#902H
        MOVX    A,@DPTR
        MOV     R7,A
        LCALL   BYTEWR
        MOV     R6,#84H
        MOV     DPTR,#900H
        MOVX    A,@DPTR
        MOV     R7,A
        LCALL   BYTEWR
        MOV     R6,#8EH
        MOV     R7,#80H
        LCALL   BYTEWR

;********* BYTEWR SUB. ***********
;WRITE SINGLE BYTE TO STC
;IN = R6 COMMAND
;  = R7 DATA
;REG = A,B,R6,R7
BYTEWR:
        CLR     P1.4
        LCALL   DELAY4
        SETB    P1.6
        LCALL   DELAY4
        MOV     B,#8
        CLR     C
BYTEWR1:
        MOV     A,R6
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        RRC     A
        MOV     R6,A
        MOV     P1.4,C
        LCALL   SCLKRW
        DJNZ    B,BYTEWR1

        MOV     B,#8
        CLR     C
BYTEWR2:
        MOV     A,R7
        RRC     A
        MOV     R7,A
        MOV     P1.4,C
        LCALL   SCLKRW
        DJNZ    B,BYTEWR2
        CLR     P1.6
        LCALL   DELAY4
        RET

;******** BYTERD SUB.*******
;READ SINGLE BYTE FROM STC
;IN = R6 COMMAND
;OUT = R7 DATA
;REG = A,B,R6,R7

BYTERD:
        SETB    P1.4
        LCALL   DELAY4
        SETB    P1.6
        LCALL   DELAY4
        MOV     B,#8
BYTERD1:
        MOV     A,R6
        RRC     A
        MOV     R6,A
        MOV     P1.4,C
        LCALL   SCLKCOM
        DJNZ    B,BYTERD1

        MOV     B,#8
        MOV     R7,#0
BYTERD2:
        LCALL   SCLKRW
        MOV     A,R7
        MOV     C,P1.4
        RRC     A
        MOV     R7,A
        DJNZ    B,BYTERD2
        CLR     P1.6
        LCALL   DELAY4
        RET

;******** SCLKCOM SUB. ********
;SERIAL CLOCK FOR WRITE COMMAND
;A FALLING EDGE
;FOLLOWED BY A RISING EDGE
SCLKCOM:
        CLR     P1.5
        LCALL   DELAY4
        SETB    P1.5
        LCALL   DELAY4
        RET

;********** SCLKRW SUB.*********
;SERIAL CLOCK FOR READ/WRITE DATA
;A RISING EDGE
;FOLLOWED BY A FALLING EDGE
SCLKRW:
        SETB    P1.5
        LCALL   DELAY4
        CLR     P1.5
        LCALL   DELAY4
        RET

;********** DELAY SUB. ********
;PULSE DELAY
;REG=R1
DELAY4:
        MOV     R1,#5
        DJNZ    R1,$
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        RET

;********** TDISP SUB. ********
;TIME DISPLAY
TDISP:
        MOV     R6,#85H
        LCALL   BYTERD
        MOV     DPTR,#900H
        MOV     A,R7
        MOVX    @DPTR,A
        LCALL   DSP_TIME11
        MOV     A,#':'
        LCALL   LCDWD
        MOV     R6,#83H
        LCALL   BYTERD
        MOV     DPTR,#902H
        MOV     A,R7
        MOVX    @DPTR,A
        LCALL   DSP_TIME11
        MOV     A,#':'
        LCALL   LCDWD
        MOV     R6,#81H
        LCALL   BYTERD
        MOV     DPTR,#906H
        MOV     A,R7
        MOVX    @DPTR,A
        LCALL   DSP_TIME11
        RET

DSP_TIME11:
        MOVX    A,@DPTR
        MOV     R0,A
        SWAP    A
        ANL     A,#0FH
        LCALL   DISPMEM
        MOV     A,R0
        ANL     A,#0FH
        LCALL   DISPMEM
        RET

;******** DISPLAY ERROR *******
SHOW_ERR:
        MOV     DPTR,#800H
        MOV     R3,#08H
        MOV     R4,#10H
        MOV     R5,#10H
CHK_ERR:
        MOVX    A,@DPTR
        MOV     R0,A
        PUSH    DPL
        PUSH    DPH
        MOV     DPH,R3
        MOV     DPL,R4
        MOVX    A,@DPTR
        XRL     A,R0
        MOVX    @DPTR,A
        INC     DPTR
        MOV     R3,DPH
        MOV     R4,DPL
        POP     DPH
        POP     DPL
        INC     DPTR
        DJNZ    R5,CHK_ERR
        MOV     DPTR,#ERR_TBL
        LCALL   ONE_LINE
        MOV     A,#0C6H
        LCALL   LCDWI
        MOV     DPTR,#0810H
        LCALL   ON_DSP
        RET

;********** SELECT DAY **********
DAY_SEL:
MON_1:
        MOV     DPTR,#MAINT1
        LCALL   TWO_LINES
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,MON_INT11
        LJMP    TUE_1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MON_INT11:
        CJNE    R0,#RETU,MON_INT21
        LJMP    GO_1
MON_INT21:
        CJNE    R0,#SEL,MON_1
        MOV     DPTR,#001H
        LCALL   PROGRAMED
        LJMP    MON_1
TUE_1:  MOV     DPTR,#MAINT2
        LCALL   TWO_LINES
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,TUE_INT11
        LJMP    WED_1
TUE_INT11:
        CJNE    R0,#RETU,TUE_INT21
        LJMP    MON_1
TUE_INT21:
        CJNE    R0,#SEL,TUE_1
        MOV     DPTR,#0101H
        LCALL   PROGRAMED
        LJMP    MON_1

WED_1:  MOV     DPTR,#MAINT3
        LCALL   TWO_LINES
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,WED_INT11
        LJMP    THU_1
WED_INT11:
        CJNE    R0,#RETU,WED_INT21
        LJMP    TUE_1
WED_INT21:
        CJNE    R0,#SEL,WED_1
        MOV     DPTR,#0201H
        LCALL   PROGRAMED
        LJMP    MON_1

THU_1:  MOV     DPTR,#MAINT4
        LCALL   TWO_LINES
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,THU_INT11
        LJMP    FRI_1
THU_INT11:
        CJNE    R0,#RETU,THU_INT21
        LJMP    WED_1
THU_INT21:
        CJNE    R0,#SEL,THU_1
        MOV     DPTR,#0301H
        LCALL   PROGRAMED
        LJMP    MON_1
FRI_1:  MOV     DPTR,#MAINT5
        LCALL   TWO_LINES
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,FRI_INT11
        LJMP    SAT_1
FRI_INT11:
        CJNE    R0,#RETU,FRI_INT21
        LJMP    THU_1
FRI_INT21:
        CJNE    R0,#SEL,FRI_1
        MOV     DPTR,#0401H
        LCALL   PROGRAMED
        LJMP    MON_1

SAT_1:
        MOV     DPTR,#MAINT6
        LCALL   TWO_LINES
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,SAT_INT11
        LJMP    SUN_1
SAT_INT11:
        CJNE    R0,#RETU,SAT_INT21
        LJMP    FRI_1
SAT_INT21:
        CJNE    R0,#SEL,SAT_1
        MOV     DPTR,#0501H
        LCALL   PROGRAMED
        LJMP    MON_1

SUN_1:  MOV     DPTR,#MAINT7
        LCALL   TWO_LINES
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LCALL   WAIT_KEY
        CJNE    R0,#FORW,SUN_INT11
        LJMP    GO_1
SUN_INT11:
        CJNE    R0,#RETU,SUN_INT21
        LJMP    SAT_1
SUN_INT21:
        CJNE    R0,#SEL,SUN_1
        MOV     DPTR,#0601H
        LCALL   PROGRAMED
        LJMP    MON_1

GO_1:   MOV     DPTR,#MAINT8
        LCALL   TWO_LINES
        LCALL   WAIT_KEY
        CJNE    R0,#RETU,GO_INT11
        LJMP    SUN_1
GO_INT11:
        CJNE    R0,#FORW,GO_INT21
        LJMP    MON_1
GO_INT21:
        CJNE    R0,#SEL,GO_1
        LJMP    SHOW_VALUE

;******** SHOW TIME AND SENSOR *******
;IN=DPTR START ADDRESS FROM SELECT DAY
;*************************************
PROGRAMED:
        PUSH    DPH
        PUSH    DPL
        LCALL   CLRLCD
        LCALL   DSP_TIME
        POP     DPL
        POP     DPH
CHK_KEY:
        LCALL   WAIT_KEY
BACK_STEP:
        CJNE    R0,#BACK,NEXT_ONE
        RET
NEXT_ONE:
        CJNE    R0,#FORW,CHK_KEY
        LCALL   INC_19
        LJMP    PROGRAMED
CLRLCD:
        MOV     A,#01H
        LCALL   LCDWI
        RET
;********** INCREASE DPTR 19 ********
;IN = DPTR
;*************************************
INC_19: MOV     R0,#13H
INC_DPTR:
        INC     DPTR
        DJNZ    R0,INC_DPTR
        RET
;*** CALL FOR DISPLAY TIME&SENSOR ****
;IN=DPTR START ADDRESS FROM SELECT DAY
;*************************************
DSP_TIME:
        MOV     A,#80H
        LCALL   LCDWI
        LCALL   DSP_TIME1
        MOV     A,#':'
        LCALL   LCDWD
        INC     DPTR
        LCALL   DSP_TIME1
        MOV     A,#' '
        LCALL   LCDWD
        INC     DPTR
        MOVX    A,@DPTR
        MOV     R0,A
        INC     DPTR
ALL_ON:
        CJNE    R0,#01H,ON
        MOV     A,#0C0H
        LCALL   LCDWI
        MOV     DPTR,#ALL_ON_DSP
        LCALL   ONE_LINE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        RET
ON:     CJNE    R0,#02H,ALL_OFF
        MOV     A,#'O'
        LCALL   LCDWD
        MOV     A,#'N'
        LCALL   LCDWD
        MOV     A,#0C0H
        LCALL   LCDWI
        LCALL   ON_DSP
        RET
ALL_OFF:
        CJNE    R0,#03H,OFF
        MOV     A,#0C0H
        LCALL   LCDWI
        MOV     DPTR,#ALL_OFF_DSP
        LCALL   ONE_LINE
        RET
OFF:    CJNE    R0,#04H,NONE
        MOV     A,#'O'
        LCALL   LCDWD
        MOV     A,#'F'
        LCALL   LCDWD
        MOV     A,#'F'
        LCALL   LCDWD
        MOV     A,#0C0H
        LCALL   LCDWI
        LCALL   OFF_DSP
        RET
NONE:   MOV     A,#'N'
        LCALL   LCDWD
        MOV     A,#'O'
        LCALL   LCDWD
        MOV     A,#'N'
        LCALL   LCDWD
        MOV     A,#'E'
        LCALL   LCDWD
        RET
DSP_TIME1:
        MOVX    A,@DPTR
        MOV     R0,A
        SWAP    A
        ANL     A,#0FH
        LCALL   DISPMEM
        MOV     A,R0
        ANL     A,#0FH
        LCALL   DISPMEM
        RET

;****** DISPLAY ON SELECTED ******
;IN = DPTR (START ADDRESS)
;OUT = OUT TO LCD DISPLAY
;*********************************
ON_DSP: MOV     R0,#00H
        MOV     R1,#00H
        MOV     R2,#08H
        MOV     R3,#00H
        MOV     R4,#00H
ON_DSP1:
        INC     R0
        INC     R1
        CLR     C
        MOV     A,R1
        ANL     A,#0FH
        CJNE    A,#0AH,NO_DA
        MOV     A,R1
        DA      A
        MOV     R1,A
        JNC     NO_DA
        MOV     R3,#01H
NO_DA:CJNE      R4,#00H,C_SET
        CLR     C
        LJMP    ROTATE
C_SET:  SETB    C
ROTATE:
        MOVX    A,@DPTR
        RRC     A
        MOVX    @DPTR,A
        JC      DSP_NUM
        MOV     R4,#00H
CHK_128:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CJNE    R0,#80H,NOT_RET
        CJNE    R4,#00H,C1_SET
        CLR     C
        LJMP    ROT
C1_SET: SETB    C
ROT:    MOVX    A,@DPTR
        RRC     A
        MOVX    @DPTR,A
        RET
NOT_RET:
        DJNZ    R2,ON_DSP1
        CJNE    R4,#00H,C2_SET
        CLR     C
        LJMP    ROT1
C2_SET: SETB    C
ROT1:   MOVX    A,@DPTR
        MOVX    A,@DPTR
        RRC     A
        MOVX    @DPTR,A
        MOV     R4,#00H
        INC     DPTR
        MOV     R2,#08H
        LJMP    ON_DSP1
DSP_NUM:
        MOV     R4,#01H
        MOV     A,R3
        LCALL   DISPMEM
        MOV     A,R1
        SWAP    A
        ANL     A,#0FH
        LCALL   DISPMEM
        MOV     A,R1
        ANL     A,#0FH
        LCALL   DISPMEM
        MOV     A,#' '
        LCALL   LCDWD
        LJMP    CHK_128

;******* DISPLAY OFF SELECTED *****
;IN = DPTR (START ADDRESS)
;**********************************
OFF_DSP:
        MOV     R0,#00H
        MOV     R1,#00H
        MOV     R2,#08H
        MOV     R3,#00H
        MOV     R4,#00H
OFF_DSP1:
        INC     R0
        INC     R1
        CLR     C
        MOV     A,R1
        ANL     A,#0FH
        CJNE    A,#0AH,NO_DA1
        MOV     A,R1
        DA      A
        MOV     R1,A
        JNC     NO_DA1
        MOV     R3,#01H
NO_DA1:
        CJNE    R4,#00H,C_SET1
        CLR     C
        LJMP    ROTATE1
C_SET1: SETB    C
ROTATE1:
        MOVX    A,@DPTR
        RRC     A
        MOVX    @DPTR,A
        JNC     DSP_NUM1
        MOV     R4,#01H
CHK_1281:
        CJNE    R0,#80H,NOT_RET1
        CJNE    R4,#00H,C1_SET1
        CLR     C
        LJMP    ROT11
C1_SET1:
        SETB    C
ROT11:  MOVX    A,@DPTR
        RRC     A
        MOVX    @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        RET
NOT_RET1:
        DJNZ    R2,OFF_DSP1
        CJNE    R4,#00H,C2_SET1
        CLR     C
        LJMP    ROT12
C2_SET1:
        SETB    C
ROT12:  MOVX    A,@DPTR
        RRC     A
        MOVX    @DPTR,A
        MOV     R4,#00H
        INC     DPTR
        MOV     R2,#08H
        LJMP    OFF_DSP1
DSP_NUM1:
        MOV     R4,#00H
        MOV     A,R3
        LCALL   DISPMEM
        MOV     A,R1
        SWAP    A
        ANL     A,#0FH
        LCALL   DISPMEM
        MOV     A,R1
        ANL     A,#0FH
        LCALL   DISPMEM
        MOV     A,#' '
        LCALL   LCDWD
        LJMP    CHK_1281

;************ SET TIME ********
;OUT = 900H STORE HR
;    902H STORE MIN
;*******************************
SET_TIME:
        MOV     A,#01H
        LCALL   LCDWI
        MOV     A,#80H
        LCALL   LCDWI
        MOV     DPTR,#TIME
        LCALL   ONE_LINE
        MOV     A,#86H
        LCALL   LCDWI
HR:     LCALL   WAIT_KEY
A1:     CJNE    R0,#BUT0,A2
        LJMP    A1_1
A2:     CJNE    R0,#BUT1,A3
        LJMP    A1_1
A3:     CJNE    R0,#BUT2,A4
        LJMP    A1_2
A4:     CJNE    R0,#BACK,HR
        SETB    BITBACK
        RET
A1_2:   MOV     A,R0
        MOV     DPTR,#900H
        MOVX    @DPTR,A
        LCALL   DISPMEM
FOUR:   LCALL   WAIT_KEY
F1:     CLR     IE.0
        CJNE    R0,#BUT0,F2
        LJMP    B2
F2:     CJNE    R0,#BUT1,F3
        LJMP    B2
F3:     CJNE    R0,#BUT2,F4
        LJMP    B2
F4:     CJNE    R0,#BUT3,F5
        LJMP    B2
F5:     CJNE    R0,#BACKS,F6
        LCALL   BACKSPACE
        LJMP    HR
F6:     CJNE    R0,#BACK,FOUR
        SETB    BITBACK
        RET
A1_1:   MOV     A,R0
        MOV     DPTR,#900H
        MOVX    @DPTR,A
        LCALL   DISPMEM
HR_BIT: LCALL   WAIT_KEY
B1:     LCALL   CHK9
        JNC     B2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CJNE    R0,#BACKS,B1_1
        LCALL   BACKSPACE
        LJMP    HR
B1_1:   CJNE    R0,#BACK,HR_BIT
        SETB    BITBACK
        RET
B2:     MOV     A,R0
        MOV     DPTR,#901H
        MOVX    @DPTR,A
        LCALL   DISPMEM
        MOV     A,#':'
        LCALL   LCDWD
MIN:    LCALL   WAIT_KEY
C1:     CJNE    R0,#BUT0,C2
        LJMP    C8
C2:     CJNE    R0,#BUT1,C3
        LJMP    C8
C3:     CJNE    R0,#BUT2,C4
        LJMP    C8
C4:     CJNE    R0,#BUT3,C5
        LJMP    C8
C5:     CJNE    R0,#BUT4,C6
        LJMP    C8
C6:     CJNE    R0,#BUT5,C7
        LJMP    C8
C7:     CJNE    R0,#BACKS,C7_1
        LCALL   BACKSPACE
        LCALL   BACKSPACE
        LJMP    HR_BIT
C7_1:   CJNE    R0,#BACK,MIN
        SETB    BITBACK
        RET
C8      MOV     A,R0
        LCALL   DISPMEM
        MOV     A,R0
        MOV     DPTR,#902H
        MOVX    @DPTR,A
MIN_BIT:
        LCALL   WAIT_KEY
D1:     LCALL   CHK9
        JNC     D2
        CJNE    R0,#BACKS,D1_1
        LCALL   BACKSPACE
        LJMP    MIN
D1_1:   CJNE    R0,#BACK,MIN_BIT
        SETB    BITBACK
        RET
D2:     MOV     A,R0
        LCALL   DISPMEM
        MOV     A,R0
        MOV     DPTR,#903H
        MOVX    @DPTR,A
        MOV     A,#' '
        LCALL   LCDWD
        MOV     A,#'O'
        LCALL   LCDWD
        MOV     A,#'K'
        LCALL   LCDWD
        MOV     A,#'-'
        LCALL   LCDWD
        MOV     A,#'1'
        LCALL   LCDWD
OK:     LCALL   WAIT_KEY
        CLR     BITBACK
E1:     CJNE    R0,#BUT1,E2
        LJMP    SET_ADDRESS
E2:     CJNE    R0,#BACK,E3
        SETB    BITBACK
        RET
E3:     CJNE    R0,#BACKS,OK
        LCALL   BACKSPACE
        LCALL   BACKSPACE
        LCALL   BACKSPACE
        LCALL   BACKSPACE
        LCALL   BACKSPACE
        LCALL   BACKSPACE
        LJMP    MIN_BIT
SET_ADDRESS:
        MOV     DPTR,#901H
        MOVX    A,@DPTR
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ANL     A,#0FH
        MOV     R1,A
        MOV     DPTR,#900H
        MOVX    A,@DPTR
        ANL     A,#0FH
        SWAP    A
        ORL     A,R1
        MOVX    @DPTR,A
        MOV     DPTR,#903H
        MOVX    A,@DPTR
        ANL     A,#0FH
        MOV     R1,A
        MOV     DPTR,#902H
        MOVX    A,@DPTR
        ANL     A,#0FH
        SWAP    A
        ORL     A,R1
        MOVX    @DPTR,A
        RET

;********* CHECK 9 TIMES *******
CHK9:   SETB    C
        CJNE    R0,#BUT0,CHK91
        LJMP    C_0
CHK91:  CJNE    R0,#BUT1,CHK92
        LJMP    C_0
CHK92:  CJNE    R0,#BUT2,CHK93
        LJMP    C_0
CHK93:  CJNE    R0,#BUT3,CHK94
        LJMP    C_0
CHK94:  CJNE    R0,#BUT4,CHK95
        LJMP    C_0
CHK95:  CJNE    R0,#BUT5,CHK96
        LJMP    C_0
CHK96:  CJNE    R0,#BUT6,CHK97
        LJMP    C_0
CHK97:  CJNE    R0,#BUT7,CHK98
        LJMP    C_0
CHK98:  CJNE    R0,#BUT8,CHK99
        LJMP    C_0
CHK99:  CJNE    R0,#BUT9,CHK100
        LJMP    C_0
CHK100: SETB    C
        RET
C_0:    CLR     C
        RET
;**********BACKSPACE*********
BACKSPACE:
        MOV     A,#00010000B
        LCALL   LCDWI
        MOV     A,#00000100B
        LCALL   LCDWI
        MOV     A,#0FEH
        LCALL   LCDWD
        MOV     A,#00000110B
        LCALL   LCDWI
        MOV     A,#00010100B
        LCALL   LCDWI
        RET

TIME:   DB ' TIME       '

;******** WAIT KEY ***********
;OUT = R0 (KEY VALUE)
;*****************************
WAIT_KEY:
        SETB    IE.0
        MOV     R4,#00H
        MOV     R0,#00H
WAIT_KEY1:
        CJNE    R4,#00H,WAIT_KEY2
        LJMP    WAIT_KEY1
WAIT_KEY2:
        CLR     IE.0
        RET

;******** DISPLAY ONE LINE ******
;IN = START TABLE ONE LINE
;*********************************
ONE_LINE:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DALLAS SEMICONDUCTOR

DS1202, DS1202S
Serial Timekeeping Chip

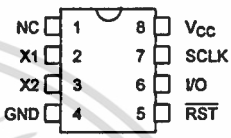
FEATURES

- Real time clock counts seconds, minutes, hours, date of the month, month, day of the week, and year with leap year compensation
- 24 x 8 RAM for scratchpad data storage
- Serial I/O for minimum pin count
- 2.0-5.5 volt full operation
- Uses less than 300 nA at 2 volts
- Single-byte or multiple-byte (burst mode) data transfer for read or write of clock or RAM data
- 8-pin DIP or optional 16-pin SOIC for surface mount
- Simple 3-wire interface
- TTL-compatible (V_{CC} = 5V)
- Optional industrial temperature range -40°C to +85°C

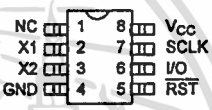
ORDERING INFORMATION

DS1202	8–pin DIP
DS1202S	16–pin SOIC
DS1202S8	8–pin SOIC

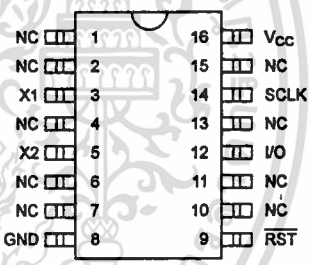
PIN ASSIGNMENT



8 PIN DIP



8–PIN SOIC (208 mil)



16–PIN SOIC

PIN DESCRIPTION

NC	–	No Connection
X1, X2	–	32.768 KHz Crystal Input
GND	–	Ground
$\overline{RST}$	–	Reset
I/O	–	Data Input/Output
SCLK	–	Serial Clock
V_{CC}	–	Power Supply Pin

DESCRIPTION

The DS1202 Serial Timekeeping Chip contains a real time clock/calendar and 24 bytes of static RAM. It communicates with a microprocessor via a simple serial interface. The real time clock/calendar provides seconds, minutes, hours, day, date, month, and year information. The end of the month date is automatically adjusted for months with less than 31 days, including corrections for leap year. The clock operates in either the 24-hour or 12-hour format with an AM/PM indicator. Interfacing the DS1202 with a microprocessor is simplified by using synchronous serial communication. Only three wires are required to communicate with the clock/RAM: (1) $\overline{RST}$ (Reset), (2) I/O (Data line), and (3) SCLK (Serial clock). Data can be transferred to and from the clock/

©Copyright 1995 by Dallas Semiconductor Corporation.
All Rights Reserved. For important information regarding patents and other intellectual property rights, please refer to Dallas Semiconductor data books.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RAM one byte at a time or in a burst of up to 24 bytes. The DS1202 is designed to operate on very low power and retain data and clock information on less than 1 microwatt.

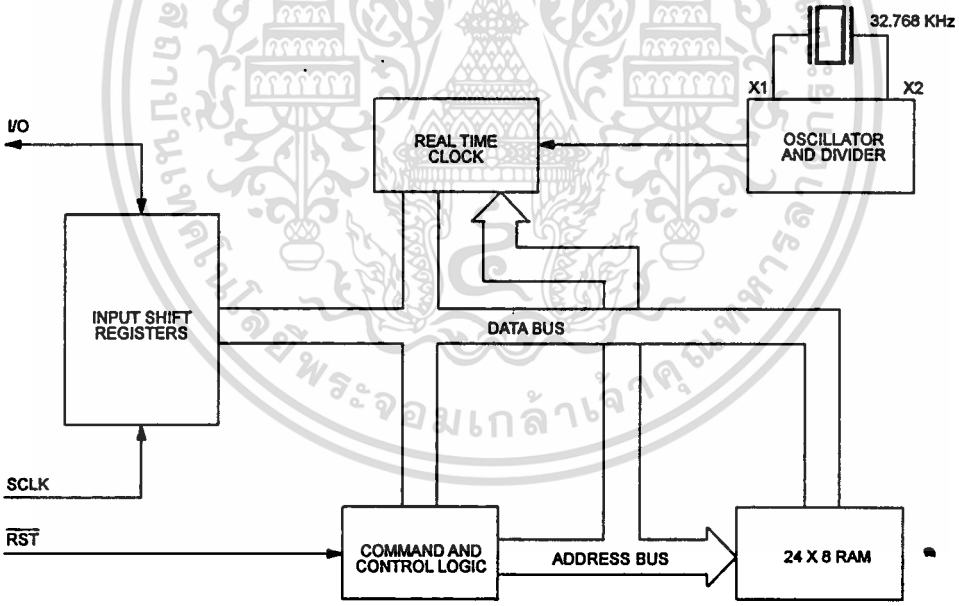
OPERATION

The main elements of the Serial Timekeeper are shown in Figure 1: shift register, control logic, oscillator, real time clock, and RAM. To initiate any transfer of data, $\overline{RST}$ is taken high and eight bits are loaded into the shift register providing both address and command information. Data is serially input on the rising edge of the SCLK. The first eight bits specify which of 32 bytes will be accessed, whether a read or write cycle will take place, and whether a byte or burst mode transfer is to occur. After the first eight clock cycles have occurred which load the command word into the shift register, additional clocks will output data for a read or input data for a write. The number of clock pulses equals eight plus eight for byte mode or eight plus up to 192 for burst mode.

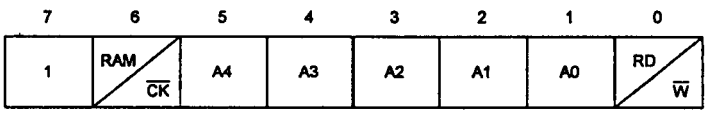
COMMAND BYTE

The command byte is shown in Figure 2. Each data transfer is initiated by a command byte. The MSB (Bit 7) must be a logic 1. If it is zero, further action will be terminated. Bit 6 specifies clock/calendar data if logic 0 or RAM data if logic 1. Bits one through five specify the designated registers to be input or output, and the LSB (Bit 0) specifies a write operation (input) if logic 0 or read operation (output) if logic 1. The command byte is always input starting with the LSB (bit 0).

DS1202 BLOCK DIAGRAM Figure 1



ADDRESS/COMMAND BYTE Figure 2



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

RESET AND CLOCK CONTROL

All data transfers are initiated by driving the $\overline{RST}$ input high. The $\overline{RST}$ input serves two functions. First, $\overline{RST}$ turns on the control logic which allows access to the shift register for the address/command sequence. Second, the $\overline{RST}$ signal provides a method of terminating either single byte or multiple byte data transfer. A clock cycle is a sequence of a falling edge followed by a rising edge. For data inputs, data must be valid during the rising edge of the clock and data bits are output on t he falling edge of clock. All data transfer terminates if the $\overline{RST}$ input is low and the I/O pin goes to a high impedance state. Data transfer is illustrated in Figure 3.

DATA INPUT

Following the eight SCLK cycles that input a write command byte, a data byte is input on the rising edge of the next eight SCLK cycles. Additional SCLK cycles are ignored should they inadvertently occur. Data is input starting with bit 0.

DATA OUTPUT

Following the eight SCLK cycles that input a read command byte, a data byte is output on the falling edge of the next eight SCLK cycles. Note that the first data bit to be transmitted occurs on the first falling edge after the last bit of the command byte is written. Additional SCLK cycles retransmit the data bytes should they inadvertently occur so long as $\overline{RST}$ remains high. This operation permits continuous burst mode read capability. Data is output starting with bit 0.

BURST MODE

Burst mode may be specified for either the clock/calendar or the RAM registers by addressing location 31 decimal (address/command bits one through five = logical one). As before, bit six specified clock or RAM and bit 0 specifies read or write. There is no data storage capacity at locations 8 through 31 in the Clock/Calendar Registers or locations 24 through 31 in the RAM registers. When writing to the clock registers in the burst mode, the first eight registers must be written in order for the data to be transferred.

However, when writing to RAM in burst mode it is not necessary to write all 24 bytes for the data to transfer. Each byte that is written to will be transferred to RAM regardless of whether all 24 bytes are written or not.

CLOCK/CALENDAR

The clock/calendar is contained in eight write/read registers as shown in Figure 4. Data contained in the clock/calendar registers is in binary coded decimal format (BCD).

CLOCK HALT FLAG

Bit 7 of the seconds register is defined as the clock halt flag. When this bit is set to logic 1, the clock oscillator is stopped and the DS1202 is placed into a low-power standby mode with a current drain of not more than 100 nanoamps. When this bit is written to logic 0, the clock will start.

AM-PM/12-24 MODE

Bit 7 of the hours register is defined as the 12- or 24-hour mode select bit. When high, the 12-hour mode is selected. In the 12-hour mode, bit 5 is the AM/PM bit with logic high being PM. In the 24-hour mode, bit 5 is the second 10 hour bit (20-23 hours).

WRITE PROTECT REGISTER

Bit 7 of write protect register is the write protect bit. The first seven bits (bits 0-6) are forced to zero and will always read a zero when read. Before any write operation to the clock or RAM, bit 7 must be zero. When high, the write protect bit prevents a write operation to any other register.

CLOCK/CALENDAR BURST MODE

The clock/calendar command byte specifies burst mode operation. In this mode the eight clock/calendar registers can be consecutively read or written (see Figure 4) starting with bit 0 of address 0.

RAM

The static RAM is 24 x 8 bytes addressed consecutively in the RAM address space.

RAM BURST MODE

The RAM command byte specifies burst mode operation. In this mode, the 24 RAM registers can be consecutively read or written (see Figure 4) starting with bit 0 of address 0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

REGISTER SUMMARY

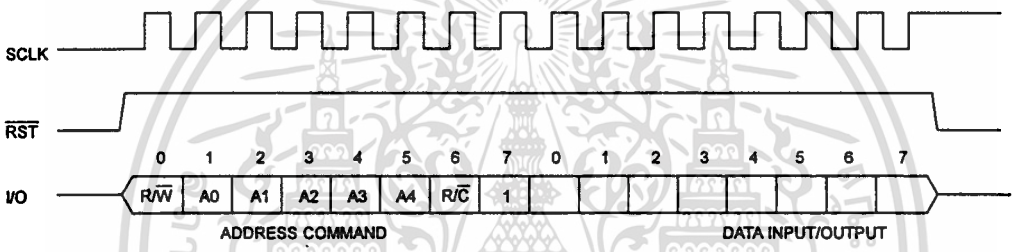
A register data format summary is shown in Figure 4.

CRYSTAL SELECTION

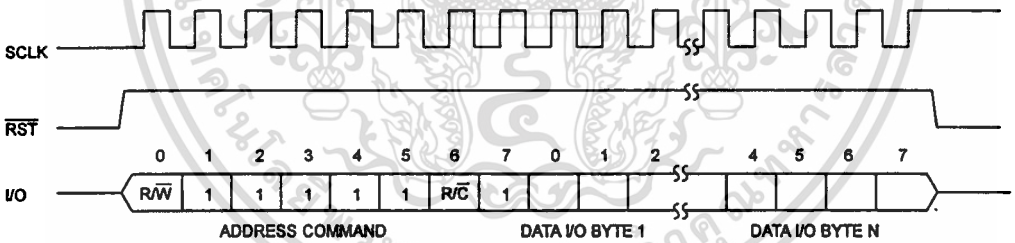
A 32.768 KHz crystal, Daiwa Part No. DT26S, Seiko Part No. DS-VT-200 or equivalent, can be directly connected to the DS1202 via pins 2 and 3 (X1, X2). The crystal selected for use should have a specified load capacitance (CL) of 6 pF. The crystal is connected directly to the X1 and X2 pins. There is no need for external capacitors or resistors. Note: X1 and X2 are very high impedance nodes. It is recommended that they and the crystal be guard–ringed with ground and that high frequency signals be kept away from the crystal area. For more information on crystal selection and crystal layout considerations, please consult Application Note 58, "Crystal Considerations with Dallas Real Time Clocks".

DATA TRANSFER SUMMARY Figure 3

SINGLE BYTE TRANSFER



BURST MODE TRANSFER



FUNCTION	BYTE N	SCLK n
CLOCK	8	72
RAM	24	200

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

19-0218; Rev 2; 4/95

MAXIM

Microprocessor Supervisory Circuits

General Description

The MAX690 Family of supervisory circuits reduce the complexity and number of components required for power supply monitoring and battery control functions in microprocessor systems. These include μP reset and backup-battery switchover, watchdog timer, CMOS RAM write protection, and power-failure warning. The MAX690 Family significantly improves system reliability and accuracy compared to that obtainable with separate ICs or discrete components.

The MAX690, MAX692 and MAX694 are supplied in 8-pin packages and provide four functions:
1) A Reset output during power-up, power-down and brownout conditions.
2) Battery backup switching for CMOS RAM, CMOS microprocessor or other low power logic.
3) A Reset pulse if the optional watchdog timer has not been toggled within a specified time.
4) A 1.3V threshold detector for power fail warning, low battery detection, or to monitor a power supply other than +5V.

The MAX691, MAX693 and MAX695 are supplied in 16-pin packages and perform all MAX690/692/694 functions, plus:
1) Write protection of CMOS RAM or EEPROM.
2) Adjustable reset and watchdog timeout periods.
3) Separate outputs for indicating a watchdog timeout, backup-battery switchover, and low V_{CC}.

Applications

Computers
Controllers
Intelligent Instruments
Automotive Systems
Critical μP Power Monitoring

Features

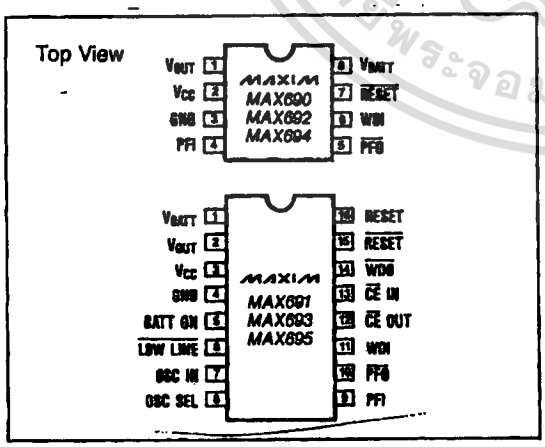
- ◆ **Precision Voltage Monitor**
  4.65V in MAX690, MAX691, MAX694 and MAX695
  4.40V in MAX692 and MAX693
- ◆ **Power OK/Reset Time Delay – 50, 200ms, or adjustable**
- ◆ **Watchdog Timer – 100ms, 1.6 sec, or adjustable**
- ◆ **Minimum Component Count**
- ◆ **1μA Standby Current**
- ◆ **Battery Backup Power Switching**
- ◆ **Onboard Gating of Chip Enable Signals**
- ◆ **Voltage Monitor for Power Fail or Low Battery Warning**

Ordering Information

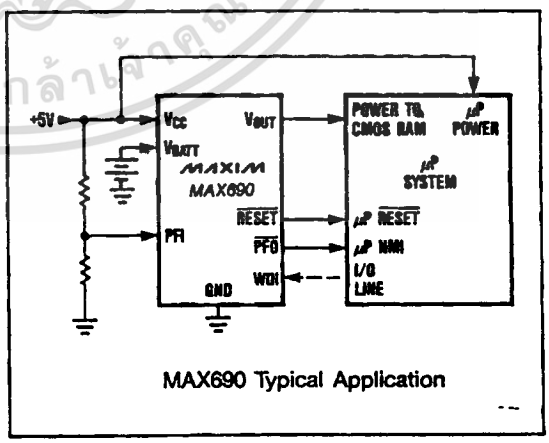
PART	TEMP. RANGE	PIN-PACKAGE
MAX690CPA	0°C to +70°C	8 Lead Plastic DIP
MAX690C/D	0°C to +70°C	Dice*
MAX690EPA	-40°C to +85°C	8 Lead Plastic DIP
MAX690EJA	-40°C to +85°C	8 Lead CERDIP
MAX690MJA	-55°C to +125°C	8 Lead CERDIP
MAX691CPE	0°C to +70°C	16 Lead Plastic DIP
MAX691CWE	0°C to +70°C	16 Lead Wide SO
MAX69C/D	0°C to +70°C	Dice*
MAX691EPE	-40°C to +85°C	16 Lead Plastic DIP
MAX691EWE	-40°C to +85°C	16 Lead Wide SO
MAX691EJE	-40°C to +85°C	16 Lead CERDIP
MAX691MJE	-55°C to +125°C	16 Lead CERDIP

Ordering Information continued on last page.
**Contact factory for dice specifications.*

Pin Configuration



Typical Operating Circuit



MAX690 Typical Application

Call toll free 1-800-998-8800 for free samples or literature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

MAX691, MAX693 and MAX695

A typical connection for the MAX691/693/695 is shown in Figure 1. CMOS RAM is powered from V_{OUT}. V_{OUT} is internally connected to V_{CC} when 5V power is present, or to V_{BATT} when V_{CC} is less than the battery voltage. V_{OUT} can supply 50mA from V_{CC}, but if more current is required, an external PNP transistor can be added. When V_{CC} is higher than V_{BATT}, the BATT ON output goes low, providing 25mA of base drive for the external transistor. When V_{CC} is lower than V_{BATT}, an internal 200Ω MOSFET connects the backup battery to V_{OUT}. The quiescent current in the battery backup mode is 1μA maximum when V_{CC} is between 0V and V_{BATT}–700mV.

Reset Output

A voltage detector monitors V_{CC} and generates a RESET output to hold the microprocessor's Reset line low when V_{CC} is below 4.65V (4.4V for MAX693). An internal monostable holds RESET low for 50ms* after V_{CC} rises above 4.65V (4.4V for MAX693). This prevents repeated toggling of RESET even if the 5V power drops out and recovers with each power line cycle.

The crystal oscillator normally used to generate the clock for microprocessors takes several milliseconds to start. Since most microprocessors need several clock cycles to reset, RESET must be held low until the microprocessor clock oscillator has started. The MAX690 Family power-up RESET pulse lasts 50ms* to allow for this oscillator start-up time. The manual reset switch and the 0.1μF capacitor connected to the reset bus can be omitted if manual reset is not needed. An inverted, active high, RESET output is also supplied.

Power Fail Detector

The MAX691/93/95 issues a non-maskable interrupt (NMI) to the microprocessor when a power failure occurs. The +5V power line is monitored via two external resistors connected to the Power Fail Input (PFI). When the voltage at PFI falls below 1.3V, the Power Fail Output (PFO) drives the processor's NMI input low. If a Power Fail threshold of 4.8V is chosen, the microprocessor will have the time when V_{CC} fails from 4.8V to 4.65V to save data into RAM. An earlier power fail warning can be generated if the unregulated DC input of the 5V regulator is available for monitoring.

RAM Write Protection

The MAX691/93/95 CE OUT line drives the Chip Select inputs of the CMOS RAM. CE OUT follows CE IN as long as V_{CC} is above the 4.65V (4.4V for MAX693) reset threshold. If V_{CC} falls below the reset threshold, CE OUT goes high, independent of the logic level at CE IN. This prevents the microprocessor from writing erroneous data into RAM during power-up, power-down, brownouts, and momentary power interruptions. The LOW LINE output goes low when V_{CC} falls below 4.65V (4.4V for MAX693).

*200ms for MAX695

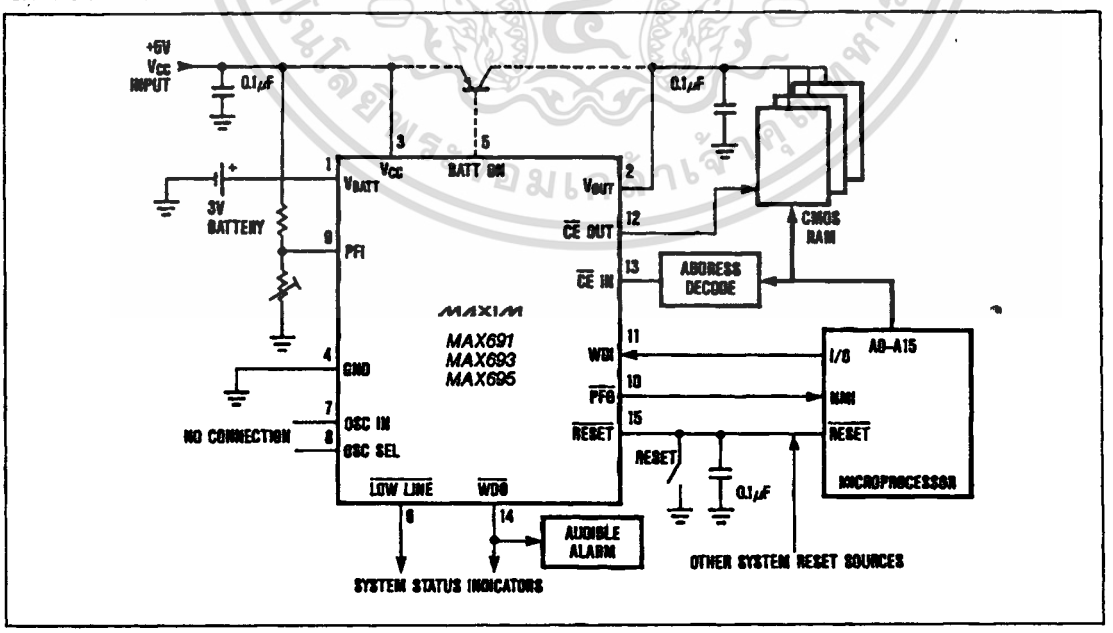


Figure 1. MAX691/693/695 Typical Application

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Microprocessor Supervisory Circuits

Watchdog Timer

The microprocessor drives the WATCHDOG INPUT (WDI) with an I/O line. When OSC IN and OSC SEL are unconnected, the microprocessor must toggle the WDI pin once every 1.6 seconds to verify proper software execution. If a hardware or software failure occurs such that WDI not toggled, the MAX691/93 will issue a 50ms* RESET pulse after 1.6 seconds. This typically restarts the microprocessor's power-up routine. A new RESET pulse is issued every 1.6 seconds until WDI is again strobed.

The WATCHDOG OUTPUT ($\overline{WDO}$) goes low if the watchdog timer is not serviced within its timeout period. Once WDO goes low it remains low until a transition occurs at WDI. The watchdog timer feature can be disabled by leaving WDI unconnected. OSC IN and OSC SEL also allow other watchdog timing options, as shown in Table 1 and Figure 8.

MAX690, MAX692 and MAX694

The 8 pin MAX690, MAX692 and MAX694 have most of the features of the MAX691, MAX693 and MAX695.

*200ms for MAX695

Figure 2 shows the MAX690/692/694 in a typical application. Operation is much the same as with the MAX691/693/695 (Figure 1) but in this case the Power Fail Input (PFI) monitors the unregulated input to the 7805 regulator. The MAX690/694 RESET output goes low when V_{CC} falls below 4.65V. The RESET output of the MAX692 goes low when V_{CC} drops below 4.4V.

The current consumption of the battery-backed-up power bus must be less than 50mA.. The MAX690/692/694 does not have a BATT ON output to drive an external transistor. The MAX690/92/94 also does not include chip enable gating circuitry that is available on the MAX691/93/95. In many systems though, CE gating is not needed since a low input to the microprocessor $\overline{RESET}$ line prevents the processor from writing to RAM during power-up and power-down transients.

The MAX690/92/94 watchdog timer has a fixed 1.6 second timeout period. If WDI remains either low or high for more than 1.6 seconds, a RESET pulse is sent to the microprocessor. The watchdog timer is disabled if WDI is left floating.

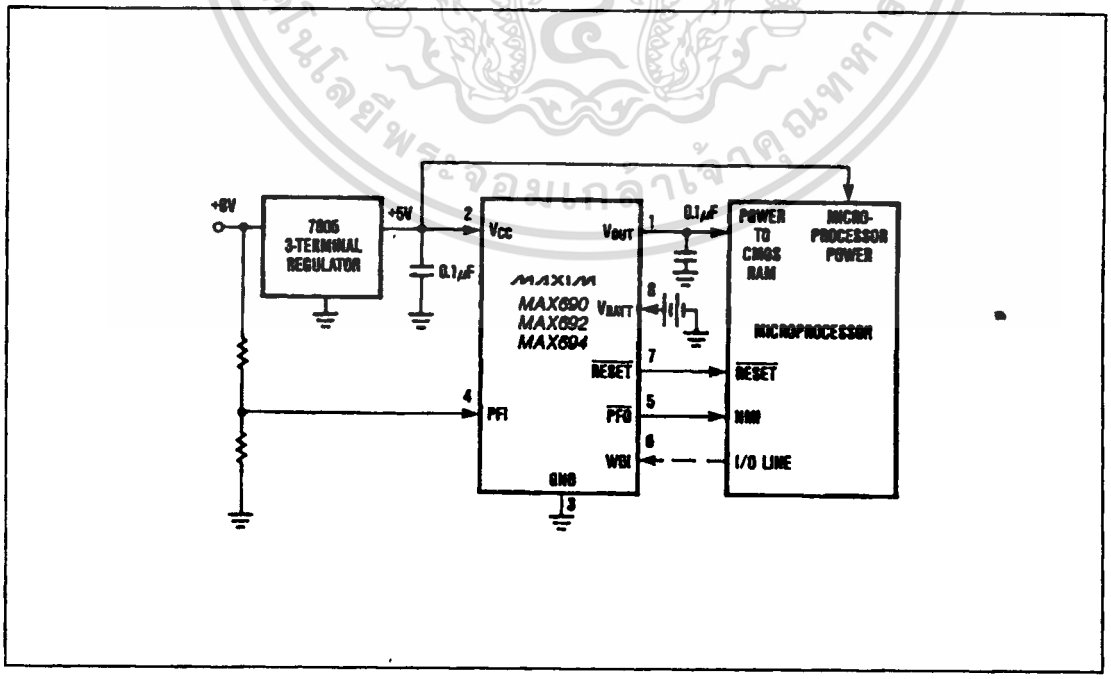


Figure 2. MAX690/692/694 Typical Application

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Detailed Description

Battery-Switchover and VOUT

The battery switchover circuit compares V_{CC} to the V_{BATT} input, and connects V_{OUT} to whichever is higher. Switchover occurs when V_{CC} is 50mV greater than V_{BATT} as V_{CC} falls, and when V_{CC} is 70mV more than V_{BATT} as V_{CC} rises (see Figure 4). The switchover comparator has 20mV of hysteresis to prevent repeated, rapid switching if V_{CC} falls very slowly or remains nearly equal to the battery voltage.

When V_{CC} is higher than V_{BATT}, V_{CC} is internally switched to V_{OUT} via a low saturation PNP transistor. V_{OUT} has 50mA output current capability. Use an external PNP pass transistor in parallel with internal transistor if the output current requirement at V_{OUT} exceeds 50mA or if a lower V_{CC}-V_{OUT} voltage differential is desired. The BATT ON output (MAX691/693/695 only) can directly drive the base of the external transistor.

It should be noted that the MAX690/91/92/93/94/95 need only supply the average current drawn by the CMOS RAM if there is adequate filtering. Many RAM data sheets specify a 75mA maximum supply current, but this peak current spike lasts only 100ns. A 0.1µF bypass capacitor at V_{OUT} supplies the high instantaneous current, while V_{OUT} need only supply the average load current, which is much less. A capacitance of 0.1µF or greater must be connected to the V_{OUT} terminal to ensure stability.

A 200Ω MOSFET connects the V_{BATT} input to V_{OUT} during battery backup. This MOSFET has very low input-to-output differential (dropout voltage) at the low current levels required for battery backup of CMOS RAM or other low power CMOS circuitry. When V_{CC} equals V_{BATT} the supply current is typically 12µA. When V_{CC} is between 0V and (V_{BATT} – 700mV) the typical supply current is only 600nA typical, 1µA maximum.

The MAX690/MAX691/MAX694/MAX695 operate with battery voltages from 2.0V to 4.25V while the MAX692/MAX693 operate with battery voltages from 2.0V to 4.0V. High value capacitors can also be used for short-term memory backup. External circuitry is required to ensure that the capacitor voltage does not rise above the reset threshold, and that the charging resistor does not discharge the capacitor when in backup mode. The MAX691A and the MAX791 provide solutions requiring fewer external components.

A small charging current of typically 10nA (0.1µA max) flows out of the V_{BATT} terminal. This current varies with the amount of current that is drawn from V_{OUT} but its polarity is such that the backup battery is always slightly charged, and is never discharged while V_{CC} is in its operating voltage range. This extends the shelf life of the backup battery by compensating for its self-discharge current. Also note that this current poses no problem when lithium batteries are used for backup since the maximum charging current (0.1µA) is safe for even the smallest lithium cells.

If the battery-switchover section is not used, connect V_{BATT} to GND and connect V_{OUT} to V_{CC}. Table 2 shows the state of the inputs and output in the low power battery backup mode.

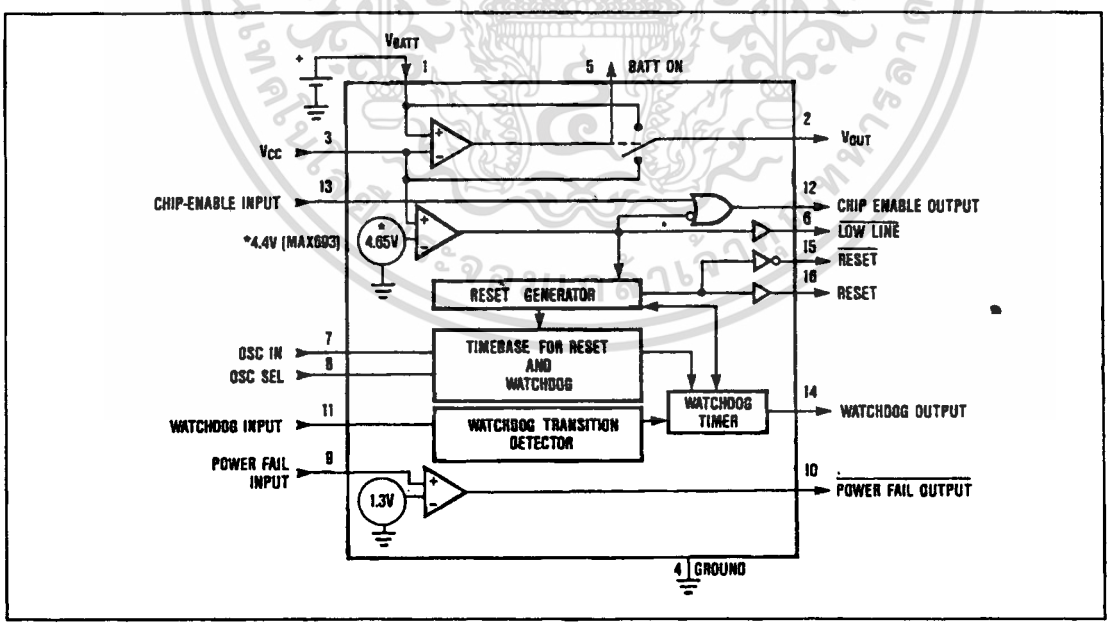


Figure 3. MAX691/693/695 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

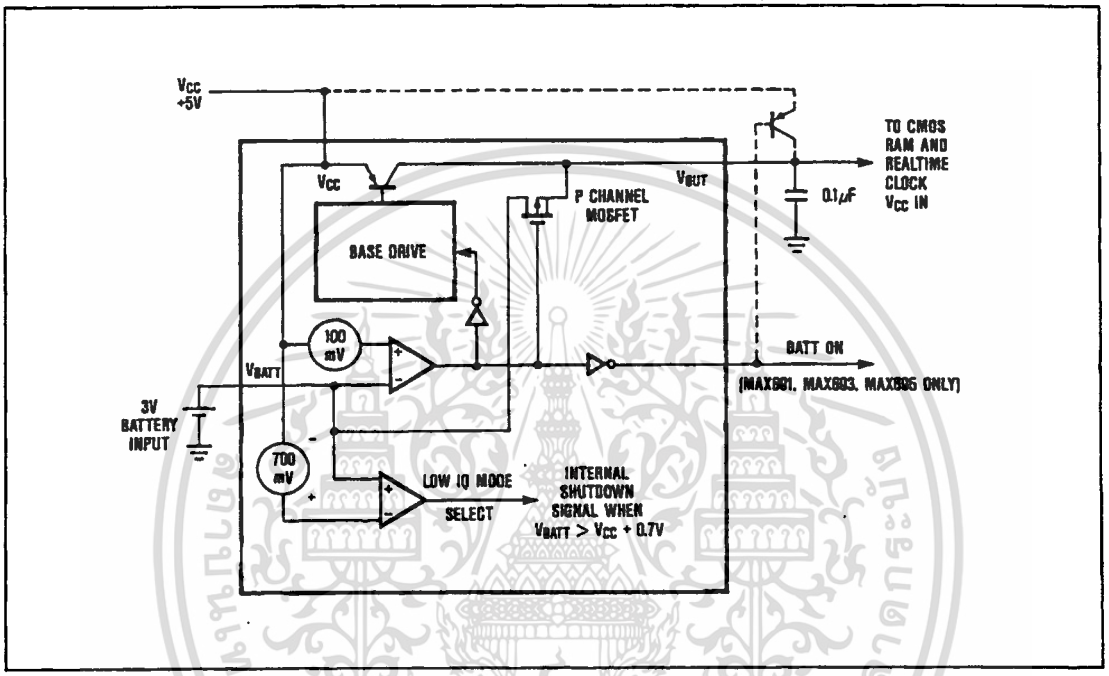


Figure 4. Battery-Switchover Block Diagram

Reset Output

$\overline{\text{RESET}}$ is an active low output which goes low whenever V_{CC} falls below 4.5V (MAX690/691/694/695) or 4.25V (MAX692/693). It will remain low until V_{CC} rises above 4.75V (MAX690/691/694/695) or 4.5V (MAX692/693) for 50 milliseconds*. See Figures 5 and 6.

The guaranteed minimum and maximum thresholds of the MAX690/691/694/695 are 4.5V and 4.75V, while the guaranteed thresholds of the MAX692/693 are 4.25V and 4.5V. The MAX690/691/694/695 is compatible with 5V supplies with a +10%, −5% tolerance while the MAX692/693 is compatible with 5V±10% supplies. The reset threshold comparator has approximately 50mV of hysteresis, with a nominal threshold of 4.65V in the MAX690/691/694/695, and 4.4V in the MAX692/693.

The response time of the reset voltage comparator is about 100μs. V_{CC} should be bypassed to ensure that glitches do not activate the $\overline{\text{RESET}}$ output.

$\overline{\text{RESET}}$ also goes low if the Watchdog Timer is enabled and WDI remains either high or low longer than the watchdog timeout period. $\overline{\text{RESET}}$ has an internal 3μA pullup, and can either connect to an open collector Reset bus or directly drive a CMOS gate without an external pullup resistor.

**200ms for MAX694 and MAX695*

$\overline{\text{CE}}$ Gating and RAM Write Protection

The MAX691, MAX693 and MAX695 use two pins to control the Chip Enable or Write inputs of CMOS RAMs. When V_{CC} is +5V, $\overline{\text{CE}}$ OUT is a buffered replica of $\overline{\text{CE}}$ IN, with a 50ns propagation delay. If V_{CC} input falls below 4.65V (4.5V min, 4.75V max) an internal gate forces $\overline{\text{CE}}$ OUT high, independent of $\overline{\text{CE}}$ IN. The MAX693 $\overline{\text{CE}}$ OUT goes high whenever V_{CC} is below 4.4V (4.25V min, 4.5V max). The $\overline{\text{CE}}$ output of both devices is also forced high when V_{CC} is less than V_{BATT}. (See Figure 5.)

$\overline{\text{CE}}$ OUT typically drives the $\overline{\text{CE}}$, $\overline{\text{CS}}$, or $\overline{\text{Write}}$ input of battery backed up CMOS RAM. This ensures the integrity of the data in memory by preventing write operations when V_{CC} is at an invalid level. Similar protection of EEPROMs can be achieved by using the $\overline{\text{CE}}$ OUT to drive the Store or Write inputs of an EEPROM, EAROM, or NOVRAM.

If the 50ns typical propagation delay of $\overline{\text{CE}}$ OUT is too long, connect $\overline{\text{CE}}$ IN to GND and use the resulting $\overline{\text{CE}}$ OUT to control a high speed external logic gate. A second alternative is to AND the LOW LINE output with the $\overline{\text{CE}}$ or WR signal. An external logic gate and the $\overline{\text{RESET}}$ output of the MAX690/692/694 can also be used for CMOS RAM write protection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

National Semiconductor

July 1993

MM54C922/MM74C922 16-Key Encoder
MM54C923/MM74C923 20-Key Encoder

General Description

These CMOS key encoders provide all the necessary logic to fully encode an array of SPST switches. The keyboard scan can be implemented by either an external clock or external capacitor. These encoders also have on-chip pull-up devices which permit switches with up to 50 kΩ on resistance to be used. No diodes in the switch array are needed to eliminate ghost switches. The internal debounce circuit needs only a single external capacitor and can be defeated by omitting the capacitor. A Data Available output goes to a high level when a valid keyboard entry has been made. The Data Available output returns to a low level when the entered key is released, even if another key is depressed. The Data Available will return high to indicate acceptance of the new key after a normal debounce period; this two-key rollover is provided between any two switches.

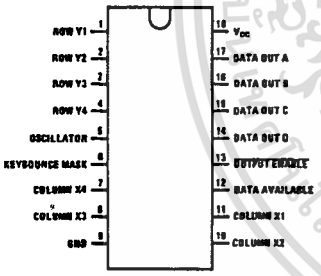
An internal register remembers the last key pressed even after the key is released. The TRI-STATE® outputs provide for easy expansion and bus operation and are LPTTL compatible.

Features

- 50 kΩ maximum switch on resistance
- On or off chip clock
- On-chip row pull-up devices
- 2 key roll-over
- Keybounce elimination with single capacitor
- Last key register at outputs
- TRI-STATE outpust LPTTL compatible
- Wide supply range 3V to 15V
- Low power consumption

Connection Diagrams

Pin Assignment for Dual-In-Line Package

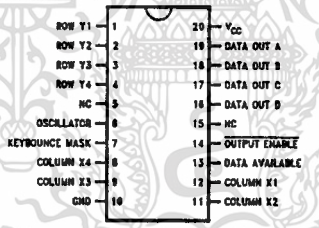


TL/F/6037–1

Top View

Order Number MM54C922 or MM74C922

Pin Assignment for SOIC

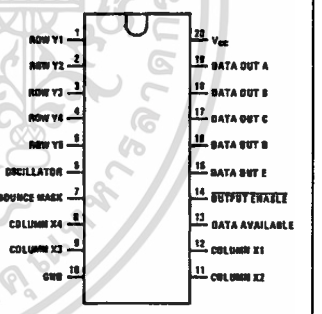


TL/F/6037–14

Top View

Order Number MM74C922

Pin Assignment for DIP and SOIC Package



TL/F/6037–2

Top View

Order Number MM54C923 or MM74C923

TRI-STATE® is a registered trademark of National Semiconductor Corporation.

©1995 National Semiconductor Corporation

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Voltage at Any Pin	V_{CC} − 0.3V to V_{CC} + 0.3V
Operating Temperature Range	
MM54C922, MM54C923	−55°C to +125°C
MM74C922, MM74C923	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Operating V_{CC} Range	3V to 15V
V_{CC}	18V
Lead Temperature	
(Soldering, 10 seconds)	260°C

DC Electrical Characteristics Min/Max limits apply across temperature range unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CMOS TO CMOS						
V_{T+}	Positive-Going Threshold Voltage at Osc and KBM Inputs	V_{CC} = 5V, I_{IN} ≥ 0.7 mA	3.0	3.6	4.3	V
		V_{CC} = 10V, I_{IN} ≥ 1.4 mA	6.0	6.8	8.6	V
		V_{CC} = 15V, I_{IN} ≥ 2.1 mA	9.0	10	12.9	V
V_{T-}	Negative-Going Threshold Voltage at Osc and KBM Inputs	V_{CC} = 5V, I_{IN} ≥ 0.7 mA	0.7	1.4	2.0	V
		V_{CC} = 10V, I_{IN} ≥ 1.4 mA	1.4	3.2	4.0	V
		V_{CC} = 15V, I_{IN} ≥ 2.1 mA	2.1	5	6.0	V
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	V_{CC} = 5V	3.5	4.5		V
		V_{CC} = 10V	8.0	9		V
		V_{CC} = 15V	12.5	13.5		V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	V_{CC} = 5V		0.5	1.5	V
		V_{CC} = 10V		1	2	V
		V_{CC} = 15V		1.5	2.5	V
I_{rp}	Row Pull-Up Current at Y1, Y2, Y3, Y4 and Y5 Inputs	V_{CC} = 5V, V_{IN} = 0.1 V_{CC}		−2	−5	μA
		V_{CC} = 10V		−10	−20	μA
		V_{CC} = 15V		−22	−45	μA
$V_{OUT(1)}$	Logical "1" Output Voltage	V_{CC} = 5V, I_O = −10 μA	4.5			V
		V_{CC} = 10V, I_O = −10 μA	9			V
		V_{CC} = 15V, I_O = −10 μA	13.5			V
$V_{OUT(0)}$	Logical "0" Output Voltage	V_{CC} = 5V, I_O = 10 μA			0.5	V
		V_{CC} = 10V, I_O = 10 μA			1	V
		V_{CC} = 15V, I_O = 10 μA			1.5	V
R_{on}	Column "ON" Resistance at X1, X2, X3 and X4 Outputs	V_{CC} = 5V, V_O = 0.5V		500	1400	Ω
		V_{CC} = 10V, V_O = 1V		300	700	Ω
		V_{CC} = 15V, V_O = 1.5V		200	500	Ω
I_{CC}	Supply Current Osc at 0V, (one Y low)	V_{CC} = 5V		0.55	1.1	mA
		V_{CC} = 10V		1.1	1.9	mA
		V_{CC} = 15V		1.7	2.6	mA
$I_{IN(1)}$	Logical "1" Input Current at $\overline{\text{Output Enable}}$	V_{CC} = 15V, V_{IN} = 15V		0.005	1.0	μA
$I_{IN(0)}$	Logical "0" Input Current at $\overline{\text{Output Enable}}$	V_{CC} = 15V, V_{IN} = 0V	−1.0	−0.005		μA
CMOS/LPTTL INTERFACE						
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	54C, V_{CC} = 4.5V	V_{CC} − 1.5			V
		74C, V_{CC} = 4.75V	V_{CC} − 1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	54C, V_{CC} = 4.5V			0.8	V
		74C, V_{CC} = 4.75V			0.8	V
$V_{OUT(1)}$	Logical "1" Output Voltage	54C, V_{CC} = 4.5V, I_O = −360 μA	2.4			V
		74C, V_{CC} = 4.75V, I_O = −360 μA	2.4			V
$V_{OUT(0)}$	Logical "0" Output Voltage	54C, V_{CC} = 4.5V, I_O = −360 μA			0.4	V
		74C, V_{CC} = 4.75V, I_O = −360 μA			0.4	V

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

DC Electrical Characteristics

Min/Max limits apply across temperature range unless otherwise specified (Continued)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
OUTPUT DRIVE (See 54C/74C Family Characteristics Data Sheet) (Short Circuit Current)						
I_{SOURCE}	Output Source Current (P-Channel)	V_{CC} = 5V, V_{OUT} = 0V, T_A = 25°C	−1.75	−3.3		mA
I_{SOURCE}	Output Source Current (P-Channel)	V_{CC} = 10V, V_{OUT} = 0V, T_A = 25°C	−8	−15		mA
I_{SINK}	Output Sink Current (N-Channel)	V_{CC} = 5V, V_{OUT} = V_{CC}, T_A = 25°C	1.75	3.6		mA
I_{SINK}	Output Sink Current (N-Channel)	V_{CC} = 10V, V_{OUT} = V_{CC}, T_A = 25°C	8	16		mA

AC Electrical Characteristics* T_A = 25°C, C_L = 50 pF, unless otherwise noted

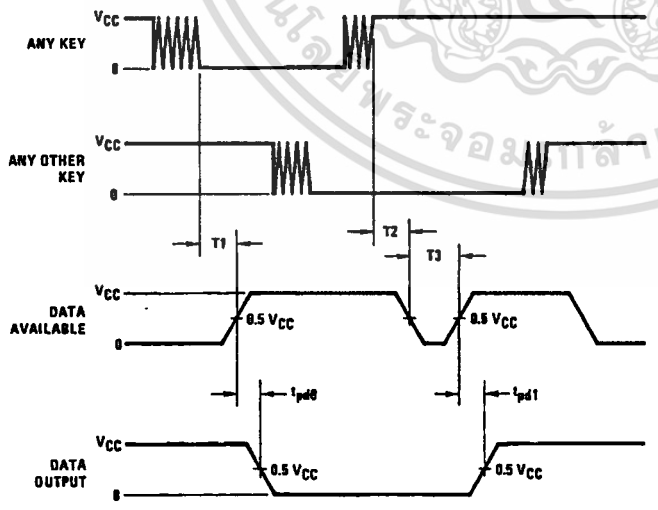
Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{pd0}, t_{pd1}	Propagation Delay Time to Logical "0" or Logical "1" from D.A.	C_L = 50 pF *(Figure 1)*				
		V_{CC} = 5V		60	150	ns
		V_{CC} = 10V		35	80	ns
		V_{CC} = 15V		25	60	ns
t_{0H}, t_{1H}	Propagation Delay Time from Logical "0" or Logical "1" into High Impedance State	R_L = 10k, C_L = 10 pF *(Figure 2)*				
		V_{CC} = 5V, R_L = 10k		80	200	ns
		V_{CC} = 10V, C_L = 10 pF		65	150	ns
		V_{CC} = 15V		50	110	ns
t_{H0}, t_{H1}	Propagation Delay Time from High Impedance State to a Logical "0" or Logical "1"	R_L = 10k, C_L = 50 pF *(Figure 2)*				
		V_{CC} = 5V, R_L = 10k		100	250	ns
		V_{CC} = 10V, C_L = 50 pF		55	125	ns
		V_{CC} = 15V		40	90	ns
C_{IN}	Input Capacitance	Any Input (Note 2)		5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance	Any Output (Note 2)		10		pF

*AC Parameters are guaranteed by DC correlated testing.

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Capacitance is guaranteed by periodic testing.

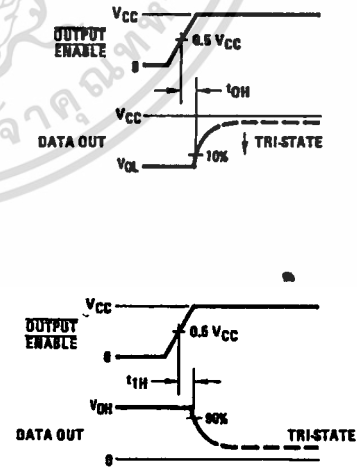
Switching Time Waveforms



TL/F/6037–3

T1 ≈ T2 ≈ RC, T3 ≈ 0.7 RC, where R ≈ 10k and C is external capacitor at KBM input.

FIGURE 1

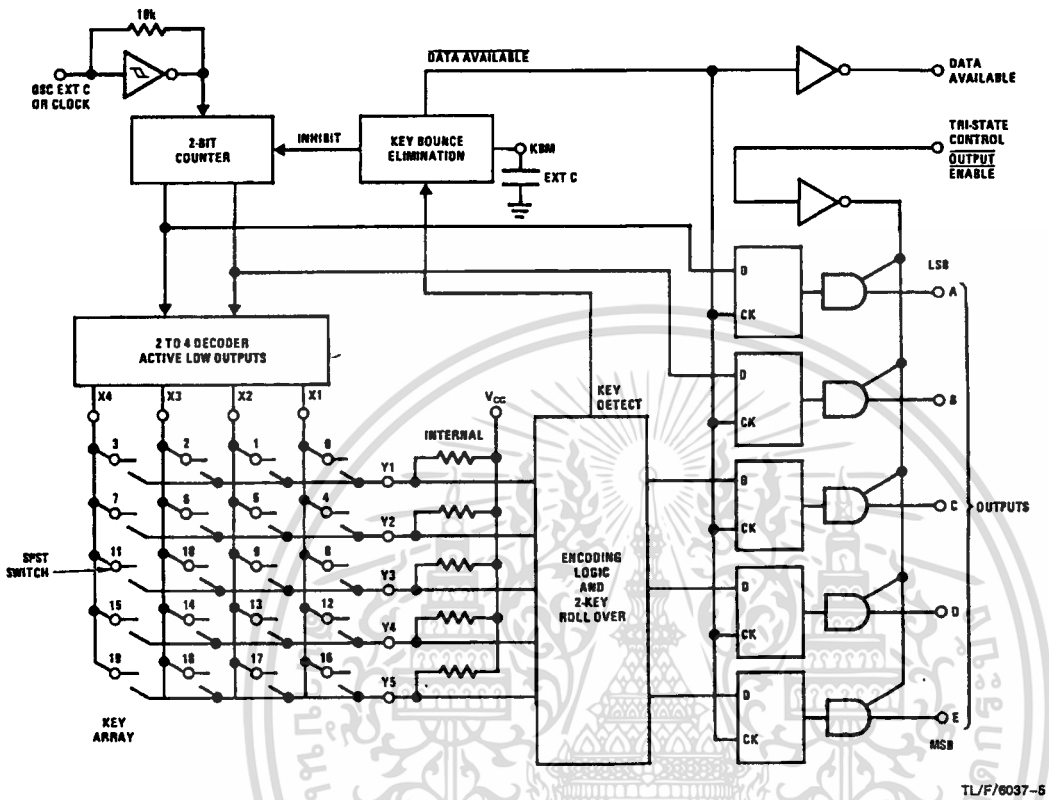


TL/F/6037–4

FIGURE 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Block Diagram



TL/F/6037–5

Truth Table

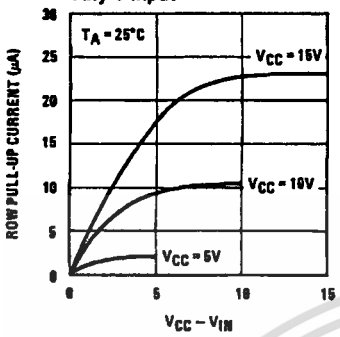
Switch Position	0 Y1,X1	1 Y1,X2	2 Y1,X3	3 Y1,X4	4 Y2,X1	5 Y2,X2	6 Y2,X3	7 Y2,X4	8 Y3,X1	9 Y3,X2	10 Y3,X3	11 Y3,X4	12 Y4,X1	13 Y4,X2	14 Y4,X3	15 Y4,X4	16 Y5*,X1	17 Y5*,X2	18 Y5*,X3	19 Y5*,X4
DATA OUT A	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
DATA OUT B	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
DATA OUT C	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
DATA OUT D	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0
DATA OUT E*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

*Omit for MM54C922/MM74C922

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

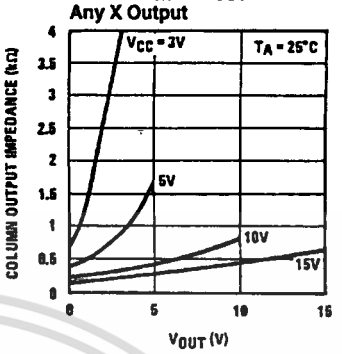
Typical Performance Characteristics

Typical I_{rp} vs V_{IN} at Any Y Input



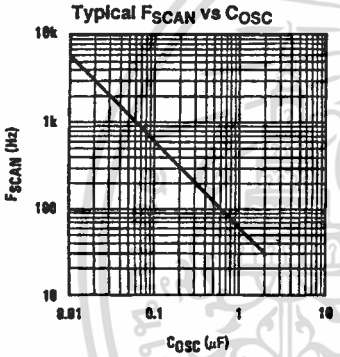
TL/F/6037–6

Typical R_{on} vs V_{OUT} at Any X Output



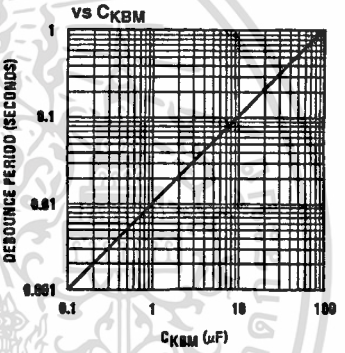
TL/F/6037–7

Typical F_{SCAN} vs C_{OSC}



TL/F/6037–8

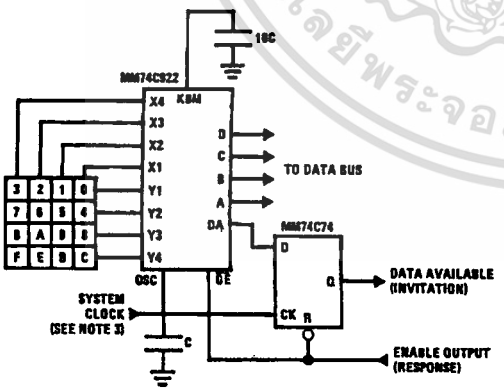
Typical Debounce Period vs C_{KBM}



TL/F/6037–9

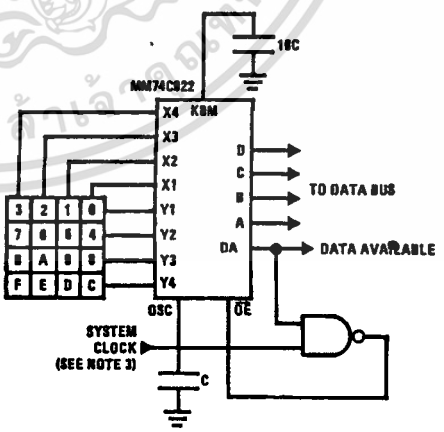
Typical Applications

Synchronous Handshake (MM74C922)



TL/F/6037–10

Synchronous Data Entry Onto Bus (MM74C922)



TL/F/6037–11

Outputs are enabled when valid entry is made and go into TRI-STATE when key is released.

Note 3: The keyboard may be synchronously scanned by omitting the capacitor at oec. and driving oec. directly if the system clock rate is lower than 10 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

SN54122, SN54123, SN54130, SN54LS122, SN54LS123, SN74122, SN74123, SN74130, SN74LS122, SN74LS123
RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

DECEMBER 1983 – REVISED MARCH 1988

- D-C Triggered from Active-High or Active-Low Gated Logic Inputs
- Retriggerable for Very Long Output Pulses, Up to 100% Duty Cycle
- Overriding Clear Terminates Output Pulse
- '122 and 'LS122 Have Internal Timing Resistors

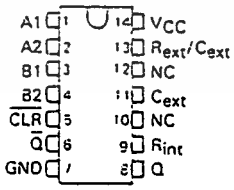
description

These d-c triggered multivibrators feature output pulse-duration control by three methods. The basic pulse time is programmed by selection of external resistance and capacitance values (see typical application data). The '122 and 'LS122 have internal timing resistors that allow the circuits to be used with only an external capacitor, if so desired. Once triggered, the basic pulse duration may be extended by retriggering the gated low-level-active (A) or high-level-active (B) inputs, or be reduced by use of the overriding clear. Figure 1 illustrates pulse control by retriggering and early clear.

The 'LS122 and 'LS123 are provided enough Schmitt hysteresis to ensure jitter-free triggering from the B input with transition rates as slow as 0.1 millivolt per nanosecond.

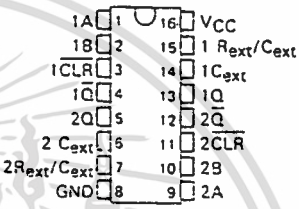
The R_{int} in nominall 10 kΩ for '122 and 'LS122.

SN54122, SN54LS122 . . . J OR W PACKAGE
SN74122 . . . N PACKAGE
SN74LS122 . . . D OR N PACKAGE
(TOP VIEW) (SEE NOTES 1 THRU 4)

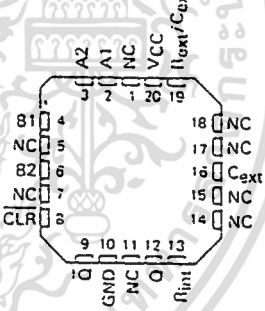


NOTES: 1. An external timing capacitor may be connected between C_{ext} and R_{ext}/C_{ext} (positive).
2. To use the internal timing resistor of '122 or 'LS122, connect R_{int} to V_{CC}.
3. For improved pulse duration accuracy and repeatability, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.
4. To obtain variable pulse durations, connect an external variable resistance between R_{int} or R_{ext}/C_{ext} and V_{CC}.

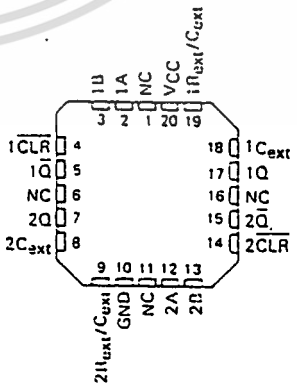
SN54123, SN54130, SN54LS123 . . . J OR W PACKAGE
SN74123, SN74130 . . . N PACKAGE
SN74LS123 . . . D OR N PACKAGE
(TOP VIEW) (SEE NOTES 1 THRU 4)



SN54LS122 . . . FK PACKAGE
(TOP VIEW) (SEE NOTES 1 THRU 4)



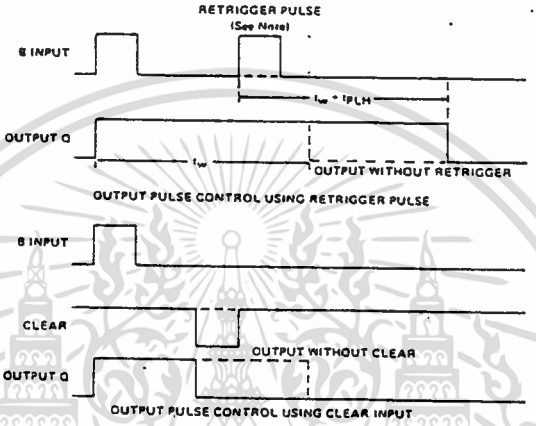
SN54LS123 . . . FK PACKAGE
(TOP VIEW) (SEE NOTES 1 THRU 4)



NC No internal connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

description (continued)



NOTE: Retrigger pulses starting before 0.22 C_{ext} (in picofrads) nanoseconds after the initial trigger pulse will be ignored and the output duration will remain unchanged.

FIGURE 1—TYPICAL INPUT/OUTPUT PULSES

'122, 'LS122
FUNCTION TABLE

INPUTS					OUTPUTS	
CLEAR	A1	A2	B1	B2	Q	$\bar{Q}$
L	X	X	X	X	L	H
X	H	H	X	X	L↑	H↑
X	X	X	L	X	L↑	H↑
X	X	X	X	L	L↑	H↑
H	L	X	↑	H	⊓	⊔
H	L	X	H	↑	⊓	⊔
H	X	L	↑	H	⊓	⊔
H	X	L	H	↑	⊓	⊔
H	H	↓	H	H	⊓	⊔
H	↓	↓	H	H	⊓	⊔
H	↓	H	H	H	⊓	⊔
↑	L	X	H	H	⊓	⊔
↑	X	L	H	↑	⊓	⊔

'123, '130, 'LS123
FUNCTION TABLE

INPUTS			OUTPUTS	
CLEAR	A	B	Q	$\bar{Q}$
L	X	X	L	H
X	H	X	L↑	H↑
X	X	L	L↑	H↑
↑	L	↑	⊓	⊔
H	↓	H	⊓	⊔
↓	L	H	⊓	⊔

See explanation of function tables on page

† These lines of the functional tables assume that the indicated steady-state conditions at the A and B inputs have been set up long enough to complete any pulse started before the set up.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้เสร็จสมบูรณ์ โดยได้รับคำแนะนำ ปรึกษาเกี่ยวกับเนื้อหาของโครงงานและข้อมูลต่างๆจาก ผศ. พลผดุง ผดุงกุล รวมถึงการใช้เครื่องมือและสถานที่ปฏิบัติงาน ทั้งยังได้รับคำปรึกษาจากพี่ๆปริญญาโท เพื่อนๆร่วมห้องโปรเจคและบุคคลที่เกี่ยวข้องที่ทำให้ปริญญานิพนธ์นี้เสร็จสมบูรณ์ลงด้วยดี ซึ่งต้องขอขอบพระคุณไว้ ณ ที่นี้ด้วย

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] สุเจตน์ จันทรังษ์ , " ไมโครคอนโทรลเลอร์ชิพเดี่ยว 8051 " , โครงการตำรา วิชาการวิทยาลัยมหานคร , 2535

[2] ปรเมษฐ์ ประนยานันท์ , ปิยพงศ์ เผ่าวณิช , " คู่มือและการประยุกต์ใช้งาน ไมโครคอนโทรลเลอร์ MSC-51 " , 2536

[3] MOTOROLA , " HIGH-SPEED CMOS LOGIC DATA " , 1986

[4] TEXAS INSTRUMENT , " The TTL Logic Data Book " , 1988

[5] MOTOROLA , " OPTOELECTRONICS DEVICE DATA " , 1989

[6] DALLAS SEMICONDUCTOR , " DS 1202 Serial Timekeeper Chip ", 1991

[7] SILA RESEARCH CO.,LTD, "ANT 32 VERSION 3.0 EMBEDDED CONTROL BOARD "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้