โมเด็ม 2,400 บิทต่อวินาที

MODEM 2,400 BPS

โดย

นายพีรธร ลี้เกษมทรัพย์

นายศุภชัย เมืองสง

นายสายัณห์ สลีวงค์

วัน เดือน ปี ๑ ต ค 2541

เลขทะเบียน 038376

เลขเรียกหนังสือ T3934.6 พ๗๖ม

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมเด็ม 2,400 บิทต่อวินาที

MODEM 2,400 BPS

โดย

นายพีรธร ลี้เกษมทรัพย์ เลขประจำตัว 37013205

นายศุภชัย เมืองสง เลขประจำตัว 37013213

นายสายัณห์ สลีวงค์ เลขประจำตัว 37013220

รายงานนี้เป็นส่วนหนึ่งของวิชา Project II

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงงานปีการศึกษา 2539

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง โมเด็ม 2,400 บิทต่อวินาที

ผู้จัดทำ

1. นายพีรธร ลี้เกษมทรัพย์ เลขประจำตัว 37013205
2. นายศุภชัย เมืองสง เลขประจำตัว 37013213
3. นายสายัณห์ สลีวงศ์ เลขประจำตัว 37013220

อาจารย์ที่ปรึกษา

(ประภากร สุวรรณะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมเด็ม 2,400 บิทต่อวินาที

นายพีรธร ลี้เกษมทรัพย์ เลขประจำตัว 37013205
นายศุภชัย เมืองสง เลขประจำตัว 37013213
นายสายัณห์ สลีวงค์ เลขประจำตัว 37013220
อ.ประภากร สุวรรณะ อาจารย์ที่ปรึกษา
ปีการศึกษา 2539

บทคัดย่อ

โมเด็มความเร็ว 2,400 บิทต่อวินาที โดยใช้การมอดูเลทแบบ QPSK (Quadrature Phase Shift Keying) เป็นการนำเอาข้อมูลดิจิตอลที่มีการส่งข้อมูลแบบอนุกรมมาเปลี่ยนให้เป็นข้อมูลแบบขนาน 2 บิท มาทำการมอดูเลทกับคลื่นพาหะความถี่ 1,750 เฮิร์ท โดยบิทแรกจะมอดูเลทกับคลื่นพาหะ sine ส่วนอีกบิทหนึ่งจะมอดูเลทกับคลื่นพาหะ cosine สัญญาณที่ได้จากการมอดูเลททั้งสองเมื่อนำมารวมกันจะได้เป็นสัญญาณ QPSK สัญญาณ QPSK ที่ได้ในแต่ละครั้งจะต่างเฟสกัน 90 องศา หลังจากนั้นสัญญาณ QPSK จะถูกส่งไปตามสายโทรศัพท์และจะถูกดีมอดูเลท เพื่อให้ได้ข้อมูลดิจิตอลกลับคืนมา ข้อมูลที่ได้จะถูกเปลี่ยนให้เป็นข้อมูลแบบอนุกรม เพื่อส่งเข้าพอร์ท RS-232C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODEM 2,400 bps

Pheerathorn Leekasemsup
Suphachi Muangsong
Sayan Saleewong
Prapakorn Suwanna Advisor

Abstract

Modem 2,400 bps QPSK (Quadrature Phase Shift Keying) modulator type is changing serial digital data to 2 bits parallel digital data for modulation with 1,750 Hz carrier frequency. One bit is modulated with sine-carrier frequency. And another bit is modulated with cosine-carrier frequency. Sum of two output signal from modulation is QPSK signal. Ninety degree is phase difference between each QPSK output signal. After that,QPSK signal is transmitted by medium which is telephone line and it is demodulated for recovering digital data. This digital data is changed to serial digital data for send to RS-232C port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
สารบัญ	III
สารบัญตาราง	VI
สารบัญรูปภาพ	VII
บทที่ 1 บทนำ	1
บทที่ 2 ความรู้เบื้องต้นในการสื่อสาร	3
2.1 บทนำ	3
2.2 ข้อจำกัดและลักษณะการแทนข้อมูล	3
บทที่ 3 พื้นฐานระบบสื่อสาร	6
3.1 บทนำ	6
3.2 ระบบสื่อสาร	6
3.2.1ระบบสื่อสารแบบอนาล็อก	6
3.2.2 ระบบสื่อสารแบบดิจิตอล	9
3.3 การสื่อสารข้อมูล (Data Communication)	10
3.4 การรับส่งข้อมูลแบบ Parallel และ Serial	11
3.4.1 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม	13
3.4.2 ลักษณะการส่งข้อมูลแบบอนุกรม	13
3.5 คุณสมบัติของ Full Duplex และ Half Duplex	14
3.5.1 Full Duplex และ Half duplex คืออะไร	14
3.5.2 ลักษณะการรับส่ง และการ Echo ของข้อมูล	17
3.5.3 เทคนิคที่ใช้ส่งข้อมูลแบบ Full Duplex ด้วยสายคู่เดียว	18
บทที่ 4 พอร์ท RS-232C และ มาตราฐานโมเด็ม	20
4.1 บทนำ	20
4.2 PORT RS-232C	20
4.3 ลักษณะสมบัติทางไฟฟ้าของสัญญาณ RS-232C	21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

4.3.1 สถานะ 21
4.3.2 วงจรขับสัญญาณ 21
4.3.3 ความต้านทาน 21
4.3.4 ความไว 21
4.4 ลักษณะสมบัติเชิงกลของข้อต่อ (connector) 22
4.4.1 สัญญาณที่ใช้ทั้งหมดใน RS-232C 22
4.5 DB-25 และ DB-9 24
4.6 Null Modem Cable 26
4.7 มาตราฐานของโมเด็มตาม CCITT V-Series 28
บทที่ 5 การมอดูเลทสัญญาณแบบดิจิตอล 33
5.1 บทนำ 33
5.2 การโมดูเลทสัญญาณดิจิตอล 33
5.3 เฟสชิฟท์คีอิ่ง 37
5.4 หลักการของไบนารี PSK โมดูเลเตอร์และดีโมดูเลเตอร์ 38
5.4.1 โคฮีเรนท์ดีเทคชัน 41
5.4.2 การผิดพลาดทางเฟส (phase ambiguity) 46
5.4.3 ยูนิคเวร์ด (Unique word) 52
5.5 Quadri PSK 54
5.6 ลักษณะของ QPSK 60
บทที่ 6 หลักการทำงานของวงจรและผลการวัดสัญญาณ 62
6.1 บทนำ 62
6.2 การออกแบบวงจรภาคส่ง 62
6.2.1 วงจร Carrier Oscillator 63
6.2.2 วงจรปรับระดับสัญญาณ 63
6.2.3 วงจร bit splitter 64
6.2.4 วงจร Modulator 65
6.2.4.1 หลักการออกแบบ 66
6.2.4.2 การปรับแต่งก่อนนำไปใช้งาน 66
6.2.5 วงจร Summing Amp & Inverting Amp 66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
6.3 การออกแบบวงจรภาครับ	68
6.3.1 วงจร Carrier Recovery	69
6.3.1.1 วงจรคูณความถี่ (Frequency Multiplier)	69
6.3.1.2 เฟสล็อกลูป (Phase locked loops)	72
6.3.1.3 หลักการทำงานเบื้องต้นของเฟสล็อกลูป	73
6.3.1.4 วงจรปรับเปลี่ยนรูปสัญญาณ	75
6.3.1.5 วงจร bandpass filter	76
6.3.2 วงจร Demodulator	76
6.3.3 วงจร Low Pass Filter	77
6.3.4 วงจรแปลงระดับสัญญาณเป็นแบบ TTL	77
6.3.5 วงจรแปลงข้อมูลจากขนานเป็นแบบอนุกรม	78
6.3.6 การทำงานของวงจร SERIAL TO PARALLEL	79
6.3.7 การทำงานของวงจร Shift Phase Carrier	81
6.4 ผลการวัดสัญญาณ	83
6.4.1 ผลการวัดสัญญาณภาคส่ง	83
6.4.2 ผลการวัดสัญญาณภาครับ	84
6.5 การตรวจสอบความผิดพลาดของข้อมูลที่รับได้	98
บทที่ 7 บทสรุปและวิจารณ์	99
บรรณานุกรม	101
กิตติกรรมประกาศ	102
ภาคผนวก	103

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 6.1 แสดงค่าโลจิกข้อมูลที่ถูกเปลี่ยนให้เป็นระดับแรงดัน 51

ตารางที่ 6.2 แสดง QPSK Signal และ เฟส ณ. data logic ต่างๆ 53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 2.1 แสดงลักษณะที่มิดพลาดไป	4
รูปที่ 2.2 แสดงลักษณะการส่งสัญญาณผ่านโมเด็ม	5
รูปที่ 3.1 ระบบสื่อสารพื้นฐาน	6
รูปที่ 3.2 แสดงแบบต่างๆ ของสื่อกลาง	7
รูปที่ 3.3 แสดงการกำหนดค่าความกว้างแถบ	7
รูปที่ 3.4 แสดงระบบสื่อสารแบบอนาลอก	8
รูป 3.5 แสดงการสื่อสารทั้งแบบอนาล็อกและแบบดิจิตอล	9
รูป 3.6 แสดงการส่งข้อมูลผ่านโดยใช้รหัส	11
รูป 3.7 การส่งข้อมูลแบบขนานและแบบอนุกรม	12
รูป 3.8 Start Bit และ Stop Bit จะช่วยให้คอมพิวเตอร์แยกข้อมูลแต่ละตัวออกมาได้อย่างถูกต้อง	12
รูป 3.9 การรับส่งข้อมูลแบบทางเดียวหรือ Simplex	15
รูป 3.10 การรับส่งข้อมูลสวนทางกันได้แบบผลัดกันส่งหรือ Half Duplex	15
รูป 3.11 การรับส่งข้อมูลสวนทางกันได้พร้อมกันหรือ Full Duplex	16
รูป 3.12 การรับส่งแบบ Full Duplex ผู้รับจะต้องส่งข้อมูลกลับ (echo) ไปให้ผู้ส่งเสมอ	17
รูป 3.13 เมื่อด้านรับและด้านส่งใช้ความถี่คนละความถี่ เราสามารถใช้สายคู่เดียวกันรับส่งข้อมูลในแบบ Full Duplex ได้	18
รูปที่ 4.1 แสดงการใช้งาน MODEM โดยติดต่อผ่านทาง port RS-232C	20
รูปที่ 4.2 แสดงย่านของแรงดันไฟฟ้าที่ใช้ในสัญญาณ RS-232C	21
รูปที่ 3.3 แสดงการกำหนดของข้อต่อ RS-232C	22
รูปที่ 4.4 การใช้งานรับส่งข้อมูลอนุกรม เราใช้สัญญาณเพียง 9 ขาเท่านั้น	25
รูปที่ 4.5 การต่อสารตรงของ RS-232C อย่างง่าย	25
รูปที่ 4.6 การต่อสายสลับของ RS-232C หรือ Null MODEM cable	26
รูปที่ 4.7 การต่อสายตรงจาก DB-25 ไปยัง DB-9	27
รูปที่ 4.8 การต่อสายสลับจาก DB-9 ไปยัง DB-25	28
รูปที่ 4.9 มาตรฐานโมเด็ม V-Series ของ CCITT	31
รูปที่ 5.1 สัญญาณเบสแบนด์ดิจิตอล	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 5.2 เปรียบเทียบวิธีการโมดูเลทแบบดิจิตอลและอนาล็อก 34
รูปที่ 5.3 amplitude shift keying 34
รูปที่ 5.4 frequency shift keying 35
รูปที่ 5.5 phase shift keying 35
รูปที่ 5.6 power spectra of modulated wave 36
รูปที่ 5.7 เปรียบเทียบ bit error rate ของ PSK และ FSK 36
รูปที่ 5.8 แสดงมุมเฟสของการส่งสัญญาณไบนารีครั้งละ 1 บิท 37
รูปที่ 5.9 สัญญาณดิจิตอล 2 บิทที่ส่งมาพร้อมกัน 37
รูปที่ 5.10 มุมเฟสของ Quadri PSK ในการส่งสัญญาณครั้งละ 2 บิท 38
รูปที่ 5.11 มุมเฟสของ PSK ในการส่งสัญญาณไบนารีครั้งละ 3 บิท 38
รูปที่ 5.12 เปรียบเทียบอัตราการผิดพลาดของบิทของ PSK แบบต่างๆ 39
รูปที่ 5.13 การส่ง- รับสัญญาณดิจิตอล 39
รูปที่ 5.14 การโมดูเลทสัญญาณดิจิตอล 40
รูปที่ 5.15 การเปลี่ยนแปลงทางเฟสของคลื่นพาหะ 40
รูปที่ 5.16 การสร้างสัญญาณขึ้นใหม่ทางด้านรับ 41
รูปที่ 5.17 การรับสัญญาณ PSK ทางด้านรับ 41
รูปที่ 5.18 สัญลักษณ์ output หลังจากผ่าน LPF 42
รูปที่ 5.19 การพิจารณารหัสเป็น 1 หรือ 0 โดย sample holder 43
รูปที่ 5.20 รหัสผิดเพี้ยนเนื่องจากเสียงรบกวน 43
รูปที่ 5.21 บล็อกไดอะแกรมของ coherent demodulator 44
รูปที่ 5.22 หลักการของ carrier recovery circuit 44
รูปที่ 5.23 carrier recovery circuit และสัญญาณตามจุดต่างๆ 45
รูปที่ 5.24 การทำงานของ phase locked loop 45
รูปที่ 5.25 clock recovery 46
รูปที่ 5.26 การผิดพลาดทางเฟส 47
รูปที่ 5.27 คลื่นสัญญาณเมื่อผ่านวงจรหารความถี่ 47
รูปที่ 5.28 เปรียบเทียบ output กรณี t1 และ t2 เป็นจุดเริ่ม 48
รูปที่ 5.29 สัญญาณดิจิตอลหลังผ่านการดีโมดูเลท 48
รูปที่ 5.30 differential coherent PSK 49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 5.31 วงจร differential encoder 49
รูปที่ 5.32 การส่งรหัสสัญญาณที่ differential encoder 50
รูปที่ 5.33 รหัสสัญญาณ ณ ตำแหน่งต่างๆ 50
รูปที่ 5.34 differential decoder 51
รูปที่ 5.35 ลำดับสัญญาณดิจิตอลด้านรับ 52
รูปที่ 5.36 การเกิดข้อผิดพลาดของบิท 52
รูปที่ 5.37 การส่งยูนิคเวิร์ดเพื่อตรวจสอบรหัส 53
รูปที่ 5.38 วงจรดีโมดูเลทที่ใช้ยูนิคเวิร์ด 53
รูปที่ 5.39 รหัส 4 คู่ของสัญญาณ QPSK 54
รูปที่ 5.40 Gray code ที่ใช้ใน QPSK 55
รูปที่ 5.41 วงจรโมดูเลท QPSK 56
รูปที่ 5.42 เปรียบเทียบเฟสของสัญญาณในช่องสัญญาณ P และ Q 57
รูปที่ 5.43 เวคเตอร์ผลลัพธ์ของสัญญาณ QPSK 57
รูปที่ 5.44 สัญญาณ QPSK ถูก shift phase $\frac{\pi}{4}$ 58
รูปที่ 5.45 วงจรดีโมดูเลทสัญญาณ QPSK 58
รูปที่ 5.46 การดีเทคสัญญาณ QPSK ออกเป็น BPSK 2 สัญญาณ 59
รูปที่ 5.47 keying speed ในการส่งสัญญาณ 60
รูปที่ 5.48 PSK เวคเตอร์ และ noise เวคเตอร์ 61
รูปที่ 5.49 เปรียบเทียบขนาดของ noise ball ที่ไม่ทำให้เกิดการผิดพลาดของบิท 61
รูปที่ 6.1 บล็อกไดอะแกรม QPSK Modulation 62
รูปที่ 6.2 วงจรผลิตความถี่สัญญาณ Sine และ Cosine 63
รูปที่ 6.3 วงจรปรับระดับสัญญาณ 64
รูปที่ 6.4 วงจร Bit Spliter 65
รูปที่ 6.5 วงจรมอดูเลเตอร์ 65
รูปที่ 6.6 วงจร Summing Amp & Inverting Amp 67
รูปที่ 6.7 แสดง Phase Diagram ของ QPSK Signal 68
รูปที่ 6.8 บล็อกไดอะแกรมภาค QPSK Demodulator 68
รูปที่ 6.9 บล็อกไดอะแกรมแสดงการ recovery carrier 69
รูปที่ 6.10 แสดงวงจรคูณความถี่ 70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 6.11 วงจร level shift circuit 72
รูปที่ 6.12 บล็อคไดอะแกรมของเฟสล็อคลูฟ 74
รูปที่ 6.13 วงจร PLL ที่ใช้งานจริง 75
รูปที่ 6.14 วงจรปรับเปลี่ยนรูปสัญญาณ 76
รูปที่ 6.14 วงจร bandpass filter 76
รูปที่ 6.15 วงจรกรองความถี่ต่ำผ่าน 77
รูปที่ 6.16 วงจรแปลงระดับสัญญาณแบบ TTL 77
รูปที่ 6.17 วงจรแปลงข้อมูลขนานเป็นแบบอนุกรม 78
รูปที่ 6.18 บล็อกไดอะแกรมแสดงการตรวจสอบความถูกต้องของเฟส 79
รูปที่ 6.19 วงจรแปลงข้อมูลจากอนุกรมเป็นแบบขนาน 80
รูปที่ 6.20 วงจรเลื่อนเฟสของ carrier 82
รูปที่ 6.21 สัญญาณ clock ของวงจร Bit Spliter 85
รูปที่ 6.22 สัญญาณที่ส่งมาจาก พอร์ต RS-232 85
รูปที่ 6.23 สัญญาณเอาท์พุทจากวงจร spiltter ของช่องสัญญาณ I และ Q 86
รูปที่ 6.24 แสดงการแปลงระดับแรงดันสัญญาณช่อง I นำไปมอดูเลทกับ sine ทางภาคส่ง 86
รูปที่ 6.25 แสดงรูปสัญญาณเอาท์พุทจากการมอดูเลท กับ sine ของช่องสัญญาณ I 87
รูปที่ 6.26 แสดงการแปลงระดับแรงดันสัญญาณช่อง Q นำไปมอดูเลทกับ cosine ทางภาคส่ง 87
รูปที่ 6.27 แสดงรูปสัญญาณเอาท์พุทจากการมอดูเลท กับ cosine ของช่องสัญญาณ Q 88
รูปที่ 6.28 สัญญาณ output ของทางภาคส่งแบบ QPSK 88
รูปที่ 6.29 CH.1 แสดง DATA I จาก Bit Splitter และ CH.2 แสดง DATA I ที่นำไป MOD 89
รูปที่ 6.30 CH.1 แสดง DATA MOD กับ sine และ CH.2 แสดง DATA MOD. กับ cosine 89
รูปที่ 6.31 CH.1 แสดง QPSK Signal ก่อนกลับเฟส และ CH.2 แสดง QPSK Signal output 89
รูปที่ 6.32 CH.1 แสดง QPSK Signal คูณ 2 และ CH.2 แสดง QPSK Signal ก่อนคูณ 2 90
รูปที่ 6.33 CH.1 แสดง QPSK Signal คูณ 4 และ CH.2 แสดง QPSK Signal คูณ 2 90
รูปที่ 6.34 CH.1 แสดง QPSK Signal คูณ 4 และ CH.2 แสดง QPSK Signal คูณ 4 หลังผ่าน BPF 90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 6.35 CH.1 แสดงสัญญาณที่ output ของ phase lock loop และ CH.2 แสดงสัญญาณ output ของ phase lock loop ที่ผ่านการปรับระดับสัญญาณแล้ว 91

รูปที่ 6.36 CH.1 แสดงสัญญาณจาก phase lock loop ที่ปรับระดับแล้ว และ CH.2 แสดงสัญญาณที่ผ่านการเปลี่ยนให้เป็นสัญญาณ sine แล้ว 91

รูปที่ 6.37 CH.1 สัญญาณ sine ที่ recovery ได้ และ CH.2 สัญญาณ sine ทางภาคส่ง 91

รูปที่ 6.38 CH.1 สัญญาณ cosine ที่ recovery ได้ และ CH.2 สัญญาณ cosine ทางภาคส่ง 92

รูปที่ 6.39 CH.1 สัญญาณ cosine ที่ recovery ได้ และ CH.2 สัญญาณ sine ที่ recovery ได้ 92

รูปที่ 6.40 CH.1 สัญญาณ QPSK คูณ cosine และ CH.2 สัญญาณ QPSK คูณ sine 92

รูปที่ 6.41 CH.1 สัญญาณ QPSK คูณ sine และ CH.2 สัญญาณ input data I ทางภาคส่ง 93

รูปที่ 6.42 CH.1 สัญญาณ QPSK คูณ cosine และ CH.2 สัญญาณ input data Q ทางภาคส่ง 93

รูปที่ 6.43 CH.1 สัญญาณ QPSK คูณ cosine หลังผ่าน LPF. และ CH.2 สัญญาณ QPSK คูณ cosine 93

รูปที่ 6.44 CH.1 สัญญาณ QPSK คูณ sine หลังผ่าน LPF. และ CH.2 สัญญาณ QPSK คูณ sine 94

รูปที่ 6.45 CH.1 สัญญาณ input data I ที่ภาคส่ง และ CH.2 สัญญาณ data I ที่ภาครับ94

รูปที่ 6.46 CH.1 สัญญาณ input data Q ที่ภาคส่ง และ CH.2 สัญญาณ data Q ที่ภาครับ 94

รูปที่ 6.47 CH.1 สัญญาณ data I หรือ Q ที่ภาครับ และ CH.2 คือสัญญาณเมื่อแปลงเป็น ±12V แล้ว 95

รูปที่ 6.48 CH.1 สัญญาณ RS232-C ที่ภาคส่ง และ CH.2 สัญญาณเพื่อเข้าสู่ RS232-C ที่ภาครับ 95

รูปที่ 6.49 CH.1 แสดงสัญญาณ data I จาก comparator และ CH.2 สัญญาณ data I หลังผ่านการ check ขอบ(LSB data) 95

รูปที่ 6.50 CH.1 แสดงสัญญาณ data Q จาก comparator และ CH.2 สัญญาณ data Q หลังผ่านการ check ขอบ(MSB data) 96

รูปที่ 6.51 CH.1 แสดงสัญญาณ MSB data และ CH.2 สัญญาณ LSB data ซึ่งเป็นสัญญาณก่อนเข้าวงจร parallel to serial 96

รูปที่ 6.52 CH.1 แสดงสัญญาณ input data I ภาคส่ง และ CH.2 สัญญาณ MSB หรือ LSB data 96

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 6.53 CH.1 แสดงสัญญาณ 2400 Hz จากคริสตอล และ CH.2 แสดงสัญญาณ shift/load สำหรับไอซี 74ILS165 97

รูปที่ 6.54 CH.1 สัญญาณจาก RS232-C ที่ภาคส่ง และ CH.2 สัญญาณ output เข้าสู่ RS232-C ที่ภาครับ 97

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 รายละเอียดโดยย่อของงาน

ในปัจจุบันการสื่อสารข้อมูลมีความสำคัญอย่างมากต่อชีวิตประจำวัน โดยเฉพาะอย่างยิ่งการสื่อสารระหว่างคอมพิวเตอร์ที่ใช้โมเด็มผ่านโครงข่ายโทรศัพท์ ซึ่งทำให้เกิดแนวคิดที่จะศึกษาแนวทางในการสร้างโมเด็มที่มีความเร็วในการส่งข้อมูล 2,400 บิทต่อวินาที ได้เริ่มจากการศึกษาข้อมูลเกี่ยวกับโมเด็มและการมอดูเลชั่น จากข้อมูลที่มีอยู่นั้นมีวิธีการมอดูเลชั่นและดีมอดูเลชั่นอยู่หลายวิธี แต่ได้เลือกใช้วิธีการมอดูเลชั่นและดีมอดูเลชั่นแบบ QPSK (Quadrature Phase Shift Keying) เนื่องจากไม่มีความซับซ้อนมากนัก และยังสามารถสร้างให้ได้ความเร็ว 2,400 บิทต่อวินาทีตามที่ต้องการได้ด้วย ซึ่งก็ได้ทำการออกแบบวงจรบางส่วนและหาวงจรที่เหมาะสมกับการใช้งานมาทำการทดลองเพื่อให้สำเร็จตามวัตถุประสงค์ที่วางไว้

1.2 วัตถุประสงค์ของงาน

ในโครงงานนี้มีวัตถุประสงค์อยู่ด้วยกันดังนี้

1. เพื่อศึกษาและเรียนรู้การใช้งานโมเด็มเบื้องต้น
2. เพื่อศึกษาและเรียนรู้คุณสมบัติต่างๆ ระบบการมอดูเลทสัญญาณแบบ QPSK
3. สามารถออกแบบวงจรโมเด็ม 2,400 บิทต่อวินาที (โดยใช้การมอดูเลทแบบ QPSK) และสามารถนำไปประยุกต์ใช้งานได้
4. สร้างวงจรต่างๆ และทดสอบคุณภาพของสัญญาณทั้งทางด้านส่งและด้านรับ

1.3 ขอบเขตของโครงงาน

เมื่อสิ้นสุดระยะเวลาดำเนินงานจะต้องได้รับสิ่งต่อไปนี้

1. ได้รับความรู้และแนวทางในการพัฒนาวิธีการมอดูเลชั่นและดีมอดูเลชั่นแบบ QPSK
2. ส่วนของวงจรต่างๆ ทั้งทางด้านภาคส่ง (มอดูเลชั่น) และภาครับ (ดีมอดูเลชั่น) ที่ใช้ในโครงงาน
3. รายงานเกี่ยวกับการศึกษาทดสอบคุณภาพของสัญญาณที่วัดได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 ประโยชน์หรือผลที่คาดว่าจะได้รับ

เนื่องจากในปัจจุบันนี้ เป็นยุคของโลกาภิวัฒน์ การสื่อสารข้อมูลจึงมีบทบาทสำคัญมาก มนุษย์จึงได้พยายามหาวิธีการที่จะทำให้เกิดการติดต่อสื่อสารข้อมูลที่สะดวกและรวดเร็วที่สุด วิธีการหนึ่งก็คือ การส่งข้อมูลแบบดิจิตอลผ่านสายโทรศัพท์ โดยอาศัยโมเด็มเป็นตัวแปลงสัญญาณ ดังนั้นการทำโครงงานนี้จึงเป็นส่วนหนึ่งที่จะช่วยให้พื้นฐานในการเรียนรู้ในเรื่องโมเด็ม เพื่อจะได้ใช้เป็นความรู้ในการที่จะนำไปศึกษาเพื่อออกแบบโมเด็มความเร็วสูง ที่มีประสิทธิภาพในการรับส่งข้อมูลที่ดีได้ต่อไปในอนาคต

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ความรู้เบื้องต้นในการสื่อสาร

2.1 บทนำ

ในชีวิตประจำวันของเรานั้นการติดต่อสื่อสารนับว่ามีความสำคัญอย่างมาก ไม่ว่าจะเป็นการสื่อความหมายระหว่างมนุษย์ด้วยกัน การติดต่อสื่อสารทางด้านธุรกิจการค้า การติดต่อข่าวสารระหว่างประเทศรวมทั้งการติดต่อสื่อสารระหว่างมนุษย์กับเครื่องอำนวยความสะดวกต่างๆ เช่น คอมพิวเตอร์ ได้เข้ามามีบทบาทอย่างมากในการช่วยอำนวยความสะดวกให้มนุษย์เรา โดยเฉพาะไมโครคอมพิวเตอร์ จะเห็นได้ว่านับว่า ไมโครคอมพิวเตอร์จะอยู่ในกรรมสิทธิของแต่ละบุคคลมากขึ้นทั้งนี้เพราะราคาของไมโครคอมพิวเตอร์นับวันจะถูกลงและหาซื้อได้ง่ายขึ้น เมื่อคำนึงถึงผลประโยชน์ที่จะได้รับแล้วนับว่าเป็นการลงทุนที่คุ้มค่าจริงๆ ฉะนั้นถ้าเราสามารถติดต่อสื่อสารหรือเชื่อมโยงข้อมูลระหว่างคอมพิวเตอร์หรืออุปกรณ์สื่อสารอื่นๆ เพื่อการให้ข่าวสาร การแลกเปลี่ยนข้อมูลซึ่งกันและกันได้ก็จะเป็นการเพิ่มประสิทธิภาพของการสื่อสาร และเป็นการใช้งานเครื่องคอมพิวเตอร์ให้มีคุณค่าเพิ่มขึ้นอีกด้วยซึ่งการส่งข้อมูลนี้เราเรียกกันโดยทั่วไปว่า การสื่อสารข้อมูล หรือ DATA COMMUNICATION นอกจากนี้ยังได้มีการปรับปรุงการติดต่อให้เป็นเครือข่ายอีกเพื่อการใช้งานของอุปกรณ์ที่มีราคาแพง และหายากให้มีประสิทธิภาพ หรือให้มีประโยชน์สูงสุด ซึ่งระบบนี้เราเรียกกันว่าระบบ NETWORK

ข้อมูลที่ใช้ในเครื่องคอมพิวเตอร์นั้นเป็นสัญญาณดิจิตอล ซึ่งการติดต่อซึ่งกันและกันในระยะทางไกลๆ นั้นจะทำได้ 2 วิธีดังนี้

- ส่งสัญญาณดิจิตอลเลย ซึ่งการส่งสัญญาณโดยวิธีนี้จะต้องมีสายส่งพิเศษซึ่งมีราคาสูงมาก
- ส่งสัญญาณโดยการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกก่อนการส่งวิธีนี้จะทำได้ง่ายขึ้นและประหยัดขึ้น เพราะสายส่งสัญญาณไม่จำเป็นต้องมีแบนด์วิธสูงมากนักเหมือนกับการส่งสัญญาณดิจิตอล และการส่งสัญญาณนี้จะทำการส่งโดยใช้สายโทรศัพท์เป็นสายส่งได้ เพราะระบบโทรศัพท์มีเครือข่ายอยู่แล้วอย่างกว้างขวางทำให้ลดค่าใช้จ่ายด้านสายส่งข้อมูล และการติดตั้งสายส่ง ตัวอย่างความพยายามในการนำเอาระบบนี้มาใช้งาน เช่น การที่ธนาคารพานิชย์หลายแห่งได้เริ่มนำเอาระบบการฝากถอนเงินต่างสาขาระบบเงินด่วน เพื่อมาบริการแก่ลูกค้าเพื่อความคล่องตัวและสะดวกรวดเร็ว

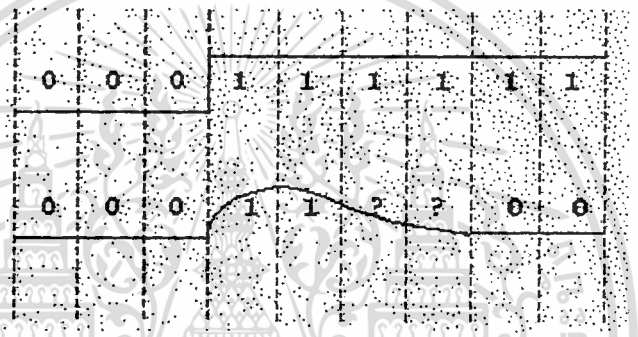
2.2 ข้อจำกัดและลักษณะการแทนข้อมูล

การที่เราใช้สายโทรศัพท์ มีข้อจำกัดอยู่สำหรับสัญญาณที่เราจะส่งออกไปทางสายโทรศัพท์นั้นถูกออกแบบมาเพื่อใช้นำสัญญาณในช่วงของความถี่เสียง ซึ่งมีความถี่ระหว่าง 300-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3000Hz ถ้าเราต่อสัญญาณดิจิตอลจากภาคส่งเข้าสายโทรศัพท์โดยตรง ทางภาครับจะได้สัญญาณที่ลักษณะผิดเพี้ยนไปดังรูป 2.1

จากรูปจะเห็นว่าสัญญาณที่ส่งออกเป็นโลจิก 1 เมื่อถึงด้านรับอาจจะกลายเป็นโลจิก0 หรืออาจจะไม่ใช้โลจิก 0 และ 1 ก็ได้ ในทางคณิตศาสตร์แล้วสัญญาณรูปสี่เหลี่ยมอาจพิจารณาได้ว่าเป็นสัญญาณในรูป Sinusoidal ความถี่เท่ากันและรวมด้วยสัญญาณ Sinusoidal ที่มีขนาดต่างกันที่ฮาร์โมนิคต่างๆ กัน สาเหตุจากแบนด์วิธของสายโทรศัพท์นั่นเองที่ตัดเอาฮาร์โมนิคต่างๆ ออกไป จึงทำให้สัญญาณรูปสี่เหลี่ยมไม่เป็นรูปสี่เหลี่ยมอีกต่อไป

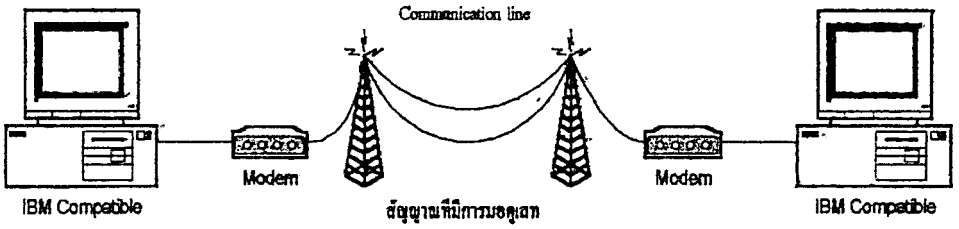


รูปที่ 2.1 แสดงลักษณะที่ผิดพลาดไป

จากสาเหตุที่กล่าวมาแล้ว จึงจำเป็นที่จะต้องเปลี่ยนสัญญาณดิจิตอลให้อยู่ในรูปแบบที่เหมาะสม ที่จะส่งผ่านไปตามสายโทรศัพท์ได้ โดยการนำไปแฝงไว้ในสัญญาณพาหะ(carrier) วิธีการเช่นนี้เรียกว่าการปรับสัญญาณให้เหมาะสม (Modulate) สำหรับสัญญาณที่จะใช้เป็นพาหะได้ดีในการสื่อสารด้วยสายโทรศัพท์ก็คือ สัญญาณรูปซายน์ (Sine Wave) กระบวนการที่นำสัญญาณดิจิตอลที่จะส่งแฝงเข้าไปในสัญญาณพาหะเรียกว่า 'MODULATION' เมื่อส่งสัญญาณไปตามสายส่งจนถึงผู้รับแล้ว ทางภาครับจะมีกระบวนการถอดสัญญาณดิจิตอลออกจากสัญญาณพาหะ ที่เรียกว่า 'DEMODULATION'

กระบวนการทั้ง 2 รูปแบบที่กล่าวถึงนี้สามารถใช้อุปกรณ์ชนิดหนึ่งซึ่งก็คือ โมเด็ม (MODEM) โดยที่คำว่า MODEM เป็นคำที่นำส่วนหนึ่งของคำสองคำมาประกอบกัน คือคำว่า MODULATOR กับ DEMODULATOR ดังนั้น MODEM ก็คืออุปกรณ์ที่ทำหน้าที่ได้ 2 หน้าที่ คือ 'MODULATION' และ 'DEMODULATION'

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดงลักษณะการส่งสัญญาณผ่านโมเด็ม

จากรูป 2.2 เป็นการเชื่อมโยงเทอร์มินัลกับคอมพิวเตอร์แบบจุดต่อจุด โดยใช้การสื่อสารผ่านทางโมเด็ม ตามรูปเทอร์มินัลจะส่งสัญญาณดิจิตอลผ่านเข้าสู่โมเด็ม A ซึ่งโมเด็ม A จะทำหน้าที่ Modulate สัญญาณดิจิตอลลงบนสัญญาณพาหะ แล้วส่งผ่านไปตามสายโทรศัพท์จนไปถึงโมเด็ม B โมเด็ม B จะรับและทำการถอดสัญญาณดิจิตอลออกจากสัญญาณพาหะแล้วจึงส่งสัญญาณดิจิตอลเข้าสู่เครื่องคอมพิวเตอร์อีกต่อหนึ่งการทำงานของโมเด็มอาจเป็นสาเหตุให้การส่งสัญญาณดิจิตอลล่าช้าขึ้นบ้าง แต่ก็ช่วยทำให้สามารถส่งสัญญาณดิจิตอลไปในระยะทางไกลๆ ได้เป็นผลสำเร็จ

โมเด็ม มีด้วยกันมากมายหลายรูปแบบและประเภทการทำงานของ โมเด็ม เดิมทีนั้นโมเด็มถือว่าเป็นอุปกรณ์ชิ้นหนึ่งภายในข่ายการสื่อสารที่สามารถแยกออกได้ (Stand Alone Modem) แต่ในปัจจุบันมีเครื่องเทอร์มินัลบางชนิดที่ติดโมเด็มไว้ภายในเครื่องเทอร์มินัลเลย (Internal Modem) ซึ่งนับว่าเป็นการพัฒนาการติดต่อสื่อสารระหว่างคอมพิวเตอร์อีกระดับหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
พื้นฐานระบบสื่อสาร

3.1 บทนำ

ระบบสื่อสาร (COMMUNICATION SYSTEM) มีความหมายกว้างขวาง การส่งข่าวสารทางสาย ก็เป็นชนิดหนึ่งของระบบสื่อสาร โดยพื้นฐานแล้วระบบสื่อสารจะประกอบด้วยส่วนใหญ่ๆ 3 ส่วนคือ

1. ตัวส่งข่าวสาร (TRANSMITTER)
2. ตัวกลางในการส่งข่าวสาร (MEDIUM)
3. ตัวรับข่าวสาร (RECEIVER)

แต่ละส่วนมีความสัมพันธ์กันดังรูปที่ 1

รูปที่ 3.1 ระบบสื่อสารพื้นฐาน

3.2 ระบบสื่อสาร

ก่อนจะกล่าวถึงระบบสื่อสารของกล่าวเพิ่มเติมในส่วนสื่อกลางของการสื่อสารว่าสามารถมีได้หลายรูปแบบ โดยเฉพาะในงานโทรคมนาคม เราใช้สื่อกลางเป็นลวดตัวนำ หรือคลื่นวิทยุก็ได้ ซึ่งแสดงให้เห็นชัดได้ในรูปที่ 3.2

ที่นี้จะกล่าวถึงระบบสื่อสารในความหมายทางโทรคมนาคม เราสามารถแบ่งชนิดของระบบสื่อสารได้ 2 แบบ ตามลักษณะสัญญาณที่ใช้ในระบบคือ

- แบบสัญญาณอนาล็อก เช่น เสียงพูด
- แบบสัญญาณดิจิตอล เช่น เลขฐานสอง

3.2.1ระบบสื่อสารแบบอนาล็อก

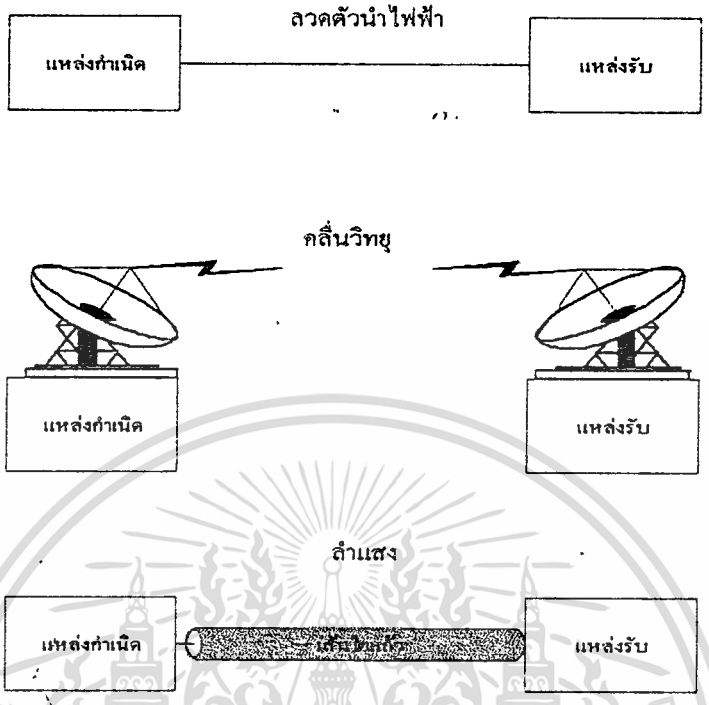
สิ่งที่ใช้พิจารณาถึงขีดความสามารถของระบบนี้ คือ อัตราส่วนของสัญญาณหลักต่อสัญญาณรบกวน หรือค่า S/N โดยที่

ถ้าค่า S/N สูง แสดงว่าระบบมีประสิทธิภาพดี

หรือค่า S/N ต่ำ แสดงว่าระบบมีประสิทธิภาพไม่ดี

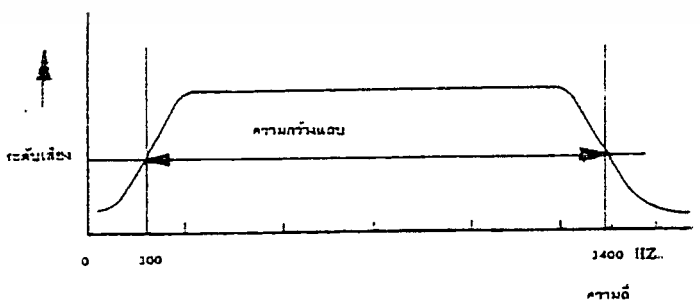
และอีกประเด็นสำคัญประการหนึ่งที่เราใช้พิจารณาด้วย คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.2 แสดงแบบต่างๆ ของสื่อกลาง

ค่าความกว้างแถบ (Band width) หมายถึง ช่วงความถี่ที่ครอบคลุมกำลังงานส่วนมาก (ต่อความต้องการของสัญญาณที่สนใจ) หรือช่วงความถี่ที่มีอัตราขยายหรือค่าการลดทอนเพียงเล็กน้อยในช่วงกลางๆ ของความกว้างแถบ โดยทั่วไปมักกำหนดขอบเขตของความกว้างแถบที่จุด dB หรือครึ่งหนึ่งของกำลังงานสูงสุด อย่างเช่น รูป 3.3 ที่แสดงค่าความกว้างแถบของสัญญาณเสียง ซึ่งมีค่าความกว้างแถบเท่ากับ 3,000 HZ (เลือกที่จุด 3dB)

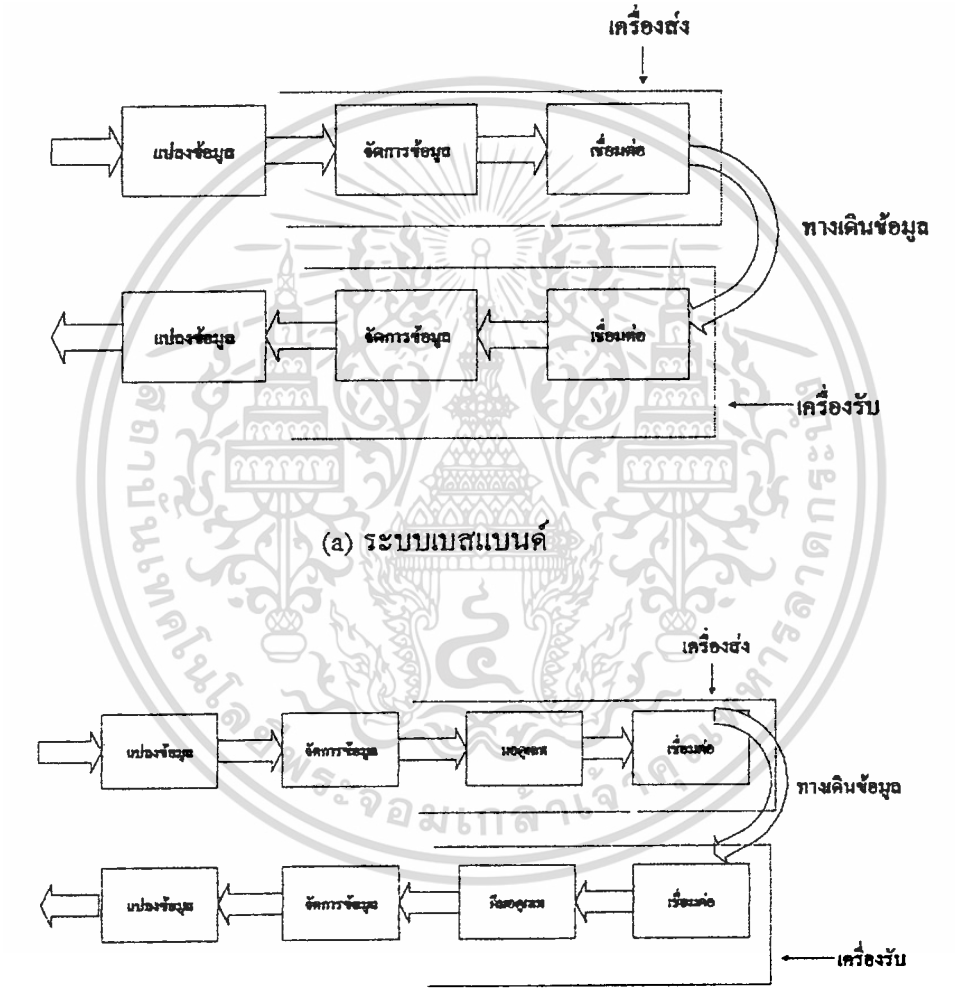


รูปที่ 3.3 แสดงการกำหนดค่าความกว้างแถบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เห็นได้ว่ากรณีที่ช่องสัญญาณติดต่อ มีความกว้างแถบไม่เพียงพอต่อสัญญาณที่เราสนใจอยู่ ทำให้สัญญาณไม่สามารถส่งผ่านได้หมด เราเรียกลักษณะการเกิดกรณีนี้ว่าความเพี้ยน (Distortion)

เมื่อถึงจุดนี้ ขอให้ลองพิจารณาระบบสื่อสารแบบอนาล็อก ในรูป 3.4 ซึ่งมีการทำงานภายในต่างกัน แต่มีจุดหลักที่เหมือนกัน คือ การรับและส่งข้อมูลในแบบอนาล็อก (analog) เช่น เสียง หรือภาพที่มองเห็นได้



(a) ระบบเบสแบนด์

(b) ระบบมอดดูเลท

รูปที่ 3.4 แสดงระบบสื่อสารแบบอนาลอก

จากรูป 3.4 (a) แสดงให้เห็นถึงระบบแบบเบสแบนด์ (Base band) ที่มีลักษณะสำคัญ คือ รูปสัญญาณที่ส่งออกมา จะมีรูปสเปคตรัมของความถี่เดียวกับแหล่งต้นทาง หรือแหล่งผลิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ ซึ่งหมายถึง ไม่มีการมอดดูเลท (modulate) กับคลื่นพาหะที่มีความถี่สูงกว่า ส่วนขั้นตอนที่เกี่ยวกับสัญญาณในด้านส่ง อาจมีการขยายสัญญาณ การกรองความถี่ หรือการแมชชิ่งอิมพีแดนซ์ (impedance) เพื่อลดการสูญเสียในการส่งและรับ

ส่วนรูป 3.4 (b) แสดงถึงระบบสื่อสารแบบอนาล็อก ที่มีการรวมและการแยกสัญญาณโนทางคณิตศาสตร์ (Modulation and Demodulation) อธิบายได้ว่า การรวมหรือแยกสัญญาณจะใช้การเปลี่ยนรูปสเปคตรัมความถี่ของสัญญาณให้เข้ากับช่วงความความถี่ที่เลือกไว้ หรือในอีกแง่หนึ่งเป็นการป้องกันสัญญาณอื่นเข้าแทรกในช่วงความถี่เดียวกัน

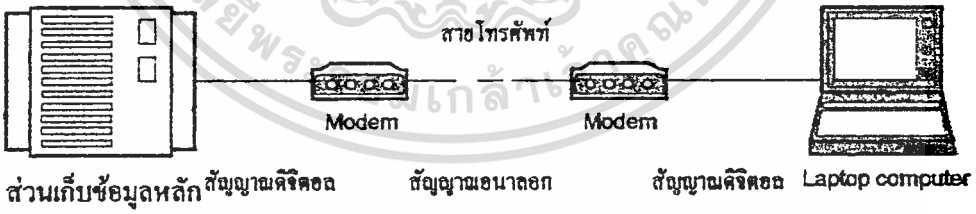
ตัวอย่างของการใช้ระบบนี้ที่มีใช้กันอย่างแพร่หลาย คือ การกระจายเสียงวิทยุ ในแบบ AM และ FM

#หมายเหตุ# ความหมาย และวิธีการของคำว่า "มอดดูเลท" และ "ดีมอดดูเลท" (Modulate and Demodulate) จะมีการอธิบายอย่างละเอียดในตอนต่อไป

3.2.2 ระบบสื่อสารแบบดิจิตอล

ลักษณะข้อมูลที่ใช้ในระบบนี้จะอยู่ในรหัส "1" หรือ "0" เช่นเลขฐานสอง เลขฐานสิบหก เป็นต้น

บางครั้งอาจมีความต้องการส่งสัญญาณอนาล็อกผ่านระบบดิจิตอล จึงต้องมีการเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลก่อน เรียกว่า การสุ่มตัวอย่าง (Sampling) ซึ่งเป็นวิธี



รูป 3.5 แสดงการสื่อสารทั้งแบบอนาล็อกและแบบดิจิตอล

ทางคณิตศาสตร์ ค่าที่ได้จากการสุ่มตัวอย่างจัดเป็นรหัสเลขฐานสอง (binare code) ที่สามารถจัดการตามเทคนิคทางดิจตอลได้ อย่างเช่น การส่งข้อมูลแบบขนานหรืออนุกรมและแบบสัมพันธ์หรือไม่สัมพันธ์ เป็นต้น

จากรูปแสดงสัญญาณในการติดต่อระหว่าง เครื่องคอมพิวเตอร์กับส่วนเก็บข้อมูลหลักผ่านทางสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยมีอุปกรณ์โมเด็ม (Modulator - DEModulator : MODEM) ทำหน้าที่ช่วยเครื่องคอมพิวเตอร์ ให้สามารถรับและส่งข้อมูลผ่านทางสายโทรศัพท์ได้ โดยแปลงสัญญาณคอมพิวเตอร์ให้เป็นสัญญาณไฟฟ้าในด้านส่ง และแปลงกลับอีกทางด้านรับ

ซึ่งวิธีการแปลงสัญญาณคอมพิวเตอร์เป็นสัญญาณไฟฟ้า เรียกว่า การมอดดูเลท และวิธีการแปลงสัญญาณไฟฟ้าเป็นสัญญาณคอมพิวเตอร์ เรียกว่า การดีมอดดูเลท

ประเด็นอย่างหนึ่งที่ควรสนใจในระบบสื่อสารแบบดิจิตอล คือ ประสิทธิภาพของระบบ โดยพิจารณาจากค่าอัตราการผิดพลาดข้อมูล (Bit Error Rate : BER) ซึ่งเป็นอัตราส่วนระหว่างจำนวนข้อมูลที่ผิดพลาดเทียบกับจำนวนข้อมูลที่ส่งไปทั้งหมดในช่วงเวลาหนึ่ง

โดยถ้า BER มีค่าต่ำ หมายถึงระบบมีประสิทธิภาพสูง (เพราะจำนวนข้อมูลที่ผิดพลาดมีน้อย) นอกจากนี้ ประเด็นอื่นที่เกี่ยวข้องก็มีอัตราความเร็วในการสื่อสารข้อมูล เป็นต้น

#หมายเหตุ# หลักการของทฤษฎีการสุ่มตัวอย่าง (Sampling) และการทำงานของโมเด็มจะอธิบายอย่างละเอียดต่อไป

3.3 การสื่อสารข้อมูล (Data Communication)

การสื่อสารข้อมูลเกี่ยวข้องกับการส่งรหัสเลขฐานสอง (Binary code) ซึ่งเป็นรหัสที่สร้างและดำเนินการโดยคอมพิวเตอร์ การติดต่อในการสื่อสารข้อมูลมีลักษณะเชิงดิจิตอลที่สามารถกำหนดสภาวะได้ 2 สถานะ คือ ค่าตรรกะ (logic) เท่ากับ 1 หรือ 0 ส่วนเชิงอนาล็อกมีได้ไม่จำกัดสถานะ

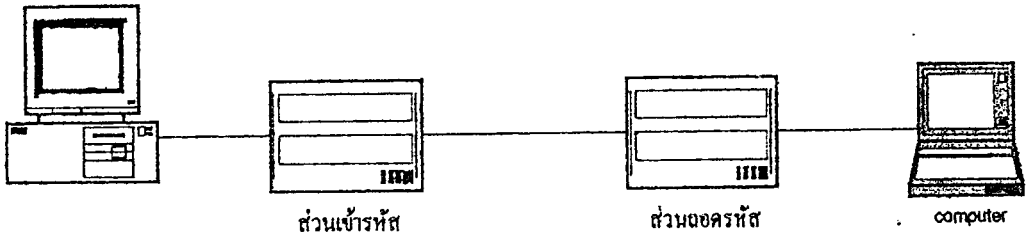
กำหนดให้การใช้ข้อมูลแทนข้อความ (text), กราฟฟิกส์(graphics) เป็นรหัสขนาด n บิตที่สามารถแทนจำนวนข้อมูลได้ 2 ตัว

สำหรับรหัสที่ใช้แทนอักษร ตัวเลข หรือสัญลักษณ์พิเศษ เรียกว่าตัวอักขระ (Alphanumeric)

ประเด็นที่เป็นการสื่อสารระหว่างเครื่องจักรด้วยกัน พบว่าเครื่องจักร เช่น คอมพิวเตอร์ หรือโทรพิมพ์ ไม่มีความสามารถเข้าใจถึงความหมายของตัวหนังสือได้ จึงต้องมีการแปลงความหมายให้เป็นแบบที่เครื่องจักรสามารถตีความได้ คือ ในสถานะของเลขฐานสอง

ดังนั้นจึงต้องมีอุปกรณ์ทำหน้าที่เข้ารหัส (Encoder) และถอดรหัส(Decoder) มาใช้ในการรับ/ส่ง ข้อมูลระหว่างเครื่องจักรด้วยกัน อย่างเช่นในรูป 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



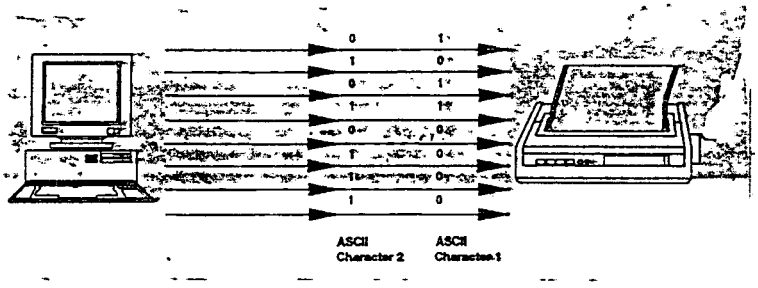
รูป 3.6 แสดงการส่งข้อมูลผ่านโดยใช้รหัส

3.4 การรับส่งข้อมูลแบบ Parallel และ Serial

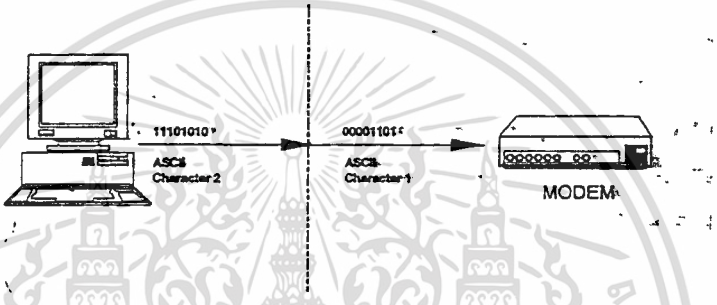
อย่างไรก็ตาม เราต้องกำหนดมาตรฐานวิธีรับส่งข้อมูลระหว่างเครื่องคอมพิวเตอร์ขึ้นด้วยจะมีเพียงรหัสตรงกันเท่านั้นไม่ได้ เพราะเราทราบดีแล้วว่า ข้อมูลคอมพิวเตอร์จริงๆ แล้วก็คือสัญญาณไฟฟ้า ถ้าแต่ละคนกำหนดสัญญาณไฟฟ้าแทนสถานะ "0" และ "1" ไม่เท่ากัน คอมพิวเตอร์จะแยกไม่ออกว่าสัญญาณที่ได้รับนั้นเป็น "0" หรือ "1" เนื่องจากใช้ระดับสัญญาณไม่ตรงกัน โดยทั่วไปเครื่องคอมพิวเตอร์มีมาตรฐานการรับส่งข้อมูลแบ่งออกเป็นสองแบบ คือ การรับส่งข้อมูลแบบขนานกับการรับส่งข้อมูลแบบอนุกรม

การรับส่งข้อมูลแบบขนาน เรียกอีกชื่อหนึ่งว่า Parallel Interface ปกติจะใช้สำหรับส่งข้อมูลจากคอมพิวเตอร์ไปให้เครื่องพิมพ์ การรับส่งข้อมูลแบบขนานนี้ คอมพิวเตอร์จะส่งข้อมูลออกไปครั้งละ 8 บิตหรือหนึ่งไบต์เลยทีเดียว ดังนั้นสายเคเบิลที่ใช้ส่งข้อมูลจึงมีจำนวนเส้นค่อนข้างมาก คือต้องใช้ 8 เส้น สำหรับสัญญาณแต่ละบิต พร้อมกับมีสัญญาณควบคุมอีกหลายเส้น ข้อดีของการรับส่งข้อมูลแบบนี้ก็ คือสามารถส่งข้อมูลได้รวดเร็ว เพราะส่งครั้งหนึ่งเท่ากับข้อมูล 8 บิต นอกจากนี้วงจรทางด้านฮาร์ดแวร์ของตัวรับและตัวส่งยังมีขนาดเล็กและราคาถูกด้วย เครื่องพิมพ์เกือบทุกยี่ห้อมักจะต่อแบบขนานนี้กับเครื่องคอมพิวเตอร์ ข้อจำกัดของการรับส่งข้อมูลแบบขนานก็คือ มันส่งได้ไม่ไกล เนื่องจากว่าสัญญาณไฟฟ้าที่ใช้ในการส่งมีค่าเพียง 0 ถึง +5 โวลต์เท่านั้น เมื่อต่อสายยาวๆ ความต้านทานภายในสายไฟจะทำให้สัญญาณอ่อนลงจนรับไม่ได้ในที่สุด เนื่องจากสายมีค่า C แฝง สัญญาณดิจิตอลมีลักษณะเป็นพัลส์จะทำให้ขนาดลดลงและเสียรูป จนอุปกรณ์ปลายทางไม่สามารถรับได้ และจำเป็นต้องใช้สายจำนวนมากจึงไม่เหมาะที่จะใช้ส่งข้อมูลเป็นระยะทางไกลๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

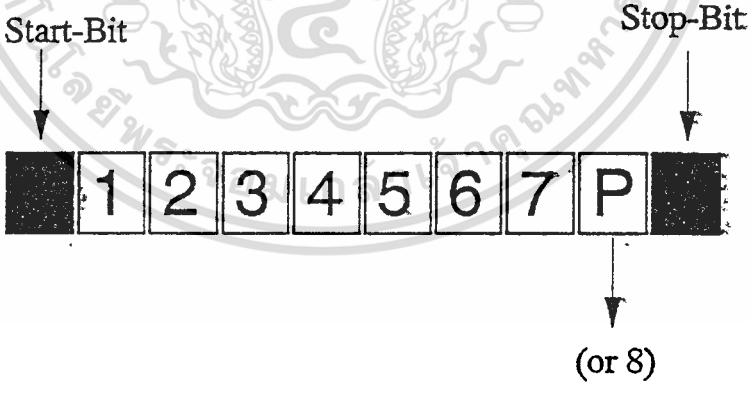


Parallel Transmission



Serial Transmission

รูป 3.7 การส่งข้อมูลแบบขนานและแบบอนุกรม



รูป 3.8 Start Bit และ Stop Bit จะช่วยให้คอมพิวเตอร์แยกข้อมูล
แต่ละตัวออกมาได้อย่างถูกต้อง

ส่วนการรับส่งข้อมูลแบบอนุกรมนั้นมีชื่อเรียกว่า Serial Interface หรือ RS-232C การรับส่งข้อมูลแบบนี้ซับซ้อนกว่าแบบแรกมาก วิธีการส่งข้อมูลจะนำข้อมูลหนึ่งไบต์มาส่งออกไปทางสายทีละหนึ่งบิตเรียงกันไปจนครบ 8 บิต จากการที่ส่งข้อมูลเรียงกันไปนี้ จำนวนสายที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่งข้อมูลจึงลดลงเหลือเพียง 3 ถึง 5 เส้นเท่านั้น ความซับซ้อนอยู่ตรงที่ทำอย่างไรทางด้านรับจึงจะรู้ว่าข้อมูลมาถึงเมื่อไร ตรงไหนคือข้อมูลบิตแรก บิตที่สอง ไปจนถึงบิตสุดท้าย เราจึงต้องเพิ่มส่วนเริ่มต้นข้อมูลและส่วนปิดท้ายข้อมูลเข้าไปด้วยเรียกว่า Start Bit และ Stop Bit

คราวนี้ผู้รับหรือคอมพิวเตอร์ที่รับข้อมูลก็จะสามารถแยกแยะสัญญาณที่ได้รับออกมาเป็นข้อมูลได้ถูกต้อง ข้อดีของการส่งข้อมูลแบบอนุกรมก็คือ เหมาะสำหรับรับส่งข้อมูลระยะไกลมากกว่าการส่งข้อมูลแบบขนาน เพราะใช้จำนวนสายน้อยกว่าและระดับแรงดันไฟฟ้าที่ใช้ในการส่งมีค่า +12 โวลต์กับ -12โวลต์ ทำให้เราสามารถส่งข้อมูลได้ไกลถึง 35 เมตร โดยไม่ต้องมีอุปกรณ์เพิ่มเติมเข้าช่วยเลย ข้อเสียของการส่งข้อมูลแบบอนุกรมคือ ความเร็วในการส่งข้อมูลจำกัดอยู่ที่ 19,200 บิตต่อวินาทีสูงสุด นับว่าช้ากว่าการส่งข้อมูลแบบขนานอยู่มาทีเดียว นอกจากนี้วงจรฮาร์ดแวร์ที่ใช้ในการรับส่งข้อมูลแบบอนุกรมยังมีราคาแพงกว่าด้วย

การส่งข้อมูลแบบอนุกรมนี้ เราต้องคำนึงถึงรายละเอียดในการส่งข้อมูลมากกว่าการส่งแบบขนานหลายอย่าง เช่น ความเร็วในการรับส่งข้อมูล การตรวจสอบความถูกต้องของข้อมูล จำนวนบิตของข้อมูล ฯลฯ ทั้งหมดนี้ถ้ามีอะไรไม่ตรงกันระหว่างผู้รับและผู้ส่ง การส่งข้อมูลแบบอนุกรมก็จะผิดพลาดหรือรับส่งกันไม่ได้

3.4.1 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม

ความเร็วของการถ่ายโอนข้อมูลแบบอนุกรม มีหน่วยวัดเป็นบิตต่อวินาที (bit per second):bps ส่วนการเปลี่ยนแปลงของสัญญาณใน 1 วินาทีเรียกว่า บอดเรด (baud rate) หรืออัตราบอด การเปลี่ยนแปลงของสัญญาณ 1 ครั้งอาจจะแสดงถึงการส่งข้อมูลแบบอนุกรมมากกว่า 1 bit ก็ได้ ถ้าเขียนในรูปของสมการคณิตศาสตร์จะได้

อัตราบิต (bit rate) = อัตราบอด (baud rate) * (บิตใน 1 บอด)

3.4.2 ลักษณะการส่งข้อมูลแบบอนุกรม

แบ่งออกได้เป็น

- <u>การส่งข้อมูลแบบซิงโครนัส</u> (Synchronous) จำเป็นต้องมีสัญญาณนาฬิกา (clock) เพิ่มเข้ามาเพื่อใช้ในการควบคุมการส่งข้อมูลฉะนั้นจึงต้องเพิ่มสายส่งสำหรับสัญญาณนาฬิกาอีกเส้นหนึ่งด้วย
- <u>การส่งข้อมูลแบบอะซิงโครนัส</u> (Asynchronous) ไม่มีสัญญาณนาฬิกาควบคุม ดังนั้นจึงจำเป็นต้องเพิ่ม start bit, stop bit และ parity bit เพื่อจะให้ตัวรับทราบว่าส่วนใดเป็นข้อมูลที่ส่งออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 คุณสมบัติของ Full Duplex และ Half Duplex

ในการรับส่งข้อมูลระหว่างกันนั้น อาจแบ่งตามลักษณะและการรับส่งได้เป็น 3 วิธีใหญ่ๆ คือ

- การรับหรือส่งทางเดียว (Simplex)
- การรับส่งแบบผลัดกันส่ง (Half Duplex)
- การรับส่งสวนทางได้พร้อมกัน (Full Duplex)

ทั้งสามวิธีมีข้อดีและข้อเสียในตัวของมันเอง ความจริงแล้วเราได้ใช้การรับส่งทั้งสามวิธีนี้ในชีวิตประจำวันอยู่ตลอดเวลา ไม่ว่าจะเป็นการชมโทรทัศน์ การฟังเพลง การสนทนา หรือในการทำงานต่างๆ

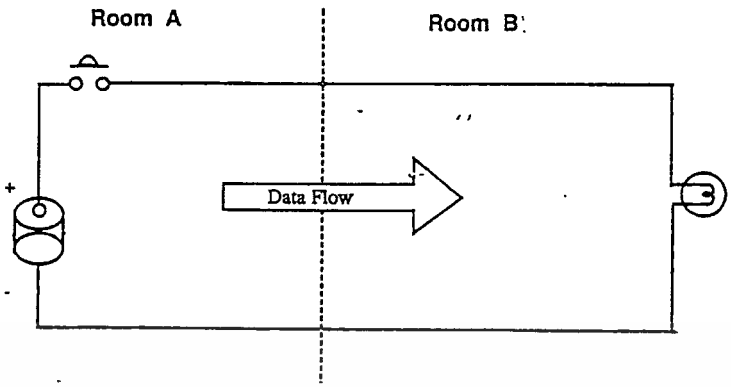
แต่ละแบบของการรับส่งดังกล่าว มีคุณสมบัติเฉพาะตัวของมันเอง และในบางกรณีจะนำมาใช้ทดแทนกันไม่ได้เลย หรือจะตัดแบบใดแบบหนึ่งทิ้งไปจากระบบก็ไม่ได้เช่นกัน ในตอนนี้เราจะพูดถึงรายละเอียด และคุณสมบัติของการรับส่งข้อมูลทั้งสามแบบนี้ โดยจะเน้นไปที่การรับส่งข้อมูลแบบผลัดกันส่ง (Half Duplex) และการรับส่งข้อมูลแบบส่งสวนทางได้พร้อมกัน (Full Duplex) ซึ่งเป็นที่แบบที่เราใช้รับส่งข้อมูลอนุกรมของคอมพิวเตอร์นั่นเอง

การติดต่อสื่อสารแบบที่รับหรือส่งทางเดียวนั้น เราเรียกมันว่า เป็นการสื่อสารแบบ Simplex ตัวอย่างง่ายๆ ที่เห็นได้ชัดก็คือ การรับส่งโทรทัศน์ และวิทยุกระจายเสียงนั่นเอง สถานีโทรทัศน์จะเป็นตัวส่งและเครื่องรับทำหน้าที่รับแต่เพียงอย่างเดียว จะส่งข่าวหรือภาพกลับมายังสถานีส่งไม่ได้ การสื่อสารแบบ Simplex นี้ เรามักจะไม่ค่อยนำมันมาใช้ในการสื่อสารข้อมูล เนื่องจากว่าเราจำเป็นต้องโต้ตอบกันระหว่างการรับส่งข้อมูล หรือบางทีก็เปลี่ยนจากผู้รับเป็นผู้ส่ง ซึ่งทำไม่ได้สำหรับการติดต่อกันในแบบ Simplex นี้ การสื่อสารแบบ Simplex นอกจากจะใช้สำหรับส่งโทรทัศน์ และวิทยุกระจายเสียงแล้ว เครื่องโทรพิมพ์ตามสำนักพิมพ์บางชนิดอาจใช้การติดต่อแบบนี้เช่นกันในการรับข่าวสารจากที่อื่นๆ เพียงอย่างเดียว

3.5.1 Full Duplex และ Half duplex คืออะไร

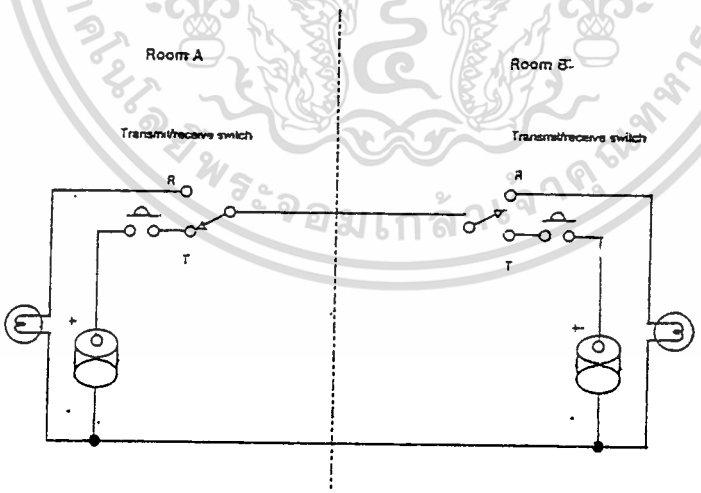
ส่วนการรับส่งแบบที่สองนี้ เรียกว่า การรับส่งแบบ Half Duplex มีคุณสมบัติสามารถรับและส่งข้อมูลได้ แต่ว่าต้องสลับกันส่ง จะส่งพร้อมกันทั้งสองด้านไม่ได้ อุปกรณ์ที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.9 การรับส่งข้อมูลแบบทางเดียวหรือ Simplex

การติดต่อในแบบ Half Duplex ได้แก่ วิทยุมือถือ (Walkie - talkie) และ INTERCOM เป็นต้น เมื่อฝ่ายใดฝ่ายหนึ่งส่งอีกฝ่ายก็จะทำหน้าที่รับ จนกระทั่งฝ่ายแรกส่งจบฝ่ายหลังจึงจะกลับเป็นผู้ส่งได้ และฝ่ายส่งในตอนแรกก็จะเป็นผู้รับสลับกันเช่นนี้เรื่อยไป ทั้งสองฝ่ายจะเป็นผู้ส่งพร้อมกันไม่ได้ เพราะสัญญาณจะชนกันทำให้ฟังไม่รู้เรื่องการรับส่งในแบบ Half Duplex นับว่าซับซ้อนกว่าในแบบ Simplex ขึ้นมาหน่อย เพราะทั้งสองด้านสามารถทำหน้าที่รับและส่งได้ตามลำดับ อย่าชนกันเป็นอันใช้ได้

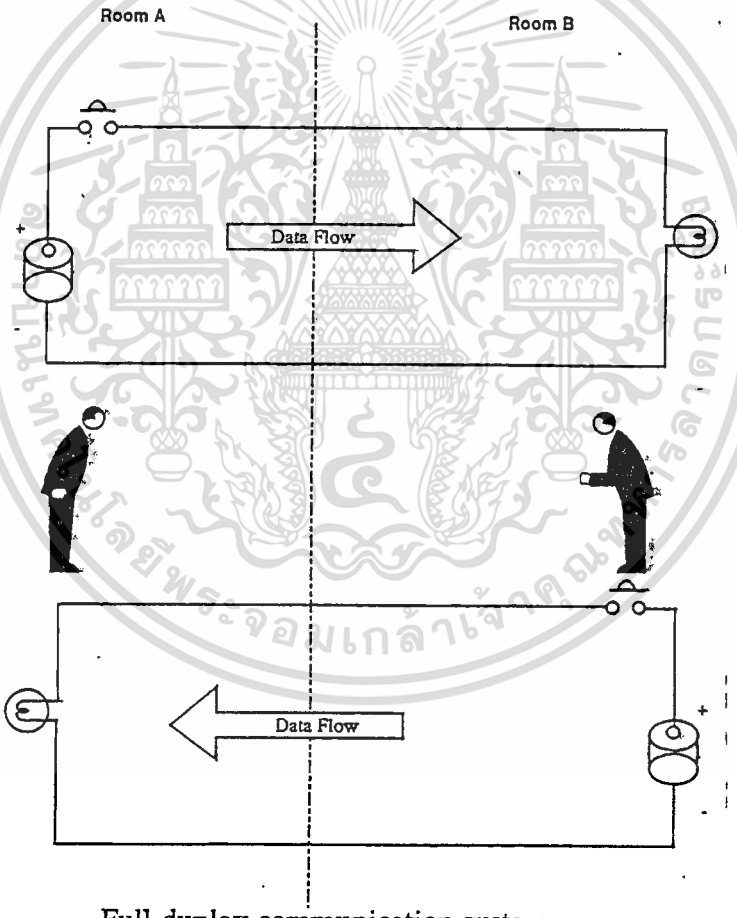


รูป 3.10 การรับส่งข้อมูลสวนทางกันได้แบบผลัดกันส่งหรือ Half Duplex

แบบที่ซับซ้อนที่สุด ก็คือ การรับส่งในแบบสวนทางได้พร้อมกัน ซึ่งเรียกว่า Full Duplex การรับส่งแบบนี้ ผู้รับและส่งสามารถรับและส่งพร้อมๆ กันในเวลาเดียวกันได้ ไม่จำเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องรอให้อีกฝ่ายหนึ่งส่งจบเสียก่อนอย่างใน Half Duplex ตัวอย่างเช่น การพูดโทรศัพท์ของเรา ถึงแม้ปกติเมื่อผู้หนึ่งพูดอีกฝ่ายจะคอยฟัง แล้วตอบกลับมาเมื่อฝ่ายแรกพูดจบซึ่งเป็นลักษณะของการติดต่อแบบ Half Duplex ก็ตามแต่ เราอาจจะพูดพร้อมๆ กัน หรือพูดสวนกลับไปได้ทันทีโดยยังคงฟังอยู่เหมือนเดิม ลักษณะเช่นนี้เราเรียกว่าติดต่อกันในแบบ Full Duplex การสื่อสารข้อมูลระหว่างคอมพิวเตอร์สองเครื่องมีใช้ทั้งแบบ Half Duplex และ Full Duplex ขึ้นอยู่กับลักษณะของการเชื่อมต่อและงานของมัน



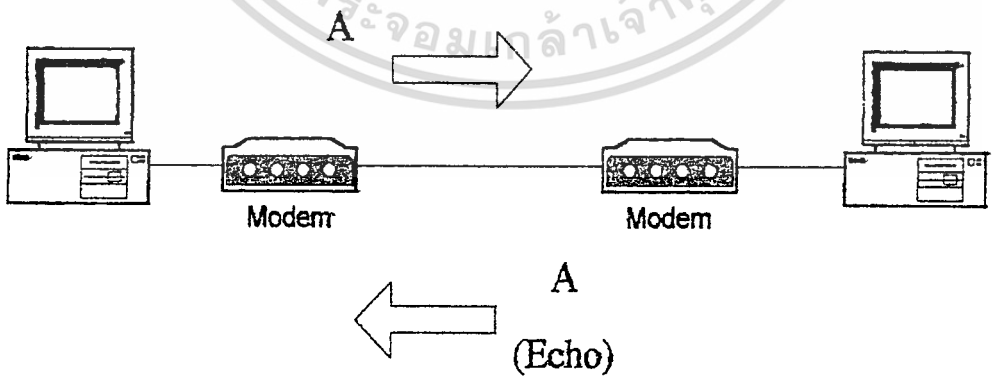
รูป 3.11 การรับส่งข้อมูลสวนทางกันได้พร้อมกันหรือ Full Duplex

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.2. ลักษณะการรับส่ง และการ Echo ของข้อมูล

เมื่อคอมพิวเตอร์รับส่งข้อมูลในแบบ Half Duplex หรือ Full Duplex ก็ตามมันจะต้องใช้การรับส่งให้เหมือนกันทั้งสองด้าน การรับส่งข้อมูลแบบ Half Duplex เครื่องคอมพิวเตอร์ผลัดกันส่งข้อมูลและมีหน้าที่พิมพ์ข้อความที่ตัวเองส่งออกไปขึ้นแสดงบนจอภาพด้วยหรือมีคุณสมบัติที่เราเรียกว่า "Echo On" นั่นเอง ข้อความไม่ว่าจะส่งออกไปโดยการพิมพ์จากแป้นพิมพ์หรืออ่านจากแผ่นดิสก์ก็ตาม เครื่องคอมพิวเตอร์ที่ส่งข้อความจะต้องนำข้อความนั้นแสดงผลออกทางจอภาพด้วยตัวเอง การรับส่งข้อมูลในแบบ Half Duplex จึงต้องกำหนดให้เครื่องคอมพิวเตอร์หรือเทอร์มินัลที่ใช้ ทำงานในลักษณะ Echo On เสมอ มิฉะนั้นเราจะมองไม่เห็นข้อความที่เราส่งออกไป มองเห็นแต่เฉพาะข้อความที่อีกฝ่ายหนึ่งส่งมาเท่านั้น

เมื่อคอมพิวเตอร์รับส่งข้อมูลในแบบ Full Duplex มันก็สามารถรับและส่งข้อมูลสวนทางกันได้ในเวลาเดียวกัน เครื่องคอมพิวเตอร์ที่รับส่งแบบ Full Duplex จะไม่พิมพ์ข้อความที่ตัวเองส่งออกไปขึ้นแสดงบนจอภาพ แต่จะรอรับฟังข้อความจากอีกฝ่ายหนึ่งส่งกลับมาให้เท่านั้น เราเรียกว่า "Echo Off" ข้อความจากแป้นพิมพ์และจากแผ่นดิสก์ที่ส่งออกไป ปกติเราจะมองไม่เห็น เครื่องคอมพิวเตอร์อีกด้านหนึ่งจะส่งข้อความนั้นกลับมาให้ปรากฏบนจอภาพของเราเมื่อมีความจำเป็นการรับส่งข้อมูลแบบ Full Duplex จึงต้องกำหนดให้คอมพิวเตอร์ทำงานในลักษณะ Echo Off เสมอ ถ้ากำหนดผิดเราจะเห็นข้อความที่พิมพ์ออกไปกลายเป็นสองตัวซ้อนกันอย่างนี้บนจอภาพ "LLiikkee TThhiiss"



รูป 3.12 การรับส่งแบบ Full Duplex ผู้รับจะต้องส่งข้อมูลกลับ (echo) ไปให้ผู้ส่งเสมอ

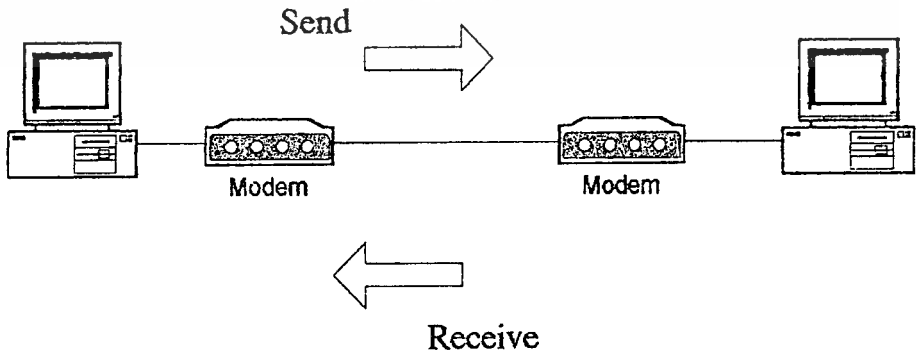
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการเชื่อมต่อระหว่างคอมพิวเตอร์นั้น การรับส่งแบบ Half Duplex จะมีประสิทธิภาพต่ำกว่าเนื่องจากต้องผลัดกันส่งข้อมูล แต่ก็มีข้อดี คือประหยัดสายส่งข้อมูล เพราะเราสามารถใช้สายเพียงคู่เดียวในการรับส่งข้อมูลแบบ Half Duplex นี้ การรับส่งแบบ Full Duplex จะต้องใช้สายสองคู่ คือ สำหรับส่งข้อมูลหนึ่งคู่ และรับข้อมูลอีกหนึ่งคู่ แยกวงจรรับส่งให้เป็นอิสระออกจากกัน ประสิทธิภาพในการรับส่งข้อมูลจึงสูงกว่าในแบบ Half Duplex ถึงสองเท่า

3.5.3 เทคนิคที่ใช้ส่งข้อมูลแบบ Full Duplex ด้วยสายคู่เดียว

จากการที่ Full Duplex มีข้อดีหลายอย่างในการรับส่งข้อมูล แต่มีข้อเสียตรงที่ต้องใช้สายสองคู่หรือสี่เส้นเพื่อส่งข้อมูล จึงได้มีผู้พยายามพัฒนาลดจำนวนสายส่งลงให้เหลือเพียงหนึ่งคู่เท่ากับที่ใช้ใน Half Duplex ทั้งนี้เนื่องจากค่าใช้จ่ายของสายส่งระยะทางไกลๆ มีราคาแพง ถ้าต้องใช้สายถึงสองคู่ก็จะทำให้ค่าใช้จ่ายของสายส่งข้อมูลแพงมากจนเกินไป สำหรับการเชื่อมต่อระยะใกล้ๆ เราอาจยอมใช้สายสองคู่รับส่งข้อมูลแยกจากกันได้ แต่การใช้งานระยะทางไกลแล้ว สายคู่เดียวจะประหยัดและสะดวกกว่ามากโดยเฉพาะอย่างยิ่งในกรณีที่เรารับส่งข้อมูลด้วยความเร็วไม่สูงมากนักการใช้สายเพียงคู่เดียวส่งข้อมูลในแบบ Full Duplex เป็นสิ่งที่เป็นไปได้ และนับเป็นการใช้งานสายส่งข้อมูลอย่างคุ้มค่าอีกด้วย

คุณสมบัติของสายส่งข้อมูลนั้น จะสามารถส่งสัญญาณไฟฟ้าผ่านไปยังปลายทางได้โดยมีช่วงความถี่ช่วงหนึ่ง ช่วงความถี่ที่สายส่งข้อมูลส่งผ่านไปถึงปลายทางได้นี้ เราเรียกว่า Bandwidth ของสายส่ง อย่างเช่น สายโทรศัพท์ที่เราใช้กันอยู่ทุกวันนี้ รับส่งความถี่ได้ในช่วงความถี่ไม่เกิน 4KHz ความถี่ที่สูงกว่าจะถูกลดทอนเนื่องจากค่า R,L และ C



รูป 3.13 เมื่อด้านรับและด้านส่งใช้ความถี่คนละความถี่ เราสามารถใช้สายคู่เดียวกันรับส่งข้อมูลในแบบ Full Duplex ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการรับส่งข้อมูลต่างๆ ที่มีความเร็วไม่สูงมากนัก เราจะไม่ได้ความถี่ทั้งหมดของสายในการรับส่งข้อมูล ดังนั้นจึงมีผู้คิดขึ้นมาว่า ความถี่ที่ไม่ได้ใช้ของสายส่งที่เหลือ น่าจะนำมาใช้ให้เป็นประโยชน์ได้ โดยแบ่งความถี่ของสายส่งออกเป็นสองส่วน ส่วนที่หนึ่งใช้สำหรับส่ง และส่วนที่สองใช้สำหรับรับ ข้อมูลเทคนิคอันนี้เรียกว่า Frequency Division เช่น ด้านส่งใช้ความถี่ 1200 Hz และด้านรับใช้ความถี่ 2400 Hz เป็นต้น เพียงเท่านี้เราก็สามารถรับส่งข้อมูลในแบบ ในแบบ Full Duplex ที่เราใช้กันอยู่ทุกวันนี้นั่นเอง

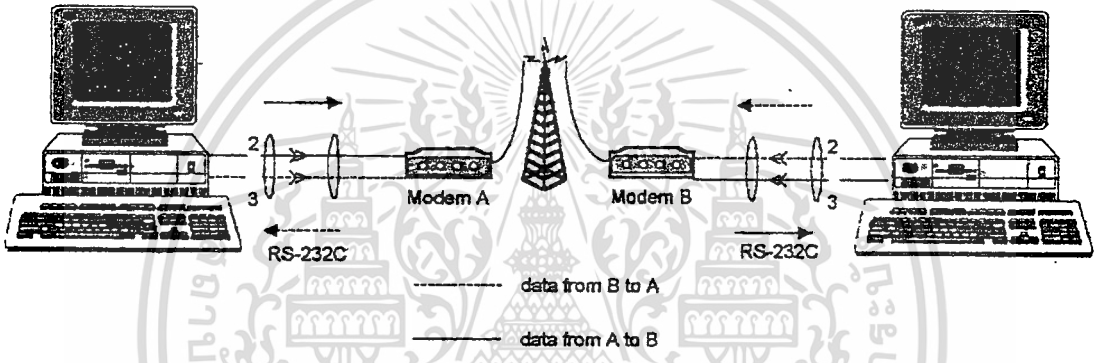
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038376

บทที่ 4
พอร์ต RS-232C และ มาตราฐานโมเด็ม

4.1 บทนำ

MODEM ที่ใช้ในโครงงานนี้จะใช้ติดต่อกับเครื่อง Micro Computer โดยติดต่อผ่านทาง port มาตรฐาน RS-232C ฉะนั้นเนื้อหาในตอนนี้จะเป็นการแนะนำ port RS-232C เพื่อใช้เป็นความรู้พื้นฐานในการกล่าวถึง port RS-232C ต่อไป และมาตราฐานโมเด็มที่ใช้กันอยู่ในปัจจุบัน



รูป 4.1 แสดงการใช้งาน MODEM โดยติดต่อผ่านทาง port RS-232C

4.2 PORT RS-232C

port RS-232C นี้ทำหน้าที่รับและส่งข้อมูลในแบบอนุกรม เรียกว่า Universal Asynchronous Adapter เนื่องจาก EIA ได้กำหนดมาตรฐานของอุปกรณ์แบบอนุกรมเอาไว้ภายใต้ชื่อว่า RS-232C ความจริงมาตรฐานของการส่งข้อมูลแบบอนุกรมมีหลายมาตรฐานแต่ที่นิยมใช้กันมากที่สุดสำหรับไมโครคอมพิวเตอร์ก็คือ RS-232C คำว่า RS ย่อมาจาก Recommened Standard ส่วน 232 เป็นหมายเลขบ่งบอกมาตรฐานตัวนี้ C เป็นหมายเลขของฉบับท้ายสุดของมาตรฐานนี้ ความเร็วในการเชื่อมต่อ RS-232C สามารถถ่ายเทข้อมูลได้ในช่วง 0-20,000 บิตต่อวินาที และระยะทางในการส่งสัญญาณตามมาตรฐานของ RS-232 ไม่ควรเกิน 50 ฟุต ซึ่งพอเพียงสำหรับการสื่อสารระหว่าง DTE กับ DCE

RS-232C เป็นมาตรฐาน มีชื่อเต็มว่า "Interface Between Data Terminal Equipment and Data Communication Equipment employing serial binary date interchange" ซึ่งแปลตรงๆ ก็

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คือ เป็นมาตรฐานสำหรับการอินเตอร์เฟสอุปกรณ์ Data terminal เข้ากับอุปกรณ์ Data Communication โดยอาศัยวิธีการส่งข้อมูลดิจิตอลแบบอนุกรม

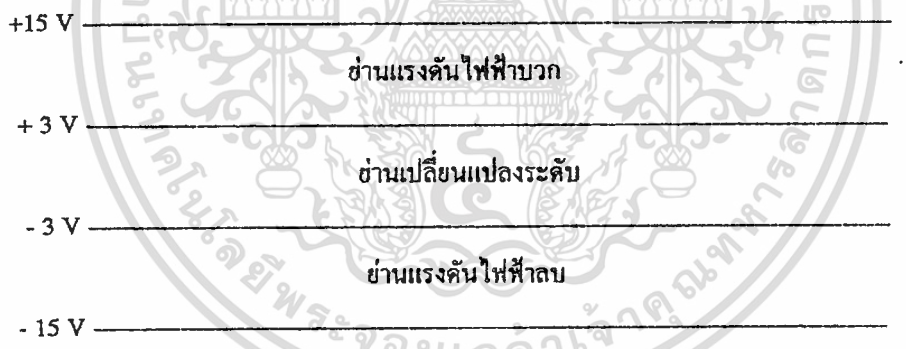
4.3 ลักษณะสมบัติทางไฟฟ้าของสัญญาณ RS-232C

4.3.1 สถานะ

สำหรับมาตรฐานของการใช้แรงดันไฟฟ้าจะกำหนดไว้ดังตารางมาตรฐานแรงดันไฟฟ้ารูปที่ 4.2 แรงดันสูงสุดที่วงจรใน DTE และ DCE ไม่ควรเกิน 25 V และ Open circuit voltage ต้องไม่เกิน 2V (วัดเทียบกับ Signal ground)

ตารางมาตรฐานของการใช้แรงดันไฟฟ้า

แรงดันไฟฟ้า	โลจิก	สัญญาณ	ฟังก์ชั่นในการควบคุม
บวก	0	Space	ON
ลบ	1	Mark	OFF



รูปที่ 4.2 แสดงย่านของแรงดันไฟฟ้าที่ใช้ในสัญญาณ RS-232C

4.3.2 วงจรขับสัญญาณ

หากเกิดสภาพการลัดวงจรของสายเชื่อมต่อคู่ใดๆ จะต้องมีกระแสลัดวงจรไม่เกิน 0.5 A และแรงดันที่ DCE ต้องไม่เกิน 25 V เมื่อถอด connector

4.3.3 ความต้านทาน

เมื่อมองจากด้านจุด Interfacr Point ไปยัง DCE จะต้องมีค่า 3,000 ohm - 7,000 ohm

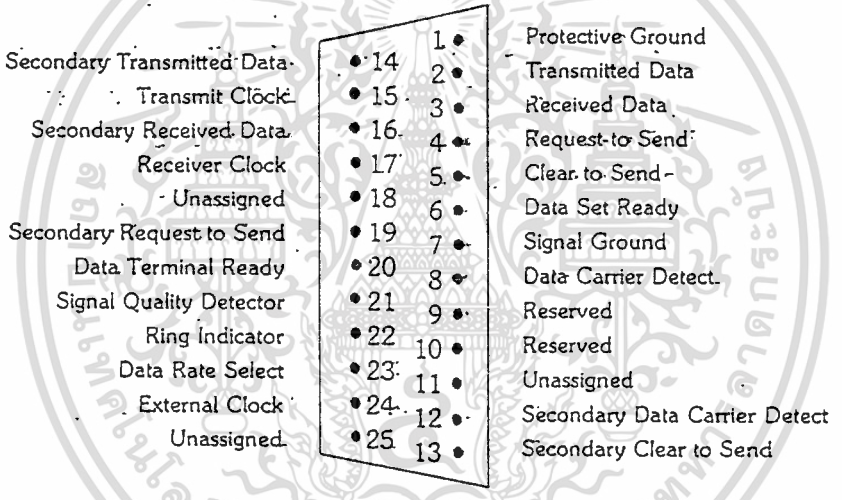
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.4 ความไว

สัญญาณควบคุมจะต้องผ่านช่วงเปลี่ยนแปลงระดับ (-3V ถึง +3V) ภายในเวลาไม่เกิน 1 msec ส่วนสัญญาณข้อมูลจะต้องผ่านช่วงเปลี่ยนแปลงระดับภายในเวลาไม่เกิน 1 msec หรือ 4 เปอร์เซ็นต์ของความกว้างของรูปสัญญาณนั้น

4.4 ลักษณะสมบัติเชิงกลของข้อต่อ (connector)

RS-232C ไม่ได้กำหนดว่าจะต้องใช้ connector รูปร่างอย่างไร แต่ที่นิยมใช้กันทั่วไป คือ DB-25 connector ซึ่งประกอบด้วยขาทั้งหมด 25 ขา ดังรูป 4.3



รูป 4.3 แสดงการกำหนดของข้อต่อ RS-232C

4.4.1 สัญญาณที่ใช้ทั้งหมดใน RS-232C

- **Protective Ground** (PG ขาที่ 1)

หมายถึงตัวถังของเครื่องหรือสายดิน

- **Trensmit data** (TD ขาที่ 2)

เป็นสัญญาณที่ส่งออกจาก DTE (ตัวไมโครคอมพิวเตอร์) ไปยังโมเด็มหรือต่อเข้าโดยตรงกับไมโครคอมพิวเตอร์ตัวอื่นหรือเครื่องพิมพ์ เมื่อไม่มีสัญญาณส่งออกสถานภาพของโลจิกจะมีค่าเท่ากับ "1" สภาวะ "OFF" หรือเทียบเท่ากับ Stop bit ไม่ว่าจะเป็นระบบอะไร DTE ต้องไม่ส่งข้อมูลออกไปจนกว่าสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Request To Send (RTS)

2. Clear To Send (CTS)

3. Data Set Ready (DSR)

4. Data Terminal Ready (DTR)

ทั้งหมดนี้อยู่ในสภาวะ "ON" อยู่

- Receive Data (RD ขาที่ 3)

เป็นทางของสัญญาณเข้าไปยัง DTE เมื่อไม่มีสัญญาณรับเข้ามา ขานี้จะมีสถานภาพทางโลจิกเป็น "1" หรือสภาวะ "OFF"

- Request To Send (RTS ขาที่ 4)

จาก DTE ไปยัง DCE

สภาวะ ON คือบังคับให้ DCE อยู่ใน Transmitting Mode ต่อไป

สภาวะ OFF คือยังคับให้ DCE อยู่ใน Receiving Mode ต่อไป

การเปลี่ยนจาก OFF ไป ON เป็นการบอกให้ DCE จัดการกับระบบสื่อสาร เพื่อให้ช่องทางต่อเชื่อมและให้สัญญาร Clear To Send (CTS) กลับมาเป็นการบอกว่าส่งได้

การเปลี่ยนจาก ON ไป OFF เป็นการบอกให้ DCE ส่งข้อมูลผ่านช่องสื่อสารให้หมดแล้วกลับไปอยู่ใน Receiving mode หรืออยู่เฉยๆ พร้อมกับให้ CTS เป็น 0

- Clear To Send (DTS ขาที่ 6)

จาก DCE ไป DTE สภาวะ ON หมายความว่าข้อมูลจาก DTE ขา 2 จะถูกส่งต่อไปในช่องทางสื่อสาร (โมเด็มส่งข้อมูลออกสายโทรศัพท์) ทันที CTS จะ ON หลังจาก DSR และ RTS อยู่ในสภาวะ ON และการต่อเชื่อมวงจรสื่อสาร (ชุมสายโทรศัพท์) เสร็จแล้ว

- Data Set Ready (DTS ขาที่ 6)

จาก DCE ไป DTE คือความพร้อมของโมเด็มนั่นเอง จะเป็น ON (พร้อม) ต่อเมื่อ

1. DEC (โมเด็ม) เปิดเครื่องอยู่ และอยู่ในสภาวะ off-hook (เหมือนยกหูโทรศัพท์)
2. DCE ไม่อยู่ใน test mode
3. DCE ทำการส่งสัญญาณไปยังชุมสายเสร็จแล้ว

DSR อยู่ในสภาวะ ON เป็นการบอก DTE ว่า โมเด็มต่อเข้ากับสายโทรศัพท์เรียบร้อยแล้วและพร้อมที่จะส่งได้แล้ว

DSR อยู่ในสภาวะ OFF หมายถึงให้ DTE เลิกสนใจสัญญาณตัวอื่นๆ ยกเว้น Ring Indicator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- **Signal Ground** (SG ขาที่ 7)

คือสายร่วมของสัญญาณทุกตัว

- **Carrier Detect** (CD ขาที่ 8)

จาก DCE ไป DTE

สภาวะ ON หมายถึงว่า DCE จับสัญญาณพาหะในช่องทางสื่อสารที่จะทำ demodulate ได้

สภาวะ OFF คือไม่รับสัญญาณอะไรเลย หรือได้รับสัญญาณแต่ไม่สามารถ demodulate เอาข้อมูลออกมาได้

- **Data Terminal Ready** (DTR ขาที่ 20)

จาก DTE ไป DCE

สภาวะ ON หมายถึงว่า DCE เตรียมเพื่อเชื่อมต่อกับตัวอื่น และรักษาช่องทางติดต่อไว้ต่อไป (การเชื่อม channel ทำได้หลายทางคือหมุนเรียกด้วยมือหรืออัตโนมัติ) ถ้า DCE สามารถตอบรับสัญญาณเรียก (cell) ได้ ก็ให้ตอบรับ (answering) เมื่อมีสัญญาณเรียก Ring Indicator และ DTR ON อยู่

สภาวะ OFF คือวางหู และเมื่อ OFF แล้วต้องไม่ ON อีกจนกว่า DSR จะ OFF

- **Ring Indicator** (RI ขาที่ 22)

จาก DCE ไป DTE เหมือนสัญญาณเรียกของโทรศัพท์ แต่เป็นดิจิตอล ใช้ในระบบรอบได้อัตโนมัติ (Auto-answer) สัญญาณนี้จะ ON เมื่อมีสัญญาณกระดิ่งเข้ามา และจะ OFF ระหว่างเสียงดังของกระดิ่ง

ส่วนขาอื่นๆ ที่เหลือนั้น ส่วนมากมีหน้าที่คล้ายกับ 8 ขาแรกที่กล่าวมา และบางเส้นใช้กับงานพิเศษเท่านั้นจึงไม่ขอกล่าวถึงในที่นี้ ขาที่เราใช้สำหรับรับส่งข้อมูลของข้อต่อแบบ DB-25 จึงเหลือเพียงขา 2,3,4,5,6,7,8,20 และ 22 ยกเว้นการต่อใช้งานบางอย่างถึงจะต่อครบทุกเส้น

4.5 DB-25 และ DB-9

จากการที่ข้อต่อแบบ 25 ขาเราใช้งานจริงเพียง 9 ขาเท่านั้น เครื่องคอมพิวเตอร์รุ่นใหม่ๆ จึงได้ลดข้อต่อลงมาใช้แบบ 9 ขาแทน ซึ่งเราเรียกข้อต่อแบบนี้ว่า DB-9 การใช้ข้อต่อแบบ DB-9 นี้มีข้อดีหลายอย่างคือ ขนาดเล็กกะทัดรัด ราคาของข้อต่อถูกกว่า การต่อสายเคเบิลสะดวกขึ้น และการใช้งานคล่องตัว DB-25 สัญญาณต่างๆ ของข้อต่อแบบ DB-9 บางเส้นจะตรงกับที่ใช้ใน DB-25 ดังที่แสดงในตารางเปรียบเทียบ เครื่องคอมพิวเตอร์แบบไอบีเอ็มเอที และรุ่นใหม่ๆ มักจะใช้ข้อต่อแบบ DB-9 สำหรับรับส่งข้อมูลอนุกรมทั้งนั้น แต่อุปกรณ์ต่อพ่วงส่วนมายังคงใช้ข้อต่อแบบ DB-25 อยู่ เราจึงต้องใช้สายเคเบิลที่เหมาะสมสำหรับทั้งสองด้านในการรับส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB-9Pin	DB-25Pin	Assignment/Function
1	8	Carrier detect
2	3	Receive data
3	2	Transmit data
4	20	Data terminal ready
5	7	Signal Ground
6	6	Data set ready
7	4	Request to send
8	5	Clear to send
9	22	Ring indicator

รูป 4.4 การใช้งานรับส่งข้อมูลอนุกรม เราใช้สัญญาณเพียง 9 ขาเท่านั้น

สายเคเบิลของการรับส่งข้อมูลอนุกรมแบ่งออกได้เป็นสองแบบ คือสายตรงและสายสลับที่ต้องมีสายสองแบบนี้ก็เพราะว่าการเชื่อมต่อส่งข้อมูลมีสองกรณีคือ คอมพิวเตอร์ต่อกับคอมพิวเตอร์ และคอมพิวเตอร์ต่อเข้ากับอุปกรณ์ต่างๆ เมื่อเราต่อคอมพิวเตอร์เข้ากับคอมพิวเตอร์เพื่อรับส่งข้อมูลกัน สายสัญญารับส่งข้อมูลต้องสลับไขว้กัน เพื่อให้สัญญาณส่งของตัวแรกไปเข้าสัญญาณรับของตัวที่สอง เราจึงเรียกสายเคเบิลแบบนี้ว่าสายสลับ ส่วนการต่อคอมพิวเตอร์เข้ากับอุปกรณ์ต่อพ่วงนั้น สายสัญญาณของอุปกรณ์ต่อพ่วงเช่น โมเด็มและพลอตเตอร์ (Plotter) มักจะ

Connector A	Connector B
1	1
2	2
3	3
4	4
5	5
6	6
7	7
8	8
20	20

รูป 4.5 การต่อสายตรงของ RS-232C อย่างง่าย

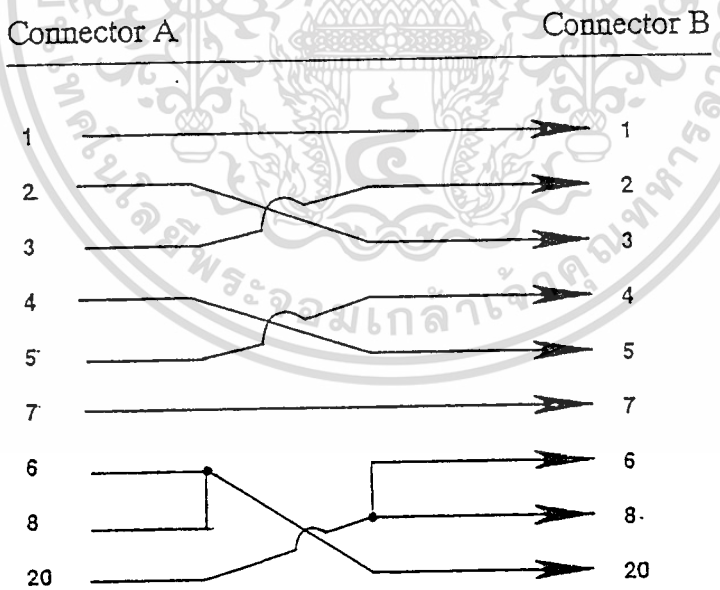
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สลับสัญญาณรอรับไว้ภายในแล้ว สายเคเบิลจากเครื่องคอมพิวเตอร์จึงต่อเข้าแต่ละเส้นของอุปกรณ์ได้เลย เราถึงเรียกสายเคเบิลแบบนี้ว่าสายตรงกรณีที่วงจรของอุปกรณ์ต่อพ่วงไม่ได้สลับสายไว้ภายใน เราก็ต้องใช้สายสลับต่อระหว่างคอมพิวเตอร์กับอุปกรณ์นั้น ไม่จำเป็นต้องใช้สายตรงเสมอ

การต่อสายเคเบิลแบบสายตรงนั้นไม่ยุ่งยากเท่าใดนัก เนื่องจากสัญญาณแต่ละเส้นตามเบอร์ต่างๆ ของ DB-25 จะเชื่อมต่อเข้าหากันตรงๆ ทั้ง 8 เส้นหรือ 9 เส้น ตามสัญญาณที่ใช้อย่างที่กล่าวไว้ในตอนต้น เพียงเท่านี้ก็สามารถรับส่งข้อมูลได้ การที่สัญญาณรับส่งข้อมูลและสัญญาณควบคุมต่อเข้าคู่ของมันตรงๆ ทำให้สายเคเบิลแบบนี้ทำขึ้นอย่างง่ายๆ ได้ โดยใช้ข้อต่อแบบไม่ต้องบัดกรีและสายเคเบิลแบบแผ่น (Ribbon Cable) เท่านั้น

4.6 Null Modem Cable

สำหรับสายเคเบิลแบบสลับ สัญญาณรับส่งข้อมูลและสัญญาณควบคุมต้องเชื่อมต่อสลับกันให้ถูกคู่ของมัน จึงจะสามารถรับส่งข้อมูลได้ ขา 2 กับ ขา 3 ต่อสลับกันให้สัญญาสณส่งไปเข้าขารับข้อมูลและขารับข้อมูลก็ต่อกับขาส่งข้อมูลของอีกด้านหนึ่ง ขา 4 กับ ขา 5 ต่อสลับกันเป็นการทำให้คอมพิวเตอร์



รูป 4.6 การต่อสายสลับของ RS-232C หรือ Null MODEM cable

ทั้งสองรู้ว่าอีกฝ่ายหนึ่งพร้อมที่จะรับส่งข้อมูลหรือไม่ ส่วนขาที่ 7 ต่อถึงกันโดยตรงเพราะเป็น Ground ของแต่ละด้าน ขาที่ 6 กับ 8 ต่อเข้าหากันและไปต่กับขา 20 ของอีกด้านหนึ่ง เพื่อให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คอมพิวเตอร์รู้ว่าต่อเข้ากับอีกด้านหนึ่งได้แล้ว สายสลับบางที่อาจต่อแตกต่างจากที่ว่านี้ แต่ก็ทำให้สัญญาณควบคุมถูกต้องเหมือนกันแผนผังการต่อสายแบบสายตรงและสายสลับ ดังรูป 4.6

สายสลับนี้มีชื่อเรียกอีกอย่างหนึ่งว่า Null Modem Cable ซึ่งหมายถึงการเชื่อมต่อระหว่างคอมพิวเตอร์สองเครื่องโดยไม่ผ่านโมเด็มนั่นเอง ข้อดีของการใช้สายเคเบิลส่งข้อมูลไม่ผ่านโมเด็ม

DB-25			DB-9
Assignment	Pin	Pin	Assignment
Carrier detect	8	1	Carrier detect
Receive date	3	2	Receive data
Transmit date	2	3	Transmit data
Data terminal ready	20	4	Data terminal ready
Signal ground	7	5	Signal ground
Data set ready	6	6	Data set ready
Request to send	4	7	Request to send
Clear to send	5	8	Clear to send
Ring indicator	22	9	Ring indicator

รูป 4.7 การต่อสายตรงจาก DB-25 ไปยัง DB-9

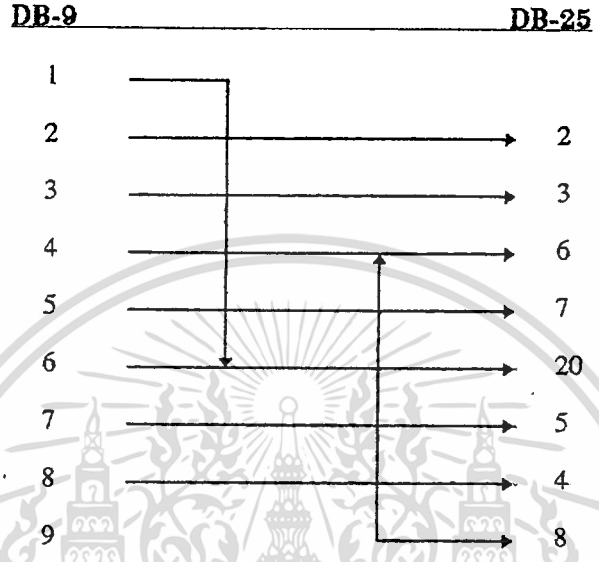
ก็คือ เราสามารถรับส่งข้อมูลด้วยความเร็วสูงสุด ถึง 9,600 บิตต่อวินาที หรือ 19,200 บิตต่อวินาที ระหว่างเครื่องคอมพิวเตอร์ได้ในระยะทางใกล้ ๆ ซึ่งสะดวกรวดเร็วกว่าการส่งข้อมูลผ่านโมเด็มมาก เช่นใช้ในการรับส่งไฟล์ระหว่าง LAPTOP กับเครื่องตั้งโต๊ะ

ส่วนการต่อระหว่างข้อต่อแบบ DB-25 ไปยังข้อต่อแบบ DB-9 นั้น เราก็เปรียบเทียบกับการต่อในแบบ DB-25 กับ DB-25 โดยดูจากชื่อของสัญญาณที่ต่อเข้าหากันเป็นหลัก จะต่อตามเบอร์แต่ละขาเข้าด้วยกันตรงๆ ไม่ได้ สายเคเบิลแบบสายตรงจาก DB-25 ไปยัง DB-9 จะเป็นดังรูป 4.7 และสายแบบสลับจากข้อต่อ DB-9 เข้ากับ DB-25 ดังรูป 4.8 ทั้งหมดนี้เป็นเรื่องของสัญญาณและการต่อสายเคเบิล RS-232C

ในการสื่อสารข้อมูลระหว่างกันนั้น มีคำสองคำที่เราพบอยู่เป็นประจำคือ DTE กับ DCE คำว่า DTE (Data Terminal Equipment) หมายถึงตัวเครื่องคอมพิวเตอร์หรือเครื่องเทอร์มินัล (Terminal) ซึ่งเป็นต้นกำเนิดข้อมูลและตัวปลายทางที่รับข้อมูลนั่นเอง อาจมองในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของจุดเริ่มต้นและจุดสุดท้ายของการรับส่งข้อมูลระหว่างกันได้ ส่วน DCE (Data Communications Equipmint) จะหมายถึงอุปกรณ์ที่ต่อเข้ากับสายส่งข้อมูล และทำหน้าที่รับส่งข้อมูลผ่านสายส่งนั้น ในการรับส่งข้อมูลทั่วไป DTE หมายถึงเครื่องคอมพิวเตอร์ที่เราใช้และ



รูป 4.8 การต่อสายสลับจาก DB-9 ไปยัง DB-25

DCE หมายถึงโมเด็มนั่นเอง การติดต่อระหว่างคอมพิวเตอร์กับโมเด็มส่วนมาก จะใช้แบบ RS-232C เป็นหลัก ซึ่งจัดเป็นมาตรฐานสำหรับการต่อโมเด็มทั่ว ๆ ไป สายที่ใช้ต่ออาจเป็นแบบสายตรงหรือสายสลับก็ได้ขึ้นอยู่กับวงจรภายในของคอมพิวเตอร์และโมเด็ม ในบทหน้าจะกล่าวถึงคุณสมบัติการรับส่งข้อมูลแบบ FULL DUPLEX กับ HALF DUPLEX

4.7 มาตราฐานของโมเด็มตาม CCITT V-Series

มาตราฐานของโมเด็มที่เราใช้อยู่ทุกวันนี้เป็นไปตามที่ ที่องค์การมาตรฐานสื่อสารสากลหรือ CCITT เป็นผู้กำหนดขึ้น โดยมีชื่อเรียบแต่ละมาตรฐานของโมเด็มขึ้นต้นด้วยอักษร "V" และตามด้วยตัวเลข เราจึงเรียบมาตรฐานเหล่านี้อีกชื่อหนึ่งว่า V-Series นอกจากมาตรฐานของโมเด็มแล้ว CCITT ยังเป็นผู้กำหนดมาตรฐานทางการสื่อสารอื่นๆ อีก เช่น มาตรฐานของการสื่อสารผ่านดาวเทียม มาตรฐานของโทรสาร (Fasimile) มาตรฐานการสื่อสารข้อมูลต่างๆ ทั้งในแบบดิจิตอลและอนาล็อก รวมถึงมาตรฐานเกี่ยวกับระบบโทรศัพท์อีกด้วย มาตรฐานที่ CCITT เป็นผู้กำหนดได้รับการยอมรับกันทั่วโลก การติดต่อสื่อสารระหว่างประเทศอีกด้วย มาตรฐานที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CCITT เป็นผู้กำหนดได้รับการยอมรับกันทั่วโลก การติดต่อสื่อสารระหว่างประเทศจึงดำเนินไปได้อย่างไม่มีปัญหา เนื่องจากทุกๆ คนต่างก็ทำตามมาตรฐานเดียวกัน

ก่อนอื่นขอทำความเข้าใจก่อนว่ามาตรฐานที่ขึ้นต้นด้วยอักษร V นี้ไม่ใช่มาตรฐานของโมเด็มทั้งหมด บางมาตรฐานอาจหมายถึงการเชื่อมต่อแบบอื่นๆ ก็ได้ เช่น V.24 เป็นมาตรฐานการรับส่งข้อมูลแบบอนุกรมเทียบได้กับ RS-232C นั่นเอง และ V.35 หมายถึง การรับส่งข้อมูลแบบอนุกรมความเร็วสูงเป็นต้น ในที่นี้จะกล่าวถึงมาตรฐานของโมเด็มแบบต่างๆ ที่ใช้กันมากตาม CCITT V-Series ตั้งแต่ความเร็วต่ำไปจนถึงความเร็วสูง

เริ่มตั้งแต่มาตรฐาน V.21 เป็นมาตรฐานของโมเด็มความเร็ว 300 บิตต่อวินาที ใช้เทคนิคการผสมสัญญาณแบบ FSK (Frequency Shift Keying) รับส่งข้อมูลได้ในแบบ Full Duplex เป็นโมเด็มที่ใช้กับสายโทรศัพท์ ปัจจุบันนี้มีใช้กันน้อย เนื่องจากความเร็วในการรับส่งข้อมูลต่ำ

- V.22 รับส่งข้อมูลความเร็ว 1,200 บิตต่อวินาที หรือ ลดความเร็วลงมาที่ 600 บิตต่อวินาทีได้ การผสมสัญญาณใช้เทคนิคการ PSK (Phase Shift Keying) รับส่งข้อมูลในแบบ Full Duplex ใช้กับสายโทรศัพท์หรือสายตรงได้ ขึ้นอยู่กับโมเด็มว่าถูกออกแบบมาให้ต่อใช้กับสายตรงหรือไม่ จัดเป็นโมเด็มความเร็วปานกลางที่ได้รับความนิยมอยู่ในปัจจุบัน

- V.22 bis รับส่งข้อมูลด้วยความเร็ว 2,400 บิตต่อวินาที หรือ ลดความเร็วลงมาที่ 1,200 บิตต่อวินาทีได้ การผสมสัญญาณใช้เทคนิคของโมเด็มความเร็วสูงคือ QAM รับส่งข้อมูลแบบ Full Duplex ใช้กับสายโทรศัพท์หรือสายตรงได้ V.22 bis เป็นมาตรฐานของโมเด็มความเร็วปานกลางที่จะเข้ามาแทนที่ V.22 ซึ่งมาตรฐาน V.22 bis นี้กำลังได้รับนิยมมาก เนื่องจากความเร็วสูงถึง 2,400 บิตต่อวินาที และราคาของโมเด็มไม่แพงจนเกินไป

- V.23 เป็นมาตรฐานที่คล้ายกับมาตรฐาน V.22 แต่รับส่งข้อมูลแบบ Half Duplex คือมีความเร็ว 1,200 บิตต่อวินาที หรือลดความเร็วลงมาที่ 600 บิตต่อวินาที ใช้เทคนิคผสมสัญญาณแบบ FSK ต่อใช้กับสายโทรศัพท์ก็ได้ มาตรฐาน V.23 นี้เราไม่ค่อยได้ใช้งานเท่าไรนัก เพราะว่าประสิทธิภาพของการรับส่งข้อมูลต่ำ และเป็นการติดต่อแบบ Half Duplex จึงสู้มาตรฐานแบบ V.22 หรือ V.22 bis ไม่ได้

- V.26 เป็นมาตรฐานของโมเด็มสายตรง แบบใช้สาย 4 เส้น (4Wires) รับส่งข้อมูลในแบบ Full Duplex ใช้เทคนิคการผสมสัญญาณชนิด PSK มีความเร็วในการรับส่งข้อมูล 2,400 บิตต่อวินาที จะนำมาต่อใช้กับสายโทรศัพท์ไม่ได้ มาตรฐาน V.26 เราจึงไม่ค่อยได้พบเห็นกันนัก ปัจจุบันก็มีใช้น้อยเนื่องจากความเร็วต่ำเกินไปสำหรับสายตรง ส่วนมากจะเลือกใช้มาตรฐานอื่นที่ความเร็วสูงกว่านี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- V.26 bis เป็นมาตรฐานเหมือนกับ V.26 แต่สำหรับใช้กับสายโทรศัพท์แทน มีความเร็วในการรับส่งข้อมูลที่ 2,400 บิตต่อวินาที หรือลดความเร็วลงมาที่ 1,200 บิตต่อวินาที การรับส่งข้อมูลเป็นแบบ Half Duplex ใช้เทคนิคการผสมสัญญาณแบบ PSK มาตรฐานนี้จึงสู้ V.22 bis ไม่ได้

- V.27 เป็นมาตรฐานสำหรับโมเด็มความเร็ว 4,800 บิตต่อวินาทีที่ใช้กับสายตรงเท่านั้น เทคนิคของการผสมสัญญาณเป็นแบบ PSK รับส่งข้อมูลในแบบ Full Duplex ได้ ความเร็ว 4,800 บิตต่อวินาที

-V.27bis คล้ายกับมาตรฐานแบบ V.27 แต่ว่ารับส่งข้อมูลที่ 4,800 บิตต่อวินาทีได้ ใช้สำหรับสายตรงแบบ 4 Wires เท่านั้น การผสมสัญญาณก็เป็นแบบ PSK สามารถรับส่งข้อมูลได้ทั้งในแบบ Full Duplex และ Half Duplex

- V.27 ter เป็นมาตรฐานโมเด็มความเร็ว 4,800 บิตต่อวินาที หรือลดความเร็วลงมาที่ 2,400 บิตต่อวินาทีได้ สำหรับใช้กับสายโทรศัพท์ การรับส่งข้อมูลเป็นแบบ Half Duplex เท่านั้น เทคนิคการผสมสัญญาณชนิด PSK มาตรฐาน V.27 คล้ายกับ V.27 bis เพียงแต่ใช้กับสายโทรศัพท์แทนที่จะเป็นสายตรง

- V.29 จัดเป็นมาตรฐานของโมเด็มความเร็วสูงใช้กับสายตรงแบบ 4 Wires เท่านั้น การรับส่งข้อมูลใช้ได้ทั้ง Full Duplex และ Half Duplex สามารถรับส่งข้อมูลได้ตั้งแต่ 9,600 บิตต่อวินาทีหรือลดความเร็วลงมาที่ 7,200 บิตต่อวินาที และ 4,800 บิตต่อวินาทีได้ ที่ความเร็ว 9,600 บิตต่อวินาทีจะใช้เทคนิคการผสมสัญญาณแบบ QAM ส่วนที่ความเร็ว 7,200 และ 4,800 บิตต่อวินาที ใช้การผสมสัญญาณแบบ PSK มาตรฐาน V.29 นี้มีใช้กันมากสำหรับการรับส่งข้อมูลผ่านสายตรงระหว่างคอมพิวเตอร์กับคอมพิวเตอร์

- V.32 เป็นมาตรฐานโมเด็มความเร็วสูงสำหรับใช้กับสายโทรศัพท์ สามารถรับส่งข้อมูลได้ที่ความเร็ว 9,600 บิตต่อวินาที ในแบบ Full Duplex หรือ ลดความเร็วลงมาที่ 4,800 บิตต่อวินาทีได้ มาตรฐาน V.32 นี้ยังใช้งานกับสายตรงแบบ 2 Wires ได้อีกด้วย เทคนิคการผสมสัญญาณเป็นแบบ QAM ทั้งที่ความเร็ว 9,600 และ 4,800 บิตต่อวินาที การรับส่งข้อมูลความเร็วสูงผ่านสาย 2 เส้นของ V.32 ใช้ เทคนิค Echo Cancellation แทนที่จะใช้การแบ่งความถี่อย่างในโมเด็มความเร็วต่ำ V.32 นับว่าเป็นมาตรฐานโมเด็มความเร็วสูงรุ่นใหม่ที่เพิ่งเริ่มใช้กันไม่นานมานี้เอง มาตรฐานของโมเด็มที่รับส่งข้อมูลได้เร็วกว่า V.32 กำลังศึกษาความเป็นไปได้และรายละเอียดอยู่ จึงยังไม่ได้ประกาศออกมาใช้อย่างเป็นทางการเช่นขณะนี้ เช่น มาตรฐานแบบ V.32 bis จะรับส่งข้อมูลที่มีความเร็ว 14,400 บิตต่อวินาที ในแบบ Full Duplex และมาตรฐาน V.33 รับส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาตรฐานโมเด็มของ CCITT						
Series Number	Line Speed	Channel Separation	FDXor HDX	Modulation Technique	Switch Lines	Leased Lines
V.21	300	FD	FDX	FSK	Yes	0
V.22	1200	FD	FDX	TSK	Yes	PP 2W
V.22	600	FD	FDX	PSK	Yes	PP 2W
V.22 bis	2400	FD	FDX	QAM	Yes	PP 2W
V.22 bis	1200	FD	FDX	QAM	Yes	PP 2W
V.23	600	NA	HDX	FMK	Yes	0
V.23	1200	NA	HDX	FMK	Yes	0
V.26	2400	Wire	FDX	PSK	No	PP MP4W
V.26 bis	2400	NA	HDX	PSK	Yes	No
V.26 bis	1200	NA	HDX	PSK	Yes	No
V.26 ter	2400	EC	Elither	PSK	Yes	PP 2W
V.26 ter	1200	EC	Elither	PSK	Yes	PP 2W
V.27	4800	ND	Elither	PSK	No	Yes
V.27 bis	4800	4-Wire	Elither	PSK	No	2W 4W
V.27 bis	2400	4-Wire	Elither	PSK	No	2W 4W
V.27 ter	4800	None	HDX	PSK	Yes	No
V.27 ter	2400	None	HDX	PSK	Yes	No
V.29	9600	4-Wire	Elither	QAM	No	PP 4W
V.29	7200	4-Wire	Elither	PSK	No	PP 4W
V.29	4800	4-Wire	Elither	PSK	No	PP 4W
V.32	9600	EC	FDX	QAM	Yes	PP 2W
V.32	9600	EC	FDX	TCM	Yes	PP 2W
V.32	4800	EC	FDX	QAM	Yes	PP 2W
V.32	14,400	4-Wire	FDX	TCM	FS	PP 4W

ND = not defined NA = not applicable EC = echo canceler

FD = frequency division FDX = full duplex HDX = half duplex

PP = point to point MP = multipoint FS = for further study

รูปที่ 4.9 มาตรฐานโมเด็ม V-Series ของ CCITT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ความเร็ว 14,400 บิตต่อวินาที Full Duplex เช่นกัน มาตรฐานโมเด็มความเร็วรุ่นหลังจาก V.32 คงจะประกาศใช้โดย CCITT ภายในหนึ่งถึงสองปีนับจากนี้

มาตรฐานโมเด็ม V-Series ที่กล่าวมานี้ เป็นมาตรฐานที่เราพบเห็นได้ทั่วไป ซึ่งยังมีบางมาตรฐาน ไม่ได้นำมาพูดถึง เนื่องจากใช้งานพิเศษเฉพาะงานเท่านั้น ส่วนมาตรฐานของโมเด็มตามแบบของสหรัฐฯ หรือที่เราเรียกว่า Bell Standard ปัจจุบันค่อยๆ ลดความนนิยมลง เนื่องจากประเทศต่างๆ ใช้มาตราฐานของ CCITT เป็นหลัก ในประเทศไทยก็ใช้มาตรฐานตาม CCITT เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การมอดูเลทสัญญาณแบบดิจิตอล

5.1 บทนำ

ในบทนี้จะทำการอธิบายเนื้อหาเกี่ยวกับการมอดูเลทสัญญาณแบบดิจิตอล ซึ่งมีอยู่ด้วยกันหลายวิธีเช่น การมอดูเลทแบบ ASK ,FSK และ PSK ซึ่งแต่ละวิธีจะอาศัยหลักการทำงานที่แต่กต่างกันออกไป ในบทนี้เราจะเน้นเนื้อหาเกี่ยวกับการมอดูเลทแบบ PSK เพราะเกี่ยวข้องกับโครงงานที่ได้จัดทำ ซึ่งจะอธิบายโดยละเอียดดังจะกล่าวต่อไปนี้

5.2 การโมดูเลทสัญญาณดิจิตอล

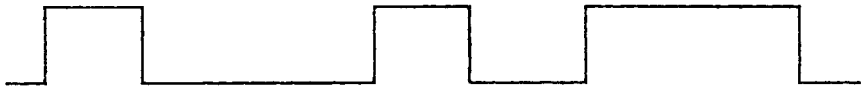
การส่งสัญญาณดิจิตอล เช่น สัญญาณ PCM โดยคลื่นวิทยุไมโครเวฟ จำเป็นที่จะต้องเปลี่ยนสัญาณดิจิตอลไปเป็นสัญญาณในย่านความถี่วิทยุ เทคนิคในการโมดูเลทสัญญาณดิจิตอลนี้มี 3 แบบด้วยกันคือ

1. Amplitude Shift Keying (ASK)
2. Frequency Shift Keying (FSK)
3. Phase Shift Keying (PSK)

คลื่นพาหะคลื่นซายน์ที่มีความถี่ f_c
มีค่าสูงสุด A และมุมเฟสที่ σ
เช่นนี้สมการที่ใช้คือ

$$V_C = A\cos(2\pi f_c + \sigma)$$

สัญญาณดิจิตอลเบสแบนด์เป็นคลื่นรูปสี่เหลี่ยมแสดงรหัสไบนารี 1 และ 0 ในการโมดูเลทสัญญาณดิจิตอลนี้ในสามพารามิเตอร์ คือ แอมปลิจูด ความถี่ หรือ เฟสของคลื่นพาหะจะเปลี่ยนไปตามสถานะ 1 หรือ 0 ของสัญญาณเบสแบนด์



รูปที่ 5.1 สัญญาณเบสแบนด์ดิจิตอล

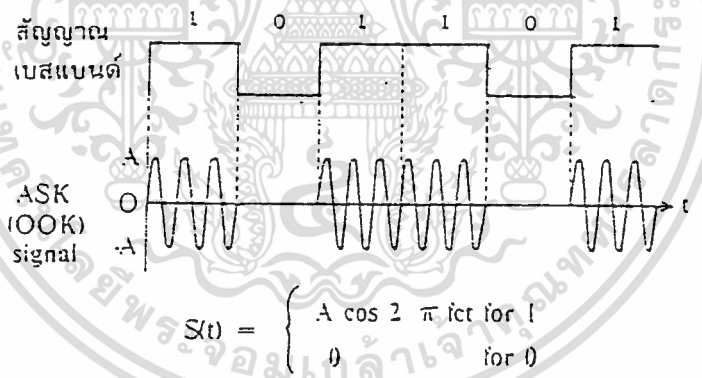
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การโมดูเลทแบบดิจิตอล	การโมดูเลทแบบอนาล็อก
ASK Amplitude Shift Keing	AM
FSK Frequency Shift Keying	FM
PSK Phase Shift Keying	PM

รูปที่ 5.2 เปรียบเทียบวิธีการโมดูเลทแบบดิจิตอลและอนาล็อก

กรณีของ ASK บางครั้งเรียกว่า OOK (on-off keying) เพราะว่า คลื่นพาหะถูกสวิทช์ on/off ตามสัญญาณที่เป็น 1 หรือ 0 ถ้าคลื่นพาหะกำหนดโดย $A\cos 2\pi f_c$ ดังนั้นสัญญาณ ASK จะกำหนดได้เป็น

$$S(t) = \begin{cases} A\cos 2\pi f_1 t; Data=1; \\ 0; Data=0; \end{cases}$$



รูปที่ 5.3 amplitude shift keying

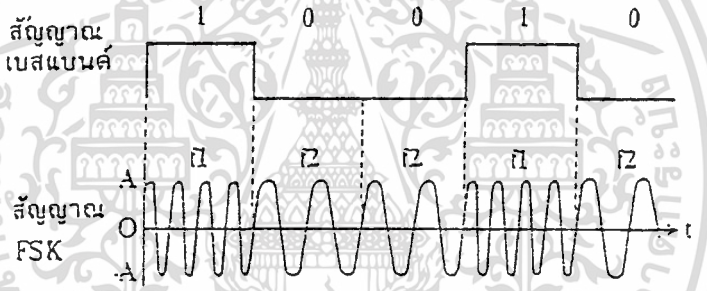
สำหรับกรณีของ FSK ความถี่ของคลื่นพาหะจะมี 2 ความถี่ เช่น ความถี่ f_1 สำหรับสัญญาณที่เป็น 1 และความถี่ f_2 สำหรับสัญญาณที่เป็น 0

$$S(t) = \begin{cases} A\cos 2\pi f_1 t; Data=1; \\ A\cos 2\pi f_2 t; Data=0; \end{cases}$$; สัญญาณเป็น 1 และ 0

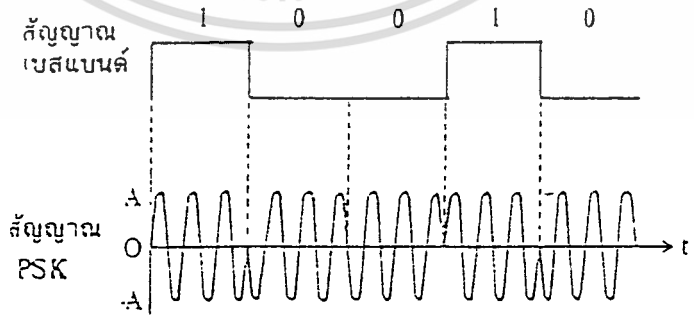
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนกรณีของ PSK แอมปลิจูดและความถี่จะคงที่แต่ initial phase จะต่างกันสำหรับสัญญาณที่เป็น 1 หรือ 0 คือเฟสของคลื่นพาหะ $A\cos(2\pi f_c + \sigma)$ จะเปลี่ยนไปตามสถานะของสัญญาณ เช่น เฟส σ เป็น 0 กรณีสัญญาณมีสถานะเป็น 0 และเฟส σ เป็น 1 และเฟสเป็น π กรณีสัญญาณมีสถานะเป็น 0

$$S(t) = \begin{cases} A\cos 2\pi f_c t; Data=0; \\ A\cos(2\pi f_2 t + \pi); Data=1; \end{cases}$$; กรณีสัญญาณเป็น 1 และ 0



รูปที่ 5.4 frequency shift keying

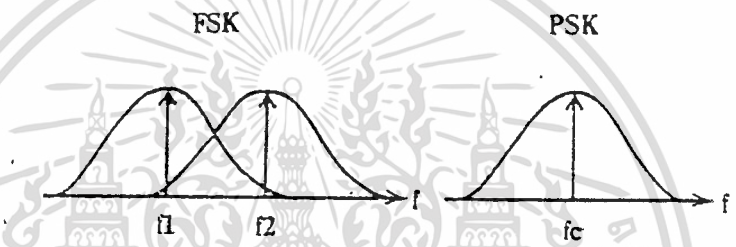


รูปที่ 5.5 phase shift keying

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

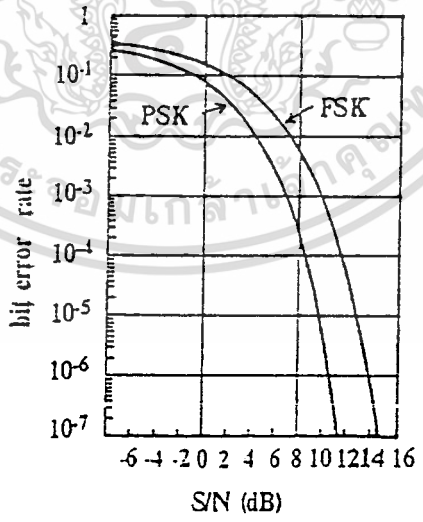
สำหรับการสื่อสารดาวเทียม PSK เป็นแบบที่เหมาะสมที่สุดสำหรับการสื่อสารดาวเทียมแบบดิจิตอลเมื่อเทียบกับแบบอื่นๆ

ต่อไปเราพิจารณาเปรียบเทียบ FSK และ PSK จากรูปจะเห็น power spectra ของ FSK และ PSK จะเห็นว่า FSK ใช้ความถี่ 2 ความถี่ จึงมีแถบความถี่กว้างกว่า PSK ซึ่งใช้ความถี่เดียว ดังนั้นจึงกล่าวได้ว่า PSK เหมาะสมที่สุดในการใช้ทรานสปอนเดอร์ของดาวเทียมให้มีประสิทธิภาพสูงสุด และมีแถบความถี่แคบที่สุด



รูปที่ 5.6 power spectra of modulated wave

นอกจากนี้ PSK ยังมี bit error rate ต่ำกว่า FSK อีกด้วยดังแสดงในรูป



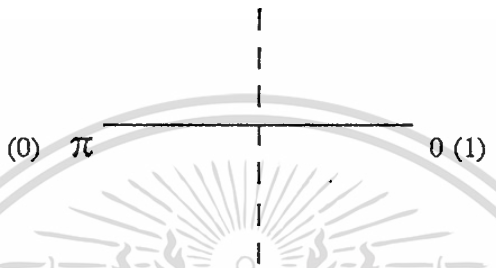
รูปที่ 5.7 เปรียบเทียบ bit error rate ของ PSK และ FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 เฟสชิฟท์คีอิ่ง

โดยหลักการแล้วเฟสเริ่มแรกของคลื่นพาหะมีจำนวนมาก จำนวนของเฟสเริ่มแรกที่ใช้ใน PSK สามารถที่จะเพิ่มขึ้นได้ ถ้าเราสามารถแยกแยะสัญญาณทางด้านรับออกได้อย่างถูกต้อง

เนื่องจากระบบดิจิตอลใช้รหัสไบนารี สัญญาณดิจิตอลสามารถจะส่งได้โดยใช้ 2 initial phase เรียกว่า ไบนารี PSK เฟสเป็น 0 สำหรับรหัส 1 และเฟสเป็น π สำหรับรหัส 0



รูปที่ 5.8 แสดงมุมเฟสของการส่งสัญญาณไบนารีครั้งละ 1 บิท

ลองมาพิจารณาการส่งสัญญาณดิจิตอลพร้อมกัน 2 บิทในเวลาเดียวกัน ในกรณีนี้มีการรวมรหัส 4 ตัวด้วยกันคือ 00,01,10 และ 11 โดยให้รหัสที่รวมกันนี้เทียบกับเฟส 4 เฟส สัญญาณดิจิตอล 2 บิทจึงสามารถส่งพร้อมกันได้

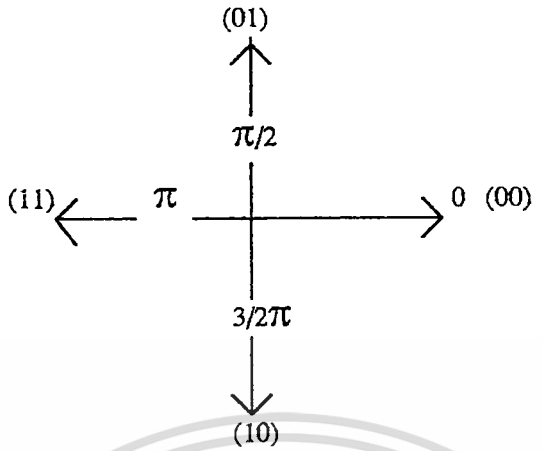
1st bit	0	0	1	1
2nd bit	0	1	0	1

รูปที่ 5.9 สัญญาณดิจิตอล 2 บิทที่จะส่งพร้อมกัน

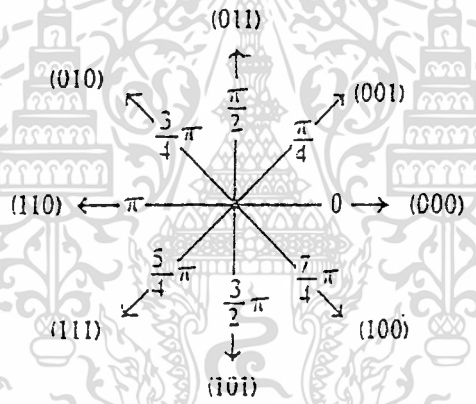
PSK ที่ใช้ 4 เฟสเริ่มแรกเรียกว่า quadri PSK เฟส 0 สำหรับรหัส 00, $\pi/2$ สำหรับรหัส 01 เฟส π สำหรับกรัส 11 และเฟส $3\pi/2$ สำหรับรหัส 10

เมื่อต้องการจะส่งสัญญาณ 3 บิทไปพร้อมๆ กัน จะมี $2^3 = 8$ combination ของรหัสสัญญาณ 8 เฟส PSK จะต้องใช้เพื่อการนี้ เมื่อจำนวนเฟสเพิ่มขึ้น จำนวนบิทที่สามารถส่งแต่ละครั้งก็มาก แต่กรณีนี้คุณภาพของสัญญาณทางด้านรับจะต่ำลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 มุมเฟสของ Quadri PSK ในการส่งสัญญาณครั้งละ 2 บิท



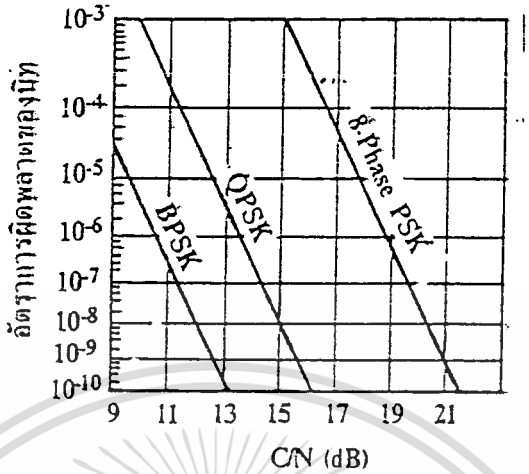
รูปที่ 5.11 มุมเฟสของ PSK ในการส่งสัญญาณไบนารีครั้งละ 3 บิท

จากรูปต่อไปนี้ จะเห็นว่า อัตราผิดพลาดของบิทจะเลวลง ถ้าเพิ่มจำนวนของเฟสมากขึ้น ในการรับส่งสัญญาณ

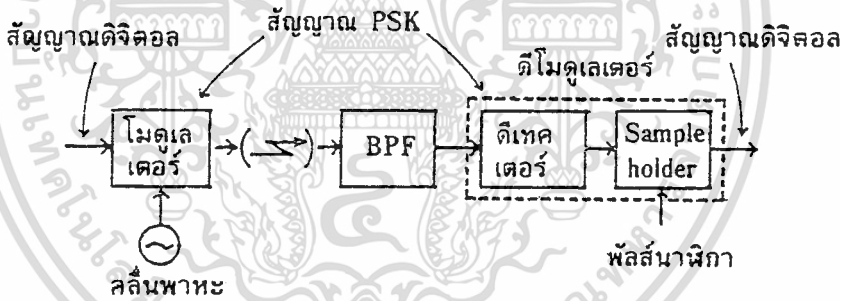
5.4 หลักการของไบนารี PSK โมดูเลเตอร์และดีโมดูเลเตอร์

ทางด้านส่งมีโมดูเลเตอร์ ซึ่งเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณ PSK ทางด้านรับมี band-pass filter และดีโมดูเลเตอร์ ซึ่งจะเปลี่ยนสัญญาณ PSK เป็นสัญญาณดิจิตอลอันเดิม ดีโมดูเลเตอร์ประกอบด้วย ดีเทคเตอร์ และ sample holder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



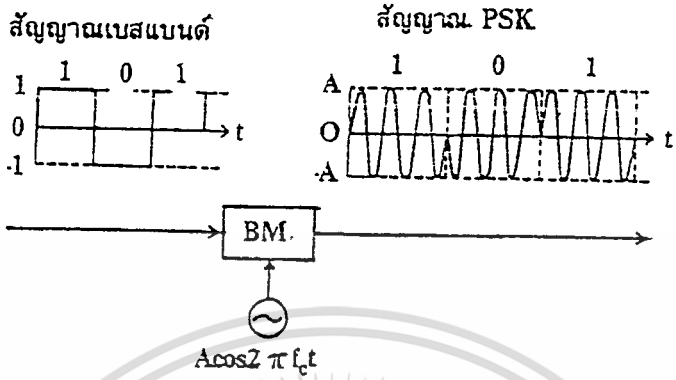
รูปที่ 5.12 เปรียบเทียบอัตราการผิดพลาดของบิทของ PSK แบบต่างๆ



รูปที่ 5.13 การส่ง- รับสัญญาณดิจิตอล

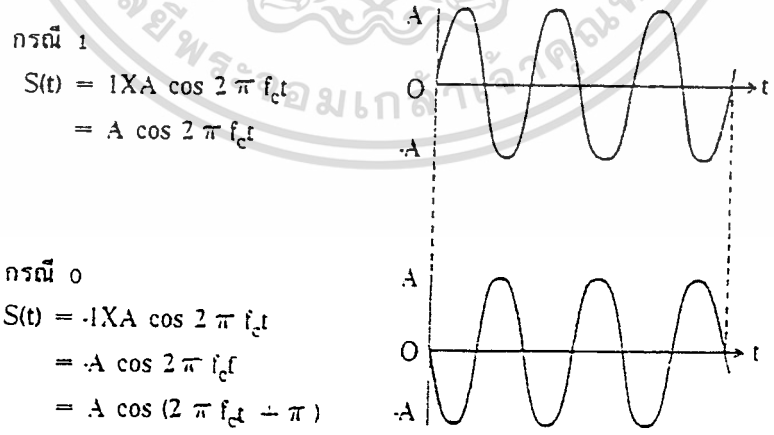
โดยทั่วไปแล้วการโมดูเลท PSK จะใช้ balanced modulator สมมติว่าสัญญาณดิจิตอลเบสแบนด์อยู่ในรูปคลื่นสี่เหลี่ยมมีแอมปลิจูดเท่ากับ 1 สำหรับรหัส 1 และมีแอมปลิจูดเท่ากับ -1 สำหรับรหัส 0 เมื่อคลื่นรูปสี่เหลี่ยมนี้ถูกผสมโดยคลื่นแคเรียร์ $A\cos 2\pi f_c$ ผ่านวงจร balanced modulator สัญญาณ PSK ที่ได้แสดงดังในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.14 การโมดูเลทสัญญาณดิจิตอล

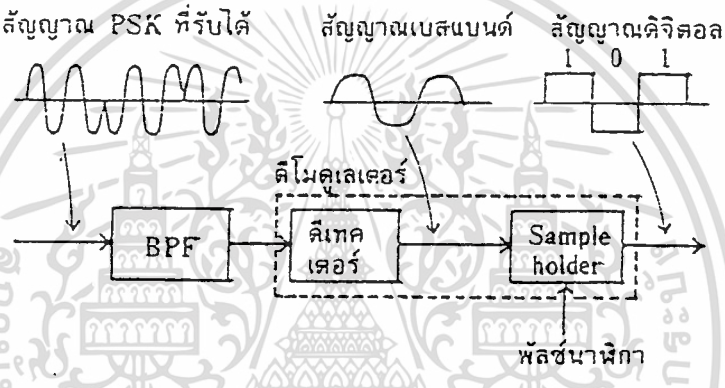
สัญญาณ PSK สำหรับรหัส 1 จะเป็น $S(t) = 1x\ A\cos 2\pi f_c t = \cos 2\pi f_c t$ ส่วนสัญญาณ PSK สำหรับรหัส 0 จะเป็น $S(t) = -1 \times A\cos 2\pi f_c t = -A\cos 2\pi f_c t$ เราสามารถเขียน $-A\cos 2\pi f_c t = A\cos(2\pi f_c t + \pi)$ ตามหลักการนี้แสดงว่าสำหรับรหัส 0 เฟสของคลื่นแคเรียร์จะเปลี่ยนไปเท่ากับ π ซึ่งจะเห็นได้ชัดดังในรูป



รูปที่ 5.15 การเปลี่ยนแปลงทางเฟสของคลื่นพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

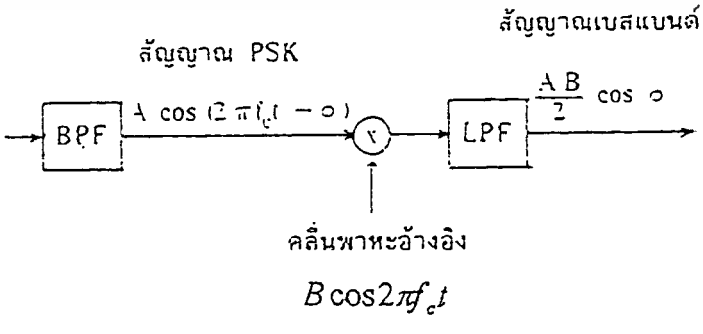
band-pass filter ทางด้านรับรับสัญญาณ ซึ่งมีเสียงรบกวนปนอยู่ด้วยจะถูกดีเทคออกมาที่ดีโมดูเลเตอร์ ดีเทคเตอร์จะเอาสัญญาณเบสแบนด์ออกมาโดยตัดแคเรียร์คอมโปแนนท์ ซึ่งรวมอยู่ในสัญญาณ PSK ออกไป สัญญาณเบสแบนด์ไม่เป็นรูปที่เหลี่ยมที่สมบูรณ์นัก เนื่องจากการกำหนดแถบความกว้าง โดยตัวกรองความถี่ และเนื่องจากอิทธิพลของเสียงรบกวน sample holder จะสร้างสัญญาณดิจิตอลเดิมขึ้นมาใหม่ผ่านการพิจารณา polarity บวก หรือ ลบ ของสัญญาณเบสแบนด์



รูปที่ 5.16 การสร้างสัญญาณขึ้นใหม่ทางด้านรับ

5.4.1 โคฮีเรนท์ดีเทคชัน

การดีโมดูเลทสัญญาณ PSK ทางด้านรับเป็นแบบ coherent detection ซึ่งมีหลักการดังนี้ สัญญาณ PSK ที่รับได้ ขั้นแรกจะผ่านวงจร multiplier ซึ่งจะคูณสัญญาณ PSK ที่รับได้ด้วย



รูปที่ 5.17 การรับสัญญาณ PSK ทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

reference carrier สำหรับฮาร์โมนิค ซึ่งรวมอยู่ในสัญญาณ output จะถูกตัดออกไปโดยผ่าน low pas filter และได้สัญญาณเบสแบนด์ ออกมาทางด้านทางออก

ถ้าสัญญาณ PSK ที่รับเข้ามาคือ $A\cos(2\pi f_c t + \varphi)$ คลื่นพาหะทางด้านส่งคือ $B\cos 2\pi f_c t$ สัญญาณทางออกหลังจากผ่าน LPF แล้วสามารถกำหนดได้เป็น $AB/2\cos\varphi$ ทั้งนี้เนื่องจาก

$$A\cos(2\pi f_c t + \varphi) B\cos 2\pi f_c t$$

$$= \frac{AB}{2}\{\cos(2\pi f_c t + \varphi + 2\pi f_c t) + \cos(2\pi f_c t + \varphi - 2\pi f_c t)\}$$

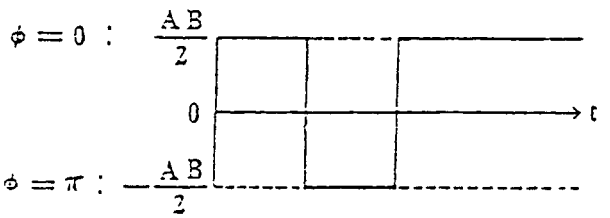
$$= \frac{AB}{2}\{\cos(4\pi f_c t + \varphi) + \cos\varphi\}$$

ซึ่ง $\frac{AB}{2}\cos(4\pi f_c t + \varphi)$ นี้คือฮาร์โมนิค โดยมีความถี่เป็น 2 เท่าของความถี่คลื่นพาหะเดิม ซึ่งจะถูกตัดออกไปเมื่อผ่าน low pass filter ดังนั้น ทางด้านทางออก จึงมีแต่เพียง $\frac{AB}{2}\cos(\varphi)$ เท่านั้น

$\frac{AB}{2}\cos(\varphi)$ นี้จะได้เป็น $\frac{AB}{2}$ เมื่อ $(\varphi = 0)$ จะได้เป็น $-\frac{AB}{2}$ เมื่อ $(\varphi = \pi)$ ดังรูป

สัญญาณ output ในรูปข้างบน ในทางปฏิบัติแล้วจะไม่เป็นรูปสี่เหลี่ยมโดยสมบูรณ์ ทั้งนี้เนื่องจากอิทธิพลของ band limitation และเสียงรบกวน

ต่อจากนี้ สัญญาณเบสแบนด์นี้จะถูกส่งไปยังวงจร sample holder ซึ่งวงจรจะทำการสุ่มตัวอย่างสัญญาณเบสแบนด์ด้วย clock pulse ที่จุดกึ่งกลางของแต่ละรหัสสัญญาณ และกำหนด

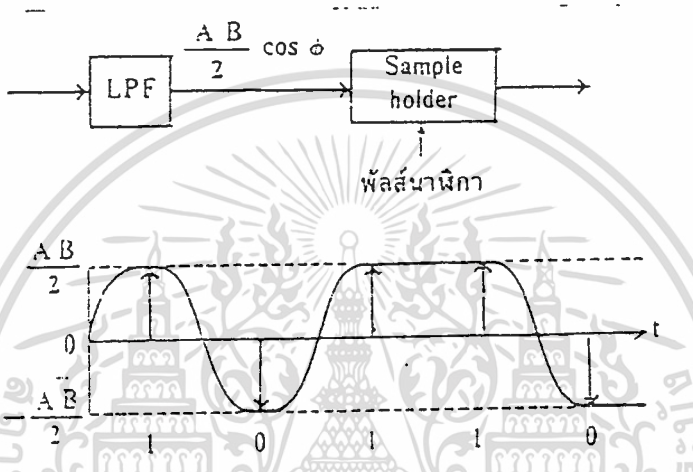


รูปที่ 5.18 สัญลักษณ์ output หลังจากผ่าน LPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

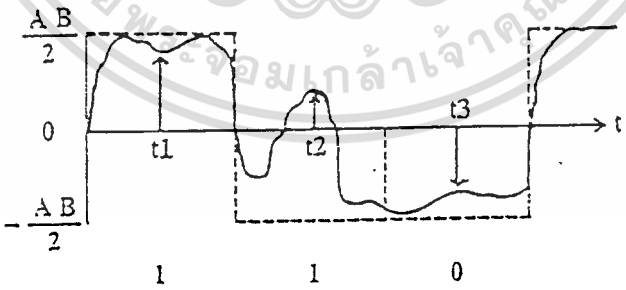
ว่ารหัสนั้นเป็น 1 หรือเป็น 0 โดยการตัดสิน หรือ พิจารณาจาก polarity ของสัญญาณแซมเปิลนั้น แล้วทำการสร้างสัญญาณดิจิตอลดั้งเดิมขึ้นมาใหม่ ในรูปนี้รหัสเป็น 1 สำหรับสัญญาณที่มีแอมปลิจูดเป็นบวก และรหัสเป็น 0 สำหรับสัญญาณที่มีแอมปลิจูดเป็นลบ

เมื่อสัญญาณมีการผิดพลาดเนื่องจากอิทธิพลของเสียงรบกวน ถ้ามีการผิดเพี้ยนน้อย polarity ของสัญญาณก็ไม่เปลี่ยนแปลง เช่นที่ t_1 และ t_3 รหัสที่ได้ออกมาก็ถูกต้อง แต่ถ้า



รูปที่ 5.19 การพิจารณารหัสเป็น 1 หรือ 0 โดย sample holder

พิจารณาที่ t_2 polarity ของสัญญาณถูกเปลี่ยนไปในทางตรงข้ามเนื่องจากเกิดการผิดเพี้ยนมาก รหัสที่ได้ออกมาก็จะผิดไปจากรหัสเดิม bit error ก็จะเกิดขึ้น

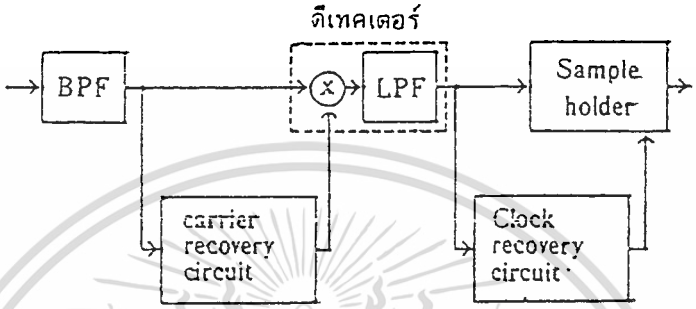


รูปที่ 5.20 รหัสผิดเพี้ยนเนื่องจากเสียงรบกวน

รูปที่ 5.21 เป็นบล๊อกไดอะแกรมของ coherent demodulator มี BPF ดีเทคเตอร์ sample holder,carrier recovery circuit และ clock recovery circuit วงจร carrier recovery circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

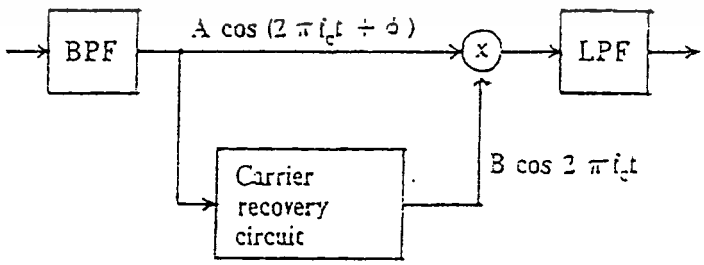
จะสร้างคลื่นพาหะอ้างอิงขึ้นใหม่ โดยการทวีคูณสัญญาณ PSK ที่รับมาได้ ส่วน clock recovery circuit จะสร้างสัญญาณ clock ขึ้นมาใหม่ เพื่อใช้สำหรับ sample holding ในวิธีการ coherent detection นี้ ทั้งคลื่นพาหะอ้างอิง และสัญญาณ clock จะถูกสร้างขึ้นมาใหม่จากสัญญาณ PSK ที่รับเข้ามา



รูปที่ 5.21 บล็อกไดอะแกรมของ coherent demodulator

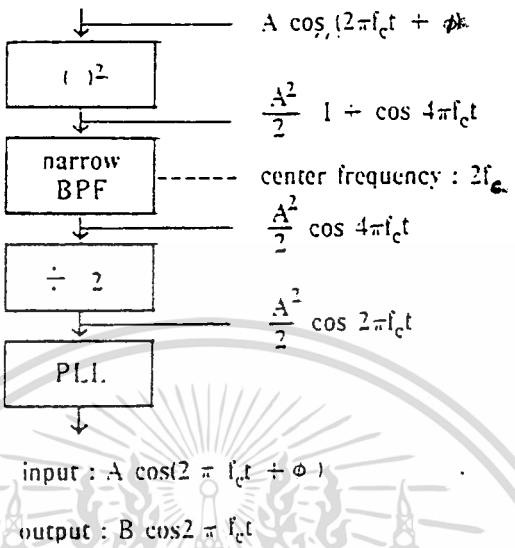
คลื่นพาหะอ้างอิงที่ใช้ใน coherent detection นี้ เพื่อการซิงโครไนซ์กับคลื่นพาหะทางด้านส่ง เพื่อจุดประสงค์นี้คลื่นพาหะอ้างอิงถูกสร้างขึ้นใหม่จากสัญญาณ PSK ที่รับเข้ามา สัญญาณ input ที่เข้าวงจร carrier recovery circuit สามารถกำหนดโดย $A\cos(2\pi f_c t + \varphi)$ สัญญาณ output คือคลื่นพาหะอ้างอิง กำหนดโดย $B\cos 2\pi f_c t$

วงจร carrier recovery ประกอบด้วย squarer, narrow band pass filter โดยมีความถี่ศูนย์กลางที่ $2f_c$ วงจร 1/2 frequency divider และวงจร phase locked loop



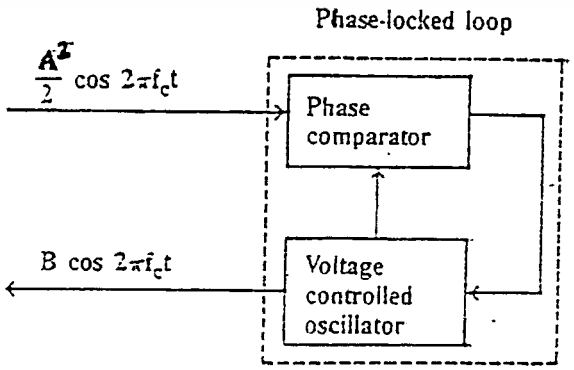
รูปที่ 5.22 หลักการของ carrier recovery circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.23 carrier recovery circuit และสัญญาณตามจุดต่างๆ

สัญญาณ $A^2\cos(2\pi f_c t)$ ที่ออกจากวงจร divider ปกติจะมีเสียงรบกวนรวมอยู่ด้วย เพื่อที่จะตัดเสียงรบกวนออก และได้คลื่นพาหะอ้างอิงปราศจากการผิดเพี้ยน จำเป็นต้องใช้วงจร phase lock loop ช่วย วงจร PLL นี้ประกอบด้วย phase comparator และ voltage controlled oscillator (VCO) ที่วงจร phase comparator สัญญาณ output ของวงจร divider จะถูกเปรียบเทียบอย่างต่อเนื่องกับ output ของ VCO เมื่อมีความต่างทางเฟสระหว่างสัญญาณสองนี้ สัญญาณ output ของ VCO จะถูกควบคุมอย่างอัตโนมัติในการปรับเฟสของสัญญาณทั้งสอง โดยวิธีการนี้คลื่นพาหะอ้างอิง $B\cos(2\pi f_c t)$ ซึ่งไม่มีเสียงรบกวนรวมอยู่ด้วย สามารถที่จะสร้างขึ้นมาใหม่

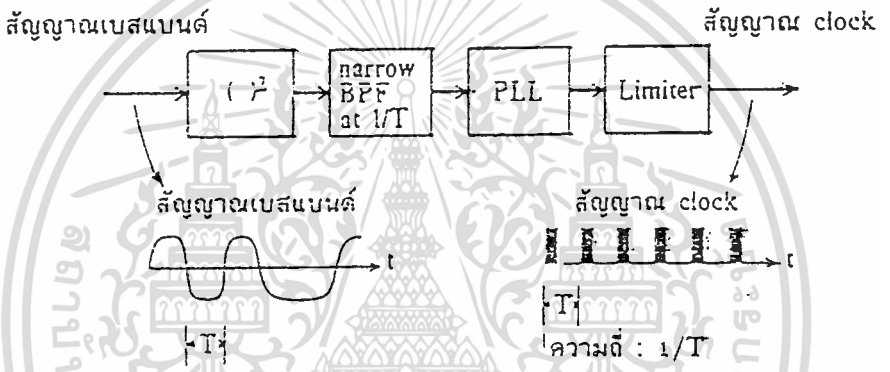


รูปที่ 5.24 การทำงานของ phase locked loop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

clock pulse ที่จำเป็นสำหรับ sample holding ก็ถูกสร้างขึ้นใหม่จากสัญญาณ PSK ที่รับได้เช่นกัน เพื่อจุดประสงค์นี้ ต้องใช้วงจร clock recovery สัญญาณเบสแบนด์ที่ได้ที่ output ของดีเทคเตอร์ โดยทั่วไปจะใช้เป็น สัญญาณ input ให้กับวงจร clock recovery

มีอยู่หลายวิธีในการสร้างสัญญาณ clock ขึ้นใหม่ วงจรข้างล่างนี้ก็เป็นตัวอย่างวงจรหนึ่ง ซึ่งประกอบด้วย squarer,narrow BPF,PLL และลิมิตเตอร์ สำหรับ narrow BPF ที่ใช้ในวงจรนี้มีความถี่กึ่งกลางเป็น 1/T ซึ่ง T คือความกว้างของรหัสตัวหนึ่งๆ ดังนั้น 1/T คือความถี่ของสัญญาณ clock ที่ได้ โดยการผ่านสัญญาณเบสแบนด์ที่ได้รับที่ output ของดีเทคเตอร์ผ่านวงจรนี้ เราได้รับสัญญาณ clock ที่มีความถี่ 1/T



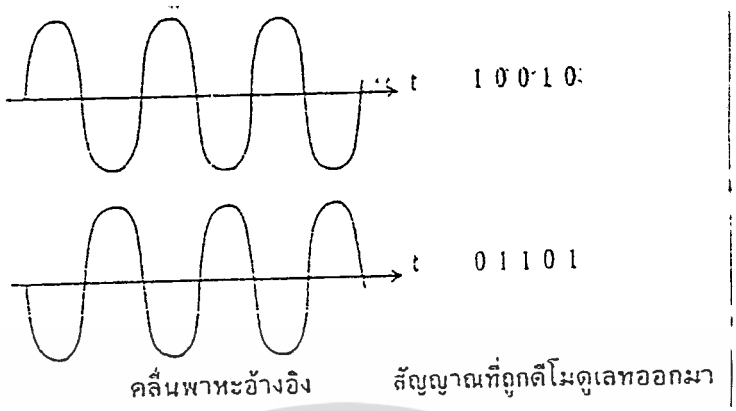
รูปที่ 5.25 clock recovery

5.4.2 การผิดพลาดทางเฟส (phase ambiguity)

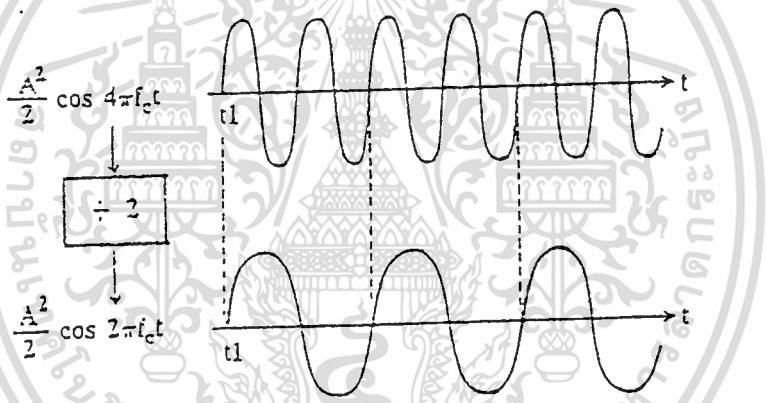
คลื่นพาหะอ้างอิงที่ใช้ใน coherent detection มีความจำเป็นที่จะต้องมีเฟสกับคลื่นพาหะทางด้านส่งแต่อย่างไรก็ตาม ปกติแล้วเป็นไปไม่ได้ที่จะทำให้คลื่นพาหะสองชนิดมีการล็อคเฟสซึ่งกันและกันอย่างสมบูรณ์

ในไบนารี PSK ความถี่ต่างเฟสกัน อาจจะมีสาเหตุจากความต่างระหว่างคลื่นพาหะทั้งสอง แต่เป็นไปไม่ได้ที่จะรู้ความต่างเฟสนี้ที่ทางด้านรับ ความไม่สามารถที่จะ detect ความต่างเฟสนี้เป็นผลทำให้เกิดการผิดพลาดทางเฟส เมื่อคลื่นพาหะอ้างอิงเกิดการ out of phase กัน เครื่องหมายของบิทได้จากการดีโมดูเลทสัญญาณดิจิตอล จะเกิดการเปลี่ยนกลับจาก 1 เป็น 0 และจาก 0 เป็น 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.26 การผิดพลาดทางเฟส

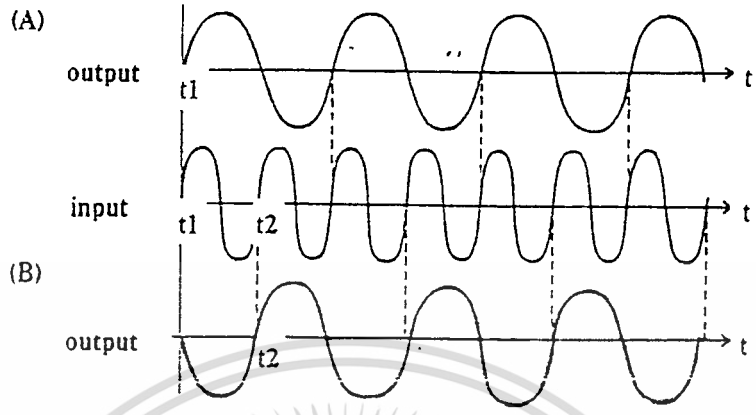


รูปที่ 5.27 คลื่นสัญญาณเมื่อผ่านวงจรหารความถี่

การผิดพลาดทางเฟสมีสาเหตุมาจาก frequency divider ในวงจร carrier recovery ในการหารความถี่นี้สัญญาณ $\cos(4\pi f_c t)$ ถูกหารความถี่ด้วย 2 จะได้ $\cos(2\pi f_c t)$ รูปต่อไปนี้แสดงรูปคลื่นดั้งเดิม และรูปคลื่นทาง output ที่ได้หลังการผ่านวงจรหารความถี่ด้วย 2 ซึ่งมีจุดเริ่มแรกที่ t_1 โดยการทำหนดจุดเริ่มแรกที่ต่างกันเราจะได้รูปคลื่น output ที่ต่างกัน

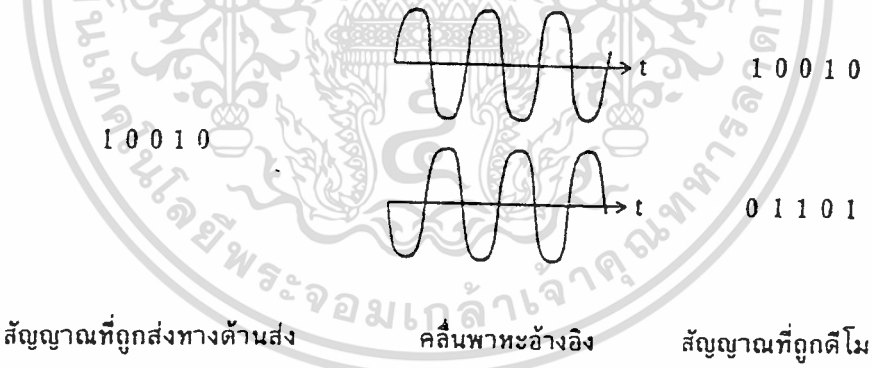
รูปที่ 5.28 เป็น input และ output ของวงจรหารความถี่ ซึ่งใช้ในวงจร carrier recovery ซึ่ง output (A) ได้จากกรณี t_1 เป็นจุดเริ่ม ส่วน output (B) ได้จากกรณีให้ t_2 เป็นจุดเริ่ม จะเห็นว่า output ทั้งสองกรณีกลับเฟสกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.28 เปรียบเทียบ output กรณี t1 และ t2 เป็นจุดเริ่ม

เนื่องจากรูปคลื่น output 2 แบบสามารถทำให้เกิดขึ้นได้ที่ output ของวงจรหารความถี่ ดังนั้นเราต้องมาพิจารณารูปคลื่นของคลื่นของคลื่นพาหะอ้างอิง 2 แบบ แบบหนึ่งเฟสตรง



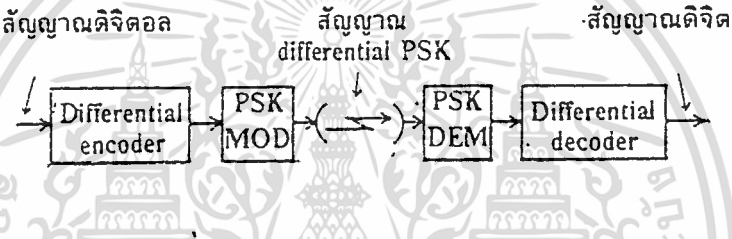
รูปที่ 5.29 สัญญาณดิจิตอลหลังผ่านการดีโมดูเลท

กับคลื่นพาหะทางด้านส่ง และอีกแบบหนึ่งต่างเฟส π กับคลื่นพาหะ ตามปกติแล้วแบบใดแบบหนึ่งของพาหะอ้างอิงใน 2 แบบนี้ ใช้ในการดีโมดูเลทอยู่แล้ว อย่างไรก็ตามไม่มีการกำหนดแน่นอนว่าแบบไหนที่ใช้สำหรับการดีโมดูเลท และดังนั้นเราจึงไม่สามารถกำหนดได้ว่าสัญญาณดิจิตอลที่ได้รับหลังจากผ่านการดีโมดูเลทเป็นแบบปกติ หรือ แบบกลับเฟส

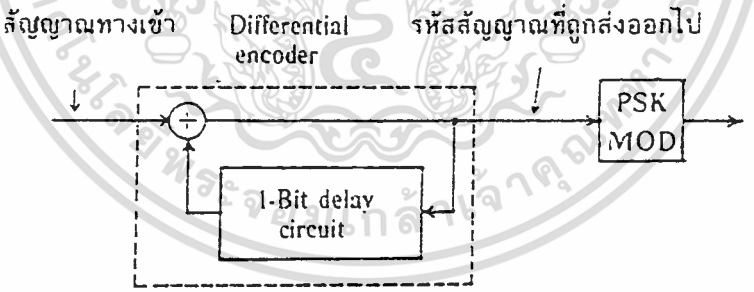
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการที่จะแก้ปัญหาการผิดพลาดทางเฟสคือ differential coherent PSK หรือ เรียกย่อๆ ว่า DC PSK โดยวิธีการนี้ ข่าวสารในสัญญาณดิจิตอลที่จะส่งจะถูกทำให้เฟสของสัญญาณ PSK เปลี่ยนไป คือ ไม่ให้เป็น initial phase ของสัญญาณ PSK

จากรูปสัญญาณดิจิตอลที่จะส่งทางด้านส่งจะถูก differential encode ก่อนที่จะทำการโมดูเลทแบบ PSK เพื่อจุดประสงค์นี้ differential encoder จะอยู่ข้างหน้าวงจร PSK modulator สำหรับทางด้านรับสัญญาณ differential PSK จะถูกดีโมดูเลทแบบ coherent demodulate และป้อนเข้าวงจร differential decoder เพื่อสร้างสัญญาณดิจิตอลดั้งเดิมขึ้นมาใหม่



รูปที่ 5.30 differential coherent PSK



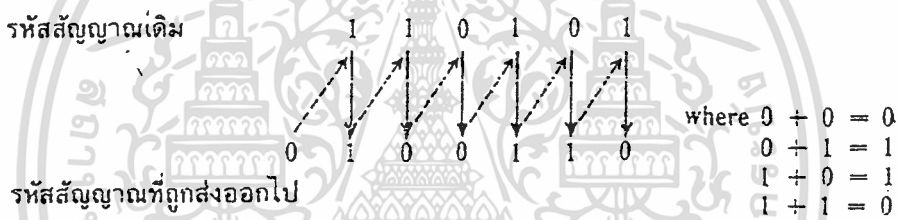
⊕ : EXCLUSIVE - OR gate

รูปที่ 5.31 วงจร differential encoder

differential encoder ที่ใช้ประกอบด้วย Exclusive-OR gate และ one bit delay circuit รหัสสัญญาณจะถูกส่งไปหนึ่งบิทก่อน และถูกบวกกันแต่ละบิทโดย Exclusive-OR gate สร้างรหัสใหม่ขึ้นมาเพื่อจะส่งไป รหัสที่ส่งไปนี้ถูกผ่าน PSK โมดูเลเตอร์ และในเวลาเดียวกัน จะเข้าวงจร one-bit delay อีกครั้งเพื่อบวกกับสัญญาณดิจิตอล input ตัวต่อไป

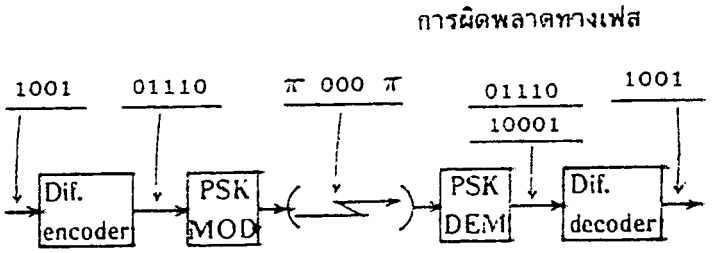
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมติว่าเรามีสัญญาณที่จะส่งเป็น 110101 โลจิก ต่อไปนี้จะถูกนำมาใช้สำหรับ Exclusive-OR gate คือ 0+0 = 0,0+1 = 1. 1+0 = 1, 1+1 = 0 ขั้นแรกให้ค่าเริ่มแรกของ one - bit delay circuit เป็น 0 และให้ 0 นี้เป็นรหัสแรกที่ส่งไป บวกบิทแรกของสัญญาณดั้งเดิมคือ "1" เข้ากับรหัสแรกที่จะส่งคือ รหัส "0" นั้นคือ 0+1 = 1 ตอนนี้ให้เรากำหนดรหัส "1" นี้เป็นรหัสที่สองที่จะส่ง บวกบิทที่สองคือ "1" ของสัญญาณดั้งเดิมเข้ากับรหัสตัวที่สองที่จะส่ง นั่นคือ 1 + 1 =0 ให้เรากำหนดรหัส "0" นี้เป็นรหัสที่สามที่จะส่ง โดยการดำเนินขั้นตอนซ้ำกันไปอย่างนี้เรื่อยๆ ลำดับของรหัสที่จะต้องส่งจะเป็น 0100110 หลังจากขบวนการ differential encoding จะเห็นได้ว่า รหัสที่จะส่งหลังจากทำการ differential encoding จะเหมือนกันกับรหัสที่ส่งไปก่อนหนึ่งบิท เมื่อสัญญาณ input เป็น "0" และจะกลับกันเมื่อสัญญาณ input เป็น "1"



รูปที่ 5.32 การส่งรหัสสัญญาณที่ differential encoder

ลำดับสัญญาณ differential encode คือ PSK โมดูเลทโดยการทำให้ initial phase π แทนรหัส 0 และ initial phase 0 แทนรหัส 1 แล้วส่งออกไป ส่วนทางด้านรับ สัญญาณ differential PSK ถูกดีเทคแบบ coherent เพื่อสร้างสัญญาณดิจิตอลที่ส่งขึ้นมาใหม่ สัญญาณดิจิ



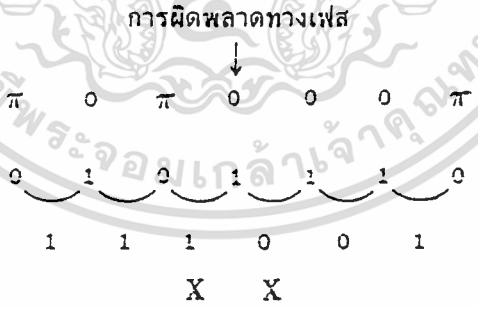
รูปที่ 5.33 รหัสสัญญาณ ณ ตำแหน่งต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตอลที่ได้โดยผ่าน coherent detection นี้อาจจะเปลี่ยนจา 1 เป็น 0 หรือ จาก 0 เป็น 1 เนื่องจาก phase ambiguity อย่างไรก็ตามใน differential coherent PSK ลำดับของสัญญาณที่ได้รับหลังจากการ differential decoding จะพร้อมกันกับลำดับสัญญาณดั้งเดิมเสมอ โดยปราศจากผลจาก phase ambiguity

โดยการให้สัญญาณผ่าน differential encoder ทางด้านส่ง ลำดับสัญญาณถูกเปลี่ยนไป เพื่อให้ information ยังคงมีอยู่ แม้มีการเปลี่ยนแปลงใน 2 บิทข้างเคียงของลำดับรหัสส่ง ส่วนทางด้านรับ ลำดับรหัสที่ถูกดีโมดูเลทถูกป้อนเข้าไปใน differential decoder เพื่อเอาลำดับสัญญาณดั้งเดิมออกมา โดยการตรวจสอบการเปลี่ยนแปลงใน 2 บิทข้างเคียง ในลักษณะนี้ information ยังคงมีอยู่ดังเดิม แม้มีการเปลี่ยนแปลงของ initial phase ในสัญญาณที่โมดูเลทแบบ PSK เนื่องจาก information ถูกส่งให้คงอยู่ ถึงแม้ว่าถ้าคลื่นพาหะอ้างอิงที่ใช้สำหรับ coherent detection ต่างเฟสไปก็ตาม และดังนั้นอิทธิพลของ phase ambiguity สามารถที่จะแก้ปัญหาได้

differential coherent PSK มีข้อดีตรงที่ว่า ไม่มีผลจากการที่เกิด phase ambiguity แต่มีข้อเสียเกี่ยวกับ bit error คือเมื่อ initial phase อันหนึ่งของสัญญาณ differential PSK ถูกดีมอดดูเลทอย่างไม่ถูกต้อง จะเป็นสาเหตุให้เกิด bit error คู่หนึ่ง เพราะว่าสัญญาณดั้งเดิมถูกสร้างขึ้นใหม่จาก 2 บิทข้างเคียงจากการดีโมดูเลท

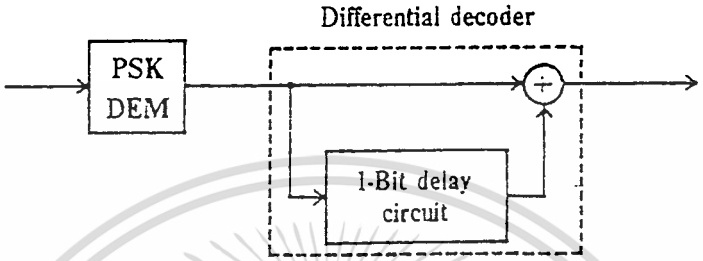


รูปที่ 5.34 การเกิดข้อผิดพลาดของบิท

differential decoder ประกอบด้วยวงจร one bit delay และ Exclusive-OR gate สัญญาณดิจิตอลที่ถูกดีโมดูเลทผ่านขบวนการ coherent detection ถูกป้อนเข้า Exclusive-OR gate และในขณะเดียวกันก็ป้อนเข้าวงจร one bit delay ใน Exclusive-OR gate สัญญาณดิจิตอล input และสัญญาณ output ของวงจร one bit delay ถูกบวกเข้าด้วยกัน นั่นคือ โดยการบวก 2 บิทข้าง

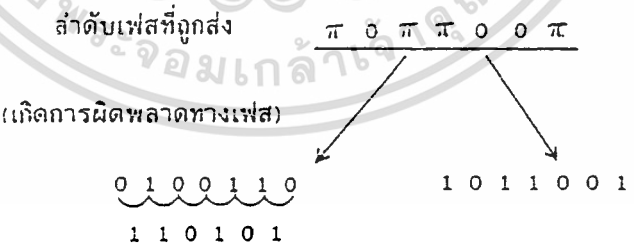
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เคียงในลำดับสัญญาณดิจิตอลที่ได้ดีโมดูเลท โดย Exclusive-OR gate การเปลี่ยนแปลงในทุกๆ 2 บิทข้างเคียงจะถูกตรวจสอบตลอดเวลา



รูปที่ 5.35 differential decoder

สมมติว่าลำดับเฟสที่ส่งของสัญญาณ PSK เป็น $\pi\ 0\ \pi\ \pi\ 00\ \pi$ ทางด้านรับหนึ่งในสองลำดับสัญญาณดิจิตอล อาจจะได้รับที่ output ของดีโมดูเลเตอร์ เนื่องจาก phase ambiguity นั่นคือ 0100110 หรือ 1011001 ตอนนี้ให้เรา decode 01100110 Exclusive-OR gate บวก 2 บิทข้างเคียง โดยการบวกบิทแรกกับบิทที่สอง จะได้ 0+1 = 1 บวกบิทที่สองกับบิทที่สามจะได้ 1+0 = 1 และการทำอย่างนี้เรื่อยๆ ไปจะได้ 110101



รูปที่ 5.36 ลำดับสัญญาณดิจิตอลด้านรับ

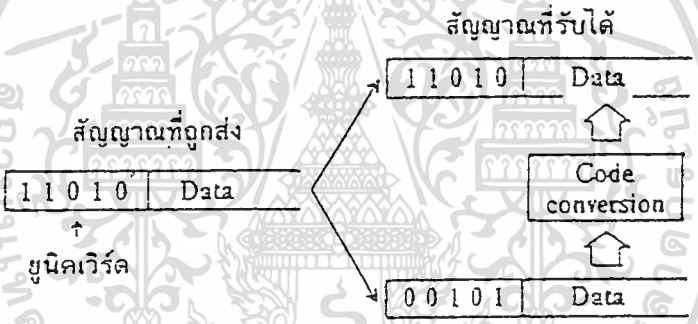
4.4.3 ยูนิคเวร์ด (Unique word)

อีกวิธีหนึ่งในการแก้ปัญหาการผิดพลาดทางเฟสคือ การใช้รูปแบบของรหัสที่แน่นอนตายตัว เรียกว่า "ยูนิคเวิร์ด"

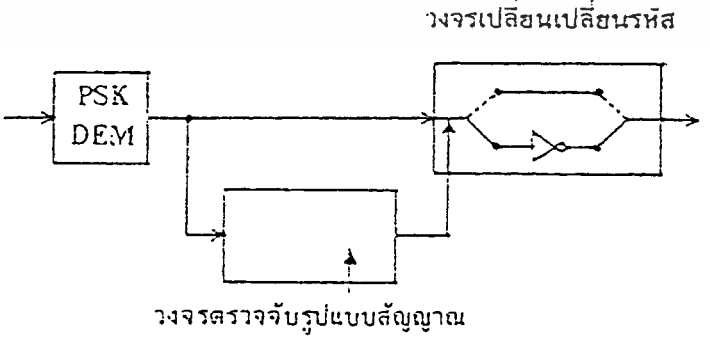
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางด้านส่งรูปแบบของรหัสที่แน่นอนตายตัวคือ ยูนิคเวิร์ด จะถูกเพิ่มเข้าไปที่ด้านหน้าของลำดับข้อมูลที่จะส่ง เมื่อทางด้านรับทำการดีโมดูเลทได้รับยูนิคเวิร์ดออกมาตรงกับรูปแบบรหัสที่ได้ส่งมา data ข้อมูลที่ตามมาก็พิจารณาได้ว่าถูกต้อง แต่เมื่อยูนิคเวิร์ดที่ทำการดีโมดูเลทออกมามีรูปแบบรหัสที่ตายตัวนั้นกลับรหัสกันเช่น แทนที่จะเป็น 11010 กลับเป็น 00101 ดังนั้นข้อมูลที่ส่งตามมาพิจารณาได้วางรหัสกลับกันเนื่องจากการผิดพลาดทางเฟส และลำดับข้อมูลที่ตามมาก็จะถูกเปลี่ยนเป็นรหัสตรงข้าม เพื่อว่าลำดับข้อมูล output จะได้ตรงกับรหัสทางด้านส่ง

รูปที่ 5.37 และ 5.38 เป็นบล็อกไดอะแกรมของวงจรดีโมดูเลทที่ใช้ยูนิคเวิร์ด ซึ่งประกอบด้วยวงจรตรวจจับรูปแบบสัญญาณ และวงจรเปลี่ยนรหัส วงจรตรวจจับรูปแบบสัญญาณจะตรวจสอบยูนิคเวิร์ดจากสัญญาร output ของดีโมดูเลเตอร์ เมื่อยูนิคเวิร์ดมีรูปแบบที่ตรงข้ามกับรูปแบบเดิม



รูปที่ 5.37 การส่งยูนิคเวิร์ดเพื่อตรวจสอบรหัส



รูปที่ 5.38 วงจรดีโมดูเลทที่ใช้ยูนิคเวิร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

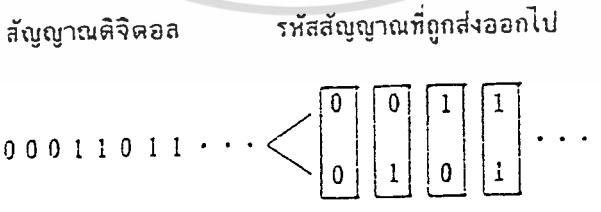
สวิทช์ในวงจรเปลี่ยนรหัสก็จะถูกปรับไปทางด้านตรงข้าม เพื่อให้รหัสเกิดการเปลี่ยนรหัสไปเป็นรหัสตรงข้าม ดังนั้นอิทธิพลของการผิดเพี้ยนทางเฟสก็จะไม่เกิดขึ้น และลำดับข้อมูลสัญญาณที่ถูกต้องก็สามารถรับได้ทางด้านรับ

ระบบที่ใช้ยูนิคเวิร์ดมีข้อดีตรงที่จะไม่เกิดการผิดพลาดของบิทเป็นคู่ๆ เหมือนของ differential coherent PSK และอัตราการผิดพลาดของบิทจะมีค่าประมาณครึ่งหนึ่งของ differential coherent PSK ดังนั้นระบบนี้เหมาะสมที่จะใช้กับการส่งสัญญาณที่มีความเร็วในการส่งสูง ซึ่งใช้ส่งในระบบสื่อสารดาวเทียม

5.5 Quadri PSK

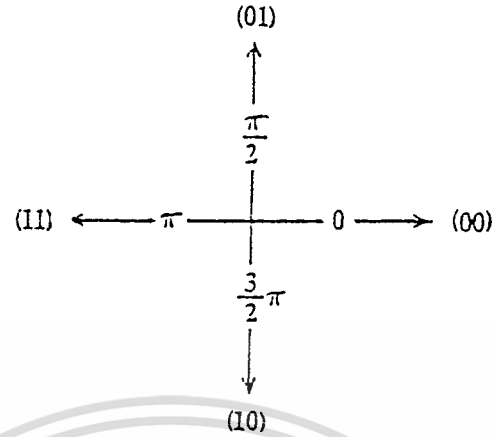
ในวิธีการ QPSK สัญญาณ 2 บิทจะถูกส่งไปพร้อมๆ กัน โดยลำดับสัญญาณดิจิตอลที่จะส่งถูกแบ่งเป็นคล็อค 2 บิท และแต่ละรหัสบล๊อคประกอบด้วย 2 บิทถูกส่งไปพร้อมๆ กัน ในกรณีนี้จะมีการรวมรหัส 4 คู่ด้วยกันคือ 00,01,10 และ 11 คู่ของรหัสทั้ง 4 คู่นี้จะเทียบกับ initial phase 4 เฟสของสัญญาณ QPSK

รูปที่ 5.40 นี้แสดงความสัมพันธ์ระหว่างรหัส และ initial phase ใน Gray code ซึ่งใช้ใน QPSK เฟส 0 แทนรหัส 00 เฟส $\pi/2$ แทนรหัส 01 เฟส π แทนรหัส 11 และ เฟส $3\pi/2$ แทนรหัส 10 จะเห็นว่าถ้าเปรียบเทียบรหัสระหว่างสองเฟสข้างเคียง หนึ่งในสองบิทจะเหมือนกันในทุกๆ กรณี ดังนั้นโดยการใช้ Gray code จะมีเพียงบิทเดียวที่เกิดผิดพลาด แม้ว่าสัญญาณที่รับได้ถูกดีโมดูเลทผิดไปเป็นเฟสข้างเคียง



รูปที่ 5.39 รหัส 4 คู่ของสัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.40 Gray code ที่ใช้ใน QPSK

สมมติว่าสัญญาณกำหนดโดย

$S(t) = A\cos 2\pi f_c t$ สำหรับรหัส 00

$S(t) = A\cos(2\pi f_c t + \frac{\pi}{2})$

$= -A\sin 2\pi f_c t$ สำหรับรหัส 01

$S(t) = A\cos(2\pi f_c t + \pi)$

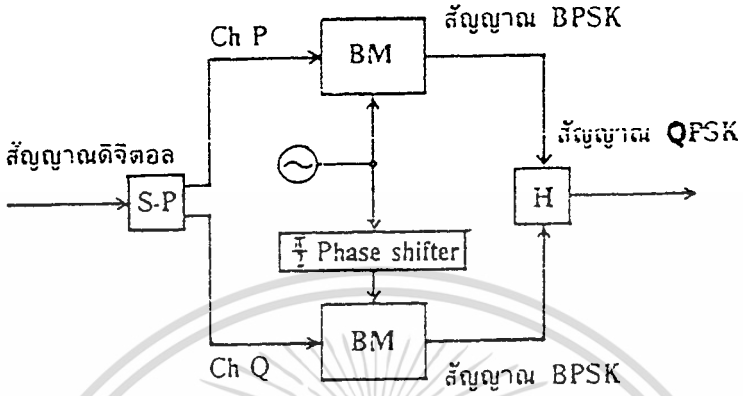
$= -A\cos 2\pi f_c t$ สำหรับรหัส 11

$S(t) = A\cos(2\pi f_c t + \frac{3\pi}{2})$

$= -A\sin 2\pi f_c t$ สำหรับรหัส 10

รูปที่ 5.41 นี้เป็นตัวอย่างวงจร QPSK โมดูเลชั่น วงจรนี้สร้างสัญญาณ Gray code ขึ้นมา วงจรประกอบด้วยวงจรโมดูเลชั่น 2 binary PSK คู่กัน สัญญาณดิจิตอลที่จะส่งแยกออกทางช่องสัญญาณ P และช่องสัญญาณ Q โดยตัวเปลี่ยนอนุกรมเป็นขนาน (S/P coverter) แต่ละด้านถูกโมดูเลทแบบ BPSK โดย balance modulator คลื่นพาหะที่ใช้ในการโมดูเลทของช่องสัญญาณ P จะใช้จาก output ของออสซิเลเตอร์โดยตรง ส่วนคลื่นพาหะที่ใช้สำหรับช่องสัญญาณ Q เฟสจะถูก shift ไป $\frac{\pi}{2}$ หลังจากผ่าน $\frac{\pi}{2}$ phase shifter ดังในรูป สัญญาณโมดูเลท BPSK ทั้งสองนี้ได้รับโดยการใช้คลื่นพาหะที่ต่างเฟสกัน $\frac{\pi}{2}$ และถูกรวมกันโดยวงจรไฮบริดก็จะได้สัญญาณ QPSK ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

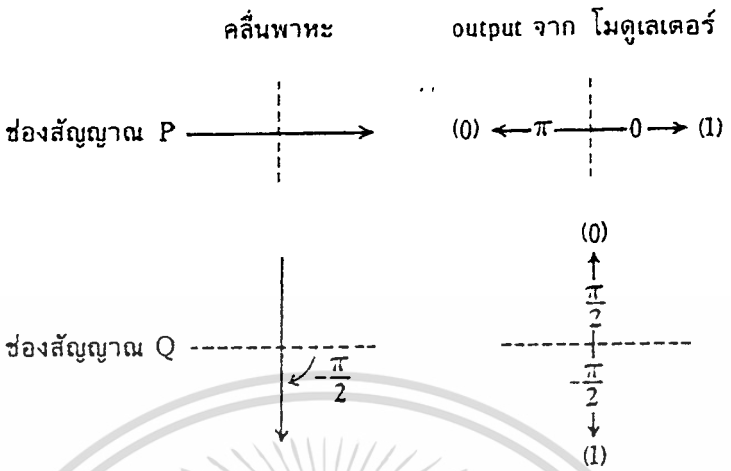


รูปที่ 5.41 วงจรโมดูเลท QPSK

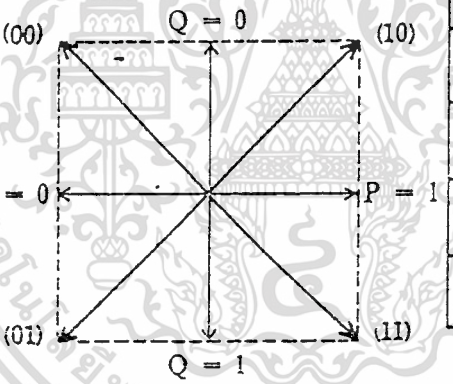
เราลองมาพิจารณาความสัมพันธ์ระหว่างคลื่นพาหะที่ใช้ในช่องสัญญาณ P และ Q และสัญญาณ BPSK สำหรับรหัส 0 และ 1 โดยใช้เวคเตอร์ไดอะแกรม ถ้าเฟสเริ่มแรกของสัญญาณ output จากออสซิลเลเตอร์กำหนดเป็นตัวอ้างอิง คลื่นพาหะที่ใช้ในช่องสัญญาณ P จะอยู่ในเฟสเดียวกันกับสัญญาณอ้างอิง ส่วนคลื่นพาหะของช่องสัญญาณ Q ได้จากการ shift เฟส $\frac{\pi}{2}$ จากสัญญาณ output ของออสซิเลเตอร์สัญญาณที่โมดูเลทแบบ BPSK ในช่องสัญญาณ P และ Q จะอยู่ในเฟสเดียวกันกับคลื่นพาหะ สำหรับรหัส 1 แต่จะต่างเฟสกับเฟสพาหะเท่ากับ π สำหรับรหัส 0

โดยการรวมสัญญาณ BPSK ที่ได้รับการโมดูเลทในช่องสัญญาณ P และช่องสัญญาณ Q เราจะได้สัญญาณ QPSK เมื่อรหัสในช่องสัญญาณ P เป็น "1" และรหัสในช่องสัญญาณ Q เป็น "0" เวคเตอร์ผลลัพธ์จะแสดงดังในรูป เวคเตอร์ผลลัพธ์นี้แสดงสัญญาณ QPSK สำหรับ 10 ซึ่งสัญญาณ QPSK นี้ จะต่างเฟส $\frac{\pi}{4}$ กับคลื่นพาหะของช่องสัญญาณ P สัญญาณ QPSK สำหรับรหัส 00 จะต่างเฟสเท่ากับ $\frac{3\pi}{4}$ สัญญาณสำหรับรหัส 01 จะต่างเฟส $\frac{5\pi}{4}$ และสัญญาณสำหรับรหัส 11 จะต่างเฟส $\frac{7\pi}{4}$ กับคลื่นพาหะของช่องสัญญาณ P รหัสสัญญาณเหล่านี้เรียกว่า "Gray code"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.42 เปรียบเทียบเฟสของสัญญาณในช่องสัญญาณ P และ Q



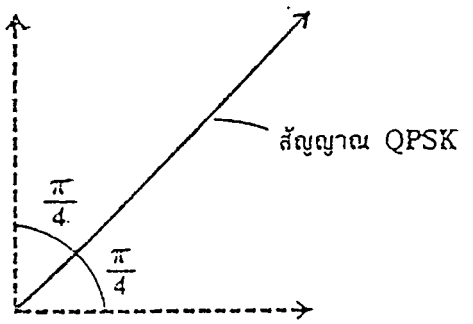
รหัส	เฟส
1 0	$\frac{\pi}{4}$
0 0	$\frac{3}{4}\pi$
0 1	$\frac{5}{4}\pi$
1 1	$\frac{7}{4}\pi$

รูปที่ 5.43 เวคเตอร์ผลลัพธ์ของสัญญาณ QPSK

เมื่อเปรียบเทียบรหัสของ 2 เฟสที่อยู่ใกล้เคียงกัน จะเห็นว่า หนึ่งในสองบิทจะเหมือนกัน

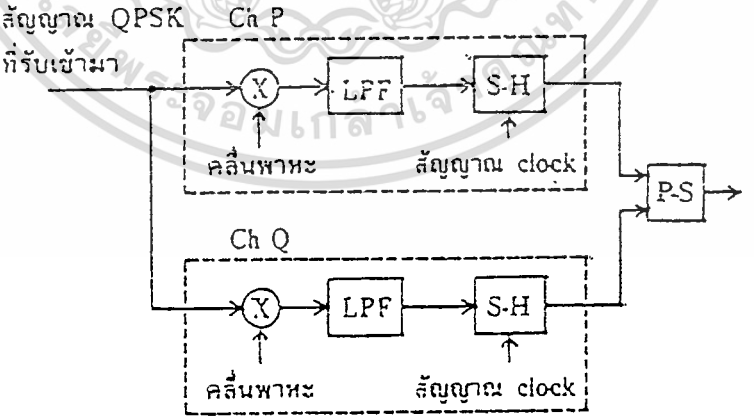
ตอนนี้เรามาพิจารณาหลักการของการดีโมดูเลทสัญญาณ QPSK โดย coherent detection เวคเตอร์ที่แสดงโดยเส้นทึบเป็นสัญญาณ QPSK ที่รับได้ ซึ่งสัญญาณ QPSK นี้สามารถพิจารณาได้ว่าเป็นสัญญาณผลลัพธ์ที่ได้โดยการรวมสัญญาณ BPSK ที่ตั้งฉากกับคู่หนึ่ง ซึ่งแสดงโดยเส้นประ นั่นคือ การดีโมดูเลทสัญญาณ QPSK ก็เท่ากับการดีโมดูเลทสัญญาณ BPSK สองสัญญาณดังกล่าวข้างต้น ดังนั้นสัญญาณ QPSK ที่ได้รับคือ การดีเทคแบบ coherent โดยการใช้คลื่นพาหะอ้างอิงที่ตั้งฉากกันคู่หนึ่ง ซึ่งได้โดยการเลื่อนเฟสของสัญญาณที่รับไปเท่ากับ $\frac{\pi}{4}$ นั่นคือ สัญญาณ BPSK ที่ตั้งฉากกันแต่ละสัญญาณถูกการดีเทคแบบ coherent

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.44 สัญญาณ QPSK ถูก shift phase $\frac{\pi}{4}$

รูปที่ 5.45 นี้เป็นวงจรดีโมดูเลทสำหรับสัญญาณ QPSK โดยการดีเทคแบบ coherent ซึ่งวงจรประกอบด้วยวงจรดีโมดูเลทแบบ coherent คู่หนึ่งสำหรับสัญญาณ BPSK ที่ตั้งฉากกัน สัญญาณ QPSK ที่รับได้ถูกแบ่งออกเป็นขบวนสัญญาณ 2 ขบวน ซึ่งถูกดีเทคแบบ coherent แยกกัน คู่ของคลื่นพาหะอ้างอิงที่ตั้งฉากกันถูกป้อนเข้า multiplier ของช่องสัญญาณ P และ ช่องสัญญาณ Q แต่ละช่องสัญญาณ ซึ่ง output จะผ่าน low pass filter เพื่อตัดฮาร์โมนิคสูงๆ ออก หลังจากนั้นก็ผ่านไปยังวงจร sample holder พร้อมด้วย clock pulse ดังนั้นสัญญาณจะถูกดีโมดูเลทแยกกันในช่องสัญญาณ P และ Q ขบวนสัญญาณที่ขนานกันนี้ ถูกรวมเข้าด้วยกันที่ P/S converter เพื่อจัดรูปแบบเรียงเป็นสัญญาณอนุกรมตามเดิม

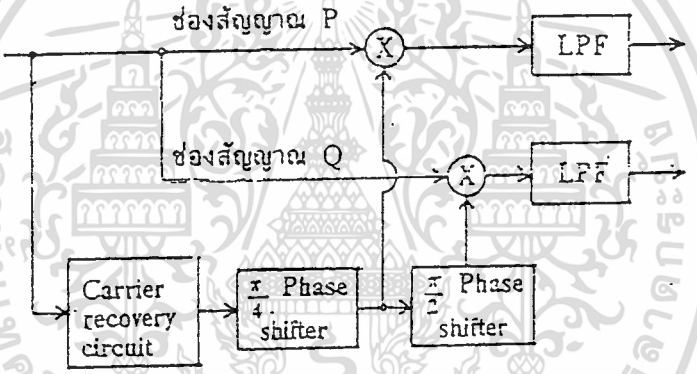


รูปที 5.45 วงจรดีโมดูเลทสัญญาณ QPSK

ในการดีเทคสัญญาณ QPSK แบบ coherent จำเป็นที่จะต้อง shift เฟสของคลื่นพาหะอ้างอิงทั้งคู่ไป $\frac{\pi}{4}$ เมื่อเทียบกับเฟสของสัญญาณที่รับได้ เพื่อจุดประสงค์นี้ จำเป็นต้องใช้วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

carrier recovery วงจร $\frac{\pi}{4}$ phase shifter และวงจร $\frac{\pi}{2}$ phase shifter ในวงจร multiplier ของช่องสัญญาณ P คลื่นพาหะอ้างอิงได้จากการเลื่อนเฟสของสัญญาณ ซึ่งเป็น output ของวงจร carrier recovery แล้วเลื่อนเฟสไปโดยใช้ $\frac{\pi}{4}$ phase shifter ส่วนวงจร multiplier ของช่องสัญญาณ Q คลื่นพาหะอ้างอิงได้จาก ให้output ของ$\frac{\pi}{4}$ phase ผ่านวงจร $\frac{\pi}{2}$ phase shifter อีกครั้งหนึ่ง คลื่นพาหะอ้างอิงนี้ก็จะตั้งฉากกับคลื่นพาหะอ้างอิงในช่องสัญญาณ P โดยการผ่านการดีเทคแบบ coherent ของสัญญาณ QPSK ซึ่งใช้คลื่นพาหะอ้างอิงคู่หนึ่งนี้เราก็จะได้สัญญาณ BPSK 2 สัญญาณ ซึ่งรวมกันมาจากทางตอนโมดูเลท สามารถดีเทคแยกออกมาได้ โดยวิธี coherent ดังในรูปที่ 5.46



รูปที่ 5.46 การดีเทคสัญญาณ QPSK ออกเป็น BPSK 2 สัญญาณ

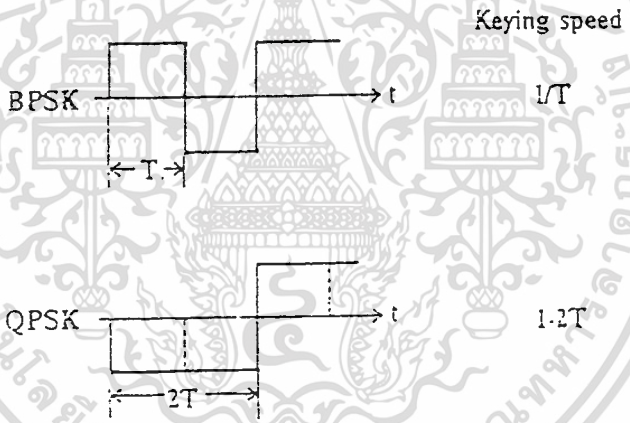
หลักการพื้นฐานของ carrier recovery จากสัญญาณ QPSK ก็เหมือนกันกับกรณีของสัญญาณ BPSK เฟสของคลื่นพาหะอ้างอิงที่ได้กลับคืนมาจะต้องตรงกันกับหนึ่งในสี่เฟสของสัญญาณ QPSK ที่รับได้ แต่เป็นไปไม่ได้ที่จะกำหนดว่าเฟสไหนในสี่เฟสเหล่านี้ตรงกันกับเฟสของคลื่นพาหะอ้างอิงที่แท้จริง โดยลักษณะนี้ปัญหาของ $\frac{\pi}{2}$ phase ambiguity ก็จะเกิดขึ้นใน QPSK ซึ่งปัญหานี้สามารถแก้ไขได้โดยใช้ differential coding technique หรือโดยใช้ unique word เข้าช่วยเหมือนในกรณีของ BPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.6 ลักษณะของ QPSK

สมมติว่าจำนวนบิทที่ต้องส่งในหนึ่งหน่วยเวลาคือ bit rate มีค่าเท่ากันทั้งในกรณีของ BPSK และ QPSK สำหรับ QPSK บิทจะถูกส่ง 2บิทในแต่ละครั้ง ดังนั้นความถี่ของการเปลี่ยนเฟสคลื่นพาหะจะขึ้นอยู่กับรหัส นั่นคือ keying speed จะเป็นครึ่งหนึ่งเมื่อเทียบกับกรณี BPSK เมื่อช่วงระยะเวลาของบิทแต่ละตัวเป็น T ดังนั้น keying speed จะมีค่าเท่ากับ 1/T สำหรับ BPSK และจะมีค่าเท่ากับ 1/ 2T สำหรับกรณีของ QPSK

โดยทั่วไปแล้วแถบกว้างความถี่ที่ถูกครอบครองของสัญญาณ PSK จะเพิ่มขึ้นเป็นสัดส่วนกับ keying speed ฉะนั้นเมื่อให้อัตราการส่งบิทคงที่ keying speed ในกรณีของ QPSK จะเป็นครึ่งหนึ่งของ BPSK และแถบกว้างความถี่ที่ถูกครอบครองของสัญญาณ QPSK จะเป็นครึ่งหนึ่งของสัญญาณ BPSK ในทางตรงกันข้ามเมื่อให้กว้างความถี่เท่ากัน จำนวนบิทซึ่งสามารถส่งได้ในกรณีของ QPSK จะเป็น 2 เท่าของ BPSK

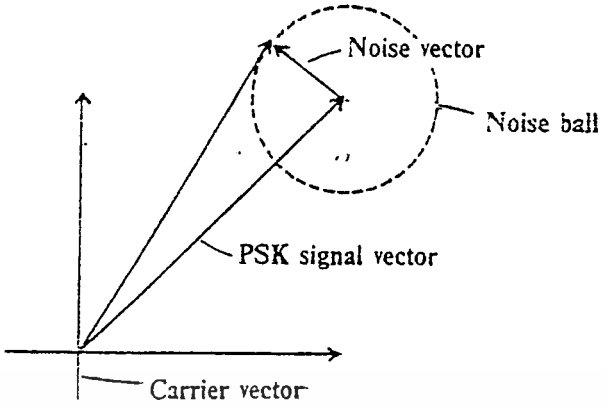


รูปที่ 5.47 keying speed ในการส่งสัญญาณ

ดังนั้นจะเห็นได้ว่า QPSK มีข้อดีกว่า BPSK ถ้ามองจากผลในการใช้แถบความถี่คลื่น

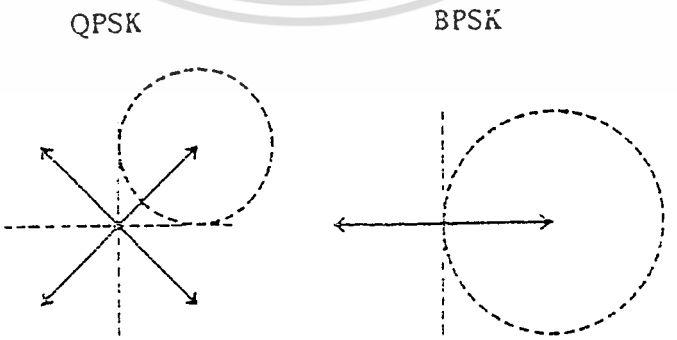
รูปที่ 5.48 เป็นเวคเตอร์ไดอะแกรมของสัญญาณ PSK เมื่อมีเสียงรบกวนเข้ามา ทำให้แอมปลิจูดและเฟสเปลี่ยนไป จะเห็นว่าทิศทางของเวคเตอร์เสียงรบกวนเปลี่ยนไปได้ทุกทิศทาง เวคเตอร์เสียงรบกวนที่มีขนาดคงที่ และหมุนไปทุกทิศทางเป็นวงกลมนี้เรียกว่า “noise ball” เมื่อเวคเตอร์ผลรวมระหว่าง PSK เวคเตอร์ และเวคเตอร์เสียงรบกวนข้าม carrier vertor ไปทางใดทางหนึ่ง เฟสที่ส่งก็จะถูกดีโมดูเลทผิดไปเป็นเฟสข้างเคียง เพราะฉะนั้นเมื่อ noise ball มีค่ามาก การผิดพลาดของบิทก็จะเกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.48 PSK เวคเตอร์ และ noise เวคเตอร์

ลองเปรียบเทียบขนาดของ noise ball สูงสุดที่ไม่ทำให้เกิด bit error ขึ้นใน BPSK และ QPSK โดยที่ความยาวของเวคเตอร์สัญญาณมีขนาดเท่ากัน ซึ่งหมายความว่ากำลังส่งสัญญาณทั้ง QPSK และ BPSK มีกำลังส่งเท่ากัน เราจะเห็นระยะระหว่างสองเวคเตอร์สัญญาณในกรณี QPSK จะสั้นกว่าในกรณี BPSK และช่วงขนาดของ noise ball ที่ไม่ทำให้เกิดการผิดพลาดของบิทในกรณี QPSK จะแคบกว่า ดังในรูป ดังนั้นถ้ากำลังในการส่งสัญญาณเท่ากันและย่านกว้างความถี่เท่ากัน อัตราการผิดพลาดของบิทในกรณี QPSK จะสูงกว่ากรณี BPSK แต่จำนวนข้อมูลข่าวสารที่ส่งในกรณี QPSK จะมากเป็น 2 เท่าของ BPSK โดยลักษณะเช่นนี้ถ้าต้องการใช้ย่านความถี่ให้ได้ผลมากที่สุดจึงควรใช้ QPSK มากกว่า BPSK แต่ถ้าจะให้อัตราผิดพลาดของบิทเกิดขึ้นเท่ากัน ก็จำเป็นที่ต้องให้กำลังในการส่งสัญญาณในกรณี QPSK มากกว่ากรณี BPSK เพราะฉะนั้น QPSK จึงเหมาะสำหรับระบบสื่อสารดาวเทียม ซึ่งมีย่านกว้างความถี่จำกัดเข้มงวดกว่าข้อจำกัดทางกำลังในการส่งสัญญาณ



รูปที่ 5.49 เปรียบเทียบขนาดของ noise ball ที่ไม่ทำให้เกิดการผิดพลาดของบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

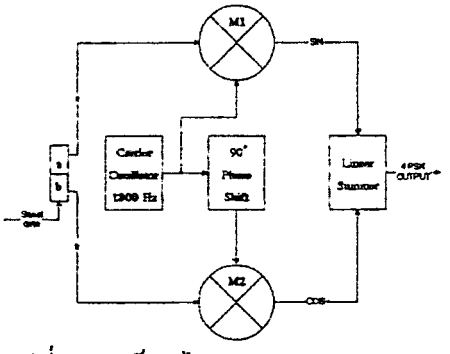
บทที่ 6
หลักการทำงานของวงจรและผลการวัดสัญญาณ

6.1 บทนำ

Quadrature Phase Shift Keying (QPSK) บางครั้งเรียกว่า Quaternary Phase Shift Keying เป็นอีกรูปแบบหนึ่งของการมอดูเลทในเชิงมุม (Angle Modulation) หรือการมอดูเลทที่มีการเปลี่ยนแปลงทางมุมนั่นเอง QPSK เป็นเทคนิคหนึ่งของการแปลงสัญญาณ (Encode) แบบ M-Array ที่มี M=4 (ความหมายของคำว่า Quaternary ก็คือ 4 นั่นเอง) ซึ่งเอาท์พุททั้ง 4 เฟสของ QPSK ที่ออกมานั้นจะมีความถี่เพียงความถี่เดียวเท่านั้น และเนื่องจากมีการเปลี่ยนแปลงของเฟสที่แตกต่างกันถึง 4 เฟส ดังนั้นจึงต้องมีเงื่อนไขของอินพุทที่จะนำไปมอดูเลชั่นกับความถี่คลื่นพาห์ (carrier frequency) อยู่ 4 เงื่อนไข ด้วยกัน แต่สัญญาณดิจิตอลที่จะนำมาเป็นอินพุทเพื่อทำการมอดูเลชั่นแบบ QPSKนั้น เป็นสัญญาณแบบ binary ที่มีเงื่อนไขเพียง 2 เงื่อนไขเท่านั้น คือ "0"และ "1" ดังนั้นในการที่จะทำสัญญาณ binary ให้มีเงื่อนไขที่ต่างกันถึง 4 เงื่อนไขนั้น เราจะต้องจัดสัญญาณ binary เป็น 4 กลุ่ม คือ 00,01,10 และ 11 แต่ละกลุ่มจะมีสัญญาณ binary อยู่ 2 บิท ซึ่งเราจะเรียกว่า Dibit แต่ละ Dibit เมื่อนำไปทำการมอดูเลชั่นแล้วนั้น จะได้ความแตกต่างของเฟสออกมา 4 เฟสด้วยกัน เพราะฉะนั้นสรุปได้ว่า เมื่อนำหนึ่ง Dibit ไปทำการมอดูเลท เราก็จะได้เอาท์พุทออกมาหนึ่งเอาท์พุท ดังนั้นอัตราการเปลี่ยนแปลงของเอาท์พุทหรือที่เรียกว่า Baud rate นั้น จะมีค่าเท่ากับครึ่งหนึ่งของอัตราบิท (Bit rate) ของอินพุทที่นำมามอดูเลทนั่นเอง

6.2 การออกแบบวงจรทางภาคส่ง

จากรูปที่ 6.1 เป็นบล็อกไดอะแกรมพื้นฐานของ QPSK มอดูเลชั่น สัญญาณของข้อมูล Dibit A ซึ่งเป็นข้อมูลแบบอนุกรมจะถูกแยกด้วยวงจร Splitter ให้กลายเป็นของมูลแบบ



รูปที่ 6.1 บล็อกไดอะแกรม QPSK Modulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาน บิทแรกจะถูกส่งเข้าเพื่อทำการมอดูเลทกับสัญญาณ carrier sine wave 1750 Hz ส่วนอีกบิทหนึ่งจะถูกส่งเข้าเพื่อทำการมอดูเลทกับสัญญาณ carrier cosine wave 1750 Hz เช่นกัน

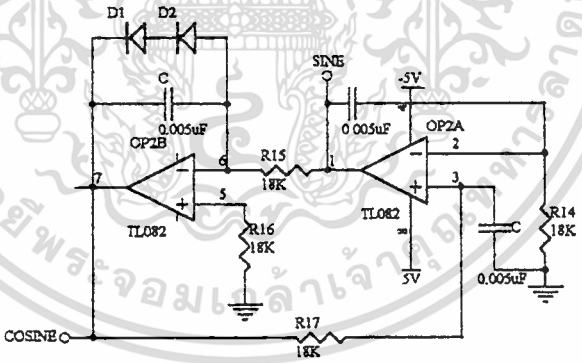
สัญญาณเอาท์พุทที่ได้จากการมอดูเลททั้งสองจะถูกนำมารวมกัน ซึ่งสัญญาณที่ได้จะเรียกว่าเป็นสัญญาณ QPSK สัญญาณ QPSK แต่ละชุดที่ได้จะมีเฟสต่างๆ กันไป

6.2.1 วงจร Carrier Oscillator

วงจร carrier oscillator แสดงดังรูปที่ 6.2 ซึ่งใช้ไอซี dual opamp เบอร์ TL082 จะให้กำหนิดสัญญาณ sine ออกมาที่ขา 1 และให้กำเนิดสัญญาณ cosine ออกมาที่ขา 7 ทั้งสัญญาณ sine และ cosine จะมีความถี่ประมาณ 1,750 Hz ซึ่งค่าความถี่ขึ้นอยู่กับค่า R และ C ในวงจรทั้งหมด โดยสามารถคำนวณได้จากสูตร

$$f = \frac{1}{2\pi RC}$$

สำหรับค่าระดับแรงดันของสัญญาณ carrier sine และ cosine นั้นมีค่าประมาณ 0.8 Vp-p ซึ่งกำหนดโดยไดโอด D_1 และ D_2 ซึ่งต่ออนุกรมกัน

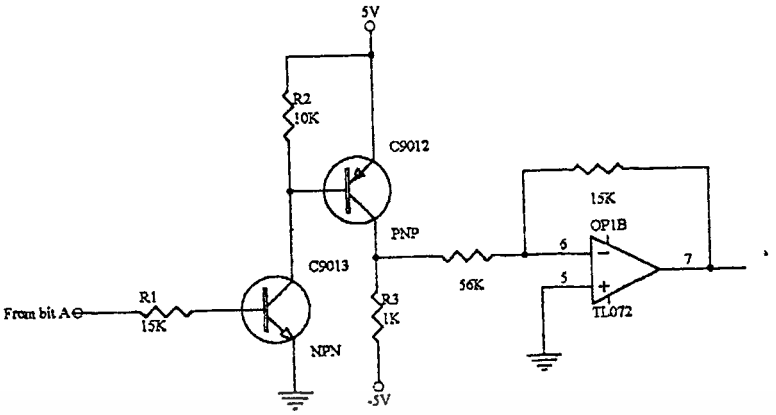


รูปที่ 6.2 วงจรผลิตความถี่สัญญาณ Sine แและ Cosine

6.2.2 วงจรปรับระดับสัญญาณ

วงจรปรับระดับสัญญาณแสดงดังรูปที่ 6.3 เมื่อสัญญาณอินพุทซึ่งเป็น TTL จะถูกปรับระดับสัญญาณให้สวิงระหว่างไฟบวกและไฟลบ ทรานซิสเตอร์จะทำหน้าที่เป็นเสมือนสวิทช์ระดับแรงดันที่ขา C ของ C9012 สัญญาณจะสวิงระหว่าง 5 V_{p-p} และทำการลดระดับแรงดันให้เหลือประมาณ 2.4 Vp-p ด้วยออปแอมป์ต่อวงจรแบบ inverting amp และจะถูกส่งไปมอดกับสัญญาณคลื่นพาหะทางภาคส่ง ดังนั้นสัญญาณที่ได้จะเป็นดังตารางที่ 6.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.3 วงจรปรับระดับสัญญาณ

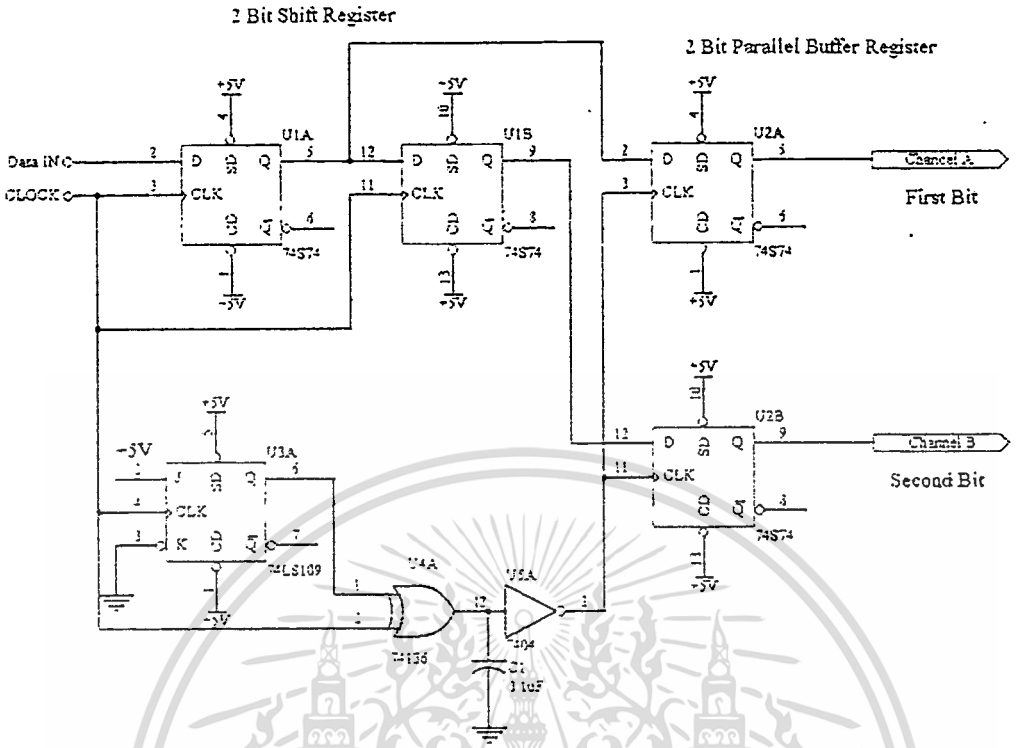
ตารางที่ 6.1 แสดงค่าโลจิกข้อมูลที่ถูกเปลี่ยนให้เป็นระดับแรงดัน

logic data	ระดับแรงดัน
"0"	1.2V
"1"	-1.2V

6.2.3 วงจร Bit Spliter

วงจร bit spliter ทำหน้าที่ในการแยกบิทของข้อมูลที่เข้ามาทางด้านอินพุท (data in) ซึ่งเป็นแบบอนุกรม แยกออกเป็นแบบขนาน 2 บิทออกทางด้านเอาท์พุท CH_1 และ CH_2 โดยทำงานตามสัญญาณนาฬิกาซึ่งถูกสร้างจาก IC_1 ใช้ตัวคลิสตอลในการผลิตความถี่ โดยผ่านวงจรหารความถี่เพื่อให้ได้ความถี่ตามต้องการ ความถี่ของสัญญาณนาฬิกาที่ใช้คือ 2,400 เฮิร์ท หลักการทำงานของวงจรก็คือ เมื่อข้อมูลถูกส่งเข้ามา ข้อมูลจะถูกโหลดเมื่อสัญญาณนาฬิกาเป็นขอบขาขึ้น ข้อมูลก็จะไปปรากฏที่ Q ของ IC_{3A} และจะถูกโหลดต่อไปยัง IC_{3B} ซึ่งจะทำงานในลักษณะเหมือนรีจิสเตอร์ และในขณะเดียวกันสัญญาณนาฬิกาก็จะถูกนำไปหารให้เหลือ 1,200 เฮิร์ทโดย IC_{5A} นำเอาความถี่ 1,200 เฮิร์ทที่ได้เป็นสัญญาณนาฬิกาของ IC_{4A} และ IC_{4B} เมื่อข้อมูลถูกส่งมารอที่อินพุทของ IC_{4A} และ IC_{4B} ข้อมูลก็จะถูกส่งออกไปที่เอาท์พุทครั้งละ 2 บิทเพื่อนำเอาข้อมูลไปมอดกับสัญญาณคลื่นพาหะที่ได้จากภายส่งต่อไป

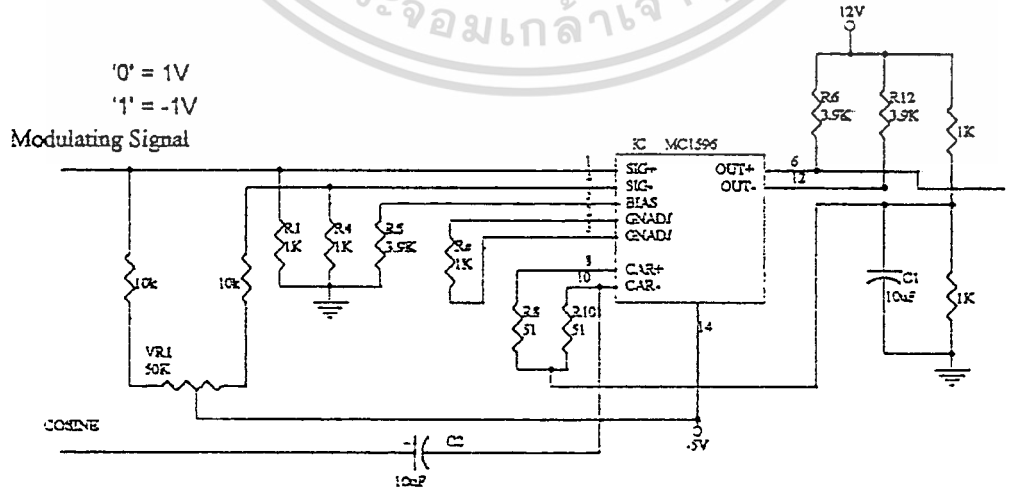
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.4 วงจร bit spliter

6.2.4 วงจร Modulator

วงจรมอดูเลเตอร์ซึ่งแสดงดังรูปที่ 6.5 โดยใช้ไอซี MC1596 ต่อเป็นวงจร Balanced Modulator ซึ่งเอาท์พุทเป็น DSSB (Double Sideband Suppress Carrier) ที่ขา 6 และขา 12



รูปที่ 6.5 วงจรมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.4.1 หลักการออกแบบ

สำหรับการออกแบบวงจรนั้น ได้อาศัยข้อมูลจาก data sheet มาเป็นหลักเกณฑ์ในการออกแบบดังนี้

$$R_5 = \frac{V^- - \phi}{I_5} - 500\Omega$$

โดยที่ R_5 คือ ค่าความต้านทานที่ต่อที่ขา 5 ของ MC1596

V^- คือ แรงดันไฟลบ ซึ่งเป็นไฟเลี้ยง MC1596

ϕ คือ ค่าคงที่มีค่าเท่ากับ 0.75V ที่อุณหภูมิ +25 °C

I_5 คือ กระแสไหลเข้าขา 5 ของ MC1596 ซึ่งจาก data sheet ให้ I_5 = 1 mA เป็นค่าที่เหมาะสมที่สุด

ดังนั้นเราสามารถคำนวรหาค่า R_5 ได้ดังนี้ เมื่อให้ V^- = 5V

$$R_5 = \frac{5 - 0.75}{10^{-3}} = 4.25K\Omega$$

เลือกใช้ R_5 = 3.9 KΩ ซึ่งเป็นค่าที่ใกล้เคียงกับค่าที่คำนวณได้ ส่วนค่าความต้านทานหรือค่าคาปาซิเตอร์อื่นๆ ได้ถูกพิจารณาเพื่อเลือกใช้ค่าที่เหมาะสมกับการนำไปใช้งาน

6.2.4.2 การปรับแต่งก่อนนำไปใช้งาน

เนื่องจากวงจรภายในของ MC1596 ต่อเป็น Differential Amp ดังนั้นเพื่อต้องการให้ทรานซิสเตอร์ภายในมีคุณสมบัติที่เหมือนกัน(ทำงานพร้อมๆ กัน) เพื่อให้เกิด distortion น้อยที่สุด จึงต้องมีการปรับแต่งก่อน ซึ่งขั้นตอนดังนี้

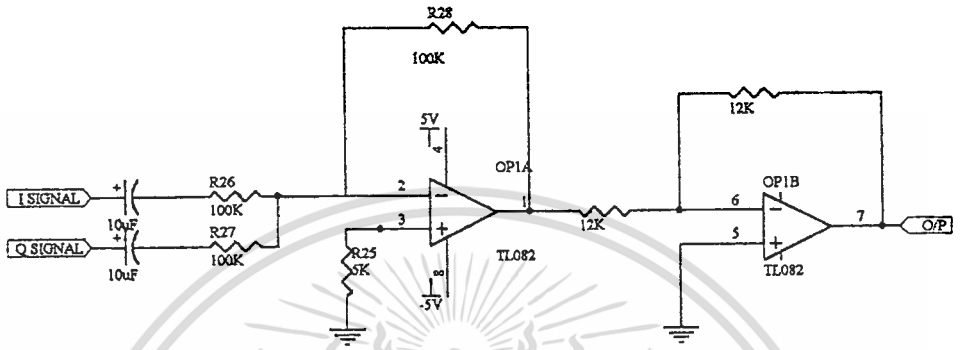
1. ไม่ต้องป้อนสัญญาณใดๆ เข้าที่อินพุททั้งสองแต่ป้อนสัญญาณ carrier เท่านั้น
2. วัดสัญญาณที่เอาท์พุทเทียบกราวร์
3. ปรับ VR 50K เพื่อให้ สัญญาณเอาท์พุทมี amplitude ต่ำที่สุด

6.2.5 วงจร Summing Amp & Inverting Amp

หลังจากที่เราได้สัญญาณซึ่งเป็นการมอดูเลทระหว่างสัญญาณ Carrier cosine กับสัญญาณข้อมูล (สัญญาณ Q) และระหว่าง caarier sine กับสัญญาณข้อมูล (สัญญาณ I) แล้ว จะนำสัญญาณทั้งสองมารวมกัน โดยวงจร Summing Amp แล้วกลับเฟสสัญญาณอีก 180° โดยวงจร Inverting Amp ซึ่งมี gain เท่ากับ 1 โดยวงจรทั้งสอง (สัญญาณ I+Q) จะเรียกว่า QPSK SIGNAL ซึ่งมีเฟสต่างๆ กันไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเมื่อนำวงจรในส่วนต่างๆ มาต่อเข้าด้วยกันแล้วจะได้เป็นวงจรของภาคส่ง ดังรูปที่ 6.6 และตารางที่ 6.2 จะแสดงค่าสัญญาณ I+Q (QPSK Signal) พร้อมทั้งเฟสที่ต่างกันด้วย โดยจะพิจารณาที่สัญญาณ I และ Q มีค่า Amplitude เท่ากับ 3 V_{P-P}



รูปที่ 6.6 วงจร Summing Amp & Inverting Amp

ตารางที่ 6.2 แสดง QPSK Signal และ เฟส ณ. data logic ต่างๆ

Dibit	QPSK Signal (I+Q)	θ
0 0	$\sin\omega_C t+\cos\omega_C t$	45
0 1	$\sin\omega_C t-\cos\omega_C t$	135
1 0	$-\sin\omega_C t+\cos\omega_C t$	315
1 1	$-\sin\omega_C t-\cos\omega_C t$	225

เมื่อรวมสัญญาณ I และ Q ทางเฟสเซอร์ จะได้ดังนี้

ข้อมูล "00"

$$(\sin\omega_C t + \cos\omega_C t) = 1.414(\sin\omega_C t + 45^\circ)$$

ข้อมูล "01"

$$(\sin\omega_C t - \cos\omega_C t) = 1.414(\sin\omega_C t + 135^\circ)$$

ข้อมูล "10"

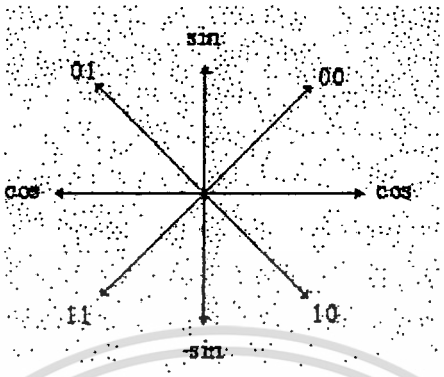
$$(-\sin\omega_C t + \cos\omega_C t) = 1.414(\sin\omega_C t + 315^\circ)$$

ข้อมูล "11"

$$(-\sin\omega_C t - \cos\omega_C t) = 1.414(\sin\omega_C t + 225^\circ)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

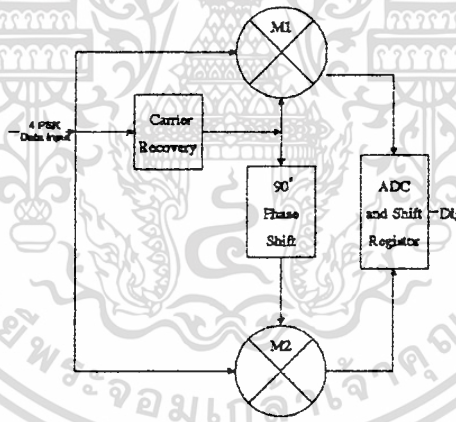
ดังนั้นสัญญาณ QPSK จะเรียกเป็น Phase Diagram ได้ดังรูปที่ 6.7



รูปที่ 6.7 แสดง Phase Diagram ของ QPSK Signal

6.3 การออกแบบวงจรภาครับ

จากรูปที่ 6.8 แสดงบล็อกไดอะแกรมพื้นฐานของภาค QPSK Demodulator



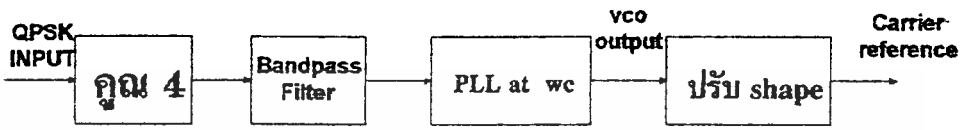
รูปที่ 6.8 บล็อกไดอะแกรมภาค QPSK Demodulator

เมื่อสัญญาณ QPSK จากภาคส่ง ถูกส่งเข้ามา จะถูกทำการ recovery เพื่อให้ได้ carrier frequency เท่ากับทางภาคส่ง โดย carrier ซึ่งถูก recovery นี้ จะนำไปเป็นเอาท์พุทให้กับบาลานซ์มอด (M_1) ส่วน carrier ที่จะนำไปเป็นอินพุทให้กับบาลานซ์มอด (M_2) นั้น จะถูก shift เฟส 90 ก่อนจะนำไปมอดูเลท สัญญาณ carrier จะนำไปมอดูเลทกับ QPSK Signal เมื่อได้เอาท์พุทออกมาจะนำไปเข้าวงจร LPF (Low Pass Filter) เพื่อกรองเอาความถี่สูงซึ่งเป็น harmonic ออก สัญญาณที่ได้จะมีความถี่เดียวกับข้อมูลที่ส่งมา แต่ยังไม่ใช่ข้อมูลซึ่งเป็นระดับโลจิกที่เราส่งมา ดังนั้นจึงต้องนำไปเข้าวงจร ADC (Analog to Digital Converter) เพื่อให้ได้เป็นข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dibit ต่อไปข้อมูลแบบ Dibit จะถูกนำไปแปลงให้กลายเป็น Serial Bit ซึ่งนั่นก็คือ เราได้สัญญาณข้อมูลดิจิตอลกลับคืนมาแล้ว

6.3.1 วงจร Carrier Recovery



รูปที่ 6.9 บล็อกไดอะแกรมแสดงการ recovery carrier

สัญญาณที่ได้จากทางภาคส่ง จะถูกนำไปเข้าวงจรคูณความถี่โดยใช้ไอซีเบอร์ MC1595 จะทำให้สัญญาณถูกคูณด้วยความถี่ 4 เท่าของสัญญาณ QPSK และผ่านวงจรฟิลเตอร์แบบ bandpass เอาท์พุทที่ได้จะมีความถี่เป็น 4 เท่าของความถี่ carrier ทางภาคส่ง จะนำเอาความถี่นี้ไปผ่านวงจรเฟสล็อคลูฟเพื่อล็อคความถี่ที่ ω_C เอาท์พุทของ PLL จะเป็นสัญญาณรูปสามเหลี่ยม จะต้องแปลงรูปร่างของสัญญาณให้อยู่ในรูปของสัญญาณ sine wave โดยผ่านวงจรปรับรูปร่างสัญญาณ สุดท้ายก็จะได้ความถี่ของ carrier แต่เฟสของสัญญาณ carrier ที่ได้จะมีเฟสที่เกิดได้อยู่ 4 เฟส ซึ่งถ้าหากไม่มีวงจรตรวจสอบความถูกต้องของเฟส ข้อมูลที่ถูกแปลงกลับมาก็จะเกิดความผิดพลาด ซึ่งส่วนของวงจรตรวจสอบความถูกต้องของเฟสจะได้กล่าวในหัวข้อต่อไป

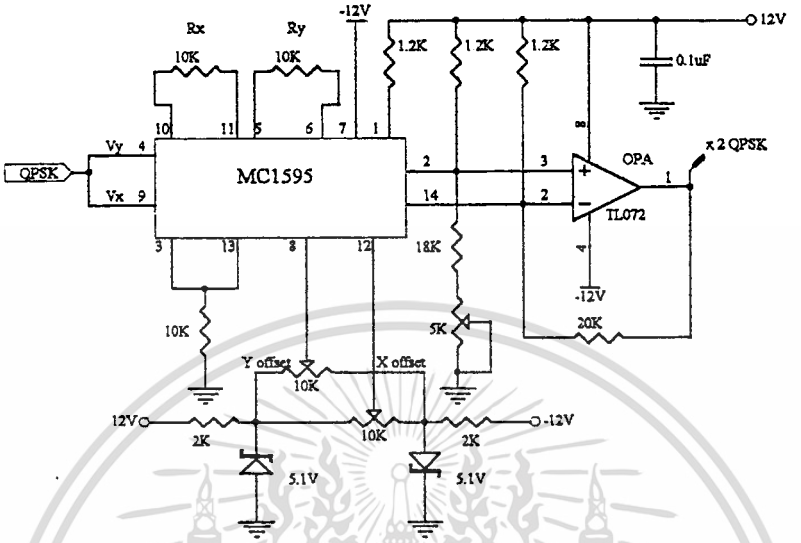
6.3.1.1 วงจรคูณความถี่ (Frequency Multiplier)

ในโครงงานนี้ใช้ไอซีเบอร์ MC1595 ซึ่งเป็นไอซี monolithic four - quadrant multipler ซึ่งทำงานด้วยหลักการเปลี่ยนแปลงค่า Transconductance พื้นฐานในการวิเคราะห์ไอซี MC1595 ผลลัพธ์ในการวิเคราะห์คือผลต่างของกระแสเอาท์พุทของวงจรคูณ กำหนดโดย

$$I_A - I_B = \Delta I = \frac{2V_X V_Y}{R_X R_Y I_3}$$

I_A และ I_B เป็นกระแสที่ขา 14 และขา 2 ตามลำดับ และ V_X และ V_Y เป็นแรงดันอินพุท X และ Y ที่ขาอินพุทของวงจรคูณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.10 แสดงวงจรคูณความถี่

พิจารณาการออกแบบ

ไอซี MC1595 ผู้ออกแบบสามารถที่จะเลือกอุปกรณ์ที่จะนำมาต่อร่วมกับไอซีได้ โดยอุปกรณ์ดังกล่าวต้องทำให้วงจรทำงานได้อย่างสมบูรณ์

การกำหนดให้อินพุทที่เข้ามามีค่าสูงสุด $\pm$ 5 โวลท์ ($V_X = V_{Y(max)}$)

$$V_O = \frac{4V_X V_Y}{10}$$; คูณด้วยค่า factor 4/10

ทำการกำหนดค่ากระแส I_3 และ I_{13} โดยทั่วไปจะกำหนดให้อยู่ระหว่าง 1 - 2 มิลลิแอมป์ จากรูปได้เลือกค่ากระแส I_3 และ I_{13} คือ 1 มิลลิแอมป์

เมื่อทำการเลือกค่ากระแส I_3 และ I_{13} ตามค่าที่เหมาะสมแล้ว เราจำเป็นที่จะต้องต่อค่าความต้านทานระหว่างขา 13 และขา 3 กับกราวนด์ ซึ่งสามารถคำนวณค่าความต้านทานได้จากสูตรนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{13} + 500\Omega = \frac{|V-| - 0.7V}{I_{13}}$$

$$R_3 + 500\Omega = \frac{|V-| - 0.7V}{I_3}$$

จากวงจรค่า V- = 12 โวลท์ ดังนั้น $R_{13} + 500\Omega = \frac{12 - 0.7V}{1mA} = 11.3K$

จะได้ $R_{13} = R_3 = 10.8K \approx 10K$

สำหรับวงจรนี้ไม่ต้องการ scale factor ที่เที่ยงตรงมากนัก จึงสามารถต่อขา 13 และขา 3 เข้าด้วยกันแล้วใช้ค่าความต้านทานต่อเพียงตัวเดียวดังรูป

ขั้นต่อไปทำการเลือกค่า R_X และ R_Y จากเงื่อนไขดังนี้

$$\frac{V_X}{R_X} \langle I_{13}, \frac{V_Y}{R_Y} \langle I_3$$

ค่าที่ดีที่สุดจะต้องทำให้ได้ $I_3R_Y \geq 1.5V_{Y(MAX)}$ และ $I_{13}R_X \geq 1.5V_{X(MAX)}$

ให้ $R_X = R_Y = 10K$

$I_3R_Y = 10V$

$I_{13}R_X = 10V$

ดังนั้นเราทราบค่า $V_{X(MAX)}$ และ $V_{Y(MAX)} = 5$ โวลท์ และค่า $R_X = R_Y = 10K$

เมื่อเราทราบค่าต่างๆ แล้วเราก็สามารถหาค่า R_L ได้จากสูตร

$$K = \frac{2R_L}{R_X R_Y I_3} = \frac{4}{10} \; or \; \frac{2RL}{(10K)(10K)(1mA)} = \frac{4}{10}$$

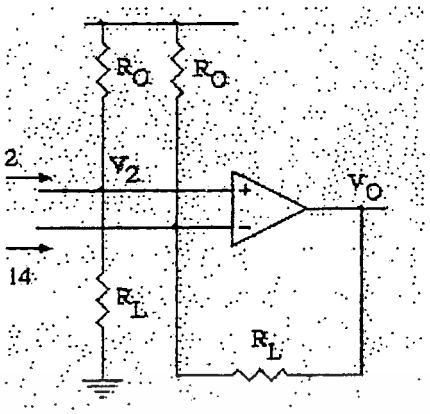
$R_L = 20K$

หากกำหนดให้แรงดันอินพุทเท่ากับ 5 โวลท์ แรงดันที่ขา 1 จะต้องมีค่าอย่างน้อย 7 โวลท์เนื่องจากที่ขา 1 โครงสร้างภายในจะมีไดโอด 2 ตัวต่ออยู่

$V_1 = 9.5\ V_{dc}$

$$\therefore \quad R_1 = \frac{V^+ - V_1}{2I_3} = \frac{12 - 9.5}{2mA} = 1.25K\Omega \approx 1.2K\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.11 วงจร level shift circuit

วงจร level shift circuit ทำหน้าที่ในการปรับค่าออฟเซ็ทเพื่อให้เอาท์พุทที่ได้ไม่มีแรงดันดีซีอยู่ ซึ่งในวงจรใช้งานจริงจะต่อค่าความต้านทานปรับค่าได้เพื่อช่วยในการปรับเพื่อความสะดวกในการตั้งค่าที่เหมาะสมให้แก่วงจร

จากวงจรเราสามารถคำนวณหาค่า R_O ได้จากสูตร

$$\frac{V_2}{R_L} + I_{13} = \frac{V^+ - V_2}{R_O}$$

กำหนดให้ค่า $V_2 = 10$ V

$$\frac{10}{20K} + 1mA = \frac{12-10}{R_O}$$

$R_O = 1.33K \approx 1.2K$

6.3.1.2 เฟสล็อกลูป (Phase locked loops)

เฟสล็อกลูป (PLL) โดยแท้จริงแล้วมีพื้นฐานเป็นวงจรอิเล็กทรอนิกส์เซอร์โวลูป ประกอบด้วยตัวเปรียบเทียบเฟส low pass filter และโวลท์เต็จคอนโทรลออสซิเลเตอร์ (VCO) เฟสล็อกลูปจะควบคุมให้ VCO สร้างความถี่ขึ้นสอดคล้อง (synchronize) กับสัญญาณเข้า แนวความคิดนี้ได้ถูกนำมาใช้อย่างกว่างขวางทั้งในเครื่องมือ และอุปกรณ์การสื่อสารทางอากาศ อย่างไรก็ตามเนื่องจากมันมีราคาแพง และการออกแบบระบบ โดยใช้ชิ้นส่วนแยกประกอบการนำไปใช้งาน จึงถูกจำกัดเฉพาะเมื่อเราต้องการความแม่นยำในทำงานสูง ปราศจาก noise รบกวน และมี bandwidth แคบมากๆ เท่านั้น และเทคโนโลยีทางด้านการผลิต (process) สถานะการณ์เหล่านี้ จึงได้มีการเปลี่ยนแปลงไปอย่างรวดเร็ว ปัจจุบันนี้เฟสล็อคลูปจะปรากฏออกมาในรูปของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรวม (ไอซี) ที่มีลักษณะเดียวกับวงจรรวมออฟแอมป์ (op-amp) ซึ่งสามารถนำไปประยุกต์ใช้งานต่างๆ ได้มากมาย

ในการออกแบบวงจรเลือกความถี่ด้วย วงจรรวม (frequency selective intergrated circuit) สิ่งที่เป็นปัญหาสำคัญคือการทำตัว inductor การแก้ปัญหานี้โดยการใช้ Active RC filter ซึ่งใช้ความต้านทานและตัวเก็บประจุต่อที่ส่วนป้อนกลับของภาคขยาย เพื่อทำให้เกิดการตอบสนองต่อการเลือกความถี่ เทคนิคการออกแบบจำนวนมากใช้พัฒนา Active RC filter ฟิลเตอร์ในวงจรรวมที่ Active RC filter มีขีดจำกัดอยู่ 3 ข้อ คือ

1. ช่วงความถี่ (frequency range) โดยมากฟิลเตอร์แบบนี้ จะใช้กับความถี่ที่ต่ำกว่า 100 KHz จึงจะทำให้มีเสถียรภาพ

2. ความไว (sensitivity) ความถี่ย่านกลางมีผลอย่างมากต่อความไวของ active gain และค่าของส่วนประกอบทางป้อนกลับ

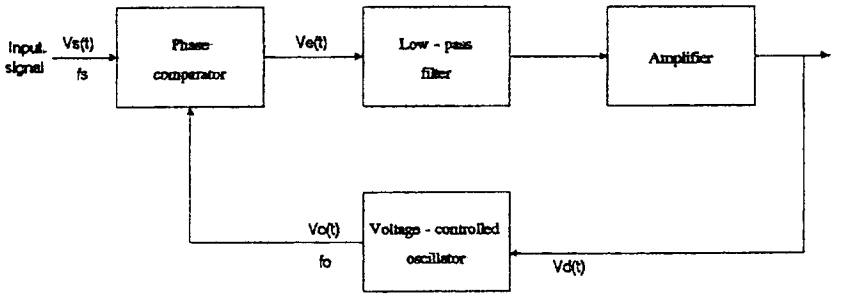
3. ราคา (cost) ในแง่ของราคาและความยุ่งยากแล้วการใช้ RC active filter ไม่เหมาะสมเพราะจะต้องใช้ R,C ถึง 4 ตัว ในการสร้าง Complex pole 2 คู่ อีกทั้ง R,C ดังกล่าวไม่สามารถสร้างอยู่ในตัวไอซีได้ ต้องนำมาประกอบเพิ่มภายนอกทำให้ราคาและความซับซ้อนมากขึ้น

เมื่อสามารถแก้ไขปัญหาทั้งสามข้อนี้ได้แล้ว การสร้างวงจรรวมเฟสล็อกลูปก็จะมีราคาถูก และทำเป็นวงจรโมโนลิทิค package ให้มีความสมบูรณ์อยู่ในตัวเองเหมือนกับวงจรออปแอมป์ แต่ทว่าการทำงานพื้นฐานเบื้องต้นของเฟสล็อคลูฟไม่ได้เปลี่ยนแปลงไปเลย ซึ่งคุณสมบัติและการทำงานของ PLL จะได้อธิบายต่อไป ในปัจจุบันนี้ PLL หาได้ง่ายในลักษณะของวงจรรวมที่มีราคาถูก จึงเป็นการประหยัดที่จะนำไปใช้งานต่างๆ

6.3.1.3 หลักการทำงานเบื้องต้นของเฟสล็อกลูป

เฟสล็อกลูปคือ ระบบที่มีการป้อนความถี่กลับประกอบด้วยเฟสดีเท็คเตอร์ low pass filter และ error แอมปลิไฟเออร์ ซึ่งอยู่ทางที่สัญญาณเดินไปหน้า และโวลท์เต็จคอนโทรลออสซิเลเตอร์ (VCO) อยู่ในทางป้อนกลับ แผนภาพของระบบเฟสล็อกลูปอย่างง่ายๆ แสดงได้ดังรูปที่ 6. การวิเคราะห์ระบบโดยทางคณิตศาสตร์จะไม่ขอกล่าวในที่นี้ อย่างไรก็ตามหลักการทำงานเบื้องต้นของเฟสล็อคลูป สามารถอธิบายได้ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.12 บล็อคไดอะแกรมของเฟสล็อคลูฟ

ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม (control voltage) $V_d(t)$ จะเท่ากับศูนย์ VCO จะทำงานโดยการตั้งความถี่ไว้ที่ f_o ซึ่งเรียกว่า "free-running frequency" ถ้าสัญญาณเข้าไปในระบบ phase comparator จะทำการเปรียบเทียบเฟส และความถี่ของสัญญาณอินพุทกับ VCO และผลิตแรงดันคลาดเคลื่อน $V_e(t)$ ซึ่งสัมพันธ์กับความแตกต่างของเฟส และความถี่ระหว่างสัญญาณทั้งสองแรงดันคลาดเคลื่อนนี้จะถูกกรอง และขยายส่งไปควบคุม VCO ในการนี้แรงดันควบคุม $V_d(t)$ จะไปบังคับความถี่ VCO ให้เปลี่ยนไปในทิศทางที่จะลดความถี่ที่แตกต่างกันระหว่าง f_o และสัญญาณที่เข้า ถ้าความถี่ของสัญญาณที่เข้าใกล้เคียงกับ f_o จากการป้อนกลับของ PLL ทำให้ PLL synchronize หรือ lock กับสัญญาณที่เข้ามา ขณะที่ทำการ lock นั้นความถี่ VCO จะเท่ากับสัญญาณอินพุท แต่เฟสยังต่างกันอยู่ ความแตกต่างของเฟส $\varnothing_0$ มีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อนที่จะไปคอยปรับความถี่ VCO จากค่า free-running ให้เท่ากับความถี่ที่เข้ามา f_s ดังนั้น PLL จะยังคงรักษาสภาพการ lock การที่ระบบสามารถที่จะปรับตัวได้เองทำให้ PLL สามารถติดตามความถี่ที่เปลี่ยนไปของสัญญาณที่เข้าไปให้อยู่ในสภาพ lock เช่นเดิม ช่วงของความถี่ซึ่ง PLL สามารถติดตามการ lock กับสัญญาณที่เข้ามา เรียกว่า "lock range" ของระบบค่าของมันจะขึ้นอยู่กับแรงดันคลาดเคลื่อน โดยจะไม่ขึ้นอยู่กับ band edge ของฟิลเตอร์ ช่วงความถี่นี้จะมากกว่าช่วงความถี่ที่ PLL สามารถทำการ lock อย่างแท้จริงกับสัญญาณอินพุท ช่วงความถี่หลังนี้เรียกว่า "capture range" ของระบบ ช่วง capture range นี้จะขึ้นอยู่กับ band edge ของฟิลเตอร์ และ closed loop gain (K_v) ของระบบทั้งหมด โดยมีผลเกี่ยวข้องกับกับ selectivity ของวงจร PLL และยังช่วยเพิ่มความปลอดภัยเกี่ยวกับสัญญาณรบกวนทางด้าน outband signal ที่จะมากวนได้เป็นอย่างดี

การทำงานของลูป low pass filter มีหน้าที่ 2 อย่างคือ

1. การลดค่าคลาดเคลื่อนที่เป็นความถี่สูงที่ออกจาก phase comparator โดยการใช้คุณสมบัติ interference rejection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. มันทำหน้าที่เหมือนกับ short-term memory สำหรับ PLL และจะ capture กับสัญญาณใหม่อีกทันที เมื่อระบบหลุดออกจากการ lock เนื่องจากสัญญาณรบกวนในช่วง transient

เนื่องจาก low pass filter สุดค่าแรงดันคลาดเคลื่อนของความถี่สูงระหว่าง loop มันเป็นตัวควบคุมการ capture โดยตรง และคุณสมบัติ transient-respond ของ PLL

การลดช่วงกว้างของฟิลเตอร์ จะส่งผลไปยังการทำงานของระบบคือ

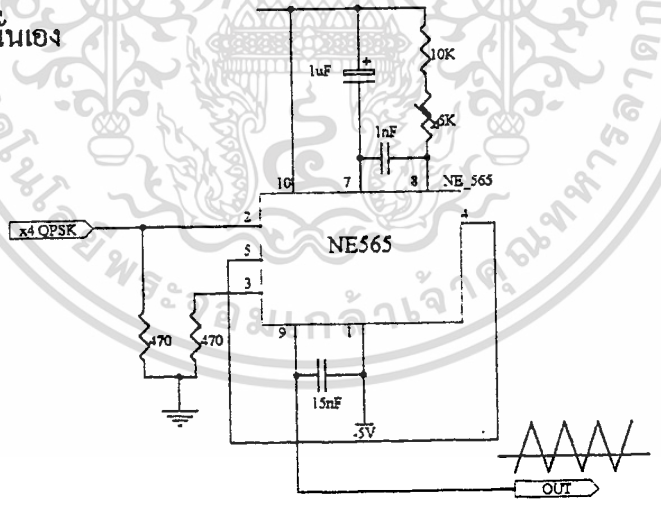
1. ขบวนการ capture จะช้าลง และ pull in time จะเพิ่มขึ้น (pull in time คือเวลาที่ PLL ใช้ในการล็อค)

2. ช่วง capture จะลดลง

3. คุณสมบัติทาง interference-rejection ของ PLL จะดีขึ้น เพราะว่าแรงดันคลาดเคลื่อนเนื่องจากความถี่ interference จะถูกลดไป

4. ผลตอบสนอง transient ของ PLL ต่อการเปลี่ยนทันทีของสัญญาณเข้าในช่วงความถี่ capture จะอยู่ในลักษณะภายใต้การแดมพ์ (underdamped)

ส่วนวงวร PLL ที่ใช้งานจริงได้แสดงไว้ดังรูปที่ 6.13 ค่าความต้านทานและตัวเก็บประจุจะเป็นส่วนในการกำหนดความถี่ free running เพื่อให้สะดวกในการใช้งาน วงจรนี้จึงสามารถรับความถี่ได้โดยปรับค่าความต้านทาน โดยความถี่ที่ตั้งไว้จะใกล้เคียงกับความถี่ของ carrier ทางภาคส่งนั่นเอง



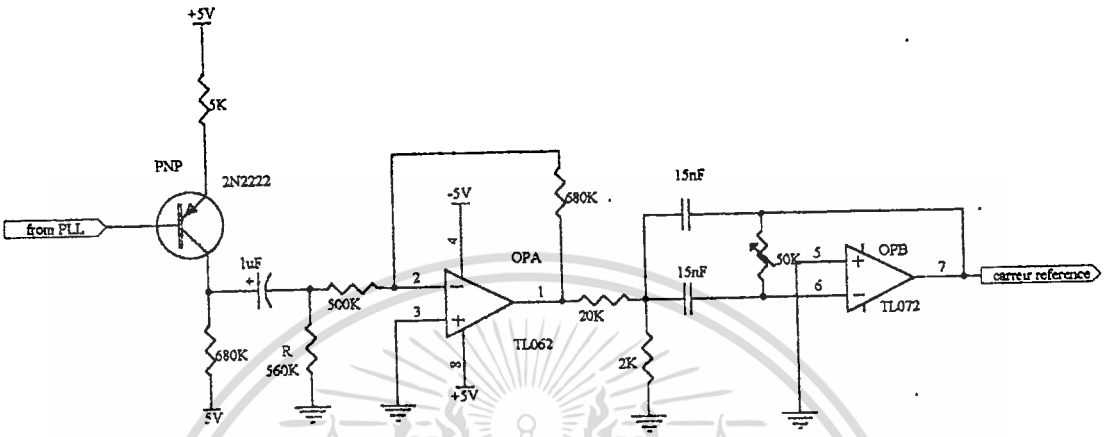
รูปที่ 6.13 วงจร PLL ที่ใช้งานจริง

6.3.1.4 วงจรปรับเปลี่ยนรูปสัญญาณ

เป็นวงจรที่ใช้ปรับเปลี่ยนรูปสัญญาณรูปสามเหลี่ยมที่ได้จากวงจรเฟสล็อกลูฟให้เป็นรูปสัญญาณ sine ทรานซิสเตอร์จะให้เอาท์พุทสวิงทั้งไฟบวกและลบเพื่อนำสัญญาณไปเข้าขยายสัญญาณแบบกลับเฟสโดยใช้ออปแอมป์ และส่งสัญญาณไปยังวงจร bandpass filter จะมีความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

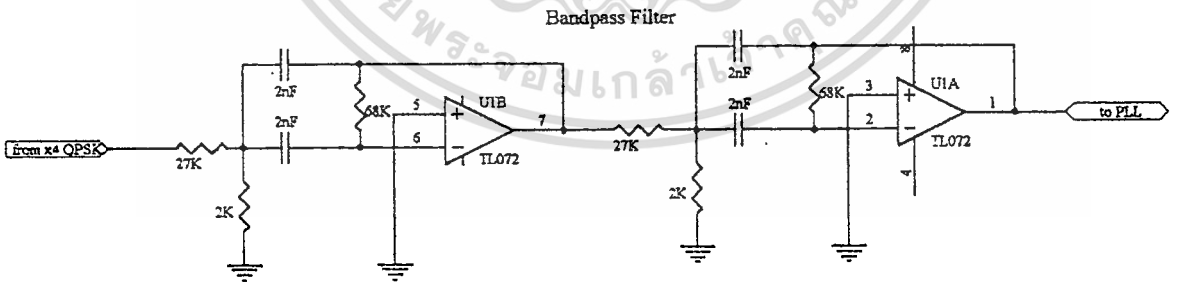
ด้านทานปรับค่าใช้ปรับค่าความถี่คัทออฟ จะทำให้รูปของสัญญาณใกล้เคียงกับสัญญาณ sine มากที่สุด ซึ่งสัญญาณ sine นี้จะถูกส่งไปยังวงจรเลื่อนเฟสของสัญญาณเพื่อให้ได้เฟสที่ถูกต้อง (carrier reference)



รูปที่ 6.14 วงจรปรับเปลี่ยนรูปสัญญาณ

6.3.1.5 วงจร bandpass filter

จะทำหน้าที่ในการกรองความถี่ที่ได้จากวงจรคูณ 4 เพื่อกำจัดสัญญาณรบกวนที่ไม่ต้องการทิ้งไป โดยความถี่ที่ตั้งไว้คือ 7 KHz และเพื่อให้วงจร PLL ทำงานได้ดียิ่งขึ้น เพราะความถี่ที่ได้จากวงจรฟิลเตอร์จะถูกส่งเข้าไปยังวงจร PLL ถ้าหากความถี่ที่ถูกส่งออกไปมีสัญญาณรบกวนอยู่ก็จะทำให้ PLL ล็อกความถี่ได้ไม่ดีเท่าที่ควรนัก



รูปที่ 6.14 วงจร bandpass filter

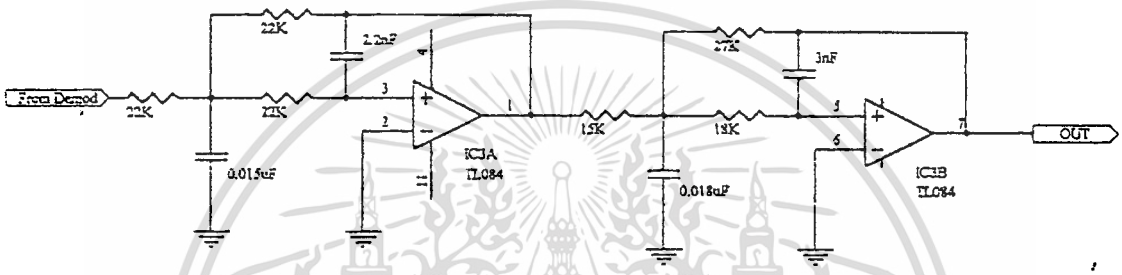
6.3.2 วงจร Demodulator

เนื่องจากวงจรดีมอดูเลเตอร์ ใช้ไอซีเบอร์ MC1596 บาลานซ์มอด เช่นเดียวกับทางภาคส่งดังนั้น การออกแบบวงจรจึงเหมือนกับของภาคส่งทุกประการ วงจรที่ใช้ก็จะเหมือนกับทางภาคส่งด้วย จึงไม่ขอกล่าวซ้ำในที่นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.3 วงจร Low Pass Filter

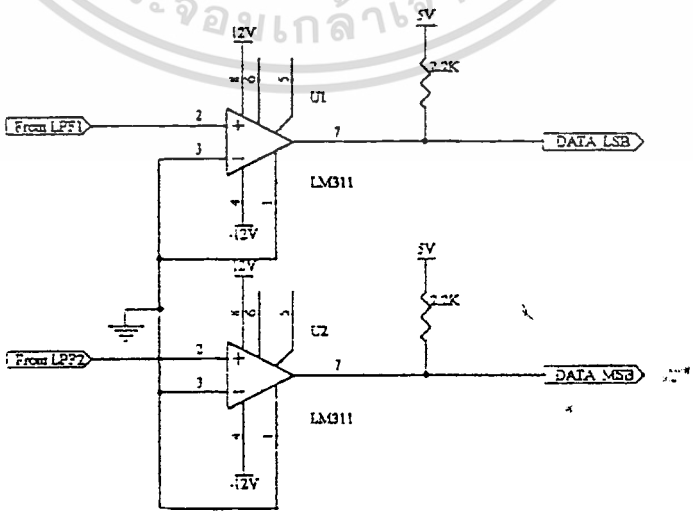
วงจรกรองความถี่ต่ำผ่านที่ใช้แสดงดังรูปที่ 6.15 ทำหน้าที่ในการกำจัดสัญญาณความถี่สูงที่ไม่ต้องการออกจากสัญญาณข้อมูลที่ได้จากเอาท์พุทของไอซีดีมอดูเลเตอร์ ซึ่งสัญญาณข้อมูลจะแฝงมากับความถี่สูง ดังนั้นวงจรกรองความถี่ต่ำผ่านจำเป็นอย่างยิ่งที่จะต้องสามารถกำจัดความถี่สูงได้ดี เพื่อจะส่งสัญญาณข้อมูลที่ได้นี้ไปยังวงจรแปลงระดับสัญญาณให้เป็นสัญญาณข้อมูลแบบ TTL



รูปที่ 6.15 วงจรกรองความถี่ต่ำผ่าน

6.3.4 วงจรแปลงระดับสัญญาณเป็นแบบ TTL

สัญญาณข้อมูลที่ได้จะถูกแปลงกลับมาเป็นสัญญาณแบบ TTL โดยวงจรดังรูปที่ 6.16 เป็นวงจรคอมพาราเตอร์แบบ non-inverting สัญญาณ TTL ที่ได้นี้ก็คือข้อมูลที่จะเหมือนกับทางภาคส่งแต่จะเกิดการ delay เนื่องจากวงจรกรองความถี่ต่ำผ่าน

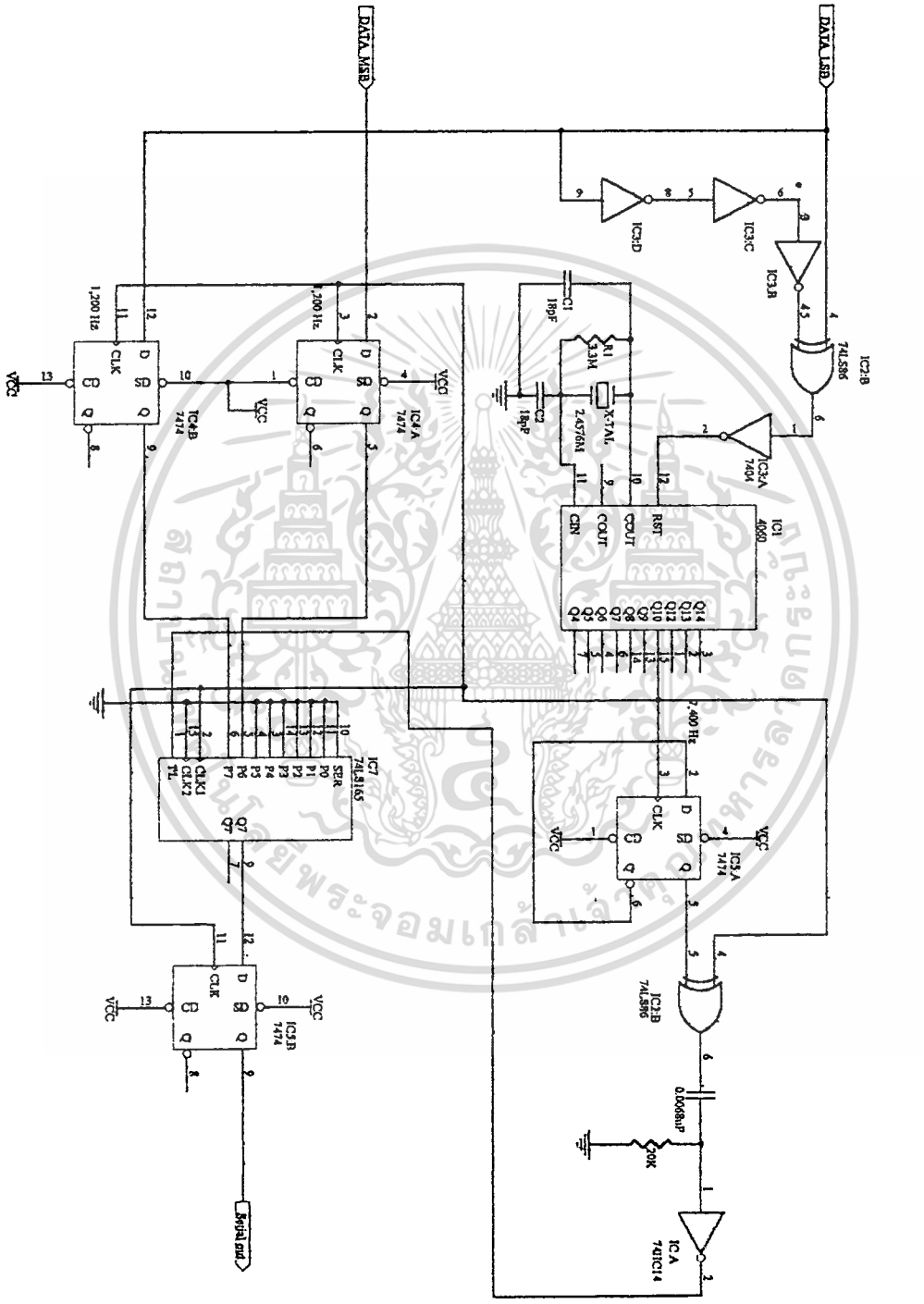


รูปที่ 6.16 วงจรแปลงระดับสัญญาณแบบ TTL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.5 วงจรแปลงข้อมูลจากขนานเป็นแบบอนุกรม

จากวงจรดังรูปที่ 6.17 แสดงวงจรแปลงข้อมูลจากขนาน 2 บิทให้เป็นข้อมูลแบบอนุกรมเพื่อส่งต่อไปยังพอร์ตRS-232 หลักการทำงานคือIC$_1$(4060)เป็นไอซีหารความถี่ต่อคลิสตอล

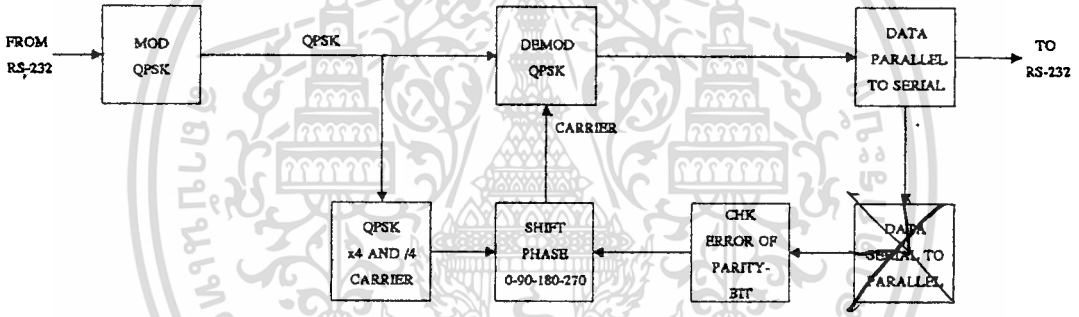


รูปที่ 6.17 วงจรแปลงข้อมูลขนานเป็นแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้าไปเพื่อสร้างความถี่ให้ได้ 2,400 Hz นำไปเป็นสัญญาณ clock เพื่อทำการเลื่อนข้อมูลให้เป็นแบบอนุกรมส่งต่อไปยังบัฟเฟอร์ $IC_{5:B}$(74LS74) และส่งต่อไปยังพอร์ต RS-232 และนำเอาสัญญาณ clock นี้ไปทำการหารให้เหลือความถี่ 1,200 Hz เพื่อสร้างเป็นสัญญาณโหลดข้อมูลซึ่งมีความกว้างของพัลส์แคบๆ เพื่อให้สามารถโหลดข้อมูลได้ทัน สัญญาณดังกล่าวจะส่งไปควบคุม IC_7(74LS165) เป็นตัวแปลงสัญญาณข้อมูลจากขนานให้เป็นอนุกรม ส่วน $IC_{3(A,B,C,D)}$(74LS04) ทำหน้าที่ในการหน่วงสัญญาณ และทำงานร่วมกับ $IC_{2:A}$ ทำหน้าที่ในการควบคุม clock ที่ได้จาก IC_1 เพื่อให้ข้อมูลที่รับเข้ามาส่งไปยัง $IC_{4:A,B}$ ทำหน้าที่เป็นบัฟเฟอร์และจะทำให้ข้อมูลที่ขอบสัญญาณเดียวกับ clock และส่งข้อมูลไปยัง IC_7 เพื่อเลื่อนข้อมูลออกไปยังเอาท์พุท

6.3.6 การทำงานของวงจร SERIAL TO PARALLEL



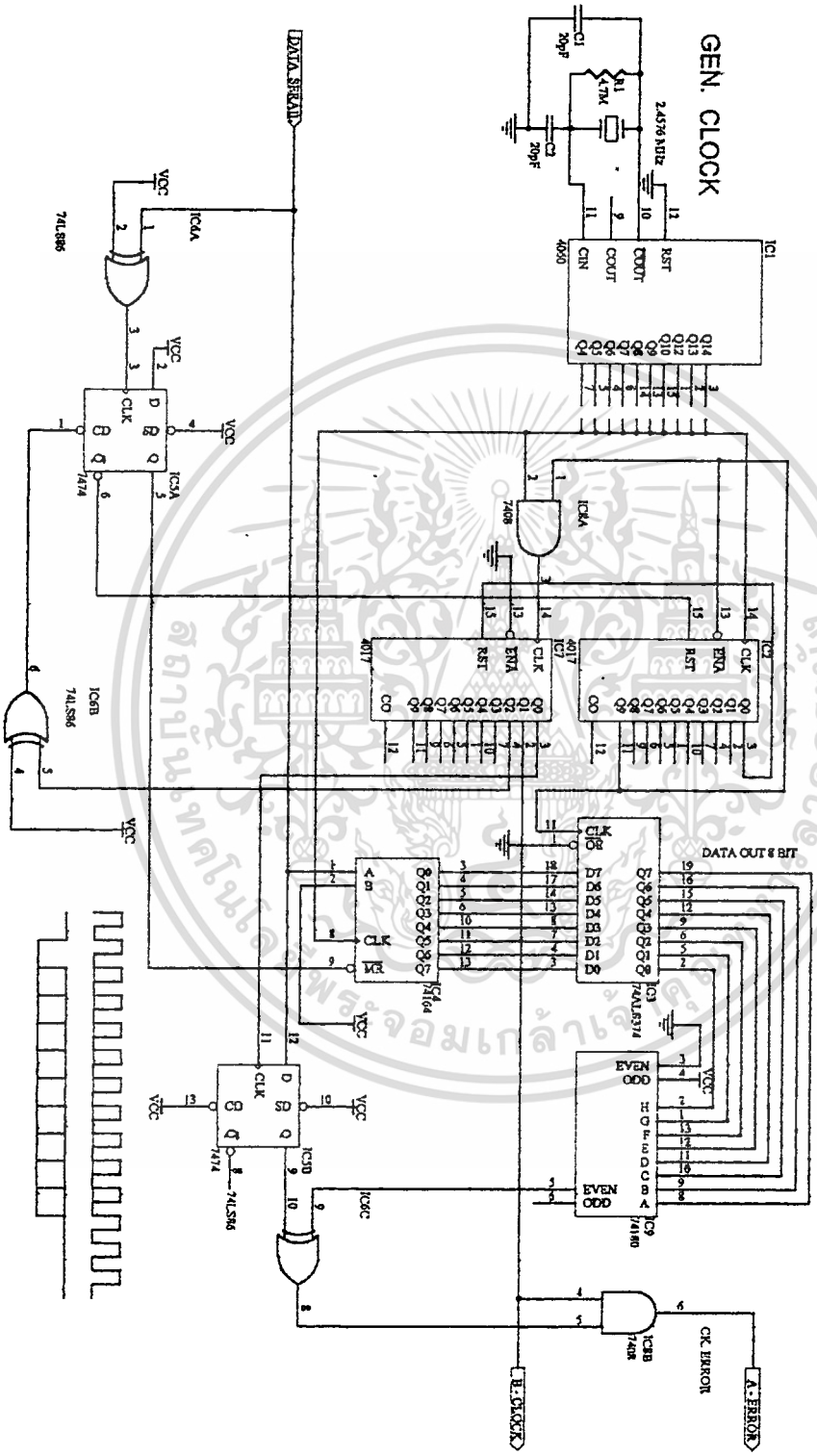
รูปที่ 6.18 บล็อกไดอะแกรมแสดงการตรวจสอบความถูกต้องของเฟส

วงจรนี้จะทำการแปลงข้อมูลแบบ SERIAL มาตรฐาน RS-232 เป็นข้อมูลแบบ PARALLEL ที่ประกอบด้วยข้อมูล D_0-D_7 และ PARITY BIT การนี้เพื่อที่จะนำข้อมูล D_0-D_7 มาเทียบกับ PARITY BIT ที่ได้ว่าถูกต้องตรงกันหรือไม่ หากเกิดการ ERROR จะทำการส่งสัญญาณไปวงจร Shift Phase ต่อไป

จากวงจรรูป 6.19 ข้อมูลแบบอนุกรมจากวงจรแปลงข้อมูลขนานให้เป็นอนุกรม จะถูกส่งไปยัง $IC_{5:B}$(7474) , IC_4(74164) และ $IC_{6:A}$(7486) เพื่อ INVERT สัญญาณไปสู่ $IC_{5:A}$(7474) ในวงจรนี้แต่ละส่วนทำงานดังนี้

GEN. CLOCK จะสร้าง CLOCK ให้กับวงจร IC_1(4060) จะหารความถี่จาก X-TAL 2.4576 MHz ให้ OUTPUT Q_4-Q_{14} (ไม่มี Q_{11}) ตั้งแต่ 2^4 - 2^{14} ได้ความถี่ 150(Q14) 300(Q13) 600

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.19 วงจรแปลงข้อมูลจากอนุกรมเป็นแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Q_{12}) 2,400(Q_{10}) 4,800(Q_9) 9,600(Q_8) 19,200(Q_7) 38,400(Q_6) 76,800(Q_5) 153,600(Q_4) เราจะเลือกใช้ให้ตรงกับความเร็วของข้อมูลที่ส่งมาจาก COMPUTER

IC_2(4017) , IC_7(4017) และ $IC_{8:A}$(7408) ไอซีทั้ง 3 ตัวนี้จะทำการสร้าง CK.13 ลูก ออกที่ขา Q_0-Q_9 (IC_2) และ Q_0-Q_2(IC_7) ไล่ออกทีละลูกวนไปเรื่อยๆ วงจรจะใช้ CK. นี้ในการ LOAD ข้อมูล D_0-D_7 และ PARITY BIT

$IC_{5:A}$(7474) จะเป็นตัว check สัญญาณ bit start เมื่อสัญญาณ bit start เข้ามาเป็น CK. ทำให้ลอจิก "1" ที่ขา D ส่งออกไปขา Q และ สัญญาณที่ขา Q และ Q' จะไปกระต้นให้ IC_2 ,IC_4 ทำงาน IC_4 จะนำข้อมูลเข้าแบบ SERIAL และ ส่งออกเป็น PARALLEL และ ส่งข้อมูลไปให้ IC_3(74374) เป็นไอซีบัฟเฟอร์ แต่ IC_3 จะยังไม่ LOAD DATA D_0-D_7 จนกว่าจะนับสัญญาณ CK. จาก IC2(4017) ครบ 10 ลูก จาก Q_9 มา LOAD ข้อมูลไปใช้

เมื่อเราได้ D_0-D_7 แล้ว CK. ลูกต่อไปจะเป็นของ PARITY BIT คือ Q_0 จาก IC_7 (4017) มาเป็น CK. เพื่อ LOAD ข้อมูลออกไป เมื่อได้ข้อมูลเรียบร้อยแล้ว CK. ช่วงต่อไปจะเป็นของ BIT STOP โดยเราใช้ Q_2 ของ IC_7 มาเป็นตัว RESET วงจรคือนำสัญญาณมา CLEAR $IC_{5:A}$ และ IC5:A จะนำสัญญาณ Q และ Q' ไป CLEAR IC_2 และ IC_4 เพื่อพร้อมทำงานต่อไป

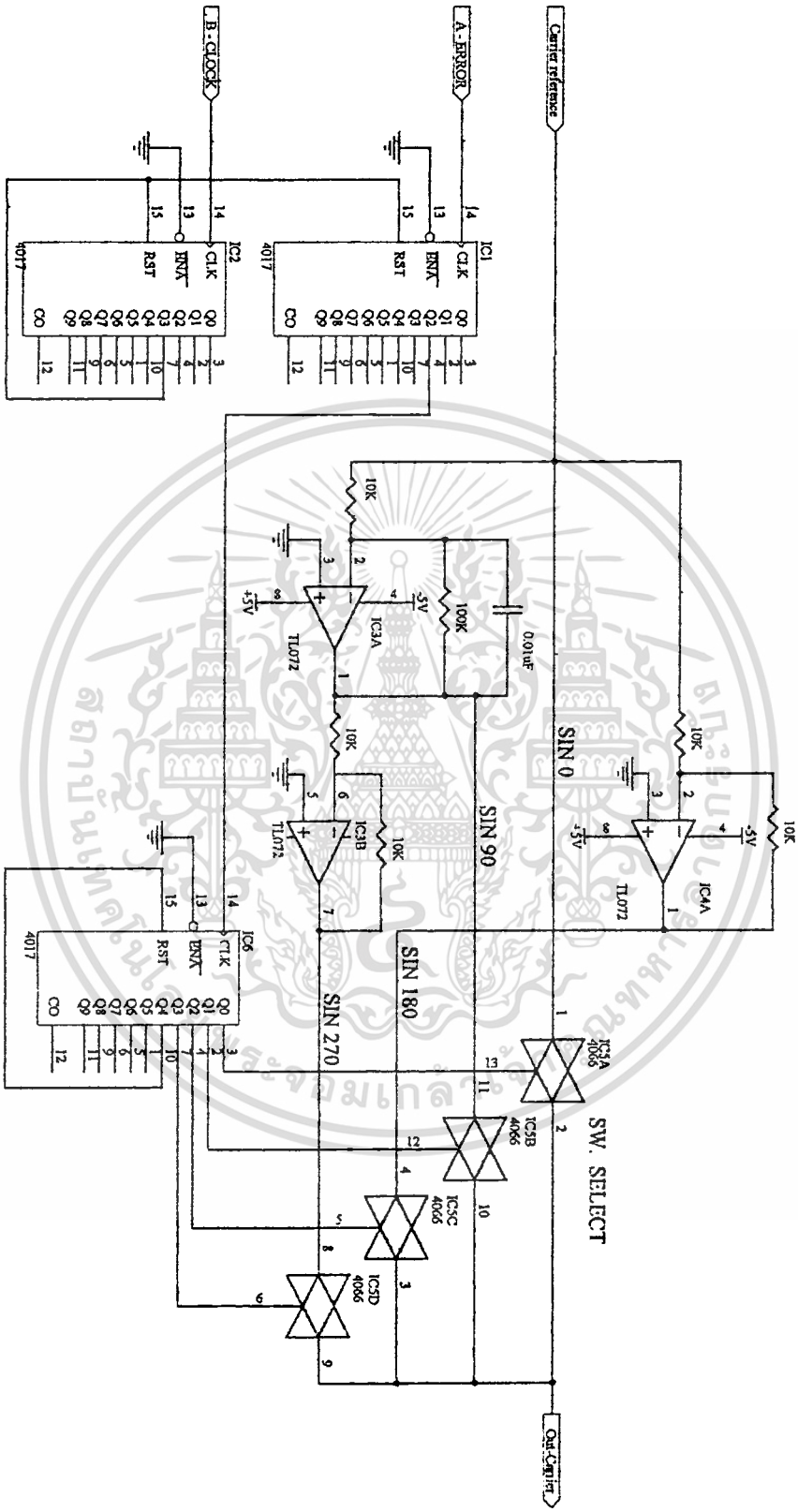
จากวงจรภาคต้นๆ เราได้ D_0-D_7 และ PARITY BIT เราจะทำการ CHECK PARITY BIT จาก D_0-D_7 จะใช้ IC_9(74180) CHK. แบบ EVEN เมื่อได้ PARITY BIT ทั้งสองส่วนแล้วจะนำมาเทียบกันว่าตรงกันหรือไม่ใช้ IC6:C (EX-OR GATE) ข้อมูลตรงกันได้ logic 0 ไปปิด GATE ของ $IC_{8:B}$ (AND GATE) ไม่มีสัญญาณ CLOCK ออกไป แต่ถ้าหากข้อมูลไม่ตรงกันได้ logic 1 ไปเปิด gate ของ $IC_{8:B}$ (AND gate) ได้สัญญาณ CLOCK ออกไปแจ้ง ERROR ให้กับวงจร Shift Phase ต่อไป

6.3.7 การทำงานของวงจร Shift Phase Carrier

วงจรจะทำการแก้เฟส ของ CARRIER ที่เป็นไปได้ 4 เฟส แต่มีเพียงเฟสใดเฟสหนึ่งเท่านั้นที่ถูกต้อง เราต้องนำทั้ง 4 เฟสไปใช้ที่ละเฟส โดยเลือกที่ละเฟสเลื่อนไปเรื่อย ๆ เมื่อข้อมูลถูกต้องคือ check จากวงจร Serial to Parallel เมื่อข้อมูลถูกต้องจะล็อกเฟสนั้นเอาไว้ และเฟสทั้ง 4 ก็คือ 0 องศา , 90 องศา , 180 องศา , 270 องศา

วิธีการเลือกนี้จะนำสัญญาณทั้ง 4 เฟสเข้าสู่ IC_5(4066) ทั้ง 4 SW. และ ใช้ IC_6(4017) ในการเลือก SW. ใน IC_5 (4066) แต่ละตัวให้ทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.20 วงจรเลื่อนเฟสของ carrier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สัญญาณ 0° คือ carrier ไปขา 1 ของ IC_5 (4066)
- สัญญาณ 90° คือ carrier ผ่าน INTEGRATOR โดย $IC_{3:A}$(TL072) ไปขา 11 ของ IC_5
- สัญญาณ 180° คือ carreir ผ่าน INVERT โดย IC4:A(TL072) ไปขา 4 ของ IC_5
- สัญญาณ 270° คือ มุม 90 องศา ผ่าน INVERT โดย $IC_{3:B}$(TL072) ไปขา 8 ของ IC_5

เฟสแต่ละตัวจะถูกเลือกไม่พร้อมกัน IC6 จะส่งลอจิกไปให้ SW. แต่ละตัว ACTIVE และ IC_6 จะใช้ CLOCK ERROR จาก IC_1(4017) มาใช้ CLOCK ที่จะส่งมาได้สัญญาณ ERROR ต้องผิดพลาดติดต่อกัน 3 ครั้ง IC_2(4017) จะนับการผิดพลาดหากผิดไม่เกิน 3 ครั้งจะ RESET ทั้ง IC_1 และ IC_2 นับใหม่ ที่ต้องสร้างจรชุดนี้ขึ้นมาไม่นำสัญญาณ ERROR ไปใช้โดยตรงก็เพื่อที่จะตรวจสอบว่าสัญญาณผิดแน่นอน เพราะหากบางครั้งสัญญาณไม่ผิด แต่เกิดความเพี้ยนของสัญญาณบางส่วนที่อาจเกิดขึ้นได้ ซึ่งนานๆจึงจะเกิดขึ้นสักครั้ง ดังนั้นวงจรในชุดนี้จะช่วยได้มาก จากวงจรนี้ CARRIER ที่ได้จะนำไปเข้าภาค DEMOD ต่อไป

6.4 ผลการวัดสัญญาณ

เนื่องจากว่าในการทดลองพบปัญหาที่วงจรในรูปก.5 สัญญาณ serial output ที่ได้จะมีความกว้างของพัลส์ไม่สม่ำเสมอเปลี่ยนแปลงไปตลอดเวลา ทำให้ข้อความที่รับได้ทางภาครับจะเกิดความผิดพลาดเป็นอย่างมาก รูปสัญญาณต่างๆที่เกี่ยวกับวงจรในรูปก.5 จะแสดงดังรูปที่ 6.49 ถึง 6.54 ดังนั้นในการทดลองเพื่อวัดผลของสัญญาณจะนำสัญญาณจากขา 1 ของไอซี DS275 ต่อกับอินพุทของวงจรในรูป ก.1 ทั้งสองข้างเลย (ซึ่งเป็นการส่ง 1200bps) ดังนั้น data MSB และ LSB ที่ได้จากวงจรภาค Demodulator (รูป ก.3) จะมีรูปสัญญาณที่เหมือนกัน ซึ่งนั่นก็คือสัญญาณข้อมูลที่รับได้นั่นเอง ข้อมูลนี้จะถูกนำไปแปลงให้เป็น ±12V ก่อนแล้วจึงส่งเข้า port RS232 ของภาครับ วิธีการทดลองเช่นนี้จะไม่ใช้วงจรรูป ก.5 ซึ่งเป็นวงจรส่วนที่มีปัญหา

6.4.1 ผลการวัดสัญญาณภาคส่ง

สำหรับภาคส่งเป็นการวัดสัญญาณเกี่ยวกับการมอดูเลทสัญญาณเพื่อให้ได้เป็น QPSK Signal ข้อมูลที่ได้จะถูกส่งผ่านพอร์ต RS-232 ออกมาและผ่านวงจร bit spiltter เพื่อแยกให้ข้อมูลให้เป็นแบบขนาน 2 บิท แล้วนำเข้าไปมอดูเลทกับ carrier 1,750 Hz จากนั้นก็นำสัญญาณเอาท์พุทจากบาลานซ์มอดทั้งสองตัวมา sum กันได้เป็นสัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การวัดสัญญาณที่ภาคส่ง จะวัดสัญญาณข้อมูล "41_{16}" และ "FE_{16}" ที่ส่งมาจากคอมพิวเตอร์ เพื่อแสดงให้เห็นผลการทำงานของวงจร bit splitter ในรูป ก.2 และให้เห็นถึงรูปร่างของสัญญาณ QPSK ที่ได้จากข้อมูลที่แตกต่างกัน โดยรูปสัญญาณที่เกี่ยวข้องกับการส่งข้อมูล "41_{16}" แสดงดังรูปที่ 6.22 ถึง 6.28 ส่วนรูปสัญญาณของการส่งข้อมูล "FE_{16}" นั้นแสดงดังรูปที่ 6.29 เป็นต้นไป

จากรูปที่ 6.21 เป็นสัญญาณที่วัดจากวงจรในรูปที่ ก.2(ในภาคผนวก ก.) โดย CH.2 แสดงสัญญาณที่วัดจากขา 15 ของไอซีเบอร์ 4060 และ CH.1 แสดงสัญญาณที่วัดจากขา 2 ของไอซีเบอร์ 7404

จากรูปที่ 6.22 เป็นสัญญาณที่วัดข้อมูล "41_{16}" จาก port RS232 โดย CH.1 แสดงสัญญาณที่วัดจาก port RS232 และ CH.2 แสดงสัญญาณที่วัดจากขา 1 ของไอซีเบอร์ DS275 (จากวงจรรูปที่ ก.2) ซึ่งจะแปลงระดับสัญญาณจาก $\pm$12V เป็น $\pm$5V

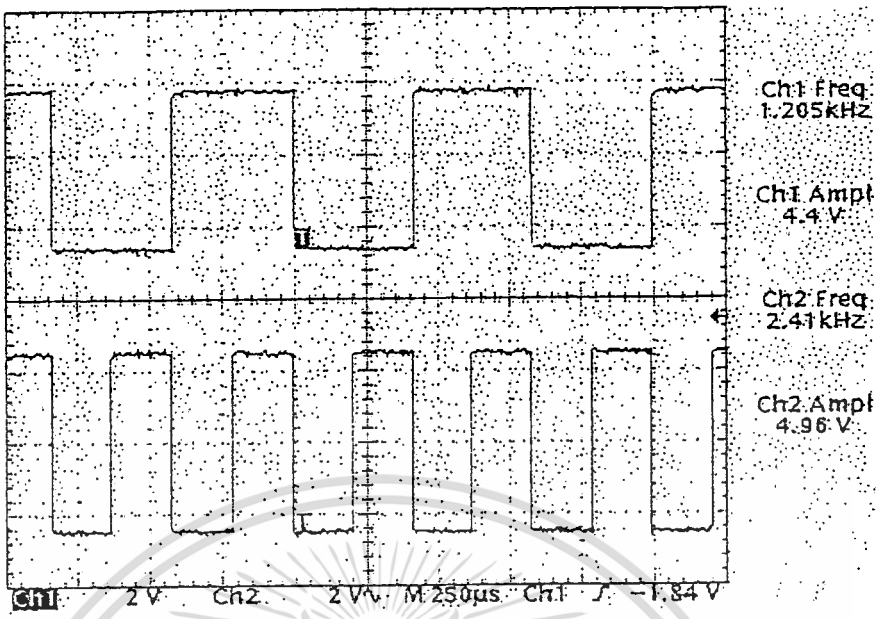
สำหรับสัญญาณรูปอื่นๆนั้นมีคำอธิบายที่ชัดเจนแล้วข้างล่างรูป

6.4.2 ผลการวัดสัญญาณภาครับ

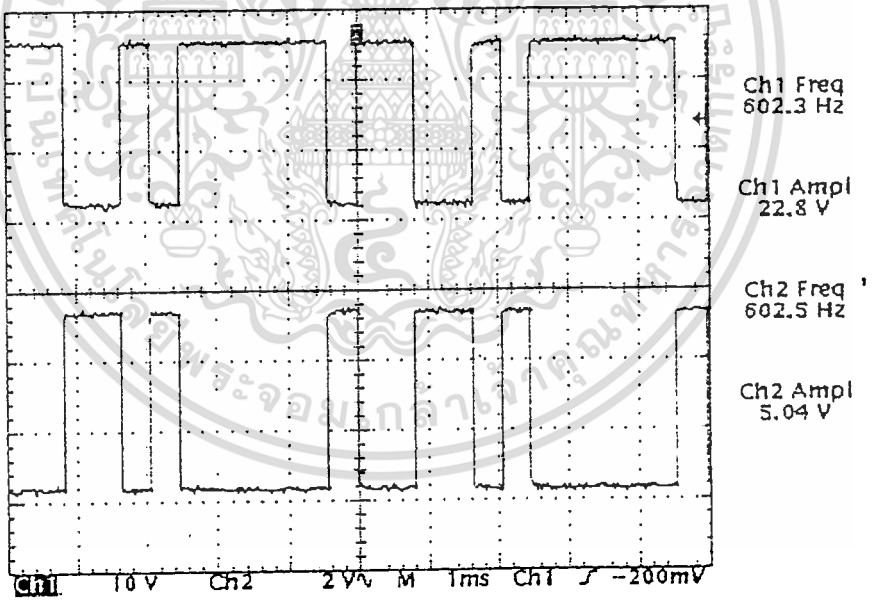
เนื่องจากว่าในการทดลองพบปัญหาที่วงจรในรูปก.5 จึงได้ตัดวงจรชุดนี้ออกไป แล้วทำการทดลองโดยการส่งข้อมูล "FE_{16}" ซึ่งส่งด้วยความเร็ว 1200bps ตามวิธีการที่ได้อธิบายไปแล้ว

รูปสัญญาณที่ภาครับนี้แสดงดังรูปที่ 6.32 ถึง 6.48 และรูปสัญญาณต่างๆที่เกี่ยวกับวงจรในรูปก.5 จะแสดงดังรูปที่ 6.49 ถึง 6.54 ซึ่งรูปสัญญาณเหล่านี้มีคำอธิบายที่ชัดเจนแล้วข้างล่างรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

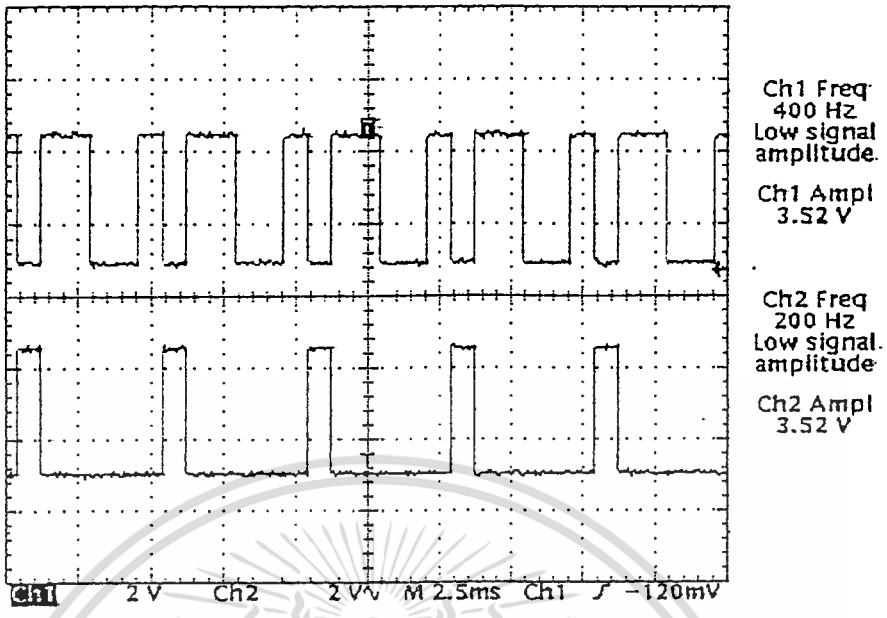


รูปที่ 6.21 สัญญาณ clock ของวงจร Bit Splitter

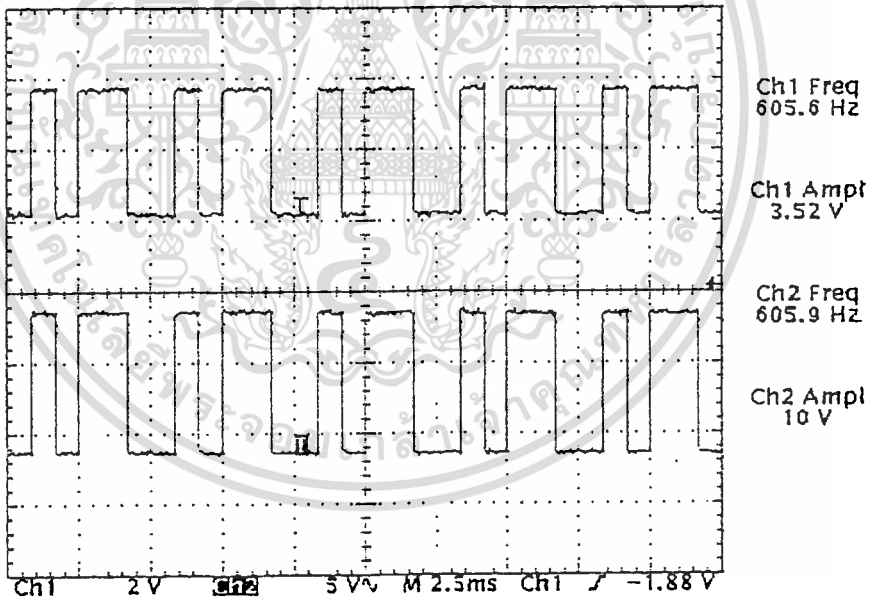


รูปที่ 6.22 สัญญาณที่ส่งมาจาก พอร์ต RS-232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

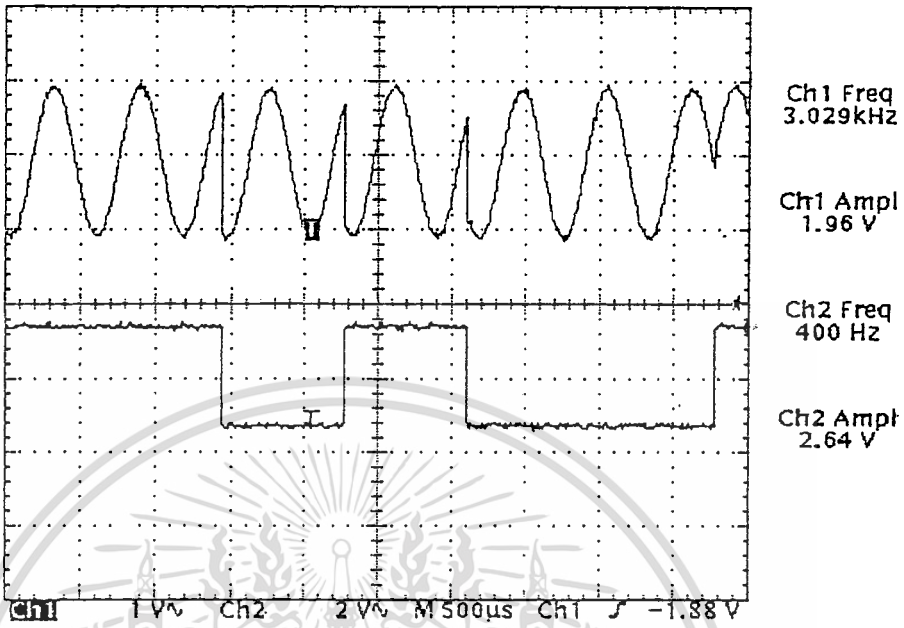


รูปที่ 6.23 สัญญาณเอาท์พุทจากวงจร splitter ของช่องสัญญาณ I และ Q

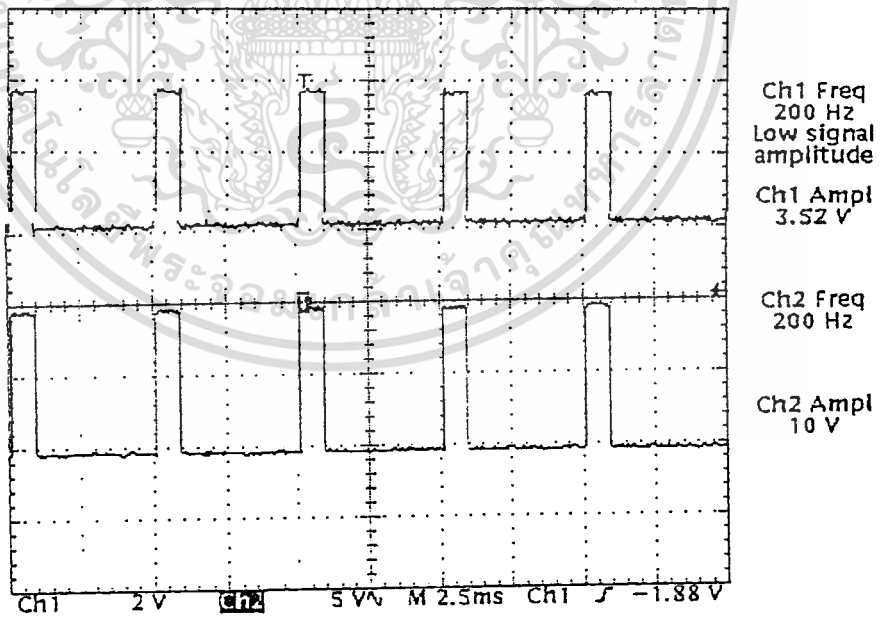


รูปที่ 6.24 แสดงการแปลงระดับแรงดันสัญญาณช่อง I นำไปมอดูเลทกับ sine ทางภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

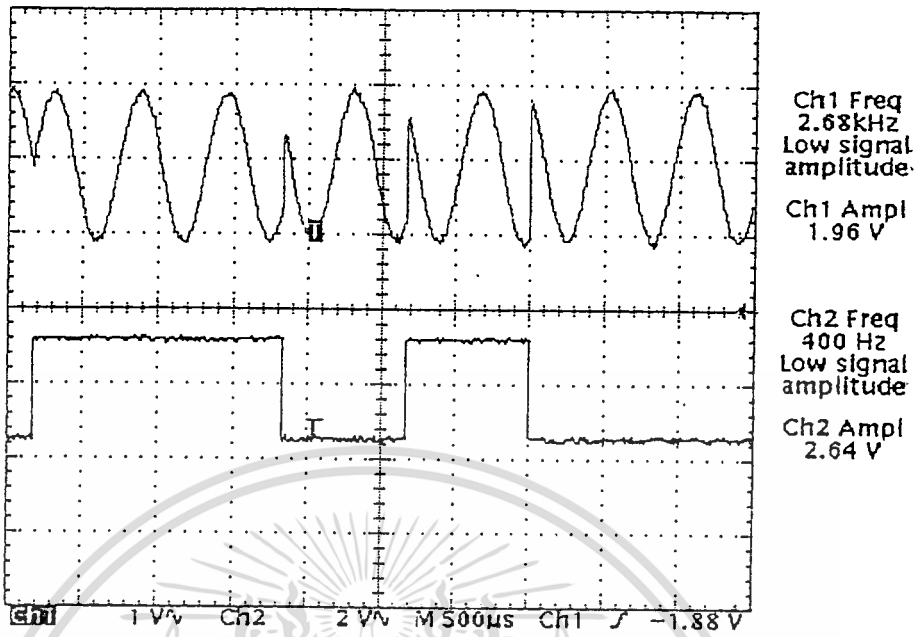


รูปที่ 6.25 แสดงรูปสัญญาณเอาท์พุทจากการมอดูเลท กับ sine ของช่องสัญญาณ I

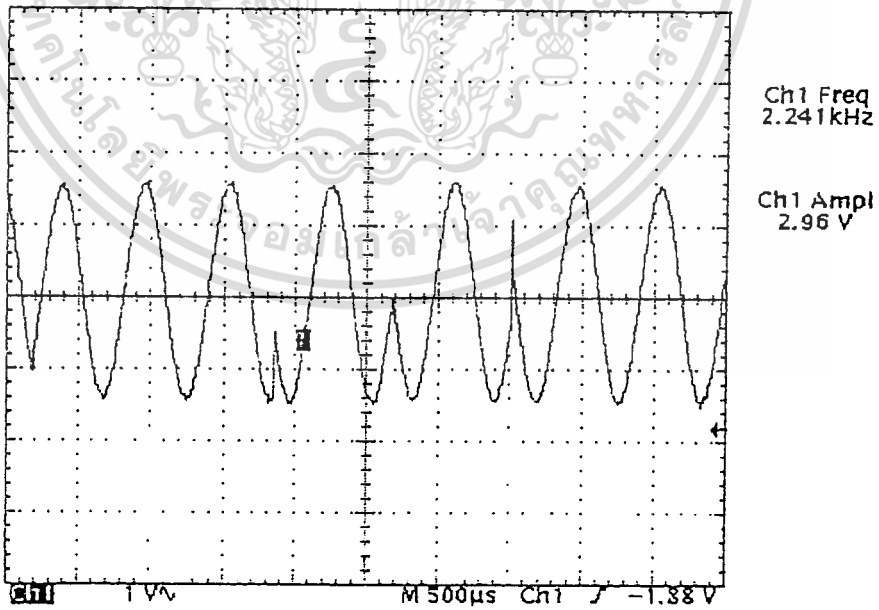


รูปที่ 6.26 แสดงการแปลงระดับแรงดันสัญญาณช่อง Q นำไปมอดูเลทกับ cosine ทางภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

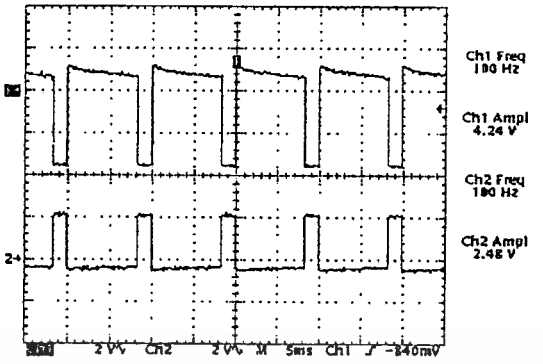


รูปที่ 6.27 แสดงรูปสัญญาณเอาท์พุทจากการมอดูเลท กับ cosine ของช่องสัญญาณ Q

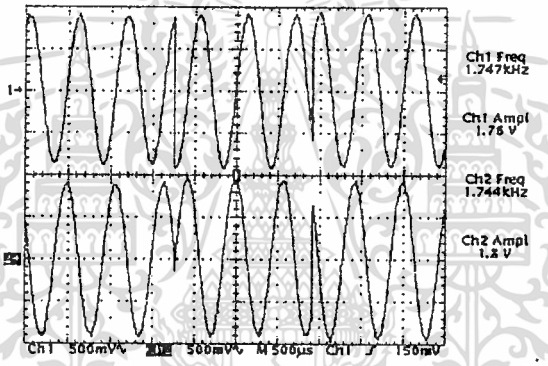


รูปที่ 6.28 สัญญาณ output ของทางภาคส่งแบบ QPSK

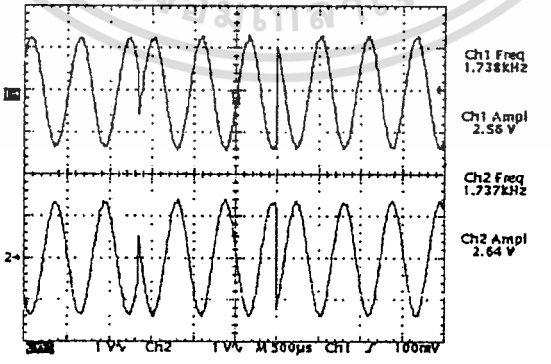
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.29 CH.1 แสดง DATA I จาก Bit Splitter และ CH.2 แสดง DATA I ที่นำไป MOD

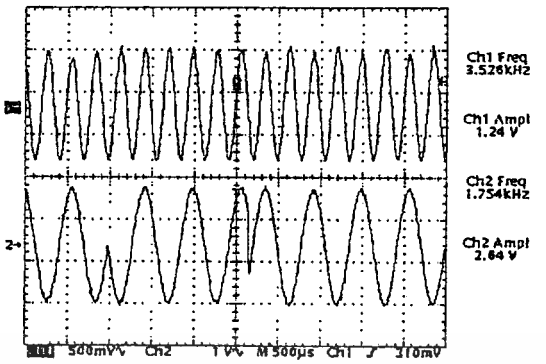


รูปที่ 6.30 CH.1 แสดง DATA MOD กับ sine และ CH.2 แสดง DATA MOD. กับ cosine

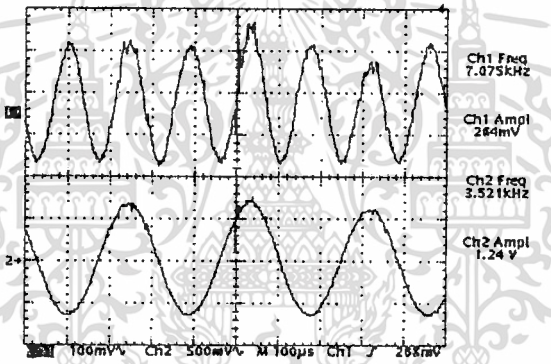


รูปที่ 6.31 CH.1 แสดง QPSK Signal ก่อนกลับเฟส และ CH.2 แสดง QPSK Signal output

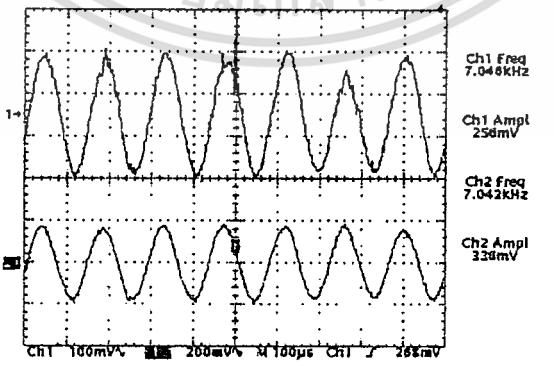
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.32 CH.1 แสดง QPSK Signal คูณ 2 และ CH.2 แสดง QPSK Signal ก่อนคูณ 2

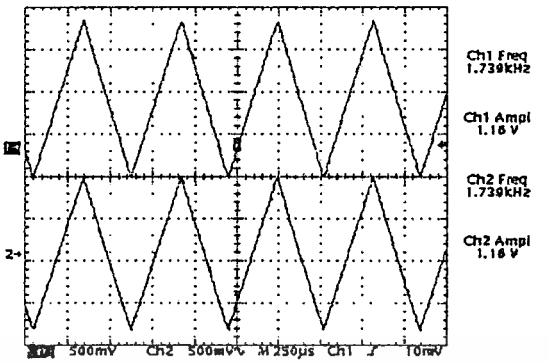


รูปที่ 6.33 CH.1 แสดง QPSK Signal คูณ 4 และ CH.2 แสดง QPSK Signal คูณ 2

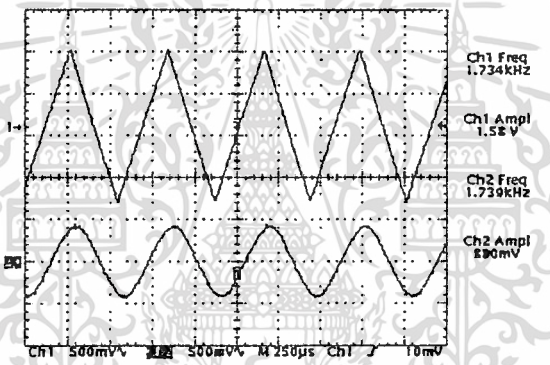


รูปที่ 6.34 CH.1 แสดง QPSK Signal คูณ 4 และ CH.2 แสดง QPSK Signal คูณ 4 หลังผ่าน BPF

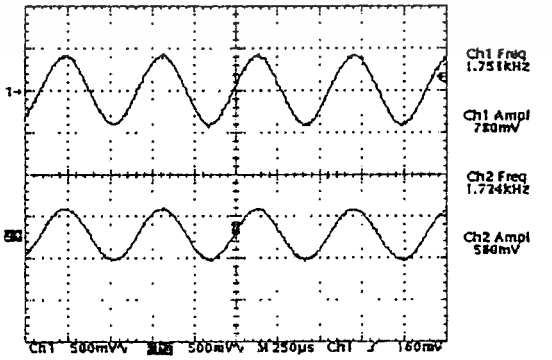
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.35 CH.1 แสดงสัญญาณที่ output ของ phase lock loop และ CH.2 แสดงสัญญาณ output ของ phase lock loop ที่ผ่านการปรับระดับสัญญาณแล้ว

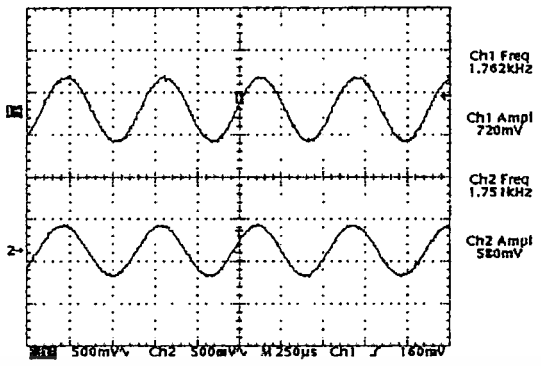


รูปที่ 6.36 CH.1 แสดงสัญญาณจาก phase lock loop ที่ปรับระดับแล้ว และ CH.2 แสดงสัญญาณที่ผ่านการเปลี่ยนให้เป็นสัญญาณ sine แล้ว

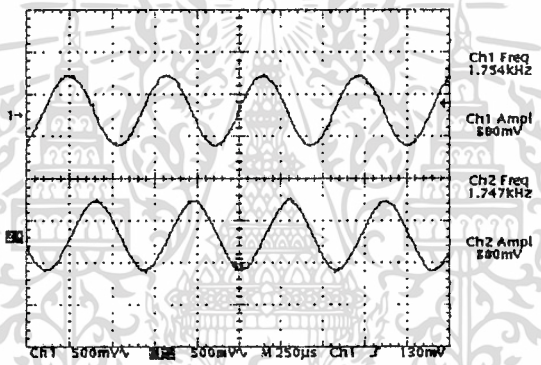


รูปที่ 6.37 CH.1 แสดงสัญญาณ sine ที่ recovery ได้ และ CH.2 สัญญาณ sine ทางภาคส่ง

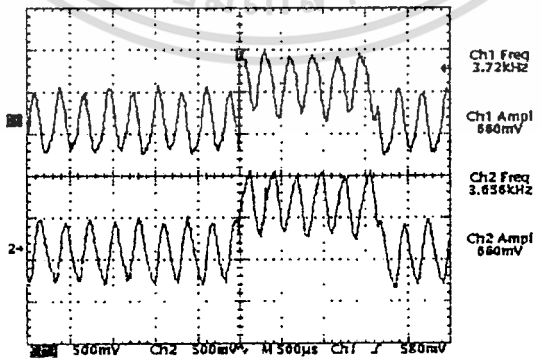
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.38 CH.1 แสดงสัญญาณ cosine ที่ recovery ได้ และ CH.2 สัญญาณ cosine ทางภาคส่ง

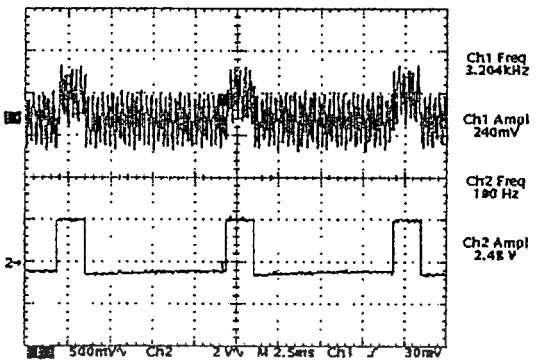


รูปที่ 6.39 CH.1 แสดงสัญญาณ cosine ที่ recovery ได้ และ CH.2 สัญญาณ sine ที่ recovery ได้

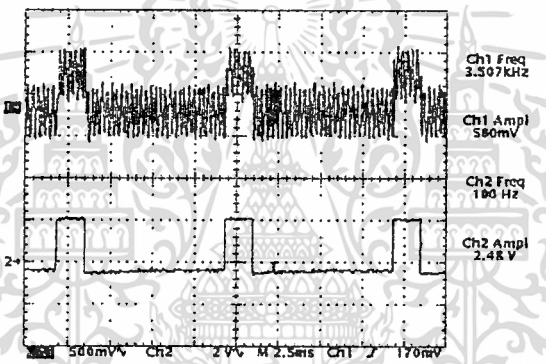


รูปที่ 6.40 CH.1 แสดงสัญญาณ QPSK คูณ cosine และ CH.2 สัญญาณ QPSK คูณ sine

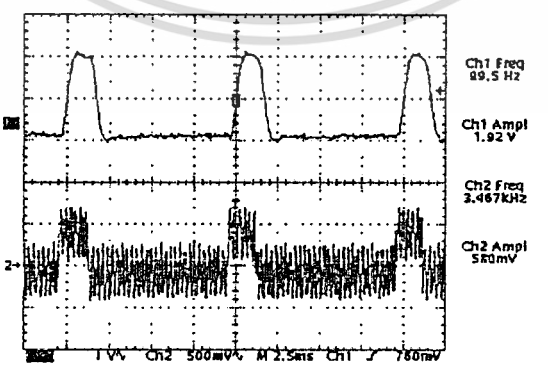
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.41 CH.1 แสดงสัญญาณ QPSK คูณ sine และ CH.2 สัญญาณ input data I ทางภาคส่ง

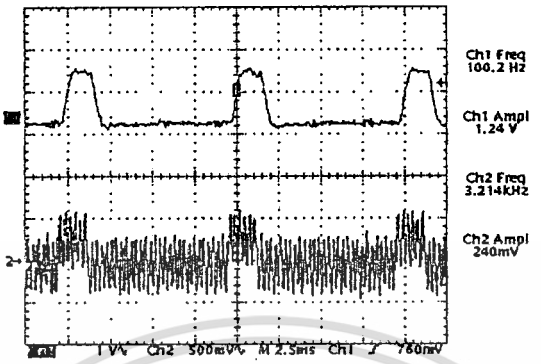


รูปที่ 6.42 CH.1 แสดงสัญญาณ QPSK คูณ cosine และ CH.2 สัญญาณ input data Q ทางภาคส่ง

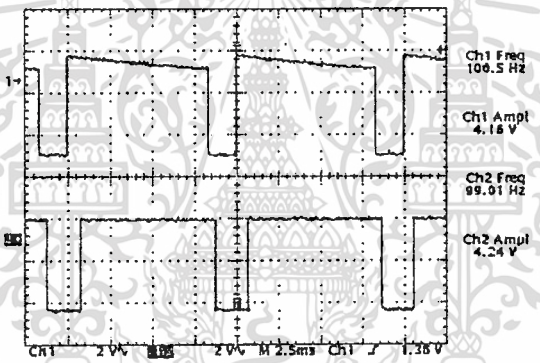


รูปที่ 6.43 CH.1 สัญญาณ QPSK คูณ cosine หลังผ่าน LPF. และ CH.2 สัญญาณ QPSK คูณ cosine

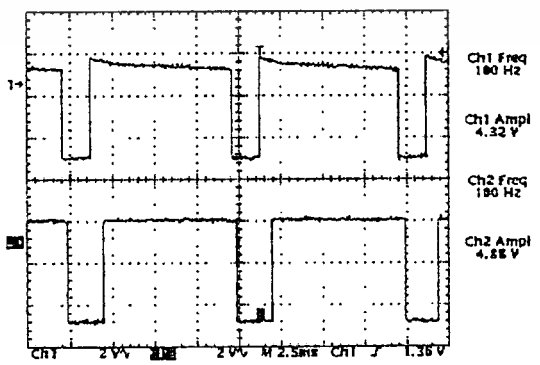
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.44 CH.1 สัญญาณ QPSK คูณ sine หลังผ่าน LPF. และ CH.2 สัญญาณ QPSK คูณ sine

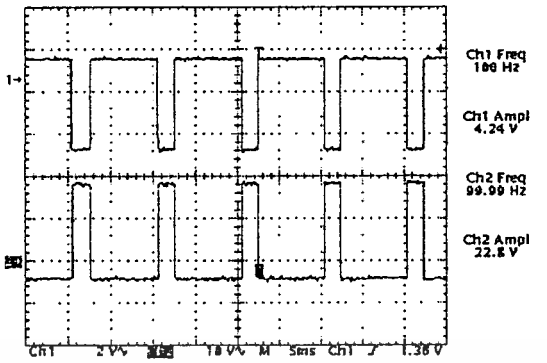


รูปที่ 6.45 CH.1 สัญญาณ input data I ที่ภาคส่ง และ CH.2 สัญญาณ data I ที่ภาครับ

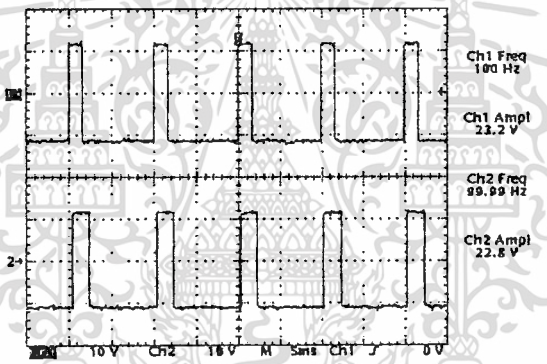


รูปที่ 6.46 CH.1 สัญญาณ input data Q ที่ภาคส่ง และ CH.2 สัญญาณ data Q ที่ภาครับ

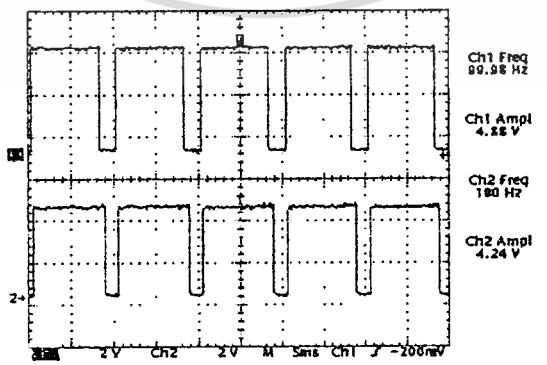
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.47 CH.1 สัญญาณ data I หรือ Q ที่ภาครับ และ CH.2 คือสัญญาณเมื่อแปลงเป็น ±12V แล้ว

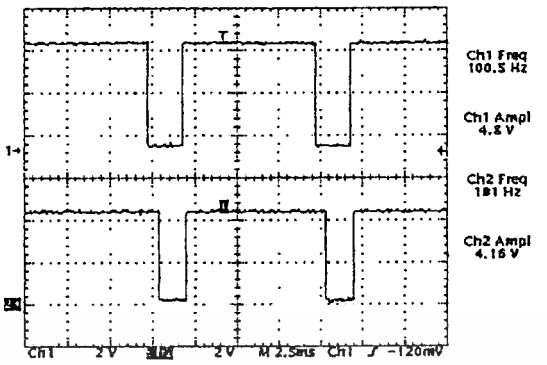


รูปที่ 6.48 CH.1 สัญญาณ RS232-C ที่ภาคส่ง และ CH.2 สัญญาณเพื่อเข้าสู่ RS232-C ที่ภาครับ

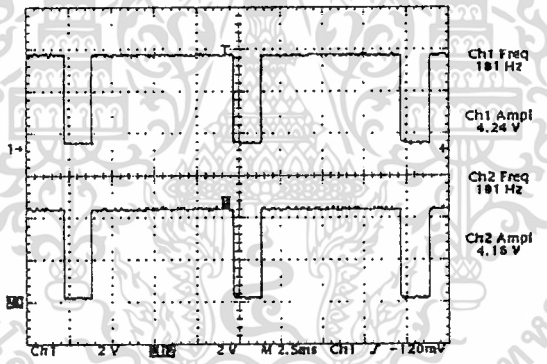


รูปที่ 6.49 CH.1 แสดงสัญญาณ data I จาก comparator และ CH.2 สัญญาณ data I หลังผ่านการ check ขอบ(LSB data)

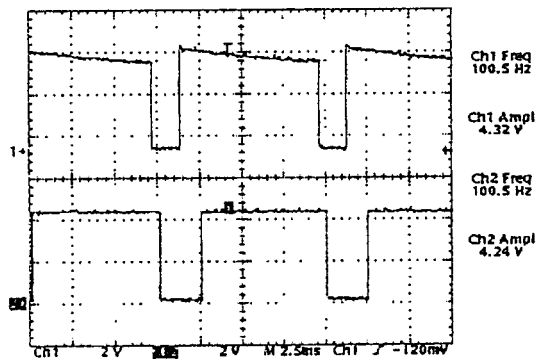
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.50 CH.1 แสดงสัญญาณ data Q จาก comparator และ CH.2 สัญญาณ data Q หลังผ่านการ check ขอบ(MSB data)

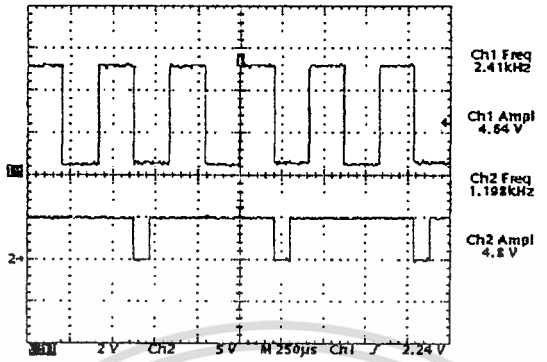


รูปที่ 6.51 CH.1 แสดงสัญญาณ MSB data และ CH.2 สัญญาณ LSB data ซึ่งเป็นสัญญาณก่อนเข้าวงจร parallel to serial

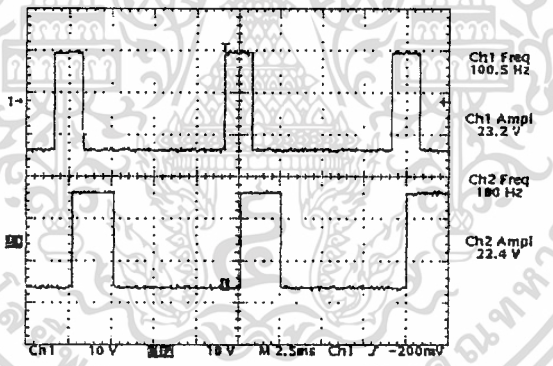


รูปที่ 6.52 CH.1 แสดงสัญญาณ input data I ภาคส่ง และ CH.2 สัญญาณ MSB หรือ LSB data

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.53 CH.1 แสดงสัญญาณ 2400 Hz จากคริสตอล และ CH.2 แสดงสัญญาณ shift/load สำหรับไอซี 74LS165



รูปที่ 6.54 CH.1 สัญญาณจาก RS232-C ที่ภาคส่ง และ CH.2 สัญญาณ output เข้าสู่ RS232-C ที่ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.5 การตรวจสอบความผิดพลาดของข้อมูลที่รับได้

การส่งข้อมูลผ่านการ MOD. แบบ QPSK นั้นข้อมูลจะมีการผิดพลาดดังที่จะแสดงต่อไปนี้เป็นการตรวจสอบข้อมูลที่ส่งและรับในแบบความเร็ว 1200 bps และ 2400 bps ข้อมูลที่รับได้จะนำมาเทียบหา % ความผิดพลาดต่อไป

- แสดงข้อมูลที่ส่งออกไป MOD.

```
abcdefghijklmnopqrstuvwxyz 1234567890 ABCDEFGHIJKLMNOPQRSTUVWXYZ 1234567890
abcdefghijklmnopqrstuvwxyz 1234567890 ABCDEFGHIJKLMNOPQRSTUVWXYZ 1234567890
abcdefghijklmnopqrstuvwxyz 1234567890 ABCDEFGHIJKLMNOPQRSTUVWXYZ 1234567890
abcdefghijklmnopqrstuvwxyz 1234567890 ABCDEFGHIJKLMNOPQRSTUVWXYZ 1234567890
abcdefghijklmnopqrstuvwxyz 1234567890 ABCDEFGHIJKLMNOPQRSTUVWXYZ 1234567890
abcdefghijklmnopqrstuvwxyz 1234567890 ABCDEFGHIJKLMNOPQRSTUVWXYZ 1234567890
```

- แสดงข้อมูลที่ผ่านการ DEMOD. ที่ความเร็ว 1200 bps

```
abBdefghijklmnopqrstZvwxyz 123!567890 A-CDEFGHIJKLM=OPQRSTUVWXYZ 123456689╞
abcdefghijklmn[]¢=- uvwxyz 1234567890 AB-DEFGHIJKLMNOPQRSTUVWXYZ ▒234567890
abcdefghijklmnopqrstuvwxyz▌/[]!567890 ABCDEFGHIJKLMNOPQRSTUVWXYZ 123▒567890
abcdefGhijklmnopqrstuvwxyz 123!567890 ABCDEFGHIJKLMjOPQRSTUVWXYZ 1234567890
abcdefghijklm< pqrstuvwxyz 123456u890 ABCDEFGH[JKLMNOPQRSTUVWXYZ 1234567890
abcAefghijklmnopqrstuvwxyz 1234567890 ABCDEFGHIJKLjjOPQRSTUVWXYZ 1234567890
```

- แสดงข้อมูลที่ผ่านการ DEMOD. ที่ความเร็ว 2400 bps

```
KLh-ekbh jk=^%$pq~|tuvwxyz aUew567╚8Y A-8╒}└□HIJæ>{⌠OPQR┐▀1VWX▒Aæθ╤ε67Y789-
.bcd±fghiiklmS!A9a1tuv└3) 9aY32)4□789¥31□TDEFG)IJnLf5•K(RSTUk;8WZaS3156an╞1
78□□▌□7W546321□pqr!▌⌠╡Ä.yz 12)3K32$5□«65.5ÄFGH□32¥23¥∑8nl6.VWXAa3 233267890
0≥8defgh╞£{{£nopqrstuvwxA65╤654Ä678 654ACDEFxHI654@NOP&4ST56╤XYZa1234╥17390
abcde.□64C88721□stuvwû34 A123⌡5N789• 1•321ä1HIJK65àkPQRSTUa20331456!3I2890
q321□ghiK9lmn╪pqrStuswx!9z 1S&!1╒789A.654Ä56□HIJK6╥5╤465╤TUX▌46"56"5466665□
```

- จากข้อมูลที่รับได้ที่ความเร็ว 1200 bps จะมีค่าความผิดพลาดต่ำมาก

  คิดเป็น %ความผิดพลาดได้ = 6.889%

- จากข้อมูลที่รับได้ที่ความเร็ว 2400 bps จะมีค่าความผิดพลาดสูงมาก

  คิดเป็น %ความผิดพลาดได้ = 63.556%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปผลและวิจารณ์

ปริญญานิพนธ์ฉบับนี้ได้นำเสนอหลักการส่งสัญญาณดิจิตอลโดยใช้เทคนิคในการมอดูเลชั่นและดีมอดูเลชั่นแบบ QPSK โดยใช้รูปแบบการสื่อสารในลักษณะเฉพาะกลุ่มที่มีการสื่อสารแบบทิศทางเดียว (จากเครื่องส่งไปยังเครื่องรับ) วิธีการมอดูเลชั่นแบบ QPSK เป็นอีกรูปแบบหนึ่งของการมอดูเลทในเชิงมุม (Angle Modulation) หรือการมอดูเลทที่มีการเปลี่ยนแปลงทางมุมนั่นเอง QPSK เป็นเทคนิคหนึ่งของการแปลงสัญญาณ (Encode) แบบ M-Array ที่มี M=4 (ความหมายของคำว่า Quaternary ก็คือ 4 นั่นเอง) ซึ่งเอาท์พุททั้ง 4 เฟสของ QPSK ที่ออกมานั้นจะมีความถี่เพียงความถี่เดียวเท่านั้น และเนื่องจากมีการเปลี่ยนแปลงของเฟสที่แตกต่างกันถึง 4 เฟส ดังนั้นจึงต้องมีเงื่อนไขของอินพุทที่จะนำไปมอดูเลทกับความถี่คลื่นพาห์ (carrier frequency) อยู่ 4 เงื่อนไข ด้วยกัน แต่สัญญาณดิจิตอลที่จะนำมาเป็นอินพุทเพื่อทำการมอดูเลชั่นแบบ QPSK นั้นเป็นสัญญาณแบบ binary ที่มีเงื่อนไขเพียง 2 เงื่อนไขเท่านั้น คือ "0"และ "1" ดังนั้นในการที่จะทำสัญญาณ binary ให้มีเงื่อนไขที่ต่างกันถึง 4 เงื่อนไขนั้น เราจะต้องจัดสัญญาณ binary เป็น 4 กลุ่ม คือ 00,01,10 และ 11 แต่ละกลุ่มจะมีสัญญาณ binary อยู่ 2 บิท ซึ่งเราจะเรียกว่า Dibit แต่ละ Dibit เมื่อนำไปทำการมอดูเลชั่นแล้ว จะได้ความแตกต่างของเฟสออกมา 4 เฟสด้วยกัน เพราะฉะนั้นสรุปได้ว่า เมื่อนำหนึ่ง Dibit ไปทำการมอดูเลชั่น เราก็จะได้เอาท์พุทออกมาหนึ่งเอาท์พุท วิธีการมอดูเลชั่นแบบนี้จึงสามารถให้การส่งข้อมูลที่มีความเร็วได้ถึง 2,400 บิทต่อวินาที และที่สำคัญที่สุดสำหรับวิธีนี้ก็คือการกู้สัญญาณคลื่นพาห์กลับคืนมา เราพบว่าในระบบที่ใช้วิธีการของวงจรยกกำลัง 4 (Fourth power circuit) สำหรับการส่งสัญญาณ QPSK จะพบว่าวงจรดังกล่าวจะให้คุณภาพของสัญญาณคลื่นพาห์ที่ได้มีคุณภาพต่ำ เนื่องจากเฟสของสัญญาณคลื่นพาห์ที่ได้มีโอกาสเกิดขึ้นได้ 4 เฟส แต่คลื่นพาห์ที่ต้องการมีเพียงแค่เฟสเดียวเท่านั้น ถ้าหากเรานำเอาคลื่นพาห์ไปทำการดีมอดูเลชั่นแล้ว ข้อมูลที่ได้รับกลับคืนมาจะผิดพลาดอย่างมาก

ในทางปฏิบัติแล้วเราได้เสนอวิธีการแก้ไขโดยใช้วงจรตรวจสอบความผิดพลาดของข้อมูลที่รับทางภาครับ เมื่อข้อมูลเกิดการผิดพลาด ก็จะมีการเลื่อนเฟสของสัญญาณคลื่นพาห์จนได้ข้อมูลที่ถูกต้อง และปัญหาอีกอย่างก็คือในการนำเอาสัญญาณที่ได้จากการดีมอดูเลชั่นและผ่านเข้าไปยังวงจรกรองความถี่ต่ำผ่านเพื่อแยกเอาสัญญาณข้อมูลกลับคืนมา ซึ่งถ้าหากวงจรกรองความถี่ไม่ดีพอ สัญญาณข้อมูลที่ได้ก็จะเกิดการสั่นไหวของเฟส (phase jitter) ข้อมูลที่ได้ก็จะเกิดผิดพลาดได้เมื่อถูกแปลงกลับให้เป็นข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับแนวทางการพัฒนาที่น่าสนใจก็คือ การเปลี่ยนเทคนิคของการกู้สัญญาณคลื่นพาห์โดยหันไปใช้วิธีการอื่นๆ ดูบ้าง ซึ่งจะช่วยให้การออกแบบวงจรง่ายขึ้นและความถูกต้องแม่นยำของสัญญาณจะดีกว่า หรือเปลี่ยนเทคนิคในการมอดูเลชั่นไปเป็นแบบ QAM (Quadrature Amplitude Modulation) ซึ่งสามารถที่จะให้ความเร็วในการส่งข้อมูลได้สูงกว่าวิธีการมอดูเลชั่นแบบ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1.ณรงค์ เหมกรณ์,"การสื่อสารดาวเทียม",สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, กรุงเทพมหานคร,2533.

2.ดร.ไพศาล สงวนหมู่,"มาตราฐานการสื่อสารข้อมูลสำหรับไมโครคอมพิวเตอร์และการพัฒนายูทิลิตี้",วารสารไมโครคอมพิวเตอร์,ฉบับที่ 35,หน้า 147-160,2531.

3.ดร.ไพศาล สงวนหมู่ และ รศ.ยืน ภู่วรวรรณ,"การสื่อสารข้อมูลและไมโครคอมพิวเตอร์เนตเวิร์ค",ซีเอ็ดยูเคชั่น,2529.

4.สุพจน์ ปุณณชัยยะ,"Modem",อินพอร์เมติกบิซิเนส พับลิเคชันจำกัด,พิมพ์ครั้งที่ 1,2534.

5.David F.Stout & Miltan Kaufman,"Handbook of Operational Amplifier Circuit Design", McGraw-Hill,1976.

6.EXAR INTEGRATED SYSTEM,"Modem Design Handbook",1983.

7.HOWARDM.ERLIN,"Operational Amplifier Design and Application",McGraw- Hill, NewYork,1971.

8. Robert M.Gahliardi, "Introduction to Communications Engineering",JOHN WILEY & SONS,Second Edition.

9.Taub & Schilling,"Principle of Communication System",McGraw-Hill,NewYork,1971.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จได้ด้วยดีต้องขอขอบพระคุณอาจารย์ประภากร สุวรรณะ อาจารย์ที่ปรึกษา ที่ได้ให้ความรู้และคำแนะนำต่างๆ ในการแก้ไขปัญหาที่เกิดขึ้นทั้งทางด้านเทคนิคและทางด้านวิชาการ ขอขอบคุณอาจารย์ภาควิชาอิเล็กทรอนิกส์ทุกท่านที่เอื้อเฟื้อสถานที่ รวมทั้งเครื่องมือวัดต่างๆ และขอบคุณเพื่อนๆ นักศึกษาที่ได้ให้กำลังใจและความคิดเห็นต่างๆ เป็นอย่างดี และคุณความดีของปริญญานิพนธ์นี้ ขอมอบให้อาจารย์ทุกท่านที่ประสิทธิ์ประสาทวิชาให้แก่คณะผู้จัดทำ

สุดท้ายต้องขอกราบขอบพระคุณบิดามารดาของคณะผู้จัดทำที่ได้ให้การสนับสนุนในทุกๆ ด้านตลอดมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

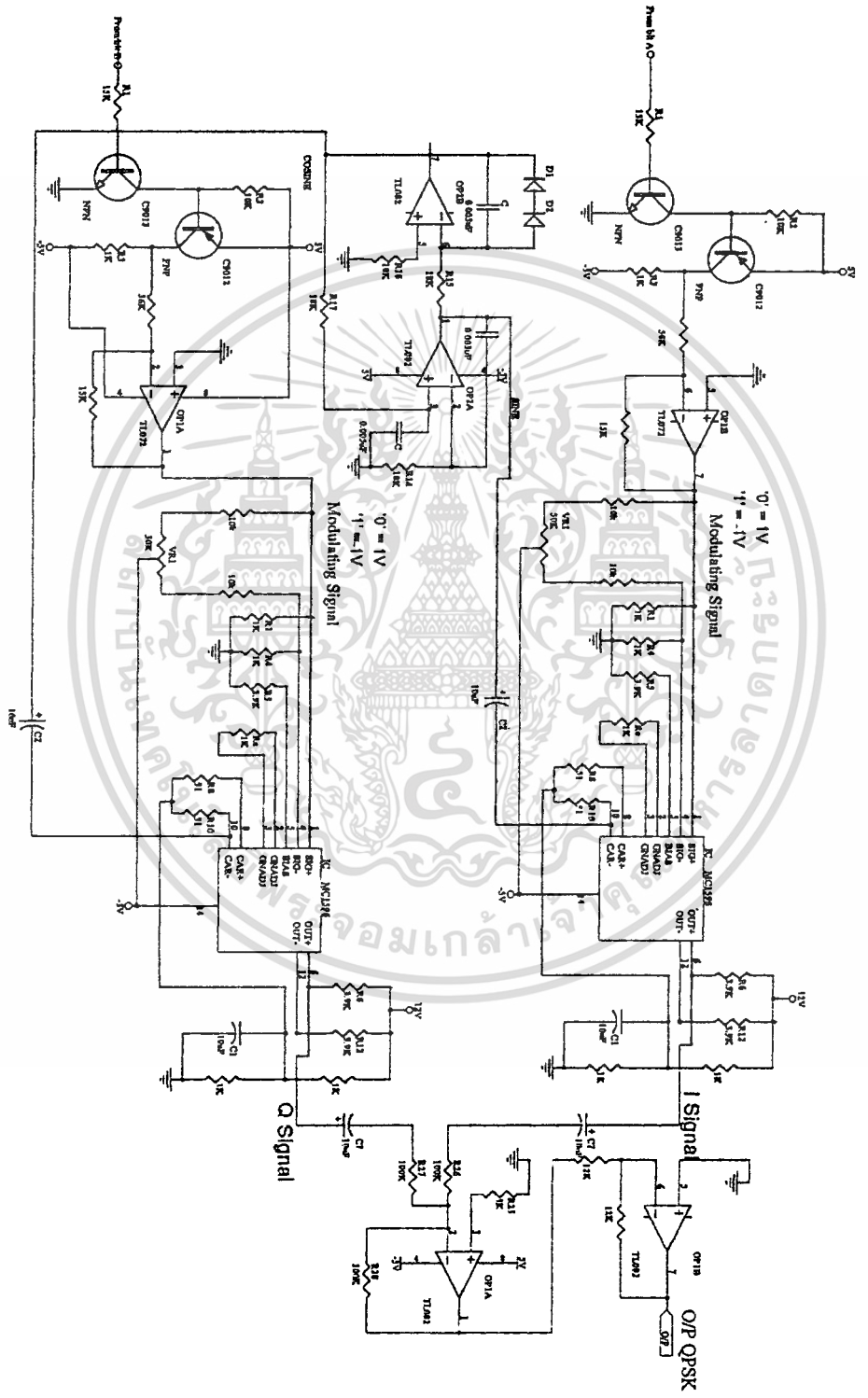
ภาคผนวก

(APPENDIX)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

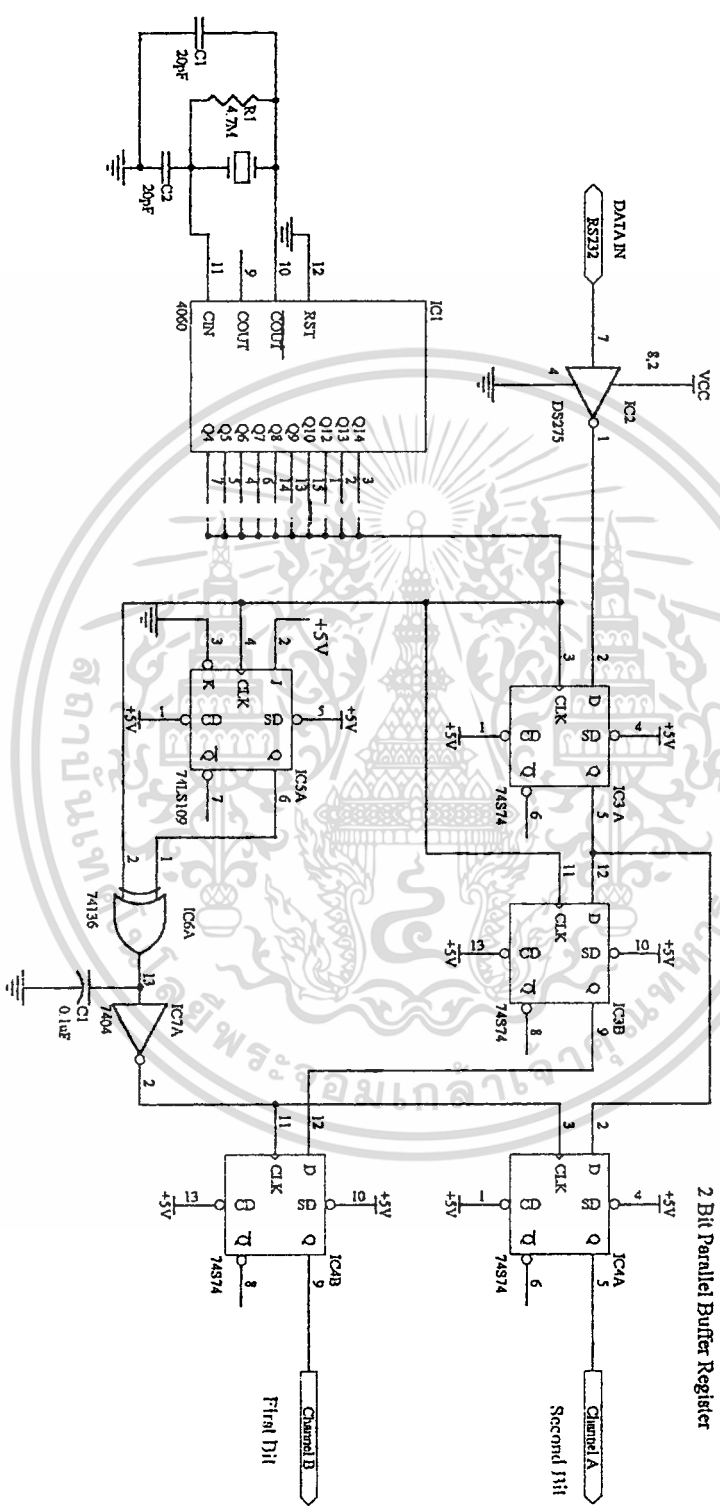
ภาคผนวก ก.

วงจรที่ใช้ในปริญญานิพนธ์



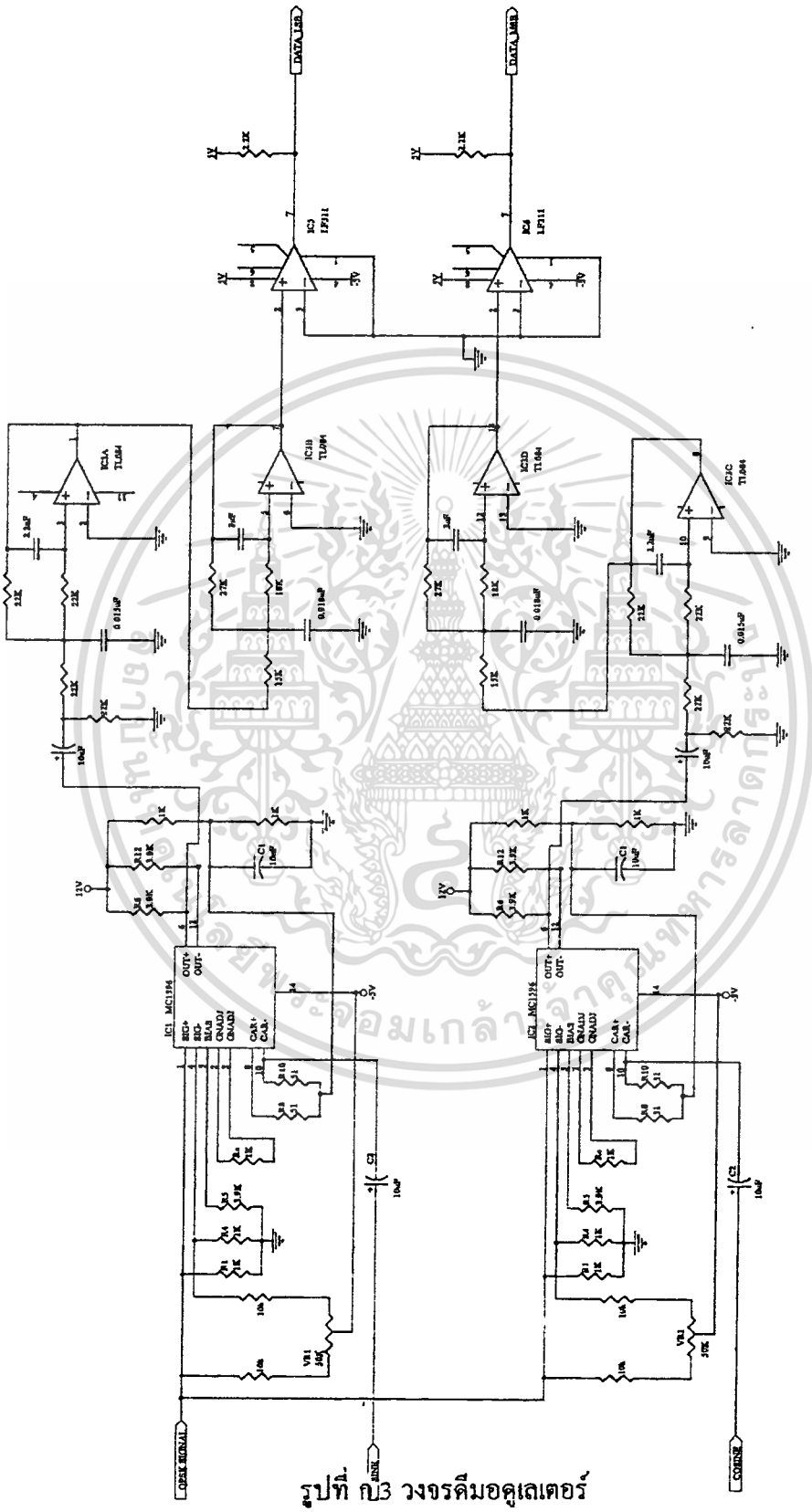
รูปที่ ก.1 วงจรมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



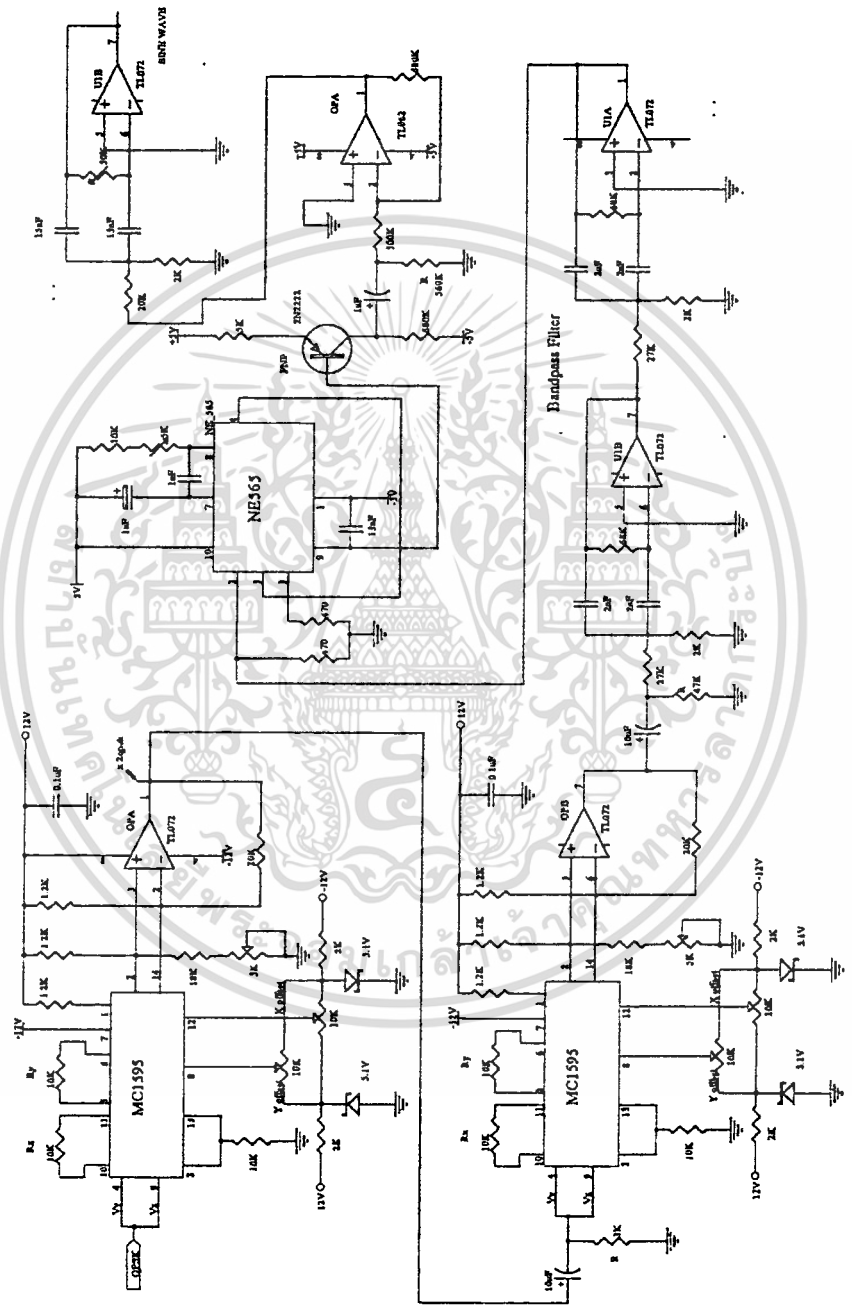
รูปที่ ก.2 วงจรแปลงสัญญาณจากอนุกรมเป็นแบบขนาน 2 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



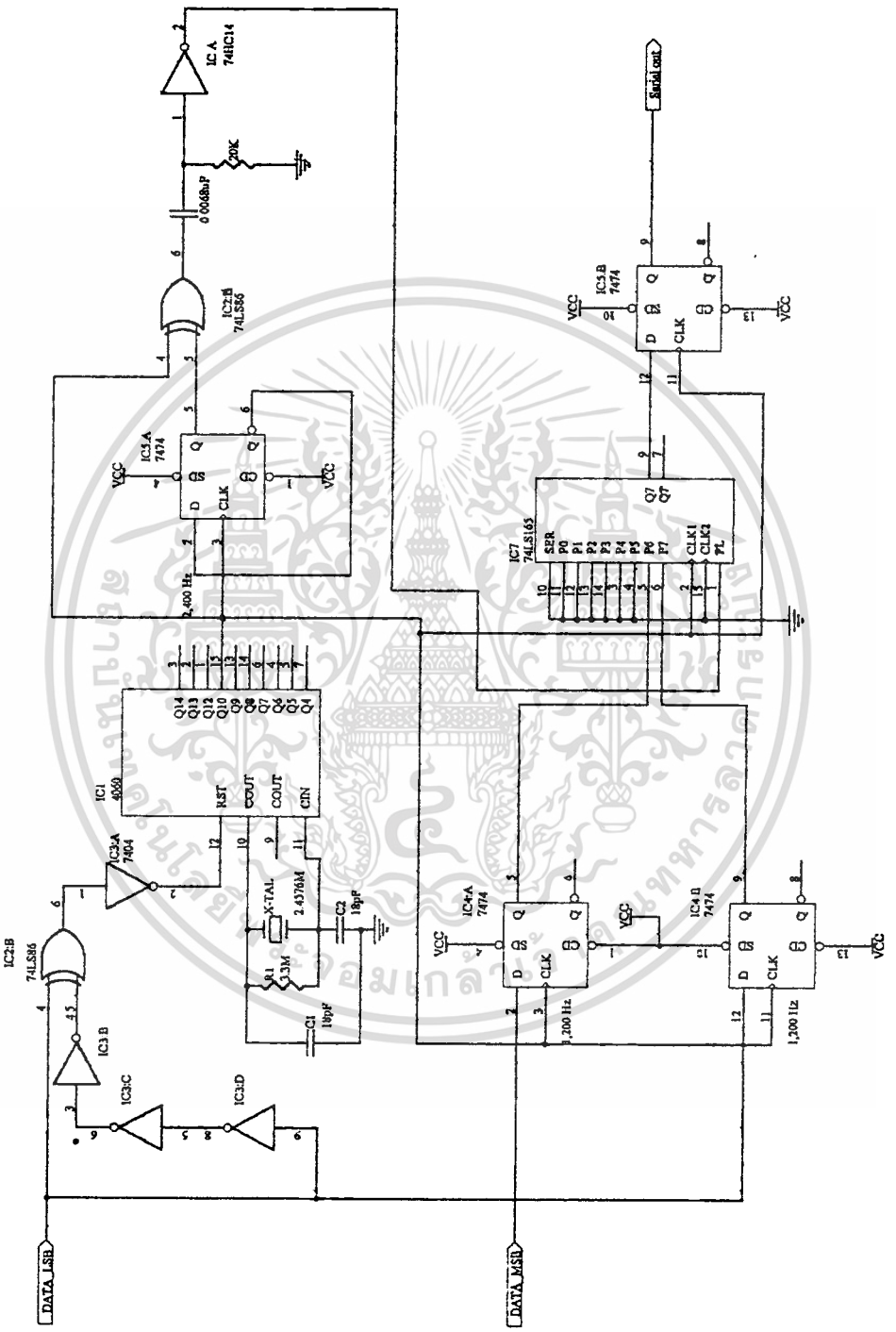
รูปที่ ก3 วงจรดีมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



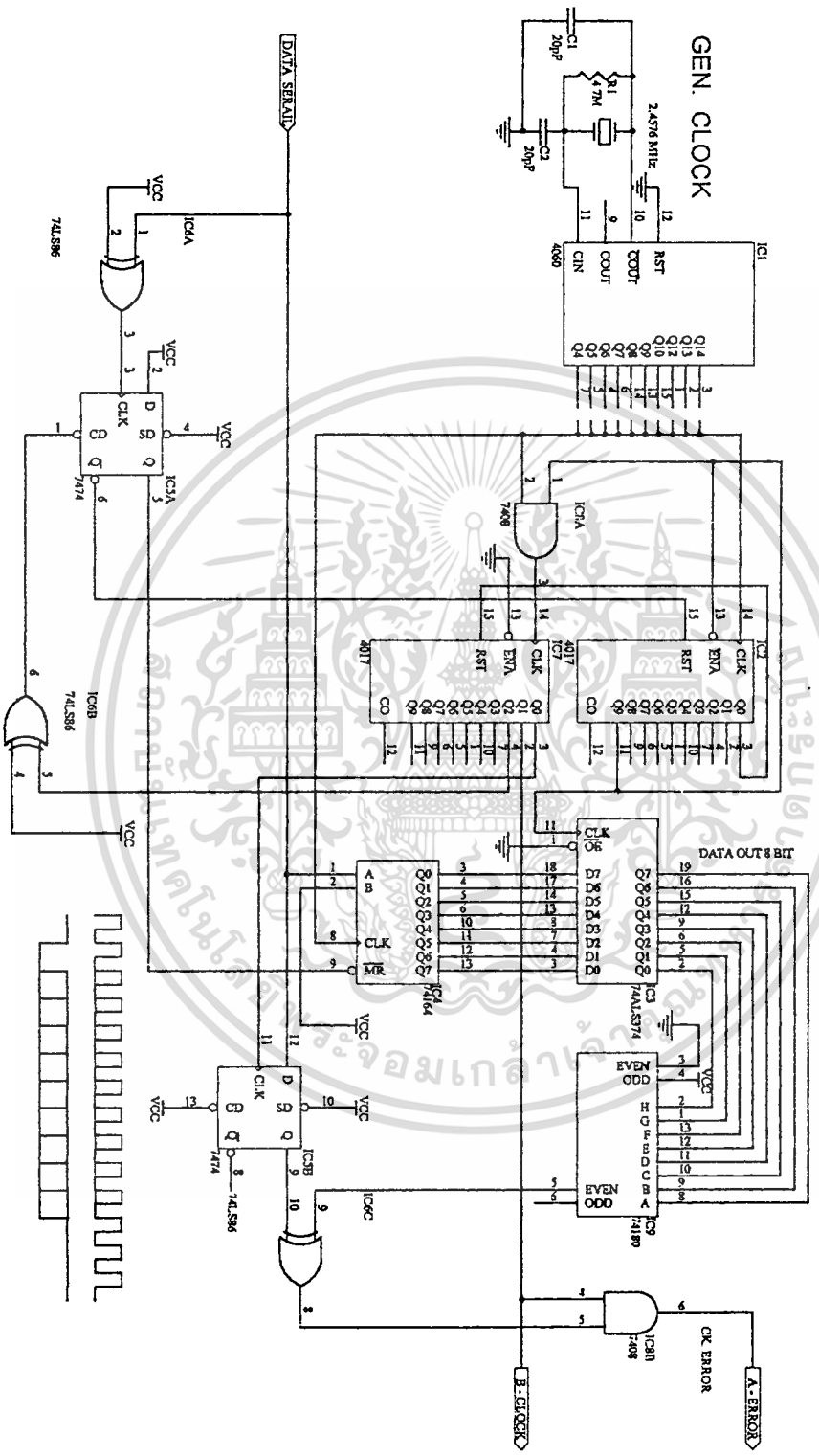
รูปที่ ก.4 วงจรคูณความถี่และเฟสล็อกลูฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



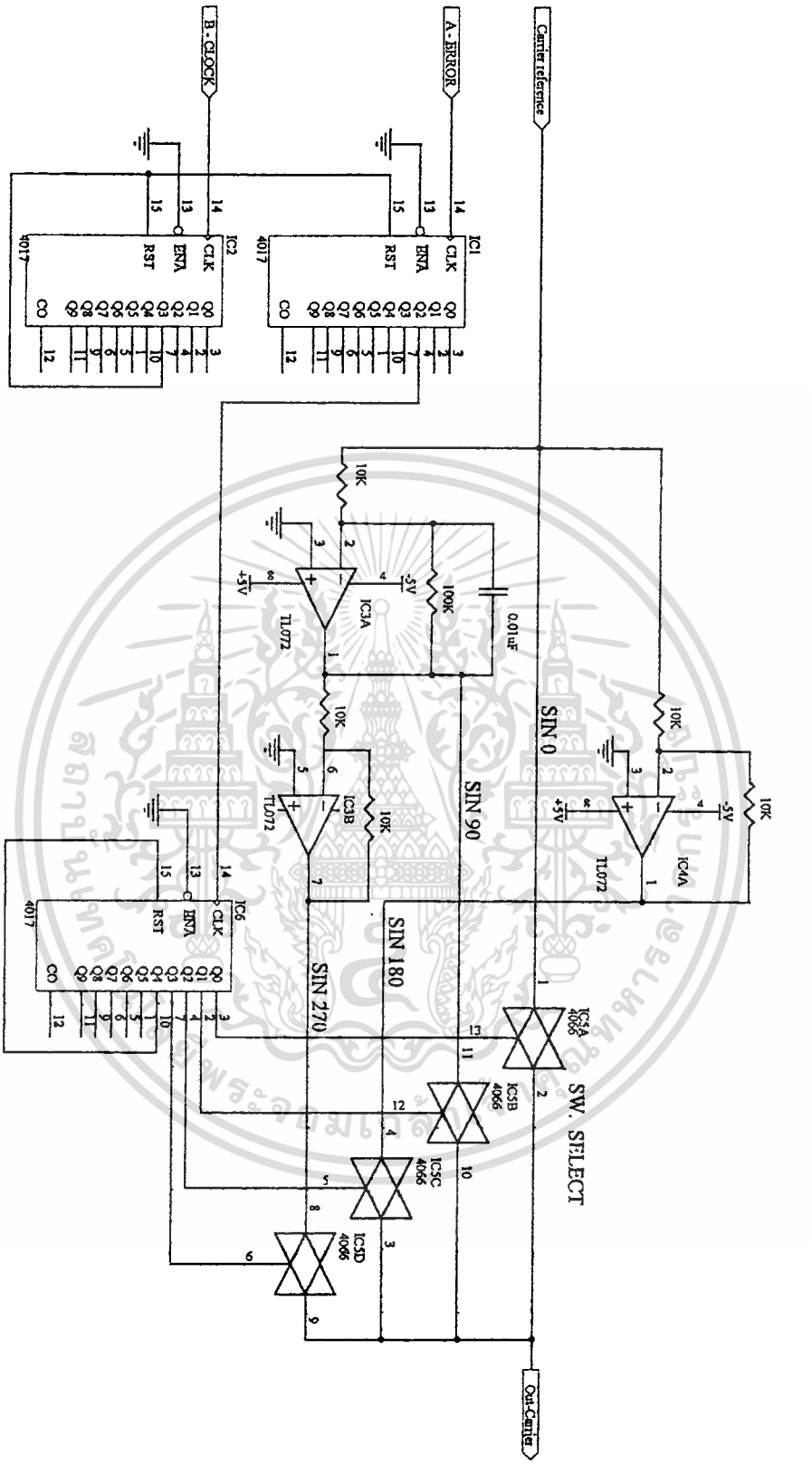
รูปที่ ก.5 วงจรแปลงสัญญาณจากขนาน 2 บิทเป็นแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.6 วงจรแปลงข้อมูลจากอนุกรมเป็นแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.7 วงจรเลื่อนเฟสของ carrier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

โปรแกรมที่ใช้ในโครงงาน

ข.1 โปรแกรมที่ใช้ในการส่งข้อมูลจากพอร์ต RS-232

```
/* PROGRAM SEAND DATA TO COM - PORT ( RS 232 ) */
#include <stdio.h>
#include <conio.h>
#include <math.h>
#include <dos.h>

union REGS r;
int PORT=0;

/******* SETUP CODE-DATA COM-PORT 1 ( STATUS ) *******/
SET_MODEM()
{
 char KEY_SET;
 int CODE,RATE=160,PRT=24,STOP=4,WORD=3;
 char *BUAD="2400",*PARITY="Even Parity Bit",*STOP_BIT="2 Stop
Bit",*LENGTH="8 Bit";
 printf ("----------------------------------------> COM 1\n");
 printf ("|- SET-UP BUAD RATE \n");
 printf ("|--> [Q]=110 [W]=150  [E]=300  [R]=600  [T]=1200  [Y]=2400  [U]=4800
[I]=9600 \n");
 printf ("|- SET-UP PARITY BIT \n");
 printf ("|--> [A] = No Parity  [S] = Odd Parity  [D] = Even Parity \n");
 printf ("|- SET-UP STOP BIT \n");
 printf ("|--> [Z] = 1 Stop Bit [X] = 2 Stop Bit \n");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
printf ("|- SET-UP Word length \n");
printf ("|--> [N] = 7 Bit      [M] = 8 Bit \n");
printf ("-----------------------------------------> COM 1\n");
do     {
       gotoxy (1,11);
       printf ("Buad  Rate  = %s \n",BUAD);
       printf ("Parity Bit  = %s \n",PARITY);
       printf ("Stop  Bit   = %s \n",STOP_BIT);
       printf ("Word length = %s \n",LENGTH);
       printf ("-----------------------------------------> COM 1\n");
       CODE=RATE+PRT+STOP+WORD;
       printf ("CODE TO SET-UP COM-PROT =        \n");
       gotoxy (27,16);
       printf ("%d",CODE);
       gotoxy (15,20);
       printf ("IF YOU SETUP COMPETE PRESS <<<< ENTER >>>> TO SAVE &
EXIT");
       KEY_SET=getch();
       if (KEY_SET==113 || KEY_SET==81) { BUAD=" 110 "; RATE=0;}
       if (KEY_SET==119 || KEY_SET==87) { BUAD=" 150 "; RATE=32;}
       if (KEY_SET==101 || KEY_SET==69) { BUAD=" 300 "; RATE=64;}
       if (KEY_SET==114 || KEY_SET==82) { BUAD=" 600 "; RATE=96;}
       if (KEY_SET==116 || KEY_SET==84) { BUAD="1200 "; RATE=128;}
       if (KEY_SET==121 || KEY_SET==89) { BUAD="2400 "; RATE=160;}
       if (KEY_SET==117 || KEY_SET==85) { BUAD="4800 "; RATE=192;}
       if (KEY_SET==105 || KEY_SET==73) { BUAD="9600 "; RATE=224;}
       if (KEY_SET==97  || KEY_SET==65) { PARITY="No   Parity Bit"; PRT=0;}
       if (KEY_SET==115 || KEY_SET==83) { PARITY="Odd  Parity Bit"; PRT=8;}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        if (KEY_SET==100 || KEY_SET==68) { PARITY="Even Parity Bit"; PRT=24;}
        if (KEY_SET==122 || KEY_SET==90) { STOP_BIT="1 Stop Bit "; STOP=0;}
        if (KEY_SET==120 || KEY_SET==88) { STOP_BIT="2 Stop Bit "; STOP=4;}
        if (KEY_SET==110 || KEY_SET==78) { LENGTH="7 Bit "; WORD=2;}
        if (KEY_SET==109 || KEY_SET==77) { LENGTH="8 Bit "; WORD=3;}
        }while (KEY_SET != 13);
 r.x.dx = PORT;
 r.h.ah = 0;
 r.h.al = CODE;
 printf ("\n SETUP  CODE [ %x / %d ] COM-PORT OK.....",r.h.al,r.h.al);
 int86  (0x14,&r,&r);
 printf ("\n STATUS CODE [ %x / %d ] COM-PORT CHECK..",r.h.al,r.h.al);
 return (CODE);
}

/******* SEND DATA TO COM PORT *******/
void SEND_DATA (int PORT,int DATA_SEND)
{
 r.x.dx=PORT;
 r.h.al=DATA_SEND;
 r.h.ah=1;
 int86(0x14,&r,&r);
}

/******* READ STATUS IF COM PORT    *******/
STATUS_COM (int PORT)
{
 r.x.dx=PORT;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 r.h.ah=3;
 int86(0x14,&r,&r);
 return (r.x.ax);    }
main()
 {   int STATUS,KEY;
 clrscr();
 SET_MODEM();
 clrscr();
 do   {
  STATUS=STATUS_COM(0);
   if ( (STATUS & 16) == 16)
     {
     SEND_DATA(0,65);
     delay (20);
    }
   if (kbhit())
    {
     KEY=getch();
     STATUS=STATUS_COM(0);
      if ( (STATUS & 16) == 16)
        {
         SEND_DATA(0,KEY);
         printf("%c",KEY);
        }
    }
  } while (KEY!=27);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.2 โปรแกรมรับข้อมูลและส่งกลับเข้าไปยังพอร์ต RS-232

```
/* PROGRAM READ DATA FROM COM - PORT ( RS 232 ) */
#include <stdio.h>
#include <conio.h>
#include <math.h>
#include <dos.h>

union REGS r;
int PORT=0;

/******* SETUP CODE-DATA COM-PORT 1 ( STATUS ) *******/
SET_MODEM()
{
 char KEY_SET;
 int CODE,RATE=160,PRT=24,STOP=4,WORD=3;
 char *BUAD="2400",*PARITY="Even Parity Bit",*STOP_BIT="2 Stop
Bit",*LENGTH="8 Bit";

 printf ("-----------------------------------------> COM 1\n");
 printf ("|- SET-UP BUAD RATE \n");
 printf ("|--> [Q]=110 [W]=150  [E]=300  [R]=600  [T]=1200  [Y]=2400  [U]=4800
[I]=9600 \n");
 printf ("|- SET-UP PARITY BIT \n");
 printf ("|--> [A] = No Parity  [S] = Odd Parity  [D] = Even Parity \n");
 printf ("|- SET-UP STOP BIT \n");
 printf ("|--> [Z] = 1 Stop Bit [X] = 2 Stop Bit \n");
 printf ("|- SET-UP Word length \n");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
printf ("|--> [N] = 7 Bit      [M] = 8 Bit \n");
printf ("-----------------------------------------> COM 1\n");

do     {
       gotoxy (1,11);
       printf ("Buad  Rate  = %s \n",BUAD);
       printf ("Parity Bit  = %s \n",PARITY);
       printf ("Stop  Bit   = %s \n",STOP_BIT);
       printf ("Word length = %s \n",LENGTH);
       printf ("-----------------------------------------> COM 1\n");
       CODE=RATE+PRT+STOP+WORD;
       printf ("CODE TO SET-UP COM-PROT =       \n");
       gotoxy (27,16);
       printf ("%d",CODE);
       gotoxy (15,20);
       printf ("IF YOU SETUP COMPETE PRESS <<<< ENTER >>>> TO SAVE &
EXIT");

       KEY_SET=getch();
       if (KEY_SET==113 || KEY_SET==81) { BUAD=" 110 "; RATE=0;}
       if (KEY_SET==119 || KEY_SET==87) { BUAD=" 150 "; RATE=32;}
       if (KEY_SET==101 || KEY_SET==69) { BUAD=" 300 "; RATE=64;}
       if (KEY_SET==114 || KEY_SET==82) { BUAD=" 600 "; RATE=96;}
       if (KEY_SET==116 || KEY_SET==84) { BUAD="1200 "; RATE=128;}
       if (KEY_SET==121 || KEY_SET==89) { BUAD="2400 "; RATE=160;}
       if (KEY_SET==117 || KEY_SET==85) { BUAD="4800 "; RATE=192;}
       if (KEY_SET==105 || KEY_SET==73) { BUAD="9600 "; RATE=224;}
       if (KEY_SET==97  || KEY_SET==65) { PARITY="No   Parity Bit"; PRT=0;}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        if (KEY_SET==115 || KEY_SET==83) { PARITY="Odd  Parity Bit"; PRT=8;}
        if (KEY_SET==100 || KEY_SET==68) { PARITY="Even Parity Bit"; PRT=24;}
        if (KEY_SET==122 || KEY_SET==90) { STOP_BIT="1 Stop Bit "; STOP=0;}
        if (KEY_SET==120 || KEY_SET==88) { STOP_BIT="2 Stop Bit "; STOP=4;}
        if (KEY_SET==110 || KEY_SET==78) { LENGTH="7 Bit "; WORD=2;}
        if (KEY_SET==109 || KEY_SET==77) { LENGTH="8 Bit "; WORD=3;}
        }while (KEY_SET != 13);
 r.x.dx = PORT;
 r.h.ah = 0;
 r.h.al = CODE;
 printf ("\n SETUP  CODE [ %x / %d ] COM-PORT OK.....",r.h.al,r.h.al);
 int86  (0x14,&r,&r);
 printf ("\n STATUS CODE [ %x / %d ] COM-PORT CHECK..",r.h.al,r.h.al);
 return (CODE);
}

/******* SEND DATA TO COM PORT *******/
void SEND_DATA (int PORT,int DATA_SEND)
{
 r.x.dx=PORT;
 r.h.al=DATA_SEND;
 r.h.ah=1;
 int86(0x14,&r,&r);
}

/******* READ DATA TO COM PORT *******/
READ_DATA (int PORT)
{
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 r.x.dx=PORT;
 r.h.ah=2;
 int86(0x14,&r,&r);
 return (r.h.al);
}

/******* READ STATUS IF COM PORT    *******/
STATUS_COM (int PORT)
{
 r.x.dx=PORT;
 r.h.ah=3;
 int86(0x14,&r,&r);
 return (r.x.ax);  }
main()  {
 int STATUS,KEY;
 clrscr();
 SET_MODEM();
 clrscr();
 do  {
   STATUS=STATUS_COM(0);
   if ( (STATUS & 256) == 256)
     {
     KEY=READ_DATA(0);
     if (KEY != 65 )      printf("%c",KEY);
     }
  }  while (!kbhit());
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

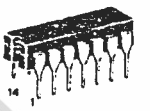
MC1496
MC1596

BALANCED MODULATOR/DEMODULATOR

BALANCED MODULATOR/ DEMODULATOR

These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression — 65 dB typ @ 0.5 MHz
  — 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection — 85 dB typ

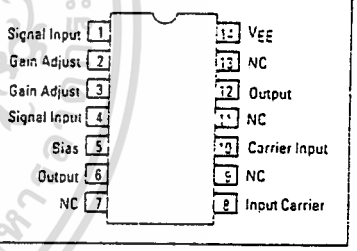


L SUFFIX
CERAMIC PACKAGE
CASE 632

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN ASSIGNMENTS



ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596L	−55°C to +125°C	Ceramic DIP

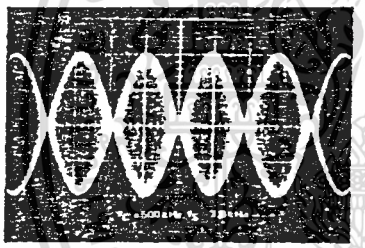


FIGURE 1 – SUPPRESSED CARRIER OUTPUT WAVEFORM

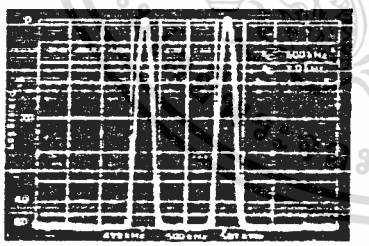


FIGURE 2 – SUPPRESSED CARRIER SPECTRUM

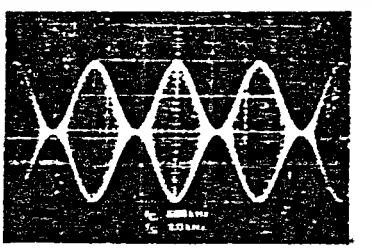
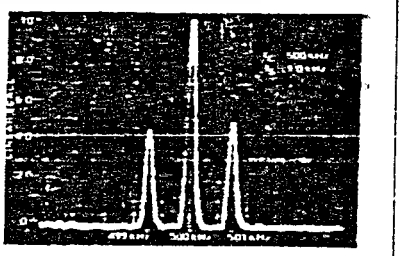


FIGURE 3 – AMPLITUDE MODULATION OUTPUT WAVEFORM

FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_6 - V_8$, $V_{10} - V_1$, $V_{12} - V_8$, $V_{12} - V_{10}$, $V_8 - V_4$, $V_8 - V_1$, $V_{10} - V_4$, $V_6 - V_{10}$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_8 - V_{10}$ $V_4 - V_1$	±5.0 ±($5 + I_5R_e$)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C, all input and output characteristics are single-ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough V_C = 60 mV(rms) sine wave and offset adjusted to zero, f_C = 1.0 kHz	5	1	V_{CFT}	—	40	—	—	40	—	μV(rms)
f_C = 10 MHz				—	140	—	—	140	—	
V_C = 300 mVp-p square wave: offset adjusted to zero, f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	mV(rms)
offset not adjusted, f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression f_S = 10 kHz, 300 mV(rms)	5	2	V_{CS}							dB
f_C = 500 kHz, 60 mV(rms) sine wave				50	65	—	40	65	—	
f_C = 10 MHz, 60 mV(rms) sine wave				—	50	—	—	50	—	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms) Carrier Input Port, V_C = 60 mV(rms) sine wave	8	8	BW_{3dB}	—	300	—	—	300	—	MHz
f_S = 1.0 kHz, 300 mV(rms) sine wave Signal Input Port, V_S = 300 mV(rms) sine wave				—	80	—	—	80	—	
|V_{CI}| = 0.5 Vdc										
Signal Gain V_S = 100 mV(rms), f = 1.0 kHz; |V_{CI}| = 0.5 Vdc	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance	6	—	r_{ip}	—	200	—	—	200	—	kΩ
Parallel Input Capacitance			c_{ip}	—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz Parallel Output Resistance	6	—	r_{op}	—	40	—	—	40	—	kΩ
Parallel Output Capacitance			c_{oo}	—	5.0	—	—	5.0	—	pF
Input Bias Current $I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_8 + I_{10}}{2}$	7	—	I_{bS} I_{bC}	— —	12 12	25 25	— —	12 12	30 30	μA
Input Offset Current $I_{ioS} = I_1 - I_4$; $I_{ioC} = I_8 - I_{10}$	7	—	|I_{ioS}| |I_{ioC}|	— —	0.7 0.7	5.0 5.0	— —	0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)	7	—	|TC_{Iio}|	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_6 - I_9$)	7	—	|I_{oo}|	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)	7	—	|TC_{Ioo}|	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, |V_{CI}| = 0.5 Vdc	9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current $I_6 + I_{12}$	7	6	I_{CC}	—	2.0	3.0	—	2.0	4.0	mAdc
I_{14}			I_{EE}	—	3.0	4.0	—	3.0	5.0	
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_O}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26\text{ mV}}{I_5\text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5.

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_{12} = V_6$, $I_5 = I_6 = I_{12}$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{14}) + I_5) V_5 - V_{14}$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_{12},$$

$$I_B << I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V - - \phi}{I_5} - 500\ \Omega$$

where: R_5 is the resistor between pin 5 and ground
ϕ = 0.75 V at T_A = +25°C

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_{12} = V^+ - I_5 R_L$$

Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30\text{ Vdc} \geq [(V_6, V_{12}) - (V_8, V_{10})] \geq 2\text{ Vdc}$$

$$30\text{ Vdc} \geq [(V_8, V_{10}) - (V_1, V_4)] \geq 2.7\text{ Vdc}$$

$$30\text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7\text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_{12},\ V_8 = V_{10},\ V_1 = V_4$$

Bias currents flowing into pins 1, 4, 8, and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21C} = \left.\frac{i_o\text{ (each sideband)}}{v_s\text{ (signal)}}\right| V_O = 0$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21S} = \left.\frac{i_o\text{ (signal)}}{v_s\text{ (signal)}}\right| V_C = 0.5\text{ Vdc},\ V_O = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

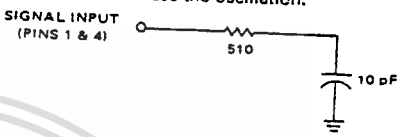
The output signal is taken from Pins 6 and 12 either balanced or single-ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION

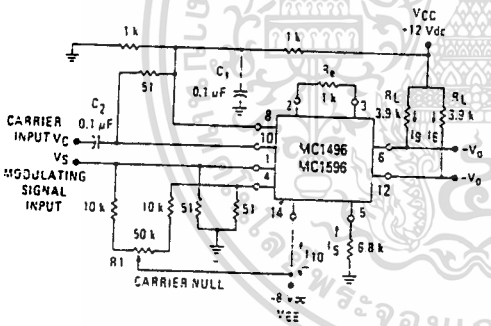
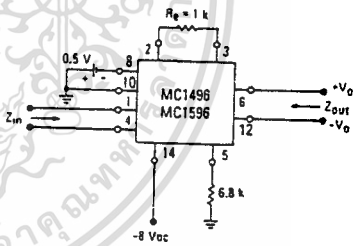


FIGURE 6 – INPUT-OUTPUT IMPEDANCE



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 7 – BIAS AND OFFSET CURRENTS

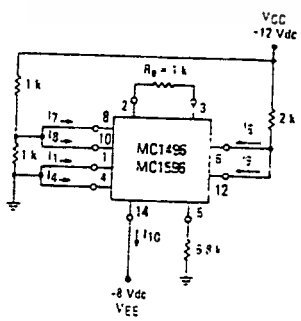
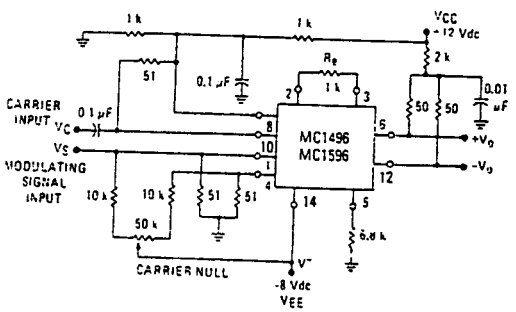


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



การนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านก
ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไป

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1495
MC1595

LINEAR FOUR-QUADRANT MULTIPLIER

SILICON MONOLITHIC INTEGRATED CIRCUIT

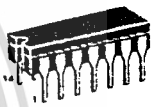
Wideband Linear Four-Quadrant Multiplier

The MC1495/1595 is designed for use where the output is a linear product of two input voltages. Maximum versatility is assured by allowing the user to select the level shift method. Typical applications include: multiply, divide*, square root*, mean square*, phase detector, frequency doubler, balanced modulator-demodulator, and electronic gain control.

- Wide Bandwidth
- Excellent Linearity:
  - 2% max Error on X Input, 4% max Error on Y Input (MC1495)
  - 1% max Error on X Input, 2% max Error on Y Input (MC1595)
- Adjustable Scale Factor, K
- Excellent Temperature Stability
- Wide Input Voltage Range: ± 10 V
- ± 15 V Operation

*When used with an operational amplifier

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)



L SUFFIX
CERAMIC PACKAGE
CASE 632

Figure 1. Multiplier Transfer Characteristic

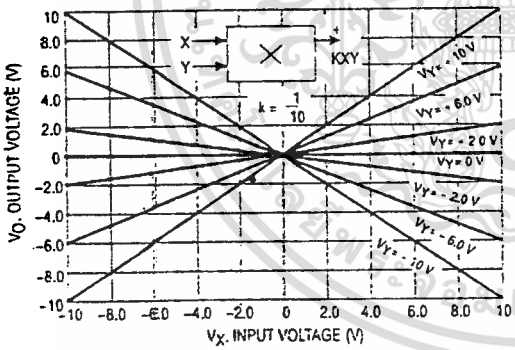


Figure 2. Transconductance Bandwidth

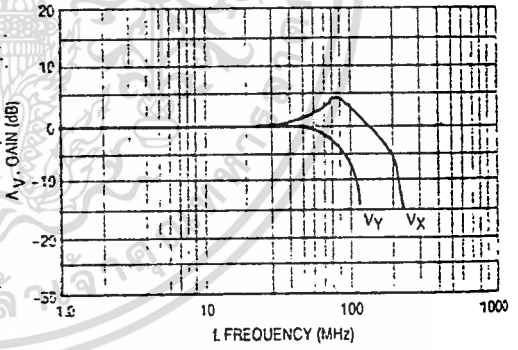
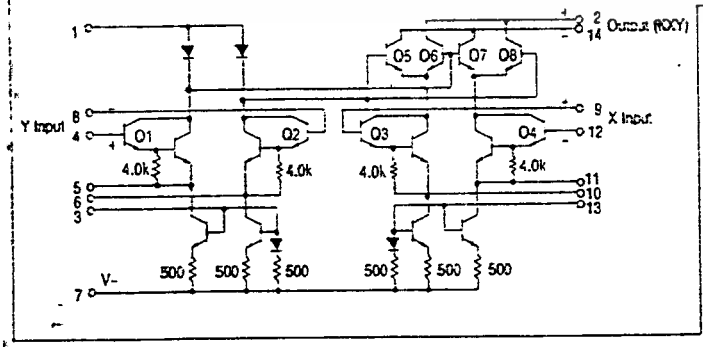


Figure 3. Circuit Schematic



ORDERING INFORMATION

Device	Ambient Temperature Range	Package
MC1495D	0° to +70°C	SO-14
MC1595D		
MC1495L	−55° to +125°C	Ceramic DIP
MC1595L		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS ($+V = +32$ V, $-V = -15$ V, $T_A = +25°C$, $I_3 = I_{13} = 1.0$ mA, $R_X = R_Y = 15$ kΩ, $R_L = 11$ kΩ unless otherwise noted.)

Characteristics		Figure	Symbol	Min	Typ	Max	Unit
Linearity (Output Error in percent of full scale)		5					%
$T_A = -25°C$							
$-10 < V_X < +10$ ($V_Y = \pm 10$ V)	MC1495		E_{RX}	—	±1.0	±2.0	
	MC1595			—	±0.5	±1.0	
$-10 < V_Y < +10$ ($V_X = \pm 10$ V)	MC1495		E_{RY}	—	±2.0	±4.0	
	MC1595			—	±1.0	±2.0	
$T_A = 0°$ to $+70°C$							
$-10 < V_X < +10$ ($V_Y = \pm 10$ V)	MC1495		E_{RX}	—	±1.5	—	
$-10 < V_Y < +10$ ($V_X = \pm 10$ V)			E_{RY}	—	±3.0	—	
$T_A = -55°$ to $+125°C$							
$-10 < V_X < -10$ ($V_Y = \pm 10$ V)	MC1595		E_{RX}	—	±0.75	—	
$-10 < V_Y < -10$ ($V_X = \pm 10$ V)			E_{RY}	—	±1.5	—	
Square Mode Error (Accuracy in percent of full scale after Offset and Scale Factor adjustment)		5	E_{SQ}				%
$T_A = -25°C$	MC1495			—	±0.75	—	
	MC1595			—	±0.5	—	
$T_A = 0°$ to $+70°C$	MC1495			—	±1.0	—	
$T_A = -55°$ to $+125°C$	MC1595			—	±0.75	—	
Scale Factor (Adjustable) $\left(K = \frac{2R_L}{I_3 R_X R_Y}\right)$		—	K	—	0.1	—	
Input Resistance ($f = 20$ Hz)	MC1495	7	R_{inX}	—	30	—	MΩ
	MC1595			—	35	—	
	MC1495		R_{inY}	—	20	—	
	MC1595			—	35	—	
Differential Output Resistance ($f = 20$ Hz)		8	R_O	—	300	—	kΩ
Input Bias Current		6					
$I_{bx} = \frac{(I_9 + I_{12})}{2}$, $I_{by} = \frac{(I_4 + I_8)}{2}$	MC1495		I_{bx}	—	2.0	12	µA
	MC1595			—	2.0	8.0	
	MC1495		I_{by}	—	2.0	12	
	MC1595			—	2.0	8.0	
Input Offset Current		6					
$\lvert I_9 - I_{12} \rvert$	MC1495		$\lvert I_{oxl} \rvert$	—	0.4	2.0	µA
	MC1595			—	0.2	1.0	
$\lvert I_4 - I_8 \rvert$	MC1495		$\lvert I_{oyl} \rvert$	—	0.4	2.0	
	MC1595			—	0.2	1.0	
Average Temperature Coefficient of Input Offset Current		6	$\lvert TC_{Iol} \rvert$				nA/°C
($T_A = 0°$ to $+70°C$)	MC1495			—	2.5	—	
($T_A = -55°$ to $+125°C$)	MC1595			—	2.5	—	
Output Offset Current							
$\lvert I_{14} - I_2 \rvert$	MC1495	6	$\lvert I_{OO} \rvert$	—	20	100	µA
	MC1595			—	10	50	
Average Temperature Coefficient of Output Offset Current		6	$\lvert TC_{IOO} \rvert$				nA/°C
($T_A = 0°$ to $+70°C$)	MC1495			—	20	—	
($T_A = -55°$ to $+125°C$)	MC1595			—	20	—	
Frequency Response		9,10					
3.0 dB Bandwidth, $R_L = 11$ kΩ			$BW_{(3dB)}$	—	3.0	—	MHz
3.0 dB Bandwidth, $R_L = 50$ Ω (Transconductance Bandwidth)			$TBW_{(3dB)}$	—	50	—	MHz
3° Relative Phase Shift Between V_X and V_Y			f_θ	—	750	—	kHz
1% Absolute Error Due to Input-Output Phase Shift			f_θ	—	30	—	kHz
Common Mode Input Swing (Either Input)	MC1495	11	CMV	±10.5	±12	—	Vdc
	MC1595			±11.5	±13	—	
Common Mode Gain (Either Input)	MC1495	11	A_{CM}	−40	−50	—	dB
	MC1595			−50	−60	—	
Common Mode Quiescent Output Voltage		12	V_{O1}	—	21	—	Vdc
			V_{O2}	—	21	—	
Differential Output Voltage Swing Capability		9	V_O	—	±14	—	V_{pk}
Power Supply Sensitivity		12	S^+	—	5.0	—	mV/V
			S^-	—	10	—	
Power Supply Current		12	I_7	—	5.0	7.0	mA
DC Power Dissipation		12	P_D	—	135	170	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = +25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V_2–V_1, V_{14}–V_1, V_1–V_9, V_1–V_{12}, V_1–V_4, V_1–V_8, V_{12}–V_7, V_9–V_7, V_8–V_7, V_4–V_7)	ΔV	30	Vdc
Differential Input Signal	V_{12}–V_9 V_4–V_8	±(6+I_{13} R_X) ±(6+I_3 R_Y)	Vdc
Maximum Bias Current	I_3 I_{13}	10 10	mA
Power Dissipation (Package Limitation) D Suffix, Plastic Package Derate above T_A = +25°C J Suffix, Ceramic Package Derate above T_A = +25°C	 P_D P_D 	 862 145 750 5.0	 mW mW/°C mW °C/W
Operating Temperature Range MC1495 MC1595	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

Figure 4. Linearity (Using Null Technique)

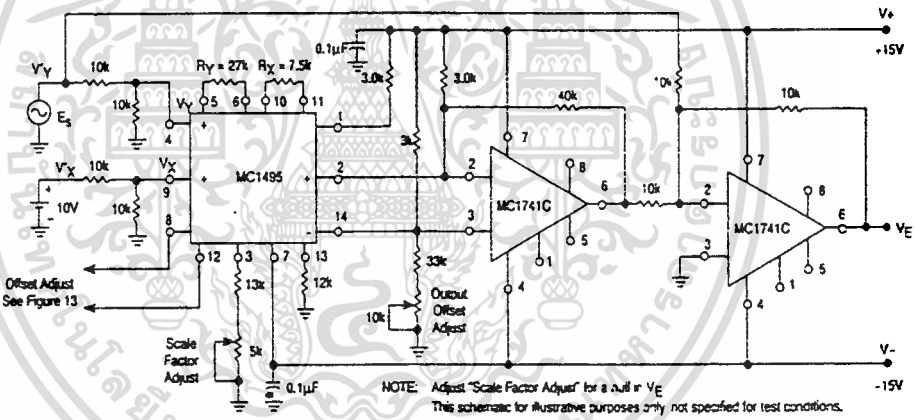
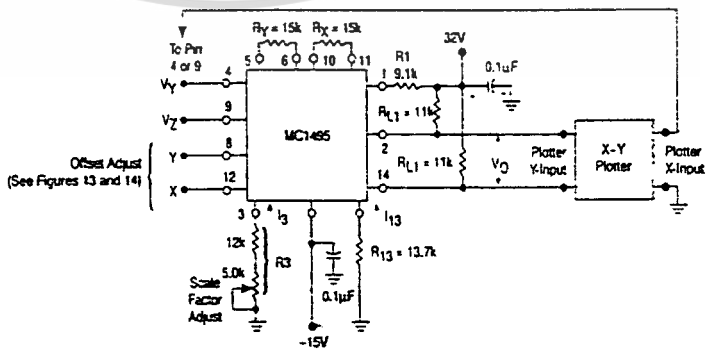


Figure 5. Linearity (Using X-Y Plotter Technique)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 6. Input and Output Current

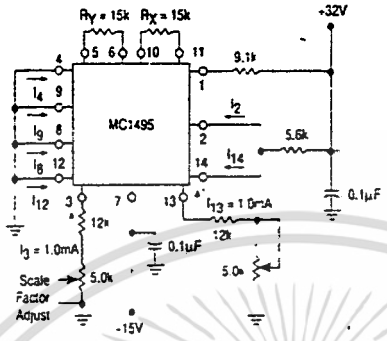


Figure 7. Input Resistance

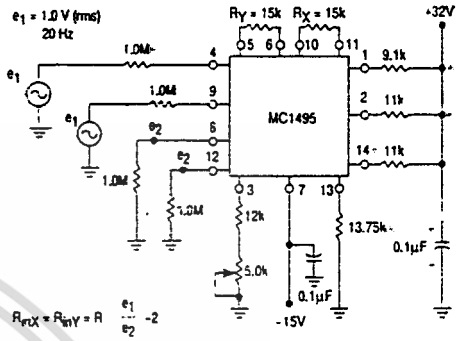


Figure 8. Output Resistance

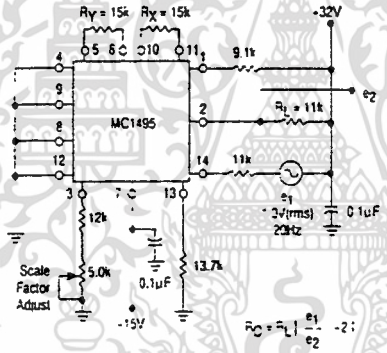
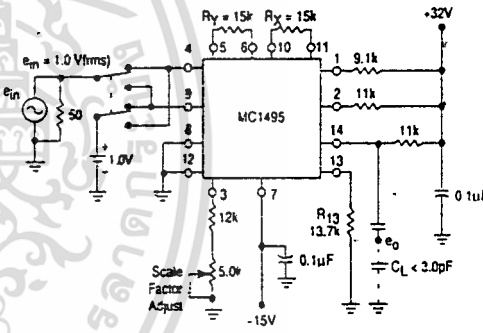
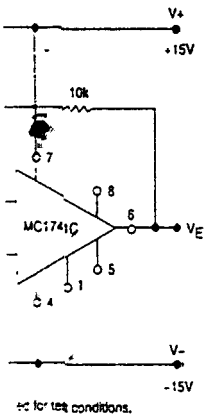


Figure 9. Bandwidth (R_L = 11kΩ)





ec for test conditions.

Figure 10. Bandwidth (R_L = 50 Ω)

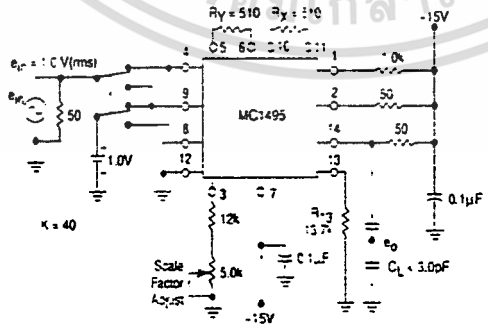
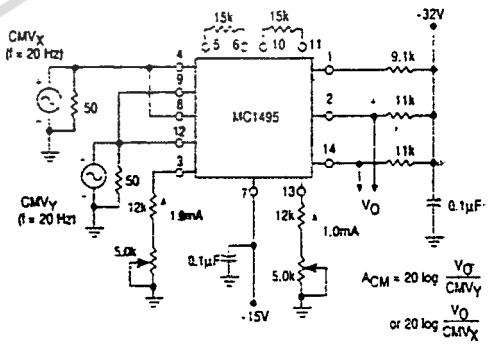
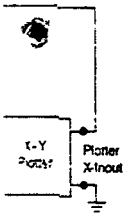


Figure 11. Common Mode Gain and Common Mode Input Swing





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 12. Power Supply Sensitivity

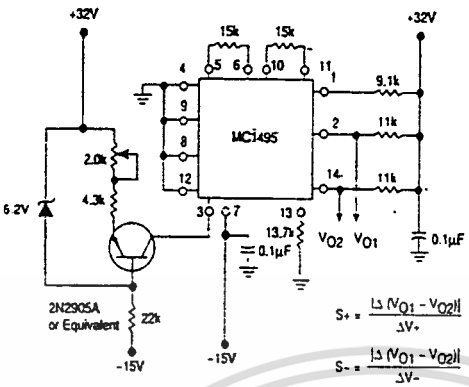


Figure 13. Offset Adjust Circuit

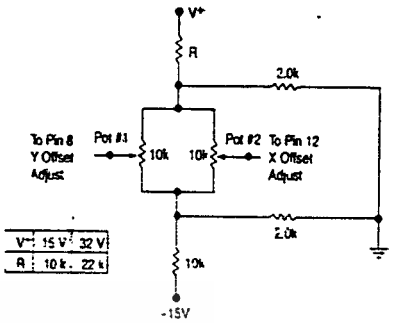


Figure 14. Offset Adjust Circuit (Alternate)