เครื่องชาร์จถ่านนิเกิล-แคดเมี่ยมควบคุมด้วยไมโครคอนโทรลเลอร์

DIGITAL CHARGER

โดย

นายกิตติภัต จักรจาย

นายสยาม เพชรประไพ

วัน เดือน ปี 30 ก.ค. 2540

เลขทะเบียน 036946

เลขเรียกหนังสือ T 08039 ก46ป ค

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง

036946

DIGITAL CHARGER

Mr. KITTIPAT JAKJAI

Mr. SIAM PETPRAPAI

Project Report Submitted in Partial Fulfillment of the requirements

For the Bachelors degree

Department of Industrial Technology

Faculty of Engineering

King Mongkuts Institute of Technology Ladkrablang

1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องชาร์จถ่านนิเกิล - แคดเมี่ยมควบคุมด้วยไมโครคอนโทรลเลอร์
	DIGITAL CHARGER
โดย	นายกิตติภัค จักรจาย
	นายสยาม เพชรประไพ
อาจารย์ที่ปรึกษา	ผู้ช่วยศาสตราจารย์ วิชัย สุรพัฒน์

บทคัดย่อ

เครื่องชาร์จถ่านนิเกิล แคดเมี่ยม อำนวยประโยชน์ ให้กับผู้ที่มีความจำเป็น ต้องใช้แหล่งจ่ายพลังงาน แบบชนิดพกพา ได้เป็นอย่างดี ในบางครั้ง มีความจำเป็นต้องใช้ถ่านนิเกิล แคดเมี่ยม ในกรณีเร่งรีบ เครื่องชาร์จ ต้องสามารถชาร์จ ด้วยกระแสที่สูงได้ หรือขณะไม่มีความจำเป็นต้องใช้ถ่าน เครื่องก็จะสามารถชาร์จถ่านได้เต็มอยู่ตลอดเวลา และยังสามารถเลือก เวลาในการชาร์จได้หลายย่าน รวมทั้งเลือกจำนวนการชาร์จได้มากก้อน จึงเป็นจุดมุ่งหมายของปริญญานิพนธ์ฉบับนี้ เราได้นำไมโครคอนโทรลเลอร์ มาประยุกต์ใช้กับเครื่องชาร์จนี้ ทำให้การควบคุมเป็นเรื่องที่สะดวกสบายมากขึ้น

ABSTRACT

Digital Charger give facilities for people who necessary touse packet source . Sometimes herry to use battery charger therefore ditital charger must be charge with maximum current . in the case we don't use cell , ditital charger enables charge full cell all the time . the target of project use microcontroller cause easy to use and have several rang , many cell to charge too .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ เครื่องชาร์จถ่านนิเกิล - แคดเมี่ยมควบคุมด้วยไมโครคอนโทรลเลอร์

DIGITAL CHARGER

โดย นายกิตติภัต จักรจาย
นายสยาม เพชรประไพ

อาจารย์ที่ปรึกษา ผู้ช่วยศาสตราจารย์ วิชัย สุรพัฒน์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... อาจารย์ที่ปรึกษา
(.....)

..... กรรมการ
(.....)

..... กรรมการ
(.....)

..... กรรมการ
(.....)

..... กรรมการ
(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Project Report DIGITAL CHARGER

By Mr. KITTIPAT JAKJAI

Mr. SIAM PETPRAPAI

Department of Industrial Technology

Advisor Mr. VICHAI SURAPAT

Accepted by the Faculty of Engineering, King Mongkuts Institute of Technology, Ladkrabang in partial fulfillment of the requirements for the Bachelors degree.

Project Report Committee

..... Chairman

(.....)

..... Comimittee

(.....)

..... Comimittee

(.....)

..... Comimittee

(.....)

..... Comimittee

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สำเร็จลุล่วงลงได้ด้วยความร่วมมือและความตั้งใจในการทำงานของเพื่อนร่วมงานในกลุ่ม Project ทั้งได้รับคำแนะนำจาก อาจารย์ที่ปรึกษา ทางด้านเทคนิคและแนวความคิดต่างๆ นอกจากนี้ยังได้รับคำแนะนำจากเพื่อนๆ ที่ให้คำปรึกษาทาง ด้านซอร์ฟแวร์ คือ

นาย เสกสรร ชื่นเคียนคต ตลอดจนเพื่อนทุกท่านที่ช่วยให้คำแนะนำ คณะผู้จัดทำขอกล่าวขอบคุณไว้ ณ โอกาสนี้

นาย กิตติภัต จักรจาย

นาย สยาม เพชรประไพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎี	4
2.1 ทฤษฎีนิแคด	4
2.2 IC U2400B	17
2.3 วงจรอะสเตเบิ้ลมัลติไวเบรเตอร์	18
2.4 MOSFET	21
2.5 ไอซี 74C922	22
2.6 อิเล็คทรอนิคส์สวิทช์	22
2.7 DOT MATRIX LCD MODULE	25
2..8 โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS-51	35
บทที่ 3 หลักการออกแบบและการทำงานของวงจร	39
บทที่ 4 การทดลอง และผลการทดลอง	46
บทที่ 5 สรุปวิจารณ์ และข้อเสนอแนะ	47
บทที่ 6 วิธีการใช้งาน	48
บรรณานุกรม	51
ภาคผนวก	
ก. โฟล์ชาร์ต แสดงขั้นตอนการเขียนโปรแกรม	
ข. โปรแกรมการทำงาน	
ค. DATA SHEET	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันเครื่องใช้ไฟฟ้า และอุปกรณ์อิเล็คทรอนิกส์ ได้มีการพัฒนาเทคโนโลยี เจริญก้าวหน้าเป็นอันมาก อุปกรณ์ต่างๆ ถูกออกแบบให้มี น้ำหนักเบา และขนาดกระทัดรัด เพื่ออำนวยความสะดวกสบายแก่ผู้ใช้มากขึ้น ไม่ว่าจะเป็นโทรศัพท์มือถือ วิทยุเทป เครื่องรับส่ง เครื่องคิดเลขและอื่นๆ อีกมากมาย แหล่งพลังงานที่นิยมใช้ กันแพร่หลาย มีคุณสมบัติน่าใช้ ชนิดหนึ่งที่ขอเสนอ คือ แบตเตอรี่แบบนิเกิล - แคดเมี่ยม

แบตเตอรี่แบบนิเกิล - แคดเมี่ยม มีข้อดีหลายประการคือ สามารถนำกลับมาประจุเพื่อ ใช้งานใหม่ได้หลายครั้ง เรียกว่าคุ้มมาก เพราะว่าจ่ายเงินครั้งเดียวแต่ใช้ได้หลายครั้ง

ในโครงงานนี้เสนอวิธีการใช้งานเครื่องชาร์จแบตเตอรี่ชนิดนิเกิลเคดเมี่ยมอย่างมีประสิทธิภาพโดยสามารถชาร์จแบตเตอรี่ได้ตั้งแต่ 1-12 ก้อนการทำงานเป็นไปอย่างอัตโนมัติตั้งแต่การดิสชาร์จ และการหยุดชาร์จการชาร์จจะทำการชาร์จด้วยระบบกระแสคงที่;มีการควบคุมอุณภูมิและแรงดันในการชาร์จเพื่อป้องกันและรักษาถ่าน ให้มีอายุการใช้งานยาวนาน

โดยการควบคุมการทำงานในส่วนต่างๆ ระบบถูกควบคุมด้วยไอซีไมโครคอนโทรลเลอร์ ทำให้สามารถควบคุมระบบที่ยุ่งยาก ซับซ้อน ให้เป็นระบบที่ง่ายลงได้สมรรถะภาพของเครื่องดี มีการแสดงสภาวะการทำงานด้วย LED ทุกขั้นตอน และในส่วนของพังก์ชันการเลือก จะทำการด้วย LCD ในส่วนนี้จะถูกควบคุมการทำงานด้วย ไมโครคอนโทรลเลอร์ MCS-51

วัตถุประสงค์

ศึกษาวิจัยเครื่องชาร์จประจุแบตเตอรี่ชนิดนิเกิล-แคดเมี่ยมและทำการสร้างเครื่อง ชาร์จประจุแบตเตอรี่ไว้ใช้งานจริงโดยทฤษฎีและแนวทางในการชาร์จแบตเตอรี่นี้ถือว่าดีที่สุดวิธีหนึ่ง โดยได้นำ ไมโครคอนโทรลเลอร์มาประยุกต์ใช้งานร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประโยชน์ที่คาดว่าจะได้รับ

ได้เครื่องชาร์จถ่านที่ถือว่าน่าจะดีที่สุดในขณะนี้โดยใช้ไมโครคอนโทรลเลอร์ในการควบคุมโดยมีการป้องกันอันตรายของถ่านจากการชาร์จเนื่องจากอุณหภูมิและแรงดันเกินและยังมีการเลือก กำหนดเวลาในการชาร์จตั้งแต่ 30 นาที , 1 ชั่วโมง , 2 ชั่วโมง , 4 ชั่วโมง , 8 ชั่วโมง, 16 ชั่วโมงตามลำดับรวมถึงพังก์ชันการเลือกจำนวนถ่านที่จะชาร์จตั้งแต่ 1 ก้อนจนถึง 12 ก้อนในหลักการข้างต้นนี้สามารถนำไปพัฒนาต่อไปได้อีก ในรูปแบบอื่นๆ ต่อไป

จากที่กล่าวมานั้นก็พอรู้แล้วว่าการทำงาน จะเน้นการทำงานของ ไมโครคอนโทรลเลอร์ในการควบคุมการดิสชาร์จ และการชาร์จประจุ โดยมีคุณสมบัติทั่วไปที่พิเศษก็คือ

- สามารถตรวจจับอุณหภูมิของถ่านนิแคดพร้อมแสดงสภาวะและหยุดจ่ายกระแสเมื่ออุณหภูมิที่ถ่านนิแคดสูงเกิน
- ตั้งเวลาในการประจุจากภายนอก
- ตรวจจับแรงดันเกินในการชาร์จ พร้อมแสดงสภาวะและหยุดการทำงานเมื่อแรงดันเกิน
- คายประจุอัตโนมัติ
- ควบคุมกระแสในการชาร์จ ประจุ ให้กับถ่านนิแคดแบบ พัลซ์วิดมอดดูเลเตอร์ (PWM)
- ควบคุมการชาร์จประจุ และคายประจุที่ค่ากระแสคงที่
- มี LED แสดงสภาวะ การทำงานของเครื่องในขณะเวลานั้นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางแสดงผลของ LED1 และ LED2

สถานะของ LED	สภาวะการทำงานของเครื่อง
LED1ติดตลอด	เครื่องสแตนด์บาย
LED1ติดกระพริบ	เครื่องทำการคายประจุ
LED2 ติดตลอด	เครื่องชาร์จประจุด้วยกระแสต่ำๆ
LED2 ติดกระพริบ	เครื่องชาร์จประจุด้วยกระแสสูง
LED1,LED2 ติดกระพริบสลับกัน	อุณหภูมิของถ่านสูงเกิน
LED1,LED2 ติดกระพริบสลับกันเป็นช่วง	แรงดันการชาร์จสูงเกิน
LED1,LED2 ไม่ติดเลย	เลือกจำนวนถ่านผิด

ตารางที่ 1 แสดงสภาวะการแสดงผลของ LED1 และ LED2

- สามารถเลือกจำนวนถ่านที่จะชาร์จได้ตั้งแต่ 1 ถึง 12 ก้อน
- ทำการเลือกเวลา ในการชาร์จได้ถึง 6 ย่าน
- ในการเลือกจำนวนถ่านที่จะชาร์จ สามารถเลือกแบบดิจิตอลโดยแสดงผลทาง LCD

ในการเลือกแบบดิจิตอลนี้ทำให้ขจัดการสปาร์คของแรงดันที่หน้าสัมผัสจากคุณสมบัติที่กล่าวมาข้างต้นนี้การชาร์จถ่านนิแคดจะเป็นแบบอนุกรมกันโดยได้รับกระแสชาร์จ คงที่ที่ได้ตั้งเวลาไว้ ตามเวลาที่เหมาะสม

ก่อนการที่จะทำการชาร์จถ่านนิแคดจะต้องทำการเซตและเลือกค่าพังก์ชันต่างๆ ก่อนก็คือเซตค่ากระแสที่เหมาะสมให้กับถ่าน เลือกค่าเวลาและจำนวนถ่านที่จะชาร์จ โดยจะมีจอ LCD แสดงฟังก์ชันต่างๆ แล้วใช้คีย์บอร์ดในการเลือก โดยการเลือกและแสดงผลส่วนนี้เราใช้ MCS-51 ในการควบคุม เมื่อเราทำการเซตค่าต่างๆข้างต้นแล้วไอซี U2400B ที่ทำหน้าที่เป็นไมโครคอนโทรลเลอร์จะทำการคายประจุเมื่อคายประจุเสร็จก็จะทำการชาร์จประจุในระหว่างทำการชาร์จประจุจะมีการตรวจอุณหภูมิ และแรงดันไม่ให้เกินด้วยเพื่อป้องกันไม่ให้ถ่านเสียหาย โดยถ้าอุณภูมิสูงเกิน 40C หรือแรงดันตกคร่อมแต่ละก้อนเกิน 1.6 โวลท์วงจรจะหยุดจ่ายกระแสชาร์จจนกว่าจะปกติจึงทำกาชาร์จต่อจนเต็ม โดยการทำงานในแต่ละขั้นตอนนั้นจะมี LED1 และ LED2 เป็นตัวแสดงสภาวะต่างๆตามที่แสดงไว้ ในตารางข้างต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 แนะนำนิแคด

ทุกคนคงรู้จักถ่านไฟฉายหรือแบตเตอรี่ดีแล้ว โดยแรกเริ่มแล้วแบตเตอรี่ หรือเซลแบบเปียกใช้ในรถยนต์ทั่วไป โครงสร้างเป็นแบบตะกั่วกรดได้พลังงานจากปฏิกิริยาเคมี ทำให้การชาร์จใหม่ต้องเติมน้ำกรด (เป็นกรดกำมะถันอย่างเจือจาง) แต่เซลเหล่านี้จ่ายกระแสได้สูงและมีอายุการใช้งานยาวนานกว่าต่อมาได้มีการพัฒนาเซลแห้งขึ้น ที่เรียกกันว่า "ถ่านไฟฉาย"เซลแห้งมีอยู่หลายแบบในทางวิชาการแล้วชื่อจะแตกต่างกันไปตามชนิดของโครงสร้างเช่นแบบที่เราเห็นและใช้งานกันทั่วไป ก็เป็นแบบคาร์บอนซิงค์ (Carbon - Sinc)เพราะโครงสร้างจะเป็นแท่งคาร์บอน (ไส้) ทำหน้าที่เป็นขั้วบวกและแผ่นสังกะสี (ซิงค์) ทำหน้าที่เป็นขั้วลบและยังมีแบบอื่นๆ เช่น แบบเมอร์คิวรี่ (Mercury) แบบแมงการ์นีสไดออกไซด์ - อัลคาไลน์ซึ่งเป็นแบบที่ทำงานอย่างต่อเนื่อง ที่กล่าวมาแล้วนั้นถูกจัดอยู่ในเซลแบบปฐมภูมิ เมื่อพลังงานเคมีในตัวมันเปลี่ยน เป็นพลังงานไฟฟ้าหมดแล้ว ก็จะหมดสภาพในการเป็นแหล่งจ่ายไฟอีกต่อไป

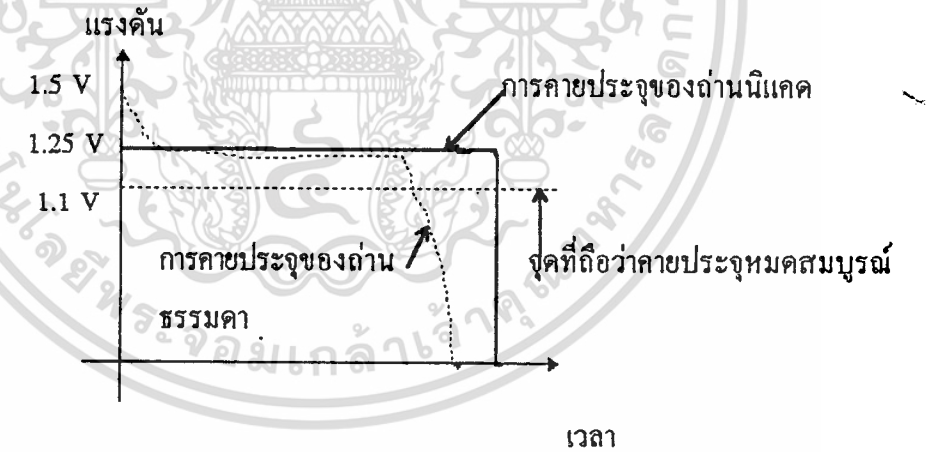
แต่ยังมีเซลแบบ ทุติยภูมิ สามารถที่จะประจุไฟกลับใหม่ได้ โดยที่ ปฏิกิริยาเคมีซึ่งจ่ายเป็นพลังงานไฟฟ้าออกมานั้นเป็นปฏิกิริยาที่ผันกลับได้โดยนิเกิลแคดเมี่ยมก็จัดอยู่ในเซลแบบนี้เรียกสั้นๆว่านิแคด ปัจจุบันบ้านเราใช้กันอย่างแพร่หลายก็เป็นเพราะข้อดีที่สามารถชาร์จ ใหม่ได้เมื่อถ่านหมดอีกทั้งราคาก็ถูก นิแคดมีหลายขนาด ที่เราใช้กันทั่วไปก็มี ขนาด PP3 ขนาด AAA ขนาด AA ขนาด C ขนาด D เรียงลำดับจากเล็กไปใหญ่โดยขนาด AA จะนิยมใช้กันมากที่สุด เช่นใช้ในวิทยุเทป แฟลตถ่ายรูป มือถือ ฯลฯ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1 นิแคดกับถ่านแบบอื่น

ถ่านนิแคดจะแตกต่างจากถ่านชนิดอื่นๆ คือถ่านแบบนิแคดจะมีแรงดันก้อนละ 1.25 โวลท์ ในขณะที่เซลแบบอื่นๆ จะมีแรงดันก้อนละ 1.5 โวลท์ อาจจะทำให้คิดว่าเครื่องใช้ต่างๆ จะไม่สามารถทำงานได้ถ้าเปลี่ยนจากเซลแห้งธรรมดา ไปเป็นเซลแบบนิแคดขนาดเดียวกัน แต่ก็ไม่เป็นความจริงเนื่องจากแรงดันของเซลแห้งที่กล่าวมานั้นเป็นแรงดันตอนที่ไม่มีโหลด เหลืออยู่ ซึ่งแรงดันเหล่านี้จะตกลงเล็กน้อยเมื่อโหลดดึงกระแสไปใช้เนื่องจากค่าความต้านทานภายในของเซลแต่ค่าความต้านทานภายในที่ต่ำมากๆ ของเซลแบบนิแคดนี้จะทำให้แรงดันตอนใช้งานจะยังคงเท่ากับ 1.2 โวลท์ถ้าเราเขียนกราฟระหว่างแรงดันของเซลแห้งกับเวลาจะเห็นว่าแรงดันของเซลแห้งจะสูงกว่าเซลแบบนิแคดในตอนแรกแต่เมื่อเซลคายประจุออกไป

แล้วจะเห็นว่าในที่สุดแรงดันของเซลแบบแห้งจะเริ่มต่ำกว่าแรงดันของเซลแบบนิแคดในขณะที่แรงดันของเซลแบบนิแคดค่อนข้างคงที่และจุดหมดประจุคือเวลาที่คิดว่าเซลคายประจุหมดอย่างสมบูรณ์แล้วจะเกิดขึ้นอย่างรวดเร็ว คือถ้าใช้เครื่องใช้ไฟฟ้าถึงจุดหมดประจุ ก็จะหยุดทำงานทันที



รูปที่ 1 กราฟแสดงการคายประจุของเซลเมื่อต่อโหลดเปรียบเทียบระหว่างเซลแห้งกับเซลแบบนิแคด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 ลักษณะโดยทั่วไปของนิเกิล - แคดเมี่ยม

แบตเตอรี่นิแคดที่ดี จะต้องรักษาแรงดันเซลไว้ที่ 1.25 โวลท์ ให้ได้ตลอดอย่างน้อย 85% ของอายุการใช้งานทั้งหมด แต่เซลที่มีความจำเกิดขึ้น แรงดันจะลดลงเหลือ 1.0 โวลท์หลังจากใช้งานไปเพียงช่วงหนึ่งของอายุการใช้งาน ซึ่งจะต้องอัดไฟใหม่ เพราะแรงดันต่ำกว่า 1.1 โวลท์

แบตเตอรี่นิเกิล - แคดเมี่ยม มี 2 แบบใหญ่ๆ คือแบบซินเตอร์เพลท (Sintered plate)ใช้กับงานที่ใหญ่กว่า แบบหลังนี้เหมือนแบตเตอรี่รถยนตร์แบบตะกั่วกรด (read - acid) และใช้อิเล็คทรอไลต์ที่เป็นของเหลว

แบตเตอรี่นิเกิล - แคดเมี่ยม แบบซินเตอร์เพลท มีลักษณะโครงสร้างเกือบเหมือนกับเซลแห้งแบบถ่าน - สังกะสี (Carbon - Zine) ที่เราคุ้นเคย คือ เป็นแบบทรงกระบอกประกอบด้วยขั้วเซลเป็นแผ่นบางๆ มีฉนวนคั่นกลาง ม้วนเป็นรูปทรงกระบอก แผ่นขั้วบวกเป็นสารนิเกิลลัสไฮดรอกไซด์ (Nickelous hydroxide) ซึ่งจะเปลี่ยนเป็นนิเกิลลิคไฮดรอกไซด์ (Nicketic hydroxide) เมื่ออัดไฟเสร็จเต็มแล้ว แผ่นขั้วลบเป็นสารแคดเมี่ยมไฮดรอกไซด์ (Cadmium hydroxide) ซึ่งจะเปลี่ยนเป็นโลหะแคดเมี่ยมเมื่ออัดไฟแล้วส่วนอิเล็คทรอไลน์ คือ โปแตสเซี่ยมไฮดรอกไซด์ (Potassium hydroxide)

2.1.3 ทำไมถ่านหมดเมื่อไม่ได้ใช้งาน

เราคงจะเคยเห็นและสงสัยว่า เซลแห้งหรือถ่านไฟฉาย เมื่อทิ้งไว้เฉยๆ นานๆ ก็ไม่มีแรงไฟอันนี้ก็เนื่องจากการดิสชาร์จด้วยตัวเองหรือดิสชาร์จให้กับอากาศจะช้าหรือเร็วนั้นก็ขึ้นอยู่กับสิ่งแวดล้อมเช่น อุณหภูมิ ปริมาณสภาพประจุไฟฟ้าในอากาศ ความชื้นและชนิดของถ่านเป็นต้นการวัดอายุการเก็บนั้น จะสามารถวัดได้โดยเฉพาะเวลาที่มีความจุของเซลลดลงเหลือ 90% ของความจุเดิมภายใต้เงื่อนไขเดียวกันพอสรุปได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดของเซล	อายุการเก็บ
คาร์บอน-ซิงค์	8-9 เดือน
อัลคาไลน์	มากกว่า 2 ปี
นิแคด	3 วัน-4 สัปดาห์
อุณหภูมิที่เก็บประมาณ 20-25 อายุการเก็บจะนานขึ้น ถ้าหากเก็บที่อุณภูมิ 5-10	

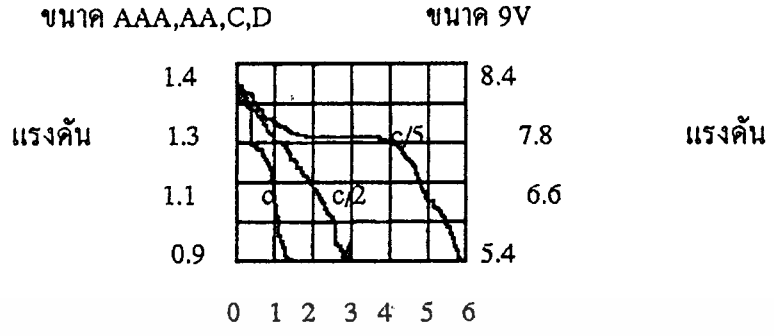
ตารางที่ 2 เทียบอายุการเก็บ

2.1.4 การจ่ายกำลังของถ่านนิแคด

ความสามารถในการจ่ายกำลังหรือความจุของถ่านนิแคด ซึ่งวัดเป็นหน่วยแอมป์ - ชั่วโมง (Ah) จะถูกกำหนดด้วย การที่ถ่านนิแคดจ่ายกำลังเป็นเวลา 10 ชั่วโมง และแรงดันของมันตกลงเหลือ 1.1 โวลท์

ตัวอย่างเช่น ถ่านนิแคดขนาด AA ระบุค่าความจุไว้ 500 mAh ก็หมายความว่า ถ้าเมื่อมันได้รับการชาร์จมาจนเต็มแล้ว และนำมันมาต่อกับโหลดให้จ่ายกระแสหรือดิสชาร์จขนาด 50 mA แรงดันของมันจะตกลงเรื่อยๆ จนเหลือ 1.1 โวลท์ เมื่อเวลาผ่านไป 10 ชั่วโมง ซึ่งอัตราการจ่ายกระแสขนาดนี้เรียกว่า C/10 คือ 1/10 เท่า ของความจุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2 การแสดงการจ่ายกำลังของถ่านนิแคดที่ 100% , 50% , 20% ของความจุเต็มที่ของถ่าน

จากรูปแสดงอัตราการจ่ายกระแสขนาด C/5 , C/2 , C ของถ่านนิแคดแบบก้อนเดียว (1.25 V)และขนาด 9V สังเกตจะเห็นว่าอัตรา C/5 ตัวถ่านนิแคดสามารถจ่ายกระแสได้เป็นเวลา 5 ชั่วโมงตามที่คิดก่อนแรงดันจะตกลงเหลือ 1.1 โวลท์ และ 6.6 V ตามลำดับ แต่ที่อัตรา C/2 และ C แรงดันจะตกลงเร็วกว่าตามที่คิดไว้

ในทางปฏิบัติแล้ว ที่อัตราการจ่ายกระแสหรือดิสชาร์จขนาด C จะได้เวลา 55 นาทีเท่านั้นเมื่อเทียบกับที่คิดไว้ 1 ชั่วโมง

ในการชาร์จ ถ่านนิแคดนั้น โรงงานผู้ผลิตได้แนะนำให้ชาร์จด้วยอัตรา C/10 เป็นเวลา 14 ชั่วโมง การชาร์จด้วยอัตราสูงขึ้นสามารถทำได้ แต่จะทำให้อายุของถ่านสั้นลงและยังทำให้ความสามารถในการจ่ายกำลังลดน้อยลงอีก

ก่อนที่จะทำการชาร์จถ่านนิแคด อาจจะมีถ่านนิแคดบางก้อน ซึ่งยังคงมีประจุเหลืออยู่หรือยังจ่ายกำลังไม่หมด ดังนั้นเพื่อเป็นการป้องกันการชาร์จถ่านแบบนี้มากเกินไป เวลาในการชาร์จจงควรลดน้อยลงตามประจุที่ยังคงเหลืออยู่ซึ่งทำให้เกิดปัญหาขึ้นได้เนื่องจากเราไม่สามารถวัดหรือตรวจสอบปริมาณประจุที่เหลืออยู่ได้

การชาร์จถ่านนิแคดมากเกินไปนี้ทำให้อายุและความจุลดน้อยลงไปด้วยแต่ความจุที่ลดน้อยลงนี้สามารถเอากลับคืนมาได้ โดยการชาร์จจนเต็มและให้จ่ายกำลังออกจนหมด เป็นวัฏจักรเช่นนี้หลายครั้ง ไม่เพียงเท่านี้ หลังจากกระทำเช่นนี้แล้ว ถ่านนิแคดเองก็ยังคงต้องการวัฏจักรดังกล่าวเพื่อให้ตัวมันมีความจุเต็มที่อยู่ตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.5 การเสื่อมสภาพ

เนื่องจาก เซลนิแคด ใช้สารแอ็คทีฟ ที่แผ่นบวกและแผ่นลบ ซึ่งไม่ละลายในอิเล็คโทรไลต์ชนิดด่าง (Alkaline) จึงมักไม่ค่อยเกิดการเสื่อมสภาพนิแคดส่วนใหญ่สามารถใช้งาน และประจุไฟใหม่ได้ 500 - 1,000 ครั้ง ตัวเลขนี้อาจเป็นขีดจำกัดด้านอายุของเซลจริง แต่ถ้าคิดว่าเซลถูกใช้งานและประจุใหม่เพียงสัปดาห์ละ 2 ครั้งแล้ว เซลก้อนหนึ่งจะมีอายุการใช้งานถึง 10 ปี แต่ถ้าประจุไฟทุกวันก็จะอยู่ได้ 3 ปี

การเสื่อมสภาพชนิดถาวร เกิดจากสาเหตุใหญ่ๆ 2 ประการคือ การลัดวงจรภายในเซล (Inmternal Shorts) และการเสื่อมของ อิเล็คทรอไลต์

การลัดวงจรภายในเซลเกิดจากเวลาและอุณหภูมิซึ่งเป็นเหตุให้เกิดการเสื่อมสภาพของสารฉนวนซึ่งแยกแผ่นบวก และแผ่นลบของเซลออกจากกัน การลัดวงจรนี้ ทำให้ประจุไฟฟ้าได้น้อยลง

การเสื่อมหรือการสูญเสีย อิเล็คทรอไลต์ จะลดการประจุไฟฟ้าของเซลลง และเพิ่มความต้านทานภายใน อิเล็คทรอไลต์ จะสูญเสียได้จากเหตุ 2 ประการคือ

- ประการแรก ถึงแม้ว่านิแคดจะได้รับการผนึกอย่างสนิทดีอย่างไรก็ตาม แต่ก๊าซไฮโดรเจน และก๊าซออกซิเจน ก็ยังรั่วออกมาได้ กว่าจะทราบว่าปริมาณของ อิเล็คทรอไลต์ได้ลดลงไป ก็อาจใช้เวลาร่วม 10 ปี หรือนานกว่านั้น

- ประการที่สอง เกิดจากการใช้เซลแบบผิดๆ เช่น Overchage คือ ชาร์จไฟมากเกินไป หรือ การประจุไฟผิดนั้นเอง ก๊าซออกซิเจนและไฮโดรเจน ซึ่งเกิดภายในเซลจะทำให้ความดันและดันลิ้นระบายความดันเพื่อออกสู่บรรยากาศภายนอกดังนั้นผนึกอย่างดีของเซลนั้นก็จะถูกทำลายลงด้วย การระเหยของ อิเล็คทรอไลต์ ก็จะเร็วขึ้นเป็นเหตุให้เซลแห้งลง

การเสื่อมสภาพชนิดไม่ถาวร เป็นการเสื่อมชนิดหนึ่ง เป็นชนิดไม่ถาวร ซึ่งสามารถทำให้เซลกลับไปประจุได้เต็มที่ดังเดิมได้ สาเหตุประการหนึ่งของการเสื่อมชนิดนี้ เกิดจาก Overchage เซลไว้เป็นเวลานานๆ โดยไม่นำมันมาคายประจุเสียบ้างเช่นต่อแบตเตอรี่ขนานไว้กับแหล่งจ่ายไฟเพื่อทดแทนแหล่งจ่ายไฟเมื่อเกิดไฟฟ้าดับ เป็นต้น การ Overchage เซลไว้นานๆ นี้ทำให้เซลมีอุณภูมิสูงอยู่ตลอดเวลาจึงเสื่อมสภาพลง

สาเหตุอีกอย่าง ของการเสื่อมสภาพชนิดไม่ถาวร เกิดจากการใช้งานอย่างสม่ำเสมอ แต่ใช้ไฟไม่หมดเช่นใช้เป็นเพียง 25% ก็นำไปประจุไฟใหม่ทุกครั้ง กรณีเช่นนี้เซลจะเกิดอาการ"จำ"ขึ้นว่า ผู้ใช้งานต้องการพลังงานจากมันเพียง 25% เท่านั้นและไม่สามารถจ่ายไฟฟ้าที่เหลืออีก 75% ของความจุของมันออกมาใช้งานได้ ปรากฏการนี้มักเกิดขึ้น ถ้าเซลไม่ค่อยได้ถูกOverchage ที่อัตราคายประจุสูงหรืออุณภูมิสูงๆ

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเสื่อมสภาพชนิดไม่ถาวรนี้ สามารถทำให้คืนดีเหมือนเดิมได้โดยนำเซลมาคายประจุเดิมออกให้หมด โดยมีอัตราคายประจุต่ำ แล้วนำเซลนั้นมาประจุไฟใหม่ ด้วยอัตราการการประจุ 0.1C เป็นเวลา 20 ชั่วโมง ที่อุณหภูมิ 25C̊ ทำเช่นนี้ซ้ำอีกหนึ่งหรือสองครั้ง เซลจะสามารถเก็บประจุได้อย่างเต็มที่เช่นเดิม

2.1.6 แบตเตอรี่ที่มีความจำ

ปัจจุบัน เราคุ้นเคยกับวงจร "ความจำ" ในวงการอิเล็คทรอนิคส์มากขึ้น ตัวอย่างเช่น RAM , ROM , PROM ฯลฯ และเมื่อกล่าวถึง BWM (Battery With Memory) เราอาจคิดว่าเป็นแบตเตอรี่แบบใหม่ชนิดหนึ่ง แต่ความจริงแล้ว BWM คือ "ปัญหา" ที่เกิดขึ้นในแบตเตอรี่นิแคด ซึ่งไม่เกี่ยวข้องกับวงจรอิเล็คทรอนิกส์เลย

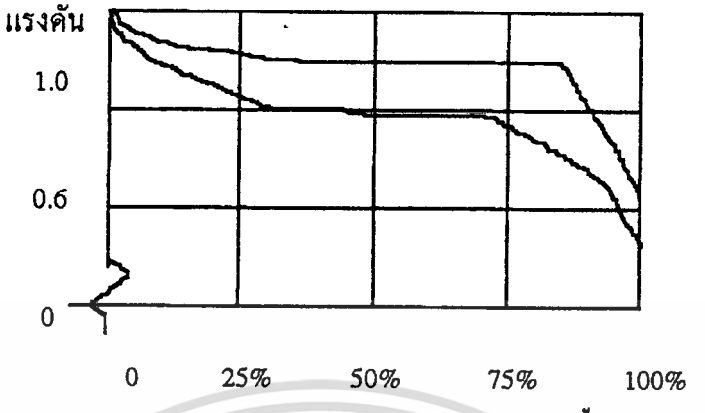
เมื่อใช้งานแบตเตอรี่ นิแคดที่กระแสต่ำๆ ในช่วงเวลาสั้นๆ ซ้ำๆ กันเป็นเวลานานๆ แบตเตอรี่ก็จะกลายคุณสมบัติไปทำงานได้เพียงเงื่อนไขอันนั้นเหมือนกับว่ามัน "จำ" ได้ว่ามันสามารถจ่ายกระแสได้เพียงขนาดเท่าที่เคยจ่ายอยู่เท่านั้น จนลืมความสามารถที่เคยสูงส่งของมันไป เมื่อนำไปใช้งานอื่นที่ต้องการพลังงานมากกว่านั้น มันก็จะจ่ายให้เพียงเท่าที่มันเคยจ่ายซึ่งปัญหานี้ได้ผ่านการค้นคว้าวิจัยจากบริษัทที่เกี่ยวข้องและพบวิธีการง่ายๆ เพื่อแก้ไขแบตเตอรี่ให้กลับสู่สภาพเดิมแล้ว

ตามปกติแบตเตอรี่ที่มี "ความจำ" นั้น เมื่อจ่ายไฟไปสักช่วงหนึ่งของอายุการใช้งานในการอัดไฟช่วงหนึ่งๆ แล้วแรงดันจะตกเหลือประมาณ 1.0 V เมื่อเราพบว่าแรงดันตกอย่างนี้ขั้นแรกต้องตรวจให้แน่ใจก่อนว่าไม่ได้ต่อเซลกลับขั้ว ถ้าการต่อเซลถูกต้องแสดงว่าแบตเตอรี่เกิดมี "ความจำ" ขึ้นแล้ว (มีบางกรณีเหมือนกันที่แบตเตอรี่ไม่ดี)

2.1.7 การเกิดความจำในแบตเตอรี่นิแคด

วัสดุที่ทำแผ่นขั้วทั้ง 2 ปกติ เป็นผงละเอียดนำมาขึ้นรูปวัสดุเหล่านี้ภายหลังจะเปลี่ยนโครงสร้างเป็นผลึก ซึ่งมีพื้นที่ผิวมากขึ้น และผลึกนี้เองที่เป็นต้นเหตุของ "ความจำ" เพราะความจุของเซล ขึ้นกับโครงสร้างผลึก ในเซลปกติผลึกจะละเอียดมาก แต่เซลที่มี "ความจำ" ผลึกจะใหญ่ขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 เปรียบเทียบการทำงานของนิแคดที่มีและไม่มีความจำ

2.1.8 นิแคดกับการประจุใหม่

ก่อนที่จะประจุให้กับเซลแบบนิแคด โดยไม่ให้เกิดความเสียหาย และสามารถประจุได้เต็มที่นั้น เราต้องรู้ถึงค่าความจุของเซลก่อน ความจุของเซลแบบนิแคดนี้ คือปริมาณของพลังงานไฟฟ้าทั้งหมด ซึ่งสามารถจ่ายออกมาได้ เมื่อมันได้รับการประจุไฟจนเต็มที่แล้วจะแสดงออกมาในรูปของตัวเลขเป็น แอมป์ - ชั่วโมง หรือ มิลลิแอมป์-ชั่วโมง เซลขนาดใดก็ตามค่าตัวเลขจริงๆ นี้จะเปลี่ยนไปโดยขึ้นอยู่กับกระแสที่จ่ายออกไป ดังนั้นมักจะกำหนดเงื่อนไข ในการจ่ายกระแสเพื่อระบุถึงค่าความจุ ผู้ผลิตจะแจ้งถึงค่าความจุและเงื่อนไขในการจ่ายกระแสบนตัวเซลรายละเอียดเกี่ยวกับความจุ โดยปกติของเซลขนาดต่างๆ ระบุไว้ในตารางที่ 3

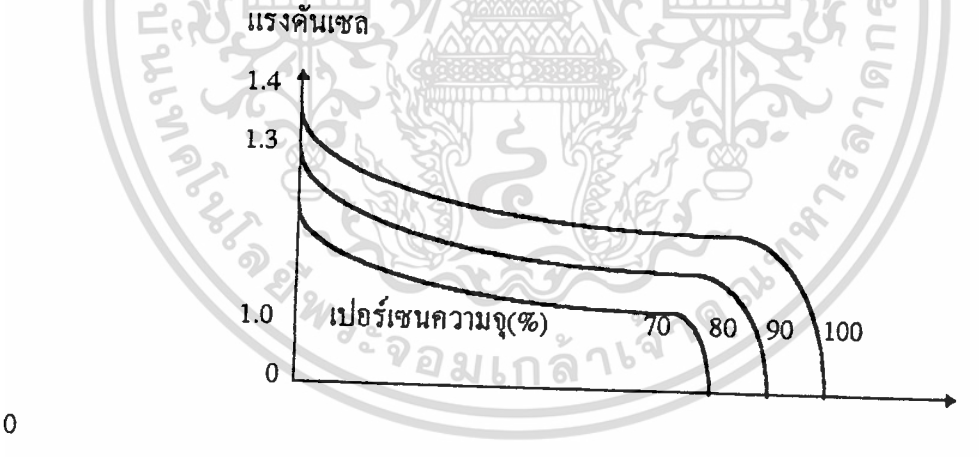
ขนาดของเซล	ความจุโดยปกติ mA - hour
AAA	240
AA	500
C	2000
D	4000
PP3	100

ตารางที่ 3 เซลแบบนิแคดขนาดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความจุโดยปกติ รู้จักกันในนามของความจุ 5 ชั่วโมง เนื่องจากเป็นจำนวนของพลังงานไฟฟ้าที่เซลจะจ่ายออกมาได้ เมื่อใช้เวลาในการจ่าย 5 ชั่วโมง อัตราการจ่ายกระแสใน 1 ชั่วโมง จะคายประจุออกจากเซลในเวลา 1 ชั่วโมง โดยใช้สัญลักษณ์ว่า "C" เช่นเดียวกับอัตราการจ่ายใน 5 ชั่วโมง (C/5) จะหมายถึง กระแสที่สามารถจ่ายออกจากเซลในเวลา 5 ชั่วโมงเป็นต้น เซลจะถูกคิดว่าคายประจุหมดสิ้นเมื่อแรงดันของมันตกลงเหลือ 1 โวลท์ ตามรูปที่ 3 แสดงถึงค่าความจุของเซล แบบนิเคด ซึ่งจะแปรเปลี่ยนไปกับอัตราการจ่ายกระแสค่าต่างๆกัน 3 ค่า จากรูปพบว่าค่าความจุของเซลจะเพิ่มขึ้นเล็กน้อย ถ้าอัตราการจ่ายกระแสมีค่าลดต่ำลงและค่าความจุที่ลดลงจะเป็นผลมาจากอัตราการจ่ายกระแสสูงขึ้น

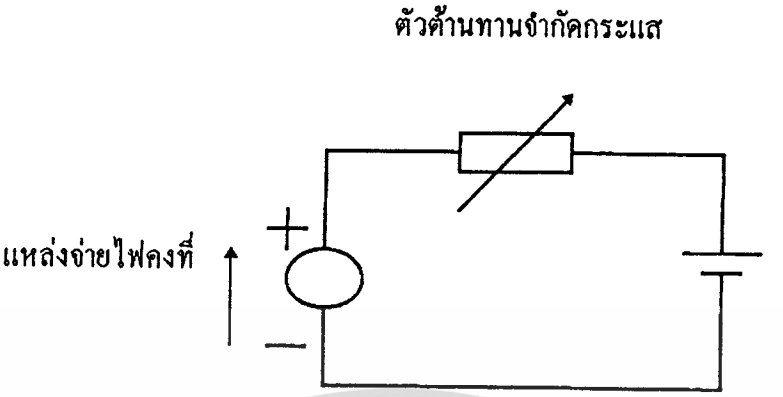
เซลแบบนิเคดนี้ จะไม่เหมือนเซลแบบตะกั่ว - กรด (ถึงแม้จะเป็นเซลแบบทุติยภูมิเหมือนกัน) ตรงที่เซลแบบนิเคดนี้จะต้องไม่ประจุไฟให้มันด้วยแหล่งจ่ายไฟคงที่ เพราะว่าค่าความต้านทานภายในของมันมีค่าต่ำมาก จะทำให้กระแสที่ใช้ในการประจุมีค่ามากเกินไป ซึ่งจะทำความเสียหายให้แก่เซลได้เราจะใช้แหล่งจ่ายไฟแบบกระแสคงที่แทน ซึ่งจะจ่ายกระแสออกมาโดยกำหนดค่าได้ และอยู่ในอัตราที่ปลอดภัย



รูปที่ 4 แสดงถึงค่าความจุของเซลนิเคดจะแปรเปลี่ยนไปตามอัตราการจ่ายกระแส

วิธีที่ง่ายที่สุดในการจ่ายกระแสคงที่ แสดงในรูปที่ 4 ซึ่งแหล่งจ่ายไฟที่มีแรงดันคงที่จะจ่ายกระแสออกมาประจุเซลแบบนิเคด โดยผ่านตัวต้านทานจำกัดกระแส ค่าของตัวต้านทานจะถูกเลือกให้ค่ากระแสที่ไปประจุเซลจะไม่เกินค่าที่ปลอดภัยสำหรับเซลขณะนั้น

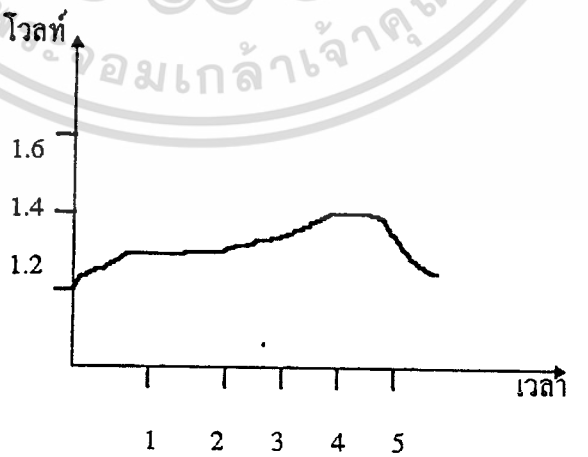
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5 วงจรประจุกระแสคงที่แบบง่าย ๆ

2.1.9 การประจุทีละน้อย (Trickle Recharge)

ถ้ากระแสในวงจรถูกรักษาไว้ที่อัตราเท่ากับ C/10 (10% ของความจุ) แล้วเซลที่หมดประจุอย่างสมบูรณ์สามารถที่จะประจุได้ภายใน 10 ชั่วโมง แต่ในความเป็นจริงจะใช้เวลามากกว่า 10 ชั่วโมง โดยเผื่อการสูญเสียไว้ 12 - 14 ชั่วโมง การประจุทีละน้อย สามารถประจุทิ้งไว้ค้างคืนได้ ประโยชน์อีกข้อหนึ่งสำหรับการประจุได้โดยไม่มีข้อจำกัด คือ ถึงแม้ว่าเซลจะถูกประจุไว้เต็มที่แล้วก็ตามก็ไม่จำเป็นต้องนำเซลออก สามารถจะประจุได้โดยไม่มีข้อจำกัด เช่น เซลมีขนาดความจุ 500 มิลลิแอมป์ - ชั่วโมง ถ้าประจุด้วยอัตราเร็ว C/10 ก็เท่ากับ 10% ของความจุ คือ50 มิลลิแอมป์



รูปที่ 6 แสดงถึงแรงดันของเซลนิแคดเปลี่ยนไปตามเวลา เมื่อทำการประจุด้วยอัตรากระแส C/4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.10 การประจุเร็ว (Fast Rechage)

เซลแบบนิแคด สามารถจะประจุด้วยอัตราที่สูงขึ้นกว่าได้ เช่นด้วยอัตรา C/3 (33% ของความจุ) ถึง C/5 (20% ของความจุ) โดยจะต้องเตรียมการตัดการประจุ เมื่อเซลได้รับการประจุจนเต็มที่แล้วซึ่งสามารถทำได้โดยอัตโนมัติ โดยใช้วงจรตรวจจับแรงดัน ซึ่งจะตัดกระแสที่ใช้ในการประจุออก เมื่อแรงดันเพิ่มขึ้นจนถึงค่าปัจจุบันดังรูปที่ 6 แสดงถึงการเปลี่ยนแปลงของแรงดันของเซลกับเวลาที่อัตราการประจุเท่ากับ C/4 (25% ของความจุ) จะเห็นได้ชัดว่า วิธีนี้จะใช้ได้เฉพาะถ้าสามารถวัดค่าแรงดันได้อย่างเที่ยงตรงและว่องไวสามารถตัดกระแสที่ใช้ในการประจุออก ก่อนที่จะเกิดความเสียหายขึ้น ปัญหาในการใช้ประจุแบบนี้คือถ้ากระแสที่ใช้ในการประจุค่าสูงๆ นี้ไม่ได้ถูกตัดออกอย่างทันทีเมื่อเซลได้รับการประจุจนเต็มที่แล้ว ก๊าซออกซิเจนที่เกิดขึ้นมากเกิน จากขั้วบวกนี้ จะไม่สามารถไปรวมกันที่ขั้วลบในปริมาณที่เพียงพอ ความดันเพิ่มขึ้นอย่างรวดเร็ว และเซลจะระบายก๊าซออกซิเจนออกไปโดยที่ รูระบายที่ปิดไว้จะเปิดออก และปล่อยก๊าซออกซิเจน กับอิเล็คทรอไลน์ บางส่วนออกมา เนื่องจากเมื่ออิเล็คทรอไลน์สูญเสียออกมาจากเซล ก็ไม่สามารถเติมกลับเข้าไปใหม่ได้ ดังนั้น ความจุของเซลจะลดลงอย่างถาวร ก็คือ เซลนั้นจะมีความจุน้อยลงตลอดไป

2.1.11 การประจุอย่างเร่งด่วน (Super-Fast Rechage)

มีบางกรณี ที่ผู้ใช้ต้องการจะประจุเซล ภายในเวลาเพียง 2-3 นาที ตัวอย่างเช่น เครื่องบินขนาดเล็ก ที่ใช้แบตเตอรี่ เป็นตัวจ่าย กำลังจะต้องการ การประจุเซลที่หมดประจุ เพื่อที่จะนำเครื่องบินนี้ บินขึ้นสู่อากาศอีกครั้ง โดยเร็วที่สุดเท่าที่จะเร็วได้

เป็นไปได้ที่จะประจุเซลอย่างเร่งด่วน ด้วยอัตราการประจุสูงถึง 4 C (4 เท่า ของความจุ) หรือมากกว่านั้น คือ วัดแรงดันของเซลและตัดกระแสที่ใช้ประจุออกเมื่อแรงดันของเซลขึ้นสูงถึงค่าที่ตั้งไว้ อย่างไรก็ตามมีวิธีการที่ง่ายกว่า แล้วก็เที่ยงตรงด้วย โดยจากหลักความจริงที่ว่า เซลได้หมดประจุอย่างสมบูรณ์ ก่อนที่จะพยายามประจุใหม่ ให้ประจุไฟเข้าโดยการ กำหนดค่ากระแสประจุที่คงที่ได้ ใช้เวลาในการประจุตามที่ต้องการ เช่น หลังจากเซลหมดประจุแล้ว กระแสที่ใช้ในการประจุขนาด 3C (3 เท่าของความจุ) จะถูกป้อนเป็นเวลานาน 20 นาที หรือจะใช้กระแสในการประจุเป็น 5C (5 เท่าของความจุ) ป้อนเข้าไป เป็นเวลา 12 นาที เป็นต้น แต่ก็เป็นสิ่งที่ควรระงับไว้เนื่องจากการประจุมากเกินไป เพียง 2-3 วินาที อาจทำให้เกิดการรั่วของเซลได้ เมื่อใช้วิธีการนี้เซลจะต้องหมดประจุอย่างเต็มที่ และใช้คกระแสในการประจุค่าที่แน่นอนเป็นระยะเวลาที่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.12 การชาร์จนิแคด

ความจำเป็นในการชาร์จนิแคดบางครั้งต้องการเวลาที่ไม่เท่ากันโดยทั่วไปสามารถจัดให้อัตราการชาร์จที่แตกต่างกัน 4 ระดับ

- การชาร์จอย่างอ่อนๆ สำหรับผู้ที่มีความต้องการใช้งานบ้างเป็นครั้งคราว แต่ก็ต้องพร้อมอยู่เสมอตัวอย่างเช่น ระบบไฟฉุกเฉินประเภทต่าง ๆ เป็นต้น จะใช้อัตราการชาร์จที่มากกว่า 0.01C เพื่อชดเชยในส่วนที่สูญเสีย ปกติมีอัตราการชาร์จอยู่ประมาณ 0.02 C ถึง 0.05 C ซึ่งก็จะเพียงพอใช้ชาร์จนิแคดให้มีพลังงานเต็มอยู่ตลอดเวลา

- การชาร์จแบบปกติ จะใช้อัตราการชาร์จประมาณ 0.1C เป็นเวลา 14 ชั่วโมง ซึ่งหลังจากจากเวลาในช่วงนี้ไปแล้ว ก็อาจจะเกิดการสะสมของแก๊ซขึ้นได้ ช่วงเวลาสูงสุดที่ยอมให้ชาร์จด้วยวิธีนี้ไม่ควรเกิน 30 วัน

- การชาร์จอย่างรวดเร็ว ใช้อัตราการชาร์จตั้งแต่ 0.3C ถึง 1C เป็นการชาร์จในลักษณะอันตรายที่จำเป็นต้องมีการป้องกัน ทำได้โดยการจัดอัตราการเพิ่มของอุณหภูมิว่าสัมพันธ์กับการชาร์จเกินอย่างไร ทำให้ทราบว่าหากอุณหภูมเกิดสูงขึ้นผิดปกติเมื่อใด นั่นก็แสดงว่า ได้ชาร์จมากเกินไปแล้ว การจะป้องกันด้วยการวัดแรงดันตกคร่อมนิแคดนั้นคงทำไม่ได้ เพราะแรงดันไม่ได้เป็นตัวบอกเลยว่าชาร์จเกินกำลังอยู่

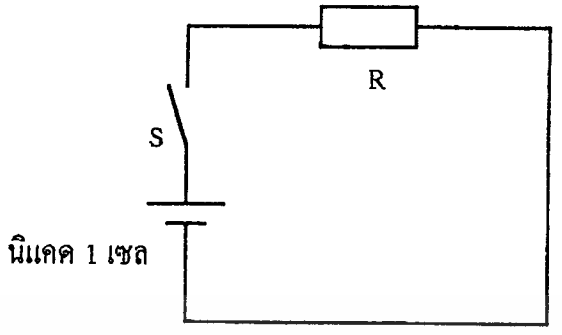
- การชาร์จในอัตราที่เร็วมาก จะชาร์จในอัตราที่สูงกว่า 20 C ขึ้นไป มักจะถูกใช้งานในวงการวิทยุบังับ วิทยุรับ-ส่ง ซึ่งจะไม่ใช้วิธีธรรมดา ๆ ในการชาร์จเรียกได้ว่า ต้องชาร์จเร็วขนาดที่ต้องสามารถหยิบมาใช้แทนกันได้ในทันที ที่นิแคดชุดเก่าถูกใช้งานจนหมด

2.1.13 การดิสชาร์จนิแคด

ในการใช้งานถ่านนิแคด มักจะมีปัญหามาก ในเรื่องการดิสชาร์จไม่ถูกวิธี ที่พบประจำมักนำนิแคดมาใช้งาน ขณะที่ชาร์จยังไม่เต็มที่ บ่อยครั้ง จนโครงสร้างเคมีภายในสภาพเสมือนว่า นิแคด เกิดเป็นความจำขึ้นมา จนจำไม่ได้ว่า ความสามารถสูงสุดในการเก็บพลังงาน ของตัวเองเป็นเท่าไหร่ วิธีแก้ปัญหา ให้ทดลองดิสชาร์จให้หมด แล้วชาร์จให้เต็มที่สัก 3-4 เที่ยว ในระยะเวลายาวนานไม่ต่ำกว่า 10 ชั่วโมง ที่อัตราการชาร์จปกติ 0.1 C

ก่อนที่จะชาร์จประจุให้นิแคด ครั้งใด ควรดิสชาร์จให้หมดเสียก่อน โดยควรดิสชาร์จทีละเซลผ่านตัวต้านทานค่าหนึ่ง ซึ่งเป็นวิธีที่ดีที่สุด และประหยัดค่าใช้จ่าย ที่สามารถแน่ใจได้ว่าเซลถูกดิสชาร์จออกหมดอย่างสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7 วงจรอย่างง่ายในการดีสชาร์จ

จากรูปที่ 7 แสดงวงจรอย่างง่าย ที่สามารถนำมาใช้ในการดิสชาร์จ ได้อย่างมีประสิทธิภาพ อัตราการดิสชาร์จ ต่อเนื่องสูงสุดที่ใช้ทั่ว ๆ ไป คือ 2C ถ้าจะใช้เวลาที่สั้นกว่านี้ก็จะเป็น 4C โดยต้องจำกัด ที่อุณหภูมิไม่เกิน 50 องศาเซลเซียสขณะดิสชาร์จ

หลักการของการชาร์จนิแคด มีการชาร์จ 3 วิธี

1. แบบกระแสคงที่

ถ่านนิแคดมีความสามารถจ่ายกระแสได้ 500 mAh จะมีการชาร์จที่เหมาะสมคือ 0.1 C ของกระแส ความจุ เพราะฉะนั้นควรจะชาร์จด้วยกระแสคงที่ 50 mA เป็นเวลานาน 10 ชั่วโมงแต่จริง ๆ แล้ว ต้องชาร์จนาน 14-16 ชั่วโมงเพราะขณะเมื่อใกล้เต็มกระแสชาร์จน้อยลง จึงกินเวลานานขึ้น แบบนี้ใช้สำหรับถ่านนิแคดแบบชาร์จช้า ถ้าเป็นถ่านนิแคดแบบชาร์จเร็ว จะใช้กระแสในการชาร์จประมาณ 150 mA อัตราเวลาชาร์จนาน 3-5 ชั่วโมง แต่การชาร์จเร็วมีข้อเสียคือ เมื่อถ่านถูกชาร์จเต็มที่แล้ว ต้องรีบเอาออก เพราะมิฉะนั้นแล้ว น้ำยาเคมี ในถ่านจะได้รับความร้อนมากเกินไป ระเหยออกมาทางลิ้นระบายความร้อน ทำให้น้ำยาในก้อนถ่านแห้ง ถ่านอาจจะเสียได้ แต่สำหรับถ่านชาร์จช้า จะไม่เป็นอะไร เพราะสามารถทนความร้อนได้ และไม่มีลิ้นปิดเปิด

2. แบบแรงดันคงที่

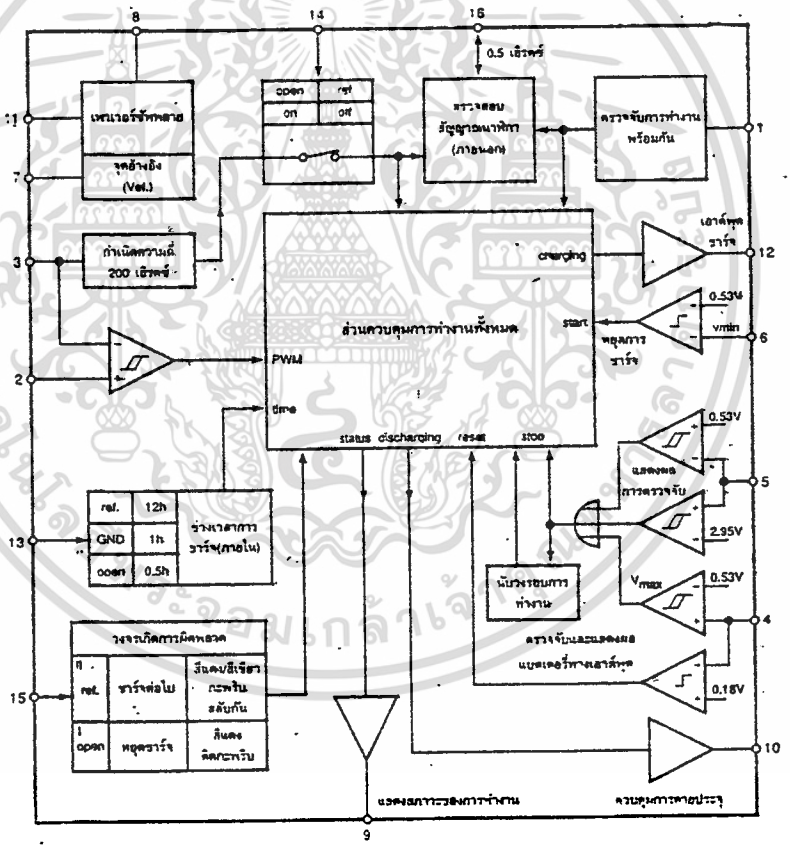
ถ่านนิแคดแต่ละก้อนมีแรงดัน 1.25 โวลต์ ดังนั้นจะชาร์จกี่ก้อนก็บวกแรงดัน เพิ่มเข้าไป เช่น 4 ก้อน ก็กำหนด แรงดันชาร์จได้ 1.25x4 = 5 โวลท์ แต่การชาร์จแบบนี้ เมื่อชาร์จตอนแรก จะมีกระแสไหลสูงมาก เพราะระดับแรงดันระหว่างเครื่องชาร์จกับถ่านนิแคด แตกต่างกันมาก อาจทำให้เกิดความร้อนสูงจนถ่านเสียหายได้ (ถ่านบวมหรือสารเคมีระเหยแห้งไป)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. แบบกระแสและแรงดันคงที่

การชาร์จแบบนี้ ใช้อุปกรณ์มากกว่า2 แบบแรก แต่ได้ผลคุ้มค่าเพราะเป็นวิธีที่ปลอดภัยที่สุด และถ่านจะมีแรงดันไม่เกินกว่าที่กำหนดไว้นั้นคือ ถ่านแต่ละก้อน จะมีแรงดันถูกต้อง และเมื่อชาร์จถ่านเต็มที่แล้ว สามารถทิ้งไว้ได้ในเครื่อง เพราะจะไม่มีกระแสไหลเนื่องจาก แรงดันระหว่างถ่านกับเครื่องชาร์จเท่ากัน

2.2 ไอซี U2400B



รูปที่ 8 องค์ประกอบภายใน U2400B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงาน

ในการเริ่มทำงาน IC U2400B จะเริ่มทำการคายประจุ เกิดเอาต์พุทที่ขา 10 เป็นลอจิก "high" โดยจะไปควบคุมอุปกรณ์ภายนอก ในการ คายประจุของถ่าน จนกระทั่งที่ขา 6 มีแรงดัน 0.525 โวลท์

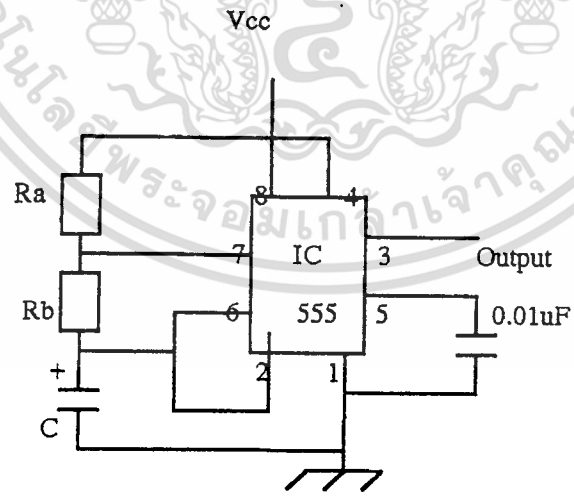
ส่วนควบคุมการทำงานก็จะสั่งหยุดคายประจุ พร้อมกับขา 12 ของ ไอซ เกิดเอาท์พุท "LOW" ไปสั่งให้อุปกรณ์ภายนอกทำการชาร์จถ่านนิแคด ด้วยกระแสคงที่ จนกระทั่งถึงตามเวลาที่ตั้งไว้ ก็จะทำการชาร์จกระแสเพียงเล็กน้อย โดยกระแสลดลงเป็น 6/1,000 ของกระแสตอนแรก

โดยขา 16 จะเป็นขาที่ใช้รับค่าตั้งเวลาจากอุปกรณ์ภายนอก และไอซีตัวนี้สามารถตั้งเวลาทำงานภายในตัวเองได้ที่ขา 13 คือ ที่ 12h,1h,0.5h ตามลำดับ

ขาที่ 5 และ 4 เป็นขาที่รับสภาวะจากอุปกรณ์ภายนอก เข้ามาประมวลผลในไอซี ในทำนองเดียวกัน ขา 15 และ 17 เป็นขาแรงดันอ้างอิง ที่แรงดัน 3 โวลท์ ส่วนขา 2 เป็นขาที่ใช้ควบคุมกระแส PWM ที่จะส่งสัญญาณออกไปควบคุมอุปกรณ์ภายนอก และขา 9 เป็นขาแสดงสภาวะการทำงานออกเป็นพัลซ์ขา 8 และขา 1 เป็น แรงดันซัพพลาย ส่วนขา 11 เป็น กราวด์

2.3 วงจรอะสเตเบิ้ลมัลติไวเบรเตอร์ หรือวงจร square-wave clock

โดยวงจรนี้จะประกอบขึ้นมาจาก ไทม์เมอร์ 555 ดังรูป

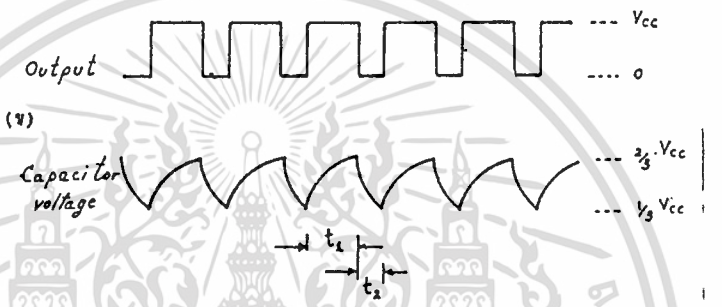


รูป 9 แสดงวงจรอะสเตเบิ้ลมัลติไวเบรเตอร์ ซึ่งประกอบขึ้นจากไอซี 555

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงาน

จากรูปความต้านทาน Ra และ Rb ทำหน้าที่เป็น ttiming Resistor เมื่อวงจรได้รับแรงดันไบอัสจากแหล่งจ่ายกำลัง ตัวเก็บประจุ C ซึ่งทำหน้าที่เป็น fiming capacitor จะสะสมประจุผ่านตัวความต้านทาน Ra และ Rb จนกระทั่งแรงดันตกคร่อมมีค่าเป็น 2/3Vcc จะทำให้วงจร upper comparater กระตุ้นวงจรฟริบฟล็อบ ภายในไอซี และมีผลให้ตัวเก็บประจุ C เริ่มคายประจุผ่าน ตัวความต้านทาน Rb แรงดันที่ตกคร่อม C ก็จะลดลงจนมีค่าเหลือ 1/3 Vcc แล้ววงจร lower comperator ในไอซีก็จะถูกกระตุ้นและเริ่มทำงานใหม่อีกครั้งหนึ่ง



รูป 10 แสดงการเปรียบเทียบแรงดันเอาท์พุทกับแรงดันตกคร่อม C

ตัวเก็บประจุ C จะทำการประจุและคายประจุ สลับกัน อย่างสม่ำเสมอ ทำให้แรงดันตกคร่อมตัวเก็บประจุ C มีค่าระหว่าง 2/3 Vee และ 1/3 Vee ตามลำดับ ศักย์ดาที่เอาท์พุทของวงจรจะมีค่าสูงในขณะที่ ตัว C ทำการเก็บประจุซึ่งถ้าให้ t1 คือ ช่วง เวลาที่เอาท์พุทมีศักย์ดาสูงดังนั้น

$$t1 = (Ra + Rb)\ C \log\ (Vcc - 2/3Vcc)/(Vcc - 1/3Vcc)$$

หรือ $t1 = 0.693\ (Ra + Rb)\ C$ วินาที

และศักย์ดาที่เอาท์พุทจะมีค่าต่ำในขณะที่ตัว C ทำการคายประจุ ซึ่งถ้าให้ t2 เป็นช่วงเวลาที่เอาท์พุทมีศักย์ดาต่ำ

ดังนั้น $t2 = 0.693\ Ra.C$ วินาที

ช่วงเวลารวมสำหรับการสะสมและคายประจุ คือ

$$T = t1 + t2$$

$$= 0.693\ (Ra + 2Rb)\ C \text{ วินาที}$$

ซึ่งค่า T ก็คือ ช่วงเวลาความกว้างของพัลซ์หนึ่งลูกคลื่น ดังนั้น ความถี่ของพัลซ์ที่เอาท์พุทก็คือ

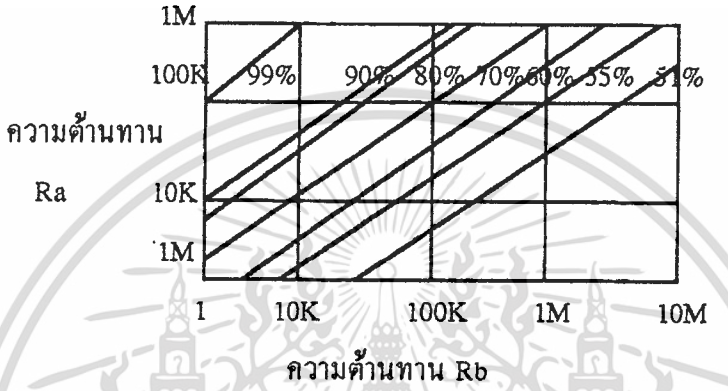
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
036946

$$f = 1/T = 1.443/(Ra + 2Rb)C \quad \text{เฮริทซ์}$$

ถ้า "ดิวตี้ไซเคิ้ล" ถูกนิยามว่า คืออัตราส่วนของช่วงเวลาที่เอาท์พุทมีศักย์คาสูงกับช่วงเวลาทั้งหมดของพัลซ์หนึ่งลูก เขียนแทนด้วย D

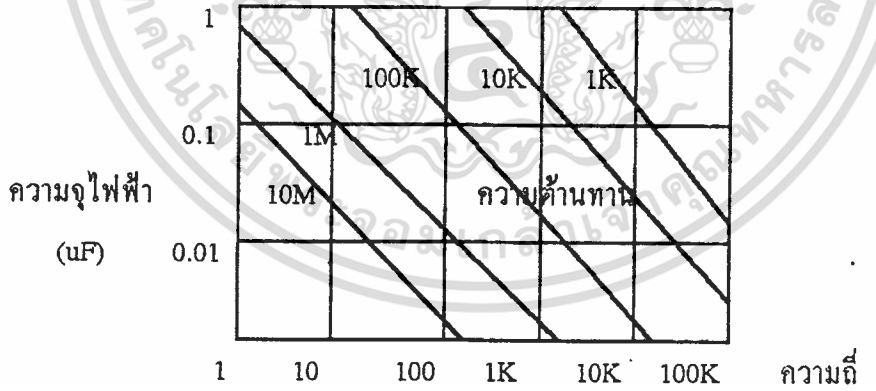
ดังนั้น duty cycle $D = t1/T = (Ra + Rb)/(Ra + 2Rb)$

ซึ่งจะเห็นว่าความต้านทาน Ra และ Rb เป็นตัวกำหนด ค่าดิวตี้ไซเคิ้ล จะแสดงดังกราฟ



รูปที่ 11 กราฟแสดงดิวตี้ไซเคิ้ล และพัลท์ที่ขึ้นอยู่กับ Raและ Rb

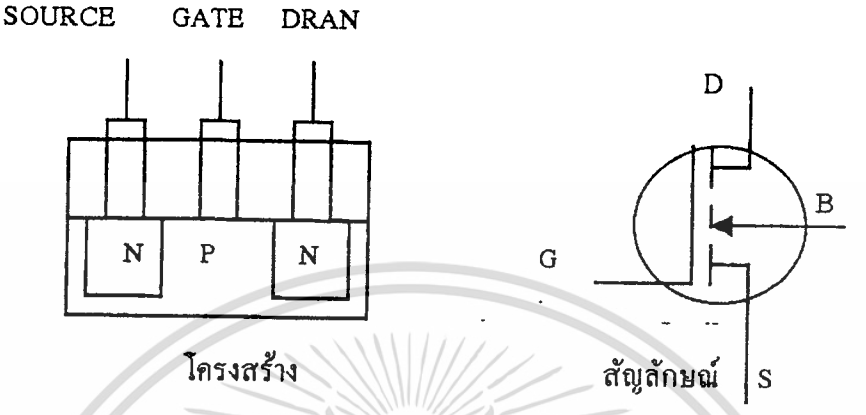
แต่ละค่าของ (Ra+2Rb) และ C จะะให้ความถี่ของพัลซ์ที่เอาท์พุทค่าต่าง ๆ กัน ซึ่งกราฟความสัมพันธ์นี้ จะแสดงดังรูป



รูปที่ 12 กราฟแสดงค่าความถี่ และความต้านทาน (Ra+2Rb)ค่าต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

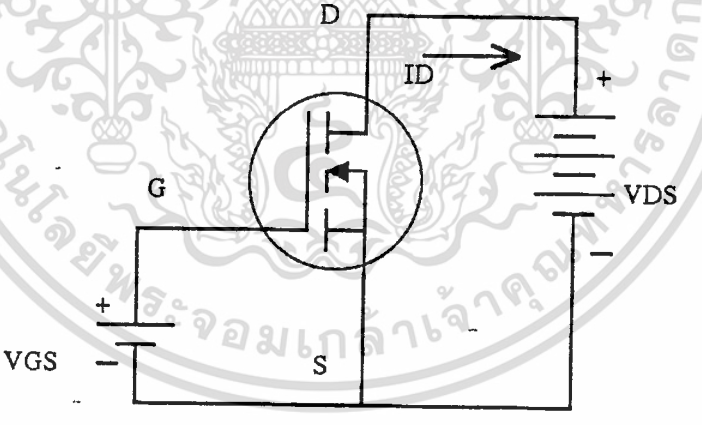
2.4 เอนฮานท์เมนท์มอสเฟต



รูปที่ 13 โครงสร้างและสัญลักษณ์ ของ MOSFET

การไบอัส

จ่ายฟอร์เวิร์ดไบอัสให้ขาเกต และขาซอร์ส แล้วจ่ายรีเวิร์อสไบอัสให้ขา เดรน ดังรูป



รูปที่ 14 แสดงการจ่ายไบอัสให้กับ MOSFET

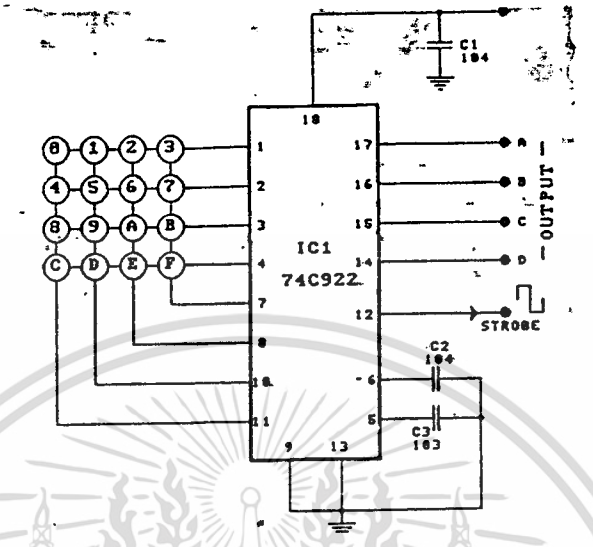
การทำงาน

ขณะยังไม่จ่ายไบอัสให้ขาเกต ถึงแม้จะจ่ายไบอัสให้ขาเดรนและซอร์ส ก็จะยังไม่มีกระแสเดรนไหล เพราะาขาซอร์ส และเดรนไม่ถึงกัน ถ้าเราจ่ายฟอร์เวิร์ดให้ขาเกตไฟบวกนี้จะชักนำ P ซับสเตรท ที่คั่นกลางซอร์สกับเดรน ให้เกิดประจุลบหนาแน่นขึ้น ทำให้บริเวณนี้เป็นสายกึ่งตัวนำชนิด N เป็นชนิดเดียวกับ ซอร์ส และเดรน จึงมีกระแสเดรนไหลจากซอร์สไปเดรน โดยกระแสนี้จะถูกควบคุมด้วยแรงดัน VGS โดยถ้าแรงดัน VGS มาก ก็ส่งผลทำให้กระแสเดรนไหลมาก แต่ถ้าแรงดัน VGS น้อย ก็จะส่งผลทำให้กระแสเดรนไหลได้น้อยเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 ไอซี 74C922

เป็นไอซีที่ใช้ในการเข้ารหัสคีย์บอร์ด โดยได้สรุปแสดงดังรูป



รูปที่ 15 แสดงการทำระหัส 16 คีย์เอนโคดเดอร์

จากรูปอินพุทคีย์ ของวงจร จะต่อแบบแมททริกซ์ โดยมีสัญญาณจาก Row และ Column อย่างละ 4 แถว ทำให้สามารถ Code สัญญาณออกไปได้ 16 ตัว ตั้งแต่ 0-15

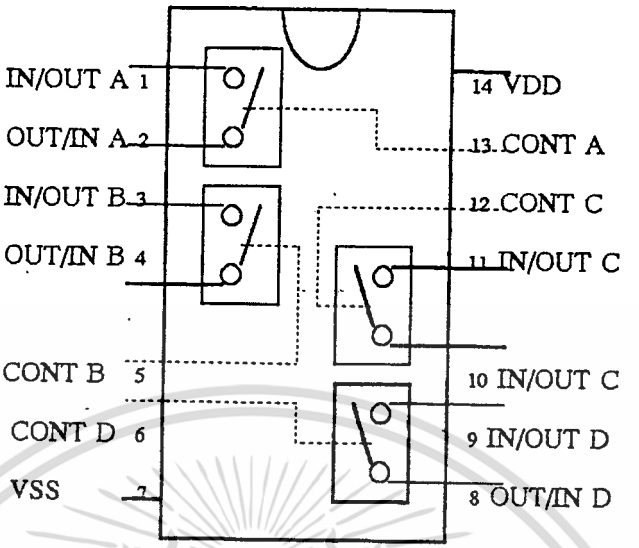
สัญญาณ ไบนารี่โคด เอ้าท์พุทของวงจร จะได้จากขา 14,15,16,17 ตามลำดับ เมื่อเรากดคีย์จะเกิดสัญญาณเอ้าท์พุทพัลซ์ ออกมาที่ขา 12 ด้วยทุกครั้ง สัญญาณพัลซ์ดังกล่าวจะมีช่วงเวลาสั้น ๆ เพียง 1 ลูก เราเรียกสัญญาณนี้ว่า strobe เพื่อใช้สำหรับนำไปควบคุมวงจรใช้งาน

เมื่อเราปล่อยสวิทช์ไบนารี่ เอาท์พุทที่ขา 14-17 จะยังคงค้างอยู่เช่นนั้นตลอดไป ตราบจนกระทั่งเรากดคีย์ใหม่จึงจะทำให้สัญญาณไบนารี่ ดังกล่าวเปลี่ยนแปลงตามคีย์ที่กด

2.6 ไอซี 4066B (อิเล็คทรอนิคส์สวิทช์)

เป็นไอซีชนิดซีมอส เบอร์ 4066B ภายในประกอบไปด้วยสวิทช์ 4 ตัว ซึ่งจะนำกระแสได้ 2 ทิศทาง คือ สวิทช์แต่ละตัวนี้ จะให้สัญญาณผ่านทางใดก็ได้ โดยการควบคุมที่ขาควบคุม ซึ่งมีอินพุทอิมพีแดนซ์สูงมากและสวิทช์แต่ละตัว จะมีความต้านทานสูงมากเมื่อถูกควบคุมให้เปิดวงจร ในทางตรงกันข้ามเมื่อปิดวงจรจะมีค่าความต้านทาน 90 โอห์ม จึงสามารถนำไปใช้งานได้กว้างขวาง

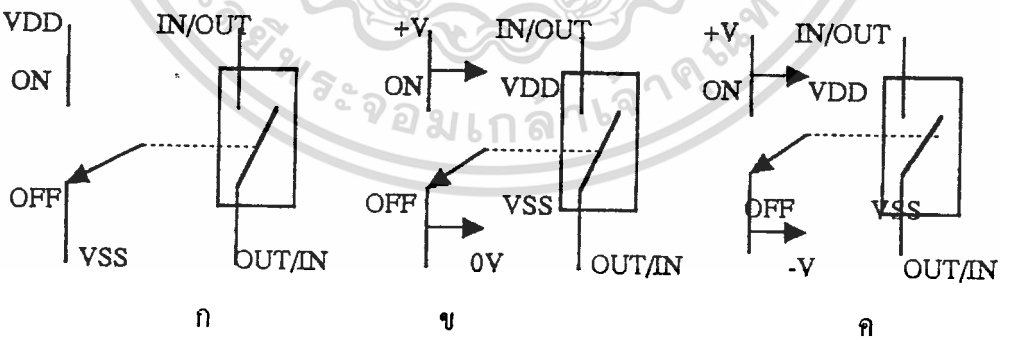
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 16 รายละเอียดและการจัดขาภายในของไอซี 4066 B

วงจรการทำงาน

จากรูปที่ 16 แสดงถึงรายละเอียดภายใน และการจัดขาของไอซีเบอร์ 4066 B เนื่องจากเป็นไอซีชนิดซีมอสจึงสามารถใช้กับแหล่งจ่ายไฟได้กว้างจาก 3 โวลท์ ถึง 18 โวลท์ และจากที่ได้กล่าวมาแล้ว ค่าสวิทช์นี้สามารถจะนำกระแสได้ทั้ง 2 ทิศทาง ดังนั้นเราจะต่อขั้วใดเป็นอินพุทหรือเอาท์พุทก็ได้ ดังรูป 17 ก.



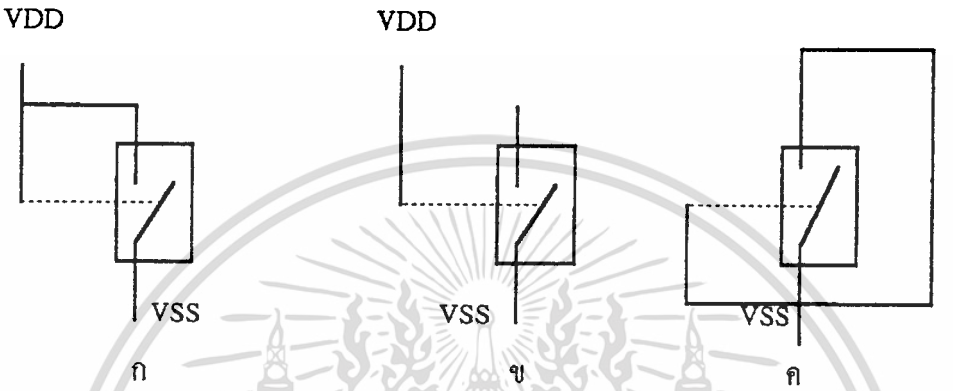
ก ข ค

รูปที่ 17 พื้นฐานของสวิทช์ แบบต่าง ๆ

แสดงการทำงานสวิทช์อิเล็คทรอนิคส์นี้ ซึ่งสวิทช์แต่ละตัวสามารถเปิดวงจร (OFF) โดยการต่อขาควบคุมให้กับไฟลบ หรือจะปิดวงจรโดยต่อขาควบคุมนี้เข้ากับไฟบวกในการใช้งานวงจรดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 17 ข. ไอซีเบอร์นี้ สามารถใช้กับแหล่งจ่ายไฟชุดเดียวก็ได้ โดยไฟลบ จะมีค่าเป็น 0 โวลท์ และไฟบวก (VDD) จะเท่ากับไฟบวกของแหล่งจ่ายไฟ ส่วนในการใช้งานกับวงจรอนาล็อก ดังรูป 17 ค. จะใช้แหล่งจ่ายไฟเป็น 2 ชุดแยกกัน คือ ไฟบวกและไฟลบ ซึ่งในการใช้แหล่งจ่ายไฟ 2 ชุดนี้ แรงดันสูงสุดของแหล่งจ่ายไฟจะถูกจำกัดไว้ที่ +-9 โวลท์



รูปที่ 18 แสดงการต่อสวิทช์ตัวที่ไม่ใช้งาน

ข้อควรระวัง

1. สัญญาณที่ใช้กับสวิทช์นี้ต้องมีค่าแรงดันไม่สูงกว่า แรงดันไฟบวกของแหล่งจ่ายไฟและต้องไม่ต่ำกว่าแรงดันไฟลบของแหล่งจ่ายไฟด้วย

2. สวิทช์ที่ไม่ได้ต่อใช้งานนั้นต้องดิสเอเบิ้ลตัวมันด้วย แสดงดังรูปที่ 17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 DOT MATRIX LCD MODULE

ปัจจุบัน LCD เป็นที่นิยมกันอย่างมาก สำหรับการแสดงผลในเครื่องมือเครื่องใช้ต่างๆ ไม่ว่าจะเป็นเครื่องเล่น VEDIO , เครื่องถ่ายเอกสาร , เครื่องมือวัดคุมต่างๆ , เครื่องคอมพิวเตอร์

LCD สามารถแบ่งประเภทตามลักษณะการแสดงผลได้ 3 แบบ

1. LCD แบบอักขระ (Character LCD Module)
2. LCD แบบ กราฟิก (Graphic LCD Module)
3. LCD แบบ เซกเมนต์ (Segment LCD Module)

LCD แบบอักขระ เป็นโมดูล LCD ที่สามารถแสดงตัวอักษร, ตัวเลข และเครื่องหมายต่างๆ ได้ โดยสร้างจุดเล็กๆ หรือ เรียกว่า ดอตเมตริกซ์ ซึ่งก็จะมีขนาดความกว้างและสูงของอักขระแต่ละตัวโดยทั่วๆไปมี 2 ขนาดคือ 5x7 จุด

นอกจากนั้น LCD แบบนี้ สามารถแสดงได้ 1 บรรทัดหรือมากกว่าได้ ขึ้นอยู่กับรุ่น LCD นั้นๆ

LCD แบบกราฟิก สามารถแสดงข้อมูลเป็นตัวอักษร ตัวเลข เครื่องหมาย และรูปภาพได้ ความละเอียดของภาพของ LCD แบบนี้ มีหลายขนาด ให้เลือกใช้ในปัจจุบันมีพัฒนาเป็นสี่สีแล้วด้วย

LCD แบบเซกเมนต์ เป็นโมดูล LCD แบบเล็กที่สุด มีลักษณะการแสดงผลคล้ายกับ LED 7 ส่วน โดยปกติมักจะมีมากกว่า 1 หลัก พบเห็นทั่วไปในดิจิตอล มัลติมิเ ตอร์

ส่วนประกอบส่วนใหญ่ๆ ของ LCD

1. Dot Metrix LCD เป็นตัวแสดงผลให้เรามองเห็นในลักษณะ การปิดและเปิด ตัวอักษรกับแสง ก็คือ ส่วนของที่เป็นตัวกระจกบรรจุผลึก

2. Driver เป็นตัวรับสัญญาณจากตัวควบคุมมาขับผลึก LCD อีกทีหนึ่งโดยมีเบอร์ที่นิยมใช้ใน LCD Module เช่น HD4400H , MSM5259

3. Controller เป็นตัวรับข้อมูลจากอุปกรณ์ภายนอกมาและจัดการควบคุม LCD Module ให้ทำงานแสดงผลต่างๆ เช่น การลบจอภาพ, การเกิดตัวอักษร เป็นต้น โดยมีเบอร์ IC ที่นิยมใช้กันคือ HD4478 ซึ่งจะใช้ในแบบ Character LCD Module เป็นส่วนใหญ่ และ HD61830 จะใช้ในแบบ Graphic LCD Module

คุณสมบัติของ DOT MATRIX LCD MODULE สามารถสรุปเป็นข้อ ๆ ได้ดังนี้

1. มีให้เลือกหลายรุ่นตามการใช้งาน โดยมีจำนวนตัวอักษรและบรรทัดแตกต่างกันไป
2. ตัวอักษรแสดงด้วย DOT MATRIX ขนาด 5X8 DOT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. สามารถต่อเข้ากับระบบไมโคร ได้ 3 ลักษณะ คือ

3.1) แบบ Memory Map (20-pin LCD Bus)

3.2) แบบผ่าน 8255 Port (20-pin 8255 Bus)

3.3) การต่อผ่าน Port 1 ของ MCS-51

4. การใช้งาน ง่ายและสะดวกระบบไมโครเพียงแค่ส่งข้อมูลให้กับ LCD MODULE เท่านั้น ข้อความก็จะปรากฏบนแผงแสดง และจะคงค้างไว้ตลอด ทำให้ไม่ต้องเสียเวลาหลักของระบบไมโคร

5. มีคำสั่งพิเศษสำหรับอำนวยความสะดวกมากมาย เช่น Clear Display , Home Cursor , On-off Cursor , Blink Character และอื่นๆ อีก

6. สามารถแสดงผลเป็นตัวอักษรภาษาอังกฤษและตัวเลขได้ 160 ตัว และสัญญาลักษณ์พิเศษอีก 32 ตัว รวมทั้งสามารถกำหนดอักษรที่ออกแบบเองได้อีก 8 ตัว

7. กินกระแสน้อย และน้ำหนักเบา รวมทั้งทำงานได้ด้วยไฟเลี้ยงระดับ 5V เท่านั้น ขาสัญญาณของโมดูล LCD แบบอักขระที่ใช้กันอยู่ทั่วไปแบบ 2 บรรทัด 20 ตัวอักษรมีขาต่อใช้งานทั้งสิ้น 14 ขา ได้แก่

Vss (ขา 1) ; ต่อกราวด์

Vdd (ขา 2) ; ต่อไฟเลี้ยง +5V

Vo (ขา 3) ; เป็นขาอินพุตสำหรับป้อนแรงดันเพื่อปรับความเข้มของการแสดง ผล

RS (ขา 4) ; เป็นขาอินพุตใช้เลือกว่าข้อมูลที่ทำการส่งในขณะนั้นเป็นข้อมูลคำสั่ง สำหรับรีจิสเตอร์ข้อมูลแสดงผลของ LCD โดยถ้าขานี้เป็น “0”ข้อมูลที่ส่งมาจะเป็นข้อมูลคำสั่งแต่เป็น “1” ข้อมูลที่ส่งมา จะเป็น ข้อมูลสำหรับการแสดงผล

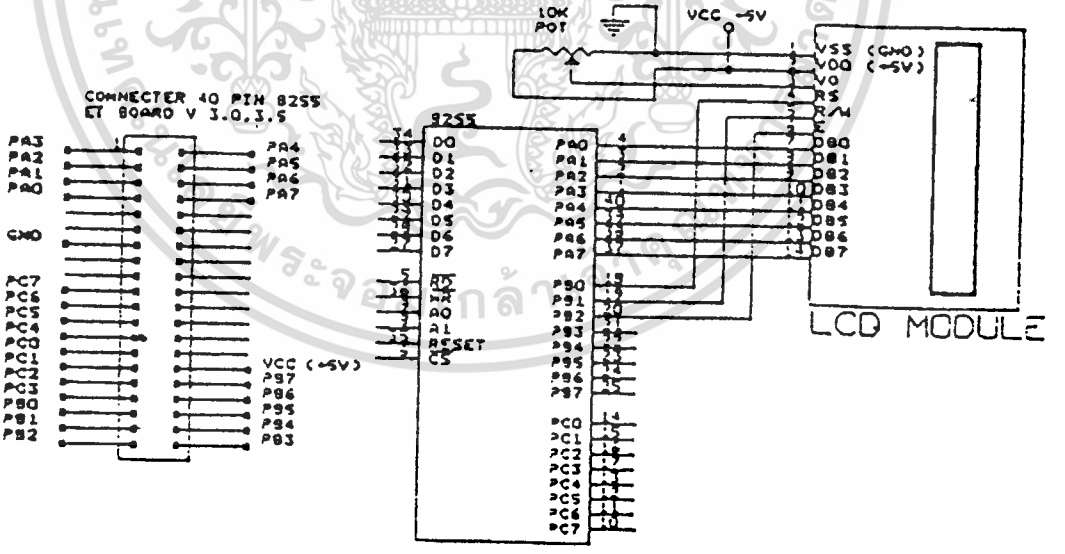
R/W^(ขา 5); เป็นขาที่ใช้เลือกว่าจะอ่านหรือเขียนข้อมูลกับ LCD ถ้าหากเป็น “0” จะ.เป็นการเขียนข้อมูลที่ส่งมาจะเป็น”1” จะเป็น การอ่าน ข้อมูล

E (ขา 6) ; เป็นขาที่อีเนเบิล(Enable) LCD ให้ทำงาน

DB0 - DB7(ขา 7-14); เป็น ขาที่เป็นทางผ่านของข้อมูลระหว่าง LCD กับอุปกรณ์ภายนอก ขนาด 8 บิต อนึ่ง ของ RS , R/W^ และ E จะใช้งาน ร่วมกันโดยมีลักษณะความสัมพันธ์ ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RS	R/$\overline{W}$	E	การทำงาน
0	0		เขียนคำสั่ง
0	1		อ่านสถานะของ LCD
1	0		เขียนข้อมูล
1	1		อ่านข้อมูล



รูปที่ 19 ลักษณะการต่อ LCD กับ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดของคำสั่ง HD44780

1. CLEAR DISPLAY

Clear display

RS	R/W	DB7							DB0
0	0	0	0	0	0	0	0	0	1

Code

คำสั่งนี้จะเป็นการเขียนช่องว่างหรือ SPACE (ASCII 20H) เข้าไปใน DD RAM ทั้งหมดและทำการ SET DD RAM ADDRESSER เป็นศูนย์ ตัว CURSOR จะกลับไปอยู่ตำแหน่งบนสุดซ้ายมือของจอภาพ SET I/D = 1, S ไม่มีการเปลี่ยนแปลง

2. RETURN HOME

Return home

RS	R/W	DB7							DB0
0	0	0	0	0	0	0	0	1	0

Code

No effect

คำสั่งนี้จะเป็นการ SET DD RAM ADDRESSER เป็นศูนย์ ตัว CURSOR จะกลับไปอยู่ตำแหน่งบนสุดซ้ายมือของจอภาพข้อมูลในจอภาพไม่เปลี่ยน

3. ENTRY MODE SET

Entry mode set

RS	R/W	DB7							DB0
0	0	0	0	0	0	0	1	I/D	0

Code

BIT I/D : โดยจะเป็นตัวกำหนดให้ว่าเมื่อเขียนหรืออ่านข้อมูลแล้วจะทำให้ DD RAM ADDRESS เพิ่มขึ้นหนึ่งลดลงหนึ่งโดย

1 = เพิ่ม

2 = ลดลงหนึ่ง

BIT S : เป็นตัวกำหนดแสดงผลโดย

ถ้า S = 1 จะเป็นการใส่ข้อมูลแล้วตัว CURSOR อยู่กับที่ ข้อมูลจะถูกดันไปทาซ้าย

เอกสารนี้เป็นเอกสาร[illegible] ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า S = 0 ข้อมูลจะอยู่กับที่ตัว CURSOR จะถูกดันไปทางขวามือ

4. DISPLAY ON/OFF CONTROL

Return home

RS	R/W	DB7							DB0
0	0	0	0	0	0	1	D	C	B

Code

No effect

BIT D : เป็น BIT ให้เปิดปิดหน้าจอภาพโดยถ้า

D = 1 จะ ON และ

D = 0 จะ OFF

BIT C : จะให้แสดง CURSOR ให้ BIT C = 1 และถ้าไม่ต้องการแสดง CURSOR BIT C= 0 โดยตัว CURSOR จะอยู่ที่ LINE ที่ 8 ในแบบ 5X7 DOT และจะอยู่ LINE ที่ 11 ในแบบ 5X7 DOT

BIT B : เป็น BIT SET การกระพริบของ CURSOR โดย B = 1 การกระพริบ B = 0 ไม่มี การกระพริบโดยมีระยะเวลาการกระพริบประมาณ 379.2 ms

5. CURSOR OR DISPLAY SHIFT

Cursor or display shift

RS	R/W	DB7							DB0
0	0	0	0	0	1	S/C	R/L	*	*

Code

No effect

เป็นคำสั่งกำหนดให้ตำแหน่ง CURSOR หรือข้อมูลไปเกิดทางซ้ายหรือขวาโดยไม่ต้องใช้คำสั่งเขียนหรืออ่าน โดย

S/C	R/L	
0	0	ทำการย้าย CURSOR ไปจากตำแหน่งเดินไปซ้ายมือ 1 ตำแหน่ง
0	1	ทำการย้าย CURSOR ไปจากตำแหน่งเดินไปขวามือ 1 ตำแหน่ง
1	0	เป็นการดันตัวอักษรที่เกิดไปทางซ้าย
1	1	เป็นการดันตัวอักษรที่เกิดไปทางขวา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. FUNCTION SET

Function set

RS	R/W	DB7 ---------- DB0							
0	0	0	0	1	DL	N	F	*	*

Code No effect

BIT DL : เป็นการ SET การติดต่อว่าจะให้เป็นแบบ 8 บิต หรือ 4 บิต โดยถ้าต้องการติดต่อ 4 บิต DL = 0 และ 8 บิต DL = 1

N : เป็นการ SET บรรทัดการแสดงผล N = 0 แสดง 1 บรรทัด N = 1 แสดง 2 บรรทัด ในกรณีมากกว่า 2 บรรทัด ก็ให้ SET N = 1

F : เป็นการ SET ขนาด DOT การแสดงผล 5X7 หรือ 5X10 โดย F = 0 เป็นแบบ 5X7 และ F = 1 เป็นแบบ 5X10

N F	No.of display lines	Character font	Duty factor	Remarkers
0 0	1	5X7 dots	1/8	
0 1	1	5X10 dots	1/11	
1 *	2	5X7 dots	1/16	Cannot display 2 lines with 5X10 dot character font

* No effect

7. SET CG RAM ADDRESS

Set CG RAM address

RS	R/W	DB7 ---------- DB0							
0	0	0	1	A	A	A	A	A	A

Code <----------Higher Order bits Lower Order bits---------->

ใน HD44780 นั้นจะมีหน่วยความจำอยู่ 2 ชุด คือ DISPLAY DATA RAM (DDRAM)จำนวน 80X8 BIT และ CHARACTER GENERATOR RAMจำนวน 512 BIT และ 7200 BIT คำสั่งนี้จะเป็นการ SET ADDRESS ใน CG RAM โดยต้องทำการ SET ADDRESS ก่อนเขียนหรืออ่านข้อมูลจาก CG RAM ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. SET DD RAM ADDRESS

Set DD RAM address

RS	R/W	DB7							DB0
0	0	1	A	A	A	A	A	A	A

Code <----------Higher Order bits Lower Order bits---------->

เป็นคำสั่ง SET ค่า ADDRESS ใน DD RAM ในการเขียนหรืออ่านจาก DD RAM (DD RAM คือ ส่วนที่จะแสดงผลหน้าจอ LCD) โดยจำนวน ADDRESS ที่จะเกิดขึ้นบนจอ LCD จะอยู่กับ SET ค่า N ด้วย

N = 0 (1 บรรทัด) ADDRESS จะอยู่ 00-4FH

N = 0 (2 บรรทัด) ADDRESS จะอยู่ 00-27H สำหรับบรรทัดที่ 1 และ 40H-67H สำหรับ บรรทัดที่ 2

แบบการจัด ADDRESS ของ DD RAM หน้าจอ LCD แบบ 16 ตัวอักษร 2 บรรทัด ,16 ตัวอักษร 4 บรรทัด ,20 ตัวอักษร 1 บรรทัด , 20 อักษร 2 บรรทัด และ 40 ตัวอักษร 2 บรรทัด

9. READ BUSY FLAG AND ADDRESS

READ BUSY FLAG AND ADDRESS

RS	R/W	DB7							DB0
0	1	BF	A	A	A	A	A	A	A

Code <----------Higher Order bits Lower Order bits---------->

เป็นคำสั่งอ่านค่า BUSY FLAG ซึ่งจะเป็นตัวบอกว่าตัว HD44780 นี้อยู่ในขบวนการทำงานภายในอยู่สภาพพร้อมจะรับข้อมูล โดย

BF = 1 อยู่ในขบวนการทำงานภายในไม่พร้อมจะรับข้อมูลหรือคำสั่ง

BF = 0 พร้อมจะรับข้อมูลหรือคำสั่งได้

และนอกจากนี้ยังเป็นคำสั่งอ่านค่าข้อมูล ADDRESS ของ CG RAM หรือ DD RAM ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10. WRITE DATA TO CG หรือ DD RAM

WRITE DATA TO CG หรือ DD RAM

RS	R/W	DB7 ---------- DB0							
0	1	BF	A	A	A	A	A	A	A

Code <----------Higher Order bits Lower Order bits--------->

เป็นคำสั่งเขียนข้อมูลเข้าไปใน CG หรือ DD RAM โดยเมื่อเขียนข้อมูลและ ADDRESS จะเพิ่มหรือลดโดยอัตโนมัติตามคำสั่งที่ SET ใน ENTRY MODE ข้อกำหนดที่รู้ว่าเป็นการเขียนข้อมูลของ CG RAM หรือ DD RAM ทำได้โดยการ SET ADDRESS ของ CG RAM ขึ้นมาก่อนจะเขียนข้อมูล

11. READ DATA FROM CG หรือ DD RAM

READ DATA FROM CG หรือ DD RAM

RS	R/W	DB7 ---------- DB0							
1	1	D	D	D	D	D	D	D	D

Code <----------Higher Order bits Lower Order bits--------->

เป็นคำสั่งเขียนข้อมูลเข้าไปใน CG หรือ DD RAM โดยก่อนอ่านค่าจาก DD RAM หรือ CG RAM นี้ควรจะใช้คำสั่ง SET ADDRESS ของ CG RAM ก่อนเพื่อให้รู้ว่าข้อมูลที่อ่านได้นั้นเป็น DD RAM จากตารางการทำงานจะเห็นว่าการใช้งาน LCD MODULE นั้นง่ายเพียงแต่เราส่งคำสั่งเริ่มแรกและ SET ความต้องการในขนาดตัวอักษร, CURSOR หลังจากนั้นเราสามารถเขียนตัวอักษรเข้าไปใน DD RAM ตามตารางตัวอักษรที่ให้มานั้นก็จะเกิดอักษรในจอภาพ LCD เรายังสามารถกำหนดตำแหน่งตัวอักษรที่เกิดขึ้นบนจอได้โดยการ SET DD RAM ADDRESS ตามตารางที่ให้มาในหัวข้อ SET DD RAM ADDRESS

Ø0	Ø1	Ø2	Ø3	Ø4	Ø5	Ø6	Ø7	Ø8	Ø9	ØA	ØB	ØC	ØD	ØE	ØF	1Ø	11	12	13
4Ø	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F	5Ø	51	52	53

ตารางที่ 4 แสดงตำแหน่งของ LCD รุ่น DMC202

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9.CG RAM : Character pattern area can be rewritten by program.

ตารางที่ 5 ตารางตัวอักษร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DMC161C

• Display Format(16character ×1line) • Display Fonts(5×8dots) • Driving Method(1/8D)

ABSOLUTE MAXIMUM RATINGS

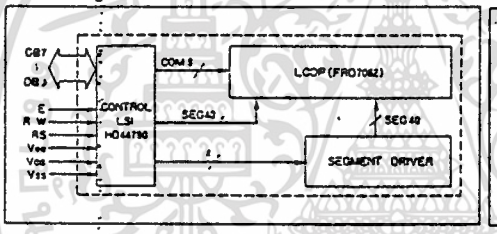
Item	Symbol	Test Condition	Standard Value min.	typ.	max.	Unit
Power Supply Voltage for Logic	Vcc−Vss	——	0	—	7	V
Power Supply Voltage for LCD Drive	Vcc−Vee	——	0	—	13.5	V
Input Voltage	Vi	——	Vss	—	Vcc	V
Operating Temperature	Ta	——	0	—	+50	℃
Storage Temperature	Tstg	——	−20	—	+70	℃

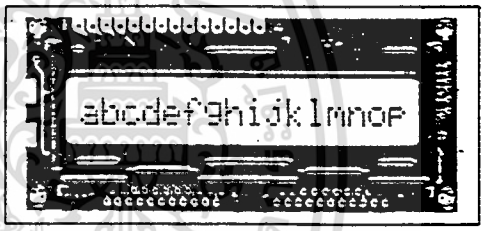
ELECTRICAL CHARACTERISTICS

Item	Symbol	Test Condition	Standard Value min.	typ.	max.	Unit
Input "High" Voltage	V_{IH}	——	2.2	--	Vcc	V
Input "Low" Voltage	V_{IL}	——	-0.3	--	0.6	V
Output "High" Voltage	V_{OH}	$-I_{OH}$=0.205mA	2.4	--	--	V
Output "Low" Voltage	V_{OL}	I_{OH}=1.2mA	--	--	0.4	V
Power Supply Current	Icc	Vcc=5.0V	--	0.5	2.0	mA

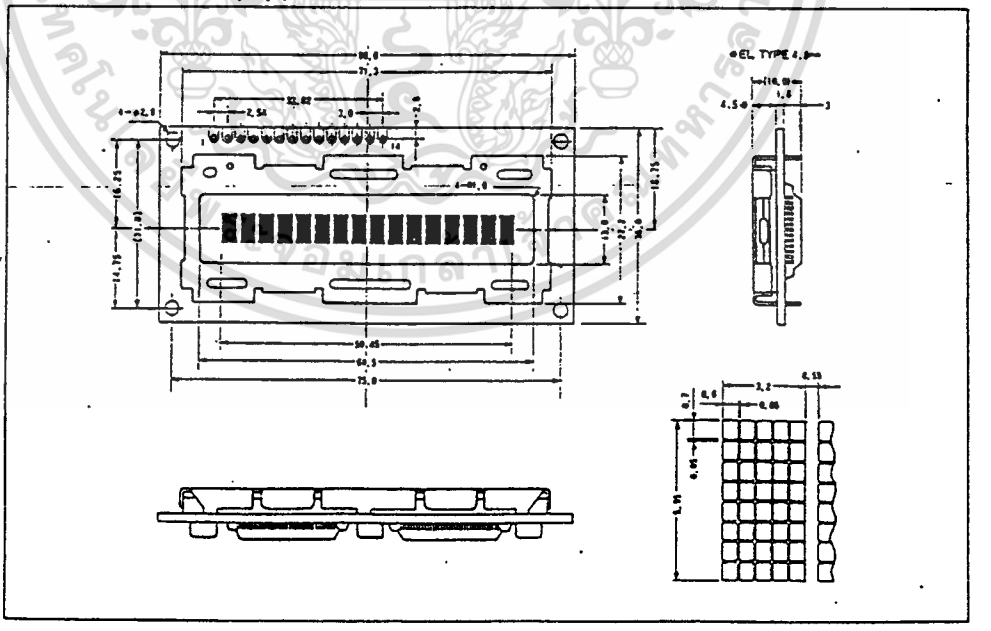
※Vcc=5.0V±5%, Ta=25°C

Block diagram





External dimensions / Display pattern



รูปที่ 20 แสดงลักษณะรูปร่างโดยทั่วไปของ Display ขนาด 16 character,1 แถว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีสมาชิกในตระกูลหลายเบอร์ด้วยกัน แต่ละเบอร์จะมีคุณสมบัติพิเศษแตกต่างกัน เช่น มีหน่วยความจำภายในสำหรับเก็บโปรแกรมและข้อมูลภายในชิปเพิ่มขึ้น มีวงจรเปลี่ยนค่าสัญญาณอานะล็อกเป็นดิจิตอลในตัว สามารถรับสัญญาณอินเตอร์รัพต์ได้หลายชนิด ทำกระบวน DMA (Direct Memory Access) ได้ในตัว มีรีจิเตอร์สำหรับใช้เป็นไทม์เมอร์หรือเคาน์เตอร์เพิ่มขึ้น

ไมโครคอนโทรลเลอร์เบอร์ที่นับเป็นเบอร์พื้นฐานสำหรับตระกูล MCS-51 นี้ได้แก่เบอร์ 8051,8031,8751 โดยเบอร์ 8051 จัดเป็นสมาชิกตัวแรกของตระกูล ซึ่งมีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น ROM ขนาด 4 กิโลไบต์ และหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายใน MCS-51 (RAM) เองจำนวน 128 ไบต์ มีพอร์ตขนาน 8 บิต 4 พอร์ต มีรีจิเตอร์สำหรับไทม์เมอร์หรือเคาน์เตอร์ขนาด 16 บิตรวม 2 ตัว รับสัญญาณอินเตอร์รัพต์จากภายนอก ได้ 2 ชนิด สามารถรับและส่งข้อมูลแบบอนุกรมผ่านทางพอร์ตสื่อสารข้อมูลแบบอนุกรม มีวงจรออสซิลเลเตอร์เพื่อสร้างสัญญาณนาฬิกาควบคุมการทำงานในตัวเอง

ส่วนเบอร์ 8751 จะมีคุณสมบัติเหมือนเบอร์ 8051 ทุกอย่าง ต่างกันตรงชนิดหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปของเบอร์ 8751 จะเป็น EPROM แทนที่จะเป็น ROM ส่วนเบอร์ 8031 จะเหมือนกับเบอร์ 8051 ต่างกันเพียงในเบอร์ 8031 ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์ใช้แรงดันไฟเพียง 5 โวลท์ในการทำงาน ส่วนกระแสไฟฟ้าที่ใช้จะแตกต่างกันไปตามชนิดของเทคโนโลยีที่ใช้ในการผลิต เบอร์ไมโครคอนโทรลเลอร์ตระกูลนี้ที่มีอักษร C อยู่ตรงกลางเบอร์เช่น 80C31,80C51 จะเป็นเบอร์ของชิปที่ผลิตโดยอาศัย เทคโนโลยี CHMOS ซึ่งใช้พลังงานในการทำงานน้อยกว่าและสามารถควบคุมการใช้พลังงานของชิปได้จากโปรแกรมเพื่อการประหยัดพลังงานในระบบ

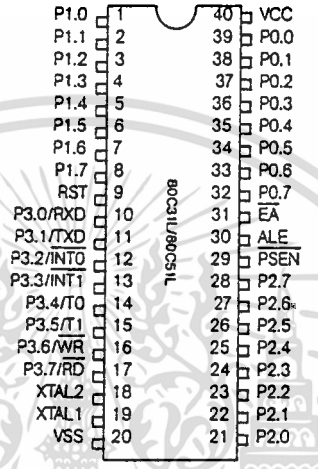
MCS-51 เป็นตระกูลไมโครคอนโทรลเลอร์ที่ถูกพัฒนาขึ้นมาจากตระกูล MCS-48 ดังนั้นจึงมีความสามารถเหนือกว่าหลายอย่าง

ตำแหน่งขาของ MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์จะมีตำแหน่งขาพื้นฐานที่เหมือนกัน ดังรูปที่ 21 หน้าที่การใช้งานแต่ละขาของชิปไมโครคอนโทรลเลอร์ในตระกูล MCS-51 มีดังนี้

- ขา Vss (ขา 20) สำหรับต่อลงกราวด์
- ขา Vcc (ขา 40) สำหรับต่อแหล่งจ่ายแรงดังกระแสตรงขนาด 5 โวลต์ (DC 5 volt)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 21 แสดงตำแหน่งขาต่างๆ ของMCS-51

- ขาพอร์ต 0 (ขา 32-39) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 0 ขนาด 8 บิต(P0.0- P0.7) แบบ Open Drain Bidirectional พอร์ตนี้สามารถใช้งานเป็นอินพุทเอาต์พุทพอร์ตทั่วไปได้ โดยหากใช้งานเป็นอินพุทพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้เพื่อบังคับให้ขาอยู่ในสถานะถูกปล่อย (มีสถานะ high impedance) นอกจากใช้งานเป็นอินพุทเอาท์พุทแล้ว พอร์ต 0 ยังใช้ในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกชิปด้วย โดยส่งค่าแอดเดรสไบต์ต่ำ (A0-A7) และมัลติเพลกซ์กับการส่งข้อมูล (D0-D7) จากหน่วยความจำภายนอก ในระหว่างการเขียนหรือการอ่านข้อมูลโดยมีวงจรพูลอัพภายใน

- ขาพอร์ต 1 (ขา 1-8) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 1 (P1.0 - P1.7) สามารถใช้งานเป็นอินพุตหรือเอาต์พุตพอร์ตทั่วไปได้ หากต้องการใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้มีสถานะ high impedance โดยมีวงจรพูลอัพภายในขา P1.0 , P1.1 ในเบอร์ 8052 จะใช้งานในหน้าที่อย่างอื่นนอกเหนือจากใช้เป็นอินพุตเอาต์พุตทั่วไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขาพอร์ต 2 (ขา 21-28) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 2 (P2.0-2.7) ขนาด 8 บิต แบบ Open Drain Bidirectional พอร์ตนี้สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปได้โดยหากใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อบังคับให้ขาอยู่ในสถานะ high impedance นอกจากจะใช้งานเป็นอินพุทเอาต์พุททั่วไปแล้ว พอร์ต 2 ยังใช้ในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกด้วย โดยใช้สำหรับส่งค่าแอดเดรสบัสไบต์สูง (A8-A15) และมีวงจรพูลอัพภายใน

- ขาพอร์ต 3 (ขา 10-17) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 3 (P3.0-P3.7) สามารถใช้งานเป็นอินพุทพอร์ตทั่วไปได้ หากต้องการใช้งานเป็นพอร์ตอินพุทพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้มีสถานะ high impedance โดยใช้วงจรพูลอัพภายใน นอกจากนี้ยังใช้งานในหน้าที่พิเศษต่างๆอีกหลายอย่างดังนี้

ขา P3.0 ใช้รับข้อมูลจากภายนอกแบบอนุกรม
ขา P3.1 ใช้ส่งข้อมูลออกไปภายนอกแบบอนุกรม
ขา P3.2 ใช้เป็นอินพุตเพื่อรับสัญญาณอินเตอร์รัพต์ชนิดที่ 0
ขา P3.3 ใช้เป็นอินพุตเพื่อรับสัญญาณอินเตอร์รัพต์ชนิดที่ 1
ขา P3.4 สัญญาณอินพุทให้เคาน์เตอร์ของไทม์เมอร์ 0
ขา P3.5 สัญญาณอินพุทให้เคาน์เตอร์ของไทม์เมอร์ 1
ขาP3.6ใช้เป็นสัญญาณควบคุมการเขียนข้อมูลการเขียนข้อมูลไปยังหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป
ขา P3.7 ใช้เป็นสัญญาณควบคุมการอ่านข้อมูลการเขียนข้อมูลไปยังหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป
การใช้งานพอร์ต ในหน้าที่พิเศษดังนี้กล่าวนี้จะต้องโหลดค่า 1 ไปยังแต่ละบิตที่ต้องการใช้ก่อนทุกครั้ง

- ขา RST (ขา 9) ใช้สำหรับการรีเซตวงจรทุกอย่างภายในชิป เพื่อเริ่มต้นการทำงานใหม่การรีเซตใช้เมื่อเริ่มจ่ายพลังหรือเมื่อโปรแกรมทำงานผิดพลาด เมื่อต้องการรีเซตชิป MCS-51 ขานี้เตอยังทำงานอยู่ โดยต้องต่อตัวต้านทานค่า 8.2 กิโลโอห์มเพื่อทำหน้าที่พูลดาวน์ (รักษาค่าแรงดันไฟฟ้าให้มีสถานะเป็นกราวด์) และเพื่อให้ตัวชิปรีเซตเองเมื่อเริ่มจ่ายพลังงานให้ต่อตัวเก็บประจุขนาด 10 ไมโครฟารัดคร่อมระหว่างขา RST กับ Vcc

- ขา ALE/PROG (ขา 30) เป็นขาสำหรับใช้ส่งสัญญาณออกไปภายนอก เพื่อควบคุมการแลตช์ค่าแอดเดรสไบต์ต่ำ จากพอร์ต 0 ในระหว่างการติดต่อหน่วยความจำสำหรับเก็บโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

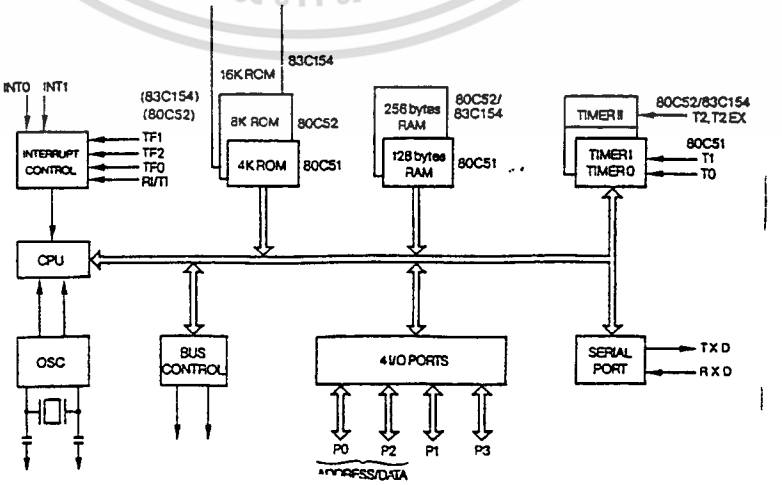
หรือข้อมูลภายนอก ปกติเมื่อไม่มีการติดต่อหน่วยความจำภายนอกขานี้จะส่งสัญญาณพัลซ์ออกมาด้วยความถี่ 1/8 ของความถี่ออสซิลเลเตอร์ที่ใช้ตลอดเวลา ดังนั้นเราสามารถใช้ความถี่ที่ได้จากขานี้ไปใช้งานอย่างอื่นได้ แต่ความถี่ที่ขานี้จะลดลงครึ่งหนึ่งในระหว่างติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิป นอกจากนี้ขา ALE ยังใช้สำหรับควบคุมการเขียนโปรแกรมลงใน EPROM สำหรับ MCS-51 เบอร์ที่มีหน่วยความจำสำหรับเก็บโปรแกรมลงภายในเป็น EPROM

- ขา PSEN (ขา 29) ใช้ส่งสัญญาณสโตรบเพื่ออ่านคำสั่งจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิป เมื่อชิปทำงานด้วยโปรแกรมจากภายนอกขานี้จะส่งสัญญาณสโตรบสองครั้งในแต่ละแมชชีนไซเกิลแต่ในช่วงการเขียนหรืออ่านข้อมูลกับหน่วยความจำภายนอกหรือเมื่อใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปจะไม่มีสัญญาณออกมาจากนี้

- ขา EA/Vpp (ขา 31) เป็นขาสำหรับใช้เลือกให้ MCS-51 ทำงานจากโปรแกรมที่อยู่ภายในหรือภายนอกชิป โดยหากขานี้มีสถานะเป็น 0 หมายถึงให้ใช้โปรแกรมจากหน่วยความจำที่เก็บโปรแกรมภายนอก หากขานี้มีสถานะเป็น 1 หมายถึงบังคับให้ MCS-51 ใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป และสำหรับ MCS-51 ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปหรือจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิปด้วยการต่อขา EA กับไฟเลี้ยงหรือกราวด์ตามลำดับ ส่วนใน MCS-51 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป ให้การต่อขานี้ลงกราวด์เสมอ

- ขา XTAL 1 (ขา 19) ใช้การต่อคริสตอลภายนอก โดยเป็นอินพุตเข้าสู่วงจรออสซิลเลเตอร์

- ขา XTAL 2 (ขา 18) ใช้การต่อคริสตอลภายนอก โดยเป็นอินพุตออกจากวงจรออสซิลเลเตอร์



รูปที่ 22 ไดอะแกรมโครงสร้างของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการออกแบบและการทำงานของวงจร

ในการออกแบบนั้น จะต้องคำนึงจุดประสงค์ต่าง ๆ เพื่อจะนำมาพิจารณาในการออกแบบวงจร โดยมีจุดประสงค์ที่ต้องการ คือ

1. ส่วนการตรวจความผิดพลาดของการชาร์จแรงดันเกิน โดยทำให้แรงดันตกคร่อมถ่านแต่ละก้อน ไม่เกิน 1.6 โวลท์ โดยรับแรงดันที่ขา 4 ของไอซี ถ้าขา 4 มีแรงดันสูงกว่า 0.53 โวลท์ ได้จากการแบ่งแรงดันจากความต้านทาน R14, R15, R16 แรงดันที่ตกคร่อมความต้านทานทั้งสามมี ซีเนอร์ได้โอดในการอ้างอิงแรงดันถ้าเกิดสภาวะ เช่นนี้เกิดขึ้น ไอซีจะสั่งหยุดทำงานจนกว่าจะปกติ

2. ส่วนตรวจจับอุณหภูมิเกิน ของถ่านที่ชาร์จ โดยใช้ตัวต้านทาน ที่เปลี่ยนค่าตามอุณหภูมิที่เปลี่ยนไป เรียกว่า เทอร์มีสเตอร์ NTC (Nagative temperature Coefficient) โดยต่อเข้าที่ขา 5 ของไอซี คือถ้าอุณหภูมิของถ่านที่ชาร์จสูงเกิน 40 องศาเซลเซียส ทำให้ค่าความต้านทานของ NTC ลดลง เมื่อแรงดันตกคร่อม ขา 5 ประมาณ 0.53 โวลท์ ไอซีจะสั่งหยุดจ่ายกระแสจนกว่า อุณหภูมิจะต่ำลงกว่า 40 องศาเซลเซียส วงจรจึงกลับมาทำงานตามเดิม

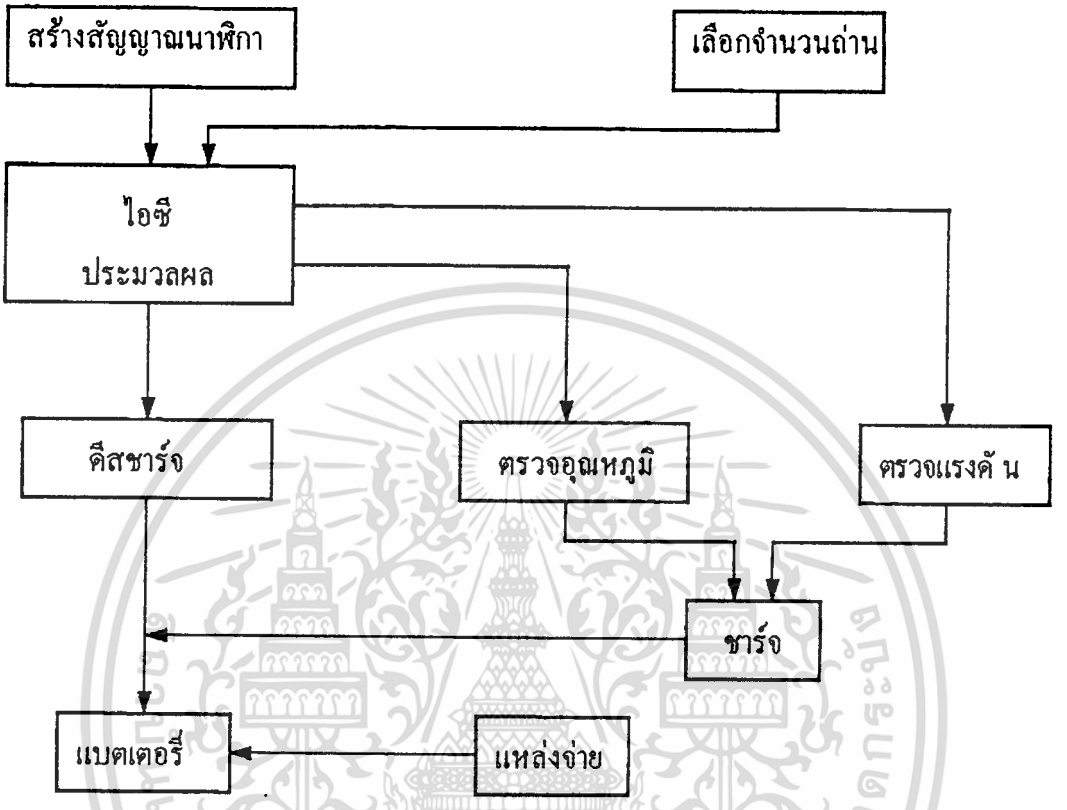
3. ส่วนตั้งเวลาในการชาร์จ โดยใช้ไอซี 555 ร่วมกับไอซี 4024 สร้างสัญญาณนาฬิกา ให้กับไอซี U2400B

4. ส่วนการเลือกจำนวนถ่านที่จะชาร์จ ส่วนนี้จะใช้สวิทช์อิเล็กทรอนิกส์เลือกต่อความต้านทานให้เหมาะสมกับจำนวนถ่านที่จะชาร์จ โดยใช้ร่วมกับไมโครคอนโทรลเลอร์ 8051 ในการควบคุม และแสดงผลทาง LCD โดยใช้คีย์บอร์ดในการเลือก

5. ส่วนของวงจรชาร์จ ใช้สวิทช์ควบคุมแบบสวิทชิ่งโดยใช้วงจรทรานซิสเตอร์แบบคาร์ริงตัน

6. ส่วนของวงจรดีสชาร์จ เราจะใช้ FET เป็นตัวโหลดดึงกระแสจากถ่านผ่าน ค.ต.ท ค่าต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 แสดงบล็อกการทำงานทั้งหมด

การทำงานของระบบ

จ่ายแรงดันไฟผ่านหม้อแปลง 18 โวลท์ 3 แอมป์ ผ่านวงจรเร็กติไฟร์เออร์ มีC13 กรองแรงดันใช้ฟิวส์ F2 ป้องกันวงจรทั้งหมด แรงดันคร่อม C13 มีค่าประมาณ 26 โวลท์ ไอซี 2 เป็นเร็กกูเลเตอร์ 8 โวลท์ เพื่อใช้เลี้ยงส่วนต่าง ๆ ของวงจร

ที่ไอซี 1 ขา 12 มีแรงดันไม่เกิน 25 โวลท์ โดยใส่ซีเนอร์ไดโอด ZD1 เข้าไปเพื่อผ่าน แรงดันไปกระตุ้น Q1 และ Q2 ให้จ่ายกระแสชาร์จคงที่ ในส่วนของวงจรจ่ายกระแสคงที่นี้ถูกควบคุมด้วย Q1 และ Q2 คือเมื่อแรงดันที่ขา 12 ของ IC1 เป็นลอจิก "LOW" ทำให้ขาเบสของ Q2 มีแรงดันคงที่ ดังนั้น แรงดันคร่อมขาเบส กับอิมิตเตอร์ ซึ่งมี Q1 และ Q2 ต่อร่วมกันเป็นวงจร คาร์ริ่งตัน มีแรงดันคงที่ประมาณ 1.5 โวลท์ แรงดันคร่อม R24, R25 จะขนานกัน ทำให้กระแสชาร์จประมาณ 2 แอมป์ มีไดโอด D2 ป้องกันการคายประจุขณะเครื่องชาร์จถ่านปิดสวิทช์การทำงาน

การคายประจุโดยทางเอาท์พุท จะถูกควบคุมกระแสแบบพัลซ์วิดธ์มอดูเลเตอร์ ที่ขา 10 ของไอซี 1 และมีแรงดันเก็บไว้ที่ C7 แรงดันที่ตกคร่อม C7 จะทำให้ FET M1 ทำงานให้กระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากถ่านที่คายประจุออกมาผ่านโหลด R21, R22 ค่ากระแสที่คายออกมานี้ขึ้นอยู่กับค่าแรงดันในตัวถ่าน โดยมีไอซี1 ตรวจสอบว่าคายประจุหมดแล้วจริงก็จะทำการสั่งชาร์จประจุทันที

ส่วนสวิทช์ S1 เป็นสวิทช์เลือกสัญญาณนาฬิกาควบคุมเวลาในการชาร์จประจุให้ IC1 โดยมี IC4 เป็นวงจรกำเนิดสัญญาณนาฬิกา แบบ อะสเตเบิ้ล มัลติไวเบรเตอร์ ให้คาบเวลามากถึง 1 เฮิร์ต ใช้ VR1 ในการปรับเอาท์พุท IC3 จะแบ่งเวลาชาร์จประจุเป็น 6 ย่าน

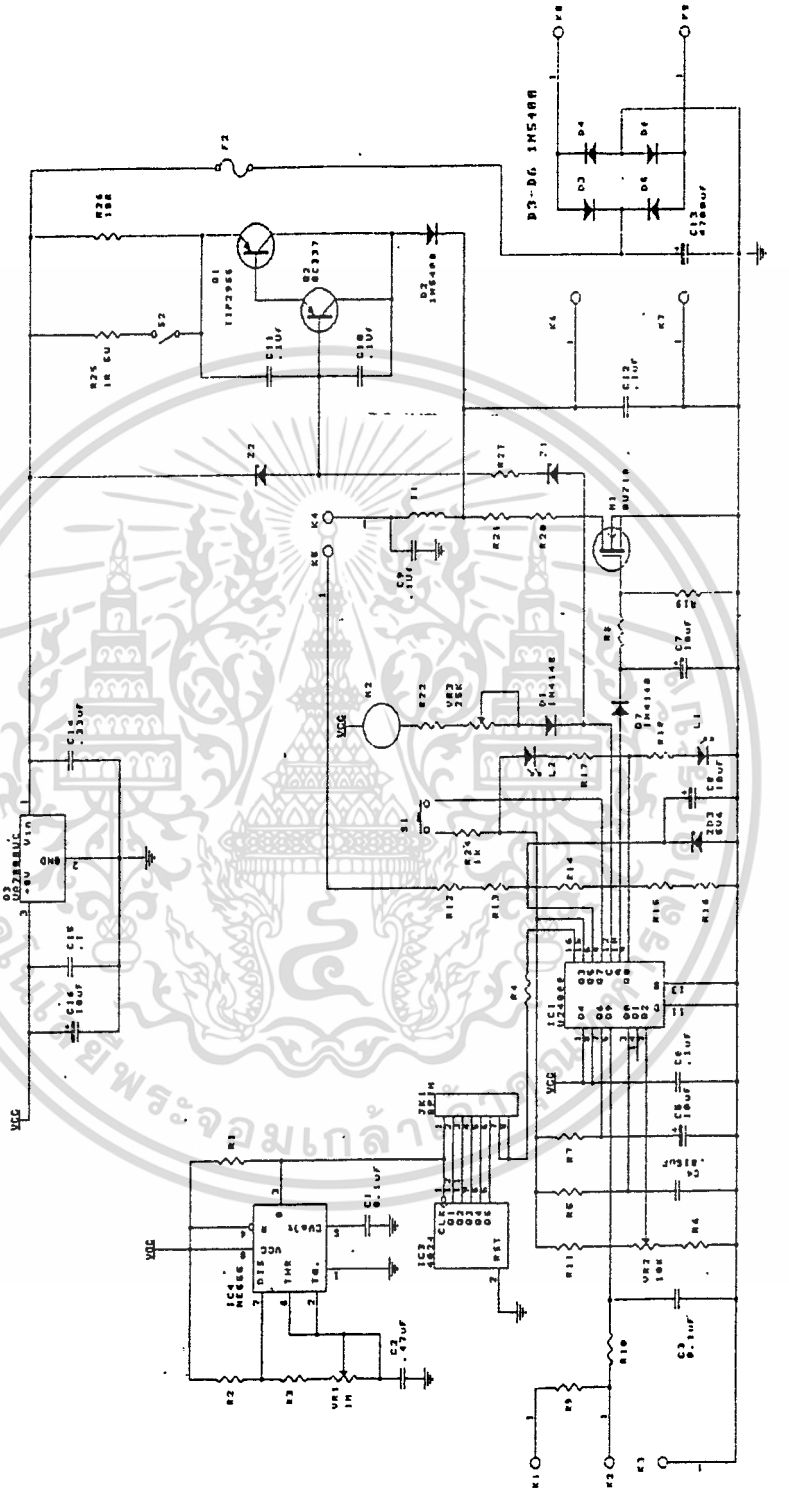
ส่วนการเลือกจำนวนถ่านที่จะชาร์จนั้นใช้ไอซีสวิทช์อิเล็กทรอนิกส์ ในการเลือกตัวความต้านทานในการชาร์จประจุที่เหมาะสม โดยสวิทช์อิเล็กทรอนิกส์นี้จะถูกควบคุมด้วยไมโครคอนโทรลเลอร์ที่มีคีย์โทรศัพท์ในการเลือก และแสดงทาง LCD

ในส่วนนี้จะมีซีเนอร์ไดโอด ZD3 ป้องกันขา 4 และขา 6 ของ IC1 ไม่ให้เกิน 6 โวลท์ ในส่วนของวอลลุ่ม VR2 จะปรับค่าแรงดันควบคุมความกว้างของ PWM และกำหนดกระแสในการชาร์จมี R5,R6 เป็นตัวขยายแรงดัน โดยมี VR2 ไว้ปรับเพื่อป้องกันการหยุดจ่ายคลื่น PWM กระแสชาร์จ ปรับได้ตั้งแต่ 0 - 100 มิลลิแอมป์ และ 2A

ในการตรวจวัดอุณหภูมิ จะให้เทอร์มิสเตอร์ ถ้ายังปกติ R9 จะถูกต่อลงกราวด์ แต่ถ้าอุณหภูมิสูงเกิน 40 องศาเซลเซียส R9 จะถูกตัดออกจากกราวด์

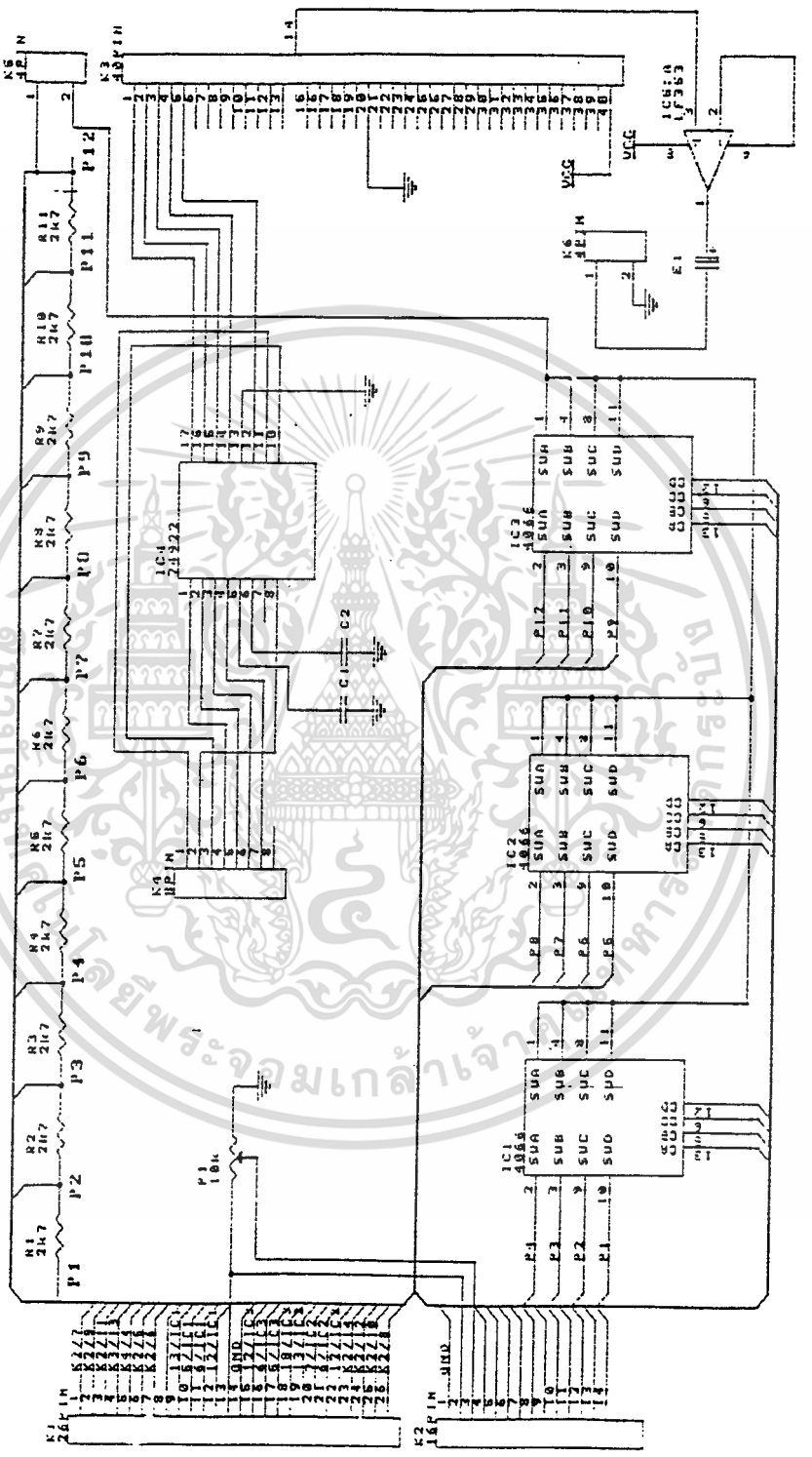
ในส่วนของ C10 และ L1 ต่อเพื่อป้องกันสัญญาณความถี่วิทยุ และป้องกันสัญญาณรบกวนจากแหล่งจ่ายไปให้รบกวนการทำงานของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



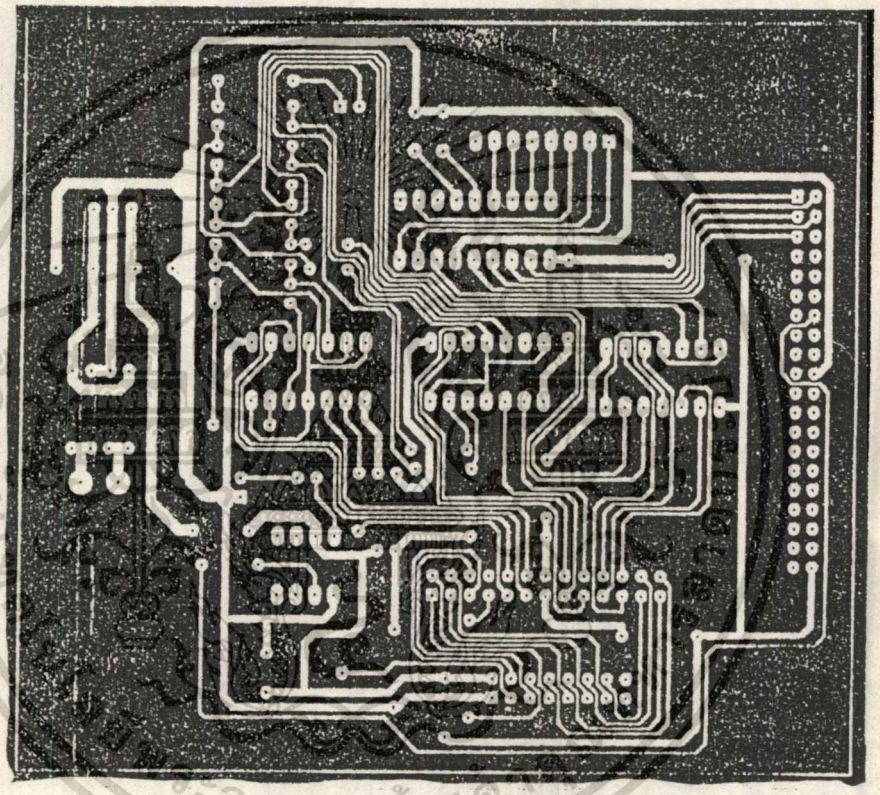
รูปที่ 3.2แสดงวงจรชาร์จและดิสชาร์จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



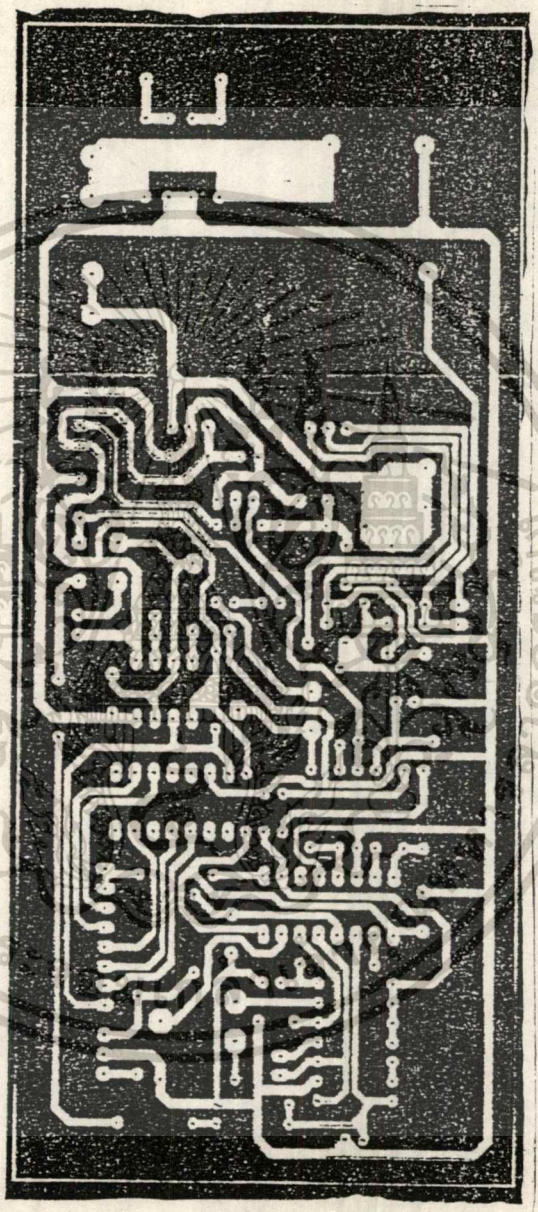
รูปที่ 3.3 แสดงวงจรการเลือกจำนวนถ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงลายวงจรการเลือกจำนวนถ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงลายวงจรชาร์จ และ ดิสชาร์จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลอง และผลการทดลอง

การทดลองได้ผลดังนี้ตารางการทดลองที่ 4.1

ตำแหน่งสวิทช์ S1	จำนวนถ่านที่ชาร์จ (ก้อน)	(LED เขียว)			(LED แดง)
		ขณะชาร์จ	ขณะไกล้เต็ม	LED ติดตลอดที่เวลา	
B	1	ติดกระพริบ	ติดตลอด	30 min	ติดกระพริบ
	2	ติดกระพริบ	ติดตลอด	30 min	ติดกระพริบ
	3	ติดกระพริบ	ติดตลอด	30 min	ติดกระพริบ
	4	ติดกระพริบ	ติดตลอด	30 min	ติดกระพริบ
	5	ติดกระพริบ	ติดตลอด	30 min	ติดกระพริบ
	6	ติดกระพริบ	ติดตลอด	30 min	ติดกระพริบ
	7	ติดกระพริบ	ติดตลอด	30 min	ติดกระพริบ
	8	ติดกระพริบ	ติดตลอด	30 min	ติดกระพริบ
	9	ติดกระพริบ	ติดตลอด	30 min	ติดกระพริบ
	10	ติดกระพริบ	ติดตลอด	30 min	ติดกระพริบ
	11	ติดกระพริบ	ติดตลอด	30 min	ติดกระพริบ
	12	ติดกระพริบ	ติดตลอด	30 min	ติดกระพริบ
C	1	ติดกระพริบ	ติดตลอด	1 hr	ติดกระพริบ
	6	ติดกระพริบ	ติดตลอด	1 hr	ติดกระพริบ
	12	ติดกระพริบ	ติดตลอด	1 hr	ติดกระพริบ
D	1	ติดกระพริบ	ติดตลอด	2 hr	ติดกระพริบ
	12	ติดกระพริบ	ติดตลอด	2 hr	ติดกระพริบ
E	1	ติดกระพริบ	ติดตลอด	4 hr	ติดกระพริบ
	12	ติดกระพริบ	ติดตลอด	4 hr	ติดกระพริบ
F	1	ติดกระพริบ	ติดตลอด	8 hr	ติดกระพริบ
	6	ติดกระพริบ	ติดตลอด	8 hr	ติดกระพริบ
G	8	ติดกระพริบ	ติดตลอด	16 hr	ติดกระพริบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปและวิจารณ์พร้อมข้อเสนอแนะ

สรุปและวิจารณ์

ในส่วนการออกแบบส่วนของการเลือกจำนวนถ่าน ที่จะทำการชาร์จประจุ ถ้าใช้สวิทช์แบบอะนาล็อก ในการเลือกถ่านจำนวนก้อนมาก ทำให้แรงดันสูงทำให้เกิดการรบกวน IC1 โดยเครื่องชาร์จแบตเตอรี่นี้ผู้จัดทำได้พยายามออกแบบให้ทำงานในการดิสชาร์จ เสร็จแล้วก็ทำการชาร์จอัตโนมัติ ตามเวลาที่ได้ตั้งไว้ให้กับถ่าน โดยสามารถเลือกได้ตั้งแต่ 1 - 12 ก้อน

จากปริญญานิพนธ์นี้ทุกส่วนสามารถนำไปใช้งานได้อย่างมีประสิทธิภาพ และได้ผลเป็นที่น่าพอใจ ไม่ว่าจะเป็นส่วนตั้งเวลา และส่วนของการเลือกจำนวนถ่านที่จะชาร์จ ในการที่จะนำไปใช้ประโยชน์ หรือประยุกต์ เพื่อให้เกิดประโยชน์สูงสุด ดูได้จากวงจร และโฟล์ชาร์ต, โปรแกรมภาค ผนวกข้อเสนอแนะและแนวทางการออบแบบต่อไป

ในโครงการนี้เราสามารถทำให้เครื่องมีขนาดเล็กลงได้ โดยการลดฟังก์ชั่นต่าง ๆ ที่มีอยู่แต่จะทำให้ขีดความสามารถ ของเครื่องลดลงไปด้วย โดยการตัดส่วนที่ใช้ตั้งเวลาภายนอก คือส่วนของ IC 555 และ IC 4024 ออกแล้วใช้ขา 3 ของ IC U2400B ตั้งเวลาภายในได้ 3 ช่วง คือ 30 นาที, 1 ชั่วโมง, 12 ชั่วโมง

และยังสามารถตัดส่วนของสวิทช์เลือกอิเล็คทรอนิกส์ออกได้ โดยใช้สวิทช์อะนาล็อกแทน แต่จะทำให้เกิดการผิดพลาดเนื่องจากแรงดันทำให้ IC U2400B ทำงานผิดพลาดบ้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
วิธีการใช้งาน

การใช้งานเครื่องชาร์จถ่านนิเกิล - แคดเมี่ยม ควบคุมด้วยระบบไมโครคอนโทรลเลอร์ มีขั้นตอนดังนี้

1. สวิทช์เลือกเวลาที่ต้องการ โดยมีค่าให้เลือกคือ

30 นาที
1 ชั่วโมง
2 ชั่วโมง
4 ชั่วโมง
8 ชั่วโมง
16 ชั่วโมง

โดยใช้ปุ่ม TIME

2. เลือกกระแสที่จะทำการชาร์จ ตั่งแต่ 0 - 100 มิลลิแอมป์ และ 2A โดยเลือกให้เหมาะสมกับถ่าน

3. ทำการเลือกจำนวนถ่านที่จะมาทำการชาร์จ โดยใช้คีย์บอร์ดในการเลือกฟังก์ชั่น จำนวนก้อนถ่านตามรหัสที่กำหนดไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางเข้ารหัส

Encode	จำนวน (ก้อน)
01	1
02	2
03	3
04	4
05	5
06	6
07	7
08	8
09	9
10	10
11	11
12	12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการเลือก

เมื่อเปิดสวิทช์ Power จอ LCD จะแสดงข้อความว่า

* - F1, # - ENTER

กด * เพื่อจะทำการเลือกจำนวนถ่าน จะปรากฏข้อความ

F1 SELECT (1 - 12)

Y/N (1/0) N = ??

เช่นถ้าเราต้องการถ่านที่จะนำมาชาร์จที่ 2 ก้อนก็ทำการกด [0] [2] แล้วตามด้วย [1] จะปรากฏ

* - F1, # - ENTER

กด [#] ระบบจะทำงาน โดยสมบูรณ์แบบ

SYSTEM WORKING...

RUN AT NUMBER = 02

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ชัยวัฒน์ ลิ้มพรจิตรวิไล. คู่มือนักอิเล็กทรอนิกส์. กรุงเทพมหานคร : หจก.เอช-เอ็น การพิมพ์, 2538.

อิเล็กทรอนิกส์สมัครเล่น. HOBBY ELECTRONICS. ฉบับพิเศษ, กรุงเทพมหานคร : ส.เอเซีย เพรส, 2538.

เซมิคอนดักเตอร์อิเล็กทรอนิกส์. แบตเตอรี่และเครื่องชาร์จ. กรุงเทพมหานคร : หจก.เม็คทราย พริ้นติ้ง, 2538.

อิเล็กทรอนิกส์สมัครเล่น. HOBBY ELECTRONICS. ฉบับที่ 42, กรุงเทพมหานคร : ส.เอเซีย เพรส, 2537.

อิเล็กทรอนิกส์เวิลด์. ทฤษฎีและการใช้ไทม์เมอร์ไอซี. ฉบับพิเศษ, กรุงเทพมหานคร : บริษัทศูนย์การพิมพ์ดวงกมล จำกัด, 2528.

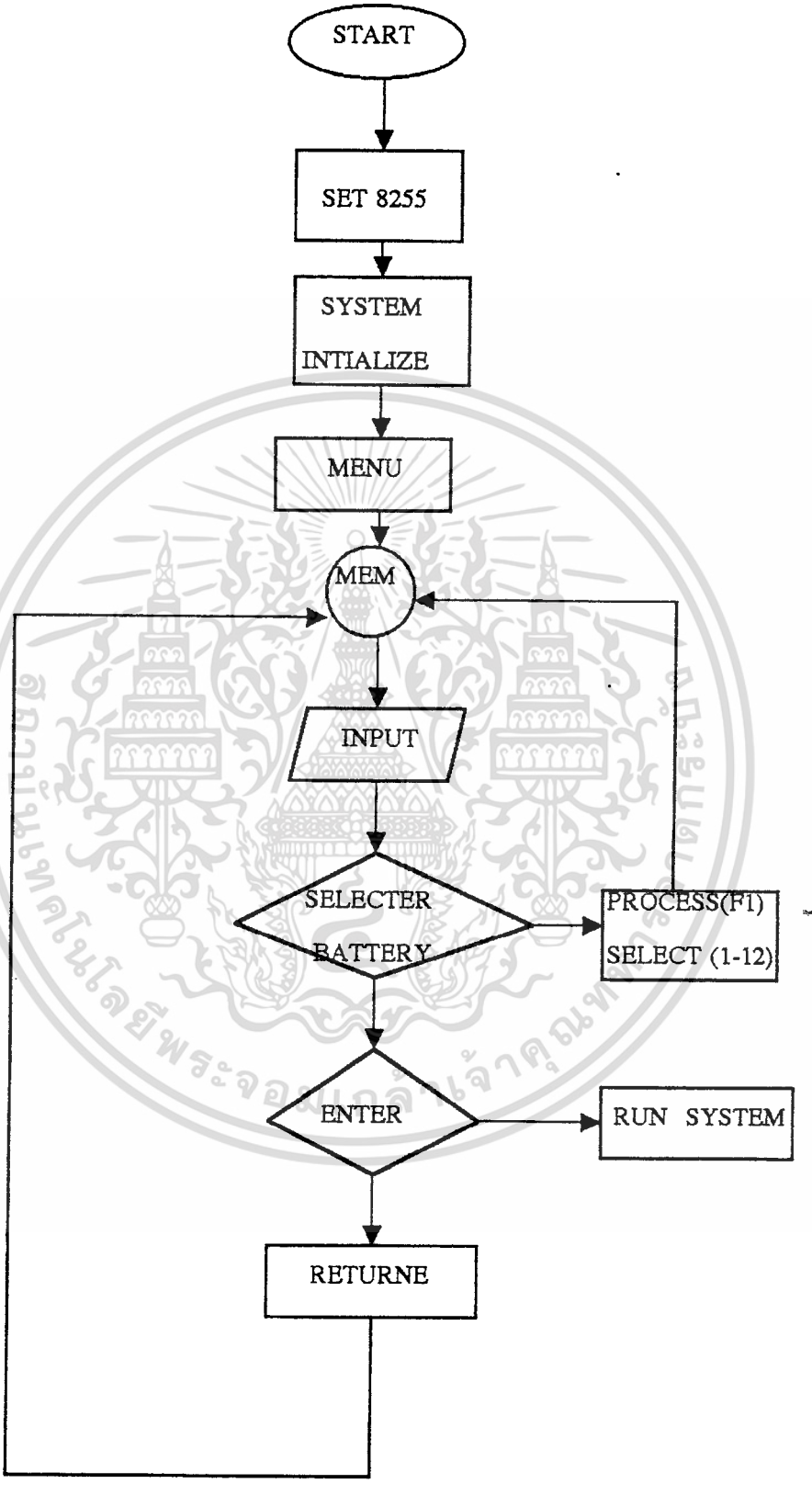
สุเจตน์ จันทรังษ์. ไมโครคอนโทรลเลอร์ชิฟเดียว 8051. ครั้งที่ 1, กรุงเทพมหานคร : 2521

พิพัฒน์ เลาหสงคราม. ไมโครคอนโทรลเลอร์. กรุงเทพมหานคร : คณะวิศวกรรมศาสตร์ พระจอมเกล้าลาดกระบัง

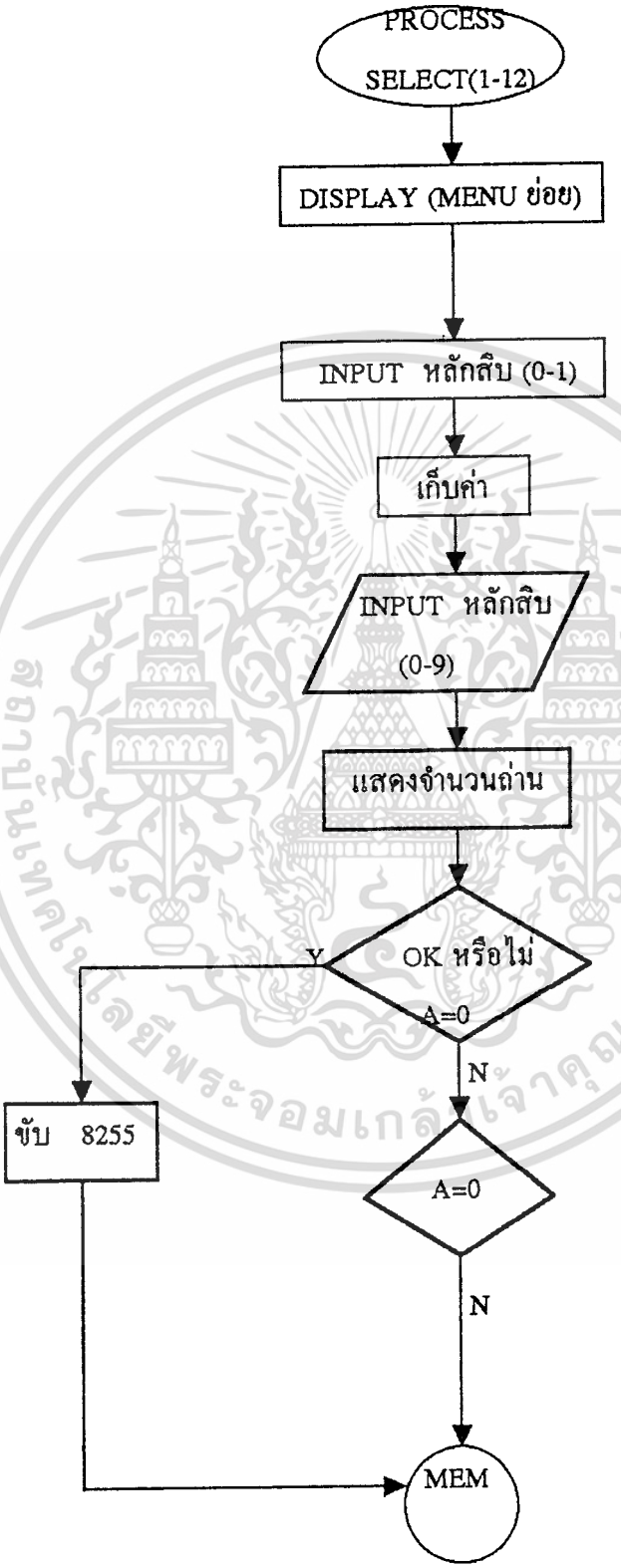
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก .
โฟล์ชาร์ตแสดงขั้นตอนการเขียนโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

โปรแกรมการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        1          ; FILENAME       BO_BO.ASM
                        2          ; DESCRIPTION    U2400B
                        3          ; HARDWARE       V3155 & LCD (8255 BUS)
                        4          ; ASSEMBLER      SXA51
                        5          ; START-DATE     03/04/96
                        6          ; SOFTWARE ENG   KITTIPAT JAK.
                        7          ; COMPANY        PAT RESEARCH CO.,LTD.
                        8
                        9          ; ********** VARIABLE **********
0050=                  10          BO          EQU   50H
0051=                  11          YAM         EQU   51H
0052=                  12          SEK         EQU   52H
0053=                  13          L_SOUND     EQU   53H
000A=                  14          DELAY_BUF   EQU   0AH
0025=                  15          INPUT_BUF   EQU   25H
0031=                  16          FUNC_BUF1   EQU   31H
0032=                  17          FUNC_BUF2   EQU   32H
0033=                  18          FUNC_BUF3   EQU   33H
0034=                  19          FUNC_BUF4   EQU   34H
0038=                  20          NUMBERB     EQU   38H
0039=                  21          NUMBERT     EQU   39H
7C00=                  22          PORTA       EQU   07C00H ;LCD DATA (PA0-7)
7C01=                  23          PORTB       EQU   07C01H ;LCD CONTROL (PB0-2)
7C02=                  24          PORTC       EQU   07C02H ;OUT  PORT
7C03=                  25          PORTP       EQU   07C03H ;8255 CONTROL PORT
                       26
0000                   27                      ORG   0000H
0000 020070            28                      LJMP  MAIN
                       29
0070                   30                      ORG   0070H
                       31          ; ********** MAIN **********
                       32
0070 7A02              33          MAIN:       MOV   R2,#2
0072 1201F6            34                      LCALL DELAY
0075 907C03            35                      MOV   DPTR,#PORTP ;SET 8255 PORT
0078 7480              36                      MOV   A,#80H
007A F0                37                      MOVX  @DPTR,A
007B 7A04              38                      MOV   R2,#4       ;FIRST DELAY
007D 1201F6            39                      LCALL DELAY
0080 755301            40                      MOV   L_SOUND,#01
0083 758108            41                      MOV   SP,#08H
                       42
                       43          ;**** INITIALIZE ****
0086 7438              44                      MOV   A,#00111000B ;FUNCTION SET
0088 120247            45                      LCALL LCDWI
008B 740C              46                      MOV   A,#00001100B ;DISPLAY CONTRO
008D 120247            47                      LCALL LCDWI
0090 7406              48                      MOV   A,#00000110B ;MODE SET
0092 120247            49                      LCALL LCDWI
0095 7401              50                      MOV   A,#01H       ;CLEAR
0097 120247            51                      LCALL LCDWI
                       52
009A 900166            53          MAIN2:      MOV   DPTR,#MAINT1
009D 120201            54                      LCALL LCDLD
00A0 7A0A              55                      MOV   R2,#DELAY_BUF
00A2 1201F6            56                      LCALL DELAY
                       57
00A5 900176            58                      MOV   DPTR,#MAINT2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
00A8 120201      59                LCALL  LCDLD
00AB 7A0A        60                MOV    R2,#DELAY_BUF
00AD 1201F6      61                LCALL  DELAY
                 62
00B0 900186      63                MOV    DPTR,#MAINT3
00B3 120201      64                LCALL  LCDLD
00B6 7A0A        65                MOV    R2,#DELAY_BUF
00B8 1201F6      66                LCALL  DELAY
                 67          ;*************************************
00BB 900196      68          MAIN3:  MOV    DPTR,#MAINT3A
00BE 120201      69                LCALL  LCDLD
00C1 7A02        70                MOV    R2,#02
00C3 1201F6      71                LCALL  DELAY
                 72
00C6 12028A      73          MEM:    LCALL  INPUTSYS
00C9 B40A06      74          FUNCT1: CJNE   A,#0AH,ENTER   ;A = *
00CC 1200E1      75                  LCALL  F1             ;SELCTER BATTERY
00CF 0200C6      76                  LJMP   MEM
                 77          ;*************************************
00D2 B40C09      78          ENTER:  CJNE   A,#0CH,RESMAIN ;#
00D5 12013F      79                  LCALL  WORK
00D8 12033D      80                  LCALL  OUTSEL
00DB 020156      81                  LJMP   CHECK
                 82
00DE 0200BB      83          RESMAIN: LJMP  MAIN3
                 84
                 85          ;************ SUB F1 ************
00E1 9001A6      86          F1:     MOV    DPTR,#MAINT4 ;F1 SELECT (1-12)
00E4 120201      87                  LCALL  LCDLD
00E7 7A0C        88                  MOV    R2,#12
00E9 1201F6      89                  LCALL  DELAY
                 90
00EC 9001B6      91                  MOV    DPTR,#MAINT5
00EF 120201      92                  LCALL  LCDLD
00F2 7A02        93                  MOV    R2,#02
00F4 1201F6      94                  LCALL  DELAY
                 95
00F7 12028A      96                  LCALL  INPUTSYS    ;SELECT NUMBER BA.
00FA 5401        97                  ANL    A,#01H      ;1 - 12
00FC F550        98                  MOV    BO,A        ;* OUT
00FE 12022A      99                  LCALL  HTOA
                100
0101 F531       101                  MOV    FUNC_BUF1,A ;* LCD
0103 E550       102                  MOV    A,BO
0105 C4         103                  SWAP   A
0106 F551       104                  MOV    YAM,A
                105
0108 12028A     106                  LCALL  INPUTSYS
010B 540F       107                  ANL    A,#0FH
010D F552       108                  MOV    SEK,A
010F 12022A     109                  LCALL  HTOA
0112 F532       110                  MOV    FUNC_BUF2,A   ;* LCD
0114 E551       111                  MOV    A,YAM
0116 4552       112                  ORL    A,SEK
0118 F538       113                  MOV    NUMBERB,A     ;* OUT_PORTB-C
                114
011A 120134     115                  LCALL  BEGIN
011D 12028A     116                  LCALL  INPUTSYS
0120 B40106     117          OK:     CJNE   A,#01,E3
```

เอกสารนี้จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0123 12033D     118                     LCALL   OUTSEL
0126 0200BB     119                     LJMP    MAIN3           ;OK
0129 B40004     120             E3:     CJNE    A,#00,E4
012C 0200E1     121                     LJMP    F1
012F 22         122                     RET
0130 0200C6     123             E4:     LJMP    MEM
0133 22         124                     RET
                125
                126             ;******* SUB BEGIN ***************
0134 7831       127             BEGIN:  MOV     R0,#FUNC_BUF1
0136 120319     128                     LCALL   BLCDLD
0139 7A02       129                     MOV     R2,#02
013B 1201F6     130                     LCALL   DELAY
013E 22         131                     RET
                132
                133             ;************************************
013F 9001C6     134             WORK:   MOV     DPTR,#MAINT9
0142 120201     135                     LCALL   LCDLD
0145 7A0A       136                     MOV     R2,#DELAY_BUF
0147 1201F6     137                     LCALL   DELAY
014A 9001D6     138                     MOV     DPTR,#MAINTA
014D 120201     139                     LCALL   LCDLD
0150 7A0A       140                     MOV     R2,#DELAY_BUF
0152 1201F6     141                     LCALL   DELAY
0155 22         142                     RET
                143
                144             ;************************************
0156 9001E6     145             CHECK:  MOV     DPTR,#MAINTZ
0159 120201     146                     LCALL   LCDLD
015C 7A05       147                     MOV     R2,#05H
015E 1201F6     148                     LCALL   DELAY
0161 120134     149                     LCALL   BEGIN
0164 80F0       150                     SJMP    CHECK
                151
0166 55323430   152             MAINT1: DB      "U2400B  RECHARGE"
016A 30422020
016E 52454348
0172 41524745
0176 434F4E54   153             MAINT2: DB      "CONTROLLER 80C31"
017A 524F4C4C
017E 45522038
0182 30433331
0186 4259204B   154             MAINT3: DB      "BY KITIPAT,SIAM "
018A 49544950
018E 41542C53
0192 49414D20
0196 2A202D20   155             MAINT3A: DB     "* - F1,# - ENTER"
019A 46312C23
019E 202D2045
01A2 4E544552
                156
01A6 46312053   157             MAINT4: DB      "F1 SELECT (1-12)"
01AA 454C4543
01AE 54202831
01B2 2D313229
01B6 592F4E20   158             MAINT5: DB      "Y/N (1/0) N = ??"
01BA 28312F30
01BE 29204E20
01C2 3D203F3F
```

การเผยแพร่ในรูปแบบต่างๆ ที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    159
01C6 4D4F4445       160         MAINT9:  DB      "MODE ENTER SYST."
01CA 20454E54
01CE 45522053
01D2 5953542E
01D6 53595354       161         MAINTA:  DB      "SYSTEM WORKING.."
01DA 454D2057
01DE 4F524B49
01E2 4E472E2E
01E6 52554E20       162         MAINTZ:  DB      "RUN AT NUMBER=  "
01EA 4154204E
01EE 554D4245
01F2 523D2020
                    163
                    164         ; ********** DELAY SUB **********
                    165         ; DELAY SUBROUTINE
                    166         ; IN  = R2
                    167         ; REG = R2,R3,R4
                    168
01F6 7B00           169         DELAY:   MOV     R3,#0
01F8 7C00           170         DELAY1:  MOV     R4,#0
01FA DCFE           171                  DJNZ    R4,$
01FC DBFA           172                  DJNZ    R3,DELAY1
01FE DAF6           173                  DJNZ    R2,DELAY
0200 22             174                  RET
                    175
                    176         ; ********** LCDDIS **********
                    177         ; LOAD DATA TO LCD-MODULE
                    178         ; IN  = DPTR  START BLOCK (64 BYTE)
                    179         ; REG = A,R2,DPTR
                    180
0201 7480           181         LCDLD:   MOV     A,#80H  ;SET ADDR LINE 1
0203 12020C         182                  LCALL   LCDLDS
0206 74C0           183                  MOV     A,#0C0H ;SET ADDR LINE 2
0208 12020C         184                  LCALL   LCDLDS
020B 22             185                  RET
                    186
020C C083           187         LCDLDS:  PUSH    DPH     ;LOAD SUB.
020E C082           188                  PUSH    DPL
0210 120247         189                  LCALL   LCDWI   ;WRITE ADDRESS
0213 D082           190                  POP     DPL
0215 D083           191                  POP     DPH
0217 7A08           192                  MOV     R2,#08  ;8 CHAR.
0219 E4             193         LCDLDS1: CLR     A
021A 93             194                  MOVC    A,@A+DPTR ;MOVC FOR CODE
                    195                                    ;/ MOVX FOR DATA
021B C083           196                  PUSH    DPH
021D C082           197                  PUSH    DPL
021F 120262         198                  LCALL   LCDWD   ;WRITE DATA
0222 D082           199                  POP     DPL
0224 D083           200                  POP     DPH
0226 A3             201                  INC     DPTR
0227 DAF0           202                  DJNZ    R2,LCDLDS1
0229 22             203                  RET
                    204
                    205         ;--------------- HTOA SUB -------------
                    206         ;CONVERT HEX TO ASCII
                    207         ;IN  = A
                    208         ;OUT = R2,R3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;REG = A,R2,R3
                        
022A C0E0               HTOA:   PUSH    ACC
022C C4                         SWAP    A
022D 120238                     LCALL   HTOAS
0230 FA                         MOV     R2,A
0231 D0E0                       POP     ACC
0233 120238                     LCALL   HTOAS
0236 FB                         MOV     R3,A
0237 22                         RET

0238 540F               HTOAS:  ANL     A,#0FH
023A B40A00                     CJNE    A,#0AH,$+3
023D 5003                       JNC     HTOAS1
023F 4430                       ORL     A,#30H
0241 22                         RET
0242 9409               HTOAS1: SUBB    A,#9
0244 4440                       ORL     A,#40H
0246 22                         RET

                        ; ********** LCDWI **********
                        ; LCD WRITE INSTRUCTION (RS=0)
                        ; IN  = A
                        ; REG = A,DPTR

0247 907C00             LCDWI:  MOV     DPTR,#PORTA ;DATA TO PORTA
024A F0                         MOVX    @DPTR,A
024B 907C01                     MOV     DPTR,#PORTB ;PORTB READ
                                                    ;MODIFY WRITE
024E E0                         MOVX    A,@DPTR
024F C2E0                       CLR     ACC.0       ;RS=0
0251 C2E1                       CLR     ACC.1       ;R/W=0
0253 C2E2                       CLR     ACC.2       ;ENABLE=0
0255 F0                         MOVX    @DPTR,A
0256 D2E2                       SETB    ACC.2       ;ENABLE=1
0258 F0                         MOVX    @DPTR,A
0259 C2E2                       CLR     ACC.2       ;ENABLE=0
025B F0                         MOVX    @DPTR,A
025C 7400                       MOV     A,#0        ;DELAY
025E 14                 LCDWI1: DEC     A
025F 70FD                       JNZ     LCDWI1
0261 22                         RET

                        ; ********** LCDWD **********
                        ; LCD WRITE DATA (RS=1)
                        ; IN  = A
                        ; REG = A,DPTR

0262 907C00             LCDWD:  MOV     DPTR,#PORTA ;DATA TO PORTA
0265 F0                         MOVX    @DPTR,A
0266 907C01                     MOV     DPTR,#PORTB ;PORTB READ
                                                    ;MODIFY WRITE
0269 E0                         MOVX    A,@DPTR
026A D2E0                       SETB    ACC.0       ;RS=1
026C C2E1                       CLR     ACC.1       ;R/W=0
026E C2E2                       CLR     ACC.2       ;ENABLE=0
0270 F0                         MOVX    @DPTR,A
0271 D2E2                       SETB    ACC.2       ;ENABLE=1
0273 F0                         MOVX    @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0274 C2E2       268                 CLR     ACC.2           ;ENABLE=0
0276 F0         269                 MOVX    @DPTR,A
0277 7400       270                 MOV     A,#0            ;DELAY
0279 14         271       LCDWD1:   DEC     A
027A 70FD.      272                 JNZ     LCDWD1
027C 22         273                 RET
                274
                275
                276       ;*************************************
027D            277       INPUTP1:
027D 3094FD     278               JNB     P1.4,$
0280 E590       279               MOV     A,P1
0282 540F       280               ANL     A,#0FH
0284 2094FD     281               JB      P1.4,$
0287 F525       282               MOV     INPUT_BUF,A
0289 22         283               RET
                284
                285       ;*************************************
028A            286       INPUTSYS:
028A 00         287                 NOP
028B 12027D     288       NUM:      LCALL   INPUTP1
028E 1202F7     289                 LCALL   UBEEP
0291 E525       290                 MOV     A,INPUT_BUF
0293 B40007     291       NUMBER1:  CJNE    A,#00H,NUMBER2
0296 2401       292                 ADD     A,#01H
0298 540F       293                 ANL     A,#0FH
029A 0202F6     294                 LJMP    PASSTEST
029D B40107     295       NUMBER2:  CJNE    A,#01H,NUMBER3
02A0 2401       296                 ADD     A,#01H
02A2 540F       297                 ANL     A,#0FH
02A4 0202F6     298                 LJMP    PASSTEST
02A7 B40207     299       NUMBER3:  CJNE    A,#02H,NUMBER4
02AA 2401       300                 ADD     A,#01H
02AC 540F       301                 ANL     A,#0FH
02AE 0202F6     302                 LJMP    PASSTEST
02B1 B40403     303       NUMBER4:  CJNE    A,#04H,NUMBER5
02B4 0202F6     304                 LJMP    PASSTEST
02B7 B40503     305       NUMBER5:  CJNE    A,#05H,NUMBER6
02BA 0202F6     306                 LJMP    PASSTEST
02BD B40603     307       NUMBER6:  CJNE    A,#06H,NUMBER7
02C0 0202F6     308                 LJMP    PASSTEST
02C3 B40806     309       NUMBER7:  CJNE    A,#08H,NUMBER8
02C6 14         310                 DEC     A
02C7 540F       311                 ANL     A,#0FH
02C9 0202F6     312                 LJMP    PASSTEST
02CC B40906     313       NUMBER8:  CJNE    A,#09H,NUMBER9
02CF 14         314                 DEC     A
02D0 540F       315                 ANL     A,#0FH
02D2 0202F6     316                 LJMP    PASSTEST
02D5 B40A06     317       NUMBER9:  CJNE    A,#0AH,NUMBERC
02D8 14         318                 DEC     A
02D9 540F       319                 ANL     A,#0FH
02DB 0202F6     320                 LJMP    PASSTEST
02DE B40C05     321       NUMBERC:  CJNE    A,#0CH,NUMBER0
02E1 740A       322                 MOV     A,#0AH
02E3 0202F6     323                 LJMP    PASSTEST
02E6 B40D05     324       NUMBER0:  CJNE    A,#0DH,NUMBERE
02E9 5400       325                 ANL     A,#00H
02EB 0202F6     326                 LJMP    PASSTEST
```

เอกสารที่เผยแพร่ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
02EE B40E9A      327        NUMBERE: CJNE   A,#0EH,NUM
02F1 740C        328                 MOV    A,#0CH
02F3 0202F6      329                 LJMP   PASSTEST
02F6             330        PASSTEST:
02F6 22          331                 RET
                 332
                 333        ;***** SUB UBEEP2 ********************
02F7 1202FB      334        UBEEP:   LCALL SOUND
02FA 22          335                 RET
                 336
                 337        ;***** SUB SOUND ***********************
02FB AD53        338        SOUND:   MOV    R5,L_SOUND
02FD 7EFF        339        SOUND_1: MOV    R6,#0FFH
02FF 7FFF        340        SOUND_2: MOV    R7,#0FFH
0301 D2B4        341                 SETB   P3.4
0303 DFFE        342                 DJNZ   R7,$
0305 7FFF        343                 MOV    R7,#0FFH
0307 C2B4        344                 CLR    P3.4
0309 DFFE        345                 DJNZ   R7,$
030B DEF2        346                 DJNZ   R6,SOUND_2
030D DDEE        347                 DJNZ   R5,SOUND_1
030F 22          348                 RET
                 349
                 350        ;***** SUB DELAYB ******************
0310 7EB1        351        DELAYB:   MOV   R6,#0B1H
0312 7FFF        352        DELAYB_1: MOV   R7,#0FFH
0314 DFFE        353                  DJNZ  R7,$
0316 DEFA        354                  DJNZ  R6,DELAYB_1
0318 22          355                  RET
                 356
                 357        ; ************************
                 358        ; LOAD DATA TO LCD-MODULE
                 359        ; IN  = DPTR  START BLOCK (64 BYTE)
                 360        ; REG = A,R2,DPTR
                 361
0319 74C6        362        BLCDLD:  MOV    A,#0C6H ;SET ADDR LINE 2
031B 12031F      363                 LCALL  BCDLDS
031E 22          364                 RET
                 365
031F C083        366        BCDLDS:  PUSH   DPH     ;LOAD SUB.
0321 C082        367                 PUSH   DPL
0323 120247      368                 LCALL  LCDWI    ;WRITE ADDRESS
0326 D082        369                 POP    DPL
0328 D083        370                 POP    DPH
032A 7A02        371                 MOV    R2,#02   ;8 CHAR.
032C E4          372        BCDLDS1: CLR    A
032D E6          373                 MOV    A,@R0    ;MOVC FOR CODE
                 374                                  ;/ MOVX FOR DATA
032E C083        375                 PUSH   DPH
0330 C082        376                 PUSH   DPL
0332 120262      377                 LCALL  LCDWD     ;WRITE DATA
0335 D082        378                 POP    DPL
0337 D083        379                 POP    DPH
0339 08          380                 INC    R0
033A DAF0        381                 DJNZ   R2,BCDLDS1
033C 22          382                 RET
                 383
                 384        ;*****************************************
033D E538        385        OUTSEL:  MOV    A,NUMBERB    ;* OUT_PORTB-C
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        386
033F B4011A             387     S1:     CJNE    A,#01,S2
                        388
0342 907C01             389             MOV     DPTR,#PORTB
0345 E0                 390             MOVX    A,@DPTR
0346 540F               391             ANL     A,#0FH
0348 F0                 392             MOVX    @DPTR,A
                        393
0349 7A02               394             MOV     R2,#02
034B 1201F6             395             LCALL   DELAY
034E 907C02             396             MOV     DPTR,#PORTC
0351 7401               397             MOV     A,#01H
0353 F0                 398             MOVX    @DPTR,A
0354 7A04               399             MOV     R2,#04
0356 1201F6             400             LCALL   DELAY
0359 0204A8             401             LJMP    S0
                        402
035C B4021A             403     S2:     CJNE    A,#02,S3
035F 907C01             404             MOV     DPTR,#PORTB
0362 E0                 405             MOVX    A,@DPTR
0363 540F               406             ANL     A,#0FH
0365 F0                 407             MOVX    @DPTR,A
0366 7A02               408             MOV     R2,#02
0368 1201F6             409             LCALL   DELAY
036B 907C02             410             MOV     DPTR,#PORTC
036E 7402               411             MOV     A,#02H
0370 F0                 412             MOVX    @DPTR,A
0371 7A04               413             MOV     R2,#04
0373 1201F6             414             LCALL   DELAY
0376 0204A8             415             LJMP    S0
                        416
0379 B4031A             417     S3:     CJNE    A,#03,S4
037C 907C01             418             MOV     DPTR,#PORTB
037F E0                 419             MOVX    A,@DPTR
0380 540F               420             ANL     A,#0FH
0382 F0                 421             MOVX    @DPTR,A
0383 7A02               422             MOV     R2,#02
0385 1201F6             423             LCALL   DELAY
0388 907C02             424             MOV     DPTR,#PORTC
038B 7404               425             MOV     A,#04H
038D F0                 426             MOVX    @DPTR,A
038E 7A02               427             MOV     R2,#02
0390 1201F6             428             LCALL   DELAY
0393 0204A8             429             LJMP    S0
                        430
0396 B4041A             431     S4:     CJNE    A,#04,S5
0399 907C01             432             MOV     DPTR,#PORTB
039C E0                 433             MOVX    A,@DPTR
039D 540F               434             ANL     A,#0FH
039F F0                 435             MOVX    @DPTR,A
03A0 7A02               436             MOV     R2,#02
03A2 1201F6             437             LCALL   DELAY
03A5 907C02             438             MOV     DPTR,#PORTC
03A8 7408               439             MOV     A,#08H
03AA F0                 440             MOVX    @DPTR,A
03AB 7A04               441             MOV     R2,#04
03AD 1201F6             442             LCALL   DELAY
03B0 0204A8             443             LJMP    S0
                        444
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
03B3 B4051A     445         S5:     CJNE    A,#05,S6
03B6 907C01     446                 MOV     DPTR,#PORTB
03B9 E0         447                 MOVX    A,@DPTR
03BA 540F       448                 ANL     A,#0FH
03BC F0         449                 MOVX    @DPTR,A
03BD 7A02       450                 MOV     R2,#02
03BF 1201F6     451                 LCALL   DELAY
03C2 907C02     452                 MOV     DPTR,#PORTC
03C5 7410       453                 MOV     A,#10H
03C7 F0         454                 MOVX    @DPTR,A
03C8 7A04       455                 MOV     R2,#04
03CA 1201F6     456                 LCALL   DELAY
03CD 0204A8     457                 LJMP    S0
                458
03D0 B4061A     459         S6:     CJNE    A,#06,S7
03D3 907C01     460                 MOV     DPTR,#PORTB
03D6 E0         461                 MOVX    A,@DPTR
03D7 540F       462                 ANL     A,#0FH
03D9 F0         463                 MOVX    @DPTR,A
03DA 7A02       464                 MOV     R2,#02
03DC 1201F6     465                 LCALL   DELAY
03DF 907C02     466                 MOV     DPTR,#PORTC
03E2 7420       467                 MOV     A,#20H
03E4 F0         468                 MOVX    @DPTR,A
03E5 7A04       469                 MOV     R2,#04
03E7 1201F6     470                 LCALL   DELAY
03EA 0204A8     471                 LJMP    S0
                472
03ED B4071A     473         S7:     CJNE    A,#07,S8
03F0 907C01     474                 MOV     DPTR,#PORTB
03F3 E0         475                 MOVX    A,@DPTR
03F4 540F       476                 ANL     A,#0FH
03F6 F0         477                 MOVX    @DPTR,A
03F7 7A02       478                 MOV     R2,#02
03F9 1201F6     479                 LCALL   DELAY
03FC 907C02     480                 MOV     DPTR,#PORTC
03FF 7440       481                 MOV     A,#40H
0401 F0         482                 MOVX    @DPTR,A
0402 7A04       483                 MOV     R2,#04
0404 1201F6     484                 LCALL   DELAY
0407 0204A8     485                 LJMP    S0
                486
040A B4081A     487         S8:     CJNE    A,#08,S9
040D 907C01     488                 MOV     DPTR,#PORTB
0410 E0         489                 MOVX    A,@DPTR
0411 540F       490                 ANL     A,#0FH
0413 F0         491                 MOVX    @DPTR,A
0414 7A02       492                 MOV     R2,#02
0416 1201F6     493                 LCALL   DELAY
0419 907C02     494                 MOV     DPTR,#PORTC
041C 7480       495                 MOV     A,#80H
041E F0         496                 MOVX    @DPTR,A
041F 7A04       497                 MOV     R2,#04
0421 1201F6     498                 LCALL   DELAY
0424 0204A8     499                 LJMP    S0
                500
0427 B4091E     501         S9:     CJNE    A,#09,S10
042A 907C02     502                 MOV     DPTR,#PORTC
042D E4         503                 CLR     A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
042E F0          504                MOVX   @DPTR,A
                 505
042F 7A02        506                MOV    R2,#02
0431 1201F6      507                LCALL  DELAY
0434 907C01      508                MOV    DPTR,#PORTB
0437 C2E5        509                CLR    ACC.5
0439 C2E6        510                CLR    ACC.6
043B C2E7        511                CLR    ACC.7
043D D2E4        512                SETB   ACC.4
043F F0          513                MOVX   @DPTR,A
0440 7A04        514                MOV    R2,#04
0442 1201F6      515                LCALL  DELAY
0445 0204A8      516                LJMP   S0
                 517
0448 B4101E      518      S10:      CJNE   A,#10H,S11
044B 907C02      519                MOV    DPTR,#PORTC
044E E4          520                CLR    A
044F F0          521                MOVX   @DPTR,A
0450 7A02        522                MOV    R2,#02
0452 1201F6      523                LCALL  DELAY
                 524
0455 907C01      525                MOV    DPTR,#PORTB
0458 C2E4        526                CLR    ACC.4
045A C2E6        527                CLR    ACC.6
045C C2E7        528                CLR    ACC.7
045E D2E5        529                SETB   ACC.5
0460 F0          530                MOVX   @DPTR,A
0461 7A04        531                MOV    R2,#04
0463 1201F6      532                LCALL  DELAY
0466 0204A8      533                LJMP   S0
                 534
0469 B4111E      535      S11:      CJNE   A,#11H,S12
046C 907C02      536                MOV    DPTR,#PORTC
046F E4          537                CLR    A
0470 F0          538                MOVX   @DPTR,A
0471 7A02        539                MOV    R2,#02
0473 1201F6      540                LCALL  DELAY
0476 907C01      541                MOV    DPTR,#PORTB
0479 C2E4        542                CLR    ACC.4
047B C2E5        543                CLR    ACC.5
047D C2E7        544                CLR    ACC.7
047F D2E6        545                SETB   ACC.6
0481 F0          546                MOVX   @DPTR,A
0482 7A04        547                MOV    R2,#04
0484 1201F6      548                LCALL  DELAY
0487 0204A8      549                LJMP   S0
                 550
048A B4121B      551      S12:      CJNE   A,#12H,S0
048D 907C02      552                MOV    DPTR,#PORTC
0490 E4          553                CLR    A
0491 F0          554                MOVX   @DPTR,A
0492 7A02        555                MOV    R2,#02
0494 1201F6      556                LCALL  DELAY
0497 907C01      557                MOV    DPTR,#PORTB
049A C2E4        558                CLR    ACC.4
049C C2E5        559                CLR    ACC.5
049E C2E6        560                CLR    ACC.6
04A0 D2E7        561                SETB   ACC.7
04A2 F0          562                MOVX   @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
04A3 7A04        563                    MOV     R2,#04
04A5 1201F6      564                    LCALL   DELAY
                 565
04A8 22          566          S0:       RET
0000=            567                    END
```

```
       bcdlds = 031F          bcdlds1 = 032C          begin = 0134
   blcdld = 0319              bo = 0050
        check = 0156            delay = 01F6        delay1 = 01F8
delay_buf = 000A             delayb = 0310
      delayb_1 = 0312             e3 = 0129           e4 = 0130
     enter = 00D2              f1 = 00E1
      func_buf1 = 0031       func_buf2 = 0032    func_buf3 = 0033
func_buf4 = 0034             funct1 = 00C9
         htoa = 022A             htoas = 0238        htoas1 = 0242
input_buf = 0025           inputp1 = 027D
      inputsys = 028A          l_sound = 0053        lcdld = 0201
   lcdlds = 020C           lcdlds1 = 0219
        lcdwd = 0262          lcdwd1 = 0279          lcdwi = 0247
   lcdwi1 = 025E           main = 0070
        main2 = 009A            main3 = 00BB        maint1 = 0166
   maint2 = 0176           maint3 = 0186
      maint3a = 0196          maint4 = 01A6        maint5 = 01B6
   maint9 = 01C6           mainta = 01D6
       maintz = 01E6             mem = 00C6          num = 028B
  number0 = 02E6           number1 = 0293
      number2 = 029D          number3 = 02A7       number4 = 02B1
  number5 = 02B7           number6 = 02BD
      number7 = 02C3          number8 = 02CC       number9 = 02D5
  numberb = 0038           numberc = 02DE
      numbere = 02EE          numbert = 0039          ok = 0120
   outsel = 033D           passtest = 02F6
        porta = 7C00             portb = 7C01        portc = 7C02
    portp = 7C03           resmain = 00DE
           s0 = 04A8             s1 = 033F          s10 = 0448
     s11 = 0469              s12 = 048A
           s2 = 035C             s3 = 0379          s4 = 0396
      s5 = 03B3               s6 = 03D0
           s7 = 03ED             s8 = 040A          s9 = 0427
     sek = 0052            sound = 02FB
      sound_1 = 02FD          sound_2 = 02FF       ubeep = 02F7
    work = 013F             yam = 0051
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

DATA SHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRELIMINARY

AUGUST 1988

DATA SHEET 80C51-L / 80C31-L

CMOS SINGLE-CHIP 8 BIT 3V-MICROCONTROLLER

- 80C51-L - CMOS SINGLE-SHIP 8-BIT MICROCONTROLLER with factory mask-programmable ROM
- 80C31-L - CMOS SINGLE-CHIP 8-BIT CONTROL-ORIENTED CPU with RAM and I/0
- 80C51-L/C31-L: 0 TO 6 MHz, VCC = 2.7V TO 6V

FEATURES

- POWER CONTROL MODES
- 128 x 8 BIT RAM
- 32 PROGRAMMABLE I/O LINES
- TWO 16-BIT TIMER/COUNTERS
- 64K PROGRAM MEMORY SPACE
- FULLY STATIC DESIGN
- HIGH PERFORMANCE SAJI VI CMOS PROCESS
- BOOLEAN PROCESSOR
- 5 INTERRUPT SOURCES
- PROGRAMMABLE SERIAL PORT
- 64K DATA MEMORY SPACE
- TEMPERATURE RANGE: 0 TO 70°C

DESCRIPTION

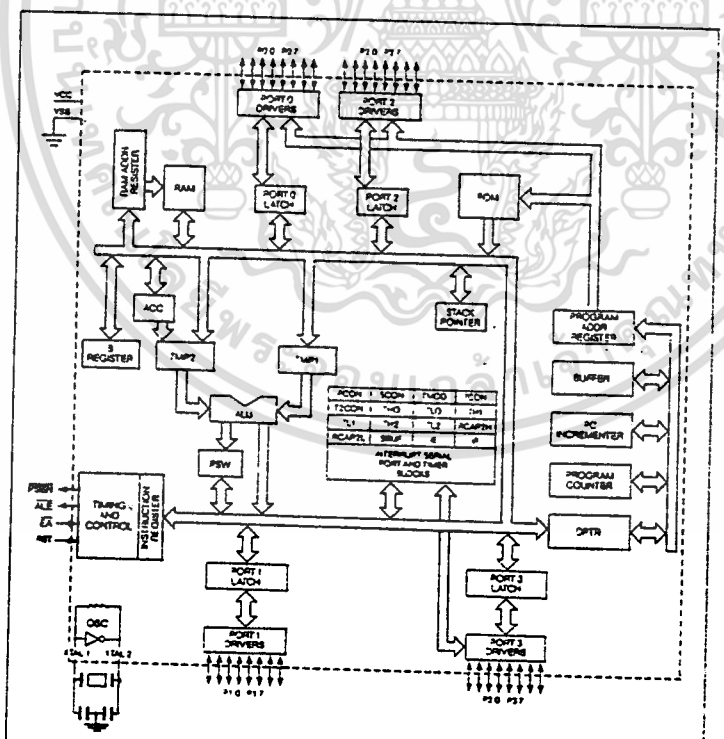


Figure 1. Block Diagram

MHS's 80C51 and 80C31 are high performance CMOS versions of the 8051/8031 NMOS single chip 8 bit μC and is manufactured using a self-aligned silicon gate CMOS process (SAJI VI).

The fully static design of the MHS 80C51/80C31 allows to reduce system power consumption by bringing the clock frequency down to any value, even DC, without loss of data.

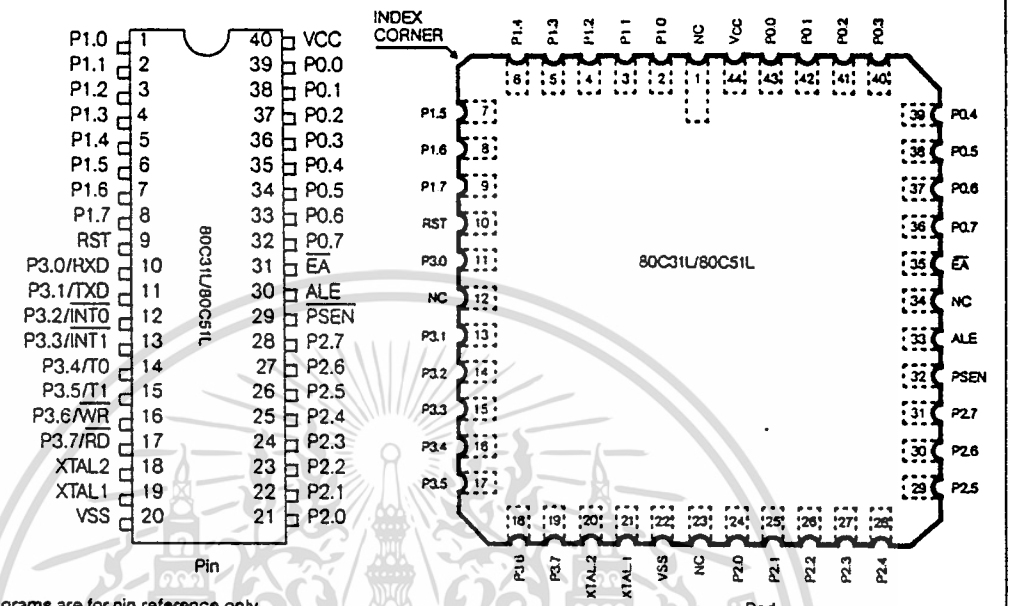
The 80C51 retains all the features of the 8051: 4K bytes of ROM; 128 bytes of RAM; 32 I/O lines; two 16 bit timers; a 5-source 2-level interrupt structure; a full duplex serial port; and on-chip oscillator and clock circuits.

In addition, the 80C51 has two software-selectable modes of reduced activity for further reduction in power consumption. In the Idle Mode the CPU is frozen while the RAM, the timers, the serial port, and the interrupt system continue to function. In the Power Down Mode the RAM is saved and all other functions are inoperative.

The 80C31 is identical to the 80C51 except that it has no on-chip ROM.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 2. Configurations



IDLE AND POWER DOWN OPERATION

Figure 3 shows the internal Idle and Power Down clock configuration. As illustrated, Power Down operation stops the oscillator. Idle mode operation allows the interrupt, serial port, and timer blocks to continue to function while the clock to the CPU is gated off. These special modes are activated by software via the Special Function Register, Its hardware address is 87H. PCON is not bit addressable.

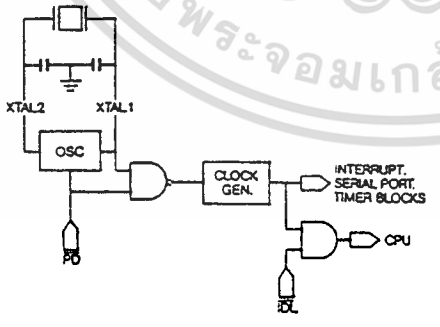


Figure 3. Idle and Power Down Hardware

PCON: Power Control Register

(MSB) (LSB)

SMOD	–	–	–	GF1	GF0	PD	IDL

Symbol	Position	Name and Function
SMOD	PCON.7	Double Baud rate bit. When set to a 1, the baud rate is doubled when the serial port is being used in either modes 1, 2 or 3.
–	PCON.6	(Reserved)
–	PCON.5	(Reserved)
–	PCON.4	(Reserved)
GF1	PCON.3	General-purpose flag bit.
GF0	PCON.2	General-purpose flag bit.
PD	PCON.1	Power Down bit. Setting this bit activates power down operation.
IDL	PCON.0	Ide mode bit. Setting this bit activates idle mode operation.

If 1's are written to PD and IDL at the same time, PD takes precedence. The reset value of PCON is (OXXX0000).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Status of the external pins during Idle and Power Down modes

Mode	Program Memory	ALE	PSEN	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Port Data	Port Data	Port Data	Port Data
Idle	External	1	1	Floating	Port Data	Address	Port Data
Power Down	Internal	0	0	Port Data	Port Data	Port Data	Port Data
Power Down	External	0	0	Floating	Port Data	Port Data	Port Data

IDLE MODE

The instruction that sets PCON.0 is the last instruction executed before the Idle mode is activated. Once in the Idle mode the CPU status is preserved in its entirety: the Stack Pointer, Program Counter, Program Status Word, Accumulator, RAM, and all other registers maintain their data during Idle. *Table 1* describes the status of the external pins during Idle mode.

There are two ways to terminate the Idle mode. Activation of any enabled interrupt will cause PCON.0 to be cleared by hardware, terminating Idle mode. The interrupt is serviced, and following RETI, the next instruction to be executed will be the one following theinstruction that wrote a 1 to PCON.0.

The flag bits GF0 and GF1 may be used to determine whether the interrupt was received during normal execution or during the Idle mode. For example, the instruction that writes to PCON.0 can also set or clear one or both flag bits. When Idle mode is terminated by an enabled interrupt, the service routine can examine the status of the flag bits.

The second way of terminating the Idle mode is with a hardware reset. Since the oscillator is still running, the hardware reset needs to be active for only 2 machine cycles (24 oscillator periods) to complete the reset operation.

POWER DOWN MODE

The instruction that sets PCON.1 is the last executed prior to entering power down: Once in power down, the oscillator is stopped. The contents of the onchip RAM and the Special Function Register is saved during power down mode. A hardware reset is the only way of exiting the power down mode. The hardware reset initiates the Special Function Register *(see Table 1)*.

In the Power Down mode. V_{CC} may be lowered to minimize circuit power consumption. Care must be taken to ensure the voltage is not reduced until the power down mode is entered, and that the voltage is restored before the hardware reset is applied which frees the oscillator. Reset should not be released until the oscillator has restarted and stabilized.

Table 1 describes the status of the external pins while in the power down mode. It should be noted that if the power down mode is activated while in external program memory, the port data that is held in the Special Function Register P2 is restored to Port 2. If the data is a 1, the port pin is held high during the power down mode by the strong pullup, T1, shown in *Figure 4*.

STOP CLOCK MODE

Due to static design, the MHS 80C31/C51 clock speed can be reduced until 0 MHz without any data loss in memory or registers. This mode allows step by step utilization, and permits to reduce system power consumption by bringing the clock frequency down to any value. At 0 MHz, the power consumption is the same as in the Power Down Mode.

80C51 I/O PORTS

The I/O port drive of the 80C51 is similar to the 8051. The I/O buffers for Ports 1, 2, and 3 are implemented as shown in *figure 4*.

When the port latch contains a 0, all pFETS in *figure 4* are off while the nFET is turned on. When the port latch makes a 0-to-1 transition, the nFET turns off. The strong pullup pFET, T1, turns on for two oscillator periods, pulling the output high very rapidly. As the output line is drawn high, pFET T3 turns on through the inverter to supply the I_{OH} source current. This inverter and T3 form a latch which holds the 1 and is supported by T2. When Port 2 is used as an address port, for access to external program of data memory, any address bit that contains a 1 will have his strong pullup turned on for the entire duration of the external memory access.

When an I/O pin on Ports 1, 2, or 3 is used as an input, the user should be aware that the external circuit must sink current during the logical 1-to-0 transition. The maximum sink current is specified as ITL under the D.C. Specifications. When the input goes below approximately 2V, T3 turns off to save ICC current. Note, when returning to a logical 1, T2 is the only internal pullup that is on. This will result in a slow rise time if the user's circuit does not force the input line high.

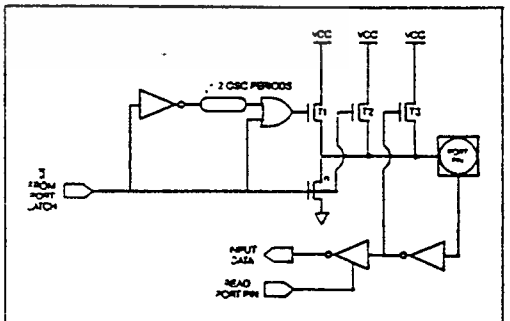


Fig. 4. I/O Buffers in the 80C51 (Ports 1, 2, 3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

80C51 PIN DESCRIPTIONS

V_{SS}
Circuit ground potential

V_{CC}
Supply voltage during normal, Idle, and Power Down operation.

Port 0
Port 0 is an 8-bit open drain bi-directional I/O port. Port 0 pins that have 1's written to them float, and in that state can be used as high-impedance inputs.

Port 0 is also the multiplexed low-order address and data bus during accesses to external Program and Data Memory. In this application it uses strong internal pullups when emitting 1's. Port 0 also outputs the code bytes during program verification in the 80C51. External pullups are required during program verification. Port 0 can sink eight LS TTL inputs.

Port 1
Port 1 is an 8-bit bi-directional I/O port with internal pullups. Port 1 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}, on the data sheet) because of the internal pullups.

Port 1 also receives the low-order address bytes during program verification. In the 80C51, Port 1 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

Port 2
Port 2 is an 8-bit bi-directional I/O port with internal pullups. Port 2 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}, on the data sheet) because of the internal pullups. Port 2 emits the high-order address byte during fetches from external Program Memory and during accesses to external Data Memory that use 16-bit addresses (MOVX @ DPTR). In this application, it uses strong internal pullups when emitting 1's. During accesses to external Data Memory that uses 8-bit addresses (MOVX @ Ri), Port 2 emits the contents of the P2 Special Function Register.

It also receives the high-order address bits and control signals during progam verification in the 80C51. Port 2 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

Port 3
Port 3 is an 8-bit bi-directional I/O port with internal pullups. Port 3 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}, on the data sheet) because of the pullups. It also serves the functions of various special features of the MCS-51 Family, as listed below.

Port Pin	Alternate Function
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt 0)
P3.3	INT1 (external interrupt 1)
P3.4	T0 (Timer 0 external input)
P3.5	T1 (Timer 1 external input)
P3.6	$\overline{WR}$ (external Data Memory write strobe)
P3.7	$\overline{RD}$ (external Data Memory read strobe)

Port 3 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

RST
A high level on this for two machine cycles while the oscillator is running resets the device. An internal pull-down resistor permits Power-On reset using only a capacitor connected to V_{CC}.

ALE
Address Latch Enable output for latching the low byte of the address during accesses to external memory. ALE is activated as though for this purpose at a constant rate of 1/6 the oscillator frequency except during an external data memory access at which time one ALE pulse is skipped. ALE can sink/source 8 LS TTL inputs. It can drive CMOS inputs without an external pullup.

$\overline{PSEN}$
Program Store Enable output is the read strobe to external Program Memory. PSEN is activated twice each machine cycle during fetches from external Program Memory. (However, when executing out of external Program Memory, two activations of PSEN are skipped during each access to external Data Memory). PSEN is not activated during fetches from internal Program Memory. PSEN can sink/source 8 LS TTL inputs. It can drive CMOS inputs without an external pullup.

$\overline{EA}$
When EA is held high, the CPU executes out of internal Program Memory (unless the Program Counter exceeds OFFFH). When EA is held low, the CPU executes only out of external Program Memory. EA must not be floated.

XTAL1
Input to the inverting amplifier that forms the oscillator. Receives the external oscillator signal when an external oscillator is used.

XTAL2
Output of the inverting amplifier that forms the oscillator, and input to the internal clock generator. This pin should be floated when an external oscillator is used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OSCILLATOR CHARACTERISTICS

XTAL1 and XTAL2 are the input and output respectively, of an inverting amplifier which is configured for use as an on-chip oscillator, as shown in figure 5. Either a quartz crystal or ceramic resonator may be used.
To drive the device from an external clock source, XTAL1 should be driven while XTAL2 is left unconnected as shown in *figure 6*. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but munimum and maximum high and low times specified on the Data Sheet must be observed.

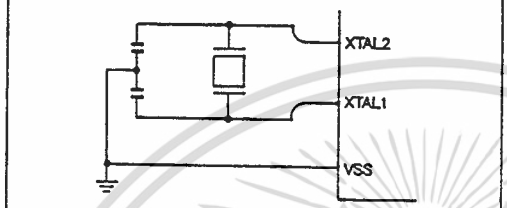


Figure 5. Crystal Oscillator

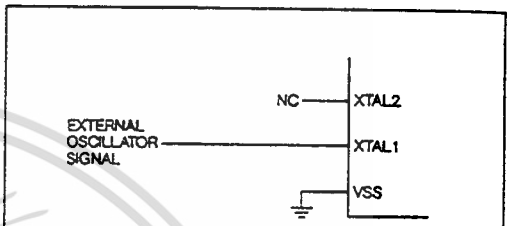


Figure 6. External Drive Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias:
Commercial ..... 0°C to 70°C
Industrial ..... −40°C to 85°C
Storage Temperature ..... −65°C to + 150°C
Voltage on V_{CC} to V_{SS} ..... −0.5V to + 7V
Voltage on Any Pin to V SS..... −0.5V to V_{CC} + 0.5V
Power Dissipation 1W*

*This value is based on the maximum allowable die temperature and the thermal resistance of the package.

***NOTICE:**

Stresses at or above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions may affect device reliability.

DC CHARACTERISTICS

TA = −40°C to 85°C; VCc = 2.7V to 6V; VSS = 0V; F = 0 to 6 MHz

Symbol	Parameter	Min	Max	Unit	Test Conditions
VIL	Input Low Voltage	−0.5	0.2 V_{CC} − 0.1	V	
VIH	Input High Voltage (Except XTALs and RST)	0.2 V_{CC} + 0.9	V_{CC} + 0.5	V	
VIH1	Input High Voltage to RST for Reset	0.7 V_{CC}	V_{CC} + 0.5	V	
VIH2	Input High Voltage To XTAL 1	0.7 V_{CC}	V_{CC} + 0.5	V	
VPD	Power Down Voltage To V_{CC} in PD Mode	2.0	6.0	V	
VOL	Output Low Voltage (Ports 1, 2, 3)		0.45	V	IOL = 1.6mA (note 1)
VOL1	Output Low Voltage Port 0, ALE, $\overline{PSEN}$		0.45	V	IOL = 3.2mA (note 1)
VOH	Output High Voltage Ports 1, 2, 3	0.9 V_{CC}		V	IOH = −10μa
		2.4		V	IOH = −60μA V_{CC} = 5V ± 10%
VOH1	Output High Voltage (Port 0 in External in External Bus Mode), ALE, $\overline{PSEN}$	0.9 V_{CC}		V	IOH = −40μA
		2.4		V	IOH = −400μA V_{CC} = 5V ± 10%
IIL	Logical 0 Input Current Ports 1,2,3		−50	μA	Vin = 0.45V
ILI	Input Leakage Current		± 10	μA	0.45 < Vin < V_{CC}
ITL	Logical 1 to 0 Transition Current (Ports 1, 2, 3)		−500	μA	Vin = 2.0V
ICCPD	Power Supply Current (Power Down Mode)	50	10	μA	V_{CC} = 2.0V to 5.5V (note 2)
RRST	RST Pulldown Resistor	50	150	kΩ	
CIO	Capacitance of I/O Buffer		10	pF	f_C = 1MHz, T_A = 25°C

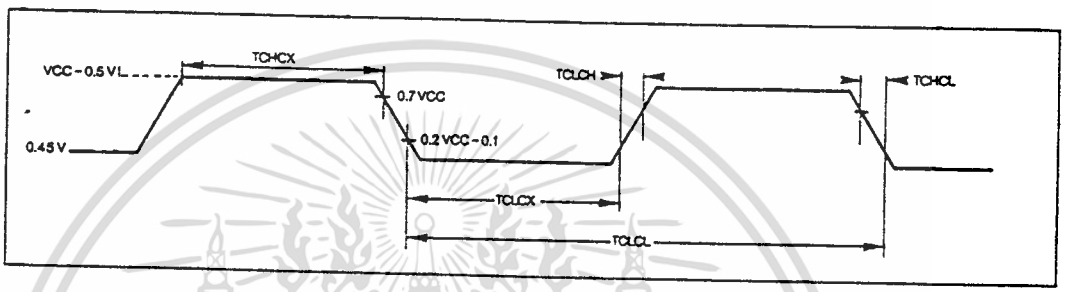
Note 1:

Capacitive loading on Ports 0 and 2 may cause spurious noise pulses to be superimposed on the V_{OL}S of ALE and Ports 1 and 3. The noise is due to external bus capacitance discharging into the Port 0 and Port 2 pins when these pins make 1-to-0 transitions during bus operations. In the worst cases (capacitive loading 100 pF), the noise pulse on the ALE line may exceed 0.45V with maxi V_{OL} peak 0.6V. A Schmitt Trigger use is not necessary.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXTERNAL CLOCK DRIVE CHARACTERISTICS (XTAL1)

Symbol	Parameter	Variable Clock freq = 0 to 6 MHz		Unit
		Min	Max	
TCLCL	Oscillator Period	166		ns
TCHCX	High Time	20		ns
TCLCX	Low Time	20		ns
TCLCH	Rise Time		20	ns
TCHCL	Fall Time		20	ns



AC CHARACTERISTICS

(T_A = −40°C to 85°C, V_{CC} = 2.7V to 6V, V_{SS} = 0V)
(Load Capacitance for Port 0, ALE, and $\overline{PSEN}$ = 100pf; Load Capacitance for All Other Outputs = 80pf).

EXTERNAL PROGRAM MEMORY CHARACTERISTICS

Symbol	Parameter	Min	Max	Units
TLHLL	ALE Pulse Width	2TCLCL − 40		ns
TAVLL	Address Valid to ALE	TCLCL − 55		ns
TLLAX	Address Hold After ALE	TCLCL − 35		ns
TLLIV	ALE to Valid instr In		4TCLCL − 170	ns
TLLPL	ALE to $\overline{PSEN}$	TCLCL − 25		ns
TPLPH	$\overline{PSEN}$ Pulse Width	3TCLCL − 35		ns
TPLIV	$\overline{PSEN}$ to Valid Instr In		3TCLCL − 220	ns
TPXIX	Input Instr Hold After $\overline{PSEN}$	0		ns
TPXIZ	Input Instr Float After $\overline{PSEN}$		TCLCL − 20	ns
TPXAV	$\overline{PSEN}$ to Address Valid	TCLCL − 8		ns
TAVIV	Address to Valid Instr In		5TCLCL − 220	ns
TPLAZ	$\overline{PSEN}$ Low to Address Float		0	ns

See next page for External Data Memory Characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXTERNAL DATA MEMORY CHARACTERISTICS

Symbol	Parameter	Min	Max	Units
TRLRH	$\overline{RD}$ Pulse Width	6TCLCL - 100		ns
TWLWH	$\overline{WR}$ Pulse Width	6TCLCL - 100		ns
TLLAX	Data Address Hold After ALE	TCLCL - 35		ns
TRLDV	$\overline{RD}$ to Valid Data In		5TCLCL - 165	ns
TRHDX	Data Hold After $\overline{RD}$	0		ns
TRHDZ	Data Float After $\overline{RD}$		2TCLCL - 70	ns
TLLDV	ALE to Valid Data In		8TCLCL - 150	ns
TAVDV	Address to Valid Data In		9TCLCL - 165	ns
TLLWL	ALE to $\overline{WR}$ or $\overline{RD}$	3TCLCL - 50	3TCLCL + 50	ns
TAVWL	Address to $\overline{WR}$ or $\overline{RD}$	4TCLCL - 130		ns
TQVWX	Data Valid to $\overline{WR}$ Transition	TCLCL - 30		ns
TQVWH	Data Setup to $\overline{WR}$ High	7TCLCL - 150		ns
TWHQX	Data Hold After $\overline{WR}$	TCLCL - 50		ns
TRLAZ	$\overline{RD}$ Low to Address Float		0	ns
TWHLH	$\overline{RD}$ or $\overline{WR}$ High to ALE High	TCLCL - 40	TCLCL - 40	ns

MAXIMUM I_{CC} (mA)

	Operating (Note 3)			Idle (Note 4)		
Freq. / V_{CC}	2.7V	5V	6V	2.7V	5V	6V
1 MHz	0.8 mA	1.5 mA	1.8 mA	400 µA	800 µA	1 mA
6 MHz	4 mA	8 mA	10 mA	1.2 mA	3.5 mA	3.8 mA

Note 2:

Power Down I_{CC} is measured will all output pins disconnected; EA = Port 0 = V_{CC}; XTAL2 N.C.; RST = V_{SS}

Note 3:

I_{CC} is measured with all output pins disconnected; XTAL1 driven with TCLCH, TCHCL = 5 ns, $V_{IL} = V_{SS} + 0.5V$; V_{IH} $V_{CC} - 0.5V$; XTAL2 N.C.; EA = RST = Port 0 = V_{CC}. I_{CC} would be slightly higher if a crystal oscillator used.

Note 4:

Idle I_{CC} is measured with all output pins disconnected; XTAL1 driven TCLCH, TCHCL = 5 ns, $V_{IL} = V_{SS} + 0.5V$; $V_{IH} = V_{CC} - 0.5V$; XTAL2 N.C.; Port 0 = V_{CC}; EA = RST = V_{SS}.

EXPLANATION OF THE AC SYMBOLS

Each timing symbol has 5 characters. The first character is always a 'T' (stands for time). The other characters, depending on their positions, stand for the name of a signal or the logical status of that signal. The following is a list all the characters and what they stand for.

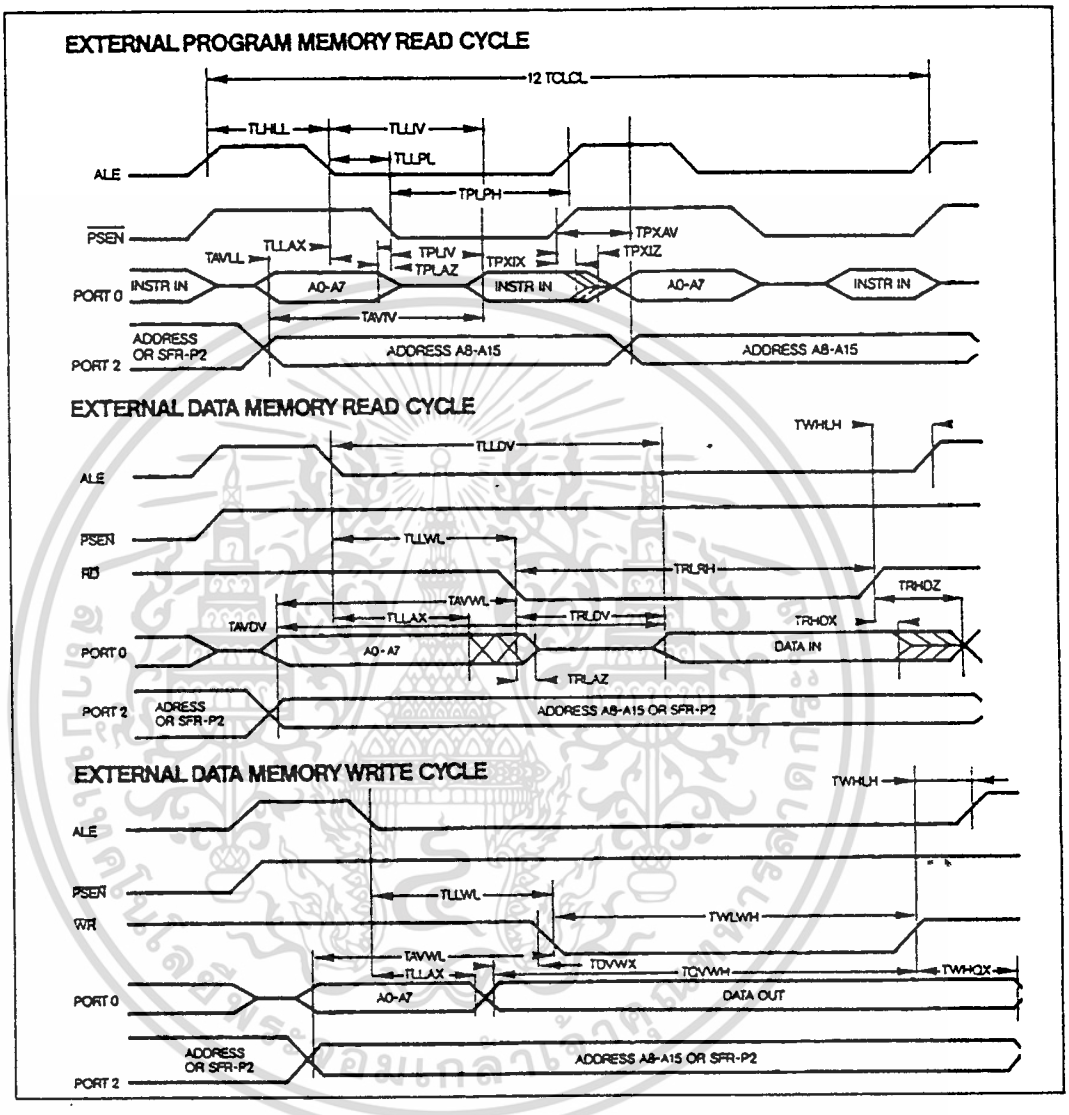
EXAMPLE:

TAVLL = Time for Address Valid to ALE low.
TLLPL = Time for ALE low to $\overline{PSEN}$ low.

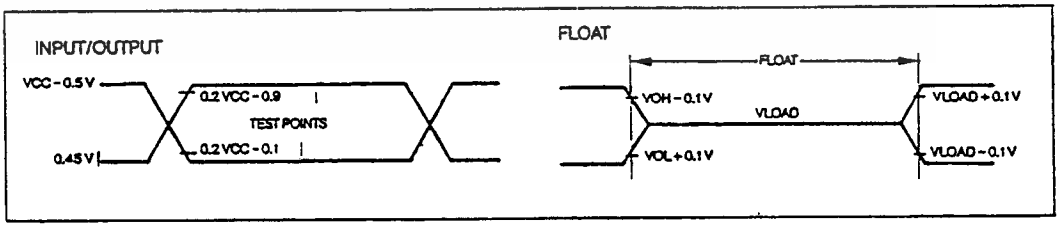
A: Address.
C: Clock.
D: Input data.
H: Logic level HIGH.
I: Instruction (program memory contents).
L: Logic level LOW, or ALE.
P: PSEN
Q: Output data.
R: READ signal.
T: Time.
V: Valid.
W: WRITE signal
X: No longer a valid logic level.
Z: Float.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC TIMING DIAGRAMS



AC TESTING INPUT/OUTPUT, FLOAT WAVEFORMS



AC inputs during testing are driven at V_{CC} – 0.5 for a logic "1" and 0.45V for a logic "0". Timing measurements are made at VIH min for a logic "1" and VIL max for a logic "0". For timing purposes a port pin is no longer floating when a 100 mV change from load voltage occurs and begins to float when a 100 mV change from the loaded VOH/VOL level occurs. IoI/IoH ≥ ± 20 Ma.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

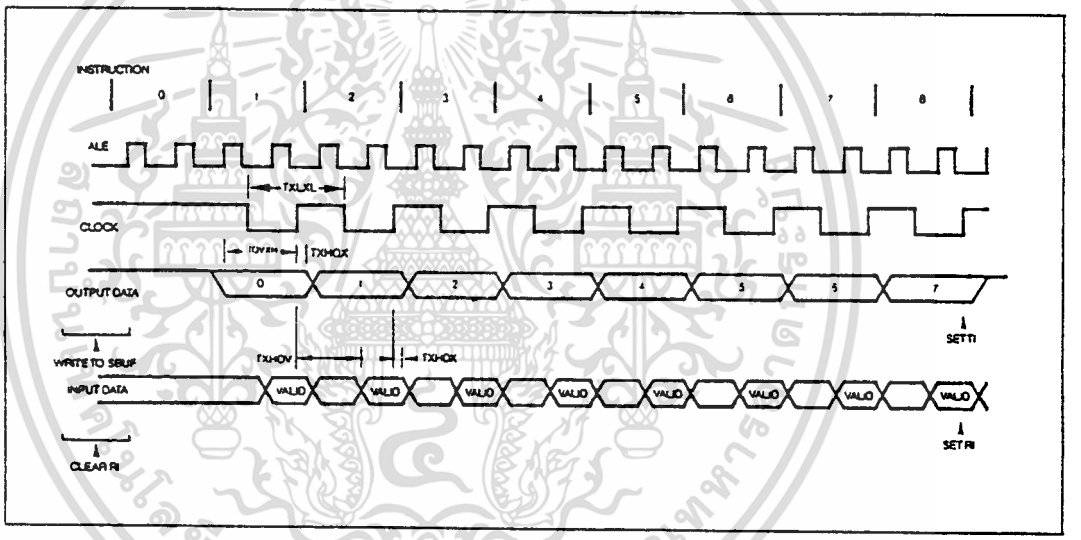
SERIAL PORT TIMING - SHIFT REGISTER MODE

A.C. CHARACTERISTICS:

(T_A = 0°C to 70°C; V_{SS} = 0V; V_{CC} = 2.7V to 6V; Load Capacitance = 80 pF)

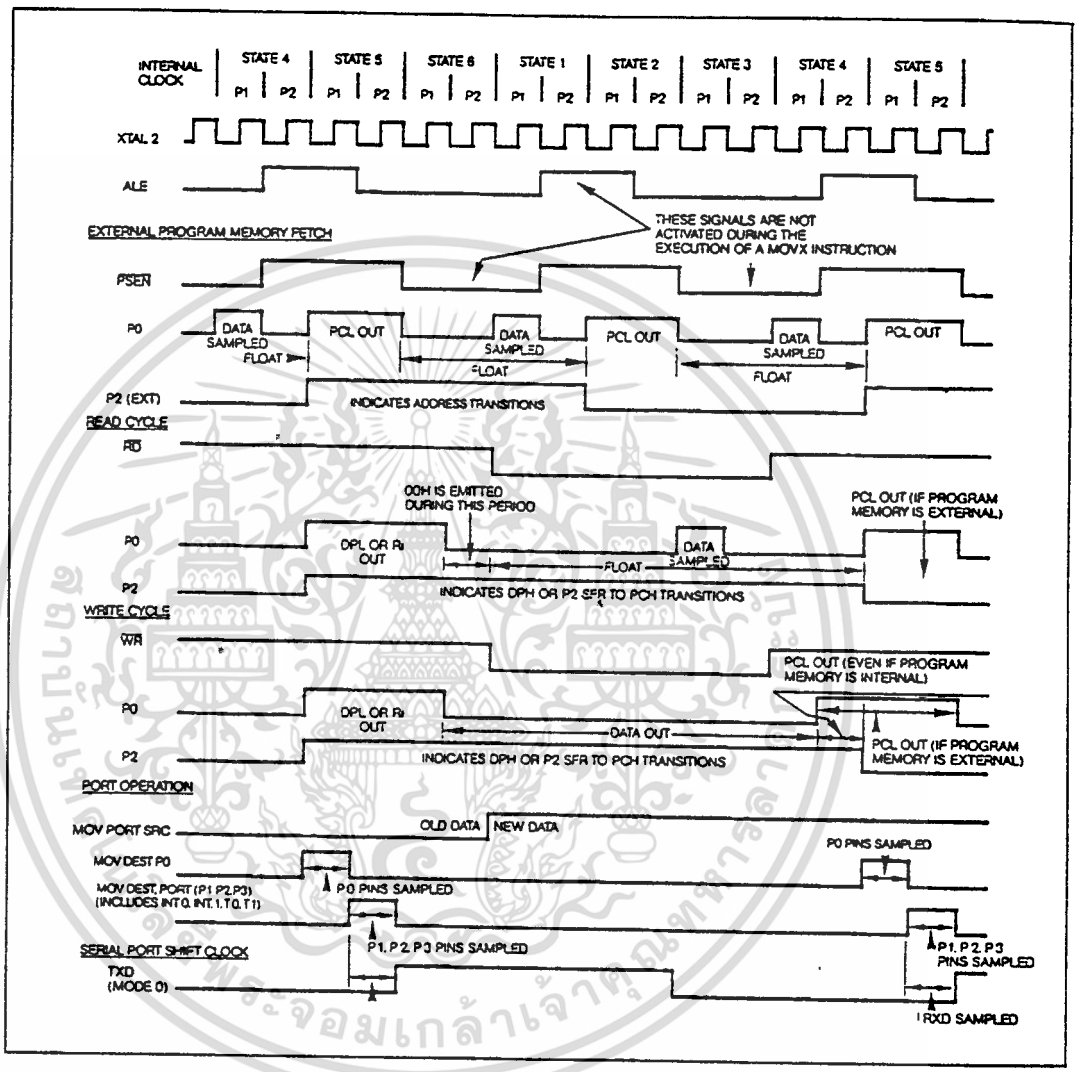
Symbol	Parameter	Min	Max	Units
TXLXL	Serial Port Clock Cycle Time	12TCLCL		µs
TQVXH	Output Data Setup to Clock Rising Edge	10TCLCL–133		ns
TXHQX	Output Data Hold After Clock Rising Edge	2TCLCL–117		ns
TXHDX	Input Data Hold After Clock Rising Edge	0		ns
TXHDV	Clock Rising Edge to Input Data Valid		10TLCL-133	ns

SHIFT REGISTER TIMING WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CLOCK WAVEFORMS



This diagram indicates when signals are clocked internally. The time it takes the signals to propagate to the pins, however, ranges from 25 to 125 ns. This propagation delay is dependent on variables such as temperature and pin loading. Propagation also varies from output to output and component. Typically though ($T_A = 25°C$ fully loaded) RD and WR propagation delays are approximately 50 ns. The other signals are typically 85 ns. Propagation delays are incorporated in the AC specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. MCS®-51 Instruction Set Description

ARITHMETIC OPERATIONS

Mnemonic		Description	Byte	Cyc
ADD	A,Rn	Add register to Accumulator	1	1
ADD	A,direct	Add direct byte to Accumulator	2	1
ADD	A,@Ri	Add indirect RAM to Accumulator	1	1
ADD	A,#data	Add immediate data to Accumulator	2	1
ADDC	A,Rn	Add register to Accumulator with Carry	1	1
ADDC	A,direct	Add direct byte to A with Carry flag	2	1
ADDC	A,@Ri	Add indirect RAM to A with Carry flag	1	1
ADDC	A,#data	Add immediate data to A with Carry flag	2	1
SUBB	A,Rn	Subtract register from A with Borrow	1	1
SUBB	A,direct	Subtract direct byte from A with Borrow	2	1
SUBB	A,@Ri	Subtract indirect RAM from A with Borrow	1	1
SUBB	A,#data	Subtract immed. data from A with Borrow	2	1
INC	A	Increment Accumulator	1	1
INC	Rn	Increment register	1	1
INC	direct	Increment direct byte	2	1
INC	@Ri	Incriment indirect RAM	1	1
INC	DPTR	Incriment Data Pointer	1	2
DEC	A	Decrement Accumulator	1	1
DEC	Rn	Decrement register	1	1
DEC	direct	Decrement direct byte	2	1
DEC	@Ri	Decrement indirect RAM	1	1
MUL	AB	Multiply A & B	1	4
DIV	AB	Divide A by B	1	4
DA	A	Decimal Adjust Accumulator	1	1

LOGICAL OPERATIONS

Mnemonic		Destination	Byte	Cyc
ANL	A,Rn	AND register to Accumulator	1	1
ANL	A,direct	AND direct byte to Accumulator	2	1
ANL	A,@Ri	AND indirect RAM to Accumulator	1	1
ANL	A,#data	AND immediate data to Accumulator	2	1
ANL	direct,A	AND Accumulator to direct byte	2	1
ANL	direct,#data	AND immediate data to direct byte	3	2
ORL	A,Rn	OR register to Accumulator	1	1
ORL	A,direct	OR direct byte to Accumulator	2	1
ORL	A,@Ri	OR indirect RAM to Accumulator	1	1
ORL	A,#data	OR immediate data to Accumulator	2	1
ORL	direct,A	OR Accumulator to direct byte	2	1
ORL	direct,#data	OR immediate data to direct byte	3	2
XRL	A,Rn	Exclusive-OR register to Accumulator	1	1
XRL	A,direct	Exclusive-OR direct byte to Accumulator	2	1
XRL	A,@Ri	Exclusive-OR indirect RAM to A	1	1
XRL	A,#data	Exclusive-OR immediate data to A	2	1
XRL	direct,A	Exclusive-OR Accumulator to direct byte	2	1
XRL	direct,#data	Exclusive-OR immediate data to direct	3	2
CLR	A	Clear Accumulator	1	1
CPL	A	Complement Accumulator	1	1
RL	A	Rotate Accumulator Left	1	1
RLC	A	Rotate A Left through the Carry flag	1	1
RR	A	Rotate Accumulator Right	1	1
RRC	A	Rotate A Right through Carry flag	1	1
SWAP	A	Swap nibbles within the Accumulator	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. (Cont.)

DATA TRANSFER

Mnemonic		Description	Byte	Cyc
MOV	A,Rn	Move register to Accumulator	1	1
MOV	A,direct	Move direct byte to Accumulator	2	1
MOV	A,@Ri	Move indirect RAM to Accumulator	1	1
MOV	A,#data	Move immediate data to Accumulator	2	1
MOV	Rn,A	Move Accumulator to register	1	1
MOV	Rn,direct	Move direct byte to register	2	2
MOV	Rn,#data	Move immediate data to register	2	1
MOV	direct,A	Move Accumulator to direct byte	2	1
MOV	direct,Rn	Move register to direct byte	2	2
MOV	direct,direct	Move direct byte to direct	3	2
MOV	direct,@Ri	Move indirect RAM to direct byte	2	2
MOV	direct,#data	Move immediate data to direct byte	3	2
MOV	@Ri,A	Move Accumulator to indirect RAM	1	1
MOV	@Ri,direct	Move direct byte to indirect RAM	2	2
MOV	@Ri,#data	Move immediate data to indirect RAM	2	1
MOV	DPTR,#data 16	Load Data Pointer with a 16-bit constant	3	2
MOVC	A,@A+DPTR	Move Code byte relative to DPTR to A	1	2
MOVC	A,@A+PC	Move Code byte relative to PC to A	1	2
MOVX	A,@Ri	Move External RAM (8-bit addr) to A	1	2
MOVX	A,@DPTR	Move External RAM (16-bit addr) to A	1	2
MOVX	@Ri,A	Move A to External RAM (8-bit addr)	1	2
MOVX	@DPTR,A	Move A to External RAM (16-bit addr)	1	2
PUSH	direct	Push direct byte onto stack	2	2
POP	direct	Pop direct byte form stack	2	2
XCH	A,Rn	Exchange register with Accumulator	1	1
XCH	A,direct	Exchange direct byte with Accumulator	2	1
XCH	A,@Ri	Exchange indirect RAM with A	1	1
XCHD	A,@Ri	Exchange low-order nibble ind RAM with A	1	1

BOOLEAN VARIABLE MANIPULATION

Mnemonic		Description	Byte	Cyc
CLR	C	Clear Carry flag	1	1
CLR	bit	Clear direct bit	2	1
SETB	C	Set Carry flag	1	1
SETB	bit	Set direct Bit	2	1
CPL	C	Complement Carry flag	1	1
CPL	bit	Complement direct bit	2	1
ANL	C,bit	AND direct bit to Carry flag	2	2
ANL	C,1 bit	AND complement of direct bit to Carry	2	2
ORL	C/bit	OR direct bit to Carry flag	2	2
ORL	C,1 bit	OR complement of direct bit to Carry	2	2
MOV	C/bit	Move direct bit to Carry flag	2	1
MOV	bit,C	Move Carry flag to direct bit	2	2

PROGRAM AND MACHINE CONTROL

Mnemonic		Description	Byte	Cyc
ACALL	addr 11	Absolute Subroutine Call	2	2
LCALL	addr 16	Long Subroutine Call	3	2
RET		Return from subroutine	1	2
RETI		Return from interrupt	1	2
AJMP	addr 11	Absolute Jump	2	2
LJMP	addr 16	Long Jump	3	2
SJMP	rel	Short Jump (relative addr)	2	2
JMP	@A+DPTR	Jump indirect relative to the DPTR	1	2
JZ	rel	Jump if Accumulator is Zero	2	2
JNZ	rel	Jump if Accumulator is Not Zero	2	2
JC	rel	Jump if Carry flag is set	2	2
JNC	rel	Jump if No Carry flag	2	2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. (Cont.)

PROGRAM AND MACHINE CONTROL (cont.)

Mnemonic		Description	Byte	Cyc
JB	bit,rel	Jump if direct Bit set	3	2
JNB	bit,rel	Jump if direct Bit Not set	3	2
JBC	bit,rel	Jump if direct Bit is set & Clear bit	3	2
CJNE	A,direct,rel	Compare direct to A & Jump if Not Equal	3	2
CJNE	A,#data,rel	Comp. immed. to A & Jump if Not Equal	3	2
CJNE	Rn,#data,rel	Comp. immed. to reg & Jump if Not Equal	3	2
CJNE	@Ri,#data. rel	Comp. immed. to ind. & Jump if Not Equal	3	2
DJNZ	Rn,rel	Decrement register & Jump if Not Zero	2	2
DJNZ	direct. rel	Decrement direct & Jump if Not Zero	3	2
NOP		No operation	1	1

Notes on data addressing modes:

Rn	– Working register R0-R7
direct	– 128 internal RAM locations, any I/O port, control or status register
@Ri	– Indirect internal RAM location addressed by register R0 or R1
#data	– 8-bit constant included in instruction
#data 16	– 16-bit constant included as bytes 2 & 3 of instruction
bit	– 128 software flags, any I/O pin, control or status bit

Notes on program addressing modes:

addr 16	– Destination address for LCALL & LJMP may be anywhere within the 64-k program memory address space
Addr 11	– Destination address for ACALL & AJMP will be within the same 2-k page of program memory as the first byte of the following instruction
rel	– SJMP and all conditional jumps include an 8-bit offset byte. Range is +127–128 bytes relative to first byte of the following instruction.

All mnemonics copyrighted © Intel Corporation 1979

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. Instruction Opcodes in Hexadecimal Order

Hex Code	Number of Bytes	Mnemonic	Operands
00	1	NOP	
01	2	AJMP	code addr
02	3	LJMP	code addr
03	1	RR	A
04	1	INC	A
05	2	INC	data addr
06	1	INC	@R0
07	1	INC	@R1
08	1	INC	R0
09	1	INC	R1
0A	1	INC	R2
0B	1	INC	R3
0C	1	INC	R4
0D	1	INC	R5
0E	1	INC	R6
0F	1	INC	R7
10	3	JBC	bit addr,code addr
11	2	ACALL	code addr
12	3	LCALL	code addr
13	1	RRC	A
14	1	DEC	A
15	2	DEC	data addr
16	1	DEC	@R0
17	1	DEC	@R1
18	1	DEC	R0
19	1	DEC	R1
1A	1	DEC	R2
1B	1	DEC	R3
1C	1	DEC	R4
1D	1	DEC	R5
1E	1	DEC	R6
1F	1	DEC	R7
20	3	JB	bit addr,code addr
21	2	AJMP	code addr
22	1	RET	
23	1	RL	A
24	2	ADD	A,data
25	2	ADD	A,data addr
26	1	ADD	A,@R0
27	1	ADD	A,@R1
28	1	ADD	A,R0
29	1	ADD	A,R1
2A	1	ADD	A,R2
2B	1	ADD	A,R3
2C	1	ADD	A,R4
2D	1	ADD	A,R5
2E	1	ADD	A,R6
2F	1	ADD	A,R7
30	3	JNB	bit addr,code addr
31	2	ACALL	code addr
32	1	RETI	
33	1	RLC	A
34	2	ADDC	A,#data
35	2	ADDC	A,data addr
36	1	ADDC	A,@R0
37	1	ADDC	A,@R1
38	1	ADDC	A,R0
39	1	ADDC	A,R1
3A	1	ADDC	A,R2
3B	1	ADDC	A,R3
3C	1	ADDC	A,R4
3D	1	ADDC	A,R5
3E	1	ADDC	A,R6
3F	1	ADDC	A,R7
40	2	JC	code addr
41	2	AJMP	code addr
42	2	ORL	data addr,A
43	3	ORL	data addr,#data
44	2	ORL	A,#data
45	2	ORL	A,data addr
46	1	ORL	A,@R0
47	1	ORL	A,@R1
48	1	ORL	A,R0
49	1	ORL	A,R1
4A	1	ORL	A,R2
4B	1	ORL	A,R3
4C	1	ORL	A,R4
4D	1	ORL	A,R5
4E	1	ORL	A,R6
4F	1	ORL	A,R7
50	2	JNC	code addr
51	2	ACALL	code addr
52	2	ANL	data addr,A
53	3	ANL	data addr,#data
54	2	ANL	A,#data
55	2	ANL	A,data addr
56	1	ANL	A,@R0
57	1	ANL	A,@R1
58	1	ANL	A,R0
59	1	ANL	A,R1
5A	1	ANL	A,R2
5B	1	ANL	A,R3
5C	1	ANL	A,R4
5D	1	ANL	A,R5
5E	1	ANL	A,R6
5F	1	ANL	A,R7
60	2	JZ	code addr
61	2	AJMP	code addr
62	2	XRL	data addr A
63	3	XRL	data addr,#data
64	2	XRL	A,#data
65	2	XRL	A,data addr

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. (Cont.)

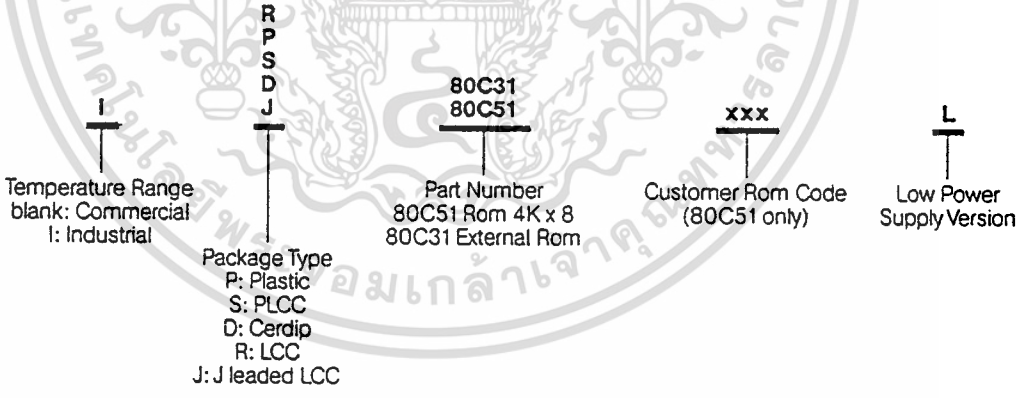
Hex Code	Number of Bytes	Mnemonic	Operands
66	1	XRL	A,@R0
67	1	XRL	A,@R1
68	1	XRL	A,R0
69	1	XRL	A,R1
6A	1	XRL	A,R2
6B	1	XRL	A,R3
6C	1	XRL	A,R4
6D	1	XRL	A,R5
6E	1	XRL	A,R6
6F	1	XRL	A,R7
70	2	JNZ	code addr
71	2	ACALL	code addr
72	2	ORL	C, bit addr
73	1	JMP	@A+DPTR
74	2	MOV	A,#data
75	3	MOV	data addr,#data
76	2	MOV	@R0,#data
77	2	MOV	@R1,#data
78	2	MOV	R0,#data
79	2	MOV	R1,#data
7A	2	MOV	R2,#data
7B	2	MOV	R3,#data
7C	2	MOV	R4,#data
7D	2	MOV	R5,#data
7E	2	MOV	R6,#data
7F	2	MOV	R7,#data
80	2	SJMP	code addr
81	2	AJMP	code addr
82	2	ANL	C,bit addr
83	1	MOVC	A,@A+PC
84	1	DIV	AB
85	3	MOV	data addr,data addr
86	2	MOV	data addr,@R0
87	2	MOV	data addr,@R1
88	2	MOV	data addr,R0
89	2	MOV	data addr,R1
8A	2	MOV	data addr,R2
8B	2	MOV	data addr,R3
8C	2	MOV	data addr,R4
8D	2	MOV	data addr,R5
8E	2	MOV	data addr,R6
8F	2	MOV	data addr,R7
90	3	MOV	DPTR,#data
91	2	ACALL	code addr
92	2	MOV	bit addr,C
93	1	MOVC	A,@A+DPTR
94	2	SUBB	A,#data
95	2	SUBB	A,data addr
96	1	SUBB	A,@R0
97	1	SUBB	A,@R1
98	1	SUBB	A,R0

Hex Code	Number of Bytes	Mnemonic	Operands
99	1	SUBB	A,R1
9A	1	SUBB	A,R2
9B	1	SUBB	A,R3
9C	1	SUBB	A,R4
9D	1	SUBB	A,R5
9E	1	SUBB	A,R6
9F	1	SUBB	A,R7
A0	2	ORL	C,bit addr
A1	2	AJMP	code addr
A2	2	MOV	C,bit addr
A3	1	INC	DPTR
A4	1	MUL	AB
A5		reserved	
A6	2	MOV	@R0,data addr
A7	2	MOV	@R1,data addr
A8	2	MOV	R0,data addr
A9	2	MOV	R1,data addr
AA	2	MOV	R2,data addr
AB	2	MOV	R3,data addr
AC	2	MOV	R4,data addr
AD	2	MOV	R5,data addr
AE	2	MOV	R6,data addr
AF	2	MOV	R7,data addr
B0	2	ANL	C,bit addr
B1	2	ACALL	code addr
B2	2	CPL	bit addr
B3	1	CPL	C
B4	3	CJNE	A,#data,code addr
B5	3	CJNE	A,data addr,code addr
B6	3	CJNE	@R0,#data,code addr
B7	3	CJNE	@R1,#data,code addr
B8	3	CJNE	R0,#data,code addr
B9	3	CJNE	R1,#data,code addr
BA	3	CJNE	R2,#data,code addr
BB	3	CJNE	R3,#data,code addr
BC	3	CJNE	R4,#data,code addr
BD	3	CJNE	R5,#data,code addr
BE	3	CJNE	R6,#data,code addr
BF	3	CJNE	R7,#data,code addr
C0	2	PUSH	data addr
C1	2	AJMP	code addr
C2	2	CLR	bit addr
C3	1	CLR	C
C4	1	SWAP	A
C5	2	XCH	A,data addr
C6	1	XCH	A,@R0
C7	1	XCH	A,@R1
C8	1	XCH	A,R0
C9	1	XCH	A,R1
CA	1	XCH	A,R2
CB	1	XCH	A,R3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. (Cont.)

Hex Code	Number of Bytes	Mnemonic	Operands
CC	1	XCH	A,R4
CD	1	XCH	A,R5
CE	1	XCH	A,R6
CF	1	XCH	A,R7
D0	2	POP	data addr
D1	2	ACALL	code addr
D2	2	SETB	bit addr
D3	1	SETB	C
D4	1	DA	A
D5	3	DJNZ	data addr,code addr
D6	1	XCHD	A,@R0
D7	1	XCHD	A,@R1
D8	2	DJNZ	R0,code addr
D9	2	DJNZ	R1,code addr
DA	2	DJNZ	R2,code addr
DB	2	DJNZ	R3,code addr
DC	2	DJNZ	R4,code addr
DD	2	DJNZ	R5,code addr
DE	2	DJNZ	R6,code addr
DF	2	DJNZ	R7,code addr
E0	1	MOVX	A,@DPTR
E1	2	AJMP	code addr
E2	1	MOVX	A,@R0
E3	1	MOVX	A,@R1
E4	1	CLR	A
E5	2	MOV	A,data addr
E6	1	MOV	A,@R0
E7	1	MOV	A,@R1
E8	1	MOV	A,R0
E9	1	MOV	A,R1
EA	1	MOV	A,R2
EB	1	MOV	A,R3
EC	1	MOV	A,R4
ED	1	MOV	A,R5
EE	1	MOV	A,R6
EF	1	MOV	A,R7
F0	1	MOVX	@DPTR,A
F1	2	ACALL	code addr
F2	1	MOVX	@R0,A
F3	1	MOVX	@R1,A
F4	1	CPL	A
F5	2	MOV	data addr,A
F6	1	MOV	@R0,A
F7	1	MOV	@R1,A
F8	1	MOV	R0,A
F9	1	MOV	R1,A
FA	1	MOV	R2,A
FB	1	MOV	R3,A
FC	1	MOV	R4,A
FD	1	MOV	R5,A
FE	1	MOV	R6,A
FF	1	MOV	R7,A



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

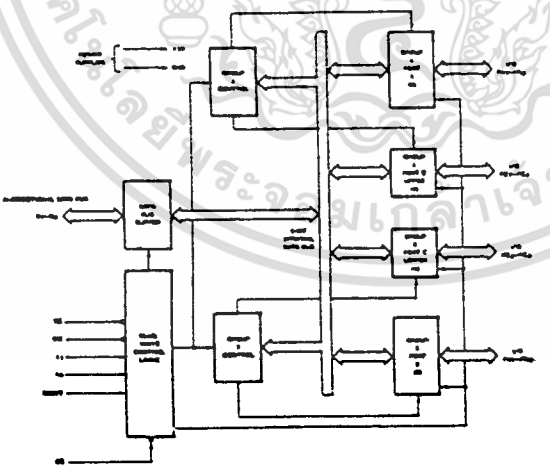


Figure 1. 8255A Block Diagram

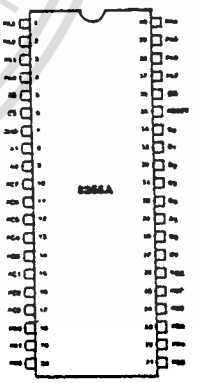


Figure 2. Pin Configuration

©INTEL CORPORATION, 1982

Order Number: 231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select. A "low" on this input pin enables the communiction between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A – DATA BUS
0	1	0	1	0	PORT B – DATA BUS
1	0	0	1	0	PORT C – DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS – PORT A
0	1	1	0	0	DATA BUS – PORT B
1	0	1	0	0	DATA BUS – PORT C
1	1	1	0	0	DATA BUS – CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS – 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS – 3-STATE

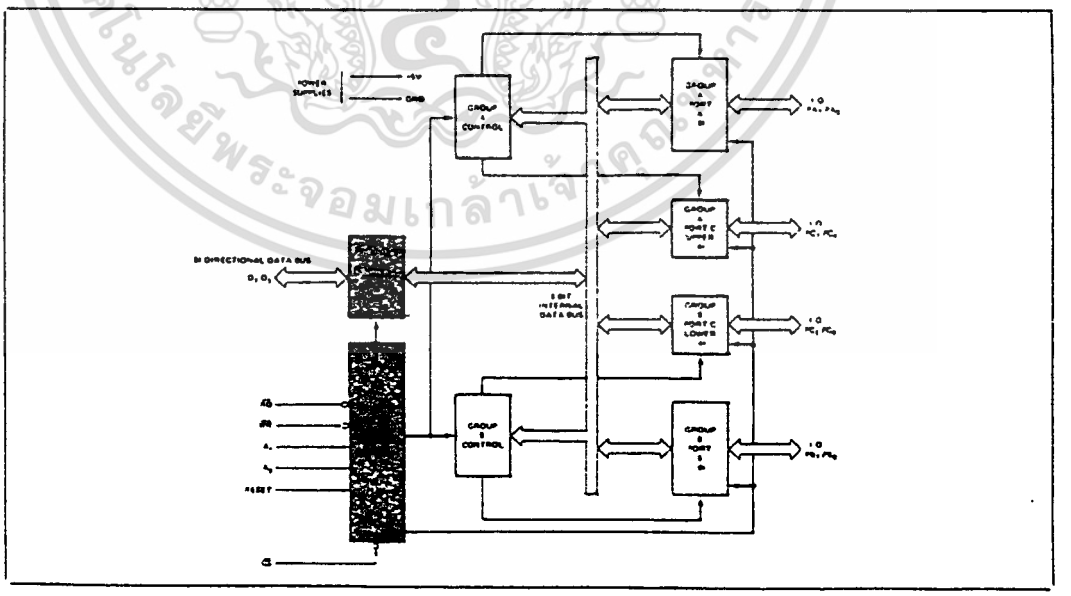


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

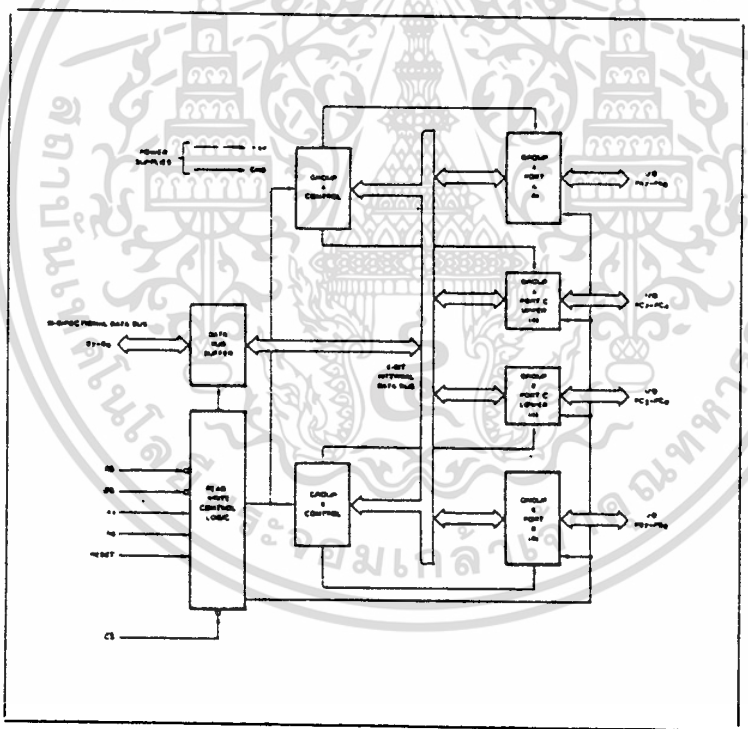
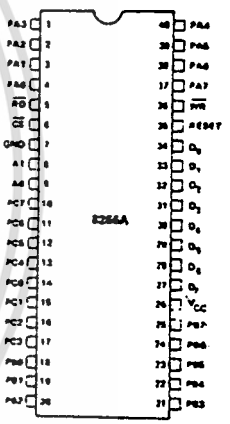


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

D_0-D_7	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

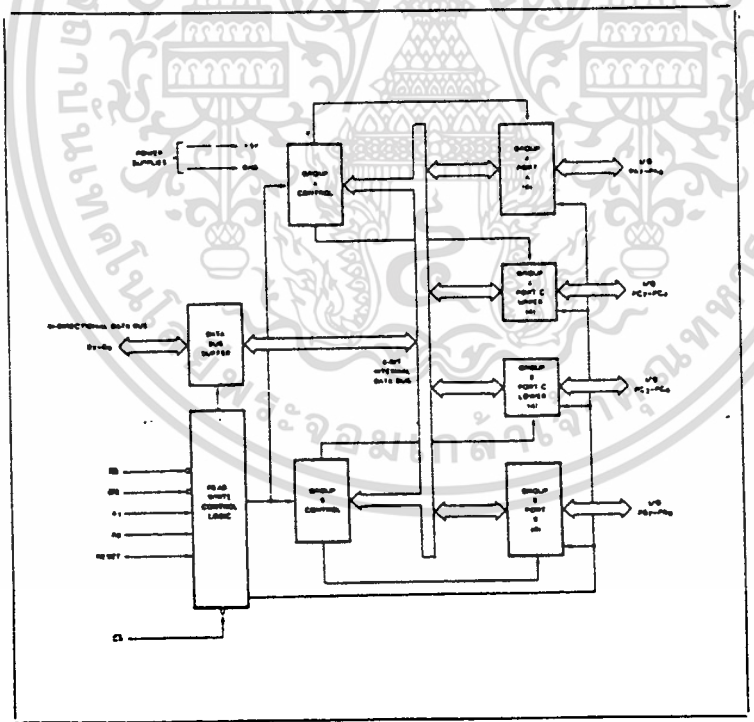
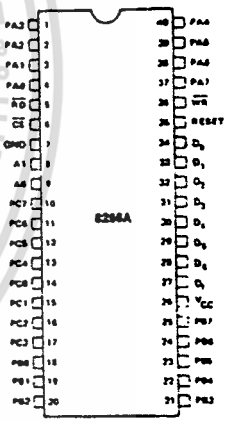


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

D_7–D_0	DATA BUS (BI DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic Input/Output
Mode 1 — Strobed Input/Output
Mode 2 — Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance: Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

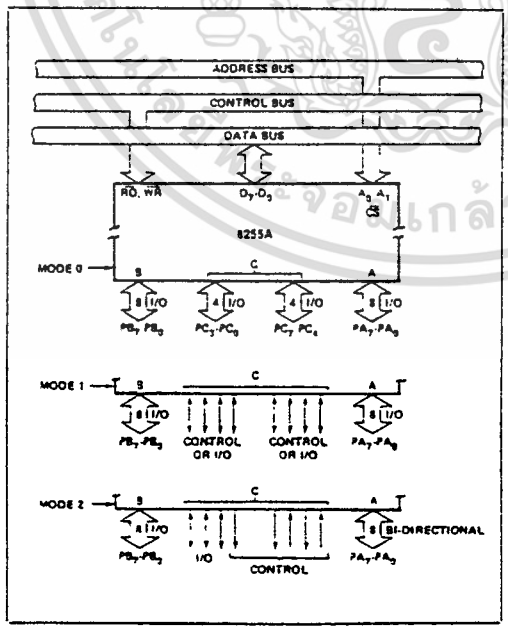


Figure 5. Basic Mode Definitions and Bus Interface

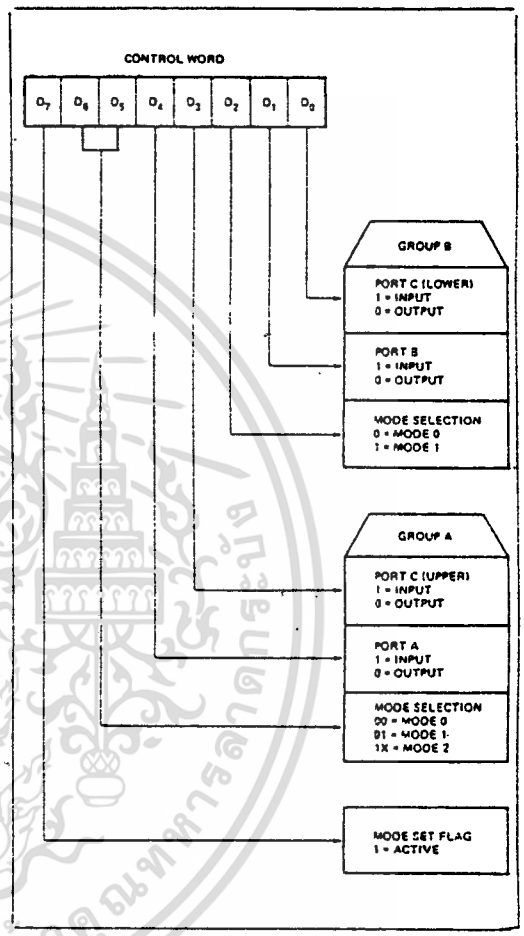


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

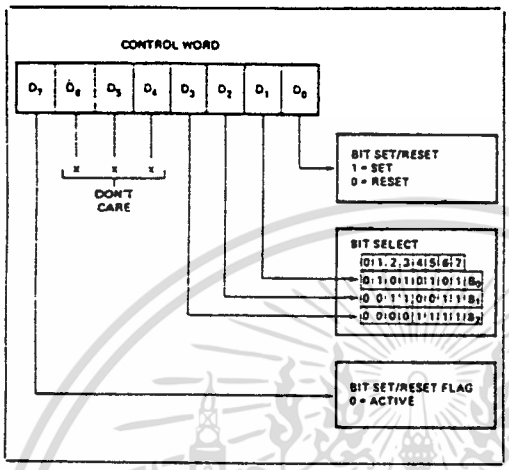


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) — INTE is SET — Interrupt enable
(BIT-RESET) — INTE is RESET — Interrupt disable

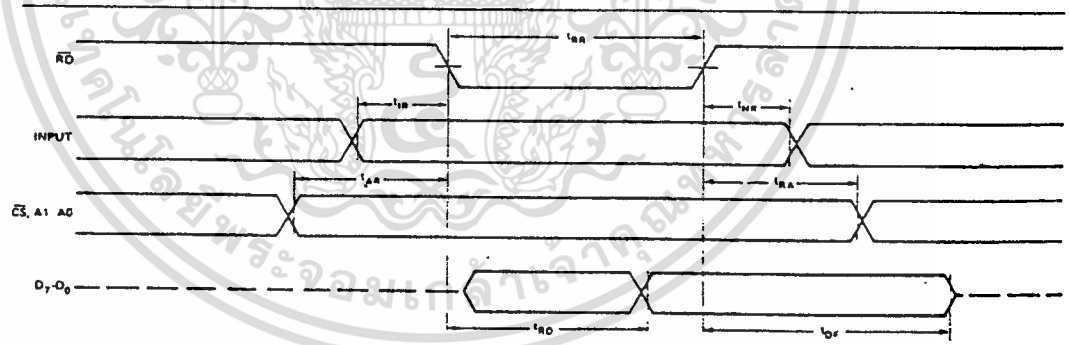
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

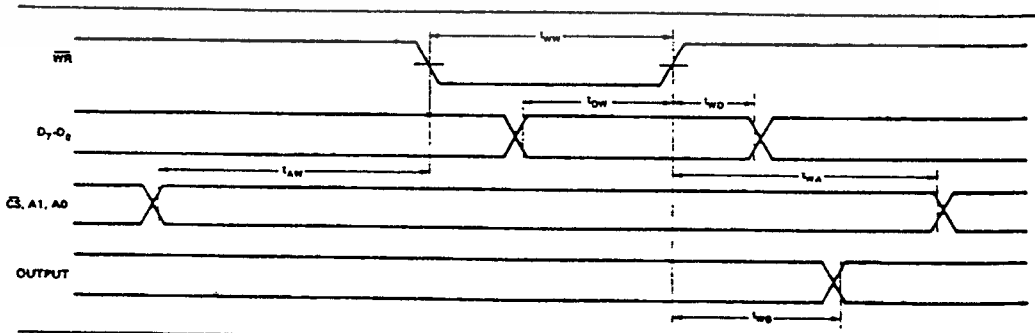
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



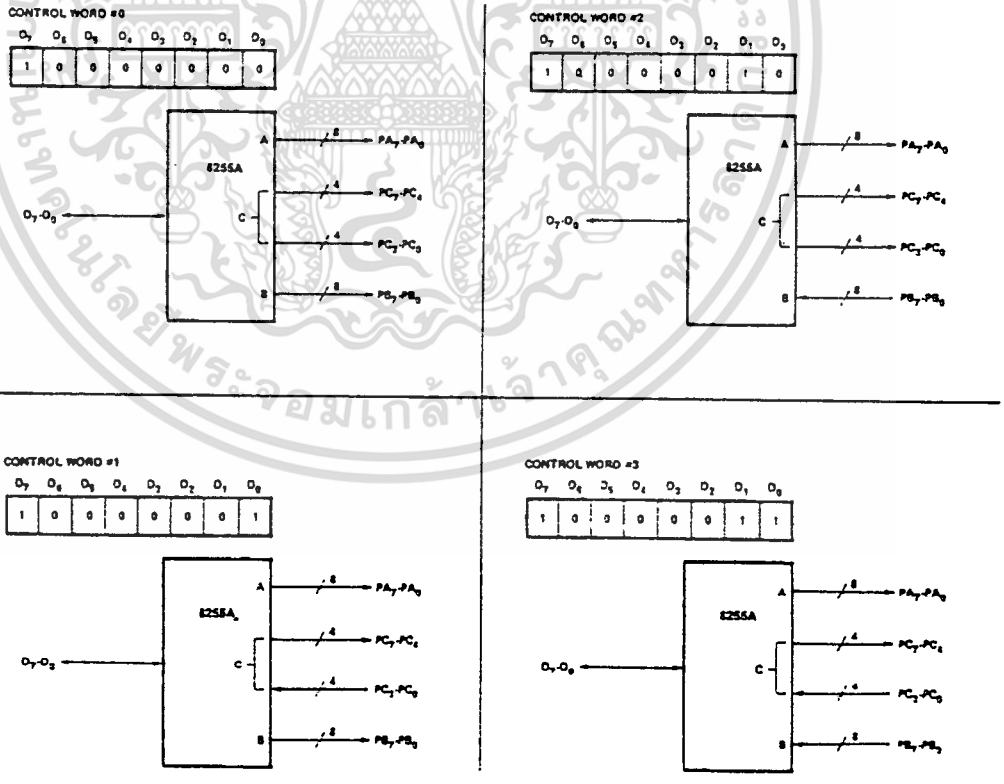
MODE 0 (Basic Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Port Definition

A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

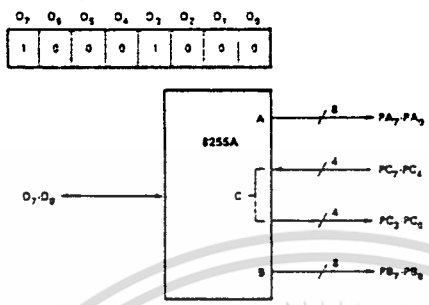
MODE 0 Configurations



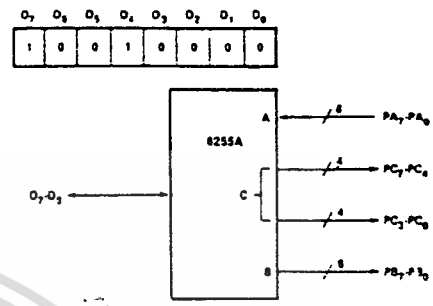
231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

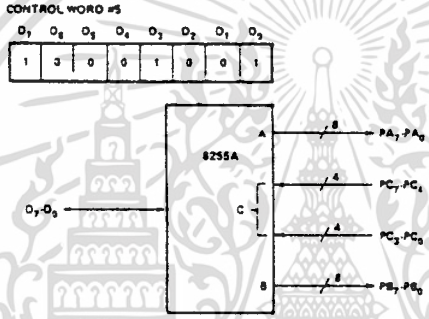
CONTROL WORD #4



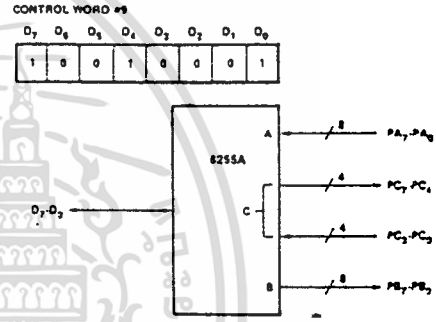
CONTROL WORD #8



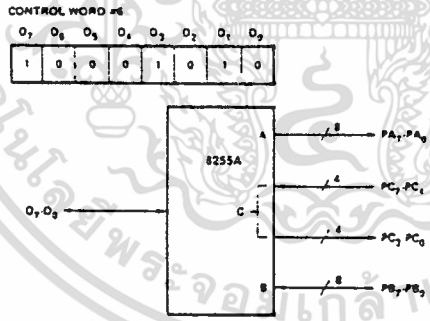
CONTROL WORD #5



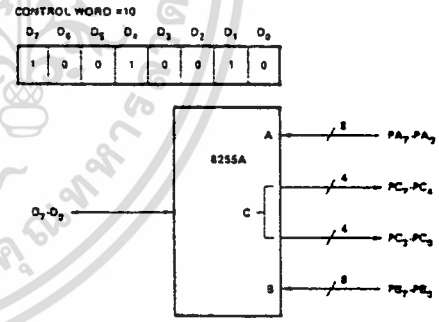
CONTROL WORD #9



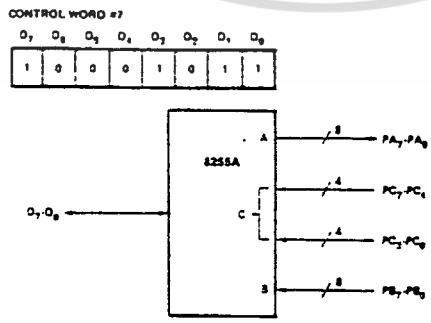
CONTROL WORD #6



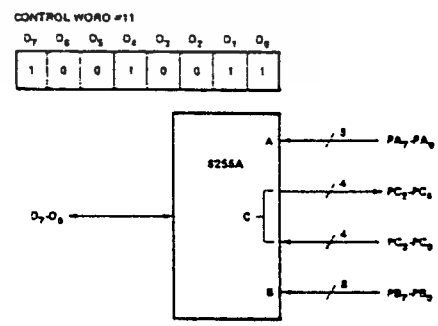
CONTROL WORD #10



CONTROL WORD #7

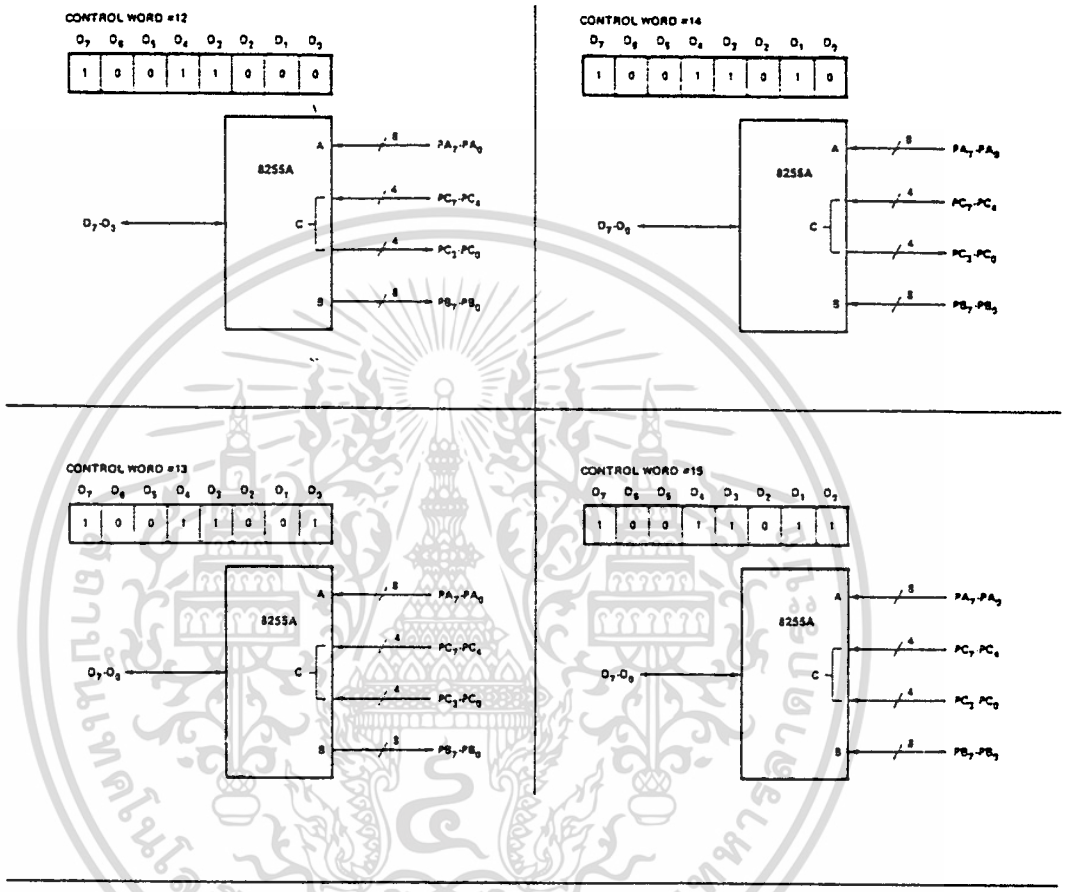


CONTROL WORD #11



231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

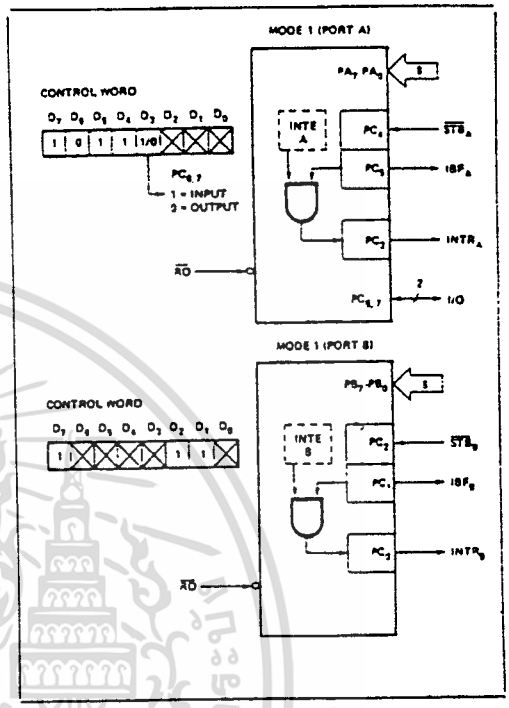


Figure 8. MODE 1 Input

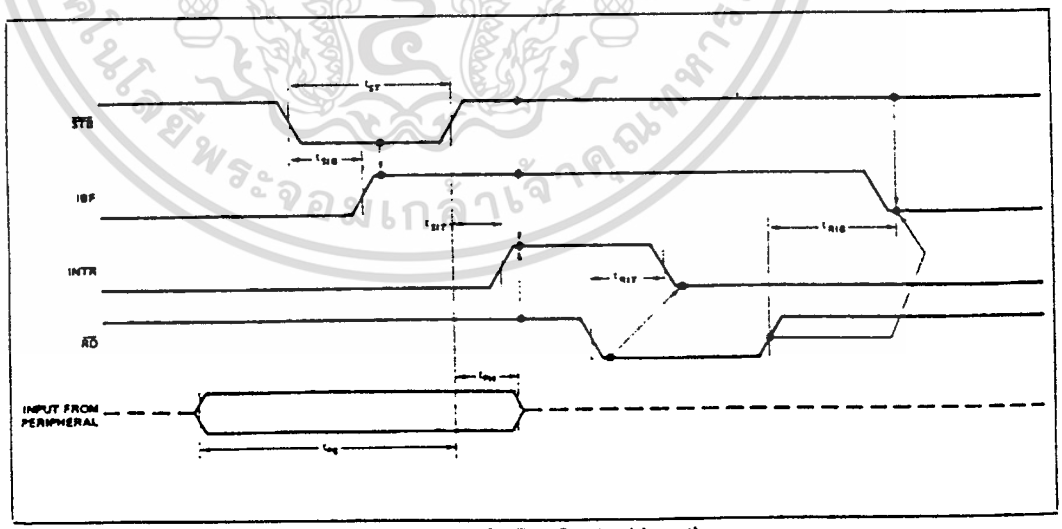


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has recieved the data output by the CPU

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of WR.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

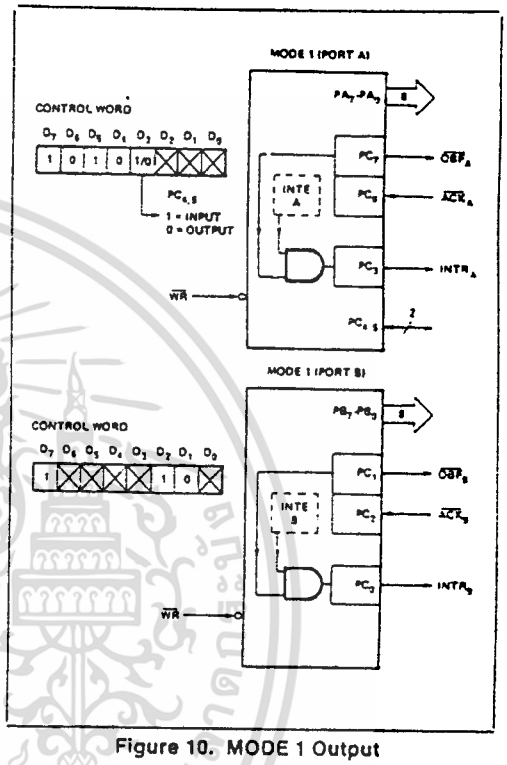


Figure 10. MODE 1 Output

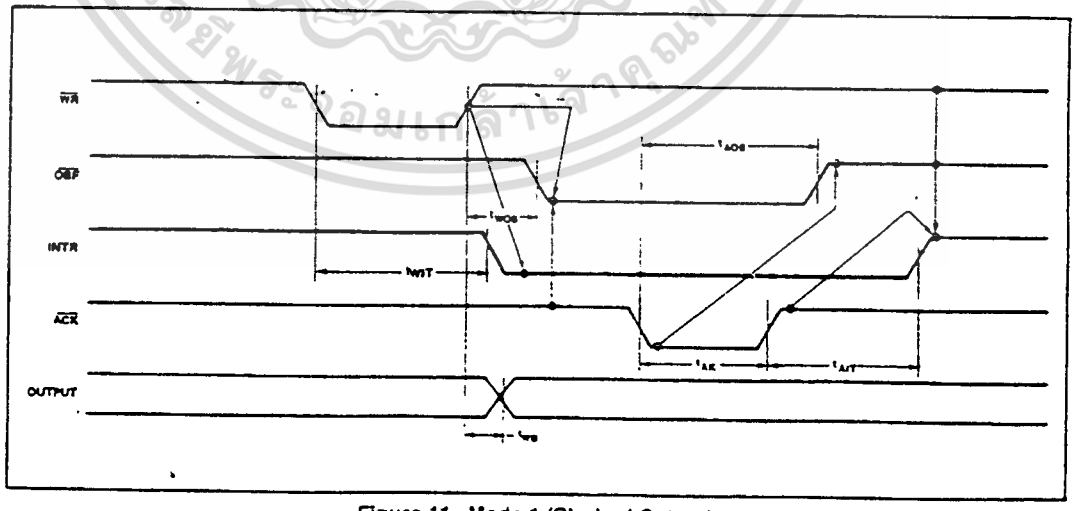


Figure 11. Mode 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

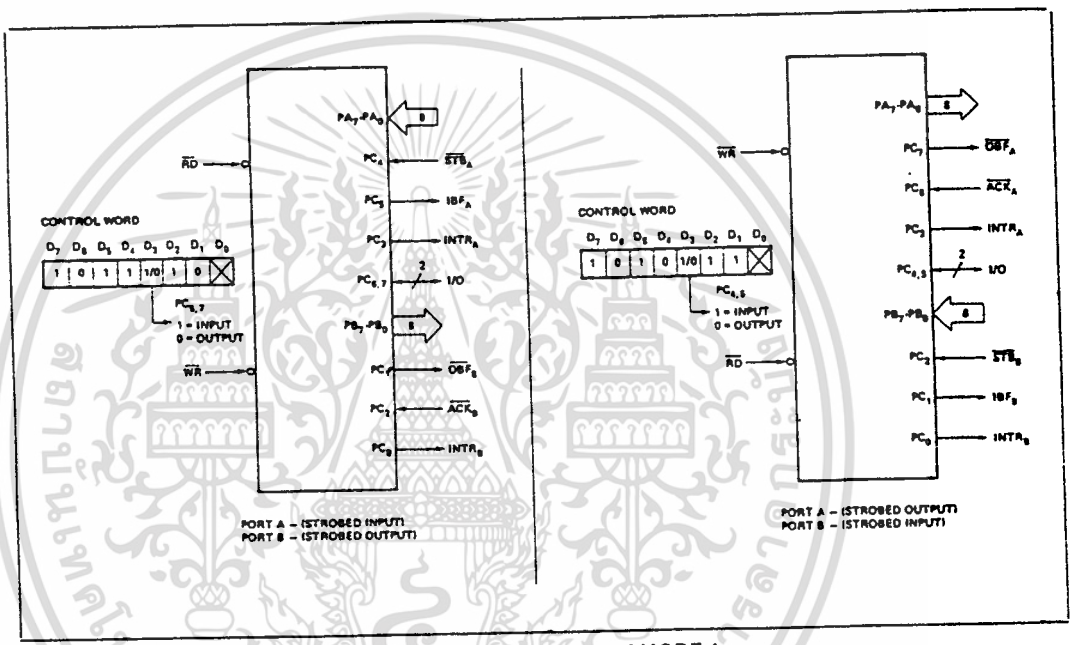


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to port A.

$\overline{ACK}$ (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with OBF). Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC_4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

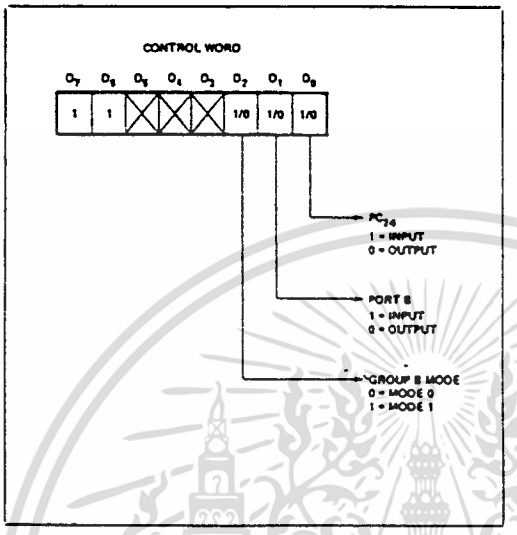


Figure 13. MODE Control Word

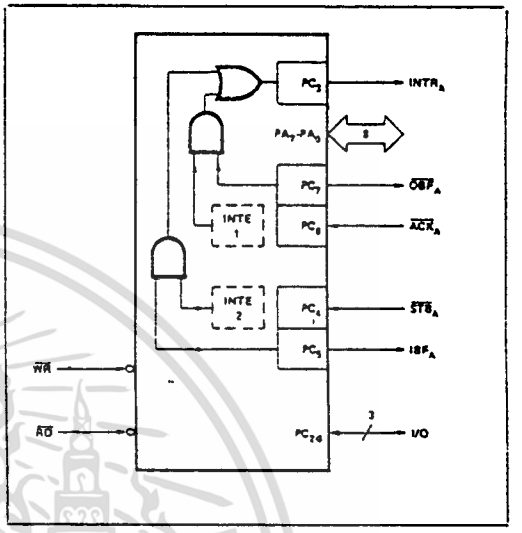


Figure 14. MODE 2

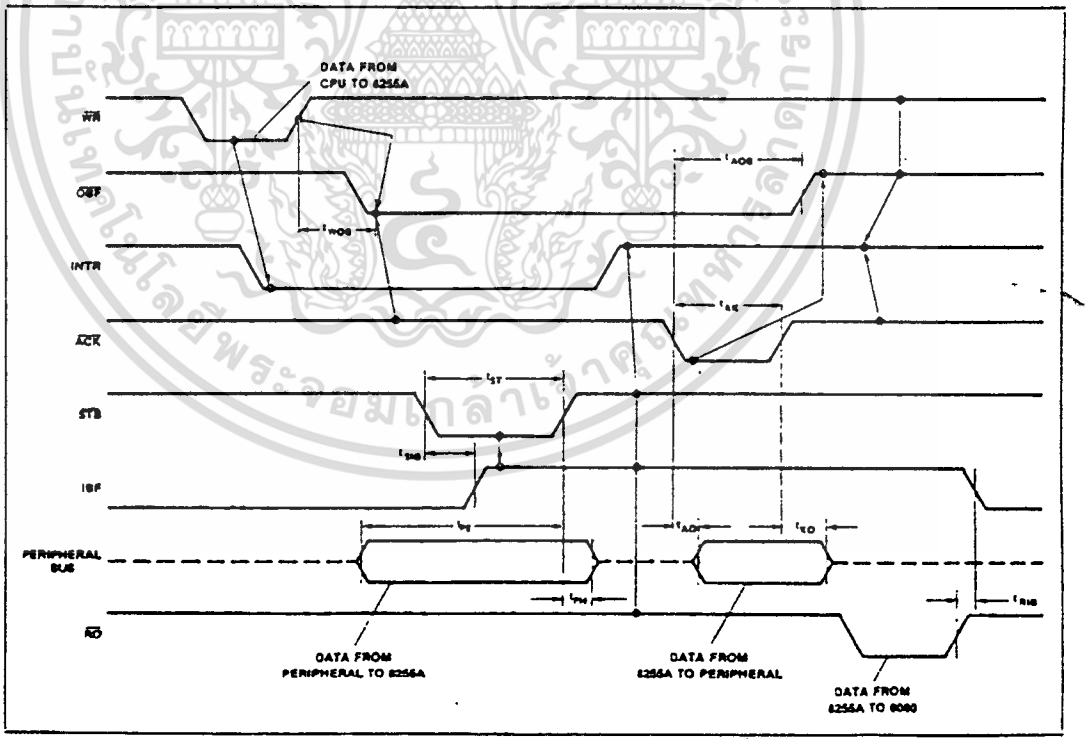


Figure 15. MODE 2 (Bidirectional)

NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissable.
(INTR = IBF • $\overline{MASK}$ • $\overline{STB}$ • $\overline{RD}$ + $\overline{OBF}$ • $\overline{MASK}$ • $\overline{ACK}$ • $\overline{WR}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

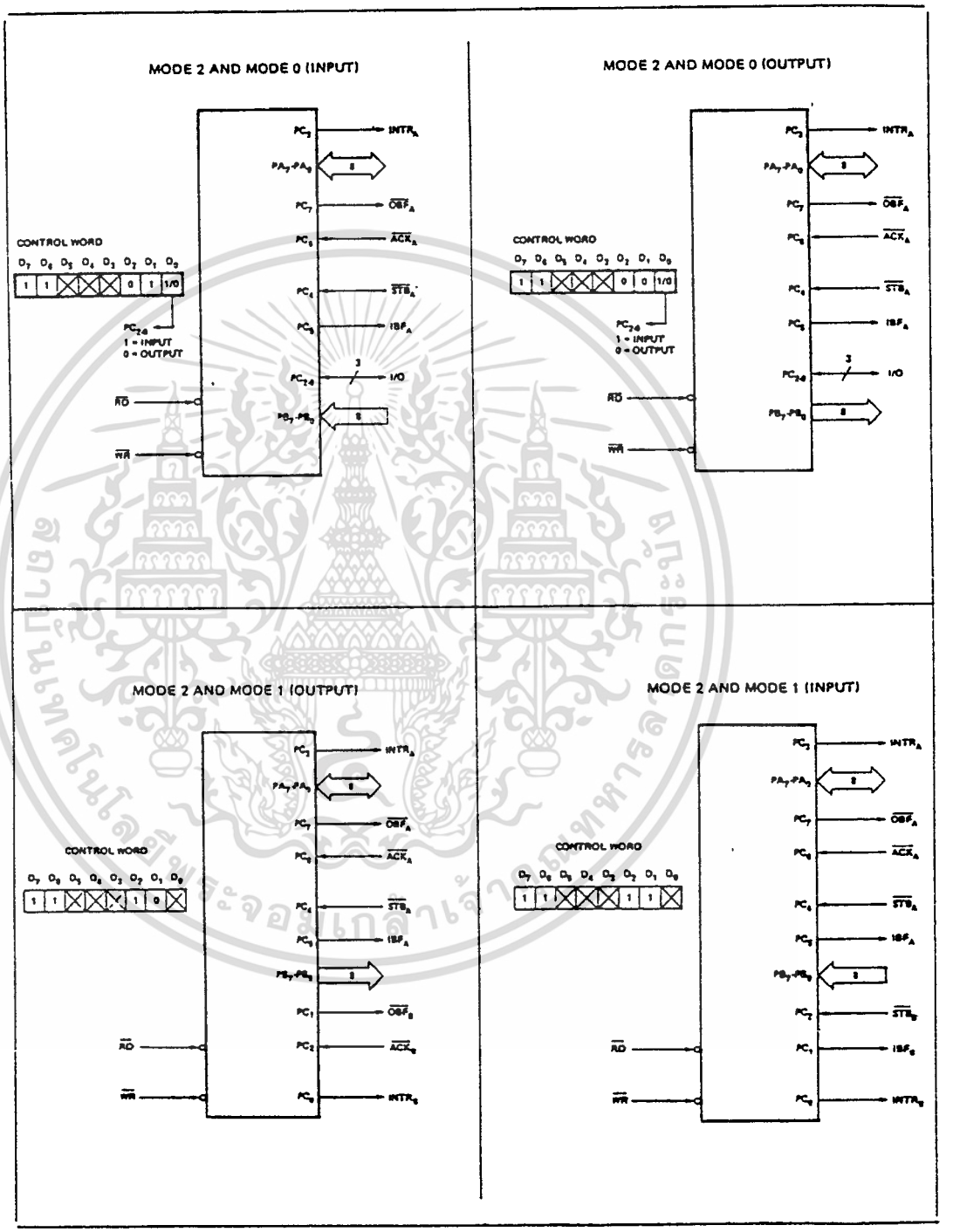


Figure 16. MODE ¼ Combinations

231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	↔	
PA_1	IN	OUT	IN	OUT	↔	
PA_2	IN	OUT	IN	OUT	↔	
PA_3	IN	OUT	IN	OUT	↔	
PA_4	IN	OUT	IN	OUT	↔	
PA_5	IN	OUT	IN	OUT	↔	
PA_6	IN	OUT	IN	OUT	↔	
PA_7	IN	OUT	IN	OUT	↔	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs –
All input lines can be accessed during a normal Port C read.

If Programmed as Outputs –
Bits in C upper (PC_7-PC_4) must be individually accessed using the bit set/reset function.

Bits in C lower (PC_3-PC_0) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

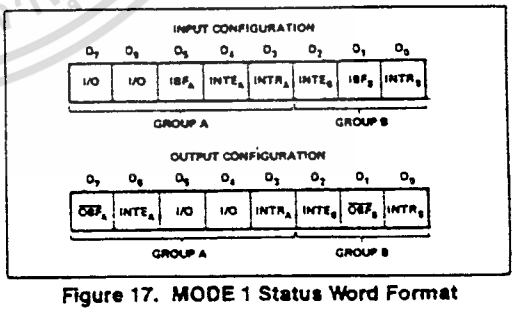


Figure 17. MODE 1 Status Word Format

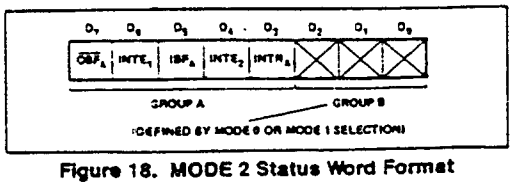


Figure 18. MODE 2 Status Word Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

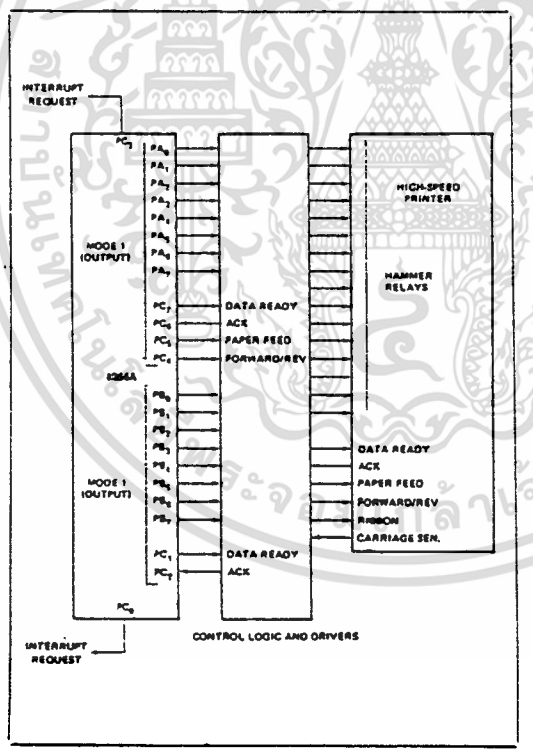


Figure 19. Printer Interface

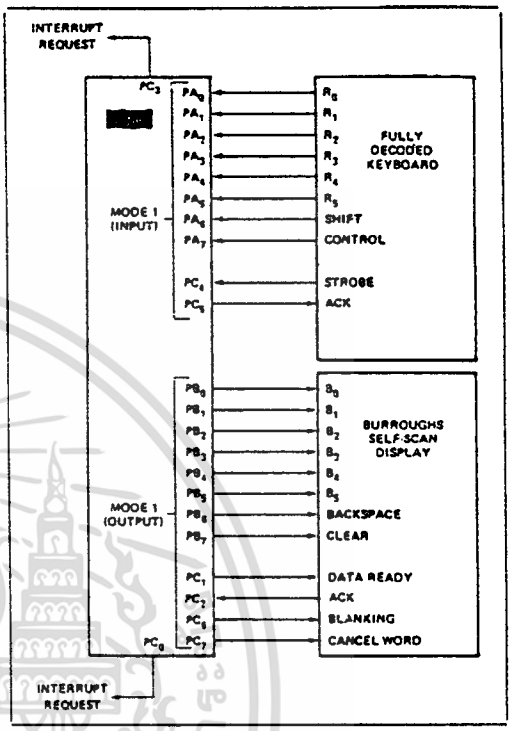


Figure 20. Keyboard and Display Interface

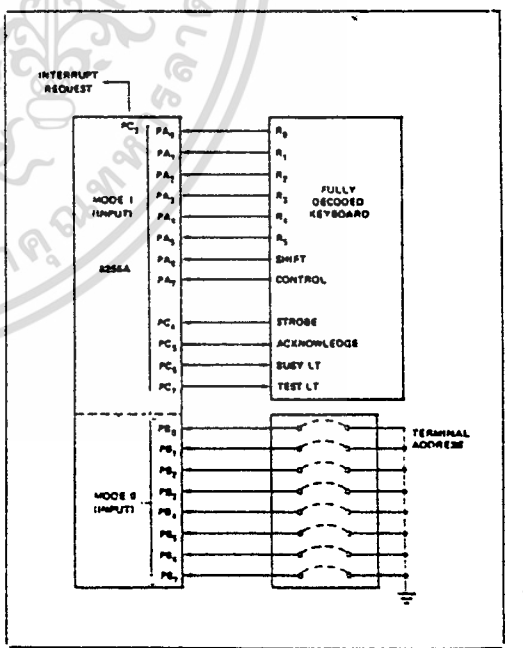


Figure 21. Keyboard and Terminal Address Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

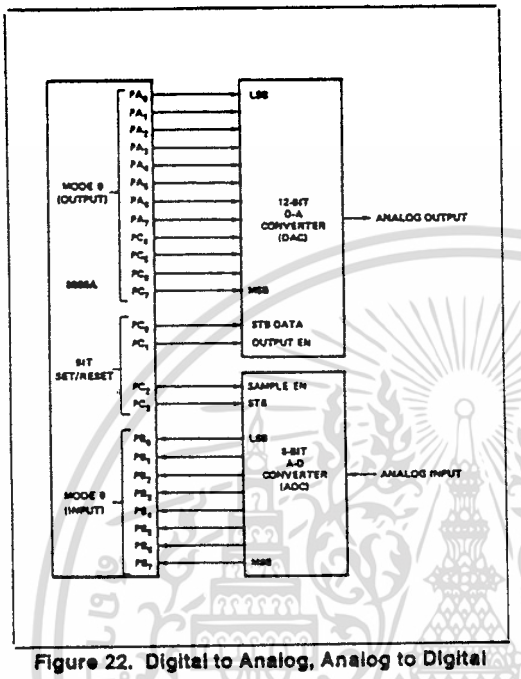


Figure 22. Digital to Analog, Analog to Digital

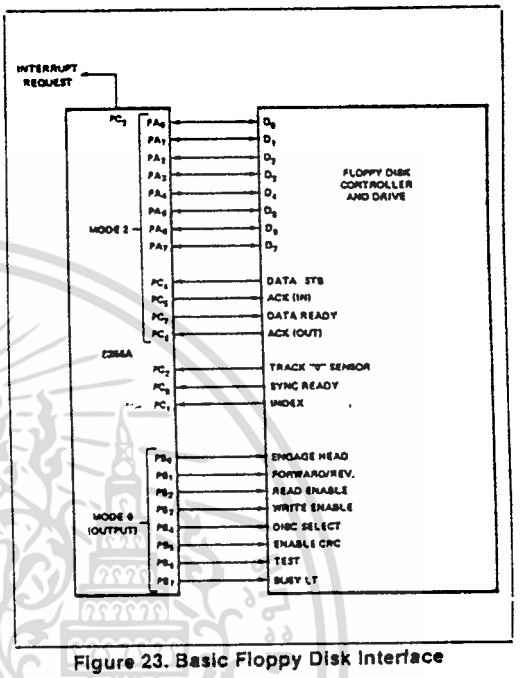


Figure 23. Basic Floppy Disk Interface

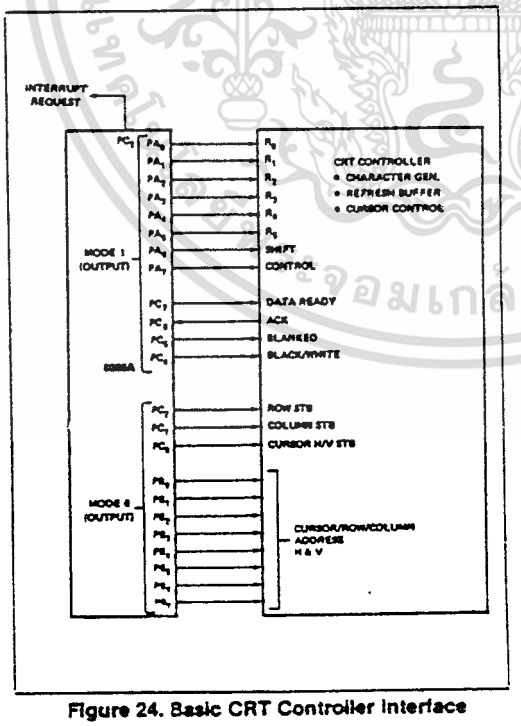


Figure 24. Basic CRT Controller Interface

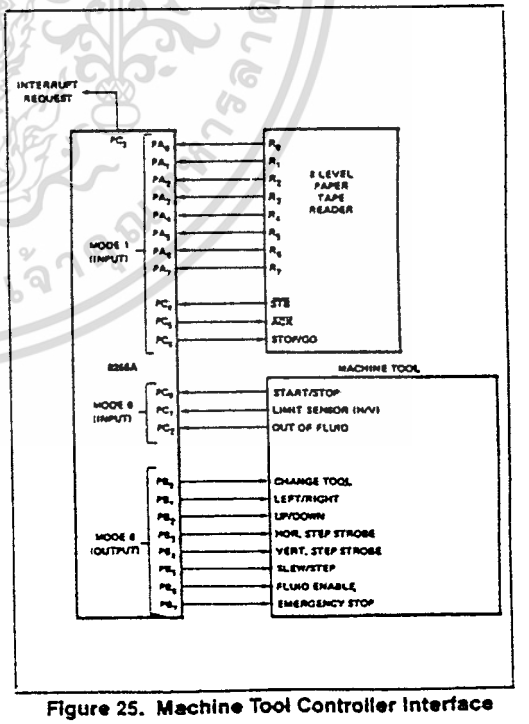


Figure 25. Machine Tool Controller Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias. . . . . 0°C to 70°C
Storage Temperature . . . . . –65°C to +150°C
Voltage on Any Pin
With Respect to Ground . . . . . –0.5V to +7V
Power Dissipation . . . . . 1 Watt

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ± 10%, GND = 0V)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL} (DB)	Output Low Voltage (Data Bus)		0.45*	V	I_{OL} = 2.5mA
V_{OL} (PER)	Output Low Voltage (Peripheral Port)		0.45*	V	I_{OL} = 1.7mA
V_{OH} (DB)	Output High Voltage (Data Bus)	2.4		V	I_{OH} = -400μA
V_{OH} (PER)	Output High Voltage (Peripheral Port)	2.4		V	I_{OH} = -200μA
I_{DAR}[1]	Darlington Drive Current	-1.0	-4.0	mA	R_{EXT} = 750Ω; V_{EXT} = 1.5V
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to .45V

NOTE:
1. Available on any 8 pins from Port B and C.

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ± 10%, GND = 0V)*

Bus Parameters

READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ[1]		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	850		850		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

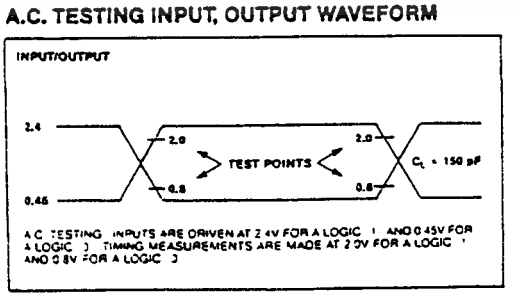
OTHER TIMINGS

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output[1]		350		350	ns
t_{IR}	Peripheral Data Before RD	0		0		ns
t_{HR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output[1]		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0[1]		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1[1]		350		350	ns
t_{SIB}	STB = 0 to IBF = 1[1]		300		300	ns
t_{RIB}	RD = 1 to IBF = 0[1]		300		300	ns
t_{RIT}	RD = 0 to INTR = 0[1]		400		400	ns
t_{SIT}	STB = 1 to INTR = 1[1]		300		300	ns
t_{AIT}	ACK = 1 to INTR = 1[1]		350		350	ns
t_{WIT}	WR = 0 to INTR = 0[1,3]		450		450	ns

NOTES:
1. Test Conditions: C_L = 150 pF.
2. Period of Reset pulse must be at least 50μs during or after power on. Subsequent Reset pulse can be 500 ns min.
3. INTR↑ may occur as early as $\overline{WR}$↓.

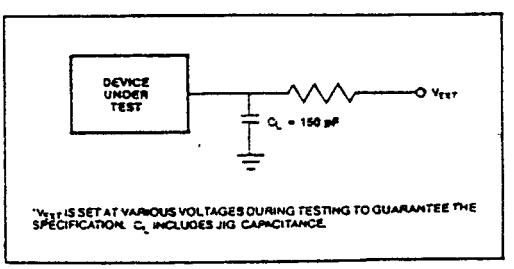
* For Extended Temperature EXPRESS, use M8255A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING: INPUTS ARE DRIVEN AT 2.4V FOR A LOGIC "1" AND 0.45V FOR A LOGIC "0". TIMING MEASUREMENTS ARE MADE AT 2.0V FOR A LOGIC "1" AND 0.8V FOR A LOGIC "0".

A.C. TESTING LOAD CIRCUIT

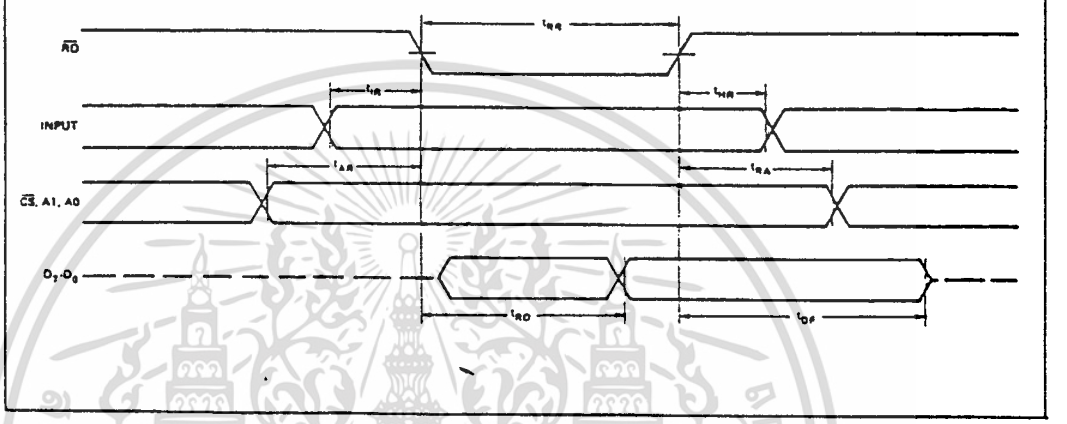


"V_{TEST}" IS SET AT VARIOUS VOLTAGES DURING TESTING TO GUARANTEE THE SPECIFICATION. C_L INCLUDES JIG CAPACITANCE.

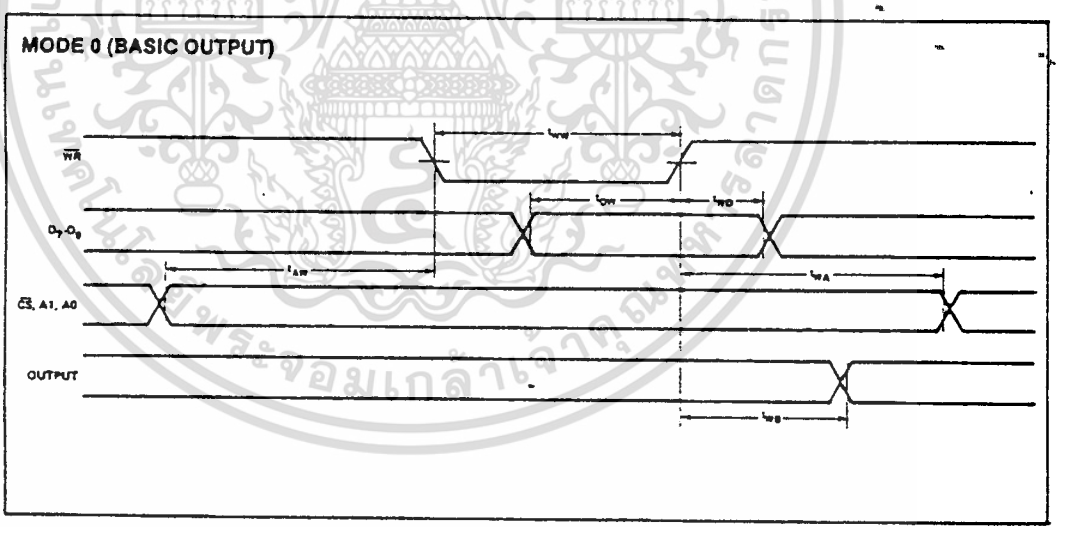
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

MODE 0 (BASIC INPUT)



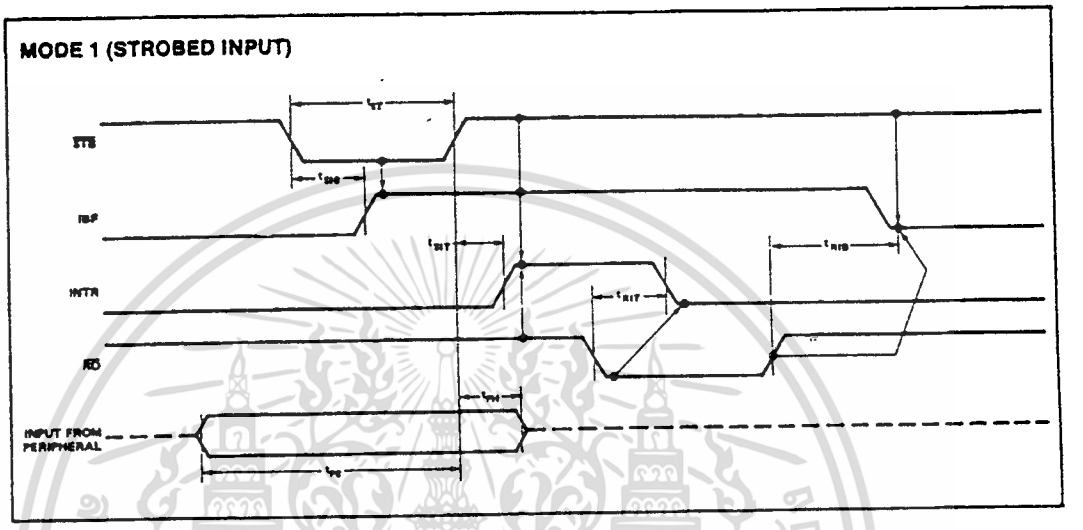
MODE 0 (BASIC OUTPUT)



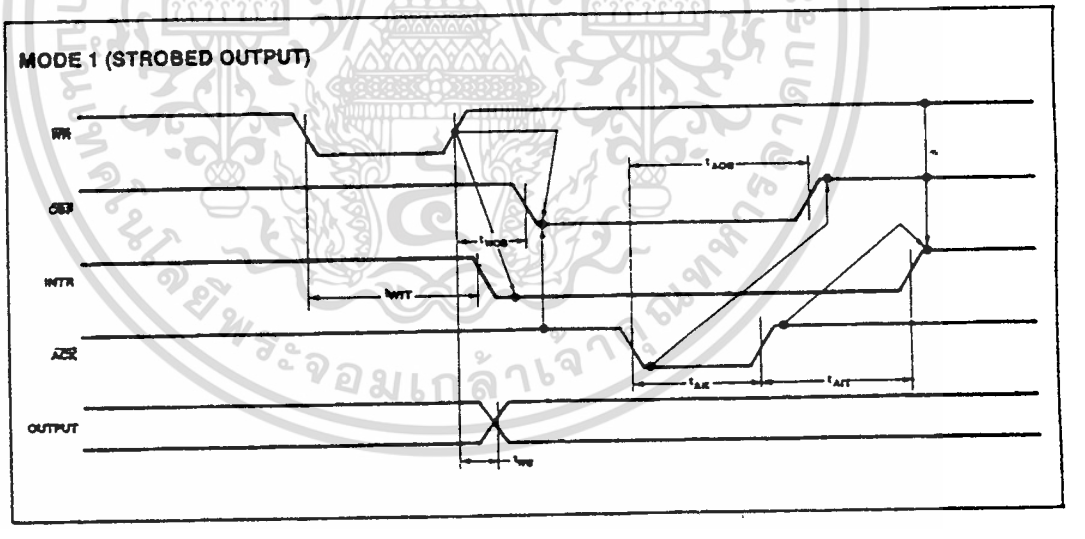
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)



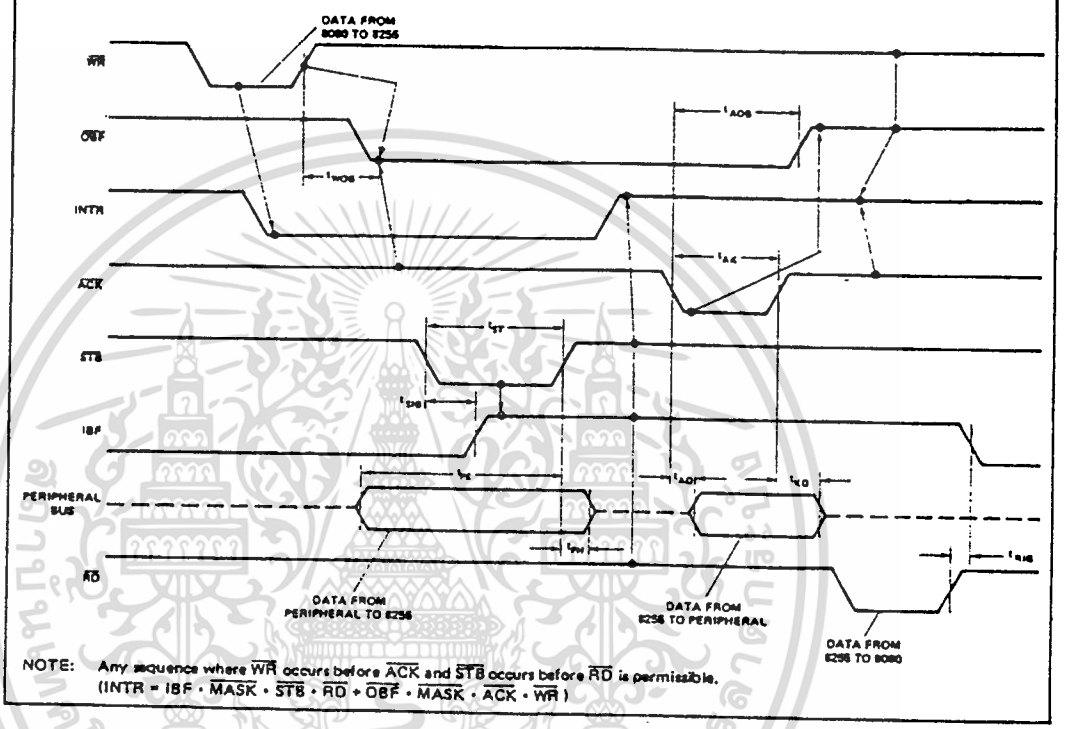
MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

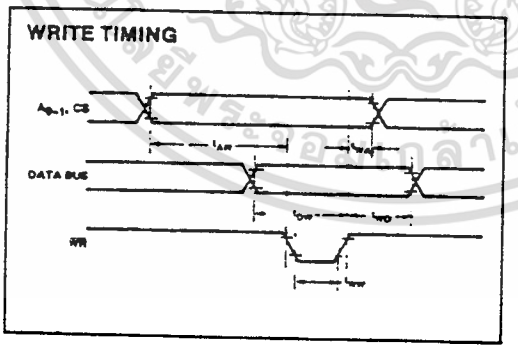
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)

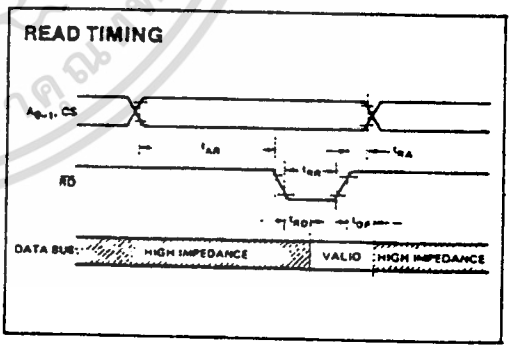


NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF · $\overline{MASK}$ · $\overline{STB}$ · $\overline{RD}$ + $\overline{OBF}$ · $\overline{MASK}$ · $\overline{ACK}$ · $\overline{WR}$)

WRITE TIMING



READ TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

LM555/LM555C Timer

General Description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

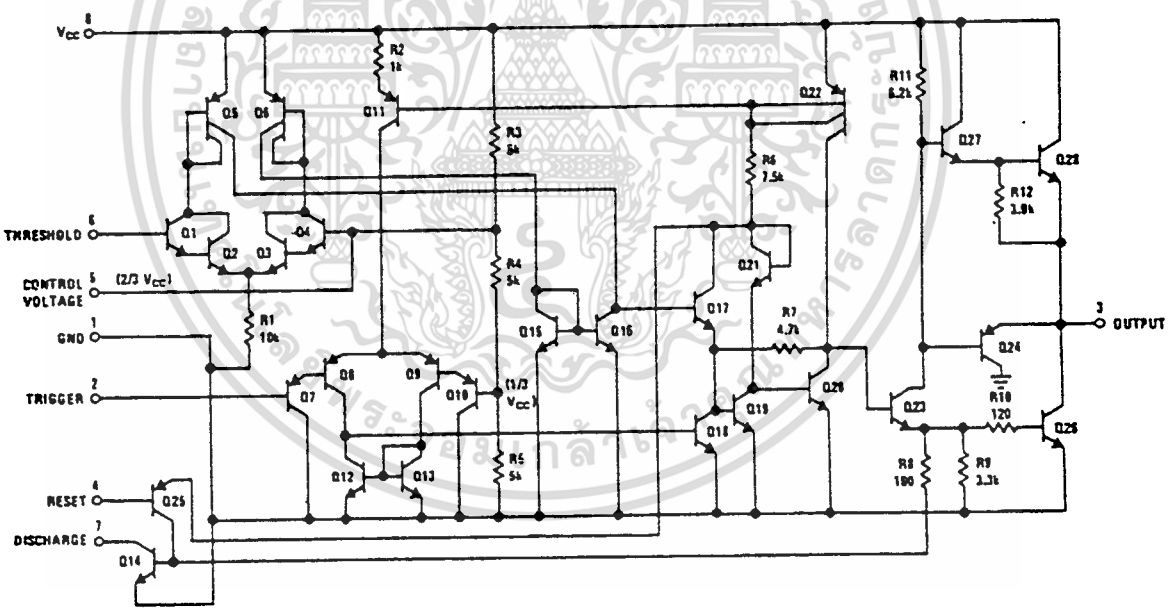
Features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes
- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

Schematic Diagram



TL/H/7851–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage +18V

Power Dissipation (Note 1) LM555H, LM555CH 760 mW
LM555N, LM555CN 1180 mW

Operating Temperature Ranges
LM555C 0°C to +70°C
LM555 −55°C to + 125°C

Storage Temperature Range −65°C to +150°C

Soldering Information
Dual-In-Line Package
Soldering (10 Seconds) 260°C
Small Outline Package
Vapor Phase (60 Seconds) 215°C
Infrared (15 Seconds) 220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics (T_A = 25°C, V_{CC} = +5V to +15V, unless othewise specified)

Parameter	Conditions	Limits						Units
		LM555			LM555C			
		Min	Typ	Max	Min	Typ	Max	
Supply Voltage		4.5		18	4.5		16	V
Supply Current	V_{CC} = 5V, R_L = ∞		3	5		3	6	mA
	V_{CC} = 5V, R_L = ∞ (Low State) (Note 2)		10	12		10	15	mA
Timing Error, Monostable								
Initial Accuracy			0.5			1		%
Drift with Temperature	R_A, R_B = 1k to 100 k, C = 0.1 μF, (Note 3)		30			50		ppm/°C
Accuracy over Temperature			1.5			1.5		%
Drift with Supply			0.05			0.1		%/V
Timing Error, Astable								
Initial Accuracy			1.5			2.25		%
Drift with Temperature			90			150		ppm/°C
Accuracy over Temperature			2.5			3.0		%
Drift with Supply			0.15			0.30		%/V
Threshold Voltage			0.667			0.667		x V_{CC}
Trigger Voltage	V_{CC} = 15V	4.8	5	5.2		5		V
	V_{CC} = 5V	1.45	1.67	1.9		1.67		V
Trigger Current			0.01	0.5		0.5	0.9	μA
Reset Voltage		0.4	0.5	1	0.4	0.5	1	V
Reset Current			0.1	0.4		0.1	0.4	mA
Threshold Current	(Note 4)		0.1	0.25		0.1	0.25	μA
Control Voltage Level	V_{CC} = 15V	9.6	10	10.4	9	10	11	V
	V_{CC} = 5V	2.9	3.33	3.8	2.6	3.33	4	V
Pin 7 Leakage Output High			1	100		1	100	nA
Pin 7 Sat (Note 5)								
Output Low	V_{CC} = 15V, I_7 = 15 mA		150			180		mV
Output Low	V_{CC} = 4.5V, I_7 = 4.5 mA		70	100		80	200	mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics $T_A = 25°C$, $V_{CC} = +5V$ to $+15V$, (unless othewise specified) (Continued)

Parameter	Conditions	Limits						Units
		LM555			LM555C			
		Min	Typ	Max	Min	Typ	Max	
Output Voltage Drop (Low)	$V_{CC} = 15V$							
	$I_{SINK} = 10$ mA		0.1	0.15		0.1	0.25	V
	$I_{SINK} = 50$ mA		0.4	0.5		0.4	0.75	V
	$I_{SINK} = 100$ mA		2	2.2		2	2.5	V
	$I_{SINK} = 200$ mA		2.5			2.5		V
	$V_{CC} = 5V$							
	$I_{SINK} = 8$ mA		0.1	0.25				V
	$I_{SINK} = 5$ mA					0.25	0.35	V
Output Voltage Drop (High)	$I_{SOURCE} = 200$ mA, $V_{CC} = 15V$		12.5			12.5		V
	$I_{SOURCE} = 100$ mA, $V_{CC} = 15V$	13	13.3		12.75	13.3		V
	$V_{CC} = 5V$	3	3.3		2.75	3.3		V
Rise Time of Output			100			100		ns
Fall Time of Output			100			100		ns

Note 1: For operating at elevated temperatures the device must be derated above 25°C based on a +150°C maximum junction temperature and a thermal resistance of 164°c/w (T0-5), 106°c/w (DIP) and 170°c/w (S0-8) junction to ambient.

Note 2: Supply current when output high typically 1 mA less at $V_{CC} = 5V$.

Note 3: Tested at $V_{CC} = 5V$ and $V_{CC} = 15V$.

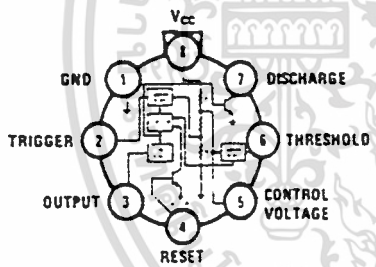
Note 4: This will determine the maximum value of $R_A + R_B$ for 15V operation. The maximum total ($R_A + R_B$) is 20 MΩ.

Note 5: No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

Note 6: Refer to RETS555X drawing of military LM555H and LM555J versions for specifications.

Connection Diagrams

Metal Can Package

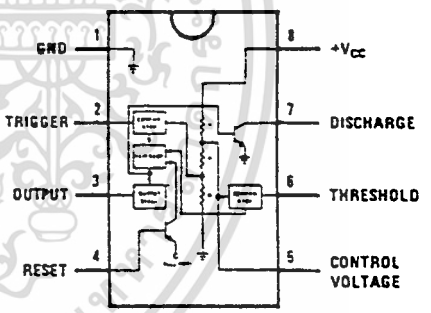


TL/H/7851–2

Top View

Order Number LM555H or LM555CH
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/7851–3

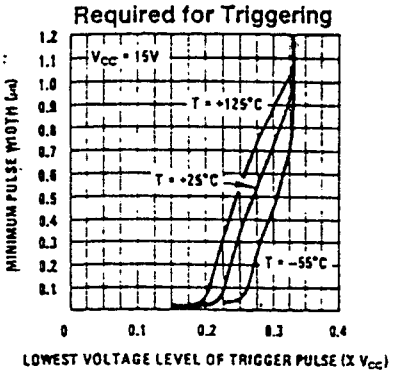
Top View

Order Number LM555J, LM555CJ,
LM555CM or LM555CN
See NS Package Number J08A, M08A or N08B

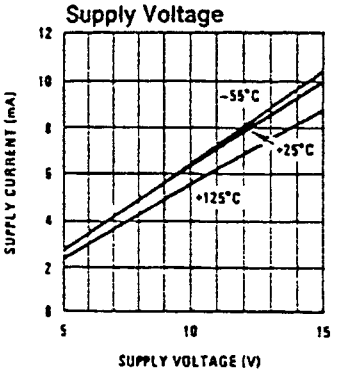
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

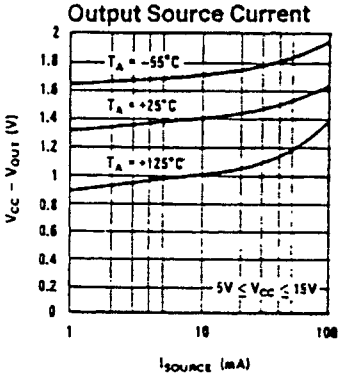
Minimum Pulse Width Required for Triggering



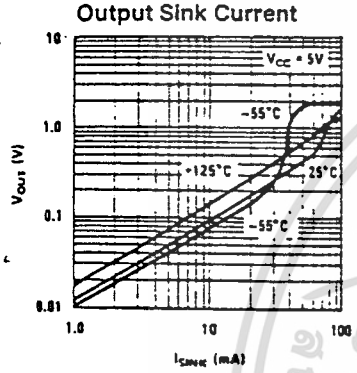
Supply Current vs Supply Voltage



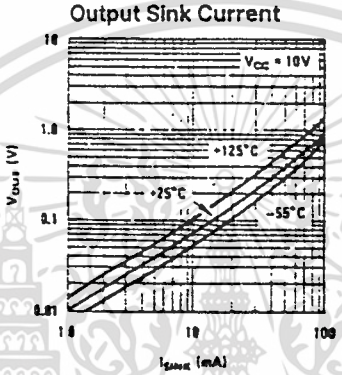
High Output Voltage vs Output Source Current



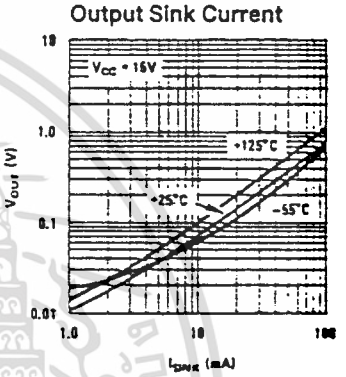
Low Output Voltage vs Output Sink Current



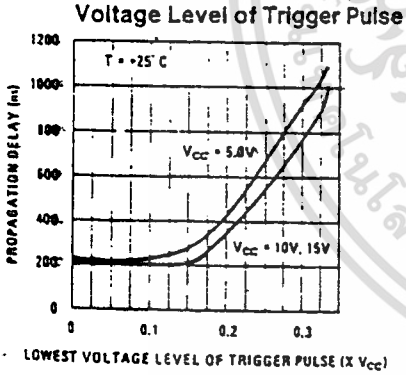
Low Output Voltage vs Output Sink Current



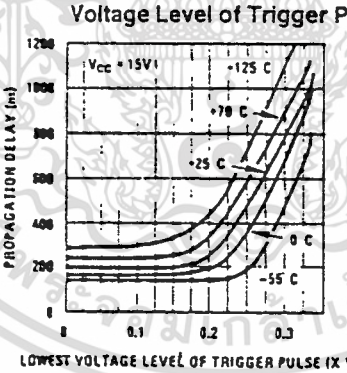
Low Output Voltage vs Output Sink Current



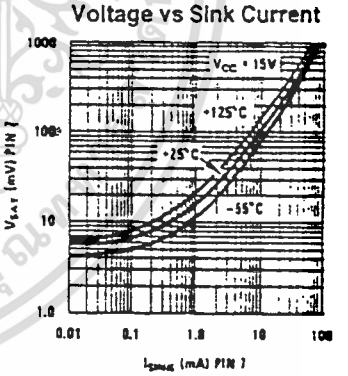
Output Propagation Delay vs Voltage Level of Trigger Pulse



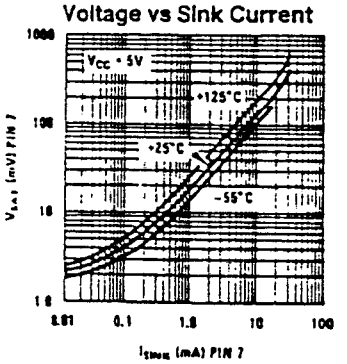
Output Propagation Delay vs Voltage Level of Trigger Pulse



Discharge Transistor (Pin 7) Voltage vs Sink Current



Discharge Transistor (Pin 7) Voltage vs Sink Current



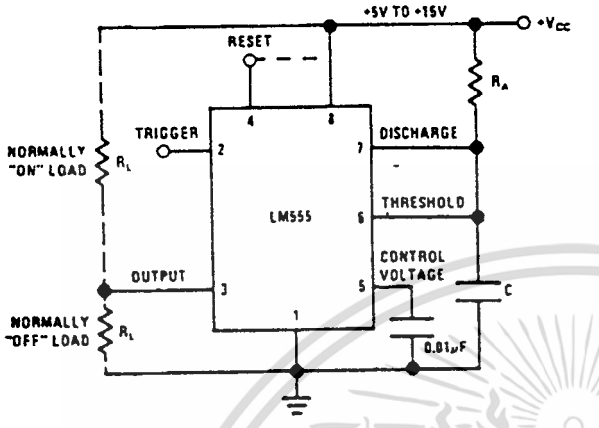
TL/H/7851–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

cation Information

OSTABLE OPERATION

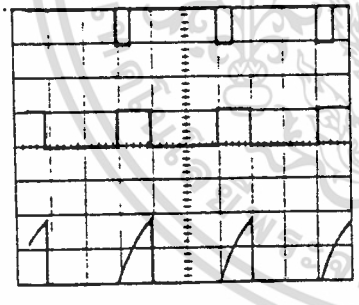
In this mode of operation, the timer functions as a one-shot *(Figure 1)*. The external capacitor is initially held discharged by a transistor inside the timer. Upon application of a negative trigger pulse of less than 1/3 V_{CC} to pin 2, the flip-flop is set which both releases the short circuit across the capacitor and drives the output high.



TL/H/7851–5

FIGURE 1. Monostable

The voltage across the capacitor then increases exponentially for a period of t = 1.1 R_A C, at the end of which time the voltage equals 2/3 V_{CC}. The comparator then resets the flip-flop which in turn discharges the capacitor and drives the output to its low state. *Figure 2* shows the waveforms generated in this mode of operation. Since the charge and the threshold level of the comparator are both directly proportional to supply voltage, the timing internal is independent of supply.



TL/H/7851–6

V_{CC} = 5V
TIME = 0.1 ms/DIV.
R_A = 9.1 kΩ
C = 0.01 μF

Top Trace: Input 5V/Div.
Middle Trace: Output 5V/Div.
Bottom Trace: Capacitor Voltage 2V/Div.

FIGURE 2. Monostable Waveforms

During the timing cycle when the output is high, the further application of a trigger pulse will not effect the circuit. However the circuit can be reset during this time by the application of a negative pulse to the reset terminal (pin 4). The output will then remain in the low state until a trigger pulse is again applied.

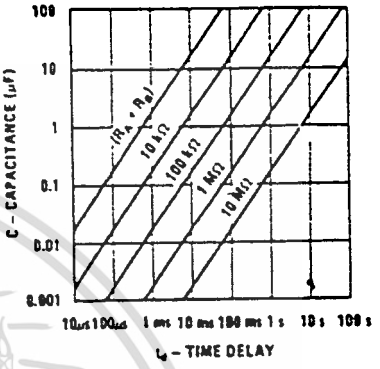
When the reset function is not in use, it is recommended that it be connected to V_{CC} to avoid any possibility of false triggering.

Figure 3 is a nomograph for easy determination of R, C values for various time delays.

NOTE: In monostable operation, the trigger should be driven high before the end of timing cycle.

ASTABLE OPERATION

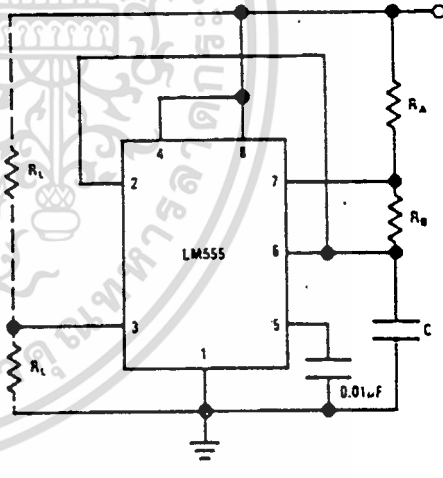
If the circuit is connected as shown in *Figure 4* (pins 2 and 6 connected) it will trigger itself and free run as a



TL/H/7851–7

FIGURE 3. Time Delay

multivibrator. The external capacitor charges through R_A + R_B and discharges through R_B. Thus the duty cycle may be precisely set by the ratio of these two resistors.



TL/H/7851–8

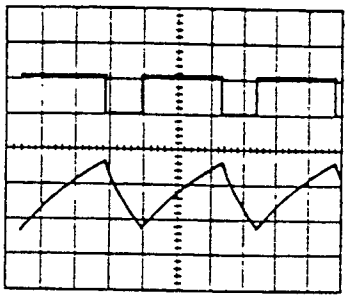
FIGURE 4. Astable

In this mode of operation, the capacitor charges and discharges between 1/3 V_{CC} and 2/3 V_{CC}. As in the triggered mode, the charge and discharge times, and therefore the frequency are independent of the supply voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

Figure 5 shows the waveforms generated in this mode of operation.



TL/H/7851–9

V_{CC} = 5V Top Trace: Output 5V/Div.
TIME = 20 μs/DIV. Bottom Trace: Capacitor Voltage 1V/Div.
R_A = 3.9 kΩ
R_B = 3 kΩ
C = 0.01 μF

FIGURE 5. Astable Waveforms

The charge time (output high) is given by:

$$t_1 = 0.693\,(R_A + R_B)\,C$$

And the discharge time (output low) by:

$$t_2 = 0.693\,(R_B)\,C$$

Thus the total period is:

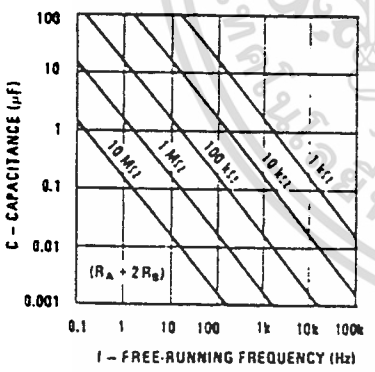
$$T = t_1 + t_2 = 0.693\,(R_A + 2R_B)\,C$$

The frequency of oscillation is:

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B)\,C}$$

Figure 6 may be used for quick determination of these RC values.

The duty cycle is: $D = \dfrac{R_B}{R_A + 2R_B}$

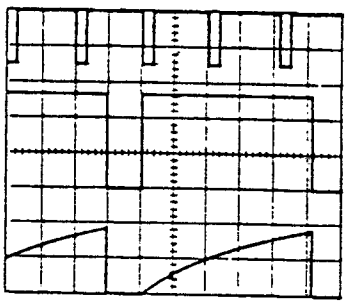


TL/H/7851–10

FIGURE 6. Free Running Frequency

FREQUENCY DIVIDER

The monostable circuit of *Figure 1* can be used as a frequency divider by adjusting the length of the timing cycle. *Figure 7* shows the waveforms generated in a divide by three circuit.



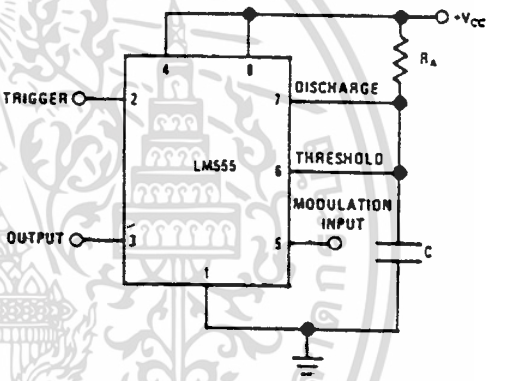
TL/H/7851–11

V_{CC} = 5V Top Trace: Input 4V/Div.
TIME = 20 μs/DIV. Middle Trace: Output 2V/Div.
R_A = 9.1 kΩ Bottom Trace: Capacitor 2V/Div.
C = 0.01 μF

FIGURE 7. Frequency Divider

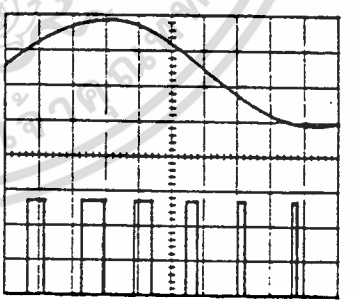
PULSE WIDTH MODULATOR

When the timer is connected in the monostable mode and triggered with a continuous pulse train, the output pulse width can be modulated by a signal applied to pin 5. *Figure 8* shows the circuit, and in *Figure 9* are some waveform examples.



TL/H/7851–12

FIGURE 8. Pulse Width Modulator



TL/H/7851–13

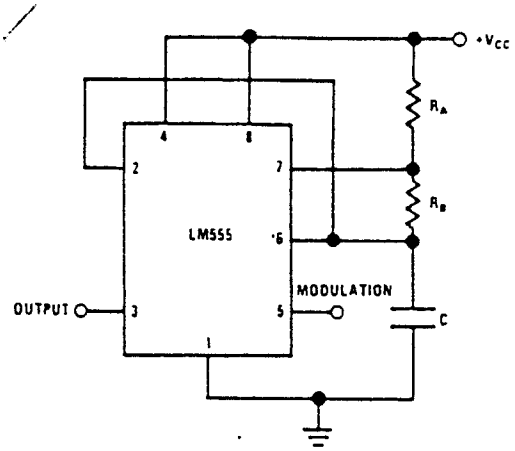
V_{CC} = 5V Top Trace: Modulation 1V/Div.
TIME = 0.2 ms/DIV. Bottom Trace: Capacitor Voltage 2V/Div.
R_A = 9.1 kΩ
C = 0.01 μF

FIGURE 9. Pulse Width Modulator

PULSE POSITION MODULATOR

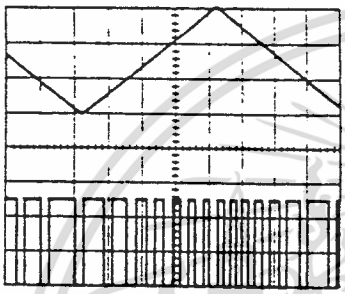
This application uses the timer connected for astable operation, as in *Figure 10*, with a modulating signal again applied to the control voltage terminal. The pulse position varies with the modulating signal, since the threshold voltage and hence the time delay is varied. *Figure 11* shows the waveforms generated for a triangle wave modulation signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TL/H/7851–14

FIGURE 10. Pulse Position Modulator



TL/H/7851–15

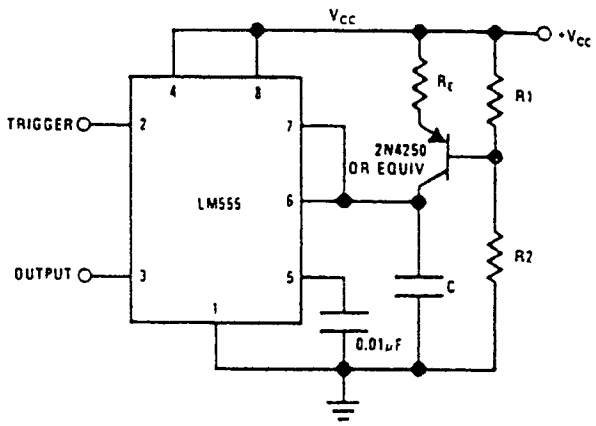
V_{CC} = 5V
TIME = 0.1 ms/DIV.
R_A = 3.9 kΩ
R_B = 3 kΩ
C = 0.01 μF

Top Trace: Modulation Input 1V/Div.
Bottom Trace: Output 2V/Div.

FIGURE 11. Pulse Position Modulator

LINEAR RAMP

When the pullup resistor, R_A, in the monostable circuit is replaced by a constant current source, a linear ramp is generated. *Figure 12* shows a circuit configuration that will perform this function.



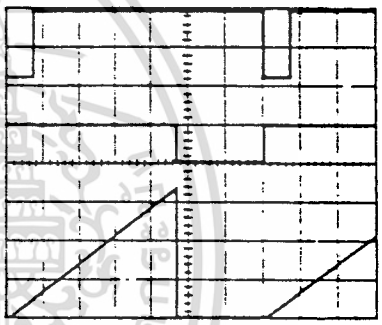
TL/H/7851–16

FIGURE 12

Figure 13 shows waveforms generated by the linear ramp. The time interval is given by:

$$T = \frac{2/3\, V_{CC}\, R_E\, (R_1 + R_2)\, C}{R_1\, V_{CC} - V_{BE}\, (R_1 + R_2)}$$

$$V_{BE} \cong 0.6V$$



TL/H/7851–17

V_{CC} = 5V
TIME = 20 μs/DIV.
R_1 = 47 kΩ
R_2 = 100 kΩ
R_E = 2.7 kΩ
C = 0.01 μF

Top Trace: Input 3V/Div.
Middle Trace: Output 5V/Div.
Bottom Trace: Capacitor Voltage 1V/Div.

FIGURE 13. Linear Ramp

50% DUTY CYCLE OSCILLATOR

For a 50% duty cycle, the resistors R_A and R_B may be connected as in *Figure 14*. The time period for the out-

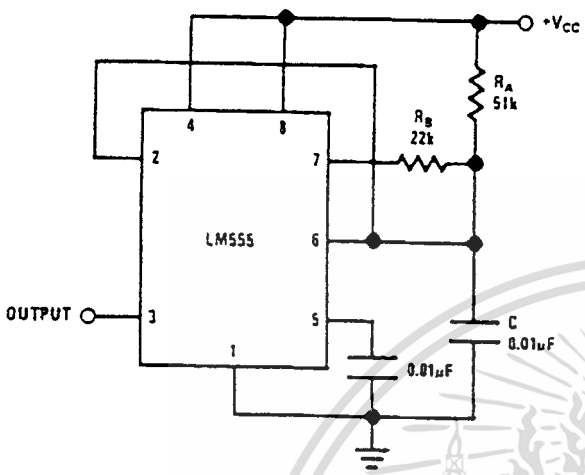
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

put high is the same as previous, $t_1 = 0.693\ R_A\ C$. For the output low it is $t_2 =$

$$\left[(R_A\ R_B)/(R_A + R_B)\right] C \ln\left[\frac{R_A - 2R_B}{2R_A - R_B}\right]$$

Thus the frequency of oscillation is $f = \frac{1}{t_1 + t_2}$.



TL/H/7851–18

FIGURE 14. 50% Duty Cycle Oscillator

Note that this circuit will not oscillate if R_B is greater than 1/2 R_A because the junction of R_A and R_B cannot bring pin 2 down to 1/3 V_{CC} and trigger the lower comparator.

ADDITIONAL INFORMATION

Adequate power supply bypassing is necessary to protect associated circuitry. Minimum recommended is 0.1 µF in parallel with 1 µF electrolytic.

Lower comparator storage time can be as long as 10 µs when pin 2 is driven fully to ground for triggering. This limits the monostable pulse width to 10 µs minimum.

Delay time reset to output is 0.47 µs typical. Minimum reset pulse width must be 0.3 µs, typical.

Pin 7 current switches within 30 ns of the output (pin 3) voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

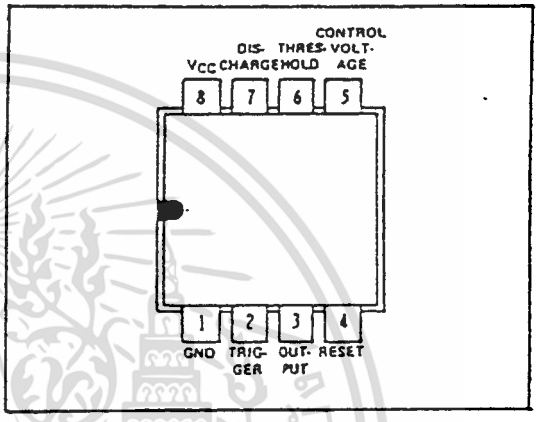
LINEAR INTEGRATED CIRCUITS

TYPES SE555, NE555
PRECISION TIMERS

BULLETIN NO. DL-S 12053, SEPTEMBER 1973—REVISED OCTOBER 1979

- Timing from Microseconds to Hours
- Astable or Monostable Operation
- Adjustable Duty Cycle
- TTL-Compatible Output Can Sink or Source up to 200 mA
- Designed to be Interchangeable with Signetics SE555/NE555

JG OR P DUAL-IN-LINE PACKAGE
(TOP VIEW)



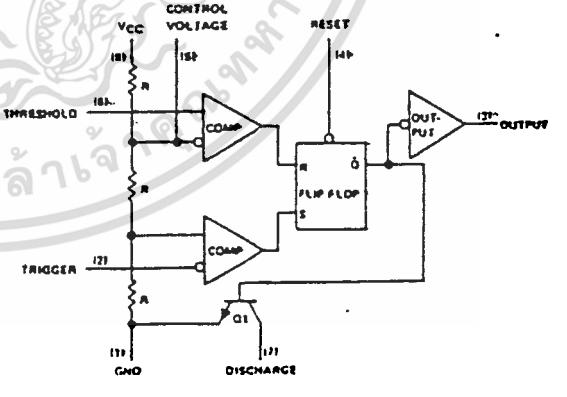
description

The SE555 and NE555 are monolithic timing circuits capable of producing accurate time delays or oscillation. In the time-delay or monostable mode of operation, the timed interval is controlled by a single external resistor and capacitor network. In the astable mode of operation, the frequency and duty cycle may be independently controlled with two external resistors and a single external capacitor.

The threshold and trigger levels are normally two-thirds and one-third, respectively, of V_{CC}. These levels can be altered by use of the control voltage terminal. When the trigger input falls below the trigger level, the flip-flop is set and the output goes high. When the threshold input rises above the threshold level, the flip-flop is reset and the output goes low. The reset input can override all other inputs and can be used to initiate a new timing cycle. When the reset input goes low, the flip-flop is reset and the output goes low. When the output is low, a low-impedance path is provided between the discharge terminal and ground.

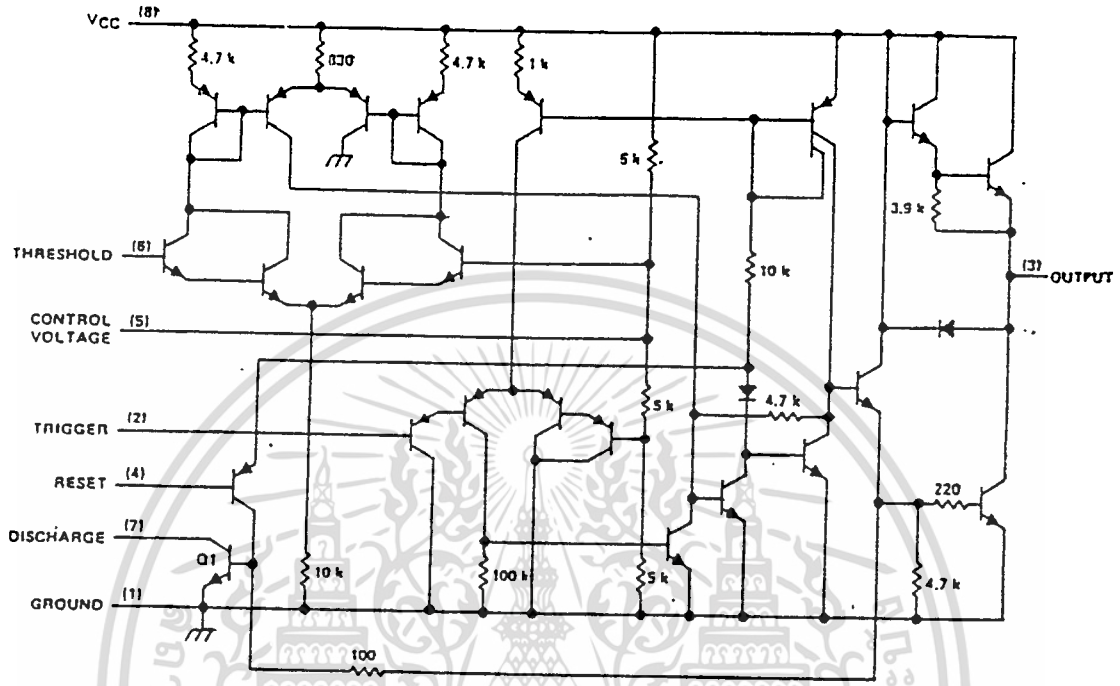
The output circuit is capable of sinking or sourcing current up to 200 milliamperes. Operation is specified for supplies of 5 to 15 volts. With a 5-volt supply, output levels are compatible with TTL inputs.

functional block diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

schematic



Resistor values shown are nominal and in ohms.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage, V_{CC} (see Note 1)	18 V
Input voltage (control voltage, reset, threshold, trigger)	V_{CC}
Output current	±225 mA
Continuous total dissipation at (or below) 25°C free-air temperature (see Note 2)	600 mW
Operating free-air temperature range: SE555	−55°C to 125°C
NE555	0°C to 70°C
Storage temperature range	−65°C to 150°C
Lead temperature 1/16 inch (1,6 mm) from case for 60 seconds: JG package	300°C
Lead temperature 1/16 inch (1,6 mm) from case for 10 seconds: P package	260°C

NOTES: 1. All voltage values are with respect to network ground terminal.

2. For operation above 25°C free-air temperature, refer to Dissipation Derating Table. In the JG package, SE555 chips are alloy-mounted, NE555 chips are glass-mounted.

recommended operating conditions

	SE555			NE555			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5		18	4.5		16	V
Input voltage, V_I (control voltage, reset, threshold, trigger)			V_{CC}			V_{CC}	V
Output Current, I_O			±200			±200	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics at 25°C free-air temperature, V_{CC} = 5 V to 15 V (unless otherwise noted)

PARAMETER	TEST CONDITIONS		SE555			NE555			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
Threshold voltage level as a percentage of supply voltage				66.7			66.7		%
Threshold current (see Note 3)				0.1	0.25		0.1	0.25	μA
Trigger voltage level	V_{CC} = 15 V		4.8	5	5.2		5		V
	V_{CC} = 5 V		1.45	1.67	1.9		1.67		
Trigger current				0.5			0.5		μA
Reset voltage level			0.4	0.7	1	0.4	0.7	1	V
Reset current				0.1			0.1		mA
Control voltage (open-circuit)	V_{CC} = 15 V		9.6	10	10.4	9	10	11	V
	V_{CC} = 5 V		2.9	3.3	3.8	2.6	3.3	4	
Low-level output voltage	V_{CC} = 15 V	I_{OL} = 10 mA		0.1	0.15		0.1	0.25	V
		I_{OL} = 50 mA		0.4	0.5		0.4	0.75	
		I_{OL} = 100 mA		2	2.2		2	2.5	
		I_{OL} = 200 mA		2.5			2.5		
	V_{CC} = 5 V	I_{OL} = 5 mA					0.25	0.35	
		I_{OL} = 8 mA		0.1	0.25				
High-level output voltage	V_{CC} = 15 V	I_{OH} = −100 mA	13	13.3		12.75	13.3		V
		I_{OH} = −200 mA		12.5			12.5		
	V_{CC} = 5 V	I_{OH} = −100 mA	3	3.3		2.75	3.3		
Supply current	Output low, No load	V_{CC} = 15 V		10	12		10	15	mA
		V_{CC} = 5 V		3	5		3	6	
	Output high, No load	V_{CC} = 15 V		9	11		9	14	
		V_{CC} = 5 V		2	4		2	5	

NOTE 3: This parameter influences the maximum value of the timing resistors R_A and R_B in the circuit of Figure 13. For example when V_{CC} = 5 V the maximum value is $R = R_A + R_B$ = 20 MΩ.

operating characteristics, V_{CC} = 5 V and 15 V

PARAMETER	TEST CONDITIONS†		SE555			NE555			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
Initial error of timing interval	R_A = 1 kΩ to 100 kΩ, R_B = 0 to 100 kΩ, C = 0.1 μF	T_A = 25°C		0.5	2		1		%
Temperature coefficient of timing interval		T_A = MIN to MAX		30	100		50		ppm/°C
Supply voltage sensitivity of timing interval		T_A = 25°C		0.05	0.2		0.1		%/V
Output pulse rise time	C_L = 15 pF,	T_A = 25°C		100			100		ns
Output pulse fall time				100			100		ns

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

DISSIPATION DERATING TABLE

PACKAGE	POWER RATING	DERATING FACTOR	ABOVE T_A
JG (Alloy-Mounted Chip)	600 mW	8.4 mW/°C	79°C
JG (Glass-Mounted Chip)	600 mW	6.6 mW/°C	50°C
P	600 mW	6.0 mW/°C	75°C

Also see Dissipation Derating Curves, Section 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS†

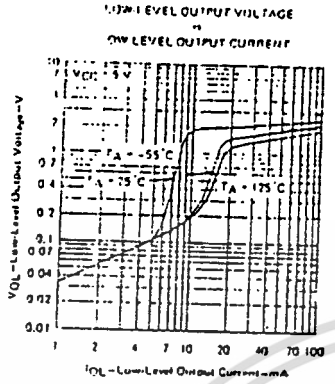


FIGURE 1

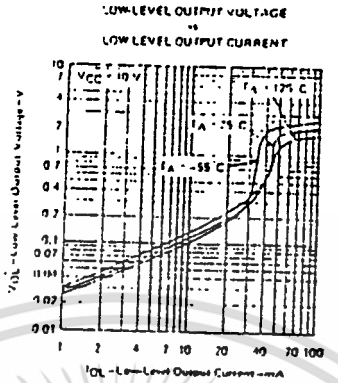


FIGURE 2

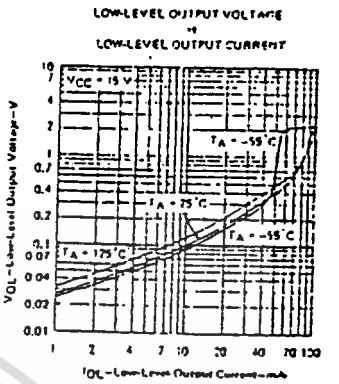


FIGURE 3

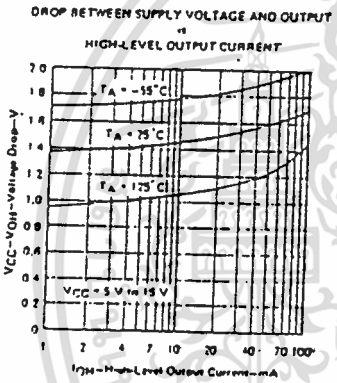


FIGURE 4

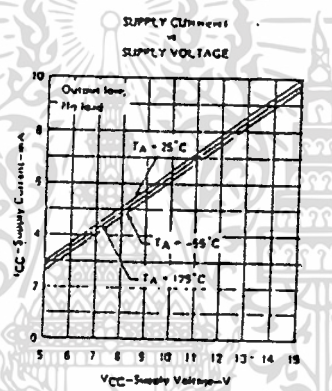


FIGURE 5

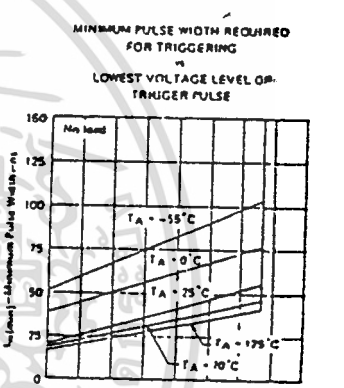


FIGURE 6

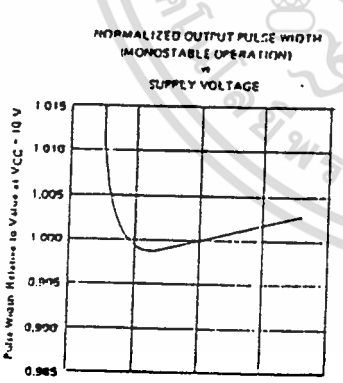


FIGURE 7

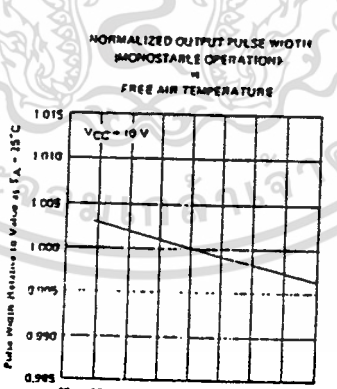


FIGURE 8

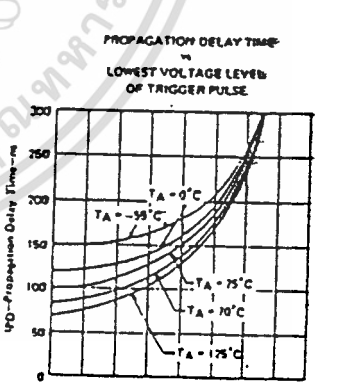


FIGURE 9

† Data for temperatures below 0°C and above 70°C are applicable for SE555 circuits only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATION DATA

monostable operation

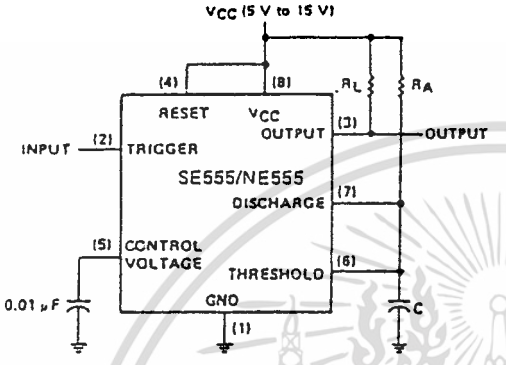


FIGURE 10—CIRCUIT FOR MONOSTABLE OPERATION

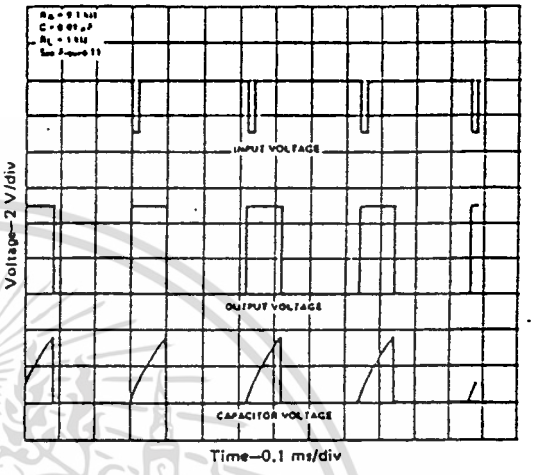


FIGURE 11—TYPICAL MONOSTABLE WAVEFORMS

For monostable operation, the SE555/NE555 may be connected as shown in Figure 10. If the output is low, application of a negative-going pulse to the trigger input sets the flip-flop ($\overline{Q}$ goes low), drives the output high, and turns off Q1. Capacitor C is then charged through R_A until the voltage across the capacitor reaches the threshold voltage of the threshold input. If the trigger input has returned to a high level, the output of the threshold comparator will reset the flip-flop ($\overline{Q}$ goes high), drive the output low, and discharge C through Q1.

Monostable operation is initiated when the trigger input voltage falls below the trigger threshold. Once initiated, the sequence will complete only if the trigger input is high at the end of the timing interval. Because of the threshold level and saturation voltage of Q1, the output pulse width is approximately $t_w = 1.1\ R_A C$. Figure 12 is a plot of the time constant for various values of R_A and C. The threshold levels and charge rates are both directly proportional to the supply voltage, V_{CC}. The timing interval is therefore independent of the supply voltage, so long as the supply voltage is constant during the time interval.

Applying a negative-going trigger pulse simultaneously to the reset and trigger terminals during the timing interval will discharge C and re-initiate the cycle, commencing on the positive edge of the reset pulse. The output is held low as long as the reset pulse is low. When the reset input is not used, it should be connected to V_{CC} to prevent false triggering.

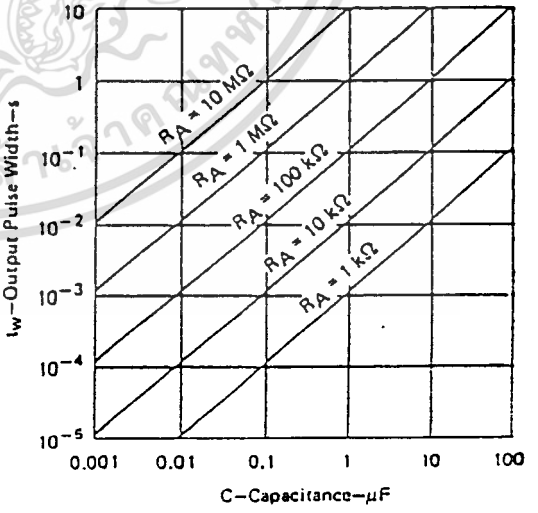
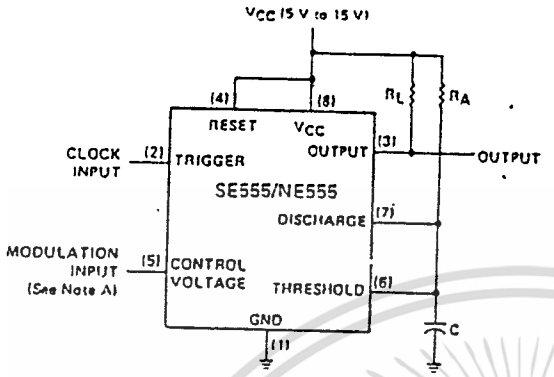


FIGURE 12—OUTPUT PULSE WIDTH vs CAPACITANCE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATION DATA

pulse-width modulation



NOTE A: The modulating signal may be direct or capacitively coupled to the control voltage terminal. For direct coupling, the effects of modulation source voltage and impedance on the bias of the SE555/NE555 should be considered.

FIGURE 19—CIRCUIT FOR PULSE-WIDTH MODULATION

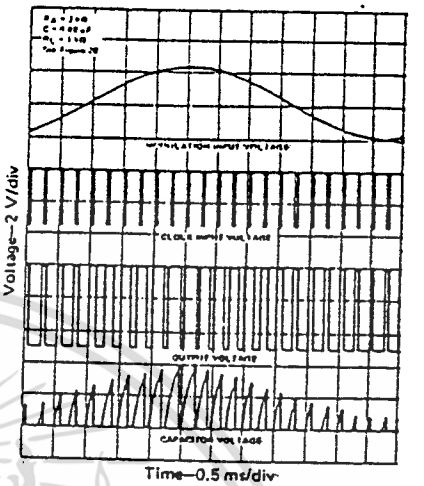
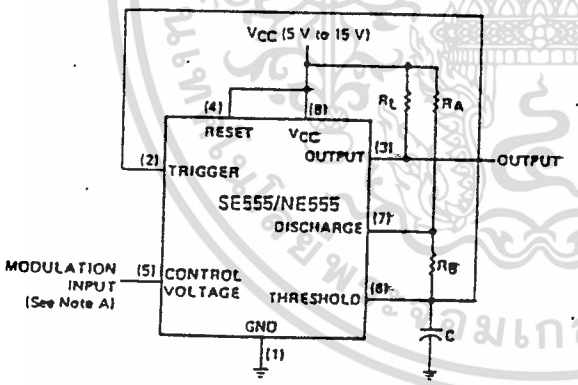


FIGURE 20—PULSE-WIDTH-MODULATION WAVEFORMS

The operation of the timer may be modified by modulating the internal threshold and trigger voltages. This is accomplished by applying an external voltage (or current) to the control voltage pin. Figure 19 is a circuit for pulse-width modulation. The monostable circuit is triggered by a continuous input pulse train and the threshold voltage is modulated by a control signal. The resultant effect is a modulation of the output pulse width, as shown in Figure 20. A sine-wave modulation signal is illustrated, but any wave-shape could be used.

pulse-position modulation



NOTE A: The modulating signal may be direct or capacitively coupled to the control voltage terminal. For direct coupling, the effects of modulation source voltage and impedance on the bias of the SE555/NE555 should be considered.

FIGURE 21—CIRCUIT FOR PULSE-POSITION MODULATION

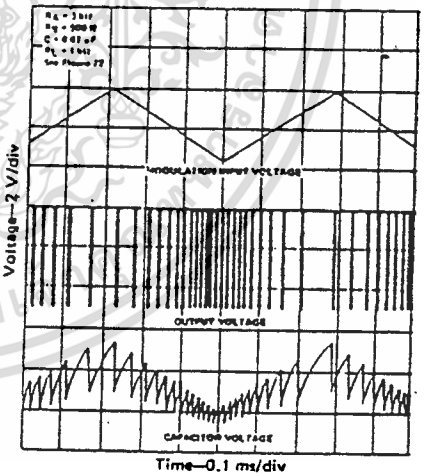


FIGURE 22—PULSE POSITION-MODULATION WAVEFORMS

The SE555/NE555 may be used as a pulse-position modulator as shown in Figure 21. In this application, the threshold voltage, and thereby the time delay, of a free-running oscillator is modulated. Figure 22 shows such a circuit, with a triangular-wave modulation signal, however, any modulating wave-shape could be used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATION DATA

missing-pulse detector

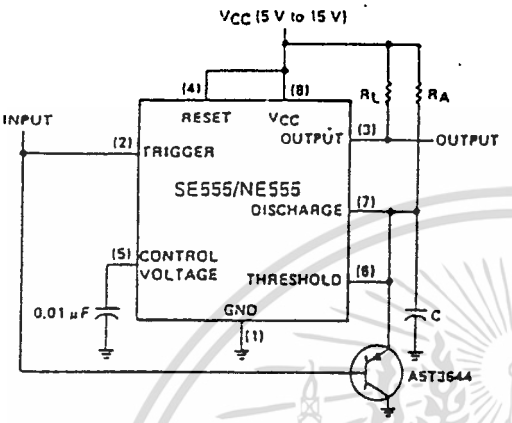


FIGURE 16—CIRCUIT FOR MISSING-PULSE DETECTOR

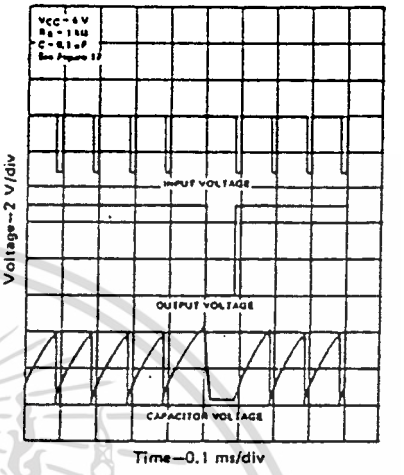


FIGURE 17—MISSING-PULSE DETECTOR WAVEFORMS

The circuit shown in Figure 16 may be utilized to detect a missing pulse or abnormally long spacing between consecutive pulses in a train of pulses. The timing interval of the monostable circuit is continuously retriggered by the input pulse train as long as the pulse spacing is less than the timing interval. A longer pulse spacing, missing pulse, or terminated pulse train will permit the timing interval to be completed, thereby generating an output pulse as illustrated in Figure 17.

frequency divider

By adjusting the length of the timing cycle, the basic circuit of Figure 10 can be made to operate as a frequency divider. Figure 18 illustrates a divide-by-3 circuit that makes use of the fact that retriggering cannot occur during the timing cycle.

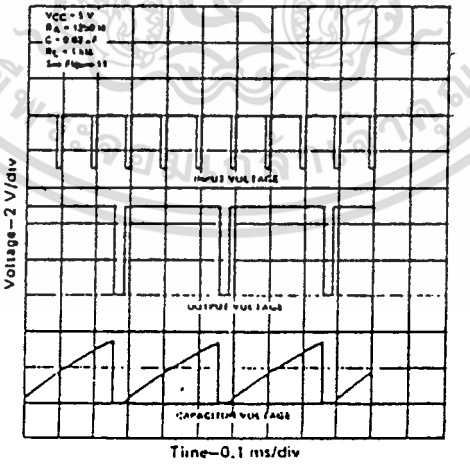
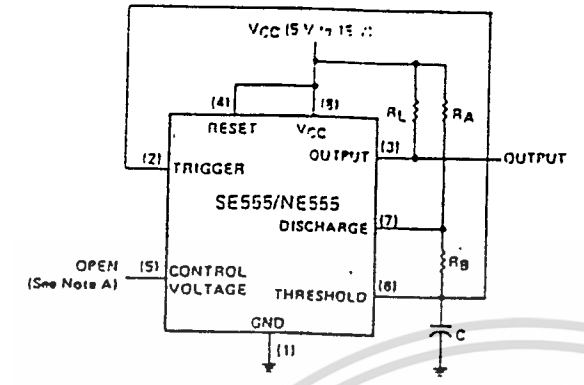


FIGURE 18—DIVIDE-BY-THREE CIRCUIT WAVEFORMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

astable operation

TYPICAL APPLICATION DATA



NOTE A: Decoupling the control voltage input (pin 5) to ground with a capacitor may improve operation. This should be evaluated for individual applications.

FIGURE 13—CIRCUIT FOR ASTABLE OPERATION

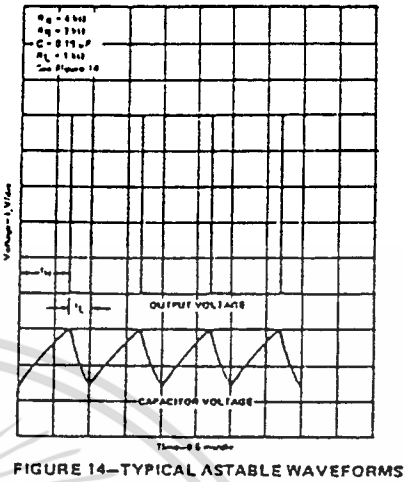


FIGURE 14—TYPICAL ASTABLE WAVEFORMS

Addition of a second resistor, R_B, to the circuit of Figure 10, as shown in Figure 13, and connection of the trigger input to the threshold input will cause the SE555/NE555 to self-trigger and run as a multivibrator. The capacitor C will charge through R_A and R_B then discharge through R_B only. The duty cycle may be controlled, therefore, by the values of R_A and R_B.

This astable connection results in capacitor C charging and discharging between the threshold-voltage level ($\approx 0.67 \cdot V_{CC}$) and the trigger-voltage level ($\approx 0.33 \cdot V_{CC}$). As in the monostable circuit, charge and discharge times (and therefore the frequency and duty cycle) are independent of the supply voltage.

Figure 14 shows typical waveforms generated during astable operation. The output high-level duration t_H and low-level duration t_L may be found by:

$$t_H = 0.693\ (R_A + R_B)\ C$$

$$t_L = 0.693\ (R_B)\ C$$

Other useful relationships are shown below.

$$\text{period} = t_H + t_L = 0.693\ (R_A + 2R_B)\ C$$

$$\text{frequency} \approx \frac{1.44}{(R_A + 2R_B)\ C}$$

$$\text{Output driver duty cycle} = \frac{t_L}{t_H + t_L} = \frac{R_B}{R_A + 2R_B}$$

$$\text{Output waveform duty cycle} = \frac{t_H}{t_H + t_L} = 1 - \frac{R_B}{R_A + 2R_B}$$

$$\text{Low-to-high ratio} = \frac{t_L}{t_H} = \frac{R_B}{R_A + R_B}$$

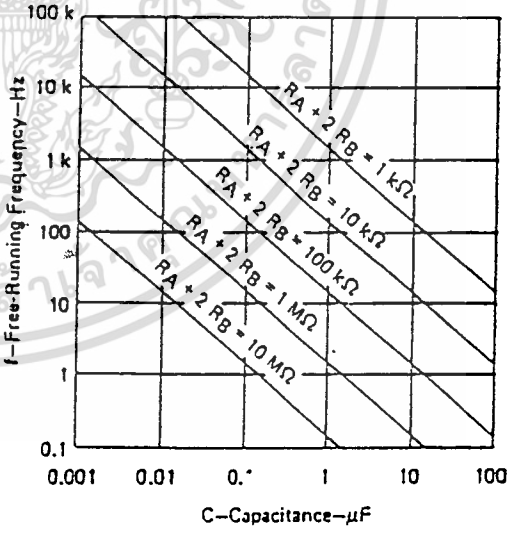


FIGURE 15—FREE-RUNNING FREQUENCY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATION DATA

sequential timer

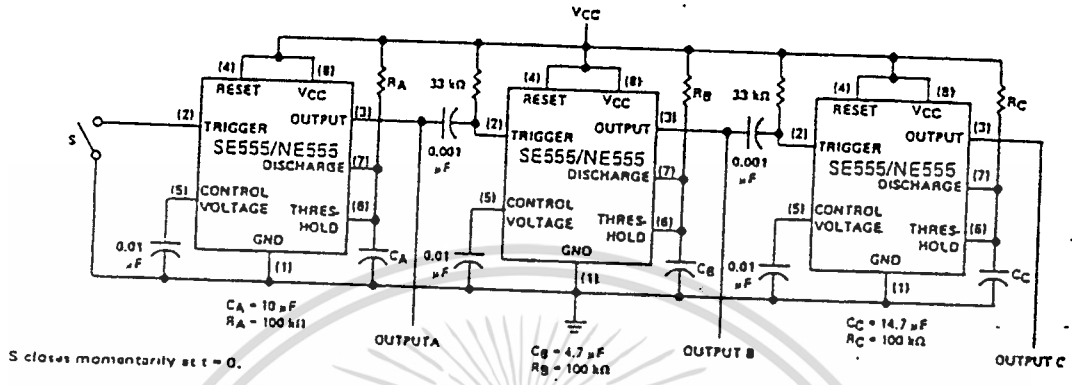


FIGURE 23—SEQUENTIAL TIMER CIRCUIT

Many applications, such as computers, require signals for initializing conditions during start-up. Other applications such as test equipment require activation of test signals in sequence. SE555/NE555 circuits may be connected to provide such sequential control. The timers may be used in various combinations of astable or monostable circuit connections, with or without modulation, for extremely flexible waveform control. Figure 23 illustrates a sequencer circuit with possible applications in many systems and Figure 24 shows the output waveforms.

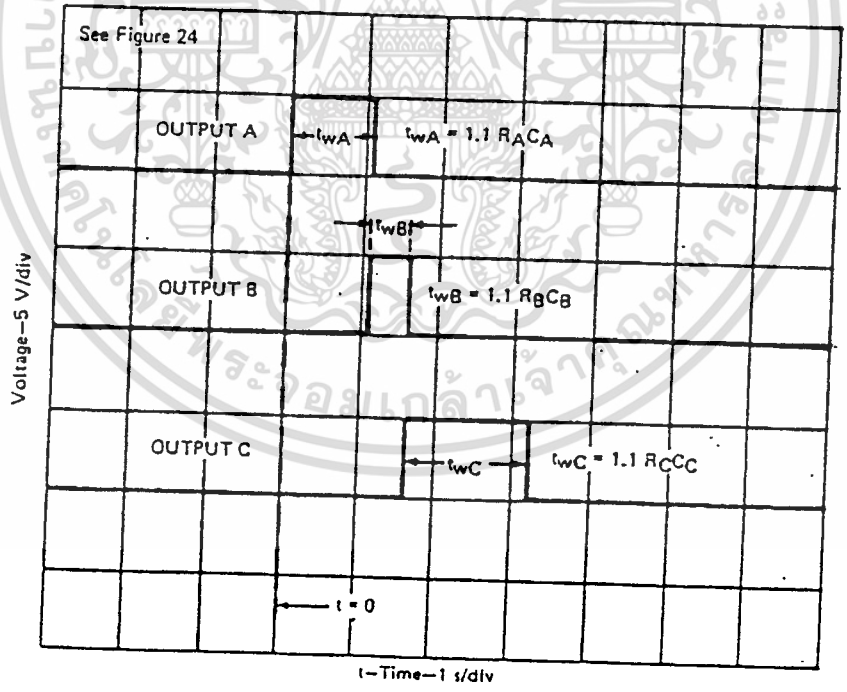


FIGURE 24—SEQUENTIAL TIMER WAVEFORMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14023B
See Page 6-5

MC14023UB
See Page 6-14

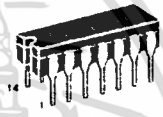
MOTOROLA

MC14024B

7-STAGE RIPPLE COUNTER

The MC14024B is a 7-stage ripple counter with short propagation delays and high maximum clock rates. The Reset input has standard noise immunity, however the Clock input has increased noise immunity due to Hysteresis. The output of each counter stage is buffered.

- Diode Protection on All Inputs
- Output Transitions Occur on the Falling Edge of the Clock Pulse
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4024B



L SUFFIX
CERAMIC
CASE 632

P SUFFIX
PLASTIC
CASE 646

D SUFFIX
SOIC
CASE 751A

ORDERING INFORMATION

MC14XXXBCP Plastic
MC14XXXBCL Ceramic
MC14XXXBD SOIC

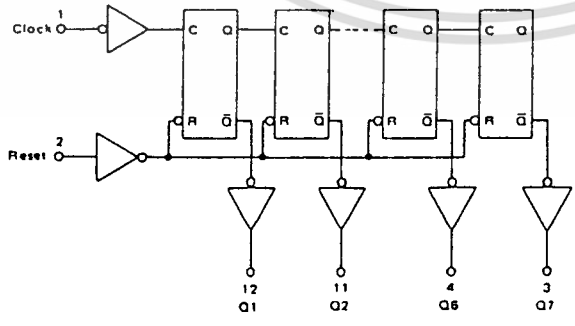
T_A = −55° to 125°C for all packages.

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	−0.5 to +18.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient)	−0.5 to V_{DD} +0.5	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	±10	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature (8-Second Soldering)	260	°C

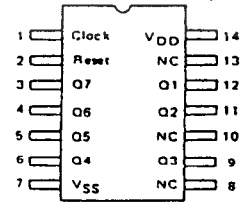
*Maximum Ratings are those values beyond which damage to the device may occur.
†Temperature Derating: Plastic "P and D/DW" Packages: −7.0 mW/°C From 65°C To 125°C
Ceramic "L" Packages: −12 mW/°C From 100°C To 125°C

LOGIC DIAGRAM



Q3 = Pin 9
Q4 = Pin 6
Q5 = Pin 5

PIN ASSIGNMENT



V_{DD} = Pin 14
V_{SS} = Pin 7

NC = No Connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	−55°C Min	−55°C Max	25°C Min	25°C Typ #	25°C Max	125°C Min	125°C Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage "0" Level (V_O = 4.5 or 0.5 Vdc) (V_O = 9.0 or 1.0 Vdc) (V_O = 13.5 or 1.5 Vdc)	V_{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc
		10	—	3.0	—	4.50	3.0	—	3.0	
		15	—	4.0	—	6.75	4.0	—	4.0	
"1" Level (V_O = 0.5 or 4.5 Vdc) (V_O = 1.0 or 9.0 Vdc) (V_O = 1.5 or 13.5 Vdc)	V_{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
		10	7.0	—	7.0	5.50	—	7.0	—	
		15	11	—	11	8.25	—	11	—	
Output Drive Current (V_{OH} = 2.5 Vdc) Source	I_{OH}	5.0	−3.0	—	2.4	4.2	—	−1.7	—	mAdc
(V_{OH} = 4.6 Vdc)		5.0	−0.64	—	−0.51	−0.88	—	−0.36	—	
(V_{OH} = 9.5 Vdc)		10	−1.6	—	−1.3	−2.25	—	−0.9	—	
(V_{OH} = 13.5 Vdc)		15	−4.2	—	3.4	−8.8	—	−2.4	—	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	—	1.3	2.25	—	0.9	—	
(V_{OL} = 1.5 Vdc)		15	4.2	—	3.4	8.8	—	2.4	—	
Input Current	I_{in}	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	μAdc
Input Capacitance (V_{in} = 0)	C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package)	I_{DD}	5.0	—	5.0	—	0.005	5.0	—	150	μAdc
		10	—	10	—	0.010	10	—	300	
		15	—	20	—	0.015	20	—	600	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	I_T = (0.31 μA/kHz) f + I_{DD}							μAdc
		10	I_T = (0.60 μA/kHz) f + I_{DD}							
		15	I_T = (1.89 μA/kHz) f + I_{DD}							

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

**The formulas given are for the typical characteristics only at 25°C.

†To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50\ pF) + (C_L - 50) Vfk$$

where: I_T is in μA (per package), C_L in pF, V = (V_{DD} − V_{SS}) in volts, f in kHz is input frequency, and k = 0.001.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}	Min	Typ #	Max	Unit
Output Rise and Fall Time						ns
t_{TLH}, t_{THL} = (1.5 ns/pF) C_L + 25 ns	t_{TLH}, t_{THL}	5.0	–	100	200	
t_{TLH}, t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	–	50	100	
t_{TLH}, t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	–	40	80	
Propagation Delay Time						ns
Clock to Q1	t_{PLH}, t_{PHL}					
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 295 ns		5.0	–	380	600	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 117 ns		10	–	150	230	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 85 ns		15	–	110	175	
Clock to Q7						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 915 ns		5.0	–	1000	2000	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 367 ns		10	–	400	750	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 275 ns		15	–	300	565	
Reset to Q_n						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 415 ns		5.0	–	500	800	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 217 ns		10	–	250	400	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 155 ns		15	–	180	300	
Clock Pulse Width	t_{WH}	5.0	500	200	–	ns
		10	165	60	–	
		15	125	40	–	
Reset Pulse Width	t_{WH}	5.0	600	375	–	ns
		10	350	200	–	
		15	260	150	–	
Reset Removal Time	t_{rem}	5.0	625	250	–	ns
		10	190	75	–	
		15	145	50	–	
Clock Input Rise and Fall Times	t_{TLH}, t_{THL}	5.0	–	–	1.0	s
		10	–	–	8.0	ms
		15	–	–	200	µs
Input Pulse Frequency	f_{cl}	5.0	–	2.5	1.0	MHz
		10	–	8.0	3.0	
		15	–	12	4.0	

*The formulas given are for the typical characteristics only at 25°C.

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

TRUTH TABLE

CLOCK	RESET	STATE
0	0	No Change
0	1	All Outputs Low
1	0	No Change
1	1	All Outputs Low
⌐	0	No Change
⌐	1	All Outputs Low
⌐	0	Advance One Count
⌐	1	All Outputs Low

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 – TYPICAL OUTPUT SOURCE CHARACTERISTICS TEST CIRCUIT

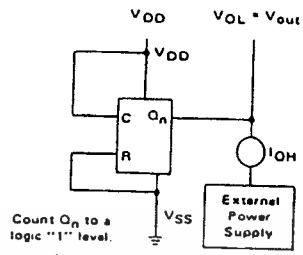


FIGURE 2 – TYPICAL OUTPUT SINK CHARACTERISTICS TEST CIRCUIT

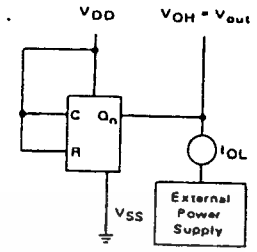
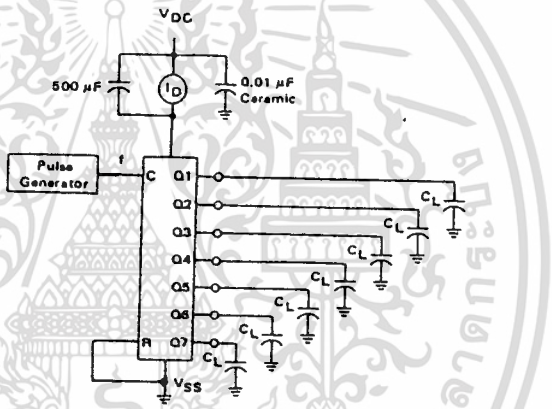


FIGURE 3 – POWER DISSIPATION TEST CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

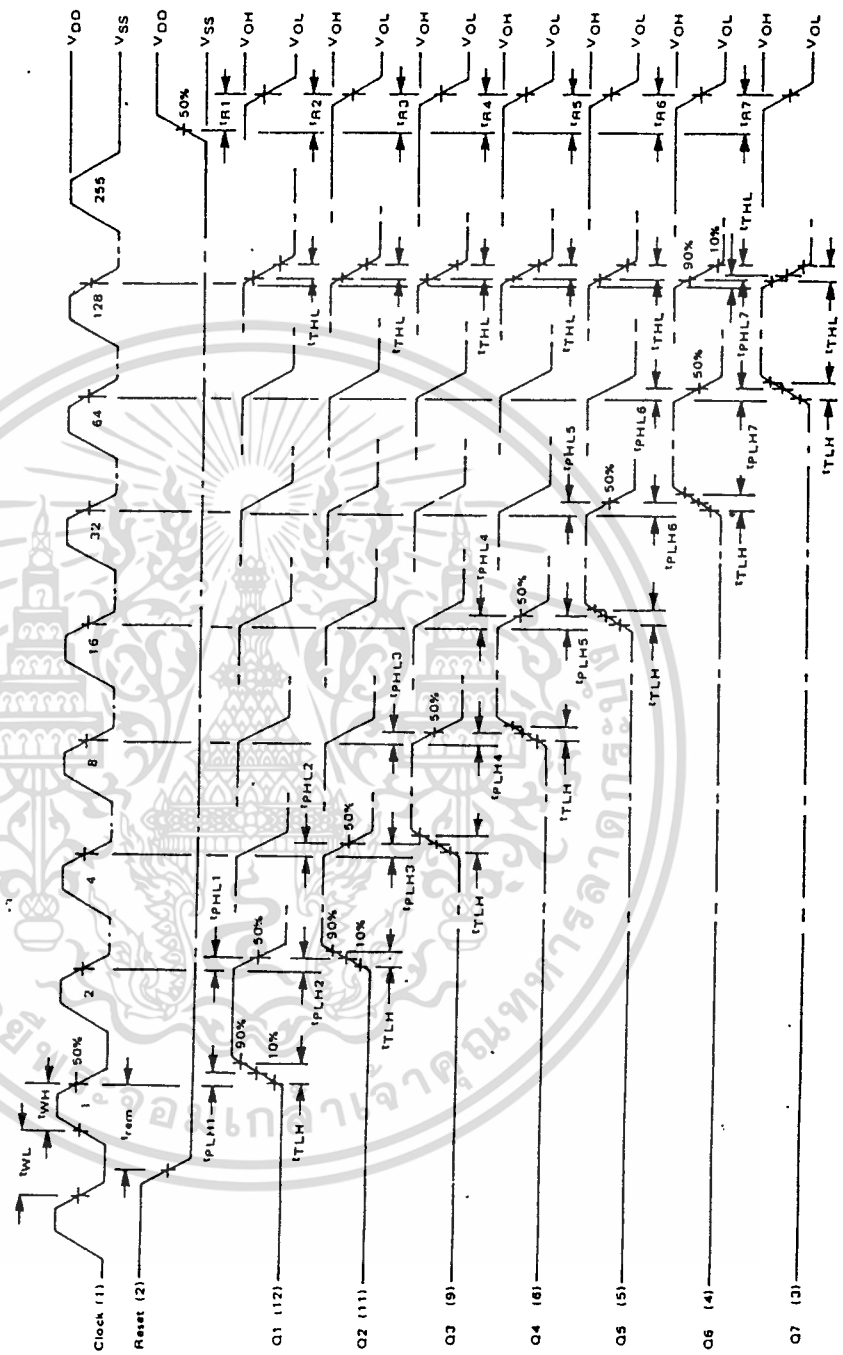


FIGURE 4 – FUNCTIONAL WAVEFORMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้