เครื่องนับความถี่ 1 GHz

DIGITAL COUNTER 1 GHz

นายกิติกร อินทองช่วย
นายสมพร จิโรจน์วณิชชากร

วัน เดือน ปี ๓๐ ก.ค ๒๕๔๐
เลขทะเบียน 036945
เลขเรียกหนังสือ T๐๘๐๓๘ ก๖๗๐

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษา
ตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต
ภาควิชาเทคนิคอุตสาหกรรม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
036945

DIGITAL COUNTER 1 GHz

Mr.KITIKORN INTHONGCHUAY

Mr.SOMPORN JIRODWANITCHAKORN

Project Report Submitted in Partial Fulfillment of the requirements

For the Bachelor's Degree

Department of Industrial Technology

Faculty of Engineering

King Mongkut's Institute of Technology Ladkrabang

1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องวัดความถี่ 1 GHz
	DIGITAL COUNTER 1 GHz
โดย	นายกิติกร อินทองช่วย
	นายสมพร จิโรจน์วณิชชากร
อาจารย์ที่ปรึกษา	ผศ.วิชัย สุรพัฒน์

บทคัดย่อ

ในการสร้างเครื่องวัดความถี่นี้มีจุดมุ่งหมายเพื่อพัฒนาให้สามารถวัดความถี่ได้สูงขึ้นถึง 1 GHz โดยที่เนื้อหาภายในโครงงานแบ่งออกเป็น 2 ส่วน

ส่วนแรกเป็นเรื่องที่เกี่ยวกับพื้นฐานของดิจิตอลอิเล็กทรอนิกส์ที่สำคัญๆได้แก่ ระบบฐานเวลา วงจรนับอิเล็กทรอนิกส์ และการใช้งานวงจรอิเล็กทรอนิกส์

ส่วนที่สองเป็นส่วนที่เกี่ยวข้องกับวงจรนับโดยเฉพาะ เป็นการใช้ไอซีประเภทแอลเอสไอ มาประกอบกันเป็นเครื่องวัดความถี่ ซึ่งจะประกอบไปด้วยวงจรปรีสเกลเลอร์ วงจรขัดรูปสัญญาณ วงจรรักษาระดับแรงดันของสัญญาณ โดยใช้ภาคแสดงผลขนาด 8 หลัก

ABSTRACT

Frequency counter are extensively used to measure the frequency, period and time relationships of electrical signal. This digital counter enables frequencies up to about 1 GHz to be measured.

In this project consists of two section

The first section refer to basic of digital electronic, gate time, counter and application of electronic circuit.

The second section use LSI IC to design counter with conventional components such as prescaler, shaping, clipper and 8-digit LED display.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องนับความถี่ 1 GHz
	DIGITAL COUNTER 1 GHz
โดย	นายกิติกร อินทองช่วย
	นายสมพร จิโรจน์วณิชชากร
ภาควิชา	เทคนิคอุตสาหกรรม
อาจารย์ที่ปรึกษา	ผศ.วิชัย สุรพัฒน์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Project Report	DIGITAL COUNTER 1 GHz
By	Mr.KITIKORN INTHONGCHUAY
	Mr.SOMPORN JIRODWANITCHAKORN
Department of	Industrial Technology
Advisor	Mr.WICHAI SURAPAT

Accepted by the Faculty of Engineering, King Mongkut's Institute of Technology, Ladkrabang in partial fulfillment of the requirements for the Bachelor's degree.

Project Report Committee

..... Chairman
( )
..... Committee
( )
..... Committee
( )
..... Committee
( )
..... Committee
( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สำเร็จลุล่วงลงได้ด้วยความร่วมมือและการตั้งใจในการทำงานของเพื่อนร่วมงานในกลุ่ม Project ทั้งยังได้รับคำแนะนำจากอาจารย์ที่ปรึกษาทางด้านเทคนิคและความคิดต่างๆ นอกจากนี้ยังได้รับคำแนะนำและใช้เครื่องมืออุปกรณ์จาก อาจารย์กฤดากร กล่อมการ ตลอดจนเพื่อนๆทุกท่านที่ช่วยให้คำแนะนำ คณะผู้จัดทำขอกล่าวขอบคุณไว้ ณ โอกาสนี้

นายกิติกร อินทองช่วย

นายสมพร จิโรจน์วณิชชากร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	ข
กิตติกรรมประกาศ	ค
สารบัญตาราง	จ
สารบัญภาพ	ฉ
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎี	
2.1 วงจรนับ	2
2.2 ระบบฐานเวลา	16
2.3 การแสดงผลแบบมัลติเพล็กซ์	18
บทที่ 3 หลักการออกแบบและการทำงานของวงจร	22
บทที่ 4 สรุปและวิจารณ์	48
บรรณานุกรม	49
ภาคผนวก	
ภาคผนวก ก วงจรรวมของเครื่องนับความถี่ 1 GHz	
ภาคผนวก ข. DATA SHEET	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 1 การเปรียบเทียบระบบตัวเลขแบบต่างๆ	3
ตารางที่ 2 สถานะเอาท์พุทของวงจรนับลงแบบไบนารี่ 4 บิท	6
ตารางที่ 3 คุณสมบัติและข้อมูลทางเทคนิคของไอซี SP4632	31
ตารางที่ 4 ผลการทดลองจากการวัดความถี่	43
ตารางที่ 5 ผลการทดลองจากการวัดคาบเวลา	44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 1 วงจรนับแบบไบนารี่-ริปเปิล 4 บิท โดยใช้ D ฟลิปฟลอป	4
รูปที่ 2 วงจรนับแบบไบนารี่-ริปเปิล 4 บิท โดยใช้ J-K ฟลิปฟลอป	5
รูปที่ 3 แผนผังเวลาการทำงานของวงจรนับในรูปที่ 2	5
รูปที่ 4 วงจรนับลงแบบไบนารี่	6
รูปที่ 5 วงจรนับแบบดีเคดโดยใช้ J-K ฟลิปฟลอป	7
รูปที่ 6 (ก) วงจรนับแบบ Mod-6 โดยใช้ J-K ฟลิปฟลอป	8
(ข) แผนผังเวลาการทำงานของวงจร	8
รูปที่ 7 (ก) วงจรนับแบบ Mod-12 โดยใช้ J-K ฟลิปฟลอป	9
(ข) แผนผังเวลาการทำงานของวงจร	10
รูปที่ 8 (ก) วงจรนับแบบ Mod-5 โดยใช้ J-K ฟลิปฟลอป	10
(ข) แผนผังการทำงานของวงจร	11
รูปที่ 9 วงจรนับแบบซิงโครนัส Mod-8	12
รูปที่ 10 วงจรนับแบบซิงโครนัส Mod-10	12
รูปที่ 11 วงจรนับขึ้น/ลงแบบซิงโครนัสไบนารี่ 4 บิท	13
รูปที่ 12 ไอซีวงจรนับเบอร์ 74LS90	14
รูปที่ 13 การต่อ 74LS90 แบบ Mod-10	15
รูปที่ 14 การต่อ 74LS90 แบบวงจร Mod-5	15
รูปที่ 15 การต่อ 74LS90 เป็นวงจรแบบ Mod-6	16
รูปที่ 16 การต่อ 74LS90 เป็นวงจรแบบ Mod-8	16
รูปที่ 17 แผนภูมิเวลาอ้างอิง	17
รูปที่ 18 การแสดงผลแบบมัลติเพล็กซ์	18
รูปที่ 19 ความสัมพันธ์ของสัญญาณคล็อกและเอาท์พุทของวงจรนับชนิดวงแหวน	19
รูปที่ 20 ระบบของการแสดงผลแบบมัลติเพล็กซ์	20
รูปที่ 21 หลักการวัดช่วงเวลา	21
รูปที่ 22 บล็อกไดอะแกรมของเครื่องนับความถี่ 1 GHz	22
รูปที่ 23 วงจรบัฟเฟอร์	24
รูปที่ 24 วงจรจัดรูปคลื่น	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

	หน้า
รูปที่ 25 สัญญาณที่ป้อนเข้าวงจรขัดรูปคลื่นขา 2 ของ IC2:A	26
รูปที่ 26 สัญญาณที่ออกจากขา 8 ของ IC2:C	26
รูปที่ 27 วงจรรวมของภาคอินพุทบัฟเฟอร์	27
รูปที่ 28 วงจรภาคจ่ายไฟ	28
รูปที่ 29 บล็อกไดอะแกรมของการทำงานของเครื่องวัดความถี่พื้นฐานที่ปรีสเกลเลอร์	29
รูปที่ 30 การจัดขาและโครงสร้างภายในของไอซี SP4632	30
รูปที่ 31 การประยุกต์ใช้งานของไอซี SP4632	33
รูปที่ 32 วงจรรวมภาคปรีสเกลเลอร์	34
รูปที่ 33 เอาท์พุทที่ออกจากขา 7 ของ IC1	35
รูปที่ 34 เอาท์พุทที่ออกจากขา 4 ของ IC3:B	36
รูปที่ 35 เอาท์พุทที่ออกจากขา 7 ของ IC4:A	36
รูปที่ 36 เอาท์พุทที่ออกจากขา 13 ของ IC3:D	37
รูปที่ 37 เอาท์พุทที่ออกจากขา 3 ของ IC5:A	37
รูปที่ 38 เอาท์พุทของภาคปรีสเกลเลอร์ที่ออกจากขา 7 ของ IC5:A	38
รูปที่ 39 ลายวงจรพิมพ์ของภาคปรีสเกลเลอร์	38
รูปที่ 40 วงจรนับความถี่	40
รูปที่ 41 ลายวงจรพิมพ์ของภาควงจรนับความถี่	42
รูปที่ 42 ลายวงจรพิมพ์ของภาคแสดงผล 7 ส่วน	42
รูปที่ 43 แสดงการวัด time interval	45
รูปที่ 44 เปรียบเทียบความถี่ที่ป้อนกับความถี่ที่เครื่องวัดสามารถวัดได้	47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในส่วนใหญ่ของวิชาทางด้านโทรคมนาคมหรือการสื่อสารนั้นเรามักจะได้พบกับวงจรที่เกี่ยวกับความถี่เป็นส่วนใหญ่ เรื่องของความถี่ก็มีผู้ที่สนใจทำการศึกษาค้นคว้าและวิเคราะห์ในด้านนี้มากมาย เพื่อจะพัฒนาและศึกษาถึงผลกระทบของความถี่ในด้านต่างๆ เพื่อจะก่อให้เกิดประสิทธิภาพ และการใช้งานในด้านความถี่สูงที่สุด

เราพบว่าในความถี่สูงส่วนใหญ่นั้น มักจะก่อให้เกิดปัญหาหลายๆด้าน จึงทำให้มีผู้ที่ทำการคิดค้นหาทางแก้ปัญหานั้นๆตลอดมา ทำให้ในปัจจุบันสามารถนำความถี่สูงๆมาใช้ได้ถึงย่านความถี่ที่เป็น GHz ซึ่งก่อให้เกิดประโยชน์อย่างสูง ในด้านการติดต่อสื่อสารในโลกปัจจุบัน ฉะนั้นในส่วนของความถี่จึงเป็นส่วนหนึ่งที่นักศึกษาในด้านโทรคมนาคมควรที่จะศึกษาไว้ เพื่อจะนำไปใช้ประโยชน์ในอนาคต จึงทำให้เกิดแนวความคิดที่จะทำการศึกษาในด้านความถี่อย่างจริงจังที่มีส่วนเกี่ยวข้องกับวงจรนับ และ วงจรหารความถี่เพื่อใช้ในเครื่องนับความถี่ย่าน GHz

ในระยะเริ่มแรกนั้นใช้ระบบกลไกโดยอาศัยหลักการของเรโซแนนซ์ประกอบกันเพื่อใช้วัดความถี่ ต่อมาได้มีการพัฒนาให้ดีขึ้นเรื่อยๆ โดยใช้เทคโนโลยีทางด้านอิเล็กทรอนิกส์มาแทน ทำให้เครื่องวัดแบบนี้ใช้ได้ง่ายกว่า และสามารถทำการวัดได้เที่ยงตรงและละเอียดกว่าอีกด้วย

จากในสภาวะการในปัจจุบันเครื่องนับความถี่มีบทบาทมากในทางอิเล็กทรอนิกส์และการสื่อสารมาก ซึ่งที่มีใช้กันโดยทั่วๆไปก็มีหลายๆแบบที่แตกต่างกันออกไป แต่ในบางเครื่องก็ไม่สามารถที่จะวัดความถี่ได้สูงมากนัก ทำให้เกิดปัญหาในกรณีที่ต้องการวัดความถี่สูงๆ ด้วยเหตุผลนี้จึงทำให้เกิดความคิดที่จะทำการทดลอง สร้างเครื่องนับความถี่ได้สูงถึง 1 GHz ขึ้นมาเพื่อศึกษาถึงการทำงาน การแก้ปัญหาที่อาจเกิดขึ้นในย่านความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี

วงจรนับ วงจรหาร

วงจรนับ (counter) เป็นวงจรดิจิตอลที่มีประโยชน์มากในระบบดิจิตอลทั่วๆไป โดยทำหน้าที่นับจำนวนพัลซ์ (จำนวนลูก)ของสัญญาณคล็อกหรือสัญญาณใดๆที่เข้ามาทางอินพุทว่ามีจำนวนเท่าใด หรือทำให้ทราบว่าขณะนั้นระบบกำลังทำงานอยู่ที่จังหวะคล็อกลูกที่เท่าใด สิ่งนี้จะมีประโยชน์มากในการควบคุมการทำงานของระบบ ซึ่งอาจจะเป็นเครื่องคอมพิวเตอร์ หรือระบบดิจิตอลอื่นๆ หรืออาจใช้ในการแสดงผลต่างๆ เช่นเครื่องวัดความถี่เป็นต้น นอกจากนี้แล้ววงจรนับยังสามารถนำมาใช้เป็นตัวหารความถี่ได้อีกด้วย

ระบบตัวเลข

โดยปกติแล้ว ตัวเลขต่างๆที่ใช้กันในชีวิตประจำวัน จะเป็นระบบเลขฐาน 10 (decimal) แต่ในทางดิจิตอลแล้ว จะมีระบบตัวเลขอื่นๆอีก เช่น ฐาน 2 (binary) ฐาน 16 (hexadecimal) เป็นต้น นอกจากนี้ในระบบเลขฐาน 2 ยังมีเรื่องของบิท (bit) เข้ามาเกี่ยวข้องอีก เช่น 4 , 8 , 10 หรือ 16 บิท และยังรวมไปถึงระบบเลขฐาน 2 แบบ BCD (Binary-Code-Decimal) ซึ่งแบบ BCD นี้จะมีประโยชน์ในการแสดงผลเป็นตัวเลขต่างๆในฐาน 10 จากตารางที่ 1 จะสังเกตเห็นว่าระบบเลขฐาน 2 นั้น ค่าที่นับได้สูงสุดจะขึ้นอยู่กับจำนวนบิท เช่น 4 บิท จำนวนสูงสุดที่นับได้คือ $16(2^4)$ นั่นคือเมื่อนับได้ถึง 16_{10} หรือ 10_{16} ในฐาน 2 นั้น จะมีค่าเป็น 10000_2 หรือถ้าเป็น 8 บิท จำนวนสูงสุดที่นับได้คือ $256(2^8)$ หรือเขียนเป็นสูตรได้ว่า (2^n) เมื่อ n=จำนวนบิท ส่วนใน BCD จะเห็นได้ว่าเป็นเลขฐาน 2 ของแต่ละหลักของตัวเลขฐาน 10 นั่นเอง ดังนั้นในแต่ละหลักของ BCD จะนับได้สูงสุดคือ 10 เช่น ถ้านับเลข 15_{10} ใน BCD จะได้ 0001 0101 (0001=1 และ 0101=5) ส่วนในเลขฐาน 2 (4 บิท) จะเป็น 1111 ซึ่งต่างกันอย่างเห็นได้ชัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฐาน 10	ฐาน 16	ฐาน 2 (4 บิท)	ฐาน 2 (8 บิท)	BCD
0	0	0000	00000000	0000
1	1	0001	00000001	0001
2	2	0010	00000010	0010
3	3	0011	00000011	0011
4	4	0100	00000100	0100
5	5	0101	00000101	0101
6	6	0110	00000110	0110
7	7	0111	00000111	0111
8	8	1000	00001000	1000
9	9	1001	00001001	1001
10	A	1010	00001010	0001 0000
11	B	1011	00001011	0001 0001
12	C	1100	00001100	0001 0010
13	D	1101	00001101	0001 0011
14	E	1110	00001110	0001 0100
15	F	1111	00001111	0001 0101
16	10	0000	00010000	0001 0110

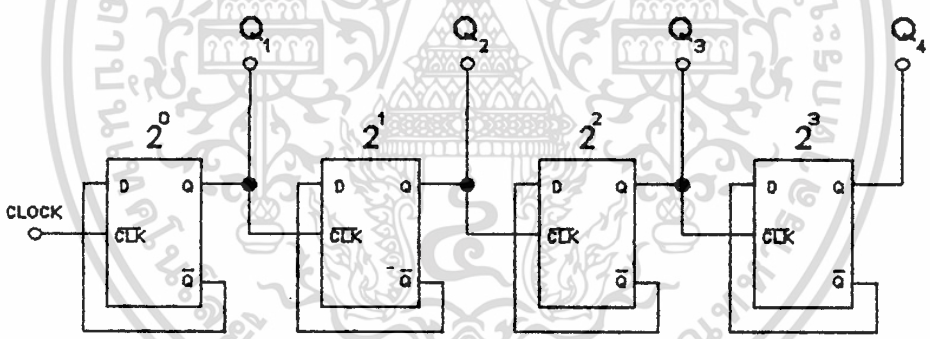
ตารางที่ 1 การเปรียบเทียบระบบตัวเลขแบบต่างๆ

วงจรนับแบบไบนารี่-ริปเปิล

วงจรนับแบบไบนารี่-ริปเปิล (binary ripple counter) เป็นวงจรนับที่พื้นฐานที่สุด วงจรนับโดยทั่วๆไปสามารถออกแบบให้เป็นวงจรนับขึ้น (count-up) หรือนับลง (count-down) ก็ได้ ซึ่งภายในจะประกอบด้วยฟลิปฟลอปที่นำมาต่อกันเข้าดังแสดงไว้ในรูปที่ 1 วงจรประกอบด้วย D ฟลิปฟลอป 4 ตัว ที่ต่ออนุกรมกันอยู่ เพื่อทำงานเป็นวงจรนับไบนารี่ 4 บิท (นับขึ้น) จะสังเกตุเห็นได้ว่าคล็อกของแต่ละสเตจ (stage) หรือฟลิปฟลอปแต่ละตัวนั้นจะเป็นการรับสัญญาณมาจากเอาท์พุท Q ของสเตจที่อยู่ด้านหน้า ยกเว้นสเตจแรกที่รับคล็อกจากสัญญาณของอินพุทโดยตรง นอกจากจะใช้ D ฟลิปฟลอปในการสร้างวงจรนับแล้วเรายัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

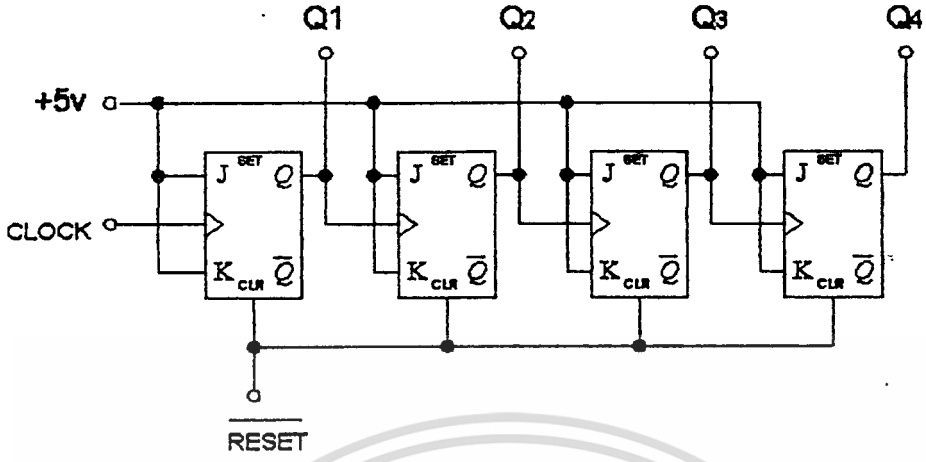
สามารถใช้ฟลิปฟลอปประเภทอื่นๆได้ เช่น J-K ฟลิปฟลอป ดังแสดงไว้ในรูปที่ 2 โดยลอจิกที่ขาของ J และ K ของทุกๆสเตจ จะต้องเป็นลอจิก " 1 " และขาคล็อกของแต่ละสเตจก็จะรับสัญญาณมาจากเอาท์พุท Q ของสเตจที่อยู่ด้านหน้า เช่นเดียวกันวงจรในรูปที่ 2 นี้ยังแสดงถึงขา $\overline{CLR}$ (clear) ของฟลิปฟลอปแต่ละตัว ซึ่งนำมาร่วมกันเป็นขา $\overline{RESET}$ ของวงจรทั้งหมด วงจรในรูปที่ 1 และ 2 เป็นวงจรนับแบบไบนารี่-ริปเปิล ที่มีเอาท์พุทแบบขนาน 4 บิท สามารถนับได้สูงสุดถึง 16 โดยมีการเวจต์ (weighted) ของแต่ละสเตจเป็น 1,2,4 และ 8 ตามลำดับ การเวจต์นั้นจะหมายถึง การกำหนดว่าแต่ละสเตจหรือแต่ละบิทของวงจรนั้นมีค่าของเลขหลักในการนับเป็นเท่าใด นั่นคือที่ $Q_1 = 2^0$, $Q_2 = 2^1$, $Q_3 = 2^2$, $Q_4 = 2^3$ นั่นเอง ดังนั้นถ้าเอาท์พุท 4 บิทที่ได้มีค่าเป็น 1010 ก็จะหมายความว่าในขณะนั้นค่าที่นับได้จะเป็น (1*1) + (0*2) + (1*4) + (0*8). = 1+0+4+0 = 5 ถ้าเราสังเกตุจากรูปจังหวะการทำงานของวงจรในรูปที่ 3 จะสามารถเข้าใจได้ โดยเอาท์พุท 1010 จะอยู่ที่จังหวะ T_5 ซึ่งจะเห็นได้ว่าขณะนั้นมีพัลซ์เข้ามาแล้ว 5 ลูก การเวจต์ค่าเอาท์พุทแบบนี้ จะเรียกว่าไบนารี่เวจต์ (binary weighting)



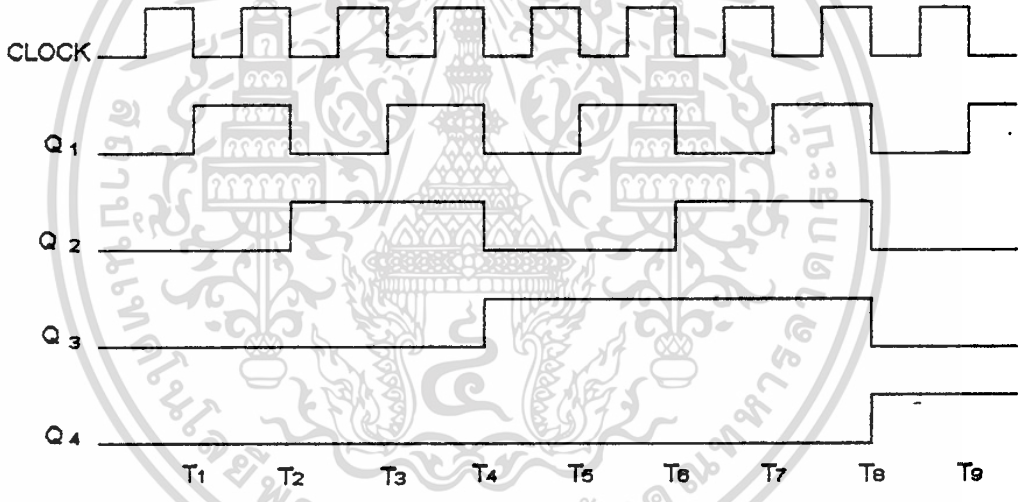
รูปที่ 1 วงจรนับแบบไบนารี่-ริปเปิล 4 บิท โดยใช้ D ฟลิปฟลอป

ถ้าเราสังเกตุวงจรในรูปที่ 2 จะมีขา $\overline{RESET}$ (รีเซ็ท) อยู่ด้วย การ $\overline{RESET}$ วงจรนับนั้นก็คือการทำให้เอาท์พุทของทุกๆสเตจมีค่าเป็น "0" ซึ่งจะเป็นการกำหนดค่าเริ่มต้นในการนับทุกครั้งให้เป็น "0" เสมอ การ $\overline{RESET}$ สามารถกระทำในช่วงเวลาไหนก็ได้ จากรูปวงจรจะเห็นได้ว่า$\overline{CLR}$ ของฟลิปฟลอปแต่ละตัวเป็นแบบ active low มาต่อรวมกันเป็นขา $\overline{RESET}$ ของวงจร ดังนั้นการ $\overline{RESET}$ ของวงจรนี้จำเป็นต้องใช้ลอจิก "0" บางครั้งอาจจะเรียกสัญญาณที่ใช้ในการ $\overline{RESET}$ นี้ว่า "jam" อินพุทหรือ PRESET ENABLE หรืออื่นๆที่คล้ายกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



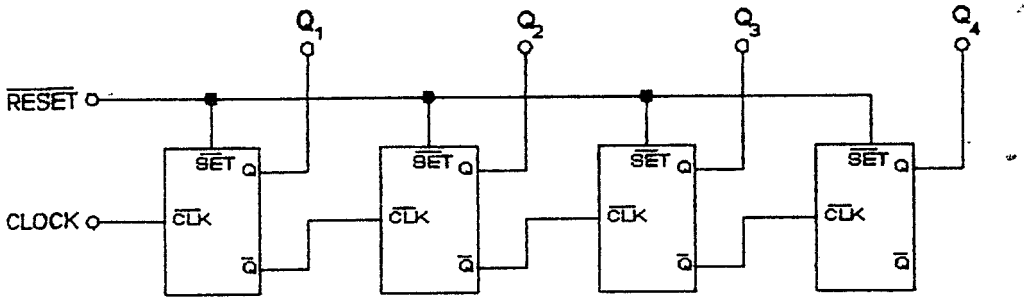
รูปที่ 2 วงจรนับแบบไบนารี่-ริปเปิล 4 บิท โดยใช้ J-K ฟลิปฟลอป



รูปที่ 3 แผนผังเวลาการทำงานของวงจรนับในรูปที่ 2

ดังที่กล่าวมาแล้วว่าวงจรนับนั้นสามารถดัดแปลงให้เป็นวงจรนับลงได้เช่นกันดังแสดงไว้ในรูปที่ 4 จะสังเกตุเห็นข้อแตกต่างระหว่างวงจรในรูปที่ 2 และ 4 จะเห็นได้ว่าในรูปที่ 2นั้นขา $\overline{CLR}$ ของฟลิปฟลอปแต่ละตัวจะต่อเข้ากับขา Q ของฟลิปฟลอปที่อยู่ด้านหน้า แต่สำหรับวงจรนับลงนั้น จะต่อเข้ากับขา $\overline{Q}$ ของฟลิปฟลอปที่อยู่ด้านหน้าแทน โดยการต่อวงจรเช่นนี้จะทำให้ได้เอาท์พุทของสเตจต่างๆแสดงไว้ในตารางที่ 2 ซึ่งจะเป็นการนับถอยหลังนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4 วงจรนับลงแบบไบนารี่

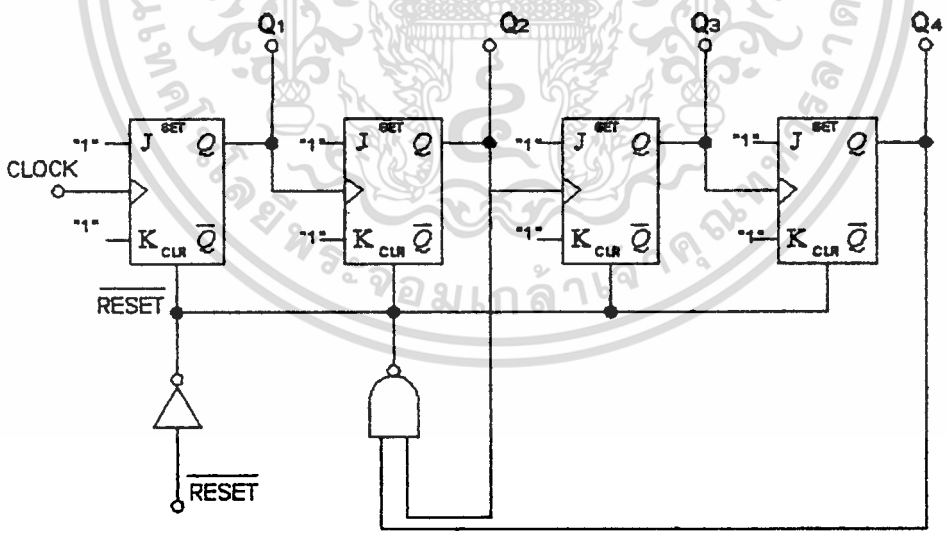
จำนวนพัลซ์	Q4	Q3	Q2	Q1	การนับฐาน10
0	0	0	0	0	0
1	1	1	1	1	15
2	1	1	1	0	14
3	1	1	0	1	13
4	1	1	0	0	12
5	1	0	1	1	11
6	1	0	1	0	10
7	1	0	0	1	9
8	1	0	0	0	8
9	0	1	1	1	7
10	0	1	1	0	6
11	0	1	0	1	5
12	0	1	0	0	4
13	0	0	1	1	3
14	0	0	1	0	2
15	0	0	0	1	1
16	0	0	0	0	0

ตารางที่ 2 สถานะเอาท์พุทของวงจรนับลงแบบไบนารี่ 4 บิท ของวงจรในรูปที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนับแบบโมดูลัส

วงจรนับแบบโมดูลัส (modulus counter) ก็คือวงจรนับไบนารี่นั่นเองแต่มีข้อแตกต่างกันที่แบบโมดูลัสนั้นจะเป็นวงจรนับที่มีการกำหนดค่าสูงสุดในการนับที่แน่นอน หมายถึงว่าวงจรนั้นวงจรนับแบบ Mod-5 , Mod-7 , Mod- 10 หรือ Mod-12 ก็จะหมายถึงว่าวงจรเหล่านี้จะมีการจะถูกออกแบบให้มีการรีเซ็ตตัวเองโดยอัตโนมัติเมื่อนับจำนวนพัลซ์ที่เข้ามาได้ถึงค่าที่กำหนดไว้ เช่น รีเซ็ตตัวเองเมื่อนับได้ถึง 5,7,10 และ 12 ตามลำดับแล้วจึงจะเริ่มต้นนับรอบใหม่อีกครั้งหนึ่ง คำว่าวงจรนับแบบดีเคด (decade counter) นั้นก็คือ วงจรนับแบบ Mod- 10 นั่นเอง ซึ่งหมายถึงวงจรนับที่ถูกออกแบบให้ทำการรีเซ็ตตัวเองเมื่อมีการนับถึง 10 วงจรนับแบบดีเคดนี้เป็นพื้นฐานของวงจรนับที่มีเอาท์พุทแบบ BCD เนื่องจาก BCD นั่นก็คือระบบเลขฐาน 2 หรือไบนารี่ของเลขแต่ละหลักของเลขฐาน 10 นั่นเอง วงจรนับแบบดีเคดนี้จะมีเอาท์พุทเป็นไบนารี่ 4 บิท ซึ่งจะมีค่าที่นับได้สูงสุดเป็น 1001 ($=9_{10}$) และเมื่อพัลซ์ถูกที่ 10 เข้ามาเอาท์พุทจะถูกรีเซ็ตให้เป็น 0000 แล้วจะเป็นการเริ่มนับรอบต่อไป



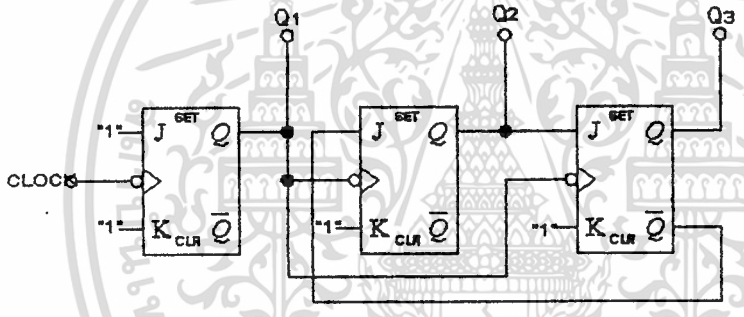
รูปที่ 5 วงจรนับแบบดีเคดโดยใช้ J-K ฟลิปฟลอป

วงจรนับแบบดีเคดดังแสดงในรูปที่ 5 จะเห็นได้ว่าเอาท์พุทของ Q_2 และ Q_4 ถูกต่อเข้าเป็นอินพุทของ NAND-GATE (G_1) ที่ทำหน้าที่ในการรีเซ็ตวงจรทั้งหมด ดังนั้นเมื่อพัลซ์ถูกที่ 10 เข้ามา เอาท์พุทที่ได้จะเป็น 1010 ก็จะเป็นอินพุทของ NAND GATE เป็น

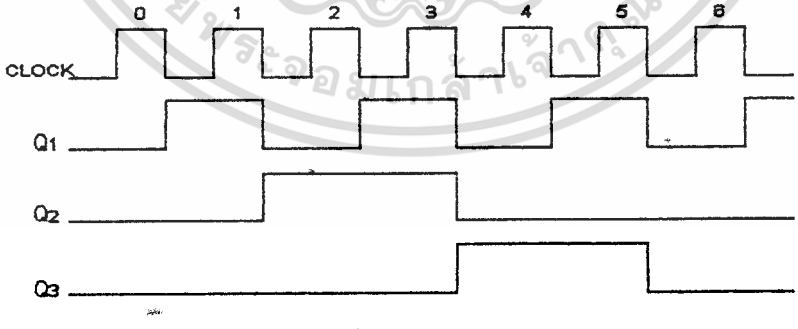
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"1" ทั้งคู่ และทำให้เอาท์พุทของมันที่ต่อกับขา $\overline{RESET}$ มีลอจิกเป็น "0" ก็จะเป็นการรีเซ็ตวงจรนับให้เอาท์พุทเปลี่ยนเป็น 0000 อย่างทันทีทันใด ซึ่งจะเป็นการเริ่มต้นของการนับใหม่ครั้งต่อไป จากวงจรจะเห็นได้ว่าการเวจค์เอาท์พุทเป็น 1248 เช่นเดียวกับแบบไบนารี่ทุกอย่างแต่ต่างกันที่สถานะของเอาท์พุทจะเริ่มจาก 0000 ไปจนถึง 1001 (0_{10} ถึง 9_{10}) เท่านั้นเอาท์พุทแบบนี้เรียกอีกชื่อหนึ่งว่า BCD

วงจรนับแบบดีเคดนี้สามารถดัดแปลงให้เป็นวงจรที่นับถอยหลังได้เช่นกัน โดนการนำเอาท์พุท $\overline{Q}$ ของสเตจด้านหน้าไปเป็นอินพุท $\overline{CLK}$ ของสเตจถัดไป และเอาท์พุทของทั้ง 4 สเตจยังคงรับจากเอาท์พุท Q อยู่เช่นเดิม ส่วนอินพุทของ NAND GATE ที่ใช้ในการรีเซตวงจรนั้น จะรับมาจากเอาท์พุท Q ของสเตจที่ 2 และ 3 ดังนั้นการนับจะเริ่มจาก 0 (10),9,8....ไปจนถึง 1 แล้วจึงมีการรีเซ็ตให้เริ่มนับในรอบใหม่ต่อไป



(ก)



(ข)

รูปที่ 6 รูป (ก) วงจรนับแบบ Mod-6 โดยใช้ J-K ฟลิปฟลอป

รูป (ข) แผนผังเวลาการทำงานของวงจร

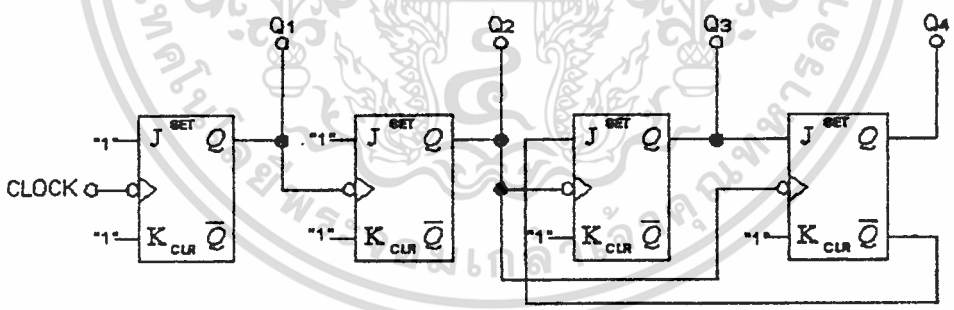
การรีเซ็ตวงจรนับแบบนี้สามารถออกแบบให้มีการรีเซ็ตที่มีจังหวะการนับเท่าใดก็ได้ เช่น ถ้า NAND GATE นั้นรับอินพุทมาจากเอาท์พุท Q ของสเตจที่ 3 และ 4 ของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 5 จะทำให้มีการรีเซ็ต เมื่องเอาท์พุทเป็น 1100 นั่นคือวงจรแบบ Mod=12 หรือถ้านำเอาท์พุทของสเตจที่ 4 มาเข้า INVERTER และนำเอาท์พุทของ INVERTER นั้นมาต่อกับขา $\overline{RESET}$ ก็จะทำให้วงจรเกิดการรีเซ็ตเมื่อเอาท์พุทเป็น 1000 จะได้เป็นวงจรนับแบบ Mod-8 นั่นเอง

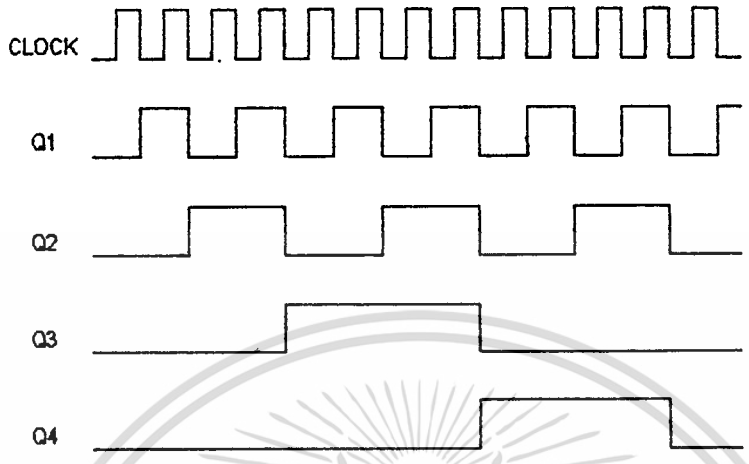
วงจรนับโมดูลัสนี้นอกจากจะสามารถออกแบบได้โดยการใช้ขา $\overline{CLR}$ หรือ $\overline{RESET}$ แล้ว ยังสามารถออกแบบได้โดยวิธีอื่นอีก ซึ่งเรียกวงจรพวกนี้ว่า direct acting counter

วงจรในรูปที่ 6ก เป็นวงจรนับแบบ Mod-6 การทำงานของวงจรนี้ดังรูปที่ 6ข จะเห็นได้ว่าที่เอาท์พุท Q_1 จะเป็นสัญญาณทอกเกิล (toggle) ของอินพุทคล็อก เอาท์พุท Q_2 จะเป็นสัญญาณทอกเกิลของเอาท์พุท Q_1 ยกเว้นเมื่อเอาท์พุท Q_3 มีลอจิกเป็น "1" ซึ่งทำให้เอาท์พุท Q_2 ถูกรีเซ็ตเป็น "0" ส่วนเอาท์พุท Q_3 จะเป็นสัญญาณทอกเกิลของเอาท์พุท Q_1 เช่นกันแต่ยกเว้นเมื่อเอาท์พุท Q_2 มีลอจิกเป็น "0" ซึ่งจะทำให้เอาท์พุท Q_3 ถูกรีเซ็ตเป็น "0" จากการทำงานของวงจรทั้งหมดทำให้ได้วงจรนับแบบ Mod-6 นั่นเอง



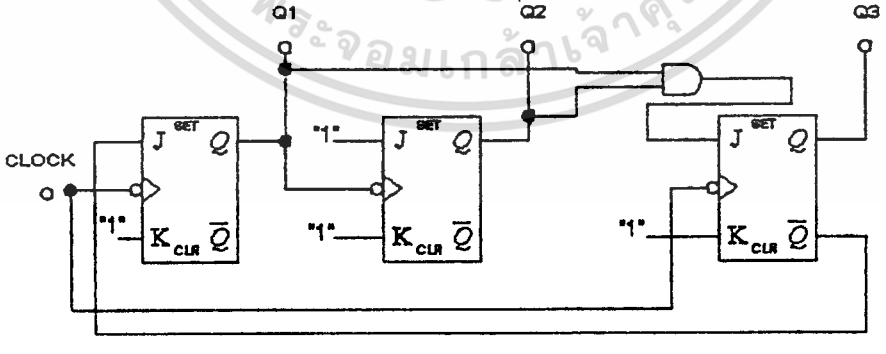
รูปที่ 7 รูป (ก) วงจรนับแบบ Mod-12 โดยใช้ ฟลิปฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



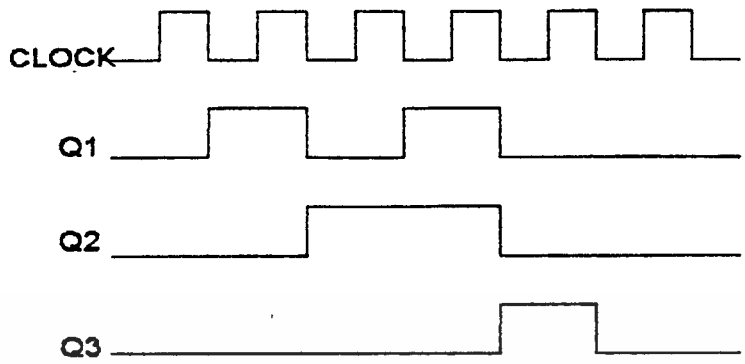
รูปที่ 7 (ข) แผนผังเวลาการทำงานของวงจร

วงจรในรูปที่ 7ก เป็นการเพิ่มเติมวงจรในรูปที่ 6ก ให้เป็นวงจรนับแบบ Mod-12 โดยการเพิ่ม J-K ฟลิปฟลอปขึ้นอีก 1 ตัว โดยมีจังหวะการทำงานแสดงไว้ในรูปที่ 7ข จะสังเกตุเห็นได้ว่าจังหวะการทำงานของ Q_2 ,Q_3 และ Q_4 จะเหมือนการทำงานแบบ Mod-6 แต่มีส่วนเพิ่มเติมในจังหวะในการทำงานของ Q_1 เท่านั้น ซึ่งเป็นสัญญาณทอกเกิลของอินพุทคล็อกโดยตรง



รูปที่ 8 (ก) วงจรนับแบบ Mod-5 โดยใช้ J-K ฟลิปฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8 (ข) แผนผังการทำงานของวงจร

ส่วนวงจรในรูปที่ 8ก เป็นวงจรนับแบบ Mod-5 ซึ่งมีจังหวะการทำงานไว้ในรูปที่ 8ข วงจรนี้สามารถดัดแปลงให้เป็นวงจรนับแบบ Mod-10 หรือดีเคดได้ โดยการเพิ่มฟลิปฟลอปขึ้นอีก 1 ตัว ดังการต่อ J-K ฟลิปฟลอปเพิ่มในรอบที่ 7ก

วงจรนับที่กล่าวมาแล้วข้างต้นเป็นวงจรที่ต่อกันเป็นแบบรับอินพุทเป็นอนุกรมคือการสัญญาณต่อกันมาเรื่อยๆซึ่งวงจรนับประเภทนี้จะเรียกรวมๆว่า วงจรนับแบบ "อะซิงโครนัส"(asynchronous counter)

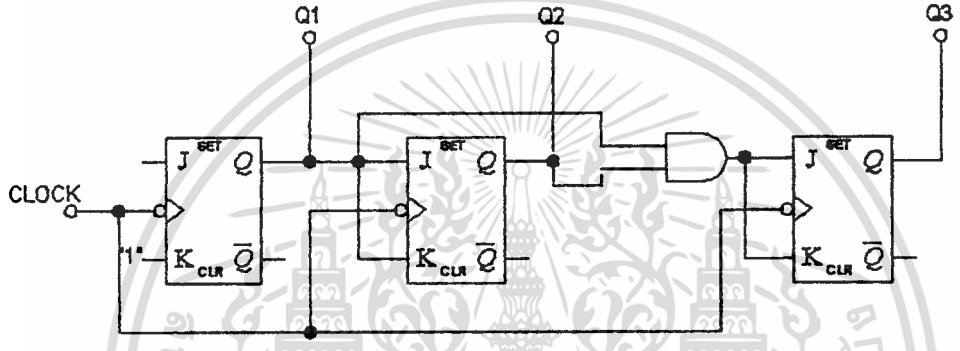
วงจรนับแบบซิงโครนัส

วงจรนับแบบอะซิงโครนัสจะมีปัญหาในการใช้งานบางประเภทเนื่องจากการหน่วงเวลา (delay time) ของสัญญาณเอาท์พุทของสเตจต่างๆในตัวฟลิปฟลอป เพราะสเตจต่างๆต่อกันเป็นอนุกรม ดังนั้นการทำงานของแต่ละสเตจจึงต้องคอยเวลาให้สเตจที่อยู่ด้านหน้าทำงานเสร็จสิ้นก่อน จึงจะได้รับอินพุทและให้เอาท์พุทแก่สเตจถัดไป ดังนั้นจึงเกิดการหน่วงเวลาของแต่ละสเตจขึ้น ซึ่งสิ่งนี้เป็นปัญหาสำคัญของการควบคุมการทำงานของระบบบางประเภท เช่น ในเครื่องคอมพิวเตอร์

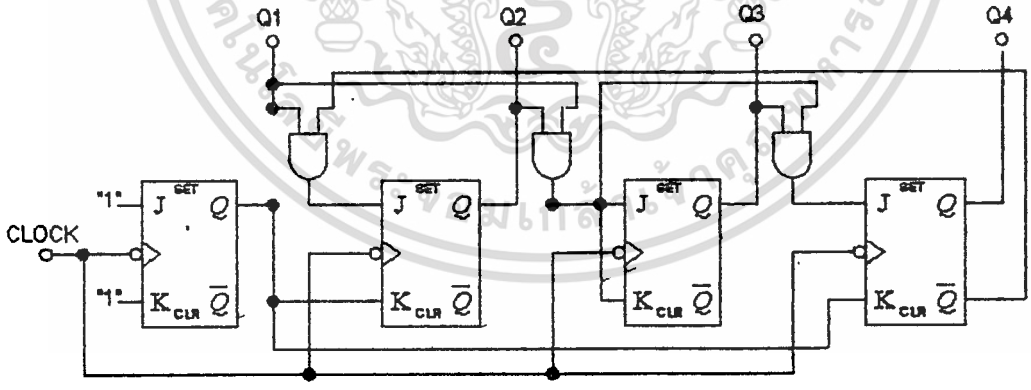
ปัญหาดังกล่าวเราสามารถแก้ไขได้โดยการใช้วงจรแบบซิงโครนัส (synchronous counter) โดยแต่ละสเตจของฟลิปฟลอปจะรับอินพุทโดยตรงจากสัญญาณคล็อกเดียวกัน และเอาท์พุทที่ได้จากแต่ละสเตจจะมีการเปลี่ยนแปลงอย่างทันทีทันใดมีอินพุทเข้ามา ซึ่งทำให้ไม่เกิดการหน่วงเวลาดังเช่นในวงจรแบบอะซิงโครนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรในรูปที่ 9 จะเห็นได้ว่าสัญญาณคล็อกถูกป้อนโดยตรงให้กับทุกๆสเตจของวงจร โดยสเตจ Q_1 ทำหน้าที่ทอกเกิลสัญญาณคล็อกอินพุท สเตจ Q_2 จะเกิดการเปลี่ยนแปลงก็ต่อเมื่อขา J และ K เป็น "1" นั่นคือ Q_1 ต้องเป็น "1" และสเตจ Q_3 จะเกิดการเปลี่ยนแปลงก็ต่อเมื่อขา J และ K เป็น "1" เช่นกัน นั่นคือ Q_1 และ Q_2 ต้องเป็น "1" ทั้งคู่ ดังนั้นในกรณีที่เอาท์พุทเป็น 111 ทั้ง Q_1 ,Q_2 , และ Q_3 เป็น "1" ทุกๆ สเตจจึงทำหน้าที่เป็นตัวทอกเกิลสัญญาณ



รูปที่ 9 วงจรนับแบบซิงโครนัส Mod-8



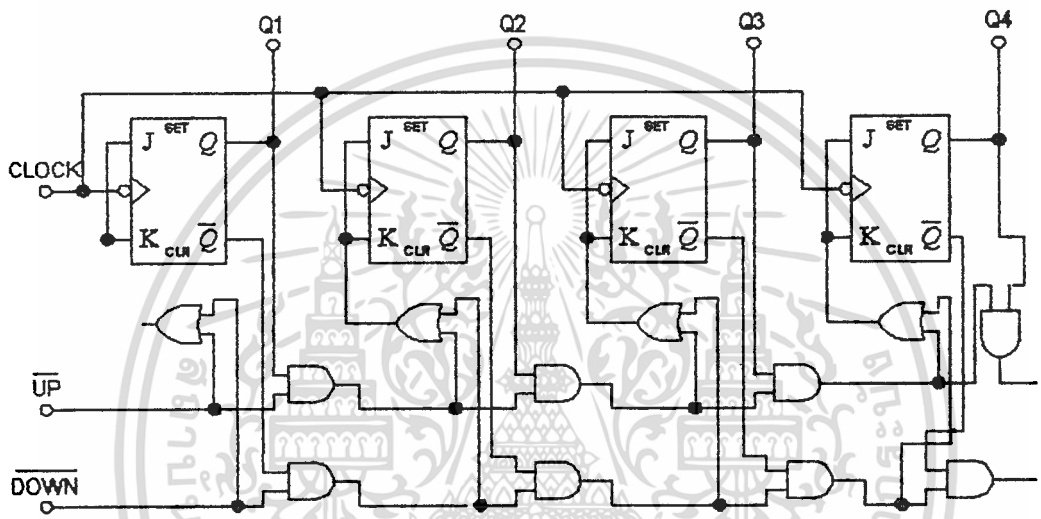
รูปที่ 10 วงจรนับแบบซิงโครนัส Mod-10

วงจรซิงโครนัสดังรูปที่ 10 เป็นวงจรนับแบบ Mod-10 หลักการทำงานของวงจรแต่ละสเตจเหมือนกับวงจรในรูปที่ 9 นั่นคือแต่ละสเตจจะเกิดการเปลี่ยนแปลงก็ต่อเมื่อขา J

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ K ของสเตตนั้นจะต้องเป็น "1" ทั้งคู่ และลอจิกที่ขา J และ K นั้นเป็นเอาท์พุท ของ AND-GATE ที่รับอินพุทจากเอาท์พุท Q ต่างๆกัน

วงจรนับขึ้น/ลง (up/down counter)



รูปที่ 11 วงจรนับขึ้น/ลงแบบซิงโครนัสไบนารี่ 4 บิท

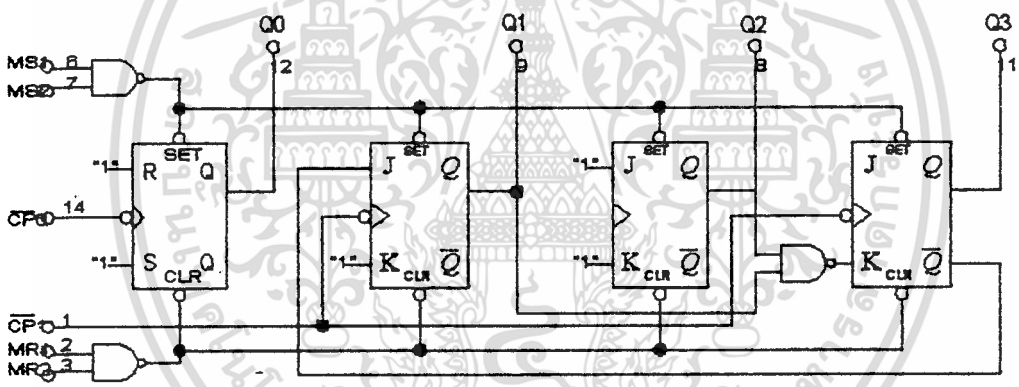
ในวงจรรูปที่ 11 เป็นวงจรนับแบบซิงโครนัสไบนารี่ 4 บิท ซึ่งสามารถควบคุมให้เป็นวงจรนับขึ้นหรือลงได้ โดยการกำหนดลอจิกที่ขาควบคุม (up/down) เช่น ถ้าต้องการให้เป็นวงจรนับลงก็กำหนดให้ลอจิกที่ขา UP เป็น "1" และ DOWN เป็น "0" และถ้าต้องการให้เป็นวงจรนับขึ้นก็กำหนดให้ลอจิกที่ขา UP เป็น "0" และ DOWN เป็น "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอซีที่เป็นวงจรนับ

วงจรนับที่อยู่ในรูปของไอซีนั้น มีอยู่ด้วยกันหลายเบอร์ทั้งแบบ TTL และCMOS ซึ่งวงจรภายในมีลักษณะเป็นวงจรรวมขนาดกลาง หรือเรียกว่า MSI (Medium Scale Integrated Circuit) การใช้งานต่างๆจะขึ้นอยู่กับคุณสมบัติเฉพาะตัวของไอซีเบอร์นั้น

ไอซีเบอร์ 74LS90 เป็นวงจรนับแบบดีเคด ภายในจะประกอบด้วย J-K ฟลิปฟลอป และ R-S ฟลิปฟลอป การรับสัญญาณคล็อกเป็นแบบขอบขาลง (negative edge) ดังแสดงไว้ในรูปที่ 12ก ส่วนรูปที่ 12ข และ 12ค นั้นแสดงถึงตำแหน่งของขาต่างๆและสัญลักษณ์ที่ใช้



รูป (ก) แสดงวงจรภายใน

รูป(ข) แสดงตำแหน่งขาต่างๆ รูป (ค) แสดงสัญลักษณ์ที่ใช้

รูปที่ 12 ไอซีวงจรนับเบอร์ 74LS90

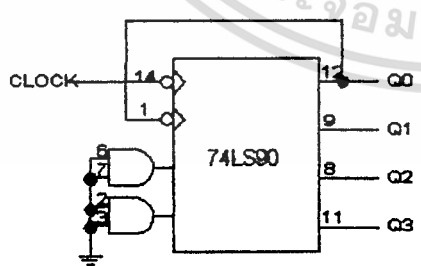
จากภายในจะเห็นว่า J-K ฟลิปฟลอปทั้ง 3 ตัว ถูกต่อกันอยู่ในลักษณะของวงจรนับแบบ Mod-5 และ R-S ฟลิปฟลอป ทำหน้าที่เป็นวงจรแบบ Mod-2 ซึ่งเมื่อรวมทั้ง 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนนี้เข้าด้วยกันก็จะได้เป็นวงจรแบบ Mod-10 โดยได้แสดงไว้ในรูปที่ 13 จะเห็นได้ว่าขา SET และ RESET จะถูกต่อลงกราวด์และต่อขา 1(CP_1) กับขา 12 (Q_0) เข้าด้วยกัน นอกจากนี้แล้ว 74LS90 ยังสามารถนำมาใช้เป็นวงจรนับแบบอื่นได้อีก เช่น Mod-5 , Mod-6 , Mod-8 เป็นต้น ดังแสดงไว้ในรูปที่ 14 , 15 , 16 ตามลำดับ

การนำเอาวงจรนับมาใช้เป็นวงจรหารความถี่

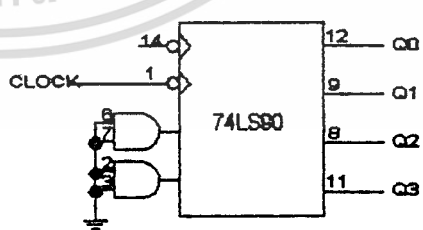
การหารความถี่นั้นสามารถทำได้หลายวิธี เช่น การใช้ฟลิปฟลอปเป็นตัวหารความถี่ นอกจากนี้แล้วยังสามารถนำเอาวงจรนับมาเป็นตัวหารความถี่ได้อีกด้วย เนื่องจากภายในประกอบด้วยฟลิปฟลอปที่เป็นสเตจต่างๆของวงจรนับ ตัวอย่างเช่น ในวงจรรูปที่ 2 ซึ่งเป็นวงจรนับแบบไบนารี่-ริปเปิล 4 บิท ถ้าดูจากจังหวะการทำงานของวงจรในรูปที่ 3 จะเห็นได้ว่าแต่ละสเตจจะทำหน้าที่เป็นวงจรหารความถี่ด้วย 2 ดังนั้นในกรณีที่รับสัญญาณเอาท์พุทออกทาง Q_1 ความถี่ของสัญญาณที่ได้จะเป็น 1/2 เท่าของสัญญาณอินพุทที่ให้หรือถ้ารับเอาท์พุทจาก Q_2 , Q_3 หรือ Q_4 จะได้ความถี่เป็น 1/4 , 1/8 , หรือ 1/16 เท่าตามลำดับ ถ้าดูในรูปชิงไอซีที่เป็นวงจรนับก็สามารถใช้ได้เช่นกัน ดังแสดงในรูปที่ 13 หากรับเอาท์พุทจากขา Q_3 ก็จะได้สัญญาณที่มีความถี่เป็น 1/10 เท่าของสัญญาณอินพุทเดิม ดังนั้นในการหารความถี่ที่มีวงจรดิจิตอลจะนิยมใช้วงจรนับเป็นตัวหาร



ขา 5 = VCC = +5V

ขา 10 = GND

รูปที่ 13 การต่อ 74LS90 แบบMod-10

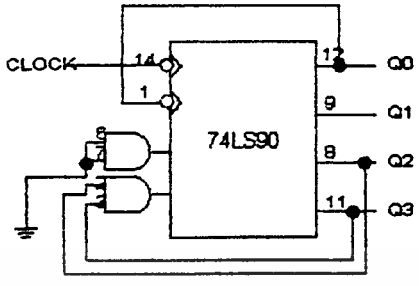


ขา 5 = VCC = 5V

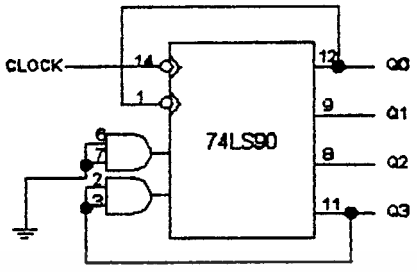
ขา 10 = GND

รูปที่ 14 การต่อ 74LS90 แบบวงจร Mod-5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 15 การต่อ 74LS90 เป็นวงจรแบบ Mod-6



รูปที่ 16 การต่อ 74LS90 เป็นวงจรแบบ Mod-8

ระบบฐานเวลา

ฐานเวลาเป็นส่วนที่สำคัญมากในเครื่องวัดความถี่ หากเกิดความผิดพลาดแม้จะเป็นเพียงเล็กน้อย แต่จะทำให้ผลการวัดผิดพลาดไปมาก ในเครื่องวัดความถี่ทั่วๆไปแล้วมักจะใช้วงจรกำเนิดความถี่ด้วยแร่คริสตอล (orystal osoillator) เพราะมีความเที่ยงตรงสูงกว่าแบบอื่นๆ วงจรกำเนิดความถี่ด้วยแร่คริสตอลที่พบเห็นกันมี 3 แบบคือ

- คริสตอลออสซิลเลเตอร์ที่อุณหภูมิห้อง เป็นแบบง่ายๆออกแบบได้โดยไม่คำนึงถึงการเปลี่ยนแปลงของอุณหภูมิและสภาวะแวดล้อมต่างๆเลย

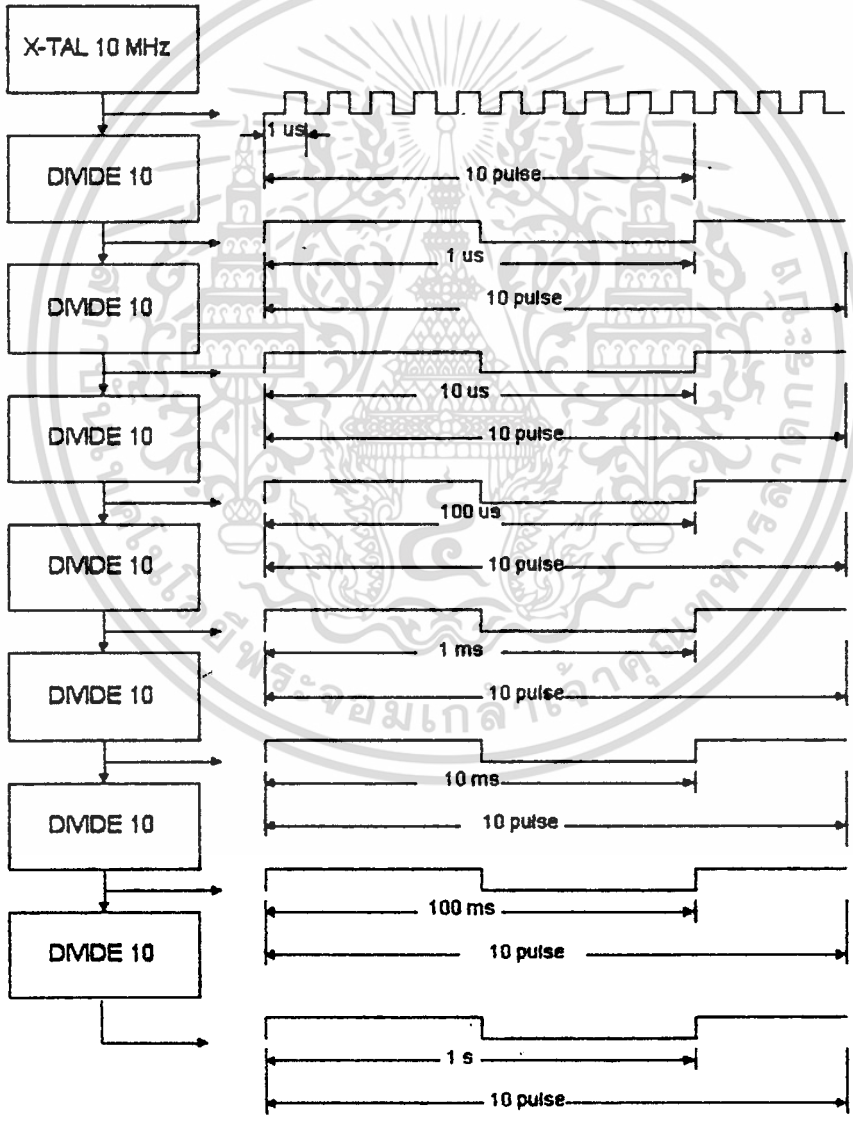
- คริสตอลออสซิลเลเตอร์ที่มีการควบคุมอุณหภูมิ มีการควบคุมอุณหภูมิภายในวงจร

- คริสตอลออสซิลเลเตอร์ที่มีการชดเชยอุณหภูมิ เป็นการออกแบบที่มีการพยายามที่จะปรับและชดเชยอุณหภูมิที่แปรเปลี่ยนไป เพื่อลดผลของอุณหภูมิอันอาจจะทำให้การกำเนิดความถี่ผิดพลาดได้

การทำงานทางด้านดิจิตอลอิเล็กทรอนิกส์มักจะต้องเกี่ยวข้องกับพารามิเตอร์ที่เป็นเวลาเสมอ จากรูปที่ 17 แผนภูมิเวลา (Timing Diagram) ของระบบฐานเวลาที่สามารถสร้างเวลาอ้างอิงมาตรฐานได้ ถ้าสมมติว่า คริสตอลที่ใช้เป็นอุปกรณ์สร้างความถี่รูปสี่เหลี่ยมคงที่ความถี่นี้จะคงที่แน่นอนยิ่งขึ้นเมื่อคริสตอลได้รับการควบคุมอุณหภูมิให้คงที่ ณ อุณหภูมิหนึ่งๆ ถ้าใช้ฟลิปฟลอปหารความถี่จากคริสตอล ความถี่ที่ออกมาจากฟลิปฟลอปแต่ละตัวจะลดเรื่อยๆ ในลักษณะของ $1/2^n$ หรือกรณีที่ใช้ไอซีเป็นวงจรหารสิบ ความถี่ที่ออกจากวงจรหาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สิบแต่ละภาคจะมีค่าเป็น 1/10 นั่นคือถ้าให้คริสตอลสร้างความถี่ของสัญญาณคล็อกมีค่า 10 เมกกะเฮิทซ์ เมื่อใช้วงจรนับหารสิบหนึ่งภาคความถี่ก็จะลดลงเหลือ 1 เมกกะเฮิทซ์ และจะถูกหารลงทีละสิบเรื่อยๆ จนกระทั่งสุดท้ายจะได้ความถี่ 1 เฮิทซ์ ถ้าพิจารณาทางด้านคาบเวลาของสัญญาณความถี่ 10 เมกกะเฮิทซ์ จะมีคาบเวลา 1 ไมโครวินาที และเมื่อผ่านวงจรหารสิบแต่ละภาคก็จะได้คาบเวลาเป็น 10 ไมโครวินาที 100 ไมโครวินาที 1 มิลลิวินาที 10 มิลลิวินาที 100 มิลลิวินาที และ 1 วินาที ตามลำดับ มาตรฐานเวลา 1 วินาทีนี้เป็นเวลาที่ได้จากคริสตอลนับว่ามีความถูกต้องและแม่นยำสูง

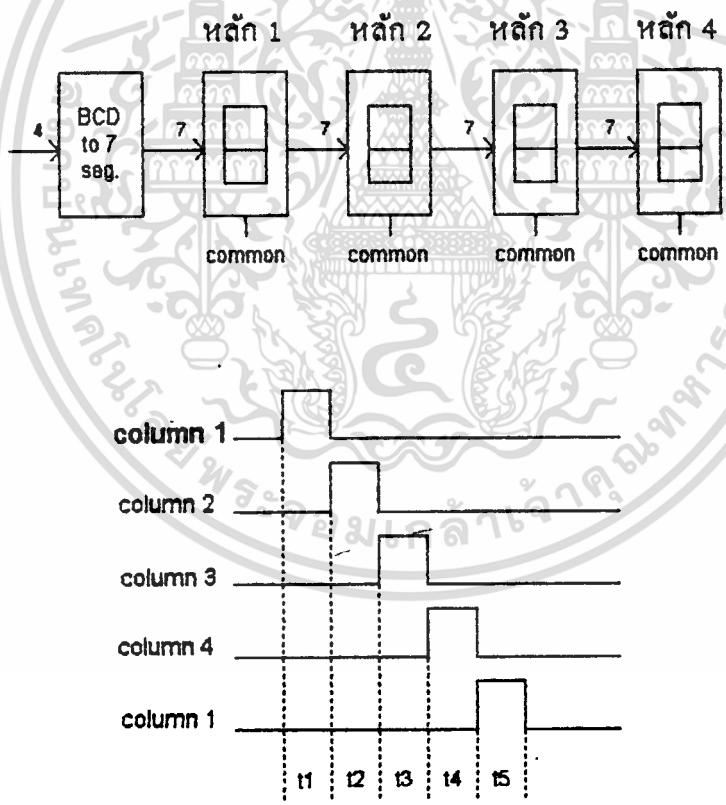


รูปที่ 17 แผนภูมิเวลาอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแสดงผลแบบมัลติเพล็กซ์

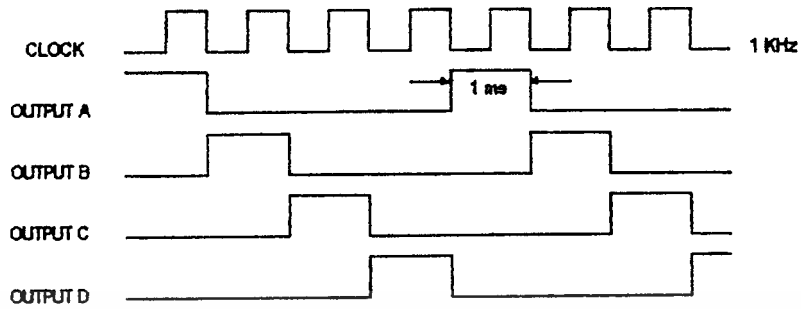
ในการแสดงผลแบบมัลติเพล็กซ์จำนวน 4 หลักที่ภาคแสดงผล 7 ส่วนนั้น ตามปกติต้องใช้สายถึง 4 ชุดๆละ 8 เส้น รวมทั้งสิ้นต้องใช้สายถึง 32 เส้นต่อไปยังภาคแสดงผล 4 หลัก ซึ่งก็เป็นวิธีที่ง่ายที่สุด แต่ก็ยังมีวิธีอื่นที่ประหยัดกว่า โดยใช้สายทั้งหมดเพียง 11 เส้น และประหยัดพลังงานกว่า โดยจะแบ่งช่วงเวลาในการแสดงผลแต่ละหลักสลับกันเป็นช่วงๆ จากรูปที่ 18 ภาคแสดงหลักที่ 1 จะถูกเลือกให้แสดงผลในช่วงเวลา t1 หลักที่ 2 จะถูกเลือกให้แสดงผลในช่วงเวลา t2 หลักที่ 3 ถูกเลือกให้แสดงผลในช่วงเวลา t3 หลักที่ 4 ถูกเลือกให้แสดงผลในช่วงเวลา t4 และหลักที่ 1 จะถูกเลือกให้แสดงผลอีกครั้งในช่วงเวลา t5 เป็นเช่นนี้เรื่อยไป



รูปที่ 18 การแสดงผลแบบมัลติเพล็กซ์

ก่อนที่จะรู้ถึงระบบการแสดงผลแบบมัลติเพล็กซ์ ขอให้ย้อนถึงหลักการง่ายๆของวงจรนับสิบชนิดวงแหวนก่อนลักษณะการนับชนิดวงแหวนจะให้เอาท์พุทมีลักษณะดังรูปที่ 19

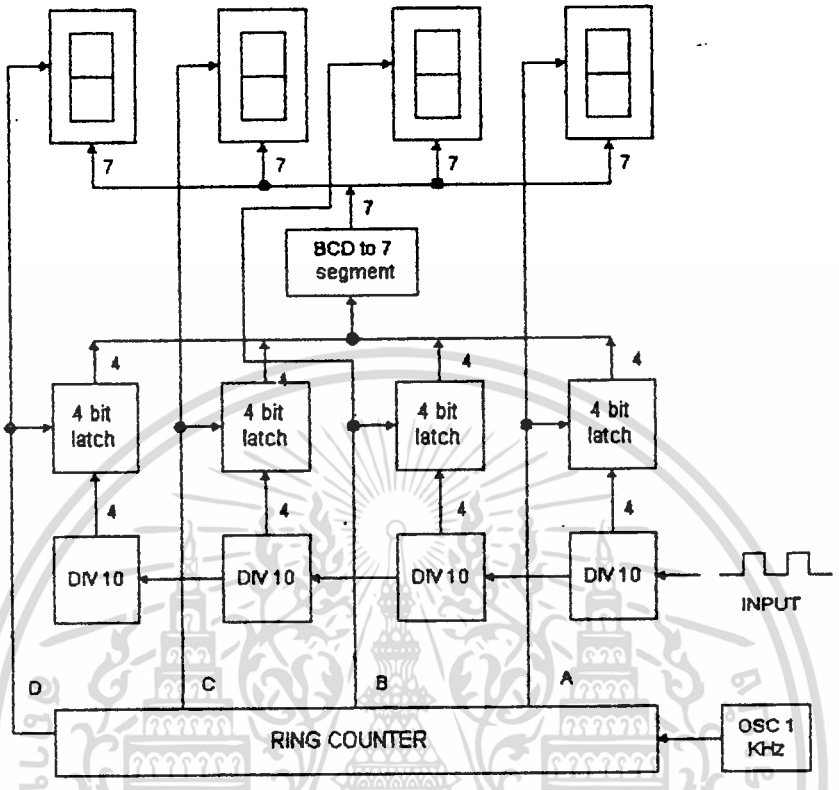
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 19 ความสัมพันธ์ของสัญญาณคล็อกและเอาท์พุทของวงจรนับชนิดวงแหวน

จะเห็นว่าลักษณะของวงจรนับชนิดวงแหวน จะให้เอาท์พุทในลักษณะเรียงกันไป โดยที่ขณะใดขณะหนึ่งจะมีเอาท์พุทเดียวเท่านั้นที่มีลอจิก "1" ส่วนเอาท์พุทอื่นจะเป็น "0" หมด เพราะฉะนั้นถ้าสมมติว่าสัญญาณคล็อกที่ใช้มีความถี่ 1 กิโลเฮิทซ์ จะทำให้ภาคแสดงแต่ละหลักสว่างเป็นเวลา 1 มิลลิวินาที และดับเป็นเวลา 3 มิลลิวินาที ซึ่งการกระพริบที่เกิดขึ้นนี้สายตาคนเราไม่สามารถแยกออกได้ว่ามีการกระพริบเกิดขึ้น จึงมองเห็นเหมือนกับว่าตัวเลขทุกตัวสว่างพร้อมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
036945

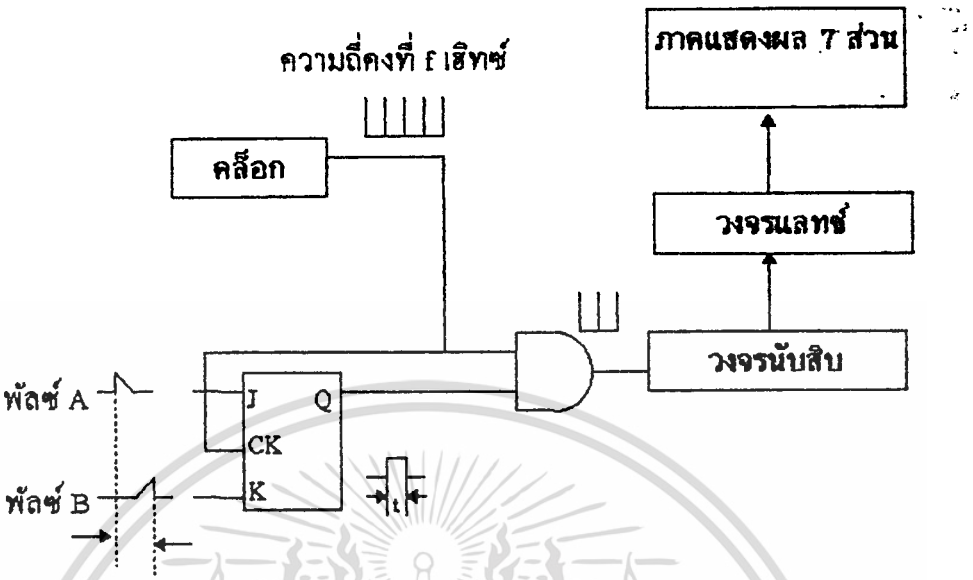


รูปที่ 20 ระบบของการแสดงผลแบบมัลติเพล็กซ์

การวัดช่วงเวลา

การวัดช่วงเวลาสามารถวัดได้โดยใช้หลักการคล้ายคลึงกับการวัดความถี่คือ ถ้าใช้ช่วงเวลา T ไปควบคุมเกทเพื่อเปิด-ปิดให้สัญญาณพัลซ์ที่มีความถี่คงที่ f เฮิทซ์ผ่านไปยังวงจรนับ วงจรนับจะนับพัลซ์นี้ในเวลา T ซึ่งจะนับได้จำนวนเท่ากับ T*f พัลซ์ ซึ่งจะตรงกับค่าช่วงเวลานั่นเอง สมมติว่าความถี่คงที่ 1 กิโลเฮิทซ์ ใช้วัดช่วงเวลา 10 มิลลิวินาที จำนวนพัลซ์ที่นับได้จะเท่ากับ 10 พอดี รูปที่ 21 แสดงโครงสร้างวงจรสำหรับวัดช่วงเวลาระหว่างพัลซ์ A และ B ฟลิปฟลอปในวงจรจะทำหน้าที่แปลงพัลซ์ A และ B เป็นช่วงเวลาสูงต่ำ คล็อกเป็นวงจรที่จะผลิตความถี่มาตรฐานเพื่อใช้ในการนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



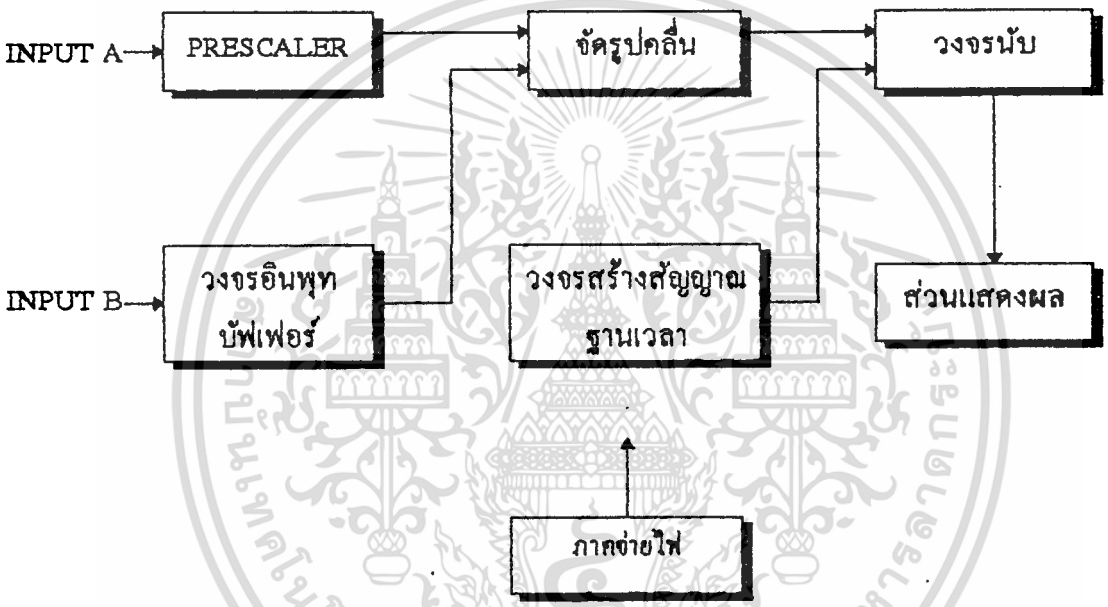
รูปที่ 21 หลักการวัดช่วงเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการออกแบบและการทำงานของวงจร

เครื่องวัดความถี่ 1 GHz สามารถแสดงได้ตามบล็อกไดอะแกรมดังนี้



รูปที่ 22 บล็อกไดอะแกรมของเครื่องนับความถี่ 1 GHz

ภาค PRESCALER

ทำหน้าที่เป็นตัวลดทอนหรือหารความถี่อินพุทที่เข้ามาทาง INPUT A ให้มีความถี่ต่ำลง เพื่อให้ภาคนับความถี่สามารถนับความถี่ได้สูงขึ้น ในที่นี้จะทำการหาร 1000

ภาคอินพุทบัฟเฟอร์

ทำให้อินพุทอิมพีแดนซ์ของเครื่องนับความถี่มีค่าสูงๆ เพื่อไม่ทำให้สัญญาณที่ต้องการวัดเปลี่ยนแปลงไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคจัดรูปคลื่น

สัญญาณที่ได้จากภาคอินพุทบัฟเฟอร์และปรีสเกลเลอร์อาจมีขนาดไม่เหมาะสม จึงต้องมีการจัดขนาดของสัญญาณให้เหมาะสม เพื่อให้ภาคนับความถี่สามารถนับได้ถูกต้อง

ภาคนับความถี่

ทำหน้าที่นับความถี่ที่ส่งมาจากภาคจัดรูปคลื่น ถ้าความถี่ที่นับได้เกิน 10 เมกกะเฮิทซ์ จะแสดงไฟ overflow ออกมา เพื่อเปลี่ยนย่านในการวัด ซึ่งภาคนับความถี่นี้จะมีค่าฐานเวลามาตรฐานเป็นตัวควบคุมการนับอีกทีหนึ่ง

ภาคฐานเวลามาตรฐาน

ทำหน้าที่สร้างฐานเวลามาตรฐานเพื่อส่งไปควบคุมภาคนับความถี่

ภาคแสดงผล

ทำหน้าที่ในการแสดงผลที่ได้จากภาคนับความถี่ โดยใช้ 7-segment ขนาด 8 หลัก

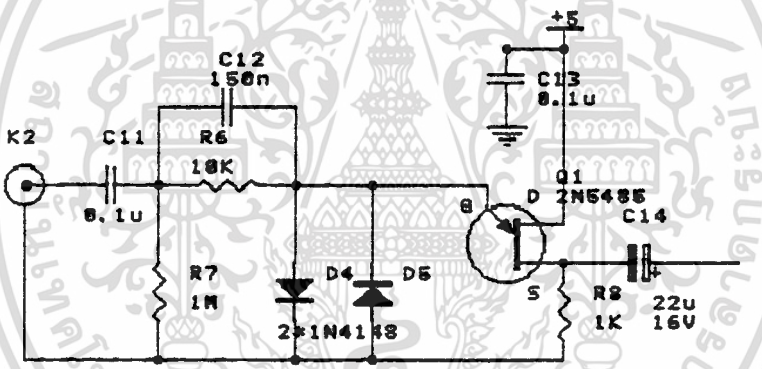
ภาคจ่ายไฟ

ผลิตแรงดัน 5 Vdc เพื่อส่งไปยังภาคปรีสเกลเลอร์ ภาคอินพุทบัฟเฟอร์ ภาคจัดรูปคลื่น ภาคฐานเวลามาตรฐาน และภาคนับความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรบัฟเฟอร์

วงจรที่สำคัญมากส่วนหนึ่งคือวงจรบัฟเฟอร์ เพราะจากหลักการที่ว่า อินพุทอิมพีแดนซ์ของเครื่องมือวัดต่างๆควรมีค่าสูงๆ เพื่อไม่ทำให้สัญญาณที่ต้องการวัดเปลี่ยนแปลงไป ดังนั้นจึงออกแบบให้วงจรอินพุทของเครื่องวัดความถี่นี้มีอิพุทอิมพีแดนซ์สูงประมาณ 1 เมกกะโอห์ม โดยใช้เฟทเบอร์ 2N5485 ซึ่งสามารถรับสัญญาณความถี่สูงขนาด 30 เมกกะเฮิทซ์ได้ วงจรอินพุทนี้จะต่อในลักษณะซอสฟอลโลเวอร์ ทำให้อินพุทอิมพีแดนซ์มีค่าสูงมากแต่เอาท์พุทอิมพีแดนซ์ต่ำ เพื่อให้วงจรทางด้านอินพุทสามารถรับสัญญาณที่มีขนาดใหญ่ได้โดยไม่ทำให้เฟทเสียหาย จึงต้องต่อวงจรป้องกันสัญญาณที่มีขนาดใหญ่เกินขนาด โดยใช้ไดโอดต่อเป็นวงจรบลิบสัญญาณดังรูปที่ 23



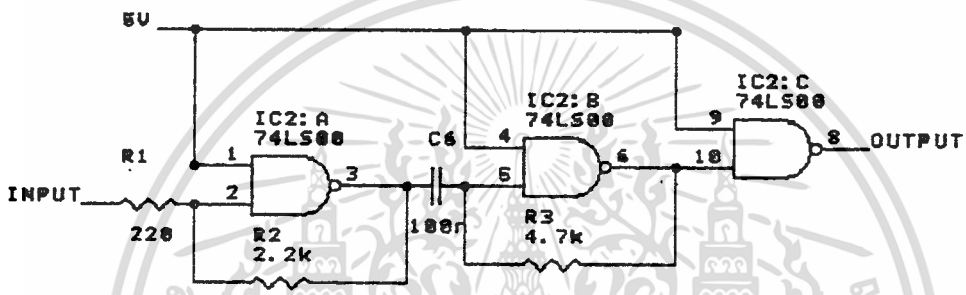
รูปที่ 23 วงจรบัฟเฟอร์

เมื่อสัญญาณที่ต้องการจะวัดเข้ามาที่อินพุทของบัฟเฟอร์ โดยใช้เฟท Q1 ที่มีอินพุทอิมพีแดนซ์ขนาด 1 เมกกะโอห์ม ซึ่งถูกกำหนดโดย R7 ที่ต่ออยู่กับขาของ Q1 โดยที่ R6 กับ D4 และ D5 ที่ต่อขนานกันอยู่นั้นจะทำหน้าที่เป็นวงจรคลิปปิ้ง (Clipping) เพื่อป้องกันสัญญาณที่มีขนาดแรงมากๆที่จะเป็นอันตรายทำให้เฟทเสียหาย ตัวเก็บประจุ C11 จะเป็นตัวป้องกันไฟ DC ส่วนตัวเก็บประจุ C12 จะใช้เป็นตัวชดเชยเพื่อป้องกันการเกิดคลื่นรบกวนอันเนื่องมาจาก D4 และ D5 ตลอดจนช่วยลดค่าความจุที่จะเกิดจากรอยต่อ (Junotion) ของ Q1 รวมทั้งค่าความจุที่เกิดจาก D4 และ D5 เมื่อมีการวัดความถี่สูงๆสัญญาณที่ผ่านภาคอินพุทมาแล้วก็จะคัปปลิ้งผ่าน C14 เพื่อส่งไปยังภาคขยายและจัดรูปคลื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรจัดรูปคลื่น

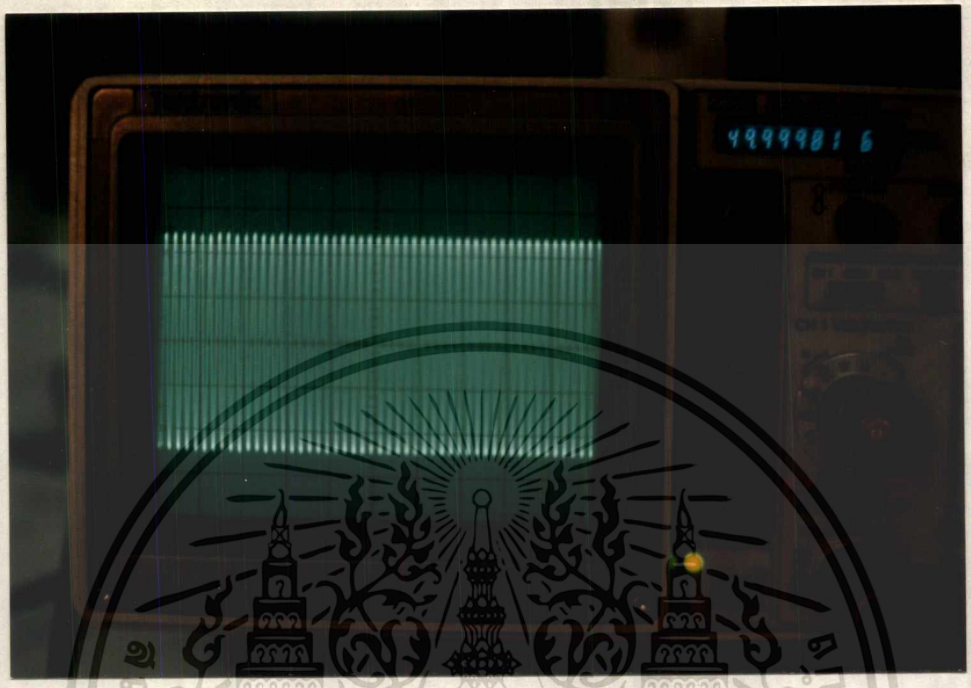
สัญญาณเอาท์พุทจากวงจรบัฟเฟอร์อาจมีขนาดไม่เหมาะสม จึงต้องใช้แนนด์เกท จัดขนาดของสัญญาณให้เหมาะสมกับวงจรของภาคนับความถี่ ดังแสดงในรูปที่ 24



รูปที่ 24 วงจรจัดรูปคลื่น

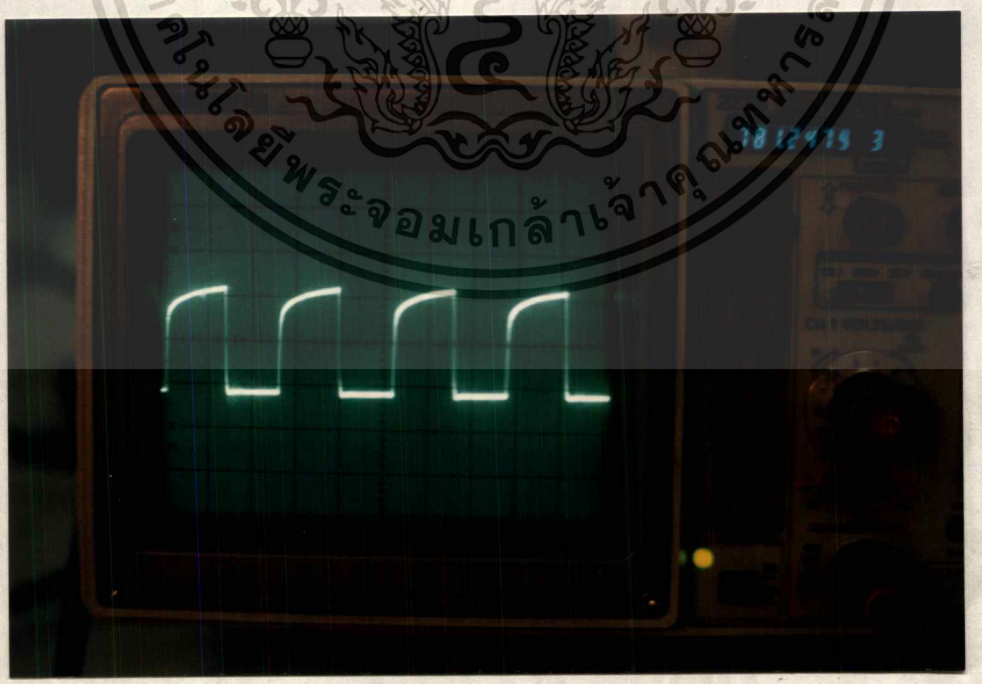
เมื่อเราป้อนความถี่เท่ากับ 50MHz ขนาดความแรงของสัญญาณเท่ากับ 2 Vp-p สัญญาณที่วัดได้แต่ละจุดของวงจรจัดรูปคลื่นจะได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



V/D = 0.1 Vp-p = 0.6 Vp-p T/D = 0.1 us f = 50 MHz

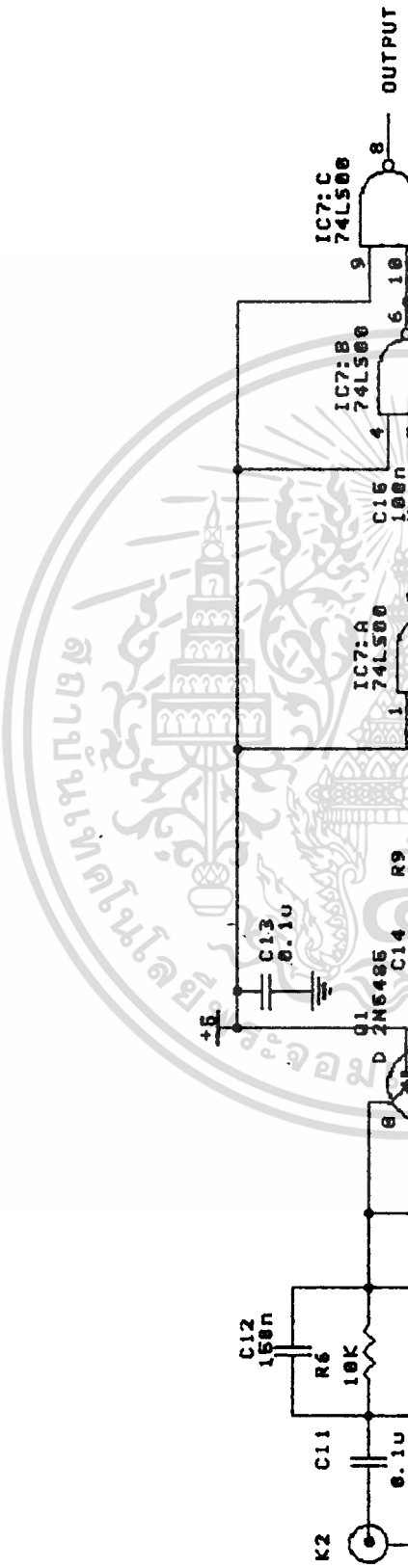
รูปที่ 25 สัญญาณที่ป้อนเข้าวงจรจัดรูปคลื่นขา 2 ของ IC2:A



V/D = 2 Vp-p = 4Vp-p T/D = 0.5us f = 781.247 KHz

รูปที่ 26 สัญญาณที่ออกจากขา 8 ของ IC2:C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

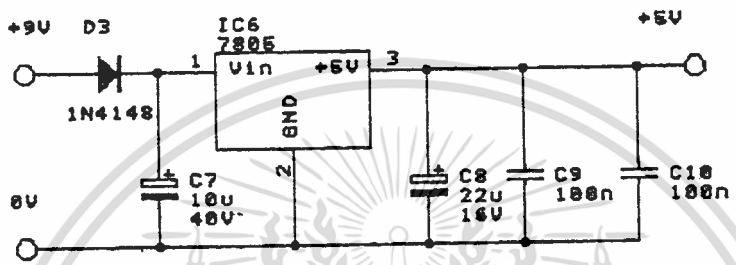


รูปที่ 27 วงจรรวมของภาคอินพุทแบ๊ฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคจ่ายไฟ

แรงดันที่ป้อนเข้าที่อินพุทได้จากอะแด็ปเตอร์ 9 โวลท์ เพื่อให้วงจรมีขนาดเล็กจึงใช้ไอซีเรกกูเลเตอร์ 7805 ซึ่งเป็นไอซีแบบ 3 ขา ให้แรงดันเอาท์พุท 5 โวลท์



รูปที่ 28 วงจรภาคจ่ายไฟ

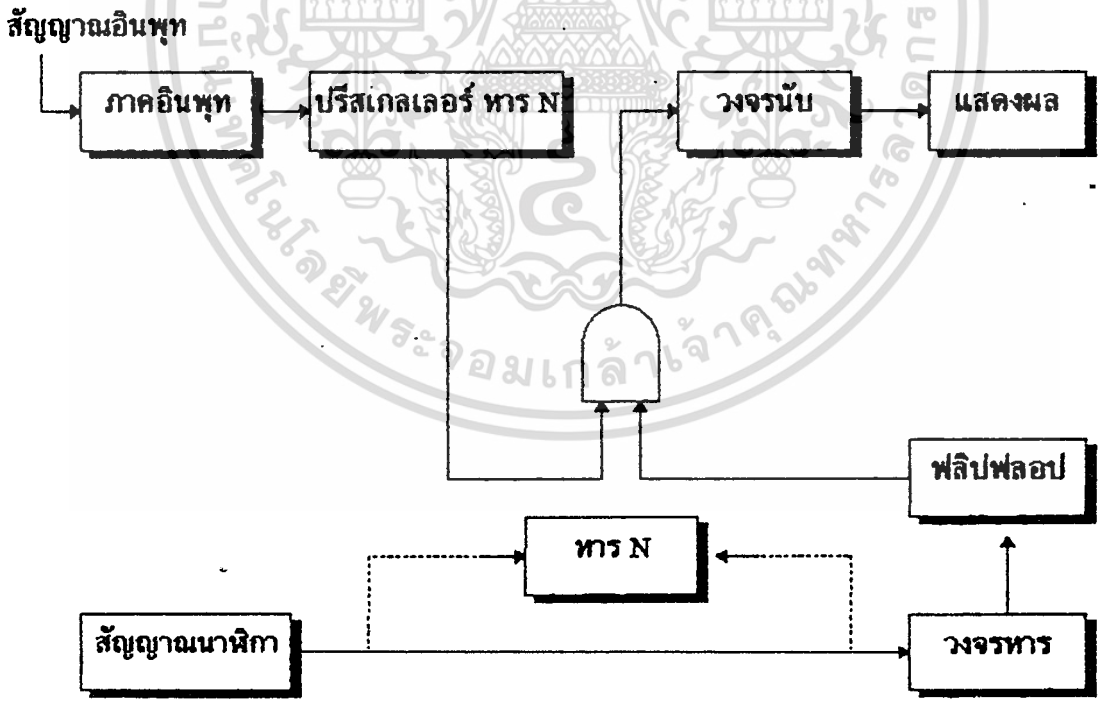
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปรีสเกลเลอร์ (prescaler)

ตามปกติแล้วเครื่องวัดความถี่จะมีขีดจำกัดในการวัดอยู่ที่ค่าๆหนึ่งที่ยังสามารถทำการวัดได้อย่างถูก ต้อง แต่ในบางกรณีมีความจำเป็นจะต้องวัดความถี่ที่สูงกว่าขีดจำกัดนั้นๆ จึงต้องมีการสร้างวงจรหารขึ้นมาเพื่อหารความถี่ที่ต้องการวัดลง ให้อยู่ในขีดจำกัดที่เครื่องวัดความถี่สามารถวัดได้อย่างถูกต้อง วงจรส่วนนี้เรียกว่า ปรีสเกลเลอร์ (prescaler)

ปรีสเกลเลอร์จะหารสัญญาณอินพุทที่เข้ามาด้วยอัตราส่วน N ที่ต้องการแล้วส่งไปยังเกตเพื่อรอเข้าสู่วงจรนับ ในส่วนของสัญญาณนาฬิกาที่จะนำมาสร้างฐานเวลาก็ต้องมีการหารด้วย N เช่นกัน

ความเที่ยงตรงของปรีสเกลเลอร์จะลดลงเมื่อจำนวนตัวหาร N เพิ่มมากขึ้น เนื่องมาจากการทำงานที่ความถี่สูงนั้นมีโอกาสผิดพลาดได้ง่าย และตัวปรีสเกลเลอร์ก็มีขีดจำกัดของตัวเองด้วย



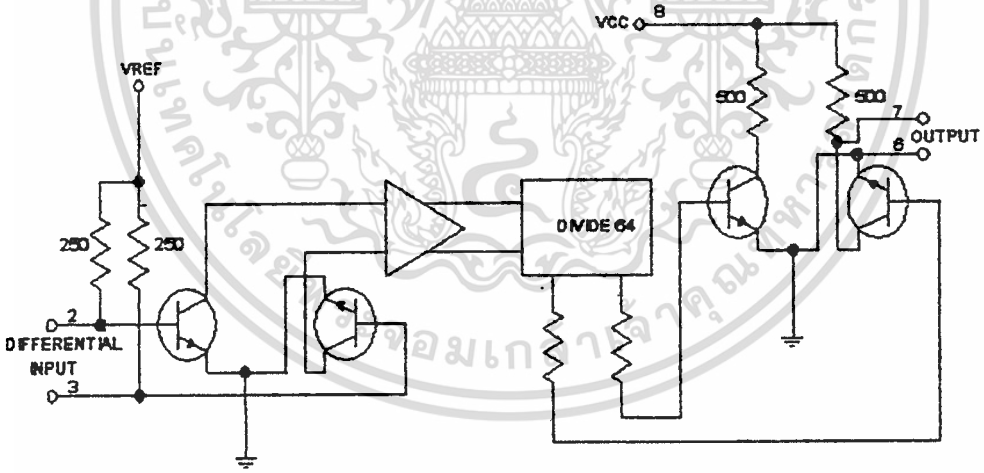
รูปที่ 29 บล็อกไดอะแกรมการทำงานของเครื่องวัดความถี่แบบพื้นฐานที่มีปรีสเกลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในปัจจุบันมีไอซีนับมากมายหลายยี่ห้อ และหลายคุณสมบัติ แต่ที่นำมาใช้ในโครงงานนี้คือ เบอร์ SP4632 ใช้งานได้ถึง 1 GHz โดยการหาร 64 ของบริษัทเพลสเซมิคอนดัคเตอร์

คุณสมบัติของ SP4632

- ทำงานที่แรงดันและกระแสต่ำ
- มีการแพร่กระจายต่ำ
- การแพร่กระจายของคลื่นความถี่ต่ำ
- มีอัตราการขยายทางอินพุทกว้าง
- ความไวทางอินพุทสูง
- ความต้านทานทางอินพุทสูง
- และเอาท์พุทเป็นแบบบาลานซ์ ECL



รูปที่ 30 การจัดขาและโครงสร้างภายในของไอซีเบอร์ SP4632

ในรูปที่ 30 นั้นได้แสดงถึงโครงสร้างภายใน และการจัดขาของไอซีเบอร์ SP4632 ซึ่งจะมีคุณสมบัติและข้อมูล ตามลักษณะของไอซีดังนี้ คือ

ไอซีเบอร์ SP4632 ซึ่งไอซีเบอร์นี้จะทำการหารความถี่ที่เข้ามาที่อินพุท โดยจะหาร 64 ภายในตัวไอซีเอง ซึ่งจะมีความเร็วในการหารสูงมาก อีกทั้งยังเหมาะที่จะนำมาใช้เป็นปรีสเกลโดยเฉพาะ และยังเหมาะที่จะนำไปทำเป็นปรีสเกลในระบบซินธิไซเซอร์ความถี่ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในเครื่องรับหรือเครื่องส่ง รวมทั้งในเครื่องวัดความถี่อีกด้วย ซึ่งไอซีเบอร์นี้สามารถทำงานที่แรงดันต่ำและกระแสต่ำมาก สามารถประยุกต์ไปใช้งานได้กว้างมาก บรรจุอยู่ในตัวถังแบบ DIP 8 ขา การทำงานจะทำงานโดยภาคอินพุทเป็นแบบดิฟเฟอเรนเชียล และเอาท์พุทเป็นแบบบาลานซ์ ECL

การทำงานของขาไอซี

- ขา 1 (NC) ซึ่งขานี้เป็นขาที่ไม่ได้ใช้งาน
- ขา 2 และขา 3 (C_1 และ C_2) เป็นขาอินพุทของวงจรขยายความแตกต่าง (differential) ของสัญญาณความถี่ออสซิลเลเตอร์ทางอินพท ที่ขานี้จะคัปปลิ้งสัญญาณผ่านตัวเก็บประจุ หากขาไหนไม่ต้องการใช้งานจะต่อตัวเก็บประจุคัปปลิ้งลงกราวด์
- ขา 4 เป็นขากราวด์ของไอซี
- ขา 5 (NC) ซึ่งขานี้เป็นขาที่ไม่ได้ใช้งาน
- ขา 6 และขา 7 เป็นวงจรขยายความแตกต่าง (differential) ขยายสัญญาณออกทางเอาท์พุท
- ขา 8 (V_{CC}) ขาแรงดันไฟเลี้ยงบวก 4.5-5.5 โวลท์

คุณสมบัติ	SP4632	หน่วย	หมายเหตุ
กระแสซัพพลาย	25	mA	ที่ V_{CC} = 5
ความไวทางอินพุท	17.5	mV_{P-P}	ที่ 10 M
ความถี่อินพุทสูงสุด	1 GHz	-	
แรงดันเอาท์พุท	0.1	V	แบบ balance
ลักษณะเอาท์พุท	แบบ balance	-	
ความต้านทานเอาต์พุท	0.5	kΩ	แบบ balance

ตารางที่ 3 คุณสมบัติและข้อมูลทางเทคนิค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลในการออกแบบใช้งาน

จากตารางที่ 3 คุณสมบัติและข้อมูลต่างๆ เกี่ยวกับไอซีปรีสเกลเบอร์นี้ สามารถที่จะนำไปใช้ในการประกอบการออกแบบได้ ซึ่งมีวงจรเบื้องต้นดังรูปที่ 32 ซึ่งจะเห็นได้ว่าที่ขาอินพุทนั้นจะเลือกได้สำหรับความถี่ทางอินพุท ซึ่งจะเลือกได้สำหรับความถี่ย่านต่ำและความถี่ย่านสูง และทางเอาต์พุตนั้นเป็นแบบบาลานซ์ ซึ่งจะตัดปัญหาเรื่องสัญญาณรบกวนจากความถี่ภายนอก และความถี่ทางอินพุทได้สูงถึง 1 GHz

การประยุกต์ใช้งาน

ลักษณะการทำงานนั้นในบางครั้งต้องคำนึงถึงสัญญาณรบกวนจากภายนอกบ้างอาจจะมีมารบกวนบ้างเล็กน้อยในบางกรณีและในบางลักษณะการนำไปใช้งาน ซึ่งบางที่ต้องทำการชีลด์รอบๆ ชุดปรีสเกลด้วยโลหะลงกราวด์ และต้องมีการป้องกันทางอินพุทจากสัญญาณที่อาจจะแรงเกินไป เกินกว่าที่ในสเปกของไอซีกำหนดไว้จะทำให้เกิดความเสียหายต่อไอซีได้

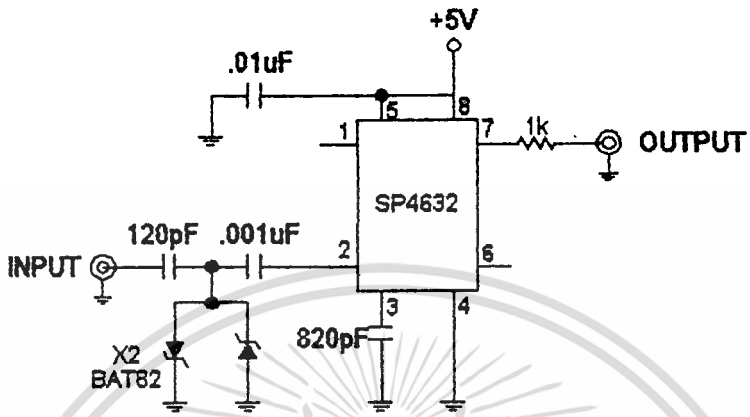
ทางด้านเอาท์พุทของไอซีปรีสเกลนี้ ถ้าหากนำไปต่อเข้ากับอินพุทของชุดนับความถี่สัญญาณเอาท์พุทนี้อาจมีขนาดต่ำลง ถ้าหากความแรงของสัญญาณไม่เพียงพอสำหรับการวัดก็จะทำให้การวัดผิดพลาดได้ ดังนั้นหากต้องการแก้ไขจุดนี้ เวลาออกแบบต้องมีวงจรขยายสัญญาณทางเอาท์พุทเพิ่มอีกเพื่อรักษาเสถียรภาพของสัญญาณที่จะวัด

ในการประยุกต์ใช้งานนั้นจำเป็นต้องพิจารณาให้กว้างถึงรูปแบบหรือลักษณะของสัญญาณความถี่ที่จะเข้ามาทางอินพุทและพิจารณาถึงวงจรนับความถี่ที่จะต่อร่วมกับปรีสเกลที่จะออกแบบขึ้นทางเอาต์พุต ทั้งนี้เพื่อการออกแบบระบบป้องกันทางอินพุต และวงจรขยายสัญญาณทางอินพุตเหมาะสมกัน ทำให้ได้การทำงานที่สมบูรณ์แบบ

ในรูปที่ 31 เป็นวงจรการประยุกต์ใช้งาน ซึ่งจะสังเกตเห็นได้ว่า มีซีเนอร์ไดโอดต่ออยู่ทางด้านอินพุตทั้งนี้เพื่ออาศัยคุณสมบัติของซีเนอร์ไดโอดช่วยรักษาระดับสัญญาณทางอินพุทไม่ให้แรงจนเกินไป จะทำให้ไอซีเกิดความเสียหายได้ และในทางเอาท์พุทจะเห็นตัวต้านทานต่ออยู่ เพื่อจำกัดกระแสของสัญญาณทางอินพุตของวงจรนับความถี่ ไม่ให้ถูกโหลดมากจนเกินไป ในกรณีที่ค่าความต้านทานทางอินพุทของวงจรนับความถี่มีค่าต่ำมาก

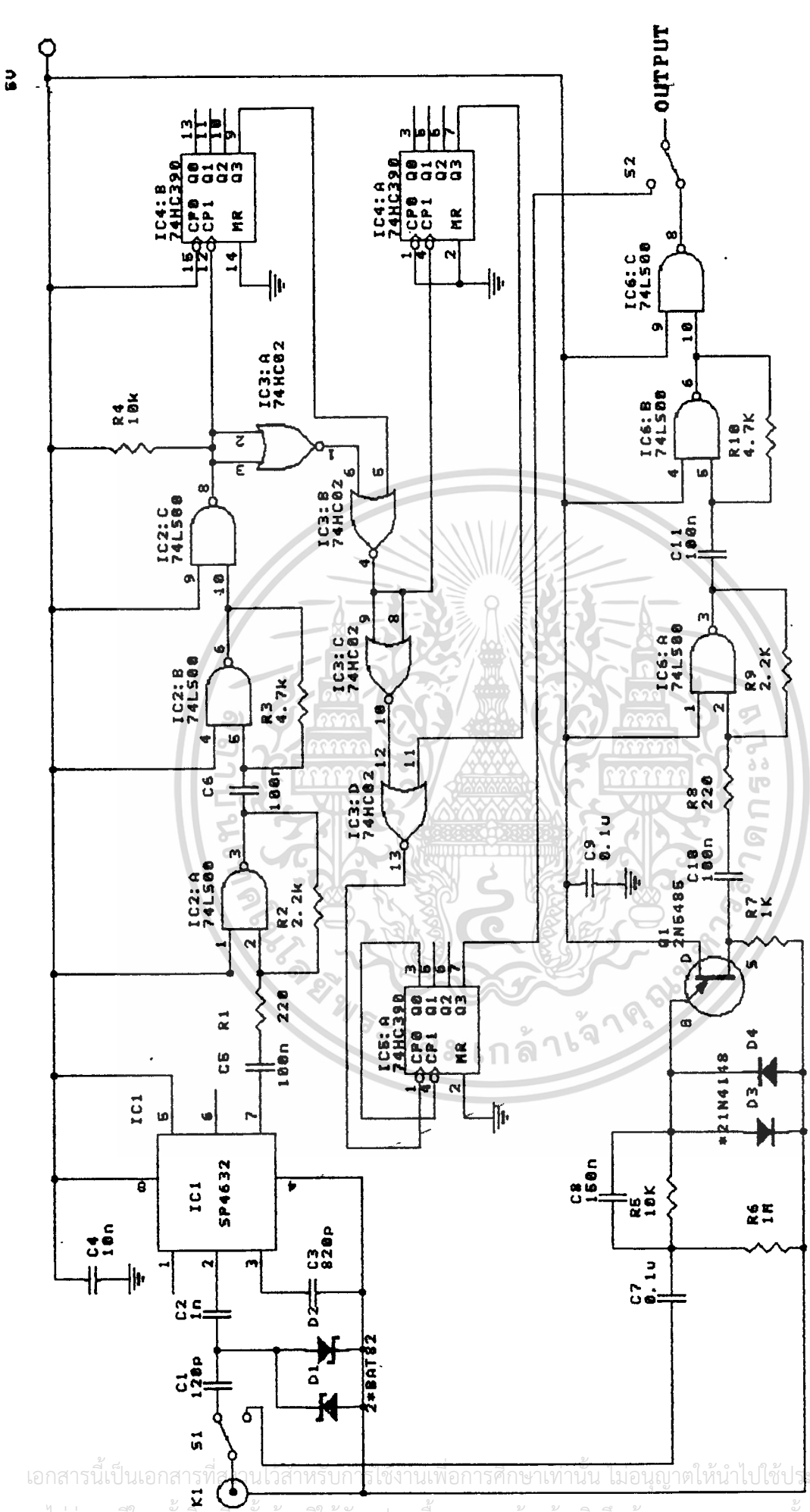
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับลักษณะของการจัดวางขาของไอซี SP4632 สามารถดูได้จากภาคผนวก



รูปที่ 31 การประยุกต์ใช้งานของไอซีเบอร์ SP4632

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



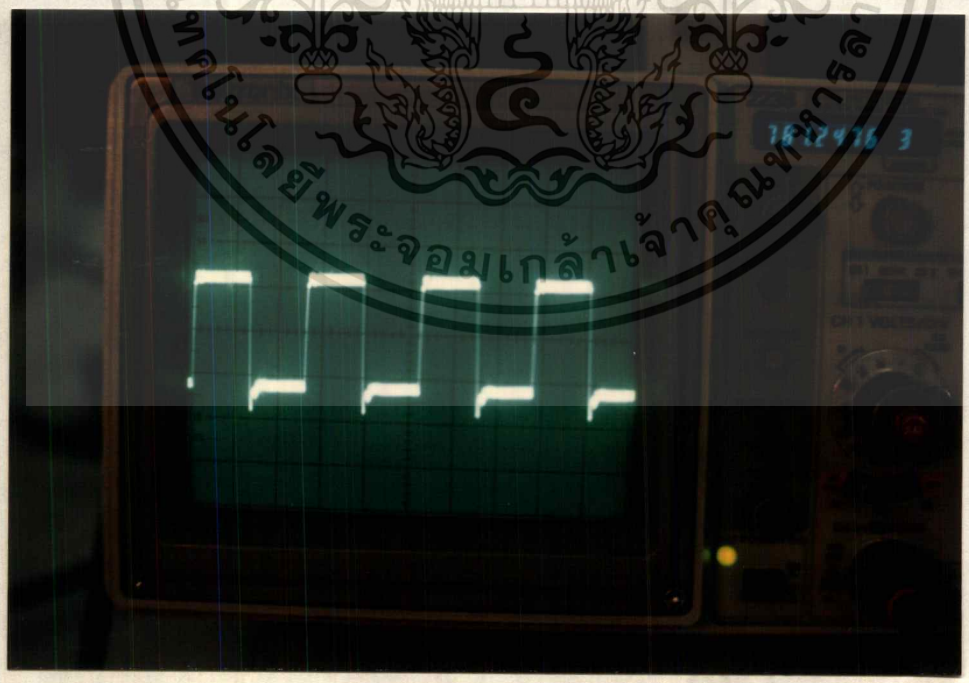
PRESCALER

รูปที่ 32 วงจรรวมภาคปรีสเกลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อมีสัญญาณป้อนเข้ามาทางอินพุทของภาคปรีสเกลเลอร์จะผ่าน C1 และ C2 ซึ่งคาปาซิเตอร์ทั้งสองตัวนี้ทำหน้าที่คับปลิ้งสัญญาณของอินพุทที่เข้า แล้วป้อนสัญญาณแก่ขา 2 ของ IC1 โดยจะมีไดโอด D1 และ D2 ทำหน้าที่รักษาระดับแรงดันสัญญาณอินพุทของ IC1 ให้อยู่ในระดับ ±300 mV สัญญาณเอาท์พุทที่ออกจากขา 7 ของ IC1 จะถูกหารความถี่ด้วย 64 แล้วคับปลิ้งสัญญาณโดย C5 ผ่านไปยัง IC2 โดยที่ IC2 จะทำหน้าที่เปลี่ยนสัญญาณจาก ECL (Emitter-Coupled Logic) เป็น TTL โดยรวมไปถึงการจัดรูปคลื่นและขยายสัญญาณด้วย จากนั้นส่งไปยัง IC4:A และ IC4:B เพื่อทำการหารความถี่ 1.5625 โดยจะมี IC3:A และ IC3:B เปลี่ยนสัญญาณให้เป็นพัลซ์ที่แน่นอนก่อนเข้าสู่ IC4:B เอาท์พุทที่ออกจากขา 7 ของ IC4:B จะถูกหารด้วย 100 และในทำนองเดียวกันที่ IC3:C และ IC3:D ก็จะเป็นตัวเปลี่ยนสัญญาณให้เป็นพัลซ์ที่แน่นอนก่อนเข้าสู่ IC5:A เช่นกัน สำหรับ IC5:A จะทำหน้าที่หาร 10 โดยที่ความถี่ที่ได้จากเอาท์พุทขา 7 ของ IC5:A นั้นจะถูกหารด้วย 1000

เมื่อเราป้อนสัญญาณความถี่เท่ากับ 50MHz ขนาดความแรงของสัญญาณเท่ากับ 2 Vp-p สัญญาณที่วัดได้แต่ละจุดในภาคปรีสเกลเลอร์มีลักษณะดังนี้



V/D = 0.2 Vp-p = 0.6 vP-P T/D = 0.5us f = 781.2476 KHz

รูปที่ 33 เอาท์พุทที่ออกจากขา 7 ของ IC1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

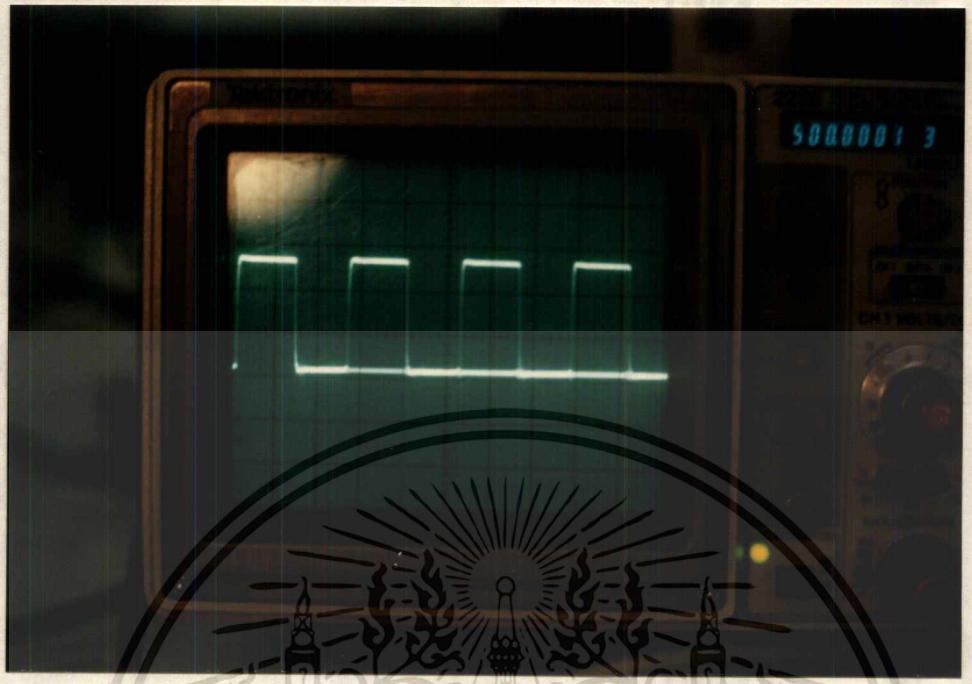
V/D = 2 Vp-p = 5 Vp-p T/D = 05us f = 625 KHz

รูปที่ 34 เอาท์พุทที่ออกจากขา 4 ของ IC3:B

V/D = 2 Vp-p = 5 Vp-p T/D = 1 us f = 124.998 KHz

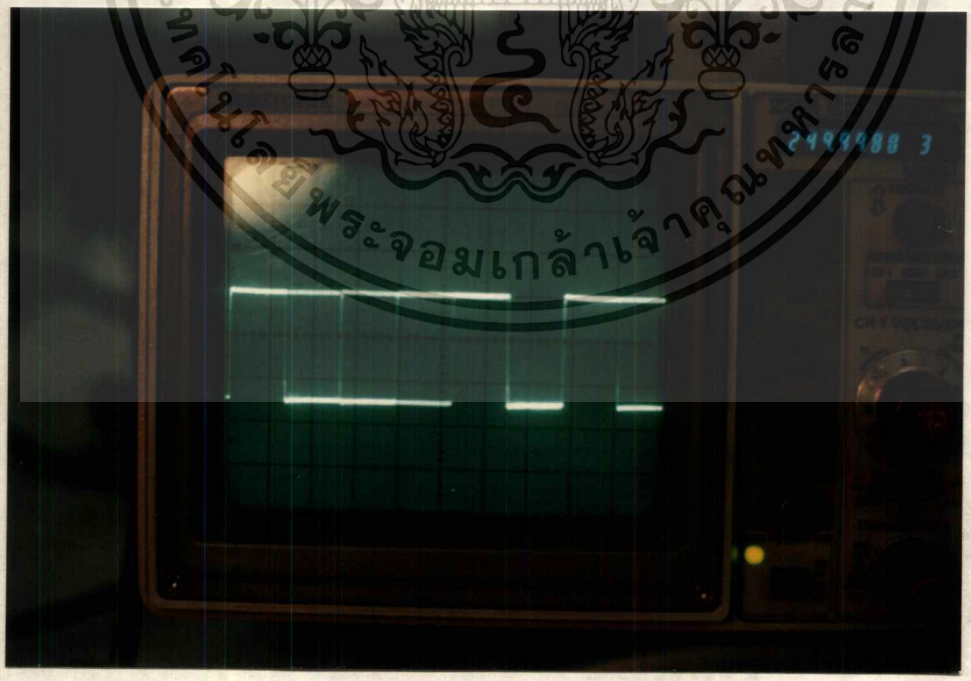
รูปที่ 35 เอาท์พุทที่ออกจากขา 7 ของ IC4:A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



V/D = 2 Vp-p = 5 Vp-p T/D = 0.5 us f = 499.9997 KHz

รูปที่ 36 เอาท์พุทที่ออกจากขา 13 ของ IC3:D



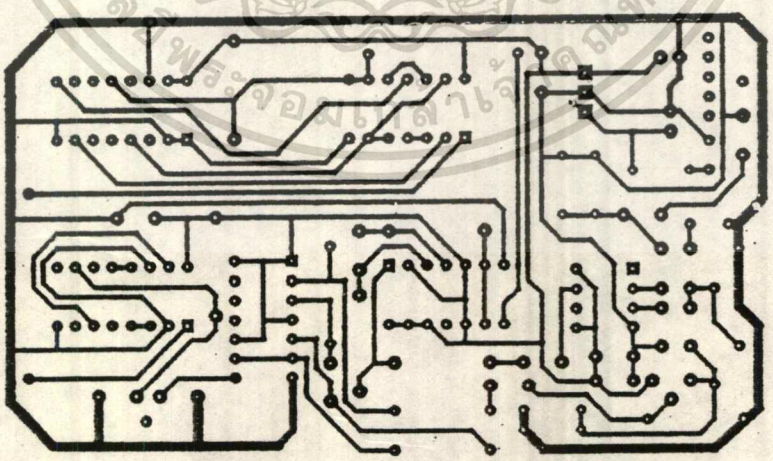
V/D = 2 Vp-p = 5 Vp-p T/D = 1us f = 250.0005 KHz

รูปที่ 37 เอาท์พุทที่ออกจากขา 3 ของ IC5:A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V/D = 2 Vp-p = 5 Vp-p T/D = 5us f = 49.99977 KHz

รูปที่ 38 เอาท์พุทของภาคปรีสเกลเลอร์ที่ออกจากขา 7 ของ IC5:A



รูปที่ 39 ลายวงจรพิมพ์ของภาคปรีสเกลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาควงจรนับความถี่

การสร้างเครื่องวัดความถี่นี้สามารถวัดความถี่ได้หลายอย่างซึ่งใช้ไอซีประเภท แอลเอสไอ เบอร์ ICM7226B ซึ่งเป็นไอซีวงจรนับขนาด 8 หลัก มีความสามารถหลายอย่างคือ ใช้วัดความถี่ วัดความยาวคลื่น วัดอัตราส่วนความถี่ของสัญญาณ 2 สัญญาณ และใช้เป็นวงจรนับธรรมดา

ภายในไอซีประกอบด้วยวงจรกำเนิดความถี่สูง วงจรสัญญาณฐานเวลา วงจรนับและแลทช์ข้อมูลเลขฐานสิบ 8 หลัก วงจรถอดรหัสตัวเลข 7 ส่วน แบบมัลติเพล็กซ์ 8 หลัก พร้อมภาคขับ LED 7 ส่วนโดยตรง

ICM7226B นี้ ถ้าใช้ในโหมดของการนับความถี่ จะสามารถรับสัญญาณได้สูงถึง 10 เมกกะเฮิทซ์ แต่ถ้าใช้ในโหมดอื่นๆ จะใช้ได้ที่ความถี่สูงสุดเพียง 2 เมกกะเฮิทซ์เท่านั้น อย่างไรก็ตามการที่จะทำให้สามารถรับสัญญาณความถี่ได้สูงขึ้น ก็สามารถทำได้โดยใช้วงจรปรีสเกลเลอร์ช่วย ซึ่งจะทำให้สามารถวัดความถี่ได้สูงขึ้นถึง 1 จิกกะเฮิทซ์ แต่สัญญาณที่ป้อนให้กับอินพุทของ ICM7226B จะต้องเป็นสัญญาณดิจิตอล ฉะนั้นเพื่อให้การใช้งานได้กว้างขึ้น คือสามารถวัดสัญญาณที่มีรูปซายน์หรือรูปสามเหลี่ยมได้ เราจะต้องจัดรูปแบบและระดับของสัญญาณนั้นให้อยู่ในรูปแบบและระดับของสัญญาณดิจิตอลเสียก่อน

การใช้วัดความถี่นั้นผู้ใช้สามารถเลือกเวลาในการนับได้ 4 ค่าคือ 0.01 วินาที 0.1 วินาที 1 วินาทีและ 10 วินาที

สมมติว่าเราเลือกใช้เวลาในการนับที่ 10 วินาทีเพื่อแสดงผลออกมา ก็จะได้ความละเอียดถูกต้องถึง 0.1 เฮิทซ์

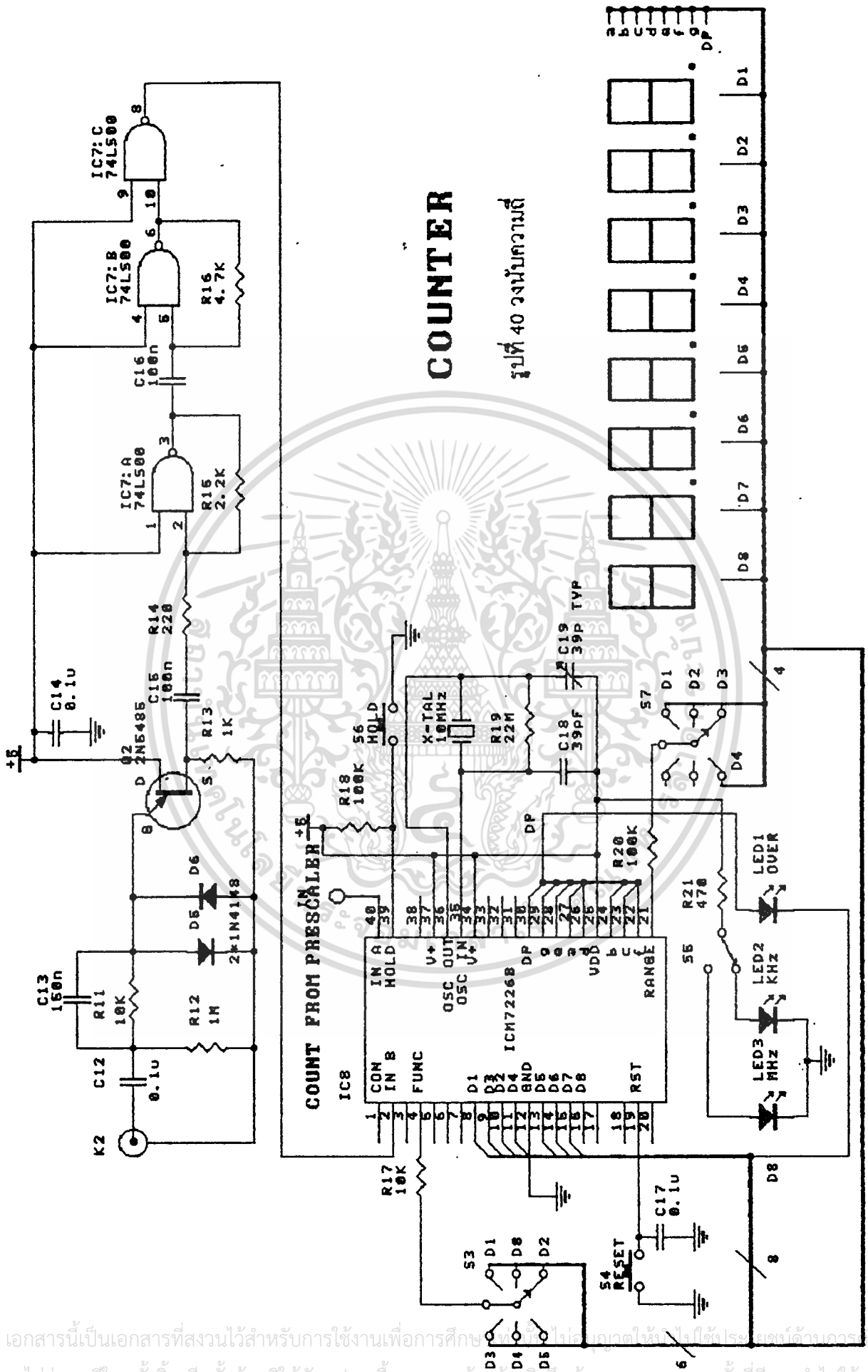
ถ้าเลือกใช้เวลาในการนับที่ 1 วินาที ก็จะได้ความละเอียดถูกต้อง 1 เฮิทซ์

ถ้าเลือกใช้เวลาในการนับที่ 0.1 วิวาที ก็จะได้ความละเอียดถูกต้อง 10 เฮิทซ์

ถ้าเลือกเวลาในการนับที่ 0.01 วินาที ก็จะได้ความละเอียดถูกต้อง 100 เฮิทซ์

ICM7226B ยังมีคุณสมบัติที่พิเศษอีกอย่างหนึ่งก็คือ จะตัดการแสดงผลของตัวเลข "0" ที่นำหน้าตัวเลขอื่นๆออก มีจุดทศนิยมเปลี่ยนไปตามย่านความถี่ และการวัดค่าเวลามีหน่วยเป็นไมโครวินาที (usec) ใช้ภาคแสดงตัวเลข 7 ส่วนแบบคอมมอนแคโถด มีความถี่มัลติเพล็กซ์ 500 เฮิทซ์ สำหรับการจัดวางขาและลักษณะสำคัญอื่นๆของ ICM7226B สามารถดูได้จากภาคผนวกท้ายเล่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 40 เป็นวงจรของภาควงจรนับ ความถี่ฐานเวลาของวงจรนับภายใน ICM7226B ถูกกำหนดโดยคริสตอล X-TAL ความถี่ 10 เมกกะเฮิทซ์ ต่อร่วมกับ C18 , C19 และ R19 โดย C19 สามารถปรับได้เล็กน้อยเพื่อความเที่ยงตรงของความถี่ฐานเวลา

ลักษณะการนับ

วงจรนับจะนับสัญญาณที่ป้อนเข้ามาที่อินพุทที่ขา 2 หรือขา 40 โดยอินพุทที่จะเข้าขา 40 นั้นคือสัญญาณที่ได้จากภาคปรีสเกลเลอร์ แต่สำหรับสัญญาณที่จะเข้าขา 2 นั้นจะต้องนำมาผ่านวงจรบัฟเฟอร์และจัดรูปคลื่นเสียก่อนเพื่อให้ได้สัญญาณที่เหมาะสมป้อนแก่ขา 2 ซึ่งวงจรบัฟเฟอร์และวงจรจัดรูปคลื่นได้กล่าวมาแล้วข้างต้น โดยที่การนับจะเริ่มขึ้นเมื่อสัญญาณเปลี่ยนระดับลอจิก "1" มาเป็นลอจิก "0" หรือกล่าวได้ว่าวงจรจะทำงานด้วยการทริกทางขอบลบ

การใช้งานของ ICM7226B

เพื่อตัดปัญหาในการนับผิดพลาด สัญญาณที่อินพุทควรจะมีค่าประมาณครึ่งหนึ่งของแรงดันไฟเลี้ยง และสิ่งหนึ่งที่ต้องระวังคือ ขนาดของสัญญาณอินพุทต้องไม่เกินกว่าแรงดันไฟเลี้ยง มิฉะนั้นจะทำให้ไอซีเสียหายได้ และสัญญาณอินพุทที่ป้อนเข้าสู่ไอซีต้องเป็นสัญญาณสี่เหลี่ยม

การควบคุมการทำงานของวงจร

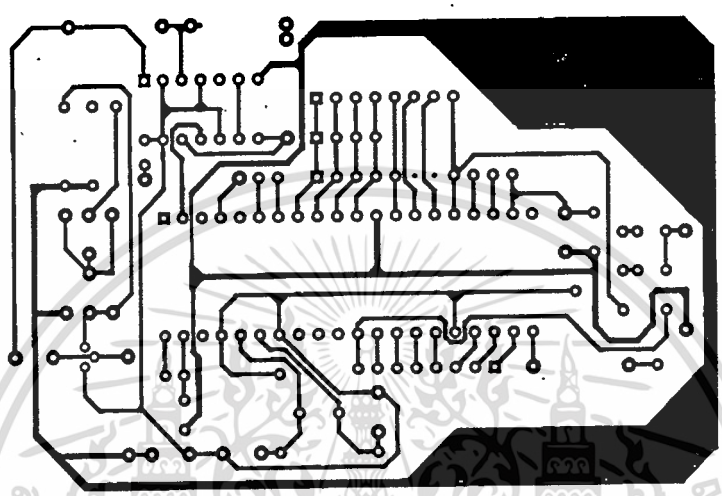
RANGE INPUT การเปลี่ยนย่านในการวัด ก็คือการเปลี่ยนค่าของความถี่อ้างอิงซึ่งมี 4 ค่าคือ 1 เฮิทซ์ , 10 เฮิทซ์ , 100 เฮิทซ์ , 1 กิโลเฮิทซ์

FUNCTION INPUT มีด้วยกันทั้งหมด 6 ฟังก์ชั่นคือ frequency , period , time interval , unit counter , frequency ratio , oscillator frequency

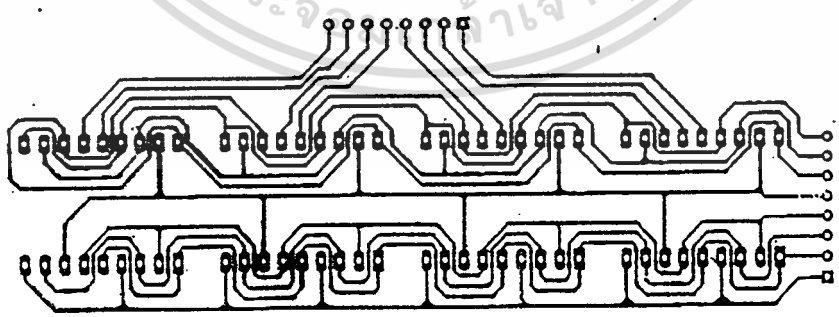
HOLD INPUT เมื่อโยลอินพุทขา 39 สวิตซ์ S6 ถูกต่ออยู่กับไฟเลี้ยง การวัดจะถูกหยุดลงชั่วคราว และจะแสดงผลค่าของการนับครั้งล่าสุดค้างไว้ตราบเท่าที่สวิตซ์ S6 จะถูกกดอยู่ เมื่อเราปล่อยสวิตซ์ S6 , IC8 ก็จะทำการวัดต่อไป และค่าของการวัดก็จะเปลี่ยนไปตามสัญญาณอินพุทที่เข้ามา

RESET INPUT คล้ายกับโยลอินพุทต่างกันเพียงแต่ว่าจะไม่มีการแลทซ์ข้อมูลเอาไว้ สวิตซ์ S4 ทำหน้าที่เคลียร์ค่าของการนับของ IC8 และเคลียร์บนจอแสดงผลให้เป็นศูนย์ด้วย ทั้งยังมีประโยชน์ช่วยในการรีเซ็ตเครื่องในกรณีที่เกิดการทำงานผิดพลาดด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 41 ลายวงจรพิมพ์ของภาควงจรนับ



รูปที่ 42 ลายวงจรพิมพ์ของภาคแสดงผล 7 ส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองที่ได้จากการวัดความถี่

ไม่ผ่านปรีสเกลเลอร์		ผ่านปรีสเกลเลอร์	
ความถี่ที่ป้อน	ความถี่ที่วัดได้	ความถี่ที่ป้อน	ความถี่ที่วัดได้
100 KHz	100.098 KHz	-	-
200 KHz	200.024 KHz	-	-
500 KHz	499.978 KHz	-	-
1 MHz	999.957 KHz	-	-
3 MHz	2999.869 KHz	-	-
3.7 MHz	3699.839 KHz	3.7 MHz	3.701 MHz
5 MHz	4999.783 KHz	5 MHz	5.000 MHz
7 MHz	6999.696 KHz	7 MHz	7.000 MHz
10 MHz	9999.566 KHz	10 MHz	10.000 MHz
-	-	20 MHz	19.999 MHz
-	-	50 MHz	49.998 MHz
-	-	100 MHz	99.996 MHz
-	-	200 MHz	199.992 MHz
-	-	300 MHz	299.987 MHz
-	-	400 MHz	399.983 MHz
-	-	500 MHz	499.979 MHz
-	-	600 MHz	599.970 MHz
-	-	700 MHz	699.970 MHz
-	-	800 MHz	799.966 MHz
-	-	900 MHz	899.962 MHz
-	-	1 GHz	999.955 MHz

ตารางที่ 4 ผลการทดลองจากการวัดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองที่ได้จากการวัดคาบเวลา

ไม่ผ่านปรีสเกลเลอร์		ผ่านปรีสเกลเลอร์	
ความถี่ที่ป้อน	คาบเวลาที่วัดได้	ความถี่ที่ป้อน	คาบเวลาที่วัดได้
100 KHz	10.001 us	-	-
200 KHz	5.000 us	-	-
500 KHz	2.000 us	-	-
1 MHz	1.000 us	-	-
3 MHz	0.334 us	-	-
4 MHz	0.250 us	4 MHz	249.924 ns
-	-	11 MHz	90.885 ns
-	-	20 MHz	50.019 ns
-	-	50 MHz	20.007 ns
-	-	100 MHz	10.004 ns
-	-	200 MHz	4.999 ns
-	-	500 MHz	2.000 ns
-	-	700 MHz	1.249 ns
-	-	900 MHz	1.111 ns
-	-	1 GHz	1.000 ns

ตารางที่ 5 ผลการทดลองจากการวัดคาบเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การนำไปใช้งาน

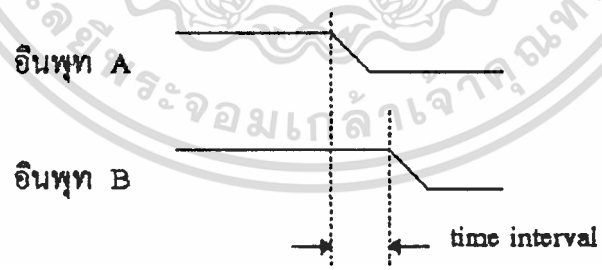
สวิตช์ฟังก์ชั่นมี 6 ตำแหน่ง

1. FREQUENCY ใช้สำหรับวัดความถี่ที่อินพุท A ซึ่งสามารถวัดได้ดีในย่าน 100 กิโลเฮิทซ์ถึง 1 GHz

2. PERIOD ใช้สำหรับวัดความยาวคลื่นที่อินพุท A ได้ในช่วง 1 นาโนวินาทีถึง 10 ไมโครวินาที

3. FREQUENCY RATIO ใช้สำหรับวัดอัตราส่วนความถี่ระหว่าง สัญญาณที่อินพุท A ต่อสัญญาณที่อินพุท B ถ้าความถี่สูงสุดของอินพุท A ผ่านภาคปรีสเกลเลอร์ อยู่ที่ 1 จิกกะเฮิทซ์ ก็สามารถจะวัดอัตราส่วนได้สูงถึง 500:1 โดยต้องคูณผลลัพธ์ที่อ่านได้จากภาคแสดงผลด้วย 1000 แต่ถ้าเลือกความถี่สูงสุดของอินพุท A โดยไม่ผ่านภาคปรีสเกลเลอร์ ก็ให้อ่านค่าออกมาได้เลย

4. TIME INTERVAL หมายถึงการวัดช่วงเวลาระหว่างสัญญาณ 2 สัญญาณที่เกิดขึ้นที่อินพุท A และอินพุท B เริ่มต้นโดยสัญญาณที่อินพุท A ต้องเปลี่ยนระดับลอจิกจาก "1" มาเป็น "0" ก่อน วงจรภายในไอซี ICM7226B จะเริ่มนับเวลา และเมื่อสัญญาณที่อินพุท B เปลี่ยนระดับจากลอจิก "1" มาเป็นลอจิก "0" วงจรภายในจะหยุดนับและแสดงค่าช่วงเวลาที่เกิดขึ้นดังรูป 43



รูปที่ 43 แสดงการวัด time interval

5. UNIT COUNTER การใช้เป็นวงจรนับธรรมดา ใช้นับจำนวนพัลซ์หรือเหตุการณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. OSCILLATOR FREQUENCY ตรวจสอบความถี่ออสซิลเลเตอร์ภายในเครื่องวัด

ในการอ่านค่าของการวัดของเครื่องวัดความถี่นี้ ถ้าเราเลือกฟังก์ชั่นการวัด S3 ไปที่การวัดความถี่ ตัวเลขที่แสดงบนหน้าปัดจะมีหน่วยเป็นกิโลเฮิทซ์ แต่ถ้าเมื่อไรที่ไฟโอเวอร์โฟลติด เราต้องเปลี่ยนย่านการวัด ซึ่งจะทำให้ได้ตัวเลขที่แสดงบนหน้าปัดมีหน่วยเป็นเมกกะเฮิทซ์ และเมื่อเราเลือกช่วงเวลาการเปิดเกทที่สวิตซ์ S7 ไปตามตำแหน่งต่างๆจุดทศนิยมของตัวเลขจะเปลี่ยนไป แต่ค่าของการอ่านก็ยังคงเป็นหน่วยเดิมอยู่ เช่น ถ้าค่าของการวัดความถี่เป็น 10 กิโลเฮิทซ์

ถ้าเลือก S7 อยู่ที่ตำแหน่ง 0.01 วินาที เครื่องวัดความถี่จะแสดงค่าเป็น 100.0

ถ้าเลือก S7 อยู่ที่ตำแหน่ง 0.1 วินาที เครื่องวัดความถี่จะแสดงค่าเป็น 100.00

ถ้าเลือก S7 อยู่ที่ตำแหน่ง 1 วินาที เครื่องวัดความถี่จะแสดงค่าเป็น 100.000

ถ้าเลือก S7 อยู่ที่ตำแหน่ง 10 วินาที เครื่องวัดความถี่จะแสดงค่าเป็น 100.0000

ถ้าหากเลือกฟังก์ชั่นสวิทช์ S3 มาที่การวัดคาบเวลาหรือช่วงเวลา ค่าที่แสดงบนหน้าปัดจะมีหน่วยเป็นไมโครวินาที ส่วนในฟังก์ชั่นการนับจำนวนพัลซ์หรือเหตุการณ์ (UC) หน่วยที่วัดได้จะเป็นครั้งหรือลูก

การทดสอบการใช้งาน

ให้ต่อสัญญาณจากเครื่องกำเนิดสัญญาณความถี่เข้าที่อินพุท A บิดสวิทช์เลือกฟังก์ชั่นไปยังตำแหน่ง frequency เพื่อวัดความถี่ และบิดสวิทช์ฟังก์ชั่นไปยังตำแหน่ง period เพื่อวัดความยาวคลื่น

สำหรับการวัดอัตราส่วนความถี่ และช่วงห่างของสัญญาณที่อินพุท A และสัญญาณของอินพุท B สามารถทดสอบได้โดยการป้อนสัญญาณที่มีความถี่เท่ากันเข้าทั้งอินพุท A และอินพุท B แล้วตั้งสวิทช์ฟังก์ชั่นไปที่ตำแหน่ง frequency ratio แล้วบิดสวิทช์เลือกย่านการวัดไปที่ตำแหน่ง 0.01 วินาที ถ้าถูกต้องภาคแสดงจะแสดงเลข 1 แสดงว่าความถี่ทั้งสองเท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 44 เปรียบเทียบความถี่ที่ป้อนกับความถี่ที่เครื่องวัดสามารถวัดได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
สรุปและวิจารณ์

เครื่องวัดความถี่ที่สร้างขึ้นสามารถวัดความถี่ได้สูงถึง 1 GHz โดยใช้ภาคแสดงผลขนาด 8 หลัก ใช้ปรีสเกลเลอร์ SP4632 เป็นตัวหารความถี่ทำให้เราสามารถวัดความถี่ได้สูงขึ้น ซึ่งใช้ไอซีประเภทแอลเอสไอเบอร์ ICM7226B เป็นตัวนับความถี่ เนื่องจากว่าไอซีประเภทนี้ถูกสร้างให้ใช้เฉพาะงานเท่านั้น จึงสามารถสร้างวงจรที่จำเป็นต้องใช้ในการนับความถี่บนชิปเดียวกัน ทำให้การสร้างเครื่องวัดความถี่ทำได้ง่ายขึ้นมาก และง่ายต่อการออกแบบแผ่นวงจรพิมพ์ด้วย

เครื่องวัดความถี่นี้สามารถใช้ได้ในโหมดต่างๆคือ สามารถวัดความถี่ได้ดีพอสมควรในช่วง 100 กิโลเฮิทซ์ถึง 1 จิกกะเฮิทซ์ สามารถวัดคาบเวลาของสัญญาณได้ ในช่วง 1 นาโนวินาทีถึง 10 ไมโครวินาที สามารถวัดอัตราส่วนความถี่ของสัญญาณ 2 สัญญาณ และยังใช้เป็นวงจรนับธรรมดาก็ได้

เพราะฉะนั้นจะเห็นว่าถ้าต้องการใช้ไอซีย่อยๆมาประกอบกันให้มีความสามารถเท่ากับการใช้ไอซี ICM7226B แล้ว จะต้องใช้ไอซีเป็นจำนวนมากและการออกแบบวงจรก็ยุ่งยาก

ข้อเสนอแนะ

วงจรนับควรสร้างให้สมบูรณ์ยิ่งกว่านี้ คือให้สามารถนับความถี่ได้ครอบคลุมตั้งแต่ 1 Hz จนกระทั่งถึง 1 GHz หรือสูงกว่านั้น โดยการใช้วงจรปรีสเกลเลอร์ช่วยในการหารความถี่เพื่อให้สามารถนับความถี่ได้สูง และควรปรับปรุงในส่วนของวงจรจัดรูปคลื่นให้มีประสิทธิภาพและสมบูรณ์แบบยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

DATA SHEET from DATA ACQUISITION PRODUCTS. copyright Harris Corporation 1994, Print in USA, 1/1994

DATA SHEET from MOTOROLAR SEMICONDUCTOR ,TECHNICAL DATA

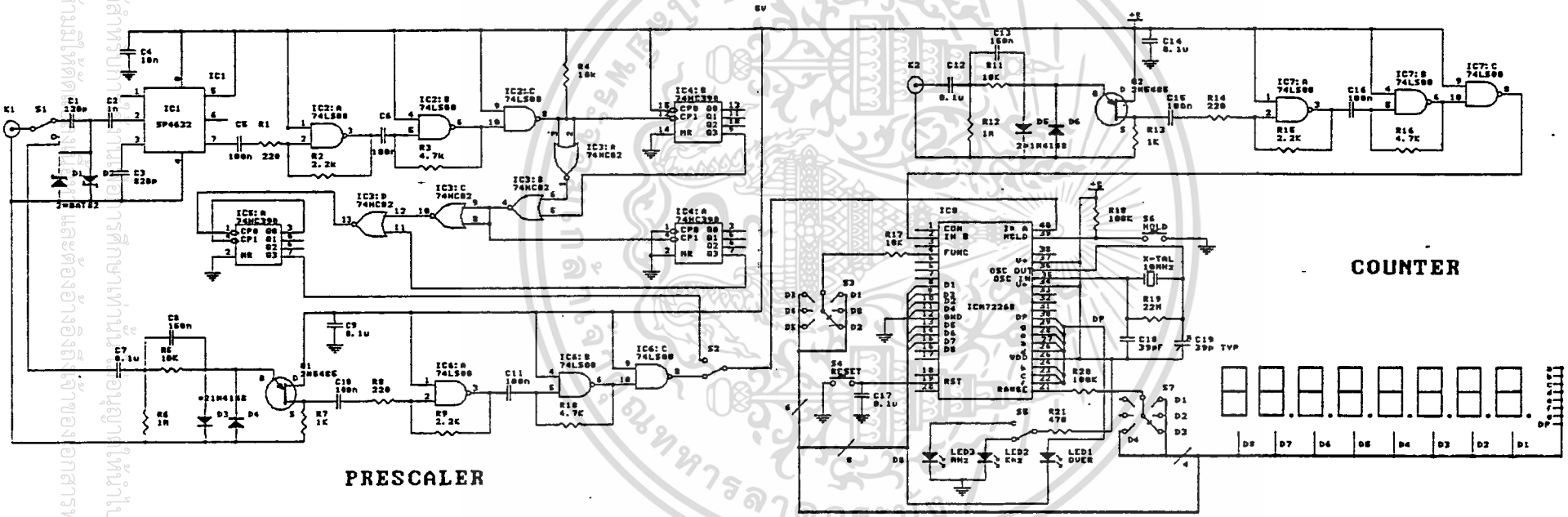
ผศ. ประทีป บัญญัตินพรัตน์ , ทฤษฎีการใช้งานวงจรดิจิตอล เล่ม 2

รศ. ยืน ภู่สุวรรณ , ทฤษฎีการใช้งานอิเล็กทรอนิกส์ เล่ม 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


PRESCALER
COUNTER

PLESSEY
Semiconductors

SP4632

1GHz ÷ 64 PRESCALER WITH LOW CURRENT AND LOW RADIATION

The SP4632 ÷ 64 prescaler is one of Plessey Semiconductors' latest range of high speed dividers for consumer frequency synthesis and measurement systems. It has a lower supply current giving reduced dissipation and operating temperatures in an 8-pin plastic DIL package. Spurious radiation has been reduced from all stages.

The SP4632 incorporates an on-chip preamplifier with differential inputs, and has balanced ECL outputs.

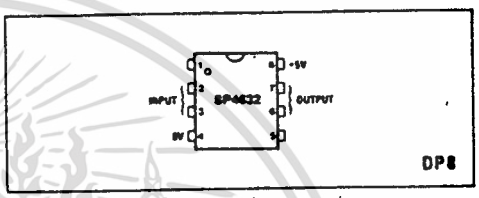


Fig.1 Pin connections - top view

FEATURES

- Low Supply Current
- Low Radiation
- Input Wideband Amplifier
- High Input Sensitivity
- High Input Impedance
- Balanced ECL Outputs

ABSOLUTE MAXIMUM RATINGS

Supply voltage	Vcc +7V
Input voltage	2.5V p-p
Storage temperature	-55°C to +125°C
Operating temperature range	0°C to +80°C

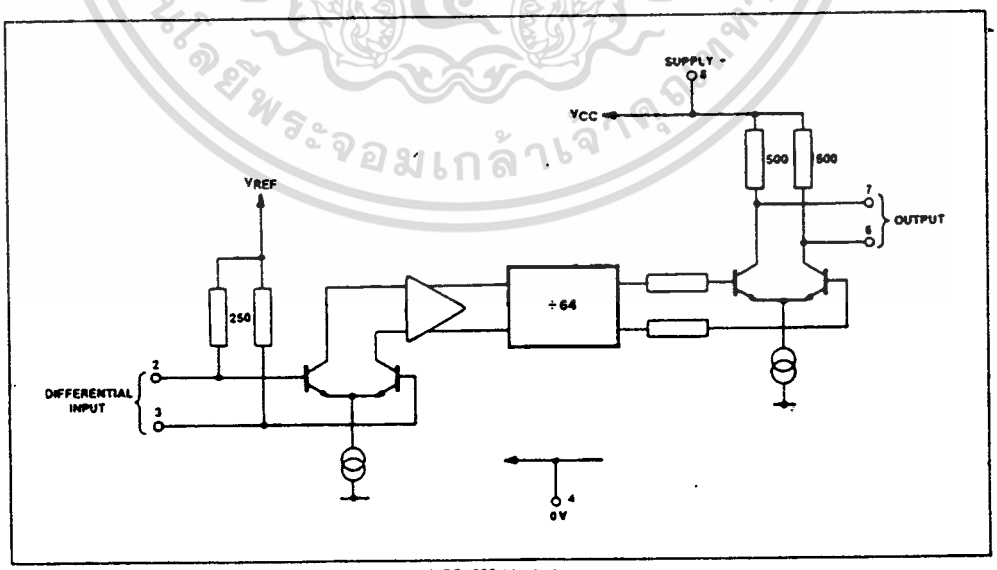


Fig.2 SP4632 block diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Test conditions (unless otherwise stated):
T_{amb} = 0°C to +70°C, Vcc = 4.5V to 5.5V (Test circuit see Fig.3)

Characteristic	Pin	Value			Units	Conditions
		Min.	Typ.	Max.		
Supply current	8		25	35	mA	Vcc = 5V
Input sensitivity	2,3					RMS sinewave (50 ohms system)
80MHz			8	17.5	mV	
150MHz			4	10	mV	
300MHz			3	10	mV	
500MHz			3	10	mV	
700MHz			3	10	mV	
900MHz			4	10	mV	
1GHz			6	17.5	mV	
Input overload	2,3	200			mV	80MHz to 1GHz operating frequency
Input impedance	2,3		50		ohms	See Fig.5
			2		pF	
Output voltage no load	6	0.8			V p-p	fin = 1GHz Vcc = 5V
	7	0.8			V p-p	
Output voltage with load as Fig.3	6	0.55			V	fin = 1GHz Vcc = 5V
	7	0.55			V	
Output impedance	6		0.5		kohms	
	7		0.5		kohms	
Output imbalance	6,7		0.1		V	

NOTE
The difference between the maximum input sensitivity and minimum overload voltages is the guaranteed dynamic range. Input signal levels should be maintained within these limits at all frequencies

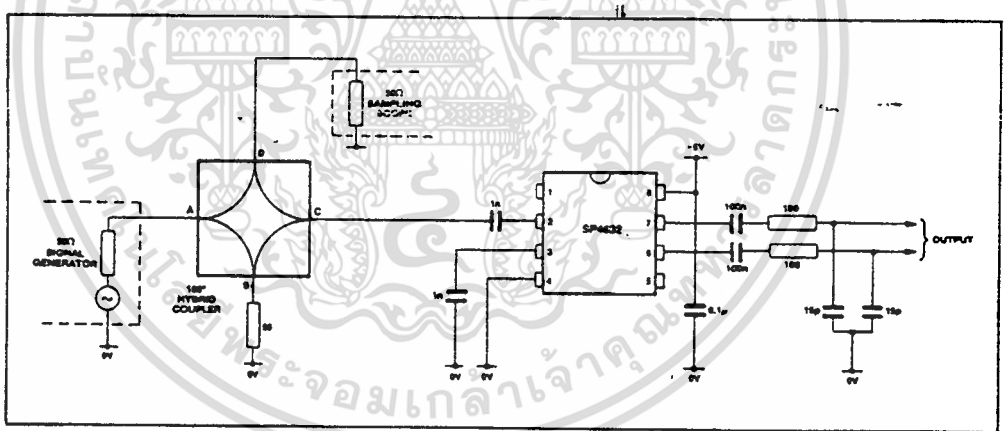


Fig.3 Test circuit

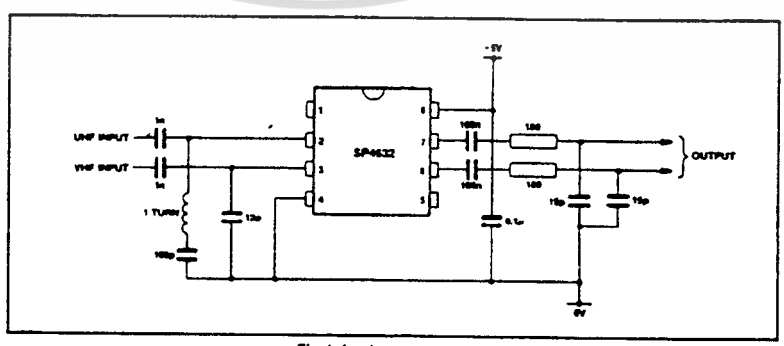


Fig.4 Application circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

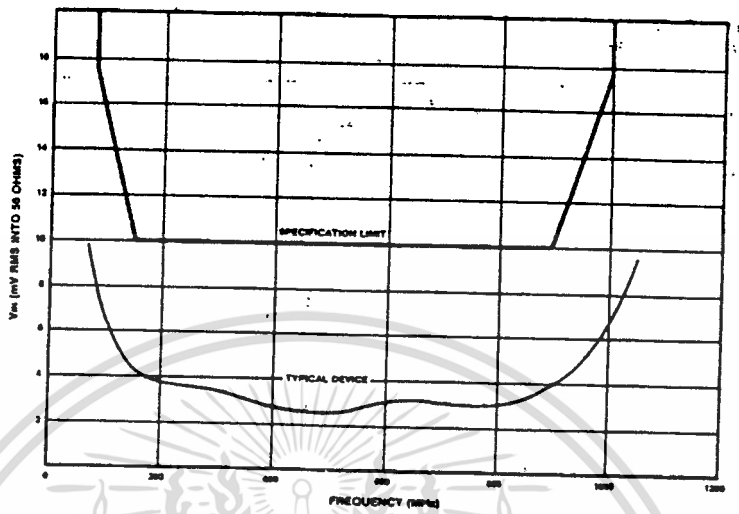


Fig.5 Typical input sensitivity

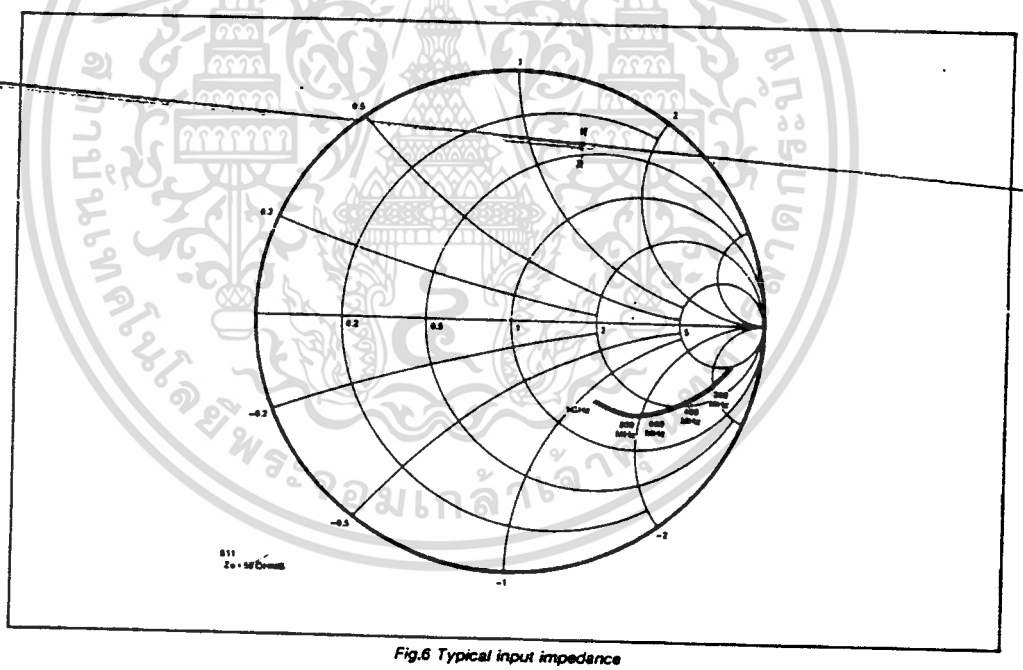


Fig.6 Typical input impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schottky barrier diodes

BAT81/82/83

DESCRIPTION

General purpose and switching Schottky barrier diodes in a SOD68 envelope, with an integrated protection ring against static discharges. They feature a low forward voltage drop, low leakage current and a low capacitance and as such can be used in very fast switching applications.

QUICK REFERENCE DATA

SYMBOL	PARAMETER	CONDITIONS	MAX.	UNIT
V_R	continuous reverse voltage			
	BAT81		40	V
	BAT82		50	V
	BAT83		60	V
V_F	forward voltage	I_F = 1 mA	410	mV
I_R	reverse current	$V_R = V_{R\ max}$	200	nA
I_F	forward current	DC value	30	mA
C_d	diode capacitance		1.6	pF
T_j	junction temperature		200	°C

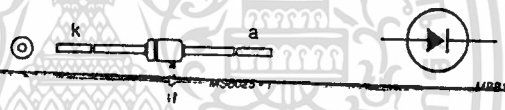


Fig.1 Simplified outline (SOD68) and symbol.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LIMITING VALUES

In accordance with the Absolute Maximum System (IEC 134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_R	continuous reverse voltage				
	BAT81		–	40	V
	BAT82		–	50	V
	BAT83		–	60	V
I_F	forward current	DC value	–	30	mA
I_{FRM}	repetitive peak forward current	$t_p < 1$ s; $\delta \leq 0.5$ (note 1)	–	150	mA
I_{FSM}	non-repetitive peak forward current	t = 10 ms	–	500	mA
T_{stg}	storage temperature range		–65	200	°C
T_j	junction temperature		–	200	°C

Note

1. δ = data cycle.

THERMAL RESISTANCE

SYMBOL	PARAMETER	THERMAL RESISTANCE
$R_{th\ j-a}$	from junction to ambient	320 K/W

CHARACTERISTICS

T_j = 25 °C unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MAX.	UNIT
V_F	forward voltage	I_F = 0.1 mA	330	mV
		I_F = 1 mA	410	mV
		I_F = 15 mA	1	V
I_R	reverse current	$V_R = V_{R\ max}$	200	nA
C_d	diode capacitance	V_R = 1 V; f = 1 MHz	1.6	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

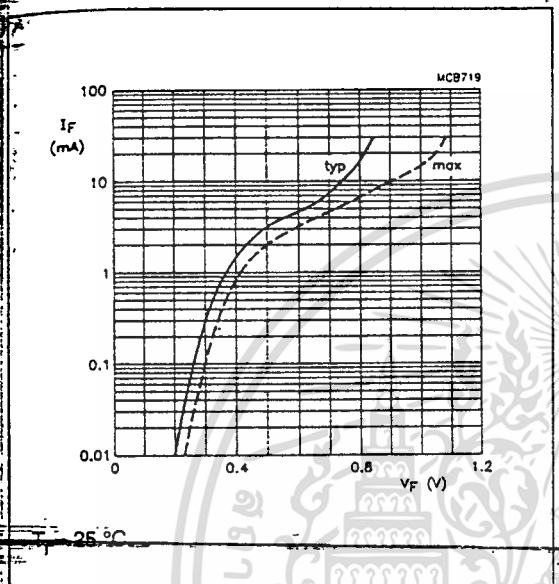


Fig.2 Forward current as a function of forward voltage.

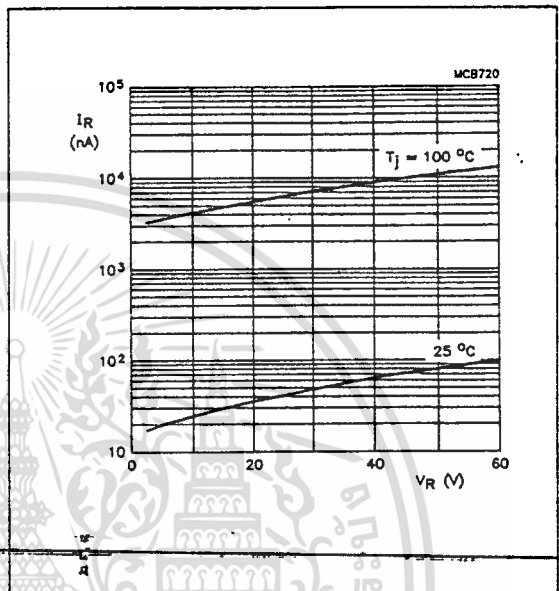


Fig.3 Reverse current as a function of reverse voltage, typical values.

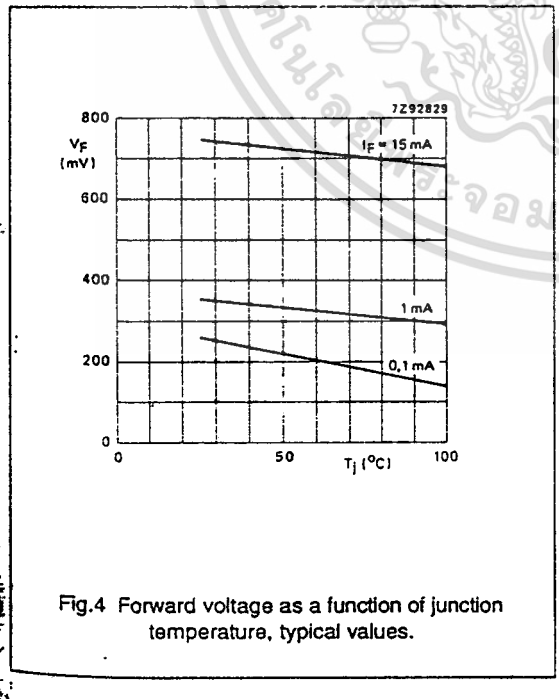


Fig.4 Forward voltage as a function of junction temperature, typical values.

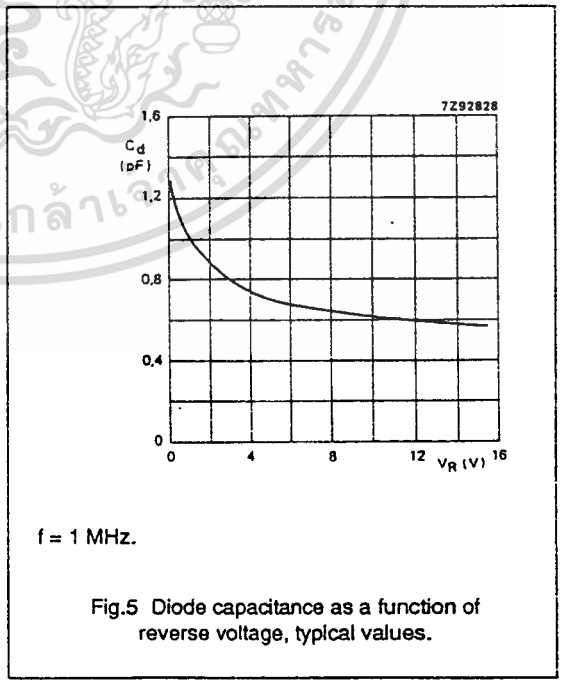


Fig.5 Diode capacitance as a function of reverse voltage, typical values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

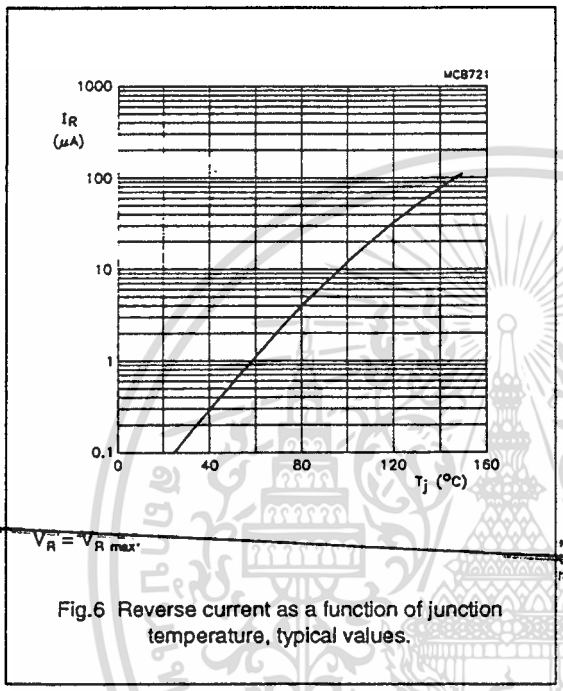
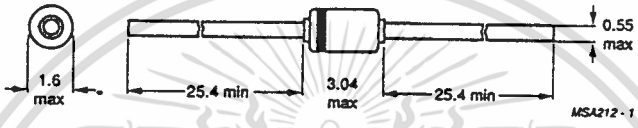


Fig.6 Reverse current as a function of junction temperature, typical values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE OUTLINE



Dimensions in mm.

Cathode indicated by coloured band.

The diodes are type branded.

Fig.7 SOD68 (DO-34).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS SEMICONDUCTOR

ICM7226A
ICM7226B

8-Digit Multi-Function Frequency Counter/Timers

December 1993

Features

- CMOS Design for Very Low Power
- Output Drivers Directly Drive Both Digits and Segments of Large 8 Digit LED Displays
- Measures Frequencies from DC to 10MHz; Periods from 0.5µs to 10s
- Stable High Frequency Oscillator uses either 1MHz or 10MHz Crystal
- Both Common Anode and Common Cathode Available
- Control Signals Available for External Systems Interfacing
- Multiplexed BCD Outputs

Applications

- Frequency Counter
- Period Counter
- Unit Counter
- Frequency Ratio Counter
- Time Interval Counter

Ordering Information

PART NUMBER	TEMPERATURE RANGE	PACKAGE
ICM7226AIJL	-25°C to +85°C	40 Lead Ceramic DIP
ICM7226BIPL	-25°C to +85°C	40 Lead Plastic DIP

Description

The ICM7226 is a fully integrated Universal Counter and LED display driver. It combines a high frequency oscillator, a decade timebase counter, an 8-decade data counter and latches, a 7-segment decoder, digit multiplexer and segment and digit drivers which can directly drive large LED displays. The counter inputs accept a maximum frequency of 10MHz in frequency and unit counter modes and 2MHz in the other modes. Both inputs are digital inputs. In many applications, amplification and level shifting will be required to obtain proper digital signals for these inputs.

The ICM7226 can function as a frequency counter, period counter, frequency ratio (f_A/f_B) counter, time interval counter or as a totalizing counter. The devices require either a 10MHz or 1MHz quartz crystal timebase, or if desired an external timebase can also be used. For period and time interval, the 10MHz timebase gives a 0.1µs resolution. In period average and time interval average, the resolution can be in the nanosecond range. In the frequency mode, the user can select accumulation times of 0.01s, 0.1s, 1s and 10s. With a 10s accumulation time, the frequency can be displayed to a resolution of 0.1Hz. There is 0.2s between measurements in all ranges. Control signals are provided to enable gating and storing of prescaler data.

Leading zero blanking has been incorporated with frequency display in kHz and time in µs. The display is multiplexed at a 500Hz rate with a 12.2% duty cycle for each digit. The ICM7226A is designed for common anode displays with typical peak segment currents of 25mA, and the ICM7226B is designed for common cathode displays with typical segment currents of 12mA. In the display off mode, both digit drivers and segment drivers are turned off, allowing the display to be used for other functions.

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.

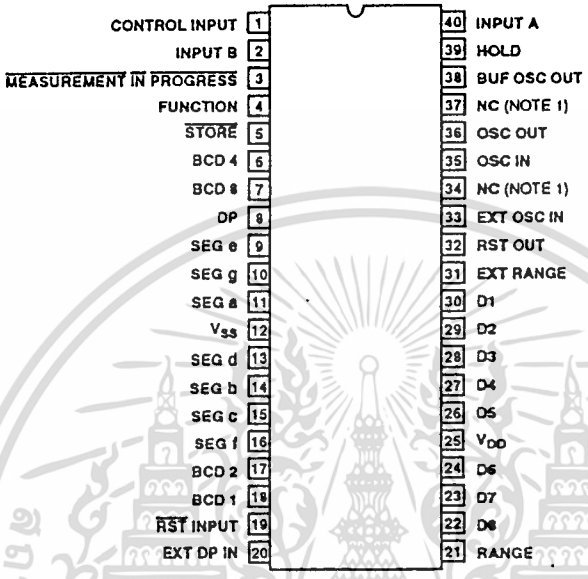
Copyright © Harris Corporation 1993

File Number 3169

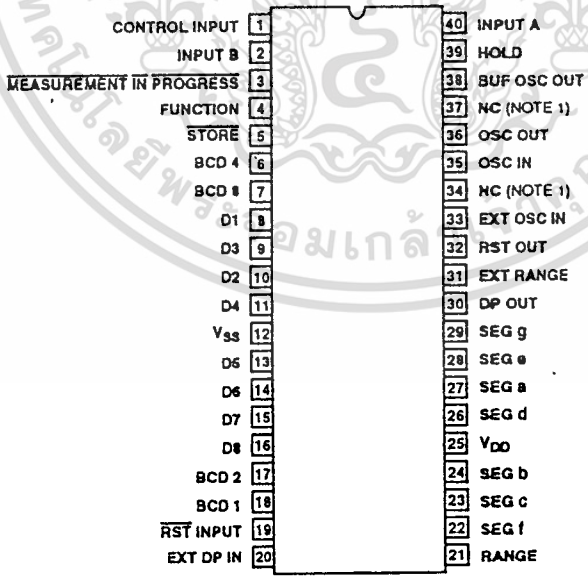
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pinouts

ICM7226A
COMMON ANODE (CDIP)
TOP VIEW



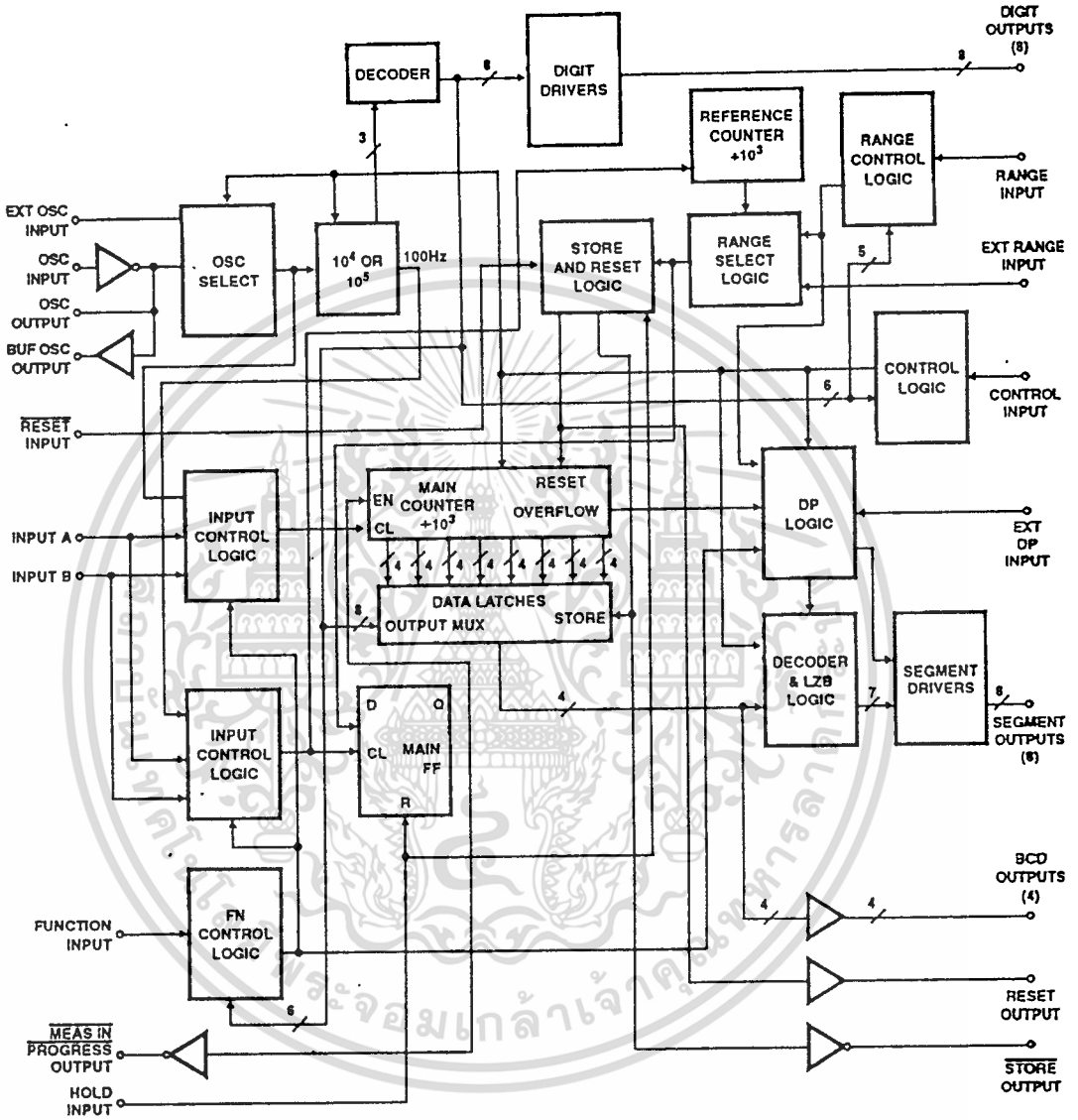
ICM7226B
COMMON CATHODE (PDIP)
TOP VIEW



NOTE:
1. For maximum frequency stability, connect to V_{DD} or V_{SS}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Maximum Supply Voltage (V_{DD} - V_{SS}) 6.5V
Maximum Digit Output Current 400mA
Maximum Segment Output Current 60mA
Voltage On Any Input or
Output Terminal (Note 1) ..... (V_{DD} +0.3V) to (V_{SS} -0.3V)
Storage Temperature Range ..... -55°C to +150°C
Lead Temperature (Soldering 10s) ..... +300°C

Thermal Information

Thermal Resistance	θ_{JA}	θ_{JC}
Ceramic DIP Package	45°C/W	15°C/W
Plastic DIP Package	50°C/W	-

Junction Temperature
Ceramic DIP Package ..... +175°C
Plastic DIP Package ..... +150°C
Operating Temperature Range ..... -25°C to +85°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Electrical Specifications

V_{DD} = 5.0V, T_A = +25°C, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Current, I_{DD}	Display Off, Unused Inputs to V_{SS}	-	2	5	mA
Supply Voltage Range (V_{DD} -V_{SS}), V_{SUPPLY}	-25°C < T_A < +85°C, INPUT A, INPUT B Frequency at f_{MAX}	4.75	-	6.0	V
Maximum Frequency INPUT A, Pin 40, $f_{A(MAX)}$	-25°C < T_A < +85°C 4.75V < V_{DD} < 6.0V, Figure 9 Function = Frequency, Ratio, Unit Counter	10	14	-	MHz
	Function = Period, Time Interval	2.5	-	-	MHz
Maximum Frequency INPUT B, Pin 2, $f_{B(MAX)}$	-25°C < T_A < +85°C 4.75V < V_{DD} < 6.0V, Figure 10	2.5	-	-	MHz
Minimum Separation INPUT A to INPUT B, Time Interval Function	-25°C < T_A < +85°C 4.75V < V_{DD} < 6.0V, Figure 1	250	-	-	ns
Oscillator Frequency and External Oscillator Frequency, f_{osc}	-25°C < T_A < +85°C 4.75V < V_{DD} < 6.0V	0.1	-	10	MHz
Oscillator Transconductance, g_M	V_{DD} -4.75V, T_A = +85°C	2000	-	-	µS
Multiplex Frequency, f_{MUX}	f_{OSC} = 10MHz	-	500	-	Hz
Time Between Measurements	f_{OSC} = 10MHz	-	200	-	ms
Input Rate of Charge, dV_{IN}/dt	Inputs A, B	-	15	-	mV/µs
Input Voltages: Pins 2, 19, 33, 39, 40, 35					
Input Low Voltage, V_{IL}	-25°C < T_A < +85°C	-	-	1.0	V
Input High Voltage, V_{IH}		3.5	-	-	V
Pins 2, 39, 40, Input Leakage, A, B, I_{ILK}		-	-	20	µA
Input Resistance to V_{DD} Pins 19, 33, R_{IN}	V_{IN} = V_{DD} -1.0V	100	400	-	kΩ
Input Resistance to V_{SS} Pin 31, R_{IN}	V_{IN} = +1.0V	50	100	-	kΩ
Output Current					
Low Output Current, Pins 3, 5-7, 17, 18, 32, 38, I_{OL}	V_{OL} = +0.4V	400	-	-	µA
High Output Current, Pins 5-7, 17, 18, 32, H_{OL}	V_{OH} = +2.4V	100	-	-	µA
High Output Current, Pins 3, 38, H_{OL}	V_{OH} = V_{DD} -0.8V	265	-	-	µA
ICM7226A					
Segment Driver: Pins 8-11, 13-16					
Low Output Current, I_{OL}	V_O = +1.5V	25	35	-	mA
High Output Current, I_{OH}	V_O = V_{DD} -1.0V	-	100	-	µA
Multiplex Inputs: Pins 1, 4, 20, 21					
Input Low Voltage, V_{IL}		-	-	0.8	V
Input High Voltage, V_{IH}		2.0	-	-	V
Input Resistance to V_{SS}, R_{IN}	V_{IN} = +1.0V	50	100	-	kΩ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

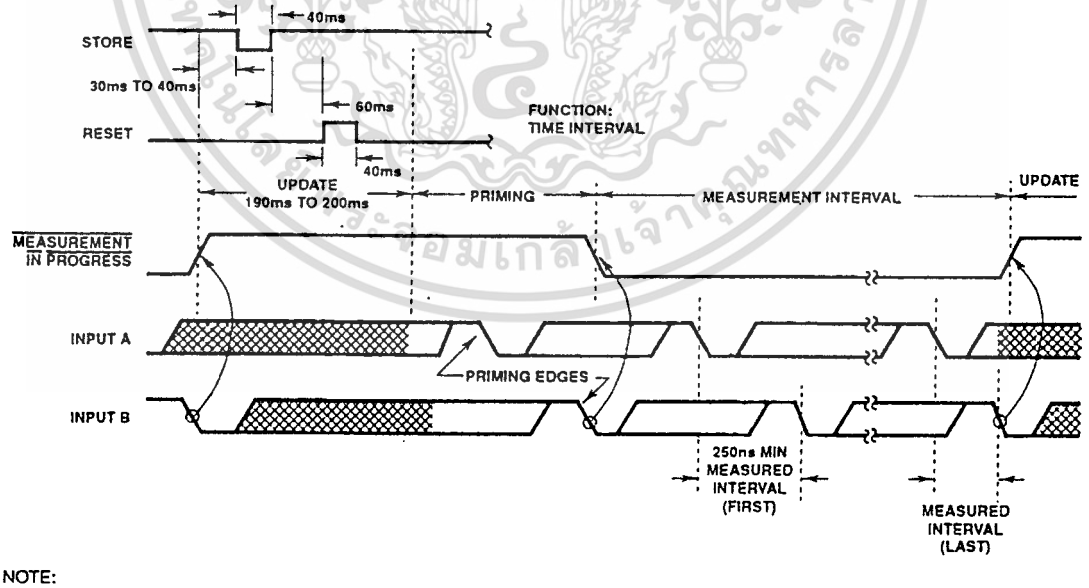
Electrical Specifications V_{DD} = 5.0V, T_A = +25°C, Unless Otherwise Specified (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Digit Driver: Pins 22-24, 26-30					
Low Output Current, I_{OL}	V_O = +1.0V	-	-0.3	-	mA
High Output Current, I_{OH}	$V_O = V_{DD}$ -2.0V	150	180	-	mA
ICM7226B					
Segment Driver: Pins 22-24, 26-30					
Leakage Current, I_L	$V_O = V_{SS}$	-	-	10	µA
High Output Current, I_{OH}	$V_O = V_{DD}$ -2.0V	10	15	-	mA
Multiplex Inputs: Pins 1, 4, 20, 21					
Input Low Voltage, V_{IL}		-	-	V_{DD}-2.0	V
Input High Voltage, V_{IH}		V_{DD}-0.8	-	-	V
Input Resistance to V_{SS}, R_{IN}	$V_{IN} = V_{DD}$ -1.0V	100	360	-	kΩ
Digit Driver: Pins 8-11, 13-16					
Low Output Current, I_{OL}	V_O = +1.0V	50	75	-	mA
High Output Current, I_{OH}	$V_O = V_{DD}$ -2.5V	-	100	-	µA

NOTES:

1. Destructive latchup may occur if input signals are applied before the power supply is established or if inputs or outputs are forced to voltages exceeding V_{DD} or V_{SS} by 0.3V.
2. Assumes all leads soldered or welded to PC board and free air flow.
3. Typical values are not tested.

Timing Waveform



NOTE:

1. If range is set to 1 event, first and last measured interval will coincide.

FIGURE 1. WAVEFORMS FOR TIME INTERVAL MEASUREMENT (OTHERS ARE SIMILAR, BUT WITHOUT PRIMING PHASE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

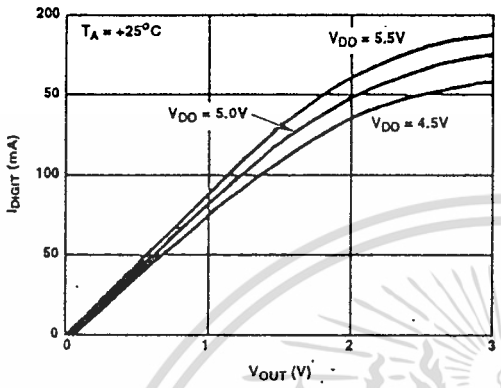


FIGURE 2. ICM7226B TYPICAL I_{DIGIT} vs V_{OUT}

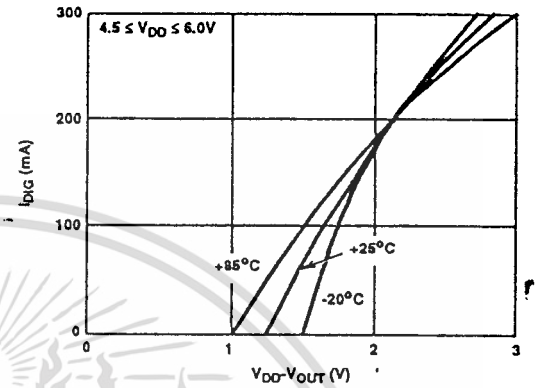


FIGURE 3. ICM7226A TYPICAL I_{DIG} vs V_{DD}-V_{OUT}

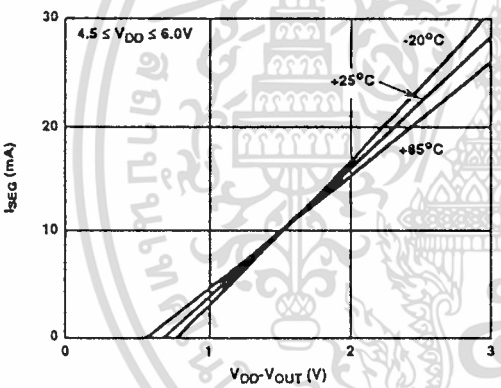


FIGURE 4. ICM7226B TYPICAL I_{SEG} vs V_{DD}-V_{OUT}

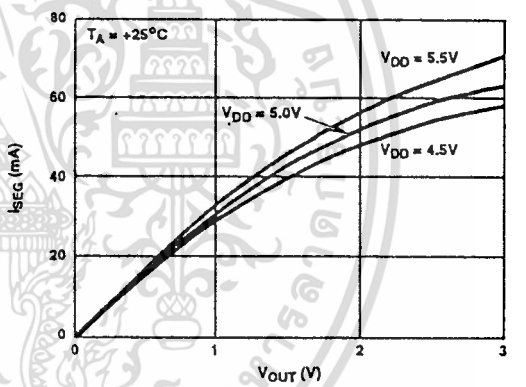


FIGURE 5. ICM7226A TYPICAL I_{SEG} vs V_{OUT}

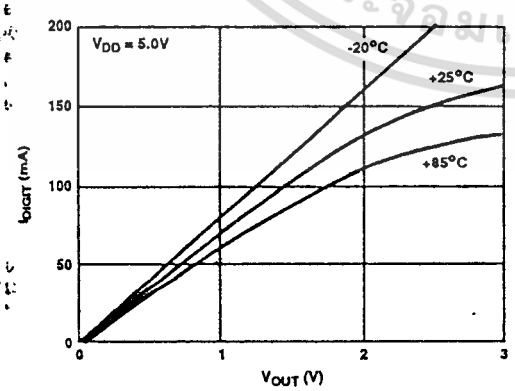


FIGURE 6. ICM7226B TYPICAL I_{DIGIT} vs V_{OUT}

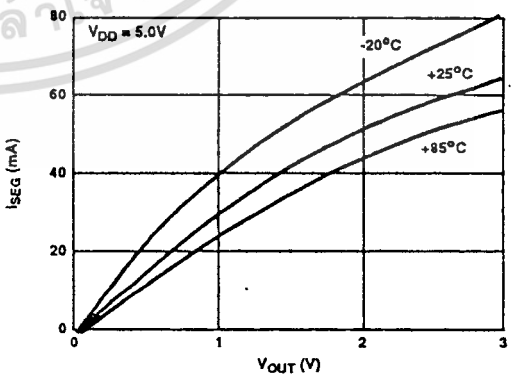


FIGURE 7. ICM7226A TYPICAL I_{SEG} vs V_{OUT}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

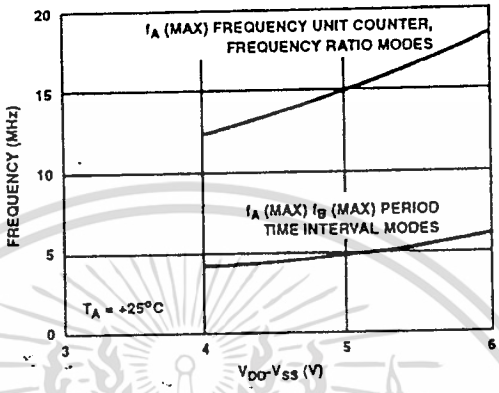


FIGURE 8. f_A(MAX), f_B(MAX) AS A FUNCTION OF SUPPLY

Description

INPUTS A and B

The signal to be measured is applied to INPUT A in frequency period, unit counter, frequency ratio and time interval modes. The other input signal to be measured is applied to INPUT B in frequency ratio and time interval. f_A should be higher than f_B during frequency ratio.

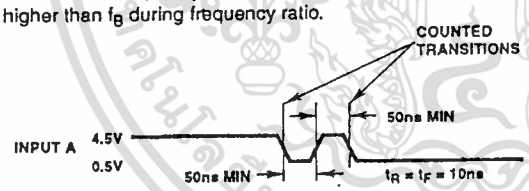


FIGURE 9. WAVEFORM FOR GUARANTEED MINIMUM f_A(MAX) FUNCTION = FREQUENCY, FREQUENCY RATIO, UNIT COUNTER

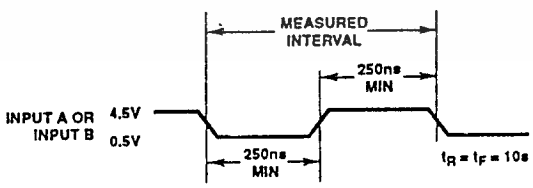


FIGURE 10. WAVEFORM FOR GUARANTEED MINIMUM f_B(MAX) AND f_A(MAX) FOR FUNCTION = PERIOD AND TIME INTERVAL

Both inputs are digital inputs with a typical switching threshold of 2.0V at V_{DD} = 5.0V and input impedance of 250kΩ. For optimum performance, the peak to peak input signal should be at least 50% of the supply voltage and centered about the switching voltage. When these inputs are being driven from TTL logic, it is desirable to use a pullup resistor. The circuit counts high to low transitions at both inputs

Note that the amplitude of the input should not exceed the device supply (above the V_{DD} and below the V_{SS}) by more than 0.3V, otherwise the device may be damaged.

Multiplexed Inputs

The FUNCTION, RANGE, CONTROL and EXTERNAL DECIMAL POINT inputs are time multiplexed to select the function desired. This is achieved by connecting the appropriate Digit driver output to the inputs. The function, range and control inputs must be stable during the last half of each digit output, (typically 125µs). The multiplexed inputs are active high for the common anode ICM7226A and active low for the common cathode ICM7226B.

Noise on the multiplex inputs can cause improper operation. This is particularly true when the unit counter mode of operation is selected, since changes in voltage on the digit drivers can be capacitively coupled through the LED diodes to the multiplex inputs. For maximum noise immunity, a 10kΩ resistor should be placed in series with the multiplexed inputs as shown in the application circuits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1 shows the functions selected by each digit for these inputs.

TABLE 1. MULTIPLEXED INPUT FUNCTIONS

	FUNCTION	DIGIT
FUNCTION INPUT Pin 4	Frequency	D1
	Period	D8
	Frequency Ratio	D2
	Time Interval	D5
	Unit Counter	D4
	Oscillator Frequency	D3
RANGE INPUT Pin 21	0.01s/1 Cycle	D1
	0.1s/10 Cycles	D2
	1s/100 Cycles	D3
	10s/1K Cycles	D4
	Enable External Range Input	D5
CONTROL INPUT Pin 1	Display Off	D4 and Hold
	Display Test	D8
	1MHz Select	D2
	External Oscillator Enable	D1
	External Decimal Point Enable	D3
External DP INPUT Pin 20	Decimal point is output for same digit that is connected to this input.	

Function Input

The six functions that can be selected are: **Frequency, Period, Time Interval, Unit Counter, Frequency Ratio** and **Oscillator Frequency.**

The implementation of different functions is done by routing the different signals to two counters, called "Main Counter" and "Reference Counter". A simplified block diagram of the device for functions realization is shown in Figure 11. Table 2 shows which signals will be routed to each counter in different cases. The output of the Main Counter is the information which goes to the display. The Reference Counter divides its input to 1, 10, 100 and 1000. One of these outputs will be selected through the range selector and drive the enable input of the Main Counter. This means that the Reference Counter, along with its' associated blocks, directs the Main Counter to begin counting and determines the length of the counting period. Note that Figure 11 does not show the complete functional diagram (See the Functional Block Diagram). After the end of each counting period, the output of the Main Counter will be latched and displayed, then the counter will be reset and a new measurement cycle will begin. Any change in the FUNCTION INPUT will stop the present measurement without updating the display and then initiate a new measurement. This prevents an erroneous first reading after the FUNCTION INPUT is changed. In all cases, the 1-0 transitions are counted or timed.

TABLE 2. INPUT ROUTING

FUNCTION	MAIN COUNTER	COUNTER
Frequency (f_A)	Input A	100Hz (Oscillator $\div 10^5$ or 10^4)
Period (t_A)	Oscillator	Input A
Ratio (f_A/f_B)	Input A	Input B
Time Interval (A→B)	Oscillator	Input A Input B
Unit Counter (Count A)	Input A	Not Applicable
Osc. Freq. (f_{OSC})	Oscillator	100Hz (Oscillator $\div 10^5$ or 10^4)

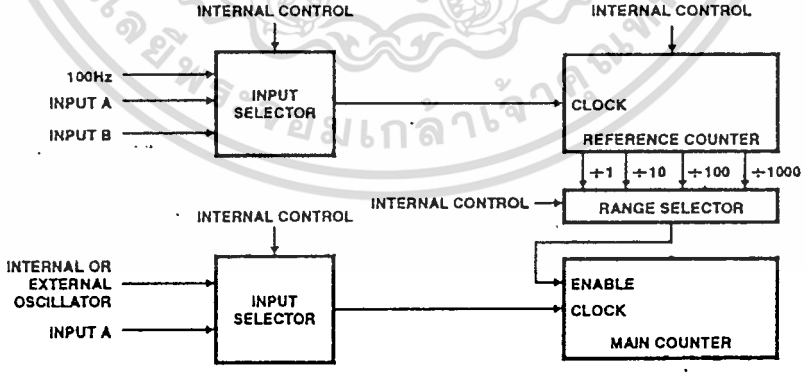


FIGURE 11. SIMPLIFIED BLOCK DIAGRAM OF FUNCTIONS IMPLEMENTATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency - In this mode input A is counted by the Main Counter for a precise period of time. This time is determined by the time base oscillator and the selected range. For the 10MHz (or 1MHz) time base, the resolutions are 100Hz, 10Hz, 1Hz and 0.1Hz. The decimal point on the display is set for kHz reading.

Period - In this mode, the timebase oscillator is counted by the Main Counter for the duration of 1,10,100 or 1000 (range selected) periods of the signal at input A. A 10MHz timebase gives resolutions of 0.1µs to 0.0001µs for 1000 periods averaging. Note that the maximum input frequency for period measurement is 2.5MHz.

Frequency Ratio - In this mode, the input A is counted by the Main Counter for the duration of 1,10,100 or 1000 (range selected) periods of the signal at input B. The frequency at input A should be higher than input B for meaningful result. The result in this case is unitless and its resolution can go up to 3 digits after decimal point.

Time Interval - In this mode, the timebase oscillator is counted by the Main Counter for the duration of a 1-0 transition of input A until a 1-0 transition of input B. This means input A starts the counting and input B stops it. If other ranges, except 0.01s/1 cycle are selected the sequence of input A and B transitions must happen 10,100 or 1000 times until the display becomes updated; note this when measuring long time intervals to give enough time for measurement completion. The resolution in this mode is the same as for period measurement. See the Time Interval Measurement section also.

Unit Counter - In this mode, the Main Counter is always enabled. The input A is counted by the Main Counter and displayed continuously.

Oscillator Frequency - In this mode, the device makes a frequency measurement on its timebase. This is a self test mode for device functionality check. For 10MHz timebase the display will show 10000.0, 10000.00, 10000.000 and Overflow in different ranges.

Range Input

The RANGE INPUT selects whether the measurement period is made for 1,10,100 or 1000 counts of the Reference Counter or it is controlled by EXT RANGE input. As it is shown in Table 1, this gives different counting windows for frequency measurement and various cycles for other modes of measurement.

In all functional modes except Unit Counter, any change in the RANGE INPUT will stop the present measurement without updating the display and then initiate a new measurement. This prevents an erroneous first reading after the RANGE INPUT is changed.

Control Input

Unlike the other multiplexed inputs, to which only one of the digit outputs can be connected at a time, this input can be tied to different digit lines to select combination of controls. In this case, isolation diodes must be used in digit lines to avoid crosstalk between them (see Figure 19). The direction of diodes depends on the device version, common anode or common cathode. For maximum noise immunity at this input, in addition to the 10K resistor which was mentioned before, a 39pF to 100pF capacitor should also be placed between this input and the V_{DD} or V_{SS} (See Figure 19).

Display Off - To disable the display drivers, it is necessary to tie the D4 line to the CONTROL INPUT and have the HOLD input at V_{DD}. While in Display Off mode, the segments and digit drivers are all off, leaving the display lines floating, so the display can be shared with other devices. In this mode, the oscillator continues to run with a typical supply current of 1.5mA with a 10MHz crystal, but no measurements are made and multiplexed inputs are inactive. A new measurement cycle will be initiated when the HOLD input is switched to V_{SS}.

Display Test - Display will turn on with all the digits showing 8s and all decimal points also on. The display will be blanked if Display Off is selected at the same time.

1MHz Select - The 1MHz select mode allows use of a 1MHz crystal with the same digit multiplex rate and time between measurement as with a 10MHz crystal. This is done by dividing the oscillator frequency by 10^4 rather than 10^5. The decimal point is also shifted one digit to the right in period and time interval, since the least significant digit will be in µs increment rather than 0.1µs increment.

External Oscillator Enable - In this mode, the signal at EXT OSC INPUT is used as a timebase instead of the on-board crystal oscillator (built around the OSC INPUT, OSC OUTPUT inputs). This input can be used for an external stable temperature compensated crystal oscillator or for special measurements with any external source. The on-board crystal oscillator continues to work when the external oscillator is selected. This is necessary to avoid hang-up problems, and has no effect on the chip's functional operation. If the on-board oscillator frequency is less than 1MHz or only the external oscillator is used, THE OSC INPUT MUST BE CONNECTED TO THE EXT OSC INPUT providing the timebase has enough voltage swing for OSC INPUT (See Electrical Specifications). If the external timebase is TTL level a pullup resistor must be used for OSC INPUT. The other way is to put a 22MΩ resistor between OSC INPUT and OSC OUTPUT and capacitively couple the EXT OSC INPUT to OSC INPUT. This will bias the OSC INPUT at its threshold and the drive voltage will need to be only $2V_{P-P}$. The external timebase frequency must be greater than 100kHz or the chip will reset itself to enable the on-board oscillator.

External Decimal Point Enable - In this mode, the EX DP INPUT is enabled. A decimal point will be displayed for the digit that its output line is connected to this input (EX DP INPUT). Digit 8 should not be used since it will override the overflow output. Leading zero blanking is effective for the digits to the left of selected decimal point.

Hold Input

Except in the unit counter mode, when the HOLD input is at V_{DD}, any measurement in progress (before $\overline{\text{STORE}}$ goes low) is stopped, the main counter is reset and the chip is held ready to initiate a new measurement as soon as HOLD goes low. The latches which hold the main counter data are not updated, so the last complete measurement is displayed. In unit counter mode when HOLD input is at V_{DD}, the counter is not stopped or reset, but the display is frozen at that instantaneous value. When HOLD goes low the count continues from the new value in the new counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RST IN Input

The RST IN is provided to reset the Main Counter, stop any measurement in progress, and enable the display latches, resulting in the all zero display. It is suggested to have a capacitor at this input to V_{SS} to prevent any hangup problem on power up. See application circuits.

EXT RANGE Input

This input is provided to select ranges other than those provided in the chip. In any mode of measurement the duration of measurement is determined by the EXT RANGE if this input is enabled. This input is sampled at 10ms intervals by the 100Hz reference derived from the timebase. Figure 12 shows the relationship between this input, 100Hz reference signal and MEAS IN PROGRESS. EXT RANGE can change state anywhere during the period of 100Hz reference by will be sampled at the trailing edge of the period to start or stop measurement.

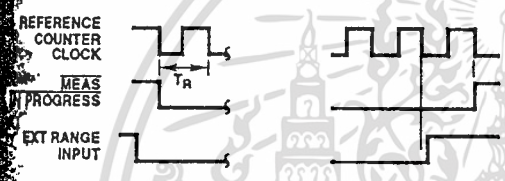


FIGURE 12. EXTERNAL RANGE INPUT TO END OF MEASUREMENT IN PROGRESS

This input should not be used for short arbitrary ranges (because of its sampling period), it is provided for very long gating purposes. A way of using the ICM7226 for a short arbitrary range is to feed the gating signal into the INPUT B and run the device in the Frequency Ratio mode. Note that the gating period will be from one positive edge until the next positive edge of INPUT B (0.01 s/1 cycle range).

MEAS IN PROGRESS, STORE, RST OUT Outputs

These outputs are provided for external system interfacing. MEAS IN PROGRESS stays low during measurements and goes high for intervals between measurements. Figure 13 shows the relationship between these outputs for intervals between measurements. All these outputs can drive a low power Schottky TTL. The MEAS IN PROGRESS can drive one ECL load if the ECL device is powered from the same power supply as the ICM7226.

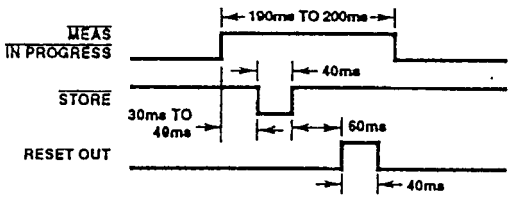


FIGURE 13. RESET OUT, STORE AND MEASUREMENT IN PROGRESS OUTPUTS BETWEEN MEASUREMENTS

BCD Outputs

The BCD representation of each display digit is available at the BCD outputs in a multiplexed fashion. See Table 3 for digits truth table. The BCD output of each digit is available when its corresponding digit output is activated. Note that the digit outputs are multiplexed from D8 (MSD) to D1 (LSD). The positive going (ICM7226A, common anode) or the negative going (ICM7226B, common cathode) digit drive signals lag the BCD data by 2µs to 6µs. This starting edge of each digit drive signal should be used to externally latch the BCD data. Each BCD output drives one low power Schottky TTL load. Leading zero blanking has no effect on the BCD outputs.

TABLE 3. TRUTH TABLE BCD OUTPUTS

NUMBER	BCD 8 PIN 7	BCD 4 PIN 6	BCD 2 PIN 17	BCD 1 PIN 18
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

BUF OSC OUT Output

The BUFFered OSCillator OUTput is provided for use of the on-board oscillator signal, without loading the oscillator itself. This output can drive one low power Schottky TTL load. Care should be taken to minimize capacitive loading on this pin.

Decimal Point Position

Table 4 shows the decimal point position for different modes of ICM7226 operation. Note that the digit 1 is the least significant digit. Table is given for 10MHz timebase frequency.

TABLE 4. DECIMAL POINT POSITIONS

RANGE	FREQUENCY	PERIOD	FREQUENCY RATIO	TIME INTERVAL	UNIT COUNTER	OSCILLATOR FREQUENCY
0.01s/1 Cycle	D2	D2	D1	D2	D1	D2
0.1s/10 Cycle	D3	D3	D2	D3	D1	D3
1s/100 Cycle	D4	D4	D3	D4	D1	D4
10s/1K Cycle	D5	D5	D4	D5	D1	D5
External	N/A	N/A	N/A	N/A	N/A	N/A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Overflow Indication

When overflow happens in any measurement it will be indicated on the decimal point of the digit 8. A separate LED indicator can be used. Figure 14 shows how to connect this indicator.

LED overflow indicator connections: Overflow ill be indicated on the decimal point output of digit 8.

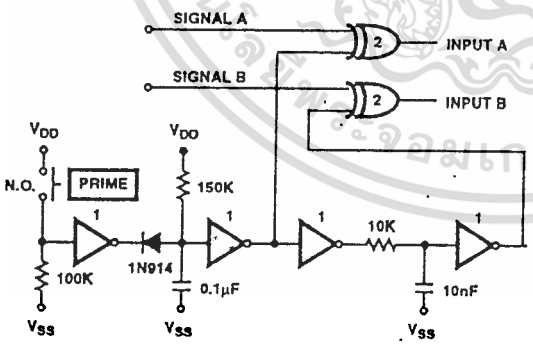
DEVICE	CATHODE	ANODE
ICM7226A	Decimal Point	D8
ICM7226B	D8	Decimal Point

FIGURE 14. SEGMENT IDENTIFICATION AND DISPLAY FONT

Time Interval Measurement

When in the time interval mode and measuring a single event, the ICM7226A and ICM7226B must first be "primed" prior to measuring the event of interest. This is done by first generating a negative going edge on Channel A followed by a negative going edge on Channel B to start the "measurement interval". The inputs are then primed ready for the measurement. Positive going edges on A and B, before or after the priming, will be needed to restore the original condition.

Priming can be easily accomplished using the circuit in Figure 15.



DEVICE	TYPE
1	CD4049B Inverting Buffer
2	CD4070B Exclusive - OR

FIGURE 15. PRIMING CIRCUIT, SIGNALS A & B BOTH HIGH OR LOW

Following the priming procedure (when in single event or 1 cycle range) the device is ready to measure one (only) event.

When timing repetitive signals, it is not necessary to "prime" the ICM7226A and ICM7226B as the first alternating signal states automatically prime the device. See Figure 1.

During any time interval measurement cycle, the ICM7226A and ICM7226B requires 200ms following B going low to update all internal logic. A new measurement cycle will not take place until completion of this internal update time.

Oscillator Considerations

The oscillator is a high gain complementary FET inverter. An external resistor of 10MΩ or 22MΩ should be connected between the oscillator input and output to provide biasing. The oscillator is designed to work with a parallel resonant 10MHz quartz crystal with a static capacitance of 22pF and a series resistance of less than 35Ω. Among suitable crystals is the 10MHz CTS KNIGHTS ISI-002

For a specific crystal and load capacitance, the required g_M can be calculated as follows:

$$g_M = \omega^2 C_{IN} C_{OUT} R_S \left(1 + \frac{C_O}{C_L}\right)^2$$

where $C_L = \left(\frac{C_{IN} C_{OUT}}{C_{IN} + C_{OUT}}\right)$

C_O = Crystal Static Capacitance

R_S = Crystal Series Resistance

C_{IN} = Input Capacitance

C_{OUT} = Output Capacitance

$\omega = 2\pi f$

The required g_M should not exceed 50% of the g_M specified for the ICM7226 to insure reliable startup. The OSCillator INPUT and OUTPUT pins each contribute about 4pF to C_{IN} and C_{OUT}. For maximum stability of frequency, C_{IN} and C_{OUT} should be approximately twice the specified crystal static capacitance.

In cases where non decade prescalers are used, it may be desirable to use a crystal which is neither 10MHz or 1MHz. In that case both the multiplex rate and time between measurements will be different. The multiplex rate is

$f_{MUX} = \frac{f_{OSC}}{2 \times 10^4}$ for 10MHz mode and $f_{MUX} = \frac{f_{OSC}}{2 \times 10^3}$ for the 1MHz mode. The time between measurements is $\frac{2 \times 10^6}{f_{OSC}}$ in the 10MHz mode and $\frac{2 \times 10^5}{f_{OSC}}$ in the 1MHz mode.

The buffered oscillator output should be used as an oscillator test point or to drive additional logic; this output will drive one low power Schottky TTL load. When the buffered oscillator output is used to drive CMOS or the external oscillator input, a 10kΩ resistor should be added from the buffered oscillator output to V_{DD}.

The crystal and oscillator components should be located as close to the chip as practical to minimize pickup from other signals. Coupling from the EXTERNAL OSCILLATOR INPUT to the OSCILLATOR OUTPUT or INPUT can cause undesirable shifts in oscillator frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Display Considerations

The display is multiplexed at a 500Hz rate with a digit time of 244µs. An interdigit blanking time of 6µs is used to prevent display ghosting (faint display of data from previous digit superimposed on the next digit). Leading zero blanking is provided, which blanks the left hand zeroes after decimal point or any non zero digits. Digits to the right of the decimal point are always displayed. The leading zero blanking will be disabled when the Main Counter overflows.

The ICM7226A is designed to drive common anode LED displays at peak current of 25mA/segment, using displays with V_F = 1.8V at 25mA. The average DC current will be greater than 3mA under these conditions. The ICM7226B is designed to drive common cathode displays at peak current of 15mA/segment using displays with V_F = 1.8V at 15mA. Resistors can be added in series with the segment drivers to limit the display current, if required. The Typical Performance Curves show the digit and segment currents as a function of output voltage for common anode and common cathode drivers.

To increase the light output from the displays, V_{DD} may be increased to 6.0V. However, care should be taken to see that maximum power and current ratings are not exceeded.

The SEGment and Digit outputs in both the ICM7226A and ICM7226B are not directly compatible with either TTL or CMOS logic. Therefore, level shifting with discrete transistors may be required to use these outputs as logic signals. External latching should be down on the leading edge of the digit signal.

Accuracy

In a Universal Counter, crystal drift and quantization errors cause errors. In **frequency**, **period** and **time interval** modes, a signal derived from the oscillator is used in either the Reference Counter or Main Counter, and in these modes, an error in the oscillator frequency will cause an identical error in the measurement. For instance, an oscillator temperature coefficient of 20ppm/°C will cause a measurement error of 20ppm/°C.

In addition, there is a quantization error inherent in any digital measurement of ±1 count. Clearly this error is reduced by displaying more digits. In the **frequency** mode maximum accuracy is obtained with high frequency inputs and in **period** mode maximum accuracy is obtained with low frequency inputs. As can be seen in Figure 16. In **time interval** measurements there can be an error of 1 count per interval. As a result there is the same inherent accuracy in all ranges as shown in Figure 17. In **frequency ratio** measurement can be more accurately obtained by averaging over more cycles of INPUT B as shown in Figure 18.

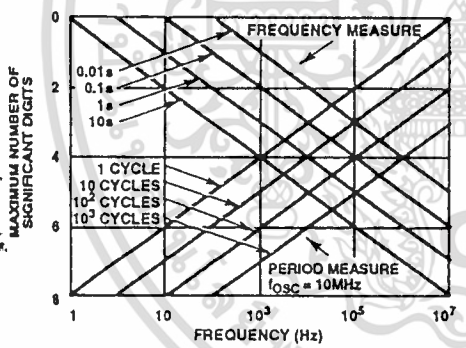


FIGURE 16. MAXIMUM ACCURACY OF FREQUENCY AND PERIOD MEASUREMENTS DUE TO LIMITATIONS OF QUANTIZATION ERRORS

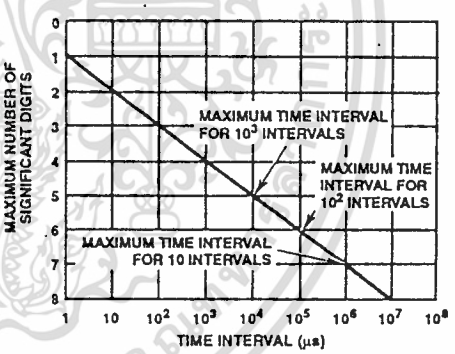


FIGURE 17. MAXIMUM ACCURACY OF TIME INTERVAL MEASUREMENT DUE TO LIMITATIONS OF QUANTIZATION ERRORS

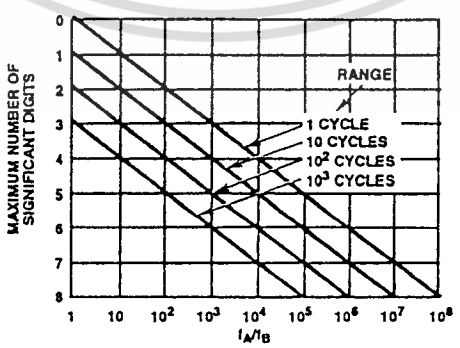
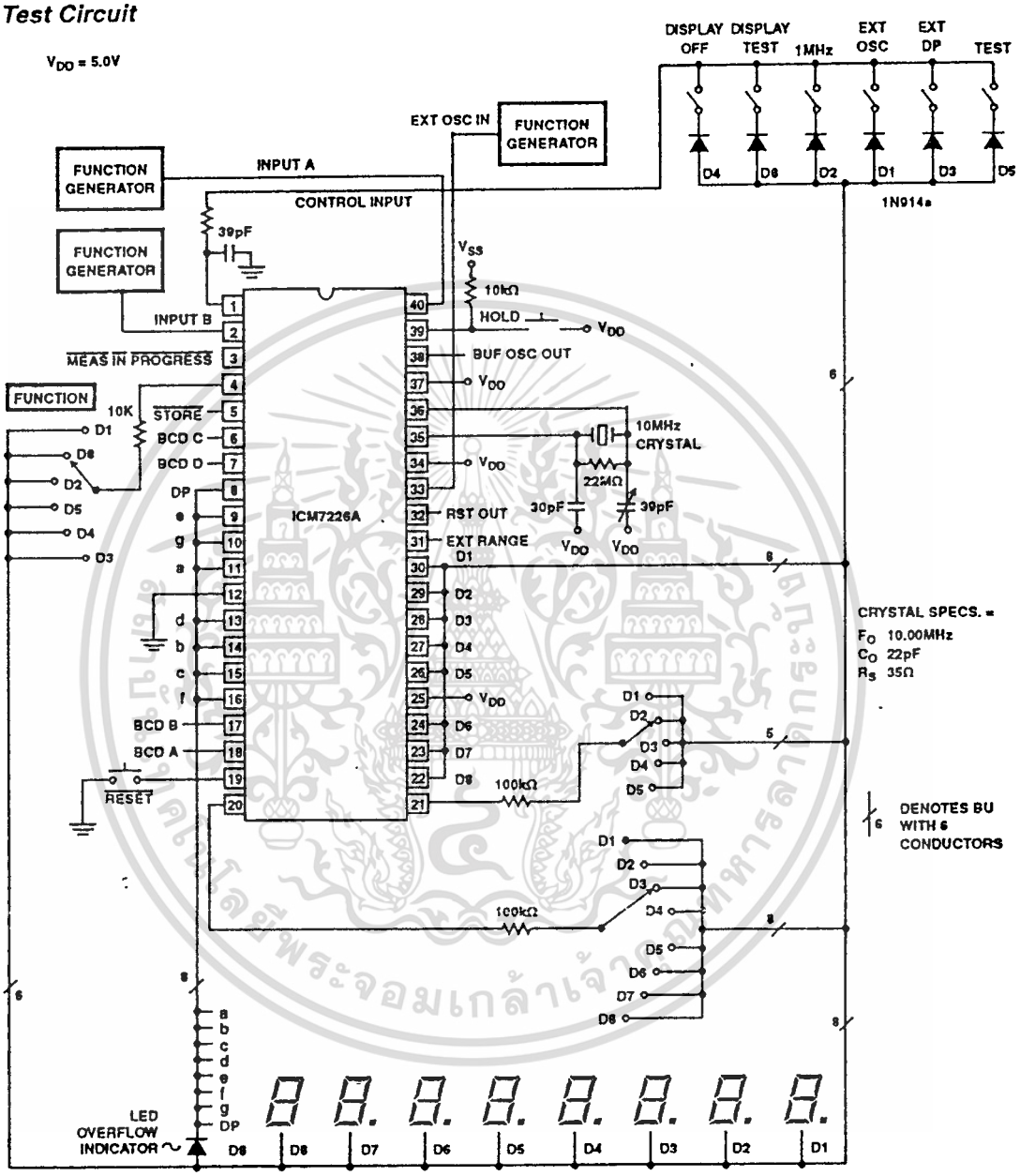


FIGURE 18. MAXIMUM ACCURACY FOR FREQUENCY RATIO MEASUREMENT DUE TO LIMITATION OF QUANTIZATION ERRORS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuit



LED OVERFLOW INDICATOR CONNECTIONS

DEVICE	CATHODE	ANODE
ICM7226A	DP	D8
ICM7226B	D8	DP

NOTE: Overflow will be indicated on the decimal point output of digit 7.

FIGURE 19.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

The ICM7226 has been designed as a complete stand alone Universal Counter, or used with prescalers and other circuitry in a variety of applications. Since INPUT A and INPUT B are digital inputs, additional circuitry will be required in many applications, for input buffering, amplification, hysteresis, and level shifting to obtain the required digital voltages. For many applications a FET source follower can be used for input buffering, and an ECL 10116 line receiver can be used for amplification and hysteresis to obtain high impedance input, sensitivity and bandwidth. However, cost and complexity of this circuitry can vary widely, depending upon the sensitivity and bandwidth required. When TTL prescalers or input buffers are used, a pull up resistors to V_{DD} should be used to obtain optimal voltage swing at INPUTS A and B.

If prescalers aren't required, the ICM7226 can be used to implement a minimum component Universal Counter as shown in Figure 20.

For input frequencies up to 40MHz, the circuit shown in Figure 21 can be used to implement a **frequency and period counter**. To obtain the correct value when measuring frequency and period, it is necessary to divide the 10MHz oscillator frequency down to 2.5MHz. In doing this the time between measurements is lengthened to 800ms and the display multiplex rate is decreased to 125Hz.

If the input frequency is prescaled by ten, the oscillator frequency can remain at either 10MHz or 1MHz, but the decimal point must be moved. Figure 22 shows use of a ÷10 prescaler in frequency counter mode. Additional logic has been added to enable the ICM7226 to count the input directly in period mode for maximum accuracy.

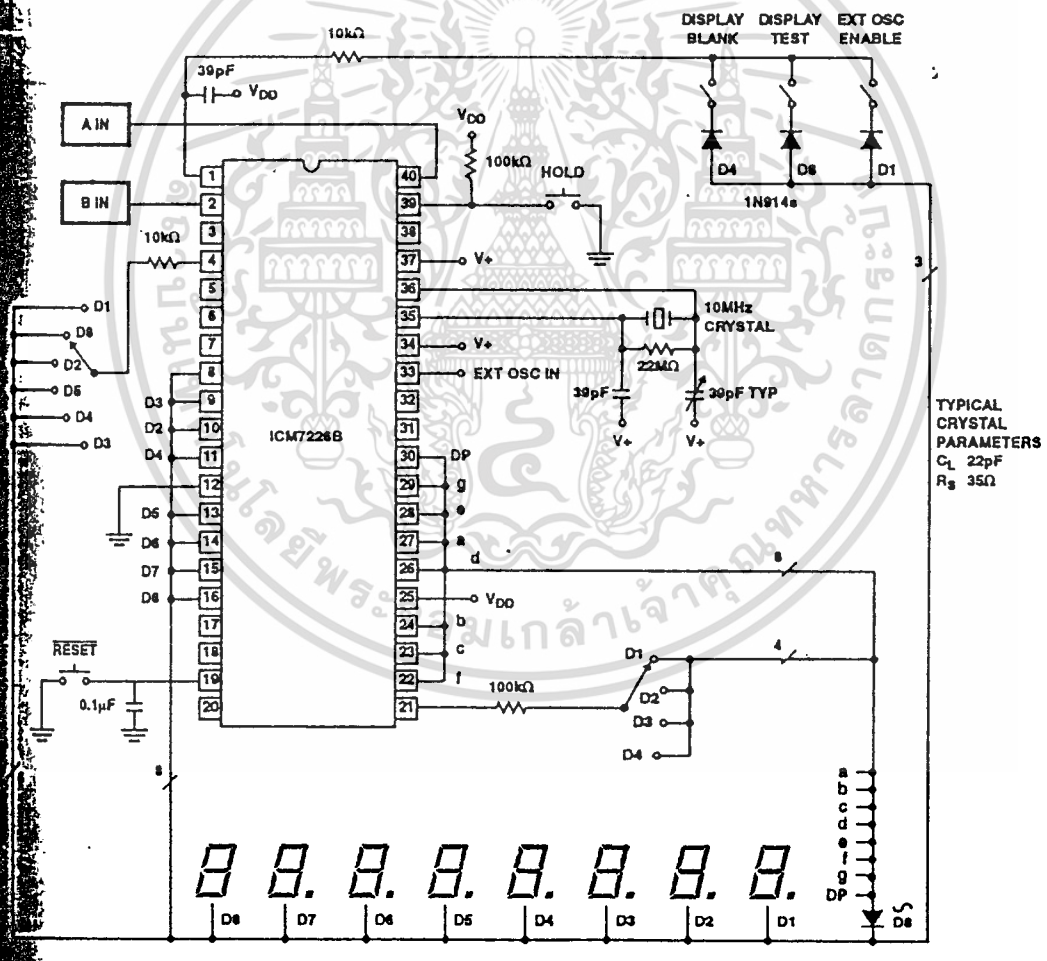


FIGURE 20. 10MHz UNIVERSAL COUNTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

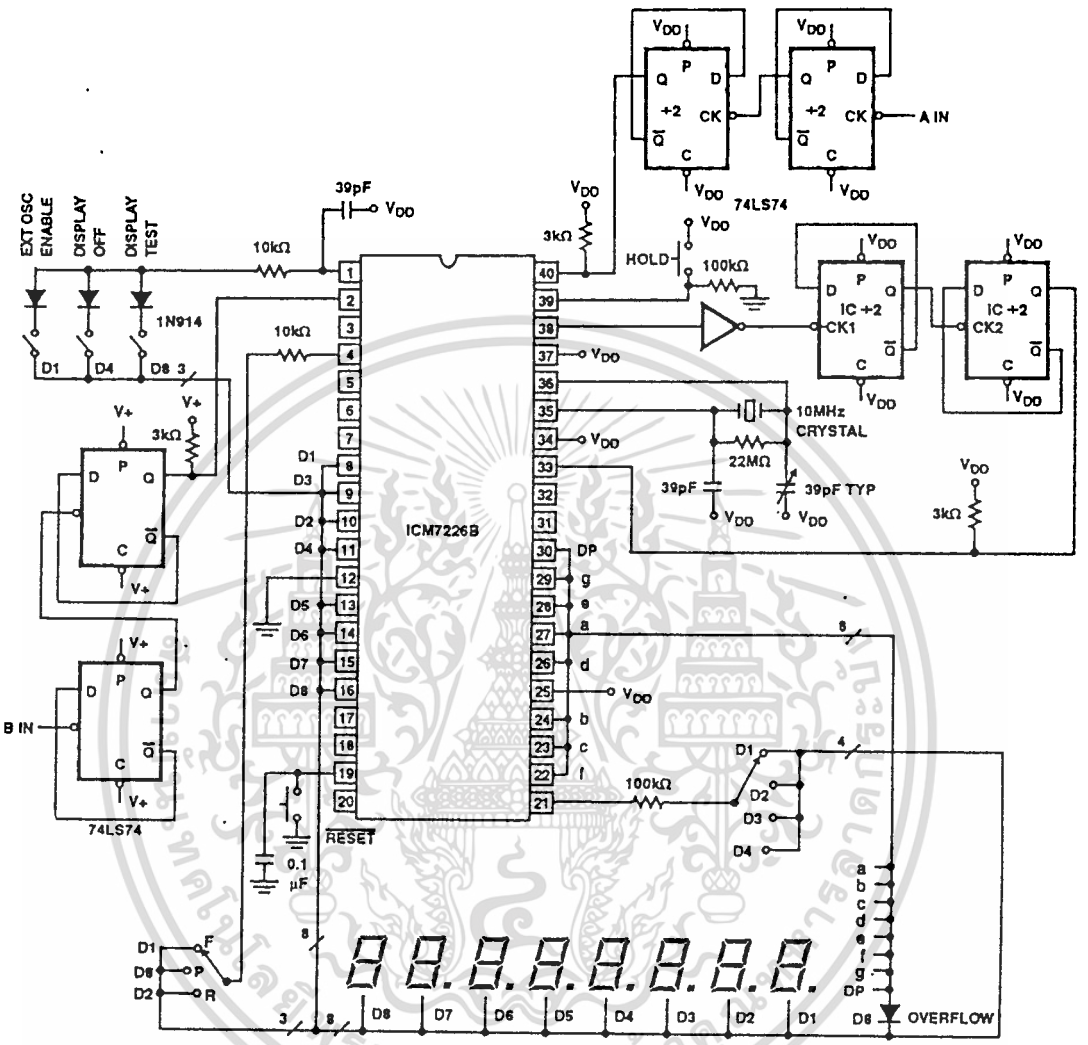


FIGURE 21. 40MHz FREQUENCY, PERIOD COUNTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

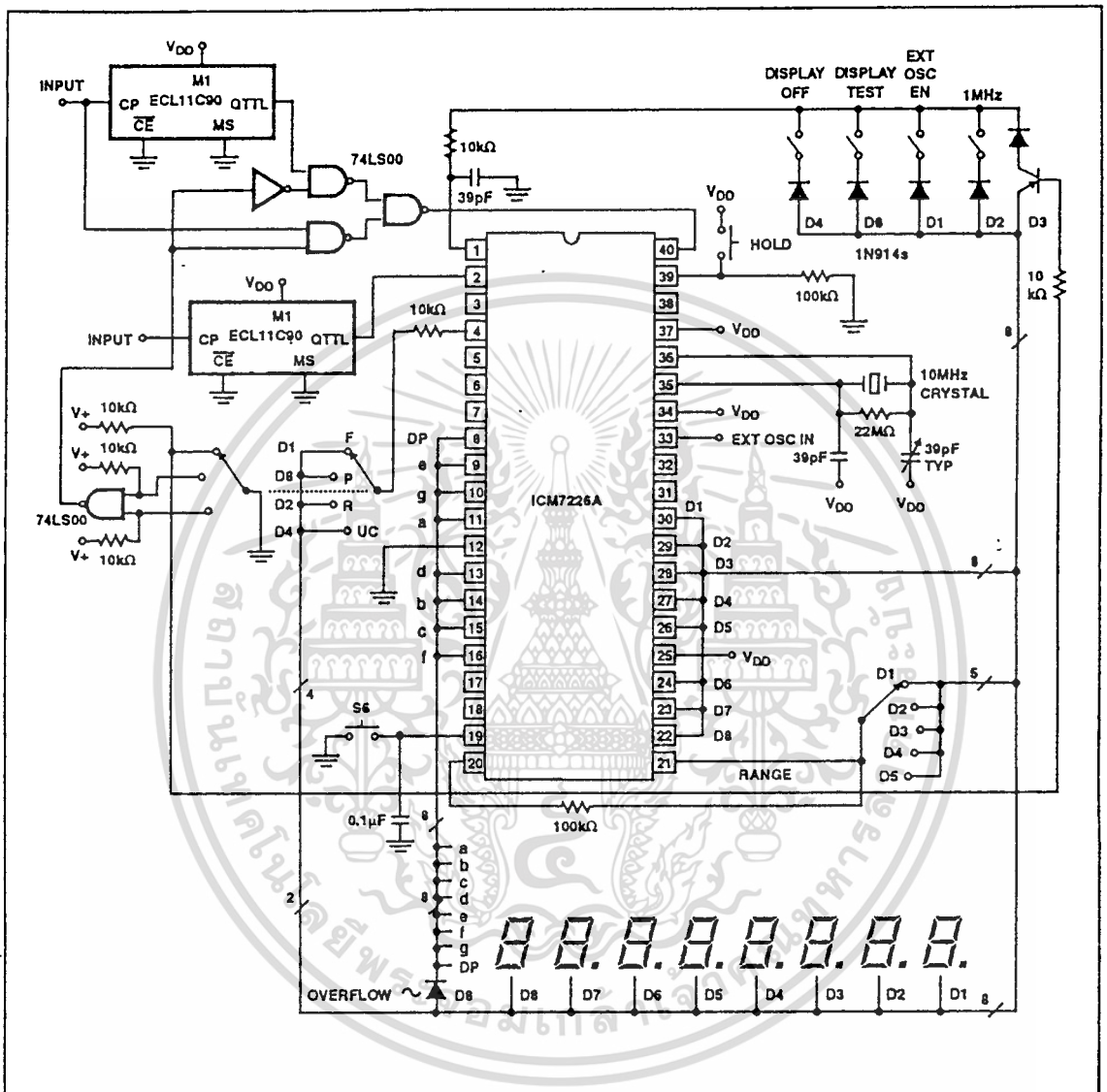


FIGURE 22. 100MHz MULTI-FUNCTION COUNTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

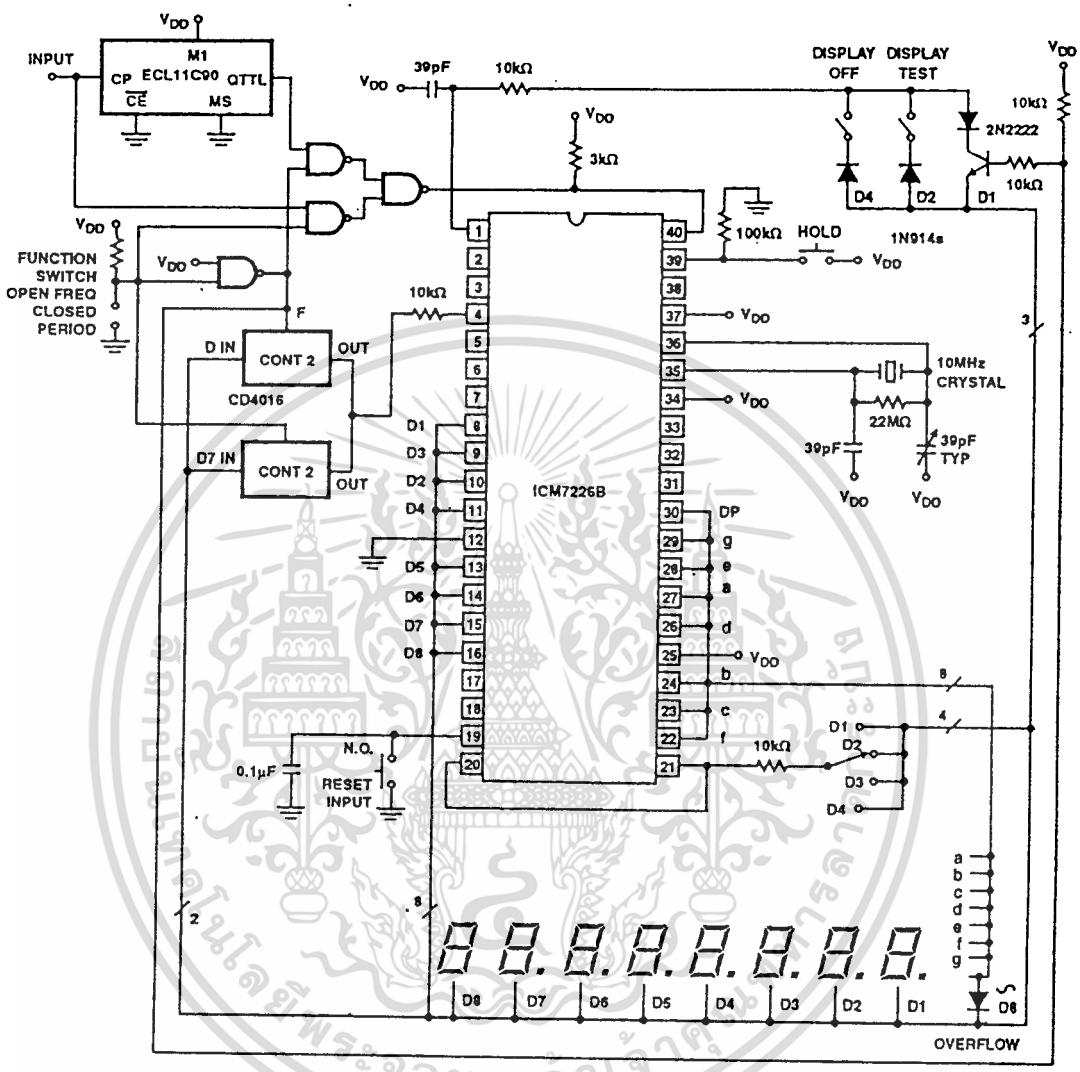


FIGURE 23. 100MHz FREQUENCY, PERIOD COUNTER

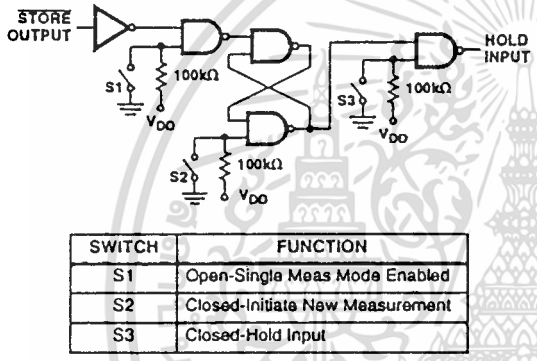
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 23 shows the use of a CD4016 analog multiplexer to multiplex the digital outputs back to the FUNCTION input. Since the CD4016 is a digitally controlled analog transmission gate, no level shifting of the digit output is required. CD4051's or CD4052's could also be used to select the proper inputs for the multiplexed input on the ICM7226 from 2 or 3 bit digital inputs. These analog multiplexers may also be used in systems in which the mode of operation is controlled by a microprocessor rather than directly from front panel switches. TTL multiplexers such as the 74LS153 or 74LS251 may also be used, but some additional circuitry will be required to convert the digit output to TTL compatible logic levels.

The circuit shown in Figure 24 can be used in any of the circuit applications shown to implement a single measurement mode of operation. This circuit uses the $\overline{\text{STORE}}$ output to put the ICM7226 into a hold mode. The HOLD input can also be used to reduce the time between measurements. The circuit shown in Figure 25 puts a short pulse into the HOLD input a short time after STORE goes low. A new measurement will be initiated at the end of the pulse on the HOLD input. This circuit reduces the time between measurements to about 40ms from 200ms; use of the circuit shown in Figure 25 on the circuit shown in Figure 21 will reduce the time between measurements from 800ms to about 160ms.

Using LCD Display

Figure 26 shows the ICM7226 being interfaced to LCD displays, by using its BCD outputs and 8 digit lines to drive two ICM7211 display drivers.



SWITCH	FUNCTION
S1	Open-Single Meas Mode Enabled
S2	Closed-Initiate New Measurement
S3	Closed-Hold Input

FIGURE 24. SINGLE MEASUREMENT CIRCUIT FOR USE WITH ICM7226

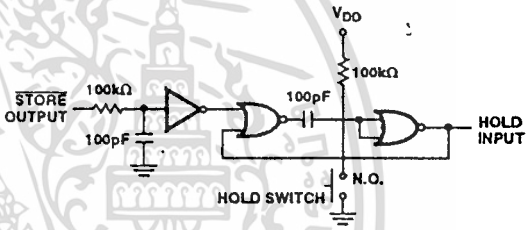


FIGURE 25. CIRCUIT FOR REDUCING TIME BETWEEN MEASUREMENTS

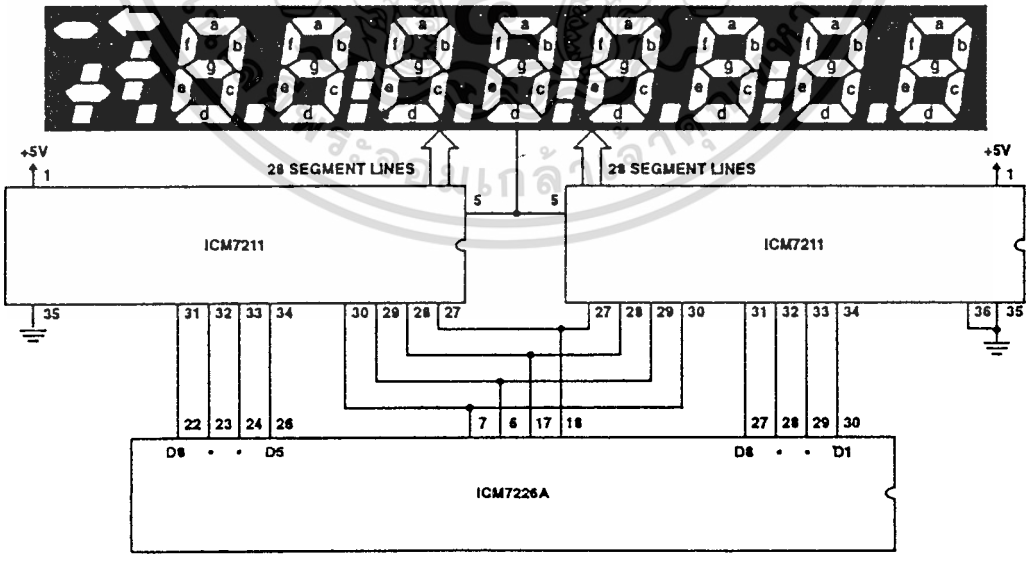


FIGURE 26. 10MHz UNIVERSAL COUNTER SYSTEM WITH LCD DISPLAY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

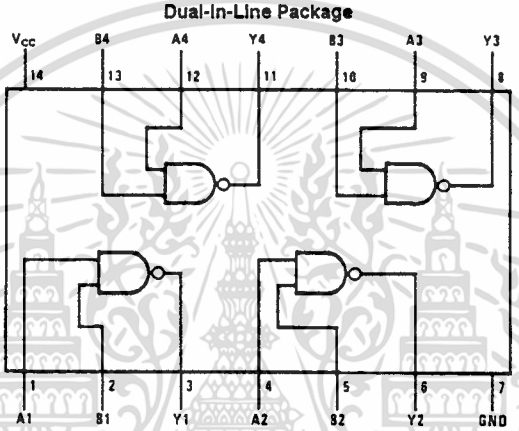
DM54LS00/DM74LS00 Quad 2-Input NAND Gates

General Description

This device contains four independent gates each of which performs the logic NAND function.

Connection Diagram

Dual-In-Line Package



TL/F/6439–1

Order Number DM54LS00J, DM74LS00M or DM74LS00N
See NS Package Number J14A, M14A or N14A

Function Table

$Y = \overline{AB}$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = High Logic Level
L = Low Logic Level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

Specifications for Military/Aerospace products are not contained in this datasheet. Refer to the associated reliability electrical test specifications document.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter	DM54LS00			DM74LS00			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			−0.4			−0.4	mA
I_{OL}	Low Level Output Current			4			8	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IH} = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−0.36	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I_{CCH}	Supply Current with Outputs High	V_{CC} = Max			0.8	1.6	mA
I_{CCL}	Supply Current with Outputs Low	V_{CC} = Max			2.4	4.4	mA

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	R_L = 2 kΩ				Units
		C_L = 15 pF		C_L = 50 pF		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	3	10	4	15	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	3	10	4	15	ns

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC390

Dual 4-Stage Binary Ripple Counter with ÷2 and ÷5 Sections

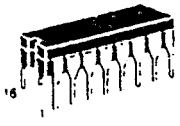
High-Performance Silicon-Gate CMOS

The MC54/74HC390 is identical in pinout to the LS390. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

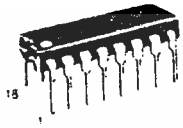
This device consists of two independent 4-bit counters, each composed of a divide-by-two and a divide-by-five section. The divide-by-two and divide-by-five counters have separate clock inputs, and can be cascaded to implement various combinations of ÷2 and/or ÷5 up to a ÷100 counter.

Flip-flops internal to the counters are triggered by high-to-low transitions of the clock input. A separate, asynchronous reset is provided for each 4-bit counter. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used as clocks or strobes except when gated with the Clock of the HC390.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 244 FETs or 61 Equivalent Gates



J SUFFIX
CERAMIC
CASE 620-09



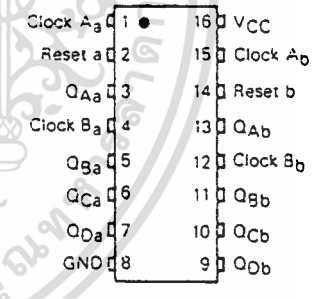
N SUFFIX
PLASTIC
CASE 648-08

ORDERING INFORMATION

MC74HCXXXN	Plastic
MC54HCXXXJ	Ceramic

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 6.

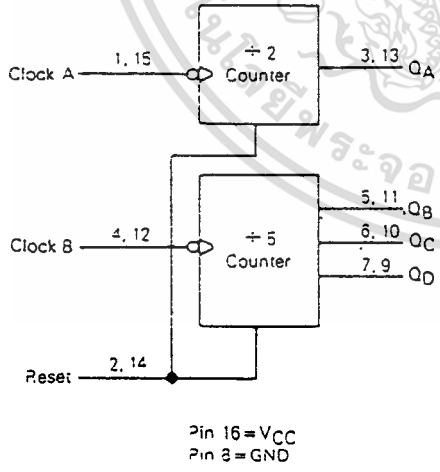
PIN ASSIGNMENT



FUNCTION TABLE

Clock A	Clock B	Reset	Action
X	X	H	Reset ÷2 and ÷5
↘	X	L	Increment ÷2
X	↘	L	Increment ÷5

LOGIC DIAGRAM



Pin 16 = V_{CC}
Pin 8 = GND

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP) (Ceramic DIP)	260 300	°C

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C

For high frequency or heavy load considerations, see Chapter 4.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $GND \le (V_{in} \text{ or } V_{out}) \le V_{CC}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit 25°C to −55°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V; $\|I_{out}\| \le 20\ \mu A$	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V; $\|I_{out}\| \le 20\ \mu A$	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL}; $\|I_{out}\| \le 20\ \mu A$	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL}; $\|I_{out}\| \le 4.0$ mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\| \le 5.2$ mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL}; $\|I_{out}\| \le 20\ \mu A$	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL}; $\|I_{out}\| \le 4.0$ mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\| \le 5.2$ mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND; I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 3)	2.0	5.4	4.4	3.6	MHz
		4.5	27	22	18	
		6.0	32	26	21	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock A to QA (Figures 1 and 3)	2.0	120	150	180	ns
		4.5	24	30	36	
		6.0	20	26	31	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock A to QC (QA connected to Clock B) (Figures 1 and 3)	2.0	290	365	435	ns
		4.5	58	73	87	
		6.0	49	62	74	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock B to QB (Figures 1 and 3)	2.0	130	165	195	ns
		4.5	26	33	39	
		6.0	22	28	33	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock B to QC (Figures 1 and 3)	2.0	185	230	280	ns
		4.5	37	46	56	
		6.0	31	39	48	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock B to QD (Figures 1 and 3)	2.0	130	165	195	ns
		4.5	26	33	39	
		6.0	22	28	33	
t_{PHL}	Maximum Propagation Delay, Reset to any Q (Figures 2 and 3)	2.0	165	205	250	ns
		4.5	33	41	50	
		6.0	28	35	43	
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 3)	2.0	75	95	110	ns
		4.5	15	19	22	
		6.0	13	16	19	
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Counter) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ For load considerations, see Chapter 4 subject listing on page 4-2.	Typical @ 25°C, V_{CC} = 5.0 V	
		35	pF

TIMING REQUIREMENTS (Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{rec}	Minimum Recovery Time, Reset Inactive to Clock A or Clock B (Figure 2)	2.0	50	65	75	ns
		4.5	10	13	15	
		6.0	9	11	13	
t_w	Minimum Pulse Width, Clock A, Clock B (Figure 1)	2.0	80	100	120	ns
		4.5	16	20	24	
		6.0	14	17	20	
t_w	Minimum Pulse Width, Reset (Figure 2)	2.0	125	155	190	ns
		4.5	25	31	38	
		6.0	21	26	32	
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0	1000	1000	1000	ns
		4.5	500	500	500	
		6.0	400	400	400	

NOTE: Information on typical parametric values can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

INPUTS

CLOCK A (PINS 1, 15) and CLOCK B (PINS 4, 15) — Clock A is the clock input to the ÷ 2 counter; Clock B is the clock input to the ÷ 5 counter. The internal flip-flops are toggled by high-to-low transitions of the clock input.

CONTROL INPUTS

RESET (PINS 2, 14) — Asynchronous reset. A high at the Reset input prevents counting, resets the internal flip-flops, and forces Q_A through Q_D low.

OUTPUTS

Q_A (PINS 3, 13) — Output of the ÷ 2 counter.

Q_B, Q_C, Q_D (PINS 5, 6, 7, 9, 10, 11) — Outputs of the ÷ 5 counter. Q_D is the most significant bit. Q_A is the least significant bit when the counter is connected for BCD output as in Figure 4. Q_B is the least significant bit when the counter is operating in the bi-quinary mode as in Figure 5.

SWITCHING WAVEFORMS

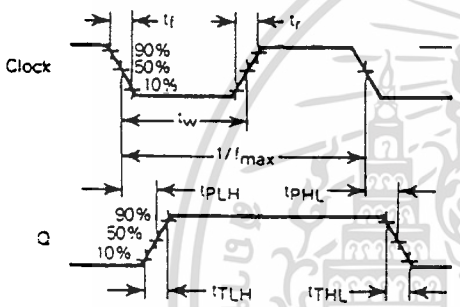


Figure 1.

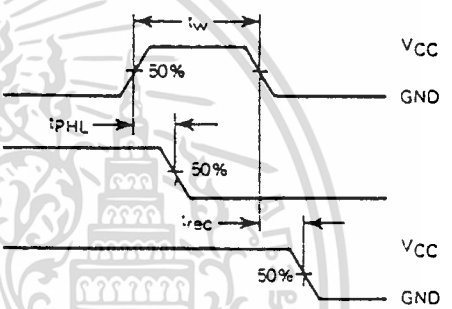
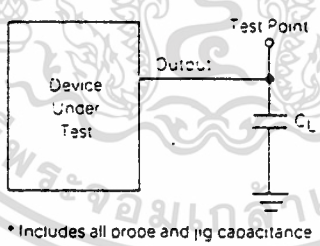


Figure 2.

TEST CIRCUIT

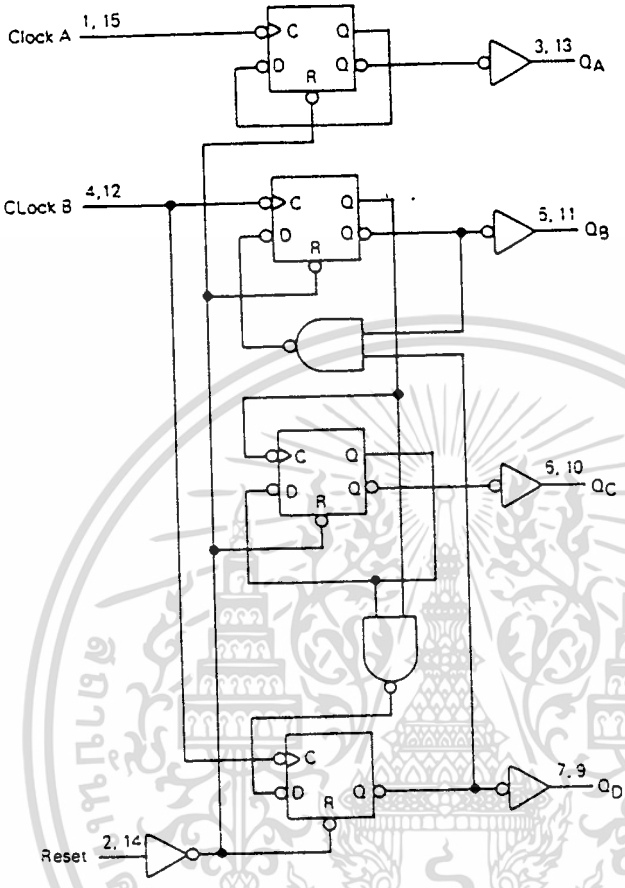


* Includes all probe and jig capacitance

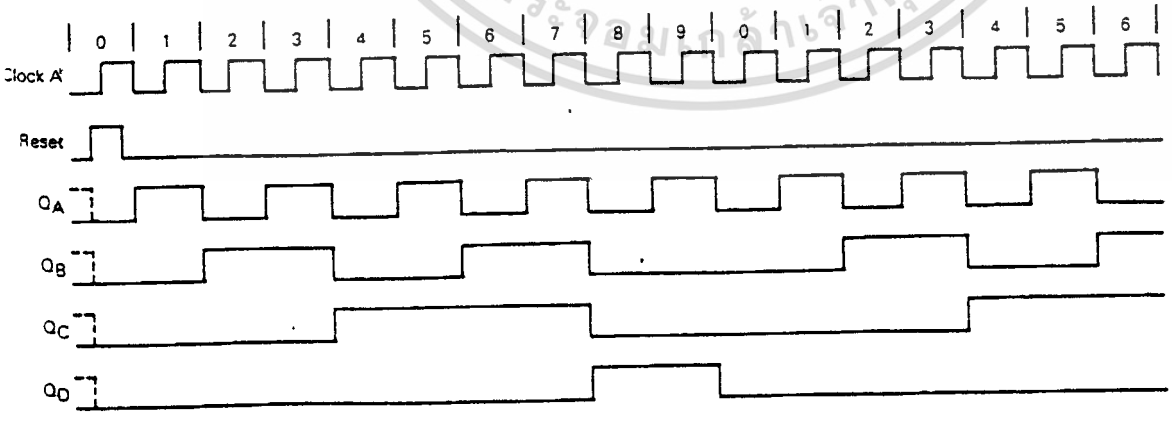
Figure 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPANDED LOGIC DIAGRAM



TIMING DIAGRAM
(Q_A Connected to Clock B)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

Each half of the MC54/74HC390 has independent ÷2 and ÷5 sections (except for the Reset function). The ÷2 and ÷5 counters can be connected to give BCD or bi-quinary (2-5) count sequences. If output Q_A is connected to the Clock B input (Figure 4), a decade divider with BCD output is obtained. The function table for the BCD count sequence is given in Table 1.

To obtain a bi-quinary count sequence, the input signal is connected to the Clock B input, and output Q_D is connected to the Clock A input (Figure 5). Q_A provides a 50% duty cycle output. The bi-quinary count sequence function table is given in Table 2.

Table 1.
BCD Count Sequence*

Count	Output Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

*Q_A connected to Clock B input.

Table 2.
Bi-Quinary Count Sequence**

Count	Output Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L

**Q_D connected to Clock A input.

CONNECTION DIAGRAMS

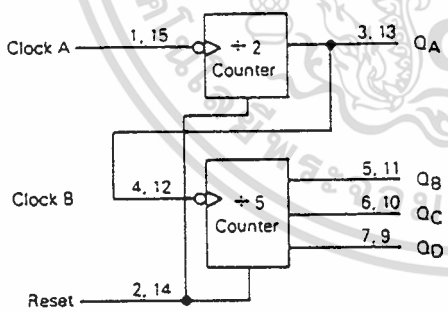


Figure 4. BCD Count

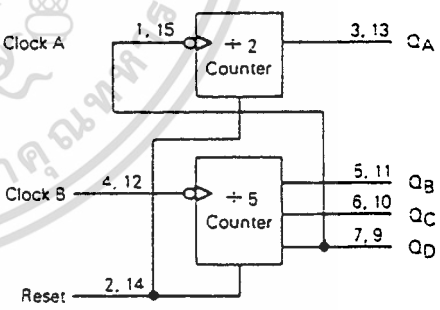


Figure 5. Bi-Quinary Count

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC54/74HC02A

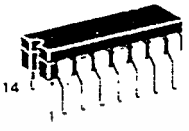
Advanced Information

Quad 2-Input NOR Gate

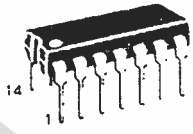
High-Performance Silicon-Gate CMOS

The MC54/74HC02A is identical in pinout to the LS02. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2.0 to 6.0 V
- Low Input Current: 1.0 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 40 FETs or 10 Equivalent Gates
- Improvements over HC02
  - Improved Propagation Delays
  - 50% Lower Quiescent Power
  - Improved Input Noise and Latchup Immunity



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

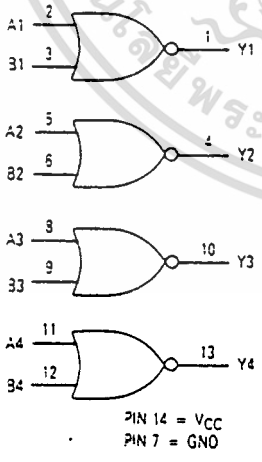
D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

MC74HCXXAN	Plastic
MC54HCXXAJ	Ceramic
MC74HCXXAD	SOIC

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 6.

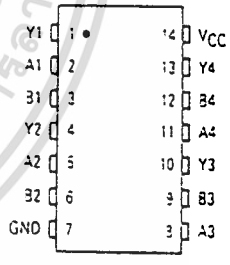
LOGIC DIAGRAM



$Y = \overline{A + B}$

PIN 14 = V_{CC}
PIN 7 = GND

PIN ASSIGNMENT



FUNCTION TABLE

Inputs		Output
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

This document contains information on a new product. Specifications and information herein are subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP SOIC Package	750 500	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP or SOIC Package) (Ceramic DIP)	 260 300	°C

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V V_{CC} = 4.5 V V_{CC} = 6.0 V	0 0 0	1000 500 400	ns

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions		V_{CC} V	Guaranteed Limit 25°C to −55°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA		2.0 4.5 6.0	1.5 3.15 4.2	1.5 3.15 4.2	1.5 3.15 4.2	V
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA		2.0 4.5 6.0	0.5 1.35 1.8	0.5 1.35 1.8	0.5 1.35 1.8	V
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA		2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V_{in} = V_{IH} or V_{IL}	$\|I_{out}\|$ ≤ 4.0 mA $\|I_{out}\|$ ≤ 5.2 mA	4.5 6.0	3.98 5.48	3.84 5.34	3.7 5.2	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA		2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V_{in} = V_{IH} or V_{IL}	$\|I_{out}\|$ ≤ 4.0 mA $\|I_{out}\|$ ≤ 5.2 mA	4.5 6.0	0.26 0.26	0.33 0.33	0.4 0.4	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND		6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} = GND I_{out} = 0 μA		6.0	1.0	10	40	μA

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input t_r = t_f = 6.0 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Input A or B to Output Y (Figures 1 and 2)	2.0	80	100	120	ns
		4.5	16	20	24	
		6.0	14	17	20	
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 2)	2.0	75	95	110	ns
		4.5	15	19	22	
		6.0	13	16	19	
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

C_{PD}	Power Dissipation Capacitance (Per Gate) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$	Typical @ 25°C, V_{CC} = 5.0 V	
		22	pF

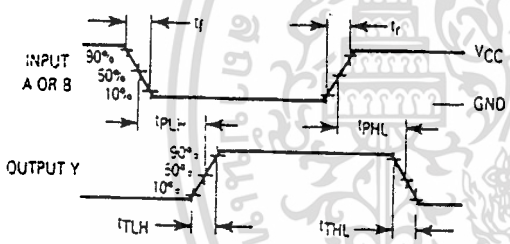


Figure 1. Switching Waveforms

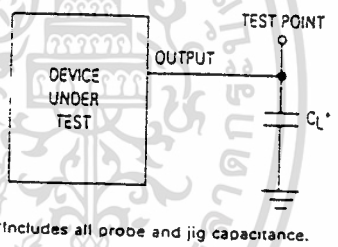
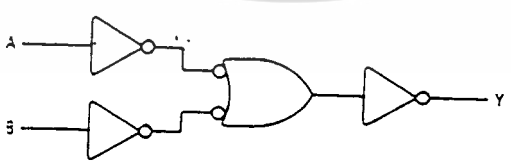


Figure 2. Test Circuit

EXPANDED LOGIC DIAGRAM
(¼ of the Device)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้