ระบบเก็บภาพดิจิตอล

VIDEO DIGITIZER SYSTEM

โดย

นายศักดินัน ไชยรัตน์

นายสมยศ พรรณสกุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบเก็บภาพดิจิตอล

VIDEO DIGITIZER SYSTEM

โดย

นายศักดินัน ไชยรัตน์ รหัสประจำตัว 37.013267

นายสมยศ พรรณสกุล รหัสประจำตัว 37.013269

อาจารย์ที่ปรึกษา

ดร. สุริภณ สมควรพาณิชย์

วัน เดือน ปี -1 ต.ค. 2541

เลขทะเบียน 038368

เลขเรียกหนังสือ T 39.34 9 ศ3:22

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038368

ปริญญานิพนธ์ปีการศึกษา 2539
ภาควิชาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง ระบบเก็บภาพดิจิตอล

ผู้จัดทำ

1. นายศักดินัน ไชยรัตน์
2. นายสมยศ พรรณสกุล

______________________อาจารย์ที่ปรึกษา
(ดร.สุริภณ สมควรพาณิชย์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบเก็บภาพดิจิตอล

นายศักดินัน ไชยรัตน์
นายสมยศ พรรณสกุล
ดร.สุริภณ สมควรพาณิชย์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2539

บทคัดย่อ

ในปัจจุบันมีงานหลายชิ้น ที่นำเอาสัญญาณแบบอนาล็อกมาแปลงให้เป็นข้อมูลทางดิจิตอล มีหลายตัวอย่างในการใช้งาน เช่น งานทางด้านอิมเมจ(Image) งานทางด้านดาวเทียม HDTV เรดาห์ (RADAR) ระบบการมองเห็นของหุ่นยนต์ เป็นต้น อีกทั้งเมื่อนำเอาสัญญาณอนาล็อกมาใช้ในการนำเสนอข้อมูลสัญญาณภาพ จะพบปัญหาในการทำงานต่างๆเช่น การใช้ฟังก์ชั่นในการทำงานซูมอิน (Zoom in) ซูมเอาท์ (Zoom out) การหยุดภาพ ด้วยแนวคิดเหล่านี้จึงทำให้เกิดโครงงานนี้ขึ้นมา

ในอดีตนั้นหน่วยความจำและอุปกรณ์ที่ใช้เปลี่ยนสัญญาณจากอนาล็อกเป็นดิจิตอลนั้นทำงานได้ช้าและมีราคาแพงมาก ปัจจุบันนี้เทคโนโลยีสารกึ่งตัวนำได้พัฒนาขึ้นมาก และราคาถูกลง ส่วนหนึ่งของโครงงานประกอบด้วย ไอซี CA3318, 628HM128 เป็นต้น CA3318 เป็นแฟลชเอดีซี (flash ADC) โครงงานนี้จะนำสัญญาณวีดีโอ (video signal) เปลี่ยนเป็นสัญญาณดิจิตอล โดยไอซี CA3318 และส่งไปยังหน่วยความจำ (628HM128) เพื่อเก็บข้อมูลภาพเป็นการชั่วคราว หลังจากนั้นก็นำข้อมูลทางดิจิตอลมาดัดแปลงหรือแก้ไขในคอมพิวเตอร์ต่อไป ซึ่งโครงงานนี้ออกแบบให้ใช้ได้กับไมโครคอมพิวเตอร์แบบพีซี (PC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VIDEO DIGITIZER SYSTEM

Mr. Sakdinan Chairat

Mr. Somyod Pansakum

Dr. Suriphon Somkhunpanich Advisor

1996

ABSTRACT

There are many applications of converting analog signal to digital signal for example; Image Processing, Satellite, HDTV, RADAR, Robotic Vision etc. Furthermore the digital information can be stored and retrieved to process. Other when presented the video signal has a problem i.e. function zoom in, zoom out, freeze. The concept is used to apply this project.

Many years ago, the memory and analog to digital converter devices were very slow and expensive. Now, semiconductor technology is widely developed, the cost of devices were lower. The part of project use the CA3318, 628HM128 ect. CA3318 is flash ADC (analog to digital converter). That is designed for convert video signal to digital by CA3318 and pass to IC 628HM128 for temporary stored. Then the project can be accompanied to general microcomputer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
Abstract	II
สารบัญตาราง	V
สารบัญรูป	VI
บทที่ 1 บทนำ	1
1.1 โครงสร้างการทำงาน	2
1.2 วัตถุประสงค์ของโครงงาน	3
1.3 เนื้อหาของปริญญานิพนธ์	3
1.4 ขอบเขตและข้อจำกัดของโครงงาน	3
บทที่ 2 ความรู้เกี่ยวกับทฤษฎีภาพและ แฟลช A/D	4
2.1 ทฤษฎีเบื้องต้นเกี่ยวกับสัญญาณภาพ	4
2.2 สัญญาณซิงค์ในแนวนอนและแนวตั้ง	7
2.3 สัญญาณแบลงค์ในแนวนอนและแนวตั้ง	8
2.4 สัญญาณภาพรวม	8
2.5 พื้นฐานการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช	9
บทที่ 3 การเก็บสัญญาณภาพทางดิจิตอลและรายละเอียดอุปกรณ์	12
3.1 บทนำ	12
3.2 แฟลช A/D เบอร์ CA3318	14
3.3 ไอซี D/A เบอร์ DAC0800	17
3.4 H68128 สแตติกแรมความเร็วสูง	18
3.5 ไอซีแยกสัญญาณซิงค์ เบอร์ LM1881	20
บทที่ 4 ระบบเก็บภาพดิจิตอล	23
4.1 วงจรภาคอินพุท	24
4.2 วงจรภาคหน่วยความจำภาพ	24
4.3 วงจรภาคแยกซิงค์	29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 วงจรภาควงจรนับ 31
4.5 วงจรภาคเลือกแอดเดรส 33
4.6 วงจรภาคเอาท์พุท 35
4.7 วงจรภาคควบคุมการเขียนข้อมูลภาพ 37
4.8 วงจรภาคอินเทอร์เฟส 39

บทที่ 5 การเขียนโปรแกรมและการใช้งาน 42
5.1 การเขียนโปรแกรม 42
5.2 การใช้งานโปรแกรม 44

บทที่ 6 การทดลองและผลการทดลอง 49
6.1 การทดลอง 49

บทที่ 7 บทสรุป 58
7.1 สรุปผลโครงงาน 58
7.2 แนวทางในการพัฒนา 59

ภาคผนวก ก. วงจรระบบเก็บภาพดิจิตอล
ภาคผนวก ข. รายละเอียดไอซีที่ใช้ในวงจร
ภาคผนวก ค. โปรแกรมที่ใช้งาน
กิติกรรมประกาศ
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 ค่าของเอาท์พุทเปลี่ยนแปลงไปตามช่วงแรงดันอนาลอกอินพุท	10
ตารางที่ 3.1 แสดงลักษณะของขาไอซี H628128	19
ตารางที่ 3.2 การใช้งานและขาต่างๆ	20
ตารางที่ 3.3 แสดงโหมดการทำงานของไอซี H628128	20
ตารางที่ 6.1 แสดงค่าความถี่ที่กำหนดแอดเดรส (CA0-CA15)	55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 1.1 โครงสร้างการทำงาน	2
รูปที่ 2.1 การสแกนในแนวนอน	4
รูปที่ 2.2 การสแกนในแนวสลับ	5
รูปที่ 2.3 รูปร่างของสัญญาณซิงค์ที่ใช้ในการส่งโทรทัศน์	7
รูปที่ 2.4 แสดงลักษณะของสัญญาณภาพ	9
รูปที่ 2.5 วงจรพื้นฐานของการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบขนาน(แฟลช)	10
รูปที่ 3.1 แสดงส่วนของภาพที่ต้องการเก็บทั้งฟิลด์คี่และฟิลด์คู่	13
รูปที่ 3.2 แสดงโครงสร้างภายในของไอซี CA3318	14
รูปที่ 3.3 แสดงการควบคุม CA3318 ด้วยการใช้ขาควบคุมเฟส	16
รูปที่ 3.4 แสดงโครงสร้างภายในของไอซี DAC0800	17
รูปที่ 3.5 (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Fild Index; (e) Burst Gate/Back Porch Clamp	21
รูปที่ 3.6 แสดงโครงสร้างภายในของไอซี LM3318	22
รูปที่ 4.1 บล็อกไดอะแกรมของโครงงาน	23
รูปที่ 4.2 วงจรภาคอินพุท	25
รูปที่ 4.3 วงจรภาคหน่วยความจำภาพ	28
รูปที่ 4.4 วงจรภาคแยกซิงค์	30
รูปที่ 4.5 วงจรภาควงจรนับ	32
รูปที่ 4.6 วงจรภาคเลือกแอดเดรส	34
รูปที่ 4.7 วงจรภาคเอาท์พุต	36
รูปที่ 4.8 วงจรภาคควบคุมการเขียนข้อมูลภาพ	38
รูปที่ 4.9 วงจรภาคอินเทอร์เฟส	40
รูปที่ 5.1 โครงสร้างการทำงานของการ์ดซูเปอร์วีจีเอ	43
รูปที่ 5.2 แสดงฟังก์ชันต่างของเมนูโปรแกรมระบบเก็บภาพดิจิตอล	45
รูปที่ 5.3 Flow Chart Video Digitizer System	46
รูปที่ 6.1 วงจรการทดลอง Analog to Digital โดยการใช้ ไอซี CA3318	48
รูปที่ 6.2 กราฟแสดงความสัมพันธ์ระหว่าง ดีซีอินพุท (v) กับ เอาท์พุทดิจิตอล (ฐานสิบ)	49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.3 วงจรภาคแยกสัญญาณซิงค์ 50
รูปที่ 6.4 สัญญาณ Composit Video 51
รูปที่ 6.5 สัญญาณ C_Sync 51
รูปที่ 6.6 สัญญาณ V_Sync 52
รูปที่ 6.7 สัญญาณ Sync_Mod 52
รูปที่ 6.8 วงจรภาคนับเพื่อกำหนดแอดเดรส 53
รูปที่ 6.9 สัญญาณ H_SCOUNT 54
รูปที่ 6.10 สัญญาณ V_SCOUNT 54
รูปที่ 6.11 วงจร Digital to Analog 55
รูปที่ 6.12 สัญญาณ Composit Video Input 56
รูปที่ 6.13 สัญญาณ เอาท์พุท 56
รูปที่ 6.14 แสดงภาพที่ได้จากระบบเก็บภาพดิจิตอล 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ปัจจุบันการพัฒนาทางด้านวิทยาศาสตร์และเทคโนโลยีได้ก้าวหน้าไปอย่างรวดเร็วจะ เห็นได้จากเครื่องใช้และเครื่องมือต่าง ๆเช่น ระบบโทรศัพท์มือถือ, ระบบโทรศัพท์ภาพ,การสื่อสารดาวเทียม นอกจากนี้ยังได้มีการนำสัญญาณจากแหล่งกำเนิดภาพ เช่นกล้องวีดีโอ,กล้องซีซีดี,วีดีโอเทป, เครื่องรับส่งโทรทัศน์ เป็นต้น โดยสัญญาณภาพที่ออกมาจากแหล่งกำเนิดเหล่านี้ จะเป็นสัญญาณภาพแบบ อนาล็อก (Analog) มาทำการเปลี่ยนให้เป็นสัญญาณข้อมูลทางดิจิตอล (digital) เพื่อนำไปประมวลผลบนคอมพิวเตอร์ต่อไป

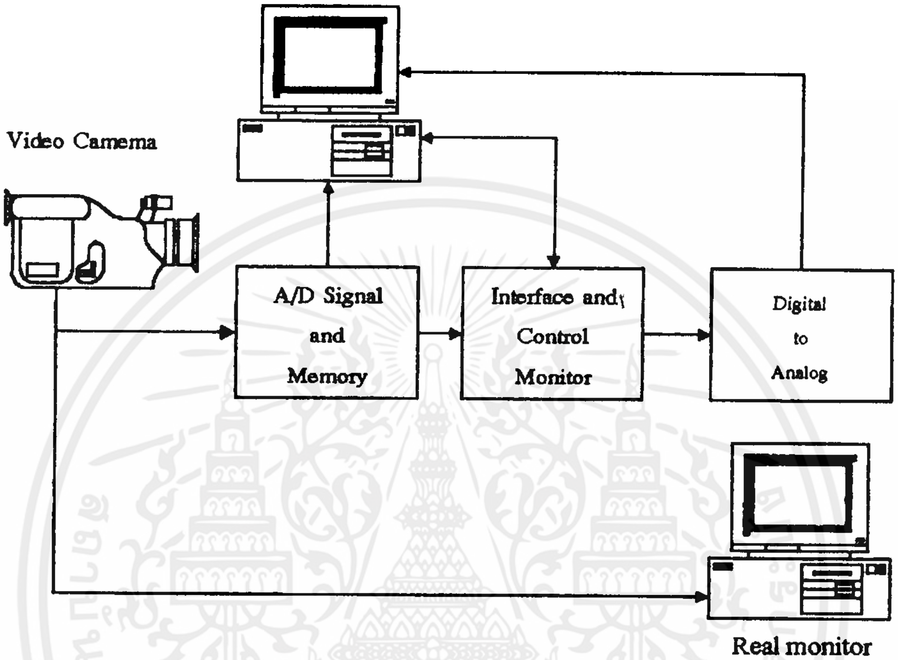
การแปลงสัญญาณภาพแบบอนาล็อก ให้เป็นสัญญาณข้อมูลทางดิจิตอลนั้น ในปัจจุบันได้มีการ์ดอินเตอร์เฟส (Interface card) ในรูปแบบวีดีโอมัลติมีเดียต่าง ๆ ซึ่งมีฟังก์ชั่นการทำงานมากมาย แต่ราคาค่อนข้างสูง โครงงานนี้จึงเกิดเพื่อประโยชน์ใช้งานในด้าน การนำเสนอสัญญาณภาพที่ได้จากกล้องวีดีโอ แล้วแปลงข้อมูลเป็นสัญญาณดิจิตอลเข้าทำการประมวลผล เพื่อนำเสนอออกทางมอนิเตอร์ในรูปแบบต่าง ๆ และหลาย ๆ มอนิเตอร์

ในอดีตนั้นการแปลงสัญญาณภาพแบบอนาล็อกให้เป็นข้อมูลภาพดิจิตอลนั้น โดยเริ่มจากการเก็บข้อมูลภาพขนาด 64X64 จุดต่อภาพ (ในแต่ละเส้นสะแกนจะทำการเก็บข้อมูลภาพจำนวน 64 จุดภาพ และเก็บทั้งหมด 64 เส้นใน 1 ภาพ) ภาพที่ได้เป็นภาพที่หยาบมาก เห็นภาพประกอบด้วยจุดสี่เหลี่ยมจัตุรัส ทำให้มองเห็นรายละเอียดของภาพต่ำ ต่อมาได้พัฒนาให้สามารถเก็บข้อมูลภาพได้รายละเอียดของภาพมากขึ้นเป็นลำดับ จนเป็นเครื่องเก็บข้อมูลภาพทางดิจิตอลขนาด 256 X256 จุดต่อภาพ ใช้พื้นที่หน่วยความจำในการเก็บข้อมูลภาพทั้งหมด 64 กิโลไบท์ (Kbyte) ภาพที่ได้มีความละเอียดมากพอสมควร แต่ในงานการวิเคราะห์ข้อมูลภาพบางอย่างต้องใช้ความละเอียดของภาพสูงมาก ตัวอย่าง เช่น การสร้างภาพ 3 มิติ , การส่งสัญญาณภาพโทรทัศน์แบบ Boardcast เป็นต้น ต่อมาได้พัฒนาเป็นเครื่องเก็บข้อมูลภาพทางดิจิตอลขนาด 512X256 จุดต่อภาพ ใช้พื้นที่หน่วยความจำทั้งหมด 128 กิโลไบท์ (Kbyte) ภาพที่ได้มีความละเอียดของภาพเพิ่มขึ้นกว่าเดิม 2 เท่า ก็มากพอสำหรับการนำเอาข้อมูลภาพนี้ไปใช้งานที่ต้องการความละเอียดของภาพสูงได้ แต่ขีดจำกัดจะกระทำได้เฉพาะภาพขาวดำ ทำให้ไม่สามารถใช้ในงานที่เกี่ยวกับภาพสีได้เลย

จากแนวความคิดได้นำมาดัดแปลงให้เป็นตัวโครงงานที่เก็บรายละเอียดของข้อมูลภาพให้มีขนาดของจุดต่อภาพมีจำนวนมากขึ้น และยังสามารถดัดแปลงแก้ไข เพื่อใช้ประโยชน์ในงานด้านอื่น ๆ หรือเป็นแนวคิดในงานด้านอื่น ๆ ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1 โครงสร้างการทำงาน Video Digitizer System



รูปที่ 1.1 โครงสร้างการทำงาน

จะแบ่งการทำงานของโครงสร้างออกเป็นส่วนย่อย ๆ ได้ดังนี้

1. A/D Signal and Memory เป็นส่วนที่แปลงสัญญาณ Video Signal จากสัญญาณอนาลอก ให้เป็นสัญญาณดิจิตอล เข้าไปเก็บในเมมโมรี เพื่อเก็บข้อมูลสำรองไว้ในเวลา 1 ภาพ นอกจากนี้ในส่วนนี้ ยังติดต่อกับคอมพิวเตอร์เพื่อคอนโทรลการทำงานช่วงการอ่านหรือเขียนภาพจากเมมโมรี และติดต่อกับภาพอินเตอร์เฟสต่อไป

2. Interface and Control Monitor ในส่วนนี้จะเป็นวงจรที่ควบคุมการทำงานและติดต่อกับคอมพิวเตอร์ และควบคุมสัญญาณต่าง ๆ เช่น Sync, อินเตอร์เฟสต่าง ๆ

3. Digital to analog ใช้ในการแปลงสัญญาณดิจิตอลให้เป็นสัญญาณวีดีโออนาลอก เพื่อที่จะแสดงผลออกทางจอมอนิเตอร์ของคอมพิวเตอร์ หรือเพื่อนำไปใช้งานทางด้านอื่น ๆ ต่อไป

4. Real Monitor มีไว้เพื่อดูภาพที่เกิดขึ้นจริงในขณะนั้นโดยสัญญาณจะเป็นอนาล็อก ต่อโดยตรงกับกล้องวิดีโอ (Video Camera) และเปรียบเทียบสัญญาณที่ได้จากข้อมูลดิจิตอลกับสัญญาณอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 วัตถุประสงค์ของงานวิจัย

1) เพื่อศึกษาลักษณะของการเก็บภาพข้อมูลแบบดิจิตอล ให้ได้ความละเอียดของภาพมากขึ้นเก็บภาพลงสู่หน่วยความจำเร็วต่ำ

2) เพื่อศึกษาเกี่ยวกับทฤษฎีของโทรทัศน์และการเก็บภาพ

3) ออกแบบและสร้างโครงงานที่ใช้เก็บข้อมูลดิจิตอลขนาด 512 x 512 จุด

4) เพื่อเพิ่มขอบเขต ของการนำเอาข้อมูลภาพที่ได้ ไปประยุกต์ใช้งาน

5) เป็นการเสริมสร้างงานวิจัย และพัฒนาเทคโนโลยีเกี่ยวกับการเก็บภาพ และการประยุกต์ ใช้งานของข้อมูลภาพที่ได้

1.3 เนื้อหาของปริญญานิพนธ์

บทที่ 1 บทนำ

บทที่ 2 กล่าวถึงความรู้ทั่วไปที่เกี่ยวกับทฤษฎีการสะแกนภาพ และระบบโทรทัศน์ขาวดำ ซึ่งจะกล่าวถึงเพียงเบื้องต้น เพื่อเป็นพื้นฐาน ในการทำความเข้าใจ โดยจะเน้นเฉพาะที่เกี่ยวข้องกับตัวปริญญานิพนธ์ และตัวชิ้นงานเท่านั้น

บทที่ 3 กล่าวถึงทฤษฎีการเก็บภาพ และตัวอุปกรณ์ที่เป็นหัวใจของชิ้นงาน และทฤษฎีที่เกี่ยวกับตัวไอซี (IC) บางส่วน เพื่อทำความเข้าใจกับอุปกรณ์นั้น ๆ เช่น ไอซี (CA3318), ไอซี (DAC0800), ไอซีเมมโมรี

บทที่ 4 กล่าวถึงโครงสร้างของโครงงานโดยจะแสดงบล็อกไดอะแกรม (Block Diagram) และอธิบายการทำงานของวงจรส่วนต่าง ๆ

บทที่ 5 กล่าวถึงการเขียนโปรแกรมและการใช้งาน

บทที่ 6 กล่าวถึงผลการทดลองส่วนต่าง ๆ ของโครงงาน

บทที่ 7 สรุปผลโครงงานและแนวทางในการพัฒนาต่อไป

1.4 ขอบเขตและข้อจำกัดของโครงงาน

การแปลงสัญญาณภาพในวงจร ADC (Analog to DigitalConverter) โดยจะเก็บภาพเป็นขนาด 512 x 512 จุดต่อภาพ (ในแต่ละเส้นสะแกนจะทำการเก็บภาพจำนวน 512 จุดภาพและเก็บทั้งหมด 512 เส้น ใน 1 ภาพ) ภาพที่ได้จะมีความละเอียดพอสมควรและสัญญาณแต่ละจุดภาพมีขนาด 8 บิท (bit) 256 ระดับ ขีดจำกัดของโครงงานนี้ จะทำได้เฉพาะภาพขาวดำ ซึ่งเหมาะกับงานเฉพาะอย่างเท่านั้น นอกจากนี้ ในการแสดงผลต่าง ๆ เช่น Freeze, Zoom In, Zoom Out และทำ Video Capture ต่าง ๆ ยังมีข้อจำกัดอยู่ โครงงานนี้จึงออกแบบเพื่อเป็นแนวทางในการแก้ไขต่อไป

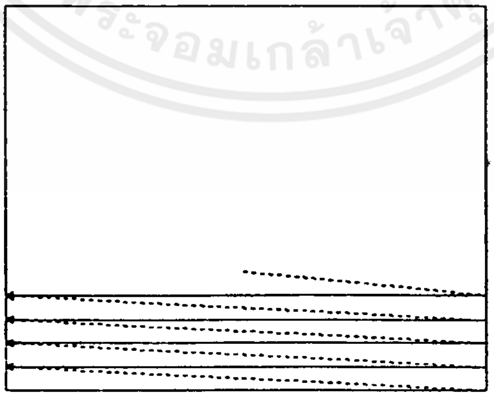
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ความรู้ทั่วไปเกี่ยวกับทฤษฎีภาพและแฟลช A/D

ในบทนี้เป็นการศึกษาเกี่ยวกับทฤษฎีเบื้องต้นของสัญญาณภาพ โดยจะกล่าวถึงลักษณะของสัญญาณ การ SCAN ของเส้นสะแกนทั้งเส้นสะบัดกลับ โดยสัญญาณภาพรวม (Composit Video) ซึ่งประกอบด้วย สัญญาณซิงค์ (Sync Signal) สัญญาณแบล็งกิ้ง (Blanking Signal) และสัญญาณภาพ (Video Signal) และยังศึกษาเกี่ยวกับ ทฤษฎีของการทำงานของแฟลชอนาลอกทูดิจิตอล (flash A/D) ซึ่งจะกล่าวถึงการทำงานของอุปกรณ์พอสังเขป เพื่อประโยชน์ในการทำความเข้าใจเกี่ยวกับ IC3318 ต่อไปในบทที่ 3

2.1 ทฤษฎีเบื้องต้นเกี่ยวกับสัญญาณภาพ

ภาพที่ฉายตามโรงภาพยนตร์เป็นภาพวิ่ง (continuous motion picture) ซึ่งเกิดขึ้นโดยการฉายภาพนิ่งต่อเนื่องบนจอภาพ โดยคนเราไม่สามารถแยกภาพแต่ละภาพออกจากกันได้ นั่นคือคนเราเห็นภาพต่อเนื่องกันไป ซึ่งจะเกิดเมื่อฉายภาพด้วยความเร็ว 24 ภาพ (frame) ต่อวินาที แต่ระบบในการส่งแบบโทรทัศน์นั้นสัญญาณที่ส่งมาเป็นสัญญาณอิเลคทรอนิกส์ ซึ่งในการส่งแต่ละภาพประกอบไปด้วยจุดจำนวนมากมายเรียงต่อเนื่องกัน โดยแต่ละจุดจะมีความสว่างมืดหรืออาจเป็นระดับความเข้มของสีต่าง ๆ ภาพในเครื่องรับโทรทัศน์จะถูกสแกนต่อเนื่องกันไปทีละเส้นดังในรูปที่ 2.1



รูปที่ 2.1 การสแกนในแนวนอน

: เส้นทึบแทนการลากจากขวามาซ้าย

: เส้นประแทนการลากจากซ้ายมาขวา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพในโทรทัศน์ ภาพเกิดจากการเรียงกันออกมาเป็นเส้นจากภาพหนึ่งไปอีกภาพหนึ่ง คือ เริ่มต้นจากจุดบนซ้ายสแกนจากซ้ายไปขวาจากบนลงล่างวิธีการนี้เรียกว่า การสแกนเชิงเส้นในแนวนอน

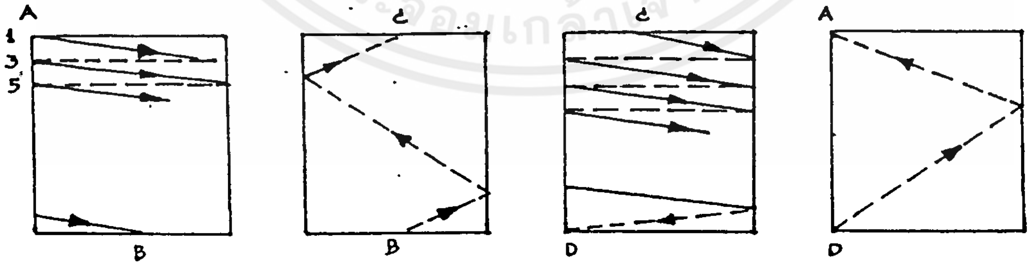
ลำดับของการสแกนเป็นดังนี้

1. ลำแสงอิเลคตรอนจะถูกส่งออกมาตามแนวนอน

2. ที่จุดปลายของเส้นลำแสงจะถูกลากกลับอย่างรวดเร็วมาทางซ้ายเพื่อเริ่มการสแกนใหม่ ช่วงเวลาลากกลับนี้เรียกว่า retrace หรือ flyback ในช่วงนี้จะไม่มีข้อมูลในหลอดภาพ ดังนั้น ช่วงเวลานี้จึงควรเร็วมาก

3. เมื่อลำแสงเลื่อนกลับมาทางซ้าย ตำแหน่งในแนวดิ่งจะเลื่อนต่ำลงมา เกิดการสแกนเส้นใหม่ จนในที่สุดถึงขอบล่างขวา จะมีการสแกนในแนวตั้ง เพื่อไปยังขอบบนซ้ายเพื่อสแกนภาพในแนวนอนเฟรมใหม่

ความถี่ของการสแกนภาพของโทรทัศน์จะใช้อัตราการส่งภาพ 30 ภาพต่อวินาที แต่อย่างไรก็ตาม ยังไม่เร็วพอในการแก้ปัญหาการสั่นกระพริบของภาพ ดังนั้น จึงใช้วิธีสแกนภาพโดยการสลับ (Interlacing) กล่าวคือจะมีการสแกน 2 ครั้ง (field) ใน 1 ภาพ (frame) ครั้งแรกสแกนเส้นเลขคี่ 1, 3, 5, 7,... จนถึงเส้นคี่สุดท้ายของภาพแล้วจึงกลับมาสแกนเส้นคู่ 2, 4, 6, 8,... จนครบ ในการสแกนด้วยอัตราเร็ว 25 ภาพต่อวินาที จะมีการสแกนในแนวตั้งด้วยความเร็ว 50 Hz แต่ในระบบ 25 ภาพต่อวินาทีจะมีการสแกนในแนวตั้งด้วยความเร็ว 60 Hz รูปแสดงการสแกนภาพในแนวสลับ แสดงในรูปที่ 2.2



การสแกนเส้นคี่ การลากกลับ การสแกนเส้นคู่ การลากกลับ

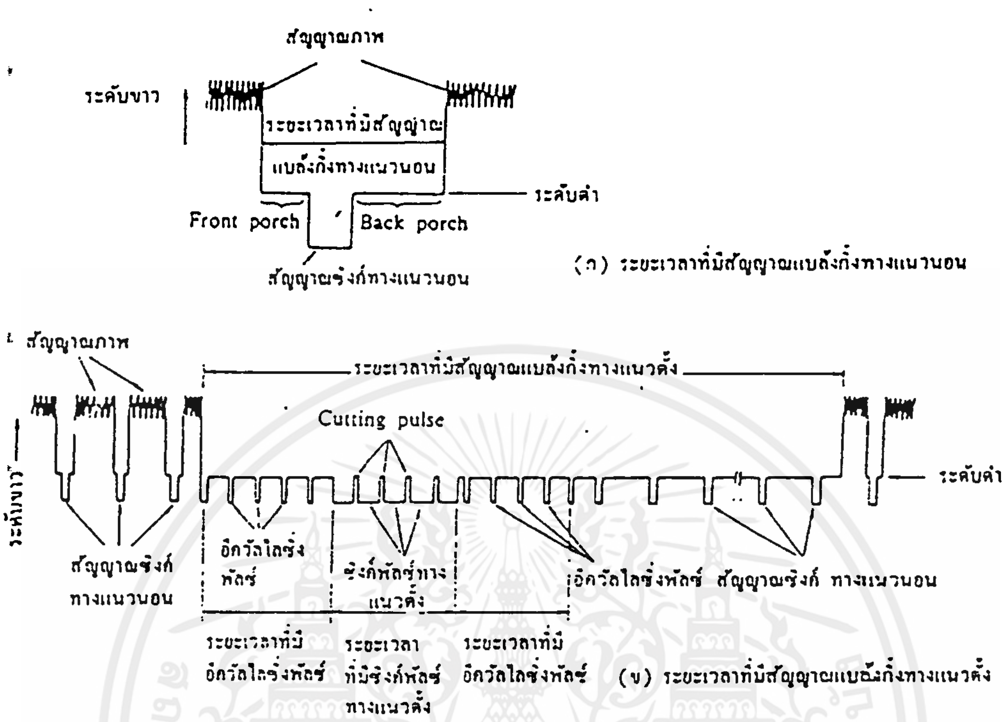
รูปที่ 2.2 การสแกนภาพในแนวสลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการสแกนในแนวตั้งด้วยอัตราเร็ว 60 Hz ช่วงเวลาในการสแกนในแนวตั้งเท่ากับ 1/60 วินาที ซึ่งจะประกอบไปด้วยการสแกนในแนวตั้ง ในแต่ละครั้งเป็นครึ่งหนึ่งของการสแกน ในระบบ 525 เส้น นั่นคือ 262.5 เส้น จำนวนของเส้นสแกนใน 1 วินาทีจะเท่ากับ 262.5 x 60 = 15750 เส้น ดังนั้นความเร็วการสแกนในแนวนอนเท่ากับ 15750 เส้นต่อวินาทีจะได้ช่วงเวลาในการสแกนในแนวนอนคือ 1/15750 = 63.5 ไมโครวินาที สำหรับในประเทศไทยใช้ระบบแบบ 625 เส้นซึ่งความถี่ในการสแกนภาพ คือ 25 ภาพต่อวินาที จะได้ความเร็วในการสแกน ในแนวนอน เท่ากับ 25 x 625 = 15625 Hz และเวลาในการสแกนในแนวนอนเท่ากับ 64 s การสแกนในแต่ ละภาพจะใช้เวลา 1/50 = 20 ms แต่ในระบบ 625 เส้นจะใช้เวลา 1/60 = 16.67 ms

การสแกนภาพนิ่งตามที่กล่าวมาแล้วนี้ จะกระทำติดต่อกันไปเรื่อย ๆ โดยจะมีจำนวนภาพนิ่งหรือจำนวนเส้นสแกนต่อภาพ กับจำนวนภาพต่อวินาทีแตกต่างกันไปตามแต่ชนิดของระบบโทรทัศน์ที่ใช้ภาพ ที่ปรากฏบนจอหลอดภาพของเครื่องรับโทรทัศน์ จึงมีผลคล้ายกับการฉายภาพนิ่งซึ่งแต่ละภาพมี ความแตกต่างกันบ้างเพียงเล็กน้อยเป็นจำนวนหลาย ๆ ภาพต่อหนึ่งวินาที ด้วยเหตุที่สายตาของคน เรามีคุณลักษณะพิเศษในเรื่องของ presistence of vision จึงทำให้ผู้ชมโทรทัศน์สามารถมองเห็น ภาพบนจอหลอดภาพของเครื่องรับโทรทัศน์เป็นภาพเคลื่อนไหวติดต่อกันไปตลอดเวลา เรื่องที่ สำคัญอีกอย่างหนึ่งของการส่งและรับโทรทัศน์ก็คือ จะต้องสามารถหาวิธีการซึ่งทำให้การสแกน ของภาพที่เกิดขึ้นในกล้องโทรทัศน์นั้น เกิดขึ้นพร้อมกันกับการสแกนของภาพที่จอหลอดภาพของ เครื่องรับโทรทัศน์ หรือทำให้ความถี่ของวงจรหักเหทางแนวนอนและแนวตั้งทางกล้องโทรทัศน์ เท่ากันตลอดเวลา กับความถี่ของวงจรหักเหทางแนวนอนและแนวตั้งทางจอหลอดภาพของเครื่อง รับโทรทัศน์ หากความถี่ของวงจรทางเครื่องส่งโทรทัศน์ไม่เท่ากันตลอดเวลา กับความถี่ของวงจร ทางเครื่องรับโทรทัศน์ ก็จะพบว่า ภาพจะล้มหรือไม่มีภาพทางเครื่องรับ โทรทัศน์ ในทางปฏิบัติ สถานีโทรทัศน์จะต้องส่งสัญญาณชนิดหนึ่งเรียกว่า สัญญาณซิงค์ (synchronizing signal หรือ sync pulse signal) ไปพร้อมกับสัญญาณภาพ สัญญาณซิงค์นี้จะประกอบด้วยสัญญาณซิงค์ทาง แนวนอน (horizontal synchornizing signal) ซึ่งมีความถี่ 15,625 Hz หรือจะมี sync pulse ครั้งหนึ่งในทุก ๆ ครั้งที่มีเส้นสแกนในแนวนอนกับสัญญาณซิงค์ในแนวตั้ง (vertical synchornizing signal)ซึ่งมีความถี่ 50 Hz หรือจะมี sync pulse ครั้งหนึ่งในขณะที่มีการสแกนฟิลด์เส้นคี่หรือฟิลด์เส้นคู่ เสร็จสิ้นลง สัญญาณซิงค์เหล่านี้จะส่งไปพร้อม ๆ กับสัญญาณภาพ ในช่วงระยะเวลาของเส้น สแกนสะบัดกลับ หรือช่วงระยะเวลาที่เส้นสแกนกำลังหันกลับไปเริ่มต้นใหม่ (flyback period)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 รูปร่างของสัญญาณซิงค์ที่ใช้ในการส่งโทรทัศน์

สัญญาณต่าง ๆ สำหรับทำให้เกิดภาพขาวดำเหล่านี้ ซึ่งประกอบด้วย

- สัญญาณภาพ (video signal)
- สัญญาณแบล็งกิ้ง (blanking signal)
- สัญญาณซิงค์ (synchornizing signal)
- สัญญาณอีควอไลซิงค์ (equalizing signal)

สัญญาณต่าง ๆ ตามรูปนี้ จะรวมอยู่เป็นรูปร่างเดียวกัน ซึ่งเรียกว่า สัญญาณภาพรวม (composite video signal) แล้วใช้คลื่นพาห์ของภาพเป็นตัวพาออกอากาศ รวมกับคลื่นพาห์ของสัญญาณเสียง

2.2 สัญญาณซิงค์ในแนวนอนและแนวตั้ง

ในการสแกนภาพนั้น การสแกนจะต้องเริ่มด้วยเวลาที่แน่นอนตรงกับเครื่องส่ง เพื่อให้ข้อมูลของภาพแสดงตรงตำแหน่งที่ถูกต้อง ในการที่จะให้เครื่องส่งและเครื่องรับมีการส่งและรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่สัมพันธ์กัน จำเป็นต้องมีสัญญาณซิงค์ส่งมากับสัญญาณภาพด้วย สัญญาณซิงค์นี้จะเป็นพัลซ์รูปสี่เหลี่ยม ซึ่งใช้ในการควบคุมการสแกนทั้งทางเครื่องรับและเครื่องส่ง

สัญญาณซิงค์นี้จะถูกส่งรวมมากับสัญญาณภาพ เพื่อประกอบเป็นสัญญาณรวมสำหรับเครื่องรับ สัญญาณนี้จะเกิดในระหว่างช่วงของการแบล็งค์ ซึ่งไม่มีข้อมูลของภาพในการส่ง ช่วงที่ข้อมูลของภาพแบล็งค์ จะตรงกับช่วงที่ลำอิเลคตรอนลากกลับจากขวามาซ้าย สัญญาณซิงค์แนวนอนจะเกิดขึ้นในช่วงสุดท้ายของการสแกนเส้นตามแนวนอน ซึ่งเป็นการเริ่มลากกลับตามแนวนอน สัญญาณซิงค์ตามแนวตั้งจะกิดตอนที่ภาพสแกนถึงตำแหน่งล่างสุดของจอภาพ เพื่อเป็นการลากกลับของลำอิเลคตรอนตามแนวตั้ง

ในการสแกนเส้นสแกนตามแนวนอนด้วยความถี่ 15625 เฮิร์ท ความถี่ของสัญญาณซิงค์ในแนวนอนจะเท่ากับ 15625 เฮิร์ทด้วย ส่วนการสแกนภาพตามแนวตั้งสแกนด้วยความถี่ 50 เฮิร์ท สัญญาณซิงค์ในแนวตั้งจะเท่ากับ 50 เฮิร์ท

2.3 สัญญาณแบล็งค์ในแนวนอนและแนวตั้ง

ในระบบโทรทัศน์สัญญาณแบล็งค์คือ สัญญาณที่ทำให้เป็นสีดำ ในส่วนของสัญญาณวีดีโอโว้ลเตจของสัญญาณแบล็งค์ จะอยู่ที่ระดับของสีดำ ระดับโวลเตจของสีดำนี้จะไปทำให้กระแสที่ใช้ในการยิงลำอิเลคตรอนหยุดไหล ทำให้ไม่มีแสงออกมาที่จอภาพ จุดประสงค์ของสัญญาณแบล็งค์ ก็เพื่อไม่ให้มองเห็นภาพเส้นที่ลากกลับในช่วงของการสแกน

สัญญาณแบล็งค์ในแนวนอนมีความถี่ 15625 เฮิร์ท ทำให้เกิดการแบล็งค์ในช่วงของเส้นที่ลากกลับมาจากทางขวามาทางซ้าย สัญญาณแบล็งค์ในแนวตั้งมีความถี่ 60 เฮิร์ท ทำให้เกิดการแบล็งค์ ในส่วนลากกลับจากส่วนล่างขึ้นส่วนบน ช่วงเวลาของสัญญาณแบล็งค์ในแนวนอนมีค่าประมาณ 20% ของสัญญาณเส้นตามแนวนอนที่มีค่า 64 ไมโครวินาที ดังนั้นสัญญาณแบล็งค์ตามแนวนอนมีค่าเท่ากับ 64 x 0.2 = 12.8 ไมโครวินาที ซึ่งแสดงให้รู้ว่าช่วงเวลาของการลากเส้นกลับจะต้องสิ้นสุดภายใน 12.8 ไมโครวินาที

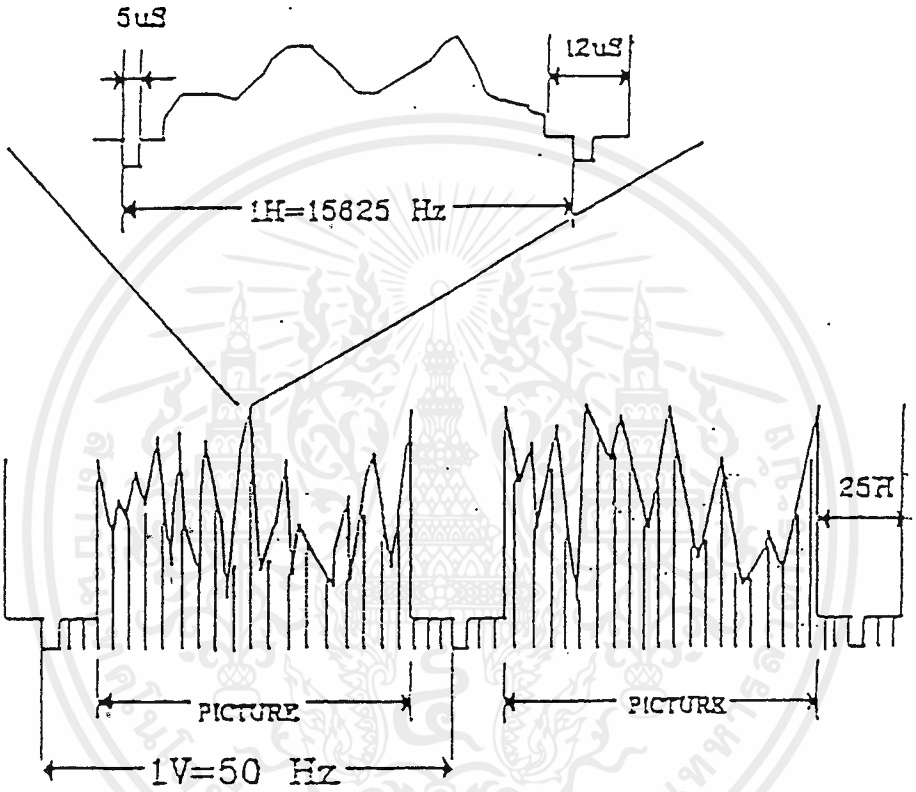
สำหรับช่วงเวลาของสัญญาณแบล็งค์ตามแนวตั้ง มีค่าประมาณ 8% ของสัญญาณตามแนวตั้งที่มีช่วงเวลาใน 1 ภาพเท่ากับ 20 มิลลิวินาที ดังนั้นสัญญาณแบล็งค์ตามแนวตั้งจะมีค่าเท่ากับ 20 x 0.08 = 1.6 มิลลิวินาที ซึ่งแสดงให้เห็นว่าการลากกลับของภาพจากจุดล่างสุดไปจุดบนสุดต้องเสร็จภายในเวลา 1.6 มิลลิวินาที

2.4 สัญญาณภาพ

สัญญาณภาพรวม (composite video signal) จะประกอบไปด้วย สัญญาณข้อมูลภาพ สัญญาณแบล็งค์ และสัญญาณซิงค์ ในส่วนของสัญญาณแบล็งค์ และซิงค์ ยังแบ่งออกเป็นสัญญาณ

เอกสารฉบับนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซิงค์และแบล็งค์ในแนวนอน และสัญญาณซิงค์และแบล็งค์ในแนวตั้ง ความสว่างหรือระดับความเข้มของแต่ละจุดในภาพของสัญญาณโทรทัศน์ ขึ้นอยู่กับระดับโวลเตจของสัญญาณภาพ ลักษณะของสัญญาณภาพแสดงดังรูปที่ 2.4

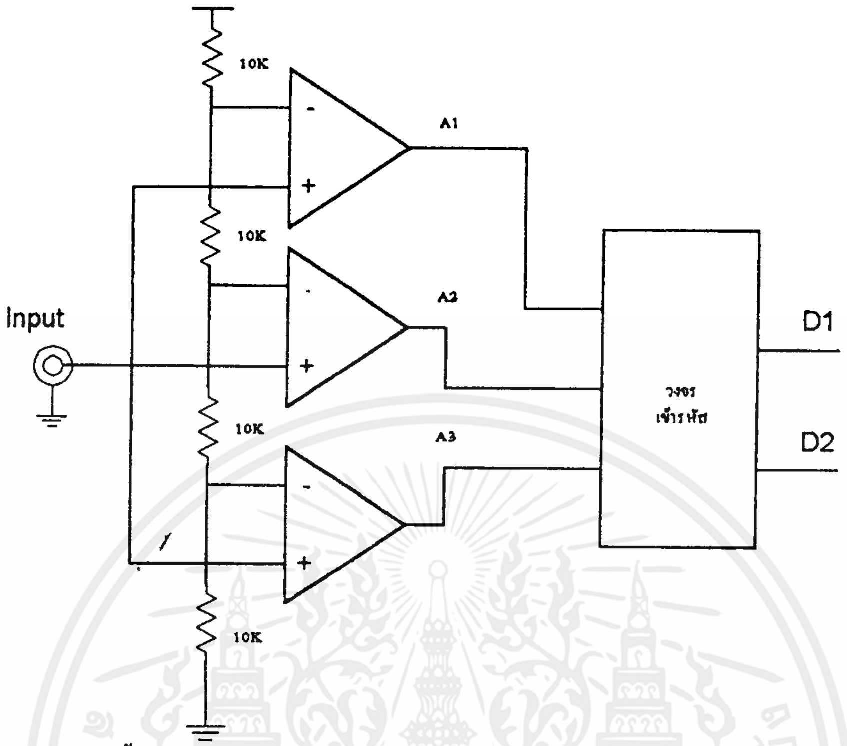


รูปที่ 2.4 แสดงลักษณะของสัญญาณภาพ

2.5 พื้นฐานการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบแฟลช (FLASH A/D)

หลักการอย่างง่ายที่สุดของการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบขนาน แสดงดังรูปที่ 2.5 โดยใช้ตัวเปรียบเทียบ 3 ตัวต่อในลักษณะ "ขนานกัน" มีตัวต้านทานต่อแบ่งแรงดันอ้างอิงไว้ กำหนดค่าแรงดันต่ำสุดที่ตัวเปรียบเทียบทั้ง 3 ตัวและยังสามารถทำงานได้แรงดันอ้างอิง ซึ่งอาจจะมีค่าเท่ากับแรงดันสูงสุดของสัญญาณอินพุทที่เป็นอนาลอกก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 วงจรพื้นฐานของการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบขนาน (แฟลช)

อนาลอกอินพุท (โวลท์)	เอ้าพุทตัวเปรียบเทียบ			เอาท์พุทเลขฐานสอง	
	A1	A2	A3	D1	D2
0-1	0	0	0	0	0
1-2	1	0	0	0	1
2-3	1	1	0	1	0
3-4	1	1	1	1	1

ตารางที่ 2.1 ค่าของเอาท์พุทเปลี่ยนแปลงไปตามช่วงแรงดันของอนาลอกอินพุท

จากตารางที่ 2.1 จะเห็นว่า ตัวเปรียบเทียบแต่ละตัวจะให้เอาท์พุทเป็น "1" ก็ต่อเมื่อแรงดันอินพุทมีค่าสูงกว่าแรงดันอ้างอิงของตัวเปรียบเทียบแต่ละตัว ซึ่งมีค่าแตกต่างกันและถ้าแรงดันอินพุทมีค่าอยู่ในช่วง 3-4 โวลท์ (แรงดันอ้างอิง +4 โวลท์) จะทำให้ตัวเปรียบเทียบทั้ง 3 ตัวให้เอาท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พุทเป็น "1" หมด เอาท์พุทจากตัวเปรียบเทียบทั้งหมดจะส่ง เข้าไปที่วงจรเข้ารหัส เพื่อทำให้เป็นสัญญาณดิจิตอลในระบบเลขฐานสองต่อไป

รูปวงจรที่ 2.5 นี้ ตอบสนองต่อแรงดันอินพุท (อนาลอก) 4 ระดับ และแต่ละระดับมีความแตกต่าง 1 โวลท์ ดังนั้น ความละเอียด (resolution) ของวงจรนี้มีขนาด 2 บิทเราสามารถหาความละเอียดของวงจรได้จากจำนวนของตัวเปรียบเทียบ คือ

$$\text{จำนวนตัวเปรียบเทียบ} = 2^n - 1$$

$$\text{เมื่อ } n = \text{ความละเอียด}$$

เช่น ต้องการความละเอียดขนาด 8 บิท จะต้องใช้ตัวเปรียบเทียบถึง 255 ตัว (แทนค่า $n = 8$) จากลักษณะการต่อตัวเปรียบเทียบให้ขนานกัน เพื่อให้รับสัญญาณอินพุทได้พร้อม ๆ กัน เราจึงเรียกวงจรนี้ว่า วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบขนาน (Parallel A/D converters) และเนื่องจากมันสามารถตอบสนองต่อสัญญาณอินพุทที่เป็นอนาลอก และแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลด้วยความเร็วสูง เราจึงเรียกได้อีกอย่างว่า วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบแฟลช (Flash A/D converters)

A/D แบบแฟลช A/D แบบนี้เป็นแบบที่มีความเร็วในการแปลงค่าสูงมาก แรงดันอ้างอิงของวงจรเปรียบเทียบแรงดันจะถูกแบ่งค่าแรงดันด้วยตัวต้านทานเป็นชั้น ชั้นละ 1 โวลท์ เอาท์พุทของวงจรเปรียบเทียบแรงดันจะถูกต่อเป็นอินพุทของวงจรเอนโคดเดอร์แบบจัดลำดับ 8 ออก 3 ซึ่งลอจิกที่แปลงได้ทางด้านเอาท์พุทจะแปรค่าตามค่าอนาลอกทางด้านอินพุท เช่น ถ้าป้อนอินพุทเป็น 6 โวลท์ ทำให้วงจรเปรียบเทียบแรงดันตัวที่ 1 ถึง 6 ให้ลอจิก "1" ทั้งหมดเป็นผลให้เอาท์พุท D_2 - D_0 เป็นลอจิก 110 เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การเก็บสัญญาณภาพทางดิจิตอลและรายละเอียดของตัวอุปกรณ์

3.1 บทนำ

เนื่องจากสัญญาณที่ได้จากกล้องวีดีโอ (Video Camera) เป็นสัญญาณภาพแบบอนาล็อก (Analog Signal) ดังนั้นถ้าเราจะทำการเก็บข้อมูลภาพที่ได้นี้จะต้องทำการแปลงสัญญาณภาพแบบอนาล็อกให้เป็นข้อมูลภาพทางดิจิตอล (Analog to Digital Converter) เสียก่อนแล้วจึงนำไปเก็บลงสู่หน่วยความจำหรือ วีดีโอแรม (Video RAM) ได้ แต่เนื่องจากการสะแกนของสัญญาณภาพที่ได้จากกล้องวีดีโอมีความเร็วสูงมาก เวลาที่ใช้ในการสะแกนสัญญาณภาพแต่ละภาพประมาณ 40 มิลลิวินาที (Millisecond,ms) ในกรณีที่เราต้องการเก็บข้อมูลภาพให้ได้รายละเอียดของภาพมากจะต้องใช้สัญญาณคล็อก (clock) ในการสุ่มข้อมูลภาพของวงจร A/D (วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล) ที่มีความถี่สูง แต่ก่อนอุปกรณ์พวกนี้มีแต่เฉพาะใช้กับงานความเร็วต่ำ ๆ แต่ปัจจุบันการพัฒนาเทคโนโลยีทางด้านการผลิตอุปกรณ์ทางอิเลคทรอนิคส์ได้ก้าวหน้าไปอย่างรวดเร็ว ได้ผลิตอุปกรณ์ที่ใช้แปลงสัญญาณอนาล็อกเป็นข้อมูลทางดิจิตอลโดยสร้างเป็นชิฟไอซี (Chip IC) สำเร็จรูปที่มีความเร็วสูงออกสู่ตลาด ในงานวิจัยนี้ได้เลือกใช้ Flash A/D เบอร์ CA3318 เป็น A/D ขนาด 8 บิท (bits) สามารถแสดงระดับสัญญาณได้ถึง 256 ระดับและมีความเร็วสูงสุดใน การทำงาน 15 เมกกะเฮิร์ท (Mhz) นอกจากนี้ยังมีราคาไม่แพงมากเกินไป ทำให้เหมาะสมกับงานด้านการเก็บข้อมูลภาพ

การเก็บข้อมูลภาพในตอนแรกเริ่มพัฒนาจากการเก็บข้อมูลภาพที่มีความละเอียดต่ำ (ขนาด 64X64 จุดต่อภาพ) เนื่องจากข้อจำกัดเรื่องความเร็วของอุปกรณ์ที่ใช้ต่อมาได้มีการพัฒนาให้สามารถเก็บข้อมูลภาพให้ได้ความละเอียดสูงมากขึ้นตามลำดับ จนเป็นเครื่องเก็บข้อมูลภาพทางดิจิตอลขนาด 256X256 จุดต่อภาพ

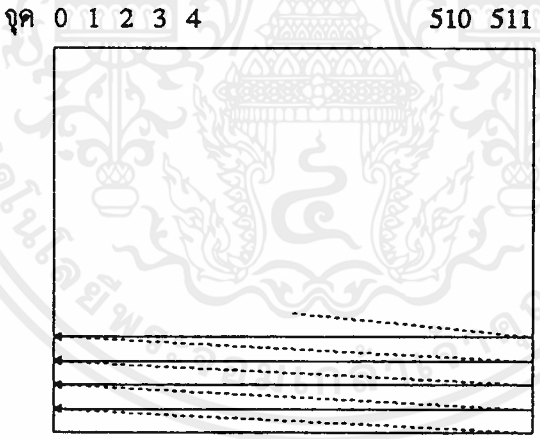
การเก็บข้อมูลภาพทางดิจิตอลขนาด 256X256 จุดต่อภาพ ภาพที่ได้มีความละเอียดของภาพสูงพอสมควรเหมาะสำหรับการนำข้อมูลภาพที่ได้ไปทำขบวนการ (Process) ต่าง ๆ ที่ไม่ต้องการความละเอียดของภาพมากนัก ซึ่งใช้พื้นที่หน่วยความจำเพียง 64 กิโลไบท์ (Kbytes)

เนื่องจากในงานบางอย่างที่ต้องการความละเอียดสูงในการวิเคราะห์ตัวอย่างเช่น การสร้างภาพสามมิติหรือการวิเคราะห์ข้อมูลภาพต่าง ๆ ข้อมูลภาพขนาด 256X256 จุดต่อภาพจะมีความละเอียดของภาพน้อยเกินไป ดังนั้นได้มีการพัฒนาเป็นการเก็บข้อมูลภาพทางดิจิตอลขนาด 512 X256 จุดต่อภาพ ซึ่งจะต้องทำการเก็บข้อมูลภาพเพิ่มมากขึ้นเป็น 2 เท่าของการเก็บข้อมูลภาพขนาด 256X256 จุดต่อภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโครงงานนี้เราจะใช้การเก็บข้อมูลภาพผ่านกล้องวีดีโอ-นิค ซีซีดี ด้วยขนาดข้อมูล 512 x 512 จุดต่อภาพ เราจะใช้การเก็บภาพแบ่งเป็นการเก็บภาพฟิลด์คี่และการเก็บภาพฟิลด์คู่ (เพราะ สัญญาณจากกล้องวีดีโอ มีการสแกนภาพแบบสลับเส้น) ซึ่งการเก็บลักษณะนี้จะให้รายละเอียด ของภาพมากกว่าการเก็บภาพฟิลด์คี่หรือฟิลด์คู่ เพียงฟิลด์เดียวเท่านั้น

การเก็บภาพแต่ละจุดจะใช้เวลา 100 นาโนวินาที เนื่องจากสัญญาณภาพที่แสดงนั้นจะมีความถี่ 15.625 Hz (S4 ธ)ต่อ 1 เส้นสแกน ซึ่งจะแบ่งออกเป็นสัญญาณสะบัดกลับประมาณ 20 ดังนั้นสัญญาณภาพที่ปรากฏที่จอจริง ๆ คือ 1/15625 x 80/100 = 51.2 ไมโครวินาที ดังนั้น ถ้าเราจะเก็บภาพขนาด 512 จุดต่อ 1 เส้นสแกน เราต้องใช้เวลาในการเก็บภาพต่อจุดเท่ากับ 51.2/512 = 100 นาโนวินาที (10 เมกกะเฮริทซ์) นอกจากนี้เราจะเก็บภาพทางแนวตั้งเพียง 256 เส้นต่อหนึ่งฟิลด์ (จากปกติสัญญาณภาพจะมีจำนวน 312.5 เส้นต่อหนึ่งฟิลด์) ดังนั้น ถ้าเราเก็บภาพทั้งฟิลด์คี่และฟิลด์คู่เราจะได้ภาพขนาด 512 x 512 จุดต่อหนึ่งภาพเราสามารถแสดงลักษณะของการเก็บได้ดังรูปที่ 3.1



รูปที่ 3.1 แสดงส่วนของภาพที่ต้องการเก็บทั้งฟิลด์คี่และฟิลด์คู่

ในการเก็บภาพนั้นสัญญาณภาพจะถูกเปลี่ยนเป็นสัญญาณดิจิตอล เพื่อที่จะเก็บบันทึกลงสู่หน่วยความจำภาพ สัญญาณที่ได้จากกล้องวีดีโอนั้นเวลาที่ใช้การสแกน ในแต่ละภาพใช้เวลาสั้นมาก ซึ่งแต่ละฟิลด์จะใช้เวลาเพียง 20 มิลลิวินาที ดังนั้นจึงจำเป็นต้องใช้ไอซีสำเร็จรูปที่ทำหน้าที่แปลงสัญญาณอนาลอกให้เป็นดิจิตอลที่สามารถทำงานที่ความถี่สูงได้ (มากกว่า 10 เมกกะเฮริทซ์) จากข้อมูลเราพบว่า ไอซีแปลง สัญญาณอนาลอกเป็นดิจิตอลที่มีขายในท้องตลาด (ในเมืองไทย

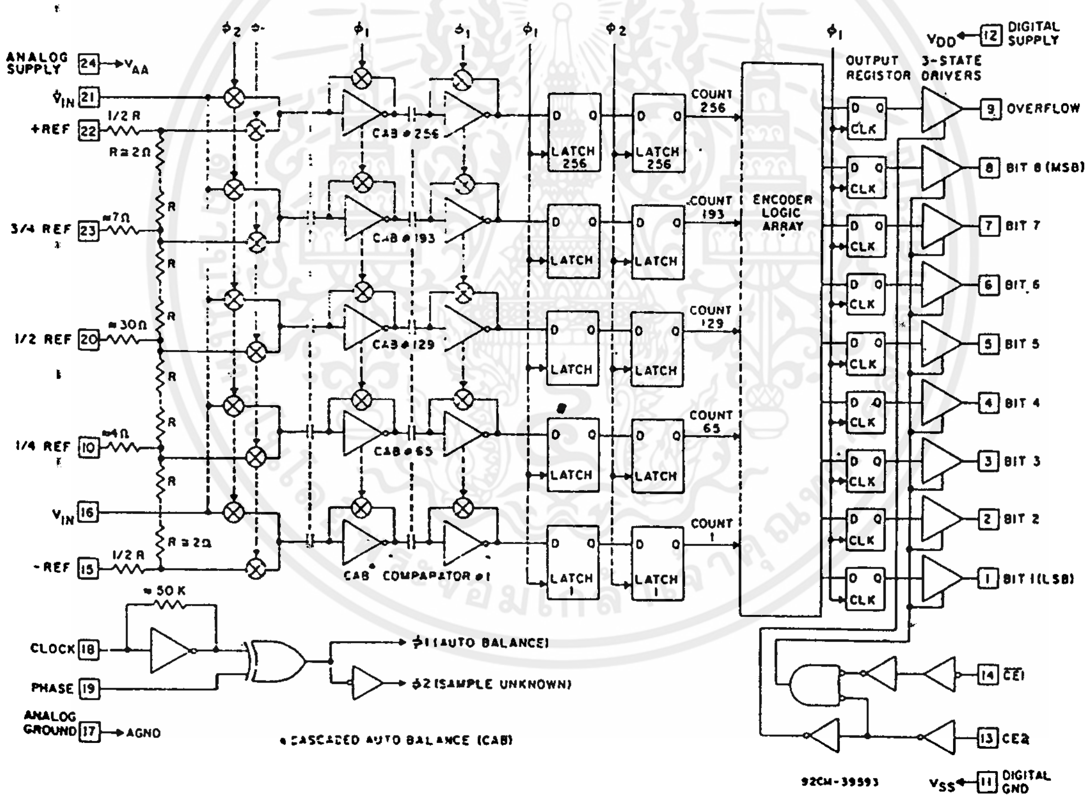
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เบอร์ CA3318 เป็นไอซีแปลงสัญญาณอนาลอกเป็นดิจิตอลที่สามารถทำงานที่ความถี่สูงตามที่เราต้องการ โดยให้เอาท์พุทขนาด 8 บิท ซึ่งมีข้อมูลดังนี้

3.2 Flash A/D เบอร์ CA3318

ไอซีเบอร์ CA3318 เป็นไอซีสำเร็จรูปที่ทำหน้าที่แปลงสัญญาณอนาลอกเป็นดิจิตอลแบบแฟลชขนาด 8 บิท มีความเร็วในการแปลงสัญญาณสูงมาก มีขนาด 24 ขา

โครงสร้างและการทำงานของ CA3318 แสดงได้ดังรูปที่ 3.2



รูปที่ 3.2 แสดงโครงสร้างภายในของไอซี CA3318

ชุดสวิทซ์อิเลกทรอนิกส์ (ส่วนที่เห็นเป็นวงกลมที่มีกากบาทอยู่ภายใน) ทำการสุ่มสัญญาณเข้ามาสู่ชุดตัวเปรียบเทียบทั้ง 256 ชุด ที่ได้กำหนดไว้แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลทั้งหมดจากตัวเปรียบเทียบ (ที่เป็น"0" หรือ "1") ส่งเข้า ดีฟลิปฟลอปทำหน้าที่เป็นชิฟรีจีสเตอร์ทำงานในโหมดสัญญาณนาฬิกา (ตอบสนองต่อสัญญาณนาฬิกาเฉพาะช่วงขอบขาขึ้นและขอบขาลงของพัลซ์เท่านั้น) จะทำการแลทซ์ไว้ชั่วขณะจนกว่าจะมีข้อมูลใหม่เข้ามาถึงจึงจะเลื่อน (shift) ข้อมูลนั้นส่งเข้าชุด เข้ารหัส (Encoder Logic Array) เพื่อแปลงข้อมูลทั้ง 256 ค่าเป็นข้อมูลดิจิตอลขนาด 9 บิท (รวมบิทเกินด้วย) ส่งต่อไปยังเอาท์พุทรีจิสเตอร์ซึ่งเป็นดีฟลิปฟลอปก่อนส่งไปยังตัวขับ 3 สถานะเป็นเอาท์พุทต่อไป เอาท์พุทนี้สามารถควบคุมได้โดย \CE1 และCE2

คุณสมบัติของ CA3318 มีดังนี้

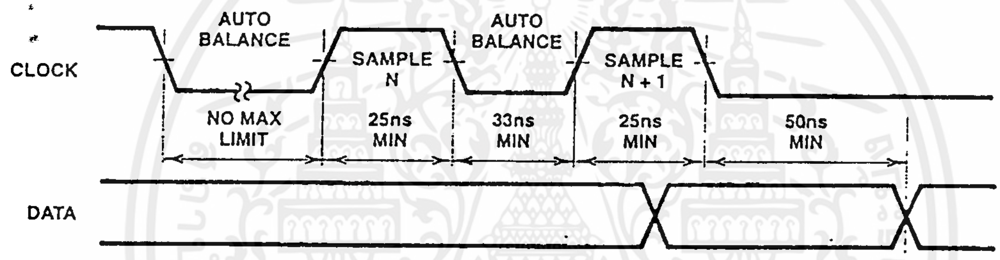
- ใช้เทคโนโลยี ซีมอส/เอสโอเอส (CMOS/SOS)
- ใช้เทคนิคการแปลงข้อมูลแบบขนาน
- อัตราการแปลงข้อมูล 15 ล้านการสุ่มต่อวินาที (15 MSPS = Million Sampling Per Second)
- ให้เอาท์พุทขนาด 8 บิท
- ใช้แหล่งจ่ายไฟชุดเดียว 4 โวลท์ ถึง 6.5 โวลท์
- แยกระบบกราวด์ของอนาลอกกับดิจิตอลออกจากกันโดยเด็ดขาด
- กำลังงานสูญเสีย 200 มิลลิวัตต์
- แรงดันอินพุทอยู่ในช่วง 0 - 6.4 โวลท์
- สัญญาณนาฬิกา 20 เมกกะเฮริทซ์

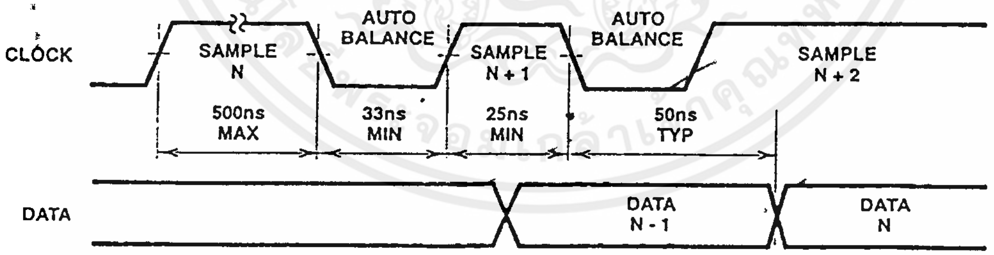
CA3318 ใช้เทคนิคการแปลงข้อมูลเป็นลำดับแบบขนาน (Sequential Parallel Technique) โดยอาศัย การจัดระดับของสัญญาณนาฬิกาไปควบคุมจังหวะในการทำงานของส่วนต่าง ๆ ให้สอดคล้องกัน จากรูปที่ 3.2 แสดงโครงสร้างภายใน ขาป้อนสัญญาณนาฬิกา (ขา 18) และขาควบคุมเฟส (ขา 19) ต่อกับวงจรลอจิกเกตชุดหนึ่ง ซึ่งวงจรนี้ทำหน้าที่จัดสัญญาณนาฬิกาให้แบ่งออกเป็น 2 เฟส คือ 1 (Auto Balance) และ 2 (Sample Unknown) เฟสทั้งสองนี้จะถูกจัดให้อยู่ในช่วงลอจิก "0" หรือ "1" ของสัญญาณนาฬิกา (ใน 1 คาบเวลา) การจัด 1 และ 1 ให้อยู่คนละช่วงของสัญญาณนาฬิกาซึ่งถูกกำหนดด้วยขาควบคุมเฟส ทำให้เราสามารถควบคุมความเร็วในการแปลงสัญญาณของ CA3318 ให้เปลี่ยนแปลงตามสัญญาณนาฬิกาได้

เราสามารถใช้ขาควบคุมเฟส ควบคุมความเร็วในการแปลงสัญญาณของ CA3318 ได้ 2 วิธี คือ วิธีแรกโดยการป้อนลอจิก "0" เข้าที่ขาควบคุมเฟส แสดงดังรูปที่ 3.3 ก. 1 ถูกจัดให้อยู่ในลอจิก "1" และ 2 ถูกจัดให้อยู่ในลอจิก "0" ของสัญญาณนาฬิกา ข้อมูลจากตัวเปรียบเทียบจะถูกแลทซ์ไว้ที่ขอบขาขึ้นของพัลซ์ 2 และเมื่อถึงขอบขาลงของ 1 ข้อมูลจะถูกเลื่อนเข้าสู่รีจีส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เตอร์ต่อไปวิธีการแปลงแบบนี้ข้อมูลเสร็จสิ้นภายในครึ่งคาบของสัญญาณนาฬิกาเท่านั้น วิธีที่ สอง โดยป้อนลอจิก "1" เข้าที่ขาควบคุมเฟสเช่นกันแสดงดังรูปที่ 3.3 ข. 1 ถูกจัดให้อยู่ในลอจิก "0" และ 2 ถูกจัดให้อยู่ในลอจิก "1" ของสัญญาณนาฬิกา เมื่อถึงช่วงขาขอบขาลงของ พัลซ์ 2 ข้อมูลจากตัวเปรียบเทียบจะถูกแลทซ์ไว้จนกว่าจะถึงช่วงของขาขึ้นของพัลซ์ 2 ลูก ต่อมา จึง จะทำการเลื่อนข้อมูลส่งเข้าเอาท์พุทรีจิสเตอร์ วิธีนี้จะแปลงสัญญาณเสร็จสิ้นภายใน 1 คาบเวลาของสัญญาณนาฬิกา จะเห็นได้ว่าวิธีแรกใช้เวลาในการแปลงสัญญาณน้อยกว่า วิธีที่สอง ซึ่งโครงงานนี้จะนำวิธีการควบคุมวิธีแรกมาใช้





รูปที่ 3.3 แสดงการควบคุม CA3318 ด้วยการใช้ขาควบคุมเฟสไป ควบคุมระดับลอจิกของสัญญาณนาฬิกา

ก. เมื่อให้ขาควบคุมเฟสเป็น "0"

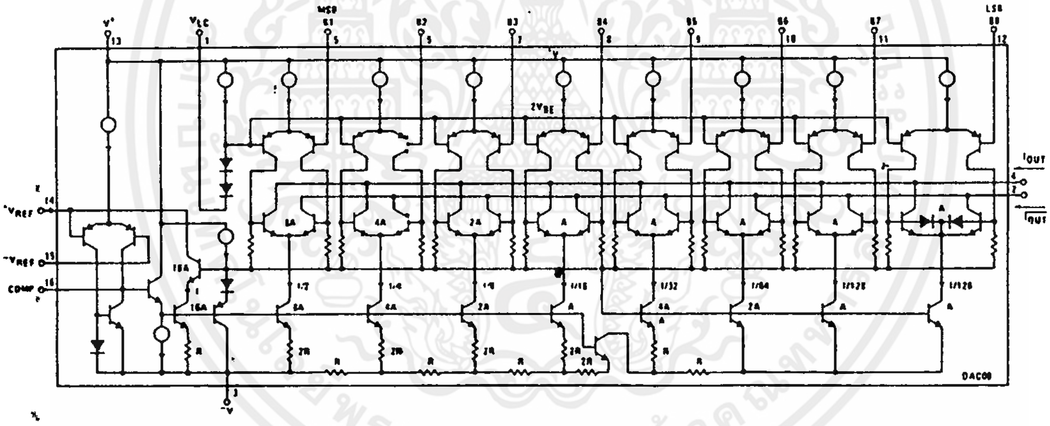
ข. เมื่อให้ขาควบคุมเฟสเป็น "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ไอซี D/A เบอร์ DAC0800

จากการที่ได้กล่าวมาแล้วว่า ได้มีการแปลงสัญญาณภาพให้เป็นข้อมูลแบบดิจิตอล เพื่อให้เราสามารถดูลักษณะของภาพที่ได้หลังจาก การแปลงเป็นสัญญาณดิจิตอลเราจำเป็นต้องใช้ไอซีแปลงสัญญาณจากดิจิตอลเป็นอนาลอก โดยที่ไอซีตัวที่ทำหน้าที่นี้ต้องสามารถทำงานที่ความถี่สูง คือ 10 เมกกะเฮริทซ์ได้และต้องมีขนาดของข้อมูลอินพุท 8 บิท จากการหาข้อมูลมาไอซีเบอร์ DAC 0800 สามารถทำงานตามที่ต้องการได้ ซึ่งมีข้อมูลดังนี้

DAC 0800 เป็นอุปกรณ์ที่ทำหน้าที่แปลงสัญญาณดิจิตอล 8 บิทให้เป็นสัญญาณอนาลอกความเร็วสูง (มีการจัดการภายใน 100 นาโนวินาที) โดยที่เอาท์พุทที่ได้จะมีลักษณะเป็นกระแสเอาท์พุทที่เป็นสัดส่วนกับข้อมูลดิจิตอลอินพุท ซึ่งกระแสเอาท์พุทจะมีลักษณะเป็นคอมพลีเมนต์กันด้วย นอกจากนี้ยังยอมให้แรงดันระหว่างขาเอาท์พุททั้งสองแตกต่างกันได้ถึง 20 โวลท์พีทูพี การทำงานของ DAC 0800 จะเป็นชนิด R-2R ดังรูปที่ 3.4



รูปที่ 3.4 แสดงโครงสร้างภายในของ DAC 0800

คุณสมบัติของ DAC 0800 มีดังนี้

- มีการจัดการภายในที่เร็ว คือ 100 นาโนวินาที
- การผิดพลาดขณะแสดงค่าสูงสุด คือ +- 1 LSB
- การเปลี่ยนแปลงต่ออุณหภูมิไม่เป็นเชิงเส้น คือ +- 0.1 %
- ให้สัญญาณเอาท์พุทได้ในช่วง -10 V ถึง +18 V
- มีสัญญาณกระแสเอาท์พุทแบบคอมพลีเมนต์
- ต่อใช้งานได้โดยตรงกับไอซีชนิด TTL, CMOS, PMOS และอื่น ๆ
- สามารถทำงานได้ทั้ง 2 ย่าน (บวกและลบ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 H628128 สแตติกแรมความจุสูง

เนื่องจากความเร็วในการเก็บภาพที่ถูกทำให้เป็นสัญญาณดิจิตอล และต้องจัดเก็บข้อมูลดังกล่าวหน่วยความจำภาพ ซึ่งในการเก็บภาพขนาด 512 X 512 จุดต่อภาพนี้ เราต้องใช้หน่วยความจำขนาด 512 X 512 = 256 กิโลไบท์ และความเร็วในการเก็บข้อมูลของหน่วย ความจำแต่ละค่าต้องน้อยกว่า 100 นาโนวินาที (มากกว่า 10 เมกกะเฮริทซ์) เพื่อให้สะดวกต่อการงาน เราจึงเลือกหน่วยความจำแบบสแตติก เราจะไม่ใช้หน่วยความจำแบบไดนามิค (เพราะหน่วยความจำแบบไดนามิกมีการอ้างแอดเดรสที่ยุ่งยาก) ซึ่งหน่วยความจำ 8 บิท ชนิดสแตติกที่มีความเร็วมากกว่า 10 เมกกะเฮริทซ์ ที่มีขายในตลาดขณะนี้ มีความจุสูงสุดเพียง 128 กิโลไบท์ คือ เบอร์ HM628128 บริษัท ฮิตาชิ และเพื่อให้สามารถเก็บข้อมูลภาพได้ถึง 256 กิโลไบท์ เราต้องใช้หน่วยความจำ HM628128 2 ตัว โดยที่ข้อมูลของ HM628128 มีดังนี้

ด้วยเทคโนโลยีของไอซีมอส (Hi-CMOS technology) สามารถผลิตไอซีหน่วยความจำชนิดสแตติกแรม (Static RAM = SRAM) ที่มีความจุสูง กินกระแสต่ำและยังมีความเร็วสูง โดยให้ชื่อรุ่นของไอซีหน่วยความจำตระกูลใหม่นี้ว่า HM628128 มีการจัดตำแหน่งขาสัญญาณต่างๆ ตามมาตรฐาน JEDEC โดยบรรจุอยู่ในตัวถังแบบพลาสติกดิพ 32 ขา ขนาด 600 มิลลิเมตร

คุณสมบัติพิเศษ

ความเร็วสูง : สามารถเข้าถึงข้อมูลได้เร็วถึง 70, 85, 100 และ 120 ns

ความจุสูง 128 K x 8 บิต

ใช้กำลังงานต่ำ

ขณะสแตนด์บาย 0.01 มิลลิวัตต์

ขณะทำงาน 75 มิลลิวัตต์

สามารถแบคอัพข้อมูลได้ด้วยแบตเตอรี่

เอาท์พุทแบบ 3 สถานะ สามารถต่อบัสร่วมกับอุปกรณ์อื่นได้

เอาท์พุท/อินพุท มีระดับสัญญาณทีทีแอ

ใช้แหล่งจ่ายไฟ 5 โวลต์ชุดเดียว

คุณสมบัติทั่วไป

แรงดันแหล่งจ่ายไฟ 4.5 ถึง 5.5 โวลต์

แรงดันเมื่ออินพุทเป็น “1” 2.2 ถึง 6 โวลต์

แรงดันเมื่ออินพุทเป็น “0” -0.3 ถึง 0.8 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันเอาท์พุท "1" 2.4 โวลต์

แรงดันเอาท์พุท "0" 0.4 โวลต์

กำลังงานสูญเสีย 1 วัตต์

อุณหภูมิขณะใช้งาน 0̊ C ถึง 70̊ C

อุณหภูมิสูงสุด -55̊ C ถึง +125̊ C

ตารางที่ 3.1 แสดงลักษณะของขาไอซี H628128

ขา	ชื่อสัญญาณ
Ao-A16	อินพุทแอดเดรส
E	ชิพอีนาเบิล
G	เอาต์พุทอีนาเบิล
GND	กราวด์
NC	ไม่ใช้งาน
PGM	เลือกโหมดโปรแกรม
Q1-Q8	เอาต์พุท
Vcc	แรงดันแหล่งจ่าย 5 โวลท์
Vpp	แรงดันขณะโปรแกรม 12.5 โวลท์

การนำมาใช้งาน

HM628128 สามารถนำไปใช้งานในหน่วยความจำชนิด สแตติกแรมเบอร์อื่น เพราะมีลักษณะการจัดขาคล้ายๆ กัน เพียงแต่ HM628128 มีจำนวนขามากกว่า คือ มีจำนวนขาแอดเดรสเพิ่มเข้ามาเท่านั้นเอง แต่ส่วนอื่นๆ จะเหมือนเดิมเกือบหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
038368

ตารางที่ 3.2 การใช้งานและหน้าที่ของขาต่างๆ

ขา	ชื่อสัญญาณ
A0-A16	แอดเครส
I/O0-I/O7	อินพุท/เอาท์พุท
/CS1	อีนาเบิ้ลชิพ 1
CS2	อีนาเบิ้ลชิพ 2
/WE	สัญญาณการเขียน
/OE	เอาท์พุทอีนาเบิ้ล
NC	ไม่ใช้งาน
Vcc	ไฟบวก
Vss	กราวด์

ตารางที่ 3.3 แสดงโหมดการทำงานของไอซี H628128

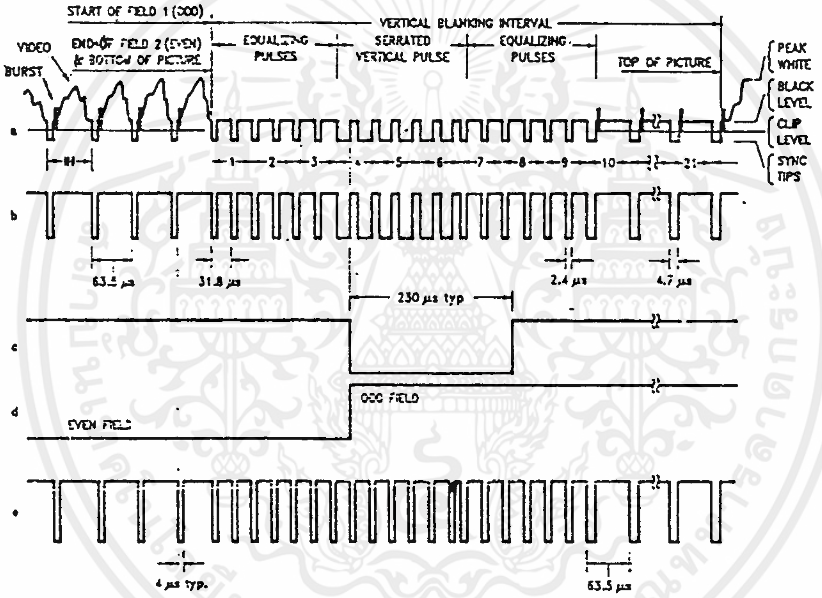
โหมด	ฟังก์ชั่น							
	E	G	PGM	Vpp	Vcc	A9	A10	Q1-Q8
Page Date Latch	Vih	Vil	Vih	Vpp	Vcc	X	X	DIN
Programming One Byte	Vil	Vih	Vil	Vpp	Vcc		X	DIH
Programming Four Byte	Vih	Vih	Vil	Vpp	Vcc	X	X	HI-Z
Program Inhibit	X	Vil	Vil	Vpp	Vcc	X	X	HI_z
	X	Vih	Vih					

3.5 ไอซีแยกสัญญาณซิงค์ LM1881

การสร้างแอดเครสให้แก่หน่วยความจำวีดีโอแรมในโหมดการเขียนข้อมูลภาพนี้เพื่อให้การสะแกนแอดเครสของหน่วยความจำวีดีโอแรมให้สัมพันธ์กับข้อมูลภาพที่จะใช้เขียนดังนั้น ใน

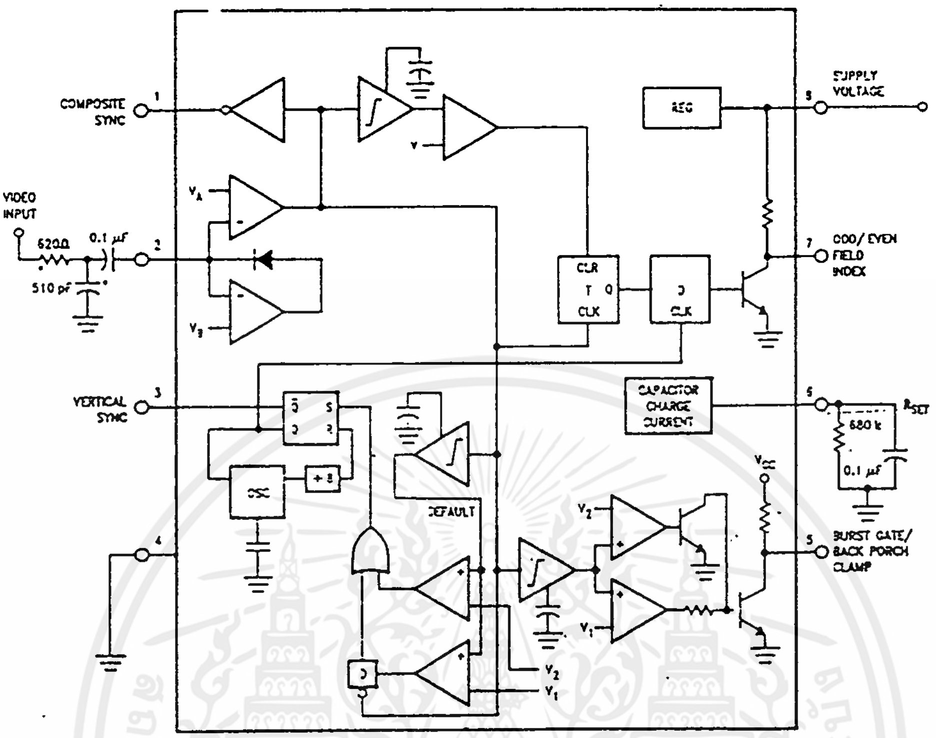
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมดนี้จะใช้สัญญาณซิงค์ที่ได้จากกล้องวีดีโอเป็นสัญญาณควบคุมวงจรในส่วนการสร้างแอดเดรส ของหน่วยความจำวีดีโอแรม หรือวงจรนับ (Counter) แต่เนื่องจากสัญญาณที่ได้จากกล้องวีดีโอ เป็นสัญญาณภาพรวม(Composite Video)คือมีสัญญาณภาพผสมรวมกับสัญญาณซิงค์และแบลงค์กิ้ง ดังนั้นจึงต้องมีวงจรในส่วนการแยกสัญญาณซิงค์ โดยใช้ไอซีเบอร์LM1881 จะได้ สัญญาณ เอาท์พุทเป็นสัญญาณซิงค์ทางแนวตั้ง (Vertical Sync) และสัญญาณซิงค์รวม (สัญญาณซิงค์ทาง แนวตั้ง,แนวนอน และสัญญาณอีควอไลซิ่งซิงค์) ดังแสดงใน รูปที่ 3.5



รูปที่ 3.5 (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



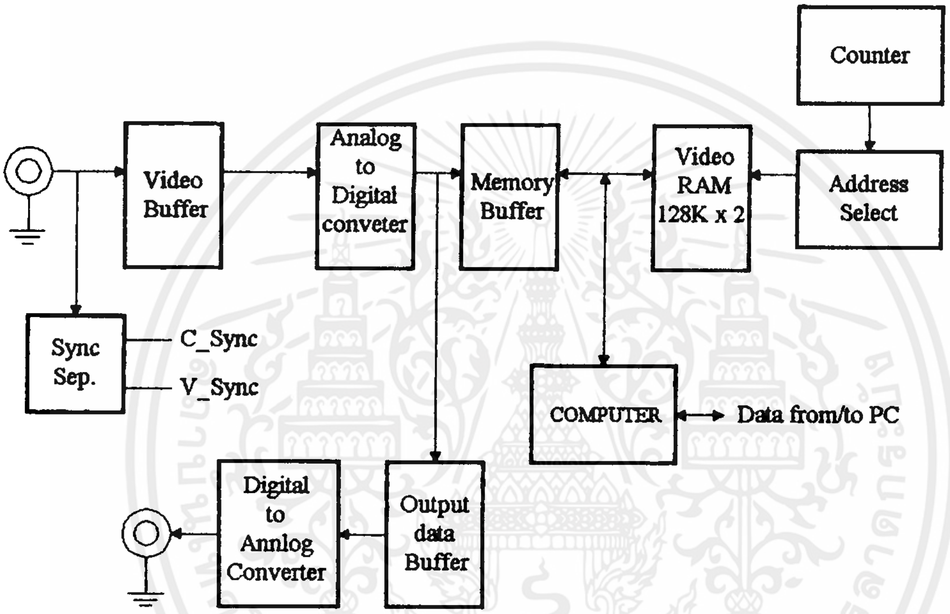
รูปที่ 3.6 โครงสร้างภายในของไอซี LM1881

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ระบบเก็บภาพดิจิตอล (Video Digitizer System)

จากบล็อกไดอะแกรม(Block Diagram) ในรูปที่ 4.1 เราสามารถแยกส่วนวงจรออกได้เป็นส่วนใหญ่ๆ ดังนี้คือ



รูปที่ 4.1 Block diagram ของโครงงาน

ซึ่งวงจรและบล็อกไดอแกรมแต่ละส่วนสามารถอธิบายการทำงานได้ดังนี้

1. ภาคอินพุท
2. ภาคหน่วยความจำภาพ
3. ภาควงจรนับ
4. ภาคแยกสัญญานซิงค์
5. ภาคเลือกแอดเดรสและผลิตความถี่
6. ภาคเอาท์พุท
7. ภาคควบคุมการเขียนข้อมูล
8. ภาคอินเตอร์เฟส

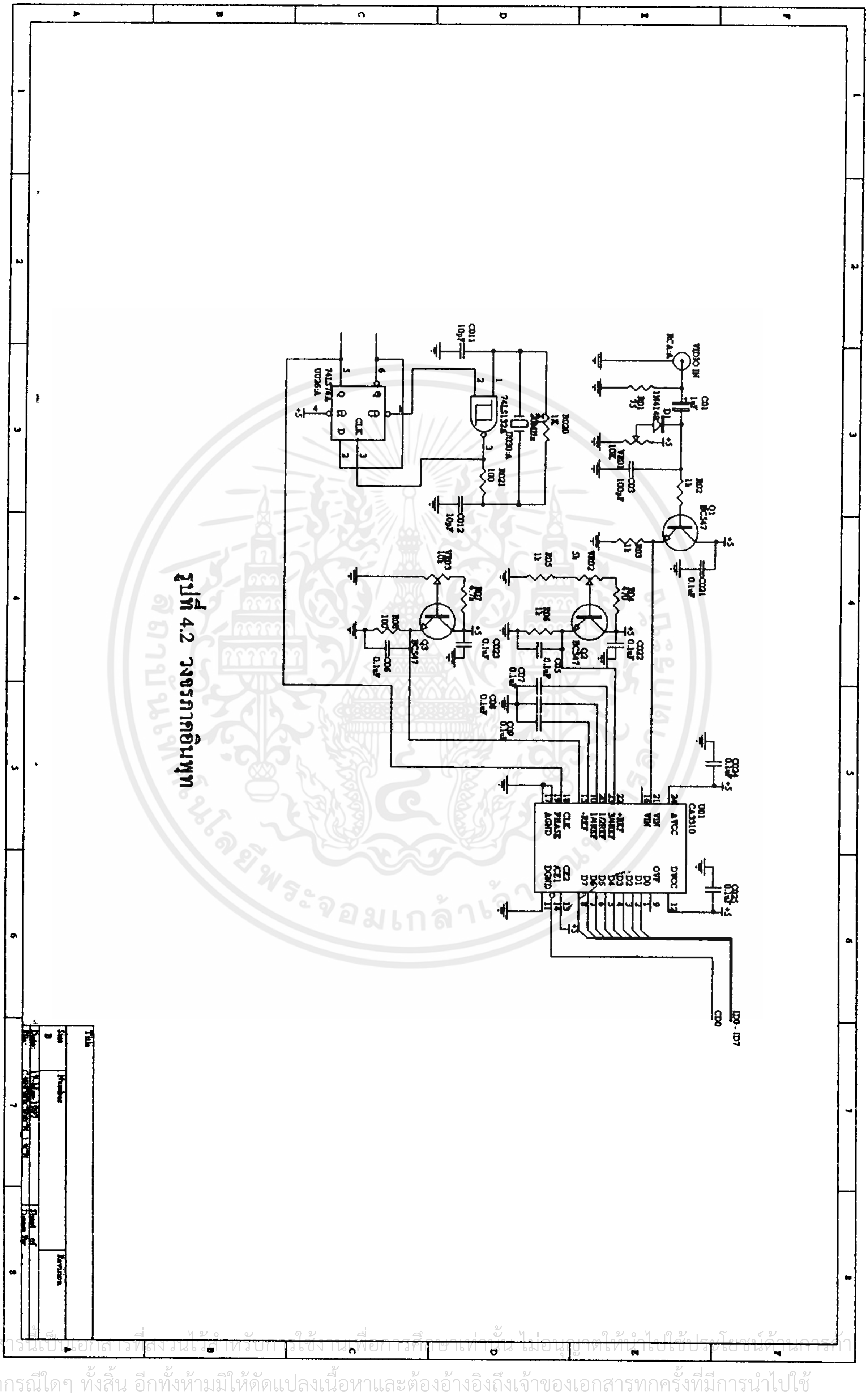
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 วงจรภาคอินพุท

สัญญานภาพจากกล้องวีดีโอชนิดซีซีดี ที่มีขนาด 1 โวลท์พีคทูพีค ถูกป้อนเข้าสู่วงจรทางอินพุทเทอร์มินอล J1 และต่อผ่าน R01 โดยทำหน้าที่ปรับอิมพีแดนซ์ของวงจรให้เหมาะสมกับอิมพีแดนซ์ของกล้องคือ 75 โอห์ม จาก R01 สัญญานภาพจะถูกส่งเข้า C01 เพื่อให้สัญญานภาพนี้มีเฉพาะสัญญานที่เป็นสัญญานกระแสสลับเท่านั้น (ตัดแรงดันไฟตรงออก) จากนั้นสัญญานภาพจะถูกยกระดับด้วย D1 และ VR01 วัตถุประสงค์ของการยกระดับสัญญานนี้ก็เพื่อให้สัญญานมีสัญญานภาพมีสัญญานรบกวนน้อยที่สุด ก่อนที่จะถูกส่งผ่าน R02 และ R03 เข้า Q1 เพื่อทำการขยายต่อไปสัญญานภาพที่ขยายแล้วจะถูกส่งเข้าที่ขา 21 (Vin) ของ U01 (CA3318) ซึ่งทำหน้าที่แปลงสัญญานอนาลอกเป็นดิจิตอล การทำงานของไอซีตัวนี้ต้องประกอบด้วยสัญญานอินพุท, ระดับแรงดันอ้างอิงทางด้านบวก,ระดับแรงดันอ้างอิงทางด้านลบ,สัญญานนาฬิกา และสัญญานควบคุม ดังที่กล่าวมาแล้วสัญญานอินพุทของไอซีนั้นได้มาจากสัญญานภาพที่ผ่านการขยายโดย Q1 ในส่วนของระดับแรงดันอ้างอิงทางบวก (ขา 22) นั้น จะได้มาจากวงจรซึ่งประกอบด้วย R04,R05,R06,VR02,C05 และ Q2 ซึ่งจากวงจรนี้เราสามารถปรับระดับของแรงดันอ้างอิงทางบวกได้จาก 0.2 - 3.7 โวลท์ แรงดันอ้างอิงทางบวกนี้จะถูกปรับให้มีขนาดเท่ากับแรงดันสูงสุดของ

สัญญานภาพอินพุทวงจรของระดับแรงดันอ้างอิงทางลบที่ใช้จะประกอบด้วย R07,R08,VR03,C06 และ Q3 แรงดันที่ได้นี้จะอยู่ระหว่าง 0-0.7 ต่อเข้าไอซีที่ขา 15 ซึ่งระดับสัญญานนี้จะถูกปรับให้มีขนาดเท่ากับแรงดันต่ำสุดของสัญญานภาพอินพุท ในวงจรนี้เราจะใช้ระดับแรงดันอ้างอิงเพียง 2 ค่า คือ ระดับแรงดันอ้างอิงทางด้านบวก และระดับแรงดันอ้างอิงทางด้านลบ ดังนั้นระดับอ้างอิงที่เหลือ คือ 3/4,1/2 และ 1/4 เท่าของระดับอ้างอิง (ขา 23 ,20 ,10) จะไม่ถูกใช้งานเราจะต่อผ่าน C07,C08และ C09 ลงกราวด์ตามลำดับ เพื่อลดสัญญานรบกวนที่อาจจะมีขึ้นได้ นอกจากนี้ไอซีต้องทำงานร่วมกับสัญญานนาฬิกาขนาด 10mhz และต้องมีการควบคุมการทำงานของไอซีที่ขา /CE1 และ CE2 เพื่อให้เกิดการทำงานที่เหมาะสม สัญญานเอาท์พุทที่ได้จากไอซีตัวนี้เป็นสัญญานดิจิตอลขนาด 8 บิท ซึ่งจะให้ความแตกต่างของระดับสัญญาน 256 ระดับ สัญญานเอาท์พุทนี้จะถูกส่งต่อไปยังชุดหน่วยความจำภาพและชุดแปลงสัญญานดิจิตอลเป็นสัญญานอนาลอกต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 วงจรภาคอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรภาคหน่วยความจำภาพ

วงจรหน่วยความจำภาพ ประกอบด้วย U05,U06,U07 และ U08 โดยที่ U05 จะเป็นตัวบัฟเฟอร์ข้อมูลภาพระหว่างวงจรแปลงสัญญาณกับหน่วยความจำภาพ (U08,U09) ในส่วนของ U06 จะเป็นตัวบัฟเฟอร์ข้อมูลภาพระหว่างหน่วยความจำภาพกับคอมพิวเตอร์ ในการใช้งานเราจะเลือกติดต่อระหว่างหน่วยความจำภาพกับวงจรแปลงสัญญาณ หรือกับคอมพิวเตอร์อย่างใดอย่างหนึ่งเท่านั้น นั่นหมายความว่า U05 กับ U06 จะไม่สามารถทำงานพร้อมกันได้ การควบคุม U05 ให้ทำงานต้องอาศัยสัญญาณ CD2 ซึ่งต่อกับขาอีนาเบิล (ขา 19) คือถ้าสัญญาณ CD2 เป็น "0"U05 จะสามารถส่งผ่านข้อมูลได้แต่ถ้า CD2 เป็น ."1" ทุกขาที่เป็นข้อมูลของ U05 จะเป็นไฮอิมพีแดนซ์ การที่ U05 จะทำการส่งข้อมูลจากวงจรแปลงสัญญาณเข้าสู่หน่วยความจำภาพ หรือจากหน่วยความจำภาพเข้าสู่วงจรแปลงสัญญาณ ก็ขึ้นอยู่กับสัญญาณ CD0 คือสัญญาณ CD0 (ต่อที่ขาควบคุมทิศทางของ U05) มีค่าเป็น "0" การติดต่อข้อมูบจะเป็นลักษณะจากวงจรแปลงสัญญาณเข้าหน่วยความจำภาพ แต่ถ้า CD0 เป็น "1" จะเป็นการส่งข้อมูลจากหน่วยความจำภาพไปสู่วงจรแปลงสัญญาณ ในส่วนของ U06 การที่จะควบคุมให้ทำงานนั้นต้องอาศัยสัญญาณควบคุมซึ่งได้มา จาก เอาท์พุทของ U031: A (ซึ่งจะได้กล่าวภายหลัง)โดยที่ U06 จะทำงานในช่วงที่มีการอ่าน,เขียน กับหน่วยความจำของคอมพิวเตอร์เท่านั้น ถ้าไม่มีการอ่านหรือเขียนกับหน่วยความจำของคอมพิวเตอร์ U06 จะไม่ทำงานคือขาข้อมูลทุกขาจะมีสถานะเป็นไฮอิมพีแดนซ์ การควบคุม U06 ให้มีการส่ง

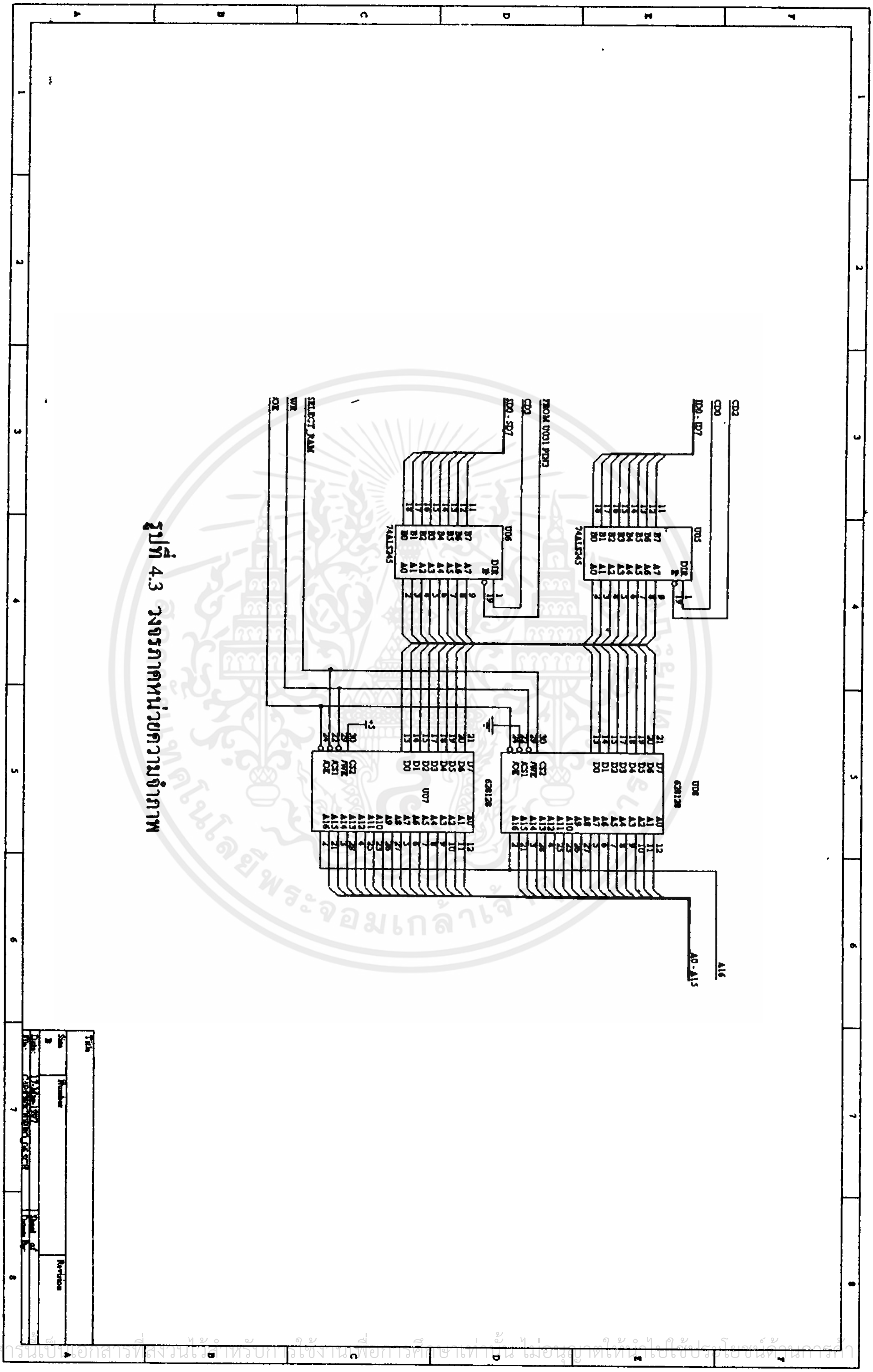
ข้อมูลจากหน่วยความจำภาพเข้าคอมพิวเตอร์หรือจากคอมพิวเตอร์สู่หน่วยความจำภาพนั้นขึ้นอยู่กับสัญญาณของ CD3 (ต่อที่ขาควบคุมทิศทางของ U06) คือถ้า CD3 เป็น "0" เป็นการส่งข้อมูลจากคอมพิวเตอร์สู่หน่วยความจำภาพ และถ้า CD3 เป็น "1" เป็นการส่งข้อมูลจากหน่วยความจำภาพสู่คอมพิวเตอร์ U07 และ U08 เป็นหน่วยความจำภาพขนาด 128 กิโลไบท์ ใช้เก็บข้อมูลภาพในแต่ละฟิลด์ คือ U07 จะเก็บข้อมูลภาพในฟิลด์คี่และ U08 จะเก็บข้อมูลภาพในฟิลด์คู่ เนื่องจาก U07 และ U08 เป็นหน่วยความจำขนาด 128 กิโลไบท์ จำเป็นต้องใช้แอดเดรสในการอ้างตำแหน่งหน่วยความจำถึง 17 เส้น คือ A0 - A16 สัญญาณแอดเดรสนี้จะมาจากวงจรนับภายในการ์ด หรือคอมพิวเตอร์ นอกจากสัญญาณแอดเดรสทั้ง 17 เส้นแล้ว U07,U08 จะทำงานได้ต้องอาศัยสัญญาณอื่น ๆ อีก คือ สัญญาณควบคุมไอซี 1 (/CS1), สัญญาณควบคุมไอซี 2 (CS2) สัญญาณควบคุมการเขียน (/WE), สัญญาณควบคุมเอาท์พุท (/OE) การต่อใช้งานของสัญญาณต่าง ๆ มีดังนี้คือ U07 (เก็บข้อมูลภาพฟิลด์คี่) เราจะต่อ CS2 กับ+Vcc , /CS1 ต่อเข้ากับสัญญาณควบ คุมการเลือกหน่วยควบคุมการเลือกหน่วยความจำ(ได้มาจากเอาท์พุท ขา 7 ของ U014) สัญญาณ /WE ต่อเข้ากับสัญญาณควบคุมการเขียน (ได้มาจากเอาท์พุทของ U028:A) และสัญญาณ /OE ต่อเข้ากับสัญญาณควบคุมเอาท์พุทหน่วยความจำภาพ (เอาท์พุทขา 9 ของ U014) ส่วน U08 นั้น สัญญาณ /

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CS1 ต่อเข้ากับกราวด์ ,สัญญาน CS2 ต่อเข้ากับสัญญานควบคุมการเลือกหน่วยความจำเช่นเดียวกับ /CS1ของ U07 สัญญาน /WE ต่อเข้ากับสัญญานควบคุมการเขียนเช่นเดียวกับ U07 และสัญญาน /OE ต่อเข้ากับสัญญานควบคุมเอาท์พุทหน่วยความจำเช่นเดียวกับ U07

ถ้าเราต้องการให้ U07 ทำงาน เราจะให้สัญญานควบคุมการเลือกหน่วยความจำเป็น "0" แต่ถ้าสัญญานควบคุมนี้เป็น "1" จะเป็นการกำหนดให้ U08 ทำงานแทน จะเห็นว่า U07 และ U08 ไม่สามารถทำงานพร้อมกันได้ และต้องทำงานสลับตลอดเวลา เมื่อตัวใดหยุดทำงานขาสัญญานอินพุท/เอาท์พุทของตัวนั้นจะเป็นสถานะไฮอิมพีแดนซ์ ในกรณีที่ต้องการเขียนหรืออ่านข้อมูลสู่หรือจากหน่วยความจำภาพนั้นทำได้โดยการควบคุมสัญญาน /WE และ /OE (ซึ่งจะเหมือนกันทั้ง U07 และ U08) คือถ้าต้องการอ่านข้อมูลสัญญาน /WE ต้องเป็น "1" และ /CE ต้องเป็น "0" แต่ถ้าต้องการเขียนข้อมูลสัญญาน /WE ต้องเป็น "0" และสัญญาน /OE จะเป็น "1" หรือ "0" ก็ได้ การอ่านหรือเขียนข้อมูลนั้นจะต้องทำร่วมกับการกำหนดตำแหน่งของข้อมูลบนหน่วยความจำภาพซึ่งก็คือ การกำหนดค่าแอดเดรสนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 วงจรภาคหน่วยความจำภาพ

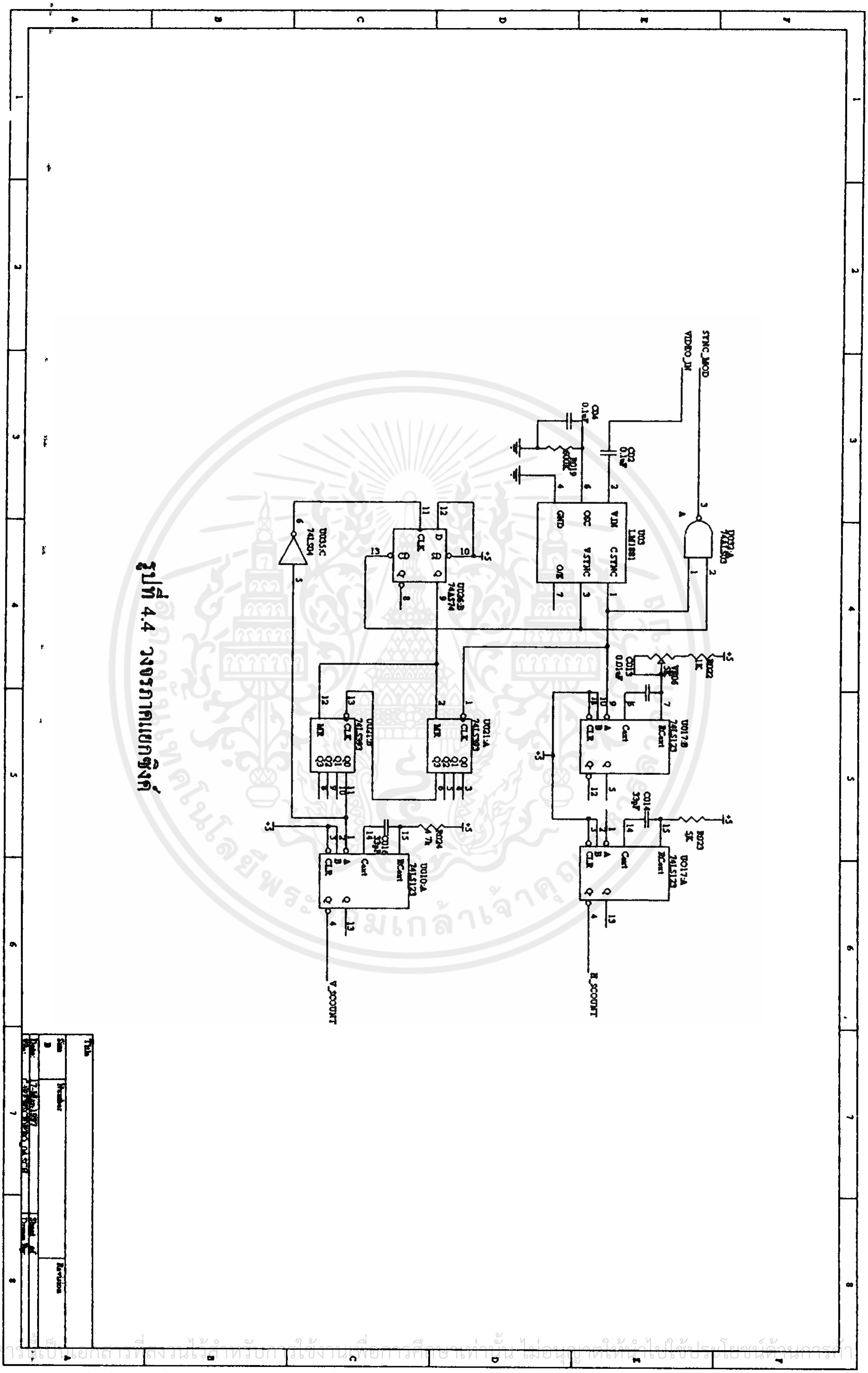
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจรภาคแยกซิงค์

สัญญานจากกล้องวีดีโอส่วนหนึ่งจะถูกส่งเข้าวงจรแยกสัญญานซิงค์ซึ่งใช้ไอซี LM1881 (U03) ทางขา 2 ผ่าน C02 ไอซี U03 นี้จะต้องต่อกับตัวความต้านทาน และตัวเก็บประจุภายนอก (R019,C04) เพื่อกำหนดช่วงเวลาของวงจรผลิตความถี่ภายใน สัญญานเอาท์พุทของไอซี U03 ได้แก่ สัญญานซิงค์รวม, สัญญานซิงค์ทางแนวตั้ง,สัญญานกำหนดฟิลด์คู่ สัญญานซิงค์รวมที่ได้นี้จะถูกส่งไปยังชุดหน่วงเวลาทางด้านแนวนอนซึ่งประกอบ R022,VR06,C013,U017:B,R023,C014 และ U017:A การทำงาน คือสัญญานซิงค์รวมจะถูกหน่วงประมาณ 9 ไมโครวินาที ด้วย R022,VR06,C013 และ U017:B เมื่อการหน่วงเวลาสิ้นสุดลงจะเกิดสัญญานพัลซ์ช่วงสั้น ๆ ประมาณ 46 นาโนวินาที สัญญานพัลซ์นี้เกิดขึ้นจาก R023,C014 และ U017:A ซึ่งสัญญานพัลซ์นี้จะถูกส่งต่อไปยังวงจรควบคุมการนับทางแนวนอนเพื่อทำการรีเซ็ตให้วงจรนับทางแนวนอนทำการนับได้ วัตถุประสงค์ของการหน่วงเวลาก็เพื่อให้วงจรนับทางแนวนอนเริ่มทำการนับ ณ. ตำแหน่งเริ่มต้นของการสแกนสัญญานภาพที่เท่ากันทุกเส้นสแกน เพราะถ้าเรานำเอาสัญญานซิงค์รวมไปรีเซ็ตวงจรควบคุมการนับทางแนวนอนโดยที่ไม่มีการหน่วงเวลาเลย จะทำให้การนับทางแนวนอนแต่ละครั้งไม่เริ่มต้นที่ตำแหน่งของการสแกนภาพแต่จะเริ่มต้นก่อนหน้าการสแกนภาพซึ่งเป็นการไม่ถูกต้อง

นอกจากนี้สัญญานซิงค์รวมจาก U03 จะถูกส่งสู่วงจรนับสัญญานซิงค์ เพื่อใช้หน่วงเวลาให้กับสัญญานซิงค์ทางแนวตั้ง วงจรนับซิงค์นี้จะประกอบด้วย U026:B,U021:A,U021:B การทำงานคือ เมื่อมีสัญญานซิงค์ทางแนวตั้ง (มีค่าเป็น “0”) เข้ามา จะทำให้เกิดการรีเซ็ตชุดควบคุมการนับสัญญานซิงค์รวม (เพราะสัญญานซิงค์ทางแนวตั้งต่อเข้ากับขารีเซ็ตของชุดควบคุมการนับซิงค์รวม) ทำให้เอาท์พุท Q ของ U026:B มีค่าเป็น “0” ผลก็คือทำให้ U021:A และ U021:B ทำการนับสัญญานซิงค์รวมนั้น จากวงจรจะต่อเป็นวงจรนับ 32 คือ ถ้านับสัญญานซิงค์รวมได้ครบ 32 ลูก ก็จะเกิดสัญญานพัลซ์เล็ก ๆ ประมาณ 43 นาโนวินาที ซึ่งสัญญานพัลซ์นี้เกิดจาก R024,C016 และ U018:A โดยส่งไปรีเซ็ตวงจรควบคุมการนับทางแนวตั้งเพื่อให้เกิดการนับทางแนวตั้งต่อไป ซึ่งการนับซิงค์รวมนี้จะเริ่มทำการนับอีกครั้งภายหลังจากมีสัญญานซิงค์ทางแนวตั้งลูกใหม่เข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



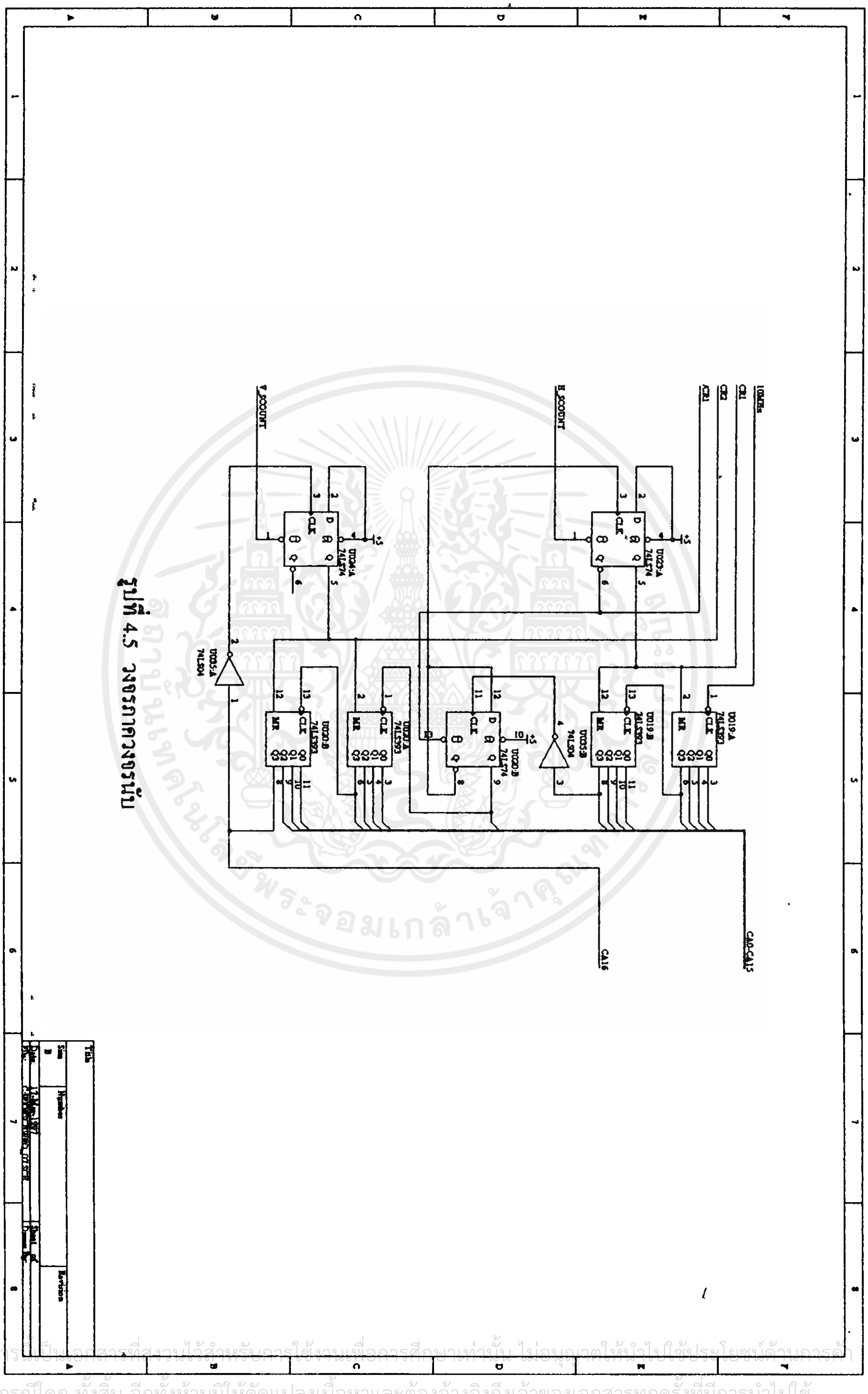
รูปที่ 4.4 วงจรภาคแยกซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 วงจรภาควงจรนับ

วงจรนับและวงจรควบคุมการนับทั้งทางแนวนอนและแนวตั้งประกอบด้วย U019:A,U019:B,U020:A,U020:B,U023:A,U023:B,U024:A,U035:Aและ U035:B การทำงานก็ คือ สัญญาณนาฬิกาขนาด 10 Mhz จากวงจรกำเนิดความถี่ถูกส่งเข้าที่ขา 1 ของ U019:A ซึ่งเป็นไอซีไบนารี่อะซิงโครนัสเคาว์เตอร์ขนาด 4 บิท และเอาท์พุท CA3 (ขา 6) ถูกต่อเข้าสู่อินพุทของ U019:B ที่ขา 13 และเอาท์พุท CA7 (ขา 8) ของ U019:B ก็คือเข้ากับอินพุทของ U023:B (ดี ฟลิป ฟลอป) ผ่าน U035:B (น็อตเกต) เอาท์พุท Q ขา 9 ของ U023:B ถูกต่อเป็นอินพุทให้กับ U020:A (ขา 1) และเอาท์พุท CA12 (ขา 6) ของ U020:A เป็นอินพุทให้กับ U020:B การต่อเช่น นี้ก็เพื่อ ให้ได้สัญญาณเอาท์พุทของวงจรนับรวมทั้งหมด 17 เส้น เพื่อใช้ในการอ้างตำแหน่งของข้อมูลที่จะเก็บในหน่วยความจำภาพการเก็บสัญญาณภาพ 1 ฟิลด์ ใช้หน่วยความจำ 128 กิโลไบท์ ซึ่งต้องใช้การอ้างตำแหน่งถึง 17 เส้น การอ้างตำแหน่งนี้แบ่งออกเป็น 2 ส่วน คือ U019:A ,U019:B และU023:B จะให้เอาท์พุทของการนับ 9 เส้น เพื่อใช้อ้างตำแหน่งหน่วยความจำภาพทางแนวนอน (เก็บข้อมูลภาพ 1 เส้นสแกนภาพ) มีขนาด 512 จุดภาพ ส่วนที่สองประกอบด้วย U020:A และ U020:B ให้เอาท์พุทการนับ 8 เส้น ใช้ในการกำหนดตำแหน่งของหน่วยความจำภาพทางแนวตั้ง (ใช้นับเส้นสแกนภาพที่ทำการเก็บข้อมูล) ซึ่งการอ้างตำแหน่งนี้อ้างได้ 256 เส้นการอ้างตำแหน่งหน่วยความจำภาพที่แบ่งออกเป็นสองส่วนนี้ จะต้องมีชุดควบคุมการนับ 2 ชุด เช่น เดียวกัน คือ U023:A ใช้ควบคุมการนับทางแนวนอน และ U024:A ใช้ควบคุมการนับทางแนวตั้ง วงจรนับทางแนวนอนจะมีการนับก็ต่อเมื่อสัญญาณควบคุมการนับ (CR1) มีค่าเป็น “0” ให้ U019:A ,U019:B และเป็น “1” ให้ U023:B ส่วนวงจรนับทางแนวตั้งจะทำการนับได้ก็ต่อเมื่อ สัญญาณควบคุมการ นับ (CR2) ต้องมีสัญญาณ “0” ให้กับ U020:A ,U020:B การที่วงจรควบคุมการนับจะให้สัญญาณควบคุมการนับเป็น “0” หรือ “1” นั้น ขึ้นอยู่กับพัลซ์รีเซ็ตวงจรควบคุมการนับ (เป็นสัญญาณที่เกิดหลังจากมีการหน่วงสัญญาณซิงค์แล้ว) สัญญาณพัลซ์รีเซ็ตวงจรควบคุมการนับทางแนวนอนคือ สัญญาณ H_SCOUNT ส่วนสัญญาณพัลซ์รีเซ็ตวงจรควบคุมการนับทางแนวตั้งคือ สัญญาณ V_SCOUNT ถ้าสัญญาณรีเซ็ตนี้มีค่าเป็น “0” เอาท์พุทของสัญญาณควบคุมการนับจะเป็น “0” (เพราะสัญญาณรีเซ็ตนี้ต่อเข้าที่ขารีเซ็ตของชุดควบคุมการนับ) ทำให้เกิดการนับได้ สัญญาณรีเซ็ตนี้จะเป็นเพียงสัญญาณพัลซ์เล็ก ๆ วัตถุประสงค์ควบคุมเป็น “0” แล้ว รีเซ็ตพัลซ์นี้จะมีค่าเป็น “1” การที่เอาท์พุทของวงจรควบคุมการนับทางแนวนอน หรือทางแนวตั้งจะมีค่าเป็น “1” ได้นั้นก็เกิดจากการที่ วงจรนับทางแนวนอนนับครบ 512 จุดภาพ หรือวงจรนับทางแนวตั้งนับ ครบ 256 เส้น กล่าวคือวงจรนับจะเริ่มนับเมื่อมีสัญญาณพัลซ์รีเซ็ตเข้ามาสู่วงจรควบคุมการนับ และจะหยุดนับก็ต่อเมื่อนับครบ 512 (ทางด้านแนวนอน) หรือ 256 (ทางด้านแนวตั้ง) และจะหยุดนับจนกว่าจะมีสัญญาณพัลซ์รีเซ็ตลูกต่อไปเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 วงจรภาควงจรนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

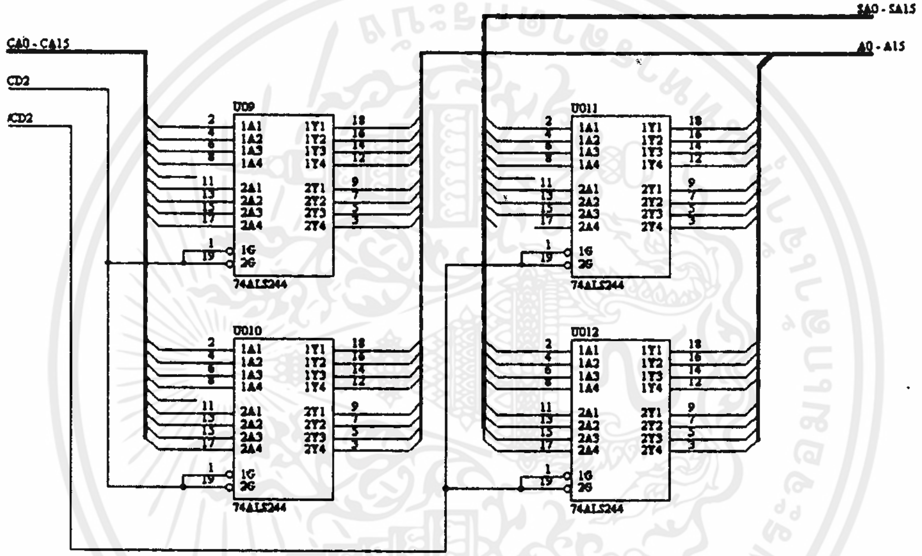
4.5 วงจรภาคเลือกแอดเดรสและผลิตความถี่

วงจรผลิตความถี่จะประกอบด้วย X1,R020,R021,C011,C012,U030:A และ U026:A ตามปกติวงจรผลิตความถี่จะถูกทำงานเป็นอิสระไม่เกี่ยวข้องกับสัญญานควบคุมใด ๆ แต่ในวงจรนี้สัญญานนาฬิกาที่ออกจากวงจรผลิตความถี่ถูกควบคุมให้ทำงานเป็นจังหวะ ๆ สัญญานควบคุมที่มาใช้ควบคุมวงจรผลิตความถี่ก็คือ /CR1 เหตุที่ต้องนำสัญญานควบคุมมาใช้ก็ เพื่อให้สัญญานนาฬิกาที่ใช้ในการสุ่มข้อมูลในเอทูดีคอนเวอเตอร์สัมพันธ์กับสัญญานภาพท่จะทำการเก็บ ผลเพื่อลดความคลาดเคลื่อนของข้อมูลภาพที่ทำการเก็บ สัญญานนาฬิกาที่ออกจากวงจรผลิตความถี่มีขนาด 10 MHz

ส่วนวงจรเลือกแอดเดรสของหน่วยความจำภาพนี้มีหน้าที่ เลือกสัญญานแอดเดรสที่มาจากวงจรนับ (ซึ่งใช้ในกรณีที่เก็บข้อมูลภาพเข้าสู่หน่วยความจำภาพ) หรือเลือกสัญญานแอดเดรสที่มาจากคอมพิวเตอร์ (ใช้ในกรณีที่อ่านข้อมูลจากหน่วยความจำภาพเข้าสู่คอมพิวเตอร์) เราใช้ U09 และ U010 ติดต่อกับแอดเดรสที่มาจากวงจรนับ ส่วน U011 และ U012 ใช้ติดต่อกับแอดเดรสที่มาจากคอมพิวเตอร์ สัญญานที่ใช้เลือกว่าจะเป็นแอดเดรสที่มาวงจรนับ หรือคอมพิวเตอร์ คือ CD2 และ /CD2 สัญญานทั้งสองนี้จะมีค่าต่างเฟสกันคือถ้า CD2 เป็น “1” /CD2 จะเป็น “0” หรือถ้า CD2 เป็น “0” /CD2 จะเป็น “1” ด้วยเหตุนี้เราจะต่อ CD2 เข้ากับ U09 และ U010 ที่ขาอีนาเบิล (ขา 1 และ 19) และต่อ /CD2 เข้ากับ U011 และ U012 ที่ขาอีนาเบิล (ขา 1 และ 19 เช่นเดียวกัน) กล่าวคือ เมื่อสัญญาณอีนาเบิลของ U09, U010 หรือ U011, U012 ชุดใดชุดหนึ่งมีค่าเป็น “0” จะทำให้มีข้อมูลเอาท์พุทที่ชุดนั้น เช่น ถ้าเราให้ CD2 เป็น “0” /CD2 จะเป็น “1” ทำให้สัญญานอีนาเบิลของ U09, U010 เป็น “0” ก็จะมีสัญญานเอาท์พุทที่ U09 และ U010 แต่เนื่องจาก U09 และ U010 มีอินพุทต่ออยู่กับวงจรนับ ดังนั้นแอดเดรสของหน่วยความจำภาพถูกกำหนดด้วยวงจรนับ ส่วนเอาท์พุทของ U011 และ U012 จะมีค่าเป็นไฮอิมพีแดนซ์ เพราะสัญญานอีนาเบิลของ U011 และ U012 เป็น “1” ในทางกลับกันถ้าสัญญานควบคุม CD2 เป็น “1” /CD2 จะเป็น “0” ทำให้ไฮอิมพีแดนซ์ ขณะเดียวกันสัญญานอีนาเบิลของ U011 และ U012 มีค่าเป็น “0” จะทำให้มี

เอาท์พุทออกมาและเนื่องจากอินพุทของU011 และU012 ต่อกับแอดเดรสของคอมพิวเตอร์ ดังนั้นแอดเดรสของหน่วยความจำภาพจะถูกกำหนดด้วยแอดเดรสของคอมพิวเตอร์ การใช้ U09, U010 หรือ U011, U012 กับการเลือกแอดเดรสจะทำได้เพียง 16 เส้นเท่านั้น ดังนั้นสัญญานแอดเดรสที่เหลืออีก 1 เส้นจะถูกส่งเข้าวงจรเลือกอีกชุดหนึ่งซึ่งจะได้กล่าวถึงในภายหลังต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 วงจรภาคเลือกแอดเดรส

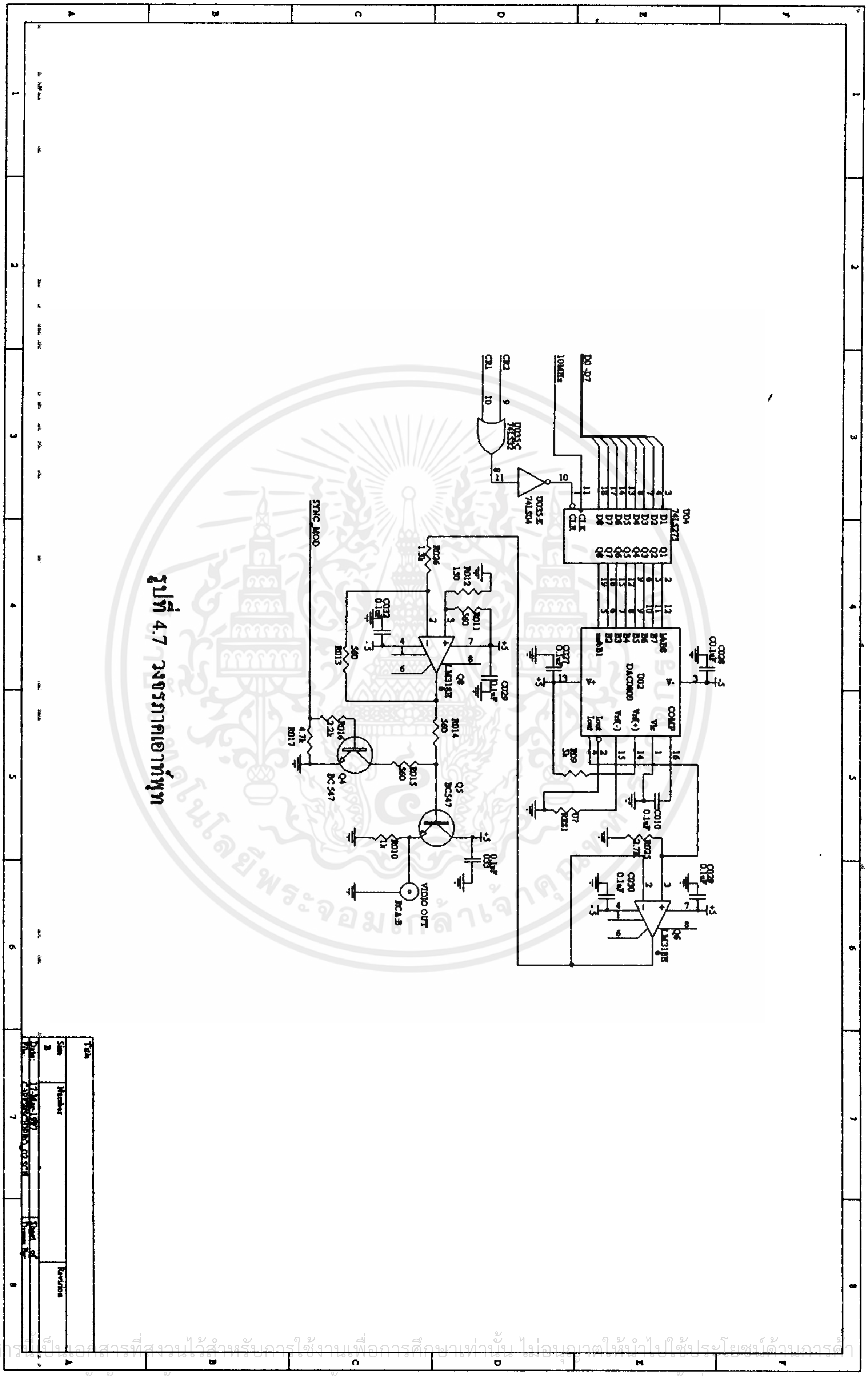
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 วงจรภาคเอาท์พุท

สัญญาณดิจิตอลที่ได้จากชุดแปลงสัญญาณอนาลอกเป็นดิจิตอลส่วนหนึ่งจะถูกส่งเข้าชุดวงจรเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอก ซึ่งสัญญาณดิจิตอลที่เข้าสู่วงจรนี้จะถูกส่งผ่าน U04 (74 LS273) โดยที่ไอซี U04 ตัวนี้ทำหน้าที่เป็นตัวบัฟเฟอร์ข้อมูลเอาท์พุท เพื่อส่งข้อมูลไปยัง U02 (DAC0800) เป็นไอวีที่ทำหน้าที่แปลงสัญญาณดิจิตอลเป็นอนาลอก U04 จะทำงานได้ต้องอาศัยสัญญาณนาฬิกาที่มีขนาด 10 MHz และสัญญาณควบคุมการส่งข้อมูล โดยควบคุมที่ขารีเซ็ต (ขา 1) สัญญาณดิจิตอลทางด้านอินพุทของ U04 จะถูกส่งออกทางเอาท์พุทตามจังหวะของสัญญาณนาฬิกา (ทุก ๆ ขอบขาขึ้นของสัญญาณนาฬิกา) และสัญญาณควบคุมการส่งข้อมูลนี้ต้องมีค่าสัญญาณเป็น "1" (ระดับ high) สัญญาณควบคุมนี้ได้มาจากการรวมสัญญาณควบคุมการนับทางแนวนอน (CR1) กับสัญญาณควบคุมการนับทางแนวตั้ง (CR2) แบบนอร์ (ผ่าน U033:C และ U035:E) แต่ถ้าสัญญาณควบคุมการส่งข้อมูลมีค่าเป็น "0" (ระดับ Low) เอาท์พุทของ U04 จะมีค่าเป็น "0" ทุกบิท แม้ว่าจะมีสัญญาณอินพุทและสัญญาณนาฬิกาหรือไม่ก็ตาม สัญญาณควบคุมนี้จะมีสัญญาณเป็น "1" ได้ก็ต่อเมื่อสัญญาณควบคุมการนับทั้งแนวนอนและแนวตั้งต้องมีค่าเป็น "0" แต่ถ้า สัญญาณควบคุมการนับทางด้านแนวนอนหรือแนวตั้งตัวใดตัวหนึ่งมีค่าเป็น "1" สัญญาณควบคุมการส่งข้อมูลจะมีค่าเป็น "0" ทันที (สัญญาณควบคุมการนับทั้งทางแนวนอนและแนวตั้งนั้น ถ้ามีสัญญาณเป็น "0" หมายความว่า กำลังมีการนับเกิดขึ้นแต่ถ้ามีสัญญาณเป็น "1" จะไม่มีการนับเกิดขึ้น)

สัญญาณดิจิตอลที่ออกจาก U04 จะถูกส่งเข้า U02 ซึ่ง U02 นี้จะทำงานได้ต้องอาศัยระดับของแรงดันอ้างอิงทางด้านลบเป็นตัวกำหนดค่าสัญญาณสูงสุดและต่ำสุดที่จะได้ทางด้านเอาท์พุทหลังการเปลี่ยนแปลงข้อมูงเป็นสัญญาณอนาลอกแล้ว จากวงจรนี้ระดับแรงดันอ้างอิงทางด้านบวกจะถูกต่อเข้ากับแรงดัน +5 โวลท์ ผ่าน R09 และระดับแรงดันอ้างอิงทางด้านลบจะถูกต่อเข้ากับกราวด์ ผ่าน R010 สัญญาณเอาท์พุทที่ได้จาก U02 นี้จะมีลักษณะเป็นกระแสเอาท์พุท ดังนั้นเพื่อให้ได้ สัญญาณเอาท์พุทเป็นแรงดันเราก็ต้องต่อขาเอาท์พุทนี้ร่วมกับ R025 ซึ่งทำหน้า ที่เปลี่ยนกระแส เอาท์พุทให้เป็นแรงดันเอาท์พุท จากนั้นแรงดันเอาท์พุทนี้จะถูกส่งผ่าน Q6 (LM318)ซึ่งทำหน้าที่เป็นบัฟเฟอร์ ซึ่งเอาท์พุทของ Q6 ที่ได้จะเป็นสัญญาณภาพ ต่อมาเราจะนำสัญญาณภาพมาทำการขยายและยกระดับด้วย Q7 ซึ่งอัตราการขยายนี้ถูกกำหนดด้วย R026 และ R013 สัญญาณภาพที่ได้จะถูกรวมกับสัญญาณซิงค์ และจะนำไปขยายโดย Q5 แล้วส่งออกจอมอนิเตอร์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 วงจรภาคเอาท์พุท

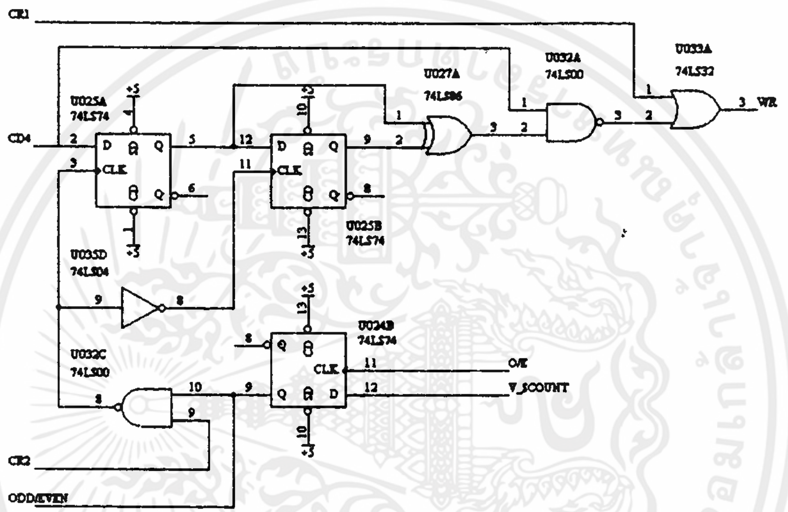
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 วงจรภาคควบคุมการเขียนข้อมูลภาพ

วงจรภาคควบคุมการเขียนข้อมูลภาพเข้าสู่หน่วยควบคุมความจำภาพ มีการทำงานดังนี้คือ เมื่อสัญญานอินพุทของ U025 : A เปลี่ยนสถานะ (จากการใช้งานจะเปลี่ยนสถานะจาก "0 " เป็น " 1 ") U025 : A จะเกิดการเปลี่ยนแปลงเอาท์พุทก็ต่อเมื่อสัญญานที่ต่อเข้ากับขานาฬิกา (ขา 3) เปลี่ยนสถานะจาก " 0 " เป็น " 1 " สัญญานนี้ได้มาจากการแนนด์ (โดย U 032 : C) กันระหว่างสัญญานควบคุมการนับทางการนับทางแนวตั้ง (CR 2) กับสัญญานกำหนดฟิลด์คี่หรือฟิลด์คู่ (ได้จาก ขา Q ของ U024: B) เป็น " 0 " และสัญญานนี้จะเป็น "0"ก็ต่อเมื่อสัญญาน CR2 เป็น "0" และสัญญานนี้จะเป็น "0" ก็ต่อเมื่อสัญญาน CR2 เป็น "1"และสัญญานกำหนดฟิลด์คี่หรือฟิลด์คู่เป็น "1" เท่านั้น ด้วยเหตุนี้ถ้าเราให้มีการเปลี่ยนแปลงของข้อมูลทางด้านอินพุททางของ U025 :A (จาก "0" เป็น " 1") เอาท์พุทของ U025 :A จะเกิดการเปลี่ยนแปลงตามอินพุท เมื่อสัญญานควบคุมการนับแนวตั้ง (CR2) เป็น "0" จากวงจรนั้นเอาท์พุทของ U025 A จะถูกต่อเข้าเป็นอินพุทให้กับ U025 : B และเอาพุทของ U025:B จะเป็นการเปลี่ยนแปลงก็ต่อเมื่อสัญญานที่เขานาฬิการเปลี่ยนสถานะจาก "0" เป็น "1" แต่เนื่องจากสัญญานที่ขานาฬิกาของ U025:B จะต่อกับเฟสกัน กับสัญญานที่ขานาฬิกา U025:A โดยใช้ U035:D เป็นตัวกลับเฟส

ในช่วงที่สัญญาน CR2 เป็น "0" หมายถึง ช่วงที่วงจรนับแนวตั้งกำลังทำการนับเพื่อกำหนดแอดเดรสให้กับหน่วยความจำภาพ จังหวะที่สัญญาน CR2 จะเปลี่ยนสถานะจาก "1" เป็น "0" ทำให้สัญญานที่ขานาฬิกาของ U025:A เปลี่ยนสถานะเช่นกัน คือ จาก "0" เป็น "1"นั้นหมายถึงอินพุทของ U025:A มีการเปลี่ยนแปลงสถานะก่อนหน้าที่และคงค่าไว้ จะทำให้เอาท์พุทของ U025:A เกิดการเปลี่ยนแปลงสถานะตามอินพุทในจังหวะนี้ จากที่ได้กล่าวแล้วว่าเอาท์พุทของ U025:A จะต่อเข้าอินพุทของ U025:B โดยที่ U025:B เปลี่ยนแปลงทางเอาท์พุทตามอินพุทก็ต่อเมื่อ สัญญาน CR2 เปลี่ยนสถานะจาก "0" เป็น "1" และสัญญานกำหนดฟิลด์คี่หรือฟิลด์คู่เป็น "1"จากการเปลี่ยนแปลงนี้เราก็จะนำไปควบคุมการเขียนข้อมูลภาพเข้าสู่หน่วยความจำภาพ (ต้องใช้เวลาในการเขียน 2 ฟิลด์) โดยต่อเอาท์พุทของ U025:A และเอาท์พุทของ U025:B ต่อเข้ากับ U027:A เพื่อเปรียบเทียบข้อมูลกันคือ ถ้าเอาท์พุทของ U025:A และ U025:B เหมือนกัน U027:A จะให้เอาท์พุทเป็น "0" แต่ถ้าเอาท์พุทของ U025:A และของ U025:B ต่างกัน U027:Aจะให้เอาท์พุทเป็น "1" เอาท์พุท U025:A จะต่อเป็นอินพุทให้กับ U032:A โดยที่อินพุทอีกข้างหนึ่งของ U032:A จะถูกต่อเข้ากับสัญญานควบคุม CD4 (เป็นสัญญานควบคุมที่มาจากคอมพิวเตอร์) U032:A จะให้ค่าเอาท์พุทเปลี่ยนแปลงตามอินพุทที่ได้จาก U027:A หรือไม่ก็ขึ้นอยู่กับสัญญานควบคุม CD4 คือถ้า CD4 เป็น "1" สัญญานเอาท์พุทของ U032:A จะเปลียนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 วงจรภาคควบคุมการเขียนข้อมูลภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามอินพุทที่ต่อกับ U027:A แต่ถ้า CD4 เป็น "0" เอาท์พุท U032:A จะมีสถานะเป็น "0" เมื่อสัญญาน CD4 มีค่าเป็น "1" และเอาท์พุทของ U027:A เป็น "1" (ซึ่งจะเกิดในช่วงที่ข้อมูลอินพุทของ U025:A ต่อเข้าเป็นอินพุทของ U033:A และอินพุทอีกขาหนึ่งของ U033:A จะถูกต่อกับสัญญานควบคุมการนับทางแนวนอน (CR1) ซึ่งเอาท์พุทของ U033:A จะเป็น "0"ได้ก็ต่อเมื่อสัญญาน CR1 เป็น "0" (หมายถึงการนับเพื่อกำหนดเอดเดรสให้กับหน่วยความจำทางแนวนอน) และสัญญานเอาท์พุทของ U032:A เป็น "0" เท่านั้น

4.8 วงจรภาคอินเทอร์เฟส

เป็นส่วนที่ทำการติดต่อกับคอมพิวเตอร์ในวงจรจะประกอบด้วยส่วนการถอดรหัสเบอร์พอร์ต ส่วนรับคำสั่งควบคุมการทำงาน และส่วนรับคำสั่งควบคุมการทำงานและส่วนกำหนดตำแหน่งเอดเดรสของหน่วยความจำภาพ

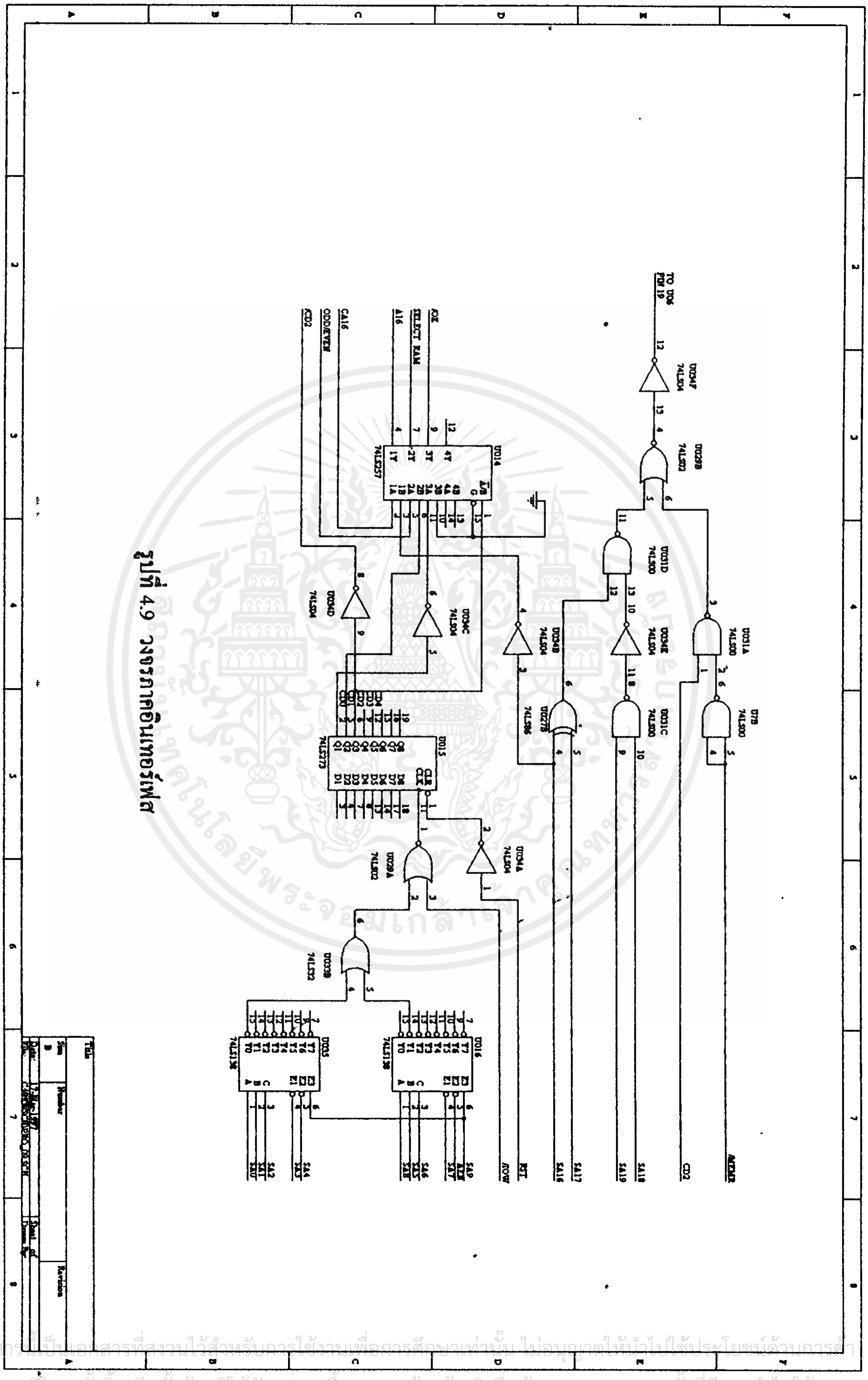
U016, U035, U033 และ U029 จะใช้งานร่วมกันในการถอดรหัสหมายเลขพอร์ต ซึ่งกำหนดให้การ์ดนี้ถูกติดต่อผ่านพอร์ตเบอร์ 300 ซึ่งใช้ U016 , U035 และ U033 ร่วมกันในการถอดรหัสเบอร์พอร์ตจากสัญญาน SA0 ถึง SA9 แล้วใช้ U029 เพื่อนำสัญญาน IOW มาร่วมควบคุมในการทำงานซึ่งเอาท์พุทของ U029 จะเป็น "1" หรือเกิดขอบขาขึ้นของสัญญานไปเป็นสัญญานนาฬิการให้แก่ U015 ก็ต่อเมื่อมีการติดต่อกับการ์ดโดยผ่านพอร์ตเบอร์ 300 เท่านั้น แล้ว U025 ก็จะรับข้อมูลจาก SD0-SD4 ส่งผ่ายนออกมาจากสัญญานเอาท์พุท เป็นสัญญานควบคุมการทำงานของการ์ดซึ่งกำหนดชื่อเป็น CD0-CD4 ตามลำดับ การทำงานของการ์ดนี้จะขึ้นกับสัญญาน CD0-CD4 ดังตารางที่ 4.1

การทำงาน	CD4	CD3	CD2	CD1	CD0
การ์ดเก็บภาพจากกล้อง วีดีโอ	1	0	0	0	0
การ์ดอยู่ในสภาวะถูกอ่านข้อมูลฟิลด์คี่	0	1	1	0	0
การ์ดอยู่ในสภายะถูกอ่านข้อมูลฟิลด์คู่	0	1	1	1	0

ตารางที่ 4.1 ความสัมพันธ์ของสัญญานควบคุมการทำงวนกับหน้าที่การทำงาน

ในส่วนของการกำหนดตำแหน่งของหน่วยความจำภาพจะกำหนดให้อยู่ในข่วงของหน่วยความจำ D000 : 0000 ถึง E000 : FFFF ก็คือเป็นช่วงของเซ็กเมนต์ D และ E เราจึงทำการนำค่า SA16 - SA19 มาถอดรหัสเพื่อให้การกำหนดตำแหน่งอยู่ในช่วงเซ็กเมนต์ D และ E เท่านั้นจึงจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 วงจรภาคอินเทอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถติดต่อกับหน่วยความจำภาพของการ์ดได้ ซึ่งต้องร่วมกับสัญญาน /MEMR ในสภาวะแอกทีฟ (เป็น “0”) และ CD2 เป็น “1” เพื่อให้เอาท์พุทของ U034:F เป็นสภาวะ “0” เพื่อควบคุมให้ U06 ซึ่งเป็นบัฟเฟอร์ของหน่วยความจำทำงานและ CD3 มีสภาวะเป็น “1” กำหนดให้ข้อมูลของหน่วยความจำภาพสามารถถูกอ่านได้จากคอมพิวเตอร์ เพื่อนำไปแสดงผลต่อไปในการอ่านข้อมูลหน่วยความจำภาพฟิลด์ใดๆ ขึ้นกับการกำหนดสภาวะ CD1 เป็นหลักตามตารางที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การเขียนโปรแกรมและการใช้งาน

5.1 การเขียนโปรแกรม

การทำงานของการ์ดจะถูกควบคุมโดยโปรแกรมซึ่งเป็นโปรแกรมภาษา C และใช้ควบคุมการแสดงภาพซึ่งมีความละเอียดของภาพ 512 x 512 จุดภาพซึ่งการแสดงภาพจะแสดงในโหมดภาพความละเอียดสูงในโหมดภาพ 800 x 600 จุดภาพ 256 สีซึ่งเป็นโหมดของภาพกราฟฟิคที่มีอยู่ในการ์ดแสดงผลซุปเปอร์ VGA เพื่อให้สามารถแสดงภาพจากการ์ดได้ในคราวเดียวกัน

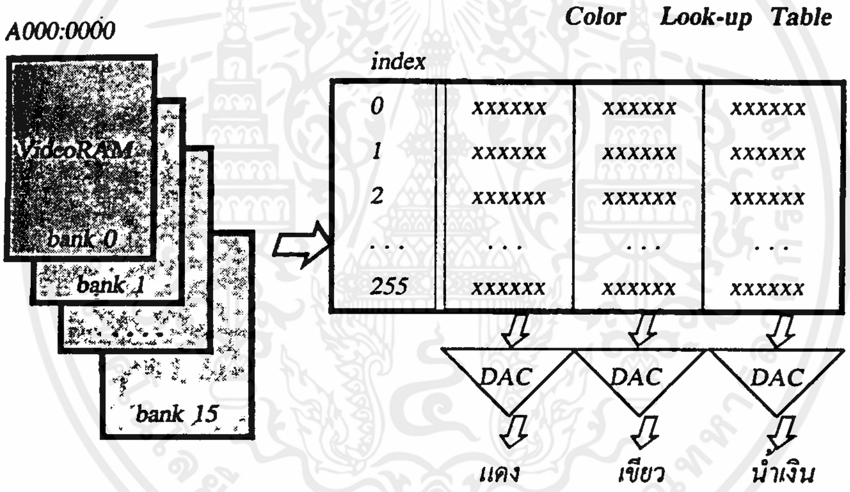
ลำดับการทำงานของโปรแกรมเริ่มจากการส่งคำสั่งให้การ์ดทำการเก็บภาพที่ต้องการจากกล้องวีดีโอ เข้าสู่หน่วยความจำแรมบนการ์ด โดยใช้คำสั่ง outportb( ) ติดต่อกับพอร์ตเบอร์ 300 ซึ่งเรากำหนดเป็นเบอร์พอร์ตที่ติดต่อกับการ์ด เพื่อให้แรมบนการ์ดอยู่ในสภาวะพร้อมจะถูกอ่านข้อมูลซึ่งจะติดต่อลักษณะนี้ 2 ครั้ง ครั้งแรกจะติดต่อกับแรมที่เก็บข้อมูลฟิลด์คี่ และอ่านข้อมูลบนแรมที่เก็บข้อมูลฟิลด์คี่ ครั้งละหนึ่งเส้นภาพ (512 ไบท์) มาจัดเรียงแบบสลับเส้นลงหน่วยความจำที่จองไว้สำหรับเก็บข้อมูลภาพ ครั้งที่สองจะติดต่อกับแรมอีกตัวที่เก็บข้อมูลฟิลด์คู่แล้วอ่านข้อมูลเช่นเดิมครั้งละหนึ่งเส้นภาพ มาจัดเรียงแบบสลับเส้นลงให้สอดคล้องกับข้อมูลของฟิลด์คี่ ที่เรียงอยู่ก่อนจะม้าให้ได้ข้อมูลภาพอยู่ในหน่วยความจำที่จองไว้ ซึ่งเรียงลำดับเส้นสแกนทางแนวนอนตามลำดับ เส้นภาพจากบนลงล่างโดยไม่สลับเส้นพร้อมที่จะนำไปแสดงผล ขณะที่โปรแกรมติดต่อกับแรมบนการ์ด แต่ละครั้งจะติดต่อผ่านหน่วยความจำของคอมพิวเตอร์ในช่วง D00Q : 0000 ถึง E000 : FFFF ซึ่งเป็นพื้นที่ว่างไว้ให้ใช้งาน

ในส่วนของการแสดงภาพโปรแกรมนี้ จะกำหนดให้แสดงในโหมดภาพ 800 x 600 256สี ซึ่งมีลักษณะการแสดงสีต่างๆ เป็นการผสมแม่สีเข้าด้วยกันคือสีแดง สีเขียว และสีน้ำเงินโดยแต่ละแม่สีจะมีความเข้มถูกกำหนดโดยตัวเลข 6 บิต ซึ่งในการแสดงภาพขาวดำจะต้องผสมแม่สีทั้งสามให้มีความเข้มเท่าๆกัน ในแต่ละระดับจึงทำให้ได้ระดับความแตกต่างของสีขาว-ดำ 2^6 ระดับ คือ 64 ระดับ แต่เนื่องจากข้อมูลภาพที่เก็บมีขนาด 8 บิต หรือความแตกต่างของสีขาวดำ 2^8 หรือ 256 ระดับ เราจึงต้องทำการปรับระดับข้อมูลภาพที่เก็บมา ซึ่งทำได้โดยการเลื่อนบิตข้อมูลไปทางขวา 2 บิต เพื่อให้ระดับความแตกต่างของสีขาวดำลดเหลือ 64 ระดับ เท่ากับความสามารถในการแสดงระดับสีขาว-ดำ ของการ์ดก่อนนำมาแสดงผล

ในการแสดงผลจะส่งข้อมูลที่ปรับระดับแล้ว ไปยังหน่วยความจำวีดีโอแรมของการ์ดแสดงผล เพื่อให้ปรากฏเป็นภาพบนจอซึ่งวีดีโอแรมบนการ์ดแสดงผลจะเก็บข้อมูลที่ใช้แสดงอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปค่าดัชนีของตารางเทียบสี (Color Look -up Table) ข้อมูลในวีดีโอแรมจะถูกนำมาเปิดตารางเทียบสี ซึ่งมีอยู่ 256 เรคคอร์ด โดยในตารางเทียบสีจะประกอบด้วยค่าแม่สีทั้ง 3 แต่ละแม่สีมีขนาด 6 บิต ตามที่ได้กล่าวมาแล้ว เราต้องทำการกำหนดค่าสีในตารางเทียบสีให้เป็นระดับขาวดำ 64 ระดับ โดยกำหนดให้แต่ละแม่สีในแต่ละดัชนี มีความเข้มเท่าๆกัน การกำหนดค่าสีในตารางเทียบสีทำได้โดยส่งหมายเลขดัชนีออกไปที่พอร์ต 3C8H จากนั้นส่งค่าแม่สีแดง , เขียว , น้ำเงิน ออกไปที่พอร์ต 3C9H ตามลำดับ



รูปที่ 5.1 โครงสร้างของการทำงานของการ์ดซูเปอร์ วีจีเอ

หน่วยความจำวีดีโอแรมของการ์ดแสดงผลซุปเปอร์ VGA ที่มีหน่วยความจำวีดีโอแรม1 เมกกะไบต์ จะแบ่งออกเป็น 16 แบงค์ แต่ละแบงค์มีขนาด 64 กิโลไบต์ ซึ่งสามารถติดต่อได้โดยมีจุดเริ่มต้นที่ตำแหน่ง A000 : 0000 ของคอมพิวเตอร์ ในโหมดภาพ 800 x 600 256 สีหนึ่งจุดภาพจะใช้เนื้อที่ในการเก็บ 1 ไบต์ ดังนั้นในหนึ่งหน้าจอจะใช้เนื้อที่ 800 x 600 หรือ480,000 ไบต์ ก็คือใช้วีดีโอแรมจำนวน 8 แบงค์ ในการเขียนโปรแกรมเพื่อติดต่อกับวีดีโอแรมจะต้องกำหนดหมายเลขแบงค์และค่าออฟเซทของวีดีโอแรม ซึ่งขึ้นอยู่กับตำแหน่งพิกัด (X,Y) ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จุดภาพที่ต้องการติดต่อด้วย การเข้าถึงตำแหน่งข้อมูลของข้อมูลจอในจุด (X,Y) บนแบงค์ที่กำหนดมีสูตรดังนี้

หมายเลขแบงค์ = (X + (Y x จำนวนจุดที่แสดงได้ในแกน X)) / 0 x 10,000 H

ค่าออฟเซทของหน่วยความจำ = (X + (Y x จำนวนจุดที่แสดงได้ในแกน X)) AND x FFFFH

เนื่องจากใช้โหมดภาพ 800 x 600 256 สี จึงได้

หมายเลขแบงค์ = (X + (Y x 800)) / 0 x 10,000H

ค่าออฟเซทของหน่วยความจำ = (X + (Y x 800)) AND 0 x FFFFH

ในการที่จะแสดงผลบนจอ เราต้องกำหนดบริเวณที่จะแสดงผลภาพแล้วพิจารณาถึงพิกัดแต่ละตำแหน่งมาคำนวน หาค่าหมายเลขแบงค์และค่าออฟเซท เราจะติดต่อกับหน่วยความจำวีดีโอแรม ครั้งละหนึ่งเส้นภาพ โดยการคำนวณหมายเลขแบงค์และค่าออฟเซท ของหน่วยความจำที่ตำแหน่งจุดเริ่มต้น และจุดสุดท้ายของเส้นภาพว่าอยู่ในแบงค์เดียวกันหรือไม่ ถ้าอยู่ในแบงค์เดียวกันก็กำหนดหมายเลขแบงค์ที่จะติดต่อ แล้วทำการทำสำเนาข้อมูลที่ปรับระดับแล้วไปยังตำแหน่งออฟเซทตามลำดับที่คำนวนได้ แต่ถ้าในเส้นสแกนเดียวกันมีค่าหมายเลขแบงค์ที่คำนวนได้ต่างกัน ก็จะกำหนดหมายเลขแบงค์ตรงจุดเริ่มต้นที่จะแสดงแล้วสำเนาข้อมูลไปยังตำแหน่งออฟเซทตามลำดับ จนถึงจุดสุดท้ายของแบงค์ แล้วทำการกำหนดหมายเลขแบงค์ใหม่แล้วสำเนาข้อมูลต่อไปตามค่าออฟเซท ตามลำดับจนถึงจุดสุดท้ายของเส้นภาพ ซึ่งการแสดงผลครั้งละหนึ่งเส้นภาพ ลักษณะนี้จะทำให้สามารถแสดงภาพได้เร็วขึ้นกว่าการที่คำนวณแล้วแสดงผลที่ละหนึ่งจุดภาพ ในโครงงานนี้ใช้การ์ดแสดงผล S3 และมี VESA - VGA BIOS ซึ่งสามารถกำหนดหมายเลขแบงค์ได้โดยผ่านอินเทอร์รัพท์หมายเลข 10H ฟังก์ชัน 4FH ในส่วนของการติดต่อหน่วยความจำวีดีโอแรมตามค่าออฟเซทจะติดต่อผ่านหน่วยความจำหลักในช่วง A000 : 0000 ถึง A000 : FFFF

การเก็บข้อมูลภาพจะเก็บในลักษณะไบต์อาร์เรย์ (byte array) ซึ่งเป็นการเก็บในลักษณะเรียงข้อมูลตามลำดับที่ละตำแหน่ง จากตำแหน่งเริ่มต้นซึ่งเป็นตำแหน่งด้านบนซ้ายของภาพเรียงไปจนถึงตำแหน่งสุดท้าย คือด้านล่างขวาของภาพการเก็บภาพอาจเก็บลงฮาร์ดดิสก์ หรือแผ่นดิสก์ก็ได้ตามต้องการ

5.2 การใช้งานโปรแกรมระบบเก็บภาพดิจิตอล

โปรแกรมระบบเก็บภาพดิจิตอล ถูกออกแบบให้สามารถใช้งานได้ง่ายโดยการเลือกใช้งานจากเมนู ซึ่งมีฟังก์ชั่นต่าง ๆ ของเมนูดังนี้

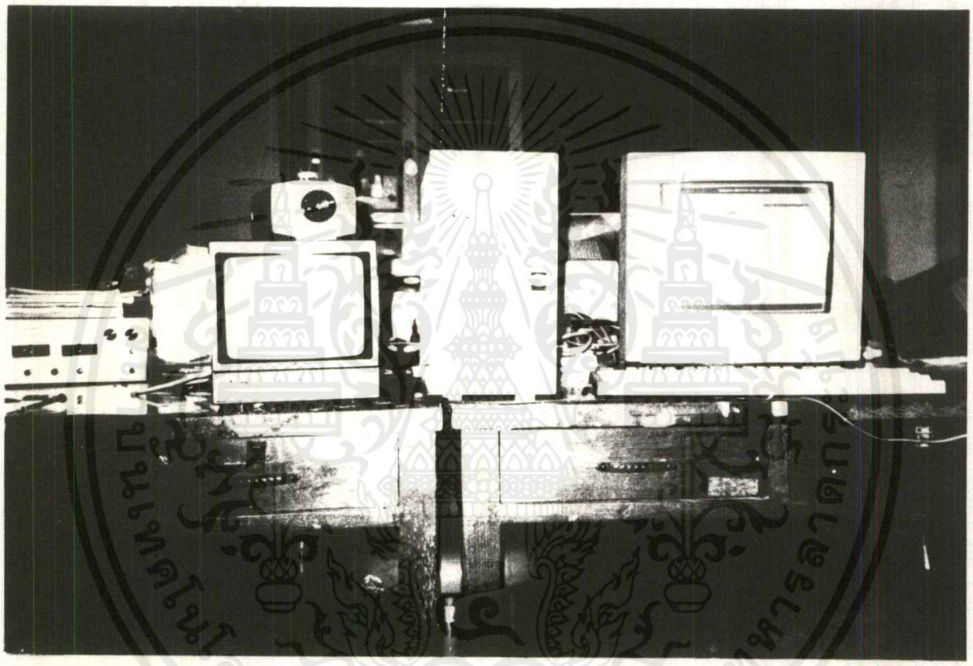
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NEW ข้อมูลใหม่ โดยลบภาพที่แสดงอยู่เพื่อเก็บภาพใหม่

OPEN โหลดภาพที่เก็บไว้ในดิสค์ ซึ่งเมื่อโปรแกรมถามชื่อแฟ้มข้อมูล ให้พิมพ์ชื่อแฟ้มข้อมูลที่ต้องการโหลดภาพ

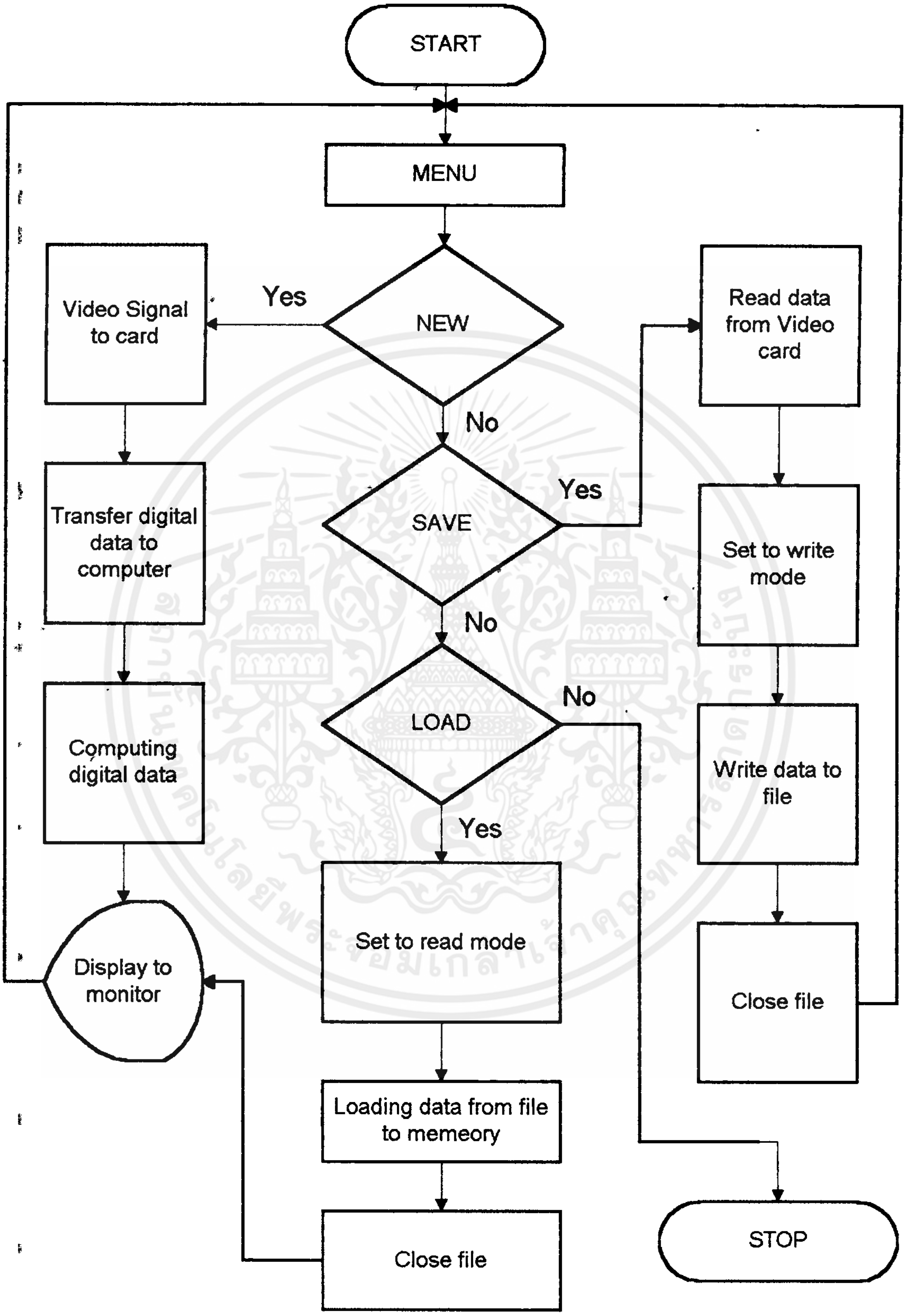
SAVE จัดเก็บแฟ้มข้อมูล เก็บภาพลงแฟ้มข้อมูลบนดิสค์ (เก็บข้อมูลโดยตรง) โดยจะเก็บลงแฟ้มข้อมูลตามชื่อที่ตั้งให้

EXIT เลิกการทำงานแล้วกลับไปที่ดอส



รูปที่ 5.2 แสดงฟังก์ชั่นต่าง ๆ ของเมนูโปรแกรมระบบเก็บภาพดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 Flow Chart Vidio Digitizer System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
การทดลอง และผลการทดลอง

ต่อวงจรลงผลิตความถี่ โดยใช้ความถี่ขนาด 20 MHZ ป้อนเข้าวงจรต่อร่วมกับ วงจรไอซี สมิชทริกเกอร์ 74LS132 เพื่อผลิตความถี่ 10 เมกกะเฮิทซ์ นำไปใช้งาน นอกจากนี้ยังต่อวงจรภาคอินพุท โดยใช้ IC CA3318CE และส่วนประกอบร่วมของวงจรส่วนต่าง ๆ

โดยวงจรทั้งหมด ต่อลงใน พีซีบอร์ด (PC BOARD) ซึ่งจะใช้ต่อร่วมกับ คอมพิวเตอร์ต่อไป ภายใน พีซีบอร์ดนั้น จะประกอบด้วยวงจร เช่น ภาคอินพุท, ภาคผลิตความถี่, วงจรภาคนับ (counter) และวงจรแยกซิงค์ เป็นต้น

6.1 การทดลอง

อุปกรณ์ในการทดลอง

1) มิเตอร์ SUNWA YX-360R
2) แหล่งจ่ายไฟดีซี
3) โฟโต้บอร์ด
4) สโคป
5) ฟังก์ชั่นเจนเนอร์เรเตอร์
6) อุปกรณ์ที่ใช้ทดลอง เช่น ไอซี ความต้านทาน คาปาซิเตอร์ เป็นต้น

การทดลอง วงจร ANALOG TO DIGITAL

ทำการทดลองโดยใช้ไฟกระแสตรงป้อนเข้าที่ภาคอินพุท ที่ขาอิมิเตอร์ของ TR Q1 ขาที่ 21 ของไอซี เบอร์ CA3318CE นั่นเอง แล้วทำการปรับตามลำดับขั้นการทดลอง

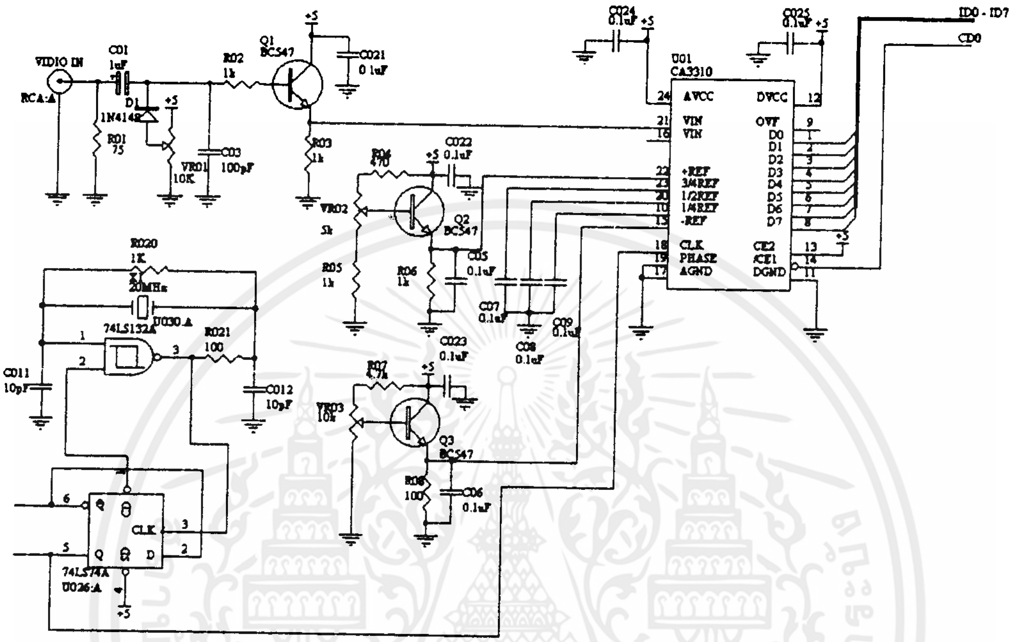
ลำดับขั้นการทดลอง

1. ปรับ VR 5K ให้แรงดันที่ขา 22 มีค่าแรงดัน +REF สูงสุด ซึ่งวัดได้เท่ากับ 3.88V
2. ปรับ VR 10K ให้แรงดันที่ขา 15 มีค่าแรงดัน -REF ต่ำสุด ซึ่งวัดได้เท่ากับ 0.5V
3. ป้อนแรงดัน DC เข้าที่ Vin ขา 21 ของ CA3318 ปรับแรงดัน Vin ตั้งแต่ 0-4 V

ทำการวัดสัญญาณดิจิตอลเอาท์พุท เพื่อเปรียบเทียบกับอัตราการเปลี่ยนแปลงของดีซีอินพุท

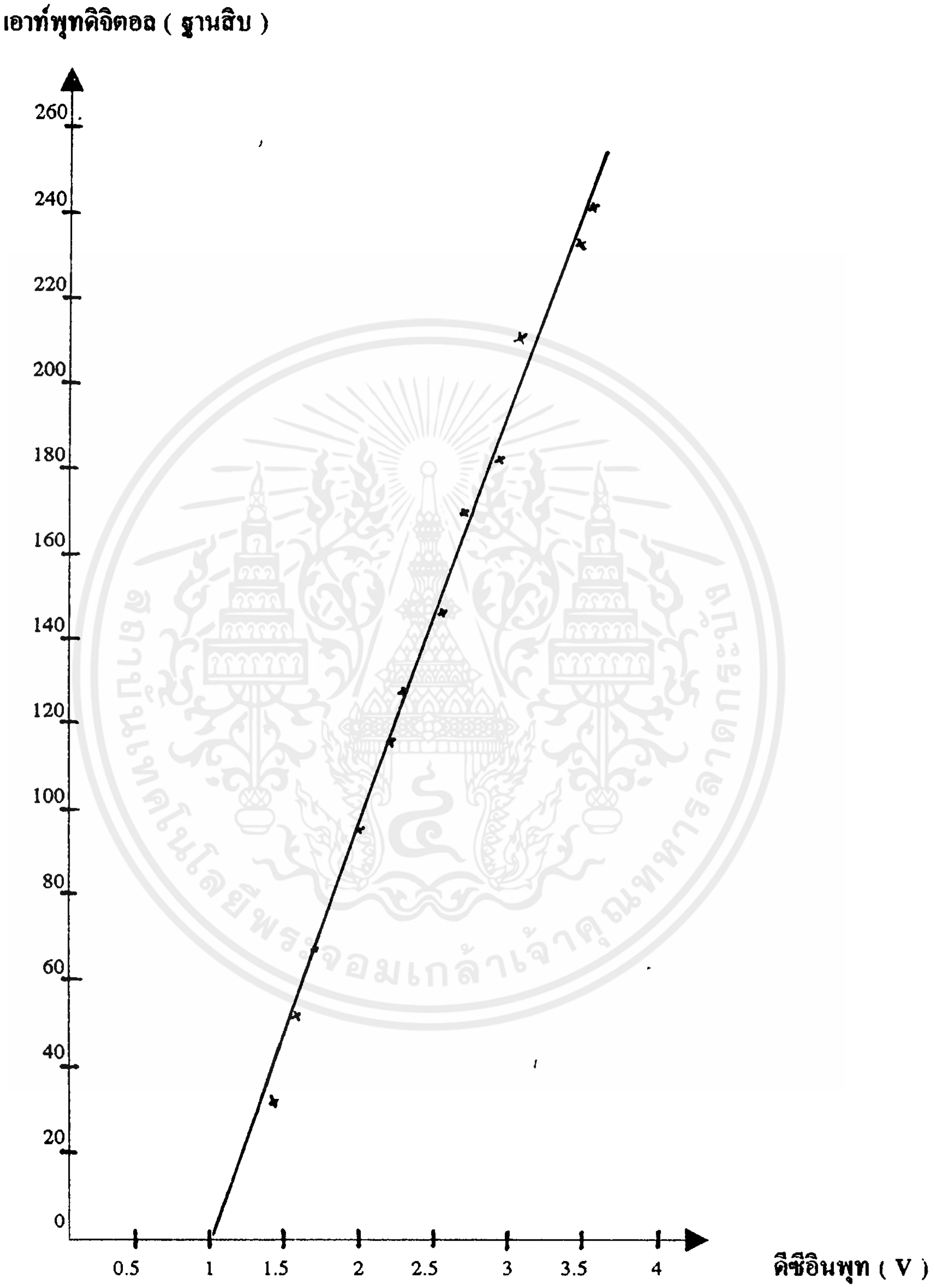
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรทดลองภาคอินพุท



รูปที่ 6.1 วงจรการทดลอง Analog to Digital โดยการใช้ ไอซี CA 3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



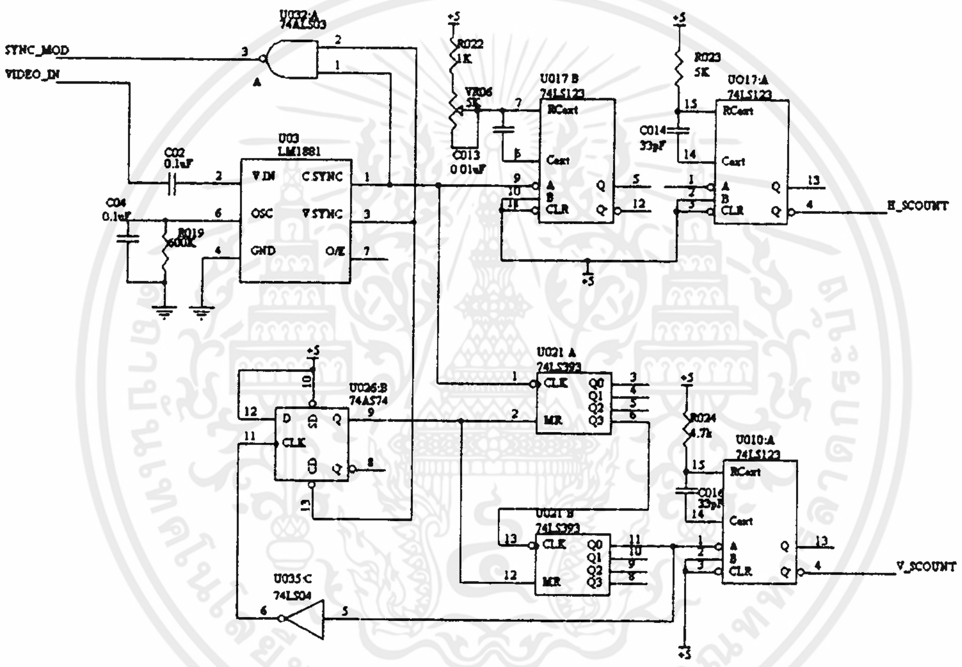
รูปที่ 6.2 กราฟแสดงความสัมพันธ์ระหว่าง ดีซีอินพุท (V)
กับเอาท์พุทดิจิตอล (ฐานสิบ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองวงจรแยกซิงค์

ต่อวงจรดังรูปที่ 6.3 แล้วป้อนสัญญาณคอมโพสิทวีดีโอจากกล้อง (camera) เข้าทางช่องสัญญาณ Video In ดังแสดงในรูปที่ 5.4 โดยผ่าน C_{02} ค่า 0.1 uF เข้าที่ขา 2 ของไอซี LM1881 ทำการแยกสัญญาณ Sync ออกมาที่ขา 1 และขา 3 ของ ไอซี LM1881

วงจรภาคแยกสัญญาณซิงค์



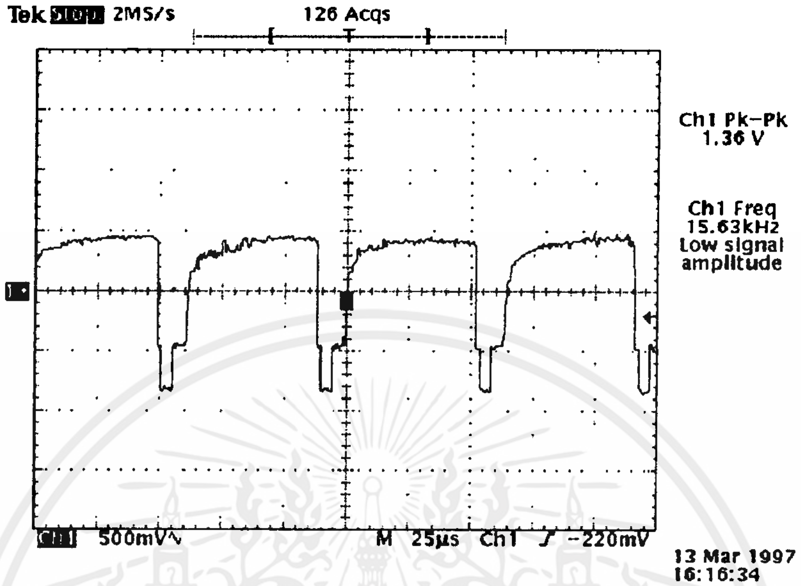
รูปที่ 6.3 วงจรภาคแยกสัญญาณซิงค์

ใช้ออสซิลโลสโคปวัดสัญญานที่จุดต่างๆดังนี้

1) วัดสัญญาน Composite Video ที่ขา 2ของ LM1881
2) วัดสัญญาน Composite Sync ที่ขา 1 ของ LM1881
3) วัดสัญญาน Vertical Output Pulse ที่ขา 3 LM1881
4) วัดสัญญาน Sync_Mod ที่ขา 3 ของไอซี U032

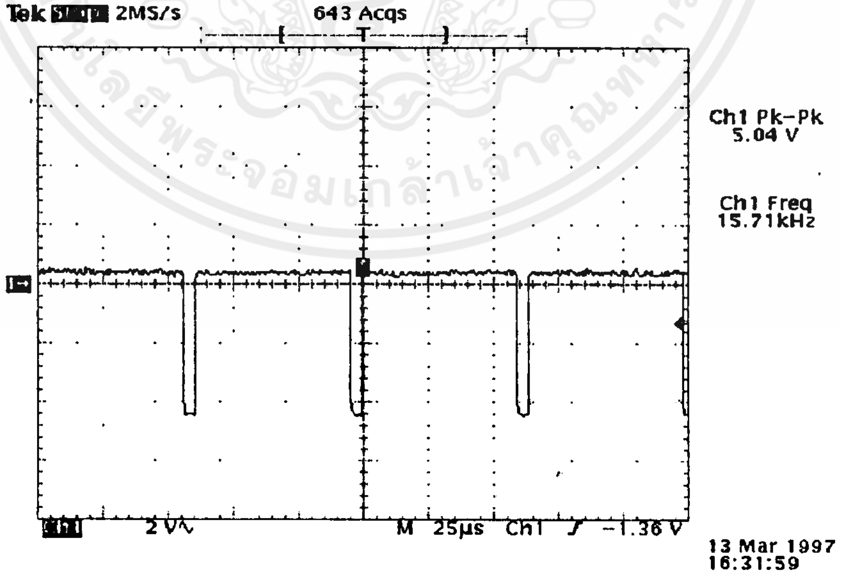
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง



รูปที่ 6.4 สัญญาณ Composite Video

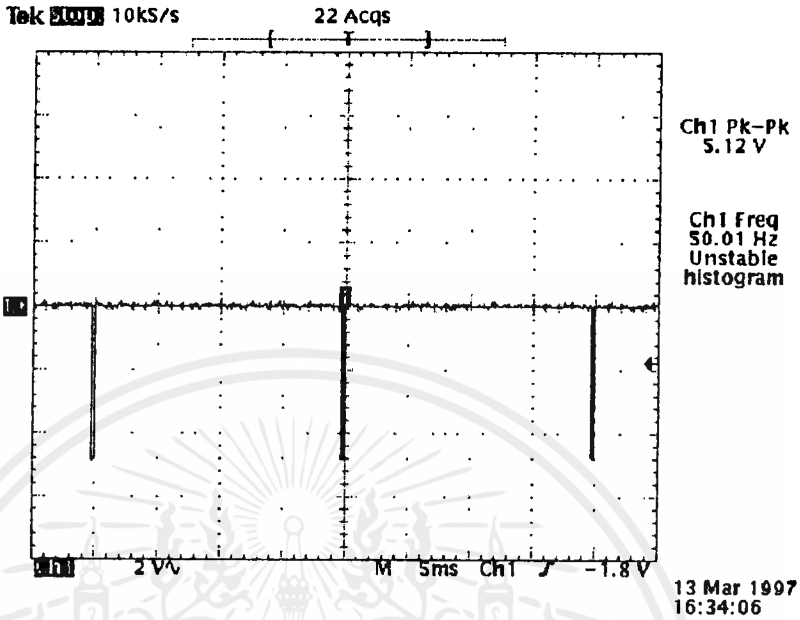
สัญญาณ Video Input ซึ่งเป็นสัญญาณภาพขาวดำรวม (Composite Video) ได้จากเอาท์พุทของกล้องวิดีโอ สัญญาณจะเข้าที่อินพุทของไอซี LM1881 เพื่อแยกสัญญาณซิงค์ (Sync) จะได้สัญญาณ C_Sync สัญญาณ V_Sync และ O/E



รูปที่ 6.5 สัญญาณ C_Sync

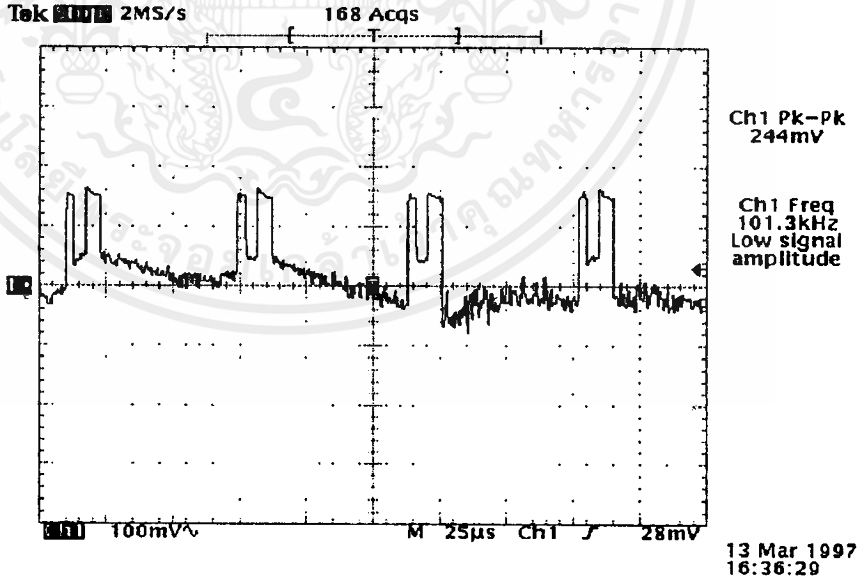
สัญญาณ C_Sync จากไอซี LM1881 จากการทดลองได้ความถี่ 15.71 KHz เพื่อนำไปเป็นสัญญาณนาฬิกาของวงจรโมโนสเตเบิ้ล และจะได้สัญญาณ H_COUNT ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.6 สัญญาน V_Sync

สัญญาน V_Sync ซึ่งได้จากการแยกซิงค์ทางด้าน Vertical ซึ่งมีความถี่ 50 Hz จะนำไปสร้างวงจรนับทางแนวตั้ง



รูปที่ 6.7 สัญญาน Sync_Mod

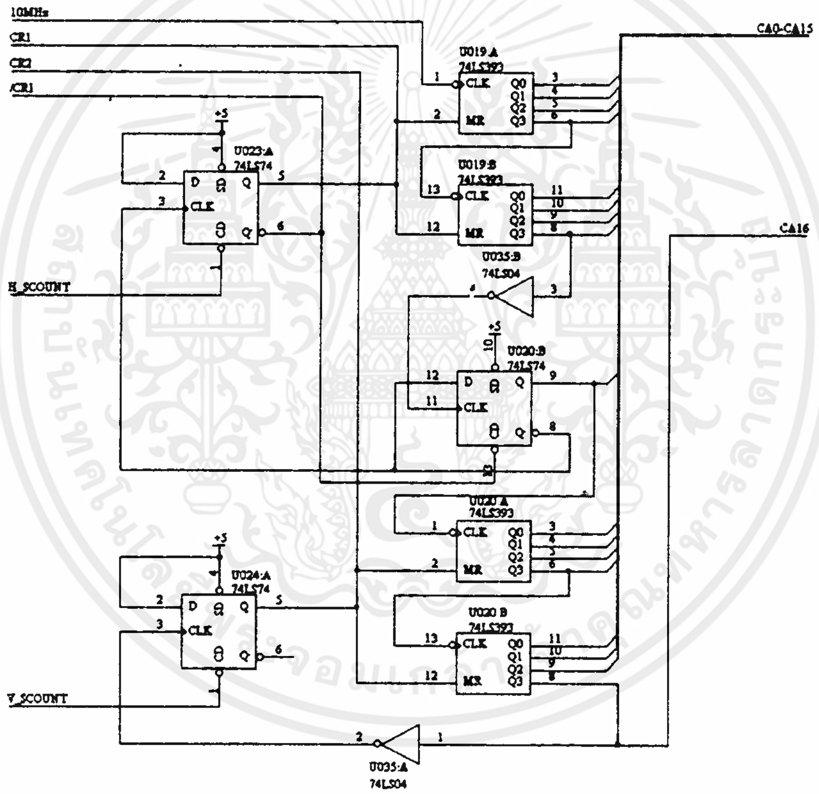
สัญญาน Sync_Mod เป็นการนำเอาสัญญาน C_Sync และ V_Sync ที่ได้จาก IC แยกซิงค์นำมาผ่านวงจรแนนด์ (U032A) ซึ่งจะนำสัญญาน Sync มอดูเลทกับสัญญานภาพที่ภาคเอาท์พุทเพื่อให้ได้ภาพซึ่งซิงค์กับอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลอง วงจรภาคนับเพื่อกำหนดแอดเดรส

ต่อวงจรดังรูปที่ 6.8 โดยป้อนสัญญาณอินพุทจากวงจรแยกซิ้งค์ ทำการวัดสัญญาณที่จุดต่างๆดังนี้

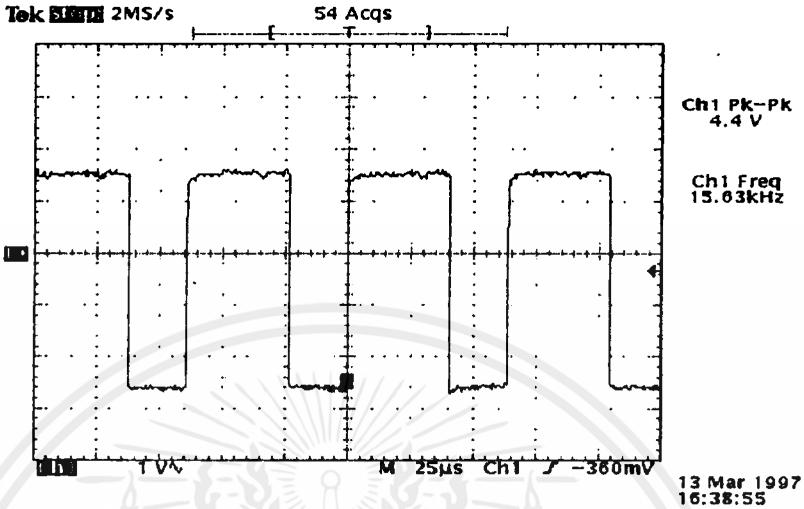
1) วัดสัญญาณ H_SCOUNT
2) วัดสัญญาณ V_SCOUNT
3) วัดความถี่ สัญญาณกำหนดแอดเดรส (CA0 - CA15)



รูปที่ 6.8 วงจรภาคนับเพื่อกำหนดแอดเดรส

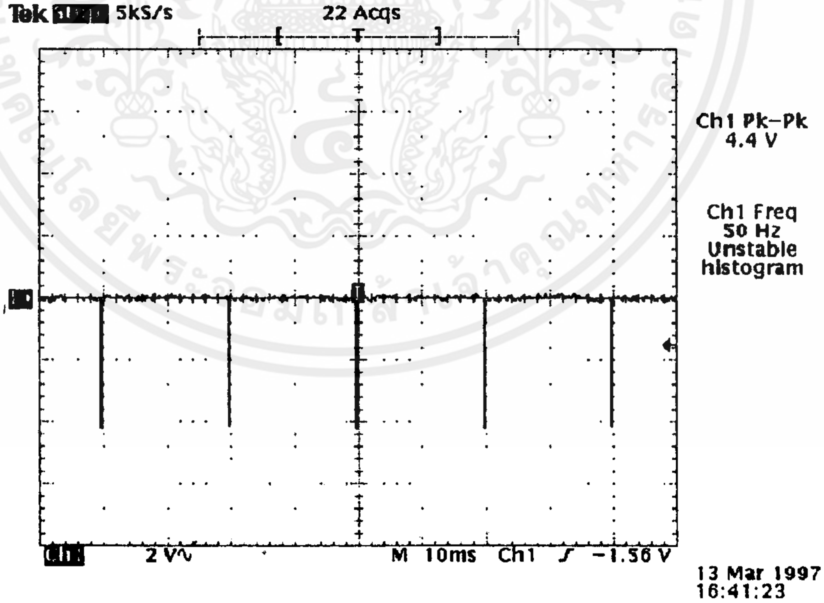
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง



รูปที่ 6.9 สัญญาณ H_ SCOUNT

สัญญาณ H_SCOUNT เป็นสัญญาณที่ไปควบคุมการนับทางแนวนอนซึ่งมีความถี่ 15,625 Hz เพื่อทำให้เกิดการรีเซ็ทในวงจรนับทางแนวนอน



รูปที่ 6.10 สัญญาณ V_SCOUNT

สัญญาณ V_SCOUNT เป็นสัญญาณที่ได้จากวงจรแยกซิงค์ทางแนวตั้งเพื่อเป็นสัญญาณรีเซ็ทควบคุมการนับทางแนวตั้ง ซึ่งมีความถี่ 50 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

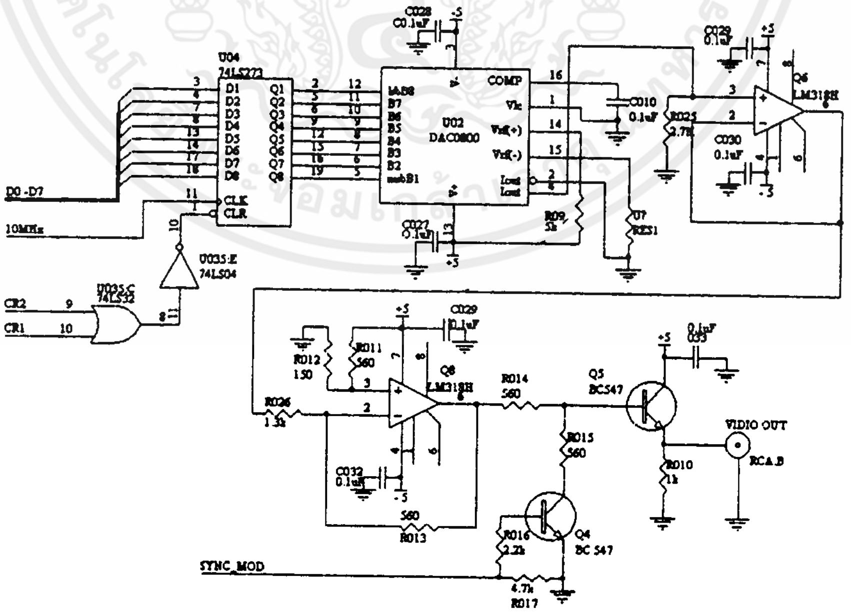
OUTPUT	CA0	CA1	CA2	CA3	CA4	CA5	CA6	CA7
ความถี่	5MHz	2.5MHz	1.25MHz	625KHz	312.5KHz	156.2KHz	78.1KHz	39.05KHz
OUTPUT	CA8	CA9	CA10	CA11	CA12	CA13	CA14	CA15
ความถี่	15.62KHz	7.82KHz	3.91KHz	1.94KHz	975.6Hz	487KHz	244KHz	125Hz

ตารางที่ 6.1 แสดงค่าความถี่ที่กำหนดแอดเดรส (CA0 - CA15)

สัญญาณเอาท์พุทของวงจรนับรวมทั้งหมดที่ได้จะใช้ในการอ้างตำแหน่งของข้อมูลที่จะเก็บในหน่วยความจำภาพซึ่งการนับจะถูกควบคุมโดยสัญญาณ CR1, CR2

การทดลอง วงจรภาค Digital To Analog

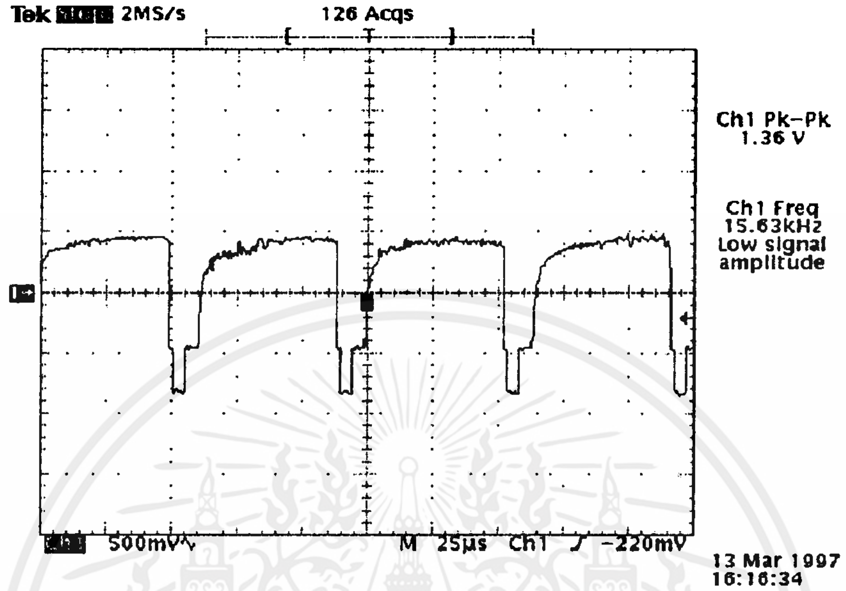
ทำการทดลองโดยต่อวงจรตามรูปที่ 6.11 โดยป้อนสัญญาณคอมโพสิทวีดีโอเข้าอินพุทของวงจรA/D แล้วนำสัญญาณดิติตอลมาแปลงกลับเป็นสัญญาณอนาลอก ในวงจร D/A จากนั้นก็นำสัญญาณอนาลอกมาผ่านวงจรขยายกลับเฟส แล้วทำการ มอดูเลท กับสัญญาณ Symc_Mod แล้วทำการขยายสัญญาณภาพรวม ทำการวัดสัญญาณเปรียบเทียบกันระหว่างสัญญาณ Composite Video Input กับ สัญญาณที่เอาท์พุทวงจร D/A



รูปที่ 6.11 วงจร Digital to Analog

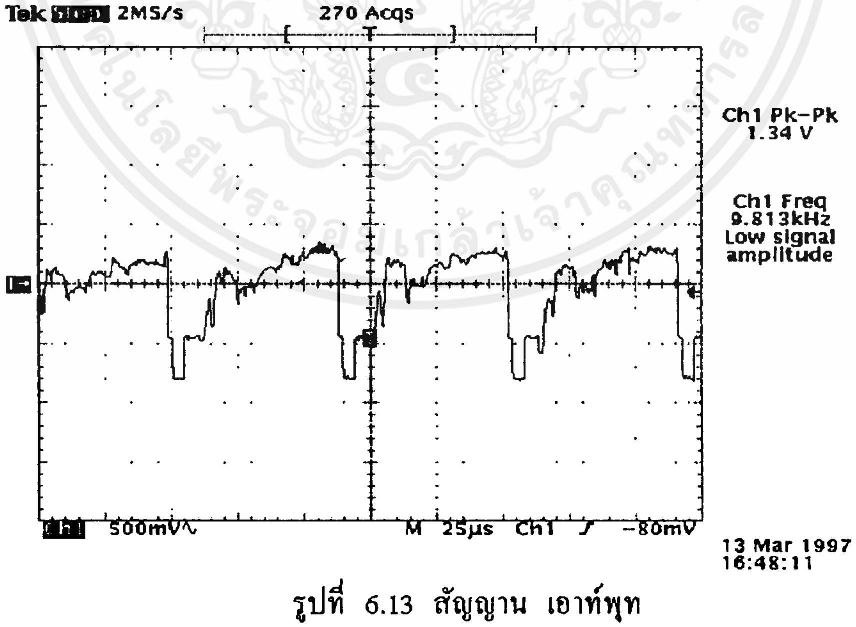
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง



รูปที่ 6.12 สัญญาน Composite Video Input

สัญญาน Composite Video ซึ่งได้จากเอาท์พุทของกล้องวีดีโอเพื่อนำมาเปรียบเทียบกับสัญญานวีดีโอเอาท์พุทของการ์ด



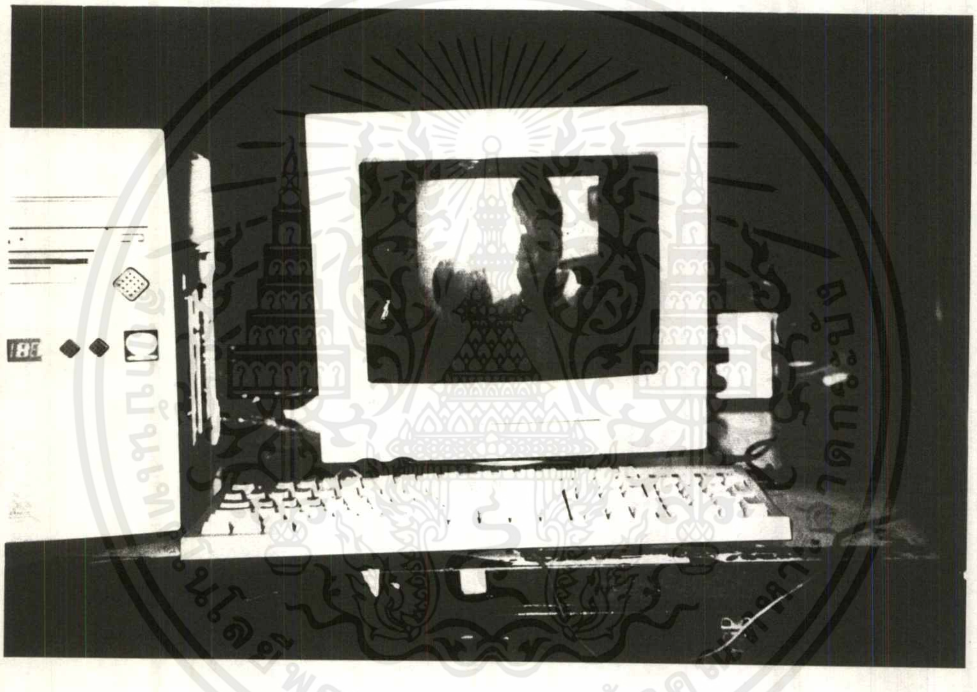
รูปที่ 6.13 สัญญาน เอาท์พุท

สัญญานวีดีโอเอาท์พุทจากการ์ดระบบเก็บภาพดิจิตอลเพื่อนำมาเปรียบเทียบกับสัญญาน Composite Video ที่ป้อนเข้ามา ซึ่งเมื่อนำไปแสดงบนจอมอนิเตอร์ ภาพที่ได้มีความชัดเจนพอสมควร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองใช้งานการ์ดร่วมกับโปรแกรมระบบเก็บภาพดิจิตอล

เมื่อทำการทดลองส่วนประกอบต่าง ๆ ของฮาร์ดแวร์ได้ผลการทดลองตามที่ออกแบบไว้ ก็จะทำงานทดลองใช้งานร่วมกับโปรแกรมที่เขียนขึ้นมา โดยการนำการ์ดระบบเก็บภาพดิจิตอล มาเสียบเข้ากับ Slot ของคอมพิวเตอร์ ป้อนสัญญาณวีดีโอเข้าที่อินพุทของการ์ดระบบเก็บภาพดิจิตอล ส่วนที่เอาท์พุทจะต่อเข้ากับมอนิเตอร์ จากนั้นก็ Run โปรแกรมระบบเก็บภาพดิจิตอล ทำการเลือกเมนูเพื่อเก็บภาพและแสดงภาพซึ่งผลการทดลองภาพที่ได้มีความละเอียดและคมชัดพอสมควร



รูปที่ 6.14 แสดงภาพที่ได้จากระบบเก็บภาพดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
บทสรุป

7.1 สรุปผลโครงงาน

ในการสร้างโครงงาน ระบบเก็บภาพดิจิตอล (Video Digitizer System) ขนาด 512 x 512 จุดต่อภาพ เป็นการนำเอาสัญญาณภาพขาวดำ เข้ามาแปลงให้เป็นข้อมูลทางด้านดิจิตอลโดยเข้าไปเก็บไว้ในหน่วยความจำแรม (RAM) ชั่วคราว ขนาด 256 กิโลไบต์ โดยหน่วยความจำแรมนี้ใช้เบอร์ HM628128 จำนวน 2 ตัว โดยแบ่งกันเก็บสัญญาณภาพ ฟิลด์คู่ และฟิลด์คี่ หลังจากนั้นจึงนำภาพมาแสดงผลออกทางจอมอนิเตอร์โดยควบคุมการทำงานผ่านคอมพิวเตอร์ (Personal Computer) ซึ่งจะควบคุมการเขียนและอ่านข้อมูลภาพ ผ่านพอร์ตขนานของตัวคอมพิวเตอร์ ซึ่งภาพดิจิตอลที่แสดงผลทางจอภาพมีขนาด 512 x 512 จุดต่อภาพ

ส่วนซอฟแวร์ใช้ภาษาซีเขียนโปรแกรม ซึ่งมีฟังก์ชั่นการทำงานดังนี้คือ NEW, SAVE, OPEN, EXIT โดยคอมพิวเตอร์ที่ใช้ทั่วไป ต้องมีข้อกำหนดคือ มีการ์ดจอเป็นแบบซุปเปอร์วีจีเอ (Super VGA) ก็สามารถใช้งานได้

<u>ปัญหาที่พบ</u> เนื่องจากการทำงานของเครื่องมีความเร็วในการทำงานที่จะเก็บจำนวนจุดภาพค่อนข้างสูง จึงต้องใช้ แฟลชเมมโมรี (Flash Memory) ซึ่งมีความเร็วในการทำงานสูง เมื่อต่อวงจร ลงในแผ่นวงจรพิมพ์เอนกประสงค์ จะเกิดการรบกวนของสัญญาณความถี่สูง ทำให้ได้ภาพเอาท์พุทมีสัญญาณรบกวน ต้องทำการแก้ไขโดย ออกแบบลายวงจรพิมพ์แทนการใช้แผ่นวงจรพิมพ์เอนกประสงค์ โดยออกแบบให้แยก อนาลอกกราวด์ (ANALOG GROUND) และดิจิตอลกราวด์ (DIGITAL GROUND) วางตำแหน่งอุปกรณ์ให้เหมาะสม กำหนดขนาดแผ่นวงจรพิมพ์เพื่อให้เสียบในสลอต (Slot) ของคอมพิวเตอร์ได้สะดวก

สำหรับคอมพิวเตอร์ส่วนบุคคล เช่น PC 486 DX, Compaq 486 หรือเครื่องที่ใช้งานแบบแทนกันได้ (Compatible) คอมพิวเตอร์บางเครื่องที่ใช้การ์ดซุปเปอร์วีจีเอ ใช้ไอซี รุ่น GA-486 VF/VS อาจพบปัญหาในการรัน (RUN) กราฟฟิคบางโหมดการทำงาน

7.2 แนวทางในการพัฒนา

โครงงานระบบเก็บภาพดิจิตอล (Video digitizer System) นี้ จะแปลงสัญญาณภาพขาวดำ มาเป็นสัญญาณภาพดิจิตอล ขนาด 512 x 512 จุด โดยเก็บภาพลงในหน่วยความจำชั่วคราว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งสามารถที่จะดัดแปลง เช่น เพิ่มขนาดจุดในการเก็บภาพเป็น 1024 x 512 จุด หรือ อาจจะเปลี่ยนวงจรบางส่วนโดยใช้หลักการเดิม โดยเปลี่ยนมาเก็บสัญญาณภาพสี โดยการเปลี่ยนแปลงทางด้านฮาร์ดแวร์ เมื่อต้องการเก็บภาพสี จะใช้หน่วยความจำสูง และการทำงานที่เร็วมาก อาจเปลี่ยนเป็นใช้การเก็บแต่ละสี หรือเก็บเป็นเพจ จะทำให้ได้จำนวนจุดมากขึ้น

ในส่วนของโปรแกรมอาจเพิ่มฟังก์ชั่นการทำงานขึ้นมา เช่น ฟังก์ชั่นปริ้นท์ (PRINT) ฟังก์ชั่นเซฟแอส (SAVE AS) ทำการแก้ไขดัดแปลงโปรแกรม เพื่อใช้งานสะดวกสบายขึ้น และอาจมีการใช้งานได้แพร่หลายขึ้นกว่าเดิม หรืออาจเขียนโปรแกรมบนวินโดว์ (Window) เพื่อง่ายต่อการอินเตอร์เฟสทางด้านกราฟฟิค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก. วงจรระบบเก็บภาพดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข. รายละเอียดไอซีที่ใช้ในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS SEMICONDUCTOR

CA3318C

CMOS Video Speed 8-Bit Flash A/D Converter

December 1993

Features

- **CMOS Low Power with SOS Speed (150mW Typ.)**
- **Parallel Conversion Technique**
- **15MHz Sampling Rate (67ns Conversion Time)**
- **8-Bit Latched Tri-State Output with Overflow Bit**
- **±1 LSB Accuracy (Typ.)**
- **Single Supply Voltage (4V to 7.5V)**
- **2 Units in Series Allow 9-Bit Output**
- **2 Units in Parallel Allow 30MHz Sampling Rate**

Applications

- **TV Video Digitizing (Industrial/Security/Broadcast)**
- **High-Speed A/D Conversion**
- **Ultrasound Signature Analysis**
- **Transient Signal Analysis**
- **High Energy Physics Research**
- **High Speed Oscilloscope Storage/Display**
- **General Purpose Hybrid ADCs**
- **Optical Character Recognition**
- **Radar Pulse Analysis**
- **Motion Signature Analysis**
- **µP Data Acquisition Systems**

Description

The CA3318C is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

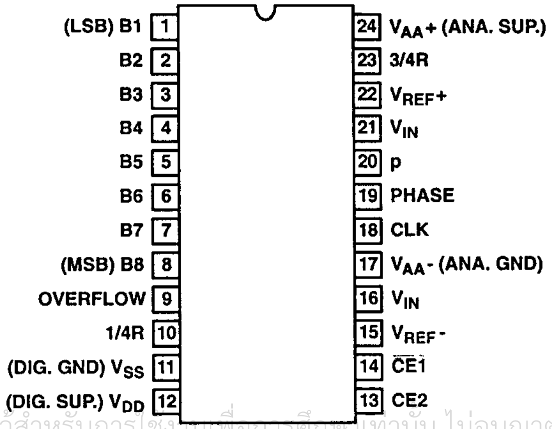
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

PART NUMBER	LINEARITY (INL)	SAMPLING RATE	TEMPERATURE RANGE	PACKAGE
CA3318CE	±1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Plastic DIP
CA3318CM	±1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Plastic SOIC
CA3318CD	±1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Ceramic DIP

Pinout

CA3318C (PDIP, CDIP, SOIC)
TOP VIEW



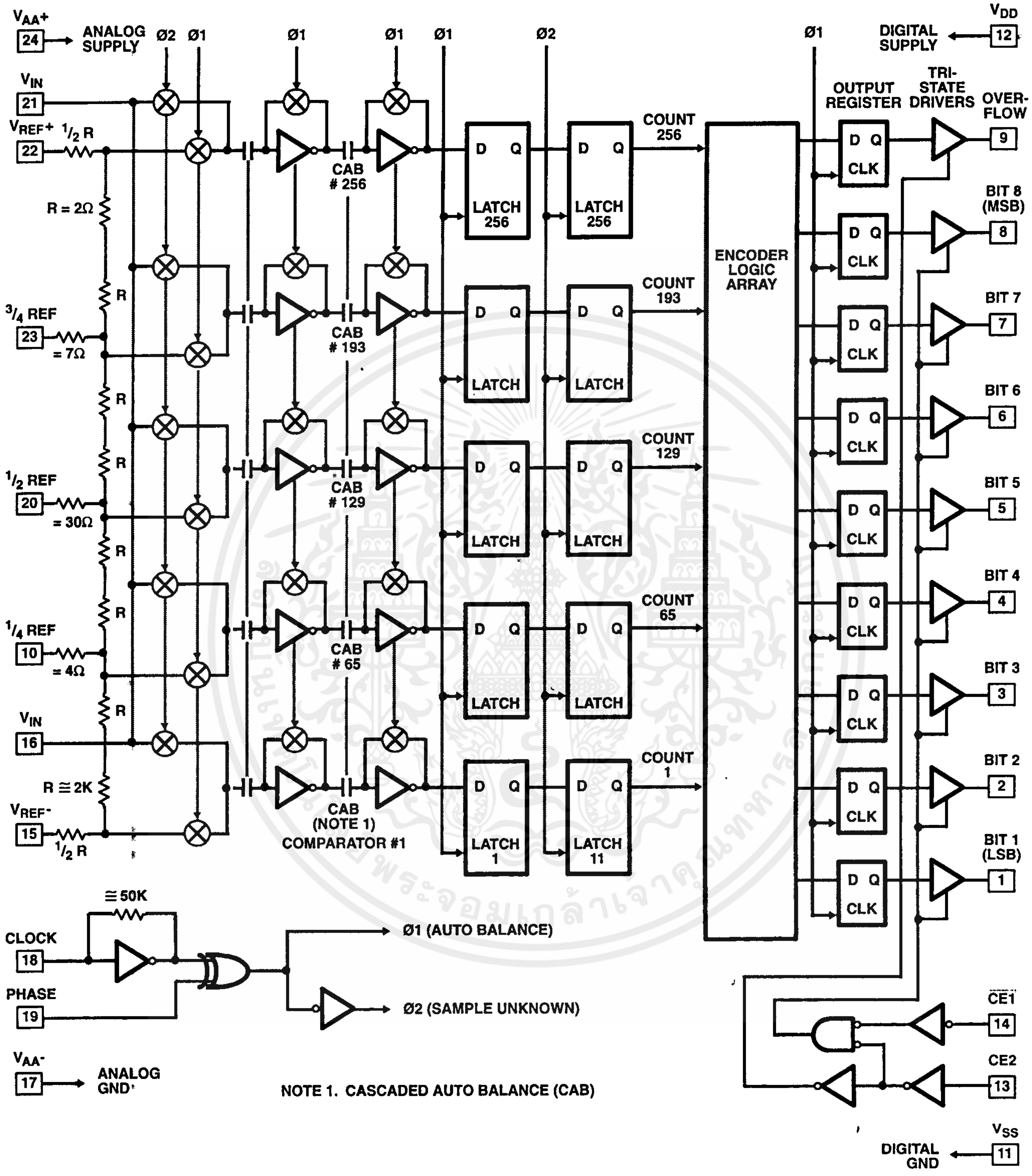
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.

Copyright © Harris Corporation 1993

File Number 3103

Functional Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply Voltage Range (V_{DD} or $V_{AA}+$) . . . . -0.5V to +8V
(Referenced to V_{SS} or $V_{AA}-$ Terminal, Whichever is More Negative)
Input Voltage Range
CE2 and $\overline{CE1}$ . . . . $V_{AA}-$ -0.5V to V_{DD} + 0.5V
Clock, Phase, $V_{REF}-$, 1/2 Ref. . . . . $V_{AA}-$ -0.5V to $V_{AA}+$ + 0.5V
Clock, Phase, $V_{REF}-$, 1/4 Ref. . . . . $V_{SS}-$ -0.5V to V_{DD} + 0.5V
V_{IN}, 3/4 REF, $V_{REF}+$ . . . . $V_{AA}-$ -0.5V to $V_{AA}-$ + 7.5V
Output Voltage Range, ... V_{SS} - 0.5V to V_{DD} + 0.5V
Bits 1-8, Overflow (Outputs Off)
DC Input Current . . . . ±20mA
Clock, Phase, $\overline{CE1}$, CE2, V_{IN}, Bits 1-8, Overflow
Operating Voltage Range (V_{DD} or $V_{AA}+$) . . . . . . 4V Min to 7.5V Max
Recommended $V_{AA}+$ Operating Range . . . . V_{DD} ± 1V
Recommended $V_{AA}-$ Operating Range . . . . V_{SS} ± 1V
Storage Temperature Range . . . . -65°C to +150°C
Lead Temperature (Soldering 10s) . . . . +265°C

Thermal Information

Thermal Resistance	θ_{JA}	θ_{JC}
Ceramic DIP Package	58°C/W	11°C/W
Plastic DIP Package	60°C/W	-
Plastic SOIC Package	75°C/W	-

Maximum Power Dissipation 0.67W
Operating Temperature Range (T_A) . . . . -40°C to +85°C
Junction Temperature
Ceramic Package . . . . +175°C
Plastic Package . . . . +150°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Electrical Specifications

At +25°C, $V_{AA}+ = V_{DD} = 5V$, $V_{REF}+ = 6.4V$, $V_{REF}- = V_{AA}- = V_{SS}$, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified.

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE					
Resolution		8	-	-	Bits
Integral Linearity Error		-	-	± 1.5	LSB
Differential Linearity Error		-	-	+1, -0.8	LSB
Offset Error, Unadjusted	$V_{IN} = V_{REF}- + 1/2$ LSB	-0.5	4.5	6.4	LSB
Gain Error Unadjusted	$V_{IN} = V_{REF}+ - 1/2$ LSB	-1.5	0	1.5	LSB
DYNAMIC CHARACTERISTICS					
Maximum Input Bandwidth	(Note 1) CA3318C	2.5	5.0	-	MHz
Maximum Conversion Speed	CLK = Square Wave	15	17	-	MSPS
Signal to Noise Ratio (SNR) $= \frac{\text{RMS Signal}}{\text{RMS Noise}}$	$F_S = 15MHz$, $f_{IN} = 100kHz$	-	47	-	dB
	$F_S = 15MHz$, $f_{IN} = 4MHz$	-	43	-	dB
Signal to Noise Ratio (SINAD) $= \frac{\text{RMS Signal}}{\text{RMS Noise+Distortion}}$	$F_S = 15MHz$, $f_{IN} = 100kHz$	-	45	-	dB
	$F_S = 15MHz$, $f_{IN} = 4MHz$	-	35	-	dB
Total Harmonic Distortion, THD	$F_S = 15MHz$, $f_{IN} = 100kHz$	-	-46	-	dBc
	$F_S = 15MHz$, $f_{IN} = 4MHz$	-	-36	-	dBc
Effective Number of Bits (ENOB)	$F_S = 15MHz$, $f_{IN} = 100kHz$	-	7.2	-	Bits
	$F_S = 15MHz$, $f_{IN} = 4MHz$	-	5.5	-	Bits
Differential Gain Error	Unadjusted	-	2	-	%
Differential Phase Error	Unadjusted	-	1	-	%
ANALOG INPUTS					
Full Scale Range, V_{IN} and $(V_{REF}+) - (V_{REF}-)$	Notes 2, 4	4	-	7	V
Input Capacitance, V_{IN}		-	30	-	pF
Input Current, V_{IN}, (See Text)	$V_{IN} = 5.0V$, $V_{REF}+ = 5.0V$	-	-	3.5	mA
REFERENCE INPUTS					
Ladder Impedance		270	500	800	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications At +25°C, $V_{AA}+ = V_{DD} = 5V$, $V_{REF}+ = 6.4V$, $V_{REF}- = V_{AA}- = V_{SS}$, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified. **(Continued)**

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS					
Low Level Input Voltage, V_{OL}					
$\overline{CE1}$, CE2	Note 4	-	-	$0.2V_{DD}$	V
Phase, CLK	Note 4	-	-	$0.2V_{AA}$	V
High Level Input Voltage, V_{IN}					
$\overline{CE1}$, CE2	Note 4	$0.7V_{DD}$	-	-	V
Phase, CLK	Note 4	$0.7V_{AA}$	-	-	V
Input Leakage Current, I_I (Except CLK Input	Note 3	-	±0.2	±5	µA
Input Capacitance, C_I		-	3	-	pF
DIGITAL OUTPUTS					
Output Low (Sink) Current	$V_O = 0.4V$	4	10	-	mA
Output High (Source) Current	$V_O = 4.5V$	-4	-6	-	mA
Tri-State Output Off-State Leakage Current, I_{OZ}		-	±0.2	±5	µA
Output Capacitance, C_O		-	4	-	pF
TIMING CHARACTERISTICS					
Auto Balance Time (ϕ1)		33	-	∞	ns
Sample Time (ϕ2)	Note 4	25	-	500	ns
Aperture Delay		-	15	-	ns
Aperture Jitter		-	100	-	ps
Data Valid Time, T_D	Note 4	-	50	65	ns
Data Hold Time, T_H	Note 4	25	40	-	ns
Output Enable Time, T_{EN}		-	18	-	ns
Output Disable Time, T_{DIS}		-	18	-	ns
POWER SUPPLY CHARACTERISTICS					
Device Current ($I_{DD} + I_A$) (Excludes I_{REF})	Continuous Conversion (Note 4)	-	30	60	mA
	Auto Balance (ϕ1)	-	30	60	mA

NOTES:

1. A full scale sine wave input of greater than $F_{CLOCK}/2$ or the specified input bandwidth (whichever is less) may cause an erroneous code. The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2. V_{IN} (Full Scale) or $V_{REF}+$ should not exceed $V_{AA}+ + 1.5V$ for accuracy.
3. The clock input is a CMOS inverter with a 50kΩ feedback resistor and may be AC coupled with $1V_{P-P}$ minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

Timing Waveforms

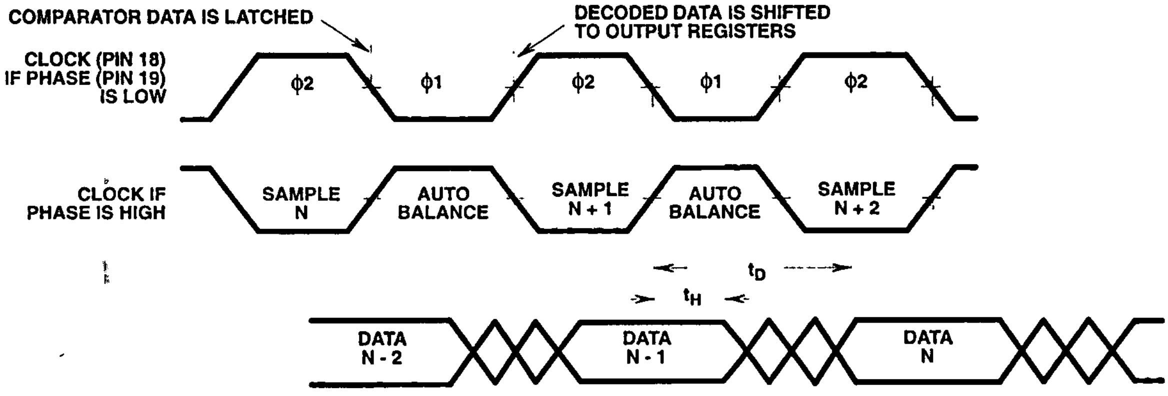


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms (Continued)

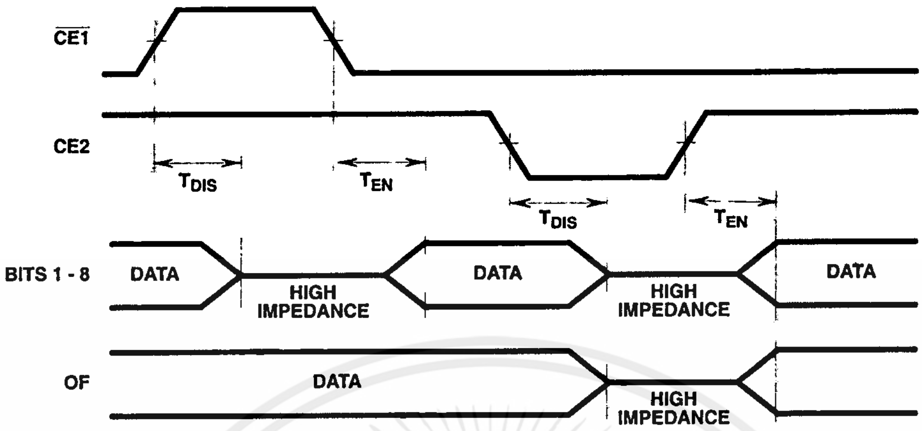


FIGURE 2. OUTPUT ENABLE TIMING DIAGRAM

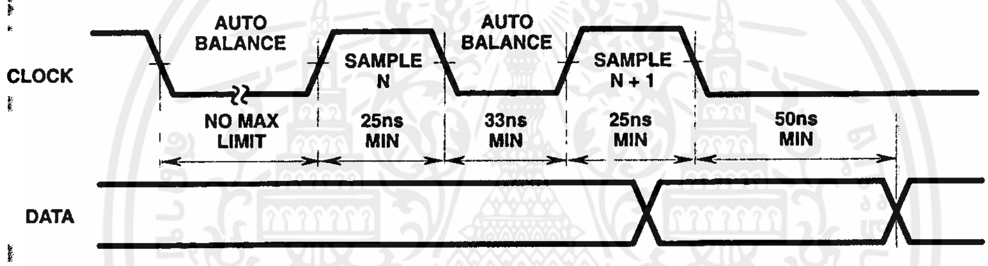


FIGURE 3A. STANDBY IN INDEFINITE AUTO BALANCE (SHOWN WITH PHASE = LOW)

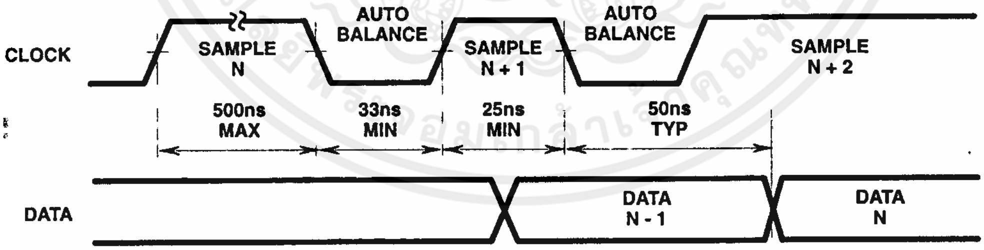


FIGURE 3B. STANDBY IN SAMPLE (SHOWN WITH PHASE = LOW)

FIGURE 3. PULSE MODE OPERATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

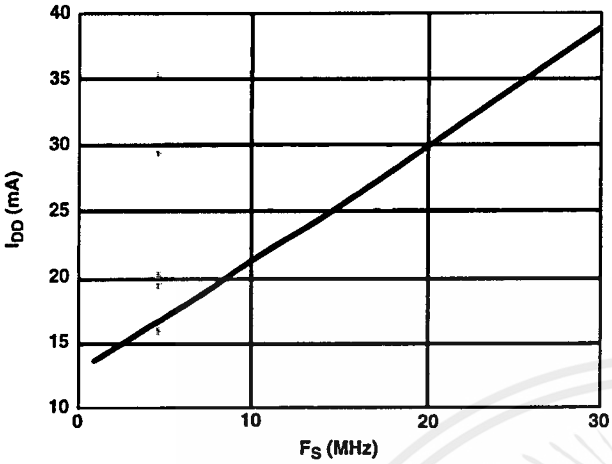


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

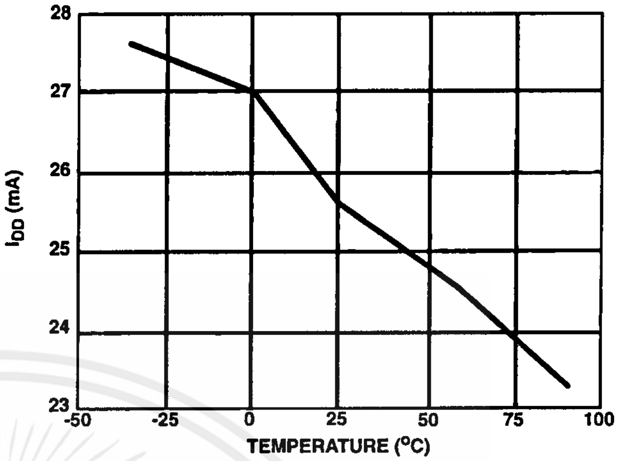


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

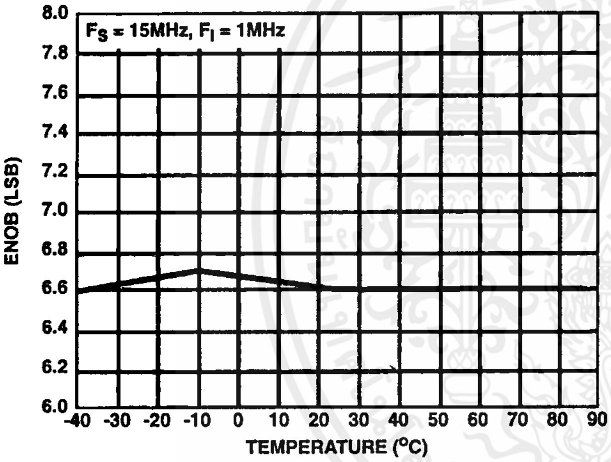


FIGURE 6. ENOB vs TEMPERATURE

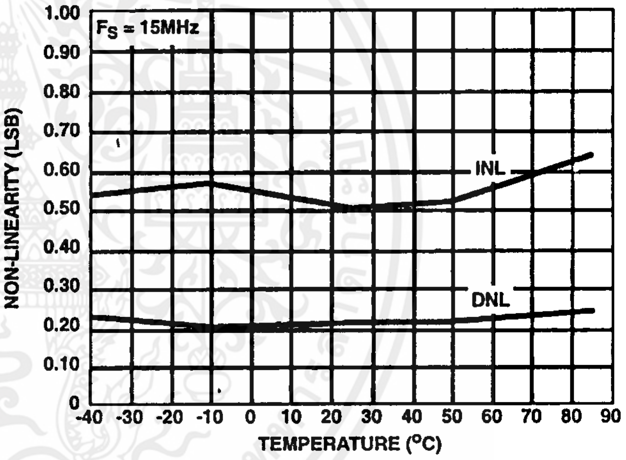


FIGURE 7. NON-LINEARITY vs TEMPERATURE

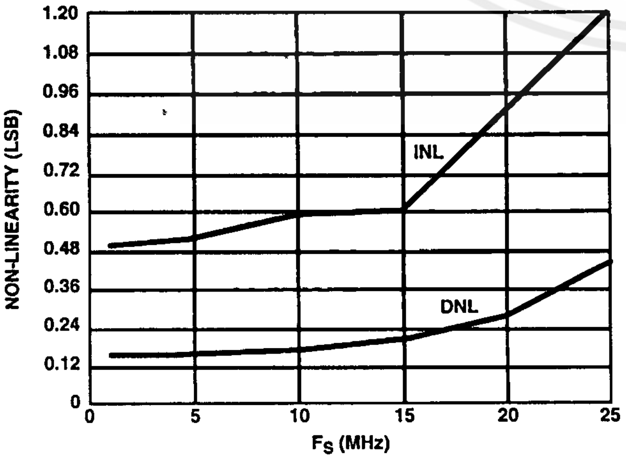


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

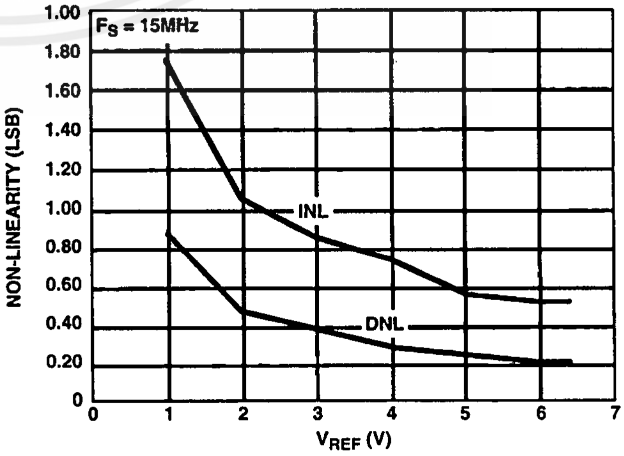


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

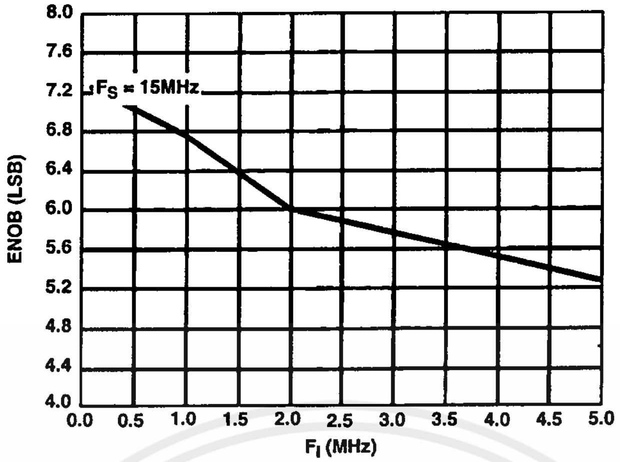


FIGURE 10. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN	NAME	DESCRIPTION	
1	B1	Bit 1 (LSB)	Output Data Bits (High = True)
2	B2	Bit 2	
3	B3	Bit 3	
4	B4	Bit 4	
5	B5	Bit 5	
6	B6	Bit 6	
7	B7	Bit 7	
8	B8	Bit 8 (MSB)	
9	OF	Overflow	
10	1/4 R	Reference Ladder 1/4 Point	
11	V_{SS}	Digital Ground	
12	V_{DD}	Digital Power Supply, +5V	
13	CE2	Tri-State Output Enable Input, Active Low, See Truth Table.	
14	CE1	Tri-State Output Enable Input Active High. See Truth Table.	
15	V_{REF}-	Reference Voltage Negative Input	
16	V_{IN}	Analog Signal Input	
17	V_{AA}-	Analog Ground	
18	CLK	Clock Input	
19	PHASE	Sample.clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).	
20	1/2 R	Reference Ladder Midpoint	
21	V_{IN}	Analog Signal Input	
22	V_{REF}+	Reference Voltage Positive Input	
23	3/4 R	Reference Ladder 3/4 Point	
24	V_{AA}+	Analog Power Supply, +5V	

CHIP ENABLE TRUTH TABLE

CE1	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Tri-State	Valid
X	0	Tri-State	Tri-State

X = Don't Care

Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase, $\phi 1$, and the "Sample Unknown" phase, $\phi 2$. (Refer to the circuit diagram.) Each conversion takes one clock cycle*. With the phase control (pin 19) high, the "Auto-Balance" ($\phi 1$) occurs during the high period of the clock cycle, and the "Sample Unknown" ($\phi 2$) occurs during the low period of the clock cycle.

* The device requires only a single phase clock The terminology of $\phi 1$ and $\phi 2$ refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256)\ V_{REF}] - (1/512)\ V_{REF}]$$
$$= [(2N - 1)/512]\ V_{REF}$$

Where:

$V_{TAP}(n)$ = reference ladder tap voltage at point n.
V_{REF} = voltage across V_{REF}- to V_{REF}+
N = tap number (1 through 256)

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately $(V_{AA}+ - V_{AA}-)/2$. The first set of capacitors now charges to their associated tap voltages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

At the same time a second set of commutating capacitors and amplifiers is also auto-balanced. The balancing of the second-stage amplifier at its intrinsic trip point removes any tracking differences between the first and second amplifier stages. The cascaded auto-balance (CAB) technique, used here, increases comparator sensitivity and temperature tracking.

In the "Sample Unknown" phase, all ladder tap switches and comparator shorting switches are opened. At the same time V_{IN} is switched to the first set of commutating capacitors. Since the other end of the capacitors are now looking into an effectively open circuit, any input voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators that had tap voltages greater than V_{IN} will go to a "high" state at their outputs. All comparators that had tap voltages lower than V_{IN} will go to a "low" state.

The status of all these comparator amplifiers is AC coupled through the second-stage comparator and stored at the end of this phase ($\phi 2$) by a latching amplifier stage. The latch feeds a second latching stage, triggered at the end of $\phi 1$. This delay allows comparators extra settling time. The status of the comparators is decoded by a 256 to 9-bit decoder array, and the results are clocked into a storage register at the end of the next $\phi 2$.

A 3-stage buffer is used at the output of the 9 storage registers which are controlled by two chip-enable signals. $\overline{CE1}$ will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B8 and the OF buffers when it is in the low state.

To facilitate usage of this device, a phase control input is provided which can effectively complement the clock as it enters the chip.

Continuous-Clock Operation

One complete conversion cycle can be traced through the CA3318 via the following steps. (Refer to timing diagram.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the first-stage latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto-balance" phase for the comparators. During this "low" state of the clock, the output of the latches settles and is captured by a second row of latches when the clock returns high. The second-stage latch output propagates through the decode array, and a 9-bit code appears at the D inputs of the output registers. On the next falling edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the tri-state drivers. This also marks the end of the next "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse-Mode Operation

The CA3318 needs two of the same polarity clock edges to complete a conversion cycle: If, for instance, a negative going clock edge ends sample "N", then data "N" will appear after the next negative going edge. Because of this requirement, and because there is a maximum sample time of 500ns (due to capacitor droop), most pulse or intermittent sample applications will require double clock pulsing.

If an indefinite standby state is desired, standby should be in auto-balance, and the operation would be as in Figure 3A.

If the standby state is known to last less than 500ns and lowest average power is desired, then operation could be as in Figure 3B.

Increased Accuracy

In most cases the accuracy of the CA3318 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, five adjustments can be made to obtain better accuracy, i.e., offset trim; gain trim; and $^1/_4$, $^1/_2$ and $^3/_4$ point trim.

Offset Trim

In general, offset correction can be done in the preamp circuitry by introducing a dc shift to V_{IN} or by the offset trim of the op amp. When this is not possible the V_{REF}- input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $^1/_2$ LSB. The equation is as follows:

$$V_{IN}\text{ (0 to 1 transition)} = {}^1/_2\text{ LSB} = {}^1/_2\,(V_{REF}/256) = V_{REF}/512$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50Ω pot connected between V_{REF}- and ground will accomplish the adjustment. Set V_{IN} to 1/2 LSB and trim the pot until the 0-to-1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50Ω pot should be connected between V_{REF}- and a negative voltage of about 2 LSB's. The trim procedure is as stated previously.

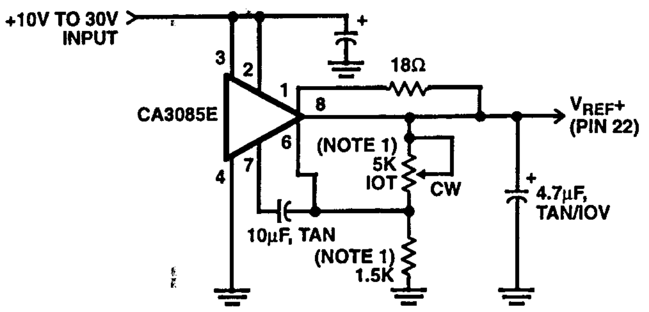
Gain Trim

In general, the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 255 to overflow transition. That voltage is $^1/_3$ LSB less than V_{REF}+ and is calculated as follows:

$$V_{IN}\text{ (255 to 256 transition)} = V_{REF} - V_{REF}/512 = V_{REF}(511/512)$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 255 to overflow transition. Now adjust V_{REF}+ until that transition occurs on the outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

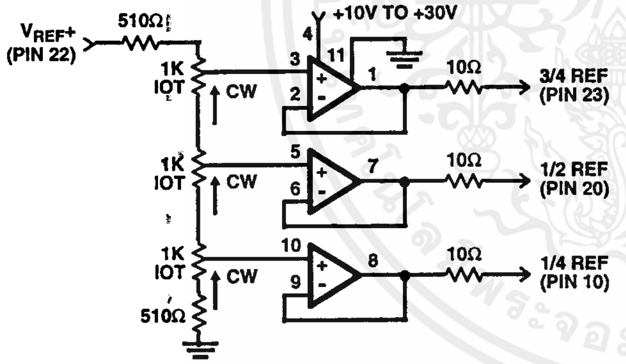


NOTE: Bypass V_{REF}+ to analog GND near A/D with 0.1µF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING V_{REF}+ INPUT

$^1/_4$ Point Trims

The $^1/_4$, $^1/_2$ and $^3/_4$ points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The $^1/_4$ points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between V_{REF}+ and V_{REF}-. The $^1/_2$ (mid-) point should be set first by applying an input of 257/512 x (V_{REF}) and adjusting for an output changing from 128 to 129. Similarly the $^1/_4$ and $^3/_4$ points can be set with inputs of 129/512 and 385/512 x (V_{REF}) and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually $^1/_4$, $^1/_2$ and $^3/_4$ of full scale +1 LSB.)



NOTES:

1. All Op Amps = $^3/_4$ CA324E
2. Bypass all reference points to analog ground near A/D with 0.1µF ceramic caps
3. Adjust V_{REF+} first, then $^1/_3$, $^3/_4$ and $^1/_4$ points.

FIGURE 12. TYPICAL 1/4 POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

9-Bit Resolution

To obtain 9-bit resolution, two CA3318's can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, tri-state outputs, and chip-enable controls—all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the $\overline{CE1}$ control of the lower A/D converter and the CE2 control of the upper A/D converter. The tri-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 14.

Grounding/Bypassing

The analog and digital supply grounds of a system should be kept separate and only connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the V_{AA} supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1µF ceramics and should be mounted as close to the A/D as possible. If V_{AA}+ is derived from V_{DD}, a small (10Ω resistor or inductor and additional filtering (4.7µF tantalum) may be used to keep digital noise out of the analog system.

Input Loading

The CA3318 outputs a current pulse to the V_{IN} terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

Output Loading

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local QMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$ENOB = (SINAD - 1.76 + V_{CORR})/6.02$$

where: $V_{CORR} = 0.5dB$

Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

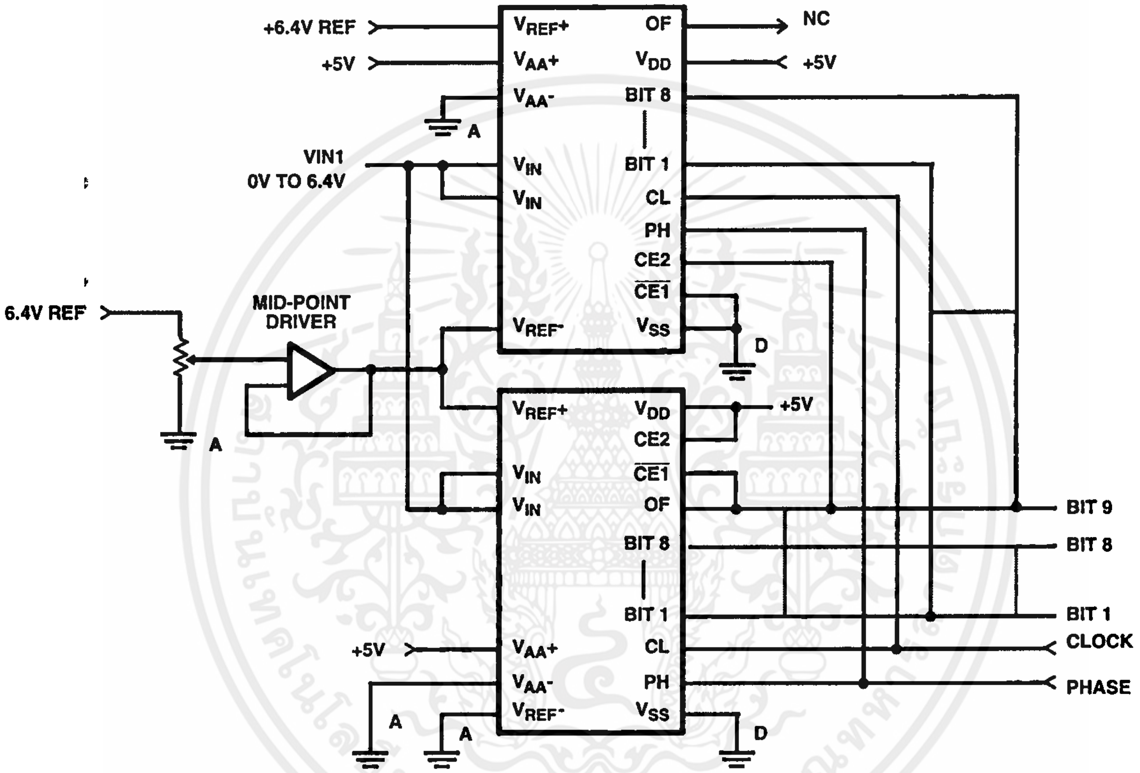


FIGURE 13. USING TWO CA3318s FOR 9-BIT RESOLUTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

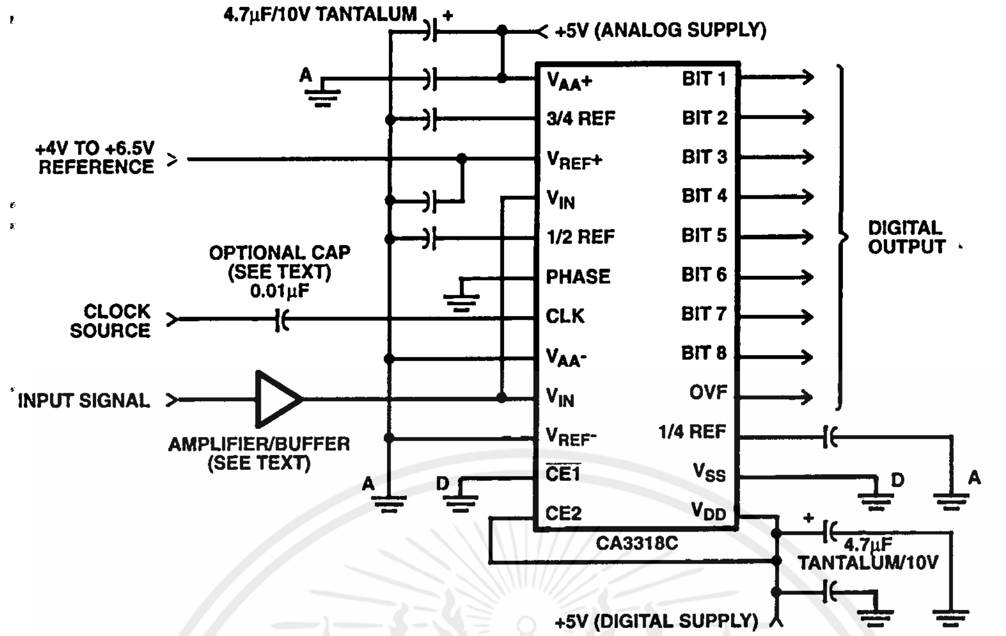


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

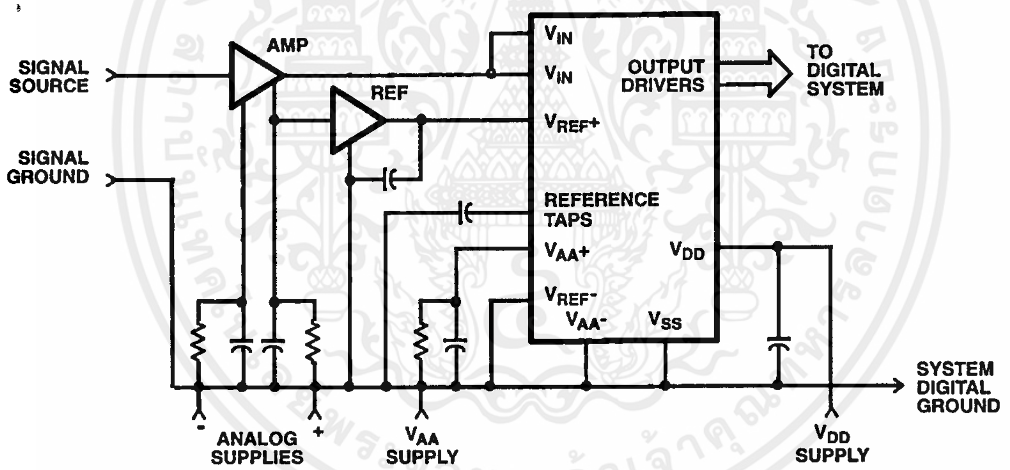
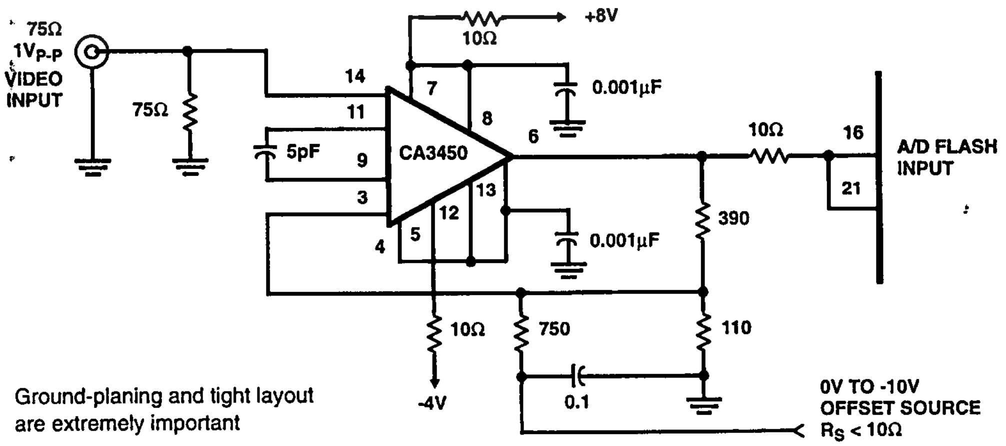


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground-planing and tight layout are extremely important

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1. OUTPUT CODE TABLE

CODE DESCRIPTION	INPUT VOLTAGE (NOTE 1) V_{REF} 6.40V (V)	V_{REF} 5.12V (V)	BINARY OUTPUT CODE OF	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1	DECIMAL COUNT
Zero	0.00	0.00	0	0	0	0	0	0	0	0	0	0
1 LSB	0.025	0.02	0	0	0	0	0	0	0	0	1	1
2 LSB	0.05	0.04	0	0	0	0	0	0	0	1	0	2
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/4 Full Scale	1.60	1.28	0	0	1	0	0	0	0	0	0	64
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/2 Full Scale - 1 LSB	3.175	2.54	0	0	1	1	1	1	1	1	1	127
1/2 Full Scale	3.20	2.56	0	1	0	0	0	0	0	0	0	128
1/2 Full Scale + 1 LSB	3.225	2.58	0	1	0	0	0	0	0	0	1	129
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
3/4 Full Scale	4.80	3.84	0	1	1	0	0	0	0	0	0	192
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
Full Scale - 1 LSB	6.35	5.08	0	1	1	1	1	1	1	1	0	254
Full Scale	6.375	5.10	0	1	1	1	1	1	1	1	1	255
Over Flow	6.40	5.12	1	1	1	1	1	1	1	1	1	511

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

Reducing Power

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample ($\phi 2$) time. The constraints are a minimum balance time ($\phi 1$) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

Clock Input

The Clock and Phase inputs feed buffers referenced to $V_{AA}+$ and $V_{AA}-$. Phase should be tied to one of these two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 x ($V_{AA}+$ - $V_{AA}-$). The clock may also be AC coupled with at least a 1 V_{P-P} swing. This allows TTL drive levels or 5V QMOS levels when $V_{AA}+$ is greater than 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ± 1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ± 4.5V to ± 18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications

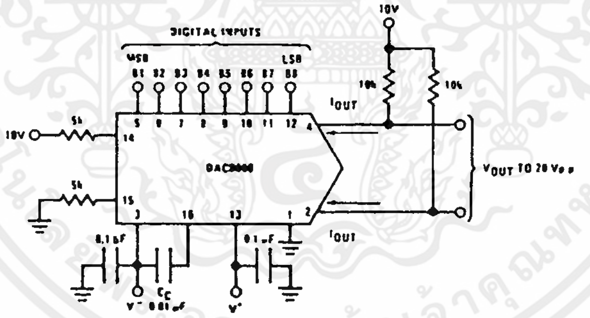


FIGURE 1. ±20 V_{P-P} Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	$-55°C \le T_A \le +125°C$	DAC0802LJ	DAC-08AQ			
±0.1% FS	$0°C \le T_A \le +70°C$	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	$-55°C \le T_A \le +125°C$	DAC0800LJ	DAC-08Q			
±0.19% FS	$0°C \le T_A \le +70°C$	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	$0°C \le T_A \le +70°C$	DAC0801LCJ	DAC-08CQ	DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S^- = -15V$)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0802L	−55	+125	°C
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution Monotonicity Nonlinearity		8 8	8 8	8 8 ±0.1	8 8	8 8	8 8 ±0.19	8 8	8 8	8 8 ±0.39	Bits Bits %FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", $T_A = 25°C$ DAC0800L DAC0800LC		100	135		 100 100	 135 150		100	150	ns ns ns
tPLH, tPHL	Propagation Delay Each Bit All Bits Switched	$T_A = 25°C$		35 35	60 60		35 35	60 60		35 35	60 60	ns ns
TCI_{FS}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change $< \frac{1}{2}$ LSB, $R_{OUT} > 20$ MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10.000V$, R14 = 5.000 kΩ R15 = 5.000 kΩ, $T_A = 25°C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	μA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	μA
I_{FSR}	Output Current Range	$V^- = -5V$ $V^- = -8V$ to $-18V$	0 0	2.0 2.0	2.1 4.2	0 0	2.0 2.0	2.1 4.2	0 0	2.0 2.0	2.1 4.2	mA mA
 V_{IL} V_{IH}	Logic Input Levels Logic "0" Logic "1"	$V_{LC} = 0V$	 2.0		 0.8	 2.0		 0.8	 2.0		 0.8	 V V
 I_{IL} I_{IH}	Logic Input Current Logic "0" Logic "1"	$V_{LC} = 0V$ $-10V \leq V_{IN} \leq +0.8V$ $2V \leq V_{IN} \leq +18V$		 −2.0 0.002	 −10 10		 −2.0 0.002	 −10 10		 −2.0 0.002	 −10 10	 μA μA
V_{IS}	Logic Input Swing	$V^- = -15V$	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	$V_S = \pm 15V$	−10		13.5	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	μA
dI/dt	Reference Input Slew Rate	*(Figure 12)*	4.0	8.0		4.0	8.0		4.0	8.0		mA/μs
$PSSI_{FS+}$	Power Supply Sensitivity	$4.5V \leq V+ \leq 18V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		$-4.5V \leq V^- \leq 18V$ $I_{REF} = 1mA$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
 I+ I−	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1$ mA		 2.3 −4.3	 3.8 −5.8		 2.3 −4.3	 3.8 −5.8		 2.3 −4.3	 3.8 −5.8	 mA mA
 I+ I−		$V_S = 5V, -15V$, $I_{REF} = 2$ mA		 2.4 −6.4	 3.8 −7.8		 2.4 −6.4	 3.8 −7.8		 2.4 −6.4	 3.8 −7.8	 mA mA
 I+ I−		$V_S = \pm 15V$, $I_{REF} = 2$ mA		 2.5 −6.5	 3.8 −7.8		 2.5 −6.5	 3.8 −7.8		 2.5 −6.5	 3.8 −7.8	 mA mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1$ mA		33	48		33	48		33	48	mW
		5V, −15V, $I_{REF} = 2$ mA		108	136		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2$ mA		135	174		135	174		135	174	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

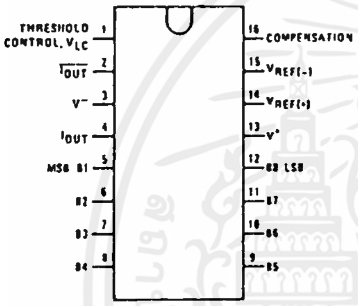
Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

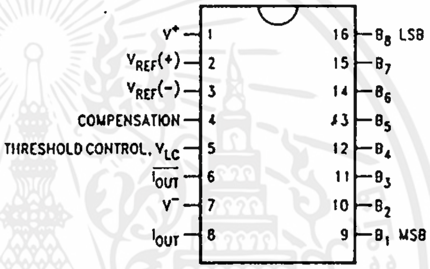
Dual-In-Line Package



TL/H/5686-13

Top View

Small Outline Package

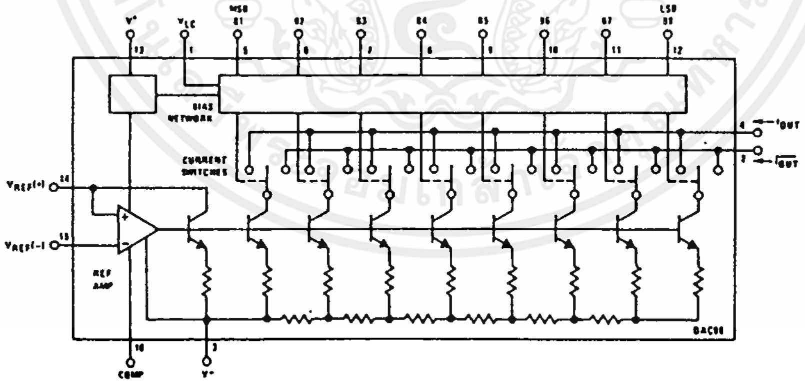


TL/H/5686-14

Top View

See Ordering Information

Block Diagram (Note 4)



TL/H/5686-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National
Semiconductor
Corporation

PRELIMINARY

LM1881 Video Sync Separator

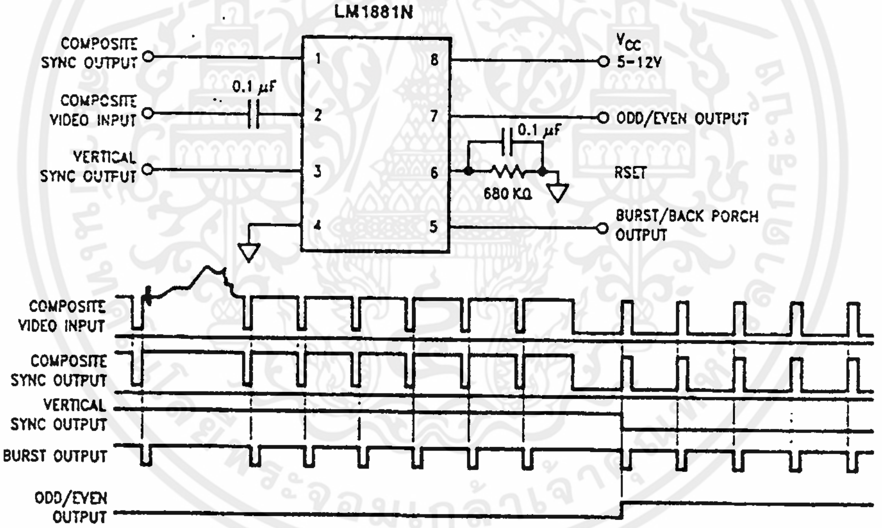
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from a standard negative going sync NTSC video signal with amplitude from 0.5 to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals by changing an external horizontal scan rate setting resistor. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the internally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- > 10 kΩ input resistance
- < 10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Resistor programmable horizontal scan rate (up to 64 kHz)
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



TL/H/9150-1

Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vp-p
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C – 70°C
Storage Temperature Range	−65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; Rset = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	V_{CC} = 5V; Outputs at Logic 1	5.2	10		mAmax
	V_{CC} = 12V; Outputs at Logic 1	5.5	12		mAmax
DC Input Voltage	Pin 2	1.5	1.3 1.8		Vmin Vmax
Input Threshold Voltage	Note 5	70	55 85		mVmin mVmax
Input Discharge Current	Pin 2; V_{IN} = 2V	11	6 16		μAmin μAmax
Input Clamp Charge Current	Pin 2; V_{IN} = 1V	0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; Note 6	1.22	1.10 1.35		Vmin Vmax
Composite Sync. & Vertical Outputs	I_{OUT} = 40 μA; Logic 1	4.5	4.0		Vmin
	I_{OUT} = 1.6 mA; Logic 1	3.6	2.4		Vmin
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 μA; Logic 1	4.5	4.0		Vmin
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1	0.2	0.8		Vmax
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3	0.2	0.8		Vmax
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5	0.2	0.8		Vmax
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7	0.2	0.8		Vmax
Vertical Sync Width		230	190 300		μsmin μsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}	4	2.5 4.7		μsmin μsmax
Vertical Default Time	Note 7	65	32 90		μsmin μsmax

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 3: These parameters are guaranteed and 100% production tested.

Note 4: Design Limits are guaranteed but not 100% production tested. These limits are not used to calculate outgoing quality levels.

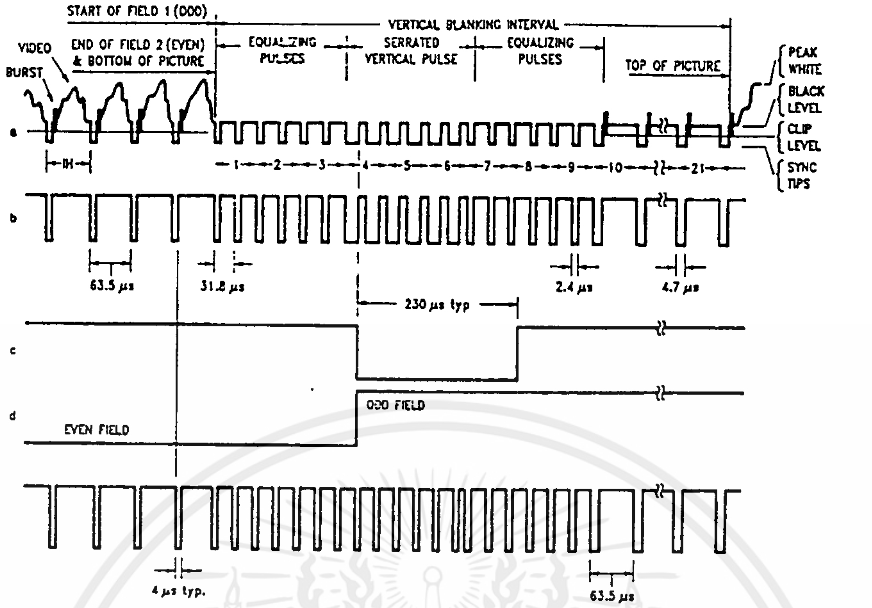
Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the R_{SET} pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

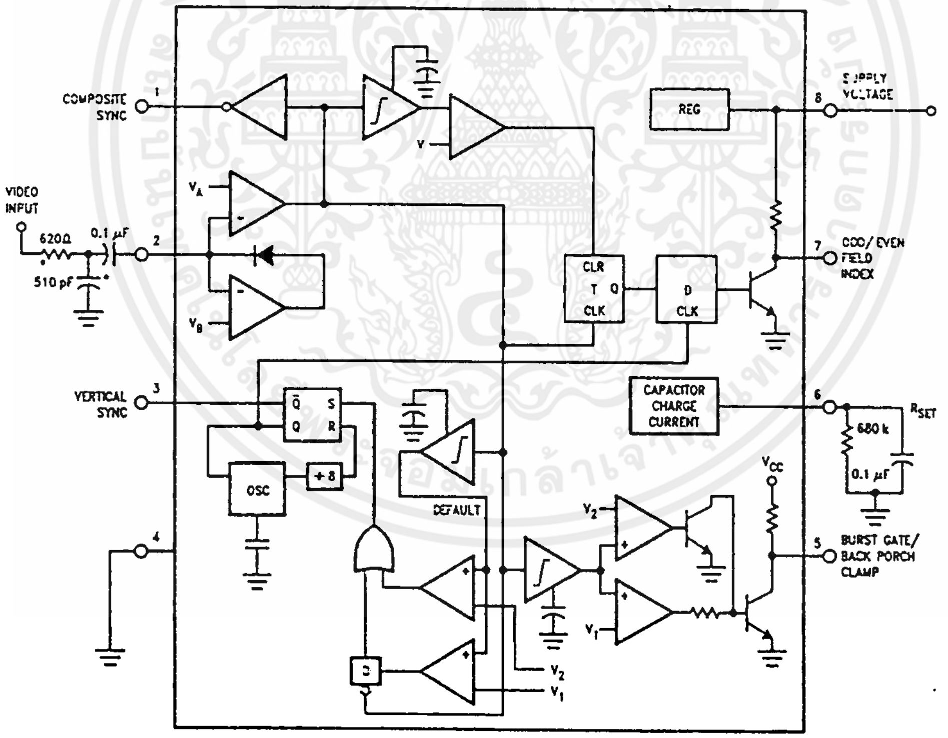
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)



TL/H/9150-3

FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp



*Components Optional, See Text

TL/H/9150-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค. โปรแกรมที่ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
*******************************
PROGRAM.C
*******************************
#include<mem.h>
#include<alloc.h>
#include<dos.h>
#include<stdio.h>
#include<conio.h>
#include<math.h>
#include<stdlib.h>
#include<conio.h>
#include<graphics.h>

#define UP     0x4800
#define DOWN   0x5000
#define LEFT   0X4B00
#define RIGHT 0x4D00
#define RETURN 0x1C0D
#define ESC    0x011B

void *saveveiw[20];
int choice,num,menu;
void Menu(char huge *p);
void Open(char huge *po);
void Save(char huge *ps);
void New(char huge *pn);
void Manage_Data_To_Reserve1(char huge *pm1,char huge *pm2);
void Manage_Data_To_Reserve2(char huge *pm1,char huge *pm2);
void Displayimage(char huge *pim);
void Negative(char huge *pt);
void initialize_graphics_mode(void);
void close_graphics_mode(void);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void drawmain(void);
void drawline(int sx,int sy,int lx,int ly,int color);
void drawblock(int xs,int ys,int xl,int yl,int dimen);
void drawblock1(int xs,int ys,int xl,int yl,int dimen);
void drawblock2(int xs,int ys,int xl,int yl,int dimen);
void saveblock(int xs,int ys,int xl,int yl,int num);
void saveblockmain();
void selectmenu(char huge *p);
void EXIT(char huge *p);
void Set_Color(int color);
void Out_Text_XY(int x,int y,char text[]);
//void exitmain(void);

void main(void)
{    char huge *p;
     unsigned char x;
     int y;
     p = (char huge *)farmalloc(262144);
     if(p==NULL)
     { printf("Program can not run because memory is not enough");
       getch();
       EXIT(p);
     }
     Menu(p);
     return;
}

void Menu(char huge *p)
 {
  clrscr();
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 initialize_graphics_mode();
 drawmain();
 saveblockmain();
 selectmenu(p);
 getch();
 getch();
 closegraph();
 return;
}

void initialize_graphics_mode(void)
 {
  int gdriver =DETECT,gmode,errorcode;
  initgraph(&gdriver,&gmode,"c:\\lang\\tc\\bgi");
  errorcode = graphresult();
  if (errorcode != grOk)
   {
    printf(" Graphics error : %s\n",grapherrormsg(errorcode));
    printf(" Press any key halt : ");
    getch();
    EXIT(0);
   }
 }

void close_graphics_mode(void)
 {
 closegraph();
 }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void Out_Text_XY(int x,int y,char text[])
{ outtextxy(x,y,text); }

void Set_Color(int color)
{  setcolor(color); }

void drawmain(void)
 {    int x,y;
      setviewport(0,0,getmaxx(),getmaxy(),1);
      setbkcolor(CYAN);
      setcolor(LIGHTGRAY);
      drawblock1(10,10,getmaxx()-10,getmaxy()-40,30);
      drawblock1(10,getmaxy()-40,getmaxx()-10,getmaxy()-10,0);
      setfillstyle(1,1);
      bar(40,14,getmaxx()-14,41);
      bar(15+30/4,18,10+30*3/4,36);
      bar(14,getmaxy()-36,getmaxx()-12,getmaxy()-14);
      settextstyle(0,0,1);
      setcolor(WHITE);
      outtextxy(200,24," Camera Monitoring System ");
      drawblock2(50,100,275,125,0);
      drawblock2(50,150,275,175,0);
      drawblock2(50,200,275,225,0);
      drawblock2(50,250,275,275,0);
      drawblock2(50,300,275,325,0);
      setcolor(BLACK);
      outtextxy(70,110,"    New");
      outtextxy(70,160,"    Open ");
      outtextxy(70,210,"    Save");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    outtextxy(70,260,"     Save as");
    outtextxy(70,310,"     Exit to dos ");
    drawblock2(350,70,getmaxx()-50,getmaxy()-70,20);

}
void drawline(int sx,int sy,int lx,int ly,int color)
{
  int x,y;
     for(x=sx;x<=lx;x+=1)
       for(y=sy;y<=ly;y+=1)
          putpixel(x,y,color);

}

void drawblock(int xs,int ys,int xl,int yl,int dimen)

{
   setviewport(0,0,getmaxx(),getmaxy(),1);
   setbkcolor(CYAN);
   setfillstyle(1,1);
   bar(xs+10,ys+10,xl+10,yl+10);
   setfillstyle(1,WHITE);
   bar(xs,ys,xl,yl);
   setcolor(BLUE);
   reefangle(xs+2,ys+2,xl-2,yl-2);
   line(xs+3,ys+3+dimen,xl-3,ys+3+dimen);
   setcolor(LIGHTGRAY);
   rectangle(xs+3,ys+3,xl-3,yl-3);
   line(xs+2,ys+2+dimen,xl-2,ys+2+dimen);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
}

void selectmenu(char huge *p)
{
    int i;
    int xs=66;
   for(;;) {
                i =bioskey(0);
                switch(i)
                {
                  case UP     : if(choice == 0)
                                {
                                  putimage(50,100,saveveiw[choice],4);

                                }
                                else
                                {
                                  switch(choice)
                                  {  case 1:xs=150;break;
                                     case 2:xs=200;break;
                                     case 3:xs=250;break;
                                     case 4:xs=300;break;
                                  }
                                    putimage(50,xs,saveveiw[choice],0);
                                    choice =choice-1;
                                    xs = xs-50;
                                    putimage(50,xs,saveveiw[choice],4);

                                }  break;
                  case DOWN: if(choice == 4)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{
  putimage(50,300,saveveiw[choice],4);

}
else
{

  switch(choice)
  {  case 0:xs=100;break;
       case 1:xs=150;break;
       case 2:xs=200;break;
       case 3:xs=250;break;
  }
    putimage(50,xs,saveveiw[choice],0);
    choice =choice+1;
    xs = xs+50;
    putimage(50,xs,saveveiw[choice],4);

} break;
case RETURN :switch(choice)
{
 case 0: New(p); break;
 case 1: Open(p); break;
 case 2: Save(p); break;
 case 3:/* Save as();*/  break;
 case 4: closegraph(); EXIT(p);
}
} /*switch*/

}/*for*/
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 } /*void*/

void saveblock(int xs,int ys,int xl,int yl,int num )
  {
    unsigned int size;
                size =imagesize(xs,ys,xl,yl);
                saveveiw[num] = malloc(size);
                getimage(xs,ys,xl,yl,saveveiw[num]);
  }
void saveblockmain()
{
     saveblock(50,100,275,125,0);
     saveblock(50,150,275,175,1);
     saveblock(50,200,275,225,2);
     saveblock(50,250,275,275,3);
     saveblock(50,300,275,325,4);
     putimage(50,100,saveveiw[0],4);
     setcolor(BLUE);
     setfillstyle(1,BLACK);
     bar(360,75,getmaxx()-60,90);
     outtextxy(360,80," KMITL ELECTRONIC ENGINEER ");
     outtextxy(430,200,"  ");
}

void drawblock1(int xs,int ys,int xl,int yl,int dimen)

{
    setviewport(0,0,getmaxx(),getmaxy(),1);
    setfillstyle(1,WHITE);
    bar(xs,ys,xl,yl);
```
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  setcolor(BLUE);
  rectangle(xs+2,ys+2,xl-2,yl-2);
  line(xs+3,ys+3+dimen,xl-3,ys+3+dimen);
  setcolor(LIGHTGRAY);
  rectangle(xs+3,ys+3,xl-3,yl-3);
  line(xs+2,ys+2+dimen,xl-2,ys+2+dimen);

 }
 void drawblock2(int xs,int ys,int xl,int yl,int dimen)

{
  setviewport(0,0,getmaxx(),getmaxy(),1);
  setbkcolor(CYAN);
  setfillstyle(1,1);
  bar(xs+4,ys+4,xl+4,yl+4);
  setfillstyle(1,WHITE);
  bar(xs,ys,xl,yl);
  setcolor(BLUE);
  rectangle(xs+2,ys+2,xl-2,yl-2);
  line(xs+3,ys+3+dimen,xl-3,ys+3+dimen);
  setcolor(LIGHTGRAY);
  rectangle(xs+3,ys+3,xl-3,yl-3);
  line(xs+2,ys+2+dimen,xl-2,ys+2+dimen);

 }

void EXIT(char huge *p)
{ farfree(p);
  exit(0);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void New(char huge *pn)
{   char huge *pseg;
        char huge *sh;
        unsigned long s;
        int A=16,B=12,C=14;
        sh = pn;
        pseg = (char huge *)MK_FP(0xD000,0x0000);
        outportb(0x0300,(unsigned char)A);
        delay(120);
        outportb(0x0300,(unsigned char)B);
        Manage_Data_To_Reserve1(pseg,pn);
        outportb(0x0300,(unsigned char)C);
        Manage_Data_To_Reserve2(pseg,pn);
        for(s=0;s<262144;s++)
        {   *sh = *sh>>2;
                sh = sh+1;
        }
        Displayimage(pn);
        return;
}

void Manage_Data_To_Reserve1(char huge *pm11,char huge *pm12)
{       char huge  *pad;
        char huge  *pre;
        int x;
        pad = pm11;
        pre = pm12;
        for(x=0;x<256;x++)
        {       memmove(pre,pad,512);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
			pre = pre+512*2;
			pad = pad+512;
		}
		return;
}

void Manage_Data_To_Reserve2(char huge *pm21,char huge *pm22)
{		char huge  *pad;
		char huge  *pre;
		int x;
		pad = pm21;
		pre = pm22+512;
		for(x=0;x<256;x++)
		{		memmove(pre,pad,512);
				pre = pre+512*2;
				pad = pad+512;
		}
}

void Displayimage(char huge *pim)
{		char far *pm2;
		char huge *pm1;
		unsigned char  RGB = 0;
		int  indexa,banker,ct;
		if(!opengraph(0x103))
		{		gotoxy(getmaxx()/4,getmaxy()/10);
				printf(" Error while opening...");
				EXIT(pim);
		}
		for(indexa=0;indexa<64;indexa++)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{          setdac((int)indexa,RGB,RGB,RGB);
           RGB = RGB + 1;
}
pm1 = pim;
pm2 = MK_FP(0xA000,0x8A10);  /*first pixel of display (288,88)*/
banker = 0;
setbankwrite(banker);
for(ct=0 ; ct<38 ; ct++)
{          movmem(pm1,pm2,512);
           pm1 = pm1+512;
           pm2 = pm2+511+289;
}
banker = 1;
setbankwrite(banker);
for(ct=0;ct<82;ct++)
{          movmem(pm1,pm2,512);  /* 384 is data still in bank1 */
           pm1 = pm1 + 512;
           pm2 = pm2 + 511+289;
}
banker = 2;
setbankwrite(banker);
for(ct=0;ct<81;ct++)
{    movmem(pm1,pm2,512);  /* 384 is data still in bank1 */
           pm1 = pm1 + 512;
           pm2 = pm2 + 511+289;
}
movmem(pm1,pm2,464);
pm1 = pm1+464;
pm2 = pm2+464;
for(banker=3 ; banker<6 ; banker++)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
	{	setbankwrite(banker);
		movmem(pm1,pm2,((banker-3)*64)+48);
		pm1 = pm1+((banker-3)*64)+48;
		pm2 = pm2+((banker-3)*64)+47+289;
		for(ct=0 ; ct<81 ; ct++)
		{	movmem(pm1,pm2,512);
			pm1 = pm1+512;
			pm2 = pm2+511+289;
		}
		movmem(pm1,pm2,(400-((banker-3)*64)));
		pm1 = pm1+(400-((banker-3)*64));
		pm2 = pm2+(400-((banker-3)*64));
	}
	banker = 6;
	setbankwrite(banker);
	movmem(pm1,pm2,240) ;
	pm1 = pm1+240;
	pm2 = pm2+239+289;
	for(ct=0 ; ct<64 ; ct++)
	{	movmem(pm1,pm2,512);
		pm1 = pm1+512;
		pm2 = pm2+511+289;
	}
	return;
}

void Open(char huge *po)
{	char huge *open;
	unsigned int a,b;
	char fileoname[20];
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
char lbuf[512];
FILE    *oimage;
open = po-1;
Out_Text_XY(50,390,"Open filename : ");
gotoxy(23,25);
gets(fileoname);
Out_Text_XY(360,220,"Loading..");
if((oimage = fopen(fileoname,"rb")) == NULL)
{       Set_Color(0);
        Out_Text_XY(360,240,"Loading..");
        Set_Color(4);
        Out_Text_XY(360,260,"File not found..");
        Out_Text_XY(360,280,"press any key to continue.");
        getch();
        Set_Color(0);
        Out_Text_XY(360,260,"File not found..");
        Out_Text_XY(360,280,"press any key to continue.");
        Set_Color(4);
        fclose(oimage);
}
else
{       a = 0;
        fseek(oimage,0,SEEK_SET);
        fread(lbuf,512,1,oimage);
        for(b=0 ; b<512 ; b++)
        { open = open + 1;
          pokeb((FP_SEG(open)),(FP_OFF(open)),(lbuf[b]));
        }
        for(a=1 ; a<512 ; a++)
        {       fseek(oimage,(unsigned long) a*512,SEEK_SET);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    fread(lbuf,512,1,oimage);
                    for(b=1 ; b<513 ; b++)
                    {       open = open + 1;
                            pokeb((FP_SEG(open)),(FP_OFF(open)),(lbuf[b-1]));
                    }
            }
            fclose(oimage);
            Set_Color(0);
            Out_Text_XY(360,220,"Loading..");
            Set_Color(15);
            Displayimage(po);
        }
        Set_Color(0);
        Out_Text_XY(50,390,"Open filename :");
        Set_Color(0);
        return;
}

void Save(char huge *ps)
{       char huge *save;
        unsigned int  a,b;
        char filesname[20];
        char sbuf[512];
        FILE    *simage;
        save = ps-1;
        Out_Text_XY(50,390,"Save file as : ");
        gotoxy(23,25);
        gets(filesname);
        if((simage = fopen(filesname,"wb")) == NULL)
        {       Out_Text_XY(450,220,"Error");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                getch();
                Set_Color(0);
                Out_Text_XY(450,220,"Error");
                Set_Color(0);
                fclose(simage);
        }
        else
        { for(a=0 ; a<512 ; a++)
         {  for(b=0 ; b<512 ; b++)
                { save = save + 1;
                  sbuf[b] = peekb((FP_SEG(save)),(FP_OFF(save)));
                }
                fwrite(sbuf,512,1,simage);
         }
         fclose(simage);
        }
        Set_Color(0);
        Out_Text_XY(50,390,"Save file as : ");
        Set_Color(15);
        return;
}

void Negative(char huge *pt)
{   char huge *pta;
        int a,b;
        pta = pt;
        for(a=0;a<512;a++)
        {       for(b=0;b<512;b++)
                {       *pta = ((*pta^0xff)&0x3f);
                        pta = pta+1;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        }
    }
    Displayimage(pt);
    return;
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                              ************************
                                       VESA.C
                              ************************

#include<dos.h>
#include<bios.h>

struct MODEinfo{
        unsigned        ModeFlag;
        char            WinAflag;
        char            WinBflag;
        unsigned        WinGranularity;
        unsigned        Winsize;
        unsigned        WinASegment;
        unsigned        WinBSegment;
        void far (*WinFuncPtr)();
        unsigned        BPL;
        unsigned        xres;
        unsigned        yres;
        char            Xcharsize;
        char            Ycharsize;
        char            Bitplane;
        char            Bitperpixel;
        char            Memblock;
        char            Memmodel;
        char        Blocksize;
 }VESA_info;
 struct VGAinfo{
        char            VESAsignature[4];
        char            MajorVersion;
        char            MinorVersion;
        void far *OEMstr;
        long    reserved;
        unsigned far *VideoModeList;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
	unsigned	Banktotal;
	char		reserved2[242];
}VESA;

int OLD_mode;
int OLD_bank = 0;
long LinearVideoRAM;
int VESA_mode;
int VESA_xline;
int VESA_page;
int VESA_frameread;
int VESA_bank;
int VESA_size;
#define VESA_framewrite 0

#define OK  1
#define ERR 0

int opengraph(int mode);
void closegraph(void);

int getbitperpix(void);
int getxres(void);
int getyres(void);
int getxline(void);
int getbanktotal(void);
int getbanksize(void);
int getbankoff(void);

void setbankread(int bank);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void setbankwrite(int bank);

void putpixel(int x,int y,int color);
void setdac(int index,int R,int G,int B);

#define directpixel(x,y,R,G,B)\(*Directpixel)(x,y,R,G,B)
void direct32k(int x,int y,int R,int G,int B);
void direct64k(int x,int y,int R,int G,int B);
void direct16m(int x,int y,int R,int G,int B);

/* pointer-to-function,write RGB data to VideoRAM */

void(*Directpixel)(int,int,int,int,int);

/* pointer-to-function
        -->far-call bank routine */
void far (*setbank)(void);

/***********************************/
int opengraph(int mode)
{
 /*store old mode in OLD_mode*/
 OLD_mode = peekb(0,0x0449);

 /*check VESA compatible*/
 _ES=FP_SEG((void far *)&VESA);
 _DI=FP_OFF((void far *)&VESA);
 _AX=0x4f00;

 geninterrupt(0x10);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
if(_AX!=0x4f)return ERR;/*VESA not supported*/

_ES=FP_SEG((void far *)&VESA_info);
_DI=FP_OFF((void far *)&VESA_info);
_CX=mode;
_AX=0x4f01;

geninterrupt(0x10);

if(_AX!=0x4f)return ERR;/*mode not supported*/

/*initial data*/

VESA_mode  = mode;
VESA_xline = VESA_info.BPL;
VESA_page  = VESA_info.WinGranularity;

/*set shift value for putpixel*/

switch(VESA_info.WinGranularity)
        {
        case 1:VESA_bank=10;
                        VESA_size=0x03ff;break;
        case 2:VESA_bank=11;
                        VESA_size=0x07ff;break;
        case 4:VESA_bank=12;
                        VESA_size=0x0fff;break;
        case 8:VESA_bank=13;
                        VESA_size=0x1fff;break;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
case 16:VESA_bank=14;
                VESA_size=0x3fff;break;
        case 32:VESA_bank=15;
                VESA_size=0x7fff;break;
        case 64:VESA_bank=16;
                VESA_size=0xffff;break;
        default:return ERR;
        }
/*adjust to standard for some card*/
switch(VESA_mode)
        {
        case 0x110:
        case 0x113:VESA_info.Bitperpixel=15;
        }

/*set pointer-to-function*/

switch(VESA_info.Bitperpixel)
        {
        case 24 : Directpixel=direct16m;break;
        case 16 : Directpixel=direct64k;break;
        case 15 :
        default : Directpixel=direct32k;
        }

        setbank=VESA_info.WinFuncPtr;

        /*set frame number for read*/

        if(VESA_info.WinAflag&2)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  VESA_frameread=0;
else
  VESA_frameread=1;
/*open VESA mode*/
_BX=mode;
_AX=0X4f02;

geninterrupt(0X10);

if(_AX!=0x4f)return ERR;
/*can't open video mode*/

setbankwrite(0);
return OK;
}

void closegraph(void)
{
 _AL=OLD_mode;
 /*restore old mode*/
 _AH=0;
 geninterrupt(0x10);
}
int getbitperpix(void)
{
 return(int)VESA_info.Bitperpixel;
}
int getxres(void)
{
 return VESA_info.xres;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        }
        int getyres(void)
        {
        return VESA_info.yres;
        }
        int getxline(void)
        {
        return VESA_info.BPL;
        }

        int getbanktotal(void)
        {
        return VESA.Banktotal;
        }

        int getbanksize(void)
        {
        return VESA_info.Winsize;
        }

        int getbankoff(void)
        {
        return VESA_info.WinGranularity;
        }

void setbankread(int bank)
        {
         _DX=bank;
         _BL=VESA_frameread;
         _BH=0;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    (*setbank)();
    }
}

void setbankwrite(int bank)
    {
    _DX=bank;
    _BL=VESA_framewrite;
    _BH=0;
    (*setbank)();
    }

void setdac(int index,int R,int G,int B)
    {
    /*set index*/
    outportb(0x03c8,(unsigned char)index);

    /*set 18 bid DAC*/
    outportb(0x03c9,(unsigned char)R);
    outportb(0x03c9,(unsigned char)G);
    outportb(0x03c9,(unsigned char)B);
    }

void putpixel(int x,int y,int color)
    {
    if(OLD_bank!=
      ((LinearVideoRAM=(long)y*(long)VESA_xline+(long)x)>>VESA_bank))
      setbankwrite(OLD_bank=LinearVideoRAM>>VESA_bank);
    pokeb(VESA_info.WinASegment,LinearVideoRAM&VESA_size,(char)color);
    }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void direct32k(int x,int y,int R,int G,int B)
    {
     if(OLD_bank!=
       ((LinearVideoRAM=(long)y*(long)VESA_xline+((long)x<<1))>>VESA_bank))
       setbankwrite(OLD_bank=LinearVideoRAM>>VESA_bank);
     poke(VESA_info.WinASegment,LinearVideoRAM&VESA_size,
       ((R&0xf8)<<7)|((G&0xf8)<<2)|(B>>3));
    }

void direct64k(int x,int y,int R,int G,int B)
    {
     if(OLD_bank!=
      ((LinearVideoRAM=(long)y*(long)VESA_xline+((long)x<<1))>>VESA_bank))
      setbankwrite (OLD_bank=LinearVideoRAM>>VESA_bank);
     poke(VESA_info.WinASegment,LinearVideoRAM&VESA_size,
      ((R&0xf8)<<8)|((G&0xfc)<<3)|(B>>3));
    }

void direct16m(int x,int y,int R,int G,int B)
    {
     if(OLD_bank!=
      ((LinearVideoRAM=(long)y*(long)VESA_xline+((long)x*3))>>VESA_bank))
      setbankwrite(OLD_bank=LinearVideoRAM>>VESA_bank);
     pokeb(VESA_info.WinASegment,LinearVideoRAM&VESA_size,(char)B);
     pokeb(VESA_info.WinASegment,(LinearVideoRAM&VESA_size)+1,(char)G);
     pokeb(VESA_info.WinASegment,(LinearVideoRAM&VESA_size)+2,(char)R);
    }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอกราบขอบพระคุณ คุณพ่อและคุณแม่ที่ให้ความช่วยเหลือและอุปการะในทุกด้าน

ขอขอบพระคุณท่านอาจารย์ ดร.สุริภณ สมควรพาณิชย์ ที่ได้ประสิทธิ์ประสาทวิชาความรู้ตลอดจนให้คำปรึกษาแนะแนวทางและวิธีการแก้ไขปัญหาต่างๆให้ลุล่วงไปได้ด้วยดี

ขอบคุณเพื่อนๆที่ให้ความช่วยเหลือและให้กำลังใจ จนทำให้ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดี

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ดร. ธวัช เมฆสวรรค์และโยชิคาซึ ซาวามูระ, "เทคนิคการซ่อมโทรทัศน์สี", บริษัท สำนักพิมพ์ดวงกมล จำกัด, หน้า 295
2. ณรงค์ ย่านสกุล, "การประยุกต์ใช้งานดีทูเออนุกรม DAC 08XX", เซมิคอนดักเตอร์อิเล็กทรอนิกส์, ฉบับที่ 108, ปี 2534 , หน้า 120 - 122
3. อรรถสิทธิ์ หล่าสกุล, "เครื่องเก็บข้อมูลภาพขนาด 512x256 จุดต่อภาพ โดยใช้หน่วยความจำความเร็วต่ำ", วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2532 วพ อ366ห 2532
4. วิวัฒน์ ศรีเพ็ง, "เครื่องแสดงผลภาพสีทางดิจิตอลขนาด 512x512 จุดต่อภาพ", วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2534 วพ ว742ค 2534
5. ธันวา ศรีประโมง, "การเขียนโปรแกรมภาษาซีสำหรับวิศวกรรม", มหาวิทยาลัยเทคโนโลยีมหานคร, พิมพ์ครั้งที่ 3 พ.ศ. 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้