ไอซียู มอนิเตอร์

ICU MONITOR

โดย

นายประเสริฐ รวมภักดีกุล

นางสาวนฤพร สุริยะเกตุแก้ว

วัน เดือน ปี ๒๘ ก.ค. ๒๕๔๐
เลขทะเบียน 036919
เลขเรียกหนังสือ T3801
ป ๒๕๓๘ อ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

036919

ไอซียู มอนิเตอร์

ICU MONITOR

โดย

นายประเสริฐ รวมภักดีกุล เลขประจำตัว 35104252

นางสาวนฤพร สุริยะเกตุแก้ว เลขประจำตัว 35104209

อาจารย์ที่ปรึกษา

อ.ประภากร สุวรรณะ

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2538

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ไอซียู มอนิเตอร์

ผู้จัดทำ

1. นายประเสริฐ รวมภักดีกุล เลขประจำตัว 35104252
2. นางสาวนฤพร สุริยะเกตุแก้ว เลขประจำตัว 3510209

..... อาจารย์ที่ปรึกษา

(อ.ประภากร สุวรรณะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอซียู มอนิเตอร์

ประเสริฐ รวมภักดีกุล
นฤพร สุริยะเกตุแก้ว
อ. ประภากร สุวรรณะ อาจารย์ที่ปรึกษา
ปีการศึกษา 2538

บทคัดย่อ

ICU MONITOR เป็นอุปกรณ์ในทางการแพทย์ที่ใช้ในการแสดงภาพของสัญญาณไฟฟ้าจากหัวใจของผู้ป่วย (สัญญาณ QRS) เพื่อใช้ในการวิเคราะห์ความผิดปกติของหัวใจ

หลักการทำงานของ ICU MONITOR มีหลายแบบแต่ผลของการแสดงภาพจะแตกต่างกันไปบ้างสำหรับเครื่องที่พัฒนาอยู่นี้ใช้หลักการของการเปลี่ยนจอภาพของโทรทัศน์เป็น OSCILLOSCOPE เพื่อการแสดงภาพ ดังนั้นจอ MONITOR จะทำหน้าที่เหมือน STORAGE OSCILLOSCOPE เมื่อสัญญาณหัวใจถูกป้อนเข้ามาจะถูกแปลงสัญญาณ DIGITAL แล้วถูกนำไปกำหนดตำแหน่งหน่วยความจำภาพ (MEMORY MAP) เพื่อใช้ในการกำหนดจุดสว่างบนจอภาพให้สัมพันธ์กับสัญญาณ INPUT ที่เข้ามาเมื่อแสดงภาพหน่วยความจำภาพจะถูกอ่านแล้วข้อมูลจะถูกนำไปรวมกับสัญญาณซิงค์มาตรฐานทั่วๆไปของระบบโทรทัศน์ (ซึ่งทำให้ไม่ต้องมีวงจรสร้างสัญญาณ SCAN ที่เป็นรูปแบบเฉพาะ ทำให้วงจรไม่ยุ่งยาก) เป็นสัญญาณภาพรวม (COMPOSITIE VIDEO SIGNAL) สำหรับป้อนเข้าจอ MONITOR ซึ่งขั้นตอนเหล่านี้จะต้องสัมพันธ์กับสัญญาณควบคุม (CONTROL SIGNAL) ต่างๆ ในการควบคุมการเขียนและอ่านข้อมูลเข้า และออกจากหน่วยความจำภาพตามลำดับให้ได้ถูกต้องตามตำแหน่งที่ควรจะเป็น เพื่อให้ภาพที่ปรากฏบนจอภาพทาง MONITOR นั้น มีลักษณะเหมือนรูปที่ต้องการวัดมากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ICU.MONITOR

PRASERT RUAMPAKDEEKUL
NARUEPORN SURIYAKETKAEW
PRAPAKORN SUWANNA ADVISOR:
1994

ABSTRACT

ICU MONITOR is a medical equipment which used to display the cardiograph,QRS signal from patient's heart to analyze cause of disease. A lot of concept of ICU MONITOR working but all them make no different in showing signal. Having some different types and function, however for this development the main concept is to change TV monitor like a storage oscilloscope for display QRS signal. The input terminal, when QRS signal is fed, it be converted, using a ADC chip (0809) to change the analog signal to be digital signal, we use this signal to access the memory map and then write data to suitable memory address On interval display, memory is read and give some data combined with synchronize signal,become video signal for video is of TV monitor. Step of read , write controled by control by control signal , consequently the signal that display on monitor is the same as the signal that fed to input terminal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	
ABSTRACT	
บทที่ 1 บทนำ	1
บทที่ 2 หลักการแสดงภาพของโทรทัศน์	2
บทที่ 3 การออกแบบและการทำงานของวงจร	10
3.1 ส่วนแปลงสัญญาณเข้าให้เป็นสัญญาณดิจิตอล และส่วนสร้างสัญญาณแซมปลิ้ง	16
3.1.1 A/D และวงจรสร้างสัญญาณแซมปลิ้ง	16
3.1.2 วงจรสร้างสัญญาณ read,write	19
3.2 ส่วนสร้างสัญญาณควบคุม	22
3.2.1 วงจรสร้างสัญญาณควบคุม	22
3.2.2 วงจรรีเซ็ท ram1	22
3.2.3 วงจรทรานเฟอร์ค่าข้าจาก ram2 ไป ram1	25
3.2.4 วงจรรีเซ็ท ram2	26
3.3 ส่วนประมวลผลข้อมูล	29
3.4 ส่วนแสดงผลข้อมูลและส่วนสร้างสัญญาณซิงค์	29
3.4.1 วงจรคอนโทรล ram1	29
3.4.2 วงจรสร้างสัญญาณซิงค์และสัญญาณแบลงค์	29
3.4.3 วงจรแสดงภาพเคลื่อนไหวและหยุดภาพ	35
บทที่ 4 ผลการทดลอง	41
บทที่ 5 สรุปและวิจารณ์ผลการทดลอง	45
ภาคผนวก	
กิตติกรรมประกาศ	
เอกสารอ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

		หน้า
รูปที่ 2.1	วิธีการสแกนแบบ horizontal linear scanning	2
รูปที่ 2.2	แสดง sawtooth scanning waveform สำหรับการเบี่ยงเบนแนวนอน H และ V	5
รูปที่ 2.3	การ trace และ retrace เทียบกับ sawtooth scanning waveform	6
รูปที่ 2.4	รูปแบบการสแกนแบบ interlace	7
รูปที่ 2.5	แสดง vedio signal	9
รูปที่ 3.1	แสดงการแทนที่รูปจริงใน ram ด้วย bit ที่เป็น 1	11
รูปที่ 3.2	รูปที่ปรากฏเมื่อนำ data จาก memory รวมกับสัญญาณซิงค์	11
รูปที่ 3.3	แสดง loop การทำงานของวงจร	12
รูปที่ 3.4	แสดง memory map ของ ram	13
รูปที่ 3.5	การ shift column ทุกครั้งของการ display ครั้งใหม่	14
รูปที่ 3.6	แสดงภาพจากหน่วยความจำเทียบกับการแสดงผลที่จอแสดงผล	15
รูปที่ 3.7	block diagram ส่วน A/D และวงจรสร้างสัญญาณแซมปลิ้ง	17
รูปที่ 3.8	A/D และส่วนสร้างสัญญาณแซมปลิ้ง	18
รูปที่ 3.9	block diagram วงจรสร้างสัญญาณ read,write	20
รูปที่ 3.10	วงจรสร้างสัญญาณ read,write	21
รูปที่ 3.11	วงจรสร้างสัญญาณควบคุม	23
รูปที่ 3.12	วงจรรีเซ็ท ram1	24
รูปที่ 3.13	วงจร transfer data จาก ram 2 ไป ram 1	27
รูปที่ 3.14	วงจรรีเซ็ท ram 2	28
รูปที่ 3.15	วงจรประมวลผลข้อมูล	30
รูปที่ 3.16	วงจรคอนโทรล ram1	31
รูปที่ 3.17	block diagram วงจรสร้างสัญญาณแบล็งค์และสัญญาณซิงค์	33
รูปที่ 3.18	วงจรสร้างสัญญาณแบล็งค์และสัญญาณซิงค์	34
รูปที่ 3.19	วงจรแสดงภาพเคลื่อนไหวและหยุดภาพ	37
รูปที่ 4.1	สัญญาณ RD1-RD4 และ WR1-WR4 ที่ได้จากการวัด	42
รูปที่ 4.2	วงจรสร้างสัญญาณ HBLNK และ VBLNK	43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.3 สัญญาณ HBLNK และ VBLNK 43
รูปที่ 4.4 วงจร SHIFT REGISTER 44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ปัจจุบันเทคโนโลยีทางด้านอิเลคทรอนิคส์ ได้เจริญก้าวหน้าอย่างรวดเร็วอุปกรณ์ที่ใช้งานทางด้านอุตสาหกรรม การทหาร หรือทางด้านการแพทย์ได้ก้าวหน้าไปอย่างมากโดยเฉพาะอุปกรณ์ทางการแพทย์ยังขาดแคลนอีกมากตามชนบท อุปกรณ์เหล่านี้เมื่อสั่งซื้อจากต่างประเทศยังมีราคาแพงอยู่ ดังนั้นเราจึงสามารถพัฒนาอุปกรณ์บางอย่างเพื่อนำมาใช้เองไม่ต้องนำเข้าจากต่างประเทศ ลดการนำเข้าและขาดแคลนเพื่อให้เกิดความเจริญก้าวหน้าทางการแพทย์อีกทั้งยังช่วยเศรษฐกิจของประเทศ

อุปกรณ์ทางการแพทย์ดังกล่าวข้างต้นอย่างหนึ่งคือ ICU MONITOR ซึ่งเป็นอุปกรณ์ที่มีประโยชน์อย่างยิ่ง อุปกรณ์นี้จะทำการแสดงสัญญาณหัวใจซึ่งรับมาจากตัวคนไข้ และแสดงสัญญาณออกมาในรูปกราฟทางจอภาพเพื่อแสดงอาการของโรคที่เกี่ยวกับการทำงานของหัวใจ จึงนับได้ว่า ICU MONITOR เป็นอุปกรณ์ที่ช่วยอำนวยความสะดวกในการรักษาพยาบาล และยังช่วยเพิ่มขีดความปลอดภัยแก่คนไข้ด้วย

จากเหตุผลต่างๆที่กล่าวไว้แล้ว ปริญญานิพนธ์ฉบับนี้จึงได้นำเสนอการนำเอาจอภาพโทรทัศน์มาทำเป็น ICU MONITOR เพื่อใช้แสดงสัญญาณหัวใจซึ่งมีความถี่ต่ำ โดยเราสามารถสร้างและพัฒนาระบบขึ้นมาใช้งานได้ดีนั้น ดังที่มีการใช้งานจริงในห้อง ICU ตามโรงพยาบาล ย่อมเป็นการยืนยันให้เห็นว่าเราสามารถสร้าง ICU MONITOR ขึ้นได้เองอีกทั้งยังเป็นจุดเริ่มต้นในการพัฒนาระบบให้ดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

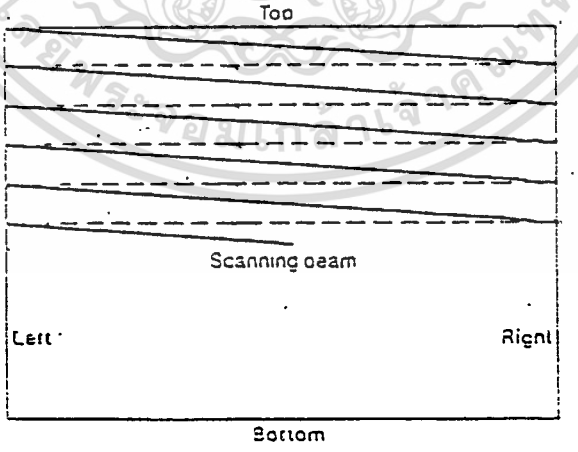
บทที่ 2
หลักการแสดงภาพของโทรทัศน์

การที่ภาพโทรทัศน์เกิดการเคลื่อนไหวได้นั้นเนื่องมาจากเป็นการสแกนภาพนิ่งหลายๆภาพด้วยความเร็วค่าหนึ่งเป็นจำนวนภาพ/เวลา(เหมือนกับการฉายภาพยนตร์)ทำให้ตามนุษย์ไม่สามารถแยกออกว่าเป็นภาพนิ่งแต่ละภาพและเห็นเป็นภาพซึ่งเคลื่อนไหว

ภาพนิ่งหนึ่งภาพจะประกอบไปด้วยกลุ่มของจุดแสงสีขาวและสีดำ ซึ่งรายละเอียดเหล่านี้จะประกอบกันขึ้นและให้ภาพออกมา ในที่นี้เราจะพิจารณาเฉพาะขาวดำเท่านั้นเพราะสามารถประยุกต์ไปอธิบายกับภาพสีได้

องค์ประกอบของภาพประกอบด้วยการจัดเรียงของจุดขาวและดำ ไม่ว่าจะเป็นรูปภาพหรือภาพจากโทรทัศน์ จุดขาวดำเหล่านี้จะเรียกว่า รายละเอียดของรูป (picture detail) หรือ ส่วนประกอบภาพ (picture element)นิยมเรียกว่า pixel หรือ pel

รูปที่เกิดบนจอโทรทัศน์เกิดจากการสแกนตามลำดับของเส้นสแกนตามแนวนอน (horizontal scanline) ดังรูปที่ 2.1 การสแกนนี้จะนำสัญญาณภาพ (video signal) ซึ่งมีองค์ประกอบของภาพทั้งหมดของภาพทั้งหมดมาแสดงตามลำดับเวลา



รูปที่ 2.1 วิธีสแกนแบบ horizontal linear scanning

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสแกนของโทรทัศน์จะสแกนจากบนลงล่างและจากซ้ายไปขวาดังรูปที่ 2.1 วิธีการนี้เรียกว่า การสแกนตามแนวนอน (horizontal linear scanning)

ลำดับของการสแกนมีดังนี้

1. ลำอิเลคตรอนจะกวาดไปตามแนวนอน ลำอิเลคตรอนนี้จะประกอบไปด้วย picture element ของเส้นสแกนนั้น

2. ที่ขวาสุดของเส้นสแกน ลำอิเลคตรอนจะกลับมาทางซ้ายด้วยความเร็วสูงมาก เพื่อมาเป็นเส้นสแกนเส้นใหม่ต่อไป ช่วงเวลาในการสบัดกลับมาเรียกว่า รีเทรซ (retrace) จะไม่มีการแสดงภาพในช่วงเวลาที่เกิดการสบัดกลับ

3. เมื่อลำอิเลคตรอนสบัดมายังด้านซ้ายตำแหน่งทางแนวตั้งก็จะต่ำลงเรื่อยๆเรียกว่า เกิดการสแกนทางแนวตั้งและเมื่อลำอิเลคตรอนถึงด้านล่างสุดก็จะเกิดการสบัดกลับทางแนวตั้ง (vertical retrace)

ดังนั้นการแสดงภาพจะประกอบไปด้วยการสแกนทางแนวนอน(horizontal scanning) และการสแกนทางแนวตั้ง (vertical scanning)

จำนวนเส้นสแกนสำหรับภาพนิ่งสมบูรณ์ 1 ภาพ ควรจะมีค่ามากเพื่อให้ได้ความละเอียดของภาพสูง อย่างไรก็ตามจะมีปัจจัยอื่นๆที่เป็นตัวจำกัดจำนวนเส้นสแกนแต่ตามมาตรฐานจะมี 525 เส้นหรือ 625 เส้นสแกน สำหรับภาพนิ่งสมบูรณ์ 1 ภาพ หรือ 1 เฟรม

เวลาที่ใช้ในการแสดงภาพ 1 เฟรม ของ 625 เส้นสแกน คือ 1/25 s ดังนั้นจำนวนภาพใน 1 วินาที หรือความถี่ของเฟรมคือ 25 frame/s หรือ 25 Hz

เมื่อตามองเห็นภาพซึ่งเกิดจากแสงที่มาตกกระทบภาพแล้วสะท้อนเข้าตานั้นเมื่อภาพนั้นถูกนำออกไปแล้วแต่ความคงอยู่ของภาพจะยังปรากฏอยู่ในตา เป็นเวลาเศษส่วนของวินาที ซึ่งเป็นคุณสมบัติที่เรียกว่า ความคงอยู่ของภาพ (persistence of vision) ถ้าเราแสดงภาพนิ่งหลายๆภาพติดต่อกันไปในช่วงเวลาของ ความคงอยู่ของภาพ ของตานี้ก็จะทำให้เห็นเป็นภาพเคลื่อนไหวได้ ซึ่งโดยอาศัยหลักการนี้โทรทัศน์ก็จะสแกนภาพด้วยความเร็วสูงพอที่ตาจะเห็นเป็นภาพนิ่งอย่างต่ำต้องมากกว่า 16 ภาพ/วินาที

ถ้าสมมติว่าใช้ความเร็วของภาพนิ่งเป็น 24 frame/s ความเร็วนี้พอเพียงสำหรับตามนุษย์ในการทำให้เห็นภาพเคลื่อนไหวได้ แต่ความสว่าง (brightness) ของภาพจะไม่สม่ำเสมอกัน คือเมื่อเส้นสแกนสแกนมาถึงด้านล่างของจอภาพและอยู่ในระหว่างเริ่มเฟรมใหม่จะทำให้ด้านบนมืดแต่ด้านล่างสว่าง ปรากฏการณ์นี้เรียกว่า flicker ของแสงจะทำให้จอสว่างและมืดสลับกันไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการแก้ไขก็คือแสดงภาพนิ่ง 24 ภาพ/วินาที แต่ว่าในแต่ละเฟรม จะแสดง 2 ครั้ง นั่นหมายความว่าแสดงภาพนิ่ง 48 ภาพ/วินที ในแต่ละภาพนิ่งจะแสดง 2 ครั้ง แต่ยังคงเป็น 24 ภาพ/วินาทีเช่นเดิม

ในการสร้างภาพให้เห็นการเคลื่อนไหวนั้น ความถี่ของภาพนิ่งจะต้องมีความถี่เพียงพอในทางปฏิบัติจะใช้ 25 ภาพ/วินาที แต่ยังไม่เพียงพอที่จะทำให้ flicker ของภาพหายไปได้ วิธีแก้ไขคือแบ่งภาพใน 1 เฟรม ให้ออกเป็น 2 ส่วน คือจะเป็น 50 ภาพ/วินาที แล้วแบ่งการสแกนของเส้นสแกนเป็น 2 ชุดคือ ชุดแรกเป็นการสแกนเส้นคี่และชุดหลังเป็นการสแกนเส้นคู่ แต่ละชุดของเส้นสแกนจะเรียกว่า ฟิลด์ (field) คือ ฟิลด์คี่ และ ฟิลด์คู่ เพราะฉะนั้น 1 เฟรม จะมี 2 ฟิลด์ เรียกวิธีการสแกนนี้ว่า วิธีการสแกนแบบ interlacing scanning

ความถี่ของ field คือ 50 Hz นั่นคือเป็นความถี่ของการสแกนทางด้านแนวตั้งด้วย ดังนั้นจำนวนเส้นสแกนทางแนวนอนในหนึ่งฟิลด์ จะเป็นครึ่งหนึ่งของ 625 เส้น ซึ่งเป็นจำนวนเส้นสแกนทั้งหมดใน 1 frame นั่นคือ 312.5 เส้น

เวลาใน 1 field คือ 1/50 s และจำนวนเส้นสแกนใน 1 field เป็น 312.5 เส้น ดังนั้นจำนวนเส้นสแกนทั้งหมดต่อวินาทีคือ

312.5*50 = 15,625 เส้น

หรือพิจารณาจาก 625 เส้นใน 1 frame เวลาในการแสดง 1 frame คือ 1/25 s

625*25 = 15,625 เส้น

ความถี่ 15,625 Hz คือการที่ลำอิเลคตรอนเสร็จสิ้นการสแกนทางด้านแนวนอน จากซ้ายไปขวาและกลับมาทางซ้ายอีกครั้ง

เวลาของการสแกนทางด้านแนวนอน คือ 1/15,625 = 64 μs = 1 Hz

การไม่ให้มีการแสดงภาพในช่วงที่เส้นสแกนสบัดกลับ (retrace) และสัญญาณแบล็งค์ (blank) จะเป็นส่วนหนึ่งของสัญญาณภาพ ที่มีระดับเป็นมืด (black level) สัญญาณแบล็งค์ ทางด้านแนวนอนจะมีความถี่ 15,625 Hz เท่ากับความถี่ของสัญญาณซิงค์แนวนอน (hor sync) และจะแบล็งค์สัญญาณรีเทรซจากขวาไปซ้ายและสัญญาณแบล็งค์ทางด้านแนวตั้งจะมีความถี่ 50 Hz เท่ากับความถี่ของสัญญาณซิงค์แนวตั้ง (ver sync) และจะ แบล็งค์สัญญาณจากด้านล่างของจอ (monitor) ไปถึงด้านบน

เวลาที่ใช้ในการแบล็งค์ทางด้านแนวนอนจะมีค่าประมาณ 16% ของ H (horizontal line time) เวลาของ H คือ 64 μs นี้รวมทั้งการ เทรซ (trace) และ รีเทรซ คือการสบัดกลับจากซ้ายไปขวาและจากขวามาซ้าย เพราะฉะนั้นเวลาในการแบล็งค์ สำหรับแต่ละ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เส้นสแกนคือ 64*0.16 = 10.24 μs หมายความว่าการรีเทรซจากขวากลับมาทางด้านซ้ายจะต้องเสร็จภายในเวลา 10.2 μs ก่อนที่เริ่มต้นเส้นสแกนใหม่จากซ้ายมาขวา

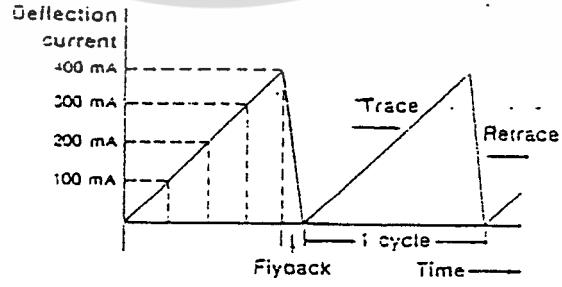
เวลาที่ใช้ในการแบล็งค์ทางด้านแนวตั้งจะมีค่าประมาณ 8% ของ V (vertical line time) เวลาของ V คือ 1/50 s รวมตั้งแต่การเทรซจากทางด้านบนลงด้านล่างของจอ จนกระทั่งรีเทรซจากด้านล่างขึ้นข้างบนของจอเพราะฉะนั้นเวลาในการแบล็งค์ สำหรับแต่ละฟิลด์ คือ 1/50 * 0.08 = 1.6 ms ช่วงเวลาการแบล็งค์แนวตั้ง (vertical blanking time) เป็น 1.6 ms หมายความว่าที่ใช้ในการรีเทรซจากด้านล่างของจอภาพไปจนถึงด้านบนจะต้องเสร็จภายใน 1.3 ms

การรีเทรซจะเกิดในช่วงเวลาของการแบล็งค์เท่านั้นและสัญญาณซิงค์จะเป็นตัวกำหนดการเริ่มต้นของการรีเทรซทั้งทางด้านแนวนอนและแนวตั้ง

ตำแหน่งของสัญญาณซิงค์แนวนอนในสัญญาณภาพจะอยู่ภายในสัญญาณแบล็งค์แนวนอน (ver blank) และตำแหน่งของสัญญาณซิงค์แนวตั้งจะอยู่ภายในสัญญาณแบล็งค์แนวตั้ง (hor blank) ด้วย

พิจารณาจากรูปที่ 2.2 เป็นสัญญาณฟันเลื่อย (sawtooth wave) ที่ทำให้เกิดการสแกนของลำอิเลคตรอนทั้งทางด้านแนวตั้งและแนวนอน สมมติว่ากระแส 100 mA . จะทำให้เกิดการเบี่ยงเบนของลำอิเลคตรอนไป 5 นิ้ว ดังนั้นถ้ากระแส 400 mA จะทำให้ลำอิเลคตรอนเบี่ยงเบนไป 4*5 = 20 นิ้ว

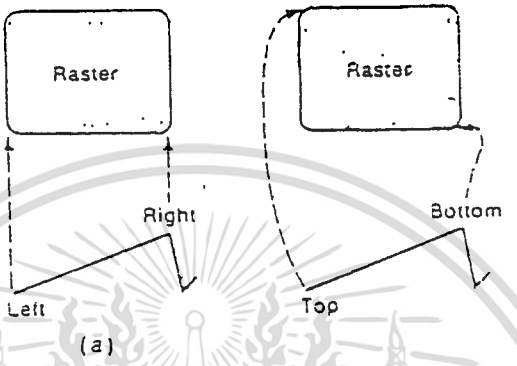
การเพิ่มขึ้นอย่างต่อเนื่องของกระแสของขดลวดเบี่ยงเบนทางแนวนอน (horizontal deflection coil) จะทำให้เกิดการเคลื่อนที่ของลำอิเลคตรอนจากซ้ายไปขวาและเมื่อพิจารณาจากรูปที่ 2.2 เมื่อกระแสเพิ่มขึ้นถึง 400 mA. แล้วจะลดลงอย่างรวดเร็วการลดลงนี้จะอยู่ในช่วงของการสบัดกลับ



รูปที่ 2.2 แสดง sawtooth scanning waveform สำหรับการเบี่ยงเบนแนว H และ V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเทรซทางด้านแนวนอนจะเริ่มต้นตั้งแต่ทางด้านขอบซ้ายของ raster ไปจนกระทั่งถึงขอบขวาของ raster ในขณะที่ช่วงสบัดกลับจะทำให้ลำอิเลคตรอนกลับมาทางขอบซ้ายของ raster อีกครั้งดังรูป 2.3



รูปที่ 2.3 การ trace และ retrace เทียบกับ sawtooth scanning waveform

การเพิ่มขึ้นอย่างต่อเนื่องของกระแสของขอลวดเบี่ยงเบนทางแนวตั้ง(vertical deflection coil) จะทำให้ลำอิเลคตรอนเคลื่อนที่จากทางด้านบนของ raster มายังทางด้านล่างในขณะที่ลำอิเลคตรอนเบี่ยงเบนในช่วงแนวนอนนั้น กระแสฟันเลื่อยทางด้านแนวตั้งจะทำให้ลำอิเลคตรอนเคลื่อนที่ลงมาทางด้านล่างด้วยความเร็วที่คงที่

ทั้งการเทรซและรีเทรซจะรวมกันเป็น 1 คาบของสัญญาณฟันเลื่อย เนื่องจากจำนวนของเส้นสแกนในแนวนอน ใน 1 s จะมีจำนวน 15,625 เส้น ดังนั้นการเบี่ยงเบนในแนวนอน(horizontal deflection) หรือความถี่ของสัญญาณฟันเลื่อยจะเป็น 15,625 Hz ด้วย สำหรับการเบี่ยงเบนในแนวตั้ง (vertical deflection) จะมีความถี่ของสัญญาณฟันเลื่อยเท่ากับ 50Hz (field scanning rate)

ในการสแกนทางด้านแนวตั้งซึ่งมีความถี่ 50 Hz จะต่ำกว่าการสแกนทางด้านแนวนอนซึ่งมีความถี่มากคือ 15,625 Hz ผลก็คือจะมีจำนวนเส้นสแกนทางด้านแนวนอนเป็นจำนวนมากในระหว่างการสแกนทางแนวตั้ง เราจึงกล่าวได้ว่าการสแกนทางด้านแนวตั้งจะทำให้จำนวนเส้นสแกนทางด้านแนวนอนเต็ม raster จากบนถึงล่างของจอมอนิเตอร์

ในช่วงเวลาการสบัดกลับทั้งแนวนอนและแนวตั้งจะถูกแบลงค์ ดังนั้นช่วงรีเทรซของสัญญาณฟันเลื่อยจะต้องใช้เวลาสั้นที่สุดเท่าที่จะทำได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

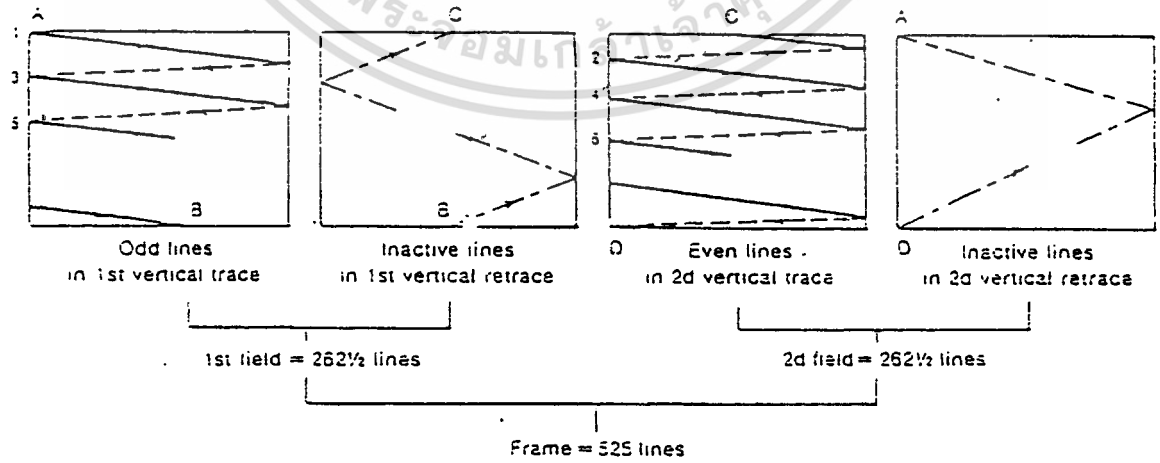
สำหรับทางด้านแนวนอนเวลาของการรีเทรซของสัญญาณฟันเลื่อยจะประมาณ 10% ของเวลาใน 1 คาบของสัญญาณฟันเลื่อย จาก 64 μs คือ 6.4 μs เป็นเวลาของการรีเทรซทางด้านแนวนอน หรือเรียกว่า ช่วงเวลาการสบัดกลับ (flyblack time) เป็นเวลาที่เร็วที่สุดในทางปฏิบัติ แต่ในทางทฤษฎีควรจะให้มีค่าน้อยที่สุดเท่าที่จะทำได้

สำหรับด้านแนวนอนช่วงเวลาการสบัดกลับ จะต้องน้อยกว่า 5% ของคาบเวลาของสัญญาณฟันเลื่อยทางด้านแนวตั้ง สมมติว่า การสบัดกลับแนวตั้ง (vertical retrace) เป็น 3% จะได้ว่าช่วงเวลาการสบัดกลับ เท่ากับ 600 μs ถึงแม้ว่าการสบัดกลับแนวตั้งจะมีค่าน้อยกว่าการเทรซแนวตั้งก็ตามแต่ยังมีค่ามากกว่าเวลาของการสแกนทางด้านแนวนอน คือ 64 μs ดังนั้นในเวลาการสบัดกลับทางด้านแนวตั้ง 600 μs จะมีเส้นสแกนทางด้านแนวนอนประมาณ 600 μs / 64 μs = 9.375 เส้น

การสแกนแบบ interlace

เป็นการแสดงภาพนิ่งหนึ่งภาพโดยแบ่งเป็น 2 ฟิลด์ โดยที่ครั้งแรกจะสแกนด้วยเส้นสแกนที่เป็นเลขคี่จากบนสุดมาล่างของจอภาพแต่เส้นสแกนที่เป็นเส้นคู่จะถูกข้ามไปก่อนเรียกว่า การสแกนฟิลด์คี่ หลังจากการสแกนทางด้านแนวตั้งเสร็จแล้วลำอิเลคตรอนจะรีเทรซกลับขึ้นไปทางด้านบนของ raster จากนั้นการสแกนเส้นสแกนที่เป็นเลขคู่จะเริ่มขึ้นหลังจากที่โดนข้ามไปเมื่อเกิดการสแกนนี้ว่าการฟิลด์คู่

ดังนั้นแต่ละเฟรมจะถูกแบ่งออกเป็น 2 ฟิลด์ คือ ฟิลด์คี่จะสแกนเฉพาะเส้นคี่ของเฟรมและฟิลด์คู่จะแสดงเฉพาะเส้นสแกนที่เป็นเส้นคู่ของเฟรม เพราะฉะนั้นความถี่ของฟิลด์คือ 50 ภาพต่อวินาทีและความถี่ของการสแกนแนวตั้งจะเป็น 50 Hz



รูปที่ 2.4 รูปแบบการสแกนแบบ interlace ประกอบด้วย 2 ฟิลด์ ใน 1 frame

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบของการสแกนเส้นคี่ ดังแสดงในรูปที่ 2.4 โดยเริ่มตั้งแต่มุมบนซ้ายของจอที่จุด A และเป็นจุดเริ่มต้นของ frame จากซ้ายมายังขวาด้วยความเร็วคงที่และประกอบไปด้วยสัญญาณภาพ 1 เส้นสแกนทางด้านแนวนอน และที่จุดปลายของการเทรซลำอิเลคตรอนจะเริ่มรีเทรซด้วยความเร็วสูงจากขวาไปซ้ายของ frame ดังแสดงตามเส้นประตามรูปที่ 2.4 เพื่อที่จะเริ่มแสดงเส้นสแกนที่ 3

สังเกตว่าเส้นสแกนทางด้านแนวนอนจะมี slope เอียงลงเป็นเพราะว่ามีการสแกนทางแนวตั้งพร้อมกันไปด้วยแต่ช้ากว่าการสแกนทางด้านแนวนอน และ slope ของการสแกนจากซ้ายมาขวาจะมีมากกว่าการสแกนจากขวามาซ้าย เหตุผลก็คือ การรีเทรซ มีความเร็วมากกว่าการเทรซ

หลังจากเส้นสแกนแรกถูกสแกนไปแล้ว ลำอิเลคตรอนจะมาอยู่ทางด้านซ้ายของ frame และพร้อมที่จะสแกนเส้นสแกน 3 โดยละเส้นสแกน 2 ไว้ก่อน การข้ามนี้จะทำโดยการเพิ่มความถี่ทางด้านแนวตั้งจาก 25 Hz เป็น 50 Hz ดังนั้นเมื่อสแกนจากบนสุดมาล่างสุดจะได้เส้นสแกนฟิลด์คี่ทั้งหมด 312.5 เส้น ลำอิเลคตรอนจะแสดงเส้นสแกนคี่จนในที่สุดจะมาถึงตำแหน่ง B ตามรูปที่ 4 เป็นจุดต่ำสุดของ frame และที่นี้จะได้เส้นสแกน 312.5 เส้นพอดี ณเวลาที่จุด B การรีเทรซทางด้านแนวตั้ง ดังนั้นลำอิเลคตรอนจะกลับไปยังด้านบนของ frame เพื่อที่จะแสดงฟิลด์ที่ 2 หรือ ฟิลด์คู่ ดังแสดงในรูปที่ 4 ลำอิเลคตรอนจะเคลื่อนที่จากจุด B มายังจุด C

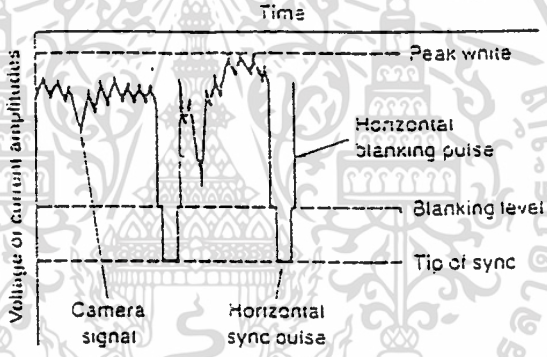
การรีเทรซทางด้านแนวตั้งนี้จะมีความยาวนานพอที่จะมีการสแกนทางด้านแนวนอนเกิดขึ้นหลายเส้นเราเรียกว่า vertical retrace lines หมายความว่ามีการสแแกนทางด้าน hor ในช่วง vertical flyblack และ vertical retrace lines จะมีslope เอียงขึ้นเพราะว่าลำอิเลคตรอนกำลังเคลื่อนที่ขึ้นขณะที่กำลังมีการสแกนทางด้านแนวนอน slope ของ vertical retrace lines นี้จะมีค่ามากกว่า slope ขณะที่อยู่ในช่วงการเทรซแนวตั้ง เพราะว่าเวลาในการสบัดกลับจะมีค่าน้อยกว่า vertical retrace จะมองไม่เห็นเพราะจะอยู่ในช่วงการแบล็งค์แนวตั้ง

การสแกนทางด้านแนวนอนของฟิลด์ที่ 2 จะเริ่มขึ้นจากจุด C ดังรูปที่ 2.4 จุดนี้จะอยู่ตรงกลางของเส้นสแกนทางด้านแนวนอนเพราะฟิลด์แรกได้แสดงไปแล้ว 312.5 เส้น จากจุด C นี้จะเริ่มสแกนเส้นสแกนทางด้านแนวนอน ที่เป็นเส้นคู่ดังนั้นลำอิเลคตรอนจะสแกนทางด้านแนวนอนที่เป็นเส้นคี่การสแกนจะสแกนเส้นสแกนทางด้านแนวนอนที่เป็นเส้นคู่ที่ถูกละไว้ตอนแสดงฟิลด์คี่ ส่วนการสแกนทางด้านแนวตั้งจะยังคงเหมือนกับการสแกนของแนวตั้งทางด้านฟิลด์คี่ หมายความว่าเส้นสแกนทางด้านแนวนอนจะมี slope ต่ำลงมาทางด้านแนวตั้งเท่ากับเมื่อแสดงฟิลด์คี่ ผลก็คือเส้นสแกนของฟิลดีจะต่ำลงมาเรื่อยๆ จนถึงจุด D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การรีเทรซทางด้านแนวตั้งของฟิลด์ที่ 2 นี้จะเริ่มตั้งแต่จุด D ดังรูปที่ 2.4 กา รสบัคกลับทางแนวตั้ง จะทำให้ลำอิเลคตรอนกลับมาสู่ด้านบนของจออีกครั้งและลำอิเลคตรอนจะสิ้นสุดการรีเทรซทางด้านแนวตั้ง ที่จุด A และที่จุด A การสแกนจะสิ้นสุดลงทั้งสองฟิลด์ หรือ 1 frame และพร้อมที่จะสแกน ฟิลด์ ที่ 3

การสแกนของฟิลด์คี่จะเริ่มต้นที่จุด A ส่วนการสแกนฟิลด์คู่จะเริ่มต้นที่จุด C และจะอยู่ในระดับแนวนอนเดียวกัน มี slope เท่ากัน แต่ว่าจะต่างกันอยู่ครึ่งเส้นสแกน ดูจากรูปที่ 2.4 การต่างกันอยู่ครึ่งเส้นสแกนจะทำให้เส้นสแกนที่เป็นเส้นคี่ของ field คี่อยู่ระหว่างเส้นสแกนที่เป็นเส้นคู่ของ field คู่ เรียกหลักการสแกนแบบนี้ว่า interlace scanning



รูปที่ 2.5 แสดง video signal

จากรูปที่ 2.5 เป็นรูป สัญญาณภาพ ทางด้านซ้ายสุดคือ information ของภาพ หรือเรียกว่า camera signal ซึ่งขนาดของ amplitude จะเป็นตัวบอกระดับความสว่างของภาพ ขาว เทา ดำ เมื่อสิ้นสุด information ของภาพจะเป็นสัญญาณ hor blank pulse ซึ่งมี amplitude อยู่ในระดับดำ ถัดมาจะเป็น hor sync pulse ซึ่งอยู่ต่ำกว่าระดับดำ จะเรียกระดับ amplitude ของ sync pulse ว่า blacker than black และที่กล่าวมาแล้วข้างต้นเรียกว่า composite video signal

ขนาดมาตรฐานของสัญญาณ video คือ 1 V_{p-p} กับ sync pulse

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
036919

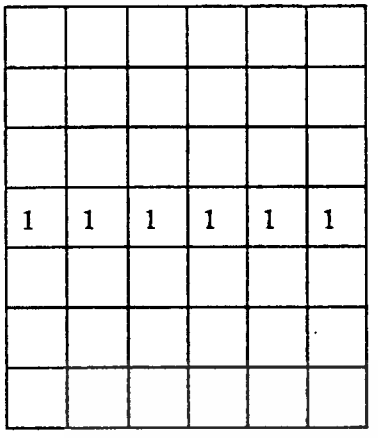
บทที่ 3

การออกแบบและการทำงานของวงจร

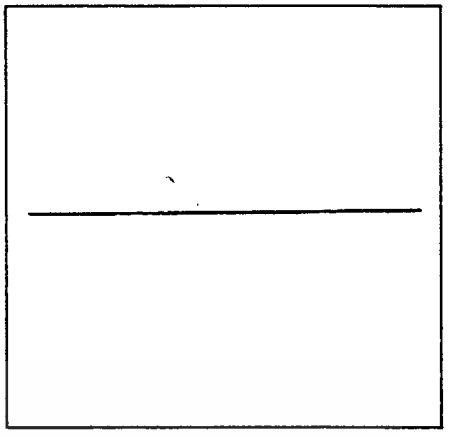
การออกแบบการทำงานของวงจรคือทำการแสดงภาพคลื่นไฟฟ้าของหัวใจ (สัญญาณ ECG.) จากผู้ป่วยซึ่งผ่านภาคการขยายภาคต้น (preamp) มาแล้ว มาแสดงบนจอ (monitor) สัญญาณ ECG. จะเคลื่อนที่จากทางด้านขวามือของจอมาทางซ้ายสุด หลักการนำภาพออกมาแสดง จะต้องนำสัญญาณอินพุท ซึ่งเป็นสัญญาณอนาลอกมาทำการแปลงเป็นสัญญาณดิจิตอล ก่อนที่จะเข้าสู่ภาคประมวลผล ทำได้โดยการใช้ A/D เบอร์ 0809 ซึ่งจะรับอินพุทมาได้ถึง 8 แชนแนล แล้วจะนำแต่ละอินพุทมาแปลงเป็นสัญญาณดิจิตอล โดยการมัลติเพล็กซ์แต่ในที่นี้จะใช้เพียง 4 แชนแนลเท่านั้น เพราะว่าเครื่อง ECG.มอนิเตอร์ ที่ทำนี้จะแสดงผลสูงสุด 4 แชนแนล โดยมีสัญญาณควบคุมในการมัลติเพล็กซ์ซึ่งสร้างจากวงจรในภาคควบคุม เมื่อได้สัญญาณดิจิตอลมาแล้วสัญญาณเหล่านี้จะเป็นตัวบอกแอดเดรสของ ram เบอร์ 6116 เพื่อเป็นตัวบอกตำแหน่งในแนว row ของ ram นี้ให้ส่วนควบคุม ส่วนตำแหน่งในแนว column นั้น ส่วนควบคุมจะทำการสร้างแอดเดรสขึ้นเอง เพื่อบอกให้ ram ทราบ เมื่อทราบพิกัดทาง column และ row เรียบร้อยแล้ว วงจรก็จะสามารถทำการกำหนดตำแหน่งแอดเดรส ของ ram ในการเก็บรูปได้ เพื่อให้รูปที่ได้เหมือนกับอินพุท ในการสร้างรูปให้เหมือนกับอินพุทก็โดยการ write “1” เข้าไปยังตำแหน่งที่กำหนดโดยภาคควบคุมดังที่กล่าวข้างต้น

จากรูปที่ 3.1 จะเห็นได้ว่า เมื่อ write “1” เข้าไปใน ram แล้ว ถ้าลากจุดต่อจะได้สัญญาณตามอินพุทที่เข้ามา bit ที่เหลือนั้นจะเป็น “0” หมด นี้คือหลักการในการเก็บรูปเอาไว้ใน ram โดยการ write “1” เข้าไป เลข 1 ก็จะเรียงกันอยู่ใน ram ตามรูปที่ป้อนเข้ามาและโดยการทำงานสัมพันธ์กันระหว่างส่วน control กับ A/D ก็จะได้ตำแหน่งของ address ในการเก็บรูป ยิ่งถ้าความถี่ในการ write “1” ลงไปมีค่ามากขึ้น นั่นหมายความว่าความถี่ของ clock ในการ sampling มากขึ้น ความถี่ของการ entry มากขึ้น หน่วยความจำมากขึ้น(วงจรที่ใช้นี้ใช้ความถี่ในการ entry 25 MHz.) จำนวนจุดก็จะละเอียดยิ่งขึ้นทำให้ภาพที่ได้มีความละเอียดที่สูงขึ้นตามไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 แสดงการแทนที่รูปจริงใน ram ด้วย bit ที่เป็น 1



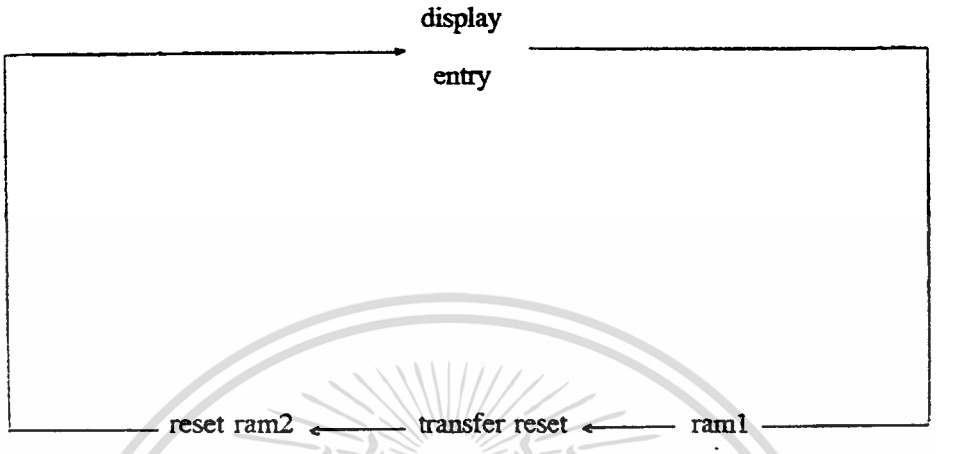
รูปที่ 3.2 รูปที่ปรากฏเมื่อนำ data จาก memory รวมกับสัญญาณซิงค์

ถ้าเราทำการ read ข้อมูลจาก ram มาที่ bit โดยดูตามรูปที่ 3.1 จาก byte บนสุดจากซ้ายมาขวา (อ่านจาก ram 1 byte แล้วผ่าน PISO ก็จะได้ bit เรียงกันจากซ้ายมาขวา) ให้สัมพันธ์กับการสแกนของจอภาพ เราก็จะได้รูปปรากฏที่จอภาพดังรูปที่ 3.2

ในการเก็บรูปของวงจรนี้เรียกว่าการ entry data จะทำการเก็บครั้งละ 4 แชนแนล แต่ละแชนแนลจะเก็บ 8 bit สัญญาณจากภาคควบคุมซึ่งเรียกว่าสัญญาณ sampling ซึ่งสร้างจาก 4040 จะถูกส่งมาที่ขา start และ ALE ของ A/D 0809 เมื่อเก็บครบ 4 channal แล้ว ก็จะมี ram เบอร์ 6264 อีก 4 ตัว ซึ่งแต่ละตัวจะเป็นของแต่ละแชนแนล มารับ data จาก ram 6116 ไปเพื่อนำไปแสดงผล โดย read แล้วนำ data มารวมกับสัญญาณซิงค์ ดังอธิบายมาแล้ว เนื่องจากว่า ram 6116 นี้จะต้องถูกนำไปใช้ในช่วง entry data ต่อไป ถ้าไม่ทำการ transfer จาก 6116 มา 6264 แล้วใช้ 6116 มารับ data ในช่วง entry data นั้น จะทำในขณะที่ ram 6264 แสดงภาพคือถูก read อยู่นั้น data ที่เข้ามาใหม่จะไม่มีที่เก็บเพราะว่า ram 6264 ถูกใช้งานอยู่ และเพื่อสะดวกในการออกแบบวงจร จึงใช้ ram 6116 รับ data มาให้ ram 6264 ขณะที่ 6264 แสดงผลอยู่ และเมื่อ 6116 รับ data ในแต่ละแชนแนลครบ 8 bit ก็จะ transfer data (เรียกช่วงที่ 6116 transfer data มาให้ 6264 ว่าช่วง tranfer) มาให้ 6264 ในช่วงเวลาที่อยู่ระหว่างสัญญาณ sampling จะมา sampling ข้อมูลและอยู่ในช่วงที่เส้นสแกนสบัดกลับในแนวตั้งพอดี จึงทำให้ไม่ไปรบกวนว่า data ที่เข้ามาและการแสดงภาพจะสูญหายไป และก่อนที่จะมีการเก็บข้อมูลลงใน ram 6116 หรือว่า transfer ไป ram 6264 ก็จะมีการ reset ram ทั้ง 2 ก่อนเสมอ (reset ram 6116 ทั้งหมด, reset ram 6264 8 bit ในแนว column เพื่อ transfer 8 bit ที่เก็บใน 6116 ลงใน 6264 ที่ตำแหน่งที่ถูก reset นี้ ของแต่ละแชนแนล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น loop ทำงานของวงจรจะเป็นดังนี้

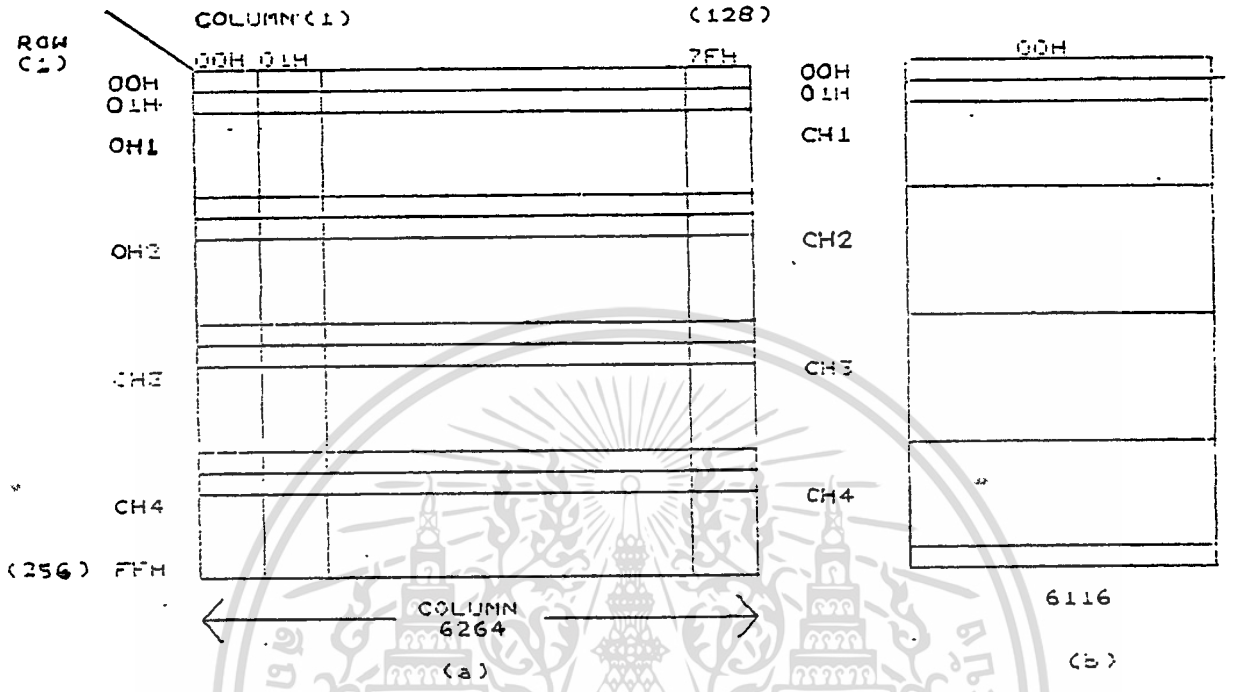


รูปที่ 3.3 แสดง loop การทำงานของวงจร

ในขณะที่ display คือ read ram 6264 (ram 1) อยู่นั้น ram 2 หรือ 6116 จะถูก write ในช่วง entry data อยู่ด้วย เมื่อ entry data ครบ 8 bit แล้วก็พร้อมที่จะทำการ transfer ให้ ram 1 (6264) ram 1 จะถูก reset ไป แล้ว ram 2 จะ transfer data มาที่ ram 1 ณ column ที่ถูก reset เช่นกัน เพื่อเตรียมรับ data จากการ sampling ของแต่ละแชนแนลอีก จากนั้นก็จะกลับเข้าสู่สภาวะ display และ entry data อีกครั้ง เป็นเช่นนี้เรื่อยไป

เมื่อพิจารณา memory map ของ ram 1 และ ram 2 ดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) memory mapของ ram 1ใช้ 6264 4 ตัว (b) memory map ของ ram 2 ใช้ 6116 1 ตัว

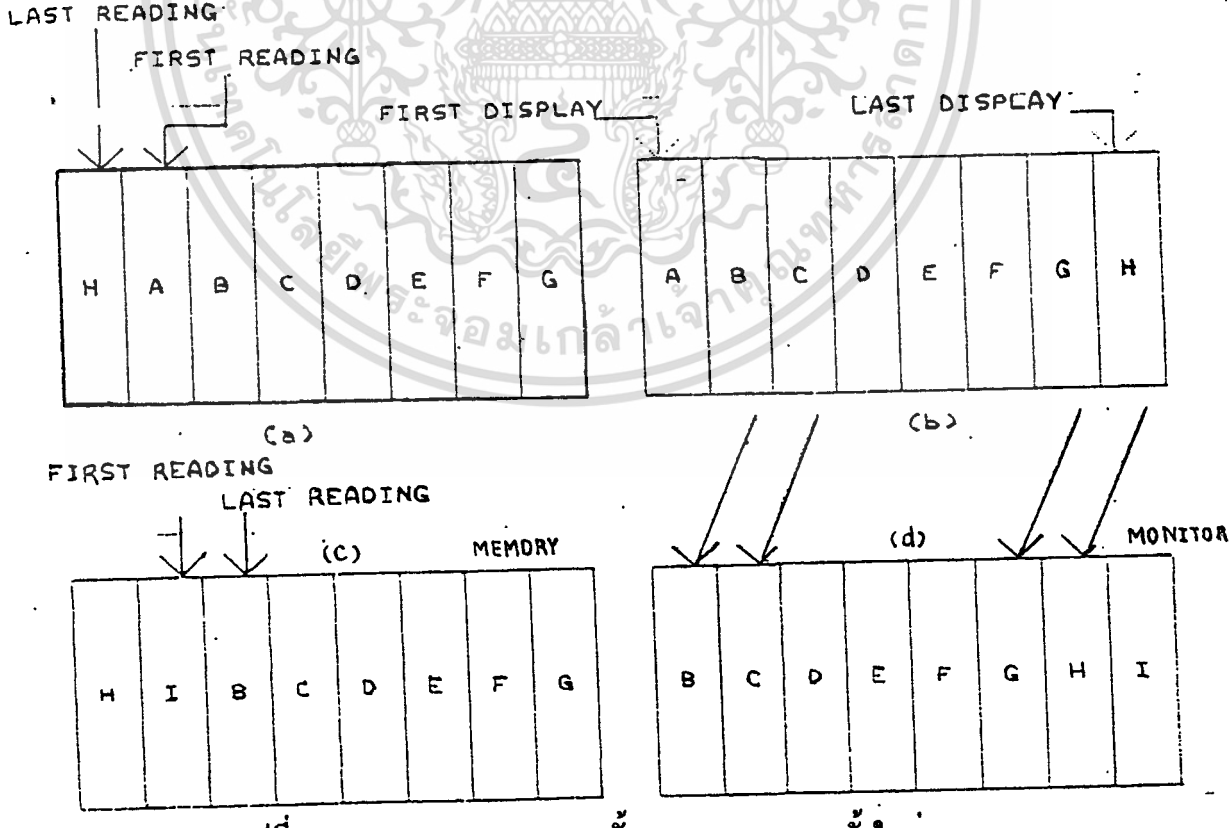
รูปที่ 3.4 แสดง memory map ของ ram

การ transfer จาก ram 2 ไป ram 1 นั้น สมมติให้เริ่ม reset 1 (reset ram1) ที่ตำแหน่ง column ที่ 00H ของ ram1 จนหมดทุก row เริ่มตั้งแต่ row ที่ 00H จนกระทั่งถึง FFH เมื่อ reset เสร็จเรียบร้อยโดยวงจรส่วน transfer จากการควบคุมของวงจรส่วนภาค control จะทำการ transfer data จาก ram 2 มา ram 1 เมื่อ ram 2 transfer data มาหมดตั้งแต่ byte 00H จนถึง FFH เป็นจำนวน 1 column แล้ว ram 2 จะถูก reset โดยอยู่ในช่วง reset 2 เพื่อเตรียมตัวรับข้อมูลใหม่ ช่วงเวลาตั้งแต่ reset 1 จนถึง reset 2 จะอยู่ในช่วง vblnk หรือช่วงที่เส้น scan retrace เพราะฉะนั้นจะไม่มีการแสดงภาพออกทาง monitor จากนั้นก็ถึงช่วงเวลา display และ entry ณ ช่วงเวลานี้สัญญาณ sampling จากส่วน conttrol ก็จะทำการ entry data ผ่าน A/D เพื่อบอกตำแหน่ง row ของ ram 2 ดังที่ได้กล่าวมาข้างต้น ในขณะเดียวกัน ram1 จะถูก read data เพื่อทำการ display และนำ data มาผ่าน IC 74LS166 เพื่อนำข้อมูลมาออกทีละ bit (แล้วนำมารวมกับสัญญาณ sync ต่างๆ ที่ส่วนรวมสัญญาณ (mix) ซึ่งสัญญาณที่ได้ในตอนนี้จะเป็นสัญญาณ video) การ read ram 1 พิจารณารูป 3.4 (a) จะเริ่ม read จาก column ซ้ายไปทางcolumn ทางขวาและจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

row ที่ 00H ก่อนจนไปสุดที่ row FFH ซึ่งเป็น row สุดท้าย แต่ว่า column ที่เริ่มต้นการ read จะต้องอยู่ถัดจาก column ที่เพิ่ง transfer เข้ามาครั้งสุดท้ายทุกครั้งที่มีการdisplay เพื่อทำให้เกิดการเคลื่อนที่ของภาพจากขวาไปซ้าย พิจารณารูปที่ 3.5 ประกอบ data transfer เข้ามาที่ ram 1 column 00H columnที่จะเริ่ม read คือ 01H ไปจนถึง FFH และมาสิ้นสุดที่ 00H ของแต่ละแชนแนล เพราะว่า column ล่าสุดที่มี data จาก ram 2 มา transfer ลงก็คือ column 00H ดังนั้น column 00H จึงต้องถูก read ครั้งสุดท้ายเพื่อที่จะได้ภาพที่อยู่ทางขวาสุดของจอ monitor เป็นภาพของสัญญาณที่เพิ่งเข้าใหม่ (เมื่อเริ่ม read จาก column ใด column นั้นจะปรากฏอยู่ทางซ้ายสุดของจอภาพพอดีเช่นกัน)

จากรูปที่ 3.5 จะเป็นการแสดงตัวอักษร A-Z โดยตัวอักษรจะเริ่มวิ่งจากขวาไปซ้าย ดังนั้น จากรูปที่ 3.5 (a) ถ้าต้องการให้ H ต่อกับ G (H เป็นข้อมูลที่ถูก transfer เข้ามาล่าสุด) จะต้อง read data จาก ram 1 ตั้งแต่ column address ที่ 01H ก่อนแล้วไปสิ้นสุดเอาที่ address 00 H ก็จะได้รูปตาม 3.5 (b) และเมื่อถึง loop การทำงานของ reset 1 ในรอบถัดมาจะต้องไป reset address ตำแหน่ง column 01H แล้วtransfer ตัว 1 มาที่ column 01H และเมื่อถึง loop display อีกครั้งก็จะเริ่ม read data จาก column address ที่ 02H ดังรูปที่ 3.5 (c) ไปสิ้นสุดที่ column ที่ 01 H ก็จะได้ตามรูปที่ 3.5 (d) เป็นเช่นนี้เรื่อยๆไป



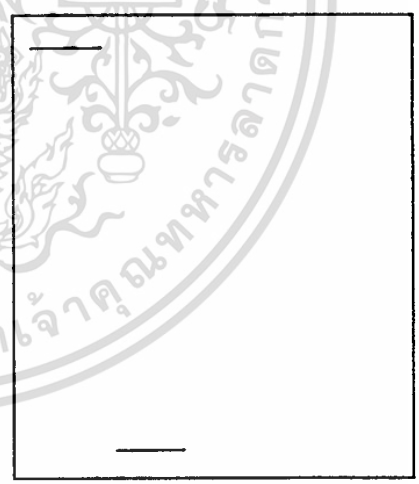
รูปที่ 3.5 การ shift column ทุกครั้งของการ display ครั้งใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปการทำงานของวงจรก็คือ สัญญาณ analog ที่มีแรงดันแปรค่าในช่วงไม่เกิน 0-5 V จะถูกนำมาผ่านเข้า A/D เพื่อแปลงเป็นสัญญาณ digital (โดยจะมีสัญญาณ sampling เป็นตัวควบคุมขา start ของ A/D) แล้วถูกนำมาอ้าง address ในตำแหน่ง row ของ ram 2 เช่นถ้าสัญญาณ analog เป็น 5V แล้วถูก sampling output ที่ออกมาจาก A/D จะเป็น 111 111 และจะอ้าง address ตำแหน่ง 111 111 และวงจรส่วน control ก็จะทำการ write "1" ลงไป ณ ตำแหน่ง bit ที่ 1

เมื่อสัญญาณ sampling ลูกที่ 2 มา สัญญาณ analog ยังคงเป็น 5V ฉะนั้น output ที่ออกมายังคงเป็น 111 111 อีก วงจรส่วน controlก็จะทำการ write "1" ลงไป ณ ตำแหน่ง bit ที่ 2 เป็นเช่นนี้เรื่อยไปจนกระทั่งก่อนที่จะถึง sampling ลูกที่ 5 สัญญาณ analog จะเปลี่ยนไปเป็น 0V ทันที ฉะนั้นเมื่อ sampling ลูกที่ 5 มาแล้ว output ที่ออกมาจาก A/D จะเป็น 000 000 วงจรส่วน control ก็จะไป write "1" ณ bit ที่ 5 ของ address 000 000 และเป็นเช่นนี้จนกระทั่งครบ 8 bit เมื่อ transfer ผ่านไปยัง ram 1 และ ram 2 ถูก read ออกไป วิธีการอ้าง address ขณะ read เอา data ออกไปรวมกับสัญญาณ sync เพื่อเป็นสัญญาณ video นั้น จะอ้าง address row ล่างสุดขึ้นมาจนถึงบนสุดดังนั้นจะได้ภาพดังรูป 3.6 (b) ซึ่งจะเป็นรูปที่เหมือนกับ input ที่เข้ามา

0	0	0	0	1	1	1	1
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0



รูปที่ 3.6 แสดงภาพจากหน่วยความจำเทียบกับการแสดงผลที่จอแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรในแต่ละภาคและ block diagram มีดังต่อไปนี้

3.1 ส่วนแปลงสัญญาณเข้าให้เป็นสัญญาณ digital และส่วนสร้างสัญญาณ sampling

3.1.1 A/D และวงจรสร้างสัญญาณ sampling

3.1.2 วงจรสร้างสัญญาณ read ,write

3.2 ส่วนสร้างสัญญาณควบคุม

3.2.1 วงจรสร้างสัญญาณควบคุม

3.2.2 วงจร reset ram 1

3.2.3 วงจร transfer data จาก ram 2 ไป ram 1

3.2.4 วงจร reset ram 2

3.3 ส่วนประมวลผลข้อมูล

3.4 ส่วนแสดงผลข้อมูลและส่วนสร้างสัญญาณ sync

3.4.1 วงจรสร้างสัญญาณ sync และสัญญาณ blnk

3.4.2 วงจร control ram 1

3.4.3 วงจรแสดงภาพเคลื่อนไหวและหยุดภาพ (display and freeze display)

3.1 ส่วนแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล และส่วนสร้างสัญญา sampling

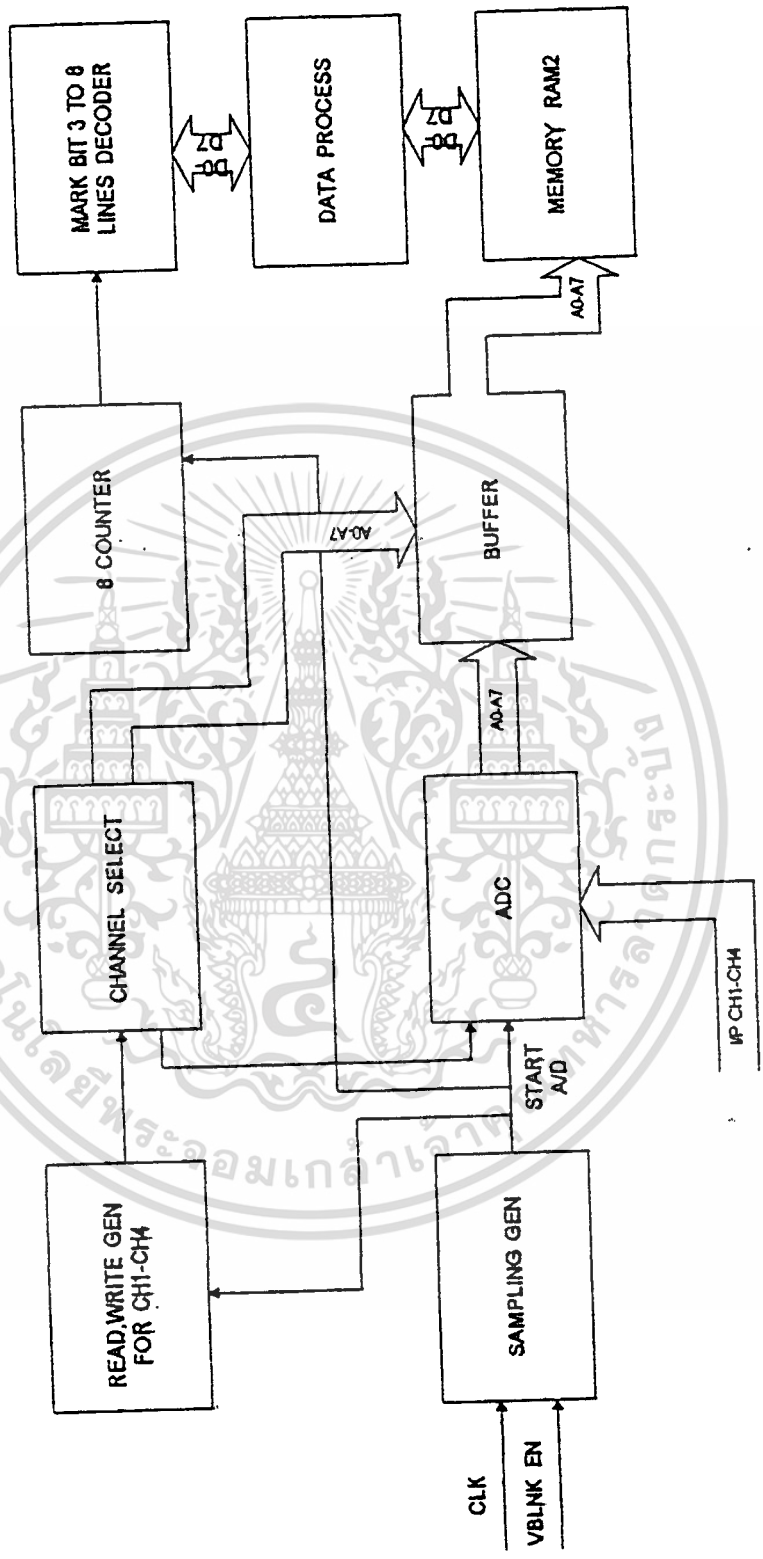
วงจรส่วนนี้จะทำหน้าที่ในการแปลงสัญญาณอนาลอกของคลื่นไฟฟ้าจากหัวใจที่ได้ขยายสัญญาณมาแล้วให้เป็นสัญญาณดิจิตอลเพื่อนำเข้าไปประมวลผลแบ่งเป็น

3.1.1 A/D และวงจรสร้างสัญญาณ sampling

จากรูปที่ 3.8 ขา 10 ของ IC 4040 จะถูกป้อนด้วย CLK ซึ่งมีความถี่เท่ากับ 12,800 Hz.(256 ลูกใน 1/50 วินาที เพราะว่าการ display หนึ่ง field ในที่นี้ใช้ 256 เส้นสแกนในแนวนอนในเวลา 1/50 วินาที) แล้วถูกหาร 32 เพื่อให้ได้ CLK ที่ output ของ IC 4040 8 ลูก ในขณะที่ input เข้ามา 256 ลูก (256/32 = 8) เพราะในขณะที่มีการ display โดยนำ data ออกจาก ram 1 อยู่นั้นจะต้อง entry data ลงสู่ ram 2 ไปด้วยดังที่กล่าวมาแล้วในตอนต้น จึงต้องให้การ sampling ram 2 ครบ 8 ลูกภายในการสแกน 256 เส้น เพื่อ write "1' เข้าไปเป็นจำนวน 8 ครั้ง พิจารณารูปที่ 3.6 ประกอบ

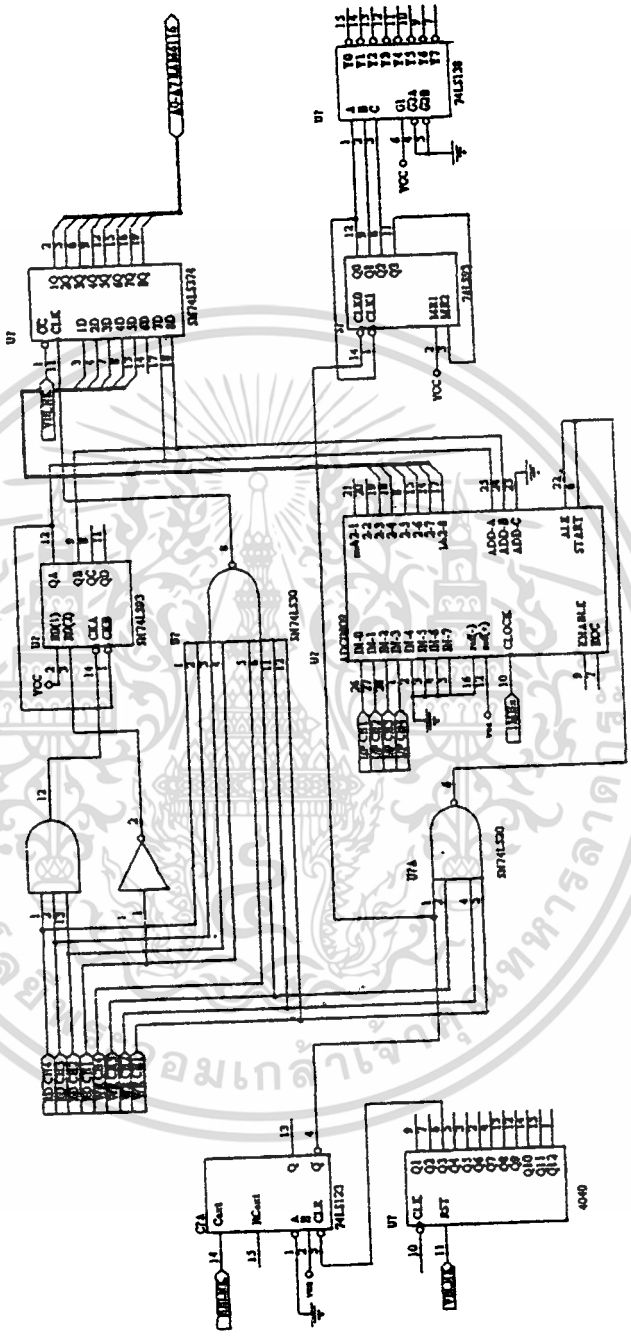
ดังนั้นขา Q_5 ของ IC 4040 จึงถูกต่อมาเพื่อเป็นสัญญาณ sampling จากนั้นจะนำไป ทริก โมโนสเตเบิ้ล เพื่อให้ขนาดความกว้างของพัลส์เล็กลงแล้วนำไปเป็นสัญญาณ start ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 block diagram ส่วน A/D และวงจรสร้างสัญญาณแซมปลิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 A/D และวงจรสร้างสัญญาณแซมปลิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A/D โดยผ่านแนนเกต เนื่องจากว่าการ sampling ย่อย 4 ครั้ง สำหรับ CH1-CH4 และสัญญาณ sampling ย่อยจะต้องมาจากส่วน read,write จึงนำสัญญาณ sampling และสัญญาณ WRCH1-WRCH3 มาแอนกันแต่ขา start ทำขาขึ้นจะต้องใช้แนนเกต

ในขณะที่ขา start ของ A/D มีสัญญาณจากแนนเกตมาทริกให้เกิดการ conversion นั้น สัญญาณ RDCH1-RDCH2 จะเป็นตัวบอกแชนแนลให้กับ A/D ทางขา A_0,A_1 โดยผ่าน 74LS93 ตัวบน ขณะเดียวกันก็จะเป็นตัวบอกแชนแนลให้กับ ram 2 ด้วย โดยผ่าน 74 LS374 เพื่อให้รับ input ไปเก็บไว้ใน ram 2 ได้ตรงตามแชนแนลที่กำหนดและ 74LS93 ตัวล่างจะเป็นตัวนับจำนวนของสัญญาณ sampling เพื่อให้ IC 74LS138 กำหนดตำแหน่งของ bit ที่จะwrite "1" ลงไป

3.1.2 วงจรสร้างสัญญาณ read,write

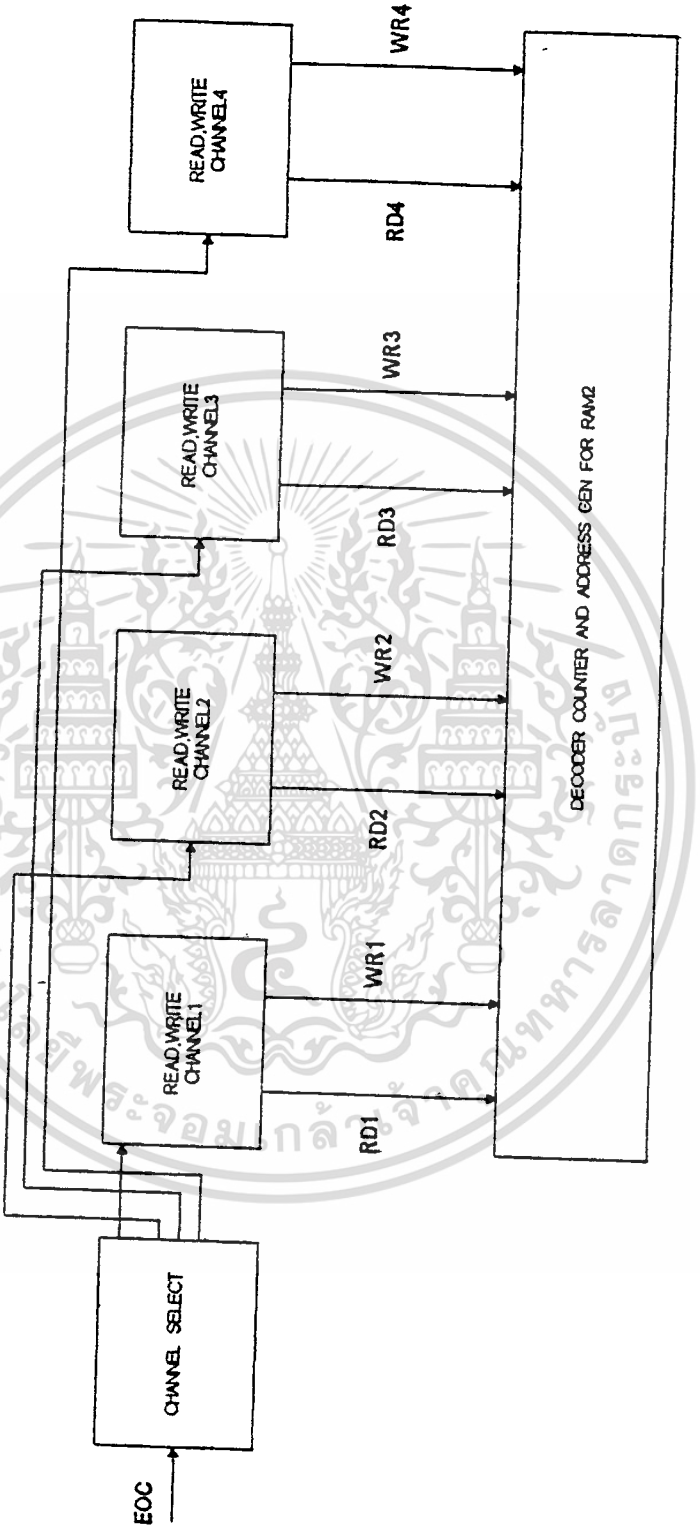
เมื่อ A/D ได้รับสัญญาณ start จาก sampling ลูกที่ 1 จาก IC4040 ก็เริ่มทำการ conversion ข้อมูล CH1 ทันทีและเมื่อ conversion เสร็จแล้ว ขา EOC ของ A/D ก็จะเปลี่ยนจาก "0" เป็น "1" และขา EOC นี้จะไปเป็นสัญญาณทริกให้กับ IC 4017 ตามรูปที่ 3.10 เพื่อให้ 4017 ไปเลือกทริก IC 74LS123 ซึ่งเป็นโมโนสเตเบิ้ล เพื่อกำเนิดสัญญาณ RDCH?,WRCH? ในที่นี้เมื่อ 4017 ได้รับ EOC ครั้งแรกขา Q_0 ของ 4017 จะเป็น "1" นอกนั้นจะเป็น "0" แล้วไปทริกโมโนสเตเบิ้ลตัวแรกให้เกิดสัญญาณ RDCH1 แล้วสัญญาณ RDCH1 ก็จะไปทริกโมโนสเตเบิ้ลตัวที่ 2 ให้เกิดสัญญาณ WRCH1

สัญญาณ RDCH1 จะไปเป็นตัวบอกแชนแนลในการรับอินพุทของ A/D ครั้งถัดไปคือแชนแนล / และบอกแชนแนลที่ 1 ของ ram 2 ให้ทำการรับ อินพุทและสัญญาณ WRCH1 จะไปเป็นสัญญาณ start ให้กับ A/D เพื่อให้ทำการ conversion สำหรับแชนแนลที่ 2 และเป็นสัญญาณ write ให้กับ ram 2 เพื่อทำการ write "1" ลงไปในบิทที่ 1 (เพราะ sampling ครั้งที่ 1) ของแชนแนลที่ 1 (พิจารณารูปที่ 3.8 ประกอบ)

สัญญาณ EOC ครั้งที่ 2 ซึ่งเกิดจาก WRCH1 จะไปทริก 4017 ให้ Q_1 เป็น 1 และขา Q อื่นๆจะเป็น "0" โมโนสเตเบิ้ลตัวที่ 3 และ 4 จะถูกทริกโดย Q_1 ให้เกิดสัญญาณ RDCH2 และ WRCH2 ตามลำดับ โดยสัญญาณ RDCH1 จะไปเป็นตัวบอกให้ A/D เปลี่ยนไปรับอินพุทของ CH3 และบอกให้แชนแนลที่ 2 ของ ram 2 ให้ทำการรับอินพุท WRCH2 จะเป็นสัญญาณ write ให้กับ ram 2 เพื่อ write "1" ลงไปในบิทที่ 1 ของแชนแนลที่ 2 (เพราะว่าเป็น sampling ครั้งที่ 1 และsamplingย่อย ครั้งที่ 2)

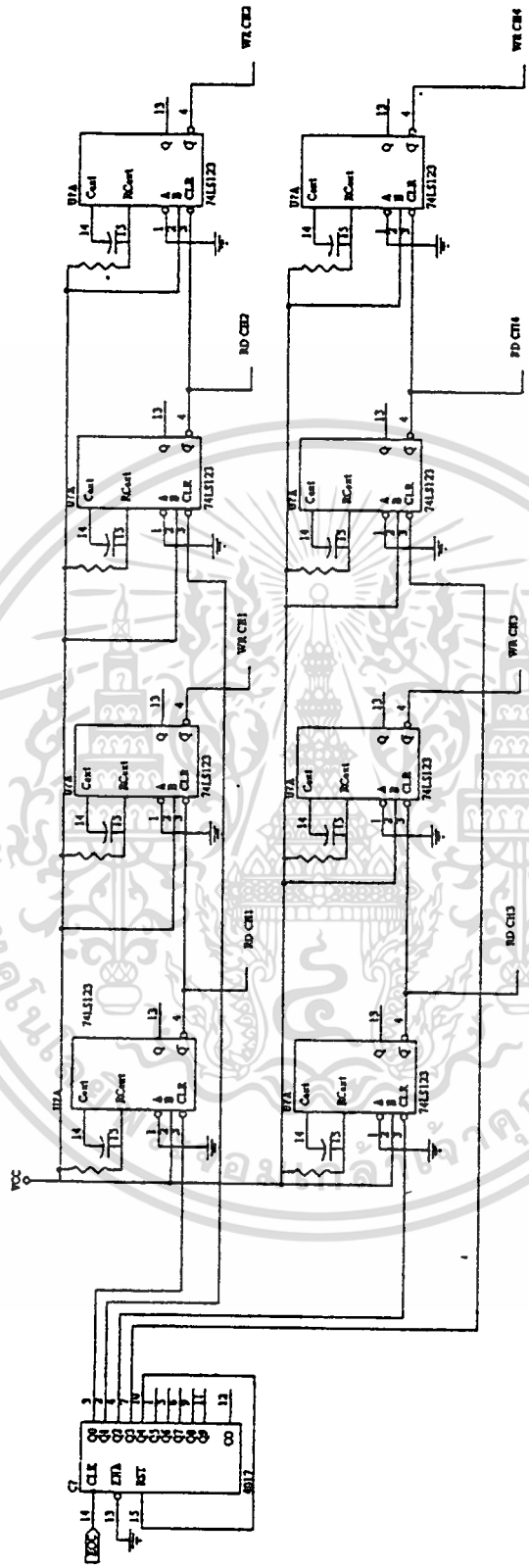
จะเป็นเช่นนี้จนครบถึง RDCH4,WRCH4 และจะเริ่ม sampling ครั้งที่ 2 ใหม่อีก โดยการsampling ครั้งที่ 2 นี้จะทำการ write "1" ลงไปตามบิทที่ 2 ของแต่ละแชนแนล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 block diagram **วงจรสร้างสัญญาณ** read,write

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 วงจรสร้างสัญญาณ read,write

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก 3.1.1 และ 3.1.2 จะเกิดในช่วง display และ entry data

3.2 ส่วนสร้างสัญญาณควบคุม

วงจรส่วนนี้จะเป็นวงจรสำหรับควบคุมช่วงที่ถัดจากช่วง display และ entry data คือช่วง reset 1 ,transfer,reset 2

3.2.1 วงจรสร้างสัญญาณควบคุม

จากรูปที่ 3.12 สัญญาณ vblnk จะเป็นตัวทริกให้ 74LS73 จะเปลี่ยนจาก "0" ไปเป็น "1" ก่อให้เกิดสัญญาณ reset 1 เพื่อไป enable counter ในการ reset ram 1 ที่ต้องใช้สัญญาณ vblnk ก็เพราะว่าในช่วงที่ถัดจากช่วง display มาแล้วและขั้นตอนที่กล่าวข้างต้นนี้เกิดในช่วงหลัง display ไปแล้วยังต้องใช้ vblnk เป็นตัวควบคุมการเริ่มต้นของวงจรส่วนสร้างสัญญาณควบคุม

สัญญาณ vblnk จะเป็นทริกให้ 74LS73 ตัวซ้ายสุดเริ่มทำงานโดยขอบขาลงของ vblnk จะเป็นตัวทริกและ 74LS73 ทำงานที่ขอบขาลง โดยผ่านทางออร์เกตขา 1 ทำให้ขา 12 ของ 74LS73 ตัวซ้ายสุดเปลี่ยนสถานะจาก "0" เป็น "1" เมื่อ counter reset 1 ทำการ reset ram 1 เสร็จ 1 column ก็จะส่งสัญญาณขอบขาลงผ่านแอนเกตขา 9 มา แล้วผ่านออร์เกตไปทริกขา 1 ของ 74 LS73 ตัวซ้ายสุด ทำให้ขา 12 เปลี่ยนสถานะจาก "1" กลับมาเป็น "0" เป็นอันว่าจบขั้นตอนการ reset 1

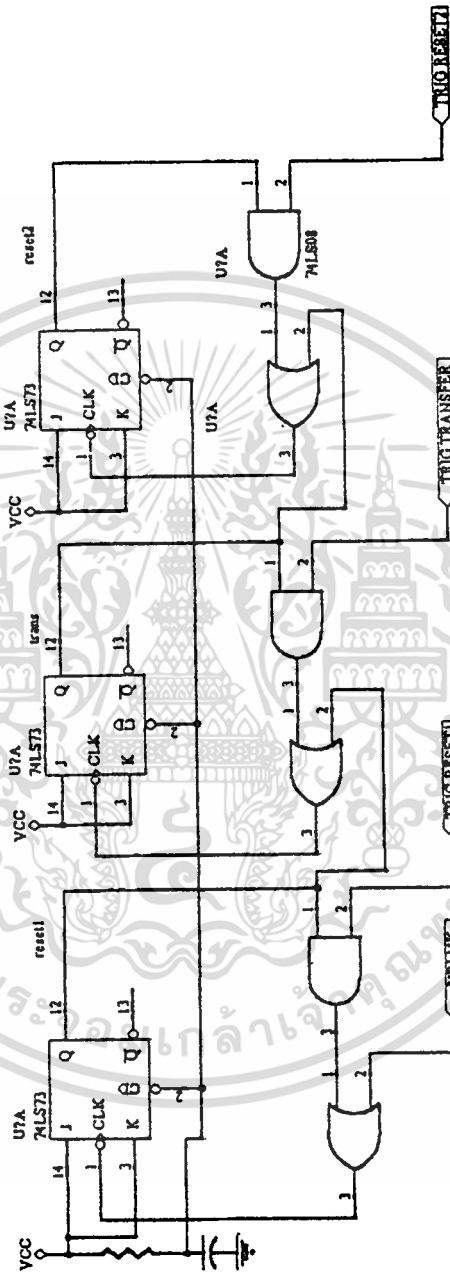
สัญญาณขอบขาลงของ reset 1 ก็จะไปทำการทริก 74LS73 ตัวกลางโดยผ่านออร์เกตขา 4 ให้ขา 12 ของ 74LS73 ตัวกลางเปลี่ยนสถานะจาก "0" ไปเป็น "1" และในลักษณะเช่นเดียวกับข้างต้น เมื่อ counter transfer 1 ทำการบอกแอดเดรสให้กับ ram 2 และ ram 1 ในการ transfer data เสร็จแล้วก็จะมาทริกให้ขา 12 ของ 74LS73 ตัวกลางเปลี่ยนสถานะจาก "1" กลับเป็น "0"

74LS73 ตัวขวาสุดก็จะทำงานในลักษณะเดียวกันและเมื่อ reset ram 2 เสร็จแล้วก็จะกลับไปสู่ช่วง display และ entry data อีกครั้ง

3.2.2 วงจร reset ram 1

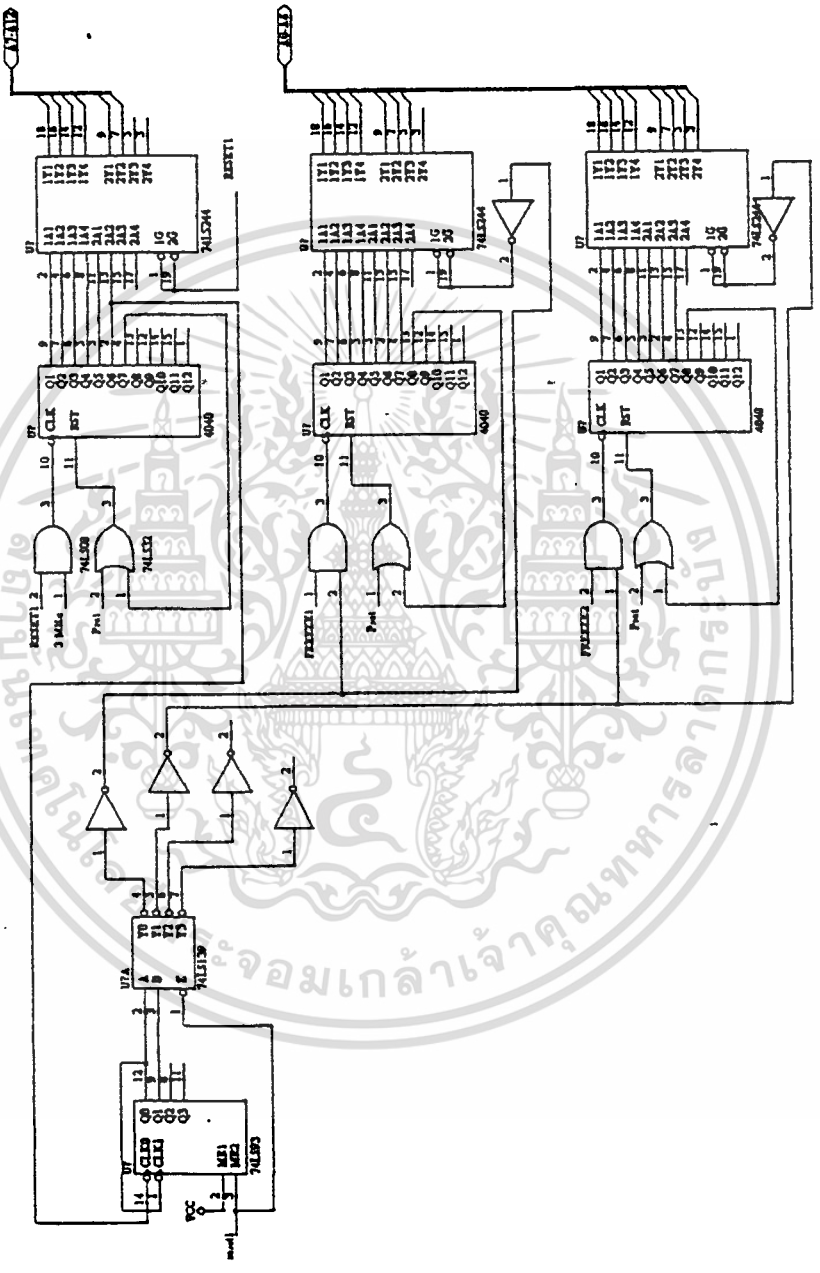
พิจารณารูปที่ 3.14 และจากหัวข้อ 2.1 สัญญาณ reset 1 จากขา 12 ของ 74LS73 จะมาทำการ enable แอนเกตให้ CLK 3MHZ ผ่านเข้ามาที่ขา CLK ของ 4040 ตัวบนสุดเพื่อสร้างสัญญาณแอดเดรสในการ reset ram1 โดยแอดเดรสตั้งแต่ A_7-A_{12} จะเป็นตัวอ้าง memory map ในส่วนของ row ตั้งแต่ row ที่ 1 ถึง 64 แต่ไม่ระบุแชนแนล ในขณะเดียวกันขา 2 ของ 4040 ตัวบนสุด จะกลับมาเป็นอินพุทให้กับ 74LS93 ซึ่งเป็น binary counter ให้นับ 4 แล้วผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 **วงจรสร้างสัญญาณควบคุม**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 วงจรรีเซ็ท ram1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

decoder เพื่อทำการ enable 4040 ตัวถัดๆลงมาซึ่งเป็น counter สำหรับ CH1-CH4 ในแนว column (A_0-A_7) 1-128

เมื่อเปิดเครื่อง counter ทางด้าน row จะเริ่มต้นจาก 00H-3FH ในขณะที่ counter ทางด้านcolumn สำหรับ CH1 กำลังชี้ไปที่ column 00H รูปที่ 4(a)

เมื่อ counter ทางด้าน row นับครบ 64 byte คือถึง 3FH แล้วขา 2 ของ counter ทางด้าน row ก็จะไปทริกให้ decoder เปลี่ยนแชนแนลเป็น CH2 แต่ชี้ไปที่ column 00H เช่นกัน และจะเปลี่ยนแชนแนลไปจนครบ 4 แชนแนล (แต่ยังเป็นการ reset column 00H อยู่) จากนั้นขา Y_3 ของ 74LS139 ก็จะไปทริกขา 1 ของ 74LS73 ตัวซ้ายสุดตามรูปที่ 3.12 ให้สัญญาณ reset 1 กลับมาเป็น "0" คือเลิก reset 1 และเริ่มช่วง transfer ต่อไป

และเมื่อวน loop กลับมาที่ reset 1 อีกครั้ง column ที่จะถูกรีเซ็ทจะกลายเป็น column 01H แล้ว สำหรับทุกๆแชนแนลเพราะว่าทุก counter คือ A_0-A_6 จะเป็น 1000 000 และเมื่อวน loop กลับมาที่ reset 1 อีก counter ทางด้าน column ก็จะเพิ่ม 0100 000 คือเปลี่ยน column เป็น 10H เป็นเช่นนี้เรื่อยไป

freeze ถ้าต่อลง "0" จะทำให้ไป disable 4040 ทำให้แอดเดรสทางด้าน column หยุด

3.2.3 วงจร transfer data จาก ram 2 มา ram 1

จากรูปที่ 3.16 เมื่อมีสัญญาณ transfer จากส่วนสร้างสัญญาณควบคุม (ขา 12 ของ 74LS73) จะทำให้ไป enable CLK 3MHz ให้ผ่านไปที่ IC 4040 ตัวบนซึ่งเป็น couter ทางด้าน row,column ของ ram 2 และเป็น counter ทางด้าน row ของ ram 1 ไปพร้อมกัน เมื่อเริ่มเข้า loop ของการ transfer data ram 2 จะได้รับสัญญาณ read ส่วน ram 1 จะได้รับสัญญาณ write ค่าต้าบัสของ ram ทั้งสองจะเชื่อมถึงกันโดย enable beffer 74LS244 แต่ ram 1 นั้นมี 4 ตัว ด้วยกัน วงจรจะทราบว่าจะต้องทรานสเฟอร์ค่าต้าจาก ram 2 ไปสู่ ram 1 ตัวไหนโดยการ decode สัญญาณ จากขา Q_7 และ Q_8 ของ 4040 ตัวบนแล้วผ่าน 74LS139 ซึ่งเป็นตัว decoder ให้ไปทำการ enable ให้ IC4040 ที่เป็นตัวบอกแอดเดรสด้าน column และในขณะเดียวกันก็จะมีวงจรในภาคคอนโทรล ram 1 ซึ่งจะกล่าวต่อไปเป็นตัว enable ram 1 แต่ละตัวให้ทำการรับข้อมูลที่มาในช่วงทรานเฟอร์ค่าต้าไปพร้อมกันทำให้กำหนดได้ว่า ram 1 แชนแนลใดจะเป็นตัวที่ถูกทรานเฟอร์ค่าต้าลงมา

การทำงานของวงจรในช่วงทรานเฟอร์นี้ จะมีลักษณะเหมือนกับวงจรในช่วง reset 1 โดยที่ 4040 ตัวบนสุดจะเป็นตัวบอกแอดเดรสในแนว row ตั้งแต่ 00H-3FH (1-64) ส่วน IC 4040 ตัวถัดลงมาจะเป็นตัวบอกตำแหน่งทางด้าน column 00H-7FH (1-128) และแชนแนลของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทรานเฟอร์ครั้งแรก 4040 ตัวบนจะเริ่มนับตั้งแต่ 1-64 (A_7-A_{12}) ในขณะที่ 4040 ตัวที่สองบอกแอดเดรสเป็น 0000 000 (A_0-A_6) คือหมายถึง column ที่ 00H แชนแนลที่ 1 เป็นตัวรับข้อมูล เมื่อ 4040 ตัวบนสุดนับถึง 64 แล้วก็จะเริ่มนับใหม่ 4040 ตัวที่สามก็จะบอกแอดเดรสเป็น 0000 000 (A_0-A_6) คือหมายถึง column ที่ 00H แชนแนลที่ 2 เป็นเช่นนี้ไปเรื่อยถึง 4040 ตัวที่ 5 ซึ่งจะแทน column ที่ 00H แชนแนลที่ 4

เมื่อวน loop กลับมาที่การทรานเฟอร์คาต้าอีกครั้ง 4040 ตัวบนสุดก็เริ่มนับ 1-64 อีกครั้ง ในขณะที่ 4040 ตัวที่สองถึงตัวที่ห้าจะบอกแอดเดรสเป็น 01H หรือ 1000 000 ซึ่งเป็นการบอก column ว่าขณะที่ทรานเฟอร์คาต้าจาก ram 2 มาที่ ram 1 column ที่สองแล้ว 4040 ตัวที่สองถึงห้าจะบอกแอดเดรสทาง column เป็น 01H พร้อมกันทุกตัว แต่ว่าแชนแนลใดจะทำการรับคาต้าลง column ที่ 01H นั้นก็จะต้องเป็นวงจรส่วนควบคุม ram 1 จะเป็นตัวควบคุม

ส่วนสัญญาณ freeze แต่ละแชนแนลนั้น ก็จะเป็นการ fix แอดเดรสทางด้าน column ไม่ให้เคลื่อนเพื่อว่าในขณะที่อยู่ในช่วง display นั้นจะยังมีข้อมูลเก่าอยู่ เพื่อการแสดงรูปเดิมหรือภาพนิ่งในแต่ละแชนแนล

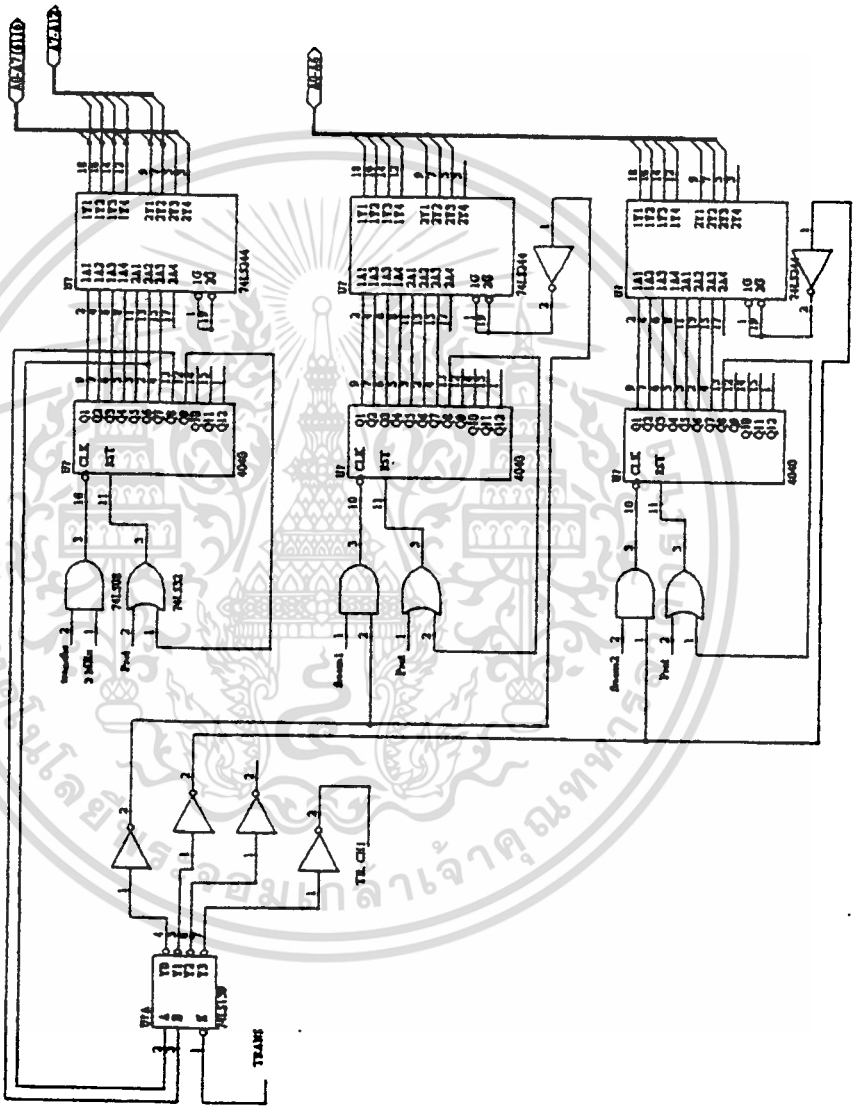
3.2.4 วงจร reset ram 2

ในหัวข้อที่ 3.2.2 และ 3.2.3 วงจรรีเซ็ท ram 1 และวงจรทรานเฟอร์คาต้า จะเห็นว่านอกจากจะต้องมีการคอนโทรลแอดเดรสทางด้าน row แล้ว ยังต้องมีการคอนโทรลแอดเดรสทางด้าน column ของแต่ละแชนแนลอีกด้วย เนื่องจากวงจรเหล่านี้จะต้องทำงานร่วมกับ ram 1 ซึ่งมีอยู่ทั้งหมด 4 ตัว สำหรับ 4 แชนแนลดังนั้นวงจรจึงมีการ decode สัญญาณจากขาของ IC ต่างๆ มาเป็นสัญญาณคอนโทรลสำหรับแต่ละแชนแนล ซึ่งทำให้วงจรยุ่งยากขึ้น

แต่สำหรับวงจรรีเซ็ท ram 2 ดังรูปที่ 3.18 นี้ ใช้ในการรีเซ็ท ram 2 ซึ่งมีเพียงตัวเดียว วงจรจึงไม่ยุ่งยาก ลูปของการรีเซ็ท ram 2 เริ่มขึ้นเมื่อขา 11 ของ IC 4040 ได้รับการ enable จาก 74LS73 ขา 13 ตัวขาสุดรูปที่ 3.12 ก็จะเริ่มทำการนับ โดยสัญญาณจะผ่านบัฟเฟอร์ 74LS244 ไปยังขาแอดเดรสของ ram 2 คือ 6116 และขา write ของ 6116 ขา 21 ก็จะเป็น "0" ส่วนขา D_0-D_7 ก็จะได้รับสัญญาณ "0" จาก IC 74LS157 จากวงจรส่วนประมวลผล

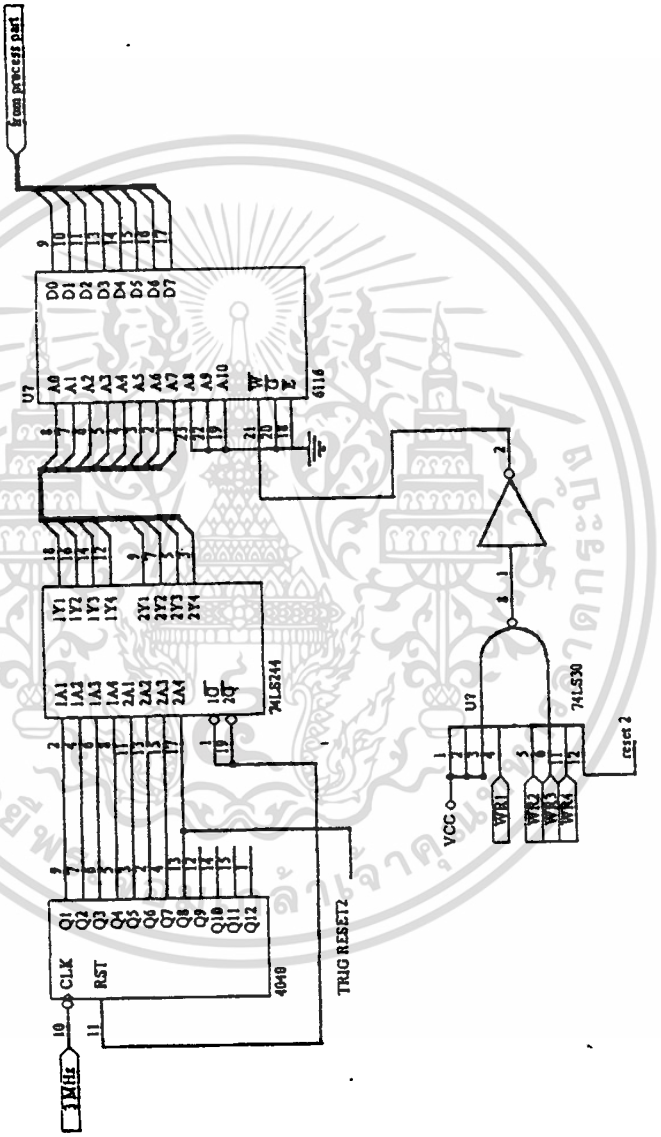
เมื่อทำการนับจนครบ 256 byte แล้ว ขา 13 ของ IC 4040 ก็จะกลับไปทริกวงจรส่วนควบคุมให้หยุดส่งสัญญาณรีเซ็ท ram 2 มาเป็นอันจบขบวนการรีเซ็ท ram 2 และขณะนี้ทุก byte ตั้งแต่ 00H-FFH จะเป็น "0" อยู่ทุกๆบิท (รูปที่ 3.4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3:13 วงจร trasnfer data จาก ram 2 ไป ram 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 วงจรรีเซ็ท ram 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ส่วนประมวลผลข้อมูล

โดยการนำข้อมูลที่ได้จากหน่วยความจำ ram 2 มา ออร์กับข้อมูลที่ได้จากการถอดรหัสจาก IC 74LS138 ผ่าน NOT GATE ซึ่งมีลักษณะการทำงานดังต่อไปนี้

สมมติว่ามีสัญญาณเข้ามาเป็นสัญญาณ dc ดังนั้นการอ้างตำแหน่งแอดเดรสของแถวในหน่วยความจำภาพจะมีค่าเดิมตลอดเวลา (จากส่วนแปลงสัญญาณเข้าให้เป็นสัญญาณดิจิตอล) ในการอ่านข้อมูลออกมาครั้งแรก (แซมปลิ้งครั้งที่ 1) จากหน่วยความจำจะเป็น 00000000 ในขณะที่ส่วนถอดรหัสจะได้ 10000000 เมื่อนำมาออร์กันแล้วได้ 10000000 ซึ่งถูกนำกลับไปเขียนในหน่วยความจำอีก ต่อมาในการอ่านข้อมูลครั้งที่ 2 (แซมปลิ้งครั้งที่ 2) ค่าในการอ้างตำแหน่งแอดเดรสของทั้งแถวและคอลัมภ์ก็ยังเหมือนเดิม เพราะฉะนั้นค่าของข้อมูลคือ 10000000 ในขณะที่ข้อมูลจากส่วนถอดรหัสจะเป็น 01000000 เมื่อนำมาออร์กันจะได้ 11000000 ซึ่งถ้าทำไปเรื่อยๆ จนครบทั้งหน่วยความจำแล้ว เราจะได้ข้อมูลในแต่ละไบต์ในแถวนั้นคือ 11111111 ซึ่งเมื่อนำมาแสดงทางจอภาพแล้วจะได้ภาพของสัญญาณเส้นตรงเหมือนกับอินพุทที่ป้อนเข้ามาทั้งนี้เนื่องจากการเขียนข้อมูลในหน่วยความจำมี 2 ลักษณะ คือ เขียนข้อมูลของภาพที่จะแสดงกับข้อมูลที่ใช้ในการเคลียร์หน่วยความจำ ดังนั้นก่อนจะเข้าบัฟเฟอร์จะมีการเลือกข้อมูลโดยการใช้ชิพ 74LS157 เป็นตัวเลือกโดยใช้สัญญาณ reset เป็นสัญญาณควบคุม

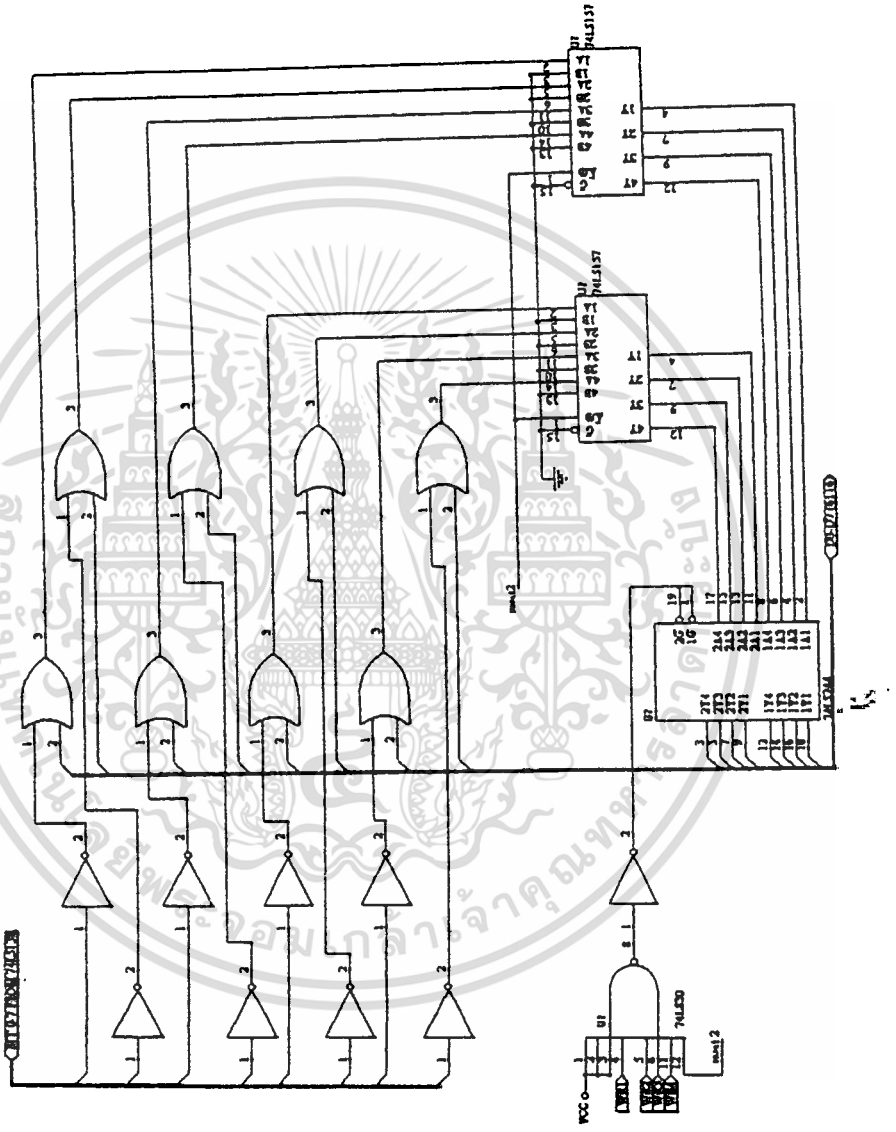
3.4 ส่วนแสดงข้อมูลและส่วนสร้างสัญญาณซิงค์

3.4.1 วงจรคอนโทรล ram 1 (6264)

จาก loop ของการทำงานทั้งหมด คือ 1. entry data (ซึ่งขณะนี้ก็จะ display ด้วย) 2. reset ram 1เพื่อเตรียมตำแหน่งที่จะนำข้อมูล (data) มาใส่ 3. transfer เป็นการถ่ายเทข้อมูลจาก ram 2 (6116)มาสู่ ram 1 4. reset ram 2 เพื่อให้ ramพร้อมที่จะทำการ entry data อีกครั้งหนึ่งซึ่งจาก loop การทำงานทั้งหมด เราต้องทำการ control ram หลักทั้ง 4 แชนแนลให้ทำงานสัมพันธ์กันกับช่วงต่างๆที่กล่าวมา โดยอาศัยหลักที่ว่า ต้องทำให้ ram 1 มีสัญญาณเขียน (write) ได้เฉพาะในช่วง reset และช่วง transfer เพื่อให้ ram ถูกเขียน “0” (reset) และเขียนข้อมูล (transfer) นอกนั้นให้ ram ไม่มีสัญญาณ write คือให้ ram ถูก read นั่นเอง

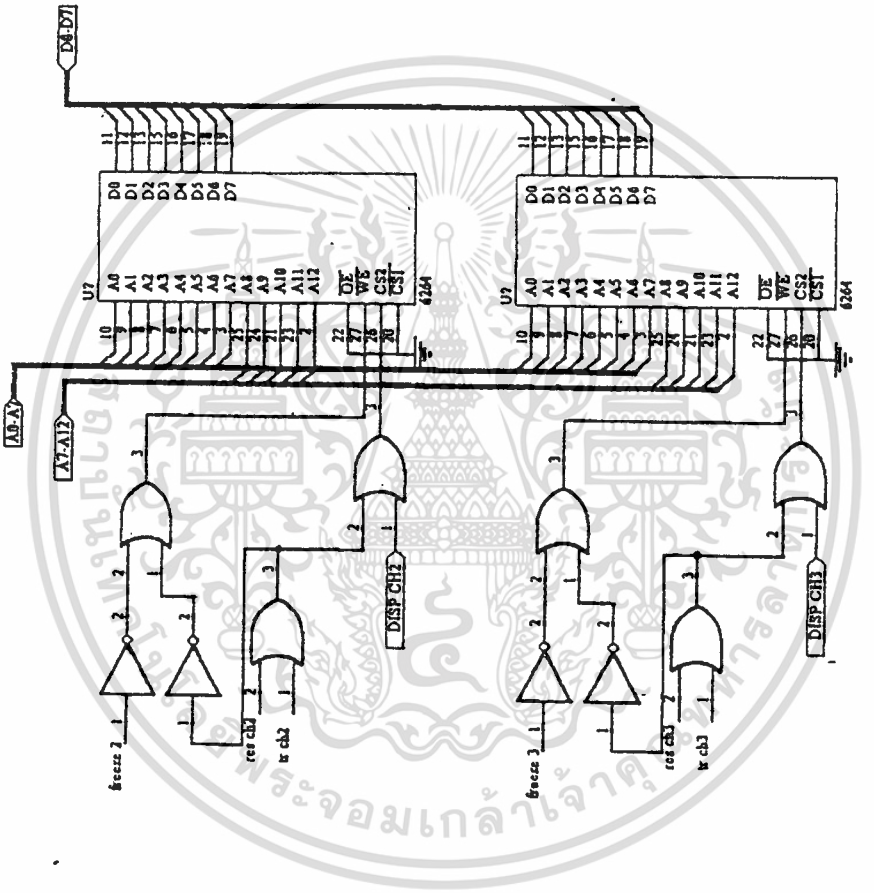
ซึ่งสามารถทำได้โดยการดึงสัญญาณ reset CH1-4 ,transfer CH1-4 และ display CH1-4 มาผ่านวงจรเพื่อควบคุม (control) ที่ขา WE และ CS2 (chip select) ซึ่งจะได้วงจรควบคุม (control) ตามรูปที่ 3.22 อธิบายได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 **วงจรประมวลผลข้อมูล**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 วงจรคอนโทรล ram1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ช่วง display จะมีสัญญาณ DISPCH1-4 เป็น "1" เข้าที่ขาของออร์เกต ส่วนอีกขาหนึ่งจะเป็น "0" เนื่องจากขณะ display สัญญาณ reset CH1-4 เป็น "0" ดังนั้นจะทำให้ได้ระดับ "1" ที่ขา CS2 ของ ram ก็คือเป็นการเลือก ram 1 (โดยจะเป็น ram ตัวไหนก็แล้วแต่ว่าช่วงนั้น สัญญาณ display เป็นของแชนแนลใด) และขณะเดียวกันก็จะเห็นว่า ออร์เกตที่ต่อเข้ากับขา WR ของ ram 1 นั้นจะมีระดับ "1" คือ ram 1 กำลังถูกอ่าน data ถ้ารวมแล้วก็จะเห็นว่าขณะ display ram 1 จะถูก enable และถูกอ่าน data ออกมา โดยแอดเดรสที่จะอ่าน data มานั้นจะถูกกำเนิดโดยวงจรส่วนเลื่อนการแสดงภาพ (shift display)

2.ช่วง transfer และ reset ram 1

ในช่วงนี้จะมีสัญญาณ transfer CH1-4 หรือ reset CH1-4 เป็น "1" เข้าที่ออร์เกตส่วน display (CH1-4) นั้นเป็น "0" เพราะฉะนั้น output ของออร์เกต ก็จะเป็น "1" เข้าที่ขา CS2 ของ ram 1 และ ouput ของออร์เกตที่มี input เป็น transfer CH1-4 ,reset CH1-4 จะเป็น"1" ไปผ่านinverter กลับเป็น "0" ซึ่งถ้าขณะนั้นเราไม่ได้กดปุ่ม freeze ก็จะทำให้ output ของออร์เกตนี้เป็น "0" ป้อนเข้าขา WE คือ ram 1 จะถูก write โดยจะเป็นข้อมูลหรือการเขียน "0" ก็แล้วแต่ว่าเป็นช่วง transfer หรือ reser ram 1 โดยแอดเดรสจะถูกกำเนิดโดยส่วนที่ control ตำแหน่งที่จะ transfer และตำแหน่งที่จะ reset นั่นเอง

3. ช่วง reset 2 ,ram 1 จะถูกเลือก คือ ที่ขา CS2 จะเป็น "0"

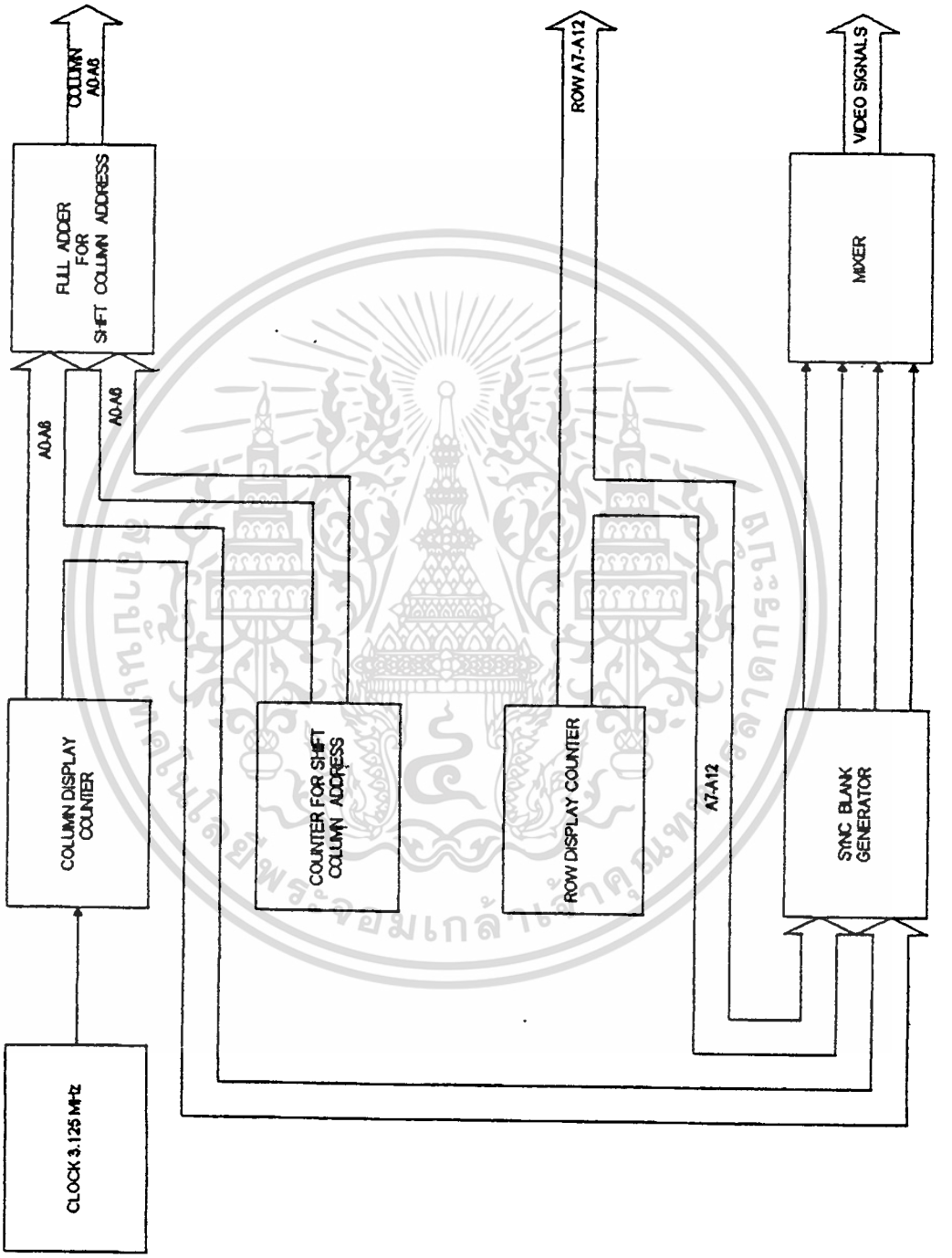
3.4.2 วงจรสร้างสัญญาณซิงค์และสัญญาณแบล็งค์

เราต้องสร้างสัญญาณซิงค์ให้เท่ากับมาตรฐานที่ใช้อยู่ในโทรทัศน์ โดยในโครงงานนี้เลือกใช้มาตรฐานยุโรป คือ 625 เส้นต่อ 1 เฟรม คือความถี่ ฮอร์ซิงค์ เท่ากับ 15625 Hz และความถี่เวอร์ซิงค์ เท่ากับ 50 Hz รวมถึงสัญญาณแบล็งค์ของด้าน Hor และ Ver อีกด้วย

จากทฤษฎีที่กล่าวมาในบทที่ ๆ เราต้องทำการสร้างสัญญาณ Hor sync ที่มีความถี่ 15,625 Hz หรือทุกๆ 64 μs และมีช่วงเวลาของสัญญาณประมาณ 5 μs ดังนั้นจากความถี่ที่ได้จากออสซิลเลเตอร์ 25 Mhz. เรานำมาผ่านวงจรหาร 8 เป็นสัญญาณความถี่ 3.125 Mhz และเมื่อให้ได้ความถี่ที่ต้องการ เราจะนำไปผ่านวงจรหาร 200 ซึ่งจะได้ 15,625 Hz (3.125 Mhz /200 =15,625 Hz)

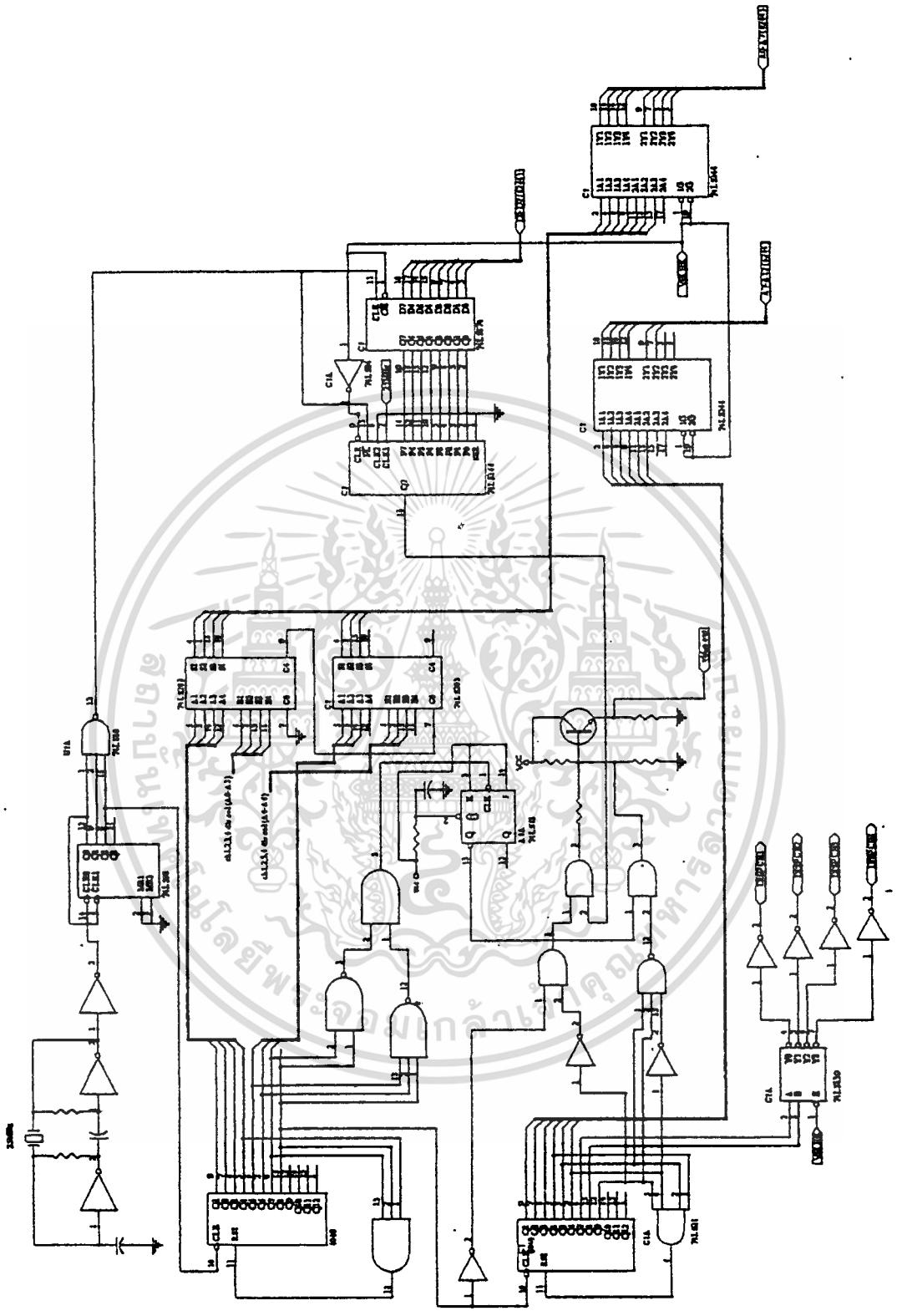
ในที่นี้เราต้องการ decode เพื่อแสดงสัญญาณภาพเพียงอย่างเดียวก่อน และสามารถแก้ไขช่วงเวลาของการเกิด hblnk ได้ในภายหลังเมื่อต้องการเอาตัวอักษรเข้ามารวมในสัญญาณภาพด้วย รูปที่ 3.23 แสดงภาพการหารที่ต้องการและช่วงเวลาต่างๆที่คำนวณได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 block diagram วงจรสร้างสัญญาณแบล็งค์และสัญญาณซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 **วงจรสร้างสัญญาณแบล็งค์และสัญญาณซิงค์**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจากแผนภาพเราต้องออกแบบวงจรหาร 128 และวงจรหาร 200 ให้ทำงานสัมพันธ์กันจึงจะได้สัญญาณ hblnk โดยวงจรหาร 200 ทำได้คดยดึงเอาท์พุทจากขา 4,5 และ 13 ของ IC 4040 ไปต่อกับ74LS11 แล้วเอาเอาท์พุทของ 74LS11 ไป reset ตัวมันเอง (IC 4040) ดึงเอาท์พุทจากขา 13 ของ IC 4040 ผ่าน inverter ก็จะได้ hblnk ที่มีช่วงเวลาการแบล็งค์ดังรูป 3.23 ส่วนสัญญาณ hsync ได้จากการหาร 3.125 Mhz ด้วย 176 และ 192 โดยการต่อเกตดังรูป 25 แล้วนำเอาท์พุททั้ง 2 ตัว นี้มาแอนกันเพื่อป้อนเป็นสัญญาณ clock ให้กับ JK-FF ที่ถูกต่อแบบท็อกเกิล (toggle) ที่ขา Q ของ JK-FF นี่เองเราจะได้สัญญาณ hsync ที่มีช่วงเวลา 5 μs ตามต้องการ

สัญญาณ vsync ที่มีความถี่ 50Hz คาบเวลาเท่ากับ 20 ms และนานประมาณ 1 ms จากความถี่ 15,625 Hz เมื่อหารด้วย 312 จะได้ประมาณ 50.17 Hz ซึ่งเป็นค่าที่ใช้ได้ เราได้ใช้ IC 4040 และนำเอาท์พุทจากขา 2,3,5,12 มาแอนกันก่อนนำไป reset 4040 และนำเอาสัญญาณจากขา 12 ไปเป็นช่วงเวลาแบล็งค์

นอกจากนี้สัญญาณแบล็งค์ของทั้ง ver และ hor จะนำไปรวมกันด้วยการแอนกันแล้วนำไปรวมกับสัญญาณข้อมูลที่ถูกชิพออกมาด้วยความถี่ 25 Mhz

3.4.3 วงจรแสดงภาพเคลื่อนไหวและหยุดภาพ

หลักการของวงจรส่วนนี้ก็คือ การบวกค่าๆหนึ่งเข้ากับ แอดเดรส ทาง column โดยใช้วงจร full adder โดยค่าที่บวกเข้ากับ แอดเดรส ทาง column นี้จะเป็นค่า 1-128 (A_6 A_5 A_4 A_3 A_2 A_1 A_0) เพื่อจะได้เกิดการเลื่อน (shift) ขึ้นทำให้ column ที่เพิ่งจะถูก entry data เข้ามาใหม่ถูกนำออกแสดงทางจอภาพในตำแหน่งขวาสุดตลอด จึงทำให้เหมือนกับสัญญาณวิ่งจากขวาไปซ้ายตลอดเวลา

โดยในรูปที่ 3.27 นี้จะอธิบายเพียงแชนแนลเดียวแชนแนลที่เหลือก็ทำงานในลักษณะเดียวกัน แต่ทุกแชนแนล จะอิสระจากกัน การทำงานเป็นดังนี้

เมื่อเปิดสวิทช์ power ก็จะเป็นการเริ่มทำงานในช่วงการ entry data เข้าสู่ ram 2 และเริ่มแสดงผล (display) ตั้งแต่เส้นสแกนเส้นแรกจนถึงเส้นสุดท้าย ขณะนี้ยังไม่มีสัญญาณ reset ram 2 เพราะฉะนั้นค่าที่บวกเข้ากับแอดเดรสทาง column ก็จะเป็น 0000 000 เพราะฉะนั้นแอดเดรสนี้ก็จะไปอ้างที่ ram 1 ที่ตำแหน่งปกติ (ซึ่งขณะนี้ ram 1 ยังไม่มี data เลย) คือเริ่มจาก column 1 ไปยัง column 128 เมื่อเลิก display และกำลังอยู่ในช่วง vblnk ก็จะมีการ reset 1 ที่ตำแหน่งที่ 1 ทางcolumn (มี 1-128 column) และ transfer ลงไปยังตำแหน่งที่เพิ่งจะถูก reset ก็คือ column ที่ 1นั่นเอง เมื่อ transfer เสร็จก็จะมีสัญญาณ reset 2 เพื่อล้าง (clear) ram 2 เตรียมรับ ข้อมูล จาก A/D ใหม่ สัญญาณ reset 2 นี่เองจะไปปิน clockให้กับ 4040 ทำให้เมื่อถึงช่วง display แอดเดรสทาง column ที่ถูกกำเนิดออกมาจะถูกบวกด้วย 0000 001 ซึ่งหมายถึงว่าจะมีการเลื่อนแอดเดรสทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

column ไป ๆ column ผลก็คือ การแสดงผลจะนำเอา column ที่ 2 มาแสดงก่อนและ column 1 (ที่เพิ่งถูก transfer data) จะถูกนำมาแสดงเป็น column สุดท้ายทางขวามือ จะเป็นลักษณะนี้ไปตลอดเพียงแต่ในรอบต่อไปค่าที่บวกก็จะเพิ่มขึ้นทีละ 1 เพื่อให้ column ที่เพิ่งถูก transfer ถูกนำออกมาแสดงหลังสุด

และถ้ามีการกดปุ่ม freeze (เป็น "0") เพราะฉะนั้นสัญญาณ reset 2 ที่มีเข้ามาเมื่อแอนกับ "0" ที่ขา freeze ก็จะทำให้ output เป็น "0" เข้าที่ขา clock ของ 4040 เพราะฉะนั้นค่าที่จะนำไปบวกก็จะยังคงเดิม ทำให้ภาพที่ถูกแสดงออกมาหยุดนิ่ง เนื่องจากมีการเริ่ม display ที่ตำแหน่ง column เดิมตลอด

การทำงานของวงจรทั้งหมด

เพื่อให้ความละเอียดของภาพที่ปรากฏ มีรายละเอียดเพิ่มขึ้น ดังนั้นจึงต้องเพิ่มหน่วยความจำภาพ (memory map) ให้มีค่าสูงขึ้นและจำนวนจุดภาพในหนึ่งเส้นสแกนทางแนวนอนจะสูงขึ้นไปด้วย จะต้องใช้ความถี่คริสตอลเพิ่มไปด้วย โดยในที่นี้จะใช้หน่วยความจำภาพ 8 kbyte/ch ดังนั้นหน่วยความจำภาพทั้งหมดจะมี 32 kbyte ใน 4 แชนแนล โดยแบ่งเป็นหน่วยความจำในแนว column 128 byte หน่วยความจำในแนว row 256 byte ทำให้ความละเอียดของจุดมีเพิ่มขึ้นจากเดิมคือ 32*8*256 =65,536 จุด เป็น 128*8*256 = 262,144 จุด

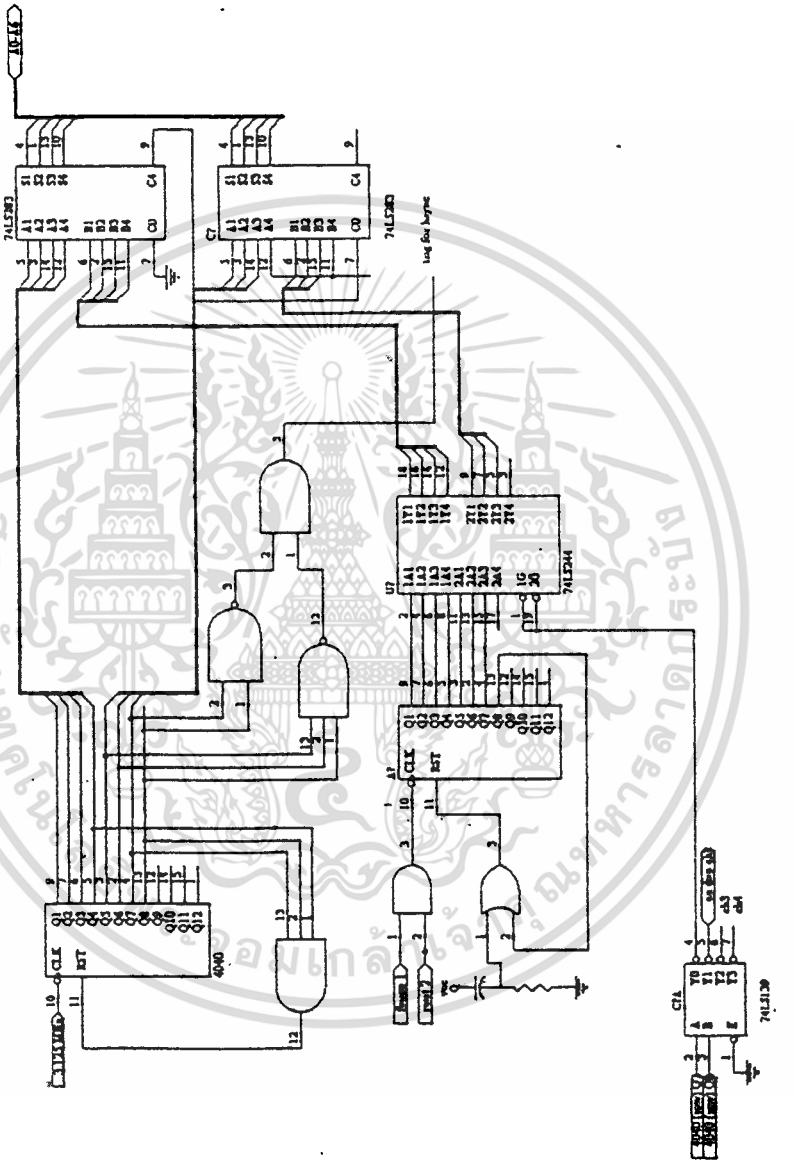
จำนวนจุดตามเส้นสแกนในแนวนอนจะมี 128*8 = 1024 จุด (bit) ตามจำนวน bit ของหน่วยความจำในแนว column และเมื่อใช้ความถี่ในการแสดงจุดภาพในแนวนอน 25 MHz ในขณะที่หนึ่งเส้นสแกนใช้เวลา 64 μs และหนึ่งจุดภาพใช้เวลา 1/25 MHz = $40*10^{-9}$ วินาที ดังนั้นจำนวนจุดภาพใน 64 μs คือ 64 μs /$40*10^{-9}$ = 1600 จุด แต่จำนวนจุดที่แสดงคือ 1024 จุดเท่านั้นจำนวนจุดที่ เหลือคือ 1600 - 1024 = 576 จุด จะเป็นจำนวนจุดที่ถูกแบล็งค์และรีเทรซ

ผลจากการกำหนดหน่วยความจำในแนว column 128 byte และหน่วยความจำในแนว row 256 byte และหน่วยความจำในแนว row 256 byte ทำให้ขณะแสดงผลเส้นสแกนในแนวนอน (horizontal scanline) มีจำนวนจุด 1024 จุด (128 byte *8 bit) อีก 576 จุดเป็นช่วงแบล็งค์และรีเทรซ และมีจำนวน 256 เส้นแบบไม่มี interlace คือ 1 เฟรม = 1 ฟิลด์ และมี 50 ฟิลด์/วินาที (vertical blank)

การทำงานของวงจรมี 4 ขั้นตอน

1. display and entry
2. reset ram 1
3. transfer data
4. reset ram 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 วงจรแสดงภาพเคลื่อนไหวและหยุดภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในช่วง display 1 ฟิลด์จะใช้เวลา 64 μs *256 =0.016384 วินาที (16.384 ms) ในขณะช่วง verblnk จะใช้เวลา 1/50 -0.016384 = 0.003616 วินาที (3.616 ms)

การสแกนของเส้นสแกนทางแนวนอน (horizontal scanline) จะมี 256 เส้นสแกนในขณะที่เหลืออยู่จะอยู่ในช่วงแบล็งค์ และนำเอาข้อมูลจาก ram มาแสดง ตามลำดับการนับของ counter ความถี่ของการสแกนทางแนวนอนที่มีค่าประมาณ 15,625 Hz เนื่องจากความไม่แน่นอนของ counter ในช่วง delay กับการ decode เพื่อกลับ reset counter จะมีค่าพอที่ทำให้ภาพไม่ล้อมหรือเลื่อนและมีจำนวนภาพ 50 ภาพ/วินาที ดังนั้นการสแกนของลำอิเลคตรอนจะไม่เป็นแบบ interlace แต่จะสแกนทับเส้นสแกนเดิมทุกครั้ง และข้อมูลที่นำออกมาแสดงจะแตกต่างกันออกไป ดังนั้น 1 เฟรม จะประกอบด้วย 1 ฟิลด์ เป็นจำนวน 50 ฟิลด์/วินาที และแต่ละฟิลด์มี 256 เส้นสแกน (64*4 = 256) สำหรับแสดง 4 แชนแนล

ในช่วง display จะมีการ entry data พร้อมกันไปด้วย การ entry data อินพุทจะถูกแซมปลิ้งด้วยความเร็วเท่ากับอัตราการป้อนของ clock ทางด้าน row หารด้วย 8 สามารถกำหนดได้ว่า แซมปลิ้งเป็นเท่าไรขึ้นอยู่กับความถี่ของสัญญาณอินพุทที่เข้ามา ระยะเวลาในการ entry สามารถคำนวณได้โดย

จำนวน bit ในหน่วยความจำ/ความถี่ในการแซมปลิ้ง

ในที่นี้จำนวน bit ที่จะทำการ entry ข้อมูลเข้ามี 8 bit และเวลาในการ entry คือ ระยะเวลาในการ display คือ 16.384 ms ดังนั้นผลที่ได้จะได้ความถี่ในการแซมปลิ้ง 8/16.384 ms = 488.28125 Hz จะมีการแซมปลิ้งเป็นจำนวน 8 ครั้ง

ในช่วง reset ram 1 ช่วงเวลาในการ reset จะเป็นดังนี้ คือ ความถี่ในการ reset ใช้ 3.125 Mhz (25 Mhz/8 = 3.125 Mhz) จำนวน byte ในการ reset คือ 256 byte 1 column ของ 4 แชนแนล

เพราะฉะนั้นเวลาในการ reseet ram 1 = 256/3.125 Mhz = $8.192*10^{-5}$ s ในช่วง reset ram 2 ช่วงเวลาในการ reset จะเท่ากับการ reset ram 1 เนื่องจากว่าใช้ความถี่ในการ reset เท่ากัน และจำนวน byte ในการ reset คือ 256 byte เช่นกัน

ในช่วงทรานเฟอร์คาต้า ก็จะใช้ความเร็วของ clock เท่ากับ 3.125 Mhz เช่นกัน ดังนั้นเวลาของการ reset ram 1 reset ram 2 และทรานเฟอร์คาต้าของ ram 2 ไป ram 1 จะใช้เวลาทั้งหมด $3*8.192*10^{-5} = 2.4576*10^{-4}$ s

ระยะเวลาในการแซมปลิ้งแต่ละลูกจะเป็นดังนี้ คือในการแสดงภาพ 1 ครั้ง จะนาน 256*64 μs = 16.384 ms และในแต่ละช่วงเวลา display จะมีการแซมปลิ้งทั้งหมด 8 ครั้ง ดังนั้น ระยะห่างของการแซมปลิ้งแต่ละครั้งจะเป็น 16.384 ms/8 = $2.048*10^{-3}$ s หรือความถี่ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแซมปลิ้งเท่ากับ 488.2815 Hz ซึ่งเมื่อเทียบกับช่วงระยะเวลาในการ reset ram 1 reset ram 2 และทรานเฟอร์ค่าต้าแล้วจะเห็นว่าใน 3 ช่วงดังกล่าว สามารถกระทำเสร็จก่อนแซมปลิ้งลูกที่ 1 จะเริ่มต้นและเหลือช่วงเวลาอีก $2.048*10^{-3} - 2.4576*10^{-4}$ s = $1.80224*10^{-3}$ s

ในส่วน A/D จะใช้แอดเดรสจำนวน 6 เส้น $2^6 = 64$ เป็นตัวอ้างแอดเดรสในแนว row เพื่อให้ได้ 64 row/แชนแนล ในการแสดงสัญญาณ 4 แชนแนล มากกว่า 64 แล้วจะทำให้เกินช่วงเส้นสแกนใน 1 เฟรมซึ่งมีไม่เกิน 256

การแสดงรูปคลื่นสัญญาณหัวใจจะแสดงได้แยกจากกันเป็น 4 แชนแนล แต่ละแชนแนลจะเป็นข้อมูลเดียวกัน คือภาพจะออกมาเหมือนกัน 4 ภาพ เมื่อทำการหยุดภาพ (freeze) ก็เพียงแต่ให้ทำการอ่านข้อมูลจากหน่วยความจำมารวมกับสัญญาณซิงค์

ในวงจรนี้จะสามารถแยกช่วงเวลาในขณะที่ทำการ display ออกเป็นช่วงย่อยๆ ได้โดยในขณะที่ทำการ display จะเก็บข้อมูลพร้อมกันไปด้วย เนื่องจากใช้ ram 2 ตัว ดังนั้นข้อมูลที่ได้จึงไม่มีการสูญหายไป

ในขณะที่ display อยู่จะไม่มีการกระพริบเนื่องจากว่าไม่ต้องไปทำการ reset ram ตลอดทั้งหมดเพียงแต่ reset column ที่กำหนดเท่านั้น เพียง 256 byte และการ reset ram จะกระทำในช่วงเวลาของการ blank ทางด้าน ver ทำให้ไม่ไปรบกวนการแสดงผลทางจอภาพ

ในวงจรนี้จะแบ่งช่วงเวลาในขณะที่ display ออกมาเป็นช่วงย่อยๆทั้งหมด 8 ช่วง เพื่อจะทำการเขียนข้อมูลลง ram 6116 คือรับอินพุทในขณะที่ display (read) 6264 อยู่ ทำให้ไม่เกิดการสูญหายของข้อมูล ดังนั้นในขณะที่ display สัญญาณอินพุท ภาพที่แสดงออกมาที่จอภาพจะไม่กระพริบและเก็บข้อมูลใหม่ไปพร้อมๆกันด้วยได้และสามารถเลื่อนจากขวามาซ้ายได้ เป็นการแสดงภาพเคลื่อนไหวซึ่งเกิดจากวิธีการแสดงผลโดยการ shift แอดเดรสในการ display ไป 1 byte ทุกๆครั้งในการ display โดยใช้วงจรบวก (adder) ภาพที่แสดงจะแยกออกเป็นแชนแนลได้ โดยแต่ละแชนแนลเป็นสัญญาณคนละสัญญาณกัน สามารถหยุดภาพในแต่ละแชนแนลได้อิสระ

เนื่องจากว่าในแต่ละแชนแนลจะมี ram อยู่ 1ตัว ดังนั้นในการ display ram ตัวใดทำให้เกิดความยุ่งยากของวงจรในส่วน decode

และในการ display ram แต่ละตัวจะมี IC4040 4 ตัวคอยกำหนดว่า ram แต่ละตัว แอดเดรสในการ display จะเริ่มต้นที่ตำแหน่งแอดเดรสเป็นเท่าใดเพื่อในขณะหยุดภาพแชนแนลใดจะทำการหยุดการป้อน clock ให้ 4040 แชนแนลนั้นทำให้ 4040 บอกแอดเดรสคงที่ ดังนั้นแชนแนลนั้น การshift ของแอดเดรสจะไม่เกิดขึ้น memory ของแชนแนลนั้นก็จะนำข้อมูลออกมาซ้ำกันและต้องมีการป้องกันไม่ให้มีการทรานเฟอร์ ข้อมูลใหม่และ reset ของแชนแนลที่หยุดนั้นด้วย เพื่อข้อมูลจะยังอยู่เหมือนเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นในขณะที่หยุดภาพนั้นจะไม่มีการ shift address ของแชนแนลนั้นด้วยและเป็นเหตุผลในการที่ต้องเลือกใช้ ram 4 ตัวต่อ 4 แชนแนล เพื่อสามารถแยกการ display ให้เป็นอิสระจากกันแต่จะยุ่งยากที่วงจรคอนโทรลในการเขียนและอ่าน ram แต่ละตัว

ในขั้นตอนการรับข้อมูลเข้ามาไม่มีการ multiplex ของสัญญาณแต่ในที่นี้เราจะต้องรับสัญญาณอินพุทถึง 4 สัญญาณพร้อมกันโดยออกแบบวงจรนับให้สัมพันธ์กับสัญญาณแซมปลิ้งและไปควบคุมแอดเดรสของ A/D ในการมัลติเพล็กซ์ ซึ่งผลก็คือสามารถรับอินพุทได้พร้อมกัน 4 แชนแนล สัญญาณแต่ละสัญญาณและแซมปลิ้งจะทำให้เกิดการเขียนเข้าไปตามบิทที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

4.1 ส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลและส่วนสร้างสัญญาณแซมปลิ้ง

เมื่อป้อนสัญญาณ CLK 1 Mhz เข้าที่ขา 10 ของ ADC0809 แล้ว set ขา A_0 , A_1 เพื่อเลือกแชนแนลที่ต้องการ ป้อนสัญญาณอินพุทเข้า IN0-IN3 วัดค่า D0-D7 ตามอินพุทที่ป้อนให้ตามตาราง

INPUT	D0	D1	D2	D3	D4	D5	D6	D7
5V	1	1	1	1	1	1	1	1
4V	1	1	1	1	0	0	1	1
2.5V	1	1	0	0	0	0	0	1
1V	1	1	0	0	1	0	0	1
0V	0	0	0	0	0	0	0	0

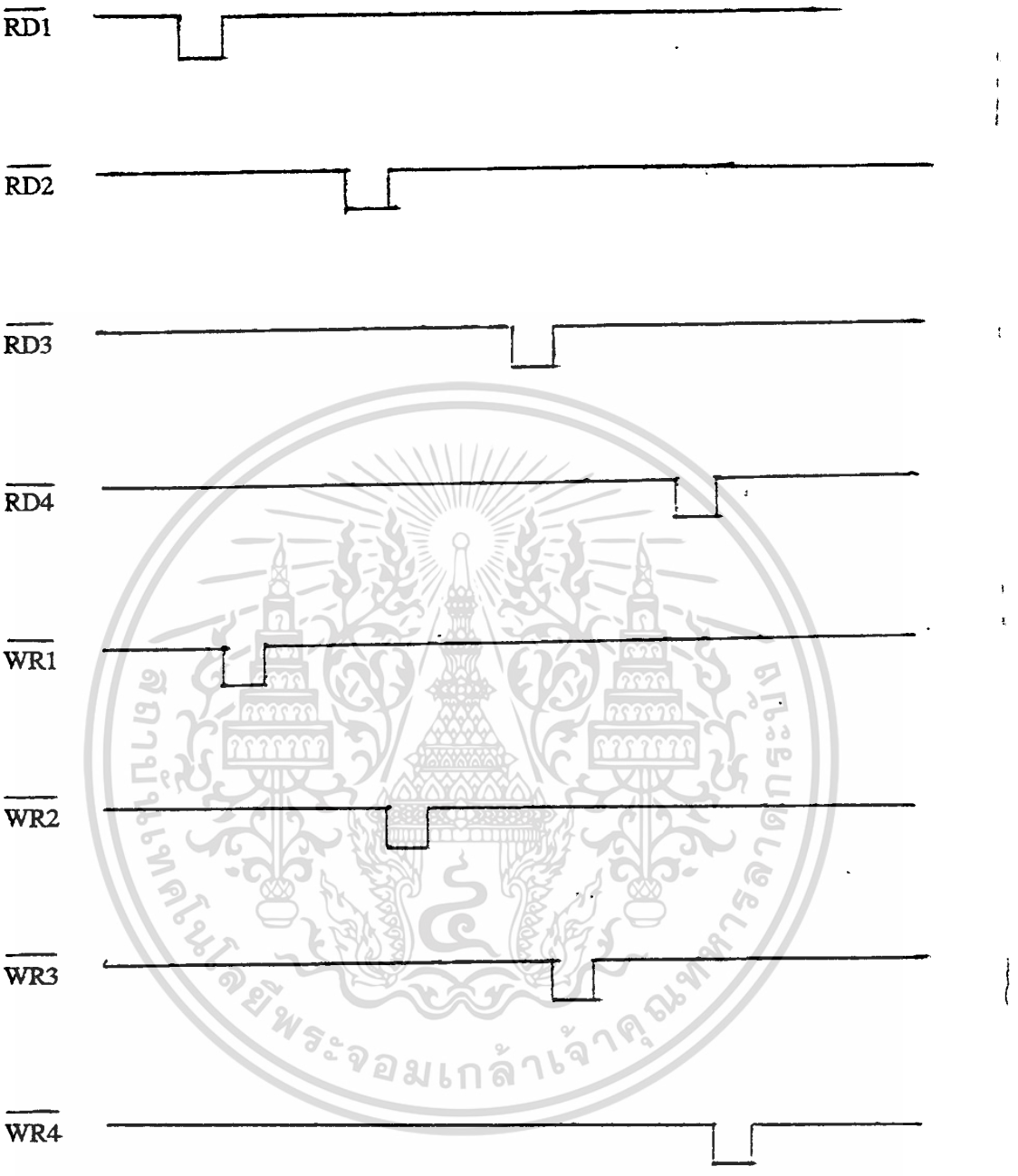
ตารางที่ 4.1 แสดงค่า D0-D7 ตามอินพุทที่ป้อนเข้ามา

4.2 ส่วนสร้างสัญญาณ RDCH-WRCH

สามารถสร้างสัญญาณ RDCH-WRCH โดยใช้ IC 74LS123 ซึ่งเป็นตัว Multivibrator ต้องการความกว้างของ Pulse (t_w) = 0.28 μs

จาก databook $t_w = R_{ext} * C_{ext}$ ดังนั้นจึงต้องใช้ R_{ext}ที่ต่อกับขา 15 มีค่า 15K และ C_{ext}ต่อระหว่างขา 15 และ 14 มีค่า 1000pF ทำการทดลองโดยป้อน CLK เข้าที่ขา 14 ของ 4017 ซึ่งทำหน้าที่เป็น decade counter โดยเริ่มต้นจะมีสัญญาณ 1 ที่ขา Q_0ไปทริกให้ 74LS123 ตัวที่ 1 ทำงาน ได้สัญญาณ RD CH1 ที่ขา 4 และสัญญาณนี้จะไปทริกให้ 74LS123 ตัวที่ 2 ทำงานได้ WR CH1 ที่ขา 4 เป็นเช่นนี้จนได้สัญญาณ RD CH1-RD CH4 และ WR CH1-WRCH2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 สัญญาณ $\overline{RD1}$-$\overline{RD4}$ และ $\overline{WR1}$-$\overline{WR4}$ ที่ได้จากการวัด

4.3 ส่วนแสดงภาพและส่วนสร้างสัญญาณซิงค์

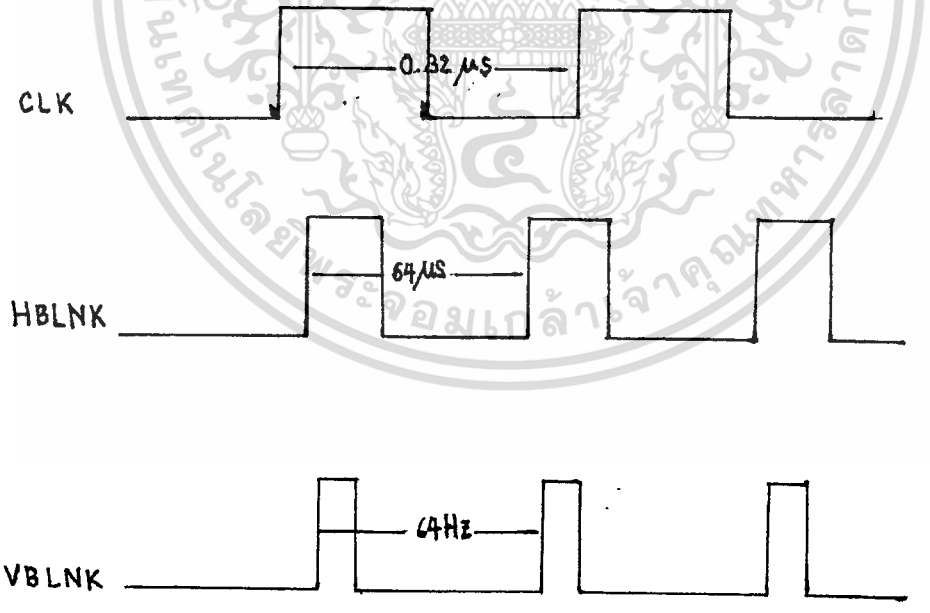
สัญญาณ CLK ที่ได้จากCrystal 25 Mhz เมื่อผ่าน IC 74ls139 ซึ่งทำการหารให้ได้ความถี่ 3.125 Mhz นำความถี่นี้มาป้อนให้ IC 4040 ซึ่งเป็น 12-STAGE BINARY COUNTER ที่ขา 10 โดยต่อ IC 4040 ให้เป็นวงจรหาร 200 จะได้ เอาท์พุทที่ขา 13 เป็นสัญญาณ HBLNK มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ 15,625 HZ นำความถี่นี้มาผลิตสัญญาณ VBLNK โดยผ่าน IC 4040 อีกตัวหนึ่งให้เป็นวงจรหาร 312 จะได้ VBLNK ที่ขา 12 ให้ได้ความถี่ 50 Hz แต่จากกทดลองได้ความถี่ 64 Hz

(a) วงจรหาร 200 (HBLNK) (b) วงจรหาร 312 (VBLNK)

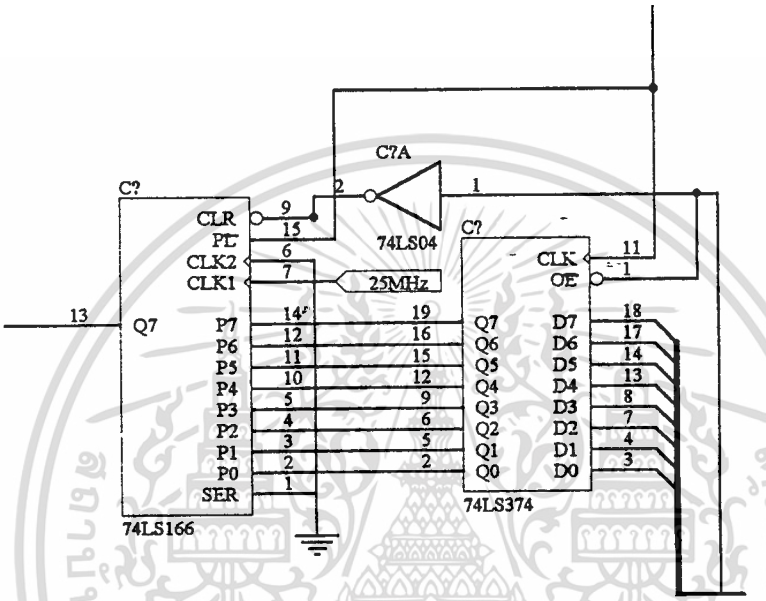
รูปที่ 4.2 วงจรสร้างสัญญาณ HBLNK และ VBLNK



รูปที่ 4.3 สัญญาณ HBLNK และ VBLNK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนการแสดงภาพจะนำ DATA ที่เก็บไว้ใน RAM2 มารวมกับสัญญาณชิงค์ โดย DATA จะออกมาทีละบิทจาก74LS166 (8-bit Serial/Parallel-In ,Serial out Shift Register) โดยมีสัญญาณ DISP CH 1-4 ควบคุม 6264 ว่าตัวใดจะทำการส่ง DATA มาให้ 74LS166 สามารถทำการทดลองได้โดย set ค่า D0-D7 ของ 74LS374 ไว้ แล้วจะได้ข้อมูลออกมาทีละบิทที่ขา 13 ของ 74LS166 ตามค่าที่ set ไว้



รูปที่ 4.4 วงจร SHIFT REGISTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

ปัญหาที่พบซึ่งทำให้การทดลองไม่เป็นไปตามวัตถุประสงค์ สามารถแบ่งเป็นข้อๆ ได้ดังนี้

1. สัญญาณ VBLNK มีค่าไม่เป็นไปตามที่คาดไว้ ทำให้การทำงานของวงจรไม่ถูกต้อง อาจจะเกิดจากวงจรหารทำงานไม่เป็นไปตามค่าที่ตั้งไว้ ซึ่งอาจจะเกิดจากทำการเดินสายไม่ดีทำให้เกิดสัญญาณรบกวนที่ counter 4040 ทำให้สัญญาณ VBLNK ที่ได้ผิดพลาด

2. เมื่อนำสัญญาณ VBLNK ,HBLNK ป้อนเข้าไปในส่วนสร้างสัญญาณแซมปลิ้ง และส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลแล้วสัญญาณ VBLNK,HBLNK มาไม่สม่ำเสมอ ทำให้ส่วน แปลงสัญญาณอนาลอกเป็นดิจิตอลไม่สามารถทำงานได้

3.เมื่อนำวงจรแต่ละแผ่นมาต่อรวมกันทำให้วงจรทำงานไม่เป็นไปตามวัตถุประสงค์ ดังนั้นจึงควรนำวงจรทั้งหมดมาเดินสายภายในแผ่นเดียวกัน

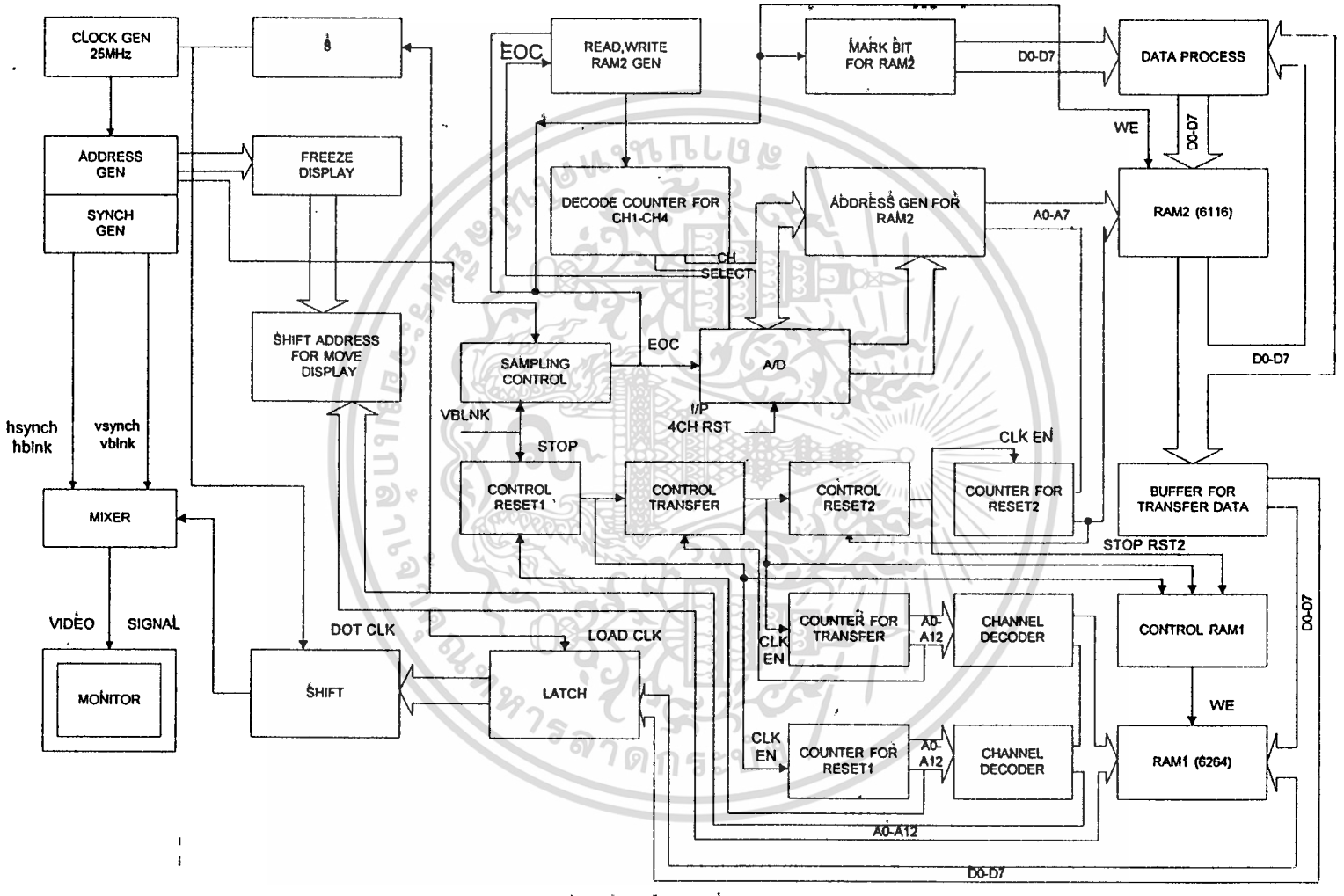
4. การเดินสายไฟและสัญญาณต่างๆ อาจเกิดสัญญาณรบกวนได้ทำให้สัญญาณที่ได้ไม่เป็นไปตามที่คาดไว้ ดังนั้นจึงควรเดินสายไฟ เช่น สายไฟเลี้ยง สัญญาณนาฬิกา ให้สั้นที่สุดและควรมีคาร์ปาซิเตอร์ลดสัญญาณรบกวนที่ตัว IC ทุกตัว

5. IC ที่ใช้ควบคุมหน่วยความจำประกอบด้วยบัฟเฟอร์จำนวนมากและวงจรส่วนควบคุมเพื่อสร้างสัญญาณควบคุมจะใช้ IC ในการ decode มากพอสมควรถ้าหากสามารถลด IC ลงได้ โดยการใช้ CPU สร้างสัญญาณคอนโทรลจะทำให้ลดอุปกรณ์ในการควบคุมลงไปมากและจะทำให้เกิดความแน่นอนในการทำงานของวงจรมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



BLOCK DIAGRAM

National Semiconductor Corporation

ADC0808, ADC0809 8-Bit μP Compatible A/D Converters with 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

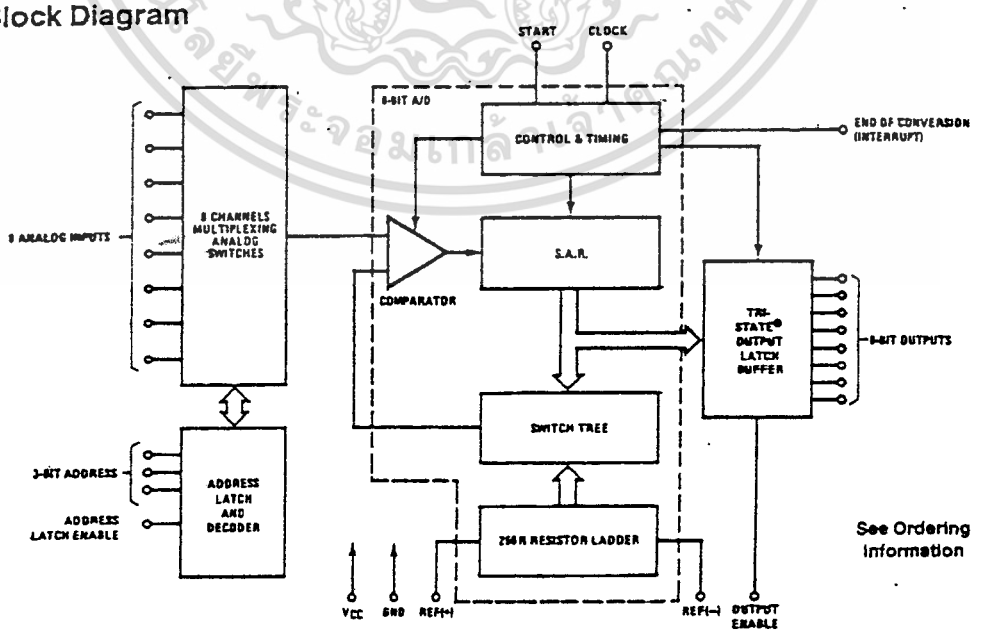
Features

- Easy interface to all microprocessors
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- No zero or full-scale adjust required
- 8-channel multiplexer with address logic
- 0V to 5V input range with single 5V power supply
- Outputs meet TTL voltage level specifications
- Standard hermetic or molded 28-pin DIP package
- 28-pin molded chip carrier package

Key Specifications

Resolution	8 Bits
Total Unadjusted Error	±½ LSB and ±1 LSB
Single Supply	5 V_{DC}
Low Power	15 mW
Conversion Time	100 μs

Block Diagram



See Ordering Information

TL/H/5672–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	$-0.3V$ to ($V_{CC}+0.3V$)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	$-0.3V$ to $+15V$
Storage Temperature Range	$-65°C$ to $+150°C$
Package Dissipation at $T_A = 25°C$	875 mW
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Molded Chip Carrier Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
ESD Susceptibility (Note 11)	400V

Operating Conditions (Notes 1 & 2)

Temperature Range (Note 1)	$T_{MIN} \le T_A \le T_{MAX}$
ADC0808CJ	$-55°C \le T_A \le +125°C$
ADC0808CCJ, ADC0808CCN, ADC0809CCN	$-40°C \le T_A \le +85°C$
ADC0808CCV, ADC0809CCV	$-40°C \le T_A \le +85°C$
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0 V_{DC}

Electrical Characteristics

Converter Specifications: $V_{CC} = 5\ V_{DC} = V_{REF+}$, $V_{REF(-)} = GND$, $T_{MIN} \le T_A \le T_{MAX}$ and $f_{CLK} = 640$ kHz unless otherwise stated.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	ADC0808					
	Total Unadjusted Error	25°C			±½	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±¾	LSB
	ADC0809					
	Total Unadjusted Error	0°C to 70°C			±1	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±1¼	LSB
	Input Resistance	From Ref(+) to Ref(−)	1.0	2.5		kΩ
	Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND−0.10		$V_{CC}+0.10$	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	$V_{CC}+0.1$	V
$\frac{V_{REF(+)}+V_{REF(-)}}{2}$	Voltage, Center of Ladder		$V_{CC}/2-0.1$	$V_{CC}/2$	$V_{CC}/2+0.1$	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
I_{IN}	Comparator Input Current	$f_C = 640$ kHz, (Note 6)	−2	±0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ $4.5V \le V_{CC} \le 5.5V$, $-55°C \le T_A \le +125°C$ unless otherwise noted ADC0808CCJ, ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, $4.75 \le V_{CC} \le 5.25V$, $-40°C \le T_A \le +85°C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
$I_{OFF(+)}$	OFF Channel Leakage Current	$V_{CC} = 5V$, $V_{IN} = 5V$, $T_A = 25°C$		10	200	nA
		T_{MIN} to T_{MAX}			1.0	μA
$I_{OFF(-)}$	OFF Channel Leakage Current	$V_{CC} = 5V$, $V_{IN} = 0$, $T_A = 25°C$	−200	−10		nA
		T_{MIN} to T_{MAX}	−1.0			μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ $4.5V \le V_{CC} \le 5.5V$, $-55°C \le T_A \le +125°C$ unless otherwise noted ADC0808CCJ, ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, $4.75 \le V_{CC} \le 5.25V$, $-40°C \le T_A \le +85°C$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		$V_{CC}-1.5$			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	$V_{IN}=15V$			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	$V_{IN}=0$	−1.0			μA
I_{CC}	Supply Current	$f_{CLK}=640$ kHz		0.3	3.0	mA
DATA OUTPUTS AND EOC (INTERRUPT)						
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O=-360$ μA	$V_{CC}-0.4$			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O=1.6$ mA			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	$I_O=1.2$ mA			0.45	V
I_{OUT}	TRI-STATE Output Current	$V_O=5V$ $V_O=0$	 −3		3	μA μA

Electrical Characteristics

Timing Specifications $V_{CC}=V_{REF(+)}=5V$, $V_{REF(-)}=GND$, $t_r=t_f=20$ ns and $T_A=25°C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	*(Figure 5)*		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	*(Figure 5)*		100	200	ns
t_S	Minimum Address Set-Up Time	*(Figure 5)*		25	50	ns
t_H	Minimum Address Hold Time	*(Figure 5)*		25	50	ns
t_D	Analog MUX Delay Time From ALE	$R_S=0\Omega$ *(Figure 5)*		1	2.5	μS
t_{H1}, t_{H0}	OE Control to Q Logic State	$C_L=50$ pF, $R_L=10$k *(Figure 8)*		125	250	ns
t_{1H}, t_{0H}	OE Control to Hi-Z	$C_L=10$ pF, $R_L=10$k *(Figure 8)*		125	250	ns
t_C	Conversion Time	$f_c=640$ kHz, *(Figure 5)* (Note 7)	90	100	116	μS
f_c	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	*(Figure 5)*	0		8 + 2 μS	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE Output Capacitance	At TRI-STATE Outputs, (Note 12)		10	15	pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute $0V_{DC}$ to $5V_{DC}$ input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See *Figure 3*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence *(Figure 6)*. See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

Note 8: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

Multiplexer. The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach *(Figure 1)* was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached +½ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

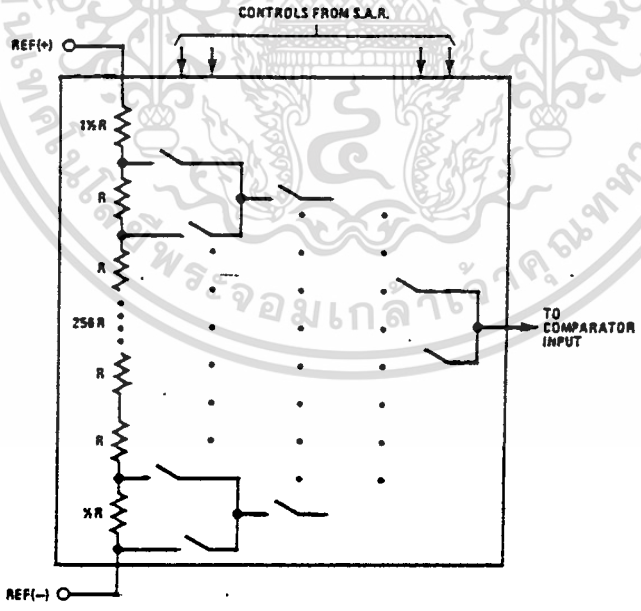


FIGURE 1. Resistor Ladder and Switch Tree

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed throught a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

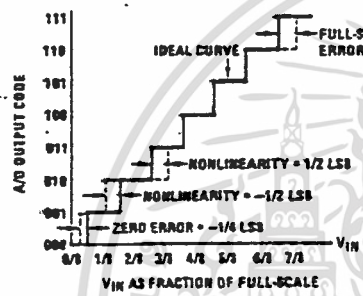


FIGURE 2. 3-Bit A/D Transfer Curve

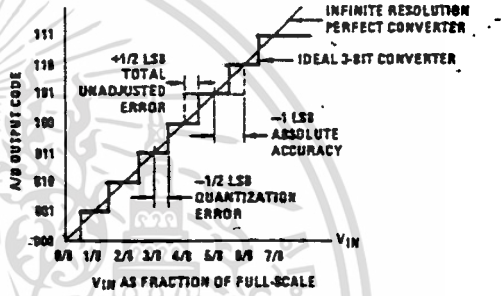


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

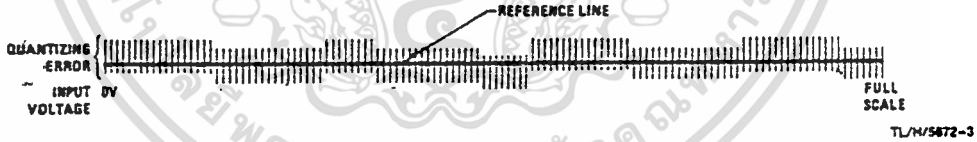
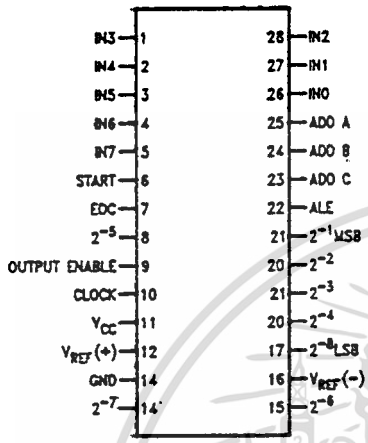


FIGURE 4. Typical Error Curve

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

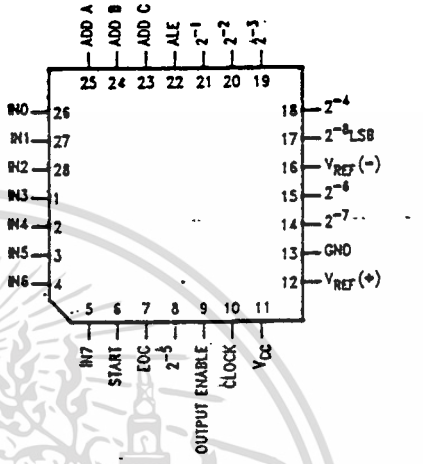
Dual-In-Line Package



TL/H/5672–11

Order Number ADC0808CCN, ADC0809CCN,
ADC0808CCJ or ADC0808CJ
See NS Package J28A or N28A

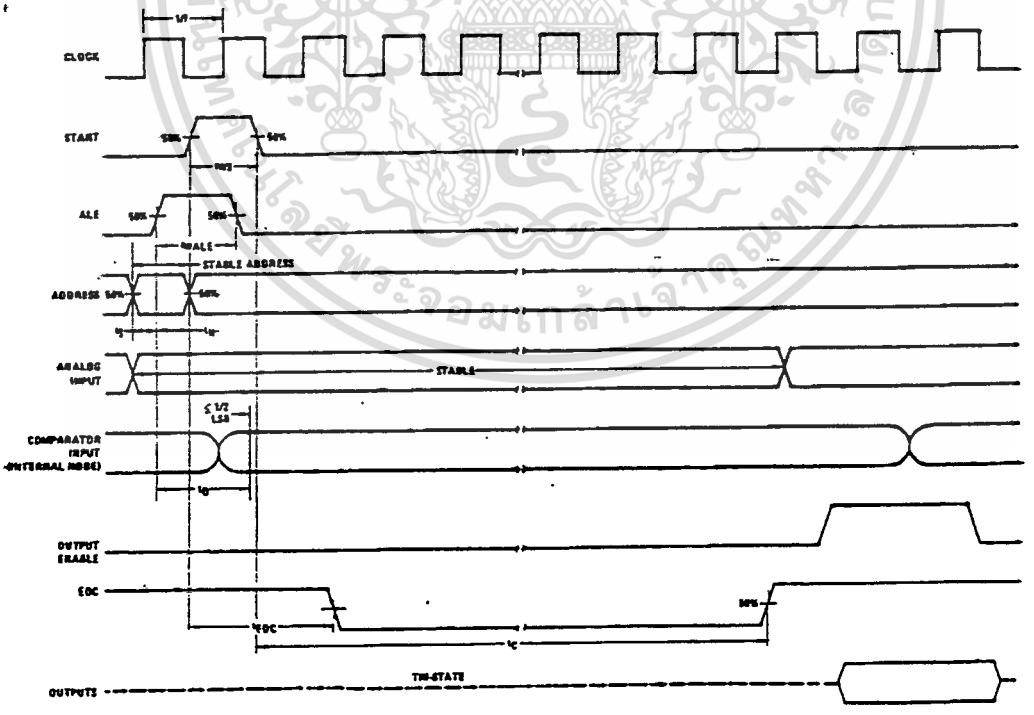
Molded Chip Carrier Package



TL/H/5672–12

Order Number ADC0808CCV or ADC0809CCV
See NS Package V28A

Timing Diagram



TL/H/5672–4

FIGURE 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

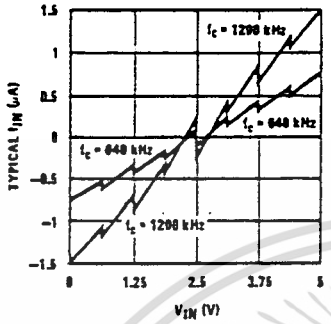
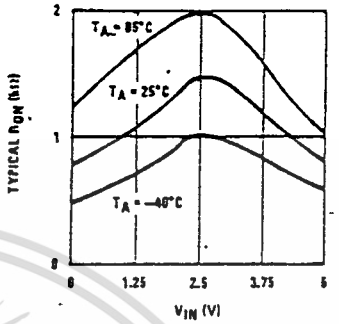


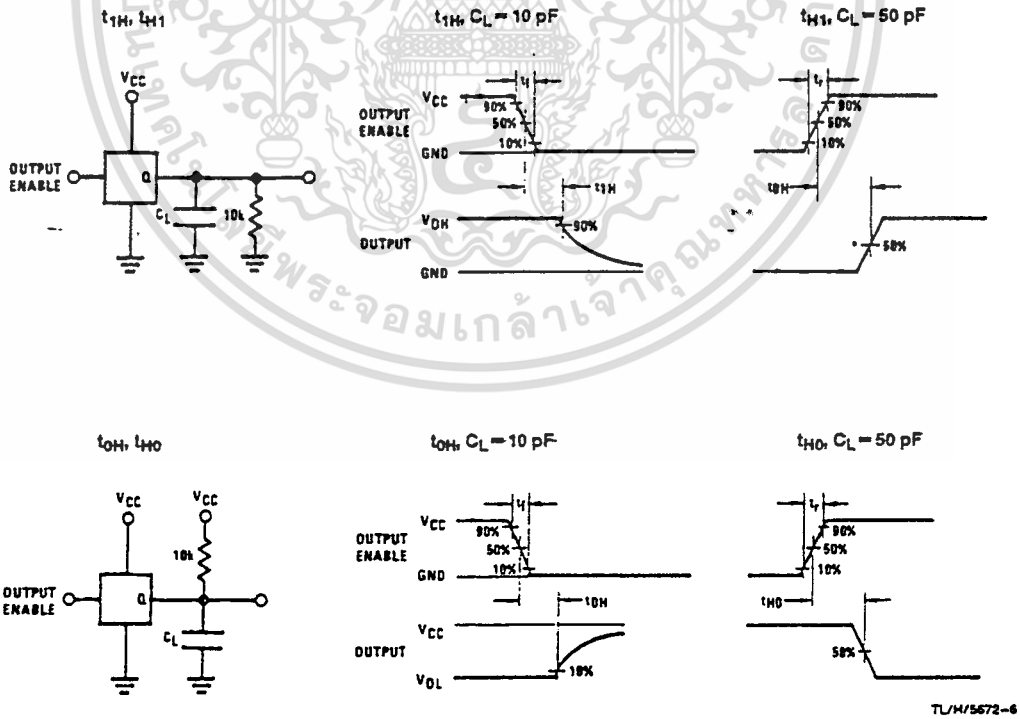
FIGURE 6. Comparator I_{IN} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)



TL/H/5672–5

FIGURE 7. Multiplexer R_{ON} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)

TRI-STATE Test Circuits and Timing Diagrams



TL/H/5672–6

FIGURE 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

OPERATION

1.0 RATIOMETRIC CONVERSION

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN}}{V_{fs}-V_Z}=\frac{D_X}{D_{MAX}-D_{MIN}} \quad (1)$$

V_{IN} = Input voltage into the ADC0808

V_{fs} = Full-scale voltage

V_Z = Zero voltage

D_X = Data point being measured

D_{MAX} = Maximum data limit

D_{MIN} = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, *(Figure 9)*.

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if $V_{CC}=V_{REF}=5.12V$, then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

2.0 RESISTOR LADDER LIMITATIONS

The voltages from the resistor ladder are compared to the selected into 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder, Ref(−), should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

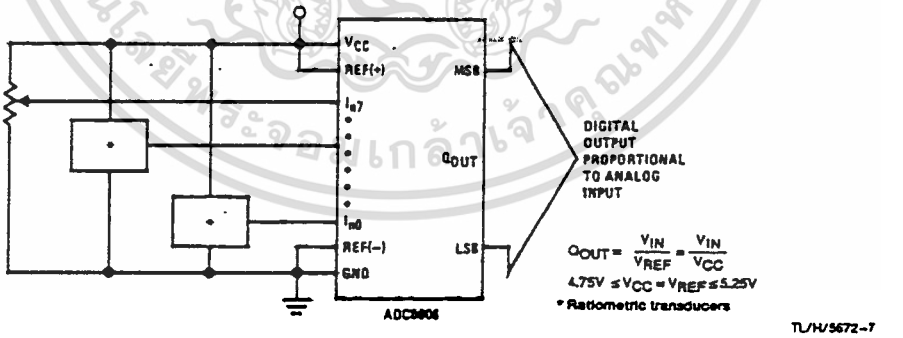


FIGURE 9. Ratiometric Conversion System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In *Figure 11* a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in *Figure 12*. The LM301 is overcompensated to insure stability when loaded by the 10 μF output capacitor.

The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrically less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In *Figure 13*, a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

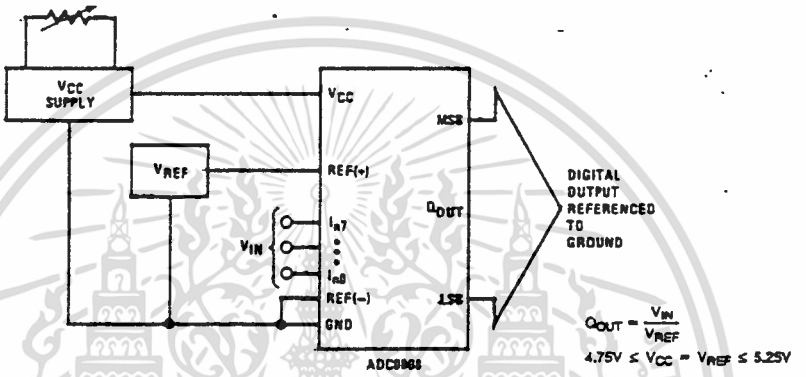


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

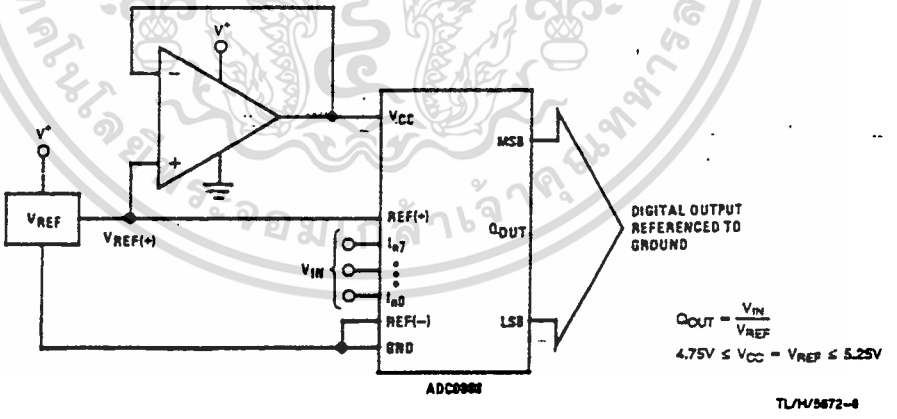


FIGURE 11: Ground Referenced Conversion System with Reference Generating V_{CC} Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

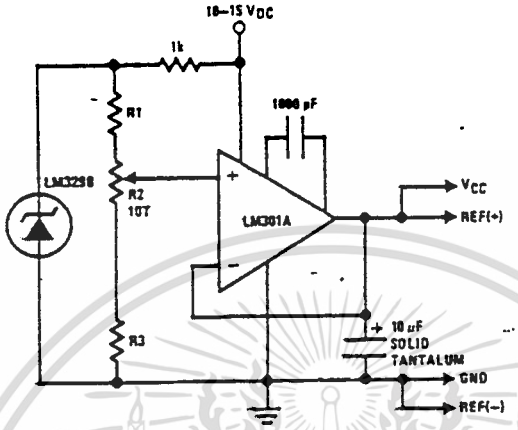
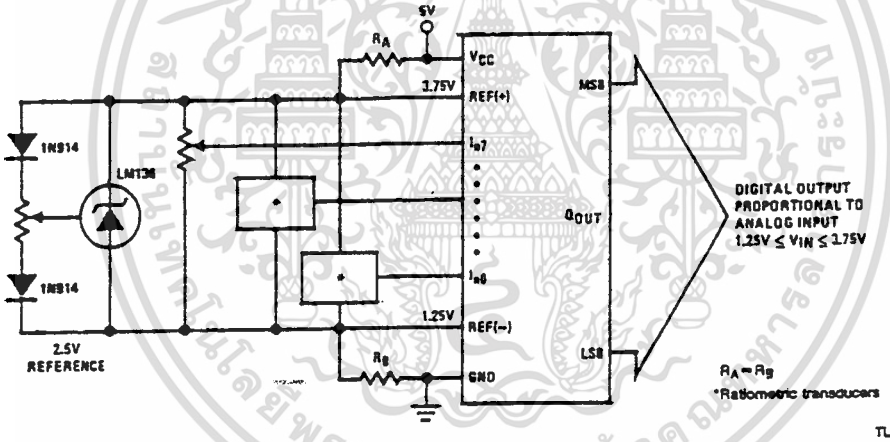


FIGURE 12. Typical Reference and Supply Circuit



TL/H/5672–9

FIGURE 13. Symmetrically Centered Reference

3.0 CONVERTER EQUATIONS

The transition between adjacent codes N and N+1 is given by:

$$V_{IN} = \left\{(V_{REF(+)} - V_{REF(-)})\left[\frac{N}{256} + \frac{1}{512}\right] \pm V_{TUE}\right\} + V_{REF(-)} \quad (2)$$

The center of an output code N is given by:

$$V_{IN}\left\{(V_{REF(+)} - V_{REF(-)})\left[\frac{N}{256}\right] \pm V_{TUE}\right\} + V_{REF(-)} \quad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN} - V_{REF(-)}}{V_{REF(+)} - V_{REF(-)}} \times 256 \pm \text{Absolute Accuracy} \quad (4)$$

where: V_{IN} = Voltage at comparator input

$V_{REF(+)}$ = Voltage at Ref(+)

$V_{REF(-)}$ = Voltage at Ref(−)

V_{TUE} = Total unadjusted error voltage (typically $V_{REF(+)} \div 512$)

4.0 ANALOG COMPARATOR INPUTS

The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder/switch tree network and to the comparator input as part of the operation of the chopper stabilized comparator.

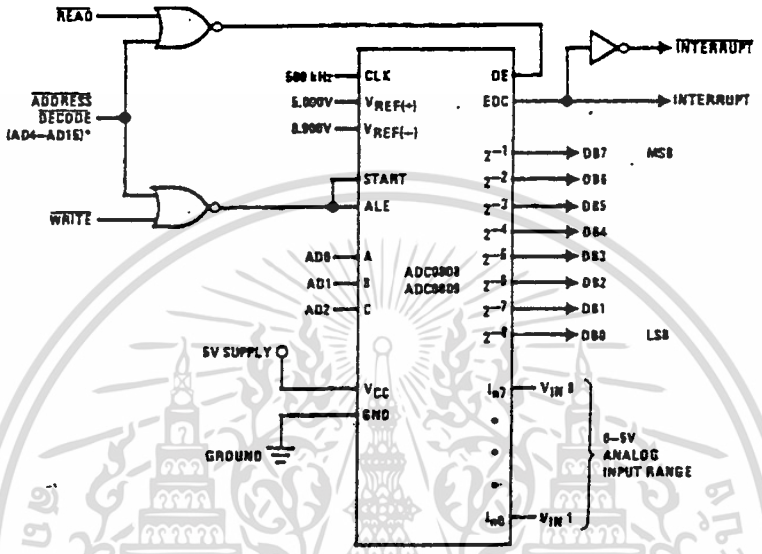
The average value of the comparator input current varies directly with clock frequency and with V_{IN} as shown in *Figure 6*.

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is strobed.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effect can be predicted conventionally.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application



TL/H/5672–10

*Address latches needed for 8085 and SC/MP interfacing the ADC0808 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

PROCESSOR	READ	WRITE	INTERRUPT (COMMENT)
8080	MEMR	MEMW	INTR (Thru RST Circuit)
8085	RD	WR	INTR (Thru RST Circuit)
Z-80	RD	WR	INT (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA•φ2•R/W	VMA•φ•R/W	IRQA or IRQB (Thru PIA)

Ordering Information

TEMPERATURE RANGE		−40°C to +85°C			−55°C to +125°C
Error	±½ LSB Unadjusted	ADC0808CCN	ADC0808CCV	ADC0808CCJ	ADC0808CJ
	±1 LSB Unadjusted	ADC0809CCN	ADC0809CCV		
Package Outline		N28A Molded DIP	V28A Molded Chip Carrier	J28A Ceramic DIP	J28A Ceramic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานนี้สามารถสำเร็จไปได้ด้วยดีทางคณะผู้จัดทำขอขอบคุณอาจารย์ที่ปรึกษา คือ อาจารย์ ประภากร สุวรรณะ ที่ได้ให้คำปรึกษาและแก้ไขปัญหา

ขอขอบคุณเพื่อนๆและพี่ๆที่ให้คำแนะนำต่างๆซึ่งช่วยให้โครงงานนี้สำเร็จไปด้วยดี และ ภาคอิเล็กทรอนิคส์ คณะวิศวกรรมศาสตร์ที่เอื้อเฟื้อสถานที่ และอุปกรณ์ในการทดลองซึ่งทางคณะผู้จัดทำขอขอบคุณทุกท่านมา ณ.ที่นี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1.ดร. ธวัช เมฆสวรรค์, นายโยชิคะชิ ซาวามูระ "เทคนิคการซ่อมเครื่องรับโทรทัศน์สี", สำนักพิมพ์ดวงกมล, 151หน้า, 2528

2.บริษัท ซีเอ็ดยูเคชั่น จำกัด , "คู่มือ IC MICROPROCESSOR และ IC ที่เกี่ยวข้อง" , 666 หน้า, 2536

3.William J.Orvis , "Principle of Television" , MCGRAW-HILL , 432p , 1984

4.Jacob Millman, Arvin Grable , "MICROELECTRONICS" , MCGRAW-HILL , 1001p ,1987

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้