วิทยุรับ - ส่งดิจิตอลย่านความถี่ 27 MHz แบบสังเคราะห์ความถี่

DIGITAL TRANSCEIVER 27 MHz WITH FREQUENCY SYNTHESIZER SYSTEM

โดย

นาย นิตย์ สุวรรณมณี รหัส 38012012

นาย ประแมน แก้วมา รหัส 38012015

นาย ศุภชัย ชุมชนะ รหัส 38012028

วัน เดือน ปี 1 ต.ค. 2541

เลขทะเบียน 038363

เลขเรียกหนังสือ T [illegible]

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ วิทยุรับ - ส่งดิจิตอลย่านความถี่ 27 MHz แบบสังเคราะห์ความถี่

DIGITAL TRANSCEIVER 27 MHz WITH FREQUENCY SYNTHESIZER SYSTEM

ชื่อนักศึกษา	นาย นิตย์	สุวรรณมณี	รหัส	38012012
	นาย ประแมน	แก้วมา	รหัส	38012015
	นาย ศุภชัย	ชุมชนะ	รหัส	38012028

อาจารย์ที่ปรึกษา อาจารย์ดลชัย สุขเจริญผล

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2539

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

....ประธานกรรมการ

( )

....กรรมการ

( )

....กรรมการ

( )

....กรรมการ

( )

....กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิทยุรับ - ส่งดิจิตอลย่านความถี่ 27 MHz แบบสังเคราะห์ความถี่
DIGITAL TRANSCEIVER 27 MHz WITH FREQUENCY SYNTHESIZER SYSTEM

โดย นาย นิตย์ สุวรรณมณี รหัส 38012012
นาย ประแมน แก้วมา รหัส 38012015
นาย ศุภชัย ชุมชนะ รหัส 38012028

อาจารย์ที่ปรึกษา อาจารย์ดลชัย สุขเจริญผล
ปีการศึกษา 2539

บทคัดย่อ

โครงงานนี้เป็นการนำสัญญาณเสียงพูด (Speech Signal) ซึ่งเป็นสัญญาณ Analog มาแปลงให้เป็นสัญญาณ Digital แบบ CVSD (Continuous Variable Slope Delta Modulation) ซึ่งมีข้อดีกว่าระบบ PCM คือ มี bit rate ต่ำกว่า $\cong$ 4 เท่า และการ Modulation ใช้วิธีการ MOD แบบ FSK และนอกจากนี้ได้นำระบบการสังเคราะห์ความถี่ (SYNTHESIZER) มาใช้ด้วย ทำให้สามารถเปลี่ยนช่องความถี่ของสัญญาณ CARRIER ได้ด้วย ระบบการสังเคราะห์ความถี่ (SYNTHESIZER) ในโครงงานนี้ใช้ระบบ Manual

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL TRANSCEIVER 27 MHz WITH FREQUENCY

BY	MR . NIT	SUWANMANEE	CODE 38012012
	MR . PRAMAN	KEAWMA	CODE 38012015
	MR . SUPACHAI	CHUMCHANA	CODE 38012028

ADVISER MR . DOLACHAI SOOKCHAROENPHOL

YEAR 1996

ABSTRACT

This project is designed to modify speech signal which is an analog one into digital signal of CVSD (Continuous Variable Slope Delta Modulation). This CVSD type has advantages over the PCM type in that its bit rate is four times lower and that modulation is effected through MOD of FSK type. Furthermore, the untilisation of the synthesizer has made it possible to modify or alter the frequency of the carrier. This synthesizer, adopted in this project, functions under the manual system.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ด้วยดี ทั้งในส่วนของวงจรที่ใช้ในปริญญานิพนธ์เอกสาร คู่มืออ้างอิง เครื่องมือต่างๆ พร้อมทั้งสถานที่อีกทั้งคำแนะนำ ทั้งนี้ต้องขอขอบพระคุณอาจารย์ดลชัย สุขเจริญผล และ อาจารย์กฤดากร กล่อมการ เป็นอย่างสูง รวมทั้งคุณธวัชชัย ศรีประเสริฐ ที่ให้คำแนะนำ และคำปรึกษา ไว้ ณ ที่นี้ด้วย

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
บทที่ 6	การทดลองและผลการทดลอง	57
บทที่ 7	บทสรุปและวิจารณ์	61
เอกสารอ้างอิง		
ภาคผนวก		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

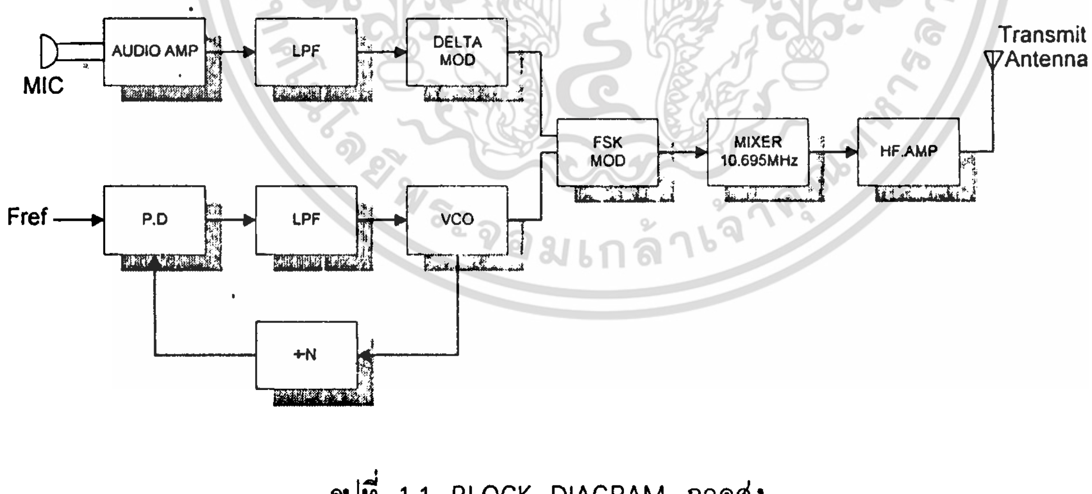
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
หลักการทั่วไปของวิทยุรับ-ส่งแบบดิจิตอล

หลักการทั่วไปของวิทยุรับ-ส่งแบบดิจิตอลแบ่งออกเป็น 2 ส่วนใหญ่ๆ คือ ส่วนของภาคส่ง และส่วนของภาครับ

1.1 หลักการทำงานของภาคส่ง

หลักการทำงานของภาคส่งมีลำดับขั้นตอนการทำงานดังแสดงตาม BLOCK DIAGRAM รูปที่ 1.1 การทำงานของภาคส่งเริ่มจาก MIC CONDENSOR จะทำการเปลี่ยนสัญญาณเสียงพูดให้เป็นสัญญาณทางไฟฟ้า ผ่านเข้าไปทางภาคขยายไมค์เพื่อให้สัญญาณแรงพอที่จะใช้ได้จากนั้นจะส่งผ่านไปยังวงจร LPF เพื่อกรองเอาเฉพาะความถี่ 0 - 4 KHzให้ผ่านไปได้เท่านั้น จากนั้นก็ส่งไปเข้าวงจร Delta Mod ทำการเปลี่ยนสัญญานเสียงจากสัญญาณ Analogให้เป็นสัญญาณ Digital จากนั้นนำมา Modulation กับสัญญาณ Carrier ที่ผลิตโดยวงจร Frequency Synthesizer โดยวงจร Frequency Synthesizer จะผลิตความถี่ประมาณ 17 - 19 MHz โดยมี Step ละ 320 KHz โดย Modulation แบบ FSK จากนั้นนำสัญญาณที่ผ่านการ Modulation แล้วนำมา Mixer กับความถี่ 10.695 MHz จากนั้น ทำการขยายสัญญาณให้แรงขึ้นและผ่านวงจร LPF และส่งออกอากาศ



รูปที่ 1.1 BLOCK DIAGRAM ภาคส่ง

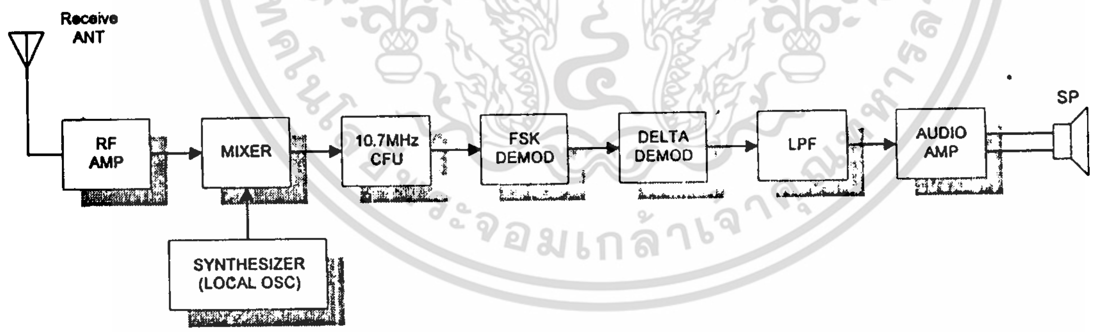
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 หลักการทำงานของภาครับ

การทำงานของภาครับนี้มีลำดับขั้นตอนการทำงานดังแสดงตาม BLOCK DIAGRAM รูปที่ 1.2 โดยเริ่มจากการรับคลื่นความถี่วิทยุที่ผ่านมาทางสายอากาศและผ่านเข้ามาถึงภาคแรกของภาครับคือ ภาค FRONT END หรือเรียกว่า ภาคขยายสัญญาณความถี่วิทยุ (หมายถึง ความถี่ตรงที่ถูกส่งมา) ซึ่งในภาคนี้จะต้องทำการกลั่นกรองความถี่ที่ต้องการเท่านั้นให้เข้ามาได้ดีที่สุดเท่า ที่จะทำได้ ซึ่งก็ยังคงเป็นสัญญาณที่อ่อนมาก และจะทำการขยายให้แรงขึ้นโดย มากจะต้องใช้ทรานซิสเตอร์ที่เป็นพวก LOW NOISE หรือสัญญาณรบกวนต่ำ

ภาค MIXER ภาคนี้จะทำการแปลงความถี่ที่เข้ามา ให้เปลี่ยนเป็นความถี่ IF โดยมากจะทำการเปลี่ยนให้เป็นความถี่ที่ต่ำลงจุดประสงค์ก็เพื่อจะได้ทำการขยายได้ง่ายและนอกจากนั้นยังเป็นการป้องกันความถี่ที่ไม่ต้องการให้ออกไปได้อีกด้วยซึ่งหลักการของการผสมความถี่มีดังนี้ หลังจากที่ภาค FRONT END ขยายสัญญาณออกมาแล้วจะถูกเอามาผสมกับความถี่ ที่ผลิต จากวงจร Frequency Synthesizer ผลที่ได้คือจะเกิดความถี่ใหม่ขึ้นมาทั้งทางรวมกันและต่างกันหรือความถี่ที่บวกกันและลบกันนั่นเอง

ทำการ Filter เอาเฉพาะความถี่ผลต่าง ความถี่ 10.695 MHz ผ่านไปได้เท่านั้นจากนั้นนำมาเข้าวงจร Demod FSK เพื่อให้ได้เป็นสัญญาณ DIGITALจากนั้นนำมาเข้าวงจร DELTA DEMOD ได้สัญญาณเสียงออกมาจากนั้นนำมาผ่านวงจร LPF แล้วทำการขยาย สัญญาณเสียงให้แรงขึ้นแล้วป้อนเข้าสู่ลำโพง



รูปที่ 1.2 BLOCK DIAGRAM ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2

หลักการโดยทั่วไปของการสังเคราะห์ความถี่

2.1 ระบบสังเคราะห์ความถี่

เครื่องรับส่งวิทยุในปัจจุบัน ส่วนใหญ่นิยมใช้วิธีสังเคราะห์ความถี่แทบทั้งนั้นวงจรที่ทำหน้าที่สังเคราะห์ความถี่เรียกว่า Synthesizer ซึ่งแปลว่า สังเคราะห์ ด้วยวิธีสังเคราะห์ความถี่นี้ ทำให้เครื่องส่งและเครื่องรับวิทยุมีการพัฒนาขีดความสามารถโปรแกรมความถี่ใช้งานได้ทำให้เกิดความคล่องตัวในวงการสื่อสารเป็นอย่างมาก

2.1.1 วิธีสังเคราะห์ความถี่

วงจรสังเคราะห์ความถี่ คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และมีขนาดความถี่ตามต้องการ การโปรแกรมสามารถทำได้โดยการตั้งสวิตช์หรือปุ่ม แต่ในปัจจุบันนิยมใช้วิธีสั่งงานด้วย Computer

ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่ที่เปลี่ยนไปเรียกว่า รีโซลูชั่น

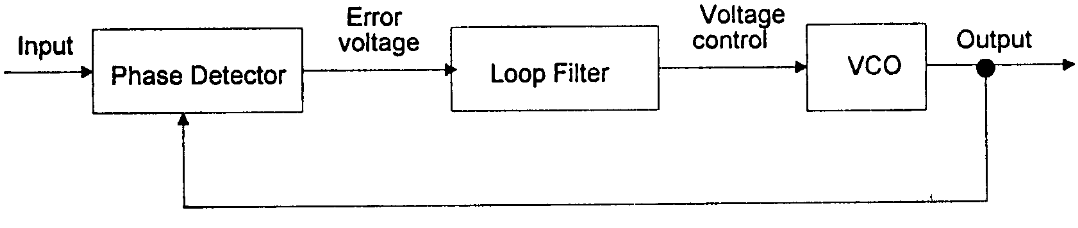
วิธีการสังเคราะห์ความถี่แบ่งออกได้เป็น 2 วิธีคือ

2.1.1.1 วิธีสังเคราะห์โดยตรง (Direct Synthesis) ซึ่งต้องใช้ความถี่หลาย ๆ ค่ามาผสมกันเพื่อให้ได้ความถี่ที่ต้องการ โดยปกติใช้ X-tal หลายชุด

2.1.1.2 วิธีสังเคราะห์โดยทางอ้อม (Indirect Synthesis)วิธีการนี้อาศัยหลักการของเฟสล็อกลูป (Phase Looced Loop)โดยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ ซึ่งควบคุมความถี่โดยปรับแรงดันที่เรียกว่า VCO สัญญาณจาก VCO จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิงจากนั้นนำความถี่ที่คลาดเคลื่อนแปลงเป็นแรงดัน ไปทำการควบคุมการผลิตความถี่ของ VCO อีกครั้งหนึ่ง

2.1.2 เฟสล็อกลูป (Phase Lock Loop) หรือเขียนย่อว่า PLL

เฟสล็อกลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อกลูปประกอบด้วย ภาคสำคัญ 3 ภาคคือ เฟสดีเทคเตอร์ (Phase Detector) ลูปฟิลเตอร์ (Loop Filter) และภาค VCO ดังรูป



รูปที่ 2.1 แสดงแผนผังเบื้องต้นของเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

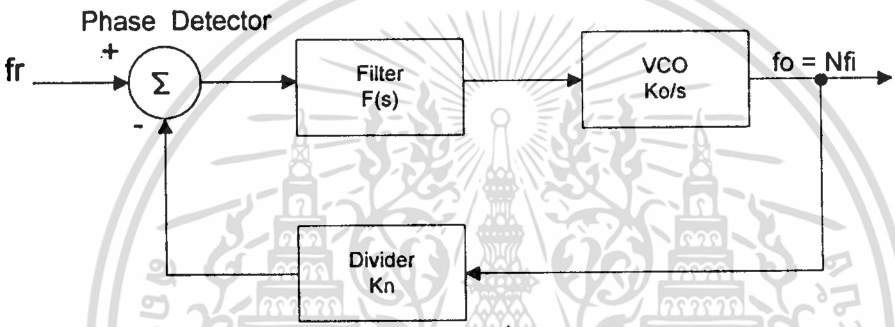
สมมุติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (Periodic) เข้ามาที่อินพุท ภาคเทียบเฟสทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิง

2.1.3 การใช้เฟสล็อกลูปในการสังเคราะห์ความถี่

การสังเคราะห์ความถี่มีอยู่หลายรูปแบบ ตัวอย่างที่จะกล่าวดังต่อไปนี้เป็นการสังเคราะห์ความถี่ซึ่งมีการกำหนดความถี่แต่ละขั้นมีค่าเท่ากับความถี่อ้างอิง (fr)

2.1.3.1 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปโดยตรง

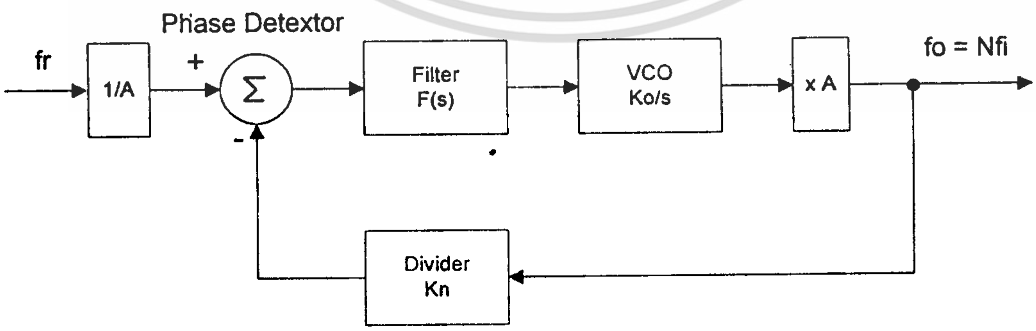
วิธีการสังเคราะห์แบบนี้ใช้ เฟสล็อกลูปแบบโดยตรงนับว่าเป็นวิธีการที่ง่าย โดยความถี่เอาท์พุทมีค่าเป็น N เท่าของความถี่อ้างอิง ดังรูปที่2.2 ในที่นี้ VCO ต้องสามารถทำงานได้ตลอดย่านความถี่เอาท์พุท ซึ่งอาจขึ้นไปถึง 200 MHz อย่างไรก็ดีวงจรที่ทำหน้าที่โปรแกรมเป็นตัวหาร N นั้นมีราคาแพง เราจึงจำเป็นต้องปรับปรุงวิธีการสังเคราะห์ความถี่เป็นแบบอื่น



รูปที่ 2.2 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบโดยตรง

2.1.3.2 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบคูณความถี่

รูปที่ 2.3 เราจะหารความถี่อ้างอิงลง A เท่าก่อนที่จะป้อนให้แก่วงจรเฟสดีเทคเตอร์ และเอาท์พุทจาก VCO ก็คูณความถี่ขึ้นไป A เท่า วิธีนี้ช่วยลดความถี่การทำงานของวงจรหาร N ลงแต่ก็ ทำให้การตอบสนองต่อการเปลี่ยนความถี่ของเฟสล็อกลูปช้าลงเนื่องจากความถี่ที่ใช้ในการเทียบเฟสต่ำลง



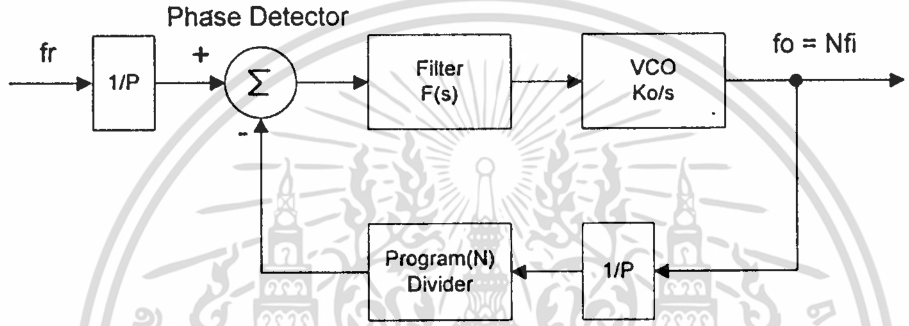
รูปที่ 2.3 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อกแบบคูณความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3.4 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบพรีสเกลเลอร์

เฟสล็อกลูปในรูปที่ 2.4ใช้วิธีหารความถี่อ้างอิงลงPเท่าก่อนที่จะป้อนแก่วงจรเฟสดีเทคเตอร์ และใช้วิธีคูณความถี่ขึ้นไป P เท่าภายในลูปแทนที่จะคูณความถี่ภายนอกลูป ดังเช่น เฟสล็อกลูปแบบคูณความถี่วงจร VCO ในกรณีนี้ต้องทำงานขึ้นไปถึงความถี่ที่ใช้งานโดยไม่ต้องมีวงจรทวีคูณ (MULTIPLIER)

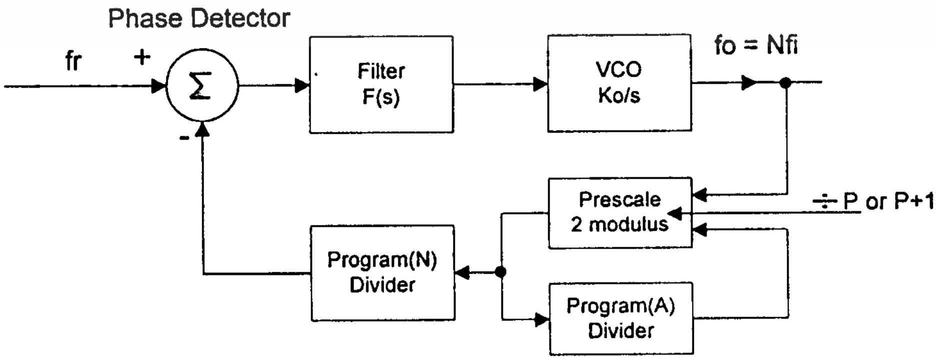
วงจรนับหาร P เป็นชุดวงจรฟลิปฟลอบธรรมดาซึ่งตัวหารกำหนดไว้ตายตัวและสามารถทำงานที่ความถี่สูงได้ เราเรียกวงจรนี้ว่าวงจรพรีสเกลเลอร์ ส่วนวงจรนับหาร N ซึ่งโปรแกรมตัวหารได้นั้นทำงานที่คามถี่ต่ำลงเช่นเดียวกับเฟสล็อกลูป โดยทั้งค่า P และ N มีค่าเป็นจำนวนเต็มบวกในรูปที่ 2.3



รูปที่ 2.4 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบพรีสเกลเลอร์

2.1.3.5 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบพรีสเกลสองโมดุลัส (Dual Modulus Prescaler)

เฟสล็อกลูป ในรูปที่ 2.5 ใช้พรีสเกลเลอร์เช่นเดียวกันกับเช่นเดียวกันกับในรูปที่ 2.4 เว้นแต่วงจรพรีสเกลเลอร์นี้ไม่ใช่เป็นวงจรนับหารค่าตายตัว P แต่เป็นวงจรนับหารเปลี่ยนค่าได้ระหว่าง P กับ P + 1 เราเรียกพรีพรีสเกลเลอร์สองโมดุลัส (เลือกตัวหาร P ก็ได้ หรือจะเลือก P+1 ก็ได้) วงจรนับหารซึ่งโปรแกรมตัวหารได้นั้นทำงานที่ความถี่ต่ำลง

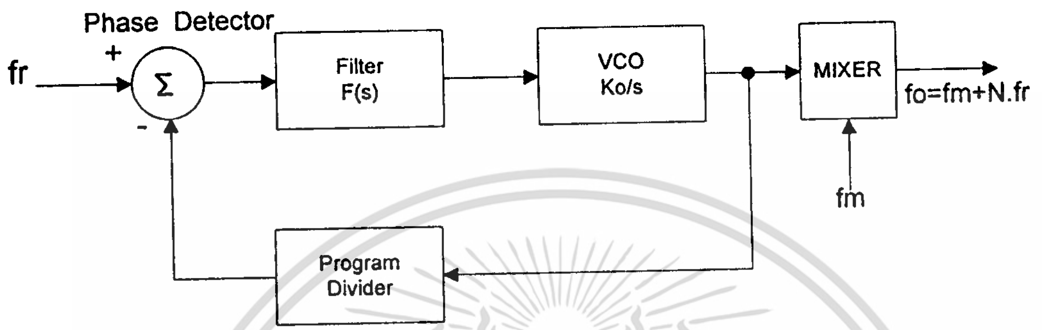


รูปที่ 2.5 แสดงการสังเคราะห์ความถี่ด้วยพรีสเกลเลอร์แบบสองโมดุลัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3.6 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบมิกซิ่งนอกลูป

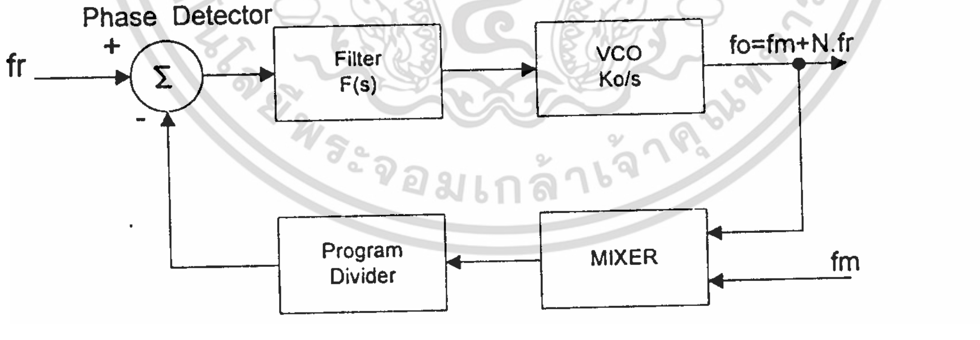
เฟสล็อกลูปในรูปที่ 2.6 อาศัยความถี่หรือเพื่อผสม (MIXER) กับความถี่ VCO ให้เอาท์พุท ของเฟสล็อกลูปมีความถี่สูงขึ้นในที่นี้เราปรับขั้นความถี่ได้แต่ละขั้นเท่ากับความถี่อ้างอิง เท่ากับผลรวมของความถี่เดิมผสมกับความถี่จากVCO



รูปที่ 2.6 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบมิกซิ่งนอกลูป

2.1.3.7 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบมิกซิ่งในลูป

จากในรูป 2.7 เป็นการมิกอีกแบบหนึ่งซึ่งนำการผสมมาใช้ในลูปสัญญาณจาก VCO และความถี่ที่ได้จากการมิก (fm)จะบีม (beam) กันได้ความถี่ต่ำลงแล้วจึงป้อนเข้าสู่วงจรนับหาร N ความถี่เอาท์พุทที่ได้เท่ากับผลรวมของความถี่ที่นำมาผสมกับความถี่ VCO



รูปที่ 2.7 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อกแบบมิกซิ่งในลูป

2.1.4 คุณสมบัติของวงจรสังเคราะห์ความถี่

นอกจากวงจรสังเคราะห์ความถี่จะต้องมีคุณสมบัติเกี่ยวกับช่วงความถี่ (Frequency) ที่จะต้องผลิตและโซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่นๆ ของวงจรสังเคราะห์ความถี่ก็มีความสำคัญสำหรับเครื่องรับ - ส่ง วิทยุอีกด้วย

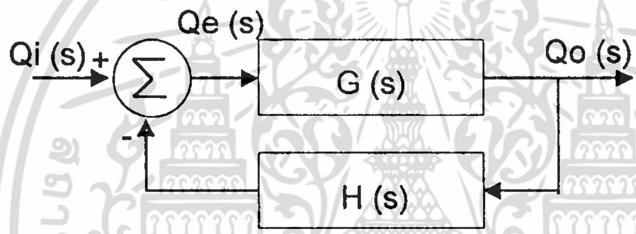
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยปกติ วงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงอย่างเดียวแต่เลือกความถี่ได้หลายค่าและความละเอียดของความถี่ขึ้นอยู่กับรีโซลูชั่น ในขณะที่เราเปลี่ยนค่าความถี่ วงจรสังเคราะห์จะต้องล็อกความถี่ได้ในเวลาอันรวดเร็ว นั่นคือช่วงเวลาล็อก (Lock up time)

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณเพียงความถี่เดียว ปราศจากความถี่แปลกปลอมต่าง ๆ คุณสมบัตินี้เรียกว่าความบริสุทธิของสเปกตรัม (Spectrum)ค่าของฮาโมนิก และสิ่งแปลกปลอม (Sperious) จะต้องถูกกำจัดให้เหลือน้อยที่สุด

ความเที่ยงตรง (Accuracy)และเสถียรภาพ (Stability) ทางความถี่ของวงจรสังเคราะห์ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิงซึ่งโดยทั่วไปจะใช้แร่ X-tal ดังนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพหรือไม่จึงขึ้นอยู่กับ X-tal Oscollator

การวิเคราะห์เฟสล็อกลูป



รูปที่ 2.8 ระบบป้อนกลับ

$\theta_i(s)$ = Phase input

$\theta_e(s)$ = Phase error

$\theta_o(s)$ = Output Phase

G (s) = Forword gain

H (s) = Feedback gain

หลักสำคัญในการออกแบบ PLL หลักสำคัญจะอยู่ที่การใช้เทคนิคของ Laplace Tranform

คำจำกัดความในค่าต่าง ๆ

เราสามารถใช้ Laplace Tranform วิเคราะห์หาค่าการตอบสนองของระบบ F (t) ในรูปสมการเชิงซ้อน F (s) โดยการตอบสนองของระบบจะมีทั้งช่วงที่เป็น Transient (ช่วงสวิง) และช่วงสภาวะคงตัว (Stedy State) โดยที่ Laplace Tranform จะใช้กับช่วงเวลาที่เป็นบวก ซึ่ง PLL จะล็อกสัญญาณได้ทั้ง Linear และ Non Linear ดังรูป

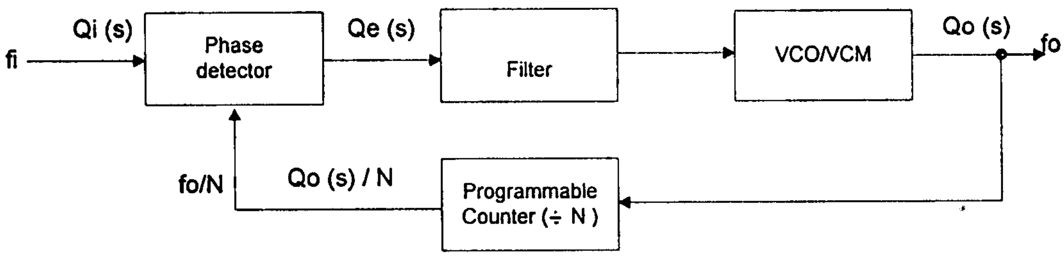
เราสามารถวิเคราะห์ความสัมพันธ์ได้เป็น

$$\theta_e(s) = 1/(1+G(s)H(s)) * \theta_i(s) \quad \text{.................................} \quad (1)$$

$$\theta_o(s) = G(s)/(1+G(s)H(s)) * \theta_i(s) \quad \text{.................................} \quad (2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า Parameter ต่างๆ ที่มีความสัมพันธ์กับ PLL ดังแสดงในรูปที่ 2.9



รูปที่ 2.9 Phase Lock Loop

เฟสดีเทคเตอร์จะทำการสร้างแรงดันไฟฟ้า โดยอาศัยความแตกต่างระหว่างเฟสของสัญญาณอินพุท θi (s) และสัญญาณเอาท์พุทที่ผ่านการหารความถี่ θo (s)/N ซึ่งแรงดันไฟฟ้าที่ได้นี้จะนำไปควบคุมVCO หรือ VCM โดยอาศัยอินพุทโวลท์เตจเป็นตัวเปลี่ยนแปลงความถี่ และความถี่ที่ได้คือ

$$fo = N.fi$$

ในFarward Path จะประกอบด้วย เฟสดีเทคเตอร์ ฟิลเตอร์ และ VCO หรือ VCM ส่วนใน Feedback Path จะประกอบด้วยโปรแกรมหารความถี่ ถ้าเราทำการปรับอัตราขยายใน Feedback Path ให้มีค่าเป็นหนึ่ง (N = 1) ความถี่เอาท์พุทจะเท่ากับความถี่อินพุท

ค่าผิดพลาด (Error Constants)

θe (s) คือค่าผิดพลาดของเฟสระหว่างสัญญาณอินพุท θi (s) กับสัญญาณ Feedback θo (s)/N เราจะนำ θe (s) มาทำการวิเคราะห์หาค่า Stedy State Transient โดยใช้ Laplace Tranform ทำการวิเคราะห์หาค่าผิดพลาดของระบบจาก

$$\lim [\theta e (t) = \lim [So (s)]$$

เมื่อ

$$\theta e (s) = 1/(1+G(s)H(s)) * \theta i (s)$$

และสัญญาณ input θi (s) เป็น Step function

$$\theta i (t) = Cp \quad ; \quad t > 0$$

$$\theta i (s) = Cp / S \quad \text{.......................................} (3)$$

เมื่อ Cp คือขนาดของสัญญาณ Step function

และที่สัญญาณอินพุทเป็น Lamp Function หรือเรียกอีกแบบว่า Step Velocity

$$\theta i (s) = Cv * t ; \; t > 0$$

$$\theta i (s) = Cv/ S^2 \quad \text{.......................................} (4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ CV คือขนาดของอัตตราส่วนของการเปลี่ยนมุมเฟสในหน่วยเรเดียลต่อวินาที ซึ่งก็คือความแตกต่างระหว่างความถี่อินพุทกับความถี่จาก VCO ดังนั้น Cv คือค่าความแตกต่างของความถี่ต่อวินาทีที่เฟสดีเทคเตอร์

และที่สัญญาณอินพุทเป็น Parabolic Function หรือ Step Acceleration

$\theta i(t) = Ca * t^2 \quad ; t \geq 0$

$\theta i(s) = 2Ca / S^3$ ....(5)

เมื่อ Ca คือขนาดของอัตตราส่วนความถี่ที่เปลี่ยนแปลงในหน่วยเรเดียลต่อวินาที ^{2}

พิจารณา Loop G(s)H(s)

Type 1. $G(s)H(s) = K/S(S+a)$

Type 2. $G(s)H(s) = K(S+a) / S^2$

Type 3. $G(s)H(s) = K(S+a)(S+b) / S^3$

ค่า Final Value ของ Phase error สำหรับแบบที่ 1.(Type 1.) โดยป้อน Step position ที่อินพุทได้ $\theta i(s) = Cp/S$ จะได้

$$\theta e(s) = [1 / \{1+K/S(S+a)\}][Cp / s]$$

$$= (S+a)Cp / (S^2 + aS + K)$$

$$\theta e(t \rightarrow \alpha) = \lim S\theta e(s)$$

$$= \lim S(S+a)Cp / (S^2 + aS + K)$$

$$= 0$$

จะเห็นได้ว่าที่ Stedy State เฟสเออร์เรอร์จะไม่มี ($\theta = 0$)

แต่ถ้าสัญญาณอินพุทเป็น Stedy Velocity

$$\theta i(s) = Cv/S^2$$

$$\theta e(s) = [1/\{1+K/S(S+a)\}][Cv / S^2]$$

$$\theta e(s) = (S+a)Cv/S(S^2 + aS + K)$$

$$\theta e(t \rightarrow \alpha) = \lim S(S+a)Cv/S(S^2 + aS + K)$$

$= aCv / K =$ ค่าคงที่

และถ้าสัญญาณอินพุทเป็น Step Acceleration

$$\theta I(s) = 2Ca / S^3 \quad \text{..................(6)}$$

$$\theta e(s) = 2(S+A)Ca / [S^2 + aS + K)] \quad \text{..................(7)}$$

$$\theta e(t \rightarrow \alpha) = \lim S^* 2(S+a)Ca/[S^2(S^2 + aS + K)]$$

$$= \lim 2(S+a)Ca/[S(S^2 + aS + K)]$$

$$\cong \alpha$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังจะสรุปได้ดังตาราง

อินพุท	TYPE 1	TYPE 2	TYPE 3
Step Position	0	0	0
Step Velocity	Constant	0	0
Step Acceleration	α	Constant	0

ตารางที่ 1. Stedy State Error for Various System Type

ที่ค่าผิดพลาดเฟสเป็นศูนย์ จะแสดงให้เห็นว่าสัญญาณอินพุททั้งสองของเฟสดีเทคเตอร์มีเฟสสัมพันธ์กันจะทำให้เฟสล็อก

ที่ค่าผิดพลาดเฟสเป็นค่าคงที่(Constant)ที่จะแสดงให้เห็นว่าเกิดความแตกต่างทางเฟสระหว่างอินพุททั้งสองของ Phase Detector แต่เฟสยังล็อกอยู่

ที่ค่าผิดพลาดทางเฟสมีค่ามากขึ้นเรื่อย ๆ (Continualy increasing θe ($t \rightarrow \alpha$) จะแสดงให้เห็นว่าเฟสจะเปลี่ยนแปลงตามเวลาเสมอดังนั้นระบบจึงไม่ล็อก

2.2 วงจรเฟสดีเทคเตอร์

เฟสดีเทคเตอร์ (Phase Detector) เป็นส่วนหนึ่งของเฟสล็อกลูป ซึ่งเป็นตัวทำหน้าที่ทำให้เกิดแรงดัน อนาลอกหรือดิจิตอลที่เอ้าท์พุทของตัวมัน ซึ่งค่าแรงดันที่ปรากฎออกมานี้จะเป็นอัตราแปรผันตามความต่างเฟสของสัญญาณอินพุท 2 สัญญาณที่เข้ามาในเฟสดีเทคเตอร์

ลักษณะของวงจรเฟสดีเทคเตอร์สามารถแบ่งการทำงานออกเป็น 2 แบบคือ

1. อนาลอกเฟสดีเทคเตอร์ (Analog Phase Detector)

ได้แก่ การมิกเซอร์ซึ่งเอ้าท์พุทจะแปรผันตามขนาดของสัญญาณอินพุท วงจรที่ทำหน้าที่ได้แก่ บาล้านซ์มิกเซอร์ (Balance Mixer) และแซมปลิ้งดีเทคเตอร์ (Sampling Detector) เป็นการกำหนดโดยให้สัญญาณอ้างอิง fr เป็นสัญญาณพัลซ์ ซึ่งมีคาบเวลาคงที่ ไปทำการสุ่มสัญญาณอินพุทด้วยช่วงเวลาสั้น ๆ โดยที่เอ้าท์จะเป็นอัตราส่วนโดยตรงกัน

2. เอคคลูซีฟออร์เฟสดีเทคเตอร์ (Exclusive OR Phase Detector)

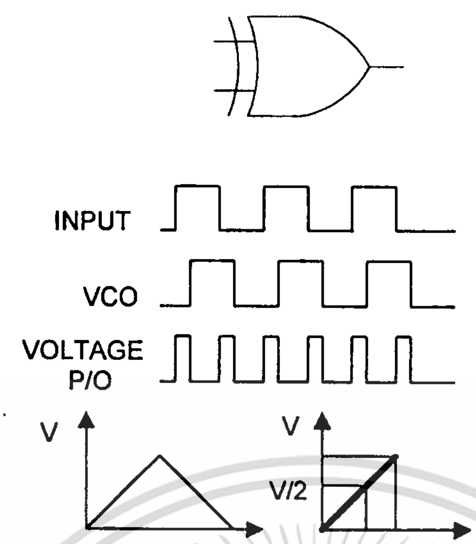
เราสามารถนำเอาเอคคลูซีฟออร์เกทมาทำเป็นเฟสดีเทคเตอร์ได้ โดยที่เอ้าท์พุทเป็น “1” ก็ต่อเมื่สัญาณอินพุทมีเฟสต่างกันและลอจิกเป็น “0” เมื่ออินพุททั้งสองมีเฟสเหมือนกัน แรงดันเฉลี่ยที่เอ้าท์พุทของเฟสดีเทคเตอร์จะเป็นตามสมการ

$$Vo_{dc} = Vp + D$$

โดยที่ Vp = แรงเคลื่อนสูงสุดของลอจิก “1”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D = duty cycle



รูปที่ 2.10 a. แสดงสัญญลักษณ์ของแอคคลูซีฟออร์เฟสดีเทคเตอร์

b. แสดงแรงดันเอ้าท์พุทที่สัมพันธ์กันระหว่างอินพุททั้งสองที่เข้ามา

c. แสดงคุณสมบัติอินพุทเอ้าท์พุทของเฟสดีเทคเตอร์

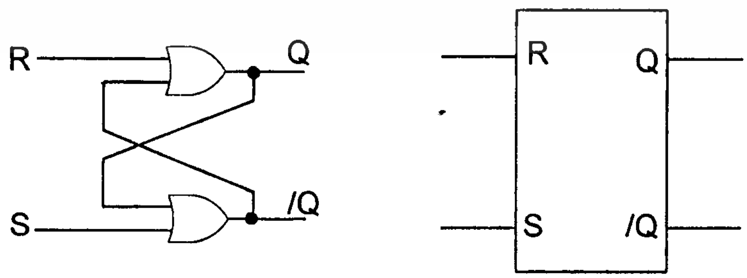
จากคุณสมบัติอินพุทเอ้าท์พุทของเฟสดีเทคเตอร์ชนิดนี้ จะเห็นว่าสามารถใช้ได้ในช่วงต่างเฟสระหว่าง

0 - π โดยที่สัญญาณอินพุทจำเป็นต้องมีค่า ดิวตี้ไซเคิลเท่ากับ 50 เปอร์เซนต์ และเอ้าท์พุทที่ได้จะมีความถี่เป็น 2 เท่าของความถี่อินพุท ส่วนค่าของคอนเวอร์ชั่นเกนเท่ากับ $V_{DD}/ 2\pi$

2.2 เอด-ทริกเกอร์ เฟสดีเทคเตอร์หรือฟลิบฟลอบดีเทคเตอร์

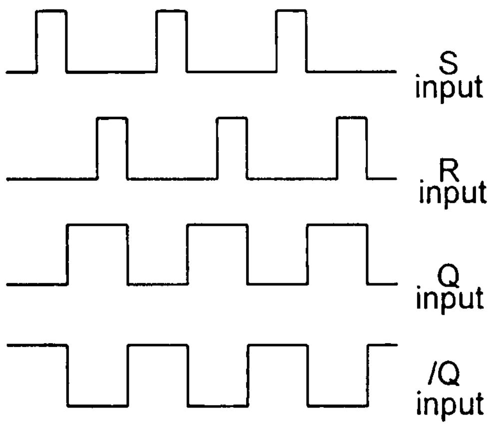
(Eedge - Triggered Phase Detector)

เป็นเฟสดีเทคเตอร์อีกชนิดหนึ่งที่ใช้ฟลิบฟลอบเป็นตัวทำให้เกิดแรงดันเอ้าท์พุทที่มีอัตราแปรผันกับ สัญญาณอินพุททั้ง 2 ที่เข้ามา ดังแสดงในรูป 2.11

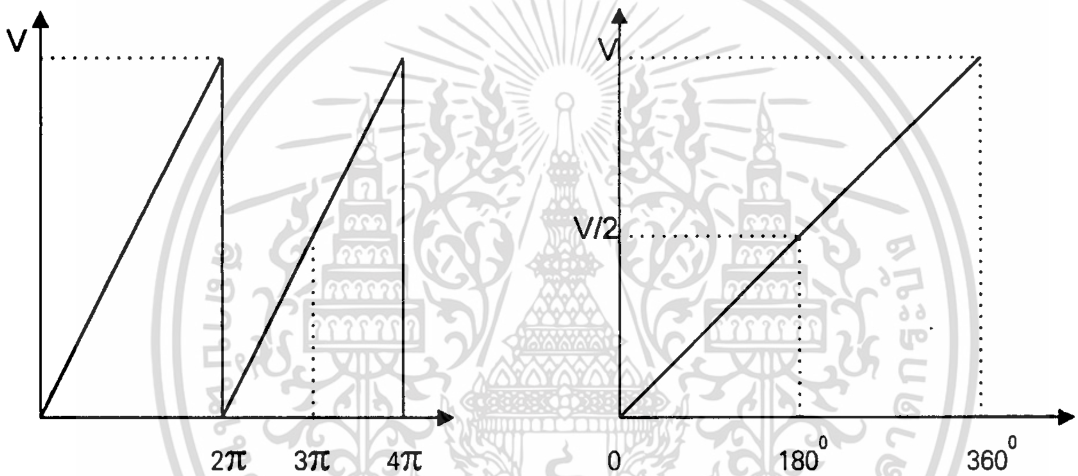


รูปที่ 2.11 แสดง R-S F/F เฟสดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



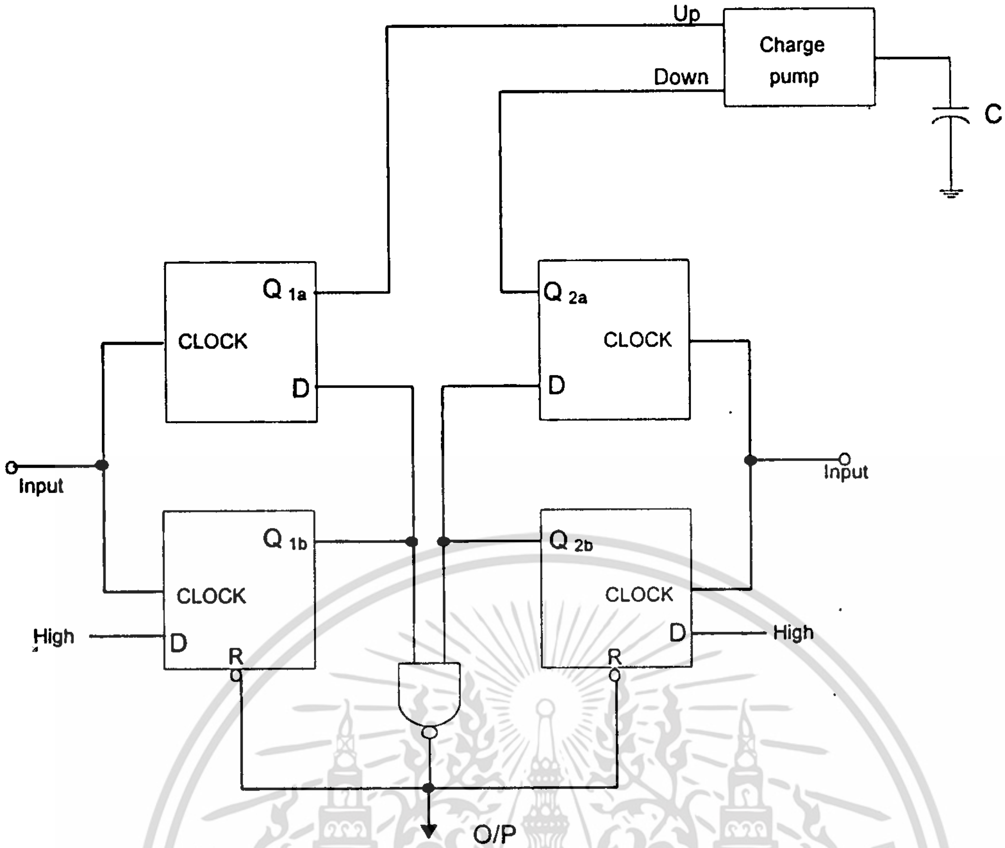
รูปที่2.12 แสดงสัญญาณอินพุทเอ้าท์พุทของ R-S F/F เฟสดีเทคเตอร์



รูปที่ 2.13 แสดงคุณสมบัติอินพุทเอ้าท์พุทของ F/F เฟสดีเทคเตอร์

จากรู ปจะเห็นได้ว่า วงจรเฟสดีเทคเตอร์ที่ใช้ทริกด้วยขอบสัญญาณพัลซ์ สามารถใช้ความต่างเฟสได้ตั้งแต่ 0 - 2π (เป็น 2 เท่าของเอคคลูซีฟออร์) และความถี่ของสัญญาณเอ้าท์พุท จะเท่ากับอินพุทพัลซ์แต่ละลูกซึ่งไม่จำเป็นต้องมีค่าดิวตี้ไซเคิลเท่ากับ 50 เปอร์เซนต์ ส่วนคอนเวอร์ชั่นเกนมีค่าเท่ากับ $V_{DD}/ 2\pi$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 เฟสดีเทคเตอร์ที่สร้างจาก D - Flip Flop

3.เฟส - ฟรีเควนซีดีเทคเตอร์ (Phase - Frequency Detector)

จะเห็นได้ว่าเฟสดีเทคเตอร์แบบเอคคลูซีฟออร์และแบบฟลิบฟลอบจะเป็นวงจรที่ทำหน้าที่เป็นเฟสดีเทคเตอร์ได้ แต่มีข้อจำกัดอยู่ในตัวเองคือจำเป็นต้องมีการฟิลเตอร์สัญญาณเอ้าท์พุทที่ดีเพื่อจะแยกค่าเฉลี่ยของแรงดันดีซีที่ต้องการ และเมื่อนำไปใช้ในวงจรเฟสล็อกลูปแล้ว จะให้ผลตอบสนองช้า เมื่ออินพุทมีความถี่ที่ต่างกันมาก จึงได้มีการพัฒนาเป็นวงจรเฟส-ฟรีเควนซีดีเทคเตอร์เพื่อแก้ข้อบกพร่องดังกล่าว

วงจรเฟส-ฟรีเควนซีดีเทคเตอร์จะนิยมใช้กับวงจรเฟสล็อกลูปที่ต้องการ การตอบสนองในย่านกว้าง เช่นในวงจรสังเคราะห์ความถี่ (Frequency Synthesizer) หรือวงจรควบคุมความเร็ว ของมอเตอร์เป็นต้น

2.3 ลูปฟิลเตอร์ (LOOP FILTER)

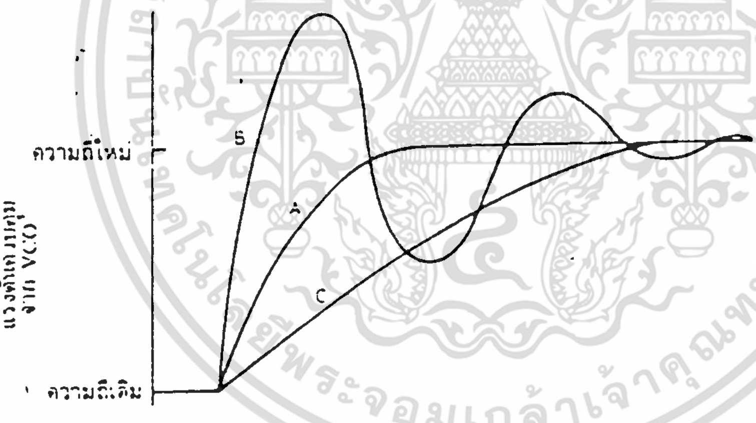
ลูปฟิลเตอร์เป็นส่วนสำคัญอีกส่วนหนึ่งในระบบเฟสล็อกลูป หน้าที่ของวงจรนี้ได้แก่ การควบคุมการล็อก, แคปเจอร์, แบนด์วิด และการตอบสนองค่าทรานเชี้ยนของลูป สำหรับลูปฟิลเตอร์ในที่นี้ก็คือวงจรชนิดโลพาสธรรมดา ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ของ VCO ลูปฟิลเตอร์ เป็นตัวกำหนดคุณสมบัติการเปลี่ยนแปลงก่อนเข้าสู่สภาวะล็อกที่เรียกว่า คุณสมบัติชั่วครู่ (Transient) ถ้าเลือกอัตราการขยายลูป (Loop Gain) และค่าคงตัวของลูป(Loop Time Constant) ไม่เหมาะสม ความถี่ของเฟสล็อกลูปจะไม่ล็อกและจะเปลี่ยนแปลงอยู่ตลอดเวลา

ดังนั้น ค่าคงตัวเวลาของลูปฟิลเตอร์จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนความถี่เฟสล็อกลูปจะล็อกได้เร็ว โดยไม่มีการสะบัด (Over Shoot) หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็ว แต่ค่าคงตัวเวลาก็ไม่ควรจะน้อยเกินไปจนกระทั่งความถี่สั่นหรือไม่นิ่ง(Jetter)ดูรูปที่ 2.15 ซึ่งแสดงการเปลี่ยนความถี่ของ VCO จะเห็นว่าจากเส้นทางการเปลี่ยนแปลงแรงดันมี 3 เส้นทาง เส้นทาง A เป็นเส้นทางคริติคอลแดมป์(Critical Damp) ใช้เวลาในการเปลี่ยนความถี่ใหม่น้อยที่สุด เส้นทาง B เรียกว่าเส้นทางอันเดอร์แดมป์(Under Damp) มีการสะบัดเนื่องจากโอเวอร์ชู๊ต เส้นทาง C เป็นเส้นทางโอเวอร์แดมป์(Over Damp) ไม่มีโอเวอร์ชู๊ตแต่เวลาที่ใช้ในการเข้าสู่ความถี่ใหม่จะช้า

ดังนั้นจะเห็นว่า เส้นทาง A เป็นเส้นทางที่ดีที่สุดในการออกแบบ ค่าคงตัวเวลาของวงจรลูปฟิลเตอร์เพราะใช้เวลาเปลี่ยนความถี่เร็วและไม่มีโอเวอร์ชู๊ต



รูปที่ 2.15 คุณลักษณะในการเปลี่ยนความถี่ของเฟสล็อกลูป

หน้าที่ของโลพาสฟิลเตอร์ในเฟสล็อกลูป มีหน้าที่ใหญ่ ๆ อยู่ 2 ประการคือ

1. ลดค่าความคลาดเคลื่อนที่เป็นความถี่สูงที่ออกจากวงจรเปรียบเทียบเฟส(Phase Compatator) โดยใช้คุณสมบัติการกำจัดสัญญาณรบกวนและเป็นตัวทำให้เกิดค่าแรงดันเฉลี่ย (Average DC Voltage) เพื่อนำไปควบคุมวงจร VCO

2. ทำหน้าที่ควบคุมการทำงานของลูป ซึ่งขึ้นอยู่กับเงื่อนไข ๆดังนี้

2.1 แคปเจอร์และล็อกเรนจ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 แบนด์วิด

2.3 การตอบสนองต่อทรานเชี้ยน

เนื่องจากโลพาสฟิลเตอร์ลดค่าแรงดันคลาดเคลื่อนของความถี่ระหว่างลูปแล้วยังเป็นตัวควบคุมการแคปเจอร์โดยตรงและคุณสมบัติต่อผลตอบสนองชั่วขณะของเฟสล็อกลูป

การลดช่วงกว้างของฟิลเตอร์ จะส่งผลไปยังการทำงานของระบบคือ

1. ขบวนการแคปเจอร์จะช้าลงและพูลอินไทม์ (Full in Time) เพิ่มขึ้น

2. ช่วงแคปเจอร์จะลดลง

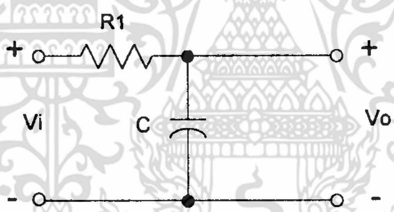
3. คุณสมบัติทางอินเตอร์พีเรนจ์ (Interference Rejection) ของเฟสล็อกลูปจะดีขึ้นเพราะค่าแรงดันคลาดเคลื่อนเนื่องจากความถี่ของสัญญาณรบกวนจะถูกลดลงไป

4. ผลตอบสนองชั่วขณะของเฟสล็อกลูปต่อการเปลี่ยนทันทีของสัญญาณเข้าสู่ช่วงความถี่แคปเจอร์จะอยู่ในลักษณะภายใต้การแดมป์

2.3.2 วงจรโลพาสฟิลเตอร์ (LPF)

ในระบบเฟสล็อกลูปจะมีวงจรโลพาสฟิลเตอร์เป็นส่วนประกอบอยู่เสมอ เราจะกล่าวถึงวงจรโลพาสฟิลเตอร์ที่นิยมใช้กันมีอยู่ 3 แบบดังนี้

1. วงจรกรองความถี่ต่ำอันดับ 1 แบบ R-C



รูปที่ 2.16 แสดงโลว์พาสฟิลเตอร์อันดับ 1 โดยใช้วงจร R-C

รูปที่ 2.16 โดยทั่วไปจะต่ออยู่ระหว่างเฟสดีเทคเตอร์กับ VCO ค่าของความถี่คัทออฟ (Cutoff Frequen,W_{LPF}) สามารถหาได้จากสมการ

$$W_{LPF} = 1/RC \qquad \text{Rad/Sec}$$

ค่าของความถี่ธรรมชาติของลูป (Loop Natural Frequency,W_n)สามารถหาได้จากความถี่คัทออฟของวงจรกรองความถี่ โดยสมการ

$$W_n=(Kd.Kv.W_{LPF})^{1/2}$$

เมื่อ Kd คอนเวอร์ชั่นเกน (Convertion Gain)ของเฟสดีเทคเตอร์ หน่วย (Volt/Sec)

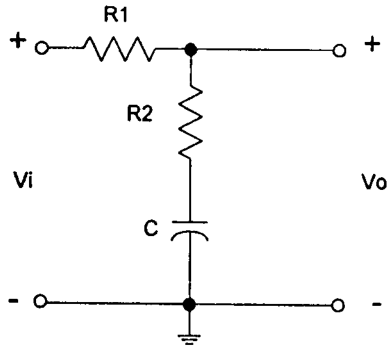
Kv คอนเวอร์ชั่นเกนของ VCO หน่วย (Rad/Sec/Volt)

เราสามารถหาแดมปิ้งแฟคเตอร์จากสมการ

$$\zeta = N.Wn/(2Kd.Kv)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วงจรกรองความถี่แบบ แลก-ลีด (Lag-Lead Circuit)ดังแสดงในรูป 2.17



รูปที่ 2.17 วงจร แลก-ลีด อันดับหนึ่ง (Lead - lag Filter)

ค่าความถี่คัทออฟสำหรับวงจรกรองความถี่ชนิดนี้หาได้จากสมการ

$W_{LPF} = 1/(R1+R2)C$

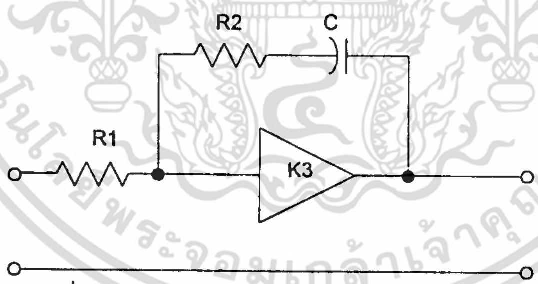
และความถี่ธรรมชาติหาได้จากสมการ

$Wn = (Kd.Kv/NC(R1+R2))^{1/2}$

และแดมปิ้งแฟคเตอร์หาได้จากสมการ

$\zeta = 0.5\ Wn(R2c+N/Kd.Kv)$

3. วงจรพาสซีฟแบบ แลก-ลีด เราสามารถนำมาสร้างเป็นวงจรแอคตีฟฟิลเตอร์



รูปที่ 2.18 วงจรแอคทีฟฟิลเตอร์ อันดับ 1

ความถี่คัทออฟหาได้จากสมการ

$W_{LPF} = 1/R1.C$ (Red/Sec)

ค่าของลูปความถี่ธรรมชาติ

$Wn = (Kd.Kv/N.C.R1)^{1/2}$

แคมปิ้งแฟคเตอร์ หาจากสมการ

$\zeta = (Wn.R2.C)/2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

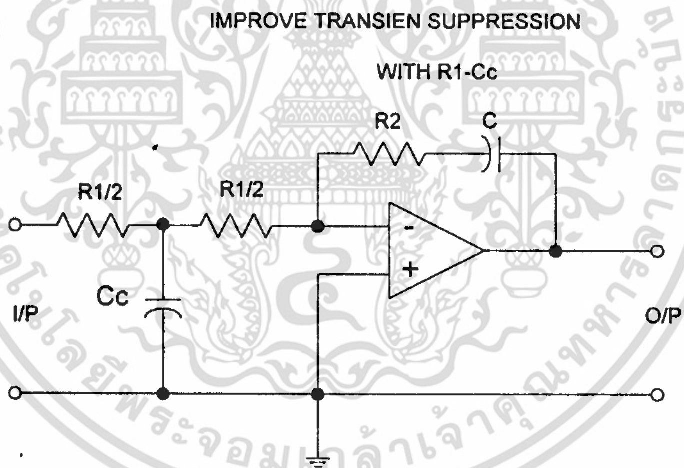
2.3.3 ข้อพิจารณาในการออกแบบลูปฟิลเตอร์

1. เนื่องจากตัวฟิลเตอร์และอินทิเกรเตอร์ที่ใช้ออปแอมป์ มีฟังก์ชั่นเป็นอินเวอร์ติ้งดังนั้น จำเป็นต้องดัดแปลงแก้ไขการกลับเฟสนี้ก่อน เพื่อให้ค่าแรงดันคลาดเคลื่อน (Error Voltage) จากออสซิลเลเตอร์สามารถควบคุม VCO ได้ถูกทิศทางกับความผิดพลาดที่เกิดขึ้น ซึ่งทำได้ง่ายที่สุดโดยการกลับอินพุท Fr และ Fv ที่เฟสดีเทคเตอร์

2. กรณีเฟสดีเทคเตอร์มีเอ้าท์พุทเป็นดับเบิ้ลเอนด์ Kd = Vdd/2

3. วงจรแอคตีฟฟิลเตอร์อาจเกิดการอิ่มตัว ถ้าลูปเกิดการผิดพลาดเชิงเฟสที่เฟสดีเทคเตอร์มีใหญ่พร้อม ๆ กับเกิดทรานเชี้ยนโอเวอร์ชู๊ตขึ้นในลูป กรณีนี้จะเกิดขึ้นเฉพาะลูปที่ใช้เฟสดีเทคเตอร์เป็นชนิดดิจิตอล เนื่องจากเอ้าท์พุทของเฟสดีเทคเตอร์เปลี่ยนแปลงเป็น “0” หรือ “1” ในทันทีทันใด นอกจากนี้ความถี่อินพุทของฟิลเตอร์มักจะมีค่ามาก ดังนั้นถ้าอัตราส่วนของ R1/R2 มากกว่า 10 ความถี่นี้จะถูกขยายโดยอัตราส่วนของ R1/R2 ถ้าสามารถทำได้ควรให้อัตราส่วนนี้มีค่าน้อยที่สุด

วิธีแก้การอิ่มตัวของออปแอมป์ทำได้โดยการเพิ่มโลพาสฟิลเตอร์ก่อนวงจรอินทิเกรเตอร์ ดังรูปที่ 2.25

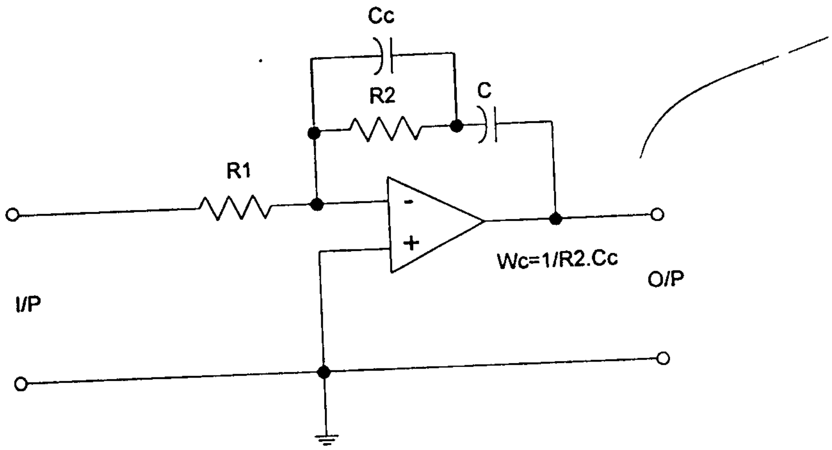


รูปที่ 2.19A วิธีแก้ทรานเชี้ยนด้วย R1-Cc

เมื่อ Rs << R1/2: Rs คือเอ้าท์พุทอิมพีแดนซ์ของเฟสดีเทคเตอร์

$$Wc = 4/R1.Cc$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

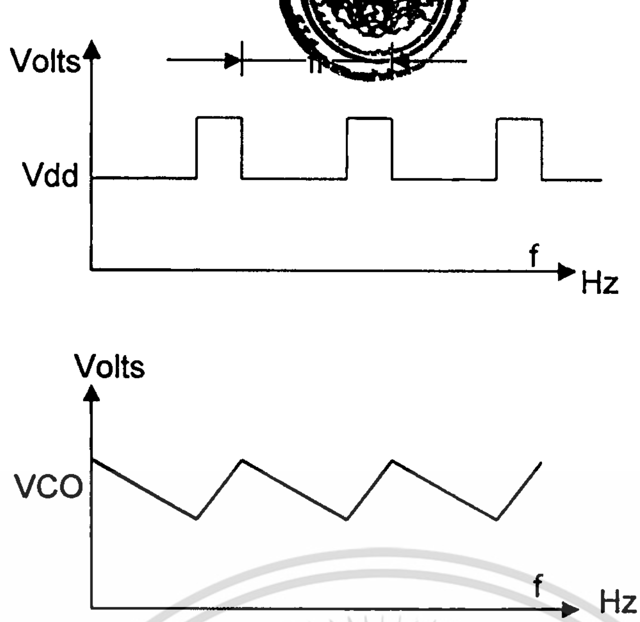


รูปที่ 2.19B วิธีแก้ Overshoot ที่มี ξ > 1.0 ด้วยการเพิ่ม Zero

จากรูปที่ 2.19A สามารถคำนวณความถี่คัทออฟได้จาก 4/R1.Cc ถ้าเฟสดีเทคเตอร์เป็นดิจิตอลเนื่องจากมีความต้านทานเอ้าท์พุทต่ำ ความถี่คัทออฟของวงจรที่เพิ่มขึ้น ถ้าเป็นไปได้ควรจะมากกว่าความถี่ธรรมชาติ 5-10 เท่า เนื่องจากโพลที่เกิดจากวงจรที่เพิ่มขึ้น ถ้าอยู่ใกล้ความถี่ธรรมชาติ จะทำให้ลูปเกิดโอเวอร์ชู๊ตมากขึ้น และผลพลอยได้ของฟิลเตอร์มากขึ้น จะทำให้ความถี่อ้างอิง (Wr) ถูกลดทอนลงด้วยแรงดันที่ไปควบคุม VCO ควรเป็นแรงดันดีซีอย่างเดียว ส่วนประกอบของแรงดันที่ไม่ใช้ ดีซีจะทำให้เอ้าท์พุทของ VCO มีการมอดูเลทด้วยแรงดันที่ไม่ใช่ดีซี สำหรับแรงดันที่มาควบคุม VCO ส่วนประกอบที่ไม่ใช่ส่วนใหญ่จะมาจากความถี่อ้างอิงและน้อยส์ต่าง ๆ ในวงจรแอคทีฟฟิลเตอร์จะเพิ่มน้อยส์ลงไปในแรงดันดีซีด้วย ดังนั้นวงจรขยายที่ใช้ฟิลเตอร์ควรมีคุณสมบัติในเรื่องสัญญาณรบกวนที่สร้างขึ้นภายในตัวเอง ทางที่ดีควรใช้ชนิดที่มีสัญญาณรบกวนต่ำที่สุดเท่าที่จะทำได้ และกระแสไบอัสอินพุทก็ควรน้อยที่สุด เนื่องจากถ้าวงจรดึงกระแสจำนวนหนึ่งจากเฟสดีเทคเตอร์ จะทำให้ความผิดพลาดเชิงเฟส เมื่ออยู่ในสภาวะสงบมีค่ามากกว่าศูนย์มาก กรณีที่ใช้ฟิลเตอร์แบบพาสซีฟฟิลเตอร์ ก็จะมีค่าผิดพลาดในสภาวะสงบ (steady state error) มากกว่าแอคทีฟฟิลเตอร์เพราะพาสซีฟฟิลเตอร์จะดึงกระแสโหลดมากกว่าแอคทีฟฟิลเตอร์ อย่างไรก็ตามพาสซีฟฟิลเตอร์ไม่เพิ่มน้อยส์เข้าไปในลูปเหมือนแอคตีฟและ R1 ของวงจรพาสซีฟสามารถแบ่งออกเป็น R1/2 แล้วใช้ Cc เพิ่มขึ้นได้เช่นเดียวกับวงจรในรรูปที่ 2.19B และใช้วิธีการคำนวณความถี่คัทออฟแบบเดียวกัน

4. แรงดันที่ใช้ควบคุม VCO ควรมีส่วนประกอบที่ไม่ใช่เอซีน้อยที่สุด ส่วนประกอบที่ไม่ใช่ดีซีจะทำให้ความถี่เอ้าท์พุทของ VCO เกิดเอ้าท์พุทที่ไม่ต้องการ (Spurious Output) เป็นไซด์แบนด์ ของความถี่อ้างอิงควรถูกกำจัดไปให้มากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

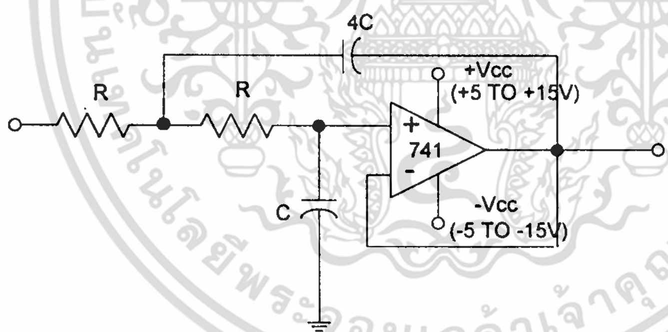


รูปที่ 2.20 แสดงรูปคลื่นเอ้าท์พุทของเฟสดีเทคเตอร์และอินทิเกรเตอร์

รูปคลื่นจากรูปที่ 2.20 ทำให้เกิดไซด์แบนด์ที่สัมพันธ์กับแคเรียร์ (Carrier) ของ VCO ที่สามารถคาดคะเนโดยประมาณได้จาก

$$(Sideband/Carrier) = V.K_v/2W_R$$

เมื่อ V คือค่าแรงดันยอด (Peak Value) ของความถี่อ้างอิงที่อินพุทของ VCO



รูปที่ 2.21 วงจรโลพาสฟิลเตอร์อันดับ 2 โดยใช้ออปแอมป์

$W_c = 0.636/ RC$

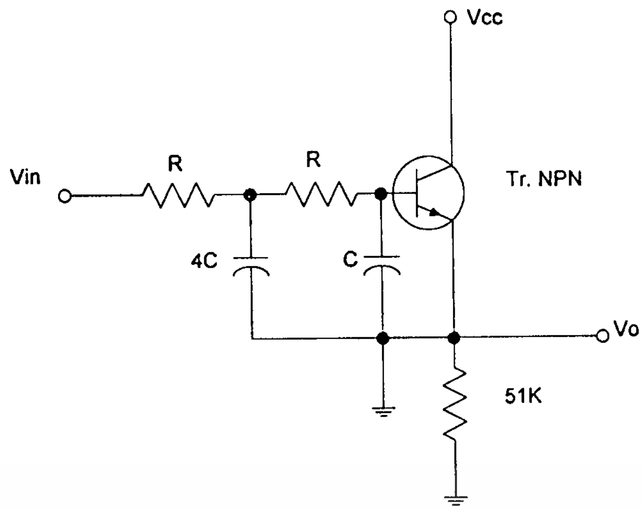
ให้เลือกค่า R

$1K < R < 1M$

ให้เลือกค่า C

$C = 0.5/W_c.R$

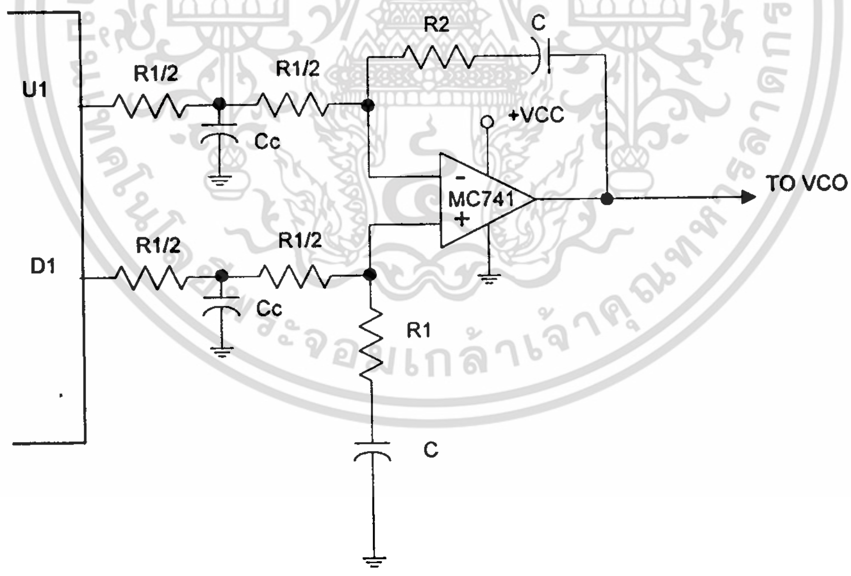
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
038363



รูปที่ 2.22 วงจร LPF อันดับ 2

โดยใช้ทรานซิสเตอร์ต่อแบบ (Emitter Follower) ถ้าเอ้าท์พุทมีค่าน้อยกว่า Vcc อยู่ 0.1 V วงจรจะมีความไวต่อสัญญาณรบกวนจากแหล่งจ่าย Vcc

สำหรับการใช้เฟสดีเทคเตอร์ที่เอ้าท์พุทของเฟสดีเทคเตอร์ เราสามารถต่อกับฟิลเตอร์แบบซัมมิ้งเนทเวอร์ค (Summing Network)



รูปที่ 2.23 วงจรฟิลเตอร์และซัมมิ้งเนทเวอร์ค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสามารถในการลดไซด์แบนด์ โดยประมาณของวงจรในรูปคือ

$$dB = 4l \text{ Log } (W_C/W_R)$$

สำหรับพาสซีฟฟิลเตอร์คือ

$$dB = 2l \text{ Log } (W_C/W_R)$$

5. สำหรับเฟสดีเทคเตอร์ที่เป็นวงจรชนิด CMOS ขานอนอินเวอร์ติ้งของออปแอมป์ต้องไบอัสได้ 22 Vdd ส่วนเฟสดีเทคเตอร์ต้องดูจากคุณสมบัติของเฟสดีเทคเตอร์แต่ละเบอร์

2.4 วงจรผลิตความถี่ควบคุมด้วยแรงดัน (Voltage control oscillator - VCO)

คุณสมบัติหลักของ VCO ที่ใช้ในเฟสล็อกลูป เราพิจารณาได้ดังนี้

2.4.1 การเบี่ยงเบนของความถี่ (Frequency Deviation) จุดสูงสุดของเคปเจอร์เรนจ์จะเท่ากับเกนการขยายลูปเปิด (Open Loop Gain)

2.4.2 เสถียรภาพทางความถี่ (Frequency Stability) การมีเสถียรภาพทางความจำเป็นอย่างยิ่งสำหรับวงจรสังเคราะห์ความถี่ ความไวของการมอดูเลท (Modulation Sensitivity)

2.4.3 การตอบสนอง (Response) VCO ควรมีการตอบสนองสัญญาณได้ดีและไม่ควรให้มีผลต่อคุณสมบัติทางด้านเสถียรภาพของลูป

2.4.4 คุณสมบัติของความถี่และแรงดัน (Frequency Voltage Characteristic) VCO จะต้องมีอัตราส่วนของความถี่ต่อแรงดัน (F / V) ที่มีความเป็นเชิงเส้น (linear)

2.4.5 Spectral Purity ในการประยุกต์ใช้งาน เช่นการสังเคราะห์ความถี่แบบอนาล็อก วงจรผลิตความถี่ควบคุมโดยแรงดัน ควรจะมีสัญญาณเอาพุทที่บริสุทธิ์ คือถ้าเป็นคลื่นรูปซายน์ควรจะเป็นคลื่นที่คงที่สม่ำเสมอ

ในการออกแบบเฟสล็อกลูป ออสซิลเลเตอร์ที่ควบคุมด้วยแรงดันมักจะเป็นส่วนที่จะต้องพิจารณามากที่สุดเพราะว่ามีลักษณะพิเศษของระบบอย่างเช่นเสถียรภาพของระบบ และเสถียรภาพของความถี่รวมทั้งการดีมอดูเลทคลื่นเอฟเอ็มตามปกติแล้วจะขึ้นอยู่กับ VCO เพื่อให้เกิดความคล่องตัวมากที่สุด VCO จะต้องมีคุณสมบัติดังนี้

2.4.6 ลักษณะการเปลี่ยนแรงดันเป็นความถี่เชิงเส้น

2.4.7 เสถียรภาพของความถี่ที่ดี

2.4.8 สามารถใช้กับความถี่สูงได้

2.4.9 อัตราการขยายสูง

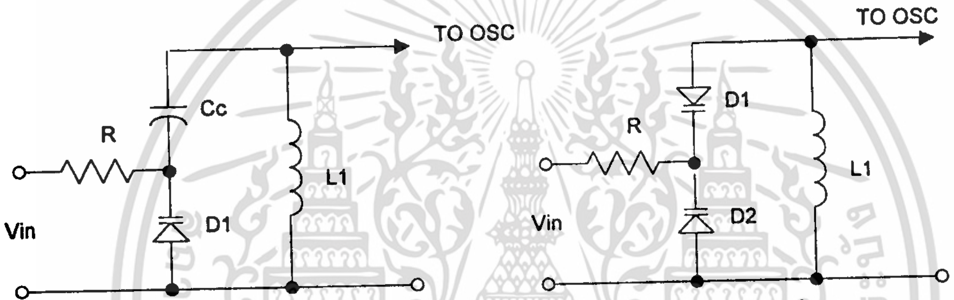
2.4.10 พิสัยการติดตามกว้าง

2.4.11 การตั้งความถี่กระทำได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การวิเคราะห์ที่กล่าวมาจะแสดงให้เห็นเฉพาะวงจรเชิงเอซี ในกานใช้งานจริงก็ต้องมีการไบอัสทางดีซี เพื่อให้วงจรทำงานได้เอาท์พุทของวงจรสามารถคัปปลิ้งออกได้ทั้งจุด 1,2 และ 3ดังรูป 2.14 ซึ่งโหลดจะมีผลต่อวงจรเช่นกัน การวิเคราะห์ได้แสดงถึงความถี่ของสัญญาณเท่านั้น การออกแบบจะกำหนดให้ลูปแกนของวงจรที่วิเคราะห์แบบเชิงเส้นมีมากเป็น 3- 4 เท่า เมื่อวงจรเกิดการออสซิลเลทแล้ว gm ของอุปกรณ์แอคตีฟ จะลดลงจนถึงสภาวะเสถียร ซึ่งในขณะนี้ขนาดของสัญญาณจะคงที่ โดยปกติกำลังของสัญญาณที่ได้มักจะไม่เกิน 25 % ของกำลังงาน DC ที่วงจรดึงจากแหล่งจ่าย อุปกรณ์แอคตีฟที่ใช้สามารถนำ FET หรือ MOS - FET มาใช้ก็จะทำงานได้ผลดีเช่นเดียวกัน

วงจร VCO เป็นส่วนประกอบที่สำคัญของระบบเฟสล็อกลูป ความถี่เอท์พุทของ VCO จะแปรตามเรงดันอินพุทที่ควบคุมซึ่งจะใช้วิธีเปลี่ยนเรงดันไบอัสให้กับวาริแคป



รูปที่ 2.24 แสดงการใช้วาริแคปกับวงจรออสซิลเลเตอร์

รูปที่ 2.24A คาปาซิเตอร์ จะมีค่าอิมพีเดนซ์น่ำที่ความถี่ใช้งาน ทำหน้าที่แยกแรงดัน DC ออกจากวงจรรีโซแนนซ์ วงจรใสรูปที่ 2.24 มีข้อจำกัดที่แรงดัน AC คร่อมแรงดันคร่อม L1 ซึ่งจะทำให้ความเพี้ยนเกิดขึ้นกับความถี่ที่ใช้งาน

วิธีแก้ไขทำได้โดยรูปที่ 2.24Bไดโอด D1,D2 ต่อกลับกัน ทำให้แก้ปัญหาการเรคติไฟร์ แต่ค่าความจุ (Capacitnce) รวมของ D1,D2 จะลดลงครึ่งหนึ่ง และ D1,D2ต้องมีคุณสมบัติใกล้เคียงกันมากที่สุดหรืออาจจะรวมกันอยู่ในตัวถังเดียวกัน

เมื่อใช้วาริแคปร่วมกับวงจรกับวงจรออสซิลเลเตอร์ ค่าความจุของวาริแคปต้องนำไปรวมกับC1,C2 และในทางปฏิบัติกรณีที่ FET ก็รวมค่าของ CISS (common source input capacitance) เข้ากับ C1 และ COSS (common source output capacitance) เข้ากับ C2 โดยกำหนดว่าค่าจริงของ Y11 และ Y22 ไม่มีผลกับวงจร

จากสมการ

$$fo = (r (L^*C_T) 1/2) - 1 \qquad (2.20)$$

โดยที่ C_T คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_T = C_D + \frac{((C1 + CISS) * (C2 + COSS))}{(C1 + CISS) + (C1 + COSS)} \qquad (2.21)$$

ซึ่ง CD คือค่าความจุของวาริแคปที่แรงดันอินพุทใด ๆ และสามารถกำหนด

วงจรหารแบบสองโมดูลัส (PRESCALE 2 MODULUS)

ส่วนสำคัญของวงจรหารแบบนี้คือ ไอซีตระกูล ECT ซึ่งมีความสามารถในการทำงานที่ความถี่สูง การทำการหารล่วงหน้าหรือ PRESCALE ก่อนหมายถึงมีการทำงานในลักษณะที่หารได้ 2 ครั้งด้วยค่า 2 ค่าสลับกันในตัวไอซีเดียว เรานิยมเรียกไอซีตระกูล ECL ว่า พรีสเกลเลอร์ชนิดสองโมดูลัส (dual modulus prescaler)

พรีสเกลเลอร์นี้สามารถหารความถี่ด้วยตัวเลข 2 ตัว ซึ่งต่างกันอยู่ 1 เช่นหาร 10 หรือ 11 เรียกว่า 10/11 พรีสเกลเลอร์

ในโครงงานนี้ใช้ MC 12017 ซึ่งเป็น 64/65 พรีสเกลเลอร์ เอาท์พุทของพรีสเกลเลอร์ จะป้อนให้แก่วงจรหาร 2 ตัว โดยตัวหนึ่งเป็นตัวนับหลัก (main counter) ส่วนอีกตัวเป็นตัวเสริม (auxiliary counter)

ตัวหารเสริมจะเป็นตัวบังคับให้พรีสเกลเลอร์หารด้วยตัวหาร (modulus) ตัวใดคือหารด้วย 64 หรือ 65 เช่นป้อนข้อมูล (ความถี่) หรือพรีเซตัวเลขให้ตัวนับ (หาร) เสริม และในขณะนี้ ECT พรสเกลเลอร์ ใช้ 65 เป็นตัวหาร เมื่อเคาน์เตอร์เสริมหยุดนับ จึงส่งคำสั่งไปบังคับให้พรีสเกลเลอร์เปลี่ยนตัวหารเป็น 64

ตัวนับหลักก็เช่นเดียวกัน จะค่อย ๆ นับถอยหลังไปเรื่อย ๆ จนเป็นศูนย์ เมื่อตัวนับหลักและตัวนับเสริมบับถึงศูนย์เมื่อใดทึ้งคู่จะถูกพรีเซตด้วยตัวเลขข้อมูล (ความถี่) เนื่องจากตัวนับเสริมจะต้องนับถึงศูนย์ก่อน ดังนั้นตัวเลขที่พรีเซตให้เคาน์เตอร์เสริมจะต้องน้อยกว่าตัวเลขที่พรีเซตให้เคาน์เตอร์หลัก

สมมติว่าตัวเลขที่พรีเซตเป็น M ให้ตัวนับหลัก และ A ให้แก่ตัวนับเสริม เริ่มแรกให้พรีสเกลเลอร์อยู่ในสภาวะหาร 65 ซึ่งยังคงหารตัวหาร 65 ไปจนกว่าตัวนับเสริมจะนับเป็นศูนย์นั่นคือเวลาที่ใช้ในการนับของตัวนับเสริมเป็นศูนย์คิดเป็นจำนวนไซเกิล (ของ VCO) ที่ผ่านไปเท่ากับ 65 คูณด้วย A ไซเกิล

หลังจากนั้นพรีสเกลเลอร์จะถูกบังคับให้เปลี่ยนตัวหารเป็น 64 (โดยตัวนับเสริม) ในขณะนี้ตัวนับหลักนับผ่านไป A แล้ว (พร้อมตัวนับเสริม) เช่นกัน ยังเหลืออยู่อีก (M - A) ไซเกิลก่อนที่นับเป็นศูนย์ นั่นคือจะต้องใช้เวลาในการนับตัวศูนย์ต่อไปอีกคิดเป็นจำนวนไซเกิล (ของ VCO)ที่ผ่านไปเท่ากับ 65 คูณด้วย (M - A)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฉะนั้นรวมเวลาที่ใช้จึงเป็นผลรวมของเวลาทั้งสองข้างต้นคือ

VCO ไซเกิล = 65A + 64 (M - A) = 64M + A

ความถี่ของ VC0 จะเท่ากับ (64M + A) เท่าของความถี่อ้างอิงหรือ

Fsynth = Fref (64m + A)

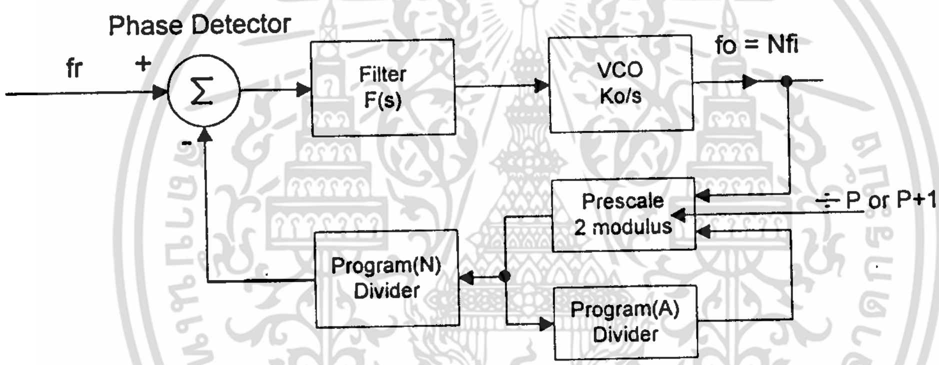
ผลของตัวเลข M มีผลต่อความถี่ Fsynth มากกว่าตัวเลข A อยู่ 64 เท่านอกจากนี้ตัวหาร 64 (M + A) ก็ไม่สามารถหาได้ครบทุกค่า เนื่องจากมีข้อจำกัดตรงที่ M จะต้องมากกว่า (หรือเท่ากับ) A

กรณีที่พรีสเกลเลอร์มีค่าเป็น P และ N ตัวการจะเป็นดังนี้

ตัวหารของระบบสังเคราะห์ความถี่ = PM + A

ตัวหารต่ำสุด = P (P - 1)

ตัวหารสูงสุด = Pmmax + Amax



รูปที่ 2.25 เฟสล็อกลูปแบบพรีสเกลสองโมดุลัส

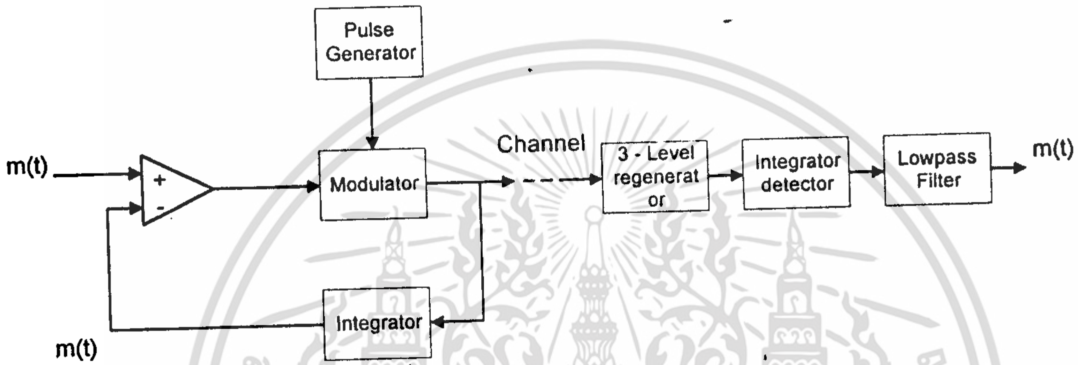
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

DELTA MODULATION (DM)

DM คือ กรรมวิธีของการขนส่ง ขบวนของ pulse ซึ่งมีความกว้างตายตัว (Fixed width pules) โดยมีขั้ว (Polarity) เป็นตัวชี้นำให้ Demodulator ทางด้านรับ ทำงานมี output สูงขึ้น (rise) หรือ ตกลงมา (fall) ในช่วงแต่ละ pulse ที่เข้ามา

ระบบ DM



รูปที่ 3.1 หลักการเดลต้ามอดูเลชั่น

ทางด้านส่ง

1) Comparator เป็นแบบ High gain differential comparatpr

* สัญญาณที่จะส่งป้อนเข้าทาง noninverting input (+)

* สัญญาณที่เข้าทาง inverting input เป็นสัญญาณที่เกิดจากการ feed back กลับมาจาก Output โดยมีลักษณะคล้ายกับสัญญาณที่จะส่งมา

* Comparator จะ Saturation ไปทางด้าน positive หรือ negative Supply Voltage อย่างใดอย่างหนึ่ง ขึ้นอยู่กับขั้วของ Voltage ผลต่างระหว่าง input (+ มี volt สูงหรือต่ำกว่า - input) ทั้งสอง ฉนั้น output จะมีแต่ + หรือ -

2) Modulator ได้รับ pulse pi (t) เป็นแบบ unipolar (มีขั้วด้านเดียว) โดยมี Sampling rate เท่าที่ต้องการ ทำหน้าที่ SW. ให้ output ของ Mod. ออกไปได้ pulse เป็น +1 หรือ -1 คือ ถูกสลับด้วย pulse สัญญาณนี้นอกจากจะถูกส่งออกไปเป็น output po(t) แล้วยังย้อนกลับไปป้อนทาง input โดยผ่านวงจร Integrator ก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) Integrator จะสร้างรูปคลื่นขั้นบันไดมีความสูงตายตัว โดยขั้วจะขึ้นเมื่อได้ pulse + และขั้วจะตกลงเมื่อได้ pulse - ได้เป็นสัญญาณ m(t) ความสูงของ pulse ปรับได้โดยการเปลี่ยนแปลง gain factor ของ Integrator การเพิ่ม gain จะทำให้รูปคลื่นมี Maximum rate Rmax ของการขึ้นสูงเพิ่มขึ้น

ทางด้านรับ

1. Regenerator จะแต่งสัญญาณที่เข้ามาให้ปราศจาก noise ให้เหมือนรูปเดิม
2. Integrator สร้างสัญญาณเป็นรูปขั้นบันได m'(t)
3. Lowpass Filter ขจัด Quantization Noise สัญญาณ m''(t) ที่จะออกไปเหมือนสัญญาณเดิมมากที่สุด

3.1 หลักการเดลต้ามอดูเลชั่น (Delta Modulation)

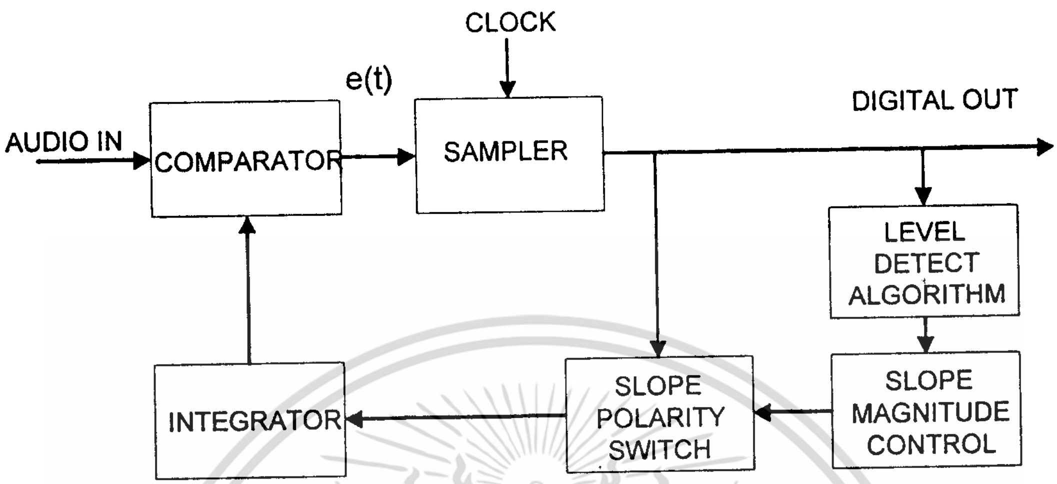
จากการทดลองในโครงการนี้ ได้ใช้ไอซีสำเร็จรูปในการแปลงสัญญาณอนาลอกเป็นดิจิตอลเป็นชนิด เดลต้ามอดูเลชั่น ใช้ไอซีเบอร์ MC 3417 เป็นชนิดซีวีเอสดี (continuous variable slope delta modulation and demodulation ข้อจำกัดของวิธีการเดลต้ามอดูเลชั่น คือ แถบกว้างความถี่ใช้งานซึ่งถูกจำกัดโดยความถี่ใช้งานนาฬิกา และจะสูงกว่าความถี่สูงสุดของสัญญาณอินพุทมากกว่า 2 เท่าขึ้นไป อีกอันหนึ่ง คือความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณหรือไดนามิกส์เรนจ์ (dynamicrange) ระบบเดลต้ามอดดูเลชั่นธรรมดามีค่าไดนามิกส์เรนจ์ที่แคบ จำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยายไดนามิกส์เรนจ์ให้กว้างขึ้น โดยการควบคุมอัตราการขยายของอินทิเกรเตอร์(integrator) เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมาก ๆ ได้ทัน ระบบนี้มีชื่อเรียกใหม่ว่า ระบบเดลต้ามดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง หรือ CVSD (continuous variable slope delta modulation)

ระบบ CVSDทั้งส่วนแปลงจากอนาลอกเป็นดิจิตอลและส่วนแปลงกลับจากดิจิตอลเป็นอนลอก รูปที่ 3.2 และ รูปที่ 3.3 ตามลำดับวิธีการของ CVSD ก็คือ มีการตรวจระดับสัญญาณ โดยอาจใช้วิธีการจัดให้มีรีจสเตอร์ (register) สำหรับเก็บข้อมูลล่าสุดจำนวน 3 ถึง 4 บิท แล้วตรวจดูว่าเป็น “0” หมด หรือ “1” หมดหรือไม่ ถ้าใช่แสดงว่าขณะนี้อัตราการขยายให้สูงขึ้นเฉพาะในช่วงนั้น ในส่วนของการแปลงกลับ ก็มีการทำงานในลักษณะเดียวกัน คือ มีรีจีสเตอร์ตรวจดูข้อมูล ว่าเป็น “0” หมด หรือ “1” หมดหรือไม่แล้วจัดการควบคุมอัตราการขยายของอินทิเกรเตอร์ให้สอดคล้องกัน

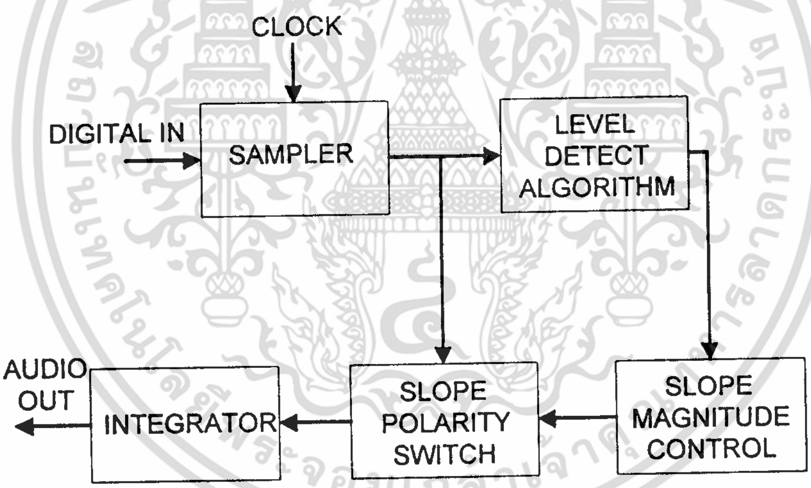
สำหรับบิทเรท (bit rate) หรือ อัตราเร็วของข้อมูลสำหรับวิธีการเดลด้ามอดูเลชั่น มีความถี่เท่ากับความถี่สัญญาณนาฬิกา เสียงพูดในระบบโทรศัพท์ มีแถบความถี่กว้าง 4 กิโลเฮิร์ท ต้องใช้ความถี่นาฬิกา 16 กิโลเฮิร์ท ได้ข้อมูลดิจิตอลที่มีบิทเรท 16 กิโลบิทต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโครงงานนี้จะใช้ ไอซีเบอร์ MC 3417 ของโมโตโรล่าร์ เป็นซีวีเอสดีมอดูเลชั่น และดีมอดูเลชั่นตัวเดียว ทำหน้าที่ทั้งแปลงสัญญาณอนาลอกเป็นดิจิตอล และแปลงกลับจากดิจิตอลเป็นอนาลอกมาใช้กับระบบสื่อสารสมัยใหม่ที่เป็นระบบดิจิตอล



รูปที่ 3.2 บล็อกแผนผังการทำงานของซีวีเอสดีในแปลงสัญญาณจากอนาลอกเป็นดิจิตอล



รูปที่ 3.3 บล็อกแผนผังการทำงานของซีวีเอสดีในแปลงสัญญาณจากดิจิตอลเป็นอนาลอก

ข้อได้เปรียบของ DM นั้นคือ สร้างง่าย และให้เอาท์พุทออกมาเป็น serial เลย ข้อจำกัดของ DM คือ ความเที่ยงตรงในการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลด้วย bit rate ที่จำกัด ดังนั้น อนาลอกอินพุทจึงต้องมีการกำจัดทั้ง bandwidth และ amplitude สำหรับความถี่ จะจำกัดจุดสูงของความถี่อินพุท ไม่ให้เกินกว่าที่จะ encode ได้ ส่วน amplitude นั้นจะจำกัดทั้งสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สุดและต่ำสุด เพราะ amplitude ค่าต่ำสุดต้องไม่ต่ำกว่าระดับของ noise ที่ DM สร้างขึ้นขณะไม่มีสัญญาณอินพุท สำหรับ data modulator แบบธรรมดาแล้วพบว่ามีไดนามิกส์เรนจ์ต่ำ และมีระดับของ noise คงที่

สำหรับวงจร continuous variable slope นั้นมีจุดประสงค์ เพื่อเพิ่มเติมไดนามิกส์เรนจ์ ซึ่งทำได้โดยการปรับ gain ของวงจรอินทิเกรเตอร์ ด้วยวิธีการตรวจสอบสัญญาณอินพุทโดยใช้ shift register นี้จะมี 3 หรือ 4 ตัวตามแต่การใช้งาน CVSD จะคอยเช็คดูว่าค่าภายใน shif register เป็น "0" หรือ "1" ทั้งหมดหรือไม่ ถ้าค่าภายในของ shif register เป็น "0" หรือ "1" ทั้งหมด แสดงว่า gain ของอินทิเกรเตอร์น้อยไป เราจะได้ผลแสดงออกมาทาง coincidence เอ้าท์พุทซึ่งจะไปทำการเพิ่ม gain ของอินทิเกรเตอร์

นอกจากวิธีการใช้ shif register แล้วยังมีวิธีอื่นอีก เช่น การวัด average power หรือการวัดขนาดของสัญญาณอินพุท หรือตรวจสอบค่าขณะของอินพุท ซึ่งวิธีการเหล่านี้ล้วนแล้วแต่ต้องการควบคุม gain ของอินทิเกรเตอร์เพื่อเพิ่มไดนามิกส์เรนจ์ของ DM ทั้งสิ้น

จากวิธีการ encode นี้ ถ้าถูกนำมาใช้ในการ decode ที่ทางด้านรับเราก็จะได้สัญญาณทางด้านเอ้าท์พุทมีรูปร่างเช่นเดียวกับทางด้านอินพุท

จากวิธีการของ CVSD นี้เรียกว่าการ Compand (compress + expand) ถ้านำสัญญาณดิจิตอลเอาท์พุทของ CVSD encoder มีใช้การ decode ด้วย DM แบบธรรมดา (หรือ LDM นั่นเอง) เอาท์พุทหลังจากผ่านอินทิเกรเตอร์แล้ว จะมีลัษณะเช่นเดียวกับทางด้านอินพุท แต่ระดับ amplitude จะมีขนาดเท่ากันตลอด ดังนั้นวิธีการ decode CVSD ก็ต้องใช้เช่นเดียวกับวิธีการ encode

3.1.1 การออกแบบและประยุกต์ใช้งาน CVSD

ไอ.ซี.เบอร์ MC 3417, MC 3418 เป็น CVSD แบบง่าย การต่อให้ทำงานเป็น encode และ decoderดังแสดงในรูปที่ 3.4 ไอซีชนิดนี้เป็น CVSD แบบใช้งานทั่วไป ผู้ใช้สามารถออกแบบปรับปรุงได้ มีสิ่งที่ต้องการกำหนดและออกแบบ 7 ข้อ คือ

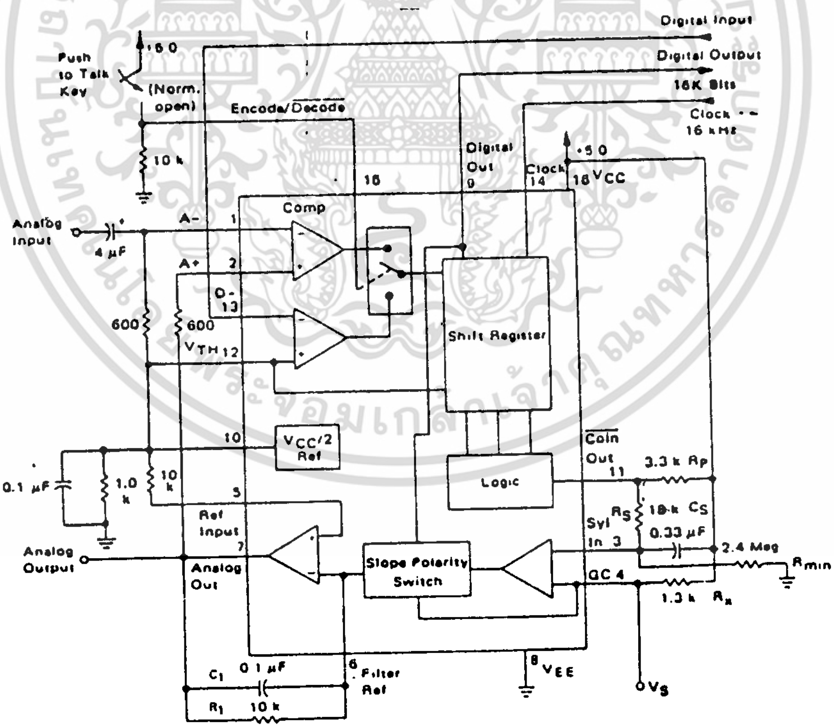
1. กำหนดความถี่ของสัญญาณนาฬิกา (clock rate)
2. ขนาดของ shif register ที่ต้องใช้ (3 หรือ 4 บิท)
3. เลือก loop gain
4. กำหนดขนาด step ที่เล็กที่สุด
5. ออกแบบอินทิเกรชั่นฟิลเตอร์ transfer function
6. ออกแบบ syllabic filter transfer function
7. ออกแบบ low pass filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกาและขนาดของชิฟรีจีสเตอร์

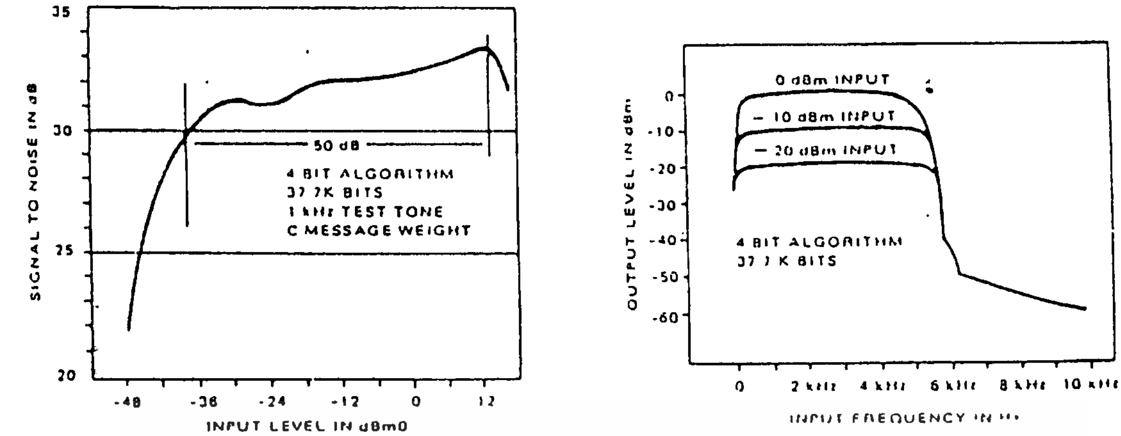
ในการออกแบบขั้นต้นเราต้องกำหนด บิทเรทของ CVSD ซึ่งจำนวน บิทเรท นี้คือสัญญาณนาฬิกาที่ต้องใช้นั่นเองเนื่องจาก DM สร้างสัญญาณที่เป็นอนุกรม ออกมาเลย ดังนั้น บิทเรท และ สัญญาณนาฬิกาหรือความถี่ของการ แซมปลิ้ง ก็คือตัวเดียวกันนั่นเอง ถ้าความถี่ของสัญญาณนาฬิกาสูง S/N ก็จะสูงไปด้วย CVSD นี้สามารถใช้ clock rate ได้ตั้งแต่ 9600 Hz ถึง 64 KHz แต่ที่มีใช้กันมากในอุปกรณ์การสื่อสารทั่วไป คือ 16 KHz,36KHz และ 37.7 KHz ในระบบโทรศัพท์สาธารณะจะใช้ 32 Khz และสำหรับการเข้ารหัส อื่น ๆ บางครั้งอาจจะใช้บิทเรท สูงถึง 200 กิโลบิทต่อวินาที

หลังจากกำหนดระบบบิทเรทแล้ว ก็ต้องทำการกำหนดขนาดของ ชิฟรีจีสเตอร์ นี้จะเป็นตัวเก็บข้อมูลของสัญญาณในช่วงเวลาที่ได้ผ่านมาก่อนหน้านี้แล้วเพื่อควบคุม gain ของอินทิเกรเตอร์ซึ่งก็ขึ้นอยู่กับสัญญาณนาฬิกาด้วย ดังนั้นที่อัตราต่ำกว่า 16 KHz ควรใช้รีจีสเตอร์ ขนาด 3 บิท ซึ่งจะให้ผลดีที่สุดและจาก 16 กิโลบิท ขึ้นไปจะใช้ 3 หรือ 4 บิท อย่างใดอย่างหนึ่ง สำหรับ 4 บิท จะให้ S/N ที่ flat กว่า เพราะว่า รีจีสเตอร์ มีการเก็บข้อมูลที่ยาวกว่า อย่างไรก็ตามผลตอบสนองของทรานเชี้ยน จะไม่ดีเท่าที่ควร เนื่องจากการคอมแพนช้า ดังนั้นไอซี เบอร์ MC 3417 ซึ่งมี รีจีสเตอร์ 3 ตัวนั้นใช้กับระบบที่ใช้ บิทเรทต่ำ ส่วน MC 3418 มี รีจีสเตอร์ 4 ตัว ใช้กับระบบที่มี บิทเรทสูงตั้งแต่ 64 กิโลบิท ขึ้นไปจะทำงานได้ดี



รูปที่ 3.4 วงจร CVSD encode/decode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ผลของ S/N เมื่อเทียบกับการตอบสนองความถี่

เลือกลูปเกน

ในวงจรรูปที่ 3.4 Rx เป็นตัวกำหนด เกนขยายป้อนกลับของ CVSD การเลือกเกน นี้เป็นพารามิเตอร์ที่สำคัญอีกอย่างหนึ่งของการเข้ารหัส เนื่องจากวิธีการของ CVSD ก็เพื่อปรับปรุงไดนามิกส์เรนจ์ของ เดลต้ามอดูเลชั่น ที่ระดับสัญญาณอินพุทต่ำ ๆ การเลือกลูปเกนจึงต้องขึ้นอยู่กับ

1. ระดับและความถี่ของสัญญาณอินพุท
2. ทรานเฟอร์ฟังก์ชั่นของอินทิเกรชั่นฟิลเตอร์

ดังเช่น การคอมแพน จะทำงานในระหว่าง 5% ถึง 25% ของเวลาเท่านั้น Rx จะถูกเลือกก็โดยการกำหนดกระแสที่อินทิเกรเตอร์ต้องการ ซึ่งก็จะสร้างขนาดของ step ได้ตามต้องการเมื่ออินพุทของ syllabic filter ได้ประมาณ 25% ของจุดสูงสุดของมัน

เพื่อที่จะคำนวณขนาดของกระแสของ step เราต้องการหาลักษณะของ ทรานเฟอร์อินทิเกรชั่นฟิลเตอร์ ในรูปที่ 3.4

R = 10 K C = 0.1 μF

$$\frac{VO}{Ii} = \frac{1}{C(S+1/RC)} = \frac{K}{S+Wo}$$

จาก Wo= 2 f

10^3 = Wo = 2 f

f = 159.2 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น อินทีเกรเตอร์ จะมี single pole response ตั้งแต่ 300 ถึง 3 KHz กระแสที่ต้องการจะทำให้เอ้าท์พุทของอินทิเกรเตอร์ เพิ่มจาก 0 ถึงจุดโวลท์เตจที่ต้องการ คือ

$$Ii = \frac{VO}{R} + \frac{CdVO}{dt}$$

ที่ 0 dBmo ของ Sine wave จะเท่ากับ 1.0954 V ดังนั้น กระแสที่ต้องการสำหรับที่ 0 dBmo ของ 1khz ลูกคลื่นซายน์ คือ

$$Ii = \frac{1.1V}{2(10K)} + \frac{0.1\mu F(1.1)}{0.125mS} = 0.935mA$$

โวลท์เตจสูงสุดที่ตกคร่อม $Ri = \frac{1.1V}{2}$

จากโวลท์เตจของ sylabic filter ก็คือ Vcc การ compand ไม่เกิน 25%

$$Rx = 0.25Vcc * \frac{1}{0.935mA}$$

ที่ Vcc = 5 V, Rx = 1.3 K

ขนาดของ step ที่เล็กที่สุด (minimum step size)

พารามิเตอร์ที่จะกำหนดสุดท้ายนี้สำหรับวงจรในรูป 3.4 คือ ขนาดของ step ที่เล็กที่สุด ขณะที่ไม่มีสัญญาณอินพุทที่เอ้าท์พุทดิจิตอลของ CVSD เป็น “1” และ “0” สลับกันไปตลอดและที่อนาลอกเอ้าท์พุทจะได้รับรูปสามเหลี่ยมเล็ก ๆ ซึ่งเรียกว่า Idle channel ซึ่งหมายความว่า CVSD ไม่สามารถเข้ารหัสสัญญาณที่มีระดับต่ำกว่าขนาดของ step ที่เล็กที่สุดได้ ในทางทฤษฎีแล้วจะทำพารามิเตอร์นี้เป็น “0” แต่ในทางปฏิบัติจะมีค่าผิดพลาด (error) เช่น step ที่ขึ้นและลงไม่พอดีกัน คอมพาราเตอร์อีสเตอร์รีซีส และฟิลเตอร์ออปแอมป์ออฟเซท(filter opamp off set)ซึ่งทำให้เกิด idle channel ทั้งสิ้น

การกำหนดขนาด idle channel นี้ด้วยการเลือกขนาดของ Rmin ขณะที่ไม่มีสัญญาณอินพุท ส่วนควบคุมความเอียงจะไม่ทำงานเพราะเอ้าท์พุทของคอมพาเตอร์ จะไม่เป็น “1” หรือ “0” ติด ๆ กันจนทำให้เกิด coincidence เอ้าท์พุทได้ ดังนั้นโวลท์เตจที่ตกคร่อม Cs จะประมาณ 0 V อย่างไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก็ตามโวลท์เตจที่ถูกแบ่งของ Rs และ Rmin จะทำให้มีโวลท์เตจตกคร่อม Cs บ้าง ซึ่งโวลท์เตจนี้จะทำให้เกิดสัญญาณสามเหลี่ยมที่เอ้าท์พุทของอนาลอก จากสมการกระแสอินพุท

$$Ii = \frac{VO}{R} + \frac{cdVO}{dt}$$

ที่ Vo น้อย ๆ จะได้ $\frac{VO}{R} = 0$ ดังนั้น เทอม Vo/R จึงถูกตัดทิ้งได้

$$Ii = C_s * \frac{VO}{T}$$

T = period ของสัญญาณนาฬิกา

Vo= peak - to - peak value of idle channel

จากวงจรรูป 3.3 ใช้สัญญาณนาฬิกา 37.7 KHz

$$Ii = \frac{0.1\,\mu F * 10mv}{26.52\,\mu S} = 37.7\,\mu A$$

ดังนั้นโวลท์เตจคร่อม Cs ที่กระแส 37.7µA กำหนดโดย Rx

Ii.RX = Vsmin = 37.7µA . 1.3k = 49 mV

ในรูปที่ 3.3 Rs = 60 K จะทำให้เกิดโวลท์เตจแบ่งกันระหว่าง Rs, Rmin โดยตกคร่อม Rs 49 mV ดังนั้น

$$cc * \frac{Rs}{Rs + R\min} = Vs\min$$

รูปที่ 3.4 เป็นการวัดผล S/N ของวงจร ซึ่งจะได้ผลดีที่สุดที่ระดับ 0 dBmo แต่ S/N จะตกลง 6 dB จาก 0 dBm ที่ -30 dBm

3.1.2 การจัดขาและหน้าที่ต่าง ๆ ของไอซี

ขา 1 analog input

เป็นขาอินเวอร์ติ้งอินพุทของอนาลอก คอมพาราเตอร์ ซึ่งเราจะป้อนสัญญาณเสียงเข้าขานี้ ได้ทั้งแบบเอซีและดีซีขึ้นอยู่กับการใช้งาน ถ้าระดับสัญญาณเสียงมีค่าเข้าใกล้แรงดันอ้างอิงภายใน แล้วตัวต้านทานที่ต่อไบอัสอยู่ระหว่างขา 1 กับ ขา 10 จะถูกนำมาใช้ อนาลอกคอมพาราเตอร์ออกแบบใช้กับ hysteresis ต่ำ แต่มี gain สูง (ประมาณ 70 dB)

ขา 2 analog feedback

เป็นขานอนอินเวอร์ติ้งอินพุทของ อนาลอก คอมพาราเตอร์ ในการใช้งานเป็นตัวเข้ารหัส (encode) ขานี้จะต่อกับ อนาลอกเอ้าท์พุทของวงจรเข้ารหัส (encoder circuit) หรือ ขา 7 ซึ่งก็คือวงจรกรองความถี่ต่ำ (low pass filter) เอ้าท์พุทนั่นเอง ในการใช้งานเป็น decoder ขานี้ไม่ใช้จะต่อกับขา 10 หรือปล่อยลอยไว้เฉย ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 3 syllbic filter

ขานี้เป็นขาที่มี syllabic voltage ป้อนเข้าเพื่อใช้ในการคอนโทรลขนาด step ของอินทิเกรเตอร์ ขานี้เป็น NPN อินพุทของ Op-Amp syllabic filter ประกอบด้วย RC network ที่มีต่อระหว่างขา 11 และขา 3 ซึ่งใช้ time constant ระหว่าง 6 mS - 50 mS

ขา 4 gain control input

syllabic filter voltage ที่ปรากฎคร่อม Cs ของ syllabic filter จะถูกเปลี่ยนเป็นกระแสนำไปขับ (drive) ขา 4 ที่ slew rate 0.5 V/S ดังนั้น กระแสที่ผ่านเข้าขา 4 ก็คือ syllabic filter voltage ที่หารด้วย Rx

ขา 5 Reference input

ขานี้เป็นขานอนอินเวอร์ติ้งอินพุทของอินทิเกรเตอรแอมป์ไฟเออร์ (integrator amplifier) ใช้เป็นระดับอ้างอิงดีซี (DC reference) ของสัญญาณเอ้าท์พุทใช้เป็นตัวเข้ารหัส (encode) ขานี้จะต้องมีแรงดันอ้างอิง (reference voltage) ระดับเดียวกันกับขา 1

ขา 6 Filter input

เป็นขาอินเวอร์ติ้งของอินพุทออปแอมป์ ซึ่งใช้ต่อกับอินทิเกรเตอร์เนทเวอร์ (integrator network) ภายนอกกระแสอินทิเกรติ้ง (lint) จะไหลเข้าขา 6 ในการเข้ารหัส (encoder)เมื่ออนาลอกอินพุท (ขา 1) มากกว่า analog feedback (ขา 2) หรือการ decoderdigital date อินพุท (ขา 13) เป็น "1" และในทางตรงกันข้ามกระแส lint จะไหลออกจากขา 6 เมื่ออินพุทกลับกันครั้งแรกสำหรับระบบซิ้งเกิลอินทิเกรชั่น (single integration) จะมี RC ต่อระหว่างขา 6 และขา 7

ขา 7 Analog output

เป็นขาอินทิเกรเตอร์เอ้าท์พุท สามารถขับโหลดต่ำสุด 600 โอห์ม ด้วยแรงดันอ้างอิง (reference) กับ Vcc/2 สำหรับการออกแบบอินทิเกรชั่นฟิลเตอร์เนทเวอร์ slew rate ของการชดเชยภายใน โดยอินทิเกรเตอร์ ออปแอมป์ ประมาณ 0.5 V/μS ขานี้จำกัดกระแสไว้ประมาณ 30 mA

ขา 8 Vee

ไอซีนี้ถูกออกแบบให้ทำงานได้ทั้ง แหล่งจ่ายคู่และแหล่งจ่ายเดี่ยว ขานี้จะต่อกับไฟลบหรือกราวด์

ขา 9 Digital output

ขานี้เป็นขาเอ้าท์พุทจากผลของเดลต้ามอดูเลเตอร์ คอนเวอร์ชั่นเอ้าท์พุทของขานี้จะสวิงระหว่าง Vcc กับ Vee ซึ่งสามารถต่อเข้ากับ MOS หรือ TLL ได้ ขานี้จะอินเวิดร์ เมื่อเทียบไปกับขา 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเป็นนอนอินเวิดร์เมื่อเทียบกับขา 2 ขานี้เอ้าท์พุทขึ้นอยู่กับสัญญาณนาฬิกาที่ขา 14 เมื่อมีขอบขาลง สัญญาณนาฬิกานี้มี raise และ fall time 250 nS และ 50 μS

ขา 10 Vcc/2 output

ขานี้มี impedance ต่ำ และจ่าย mid-supply reference สำหรับใช้งานแบบ single supply ภายในเป็น เรกูเลเตอร์ แหล่งจ่ายกระแส (current source) และจะต้องมีโหลดเพื่อ sink กระแสนี้ ขานี้สามารถจ่ายกระแสได้สูงสุด 10 mA

ขา 11 Coincidance output

ค่าดิวตี้ ไซเคิ้ล (duty cycle) ของขานี้เป็นสัดส่วนโดยตรงกับแรงดันที่ตกคร่อม Cs ขานี้จะเป็ low เมื่อค่าที่อยู่ในชิพรีจีสเตอร์ (shif register) เป็น "0" หรือ "1" ทั้งหมดขานี้เป็น open clloector NPN จึงต้องมี pull up registor ถ้า syllabic filter
มีชาร์จและดิสชาร์จ ไทม์ คอนแตนซ์ (time constant) เท่ากันแล้ว Rp จะต้องน้อยกว่า Rs แต่ในทางปฏิบัติแล้วค่าชาร์จและดิสชาร์จไทม์ คอนแตนซ์ (time constant) จะต่างกันเพราะ charging constant คือ Rs.CS ขณะที่ dischare constant คือ (Rs + Cs).Cs

ขา 12 Digital threshold

ขานี้เป็นขาอินพุทซึ่งเป็นตัวเทียบระดับการสวิง สำหรับขา 13,14,15 ซึ่งจะช่วยในการอินเตอร์.ฟส (interfacing) ระดับลอจิก เมื่อต่อกับไอซีชนิดต่าง ๆ โดยไม่ต้องมีอุปกรณ์ อินเตอร์เฟสช่วย ปกติขานี้จะต่อกับขา Vcc/2 สำหรับ ซีมอสอินเตอร์เฟส หรือไบอัสด้วยไดโอดที่ต่อกับขา Vee สำหรับการ อินเตอร์เฟส กับ ทีทีแอล

ขา13 digital date input

ขานี้เป็นขาอินพุทของดิจิตอลพัลส์ สำหรับการทำงาน ถอดรหัส ส่วนการเข้ารหัส จะไม่ใช้ขานี้ ในการถอดรหัส สัญญาณดิจิตอล จะถูกป้อนเข้าขานี้ สำหรับช่วงการเข้ารหัส ขานี้จะไม่ใช้หรืออาจจะใช้ในการส่งสัญญาณข่าวสาร ทั้งนี้ก็ขึ้นอยู่กับขา 15 ที่ใช้ควบคุมรดับข้อมูลดิจิตอล อินพุทควรจะคงที่อยู่ 0.5 μS ก่อนและหลังการกระตุ้นของสัญญาณนาฬิกา

ขา 14 Clock input

ขานี้เป็ขาสำหรับสัญญาณนาฬิกา ซึ่งขึ้นกับว่าเราต้องการอัตราข้อมูล (data rate) เท่าไรในการะเข้า-ถอดรหัส (codec) เข้า 32 K bit rate ต้องใช้สัญญาณนาฬิกา 32 Khz สำหรับ switching threshold ถูกต้องไว้ที่ขา 12 สำหรับชิพรีจีสเตอร์ (shif register)ภายในท็อคเตอร์ (toggle) ด้วย ขอบขาลง (filling edge) ของ clock สำหรับความกว้างของ pulse + สูงสุด 300 nS ส่วน pulse - เป็น 900 nS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 15 Encode/Decode

เป็นขาควบคุมต่อระหว่างอนาลอกอินพุทของคอมพาราเตอร์ (ดิจิตอลอินพุทของคอมพาราเตอร์) เข้ากับชิพรีจีสเตอร์ ถ้าเป็น “1” สัญญาณอนาลอกอินพุท เปรียบเทียบกับช่วงขอบขาลงของสัญญาณนาฬิกาที่ขา 14 ถ้าเป็น “0” สัญญาณดิจิตอลจะถูกเปรียบเทียบเพื่อการแปลงกลับ

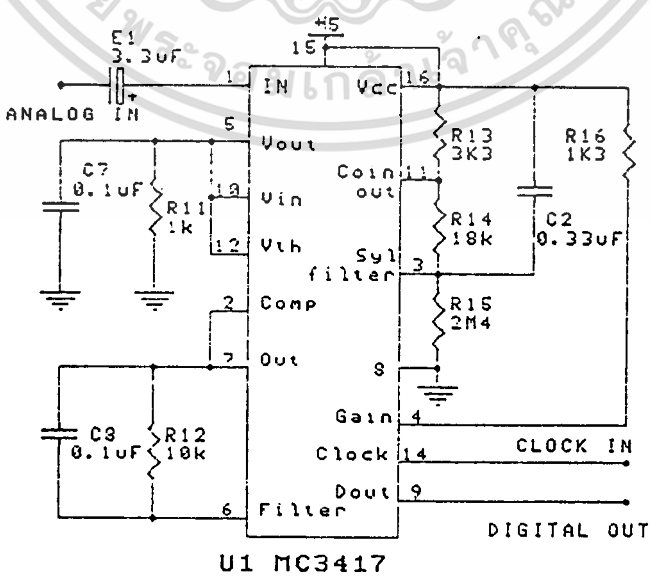
ขา 16 Vcc

เป็นขาแหล่งจ่ายไฟเลี้ยง ตั้งแต่ 4.77 V ถึง 16.5 V เมื่อเทียบกับ Vee

3.2 วงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล และดิจิตอลเป็นอนาลอก

จากโครงงานได้ใช้วิธีการแปลงสัญญาณอนาลอกมาเป็นดิจิตอลโดยใช้วิธีการมอดูเลทเป็นแบบเดลต้ามอดูเลทซึ่งใช้ไอซีเบอร์ MC 3417 ของโมโตโรล่า เป็นตัวเปลี่ยนสัญญาณซึ่งสัญญาณที่ใส่เข้าไปเป็นสัญญาณอนาลอกความถี่ไม่เกิน 4 กิโลเฮิร์ท และใช้การแซมปลิ้งสัญญาณด้วยความถี่ 16 กิโลเฮิร์ท ดังนั้นสัญญาณดิจิตอลที่ออกมา จะมีค่าบิทเรทประมาณ 16 บิทต่อวินาที หรือขึ้นอยู่กับความถี่ที่ทำการแซมปลิ้งและในการแซมปลิ้งสัญญาณ 1 ครั้ง เอ้าท์พุทที่ได้มีค่า 1 บิท

ข้อดีของไอซีเบอร์นี้ คือ ในตัวมันเองสามารถใช้แปลงสัญญาณดิจิตอลเป็นอนาลอกด้วยทำให้เกิดความสะดวกในการออกแบบวงจรและมีความยุ่งยากมากนัก ถ้าต้องการให้มันทำงานในส่วนของการแปลงอนาลอกเป็นดิจิตอลก็ต่อขา 15 โดยให้แรงดัน 5 โวท์ลกับขา 15 แล้วป้อนสัญญาณอนาลอกเข้าขา 1 สัญญาณที่ป้อนมีค่าแรงดันไม่เกินบวก 5 โวท์ล และต้องผ่านการกรองความถี่ต่ำมาก่อนเพื่อไม่ให้ความถี่สูงเข้ามากวน ค่าแรงดันของสัญญาณดีที่สุดประมาณ 3-4 โวท์ล แล้วสัญญาณ CLK ที่จ่ายให้ก็มีค่าความถี่ไม่เกิน 16 กิโลเฮิร์ทและมีค่าแรงดันมากกว่า 2 โวท์ล ลักษณะวงจรและอุปกรณ์เป็นดังในรูปที่ 3.6

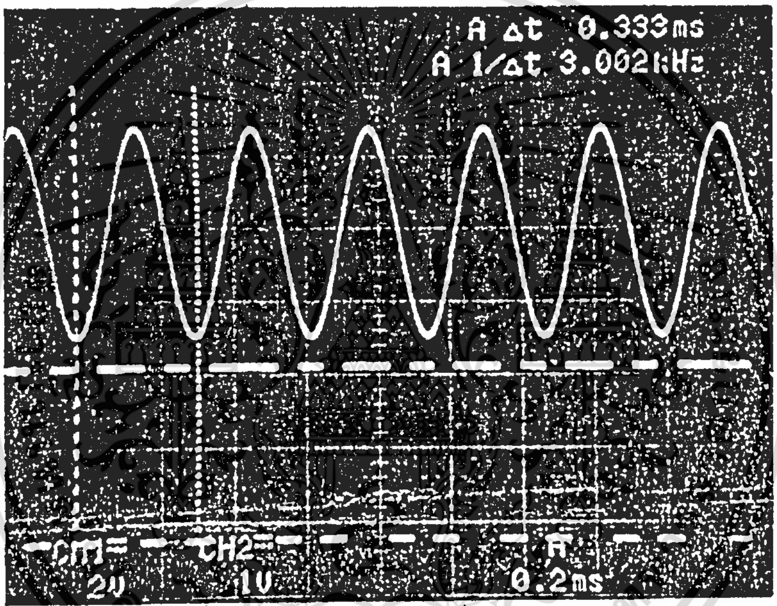


รูปที่ 3.6 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษา ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวงจรแรกนั้น เอ้าท์พุทที่เป็นดิจิตอลออกที่ขา 9 ของไอซี ส่วนในวงจรแปลงสัญญาณดิจิตอลกลับเป็นอนาลอกนั้นกลับกันโดยการต่อขา 15 ของไอซีลงกราวด์ แล้วเอาสัญญาณ CLK จ่ายให้ขา 14 และต่อสัญญาณดิจิตอลอินพุทเข้าที่ขา 13 ของไอซีเอาสัญญาณออกที่ขา 7 ของไอซีออกมาแล้วนำสัญญาณที่ขา 7 นั้นไปเข้าวงจรกรองความถี่ต่ำผ่านอีกครั้งหนึ่ง ถ้าสัญญาณมีขนาดเบาก็ผ่านวงจรขยายอีกครั้งก็ได้ แรงดันที่จ่ายให้ขา 13 ซึ่งเป็นดิจิตอลอินพุทนั้น ประมาณ 3-5 โวท์ล ซึ่งจะทำให้การแปลงสัญญาณออกมามีคุณภาพดีที่สุด

ลักษณะการต่อวงจรและค่าของอุปกรณ์ต่าง ๆ นั้น ใช้ค่าต่าง ๆ จากคู่มือการใช้งานซึ่งมีมากับอุปกรณ์แล้ว แรงดันที่จ่ายให้ไอซีก็มีแรงดัน บวก 5 โวล์ทเท่านั้น ผลการทดลอง เมื่อให้ความถี่อินพุทเป็นความถี่อนาลอกขนาด 3 Vp-p แล้วจ่ายสัญญาณ CLK ให้ 16 Khz ที่ความถี่ 3 KHz โดยป้อนจากฟังค์ชั่นเจนเนอร์เรเตอร์ แล้วผลของเอ้าท์ที่ได้จากวงจรเปลี่ยนอนาลอกเป็นดิจิตอล ดังแสดงในรูปที่ 3.7

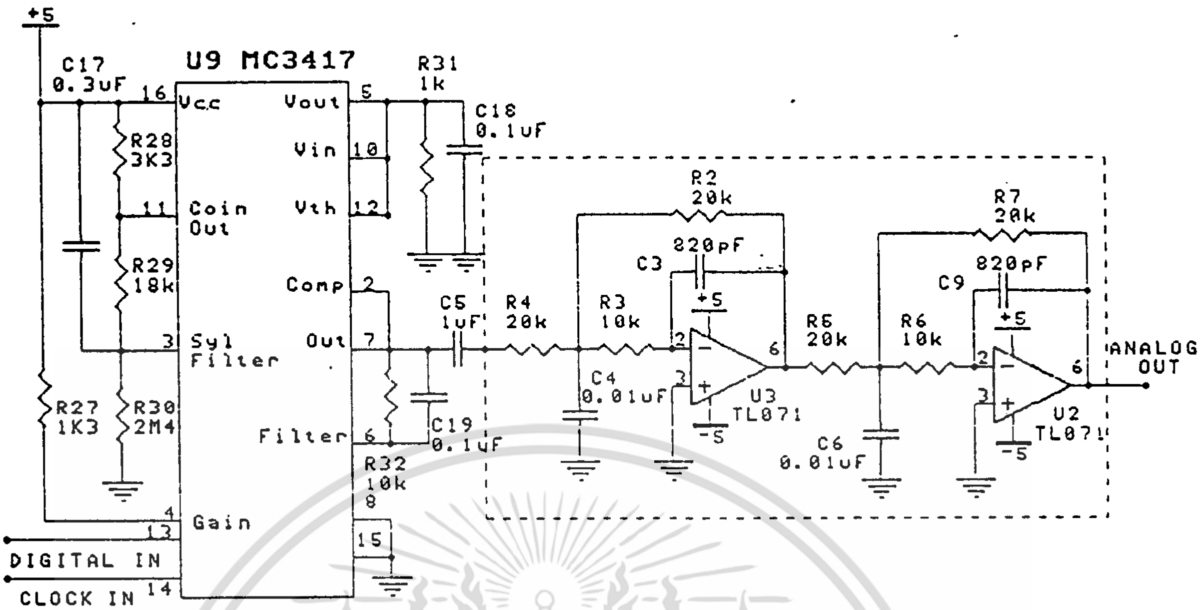


รูปที่ 3.7 ผลการทดลองเปลี่ยน A/D

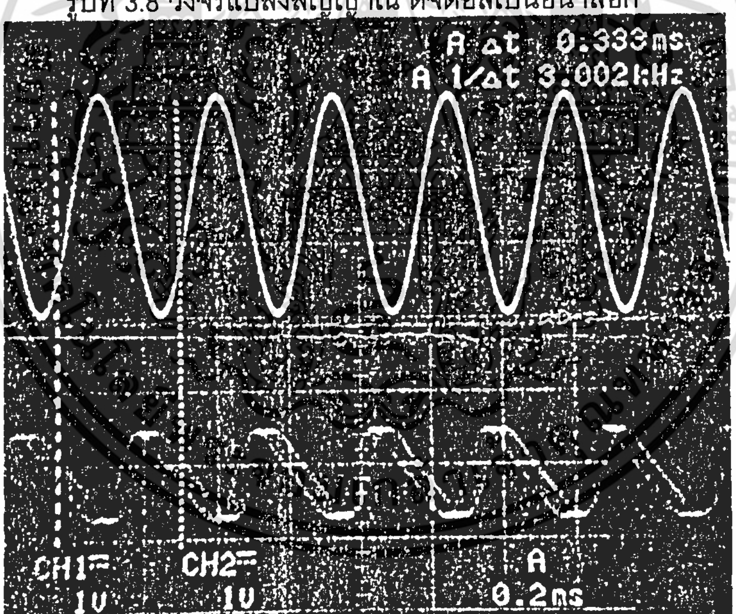
แล้วลองเอาค่าของดิจิตอลเอ้าท์พุท ไปต่อให้กับวงจรเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอกเพื่อแปลงสัญญาณกลับ แต่ผลที่ออกมาสังเกตุไม่ค่อยชัด จึงใส่วงจรกรองความถี่ต่ำต่อจาก D/A ดังในรูป 3.8

สำหรับการทดลองที่ออกมาจากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกนั้น เนื่องจากสัญญาณที่จับด้วยสโคป มีการเคลื่อนไหวตลอดเวลาจึงได้ทำการปรับค่าความถี่ของสัญญาณอินพุทไปเล็กน้อย เพื่อต้องการให้ภาพหน้าจอหยุดนิ่ง หรือเคลื่อนไหวน้อยที่สุด เพื่อจะได้ทำการถ่ายภาพบันทึกผลดังแสดงในรูป 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรแปลงสัญญาณ ดิจิตอลเป็นอนาลอก



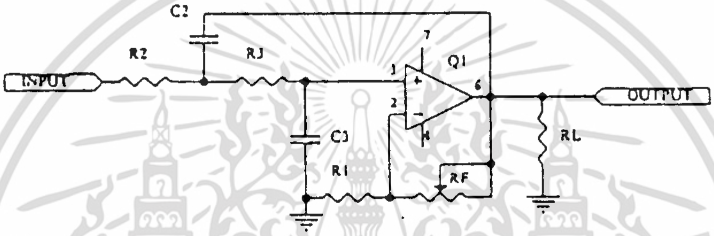
รูปที่ 3.9 ผลการทดลองการเปลี่ยนสัญญาณ D/A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบและสร้างวงจรทางด้านภาคส่ง

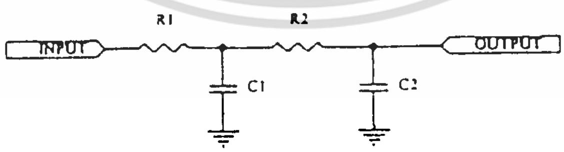
4.1 วงจรกรองความถี่ต่ำผ่าน (LOW PASS FILTER)

วงจรกรองความถี่ต่ำแบบ บัสเตอร์เวอดร์ เป็นวงจรที่มีกราฟความชันของการตอบสนองที่ -40 dB/ decade ซึ่งแสดงวงจรและกราฟแสดงผลการตอบสนองความถี่ ตามรูปที่ 4.1.1



รูปที่ 4.1.1 วงจรกรองความถี่ต่ำ

จากรูปสามารถเขียนวงจรสมมูลย์ได้ดังรูป 4.1.2



รูปที่ 4.1.2 วงจรสมมูลย์ของ LPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรที่ 4.1.1 สามารถเขียนสมการความถี่ cutoff (f_H)

$$f_H = \frac{1}{2\pi\sqrt{R_2R_3C_2C_3}} \qquad (1)$$

จากสมการที่1 สามารถคำนวณหาค่า R_2 , R_3 , C_2 , C_3 โดยการกำหนดค่าให้ R_2 , R_3 = R และ กำหนดค่าของ $C_2 = C_3 = C$ ดังนั้นสามารถเขียนสมการใหม่ได้ว่า

$$f_H = \frac{1}{2\pi . RC} \qquad (2)$$

ถ้าทราบความถี่ f_H และกำหนดค่าของ C จะหาค่า R ได้จากสมการ 2 ได้ว่า

$$R = \frac{1}{2\pi . f_H.C} \qquad (3)$$

จากสมการที่ 3 ให้ความถี่ f_H = 2400 Hz , C = 0.1 µF : ดังนั้น

$$R = 1/ (2\pi * 2400*0.1*10^{-6})$$

$$R = 663.1456$$

การขยายของวงจรหาได้จาก $A_F = 1 + (R_F / R_1)$ (4)

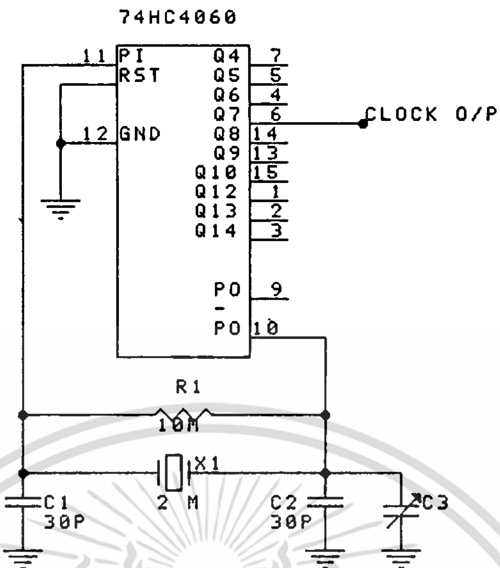
จากสมการที่ 4 ให้การขยายมีค่า $A_F = 2$

จะได้ $R_1 = R_F = 10\ K\Omega$

4.2 วงจรกำเนิดความถี่อ้างอิง

วงจรกำเนิดความถี่อ้างอิง 16 KHz สร้างจากวงจรรวม 74HC4060 ซึ่งภายในประกอบด้วย เกทอินเวอร์เตอร์ และวงจรหารแบบไบนารีจำนวน 14 สเตท โดยที่เอาท์พุทเป็นสัญญาณหาร 16 จนถึงสัญญาณหาร 16,384 ที่ขา 6 โดยวงจรเกทต่อรวมกับคริสตอลสำหรับการออสซิเลท ทำงานที่ความถี่ 2 MHz ซึ่งความถี่ขนาด 16 KHz จะได้จากการหาร 2 MHz ด้วย 128 ดังนั้นเอาท์พุทความถี่ 16 KHz จะได้ที่ขา Q_7 โดยเป็นสัญญาณแรงดัน TTL ขนาด 0V สำหรับลอจิก “0” ขนาด 5V สำหรับลอจิก “1”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.1 แสดงวงจรกำเนิดความถี่อ้างอิง

สำหรับวงจรเกทออสซิเลท ซึ่งอยู่ภายในวงจรร่วม 74HC4060 เกทเปรียบเหมือนวงจรขยายกลับเฟส โดยมี R1,C1,C2 และคริสตอลเป็นส่วนของวงจรป้อนกลับสัญญาณจากเอาท์พุทของเกทให้อินพุทของเกทมีเฟสกลับไป 180 องศา R1 เป็นความต้านทานสำหรับไบอัสให้เกททำงานเลือกใช้ขนาด 10 MΩ สำหรับค่า C1 และ C2 กำหนดให้ค่า C1 และ C2 อนุกรมกันจะมีขนาดเท่ากับค่าโหลดคาปาซิแตนซ์ของคริสตอล โดยการออกแบบเลือกค่า C1, C2 ขนาด 30 pF และ C3 เป็นทริมเมอร์ปรับค่าได้

4.3 วงจรเดลต้ามอดูเลชั่น (DELTA MODULATION)

ในโครงงานนี้ได้ใช้ไอ.ซี.สำเร็จรูปในการแปลงสัญญาณอนาล็อกเป็นดิจิตอลเป็นชนิดเดลต้ามอดูเลชั่นใช้ไอ.ซี.เบอร์ MC 3417 เป็นชนิด CVSD (Continuous Variable Slope Delta modulation)

4.3.1 การออกแบบและประยุกต์ใช้งาน CVSD

ไอ.ซี.เบอร์ MC 3417 เป็นชนิด CVSD แบบง่าย การออกแบบมีสิ่งที่ต้องกำหนดและออกแบบ 7 ข้อ คือ

1. กำหนดความถี่ของสัญญาณนาฬิกา (clock rate)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ขนาดของ shift register ที่ต้องใช้ (3 หรือ 4 bit)

3. เลือก loop gain

4. กำหนดขนาด step ที่เล็กที่สุด

5. ออกแบบอินทีเกรชั่นฟิลเตอร์ transfer fuction

6. ออกแบบ syllabic filter transfer function

7. ออกแบบ low pass filter

สัญญาณนาฬิกา และขนาดของ shift register

ในโครงงานนี้ใช้ความถี่ของสัญญาณนาฬิกา (Clock rate) ขนาด 16 Khz และขนาดของชิฟรีจิสเตอร์ใช้ 3 bit

เลือก loop gain

ในวงจรเดลต้ามอดูเลชั่น Rx เป็นตัวกำหนด feedback gain ของ CVSD การเลือก gain นี้เป็นพารามิเตอร์ที่สำคัญอีกอย่างหนึ่งของการ codec เนื่องจากวิธีการของ CVSD ก็เพื่อปรับปรุงไดนามิคเร้นจ์ของ delta modulator ที่ระดับสัญญาณอินพุทต่ำ ๆ การเลือก loop gain จึงต้องขึ้นกับ

1. ระดับและความถี่สูงสุดของสัญญาณอินพุท
2. transfer function ของอินทีเกรชั่นฟิลเตอร์

ดังเช่นการ compand จะทำงานในระหว่าง 5% ถึง 25% ของเวลาเท่านั้น Rx จะถูกเลือกก็โดยการกำหนดกระแสที่อินทีเกรเตอร์ต้องการซึ่งก็จะสร้างขนาดของ step ได้ตามต้องการเมื่อเอ้าท์พุทของ syllabic filter ได้ประมาณ 25% ของจุดสูงสุดของมัน

เพื่อที่จะคำนวณขนาดของกระแสของ step เราต้องหาลักษณะของ transfer ของอินทีเกรชั่นฟิลเตอร์ ในรูปที่ 4.3.1

R = 10 K   C = 0.1 uF

$$\frac{V_o}{I_i} = \frac{1}{C(S+1/RC)} = \frac{K}{S+\omega_o} \qquad (4.3.1)$$

จาก $\omega o = 2\pi f$

$$10^{3} = \omega o = 2\pi f$$

$$f = 159.2 \text{ Hz}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นอินทีเกรชั่นฟิลเตอร์จะมี single pole response ตั้งแต่ 300 ถึง 3 KHz กระแสที่ต้องการที่จะทำให้เอ้าท์พุทของอินทีเกรเตอร์ เพิ่มจาก 0 ถึงจุดโวลท์เตจที่ต้องการคือ

$$I_i = \frac{V_o}{R} + \frac{C\,dV_o}{dt} \qquad (4.3.2)$$

ที่ 0 dBmo ของ sine wave จะเท่ากับ 1.0954 V. ดังนั้นกระแสที่ต้องการสำหรับที่ 0 dBmo ของ 1 KHz sine wave คือ

$$I_i = \frac{1.1\ V}{2(10K)} + \frac{0.1\ uF\ (1.1)}{0.125\ mS} = 0.935\ mA$$

โวลท์เตจสูงสุดที่ตกคร่อม $R_i = \frac{1.1}{2}$ V.

จากโวลท์เตจของ syllabic filter ก็คือ Vcc การ compand ไม่เกิน 25%

$$R_x = 0.25\ V_{cc} \times (1/\ 0.935\ mA)$$

ที่ V_{cc} = 5 V., R_x = 1.3 K

ขนาดของ step ที่เล็กที่สุด (minimum step size)

พารามิเตอร์ที่จะกำหนดสุดท้ายนี้สำหรับวงจรเดลต้ามอดูเลชั่น คือ ขนาดของ step ที่เล็กที่สุด ขณะที่ไม่มีสัญญาณอินพุท ที่เอ้าท์พุทดิจิตอลของ CVSD เป็น 1 และ 0 สลับกันไปตลอดและที่อนาลอกเอ้าท์พุทจะได้รูปสามเหลี่ยมเล็ก ๆ ซึ่งเรียกว่า Idle channel ซึ่งหมายความว่า CVSD ไม่สามารถ code สัญญาณที่มีระดับต่ำกว่าขนาดของ step ที่เล็กที่สุดได้ ในทางทฤษฎีแล้วจะทำพารามิเตอร์นี้เป็น 0 แต่ในทางปฏิบัติจะมีค่าผิดพลาด (error) เช่น step ที่ขึ้นและลงไม่พอดีกัน คอมพาราเตอร์ฮีสเตอร์รีซีส และ filter op-amp offset ซึ่งทำให้เกิด idle channel ทั้งสิ้น

การกำหนดขนาด idle channel นี้โดยการเลือกขนาดของ Rmin ขณะที่ไม่มีสัญญาณอินพุท ส่วนที่ control slope จะไม่ทำงานเพราะเอ้าท์พุทของคอมพาราเตอร์จะไม่เป็น 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ 0 ติด ๆ กันจนทำให้เกิด coincidence เอ้าท์พุทได้ ดังนั้นโวลท์เตจที่ตกคร่อม Cs จะประมาณ 0 V. อย่างไรก็ตามโวลท์เตจที่ถูกแบ่งของ Rs และ Rmin (จากรูปที่ 4.3.1) จะทำให้มีโวลท์เตจตกคร่อม Cs บ้าง ซึ่งโวลท์เตจนี้จะทำให้เกิดสัญญาณสามเหลี่ยมที่เอ้าท์พุทของ อนาลอก จากสมการกระแสอินพุท

$$Ii = \frac{Vo}{R} + C\frac{dVo}{dt}$$

ที่ Vo น้อย ๆ จะได้ $\frac{Vo}{R} \approx 0$ ดังนั้นเทอม Vo/R จึงถูกตัดทิ้งได้ จะได้

$$Ii = \frac{Cs\ \Delta v_o}{\Delta T}$$

ΔT = period ของสัญญาณนาฬิกา

Δv_o = peak-to-peak value of idle channel

จากวงจรในรูป 4.3.1 ใช้สัญญาณนาฬิกา 3.7 KHz

$$Ii = \frac{0.1\ uF \times 10\ mV}{26.52\ uS} = 37.7\ uA$$

ดังนั้นโวลท์เตจคร่อม Cs ที่กระแส 37.7 uA กำหนดโดย Rx

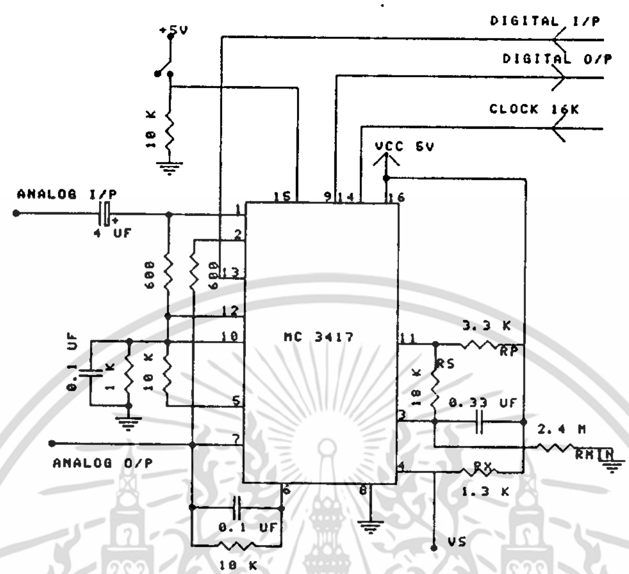
Ii Rx = Vsmin = 37.7 uA × 1.3 K = 49 mV

ในรูปที่ 4.3.5 , Rs = 60 KΩ จะทำให้เกิดโวลท์เตจแบ่งกันระหว่าง Rs,Rmin โดยตกคร่อม Rs 49 mV ดังนั้น

$$Vcc = Rs = \frac{Vsmin}{Rs + Rmin} \qquad (4.3.3)$$

Rmin = 6.1 M

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

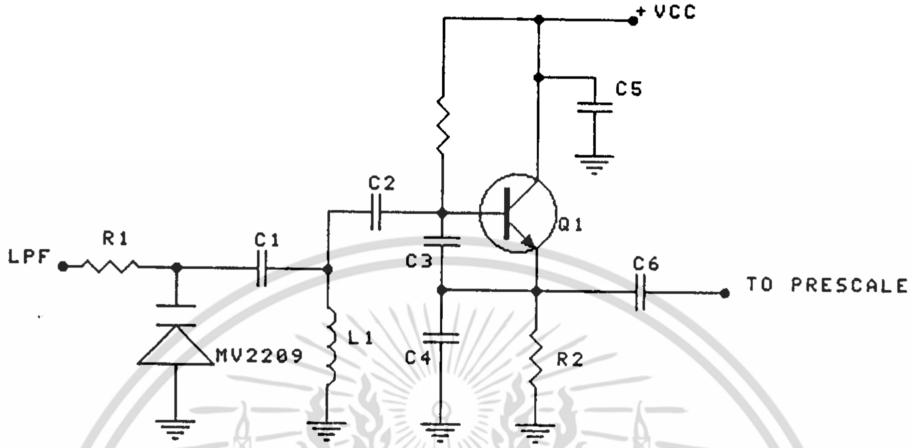


รูปที่ 4.3.1 แสดงวงจร CVSD MODULATION

4.4 วงจร Frequency Synthesizer

ในส่วนของภาค Voltage Control Oscillator (VCO) เราจะนำ Transistor มาทำกประยุกต์ใช้ทำเป็น VCO โดยที่เราทำการต่อวงจรแท็งแบบขนานและทำการจัดไบอัสให้กับวงจรตามรูป 4.4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4.1 วงจร VCO

ในส่วนของวงจรแทงค์จูนเราใช้ Varicap Diode เป็นตัวเก็บประจุปรับค่าได้ตามแรงไฟ DC ซึ่งในที่นี้เราใช้เบอร์ MV 2209 เป็นSilcon Epicap Diode varicap มาต่อขนานกับอินดัคเตอร์ L เป็นวงจรแท็งแบบขนานดังรูป 4.4.1

4.4.1 การออกแบบวงจร VCO

เราต้องการความถี่เอาท์พุท VCO ในช่วง 17 Mhz โดยใช้ TRANSISTOR เป็นวงจรผลิตความถี่ออสซิลเลเตอร์ ความถี่ของวงจรจะได้ตามสมการ

$$fo = 1/\{2\pi\sqrt{LCd}\}$$

เมื่อ Cd = คือค่าความจุของวาแรกเตอร์

4.4.2 การออกแบบเฟสล็อกลูป

ขั้นตอนการออกแบบ

1. เลือกความถี่อ้างอิง (f_{ref})
2. คำนวณย่านของตัวหาร

โดย $Ntot = fmax / fref$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. เลือกค่า ζ

ในที่นี้กำหนดให้ $\zeta = 0.707$

4. หาค่า Wn

โดยเลือกค่า Wn.t จากกราฟการตอบสนองของ PLL TYPE 2

กำหนดค่า Wn.t = 4.5

กำหนดค่า t = 1 ms

จะได้ Wn = Wn.t / t

= 4.5 / 1 = 4500 rad / s

5. หาค่า Kd (Phase Detector Gain)

Kd (Phase Detector Gain) = VDD / 2π

= 5 V / 2π

= 0.796 V / rad

6. หาค่า Kv (VCO Gain)

Kv (VCO Gain) = $2\pi\ \Delta F_{vco} / \Delta V_{vco}$

7. ออกแบบ LOOP FILTER

การใช้สูตรนั้นต้องพิจาณาจากวงจรว่าเป็นแบบใดในที่นี้เป็นแบบ ACTIVE FILTER

7.1 กำหนดค่า C

หรือหาจากสูตร $C = [(Kd \cdot Kv)] / (Nmax.R1.(Wn)^2)]^{1/2}$

ในการทดลองนี้ใช้กำหนดค่า C แล้วไปหาค่า R1

7.2 หาค่า R1

จากสูตร $R1 = [(Kd \cdot Kv)] / (Nmax.C.(Wn)^2)]^{1/2}$

7.3 หาค่า R2

จากสูตร $R2 = 2\zeta / (Wn.C)$

7.4 หาค่า Cc

จากสูตร $Cc = 0.8 / (R1 * Wn)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบที่ใช้ในวงจร

1. กำหนดค่าของ fref

โดยได้กำหนดให้มีค่า = 5 KHz

2. f = 17 Mhz - 19MHz

Ntot = fmax / fref

= 19 MHz / 5KHz

= 3800

Kd = VDD / 2π

= 5V / 2π

= 0.796 V / rad

Kv = 2π ΔFvco / ΔVvco

= 2π (19 MHz - 17 MHz)/(12V - 0V)

= $1.047 * 10^6$ rad/V

กำหนดให้ C = 10 nF

R1 = $[(Kd . Kv)] / (Nmax.C.(Wn)^2)]^{1/2}$

= $(0.796 * 1.047 * 10^6)/(3800*10nF*(4500^2))$

= $1.08M\Omega \cong 1M\Omega$

R1/2 = $500K\Omega$

R2 = 2ζ / (Wn.C)

= (2*0.707)/(4500*10np)

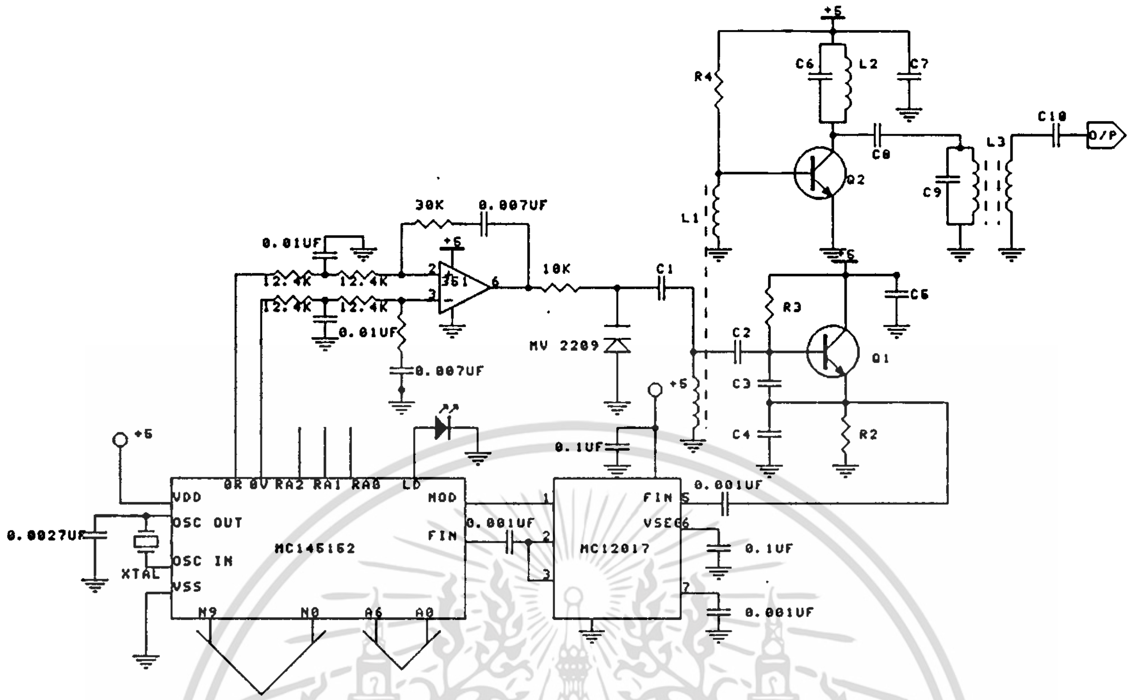
= $31.42K\Omega \cong 31K\Omega$

Cc = 0.8/(R1*Wn)

= 0.8/(1M*4500)

= $17.7nF \cong 20nF$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

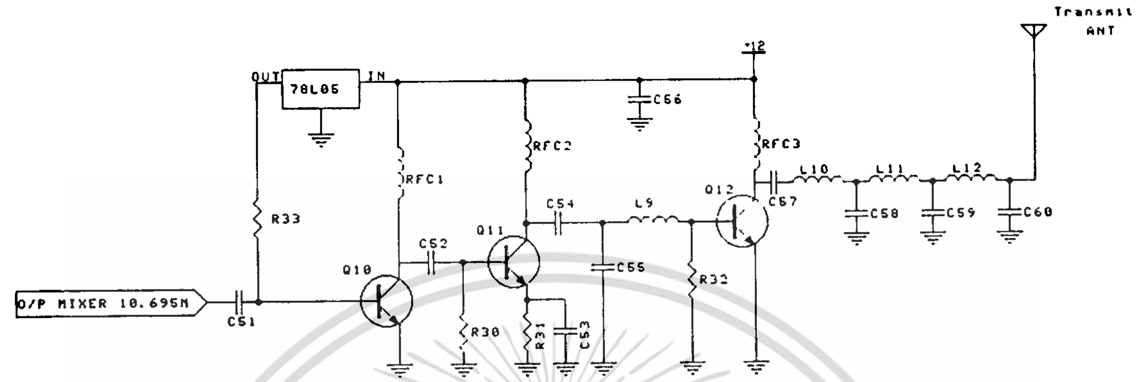


รูปที่ 4.4.2 วงจร Frequency Synthesizer

4.5 วงจรขยายกำลัง

วงจรขยายกำลังจะทำหน้าที่ขยายสัญญาณที่ผ่านการมอดดูเลทและ MIXER กับ 10.695MHz เพื่อเพิ่มกำลังส่ง ของสัญญาณ RF ก่อนส่งไปยังสายอากาศ โดยวงจรจะใช้ทรานซิสเตอร์ Q10 ทำหน้าที่ ขยายความถี่อาร์เอฟ ให้มีความแรงอยู่ในระดับ มีR33ไบแอสกระแสเบสให้เอาท์พุตที่ขาคอลเล็กเตอร์ จะถูกคัปปลิ้งผ่าน C52 ไปเข้าขาเบสของ Q11 ทำหน้าที่เป็นไดร์ฟเวอร์ จะสังเกตได้ที่ขาอิมิตเตอร์ของ Q11 จะต่อ R31 และ C33 ลงกราวด์อยู่ เพื่อเป็นการจำกัดอัตราการขยายของภาคเพาเวอร์ และ Q12 เป็นเพาเวอร์เอาต์พุต ทำหน้าที่ขยายสัญญาณความถี่อาร์เอฟออกสู่สายอากาศ โดยคัปปลิ้งผ่าน C57 และ วงจรกรองความถี่ต่ำผ่าน L10-L12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

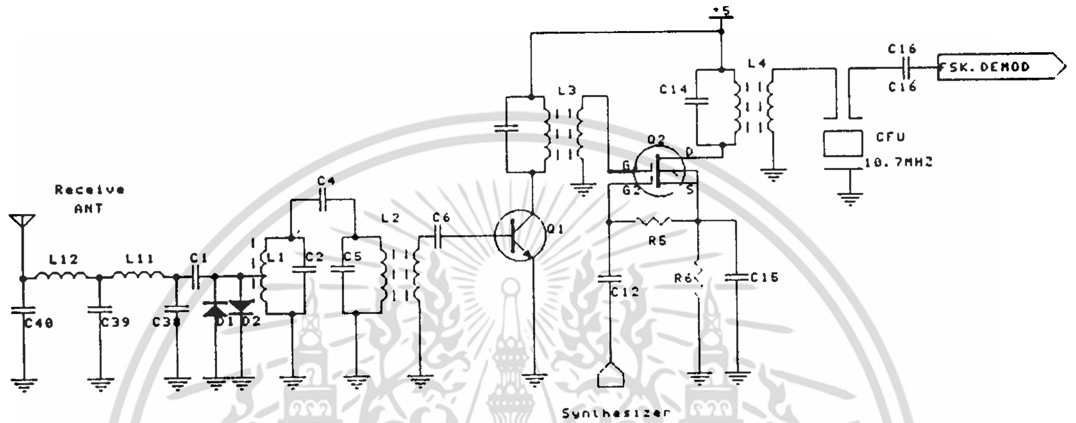


รูปที่ 4.5.1 วงจรขยายกำลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบและสร้างวงจรทางด้านภาครับ

5.1 วงจรขยายความถี่อาร์เอฟและวงจร MIXER



รูปที่ 5.1.1 แสดงวงจรขยายความถี่อาร์เอฟและ MIXER

เริ่มจากสายอากาศรับสัญญาณดวามถี่อาร์เอฟในย่าน 27 MHz ที่ส่งมาจากเครื่องส่ง ผ่านวงจรกรองความถี่ต่ำผ่าน ซึ่งประกอบด้วย L_{10}, L_{11}, L_{12}, C_{58}, C_{59} และ C_{60} เพื่อทำหน้าที่กรองเอาเฉพาะความถี่ย่าน 27 MHz เท่านั้น แต่อาจจะมีความถี่อื่นแทรกแซงผ่านไปได้บ้าง แต่เป็นปริมาณที่ไม่มาก

จากวงจรกรองความถี่ต่ำจะถูกส่งมายังชุดกรองความถี่อาร์เอฟและภาคขยายอาร์เอฟ มี C_1 เป็นตัวเก็บประจุคัปปลิ้งสัญญาณ D_1 และ D_2 ทำหน้าที่เป็นวงจรคลิปเปอร์ และป้องกันสัญญาณที่แรงเกินไป ซึ่งอาจจะเป็นอันตรายต่อ L_1 และวงจรต่อไปได้ L_1, C_2, C_5, L_2 ทำหน้าที่จูนรับเอาเฉพาะความถี่ย่าน 27 MHz เท่านั้น ส่วนความถี่อื่นจะถูกบายพาสลงกราวด์ไป มี C_4 คัปปลิ้งสัญญาณระหว่างคอยล์ทั้งสอง C_6 คัปปลิ้งสัญญาณที่ผ่านการจูนด์เอาเฉพาะความถี่เข้าสู่ขาเบสของ Q_1 ซึ่งเป็นภาคขยายความถี่อาร์เอฟ

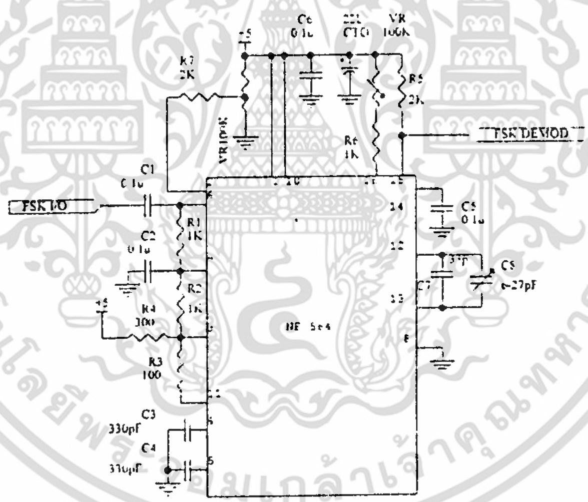
ในบางครั้งสัญญาณที่รับเข้ามาได้จะมีความแรงของสัญญาณที่ต่ำมาก (ยิ่งเป็นการส่งระยะทางไกลๆจะยิ่งมีสัญญาณที่เบามาก) จึงต้องทำการขยายสัญญาณนั้นให้มีความแรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขึ้นมาอยู่ในระดับหนึ่งเสียก่อนโดยมี R_2 ทำหน้าที่ไบแอสกระแสให้ขาเบสมี L_3 ปรับอัตราการขยายความถี่อาร์เอฟของ Q_1 และปรับระดับสัญญาณ เพื่อการผสมสัญญาณในภาคมิกเซอร์ด้วย

ตัวเก็บประจุ C_{12} จะคัปปลิ้งความถี่ออสซิลเลเตอร์ที่ผลิตโดยวงจร Synthesizer มาเข้าสู่ขาเกต G_1 ของ Q_2 เพื่อการผสมควมมถี่กับความถี่อาร์เอฟที่คัปปลิ้งผ่าน L_3 มาเข้าขาเกต G_2 ของ Q_2 ซึ่ง Q_2 นี้เป็นทรานซิสเตอร์มอสเฟตแบบเกตคู่ (DUAL GATE MOSFET) สัญญาณที่ออกไปทางขาซอส (S) ของ Q_2 จะเป็นความถี่ที่ถูกลดลงมาเป็นความถี่ไอเอฟ ค่าความถี่เท่ากับ 10.7 MHz L_4 ทำหน้าที่ปรับอัตราการขยายและเรโซแนนซ์ความถี่ของ Q_2 ความถี่ไอเอฟนี้จะผ่าน L_4 เข้าสู่วงจรกรองความถี่ผ่าน CFU_1 เพื่อกรองเอาเฉพาะความถี่ 10.7 Mhz เท่านั้นผ่านได้ ความถี่อื่นจะถูกบล็อกไม่ให้ผ่าน C_{16} จะคัปปลิ้งความถี่ 10.7 MHz เข้าสู่วงจร DEMOD FSK

5.2 วงจรดีมอดดูเลทสัญญาณ FSK



รูปที่ 5.2.1 แสดงวงจรดีมอดดูเลทสัญญาณ FSK

วงจร FSK Demod PLL จะใช้วงจรเบอร์ NE 564 ซึ่งเป็นวงจร Phase Lock Loop สามารถใช้ Demodulation สัญญาณ FM หรือ FSK ก็ได้ ซึ่งสามารถทำงานได้ถึงย่านความถี่ 50 MHz ซึ่งในโครงงานนี้จะใช้ Demod ความถี่ 10.7 MHz โดยเป็นความถี่ที่แปลงลงมาจากความถี่ 27 MHz

การออกแบบวงจร PLL โดยใช้ NE 564 ขั้นตอนแรกจะต้องกำหนดความถี่ free running ของ VCO ก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก Data Sheet คำนวนหา fo จากสูตร : $fo = 1 / 16 Rc.C_1$

เมื่อ Rc เป็นค่าความต้านทานภายใน มีค่าเท่ากับ 100 โอห์ม

C_1 เป็นค่าความจุที่ต่อภายนอกที่ขา 12 , 13 มีหน่วย ฟารัด

ดังนั้นสามารถหาค่า C_1 ได้ คือ

$$C_1 = 1 / (16*100*10.7*10^6) \qquad (F)$$
$$= 58.4 \quad pF$$

ขั้นต่อไป คือการออกแบบ loop filter

จากสมการPLL $A(s) = [K_v K_D F(s)] / [S + K_v K_D F(s)]$

เมื่อ F(s) เป็น loop filter ทรานเฟอร์ฟังก์ชั่น

ถ้ากำหนดให้ F(s) = 1 จะทำให้ความถี่คัทออฟของ low pass filter เกิดการเปลี่ยนแปลง และเอาท์พุทของ เฟสดีเทคเตอร์จะมีผลโดยตรงกับ VCO อินพุท ซึ่ง loop transfer function สามารถลดรูปได้ดังนี้

$$A(s) = K_v K_D / (S + K_v K_D) = 1 / [1 + (S / K_v K_D)]$$

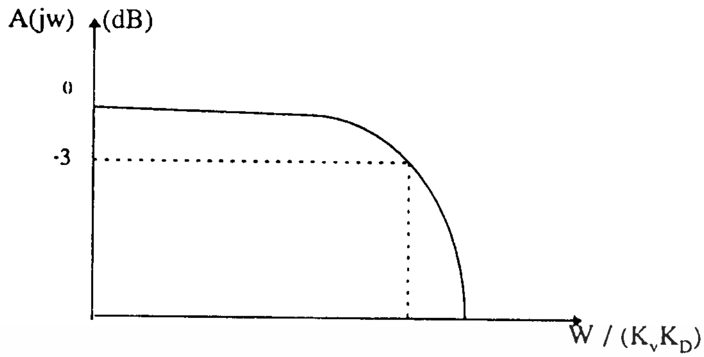
ซึ่งเป็นสมการ First order loop

เมื่อ K_v เป็น VCO Gain

K_D เป็น Phase Detector Gain

ความถี่ธรรมชาติของลูป จะเป็นความถี่ที่ -3 dB ของ Loop Frequency Response ซึ่งค่า w_n ก็คือ แบนวิทด์ของลูปนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



สำหรับ First Order Loop ค่า $Wn = K_vK_D$ ซึ่งในเทอมของ K_vK_D เปรียบเสมือนกับ Forward Loop Gain

โดย Loop Filter ที่ใช้ในวงจรPLL NE564 สามารถหาได้จาก Loop Transfer Function คือ

$$F(s) = 1 / (1 + SRC_3)$$

เมื่อ $R = R_{12} = R_{13} = 1.3\ K$ (Internal)

โดยต่อ C_3 ที่ ขา 4 และ ขา 5 2 โพล คือที่ loop transfer function

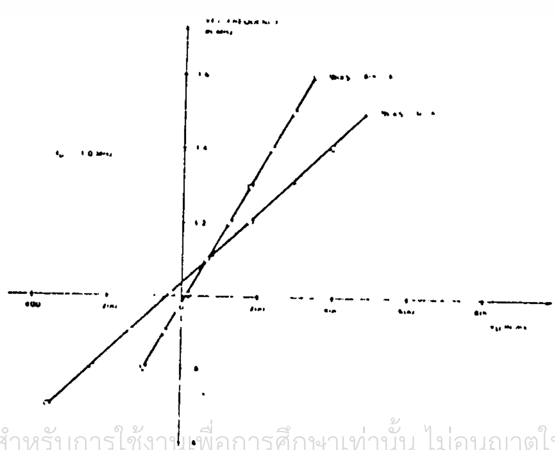
ที่ $Wn = 1 / (RC_3) = K_vK_D$

ซึ่งค่า $K_D = 0.46$ (volts/rad) + $7.3*10^{-4}$ (volts / rad*uA) * I_{BIAS}

เมื่อ I_{BIAS} เป็นค่ากระแสที่ไบอัสให้กับขา 2 ของ IC ซึ่งควรมีค่าน้อยกว่า 800 uA

กำหนดให้ $I_{BIAS} = 0$, ดังนั้น $K_D = 0.46$ Volts / rad

ส่วน K_v สามารถหาได้จากกราฟที่แสดงความสัมพันธ์ระหว่าง ความถี่เอาท์พุทของ VCO กับอินพุทโวลท์เตท และ กระแสไบอัส (Bias Current)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.2.2

ในที่นี้กำหนดให้ $I_{BIAS} = 0$

ดังนั้น $K_v = 0.95$ MHz / Volt

$= 5.9 * 10^6$ Rad / Volt-Sec

ดังนั้นจาก loop transfer function สามารถหาค่า C_3 ที่ ขา 4 และ 5 ได้ดังนี้

$$K_v K_D = 1 / RC_3$$

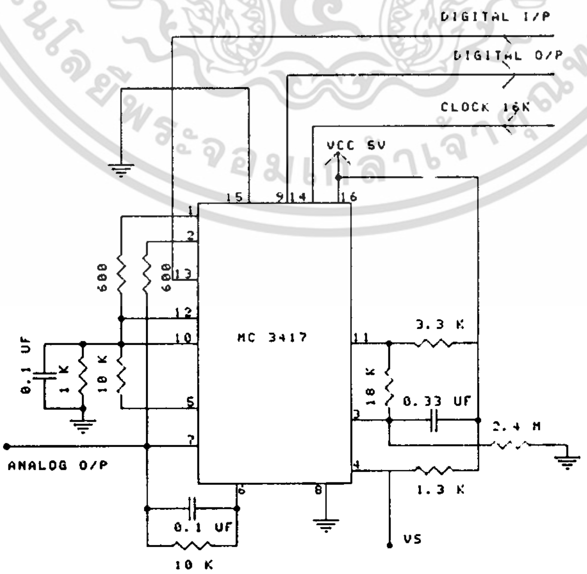
$$C_3 = 1 / (1.3 * 10^3 * 0.46 * 5.9 * 10^6)$$

$$= 283.43 \text{ pF}$$

ในทางปฏิบัติค่าเท่ากับ 300 pF

5.3 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก แบบ CVSD MODULATION

วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกที่ใช้นี้จะใช้เหมือนกับทางภาคส่ง กล่าวคือจะใช้ IC MC 3417 โดยจะทำการแปลงข้อมูลสัญญาณดิจิตอลขนาด 3 bits ความเร็วของข้อมูลเท่ากับ 16 กิโลบิทต่อวินาที(Kbps) ให้เป็นสัญญาณเสียงเพื่อจะส่งไปยังภาคกรองความถี่เสียงต่อไป โดยวงจรใช้งานแสดงดังรูป 5.4.1



รูปที่ 5.3.1 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

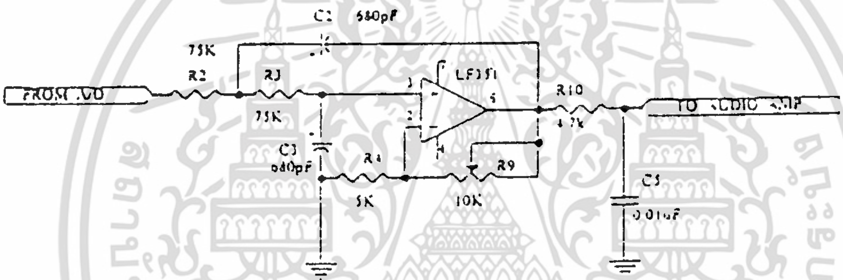
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 วงจร Frequency Synthesizer

วงจร Frequency Synthesizer ในภาครับจะใช้เหมือนกับทางภาคส่ง โดยจะมีการออกแบบและการคำนวนเหมือนกัน สามารถดูได้บทที่ 4 หัวข้อที่ 4.4

5.5 วงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่านที่ภาครับนี้จะใช้เหมือนกับทางภาคส่ง โดยจะมีการออกแบบและการคำนวนเหมือนกัน สามารถดูได้บทที่ 4 หัวข้อที่ 4.1

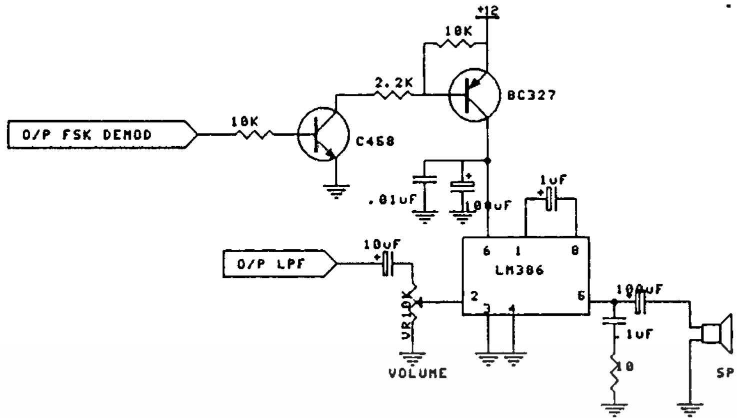


รูปที่ 5.5.1 แสดงวงจรกรองความถี่ต่ำผ่าน

5.6 วงจร AUDIO AMPLIFIER

วงจรขยายเสียงที่ใช้ในโครงงานนี้ ใช้ ไอซี LM386 ที่มีกำลังขนาด 0.5 วัตต์ ภาคขยายเสียงนี้จะเป็นเอาท์พุทที่ขยายแอมปลิจูดของสัญญาณเสียงให้มีกำลังสูงก่อนจะส่งป้อนไปยังลำโพง เพื่อให้ทราบสภาวะ ในการติดต่อสัญญาณเสียงที่ส่งออกอากาศจากภาคส่งมายังภาครับ วงจรขยายเสียง แสดงไว้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



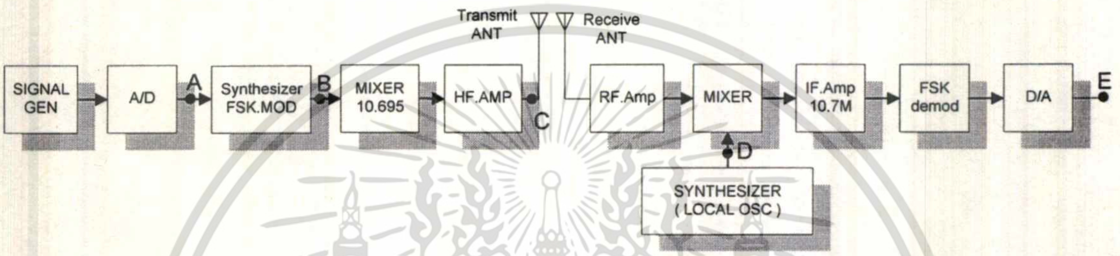
รูปที่ 5.6.1 แสดงวงจร AUDIO AMPLIFIER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การทดลองและผลการทดลอง

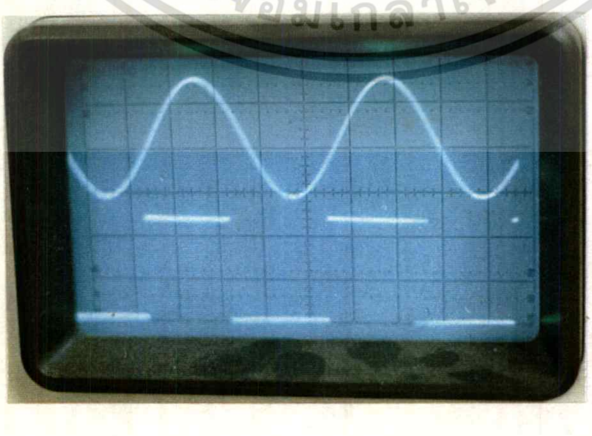
การทดลองได้ทำการทดลองวัดสัญญาณตามจุดต่างๆดังแสดงใน BLOCK DIAGRAM ดังรูปที่ 6.1



รูปที่ 6.1 BLOCK DIAGRAM แสดงการวัดสัญญาณตามจุดต่างๆ

การทดลอง

1. ทำการวัดสัญญาณที่จุด A โดยทำการป้อนสัญญาณ Sine wave จาก Signal Generator ความถี่ 1kHz โดย CH1 วัดสัญญาณ Analog I/P โดยวัดที่ขา 1 IC MC 3417 และ CH2 วัดสัญญาณที่จุด A โดยวัดที่ขา 9 IC MC 3417 ซึ่งผลการทดลองแสดงดังรูปที่ 6.2



Volt/DIV 2 V/DIV

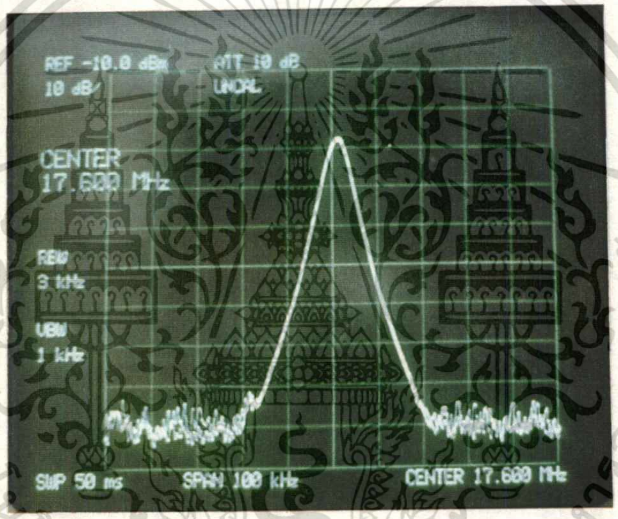
Time/DIV 0.2 ms/DIV

รูปที่ 6.2 แสดงผลการเปลี่ยนสัญญาณ Analog to Digital

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลองจะพบว่าถ้าสัญญาณ Analog ที่เข้ามามี Amplitude ต่ำหรือสูงเกินไปจะทำให้สัญญาณ Digital ที่ได้ไม่ค่อยคม

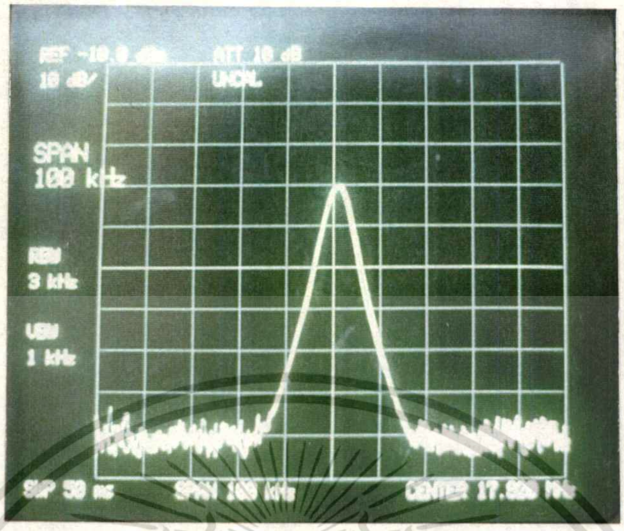
2. ทำการวัดสัญญาณที่จุด B เป็นสัญญาณ Carrier CH_1 ที่ภาคส่งที่ผลิตโดยวงจร Frequency Synthesizer โดยทำการ Set N = 55 , Fref = 5K ความถี่ Fout = 17.6 MHz โดยยังไม่ต้องป้อนสัญญาณจาก Signal Generator โดยวัดที่ขา 5 IC MC 12017 ซึ่งผลการทดลองแสดงดังรูปที่ 6.3



รูปที่ 6.3 Spectrum แสดงสัญญาณ Carrier CH_1 ของภาคส่ง

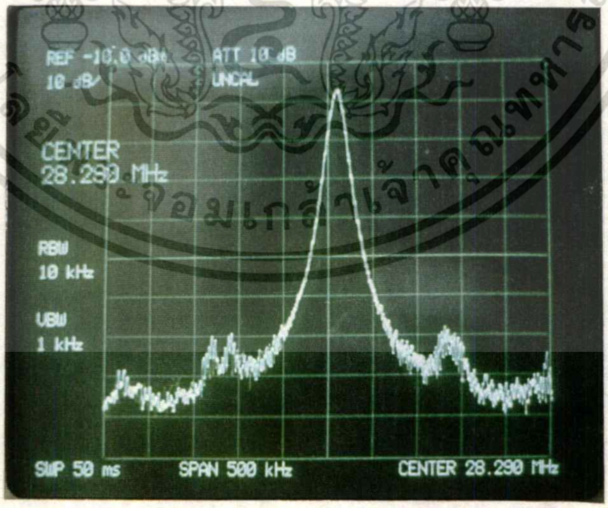
3. ทำการวัดสัญญาณที่จุด B อีกครั้ง แต่ทำการ Set N = 56 , Fref = 5K ความถี่ Fout = 17.92 MHz ซึ่งเป็นสัญญาณ Carrier CH2 ผลการทดลองแสดงดังรูปที่ 6.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.4 Spectrum แสดงสัญญาณ Carrier CH_2 ของภาคส่ง

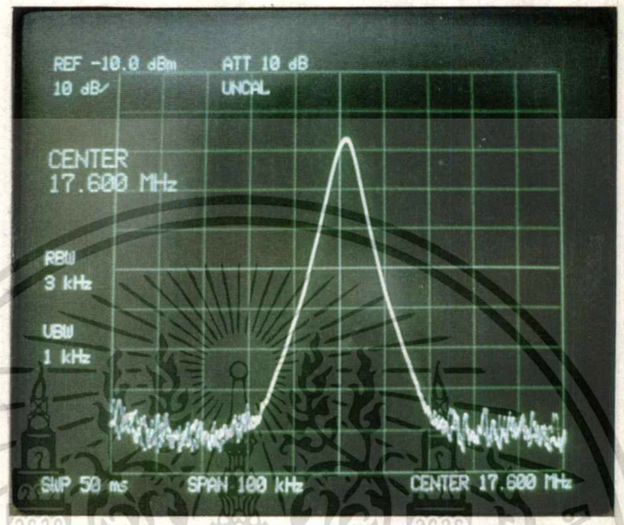
4. ทำการวัดสัญญาณที่จุด C เป็นสัญญาณ O/P ของภาคส่งที่จะส่งออกอากาศโดยทำการวัดผ่าน Dummy Load ซึ่งผลการทดลองแสดงดังรูปที่ 6.5



รูปที่ 6.5 Spectrum แสดงสัญญาณ O/P ของภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. ทำการวัดสัญญาณที่จุด D ซึ่งเป็น Carrier CH_1 ของภาครับผลิตโดยวงจร Frequency Synthesizer โดยทำการ Set N = 55 , Fref = 5K ความถี่ Fout = 17.6 MHz โดยทำการวัดที่ขา 5 IC MC 12017 ซึ่งผลการทดลองแสดงดังรูปที่ 6.6



รูปที่ 6.6 Spectrum แสดงสัญญาณ Carrier CH_1 ของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
บทสรุปและวิจารณ์

การทำโครงงานนี้มีปัญหาเกิดขึ้นหลายประการด้วยกัน ทั้งทางด้านเครื่องมืออุปกรณ์การทำงารและปัญหาที่เกิดจากอุปกรณ์และวงจรที่นำมาใช้ ซึ่งจะได้กล่าวละเอียดดังนี้

จากการทดลองในภาค Analog to Digital และ Digital to Analog นั้นก็พบปัญหาในเรื่องของอุปกรณ์ คือ IC เบอร์ 3417 ซื้อมาไม่ใช่ของ MOTOROLA ปรากฎว่าใช้ไม่ได้ ต้องใช้ของ MOTOROLA จึงจะใช้ได้ แต่ก็ยังมีปัญหาอีก คือ ในภาค Analog to Digital สัญญาณ Digital ที่ออกมาไม่ค่อยคมต้องให้สัญญาณ Analog ที่เข้ามามีระดับแรงพอ จึงใส่ IC เบอร์ LM 386 เพื่อปรับขนาดของสัญญาณ Analog ให้พอเหมาะสม

ส่วนในวงจร Frequency Synthesizer ในส่วนของ VCO ในตอนแรกใช้ IC เบอร์ MC 1648 ปรากฎว่าสัญญาณที่ได้ไม่ค่อยแรงจึงเปลี่ยนมาใช้ Transistor แทน

อีกอย่างหนึ่งที่มีปัญหา คือ ทีภาครับไม่สามารถทำให้เป็นความถี่ IF (10.7MHz)ได้ เนื่องจากวงจร Frequency Synthesizer ไม่สามารถ Set ให้ลงตัวได้ จึงทำการแก้ไขใหม่โดยการให้วงจร Frequency Synthesizer ผลิตความถี่ Carrier แค่ในช่วง 17 - 18 MHz แล้วนำมา Mixer กับความถี่ 10.695 MHz ก่อนแล้วทางภาครับก็ใช้ความถี่ของ Local OSC ที่ผลิตโดยวงจร Frequency Synthesizer ความถี่เดียงกันมา Mixer กับสัญญาณ RF ที่รับเข้ามาจึงทำให้ใช้ได้

สิ่งที่มีปัญหามากในการทำโครงงานนี้ คือ เรื่องของเครื่องมือต่างๆที่นำมาใช้ในการทดลอง เช่น Oscilloscope ที่มีอยู่วัดความถี่ได้ต่ำๆส่วนเครื่องที่วัดความถี่ได้สูงๆก็มีอยู่เครื่องเดียวทำให้ไม่พอใช้ และ Spectrum นั้นเป็นอุปกรณ์ที่จำเป็นต้องใช้มากสำหรับโครงงานนี้ แต่ปรากฎว่าไม่มีจึงทำให้ต้องหาเครื่องใช้เอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. สุชาติ กังวารจิตต์ , เครื่องรับส่งวิทยุและระบบสื่อสาร , บริษัทซีเอ็ดยูเคชั่นจำกัด กรุงเทพฯ , 2532

2. กฤดากร กล่อมการ.,"การออกแบบระบบส่งข้อมูลในช่องสัญญาณการกระจายเสียงแบบFM ", วิทยานิพนธ์วิศวกรรมศาสตร์มหาบัณฑิต สถาบันเทคโนโลพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พ.ศ. 2536

3. บัณฑิต โรจน์อารยานนท์., "หลักการไฟฟ้าสื่อสาร", สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย, พ.ศ. 2532

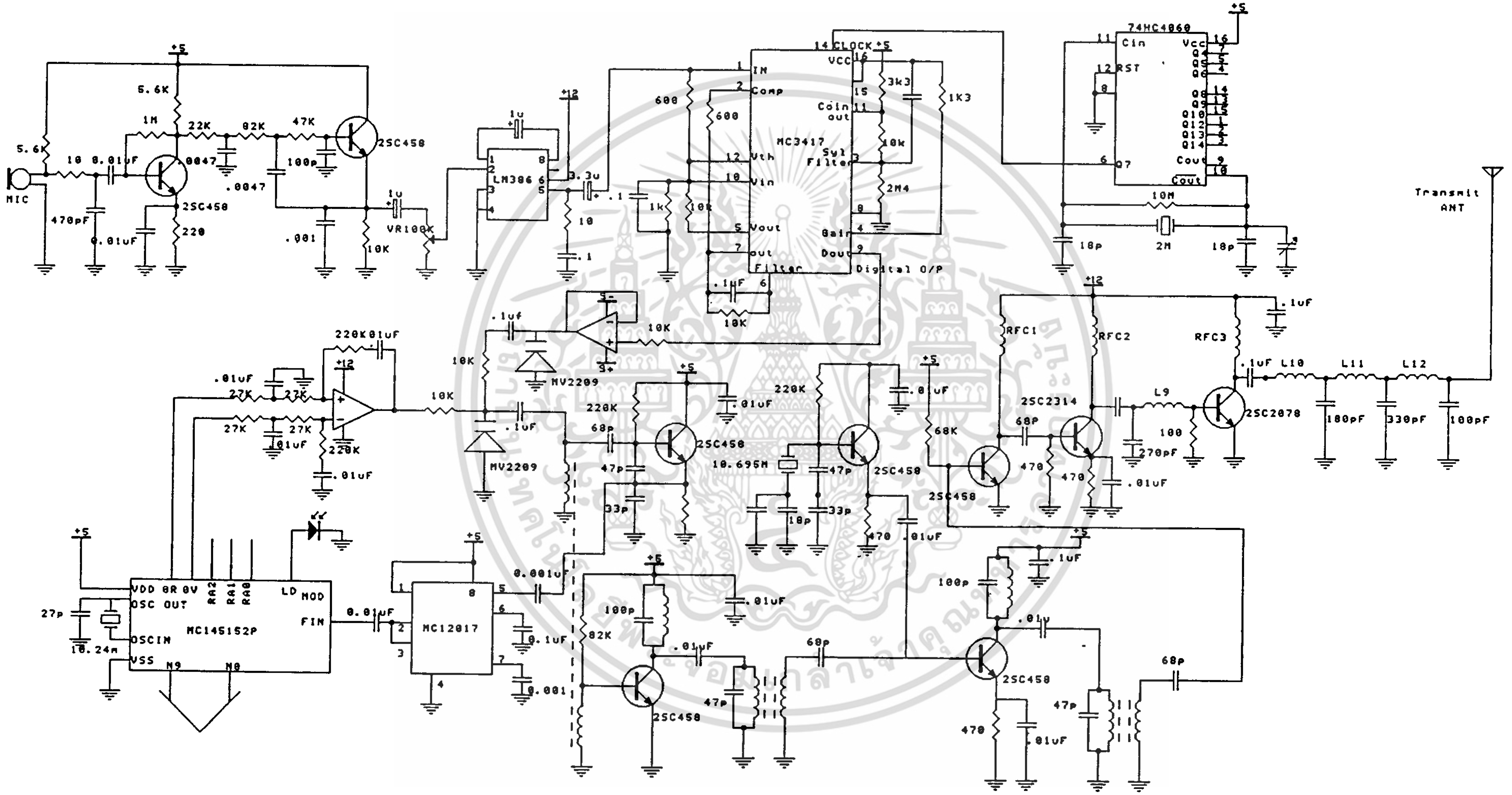
4. MOTOROLA INC CMOS APPLICATION - SPECIFIC STANDARD ICS USA , 1991

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

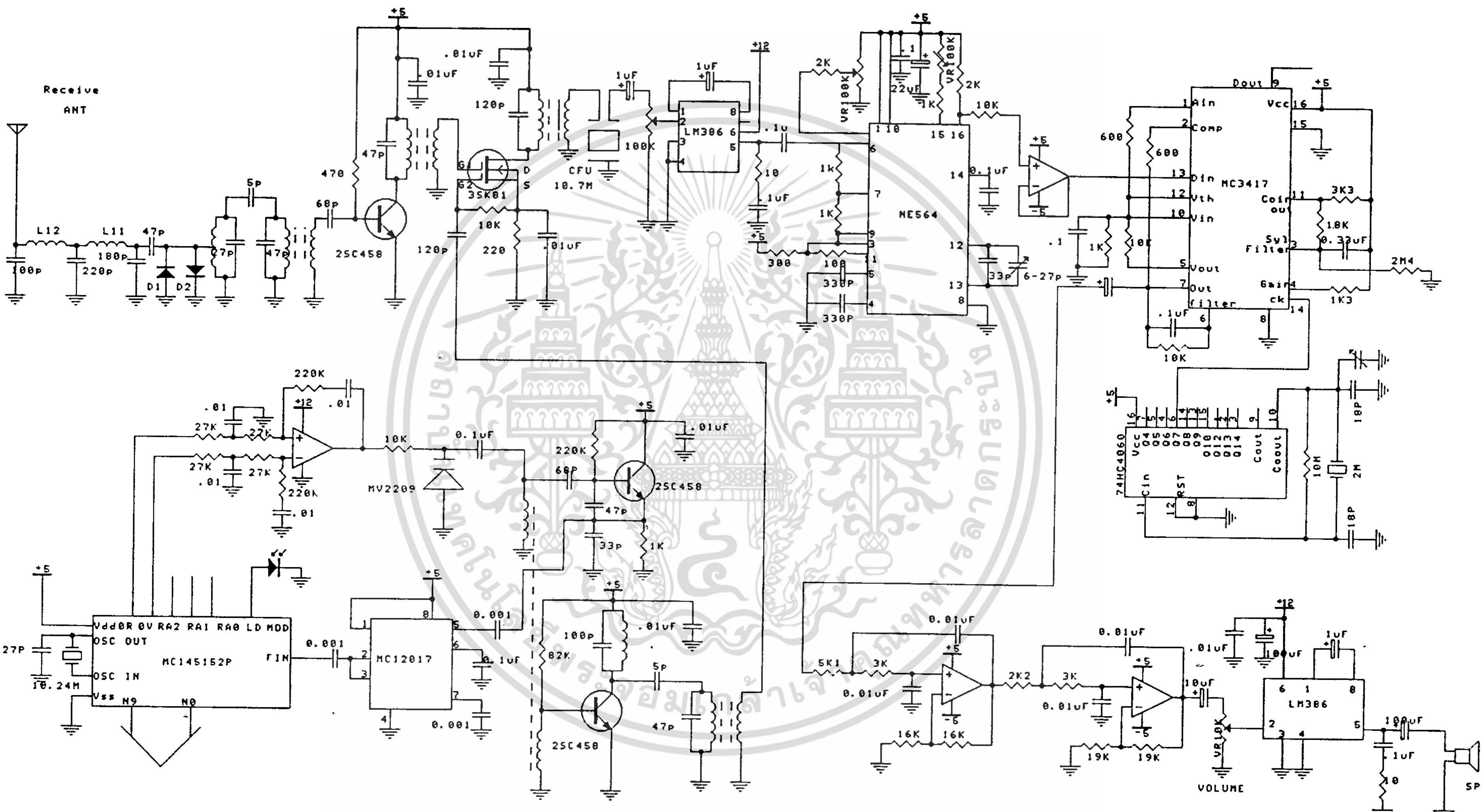
ภาคผนวก ก

รายละเอียดของวงจร

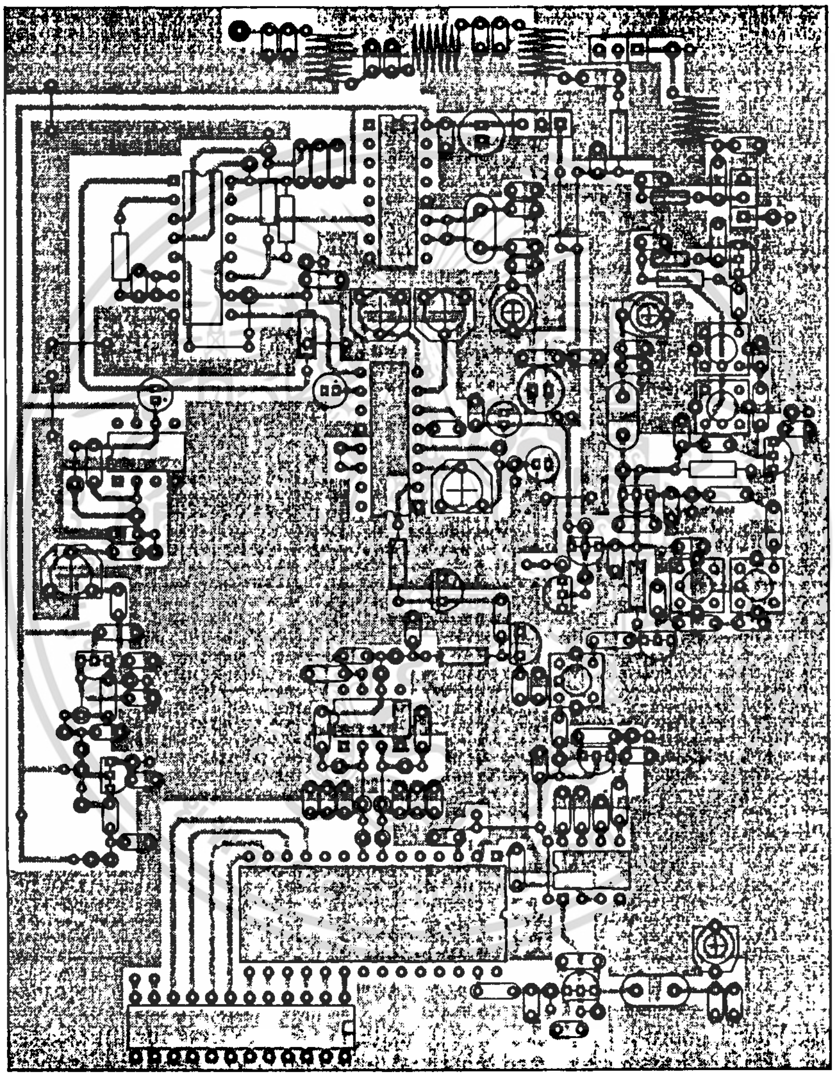
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


MIC
5.6K
470pF
0.01uF
2SC458
2SC458
100p
VR100K
LM386
MC3417
74HC4060
MC145152P
MC12017
10.24m
MV2209
10.695M
2SC2314
2SC2078
RFC1
RFC2
RFC3
L9
L10
L11
L12
Transmit ANT

วงจรภาคส่ง

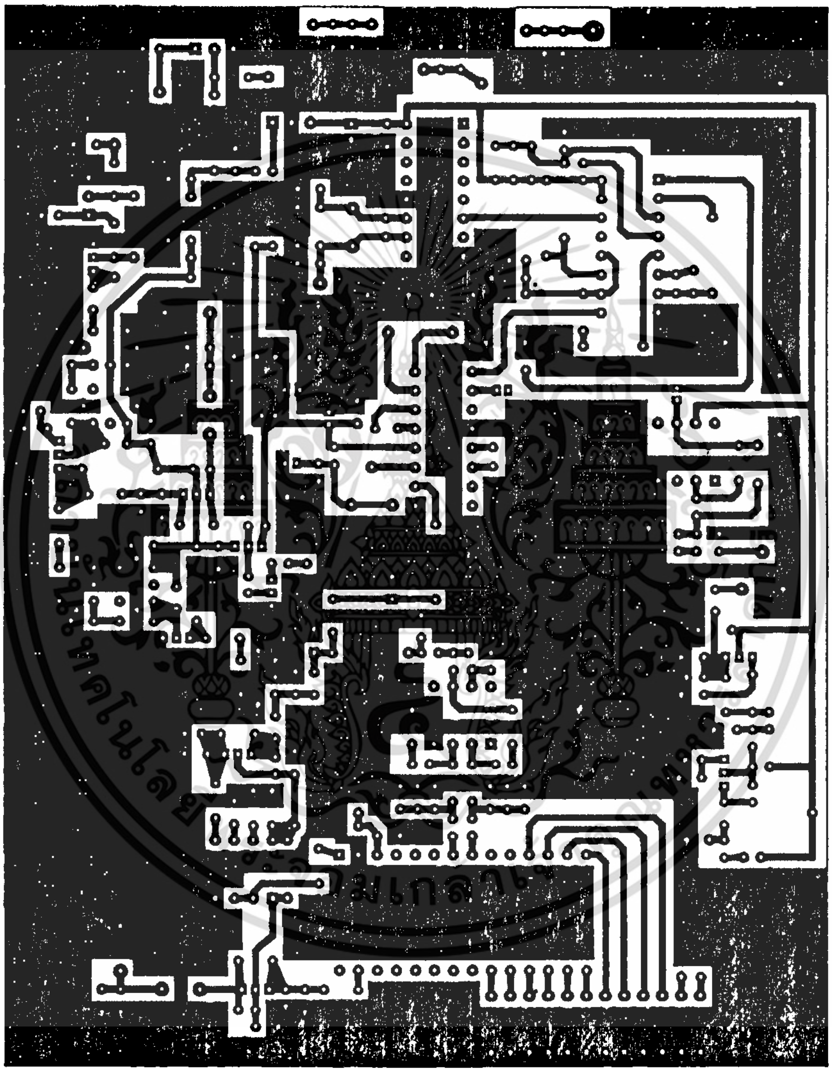

Receive
ANT
L12
L11
100p
220p
180p
47p
5p
27p
47p
D1
D2
68p
470
47p
2SC458
.01uF
120p
3SK81
10K
220
CFU
10.7M
1uF
100K
LM386
.1u
10
1uF
300
100
330P
NE564
33p
6-27p
2K
VR100K
22uF
1K
10K
MC3417
600
3K3
1.8K
0.33uF
2M4
1K3
74HC4060
10M
2M
18P
220K
27K
.01
10K
0.1uF
MV2209
.01uF
68p
33p
1K
82K
100p
5p
0.001
MC145152P
MC12017
10.24M
27P
5K1
3K
0.01uF
16K
2K2
19K
VR10K
VOLUME
10uF
100uF
SP

วงจรภาครับ



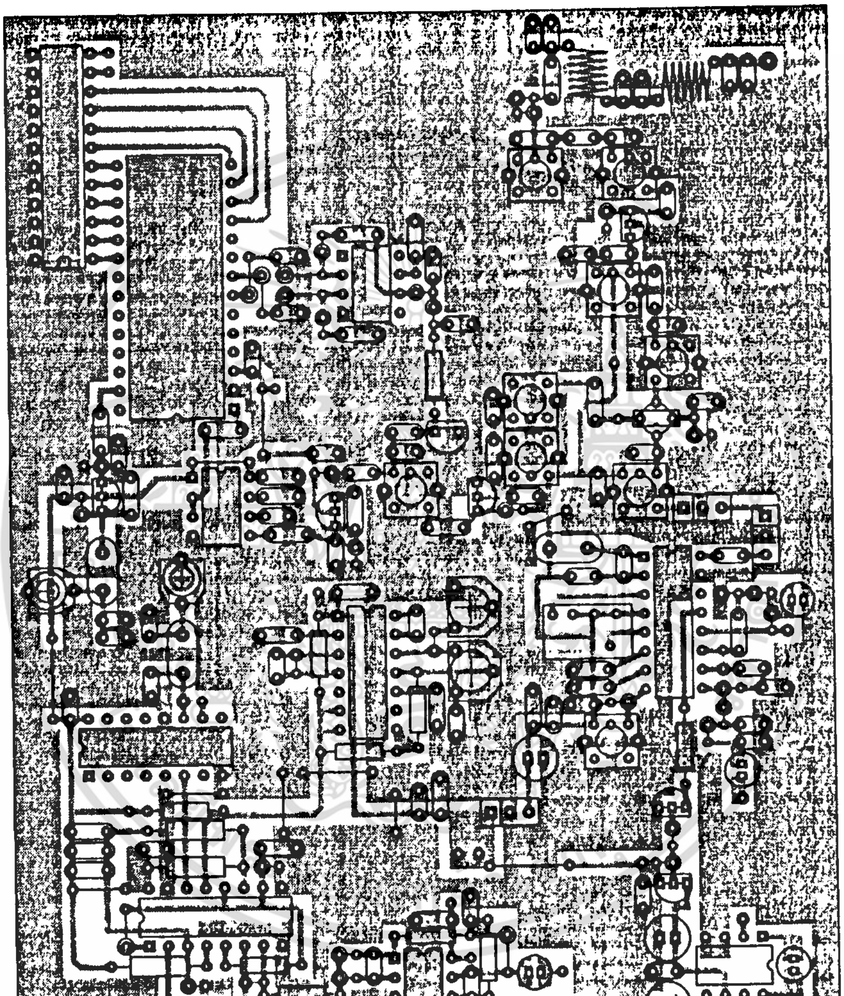
PCB TOP LAYER ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



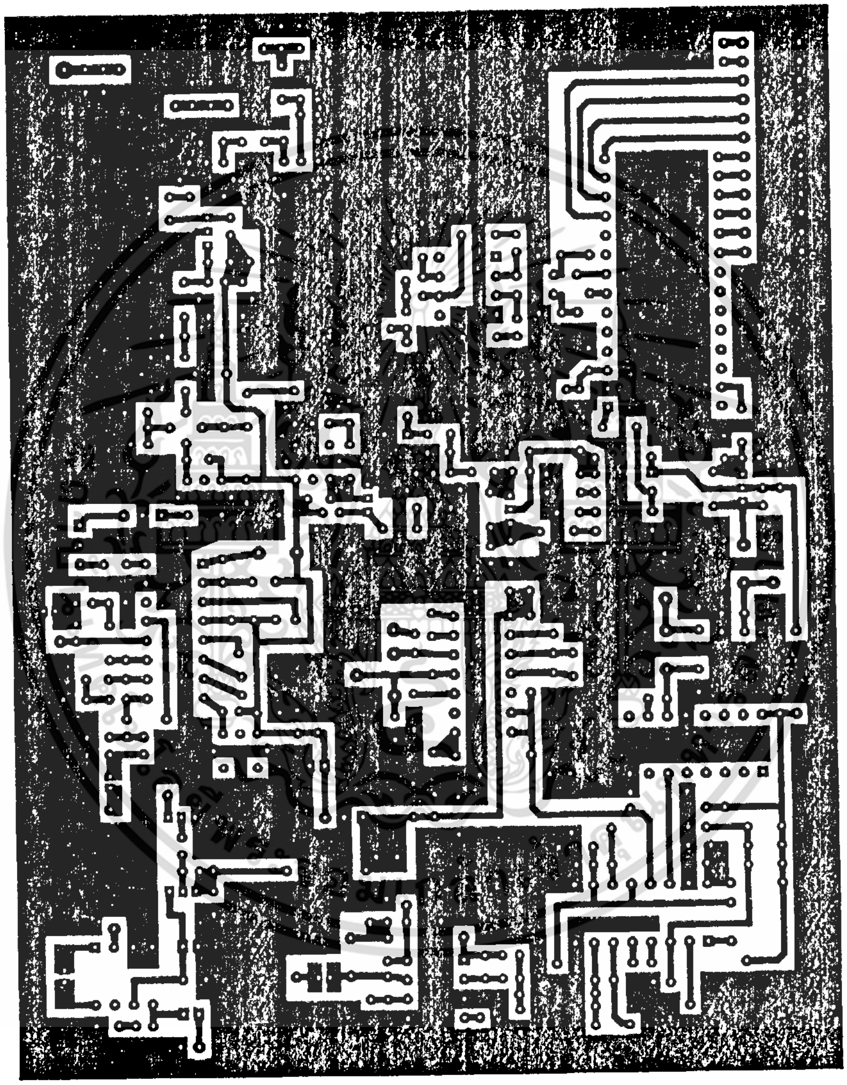
PCB BOTTOM LAYER ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



PCB TOP LAYER ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



PCB BOTTOM LAYER ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

รายละเอียดของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

MC3417, MC3517
MC3418, MC3518

Specifications and Applications Information

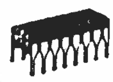
CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

Providing a simplified approach to digital speech encoding/decoding, the MC3517/18 series of CVSDs is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ reference provided on chip)
- MC3417/MC3517 has a 3-Bit Algorithm (General Communications)
- MC3418/MC3518 has a 4-Bit Algorithm (Commercial Telephone)

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

LASER-TRIMMED INTEGRATED CIRCUIT

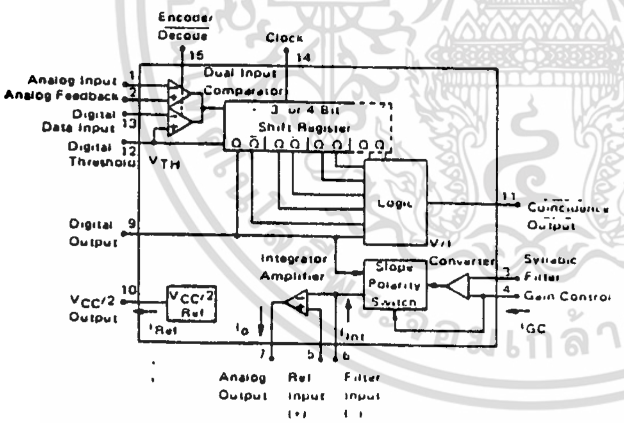


L SUFFIX
CERAMIC PACKAGE
CASE 620-10

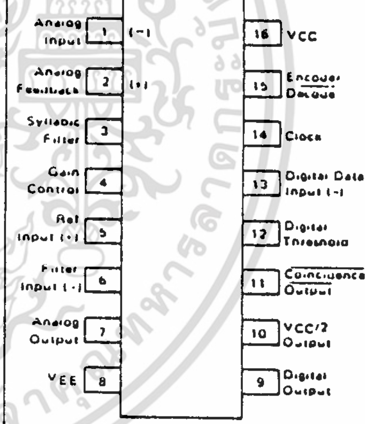
P SUFFIX
PLASTIC PACKAGE
CASE 648-08

DW SUFFIX
PLASTIC PACKAGE
CASE 751G-01
SO-16L

CVSD BLOCK DIAGRAM



PIN CONNECTIONS



ORDERING INFORMATION

Device	Package	Temperature Range
MC3417L	Ceramic DIP	0°C to +70°C
MC3418DW	Plastic SOIC	0°C to +70°C
MC3418L	Ceramic DIP	0°C to +70°C
MC3418P	Plastic DIP	0°C to +70°C
MC3517L	Ceramic DIP	−55°C to +125°C
MC3518L	Ceramic DIP	−55°C to +125°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS
(All voltages referenced to V_{EE}, T_A = 25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	−0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{TH}	−0.4 to V_{CC}	Vdc
Logic Input Voltage (Clock, Digital Data, Encode/$\overline{\text{Decode}}$)	V_{Logic}	−0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	−0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	−0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	−0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(Ref)}$	$V_{CC}/2$ − 1.0 to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{Ref}	−25	mA

ELECTRICAL CHARACTERISTICS
(V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0°C to +70°C for MC3417/18, T_A = −55°C to +125°C for MC3517/18 unless otherwise noted.)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) (Idle Channel) (V_{CC} = 5.0 V, All except MC3418P,DW) (V_{CC} = 5.0 V, MC3418P,DW) (V_{CC} = 15 V, All except MC3418P,DW) (V_{CC} = 15 V, MC3418P,DW)	I_{CC}	 — — — —	 3.7 — 6.0 —	 5.0 — 10 —	 — — — —	 3.7 3.7 6.0 6.0	 5.0 5.5 10 11	mA
Gain Control Current Range (Figure 2)	I_{GCR}	0.002	—	3.0	0.002	—	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) (4.75 V < V_{CC} < 16.5 V)	V_I	1.3	—	V_{CC} − 1.3	1.3	—	V_{CC} − 1.3	Vdc
Analog Output Range (Pin 7) (4.75 V < V_{CC} < 16.5 V, I_O = ±5.0 mA)	V_O	1.3	—	V_{CC} − 1.3	1.3	—	V_{CC} − 1.3	Vdc
Input Bias Currents (Figure 3) (Comparator in Active Region) Analog Input (I1) Analog Feedback (I2) Syllabic Filter Input (I3) Reference Input (I5)	I_{IB}	 — — — —	 0.5 0.5 0.06 −0.06	 1.5 1.5 0.5 −0.5	 — — — —	 0.25 0.25 0.06 −0.06	 1.0 1.0 0.3 −0.3	µA
Input Offset Current (Comparator in Active Region) Analog Input/Analog Feedback |I1 − I2| — Figure 3 Integrator Amplifier |I5 − I6| — Figure 4	I_{IO}	 — — 	 0.15 0.02 	 0.6 0.2 	 — — 	 0.05 0.01 	 0.4 0.1 	µA
Input Offset Voltage V/I Converter (Pins 3 and 4) — Figure 5	V_{IO}	—	2.0	6.0	—	2.0	6.0	mV
Transconductance V/I Converter, 0 to 3.0 mA Integrator Amplifier, 0 to ±5.0 mA Load	gm	 0.1 1.0	 0.3 10	 — —	 0.1 1.0	 0.3 10	 — —	mA/mV
Propagation Delay Times (Note 1) Clock Trigger to Digital Output (C_L = 25 pF to Gnd) Clock Trigger to Coincidence Output (C_L = 25 pF to Gnd) (R_L = 4.0 kΩ to V_{CC})	 t_{PLH} t_{PHL} t_{PLH} t_{PHL}	 — — — —	 1.0 0.8 1.0 0.8	 2.5 2.5 3.0 2.0	 — — — —	 1.0 0.8 1.0 0.8	 2.5 2.5 3.0 2.0	µs
Coincidence Output Voltage — Low Logic State ($I_{OL(Con)}$ = 3.0 mA)	$V_{OL(Con)}$	—	0.12	0.25	—	0.12	0.25	Vdc
Coincidence Output Leakage Current — High Logic State (V_{OH} = 15 V, 0°C < T_A < 70°C)	$I_{OH(Con)}$	—	0.01	0.5	—	0.01	0.5	µA

NOTE 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

Characteristic	Symbol	MC3417/MC3517 Min	MC3417/MC3517 Typ	MC3417/MC3517 Max	MC3418/MC3518 Min	MC3418/MC3518 Typ	MC3418/MC3518 Max	Unit
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	+1.2	—	V_{CC} − 2.0	+1.2	—	V_{CC} − 2.0	Vdc
Digital Threshold Input Current (1.2 V ≤ V_{th} ≤ V_{CC} − 2.0 V)	$I_{I(th)}$							μA
(V_{IL} applied to Pins 13, 14 and 15)		—	—	5.0	—	—	5.0	
(V_{IH} applied to Pins 13, 14 and 15)		—	−10	−50	—	−10	−50	
Maximum Integrator Amplifier Output Current	I_O	±5.0	—	—	±5.0	—	—	mA
V_{CC}/2 Generator Maximum Output Current (Source only)	I_{Ref}	+10	—	—	+10	—	—	mA
V_{CC}/2 Generator Output Impedance (0 to +10 mA)	Z_{Ref}	—	3.0	6.0	—	3.0	6.0	Ω
V_{CC}/2 Generator Tolerance (4.75 V ≤ V_{CC} ≤ 16.5 V)	ϵ_r	—	—	±3.5	—	—	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15)								Vdc
Low Logic State	V_{IL}	Gnd	—	V_{th} − 0.4	Gnd	—	V_{th} − 0.4	
High Logic State	V_{IH}	V_{th} + 0.4	—	18	V_{th} + 0.4	—	18	
Dynamic Total Loop Offset Voltage (Note 2) — Figures 3, 4 and 5	ΣV_{offset}							mV
I_{GC} = 12 μA, V_{CC} = 12 V								
T_A = 25°C (All except 3418P,DW)		—	—	—	—	±0.5	±1.5	
(MC3418P,DW)		—	—	—	—	±0.5	±3.0	
0°C ≤ T_A ≤ +70°C (MC3417/18L)		—	—	—	—	±0.75	±2.3	
(MC3418P,DW)		—	—	—	—	±0.75	±3.8	
−55°C ≤ T_A ≤ +125°C (MC3517/18)		—	—	—	—	±1.5	±4.0	
I_{GC} = 33 μA, V_{CC} = 12 V								
T_A = 25°C		—	±2.5	±5.0	—	—	—	
0°C ≤ T_A ≤ +70°C (MC3417/18)		—	±3.0	±7.5	—	—	—	
−55°C ≤ T_A ≤ +125°C (MC3517/18)		—	±4.5	±10	—	—	—	
I_{GC} = 12 μA, V_{CC} = 5.0 V								
T_A = 25°C (All except MC3418P,DW)		—	—	—	—	±1.0	±2.0	
(MC3418P,DW)		—	—	—	—	±1.0	±3.5	
0°C ≤ T_A ≤ +70°C (MC3417/18L)		—	—	—	—	±1.3	±2.8	
(MC3418P,DW)		—	—	—	—	±1.3	±4.3	
−55°C ≤ T_A ≤ +125°C (MC3517/18)		—	—	—	—	±2.5	±5.0	
I_{GC} = 33 μA, V_{CC} = 5.0 V								
T_A = 25°C		—	±4.0	±6.0	—	—	—	
0°C ≤ T_A ≤ +70°C (MC3417/18)		—	±4.5	±8.0	—	—	—	
−55°C ≤ T_A ≤ +125°C (MC3517/18)		—	±5.5	±10	—	—	—	
Digital Output Voltage								Vdc
(I_{OL} = 3.6 mA)	V_{OL}	—	0.1	0.4	—	0.1	0.4	
(I_{OH} = −0.35 mA)	V_{OH}	V_{CC} − 1.0	V_{CC} − 0.2	—	V_{CC} − 1.0	V_{CC} − 0.2	—	
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(Syl)}$	+3.2	—	V_{CC}	+3.2	—	V_{CC}	Vdc
Integrating Current (Figure 2)	I_{int}							
(I_{GC} = 12 μA)		8.0	10	12	8.0	10	12	μA
(I_{GC} = 1.5 mA) (All except 3418P,DW)		1.45	1.5	1.55	1.45	1.5	1.55	mA
(MC3418P,DW)		—	—	—	1.42	1.5	1.58	mA
(I_{GC} = 3.0 mA)		2.75	3.0	3.25	2.75	3.0	3.25	mA
Dynamic Integrating Current Match (I_{GC} = 1.5 mA) Figure 6	$V_{O(Ave)}$							mV
(All except MC3418P,DW)		—	±100	±250	—	±100	±250	
(MC3418P,DW)		—	—	—	—	±100	±280	
Input Current — High Logic State (V_{IH} = 18 V)	I_{IH}							μA
Digital Data Input		—	—	+5.0	—	—	+5.0	
Clock Input		—	—	+5.0	—	—	+5.0	
Encode/Decode Input		—	—	+5.0	—	—	+5.0	
Input Current — Low Logic State (V_{IL} = 0 V)	I_{IL}							μA
Digital Data Input		—	—	−10	—	—	−10	
Clock Input		—	—	−360	—	—	−360	
Encode/Decode Input		—	—	−36	—	—	−36	
Clock Input, V_{IL} = 0.4 V		—	—	−72	—	—	−72	

NOTE 2. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. For the MC3417/MC3517, the clock frequency is 16 kHz. For the MC3418/MC3518, the clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to insure good idle channel performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

DEFINITIONS AND FUNCTION OF PINS

Pin 1 — Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between Pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 — Analog Feedback

This is the noninverting input to the analog signal comparator within the IC. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit Pin 2 is not used and may be tied to $V_{CC}/2$ on Pin 10, ground or left open.

The analog input comparator has bias currents of 1.5 μA max, thus the driving impedances of Pins 1 and 2 should be equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 — Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 ms to 50 ms are used in voice codecs.

Pin 4 — Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and Pin 3. The active voltage to current (V−I) converter drives Pin 4 to the same voltage at a slew rate of typically 0.5 V/μs. Thus the current injected into Pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_x resistance. Figure 7 shows the relationship between I_{GC} (x-axis) and the integrating current, I_{Int} (y-axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_x resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 kΩ to maintain stability.

Pin 5 — Reference Input

This pin is the noninverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as Pin 1 and is tied to Pin 10.

Pin 6 — Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{Int}) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states, I_{Int} flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The resistance between Pins 6 and 7 should always be between 8.0 kΩ and 13 kΩ to maintain good idle channel characteristics.

Pin 7 — Analog Output

This is the integrator op amp output. It is capable of driving a 600-ohm load referenced to $V_{CC}/2$ to +6.0 dBm and can otherwise be treated as an op amp output. Pins 5, 6, and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/μs. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 — V_{EE}

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 — Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and non-inverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for V_{CC} = 12 V and C_L = 25 pF to ground.

Pin 10 — $V_{CC}/2$ Output

An internal low impedance mid-supply reference is provided for use of the MC3417/18 in single supply applications. The internal regulator is a current source and must be loaded with a resistor to insure its sinking capability. If a +6.0 dBmo signal is expected across a 600 ohm input bias resistor, then Pin 10 must sink 2.2 V/600 Ω = 3.66 mA. This is only possible if Pin 10 sources 3.66 mA into a resistor normally and will source only the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from Pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 — Coincidence Output

The duty cycle of this pin is proportional to the voltage across C_S. The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. In the MC3417 the register is 3 bits long while the MC3418 contains a 4 bit register. Pin 11 is an open collector of an NPN device and requires a pull-up resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

If the syllabic filter is to have equal charge and discharge time constants, the value of R_P should be much less than R_S. In systems requiring different charge and discharge constants, the charging constant is R_SC_S while the decaying constant is $(R_S + R_P)C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3.0 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for R_L = 4.0 kΩ to +12 V and C_L = 25 pF to ground.

Pin 12 — Digital Threshold

This input sets the switching threshold for Pins 13, 14, and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

Pin 13 — Digital Data Input

In a decode application, the digital data stream is applied to Pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of Pin 15. It is an inverting input with respect to Pin 9. When Pins 9 and 13 are connected, a toggle flip-flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for 0.5 μs before and after the clock trigger for proper clocking.

Pin 14 — Clock Input

The clock input determines the data rate of the codec circuit. A 32K bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by Pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum width for a positive-going pulse on the clock input is 300 ns, whereas for a negative-going pulse, it is 900 ns.

Pin 15 — Encode/$\overline{\text{Decode}}$

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at Pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non-voice patterns to be forced onto the transmission line through Pin 13 in an encoder.

Pin 16 — V_{CC}

The power supply range is from 4.75 to 16.5 volts between Pin V_{CC} and V_{EE}.

FIGURE 1 — POWER SUPPLY CURRENT

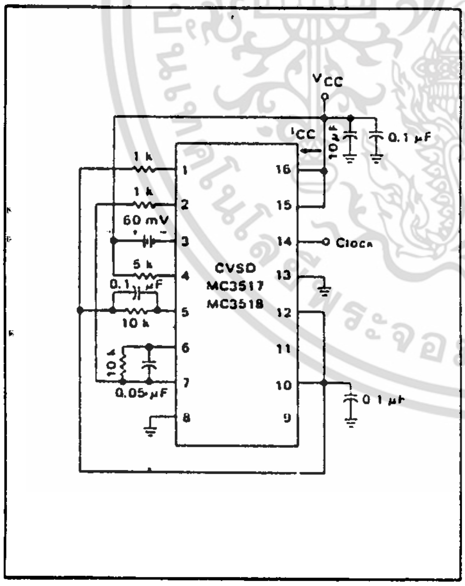
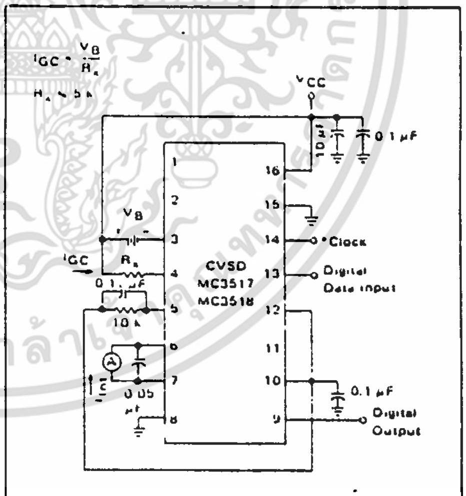


FIGURE 2 — I_{GCR}, GAIN CONTROL RANGE and I_{int} — INTEGRATING CURRENT

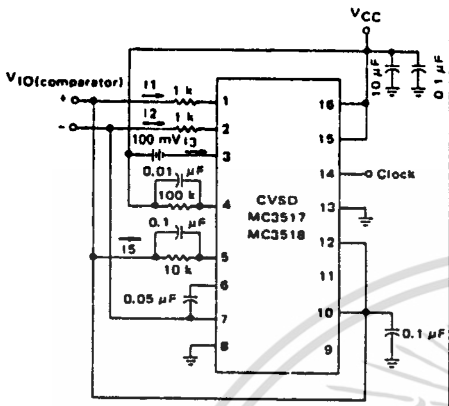


Note: Digital Output = $\overline{\text{Digital Data Input}}$

*For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3 — INPUT BIAS CURRENTS, ANALOG COMPARATOR OFFSET VOLTAGE AND CURRENT



Note: The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering.

FIGURE 4 — INTEGRATOR AMPLIFIER OFFSET VOLTAGE AND CURRENT

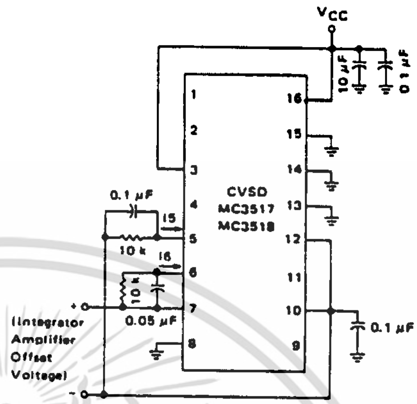
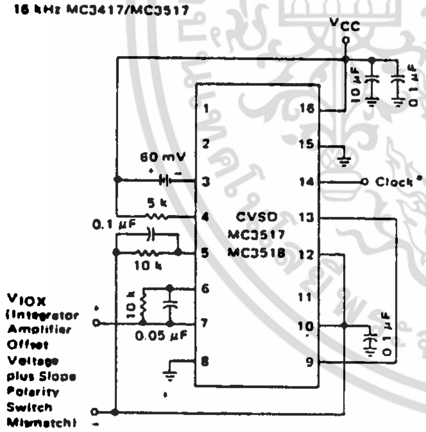


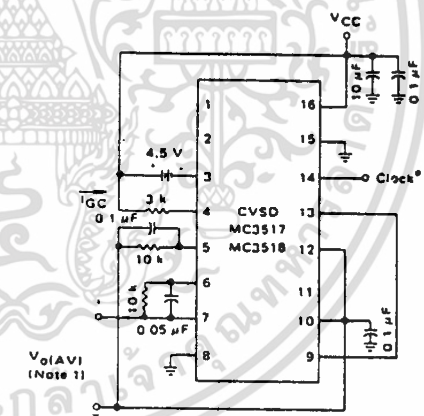
FIGURE 5 — V/I CONVERTER OFFSET VOLTAGE, V_{IO} and V_{IOX}

*32 kHz MC3418/MC3518
16 kHz MC3417/MC3517



Note: V_{IOX} is the average voltage of the triangular waveform observed at the measurement points.

FIGURE 6 — DYNAMIC INTEGRATING CURRENT MATCH



*32 kHz MC3418/MC3518
16 kHz MC3417/MC3517

Notes: 1. $V_{O(AV)}$, Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at the measurement points, across 10 kΩ resistor with I_{GC} = 1.5 mA.
2. See Note 2 of the Electrical Characteristics, Page 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CURVES

FIGURE 7 — TYPICAL I_{int} versus I_{GC} (Mean ± 2σ)

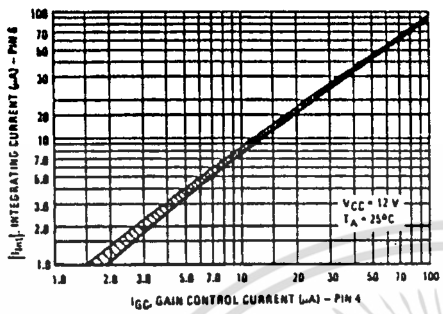


FIGURE 8 — NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus V_{CC}

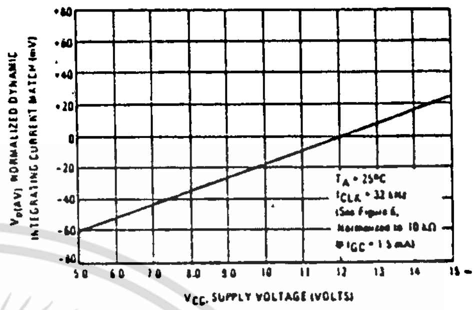


FIGURE 9 — NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus CLOCK FREQUENCY

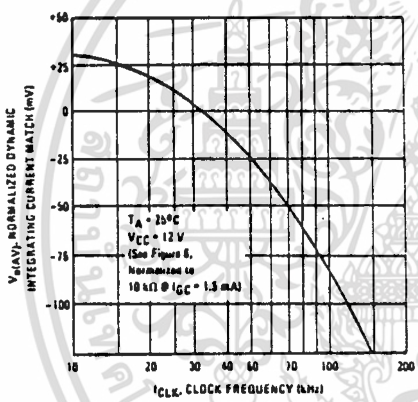


FIGURE 10 — DYNAMIC TOTAL LOOP OFFSET versus CLOCK FREQUENCY

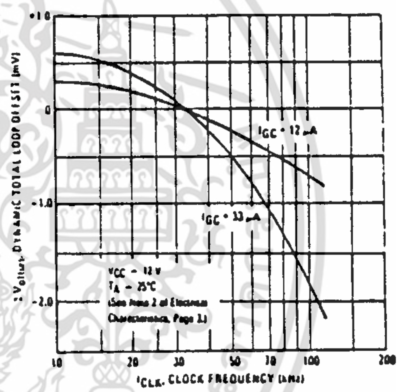
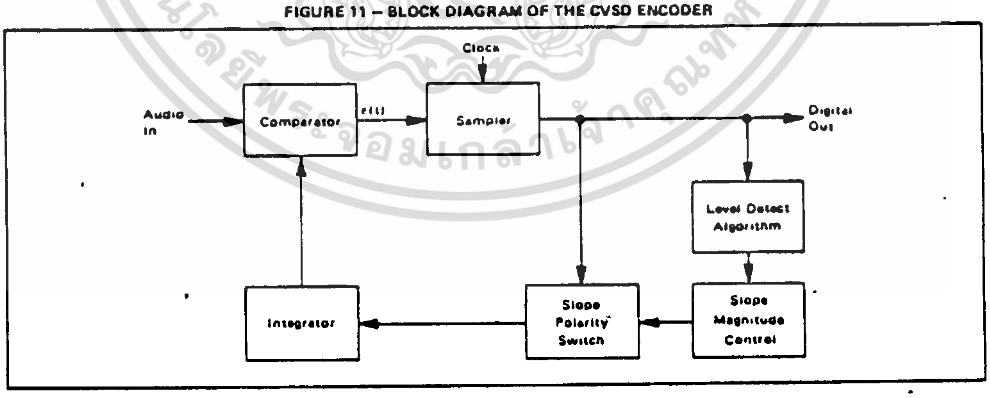


FIGURE 11 — BLOCK DIAGRAM OF THE CVSD ENCODER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 12 – CVSD WAVEFORMS

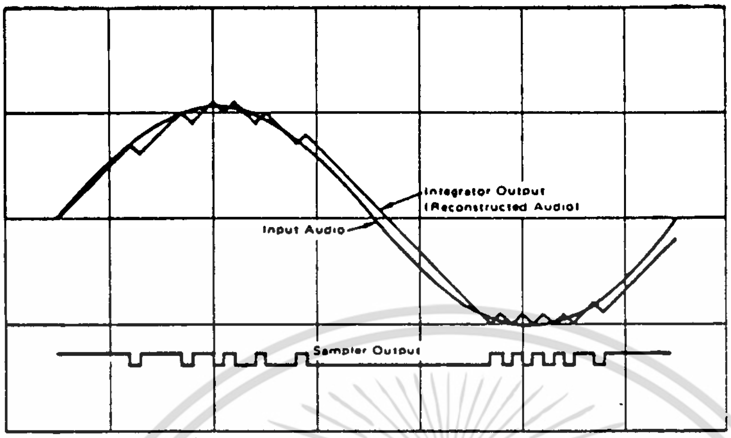
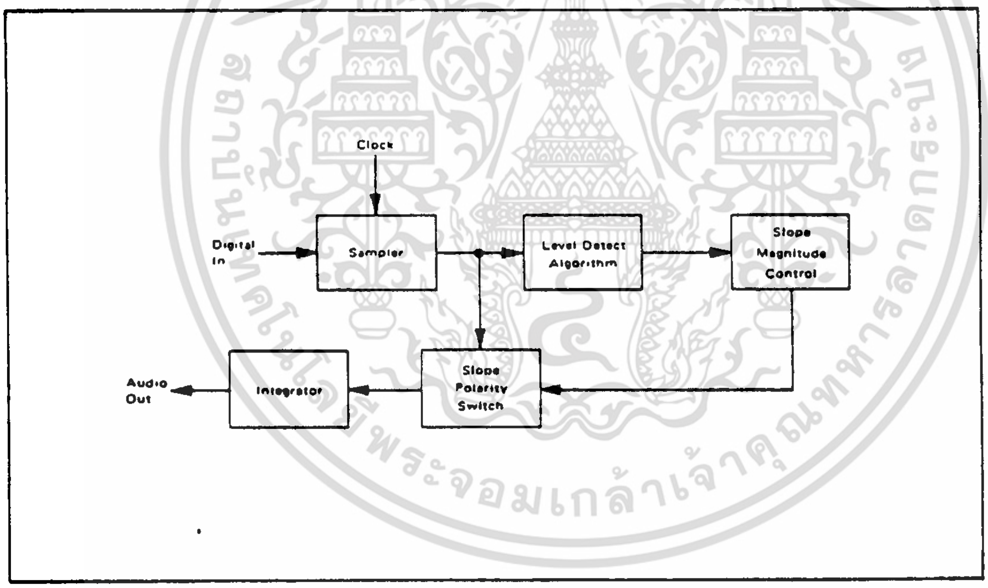


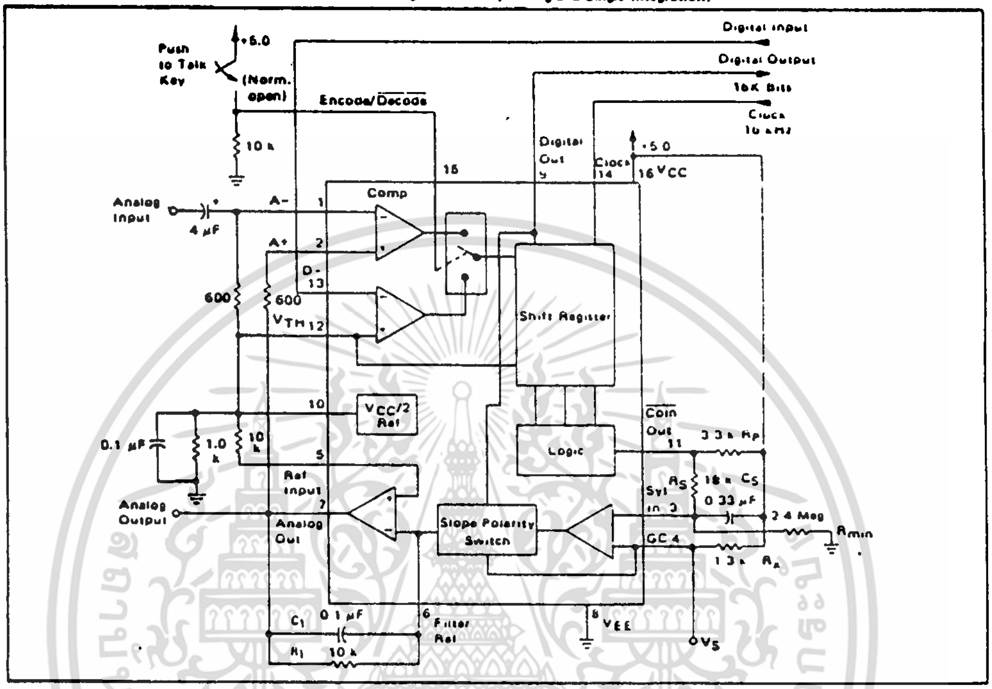
FIGURE 13 – BLOCK DIAGRAM OF THE CVSD DECODER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

FIGURE 14 – 16 kHz SIMPLEX VOICE CODEC
(Using MC3417, Single Pole Companding and Single Integration)



CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting locations tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4 kHz and clock rates from 8 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION (continued)

zero and receive restart begins without framing when the receiver reacquires. Similarly a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 3 or 4 bits long depending on the application. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all ones, all zeros algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm only operates on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communciations requirements.

APPLICATIONS INFORMATION

CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC3417 or MC3418 is shown in Figure 14. These ICs are general purpose CVSD building blocks which allow the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3417 and MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application, and they are as follows:

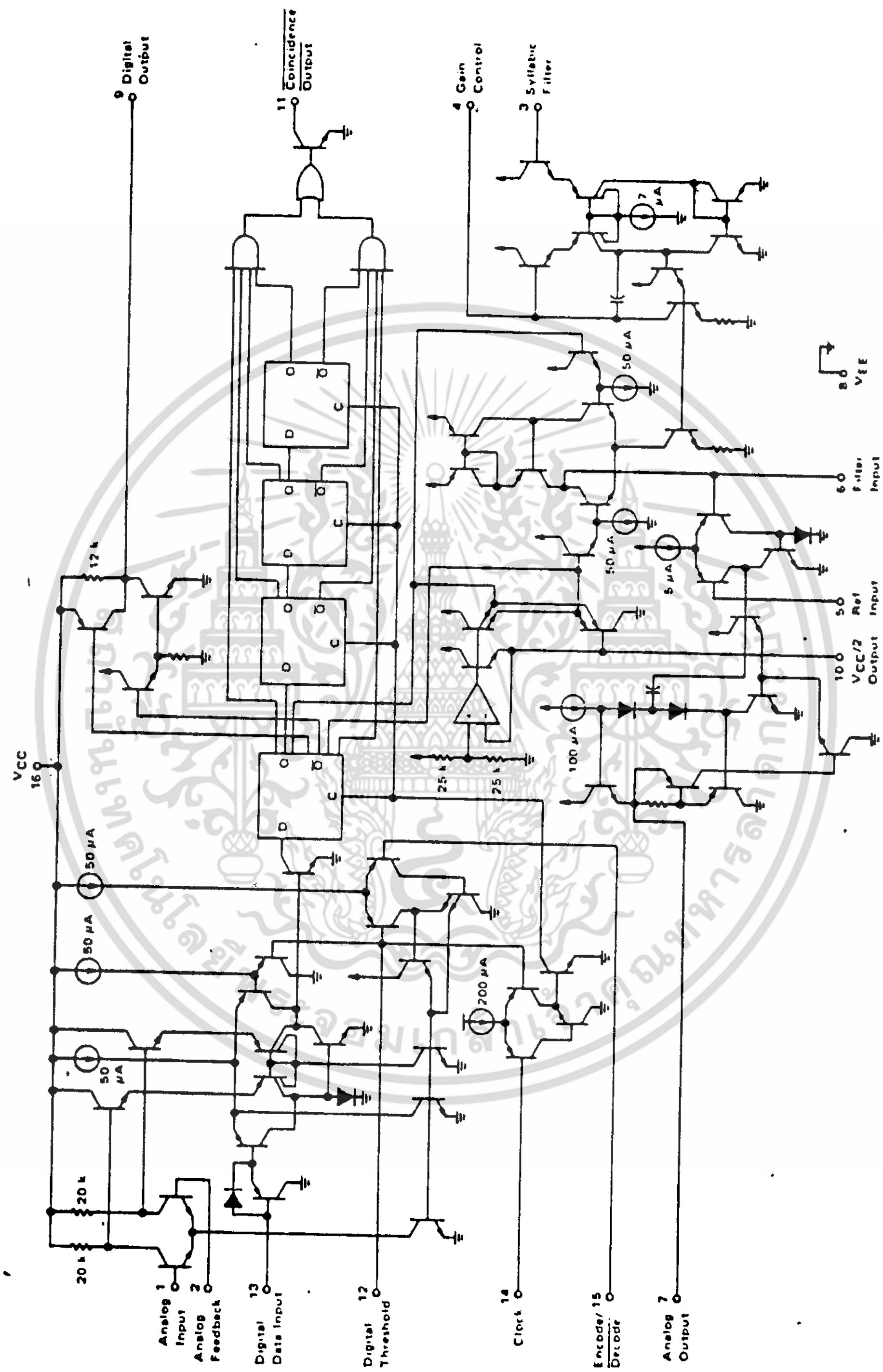
1. Selection of clock rate
2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single pole networks. The selection of items 1 through 4 govern the codec performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

CVSD CIRCUIT SCHEMATIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CVSD DESIGN CONSIDERATIONS (continued)

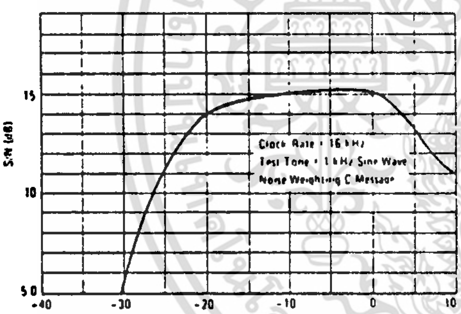
Layout Considerations

Care should be exercised to isolate all digital signal paths (Pins 9, 11, 13, and 14) from analog signal paths (Pins 1–7 and 10) in order to achieve proper idle channel performance.

Clock Rate

With minor modifications the circuit in Figure 14 may be operated anywhere from 9.6 kHz to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 14 typically produces the S/N performance shown in Figure 15. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4-wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32K bits and above. Other codecs may use bit rates up to 200K bits/sec.

FIGURE 15 – SIGNAL-TO-NOISE PERFORMANCE OF MC3417 WITH SINGLE INTEGRATION, SINGLE-POLE AND COMPANDING AT 16K BITS – TYPICAL



Shift Register Length (Algorithm)

The MC3417 has a three-bit algorithm and the MC3418 has a four-bit algorithm. For clock rates of 16 kHz and below, the 3-bit algorithm is well suited. For 32 kHz and higher clock rates, the 4-bit system is preferred. Since the algorithm records a fixed past history of the input signal, a longer shift register is required to obtain the same internal hsitory. At 16 bits and below, the 4-bit algorithm will produce a slightly wider dynamic range at the expense of level change response. Basically the MC3417 is designed for low bit rate systems and the MC3418 is intended for high performance, high bit rate system. At bit rates above 64K bits either part will work well.

Selection of Loop Gain

The gain of the circuit in Figure 14 is set by resistor R_x. R_x must be selected to provide the proper integrator step size for high level signals such that the companding ratio does not exceed about 25%. The companding ratio is the active low duty cycle of the coincidence output on Pin 11 of the codec circuit. Thus the system gain is dependent on:

1. The maximum level and frequency of the input signal.
2. The transfer function of the integration filter.

For voice codecs the typical input signal is taken to be a sine wave at 1 kHz of 0 dBmo level. In practice, the useful dynamic range extends about 6 dB above the design level. In any system the companding ratio should not exceed 30%.

To calculate the required step size current, we must describe the transfer characteristics of the integration filter. In the basic circuit of Figure 14, a single pole of 160 Hz is used.

$$R_1 = 10\ k\Omega,\ C_1 = 0.1\ \mu F$$

$$\frac{V_O}{I_i} = \frac{1}{C(S + 1/RC)} \equiv \frac{K}{S + \omega_O}$$

$$\omega_O = 2\pi f$$

$$10^3 = \omega_O = 2\pi f$$

$$f = 159.2\ Hz$$

Note that the integration filter produces a single-pole response from 300 to 3 kHz. The current required to move the integrator output a specific voltage from zero is simply:

$$I_i = \frac{V_O}{R_1} + \left(C_1 \times \frac{dV_O}{dt}\right)$$

Now a 0 dBmo sine wave has a peak value of 1.0954 volts. In 1/8 of a cycle of a sine wave centered around the zero crossing, the sine wave changes by approximately its peak value. The CVSD step should trace that change. The required current for a 0 dBm 1 kHz sine wave is:

$$I_i = \frac{1.1\ V}{{}^{*}2(10\ k\Omega)} + \frac{0.1\ \mu F(1.1)}{0.125\ ms} = 0.935\ mA$$

*The maximum voltage across R_1 when maximum slew is required is:

$$\frac{1.1\ V}{2}$$

Now the voltage range of the syllabic filter is the power supply voltage, thus:

$$R_x = 0.25(V_{CC})\ \frac{1}{0.935\ mA}$$

A similar procedure can be followed to establish the proper gain for any input level and integration filter type.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CVSD DESIGN CONSIDERATIONS (continued)

Minimum Step Size

The final parameter to be selected for the simple codec in Figure 14 is idle channel step size. With no input signal, the digital output becomes a one-zero alternating pattern and the analog output becomes a small triangle wave. Mismatches of internal currents and offsets limit the minimum step size which will produce a perfect idle channel pattern. The MC3417 is tested to ensure that a 20 mVp-p minimum step size at 16 kHz will attain a proper idle channel. The idle channel step size must be twice the specified total loop offset if a one-zero idle pattern is desired. In some applications a much smaller minimum step size (e.g., 0.1 mV) can produce quiet performance without providing a 1-0 pattern.

To set the idle channel step size, the value of R_{min} must be selected. With no input signal, the slope control algorithm is inactive. A long series of ones or zeros never occurs. Thus, the voltage across the syllabic filter capacitor (C_S) would decay to zero. However, the voltage divider of R_S and R_{min} (see Figure 14) sets the minimum allowed voltage across the syllabic filter capacitor. That voltage must produce the desired ramps at the analog output. Again we write the filter input current equation:

$$I_i = \frac{V_O}{R_1} + C\frac{dV_O}{dt}$$

For values of V_O near $V_{CC}/2$ the V_O/R term is negligible; thus

$$I_i = C_S\frac{\Delta V_O}{\Delta T}$$

where ΔT is the clock period and ΔV_O is the desired peak-to-peak value of the idle output. For a 16K-bit system using the circuit in Figure 14

$$I_i = \frac{0.1\ \mu F\ \ 20\ mV}{62.5\ \mu s} = 33\ \mu A$$

The voltage on C_S which produces a 33 μA current is determined by the value of R_x.

$$I_i R_x = V_{Smin};\ \text{for } 33\ \mu A,\ V_{Smin} = 41.6\ mV$$

In Figure 14 R_S is 18 kΩ. That selection is discussed with the syllabic filter considerations. The voltage divider of R_S and R_{min} must produce an output of 41.6 mV.

$$V_{CC}\frac{R_S}{R_S + R_{min}} = V_{Smin} \qquad R_{min} \to 2.4\ M\Omega$$

Having established these four parameters – clock rate, number of shift register bits, loop gain and minimum step size – the encoder circuit in Figure 14 will function at near optimum performance for input levels around 0 dBm.

INCREASING CVSD PERFORMANCE

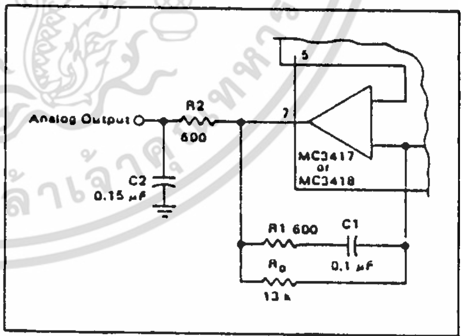
Integration Filter Design

The circuit in Figure 14 uses a single-pole integration network formed with a 0.1 μF capacitor and a 10 kΩ resistor. It is possible to improve the performance of the circuit in Figure 14 by 1 or 2 dB by using a two-pole integration network. The improved circuit is shown.

The first pole is still placed below 300 Hz to provide the 1/S voice content curve and a second pole is placed somewhere above the 1 kHz frequency. For telephony circuits, the second pole can be placed above 1.8 kHz to exceed the 1633 touchtone frequency. In other communication systems, values as low as 1 kHz may be selected. In general, the lower in frequency the second pole is placed, the greater the noise improvement. Then, to ensure the encoder loop stability, a zero is added to keep the phase shift less than 180°. This zero should be placed slightly above the low-pass output filter break frequency so as not to reduce the effectiveness of the second pole. A network of 235 Hz, 2 kHz and 5.2 kHz is typical for telephone applications while 160 Hz, 1.2 kHz and 2.8 kHz might be used in voice only channels. (Voice only channels can use an output low-pass filter which breaks at about 2.5 kHz.) The two-pole network in Figure 16 has a transfer function of:

$$\frac{V_O}{I_i} = \frac{R_0R_1\left(S + \frac{1}{R_1C_1}\right)}{R_2C_2(R_0 + R_1)\left(S + \frac{1}{(R_0 + R_1)C_1}\right)S + \left(\frac{1}{R_2C_2}\right)}$$

FIGURE 16 – IMPROVED FILTER CONFIGURATION



These component values are for the telephone channel circuit poles described in the text. The R2, C2 product can be provided with different values of R and C. R2 should be chosen to be equal to the termination resistor on Pin 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INCREASING CVSD PERFORMANCE (continued)

Thus the two poles and the zero can be selected arbitrarily as long as the zero is at a higher frequency than the first pole. The values in Figure 16 represent one implementation of the telephony filter requirement.

The selection of the two-pole filter network effects the selection of the loop gain value and the minimum step size resistor. The required integrator current for a given change in voltage now becomes:

$$I_i = \frac{V_0}{R_0} + \left(\frac{R_2C_2}{R_0} + \frac{R_1C_1}{R_0} + C_1\right)\frac{\Delta V_0}{\Delta T} + \left(R_2C_2C_1 + \frac{R_1C_1R_2C_2}{R_0}\right)\frac{\Delta V_0{}^2}{\Delta T^2}$$

The calculation of desired gain resistor R_x then proceeds exactly as previously described.

Syllabic Filter Design

The syllabic filter in Figure 14 is a simple single-pole network of 18 kΩ and 0.33 μF. This produces a 6.0 ms time constant for the averaging of the coincidence output signal. The voltage across the capacitor determines the integrator current which in turn establishes the step size. The integrator current and the resulting step size determine the companding ratio and the S/N performance. The companding ratio is defined as the voltage across C_S/V_{CC}.

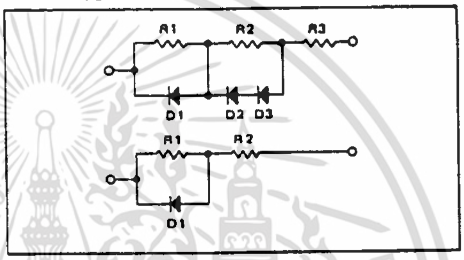
The S/N performance may be improved by modifying the voltage to current transformation produced by R_x. If different portions of the total R_x are shunted by diodes, the integrator current can be other than $(V_{CC} - V_S)/R_x$. These breakpoint curves must be designed experimentally for the particular system application. In general, one would wish that the current would double with input level. To design the desired curve, supply current to Pin 4 of the codec from an external source. Input a signal level and adjust the current until the S/N performance is optimum. Then record the syllabic filter voltage and the current. Repeat this for all desired signal levels. Then derive the resistor diode network which produces that curve on a curve tracer.

Once the network is designed with the curve tracer, it is then inserted in place of R_x in the circuit and the forced optimum noise performance will be achieved from the active syllabic algorithm.

Diode breakpoint networks may be very simple or moderately complex and can improve the usable dynamic range of any codec. In the past they have been used in high performance telephone codecs.

Typical resistor-diode networks are shown in Figure 17.

FIGURE 17 – RESISTOR-DIODE NETWORKS



If the performance of more complex diode networks is desired, the circuit in Figure 18 should be used. It simulates the companding characteristics of nonlinear R_x elements in a different manner.

Output Low Pass Filter

A low pass filter is required at the receiving circuit output to eliminate quantizing noise. In general, the lower the bit rate, the better the filter must be. The filter in Figure 20 provides excellent performance for 12 kHz to 40 kHz systems.

TELEPHONE CARRIER QUALITY CODEC USING MC3418

Two specifications of the integrated circuit are specifically intended to meet the performance requirements of commercial telephone systems. First, slope polarity switch current matching is laser trimmed to guarantee proper idle channel performance with 5 mV minimum step size and a typical 1% current match from 15 μA to 3 mA. Thus a 300 to 1 range of step size variation is possible. Second, the MC3418 provides the four-bit algorithm currently used in subscriber loop telephone systems. With these specifications and the circuit of Figure 18, a telephone quality codec can be mass produced.

The circuit in Figure 18 provides a 30 dB S/Nc ratio over 50 dB of dynamic range for a 1 kHz test tone at a 37.7K bit rate. At 37.7K bits, 40 voice channels may be multiplexed on a standard 1.544 megabit T1 facility. This codec has also been tested for 10^{-7} error rates with asynchronous and synchronous data up to 2400 baud and for reliable performance with DTMF signaling. Thus, the design is applicable in telephone quality subscriber loop carrier systems, subscriber loop concentrators and small PABX installations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

The Active Companding Network

The unique feature of the codec in Figure 18 is the step size control circuit which uses a companding ratio reference, the present step size, and the present syllabic filter output to establish the optimum companding ratios and step sizes for any given input level. The companding ratio of a CVSD codec is defined as the duty cycle of the coincidence output. It is the parameter measured by the syllabic filter and is the voltage across C_S divided by the voltage swing of the coincidence output. In Figure 18, the voltage swing of Pin 11 is 6.0 volts. The operating companding ratio is analoged by the voltage between Pins 10 and 4 by means of the virtual short across Pins 3 and 4 of the V to I op amp within the integrated circuit. Thus, the instantaneous companding ratio of the codec is always available at the negative input of A1.

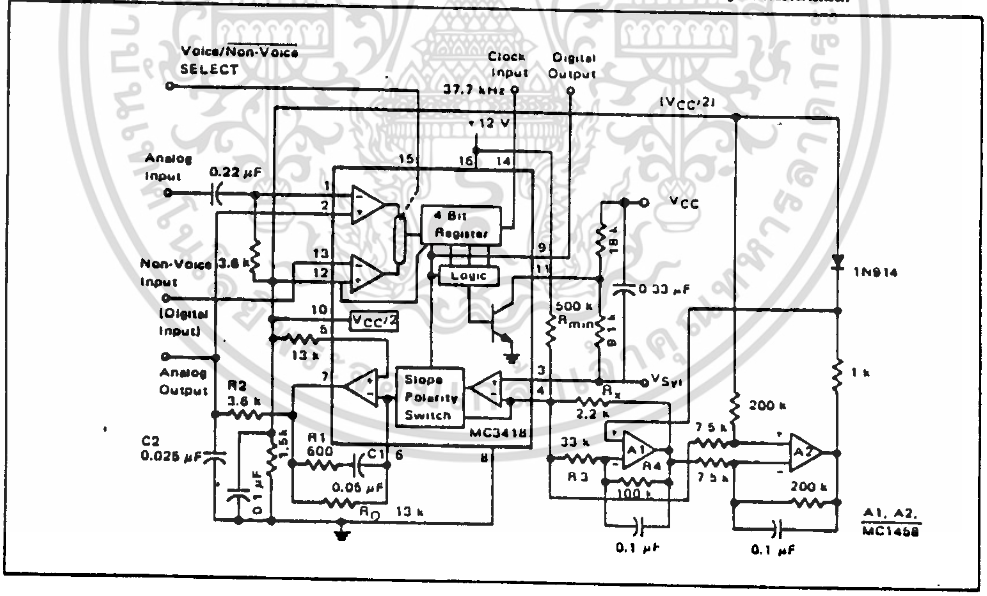
The diode D1 and the gain of A1 and A2 provide a companding ratio reference for any input level. If the output of A2 is more than 0.7 volts below $V_{CC}/2$, then the positive input of A1 is $(V_{CC}/2 - 0.7)$. The on diode drop at the input of A1 represents a 12% companding ratio (12% = 0.7 V/6.0 V).

The present step size of the operating codec is directly related to the voltage across R_X, which established the integrator current. In Figure 18, the voltage across R_X is amplified by the differential amplifier A2 whose output is single ended with respect to Pin 10 of the IC.

For large signal inputs, the step size is large and the output of A2 is lower than 0.7 volts. Thus D1 is fully on. The present step size is not a factor in the step size control. However, the difference between 12% companding ratio and the instantaneous companding ratio at Pin 4 is amplified by A1. The output of A1 changes the voltage across R_X in a direction which reduces the difference between the companding reference and the operating ratio by changing the step size. The ratio of R4 and R3 determines how closely the voltage at Pin 4 will be forced to 12%. The selection of R3 and R4 is initially experimental. However, the resulting companding control is dependent on R_X, R3, R4, and the full diode drop D1. These values are easy to reproduce from codec to codec.

For small input levels, the companding ratio reference becomes the output of A2 rather than the diode drop. The operating companding ratio on Pin 4 is than compared to a companding ratio smaller than 12% which is determined by the voltage drop across R_X and the gain of A2 and A1. The gain of A2 is also experimentally determined, but once determined, the circuitry is easily

FIGURE 18 – TELEPHONE QUALITY DELTAMOD CODER
(Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.)

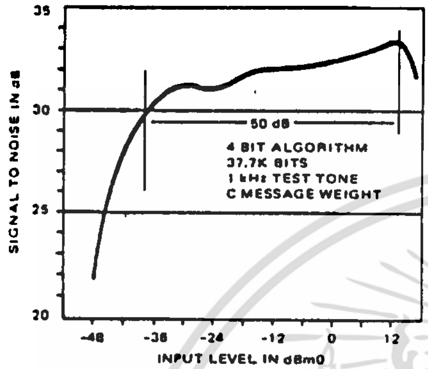


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

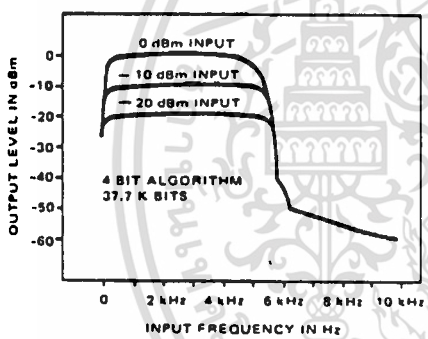
TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

FIGURE 19 – SIGNAL-TO-NOISE PERFORMANCE AND FREQUENCY RESPONSE
(Showing the improvement realized with the circuit in Figure 18.)

a. SIGNAL-TO-NOISE PERFORMANCE OF TELEPHONY QUALITY DELTAMODULATOR



b. FREQUENCY RESPONSE versus INPUT LEVEL (SLOPE OVERLOAD CHARACTERISTIC)



repeated.

With no input signal, the companding ratio at Pin 4 goes to zero and the voltage across R_x goes to zero. The voltage at the output of A2 becomes zero since there is no drop across R_x. With no signal input, the actively controlled step size vanished.

The minimum step size is established by the 500 k resistor between V_{CC} and $V_{CC}/2$ and is therefore independently selectable.

The signal to noise results of the active companding network are shown in Figure 19. A smooth 2 dB drop is realized from +12 dBm to −24 under the control of A1. At −24 dBm, A2 begins to degenerate the companding reference and the resulting step size is reduced so as to extend the dynamic range of the codec by 20 dBm.

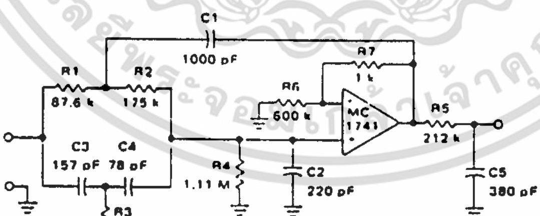
The slope overload characteristic is also shown. The active companding network produces improved performance with frequency. The 0 dBm slope overload point is raised to 4.8 kHz because of the gain available in controlling the voltage across R_x. The curves demonstrate that the level linearity has been maintained or improved.*

The codec in Figure 18 is designed specifically for 37.7K bit systems. However, the benefits of the active companding network are not limited to high bit rate systems. By modifying the crossover region (changing the gain of A2), the active technique may be used to improve the performance of lower bit rate systems.

The performance and repeatability of the codec in Figure 18 represents a significant step forward in the art and cost of CVSD codec designs.

*A larger value for C2 is required in the decoder circuit than in the encoder to adjust the level linearity with frequency. In Figure 18, 0.050 µF would work well.

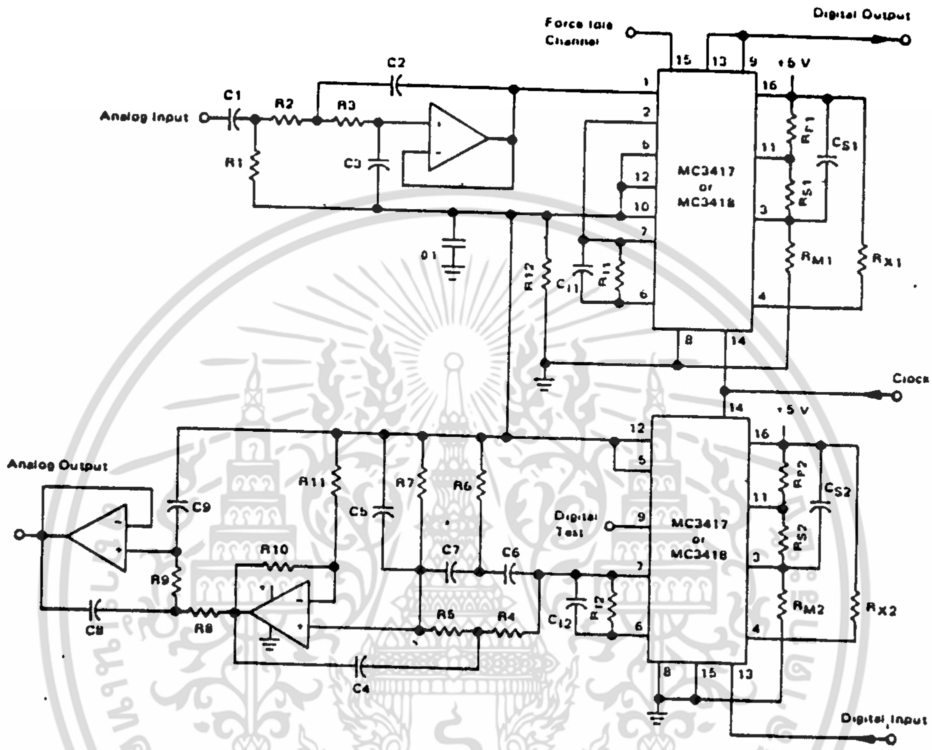
FIGURE 20 – HIGH PERFORMANCE ELLIPTIC FILTER FOR CVSD OUTPUT



Designed for 0.28 dB ripple in the pass band
ω_n = 3 kHz
ω_s = ≥ 6 kHz
AtIB at ω_s and above 29.5 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 21 – FULL DUPLEX/32K BIT CVSD VOICE CODEC USING MC3517/18 AND MC3503/6 OP AMP



Codec Components

R_{X1}, R_{X2} – 3.3 kΩ
R_{P1}, R_{P2} – 3.3 kΩ
R_{S1}, R_{S2} – 100 kΩ
R_{11}, R_{12} – 20 kΩ
R_{12} – 1 kΩ
R_{M1}, R_{M2} – 5 MΩ (MC3417)
Minimum step size = 20 mV
R_{M1}, R_{M2} – 15 MΩ (MC3418)
Minimum step size = 6 mV

C_{S1}, C_{S2} – 0.05 μF
C_{11}, C_{12} – 0.05 μF

2 MC3417 (or MC3418)
1 MC3403 (or MC3406)

Note: All Res. 5%
All Cap. 5%

Input Filter Specifications

12 dB/Octave Rolloff above 3.3 kHz
6 dB/Octave Rolloff below 50 Hz

Output Filter Specifications

Break Frequency – 3.3 kHz
Stop Band – 9 kHz
Stop Band Atten. – 50 dB
Rolloff – > 40 dB/Octave

Filter Components

R1 – 965 Ω
R2 – 72 kΩ
R3 – 72 kΩ
R4 – 63.46 kΩ
R5 – 127 kΩ
R6 – 365.5 kΩ
R7 – 1.645 MΩ
R8 – 72 kΩ
R9 – 72 kΩ
R10 – 29.5 kΩ
R11 – 72 kΩ

C1 – 3.3 μF
C2 – 837 pF
C3 – 536 pF
C4 – 1000 pF
C5 – 222 pF
C6 – 77 pF
C7 – 36 pF
C8 – 837 pF
C9 – 536 pF

Note All Res. 0.1% to 1%.
All Cap 1.0%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

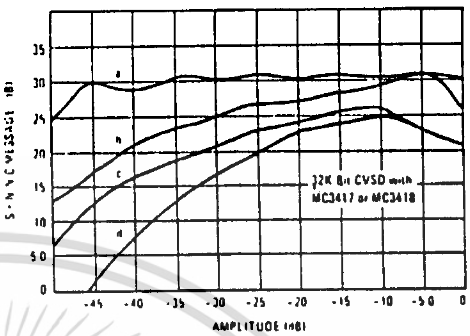
COMPARATIVE CODEC PERFORMANCE

The salient feature of CVSD codecs using the MC3517 and MC3518 family is versatility. The range of codec complexity tradeoffs and bit rate is so wide that one cannot grasp the interdependency of parameters for voice applications in a few pages.

Design of a specific codec must be tailored to the digital channel bandwidth, the analog bandwidth, the quality of signal transmission required and the cost objectives. To illustrate the choices available, the data in Figure 22 compares the signal-to-noise ratios and dynamic range of various codec design options at 32K bits. Generally, the relative merits of each design feature will remain intact in any application. Lowering the bit rate will reduce the dynamic range and noise performance of all techniques. As the bit rate is increased, the overall performance of each technique will improve and the need for more complex designs diminishes.

Non-voice applications of the MC3517 and MC3518 are also possible. In those cases, the signal bandwidth and amplitude characteristics must be defined before the specification of codec parameters can begin. However, in general, the design can proceed along the lines of the voice applications shown here, taking into account the different signal bandwidth requirements.

FIGURE 22 – COMPARATIVE CODEC PERFORMANCE – SIGNAL-TO-NOISE RATIO FOR 1 kHz TEST TONE



These curves demonstrate the improved performance obtained with several codec designs of varying complexity.

Curve a — Complex companding and double integration (Figure 18 — MC3418)
Curve b — Double integration (Figure 14 using Figure 16 — MC3418)
Curve c — Single integration (Figure 14 — MC3418) with 6.0 mV step size
Curve d — Single integration (Figure 14 — MC3417) with 25 mV step size

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152-2

Parallel-Input PLL Frequency Synthesizer

Interfaces with Dual-Modulus Prescalers

The MC145152-2 is programmed by sixteen parallel inputs for the N and A counters and three input lines for the R counter. The device features consist of a reference oscillator, selectable-reference divider, two-output phase detector, 10-bit programmable divide-by-N counter, and 6-bit programmable ÷ A counter.

The MC145152-2 is an improved-performance drop-in replacement for the MC145152-1. Power consumption has decreased and ESD and latch-up performance have improved.

- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On- or Off-Chip Reference Oscillator Operation
- Lock Detect Signal
- Dual Modulus/Parallel Programming
- 8 User-Selectable ÷ R Values: 8, 64, 128, 256, 512, 1024, 1160, 2048
- ÷ N Range = 3 to 1023, ÷ A Range = 0 to 63
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates

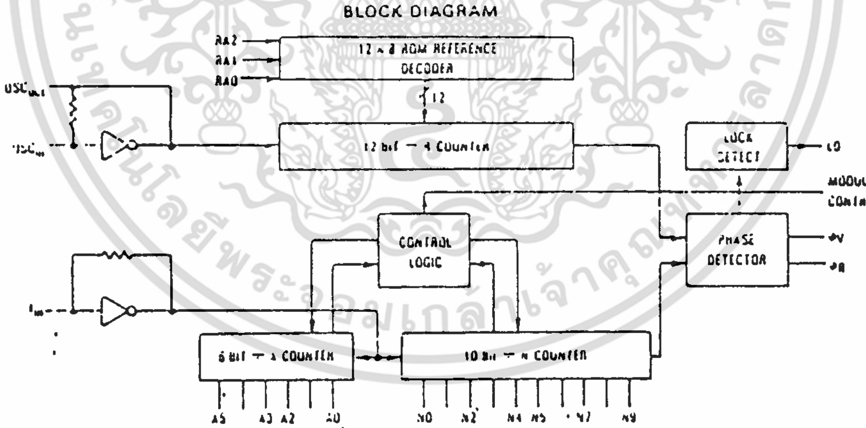
P SUFFIX
PLASTIC
CASE 710

FN SUFFIX
PLCC
CASE 776

ORDERING INFORMATION

MC145152P2	Plastic DIP
MC145152FN2	PLCC Package

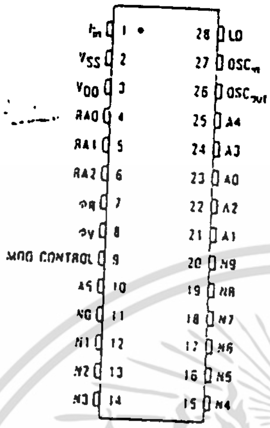
BLOCK DIAGRAM



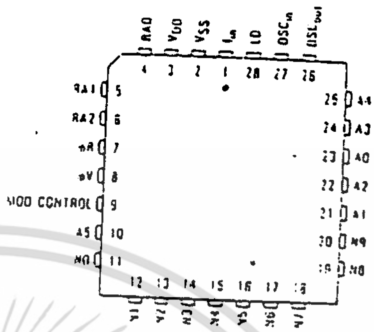
NOTE: N0 through N9, A0 through A5, and RA0 through RA2 have pullup resistors not shown.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN ASSIGNMENTS



PLASTIC DIP



PLCC PACKAGE

PIN DESCRIPTIONS

INPUTS

f_{in} — Frequency Input

Input to the positive edge triggered ÷ N and ÷ A counters. f_{in} is typically derived from a dual-modulus prescaler and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2 — Reference Address Inputs

These three inputs establish a code defining one of eight possible divide values for the total reference divider. The total reference divide values are as follows:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024
1	1	0	1160
1	1	1	2048

N Inputs — N Counter Programming Inputs

The N inputs provide the data that is preset into the ÷ N counter when it reaches the count of zero. N0 is least significant digit and N9 is most significant. Pullup resistors ensure that inputs left open remain at a logic one and require only a SPST switch to alter data to the zero state.

A Inputs — A Counter Programming Inputs

The A inputs define the number of clock cycles of f_{in} that require a logic zero on the modulus control output. (See Dual-Modulus Prescaling section.) The A inputs all have internal pullup resistors that ensure that inputs left open will remain at a logic one.

OSC_{in}, OSC_{out} — Reference Oscillator Input/Output

These pins form an on-chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as input for an externally generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUTS

ϕR, ϕV — Phase Detector Outputs

These phase detector outputs can be combined externally for a loop error signal.

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

Modulus Control — Dual-Modulus Prescale Control Output

Signal generated by the on-chip control logic circuitry for controlling an external dual-modulus prescaler. The modulus control level will be low at the beginning of a count cycle and will remain low until the ÷ A counter has counted down from its programmed value. At this time, modulus control goes high

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

and remains high until the ÷ N counter has counted the rest of the way down from its programmed value (N – A additional counts since both ÷ N and ÷ A are counting down during the first portion of the cycle). Modulus control is then set back low, the counters preset to their respective programmed values, and the above sequence repeated. This provides for a total programmable divide value (N_T) = N·P + A where P and P + 1 represent the dual-modulus prescaler divide values respectively for high and low modulus control levels, N the number programmed into the ÷ N counter, and A the number programmed into the ÷ A counter.

LD—Lock Detector Output

Lock detector signal. Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

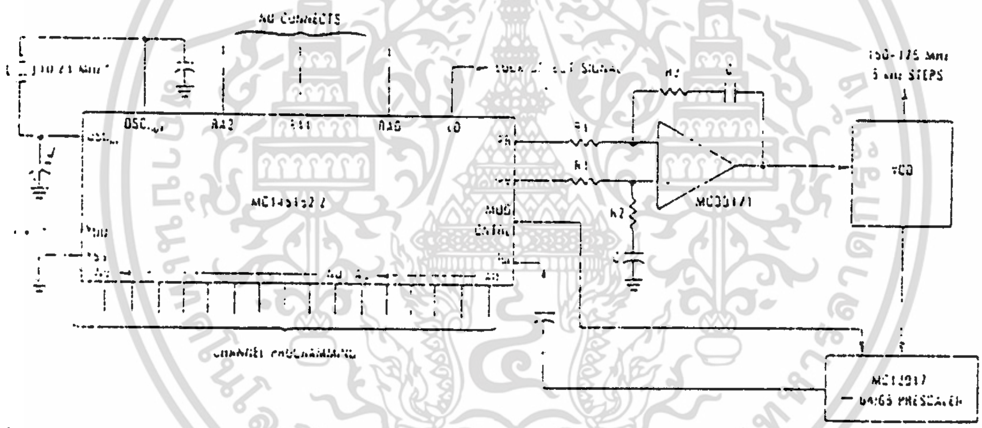
V_{DD}

The positive power supply potential. This pin may range from +3 to +9 V with respect to V_{SS}.

V_{SS}

The most negative supply potential. This pin is usually ground.

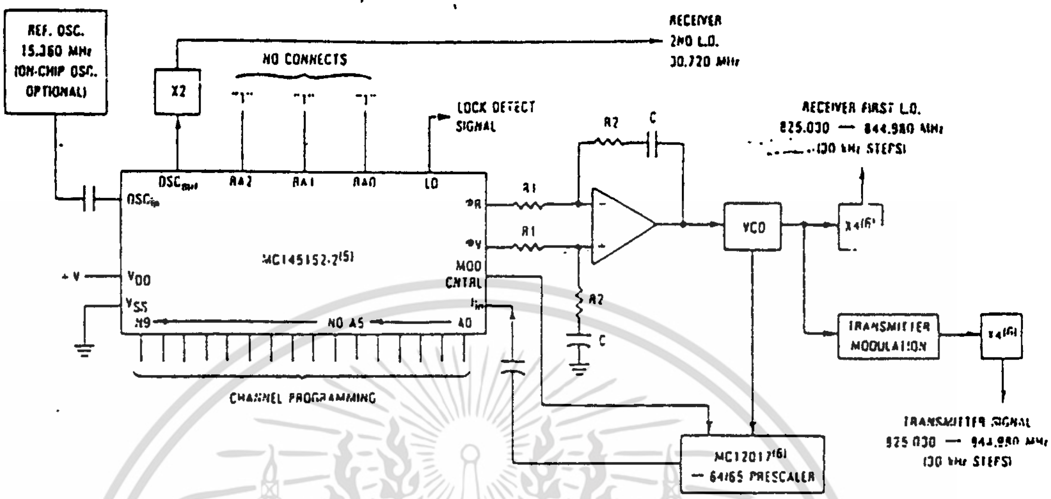
TYPICAL APPLICATIONS



*Off-chip oscillator optional

Synthesizer for Land Mobile Radio VHF Bands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:

1. Receiver 1st. I.F. = 45 MHz, low side injection; Receiver 2nd. I.F. = 11.7 MHz, low side injection.
2. Duplex operation with 45 MHz receiver/transmit separation.
3. f_R = 7.5 kHz, ÷ R = 2048.
4. N_{total} = N • 64 + A = 27501 to 28166; N = 429 to 440; A = 0 to 63.
5. MC145158-2 may be used where serial data entry is desired.
6. High frequency prescalers — e.g., MC12018 (520 MHz) and MC12022 (1 GHz) — may be used for higher frequency VCO and f_{ref} implementations.

666-Channel, Computer-Controlled, Mobile Radiotelephone Synthesizer for 800 MHz Cellular Radio Systems

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC12015
MC12016
MC12017

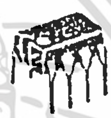
MECL PLL COMPONENTS

LOW-POWER
TWO—MODULUS
PRESCALER

LOW-POWER TWO-MODULUS PRESCALER

The MC12015, MC12016 and MC12017 are two-modulus prescalers which will divide by 32 and 33, 40 and 41, and 64 and 65 respectively. An internal regulator is provided to allow these devices to be used over a wide range of power-supply voltages. The devices may be operated by applying a supply voltage of 5.0 Vdc ± 10% at pin 7 or by applying an unregulated voltage source from 5.5 Vdc to 9.5 Vdc to pin 8.

- 225 MHz Toggle Frequency
- Low-Power — 7.5 mA Max at 6.8 V
- Control Input and Output are Compatible with Standard CMOS
- Connecting Pins 2 and 3 Allows Driving One TTL Load
- Supply Voltage 4.5 V to 9.5 V



P SUFFIX
PLASTIC PACKAGE
CASE 626

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751

MAXIMUM RATINGS

Characteristic	Symbol	Range	Unit
Regulated Voltage, Pin 7	V_{reg}	8.0	Vdc
Power Supply Voltage, Pin 8	V_{CC}	10.0	Vdc
Operating Temperature Range	T_A	-40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +175	°C

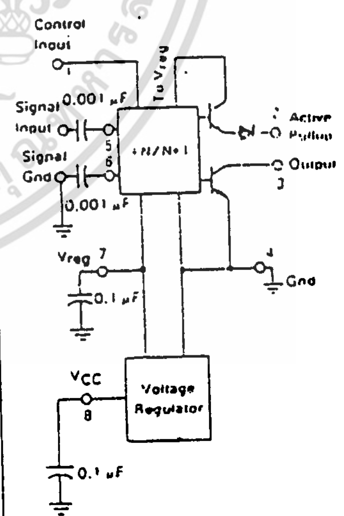
ELECTRICAL CHARACTERISTICS (V_{CC} = 5.5 to 9.5, V_{reg} = 4.5 to 5.5 V, T_A = -40°C to +85°C)

Characteristic	Symbol	Min	Typ	Max	Unit
Toggle Frequency (Sine wave input)	f_{max}	225	—	—	MHz
	f_{min}	—	—	35	MHz
Supply Current	I_{CC}	—	6.0	7.8	mA
Control Input High (÷32, 40 or 64)		2.0	—	—	V
Control Input Low (÷33, 41 or 65)		—	—	0.8	V
Output Voltage High* (I_{source} = 50 µA)	V_{OH}	2.5	—	—	V
Output Voltage Low* (I_{sink} = 2 mA)	V_{OL}	—	—	0.5	V
Input Voltage Sensitivity 35 MHz	V_{in}	400	—	300	mVPP
50-225 MHz		200	—	800	mVPP
PLL Response Time (Notes 1 and 2)	t_{PLL}	—	—	t_{out} -70	ns

Notes:
1. t_{PLL} = the period of time the PLL has from the prescaler rising output transition (50%) to the modulus control input edge transition (50%) to ensure proper modulus selection.
2. t_{out} = period of output waveform.

*Pin 2 connected to Pin 3

PRESCALER BLOCK DIAGRAM



1. V_{reg} @ pin 7 is not guaranteed to be between 4.5 and 5.5 V when V_{CC} is being applied to pin 8.
2. Pin 7 is not to be used as a source of regulated output voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้