ชุดทดลอง MULTIPLEX COMMUNICATION

MULTIPLEX COMMUNICATION BOARD

โดย

นาย เกรียงไกร ราศรีเพ็ญงาม

นาย พรประเสริฐ ยินดี

นาย วรศักดิ์ ไหลรุ่งเรืองสกุล

วัน เดือน ปี 1 ตค 2541

เลขทะเบียน 038360

เลขเรียกหนังสือ T54340 ว๗๕

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชา เทคโนโลยีอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038360

หัวข้อปริญญานิพนธ์ ชุดทดลอง MULTIPLEX COMMUNICATION
MULTIPLEX COMMUNICATION BOARD

ผู้จัดทำ 1. นาย เกรียงไกร ราศรีเพ็ญงาม
2. นาย พรประเสริฐ ยินดี
3. นาย วรศักดิ์ ไหลรุ่งเรืองสกุล

อาจารย์ที่ปรึกษา รศ.ดร. กนก เจนจิระพงศ์เวช

สาขา เทคโนโลยีอิเล็กทรอนิกส์

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2539

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

_____ ประธานกรรมการ
(_____)

_____ กรรมการ
(_____)

_____ กรรมการ
(_____)

_____ กรรมการ
(_____)

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดทดลอง MULTIPLEX COMMUNICATION

ผู้ร่วมงาน.

นาย เกรียงไกร ราศรีเพ็ญงาม

นาย พรประเสริฐ ยินดี

นาย วรศักดิ์ ไหลรุ่งเรืองสกุล

อาจารย์ที่ปรึกษา

รศ. ดร. กนก เจนจิระพงศ์เวช

ปีการศึกษา 2539

บทคัดย่อ

โครงงานนี้เป็นชุดฝึกเรื่องการมัลติเพล็กแบบ TDM โดยแบ่งออกเป็น 2 ชุด ชุดแรกเป็นเรื่องการมัลติเพล็กโดยใช้ IC แบบ CMOS ส่วนที่ 2 เป็นเรื่องการมัลติเพล็กโดยใช้ IC แบบ Flip Flop ข้อดีประการหนึ่งของการทำมัลติเพล็ก คือ ช่วยให้ประหยัดสายที่ใช้ส่ง โดยแทนที่จะส่งหลายๆ เส้นก็เหลือเพียงเส้นเดียว แล้วนำไปดีมัลติเพล็กที่ภาครับ สัญญาณที่ออกมาจะเหมือนทางด้านส่ง การมัลติเพล็กสามารถนำไปใช้ประโยชน์ได้หลายด้าน เช่น ใช้ในการส่งสัญญาณโทรศัพท์ การส่งสัญญาณเสียง การส่งสัญญาณภาพ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MULTIPLEX COMMUNICATION BOARD

Mr. Kriangkrai Raseepen-ngam
Mr. Pomprasert Yindee
Mr. Worasak Lairungruengsakul

Advisor

Dr. Kanok Jenjirapongwej

1996

Abstract

This project describes the Time Division Multiplex (TDM) training kit for education al purposed. The equipment consists of 2 separated independent parts. The prior is the Time Division multiplex by using CMOS IC type. The later is the used of Flip Flop IC type. One of the adventage of multiplex technique is that it can combined many channels via a single cable at the sending end and demultiplex at the receiving end.

As it is known that multiplexing technique play an important role in various application aspect such as telephone voice and video transmission.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สารบัญ

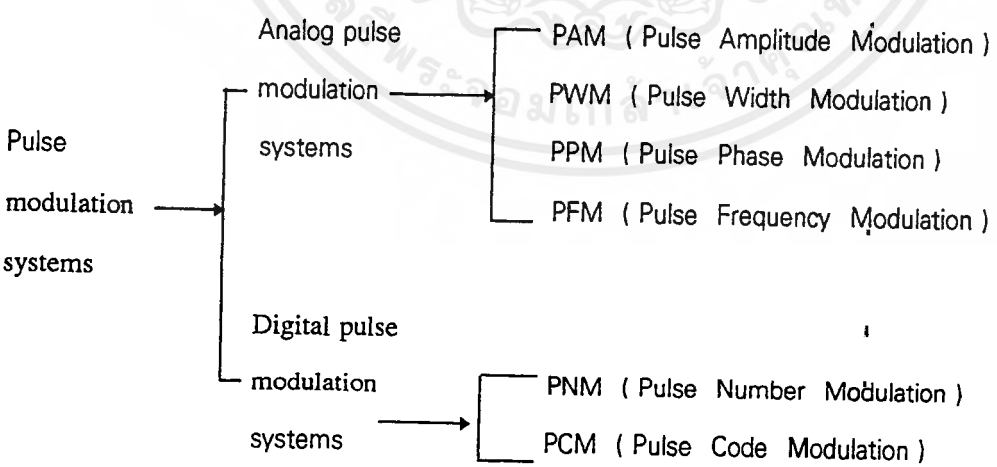
บทที่	เนื้อหา	หน้า
	บทคัดย่อ	ก
	ABSTRACT	ข
บทที่ 1	ระบบพัลส์มอดูเลชั่น	1
	1.1 พัลส์แอมปลิจูดมอดูเลชั่น (PAM)	2
	1.2 ทฤษฎีพื้นฐานของ PAM	5
	1.3 หลักการมัลติเพล็กซิ่ง (Multiplexing)	6
บทที่ 2	การส่งสัญญาณตามสาย	8
	2.1 บิทซิงโครไนเซชั่น (Bit Synchonization)	9
	2.2 เฟรมซิงโครไนเซชั่น (Fram Synchonization)	12
	2.3 เฟรมอะไลน์เมนท์ (Fram Alignment)	13
	2.4 การค้นหาเฟรมอะไลน์เมนท์	15
	2.5 การซิงโครไนซ์วิธีสตัฟพัลส์ (Stuffed - puls Synchonization)	16
บทที่ 3	การใช้วงจรประมวล 555	18
	3.1 วงจรเอกเสถียร	19
	3.2 วงจรอเสถียร	20
บทที่ 4	เฟสล็อกลูป (Phase Locked Loop)	23
	4.1 วงจรดีมอดชนิด PLL	25
	4.2 หลักการของ PLL	27
บทที่ 5	การแซมปลิ้ง (Sampling)	31
	5.1 การพร่าเพี้ยนเกิดจากแถบคลื่นซ้อนกัน (Aliasing distortion)	32
	5.2 การพร่าเพี้ยนเกิดจากการสอดแทรก (Interpolation distortion)	33
บทที่ 6	การทำงานทางภาคส่ง	35
	6.1 มัลติเพล็กซิ่งทางด้านส่ง	37
	6.2 มัลติเพล็กซิ่งทางด้านรับ	42
บทที่ 7	ผลการทดลอง วงจรที่ 1	43
	สรุปผลการทดลองและวิจารณ์ในวงจรที่ 1	59
	ผลการทดลอง วงจรที่ 2	60
	สรุปผลการทดลองและวิจารณ์ในวงจรที่ 2	79
ภาคผนวก		
กิตติกรรมประกาศ		
หนังสืออ้างอิง		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทที่ 1

ระบบพัลส์มอดูเลชั่น

เมื่อจำแนกระบบของพัลส์มอดูเลชั่นแล้วจะมี 2 ระบบกว้าง ๆ คือ ระบบพัลส์อนาล็อกมอดูเลชั่นและระบบพัลส์ดิจิตอลมอดูเลชั่น แบบแรกได้จากการแซมปลิ้งสัญญาณอนาล็อกให้เป็นค่าดิสครีทในช่วงเวลาที่เท่ากันอย่างสม่ำ เสมอแล้วทำการส่งในหลาย ๆ รูปแบบโดยยังคงรักษาสัญญาณอนาล็อกเดิมไว้ดังเช่นระบบ PAM (Pulse Amplitude modulation) , PWM (Pulse Width Modulation) , PPM (Pulse Phase modulation) และ PFM (Pulse Frequency Modulation) ส่วนแบบที่สองนั้นจะใช้ค่าแบบดิสครีททั้งเวลาและแอมปลิจูดโดยผ่านกระบวนการควอนไตซิ่ง (Quantizing) และการเข้ารหัส (Coding)ซึ่งจะกล่าวให้รายละเอียดตอนหลัง ระบบนี้แบ่งออกเป็น 2 แบบ คือ PNM (Pulse Number Modulation) และ PCM (Pulse Code Modulation) พัลส์มอดูเลชั่นระบบต่าง ๆ ที่กล่าวมาข้างต้นพอสรุปได้ดังนี้ และแสดงการเปรียบเทียบไว้ในรูปที่ 1.1



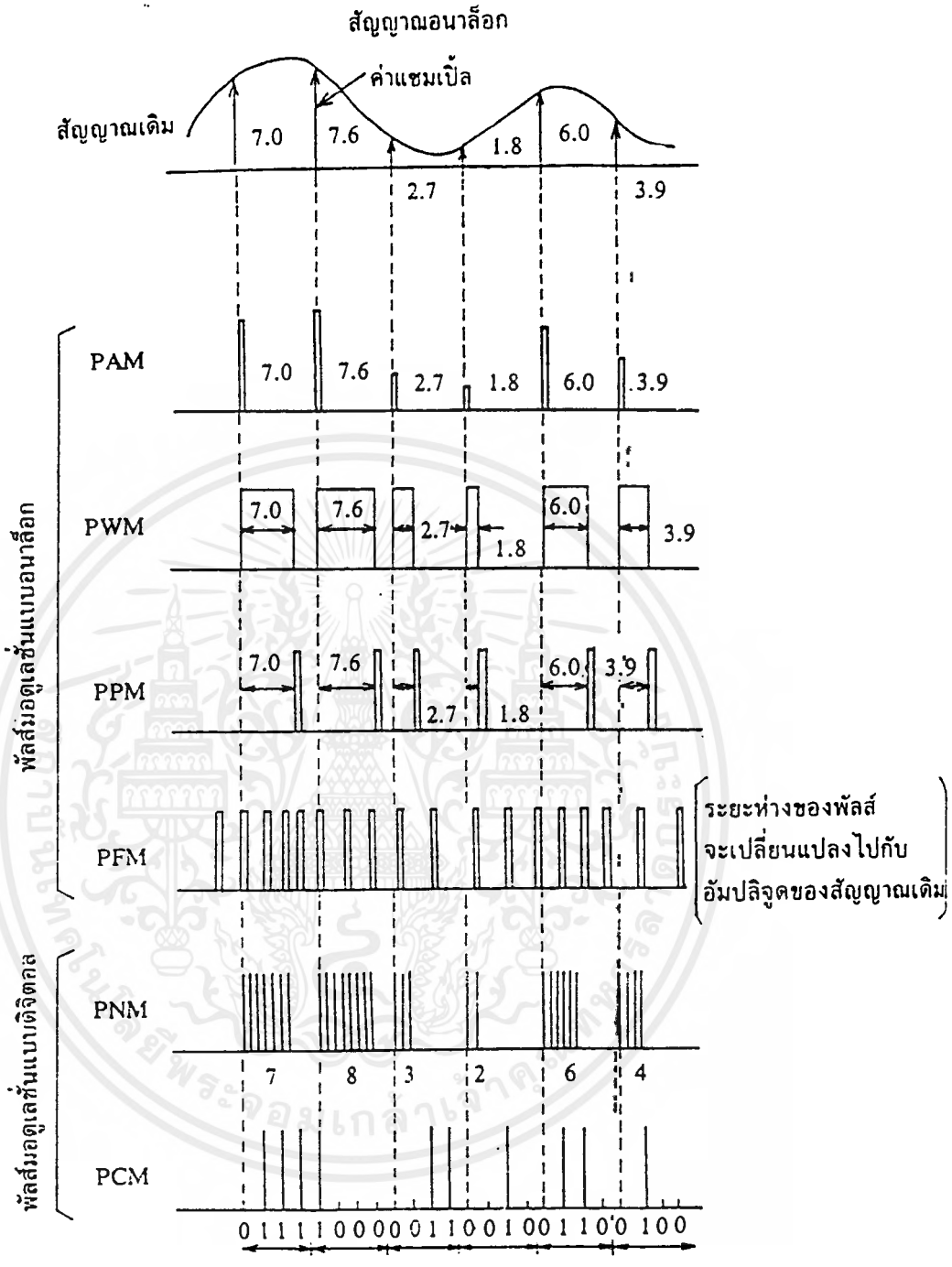
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบแบบอนาล็อก ปริมาณที่เป็นอนาล็อกอย่างเช่น PAM และ PWM นั้น เมื่อมันถูกส่งออกไปยังด้านรับถ้ามีนอยส์ปนอยู่ในช่องสัญญาณใดๆก็จะไม่สามารถแยก่สัญญาณ เดิมออกมาได้อย่างแจ่มชัด ซึ่งระบบต่าง ๆ เหล่านี้จะมีนอยส์มากกว่าแบบดิจิตอลพัลส์มอดูเลชั่น แต่อย่างไรก็ตาม ระบบ PFM เป็นการมอดูเลตแบบความถี่จากสัญญาณ เดิมดังนั้น จะมีนอยส์ น้อย กว่าของ PAM , PWM และ PPM จึงถูกนำไปใช้ในระบบ การส่งสัญญาณภาพไปในเคเบิ้ลใยแก้ว

1.1 พัลส์อัมปลิจูดมอดูเลชั่น (PAM)

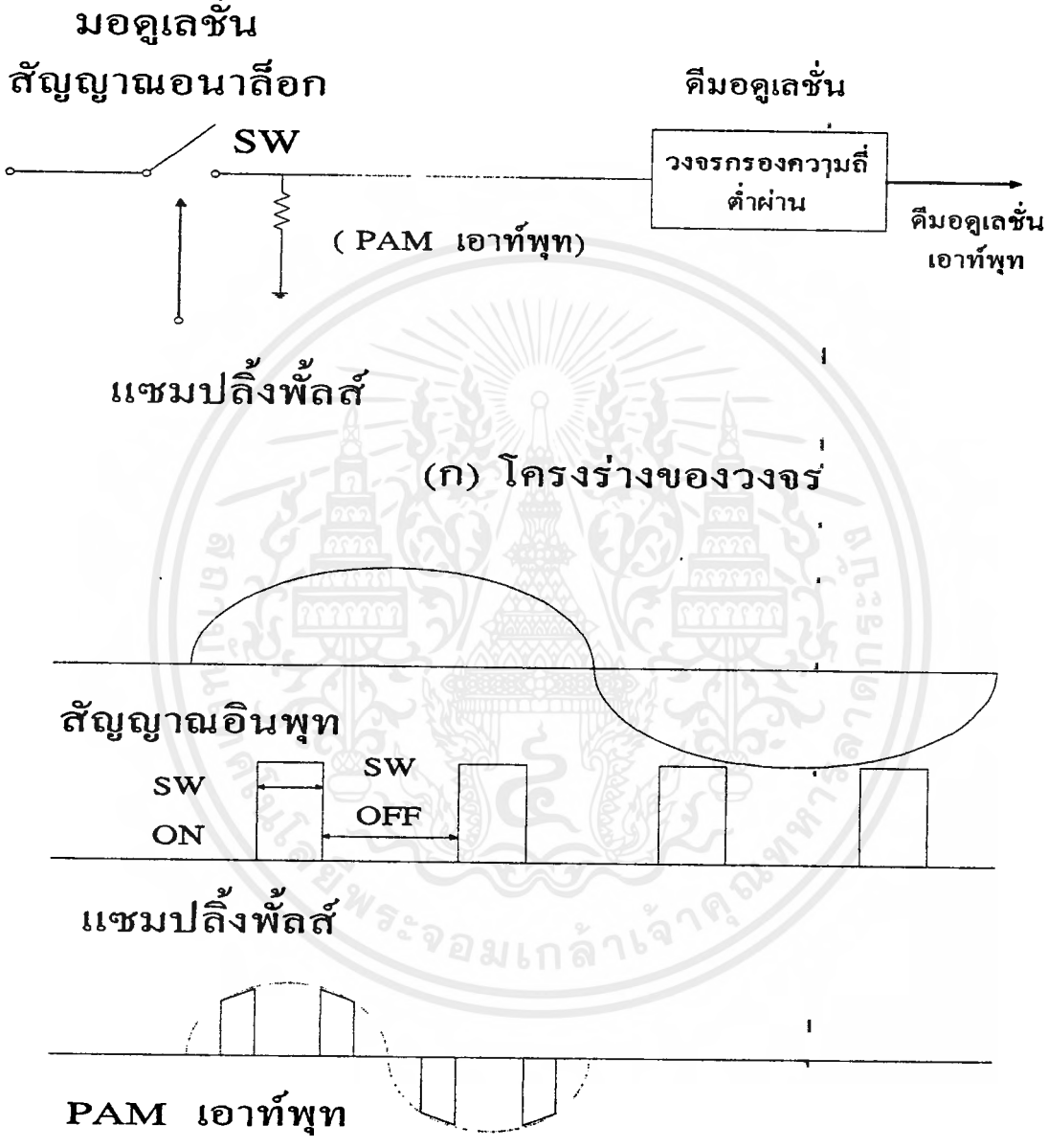
หลักการเบื้องต้นของการมอดูเลตและดีมอดูเลตแบบ PAM นั้นแสดงไว้ในรูปที่ 1.12 ตามรูปสวิทช์จะปิดเฉพาะเวลาแซมปลิ้งเท่านั้นขนาดของพัลส์ที่ได้รับจะเป็นสัดส่วนโดยตรงกับแอมปลิจูดของสัญญาณเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 1.12 พัลส์มอดูเลชั่นระบบต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

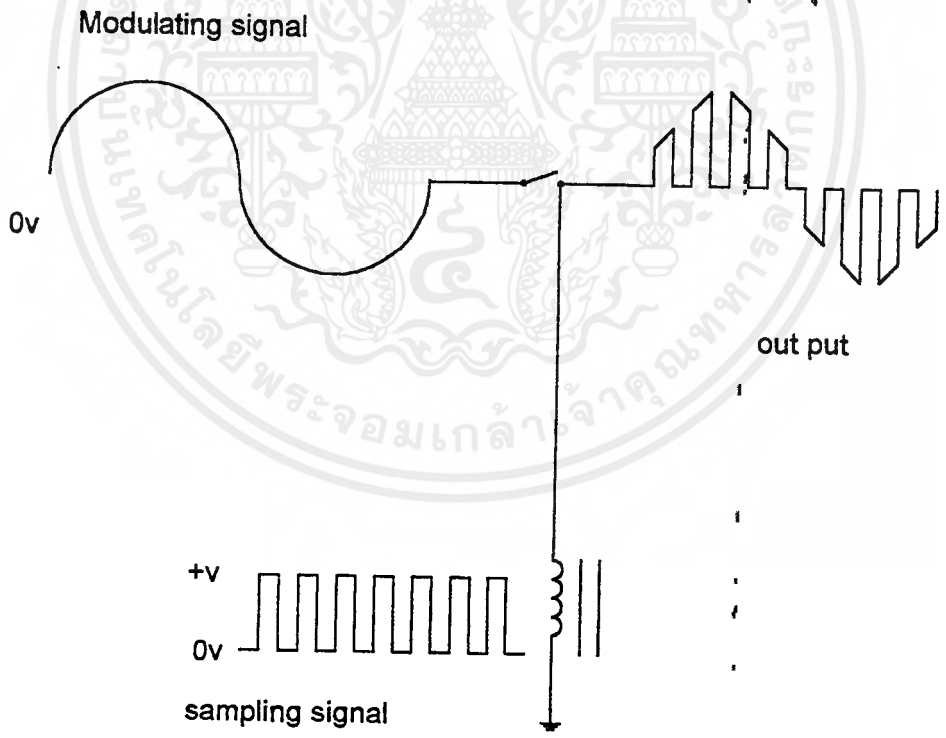


รูปที่ 1.13 หลักการของ PAM มอดูเลชั่นและดีมอดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

1.2 ทฤษฎีพื้นฐานของ PAM

พัลส์มอดูเลชั่น ที่ใช้กันอยู่มีหลายรูปแบบโดยแบบง่ายที่สุด ได้แก่ พัลส์ แอมปลิจูด มอดูเลชั่นโดยวิธีนี้ขนาดของดิจิตอลพัลส์ต่อเนื่องจะแปรผันเป็นสัดส่วนโดยตรงกับแอมปลิจูดของสัญญาณนั้น ๆ หรือกล่าวอีกนัยหนึ่งคือ สัญญาณ Modulating ถูกแซมปลิ้งหรือสุ่มตัวอย่าง (Sampling) โดยดิจิตอลพัลส์ต่อเนื่องและการสุ่มตัวอย่างจากสัญญาณอนาล็อกเป็นช่วง ๆ สม่ำเสมอในอัตราอย่างน้อยเป็นสองเท่าของความถี่สูงสุดของสัญญาณ Modulating นั้น ๆ เพื่อว่าข่าวสารข้อมูลของสัญญาณที่ส่งออกไปหลังจากถูกดีเท็ค (Detect) แล้วจะเหมือน เดิม มากที่สุด

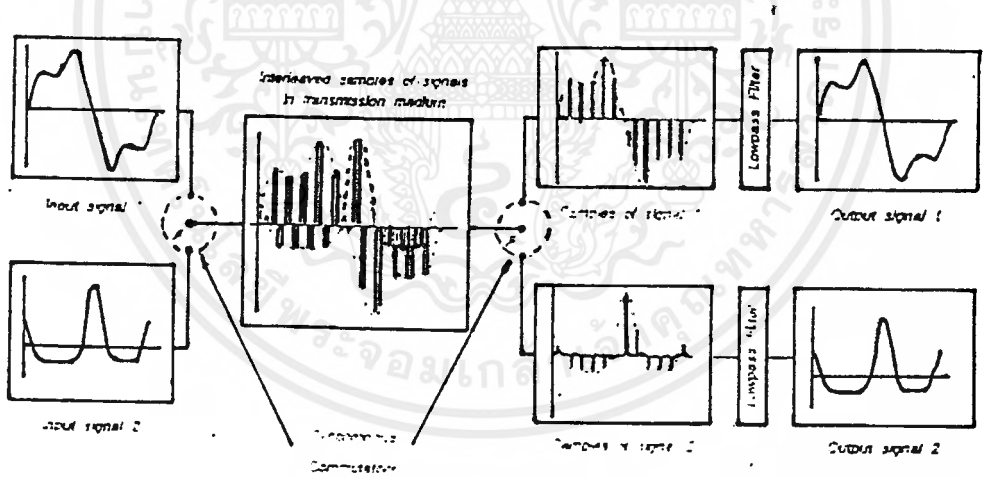


รูปที่ 1.21 แสดงระบบการสุ่มตัวอย่างสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

1.3 หลักการมัลติเพล็กซิ่ง (Multiplexing)

มัลติเพล็กซิ่งเป็นกระบวนการการส่งข้อมูลข่าวสารทุกรูปแบบ ไม่ว่าจะเป็นข้อมูล(Data) สัญญาณเสียง (Voice) หรือสัญญาณภาพ (Video) รวมกันหลาย ๆ ช่องสัญญาณ โดยอาจส่งผ่านสายเคเบิ้ลเส้นเดียว , คลื่นพาหะวิทยุ (R . F .) , คลื่นพาหะไมโครเวฟ ทางสายใยแก้ว (Fiber Optics) และผ่านทางสื่อสารดาวเทียมเป็นต้นโดยปราศจากการรบกวน หรือเกิด Cross Talk ในระบบ การมอดูเลตถ้าสัญญาณหลาย ๆ ช่อง (Channel) ถูก มอดูเลต โดยคลื่นพาหะเพียงคลื่นเดียว (Single Carrier) เราเรียกการส่งดังกล่าวว่า Time Division Multiplex หรือ (TDM) โดย TDM ดังกล่าวอาจเป็น PAM - TDM , PDM - TDM หรือ PCM - TDM เป็นต้น สำหรับการทดลองนี้เป็นแบบ PAM - TDM ดังแสดง ในรูปที่ 1.31

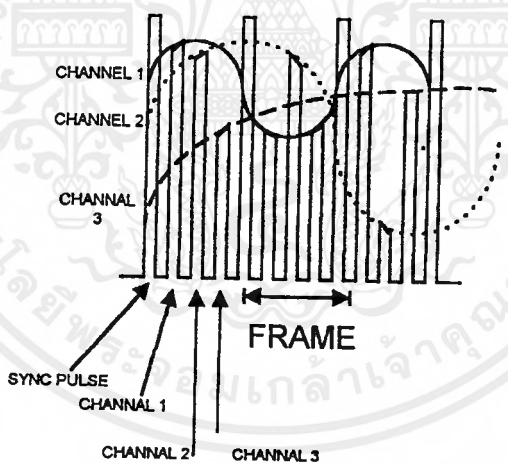


รูปที่ 1.31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป สัญญาณ Input 1 กับ Input 2 จะถูกสุ่มตัวอย่าง (Sampling)ในช่วงเวลาสั้น ๆ และถูกส่งออกตามด้วยสัญญาณช่องที่ 2 (Channel 2) จะถูก Sampling ด้วย อัตราการสุ่มตัวอย่างที่เท่ากับการสุ่มตัวอย่างของ Channel 1 โดยมีสวิตช์ อิเล็กทรอนิคส์ ทำ หน้าที่เป็นสวิตช์ขั้วเรียง (Commutator) ทำการ Sampling channel 1 และ 2 ถูกแบ่ง ช่อง เวลาเป็นช่องเล็ก ๆ เรียก Time Slot ของ CH - 1 จะถูกส่งสลับกับ Sampling Slot ของ CH - 2 ตามลำดับ ดังแสดงในรูปที่ 1.31

ตำแหน่งของสวิตช์ขั้วหมุนทางด้านส่งจะต้องเข้าจังหวะ (Synchonize) กับสวิตช์หมุน ทางด้านรับ ทั้งอัตราในการหมุน (Switching rate) และตำแหน่งของสวิตช์กล่าวคือสัญญาณช่องส่ง CH - 1 จะถูกรับที่ช่อง 1 ทางด้านรับ ชุดของ Time Slot แต่ละช่องที่ถูก Sampling รวมกันเรียกว่า เฟรม (Frame) ในทางทดลองจะใช้ Marber Pluseซึ่งเป็นพัลส์ที่สังเกตุได้ง่าย และแตกต่างจากข้อมูลอื่นที่ส่งโดยใช้สัญญาณที่มีระดับความสูงสูงกว่าสัญญาณอื่นเพื่อให้ทางด้านรับสามารถ รับรู้ และ ทำให้เกิดการล็อคอิน (Lock In)



รูปที่ 1.32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2

2. การส่งสัญญาณตามสาย

ก่อนอื่นจะกล่าวถึงหลักการเบื้องต้นของระบบมัลติเพล็กตามเวลา (TDM) ว่าเป็น อย่างไร ทางด้านส่งและด้านรับจะมีสวิตช์หมุนด้านละ 1 ตัว ซึ่งหมุนไปเป็นจังหวะเท่า ๆ กัน ในช่วงเวลาหนึ่งช่องสัญญาณที่ 1 ของทั้ง 2 ด้าน ก็จะต่อกันโดยใช้สวิตช์หมุน อาศัย หลักการนี้แซมปลิ้งพัลส์ที่ส่งมาจากทุกช่องสัญญาณทางด้านส่งก็สามารถส่งผ่านสายส่งเพียง คู่เดียวและ สามารถกระจายไปยังช่องสัญญาณที่สอดคล้องกันที่ด้านรับได้

การสื่อสารระบบ TDM โดยเฉพาะระบบ PCM นั้นเป็นสิ่งที่แน่นอนว่า เมื่อทางด้านรับได้รับสัญญาณแล้วต้องทำให้แน่ใจว่าสัญญาณแต่ละบิทของช่องสัญญาณเดียวกันมีความถูกต้องและยังต้องแยกสัญญาณพัลส์แต่ละกลุ่มไปสู่ช่องสัญญาณที่สอดคล้องกันได้อย่างถูกต้องด้วยเหตุนี้จึงมีกระบวนการหนึ่งที่จะทำให้สวิทช์หมุนทำงานตามที่ได้กล่าวมาแล้วกระบวนการนี้เรียกว่าการซิงโครไนซ์ (synchronization)

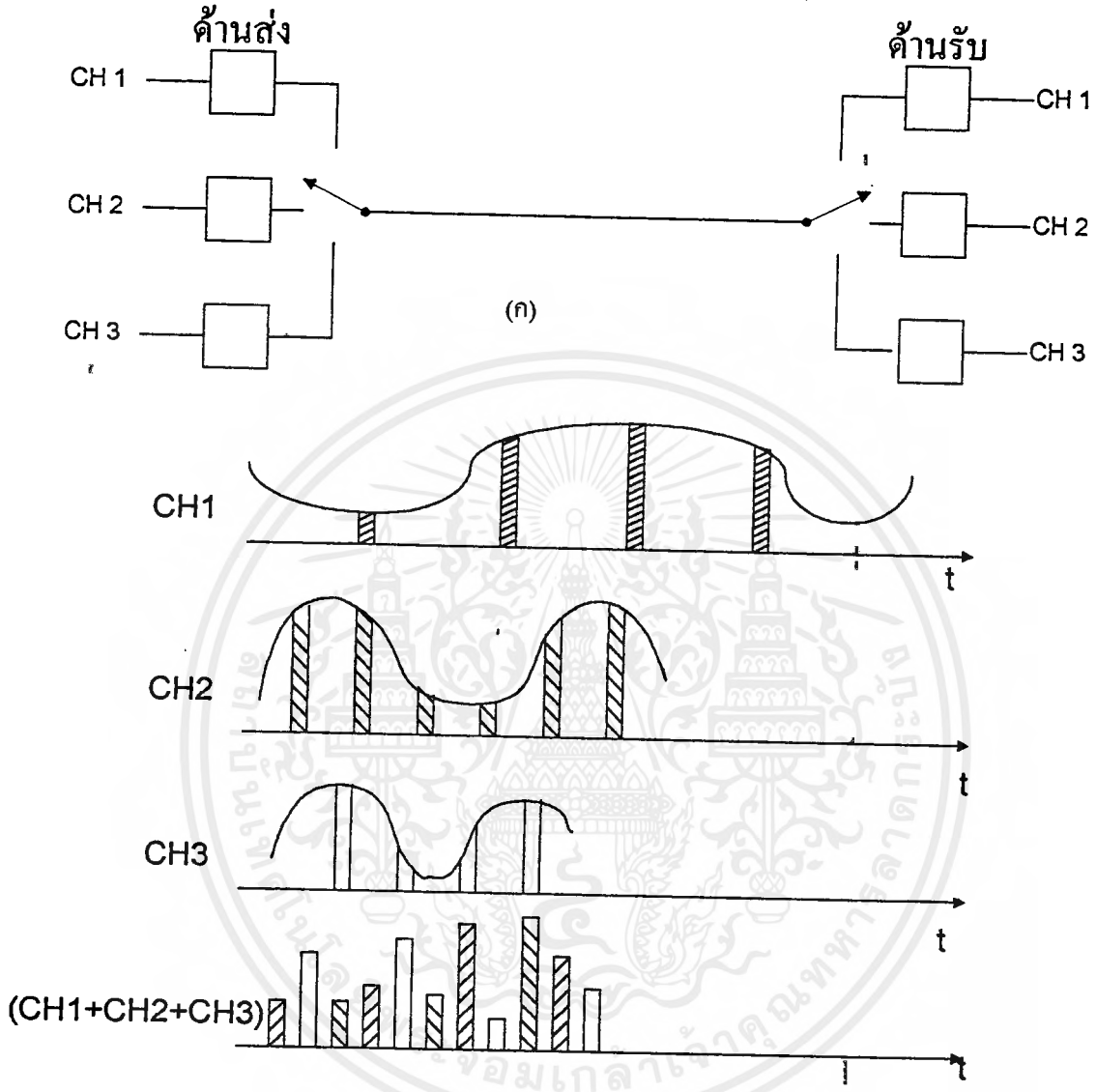
การซิงโครไนซ์ที่จะกล่าวในตอนแรกนี้จะเน้นถึงการซิงโครไนซ์ของสัญญาณในส่วนของสายส่งและในตอนหลังจะกล่าวถึงการซิงโครไนซ์อีกลักษณะหนึ่งซึ่งเน้นในส่วนของอุปกรณ์ อย่างไรก็ตาม การซิงโครไนซ์ในประเด็นแรกจะแบ่งได้เป็น 2 ชนิด ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

2.1 บิทซิงโครไนเซชั่น (Bit synchronization)

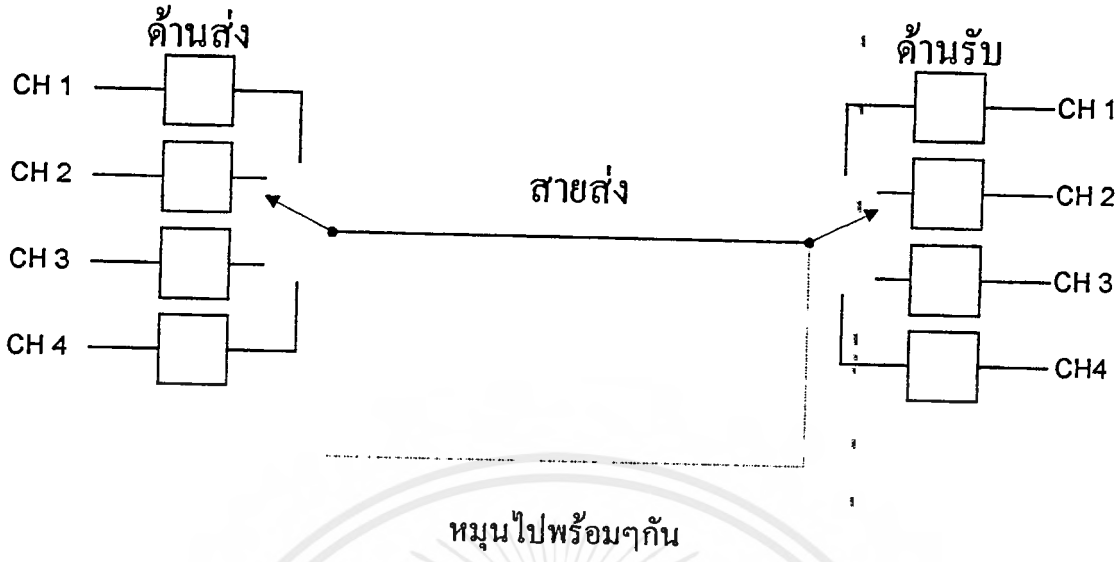
กระบวนการแซมปลิ้งการเข้ารหัสและการเข้ามัลติเพล็กส์ที่ด้านส่งตลอดทั้งการดีมัลติเพล็กส์ และการถอดรหัสทางด้านรับจะต้องมีคล็อคพัลส์ (clock pulse) เป็นตัวควบคุมให้สุ่อดคล้องกัน อย่างบิทต่อบิทตามบล็อกไดอะแกรมอย่างกว้าง ๆ และการที่จะได้บิทซิงโครไนซ์ที่ถูกต้องนั้น โดยทั่วไปทางด้านรับจะมีวงจรสร้างคล็อคพัลส์ขึ้นใหม่โดยอาศัยขบวนพัลส์ที่ได้รับ ดังนั้น จะทำให้กระบวนการระหว่างด้านส่งและด้านรับเป็นไปด้วยความถูกต้องในช่วงเวลาเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

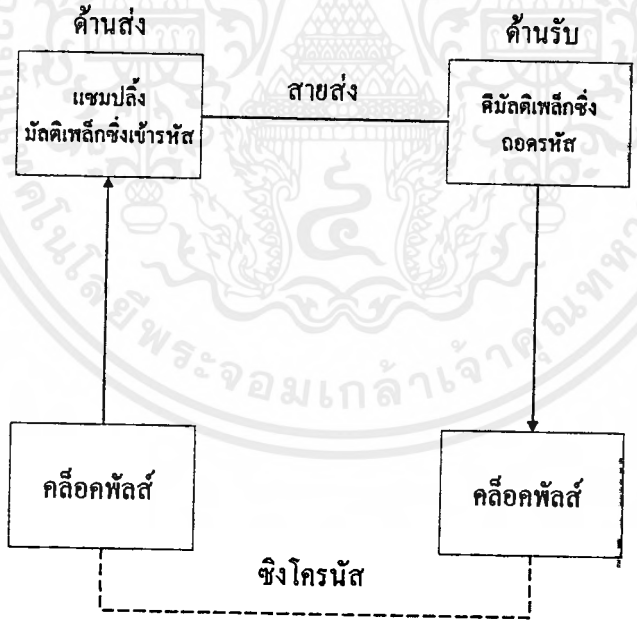


รูปที่ 2.11 หลักการเบื้องต้น TDM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 สวิทช์หมุนจะหมุนไปพร้อมกันเพื่อต่อสายให้กับช่องสัญญาณด้านส่งและด้านรับตรงช่องกัน

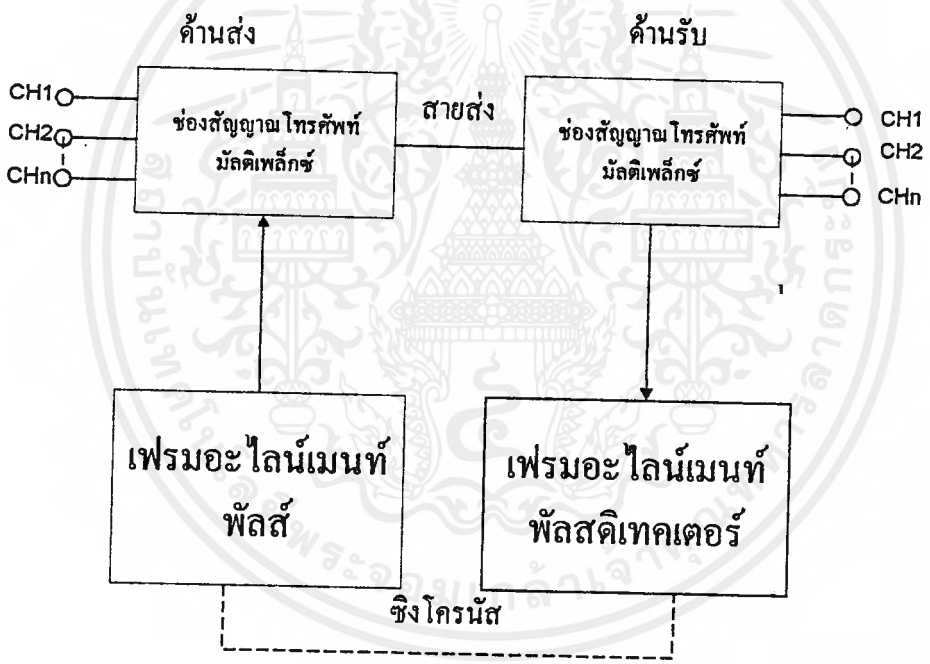


รูปที่ 2.13 บิทซิงโครไนเซชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 เฟรมซิงโครไนเซชั่น (Frame Synchronization)

ทางด้านรับต้องกำหนดให้แน่ชัดว่าขบวนพัลส์ชุดใดจะเป็นของช่องสัญญาณใด ดังนั้นจึงจำเป็นต้องกำหนดเฟรมให้ได้ก่อน (เฟรม คือ ระยะเวลาที่สวิทช์หมุนไปครบ 1 รอบ) คือต้องมีเฟรมซิงโครไนซ์โดยมีหลักการ ตามรูปทาง ด้านส่งจะส่งพัลส์ชุด เฉพาะเพื่อบอกให้ด้านรับรู้ว่าจุดเริ่มต้นของเฟรมจะอยู่ที่ใด การซิงโครไนซ์วิธีนี้เป็นการกระทำ แบบเฟรม ต่อเฟรม ถึงแม้ว่าจะมีบิทซิงโครไนซ์แล้วก็ตามถ้าหากไม่แยกรหัสของสัญญาณเสียงของแต่ละช่องสัญญาณมัลติเพล็กซ์ ได้อย่างถูกต้องแล้วอาจเกิดการรบกวนเนื่องจากการแทรกซ้อนจากช่องสัญญาณอื่นซึ่งเรียกว่า ครอสทอล์ค (Crosstalk) ได้ส่วนทางด้านรับก็จะค้นหาพัลส์ เฉพาะนี้และนำขบวนพัลส์ที่ตามมาแยกไปตามช่องสัญญาณต่าง ๆ ต่อไป



รูปที่ 2.21 เฟรมซิงโครไนเซชั่นกระทำได้โดยใส่เฟรมอะไลน์เมนท์พัลส์ เพื่อกำหนดตำแหน่งเริ่มต้นของเฟรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 เฟรมอะไลน์เมนท์ (Frame Alignment)

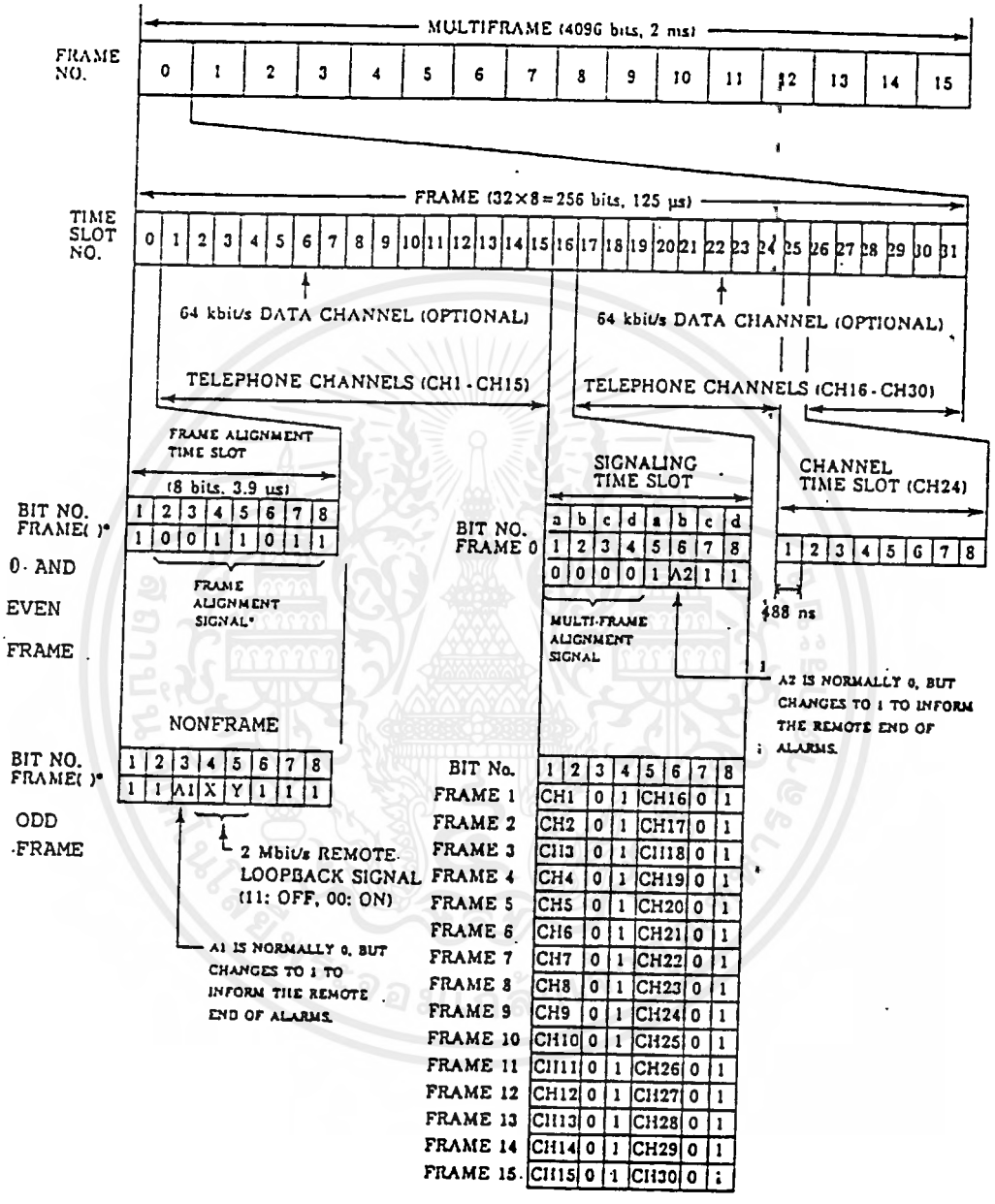
ในระบบTDMนั้นสัญญาณ(พัลส์)ของแต่ละช่องสัญญาณจะรวมกันเข้าเป็นมัลติเพล็กซ์และในขณะเดียวกันในช่วงเวลาหนึ่งจะใส่พัลส์ 1ลูกหรือพัลส์ที่มี pattern เฉพาะ (ขึ้นอยู่กับการออกแบบ) ไว้ทุกๆรอบซึ่งรอบหนึ่งๆเรียกว่าเฟรมการใส่พัลส์ เฉพาะลงไปนี้เรียกว่าเฟรมอะไลน์เมนท์ทางด้านรับจะดีเทคพัลส์เหล่านี้เพื่อกำหนดช่วงเวลา (time slot) ให้แก่ช่องสัญญาณต่างๆตามรูป แสดงโครงสร้างของเฟรมในระบบ PCM - 30 ใน 1 เฟรม จะมีคาบ เวลา 125 s กล่าวคือใน 1 เฟรม จะมีค่าแซมปลิ้งของทุกช่องสัญญาณ จะเห็นได้ว่ามีทั้งหมด 32 time slot (TS) ซึ่ง 30 TS จะใช้สำหรับ 30 ช่องสัญญาณ PCM ซึ่งเข้ารหัสด้วย 8 บิท อีก 2 TS นั้นใช้สำหรับการส่งสัญญาณ (signalling) 1 TSและที่เหลืออีก 1TS ใช้ร่วมกันเป็นเฟรมอะไลน์เมนท์สลับกับการบำรุงรักษาและการควบคุมต่าง ๆ

ในการส่งสัญญาณระบบ PCM นั้นสิ่งที่จะบอกให้ทราบว่ามีอัตราการส่งช้าหรือเร็วเพียงใดนั้นจะใช้ค่าบิทเรทเป็นเครื่องวัด ซึ่งเป็นอัตราที่บอกให้ทราบว่าใน 1 วินาทีสามารถส่งสัญญาณ ได้ กี่บิท คือแสดงเป็นหน่วย bit / sec ดังนั้น ถ้าคำนวณบิทเรทของระบบดังกล่าวจะได้ดังนี้

เพราะว่าจำนวนบิทใน 1 เฟรม จะมี	32 x 8	= 256	บิท
และใน 1 เฟรม จะใช้เวลา		= 125	μs
ดังนั้น ใน 1 วินาที จะส่งได้	256 / 125	= 2.048	Mb
นั่นคือ บิทเรทของระบบนี้		= 2.048	Mb/s

อนึ่ง ในทางปฏิบัตินั้น จะใช้พัลส์ซึ่งมีดิวตี้ไซเกิ้ล (duty cycle) 50 % ดังนั้น จากการคำนวณข้างต้นจะทราบว่า 1 บิท จะใช้เวลา 125 / 256 = 0.488 μs และความกว้างของพัลส์ 1 ลูก จะเท่ากับ 0.488 / 2 = 0.244 μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

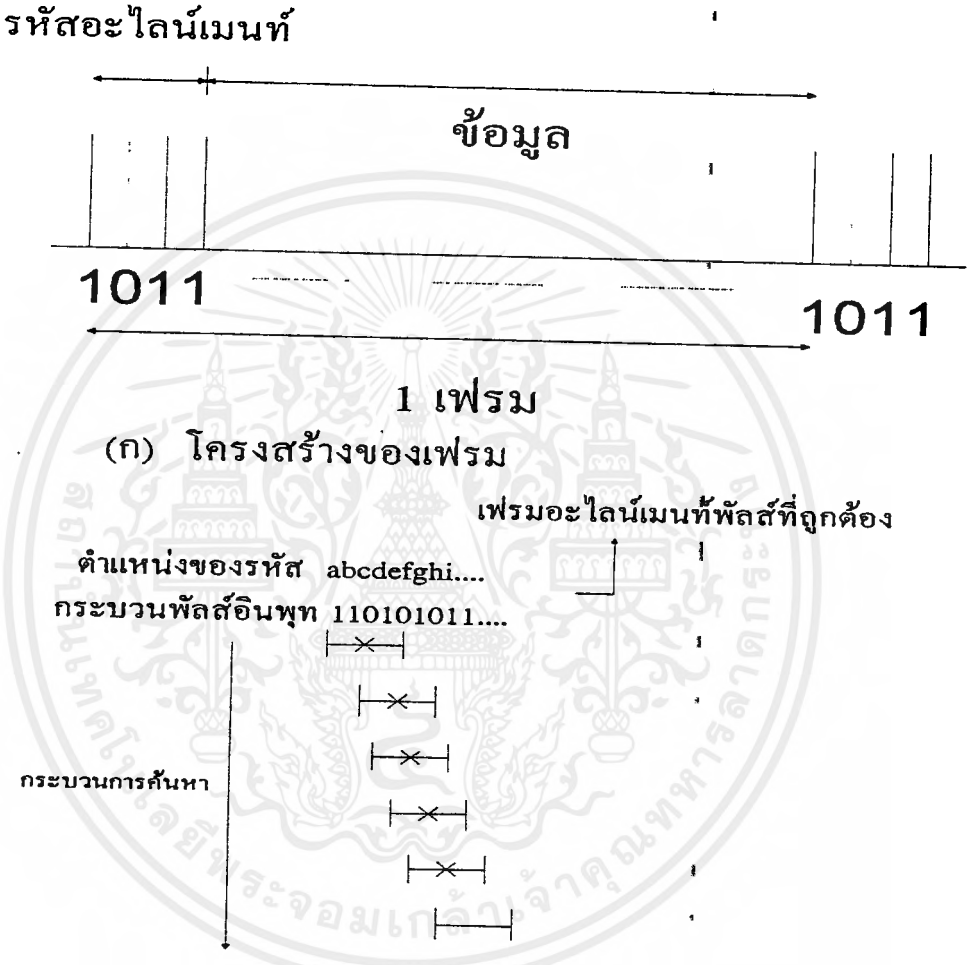


รูปที่ 2.31 เฟรมอะไลน์เมนท์ของระบบ PCM - 30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

2.4 การค้นหาเฟรมอะไลน์เมนท์

ถ้าทางด้านรับค้นหาเฟรมไม่พบ ก็จะไม่สามารถเข้ากระบวนการถอดรหัสได้ ดังนั้นจึง ต้องมีวิธีการค้นหาเฟรมอะไลน์เมนท์ตามที่แสดงไว้ในรูปที่ 2.41



(ข) กระบวนการค้นหารหัสเฟรมอะไลน์เมนท์

2.41 กระบวนการค้นหาเฟรมอะไลน์เมนท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

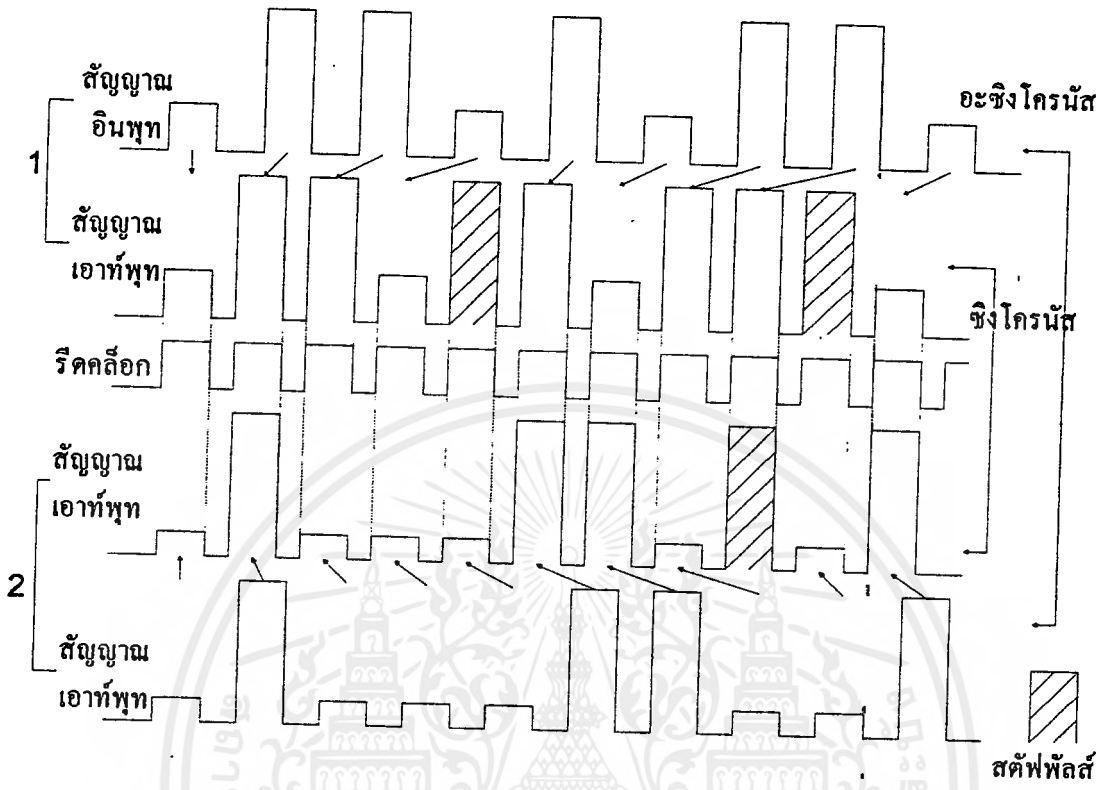
สมมติว่าเฟรมอะไลน์เมนท์พัลส์ถูกกำหนดให้มี 4 บิท ซึ่งเป็นรหัส " 1011 " ทุก ๆ เฟรม ตามรูป (ก) และถ้าอินพุทพัลส์จากตำแหน่ง a - i มีรหัสตามรูป (ข) ในการค้นหานั้นต้อนแรกรหัสในตำแหน่ง a - d จะถูกตรวจก่อน ถ้ารหัสที่เป็น " 1 "พัลส์กลุ่มนี้ก็จะไม่เป็นอะไลน์เมนท์พัลส์ จากนั้นจะเคลื่อน (shift) ไป 1 บิท ถึงตำแหน่ง e แล้วทำการตรวจรหัสจาก b - e ตามตัวอย่างก็จะทราบว่าไม่ใช่อะไลน์เมนท์พัลส์เช่นเดียวกัน ในทำนองเดียวกัน เมื่อทำเช่นนี้ต่อไปเรื่อย ๆ จะเห็นว่ารหัสจากตำแหน่ง c - f , d - g และ e - h ก็จะไม่ใช่อะไลน์เมนท์พัลส์อีก ผลสุดท้ายก็จะพบว่าระหว่าง f-i จะเป็นอะไลน์เมนท์พัลส์ แต่อย่างไรก็ตามอาจจะเป็นการบังเอิญก็ได้เพื่อให้แน่ใจว่าเป็นอะไลน์เมนท์พัลส์จริงจึงจำเป็นต้องตรวจที่ตำแหน่งเดียวกันในเฟรมถัดมาด้วยว่ามีหรือไม่

เพื่อทำให้เวลาในการค้นหาเฟรมนั้นสั้นเข้าอาจกระทำได้โดยเพิ่มจำนวนอะไลน์เมนท์พัลส์ใน1เฟรมหรือทำให้เฟรมสั้นลงพร้อมทั้งเพิ่มจำนวนอะไลน์เมนท์พัลส์โดยให้สัมพันธ์กับพัลส์ข้อมูล (data pulses) ก็ได้อย่างไรก็ตามการทำโดยวิธีดังกล่าวอาจทำให้ประสิทธิภาพในการส่งลดลงได้ ดังนั้นจึงต้องพิจารณาให้มีสภาพที่เหมาะสมด้วย

2.5 การซิงโครไนซ์วิธีสตัฟพัลส์ (Stuffed - pulse Synchronization)

การซิงโครไนซ์วิธีนี้เป็นการทำให้สัญญาณดิจิตอลที่สร้างจากอุปกรณ์ต่างๆมีความเร็วเท่ากัน กล่าวคือสัญญาณดิจิตอลที่มาจากอุปกรณ์แต่ละชุดจะถูกเก็บไว้ในหน่วยความจำเป็นการชั่วคราวก่อน จากนั้นจะมีสัญญาณ clock เดียวกัน Read สัญญาณเหล่านั้นออกมาเนื่องจาก clock นี้จะมีความเร็วกว่าสัญญาณดิจิตอลเหล่านั้นเล็กน้อยจึงกล่าวได้ว่าเป็นการเปลี่ยนสัญญาณเหล่านั้นให้มีความเร็วเท่ากัน และเนื่องจากพัลส์ทั้ง 2 ชนิดมีตำแหน่งที่แตกต่างกันอยู่จึงสามารถเพิ่มพัลส์พิเศษลงไป (เรียกว่า-สตัฟพัลส์) ในตำแหน่งที่จำเป็นในบางครั้งตามรูปที่ 2.51 สำหรับทางด้านรับก็จำเป็นต้องรู้ตำแหน่งของสตัฟพัลส์นี้โดยทั่วไปการที่ทำให้รู้ว่ามีสตัฟพัลส์ หรือไม่นั้นจะกระทำโดยการกำหนดช่องเวลา (time slot) ไว้ข้างหน้าก่อน และเรียกพัลส์นี้ว่า Stuffing control pulse

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.51 การซิงโครไนซ์วิธีสตัฟพัลส์

อนึ่งการซิงโครไนซ์2แบบที่กล่าวมาในข้างต้นนั้นในวิธีการเข้ามัลติเพล็กก็ถูกแบ่งไว้เช่นเดียวกัน แต่จะเรียกต่างกันคือ การเข้ามัลติเพล็กที่อาศัยวิธีการซิงโครไนซ์ของโครงข่ายนั้นเรียกว่า ซิงโครนัสมัลติเพล็กซิ่ง (Synchronous Multiplexing) และที่อาศัยวิธีการ ซิงโครไนซ์โดยใช้ สตัฟพัลส์ เรียกว่า อะซิงโครนัสมัลติเพล็กซิ่ง (Asynchronous Multiplexing)โดยทั่วไปถ้าสัญญาณมีความเร็วสูง การซิงโครไนซ์ของโครงข่ายจะกระทำได้ยาก แต่อย่างไรก็ตามในแง่ของการประหยัดแล้วจะนำไปใช้กับสัญญาณที่มีความเร็วต่ำอย่างอุปกรณ์ ระบบมัลติเพล็ก ในอันดับที่ 2 (8.448 Mb / s) หรือต่ำกว่า สำหรับการซิงโครไนซ์โดยใช้สตัฟพัลส์นั้น จะนำไปใช้กับอุปกรณ์ระบบมัลติเพ่ล็กอันดับที่สูงกว่านั้นขึ้นไป

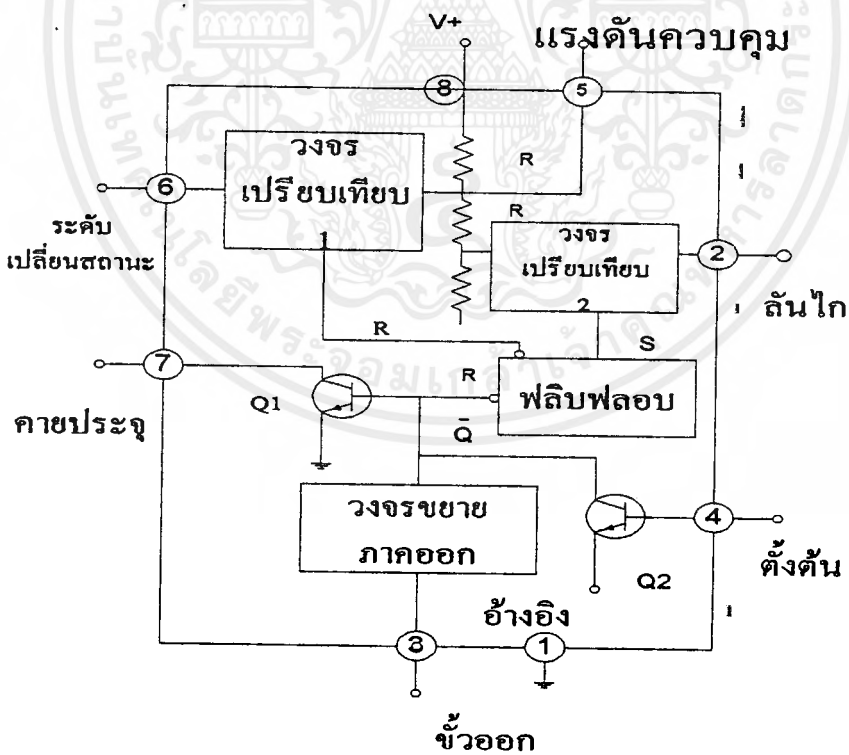
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทที่ 3

การใช้วงจรประมวล 555

วงจรประมวล 555 เป็นวงจรให้เวลา (timer) ซึ่งสามารถใช้ได้อย่างคล่องตัวมากคือจะต่อเป็น วงจรเอกเสถียร หรืออเสถียรก็ได้โดยง่าย ความยาวนานของพัลส์มีความแม่นยำและสามารถปรับได้ตั้งแต่ย่านไมโครวินาทีจนถึงหลายชั่วโมง รูปที่ 3.1 แสดงแผนภาพบล็อกของวงจรภายในวงจรประมวล 555 ซึ่งประกอบด้วย

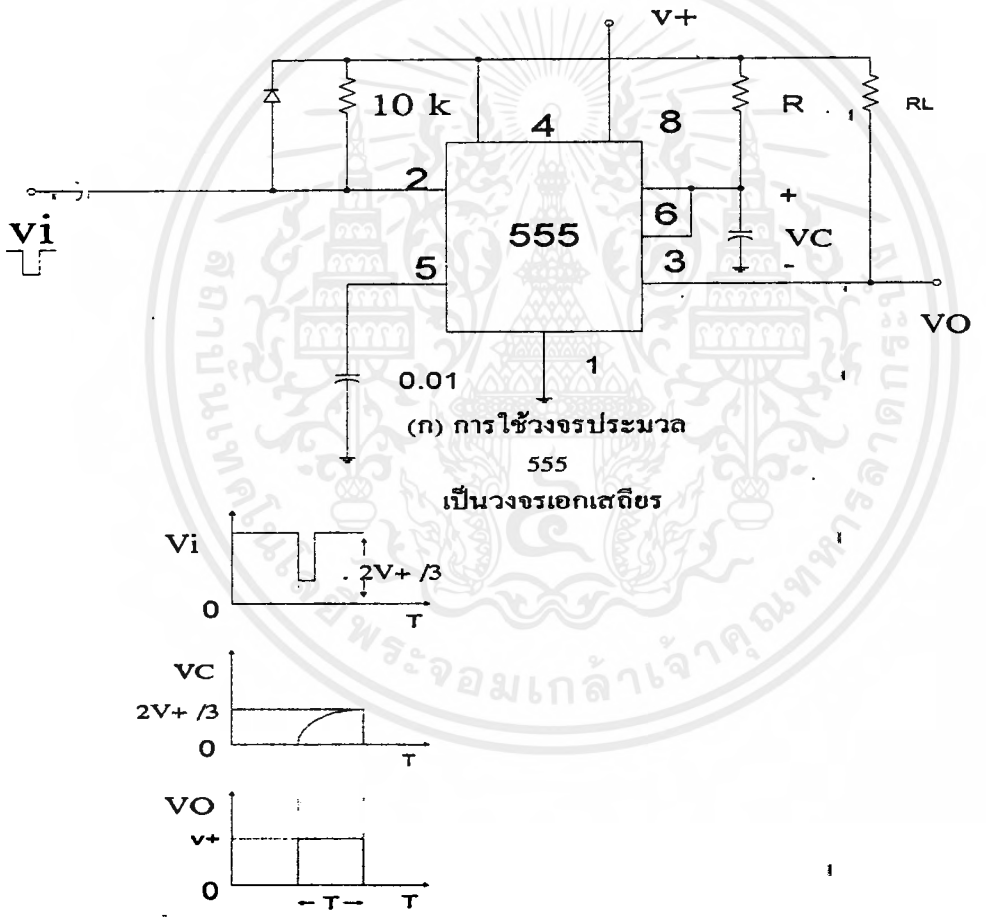
- วงจรเปรียบเทียบ 1 ซึ่งมีระดับเปรียบเทียบเท่ากับ $2V^+/3$
- วงจรเปรียบเทียบ 2 ซึ่งมีระดับเปรียบเทียบเท่ากับ $V^+/3$
- วงจรฟลิบฟลอบ
- ทรานซิสเตอร์ Q1 สำหรับการคายประจุ และทรานซิสเตอร์ Q2 สำหรับ การตั้งต้น (reset)



รูปที่ 3.1 แผนภาพบล็อกของวงจรประมวล 555

3.1 วงจรเอกเสถียร

เพื่อจะให้วงจรประมวล 555 ทำหน้าที่วงจรเอกเสถียร เราต่อตัวเก็บประจุภายนอก c เข้าที่ขั้ว "คายประจุ" และให้แรงดันคร่อม c นี้เป็นระดับเปลี่ยนสถานะด้วย ในภาวะ สงบ แรงดันลั่นไกต่อ อยู่กับ V^+ ซึ่งใหญ่กว่าระดับเปรียบเทียบ 1 ต่ำกว่าระดับเปรียบเทียบ $2V^+/3$ ดังนั้นระดับตรรกของฟลิบฟลอบเป็นดังนี้ S = 0 และ $\bar{R}$ =1 และ $\bar{Q}$ = 1 ตัวเก็บประจุ C จะถูกลัดวงจรโดยทรานซิสเตอร์ V_C = 0และ V_0 = 0



รูปที่ 3.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

เมื่อใส่พัลส์ลบที่ขั้ว "ลั่นไก" ให้มีช่วงสูงใหญ่กว่า $2V^+/3$ วงจรเปรียบเทียบ 2 จะตั้งค่าฟลิบฟลอบระดับตรรกของฟลิบฟลอบจะเป็นดังนี้ S = 1 (S จะเปลี่ยนเป็น 0 เมื่อหมด พัลส์ V^+) $\bar{R} = 1$ และ $\bar{Q} = 0$ ตัวเก็บประจุ C จะเริ่มสะสมประจุผ่าน R ไปสู่ค่า V_i^+ และแรงดันออก V_0 จะมีค่าเท่ากับ V^+ ดูจากรูป

เมื่อเวลาผ่านไปเท่ากับ T หรือความยาวนานของพัลส์ V_C จะแปรมาถึงค่า $2V^+/3$ วงจรเปรียบเทียบ 1 จะตั้งต้นฟลิบฟลอบ ระดับความยาวนานของพัลส์ V_C จะแปรมาถึงค่า $2V^+/3$ วงจรเปรียบเทียบ 1 จะตั้งต้นฟลิปฟลอป ระดับตรรกของฟลิปฟลอปจะเป็นดังนี้ S = 0 , R = 0 (R จะเปลี่ยนเป็น 1 เมื่อ C คายประจุเสร็จแล้ว) และ Q = 1 ตัวเก็บประจุ C จะคายประจุผ่านทรานซิสเตอร์และแรงดัน V_0 จะลดระดับเป็น 0

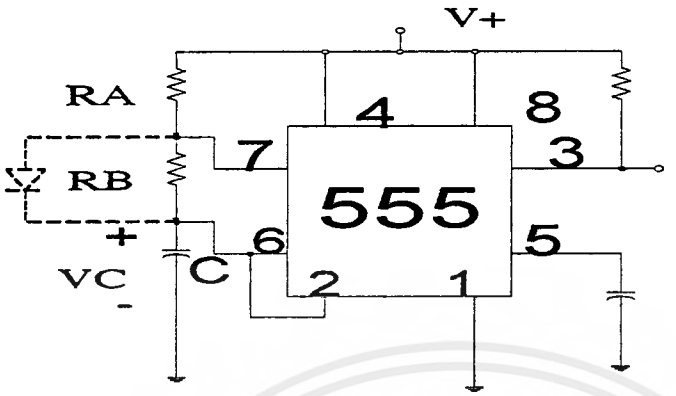
เราคำนวณความยาวนานของพัลส์ได้โดยง่าย

$$T = R\text{cln } 3 \approx 1.1RC$$

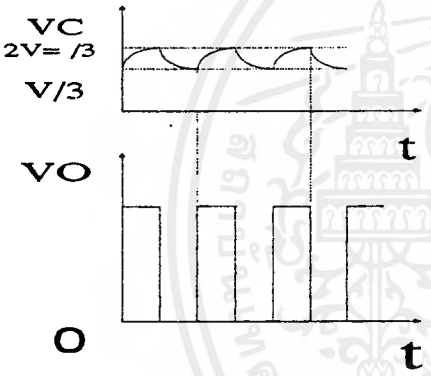
3.2 วงจรอเสถียร

เราจะต่อวงจรประมวล 555 เป็นวงจรอเสถียรได้ดังแสดงในรูปที่ 3.2(ก) สมมติ ว่า ในขณะหนึ่งฟลิปฟลอปอยู่ในภาวะตั้งค่า หรือ Q = 0 ทรานซิสเตอร์ที่ใช้คายประจุจะหยุด นำ กระแสและ $V_0 = V^+$ ตัวเก็บประจุ C แปรค่ามาถึง $2V^+/3$ วงจรเปรียบเทียบ 1 จะเปลี่ยน สถานะ ฟลิบฟลอปจะถูกตั้งต้น ทรานซิสเตอร์จะนำกระแส (เสมือนต่อขั้ว 7 ลงดิน) ตัวเก็บประจุจะคายประจุผ่าน R_B ตัวเก็บประจุจะคายประจุผ่าน R_B ไปสู่ค่า 0 แต่เมื่อลดค่ามาถึงระดับ $V^+/3$ วงจรเปรียบเทียบ 2จะเปลี่ยนสถานะทำให้ฟลิบฟลอบเข้าสู่สภาวะตั้งค่าอีกครั้งหนึ่งและจะเป็นเช่นนี้เรื่อย ๆไป (ดูรูปที่ 3.2(ข))

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) วงจรอเสถียรที่ใช้วงจรประมวล 555
ถ้าต่อไดโอดจะเลือกวัฏจักรที่ใหญ่หรือเล็ก
กว่า 0.5 ได้



รูปที่ 3.2 (ข) รูปคลื่น

เราคำนวณช่วงเวลาในการสะสมประจุได้เท่ากับ

$$T_1 = (\ln 2)(R_A + R_B)C \approx 0.69(R_A + R_B)C$$

ช่วงเวลาในการคายประจุจะเท่ากับ

$$T_2 = (\ln 2)(R_B C) \approx 0.69R_B C$$

คาบของสัญญาณมีค่าเท่ากับ

$$T = T_1 + T_2 = 0.69(R_A + R_B)C$$

วัฏจักรงานมีค่าเท่ากับ

$$D = (R_A + R_B)/(R_A + 2R_B)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สังเกตได้ว่ารูปคลื่นที่ได้เป็นรูปสี่เหลี่ยมไม่สมมาตร คือมีวัฏจักรงาน $\dot{D} > 1/2$ ถ้าต้องการปรับให้ได้ค่า D ระหว่าง 0 ถึง 1 เราอาจต่อไดโอดขนานกับ R_B ในช่วงสะสม ประจุไดโอดจะถูกไบอัสตรง การสะสมประจุจะผ่าน R_Aเท่านั้น ในช่วงคายประจุไดโอดจะถูกไบอัสกลับความต้านทานในการคายประจุจะมีค่า R_B เท่าเดิม ดังนั้น $T \cong 0.69 (R_A+R_B) C$ และ $D = R_A/(R_A+ R_B)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

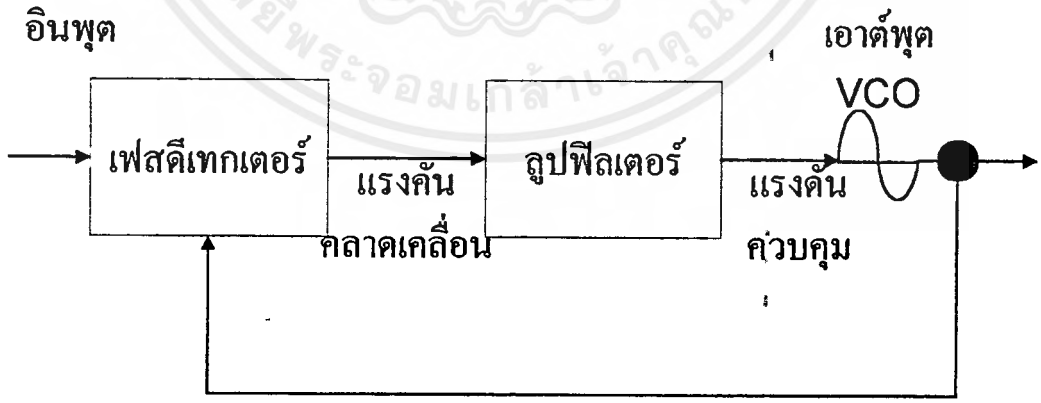
บทที่4

PHASE LOCKED LOOP

เราสามารถจูนเลือกความถี่หรือฟิลเตอร์เฉพาะความถี่ได้โดยการใช้ PLL ซึ่งไม่ต้องมี คอยล์ หรืออินดัคเตอร์ใด ๆ ทั้งสิ้น PLL (Phase Locked Loop) เป็นอิเลคทรอนิคส์เซอร์โว ซึ่งสามารถควบคุมออสซิลเลเตอร์ให้ผลิตความถี่ล็อคหรือซิ้งค์กับความถี่ของสัญญาณที่เข้ามา เมื่อเฟสของความถี่จากออสซิลเลเตอร์เปลี่ยน แสดงว่าสัญญาณที่เข้ามา ความถี่เปลี่ยนไป เอาท์พุทจากเฟสดีเทคเตอร์จะมีค่าเพิ่มขึ้นหรือลดลง ควบคุมให้ออสซิลเลเตอร์ผลิตความถี่ ให้ตรงและล็อคกับสัญญาณที่เข้ามาเป็น FM (Frequency Modulated) แล้วเอาท์พุทที่ได้จากเฟสดีเทคเตอร์ผ่าน LPF (Low Pass Fillter) จะเป็นสัญญาณที่ถูก Demodulated นั่นเอง

ปัจจุบันด้วยการพัฒนาทางด้านเซมิคอนดัคเตอร์ ทำให้วงจร PLL ที่ซับซ้อนสามารถบรรจุอยู่ใน ไอ. ซี. เล็ก ๆ เพียงตัวเดียว เมื่อใช้งานก็เพียงต่ออุปกรณ์ภายนอกไม่กี่ตัวทำให้ง่ายสะดวกและประหยัดอย่างยิ่ง

เฟสล็อคลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อคลูปประกอบด้วยภาคสำคัญ 3 ภาค คือ ภาคเทียบเฟสหรือเฟสดีเทคเตอร์ (phase detector) ภาคลูปฟิลเตอร์ (loop filter) และภาค VCO ดูจากรูป 4.1 ในที่นี้สมมติว่าเราต่อเอาท์พุตจากวงจร VCO



รูปที่ 4.1 แผนผังของเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สมมติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (periodic) เข้ามาที่ อินพุท ภาคเทียบเฟสทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจาก VCO เอาต์พุทที่ได้จากภาคเฟสดีเทคเตอร์จะเป็นแรงดันที่มีแอมปลิจูดเป็นสัดส่วนกับผลต่างในเฟส ของสัญญาณทั้งสองที่ทำการเปรียบเทียบ แรงดันผลต่างนี้ป้อนไปให้วงจรลูปฟิลเตอร์ ซึ่งเป็น ฟิลเตอร์ชนิดโลพาสกรองเอาแต่เฉพาะความถี่ต่าง ๆ ที่ต้องการ เพื่อส่งไปควบคุมการ ออสซิลเลตของ VCO ต่อไป

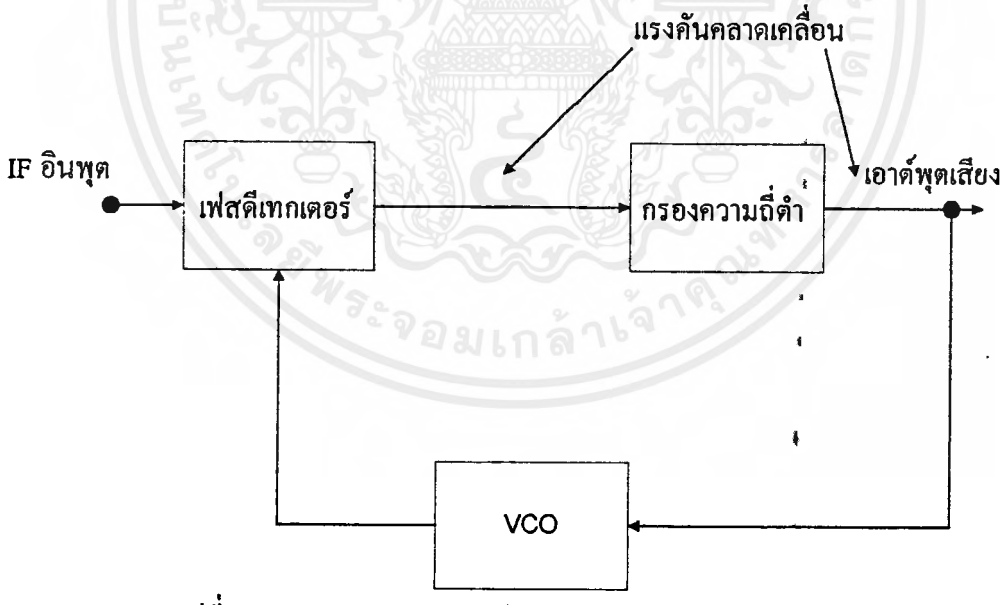
เมื่อลูปอยู่ในสภาวะล็อก (lock) ความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณ อินพุท พอดี อาจจะมีเฟสแตกต่างไป แต่ค่าเฟสที่แตกต่างนั้นจะมีค่าคงที่ (constant phase difference) ในกรณีที่มีเฟสไม่ตรงกัน ภาคเฟสดีเทคเตอร์จะจ่ายแรงดันคลาดเคลื่อน (Error voltage) ไปควบคุมการทำงานของ VCO เพื่อมิให้เฟสคลาดเคลื่อน จนกว่าจะเข้าสู่สภาวะ ล็อก เอาท์พุทของ VCO จึงมีแอมปลิจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงตามความถี่ ของ สัญญาณอินพุท

เราสามารถนำเฟสล็อคลูปไปใช้สังเคราะห์ (หรือผลิต) ความถี่ที่มีความเที่ยงตรงและเสถียรภาพสูงเทียบเท่าคริสตอลออสซิลเลเตอร์ความจริงเฟสล็อคลูปยังมีประโยชน์อื่นอีก เช่น ในการดีมอดสัญญาณ FM (หรือ PM) เนื่องจากเอาท์พุทของเฟสดีเทคเตอร์ มีค่าสัมพันธ์ กับการเปลี่ยนเฟสของคลื่นพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

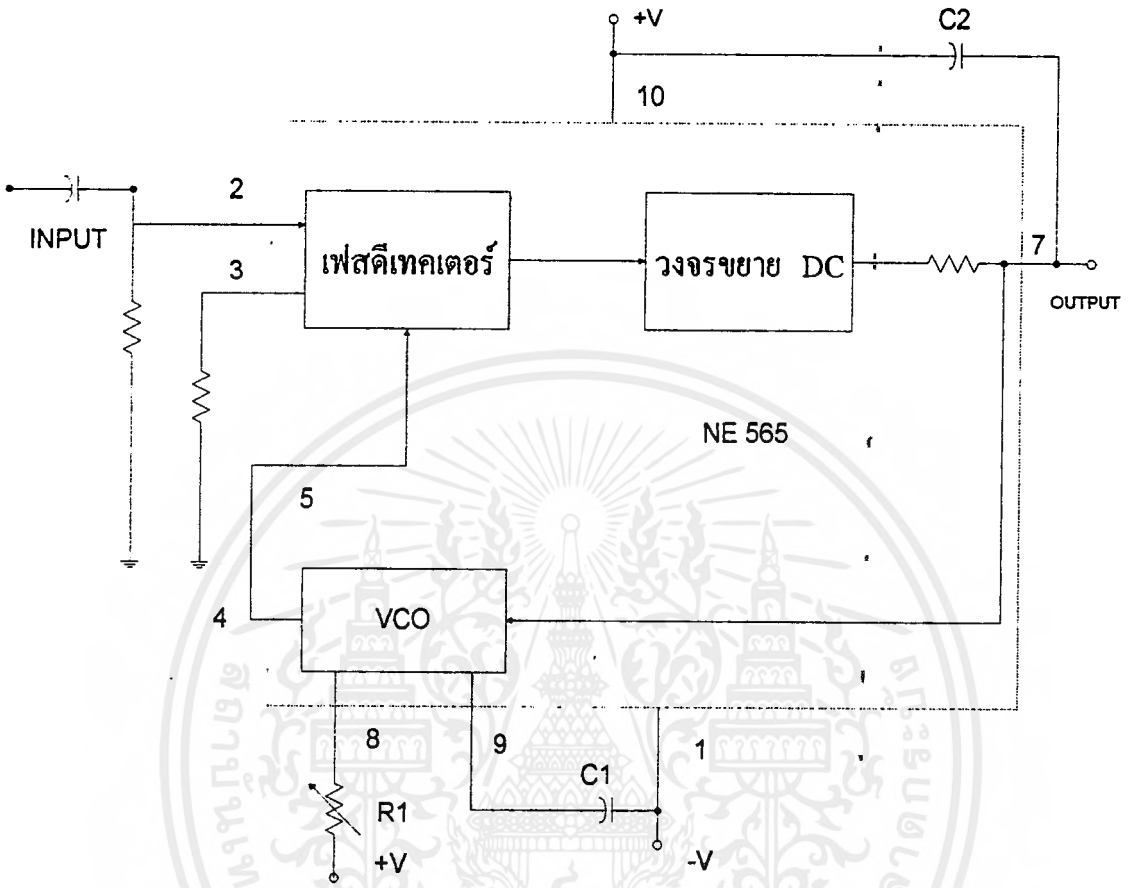
4.1 วงจรดีมอดชนิด PLL

เราสามารถใช้วงจรเฟสล็อคลูป (phase - locked loop หรือ PLL)ในการดีมอดสัญญาณ FM ได้ดังรูปที่ 4.11 วงจร PLL นี้มักเป็น IC ซึ่งใช้งานสะดวก วงจร PLL ประกอบด้วยเฟสดีเทคเตอร์ ฟิลเตอร์ชนิดโลพาส (ความถี่ต่ำผ่าน) และออสซิลเลเตอร์ที่ ควบคุมความถี่ด้วยแรงดัน (voltage-controlled oscillator หรือ VCO) วงจร VCO นี้จะออสซิลเลตที่ความถี่อินพุท IF วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเหมือนความถี่ของ สัญญาณอินพุทกับสัญญาณจาก VCO ผลลัพธ์ที่ได้จะเป็นแรงดันที่ความถี่ของ VCO คลาดเคลื่อนไปจากความถี่อินพุท เรียกว่าแรงดันคลาดเคลื่อน (error voltage) แรงดันนี้มีค่าเป็น สัดส่วนกับผลต่างของความถี่อินพุทกับ VCO แรงดันนี้จะนำไปกรองโดยฟิลเตอร์ชนิดโลพาส เพื่อกำจัดสัญญาณความถี่สูง ๆ ที่ปะปนทิ้งไป ฟิลเตอร์ดังกล่าวนิยมเรียกว่า ลูปฟิลเตอร์ จะ เป็นตัวกำหนดคุณสมบัติของวงจร PLL เช่น ช่วงความถี่ที่ลูปจะล็อค รวมทั้งช่วงเวลาที่ลูป ใช้ในการล็อคความถี่กับอินพุท



รูปที่ 4.11 แผนผังของวงจรดีมอดชนิดเฟสล็อคลูป PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



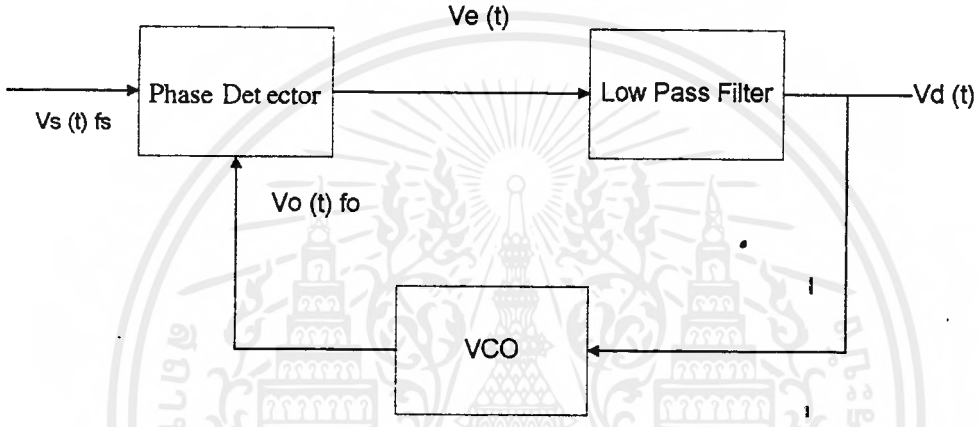
รูปที่ 4.12 เฟสล็อคลูปใช้ IC

แรงดันคลาดเคลื่อนหลังจากกรองความถี่ด้วยโลพาสฟิลเตอร์แล้วจะนำไปควบคุมความถี่ของ VCO ตัวอย่างเช่น เมื่อความถี่ของอินพุทเปลี่ยนไปทางบวกสูงขึ้น แรงดันคลาดเคลื่อนจะเกิดในที่เอาท์พุทของเฟสดีเทคเตอร์ แรงดันนี้จะถูกกรองและนำไปบังคับ VCO ให้ ออสซิลเลตที่ความถี่สูงเพิ่มตามความถี่อินพุท เพื่อล็อคความถี่กับอินพุท เมื่อสัญญาณอินพุทที่ป้อนม่าเป็นสัญญาณ FM VCO จะพยายามเปลี่ยนความถี่ตามการเบี่ยงเบนไปจากความถี่กลางของสัญญาณ FM ฉะนั้น แรงดันคลาดเคลื่อนก็จะเป็นสัญญาณที่มอดูเลต (หลังจากเปรียบเทียบระหว่างสัญญาณอินพุทกับ VCO แล้ว)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 หลักการของ PLL

หลักการเบื้องต้นของ PLL ก็มาจากระบบการป้อนกลับ ซึ่งประกอบด้วยส่วนสำคัญ สามส่วนดังบล็อคไดอะแกรมในรูปที่ 4.21 คือ Phase Detector , Low Pass Filter และ Voltage Control Oscilltor



รูปที่ 4.21 แสดงบล็อคไดอะแกรมของวงจร PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่ไม่มีสัญญาณป้อนเข้ามา Vd จะเท่ากับศูนย์ และ VCO ผลิตความถี่แบบที่ เรียกว่า Free - running เท่ากับ fo เมื่อมีอินพุท Vs ป้อนเข้ามามีความถี่เท่ากับ fs วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับสัญญาณจาก VCO ถ้า fs และ fo แตกต่างกันจะได้ Ve (Error Voltage) จากเอาท์พุทของเฟสดีเทคเตอร์ผ่าน LPF เป็น Vd ไปเข้า VCO ปรับความถี่ fo ให้เท่ากับ fs และเมื่อ fo เท่ากับ fs ก็คือสภาวะล็อคหรือซิ้งค์เอาท์พุทจากเฟสดีเทคเตอร์ Ve จะเป็นศูนย์ และ Vd ก็เท่ากับศูนย์ด้วย

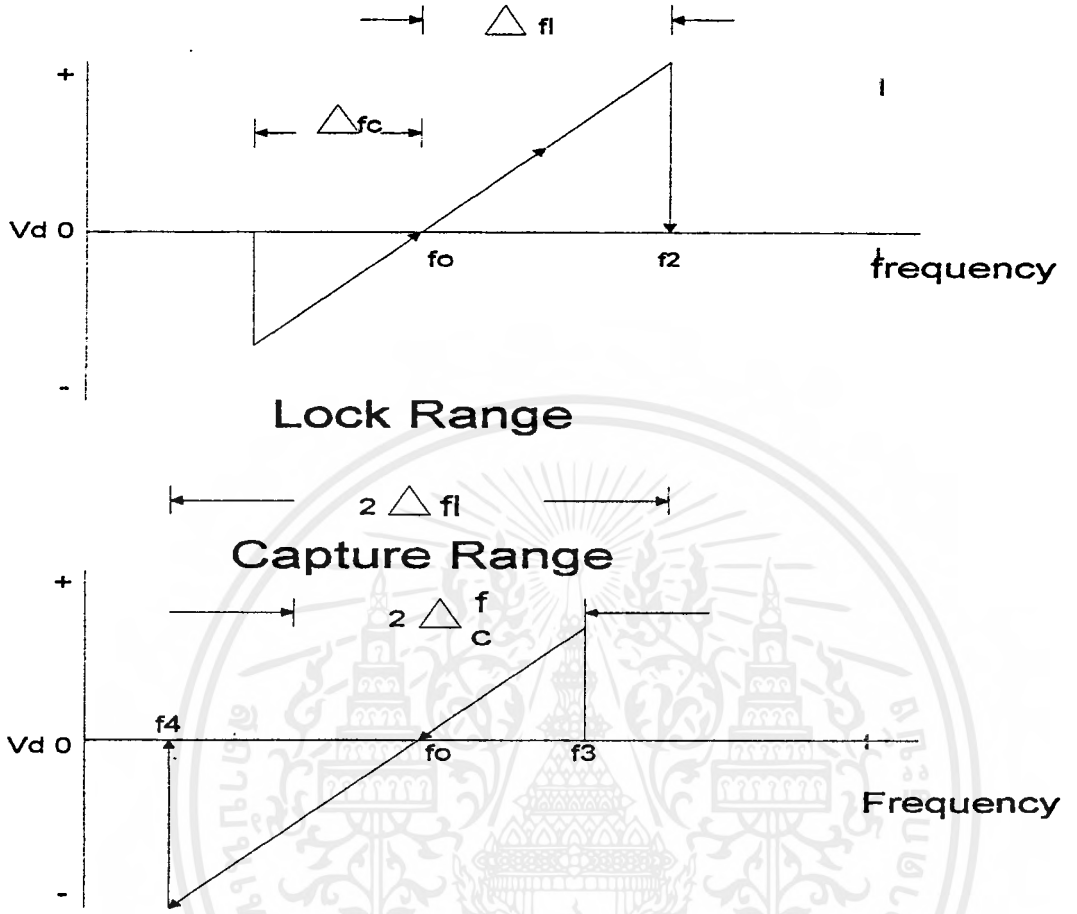
ในเรื่องของ PLL มีคำอยู่สองคำที่มักเข้าใจสับสนกันบ่อย ๆ คือคำว่า Lock Range กับคำว่า Capture Range ซึ่งมีความหมายแตกต่างกัน ดังนี้

Lock Range หมายถึงย่านความถี่ที่ใกล้เคียงกับ fo ซึ่ง PLL ยังสามารถล็อคกับสัญญาณที่เข้ามา ค่าของ Lock Range จะลดลงเมื่อเกณฑ์การขยายทั้งหมดของ PLL ลดลง

Capture Range หมายถึง บริเวณแถบความถี่ที่ใกล้เคียงกับ fo ที่ PLL เริ่มล็อค กับสัญญาณที่เข้ามา ค่าของ Capture Range ขึ้นอยู่กับแบนด์วิดธ์ของ LPF คือ จะลดลง หากแบนด์วิดธ์แคบ และโดยปกติ Capture Range จะมีค่าน้อยกว่า Lock Range

เพื่อให้เข้าใจคำว่า Lock Range และ Capture range ง่ายขึ้น ลองพิจารณาดูจาก รูปที่ 4.22 ซึ่งแสดงถึงคุณลักษณะระหว่างความถี่กับ Error Voltage ของ PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.22 แสดงลักษณะระหว่างความถี่กับ Error Voltage ของ PLL

จากส่วนบนของรูปที่ 4.22 สมมุติว่าสัญญาณที่เข้ามามีความถี่ค่อย ๆ เปลี่ยน จากต่ำไปสูง ตอนแรกจะยังไม่มีอะไรเกิดขึ้น และ Vd เท่ากับศูนย์ จนกระทั่งความถี่ของ สัญญาณที่เข้ามา fs ซึ่งเป็นความถี่ต่ำสุดของ Capture Range ทำให้ PLL เริ่มล็อคกับ fs และ Vd มีค่าเป็นลบเพื่อปรับ VCO ให้ fo เท่ากับ fs แต่ในที่นี้เราสมมุติว่า fs เปลี่ยนไปเรื่อยๆ ซึ่งจะทำให้ค่าของ Vd เป็นลบน้อยลงจนกระทั่ง fs = fo ทำให้ Vd เท่ากับศูนย์ จากนั้น Vd จะเริ่มเป็นบวกและมากขึ้นเรื่อย ๆ จนกระทั้ง fs = f2 ซึ่งเป็นความถี่สูงสุดของ Lock Range จะทำให้ fs หลุดจากการล็อคและ Vd เท่ากับศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ในทางกลับกันถ้า fs เปลี่ยนจากสูงลงมาต่ำ ให้พิจารณารูปที่ 4.22 ส่วนล่าง PLL จะเริ่มล็อคเมื่อ Fs = f3 ซึ่งเป็นค่าสูงสุดของ Capture Range ทำให้ Vd มีค่าเป็นบวก ทันทีเมื่อ fs ลดลงจน fs = fo จะได้ Vd เท่ากับศูนย์แล้วมีค่าเป็นลบมากขึ้นเรื่อย ๆ จน กระทั่ง fs = f4 ซึ่งเป็นค่าต่ำสุดของ Lock Range จะทำให้ fs หลุดจากการล็อคของ PLL และ Vd กลับเป็นศูนย์อีกครั้ง เราจึงสรุปได้ว่า

Lock Range = f2 - f4 (1)

Capture Range = f3 - f1 (2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การแซมปลิ้ง (Sampling)

ตามที่ทราบกันดีแล้วว่าแซมปลิ้ง คือ การทำสัญญาณซึ่งมีค่าต่อเนื่องให้เป็นแบบดิสครีทในช่วงเวลาที่เท่า ๆ กันและตามที่ได้กล่าวมาแล้วข้างต้นว่าทฤษฎีการแซมปลิ้งนั้น ถ้าเก็บแซมปลิ้งด้วยอัตรา 2 เท่า หรือมากกว่าความถี่สูงสุดของสัญญาณอนาล็อกแล้วจะสามารถทำให้สัญญาณเดิมกลับคืนมาได้ เนื่องจากสัญญาณเสียงที่ใช้ในระบบโทรศัพท์นั้นถูกจำกัดให้มีความถี่ระหว่าง 0.3 - 3.4 kHz ดังนั้นอัตราการแซมปลิ้งต่ำสุดจะต้องเท่ากับ 6.8 kHz สำหรับในทางปฏิบัติจะใช้ 8 kHz คือ แซมปลิ้งทุก ๆ 125sec (1/8x10)

การแซมปลิ้งนี้ จะแปลงสัญญาณอนาล็อกให้เป็นขบวนพัลส์ ซึ่งเรียกว่า PAM และจะมี ผลดีได้จะต้องมีเงื่อนไขดังต่อไปนี้

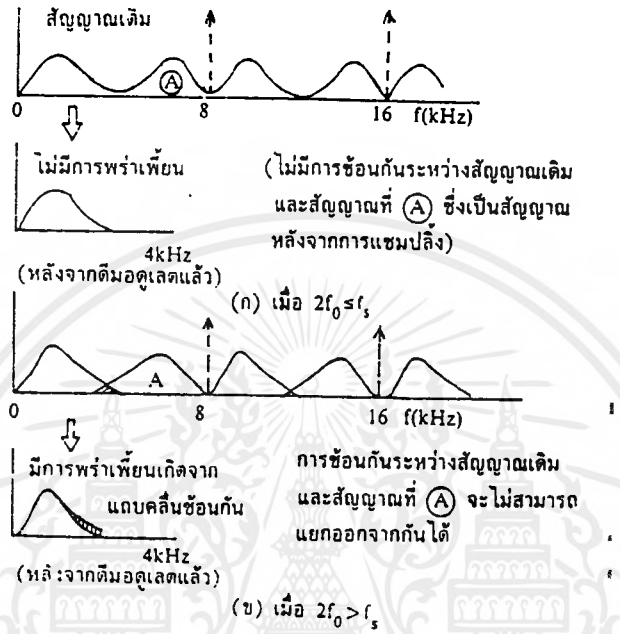
ก) สัญญาณอินพุทต้องไม่มีองค์ประกอบเกินความถี่สูงสุด f

ข) ขบวนพัลส์ที่ใช้สำหรับแซมปลิ้งจะต้องเป็นอิมพัลส์ ซึ่งมีความกว้าง 0 และมีแอมปลิจูดเป็นอนันต์

ค) ทางด้านรับต้องใช้วงจรกรองความถี่ต่ำตามอุดมคติ (ideal low pass filter) ซึ่งยอมให้ความถี่ต่ำกว่า f ผ่านได้ทั้งหมด

แต่อย่างไรก็ตามในทางปฏิบัตินั้นจะไม่สามารถทำให้เป็นไปตามเงื่อนไขดังกล่าว ข้างต้นได้อย่างสมบูรณ์ เมื่อเป็นเช่นนี้จะเกิดการพร่าเพี้ยน (distortion) ต่าง ๆ ขึ้น คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

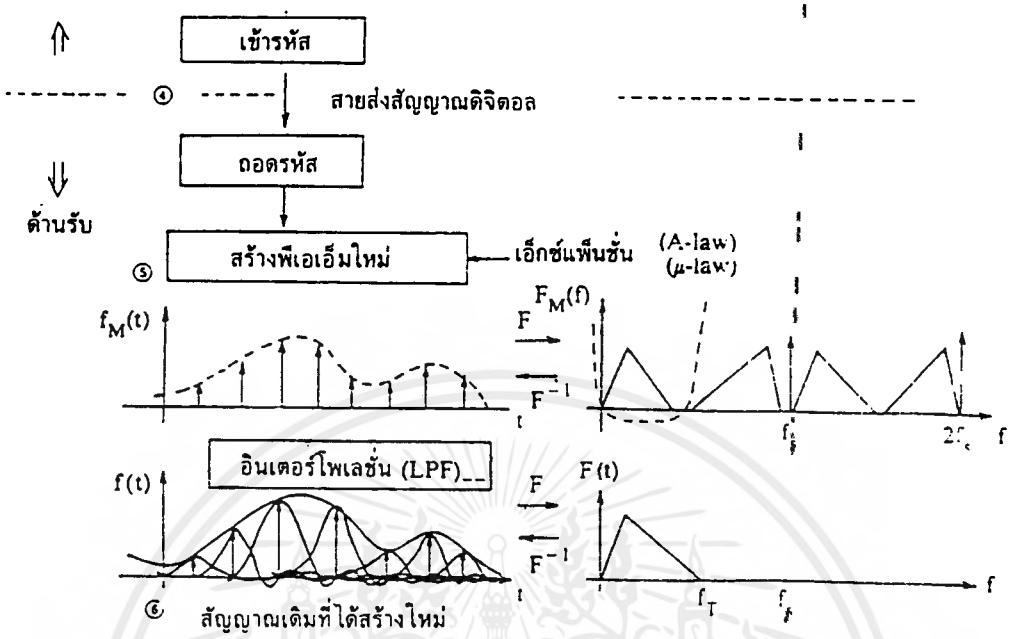


รูปที่ 5.1 กระบวนการเข้ารหัสและถอดรหัส(โดเมนเวลาและโดเมน่ความถี่)

5.1 การพร่าเพี้ยนเกิดจากแถบคลื่นซ้อนกัน (Aliasing distortion)

ถ้าความถี่สูงสุดของสัญญาณอินพุทเป็น f และความถี่ที่ใช้แซมปลิ้งเป็น f เมื่อ f 2f วงจรกรองความถี่ต่ำทางด้านรับจะขจัดองค์ประกอบความถี่ที่มากกว่า f ออกทำให้ ส่ายต่อการทำสัญญาณเดิมให้กลับคืนมาได้ ตามรูป (ก) แต่ถ้าสัญญาณอินพุทมีองค์ประกอบ ความถี่สูงกว่า f / 2 รวมอยู่ด้วยขบวนพัลส์ PAM ที่ได้รับจะมีสเปคตรัมเกิดขึ้นดังแสดงไว้ ในรูป (ข) จะเห็นได้ว่ามีความถี่สเปคตรัมซ้อนกันระหว่างสัญญาณเดิมกับ LSB จึงเป็นการ ลำบากที่จะทำให้สัญญาณเดิมกลับคืนมาได้อย่างสมบูรณ์ แม้ว่าวงจรกรองความถี่จะกรอง ความถี่ที่สูงกว่า f ออกแล้วก็ตามก็ยังคงเหลือนอยส์ปนอยู่กับสัญญาณที่ได้ดีมอดูเลตแล้ว ปรากฏการณ์เช่นนี้เรียกว่า Aliasing distortion

--- เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

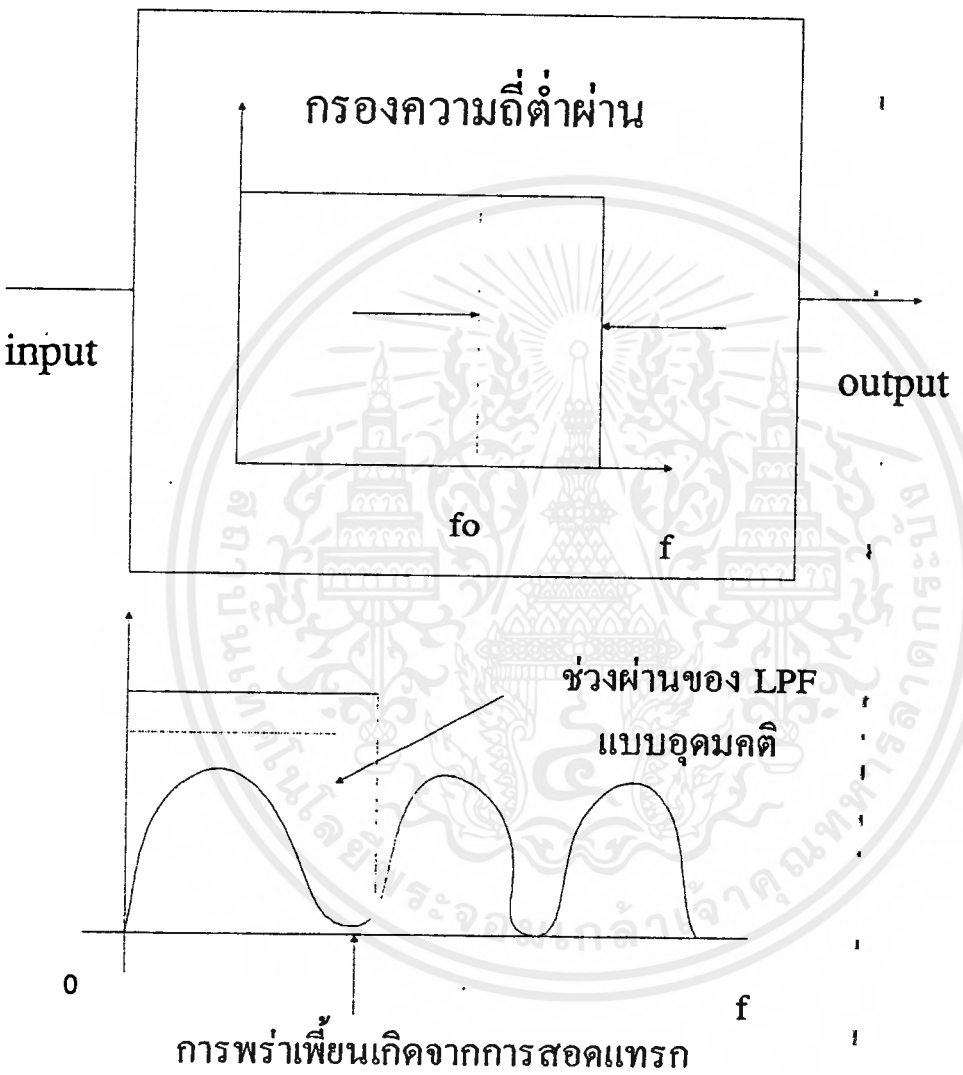


รูปที่ 5.11 การพร่าเพี้ยนเกิดจากแถบคลื่นซ้อนกัน

5.2 การพร่าเพี้ยนเกิดจากการสอดแทรก (Interpolation distortion)

การดีมอดูเลตพัลส์ PAM ทางด้านรับนั้นจะได้ LPF ตามอุดมคติ ดังที่ได้กล่าวมาแล้วข้างต้นว่า ในทางปฏิบัติไม่สามารถจะสร้างวงจรแบบนี้ได้ จึงเพียงแต่สร้างให้มีคุณลักษณะ ใกล้เคียงกันเท่านั้น ดังนั้นจึงไม่สามารถจะกำจัดความถี่ซึ่งสูงกว่า f และฮาร์โมนิกส์ต่าง ๆ ออกไปได้ตามที่แสดงไว้ในรูป 5.21 สิ่งดังกล่าวเหล่านี้จะสอดแทรกเข้าไปปนกับสัญญาณที่ ได้จากการดีมอดูเลต จึงเป็นผลทำให้เกิดการพร่าเพี้ยน ซึ่งเรียกว่า Interpolating distortion

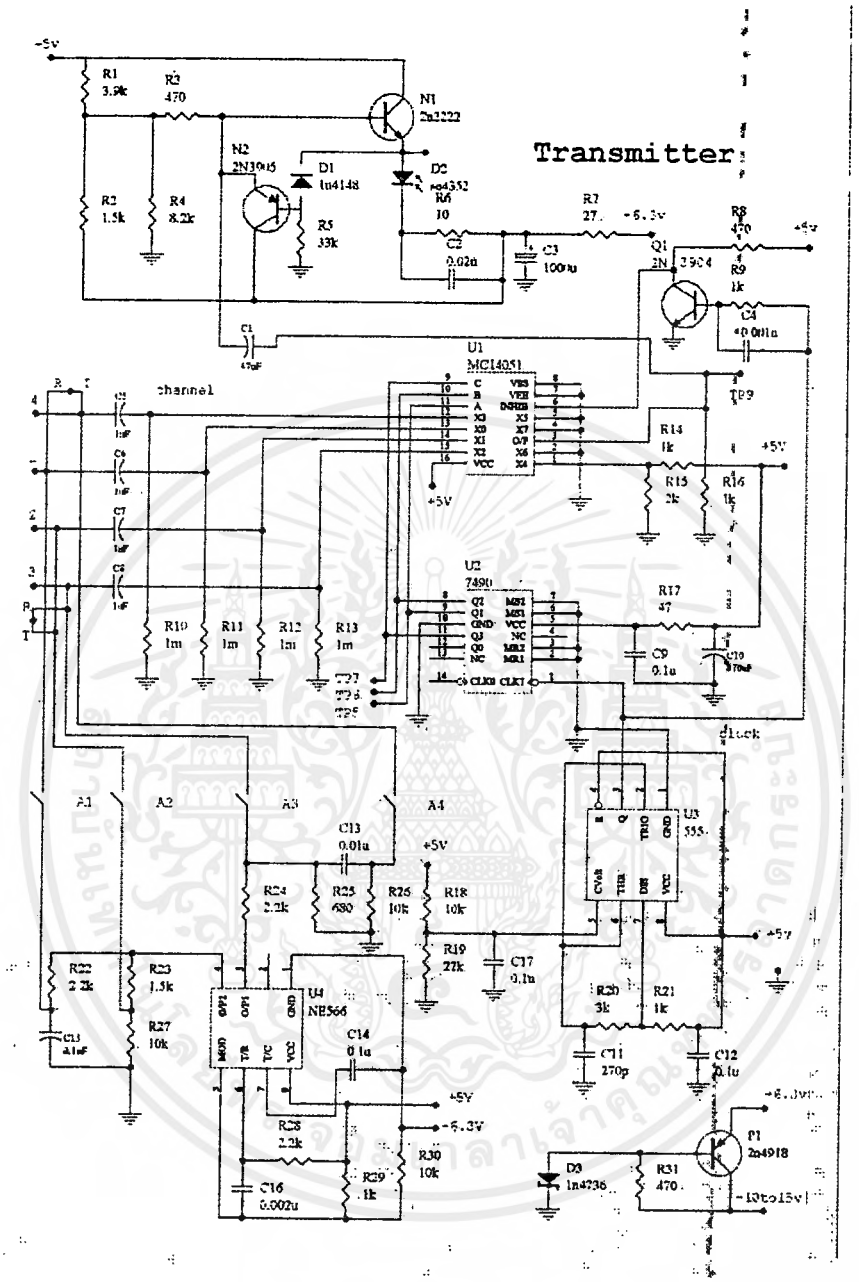
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.21 การพร่าเพี้ยนเกิดจากการสอดแทรก

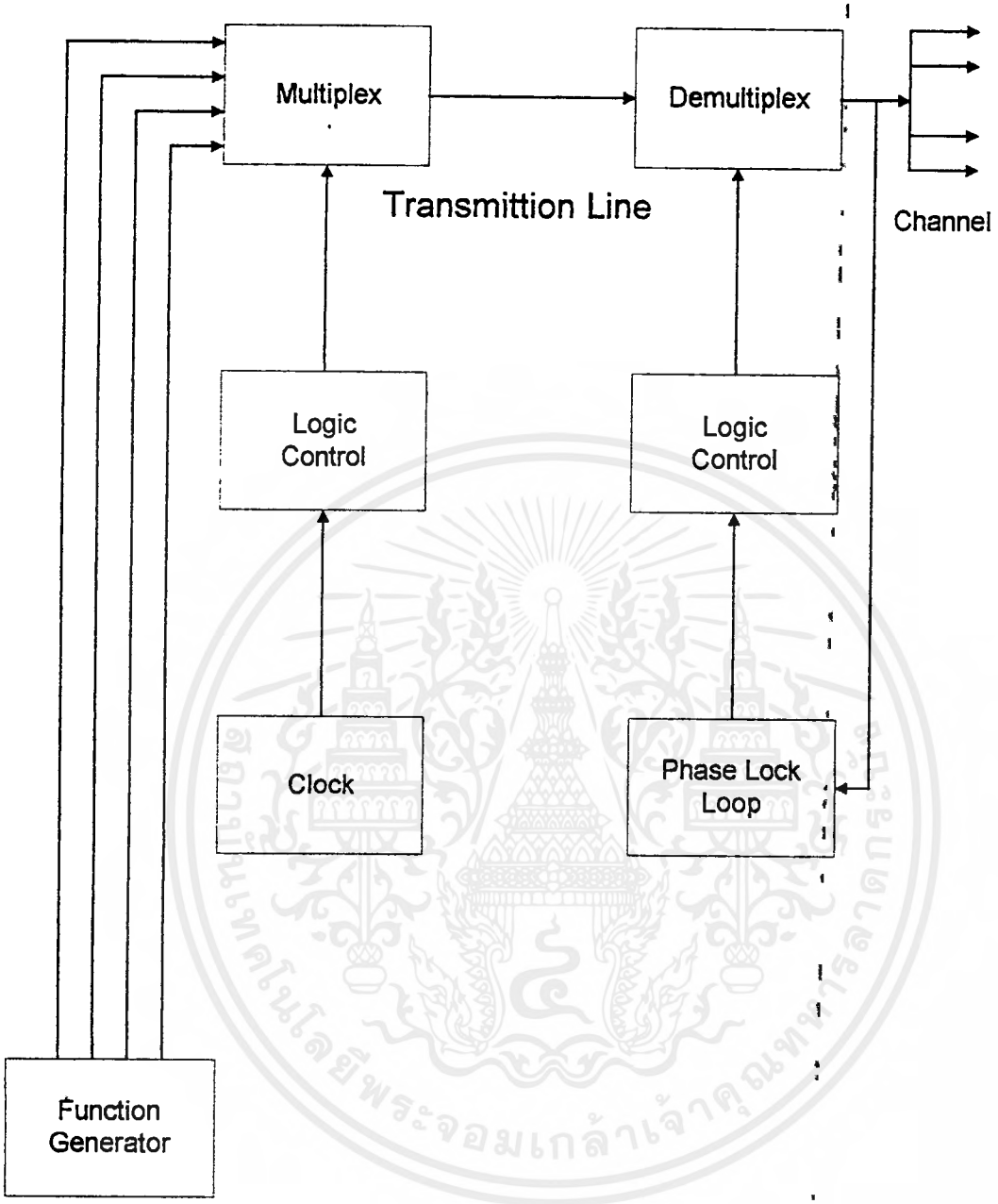
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6



รูปที่ 6.1 วงจรการทำงานภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Block Diagram

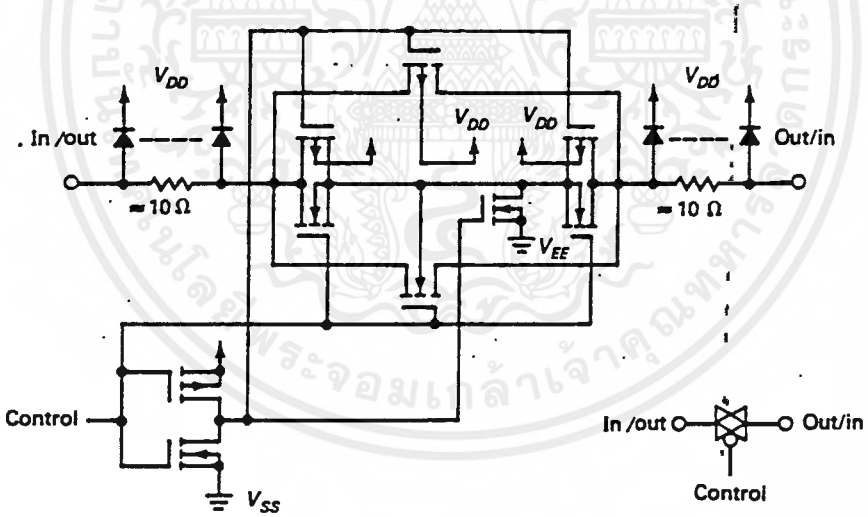
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรที่ใช้สำหรับการทดลองประกอบด้วยวงจรหลัก 2 ส่วน คือ

1. มัลติเพล็กซิ่ง ทางด้านส่ง (Multiplexing Transmitter)
2. มัลติเพล็กซิ่ง ทางด้านรับ (multiplexing Receiver)

6.1 มัลติเพล็กซิ่งทางด้านส่ง

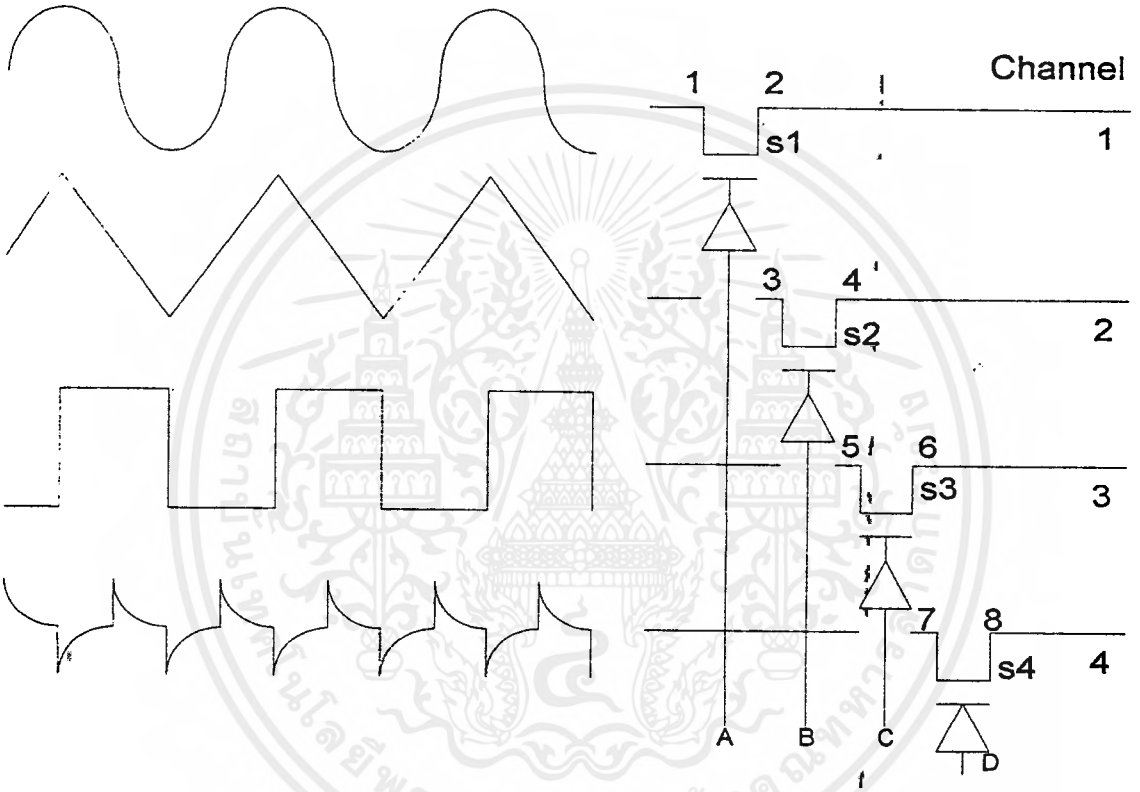
วงจรทดลองใช้ LC เบอร์ MC 14051 หรือ CD 4051B ซึ่งเป็น analog switch บางครั้งเรียก สวิตช์ขั้วเรียง (Commutational Switch) โดยทาง Input และ Output อาจมี หลาย Input และมี Output เพียง 1 หรืออาจกลับกัน ดังแสดงในรูปที่ 6.11



รูปที่ 6.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป แสดงบล็อคไดอะแกรมภายใน Chip LC Multiplexer ซึ่งเป็นโดยแต่ละชุดของสวิตช์เป็น FET โดย Gate จะถูก Trigged ให้ " ON " ด้วย Logic Pulse ในการ ทดลองจะใช้สัญญาณ 4 Input ซึ่งถูกสร้างขึ้นโดย Function Generater ด้วย LC 566 และ RC Filter มี dip switch เลือก source ของ Input ได้ 4 แบบ คือ Square Wave , Sine Wave และ Peaked Pulse ตามลำดับ

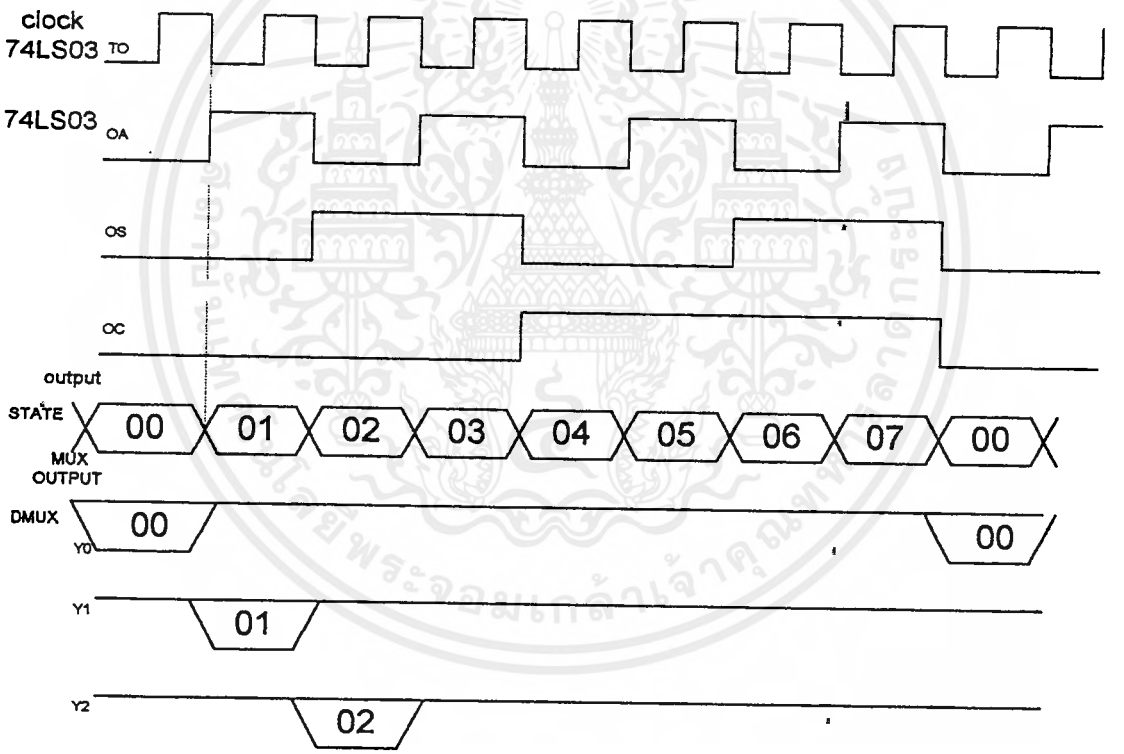


รูปที่ 6.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ Input A ถูก Trigged ให้ ON สวิตช์ Gate 1 ถูกทำให้เป็นบวกซึ่งจะทำให้ ค่าความต้านทานระหว่างขั้วปลายที่ 1 และ 2 ลดต่ำลง จนมีค่าประมาณ 100 โอห์ม สัญญาณก็จะสามารถส่งผ่านจากขั้วปลายที่ 1 ไป 2 ได้ โดยแต่ละ Gate ในตัว Multiplexer จะถูกขับให้ " ON " ตามลำดับ (Sequence) ด้วยวงจรนับ (Couter) ซึ่งจะผลิตสัญญาณ สี่เหลี่ยมป้อนให้กับแต่ละ Gate ของ Mux

สำหรับ Multiplexer เบอร์ MC 14051 มี 8 Inputs สัญญาณป้อนเข้าขา (Pins) คือ 13 , 14 , 15 , 12 , 1 , 5 , 2 และ 4 โดย Output รวม ออกจากขา 3 ของ Mux. อัตราการสุ่มตัวอย่าง (Sanpling rate) หรือ Logic - Sampling rate แต่ละช่องสัญญาณ(Channel) ถูกควบคุม (Control) โดย LC U - 2 ซึ่งเป็น 3 bit Binary Counter เบอร์ 7490 ดังแสดงในรูป6.13

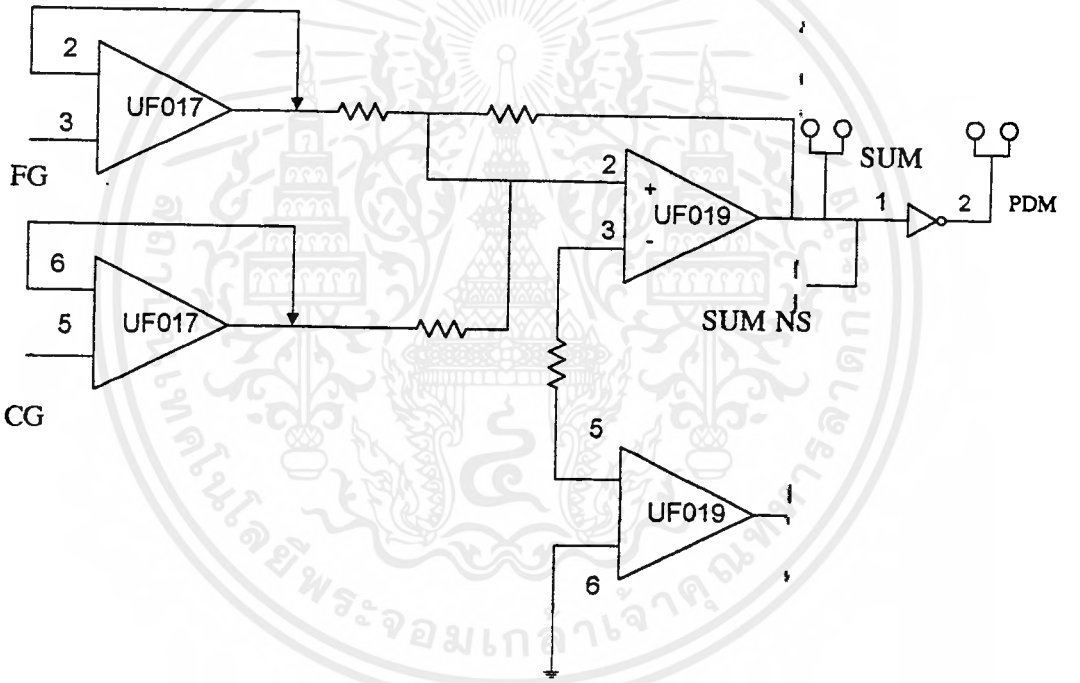


รูปที่ 6.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

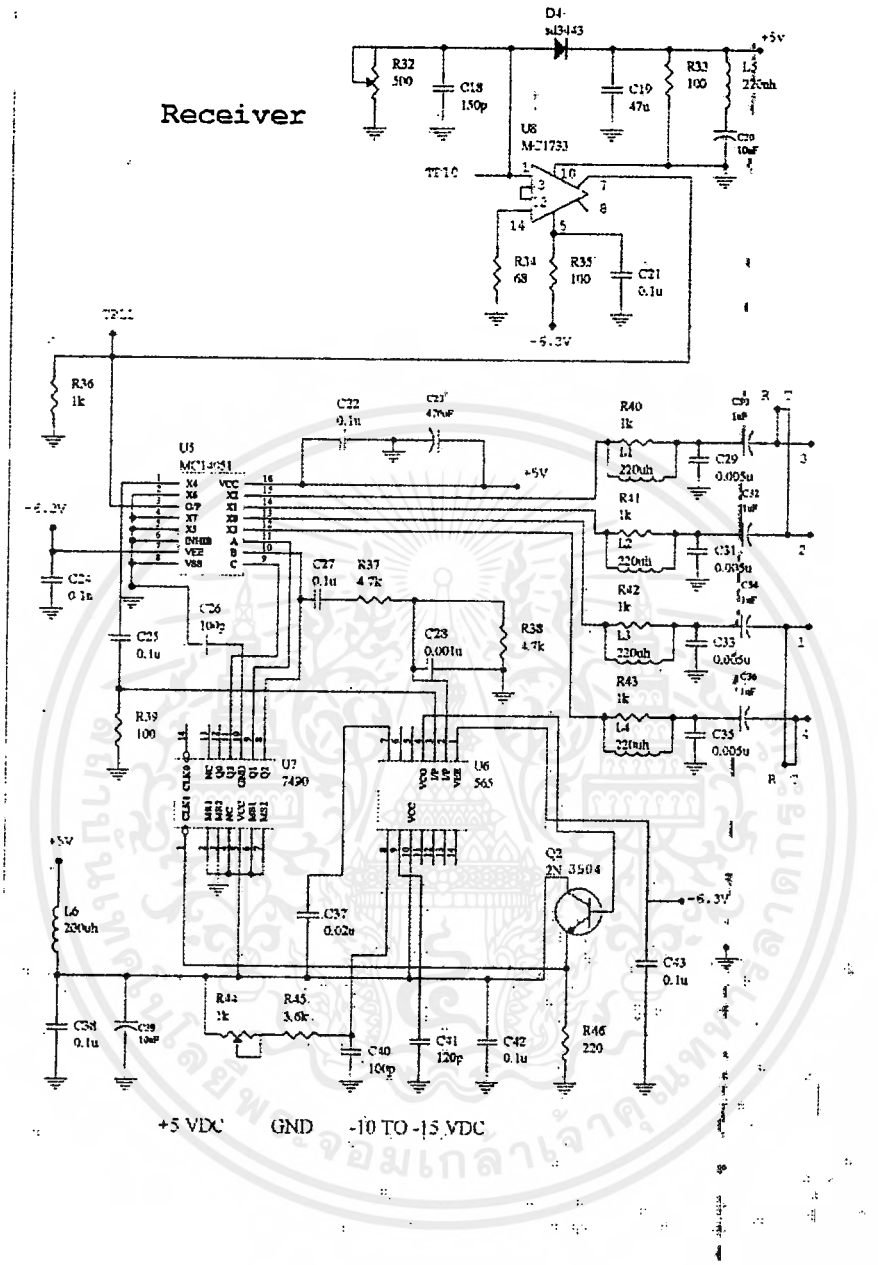
ในวงจรทดลองต้นส่งจะใช้เพียง 5 ช่องสัญญาณ (Channel) ซึ่งขาหนึ่งของ U - 1ต่อโดยตรงเข้ากับขา 16 ทำให้ช่องสัญญาณที่ 5 มีค่าขนาด +5V โดยประมาณจากไฟดีซี 5 Vdc ที่ขา 1 ของ U - 1 เมื่อสัญญาณ Logic - Sampling เข้ามาที่ช่องสัญญาณดังกล่าว ทำให้เกิดพัลส์บวกสี่เหลี่ยมที่ช่อง 5 (CH - 5) ซึ่งสัญญาณดังกล่าวถูกใช้เป็นสัญญาณ เข้า จังหวะ (Synchronizing Pulse) ให้กับทางด้านรับโดยสัญญาณ Sync นี้จะมีขนาดความสูงของสัญญาณมากกว่าสัญญาณช่อง 1 ถึง 4

สำหรับ LC (U - 2) เบอร์ 7490 ซึ่งเป็น Binary Counter ทำหน้าที่เป็นตัว กำหนด Digital Sampling Pulse ทำการควบคุม Input ของ Mux U - 1 โดย Binary Counter จะทำการนับวงจร ตั้งแต่ 1 ถึง 5 ส่วนการนับครั้งที่ 6 จะเริ่มทำการนับใหม่ อีกครั้ง โดยนับ 1 ใหม่ต่อไปตามลำดับ



รูปที่ 6.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 วงจรการทำงานภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน LC (U - 3) เป็น LC เบอร์ LM 555 Timer สร้างความถี่โดยประมาณ 500 KHz ทำหน้าที่ควบคุม Sampling rate ของ U - 2 โดยความถี่ใช้งานถูก Countdown ลง 5 เท่า (หาร 5) ที่ U - 2 ซึ่งความถี่ดังกล่าวจะถูกใช้ในการควบคุม Sampling บางสัญญาณ Analog Multiplexer (U - 1) ต่อไป

6.2 มัลติเพล็กซิ่งทางด้านรับ ประกอบด้วย

1. Chip Demultiplexer เบอร์ 14051 (U - 4)
2. Logic Sequence เบอร์ 7490 (U - 6)
3. Phase Lock Loop Comparator และวงจรกรองความถี่ต่ำ 565 (U - 5)
4. Voltage Control Oscillator (VCO) ซึ่งเป็นส่วนหนึ่งใน (U - 5)
5. Transistor Q2 เป็น emitter follower ทำหน้าที่เป็น Power drive (U - 6)

ตัว Logic Control input ของ Multiplexer (A , B และ C) ทำหน้าที่ควบคุมจังหวะการทำงาน เพื่อให้ทางด้านส่งและด้านรับทำงานเข้าจังหวะกัน โดย Logic Control ดังกล่าวถูกขับโดย LC 7490 (U - 6) สัญญาณ Output ของช่อง สัญญาณที่ 5 (Channel 5) และ B Output ของ (U - 6) ถูกป้อนผ่านเข้า Input ที่ขา 2 และ 3 ของ Phase Lock Loop (PLL) U - 5 ความถี่ Clock ที่ขา 3 จุด TP - 12 ประมาณ 420 KHz และ Input ขา 2 ต่อเข้า U - 5 ประมาณ 80 KHz สัญญาณ Sync Pulse จาก U - 4 มาเข้าขา 3 (Pin - 3) ของ U - 5

VCO ขา 4 ต่อผ่านเข้า Transister Q ซึ่งเป็น emitter follower drive U - 6 (Pin - 1) ความถี่ที่ออกจาก counter (ขา 8 , 9 และ 11) จะถูกหาร 5 (Devide - by - five) ซึ่งเป็น Logic Controlled ให้กับ Mux 14051 (U - 4) ที่ A , B และ C ตามลำดับ ฉะนั้น Sync Pulse จาก U - 4 จะทำการเปรียบเทียบทางเฟส (Phase Comparator) กับ Output จาก Counter (U - 6) โวลเต็จผิดพลาด (Error Voltage) ที่เกิดขึ้นที่ Output ของ Phase Comparator จะถูกใช้เป็นตัวควบคุม VCO (U - 5) ทางด้านรับส่วนความต้านทาน R 16 (2 KΩ) จะทำหน้าที่ในการปรับ ความถี่ Oscillator เพื่อให้ Lock in กับสัญญาณ

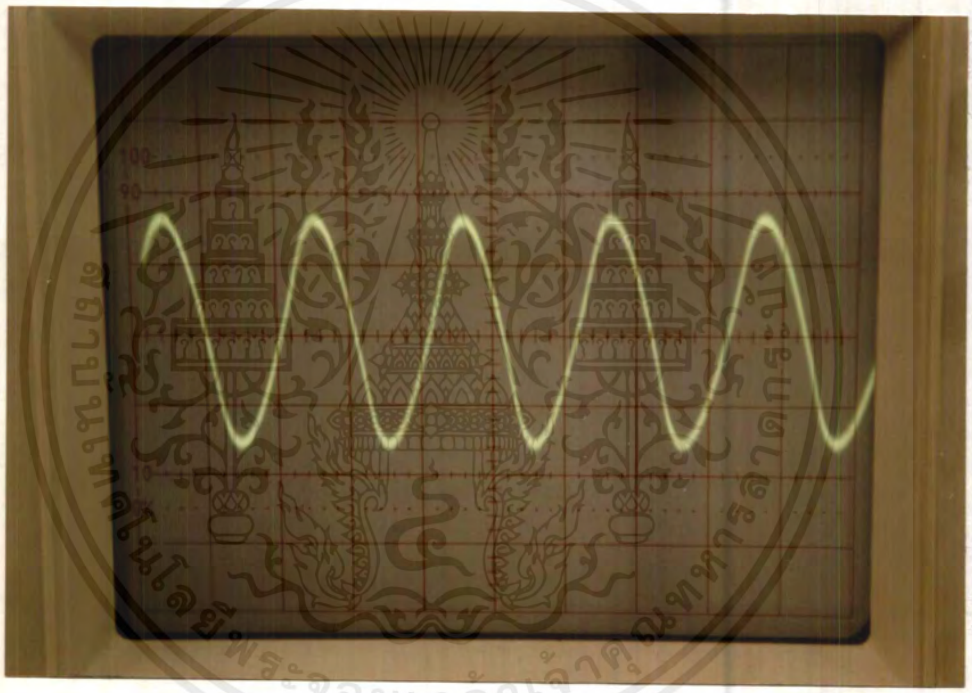
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

<u>จากผลการทดลอง ชุดทดลองวงจรที่ 1</u>

ภาคส่ง

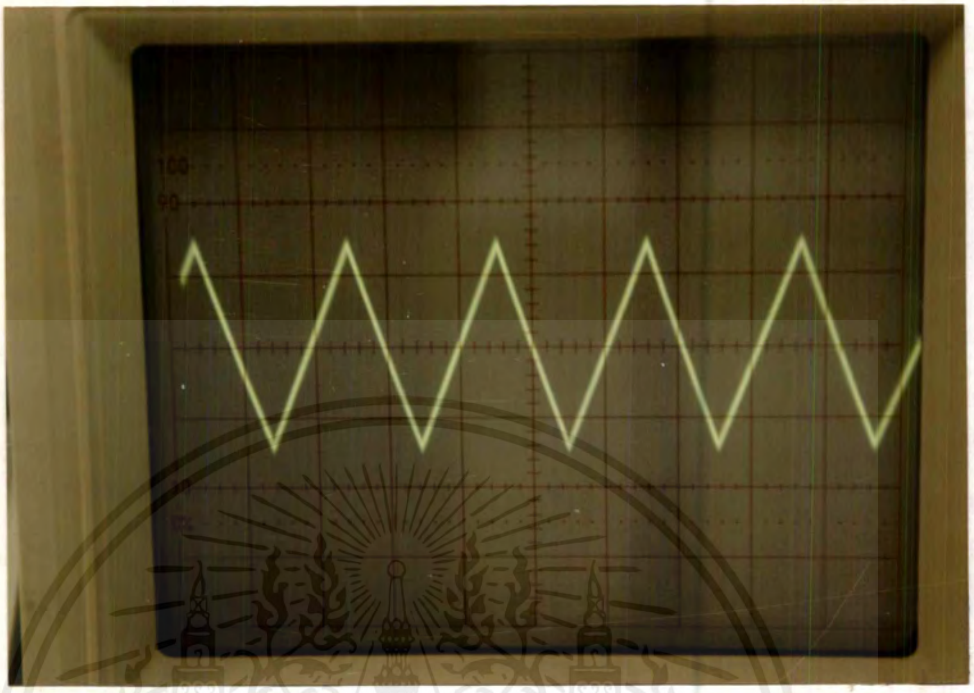
รูปสัญญาณ Sine



Volt / Div 0.1v , Time/Div 0.5 ms

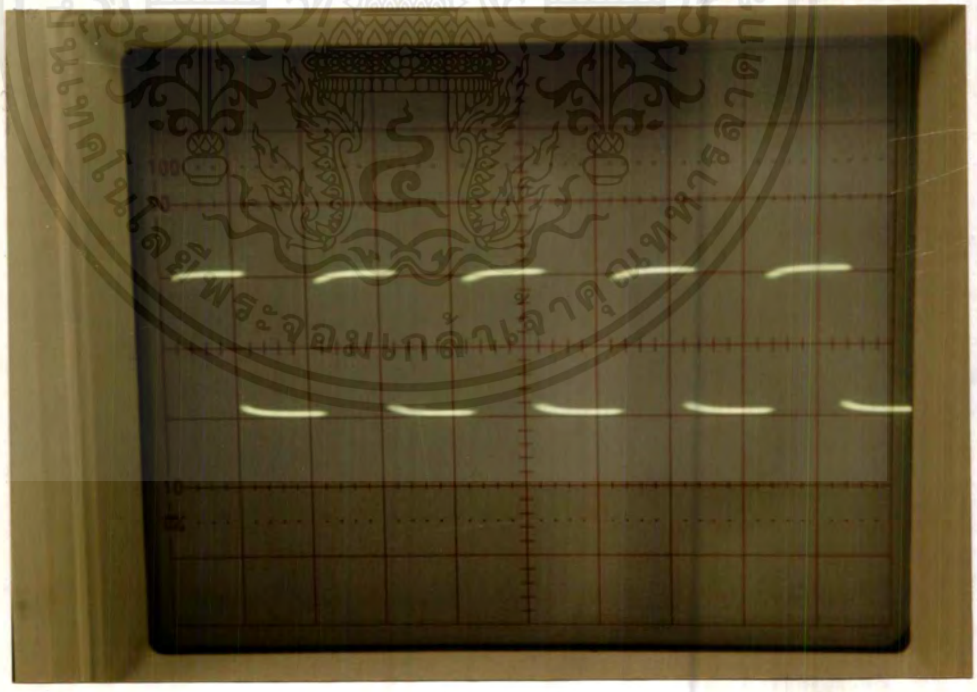
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณ Triangle



Volt /Div 0.1 V , Time/Div 0.5 ms

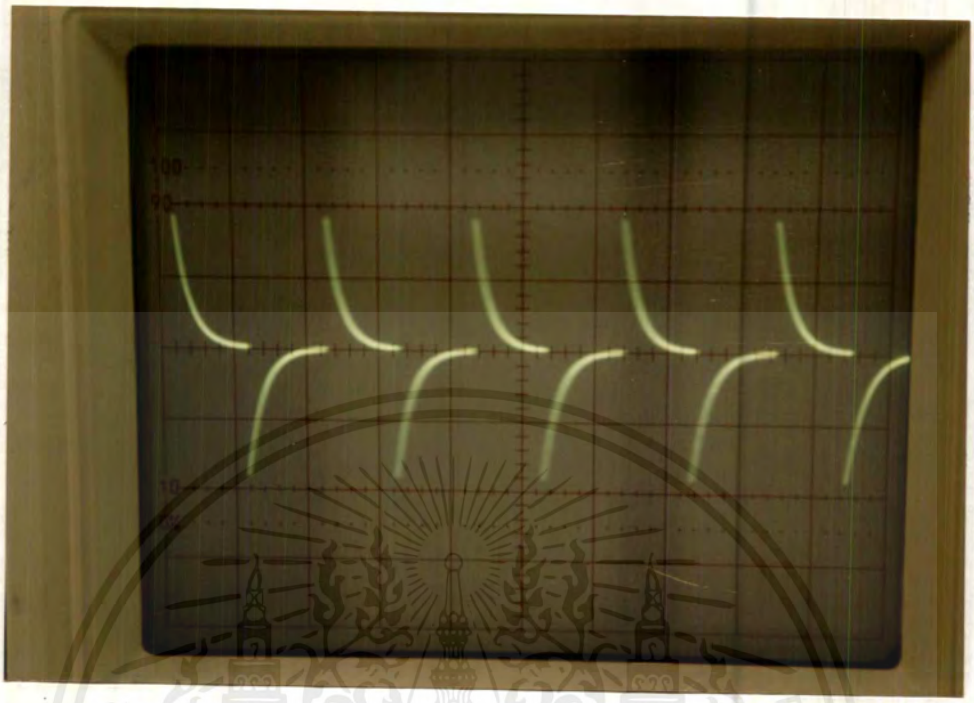
รูปสัญญาณ Square



Volt / Div 0.2V , Time / Div 0.5 ms

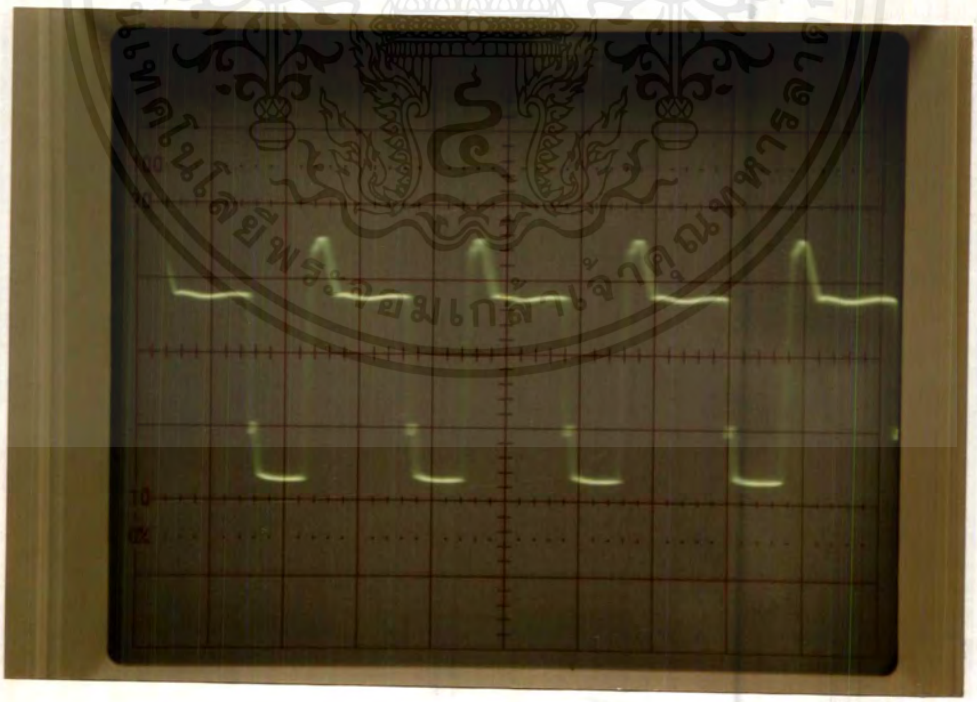
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณ Peak Pulse



Volt /div 0.2 V , Time/Div 0.5 ms

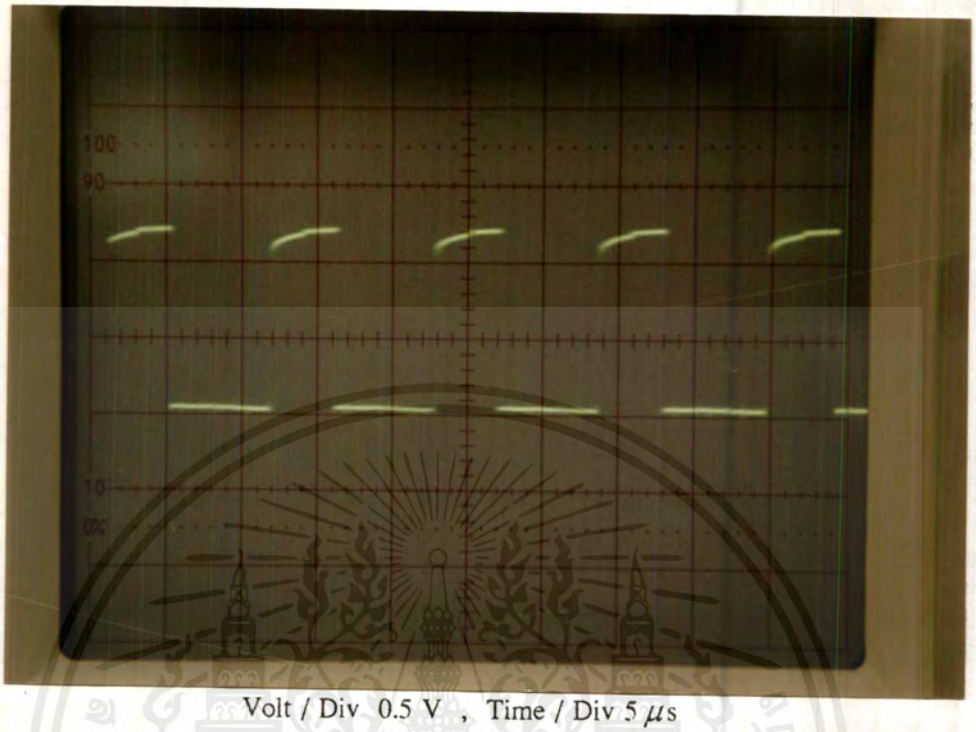
รูปสัญญาณ Clock



Volt /Div 0.5 V , Time / Div 1 μs

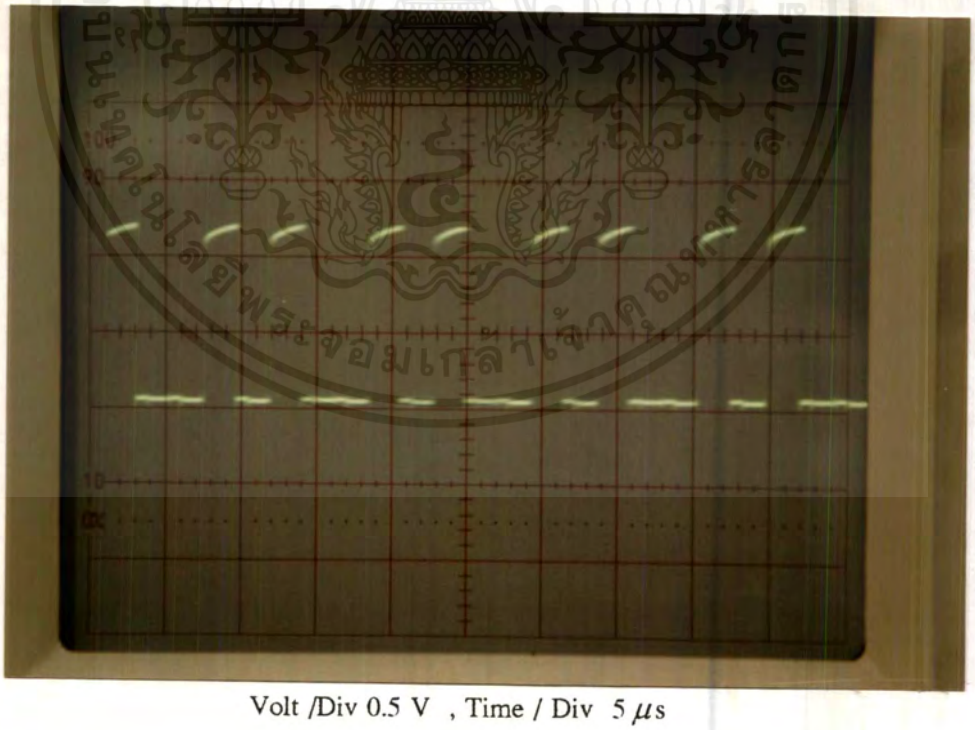
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณขา 8 ของ 7490



Volt / Div 0.5 V , Time / Div 5 μs

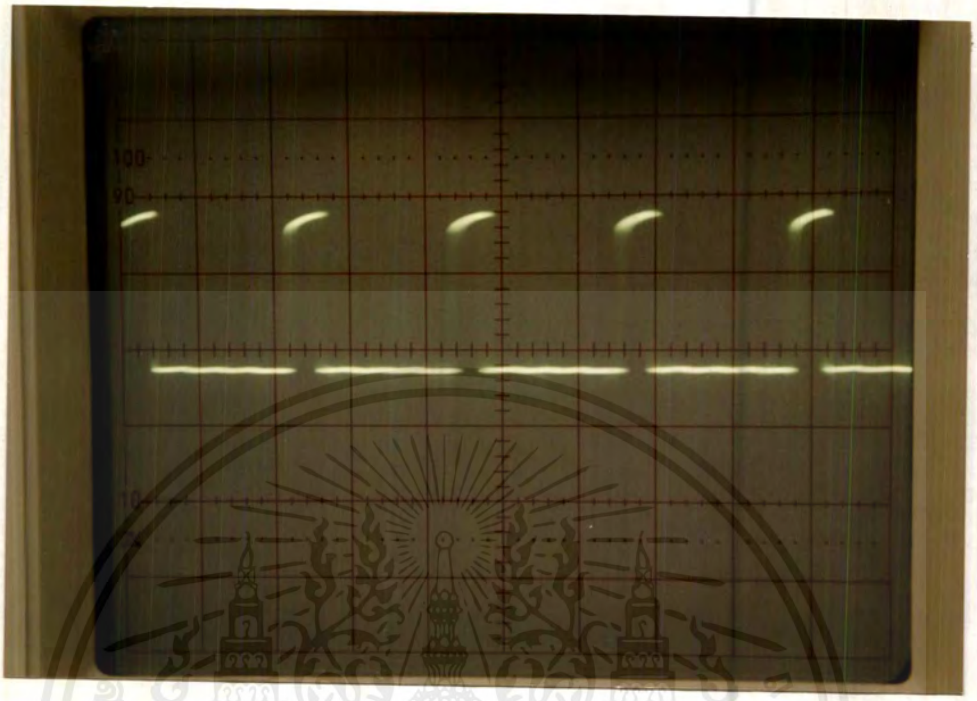
รูปสัญญาณขา 9 ของ 7490



Volt /Div 0.5 V , Time / Div 5 μs

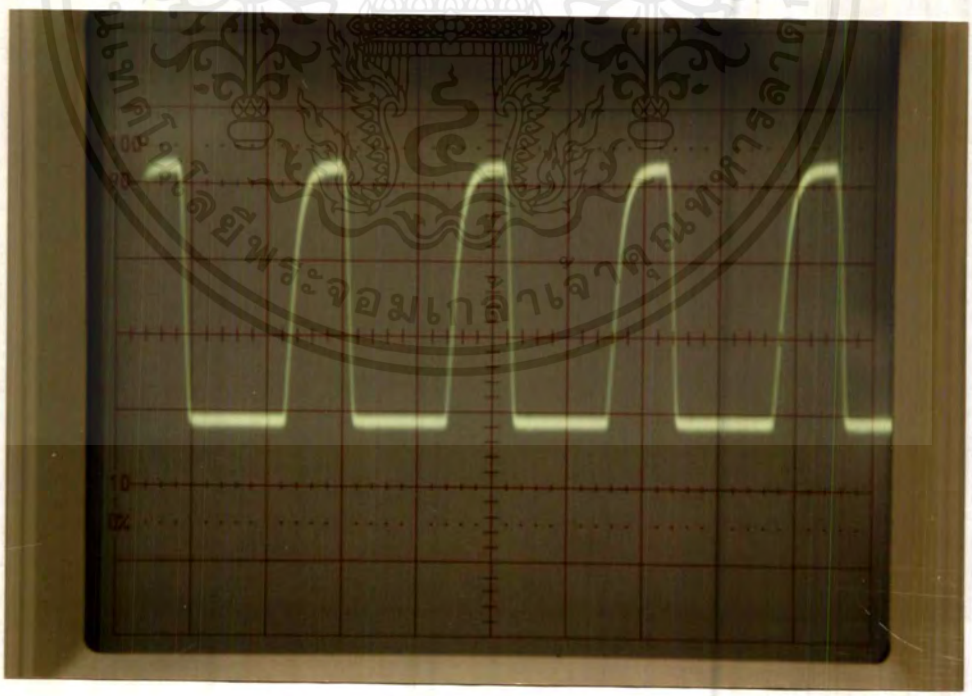
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณขา 11



Volt /Div 0.5 V , Time / Div 5 μs

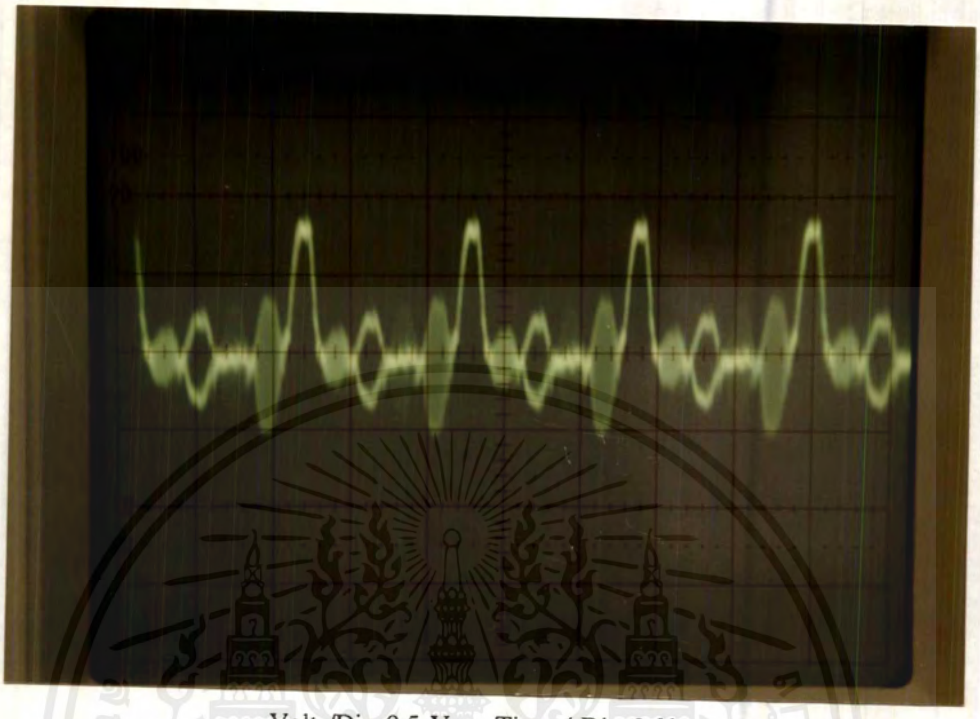
รูปสัญญาณ Sync



Volt /Div 0.5 V , Time /Div 1μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณ Multiplex

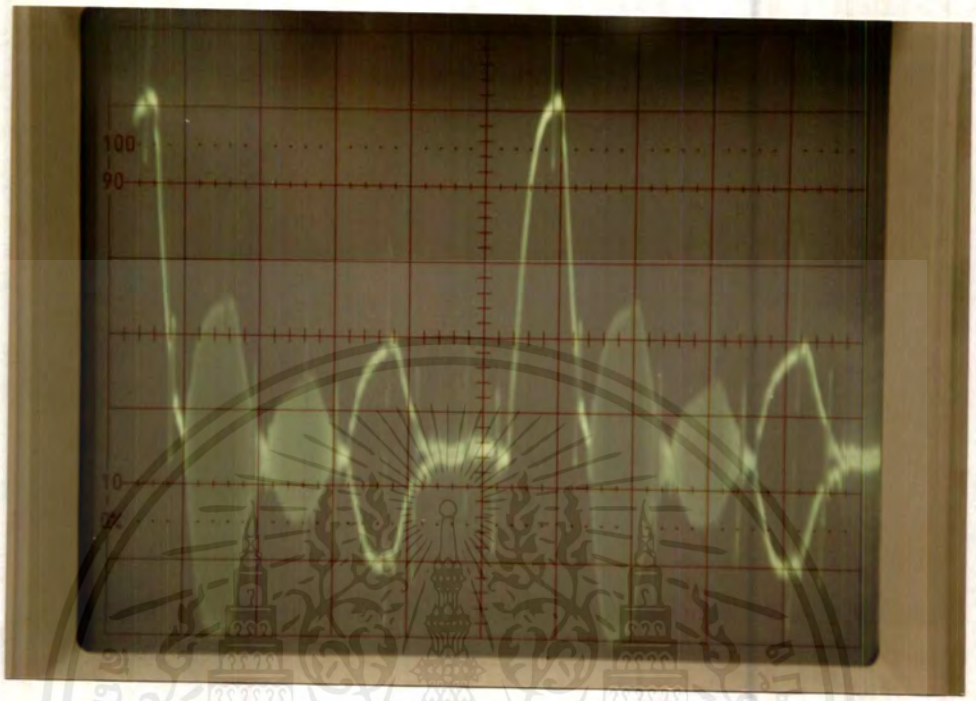


Volt /Div 0.5 V , Time / Div 2 μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

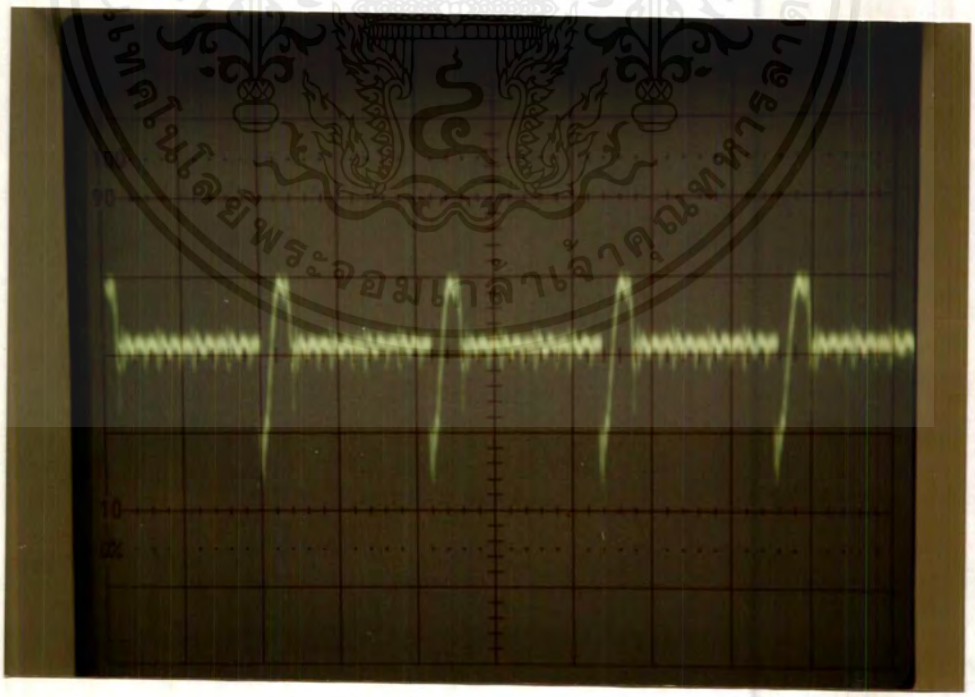
ภาครับ

รูปสัญญาณ Sync ที่ขาหนึ่ง



Volt / Div 20 mV , Time / Div 5 μs

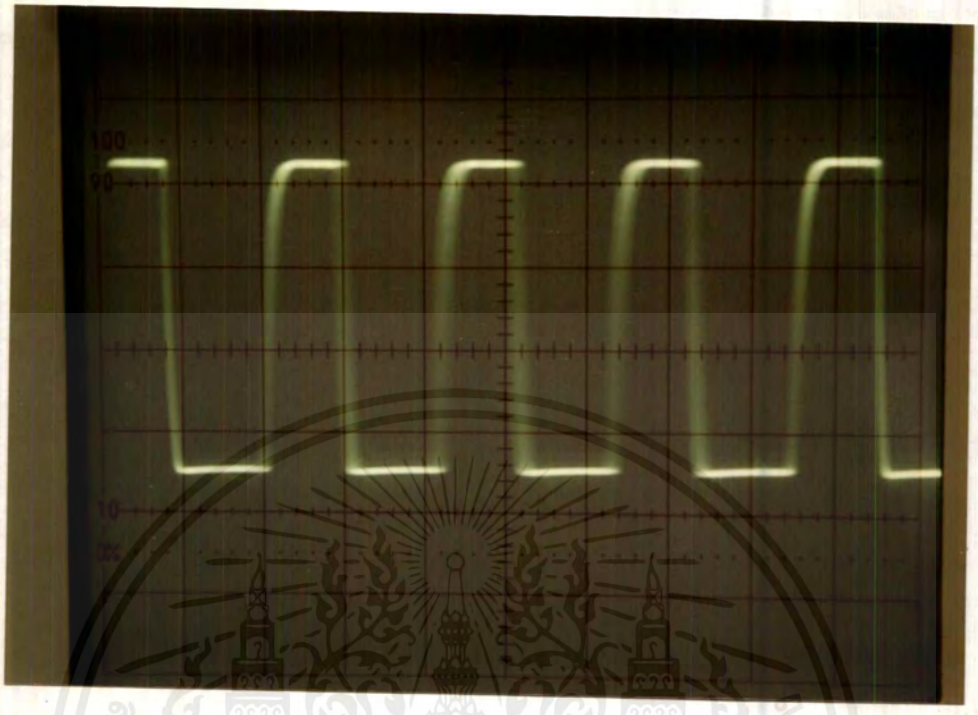
รูปสัญญาณที่จุด B



Volt / Div 0.1 V , Time / Div 5 μs

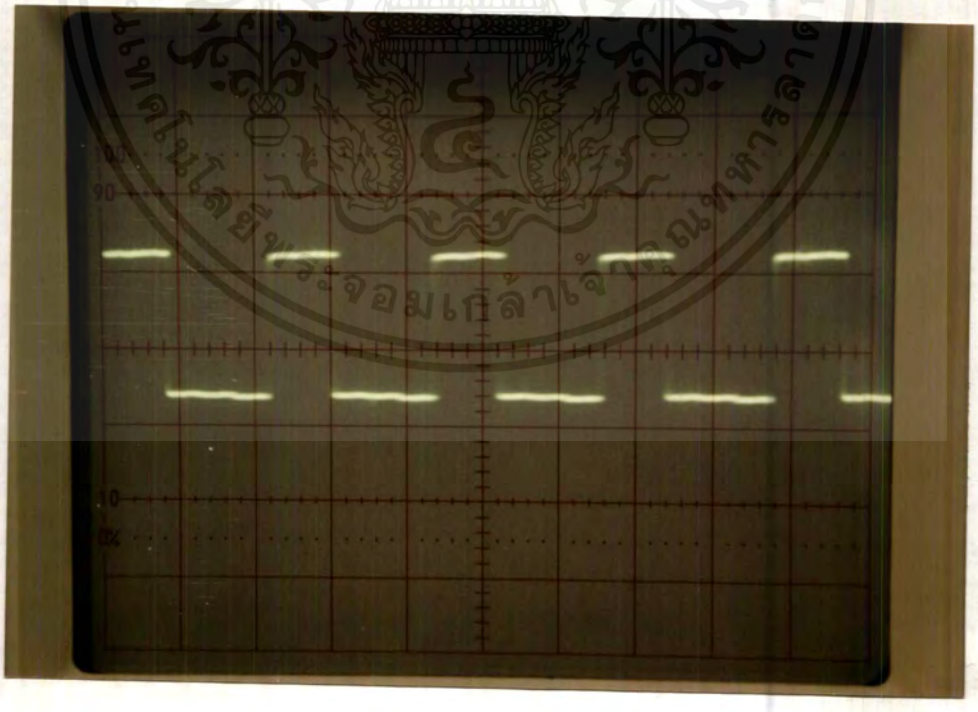
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณ Clock



Volt / Div0.2 V , Time / Div 1 μs

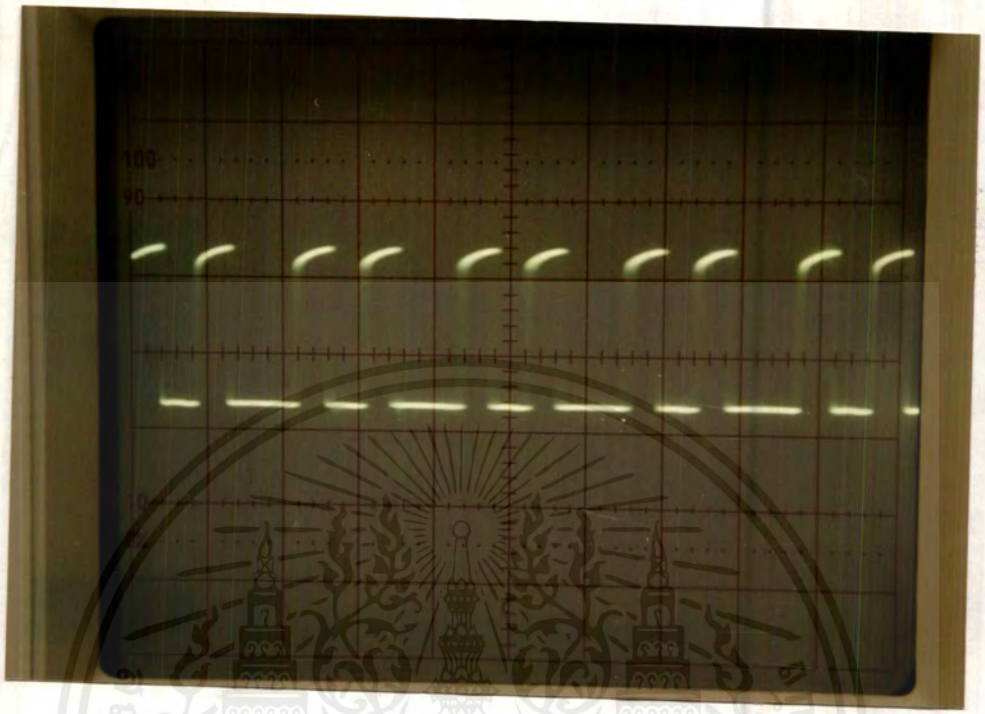
รูปสัญญาณที่ขา 8 ของ 7490



Volt / Div 0.5 V , Time / Div 5 μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณที่ขา 9



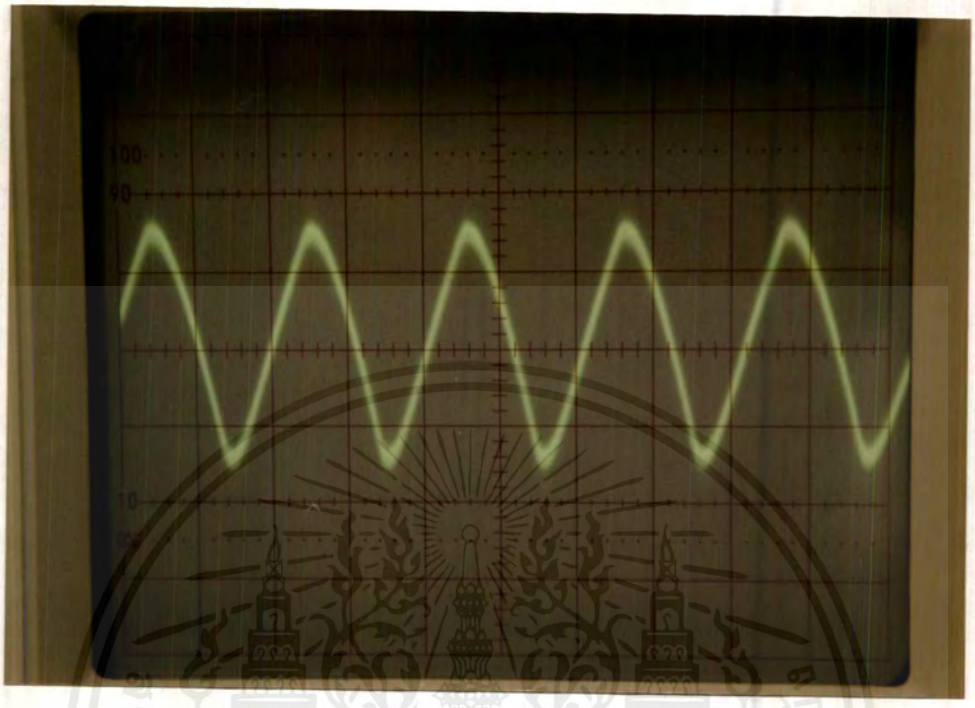
Volt/Div 0.5 V,Time /Div 5 μs

รูปสัญญาณที่ขา 11

Volt / Div 0.5 V , Time / Div 5 μs

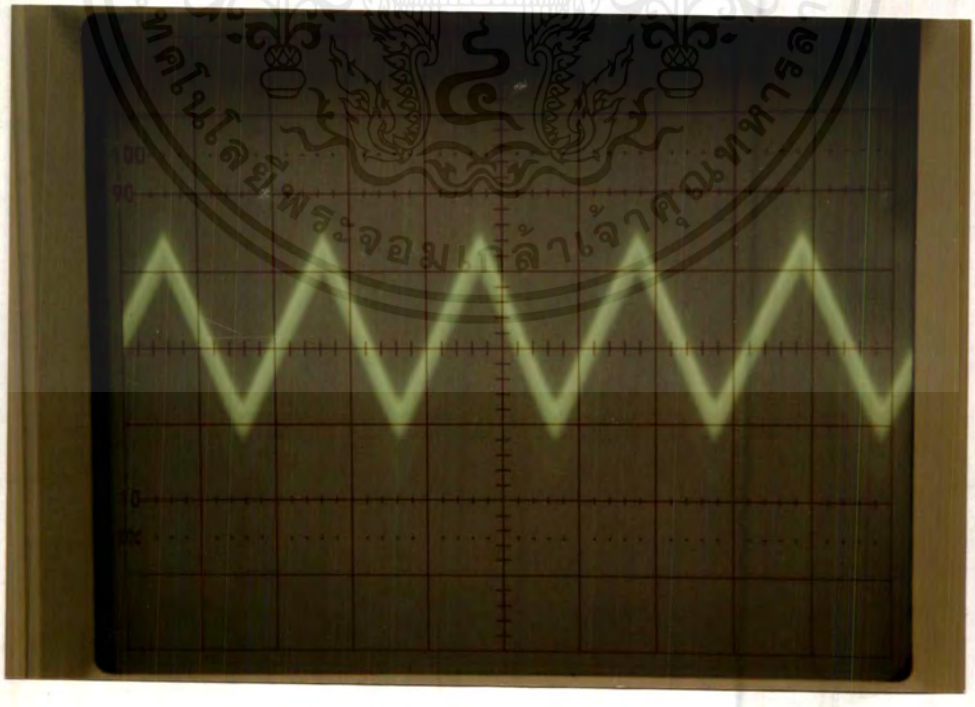
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณ Sine



Volt / Div 20 mV , Time / Div 0.5 ms

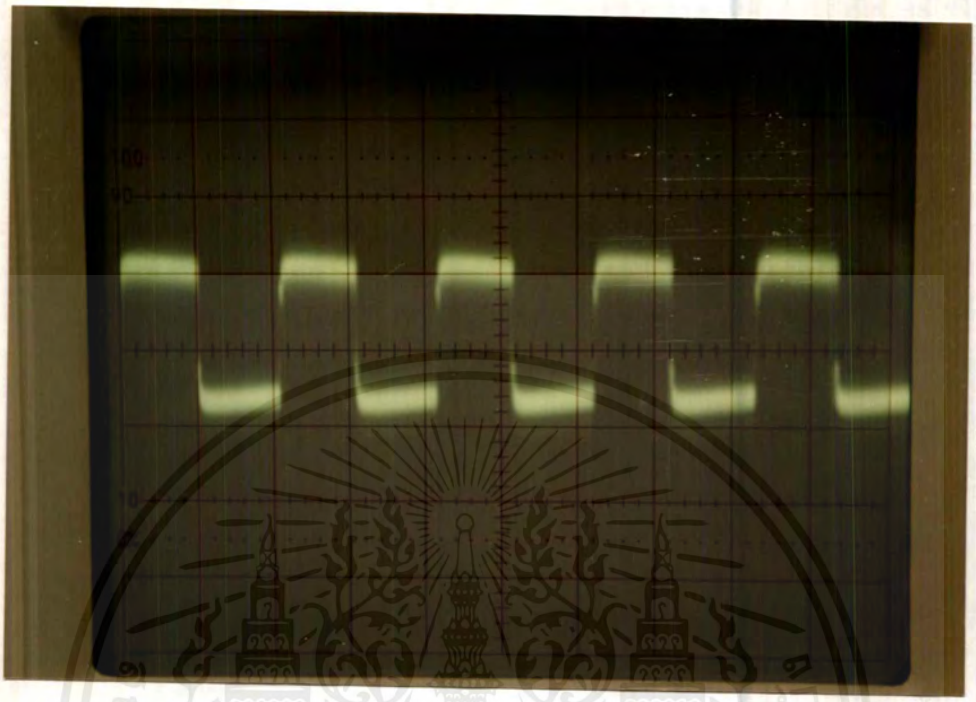
รูปสัญญาณของ Triangle



Volt / Div 10 mV , Time / Div 0.5 ms

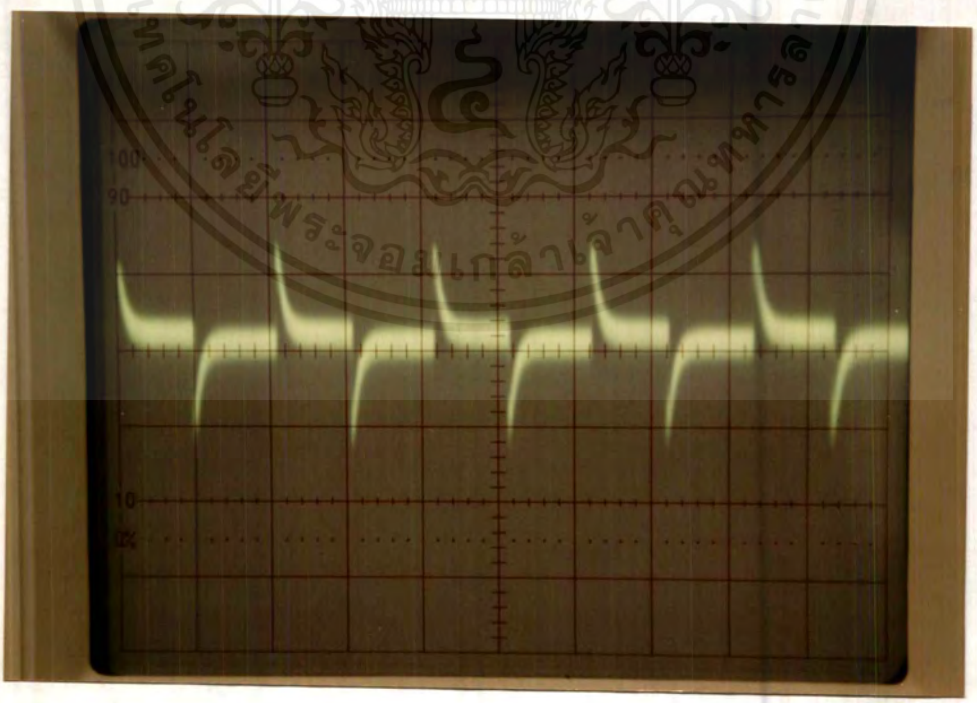
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณ Square



Volt / Div 10 mV , Time / Div 0.5 ms

รูปสัญญาณของ Peak pulse

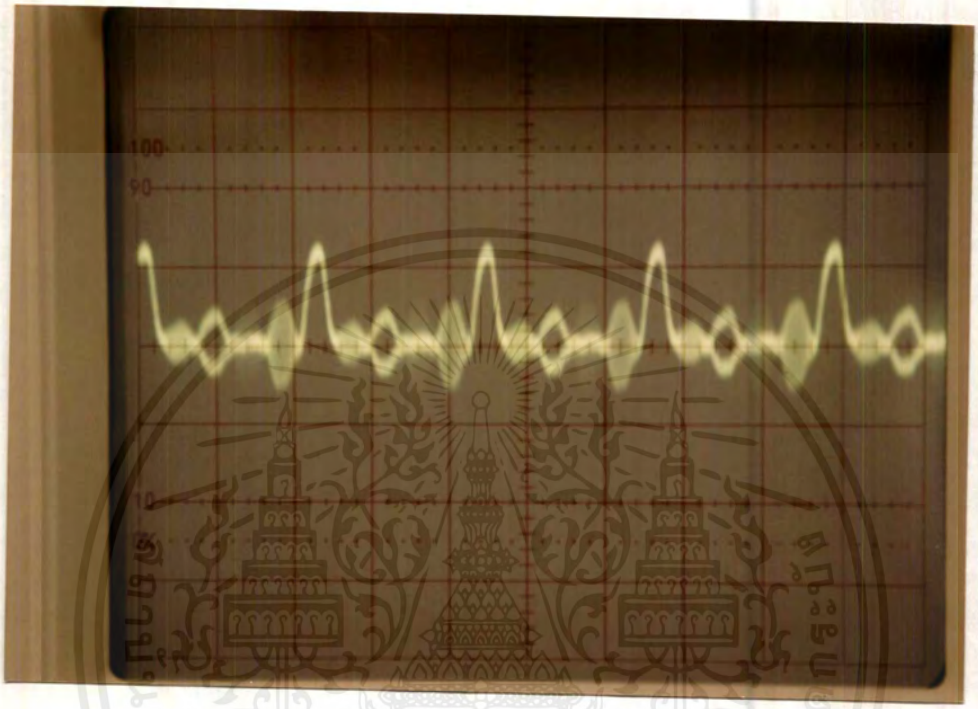


Volt / Div 20 mV , Time / Div 0.5 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองส่งทางสายไฟเบอร์ออปติค

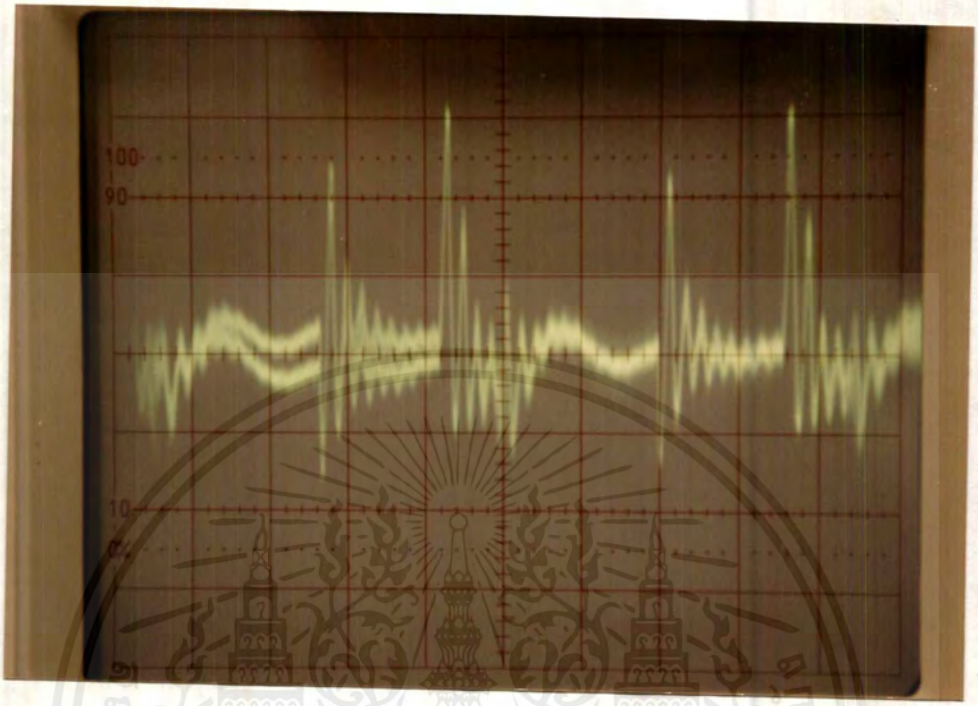
มัลติไฟเบอร์



Volt / Div 50 mV , Time / Div 5 μs

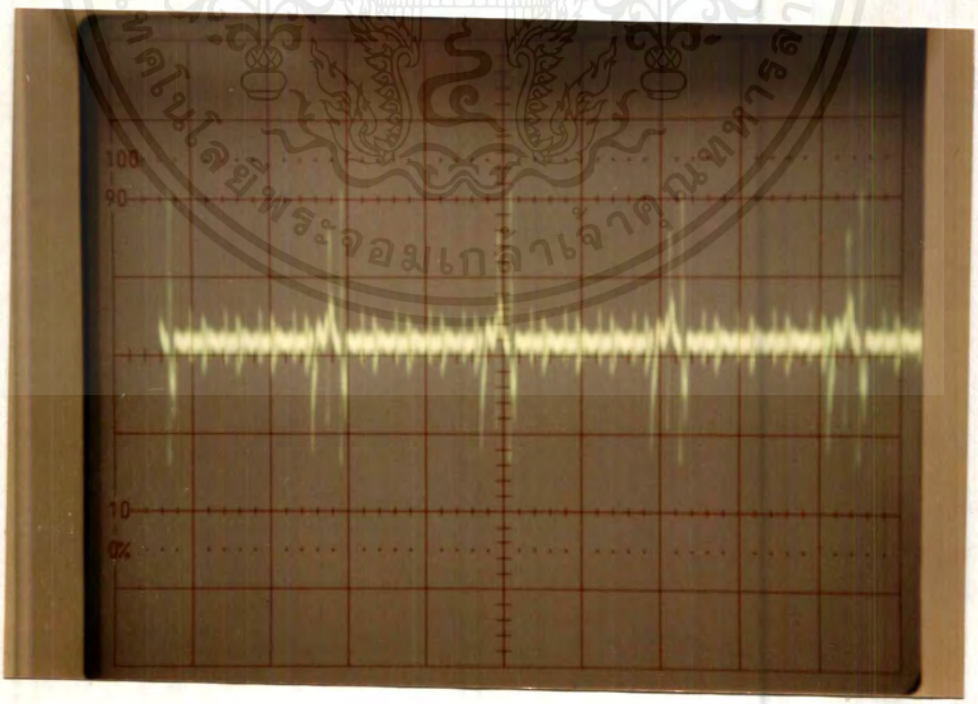
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณของภาครับ



Volt / Div 0.1 mV , Time / Div 0.5 μs

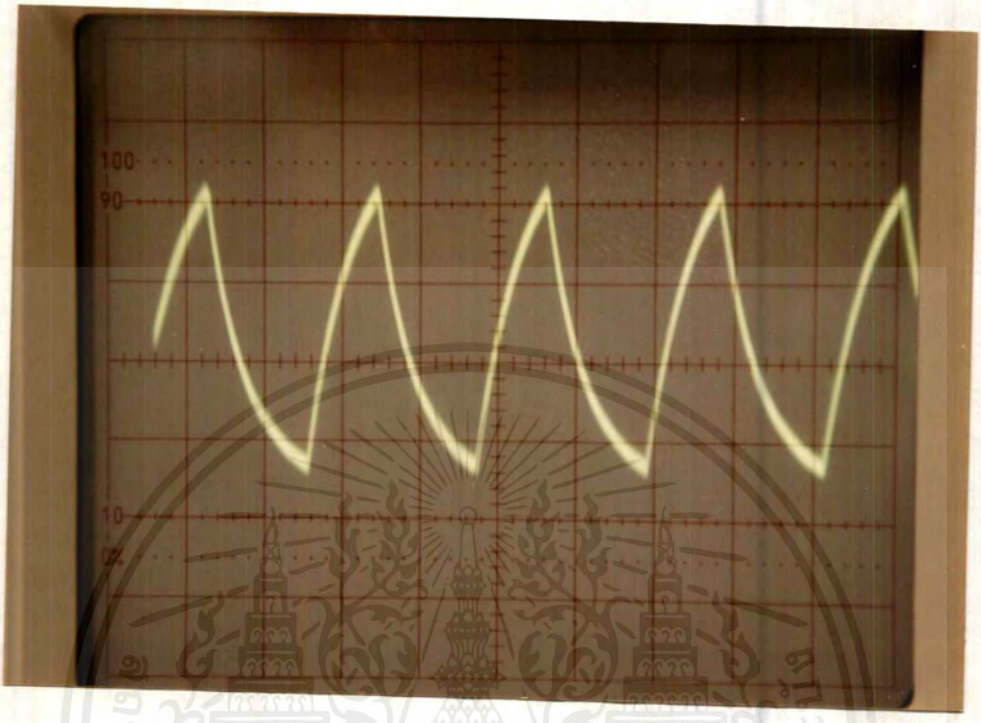
รูปของสัญญาณ Sync



Volt / Div 50 mV , Time / Div 5 μs

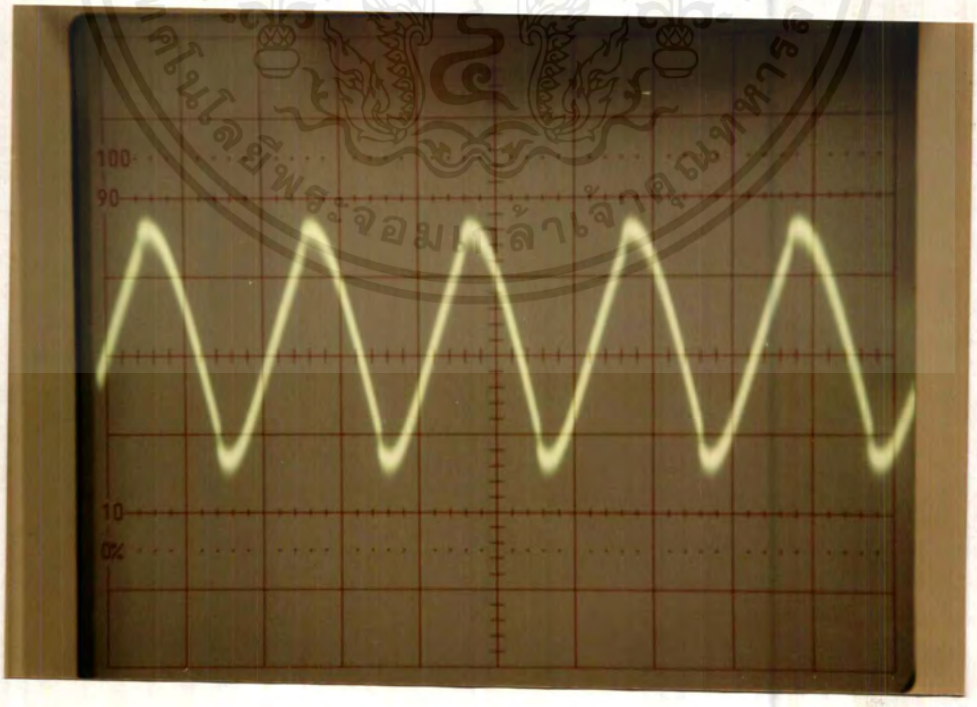
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณ Base



Volt / Div 0.1 mV , Time / Div 5 μs

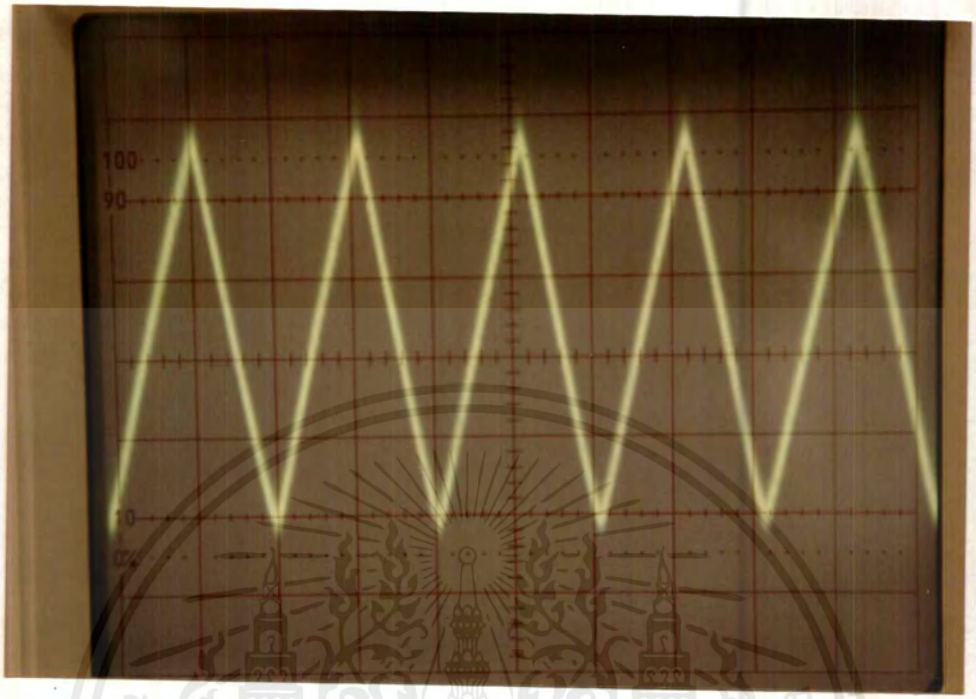
รูปสัญญาณ Sine



Volt / Div 20 mV , Time / Div 0.5 μs

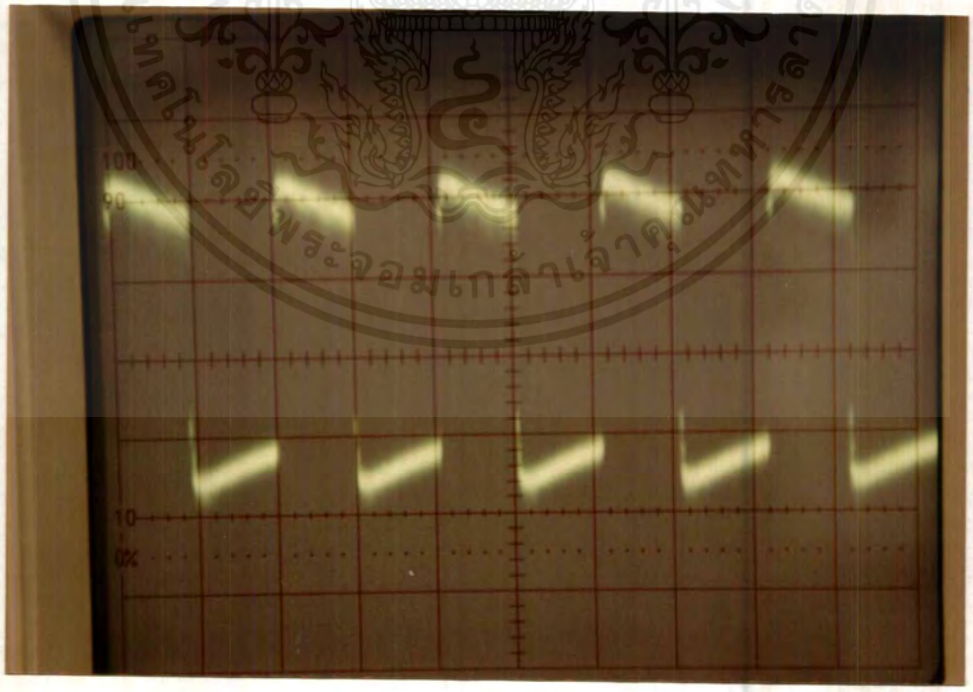
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณ Triangle



Volt / Div 10 mV , Time / Div 0.5 μs

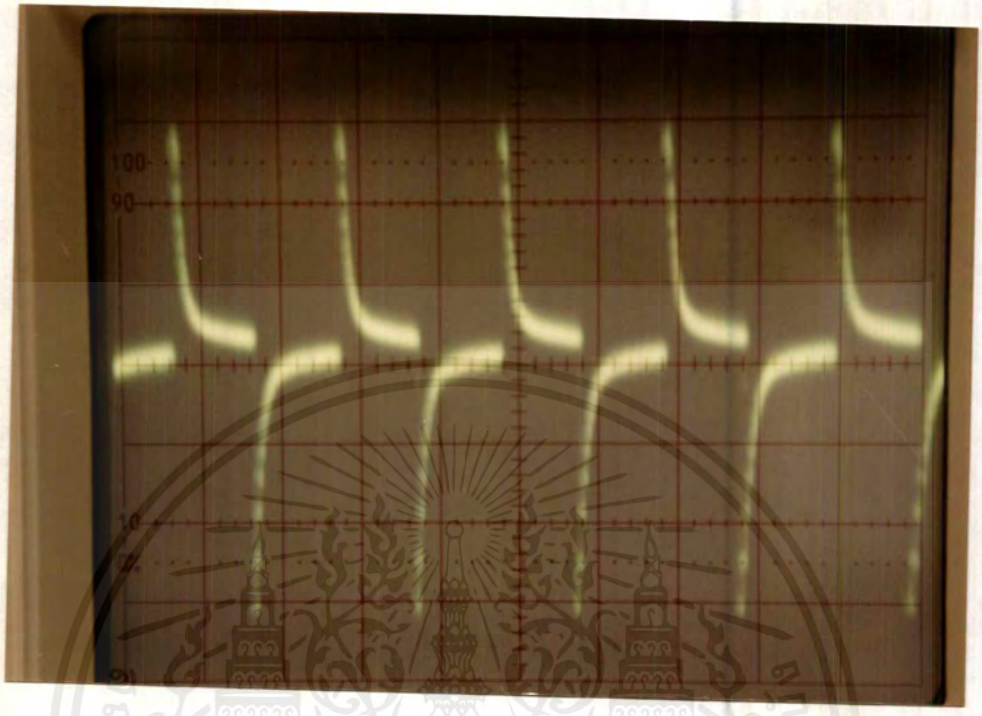
รูปสัญญาณ Square wave



Volt / Div 10 mV , Time / Div 0.5 μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณของ Peak pulse



Volt / Div 10 mV , Time / Div 0.5 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลองและวิจารณ์ในวงจรที่ 1

การส่งสัญญาณใดสัญญาณหนึ่งต้องใช้สายในการส่งอย่างน้อยหนึ่งเส้น ถ้าหากว่าส่งสัญญาณมากกว่าหนึ่งสัญญาณจะเห็นว่าต้องใช้สายเป็นจำนวนมากดังนั้นจึงมีผู้คิดค้นระบบที่สามารถส่งสัญญาณหลาย ๆ สัญญาณออกไปจากเครื่องส่งโดยใช้สายเพียงเส้นเดียวเรียกว่า การมัลติเพล็ก จากการทดลองสัญญาณที่ผลิตออกมาจากฟังก์ชั้นเจนเนอเรเตอร์จะเป็นดังรูปที่แสดง และเมื่อนำสัญญาณเหล่านั้นมาทำการมัลติเพล็กโดยอาศัย ไอซี 14051 สัญญาณที่ได้จะชัดมากดังรูป แต่เมื่อสัญญาณถูกส่งออกไปไม่ว่าจะโดยใช้สายไฟ สายโคเอ็กเชียล หรือ สายไฟเบอร์ออปติก ก็ตามสัญญาณที่ถูกดีมัลติเพล็กจะไม่คมชัดตามทฤษฎีคือสัญญาณที่รับได้จะมีการกระเพื่อมและมีสัญญาณรบกวนจากการวิเคราะห์พบว่าการที่เป็นเช่นนี้เพราะผลจากความต้านทานในสายและที่ตัวไอซีที่ทำหน้าที่ขยายสัญญาณเมื่อรับสัญญาณแล้วนั้น จะร้อนผิดปกติซึ่งเป็นที่ทำให้เกิด termal noise ทำให้สัญญาณเกิดการสั่นกระเพื่อม แต่อย่างไรก็ตามในทางปฏิบัตินั้นย่อมไม่ได้ผลตามทฤษฎีทั้งหมด ต้องมีสัญญาณรบกวนบ้างไม่มากก็น้อยซึ่งขึ้นอยู่กับเครื่องมือที่ใช้ทดลองว่ามีความละเอียดเท่าใดและการมองเห็นของผู้ทดลองเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลอง ชุดทดลองวงจรที่ 2

วัตถุประสงค์

1) ในการทดลองนี้เพื่อศึกษาถึงการนำอุปกรณ์ ฟลิบฟลอบมาทำเป็นวงจร Multiplex สัญญาณ

2)ในการทดลองนี้เพื่อศึกษาหาสัญญาณที่มีการส่งตามสายที่มีระยะทางไกลจะเกิดปัญหาอย่างไร

3)ในการทดลองนี้เพื่อศึกษาการแก้ปัญหาในการส่งสัญญาณตามสายที่ยาวโดยใช้ IC 74121 ในการแก้ปัญหา

เนื้อหาในวงจรนี้ประกอบด้วย

1.วงจร Devide-by-four

2.วงจร Modulation

3.วงจร Sampling

4.วงจร Multiplexing

5.วงจร Demultiplexing

วงจร Devide-by-four เป็นวงจรหารเพื่อให้ได้สัญญาณข้อมูล(Data Signal) หรือ Pulse train โดยผ่านวงจร Mudulation ซึ่งในวงจรนี้เป็นการ Modulation อยู่ 2 ชนิดคือ

1.Pulse Modulation

2.Analog Modulation

โดย Pulse Modulation เป็นการนำสัญญาณสองสัญญาณ โดยสัญญาณแยกเป็นสัญญาณที่ได้จากวงจรหาร ส่วนสัญญาณที่สองเป็นสัญญาณที่ได้จาก pulse generater โดยจะเป็นสัญญาณพาหะ (carrier pulse) โดยมอดูเลตกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน Analog Modulation นั้นเราเปลี่ยนสัญญาณพาหะเป็น sine wave โดย modulation กับ pulse ที่ได้จากวงจรหาร

หลังจากที่ได้ผ่านการ Modulation และเป็นการรวมสัญญาณที่ได้จากการ Modulation ให้เป็นหนึ่งสัญญาณโดยผ่านการ multiplexing ที่เป็นการ Multiplexing แบบ TDM ซึ่งจะ Multiplexing ตามเวลา โดยจะผ่านสายสัญญาณไปยังภาครับ ภาครับจะมีการแยกสัญญาณที่ ส่งมาให้เหลือสัญญาณที่ Modulation มาโดยผ่านวงจร Demultiplex โดยส่วนที่แล้วเป็นการส่ง สัญญาณมายังภาครับนั้น ด้วยระยะทางที่ใกล้แต่ในส่วนที่เราได้เพิ่มวงจร เข้าไประหว่างภาครับ กับภาคส่ง เป็นวงจรสมมติว่ามีสายโคแอกเชียลในระยะทาง 10 ไมล์ แล้วพิจารณาดูว่าสัญญาณ ที่ภาครับนั้นจะเกิดการเปลี่ยนแปลงอย่างไร ซึ่งผลที่ได้นั้นถ้าเรามีการส่งสัญญาณในระยะทาง ที่ไกลด้วยสายโคแอกเชียลนั้นจะเกิดปัญหากับภาครับซึ่งจะเกิดสัญญาณรบกวนขึ้น โดยจะทำ ให้สัญญาณ Demultiplexing ไม่ดี เนื่องจากการส่งตามสายที่ระยะทางไกลโดยก่อน จะกล่าว ในส่วนต่อไป เรามาทำการรู้จักว่าวงจรอีกวงจรหนึ่งเสียก่อน

Multivibrator Circuit

เป็นวงจร SW แบบหนึ่งที่สามารถผลิต Pulse ต่างๆ ออกมาได้ วงจร Multivibrator ประกอบขึ้นมาจากวงจร SW ง่ายสองวงจรต่อรวมกัน โดยที่สัญญาณเอาท์พุทของวงจร SW วงจรหนึ่งจะถูกนำมาใช้เป็นสัญญาณอินพุทป้อนให้แก่วงจร SW อีกวงจรหนึ่งและ สัญญาณ เอาท์พุท ของวงจร SW วงจรที่สองนี้จะถูกป้อนกลับไปใช้เป็นสัญญาณอินพุทของวงจร SW วงจรแรก

Schmitt trigger Circuit

เป็นวงจร Bistable Multivibrator แบบ Emitter Couple ชนิดหนึ่ง ซึ่งสามารถสร้าง Pulse จตุรัสหรือ Pulse รูปสี่เหลี่ยมมุมฉากใดๆ ได้ จากการป้อนสัญญาณอินพุทลักษณะรูปไซน์ ลักษณะของ Pulse ที่เอาท์พุท ซึ่งสร้างขึ้นที่สามารถถูกควบคุมและกำหนดได้โดยใน ส่วนที่ ว่าเป็นการแก้ปัญหาในการส่งสายโคแอกเชียลโดยใช้ IC 74121 โดยจะทำหน้าที่เป็น Schmitt trigger ซึ่งจะทำให้สัญญาณที่ได้ออกมามีลักษณะเหมือนกับภาคส่งก่อนที่จะมีการ Multiplex

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง ชุดทดลองวงจรที่ 2

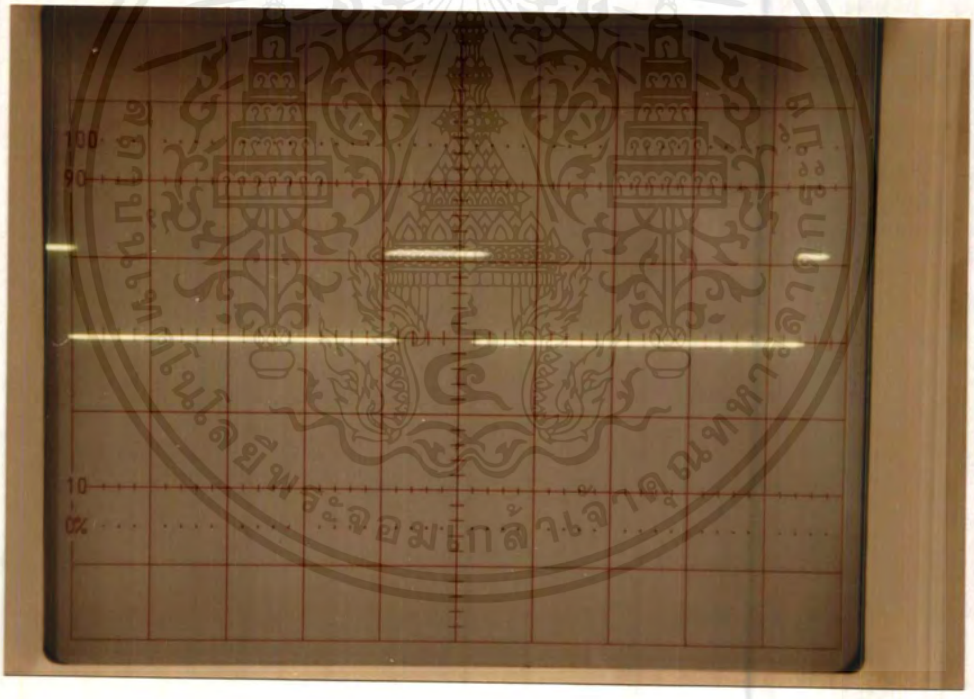
ส่วนที่หนึ่ง

-.ป้อนสัญญาณ Pulse Generater =200 μ s

Frequency = 1 kHz Volt = 2 Vp-p

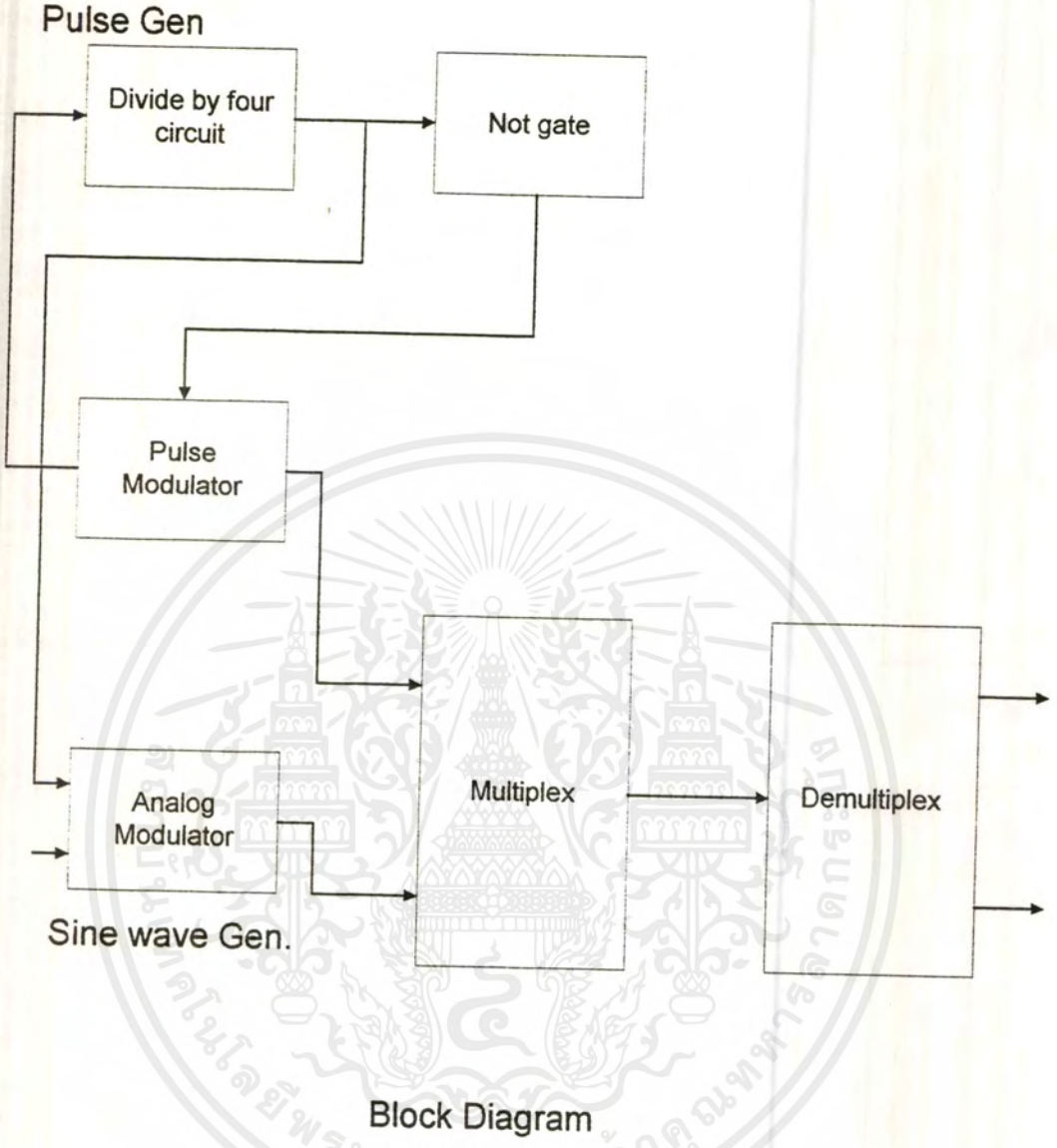
-.ป้อนสัญญาณ Sine wave = 2 kHz Volt = 2 Vp-p

รูปสัญญาณ Pulse Generator



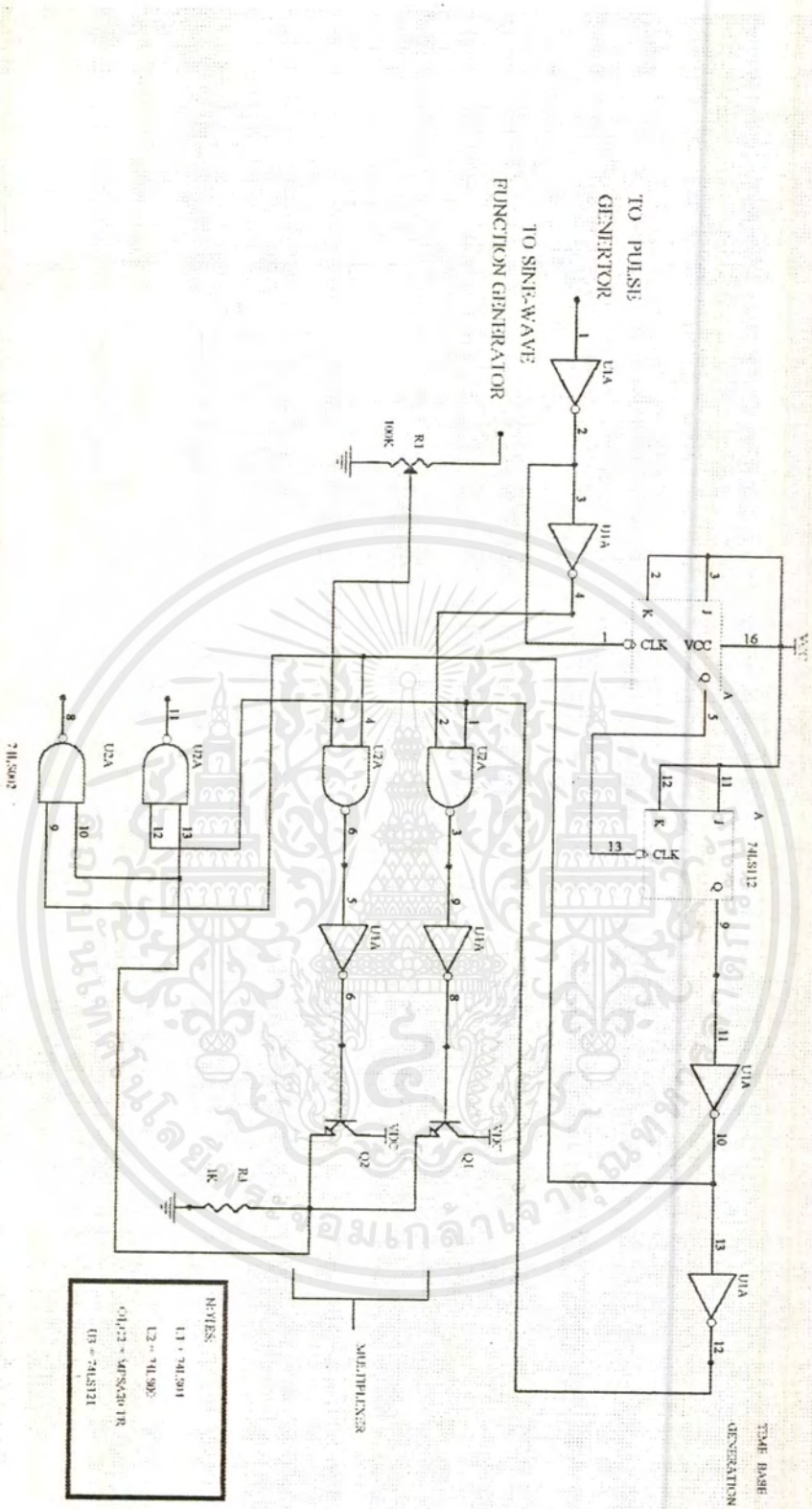
Volt / Div 1 V , Time / Div 0.2 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



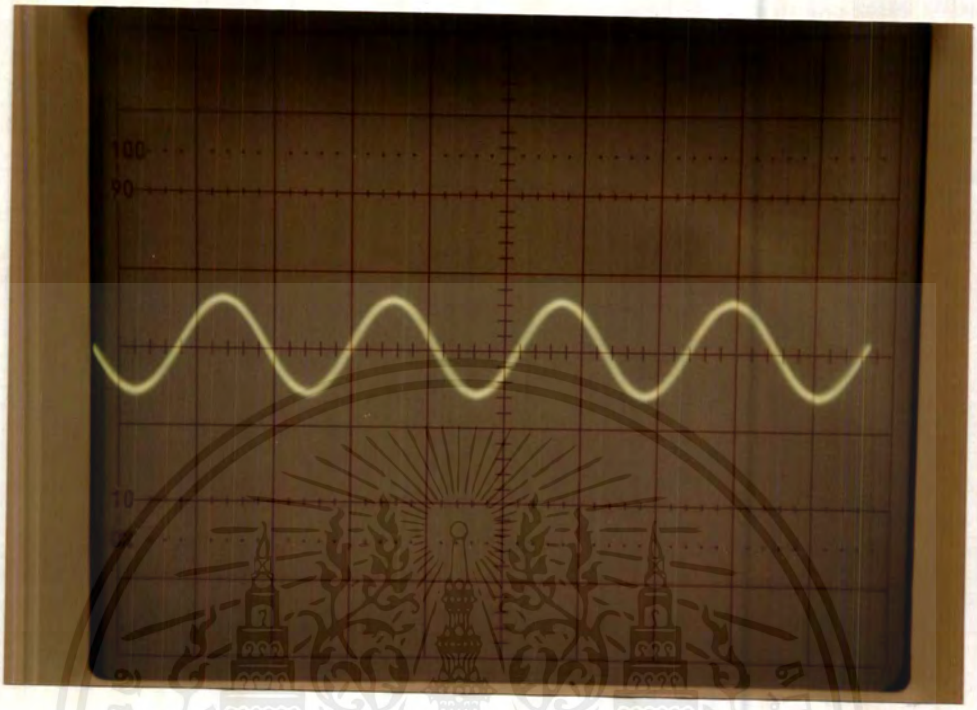
Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



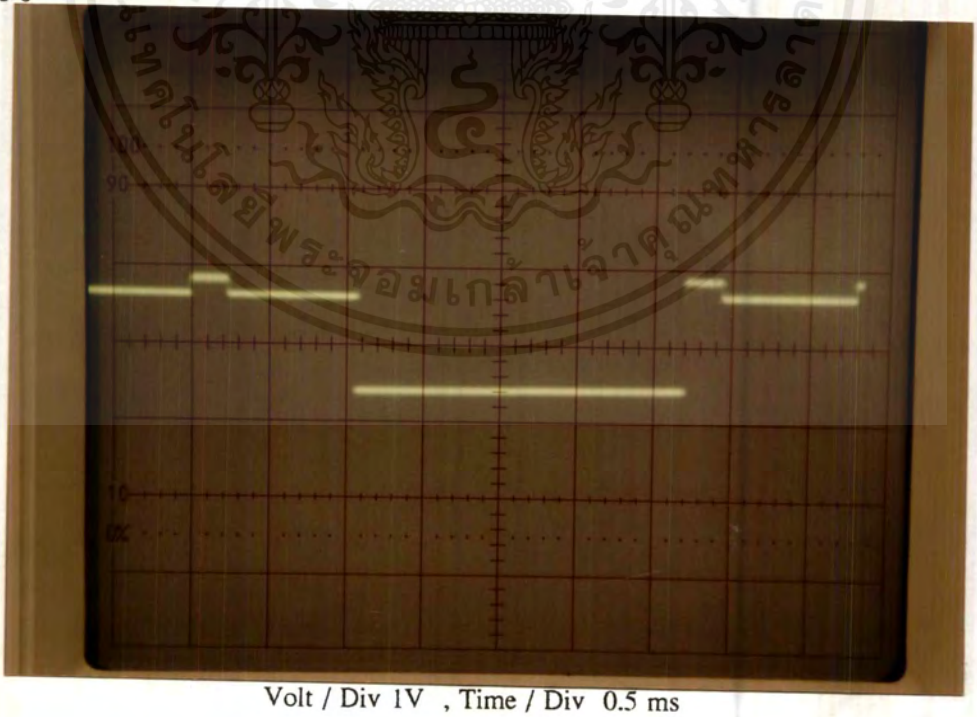
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณ Function



Volt / Div 1 V , Time / Div 0.2 ms

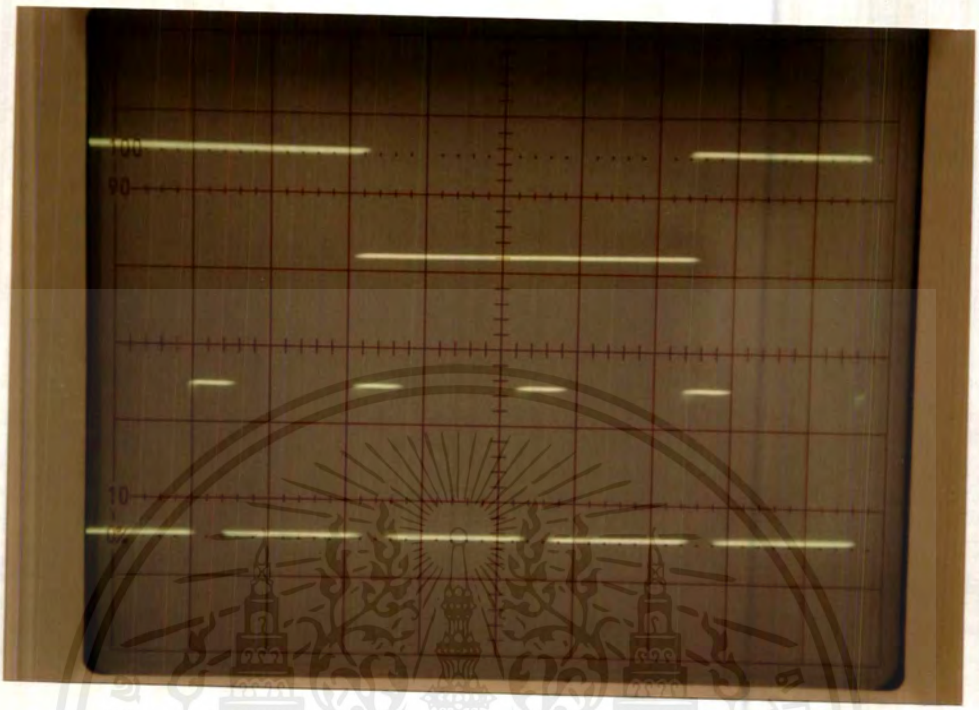
รูปสัญญาณที่ขา 9



Volt / Div 1V , Time / Div 0.5 ms

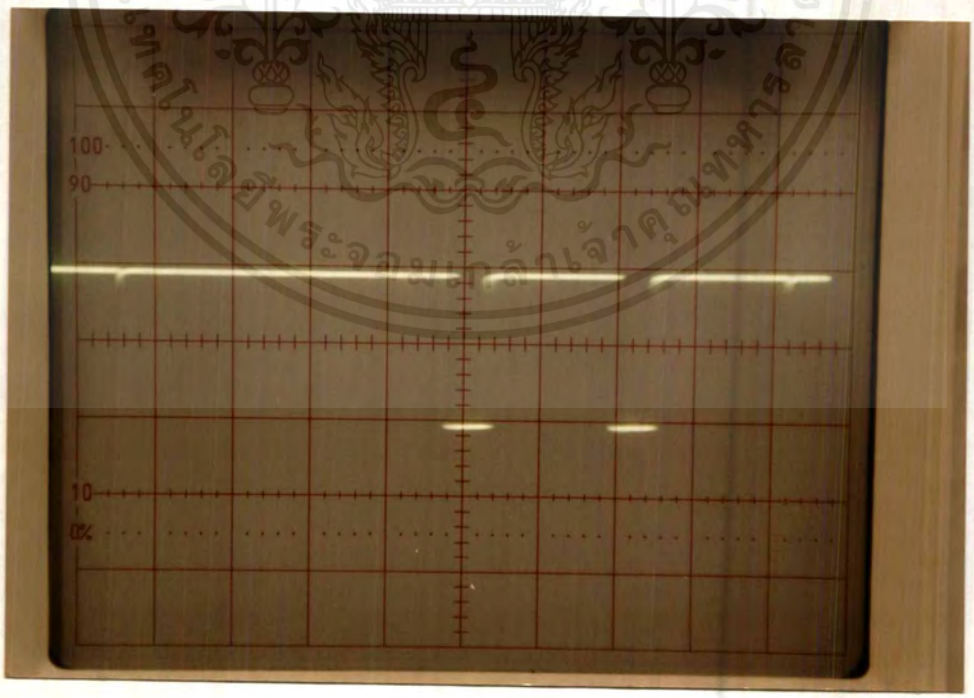
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณที่ขา 1 และ ขา 2 ของ U2



Volt / Div 1V , Time / Div 0.5 ms

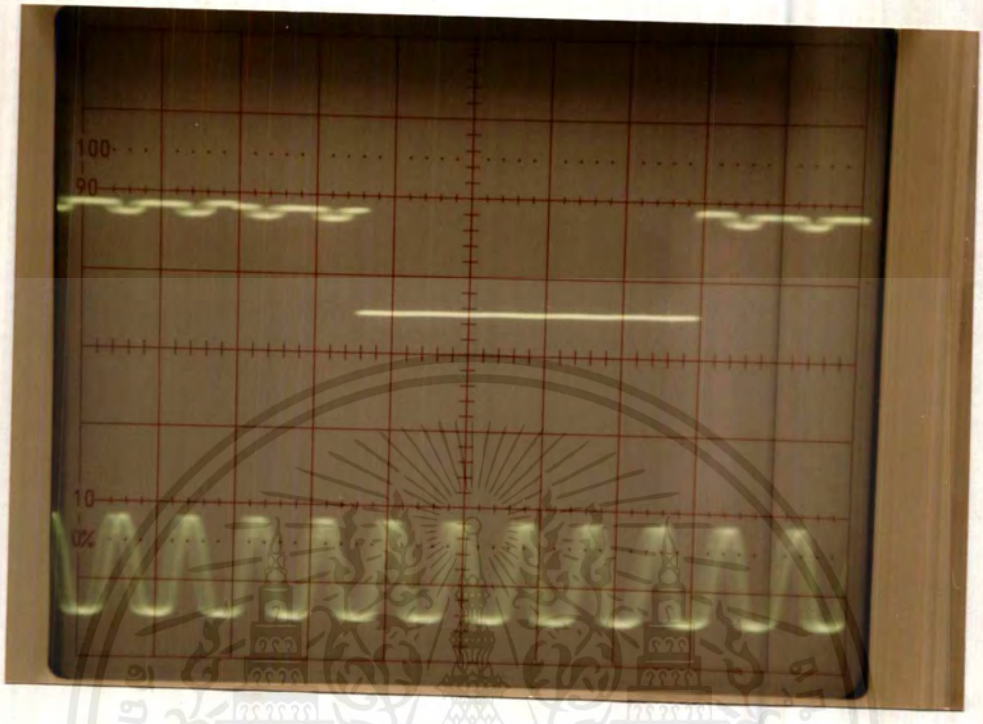
รูปสัญญาณของขา 3 U2



Volt / Div 1V , Time / Div 0.5 ms

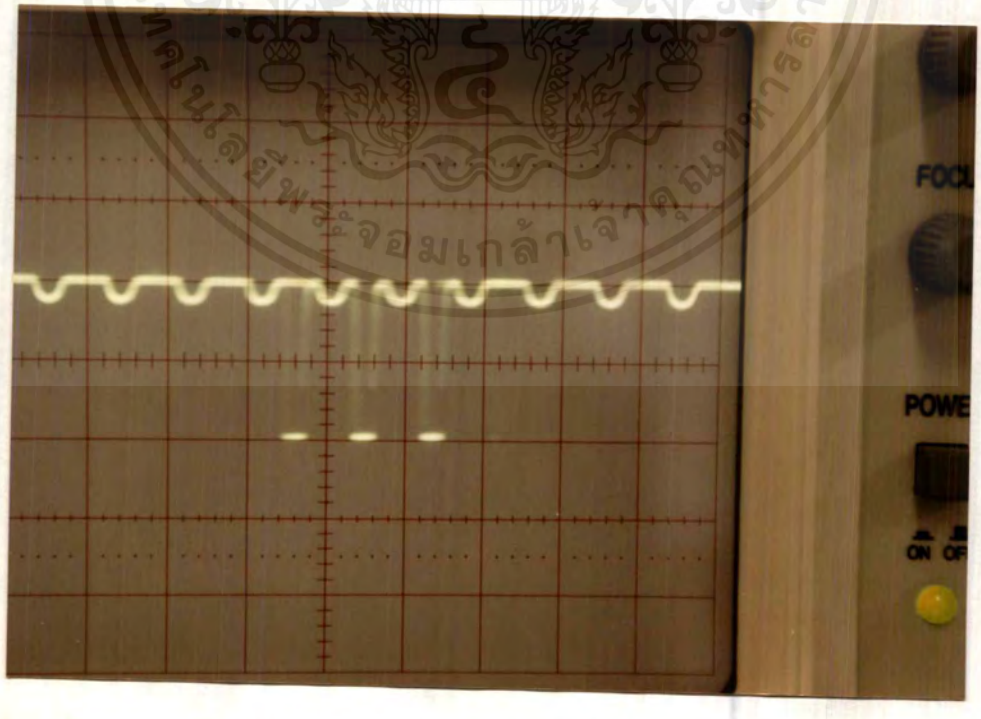
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณของขา 4 , 5 U2



Volt / Div 1V , Time / Div 0.5 ms

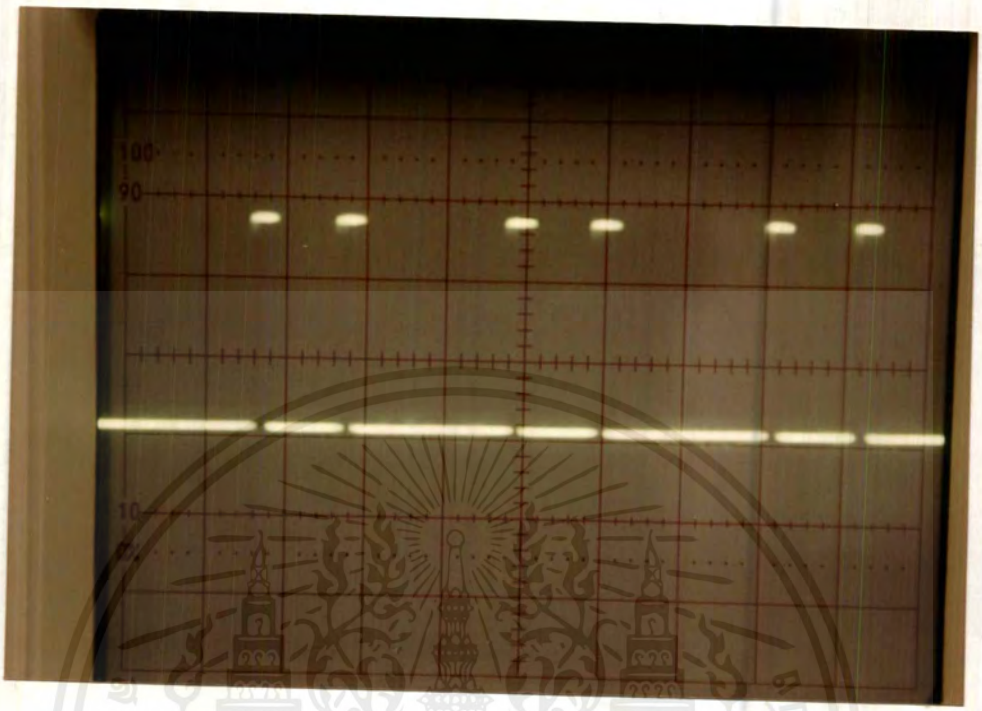
รูปสัญญาณของขา 6 U2



Volt / Div 1V , Time / Div 0.5 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณของขา Base ของ Q1



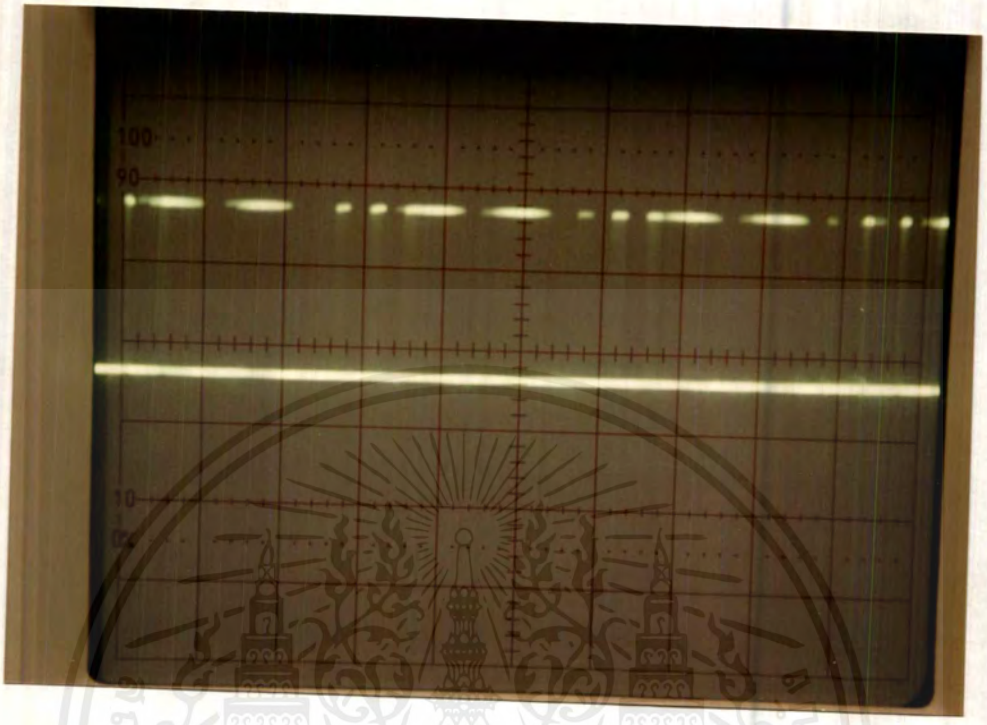
Volt / Div 1V , Time / Div 0.5 ms

รูปสัญญาณของขา Base ของ Q2

Volt / Div 1V , Time / Div 0.5 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณของขา Emiter ของ Q2



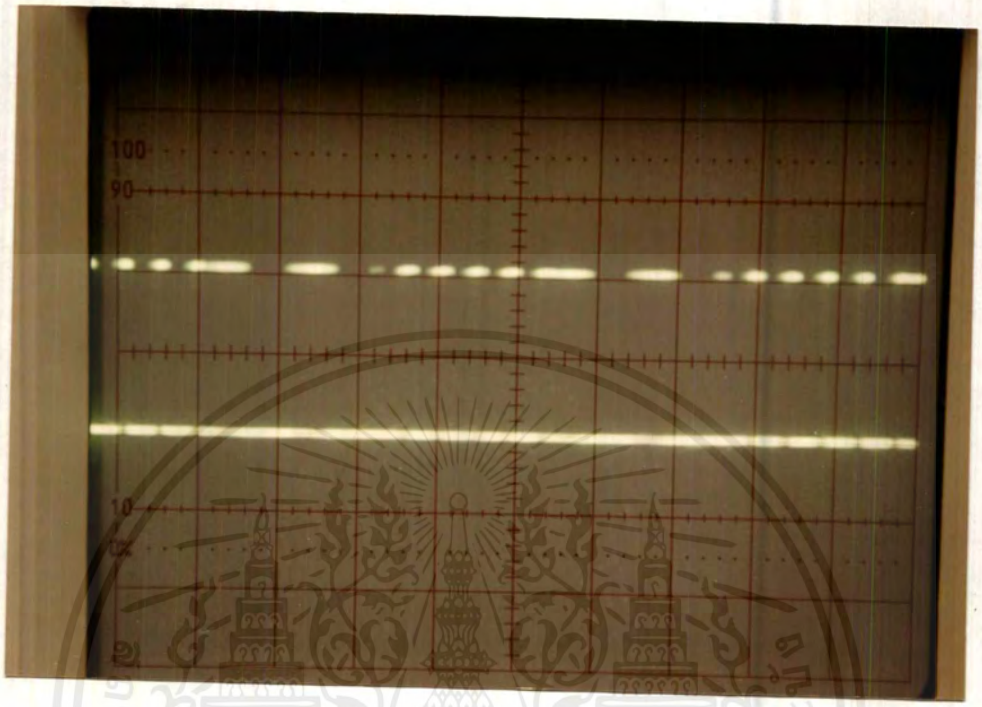
Volt / Div 1V, Time / Div 0.5 ms

รูปสัญญาณของขา 12, 13 ของ U2

Volt / Div 1V , Time / Div 0.5 ms

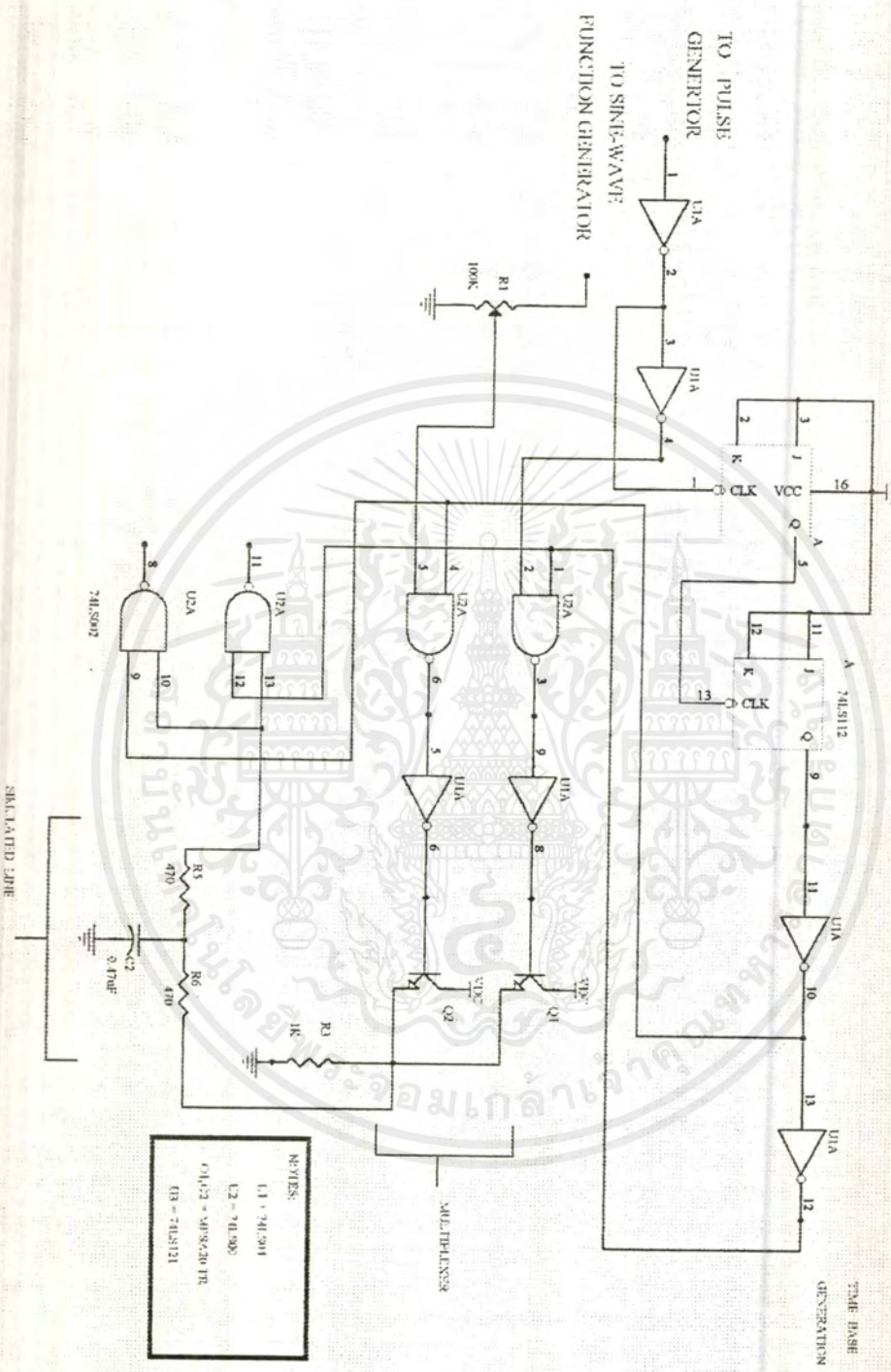
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณของขา 11 ของ U2

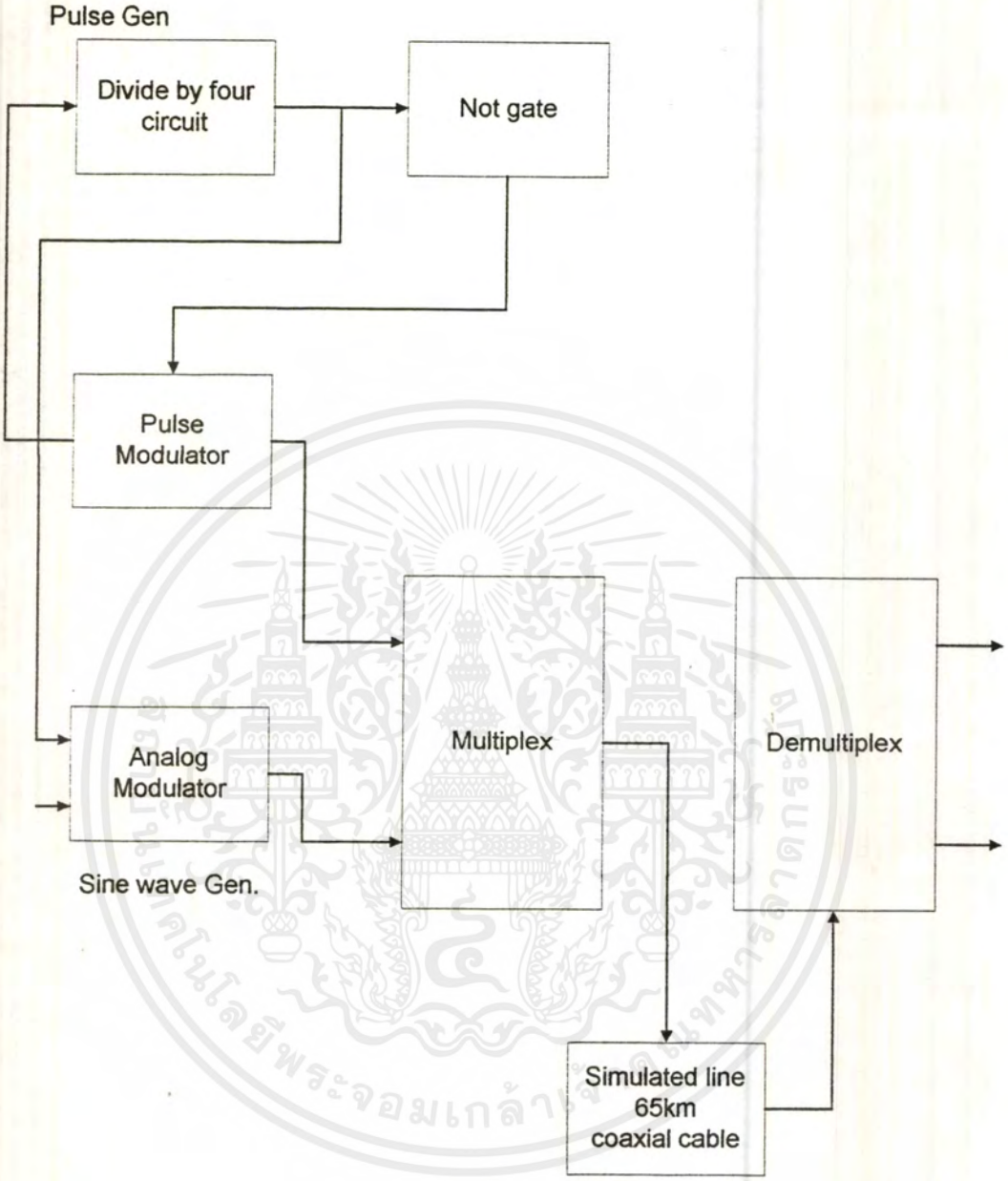


Volt / Div 1V , Time / Div 0.5 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

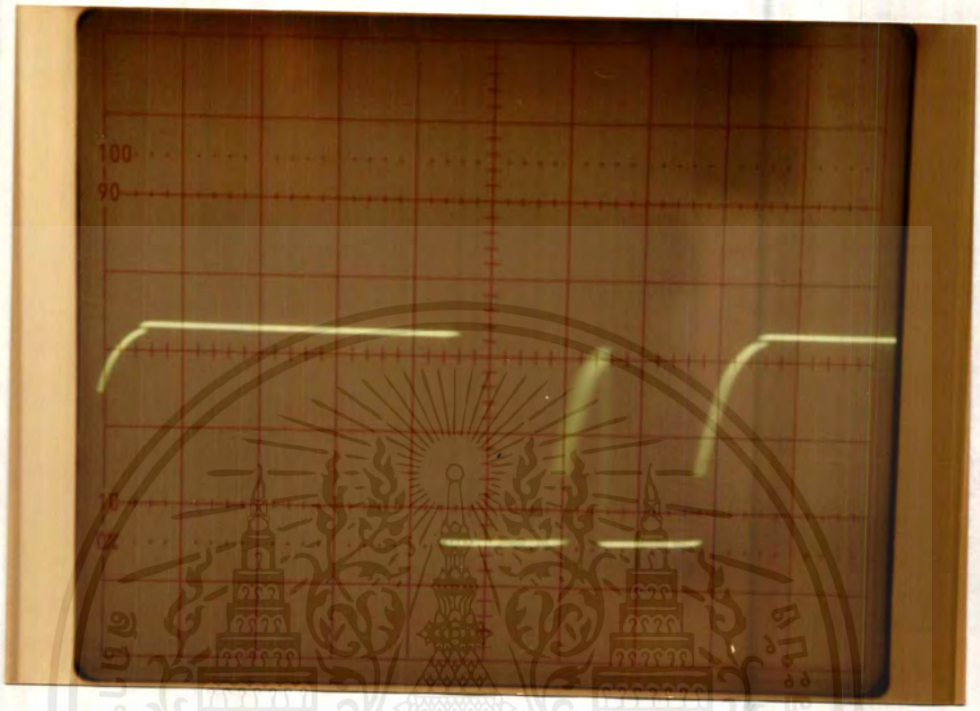


Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่ 2 เมื่อมีการ SIMMULATED LINE

รูปสัญญาณของ 11 ของ U2



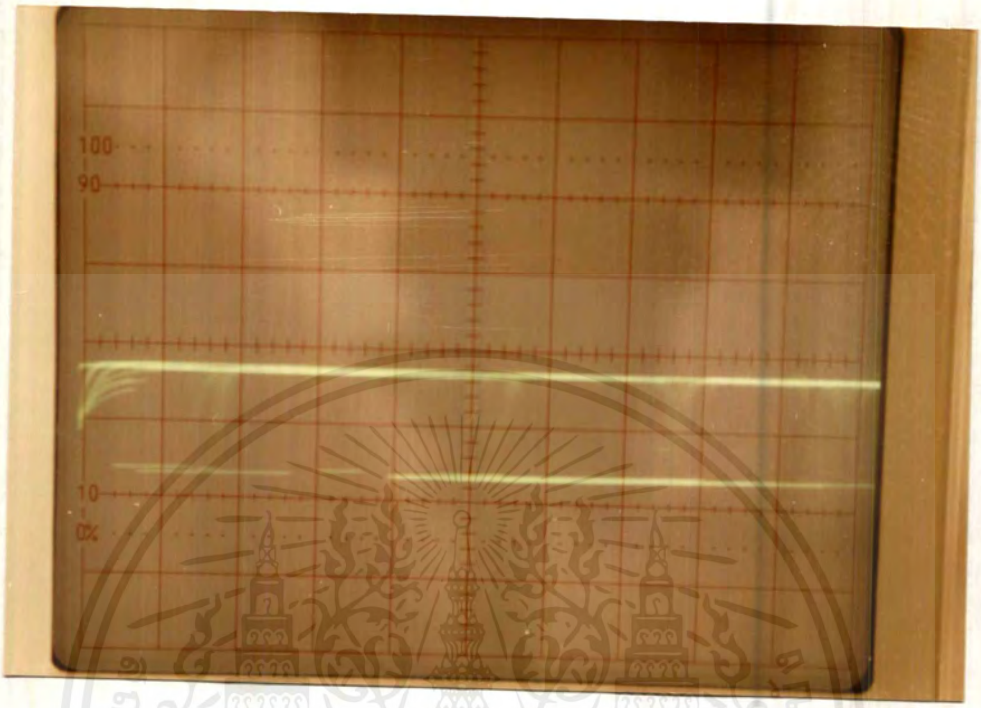
Volt / Div 0.5 V , Time / Div 0.5 ms

รูปสัญญาณของขา 8

Volt / Div 0.5 V , Time / Div 0.5 ms

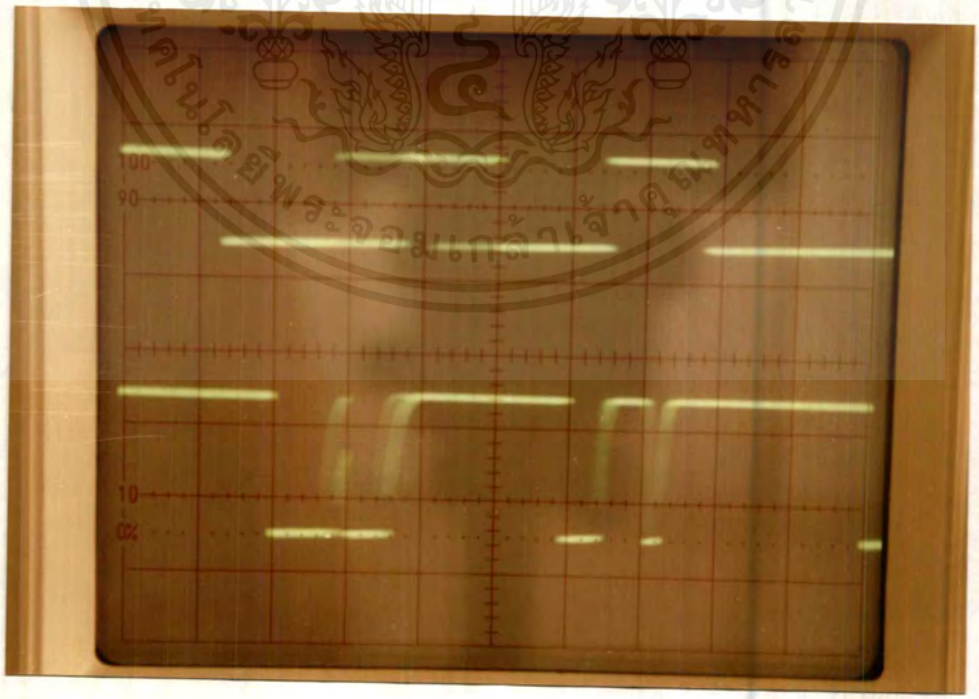
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณของขา 8 ของ U1



Volt / Div 0.5 V , Time / Div 0.5 ms

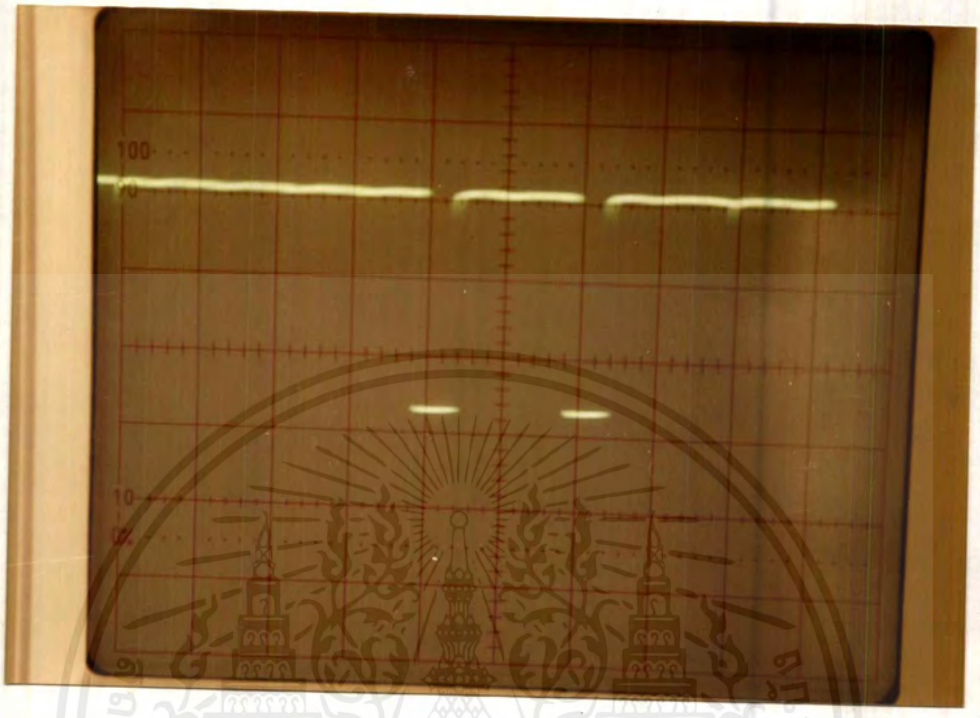
รูปสัญญาณของขา 11 ของ U2



Volt / Div 0.5 V , Time / Div 0.5 ms

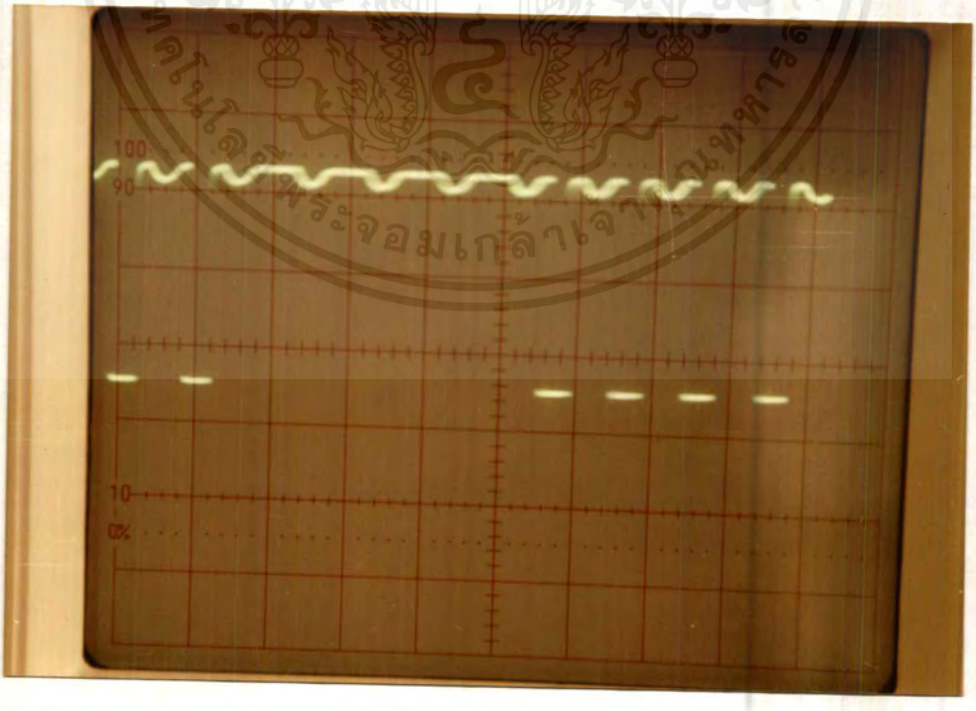
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณของขา 6 ของ U2



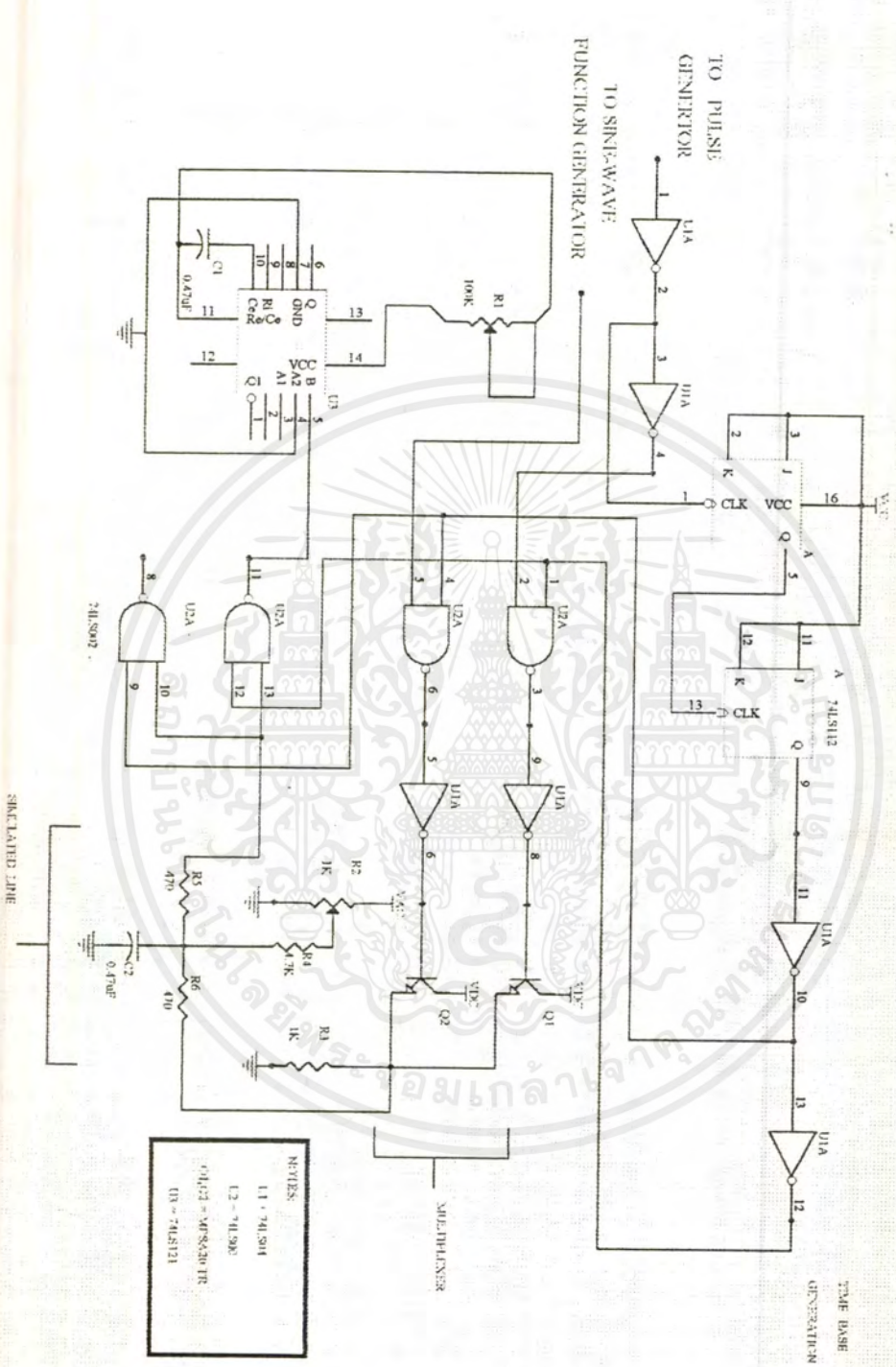
Volt / Div 0.5 V ,Time / Div 0.5 ms

รูปสัญญาณของขา 8 ของ U2

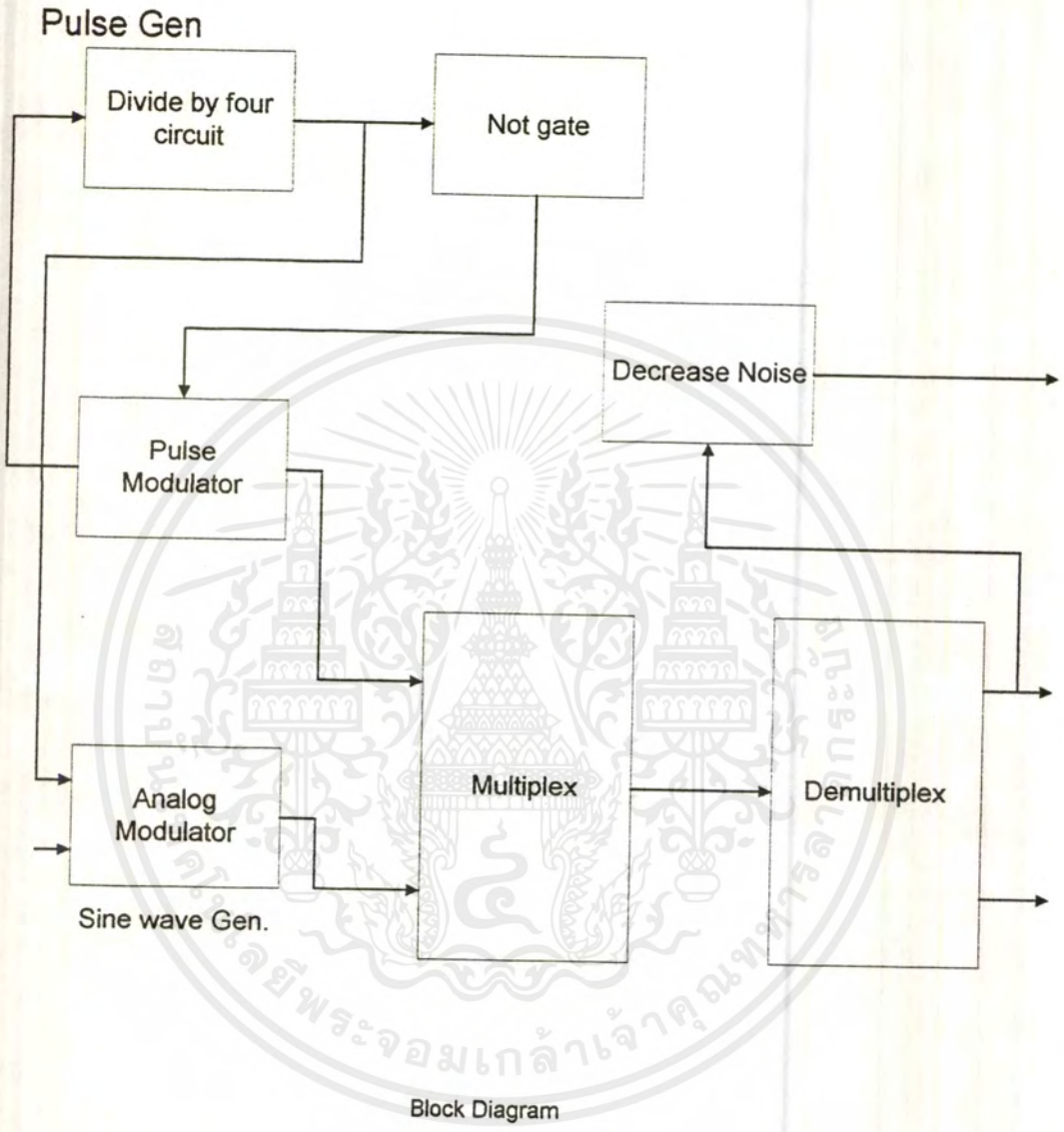


Volt / Div 0.5 V , Time / Div 0.5 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

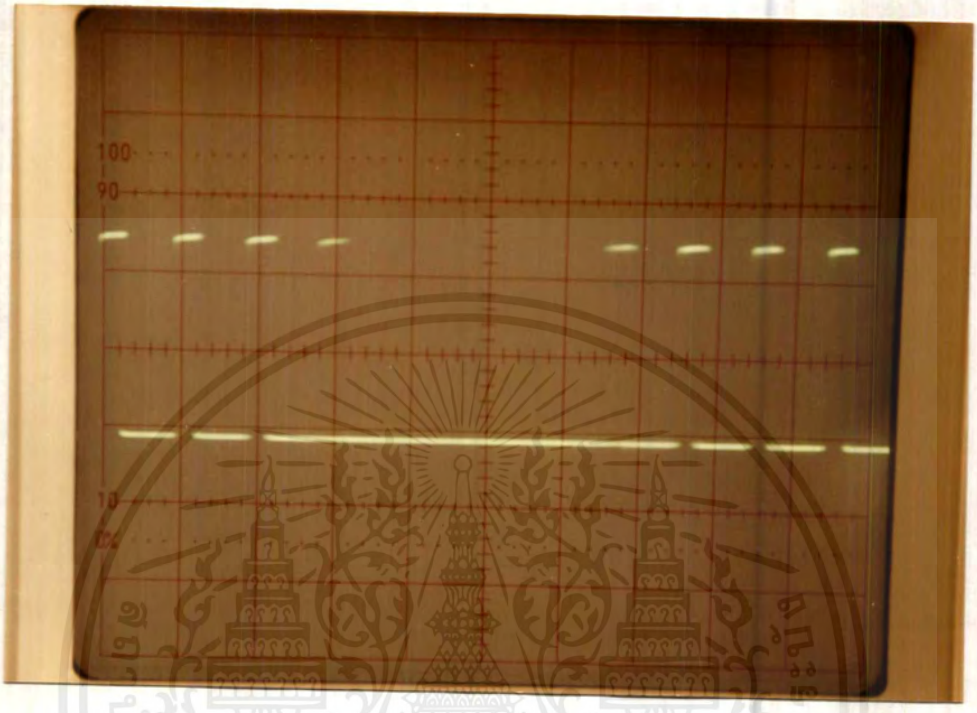


Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

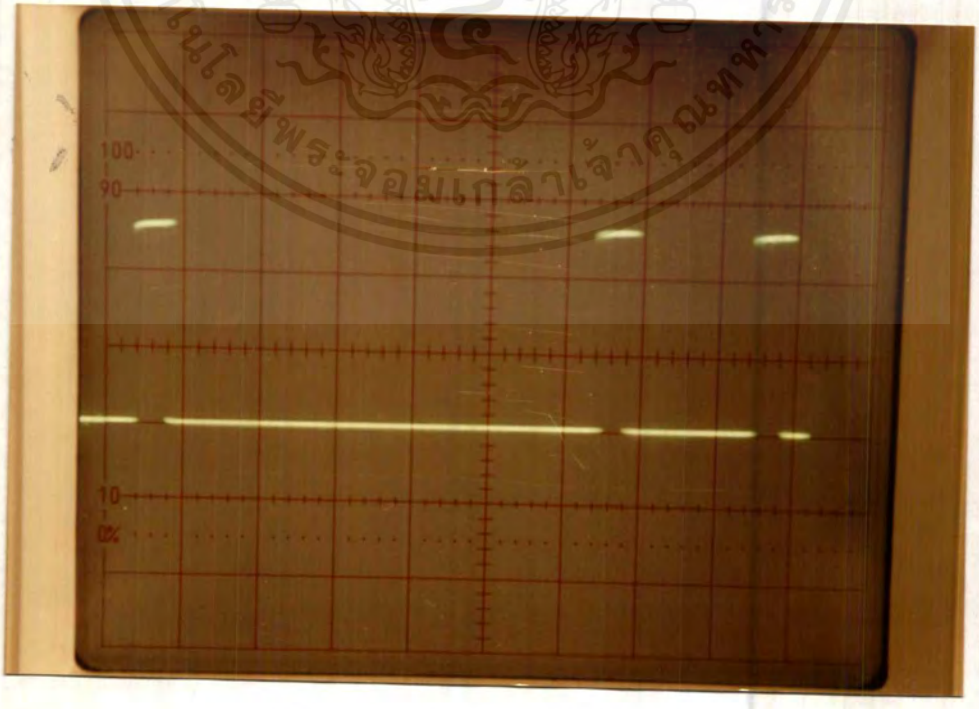
ส่วนที่3 ขณะที่มีการแก้สัญญาณผิดเพี้ยน

รูปสัญญาณของขา 11 ของ U2



Volt / Div 1V , Time / Div 1ms

รูปสัญญาณของขา 6 ของ 74121



Volt / Div 1 V , Time / Div 1ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลองและวิจารณ์ในวงจรที่ 2

ในการทดลองวงจรที่ 2 นี้ประกอบด้วยหลายส่วนด้วยกันได้แก่ส่วนของการ modulate การ sammpling การมัลติเพล็ก การดีมัลติเพล็ก การเกิดสัญญาณรบกวนและการแก้สัญญาณรบกวน ซึ่งเราจะแบ่งวงจรออกเป็น 3 วงจรดังรูป วงจรแรกเป็นวงจรที่ทำการป้อนสัญญาณพัลซ์เข้าไป ผ่าน not gate เพื่อนำไปสร้างข้อมูลโดยใช้ไอซี flipflop เป็นแบบ jk โดยต่อเป็น t flipflop 2 ตัว จะได้วงจรหารความถี่ 4 เท่า หลังจากนั้นก็นำสัญญาณข้อมูลที่ได้ไปทำการ modulate โดยอาศัย nand gate ตัวแรก ส่วน nand gate ตัวที่ 2 เป็นอนาล็อกมอดโดยการป้อนสัญญาณ sine wave (ในแผงทดลองให้โยกสวิทซ์ตรงค่าความต้านทานปรับค่าได้บริเวณด้านบนไปทางซ้ายมือและโยกสวิทซ์บริเวณตรงกลางของค่าความต้านทานปรับค่าได้ไปทางด้านบน) เข้าไปมอดกับสัญญาณข้อมูล ก็จะได้สัญญาณ 2 สัญญาณ คือ สัญญาณที่ได้จากพัลซ์มอดและสัญญาณที่ได้จากอนาล็อกมอด จากนั้นก็นำสัญญาณทั้งสองมาทำการ sammpling โดย ทรานซิสเตอร์ทั้งสองแล้วก็ทำการมัลติเพล็กแล้วส่งไปตามสายธรรมดา (โยกสวิทซ์ทั้ง 2 ลงด้านล่าง) จากนั้นก็ทำการดีมัลติเพล็กสัญญาณทั้งสองออกมาโดยอาศัย nand gate ทั้ง 2 ตามลำดับ

วงจรที่ 2 เป็นการส่งสัญญาณที่ถูกมัลติเพล็กผ่านสายโคเอ็กเชียล (โยกสวิทซ์ทั้ง 2 ขึ้นด้านบน) โดยนำค่าความต้านทานและค่าตัวเก็บประจุมาต่อกันเป็นแบบ ดีซีไลท์สมมุติให้สายยาว 10 ไม ์ จะพบว่าสัญญาณที่ดีมัลติเพล็กออกมาจะมีสัญญาณรบกวนอยู่ ถ้าหากเราเพิ่มขนาดของสายให้ยาวมากขึ้น

วงจรที่ 3 นำค่าความต้านทานปรับค่าได้มาต่อเพื่อเพิ่มขนาดของสาย (นำหม้อแปลงขนาด 15 Vac มาต่อและโยกสวิทซ์บริเวณค่าความต้านทานปรับค่าได้ทางด้านขวามือไปทางด้านซ้ายมือ) โดยการปรับค่าความต้านทานปรับค่าได้ จะพบว่าเกิดสัญญาณรบกวนมากขึ้นดังนั้นต้องอาศัยไอซี 74121 (โยกสวิทซ์ของค่าความต้านทานปรับค่าได้ทางด้านซ้ายมือบริเวณด้านบนไปทางขวามือ โยกสวิทซ์บริเวณตรงกลางของค่าความต้านทานปรับค่าได้ลงทางด้านล่าง โยกสวิทซ์บริเวณด้านล่างของค่าความต้านทานปรับค่าได้ไปทางด้านขวามือ โยกสวิทซ์ทางด้านซ้ายมือสุดลงทางด้านล่างและโยกสวิทซ์ที่ต่อระหว่างไอซีกับ nand gate ลงทางด้านล่าง)ทำหน้าที่เป็นวงจร schmittriger ซึ่งสามารถแก้ไขสัญญาณรบกวนได้ ดังนั้นจึงได้สัญญาณที่ทางด้านดีมัลติเพล็กเหมือนกับทางด้านมัลติเพล็ก จากการทดลองวงจรทั้ง 3 วงจรพบว่าถ้าหากปรับแอมปริจูดของสัญญาณไม่ได้จะไม่สามารถทำการทดลองได้เลยและเมื่อทำการทดลองเวลาวัดสัญญาณ สัญญาณที่วัดได้ไม่นิ่งเท่าไรนักต้องทำการปรับแต่งดี ๆ จึงจะได้สัญญาณที่คมชัดดังรูปที่ได้แสดงไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้มีความคืบหน้าเป็นอย่างมากก็ด้วยความร่วมมือและช่วยเหลือเป็นอย่างดีจากอาจารย์โดยเฉพาะอย่างยิ่ง รศ.ดร. กนก เจนจิระพงศ์เวชที่ได้ให้คำปรึกษาและคำแนะนำต่างๆที่มีประโยชน์อย่างยิ่งต่อการปฏิบัติงานให้สำเร็จลุล่วงไปได้ด้วยดีตลอดมา รวมไปถึงความสะดวกต่างๆในระหว่างปฏิบัติงาน ทำให้ลดอุปสรรคต่างๆที่เกิดขึ้นได้อย่างมาก และต้องขอขอบคุณและขออภัยทุกๆท่านที่ได้ให้ความช่วยเหลืออย่างมากซึ่งไม่สามารถกล่าวนามได้ทั้งหมด ทางคณะผู้จัดทำหวังว่าคงจะได้รับความอนุเคราะห์จากทุกท่านอีกในโอกาสต่อไป

คณะผู้จัดทำ

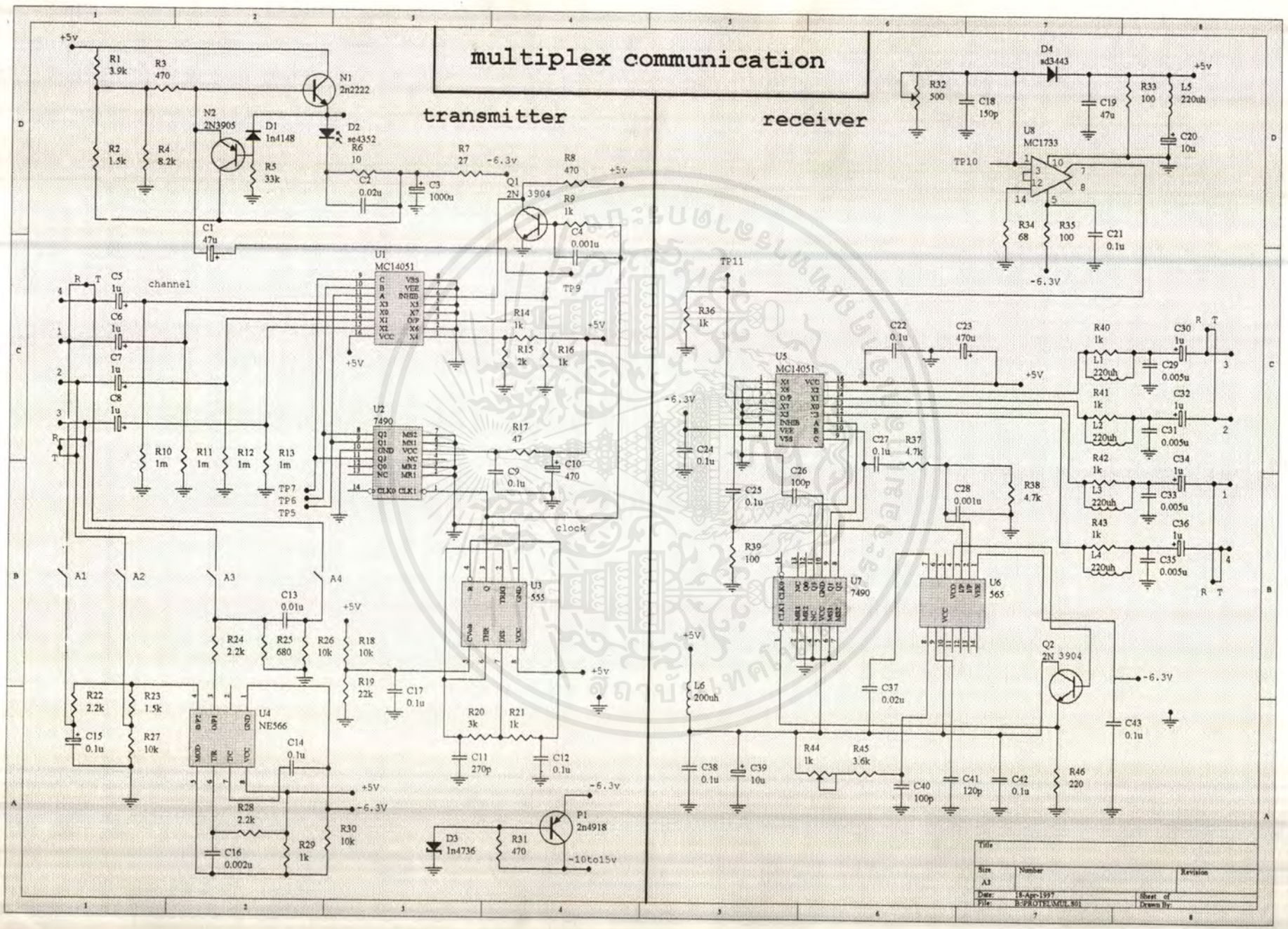
21/3/40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

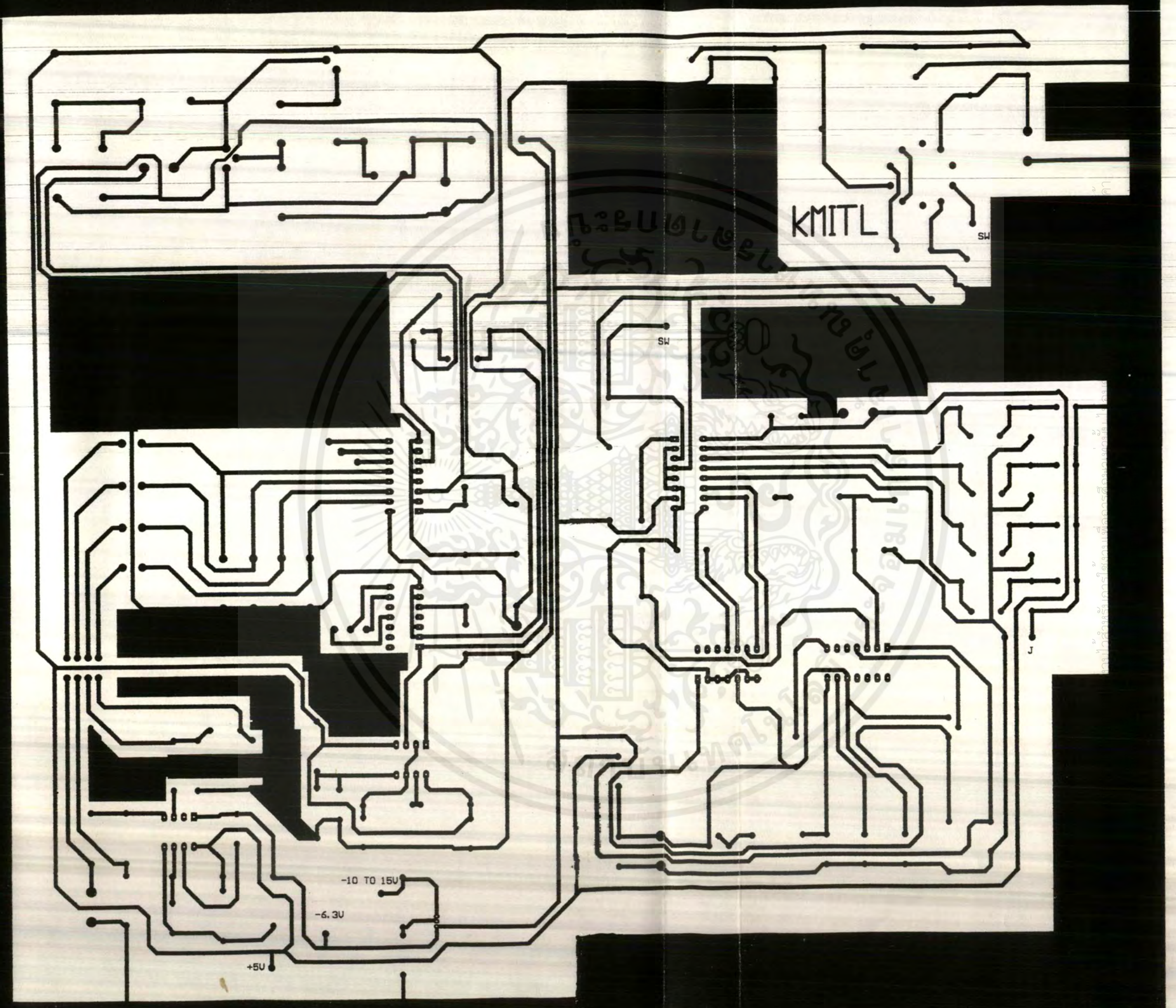
หนังสืออ้างอิง

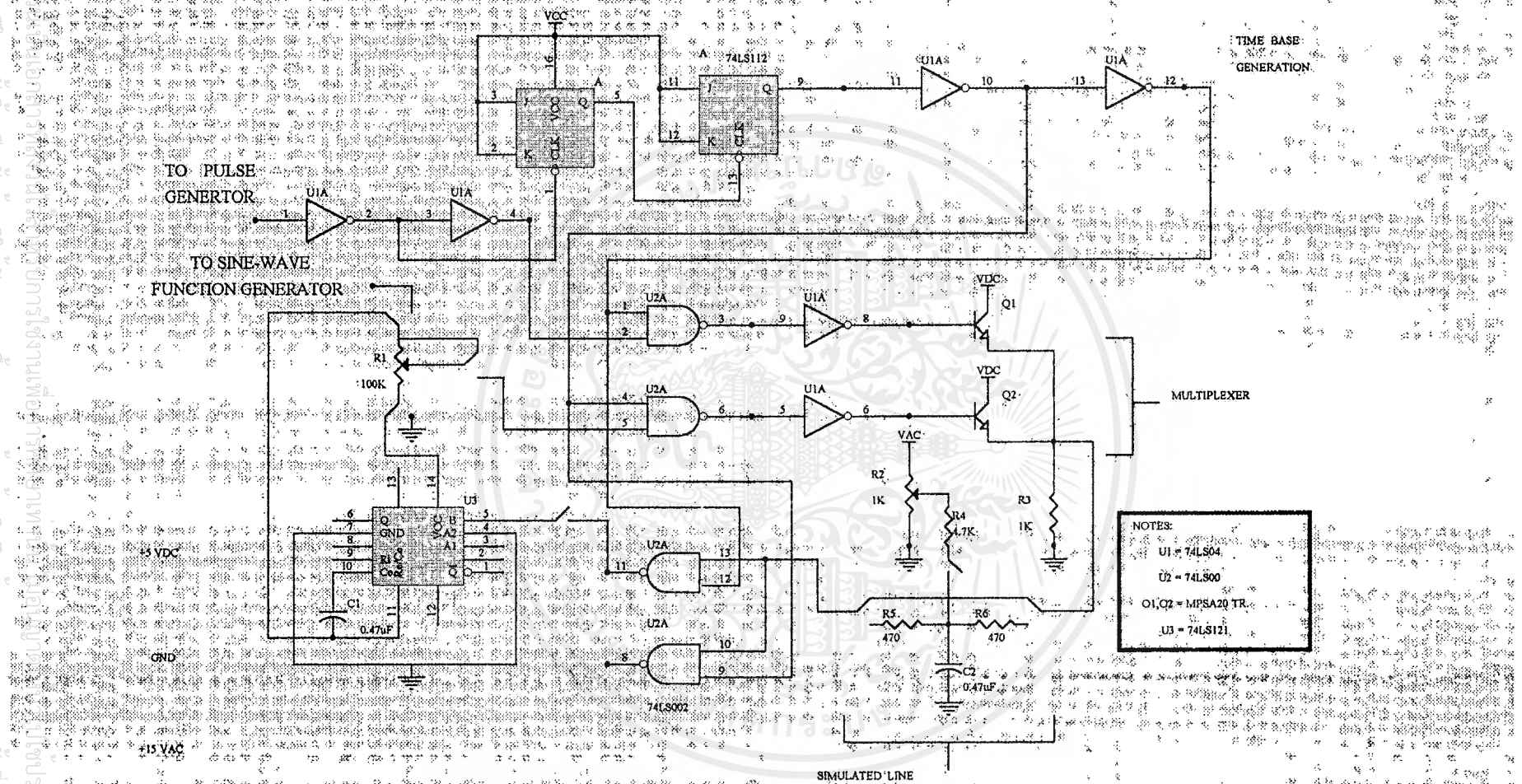
1. รศ. ถวิล กิ่งทอง , " เทคโนโลยีการส่งสัญญาณดิจิตอล " วศ. สจล.144
2. สุชาติ กังวารจิตต์ , " หลักการทำงาน เครื่องรับวิทยุ " ซีเอ็ด
3. Electronics Laboratory, " การทดลองเรื่อง PHASE LOOCKED LOOP "

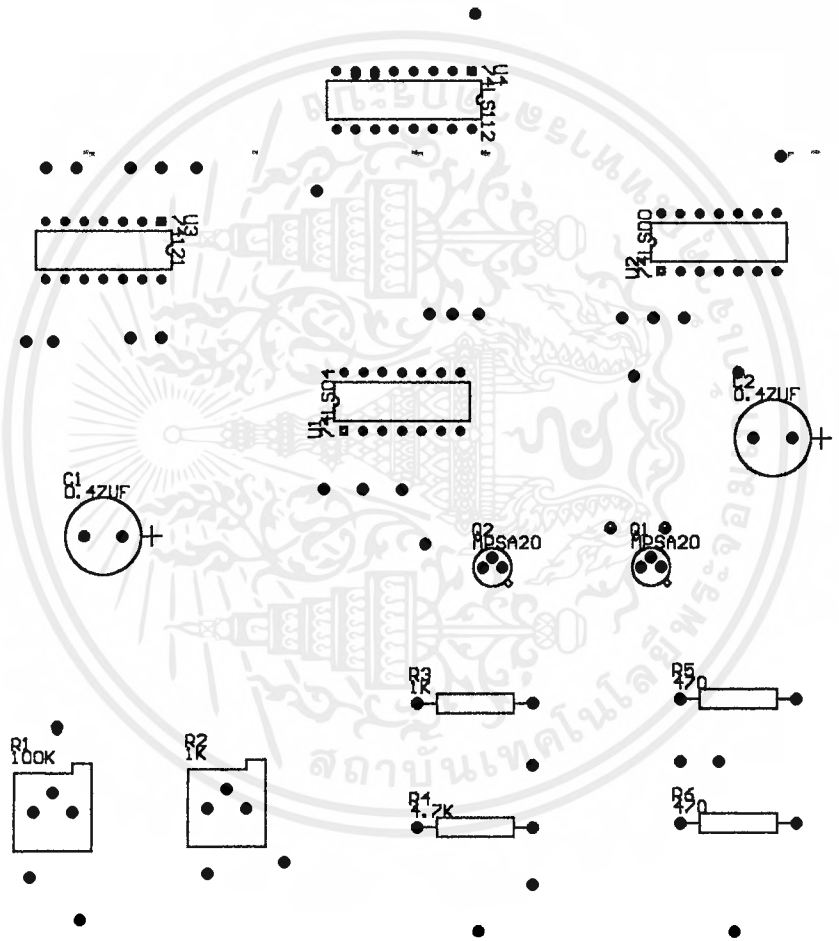
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



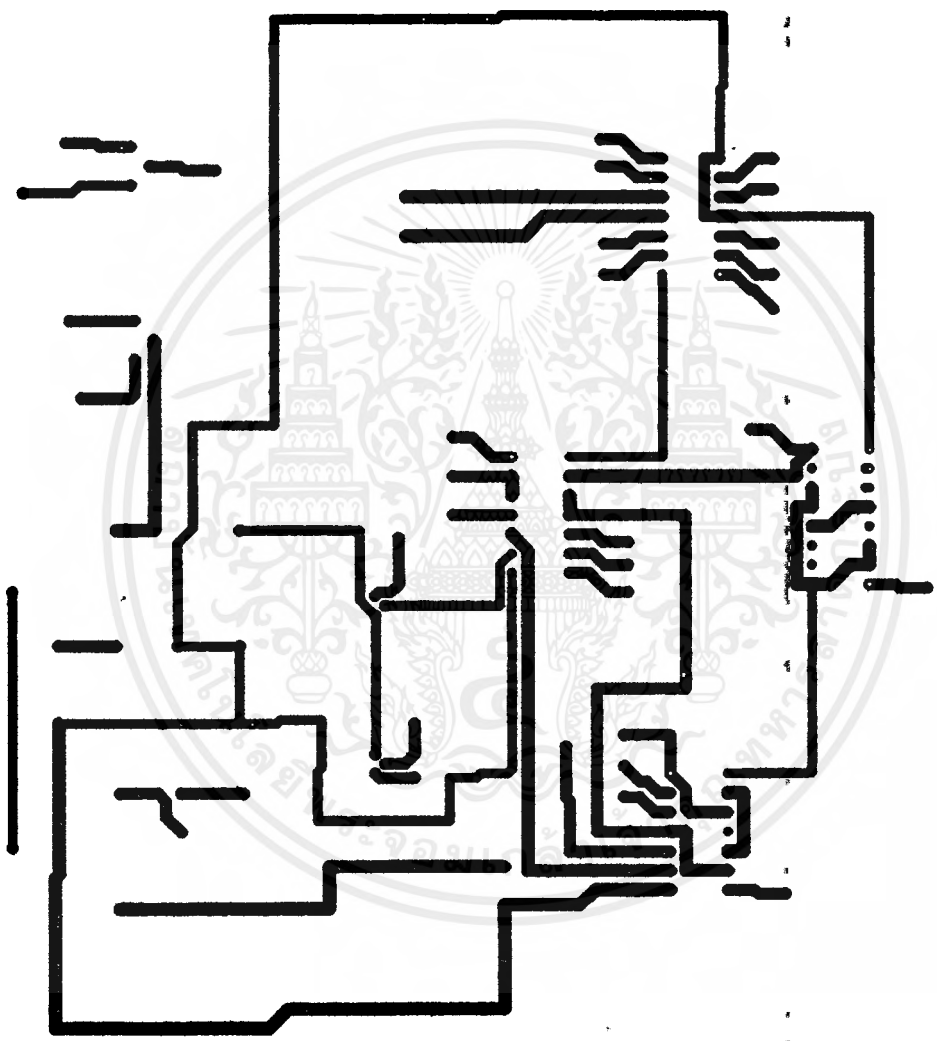
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


KMITL
SW
SW
J
-10 TO 15V
-6.3V
+5V

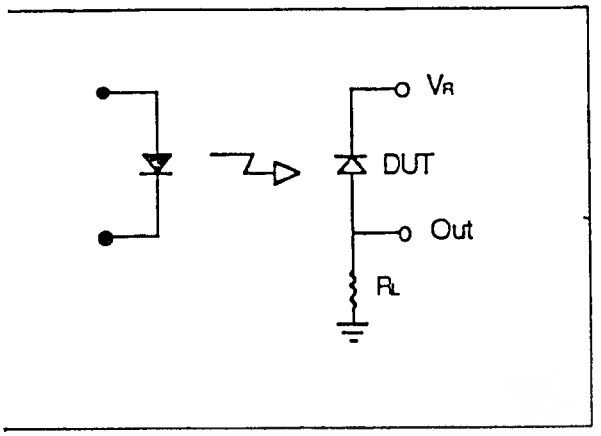

TIME BASE
GENERATION
TO PULSE
GENERTOR
TO SINE-WAVE
FUNCTION GENERATOR
MULTIPLEXER
SIMULATED LINE
+5 VDC
GND
+15 VAC
VCC
VDC
VAC
74LS112
74LS00
R1
100K
R2
1K
R3
1K
R4
4.7K
R5
470
R6
470
C1
0.47uF
C2
0.47uF
Q1
Q2
U1A
U2A
U3
NOTES:
U1 = 74LS04
U2 = 74LS00
Q1,Q2 = MPSA20 TR.
U3 = 74LS121



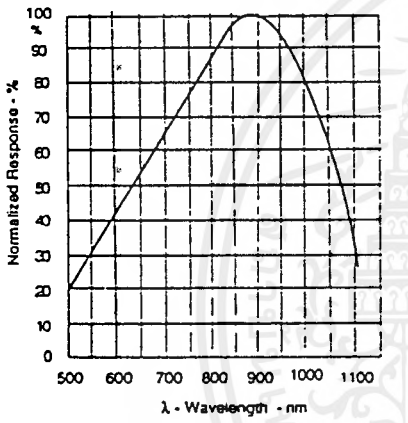
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



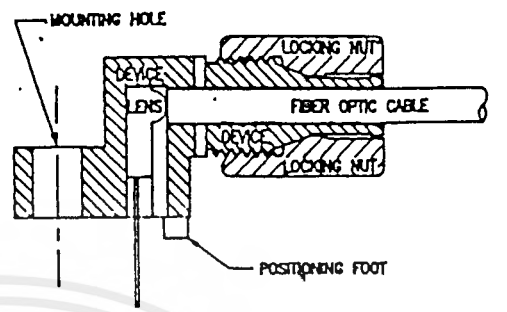
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



gure 1. Circuit diagram for measuring rise and fall times.



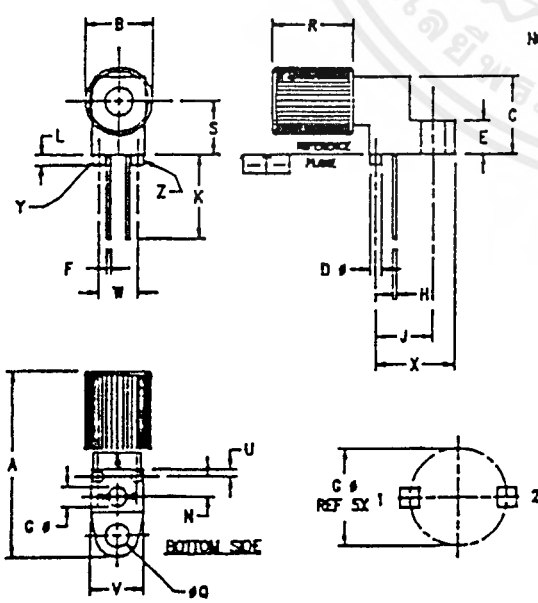
gure 2. Typical detector response versus wavelength.



Fiber termination instructions:

1. Cut off the ends of the cable with a single-edge razor blade or sharp knife. Try to obtain a precise 90-degree angle (square).
2. Insert the fiber through the locking nut and into the connector until the core tip seats against the internal micro-lens.
3. Screw the connector locking nut down to a snug fit, locking the fiber in place.

Figure 3. Cross-section of fiber optic device.



NOTES:
1. Y AND Z ARE DATUM DIMENSIONS AND T IS A DATUM SURFACE.
2. POSITIONAL TOLERANCE FOR D ø (2 PL): ⌖ | ø 0.25(0.010) Ⓜ | T | Y Ⓜ | Z Ⓜ
3. POSITIONAL TOLERANCE FOR F DIA (2 PL): ⌖ | 0.25(0.010) Ⓜ | T | Y Ⓜ | Z Ⓜ
4. POSITIONAL TOLERANCE FOR H DIA (2 PL): ⌖ | 0.25(0.010) Ⓜ | T | Y Ⓜ | Z Ⓜ
5. POSITIONAL TOLERANCE FOR Q ø: ⌖ | ø 0.25(0.010) Ⓜ | T | Y Ⓜ | Z Ⓜ
6. POSITIONAL TOLERANCE FOR B: ⌖ | ø 0.25(0.010) Ⓜ | T
7. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
8. CONTROLLING DIMENSION: INCH

STYLE 1:
PIN 1. ANODE
PIN 2. CATHODE

DIM	MILLIMETERS MIN	MAX	INCHES MIN	MAX
A	23.24	25.27	.915	.995
B	8.64	9.14	.340	.360
C	9.91	10.41	.390	.410
D	1.52	1.63	.060	.064
E	4.19	4.70	.165	.185
F	0.43	0.58	.017	.023
G	2.54 BSC		.100 BSC	
H	0.43	0.58	.017	.023
J	7.62 BSC		.300 BSC	
K	10.35	11.87	.408	.468
L	1.14	1.65	.045	.065
N	2.54 BSC		.100 BSC	
Q	.305	3.30	.120	.130
R	10.48	10.99	.413	.433
S	6.98 BSC		.275 BSC	
U	0.83	1.06	.032	.042
V	6.86	7.11	.270	.280
W	5.08 BSC		.200 BSC	
X	10.10	10.68	.397	.427

Figure 4. Case outline.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14051B
MC14052B
MC14053B

ANALOG MULTIPLEXERS/DEMULTIPLEXERS

The MC14051B, MC14052B, and MC14053B, analog multiplexers are digitally controlled analog switches. The MC14051B effectively implements an SP8T electronic switch, the MC14052B a 2P4T, and the MC14053B a triple SPDT. All three devices feature low ON impedance and very low OFF leakage current. Control of analog signals up to the complete supply voltage range can be achieved.

- High On-Off Output Voltage Ratio – 65 dB typical
- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- Low Crosstalk Between Switches – 80 dB typical
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Transmits Frequencies Up to 65 MHz
- Linearized Transfer Characteristics, R_{ON} <60 Ω for V_{in} = V_{DD} to V_{EE} @ 15 Vdc
- Low Noise – 12 nV/√Cycle, f ≥ 1 kHz typical
- Pin for Pin Replacement for CD4051, CD4052, and CD4053

CMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

ANALOG MULTIPLEXERS/ DEMULTIPLEXERS

CASE 620
L SUFFIX
CERAMIC PACKAGE

CASE 648
P SUFFIX
PLASTIC PACKAGE

ORDERING INFORMATION

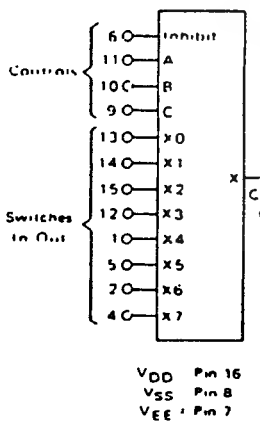
MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}-V_{EE}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
Through Current	I	25	mAdc
Operating Temperature Range AL Device	T_A	-55 to +125	°C
CL, CP Device		-40 to +85	
Storage Temperature Range	T_{stg}	-65 to +150	°C

MC14051B

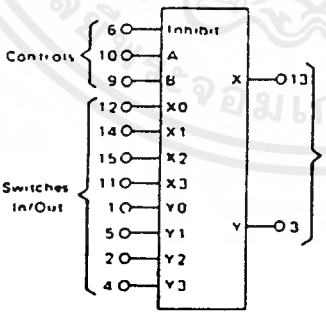
8-Channel Analog Multiplexer/Demultiplexer



V_{DD} Pin 16
V_{SS} Pin 8
V_{EE} Pin 7

MC14052B

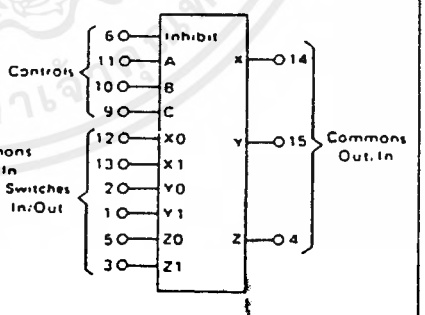
Dual 4-Channel Analog Multiplexer/Demultiplexer



V_{DD} Pin 16
V_{SS} Pin 8
V_{EE} Pin 7

MC14053B

Triple 2-Channel Analog Multiplexer/Demultiplexer



V_{DD} Pin 16
V_{SS} Pin 8
V_{EE} Pin 7

Note: Control inputs referenced to V_{SS}. Analog Inputs and Outputs reference to V_{EE}. V_{EE} must be ≥ V_{SS}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

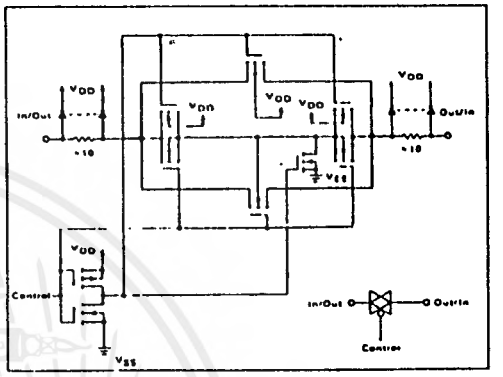
MC14051B thru MC14053B

ELECTRICAL CHARACTERISTICS

Characteristic		Symbol	V_{DD} - V_{EE} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level		V_{OL}	5.0	-	0.05		0	0.05	-	0.05	Vdc
V_{in} = V_{DD} or V_{SS}			10	-	0.05	-	0	0.05	-	0.05	
V_{SS} = V_{EE}			15	-	0.05		0	0.05		0.05	
"1" Level		V_{OH}	5.0	4.95		4.95	5.0	-	4.95	-	Vdc
V_{in} = 0 or V_{DD}			10	9.95	-	9.95	10	-	9.95	-	
			15	14.95	-	14.95	15	-	14.95	-	
Input Voltage* "0" Level		V_{IL}	5.0		1.5		2.25	1.5		1.5	Vdc
(V_O = 4.5 or 0.5 Vdc)			10	-	3.0	-	4.50	3.0	-	3.0	
(V_O = 9.0 or 1.0 Vdc)			15		4.0	-	6.75	4.0	-	4.0	
(V_O = 13.5 or 1.5 Vdc)											
"1" Level		V_{IH}	5.0	3.5		3.5	2.75	-	3.5		Vdc
(V_O = 0.5 or 4.5 Vdc)			10	7.0	-	7.0	5.50	-	7.0	-	
(V_O = 1.0 or 9.0 Vdc)			15	11.25	-	11.0	8.25	-	11.0	-	
(V_O = 1.5 or 13.5 Vdc)											
Input Current (Control, Inhibit)		I_{in}		-	-	-	10	-	-	-	µAdc
Input Capacitance		C_{in}									pF
(V_{in} = 0)											
Control, Inhibit							5.0	-	-	-	
Switch Inputs				-	-	-	10	-	-	-	
Output Capacitance	MC14051B	C_{out}	10				60	-	-	-	pF
	MC14052B		10	-			32	-	-	-	
	MC14053B		10	-	-		17	-	-		
Feedthrough Capacitance	MC14051B	$C_{in\ out}$	10	-		-	0.18	-	-	-	pF
	MC14052B		10	-		-	0.12	-	-	-	
	MC14053B		10	-	-	-	0.10	-	-	-	
Quiescent Current (AL Device)		I_{DD}	5.0	-	5.0	-	0.005	5.0	-	150	µAdc
(Per Package)			10	-	10	-	0.010	10	-	300	
			15	-	20	-	0.015	20	-	600	
Quiescent Current (CL/CP Device)		I_{DD}	5.0	-	20	-	0.005	20	-	150	µAdc
(Per Package)			10	-	40	-	0.010	40	-	300	
			15	-	80	-	0.015	80	-	600	
Total Supply Current**‡		I_T	5.0			I_T = (0.07 µA/kHz) f + I_Q					µAdc
(Dynamic plus Quiescent,			10			I_T = (0.20 µA/kHz) f + I_Q					
Per Package)			15			I_T = (0.36 µA/kHz) f + I_Q					
ON Resistance (AL Device)		R_{ON}	5.0	-	880	-	250	1050	-	1200	Ω
			10	-	400	-	120	500	-	650	
			15	-	220	-	80	280	-	320	
ON Resistance (CL/CP Device)		R_{ON}	5.0	-	880	-	250	1050	-	1200	Ω
			10	-	450	-	120	500	-	820	
			15	-	250	-	80	280	-	300	
Δ ON Resistance Between Any		ΔR_{ON}	5.0	-	-	-	25	-	-	-	Ω
Two Channels			10	-	-	-	10	-	-	-	
			15	-	-	-	8.0	-	-	-	
OFF Channel Leakage Current		-									nAdc
Any Channel			15	-	100	-	±0.01	100	-	1000	
(AL Device) All Channels OFF											
	MC14051B		15	-	100	-	±0.08	100	-	1000	
	MC14052B		15	-	100	-	±0.04	100	-	1000	
	MC14053B		15	-	100	-	±0.02	100	-	1000	
OFF Channel Leakage Current		-									nAdc
Any Channel			15	-	1000	-	±0.01	1000	-	3000	
(CL/CP Device)											
All Channels OFF.	MC14051B		15	-	1000	-	±0.08	1000	-	3000	
	MC14052B		15	-	1000	-	±0.04	1000	-	3000	
	MC14053B		15	-	1000	-	±0.02	1000	-	3000	

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.
†Noise immunity is defined as the control input voltage coincident with the specified change, ΔV_{out}, at an output in the OFF state.
**The formulas given are for the typical characteristics only at 25°C.
‡Total Supply Current, I_T, is the current drawn at device terminals V_{DD} and V_{SS} for total current through the device. The channel component, $(V_{in} - V_{out})/R_{ON}$, should not be included.

FIGURE 1 – SWITCH CIRCUIT SCHEMATIC



TRUTH TABLE

Control Inputs				ON Switches					
	Select								
Inhibit	C*	B	A	MC14051B	MC14052B	MC14053B			
0	0	0	0	X0	Y0	X0	Z0	Y0	X0
0	0	0	1	X1	Y1	X1	Z0	Y0	X1
0	0	1	0	X2	Y2	X2	Z0	Y1	X0
0	0	1	1	X3	Y3	X3	Z0	Y1	X1
0	1	0	0	X4			Z1	Y0	X0
0	1	0	1	X5			Z1	Y0	X1
0	1	1	0	X6			Z1	Y1	X0
0	1	1	1	X7			Z1	Y1	X1
1	x	x	x	None	None		None		

*Not applicable for MC14052
x = Don't Care

FIGURE 2 – MC14051B FUNCTIONAL DIAGRAM

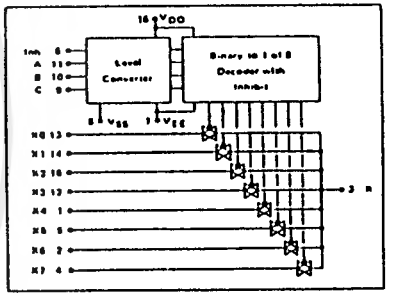


FIGURE 3 – MC14052B FUNCTIONAL DIAGRAM

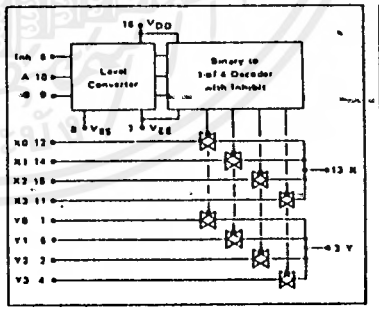
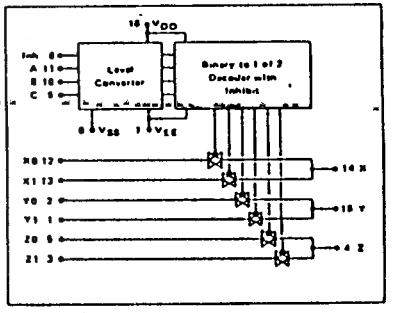


FIGURE 4 – MC14053B FUNCTIONAL DIAGRAM



COUNTERS

54/7490, LS90

Decade Counter

DESCRIPTION

The '90 is a 4-bit, ripple-type Decade Counter. The device consists of four master-slave flip-flops internally connected to provide a divide-by-two section and a divide-by-five section. Each section has a separate Clock input to initiate state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes.

A gated AND asynchronous Master Reset ($MR_1 \cdot MR_2$) is provided which overrides both clocks and resets (clears) all the flip-flops. Also provided is a gated AND asynchronous Master Set ($MS_1 \cdot MS_2$) which overrides the clocks and the MR inputs, setting the outputs to nine (HLLH).

Since the output from the divide-by-two section is not internally connected to the succeeding stages, the device may be operated in various counting modes. In a BCD (8421) counter the $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count producing a BCD count sequence. In a symmetrical Bi-quinary divide-by-ten counter the Q_3 output must be connected externally to the $\overline{CP}_0$ input. The input count is then applied to the CP_1 input and a divide-by-ten square wave is obtained at output Q_0. To operate as a divide-by-two and a divide-by-five counter no external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function ($\overline{CP}_0$ as the input and Q_0 as the output). The $\overline{CP}_1$ input is used to obtain a divide-by-five operation at the Q_3 output.

TYPE	TYPICAL f_{MAX}	TYPICAL SUPPLY CURRENT
7490	30MHz	30mA
74LS90	42MHz	9mA

ORDERING CODE

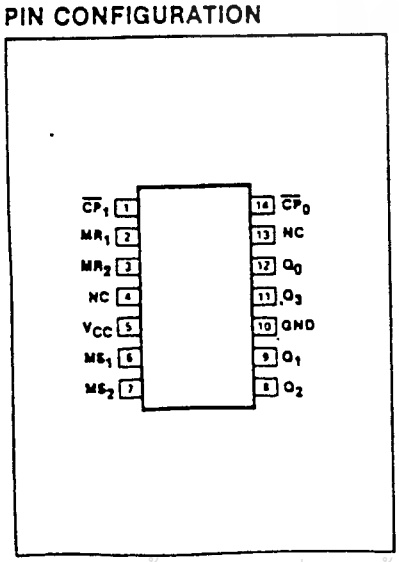
PACKAGES	COMMERCIAL RANGES V_{CC} = 5V ±5%; T_A = 0°C to +70°C	MILITARY RANGES V_{CC} = 5V ±10%; T_A = −65°C to +125°C
Plastic DIP	N7490N • N74LS90N	
Ceramic DIP		S54LS90F
Flatpack		S54LS90W

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

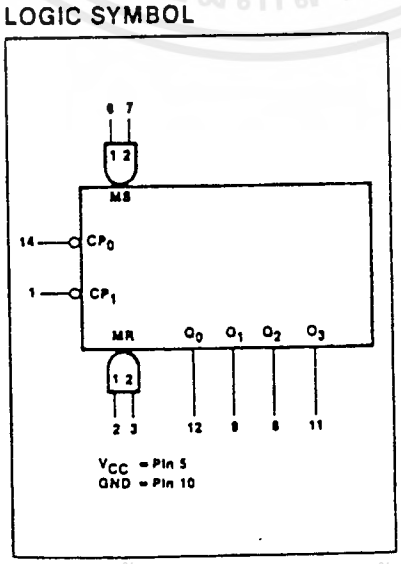
PINS	DESCRIPTION	54/74	54/74LS
$\overline{CP}_0$	Input	2ul	6LSul
$\overline{CP}_1$	Input	4ul	8LSul
MR, MS	Inputs	1ul	1LSul
Q_0-Q_3	Outputs	10ul	10LSul

NOTE
Where a 54/74 unit load (ul) is understood to be 40µA I_{IH} and −1.6mA I_{IL}, and a 54/74LS unit load (LSul) is 20µA I_{IH} and −0.4mA I_{IL}.

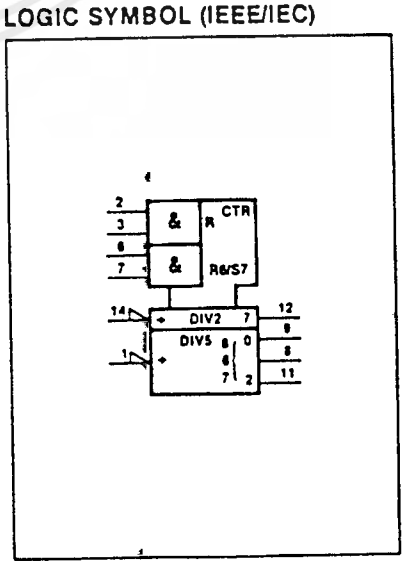
PIN CONFIGURATION



LOGIC SYMBOL



LOGIC SYMBOL (IEEE/IEC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Series 54L/74L

DM54L90/DM74L90(SN54L90/SN74L90)
low power decade counter

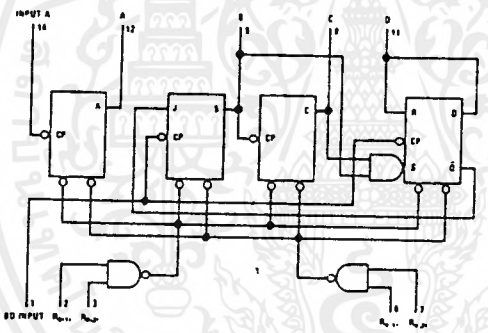
general description

The DM54L90/DM74L90 is a low power decade counter which can be reset to zero or preset to the 9 state. Internal logic has been kept to a minimum by using an R-S flip flop on the D bit and J-K flip flops on the A, B and C bits. A separate flip flop on the A bit enables the user to operate the device as a divide-by-five or divide-by-ten frequency divider. In addition the A flip flop can be used for a basic divide-by-two section. All outputs are standard low power T^2L Darlington configurations capable of fanning out to 2 standard T^2L unit loads over the commercial temperature range and 10 54L/74L loads in the low state. In addition these devices can fanout to 20 54L/74L loads in the high state.

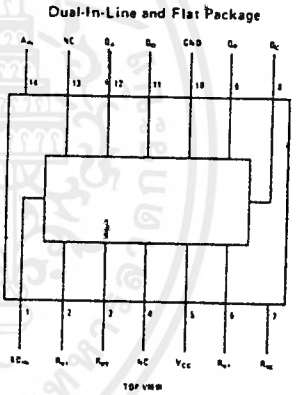
features

- 20 mW typical power dissipation
- 11 MHz typical clock frequency
- Same pin-out as standard SN5490/SN7490

logic and connection diagrams



Dual-In-Line and Flat Package



truth tables

BCD Count Sequence
(See Note 1)

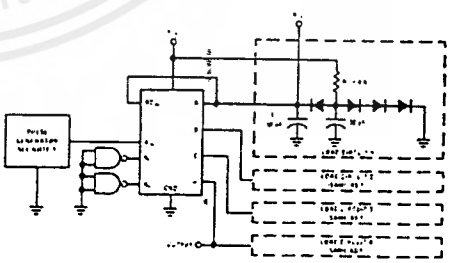
COUNT	OUTPUT			
	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Reset Count
(See Note 2)

RESET INPUTS				OUTPUT			
$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	D	C	B	A
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
X	0	X	0	COUNT			
0	X	0	X	COUNT			
0	X	X	0	COUNT			
X	0	0	X	COUNT			

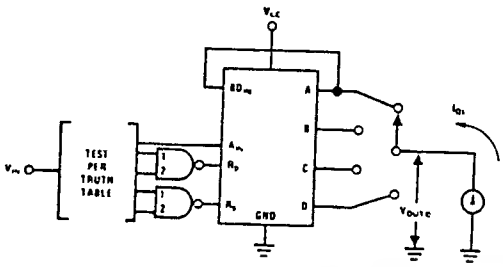
Note 1: Output A connected to input BD for BCD count
Note 2: X indicates that either a logical 1 or a logical 0 may be present

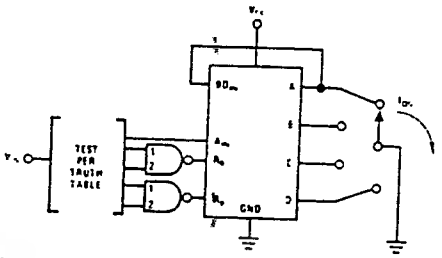
ac test circuit

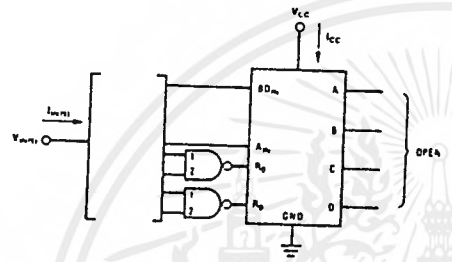


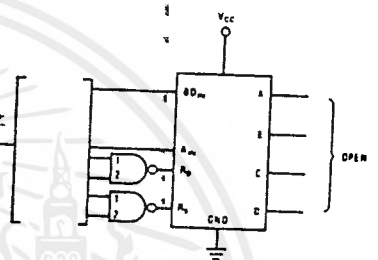
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

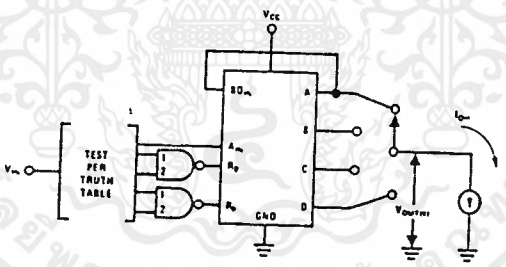
parameter measurement information



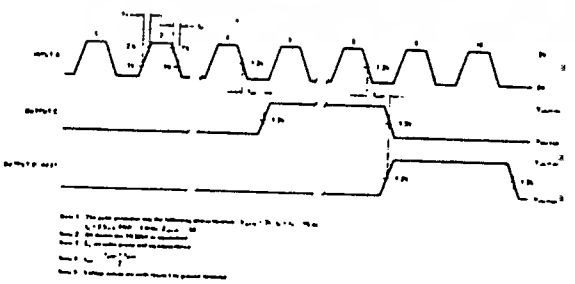








switching time waveforms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings (Note 1)

Supply Voltage	+8.0V
Input Voltage	+5.5V
Output Voltage	+5.5V
Operating Temperature Range DM54L90	-55°C to +125°C
DM74L90	0°C to 70°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C

electrical characteristics (Note 2)

PARAMETER		CONDITIONS		MIN	TYP	MAX	UNITS
Logical "1" Input Voltage	DM54L90	V_{CC} = 4.5V		2.0	1.3		V
	DM74L90	V_{CC} = 4.75V					
Logical "0" Input Voltage	DM54L90	V_{CC} = 4.5V	A_{IN} & BD_{IN}		1.2	0.6	V
	DM74L90	V_{CC} = 4.75V	Other Inputs		1.3	0.7	V
Logical "1" Output Voltage	DM54L90	V_{CC} = 4.5V	I_{OUT} = -200 µA	2.4	2.8		V
	DM74L90	V_{CC} = 4.75V					
Logical "0" Output Voltage	DM54L90	V_{CC} = 4.5V	I_{OUT} = 2 mA		0.15	0.30	V
	DM74L90	V_{CC} = 4.75V	I_{OUT} = 3.6 mA		0.20	0.40	V
Logical "1" Input Current	DM54L90	V_{CC} = 5.5V	V_{IN} = 2.4V Reset Inputs			10	µA
	DM74L90	V_{CC} = 5.25V	V_{IN} = 5.5V Reset Inputs			100	µA
	DM54L90	V_{CC} = 5.5V	V_{IN} = 2.4V A_{IN}			20	µA
	DM74L90	V_{CC} = 5.25V	V_{IN} = 5.5V A_{IN}			200	µA
	DM54L90	V_{CC} = 5.5V	V_{IN} = 2.4V BD_{IN}			40	µA
	DM74L90	V_{CC} = 5.25V	V_{IN} = 5.5V BD_{IN}			400	µA
Logical "0" Input Current	DM54L90	V_{CC} = 5.5V	V_{IN} = 0.3V, Reset Inputs			-0.18	mA
	DM74L90	V_{CC} = 5.25V					
	DM54L90	V_{CC} = 5.5V	V_{IN} = 0.3V, A_{IN}			-0.36	mA
	DM74L90	V_{CC} = 5.25V					
	DM54L90	V_{CC} = 5.5V	V_{IN} = 0.3V, BD_{IN}			-0.72	mA
	DM74L90	V_{CC} = 5.25V					
Output Short Circuit Current (Note 3)	DM54L90	V_{CC} = 5.5V	V_{OUT} = 0V	-3	-9	-15	mA
	DM74L90	V_{CC} = 5.25V					
I_{CC} Max	DM54L90	V_{CC} = 5.5V				5.5	mA
	DM74L90	V_{CC} = 5.25V					
Propagation Delay to a Logical "0" from A_{IN} to D_{OUT} t_{pd0}		V_{CC} = 5.0V, T_A = 25°C	C_L = 50 pF, R_L = 4 kΩ	95	190	300	ns
Propagation Delay to a Logical "1" from A_{IN} to D_{OUT} t_{pd1}		V_{CC} = 5.0V, T_A = 25°C	C_L = 50 pF, R_L = 4 kΩ	90	175	300	ns
Maximum Clock Frequency		V_{CC} = 5.0V, T_A = 25°C	C_L = 50 pF, R_L = 4 kΩ	6	11		MHz
Clock Pulse Width		V_{CC} = 5.0V, T_A = 25°C	C_L = 50 pF, R_L = 4 kΩ	90			ns

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Unless otherwise specified min/max limits apply across the -55°C to +125°C temperature range for the DM54L90, and across the 0°C to 70°C range for the DM74L90. All typicals are given for V_{CC} = 5.0V and T_A = 25°C.

Note 3: Only one output at a time should be shorted.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Industrial Blocks

LM555/LM555C Timer

General Description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

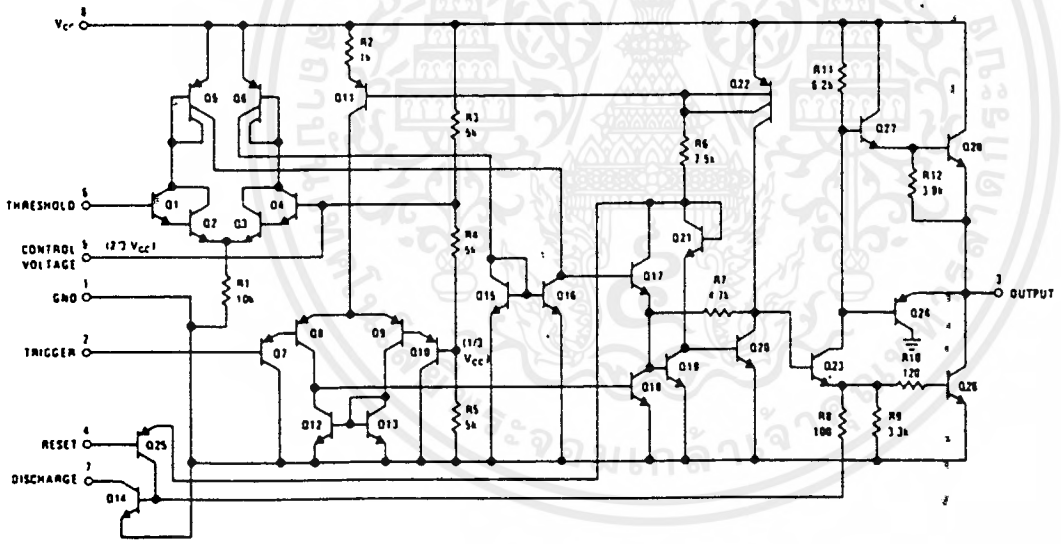
Features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes
- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

Applications

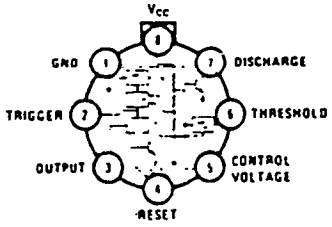
- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

Schematic Diagram



Connection Diagrams

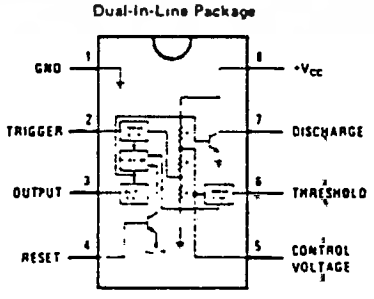
Metal Can Package



TOP VIEW

Order Number LM555H, LM555CH
See NS Package H08C

Dual-In-Line Package



TOP VIEW

Order Number LM555CN
See NS Package N08B
Order Number LM555J or LM555CJ
See NS Package J08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage	+18V
Power Dissipation (Note 1)	600 mW
Operating Temperature Ranges	
LM555C	0°C to +70°C
LM555	−55°C to +125°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics (T_A = 25°C, V_{CC} = +5V to +15V, unless otherwise specified)

PARAMETER	CONDITIONS	LIMITS						UNITS
		LM555			LM555C			
		MIN	TYP	MAX	MIN	TYP	MAX	
Supply Voltage		4.5		18	4.5		16	V
Supply Current	V_{CC} = 5V, R_L = ∞		3	5		3	6	mA
	V_{CC} = 15V, R_L = ∞ (Low State) (Note 2)		10	12		10	15	mA
Timing Error, Monostable								
Initial Accuracy			0.5			1		%
Drift with Temperature	R_A, R_B = 1k to 100 k, C = 0.1μF, (Note 3)		30			50		ppm/°C
Accuracy over Temperature			1.5			1.5		%
Drift with Supply			0.05			0.1		%/V
Timing Error, Astable								
Initial Accuracy			1.5			2.25		%
Drift with Temperature			90			150		ppm/°C
Accuracy over Temperature			2.5			3.0		%
Drift with Supply			0.15			0.30		%/V
Threshold Voltage			0.667			0.667		× V_{CC}
Trigger Voltage	V_{CC} = 15V	4.8	5	5.2		5		V
	V_{CC} = 5V	1.45	1.67	1.9		1.67		V
Trigger Current			0.01	0.5		0.5	0.9	μA
Reset Voltage		0.4	0.5	1	0.4	0.5	1	V
Reset Current			0.1	0.4		0.1	0.4	mA
Threshold Current	(Note 4)		0.1	0.25		0.1	0.25	μA
Control Voltage Level	V_{CC} = 15V	9.6	10	10.4	9	10	11	V
	V_{CC} = 5V	2.9	3.33	3.8	2.6	3.33	4	V
Pin 7 Leakage Output High			1	100		1	100	nA
Pin 7 Sat (Note 5)								
Output Low	V_{CC} = 15V, I_7 = 15 mA		150			180		mV
Output Low	V_{CC} = 4.5V, I_7 = 4.5 mA		70	100		80	200	mV
Output Voltage Drop (Low)	V_{CC} = 15V							
	I_{SINK} = 10 mA		0.1	0.15		0.1	0.25	V
	I_{SINK} = 50 mA		0.4	0.5		0.4	0.75	V
	I_{SINK} = 100 mA		2	2.2		2	2.5	V
	I_{SINK} = 200 mA		2.5			2.5		V
	V_{CC} = 5V							
	I_{SINK} = 8 mA		0.1	0.25				V
	I_{SINK} = 5 mA					0.25	0.35	V
Output Voltage Drop (High)	I_{SOURCE} = 200 mA, V_{CC} = 15V		12.5			12.5		V
	I_{SOURCE} = 100 mA, V_{CC} = 15V	13	13.3		12.75	13.3		V
	V_{CC} = 5V	3	3.3		2.75	3.3		V
Rise Time of Output			100			100		ns
Fall Time of Output			100			100		ns

Note 1: For operating at elevated temperatures the device must be derated based on a +150°C maximum junction temperature and a thermal resistance of +45°C/W junction to case for TO-5 and +150°C/W junction to ambient for both packages.

Note 2: Supply current when output high typically 1 mA less at V_{CC} = 5V.

Note 3: Tested at V_{CC} = 5V and V_{CC} = 15V.

Note 4: This will determine the maximum value of R_A + R_B for 15V operation. The maximum total (R_A + R_B) is 20 MΩ.

Note 5: No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Industrial Blocks

LM565/LM565C Phase Locked Loop

General Description

The LM565 and LM565C are general purpose phase locked loops containing a stable, highly linear voltage controlled oscillator for low distortion FM demodulation, and a double balanced phase detector with good carrier suppression. The VCO frequency is set with an external resistor and capacitor, and a tuning range of 10:1 can be obtained with the same capacitor. The characteristics of the closed loop system—bandwidth, response speed, capture and pull in range—may be adjusted over a wide range with an external resistor and capacitor. The loop may be broken between the VCO and the phase detector for insertion of a digital frequency divider to obtain frequency multiplication.

The LM565H is specified for operation over the −55°C to +125°C military temperature range. The LM565CH and LM565CN are specified for operation over the 0°C to +70°C temperature range.

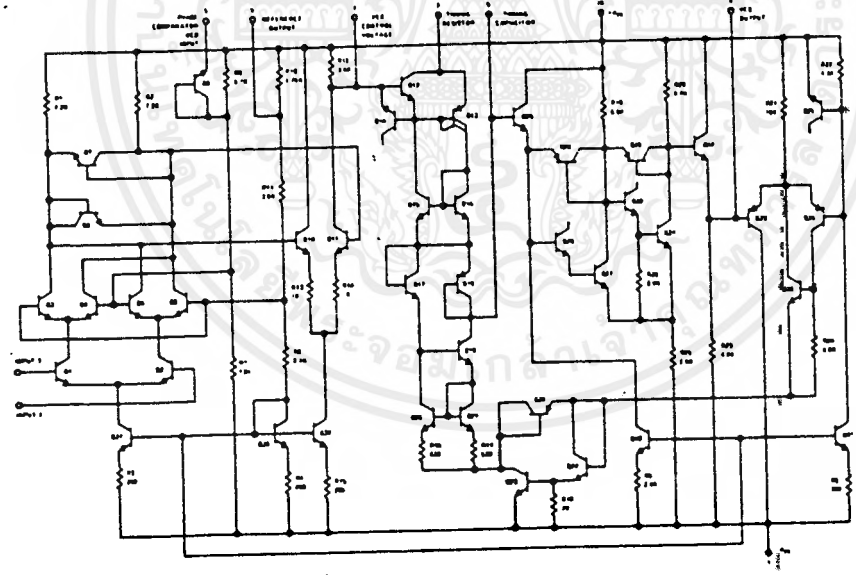
Features

- 200 ppm/°C frequency stability of the VCO
- Power supply range of ±5 to ±12 volts with 100 ppm/% typical
- 0.2% linearity of demodulated output
- Linear triangle wave with in phase zero crossings available
- TTL and DTL compatible phase detector input and square wave output
- Adjustable hold in range from ±1% to > ±60%.

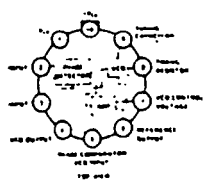
Applications

- Data and tape synchronization
- Modems
- FSK demodulation
- FM demodulation
- Frequency synthesizer
- Tone decoding
- Frequency multiplication and division
- SCA demodulators
- Telemetry receivers
- Signal regeneration
- Coherent demodulators.

Schematic and Connection Diagrams

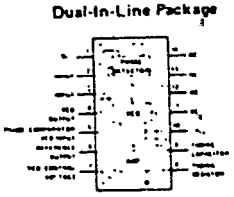


Metal Can Package



Order Number LM565H or LM565CH
See NS Package H10C

Dual-In-Line Package



Order Number LM565CN
See NS Package N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage		±12V
Power Dissipation (Note 1)		300 mW
Differential Input Voltage		±1V
Operating Temperature Range	LM565H	−55°C to +125°C
	LM565CH, LM565CN	0°C to 70°C
Storage Temperature Range		−65°C to +150°C
Lead Temperature (Soldering, 10 sec)		300°C

Electrical Characteristics (AC Test Circuit, $T_A = 25°C$, $V_C = \pm 6V$)

PARAMETER	CONDITIONS	LM565			LM565C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Power Supply Current			8.0	12.5		8.0	12.5	mA
Input Impedance (Pins 2, 3)	$-4V < V_2, V_3 < 0V$	7	10			5		kΩ
VCO Maximum Operating Frequency	C_o = 2.7 pF	300	500		250	500		kHz
Operating Frequency Temperature Coefficient			−100	300		−200	500	ppm/°C
Frequency Drift with Supply Voltage			0.01	0.1		0 05	0.2	%/V
Triangle Wave Output Voltage		2	2 4	3	2	2.4	3	V_{p-p}
Triangle Wave Output Linearity			0.2	0.75		0.5	1	%
Square Wave Output Level		4.7	5.4		4.7	5.4		V_{p-p}
Output Impedance (Pin 4)			5			5		kΩ
Square Wave Duty Cycle		45	50	55	40	50	60	%
Square Wave Rise Time			20	100		20		ns
Square Wave Fall Time			50	200		50		ns
Output Current Sink (Pin 4)		0.6	1		0.6	1		mA
VCO Sensitivity	f_o = 10 kHz	6400	6600	6800	6000	6600	7200	Hz/V
Demodulated Output Voltage (Pin 7)	±10% Frequency Deviation	250	300	350	200	300	400	mV_{pp}
Total Harmonic Distortion	±10% Frequency Deviation		0.2	0.75		0.2	1.5	%
Output Impedance (Pin 7)			3.5			3.5		kΩ
DC Level (Pin 7)		4.25	4.5	4.75	4.0	4.5	5.0	V
Output Offset Voltage $\lvert V_7 - V_6 \rvert$			30	100		50	200	mV
Temperature Drift of $\lvert V_7 - V_6 \rvert$			500			500		μV/°C
AM Rejection		30	40			40		dB
Phase Detector Sensitivity K_D		0.6	.68	0.9	0.55	.68	0.95	V/radian

Note 1: The maximum junction temperature of the LM565 is 150°C, while that of the LM565C and LM565CN is 100°C. For operation at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W junction to ambient or 45°C/W junction to case. Thermal resistance of the dual-in-line package is 100°C/W.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Industrial Blocks

LM566/LM566C Voltage Controlled Oscillator

General Description

The LM566/LM566C are general purpose voltage controlled oscillators which may be used to generate square and triangular waves, the frequency of which is a very linear function of a control voltage. The frequency is also a function of an external resistor and capacitor.

The LM566 is specified for operation over the −55°C to +125°C military temperature range. The LM566C is specified for operation over the 0°C to +70°C temperature range.

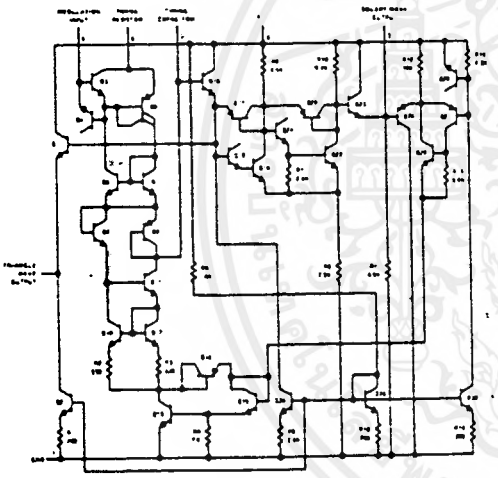
Features

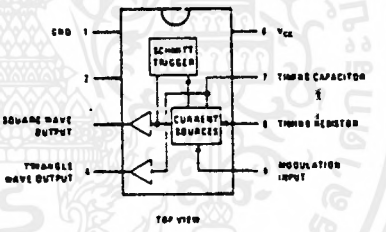
- Wide supply voltage range: 10 to 24 volts
- Very linear modulation characteristics
- High temperature stability
- Excellent supply voltage rejection
- 10 to 1 frequency range with fixed capacitor
- Frequency programmable by means of current, voltage, resistor or capacitor.

Applications

- FM modulation
- Signal generation
- Function generation
- Frequency shift keying
- Tone generation

Schematic and Connection Diagrams

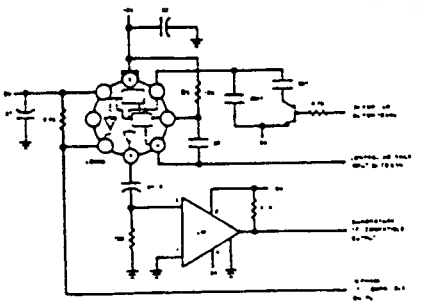




Order Number LM566CN
See NS Package N08B

Typical Application

1 kHz and 10 kHz TTL Compatible Voltage Controlled Oscillator



Applications Information

The LM566 may be operated from either a single supply as shown in this test circuit, or from a split (±) power supply. When operating from a split supply, the square wave output (pin 4) is TTL compatible (2 mA current sink) with the addition of a 4.7 kΩ resistor from pin 3 to ground.

A .001 μF capacitor is connected between pins 5 and 6 to prevent parasitic oscillations that may occur during VCO switching.

$$f_o = \frac{2(V^+ - V_c)}{R_1 C_1 V^+}$$

where

$2K < R_1 < 20K$

and V_c is voltage between pin 5 and pin 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Power Supply Voltage		26V
Power Dissipation (Note 1)		300 mW
Operating Temperature Range	LM566	−55°C to +125°C
	LM566C	0°C to 70°C
Lead Temperature (Soldering, 10 sec)		300°C

Electrical Characteristics V_{CC} = 12V, T_A = 25°C, AC Test Circuit

PARAMETER	CONDITIONS	LM566			LM566C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Maximum Operating Frequency	R0 = 2k C0 = 2.7 pF		1			1		MHz
Input Voltage Range Pin 5		3/4 V_{CC}		V_{CC}	3/4 V_{CC}		V_{CC}	
Average Temperature Coefficient of Operating Frequency			100			200		ppm/°C
Supply Voltage Rejection	10 20V		0.1	1		0.1	2	%/V
Input Impedance Pin 5		0.5	1		0.5	1		MΩ
VCO Sensitivity	For Pin 5, From 8–10V, f_O = 10 kHz	6.4	6.6	6.8	6.0	6.6	7.2	kHz/V
FM Distortion	±10% Deviation		0.2	0.75		0.2	1.5	%
Maximum Sweep Rate		800	1		500	1		MHz
Sweep Range			10:1			10:1		
Output Impedance								
Pin 3			50			50		Ω
Pin 4			50			50		Ω
Square Wave Output Level	R_{L1} = 10k	5.0	5.4		5.0	5.4		Vp-p
Triangle Wave Output Level	R_{L2} = 10k	2.0	2.4		2.0	2.4		Vp-p
Square Wave Duty Cycle		45	50	55	40	50	60	%
Square Wave Rise Time			20			20		ns
Square Wave Fall Time			50			50		ns
Triangle Wave Linearity	+1V Segment at 1/2 V_{CC}		0.2	0.75		0.5	1	%

Note 1: The maximum junction temperature of the LM566 is 150°C, while that of the LM566C is 100°C. For operating at elevated junction temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W. The thermal resistance of the dual-in-line package is 100°C/W.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA Semiconductors
BOX 20912 • PHOENIX, ARIZONA 85036

MC1733
MC1733C

DIFFERENTIAL VIDEO AMPLIFIER

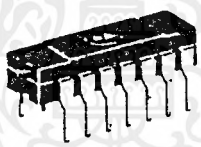
. . . a wideband amplifier with differential input and differential output. Gain is fixed at 10, 100, or 400 without external components or, with the addition of one external resistor, gain becomes adjustable from 10 to 400.

- Bandwidth — 120 MHz typical @ A_{vd} = 10
- Rise Time — 2.5 ns typical @ A_{vd} = 10
- Propagation Delay Time — 3.6 ns typical @ A_{vd} = 10

DIFFERENTIAL VIDEO WIDEBAND AMPLIFIER

SILICON MONOLITHIC INTEGRATED CIRCUIT

G SUFFIX
METAL PACKAGE
CASE 603
TO-100



L SUFFIX
CERAMIC PACKAGE
CASE 632
TO-116

FIGURE 1 – BASIC CIRCUIT

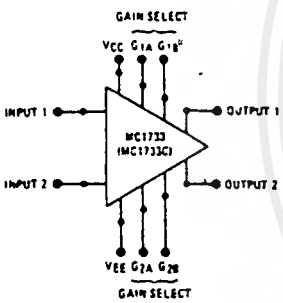


FIGURE 2 – VOLTAGE GAIN ADJUST CIRCUIT

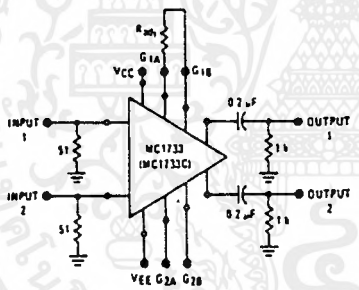
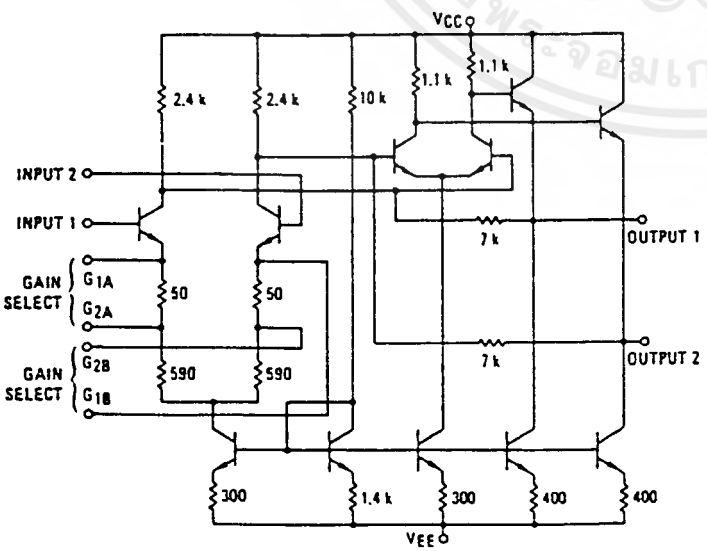
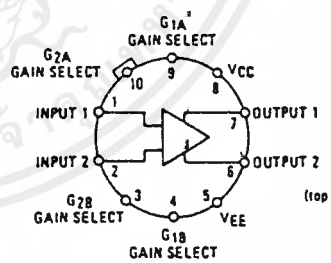


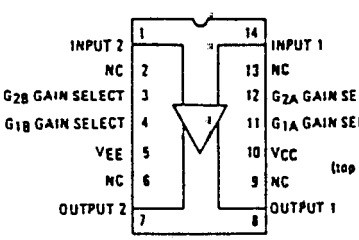
FIGURE 3 – EQUIVALENT CIRCUIT SCHEMATIC



CONNECTION DIAGRAMS



G SUFFIX, METAL PACKAGE
Pin 5 connected to case.



L SUFFIX, CERAMIC PACKAGE

© MOTOROLA INC., 1974
DS 9177 R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC} V_{EE}	+8.0 -8.0	Volts
Differential Input Voltage	V_{in}	±5.0	Volts
Common-Mode Input Voltage	V_{ICM}	±6.0	Volts
Output Current	I_O	10	mA
Internal Power Dissipation (Note 1) Metal Can Package Ceramic Dual In-Line Package	P_D	 500 500	mW
Operating Temperature Range MC1733C MC1733	T_A	0 to +70 -55 to +125	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = +6.0 Vdc, V_{EE} = -6.0 Vdc, at T_A = +25°C unless otherwise noted.)

Characteristic	Symbol	MC1733 Min	MC1733 Typ	MC1733 Max	MC1733C Min	MC1733C Typ	MC1733C Max	Units
Differential Voltage Gain								V/V
Gain 1 (Note 2)	A_{vd}	300	400	500	250	400	600	
Gain 2 (Note 3)		90	100	110	80	100	120	
Gain 3 (Note 4)		9.0	10	11	8.0	10	12	
Bandwidth (R_s = 50 Ω)	BW							MHz
Gain 1		–	40	–	–	40	–	
Gain 2		–	90	–	–	90	–	
Gain 3		–	120	–	–	120	–	
Rise Time (R_s = 50 Ω, V_O = 1 Vp-p)	t_{TLH}							ns
Gain 1	t_{THL}	–	10.5	–	–	10.5	–	
Gain 2		–	4.5	10	–	4.5	12	
Gain 3		–	2.5	–	–	2.5	–	
Propagation Delay (R_s = 50 Ω, V_O = 1 Vp-p)	t_{PLH}							ns
Gain 1	t_{PHL}	–	7.5	–	–	7.5	–	
Gain 2		–	6.0	10	–	6.0	10	
Gain 3		–	3.6	–	–	3.6	–	
Input Resistance	R_{in}							kΩ
Gain 1		–	4.0	–	–	4.0	–	
Gain 2		20	30	–	10	30	–	
Gain 3		–	250	–	–	250	–	
Input Capacitance (Gain 2)	C_{in}	–	2.0	–	–	2.0	–	pF
Input Offset Current (Gain 3)	$\|I_{IO}\|$	–	0.4	3.0	–	0.4	5.0	μA
Input Bias Current (Gain 3)	I_{IB}	–	9.0	20	–	9.0	30	μA
Input Noise Voltage (R_s = 50 Ω, BW = 1 kHz to 10 MHz)	V_n	–	12	–	–	12	–	μV(rms)
Input Voltage Range (Gain 2)	V_{in}	±1.0	–	–	±1.0	–	–	V
Common-Mode Rejection Ratio	CMRR							dB
Gain 2 (V_{CM} = ±1 V, f ≤ 100 kHz)		60	86	–	60	86	–	
Gain 2 (V_{CM} = ±1 V, f = 5 MHz)		–	60	–	–	60	–	
Supply Voltage Rejection Ratio	PSRR							dB
Gain 2 (ΔV_S = ±0.5 V)		50	70	–	50	70	–	
Output Offset Voltage	V_{OO}							V
Gain 1		–	0.6	1.5	–	0.6	1.5	
Gain 2 and Gain 3		–	0.35	1.0	–	0.35	1.5	
Output Common-Mode Voltage (Gain3)	V_{CMO}	2.4	2.9	3.4	2.4	2.9	3.4	V
Output Voltage Swing (Gain 2)	V_O	3.0	4.0	–	3.0	4.0	–	Vp-p
Output Sink Current (Gain 2)	I_O	2.5	3.6	–	2.5	3.6	–	mA
Output Resistance	R_{out}	–	20	–	–	20	–	Ω
Power Supply Current (Gain 2)	I_D	–	18	24	–	18	24	mA

Circuit diagrams utilizing Motorola products are included as a means of illustrating typical semiconductor applications; consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc. or others.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

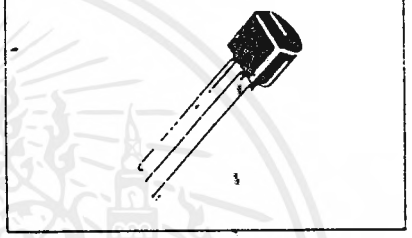
2N3903 (SILICON)
2N3904

NPN SILICON ANNULAR TRANSISTORS

designed for general purpose switching and amplifier applications and for complementary circuitry with types 2N3905 and 2N3906

- Collector-Emitter Breakdown Voltage – BV_{CEO} = 40 Vdc (Min)
- Current Gain Specified from 100 µA to 100 mA
- Complete Switching and Amplifier Specifications
- Low Capacitance – C_{ob} = 4.0 pF (Max)

NPN SILICON SWITCHING & AMPLIFIER TRANSISTORS



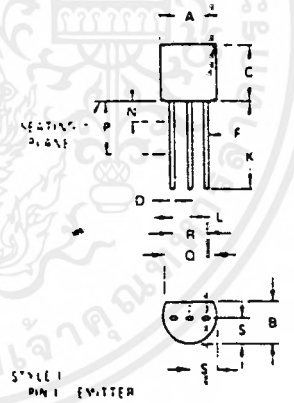
*MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector Base Voltage	V_{CB}	60	Vdc
Collector-Emitter Voltage	V_{CEO}	40	Vdc
Emitter-Base Voltage	V_{EB}	6.0	Vdc
Collector Current – Continuous	I_C	200	mAdc
Total Power Dissipation @ T_A = 25°C Derate above 25°C	P_D	350 2.8	mW mW/°C
Total Power Dissipation @ T_C = 25°C Derate above 25°C	P_D	1.0 8.0	Watts mW/°C
Junction Operating Temperature	T_J	150	°C
Storage Temperature Range	T_{stg}	-55 to +150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	357	°C/W
Thermal Resistance, Junction to Case	$R_{\theta JC}$	125	°C/W

*Indicates JEDEC Registered Data



STYLE 1
PIN 1 EMITTER
2 BASE
3 COLLECTOR

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	4.450	5.200	0.175	0.205
B	3.180	4.190	0.125	0.165
C	4.320	5.330	0.170	0.210
D	0.407	0.533	0.016	0.021
F	0.407	0.482	0.016	0.019
K	12.700		0.500	
L	1.150	1.390	0.045	0.055
N		1.270		0.050
P	6.350		0.250	
Q	3.430		0.135	
R	2.410	2.670	0.095	0.105
S	2.030	2.670	0.080	0.105

CASE 29-02
TO-92

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2N3903, 2N3904 (continued)

• ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic		Fig. No.	Symbol	Min	Max	Unit
OFF CHARACTERISTICS						
Collector-Base Breakdown Voltage (I_C = 10 μAdc, I_E = 0)			BV_{CBO}	60	-	Vdc
Collector-Emitter Breakdown Voltage (1) (I_C = 1.0 mAdc, I_B = 0)			BV_{CEO}	40	-	Vdc
Emitter-Base Breakdown Voltage (I_E = 10 μAdc, I_C = 0)			BV_{EBO}	6.0	-	Vdc
Collector Cutoff Current (V_{CE} = 30 Vdc, $V_{EB(off)}$ = 3.0 Vdc)			I_{CEV}	-	50	nAdc
Base Cutoff Current (V_{CE} = 30 Vdc, $V_{EB(off)}$ = 3.0 Vdc)			I_{BEV}	-	50	nAdc
ON CHARACTERISTICS						
DC Current Gain (1) (I_C = 0.1 mAdc, V_{CE} = 1.0 Vdc)	2N3903 2N3904	15	h_{FE}	20 40	- -	-
(I_C = 1.0 mAdc, V_{CE} = 1.0 Vdc)	2N3903 2N3904			35 70	- -	
(I_C = 10 mAdc, V_{CE} = 1.0 Vdc)	2N3903 2N3904			50 100	150 300	
(I_C = 50 mAdc, V_{CE} = 1.0 Vdc)	2N3903 2N3904			30 60	- -	
(I_C = 100 mAdc, V_{CE} = 1.0 Vdc)	2N3903 2N3904			15 30	- -	
Collector-Emitter Saturation Voltage (1) (I_C = 10 mAdc, I_B = 1.0 mAdc) (I_C = 50 mAdc, I_B = 5.0 mAdc)		16, 17	$V_{CE(sat)}$	- -	0.2 0.3	Vdc
Base-Emitter Saturation Voltage (1) (I_C = 10 mAdc, I_B = 1.0 mAdc) (I_C = 50 mAdc, I_B = 5.0 mAdc)		17	$V_{BE(sat)}$	0.65 -	0.85 0.95	Vdc
SMALL-SIGNAL CHARACTERISTICS						
Current-Gain—Bandwidth Product (I_C = 10 mAdc, V_{CE} = 20 Vdc, f = 100 MHz)	2N3903 2N3904		f_T	250 300	-	MHz
Output Capacitance (V_{CB} = 5.0 Vdc, I_E = 0, f = 100 kHz)		3	C_{ob}	-	4.0	pF
Input Capacitance (V_{BE} = 0.5 Vdc, I_C = 0, f = 100 kHz)		3	C_{ib}	-	8.0	pF
Input Impedance (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3903 2N3904	13	h_{ie}	0.5 1.0	8.0 10	k ohms
Voltage Feedback Ratio (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3903 2N3904	14	h_{re}	0.1 0.5	5.0 8.0	X 10-4
Small-Signal Current Gain (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3903 2N3904	11	h_{fe}	50 100	200 400	-
Output Admittance (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)		12	h_{oe}	1.0	40	μmhos
Noise Figure (I_C = 100 μAdc, V_{CE} = 5.0 Vdc, R_S = 1.0 k ohms, f = 10 Hz to 15.7 kHz)	2N3903 2N3904	9, 10	NF	- -	4.0 5.0	dB
SWITCHING CHARACTERISTICS						
Delay Time	(V_{CC} = 3.0 Vdc, $V_{BE(off)}$ = 0.5 Vdc,	1, 5	t_d	-	35	ns
Rise Time	I_C = 10 mAdc, I_{B1} = 1.0 mAdc)	1, 5, 6	t_r	-	35	ns
Storage Time	(V_{CC} = 3.0 Vdc, I_C = 10 mAdc,	2, 7	t_s	-	175 200	ns
Fall Time	I_{B1} = I_{B2} = 1.0 mAdc)	2, 8	t_f	-	50	ns

(1) Pulse Test: Pulse Width = 300 μs, Duty Cycle = 2.0%.
*Indicates JEDEC Registered Data

FIGURE 1 – DELAY AND RISE TIME EQUIVALENT TEST CIRCUIT

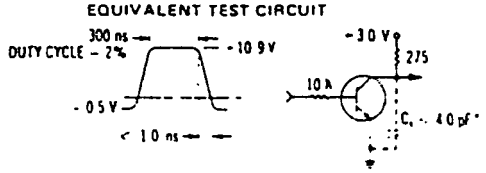
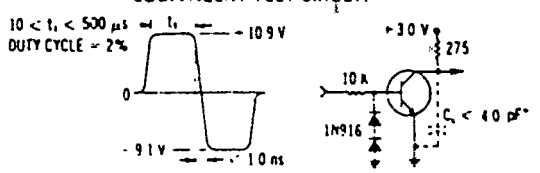


FIGURE 2 – STORAGE AND FALL TIME EQUIVALENT TEST CIRCUIT



*Total shunt capacitance of test jig and connectors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA Semiconductors
BOX 20912 • PHOENIX, ARIZONA 85036

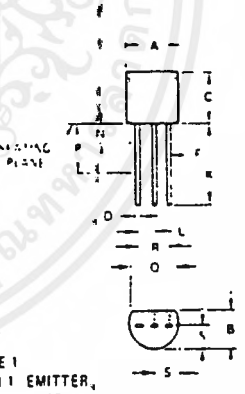
2N3905
2N3906

PNP SILICON ANNULAR♦ TRANSISTORS

. . . . designed for general purpose switching and amplifier applications and for complementary circuitry with types 2N3903 and 2N3904.

- High Voltage Ratings — BV_{CEO} = 40 Volts (Min)
- Current Gain Specified from 100 μA to 100 mA
- Complete Switching and Amplifier Specifications
- Low Capacitance — C_{ob} = 4.5 pF (Max)

PNP SILICON SWITCHING & AMPLIFIER TRANSISTORS



STYLE 1
PIN 1 EMITTER,
2 BASE
3 COLLECTOR

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	4.450	5.200	0.175	0.205
B	3.180	4.190	0.125	0.165
C	4.320	5.330	0.170	0.210
D	0.407	0.533	0.016	0.021
F	0.407	0.482	0.016	0.019
K	12.700	-	0.500	
L	1.150	1.390	0.045	0.055
N		1.270	-	0.050
P	0.350		0.250	
Q	3.430		0.135	
R	2.410	2.670	0.095	0.105
S	2.030	2.670	0.080	0.105

CASE 29-02
TO-92

*MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-Base Voltage	V_{CB}	40	Vdc
Collector-Emitter Voltage	V_{CEO}	40	Vdc
Emitter-Base Voltage	V_{EB}	5.0	Vdc
Collector Current	I_C	200	mAdc
Total Power Dissipation @ T_A = 60°C	P_D	250	mW
Total Power Dissipation @ T_A = 25°C Derate above 25°C	P_D	350 2.8	mW mW/°C
Total Power Dissipation @ T_C = 25°C Derate above 25°C	P_D	1.0 8.0	Watt mW/°C
Junction Operating Temperature	T_J	+150	°C
Storage Temperature Range	T_{stg}	-55 to +150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	357	°C/W
Thermal Resistance, Junction to Case	$R_{\theta JC}$	125	°C/W

*Indicates JEDEC Registered Data.
♦Annular semiconductors patented by Motorola Inc

MOTOROLA INC. 1973

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted.)

Characteristic		Fig. No.	Symbol	Min	Max	Unit
OFF CHARACTERISTICS						
Collector-Base Breakdown Voltage (I_C = 10 μAdc, I_E = 0)			BV_{CBO}	40	–	Vdc
Collector-Emitter Breakdown Voltage (1) (I_C = 1.0 mAdc, I_B = 0)			BV_{CEO}	40	–	Vdc
Emitter-Base Breakdown Voltage (I_E = 10 μAdc, I_C = 0)			BV_{EBO}	5.0	–	Vdc
Collector Cutoff Current (V_{CE} = 30 Vdc, $V_{BE(off)}$ = 3.0 Vdc)			I_{CEX}	–	50	nAdc
Base Cutoff Current (V_{CE} = 30 Vdc, $V_{BE(off)}$ = 3.0 Vdc)			I_{BL}	–	50	nAdc
ON CHARACTERISTICS (1)						
DC Current Gain		15	h_{FE}			
(I_C = 0.1 mAdc, V_{CE} = 1.0 Vdc)	2N3905			30	–	
	2N3906			60	–	
(I_C = 1.0 mAdc, V_{CE} = 1.0 Vdc)	2N3905			40	–	
	2N3906			80	–	
(I_C = 10 mAdc, V_{CE} = 1.0 Vdc)	2N3905			50	150	
	2N3906			100	300	
(I_C = 50 mAdc, V_{CE} = 1.0 Vdc)	2N3905			30	–	
	2N3906			60	–	
(I_C = 100 mAdc, V_{CE} = 1.0 Vdc)	2N3905			15	–	
	2N3906			30	–	
Collector-Emitter Saturation Voltage		16, 17	$V_{CE(sat)}$			Vdc
(I_C = 10 mAdc, I_B = 1.0 mAdc)				–	0.25	
(I_C = 50 mAdc, I_B = 5.0 mAdc)				–	0.4	
Base-Emitter Saturation Voltage		17	$V_{BE(sat)}$			Vdc
(I_C = 10 mAdc, I_B = 1.0 mAdc)				0.65	0.85	
(I_C = 50 mAdc, I_B = 5.0 mAdc)				–	0.95	
SMALL-SIGNAL CHARACTERISTICS						
Current-Gain – Bandwidth Product			f_T			MHz
(I_C = 10 mAdc, V_{CE} = 20 Vdc, f = 100 MHz)	2N3905			200	–	
	2N3906			250	–	
Output Capacitance (V_{CB} = 5.0 Vdc, I_E = 0, f = 100 kHz)		3	C_{ob}	–	4.5	pF
Input Capacitance (V_{BE} = 0.5 Vdc, I_C = 0, f = 100 kHz)		3	C_{ib}	–	10	pF
Input Impedance		13	h_{ie}			k ohms
(I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3906			0.5	8.0	
	2N3906			2.0	12	
Voltage Feedback Ratio		14	h_{re}			X 10^{-4}
(I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3905			0.1	5.0	
	2N3906			1.0	10	
Small-Signal Current Gain		11	h_{fe}			–
(I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3905			50	200	
	2N3906			100	400	
Output Admittance		12	h_{oe}			μmhos
(I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3905			1.0	40	
	2N3906			3.0	60	
Noise Figure		9, 10	NF			dB
(I_C = 100 μAdc, V_{CE} = 5.0 Vdc, R_S = 1.0 k ohm,	2N3905			–	5.0	
f = 10 Hz to 15.7 kHz)	2N3906			–	4.0	
SWITCHING CHARACTERISTICS						
Delay Time	(V_{CC} = 3.0 Vdc, $V_{BE(off)}$ = 0.5 Vdc	1, 5	t_d	–	35	ns
Rise Time	I_C = 10 mAdc, I_{B1} = 1.0 mAdc)	1, 5, 6	t_r	–	35	ns
Storage Time		2, 7	t_s	–	200	ns
	(V_{CC} = 3.0 Vdc, I_C = 10 mAdc, 2N3906			–	225	
Fall Time	I_{B1} = I_{B2} = 1.0 mAdc) 2N3905	2, 8	t_f	–	60	ns
	2N3906			–	75	

*Indicates JEDEC Registered Data. (1) Pulse Width = 300 μs, Duty Cycle = 2.0%.

FIGURE 1 – DELAY AND RISE TIME EQUIVALENT TEST CIRCUIT

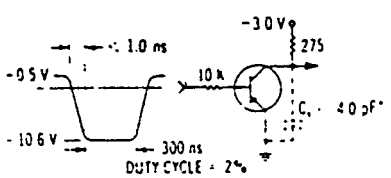
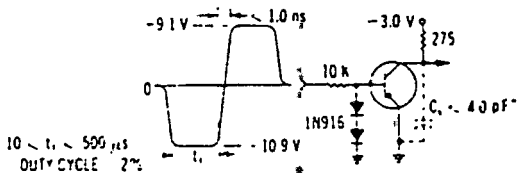


FIGURE 2 – STORAGE AND FALL TIME EQUIVALENT TEST CIRCUIT



*Total shunt capacitance of test jig and connectors.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRANSIENT CHARACTERISTICS
— T_J = 25°C — T_J = 125°C

FIGURE 3 – CAPACITANCE

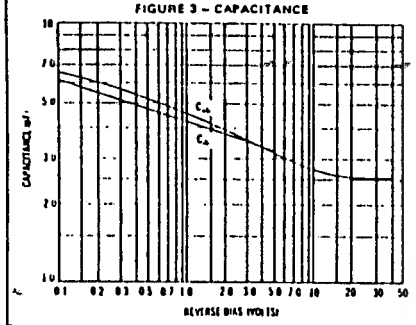


FIGURE 4 – CHARGE DATA

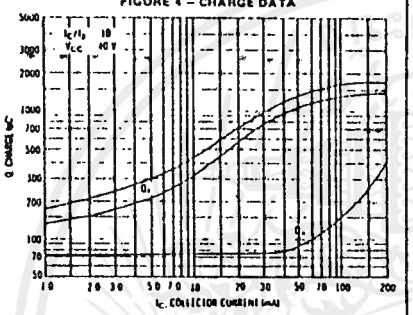


FIGURE 5 – TURN-ON TIME

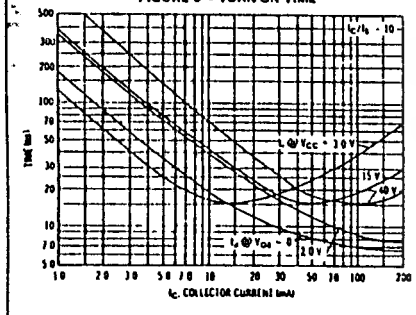


FIGURE 6 – RISE TIME

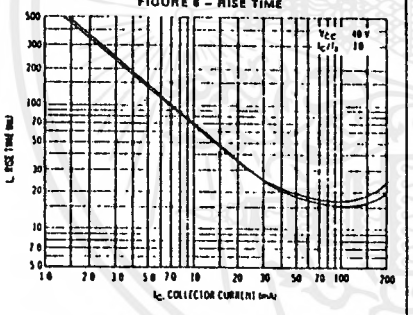


FIGURE 7 – STORAGE TIME

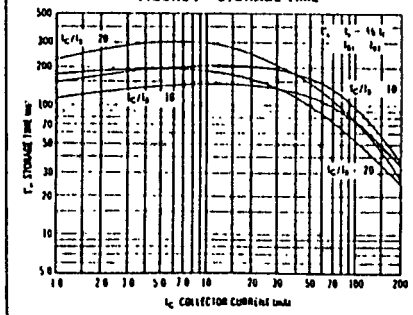
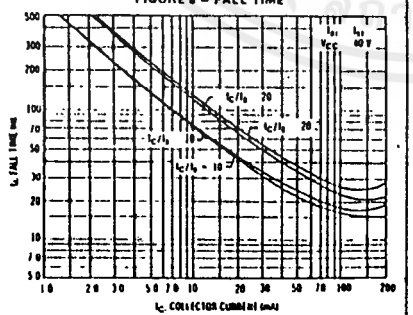


FIGURE 8 – FALL TIME



*ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic		Fig No.	Symbol	Min	Max	Unit
OFF CHARACTERISTICS						
Collector Base Breakdown Voltage (I_C = 10 μAdc, I_E = 0)			BV_{CBO}	40	–	Vdc
Collector Emitter Breakdown Voltage (1) (I_C = 1.0 mAdc, I_B = 0)			BV_{CEO}	40	–	Vdc
Emitter Base Breakdown Voltage (I_E = 10 μAdc, I_C = 0)			BV_{EBO}	5.0	–	Vdc
Collector Cutoff Current (V_{CE} = 30 Vdc, $V_{BE(off)}$ = 3.0 Vdc)			I_{CEX}	–	50	nAdc
Base Cutoff Current (V_{CE} = 30 Vdc, $V_{BE(off)}$ = 3.0 Vdc)			I_{BL}	–	50	nAdc
ON CHARACTERISTICS (1)						
DC Current Gain		18	h_{FE}			
(I_C = 0.1 mAdc, V_{CE} = 1.0 Vdc)	2N3905			30	–	
	2N3906			60	–	
(I_C = 1.0 mAdc, V_{CE} = 1.0 Vdc)	2N3905			40	–	
	2N3906			80	–	
(I_C = 10 mAdc, V_{CE} = 1.0 Vdc)	2N3905			50	150	
	2N3906			100	300	
(I_C = 50 mAdc, V_{CE} = 1.0 Vdc)	2N3905			30	–	
	2N3906			60	–	
(I_C = 100 mAdc, V_{CE} = 1.0 Vdc)	2N3905			15	–	
	2N3906			30	–	
Collector Emitter Saturation Voltage (I_C = 10 mAdc, I_B = 1.0 mAdc)		16, 17	$V_{CE(sat)}$	–	0.25	Vdc
(I_C = 50 mAdc, I_B = 5.0 mAdc)				–	0.4	
Base Emitter Saturation Voltage (I_C = 10 mAdc, I_B = 1.0 mAdc)		17	$V_{BE(sat)}$	0.65	0.85	Vdc
(I_C = 50 mAdc, I_B = 5.0 mAdc)				–	0.95	
SMALL-SIGNAL CHARACTERISTICS						
Current-Gain – Bandwidth Product (I_C = 10 mAdc, V_{CE} = 20 Vdc, f = 100 MHz)	2N3905		f_T	200	–	MHz
	2N3906			250	–	
Output Capacitance (V_{CB} = 5.0 Vdc, I_E = 0, f = 100 kHz)		3	C_{ob}	–	4.5	pF
Input Capacitance (V_{BE} = 0.5 Vdc, I_C = 0, f = 100 kHz)		3	C_{ib}	–	10	pF
Input Impedance (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3905	13	h_{ie}	0.5	8.0	k ohms
	2N3906			2.0	12	
Voltage Feedback Ratio (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3905	14	h_{re}	0.1	5.0	X 10^{-4}
	2N3906			1.0	10	
Small Signal Current Gain (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3905	11	h_{fe}	50	200	–
	2N3906			100	400	
Output Admittance (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3905	12	h_{oe}	1.0	40	μmhos
	2N3906			3.0	60	
Noise Figure (I_C = 100 μAdc, V_{CE} = 5.0 Vdc, R_S = 1.0 k ohm, f = 10 Hz to 15.7 kHz)	2N3905	9, 10	NF	–	5.0	dB
	2N3906			–	4.0	
SWITCHING CHARACTERISTICS						
Delay Time (V_{CC} = 3.0 Vdc, $V_{BE(off)}$ = 0.5 Vdc, I_C = 10 mAdc, I_{B1} = 1.0 mAdc)		1, 5	t_d	–	35	ns
Rise Time		1, 5, 6	t_r	–	35	ns
Storage Time (V_{CC} = 3.0 Vdc, I_C = 10 mAdc, I_{B1} = I_{B2} = 1.0 mAdc)	2N3905	2, 7	t_s	–	200	ns
	2N3906			–	225	
Fall Time	2N3905	2, 8	t_f	–	60	ns
	2N3906			–	75	

*Indicates JEDEC Registered Data. (1) Pulse Width = 300 μs; Duty Cycle = 2.0%

FIGURE 1 – DELAY AND RISE TIME EQUIVALENT TEST CIRCUIT

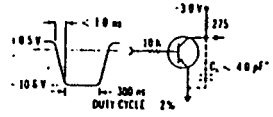
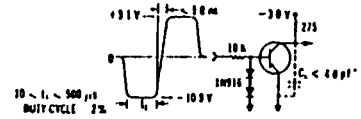


FIGURE 2 – STORAGE AND FALL TIME EQUIVALENT TEST CIRCUIT



*Total shunt capacitance of test jig and connectors

Copyright © 1992 by Glencoe Division of Macmillan/McGraw-Hill Publishing Co.

2N4918 thru 2N4920 (SILICON)
MJE4918 thru MJE4920

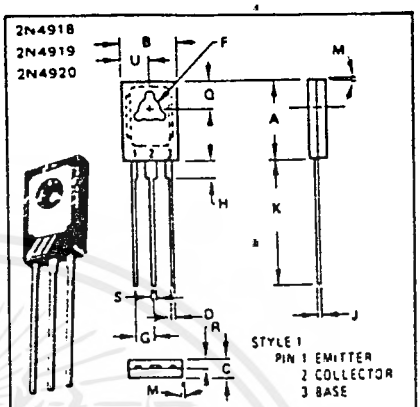
3 AMPERE GENERAL-PURPOSE POWER TRANSISTORS

40-80 VOLTS
30 and 40 WATTS

MEDIUM-POWER PLASTIC PNP SILICON TRANSISTORS

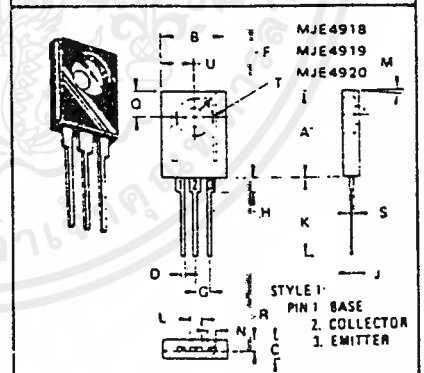
. . . designed for driver circuits, switching, and amplifier applications. These high-performance plastic devices feature:

- Low Saturation Voltage – $V_{CE(sat)}$ = 0.6 Vdc (Max) @ I_C = 1.0 Amp
- Excellent Power Dissipation Due to Thermopad Construction – P_D = 30 and 40 W @ T_C = 25°C
- Excellent Safe Operating Area
- Gain Specified to I_C = 1.0 Amp
- Complement to NPN 2N4921, 2N4922, 2N4923 and MJE4921, MJE4922, MJE4923
- Choice of Packages – 2N4918 thru 2N4920, 30 Watts, Case 77 MJE4918 thru MJE4920, 40 Watts, Case 199



DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	10.80	11.05	0.425	0.435
B	7.49	7.75	0.295	0.305
C	2.41	2.67	0.095	0.105
D	0.51	0.66	0.020	0.026
F	2.92	3.00	0.115	0.118
G	2.36 BSC		0.093 BSC	
H	2.16	2.41	0.085	0.095
J	0.38	0.64	0.015	0.025
K	15.38	16.64	0.605	0.655
M	3° TYP		3° TYP	
Q	3.76	4.01	0.148	0.158
R	1.14	1.40	0.045	0.055
S	0.64	0.89	0.025	0.035
U	3.58	3.94	0.145	0.155

CASE 77-03



DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	16.08	16.33	0.633	0.643
B	12.57	12.83	0.495	0.505
C	3.18	3.43	0.125	0.135
D	0.51	0.76	0.020	0.030
F	3.61	3.86	0.142	0.152
G	2.54 BSC		0.100 BSC	
H	2.67	2.92	0.105	0.115
J	0.43	0.69	0.017	0.027
K	14.73	14.99	0.580	0.590
L	2.16	2.41	0.085	0.095
M	3° TYP		3° TYP	
N	1.47	1.73	0.058	0.068
Q	4.78	5.03	0.188	0.198
R	1.91	2.16	0.075	0.085
S	0.81	0.86	0.032	0.034
T	6.99	7.24	0.275	0.285
U	6.22	6.48	0.245	0.255

1. DIM "G" IS TO CENTERLINE OF LEADS

CASE 199-04

***MAXIMUM RATINGS**

Ratings	Symbol	2N4918 MJE4918	2N4919 MJE4919	2N4920 MJE4920	Unit
Collector-Emitter Voltage	V_{CEO}	40	60	80	Vdc
Collector-Base Voltage	V_{CB}	40	60	80	Vdc
Emitter-Base Voltage	V_{EB}	5.0			Vdc
Collector Current – Continuous (1)	I_C*	1.0			Adc
		3.0			
Base Current	I_B	1.0			Adc
		2N4918 series		MJE4918 series	
Total Device Dissipation @ T_C = 25°C Derate above 25°C	P_D	30 0.24		40 0.32	Watts W/°C
Operating & Storage Junction Temperature Range	T_J, T_{stg}	-65 to +150			°C

THERMAL CHARACTERISTICS (2)

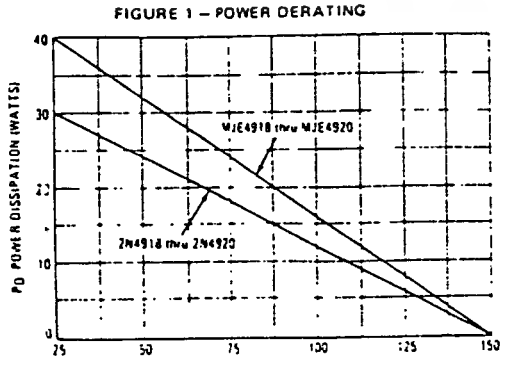
Characteristic	Symbol	2N4918/20	MJE4918/20	Unit
Thermal Resistance, Junction to Case	θ_{JC}	4.16	3.125	°C/W

*Indicates JEDEC Registered Data for 2N4918 Series

(1) The 1.0 Amp maximum I_C value is based upon JEDEC current gain requirements. The 3.0 Amp maximum value is based upon actual current handling capability of the device (See Figure 5)

(2) Recommend use of thermal compound for lowest thermal resistance

FIGURE 1 – POWER DERATING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise noted)

Characteristic		Fig. No.	Symbol	Min	Max	Unit
OFF CHARACTERISTICS						
Collector-Emitter Sustaining Voltage (1)		–	$V_{CEO(sus)}$			Vdc
(I_C = 0.1 Adc, I_B = 0)	2N4918,MJE4918			40	–	
	2N4919,MJE4919			60	–	
	2N4920,MJE4920			80	–	
Collector Cutoff Current		–	I_{CEO}			mAdc
(V_{CE} = 20 Vdc, I_B = 0)	2N4918,MJE4918			–	0.5	
(V_{CE} = 30 Vdc, I_B = 0)	2N4919,MJE4919			–	0.5	
(V_{CE} = 40 Vdc, I_B = 0)	2N4920,MJE4920			–	0.5	
Collector Cutoff Current		13	I_{CEX}			mAdc
(V_{CE} = Rated V_{CEO}, $V_{BE(off)}$ = 1.5 Vdc)				–	0.1	
(V_{CE} = Rated V_{CEO}, $V_{BE(off)}$ = 1.5 Vdc, T_C = 125°C)				–	0.5	
Collector Cutoff Current		–	I_{CBO}			mAdc
(V_{CB} = Rated V_{CB}, I_E = 0)				–	0.1	
Emitter Cutoff Current		–	I_{EBO}	–	1.0	mAdc
(V_{BE} = 5.0 Vdc, I_C = 0)						
ON CHARACTERISTICS						
DC Current Gain (1)		9	h_{FE}			–
(I_C = 50 mAdc, V_{CE} = 1.0 Vdc)				40	–	
(I_C = 500 mAdc, V_{CE} = 1.0 Vdc)				20	100	
(I_C = 1.0 Adc, V_{CE} = 1.0 Vdc)				10	–	
Collector-Emitter Saturation Voltage (1)		10	$V_{CE(sat)}$			Vdc
(I_C = 1.0 Adc, I_B = 0.1 Adc)		12		–	0.6	
		14				
Base-Emitter Saturation Voltage (1)		12	$V_{BE(sat)}$			Vdc
(I_C = 1.0 Adc, I_B = 0.1 Adc)		14		–	1.3	
Base-Emitter On Voltage (1)		12	$V_{BE(on)}$			Vdc
(I_C = 1.0 Adc, V_{CE} = 1.0 Vdc)		14		–	1.3	
SMALL-SIGNAL CHARACTERISTICS						
Current-Gain – Bandwidth Product		–	f_T			MHz
(I_C = 250 mAdc, V_{CE} = 10 Vdc, f = 1.0 MHz)				3.0	–	
Output Capacitance		–	C_{ob}			pF
(V_{CB} = 10 Vdc, I_E = 0, f = 100 kHz)				–	100	
Small-Signal Current Gain		–	h_{fe}			–
(I_C = 250 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)				25	–	

*Indicates JEDEC Registered Data for 2N4918 Series.

(1) Pulse Test: PW ≈ 300 μs, Duty Cycle ≈ 2.0%

FIGURE 2 – SWITCHING TIME EQUIVALENT CIRCUIT

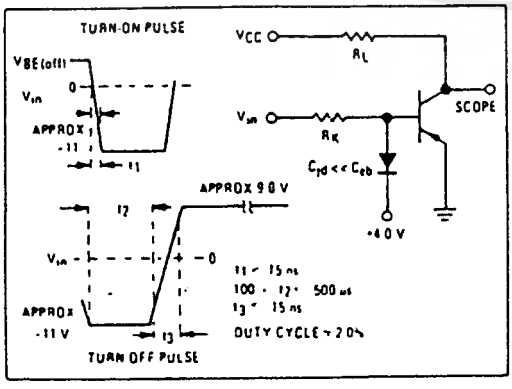
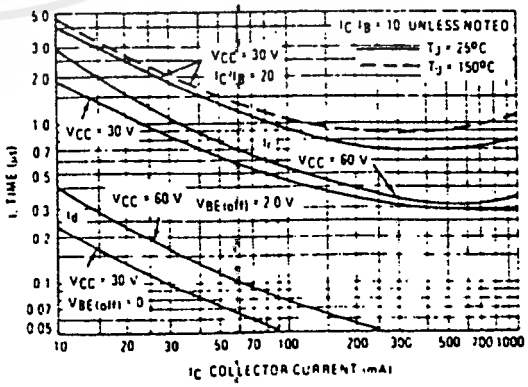


FIGURE 3 – TURN-ON TIME



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

Military 54ALS00

Quad 2-Input Positive NAND Gate

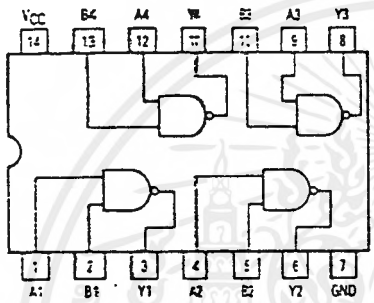
ELECTRICALLY TESTED PER:
MPG54ALS00

AVAILABLE AS:

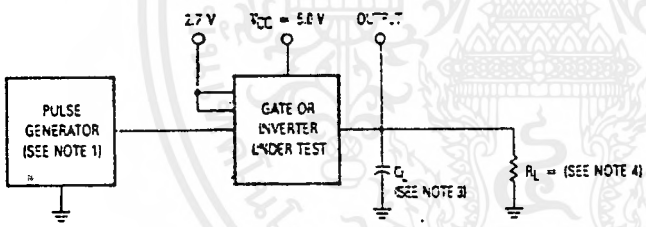
1) JAN: N/A
2) SMD: N/A
3) 883C: 54ALS00/BXAJC

X = CASE OUTLINE AS FOLLOWS:
PACKAGE: CERDIP: C
CERFLAT: D
LCC: 2

LOGIC DIAGRAM

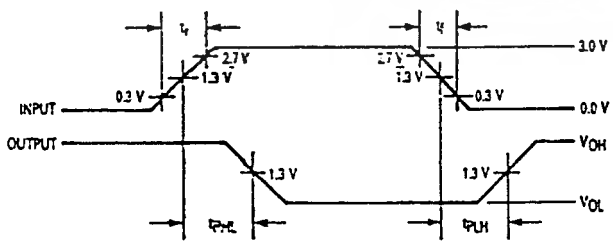


AC TEST CIRCUIT



NOTES:
1. Pulse generator has the following characteristics: t_r = t_f = 6.0 ns, PRR = 1.0 MHz, Z_{out} = 50 Ω.
2. Terminal condition (pins not designated may be high ≥ 2.0 V, low ≤ 0.8 V, or open).
3. C_L = 50 pF ± 10%, including scope probe wiring and stray capacitance, without package in test fixture.
4. R_L = 455 Ω ± 5.0%.
5. Voltage measurements are to be made with respect to network ground terminal.

WAVEFORMS



PIN ASSIGNMENTS

FUNCTION	DIL	FLATS	LCC	BURN-IN (CONDITION A)
A1	1	1	2	VCC
B1	2	2	3	GND
Y1	3	3	4	VCC
A2	4	4	6	VCC
B2	5	5	8	GND
Y2	6	6	9	VCC
GND	7	7	10	GND
Y3	8	8	12	VCC
A3	9	9	13	VCC
B3	10	10	14	GND
Y4	11	11	16	VCC
A4	12	12	18	VCC
B4	13	13	19	GND
VCC	14	14	20	VCC

BURN-IN CONDITIONS:
VCC = 5.0 V MIN/6.0 V MAX

TRUTH TABLE

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Symbol	Parameter	Limits						Units	Test Condition (Unless Otherwise Specified)
	Static Parameters:	+25°C		+125°C		−55°C			
		Subgroup 1		Subgroup 2		Subgroup 3			
		Min	Max	Min	Max	Min	Max		
V_{OH}	Logical "1" Output Voltage	2.5		2.5		2.5		V	V_{CC} = 4.5 V, I_{OH} = −400 μA, V_{IL} = 0.8 V, V_{IN} = 5.5 V on other input.
V_{OL}	Logical "0" Output Voltage		0.4		0.4		0.4	V	V_{CC} = 4.5 V, I_{OL} = 4.0 mA, V_{IH} = 2.0 V on both inputs.
V_{IC}	Input Clamping Voltage		−1.5					V	V_{CC} = 4.5 V, I_{IN} = −18 mA, other input is open.
I_{IH}	Logical "1" Input Current		20		20		20	μA	V_{CC} = 5.5 V, V_{IH} = 2.7 V, other input is GND.
I_{IHH}	Logical "1" Input Current		100		100		100	μA	V_{CC} = 5.5 V, V_{IHH} = 7.0 V, other input is GND.
I_{IL}	Logical "0" Input Current	0	−100	0	−100	0	−100	μA	V_{CC} = 5.5 V, V_{IN} = 0.4 V, other inputs = 5.5 V.
I_{OS}	Output Short Circuit Current	−30	−110	−30	−110	−30	−110	mA	V_{CC} = 5.5 V, V_{IN} = GND (both inputs), V_{OUT} = 2.25 V.
I_{CCH}	Power Supply Current		0.85		0.85		0.85	mA	V_{CC} = 5.5 V, V_{IN} = GND (all inputs).
I_{CCL}	Power Supply Current		3.0		3.0		3.0	mA	V_{CC} = 5.5 V, V_{IN} = 4.5 V (all inputs).
V_{IH}	Logical "1" Input Voltage	2.0		2.0		2.0		V	V_{CC} = 4.5 V.
V_{IL}	Logical "0" Input Voltage		0.8		0.8		0.8	V	V_{CC} = 4.5 V.
	Functional Tests	Subgroup 7		Subgroup 8A		Subgroup 8B			per Truth Table with V_{CC} = 5.0 V, V_{INL} = 0.4 V, and V_{INH} = 2.5 V.

Symbol	Parameter	Limits						Units	Test Condition (Unless Otherwise Specified)
	Switching Parameters	+25°C		+125°C		−55°C			
		Subgroup 9		Subgroup 10		Subgroup 11			
		Min	Max	Min	Max	Min	Max		
t_{PHL}	Propagation Delay /Data-Output Output High-Low	2.0	8.0	2.0	9.0	2.0	9.0	ns	V_{CC} = 5.0 V, C_L = 50 pF, R_L = 499Ω.
t_{PLH}	Propagation Delay /Data-Output Output Low-High	3.0	11	3.0	14	3.0	14	ns	V_{CC} = 5.0 V, C_L = 50 pF, R_L = 499Ω.

NOTE:
1. Method 3011 of MIL-STD-883 shall be used, except the output shall be as specified herein, and the output current shall be operating ratherthan short circuit current. The output conditions have beenchosen to produce a current that closely approximates one half of the true short-circuit output current, I_{OS}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

Military 54ALS04

Hex 1-Input Inverter Gate

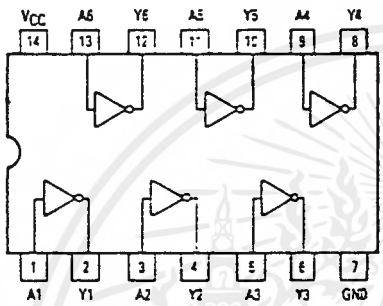
ELECTRICALLY TESTED PER:
MPG54ALS04

AVAILABLE AS:

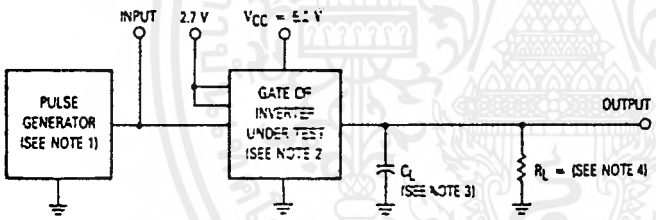
1) JAN: N/A
2) SMD: N/A
3) 883C: 54ALS04/BXAJC

X = CASE OUTLINE AS FOLLOWS:
PACKAGE: CERDIP: C
CERFLAT: D
LCC: 2

LOGIC DIAGRAM

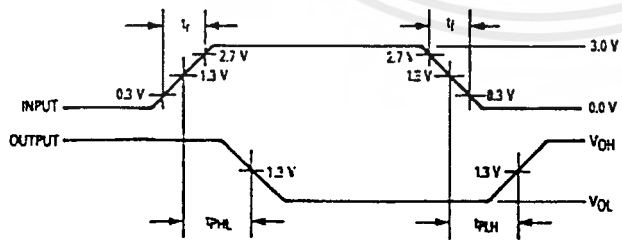


AC TEST CIRCUIT



NOTES:
1. Pulse generator has the following characteristics: $t_r = t_f = 3.0 \pm 1.5$ ns, PRR ≤ 1.0 MHz, $Z_{out} \approx 50\ \Omega$.
2. Terminal conditions (pin not designated may be high ≥ 2.0 V, low ≤ 0.8 V, or open).
3. $C_L = 50$ pF ± 10%, including scope probe, wiring and stray capacitance, without package in test fixture.
4. $R_L = 499\ \Omega \pm 1.0\%$.
5. Voltage measurements are to be made with respect to network ground terminal.

WAVEFORMS



PIN ASSIGNMENTS

FUNCTION	DIL	FLATS	LCC	BURN-IN (CONDITION A)
A1	1	1	2	V_{CC}
Y1	2	2	3	OPEN
A2	3	3	4	V_{CC}
Y2	4	4	6	OPEN
A3	5	5	8	V_{CC}
Y3	6	6	9	OPEN
GND	7	7	10	GND
Y4	8	8	12	OPEN
A4	9	9	13	V_{CC}
Y5	10	10	14	OPEN
A5	11	11	16	V_{CC}
Y6	12	12	18	OPEN
A6	13	13	19	V_{CC}
V_{CC}	14	14	20	V_{CC}

BURN-IN CONDITIONS:
V_{CC} = 5.0 V MIN/6.0 V MAX

TRUTH TABLE

A	Y
0	1
1	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Symbol	Parameter	Limits						Units	Test Condition (Unless Otherwise Specified)
		+25°C		+125°C		−55°C			
	Static Parameters:	Subgroup 1		Subgroup 2		Subgroup 3			
		Min	Max	Min	Max	Min	Max		
V_{OH}	Logical "1" Output Voltage	2.5		2.5		2.5		V	V_{CC} = 4.5 V, I_{OH} = −400 µA, V_{IL} = 0.8 V, other inputs = 5.5 V.
V_{OL}	Logical "0" Output Voltage		0.4		0.4		0.4	V	V_{CC} = 4.5 V, I_{OL} = 4.0 mA, V_{IH} = 2.0 V, other inputs are GND.
V_{IC}	Input Clamping Voltage		−1.2					V	V_{CC} = 4.5 V, I_{IN} = −18 mA, other inputs are open.
I_{IH1}	Logical "1" Input Current		20		20		20	µA	V_{CC} = 5.5 V, V_{IH} = 2.7 V, other inputs are GND.
I_{IH2}	Logical "1" Input Current		100		100		100	µA	V_{CC} = 5.5 V, V_{IHH} = 7.0 V, other inputs are GND.
I_{IL}	Logical "0" Input Current	0	−100	0	−100	0	−100	µA	V_{CC} = 5.5 V, V_{IN} = 0.4 V, other inputs = 5.5 V.
I_O	Operating Circuit Current	−30	−110	−30	−110	−30	−112	mA	V_{CC} = 5.5 V, V_{IN} = GND, V_{OUT} = 2.25 V, other inputs are open.
I_{CCH}	Power Supply Current		1.1		1.1		1.1	mA	V_{CC} = 5.5 V, V_{IN} = GND.
I_{CCL}	Power Supply Current		4.4		4.4		4.4	mA	V_{CC} = 5.5 V, V_{IN} = 4.5 V.
V_{IH}	Logical "1" Input Voltage	2.0		2.0		2.0		V	V_{CC} = 4.5 V.
V_{IL}	Logical "0" Input Voltage		0.8		0.8		0.8	V	V_{CC} = 4.5 V.
	Functional Tests	Subgroup 7		Subgroup 8A		Subgroup 8B			per Truth Table with V_{CC} = 4.5 V, (Repeat at) V_{CC} = 5.5 V, V_{INL} = 0.4 V, and V_{INH} = 2.5 V.

Symbol	Parameter	Limits						Units	Test Condition (Unless Otherwise Specified)
		+25°C		+125°C		−55°C			
	Switching Parameters	Subgroup 9		Subgroup 10		Subgroup 11			
		Min	Max	Min	Max	Min	Max		
t_{PHL}	Propagation Delay Data-Output Output High-Low	2.0	9.0	2.0	9.0	2.0	9.0	ns	V_{CC} = 5.0 V, C_L = 50 pF, R_L = 499 Ω.
t_{PLH}	Propagation Delay Data-Output Output Low-High	2.0	11	2.0	13	2.0	13	ns	V_{CC} = 5.0 V, C_L = 50 pF, R_L = 499 Ω.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

Military 54F112

Advance Information

Dual J-K Negative Edge-Triggered Flip-Flop

ELECTRICALLY TESTED PER:
MIL-M-38510/34103

The 54F112 consists of two high-speed, completely independent JK flip-flops with Direct Set and Clear inputs. Synchronous state changes are initiated by the falling edge of the clock. Triggering occurs at a voltage level of the Clock and is not directly related to the transition time. The J and K inputs can change when the clock is in either state without affecting the flip-flop, provided that they are in the desired state during the recommended setup and hold times relative to the falling edge of the clock. A LOW signal on $\overline{S}_D$ or $\overline{C}_D$ prevents clocking and forces Q or $\overline{Q}$ HIGH, respectively. Simultaneous LOW signals on $\overline{S}_D$ and $\overline{C}_D$ force both Q and $\overline{Q}$ HIGH.

Asynchronous Inputs:
LOW Input to $\overline{S}_D$ sets Q to HIGH level
LOW Input to $\overline{C}_D$ sets Q to LOW level
Clear and Set are independent of clock
Simultaneous LOW on $\overline{C}_D$ and $\overline{S}_D$ makes both Q and $\overline{Q}$ HIGH

AVAILABLE AS:

1) JAN: *
2) SMD: *
3) MSC: 54F112/BXAJC

X = CASE OUTLINE AS FOLLOWS:
PACKAGE: CERDIP: E
CERFLAT: F
LCC: 2
*Call Factory for latest update

PIN ASSIGNMENTS

FUNCTION	DIL	FLATS	LCC	BURN-IN (CONDITION A)
$\overline{CP}1$	1	1	2	V_{CC}
K1	2	2	3	V_{CC}
J1	3	3	4	V_{CC}
$\overline{SD}1$	4	4	5	GND
Q1	5	5	7	OPEN
$\overline{Q}1$	6	6	8	OPEN
$\overline{Q}2$	7	7	9	OPEN
GND	8	8	10	GND
Q2	9	9	12	OPEN
$\overline{SD}2$	10	10	13	GND
J2	11	11	14	V_{CC}
K2	12	12	15	V_{CC}
$\overline{CP}2$	13	13	17	V_{CC}
$\overline{CD}2$	14	14	18	GND
$\overline{CD}1$	15	15	19	GND
V_{CC}	16	16	20	V_{CC}

BURN-IN CONDITIONS:
V_{CC} = 5.0 V MIN/6.0 V MAX

AC TEST CIRCUIT

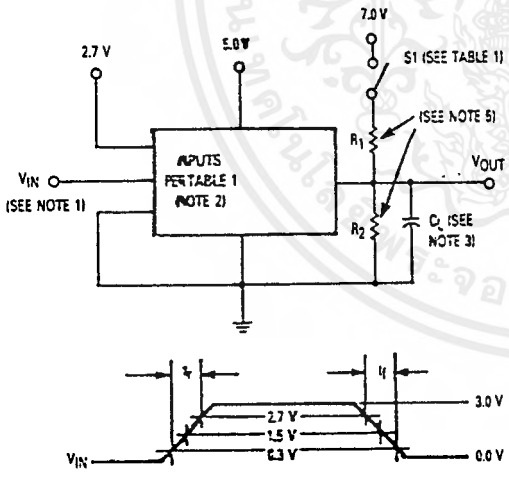


Table 1

Test Type	S1
t_{PLH}	open
t_{PHL}	open
t_{PHZ}	open
t_{PZH}	open
t_{PLZ}	closed
t_{PZL}	closed

NOTES:
1. V_{IN} = Input pulse has the following characteristics: $t_r = t_f = 2.5$ ns, PRR ≤ 1.0 MHz.
2. Terminal conditions (pins not designated may be high ≥ 2.0 V, low ≤ 0.8 V, or open).
3. C_L = 50 pF ± 10% including scope probe, wiring and stray capacitance without package in test fixture.
4. Voltage measurements are to be made with respect to network ground terminal.
5. $R_1 = R_2 = 499\ \Omega \pm 5.0\%$.
6. When testing f_{MAX}, the output frequency shall be 1/2 the input frequency.

This document contains information on a new product. Specifications and information herein are subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SN54121, SN54L121, SN74121, SN74L121
MONOSTABLE MULTIVIBRATORS
WITH SCHMITT-TRIGGER INPUTS

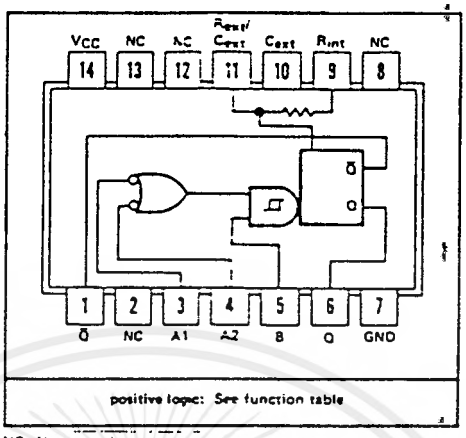
- Programmable Output Pulse Width
  With R_{int} . . . 35 ns Typ
  With R_{ext}/C_{ext} . . . 40 ns to 28 Seconds
- Internal Compensation for Virtual Temperature Independence
- Jitter-Free Operation up to 90% Duty Cycle
- Inhibit Capability

FUNCTION TABLE

INPUTS			OUTPUTS	
A1	A2	B	Q	$\bar{Q}$
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↓	H	⎍	⎎
↓	H	H	⎍	⎎
↓	↓	H	⎍	⎎
L	X	↑	⎍	⎎
X	L	↑	⎍	⎎

For explanation of function table symbols, see page 3-8.

SN54121 . . . J OR W PACKAGE
SN54L121 . . . J OR T PACKAGE
SN74121, SN74L121 . . . J OR N PACKAGE



NC—No internal connection

NOTES: 1. An external capacitor may be connected between C_{ext} (positive) and R_{ext}/C_{ext}.
2. To use the internal timing resistor, connect R_{int} to V_{CC}. For improved pulse width accuracy and repeatability, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.

description

These multivibrators feature dual negative-transition-triggered inputs and a single positive-transition-triggered input which can be used as an inhibit input. Complementary output pulses are provided.

Pulse triggering occurs at a particular voltage level and is not directly related to the transition time of the input pulse. Schmitt-trigger input circuitry (TTL hysteresis) for the B input allows jitter-free triggering from inputs with transition rates as slow as 1 volt/second, providing the circuit with an excellent noise immunity of typically 1.2 volts. A high immunity to V_{CC} noise of typically 1.5 volts is also provided by internal latching circuitry.

Once fired, the outputs are independent of further transitions of the inputs and are a function only of the timing components. Input pulses may be of any duration relative to the output pulse. Output pulse length may be varied from 40 nanoseconds to 28 seconds by choosing appropriate timing components. With no external timing components (i.e., R_{int} connected to V_{CC}, C_{ext} and R_{ext}/C_{ext} open), an output pulse of typically 30 or 35 nanoseconds is achieved which may be used as a d-c triggered reset signal. Output rise and fall times are TTL compatible and independent of pulse length.

Pulse width stability is achieved through internal compensation and is virtually independent of V_{CC} and temperature. In most applications, pulse stability will only be limited by the accuracy of external timing components.

Jitter-free operation is maintained over the full temperature and V_{CC} ranges for more than six decades of timing capacitance (10 pF to 10 μF) and more than one decade of timing resistance (2 kΩ to 30 kΩ for the SN54121/SN54L121 and 2 kΩ to 40 kΩ for the SN74121/SN74L121). Throughout these ranges, pulse width is defined by the relationship $t_{w(out)} = C_{ext}R_T \ln 2 \approx 0.7\, C_{ext}R_T$. In circuits where pulse cutoff is not critical, timing capacitance up to 1000 μF and timing resistance as low as 1.4 kΩ may be used. Also, the range of jitter-free output pulse widths is extended if V_{CC} is held to 5 volts and free-air temperature is 25°C. Duty cycles as high as 90% are achieved when using maximum recommended R_T. Higher duty cycles are available if a certain amount of pulse-width jitter is allowed.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

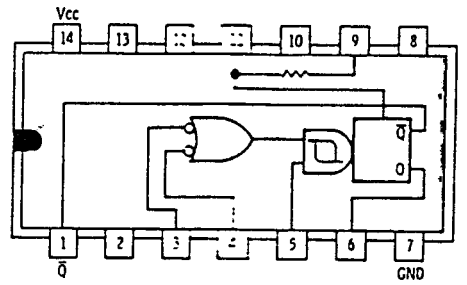
443-22	74121	MONO STABLE MULTIVIB-RATOR WITH SCHMITT-TRIGGER INPUTS	

Figure H
74121 TTL IC.

About the equipment:

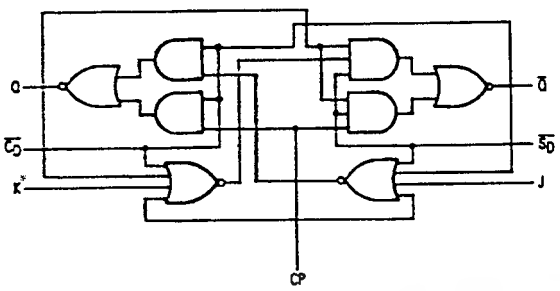
Your ET-1000 trainer uses push-in contacts. These make setting up and tearing down circuits quite easy. But these contacts can also get dirty or lopsened, resulting in intermittent connections. If your circuits do not work properly, try inserting and removing the wires or components a few times to clean the contacts. You might also try using a different set of connections.

Some of the circuits you will build use potentiometers (pots) tp adjust the performance. Adjust th epots slowly, while observing the affected signal on your oscilloscope. These adjustments must be made carefully, or you may not obtain the desired results.

Now you are ready to being the experiments.

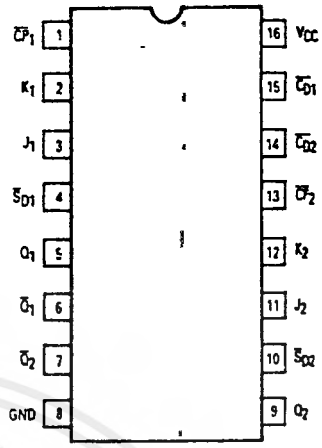
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM
(one half show)



Please note that this diagram is provided only for the understanding of logic operations and should not be used to estimate propagation delays.

CONNECTION DIAGRAM

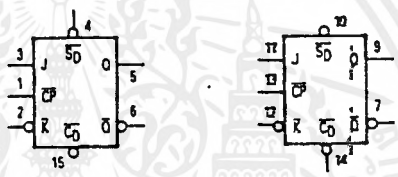


TRUTH TABLE

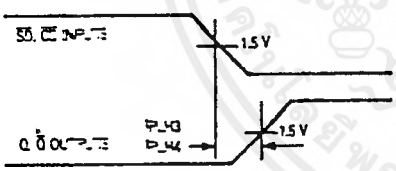
Inputs		Outputs
		@ t_n+1
J	K	Q
L	L	Q_n
L	H	L
H	L	H
H	H	Q_n (Toggle)

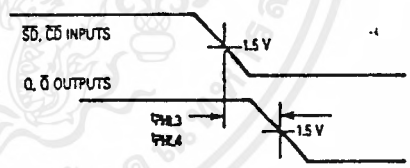
t_n = Bit time before clock pulse
t_n+1 = Bit time after clock pulse
H = HIGH Voltage Level
L = LOW Voltage Level

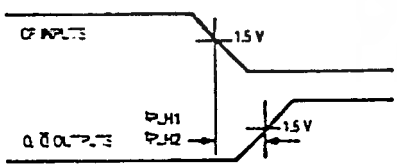
LOGIC DIAGRAM

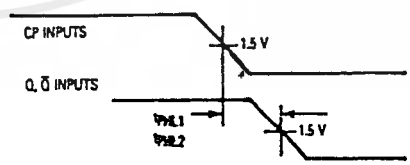


WAVEFORMS









เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Symbol	Parameter	Limits						Units	Test Condition (Unless Otherwise Specified)
	Static Parameters:	+25°C		+125°C		−55°C			
		Subgroup 1		Subgroup 2		Subgroup 3			
		Min	Max	Min	Max	Min	Max		
V_{OH}	Logical "1" Output Voltage	2.5		2.5		2.5		V	V_{CC} = 4.5 V, I_{OH} = −1.0 mA, V_{IN} = 2.0 V, other inputs = 0.8 V, CP = (See Note 1).
V_{OL}	Logical "0" Output Voltage		0.5		0.5		0.5	V	V_{CC} = 4.5 V, I_{OL} = 20 mA, V_{IL} = 0.8 V, other inputs = 4.5 V or 2.0 V, CP = (See Note 1).
V_{IC}	Input Clamping Voltage		−1.2					V	V_{CC} = 4.5 V, I_{IN} = −18 mA, other inputs are open.
I_{IH}	Logical "1" Input Current		20		20		20	µA	V_{CC} = 5.5 V, V_{IH} = 2.7 V, J = 4.5 V, other inputs = GND, 4.5 V, (2.7 V) or (See Note 1).
I_{IHH}	Logical "1" Input Current		100		100		100	µA	V_{CC} = 5.5 V, V_{IHH} = 7.0 V, J = 4.5 V, other inputs = GND, 4.5 V, (7.0 V) or (See Note 1).
I_{IL}	Logical "0" Input Current K and J	−0.03	−0.6	−0.03	−0.6	−0.03	−0.6	mA	V_{CC} = 5.5 V, V_{IL} = 0.5 V, other inputs = 4.5 V, $\overline{SD1}$ & $\overline{CD1}$ = 4.5 V or (See Note 1).
I_{IL}	Logical "0" Input Current $\overline{CD1}$ and 2, $\overline{SD1}$ and 2	−0.09	−1.8	−0.09	−1.8	−0.09	−1.8	mA	V_{CC} = 5.5 V, $V_{IN(CP)}$ = 0.5 V, other inputs = 4.5 V, CDn = (See Note 1).
I_{IL}	Logical "0" Input Current $\overline{CP1}$ and 2	−0.12	−2.4	−0.12	−2.4	−0.12	−2.4	mA	V_{CC} = 5.5 V, $\overline{CD}$ = 0.5 V, SD = 0 V, other inputs = 4.5 V.
I_{OD}	Diode Current	60		60		60		mA	V_{CC} = 4.5 V, V_{IN} = 5.5 V, SD = 0 V or 5.5 V, V_{OUT} = 2.5 V.
I_{OS}	Short Circuit Output Current	−60	−150	−60	−150	−60	−150	mA	V_{CC} = 5.5 V, V_{IN} = 4.5 V, SD = GND, V_{OUT} = 0 V.
I_{CC}	Power Supply Current		19		19		19	mA	V_{CC} = 5.5 V, V_{IN} = 4.5 V, SD = GND or 4.5 V.
V_{IH}	Logical "1" Input Voltage	2.0		2.0		2.0		V	V_{CC} = 4.5 V.,
V_{IL}	Logical "0" Input Voltage		0.8		0.8		0.8	V	V_{CC} = 4.5 V.
	Functional Tests	Subgroup 7		Subgroup 8A		Subgroup 8B			per Truth Table with V_{CC} = 4.5 V, (Repeat at) V_{CC} = 5.5 V, V_{INL} = 0.5 V, and V_{INH} = 2.5 V.

NOTE:
1. Apply all voltages then apply 3.0 V, 0 V, 3.0 V to $\overline{CDX}$, or $\overline{SDX}$ (as required) then make measurement.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Symbol	Parameter	Limits						Units	Test Condition (Unless Otherwise Specified)
		+25°C		+125°C		−55°C			
	Switching Parameters	Subgroup 9		Subgroup 10		Subgroup 11			
		Min	Max	Min	Max	Min	Max		
t_{PHL1}	Propagation Delay /Data-Output CP to Q	3.3	7.7	2.5	9.5	2.5	9.5	ns	V_{CC} = 5.0 V, C_L = 50 pF, $R_1 = R_2$ = 499 Ω ±5.0%.
t_{PLH1}	Propagation Delay /Data-Output CP to Q	3.3	7.7	2.5	9.5	2.5	9.5	ns	V_{CC} = 5.0 V, C_L = 50 pF, $R_1 = R_2$ = 499 Ω ±5.0%.
t_{PHL2}	Propagation Delay /Data-Output CP to $\overline{Q}$	3.3	7.7	2.5	9.5	2.5	9.5	ns	V_{CC} = 5.0 V, C_L = 50 pF, $R_1 = R_2$ = 499 Ω ±5.0%.
t_{PLH2}	Propagation Delay /Data-Output CP to $\overline{Q}$	3.3	7.7	2.5	9.5	2.5	9.5	ns	V_{CC} = 5.0 V, C_L = 50 pF, $R_1 = R_2$ = 499 Ω ±5.0%.
t_{PHL3}	Propagation Delay /Data-Output $\overline{CD}$ or $\overline{SD}$ to Q or $\overline{Q}$	3.3	7.7	2.0	9.5	2.0	9.5	ns	V_{CC} = 5.0 V, C_L = 50 pF, $R_1 = R_2$ = 499 Ω ±5.0%.
t_{PLH3}	Propagation Delay /Data-Output $\overline{CD}$ or $\overline{SD}$ to Q or $\overline{Q}$	3.0	7.0	2.0	9.0	2.0	9.0	ns	V_{CC} = 5.0 V, C_L = 50 pF, $R_1 = R_2$ = 499 Ω ±5.0%.
t_{PHL4}	Propagation Delay /Data-Output $\overline{CD}$ or $\overline{SD}$ to Q or $\overline{Q}$	3.3	7.7	2.5	9.5	2.5	9.5	ns	V_{CC} = 5.0 V, C_L = 50 pF, $R_1 = R_2$ = 499 Ω ±5.0%.
t_{PLH4}	Propagation Delay /Data-Output $\overline{CD}$ or $\overline{SD}$ to Q or $\overline{Q}$	3.0	7.0	2.0	9.0	2.0	9.0	ns	V_{CC} = 5.0 V, C_L = 50 pF, $R_1 = R_2$ = 499 Ω ±5.0%.
f_{MAX}	Maximum Clock Frequency	90		90		90		MHz	V_{CC} = 5.0 V, C_L = 50 pF, $R_1 = R_2$ = 499 Ω ±5.0%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้