



ชุดทดสอบยูนิเวอร์แซลโปรแกรมเมเบิลอาร์เรย์ลอจิก

Universal Programmable Array Logic Tester

โดย

นาย ชัยวัฒน์ เลิศรุ่งเรืองชัย

รหัส 37013334

นาย ธีระพงษ์ ท้วมเพชร

รหัส 37013341

นาย วรพันธ์ มีบุญ

รหัส 37013355

วัน เดือน ปี.....-1 ต.ค 2531
เลขทะเบียน.....038353
เลขเรียกหนังสือ.....T 39394 4325

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาคตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรณีใช้

038358

ปริญญานิพนธ์

ชุดทดสอบยูนิเวอร์แซลโปรแกรมเมเบิลอาร์เรย์ลจิก

โดย

1. นาย ชัยวัฒน์ เลิศรุ่งเรืองชัย

รหัส 37013334 ชั้น 3/L

2. นาย ชีระพงษ์ ท้วมเพชร

รหัส 37013341 ชั้น 3/L

3. นาย วรพันธ์ มีบุญ

รหัส 37013355 ชั้น 3/L

อาจารย์ที่ปรึกษา

อาจารย์ ไพศาล สิทธิโยภาสกุล

ภาควิชาเทคนิคอุตสาหกรรม

สาขาเทคโนโลยีอิเล็กทรอนิกส์ (บ่าย)

ปีการศึกษา 2539

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังอนุมัติให้
ปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาคามหลักสูตรปริญญาอุตสาหกรรมศาสตร
บัณฑิต

คณะกรรมการการสอบปริญญานิพนธ์

(.....)

ประธานกรรมการ

(.....)

กรรมการ

(.....)

กรรมการ

(.....)

กรรมการ

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดทดสอบยูนีเวอร์แซลโปรแกรมเมเบิลอาร์เรย์ลอจิก

โดย

- 1.นาย ชัยวัฒน์ เลิศรุ่งเรืองชัย รหัส 37013334 ชั้น 3/L
- 2.นาย ธีระพงษ์ ท้วมเพชร รหัส 37013341 ชั้น 3/L
- 3.นาย วรพันธ์ มีบุญ รหัส 37013355 ชั้น 3/L

อาจารย์ที่ปรึกษา

อาจารย์ ไพศาล สิทธิโยภาสกุล

ปีการศึกษา 2539

บทคัดย่อ

โปรแกรมเมเบิลอาร์เรย์ลอจิกเป็นอุปกรณ์ ที่ช่วยให้การออกแบบแผ่นวงจรพิมพ์ของวงจรประเภทดิจิทัลที่ยุ่งยากมาก ๆ ให้ง่ายขึ้น ในการที่จะทดสอบดูว่า การทำงานของโปรแกรมเมเบิลอาร์เรย์ลอจิกที่เราโปรแกรมแล้วนั้น ทำงานได้ตามที่เราต้องการหรือไม่นั้น ชุดทดสอบโปรแกรมเมเบิลอาร์เรย์ลอจิกสามารถที่ช่วยให้เราทำการทดสอบการทำงานของ โปรแกรมเมเบิลอาร์เรย์ลอจิกที่โปรแกรมเสร็จแล้วได้อย่างสะดวกและง่ายดาย



Universal Programmable Array Logic Tester

BY

1. Mr. CHAIWAT LEADRUANGREANGCHAI No.37013334

2. Mr. TEERAPONG TUAMPETCH No. 37013341

3. Mr. WORAPAN MEBOON No.37013355

ADVISER

Mr. PAISAN SITTIYOPASKUL

STUDY YEAR 1996

Abstract

The Programmable Array Logic is a device gives designers a powerful tool with unique capabilities for use in new and existing logic designs. Pals can be tested by Tester Programable array Logic. Which avilable very simple.

กิตติกรรมประกาศ

อาจารย์ ไพศาล สิริธิโยภาสกุล อาจารย์ที่ปรึกษา เพื่อน ๆ ที่มาช่วยทุก ๆ คน โดยเฉพาะ นาย พิเชษฐ รัตนเจริญชัย นายชัยวัฒน์ วรรณวงค์ นายสุรสิทธิ์ ขันดี ที่ช่วยแนะนำ นาย สมโชค กิมปาน ที่ให้ใช้เครื่องคอมพิวเตอร์ รวมถึงบริษัท วราไมโครเซอร์คิท จำกัด ที่ให้ความช่วยเหลือ เป็นอย่างดี



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
บทที่ 1 บทนำ	
1.1 ความเป็นมาของหัวข้อวิทยานิพนธ์	1
1.2 วัตถุประสงค์และแนวคิดในการทำชุดทดสอบ PAL	1
1.3 แนวความคิดในการนำ PAL มาใช้งาน	1
บทที่ 2 Universal Programmable Array Logic Tester	4
2.1 แนวความคิดในการสร้างชุดทดสอบ PAL	4
2.2 ทฤษฎีต่าง ๆ ที่นำมาใช้ในการสร้างชุดทดสอบ PAL	5
- หลักการของ PAL	5
- คุณสมบัติของ Flip Flop	21
- ออปแอมป์	29
บทที่ 3 การทำงานของส่วนต่าง ๆ ที่ใช้ในการออกแบบและสร้างชุดทดสอบ PAL	34
3.1 วงจร Windows Comparator	34
3.2 แหล่งจ่ายไฟในชุดทดสอบ PAL	38
3.3 วงจร Clock และ Memory	39
บทที่ 4 การใช้งานชุดทดสอบ PAL	45
4.1 การใช้งานกับ PAL 20 ขา	45
4.2 การใช้งานกับ PAL 24 ขา	46
4.3 การใช้งานส่วนของ Memory	47
4.4 การเลือกใช้ Logic Switch ที่ขา 1	48
4.5 การใช้งานอื่น ๆ	49
บทที่ 5 สรุปผลการทำงานและวิจารณ์	50
ภาคผนวก ก. โปรแกรมที่ใช้ในการโปรแกรม PAL ในส่วนของ Clock และ Memory	
ภาคผนวก ข. ลายปริ้นท์ของวงจรชุดทดสอบ PAL	

ภาคผนวก ก. Data Sheet

เอกสารนี้เป็นเอกสารที่ลงนามแล้วสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ หากมีให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาของหัวข้อวิทยานิพนธ์

ในโลกปัจจุบันเราต้องการอะไรที่มีความรวดเร็วและประหยัด เพราะในโลกปัจจุบันนี้ทุกอย่างต้องนำมาใช้ให้เกิดประโยชน์สูงสุด ดังนั้นในการออกแบบวงจรรวมไบเนชั่น จึงต้องอาศัย PAL เพื่อลดความยุ่งยากต่างๆลง และให้เกิดประโยชน์สูงสุด

ซึ่งเมื่อเราจะใช้ PAL ได้เราก็ต้องรู้ว่าสถานะต่างๆของ PAL เป็นอย่างไรเพื่อจะสะดวกในการออกแบบ และทำความเข้าใจ ดังนั้นโครงการนี้จึงเกิดขึ้น

1.2 วัตถุประสงค์และแนวคิดในการทำชุดทดสอบ PAL

1.2.1 เพื่อที่จะใช้เป็นอุปกรณ์ในการทดสอบ PAL ที่ได้ทำการโปรแกรมมาแล้ว

1.2.2. เพื่อที่จะสามารถใช้ทดสอบ PAL ที่มีขนาด 20 และ 24 ขา ได้

1.2.3. เพื่อที่จะใช้ชุดทดลองต่อกับอุปกรณ์ภายนอก เพื่อใช้ทดสอบ PAL ได้

1.2.4. เพื่อที่จะทดสอบสถานะทาง Logic ของ Input และ Output ของ PAL ได้ถึง Hi-Low และ Hi-Impedance

1.3 แนวความคิดที่นำ PAL มาใช้งาน

PAL (Programmable Array Logic) เป็นอุปกรณ์ที่ถูกพัฒนามาเพื่อช่วยให้ สามารถทำฟังก์ชันลอจิกที่ยุ่งยาก ซับซ้อน ซึ่งประกอบด้วยหลาย ๆ อินพุต และหลาย ๆ เอาท์พุต ให้สามารถใช้ PAL เพียงตัวเดียว โดยทราบเพียงสถานะของอินพุต และเอาท์พุต ของฟังก์ชันลอจิก ก็สามารถจะทำให้ PAL สามารถเขียนแบบฟังก์ชันลอจิก ที่ยุ่งยากได้ โดยไม่ต้องอาศัยลอจิกเกต (Logic Gate) หลาย ๆ ตัวมาประกอบกัน เพื่อให้ได้วงจรที่มีคุณสมบัติเหมือนกับฟังก์ชันลอจิก

การพัฒนาที่รวดเร็วในเทคโนโลยี LSI (Large Scale Integration) สามารถนำไปสู่มาตรฐานที่กว้างขวางขึ้น

ปัจจุบัน IC (Intergate Circuit) เพียงตัวเดียว สามารถทำหน้าที่แทนวงจรสำเร็จของเดิมได้ ในขณะที่เดียวกันกับการพัฒนา LSI ได้พัฒนาขึ้นมากทำให้สามารถผลิตได้ โดยใช้ต้นทุนต่ำ

ถึงแม้กระนั้น การใช้อุปกรณ์พวก LSI ก็ยังต้องใช้ร่วมกับอุปกรณ์ SSI/MSI (Small Scale Integration/Medium Scale Integration) เพื่อให้สามารถเชื่อมต่อกับระบบผู้ใช้งาน ผู้ออกแบบสามารถที่จะออกแบบให้หลากหลายเพื่อใช้งานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PAL จึงเป็นอุปกรณ์ที่เป็นทางออกที่ดีที่สุดในปัจจุบัน ที่จะนำมาใช้ในการออกแบบ Function Logic เดิมที่เราใช้อุปกรณ์พวก LSI และ MSI เพราะสามารถออกแบบได้ง่ายไม่ยุ่งยาก

ข้อดีของการใช้ PALS

PAL มีลักษณะเด่นในโลกของการออกแบบวงจรลอจิก มันไม่เพียงแต่มีข้อดีกว่าวงจรลอจิกแบบเก่า แต่มันยังมีคุณสมบัติที่ดีที่ไม่สามารถพบในอุปกรณ์ตัวใด ๆ อีกด้วย

- สามารถใช้แทนวงจร TTL (Transistor Trasistor Logic) แบบเก่าได้
- ลดจำนวนการใช้ IC ลงอย่างน้อย 4 เท่า
- การทำต้นแบบ และการวางอุปกรณ์ลงบนบอร์ด สามารถทำได้ง่าย
- ประหยัดพื้นที่ เนื่องจากมีจำนวนขาเพียง 20-24 ขา แบบที่วางกับพื้นผิว (Skinny DIP Package)

- ความเร็วสูง (25 ns Propogation Delay)
- โปรแกรมมีมาตรฐาน เช่นเดียวกับ โปรแกรม PROM
- สามารถใช้โปรแกรมเอาต์พุตได้ 3 สถานะ (Tri-State) คุณลักษณะพิเศษคือสามารถป้องกันการก๊อปปี้ จากคอมพิวเตอร์

คุณลักษณะทั้งหมดรวมกันเข้าไว้เพื่อที่จะทำให้การพัฒนาผลิตภัณฑ์มีต้นทุนที่ต่ำและเพิ่มประสิทธิภาพของผลิตภัณฑ์ที่ได้

ทิศทางในการแทนที่วงจรลอจิก

ไม่ว่าจะเป็นการออกแบบวงจรที่มีอยู่แล้วหรือวงจรใหม่ ๆ PAL สามารถใช้แทนที่การทำงานของวงจรลอจิกได้อย่างหลากหลายวงจร

สามารถให้นักออกแบบสามารถออกแบบวงจรให้เกิดผลสูงสุด ซึ่งไม่เคยมีวิธีการใด เคยทำได้มาก่อน

PAL มีประสิทธิภาพสูงโดยเฉพาะเมื่อใช้ในงานเชื่อมต่อกับวงจรรวมขนาดใหญ่ (LSI)

ง่ายต่อการออกแบบ

PAL เสนอทางเลือกใหม่ในโลกของการออกแบบวงจรลอจิกกระทั่งในปัจจุบันการตัดสินใจเลือกอุปกรณ์ที่จะสร้างวงจรลอจิกโดยทั่วไปมีอยู่ 2 ชนิดคือ ใช้วงจรรวมขนาดกลางและขนาดเล็ก (MSI/SSI) หรือใช้ไมโคร โปรเซสเซอร์

เอกสารนี้เป็นเอกสารของบริษัทเอกชน ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในบางครั้ง การใช้วงจรรวมขนาดกลางและเล็ก จะมีความยุ่งยากในการสร้างอยู่มาก และ ก็เป็นการง่ายเกินไปต้องใช้ไมโครโปรเซสเซอร์

ประหยัดเนื้อที่

โดยการที่ผู้ใช้แทนที่วงจรถลอจิกหลาย ๆ ตัว ด้วย วงจรถลอจิกเพียงตัวเดียว การใช้ PAL ทำให้ประหยัดพื้นที่มากกว่าเดิม ซึ่งก็หมายความว่าระบบที่ประกอบไปด้วย การ์ดหลาย ๆ การ์ด จะถูกแทนที่ด้วยการ์ดเพียงหนึ่งหรือสองการ์ด

มีรายการอุปกรณ์ที่น้อยกว่า

ในตระกูลของ PAL สามารถใช้แทนที่ TTL แบบเดิมได้ถึง 90% เมื่อพิจารณาถึงจำนวน รายการแก้ไขที่น้อยกว่า ทำให้ง่ายต่อการติดตามข้อมูล ทำให้ผู้ออกแบบใช้งาน PAL ได้ง่าย และสะดวกกว่าการใช้ TTL

ความเร็วสูง

ตระกูลของ PAL ทำงานได้เร็วกว่าหรือเทียบเท่าชนิดที่ดีที่สุดของ TTL ทำให้ PAL เป็น ทางเลือกของการออกแบบวงจรถลอจิกหรือวงจรรควบคุมที่ต้องการความซับซ้อนปานกลาง และ ความเร็วสูง ในหลาย ๆ ระบบไมโครโปรเซสเซอร์ PAL สามารถใช้เพื่อที่จะเชื่อมต่อกับข้อมูล ความเร็วสูง

ง่ายต่อการทำโปรแกรม

PAL สามารถที่จะโปรแกรมได้อย่างรวดเร็วและง่ายดาย การทำโปรแกรม ทำได้เหมือนกับ PROM มาตรฐานทำให้นักออกแบบ สามารถใช้ PAL โดยที่มีค่าใช้จ่ายในการลงทุนต่ำ และ ยังสามารถป้องกันการก๊อปปี้ ได้อีกด้วย

สรุป

PAL เป็นทางเลือกใหม่ในการออกแบบวงจรรวมไบเนชันลจิก และซีแควนเซียลลจิก มีความกระต๊อค ยืดหยุ่นและง่ายต่อการใช้งานทั้งการออกแบบใหม่ และแทนที่วงจรถลอจิก ซึ่งใน อนาคต PAL จะมีราคาถูกลง และประสิทธิภาพการใช้งานที่สูงขึ้นจากปัจจุบัน

บทที่ 2

Universal Programmable Array Logic Tester

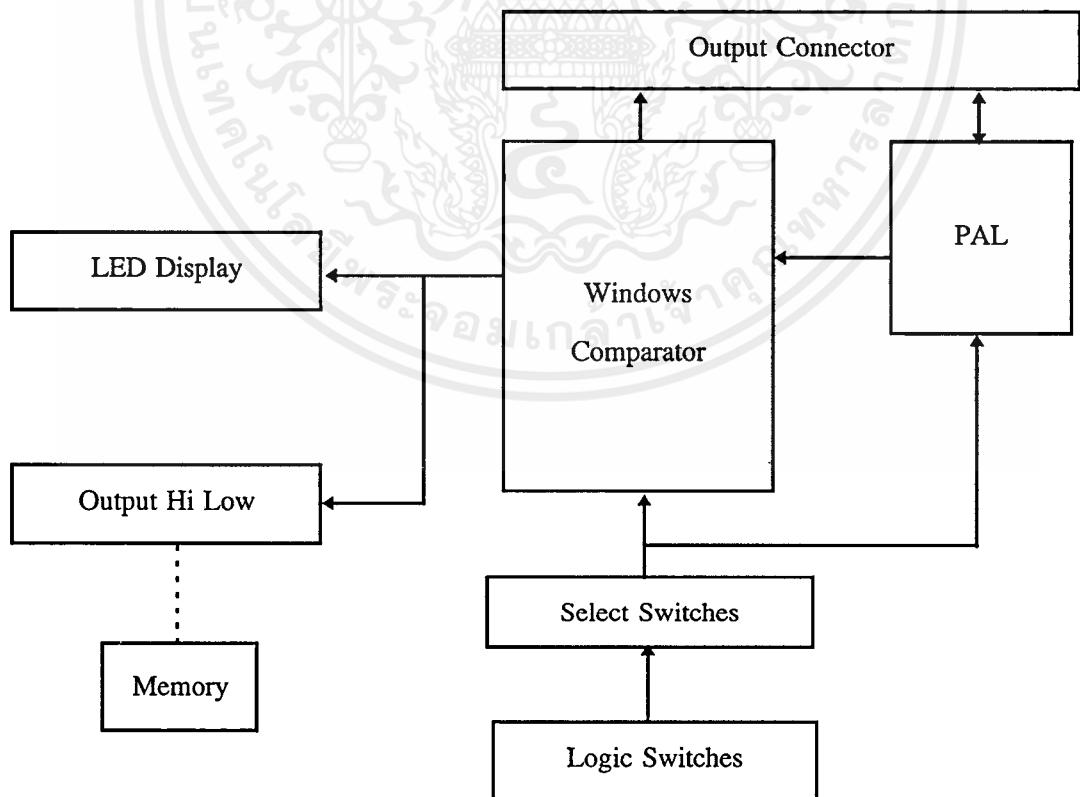
2.1 แนวความคิดในการสร้างชุดทดสอบ PAL

ในการที่จะทำให้ชุดทดสอบ PAL นี้สามารถที่จะใช้ทดสอบ PAL ที่มีขนาด 20 และ 24 ขาได้นั้น จำเป็นที่จะต้องมีส่วนที่ทำการเลือกใช้ PAL 20 หรือ 24 ขา ซึ่งเราจะใช้ Switch ในการเลือก PAL โดยการปรับสวิทช์ (Set Switches) ซึ่ง Switch นี้จะมีอยู่เป็นชุดเรียกว่า Selector Switches

ในส่วนของการป้อน Input Hi Low ให้กับ PAL นั้น จะใช้ Switch เลือก Hi Low เป็นชุด ต่อกับทุกขาของ PAL เรียกว่า ชุด Logic Switches

การทดสอบสถานะ Hi Low หรือ Hi Impedance จะทำการทดสอบโดยใช้ Logic Probe ซึ่งในชุดทดสอบ PAL นี้จะใช้วงจร Comparator แบบ Windows Comparator ในการทดสอบสถานะ Hi Low หรือ Hi Impedance ของ PAL

Block Diagram ของ ชุดทดสอบ PAL แสดงในรูปที่ 2.1



จาก Block Diagram ส่วนของวงจร Comparator จะทำการทดสอบสถานะของ I/P และ O/P ของ PAL และส่งผลที่ได้ไปยังชุดของ LED และยังส่งไปยัง O/P ที่จะต่อกับอุปกรณ์ภายนอก อีกด้วย ส่วน Selector Switches จะเป็นส่วนเลือกว่าจะใช้การทดสอบจากชุดทดสอบ หรือจาก อุปกรณ์ภายนอกและยังเป็นตัวเลือกใช้ PAL 20 หรือ 24 ขาคด้วย Block Logic Switches จะทำการ ป้อน Logic Hi Low ให้กับ PAL โดยจะป้อนผ่าน Selector Switches

Block Output Connector จะเป็นตัวที่ทำให้ชุดทดสอบ PAL ต่อใช้กับอุปกรณ์ภายนอกได้

2.2 ทฤษฎีต่างๆที่นำมาใช้ในการสร้างชุดทดสอบ PAL

หลักการของ PAL

โดยส่วนใหญ่แล้ว PAL ถูกสร้างในรูปของผลรวมของผลคูณลอจิก (Sum Of Products Logic) โดยการทำให้โปรแกรม AND array ซึ่งค่าของเอาต์พุตที่ได้จะนำไปยัง OR array ที่ไม่ได้มีการเปลี่ยนแปลง

ซึ่งผลรวมของผลคูณสามารถหาได้จากการแปลง สมการบูลีน (Boolean) โดย PAL สามารถใช้ได้โดยไม่ต้องจำกัด โดยสามารถจะเปลี่ยนแปลงค่าใน AND - OR array โดยที่ PAL จะให้ข้อแตกต่างในด้านประสิทธิภาพสูงสุด

(รูปที่ 2.2) แสดงโครงสร้างพื้นฐานของ PAL ที่มี 2 อินพุตกับ 1 เอาต์พุต โดยในที่นี้ สมการลอจิกต่างๆ ไปคือ

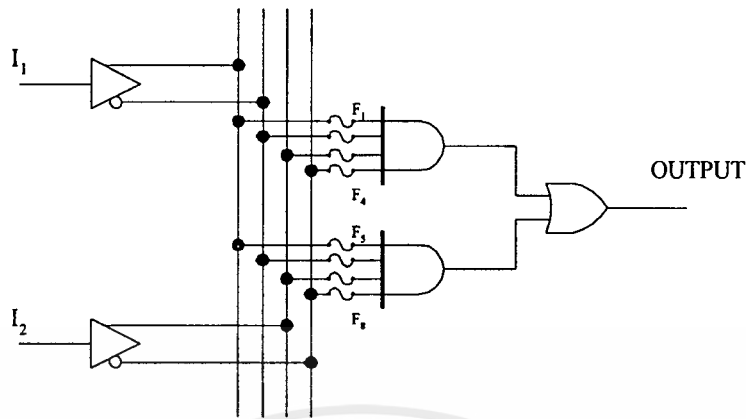
$$\text{Output} = (I1 + \overline{f1})(\overline{I1} + f2)(I2 + \overline{f3})(\overline{I2} + f4) \\ + (I1 + f5)(\overline{I1} + \overline{f6})(I2 + \overline{f7})(\overline{I2} + f8)$$

โดยที่ f คือ สถานะปัจจุบันของเส้นพิวส์ใน PAL ซึ่งเส้นพิวส์ที่ไม่ถูกทำลายจะมีค่าลอจิก “1” ดังนั้น

พิวส์ที่ถูกทำลาย : $f = 0$

พิวส์ที่ไม่ถูกทำลาย : $f = 1$

PAL ที่ยังไม่ได้ทำโปรแกรมพิวส์ทั้งหลายจะถูกต่อไว้



รูปที่ 2.2

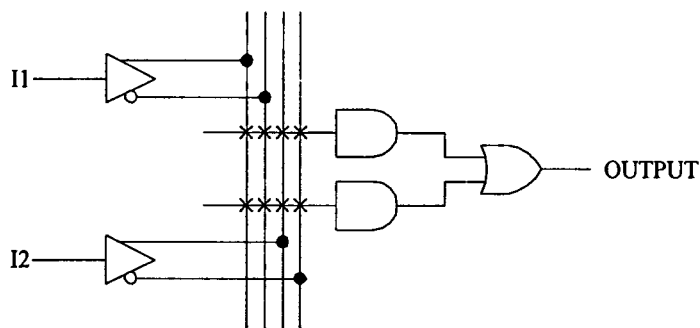
ในสมการลอจิก จะมีความสะดวกในการออกแบบสำหรับระบบเล็ก แต่ความยุ่งยากจะเพิ่มขึ้นอย่างมากภายในระบบที่ใหญ่ขึ้นเพื่อที่จะลดความสับสนในสมการลอจิกที่ซับซ้อนมักจะใช้ลอจิกไดอะแกรม และตารางความจริง (รูปที่ 2.2) แสดงสัญลักษณ์ของ PAL

เครื่องหมาย "x" ในรูปแสดงถึงจุดที่ถูกต้องโดยพีวส์ (สามารถทำให้ขาดออกจากกันได้โดยป้อนกระแสไฟฟ้าให้เหมือนกับการทำโปรแกรม PROM)

สัญลักษณ์ ในรูปที่ 2.2 มักใช้ในขบวนการผลิตไอซีอย่างไม่เป็นทางการ เพราะค่อนข้างจะดูได้ง่าย และชัดเจนระหว่างโครงร่างของชิป และลอจิกไดอะแกรม มันยังเป็นการรวบรวมระหว่างลอจิกไดอะแกรม และตารางความจริง ซึ่งสามารถอ่านเข้าใจได้ง่าย และกระชับ จากรูปที่ 2.2 ที่มีอินพุต 2 อินพุต และมีเอาต์พุต 1 เอาต์พุตสามารถเขียนใหม่ ได้ดังรูปที่ 2.3



รูปที่ 2.3

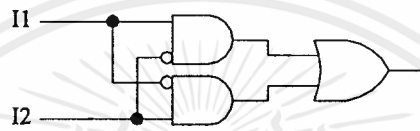


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อรูปที่ 2.4 เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

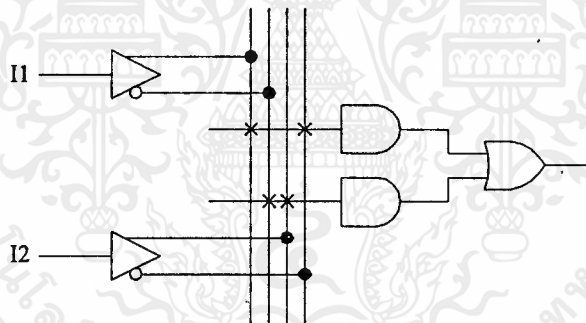
จากตัวอย่างเป็นลอจิกฟังก์ชันอย่างง่ายพิจารณาทรานเฟอร์ฟังก์ชัน

$$\text{Output} = (I1 \overline{I2}) + (\overline{I1} I2)$$

แผนภาพคอมไบเนชันลอจิก แสดงในรูปที่ 2.5 และภาพเสมือน ลอจิก PAL แสดงในรูปที่ 2.6



รูปที่ 2.5

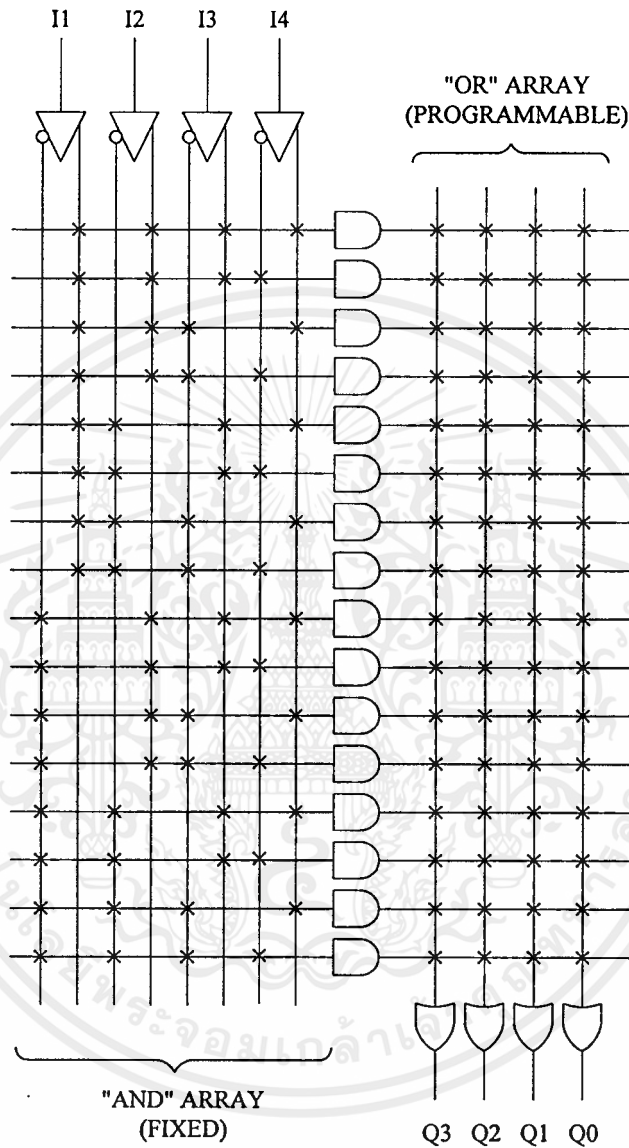


รูปที่ 2.6

การออกแบบวงจรลอจิก เป็นไปได้ที่จะนำเอาโครงสร้างของ PAL มาเปรียบเทียบกับ PROM และ PLA

โดยโครงสร้างลอจิกพื้นฐานของ PROM จะประกอบด้วย AND array ที่ไม่เปลี่ยนแปลง เอาร์ทพุทจะป้อนเข้าสู่ OR array ที่สามารถทำการโปรแกรมได้ (รูปที่ 2.7)

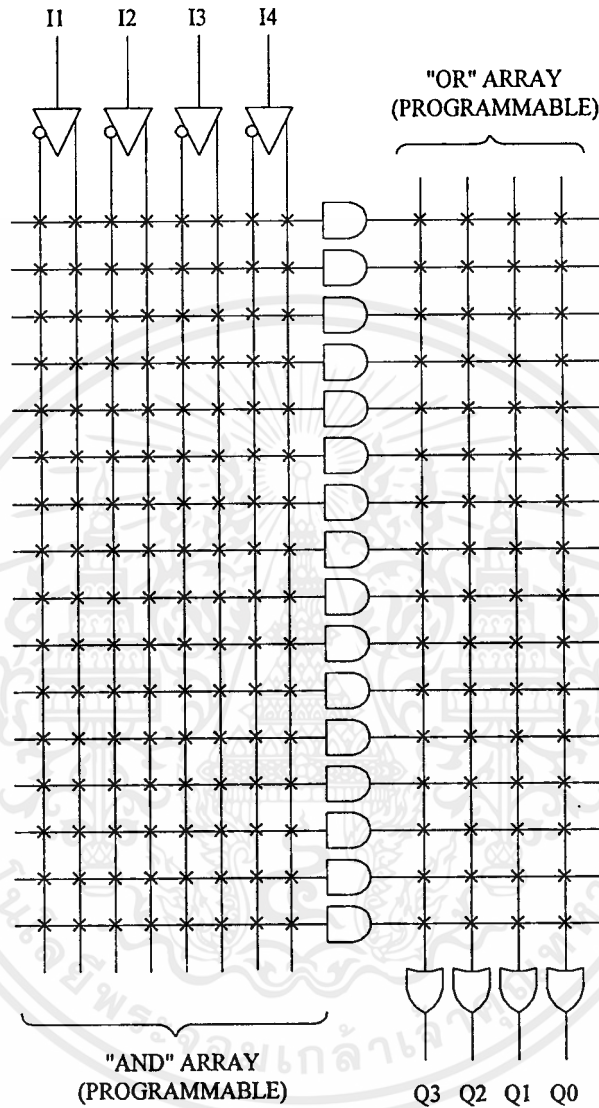
PROM
16 Words x 4 Bits



รูปที่ 2.7

PROM สามารถใช้เก็บ โปรแกรมคอมพิวเตอร์ และข้อมูลในการประยุกต์ใช้อื่นๆ ที่คงที่ เป็นตำแหน่งหน่วยความจำของคอมพิวเตอร์ ส่วนเอาต์พุตจะเป็นตัวบอกที่อยู่หน่วยความจำ

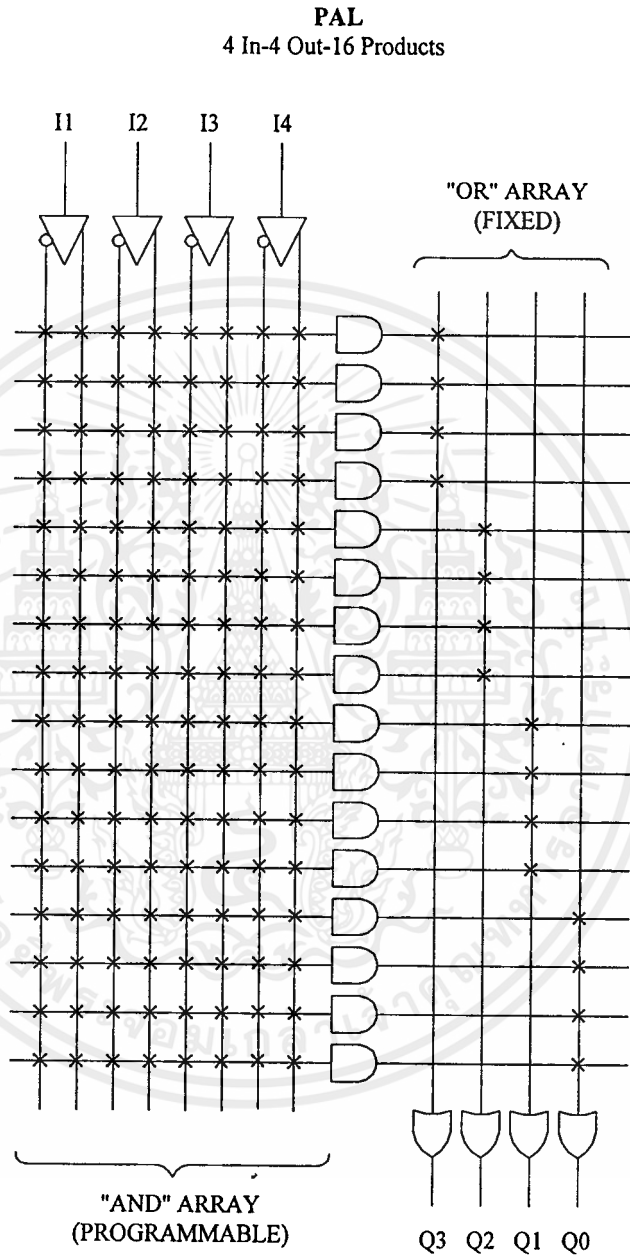
FPL-A
4 In-4 Out-16 Products



รูปที่ 2.8

โครงสร้างลอจิกพื้นฐานของ PLA จะประกอบด้วย AND array ที่สามารถทำโปรแกรมได้ โดยเอาท์พุทจะป้อนเข้าสู่ OR array ที่สามารถทำโปรแกรมได้ (รูปที่ 2.8) ซึ่งผู้ออกแบบสามารถ ออกแบบให้ครอบคลุม ได้ทั้ง อินพุทและเอาท์พุท PAL สามารถใช้ได้กว้างขวางในการประยุกต์ ต่าง ๆ อย่างไรก็ตามการที่จะใช้ PAL จะต้องมีความรู้ความเข้าใจและต้องการชำนาญเป็นพิเศษโดย โครงสร้างลอจิกพื้นฐานของ PAL จะประกอบด้วย AND array ที่สามารถทำโปรแกรมได้ โดย

เอาท์พุท จะป้อนเข้าสู่ OR array ที่สามารถโปรแกรมได้ โดยเอาท์พุทจะป้อนเข้าสู่ OR array ที่ไม่สามารถเปลี่ยนแปลงได้ (รูปที่ 2.9)



รูปที่ 2.9

ตารางที่ 2.1 แสดงคุณสมบัติของ PROM, PLA และ PAL

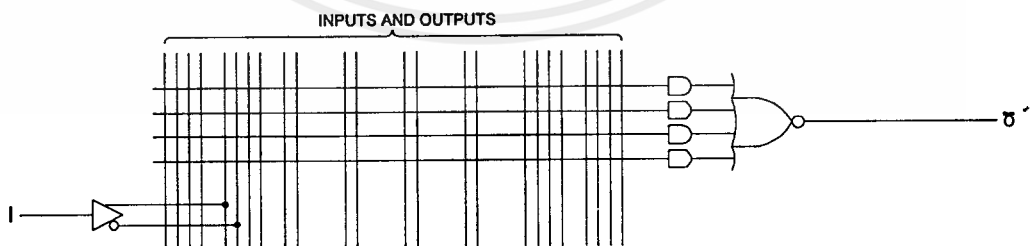
	AND	OR	OUTPUT OPTION
PROM	Fixed	Programmable	TS OC
FPLA	Programmable	Programmable	TS OC Fusible Polarity
FPGA	Programmable	None	TS OC Fusible Polarity
FPLS	Programmable	Programmable	TS Registered Feedback,I/O
PAL	Programmable	Fixed	TS Registered Feedback,I/O

PAL สำหรับงานหลายๆ ประเภท

สมาชิกของตระกูล PAL และคุณสมบัติ สามารถสรุปได้ดังตารางที่ 2.1 ซึ่งถูกออกแบบให้ครอบคลุมการกระทำของลอจิก เพื่อลดราคา และขนาด โปรแกรมสำเร็จรูป นี่คือการยอมรับของการยอมรับของนักออกแบบว่า PAL เหมาะที่สุดที่จะนำมาประยุกต์ใช้งาน PAL จึงเข้ามาเป็นองค์ประกอบพื้นฐานต่อไป

ขบวนการสำหรับข้อมูล

ขบวนการรับข้อมูลของ PAL เหมาะที่จะใช้กับขนาด 12x10 (12 อินพุต, 10 เอาต์พุต) ถึงขนาด 20x2 โดยที่ทั้งการทำงานเมื่อเป็น High และ Low เหมาะสำหรับองค์ประกอบทางเอาต์พุต ดังรูปที่ 2.10 นี่คือการเปลี่ยนแปลงที่กว้างขวางสำหรับการจัดรูปแบบ อินพุตและเอาต์พุต ซึ่งยอมให้ PAL แทนที่ซึ่งจะมีขนาดที่แตกต่างกันเมื่อนำมารวมกันให้เป็นชิ้นเดียวกัน



รูปที่ 2.10

ตารางที่ 2.2 PAL Introduction

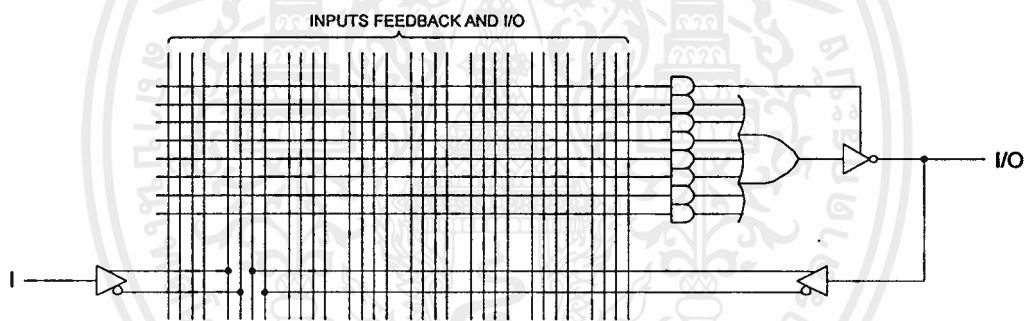
PAL Input / Output / Function / Performance Chart

PART NUMBER	I/P	O/P	PROGRAMMABLE I/OS	FEEDBACK REGISTER	OUTPUT POLARITY	FUNCTION	PERFORMANCE			
							STD.	A	-2	-4
PAL10H8	10	8			AND-OR	AND-OR GATE ARRAY	X			
PAL12H6	12	6			AND-OR	AND-OR GATE ARRAY	X			
PAL14H4	14	4			AND-OR	AND-OR GATE ARRAY	X			
PAL16H2	16	2			AND-OR	AND-OR GATE ARRAY	X			
PAL16C1	16	2			BOTH	AND-OR GATE ARRAY	X			
PAL20C1	20	2			BOTH	AND-OR GATE ARRAY	X			
PAL10LS	10	8			AND-NOR	AND-OR INVERT GATE ARRAY	X			
PAL12L6	12	6			AND-NOR	AND-OR INVERT GATE ARRAY	X			
PAL14L4	14	4			AND-NOR	AND-OR INVERT GATE ARRAY	X			
PAL16L2	16	2			AND-NOR	AND-OR INVERT GATE ARRAY	X			
PAL12L10	12	10			AND-NOR	AND-OR INVERT GATE ARRAY	X			
PAL14LS	14	8			AND-NOR	AND-OR INVERT GATE ARRAY	X			
PAL16L6	16	6			AND-NOR	AND-OR INVERT GATE ARRAY	X			
PAL18L4	18	4			AND-NOR	AND-OR INVERT GATE ARRAY	X			
PAL20L2	20	2			AND-NOR	AND-OR INVERT GATE ARRAY	X			
PAL16L8	10	2	6		AND-NOR	AND-OR INVERT GATE ARRAY	X	X	X	X
PAL20L10	12	2	8		AND-NOR	AND-OR INVERT GATE ARRAY	X			
PAL16R8	8	8		8	AND-NOR	AND-OR INVERT ARRAY W/REGS	X	X	X	X
PAL16R6	8	6	2	6	AND-NOR	AND-OR INVERT ARRAY W/REGS	X	X	X	X
PAL16R4	8	4	4	4	AND-NOR	AND-OR INVERT ARRAY W/REGS	X	X	X	X
PAL20X10	10	10		10	AND-NOR	AND-OR-XOR INVERT W/REGS	X			
PAL20X8	10	8	2	8	AND-NOR	AND-OR-XOR INVERT W/REGS	X			
PAL20X4	10	4	6	4	AND-NOR	AND-OR-XOR INVERT W/REGS	X			
PAL16X4	8	4	4	4	AND-NOR	AND-ARRAY-OR-XOR INVERT W/REGS	X			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การโปรแกรม อินพุท/เอาต์พุท

ลักษณะของสมาชิกที่สุคยอดของตระกูล PAL คือการโปรแกรม อินพุท/เอาต์พุท นี่คือการยอมรับเงื่อนไขการผลิตซึ่งควบคุมเอาต์พุทโดยตรงของ PAL ดังแสดงรูปที่ 2.11 เงื่อนไขการผลิตอันดับแรกคือกำหนดให้ตัวกั้น หรือ Buffer ทำการได้ 3 สถานะ ซึ่งในการบังคับสวิตช์เลื่อนรวมเข้ากับเอาต์พุท PIN เอาต์พุทจะย้อนกลับไปยังกระบวนการทางอินพุทของ PAL ดังนั้น PAL จะจับอินพุท/เอาต์พุท PIN เมื่อสวิตช์ 3 สถานะให้อยู่ในสถานะที่สามารถต่อเชื่อมได้, อินพุท/เอาต์พุท PIN คืออินพุทของขบวนการของ PAL และเมื่อสวิตช์ 3 สถานะให้อยู่ในสถานะที่ไม่สามารถที่จะต่อเชื่อมได้ ลักษณะนี้สามารถใช้ PIN สำหรับจัดเตรียมเนื้อที่สำหรับการประมวลผลของฟังก์ชันอินพุท/เอาต์พุท หรือกำหนดเอาต์พุท PIN ที่สามารถติดต่อโดยตรงได้ 2 ทาง สำหรับทำงาน เช่น การเลื่อนหรือการหมุน ข้อความแบบอนุกรม

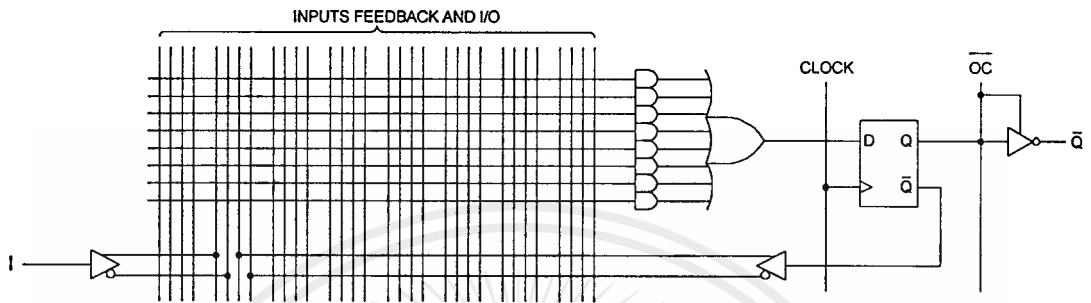


รูปที่ 2.11

หน่วยความจำย่อยทางเอาต์พุทกับการป้อนกลับ

ลักษณะอื่นของความสุคยอดของตระกูล PAL คือข้อมูลในหน่วยความจำย่อยที่เอาต์พุทกับการป้อนกลับของหน่วยความจำย่อย แต่ละเงื่อนไขการผลิตจะเก็บค่าไว้ในฟลิปฟลอปชนิด D ในช่วงขอบขานี้ขึ้นของระบบนาฬิกา ดังรูปที่ 2.12 เอาต์พุท Q ของฟลิปฟลอปผ่านสวิตช์ไปยังเอาต์พุท PIN โดยสามารถเชื่อมต่อโดยการทำงานเมื่อเป็น Low ของตัวกั้นหรือ Buffer 3 สถานะรวมไปถึงความเหมาะสมในการส่งข้อมูล เอาต์พุท Q จะถูกส่งกลับไปยังขบวนการของทางอินพุทของ PAL การป้อนกลับนี้ทำให้ PAL จดจำสถานะก่อนหน้า และยังสามารถดัดแปลงฟังก์ชันพื้นฐานบนสถานะนั้นได้ การยินยอมดังกล่าวทำให้นักออกแบบสามารถเลือกใช้อุปกรณ์ต่าง ๆ เพื่อสนับสนุนการทำงานของระบบคอมพิวเตอร์ ด้วยการเรียงลำดับสถานะ ซึ่งสามารถโปรแกรมให้ได้ผลสำเร็จ เช่น การกระทำพื้นฐาน, การนับขึ้น, การนับข้าม, การเลื่อน และการแยกไปทำงานตามที่

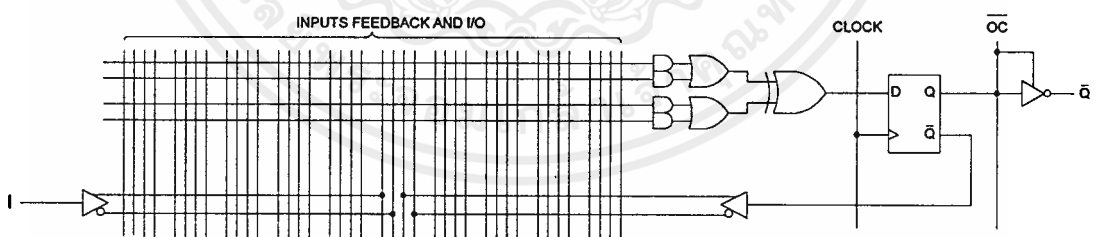
โปรแกรมกำหนดไว้ การกระทำดังกล่าวสามารถทำให้เป็นผลสำเร็จได้โดยหน่วยความจำย่อยของ PAL ด้วยอัตราสูงขึ้นถึง 20 MHz



รูปที่ 2.12

ขบวนการ OR แบบพิเศษของ PAL

XOR PAL ชนิดนี้มีลักษณะการกระทำ OR แบบพิเศษ เป็นการรวมของผลคูณเป็นส่วนหนึ่งในการรวมกัน 2 ครั้ง ซึ่ง XOR ที่อินพุทของฟลิปฟลอปชนิด D ดังรูปที่ 2.13 ลักษณะทั้งหมดของการหน่วยจำของ PAL คือการรวมใน XOR PAL การกระทำ XOR กำหนดอุปกรณ์ง่าย ๆ ซึ่งการทำงานใช้ในการนับและการจัดเรียงลำดับอื่น ๆ

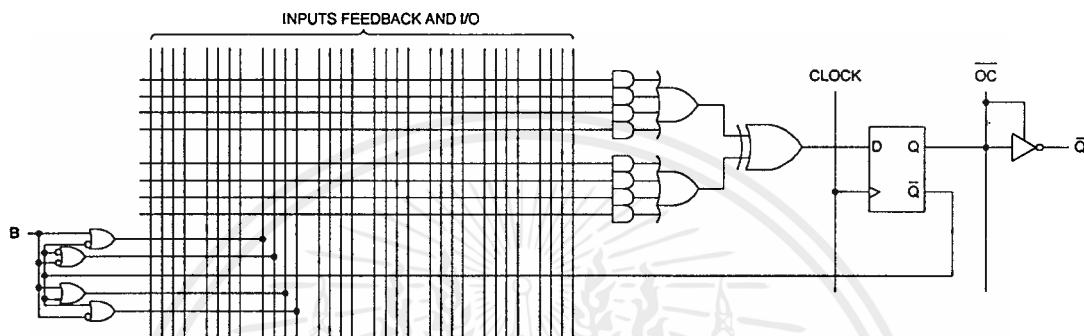


รูปที่ 2.13

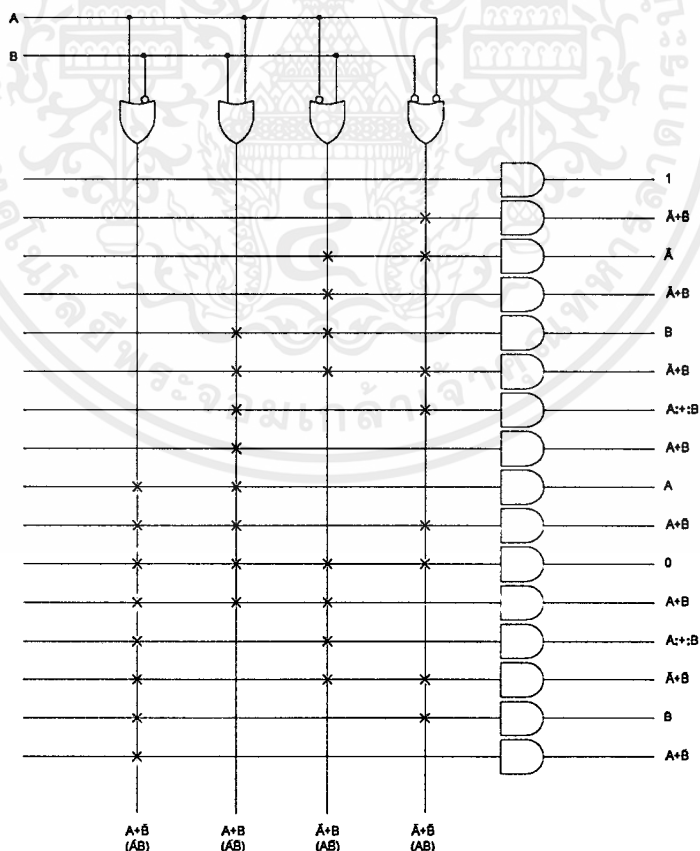
การป้อนกลับเกี่ยวกับการเลขคณิต ของวงจรรรค

การกระทำทางคณิตศาสตร์ (+,-,>,<) สามารถทำให้เกิดผลโดยการรวมกันของการป้อนกลับของวงจรรรคในลักษณะของ XOR PAL ที่อินพุทของฟลิปฟลอปชนิด D ขอมผลักคั้นให้การทำงานในสภาวะก่อนของ XOR ด้วยการรวมการเปลี่ยนแปลง 2 ส่วน ผลิตโดยกระบวนการของ PAL เอาท์พุท Q ของฟลิปฟลอปที่ป้อนกลับ ไปยังเกทพื้นฐาน โดยอินพุทของเงื่อนไข A

ดังรูปที่ 2.14 วงจรเกทพื้นฐานนี้ได้จากกรรมวิธีการลดรูปโดยอาศัยกรรมวิธีการลดรูปแบบคาร์นอร์ (Marnaugh Map) ดังรูปที่ 2.16 รูปที่ 2.15 แสดงขบวนการของ PAL ที่สามารถโปรแกรมได้ 16 วิธีการปฏิบัติการ การกำหนดลักษณะนี้เพื่อประโยชน์ในการทำงานหลาย ๆ อย่างของการกระทำ 2 ตัวแปร และทำให้สะดวกต่อการเปรียบเทียบที่จำเป็นเพื่อให้การทำงานทางคณิตศาสตร์เร็วขึ้น



รูปที่ 2.14



รูปที่ 2.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\begin{matrix} (\bar{A}+\bar{B})/(\bar{A}+B) \\ (A+B)/(\bar{A}+B) \end{matrix}$	00	01	11	10
00	1	$\bar{A}+\bar{B}$	\bar{A}	$\bar{A}+B$
01	$A+B$	$A+\bar{B}$	$\bar{A}+B$	B
11	A	$A+\bar{B}$	0	$A+B$
10	$A+\bar{B}$	$\bar{A}+B$	B	$A+B$

รูปที่ 2.16

มันทำให้เราเข้าใจอย่างชัดเจนว่า PAL สามารถแทนที่ระบบ SSI หรือ Small-Scale Intergrated ที่ใช้กันอยู่ทุกวันนี้ ดังนั้นต้นทุนการผลิตซึ่งต่ำลงและให้ความคล่องตัวสูงขึ้นในการทำงานของเครื่องมือทางลอจิก

การโปรแกรม PAL

PAL สามารถโปรแกรมโดยนักโปรแกรม PROM โดยทั่วไปร่วมด้วยผู้ใช้โปรแกรม PAL PAL เกิดขึ้นจากนักโปรแกรม PROM ระหว่างการโปรแกรม ครั้งหนึ่งของเอาต์พุต PAL ถูกเลือกสำหรับโปรแกรมในขณะที่เอาต์พุตอื่น ๆ และอินพุตใช้สำหรับอ้างตำแหน่ง เอาต์พุตเป็นสวิตช์สำหรับเลือกตำแหน่งอื่น ๆ การพิจารณาใช้วิธีเดียวกับการ โปรแกรมในสถานะต่ำ ๆ

PALASM (PAL Assembler)

PALASM คือการ โปรแกรมอำนวยความสะดวกใช้แสดงความหมาย, จำลอง, สร้าง และ ทดสอบ PAL PALASM จะรับเอารายละเอียดของการออกแบบ PAL ด้วยอินพุตไฟล์ มันจะพิสูจน์ ด้วยการออกแบบให้กระทำตามตารางอีกหนและบ่งบอกตำแหน่งของพีวส์ ซึ่งจะใช้ในการ โปรแกรม PAL PALASM มีประโยชน์ในโอกาสที่มีการร้องขอของรหัสหลาย ๆ แหล่งกำเนิดและ เอกสารของแนวความคิดในการออกแบบ PAL

HAL (Hard Array Logic)

ในตระกูล HAL คือการระบุนุ่นของโปรแกรม PAL HAL เป็นของ PAL เช่นเดียวกับที่ ROM เป็นของ PROM มาตรฐานของแผ่นซิลิกอนบาง ๆ ที่ใช้สร้างไอซีที่ประดิษฐ์โดยเครื่องจักรครอบอยู่ 6 ชั้น ชั้นที่เป็นโลหะทำขึ้นจากอะลูมิเนียมผสมสำหรับ HAL แทนที่ของการโปรแกรมด้วยกระบวนการฟิวส์ที่ใช้ใน PAL

HAL คือการแก้ปัญหาของผลกระทบทางราคา ซึ่งมีจำนวนมากและเป็นเครื่องที่ผลิตมาเป็นต้นแบบเพียงเครื่องเดียวที่ประกอบด้วยกระบวนการของเกต

HMSI (HAL Medium Scale Integration) ตระกูล HMSI เกิดมาจาก PAL ที่ใช้เทคโนโลยีของ HAL อุปกรณ์นี้สามารถปฏิบัติงานได้การคาดคะเนหรือกะไว้ว่าจะต้องเป็นไปได้ ซึ่งหาไม่ได้ง่ายในตระกูล TTL ที่มีอยู่เพราะพวกมันถูกผลิตมาในปริมาณจำกัด ผู้ใช้จะได้รับประโยชน์คุ้มค่าการออกแบบ HMSI PAL เป็นการปะยุกต์ใช้งานกับ IC เบอร์ 74LS

เทคโนโลยีของ PAL

อุตสาหกรรมของ PAL ใช้การฟิวส์ของ TTL Schottky Bipolar ของการระเบิดฟิวส์ชนิด Ti-W เพื่อสร้างเส้นที่จะถูกหลอมหรือระเบิดใน PROM รูปแบบของ Emitter Follower ชนิด NPN ในการโปรแกรมด้วยกระบวนการ AND ที่อินพุตของชนิด PNP มีความต้านทานทางด้านเอาต์พุตสูง (สูงสุด 0.25 mA) เอาต์พุตโดยทั้งหมดของ TTL มาตรฐานประกอบด้วยการพล็อฟด้วยตัวต้านทานภายใน

PAL แบบที่มีใช้กันแพร่หลายมีการหน่วยเวลา 20 nS และ PAL ทั้งหมดมีขนาด 20 ขาและ 24 ขา

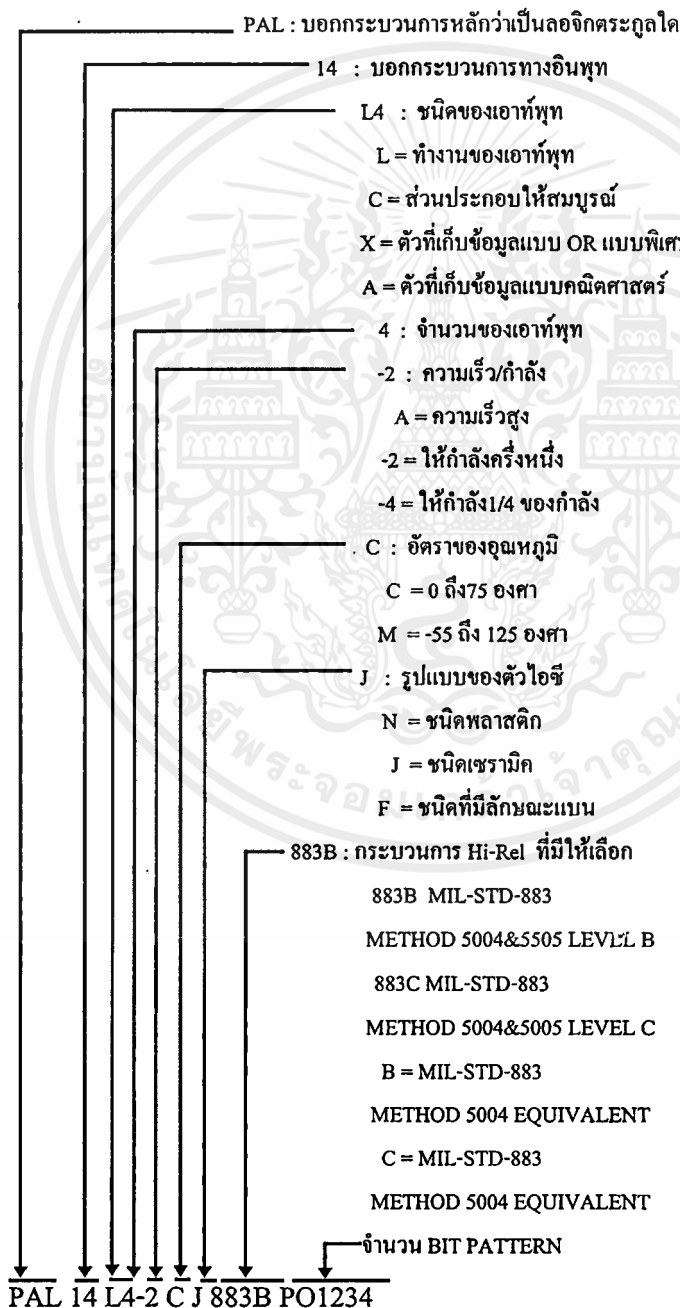
ข้อมูลความลับของ PAL

วงจรที่ใช้ในการโปรแกรมและลอจิกที่ใช้ตรวจสอบความจริงบางครั้งสามารถใช้ในการกำหนดโดยการเก็บค่าของแบบแผนของลอจิกในกระบวนการ PAL สำหรับความลับ PAL มีฟิวส์ตัวสุดท้ายซึ่งสามารถขยายการทำให้ไม่สามารถตรวจสอบลอจิกได้ นี่คือความสำคัญในการถ่วงความก้าวหน้าของผู้เรียนแบบและมันสามารถป้องกันได้อย่าง ได้ผลของลิขสิทธิ์การออกแบบ

การแบ่งแต่ละส่วนของเบอร์ PAL

แต่ละส่วนของเบอร์ PAL จะถูกระบุในส่วนที่เป็นรหัสของเบอร์ ซึ่งจะแสดงความหมายของการทำงานของลอจิก ระบบของรหัสของ PAL ถูกแสดงดังรูปที่ 2.17 ตัวอย่างเช่น PALเบอร์ PAL14LSCN จะมี 14 อินพุต, 4 เอาท์พุท,ทำงานเมื่อเป็น Low, บอกรหัสของอุณหภูมิ, ขนาด 20 ขา, ทำจากพลาสติก

ตัวอย่าง PAL เบอร์ PAL14L4-2CJ883BPO1234



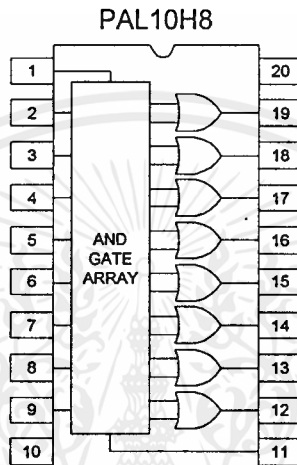
รูปที่ 2.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



สัญลักษณ์ของโลจิก PAL

สัญลักษณ์ของแต่ละชนิดของอุปกรณ์ PAL เป็นการบรรยายการทำงานแบบกระตัดรัดของ PAL สัญลักษณ์สร้างความสะดวกในการเลือกใช้ PAL ที่ดีที่สุด ระบุข้อมูลในการประยุกต์ใช้งาน ดังรูปที่ 2.18 แสดงให้เห็นสัญลักษณ์ของ PAL 10 HB พร้อมกระบวนกรของวงจรถูก

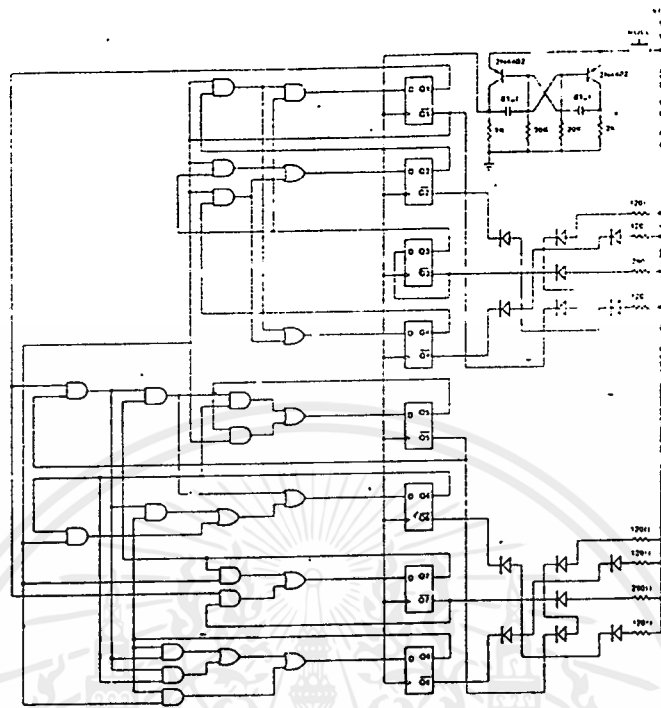


รูปที่ 2.18

ตัวอย่างของ PAL

ตัวอย่างของ PAL ที่สามารถออกแบบให้มีราคาถูกลงและง่ายต่อการออกแบบลอจิก ง่ายต่อการพิจารณารูปแบบ, ผลิตมาเป็นจำนวนมาก ได้แก่ เกมสล็อตเต่าอิเล็กทรอนิกส์ การผลิตแบบนี้จะผลิตเป็นจำนวนมากที่สุด ดังนั้นมันจึงเป็นสิ่งสำคัญที่เป็นไปได้ที่จะทำให้ราคาต่ำที่สุด เกมสล็อตเต่าอิเล็กทรอนิกส์ใช้หลักการง่าย ๆ ของการวิ่งอย่างอิสระของความคิด ซึ่งเอาที่พูดใช้กระดุนวงจรรดับ 6 แบบอะซิงโครนัส เมื่อผู้ใช้กดปุ่มเริ่มเกมลูกเต่า สถานะของกระแสนพอกการนับจะถอยครหัสและเก็บข้อมูลในการแสดงคล้ายคลึงกับรูปแบบลูกเต่าคู่หนึ่งธรรมดา ๆ

แผนภาพของวงจรถูกที่นิยมของเกมสล็อตเต่าแสดงไว้ในรูปที่ 2.19 มันคืออุปกรณ์ที่ใช้มาตรฐานของส่วนที่เป็น TTL, SSI และ MSI ด้วยการรวมไอซีนับ 8 ซึ่งประกอบด้วยเกทพื้นฐานจำนวน 24 ตัว และตัวเก็บข้อมูลแบบ D ฟลิปฟลอปอีก 8 ตัว



รูปที่ 2.19

ข้อได้เปรียบของการใช้ PAL

PAL มีลักษณะเฉพาะอย่างในโลกของการออกแบบลอจิก ไม่เท่านั้นมันยังมีข้อได้เปรียบมากมาย เหนือกว่าการใช้ลอจิกโดยทั่วไป ด้วยลักษณะมากมายที่ไม่สามารถพบที่ได้อีกของตระกูล PAL

- ใช้การ โปรแกรมแทนที่ลอจิกของ TTL ทั่ว ๆ ไป
- ลดความสำคัญของไอซีและง่ายต่อการควบคุม
- ลดไอซีของวงจรนับให้น้อยที่สุดคือ 4 ถึง 1
- ความสะดวกและปราศจากสิ่งขัดขวางของเครื่องต้นแบบและ โครงการ
- ขนาดของรูปร่างไอซีจะบางและมีขนาด 24 ขา และ 20 ขา
- ความเร็วสูง, ขนาดช่วงเวลาที่ใช้กันแพร่หลายคือขนาด 20 ns
- โปรแกรมตามมาตรฐานของ PROM
- โปรแกรมเอาท์พุท 3 สถานะ
- ลักษณะพิเศษที่สามารถที่นำออกมาได้โดยการลอกเลียนแบบของคู่แข่ง

ลักษณะทั้งหมดเหล่านี้รวมกันอยู่ในการพัฒนาการผลิตให้ต่ำลง และเพิ่มผลกระทบทางราคาของ

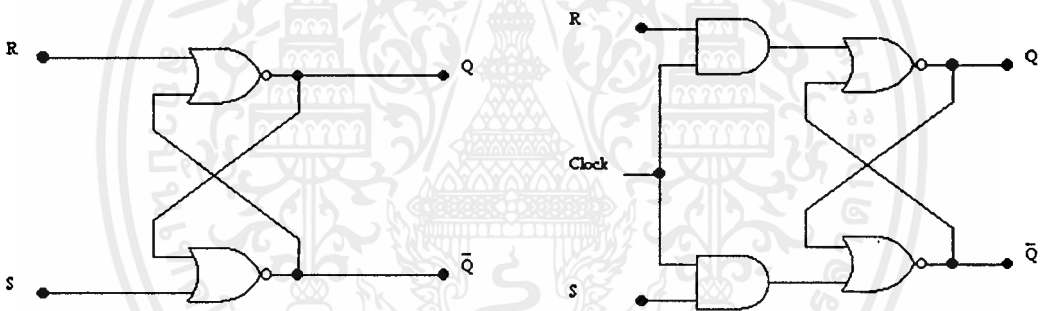
เอกสารการผลิต ซึ่งเป็นวิธีการประหยัดเงินของ PAL การศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติของ Flip Flop

Flip Flop เป็นหน่วยความจำประเภทหนึ่ง ที่มีความสามารถเก็บรักษาข้อมูล หรือสภาวะ (State) ทาง Logic นั้นไว้ได้ และจะเก็บรักษาข้อมูลนั้นไว้ตลอดไปจนกว่า Input ของ Flip Flop จะมีการเปลี่ยนแปลงพร้อมกับสัญญาณ Clock จึงจะทำให้ Output ของ Flip Flop มีการเปลี่ยนแปลงไปตามเงื่อนไขของ Input ของมัน

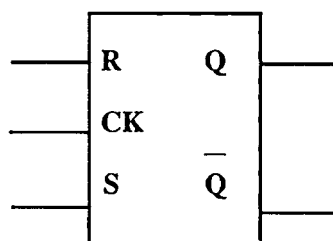
RS Flip Flop

RS Flip Flop หรือเรียกชื่ออีกอย่างหนึ่งว่า RS Latch สามารถสร้างขึ้นมาจาก NOR Gate 2 ตัวหรือ NAND Gate 2 ตัวซึ่งได้กล่าวมาแล้ว วงจรของ RS Flip Flop ที่สร้างจาก NOR Gate พร้อมทั้งสัญลักษณ์และ Truth Table ของมันจะเป็นดังนี้



รูปที่ 2.20 RS Flip Flop

รูปที่ 2.21 RS Flip Flop เมื่อมีสัญญาณ CK



รูปที่ 2.22 สัญลักษณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CK	R	S	Q_{n+1}	\bar{Q}_{n+1}
↑	0	0	Q_n	\bar{Q}_n
↑	0	1	1	0
↑	1	0	0	1
↑	1	1	0	0
-	d	d	Q_n	\bar{Q}_n

ตารางที่ 2.3 Truth Table ของ RS Flip Flop

จาก Truth Table ของ RS Flip Flop ดังแสดงตามตารางที่ 2.3 จะเห็นว่า เมื่อมี Clock Pulse หรือ Clock Pulse เปลี่ยน State จาก 0 เป็น 1 (Active High) และให้ Input $R=0$ $S=0$ จะทำให้ Output Q ไม่มีการเปลี่ยน State กล่าวคือถ้าหาก Present State (Q_n) เป็น 0 Next State (Q_{n+1}) ก็เป็น 0 ด้วยและถ้า Present State เป็น 1 Next State ก็เป็น 1 ด้วยเช่นเดียวกัน สำหรับในกรณีที่ $R=0$ $S=1$ โดยที่ Present State เป็น 0 หรือ 1 ก็ตาม Next State จะเป็น 1 ($Q_{n+1} = 1$, $\bar{Q}_{n+1}=0$) และในกรณีที่ $R=1$ $S=0$ โดยที่ Present State เป็น 0 หรือ 1 ก็ได้ Next State จะเป็น 0 ($Q_{n+1}=0$, $\bar{Q}_{n+1}=1$)

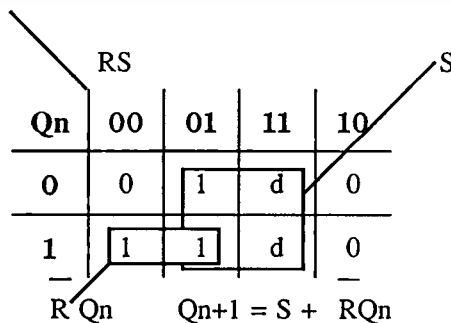
จากเงื่อนไขของ Input R และ S ทั้ง 3 แบบดังกล่าวแล้วจะเป็นว่า Output Q และ \bar{Q} จะเป็น Complement ซึ่งกันและกันตลอดเวลา แต่สำหรับกรณี $R=1$ $S=1$ โดยที่ Present State เป็น 0 หรือ 1 ก็ตาม Next State คือ Q_{n+1} และ \bar{Q}_{n+1} เป็น 0 เหมือนกัน ซึ่งไม่ตรงกับเงื่อนไขของความจริงที่ว่า Output Q และ \bar{Q} ต้องเป็น Complement ซึ่งกันและกัน ดังนั้นโดยปกติแล้วเราจะไม่ป้อน Input $R=1$ และ $S=1$ ในเวลาเดียวกัน และสำหรับกรณีที่ไม่มี Clock Pulse Input R และ S จะเป็น 0 หรือ 1 ก็ได้ Next State จะไม่มีการเปลี่ยนแปลง

จากเงื่อนไขของ Input และ Clock Pulse ของ RS Flip Flop ตามที่ได้กล่าวมาแล้ว เราสามารถเขียน Truth Table ใหม่ได้ดังนี้

CK	R	S	Q _n	Q _{n+1}
↑	0	0	0	0
↑	0	0	1	1
↑	0	1	0	1
↑	0	1	1	1
↑	1	0	0	0
↑	1	0	1	0
↑	1	1	0	-
↑	1	1	1	-
-	d	d	0	0
-	d	d	1	1

ตารางที่ 2.4 Truth Table ของ RS Flip Flop

จาก Truth Table ของ RS Flip Flop ตามตารางที่ 2.4 เราสามารถหา Switching Function ของ Next State (Q_{n+1}) ในเทอมของ Present State (Q_n) Input R,S และ Clock Pulse ได้ดังนี้



รูปที่ 2.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

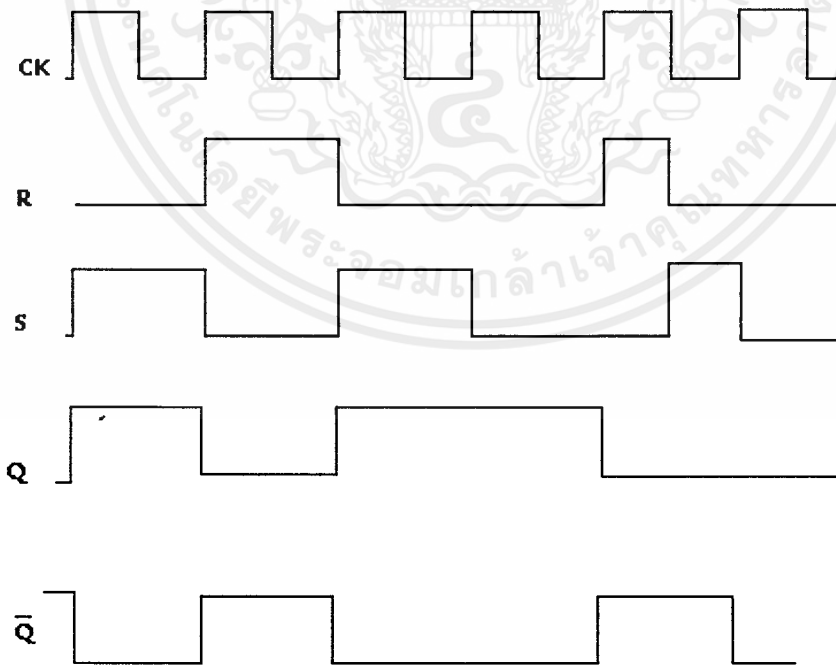
Q _n CK	RS			
	00	01	11	10
00	0	0	0	0
01	0	1	d	0
11	1	1	d	0
10	1	1	1	1

Q_n CK RQ_n SCK

$$Q_{n+1} = \overline{RQ_n} + SCK + Q_n \overline{CK}$$

รูปที่ 2.24

เพื่อให้เข้าใจในเรื่องของ RS Flip Flop ดียิ่งขึ้น ลองวิเคราะห์ Timing Diagram ของ RS Flip Flop ต่อไปนี้



รูปที่ 2.25 Timing Diagram ของ RS Flip Flop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก Timing Diagram ของ RS Flip Flop ตามรูปที่ 2.25 อธิบายได้ดังนี้

- \bar{Q} และ Q จะเป็น Complement ซึ่งกันและกันตลอดเวลา
- Q จะเปลี่ยน State โดยจะเป็นไปตาม Truth Table ของมันก็ต่อเมื่อ Clock Pulse (CK) เปลี่ยน State จาก 0 เป็น 1 เท่านั้น นอกจากเงื่อนไขนี้คือถ้า CK เปลี่ยน State จาก 1 เป็น 1 หรือ 1 เป็น 0 หรือ 0 เป็น 0 จะถือว่าไม่มี CK และ Q จึงไม่มีการเปลี่ยน State

- CK ที่ 1 R=0 S=1 PS=0 จะได้ $Q=1$ และ $\bar{Q}=0$
- CK ที่ 2 R=1 S=0 PS=1 จะได้ $Q=0$ และ $\bar{Q}=1$
- CK ที่ 3 R=0 S=1 PS=0 จะได้ $Q=1$ และ $\bar{Q}=0$
- CK ที่ 4 R=0 S=0 PS=1 จะได้ $Q=1$ และ $\bar{Q}=0$
- CK ที่ 5 R=1 S=0 PS=1 จะได้ $Q=0$ และ $\bar{Q}=1$
- การที่ R และ S มีการเปลี่ยนแปลงในช่วงที่ CK เปลี่ยน State จาก 1 เป็น 0 Q จะไม่มีการเปลี่ยนแปลง

- CK ที่ 6 R=0 S=0 PS=0 จะได้ $Q=0$ และ $\bar{Q}=1$

จาก Truth Table ของ RS Flip Flop ตามตารางที่ 2.4 จะเห็นว่า เมื่อ Input R และ S มีการเปลี่ยนแปลงพร้อมกับ CK จะทำให้ State ของวงจรเกิดการเปลี่ยนแปลง ดังนั้นในทำนองกลับกัน ถ้าเราต้องการให้ State ของวงจรเปลี่ยนแปลงเป็นอย่างไร เราก็สามารถกำหนด Input ของวงจรได้ เมื่อพิจารณา Truth Table ของ RS Flip Flop ตามตารางที่ 2.4 แล้วจะได้ว่า

- เมื่อ PS=0 และ NS=0 Input ที่ต้องป้อนให้กับ Flip Flop อาจเป็น R=0 S=0 หรือ R=1 S=0 ก็ได้ ดังนั้นหากต้องการให้ PS=0 และ NS=0 ก็ต้องป้อน Input R=d S=0
- เมื่อ PS=0 และ NS=1 Input ที่ต้องป้อนให้กับ Flip Flop ต้องเป็น R=0 S=1 เท่านั้น
- เมื่อ PS=1 และ NS=0 Input ที่ต้องป้อนให้กับ Flip Flop ต้องเป็น R=1 S=0 เท่านั้น
- เมื่อ PS=1 และ NS=1 Input ที่ต้องป้อนให้กับ Flip Flop อาจเป็น R=0 S=0 หรือ R=0 S=1 ก็ได้ ดังนั้นหากต้องการให้ PS=1 และ NS=1 ก็ต้องป้อน Input R=0 S=d

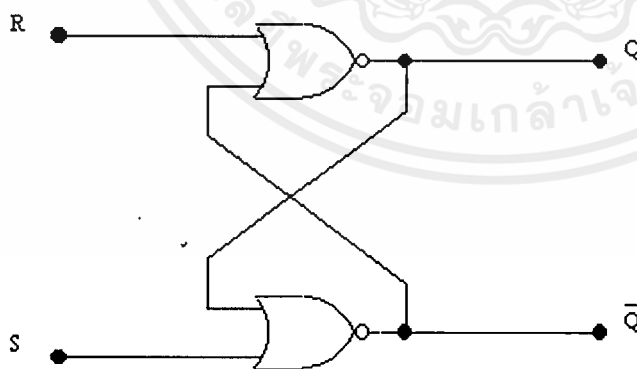
จากการพิจารณาดังกล่าวแล้วจึงสามารถเขียนตารางขึ้นมาใหม่ เรียกว่า Excitation Table ของ RS Flip Flop ดังแสดงตามตารางที่ 2.5

การเปลี่ยนแปลง State		Input ที่ต้องการ	
PS	NS	R	S
0	0	d	0
0	1	0	1
1	0	1	0
1	1	0	d

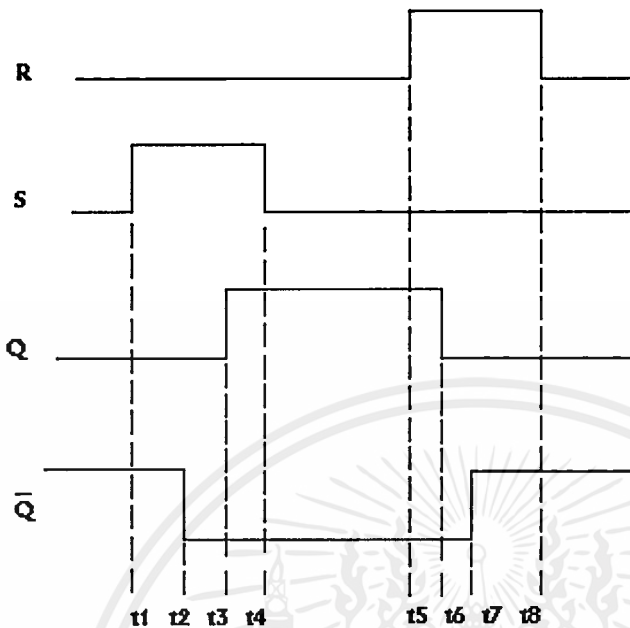
ตารางที่ 2.5 Excitation Table

ปัญหาเกี่ยวกับ Timing ของ Flip Flop

ข้อจำกัดที่สำคัญอย่างหนึ่งในวงจร Combination Logic หรือวงจร Sequential ก็คือเวลาหน่วง (Delay Time) ของ Gate หรือ Flip Flop ที่ใช้ในวงจร ถ้าสมมุติว่า Gate ตัวหนึ่งมี Delay Time 10 nSec ก็แสดงว่า Output ของ Gate ตัวนี้จะเปลี่ยนแปลงไปตามเงื่อนไขของ Input ของมันได้ต้องใช้เวลอย่างน้อย 10 nSec เป็นต้น ดังนั้นการเขียน Timing Diagram แสดงการเปลี่ยนแปลง State ของ Flip Flop ก็ต้องคิด Delay Time ด้วย ดังแสดงตามรูปที่ 2.26



(ก) RS Flip Flop



(ข) Timing Diagram ของ RS Flip Flop

รูปที่ 2.26 การทำงานของ RS Flip Flop

จากรูปที่ 2.26 อธิบายได้ดังนี้ เริ่มตั้งแต่ Input $R=0$ $S=0$ และให้ Output $Q=0$ $\bar{Q}=1$ เมื่อ Output Q และ \bar{Q} ได้ถูกป้อนกลับมาเป็น Input ให้กับ NOR Gate ทำให้ Gate ที่ 1 มี Input เป็น $R=0$ $\bar{Q}=1$ ซึ่งจะทำให้ $Q=0$ Gate ที่ 2 เมื่อ Input เป็น $S=0$ $Q=0$ ทำให้ได้ $\bar{Q}=1$ ที่เวลา t_1 Input S เปลี่ยนจาก 0 เป็น 1 หรือ Input ของ Gate ที่ 2 เปลี่ยนจาก 00 เป็น 01 เมื่อเวลาหนึ่งผ่านไปจนถึงเวลา t_2 จึงทำให้ \bar{Q} เปลี่ยนจาก 1 เป็น 0 การเปลี่ยนแปลงนี้ทำให้ Input ของ Gate ที่ 1 เปลี่ยนจาก 01 เป็น 00 ดังนั้น Q จะเปลี่ยนจาก 0 เป็น 1 ที่เวลา t_3 ซึ่งการเปลี่ยนแปลงครั้งนี้ทำให้ Input ของ Gate ที่ 2 เปลี่ยนจาก 01 เป็น 11 และไม่มีผลต่อ Output ในทำนองเดียวกันที่เวลา t_4 Input S เปลี่ยนจาก 1 เป็น 0 ก็จะไม่ผลต่อ Output เมื่อ Input R เปลี่ยนจาก 0 เป็น 1 ที่เวลา t_5 จึงทำให้ Q เปลี่ยนจาก 1 เป็น 0 ที่เวลา t_6 และทำให้ \bar{Q} เปลี่ยนจาก 0 เป็น 1 ที่เวลา t_7 และเมื่อ Input R เปลี่ยนกลับมาเป็น 0 อีกที่เวลา t_8 ก็จะไม่ผลต่อ Output

จงสังเกตว่าถ้า Input S เปลี่ยนจาก 1 เป็น 0 ก่อนที่ Q จะเปลี่ยนจาก 0 เป็น 1 ที่เวลา t_2 ก็อาจทำให้ Output ของวงจรเกิดความไม่แน่นอนหรือไม่เปลี่ยนแปลงไปตาม Truth Table ของมัน ซึ่งเป็นปัญหาที่สำคัญอย่างหนึ่งในวงจร Logic หรือวงจร Sequential

จากที่ได้กล่าวมาแล้วว่า Clock Pulse (CK) มีหน้าที่เป็นตัวควบคุมหรือกำหนดจังหวะการเปลี่ยนแปลง State ของ Flip Flop ดังนั้นความถี่ของ Clock Pulse จึงมีความสำคัญอย่างหนึ่ง โดยเอกสารนี้เป็นเอกสารที่สงวนเวลาสำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาติเห็นไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

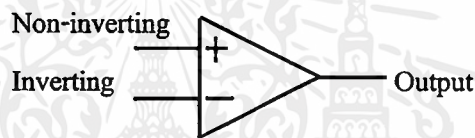
ทั่วไปแล้วเราจะให้ช่วงกว้างของ Clock Pulse ใน 1 Cycle มีความกว้างมากกว่า Delay Time ของ Flip Flop อย่างน้อย 5 เท่าเช่น Flip Flop มี Delay Time 20 nSec ก็ควรให้ Clock Pulse ก็มีช่วงกว้างใน 1 Cycle อย่างน้อยเป็น 100 nSec หรือมีความถี่เป็น 10 MHz หรือต่ำกว่าเป็นต้น



ออปแอมป์ (Operational Amplifier)

เดิมใช้เรียกวจร Amplifier ซึ่งสามารถทำงานในทางคณิตศาสตร์ได้หลายอย่าง โดยการจับ Negative Feedback (Operational Feedback) ในวงจร High Gain DC Amplifier ร่วมกับการจัดองค์ประกอบที่เหมาะสมต่อเข้ากับ Input และ Output ของมันเท่านั้น

ปัจจุบันออปแอมป์ หมายถึง DC Amplifier คุณภาพสูงใด ๆ ที่เหมาะสมกับการใช้ Operational Feedback ผลิตขึ้นในรูปของ Integrated Circuit และสามารถนำไปใช้ประโยชน์ในลักษณะต่าง ๆ ตามความต้องการโดยการต่ออุปกรณ์ภายนอกเพียงไม่กี่ชิ้น ตามปกติผู้ใช้ไม่จำเป็นต้องรู้อะไรภายในของมัน แต่ต้องเข้าใจข้อต่อต่าง ๆ ตลอดจน Technical Terms ที่ระบุคุณสมบัติของออปแอมป์ เพื่อให้สามารถเลือกใช้ได้เหมาะสมกับงาน



รูปที่ 2.27 สัญลักษณ์ของออปแอมป์

ออปแอมป์ในอุดมคติจะมีคุณสมบัติดังนี้

- มี Input Impedance สูงเป็น อนันต์ (Infinity)
- มี Output Impedance ต่ำ เป็นศูนย์
- มีอัตราขยาย และ Band Width สูงเป็นอนันต์
- Input และ Output มีการเปลี่ยนแปลงที่สัมพันธ์กันอย่างสมบูรณ์

ออปแอมป์ในทางปฏิบัติจะมีคุณสมบัติดังนี้

ในทางปฏิบัติ ออปแอมป์มีอัตราขยายและ Band Width จำกัด อีกทั้งความสัมพันธ์ระหว่าง Input และ Output ก็มีความผิดพลาดด้วย ด้วยเหตุดังกล่าวจึงต้องมีข้อมูลแสดงสมรรถนะ เพื่อใช้เป็นตัวบอกว่า ออปแอมป์ตัวใดดีเลวเพียงใด ข้อมูลที่สำคัญมีดังนี้

Open Loop Voltage Gain (A_o)

เป็นอัตราขยายทาง Voltage ที่วัดโดยตรงระหว่าง Input กับ Output ของออปแอมป์อัตราขยายโดยทั่วไปจะเป็น 100,000 เท่า หรือ 100 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Impedance (Z_{in})

เป็นการวัด Impedance โดยมองเข้าไปทาง Input ใด Input หนึ่งในขณะที่อีก Input หนึ่งต่อกับ Ground โดยปกติจะแสดง ในรูปของความต้านทานเพียงอย่างเดียว มีค่าประมาณ 1 เมกโอห์ม ในกรณีของ Bipolar-Input Amplifier แต่ถ้าเป็น FET Input Amplifier อาจสูงถึง 1012 เมกโอห์ม

Output Impedance (Z_o)

เป็นการวัด Impedance ทาง Output โดยปกติจะแสดงในรูปของความต้านทานเพียงอย่างเดียว มีค่าประมาณ 100 โอห์ม

Input Bias Current (I_b)

คือกระแสที่ไหลเข้า หรือออก (ขึ้นอยู่กับการออกแบบภายในของออปแอมป์) จากขั้ว Input ของออปแอมป์ เนื่องจาก Input Impedance ไม่เป็น Infinity ปกติน้อยเป็นพิเศษของไมโครแอมป์

Supply Voltage Range (V_s)

ปกติออปแอมป์จะใช้ไฟเลี้ยง 2 ชุด ค่ามาตรฐานคือ +15 V และ -15 V แต่ออปแอมป์ส่วนมากทำงานได้ในย่าน 3 ถึง 20 โวลท์

Output Voltage Swing ($V_o(max)$)

คือความสามารถของออปแอมป์ในการส่งแรงดันไปตกร่อม Load โดยที่ยังไม่เกิด Clipping ปกติจะมีค่าต่ำกว่าไฟเลี้ยง 1 ถึง 2 โวลท์

Differential Input Offset Voltage (V_{io})

Output ของออปแอมป์การเป็น 0 V เมื่อ Input ทั้งสองต่อกับ Ground แต่ตามความเป็นจริง จะมีความไม่สมดุลระหว่าง Input ทั้งสองอยู่บ้างความไม่สมดุลนี้มีค่าเพียง 2-3 มิลลิโวลท์ แต่เมื่อถูกขยายด้วยอัตราขยายของมัน อาจเพียงพอที่จะขับให้ Output ถึงระดับอิ่มตัวด้วยเหตุนี้ ออปแอมป์จึงมีขาสำหรับต่อวงจรภายนอกเพื่อกำจัดความไม่สมดุลนี้ให้หมดไป (Offset Voltage Nulling Out)

Common Mode Rejection Ratio (CMRR)

อัตราส่วนการจัตสัญญาณร่วมโหมด ออปแอมป์ในอุดมคติจะผลิต Output ออกมาโดยเป็นสัดส่วนกับผลต่างของสัญญาณสองสัญญาณที่ป้อนให้กับ Input บวกและลบ ฉะนั้นมันควรให้ Output เป็นศูนย์ เมื่อ Input ทั้งสองเป็นสัญญาณที่เหมือนกันทุกประการ และเข้ามาในเวลาเดียวกัน ซึ่งเรียกว่าสัญญาณร่วมโหมด

ในทางปฏิบัติสัญญาณร่วมโหมคนี้ไม่สามารถหักล้างกันให้หมดไป แต่จะผลิตเป็นสัญญาณขนาดเล็กขึ้นที่ Output ความสามารถของออปแอมป์ ในการจัตสัญญาณโหมคร่วมปกติแสดงในรูปของ อัตราส่วนการจัตสัญญาณร่วม โหมค ซึ่งเป็นอัตราส่วนของ อัตราขยายของออปแอมป์ขณะสัญญาณต่างกัน กับอัตราขยายของออปแอมป์ ขณะสัญญาณร่วมโหมค หรือ เหมือนกัน ปกติค่า CMRR ของออปแอมป์ทั่วไปจะมีค่า 90 dB

Transition Frequency (ft)

ออปแอมป์ธรรมดา นั้นจะให้ Voltage Gain ประมาณ 100 dB ที่ความถี่ต่ำและถ้าเกี่ยวกับความถี่สูง การขยายจะลดลง ความถี่ตอบสนองของ Loop เปิดจะมีย่านแคบ ดังนั้นอัตราขยายจะลดลงขณะความถี่สูงขึ้นและจะลดลงจนถึง 1 (Unity Gain) ที่ความถี่ซึ่งเรียกว่าความถี่หัวเลี้ยวหัวต่อ

ปกติการตอบสนองจะลดลงด้วยอัตรา 6 dB ต่อ Octave หรือ 20 dB ต่อ Decade

Slew Rate (S)

ขณะที่ออปแอมป์มีปัญหาเกี่ยวกับ Band Width อยู่แล้ว ยังมีปัญหาเกี่ยวปรากฏการณ์ที่เรียก Slew Rate อีกด้วย ซึ่งมีผลต่อขีดจำกัดของอัตราการเปลี่ยนแปลง สูงสุดของโวลต์เตจ ที่เอาท์พุทของออปแอมป์

ปกติ Slew Rate กำหนดอยู่ในรูปของโวลต์ต่อไมโครวินาที ทั่วไปมีค่าระหว่าง 1 V/ μ S ถึง 10 V/ μ S ผลกระทบอย่างหนึ่งของขีดจำกัดทาง Slew Rate คือเมื่อสัญญาณ Output ต่ำๆ จะมี Band Width กว้างกว่าเมื่อสัญญาณ Output สูง อีกอย่างหนึ่งคือ สัญญาณ Input ที่เป็น Sine Wave เมื่อผ่านออปแอมป์จะได้ Output เป็นคลื่นรูปสามเหลี่ยม เมื่อมันทำงานนอกเหนือไปจากอัตรา Slew Rate ของมัน

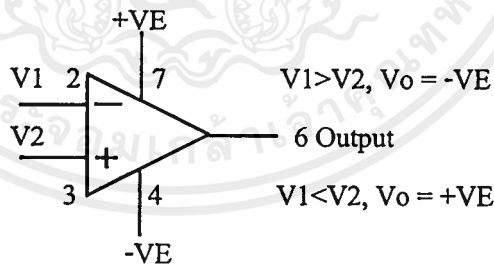
สรุป Slew Rate ก็คือ อัตราการเปลี่ยนแปลงของโวลต์เตจที่ Output ต่อหน่วยเวลาและวัดขณะที่ วงจรออปแอมป์มีอัตราขยายทางโวลต์เตจเป็น 1

เกี่ยวกับการตอบสนองต่อทรานเซียนท์ (Transient Response) หรือไรส์ไทม์ (Risetime) ซึ่งก็คือเวลาที่ใช้สำหรับการเปลี่ยนแปลงของสัญญาณ Output จาก 10% ถึง 90% ของสัญญาณสูงสุด เมื่อสัญญาณ Input เป็น พัลส์รูปสี่เหลี่ยม (Step Function Pulse) และวงจรทำงานเป็นแบบ Loop เปิดในทางทฤษฎีทางวงจร Rise Time สัมพันธ์กับ Band Width ดังนี้

$$BW = \frac{0.35}{\text{Rise time}}$$

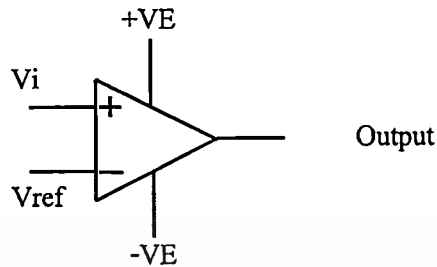
ทฤษฎีต่างๆของ Op Amp Comparator

Comparator คือวงจรเปรียบเทียบอินพุตโวลต์เทียบกับโวลต์อ้างอิงดังนั้น Output ของ Comparator จึงแสดงว่าสัญญาณที่ Input เข้ามามีขนาดสูงหรือต่ำกว่าโวลต์อ้างอิงเท่านั้น เปิดดูป็นั้น ออปแอมป์จะสามารถเปรียบเทียบสัญญาณระหว่างขั้วอินพุตทั้งสองได้ค่อนข้างแม่นยำ โดยใช้หลักเรื่องความสัมพันธ์ระหว่างขั้วอินพุต อธิบายได้ว่าเมื่อแรงดันที่ขั้วลบมีค่าเป็นบวกสูงกว่าแรงดันอินพุตที่ขั้วบวก สัญญาณที่เอาท์พุทจะเป็นลบ และมีขนาดเกือบเท่ากับ -VE จากแหล่งจ่ายไฟ ดังตัวอย่างในรูปที่ 2.28



รูปที่ 2.28

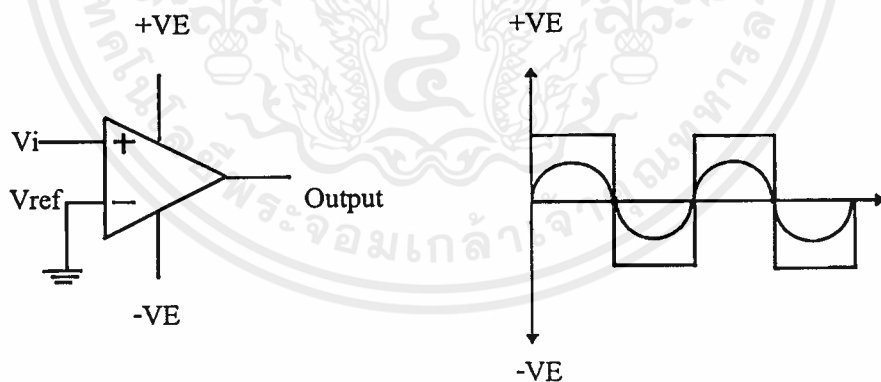
ในกรณีที่กำหนดขั้วลบเป็นแรงดันอ้างอิง ขั้วบวกเป็นแรงไฟอินพุท การทำงานจะกลับกัน
ดังนี้



รูปที่ 2.29 Comparator

Output สูงขึ้นเข้าใกล้ไฟเลี้ยงบวกเมื่อ Input สูงกว่าโวลต์เตจอ้างอิงเล็กน้อย และเมื่อ Input ต่ำกว่าโวลต์เตจอ้างอิง Output ก็จะเปลี่ยนเข้าใกล้ไฟเลี้ยงลบ ฉะนั้นจึงต้องปรับ Input Offset Voltage ของออปแอมป์เพื่อให้ Output เป็นศูนย์ก่อน

ออปแอมป์ที่นำมาทำเป็น Comparator การมี Slew Rate สูง ตัวอย่างการใช้งาน Comparator คือ การเปลี่ยน Sine Wave ให้เป็น Square Wave ดังรูปที่ 2.30 โดยการให้ Noninverting Input ต่อกับ Ground



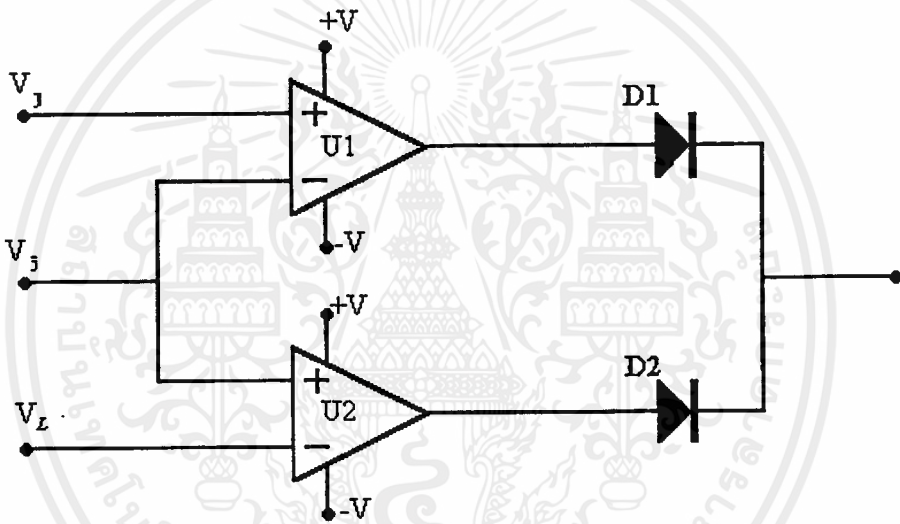
รูปที่ 2.30 Sine wave to square wave converter

บทที่ 3

การทำงานของส่วนต่างๆที่ใช้ในการออกแบบและสร้างชุดทดสอบ PAL

3.1. วงจร Windows Comparator

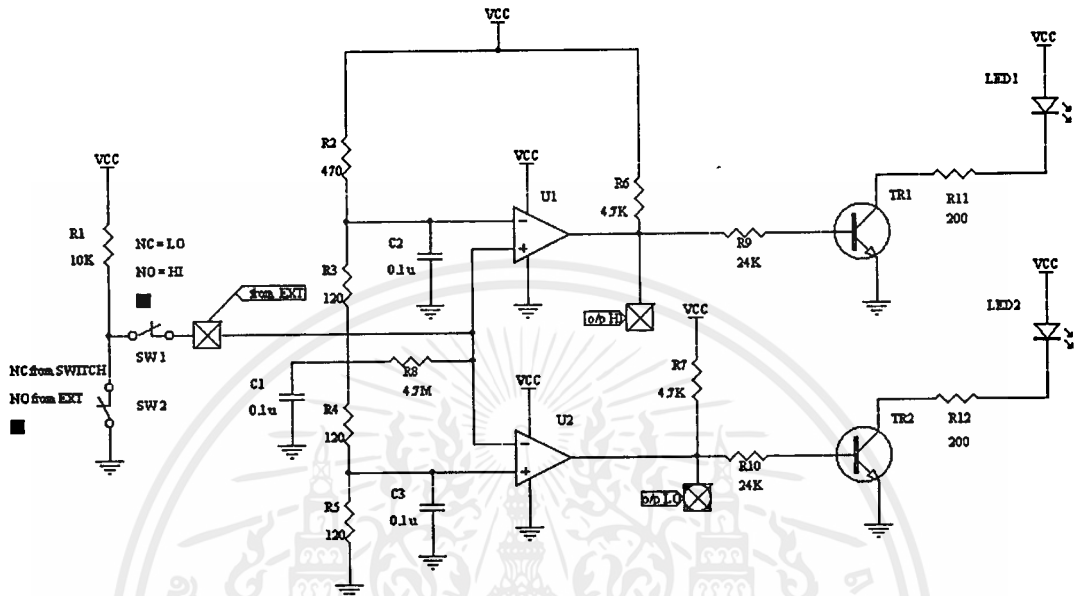
Window Comparator คือ การนำเอาวงจร Comparator แบบ Inverting และ Non Inverting ซึ่งมีระดับแรงดันอ้างอิงที่ทั้ง 2 วงจรต่างกัน นำมาต่อร่วมกัน ซึ่งวงจร Windows Comparator นี้จะสามารถตรวจสอบได้ว่าแรงดัน Input (V_i) ที่เข้ามานั้นจะมีระดับเป็นอย่างไรเมื่อเทียบกับแรงดันอ้างอิง V_H และ V_L ลักษณะของ Windows Comparator ดังแสดงในรูปที่ 3.1



รูปที่ 3.1

เมื่อแรงดัน V_i มีระดับอยู่ระหว่าง V_H และ V_L Output Voltage V_o จะเป็น 0 Volt และนอกจากนี้ Output V_o จะเท่ากับ $+V_{sat}$

วงจร Windows Comparator ที่ใช้ในชุดทดสอบ PAL นี้จะใช้ IC # LM 339 ซึ่งภายในตัว IC # LM 339 นี้จะมี Op - Amp Comparator อยู่ 4 ตัว IC ตัวนี้จะใช้แหล่งจ่ายเพียงชุดเดียวคือ (+)บวก กับ (GND) กราวด์ แต่ Op-Amp ธรรมดาจะใช้แหล่งจ่ายไฟ 2 ชุด คือ (+) บวก และ (-) ลบ
วงจร Windows Comparator ที่ใช้ในชุดทดสอบ PAL นี้ จะแสดงให้เห็นในรูปที่ 3.2



รูปที่ 3.2

แรงดันอ้างอิง V_H และ V_L ของวงจร Windows Comparator นี้จะเท่ากับระดับแรงดันในสถานะ Logic Hi-Low ของ PAL ซึ่ง PAL นี้จะเป็น IC ประเภท TTL ซึ่งมีระดับแรงดันที่สถานะ Hi ตั้งแต่ 2.2 Volt ขึ้นไป และในสถานะ Low จะมีระดับแรงดันตั้งแต่ 0.72 Volt ลงไป ส่วนในสถานะ Hi-Impedance จะมีระดับแรงดันอยู่ระหว่าง 0.72 - 2.2 Volt

การกำหนดค่าระดับแรงดัน V_H และ V_L ของวงจร Windows Comparator จะใช้วงจร Voltage Divider เป็นวงจรการต่อความต้านทานแบบอนุกรมซึ่งระดับแรงดัน ก็ตกคร่อมตัวความต้านทาน (Resistor) ต่างๆ ในวงจร Voltage Divider จะเป็นค่ากำหนด V_H และ V_L ของวงจร Windows Comparator โดย

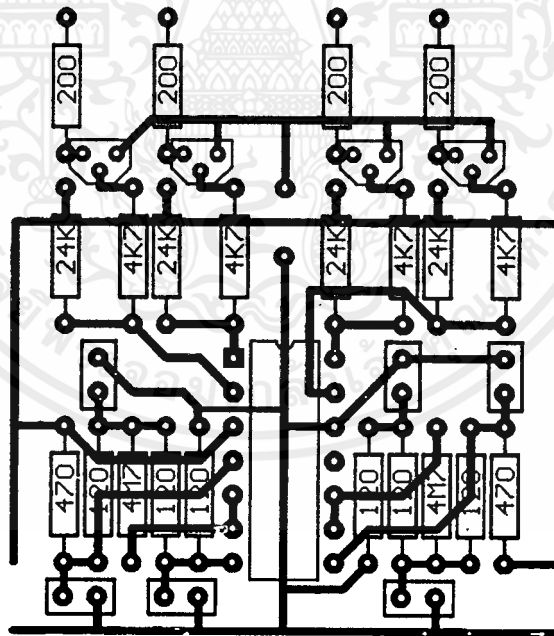
$$\begin{aligned}
 V_H &= \frac{V_1(R_2+R_3+R_4)}{(R_2+R_3+R_4+R_5)} \\
 &= \frac{5(120+120+120)}{(470+120+120+120)}
 \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ = 2.169 Volt การศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 V_L &= \frac{V_i(R_4)}{(R_1+R_2+R_3+R_4)} \\
 &= \frac{5(120)}{(470+120+120+120)} \\
 &= 0.722 \text{ Volt}
 \end{aligned}$$

ส่วน R 5 (4.7 M) นั้น จะเป็นตัวที่ทำให้เกิด Hi - Impedance

วงจร Windows Comparator ที่ใช้ IC # LM339 ดังแสดงในรูปที่ 3.3



รูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร

จากรูปที่ 3.2 V_{in} จะถูกป้อนเข้าที่ Input Inverting ของ ออปแอมป์ (2) และ ขา Non Inverting ของออปแอมป์ (1) โดยระดับแรงดัน Hi Low จะถูกกำหนดโดย Logic Switches และจะถูกป้อนผ่าน Selector Switches การทำงานจะแบ่งเป็น 3 สถานะ

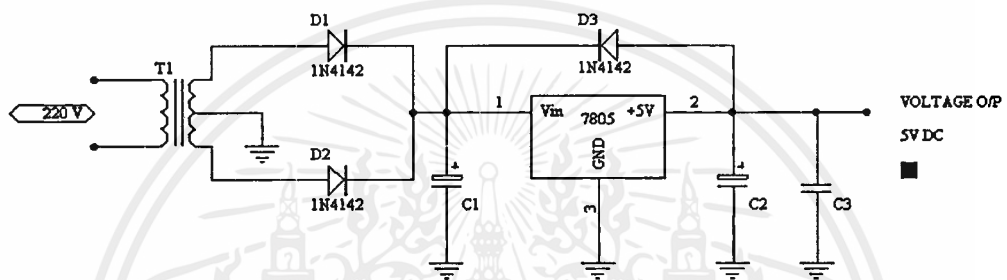
1. เมื่อ Logic Switches อยู่ที่ Low ขา Input ของวงจรจะถูกต่อลงกราวด์ (GND) ทำให้ระดับแรงดันที่ ขา Input ของวงจรมีค่าต่ำกว่า V_L และ V_H เมื่อแรงดัน V_{in} ต่ำกว่า V_L จะทำให้ Output ของออปแอมป์ (2) เป็น V_{sat} ไปขับให้ Q_2 ทำงานนำกระแสทำให้ LED 2 ติดแสดงสถานะ Low ส่วน Output ของ Op-Amp จะมีค่าแรงดันเป็น 0 ทำให้ Q_1 ไม่ทำงาน LED 1 จะดับ

2. เมื่อ Logic Switches อยู่ที่ Hi Input ของวงจรจะต่ออยู่กับแรงดัน 5 Volt โดยผ่านความต้านทาน 10 K ระดับแรงดัน V_{in} จะมีค่า มากกว่า V_L และ V_H ทำให้ Output ของออปแอมป์ (1) มีค่าเท่ากับ V_{sat} ไปขับ Q_1 ให้นำกระแสทำให้ LED 1 ติดแสดงสถานะ Hi ส่วน Output ของออปแอมป์ (2) จะเป็น 0 Volt ทำให้ Q_2 ไม่ทำงานและ LED 2 ไม่ติด

3. เมื่อ Select Switches เปิดออก เสมือนกับ Input ไม่ได้ต่ออยู่กับอะไรเลย ก็ทำให้ไม่มีแรงดันเข้ามาที่ Input Input จะมีระดับแรงดันมาจากการ Divider ของ ความต้านทาน 4.7 M ซึ่งทำให้ V_{in} ในขณะนี้จะมีค่าอยู่ระหว่าง V_L และ V_H ทำให้ Output ของออปแอมป์ (1) และ (2) มีระดับแรงดันเป็น 0 Volt ถ้าใน Transistor Q_1 และ Q_2 ไม่นำกระแส LED 1 และ 2 จะไม่ติดซึ่งในสถานะนี้จะเสมือนกับเป็นสถานะ Hi-Impedance

3.2 แหล่งจ่ายไฟในชุดทดสอบ PAL

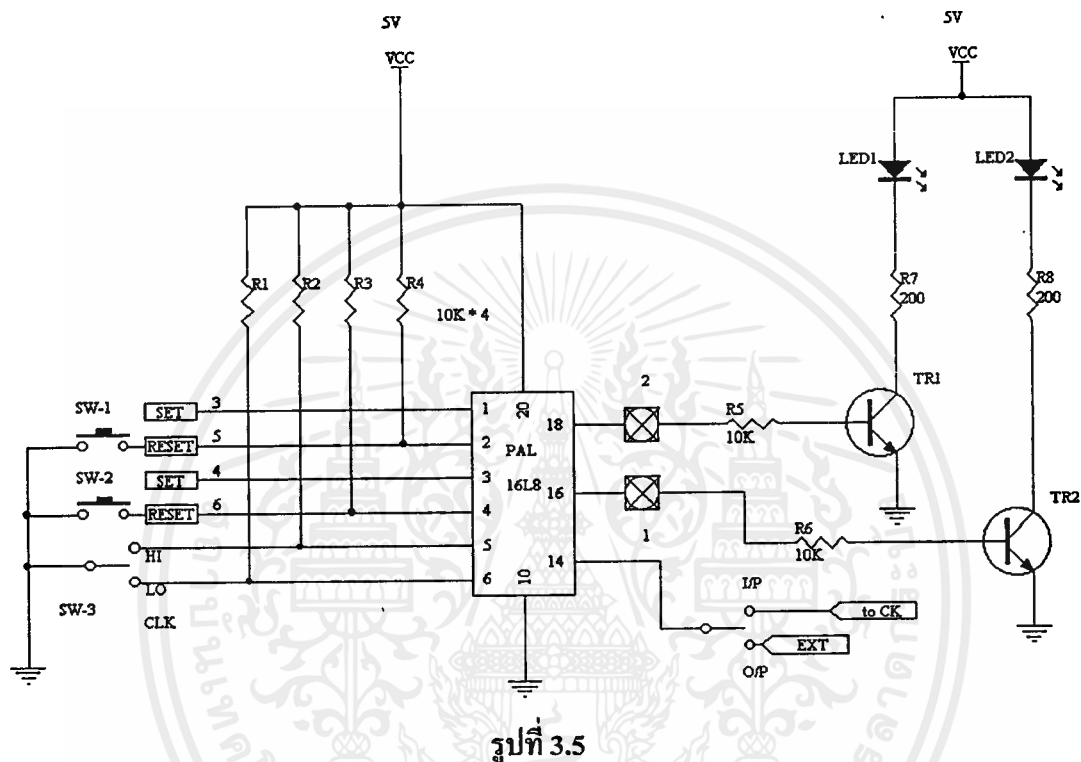
แหล่งจ่ายไฟในชุดทดสอบ PAL จะมาจากหม้อแปลงที่แปลงไฟจาก 220 Volt เป็น 6-0-6 Volt ขนาด 800 mA เข้าวงจร Full Wave Rectifier แล้วผ่านวงจร Regulator ที่ใช้ IC#7805 ซึ่งจะทำได้ V_{DC} คงที่ที่ระดับ +5 Volt จ่ายให้กับวงจรทั้งหมด ลักษณะวงจรเป็นดังรูปที่ 3.4



รูปที่ 3.4

ในที่นี้จะใช้หม้อแปลงขนาด 800 มิลลิแอมป์ เพื่อป้องกันไม่ให้เกิดปัญหาเนื่องจากจ่ายกระแสให้กับวงจรต่างๆไม่พอ เนื่องจากในชุดทดสอบ PAL มีวงจรอยู่หลายชุด

3.3 วงจร Clock และ Memory

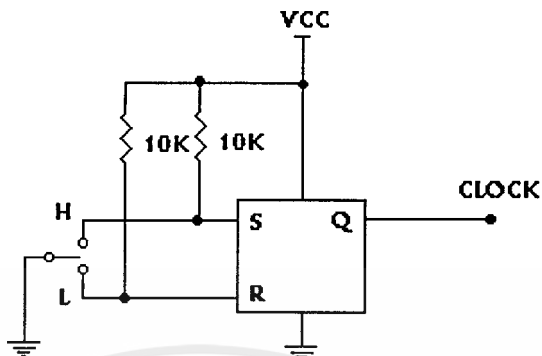


การทำงานของวงจร PAL ที่ทำหน้าที่เป็น Clock และ Memory จะแสดงดังในรูปที่ 3.5

การทำงานของ Clock และ Memory จะแยกอธิบายเป็นส่วนๆ ดังนี้

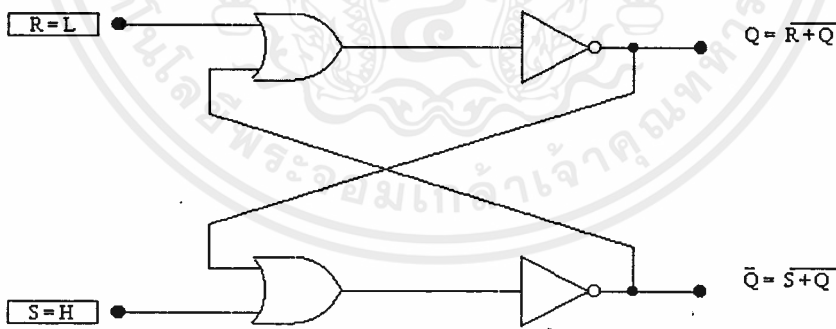
Clock

เป็นส่วนที่ใช้สำหรับสร้างสัญญาณ Clock เพื่อป้อนให้กับ PAL ที่มี Output เป็น Register หรือสร้างสัญญาณ Logic Hi Low เพื่อป้อนให้กับขา 1 ของ PAL ที่เป็นแบบธรรมดา ซึ่งวงจรที่ใช้จะถูกโปรแกรมโดยใช้ GAL ซึ่งคุณสมบัติ เหมือนกับ PAL แต่มีข้อดีตรงที่สามารถโปรแกรมได้หลายครั้ง ซึ่งในส่วนของ Clock เราจะอาศัยหลักการของ RS Flip Flop ซึ่งมีลักษณะดังรูปที่ (3.6)



รูปที่ 3.6

RS-Flip Flop ก็ใช้ในวงจรมัน เป็นวงจรพื้นฐานการทำ Nor Gate 2 ครั้ง ดังรูปที่ 3.5 และมีตารางการทำงานตามตารางที่ 3.1 โดยมี Output คือ \bar{Q} และ Q และมี I/P 2 เส้นคือ S (set) และ R (Reset) ใช้ควบคุมภาวะของ Flip Flop



รูปที่ 3.7

R	S	Q	Q
0	0	Q	Q
0	1	1	0
1	0	0	1
1	1	-	-

ตารางที่ 3.1

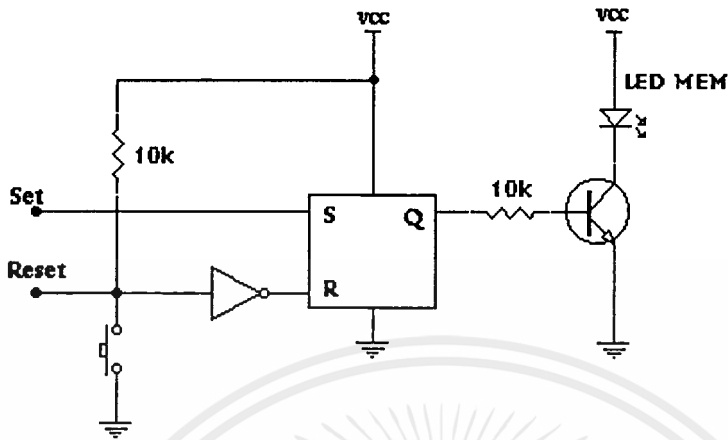
การทำงานของ RS Flip Flop ดังรูป เมื่อ Input $R=0, S=1$ ไม่ว่าสัญญาณที่ Output Q จะเป็น 0 หรือ 1 ก็ตามก็จะถูก Set. ให้เป็น 1 และเมื่อ Input $R=1, S=0$ ไม่ว่าที่ Output Q เป็น 1 หรือ 0 ก็ตามจะถูก Reset ให้เป็น 0 เมื่อ R และ $S=0$ สัญญาณ Output Q จะไม่เปลี่ยนแปลงและเมื่อ R และ $S=1$ จะทำให้สัญญาณที่ Output Q และ \bar{Q} เหมือนกันจึงไม่ตรงกับเงื่อนไขของความจริงที่ว่า Output Q และ \bar{Q} ต้องเป็น Complement ซึ่งกันและกัน ดังนั้นจึงห้ามไม่ให้ Input เป็น 1 เหมือนกัน

การทำงานของวงจร Clock นั้น ถ้าเราต้องการ Logic Hi ให้เลื่อน Switch Hi Low ไปที่ Hi ซึ่งจะป้อน Logic 0 ให้กับขา Set ของวงจร RS -Flip Flop และขา Reset ก็จะได้ Logic 1 จึงหว่าทำ ให้ขา Q เป็น 0 และ \bar{Q} เป็น 1 แต่เราจะใช้ Output ของขา \bar{Q} ซึ่งจะทำได้ Output ของ Clock เป็น 1 หรือ Hi และเมื่อต้องเป็น Clock เป็น L ให้เลื่อน Switch ไปที่ Low ซึ่งจะป้อน Logic 1 ให้กับขา Set. และป้อน Logic 0 ให้กับขา Reset ทำให้ Output Q เป็น 1 และ \bar{Q} เป็น 0 โดยที่เราใช้ Output จากขา Q ทำให้ได้ Clock เป็น 0 หรือ Low ซึ่งจะเห็นได้ว่าการที่เราใช้ Switch เลื่อนนี้จะไม่ทำให้ Input R และ S เป็น 1 พร้อมกัน R 10 K 2 ตัวที่ต่ออยู่ที่อินพุตของ Clock นั้น เพื่อป้องกันไม่ให้ I/P เป็น Hi-Impledance เมื่อมีการลอยขา Input

Memory

Memory จะทำหน้าที่ตรวจสอบดูว่า Output ของ PAL ที่เรากำลังทำการทดสอบอยู่นั้นมีการเปลี่ยนแปลงสถานะทาง Logic หรือไม่ เพราะในบางกรณีสัญญาณ Output จะมีการเปลี่ยนแปลงสถานะทาง Logic อย่างรวดเร็วจนทำให้ชุดทดสอบบางตัวไม่สามารถบอกได้ว่าการเปลี่ยนแปลงหรือไม่ LED ที่แสดงสถานะ Hi และ Low อาจจะติดอยู่เพียงดวงเดียวตลอดหรืออาจไม่ติดเลยก็ได้ แต่ที่จริงแล้วไม่มีการเปลี่ยนแปลงสถานะอยู่ตลอดเราจึงต้องใช้ Memory ดังแสดงในรูปที่ 3.8 คำ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8

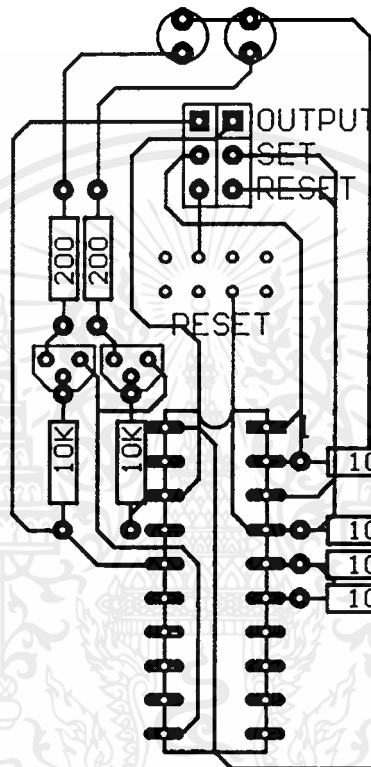
การทำงานของวงจร

Switch Reset ได้ใช้ จะเป็น Switch แบบ NO หรือ Normal Open ซึ่งจะเปิดวงจรอยู่ตลอดเวลาทำได้ทีขา Reset Logic เป็น 1 อยู่ตลอดแต่เมื่อผ่าน Not Gate ไปแล้วจะกลายเป็น Logic 0 เข้าขา R ของ RS Flip Flop

เมื่อมีสัญญาณ Logic เข้ามาที่ขา Set จะทำให้ Output Q มี Logic เป็น 1 และจะไปขับให้ทรานซิสเตอร์นำกระแสทำให้ LED Memory ติดและจะค้างสถานะอยู่ตลอด เมื่อเราต้องการทำให้ LED ดับ ก็กด Switch Reset จะทำให้ Reset มี Logic เป็น 0 เมื่อผ่าน Not Gate ก็จะมี Logic เป็น 1 เข้าที่ขา R ของ RS Flip Flop ทำให้ Output Q ของ RS Flip Flop มี Logic เป็น 0 ทรานซิสเตอร์จะหยุดทำงานทำให้ LED ดับ

วงจรใช้งานจริง

ในการใช้งานจริงนั้น วงจร Clock จะ Memory ซึ่งจะมี Memory 2 ชุดนั้นจะถูกรวมไว้ด้วยกันภายใน IC PAL 16L8 หรือ GAL16 V8 โดยมีวงจรดังรูป 3.9



รูปที่ 3.9

การทำ Program นั้น จะใช้สมการ 6 สมการ เป็นของ Clock 2 สมการและ Memory อีก 4 สมการ

สมการของ Clock เป็นสมการของ RS Flip Flop ธรรมดา

$$Q = R + \overline{Q}$$

$$\overline{Q} = \overline{S} + \overline{Q}$$

แต่โปรแกรมที่ใช้กับ PAL 20 ไม่รู้ว่า Q จึงต้องเปลี่ยนเป็น X

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q = \overline{R + X}$$

$$X = \overline{S + Q}$$

แต่ O/P ของ PAL จะมี NOT อยู่ สมการที่ได้คือ

$$/Q = R + X$$

$$/X = S + Q$$

สมการของ Memory จะเป็นสมการ RS Flip Flop ธรรมดา แต่จะเติม Not Gate ที่ขา R จึงได้สมการดังนี้

$$Q = \overline{\overline{R + Q}}$$

$$\overline{Q} = \overline{S + Q}$$

เปลี่ยน Q เป็น X

$$Q = \overline{\overline{R + X}}$$

$$X = \overline{S + Q}$$

สมการที่ใช้ในการเขียนคือ

$$\overline{\overline{Q}} = \overline{R + X}$$

$$\overline{X} = S + Q$$

บทที่ 4

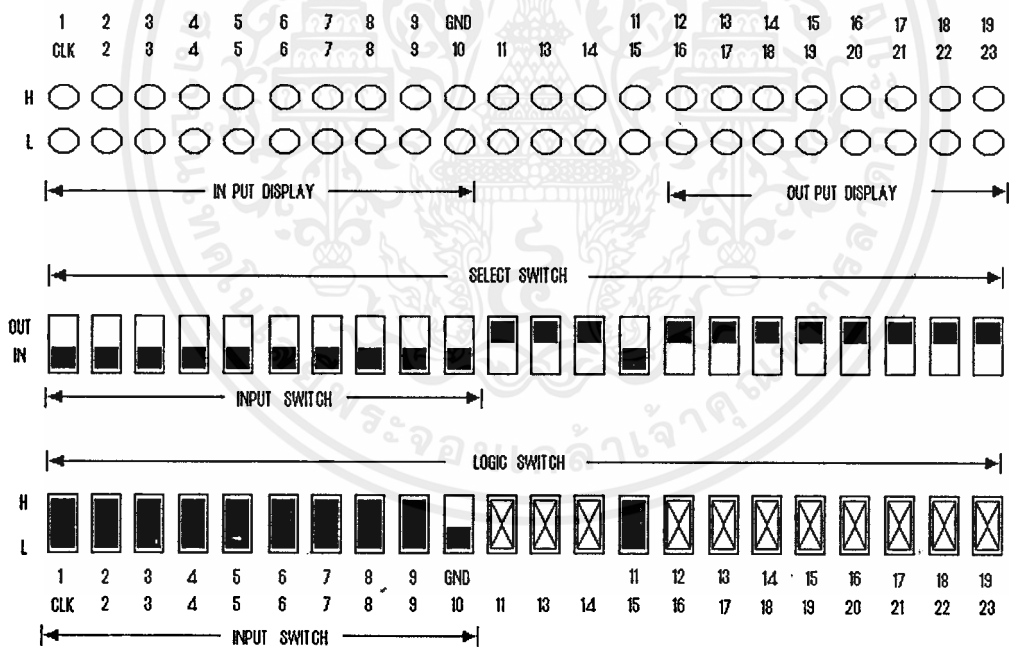
การใช้งานชุดทดสอบ PAL

ในการที่จะใช้งานชุดทดสอบ PAL เราจะต้องทำการตรวจสอบชุดทดสอบให้เหมาะสมกับ PAL ที่จะนำมาทดสอบเสียก่อนโดยเราจะต้องรู้ว่า PAL ที่นำมาทดสอบนั้นเป็น PAL แบบไหน 20 ขา หรือ 24 ขา มีขาใดเป็น Input บ้าง และมีการโปรแกรมให้ทำงานในฟังก์ชันใดเพื่อที่เราจะทำการทดสอบได้ถูกต้อง

4.1 การใช้งานกับ PAL 20 ขา

PAL ที่มี 20 ขา ได้แก่ PAL No. 10H8, 12H6, 14H4, 16H2, 16C1, 10L8, 12L6, 14L4, 16L2, 16L8, 16R8, 16R6, 16R4, 18X4, 16A4

ตัวอย่างการตั้ง Switch ต่างๆบนเครื่องทดสอบ PAL สำหรับ PAL 20 ขา แสดงดังรูปที่ 4.1



รูปที่ 4.1

จากรูปที่ 4.1 การใช้งานกับ PAL 20 ขาที่ PAL 20 ขาจะมีขา 10 เป็นขา GND เราจึงต้องทำการ Set ให้ขา 10 ต่อดลง GND โดย เลื่อน Select Switches ที่ ขา 10 ไว้ที่ ตำแหน่ง Input และเลื่อน Logic Switches ไว้ที่ตำแหน่ง Low และจะต้องให้อยู่ที่ ตำแหน่งนั้นตลอดไป ห้ามไม่ให้มีการเลื่อน Logic Switches ที่ขา 10 นี้ จากรูปที่ 4.1 เป็นการ Set Switches ให้ใช้งานกับ PAL 20ขา ที่มีขา Input

เอกสาร 10 ขา ได้แก่ PAL No. 10 H 8, 10 L 8, 16 L 8, 16 R 8 ฯลฯ นี้ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่า ขา 1 ถึงขา 9 และขา 11 ของ PAL 20 ขา จะเป็น Input ของ PAL เพราะฉะนั้น Select Switches ที่ ขา 1 ถึง 9 และขา 11 จะถูกเลื่อนไว้ที่ตำแหน่ง Input ซึ่งเราจะทำการป้อน Logic Input ผ่านทาง Logic Switches ที่ ขา 1 ถึงขา 9 และขา 11

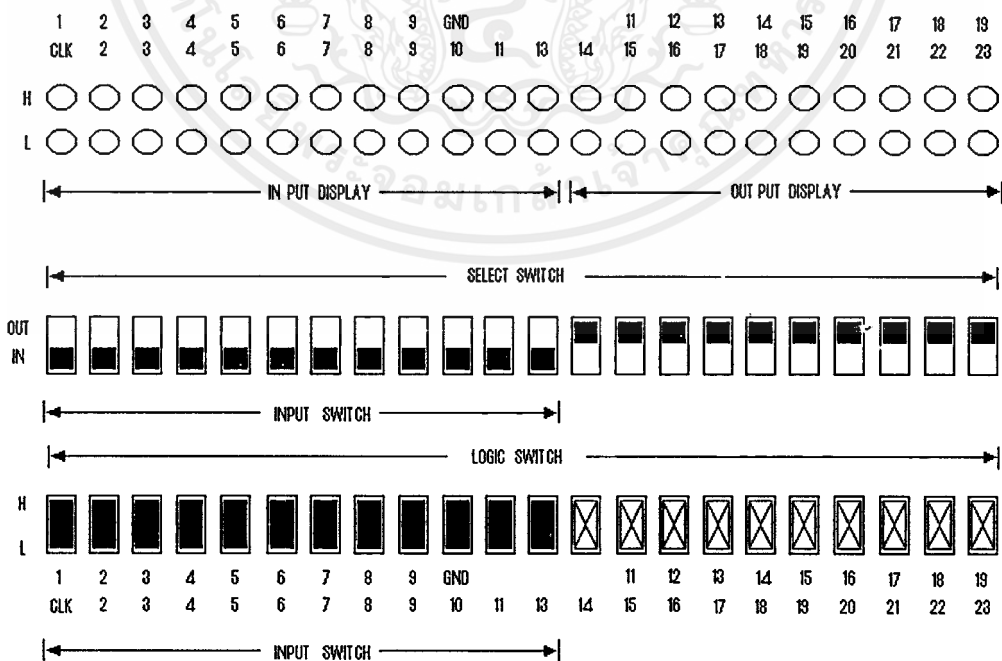
ขา 12 ถึง ขา 19 จะเป็นขา Output ของ PAL 20 ขา Select Switches ที่ขา 12 ถึง ขา 19 จะถูกเลื่อน ไปไว้ที่ตำแหน่ง Output ส่วน Logic Switches ที่ขา 12 ถึงขา 19 นั้นไม่ต้องสนใจ

สำหรับการใช้งานกับ PAL 10 ขาที่มี Input มากกว่า 10 ขา เช่น PAL No. 12H2, 16H6, 12L6, 14L4 ฯลฯ นั้น เราสามารถที่จะทำการ Set Select Switches ให้อยู่ที่ ตำแหน่ง Input ตาม ตำแหน่งขา Input ของ PAL แต่ละเบอร์ และ Select Switches ที่ขา Output จะSet ให้อยู่ ที่ตำแหน่ง Output ตามตำแหน่งขา Output ของ PAL แต่ละตัวเช่นกัน

4.2 การใช้งานกับ PAL 24 ขา

PAL ที่มีขา 24 ขา ได้แก่ PAL No. 20C1, 12L10, 14L8, 16L6, 18L4, 20L2, 20L10, 20X10, 20X8, 20X4 ฯลฯ

ตัวอย่างการ Set Switches ต่างๆบนเครื่องทดสอบ PAL สำหรับ PAL 24 ขาที่มี Input 12 ขา ได้แก่ PAL No. 12L10, 20L10, 20X10, 20X8 ฯลฯ



รูปที่ 4.2

การใช้งานกับ PAL 24 ขา นี้ เราสามารถทำได้โดยไม่ต้อง Set ให้ขาใดขาหนึ่งลง GND เพราะเราออกแบบมาให้ใช้กับ PAL 24 ขาซึ่งขา 24 ลง GND อยู่แล้ว

จากรูปจะเป็นการ Set Switches ให้ใช้กับ PAL 24 ขา ที่มี Input 12 ขา ซึ่งก็คือขา 1 ถึงขา 13 เพราะฉะนั้น Select Switches ที่ขา 1 ถึงขา 13 จะต้องเลื่อนให้อยู่ในตำแหน่ง Input และทำการป้อน Logic Hi Low ผ่านทาง Logic Switches ที่ขา 1 ถึงขา 13 นั้นเอง

ส่วน Output จะอยู่ที่ขา 14 ถึงขา 23 เพราะฉะนั้น Select Switches ที่ขา Output จะถูกเลือกไว้ที่ตำแหน่ง Output ส่วน Logic Switches ที่ขา Output นั้นไม่ต้องสนใจ

ในการที่จะใช้กับ PAL 24 ขาที่ขา Input และ Output ที่แตกต่างกันนั้น ขาใดที่เป็น Input ก็ให้เลือก Select Switches ที่ขา Input ไว้ที่ตำแหน่ง Input และขาใดที่เป็น Output ก็ให้เลือก Select Switches ไว้ที่ Output

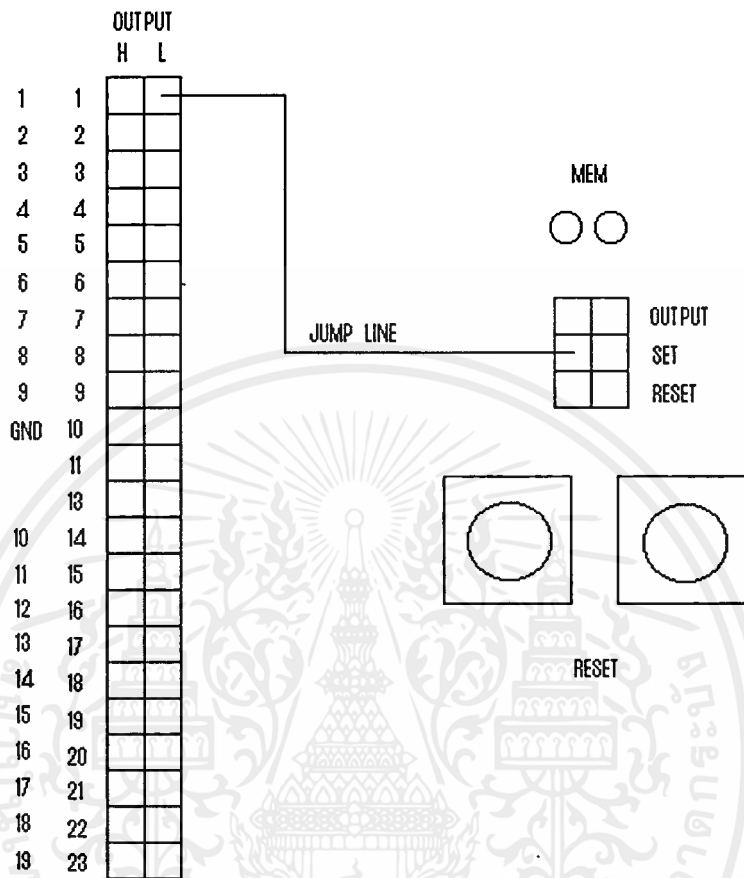
การดูสถานะของขาต่างๆทั้ง Input และ Output ของ PAL ที่นำมาทดสอบทั้ง 20 ขาและ 24 ขานั้นดูได้จาก LED แสดงสถานะ Hi Low ตามขาต่างๆ

4.3 การใช้งานส่วนของ Memory

ส่วนของ Memory นั้นจะเป็นส่วนที่ใช้ทดสอบดูว่า สถานะทาง Logic ที่ขาต่างๆ ที่จะทำให้การทดสอบนั้นมีการเปลี่ยนแปลงหรือไม่ เพราะบางครั้งเมื่อเราดูที่ LED แสดงสถานะเราอาจจะเห็นว่ามันดับอยู่ตลอดเวลาแต่ที่จริงแล้วมันอาจมีการกระพริบอย่างรวดเร็วจนตาเรามองไม่เห็น เราจึงต้องใช้ Memory ในการตรวจสอบดู

ส่วนของ Memory จะมีอยู่ 2 ชุด โดยแต่ละชุดจะประกอบด้วย LED แสดงสถานะ, Socket ของ Output, Set, Reset และ Switch Reset โดยเมื่อเราเริ่มเปิดเครื่องทดสอบ PAL ครั้งแรก LED แสดงสถานะของ Memory จะติดอยู่ตลอดเวลา

การใช้งานเมื่อเราต้องการที่จะตรวจสอบสถานะของขาใดๆ ให้สายไฟ Jump จาก Socket Output Hi Low ที่ตำแหน่งของขาใดๆ โดยเลือกที่จะทดสอบที่ Hi หรือ Lo แล้ว Jump มาที่ Socket Set ของ Memory ตัวใดก็ได้ แล้วกด Reset Switch เพื่อ Reset Memory ให้ไฟ LED Memory ดับ และ เมื่อมีการเปลี่ยนแปลงของสัญญาณที่ขาที่เราทำการตรวจสอบจะทำให้ LED Memory ติด การต่อแสดงดังรูปที่ 4.3

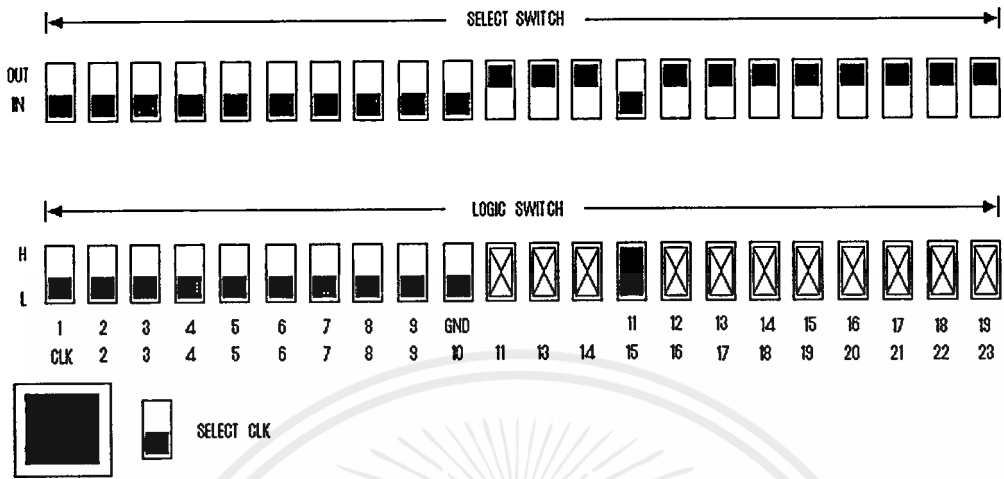


รูปที่ 4.3

4.4 การเลือกใช้ Logic Switches ที่ขา 1

Logic Switches ที่ขา 1 จะมี Switch ให้เลือกใช้ 2 ชนิด คือแบบโยก 2 ทาง กับ แบบกดติดปล่อยดับ โดยแบบโยกจะใช้กับ PAL ที่มี Input ที่ขา 1 เป็นแบบธรรมดา เช่น PAL No. 16L8, 16H8, 20L10, 16H2 ฯลฯ

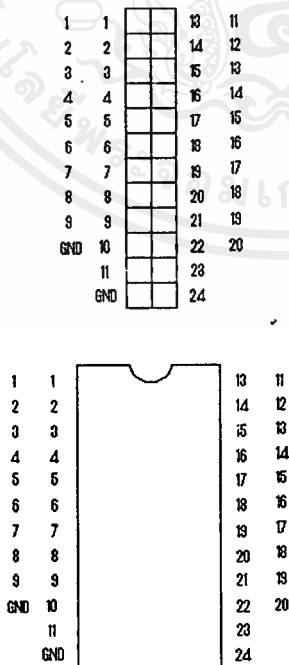
เราสามารถป้อน Logic Hi Low ผ่านทาง Switch ชนิดโยกนี้ได้ ส่วน Switch ชนิดกดติดปล่อยดับจะใช้กับ PAL ที่มี Output เป็น Register เช่น PAL No. 16R8, 16R6, 16R4, 20X10, 20X4, 16X4, 16A9 ฯลฯ โดยที่ขา 1 ของ PAL No. ดังกล่าวนี้จะเป็น Clock และถ้าเราใช้ Switch โยกจะทำให้ Switch พังได้ และใช้งานได้ลำบาก จึงต้องเปลี่ยนมาใช้ Switch กดติดปล่อยดับแทนดังรูปที่ 4.4



รูปที่ 4.4

4.5 การใช้งานอื่นๆ

ชุดทดสอบ PAL นี้ สามารถที่จะใช้งานกับอุปกรณ์ภายนอกได้ โดยผ่าน Output socket ดังรูปที่ 4.5



เมื่อเราต้องการที่จะป้อน Input จากภายนอกเข้ามาที่ชุดทดสอบ PAL โดยเลื่อน Select Switches ที่ขาที่เราต้องการป้อน Input เข้ามาไว้ในตำแหน่ง Output ที่จะสามารถใช้ร่วมกับอุปกรณ์ภายนอกได้

รูปที่ 4.5

บทที่ 5

สรุปผลการทำงานและวิจารณ์

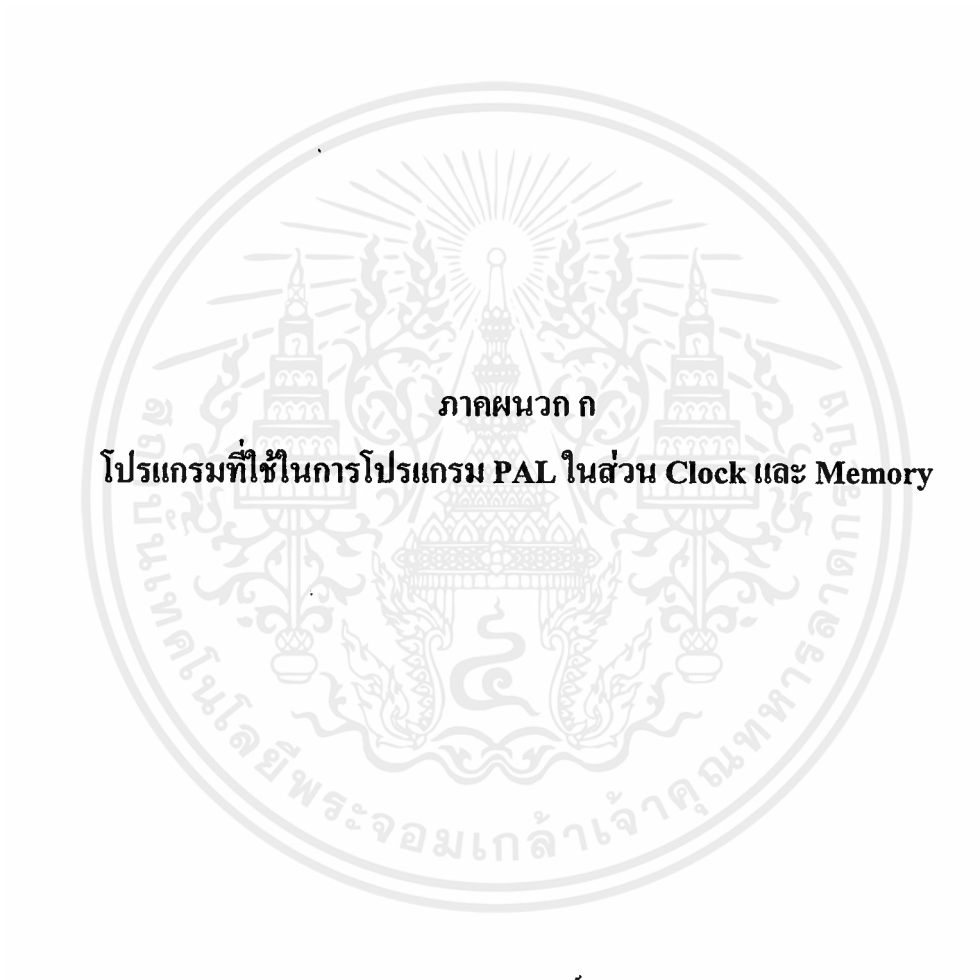
ชุดทดสอบ PAL เมื่อเราทำการประกอบเสร็จเรียบร้อยแล้วเราสามารถใส่ทดสอบ PAL 20 ขา และ 24 ขาได้ จากผลที่เรานำเอา PAL 20 ขา ที่ซึ่งได้ทำการโปรแกรมแล้วมาทดสอบ โดยโปรแกรมให้มี 6 อินพุต 4 เอาต์พุต โดยให้ 2 อินพุตและ 1 เอาต์พุตชุดที่ 1 เป็นของ JK Flip Flop ส่วน 2 อินพุตและ 1 เอาต์พุตชุดที่ 2 เป็นของ RS Flip Flop ส่วน 2 อินพุตกับ 2 เอาต์พุตที่เหลือให้เป็นของ T กับ D Flip Flop เมื่อนำมาทดสอบสภาวะต่าง ๆ ตามค่าของตารางความจริงโดยใช้ชุดทดสอบ PAL ผลที่ได้ก็ตรงกับตาราง

ข้อดีของชุดทดสอบ PAL นี้ สามารถใส่ทดสอบ PAL 20 ขาและ 24 ขา ได้อย่างง่ายดายแต่จากการทดสอบเราใส่ทดสอบกับ PAL 20 ขาเท่านั้น ส่วน 24 ขานั้นไม่ได้ทดสอบ

เมื่อมีข้อดีย่อมต้องมีข้อเสีย ชุดทดสอบ PAL นี้มีข้อเสียเพียงเล็กน้อยซึ่งเกิดขึ้นได้กับอุปกรณ์ที่เป็นอิเล็กทรอนิกส์ที่มีความไวจำพวก C-MOS นั่นก็คือเรื่องสัญญาณรบกวนความถี่สูงจากการที่เราทดสอบก็มีอยู่บ้างช่วงที่มีการเปลี่ยนแปลงของเอาต์พุตโดยที่มิได้มีการเปลี่ยนอินพุตเกิดขึ้นได้โดยเมื่อเราสัมผัสส่วนที่เป็นลายทองแดง ซึ่งในส่วนนี้เราได้แก้ไขโดยการสกรีนสีปิดทับลายทองแดงไปแล้ว

สรุป

ชุดทดสอบ PAL นี้ จะเป็นประโยชน์อย่างสูงสุดในการเรียนการสอนเรื่อง การโปรแกรม PAL ให้มีคุณสมบัติตามฟังก์ชันที่ต้องการ โดยที่ฟังก์ชันที่ต้องการนั้นจะต้องมีอินพุตและเอาต์พุตไม่เกินจำนวนขาอินพุตและเอาต์พุตของ PAL ที่จะนำมาโปรแกรมเพราะเมื่อเราโปรแกรมแล้วอยากจะรู้ว่าฟังก์ชันที่ได้เป็นจริงตามที่ต้องการหรือไม่เราจะต้องใช้ชุดทดสอบ PAL เป็นตัวช่วยในการตรวจสอบ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEAX FILE ที่ใช้คือ

PAL16L8

IC1 UNIVERSAL PAL TESTTER

MEMORY & CLOCK

KMITL 3L

S1 R1 S2 R2 S3 R3 NC NC NC GND

NC NC X3 Q3 X1 Q1 X2 Q2 NC VCC

/Q1:=/R1 + X1 ; Q1 = /(R1+ X1)

/X1:= S1 + Q1 ; X1 = /(S1+ Q1)

/Q2:=/R2 + X2 ; Q2 = /(R2+ X2)

/X2:= S2 + Q2 ; X2 = /(S2+ Q2)

/Q3:= R3 + X3 ; Q3 = /(R3+ X3)

/X3:= S3 + Q3 ; X3 = /(S3+ Q3)

FUNCTION TABLE

R1 S1 Q1 X1 R2 S2 Q2 X2 R3 S3 Q3 X3

;R1 S1 Q1 X1 R2 S2 Q2 X2 R3 S3 Q3 X3 Q(T+1) COMMENT

;

L	L	L	H	X	X	X	X	X	X	X	X	L	1	RESET
L	L	L	H	X	X	X	X	X	X	X	X	H	2	
L	H	X	X	X	X	X	X	X	X	X	X	L	3	DO NOT
L	H	X	X	X	X	X	X	X	X	X	X	H	4	
H	L	L	H	X	X	X	X	X	X	X	X	L	5	Q
H	L	H	L	X	X	X	X	X	X	X	X	H	6	
H	H	H	L	X	X	X	X	X	X	X	X	L	7	SET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

H H H L X X X X X X X X H 8
 ;
 X X X X L L L H X X X X L 9 RESET
 X X X X L L L H X X X X H 10
 X X X X L H X X X X X X L 11 NOT
 X X X X L H X X X X X X H 12
 X X X X H L L H X X X X L 13 Q
 X X X X H L H L X X X X H 14
 X X X X H H H L X X X X L 15 SET
 X X X X H H H L X X X X H 16
 ;
 X X X X X X X X L L L H L 17
 X X X X X X X X L L H L H 18
 X X X X X X X X L H H L L 19
 X X X X X X X X L H H L H 20
 X X X X X X X X H L L H L 21
 X X X X X X X X H L L H H 22
 X X X X X X X X H H X X L 23
 X X X X X X X X H H X X H 24

;

MEMORY & CLOCK

- 1 00XXXXXXXXXXXXXXXXHLLXXX1
- 2 00XXXXXXXXXXXXXXXXHLLXXX1
- 3 10XXXXXXXXXXXXXXXXXXXXX1
- 4 10XXXXXXXXXXXXXXXXXXXXX1
- 5 01XXXXXXXXXXXXXXXXHLLXXX1
- 6 01XXXXXXXXXXXXXXXXLHXXX1
- 7 11XXXXXXXXXXXXXXXXLHXXX1
- 8 11XXXXXXXXXXXXXXXXLHXXX1
- 9 XX00XXXXXXXXXXXXXXXXHLLX1
- 10 XX00XXXXXXXXXXXXXXXXHLLX1
- 11 XX10XXXXXXXXXXXXXXXXXXXXX1
- 12 XX10XXXXXXXXXXXXXXXXXXXXX1
- 13 XX01XXXXXXXXXXXXXXXXHLLX1
- 14 XX01XXXXXXXXXXXXXXXXLHXX1
- 15 XX11XXXXXXXXXXXXXXXXLHXX1
- 16 XX11XXXXXXXXXXXXXXXXLHXX1
- 17 XXXX00XXXXXXXXHLLXXXXX1
- 18 XXXX00XXXXXXXXLHXXXXX1
- 19 XXXX10XXXXXXXXLHXXXXX1
- 20 XXXX10XXXXXXXXLHXXXXX1
- 21 XXXX01XXXXXXXXHLLXXXXX1
- 22 XXXX01XXXXXXXXHLLXXXXX1
- 23 XXXX11XXXXXXXXXXXXXXXXX1
- 24 XXXX11XXXXXXXXXXXXXXXXX1

PASS SIMULATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRODUCT: 1 OF EQUATION. 1 UNTESTED (SA0) FAULT

PRODUCT: 1 OF EQUATION. 2 UNTESTED (SA0) FAULT

PRODUCT: 1 OF EQUATION. 3 UNTESTED (SA0) FAULT

PRODUCT: 1 OF EQUATION. 4 UNTESTED (SA0) FAULT

PRODUCT: 1 OF EQUATION. 5 UNTESTED (SA0) FAULT

PRODUCT: 1 OF EQUATION. 6 UNTESTED (SA0) FAULT

NUMBER OF STUCK AT ONE (SA1) FAULTS ARE = 12

NUMBER OF STUCK AT ZERO (SA0) FAULTS ARE = 6

PRODUCT TERM COVERAGE = 75%

PAL20 V1.7K - PAL16L8 - MEMORY & CLOCK

11 1111 1111 2222 2222 2233

0123 4567 8901 2345 6789 0123 4567 8901

8 -----
9 -----X----- /R2
10 -----X----- X2
16 -----
17 ---X----- S2
18 ---X----- Q2
24 -----
25 -X----- /R1
26 -----X----- X1
32 -----
33 -X----- S1
34 -----X----- Q1
40 -----
41 -----X----- R3
42 -----X----- X3
48 -----
49 -----X----- S3
50 -----X----- Q3

LEGEND: X : FUSE NOT BLOWN (L,N,0) - : FUSE BLOWN (H,P,1)

NUMBER OF FUSES BLOWN = 564

SECURITY FUSE XX

PAL16L8

IC1 UNIVERSAL PAL TESTTER

MEMORY & CLOCK

KMITL 3L

V0011 XX10XXXXXXXXXXXXXXXXXXXXXN*

V0012 XX10XXXXXXXXXXXXXXXXXXXXXN*

V0013 XX01XXXXXXXXXXXXXXXXHXLXN*

V0014 XX01XXXXXXXXXXXXXXXXLHXLN*

V0015 XX11XXXXXXXXXXXXXXXXLHXLN*

V0016 XX11XXXXXXXXXXXXXXXXLHXLN*

V0017 XXXX00XXXNXXHLXXXXXXXXN*

C46C3*

42B6



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

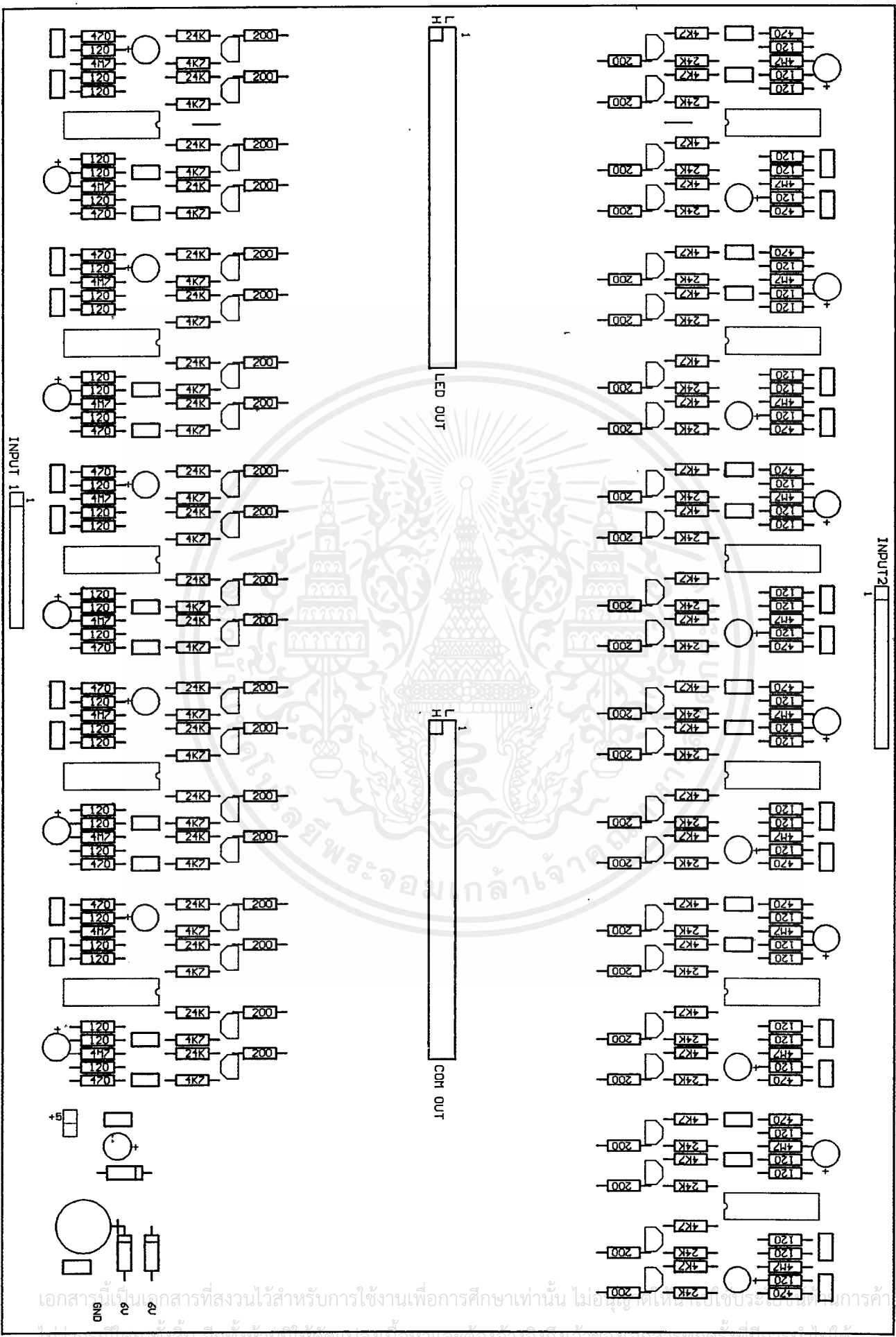
V0001 00XXXXXXXXXXXXXXXXHXXXXXXXXN*
V0002 00XXXXXXXXXXXXXXXXHXXXXXXXXN*
V0003 10XXXXXXXXXXXXXXXXXX?XXXXXXXXN*
V0004 10XXXXXXXXXXXXXXXXXX?XXXXXXXXN*
V0005 01XXXXXXXXXXXXXXXXHXXXXXXXXN*
V0006 01XXXXXXXXXXXXXXXXLHXXXXXXXXN*
V0007 11XXXXXXXXXXXXXXXXLHXXXXXXXXN*
V0008 11XXXXXXXXXXXXXXXXLHXXXXXXXXN*
V0009 XX00XXXXXXXXXXXXXXXXHXXXXXXXXN*
V0010 XX00XXXXXXXXXXXXXXXXHXXXXXXXXN*
V0011 XX10XXXXXXXXXXXXXXXXXX?XXXXXXXXN*
V0012 XX10XXXXXXXXXXXXXXXXXX?XXXXXXXXN*
V0013 XX01XXXXXXXXXXXXXXXXHXXXXXXXXN*
V0014 XX01XXXXXXXXXXXXXXXXLHXXXXXXXXN*
V0015 XX11XXXXXXXXXXXXXXXXLHXXXXXXXXN*
V0016 XX11XXXXXXXXXXXXXXXXLHXXXXXXXXN*
V0017 XXXX00XXXXNXXHXXXXXXXXXXXXN*
V0018 XXXX00XXXXNXXLHXXXXXXXXXXXXN*
V0019 XXXX10XXXXNXXLHXXXXXXXXXXXXN*
V0020 XXXX10XXXXNXXLHXXXXXXXXXXXXN*
V0021 XXXX01XXXXNXXHXXXXXXXXXXXXN*
V0022 XXXX01XXXXNXXHXXXXXXXXXXXXN*
V0023 XXXX11XXXXNXX?XXXXXXXXXXXXN*
V0024 XXXX11XXXXNXX?XXXXXXXXXXXXN*

C46C3*

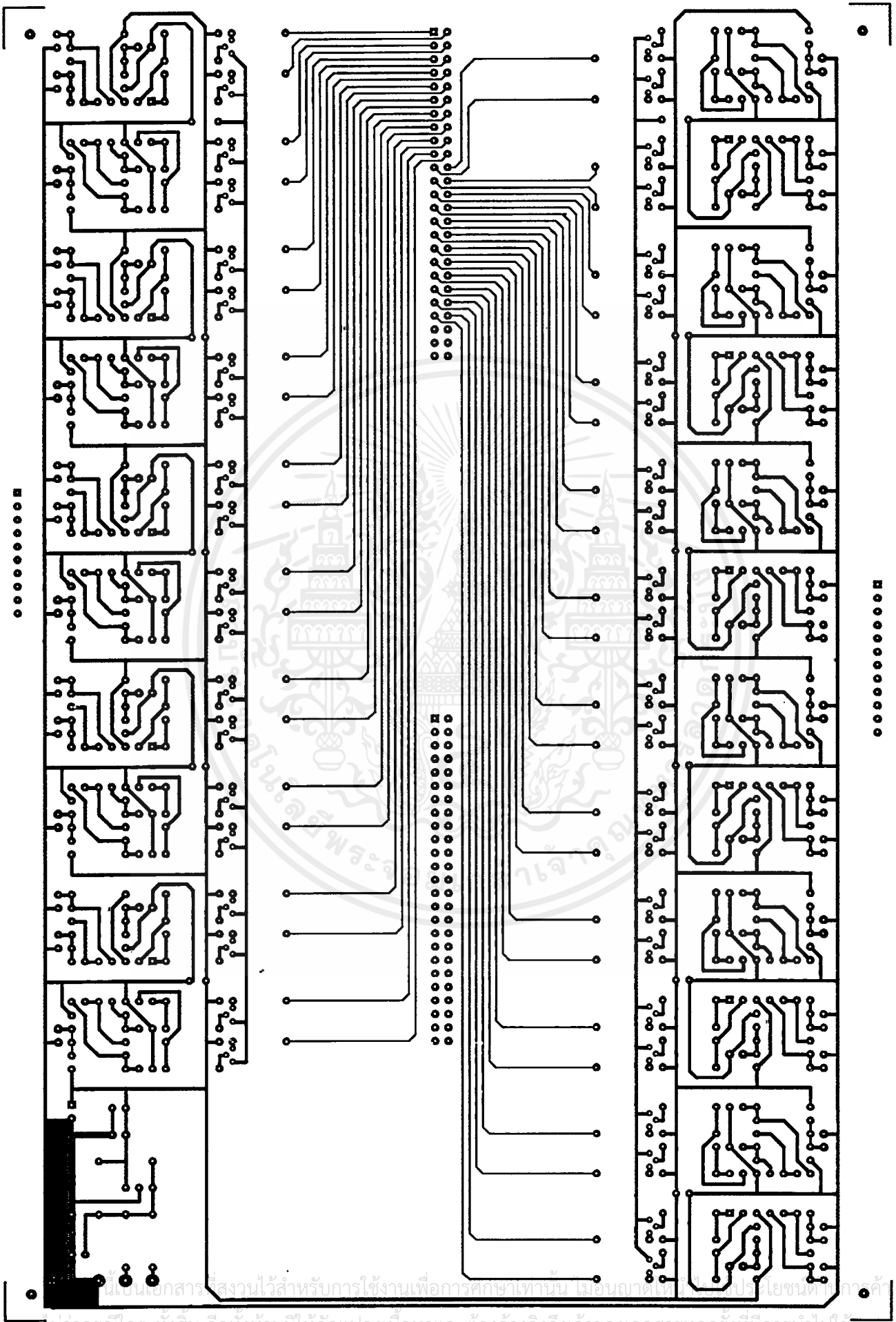
78D2



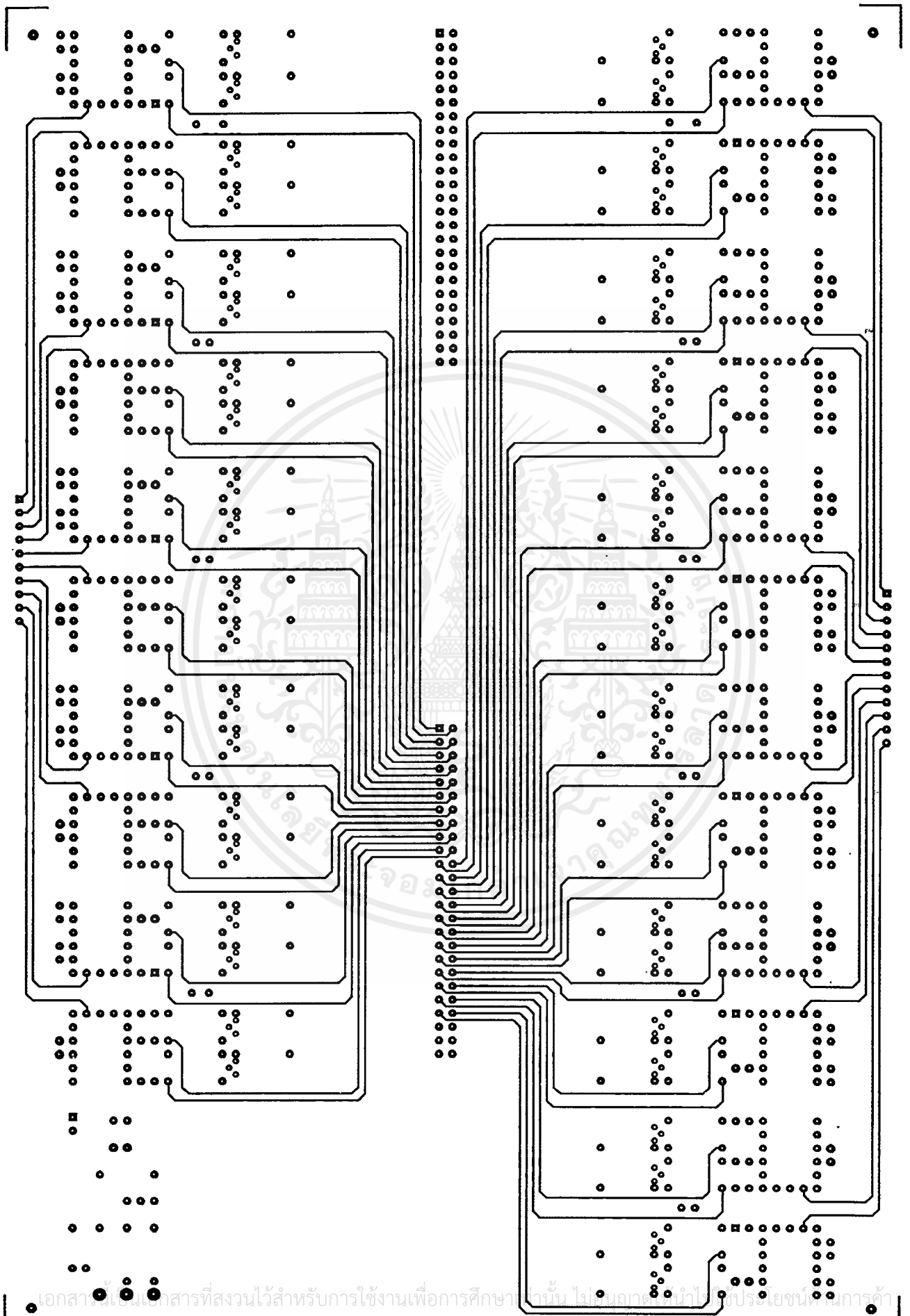
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



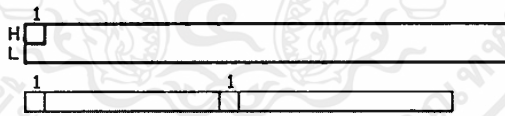
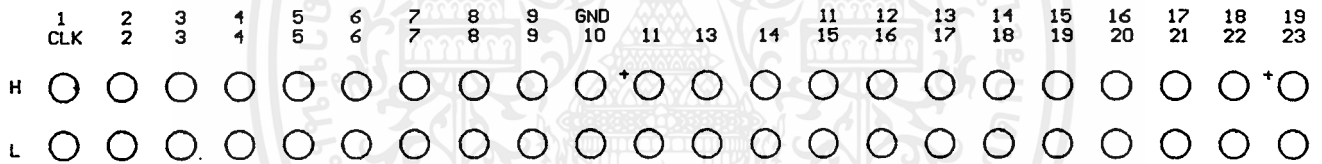
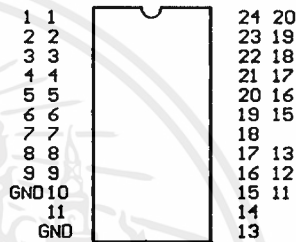
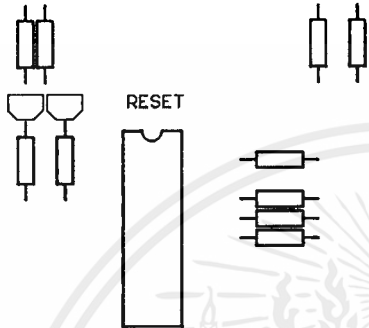
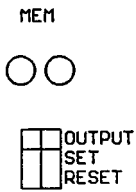
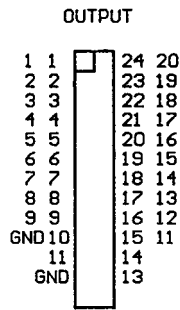
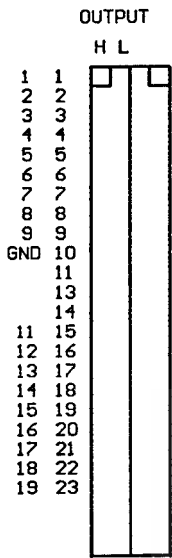
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
 ไม่รับประกันใดๆทั้งสิ้น อีกทั้งยังมีให้ดูแบบลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรณีใช้



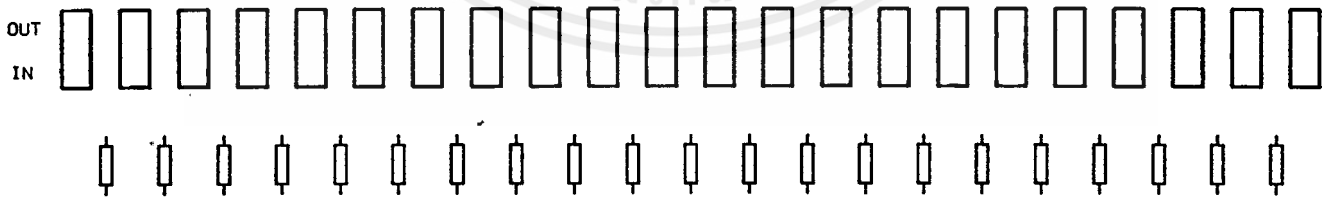
นี่เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อลบบทที่ไปขอประโยชน์ต่อก็ค
แล้วกรุณาอย่าทิ้งสิน อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



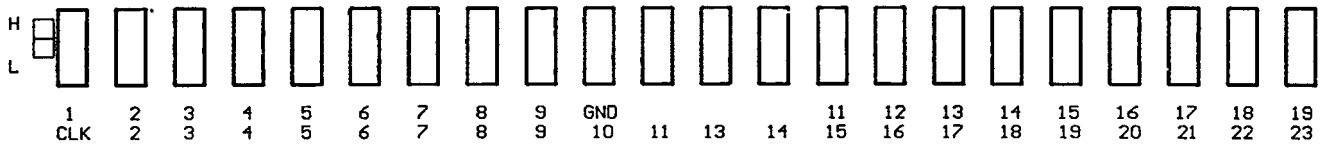
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่เป็นผลิตภัณฑ์ที่พร้อมสำหรับการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



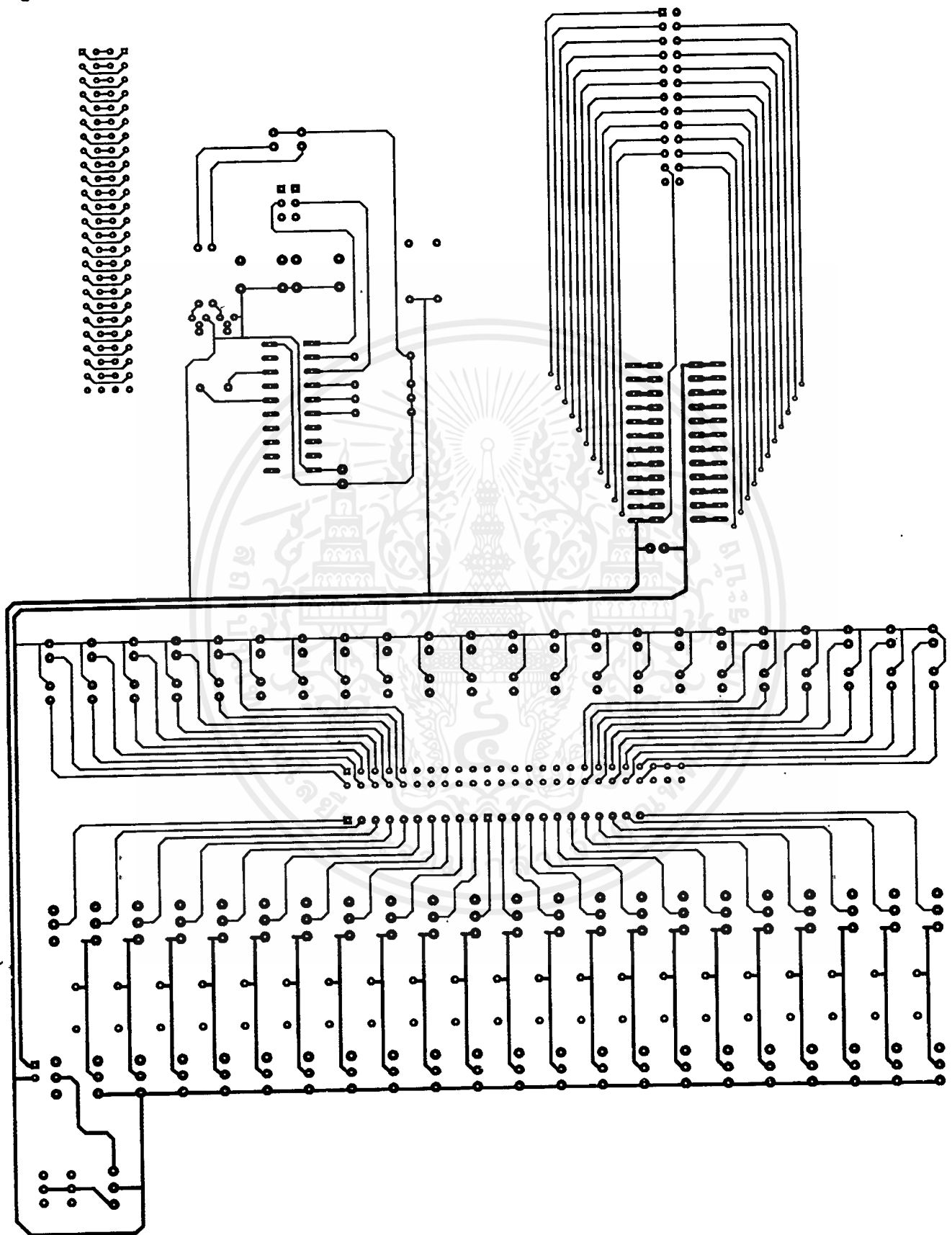
SELECT SWITCH



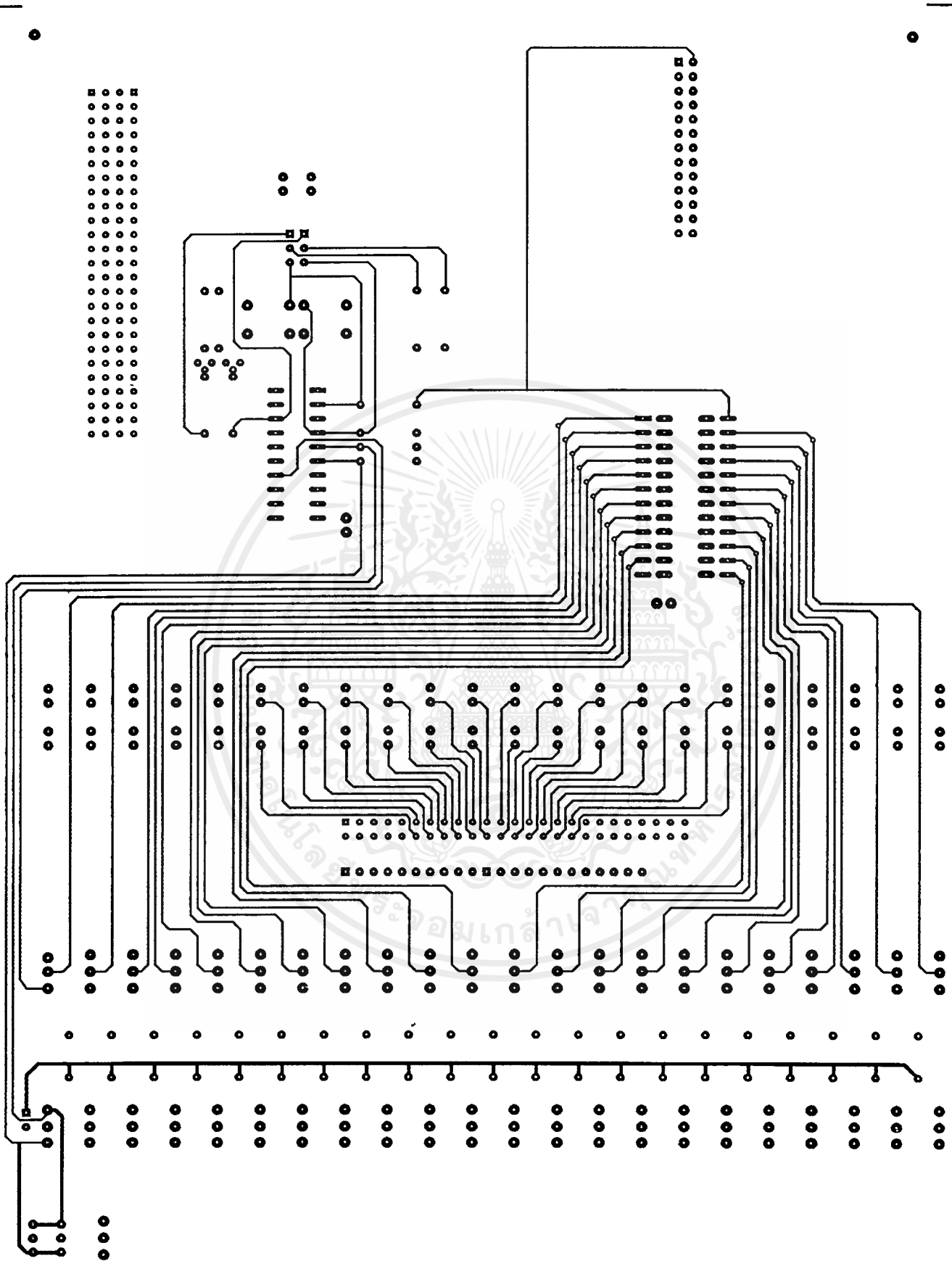
LOGIC SWITCH



SCLECT CLK



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA139, CA139A, CA239, CA239A CA339, CA339A, LM339*, LM339A*

Quad Voltage Comparators

For Industrial, Commercial, and Military Applications

Features:

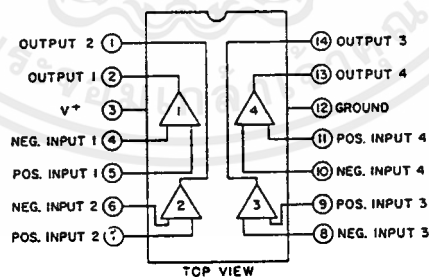
- Operation from single or dual supplies
- Common-mode input-voltage range to ground
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS
- Differential input-voltage range equal to the supply voltage
- Maximum input-offset voltage (V_{io}):
 - CA139A, CA239A, CA339A - 2 mV
 - CA139, CA239, CA339 - 5 mV
- Replacement for industry types 139, 239, 339, 139A, 239A, and 339A

The RCA-CA139, CA239, CA339, CA139A, CA239A, and CA339A types consist of four independent single- or dual-supply voltage comparators on a single monolithic substrate. The common-mode input voltage range includes ground even when operated from a single supply, and the low power supply current drain makes these comparators suitable for battery operation. These types were designed to directly interface with TTL and CMOS.

Types CA139A, CA239A, and CA339A have all the features and characteristics of their prototype counter parts CA139, CA239, and CA339 plus an even lower input-offset-voltage characteristic. These devices are supplied in a 14-lead dual-in-line plastic package (E suffix) and in a 14-lead dual-in-line hermetic (frit-seal) ceramic package (F suffix). The CA339 is also available in chip form (H suffix).

Applications:

- Square-wave generators
- Time-delay generators
- Pulse generators
- Multivibrators
- High-voltage digital logic gates
- A/D converters
- MOS clock timers



92CS-24149

Fig. 1 - Functional diagram.

Voltage Comparators

**CA139, CA139A, CA239, CA239A
CA339, CA339A, LM339, LM339A**

MAXIMUM RATINGS, *Absolute-Maximum Values at $T_A = 25^\circ\text{C}$:*

DC SUPPLY VOLTAGE	36 V or ± 18 V
DC DIFFERENTIAL INPUT VOLTAGE	± 36 V
INPUT VOLTAGE	-0.3 V to +36 V
INPUT CURRENT ($V_I < -0.3$ V)*	50 mA
OUTPUT SHORT CIRCUIT TO GROUND [▲] (Single Supply)	Continuous
DEVICE DISSIPATION: Up to $T_A = 55^\circ\text{C}$	750 mW
Above $T_A = 55^\circ\text{C}$	derate linearly at 6.67 mW/ $^\circ\text{C}$
AMBIENT TEMPERATURE RANGE: Operating	-55 to +125 $^\circ\text{C}$
Storage	-65 to +150 $^\circ\text{C}$
LEAD TEMPERATURE (DURING SOLDERING): At distance 1/16 \pm 1/32 in. (1.59 \pm 0.79 mm) from case for 10 seconds max.	+265 $^\circ\text{C}$

- * Inputs must not go more negative than -0.3 V.
- ▲ Short circuits from the output to V^+ can cause excessive heating and eventual destruction. The maximum output current independent of V^+ is approximately 20 mA.

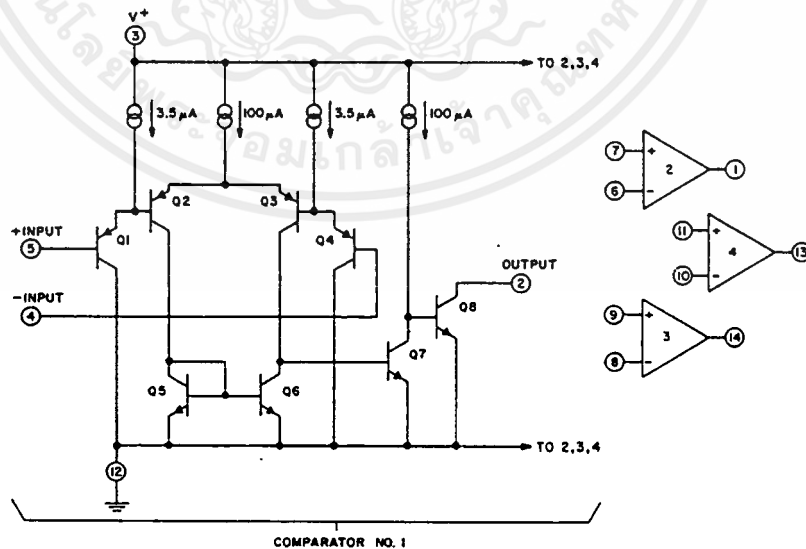


Fig. 2—Schematic diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA139, CA139A, CA239, CA239A CA339, CA339A, LM339, LM339A

ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	TEST CONDITIONS		LIMITS						UNITS
			CA139			CA139A			
	V ⁺ = 5 V Unless otherwise indicated		Min.	Typ.	Max.	Min.	Typ.	Max.	
Input Offset Voltage (V _{IO}) At Output Switch Point V ≈ 1.4 V	V _{REF} = 1.4 V, R _S = 0	25°C	–	2	5	–	1	2	mV
		Note 1	–	–	9	–	–	4	
Differential Input Voltage (V _{ID})	Keep all inputs ≥ 0 V for V [–] (if used), Notes 1, 2		–	–	36	–	–	36	V
Saturation Voltage (V _{sat})	V _I [–] = 1 V, V _I ⁺ = 0 V, I _{SINK} ≤ 4 mA	25°C	–	250	400	–	250	400	mV
		Note 1	–	–	700	–	–	700	
Common-Mode Input Voltage Range (V _{ICR})	Note 3	25°C	0	–	V ⁺ –1.5	0	–	V ⁺ –1.5	V
		Note 1	0	–	V ⁺ –2	0	–	V ⁺ –2	
Input Offset Current (I _{IO})	I _I ⁺ – I _I [–]	25°C	–	3	25	–	3	25	nA
		Note 1	–	–	100	–	–	100	
Input Bias Current (I _{IB})	I _I ⁺ or I _I [–] with Output in Linear Range	25°C	–	25	100	–	25	100	nA
		Note 1	–	–	300	–	–	300	
Total Supply Current (I ⁺)	R _L = ∞ on all comparators, T _A = 25°C		–	0.8	2	–	0.8	2	mA
Output Leakage Current	V _I ⁺ ≥ 1 V, V _I [–] = 0, V _O = 5 V	25°C	–	0.1	–	–	0.1	–	nA
	V _I ⁺ ≥ 1 V, V _I [–] = 0, V _O = 30 V	Note 1	–	–	1	–	–	1	μA
Output Sink Current	V _I [–] ≥ 1 V, V _I ⁺ = 0, V _O ≤ +1.5 V, T _A = 25°C		6	16	–	6	16	–	mA
Voltage Gain (A _{OL})	R _L ≥ 15 kΩ, V ⁺ = 15 V, T _A = 25°C		–	200	–	50	200	–	V/mV
Large Signal Response Time	V _I = TTL Logic Swing, V _{REF} = +1.4 V, V _R _L = 50 V, R _L = 5.1 kΩ, T _A = 25°C		–	300	–	–	300	–	ns
Response Time See Figs. 5 & 6	V _R _L = 5 V, R _L = 5.1 kΩ, T _A = 25°C		–	1.3	–	–	1.3	–	μs

Note 1: Ambient Temperature (T_A) applicable over operating temperature range as shown below.

CA139 (–55 to +125°C) | CA239 (–25 to +85°C) | CA339 (0 to +70°C)
CA139A | CA239A | CA339A

Note 2: The comparator will provide a proper output state even if the positive swing of the inputs exceeds the power supply voltage level, if the other input remains within the common-mode voltage range. The low input voltage state must not be less than –0.3 V (or 0.3 V below the magnitude of the negative power supply, if used).

Note 3: The upper end of the common-mode voltage range is (V⁺) – 1.5 V, but either or both inputs can go to +30 V without damage.

Voltage Comparators CA139, CA139A, CA239, CA239A CA339, CA339A, LM339, LM339A

TYPICAL CHARACTERISTICS

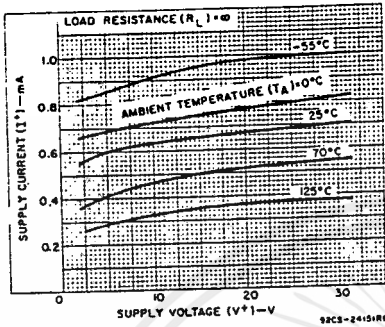


Fig. 3—Supply current vs. supply voltage.

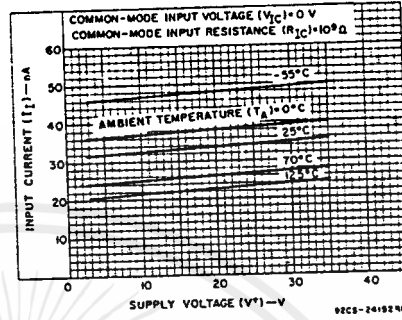


Fig. 4—Input current vs. supply voltage.

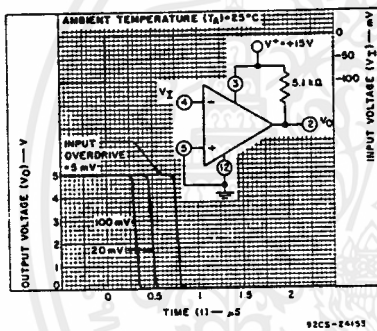


Fig. 5—Response time for various input overdrives—negative transition.

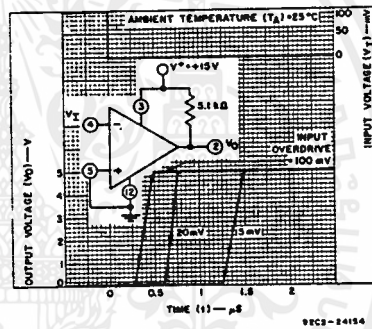


Fig. 6—Response time for various input overdrives—positive transition.

Chip Version (CA339H)

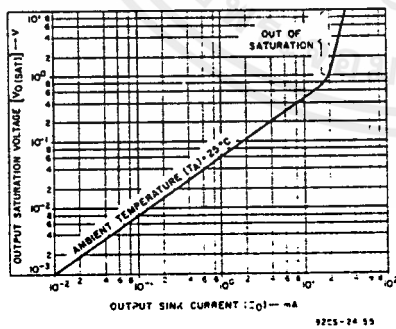
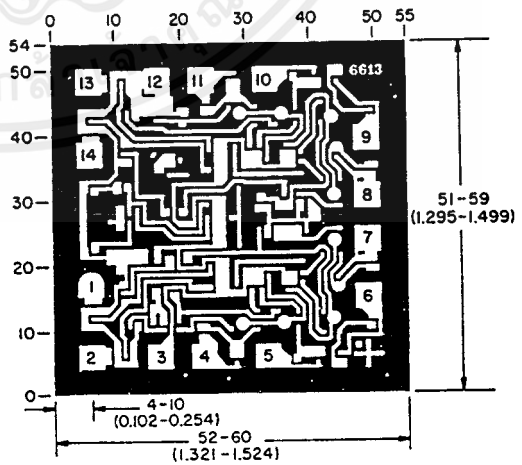


Fig. 7—Output saturation voltage vs. output sink current.



Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch).