



เครื่องเชื่อมต่อสายและโทรศัพท์สั่งงานอัตโนมัติ
CONNECT LINE AND CONTROL LOAD BY TELEPHONE



ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต
ภาคเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2539

CONNECT LINE AND CONTROL LOAD BY TELEPHONE



BY

MR. BORDIN SRIPATTANAVONG

MR. PRAYOON KHAMSA-NGA

MR. PAIROJ HAD-ARN

**PROJECT REPORT SUBMITTED IN PARTIAL FULFILLMENT OF THE
REQUIREMENTS FOR THE BACHELOR'S DEGREE
DEPARTMENT OF INDUSTRIAL TECHNOLOGY
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

1996

หัวข้อปริญญานิพนธ์ เครื่องเชื่อมต่อสายและโทรศัพท์สำนักงานอัตโนมัติ

ชื่อนักศึกษา	นาย บดินทร์ ศรีพัฒน์วงศ์	38012055
	นาย ประยูร จำสง่า	38012056
	นาย ไพโรจน์ หาดอ้าน	38012061

อาจารย์ที่ปรึกษา อาจารย์ ไพศาล สิริธิโยภาสกุล

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2539

บทคัดย่อ

โครงการนี้จัดทำขึ้นเพื่อต้องการที่จะนำเสนอการนำโทรศัพท์ระบบ TONE ที่ใช้กันอยู่ในปัจจุบัน และควบคุมโครงการโดย ไมโครโปรเซสเซอร์ นำมาประยุกต์กับชีวิตประจำวัน ซึ่งได้แนวความคิดมาจาก PIN PHONE 108 ขององค์การโทรศัพท์ ซึ่งก็คือโครงการเครื่องเชื่อมต่อสายและโทรศัพท์สำนักงานอัตโนมัติ

ส่วนแรก เป็นส่วนที่ใช้ในการควบคุมอุปกรณ์ไฟฟ้าในบ้านโดยผ่านคู่สายโทรศัพท์ ซึ่ง HARDWARE และ SOFTWARE เป็นส่วนประมวลผลสัญญาณ เพื่อควบคุมการเปิด-ปิด อุปกรณ์ไฟฟ้า

ส่วนที่สอง จะเป็นส่วนที่ทำหน้าที่ต่อคู่สายเข้าด้วยกัน เพื่อจุดประสงค์การใช้งาน เช่นเดียวกับ PIN PHONE 108 ขององค์การโทรศัพท์

Project Report Connect Line And Control Load By Telephone

By Mr. Bordin Sripattanavong

 Mr. Prayoon Khamsa-nga

 Mr. Pairoj Had-arn

Department Industrial Technology

Project Report Advisor Mr. Paisan Sittiyopasakul

Academe Year 1996

ABSTRACT

This project want to presents the tone system of telephone. This system used in today. Project is controled by microcontroller. And can apply in human life. This project use the concept of PIN PHONE 108 from Telephone Organization. This project is Connect line and control load by telephone .

The first, uses telephone to control electrical devices in the house. Which the microprocessor acts as the control and processing unit and send the signal to on-off devices

The second, to connect line telephone togeter as pin phone 108.

หัวข้อปริญญานิพนธ์

เครื่องเชื่อมต่อสายและโทรศัพท์ทำงานอัตโนมัติ

ชื่อนักศึกษา

นาย บดินทร์

ศรีพัฒน์วงศ์

นาย ประยูร

จำสง่า

นาย ไพโรจน์

หาดอ้อ

อาจารย์ที่ปรึกษา

อาจารย์ ไพศาล

สิทธิโยภาสกุล

ภาควิชา

เทคนิคอุตสาหกรรม

ปีการศึกษา

2539

ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ

(.....)

.....กรรมการ

(.....)

.....กรรมการ

(.....)

.....กรรมการ

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Project Report

Connect Line And Control Load By Telephone

By

Mr. Bordin Sripattavong

Mr. Prayoon Khamsa-nga

Mr. Pairoj Had-arn

Department

Industrial Technology

Project Report Advisor Mr. Paisan Sittiyopasakul

**Accepted by the faculty of Engineering, King Mongkut's Institute of Technology
Ladkrabang in partial fulfillments of the requirements for the bachelor's degree.**

Project Report Committee

..... Chairman
(.....)

..... Committee
(.....)

..... Committee
(.....)

..... Committee
(.....)

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงสมบูรณ์ไปด้วยดี ก็เพราะความมุ่งมั่นตั้งใจและให้ความร่วมมือของเพื่อนๆภายในกลุ่มที่ต้องการที่จะให้ปริญญานิพนธ์ฉบับนี้สมบูรณ์ที่สุด รวมทั้งขอขอบคุณอาจารย์ ไพศาล สิทธิโยภาสกุล อาจารย์ที่ปรึกษาที่ให้คำแนะนำทางด้านเทคนิค และให้ข้อมูลอุปกรณ์ต่างๆตลอดจนอาจารย์ทุกท่าน ที่ประสิทธิ์ประสาทวิชาความรู้ และ ห้องสมุดสถาบันที่เป็นแหล่งข้อมูลทั้งหมด รวมทั้ง คุณ มนตรี(ต่อ),คุณ วินัย ที่ให้คำปรึกษาทางด้าน Software

คณะผู้จัดทำจึงขอขอบคุณไว้ ณ โอกาสนี้

นาย บดินทร์ ศรีพัฒน์วงศ์

นาย ประยูร ขำสง่า

นาย ไพโรจน์ หาดฮ้าน

คณะผู้จัดทำ

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎี	3
- ระบบสัญญาณต่างๆทางโทรศัพท์	3
- การเช็คสัญญาณต่างๆของโทรศัพท์	7
- โทรศัพท์ระบบ TONE	10
- Microcontroller Z84C11 Plus	12
- IC MT 8870 DTMF Decoder	32
- IC 555 TIMER	39
บทที่ 3 การออกแบบและการทำงาน	42
- Block Diagram ของโครงงาน	42
- การทำงานของ Block Diagram	43
- วงจรและการทำงาน	45
บทที่ 4 สรุปและวิจารณ์	57
ภาคผนวก	
ภาคผนวก ก. การใช้เครื่อง	
ภาคผนวก ข. วงจรการทำงาน	
ภาคผนวก ค. ลายวงจร	
ภาคผนวก ง. Flow Chart และ Program	
ภาคผนวก จ. Data Sheet	

บทที่ 1

บทนำ

เครื่องเชื่อมต่อสายและโทรศัพท์ทำงานอัตโนมัติ

ปัจจุบันได้มีสิ่งอำนวยความสะดวกสบาย แก่มนุษย์มากมาย ซึ่งเกิดขึ้นมาจากการประดิษฐ์คิดค้นเพื่อสนองตอบความต้องการของตนเอง ซึ่งในสิ่งที่มนุษย์ประดิษฐ์คิดค้นขึ้นมานี้ก็ได้นำเอาสิ่งรอบๆตัวของมนุษย์ ไม่ว่าจะเป็นจากธรรมชาติ นำมาใช้ประโยชน์ให้มากขึ้น จากสิ่งของเครื่องใช้ที่มีอยู่แล้วนำมาปรับปรุงหรือเพิ่มเติมเพื่อให้ใช้ประโยชน์ได้หลากหลายขึ้นซึ่งเหตุผลดังกล่าวข้างต้น ทำให้เกิดมีโครงการนี้ขึ้นมา ซึ่งโครงการนี้ก็มีวัตถุประสงค์เช่นเดียวกัน โดยได้นำเอาระบบโทรศัพท์แบบ DTMF (Dual Tone Multi Frequency) มาประยุกต์ใช้ และใช้ IC เบอร์ MT 8870 ซึ่งเป็น DTMF Decoder จะแปลงความถี่ที่ได้จากการกดหมายเลขบนเป็นโทรศัพท์เป็น เลข Binary และเอาเลข Binary นี้ไปให้ไมโครคอนโทรลเลอร์ประมวลผลและจัดการให้เอาสัญญาณออกมา เพื่อนำไปเป็นรหัสในการควบคุมเครื่องใช้ไฟฟ้า ในการ เปิด-ปิด อุปกรณ์ ไฟฟ้า ซึ่งจะช่วยอำนวยความสะดวกเป็นอย่างมาก เช่น ต้องการ เปิด-ปิด อุปกรณ์ไฟฟ้า ขณะไม่มีคนอยู่บ้านหรือก่อนเข้าบ้าน และ จุดประสงค์อีกหนึ่งของโครงการนี้คือ นำคู่สายโทรศัพท์ที่มีความสามารถน้อย ไปเชื่อมต่อกับคู่สายที่มีความสามารถมากกว่า เพื่อให้ใช้ประโยชน์ได้มากเหมือนกับคู่สายที่มีความสามารถมากกว่า ซึ่งในส่วนนี้จะเหมาะกับระบบชุมสายภายในอาคาร องค์กร, องค์กร หรือบริษัทต่างๆซึ่งในส่วนนี้นำเอาแนวคิดมาจากระบบ PIN PHONE ขององค์กรโทรศัพท์

วัตถุประสงค์

1. เพื่อศึกษาระดับแรงดันและสัญญาณต่างๆที่ใช้ในคู่สายโทรศัพท์
2. เพื่อรู้จักและใช้ประโยชน์จากคู่สายโทรศัพท์ ให้มากที่สุด
3. เพื่อนำเอาชุมสายระบบ DTMF มาประยุกต์ใช้ในชีวิตประจำวัน
4. สามารถสั่ง เปิด-ปิด อุปกรณ์ไฟฟ้า ได้ทางโทรศัพท์
5. สามารถนำเอาคู่สายโทรศัพท์ที่มีความสามารถน้อยไปเชื่อมกับคู่สายที่มีความสามารถมากกว่า เพื่อใช้ประโยชน์ได้มากขึ้นตามคู่สาย
6. นำเอาแนวคิดของระบบ PIN PHONE ขององค์กรโทรศัพท์ มาประยุกต์ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการดำเนินงาน

1. ศึกษาระบบโทรศัพท์ทั้งระบบ PULSE และระบบ TONE
2. ศึกษา INPUT และ OUTPUT ของระบบโครงงานที่ต้องการ
3. ออกแบบ BLOCK DIAGRAM ของโครงงานทั้งหมด
4. ออกแบบวงจร ที่ใช้ใน BLOCK DIAGRAM ที่ออกแบบไว้แล้ว
5. ทดลองวงจรที่ออกแบบ ให้ได้คุณสมบัติตามที่ต้องการ
6. นำวงจรที่ผ่านการทดลองแล้วในแต่ละส่วน มาประกอบรวมกัน และทำการทดสอบ ให้ได้ตามต้องการและแก้ไขปรับปรุงเมื่อไม่ได้ตามที่ต้องการ
7. ศึกษาและเขียนโปรแกรมเพื่อนำมาควบคุมโครงงาน
8. ทำการทดสอบ Soft Ware กับ Hard Ware
9. ทดสอบโครงงานที่ประกอบทั้งหมดแล้ว ให้ได้ตามวัตถุประสงค์ที่ต้องการ

บทที่ 2

ทฤษฎี

ระบบสัญญาณต่างๆทางโทรศัพท์

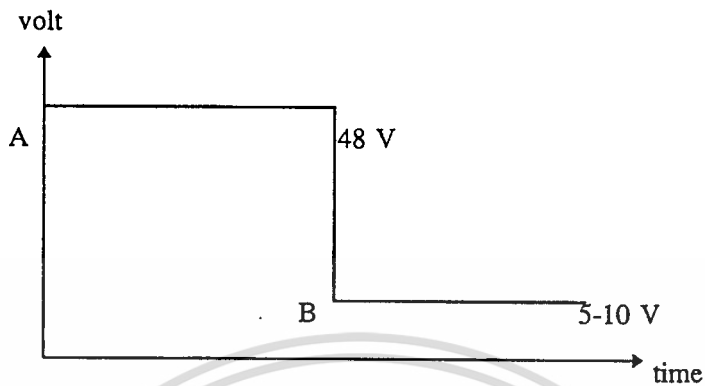
ขั้นตอนการทำงานของโทรศัพท์ แบ่งออกเป็นสองกรณี คือผู้เรียก(CALLING) กับ ผู้ถูกเรียก (CALLED)

กรณีผู้เรียก (CALLING SUBSCRIBER)

ขณะที่หูโทรศัพท์ว่างอยู่นั้นจะมีไฟกระแสดตรงตกรวมคู่สาย โทรศัพท์ที่อยู่ +48 โวลต์ และเมื่อหูโทรศัพท์ถูกยกขึ้นไฟกระแสดตรงที่ตกรวมคู่สาย โทรศัพท์ +48 โวลต์ จะตกลงมาเหลือ 5 - 10 โวลต์ ทั้งนี้ขึ้นอยู่กับระบบชุมสายย่อย ขณะเดียวกันนั้นก็จะมีสัญญาณส่งมาจากชุมสาย เสียงที่เราได้ยินคือ สัญญาณ DIAL TONE แสดงว่าพร้อมที่จะหมุนเลขหมายได้หรือพร้อมที่จะกด หมายเลขได้ ถ้าเลขหมายที่ถูกเรียกไม่ว่าง ผู้เรียกจะได้ยินเสียง BUSY TONE ในกรณีที่คู่สายเลขหมายที่ถูกเรียกว่างคือชุมสายจะต่อหมายเลขที่เรียกให้ได้ยินเสียงสัญญาณ RING BACK TONE หรือ RINGING TONE แสดงว่าเลขหมายที่เรียกไปว่างพร้อมที่จะพูดได้ ให้คอยจนกว่าผู้ถูกเรียก จะยกหูรับ

กรณีผู้ถูกเรียก (CALLED SUBSCRIBER)

ขณะที่คู่สายว่างจะมีไฟกระแสดตรงตกรวมคู่สาย +48 โวลต์ และเมื่อมีการเรียกเลขหมายทางชุมสายจะมีการต่อให้จะส่งสัญญาณเรียก RINGING เป็นแรงดันไฟสลับประมาณ 110 - 150 โวลต์ และเมื่อมีการยกหูโทรศัพท์ทำให้วงจรภายในของเครื่องรับโทรศัพท์มีอิมพีแดนซ์ประมาณ 600 โอห์ม ต่อเข้ากับชุมสายและขณะเดียวกันชุมสายจะหยุดส่งสัญญาณ RINGING และทำการต่อคู่สายโทรศัพท์ให้



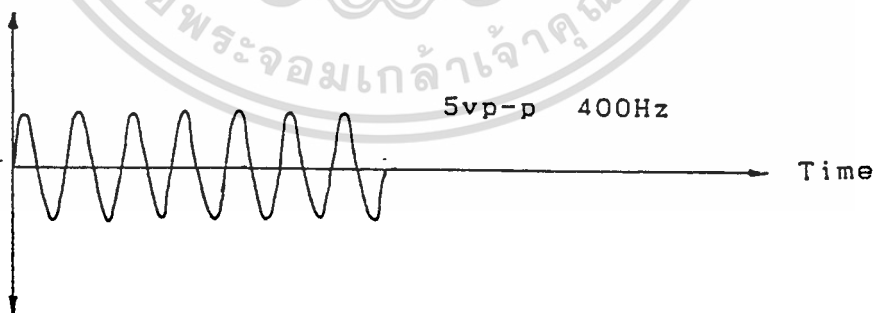
ช่วง A ขณะที่วางคู่สายโทรศัพท์ที่อยู่มีไฟ DC ตกคร่อม +48 โวลต์

ช่วง B ขณะที่หูโทรศัพท์ถูกยกขึ้นมีไฟ DC ตกคร่อม 5 - 10 โวลต์

รูปที่ 1 แสดงไฟกระแสตรงเลี้ยงคู่สาย

ความถี่สัญญาณต่าง ๆ ที่เป็นมาตรฐานขององค์การโทรศัพท์

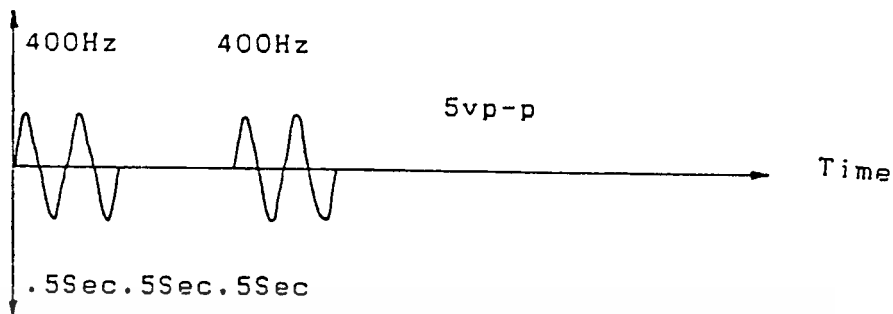
- DIAL TONE ใช้เพื่อแสดงให้ผู้เข้าทราบว่าจะขณะนี้ผู้เข้าสามารถที่จะเรียกไปยังหมายเลขอื่นได้ ลักษณะสัญญาณเป็นดังรูป



DIAL TONE

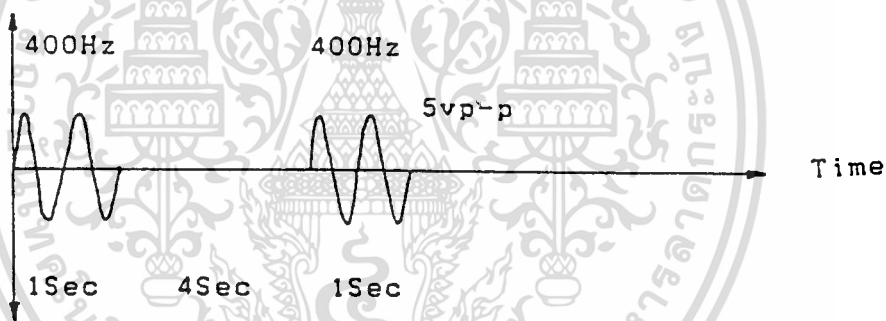
- BUSY TONE ใช้เพื่อให้ผู้เรียกทราบว่าโทรศัพท์หมายเลขที่ต้องการติดต่อดูย ขณะนี้ยังไม่ว่างควรจะวางหูสักกระยะหนึ่งก่อนจึงเรียกหมายเลขใหม่อีกที่ลักษณะสัญญาณเป็นดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



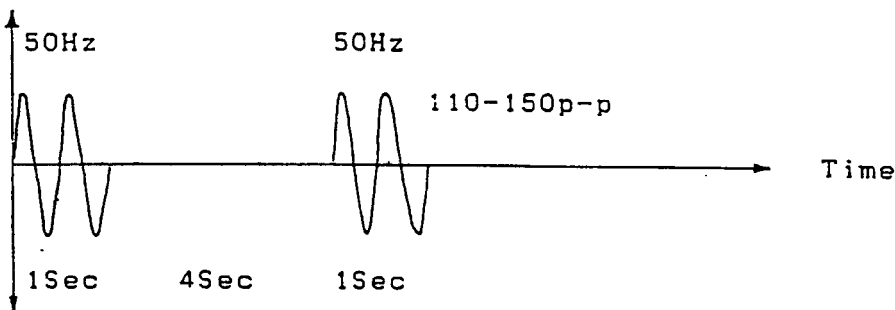
BUSY TONE

- RINGING BACK TONE ใช้แสดงให้ผู้เรียกทราบว่าจะสามารถที่จะติดต่อกับผู้ที่ติดต่อสนทนาด้วยได้แล้ว แต่อยู่ระหว่างรอการยกหู โดยลักษณะสัญญาณเป็นดังรูป



RINGING BACK TONE

- RINGING TONE ใช้พร้อมกับ RINGING BACK TONE เมื่อสัญญาณเรียกดังก็จะมีสัญญาณเรียกกลับดังพร้อม ๆ กัน แต่สัญญาณนี้ดังแรงมากเพื่อไปทำให้กระดิ่งในเครื่องโทรศัพท์ดัง โดยลักษณะสัญญาณเป็นดังรูป



RINGING TONE

	C1	C2	C3
R1	1	2	3
R2	4	5	6
R3	7	8	9
R4	*	0	#

รูปที่ 2 แสดงตำแหน่งหมายเลขบนแผงโทรศัพท์

สถานะการยกหู	มีการเรียกเข้า	สัญญาณที่ออก
ไม่มี	ไม่มี	ไม่มี
ไม่มี	มี	RINGING
มี	ไม่มี	DIAL
มี	มี	BUSY

ตารางที่ 1 แสดงสถานะต่างๆ ของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุต	ความถี่ (Hz)	% ผิดพลาด
R ₁	679	+0.31
R ₂	770	-0.49
R ₃	852	-0.54
R ₄	941	+0.74
C ₁	1209	+0.57
C ₂	1336	-0.32
C ₃	1447	-0.35

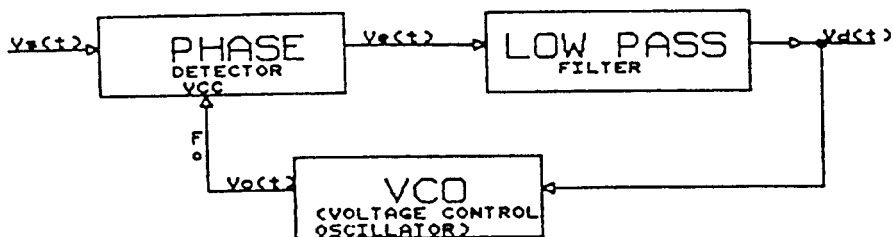
ตารางที่ 2 แสดงความถี่ประจำหมายเลขบนแผงกดปุ่ม

การ CHECK สัญญาณต่าง ๆ ของโทรศัพท์

การ CHECK สัญญาณต่าง ๆ ของโทรศัพท์จะอาศัยหลักการของ PHASE LOCKED LOOP (PLL) เข้ามาช่วยเพราะสัญญาณต่าง ๆ ที่ได้จากสัญญาณโทรศัพท์ที่มีสัญญาณรบกวนอยู่มาก ซึ่งถ้าไม่ใช่ PLL สัญญาณต่าง ๆ อาจจะมีค่าผิดพลาดได้

PHASE LOCKED LOOP

หลักการเบื้องต้นของ PLL ก็มาจากกระบวนการป้อนกลับ ซึ่งประกอบไปด้วยส่วนสำคัญอยู่ 3 ส่วน ดังบล็อกไดอะแกรมรูปที่ 2.1 คือ PHASE DETECTOR , LOW PASS FILTER และ VOLTAGE CONTROL OSCILATOR



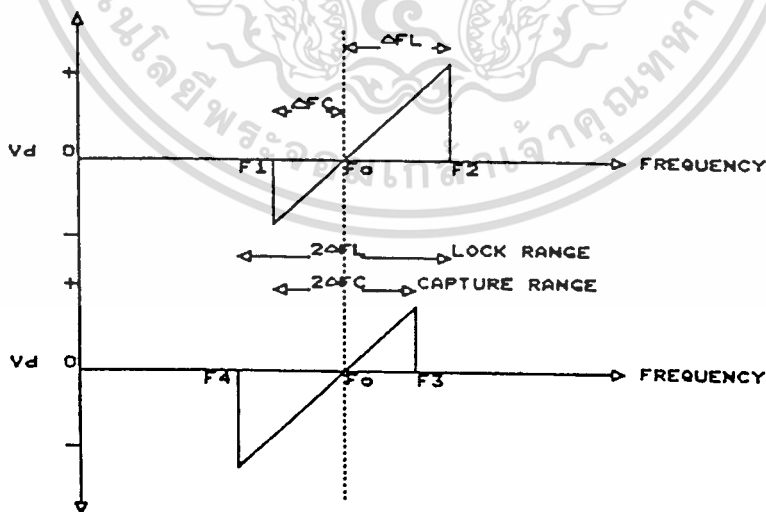
ในขณะที่ไม่มีสัญญาณป้อนเข้ามา V_d จะเท่ากับศูนย์โวลต์และ VCO จะผลิตความถี่ที่เรียกว่า FREE - RUNNING เท่ากับ F_o เมื่อมี อินพุต V_s ป้อนเข้ามามีความถี่เท่ากับ F_s วงจร PHASE DETECTOR จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามา กับสัญญาณจาก VCO ถ้า F_s และ F_o แตกต่างกันได้ V_e (ERROR VOLTAGE) จากเอาต์พุตของ PHASE DETECTOR ผ่าน LOW PASS FILTER เป็น V_d ไปเข้า VCO ปรับความถี่ F_o ให้เท่ากับ F_s และเมื่อ F_o เท่ากับ F_s ก็คือสภาวะล็อกหรือซิงค์ เอาต์พุตจาก PHASE DETECTOR V_e จะเป็นศูนย์และ V_d ก็จะเท่ากับศูนย์ด้วย

ในเรื่องของ PLL มีคำอยู่ 2 คำที่มักจะเข้าใจผิดกันบ่อย ๆ ก็คือคำว่า LOCK RANGE และ CAPTURE RANGE ซึ่งมีความหมายแตกต่างกันดังนี้

LOCK RANGE หมายถึงย่านความถี่ที่ใกล้เคียงกับ F_o ซึ่ง PLL ยังสามารถล็อกกับสัญญาณที่เข้ามาได้ ค่าของ LOCK RANGE จะลดลงเมื่อค่าเกณฑ์ขยายทั้งหมดของ PLL ลดลง

CAPTURE RANGE หมายถึงบริเวณแถบความถี่ที่ใกล้เคียงกับ F_o ที่ PLL เริ่มล็อกกับความถี่ที่เข้ามา ค่า CAPTURE RANGE ขึ้นอยู่กับแบนด์วิดท์แคป และโดยปรกติ CAPTURE RANGE จะมีค่าน้อยกว่า LOCK RANGE

เพื่อให้เข้าใจคำว่า LOCK RANGE และ CAPTURE RANGE ลองพิจารณาจากรูปที่ 2.2 ซึ่งแสดงถึงคุณลักษณะระหว่างความถี่กับ ERROR VOLTAGE ของ PLL



รูปที่ 2.2 แสดงคุณลักษณะระหว่างความถี่กับ ERROR VOLTAGE ของ PLL

จากส่วนบนในรูปที่ 2.2 สมมติว่า สัญญาณที่เข้ามามีความถี่ค่อย ๆ เปลี่ยนจากต่ำไปสูง ตอนแรกจะยังไม่มียะไรเกิดขึ้นและ V_d เท่ากับศูนย์ จนกระทั่งสัญญาณความถี่ที่มา F_s กับ F_1 ซึ่งไม่ต่างกันเท่าไร ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

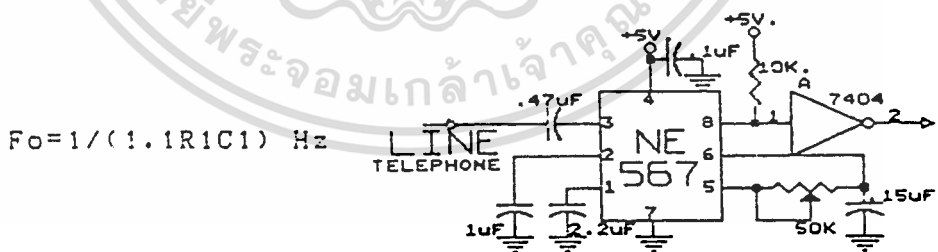
เป็นความถี่ต่ำสุดของ CAPTURE RANGE ทำให้ PLL เริ่มลือกกับ F_s และ ในขณะเดียวกัน V_d มีค่าเป็นลบเพื่อปรับ VCO ให้ F_o เท่ากับ F_s แต่ในที่นี้เราสมมติว่า F_s เปลี่ยนไปเรื่อย ๆ ซึ่งจะทำให้ค่าของ V_d เป็นลบน้อยลงจนกระทั่ง $F_s = F_o$ ซึ่งจะทำให้ V_d เท่ากับศูนย์ จากนั้น V_d จะเริ่มเป็นบวกและมากขึ้นเรื่อย ๆ จนกระทั่ง $F_s = F_2$ หลุดจากการลือกและ V_d เท่ากับศูนย์

ในทางกลับกันถ้า F_s เปลี่ยนจากศูนย์มาต่ำ ให้พิจารณาจากรูปที่ 2.2 ส่วนล่าง PLL จะเริ่มลือกเมื่อ $F_s = F_3$ ซึ่งเป็นค่าสูงสุดของ CAPTURE RANGE ทำให้ V_d มีค่าเป็นบวกทันที เมื่อ F_s ลดลงจน $F_s = F_o$ จะได้ V_d เท่ากับศูนย์แล้วมีค่าเป็นลบมากขึ้นเรื่อย ๆ จนกระทั่ง $F_s = F_4$ ซึ่งเป็นค่าต่ำสุดของ LOCK RANGE จะทำให้ F_s หลุดจากการลือกของ PLL และ V_d เป็นศูนย์อีกครั้งหนึ่ง

$$\text{LOCK RANGE} = F_2 - F_4$$

$$\text{CAPTURE RANGE} = F_3 - F_1$$

วงจรใช้งาน



รูปที่ 2.3 แสดงวงจร CHECK (BUSY TONE, RING BLACK TONE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โทรศัพท์ระบบ DTMF

โทรศัพท์ชนิดกดปุ่มระบบ TONE ประกอบด้วยปุ่มกดจำนวน 12 ปุ่ม มีการทำงานเป็นแบบ DUAL MULTI FREQUENCY เป็นกดจะแบ่งเป็น ROW 4 แถว และ COLUMN 3 แถว ประกอบกันเป็นรูป MATRIX ในแต่ละ ROW แต่ละ COLUMN จะมีค่าประจำตำแหน่งอยู่ ดังรูปที่ 3

	C1	C2	C3
	1209 Hz	1336 Hz	1447 Hz
R1	697 Hz	1	2 3
R2	770 Hz	4	5 6
R3	852 Hz	7	8 9
R4	941 Hz	*	0 #

รูปที่ 3 ค่าความถี่ประจำหมายเลข ในระบบโทรศัพท์แบบกดปุ่ม

เมื่อกดหมายเลขใดหมายเลขหนึ่ง จะประกอบด้วย TONE เสียง 2 ความถี่ด้วยกันคือ ความถี่สูงและความถี่ต่ำ (ความถี่ทางด้าน COLUMN และ ROW ตามลำดับ) ซึ่งแต่ละหมายเลขจะให้ความถี่ออกมา 2 ความถี่ด้วยกัน จากปุ่มกดจะพบว่าหมายเลข 1,4,7 และ * อยู่ใน COLUMN ที่ 1 โดยหมายเลขที่ 1,2,3 อยู่ใน ROW ที่ 1 ตัวเลขแต่ละตัวเป็นการพบกันของความถี่ทาง ROW และความถี่ทาง COLUMN ยกตัวอย่างเช่น เมื่อกดปุ่มหมายเลข "5" จะอยู่ใน COLUMN ของ 1366 Hz และ ROW ของ 770 Hz ดังนั้นจะได้ความถี่ OUT PUT ออกมา 2 ความถี่คือ 1336 Hz และ 770 Hz ซึ่งเรียกว่า DTMF ดังนั้นในการสร้างวงจรเพื่อถอดคาร์ทหัสความถี่เหล่านั้นนั่นเอง ในปัจจุบันได้มีอุปกรณ์ที่ทำหน้าที่นี้โดยเฉพาะ คือ IC#MT8870 ของบริษัท INTEL ซึ่งจะทำหน้าที่รับสัญญาณ DTMF มาแปลงให้เป็นค่าเลขฐานสองขนาด 4 บิต ดังนั้นโครงการนี้จึงเลือกใช้ IC เบอร์นี้มาทำเป็นวงจรถอดรหัส DTMF

MICROCONTROLLER Z84C11 PLUS

PARALLEL I/O CONTROLLER

คุณสมบัติ

- ประกอบด้วย Z80CPU,Z84C30,Z80CTC, PORT ขนาด 8 บิต ขนานกัน 5 PORT
- ความเร็วในการทำงานสูง
- ใช้กำลังงานน้อยในการทำงานทั้ง 4 MODE

45 mA ใน RUN MODE

6 mA ใน IDEL MODE 1

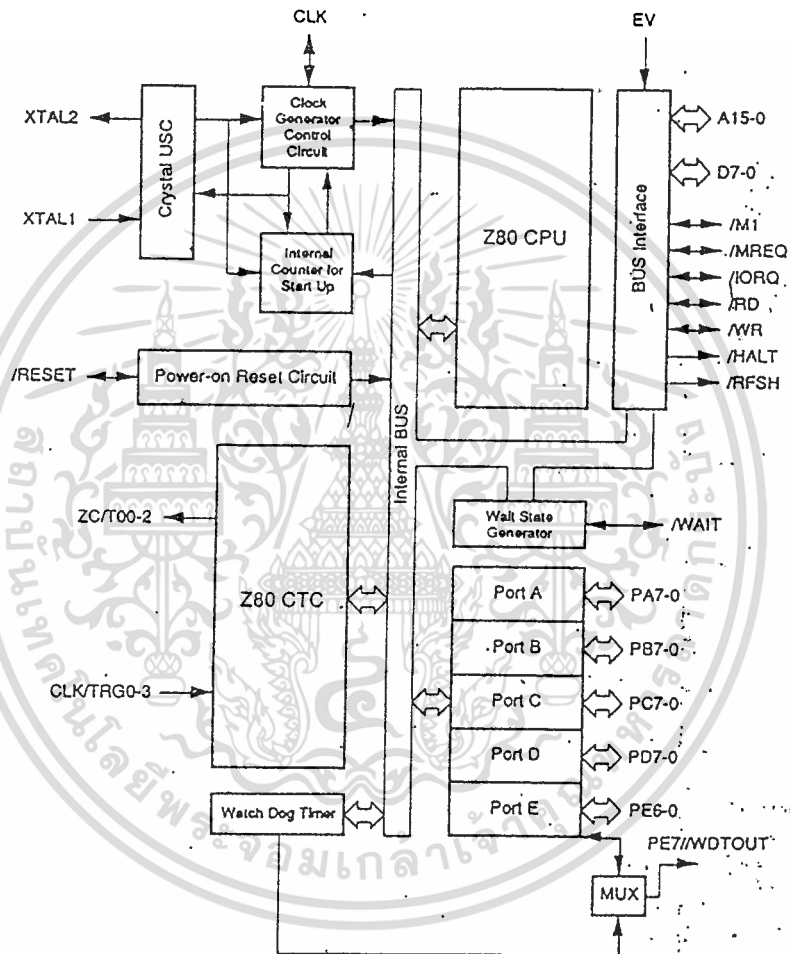
9 mA ใน IDEL MODE 2

1 uA ใน STOP MODE

- สามารถต่อใช้งานเข้ากับอุปกรณ์ TTL หรือ CMOS
- ลักษณะเด่นของ Z84C11
 - มี IDEL 2 MODE สลับสუნ
 - สามารถสร้างสัญญาณ WATCH DOG TIMER (WDT)
 - EV MODE สามารถเลือกและตัดแปลงแก้ไขง่าย
 - สร้าง WAIT STATE ได้
 - สามารถเลือก CLOCK จากภายนอกหรือภายในเป็นอินพุท

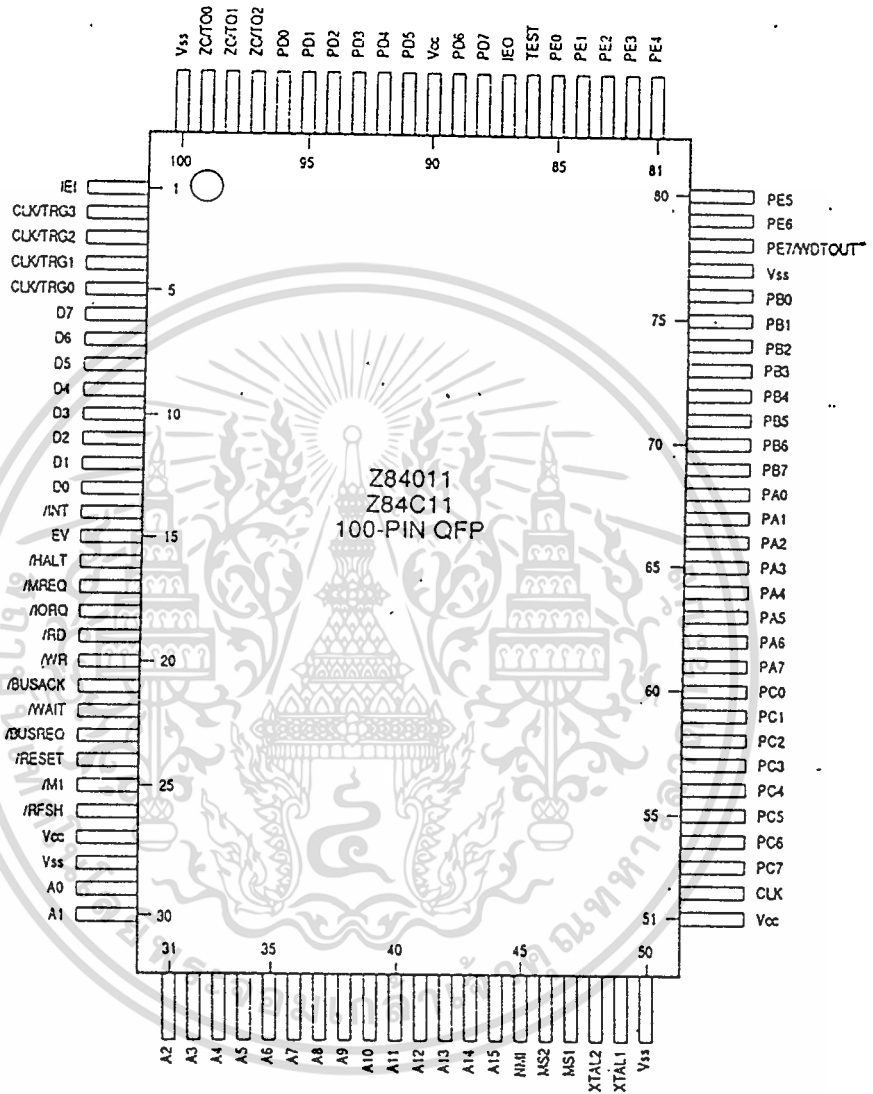
รายละเอียดโดยทั่วไป

Z84C11 PARALLEL I/O CONTROLLERS(PIC) เป็นไมโครโปรเซสเซอร์ CMOS ขนาด 8 บิตเป็นการรวม CTC และ พอร์ตขนาด 8 บิต 8 พอร์ต ในตัวเดียวกันมี 100 ขา Z84C11 มีขีดความสามารถสูงและสามารถใช้งานแทน Z84C11 ได้ ดังรูปที่ 1 แสดงบล็อกไดอะแกรมของ Z84C11 รูปที่ 2 แสดงขาต่างๆของ Z84C11 สามารถใช้งานร่วมกับ HARD WARE พื้นฐานของ Z80 ได้ด้วย



รูปที่ 4 แสดงบล็อกไดอะแกรมของ Z84C11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5 แสดงขาต่างๆ ของ Z84C11

รายละเอียดของขาแต่ละขา

ขาต่างๆที่แสดงในรูปที่ 5 มีรายละเอียดและหมายเลขต่างๆดังนี้

CPU SIGNALS

A0-A15(29-44) ADDRESS BUS เป็น I/O ขนาด 16 บิต เพื่อใช้เป็นทางเข้าติดต่อกับ

เอกสารหน่วยความจำที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D0-D7(6-13) DATA BUS เป็น I/O ขนาด 8 บิต เพื่อใช้ในการรับส่งข้อมูลระหว่าง CPU กับอุปกรณ์สนับสนุนภายนอก

/RD(19) READ SIGNAL เป็น I/O เพื่อใช้ทำหน้าที่อ่านข้อมูลจากหน่วยความจำหรืออุปกรณ์ I/O เมื่อได้รับสัญญาณจากอุปกรณ์ภายนอก

/WR(20) WRITE SIGNAL เป็น I/O เพื่อใช้ส่งข้อมูลจากอุปกรณ์ภายนอกไปไว้ในหน่วยความจำหรือจากหน่วยความจำไปยังอุปกรณ์ภายนอก

/MERQ(17) MEMORY REQUEST SIGNAL เป็นเอาต์พุต 3-STATE ACTIVE ที่ลอจิก "0" เพื่อบอกว่า CPU กำลังติดต่อกับหน่วยความจำ

/IORQ(18) INPUT OUTPUT REQUEST SIGNAL เป็น I/O ACTIVE ที่ ลอจิก "0" เพื่อเป็นการบอก CPU กำลังติดต่อกับอุปกรณ์ I/O เมื่อ I/O และ M1 ACTIVE พร้อมกันเป็นการบ่งบอกการตอบรับการอินเตอร์รัพท์

/M1(25) MACHINE CYCLE เป็น I/O จะแอกทีฟขณะที่ CPU ทำการเฟรช OP-CODE ของคำสั่งในกรณีที่คำสั่งที่จะเฟรชเข้ามามีขนาด 2 ไบต์ M1 จะแอกทีฟทุกๆ ไซเคิลการเฟรชแต่ละไบต์

/RFSH(26) REFRESH SIGNAL เป็นเอาต์พุต 3 -STATE จะแอกทีฟเมื่อ 7 บิตล่าง (A0-A6) ของ ADDRESS BUS ให้ค่ารีเฟรชออกมา

/INT(14) MASKABLE INTERRUPT REQUEST SIGNAL เป็น I/O แอกทีฟที่ลอจิก "0" เพื่อบอกให้รู้ว่าการขออินเตอร์รัพท์จากอุปกรณ์ภายนอก CPU จะตรวจสอบระดับสัญญาณที่ขานี้ทุกๆ สิ้นสุดการทำงานแต่ละคำสั่ง

/NMI(45) NON-MASKABLE INTERRUPT REQUEST SIGNAL เป็นอินพุตแอกทีฟที่ลอจิก "0" เป็นสัญญาณขออินเตอร์รัพท์ที่มีระดับความสำคัญสูงกว่า INT และไม่สามารถปฏิเสธได้

/HALT(16) HALT SIGNAL เป็นเอาต์พุต 3-STATE แอกทีฟที่ลอจิก "0" เพื่อเป็นตัวบอกให้ CPU ทำคำสั่งภายใน

/BUSRQ(23) BUS REQUES SIGNAL เป็นอินพุตแอกทีฟที่ลอจิก "0" เพื่อต้องการขอใช้บัส ซึ่ง ADDRESS BUS, DATA BUS, /MREQ, /IORQ, /RD และ /WR จะอยู่ในสภาวะ HIGH IMPEDANCE

/WAIT(22) เป็น I/O แอกทีฟที่ลอจิก "0" เพื่อเป็นการตรวจสอบให้อุปกรณ์สนับสนุนภายนอกทำงานให้ทันกับการทำงานของ Z84C11 ศึกษานี้ ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CTC SIGNAL

CLK/TRG 0-3(2-5) EXTERNAL CLOCK เป็น CLOCK จากภายนอกมี 4 ขา อยู่ในลักษณะ COUNTER/TIMER 4 CHANNELS ใน COUNTER MODE จะนับลงครั้งละหนึ่งทีขอบขาขึ้นของพัลส์ใน TIMER MODE สามารถโปรแกรมได้ว่าจะให้เริ่มทำงานที่ขอบขาขึ้นหรือขอบขาลง

ZC/TO 0-2(97-99) เป็นเอาต์พุตใน COUNTER หรือ TIMER MODE พัลส์จะเป็นเอาต์พุตเมื่อนับถอยหลังเข้าสู่ศูนย์

จุดประสงค์โดยทั่วไปของ PORT I/O

PA0-PA7(61-68) PORT A เป็น I/O พอร์ตที่เชื่อมต่อกับระบบภายนอก สามารถเป็นได้ทั้งอินพุตและเอาต์พุต

PB0-PB7(69-76) PORT B เป็น I/O พอร์ตที่เชื่อมต่อกับระบบภายนอก สามารถเป็นได้ทั้งอินพุตและเอาต์พุต

PC0-PC7(53-60) PORT C เป็น I/O พอร์ตที่เชื่อมต่อกับระบบภายนอก สามารถเป็นได้ทั้งอินพุตและเอาต์พุต

PD0-PD7(88,89,91-96) PORT D เป็น I/O พอร์ตที่เชื่อมต่อกับระบบภายนอก สามารถเป็นได้ทั้งอินพุตและเอาต์พุต

PE0-PE7(85-79) PORT E เป็น I/O พอร์ตที่เชื่อมต่อกับระบบภายนอก สามารถเป็นได้ทั้งอินพุตและเอาต์พุต

PE7(78) PORT E7 WATCH DOG TIMER OUTPUT(WDT OUT) เป็น I/O พอร์ตซึ่งงานนี้เป็น TIMER หรือขาอินพุต/เอาต์พุต ได้เมื่อ WDT OUT ENABLE งานนี้จะไม่คำนึงถึงโปรแกรมที่เป็น I/O PORT

สัญญาณควบคุมระบบ

IEI(1) Z80CTC INTERRUPT ENABLE INPUT SIGNAL เป็นสัญญาณอินพุตเพื่อขออินเตอร์รัพท์ Z80CTC สัญญาณนี้ใช้ด้วยกันกับ IEO โดยเรียงลำดับความสำคัญเมื่อมีการขอจากอุปกรณ์ภายนอก

IEO(87) Z80CTC INTERRUPT ENABLE OUTPUT SIGNAL เป็นสัญญาณเอาต์พุตอินเทอร์รัพท์ Z80CTC IEO จะควบคุมการขออินเทอร์รัพท์จากอุปกรณ์ภายนอก IEO จะแอกทีฟเมื่อ IEI เป็น "1" และ CPU ไม่มีการขออินเทอร์รัพท์จากอุปกรณ์ภายนอกตัวอื่น

/RESET(24) RESET SIGNAL ใช้เพื่อให้ MPU และอุปกรณ์ในระบบเริ่มทำงานใหม่

XTAL1(49) เป็นที่เชื่อมต่อกับ CRYSTAL OSCILLATOR เป็นแบบ PARALLEL RESONANT ถ้ามี CLOCK จากภายนอกเป็นอินพุตให้ CTC แหล่งจ่าย CLOCK จะจ่ายมาสู่ TERMINAL XTAL1 นี้

XTAL2(48) จุดต่อ CRYSTAL OSCILLATOR

CLK(52) เป็น CLOCK ของระบบ

MS1,MS2(47,48) MODE SELECT 1,2 เป็นอินพุตสำหรับเลือกโหมดการทำงานโดยขึ้นอยู่กับสถานะของขาทั้งสองนี้ ซึ่งจะเลือก 1 ใน 4 โหมดนี้คือ RUN, IDLE1, IDLE2 หรือ STOP

EV(15) EVALUATOR SIGNAL เมื่อนี้เป็น "1" PIC จะอยู่ใน EVALUATOR MODE

VCC(27,51,90) POWER +5 โวลต์

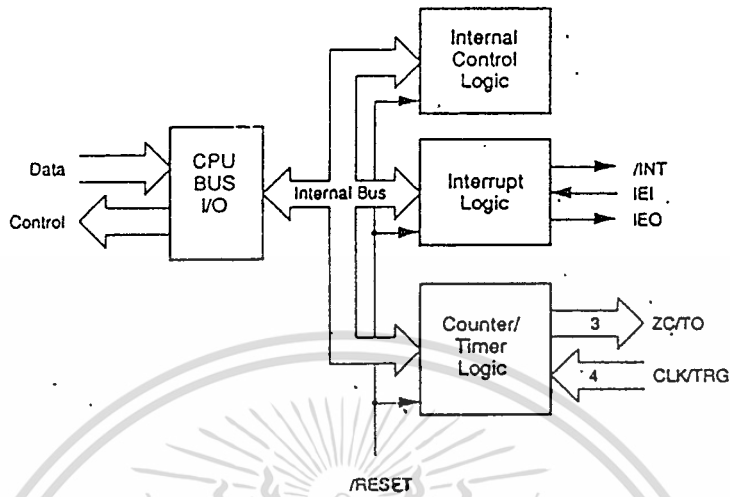
VSS(28,50,77,100) GND 0 โวลต์

หน้าที่การทำงาน

Z84C11 สามารถแยกการทำงานดังบล็อกไดอะแกรมรูปที่ 4 ดังต่อไปนี้ Z80CPU และ Z80CTC เหมือนกับแยกเป็นคนละส่วนกัน เพราะฉะนั้นรายละเอียดของแต่ละหน่วยขึ้นอยู่กับความต้องการของผู้ใช้ดังรายละเอียดของแต่ละหน่วยต่อไปนี้

Z84C30 COUNTER/TIMER LOGIC UNIT

LOGIC UNIT สามารถกำหนดได้โดยผู้ใช้ ระหว่าง 4 บิตกับ 8 บิตของ COUNTER/TIMER ของ Z84C30 ดังรูปที่ 6 COUNTER/TIMER สามารถโปรแกรมได้โดย CPU
ว่าจะนำมาใช้เป็น COUNTER หรือ TIMER



รูปที่ 6 แสดง BLOCK DIAGRAM ของ CTC

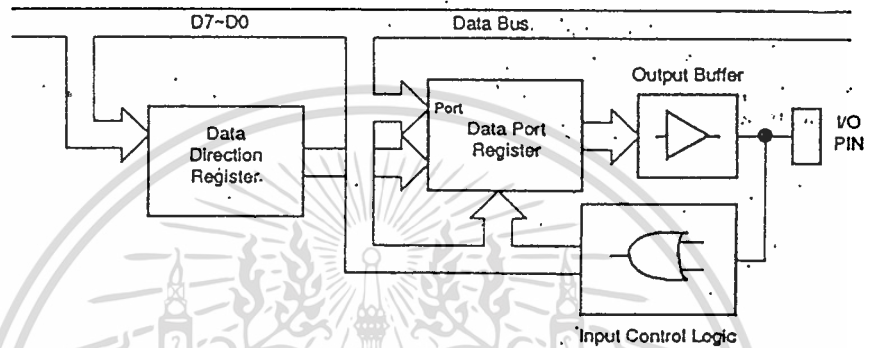
แต่ละ CHANNEL ของ COUNTER/TIMER ถูกออกแบบให้มี 8 บิต(ใช้ใน TIMER MODE) และกำหนดให้เป็น 8 บิต เมื่อเป็น COUNTER เพื่อใช้ในการแก้ปัญหาแต่ละ CHANNEL มี CLOCK/TRIGGER เป็น INPUT เพื่อหาจำนวนสู่การนับและเอิร์พ

จุดประสงค์โดยทั่วไปของพอร์ต I/O

PIC มี PORT I/O 5 ชุดๆ ละ 2 บิต ดังรูปที่ 6 แสดงบล็อกไดอะแกรมของพอร์ต I/O แต่ละพอร์ตจะมีรีจิสเตอร์ 2 ตัว คือ รีจิสเตอร์สำหรับรับข้อมูลของพอร์ต(PORT DATA REGISTER) และรีจิสเตอร์บอกทิศทางข้อมูล(DATA DIRECTION REGISTER) ซึ่งแสดงทิศทาง การส่งข้อมูลแต่ละบิต เมื่อบิตได้ถูกสั่งให้เป็นเอาท์พุทนั้นข้อมูลใน PORT DATA REGISTER จะ ถูกส่งกลับไปผ่านทางคำสั่ง I/O การระบุแอดเดรสของรีจิสเตอร์นี้ให้ดูจากตารางที่ 3

หมายเหตุ

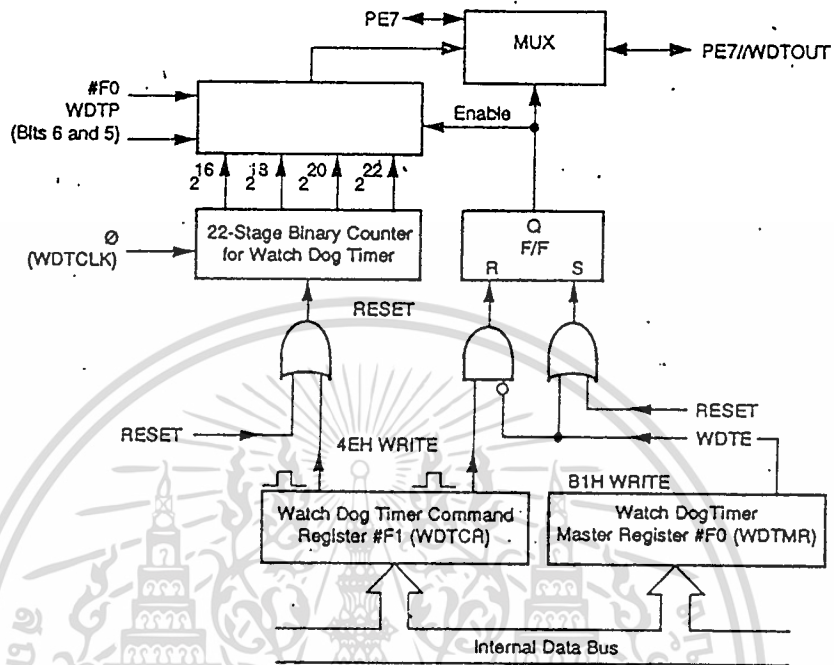
Z84C11 PORT E7 บิต 7 จะถูก MULTIPLEX ด้วย WDT OUT เมื่อสั่งให้ TIMER ENABLE WDT OUT จะถูกเปลี่ยนให้เป็น I/O พอร์ต



รูปที่ 7 แสดง BLOCK DIAGRAM ของ I/O PORT

WATCH DOG TIMER(WDT) LOGIC UNIT(LU)

LU จะถูกรวมอยู่ใน Z84C11 ในตัวเพิ่มสมรรถนะ LU ทำหน้าที่ ตรวจสอบการ ERROR และแก้ไขให้หายไป ดังรูปที่ 8 แสดงบล็อกไดอะแกรมของ WDT เมื่อ WDT ถูก ENABLE สัญญาณ PE7/WDT OUT จะแสดงเหมือนเป็น /WDT OUT ระหว่างที่การใช้งาน WDT จะหยุดด้วย และมันจะ DISABLE โดย POWER ON RESET



รูปที่ 8 แสดง BLOCK DIAGRAM ของ WATCH DOG TIMER

WDT OUT(PE7//WDT OUT)

เนื่องจาก Z84C11 ไม่มีขา WDT OUT ดังนั้น WDT OUT จะถูกรวมอยู่กับ PE7 เมื่อ WDT OUT ถูก ENABLE จะทำงานเป็น พอร์ต I/O ตามปกติ เมื่อ WDT OUT เป็น "0" หาร์พุท จาก PE7//WDT OUT หลังจากช่วงเวลาหนึ่งที่ระบุใน WDTP ช่วงที่ว่าสัญญาณพัลส์จะเป็นดังนี้ ขึ้นอยู่กับการต่อขา PE7//WDT OUT

PE7//WDT OUT ถูกต่อเข้ากับขา RESET สัญญาณ "0" จะส่งออกเท่ากับ 5 T_c

PE7//WDT OUT ถูกต่อเข้ากับขาอื่นๆสัญญาณ "0" จะหยุดจนกระทั่ง WDT ถูก CLEAR โดยโปรแกรม หรือ RESET

CGC LOGIC UNIT

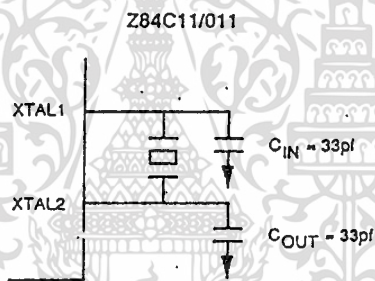
PIC มี CGC(CLOCK GENERATOR/CONTROLLER) ในตัวมันเอง สามารถใช้ได้กับ อินพุทแบบ CRYTAL หรือ CLOCK อินพุทของระบบที่ขา XTAL1 ซึ่งจะให้สัญญาณนาฬิกาแบบ เอกสารที่ 2 ซึ่งจะใช้เวลาเป็นครึ่งหนึ่งของความเร็วอินพุทเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเหตุ

Z84C11 สามารถต่อ CLOCK จากภายนอกได้ที่ขา CLK ซึ่ง OSCILLATOR และวงจรหาร 2 จะถูก BY PASS ไป ถ้า CLOCK จากภายนอกต่อเข้าที่ XTAL1 OSCILLATOR จะถูกใช้ และวงจรจะหาร 2 จะถูกใช้ขึ้นอยู่กับบิต D4 ของ WDTMR ในโหมด POWER DOWN ของ Z84C11 จะเปลี่ยนไปขึ้นอยู่กับว่า CLOCK ที่ต่อเข้า ว่าเข้าที่ขา XTAL1 หรือเข้าที่ขา CLK

แหล่งกำเนิด CLOCK ของระบบ

PIC มีวงจร OSCILLATOR ภายในและ CLOCK จะเกิดขึ้นจากการต่อ CRYSTAL ไปที่จุดต่อภายนอก (XTAL1, XTAL2) สัญญาณ CLOCK ที่ออกมามีความเร็วเท่ากับครึ่งหนึ่งของ คั่นกำเนิด ดังรูปที่ 9 เป็นตัวอย่างการต่อ CLOCK



รูปที่ 9 วงจรการต่อ CRYSTAL

Z84C11 ความเร็ว CLOCK เท่ากับครึ่งหนึ่งของแหล่งกำเนิด ลักษณะของ CRYSTAL กับค่า CAPACITOR เป็นดังนี้ (ค่า CAPACITOR ขึ้นอยู่กับความถี่ของ CRYSTAL)

- ชนิดของ CRYSTAL ปกติจะเป็นชนิดขนาน
- ความคลาดเคลื่อนของความถี่ใช้งานอิสระ
- CL, LOAD CAPACITANCE โดยประมาณ 22 pF
- RS, ความต้านทานเสมือนต่ออนุกรม น้อยกว่าหรือเท่ากับ 60 โอห์ม
- ระดับแรงขับ 10mW(สำหรับความถี่น้อยกว่าหรือเท่ากับ 10 MHz)
- $C_{in} = C_{out} = 3pF$

POWER ON RESET LOGIC UNIT

Z84C11 มีลักษณะเด่นวงจร POWER ON RESET ในระหว่าง POWER UP เกทชนิด OPEN DRAIN ของ POWER ON วงจรจะทำให้ขา /RESET เป็น "0" ในช่วง 25-75 MS หลังจากผ่านแหล่งจ่ายประมาณ 2.2 โวลต์ หลังจากสิ้นสุดกระบวนการ POWER ON RESET เกทจะหยุดการขับ ขา RESET และจำเป็นต้องมีความต้านทานแบบ PULL UP จากภายนอกมาต่อขา RESET

WAIT STATE GENERATOR UNIT

เป็นตัวสร้างสัญญาณ WAIT STATE ให้ CPU สถานะของอินพุท WAIT จะถูกดึงออกมาโดยโปรแกรมเรียก ยกเว้นเมื่อมีการเรียก WAIT STATE สำหรับการอินเทอร์รัพท์แบบ DAISY CHAIN รีจิสเตอร์ที่ใช้ควบคุม WAIT STATE จะถูกโปรแกรมได้โดย CPU ให้ทำงานในลักษณะต่างดังนี้

- MEMORY WAIT AND OP CODE WAIT
- I/O WAIT
- INTERRUPT VECTOR WAIT
- INTERRUPT DAISY CHAIN WAIT

โหมดประเมิณผล

PIC มีโหมดนี้เพื่อให้ใช้ระบบที่พัฒนาบน Z80 ทำให้ใช้แทน Z80 ได้

หมายเหตุ

Z84C11 ถ้าขา EV ถูกป้อน VCC Z84C11 จะอยู่ใน EV โหมด ในโหมดนี้ภายใน CPU จะถูกตัดออกจากบัสภายในและสัญญาณ 3-STATE ที่กล่าวมาแล้วรวมทั้ง /BUSACK และ /RFSH จะเป็น 3-STATE หรือเป็นอินพุท ข้อสังเกตคือขา /WAIT จะกลายเป็นขาเออาร์พุทในโหมดนี้ และแหล่งกำเนิด WAIT STATE จะสร้างสภาวะรอกอย่างเดียวน ถ้ามีตัวสร้าง WAIT STATE แยกต่างหากจะต้องตัดแปลงก่อน

Z84C11 จะทำงานเหมือนปกติเมื่อ /BUSREQ ถูกแทรกจากตัวแปรภายนอก ทำให้สัญญาณ 3-STATE เป็น 3 สถานะโดย Z84C11 หลังจากการหน่วงเวลา 1 รอบ ในกรณีนี้ /RFSH,/M1,HALT และ /BUSREQ จะยังคงแอกทีฟ

PROGRAMMING

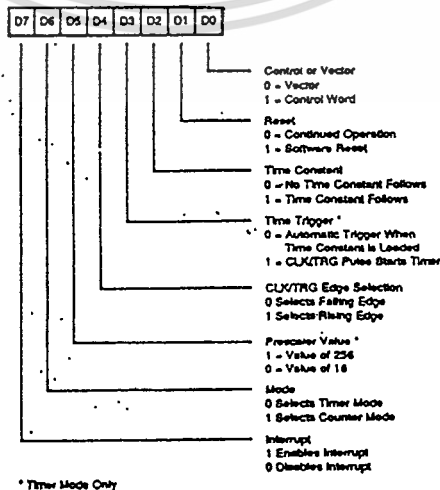
แอดเดรส PIC ในการติดต่อกับอุปกรณ์ I/O ดังตารางที่ 3 โดย DECODE จาก A7-A0

Address	Device	Channel	Register
10h	CTC	Ch 0	Control Register
11h	CTC	Ch 1	Control Register
12h	CTC	Ch 2	Control Register
13h	CTC	Ch 3	Control Register
50h	PIA	Port A	Port A Data Port (PADP)
54h	PIA	Port A	Port A Data Direction Register (PADR)
51h	PIA	Port B	Port B Data Port (PBDP)
55h	PIA	Port B	Port B Data Direction Register (PBD1)
52h	PIA	Port C	Port C Data Port (PCDP)
56h	PIA	Port C	Port C Data Direction Register (PCDR)
30h	PIA	Port D	Port D Data Port (PDDP)
34h	PIA	Port D	Port D Data Direction Register (PDD1)
40h	PIA	Port E	Port E Data Port (PEDP)
44h	PIA	Port E	Port E Data Direction Register (PEDR)
F0h	WDT		Watch Dog Timer Master Register (WDTMR; Not with Z84011)
F1h	WDT		Watch Dog Timer Control Register (WDTICR; Not with Z84011)
EEh	Misc		System Control Register Pointer (SCRIP; Not with Z84011)
EFh	Misc		System Control Data Port (SCDP; Not with Z84011) Through SGRP and SCDP Control Register 00 - Wait State Control register (WCR) Control Register 01 - Memory Wait state Boundary Register (MWBR)

ตารางที่ 3 I/O CONTROL REGISTER ADDRESS

CHANNEL CONTROL WORD

เป็นการเซตโหมดการทำงานและพารามิเตอร์ เมื่อ บิต D0 เป็น "1" เป็นตัวแสดงว่าขณะนั้นเป็น CONTROL WORD



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเท่านั้นนำไปใช้ประโยชน์ด้านการค้า

รูปที่ 10 CTC CHANNEL CONTROL WORD

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต D7(INTERRUPT ENABLE) บิตนี้เป็นบิตที่ตอบรับการขออินเทอร์รัพท์ เมื่อบิตนี้เป็น "1" สามารถขออินเทอร์รัพท์ได้ โดยจะทำให้ COUNTER นับลงถึงศูนย์จึงเริ่มทำงาน ถ้าบิตนี้เป็น "1" ไม่สามารถขออินเทอร์รัพท์

บิต D6(MODE BIT) บิตนี้เป็นตัวเลือกระหว่าง TIMER โหมดหรือ COUNTER โหมด โดยถ้าบิตนี้เป็น "0" เป็น TIMER MODE ถ้าเป็น "1" เป็น COUNTER MODE

บิต D5(PRESCALAR FACTOR) บิตนี้เป็นตัวเลือกตัวหารเริ่มแรกใช้ใน TIMER MODE โดยถ้าบิตนี้เป็น "1" จะถูกหารด้วย 256 ถ้าบิตนี้เป็น "0" จะถูกหารด้วย 6

บิต D4(CLOCK/TRIGGER EDGE SELECTOR) บิตนี้เป็นตัวเลือกว่าจะแอกทีฟที่ขอบไหนของสัญญาณที่เข้ามา ถ้าบิตนี้เป็น "1" แอกทีฟที่ขอบขาขึ้นของสัญญาณ ถ้าเป็น "0" แอกทีฟที่ขอบขาลง

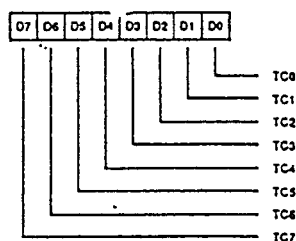
บิต D3(TIMER TRIGGER) บิตนี้ใช้งานใน TIMER MODE เท่านั้น เป็นตัวเลือกสัญญาณ TRIGGER โดยถ้าบิตนี้เป็น "1" จะเป็นสัญญาณ TRIGGER จากภายนอก ถ้าเป็น "0" จะเริ่มทำงานทันทีที่มีการโหลด TIME CONSTANT

บิต D2(TIME CONSTANT) บิตนี้เป็นตัวชี้บอกว่า WORD ต่อไปจะเป็นค่า TIME CONSTANT ตามมาเมื่อบิตนี้มีลอจิกเป็น "1" แต่ถ้าบิตนี้มีลอจิกเป็น "0" ไม่มี

บิต D1(SOFTWARE RESET) บิตนี้จะรีเซ็ตการทำงานของซอฟต์แวร์เมื่อบิตนี้มีลอจิกเป็น "1" ซึ่งทำให้การนับ การแสดงฐานเวลาหยุดลง ถ้าบิตนี้เป็น "0" การทำงานเป็นไปอย่างปกติต่อเนื่อง

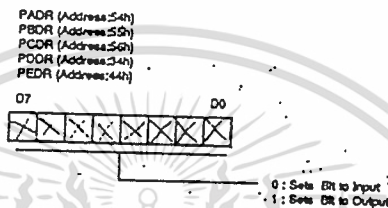
TIME CONSTANT WORD

ก่อนที่ CHANNEL ต่างๆ จะเริ่มต้นนับจะต้องมีการโหลดค่า TIME CONSTANT คือค่าอะไรก็ได้ตั้งแต่ 1 ถึง 256 ถ้าทุกบิตเป็น "0" หมดจะทำให้การนับของ COUNTER ทำงานที่ 256 (รูปที่ 11)



PIA REGISTER

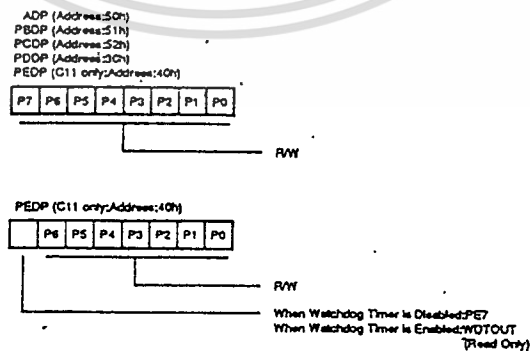
การกำหนดการทำงานของพอร์ท พอร์ท PIA สามารถใช้สับสวิตช์สำหรับการรวมกันของบิตอินพุทและเอาต์พุท เพื่อควบคุม โดยการเขียน PORT DIRECTION REGISTER (PADR,PBDR,PCDR,PDDR,PEDR)ถ้าเป็น“1” เป็นการเซ็ทให้เป็นเอาต์พุท ถ้าเป็น“0”เป็นการเซ็ทให้เป็นอินพุท(รูปที่ 12)



รูปที่ 12 PORT DIRECTION REGISTER

PORT DATA PORT

ข้อมูลที่เก็บในรีจิสเตอร์นี้จะถูกส่งไปในบิตของพอร์ทที่กำหนด โดยเอาต์พุทมันจะเก็บข้อมูลจนกระทั่งมีการเปลี่ยนแปลงโดย CPU เมื่อบิตที่กำหนดให้เป็นเอาต์พุทอ่านเข้าสู่รีจิสเตอร์นี้ จะทำให้มีกระแสค่าหนึ่งไปยังพอร์ท(รูปที่ 13)



รูปที่ 13 PORT DATA PORT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเขียน PORT DATA PORT

เมื่อบิตที่กำหนดให้เป็นอินพุท การเขียนข้อมูลลงสู่ตำแหน่งบิตที่กำหนดให้เป็นอินพุท เป็นการเปลี่ยนแปลงความสำคัญของ PORT DATA PORT จะมีผลต่อการทำงานภายนอก เมื่อตำแหน่งของบิตที่กำหนดเป็นเอาต์พุท การเขียนข้อมูลลงสู่ตำแหน่งที่กำหนดให้เป็นเอาต์พุท ข้อมูลจะถูกเก็บเข้าสู่ PORT DATA PORT การอ่าน PORT DATA PORT

ถ้าตำแหน่งบิตที่ถูกกำหนดให้เป็นอินพุทการอ่านข้อมูลสู่บิตที่เป็นอินพุทจะอ่านจากพอร์ทโดยตรง ความสำคัญของพอร์ทนี้คือ ไม่มีการเปลี่ยนแปลงถ้าตำแหน่งบิตที่กำหนดให้เป็นเอาต์พุทจะอ่านข้อมูลจาก PORT DATA PORT

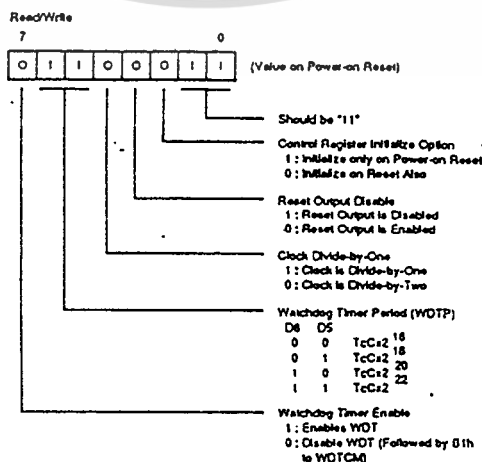
WATCH DOG TIMER CONTROL REGISTER(WDTCR)

WDTCR จะถูกควบคุมโดยรีจิสเตอร์ 2 ตัว คือ WDT MASTER REGISTER(WDTMR) และ WDT COMMAND REGISTER(WDTCR) ลอจิกของ WDT จะเป็นแบบ DOUBLE KEY เพื่อป้องกันการ ERROR นอกจากนี้ WDT ยังควบคุมการ POWER DOWN ด้วย DOUBLE KEY นั้นจำเป็นต้องใช้เมื่อต้องการปิด WDT

ENABLING THE WDT โดยตั้ง WDT ENABLE บิต D7 เป็น "1" และ WDT PERIODIC FIELD(D5,D6:WDIP)เป็นคาบเวลาที่ต้องการเหล่านั้นอยู่ใน WDT

DISABLING THE WDT โดยการเคลียร์ WDTE เป็น "0" และเขียนข้อมูล B1H ลงใน WDTCR
CLEARING THE WDT โดยการเขียนข้อมูล 4EH ลงใน WDTCR WDT MASTER REGISTER(WDTMR)

รีจิสเตอร์นี้ใช้ควบคุมการทำงานของ WDT และทำหน้าที่ต่างๆ ของระบบ(รูปที่ 14)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่ 14 WDT MASTER REGISTER ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต D7(WDT ENABLE) บิตนี้ควบคุมการแอกทีฟของ WDT โดย WDT จะ ENABLE เมื่อบิตนี้เป็น“1”และจะ DISABLE เมื่อบิตนี้เป็น“0”

บิต D5-D6(WDT PERIODIC FIELD)สองบิตนี้เป็นตัวกำหนดความต้องการระยะเวลาโดยมีค่าดังนี้

00 PERIOD IS (T_cC x 2)

01 PERIOD IS (T_cC x 2)

10 PERIOD IS (T_cC x 2)

11 PERIOD IS (T_cC x 2)

บิต D4(CLOCK DIVIDDE-BY-ONE OPTION) ถ้าเป็น“0” ENABLE เป็น“1” DISABLE

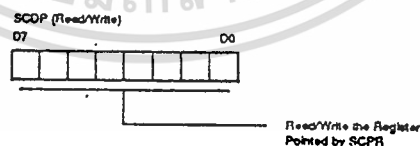
บิต D3(RESET OUTPUT DISABLE) ถ้าบิตนี้เป็น“0”รีเซ็ตเอาต์พุตเป็น ENABLE ถ้าเป็น“1”รีเซ็ตเอาต์พุตเป็น DISABLE บิตนี้จะควบคุมสัญญาณ /RESET

บิต D2(CONTROL REGISTER INIALIZE OPTION) ถ้าเป็น“0” INITIALIZE ON RESET ALSO ถ้าเป็น“1” INITIALIZE ONLY POWER RESET

บิต D0-D1(RESERVDE) สองบิตนี้เป็น RESERVE และโปรแกรมให้เป็น“11”

ระบบควบคุมพอร์ทข้อมูล(SYSTEM CONTROL DATA PORT)

รีจิสเตอร์นี้เป็นทางเข้า WCR และ MWBR (รูปที่ 15)

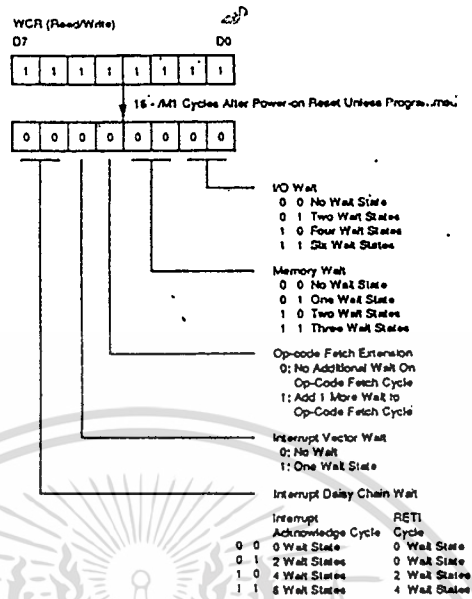


รูปที่ 15 SYSTEM CONTROL DATA PORT

WAIT STATE CONTROL REGISTER(WCR)

รีจิสเตอร์นี้เป็นทางผ่าน SCDP ซึ่งจะชี้ค่า 00H ใน SCDP (รูปที่16) ซึ่งเก็บไว้ด้วยกัน Z84C11 เก็บหมายเลขสูงสุดของ WAIT STATE คือ 16/M1 CYCLE หลังจากรีเซ็ต POWER มัน

จะจัดลำดับความสำคัญของรีจิสเตอร์นี้เพื่อการศึกษาเท่านั้น ไม่นอนุญาติให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 16 WAIT STATE CONTROL REGISTER

บิต D7-D6 (INTERRUPT DAISY CHAIN WAIT) สองบิตนี้จะระบุจำนวน WAIT STATES ตามสถานะข้างล่าง

INTERRUPT ACKNOWLEDGE FETI CYCLE

- 00 NO WAIT STATES NO WAIT STATES
- 01 2 WAIT STATES NO WAIT STATES
- 10 4 WAIT STATES 2 WAIT STATES
- 11 6 WAIT STATES 4 WAIT STATES

บิต D5 (INTERRUPT VECTOR) ถ้าเป็น "0" จะไม่มี WAIT STATE ถ้าเป็น "1" มี 1 WAIT STATE

บิต D4 (OPCODE FETCH EXTENSION) ถ้าบิตนี้เป็น "1" จะบวกเพิ่มอีก 1 WAIT STATE บน OPCODE ที่เข้ามา ถ้าเป็น "0" ไม่มีการบวกเพิ่ม

บิต D3-D2 (MEMORY WAIT STATE) สองบิตนี้จะระบุจำนวน WAIT STATE ของหน่วยความจำ ดังสถานะข้างล่างนี้

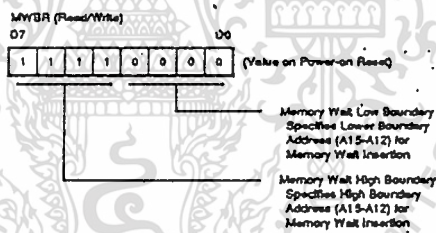
- 00 NO WAIT STATES
- 01 1 WAIT STATES
- 10 2 WAIT STATES
- 11 3 WAIT STATES

บิต D0-D1(I/O WAIT STATE) สองบิตนี้จะระบุจำนวน WAIT STATES ของ I/O ดังสถานะต่อไปนี้

00	NO	WAIT	STATES
01	2	WAIT	STATES
10	4	WAIT	STATES
11	6	WAIT	STATES

MEMORY WAIT BOUNDARY REGISTER(MWBR)

รีจิสเตอร์นี้จะกำหนด ADDRESS ให้แก่ MEMORY WAIT STATE เมื่อ ADDRESS ของหน่วยความจำนี้อยู่ในช่วงดังกล่าว แหล่งกำหนด WAIT STATE จะใส่ค่า WAIT นี้ลงในหน่วยความจำ(รูปที่ 16)รีจิสเตอร์นี้จะควบคุมเฉพาะสำหรับการอ่านหรือเขียนและการเฟิร์ทซ์ OPCODE



รูปที่ 17 MEMORY WAIT BOUNDARY REGISTER

โหมดการทำงาน

โหมดการทำงานมี 4 โหมดเพื่อเชื่อมต่อ PIC กับแหล่งกำหนด CLOCK ทั้ง 4 โหมดคือ RUN MODE, IDEL MODE1, IDEL MODE2 และ STOP MODE

การทำงานของแต่ละโหมดจะมีผลเมื่อหยุดคำสั่งภายใน MPU เริ่มทำงานใหม่จากจากที่หยุดภายใต้ IDEL MODE 1,2 หรือ STOP MODE โดยรีเซ็ตอินพุท หรือการขออินเตอร์รัพท์ (NMI,INT) การเลือกโหมดนี้กำลังงานจะต่ำ และสามารถเลือกโหมดได้โดยขา MS และ MS2

RUN MODE(MS1=1,MS2=1) การทำงานของ PIC จะต่อเนื่องกัน เมื่อ CLK เป็นเอาร์พุทแหล่งจ่าย CLOCK ต่อกันออกอย่างต่อเนื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IDEL MODE1(MS1=0,MS2=0) การทำงานจะมีกัการอสซิลเลทภายใน ต่อเนื่องและ การจ่าย CLOCK ถึงภายนอกต่อเนื่อง CLOCK เออร์พุท (CLK) จะหยุดที่ระดับ“0”โหมดนี้ไม่สามารถรองรับ Z84C11 เมื่อใช้ CLOCK จากภายนอกไปต่อที่ขา CLK

IDEL MODE2(MS1=0,MS2=1) การอสซิลเลทภายในและการทำงานของ CTC ต่อเนื่อง เมื่อขา CLK ถูกเลือกให้เป็นเออร์พุทจ่าย CLOCK สู่ภายนอกอย่างต่อเนื่อง แต่ CLOCK ภายในที่ให้ CPU และ WDT และหยุดที่ระดับ“0”ของ T4 STATE การทำงานโหมดนี้จะเกิดขึ้นทันทีหลังจากคำสั่งที่ทำอยู่ โหมดนี้สามารถนำ CLOCK จากภายนอกมาต่อที่ขา CLK ได้

STOP MODE (MS1=1,MS2=0) การทำงานต่างๆ ได้แก่ การอสซิลเลทภายใน,CLOCK OUTPUT(CLK),CLOCK ภายใน และ WDT จะหยุดที่ระดับ T4 STATE เป็น“0”การหยุดการทำงานนี้ จะเกิดขึ้นทันทีหลังจากสิ้นสุดคำสั่งทำอยู่

MODE	CGC	CPU	CTE	WDT	CLK
IDEL1	O	X	X	X	X
IDEL2	O	X	O	X	O
STOP	X	X	X	X	X
RUN	O	O	O	O	O

หมายเหตุ

O = การทำงาน

X = หยุดการทำงาน

ตารางที่ 4 DEVICE STATUS IN HALT STATE

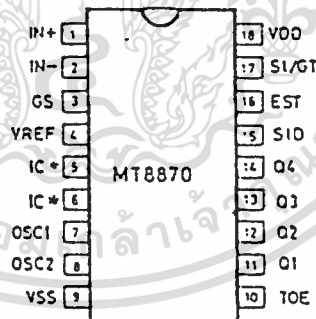
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IC MT 8870 DTMF DECODER

IC#MT8870 นี้ จะทำหน้าที่รับสัญญาณ DTMF ซึ่งเป็นสัญญาณ ANALOG 2 ความถี่ ได้เป็นอย่างดีถึงแม้ว่าสัญญาณที่ได้จากการคัปของโทรศัพท์แบบทซ์โทน จะมีลักษณะไม่เป็นคลื่น SINE ที่แท้จริงก็ตาม ดังรูปที่ 18 IC เบอร์นี้ยังสามารถยอมรับและถอดรหัสออกมาได้



รูปที่ 18 ลักษณะสัญญาณ DTMF ที่ได้จากโทรศัพท์

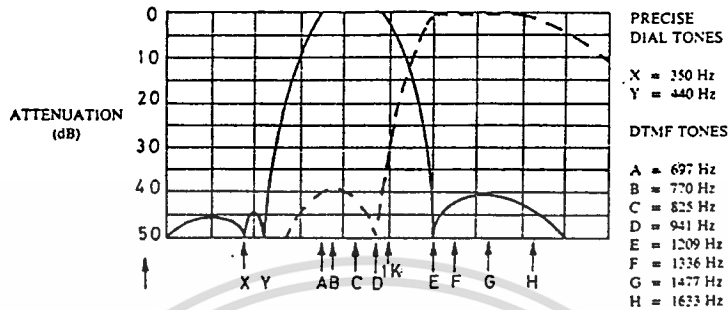


รูปที่ 19 แสดงรายละเอียดขาของ MT8870

คุณสมบัติของ MT8870

- เป็นตัวรับและถอดรหัสความถี่ DTMF (DTMF reciver)
- กินไฟน้อย ใช้ไฟเลี้ยงระดับเดียวกับ TTL
- สามารถตั้งอัตราขยายได้ภายในตัวไอซี
- สามารถปรับ GUARD TIME ได้

เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้เพื่อการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 20 แสดง ความถี่ที่ได้จากภาคกรองความถี่

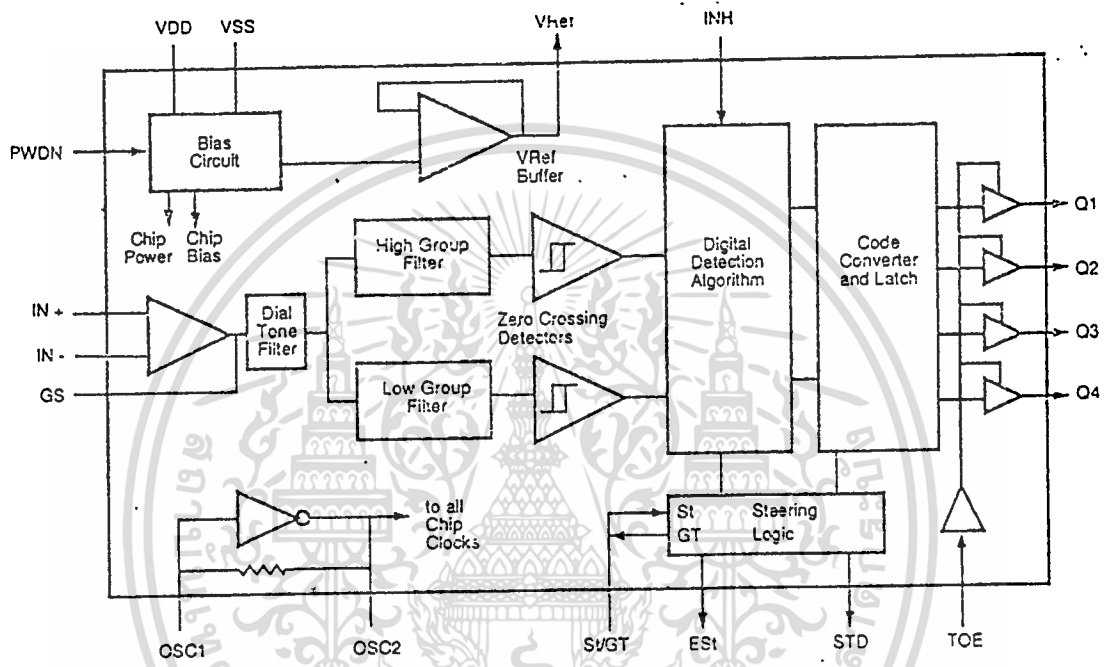
การนำไอซี MT8870 ไปใช้งาน

- การนำไปใช้งานด้านรีโมทคอนโทรล
- เครื่องป้องกัน โทรศัพท์ทางไกล
- ใช้งานเกี่ยวกับเครดิตการ์ด
- ใช้งานร่วมกับคอมพิวเตอร์
- ใช้ในเครื่องชุมสายขนาดเล็ก หรือ PABX
- ใช้กับงานด้านโทรศัพท์ทั่วไป
- เครื่องกินขโมย
- การควบคุมอุปกรณ์ทางด้านโทรศัพท์
- ใช้ทำเครื่องสอบถามทางด้านโทรศัพท์

โครงสร้างภายในของ MT8870

MT8870 ประกอบไปด้วยวงจรประกอบความถี่และวงจรถอดรหัสฟังก์ชันทางดิจิทัล ในส่วนของวงจรถอดความถี่ใช้เทคนิคของสวิทช์ CAPACITOR FILTER สำหรับกรองความถี่สูงและต่ำ ส่วนวงจรถอดรหัสใช้เทคนิคการนับทางดิจิทัลเพื่อถอดรหัสและตรวจจับทั้ง 16 ความถี่ออกเป็นเลขฐานสองขนาด 4 บิต และตรวจสอบช่วงเวลาที่สำคัญเข้ามา ส่วนภาคอินพุทเป็นออปแอมป์ที่สามารถปรับอัตราขยายได้โดยต่ออุปกรณ์ภายนอก เอาท์พุทเป็นวงจรแลทซ์ 3 สถานะ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 21 โครงสร้างภายใน MT8870

ฟังก์ชันการทำงานของ MT8870

ภายใน MT8870 ประกอบด้วยส่วนสำคัญ 5 ส่วนคือ

1. ภาคกรองความถี่ (FILTER SECTION) ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็นสองกลุ่มความถี่ คือช่วงความถี่สูงและช่วงความถี่ต่ำ โดยใช้วงจรกรองความถี่อันดับ 6 ชนิดสวิทช์คาปาซิเตอร์ (SIX-ORDER SWITCHED CAPACITOR BAND PASS FILTER) ซึ่งความถี่ที่แยกได้มีสองช่วงคือช่วงความถี่สูงและช่วงความถี่ต่ำ

2. ภาคถอดรหัส (DECODER SECTION)

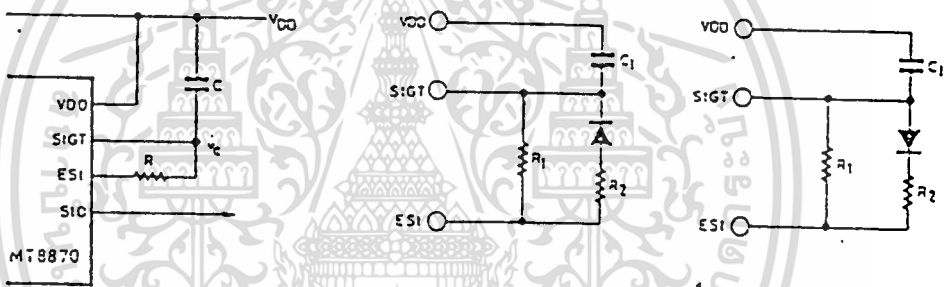
F _{LOW}	F _{HIGH}	NO	TOE	Q4	Q3	Q2	Q1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1447	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1447	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1447	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1447	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	0	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

ตารางที่ 5 แสดงค่าที่ถอดรหัสได้จากความถี่ต่าง ๆ

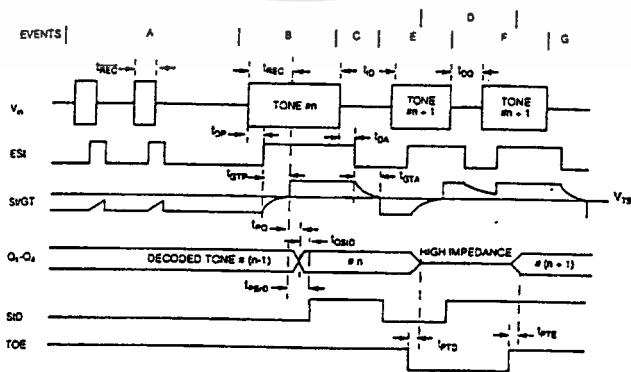
ความถี่ DTMF ที่ถูกกรองเรียบเรียบร้อยแล้ว จะผ่านเข้าวงจรถอดรหัสความถี่ออกมาเป็นตัวเลข โดยใช้เทคนิคการนับแบบดิจิตอลและมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตรฐาน DTMF หรือไม่ เพื่อป้องกันความถี่อื่นเข้ามาผสม เมื่อตรวจสอบว่าความถี่นี้ถูกต้อง สัญญาณที่ขา EST (EARLY STERLING) ก็จะแอกทีฟสำหรับค่าที่ถอดรหัสได้จากความถี่แบบต่าง ๆ นั้นดังแสดงดังตารางที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. ภาคตรวจสอบสัญญาณ (STERRING CIRCUIT) ก่อนที่จะมีการถอดรหัส ความถี่ออกไปที่เอาท์พุท จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดหรือไม่ โดยสังเกตจากระยะเวลาการกดปุ่มโทรศัพท์ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลาอันพอ สมควร มิฉะนั้นวงจรส่วนนี้จะไม่รับ โดยถือว่าวงจรมันไม่ถูกต้อง ส่วนช่วงเวลานานเท่าใด สามารถตั้งได้โดยใช้ RC ต่อภายนอก สัญญาณที่ขา EST จะเป็น “HIGH” นานใกล้เคียงกับระยะเวลาที่มีความถี่ DTMF เข้ามาจากรูปที่ 22 เมื่อขา EST เป็น “HIGH” ทำให้ VC สูงขึ้นตัว เก็บประจุ C จะคายประจุทำให้แรงดัน VC มีค่าสูงขึ้นจนถึงค่าเทรชโฮลด์ วงจรถอดรหัสจึงถอด รหัสออกมาเป็นตัวเลขขนาด 4 บิต รายละเอียดการทำงานสามารถดูได้จาก TIMING DIAGRAM ในรูปที่ 23



รูปที่ 22 แสดงวงจรตรวจสอบสัญญาณและการกำหนดเวลาการดีไทม์



รูปที่ 23 TIMING DIAGRAM ของ MT8870

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อธิบายขั้นตอนการทำงาน

1. ตรวจพบว่าความถี่ที่เข้ามา แต่คาบเวลาไม่ถูกต้องเอาท์พุทจะไม่เปลี่ยนแปลง
2. ความถี่ #N ถูกตรวจพบและมีคาบเวลาที่ถูกต้อง ความถี่ถูกถอดรหัสและแลตซ์ไว้ที่เอาท์พุท
3. จบความถี่ #N ช่วงห่างถูกต้อง เอาท์พุทยังคงแลตซ์อยู่จนกว่าจะได้รับความถี่ที่ถูกต้องใหม่
4. เอาท์พุทเปลี่ยนเป็น HIGH IMPEDANCE
5. ความถี่ #N ถูกตรวจพบคาบเวลาถูกต้อง ความถี่ถูกถอดรหัสและแลตซ์ไว้
6. ความถี่ #N+1 หายไป ช่วงห่างไม่ถูกต้องเอาท์พุทยังคงแลตซ์อยู่
7. จบความถี่ #N+1 ช่วงห่างถูกต้อง เอาท์พุทยังคงแลตซ์อยู่จนถึงความถี่ใหม่ที่ถูกต้อง

สัญลักษณ์ความหมายของขาต่าง ๆ

- V_{IN} - สัญญาณความถี่ DTMF ที่เข้ามา
- EST - EARLY STEERING OUTPUT ใช้แสดงความถี่ที่ถูกต้อง
- St / GT - STEERING INPUT / GUARD TIME OUTPUT สำหรับต่อกับ RC ภายนอก
- Q1-Q4 - เอาท์พุท BCD ขนาด 4 บิต
- StD - DELAYED STEERING OUTPUT ใช้แสดงค่าความถี่ที่ได้รับหรือหายไป มีคาบเวลาตามที่กำหนด เพื่อแสดงค่าความถูกต้องของสัญญาณ
- TOE - TONE OUTPUT ENABLE (INPUT) ใช้ควบคุม Q1-Q4 ให้เป็น HIGH IMPEDANCE
- t_{REC} - คาบเวลานานที่สุด ที่ตรวจพบความถี่ DTMF แล้วยังไม่ถูกต้อง
- t_{REC} - คาบเวลาสั้นสุดที่ต้องการเพื่อแสดงว่าสัญญาณถูกต้อง
- t_{ID} - เวลาสั้นสุดระหว่างสัญญาณ DTMF ที่ถูกต้อง 2 สัญญาณ
- t_{DO} - เวลานานสุด ที่ยอมให้สัญญาณหายไปได้ ในคาบเวลาที่ถูกต้อง
- t_{DP} - เวลาที่ใช้ในการตรวจพบว่าสัญญาณความถี่ DTMF ที่ถูกต้อง
- t_{DA} - เวลาที่ใช้ในการตรวจเวลาที่หายไป ของสัญญาณความถี่ DTMF ที่ถูกต้อง
- t_{GTP} - การ์ดไทม์ของการปรากฏความถี่ DTMF
- t_{GTA} - การ์ดไทม์ของการหายไปของความถี่ DTMF

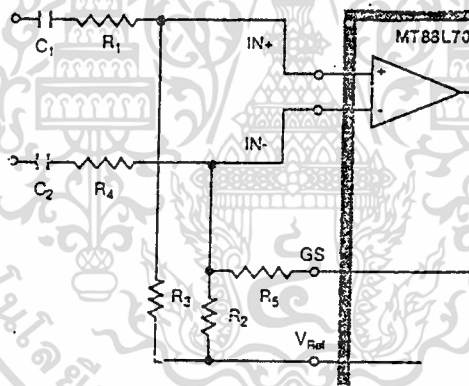
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับค่าการรีดไทม์ นั้นหมายถึงช่วงคาบเวลาของความถี่ที่เข้ามา ซึ่งจะต้องนานเท่ากับหรือมากกว่าช่วงเวลาที่เรที่ตั้งไว้ จึงจะได้รับการยอมรับว่าสัญญาณความถี่นั้นถูกต้อง หรือพูดได้ว่าเวลาที่เรที่ตั้งไว้โดย RC ก็คือการรีดไทม์นั่นเองเมื่อสัญญาณความถี่เข้ามานานเท่ากับหรือมากกว่าเวลาที่ตั้งไว้จึงสามารถแปลงเป็นตัวเลขได้ ถ้าสัญญาณความถี่ที่เข้ามาสั้นกว่า ก็จะไม่มีการถอดรหัสเป็นตัวเลขออกไป การตั้งเวลาและคำนวณเวลาดูได้จากรูปที่ 22

4. ภาคขยายความถี่ต่าง ๆ (DIFFERENTIAL INPUT) วงจรส่วนอินพุทของ MT8870 เป็นภาคขยายออปแอมป์ที่สามารถปรับอัตราขยาย โดยต่อวงจรภายนอกเพิ่มเข้าไปดังรูปที่ 24 ซึ่งสามารถคำนวณอัตราขยายความแตกต่างของอินพุทและอิมพีแดนซ์ได้ดังนี้

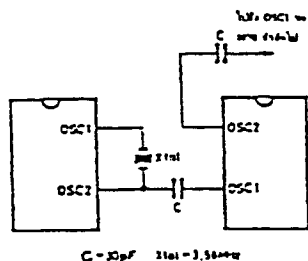
$$\text{อัตราขยาย (} A_{v,diff} \text{) } = R_5 / R_1$$

$$\text{อินพุทอิมพีแดนซ์ (} Z_{IN,diff} \text{) } = 2 \sqrt{R_1^2 + (1 / \omega c)^2}$$



รูปที่ 24 แสดงการส่งวงจรภาคขยายความแตกต่าง

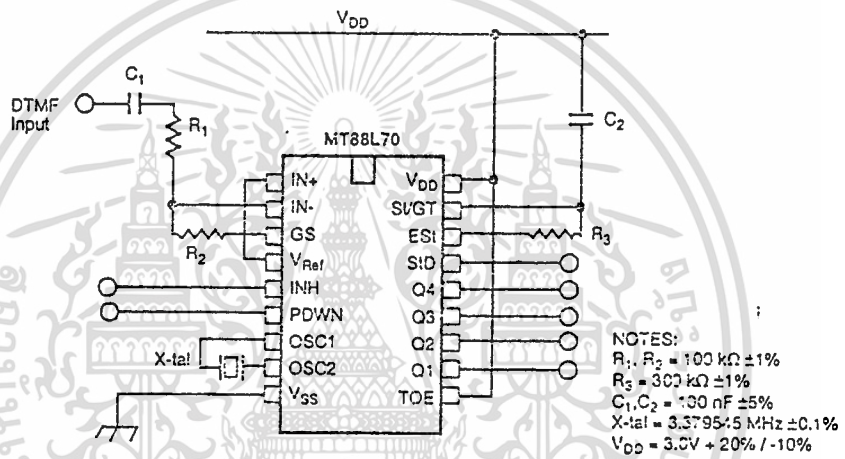
5. ภาคกำหนดความถี่ (OSCILLATOR) ในภาคขยายนี้ภายในไอซีมีวงจรเวลาอยู่ภายใน เพียงแต่ต่อ X-TAL ขนาด 3.58 MHz ก็สามารถใช้งานได้ทันที ลักษณะการต่อวงจร ดังแสดงในรูปที่ 25



รูปที่ 25 แสดงการต่อวงจรผลิตความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เฉพาะในวงจำกัดเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรใช้งาน MT8870

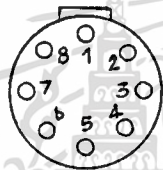


รูปที่ 26 แสดงวงจรใช้งานของ MT8870

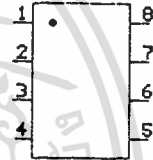
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IC 555 TIMER

ไอซี 555 เป็นไทม์เมอร์ไอซี ชนิดโมโนลิทิก (Monolithic Integrated Circuit) ซึ่งวงจรภายในเป็นวงจรไทม์มิงค์ ตัวไอซีเบอร์นี้บางทีอาจจะถูกเก็บบรรจุด้วยกระป๋องโลหะแบบ TO-99 มี 8 ขา หรืออาจจะเป็นแบบพลาสติกเกส (Plastic Case) แบบ DIP. (Dual Inline Package) มี 8 ขาหรือ 14 ขาก็ได้ ลักษณะภายนอกของไอซีเบอร์ 555 ที่มีขายในท้องตลาด แบบต่าง ๆ นี้แสดงได้ดังรูป

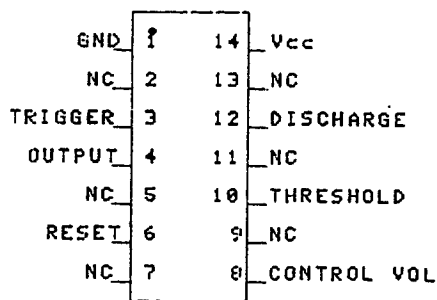


(ก) 8-Pin T package



(ข) 8-Pin V package

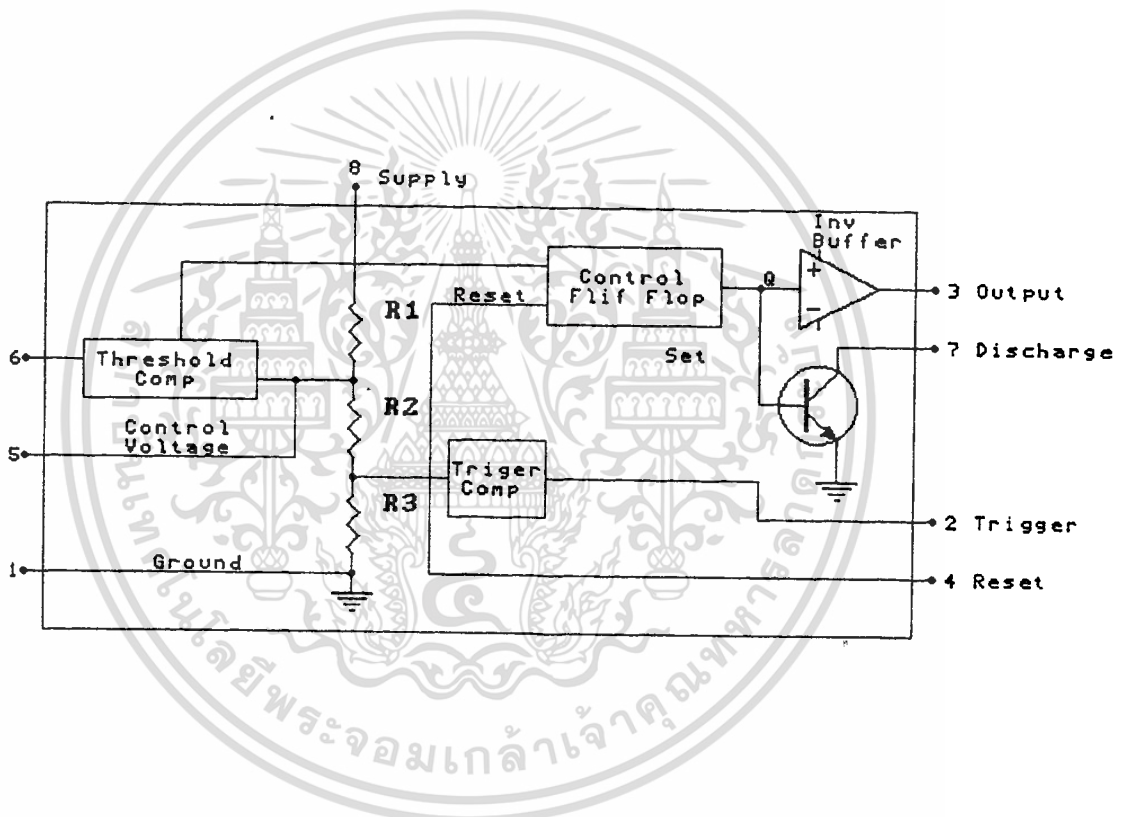
- | | |
|----------------|--------------|
| 1. GROUND | 2. TRIGGER |
| 3. OUTPUT | 4. RESET |
| 5. CONTROL VOL | 6. THRESHOLD |
| 7. DISCHARGE | 8. VCC |



(ค) 14-Pin Dual Inline F package

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 รูปที่ 27 แสดงลักษณะภายนอกของไอซีเบอร์ 555 ที่มีขายในท้องตลาดแบบต่าง ๆ

ลักษณะภายในของไอซีเบอร์ 555 ภายในไอซีเบอร์นี้ประกอบด้วยทรานซิสเตอร์กว่า 20 ตัว ตัวความต้านทานราว 15 ตัว ไดโอด 2 ตัว ทั้งนี้อาจเปลี่ยนแปลงได้แล้วแต่บริษัทผู้ผลิต วงจรเสมือนที่ใช้เปรียบเทียบของไอซีเบอร์นี้แสดงได้ดังรูปที่ 28 โดยแบ่งออกเป็นส่วนต่าง ๆ เช่น



รูปที่ 28 แสดงแผนผังส่วนต่าง ๆ ของไอซีเบอร์ 555

ส่วนที่ทำหน้าที่ควบคุม (Function Of Control) ส่วนทริกเกอร์ (Triggering) ส่วนตรวจจับระดับหรือส่วนจับสัญญาณ (Levelsensing Or Comparison) ส่วนคายประจุ (Discharge) และส่วนกำลังที่เอาต์พุต (Power output)

ลักษณะคุณสมบัติเฉพาะของไอซีเบอร์ 555

ลักษณะคุณสมบัติทางไฟฟ้าของไอซีเบอร์ 555 แสดงสรุปไว้ในตาราง ซึ่งค่าต่าง ๆ เหล่านี้เป็นค่าที่ใช้มากที่สุดในกรณีทั่วไป

ELECTRICAL CHARACTERISTICS ($T_a = 25\text{ C}$, $V_{cc} = +5\text{ to }+15\text{ V}$)

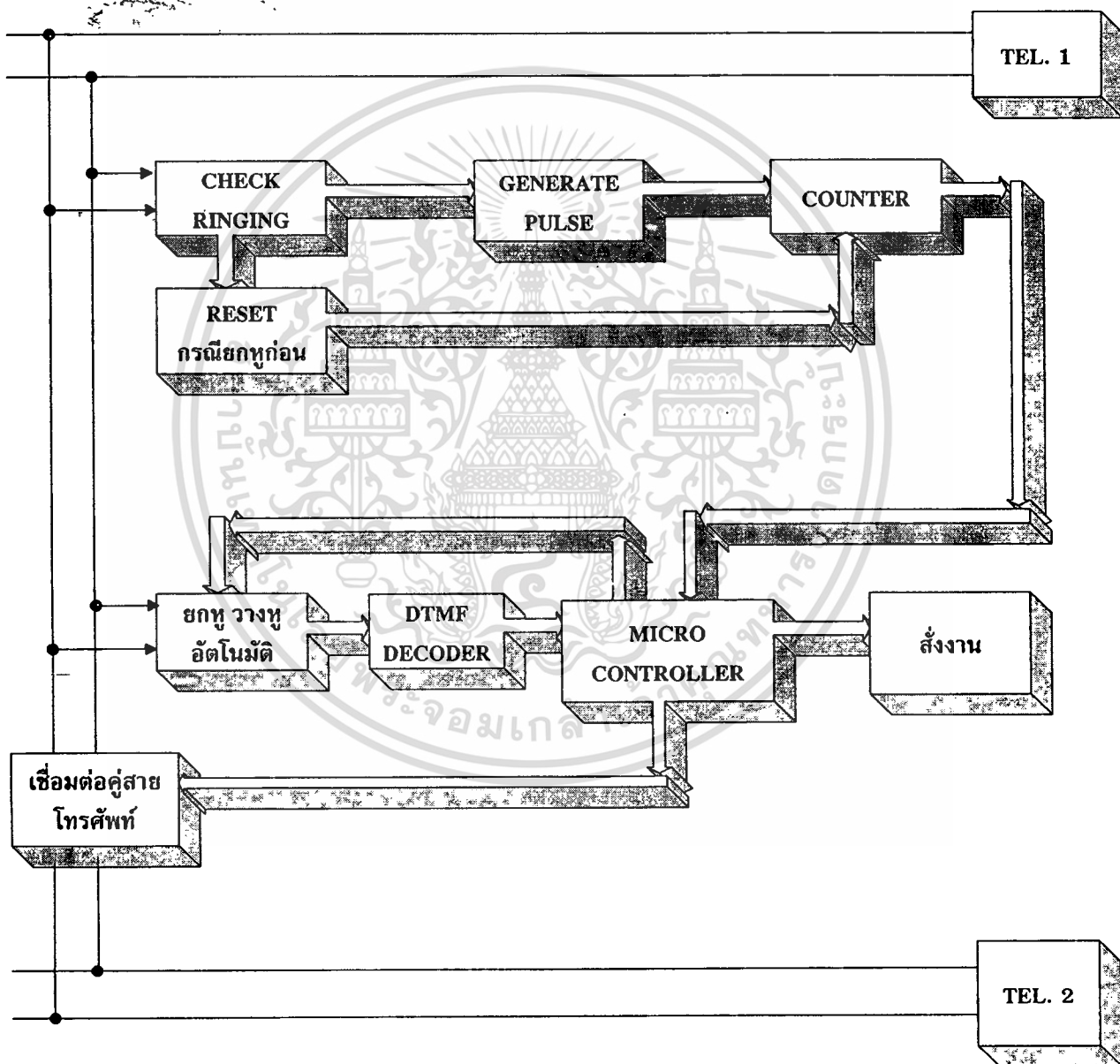
Parameter	Test Condition	SE 555			NE 555			UNIT
		MIN	TYPE	MAX	MIN	TYPE	MAX	
Supply voltage		4.5		18	4.5		16	V
Supply Current	$V_{cc} = 5\text{ V}$		3	6		3	6	mA
	$V_{cc} = 15\text{ V}$		10	12		10	15	mA
Timing Error								%
-Initial Accuracy			0.05	2		1		%
-Drift with Temperature			30	100		50		%
-Drift Supply Voltage			0.005	0.02		0.01		%/volt
Threshold Voltage	$V_{cc} = 15\text{ V}$		2/3			2/3		V_{cc}
Trigger Voltage	$V_{cc} = 5\text{ V}$	4.8	3	0.52	6			V
Trigger Current		1.45	1.67	1.9	1.67			V
Reset Voltage			0.5			0.5		uA
Reset Current	Note 3	0.4	0.7	1.0	0.4	0.7	1.0	V
Threshold Current	$V_{cc} = 15\text{ V}$		0.1			0.1		mA
Control Voltage level	$V_{cc} = 5\text{ V}$		0.1	0.25		0.1	0.25	uA
Output Voltage Drop, low	$V_{cc} = 5\text{ V}$	9.5	10	10.4	9.0	10	11	V
	$V_{cc} = 15\text{ V}$	2.9	3.33	3.8	2.0	3.33	0.25	V
	$I_{bias} = 10\text{ mA}$							
	$I_{bias} = 50\text{ mA}$		0.1	15		0.1	0.75	V
	$I_{bias} = 100\text{ mA}$		0.4	0.5		0.4	2.5	V
	$I_{bias} = 200\text{ mA}$		2.0	2.2		2.0		V
	$V_{cc} = 5\text{ V}$		2.5			2.5		
Output Voltage Drop, high	$I_{bias} = 8\text{ mA}$							
	$I_{bias} = 10\text{ mA}$		0.1	0.25				V
	$I_{source} = 200\text{ mA}$					0.25	0.25	V
	$V_{cc} = 15\text{ V}$					12.5		V
Rise Time of output	$I_{source} = 100\text{ mA}$		12.5					
	$V_{cc} = 15\text{ V}$							
Fall Time of output	$V_{cc} = 5\text{ V}$	13.0	13.3		12.75	13.3		V
		3.0	3.3		2.75	3.3		V
Rise Time of output			100			100		nsec
Fall Time of output			100			100		msec

เอกสารนี้เป็นเอกสารที่ตารางสรุปลักษณะคุณลักษณะทางไฟฟ้าของไอซีเบอร์ 555 นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบและการทำงาน

การออกแบบโครงงานนี้ สามารถเขียนเป็น Block Diagram และ สามารถอธิบายได้อย่างคร่าวๆดังต่อไปนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลง แก้ไข และต้องแจ้งถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของ Block Diagram

Check Ringing

ทำการตรวจจับสัญญาณ Ringing เมื่อมีการโทรเข้ามา ใช้หลักการเช็คแรงดัน คือขณะที่มีสัญญาณ Ringing เข้ามาจะมีแรงไฟสลับประมาณ 110 โวลต์ จะนำเอาแรงไฟนี้ไปใช้เช็คสัญญาณ Ringing

Generate Pulse

จะรับสัญญาณจากส่วน Check Ringing มา Trig ให้อุปกรณ์ Mono Stable Multivibrator ทำงาน จะได้ Output ออกมาเป็น Pulse ตามสัญญาณการ Trig

Counter

ส่วนของ Counter จะนับจำนวน Pulse ที่ส่วนของ Generate Pulse สร้างขึ้นมาให้ได้ ตามจำนวน Pulse ที่เข้ามา และเมื่อครบตามจำนวนที่กำหนดไว้ ก็จะส่งสัญญาณไปให้ Microcontroller รับรู้และเริ่มประมวลผล

Reset กรณียกหูก่อน

ส่วนนี้จะทำงานเมื่อมีการ ยกหูโทรศัพท์ ก่อนที่ สัญญาณ Ringing จะดังครบตามจำนวนที่กำหนดไว้ จะไป Reset วงจร Counter ให้ Clear ในส่วนที่นับไปแล้วเพื่อรอการเริ่มต้นนับใหม่

ยกหู/วางหู อัตโนมัติ

ในส่วนนี้จะใช้หลักการของ Impedance ของคู่สายโทรศัพท์ คือขณะที่มีการยกหู โทรศัพท์ นอกจากแรงไฟจะตกลงเหลือ ประมาณ 5-10 โวลต์แล้ว Impedance ของคู่สายจะมีค่าประมาณ 600 โอห์ม โดยจะใช้ Transformer Matching Impedance 600 โอห์ม มาทำการยกหู โทรศัพท์ และส่งผ่านสัญญาณไปเข้าวงจรอื่นๆต่อไป

Dtmf Decoder

เป็นส่วนที่ทำหน้าที่ Decode สัญญาณ DTMF จากการกดเลขบนแป้นโทรศัพท์ ให้เป็น เลข Binary Code Decimal เพื่อส่งต่อการประมวลผลของ Microcontroller หัวใจของส่วนนี้คือ IC ระบุว่า MT8870 ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Microcontroller

ใช้ Board Control ของ ETT รุ่น Z84C11 PLUS เป็นตัวประมวลผลสัญญาณ Binary Code Decimal ที่ได้จาก DTMF Decoder เพื่อให้ Output ตามที่ต้องการ

สั่งงาน

จะนำ Output จากการประมวลผลของ Microcontroller มาทำการ Trig Relay ให้ทำงาน และนำไปควบคุมการ ปิด-เปิด อุปกรณ์ไฟฟ้าภายในบ้าน

เชื่อมต่อคู่สายโทรศัพท์

นำเอา Output ที่ได้จาก Microcontroller ประมวลผลมาทำการควบคุมส่วนเชื่อมต่อคู่สาย โดยจะใช้ Transformer Matching Impedance Input 600 โอห์ม Output 600 โอห์ม เป็นส่วนส่งผ่านสัญญาณระหว่าง 2 คู่สาย



วงจรและการทำงาน

วงจร Check สัญญาณ Ringing Tone

จาก วงจร สามารถอธิบายได้คือ ในสภาวะสายว่างอยู่จะมีแรงดันประมาณ 48 โวลท์ ซึ่งจ่ายมาจากชุมสายโทรศัพท์ และถ้ามีผู้เรียกเข้ามา ทางชุมสายจะจ่ายสัญญาณกระดิ่งมาเป็นแรงดันประมาณ 100 Vp-p เป็นเวลา 2 วินาที หยุด 4 วินาที และถ้ามีการยกหูรับสายแล้ว แรงไฟ 48 โวลท์จะตกลงเหลือ ประมาณ 5-10 โวลท์

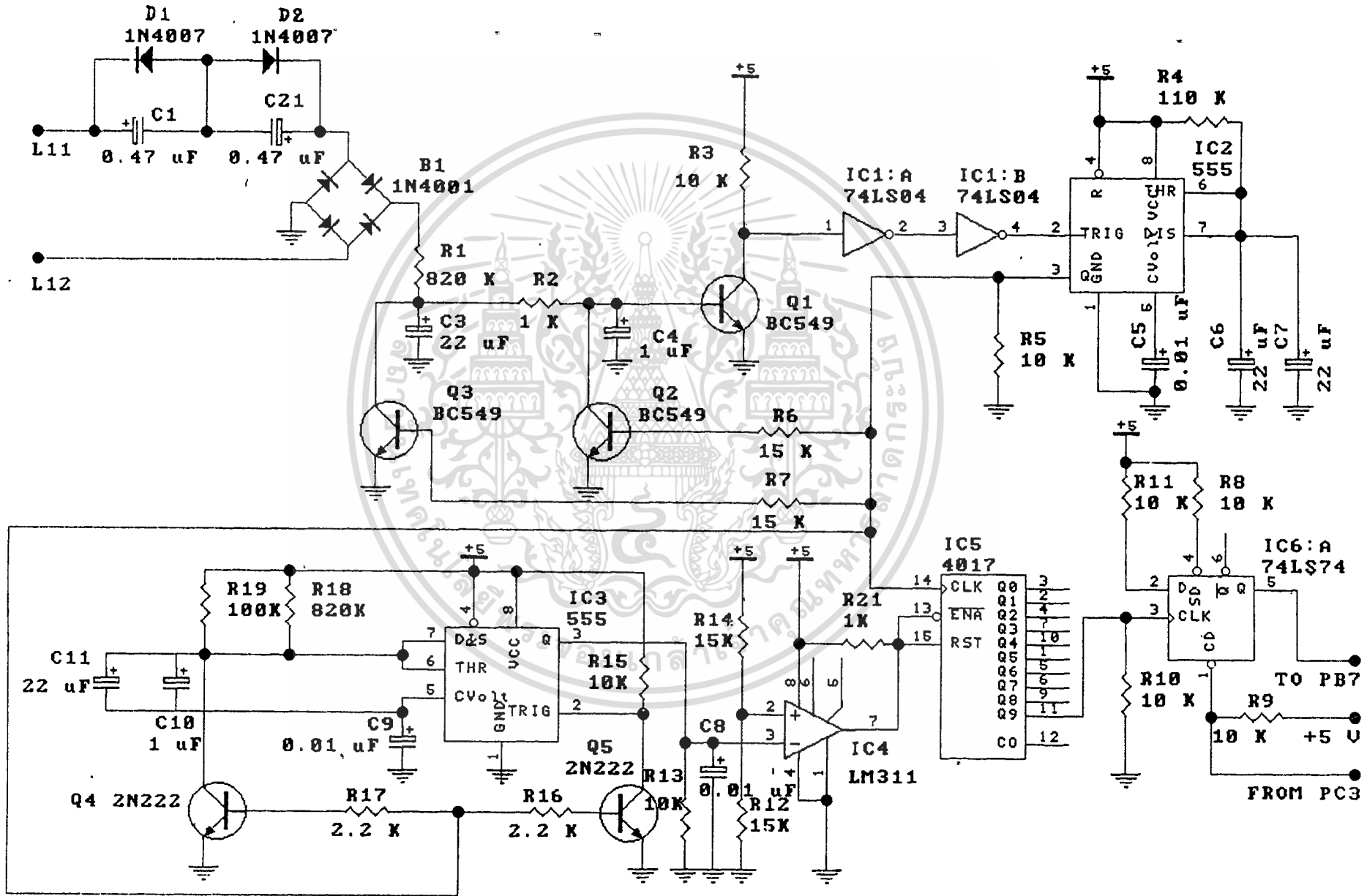
นำมาออกแบบวงจรตรวจจับสัญญาณกระดิ่ง โดยตัวตรวจจับกระดิ่งคือ Q1 ส่วน C1,C2 และ D1,D2 เป็นวงจรถ่ายทอดสัญญาณกระดิ่ง ให้ผ่านได้เฉพาะกระแสลบผ่าน เมื่อสัญญาณกระดิ่งผ่าน C1,C2 มาได้ก็จะถูก เรคตีฟาย โดย D3-D6 ซึ่งต่อเป็นวงจรบริดจ์ สัญญาณกระดิ่ง 16 Hz +100 V จะถูกแปลงเป็น 32Hz+100 V ผ่าน R1 ค่า 820 K ให้มีแรงดันที่เหมาะสม

C3,C4 และตัวต้านทาน R2 เป็นวงจร ฟิลเตอร์ เมื่อแรงดันที่เบส-อิมิตเตอร์ ของ Q1 เพิ่มขึ้นถึงระดับหนึ่ง Q1 จะทำงาน ได้อาร์พุทที่ขา คอลเลกเตอร์ เป็น อินพุทของ IC 555 ซึ่งต่อเป็น วงจร MONOSTABLE ผลิตพัลส์ ตามสัญญาณอินพุท สัญญาณพัลส์ที่ได้จากวงจร MONOSTABLE จะป้อนเป็นอินพุท CLOCK ให้กับวงจร COUNTER ซึ่งใช้ IC 4017 นับจำนวนพัลส์ที่ได้ให้ตามจำนวนที่ตั้งไว้ และพัลส์ส่วนหนึ่งจะถูก FEEDBACK ไปให้ Q2,Q3 ทำงาน เพื่อให้สถานะที่ขาเบสของ Q1 เป็นศูนย์ เพื่อรอรับสัญญาณครั้งต่อไป

กรณีมีการรับสายก่อน จะมีวงจร RESET คือ IC1 555 MONOSTABLE มาเข้าวงจร MONOSTABLE แบบรับการกระตุ้นซ้ำ ซึ่งมี IC3,Q4,Q5,R16,R17 ซึ่งสัญญาณนี้ต้องมีช่วงเวลาประมาณ 4 วินาที เพื่อมีเวลาพอรับกระดิ่งครั้งต่อไป ซึ่งช่วงเวลานี้ถูกกำหนดโดย R18,R19,C10,C11 อาร์พุทจะผ่าน IC4 ซึ่งเป็น OP-AMP COMPARATOR เพื่อนำไปรีเซ็ต IC5

จาก IC5 เมื่อนับจำนวนครบแล้วจะให้อาร์พุทผ่าน IC 7474 เพื่อให้สถานะเป็น "1" เป็น อินพุทให้ไมโครคอนโทรลเลอร์

31/11 30 CHECK RINGING TONE

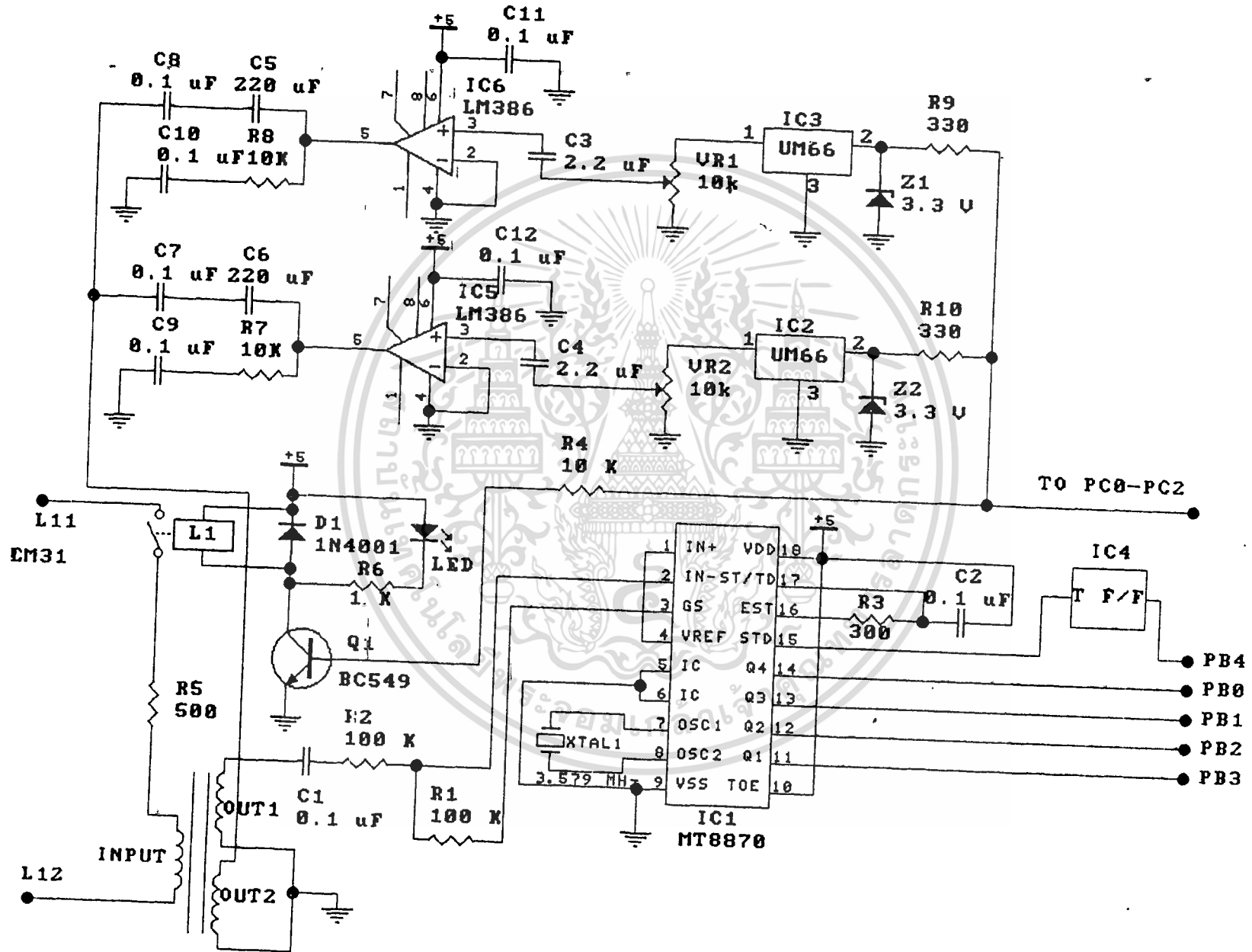


วงจร DTMF DECODER และเสียงดนตรี

ในวงจรส่วนนี้ ไมโครคอนโทรลเลอร์จะทำการยกหูอัตโนมัติโดยให้เอาต์พุตออกมาที่ ขาเบส ของ Q1 ทำงานเพื่อให้ รีเลย์ต่อขด Primary ของ Transformer Matching Impedance 600 โอห์ม

ขณะนี้คู่สายโทรศัพท์ได้ต่อเข้ากับวงจร DTMF Decoder โดยผ่านทางขด Secondary ของ Transformer Matching ที่ใช้ MT8870 ซึ่งจะได้เอาต์พุตเป็น Binary Code Decimal ตามหมายเลขที่กดผ่านเครื่องโทรศัพท์ เอาต์พุตของ MT8870 คือ STD,Q1,Q2,Q3,Q4 จะเป็นอินพุตให้ไมโครคอนโทรลเลอร์ ในส่วนของ Q1,Q2,Q3,Q4 คือ Binary Code Decimal ส่วน STD จะแสดงผลเป็น “1” ทุกครั้งที่ IC MT8870 รับรู้ว่าการรับความถี่จากการกดเลขหมายเข้ามา พร้อมกับแสดงสถานะ Output Binary Code Decimal ซึ่ง Output ที่ได้ จากการกดเลขหมายบน เป็น โทรศัพท์ จะแสดงดังตารางที่ 5

ในขณะเดียวกันที่วงจรกำเนิดสัญญาณเสียง ก็จะได้รับ Output จาก Microcontroller ทำให้วงจรทำงาน ซึ่งใช้ IC UM66 เป็นตัวกำเนิดเสียง รับแรงไฟจาก Output ของ Microcontroller มาเข้า ที่ Zener Diode 3.3 V. ให้แรงไฟคงที่ แล้วที่ขา 2 ซึ่งเป็น Input ของ UM66 และ Output จะออกที่ขา 1 จะเป็นเสียงดนตรี แล้วผ่านไปเข้า IC LM386 ซึ่งเป็น OP-AMP ทำหน้าที่ขยายสัญญาณเสียงดนตรีให้มีความแรงพอได้ยิน แล้วส่งผ่าน Capacitor Coupling สัญญาณผ่านทาง Transformer เป็นเสียงตอบรับให้ผู้เรียกรับรู้ว่าการยกหูแล้ว พร้อมทั้งจะกดรหัสต่างๆต่อไปได้



วงจรเช็คสัญญาณ DIAL TONE และ BUSY TONE

วงจรส่วนนี้จะต่ออยู่กับคู่สายที่ จะไปเชื่อมต่อ เพื่อทำการเช็คว่า มีการใช้คู่สายนั้นอยู่ไม่ ก่อนที่จะทำการเชื่อมต่อทุกครั้งที่ต้องการ

ส่วนนี้เราใช้ IC # 555 สร้างเป็นออสซิลเลเตอร์ กำเนิดสัญญาณที่มีความถี่ 400 HZ โดย ความถี่ของสัญญาณคำนวณจาก

$$\begin{aligned} f &= 1.44 / [R1 + 2R2] * C \\ &= 1.44 / [1k + [2 * 3.3 k] * 0.47 \mu f \\ &= 403 \text{ HZ} \end{aligned}$$

สัญญาณ 400 HZ เรานำมาใช้ทำสัญญาณ carrier

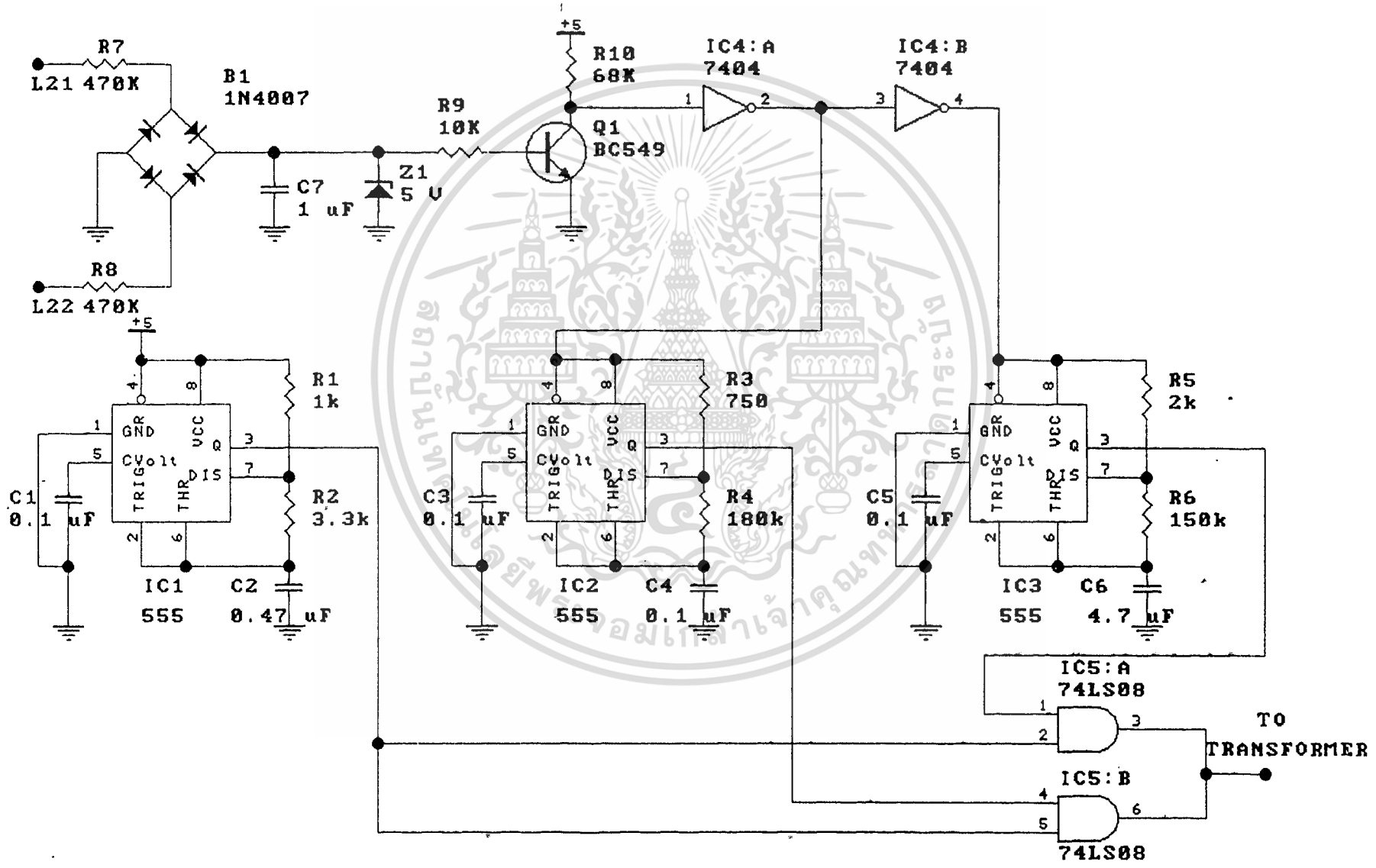
- Busy tone (สัญญาณไม่ว่าง) เราสร้างได้จากการนำเอาสัญญาณ 400 HZ มามอดดูเลต กับ 2 HZ ซึ่งได้จากวงจร ออสเตเบิ้ลมัลติไวเบเตอร์จาก IC # 555 ซึ่งสามารถคำนวณคาบเวลาได้ดังนี้

$$\begin{aligned} t1 &= 0.693 [Ra + Rb] * C \\ t2 &= 0.693 [Rb] * C \end{aligned}$$

- Dial tone (สัญญาณให้หมุน) เราสร้างได้จากการนำเอาสัญญาณ 400 HZ มามอดดูเลต กับ 80 HZ ซึ่งได้จากวงจรออสเตเบิ้ลมัลติไวเบเตอร์จาก IC # 555 ซึ่งสามารถคำนวณคาบเวลาได้ดังนี้

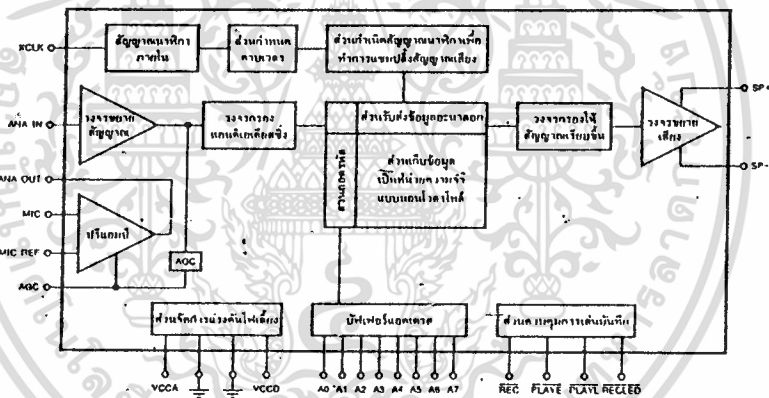
$$\begin{aligned} t1 &= 0.693 [Ra + Rb] * C \\ t2 &= 0.693 [Rb] * C \end{aligned}$$

3 1/2" 32 CHECK DIAL TONE AND BUSY TONE



วงจรบันทึกเสียง

เมื่อพูดถึงไอซีบันทึกเสียงในตระกูล ISD คิดว่า ISD1420 น่าจะเหมาะสมที่สุด เพราะมีคุณสมบัติหลายอย่างดีและมีวงจรควบคุมการทำงานที่แน่นอนและมีส่วนควบคุมให้กลับสู่โหมดสแตนด์บายหรือปิดตัวเองโดยอัตโนมัติเมื่อไม่มีการบันทึกเสียงหรือเล่นกลับเพื่อประหยัดพลังงานแบตเตอรี่และต้องการอุปกรณ์ต่อร่วนน้อยมาก



รูปที่ 33 บล็อกไดอะแกรมภายในของไอซี ISD 1420

จากรูปที่ 32 เป็นบล็อกไดอะแกรมการทำงานภายในของ ISD 1420 จะเห็นว่า ส่วนประกอบภายในว่ามีสามารถบันทึกสัญญาณเสียงไปเก็บไว้ได้ โดยสัญญาณอนาล็อกที่ทำการบันทึกจะถูกนำไปเก็บไว้ในหน่วยความจำขนาดความจุ 128000 เซล การบันทึกไม่ได้ใช้หลักการแปลงสัญญาณอนาล็อกไปดิจิทัล และ ดิจิทัลไปอนาล็อก แต่สามารถบันทึกสัญญาณอนาล็อกเข้าไปเก็บไว้ได้โดยตรงโดยที่สัญญาณจะถูกเก็บไว้ในรูปของแรงดันระดับต่าง ๆ ภายในเซลล์เข้าที่พูดสามารถที่จะขับออกสู่ลำโพงขนาดเล็กได้โดยตรง หรือต่อเข้าสัญญาณขยายสัญญาณภายนอกก็ได้

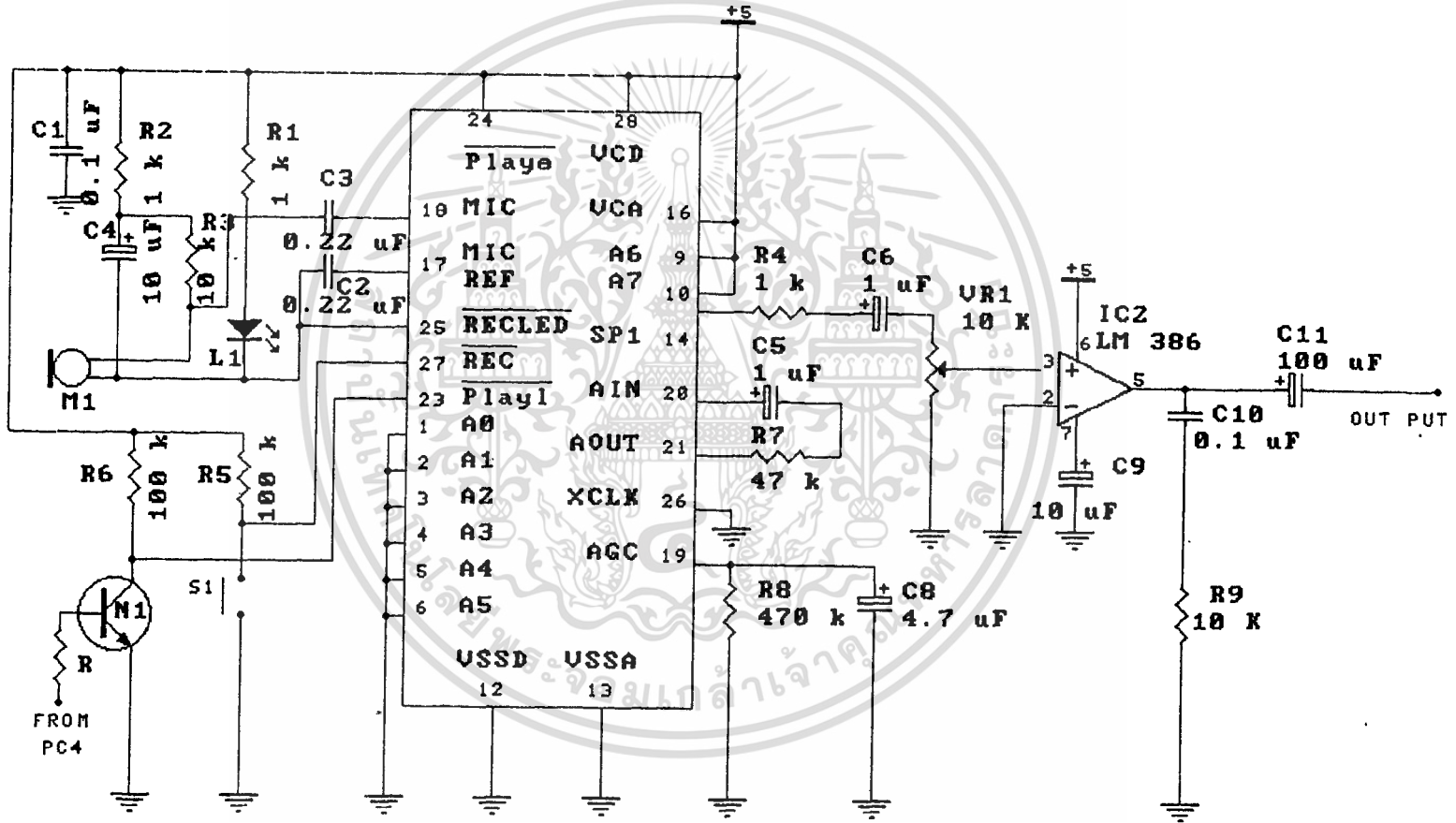
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงาน

วงจรสมรรถนะของส่วนบรรทีกเสียงไร้เส้นเทปแสดงคังรูปที่ 33

เมื่อมีไฟเข้ามาที่ IC1 ก็พร้อมที่จะรับข้อมูลเพื่อที่จะทำการบันทึก โดยเมื่อสวิทช์ S2 ถูกกดให้ต่อวงจรทำให้ขาที่ควบคุมการบันทึก REC มีสถานะเป็น 0 ในขณะนี้จะเกิดการบันทึกเสียงเข้าไปใน IC1 โดยมีคอนเดนเซอร์ไมโครโฟน MIC1 ทำหน้าที่รับสัญญาณเสียงและ R2 , R3 เป็นตัวจัดไบอัสให้กับไมค์ สัญญาณจะถูกคัปปลิ่งผ่าน C3 มาเข้าที่ขา 18 เพื่อทำการขยายสัญญาณให้แรงขึ้น สัญญาณผ่านการขยายโดยวงจรปรีแอมป์จะออกมาทางขา 21 ซึ่งเป็นสัญญาณอานาลอกเอาทพุท และคัปปลิ่งผ่าน R7 และ C7 เข้าขา 20ซึ่งเป็นวงจรขยายสัญญาณภายใน IC เช่นกัน สัญญาณที่ถูกขยายจะถูกบันทึกไว้ในหน่วยความจำภายในไอซีที่ขา 25 (RECLD) เป็นขาขั้วชุดแสดงสถานะขณะทำการบันทึกซึ่งแสดงผลโดย LED1 ที่ขา 19 มีตัวต้านทาน R8 และ C8 จัดเป็นวงจรรักษาระดับสัญญาณการบันทึกให้คงที่หรือ AGC เพื่อให้สัญญาณการบันทึกมีความเหมาะสมเมื่อเล่นกลับ สัญญาณจะได้ไม่ผิดเพี้ยน

เมื่อทำการบันทึกจนครบเวลาที่กำหนดไว้คือ 20 วินาที วงจรบันทึกจะหยุดการทำงานทันทีหากต้องการเล่นกลับก็ต้องควบคุมที่ขา 23 PLAY ด้วยระดับลอจิก 0 โดยการ S1 กระบวนการเล่นกลับก็จะทำงานขึ้นที่ในตัวไอซี และให้สัญญาณเอาทพุทออกมาที่ขา 14 ถึงแม้ว่าเอาทพุทนี้จะสามารถขับลำโพงเล็กๆได้โดยตรง แต่ความดังของเสียงจะค่อยๆไป ดังนั้นจึงเพิ่มการขยายเสียงเข้าไปอีก โดยสัญญาณจะถูกคัปปลิ่งผ่าน R6 และ C6 มาเข้าที่โวลุ่ม VR1 สัญญาณจะถูกส่งเข้าสู่ขา 3 ของ IC2 เบอร์ LM 386 ซึ่งเป็นไอซีขยายเสียงที่รู้จักกันดีสัญญาณที่ถูกขยายแล้วจะถูกออกมาทางขา 5 ของ IC2 ผ่าน C11 ขั้วออกสู่ลำโพง SPK1 โดยมี C10 และ R9 ทำหน้าที่ชดเชยวงจรย่านความถี่สูงและป้องกันการออสซิลเลตทางเอาทพุทของวงจรขยาย



วงจรควบคุม LOAD A.C

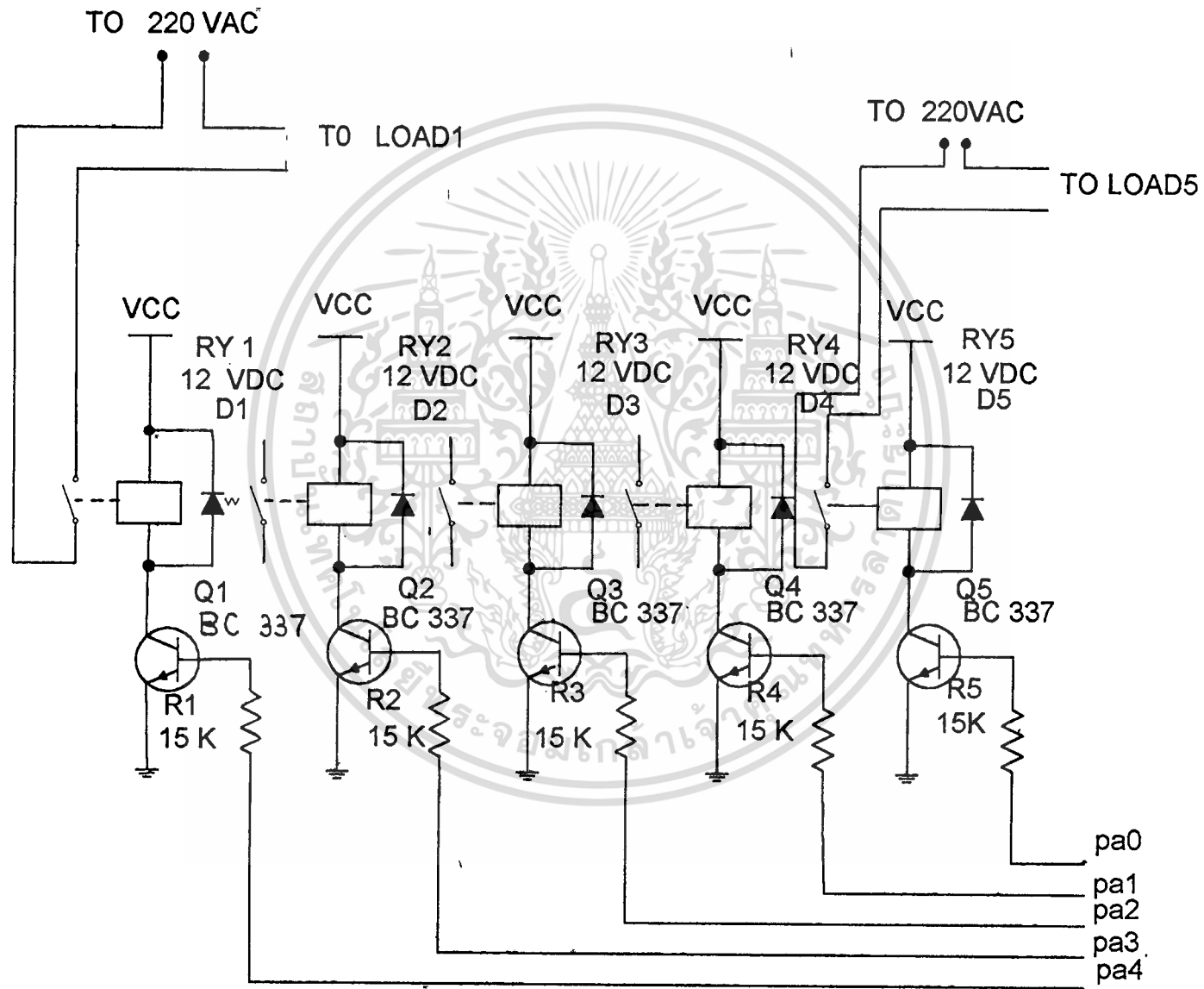
วงจรควบคุม LOAD จะรับ Output จากการครัทส์ เปิด-ปิด อุปกรณ์ ไฟฟ้า จาก Microcontroller ซึ่งจะให้ Output เป็น “HI” เมื่อครัทส์ เปิด และ Output เป็น “LOW” เมื่อครัทส์ ปิด

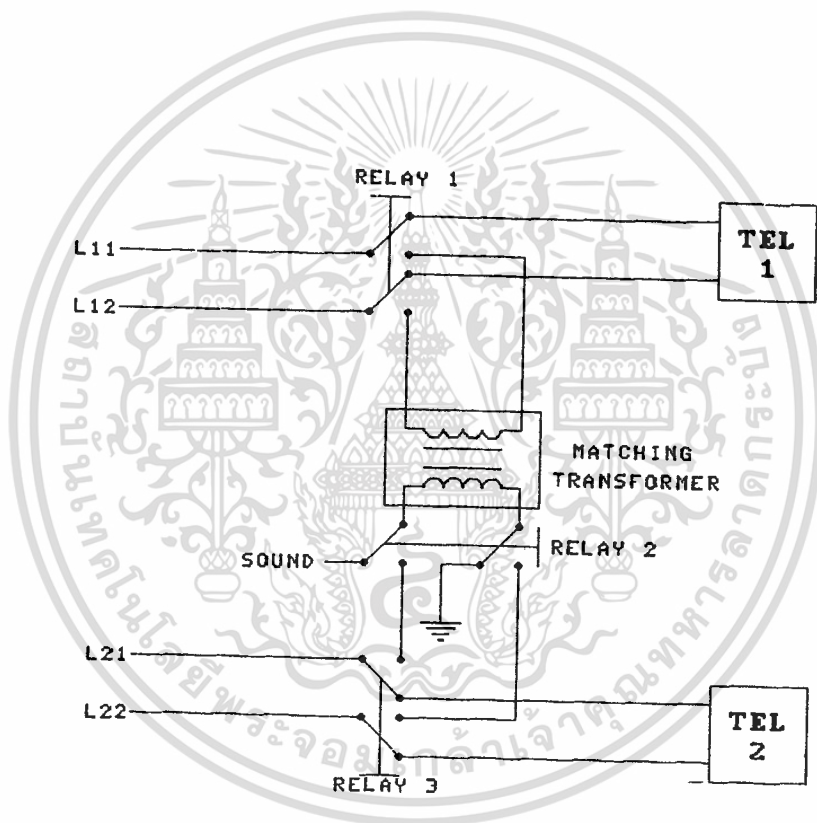
เช่น ถ้าครัทส์ เปิด จะ Output เป็น “HI” ซึ่งเป็นแรงไฟ 5 โวลท์ ไป Trig ที่ขา Base ของ Transistor Q1-Q5 ทำให้ Transistor ทำงาน นำกระแสให้ไหลผ่าน ขดลวด RY1-RY5 ทำให้ Normal Open Contract ของ RY1-RY5 เป็น Close ซึ่งจะทำให้ ไฟ A.C ไหลครบวงจร ทำให้ อุปกรณ์ไฟฟ้าทำงาน

ถ้าครัทส์ ปิด จะมี Output เป็น “LOW” มาที่ขา Base ของ Q1-Q5 ทำให้ Transistor Cut Off ไม่นำกระแส ทำให้ไม่มีกระแสไหลผ่านขดลวด RY1-RY5 อุปกรณ์ไฟฟ้าที่ต่ออยู่จะไม่ครบวงจรและไม่ทำงาน ซึ่งจะเสมือน ปิดอุปกรณ์ไฟฟ้า

วงจรเชื่อมต่อกู่สายโทรศัพท์

วงจรส่วนเชื่อมต่อกู่สายนี้จะอาศัยหลักการ Impedance ของกู่สายขณะยกหู คือประมาณ 600 โอห์ม โดยใช้ Transformer Matching Impedance 600 โอห์ม เป็นตัวทำให้องค์การโทรศัพท์ รับรู้ว่ามีกรยกหูโทรศัพท์ ทั้งสองกู่สาย ซึ่งจะเสมือนกับเชื่อมกู่สายทั้งสองด้วยกัน ทำให้สามารถ หมุน หมายเลขที่ต้องการ ผ่านทางกู่สายที่ 2 ได้





รูปที่ 36 วงเชื่อมต่อคู่สาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

สรุปและวิจารณ์

สรุปการออกแบบเครื่องเชื่อมสายและสั่งงานโทรศัพท์อัตโนมัติ ซึ่งโครงการนี้สามารถแบ่งการทำงานออกได้เป็นสองส่วนใหญ่ๆ คือ

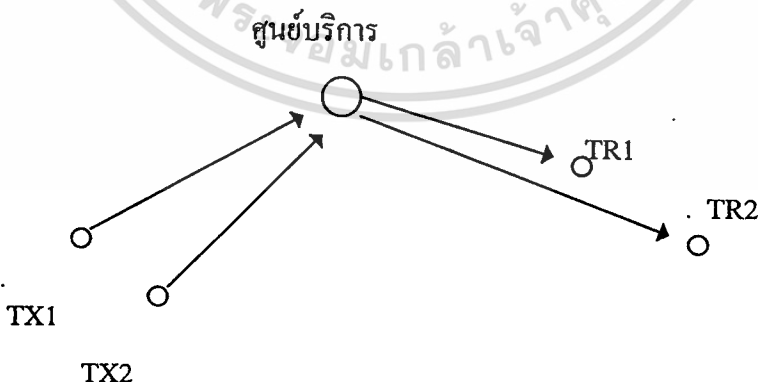
1. ส่วนสั่งงานโหนดอัตโนมัติ
2. ส่วนเชื่อมสาย (โทรออกซ้ำซ้อน 2 เลขหมาย)

1. ส่วนสั่งงานโหนด

ท่านสามารถสั่งงานอุปกรณ์ไฟฟ้าต่างๆ ได้ถึง 5 อุปกรณ์ โดยทำการโทรศัพท์ไปที่โทรศัพท์ที่ โครงการนี้เชื่อมต่ออยู่ หลังจากนั้นสามารถทำการ เปิด/ปิด อุปกรณ์ทางไฟฟ้าได้โดยกดรหัสตามที่กำหนดไว้แล้ว ซึ่งหลังจากที่อุปกรณ์ไฟฟ้า เปิด หรือ ปิด ตามที่กดรหัสมาแล้ว จะมีสัญญาณตอบรับกลับไปยังผู้สั่งงานเสมอเพื่อบอกให้รู้ว่าโครงการได้ปฏิบัติตามแล้ว ส่วน รหัสการสั่งงานต่างๆ ดูจากลำดับขั้นการสั่งงาน

2. ส่วนเชื่อมสาย

โครงการนี้ส่วนเชื่อมสายได้นำเอาหลักการ pin phone 108 ขององค์การโทรศัพท์มาประยุกต์ใช้ในโครงการ

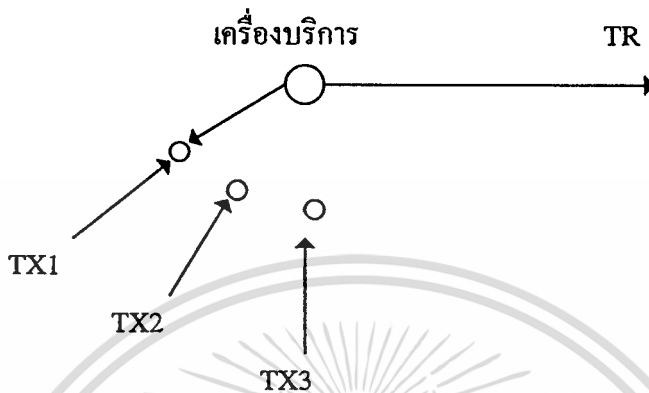


รูปที่ 37 แสดงหลักการของ pin phone 108

หลักการของ pin phone จะเห็นว่าทุกครั้งที่โทรออกจะต้องผ่านศูนย์บริการทุกครั้ง โดยผู้ใช้แต่ละท่านจะต้องมีรหัสประจำตัว ในปัจจุบันมีบริการเฉพาะกรุงเทพและปริมณฑลเท่านั้น

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำมาประยุกต์ใช้กับโครงการ



รูปที่ 38 แสดงหลักการของโครงการ

จากรูปเครื่องบริการจะต้องใช้คู่สายทั้งสองสายทั้งหมด 2 คู่สายด้วยกันและการโทรแต่ละครั้งจะโทรได้ครั้งละ 1 เลขหมายเท่านั้น เช่น TX1 โทรไปยังเครื่องบริการ เพื่อต้องการติดต่อกับ TR และขณะเดียวกัน TX2 ก็ต้องการโทรเข้าเครื่องบริการเพื่อต้องการติดต่อกับ TR หรือที่อื่นๆจะไม่สามารถทำได้ต้องรอให้ TX1 เลิกติดต่อกับ TR ก่อน เพื่อให้คู่สายที่ต่อกับเครื่องบริการว่าง TX2 จึงจะสามารถโทรเข้าไปยังเครื่องบริการเพื่อจะติดต่อกับที่อื่นได้ ซึ่งส่วนนี้จะเหมาะกับระบบชุมสายภายในองค์กร, องค์กรหรือบริษัทเพราะจะมีคู่สายที่สามารถติดต่อกับองค์กรโทรศัพท์ได้โดยตรงน้อยคู่สาย

ปัญหาของโครงการ

ตลอดระยะเวลาการทำโครงการนี้ปัญหาส่วนใหญ่ที่พบคือ ระบบสัญญาณต่างๆที่มาจากองค์กรโทรศัพท์ คือ ถ้าสัญญาณต่างๆมาจากองค์กรโทรศัพท์โดยตรง จะมีระดับแรงดันของสัญญาณไม่เท่ากับระดับแรงดันที่ผ่านระบบชุมสายย่อยหรือ PABX ซึ่งสัญญาณที่ผ่านระบบชุมสายย่อยอาจจะไม่ได้มาตรฐานเหมือนที่มาจากองค์กรโทรศัพท์ ซึ่งในส่วนนี้อาจจะทำให้วงจรผิดเพี้ยนหรือประมวลผลผิดเพี้ยนแล้วไปทำให้ส่วนอื่นๆที่ประกอบเข้าด้วยกันผิดเพี้ยนไปด้วย

โครงการนี้จะต้องนำไปใช้กับชุมสายโทรศัพท์ระบบ TONE เพราะจะเอา TONE นี้ไปเป็น Input ให้วงจร Tone Decoder ถอดรหัสเป็น Binary Code Decimal ปัญหาในส่วนนี้คือ ตัว Decode จะ Decode ไม่ออกหรืออาจจะเป็นที่สัญญาณเบาไปไม่สามารถ Decode ได้ เพราะในโครงการนี้จะใช้ Transformer Matching เป็นตัว Clupling สัญญาณผ่าน ไปเข้า Tone Decoder และส่วนเชื่อมต่อคู่สาย ซึ่งจะต้องใช้ Transformer 600 โอห์ม 1 input และ output 600 โอห์ม 2 ขด

ในขณะที่ใช้ขด output 2 ขด พร้อมกันคือ ในช่วงที่เชื่อมต่อคู่สาย จะทำให้ สัญญาณ Tone จะส่งผ่านมาทางขดนี้มาก ทำให้สัญญาณที่ผ่านไปทาง Tone Decoder มีค่าน้อย ซึ่ง จะทำให้ไม่สามารถ Decode ได้ทำให้เกิดแนวคิดที่จะเชื่อมต่อคู่สายโดยใช้การต่อโดยตรง เพราะจะ ทำให้หมดปัญหาการ Decode สัญญาณ Tone ไม่ได้ แต่จะมีปัญหาตรงที่ขั้วของคู่สายโทรศัพท์จะมี บวก และ ลบซึ่งทางชุมสายอาจจะสลับเมื่อใดก็ได้ ถ้าเชื่อมต่อผิดขั้วจะทำให้เกิดการ ลัดวงจร ทำให้ ฟิวส์ขาดได้ซึ่งจะทำให้เกิดการเสียหายได้ และ ถ้านำโครงการนี้ไปใช้กับโทรศัพท์ระบบ พัลส์ จะเกิดปัญหาขึ้นมากมายถึงแม้จะใช้ ไมโครโปรเซสเซอร์เป็นหน่วยประมวลผลก็ตาม

ส่วนในเรื่องของ soft ware ต้องใช้เวลาในการศึกษาค้นคว้าและปรึกษากับผู้มี ประสบการณ์นานพอสมควรและต้องทำการแก้ไขซ้ำแล้วซ้ำอีก และในขณะที่นำมาลองประกอบ กับ hard ware ก็ได้เกิดปัญหาของระดับสัญญาณไม่ได้มาตรฐาน ไม่พอประมวลผลหรือขับ load มากเกินไป กว่าจะได้ผลตามที่ต้องการ ทุกประการ ก็ต้องใช้เวลาในการแก้ไขและการแก้ไขหลาย ครั้งด้วยกัน

แนวทางในการพัฒนาของโครงการ

สามารถประยุกต์ใช้ CPU Z84C11 PLUS โดยเพิ่มเติมในส่วนของ hard ware และ soft ware เพื่อเพิ่มคู่สายในการเชื่อมต่อให้มากกว่า 1 คู่สายขึ้นไป หรือเพิ่มการสั่งงานให้มากขึ้น หรือจะเพิ่มส่วนแสดงผลเป็น LCD หรือสามารถสั่งงานผ่าน Keyboard ที่สามารถเพิ่มเข้าไปที่ ตัว Hard Ware หรืออาจจะเพิ่มในส่วนการส่งสัญญาณผ่านไปกับ Line A.C ภายในบ้านได้

บรรณานุกรม

1. ร.ศ ยืน ภู่วรรณ และ วัฒนา เชียงสกุล , ไมโครโปรเซสเซอร์ไมโครคอมพิวเตอร์ ภาควิชา วิศวกรรมไฟฟ้า ม.เกษตรศาสตร์ , บริษัท ซีเอ็ดยูเคชั่น
2. เสกสิทธิ์ คำชมภู , รวบรวมโครงการอิเล็กทรอนิกส์โทรศัพท์และอินเตอร์คอม , บริษัท ซีเอ็ดยูเคชั่น , พิมพ์ครั้งที่ 1 , 2539
3. หนังสือ คู่มือ/เทียบเบอร์ ไอซี TTL บริษัท ซีเอ็ดยูเคชั่น จำกัด , พิมพ์ครั้งที่ 4 2529
4. หนังสือ บันทึก 380 วงจร ไอซี รวบรวมวงจร TTL , CMOS , ลิเนียร์
5. บัณฑิต จามรภูติ “คู่มือการใช้โปรแกรม ORCAD/SDT & PROTEL” บริษัท ซีเอ็ดยูเคชั่น จำกัด
6. ZILOG INTELLIGENT PERIPHERAL CONTROLLERS
7. อรรถสิทธิ์ เหล่าสกุล “ไมโครโปรเซสเซอร์พื้นฐาน” ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์ พระจอมเกล้าลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับขั้นการใช้งาน “เครื่องเชื่อมต่อสายและสั่งงานทางโทรศัพท์”

- ยกหู T1 อัตโนมัติ (เมื่อมีเสียง Ringing ตามที่ SET เอาไว้) พร้อมกับได้ยินเสียงคนตรีตอบรับการยกหู (ดัง 5 วินาที)
- กด PASS WORD (***) ถ้า T1 ยกหูแล้วไม่มีการใส่ PASS WORD หรือใส่ PASS WORD ผิด เครื่องจะทำการวางหูอัตโนมัติ

1. การสั่งงานทางโทรศัพท์ที่อัตโนมัติ

- ตารางการสั่งงานโหลด

อุปกรณ์	รหัสเปิด	รหัสปิด
1	# 11	# 01
2	#12	#02
3	#13	#03
4	#14	#04
5	#15	#05

หมายเหตุ

ทุกครั้งที่สั่งงานปิดหรือเปิดโหลดจะได้ยินเสียงตอบรับว่า “รหัสถูกต้อง โปรดกดรหัสต่อไป”

2. การเชื่อมสัญญาณ 2 คู่สายโทรศัพท์เข้าด้วยกัน

- กดรหัส #26 เช็คว่าสายที่ 2 ว่ามีการใช้งานอยู่หรือไม่
 - * Dial tone แสดงว่าไม่มีการใช้งานอยู่ เชื่อมสัญญาณได้
 - * Busy tone แสดงว่ามีผู้ใช้คู่สายไม่สามารถเชื่อมสัญญาณได้

- รหัสสัญญาณ #27

- ถ้าเชื่อมสัญญาณเรียบร้อยแล้วจะได้ยินเสียงสัญญาณ Dial Tone จากการยกหูอีกคู่สาย อีกครั้ง จากนั้นก็กดหมายเลขที่ต้องการ จะติดต่อตามปกติ

- การยกเลิกการเชื่อมสัญญาณกด #28 ; วางหู T2 อัตโนมัติ

- การยกเลิกการติดต่อกับเครื่อง ### ; วางหู T1 อัตโนมัติ

3. กรณีมีคนรับสาย Ta สามารถใช้ปุ่ม Manual ให้เครื่องทำงานได้โดยไม่ต้องเช็คสัญญาณ Ringing

4. กรณีต้องการโทรออกซ้ำหลายครั้ง (ในข้อ 2)

- กด #27 เมื่อต้องการเชื่อมสัญญาณ พร้อมติดต่อกับอีกหมายเลข

- กด #28 เมื่อเลิกการเชื่อมสาย วางหู T2 อัตโนมัติ

- ถ้าต้องการโทรซ้ำให้กด #27 ใหม่ เครื่องจะเริ่มต้นเชื่อมสัญญาณใหม่ ให้โทรออกได้

อีก

ข้อควรระวัง

1. ทุกครั้งที่เชื่อมสัญญาณ T1 เข้ากับ T2 โดยมารยาทควรจะเช็คสัญญาณ T2 ก่อนว่ามีการใช้งานอยู่ไม่ (#26)

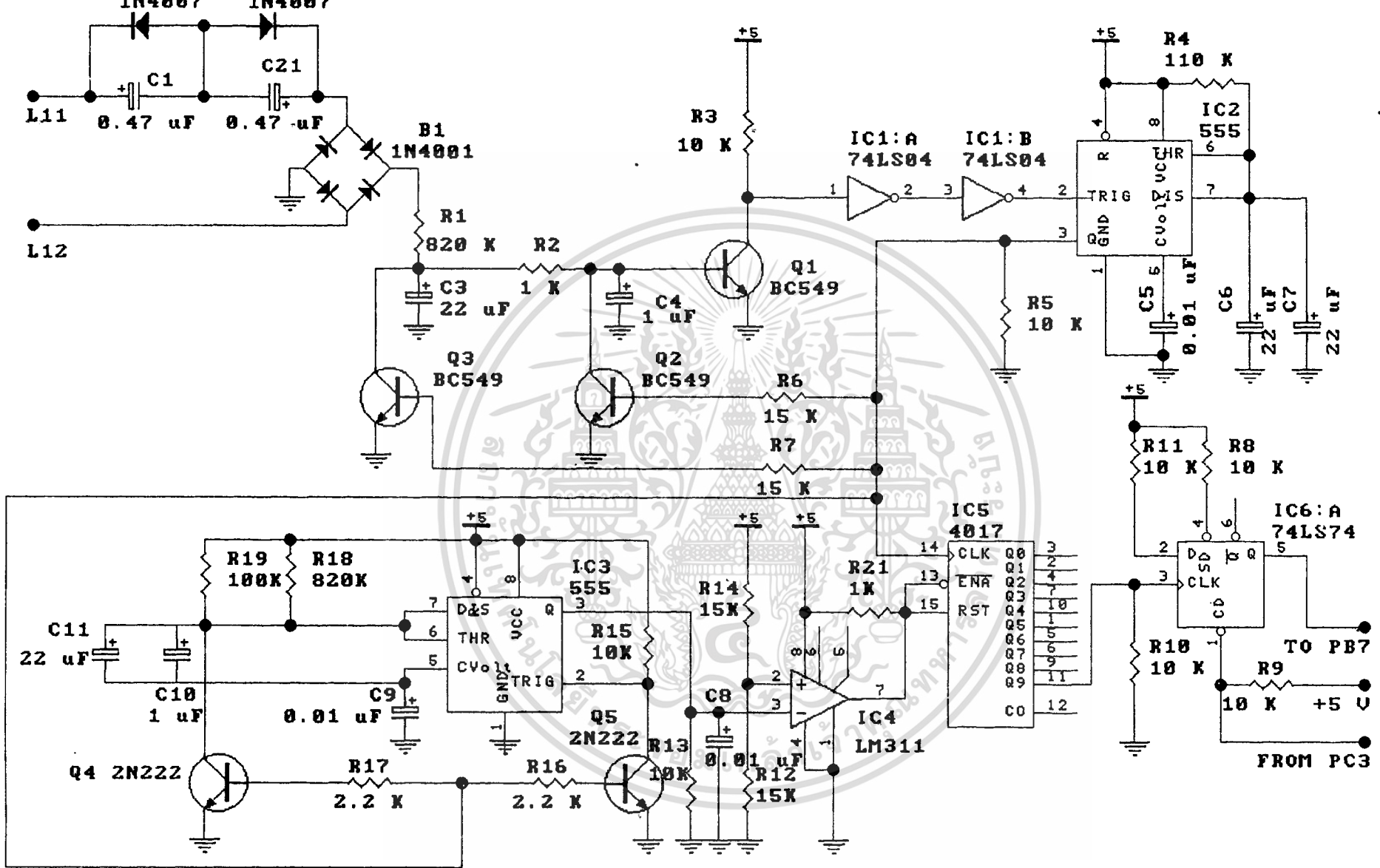
2. กรณีเชื่อมสัญญาณ T1 เข้ากับ T2 จะต้องกดรหัสวางหู T2 (#28) ก่อนกดรหัสวางหู T1 (###) เสมอ



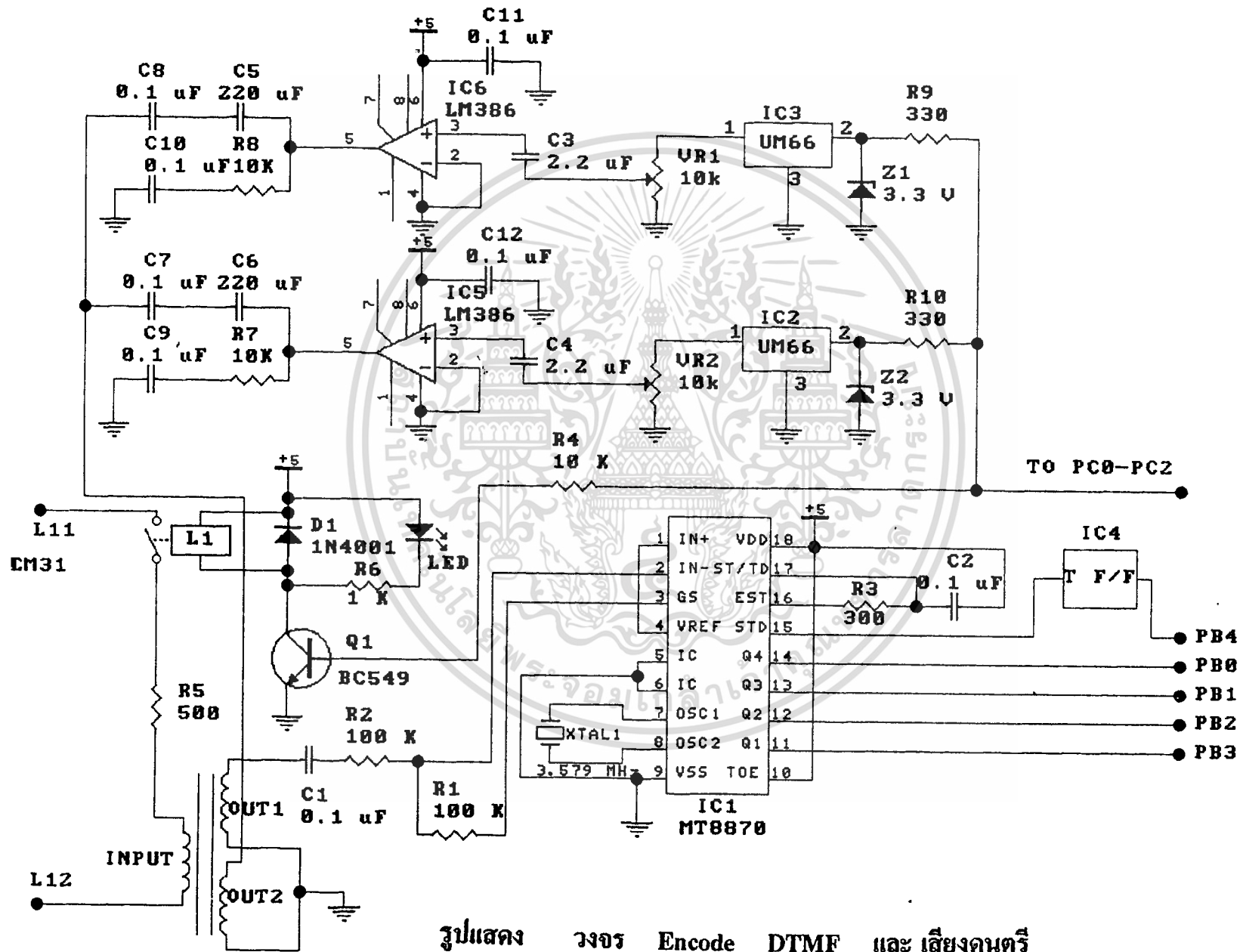
ภาคผนวก ข.

วงจรการทำงาน

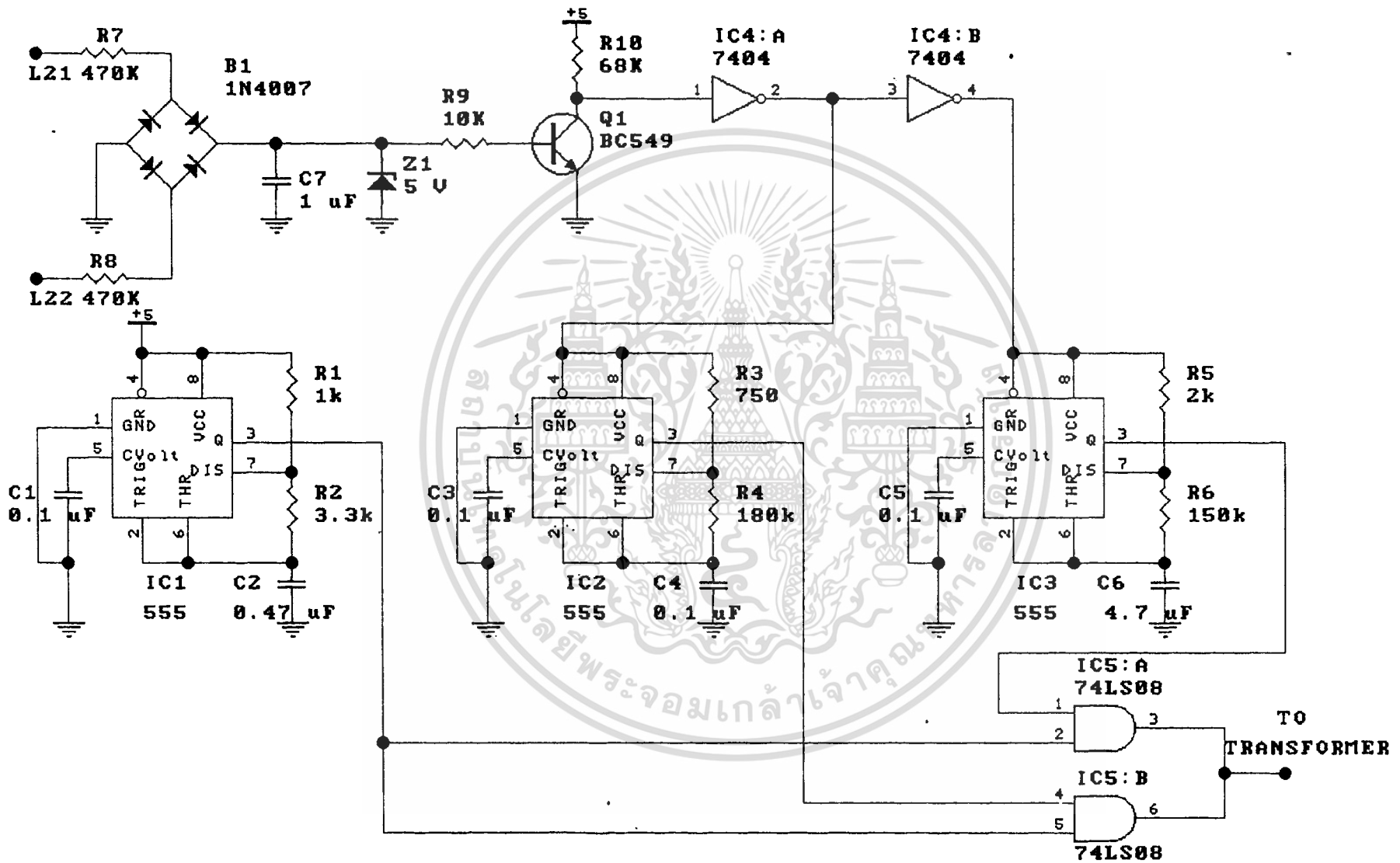
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



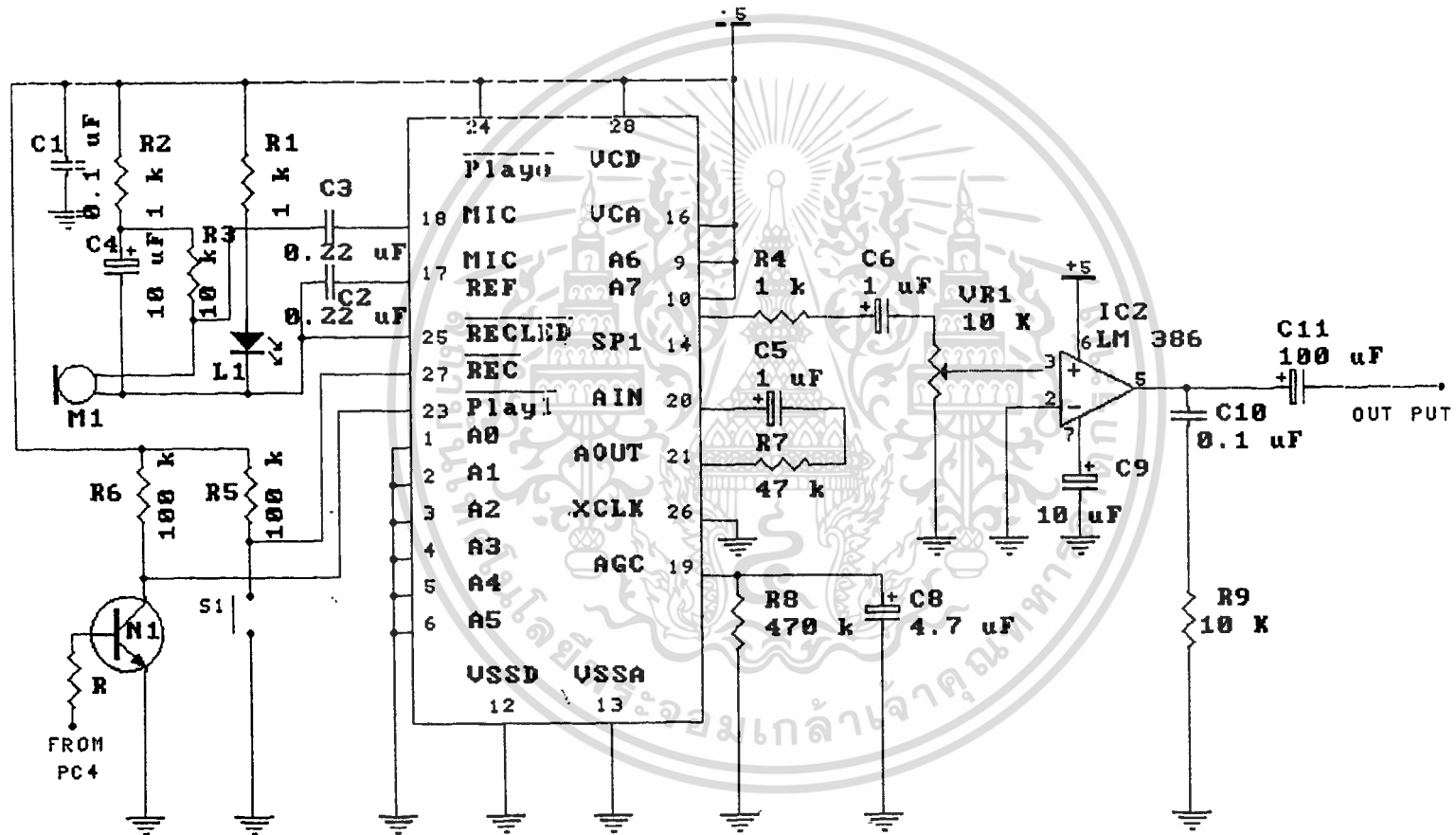
รูปแสดง วงจรเซ็คัลญญาน Ringing Tone



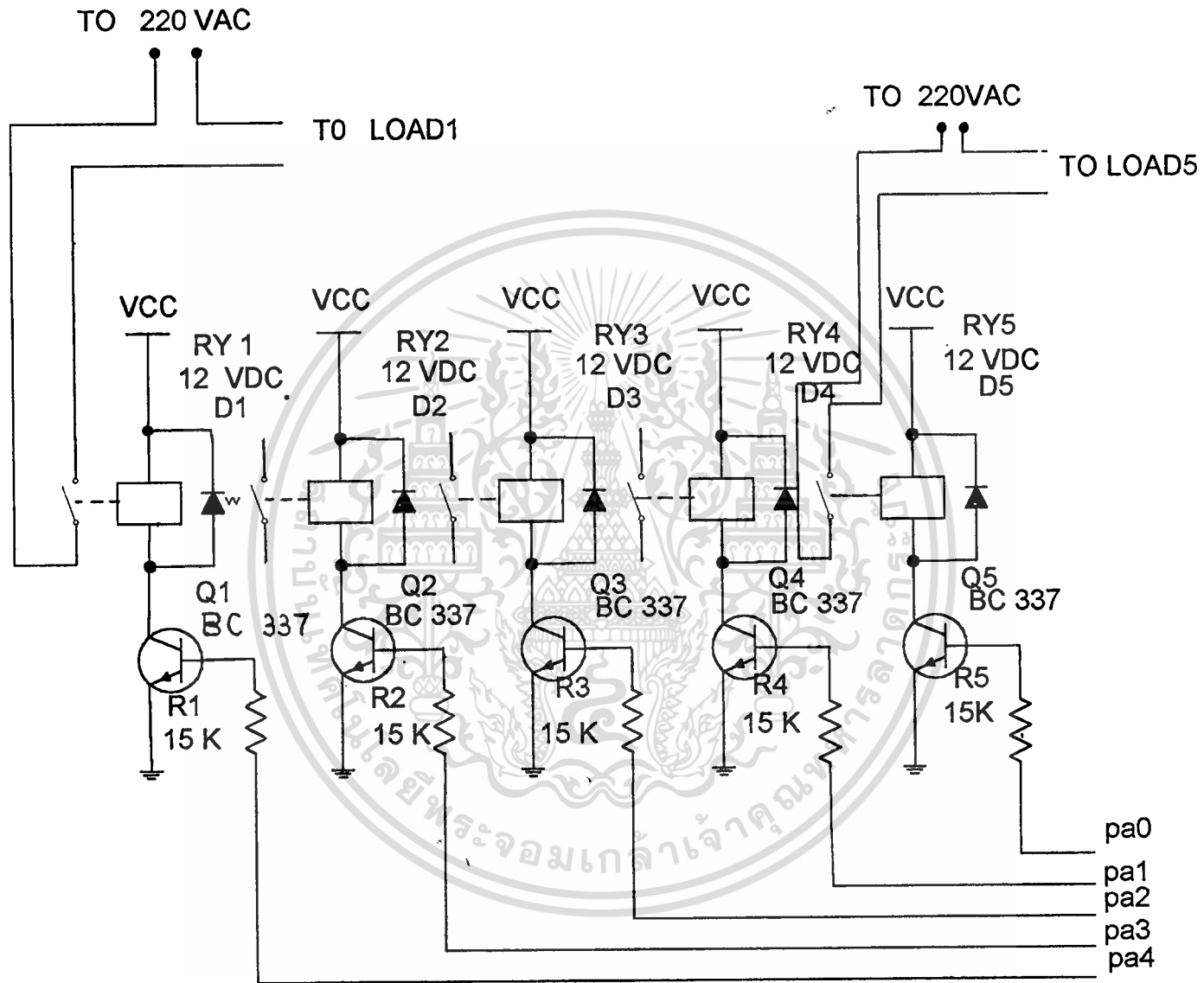
รูปแสดง วงจร Encode DTMF และ เสียงคนตรี



รูปแสดง วงจรเข็คสัญญาณ Dial Tone และ Busy Tone



รูปแสดง วงจรบันทึกเสียง



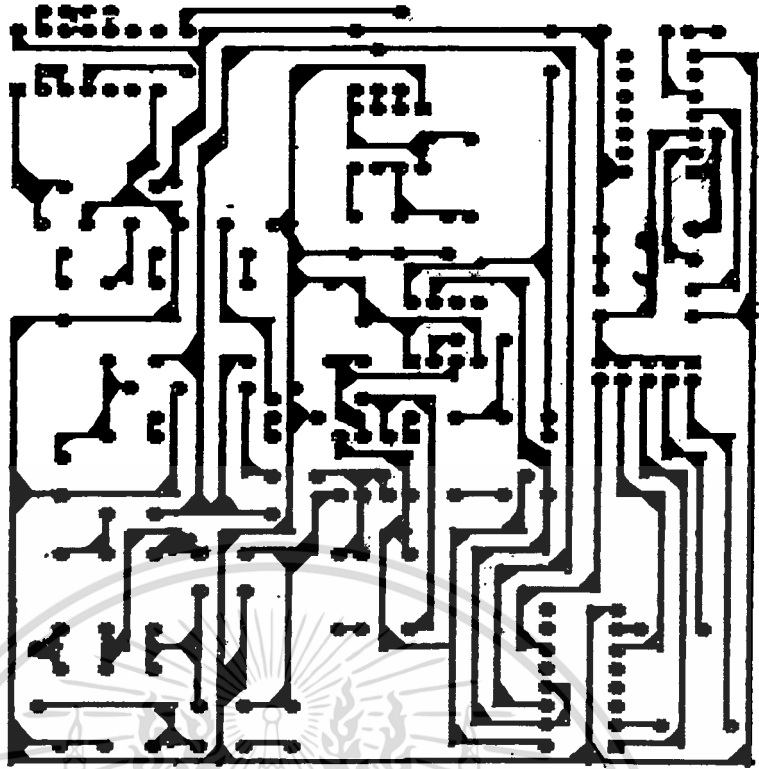
รูปแสดง วงจรควบคุม Load A.C



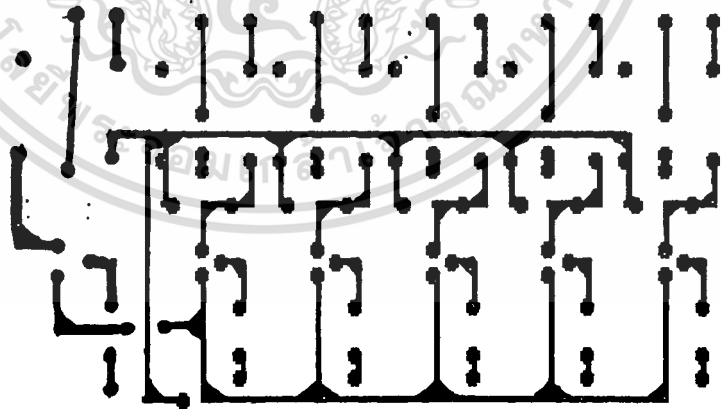
ภาคผนวก ก.

ลายวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

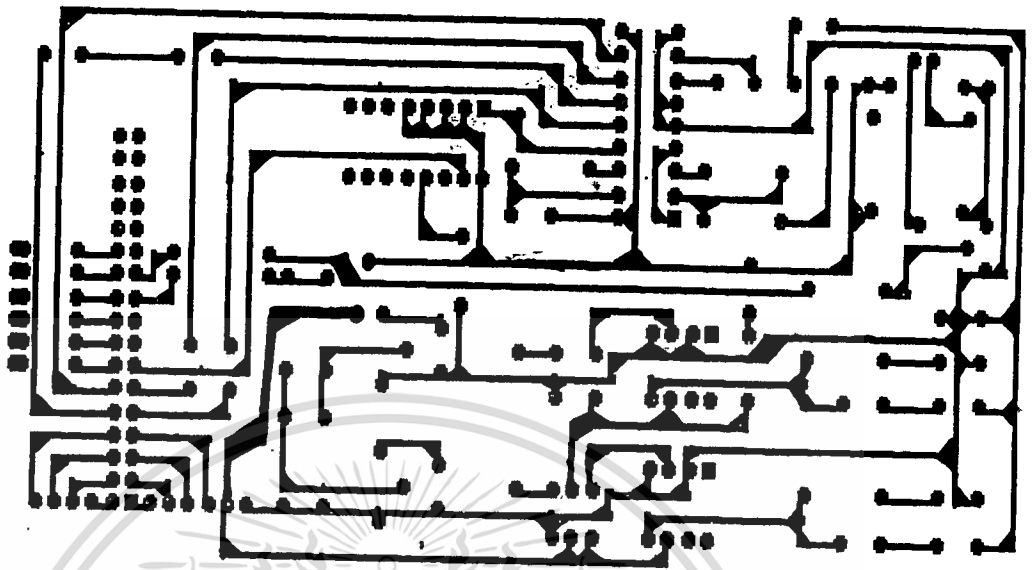


ลายวงจร CHECK RINGING TONE

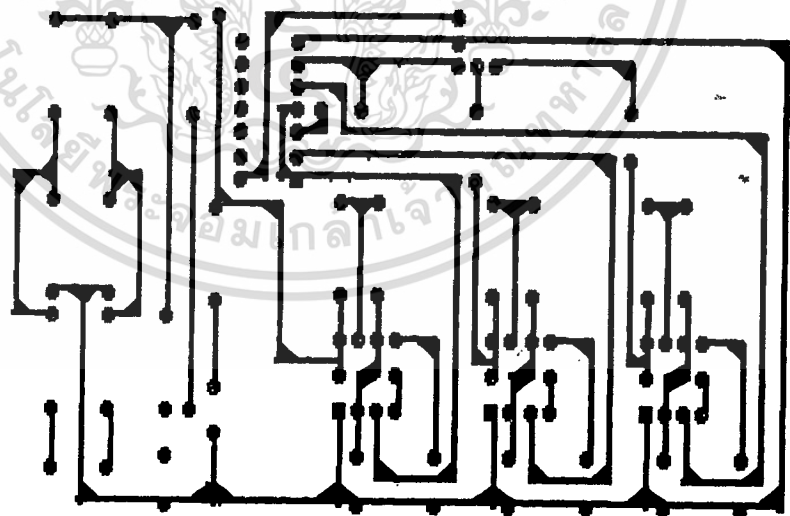


ลายวงจร CONTROL LOAD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจร DTMF DECODER และเสียงดนตรี

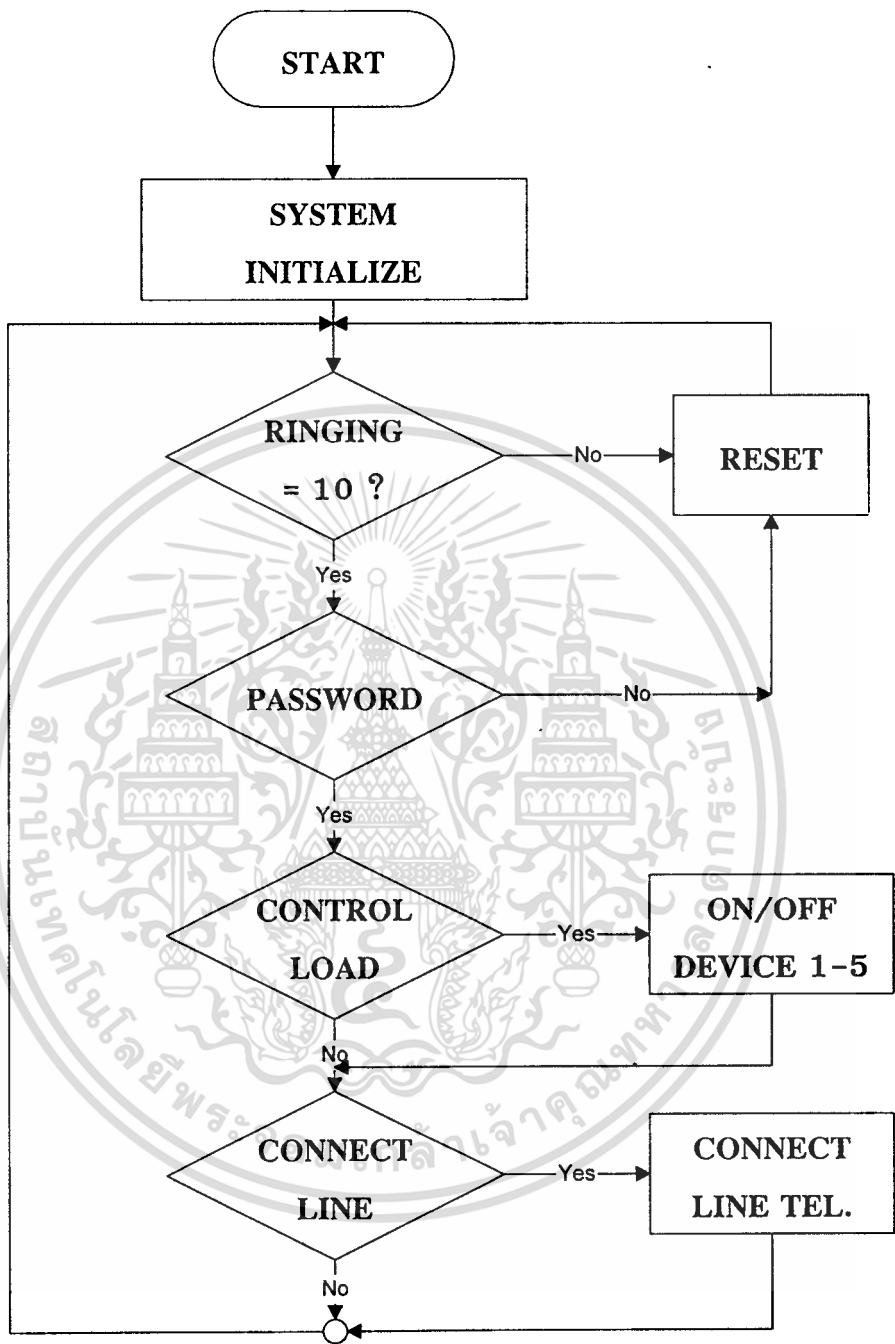


ลายวงจรกำเนิดสัญญาณ BUSY และDIAL

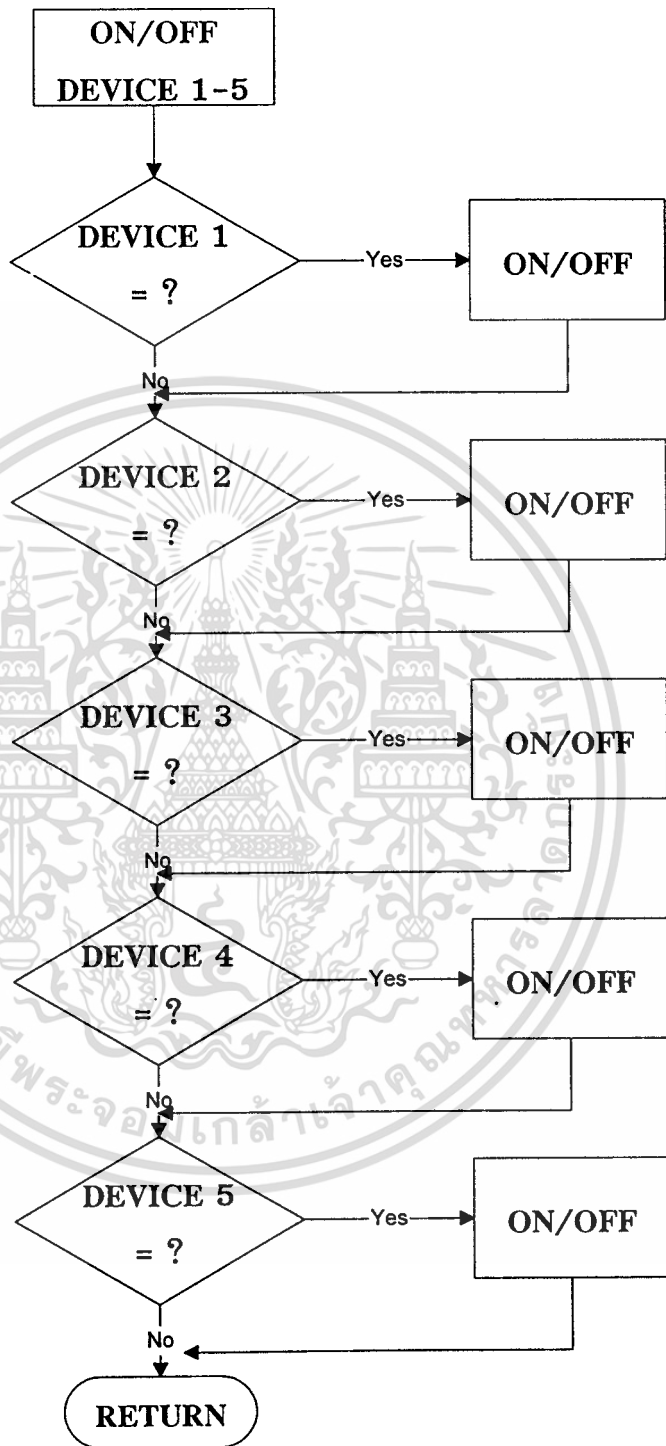
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



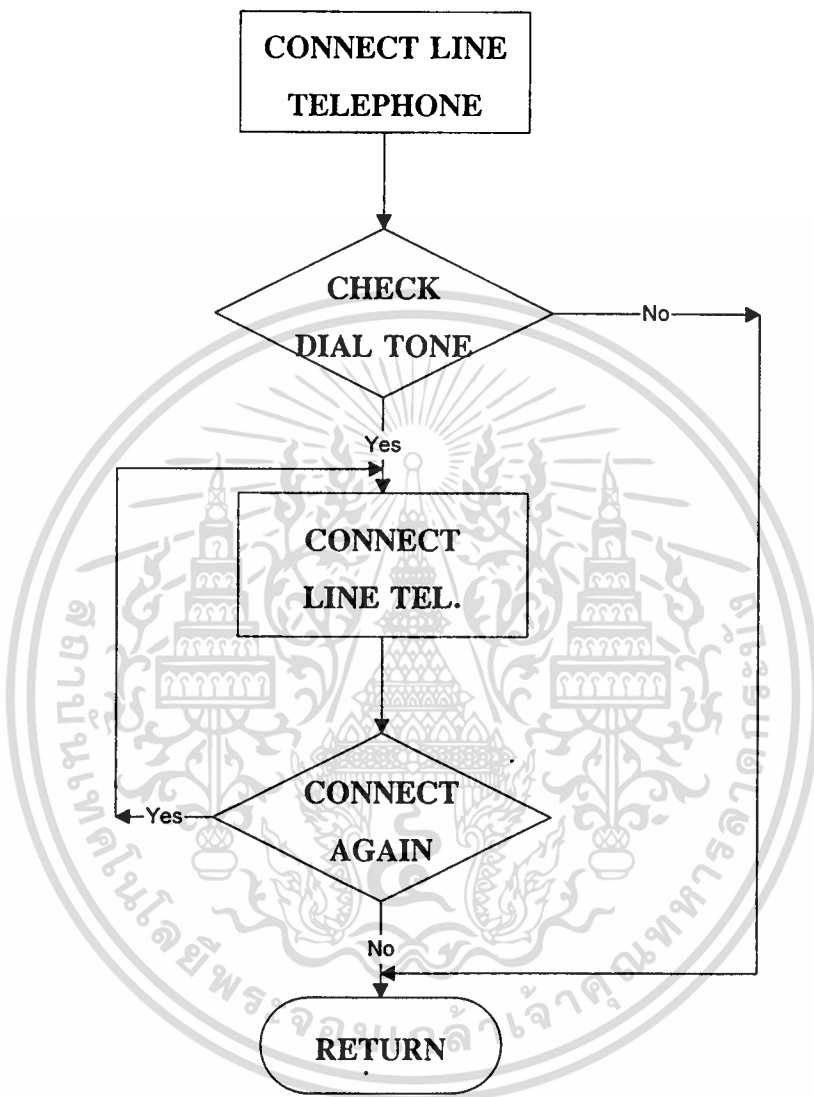
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

;*****
;# DTMF DECODER CONTROL PROGRAM #
;*****

```

```

0000          CPU"Z80.TBL"
0000          HOF"INT8"

0000 =          START: EQU 0000H
8FFF =          STACK: EQU 8FFFH

0054 =          INT_PA: EQU 54H
0055 =          INT_PB: EQU 55H
0056 =          INT_PC: EQU 56H
0034 =          INT_PD: EQU 34H
0044 =          INT_PE: EQU 44H

0050 =          PORTA: EQU 50H
0051 =          PORTB: EQU 51H
0052 =          PORTC: EQU 52H
0030 =          PORTD: EQU 30H
0040 =          PORTE: EQU 40H

0010 =          CTC_CH0: EQU 10H
0011 =          CTC_CH1: EQU 11H
0012 =          CTC_CH2: EQU 12H
0013 =          CTC_CH3: EQU 13H

000C =          KEY_CHP: EQU 12
6C81 =          SET: EQU 6C81H

000B =          PWD1: EQU 11
000C =          PWD2: EQU 12
000B =          PWD3: EQU 11

0000          ORG START
;*****
;# MAIN #
;*****
; E use keep stobe value
;

0000 3E00          MAIN: LD A,0
0002 D355          OUT (INT_PB),A ;Initial port
0004 D334          OUT (INT_PD),A
0006 D344          OUT (INT_PE),A

0008 2F           CPL
0009 D354          OUT (INT_PA),A
000B D356          OUT (INT_PC),A

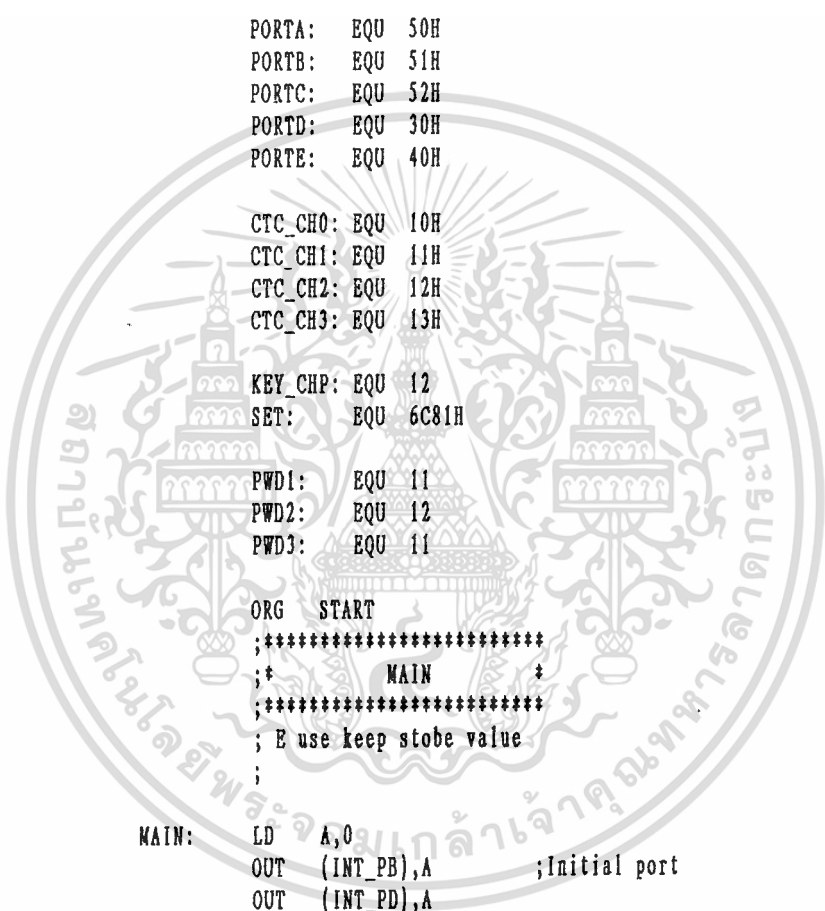
000D 21FF8F       LD HL,STACK ;Set Stack
0010 F9           LD SP,HL

0011 210080       LD HL,KEY_BUF
0014 110180       LD DE,KEY_BUF+1
0017 010A00       LD BC,10
001A 3600         LD (HL),0
001C EDB0         LDIR

001E 3E08         RECEIVE: LD A,08H ;set PORTC value
0020 D352         OUT (PORTC),A
;ไม่ว่ากรณนี้ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0022 DB51         IN A,(PORTB) ;receive input stobe

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น set PORTC value มาไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0026 2002
0028 18F4

JR NZ,PRESS
JR RECEIVE

;if has key
;
;display portc when has key
;

002A 3E0D PRESS: LD A,0DH
002C D352 OUT (PORTC),A
002E 0E1E LD C,30
0030 CDAB01 CALL DEYMS

0033 3E0C LD A,0CH
0035 D352 OUT (PORTC),A

;
;compare pass word

0037 CD4901 CALL REC_KEY
003A 210080 LD HL,KEY_BUF
003D 7E LD A,(HL) ;check key1 =charp ?
003E FE0B CP PWD1
0040 C21E01 JP NZ,WRONG

0043 23 INC HL
0044 7E LD A,(HL)
0045 FE0C CP PWD2
0047 C21E01 JP NZ,WRONG

004A 23 INC HL
004B 7E LD A,(HL)
004C FE0B CP PWD3
004E C21E01 JP NZ,WRONG

;
;key pass word is pass

0051 3E2C PASS: LD A,2CH
0053 D352 OUT (PORTC),A
0055 0E0A LD C,30
0057 CDAB01 CALL DEYMS
005A 3E0C LD A,0CH
005C D352 OUT (PORTC),A

005E CD7D01 PASS1: CALL REC_CTL
0061 210080 LD HL,KEY_BUF
0064 7E LD A,(HL)
0065 FE0C CP 12
0067 C23901 JP NZ,UN_CTL

006A 23 INC HL
006B 7E LD A,(HL)

006C FE0A CP 10
006E 2810 JR Z,CHK_KEY0 ;use key 1 = num 0

0070 FE01 CP 1
0072 282B JR Z,CHK_KEY1

0074 FE02 CP 2
0076 2845 JR Z,CHK_KEY2

เอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่าจะอย่างไรก็ตาม ห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0078 FE0B CP 11
007A CA0A01 JP Z,CHKSTAR

```

007D C33901      JP      UN_CTL
0080 23          CHK_KEY0: INC  HL
0081 7E          LD      A,(HL)
0082 0605        LD      B,5
0084 0EFE        LD      C,11111110B
0086 1601        LD      D,1
0088 BA          CP_0: CP     D
0089 2808        JR      Z,KEY_0
008B CB01        RLC     C
008D 14          INC     D
008E 10F8        DJNZ   CP_0
0090 C33901      JP      UN_CTL      ;checked but key is wrong

```

```

0093 210380     KEY_0: LD     HL,PA_BUF
0096 7E          LD     A,(HL)
0097 A1          AND    C
0098 77          LD     (HL),A
0099 CD9A01     CALL  OUTP
009C C31401     JP     CHK_START

```

```

009F 23          CHK_KEY1: INC  HL
00A0 7E          LD     A,(HL)
00A1 0605        LD     B,5
00A3 0E01        LD     C,00000001B
00A5 1601        LD     D,1
00A7 BA          CP_1: CP     D
00A8 2808        JR     Z,KEY_1
00AA CB21        RLC    C
00AC 14          INC    D
00AD 10F8        DJNZ  CP_1
00AF C33901     JP     UN_CTL

```

```

00B2 210380     KEY_1: LD     HL,PA_BUF
00B5 7E          LD     A,(HL)
00B6 B1          OR     C      ;mask output value
00B7 77          LD     (HL),A
00B8 CD9A01     CALL  OUTP
00BB 1857        JR     CHK_START

```

```

00BD 23          CHK_KEY2: INC  HL
00BE 7E          LD     A,(HL)
00BF FE06        CP     6
00C1 280B        JR     Z,KEY2_6
00C3 FE07        CP     7
00C5 2829        JR     Z,KEY2_7
00C7 FE08        CP     8
00C9 2832        JR     Z,KEY2_8

```

```

00CB C33901     JP     UN_CTL      ;key is wrong

```

```

00CE 0640     KEY2_6: LD     B,40H      ;sent PB6=1
00D0 210380     LD     HL,PA_BUF
00D3 7E          LD     A,(HL)
00D4 B0          OR     B
00D5 77          LD     (HL),A

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่สามารถนำออกจากรั้วมหาวิทยาลัยได้ หากมีข้อสงสัยหรือต้องการข้อมูลเพิ่มเติม กรุณาติดต่อฝ่ายประชาสัมพันธ์
 00D6 D350 OUT (PORTA),A
 00D8 3E1C LD A,1CH
 00DA D352 OUT (PORTC),A
 00DC 0E32 LD C,50
 00DE 2808 JR Z,KEY2_8

```

00E1 3E0C      LD      A,0CH      ;sent portc when porta chang
00E3 D352      OUT     (PORTC),A

00E5 210380    LD      HL,PA_BUF  ;sent PA6 = 0
00E8 7E        LD      A,(HL)
00E9 E6BF      AND     0BFH
00EB 77        LD      (HL),A
00EC D350      OUT     (PORTA),A
00EE 1824      JR      CHK_START

00F0 0680      KEY2_7: LD      B,80H
00F2 210380    LD      HL,PA_BUF
00F5 7E        LD      A,(HL)
00F6 B0         OR      B
00F7 77        LD      (HL),A
00F8 CD9A01    CALL   OUTP
00FB 1817      JR      CHK_START

00FD 067F      KEY2_8: LD      B,7FH
00FF 210380    LD      HL,PA_BUF
0102 7E        LD      A,(HL)
0103 A0        AND     B
0104 77        LD      (HL),A
0105 CD9A01    CALL   OUTP
0108 180A      JR      CHK_START

010A 23        CHKSTAR: INC    HL
010B 7E        LD      A,(HL)
010C FE0C      CP      12
010E C23901    JP      NZ,UN_CTL
0111 C31E01    JP      WRONG

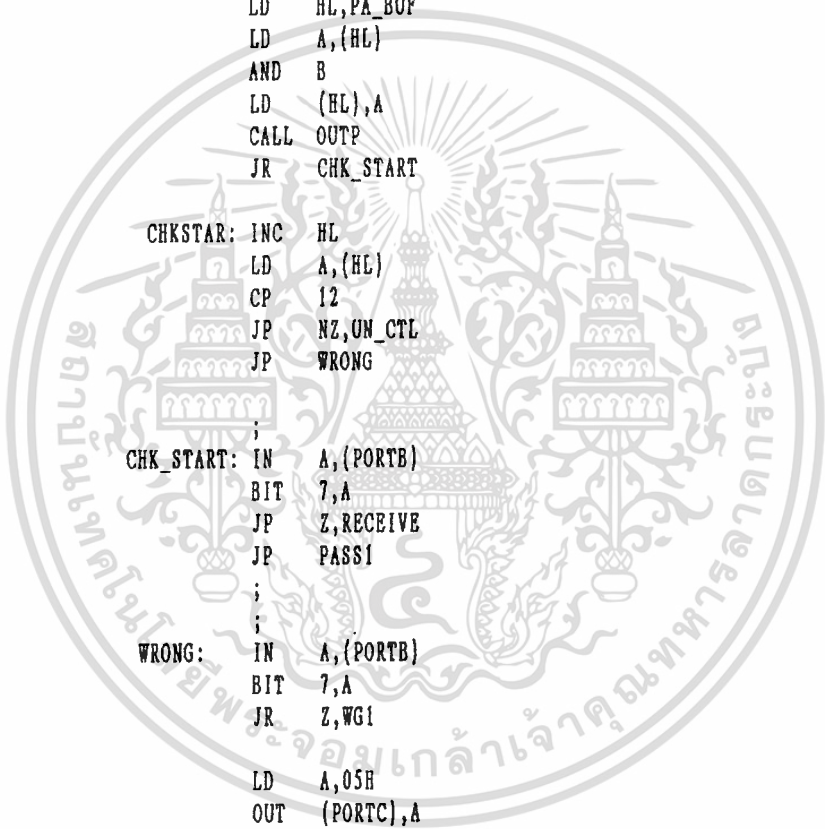
0114 DB51      CHK_START: IN   A,(PORTB)
0116 CB7F      BIT    7,A
0118 CA1E00    JP      Z,RECEIVE
011B C35E00    JP      PASS1
;
;

011E DB51      WRONG:  IN   A,(PORTB)
0120 CB7F      BIT    7,A
0122 283E      JR      Z,WG1

0124 3E05      LD      A,05H
0126 D352      OUT     (PORTC),A
0128 0E14      LD      C,20
012A CDAB01    CALL   DEYMS
012D 3E0D      LD      A,0DH
012F D352      OUT     (PORTC),A
0131 0E1E      LD      C,30
0133 CDAB01    CALL   DEYMS
0136 C31E00    JP      RECEIVE

0139 3E4C      UN_CTL: LD      A,4CH
013B D352      OUT     (PORTC),A
013D 0E0A      LD      C,10
013F CDAB01    CALL   DEYMS
0142 3E0C      LD      A,0CH
0144 D352      OUT     (PORTC),A
0146 C35E00    JP      PASS1
;
;
;#      receive key      *

```



เอกสารที่สงวนไว้สำหรับการใช้งานทางการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใด ทั้งสิ้น อีกทั้งห้ามมิให้ตัดต่อเอกสารนี้ และแจ้งเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

;* receive key *

```

;
0149 0603      REC_KEY: LD  B,03H      ;Number of PASSWORD
014B 210080   LD  HL,KEY_BUF
014E 1E64     LD  E,100
0150 DB51     CHECK: IN  A,(PORTB)
0152 57      LD  D,A
0153 CB67     BIT  4,A
0155 2017     JR  NZ,KEEP      ;Z = yet
0157 0E01     LD  C,i
0159 CDAB01   CALL DEYMS
015C 1D      DEC  E
015D 20F1     JR  NZ,CHECK
015F C31E01   JP  WRONG

```

```

0162 3E00     WGI:  LD  A,00H
0164 D352     OUT  (PORTC),A
0166 0E14     LD  C,20
0168 CDAB01   CALL DEYMS
016B C31E00   JP  RECEIVE

```

```

016E DB51     KEEP:  IN  A,(PORTB)
0170 E60F     AND  0FH
0172 77      LD  (HL),A      ;keep key value to buffer
0173 23      INC  HL

```

```

0174 DB51     CHK_UN: IN  A,(PORTB)
0176 CB67     BIT  4,A
0178 20FA     JR  NZ,CHK_UN

```

```

017A 10D4     DJNZ CHECK      ;receive key util = 3
017C C9      RET

```

```

;receive key control
;

```

```

017D 0603     REC_CTL: LD  B,3
017F 210080   LD  HL,KEY_BUF

```

```

0182 DB51     CTL1:  IN  A,(PORTB)
0184 CB7F     BIT  7,A
0186 CA1E00   JP  Z,RECEIVE
0189 CB67     BIT  4,A
018B 28F5     JR  Z,CTL1
018D E60F     AND  0FH
018F 77      LD  (HL),A
0190 23      INC  HL

```

```

0191 DB51     CTL2:  IN  A,(PORTB)
0193 CB67     BIT  4,A
0195 20FA     JR  NZ,CTL2
0197 10E9     DJNZ CTL1
0199 C9      RET

```

```

;
;*****
;*      OUT PORT      *
;*****
;I/P is (HL)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

019A 7E OUTP: LD A,(HL)
019B D350 OUT (PORTA),A
019D 3E1C LD A,1CH

```

01A1 0E0A          LD   C,10
01A3 CDAB01       CALL DEYMS
01A6 3E0C          LD   A,0CH          ;sent portc when porta chang
01A8 D352          OUT  (PORTC),A
01AA C9           RET
;
;*****
;*          DELAY          *
;*****
;I/P = reg C

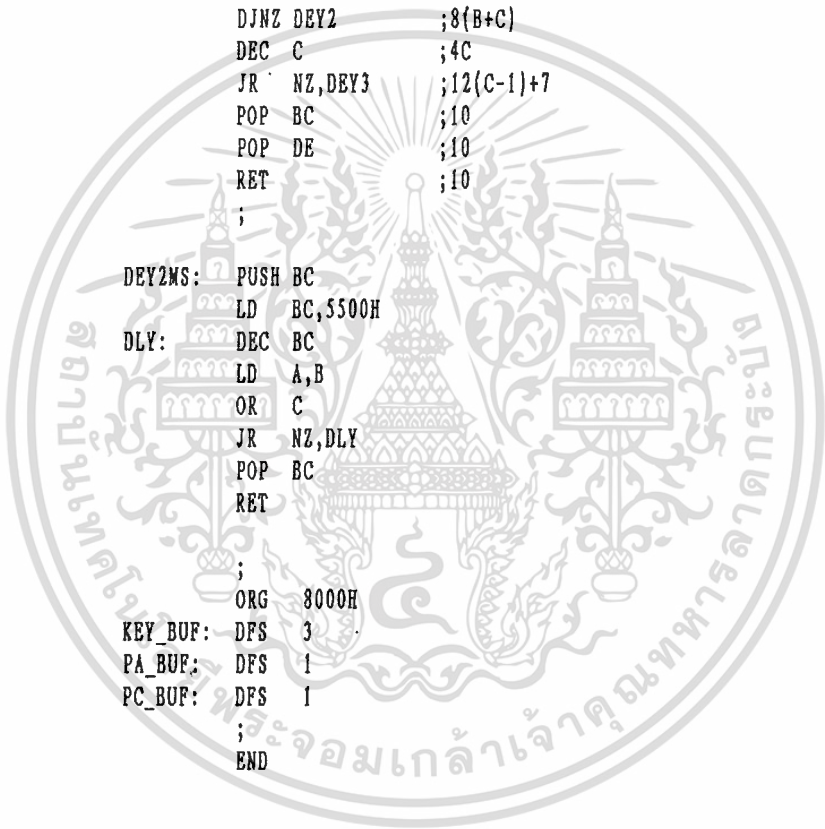
01AB D5           DEYMS:  PUSH DE          ;11
01AC C5           PUSH BC          ;11

01AD 0602         DEY3:   LD   B,2          ;7C
01AF 110020       DEY2:   LD   DE,2000H      ;10(DE+C)
01B2 1B           DEY1:   DEC  DE          ;6(DE+C)
01B3 7A           LD   A,D          ;7(DE+C)
01B4 B3           OR   E          ;4(DE+C)
01B5 20FB         JR   NZ,DEY1      ;12(DE-1)+12(C-1)+7
01B7 10F6         DJNZ  DEY2      ;8(B+C)
01B9 0D           DEC  C          ;4C
01BA 20F1         JR   NZ,DEY3      ;12(C-1)+7
01BC C1           POP  BC          ;10
01BD D1           POP  DE          ;10
01BE C9           RET             ;10
;

01BF C5           DEY2MS:  PUSH BC
01C0 010055       LD   BC,5500H
01C3 0B           DLY:    DEC  BC
01C4 78           LD   A,B
01C5 B1           OR   C
01C6 20FB         JR   NZ,DLY
01C8 C1           POP  BC
01C9 C9           RET
;

8000              ORG   8000H
8000              KEY_BUF:  DFS  3
8003              PA_BUF:  DFS  1
8004              PC_BUF:  DFS  1
;
0000              END

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0150	CHECK	010A	CHKSTAR	0080	CHK_KEY0
009E	CHK_KEY1	00BD	CHK_KEY2	0114	CHK_START
0174	CHK_UN	0088	CP_0	00A7	CP_1
0010	CTC_CH0	0011	CTC_CH1	0012	CTC_CH2
0013	CTC_CH3	0182	CTL1	0191	CTL2
01B1	DEY1	01AF	DEY2	01BF	DEY2MS
01AD	DEY3	01AB	DEYMS	01C3	DLY
0054	INT_PA	0055	INT_PB	0056	INT_PC
0034	INT_PD	0044	INT_PE	016E	KEEP
00CE	KEY2_6	00F0	KEY2_7	00FD	KEY2_8
0093	KEY_0	00B2	KEY_1	8000	KEY_BUF
000C	KEY_CHP	0000	MAIN	019A	OUTP
0051	PASS	005E	PASS1	8003	PA_BUF
8004	PC_BUF	0050	PORTA	0051	PORTB
0052	PORTC	0030	PORTD	0040	PORTE
002A	PRESS	000B	PWD1	000C	PWD2
000B	PWD3	001E	RECEIVE	017D	REC_CTL
0149	REC_KEY	6C81	SET	8FFF	STACK
0000	START	0139	UN_CTL	0162	WG1
011E	WRONG				



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

:10000003E00D355D334D3442FD354D35621FF8F3E
:10001000F9210080110180010A003600EDB03E0890
:10002000D352DB51CB7F200218F43E0DD3520E1E6B
:10003000CDAB013E0CD352CD49012100807EFE0B99
:10004000C21E01237EFE0CC21E01237EFE0BC21EB9
:10005000013E2CD3520E0ACDAB013E0CD352CD7DC6
:10006000012100807EFE0CC23901237EFE0A281089
:10007000FE01282BFE022845FE0BCA0A01C33901E6
:10008000237E06050EFE1601BA2808CB011410F8CF
:10009000C339012103807EA177CD9A01C3140123C6
:1000A0007E06050E011601BA2808CB211410F8C3EC
:1000B00039012103807EB177CD9A011857237EFE46
:1000C00006280BFE072829FE082832C339010640FE
:1000D0002103807EB077D3503E1CD3520E32CDAB7D
:1000E000013E0CD3522103807EE6BF77D350182403
:1000F00006802103807EB077CD9A011817067F21F4
:1001000003807EA077CD9A01180A237EFE0CC239A7
:1001100001C31E01DB51CB7FCA1E00C35E00DB5151
:10012000CB7F283E3E05D3520E14CDAB013E0DD3FE
:10013000520E1ECDAB01C31E003E4CD3520E0ACD53
:10014000AB013E0CD352C35E0006032100801E6447
:10015000DB5157CB6720170E01CDAB01D20F1C33A
:100160001E013E00D3520E14CDAB01C31E00DB5165
:10017000E60F7723DB51CB6720FA10D4C9060321A1
:100180000080DB51CB7FCA1E00CB6728F5E60F77D6
:1001900023DB51CB6720FA10E9C97ED3503E1CD334
:1001A000520E32CDAB013E0CD352C9D5C506021159
:1001B00000201B7AB320FB10F60D20F1C1D1C9C578
:0A01C0000100550B78B120FBC1C906
:00000001FF



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Complete DTMF Receiver
- Low power consumption
- Internal gain setting amplifier
- Adjustable guard time
- Central office quality
- Power-down mode
- Inhibit mode
- Backward compatible with MT8870C/MT8870C-1

ISSUE 3

May 1995

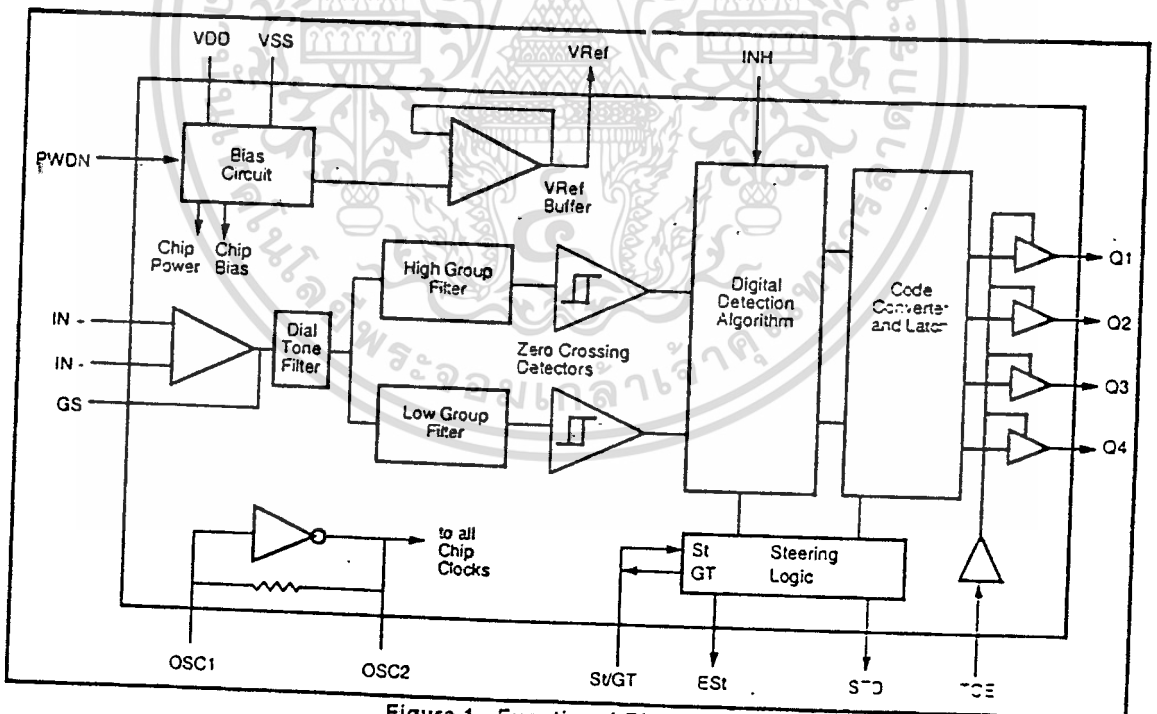
Ordering Information

MT8870DE/DE-1	18 Pin Plastic DIP
MT8870DC/DC-1	18 Pin Ceramic DIP
MT8870DS/DS-1	18 Pin SOIC
MT8870DN/DN-1	20 Pin SSOP
MT8870DT/DT-1	20 Pin TSSOP
-40 °C to +85 °C	

Description
Applications

- Receiver system for British Telecom (BT) or CEPT Spec (MT8870D-1)
- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote control
- Personal computers
- Telephone answering machine

The MT8870D/MT8870D-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tonepairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.


Figure 1 - Functional Block Diagram

MT8870D/MT8870D-1 ISO²-CMOS

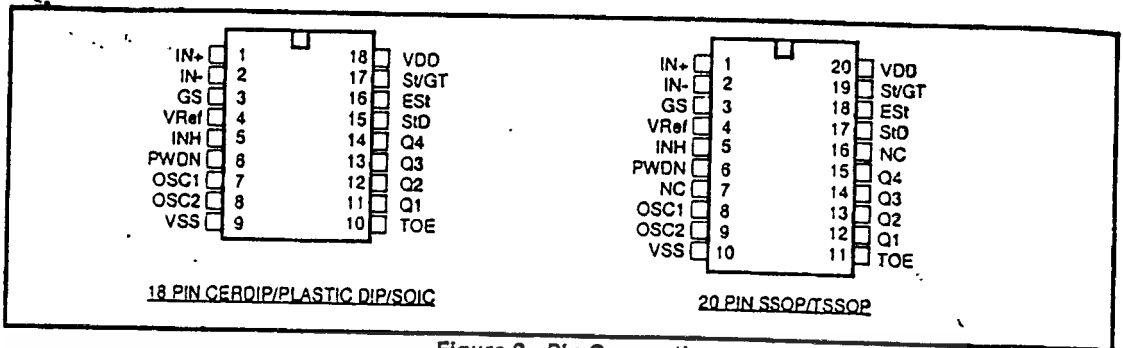


Figure 2 - Pin Connections

Pin Description

Pin #		Name	Description
18	20		
1	1	IN+	Non-Inverting Op-Amp (Input).
2	2	IN-	Inverting Op-Amp (Input).
3	3	GS	Gain Select. Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	V _{ref}	Reference Voltage (Output). Nominally V _{DD} /2 is used to bias inputs at mid-rail (see Fig. 6 and Fig. 10).
5	5	INH	Inhibit (Input). Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down.
6	6	PWDN	Power Down (Input). Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down.
7	8	OSC1	Clock (Input).
8	9	OSC2	Clock (Output). A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	10	V _{SS}	Ground (Input). 0V typical.
10	11	TOE	Three State Output Enable (Input). Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	12-15	Q1-Q4	Three State Data (Output). When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	17	StD	Delayed Steering (Output). Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on SVGT falls below V _{TST} .
16	18	EST	Early Steering (Output). Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause EST to return to a logic low.
17	19	StGT	Steering Input/Guard time (Output) Bidirectional. A voltage greater than V _{TST} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V _{TST} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of EST and the voltage on St.
18	20	V _{DD}	Positive power supply (Input). +5V typical.
	7, 16	NC	No Connection.

Functional Description

The MT8870D/MT8870D-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 3). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while

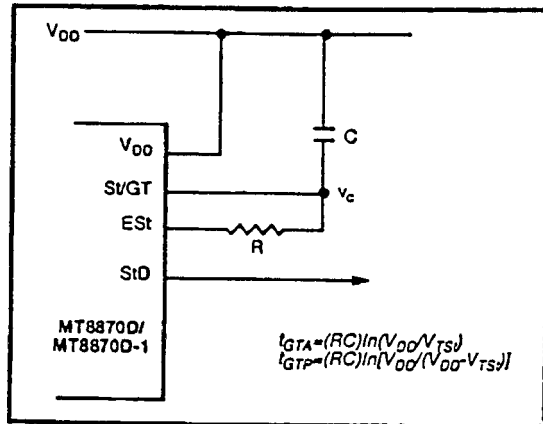


Figure 4 - Basic Steering Circuit

providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (EST) output will go to an active state. Any subsequent loss of signal condition will cause EST to assume an inactive state (see "Steering Circuit").

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by EST. A logic high on EST causes v_c (see Figure 4) to rise as the capacitor discharges. Provided signal

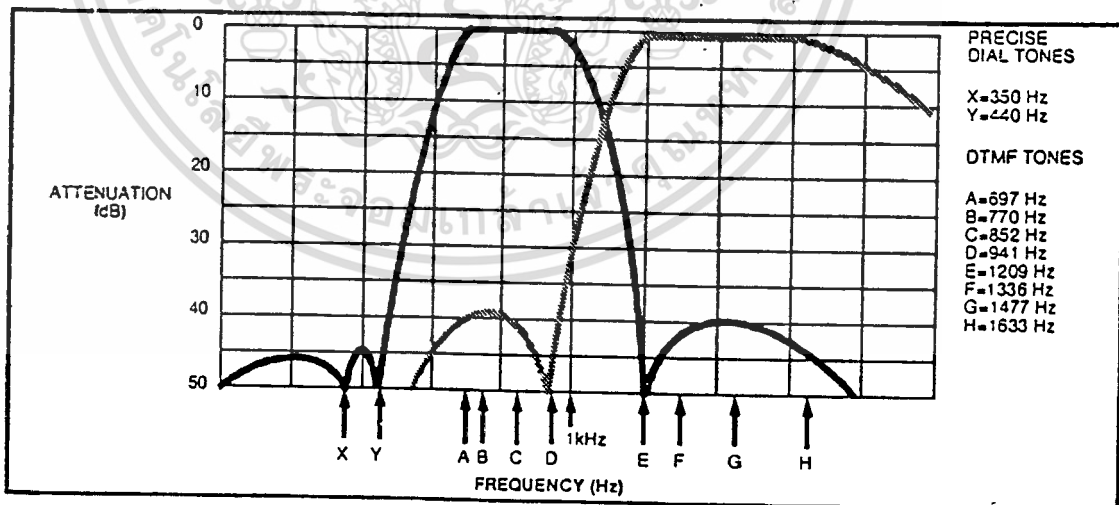


Figure 3 - Filter Response

condition is maintained (EST remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TS}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD} . GT continues to drive high as long as EST remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 4 is applicable. Component values are chosen according to the formula:

$$t_{REC} = t_{DP} + t_{GTP}$$

$$t_{ID} = t_{DA} + t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 11) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 μ F is

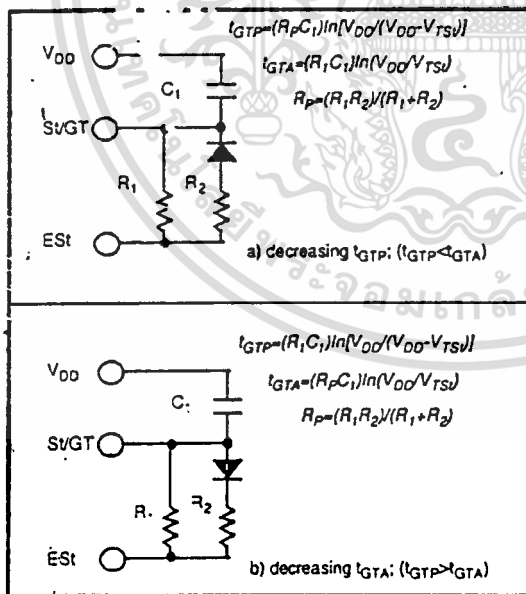


Figure 5 - Guard Time Adjustment

Digit	TOE	INH	EST	Q ₄	Q ₃	Q ₂	Q ₁
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
.	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1. Functional Decode Table
L=LOGIC LOW, H=LOGIC HIGH, Z=HIGH IMPEDANCE
X = DON'T CARE

recommended for most applications, leaving R to be selected by the designer.

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DD} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and V_{Ref} biasing the input at $\frac{1}{2}V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5 .

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.

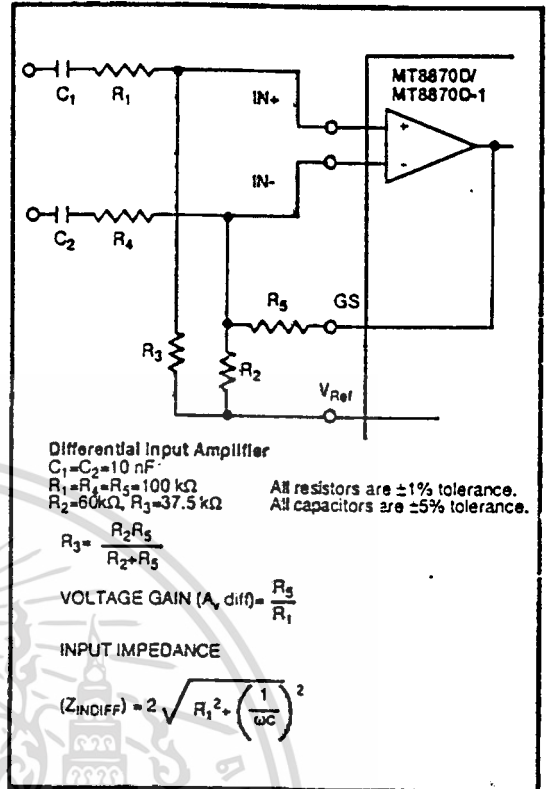


Figure 6 - Differential Input Configuration

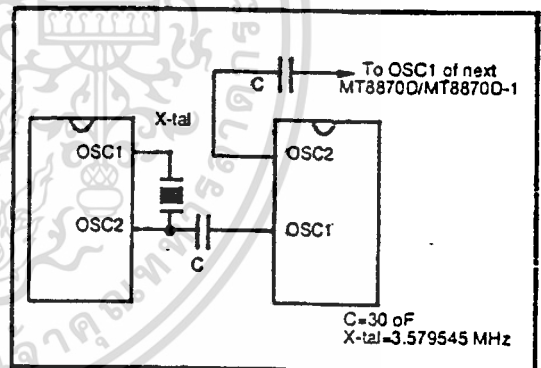


Figure 7 - Oscillator Connection

Parameter	Unit	Resonator
R1	Ohms	10.752
L1	mH	.432
C1	pF	4.984
C0	pF	37.915
Qm	-	896.37
Δf	%	±0.2%

Table 2. Recommended Resonator Specifications
Note: Qm=quality factor of RLC model, i.e., $2\pi/R1C1$.

MT8870D/MT8870D-1 ISO²-CMOS

Applications

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 9 illustrates the use of MT8870D-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870D-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 8.

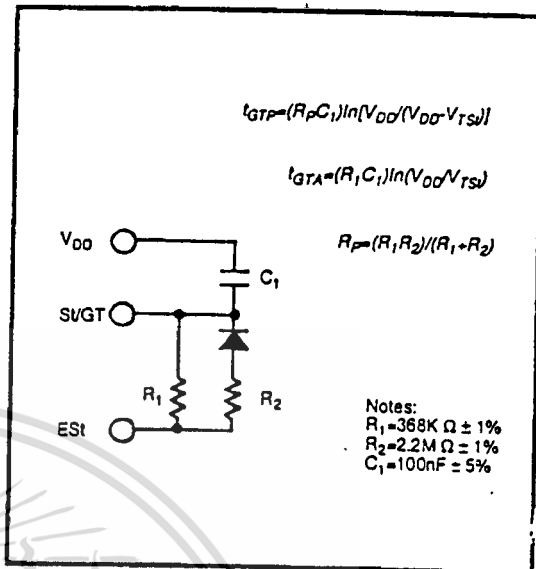


Figure 8 - Non-Symmetric Guard Time Circuit

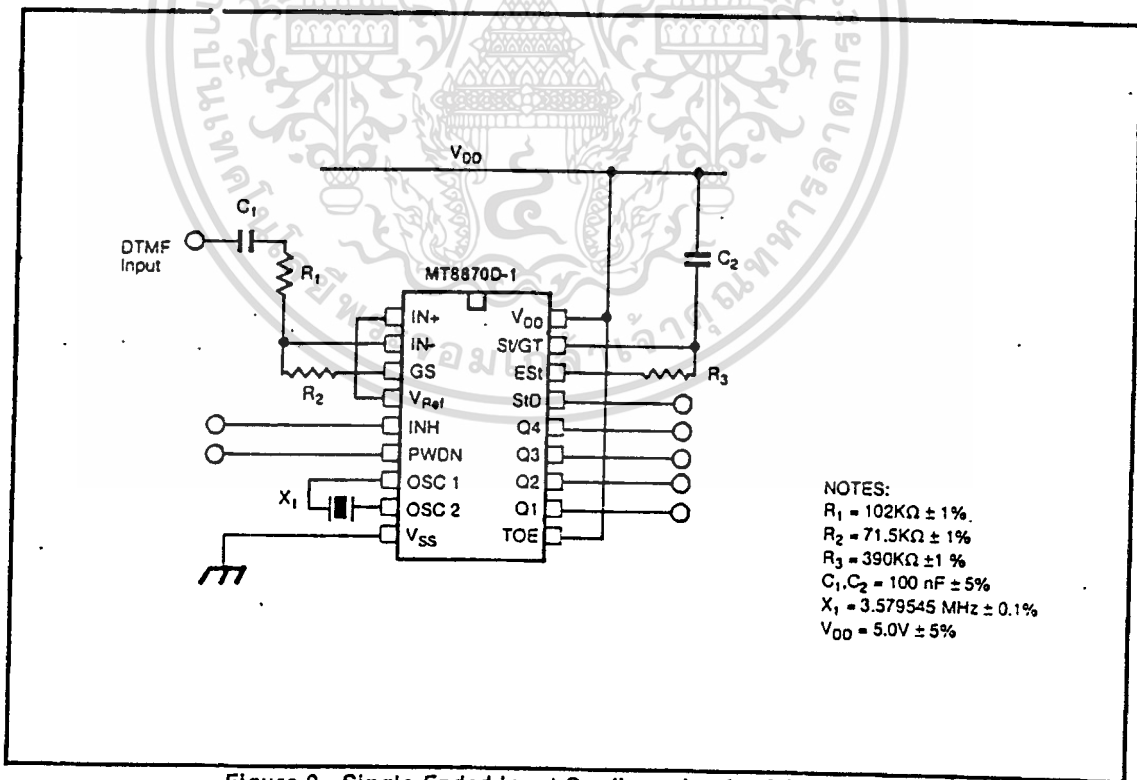


Figure 9. Single-Ended Input Configuration for BT or CEPT Spec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings†

	Parameter	Symbol	Min	Max	Units
1	DC Power Supply Voltage	V _{DD}		7	V
2	Voltage on any pin	V _I	V _{SS} -0.3	V _{DD} +0.3	V
3	Current at any pin (other than supply)	I _I		10	mA
4	Storage temperature	T _{STG}	-65	+150	°C
5	Package power dissipation	P _D		500	mW

† Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied. Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ‡	Max	Units	Test Conditions
1	DC Power Supply Voltage	V _{DD}	4.75	5.0	5.25	V	
2	Operating Temperature	T _O	-40		+85	°C	
3	Crystal/Clock Frequency	f _c		3.579545		MHz	
4	Crystal/Clock Freq. Tolerance	Δf _c		±0.1		%	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C, unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1 2 3 S U P P L Y	Standby supply current	I _{DDQ}		10	25	μA	PWDN=V _{DD}
	Operating supply current	I _{DD}		3.0	9.0	mA	
	Power consumption	P _O		15		mW	f _c =3.579545 MHz
4 5 6 7 8 9 10 I N P U T S	High level input	V _{IH}	3.5			V	V _{DD} =5.0V
	Low level input voltage	V _{IL}			1.5	V	V _{DD} =5.0V
	Input leakage current	I _{IH} /I _{IL}		0.1		μA	V _{IN} =V _{SS} or V _{DD}
	Pull up (source) current	I _{SO}		7.5	20	μA	TOE (pin 10)=0, V _{DD} =5.0V
	Pull down (sink) current	I _{SI}		15	45	μA	INH=5.0V, PWDN=5.0V, V _{DD} =5.0V
	Input impedance (IN+, IN-)	R _{IN}		10		MΩ	@ 1 kHz
	Steering threshold voltage	V _{TSt}	2.2	2.4	2.5	V	V _{DD} = 5.0V
11 12 13 14 15 16 O U T P U T S	Low level output voltage	V _{OL}			V _{SS} +0.03	V	No load
	High level output voltage	V _{OH}	V _{DD} -0.03			V	No load
	Output low (sink) current	I _{OL}	1.0	2.5		mA	V _{OUT} =0.4 V
	Output high (source) current	I _{OH}	0.4	0.8		mA	V _{OUT} =4.6 V
	V _{Ref} output voltage	V _{Ref}	2.3	2.5	2.7	V	No load, V _{DD} = 5.0V
	V _{Ref} output resistance	R _{OR}		1		kΩ	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

MT8870D/MT8870D-1 ISO²-CMOS

Operating Characteristics - $V_{DD}=5.0V \pm 5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_O \leq +85^{\circ}C$, unless otherwise stated.
Gain Setting Amplifier

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Test Conditions
1	Input leakage current	I_{IN}			100	nA	$V_{SS} \leq V_{IN} \leq V_{DD}$
2	Input resistance	R_{IN}	10			M Ω	
3	Input offset voltage	V_{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	$0.75 V \leq V_{IN} \leq 4.25 V$ biased at $V_{Ref}=2.5 V$
6	DC open loop voltage gain	A_{VOL}	32			dB	
7	Unity gain bandwidth	f_C	0.30			MHz	
8	Output voltage swing	V_O	4.0			V_{pp}	Load $\geq 100 k\Omega$ to V_{SS} @ GS
9	Maximum capacitive load (GS)	C_L			100	pF	
10	Resistive load (GS)	R_L			50	k Ω	
11	Common mode range	V_{CM}	2.5			V_{pp}	No Load

MT8870D AC Electrical Characteristics - $V_{DD}=5.0V \pm 5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_O \leq +85^{\circ}C$, using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-29		+1	dBm	1,2,3,5,6,9
			27.5		869	mV _{RMS}	1,2,3,5,6,9
2	Negative twist accept				8	dB	2,3,6,9,12
3	Positive twist accept				8	dB	2,3,6,9,12
4	Frequency deviation accept		$\pm 1.5\% \pm 2 Hz$				2,3,5,9
5	Frequency deviation reject		$\pm 3.5\%$				2,3,5,9
6	Third tone tolerance			-16		dB	2,3,4,5,9,10
7	Noise tolerance			-12		dB	2,3,4,5,7,9,10
8	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

[‡] Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

***NOTES**

1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by $\pm 1.5\% \pm 2 Hz$.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) $\pm 2\%$.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Guaranteed by design and characterization.

ISO²-CMOS MT8870D/MT8870D-1

MT8870D-1 AC Electrical Characteristics - $V_{DD}=5.0V\pm 5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_O \leq +85^{\circ}C$, using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-31		+1	dBm	Tested at $V_{DD}=5.0V$ 1,2,3,5,6,9
			21.8		869	mV _{RMS}	
2	Input Signal Level Reject		-37			dBm	Tested at $V_{DD}=5.0V$ 1,2,3,5,6,9
			10.9			mV _{RMS}	
3	Negative twist accept				8	dB	2,3,6,9,13
4	Positive twist accept				8	dB	2,3,6,9,13
5	Frequency deviation accept		$\pm 1.5\% \pm 2$ Hz				2,3,5,9
6	Frequency deviation reject		$\pm 3.5\%$				2,3,5,9
7	Third zone tolerance			-18.5		dB	2,3,4,5,9,12
8	Noise tolerance			-12		dB	2,3,4,5,7,9,10
9	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

[‡] Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES

1. dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration = 40 ms, tone pause = 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by $\pm 1.5\% \pm 2$ Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) $\pm 2\%$.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Referenced to Fig. 10 input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480-3400Hz.
13. Guaranteed by design and characterization.

MT8870D/MT8870D-1 ISO²-CMOS

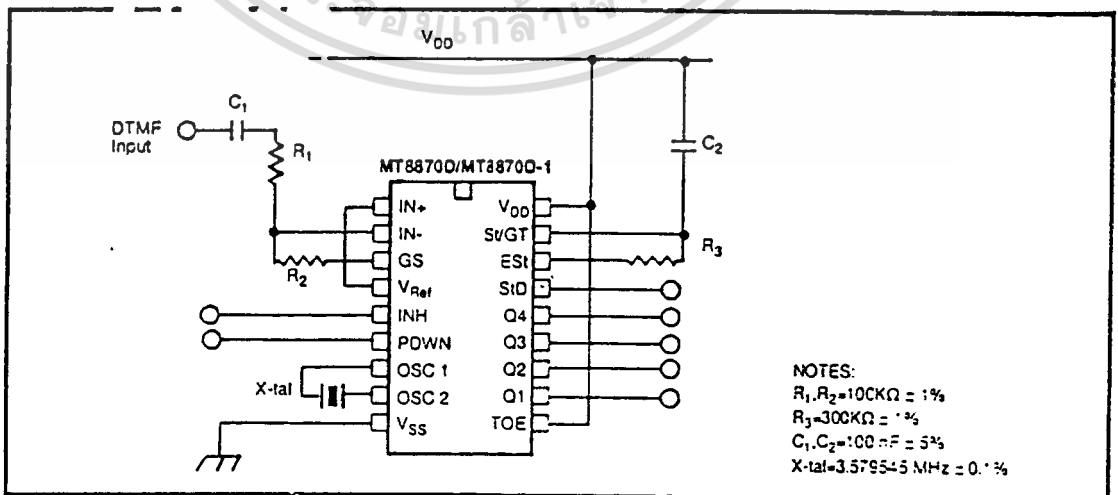
AC Electrical Characteristics - $V_{DD}=5.0V\pm 5\%$, $V_{SS}=0V$, $-40^{\circ}C \leq T_o \leq +85^{\circ}C$, using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ [‡]	Max	Units	Conditions
T I M I N G	Tone present detect time	t_{DP}	5	11	14	ms	Note 1
	Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 1
	Tone duration accept	t_{REC}			40	ms	Note 2
	Tone duration reject	$t_{\overline{REC}}$	20			ms	Note 2
	Interdigit pause accept	t_{ID}			40	ms	Note 2
	Interdigit pause reject	$t_{\overline{ID}}$	20			ms	Note 2
O U T P U T S	Propagation delay (St to Q)	t_{PQ}		8	11	μs	TOE= V_{DD}
	Propagation delay (St to StD)	t_{PStD}		12	16	μs	TOE= V_{DD}
	Output data set up (Q to StD)	t_{QStD}		3.4		μs	TOE= V_{DD}
	Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	load of 10 k Ω , 50 pF
	Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	load of 10 k Ω , 50 pF
P O W E R	Power-up time	t_{PU}		30		ms	Note 3
	Power-down time	t_{PD}		20		ms	
C L O C K	Crystal/clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
	Clock input rise time	t_{LHCL}			110	ns	Ext. clock
	Clock input fall time	t_{HLCL}			110	ns	Ext. clock
	Clock input duty cycle	DCCL	40	50	60	%	Ext. clock
	Capacitive load (OSC2)	C_{LO}			30	pF	

[‡] Typical figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.

***NOTES:**

- Used for guard-time calculation purposes only.
- These, user adjustable parameters, are not device specifications. The adjustable settings of these minimums and maximums are recommendations based upon network requirements.
- With valid tone present at input, t_{PU} equals time from PDWN going low until EST going high.



NOTES:
 $R_1, R_2 = 10K\Omega \pm 1\%$
 $R_3 = 300K\Omega \pm 1\%$
 $C_1, C_2 = 100 pF \pm 5\%$
 $X-tal = 3.5795 \pm 5 MHz \pm 0.1\%$

Figure 10 - Single-Ended Input Configuration

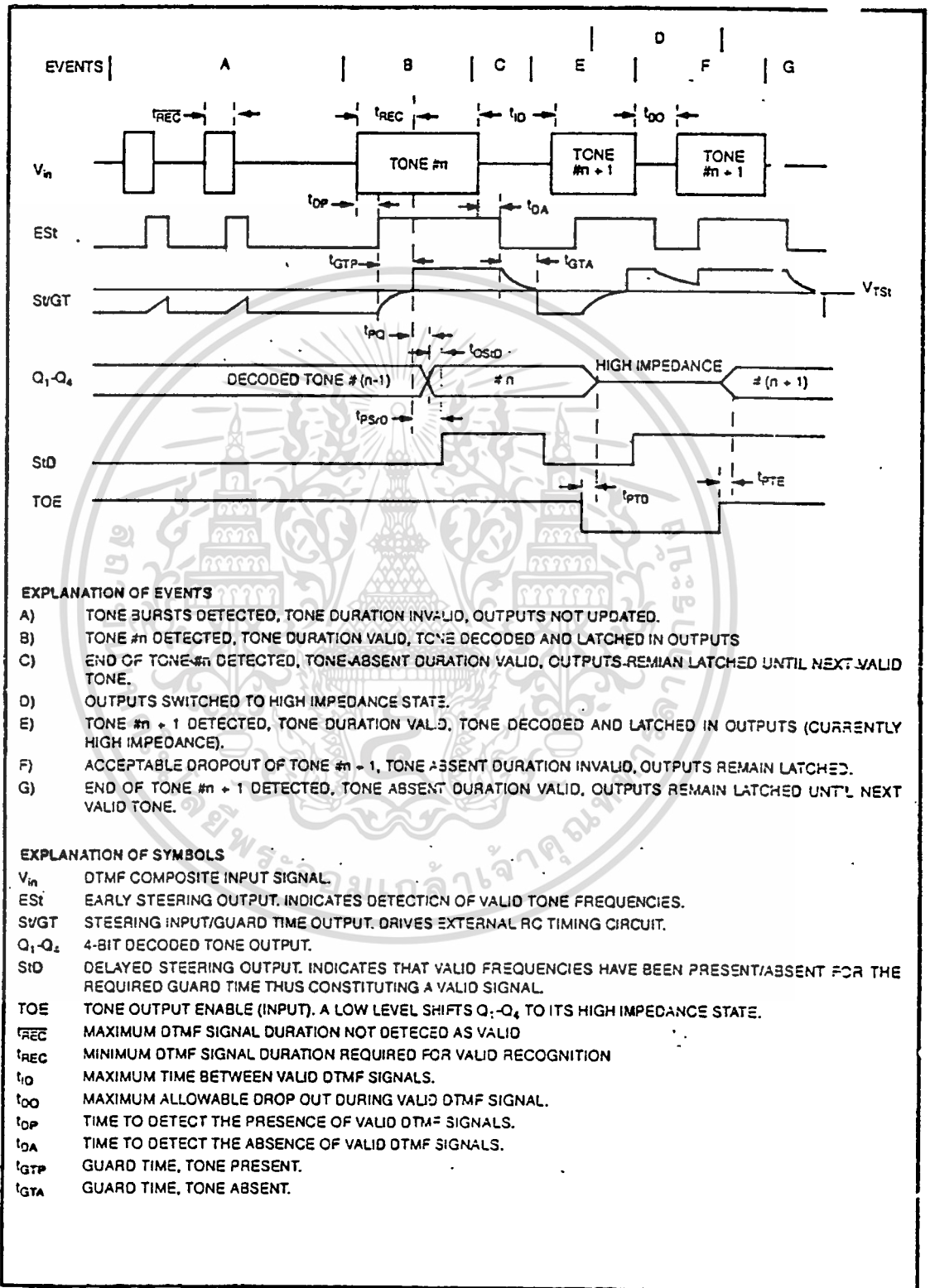


Figure 11 - Timing Diagram



ISD1200/1400 Series

Single-Chip Voice Record/Playback Devices 10-, 12-, 16-, and 20-Second Durations

GENERAL DESCRIPTION

Information Storage Devices' ISD1200/1400 ChipCorder™ Series provides high-quality, single-chip record/playback solutions to short duration messaging applications. The CMOS devices include an on-chip oscillator, microphone pre-amplifier, automatic gain control, antialiasing filter, smoothing filter, and speaker amplifier. A minimum record/playback subsystem can be configured with a microphone, a speaker, several passives, two push-buttons, and a power source.

Recordings are stored in nonvolatile memory cells, providing zero-power message storage. This unique solution is made possible through ISD's patented Direct Analog Storage Technology (DAST®), whereby voice and audio signals are stored directly, in their natural analog form, into EEPROM memory. Direct analog storage allows natural voice reproduction in a single-chip solid-state solution.

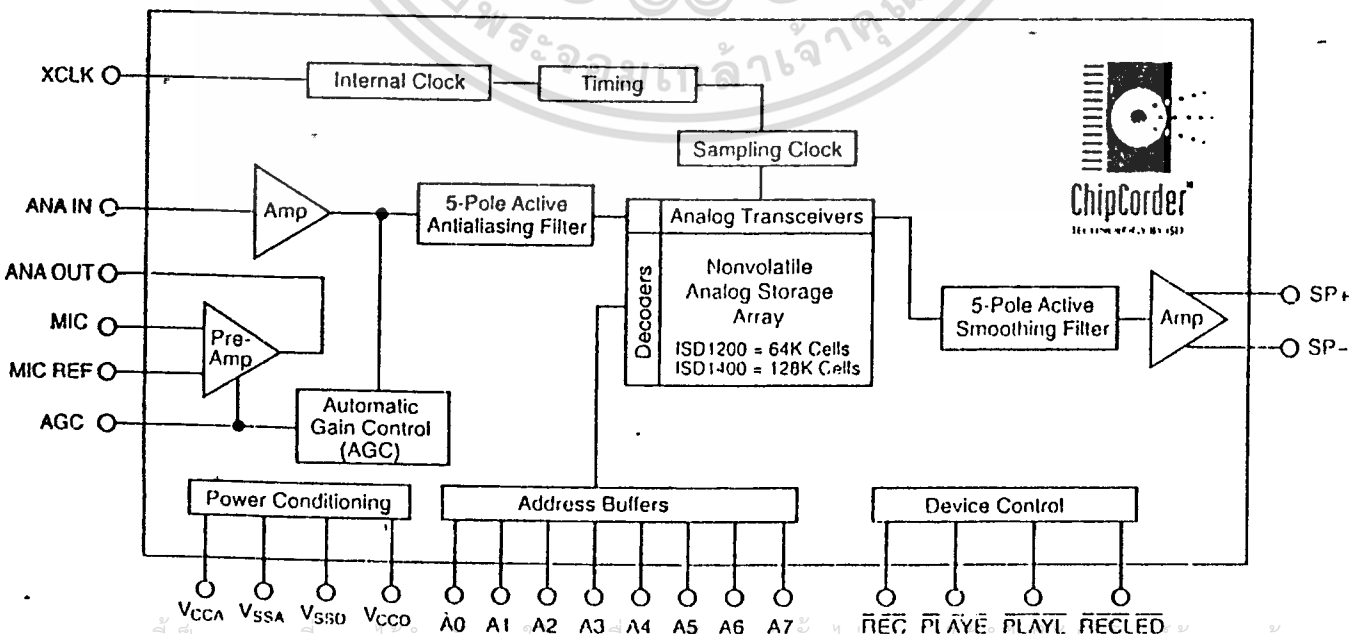
ISD1200/1400 SERIES SUMMARY

Part Number	Minimum Duration (Seconds)	Maximum Input Sample Rate (KHz)	Upper Pass Band (KHz)
ISD1210	10	6.4	2.7
ISD1212	12	5.3	2.3
ISD1416	16	8.0	3.4
ISD1420	20	6.4	2.7

FEATURES

- Easy-to-use single-chip voice record/playback solution
 - No external ICs required
 - Minimizes external components
- High-quality, natural voice/audio reproduction
- Push-button interface
 - Playback can be edge- or level-activated
- Zero-power message storage
 - Eliminates battery backup circuits
- 100-year message retention (typical)
- 100 K record cycles (typical)
- On-chip clock source
- No programmer or development system needed
- Fully addressable to handle multiple messages
- Automatic power-down mode
 - Enters standby mode immediately following a record or playback cycle
 - Standby current 0.5 uA (typical)
- Single power supply
- Available in DIP, SOIC, and die form for Chip-on-Board (COB) Module assembly

ISD1200/1400 SERIES BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษามาก่อน ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

SD1400X FUTURE DIE BONDING PHYSICAL LAYOUT

ISD1400X FUTURE

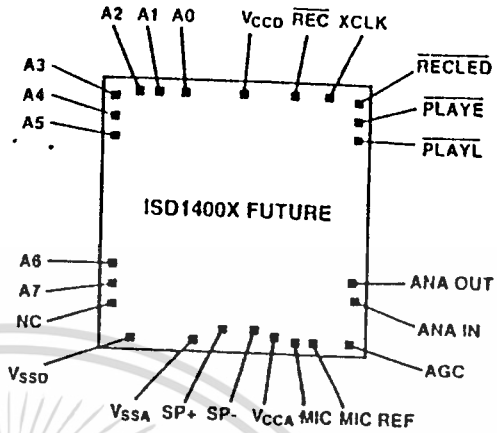
I. Die Dimensions

X: 206.2 ±1 mils

Y: 202.3 ±1 mils

II. Die Thickness
21 mils

III. Pad Opening (min)
100 x 112 microns
(3.9 x 4.4 mils)



ISD1400X FUTURE PIN/PAD DESIGNATIONS, WITH RESPECT TO DIE CENTER (µm)

Pin	Pin Name	X Axis	Y Axis	Pin	Pin Name	X Axis	Y Axis
A0	Address 0	-1332.5	1973.8	VCCA	Vcc Analog Power Supply	779.5	-1936.2
A1	Address 1	-1628.9	1973.8	MIC	Microphone Input	991.5	-1973.8
A2	Address 2	-1808.9	1973.8	MIC REF	Microphone Reference	1168.7	-1973.8
A3	Address 3	-2014.1	1910.2	AGC	Automatic Gain Control	1977.9	-1910.6
A4	Address 4	-2014.1	1722.6	ANA IN	Analog Input	2005.1	-1580.2
A5	Address 5	-2014.1	1519.8	ANA OUT	Analog Output	1990.7	-1379
A6	Address 6	-2014.1	-1214.6	PLAYL	Level-Activated Playback	2013.9	1608.6
A7	Address 7	-2014.1	-1399.8	PLAYE	Edge-Activated Playback	2013.9	1777
NC	No Connect	-2014.1	-1745.4	RECLED	Record LED Output	2011.9	1971.8
VSSD	VSS Digital Power Supply	-1894.1	-1971.8	XCLK	No Connect (optional)	1580.7	1973.8
VSSA	VSS Analog Power Supply	-358.1	-1971.8	REC	Record	752.3	1973.8
SP+	Speaker Output +	-17.7	-1896.6	VCCD	Vcc Digital Power Supply	-48.5	1929.4
SP-	Speaker Output -	411.9	-1896.6				

Note: Die dimensions and pin/pad positions may be subject to change. Please contact ISD Sales Offices or Representatives to verify current or future specifications.

DETAILED DESCRIPTION

Basic Operation

The ISD1200/1400 ChipCorder Series devices are controlled by a single signal, \overline{REC} , and either of two push-button control playback signals, \overline{PLAYE} (edge-activated playback), and \overline{PLAYL} (level-activated playback). The ISD1200/1400 parts are configured for simplicity of design in a single-message application. Using the address lines will allow multiple message applications. Device operation is explained on page 4.

Speech Quality

ISD's patented DAST technology provides natural record and playback. The input voice signals are stored directly in nonvolatile EEPROM cells, and reproduced without the synthetic effect often heard with digital solid-state speech solutions. A complete sample is stored in a single cell, minimizing the memory necessary to store a recording of a given duration.

Automatic Power-Down Mode

At the end of a playback or record cycle, the ISD1200/1400 Series devices automatically return to a low-power standby mode, consuming typically 0.5 μ A. During a playback cycle, the device powers down automatically at the end of the message. During a record cycle, the device powers down immediately after \overline{REC} is released HIGH.

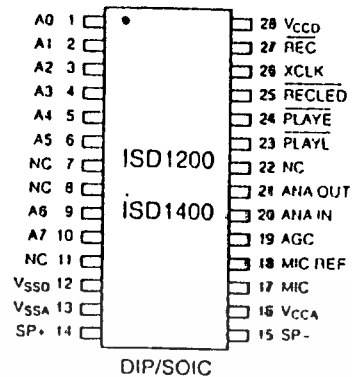
Addressing (optional)

In addition to providing simple message playback, the ISD1200/1400 Series provides a full addressing capability.

The ISD1200 Series storage array has 80 distinct addressable segments, while the ISD1400 Series storage array has 160 distinct addressable segments, providing the following resolutions.

Part Number	Resolution
ISD1210	125 ms
ISD1212	150 ms
ISD1416	100 ms
ISD1420	125 ms

ISD1200/1400 SERIES PINOUTS



Note: NC means Must Not Connect

PIN DESCRIPTIONS

Note: The \overline{REC} , \overline{PLAYL} , and \overline{PLAYE} signals are all debounced for 50 ms. on the rising edge to prevent a false retriggering from a push-button switch.

Record (\overline{REC})

The \overline{REC} input is an active-LOW record signal. The device records whenever \overline{REC} is LOW. This signal must remain LOW for the duration of the recording. \overline{REC} takes precedence over either playback (\overline{PLAYE} or \overline{PLAYL}) signal. If \overline{REC} is pulled LOW during a playback cycle, the playback immediately ceases and recording begins.

A record cycle is completed when \overline{REC} is pulled HIGH. An end-of-message marker is internally recorded, enabling a subsequent playback cycle to terminate appropriately. The device automatically powers down to standby mode when \overline{REC} goes HIGH.

Playback, Edge-Activated (\overline{PLAYE})

When a LOW-going transition is detected on this input signal, a playback cycle begins. Playback continues until an end-of-message marker is encountered or the end of the memory space is reached. Upon completion of the playback cycle, the device automatically powers down into standby mode. Taking \overline{PLAYE} HIGH during a playback cycle will not terminate the current cycle.

Playback, Level-Activated (\overline{PLAYL})

When this input signal transitions from HIGH to LOW, a playback cycle is initiated. Playback continues until \overline{PLAYL} is pulled HIGH, an end-of-message marker is detected, or the end of the device space is reached. The device automatically powers down to standby mode upon completion of the playback cycle.

Note: In playback, if either \overline{PLAYE} or \overline{PLAYL} is held LOW during EOM or OVERFLOW, the device will still enter

standby and the internal oscillator and timing generator will stop. However, the rising edge of **PLAYE** and **PLAYL** will no longer be debounced and any subsequent falling edge present on the input pins will initiate another playback.

Record LED Output (**RECLEd**)

The output **RECLEd** is **LOW** during a record cycle. It can be used to drive an LED to provide feedback that a record cycle is in progress. In addition, **RECLEd** pulses **LOW** momentarily when an end-of-message marker is encountered in a playback cycle.

Microphone Input (**MIC**)

The microphone is usually AC-coupled to this pin via a series capacitor. The user-selectable value of the input series capacitor (together with the 10K ohm resistance internal to the chip) determines the low-frequency cutoff for the ISD1200/1400 Series passband.

Microphone Reference (**MIC REF**)

When **MIC REF** is AC coupled to the microphone ground, the recorded noise level is significantly reduced. Ground noise is referenced to the preamplifier. If this pin is not used, it must **NOT** be connected to any signal or voltage. It must float.

Analog Output (**ANA OUT**)

The microphone signal is amplified and is output to the **ANA OUT** pin. The voltage gain of the preamp is determined by the voltage level at the Automatic Gain Control (**AGC**) pin. The preamplifier has a maximum gain of about 24 dB for small input signal levels.

Analog Input (**ANA IN**)

The external capacitor connects **ANA IN** to the **ANA OUT** pin. The value of the external capacitor, together with the 3 K Ω input impedance at **ANA IN**, can be chosen to give additional cutoff at the low-frequency end of the voice passband. The **ANA IN** pin may also be used to input alternative sources of analog signals (instead of the microphone signal) through a coupling capacitor.

Automatic Gain Control (**AGC**)

The purpose of the **AGC** is to dynamically adjust the preamplifier gain, and therefore extend the range of input signals which can be applied to the microphone input without causing distortion. The **AGC** can considerably extend the range of recordable sound from whispers to loud voices. To use the **AGC** feature, an external resistor and capacitor should be connected in

parallel between the **AGC** pin and Ground. Recommended values are 470 K Ω and 4.7 μ F. The "attack" time of the gain control is determined by the source resistance (5 K Ω) and the external capacitor. The "release" time is determined by the external resistor and capacitor. For **AGC** voltages of 1.5 Volts and below, the preamplifier is at its maximum gain of 24 dB. Reduction in preamplifier gain occurs for voltages of approximately 1.8 Volts. If the **AGC** function is not desired, the **AGC** pin can be tied to Ground and the preamplifier gain will be held at its highest level of approximately 24 dB.

If operating at voltages above 5.5 V, insert a 5.1 K Ω resistor in series with the capacitor from pin 20 to pin 21 to minimize distortion.

Speaker Outputs (**SP+**, **SP-**)

The **SP+** and **SP-** pins provide direct drive for loudspeakers with impedances as low as 16 ohms. A single output may be used, but, for direct-drive loudspeakers, the two opposite-polarity outputs provide an improvement in output power of up to four times over a single-ended connection. Furthermore, when **SP+** and **SP-** are used, a speaker-coupling capacitor is not required. A single-ended connection will require an AC-coupling capacitor between the **SP** pin and the speaker. The speaker outputs are in a high-impedance state during a record cycle, and held at **V_{SSA}** during Power Down.

Optional External Clock (**XCLK**)

This signal is normally tied to ground in applications circuits. If, however, greater timing precision is desired, (internal clock has $\pm 2.5\%$ tolerance over temperature and voltage range), the chip can be externally clocked through this pin. If the **XCLK** is not used, this input should be connected to ground.

V_{CCA} and **V_{CDD}**

Analog and digital circuits internal to the ISD1200/1400 Series use separate power buses to minimize noise on the chip. These power buses are brought out to separate pins on the package and should be tied together as close to the supply as possible. It is important that the power supply be decoupled as close as possible to the package.

V_{SSA} and **V_{SSD}** (Ground)

Similar to **V_{CCA}** and **V_{CDD}**, the analog and digital circuits internal to the ISD1200/1400 Series use separate ground buses to minimize noise. These pins should be tied together as close as possible to the device.

TABLE 1. OPERATIONAL MODES

Address Ctrl. (HIGH)	Function	Typical Use	Jointly* Compatible
A0	Message cueing	Fast-forward through messages	A4
A1	Delete $\overline{\text{EOM}}$ markers	Position $\overline{\text{EOM}}$ marker at the end of the last message	A3, A4
A2	Unused		
A3	Looping	Continuous playback from Address 0	A1-
A4	Consecutive addressing	Record/Play multiple consecutive messages	A0, A1
A5	Unused		

* Indicates additional operational modes which can be used simultaneously with the given mode.

Address Inputs (A0-A7)

The Address Inputs have two functions, depending upon the level of the two Most Significant Bits (MSB) of the address.

If either of the two MSBs is LOW, the inputs are ALL interpreted as address bits and are used as the start address for the current Record or Playback cycle. The address pins are inputs only and do not output internal address information as the operation progresses. Address inputs are latched by the falling edge of $\overline{\text{PLAYE}}$, $\overline{\text{PLAYL}}$ or $\overline{\text{REC}}$.

OPERATIONAL MODES

The ISD1200/1400 Series is designed with several built-in operational modes provided to allow maximum functionality with a minimum of additional components, described in detail below. The operational modes use the address pins on the ISD1200/1400 devices, but are mapped outside the valid address range. When the two Most Significant Bits (MSBs) are HIGH, the remaining address signals are interpreted as mode bits and NOT as address bits. Therefore, operational modes and direct addressing are not compatible and cannot be used simultaneously.

There are two important considerations for using operational modes. First, all operations begin initially at address 0, which is the beginning of the ISD1200/1400 address space. Later operations can begin at other address locations, depending on the operational mode(s) chosen. In addition, the address pointer is reset to 0 when the device is changed from Record to Playback, Playback to Record, or when a Power-Down cycle is executed.

Second, an Operational Mode is executed when any of the control inputs, $\overline{\text{PLAYE}}$, $\overline{\text{PLAYL}}$, or $\overline{\text{REC}}$, go LOW and the two MSBs are HIGH. This Operational Mode remains in effect until the next LOW-going control input signal, at which point the current address/mode levels are sampled and executed.

(Note: The two MSBs are on pins 9 and 10 for each ISD1200/1400 Series member.)

OPERATIONAL MODE DESCRIPTIONS

The Operational Modes can be used in conjunction with a microcontroller, or they can be hard-wired to provide the desired system operation.

A0 — Message Cueing ($\overline{\text{PLAYE}}$ or $\overline{\text{PLAYL}}$ only)

Message Cueing allows the user to skip through messages, without knowing the actual physical addresses of each message. Each control input LOW pulse causes the internal address pointer to skip to the next message. This mode should be used for Playback only, and is typically used with the A4 Operational Mode.

A1 — Delete $\overline{\text{EOM}}$ Markers ($\overline{\text{REC}}$ only)

The A1 Operational Mode allows sequentially recorded messages to be concatenated into a single message with only one $\overline{\text{EOM}}$ marker set at the end of the combined message. When this operational mode is configured, messages recorded sequentially are played back as one continuous message.

A2 — Unused

A3 — Message Looping ($\overline{\text{PLAYE}}$ or $\overline{\text{PLAYL}}$ only)

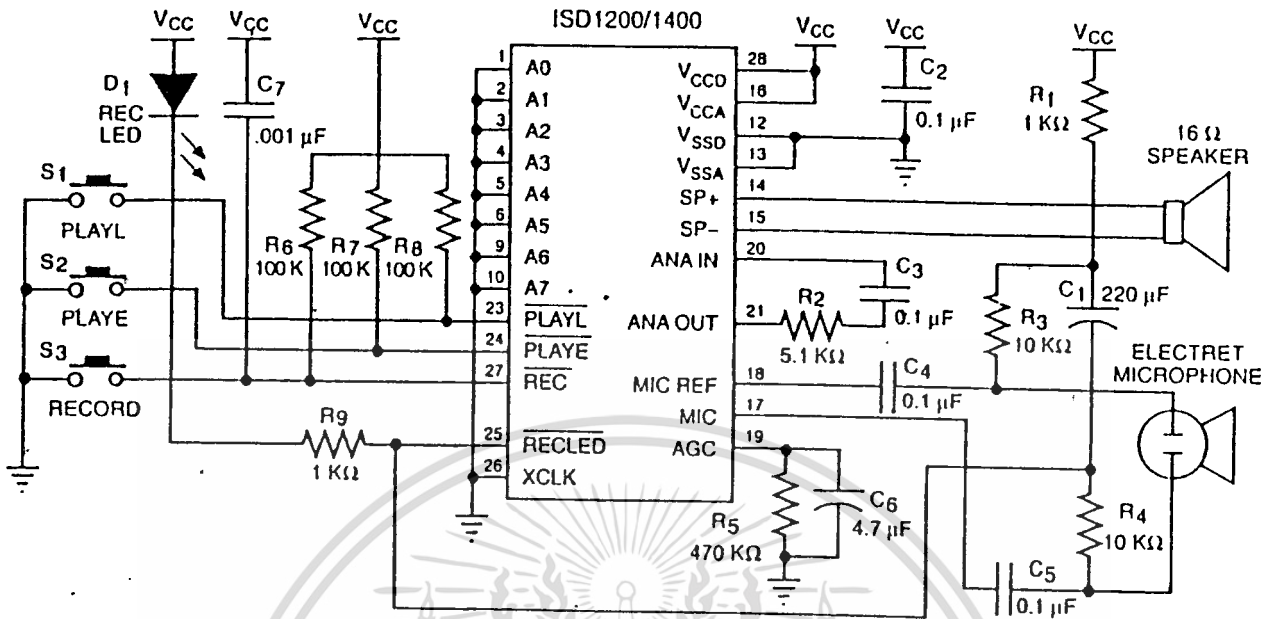
The A3 Operational Mode allows for the automatic, continuously repeated playback of the message located at the beginning of the address space. A message CAN completely fill the ISD1200/1400 device and will loop from beginning to end.

A4 — Consecutive Addressing

During normal operations, the address pointer will reset when a message is played through to an $\overline{\text{EOM}}$ marker. The A4 Operational Mode inhibits the address pointer reset, allowing messages to be played back consecutively.

A5 — Unused

APPLICATION SCHEMATIC



Note: ISD Application Notes and Design Manual available

FUNCTIONAL DESCRIPTION EXAMPLE

The following example operating sequence demonstrates the functionality of the ISD1200/1400 Series devices.

1. Record a message filling the address space.

Pulling the $\overline{\text{REC}}$ signal LOW initiates a record cycle from the beginning of the message space. If $\overline{\text{REC}}$ is held LOW, the recording continues until the message space has been filled. Once the message space is filled, recording ceases. The device will automatically power down after $\overline{\text{REC}}$ is pulled HIGH.

2. Edge-activated playback.

Pulling the $\overline{\text{PLAYE}}$ signal LOW initiates a playback cycle from the beginning of the message space. The rising edge of $\overline{\text{PLAYE}}$ has no effect on operation. If a recording has filled the message space, the entire message is played. When the device reaches the end of the message space, it automatically powers down. A subsequent, falling edge on $\overline{\text{PLAYE}}$ initiates a new play cycle from the start address.

3. Level-activated playback.

Pulling the $\overline{\text{PLAYL}}$ signal LOW initiates a playback cycle from the beginning of the message space. If $\overline{\text{PLAYL}}$ remains LOW, the device plays through to the end of the message and subsequently enters the power-down mode.

4. Level-activated playback (truncated).

If $\overline{\text{PLAYL}}$ is pulled HIGH any time during the play-back cycle, the device stops playing and enters the power-down mode. A subsequent falling edge on $\overline{\text{PLAYL}}$ initiates a new play cycle from the start address.

5. Record (interrupting playback).

The $\overline{\text{REC}}$ signal takes precedence over other operations. Any LOW-going transition on $\overline{\text{REC}}$ initiates a new record operation from the beginning of the start address, regardless of any current operation in progress.

6. Record a message, partially filling the address space.

A record operation need not fill the entire message space. Releasing the $\overline{\text{REC}}$ signal HIGH before filling the message space causes the recording to stop and an end-of-message marker to be placed. The device powers down automatically.

7. Play back a message, partially filling the address space.

Pulling the $\overline{\text{PLAYE}}$ or $\overline{\text{PLAYL}}$ signal LOW initiates a playback cycle which is then completed when the end-of-message marker is encountered. Playback ceases and the device powers down.

8. RECLEL operation.

The $\overline{\text{RECLEL}}$ output pin provides an active-LOW signal which can be used to drive an LED as a "record in progress" indicator. It returns to a HIGH state when the $\overline{\text{REC}}$ pin is released HIGH or when the recording is completed due to the message space being filled.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

APPLICATIONS NOTE

Some users may experience an unexpected recording taking place when their circuit is powered up, or the batteries are changed and V_{CC} rises faster than REC. This undesired recording prevents playback of the previously recorded message. A spurious End Of Message (EOM) marker appears at the very beginning of the memory, preventing access to the original message, and nothing is played.

To prevent this occurrence, place a capacitor (approx. $.001 \mu\text{F}$) between the control pin ($\overline{\text{REC}}$) and V_{CC} . This pulls

the control pin voltage up with V_{CC} as it rises. Once the voltage is HIGH, the pull-up device will keep the pin HIGH until intentionally pulled LOW, preventing the false EOM marker.

Since this anomaly is dependent upon factors such as the capacitance of the user's printed circuit board, not all circuit designs will exhibit the spurious marker. It is recommended, however, that the capacitor is included for design reliability. A more detailed explanation and resolution of this occurrence is described in the ISD Application Notes and Design Manual.

ABSOLUTE MAXIMUM RATINGS (ISD1200/1400 SERIES - PACKAGED)

Condition	Value
Temperature under bias	-65° C to +125° C
Storage temperature range	-65° C to +150° C
Voltage applied to any pin	($V_{SS} - 0.3 \text{ V}$) to ($V_{CC} + 0.3 \text{ V}$)
Voltage applied to any pin (Input current limited to $\pm 20 \text{ mA}$)	($V_{SS} - 1.0 \text{ V}$) to ($V_{CC} + 1.0 \text{ V}$)
Lead temperature (soldering - 10 seconds)	300° C
$V_{CC} - V_{SS}$	-0.3 V to +7.0 V

Stresses above those listed may cause permanent damage to the device. Exposure to the absolute maximum ratings may affect device reliability.

DC PARAMETERS (ISD1200/1400 SERIES - PACKAGED)

Operating Conditions: $T_A = 0^\circ \text{ to } 70^\circ \text{ C}$, $V_{CC} = 4.5 \text{ V to } 6.5 \text{ V}^{(1)}$, $V_{SS} = 0 \text{ V}^{(2)}$; unless otherwise noted

Symbol	Parameters	Min	Typ ⁽³⁾	Max	Units	Conditions
V_{IL}	Input Low Voltage			0.8	V	
V_{IH}	Input High Voltage	2.4			V	
V_{OL}	Output Low Voltage			0.4	V	$I_{OL} = 4.0 \text{ mA}$
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -1.6 \text{ mA}$
I_{CC}	V_{CC} Current @ 5.5 V (Operating)		15	30	mA	$V_{CC} = 5.5 \text{ V}$, $R_{EXT} = \infty^{(4)}$
I_{CC}	V_{CC} Current @ 6.5 V (Operating)		15	35	mA	$V_{CC} = 6.5 \text{ V}$, $R_{EXT} = \infty^{(4)}$
I_{SB}	V_{CC} Current (Standby)		0.5	10	μA	(1) (5)
I_{IL}	Input Leakage Current			± 1	μA	(4) (5)
I_{ILPD}	Input Current HIGH w/Pull Down			130	μA	Force $V_{CC}^{(6) (7)}$
R_{EXT}	Output Load Impedance	16			Ω	Speaker Load
R_{MIC}	Preamp In Input Resistance		10		K Ω	Pins 17, 18
$R_{ANA \text{ In}}$	Ana In Input Resistance		3		K Ω	
A_{PRE1}	Preamp Gain 1		24		dB	AGC = 0.0 V
A_{PRE2}	Preamp Gain 2		-45	-15	dB	AGC = 2.5 V
A_{ARI}	Ana In to SP+/-		22		dB	
R_{AGC}	AGC Output Resistance		5		K Ω	
I_{PREH}	Preamp Out Source		-2		mA	@ $V_{OUT} = 1.0 \text{ V}$
I_{PREL}	Preamp In Sink		0.5		mA	@ $V_{OUT} = 2.0 \text{ V}$

Notes: 1. $V_{CC} = V_{CCA} = V_{CCD}$.

2. $V_{SS} = V_{SSA} = V_{SSD}$.

3. Typical values @ $T_A = 25^\circ \text{ C}$ and 5.0 V.

4. V_{CCA} and V_{CCD} connected together.

5. $\overline{\text{REC}}$, $\overline{\text{PLAYL}}$, and $\overline{\text{PLAYE}}$ must be V_{CCD} .

6. Pin 26.

7. Applies only to ISD1200 and ISD1400 future version (see page 13).

IC PARAMETERS (ISD1200/1400 SERIES - PACKAGED)Operating Conditions: $T_A = 0^\circ$ to 70° C, $V_{CC} = 4.5$ V to 6.5 V ⁽¹⁾, $V_{SS} = 0$ V ⁽²⁾, unless otherwise noted

Symbol	Characteristic	Min	Typ ⁽³⁾	Max	Units	Conditions
THD	Total Harmonic Distortion		1		%	@ 1 KHz
T _{LED1}	RECLE \bar{D} ON Delay		5		μ sec	
T _{LED2}	RECLE \bar{D} OFF Delay		48.6		msec	
T _S	A3 Loop Setup Time	300			nsec	
T _H	A3 Loop Hold Time	0			nsec	
T _{RPUD}	Record Power-Up Delay		32		msec	
T _{RPDD}	Record Power-Down Delay		32		msec	
T _{PPUD}	Play Power-Up Delay		32		msec	
T _{PPDD}	Play Power-Down Delay		8.1		msec	
P _{OUT}	Speaker Output Power		12.2		mW	R _{EXT} = 16 Ω
V _{OUT}	Voltage Across Speaker Pins		1.25	2.5	V p-p	R _{EXT} = 600 Ω
V _{IN1}	MIC Input Voltage			20	mV	Peak-to-Peak ⁽⁴⁾
V _{IN2}	ANA IN Input Voltage			50	mV	Peak-to-Peak

AC PARAMETERS

Symbol	Characteristic	ISD-1210	ISD-1212	ISD-1416	ISD-1420	Units	Conditions
F _S	Sampling Frequency (max)	6.4	5.3	8	6.4	KHz	Internal Oscillator
BW	Bandwidth (max)	2.7	2.3	3.4	2.7	KHz	3 dB Roll-Off Point ⁽⁵⁾
T _{RPW}	Record Pulse Width (max)	10	12	16	20	sec.	
T _{PLAY}	Playback Duration (min)	10	12	16	20	sec.	
T _{LED2}	RECLE \bar{D} OFF Delay	48.6	58.3	38.9	48.6	msec	(6)
T _{RPUD}	Rec. Power-Up Delay	32	39	26	32	msec	(6)
T _{RPDD}	Rec. Power-Down Delay	32	39	26	32	msec	(6)
T _{PPUD}	Play Power-Up Delay	32	39	26	32	msec	(6)
T _{PPDD}	Play Power-Down Delay	8.1	9.7	6.5	8.1	msec	(6)

Notes: 1. $V_{CC} = V_{CCA} = V_{CCD}$.2. $V_{SS} = V_{SSA} = V_{SSD}$.3. Typical values @ $T_A = 25^\circ$ C, 5.0 V, and 6.2 KHz sample rate.4. With 12 K Ω series resistor at ANA IN.

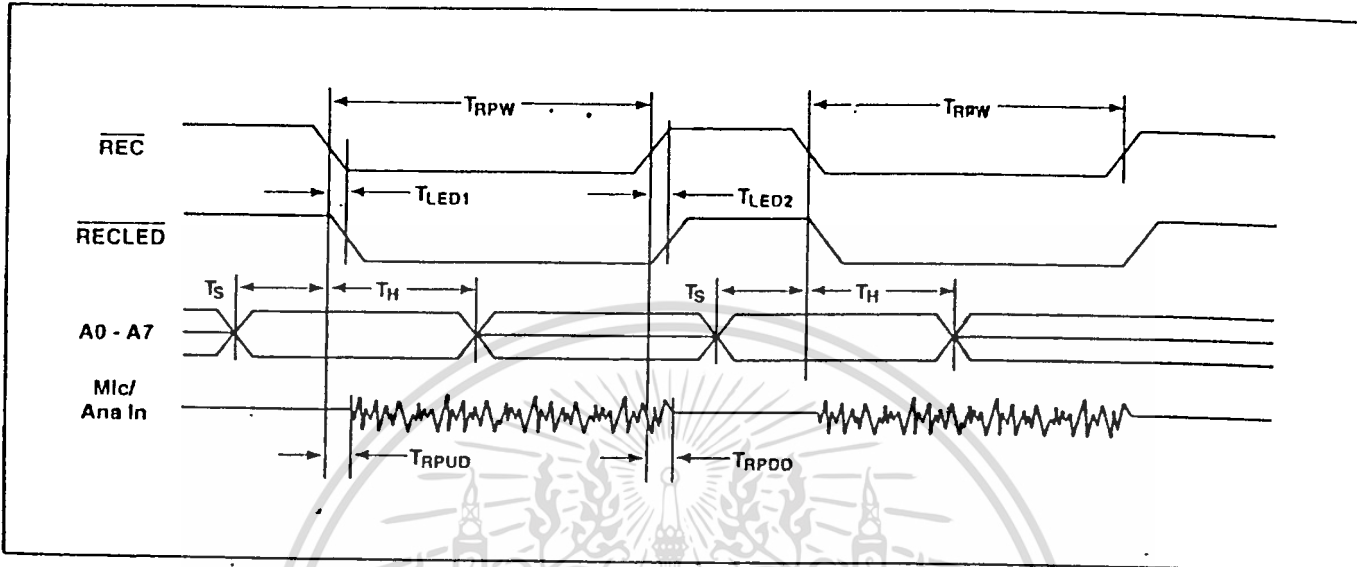
5. Low-frequency cutoff depends upon value of external capacitors (see Pin Descriptions).

6. Typical values @ $T_A = 25^\circ$ C and 5.0 V.

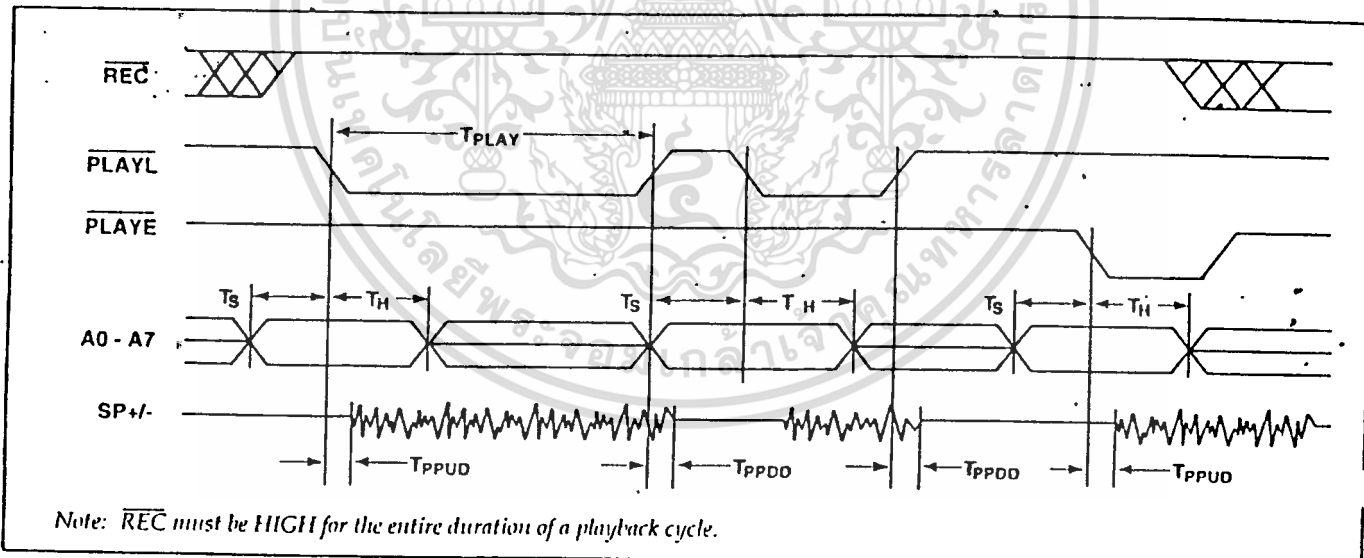
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TIMING DIAGRAMS (ISD1200/1400 SERIES - PACKAGED)

RECORD



PLAYBACK



ABSOLUTE MAXIMUM RATINGS (ISD1200X/1400X SERIES - UNPACKAGED DIE)

Condition	Value
Storage temperature range	-65°C to 150°C
Voltage applied to any pin	(V _{SS} - 0.3 V) to (V _{CC} + 0.3 V)
Voltage applied to any pin Input current limited to ±20 mA	(V _{SS} - 1.0 V) to (V _{CC} + 1.0 V)
V _C - V _{SS}	-0.3 V to +7.0 V

Conditions above those listed may cause permanent damage to the device. Exposure to the absolute maximum ratings may affect device reliability.

PARAMETERS (ISD1200X/1400X SERIES - UNPACKAGED DIE)

Operating Conditions: T_A = 0° to 50° C (ambient), V_{CC} = 4.5 V to 6.5 V⁽¹⁾, V_{SS} = 0 V⁽²⁾; unless otherwise noted

Symbol	Parameters	Min	Typ ⁽³⁾	Max	Units	Conditions
V _{IL}	Input Low Voltage			0.8	V	
V _{IH}	Input High Voltage	2.4			V	
V _{OL}	Output Low Voltage			0.4	V	I _{OL} = 4.0 mA
V _{OIH}	Output High Voltage	2.4			V	I _{OIH} = 1.6 mA
I _{CC}	V _{CC} Current @ 5.5 V (Operating)		15	30	mA	V _{CC} = 5.5 V, R _{EXT} = ∞ ⁽⁴⁾
I _{CC}	V _{CC} Current @ 6.5 V (Operating)		15	35	mA	V _{CC} = 6.5 V, R _{EXT} = ∞ ⁽⁴⁾
I _{SB}	V _{CC} Current (Standby)		0.5	10	μA	(4)(5)
I _{IL}	Input Leakage Current			±1	μA	(4)(5)
I _{ILO}	Input Current HIGH w/Pull Down			130	μA	Force V _{CC} ⁽⁶⁾⁽⁷⁾
R _{EXT}	Output Load Impedance	16			Ω	Speaker Load
R _{MIC}	Preamplifier Input Resistance		10		KΩ	Pins 17, 18
R _{ANA IN}	Analog Input Resistance		3		KΩ	
A _{PRE1}	Preamplifier Gain 1		24		dB	AGC = 0.0 V
A _{PRE2}	Preamplifier Gain 2		-45	-15	dB	AGC = 2.5 V
A _{AMP}	Analog Input to SP +/-		22		dB	
R _{ACC}	AGC Output Resistance		5		KΩ	
I _{PRE1}	Preamplifier Output Source		-2		mA	@ V _{OUT} = 1.0 V
I _{PRE1}	Preamplifier Input Sink		0.5		mA	@ V _{OUT} = 2.0 V

Notes: 1. V_{CC} = V_{CCA} = V_{CCD}.

2. V_{SS} = V_{SSA} = V_{SSD}.

3. Typical values @ T_A = 25° C and 5.0 V.

4. V_{CCA} and V_{CCD} connected together.

5. REC, PLAYL, and PLAYE must be V_{CCD}.

6. Pin 26.

7. Applies only to ISD1200 and ISD1400 future version (see page 13).

AC PARAMETERS (ISD1200X/1400X SERIES - UNPACKAGED DIE)

Operating Conditions: $T_A = 0^\circ$ to 50° C (ambient), $V_{CC} = 4.5$ V to 6.5 V ⁽¹⁾, $V_{SS} = 0$ V ⁽²⁾; unless otherwise noted

Symbol	Characteristic	Min	Typ ⁽³⁾	Max	Units	Conditions
THD	Total Harmonic Distortion		1		%	@ 1 KHz
T _{LED1}	RECLED ON Delay		5		μsec	
T _{LED2}	RECLED OFF Delay		48.6		msec	
T _S	A3 Loop Setup Time	300			nsec	
T _{HI}	A3 Loop Hold Time	0			nsec	
T _{RPUD}	Record Power-Up Delay		32		msec	
T _{RPDD}	Record Power-Down Delay		32		msec	
T _{PPUD}	Play Power-Up Delay		32		msec	
T _{PPDD}	Play Power-Down Delay		8.1		msec	
P _{OUT}	Speaker Output Power		12.2		mW	R _{EXT} = 16 Ω
V _{OUT}	Voltage Across Speaker Pins		1.25	2.5	V p-p	R _{EXT} = 600 Ω
V _{IN1}	MIC Input Voltage			20	mV	Peak-to-Peak ⁽⁴⁾
V _{IN2}	ANA IN Input Voltage			50	mV	Peak-to-Peak

AC PARAMETERS

Symbol	Characteristic	ISD-1210	ISD-1212	ISD-1416	ISD-1420	Units	Conditions
F _S	Sampling Frequency (max)	6.4	5.3	8	6.4	KHz	Internal Oscillator
BW	Bandwidth (max)	2.7	2.3	3.4	2.7	KHz	3 dB Roll-Off Point ⁽⁵⁾
T _{RPW}	Record Pulse Width (max)	10	12	16	20	sec.	
T _{PLAY}	Playback Duration (min)	10	12	16	20	sec.	
T _{LED2}	RECLED OFF Delay	48.6	58.3	38.9	48.6	msec	(6)
T _{RPUD}	Rec. Power-Up Delay	32	39	26	32	msec	(6)
T _{RPDD}	Rec. Power-Down Delay	32	39	26	32	msec	(6)
T _{PPUD}	Play Power-Up Delay	32	39	26	32	msec	(6)
T _{PPDD}	Play Power-Down Delay	8.1	9.7	6.5	8.1	msec	(6)

Notes: 1. $V_{CC} = V_{CCA} = V_{CCD}$.

2. $V_{SS} = V_{SSA} = V_{SSD}$.

3. Typical values @ $T_A = 25^\circ$ C, 5.0 V, and 6.2 KHz sample rate.

4. With 12 KΩ series resistor at ANA IN.

5. Low-frequency cutoff depends upon value of external capacitors (see Pin Descriptions).

6. Typical values @ $T_A = 25^\circ$ C and 5.0 V.

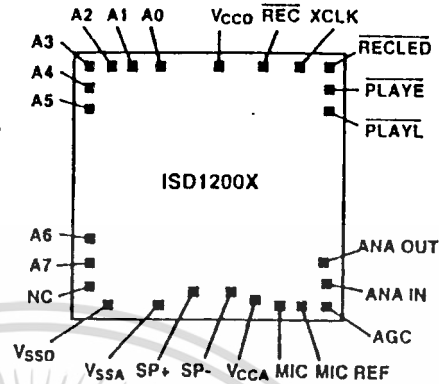
ISD1200X DIE BONDING PHYSICAL LAYOUT

ISD1200X

I. Die Dimensions
 X: 172.2 ± 1 mils
 Y: 138.2 ± 1 mils

II. Die Thickness
 21 mils

III. Pad Opening (min)
 88 x 112 microns
 (3.46 x 4.41 mils)

ISD1200X PIN/PAD DESIGNATIONS, WITH RESPECT TO DIE CENTER (μm)

Pin	Pin Name	X Axis	Y Axis	Pin	Pin Name	X Axis	Y Axis
A0	Address 0	-1364	1589.6	VCCA	V _{CC} Analog Power Supply	780	-1552.4
A1	Address 1	-1648.4	1589.6	MIC	Microphone Input	992	-1590
A2	Address 2	-1816.4	1589.6	MIC REF	Microphone Reference	1169.2	-1590
A3	Address 3	-2013.6	1515.6	AGC	Automatic Gain Control	1978.4	-1590
A4	Address 4	-2013.6	1337.6	ANA IN	Analog Input	2005.6	-1196.4
A5	Address 5	-2013.6	1129.6	ANA OUT	Analog Output	1991.2	-995.2
A6	Address 6	-2013.6	-831.2	PLAYL	Level-Activated Playback	2014.4	1224.4
A7	Address 7	-2013.6	-1022	PLAYE	Edge-Activated Playback	2014.4	1392.8
NC	No Connect	-2013.6	-1361.6	RECLED	Record LED Output	2012.4	1587.6
VSSD	V _{SS} Digital Power Supply	-1893.6	-1588	XCLK	No Connect (optional)	1581.2	1589.6
VSSA	V _{SS} Analog Power Supply	-357.6	-1588	REC	Record	752.8	1589.6
SP+	Speaker Output +	-17.2	-1512.8	VCCD	V _{CC} Digital Power Supply	-48	1545.2
SP-	Speaker Output -	412.4	-1512.8				

Note: Die dimensions and pin/pad positions may be subject to change. Please contact ISD Sales Offices or Representatives to verify current or future specifications.

ISD1400X CURRENT DIE BONDING PHYSICAL LAYOUT

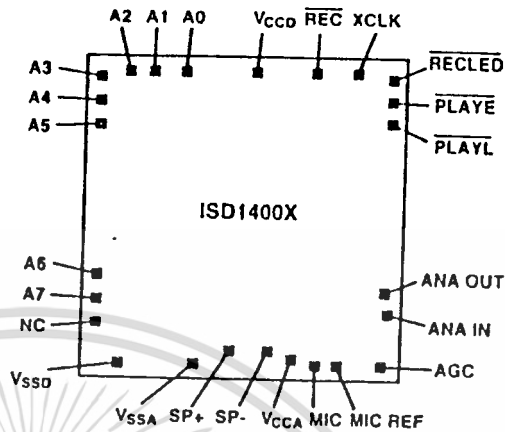
ISD1400X

I. Die Dimensions

X: 211 ±1 mils
Y: 207 ±1 mils

II. Die Thickness
21 mils

III. Pad Opening (min)
109 microns
(4.3 mils)



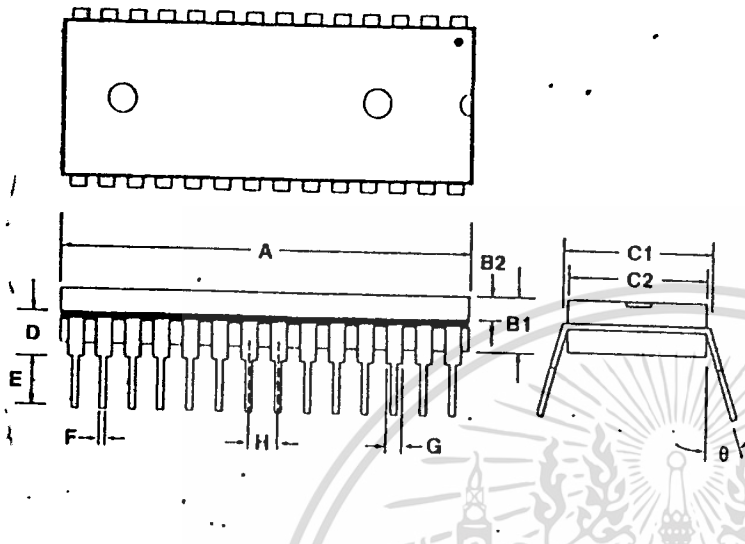
ISD1400X PIN/PAD DESIGNATIONS, WITH RESPECT TO DIE CENTER (µm)

Pin	Pin Name	X Axis	Y Axis	Pin	Pin Name	X Axis	Y Axis
A0	Address 0	-1712.5	2445.5	VCCA	VCC Analog Power Supply	952.2	-2412
A1	Address 1	-2068	2445.5	MIC	Microphone Input	1217.5	-2459
A2	Address 2	-2278	2445.5	MIC REF	Microphone Reference	1439	-2459
A3	Address 3	-2509.5	2368	AGC	Automatic Gain Control	2450.5	-2410
A4	Address 4	-2509.5	2145.5	ANA IN	Analog Input	2484.5	-1980.5
A5	Address 5	-2509.5	1885.5	ANA OUT	Analog Output	2466.5	-1715.5
A6	Address 6	-2509.5	-1525.5	PLAYL	Level-Activated Playback	2495.5	1989
A7	Address 7	-2509.5	-1764	PLAYE	Edge-Activated Playback	2495.5	2201
NC	No Connect	-2509.5	-2178.5	RECLEd	Record LED Output	2493	2443
VSSD	VSS Digital Power Supply	-2359.5	-2456.5	XCLK	No Connect (optional)	1970	2445.5
VSSA	VSS Analog Power Supply	-469.5	-2456.5	REC	Record	900	2445.5
SP+	Speaker Output +	-29	-2362.5	VCCD	VCC Digital Power Supply	-52.5	2390
SP-	Speaker Output -	508	-2362.5				

Note: Die dimensions and pin/pad positions may be subject to change. Please contact ISD Sales Offices or Representatives to verify current or future specifications.

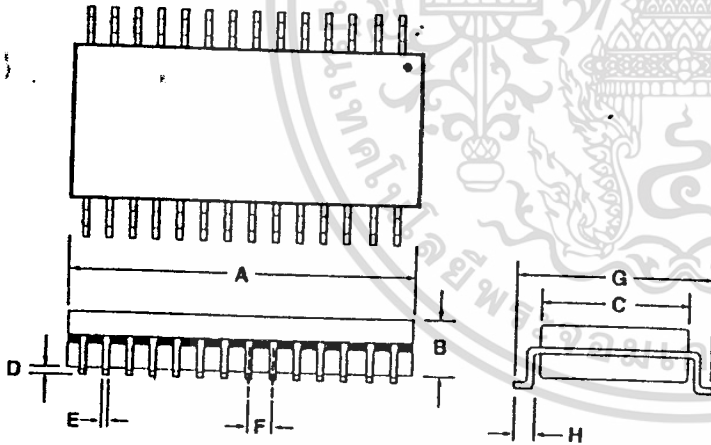
PACKAGE DIAGRAMS

28-Lead Plastic Dual In-Line Package (DIP) Type P



	INCHES			MILLIMETERS		
	Min	Nom	Max	Min	Nom	Max
A	1.445	1.450	1.455	36.7	36.83	36.95
B1		.150			3.81	
B2	.065	.070	.075	1.65	1.78	1.91
C1	.600		.625	15.24		15.88
C2	.530	.540	.550	13.46	13.72	13.97
D	.115	.120	.125	2.92	3.05	3.18
E	.125	.130	.135	3.18		3.43
F	.015	.018	.022	0.38	0.46	0.56
G	.055	.060	.065	1.40	1.52	1.65
H		.100			2.54	
θ	0°	7°	15°	0°	7°	15°

28-Lead Plastic Small Outline Package (SOIC) Type J



	INCHES			MILLIMETERS		
	Min	Nom	Max	Min	Nom	Max
A	.706	.714	.718	17.93	18.14	18.24
B	.086	.088	.090	2.18	2.24	2.29
C	.340	.346	.350	8.64	8.79	8.89
D	.004	.007	.010	.102	.178	.254
E	.014	.016	.020	.360	.410	.480
F		.050			1.27	
G	.463	.470	.477	11.76	12.00	12.12
H	.020	.031	.042	.510	.790	1.07

SCL4017AB



CMOS DECADE COUNTER/DIVIDER

FEATURES

- ◆ 10 Decoded Decimal Outputs
- ◆ Direct Reset
- ◆ Trigger from either Edge of Clock Input
- ◆ Carry Output for Cascading Stages
- ◆ Fully Static Operation - DC to 5MHz @ 10Vdc

DESCRIPTION

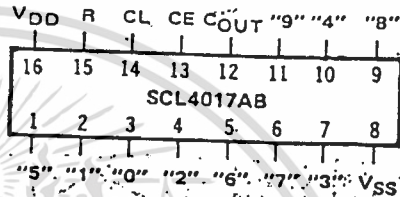
The SCL4017AB consists of a 5-stage Johnson Decade Counter and an Output Decoder. Inputs include Clock, Reset, and Clock Enable signals.

The counter has interchangeable Clock and Clock Enable lines for incrementing on either a positive-going or negative-going transition, respectively. A high Reset signal clears the counter to its zero count.

Use of the Johnson decade counter configuration permits high-speed operation, 2-input decode gating, and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The 10 decoded outputs are normally low and go high only at their respective decoded time slot. Each decoded output remains high for one full clock cycle. A Carry-out (COUT) signal completes one cycle every 10 clock input cycles in multi-stage applications.

This part can be used in frequency division circuits as well as decade counter or decimal decode display applications.

CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	VDD - VSS	3 to 15	Vdc
Operating Temperature	TA	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

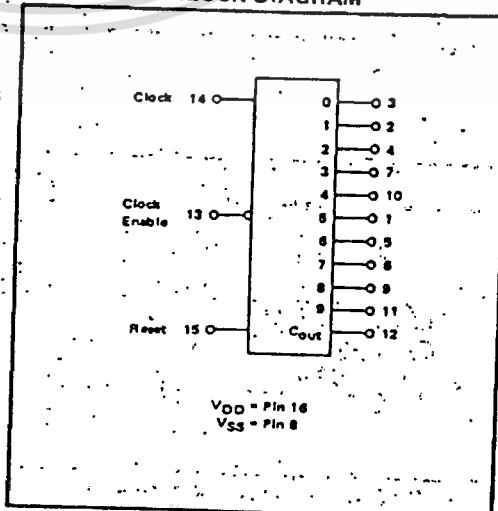
FUNCTIONAL TRUTH TABLE (Positive Logic)

Clock	Clock Enable	Reset	Decode Output = n
0	X	0	n
X	1	0	n
X	X	0	"0"
X	0	1	n + 1
X	X	0	m
1	X	0	n
1	X	0	n + 1

x = Don't Care

If n < 5 Carry = "1", Otherwise = "0"

BLOCK DIAGRAM



VDD = Pin 16
VSS = Pin 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาติให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS¹

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units				
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.					
QUIESCENT DEVICE CURRENT	I _{DD}	5	V _{IN} =V _{SS} or V _{DD}	–	5	–	0.05	5	–	150	μA _{dc}			
		10	All valid input combinations	–	10	–	0.1	10	–	300				
		15	All valid input combinations	–	20	–	0.2	20	–	600				
OUTPUT HIGH (SOURCE) CURRENT C, D, F, H device Decoded Outputs	I _{OH}	5	V _{OH} = 4.6V	-0.05	–	-0.04	-0.3	–	-0.028	–	mA _{dc}			
			V _{OH} = 9.5V	-0.125	–	-0.1	-0.75	–	-0.07	–				
			V _{OH} = 13.5V	-0.375	–	-0.3	-2.5	–	-0.21	–				
		Carry Output	5	V _{OH} = 4.6V	-0.25	–	-0.2	-0.75	–	-0.14	–	mA _{dc}		
				V _{OH} = 9.5V	-0.62	–	-0.5	-1.1	–	-0.35	–			
				V _{OH} = 13.5V	-1.9	–	-1.5	-3.5	–	-1.1	–			
		E device Decoded Outputs	I _{OH}	5	V _{OH} = 4.6V	-0.048	–	-0.04	-0.3	–	-0.032	–	mA _{dc}	
					V _{OH} = 9.5V	-0.12	–	-0.1	-0.75	–	-0.08	–		
					V _{OH} = 13.5V	-0.36	–	-0.3	-2.5	–	-0.24	–		
				Carry Output	5	V _{OH} = 4.6V	-0.24	–	-0.2	-0.75	–	-0.16	–	mA _{dc}
						V _{OH} = 9.5V	-0.6	–	-0.5	-1.1	–	-0.4	–	
						V _{OH} = 13.5V	-1.8	–	-1.5	-3.5	–	-1.2	–	
OUTPUT LOW (SINK) CURRENT C, D, F, H device Decoded Outputs	I _{OL}			5	V _{OL} = 0.4V	0.05	–	0.04	0.4	–	0.028	–	mA _{dc}	
					V _{OL} = 0.5V	0.125	–	0.1	1.0	–	0.07	–		
					V _{OL} = 1.5V	0.375	–	0.3	3.0	–	0.21	–		
				Carry Output	5	V _{OL} = 0.4V	0.25	–	0.2	0.75	–	0.14	–	mA _{dc}
						V _{OL} = 0.5V	0.62	–	0.5	1.3	–	0.35	–	
						V _{OL} = 1.5V	1.9	–	1.5	4.0	–	1.1	–	
		E device Decoded Outputs	I _{OL}	5	V _{OL} = 0.4V	0.048	–	0.04	0.4	–	0.032	–	mA _{dc}	
					V _{OL} = 0.5V	0.12	–	0.1	1.0	–	0.08	–		
					V _{OL} = 1.5V	0.36	–	0.3	3.0	–	0.24	–		
				Carry Output	5	V _{OL} = 0.4V	0.24	–	0.2	0.75	–	0.16	–	mA _{dc}
						V _{OL} = 0.5V	0.6	–	0.5	1.3	–	0.4	–	
						V _{OL} = 1.5V	1.8	–	1.5	4.0	–	1.2	–	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

= + 85°C for E device.

3CL4C17AB

ELECTRICAL CHARACTERISTICS (Continued)

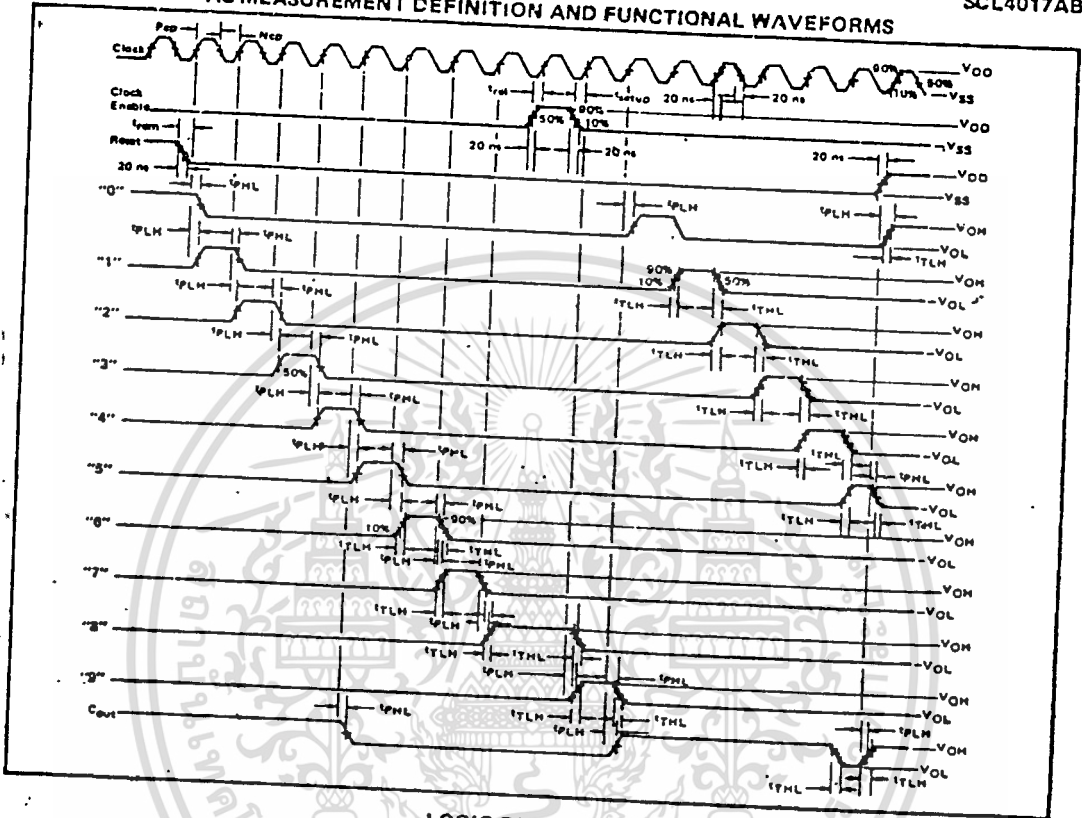
DYNAMIC CHARACTERISTICS ($C_L = 50\text{pF}$, $T_A = 25^\circ\text{C}$)

PARAMETER	V_{DD} (Vdc)	Min.	Typ.	Max.	Units		
CLOCKED OPERATION							
PROPAGATION DELAY TIME To Decoded Outputs	t_{PLH}, t_{PHL}	5	—	600	1200	ns	
		10	—	240	480		
		15	—	180	360		
	To Carry Output	t_{PLH}, t_{PHL}	5	—	500	1000	ns
			10	—	200	400	
			15	—	150	300	
OUTPUT TRANSITION TIME	Decoded Outputs	t_{TLH}, t_{THL}	5	—	250	500	ns
			10	—	125	250	
			15	—	90	180	
	Carry Output	t_{TLH}, t_{THL}	5	—	180	360	ns
			10	—	90	180	
			15	—	65	130	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	—	200	400	ns	
		10	—	100	200		
		15	—	80	160		
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.25	2.5	—	MHz	
		10	2.5	5.0	—		
		15	3.0	6.0	—		
MAXIMUM CLOCK OR ENABLE RISE AND FALL TIME	t_{CCL}, t_{FCL}	5	15	—	—	μs	
		10	15	—	—		
		15	5	—	—		
MINIMUM ENABLE SETUP TIME	t_{setup}	5	—	175	350	ns	
		10	—	75	150		
		15	—	55	110		
MINIMUM ENABLE REMOVAL TIME	t_{rem}	5	—	250	500	ns	
		10	—	100	200		
		15	—	75	150		
RESET OPERATION							
PROPAGATION DELAY TIME To Decoded Outputs	t_{PLH}, t_{PHL}	5	—	500	1000	ns	
		10	—	200	400		
		15	—	140	280		
	To Carry Output	t_{PLH}	5	—	400	800	ns
			10	—	150	300	
			15	—	110	220	
MINIMUM RESET PULSE WIDTH	PW_R	5	—	150	300	ns	
		10	—	75	150		
		15	—	60	120		
RESET REMOVAL TIME	t_{rem}	5	—	250	500	ns	
		10	—	100	200		
		15	—	80	160		

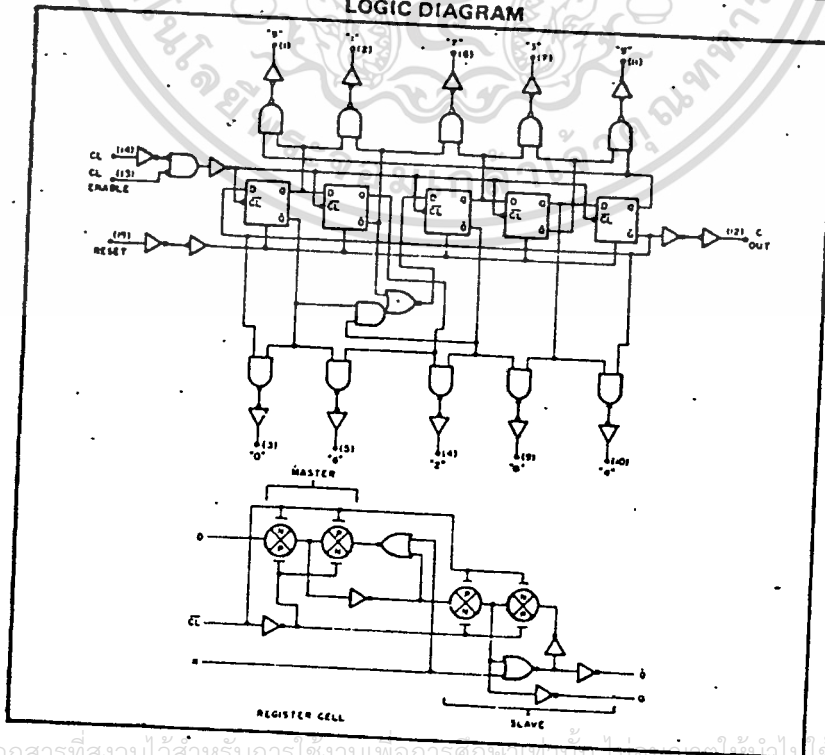
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC MEASUREMENT DEFINITION AND FUNCTIONAL WAVEFORMS

SCL4017AB



LOGIC DIAGRAM

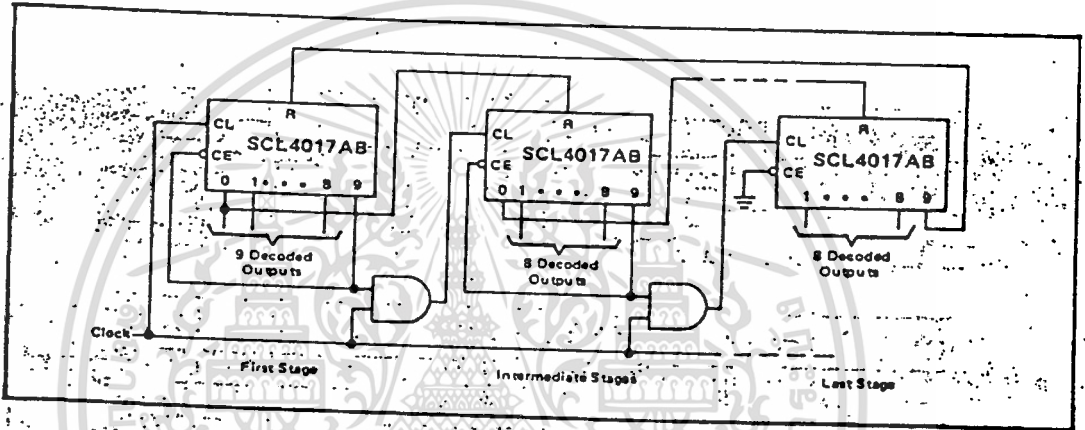


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้ทำซ้ำ ใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

COUNTER EXPANSION

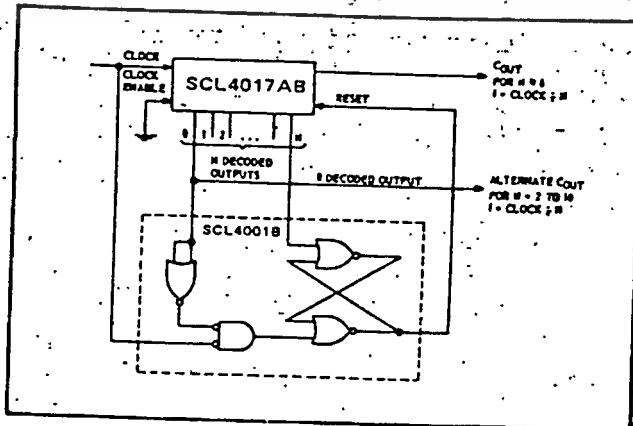
This figure shows a technique for extending the number of decoded output states for the SCL4017AB. Decoded outputs are sequential within each stage and from stage to stage, with no dead time (except propagation delay).



DIVIDE-BY-N COUNTER

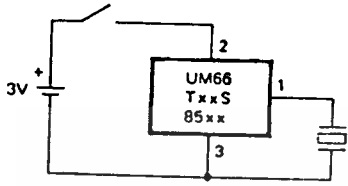
When the Nth decoded output is reached (Nth clock pulse), the S-R flip-flop (constructed from the SCL4001B) generates a reset pulse which clears the SCL4017AB to its zero count. At this time, if the Nth decoded output is greater than or equal to 6, the COUT line goes high to clock the next counter section. The "0" decoded output also goes high at this time. Coincidence of the clock "low" and decoded "0" output "high" resets the S-R flip-flop to enable the SCL4017AB.

If the Nth decoded output is less than 6, the COUT line will not go high, and, therefore, cannot be used. In this case, the "0" decoded output may be used to perform the clock function for the next counter.

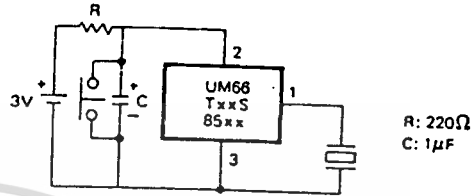


วงจรใช้งาน

วงจรที่ 1

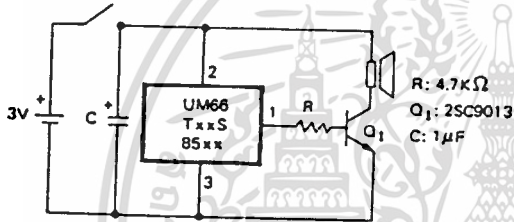


วงจรที่ 2



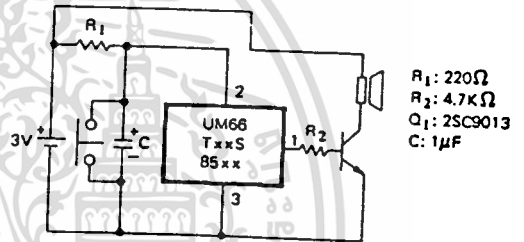
R: 220Ω
C: 1μF

วงจรที่ 3



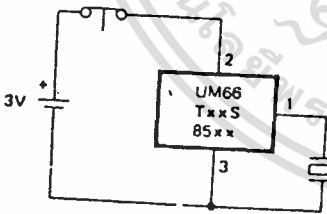
R: 4.7kΩ
Q₁: 2SC9013
C: 1μF

วงจรที่ 4

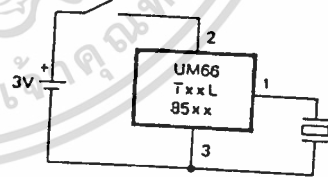


R₁: 220Ω
R₂: 4.7kΩ
Q₁: 2SC9013
C: 1μF

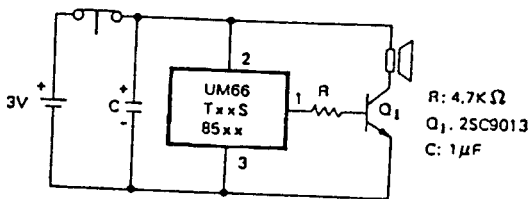
วงจรที่ 5



วงจรที่ 6

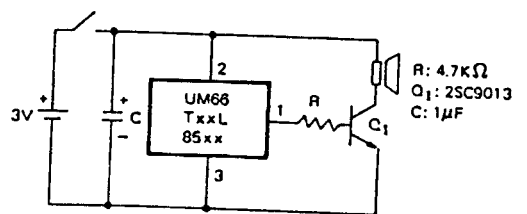


วงจรที่ 7



R: 4.7kΩ
Q₁: 2SC9013
C: 1μF

วงจรที่ 8



R: 4.7kΩ
Q₁: 2SC9013
C: 1μF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เหมบี เจนเนอเรเตอร์ ประกอบด้วยจังหวะ สำหรับเพลง 15 จังหวะ เพลงในที่นี่จะทำหน้าที่เสมือนเครื่องเคาะจังหวะ สำหรับเพลงช้าหรือเพลงเร็ว ดังนั้นสำหรับ UM 66 T นี้หากคิดค่าจังหวะเวลาออกมาแล้ว (โดยการเอาโน้ตตัวค้ำเทียบเวลาเป็นนาฬิกา) เราจะได้ 15 จังหวะดังนี้. 125, 137, 148, 160, 175, 192, 213, 240, 274, 320, 384, 480, 640, 960 และ 1920

ข้อมูลเพื่อการเลือกเพลง

- ข้อมูลในการเลือกเพลงจะตามท้ายเบอร์ UM66T ... โดยตัวตาม 2 ตัวแรกซึ่งเป็นตัวเลขจะบอกถึงชื่อเพลง ส่วนตัวตามท้ายตัวที่ 3 จะเขียนตัว S หรือ L หากเป็นตัว S หมายถึงคีย์ย่อของคำว่า วันช็อตโหมด (One Shot Mode) อันหมายถึงเพลงที่บรรเลงเพียงเที่ยวเดียวแล้วจะหยุดบรรเลง หากลงท้ายด้วยตัว L หมายถึงคีย์ย่อของเลเวล โฮลด์ โหมด (Level Hold Mode) หมายถึงเพลง ๆ นั้นเมื่อจบเที่ยวหรือจบเพลงแล้วยังคงบรรเลงวนต่อไปเรื่อย ๆ โดยเพลงต่าง ๆ ทั้ง 14 เพลง หรือ 14 สเกลได้แสดงไว้ในตารางต่อไปนี้

Song Series Lis	
UM66T01 L/S	Jingle Bells + Santa Claus is Coming To Town + We Wish You a Merry X'mas
UM66T02 L/S	Jingle Bells
UM66T04 L/S	Jingle Bells + Rudolph the Red-nosed Reindeer + Joy to the World
UM66T05 L/S	Home Sweet Home
UM66T06 L/S	Let Me Call You Sweetheart
UM66T08 L/S	Happy Birthday to You
UM66T09 L/S	Wedding March (Mendelssohn)
UM66T11 L/S	Love Me Tender, Love Me True
UM66T13 L/S	Easter Parade
UM66T19 L/S	For Elise
UM66T32 L/S	Coo Coo Waltz
UM66T33 L/S	Mary Had a Little Lamb
UM66T34 L/S	The Train is Running Fast
UM66T68 L/S	It's a small world

1. วงจรกำเนิดโน้ตดนตรีแบบบรลงเดี่ยว (One Shot) สำหรับขับเพียงโซ
2. วงจรกำเนิดโน้ตดนตรีแบบบรลงเดี่ยว (One Shot) สำหรับขับลำโพง
3. วงจรกำเนิดโน้ตดนตรีแบบบรลงเดี่ยว (One Shot) สำหรับขับเพียงโซ
ในกรณีที่ใช้สวิตช์แบบปกติปิด (NC. Switch)
4. วงจรกำเนิดโน้ตดนตรีแบบบรลงเดี่ยว (One Shot) สำหรับขับลำโพง
ในกรณีที่ใช้สวิตช์ปกติปิด (NC. Switch)
5. วงจรกำเนิดโน้ตดนตรีแบบบรลงเดี่ยว (One Shot) สำหรับขับเพียงโซ
ในกรณีที่ใช้สวิตช์ปกติเปิด (No. Switch)
6. วงจรกำเนิดโน้ตดนตรีแบบบรลงเดี่ยว (One Shot) สำหรับขับลำโพง
ในกรณีที่ใช้สวิตช์ปกติเปิด (NO. Switch)
7. วงจรกำเนิดโน้ตดนตรีแบบบรลงวน (Level Hold) สำหรับขับเพียงโซ
8. วงจรกำเนิดโน้ตดนตรีแบบบรลงวน (Level Hold) สำหรับขับลำโพง

การทำงานของไอซี.

- วงจรออสซิลเลเตอร์ เป็นหน่วยเวลาหลักสำหรับการผลิตสัญญาณเสียงดนตรี ที่เรารู้จักว่าวงจรไทม์เบส (Time base) ทั้งยังเป็นตัวกำเนิดสัญญาณ ที่ใช้ในการบีทจังหวะอีกโสดหนึ่งด้วย
- วงจรโทนเจนเนอเรเตอร์ จะรับความถี่จากออสซิลเลเตอร์ ซึ่งมีความถี่ 64 กิโลเฮิรท์ซ์เข้าสู่การหารความถี่ การหารความถี่จะหารด้วยตัวเลขคู่ จาก 64 ถึง 254 ซึ่งเสียงดนตรีทั้งหมดมี 14 แบบ หรือ 14 สเกล ทั้งหมดนี้เราสามารถเลือกได้จากรหัส "พอส โค้ด" (Pause Code) และ "เอนด์ โค้ด" (End Code) ซึ่งจะได้กล่าวถึงต่อไปว่ารหัสเหล่านี้หมายถึงเพลงอะไรบ้าง โทเจนเนอเรเตอร์จะหารความถี่ต่าง ๆ ออกมา เพื่อบรลงเป็นเพลงตัวโน้ตต่าง ๆ ในช่วงของสเกลที่เริ่มจาก C4 ถึง C6 และช่วงของความถี่ที่เปลี่ยนแปลงตั้งแต่ 258 เฮิรท์ซ์ ถึง 32,768 เฮิรท์ซ์
- วงจรบีทเจนเนอเรเตอร์ เป็นการสร้างจังหวะตัวโน้ตแบบต่าง ๆ ซึ่งในเรื่องของเสียงดนตรีจะมีโน้ตตัวกลม, โน้ตตัวขาว, โน้ตตัวดำ, โน้ตเข็บบ้างหนึ่งชั้น และเข็บบ้างสองชั้น ซึ่งการออกแบบวงจรได้ออกแบบเพื่อการบีท 15 แบบ คือ 1/4, 1/2, 3/4, 1, 1-1/2, 1-3/4, 2, 2-1/4, 2-1/2, 2-3/4, 3, 3-1/4, 3-3/4 อัตราที่ว่านี้คิดเทียบจากตัวโน้ตตัวดำ หรือคิดเทียบจากค่ามาตรฐาน 1 จังหวะ ของห้องเพลง
- วงจรเมมโลดี้ รอม เป็นวงจรมารวม (Mask ROM) ซึ่งสามารถเก็บหน่วยความจำได้ 64 ตัวโน้ต สำหรับข้อมูลทั้งหมดรวม 6 บิท โดยมีข้อมูล 4 บิทใช้สำหรับเป็นตัวควบคุมสเกลของตัวโน้ต และข้อมูลอีก 2 บิท ใช้สำหรับควบคุมจังหวะเพลง