π/4-DQPSK โมเด็ม

π/4-DQPSK MODEM

โดย

นายไทยรัฐ นิลเพชรพลอย

นายบุญคง สมสงวน

นายพิชญพงษ์ บุญลือ

วัน เดือน ปี 1 ตค 2541

เลขทะเบียน 038341

เลขเรียกหนังสือ T 59361 ท๑๒๙ม.

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ π/4-DQPSK โมเด็ม

π/4-DQPSK MODEM

ชื่อนักศึกษา นายไทยรัฐ นิลเพชรพลอย

นายบุญคง สมสงวน

นายพิชญพงษ์ บุญลือ

อาจารย์ที่ปรึกษา อาจารย์คลชัย สุขเจริญผล

อาจารย์กฤดากร กล่อมการ

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2539

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

_____ประธานกรรมการ

( )

_____กรรมการ

( )

_____กรรมการ

( )

_____กรรมการ

( )

_____กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

π/4-DQPSK โมเด็ม

โดย

นายไทยรัฐ	นิลเพชรพลอย	รหัส 37013337
นายบุญคง	สมสงวน	รหัส 37013342
นายพิชญพงษ์	บุญลือ	รหัส 37013348

อาจารย์ที่ปรึกษา อาจารย์ ดลชัย สุขเจริญผล

อาจารย์กฤดากร กล่อมการ

ปีการศึกษา 2539

บทคัดย่อ

โครงงานนี้เสนอ เทคนิคการรับส่งข้อมูลดิจิตอลโดยใช้เทคนิคการมอดดูเลททางเฟสแบบ π/4-Differential encode Quadrature Phase Shift Keying(π/4-DQPSK) ซึ่งเป็นรูปแบบหนึ่งในการมอดดูเลทสัญญาณดิจิตอลและส่งไปตามสายโคแอกเชียล(Coaxial Cable) โดยทางภาคส่งจะใช้การเข้ารหัสแบบดิฟเฟอร์เรนเชียลและใช้การมอดดูเลทแบบดิจิตอลทั้งหมดข้อมูลที่ส่งออกไปจะอยู่ในรูปการเปลี่ยนเฟสของคลื่นพาห์ ส่วนทางด้านภาครับจะทำการดีมอดดูเลท(Demodulate)และทำการถอดรหัส(Decode)เพื่อให้ได้ข้อมูลดิจิตอลกลับคืนมา

ABSTRACT

This thesis presents received and transmitted digital data by using phase modulating technique of pi/4 differential encode quadrature phase shift keying (π/4-DQPSK) which is one of modulating technique and sending data in coaxial cable. In the transmitter using differential encode and all digital modulation . Data in coaxial cable is form of shift phase carrier. The receiver will be demodulate and decode signal to recover digital data.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ด้วยดีเพราะได้รับความร่วมมือจากเพื่อน ๆ ในกลุ่ม ที่ได้ร่วมแรงร่วมใจช่วยกันทำให้ปริญญานิพนธ์ฉบับนี้สำเร็จออกมา และต้องขอขอบพระคุณ อาจารย์คลชัย สุขเจริญผล และอาจารย์กฤดากร กล่อมการ ที่ได้ให้คำปรึกษาและให้ใช้เครื่องมือต่าง ๆ ในการทำโครงงาน รวมทั้งให้ใช้สถานที่ด้วย ขอบคุณ คุณยอด นาคเจือทองที่ได้ให้คำปรึกษาและวงจรต่าง ๆ ด้วยเพราะมีลักษณะโครงงานที่คล้ายคลึงกัน

ในด้านปัจจัยทางทุนทรัพย์ ต้องกราบขอบพระคุณ คุณพ่อ คุณแม่ ที่ได้ให้ความอุปการะและสนับสนุนทางด้านการเงิน รวมทั้งต้องขอบคุณเพื่อน ๆ ที่คอยให้กำลังใจเสมอมา

นายไทยรัฐ นิลเพชรพลอย
นายบุญคง สมสงวน
นายพิชญพงษ์ บุญลือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ

กิตติกรรมประกาศ

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีและหลักการของโมเด็ม 2

2.1 โมเด็มคืออะไร 2

2.2 โมเด็มแถบความถี่เสียง 2

2.3 ชนิดของโมเด็ม 3

2.3.1 แบ่งตามการต่อเข้ากับสายโทรศัพท์ 3

2.3.2 แบ่งตามวิธีการส่งผ่านข้อมูล 5

2.3.3 แบ่งตามชนิดของอัตราการส่งผ่านข้อมูล 5

2.3.4 แบ่งตามเทคนิคการมอดดูเลท 5

2.3.5 โมเด็มชนิด 2 สายและ 4 สาย 6

2.3.6 โมเด็มสำหรับระยะใกล้ 7

2.3.7โมเด็มแบบบัสคอมแพททิเบิ้ล 7

2.4 การทำงานของโมเด็ม 8

2.4.1 เทคนิคการผสมสัญญาณ 9

2.5 การมอดดูเลทแบบเปลี่ยนเฟสของคลื่นพาห์ 15

2.6 ระบบโคฮีเรนท์และดิฟเฟอร์เรนเชียลโคฮีเรนท์ควอดไดรเฟส PSK(QPSK) 18

2.7 การเข้ารหัสและการถอดรหัสแบบดิฟเฟอร์เรนท์เชียล-QPSK/OK-QPSK 26

2.8 สเป็กตรัมและประสิทธิภาพสเป็กตรัมของโมเด็มแบบ QPSK 29

2.9 ประสิทธิภาพสเป็กตรัมของการมอดดูเลทแบบต่าง ๆ 32

2.10 เทคนิคการมอดดูเลทแบบ $\pi/4$-DQPSK 33

2.10.1 โครงสร้างของเครื่องส่งแบบ $\pi/4$-DQPSK 34

2.10.2 การออกแบบวงจรมอดดูเลทและดีมอดดูเลทแบบ $\pi/4$-DQPSK 35

2.11 ความน่าจะเป็นของการผิดพลาดสมรรถนะของเครื่องรับแบบ QPSK 37

2.12 ทฤษฎีเฟสล็อกลูป 48

2.13 การเปลี่ยนแปลงความถี่ของสัญญาณ 54

2.14 ซิงโครนัสดีเทคเตอร์ 55

2.15 บิทซิงโครไนเซอร์ 56

2.16 การแก้ปัญหาจากสัญญาณรบกวนแบบเกาส์เซียน 60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.17 วงจรอินทีเกรทและดัมพ์ 66
บทที่ 3 การออกแบบวงจรภาคส่ง 70
3.1 วงจรกำเนิดสัญญาณนาฬิกา 71
3.2 วงจรสังเคราะห์ความถี่ 72
3.3 วงจรแยกบิทคู่และคี่ 73
3.4 วงจรสร้างคลื่นพาห์ 8 เฟส 74
3.5 วงจรเข้ารหัสและวงจรหน่วงเวลา 75
3.6 วงจรกรองผ่านแถบความถี่ 77
3.7 วงจรขยายกำลัง 78
บทที่ 4 การออกแบบวงจรภาคส่ง 80
4.1 วงจรกรองผ่านแถบความถี่ 80
4.2 วงจรยกกำลังสองและยกกำลังสี่สัญญาณ 81
4.3 วงจรกู้สัญญาณคลื่นพาห์ ด้าน I 82
4.4 วงจรกู้สัญญาณคลื่นพาห์ทางด้าน Q และวงจรกู้สัญญาณนาฬิกา 83
4.5 วงจรดีมอดดูเลท 83
4.6 วงจรอินทีเกรทและดัมพ์ 84
4.7 วงจรรวมบิท 87
บทที่ 5 ผลการทดลอง 88
บทที่ 6 สรุปผลการทดลอง 100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ระบบการสื่อสารในปัจจุบันนี้ มีการพัฒนาระบบการส่งข้อมูลก้าวหน้าไปมาก ทั้งในด้านความเร็วในการส่งข้อมูลและเทคนิคในการส่งข้อมูล ซึ่งในปัจจุบันนี้ได้นิยมนำเอาการมอดดูเลชั่นเชิงเลข (Digital Modulation) มาใช้กันอย่างแพร่หลาย เนื่องจากให้ความถูกต้องแม่นยำมากกว่าระบบอนาลอก (Analog System) และมีการรบกวนอันเนื่องมาจากสัญญาณรบกวน (Noise) ต่ำกว่า นอกจากนี้การมอดดูเลทเชิงเลขยังสามารถทำการเข้ารหัส (Encode) ข้อมูลก่อนทำการมอดดูเลทและทำการถอดรหัส (Decode) หลังการดีมอดดูเลท ซึ่งจะทำให้อัตราการผิดพลาดของข้อมูลลดลง

ซึ่งมีรายละเอียดดังนี้

บทที่ 2 ทฤษฎีและหลักการของโมเด็ม
บทที่ 3 การออกแบบวงจรภาคส่ง
บทที่ 4 การออกแบบวงจรภาครับ
บทที่ 5 ผลการทดลอง
บทที่ 6 สรุปผลการทดลอง

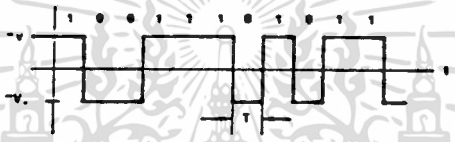
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

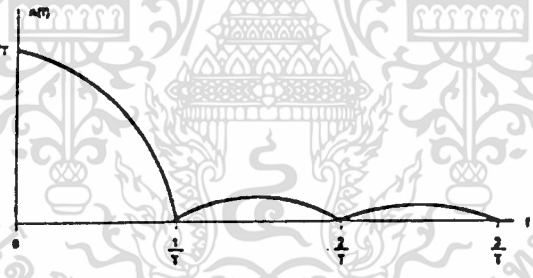
ทฤษฎีและหลักการของโมเด็ม

2.1 โมเด็มคืออะไร

โมเด็มเป็นคำย่อที่มาจาก MODULATE/DEMODULATE ซึ่งการ modulate จะเป็นการแปลงข้อมูล digital ซึ่งอยู่ในรูปแบบอนุกรม ไปเป็นสัญญาณพาหะความถี่ analog เพื่อส่งไปในสายโทรศัพท์ ส่วน demodulate จะรับสัญญาณที่ modulate ซึ่งลักษณะที่เป็นตัวแทนของสัญญาณข้อมูล ditital (รูปที่ 2.2) และ spectrum เหล่านี้ก็ถูกขยายเวลาออกไปจนมีความถี่ที่ศูนย์ ดังนี้เองจึงเป็นสาเหตุให้เราไม่สามารถส่งข้อมูล digital ผ่านไปทางสายโทรศัพท์ได้ เพราะความถี่ที่ใช้ในการสื่อสารผ่านเครือข่ายสายโทรศัพท์ จะต้องมีความถี่อยู่ระหว่าง 300 Hz ถึง 3400 Hz



รูปที่ 2.1 RS-232-C Serial Digital Input Date



รูปที่ 2.2 Power Spectrum ของข้อมูลดิจิตอล

2.2 โมเด็มแถบความถี่เสียง (VOICEBAND MODEMS)

ทั่วๆ ไปแล้ว เราสามารถแยกประเภทของโมเด็มโดย แบ่งตามความเร็ว และตามวิธีการ modulate โดยโมเด็มความเร็วต่ำ (ไม่เกิน 1200 bps) จะอาศัยเทคนิคการ modulate แบบ PSK โมเด็มความเร็วปานกลาง (1200 ถึง 2400 bps) ฮาศัยเทคนิคการ modulate แบบ PSK หรือบางทีอาจใช้แบบ QAM ส่วนโมเด็มความเร็วสูงจะทำการ modulate แบบ QAM วิธีการ modulate แต่ละแบบจะแตกต่างที่ การเข้ารหัสข้อมูลเพื่อเปลี่ยนเป็นสัญญาณ analog (FSK , PSK , ASK) , ประสิทธิภาพของการส่ง , ขอบเขตของความถี่ที่ใช้ , ความสลับซับซ้อนของวงจร ซึ่งทั้งหมดนี้ขึ้นอยู่กับความต้องการเพื่อให้เกิดความสมบูรณ์ยิ่งขึ้น ความกว้างของแถบความถี่จะขึ้นอยู่กับการเข้ารหัสข้อมูลและอัตราที่สัญญาณพาหะที่ถูก modulate เปลี่ยนแปลง ซึ่งอัตราการเปลี่ยนแปลงนี้คือ การ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนแปลงแต่ละช่วงของตัวอักษร (symbol interval) หรือ baud rate สำหรับความหมายของตัวอักษรอาจจะเป็นหนึ่งหรือหลายๆ บิทก็ได้

2.3 ชนิดของโมเด็ม

2.3.1 แบ่งตามการต่อเข้ากับสายโทรศัพท์

1. โมเด็มแบบคัปปลิ้งทางเสียง (Acoustic Coupled)

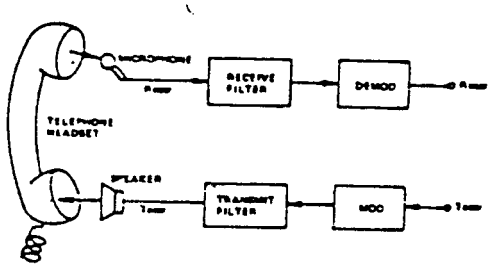
โมเด็มชนิดนี้จะต่อเข้ากับเครื่องโทรศัพท์โดยการคัปปลิ้งทางเสียง สามารถตอบรับต่อเรียกและทำการเรียกอัตโนมัติ (Auto Dial / Auto answer) ได้ในรูปที่ 2.3 (a) และรูปที่ 2.3 (b) จะเห็นได้ว่ามีลูกถ้วยที่ทำด้วยยาง (foam cup) ส่วนนี้จะเป็นช่องทางรับเสียงเข้ามาและทำหน้าที่กั้นสัญญาณรบกวนที่มากับสัญญาณเสียงด้วย

ข้อดีของโมเด็มแบบนี้คือ มีราคาถูก และสามารถต่อเข้ากับสายโทรศัพท์ในกรณีที่ไม่สามารถต่อสายโทรศัพท์เข้ากับโมเด็มแบบต่อโดยตรง (Direct Connect) ได้ ระบบที่ใช้งานโมเด็มแบบนี้ส่วนใหญ่จะเป็นระบบที่เรียกว่า Tele-Conferenceing หรือการประชุมในลักษณะที่องค์ประชุมแต่ละคนอยู่ต่างสถานที่กัน เช่น อยู่คนละประเทศ หรือคนละจังหวัด เป็นต้น หรือบางทีอาจจะใช้กับงานทางด้านใช้ข้อมูลในฐานข้อมูล เมื่อคอมพิวเตอร์หลักกับเทอร์มินัลอยู่ห่างกัน สำหรับระบบที่มีการแลกเปลี่ยนข้อมูลกันอยู่ตลอดเวลา และมีการสั่งงานโปรแกรมอยู่บ่อยๆ มักจะไม่นิยมใช้โมเด็มแบบนี้

ในการเชื่อมต่อแบบนี้ชุดมือถือโทรศัพท์เองจะทำหน้าที่เป็น duplexer หรือตัวแปลงจากสาย 4 เส้น เป็น 2 เส้น จะใช้ได้กับโมเด็มแบบ FSK เท่านั้น ด้วยอัตราการส่งไม่เกิน 1200 bps ที่เป็นดังนี้เพราะ คาร์บอนไมโครโฟนในโทรศัพท์มีคุณภาพต่ำ

รูปที่ 2.3 (a) โมเด็มชนิด ACOUSTIC COUPLED

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 (b) แสดงการเชื่อมต่อแบบ Acoustical Coupling

2. โมเด็มแบบต่อโดยตรง (Direct Connect)

โมเด็มชนิดนี้ยังถูกแบ่งออกเป็น 2 แบบ คือ Internal และ External ซึ่ง Internal จะเป็นลักษณะของการ์ดเสียบเข้าใน slot ภายในเครื่อง ส่วน External จะต่อออกจาก serie port ภายนอก (เป็นแบบที่เรากล่าวถึงใน project นี้)

โมเด็มทั้งสองแบบนี้ต่อเข้ากับสายโทรศัพท์โดยตรงด้วยการออกแบบวงจร DATA ACCESS ARRANGEMENTS (DAA) ดังแสดงในรูปที่ 2.4

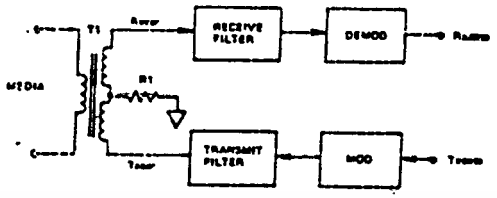
รูปที่ 2.4 วงจร DATA ACCESS ARRANGEMENTS

วงจร DAA นี้จะให้บริการเกี่ยวกับหัวข้อดังนี้

1. ให้ DC Isolation ระหว่างโมเด็มกับโทรศัพท์ (T1)
2. ให้วงจรตรวจจับสัญญาณเรียก เพื่อทำการควบคุมการ ON/OFF สวิทช์ฮุก (Hook switch)ซึ่งอาจจะเป็นแบบ manual ก็ได้
3. กำหนดให้ไฟกระแสตรงไหลผ่านขณะ off hook เพื่อ HOLD สายด้วย L1 กระแสนี้จะถูกรับรู้โดยทางองค์การโทรศัพท์เพื่อรับทราบว่ามีใครคนหนึ่งต่อโทรศัพท์เข้ากับสายนี้แล้ว โดยไม่ต้องยกหูโทรศัพท์จริงๆ
4. กำหนดให้มีการป้องกัน Transient ด้วย R1 และ E1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนวงจรออปแอมป์ที่ทำหน้าที่ดูเพล็กเซอร์ บ่อยครั้งที่จะถูกใช้แทนด้วยหม้อแปลง Hybrid ดังรูปที่ 2.5 หม้อแปลง Hybrid (T1) จะให้การบั่นทอนสัญญาณ Txcar ที่ดีกว่า (ปกติ 20 dB) แต่ราคาจะสูงกว่าการใช้ออปแอมป์



รูปที่ 2.5 หม้อแปลง Hybrid

2.3.2 แบ่งตามวิธีการส่งผ่านข้อมูล

ในกรณีนี้เราจะกล่าวถึงโครงสร้างของระบบ ที่จะนำเอาโมเด็มไปต่อเข้ากับตัวกลางการส่งผ่านข้อมูล (COMMUNICATION LINES) แบ่งออกได้ดังนี้

1. แบบซิมเพล็กซ์ (Simplex)
2. แบบฮาล์ฟดูเพล็กซ์ (Halfduplex)
3. แบบฟูลดูเพล็กซ์ (Fullduplex)

2.3.3 แบ่งชนิดของอัตราการส่งข้อมูล

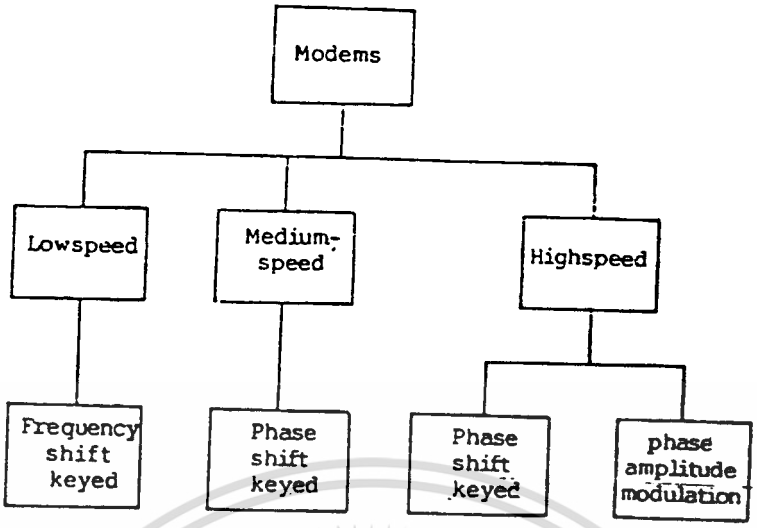
1. อัตราการส่งข้อมูลต่ำ (Low-speed) มีอัตราการส่งข้อมูลไม่เกิน 600 bps
2. อัตราการส่งข้อมูลปานกลาง (Medium-seed) มีอัตราการส่งข้อมูลระหว่าง 1,200 ถึง 9,600 bps
3. อัตราการส่งข้อมูลสูง (High-speed) มีอัตราการส่งข้อมูลมากกว่า 9,600 bps

2.3.4 แบ่งตามเทคนิคการ modulate

1. Phase Shift Keying : PSK
2. Frequency Shift Keying : FSK
3. Phase Amplitude Modulation : PAM

สำหรับวิธีการ modulate ยังมีเทคนิคอื่น ๆ อีกหลายแบบ แต่ก็ค่อนข้างจะใช้กันน้อย สามารถจะแบ่งตามลักษณะต่าง ๆ เป็นไดอะแกรมได้ดังรูป 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 การแบ่งชนิดของโมเด็ม

2.3.5 โมเด็มชนิด 2 สายและ 4 สาย

หัวข้อนี้ก็เป็นวิธีหนึ่งในการแบ่งชนิดของโมเด็มนอกเหนือจากหัวข้ออื่นๆ ที่ได้กล่าวมาแล้ว วิธีการที่จะใช้ในการเลือกว่าควรจะใช้ชนิด 2 สายและ 4 สาย นั้นขึ้นกับว่า ในการปฏิบัติงานต้องการจะใช้กับการส่งแบบฟูลดูเพล็กซ์ หรือ ฮาล์ฟดูเพล็กซ์ ในโมเด็มชนิดความเร็วต่ำ แถบความถี่ของสัญญาณซึ่งอยู่ในช่วงแคบๆ ไม่เกิน 3,000 Hz สามาถใช้ได้กับ PSTN (Public Switch Telephone Network) หรือเครือข่ายสายโทรศัพท์สาธารณะได้ แต่ในกรณีของโมเด็มชนิดเร็วปานกลางและความเร็วสูง ซึ่งใช้เทคนิคการ modulate แบบอื่น นั้นต้องการแถบความถี่ขนาด 3,000 Hz เต็มเพื่อที่จะทำให้การส่งผ่านข้อมูลในลักษณะของฟูลดูเพล็กซ์แล้วมักจะใช้โมเด็มความเร็วสูงแบบ 4 สาย

การทำงานของโมเด็มชนิด 2 สาย นั้นโครงสร้างของแชนแนลการส่งผ่านข้อมูลจะแบ่งออกเป็น 2 แชนแนล คือ ในแชนแนลที่ 1 จะถูกใช้เป็นแชนแนลในการส่งผ่านข้อมูลในทิศทางใดทิศทางหนึ่งในขณะหนึ่งๆ ส่วนแชนแนลที่ 2 จะถูกใช้เป็นแชนแนลที่มีไว้สำหรับส่งสัญญาณควบคุมหรือสัญญาณแฮนด์เชค (hand-shaking) ซึ่งจะส่งสัญญาณมาให้ทางด้านส่งทราบว่า ทางด้านรับได้รับข้อมูลที่ส่งมาเรียบร้อยแล้ว บางครั้งอาจจะเรียกแชนแนลที่ 2 นี้ว่า รีเวิร์ส แชนแนล (Reverse Channel) ส่วนใหญ่โมเด็มชนิด 2 สายนี้ จะใช้ในงานที่การส่งข้อมูลส่งออกไปในทิศทางเดียวกันในขณะหนึ่งๆ สลับกันหรืออาจจะเรียกว่าใช้ในการส่งแบบฮาล์ฟดูเพล็กซ์ก็ได้

สำหรับในการใช้งานที่การส่งผ่านข้อมูลต้องกระทำในลักษณะเป็นฟูลดูเพล็กซ์แล้ว ควรจะเลือกใช้โมเด็มชนิด 4 สาย จึงจะเกิดประสิทธิภาพสูงสุด โดยปกติเครือข่ายการต่อโมเด็มชนิดนี้อาจจะต้องต่อเข้ากับสายเช่า (private-line), ซึ่งเป็นการติดต่อเป็นเอกเทศ โดยไม่ต้องผ่านสวิทช์ชิ่งที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุมสายโทรศัพท์ แต่บางโอกาสก็ไม่จะเป็นต้องต่อโครงข่ายในลักษณะดังกล่าวก็ได้ ถ้าพิจารณาถึงสายเช่านั้น คุณสมบัติพิเศษอย่างหนึ่งที่ไม่มีในสายโทรศัพท์สาธารณะทั่วๆ ไปก็คือ สามารถที่จะป้องกันสัญญาณรบกวนได้ดี

2.3.6 โมเด็มสำหรับระยะใกล้ (Short haul Modem)

โมเด็มชนิดต่างๆ ที่ได้กล่าวถึงในหัวข้อที่ผ่านมานั้นเป็นโมเด็มชนิดที่ลักษณะการอินเตอร์เฟส จะต้องต่อผ่านสายโทรศัพท์และชุมสายโทรศัพท์ ซึ่งเป็นโครงข่ายที่ใช้ติดต่อได้ในระยะไกล เรียกว่าเป็นโมเด็มใช้สำหรับระยะไกล (Longhaul Modem) แต่ในกรณีของโมเด็มใช้สำหรับระยะใกล้นี้มีลักษณะการอินเตอร์เฟสของโมเด็ม จะเป็นการติดต่อกันโดยส่งข้อมูลผ่านสายเคเบิลโดยตรง ซึ่งมีข้อจำกัดอยู่ที่ระยะการติดต่อจะกระทำได้ไม่เกิน 10 ไมล์ หรือ 16 กิโลเมตร โครงข่ายการติดต่อที่จะใช้งานโมเด็มชนิดนี้ส่วนใหญ่จะเป็นการติดต่อแบบจุดต่อจุด (Point to Point) ซึ่งอัตราการส่งผ่านข้อมูลในลักษณะเช่นนี้จะแปรเป็นสัดส่วนผกผันกับระยะทางระหว่างจุดส่งกับจุดรับ แต่ถ้าในระยะทางติดต่อที่ใกล้กัน อัตราการส่งผ่านข้อมูบอาจจะสูงถึง 1 เมกะบิทต่อวินาที

เทคนิคการ modulate ที่ใช้ในโมเด็มระยะใกล้นี้ จะใช้วิธีต่างๆ กัน อาจจะใช้การ modulate แบบที่กล่าวถึงข้างต้น หรืออาจจะใช้วิธีการส่งสัญญาณดิจิตอลโดยตรงโดยไม่ต้องผ่าน D/A ซึ่งจะเห็นว่ามีความสะดวกมากขึ้น โดยขบวนการดังกล่าวนี้จะนำเอา Diff-Amp ใช้ในทางปฏิบัติ จะพบว่าโมเด็มใช้งานระยะใกล้นี้จะใช้ในระบบควบคุมการปฏิบัติงานของเครื่องจักรในโรงงานอุตสาหกรรม และการอินเตอร์เฟสเข้าด้วยกันเพื่อสร้างโครงข่ายคอมพิวเตอร์ เป็นต้น โดยมีระยะทางการติดต่อระหว่างเทอร์มินัลหรือจุด (node) ไม่เกิน 100 ฟุต ซึ่งทำให้การส่งผ่านข้อมูลกระทำด้วยความเร็วเต็มที่

2.3.7 โมเด็มแบบบัสคอมแพททิเบิล (Bus-Compatible Modem)

โมเด็มชนิดนี้จะมีลักษณะที่แตกต่างไปจากโมเด็มชนิดที่กล่าวผ่านมา เพราะมีลักษณะเป็นซิงเกิลบอร์ด บัสคอมแพททิเบิลการใช้งานโมเด็มแบบซิงเกิลบอร์ดนี้ ส่วนใหญ่จะพบในเครื่องไมโครคอมพิวเตอร์ และการอินเตอร์เฟสเพื่อใช้งานร่วมกับระบบบัสชนิด S-100 เพื่อต่อร่วมกับระบบโครงข่ายโทรศัพท์ให้สามารถตอบโทรศัพท์โดยอัตโนมัติ (Autoanswer) เรียกโทรศัพท์โดยอัตโนมัติ (Auto dial) ได้

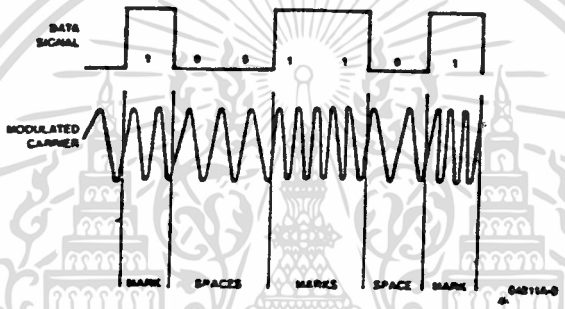
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การทำงานของโมเด็ม

2.4.1 เทคนิคการผสมสัญญาณ (Modulation)

FREQUENCY SHIFT KEYING

แรกเริ่มทีเดียวการแปลงสัญญาณลอจิกให้เหมาะสมกับการส่งผ่านไปในสายโทรศัพท์โดยใช้วิธีการ FSK นี้ คือใช้ความถี่ของเสียงสองความถี่สำหรับแทนสัญญาณ logic "1"และlogic "0" ฝ่ายรับก็พยายามจับเอาสองความถี่ที่ว่ามานี้มาแปลงเป็นสัญญาณ logic กลับคืน ความถี่ของเสียงทั้งสองเสียงต้องห่างกันพอที่จะแยกออกจากกันได้โดยวงจรอิเล็กทรอนิกส์ และจะต้องไม่ห่างเกินจนตกขอบความสามารถของสายโทรศัพท์ที่จะนำพาไปได้ รูปที่2.7 แสดงหลักการทำงานของ FSK

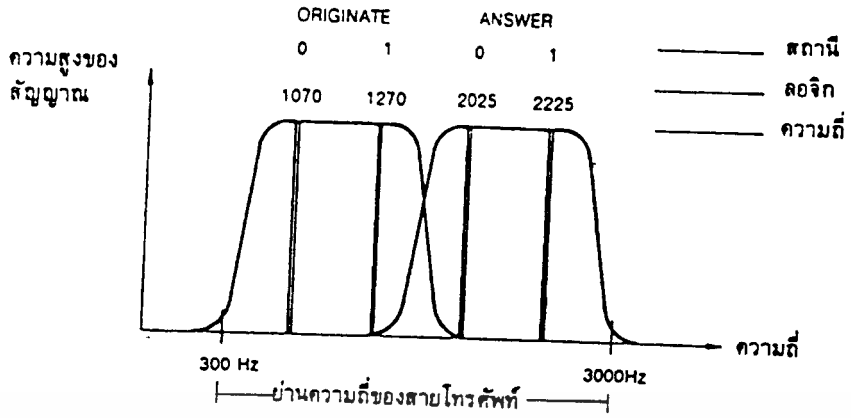


รูปที่ 2.7 การแปลงสัญญาณของโมเด็ม

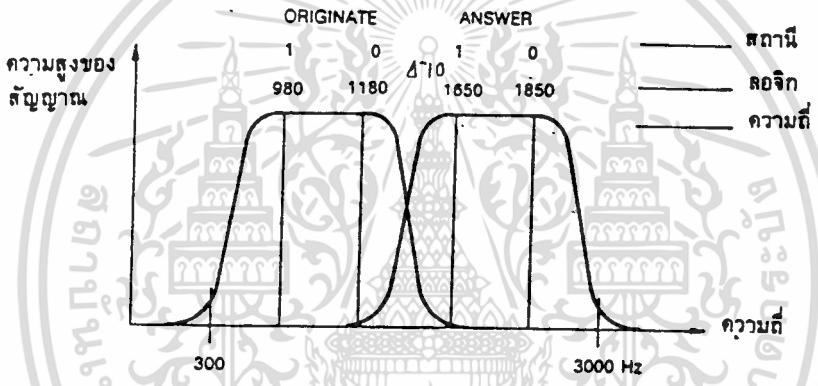
เนื่องจากแถบความถี่คลื่นที่สายโทรศัพท์ยอมให้ผ่านไปได้อยู่ในช่วง 300 Hz ถึง 3400 Hz เราสามารถแบ่งความถี่ในย่านนั้นออกเป็น 4 คลื่นเสียงที่สำคัญ สำหรับสถานีส่งสองเสียงสถานีรับสองเสียง เนื่องจากเราต้องการให้การติดต่อเป็นแบบ full duplex คือทั้งรับและส่งได้ในเวลาเดียวกันจำเป็นจะต้องแยกสถานีออกเป็นสองฝ่าย ฝ่ายหนึ่งเรียกว่า originate หรือฝ่ายเริ่มการติดต่อ และอีกฝ่ายหนึ่งเรียกว่า answer หรือฝ่ายรอรับ ฝ่าย originate จะให้ความถี่ส่งสองความถี่สำหรับสัญญาณ logic "0" และ "1" เช่นเดียวกันจะได้รับและส่งในเวลาเดียวกันเป็น full duplex ได้

มาตรฐานความถี่ที่ใช้กันอยู่ กรณีความเร็วไม่เกิน 300 baud ของ BELL 103 ส่วน CCITT V.21 แสดงในรูป 2.8 และ 2.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 ความถี่มาตรฐานของ BELL 103 full duplex



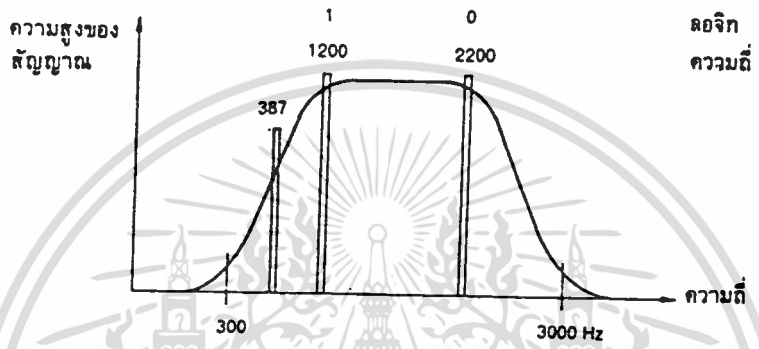
รูปที่ 2.9 ความถี่มาตรฐานของ CCITT V.21

จากรูป 2.8 และ 2.9 จะพบว่า สถานีรับและสถานีส่งใช้ความถี่ต่างกันในการ modulate สัญญาณ logic "0" และ "1" การ demodulate ก็ต้องให้ตรงกับความถี่ของฝ่ายตรงข้ามที่ส่งมา ยกตัวอย่างเช่น โมเด็มชนิด BELL 103 ถ้าหากใช้เป็นฝ่าย originate จะส่งสัญญาณ logic "1" ด้วยความถี่ 1270 Hz และ logic "0" ด้วยความถี่ 1070 Hz ขณะเดียวกันก็จะต้องรับด้วยความถี่ 2025 Hz และ 2225 Hz ทั้งการรับและส่งของโมเด็ม จะต้องมีตัวกรองความถี่เพื่อป้องกันความถี่อื่นหลงเข้ามารบกวนเครื่องรับ วงจรกรองความถี่ที่ว่าจะต้องแยกความถี่ของฝ่ายรับและส่งออกจากกัน

เนื่องจากความถี่ของเสียงที่ใช้มีความถี่ต่ำ การ modulate แบบ PSK ย่อมทำให้การถ่ายโอนข้อมูลเร็วกว่าความถี่นั้นไม่ได้แน่นอน เนื่องจากวงจรรับจะต้องดีเทกให้ได้ว่ามีความถี่เปลี่ยนแปลงเกิดขึ้น อย่างน้อยความถี่จะต้องปรากฏให้เห็น 2 ถึง 3 ไซเกิล ลองคำนวณดูง่ายๆ ความถี่ต่ำสุดที่ใช้ในโมเด็มชนิด 103 คือ 1070 Hz ต้องใช้อย่างน้อย 2 ไซเกิล ต่อการ modulate 1 บิท จะเห็นว่าการถ่านโอนข้อมูลจะเร็วกว่า 600 bps ได้ยาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเราใช้เทคนิค FSK เหมือนเดิมแต่แยกความถี่ของสองเสียงที่ใช้แทน "0" และ "1" ให้ห่างกัน จำนวนไซเกิลที่ใช้ modulate ก็จะน้อยลง เราจะแยกความถี่ให้ห่างกันได้ก็ต้องส่งได้ทีละข้างเป็น half duplex ระบบ BELL 202 ใช้เทคนิคอันนี้ในการส่งข้อมูลด้วยความเร็ว 1200 baud โดยใช้ความถี่ 1200 Hz แทน mark และ 2200 แทน space และเพื่อเป็นการประกันว่าฝ่ายรับยังรับอยู่ ฝ่ายรับจะส่งความถี่ 387 Hz ควบกลับมาให้รู้ว่า "ขณะนี้กำลังฟังอยู่" บางครั้งความถี่ 387 Hz นี้อาจใช้ในการบอกฝ่ายส่งว่า ข้อความที่ส่งมามีข้อผิดพลาดอยู่กรุณาส่งมาใหม่ รูป 2.10 แสดงสเปกตรัมของโมเด็มชนิด 202



รูปที่ 2.10 ความถี่มาตรฐานของ BELL 202 half duplex

กรณี CCITT ที่ตรงกับ BELL 202 จะเป็น V.23 ต่างกันที่มี mode ให้เลือก 2 mode คือ 600 baud และ 1200 baud โดยทั้งสอง mode ใช้ความถี่ต่างกันคือ

mode 1 (600 baud) 1300 Hz (mark) 1700 Hz (space)

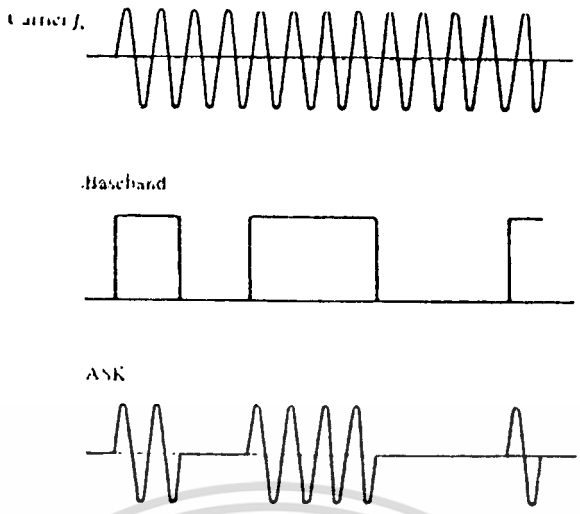
mode 2 (1200 baud) 1300 Hz (mark) 2100 Hz (space)

นอกเหนือไปจากนั้น V.23 ยังสามารถให้ฝ่ายรับทำการส่งข้อมูลกลับมาได้ด้วยความเร็ว 75 baud โดยใช้ FSK 390 Hz แทน mark 450 Hz แทน space ในกรณีเช่นนี้เหมาะสำหรับการติดต่อกับ terminal ผู้ที่ใช้ป้อนข้อมูลทาง keyboard เนื่องจากความเร็วของการพิมพ์ของมนุษย์คงไม่มีใครทำเกิน 100 คำต่อนาทีเป็นแน่ (ค่าเฉลี่ย 1 คำมี 4 ตัวอักษร และ 1 ตัวอักษรใช้ 8 บิท บวก start bit อีก 2 บิท)

AMPLITUDE SHIFT KEYING (ASK)

เป็นเทคนิคอีกอย่างหนึ่งของการ modulate สัญญาณเสียงเข้ากับสัญญาณพาหะ ซึ่งเป็นสัญญาณรูป sine ที่มีความถี่สูงทำให้สัญญาณที่ผ่านการ modulate แล้วมีลักษณะการเปลี่ยนแปลงของสัญญาณพาหะตามแอมปลิจูด (ความสูงของคลื่น) ของสัญญาณเสียงแต่ความถี่ของสัญญาณพาหะยังคงที่ดังรูป 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 แสดง Amplitude modulation

จุดสำคัญของการ modulate แบบนี้ก็อยู่ที่ "แอมปลิจูดเปลี่ยนแปลง แต่ความถี่คงที่" ในกรณีนี้จะไม่กล่าวถึงสมการคณิตศาสตร์

นอกจากนี้รายละเอียดอื่นๆ ของ amplitude modulate ยังมีอีกมากมายซึ่งไม่อาจจะกล่าวได้หมดในที่นี้ เช่น การใช้เทคนิคของการตัดสัญญาณพาหะออกไปที่เรียกว่า Suppress Carrier เช่นในการส่งกระจายคลื่นแบบ Double Sideband Supperss Carrier (DSB-SC) และ Single Sideband Suppress Carrier (SSB-SC)

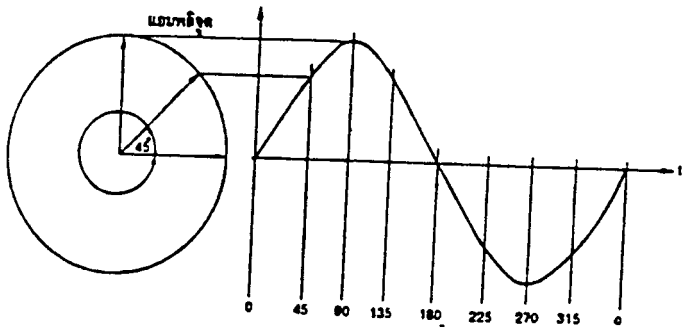
สำหรับหลักการทำงานของโมเด็มที่ใช้เทคนิคการ modulate แบบ ASK นั้น ในส่วนของวงจรทางด้านส่งจะต้องทำการแปลงสัญญาณ digital ไปเป็นสัญญาณ analog ก่อนโดยใช้ D/A converter แล้วผ่านขบวนการ modulate ส่งออกไป ส่วนในโมเด็มทางด้านรับ เมื่อรับสัญญาณเข้ามาก็จะผ่านขบวนการ demodulate แยกเอาสัญญาณพาหะออกแล้วจึงส่งผ่านวงจร A/D converter เพื่อแปลงสัญญาณ analog ไปเป็นสัญญาณ digital แล้วส่งเข้า terminal ใช้งานต่อไป

PHASE SHIFT KEYING (PSK)

ในการถ่ายโอนข้อมูลที่ต้องใช้ความเร็วสูง การ modulate โดย FSK เห็นจะไปไม่ไหว เลยเปลี่ยนมาใช้วิธีการที่เรียกว่า PSK แทนที่จะใช้ความถี่ในการแทนสัญญาณ logic กลับใช้สัญญาณเสียงความถี่เดียว แต่ใช้เฟสที่ต่างกันออกไปสำหรับแทนสัญญาณ logic

การใช้เฟสในการ modulate เป็นอย่างไร มาลองดูรูปร่างของสัญญาณอย่างง่ายๆ ตามรูปที่ 2.12

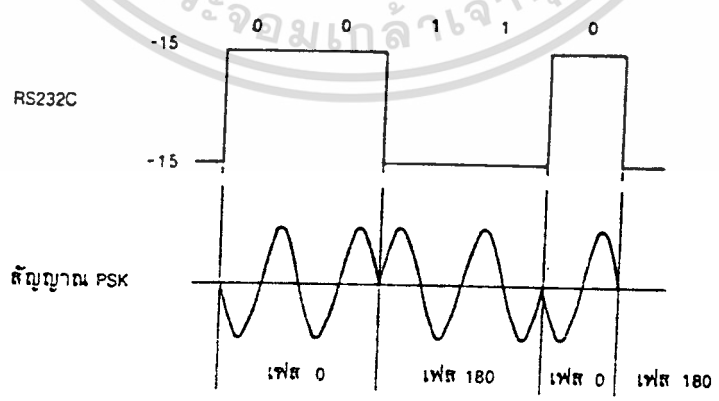
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 การกำหนดคลื่นรูปซายน์และเฟสต่างๆ

การกำเนิดคลื่นรูปซายน์ก็เหมือนกับการหมุนของเข็มนาฬิกาไปเป็นเส้นรอบวง ถ้าเราวัดความสูงของเข็มนาฬิกาเทียบกับแนวนอนขณะใดขณะหนึ่ง แล้วนำมา plot เทียบกับแกนเวลา เราจะได้รูปร่างของคลื่นรูปซายน์ เข็มที่เราใช้หมุนเรียกว่าเวกเตอร์ มุมที่หมุนไปเรียกว่า เฟส ฉะนั้นเฟสของสัญญาณรูปคลื่นซายน์จะมีตั้งแต่ 0 ถึง 360 องศา ถ้าหากเราจะเลือกใช้เฟสในการ modulate สัญญาณ logic เราก็แบ่งเฟสที่เราจะใช้ออกเป็น 2 เฟส ในการ modulate สัญญาณ logic "0" และ "1" คือใช้เฟส 0 แทน "0" และเฟส 180 แทน "1" ลักษณะของสัญญาณจากโมเด็มก็จะเป็นดังรูปที่ 2.13

ถ้าหากเราแปลงสัญญาณ PSK ออกเป็น 4 เฟส คือ 0 , 90 , 180 , 270 องศา โดยเราแทนเฟสทั้ง 4 ด้วยเลขฐานสอง 2 หลัก หรือ 2 บิท ในกรณีเช่นนี้การเปลี่ยนเฟสครั้งหนึ่งเท่ากับว่าเราได้ข้อมูล 2 บิทเข้าไปแล้ว ในลักษณะเช่นนี้อัตราบิทจะเป็นสองเท่าของอัตรา baud เพราะอัตรา baud คืออัตราการเปลี่ยนแปลงสัญญาณใน 1 วินาที แต่การเปลี่ยนแปลงสัญญาณ 1 ครั้ง ข้อมูลเปลี่ยนแปลง 2 บิท ความเร็วในการโอนถ่ายข้อมูลจึงเป็น สองเท่าของอัตรา baud

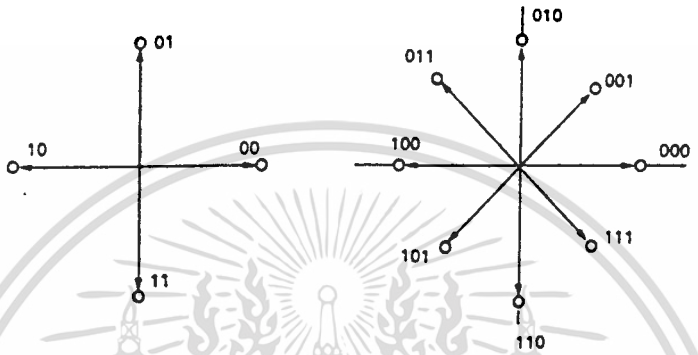


รูปที่ 2.13 สัญญาณ PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมเด็มชนิด 210 B ของ BELL ใช้ PSK โดยการแบ่งเฟสเป็น 4 เฟส ดังกล่าวอัตราในการส่ง 1200 baud เท่ากับได้ความเร็วในการถ่านโอนข้อมูล 2400 bps

ถ้าเราแบ่งสัญญาณออกเป็น 8 คือ 0° , 45° , 90° , 135° , 180° , 225° , 270° , และ 315° โดยแต่ละเฟสแทนด้วยข้อมูล 3 บิท จะเห็นว่าความเร็วในการถ่ายโอนข้อมูลจะกลายเป็น 3 เท่าของอัตรา baud ถ้าใช้อัตรา ฟีก 1600 ก็จะได้ความเร็วของการถ่ายโอนข้อมูล 4800 baud/sec โมเด็มชนิด 210C ของ BELL ใช้เทคนิคทำการถ่ายโอนข้อมูลทำได้เร็วถึง 4800 bps



รูปที่ 2.14 การ modulate โดยใช้วิธี PSK ของ BELL 201

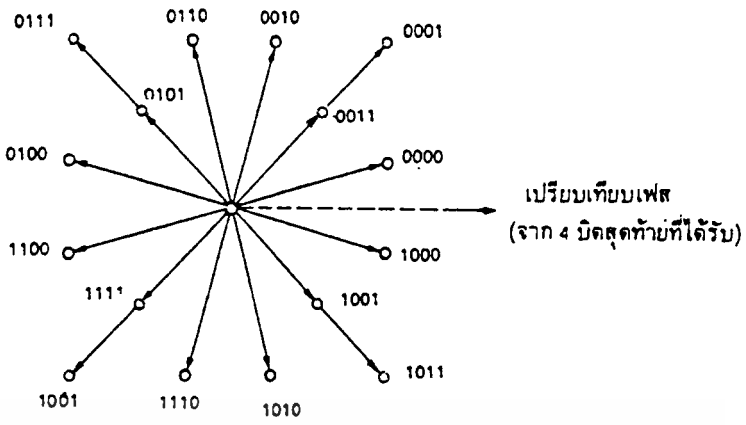
คิดดูง่ายๆ ก็จะเห็นว่าถ้าเราแบ่งเฟสของสัญญาณออกเป็น "2" เฟสเราจะได้ความเร็วในการถ่ายโอนข้อมูลเป็น N เท่ากับของอัตรา baud ความจริงไม่ง่ายอย่างนั้น เนื่องจากถ้าเฟสเข้ามาใกล้กันมาก การแยกสัญญาณออกจะทำให้ยากมาก กรณี N=3 หรือ 8 เฟส ก็นับว่ายากแล้ว ถ้า N=4 ก็จะเป็น 16 เฟส โอกาสที่จะแยกสัญญาณอย่างผิดพลาดคงจะมีแน่ๆ

PHASE AMPLITUDE MODULATION (PAM)

วิธีการที่จะเพิ่มความเร็วในการถ่ายโอนข้อมูลให้สูงขึ้นโดยการเอาความสูง หรือ amplitude ของสัญญาณเข้ามา modulate ด้วยเรียกว่า Phase Amplitude Modulation หรือบางทีเรียกว่า Quardrature Modulation โมเด็มที่ส่งด้วยความเร็ว 9,600 บิทต่อวินาที เขาแบ่งเฟสออกเป็น 12 เฟส มีอยู่ 4 เฟส ที่มีโอกาส amplitude ได้สองค่ารวมแล้วทั้งหมดสามารถใช้เลขฐานสอง 4 บิท แทนเฟสและ amplitude ทั้ง 16 สถานสัญญาณในสายใช้ความเร็ว 2,400 บอด ก็จะสามารถให้ความเร็วในการถ่ายโอนได้ถึง 9,600 บิทต่อวินาที รูปที่ 2.15 แสดงไดอะแกรมของสัญญาณ

นอกจากมาตรฐานของโมเด็มดังที่กล่าวมายังมีมาตรฐานออกมาใหม่ๆ อีกหลายอย่าง หากท่านต้องการจะซื้อโมเด็มใช้ อย่าลืมถามฝ่ายตรงข้ามที่ท่านจะติดต่อสื่อสารข้อมูลก่อนว่าเขาใช้โมเด็มชนิดใด ท่านจะไม่สามารถติดต่อกับเขาได้อย่างแน่นอน ถ้าหากเป็นโมเด็มชนิดที่ต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 เฟสของสัญญาณในการส่งสัญญาณด้วยความเร็ว 9,600 บิทต่อวินาที

ตารางที่ 2.1 จะบอกถึงแบบของการ modulate ตามมาตรฐาน BELL และ CCITT

ชนิด	ความเร็ว	วิธีการมอดดูเลท	อัตราบอด	ดูเพล็กซ์
103	300 bps	FSK	300 baud	Full / FDM
202	1200 bps	FSK	300 baud	HALF
212	1200 bps	DPSK	600 baud	Full / FDM
V.22	1200 bps	DPSK	600 baud	Full / FDM
201	2400 bps	DPSK	1200 baud	HALF
V.22bis	2400 bps	QAM	600 baud	Full / FDM
V.26ter	2400 bps	DPSK	1200 baud	Full / ECT
208	4800 bps	DPM	1600 baud	HALF
209	9600 bps	QAM	2400 baud	HALF
V.29	9600 bps	MQAM	2400 baud	HALF
V.32	4800 bps	QAM	2400 baud	Full / ECT
V.32	9600 bps	MQAM	2400 baud	Full / ECT

DPM = Differential Phase Modulation

FSK = Frequency Shift Keying

FDM = Frquency Division Multiplex

DPSK = Different Phase Shift Keying

QAM = Quadrature Amplitude Modulation

ECT = Echo Cancellation Techique

ตาราง 2.1 ชนิดของโมเด็มและวิธีการ modulate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การมอดดูเลทแบบเปลี่ยนเฟสของสัญญาณคลื่นพาห์

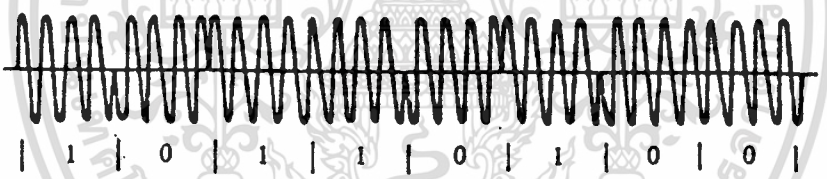
การมอดดูเลทแบบเปลี่ยนเฟสของคลื่นพาห์(PSK) นั้นเป็นการนำเอาสัญญาณเชิงเลขมาเปลี่ยนเฟสของสัญญาณคลื่นพาห์ในกรณีสัญญาณเชิงเลขแบบ M ระดับ เฟสของสัญญาณคลื่นพาห์ก็จะถูกแบ่งออกเป็น M ค่า เพื่อใช้แทนสัญญาณในแต่ละระดับ สัญญาณที่ถูกมอดดูเลทแล้วจะเขียนได้ในรูป

$$x_c(t) = A_c \sum_k \cos\left(\omega_c t + \phi_k\right) p(t - kD) \qquad (2.1)$$

โดยที่

$$\phi_k = \frac{\pi\left(2a_k + 1\right)}{M} \qquad a_k = 0,1,2,\ldots,M-1 \qquad (2.2)$$

และ p(t-kD) แสดงสัญญาณพัลส์ที่มีค่าเป็น "1" และกว้างเท่ากับ D ลักษณะของสัญญาณ PSK ในสมการ (2.1) แสดงว่าเฟสของสัญญาณจะเปลี่ยนแปลงไปตามระดับของสัญญาณเชิงเลขและขนาดของสัญญาณคลื่นพาห์จะไม่เปลี่ยนแปลง ในกรณีที่เป็นสัญญาณ 2 ระดับ เฟสของสัญญาณ 0 กับสัญญาณ 1 ก็อยู่ตรงข้ามกัน รูปที่ 2.16 แสดงลักษณะของรูปคลื่นกรณีนี้



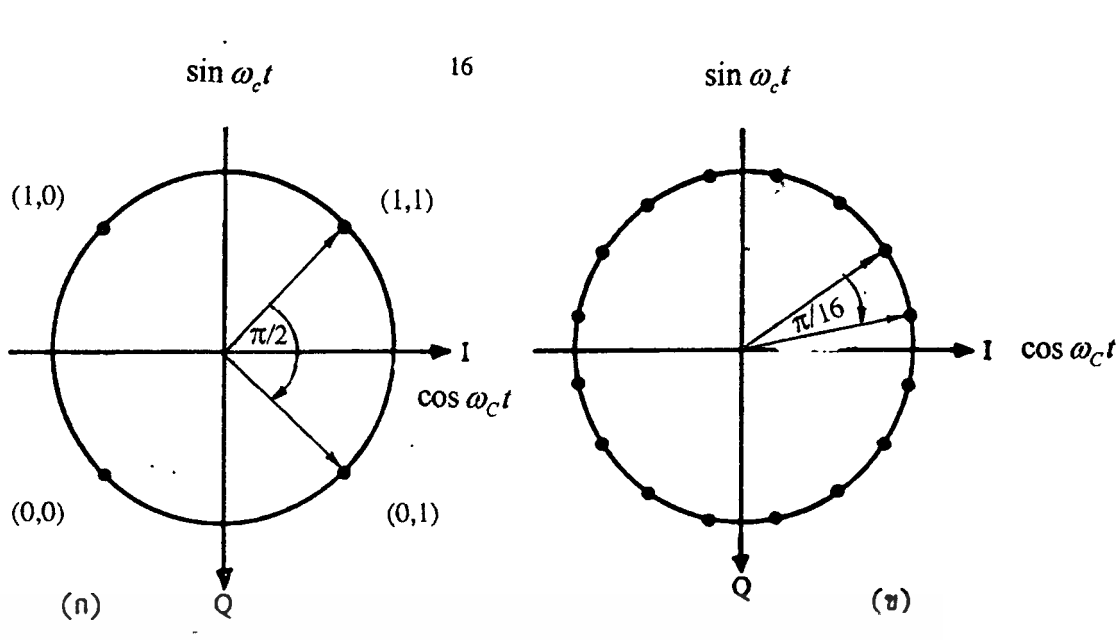
รูปที่ 2.16 รูปคลื่นของกรณีสัญญาณ PSK แบบ 2 ระดับ

อันที่จริงถ้าเราทำการกระจาย $\cos\left(\omega_c t + \phi_k\right)$ ในสมการ (2.1) จะพบว่าสมการ(2.1) นี้สามารถเขียนได้ในรูปของสัญญาณอินเฟสและควอดราเจอร์เฟสดังนี้

$$X_c(t) = A_c \sum_k p(t - kD) \cos\phi_k \cos\omega_c t - A_c \sum_k p(t - kD) \sin\phi_k \sin\omega_c t \qquad (2.3)$$

ในกรณีของสัญญาณ 4 ระดับนั้น การจัดตำแหน่งของสัญญาณนี้จะเป็นดังที่แสดงไว้ในรูปที่ 2.17(ก) และกรณี 16 ระดับ แสดงไว้ในรูป 2.17(ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

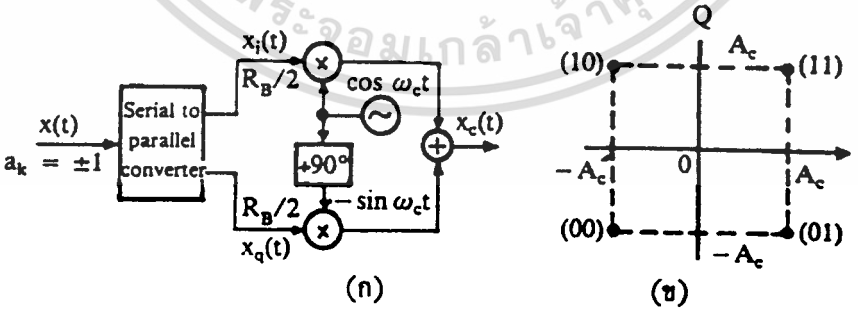


รูปที่ 2.17 การจัดตำแหน่งสัญญาณของสัญญาณ 4-PSK และ 16-PSK

ในการพิจารณาแบนด์วิดธ์ที่ต้องการนั้น เราทราบว่าในระบบของ PSK และ QAM มีลักษณะที่คล้ายคลึง คือสัญญาณเชิงเลขที่เข้ามาเป็นอนุกรมจะถูกแปลงให้เป็นสัญญาณขนานที่ละ 2 บิท บิทแรกจะถูกส่งไปมอดดูเลทกับสัญญาณคลื่นพาห์อินเฟส บิทที่สองจะถูกส่งไปมอดดูเลทสัญญาณคลื่นพาห์ควอดราเจอร์เฟส ดังนั้นถ้าอัตราข้อมูลที่เข้ามาเป็น R_B bps อัตราข้อมูลที่ไปมอดดูเลทคลื่นพาห์แต่ละด้านก็จะเป็น $\frac{R_B}{2\ bps}$ และสัญญาณที่ไปมอดดูเลทคลื่นพาห์อินเฟสและคลื่นพาห์ควอดราเจอร์เฟสจะเขียนได้ตามลำดับในรูปต่อไปนี้

$$X_i(t) = \sum_k a_{2k} p(t - kD) \qquad \text{(2.4 ก.)}$$

$$X_q = \sum_k a_{2k+1} p(t - kD) \qquad \text{(2.4 ข.)}$$



รูปที่ 2.18 บล็อกไดอะแกรมของการมอดดูเลทแบบ QAM และการจัดตำแหน่งของสัญญาณ

ซึ่งสามารถสร้างสัญญาณได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$X_c(t) = A_c\left[X_i(t)\cos\omega_c t + X_q(t)\cos\left(\omega_c t + 90^o\right)\right]$$
$$= A_c\left[X_i(t)\cos\omega_c t - X_q(t)\sin\omega_c t\right] \quad (2.5)$$

และจากการเปรียบเทียบสมการ(2.3)กับสมการ(2.5) แล้ว จะเห็นได้ว่า เราสามารถเขียน $X_i(t)$ และ $X_q(t)$ ในรูปต่อไปนี้

$$X_i(t) = \sum_k \cos\phi_k\, p(t - kD) \quad (2.6\ \text{ก.})$$
$$X_q(t) = \sum_k \sin\phi_k\, p(t - kD) \quad (2.6\ \text{ข.})$$

และเมื่อพิจารณาค่าเฉลี่ยเชิงสถิติของสัญญาณทั้งสองนี้จะได้ผลดังนี้คือ

$$\overline{\cos\phi_k} = \overline{\sin\phi_k} = 0 \quad (2.7\ \text{ก.})$$
$$\overline{\cos^2\phi_k} = \overline{\sin^2\phi_k} = 1/2 \quad (2.7\ \text{ข.})$$
$$\overline{\cos\phi_k \sin\phi_k} = 0 \quad (27\ \text{ค.})$$

จากผลของสมการ(2.7)นี้ เราจะสามารถหาความหนาแน่นสเป็กตรัมกำลังของ $X_i(t)$ และ $X_q(t)$ ได้ในรูปต่อไปนี้

$$\left|X_i(f)\right|^2 = \left|X_q(f)\right|^2 = \frac{1}{2R}\sin c^2\left(\frac{\pi f}{R}\right) \quad (2.8)$$

และเมื่อทำการเขียนความหนาแน่นสเป็กตรัมกำลังของสัญญาณ PSK ก็จะได้ผลดังนี้

$$G(f) = \frac{A_c^2}{4R}\left[\sin c^2\left\{\frac{\pi\left(f - f_c\right)}{R}\right\} + \sin c^2\left\{\frac{\pi\left(f + f_c\right)}{R}\right\}\right] \quad (2.9)$$

ถ้าหากเราสังเกตในสมการ(2.8) จะเห็นว่าไม่มีส่วนประกอบกระแสตรงที่อยู่ในรูปของ $\delta(f)$ ซึ่งหมายถึงสัญญาณ PSK จะไม่มีสเป็กตรัมคลื่นพาห์ เมื่อพิจารณาในด้านแบนด์วิดธ์ที่ต้องการในกรณีของสัญญาณ M ระดับ เนื่องจากความหนาแน่นสเป็กตรัมกำลังมีลักษณะคล้ายคลึงกับสัญญาณ 2 ระดับมาก ดังนั้นแบนด์วิดธ์ที่ต้องการจึงเป็น $B_T \approx R$ ด้วย สำหรับประสิทธิภาพในการใช้แบนด์วิดธ์นั้น เนื่องจากกรณี M ระดับเป็นการใช้ 1 สัญญาณแทน $\log_2 M$ บิท ดังนั้นประสิทธิภาพของการใช้แบนด์วิดธ์จึงเป็น $\log_2 M$ bps/Hz ซึ่งสูงกว่าของกรณีสัญญาณ 2 ระดับ อย่างไรก็ตามสัญญาณ PSK นี้ ถ้าจำนวนระดับสัญญาณ M มีค่ามากขึ้น จะทำให้ระยะห่างระหว่างสัญญาณลดลง ซึ่งจะเป็นปัญหาในด้านการดีเทคสัญญาณเมื่อมีสัญญาณรบกวนปะปนอยู่ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 ระบบโคฮีเรนท์และดิฟเฟอร์เรนท์เชียลโคฮีเรนท์ควอดไดรเฟส PSK(QPSK)

คำบรรยายฟังค์ชั่นของการใช้โมเด็ม QPSK ที่สำคัญเป็นการศึกษาเรื่องของประสิทธิภาพสเป็กตรัมของระบบ การวิเคราะห์ความน่าจะเป็นของสมรรถนะความผิดพลาดในช่องสัญญาณรบกวนแบบไวท์เกาส์เซียนของไนควิสต์ในอุดมคติ จะทำการกล่าวในที่นี้

รายละเอียดของ QPSK,DEQPSK,DQPSK

ตัวย่อที่ใช้ในส่วนนี้เป็นเพียงส่วนย่อยซึ่งยังไม่สมบูรณ์ ถ้าทำการเปรียบเทียบกันระหว่าง PSK สามารถแสดงได้ดังนี้

Binary PSK	Quadriphase PSK
PSK	QPSK
DEBPSK	DEQPSK
DBPSK	DQPSK
------	OKQPSK

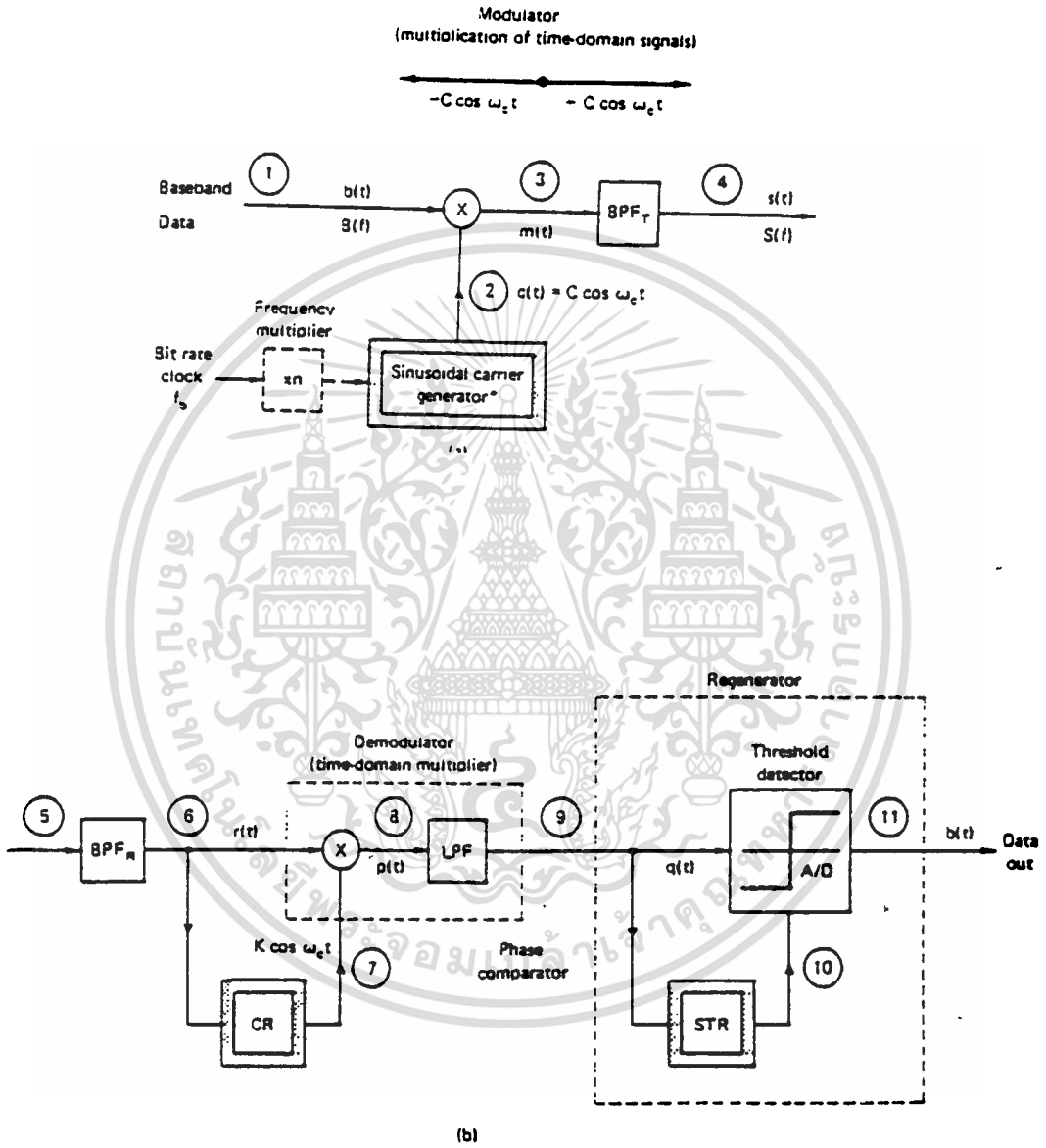
เราเรียก BQPSK เป็นระบบไบนารี่โคฮีเรนท์ (binary coherent) ซึ่งต้องการวงจรกู้คลื่นพาห์ (carrier recovery) เพื่อไม่ให้เกิดการคลุมเครือทางเฟส (phase ambiguous) การเข้ารหัสแบบดิฟเฟอร์เรนท์เชียลถูกนำมาใช้ในระบบ DEBPSK การทำงานด้วยวงจรกู้คลื่นพาห์เพื่อป้องกันการผิดพลาดทางเฟส 180 องศา ในระบบ DBPSK มีวิธีการดีมอดดูเลทซึ่งไม่จำเป็นต้องใช้วงจรกู้คลื่นพาห์ (ดูรูป 2.19 และ 2.20)

โมเด็มแบบควอดไดรเฟส (QPSK) ใช้ในระบบซึ่งมีประสิทธิภาพของสเป็กตรัมทางทฤษฎีเท่ากับ 1h/s/Hz ถ้าเป็นโมเด็มแบบ BPSK ยังไม่เพียงพอสำหรับแบนด์วิดธ์ที่มีอยู่ เทคนิคการดีมอดดูเลชั่นต่าง ๆ ที่ใช้ในระบบ BPSK นำมาใช้ในระบบ QPSK ได้ นอกจากนี้เทคนิคของโมเด็มไบนารี่จะถูกใช้อย่างแพร่หลาย เทคนิคการออฟเซท-คีย์ หรือการมอดดูเลชั่นแบบสเตกเกอร์ควอดไดรเฟส (offset-keyed or staggered quadriphase modulation (OKQPSK)) ก็ถูกนำมาใช้

ในระบบ QPSK สัญญาณที่ถูกมอดดูเลทมีสภาวะของเฟสที่แตกต่างกัน 4 สภาวะ ซึ่งสภาวะเหล่านี้จะทำให้เกิดการรวมกันของบิทที่ติดต่อกันเป็นรูปแบบของไดบิท (dibit) สภาวะของเฟสที่สอดคล้องกันจะช่วยรักษาระยะห่างของสัญญาณ Tm ช่วงเวลาระหว่างบิทจะเป็น 2 บิทดูเลชั่น (Tm=2Tb) ค่าไดบิทที่เป็นไปได้ 4 ค่าถูกกำหนดตามรหัสเกรย์โค้ด (Gray code) เป็นส่วนที่เหมาะสมของรหัสนี้ซึ่งแสดงสัญลักษณ์ที่ติดกันจะมีบิทแตกต่างกันเพียง 1 บิทเห็นได้ในรูปที่ 2.21 (c) ในระบบการส่งจะแย่ลงเนื่องจากสัญญาณรบกวนและการรบกวนจากนอกระบบ ความผิดพลาดที่มาก ๆ จะถูกนำมาทำการตัดสินความผิดพลาดระหว่างสภาวะที่ใกล้ชิดกัน ในกรณีรหัสเกรย์โค้ดทำให้แน่ใจว่าความผิดพลาดใน 1 สัญญาณจะผิดพลาด 1 บิท เกรย์โค้ดจะถูกเปรียบเทียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับรหัสไบนารี่โค้ด รหัสดีซิมอลโค้ด รหัสเกรย์โค้ดถูกนำไปใช้งานในระบบ QPSK ซึ่งเป็นระบบการถอดรหัสที่แก้ความผิดพลาด



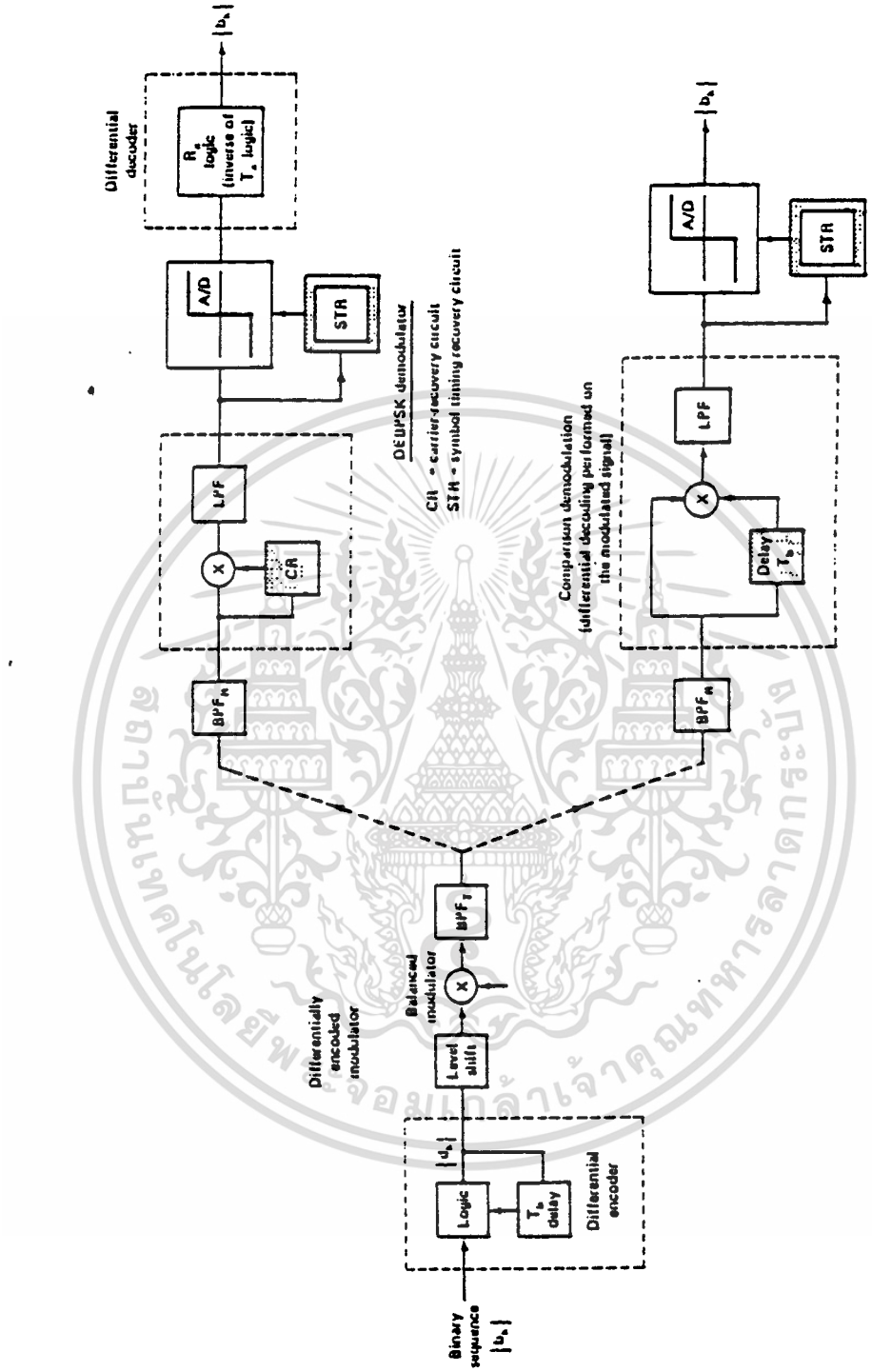
(b)

รูปที่ 2.19 แสดงลักษณะของบล็อกไดอะแกรมของโคฮีเรนท์ BPSK

(a) มอดดูเลเตอร์ และ (b) ดีมอดดูเลเตอร์

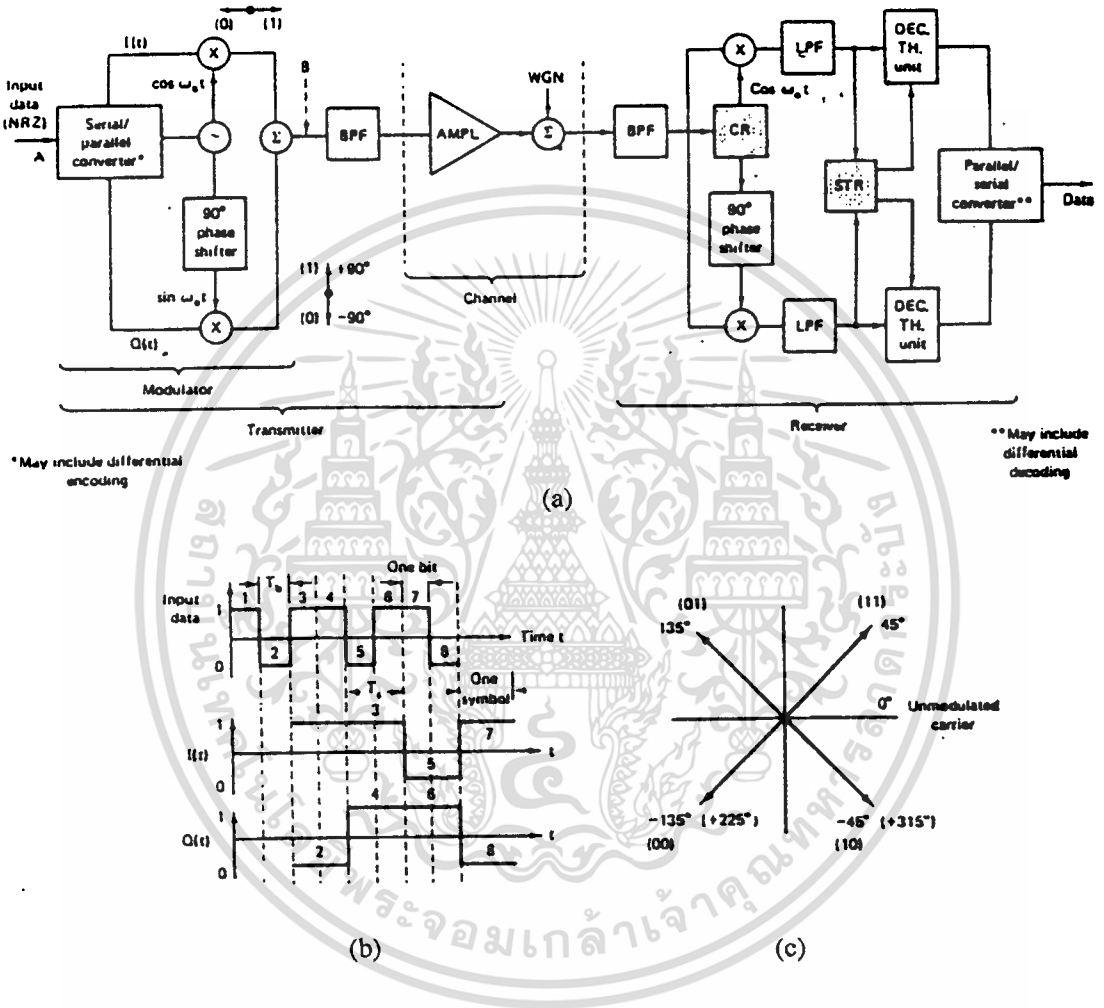
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038341



รูปที่ 2.20 แสดงการเข้ารหัสดิฟเฟอร์เรนท์เชียล BPSK ของ DEBPSK และ DBPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 แสดงระบบ QPSK (a) บล็อกไดอะแกรมของวงจรกู้คลื่นพาห์ (CR) และวงจรกู้เวลาสัญลักษณ์ (STR) (b) แสดงอัตราความเร็วของข้อมูล (c) แสดงเว็กเตอร์ไดอะแกรม ของเกรย์โค้ดของสภาวะสัญญาณต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สภาวะสัญญาณเกรย์โค้ด 4 สภาวะมีดังนี้

$$
\begin{aligned}
s_{11}(t) &= A\cos(2\pi f_o t + 45^\circ) \\
s_{01}(t) &= A\cos(2\pi f_o t + 135^\circ) \\
s_{00}(t) &= A\cos(2\pi f_o t + 225) \\
s_{10}(t) &= A\cos(2\pi f_o t + 315^\circ)
\end{aligned}
\qquad (2.10)
$$

สมการนี้แทนสภาวะสัญญาณรหัสเกรย์และความถี่ของคลื่นพาห์ตามมา

บล็อคไดอะแกรมของโมเด็มคอนเวนชั่นแนล QPSK แสดงในรูปที่ 2.21 ข้อมูลแบบ NRZ เข้ามาที่ตัวมอดดูเลชั่นจะเปลี่ยนโดยการเปลี่ยนจากอนุกรมเป็นขนานแยกเป็น NRZ 2 ชุด โดยชุดแรกจะมีเฟสเดียวกัน I(t) และ อีกชุดจะมีเฟสต่างกัน 90 องศา Q(t) ซึ่งมีซิมบอลเรทเป็น 1/2 ของบิทเรทที่รับเข้ามา ความสัมพันธ์ระหว่างข้อมูลอินพุท I และ Q สตรีม แสดงในรูป 2.21 (b) ทั้ง I และ Q สตรีมถูกแยกและป้อนเข้าสู่ส่วนการคูณ (เทอมของบาลานซ์มิกเซอร์และการสร้างมอดดูเลชั่นก็ถูกนำมาใช้) อินพุทที่หนึ่งเข้า I คูณเป็นสัญญาณคลื่นพาห์ cosot และ อินพุทที่สองที่เข้าสู่ Q จะเป็นคลื่นพาห์ที่มีการเลื่อนเฟสไป 90 องศา (คือเป็น sinwot) เอาท์พุทที่ได้จากวงจรคูณทั้งสองจะเป็นสัญญาณ BPSK เอาท์พุทที่ได้จากวงจรคูณ I สัญญาณจะมีเฟสเป็น 0 องศา หรือ 180 องศา เทียบกับคลื่นพาห์และสัญญาณที่ได้จากเอาท์พุทของวงจรคูณ Q จะมีเฟสเป็น 90 องศา หรือ 270 องศา เทียบคลื่นพาห์และสัญญาณที่ได้จากเอาท์พุทของวงจรคูณจะรวมเข้าด้วยกันได้เฟส 4 เฟส ดังนั้น QPSK สามารถพิจารณาในรูปของ BPSK 2 ชุดทำงานร่วมกันได้ 4 เฟส

ตำแหน่งเอาท์พุททั้งสี่ ที่ได้จากการมอดดูเลทจะสอดคล้องกับแกน IQ และถูกรวมเข้าด้วยกัน แสดงเป็นไดอะแกรมของสัญญาณในรูป 2.17 (c) หมายเหตุในตำแหน่งของเฟสที่ 90 องศา หรือ 180 องศา ตัวอย่าง การเปลี่ยนเฟส 180 องศา จะเกิดขึ้นเมื่อมีการรวมที่แกน IQ ซึ่งเปลี่ยนจาก 11 เป็น 00 สำหรับสัญญาณที่ไม่ถูกฟิลเตอร์ การเปลี่ยนเฟสจะเกิดขึ้นชั่วขณะและขนาดของสัญญาณเอนวิโลบจะคงที่ เมื่อสัญญาณ QPSK ที่ผ่านการกรองแล้วเกิดการเปลี่ยนเฟสทำให้ขนาดเอนวิโลบของสัญญาณเปลี่ยนแปลงไปด้วย โดยเฉพาะการเปลี่ยนเฟส 180 องศา เป็นผลทำให้ขนาดเอนวิโลบของสัญญาณเป็นศูนย์

สัญญาณเอาท์พุทของ QPSK ที่ได้จากการมอดดูเลทจะถูกฟิลเตอร์เพื่อขจัดการแตกกระจายของสเป็กตรัม แล้วถูกขยายส่งผ่านช่องสัญญาณไปยังอินพุทของเครื่องรับ เพราะสัญญาณมอดดูเลท I และ Q ทั้ง 4 (เชิงอุดมคติ) สามารถที่จะดีมอดดูเลทและสร้างสัญญาณขึ้นใหม่ได้อย่างมีประสิทธิภาพ

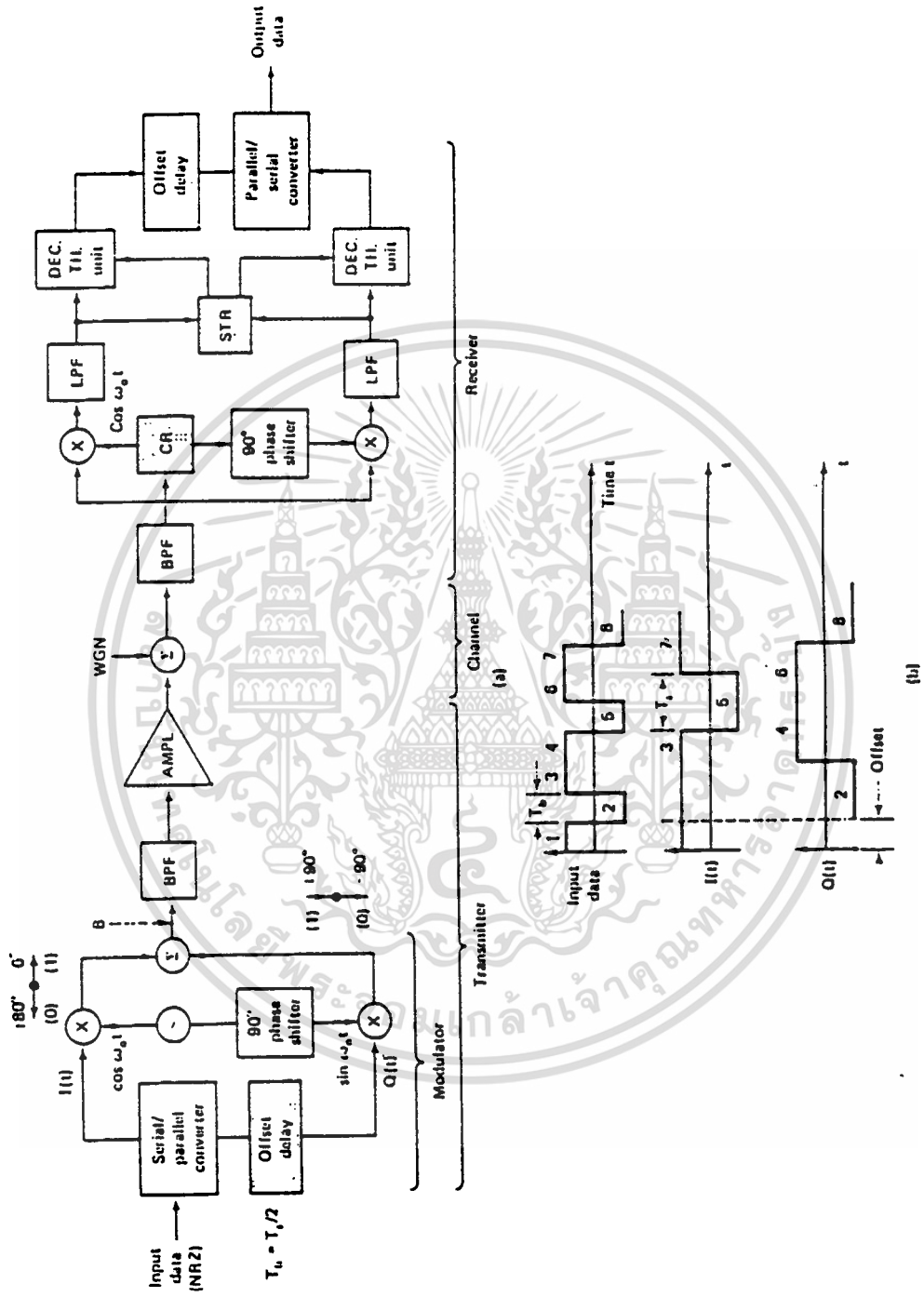
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างสัญญาณ I และ Q สตรีมขึ้นมาใหม่จะถูกรวมกันที่ parallel-to-serial covertor ในรูปแบบของสัญญาณข้อมูลสตรีมดังเดิม อย่างไรก็ตามสัญญาณก็ยังมีความผิดพลาดเนื่องจากสัญญาณรบกวนและจากการฟิลเตอร์

บล็อคไดแกรมของ ออฟเซท คีย์ ควอนเทนารี เฟสชิฟคีย์อิ้ง (OK-QPSK) ที่แสดงในรูป 2.22 (a) คล้ายกับ ควอนเวนชั่นแนล QPSK มาก แตกต่างกันเพียงในการเปลี่ยนแปลงข้อมูลระหว่างสัญญาณ I และ Q สตรีมที่เข้าที่วงจรคูณข้อมูลที่รับเข้ามาจะผ่านไปยังวงจร serial to parallel convertor ส่วนของ Q สตรีม แสดงในรูปที่ 2.22(a)จะถูกออฟเซทด้วยการหน่วงเวลาเป็นจำนวนเท่ากับระยะระหว่างบิทของสัญญาณที่รับเข้ามา Tm=Tm/2ผลของความสัมพันธ์ระหว่างสัญญาณ I และ Q สตรีม และข้อมูลอินพุทแสดงในรูปที่ 2.22 (b)ผลของการเปลี่ยนเฟสทันทีทันใดที่เอาท์พุทของการมอดดูเลเตอร์จะเหมือนกับ QPSK อย่างไรก็ตามเนื่องจากบิทสตรีมทั้งคู่ที่ป้อนเข้าวงจรคูณจะเปลี่ยนแปลงสถานะไม่พร้อมกัน ส่วนหนึ่งของการมอดดูเลเตอร์ประกอบด้วยมอดดูเลเตอร์แบบควอดไดเฟส สัญญาณที่เอาท์พุทจะเปลี่ยนที่เวลาหนึ่งเท่านั้นผลที่ได้คือ เฟสของสัญญาณที่เอาท์พุทเป็น 90 องศา เหมือนกับ QPSK สัญญาณ offset QPSK จะมีขนาดของเอนวิโลบสูงสุด 3 dB (70%) เปรียบเทียบกับขนาดของเอนวิโลบ 100%ของระบบคอนเวนชั่นแนล QPSK เป็นการแสดงให้เห็นว่าความแตกต่างของขนาดเอนวิโลบที่ต่ำกว่า ให้เห็นประโยชน์ที่แน่นอนของ offset QPSK เปรียบเทียบกับ QPSK ในระบบดาวเทียมที่ไม่เป็นเชิงเส้นและระบบไมโครเวฟไลน์ออฟไซท์ (line of sigth) เช่นในการส่งสัญญาณ offset QPSK แบบจำกัดแถบถูกส่งผ่านไปด้วยอุปกรณ์จำกัดขนาด จะมีเพียงส่วนย่อย ๆ ที่สร้างขึ้นมาใหม่ของสเป็กตรัมจากระดับของสัญญาณที่ยังไม่ฟิลเตอร์ สำหรับ QPSK มีลักษณะเหมือนกัน อย่างไรก็ตามสัญญาณที่สร้างขึ้นมาใหม่ในระดับที่ยังไม่ฟิลเตอร์ เกือบจะสมบูรณ์

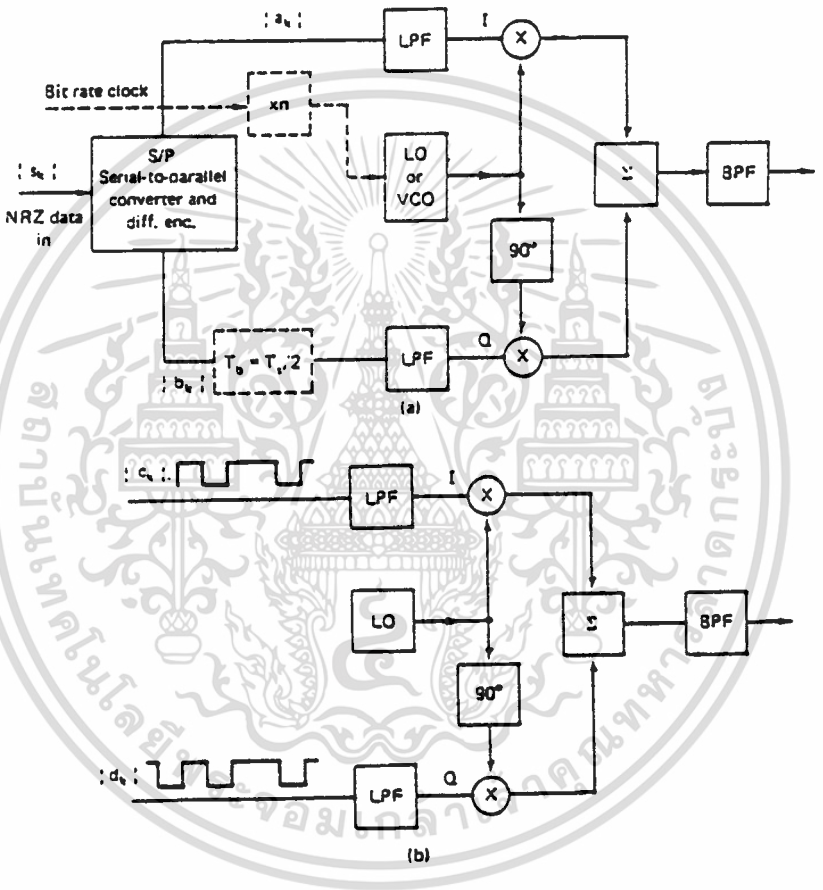
เครื่องรับ QPSK แสดงในรูป 2.22 (a) ลักษณะเดียวกับแสดงในรูปที่ 2.21 (a) ยกเว้นการสร้างข้อมูล I สตรีมขึ้นมาใหม่ถูกหน่วงเวลาเท่ากับช่วงเวลาระหว่างบิท Tb=Tb/2 เพื่อที่ว่าเมื่อรวมกับ Q สตรีมที่สร้างขึ้นมาใหม่จะได้เป็นข้อมูลอินพุทเดิม แต่ก็ยังมีความผิดพลาดเนื่องจากผลของสัญญาณรบกวนและฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 แสดงบล็อกไดอะแกรมทางด้านภาครับของ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 บล็อกไดอะแกรมแสดงการมอดดูเลทแบบ QPSK และ OKQPSK ในระบบซิงโครนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.23 (a) บล็อคไดอะแกรมของการมอดดูเลทแบบ QPSK และ OKQPSK ในระบบซิงโคนัส(Sk) เป็นข้อมูล NRZ แบบอนุกรมจะถูกเปลี่ยนจากอนุกรมไปเป็นขนานกลายเป็นข้อมูลสตรีม 2 ชุด คือ (a_k)และ (b_k) ตัวเข้ารหัสแบบดิฟเฟอร์เรนท์เชียลจะแทรกในตัวมอดดูเลเตอร์ ส่วนเข้ารหัสนี้จะใช้เครื่องรับที่ถอดรหัสแบบดีฟเฟอร์เรนท์เชียลที่ต้องการวงจรกู้คลื่นพาห์ในการแก้ความผิดพลาดของเฟส ถ้าเป็นการดีมอดดูเลทแบบ DQPSK จะไม่ต้องการวงจรกู้คลื่นพาห์ การเปลี่ยนจากอนุกรมไปเป็นขนานข้อมูล I และ Q จะซิงโครนัสกัน การหน่วงเวลาที่ต้องการในการมอดูเลทแบบ OKQPSK คือ Tb=Tm/2 ส่วนหน่วงเวลานั้นจะไม่ทำให้การซิงค์ที่ช่องสัญญาณ I และ Q เกิดการเปลี่ยนแปลงเหมือนกับกรณีของ BPSK ที่ โลคอลออสซิลเลเตอร์ (local oscillator) จะล็อคที่จำนวน การคูณของอัตราข้อมูลจะทำให้เกิดการล็อคของ VCO ตามต้องการ VCO โดยทั่วไปจะเป็นวงจร PLL ถ้าโลคอลออสซิลเลเตอร์ไม่ล็อคที่จำนวนการคูณของอัตราข้อมูล ระบบดาวเทียมจะมีสมรรถนะแย่ลง (ที่ 0.1 dB หรือน้อยกว่า) รูปร่างของสเป็กตรัมได้จากการกระทำของปรีมอดดูเลชั่น LPF และโพสท์มอดดูเลชั่น BPF การนำไปใช้งานสามารถนำฟิลเตอร์มาต่อคาสเคดกันได้

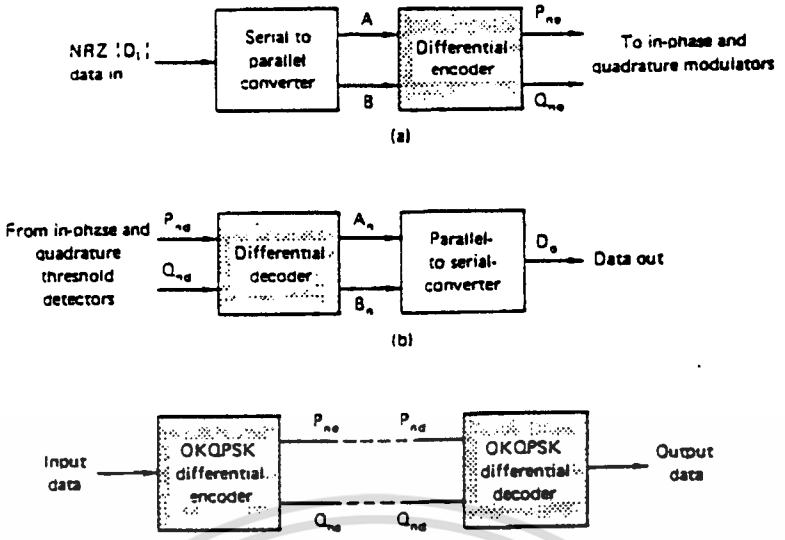
ถ้าอัตราของข้อมูลที่รับได้เป็นอะซิงโคนัสดังแสดงในรูป 2.23 (b) จะเป็นประโยชน์ในการมอดดูเลทโดยตรงของข้อมูล I และ Q สตรีม เราสมมติว่า (Ck) และ (Dk) เป็นอัตราข้อมูลซึ่งเป็นอิสระกันไม่เกี่ยวกับส่วนอื่นและจะเปลี่ยนแปลงไปมารอบ ๆ อัตราเร็วข้อมูลในการมอดดูเลทแบบ QPSK จะจัดเป็นการมัลติเพล็กซ์แบบอะซิงโคนัสถ้าข้อมูลถูกจำกัดแถบด้วย LPF ก่อนการมอดดูเลทจะเรียกว่า 2L-QAM ประสิทธิภาพของสเป็กตรัมและ Pe ของระบบ QAM จะเหมือนกับระบบ QPSK

บล็อคไดอะแกรมการดีมอดดูเลทของระบบโคฮิเรนท์ QPSK และ OKQPSK ดังแสดงในรูป2.22 และ 2.23 วงจรกู้คลื่นพาห์เป็นส่วนสำคัญในการแก้เฟสผิดพลาดและเป็นเหตุผลในการเข้ารหัสแบบดิฟเฟอร์เรนท์เชียลและการถอดรหัสตามความต้องการเช่นเดียวกับในส่วนของ DEQPSK และ DEOK-QPSK

2.7 การเข้ารหัสและการถอดรหัสแบบดิฟเฟอร์เรนท์เชียล -QPSK/OK-QPSK

วงจรกู้คลื่นพาห์แบบ quadrupler carrier recovery ถูกนำมาใช้เพื่อการล็อคที่ฮาร์โมนิคที่ 4 ของความถี่คลื่นพาห์ที่ไม่ได้มอดูเลท ผลของเฟสทั้ง 4 ที่ส่งไปคือ $\cos(\omega t + n\pi/2)$ ซึ่ง n=1,2,3 ที่ให้เทอม cos4wt เป็นค่าที่เฟสล็อกลูปทำการล็อค ดังนั้นเฟสที่ส่งจะแน่นอนที่ไม่ใช่เฟสอ้างอิง ขึ้นอยู่กับเฟสของการกู้คลื่นพาห์ ส่วนข้อมูล (P,Q) ที่อินพุทของมอดูเลเตอร์จะเป็นค่า $(P,Q),(\overline{P},\overline{Q}),(Q,\overline{P})$ หรือ $(\overline{Q},P)$ ที่เอาท์พุทของดีมอดดูเลเตอร์ ยกเว้นค่าแรกจะไม่ให้เอาท์พุทเหมือนอินพุทอาจจะแก้ปัญหา โดยการเข้ารหัสในตัวมอดดูเลเตอร์ และการถอดรหัสที่ตัวดีมอดดูเลเตอร์ (ดูรูป ที่ 2.24)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 แสดงการเข้ารหัสที่มอดดูเลเตอร์ และการถอดรหัสที่ดีมอดดูเลเตอร์

การเข้ารหัสดิฟเฟอร์เรนท์เชียลเป็นคู่ ๆ เพื่อเป็นการเปลี่ยนเฟสของ QPSK ที่แทนข้อมูลที่มีเฟสไม่สมบูรณ์ ดังนั้นจำเป็นที่จะต้องกำจัดเฟสอ้างอิง สมการการเข้ารหัสและถอดรหัสของสัญญาณ QPSK คือ

การเข้ารหัส Differential

$$\begin{aligned} P_{ne} &= \overline{(A_n \oplus B_n)}(A_n \oplus P_{(n-1)e}) + (A_n \oplus B_n)(B_n \oplus Q_{(n-1)e}) \\ Q_{ne} &= \overline{(A_n \oplus B_n)}(B_n \oplus Q_{(n-1)e}) + (A_n \oplus B_n)(A_n \oplus P_{(n-1)e}) \end{aligned} \tag{2.11}$$

ซึ่ง $\oplus$ แสดงสัญลักษณ์ของ Ex-OR

การถอดรหัส Differential

$$\begin{aligned} A &= \overline{(P_{nd} \oplus Q_{nd})}(P_{nd} \oplus P_{n-1d}) + (P_{nd} \oplus Q_{nd})(Q_{nd} \oplus Q_{n-1d}) \\ B &= \overline{(P_{nd} \oplus Q_{nd})}(Q_{nd} \oplus Q_{(n-1)d}) + (P_{nd} \oplus Q_{nd})(P_{nd} \oplus P_{(n-1)d}) \end{aligned} \tag{2.12}$$

ซึ่งการเข้ารหัส (P_{ne}, Q_{ne}) และ $(P_{(n-1)e}, Q_{(n-1)e})$ แสดงสภาวะของเอาท์พุทในก่อนหน้านี้ ส่วน (A_n, B_n) แสดงสภาวะอินพุทปัจจุบันและ (A_n, B_n) แสดงการถอดรหัสของเอาท์พุท (P_{nd}, Q_{nd}) และ $(P_{(n-1)d}, Q_{(n-1)d})$ แทนสภาวะอินพุทปัจจุบันและก่อนหน้านี้ จากตัวสร้างสัญญาณขึ้นมาใหม่ กรณีสภาพขึ้นมาใหม่ กรณีสภาพที่ไม่มีสัญญาณรบกวน $\{D_i\}$ คือลำดับข้อมูลอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท่ากับ $\{D_o\}$ คือลำดับข้อมูลเอาท์พุทแต่ลำดับ (P_{ne},Q_{ne}) ไม่จำเป็นต้องเหมือนกับลำดับ $\{P_{nd},Q_{nd}\}$

ข้อมูลอินพุทจะถูกแยกเป็น 2 ส่วน โดยการเปลี่ยนจากอนุกรมไปเป็นขนานบิทคู่จะไปที่ช่องสัญญาณ A บิทคี่จะไปที่ช่องสัญญาณ B (ดูรูปที่ 2.25) บิท P_{ne} และ Q_{ne} เป็นเอาท์พุทของการเข้ารหัสแบบดิฟเฟอร์เรนท์เชียลตามคู่อินพุทปัจจุบันและคู่อินพุทก่อน ตัวถอดรหัสดูที่เอาท์พุทของตัวดีมอดดูเลเตอร์ในปัจจุบันและก่อนหน้านี้และคู่ (A,B) ซึ่งเป็นค่าเริ่มแรมในการสร้างขึ้นใหม่ คู่นี้จะผ่านเข้าไปที่ตัวแปลงข้อมูลจากขนานไปเป็นอนุกรม ซึ่งข้อมูลอินพุทจะถูกสร้างขึ้นมาใหม่

ออฟเซ็ท QPSK (offset QPSK) จะมีปัญหาที่ต่างกันเพียงเล็กน้อย ถ้าเราใช้ OQPSK ที่ถูกสร้างโดยช่องสัญญาณหน่วงเวลาค่าหนึ่งอย่างง่าย ของคู่ (P,Q) ที่เข้ารหัสแบบดิฟเฟอร์เรนท์เชียลมีคาบเวลาเท่ากับครึ่งหนึ่งของคาบเวลาสัญลักษณ์ก่อนที่จะมอดดูเลท และหลังจากดีมอดดูเลทอย่างไรก็ตามเมื่อการกู้คลื่นพาห์มีเฟสตรงกันข้าม คือ $\pi/2$ หรือ $3\pi/2$ P และ Q จะถูกเปลี่ยนกลายเป็น $(\overline{Q},P)$ หรือ $(Q,\overline{P})$ ที่เอาท์พุทดีมอดดูเลเตอร์และช่องสัญญาณที่ถูกหน่วงเวลาโดยไม่ตั้งใจ ทำให้บิทผิดพลาดทั้งที่เป็นการเข้ารหัสแบบดิฟเฟอร์เรนท์เชียลเอาท์พุทในกรณีนั้นจะไม่ถูกต้อง ดังนั้นรูปแบบการเข้าโค้ดแบบดิฟเฟอร์เรนท์เชียลจะแก้ปัญหาเวลาผิดพลาดได้ ซึ่งการเข้ารหัส OKQPSK

$$\begin{aligned} P_{ne} &= D_{EVEN} \oplus Q_{ne} \\ Q_{ne} &= D_{ood} \oplus \overline{P}_{ne} \end{aligned} \qquad (2.13)$$

การถอดรหัส OKQPSK

$$\begin{aligned} D_{EVEN} &= P_n \oplus Q_n \\ D_{odd} &= \overline{P}_n \oplus Q_n \end{aligned} \qquad (2.14)$$

ซึ่ง Deven และ Dodd แสดงบิทคู่และบิทคี่ของข้อมูลอนุกรมที่อินพุทและเอาท์พุท Pn และ Qn แสดงอินพุทและเอาท์พุทของการเข้ารหัสและถอดรหัสที่เวลาเดียวกัน

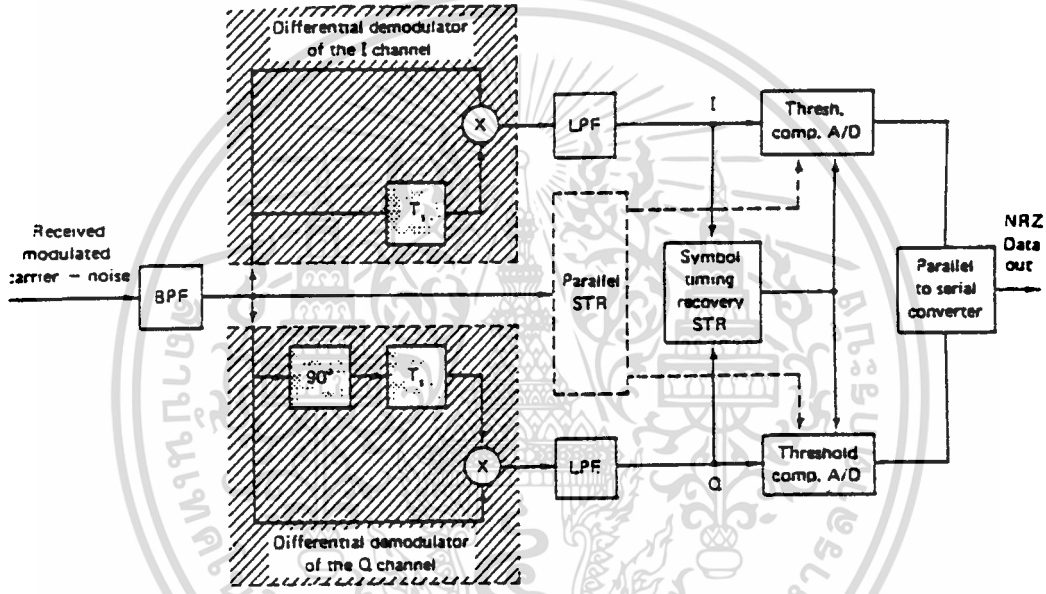
การเข้ารหัสของ OKQPSK จะยุ่งยากน้อยกว่า QPSK ซึ่งเป็นประโยชน์ที่ไม่คาดมาก่อนของ OKQPSK

การดีมอดดูเลชั่นแบบ DQPSK การออกแบบวงจรกู้คลื่นพาห์เป็นเรื่องยาก โดยเฉพาะโมเด็มที่มีการซิงโครไนซ์อย่างรวดเร็ว เพื่อหลีกเลี่ยงวงจรกู้คลื่นพาห์ที่ยุ่งยากและการปรับปรุงความเร็วของการซิงโครไนซ์เซชั่นของการดีมอดดูเลชั่น ฉะนั้นดิฟเฟอร์เรนท์เชียลดีมอดดูเลชั่นอาจจะถูกแทนด้วยโครฮีเรนท์ดีมอดดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดของการดีมอดดูเลเตอร์แบบควอดไดรเฟส ซึ่งใช้หลักการดีมอดดูเลชั่นแบบดิฟเฟอร์เรนท์เชียลดังแสดงในรูปที่ 2.25 คลื่นพาห์ที่ถูกมอดดูเลทของสัญญาณ BPF ถูกแยกและส่งเป็น 2 ค่า โดยการดีมอดดูเลชั่นแบบดิฟเฟอร์เรนท์เชียล BPSK ดีมอดูเลเตอร์นี้จะแตกต่างจากรูปที่ 2.20 ด้วยค่าหน่วงเวลาที่แตกต่างกัน (ตอนนี้เรามี Ts=2Tb แต่รูปที่ 2.20 Ts=Tb)

ดีมอดดูเลชั่นแบบควอดดราเจอร์การเลื่อนเฟส 90 องศา ต้องเพิ่มเข้าไปในช่องสัญญาณควอดดราเจอร์ วงจรกู้ช่วงเวลาของสัญลักษณ์(symbol timing recovery,STR) ต้องการการแซมปลิ้งของเทรสโฮลคอมแพเรเตอร์ (A/D converter) จะถูกต่อเพื่อการดีมอดดูเลทของช่องสัญญาณ I และ Q ที่เอาท์พุทของ BPF ระบบ STR นี้เป็นที่รู้จัก คือ STR แบบขนานถูกใช้เมื่อต้องการการซิงโครไนซ์ที่ความเร็วสูง



รูปที่ 2.25 แสดงหลักการดีมอดดูเลชั่นแบบดิฟเฟอร์เรนท์เชียล

2.8 สเป็กตรัมและประสิทธิภาพสเป็กตรัมของโมเด็มแบบ QPSK

บล็อคไดอะแกรมของการมอดดูเลเตอร์แบบ QPSK ในรูปที่ 2.2 ที่แสดงสัญญาณ QPSK ที่ถูกสร้างโดยการเพิ่มของสัญญาณ BPSK ทั้ง 2 ชุด สัญญาณเบสแบนด์อินเฟสและควอดดราเจอร์จะขับสัญญาณ I(t) และ Q(t) ไม่ขึ้นอยู่กับการซิงโครนัสของข้อมูลนั่นคือ ขั้วของช่องสัญญาณ I(t) ไม่ขึ้นอยู่กับขั้วของช่องสัญญาณ Q(t) ซึ่งอัตราสัญลักษณ์ของช่องสัญญาณ I และ Q เท่ากับครึ่งหนึ่งของอัตราข้อมูล (fs=fb/2)

ถ้าข้อมูลที่อินพุทเป็นแรงดันและอิควิปพรอบะเบิล กำลังสเป็กตรัมของคลื่นพาห์ BPSK ที่ยังไม่ถูกฟิลเตอร์ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_{BPSK} = KA^2T_b\left[\frac{\sin\pi(f-f_c)T_b}{\pi(f-f_c)T_b}\right]^2 \qquad (2.15)$$

สเป็กตรัม QPSK สร้างได้จากการวางซ้อนของสเป็กตรัม BPSK ที่เป็นอิสระ 2 สเป็กตรัม ดังนั้นรูปร่างกำลังของสเป็กตรัมจากสมการ 2.14 จะไม่เปลี่ยน อย่างไรก็ตามสังเกตว่าสัญญาณเบสแบนด์ I และ Q แบบ NRZ มีค่า fm=fb/2 ดังนั้นผลที่ได้ของสเป็กตรัม QPSK คือ

$$S_{QPSK}(f) = CA^2T_s\left[\frac{\sin\pi(f-f_c)T_b}{\pi(f-f_c)T_b}\right]^2 \qquad (2.16)$$

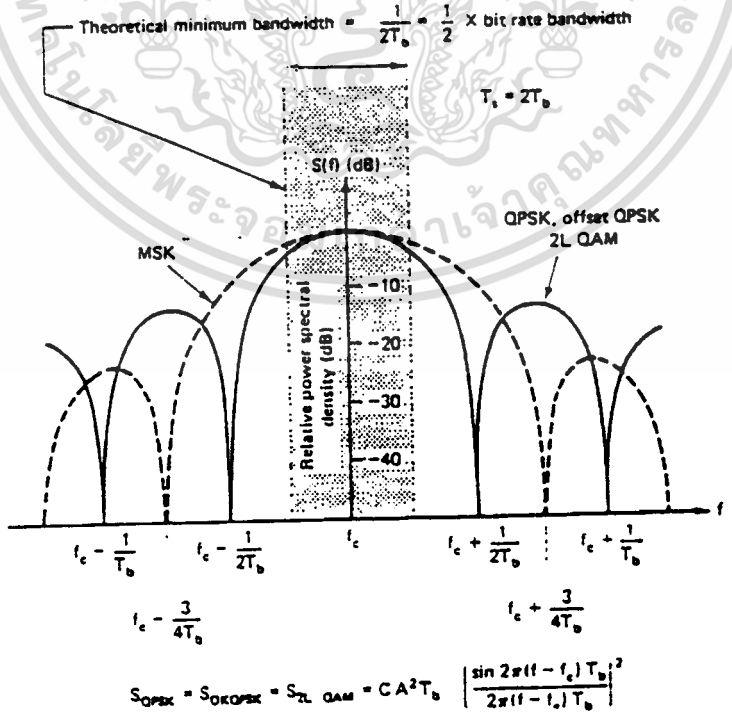
รูปแบบสมมูลของสมการนี้

$$S_{QPSK}(f) = CA^2T_b\left[\frac{\sin\pi(f-f_c)T_b}{\pi(f-f_c)T_b}\right]^2$$

ซึ่ง CA^2 = กำลังสัญญาณของแบนด์วิททั้งหมดที่ไม่จำกัดนอร์มอลไลซ์ด้วยค่าความต้านทาน 1 Ω

Tb = 1/fb = ช่วงเวลาระหว่างบิท

Ts = 1/fs = ช่วงเวลาระหว่างสัญลักษณ์ ของช่องสัญญาณ I และ Q

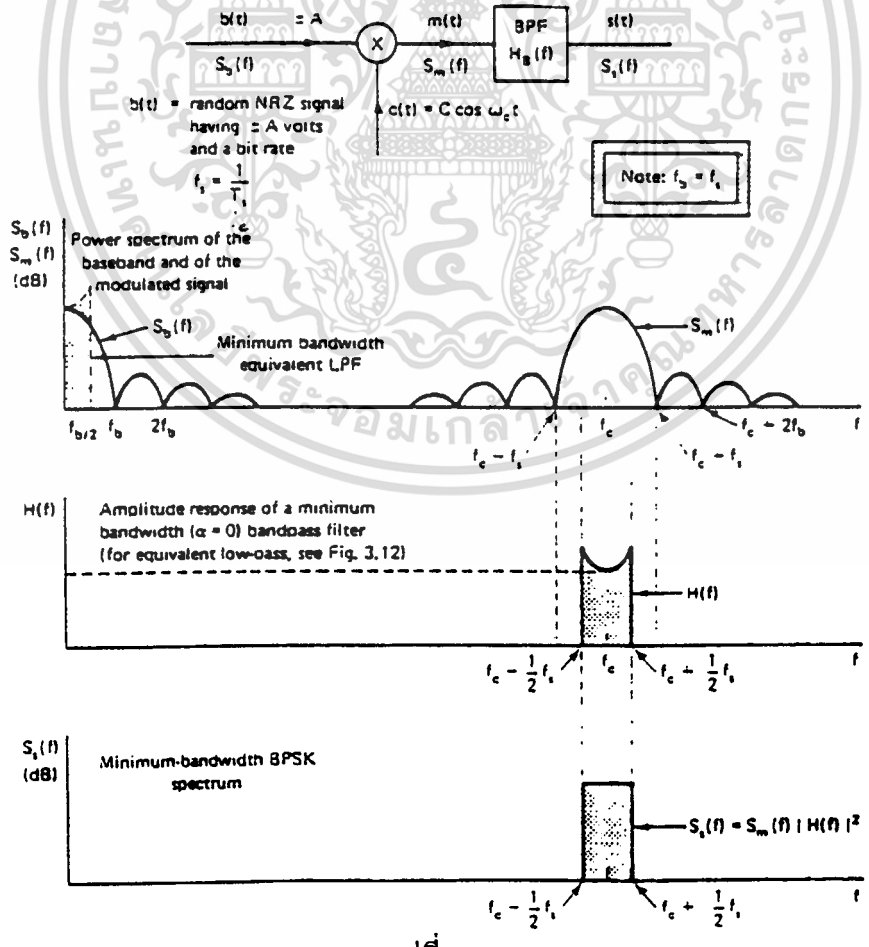


รูปที่ 2.26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเข้ารหัสของดิฟเฟอร์เรนเชียล และการทำงานของ ออฟเซทคีย์อิ้ง (การหน่วงเวลาช่องสัญญาณ Q โดย Tb วินาที) จะไม่เปลี่ยนแปลงความหนาแน่นของสเป็กตรัมกำลัง ดังนั้นสำหรับอินพุทของข้อมูลที่มีความน่าจะเป็นของการเกิดบิท 1 และ บิท 0 สมการ 2.15 แทนกำลังของสเป็กตรัมของระบบการมอดูเลทแบบ QPSK OKQPSK และ DEQPSK ที่ยังไม่ถูกฟิลเตอร์ สมการนี้นำไปใช้ร่วมกับ 2 ระดับ QAM (2L-QAM) ได้ด้วย

ความหนาแน่นของสเป็กตรัมกำลัง ที่ยังไม่ฟิลเตอร์ในระบบการมอดูเลทแบบ QPSK OK QPSK และ 2L-QAM แสดงในรูปที่ 2.26 สังเกตว่าสเป็กตรัมแรกที่ตกลงสู่ศูนย์ที่ $fc \pm 1/(2Tb)$ และความต้องการแบนด์วิดท์ความถี่วิทยุแบบคัปเปิลไซด์ต่ำสุดคือ $1/(2Tb)$ ความหนาแน่นของสเป็กตรัมกำลังของระบบ MSK จะนำมาแสดงเป็นการอ้างอิงด้วย ความต้องการการฟิลเตอร์ของช่องสัญญาณอิสระจากการรบกวนระหว่างสัญลักษณ์ที่ใช้ทฤษฎี การส่งสัญญาณเบสแบนด์ของไนท์ควิสต์ การสมมูลของโมเดลสัญญาณโลว์พาสและแบนด์พาส และทฤษฎีการวางซ้อน ระบบ BPSK ที่จำกัดแถบมีประสิทธิภาพ สเป็กตรัมเท่ากับ 1-b/s Hz ในทางทฤษฎี และในระบบ QPSK มีค่าประสิทธิภาพสเป็กตรัมเท่ากับ 2-b/s รูปการฟิลเตอร์ของสเป็กตรัมและการกำจัดแถบกำลังสเป็กตรัม สำหรับมอดดูเลเตอร์ BPSK แสดงในรูปที่ 2.27 นำไปใช้ในกรณีQPSK ได้ด้วย ในกรณี BPSK ช่วงเวลาระหว่างสัญลักษณ์เท่ากับครึ่งหนึ่งของอัตราข้อมูล fs=fb/2



รูปที่ 2.27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 ประสิทธิภาพสเปกตรัมของการมอดดูเลทแบบต่าง ๆ

ประสิทธิภาพของแถบความถี่(หรือความหนาแน่นของข้อมูล) ถูกใช้เปรียบเทียบการทำงานของเทคนิคการมอดดูเลทแบบหนึ่งกับแบบอื่น ๆ สิ่งที่สำคัญคือ อัตราส่วนบิทเรทในการสื่อสารกับสเปกตรัมที่น้อยที่สุดที่ต้องการ สำหรับการมอดดูเลทที่ต้องการความละเอียด ประสิทธิภาพของสเปกตรัมที่ปกติเป็นแถบความถี่ 1 Hz ทำให้แยกจำนวนบิทที่สามารถส่งผ่านอุปกรณ์สำหรับแถบความถี่แต่ละเฮิรตซ์เขียนสมการได้เป็น

$$\text{BW Efficiency} = \frac{Transmission\ \ rate(bps)}{Minimum\ \ bandwidth(Hz)}$$

$$= \frac{Bit\ /\ Second}{Hertz}$$

$$= \frac{Bit\ /\ Second}{Cycles\ /\ Second}$$

$$= \frac{Bits}{Cycle}$$

การหาประสิทธิภาพสเปกตรัมสำหรับการมอดดูเลทแบบ BPSK,QPSK,8PSK และ π/4-DQPSK จากตารางเป็นการแสดงแถบความถี่ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตราการส่ง 10 Mbps ด้วยการมอดดูเลทแบบต่างๆ

Modulation technique	Minimum bandwidth(MHz)
BPSK	10
QPSK	5
8PSK	3.33
π/4-DQPSK	3.33

ตารางที่ 2.2 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดดูเลทแบบต่างๆ

แทนค่าลงในสมการ จะได้ค่าประสิทธิภาพแถบความถี่ดังนี้

$$\text{BPSK ; BW efficiency} = \frac{10\ Mbps}{10\ MHz} = \frac{1\ bps}{Hz} = \frac{1\ bit}{cycle}$$

$$\text{QPSK ; BW efficiency} = \frac{10\ Mbps}{5\ MHz} = \frac{2\ bps}{Hz} = \frac{2\ bit}{cycle}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{8PSK ; Bw efficiency} = \frac{10\ Mbps}{3.33\ MHz} = \frac{3\ bps}{Hz} = \frac{3\ bit}{cycle}$$

$$\text{π/4-DQPSK ; BW efficiency} = \frac{10\ Mbps}{3.33\ MHz} = \frac{3\ bps}{Hz} = \frac{3\ bit}{cycle}$$

ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำสุด และ π/4-DQPSK มีประสิทธิภาพสูงสุด และπ/4-DQPSK ต้องการเพียง1/3 ของแถบความถี่ที่ใช้ใน BPSK ในอัตราบิทเรทอินพุทที่เท่ากัน ตารางที่ 2.3 แสดงข้อแตกต่างของการมอดดูเลทแบบต่างๆ

Modulation	Encoding	Bandwidth (Hz)	Baud	Bandwidth efficiency (bps/Hz)
FSK	Single bit	>FB	FB	<1
BPSK	Single bit	FB	FB	1
QPSK	Dibit	FB/2	FB/2	2
8PSK	Tribit	FB/3	FB/3	3
π/4-DQPSK	Tribit	FB/3	FB/3	3
8QAM	Tribit	FB/3	FB/3	3
16PSK	Quadbit	FB/4	FB/4	4
16QAM	Quadbit	FB/4	FB/4	4

ตารางที่ 2.3 สรุปข้อแตกต่างของการมอดดูเลทแบบต่างๆ

2.10 เทคนิคการมอดดูเลทแบบ π/4-DQPSK

เทคนิคการมอดดูเลทแบบ π/4-DQPSK เป็นการนำเอาวิธีการของ QPSK และ offset-key QPSK(O-QPSK) มาดัดแปลง ซึ่งตารางที่ 2.4 แสดงการเปลี่ยนเฟสของสัญญาณคลื่นพาห์ และตัวอย่างการเปลี่ยนเฟสของการมอดดูเลทแต่ละแบบมีดังนี้

QPSK : $0^\circ, \pm 90^\circ, \pm 180^\circ$

O-QPSK และ FQPSK : $0^\circ, \pm 90^\circ$

π/4-DQPSK : $0^\circ, \pm 45^\circ, \pm 135^\circ$

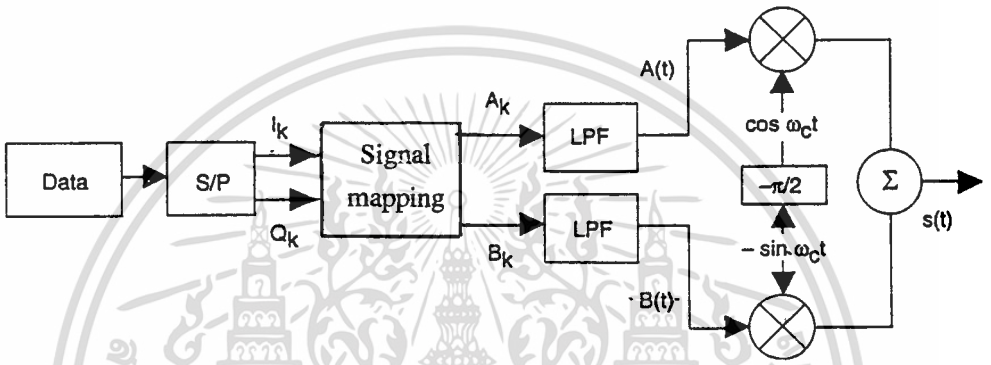
I_k	Q_k	$\Delta\phi$
1	1	$-3\pi/4$
0	1	$3\pi/4$
0	0	$\pi/4$
1	0	$-\pi/4$

ตารางที่ 2.4 การเปลี่ยนแปลงเฟสของ π/4-DQPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10.1 โครงสร้างของเครื่องส่งแบบ π/4-DQPSK

หลักการของ π/4-DQPSK แสดงดังในรูปที่ 2.28 จะใช้การเข้ารหัสแบบเกรย์โค้ด โดยสัญญลักษณ์ 2 บิทจะมีข้อมูลข้างเคียงที่มีการเปลี่ยนแปลงเพียงบิทเดียว เพื่อลดอัตราความผิดพลาดลง เนื่องจากส่วนสำคัญของความผิดพลาดมาจากผลของสัญญาณรบกวนในการเลือกเฟสที่ติดกันผิดพลาด การผิดพลาดที่มากที่สุดของสัญญลักษณ์ 2 บิทเป็นผลมาจากการผิดพลาดเพียง 1 บิท ในรูปที่ 2.29 แสดงการเปลี่ยนแปลงเฟสทีละπ/4 ของ QPSK สำหรับบิทคีจะแสดงเป็นรูป $\oplus$ และบิทคู่จะแสดงเป็นรูป $\otimes$



รูปที่ 2.28 บล็อกไดอะแกรมของ π/4-DQPSK และ π/4-QPSK

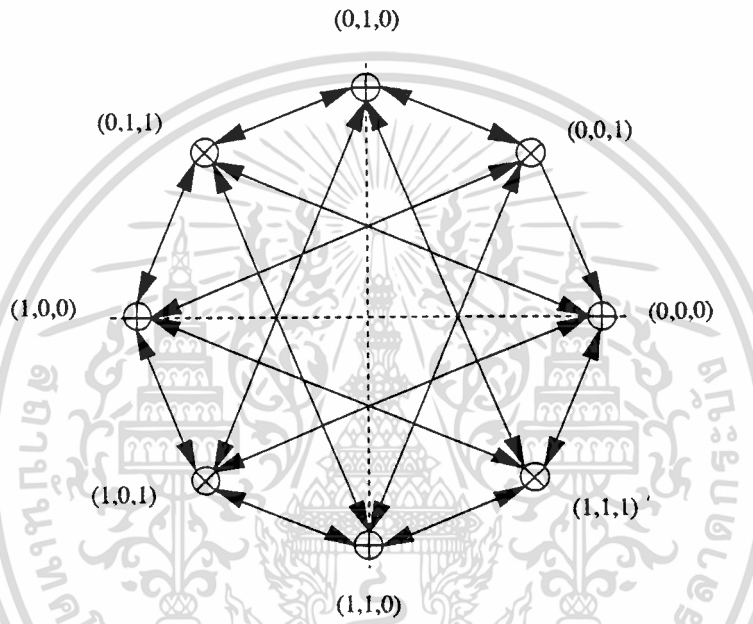
ข้อมูลข่าวสารจะอยู่ในรูปดิฟเฟอร์เรนเชียลเอนโค้ด สัญญลักษณ์จะถูกส่งโดยการเปลี่ยนเฟสไปตามเฟสทางด้าน I และ Q ตามลำดับซึ่งอยู่ในช่วง $kT \le t < (k+1)T$ ระดับสัญญาณของ A_k และ B_k ถูกกำหนดโดยระดับสัญญาณของข้อมูลซึ่งมีสัญญลักษณ์เป็น θ_k ดังนี้

$$A_k = A_{k-1}\cos\theta_k - B_{k-1}\sin\theta_k$$
$$B_k = A_{k-1}\sin\theta_k + B_{k-1}\cos\theta_k \qquad (2.17)$$

ในสมการ 2.17 θ_k ถูกกำหนดโดยสัญญลักษณ์ของคลื่นพาห์ที่มีเฟสที่ถูกกำหนดโดย I_k, Q_k ของแหล่งข้อมูล ความสัมพันธ์ระหว่าง θ_k และสัญญลักษณ์ของอินพุทแสดงในตารางที่ 2.4 A_k และ B_k สามารถมีขนาดเป็น $\pm 1,0$ และ $\pm 1/\sqrt{2}$ อย่างไรก็ตามจะเป็น 2 ระดับหรือ 3 ระดับ ขึ้นอยู่กับการสุ่มตัวอย่าง รูปที่ 2.29 แสดงรูปอายไดอะแกรมแบบ 5 ระดับของสัญญาณ π/4-DQPSK ในขั้นต้นเราสมมติว่าสัญญาณไม่ผ่าน low pass filter และเฟสของคลื่นพาห์เป็น 0 โดย 0<t<T นั่นคือ $A_0=1, B_0=0$ เมื่อ t=T สัญญลักษณ์ (1,1) ถูกส่งจากแหล่งข้อมูลเมื่อ θ_1 เป็น π/4 จากสมการ 2.17 เราจะได้ $A_1=1/\sqrt{2}$ และ $B_1=1/\sqrt{2}$ เฟสของคลื่นพาห์จะเปลี่ยนเป็น π/4 ในสมการ 2.17 θ_k คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มุมที่หมุนไปและมุมระหว่างคอมเพล็กเอนวีโลป(Complex Envelope) แกนที่มีการอินเฟสเป็นเฟสของคลื่นพาห์ จากตารางที่ 2.4 และสมการที่ 2.17 มันจะเปลี่ยนแปลงถ้าสัญญาณเป็น 1 ใน 4 สถานะซึ่งกำหนดโดย X ในรูป 2.29 และในระหว่างแสดงสัญญลักษณ์มันจะมีการเปลี่ยนเฟสไปยัง 4 สถานะที่กำหนดโดย + ในระหว่างสัญญลักษณ์ถัดไป ในขณะนี้คลื่นพาห์ไปในระหว่าง 2 สัญญลักษณ์ แต่เฟสที่เปลี่ยนไปสามารถเปลี่ยนได้เพียง $k\pi/4$ โดย k คือ ± 1 หรือ ± 3 ถ้าพัลส์ผ่านวงจรแบนด์ลิมิตเฟสที่เปลี่ยนไปจะเรียบอย่างไรก็ตามถ้าการรบกวนทางสัญญลักษณ์(ISI)ไม่มีวงจรกรอง เฟสของคลื่นพาห์จะเป็นดังรูป 2.29

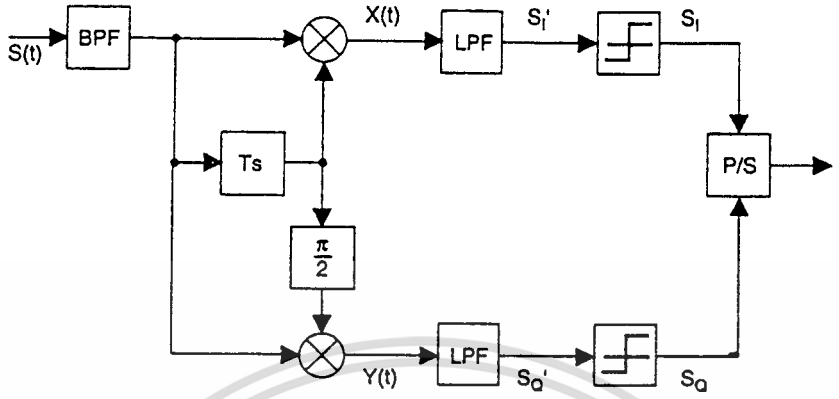


รูปที่ 2.29 รูปคอนสเตลเลชั่นไดอะแกรมของสัญญาณπ/4-DQPSK ที่ยังไม่ผ่านวงจรกรอง

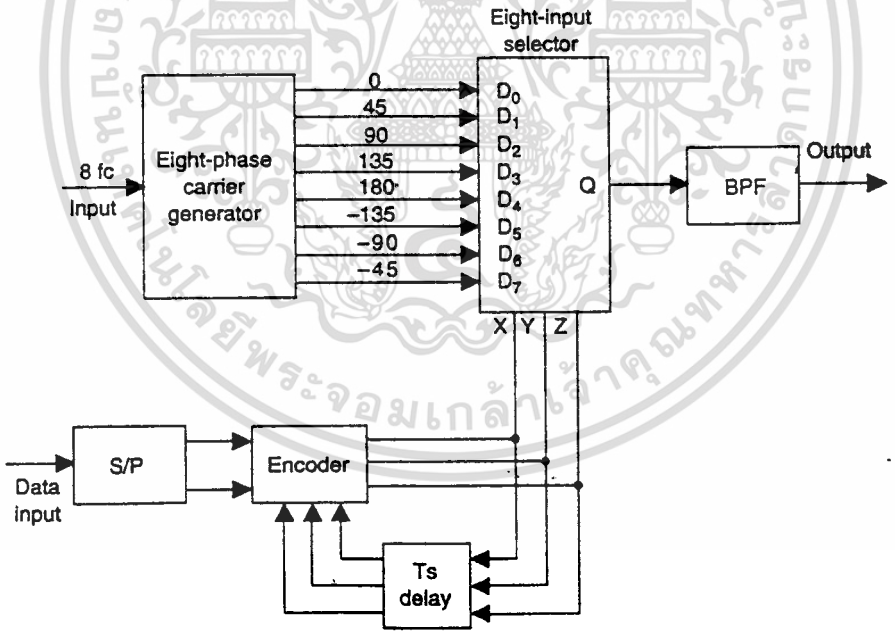
2.10.2 การดีมอดดูเลทและดีมอดดูเลทแบบ π/4-DQPSK

โครงสร้างการมอดดูเลทของระบบ π/4-DQPSK และ π/4-QPSK จะคล้ายกับแบบ DQPSK และ QPSK บล็อกไดอะแกรมของ การมอดดูเลทแบบ π/4-DQPSK แสดงในรูปที่ 2.28 และรูปที่ 2.29 สำหรับวิธีที่ใช้ดิจิตอลทั้งหมดในการดีมอดดูเลทสัญญาณเบส์แบนด์แบบ π/4-DQPSK แสดงในรูปที่ 2.32 ส่วนภาคส่งแบบดิจิตอลทั้งหมดของการมอดดูเลทแบบ π/4-DQPSK แสดงในรูปที่ 2.31 ในการใช้การมอดดูเลททั้งหมดเป็นการเลือกระหว่าง การมีบิทเรทที่สูง,ใช้ความถี่ IF คลื่นพาห์ที่มีความถี่ต่ำซึ่งในทางปฏิบัติจะทำให้ต้นทุนลดลงและมีขนาดของวงจรกรองความถี่ผ่านย่านลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

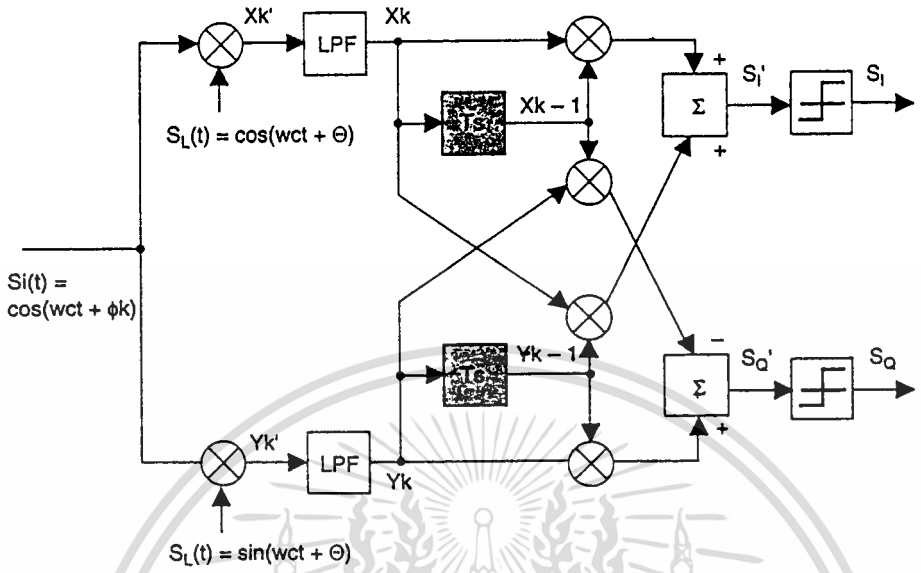


รูปที่ 2.30 บล็อกไดอะแกรมของเครื่องรับแบบ $\pi/4$-QPSK



รูปที่ 2.31 บล็อกไดอะแกรมของวงจรมอดดูเลท $\pi/4$-QPSK ที่เป็นดิจิตอลทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



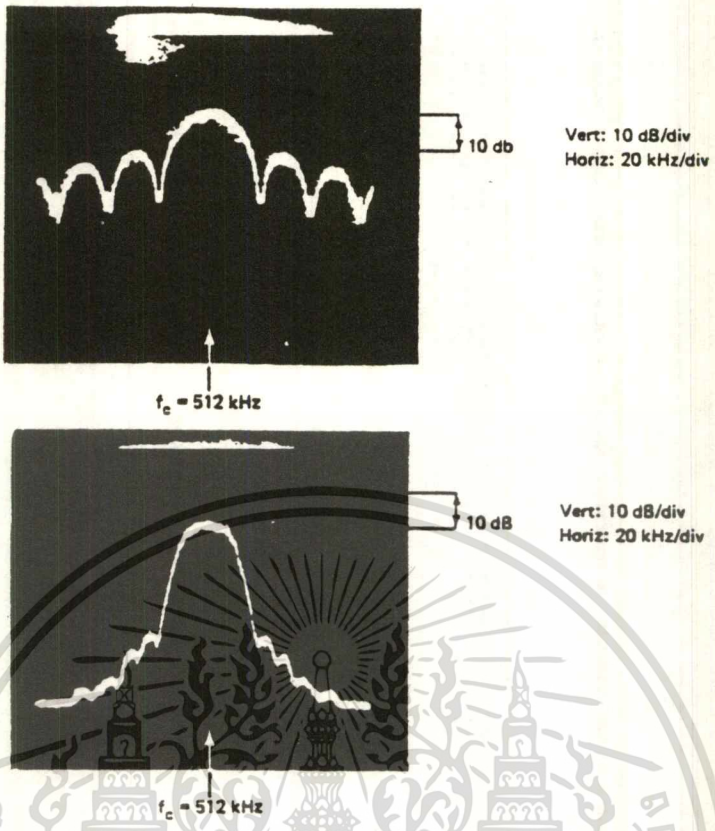
รูปที่ 2.32 บล็อกไดอะแกรมของวงจรดีมอดดูเลทแบบดิฟเฟอร์เรนเชียล π/4-QPSK

2.11 ความน่าจะเป็นของความผิดพลาดสมรรถะของเครื่องรับแบบ QPSK

Pe เป็นความน่าจะเป็นของความผิดพลาด สมรรถนะของระบบโคฮีเรนท์ QPSK , OKQPSK , DEQPSK และ DQPSK จะพิสูจน์ได้จากวงจรสมมูลย์ของระบบโคฮีเรนท์ QPSK ด้วยวงจรสมมูลย์ 2 ระดับ QAM (2L-QAM) ผลที่ได้นำไปใช้งานกับระบบ QAM ด้วย

Pe = f(Eb/No) ของระบบโคฮีเรนท์ QPSK สมรรถนะของ Pm ถูกแยกเป็น 2 ส่วน ทั้งคู่เป็นพื้นฐานของทฤษฎีโมเดล การดีมอดูเลทแบบโคฮีเรนท์แสดงในรูป 2.22 และ 2.23ในส่วนแรกเราใช้ผลของโมเด็ม BPSK มีความสัมพันธ์กันระหว่าง Pe ซึ่งเป็นความน่าจะเป็นของบิทผิดพลาดและ PE เป็นความน่าจะเป็นของอัตราผิดพลาดสัญลักษณ์จะถูกพิสูจน์ด้วย ส่วนที่ 2 เป็นส่วนที่ยุ่งยากมากในการนำไปใช้งาน โดยหลักการของออร์โธโกนอล (orthogonal) และทฤษฎีทางคณิตศาสตร์ในการทำงานของดีมอดดูเลเตอร์แบบควอดดราเจอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.33

1.ที่มาของฮิวริสติค (Heuristic Derivation) ในระบบโคฮีเรนท์ QPSK พิจารณาจากบล็อกไดอะแกรมของดีมอดูเลเตอร์แบบโคฮีเรนท์ QPSK (รูป 2.22 และ 2.36) เราสรุปว่า P_e เป็นสมรรถนะของช่วงสัญญาณอินเฟส I และควอดดราเจอร์ Q เป็นอิสระต่อกันและเป็นช่องสัญญาณแบนด์พาสที่สมมาตรกัน สมรรถนะของช่องสัญญาณเป็นออร์โธโกนอลเหมือนกัน

เราออกแบบความน่าจะเป็นของความผิดพลาดในดีมอดดูเลเตอร์แบบ BPSK ที่มีเฟสเดียวกัน (in-phase) (ส่วนบน) ที่แทนด้วย P_{eI} และควอดดราเจอร์ (ส่วนล่าง) แทนด้วย P_{eQ} P_C เป็นความน่าจะเป็นเฉลี่ยของการแก้สัญลักษณ์ที่เครื่องรับ ที่เอาท์พุทของเครื่องรับ QPSK เท่ากับการคูณของ P_{cI},P_{cQ} ซึ่ง P_{cI} และ P_{cQ} แทนความน่าจะเป็นของการตัดสินใจในการแก้ไขของดีมอดดูเลทแบบไบนารี่ PSK ของช่องสัญญาณ I และ Q ตามลำดับ ดังนั้นเราจะได้

$$P_C = (1 - P_{eI})(1 - P_{eQ}) \tag{2.18}$$

อัตราการผิดพลาดสัญลักษณ์ของ QPSK คือ

$$P_e = 1 - P_C = P_{eI} + P_{eQ} - P_{eI}P_{eQ} \tag{2.19}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจาก $P_{cI} = P_{cQ}$ และ P_{cI},P_{cQ} มีปริมาณน้อยกว่า $(<10^{-2})$ เราจะได้ค่าประมาณที่ดีสำหรับความน่าจะเป็นของความผิดพลาดสัญลักษณ์ของดีมอดูเลทแบบ QPSK คือ

$$P_E \approx P_{eI} + P_{eQ} = 2P_{eI} = 2P_{eQ} \tag{2.20}$$

ความน่าจะเป็นของความผิดพลาดของ BPSK ดีมอดดูเลทที่เป็นอิสระต่อกัน

$$P_{eI} = P_{eQ} = \frac{1}{2} erfc\sqrt{\frac{E_b}{N_o}} = P_{eBPSK} \tag{2.21}$$

ความน่าจะเป็นของความผิดพลาดสัญลักษณ์PE QPSK ของเครื่องรับโคฮีเรนท์ QPSK คือ

$$P_{EQPSK} = 2P_{eI} = 2.\frac{1}{2} erfc\sqrt{\frac{E_b}{N_o}}$$
$$P_{EQPSK} = erfc\sqrt{\frac{E_b}{N_o}} \tag{2.22}$$

ซึ่ง

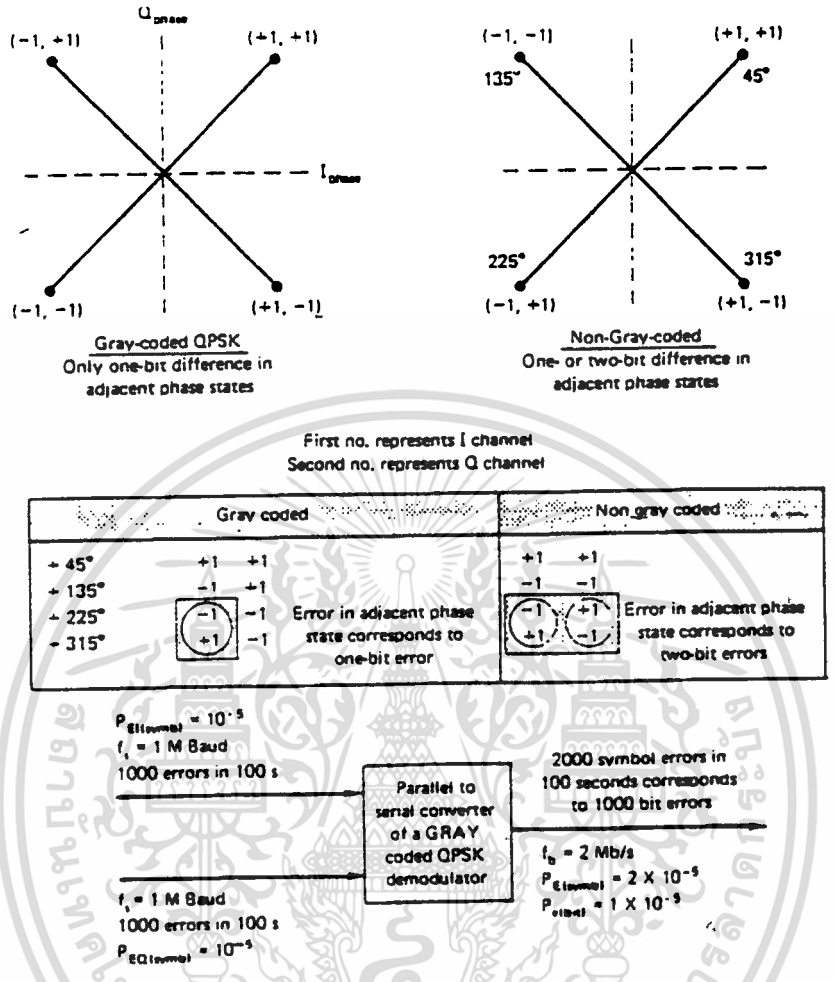
$$erfc(y) \cong \frac{2}{\sqrt{\pi}} \int_{y}^{\infty} e^{-z^2} dz \qquad \text{เมื่อ } y>0 \tag{2.23}$$

สมมติว่าพารามิเตอร์ E_b/N_o ของระบบเป็นค่าเฉพาะ ความน่าจะเป็นของความผิดพลาดสัญลักษณ์ในระบบ QPSK เป็น 2 เท่าของระบบ BPSK ในลักษณะเดียวกันความต้องการ E_b/N_o เพิ่มขึ้นประมาณ 0.3 dB ถ้าอัตราความผิดพลาดสัญลักษณ์เหมือนกันในระบบ BPSK จากจุดนี้อัตราการผิดพลาดสัญลักษณ์ PE QPSK เป็นพารามิเตอร์ที่สำคัญของระบบเป็นส่วนสำคัญในการวิเคราะห์ระบบ ซึ่งในการทำงานของโมเด็มระบบ QPSK ในการเชื่อมต่อกับอุปกรณ์ของถอดรหัสที่แก้ไขความผิดพลาด (FEC) ในการนำไปใช้งานเราต้องรู้ค่าอัตราบิทผิดพลาดในระบบ QPSK (P_{eQPSK}) และอัตราความผิดพลาดนี้สัมพันธ์กับอัตราการผิดพลาดของสัญลักษณ์ (P_{eQPSK})

ความสัมพันธ์ของอัตราบิทผิดพลาด (P_{eQPSK}) ต่ออัตราผิดพลาดสัญลักษณ์ (P_{eQPSK}) สำหรับรหัสเกรย์โค้ด และกรณีที่ไม่ใช่รหัสเกรย์โค้ด แสดงในรูปที่ 2.34 กรณีรหัสเกรย์โค้ดสภาวะของเฟสที่ติดกัน หรือสัญลักษณ์ที่แตกต่างกันมีค่าเพียง 1 บิท รหัสที่ไม่ใช่รหัสเกรย์โค้ดสภาวะของเฟสที่ติดกันจะมีบิทแตกต่างกัน 1-2 บิท การตัดสินใจจากสภาวะของเฟสที่ติดกัน จะมีการเปลี่ยนซึ่งกันและกันเป็นการผิดพลาด ความน่าจะเป็นของสัญญาณที่เลื่อนเฟส 180 องศา ที่เปลี่ยนซึ่งกันและกันสามารถละทิ้งได้เมื่อเปรียบเทียบกับความน่าจะเป็นของความผิดพลาดของการเลื่อนเฟส 90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

องศา ดังนั้นในกรณีสัญญาณรหัสเกรย์โค้ดความผิดพลาด 1 สัญลักษณ์จะมีความผิดพลาด 1 บิท ส่วนในรหัสที่ไม่ใช่เกรย์โค้ดการเปลี่ยนซึ่งกันและกันของสภาวะเฟสติดกันมีความผิดพลาด 2 บิท



รูปที่ 2.34 ความสัมพันธ์ระหว่างของความผิดพลาดของการเข้ารหัสแบบเกรย์โค้ดและแบบไม่ใช้เกรย์โค้ด

P_e เป็นอัตราบิทผิดพลาด และ P_E เป็นอัตราผิดพลาดสัญลักษณ์ ความสัมพันธ์แสดงในรูป 2.35 สมมติว่าโมเด็ม QPSK มีอัตราเร็วข้อมูล f_b=2 Mb/s ดังนั้นอัตราสัญลักษณ์ f_b=1 Mbauad (1 เมกกะซิมบอล/วินาที) อัตราความผิดพลาดสัญลักษณ์ของช่องสัญญาณ I และ Q $P_{EI} = P_{EQ} = 2 \times 10^{-5}$ กรณีที่เอาท์พุทเปลี่ยนจากขนานเป็นอนุกรมมีอัตราบิทผิดพลาดเฉลี่ย 2000 ในช่วงเวลา 100 วินาที (เป็นรหัสเกย์โค้ด) อัตราบิทผิดพลาดของโมเด็มสามารถคำนวณ ตามความสัมพันธ์ดังนี้

$$P_e = \text{จำนวนของอัตราบิทผิดพลาด/จำนวนทั้งหมดของบิท} = \frac{2000}{2\,Mb/s.100s} = 10^{-5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น อัตราบิทผิดพลาดของรหัสเกรย์โค้ดในโมเด็ม QPSK= 1/2 ของอัตราผิดพลาดสัญลักษณ์ อัตราบิทผิดพลาดของโมเด็ม QPSK ที่เข้ารหัสแบบเกรย์โค้ด คือ

$$P_{eQPSK} = \frac{1}{2} P_{EQPSK} = \frac{1}{2} erfc \sqrt{\frac{E_b}{N_o}} \qquad (2.24)$$

ทฤษฎีอัตราบิทผิดพลาด แสดงสมรรถนะของระบบโคฮีเรนท์ QPSK P_{eQPSK} เท่ากับ f (Eb/No) แสดงในรูป 2.35 สมรรถนะของโมเด็มอื่น ๆ แสดงในรูปนี้ด้วย สังเกตว่าอัตราบิทผิดพลาดที่แสดงสมรรถนะตามรหัสเกรย์โค้ดของโมเด็มแบบ QPSK เป็นลักษณะเดียวกับโมเด็มโคฮีเรนท์ BPSK

2.รายละเอียดของ P_e=f(Eb/No) ในระบบโคฮีเรนท์ QPSK

เราสมมติว่าสัญญาณ QPSK ที่ยังไม่ฟิลเตอร์และสัญญาณที่มีแบนด์วิทด์ไม่จำกัด (รูปที่ 2.36)ช่องสัญญาณซึ่งมีแบนด์วิทด์เป็น 3 เท่า ซึ่งมากกว่าอัตราข้อมูลเป็นจุดประสงค์ในทางปฏิบัติของช่องสัญญาณที่แบนด์วิทด์ไม่จำกัด เราสรุปว่า สามารถนำไปใช้งานในระบบ QPSK ที่อิสระจาก ISI และถูกจำกัดแถบได้ด้วย ก่อนการฟิลเตอร์การรับสัญญาณ QPSK จะลดลงจนเป็น 0 หมายถึง สัญญาณรบกวนแบบไวท์เกาส์เซียน แสดงเป็น

$$y(t) = A\sqrt{2}\cos(2\pi f_c t + \theta_m) + n(t) \qquad (2.25)$$

ที่ θ_m =45,135,225 หรือ 315 องศา (ดูสมการ (2.10) หรือสมการ

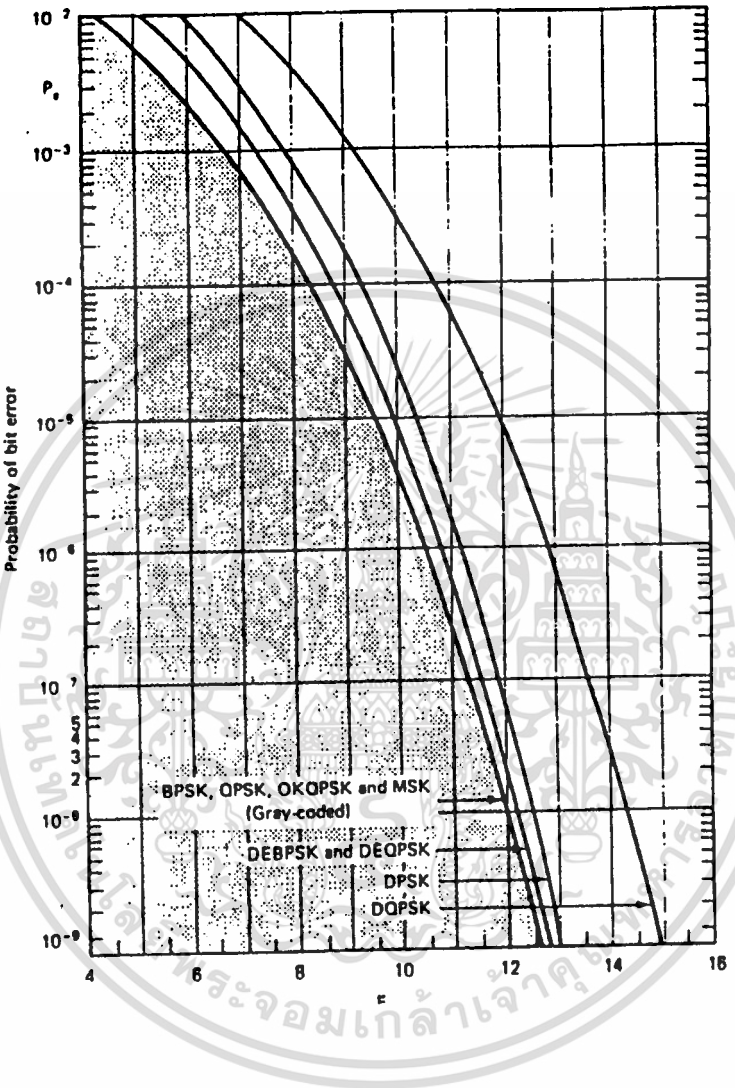
$$y(t) = \pm A\cos(2\pi f_c t) \pm A\sin(2\pi f_c t) + n(t) \quad for\ 0 \le t \le T_s \qquad (2.26)$$

ขั้วของสัมประสิทธิ์ cos(.) และ sin(.) ขึ้นอยู่กับค่าสัญลักษณ์เฉพาะที่ส่งไปในระบบ QPSK ที่มีสัญลักษณ์แตกต่างกัน 4 ค่า และแต่ละสัญลักษณ์แสดงคุณลักษณะตามเฟส เฟสที่ถูกส่งแสดงไดอะแกรมช่องว่างของสภาวะสัญญาณในรูป 2.36 ขึ้นอยู่กับคู่ของบิทเฉพาะที่ส่งไป ช่วงท้ายสุดของเวลาระหว่างสัญลักษณ์ T_s (การตัดสินใจหรือการแซมปลิ้งชั่วขณะของเครื่องรับที่แบนด์วิดธ์ไม่จำกัด) เอาท์พุทสัญญาณเบสแบนด์ที่ดีมอดคูเลทของอินเฟสคอรีเลเตอร์ คือ

$$\begin{aligned} b_{OI} &= \int_0^T \left[A\sqrt{2}\cos\left(2\pi f_c t + \theta_m\right)\cos 2\pi f_c t + n(t)\cos 2\pi f_c t \right] dt \\ &= \int_0^T \left\{ \left[\pm A\cos\left(2\pi f_c t\right) \pm A\sin\left(2\pi f_c t\right) + n(t) \right]\cos 2\pi f_c t \right\} dt \\ &= \pm\frac{1}{2} AT_s + 0 + \int_0^T n(t)\cos\left(2\pi f_c t\right) dt \end{aligned} \qquad (2.27)$$

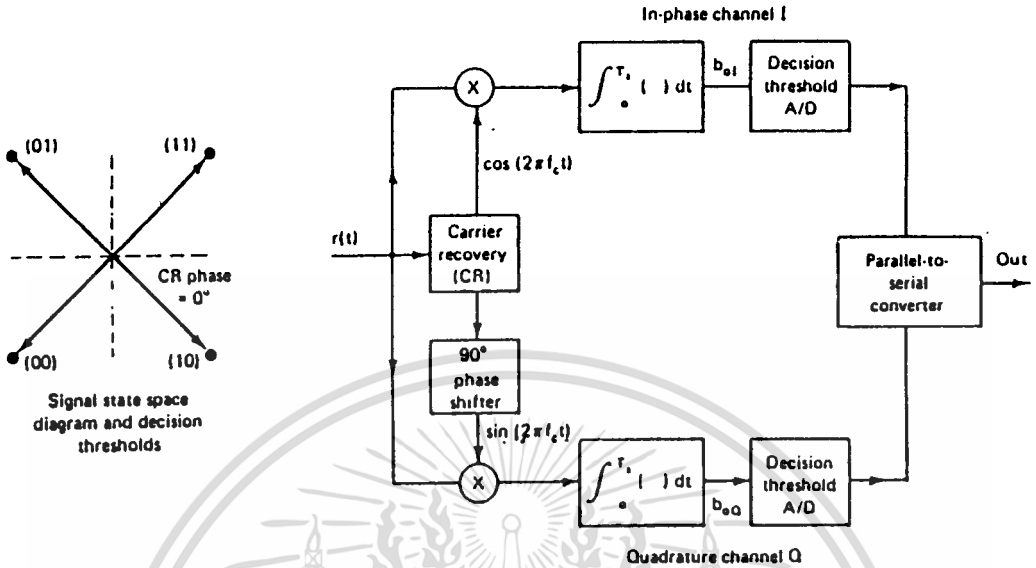
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอินทิกรัลเทอมที่ 2 เท่ากับศูนย์ เนื่องจาก cos(.) และ sin(.) เป็นออร์โธโกนอล ช่วงเวลาสัญลักษณ์ 0 ถึง T_s โดยยึดเงื่อนไขออร์โธโกนอล ถ้าความถี่ของคลื่นพาห์เป็น การคูณของจำนวนเต็มกับอัตราสัญลักษณ์ ($f_c = kf_c$ (k:จำนวนเต็ม >0)



รูปที่ 2.35 อัตราบิทผิดพลาดของการมอดดูเลทแบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.36

สรุปว่า เอาท์พุทของสัญญาณเบสแบนด์ที่ถูกดีมอดดูเลทแบบควอดดราเจอร์คอรีเลเตอร์คือ

$$b_{oQ} = \pm\frac{1}{2}AT_s + \int_0^T n(t)\sin(2\pi f_c t)dt \qquad (2.28)$$

ซึ่ง B_{oI} และ B_{oQ} คือตัวแปรแรนดัม เป็นตัวแปลที่ยังไม่คอรีเลท (uncorrellate) ถ้า $f_c = kf_c$ ตัวแปรเกาส์เซียนจะเป็นอิสระต่อกัน

$$E[B_{oI}] = E[B_{oQ}] = \pm\frac{AT_s}{2} \qquad (2.29)$$

แวรเรียนท์ของ boI และ boQ แทนกำลังสัญญาณรบกวน ac กำลังนี้คือ

$$Var[b_{oI}] = E\left\{\left[\int_0^T n(t)\cos(2\pi f_c t)dt\right]^2\right\}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= E\left\{\int_0^T\int_0^T n(t)n(\sigma)\cos(2\pi f_c t)(\cos 2\pi f_c \sigma)dtd\sigma\right\}$$

$$= \int_0^T\int_0^T \frac{N_o}{2}\delta(t-\sigma)\cos(2\pi f_c t)\cos(2\pi f_c \sigma)dtd\sigma$$

$$= \frac{N_o}{2}\int_0^T \cos^2(2\pi f_c t)dt = \frac{N_o T_s}{4} \qquad (2.30)$$

(สังเกตว่า No/2 ทางสเปกตรัมกำลังของสัญญาณรบกวนไวท์เกาส์เซียนแวเรียนซ์คอรีเลเตอร์ต่ำกว่า (lower correlator) คือ

$$Var[b_{oQ}] = \frac{N_o T_s}{4} \qquad (2.31)$$

จากสมการเหล่านี้ เราได้

$$P_{eI} = P_{eQ} = \frac{1}{2}erfc\sqrt{\frac{A^2T_s}{2N_o}} \qquad (2.32)$$

ช่วงเวลาสัญลักษณ์ คือ $T_s = 2T_b$ พลังงานของสัญญาณคือ $E_s = A^2T_s$ และพลังงานบิท คือ $E_b = A^2T_b$ ดังนั้นเราได้

$$P_{eI} = P_{eQ} = \frac{1}{2}erfc\sqrt{\frac{E_s}{2N_o}} = \frac{1}{2}erfc\sqrt{\frac{E_b}{N_o}} \qquad (2.33)$$

เหมือนสมการโคฮีเรนท์ BPSK ซึ่งเป็นความน่าจะเป็นของความผิดพลาดของระบบโคฮีเรนท์ BPSK ความน่าจะเป็นของสัญลักษณ์ที่ผิดพลาดที่เครื่องรับ QPSK เป็น 2 เท่าของเครื่องรับ BPSK ที่เป็นอิสระต่อกัน

$$P_{E(QPSK)} = erfc\sqrt{\frac{E_b}{N_o}} \qquad (2.34)$$

ความน่าจะเป็นของบิทผิดพลาดของรหัสเกรย์โค้ดในระบบ QPSK=1/2 ของความน่าจะเป็นของสัญลักษณ์ที่ผิดพลาด

$$P_{e(QPSK)} = \frac{1}{2}erfc\sqrt{\frac{E_b}{N_o}} \qquad (2.35)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

P_eเป็นสมรรถนะของระบบ OK-QPSK และ DEQPSK พื้นฐานที่แตกต่างกันระหว่างโมเด็มโคฮีเรนท์ QPSK และOK-QPSK โดยฮาร์ดแวร์ของ QPSK ไม่มีส่วนของอิลิเมนท์ ออฟเซทดีเลย์ (ดูรูป 2.22และ 2.23) เนื่องจากช่องสัญญาณอินเฟสและควอดคราเจอร์ BPSK เป็นออร์โธโกนอลและไม่ขึ้นกับการแซมปลิ้งชั่วขณะ การเพิ่มส่วนอิลิเมนท์ดีเลย์ในระบบ OK-QPSK ไม่มีผลต่อสมรรถนะของโมเด็มโคฮีเรนท์แบบ QPSK ดังนั้น P_e ของโมเด็ม OK-QPSK คือ

$$P_{e(OK-QPSK)} = \frac{1}{2} erfc \sqrt{\frac{E_b}{N_o}} \qquad (2.36)$$

สมการความน่าจะเป็นของบิทผิดพลาดเหมือนกับระบบ QPSK (ดูสมการ 2.34)

ข้อจำกัด สมรรถนะทางทฤษฎีของโมเด็มที่อิสระจากสัญญาณรบกวนระหว่างสัญลักษณ์เป็นลักษณะเดียวกันกับระบบที่มีสัญญาณรบกวนไวท์เกาส์เซียนแบบเชิงเส้น

ระบบการเข้ารหัสแบบดิฟเฟอเรนท์เชียลโคฮีเรนท์ QPSK (DEQPSK) ขบวนการถอดรหัสอยู่ในรูปแบบของสัญญาณที่สร้างขึ้นใหม่ ความผิดพลาดของการถอดรหัสคูณด้วยแฟคเตอร์สอง

ดังนั้น P_e เป็นสมรรถนะของโมเด็ม DEQPSK ที่เข้ารหัสแบบเกรย์โค้ด คือ

$$P_{e(DEQPSK)} = 2P_{e(QPSK)} = erfc \sqrt{\frac{E_b}{N_o}} \qquad (2.37)$$

กราฟแสดงอัตราการผิ ดพลาดของบิท $P_e = f(E_b/N_o)$ ของโมเด็มออฟเซทคีย์ และดิฟเฟอเรนเชียลโคฮีเรนท์ QPSK แสดงในรูป 2.35

P_e สมรรถนะของโมเด็ม DQPSK

ความน่าจะเป็นของฟังค์ชั่นผิดพลาดในโมเด็มแบบ DQPSK เราจะยกเพียงผลสุดท้ายมาอ้างอิงถึง ในทางทฤษฎีกราฟ $P_e = f(E_b/N_o)$ ของระบบ DQPSK ในรูป 2.35 ความน่าจะเป็นของบิทผิดพลาดประมาณ

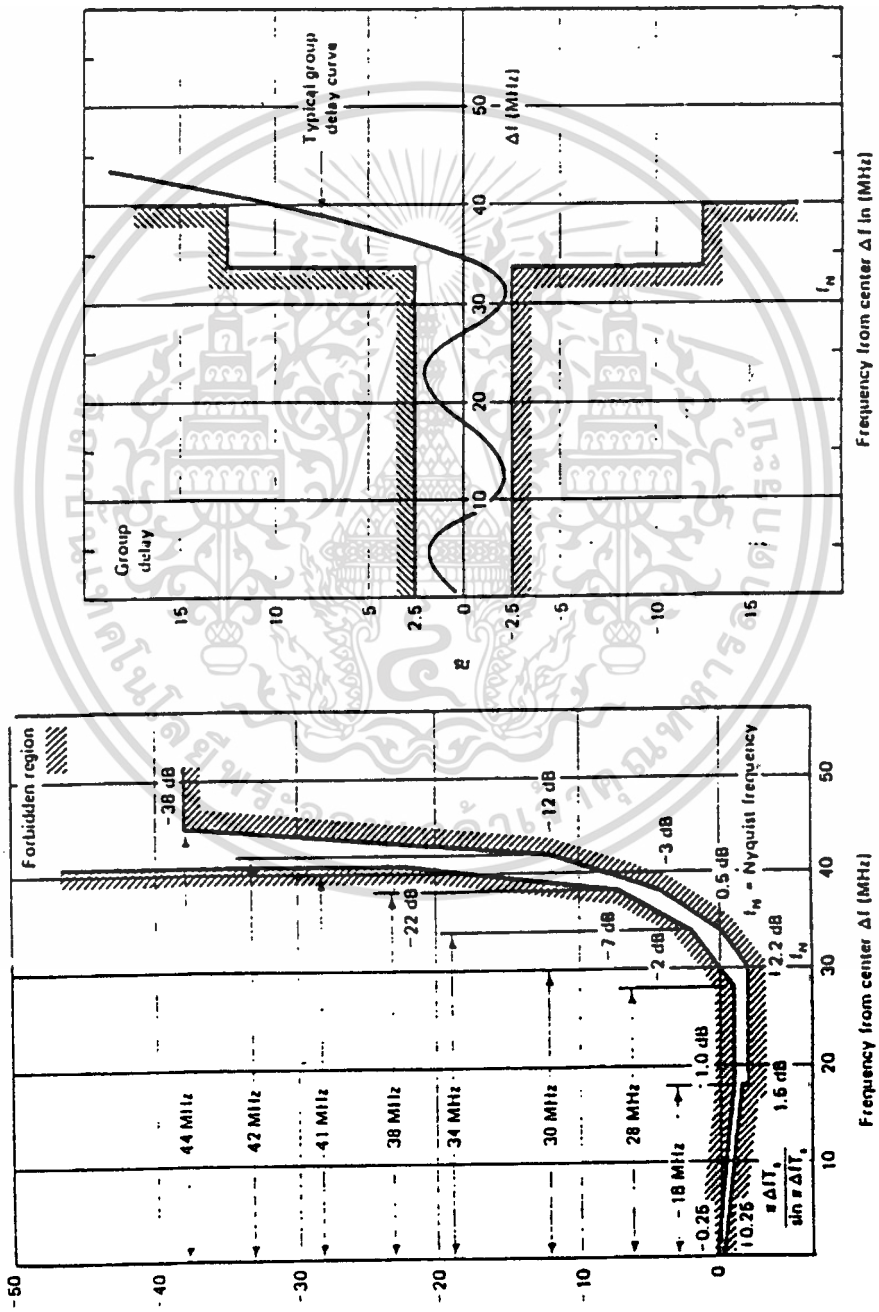
$$P_{e(DQPSK)} \approx e^{(-A^2/2\sigma^2)(1-1/\sqrt{2})} \qquad (2.38)$$

ซึ่ง $A^2/2\sigma^2$ คือ อัตราส่วนคลื่นพาห์ต่อสัญญาณรบกวน

ระบบ DQPSK ในรูป 2.37 มีระดับของ Eb/No= 2 dB สูงกว่าระบบโคฮีเรนท์ QPSK การนำไปใช้งาน ค่า Eb/No ที่เพิ่มจะถูกออฟเซทโดยฮาร์ดแวร์ง่าย ๆ นั่นคือ ไม่มีวงจรกู้คลื่นพาห์ที่จำเป็นในโครงสร้างดีมอดดูเลทเตอร์แบบ DQPSK

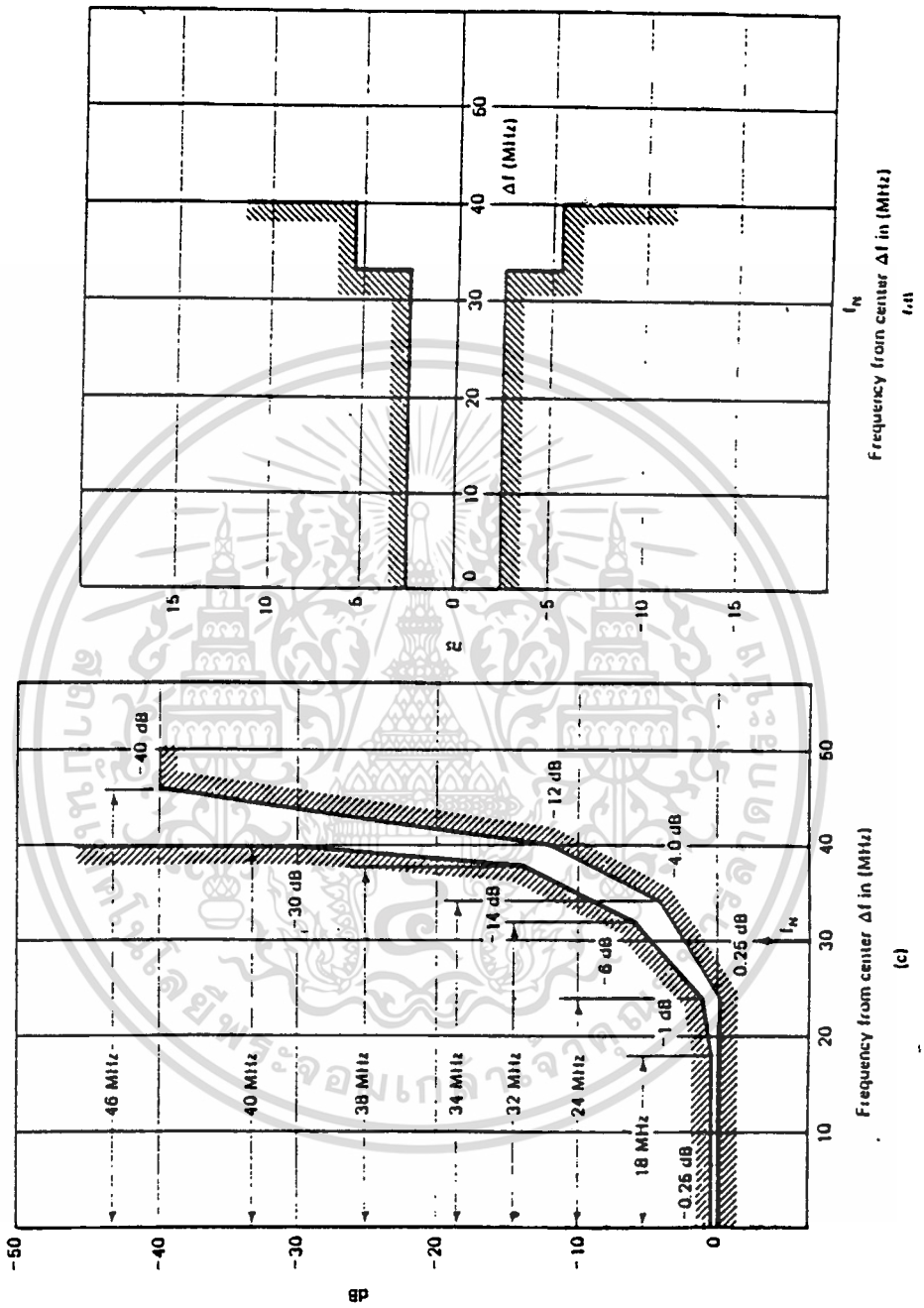
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหตุผลทางฟิสิกส์ โมเด็ม QPSK ที่ต้องการ Eb/No สูงกว่า อธิบายได้ดังนี้ ในดีมอดดูเลทเตอร์แบบ DQPSK คลื่นพาห์ที่มอดดูเลทจะลดลงเนื่องจากสัญญาณรบกวนคูณด้วย 1 สัญลักษณ์ " ดีเลย์ เรปปลิกา"(delayed replica) ของคลื่นพาห์และสัญญาณรบกวนดีมอดดูเลตเตอร์แบบโคฮีเรนท์ QPSK ค่าดีเลย์ เรปปลิกา แทนสัญญาณที่เป็นอิสระจากสัญญาณรบกวนที่สร้างโดยวงจรกู้คลื่น พาห์ ดังนั้นดีมอดดูเลตเตอร์ (ตัวเปรียบเทียบเฟส) ที่มีในโคฮีเรนท์ QPSK เป็นสัญญาณที่อิสระจากสัญญาณรบกวน ซึ่งในกรณี DQPSK สัญญาณอ้างอิงจะลดลงเป็นจำนวนมากเนื่องจากสัญญาณรบกวนในคลื่นพาห์ที่มอดดูเลทมา



รูปที่ 2.37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

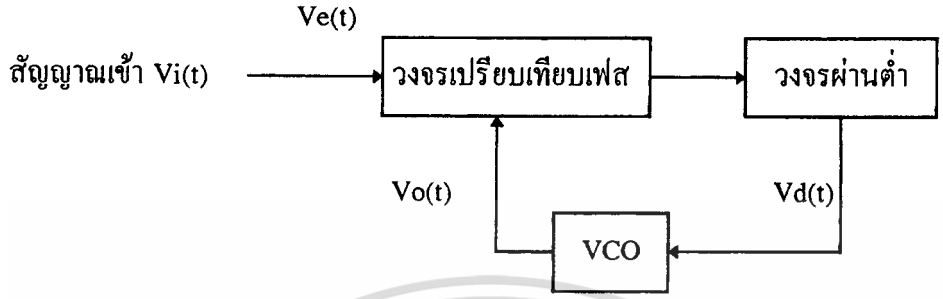


รูปที่ 2.38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.12 ทฤษฎีเฟสล็อกลูป (Phase Lock Loop;PLL)

วงจรเฟสล็อกลูปประกอบด้วยวงจรเปรียบเทียบเฟส วงจรผ่านต่ำ วงจรขยาย และวงจรผลิตความถี่ควบคุมโดยแรงดัน(Voltage Control Oscillator;VCO)ต่อเป็นวงรอบ(Loop) อย่างเช่น วงจรป้อนกลับทั่ว ๆ ไป(ดูรูปที่ 2.39)



รูปที่ 2.39 วงจรพื้นฐานของเฟสล็อกลูป

วงจรเปรียบเทียบเฟส คือ วงจรที่ให้แรงดันออกเป็นปฏิภาคกับผลต่างระหว่างเฟสของสัญญาณเข้าสองสัญญาณ วงจรนี้อาจเป็นวงจรคูณถ้าสัญญาณเข้า $v_i(t)$ มีความถี่ ω_i และเฟส θ_i

$$v_i = V_i \sin(\omega_i t + \theta_i) \tag{2.39}$$

และสัญญาณออกจาก VCO มีความถี่ ω_i และเฟส θ_o

$$v_o = V_o \cos(\omega_i t + \theta_o) \tag{2.40}$$

ถ้าป้อน v_i และ v_o เข้าที่วงจรเปรียบเทียบเฟส จะได้สัญญาณคือ

$$v_e(t) = K_m v_i v_o \tag{2.41}$$

ถ้าเราไม่สนใจเทอมความถี่ $2\omega_i$ ซึ่งถูกกำจัดโดยวงจรผ่านต่ำ จะได้

$$v_e = \frac{K_m V_i V_o}{2} \sin(\theta_i - \theta_o) \tag{2.42}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากให้ผลต่าง $\theta_i - \theta_o$ มีค่าน้อย ๆ จะได้

$$v_e = K_d(\theta_i - \theta_o) \tag{2.43}$$

โดย K_d เป็นค่าเกนของเฟสดีเทคเตอร์มีขนาดเป็น V/rad และในกรณีที่ให้ระบบเป็นเชิงเส้น เราจะได้ความถี่ด้านออกจากวงจร VCO ที่เบี่ยงเบนออกจากความถี่ศูนย์กลางคือ

$$\Delta\omega = K_o V_c \tag{2.44}$$

โดย V_c เป็นแรงดันด้านเข้าของวงจร

K_d เป็นเกนของ VCO มีขนาดเป็น rad/v

ดังนั้นความถี่ด้านออกของ VCO คือ

$$\omega_o = \omega_c + \Delta\omega = \omega_c + K_o V_c \tag{2.45}$$

โดยที่ ω_c เป็นความถี่อิสระ(Free Running)ของ VCO และจากความถี่เป็นการอนุพันธ์ของเฟสเทียบกับเวลาหรือเขียนได้เป็น

$$\Delta\omega = \frac{d\theta_o}{dt} = K_o V_c \tag{2.46}$$

หรือเขียนเฟสด้านออกของลูปได้ว่า

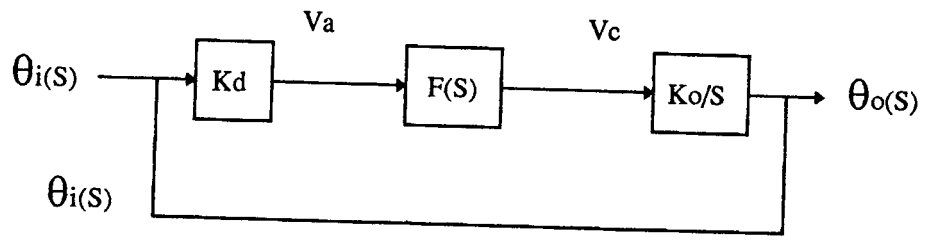
$$\theta_o(s) = \int_0 \Delta\omega dt \tag{2.47}$$

กรณีในระบบเฟสล็อกลูป ถ้าทำการวิเคราะห์ด้วยลาปลาซทรานส์ฟอร์ม สามารถแสดงเฟสด้านออกได้ว่า

$$\theta_o(s) = \frac{K_o V_c}{S} \tag{2.48}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นระบบเฟสล็อกลูปสามารถแสดงแบบจำลองได้ดังรูป



รูปที่ 2.40 แบบจำลองของเฟสล็อกลูป

ซึ่งจากแบบจำลองเราสามารถเขียนทรานส์เฟอร์ฟังก์ชั่นได้คือ

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_d K_o \dfrac{F(s)}{S}}{1 + K_o K_d \dfrac{F(s)}{S}} \qquad (2.49)$$

แรงดัน v_e นี้จะได้รับการขยายและใช้เป็นแรงดันควบคุมความถี่ของ VCO ซึ่งในการทำงานปกติ การควบคุมนี้จะมีผลให้สัญญาณ v_o จาก VCO มีความถี่ตรงกับสัญญาณด้านเข้า v_i และถ้าอัตราขยายของลูปมีค่าสูง v_e จะมีค่าต่ำและเฟส θ_o กับ θ_i จะมีค่าใกล้เคียงกัน

การทำงานของวงจรเฟสล็อกลูปสามารถอธิบายได้อย่างคร่าว ๆ คือ เมื่อไม่มีสัญญาณเข้า (v_i) แรงดัน v_e และ v_d (ที่ใช้ควบคุม VCO) จะเป็นศูนย์ VCO จะกำเนิดสัญญาณความถี่หนึ่งเรียกว่าความถี่อิสระ f_{oo} เมื่อใส่สัญญาณเข้า v_i ที่ความถี่ f_i ถ้า f_i ต่างจาก f_{oo} มาก สัญญาณ v_e ซึ่งมีความถี่เท่ากับ f_{oo}-f_i จะไม่สามารถผ่านวงจรผ่านต่ำ แรงดัน v_d ที่ใช้ควบคุม VCO จะยังคงเป็นศูนย์ และ VCO ยังคงทำงานที่ความถี่ f_{oo} ถ้า f_i ไม่ต่างจาก f_{oo} มากนัก นั่นคือ $|f_i - f_{oo}| < \Delta fp$ ($2\Delta f_p$ มีชื่อว่าช่วงดึงเข้า หรือ pull-in range)สัญญาณ v_e จะมีลักษณะไม่สมมาตร กล่าวคือมีองค์ประกอบไฟตรงไม่เท่ากับศูนย์ v_d จะค่อย ๆ เพิ่มค่าขึ้น และหลังจากช่วงหนึ่งเรียกว่า เวลาดึงเข้า(pull-in time)ความถี่ f_o ซึ่งค่อย ๆ แปรค่าไปยังค่า f_i จะต่างจากเพียง f_i เพียง $|f_i - f_o| = \Delta f_c$ ($2\Delta f_c$มีชื่อว่าช่วงเวลาจับหรือ capture range)ถึงตอนนี้ f_o จะแปรเข้าสู่ค่า f_i อย่างรวดเร็วฉับพลัน เรียกว่าเกิดการล็อก (lock) v_d ก็จะเปลี่ยนแปลงอย่างฉับพลันเช่นกัน ทั้งนี้สำหรับ VCO โดยทั่วไปความถี่ f_o เป็นปฏิภาคกับการบ่ายเบนจากความถี่อิสระ นั่นคือ

$$\omega_o - \omega_{oo} = K_o v_d \qquad (2.50)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

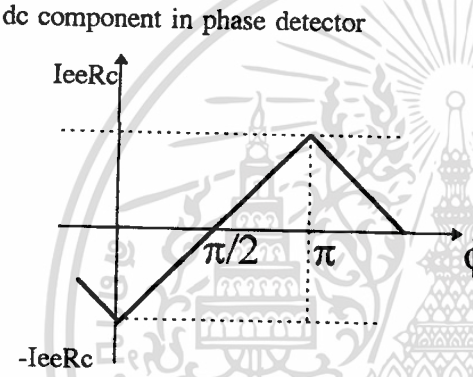
โดยที่ K_o เรียกว่าความไวของ VCO มีหน่วยเป็น (rad/sec)/V

การได้มา(acquisition)ซึ่งการล็อกอาจใช้วิธีดังนี้

(ก) ณ.ขณะหนึ่ง ความถี่ของ VCO ต่างจากความถี่ขาเข้า f_i น้อยกว่า Δf_c จะเกิดการล็อกอย่างฉับพลัน เรียกว่า "**เกิดการจับ (capture)**"

(ข) ณ.ขณะหนึ่ง ความถี่ของ VCO ต่างจากความถี่ขาเข้า f_i มากกว่า Δf_c แต่น้อยกว่า Δf_p ความถี่ของ VCO จะค่อย ๆ เลื่อนเข้าหาความถี่ f_i เรียกว่า "**เกิดการดึงเข้า (pull-in)**"

(ค)นอกช่วงเวลาดึงเข้าหรือในกรณีดึงเข้าใช้เวลานานเกินไปอาจเพิ่มวงจรเพื่อควบคุมให้ความถี่ของ VCO กวาด(sweep) ไปเพื่อเสาะหาความถี่ของสัญญาณ หรือถ้าสัญญาณรบกวนมีน้อย ก็อาจเพิ่มแถบความถี่(bandwidth)ของลูป ซึ่งจะเพิ่มช่วงการจับและการดึงเข้า หรืออาจเพิ่มเติมวงจรจำแนกความถี่(Frequency discriminator) ซึ่งจะปรับ VCO เข้าสู่ช่วงการจับได้อย่างรวดเร็ว



รูปที่ 2.41 คุณสมบัติโอนย้ายของอนาล็อกเฟสดีเทคเตอร์

เมื่อเกิดการล็อคแล้วถ้าความถี่ของสัญญาณแปรไป ความถี่ของ VCO จะแปรตามไปด้วยเรียกว่าเกิดการตามรอย (tracking) ความถี่ของ VCO จะสามารถตามรอยความถี่ f_i ได้ตราบใดที่ $|f_i - f_\infty| < \Delta f_H$ ($2\Delta f_H$ มีชื่อว่าช่วงคงที่ไว้ หรือ hold-in range บางทีก็เรียกว่าช่วงตามรอยหรือช่วงล็อค)

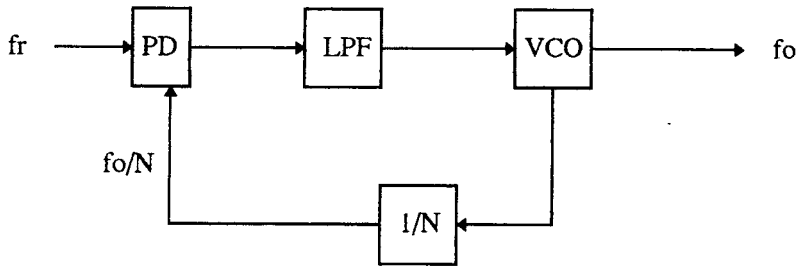
สรุปแล้วถ้าเพิ่มหรือลดความถี่ f_i จะได้การเปลี่ยนของ v_d (ซึ่งควบคุม VCO และเป็นปฏิภาคกับ $f_o - f_\infty$) ดังแสดงในรูป 2.41

การสังเคราะห์ความถี่ด้วยเฟสล็อกลูป

การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปเป็นการสร้างความถี่ขึ้นใหม่ ด้วยสัญญาณความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อ้างอิงที่มาตรฐาน โดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงได้ดังรูป 2.42



รูป 2.42 แสดงโครงสร้างเฟสล็อกลูปสำหรับการสังเคราะห์ความถี่

จากรูป ส่วนที่เพิ่มเข้าไปจากโครงสร้างของเฟสล็อกลูปที่ได้กล่าวมาแล้วคือ วงจรหาร N(1/N) โดยถ้า f_r เป็นสัญญาณอ้างอิงที่มีความถี่ที่คงที่แล้ว ความถี่เอาท์พุทของ VCO จะเท่ากับขนาดของความถี่อ้างอิง (freqorncy reference : fr) คูณกับจำนวนหาร N หรือเขียนได้

$$f_o = f_r \times N \tag{2.51}$$

หรือกล่าวได้ว่าความถี่เอาท์พุท(f_o)จะเป็นจำนวนเท่าของความถี่อ้างอิง ความถี่ที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์ (PD) หารด้วยจำนวน N ให้เท่ากับความถี่อ้างอิง สำหรับการทรานเฟอร์ฟังก์ชั่นของ PLL ที่มีวงจรหารในส่วนป้อนกลับเขียนทรานเฟอร์ฟังก์ชั่นได้คือ

$$\frac{\theta_o(s)}{\theta_r(s)} = \frac{K_o K_d \dfrac{F(s)}{S}}{1 + K_o K_d \dfrac{F(s)}{NS}} \tag{2.52}$$

สำหรับทรานเฟอร์ฟังก์ชั่นของลูปใดๆเขียนได้

$$\theta_o = \frac{G(s)}{1 + G(s)H(s)} \tag{2.53}$$

G(s) = ฟอร์เวิร์ดเกน (forword gain)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

H(s) = เกนป้อนกลับ (feedback gain)

G(s)H(s) = เกนลูปปิด (open loop gain)

จากสมการ 2.32 เราได้ฟอร์เวิร์ดเกนคือ

$$G(s)=\frac{K_oK_dF(s)}{S} \tag{2.54}$$

และเกนของลูปเปิดของเฟสล็อกลูปคือ

$$G(s)H(s)=\frac{K_oK_dF(s)}{N\times S} \tag{2.55}$$

สำหรับในการสังเคราะห์ความถี่วงจรกรองความถี่ต่ำ (LPF) ในลูปจะเลือกใช้วงจรกรองกรองแบบแอคตีฟ เนื่องจากดึงกระแสอินพุทน้อย ทำให้ค่าความผิดพลาดในสภาวะสงบของเฟสดีเทคเตอร์เอ้าท์พุทมีค่าน้อย แทนลงในสมการที่ 2.42 จะได้

$$\frac{\theta_o}{\theta_r}=\frac{\dfrac{K_oK_d(ST_2+1)}{T_1}}{S^2+\dfrac{SK_oK_dT_2}{NT_1}+\dfrac{K_oK_d}{NT_1}} \tag{2.56}$$

จะได้ความถี่ธรรมชาติของลูปและค่าแดมปิ้งแฟคเตอร์คือ

$$\omega_n=\sqrt{\left(\frac{K_oK_d}{NT_1}\right)}$$

$$=\frac{T_2}{2}\omega_n \tag{2.57}$$

ค่าความถี่ธรรมชาติ , อัตราแดมปิ้งของลูป จะเป็นพารามิเตอร์ที่เราสามารถกำหนดได้โดยกำหนดค่าพารามิเตอร์ดังกล่าว เราจะกำหนดโดยพิจารณาจากความต้องการต่อการตอบสนองของลูปในสภาวะทรานส์เซี้ยน ความสามารถมอดดูเลทความถี่ที่ต้องการในกรณีลูปถูกมอดดูเลทด้วยสัญญาณเบสแบนด์และเสถียรภาพของลูป

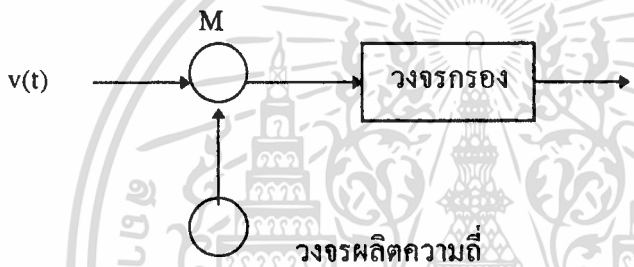
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.13 การเปลี่ยนแปลงความถี่ของสัญญาณ

จะเป็นการใช้วิธีของวงจรคูณ เพราะวงจรคูณจะทำการคูณสัญญาณเบสแบนด์กับสัญญาณคลื่นพาห์ทำให้เกิดการเลื่อนความถี่สูงขึ้นได้ ดังรูปที่ 2.43 แสดงบล็อกไดอะแกรมของระบบแปลงความถี่ของสัญญาณ โดยที่เราสมมติให้สัญญาณขาเข้าเป็นสัญญาณเบสแบนด์ที่เขียนได้เป็น $v(t) = Ac[1+vm(t)]\cos\omega ct$ เมื่อเราคูณสัญญาณจากออสซิลเลเตอร์ที่มีความถี่เป็น ωo และมีขนาดเป็น Ao เราจะได้สัญญาณผลคูณที่เขียนได้ในรูปต่อไปนี้

$$v(t) = AoAc\{1+vm(t)\}\cos\omega ct\ \cos\omega ot$$

$$= Ao(Ac/2)\{1+vm(t)\cos(\omega c + \omega o)t + Ao(Ac/2)\{1+vm(t)\cos(\omega c - \omega o)t \quad (2.58)$$



รูปที่ 2.43 ระบบแปลงความถี่ของสัญญาณที่ใช้วงจรคูณ

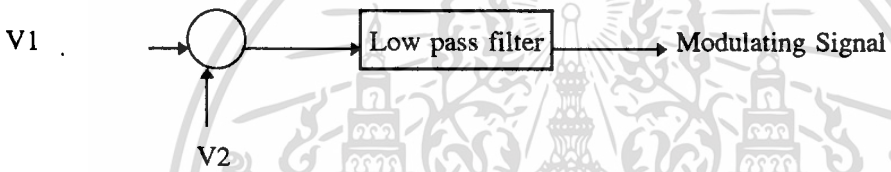
ซึ่งเห็นได้ว่ารูปร่างของสัญญาณก็ยังคงเป็นสัญญาณเบสแบนด์อยู่ แต่ขนาดจะขึ้นกับ Ao และความถี่ของสัญญาณคลื่นพาห์จะถูกแปลงไปอยู่ที่ $\omega c + \omega o$ และ $\omega c - \omega o$ ถ้าค่าของ ωo ใหญ่กว่าแบนด์วิดธ์ของสัญญาณเบสแบนด์เราก็จะใช้วงจรกรองเอาเฉพาะความถี่ด้านสูงหรือความถี่ด้านต่ำด้านใดด้านหนึ่งออกมาได้ ถ้ากรองเอาสัญญาณด้านความถี่สูงขึ้นออกมาก็จะเป็นการแปลงความถี่ให้สูงขึ้น และเรียกวงจรที่แปลงความถี่นี้ว่า อัพ-คอนเวอร์เตอร์(up-converter) ในทำนองเดียวกันถ้ากรองเอาสัญญาณด้านความถี่ต่ำลงออกมา เราก็เรียกวงจรนั้นว่าดาวน์คอนเวอร์เตอร์ (down-converter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.14 ซิงโครนัสดีเทคเตอร์(Synchronous Detector)

การมอดดูเลทแบบ Double Sideband Supressed Carrier เราไม่สามารถใช้การดีเทคแบบเอ็นเวลโลปดีเทคชั่นได้ ซึ่งในที่นี้เราใช้การดีเทคแบบซิงโครนัสดีเทคเตอร์ (Synchronous Detector) แทน

การดีเทคแบบซิงโครนัสในบางครั้งเราเรียกว่า โคฮีเรนท์ดีเทคเตอร์(coherent detector) ซึ่งเป็นการดีเทคสัญญาณโดยนำสัญญาณสองสัญญาณมาคูณเข้าด้วยกันโดยใช้อุปกรณ์จำพวก non-linear ซึ่งทำให้ได้ความถี่เอาท์พุทผลบวกและผลต่างของสัญญาณทั้งสองออกมา โดยทั่วไปสัญญาณที่ป้อนเข้ามาที่วงจรซิงโครนัสดีเทคเตอร์ คือสัญญาณ Double Sideband Supressed Carrier หรือสัญญาณ Single Sideband Supressed Carrier นำมาคูณกับสัญญาณคลื่นพาห์ที่สร้างขึ้นใหม่ที่วงจรภาครับ แล้วนำสัญญาณเอาท์พุทที่ได้ไปผ่านวงจรกรองความถี่ต่ำผ่าน ก็จะได้สัญญาณเบสแบนด์ที่ต้องการ รูปที่ 2.44 แสดงโครงสร้างของวงจรซิงโครนัสดีเทคเตอร์



รูปที่ 2.44 แสดงโครงสร้างของซิงโครนัสดีเทคเตอร์

เมื่อ $V_1 = f(t)$ เป็นสัญญาณ Double Sideband Supressed Carrier

จะได้ $V_1 = mV_c \sin\omega_c t \sin\omega_m t$ (2.59)

เมื่อ สัญญาณเบสแบนด์ $V_m \sin\omega_m t$ คือ $m = V_m / V_c$ เป็นค่าดัชนีการมอดดูเลชั่น $V_2 = \sin\omega_c t$ เป็นสัญญาณคลื่นพาห์ที่สร้างขึ้นใหม่ที่ภาครับ และเพื่อความสะดวกเราสมมติค่าให้ V_2= 1 โวลท์ เมื่อทำการคูณ จะได้ $V_o = kV_1V_2$ เมื่อ k มีมิติเป็น1/โวลท์ จะได้

$$\begin{aligned} V_o &= kV_1V_2 = kmV_c \sin^2\omega_c t \sin\omega_m t \\ &= kV_m \sin^2\omega_c t \sin\omega_m t \qquad = \left(\frac{1}{2}\right)kV_m \sin\omega_m t\left(1-\cos 2\omega_c t\right) \\ &= \frac{kV_m}{2}\sin\omega_m t - \frac{kV_m}{2}\sin\omega_m t \cos 2\omega_c t \end{aligned} \quad (2.60)$$

เมื่อผ่านวงจรกรองความถี่ต่ำผ่าน เพื่อกรองเฉพาะสัญญาณเบสแบนด์ จะได้

$$V_m = \frac{kV_m}{2}\sin\omega_m t \quad (2.61)$$

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

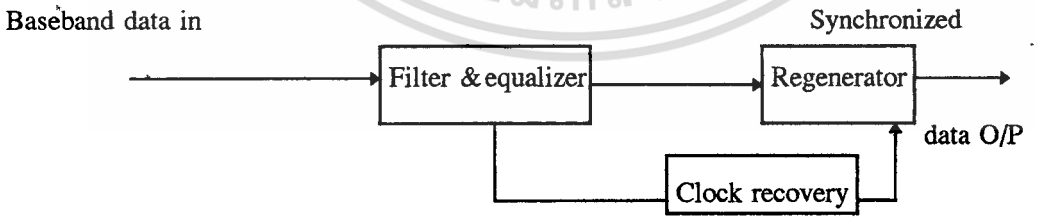
ข้อมูลในระบบสื่อสารเชิงเลขจำเป็นต้องมีการส่งแบบซิงโครนัส ที่มีความต่อเนื่องและมีรูปแบบการดี-เทคสัญญาณให้ได้ผลดีนั้น ต้องมีตัวกำเนิดสัญญาณนาฬิกาขึ้นมาให้สัมพันธ์กับขบวนสัญญาณพัลส์(Pulse train)

ข้อมูลจะถูกมอดดูเลทกับสัญญาณคลื่นพาห์ก่อนที่จะส่งออกทางสัญญาณ ซึ่งในช่วงของการมอดดูเลชั่นนั้น เฟสของข้อมูลที่ส่งมากับคลื่นพาห์ ซึ่งที่วงจรภาครับต้องมีการสร้างสัญญาณคลื่นพาห์ขึ้น ซึ่งจะต้องมีเฟสสัมพันธ์กับสัญญาณเบสแบนด์ที่รับเข้ามา อีกทั้งจะต้องสร้างสัญญาณนาฬิกาขึ้นมา เพื่อที่จะให้มีการซิงโครนัสของสัญญาณข้อมูล

พัลส์ข้อมูลจะเป็นแบบต่อเนื่องที่ความถี่สัญญาณนาฬิกา(กล่าวคือ จะมี Spectral null ที่ความถี่สัญญาณนาฬิกา) ซึ่งเราจะใช้วงจรเฟสล็อกลูปสร้างส่วนประกอบขึ้นที่ความถี่ที่แทรคได้เมื่อส่วนประกอบจาก efficient ของสัญญาณข้อมูล ซึ่งต้องเป็นวงจรเฟสล็อกลูปแบบย่านแคบ มิฉะนั้นจะเกิด fail to track และไม่สามารถที่จะสร้างข้อมูลที่ซิงโครนัสได้

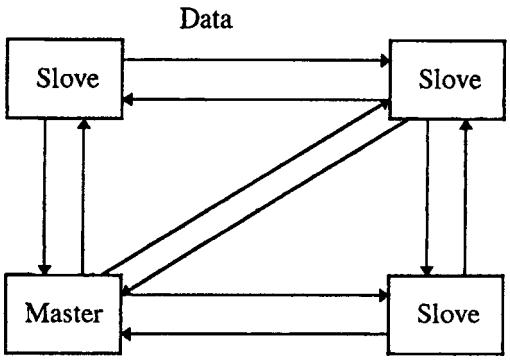
2.15 บิทซิงโครไนเซอร์(Clock Recovery)

ในโครงงานนี้เราใช้เฟสล็อกลูปในวงจรกู้สัญญาณคลื่นพาห์(Carrier Recovery) และวงจรกู้สัญญาณนาฬิกา(Clock Recovery) ของระบบสื่อสารแบบซิงโครนัส ซึ่งทำให้ปัญหาบางอย่างที่เกี่ยวกับการซิงโครไนซ์บิทหมดไป รูปที่ 2.45 แสดงถึงความสำคัญของวงจรกู้สัญญาณนาฬิกาในระบบสื่อสารเชิงเลข รูป 2.45 a. ลักษณะสัญญาณนาฬิกาที่กู้มาได้จะนำไปใช้ regenerator ข้อมูลที่รับเข้ามา ดังรูป 2.45 b. แสดงเครือข่ายเชิงเลขแบบ master-slave โดยสัญญาณนาฬิกาที่ใช้แยกไปแต่ละโหนด(node)จะเป็นลูกข่ายของสัญญาณนาฬิกาในโหนดหลัก(master station)



(a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

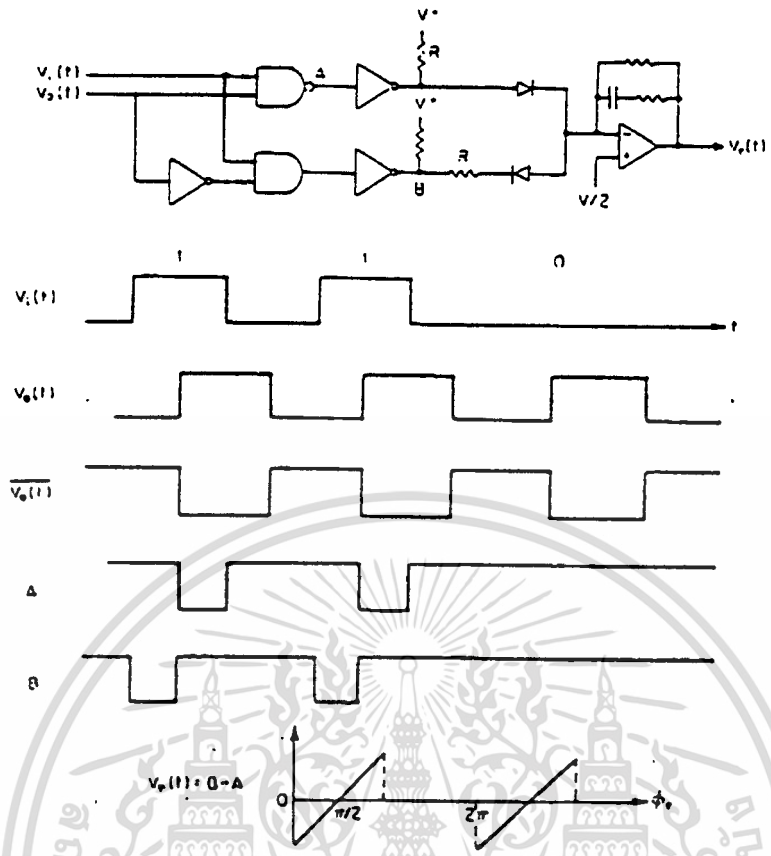


รูปที่ 2.45 (a) แสดงโครงสร้างวงจรกู้สัญญาณนาฬิกา (b) ตัวอย่างการ regenerate ข้อมูล

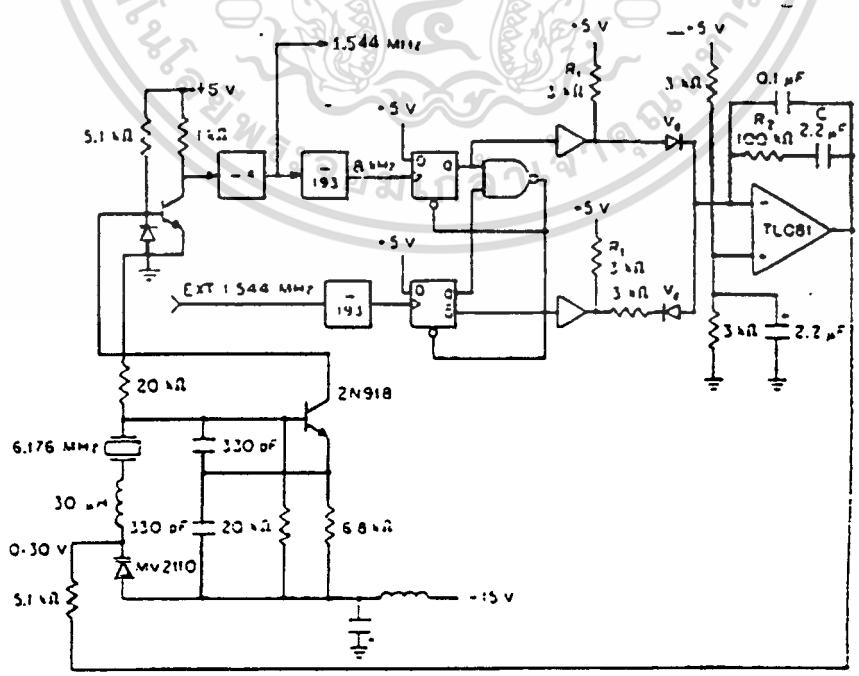
จากรูปที่ 2.46 คริสตอลที่มีย่านความถี่แคบมากของเฟสล็อกลูปจะใช้ดึงสัญญาณนาฬิกามาจากข้อมูลที่เข้ามา อินพุทที่ลูปถูกกำหนดให้เป็นสัญญาณนาฬิกาแบบต่อเนื่อง แต่ถ้าใช้เฟสดีเทคเตอร์ดังรูปที่ 2.47 สัญญาณข้อมูลที่รับเข้ามาเป็น RZ ข้อมูลจะใช้เป็นอินพุทที่ลูปโดยตรง แต่ในทางปฏิบัตินั้นการสื่อสารข้อมูลเป็น สัญญาณ RZ เราจำเป็นต้องใช้อุปกรณ์จำพวก non-linear เพื่อแปลงสัญญาณ RZ ก่อนที่จะใช้กับลูปรูปที่ 2.49 เนื่องจากว่าสัญญาณ RZ นั้นสเป็กตรัมจะไม่ตัดเส้นที่ความถี่สัญญาณนาฬิกา ซึ่งในรูปที่ 2.49 นั้นเป็นเทคนิคการเปลี่ยนสัญญาณ RZ เป็นสัญญาณ NRZ จะทำให้ได้สเป็กตรัมตามที่เราต้องการ ซึ่งจะสังเกตเห็นว่าเส้นประความถี่สัญญาณนาฬิกาในสเป็กตรัมของสัญญาณ RZ ซึ่งจะยอมรับการแปลงการประมวลเกี่ยวกับ Differentiating , Squaring และ Limiting

ข้อมูลแบบ RZ จะใช้สัญญาณนาฬิกาของลูป เพื่อกู้สัญญาณนาฬิกา Q ซึ่งการที่เลือกใช้เฟสล็อกลูปกู้สัญญาณนาฬิกานี้ เนื่องจากว่าจะทำงานได้ดีหากเกิดการสั่นทางเฟส(jitter) ในรูปที่ 2.48 แสดงถึงเทคนิคการลดจิตเตอร์ของข้อมูลอินพุทที่ดีที่สุดข้อมูลอินพุทถูกบันทึกลงในแอดเดรส 8 บิท แลทซ์ที่สัญญาณนาฬิกาติดตามอินพุทจิเตอร์ แต่ละบิทจะถูกเก็บลงในแลทซ์ของสัญญาณนาฬิกา 8 คาบบิท ข้อมูลออกจาก jitter-free clock อย่างน้อยที่สุด 4 คาบ หลังจากถูกบันทึกการจัดวงจรแบบนี้จะแอบชอร์บ(absorb)แม็กนีจูดของจิตเตอร์ประมาณ ± 4 Time slots การ clear ขนาดของบัฟเฟอร์จะเป็นการกำหนดจำนวนของจิตเตอร์ที่จะแอบชอร์บได้โดยใช้วิธีการนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

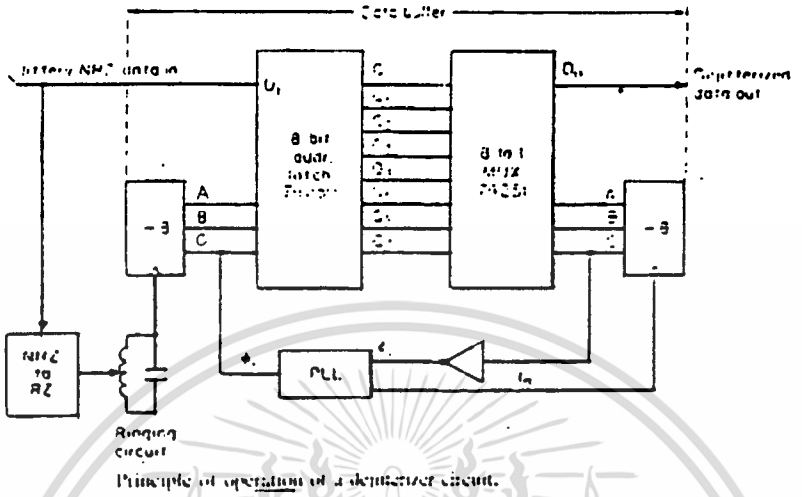


รูปที่ 2.46 แสดงเฟสดีเทคเตอร์เชิงเลขที่ใช้การสุ่มสัญญาณอินพุท(พัลส์ RZ = T/2)

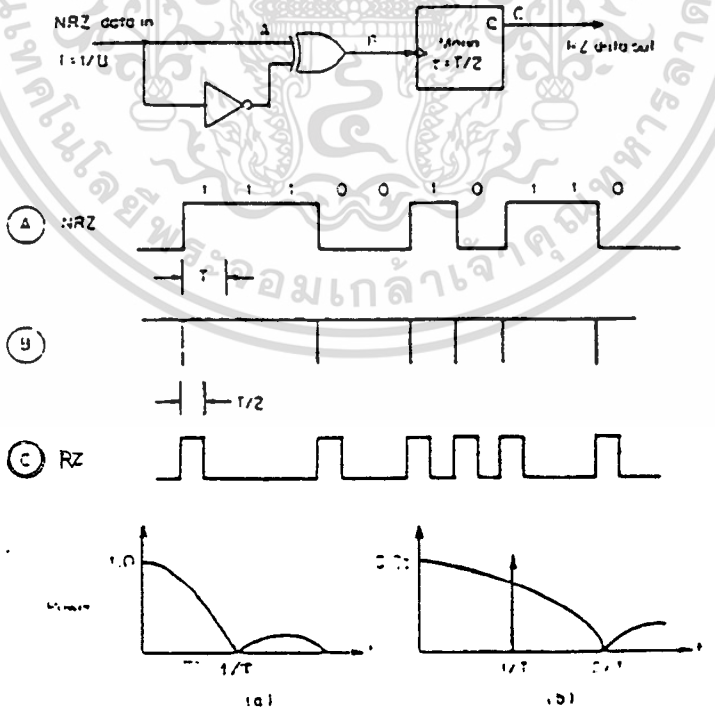


รูปที่ 2.47 วงจรเฟสล็อกลูปที่ใช้ติดตามสัญญาณคลื่นพาห์โดยใช้ VCO แบบคริสตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



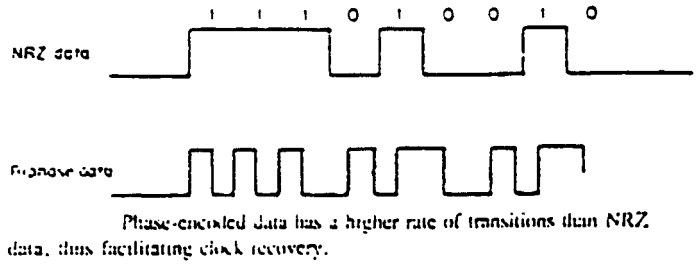
รูปที่ 2.48 แสดงหลักการทำงานของวงจรกำจัดจิตเตอร์



รูปที่ 2.49 แสดงการเปลี่ยนสัญญาณ RZ เป็นสัญญาณ NRZ

(a) สเป็กตรัมของสัญญาณข้อมูลแบบ NRZ (b) สเป็กตรัมของสัญญาณข้อมูลแบบ RZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

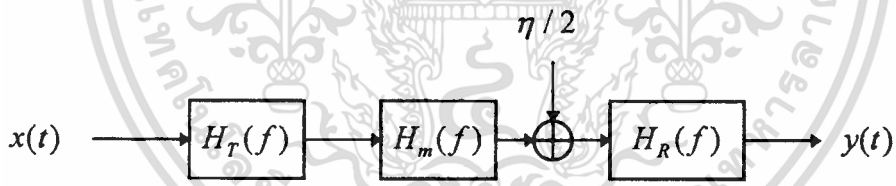


Phase-encoded data has a higher rate of transitions than NRZ data, thus facilitating clock recovery.

รูปที่ 2.50 การถอดรหัสของเฟสข้อมูลที่อัตราเร็วกว่าการส่งของข้อมูล NRZ เมื่อใช้วงจรกู้สัญญาณนาฬิกา

2.16 การแก้ปัญหาจากสัญญาณรบกวนแบบเกาส์เซียน

การแก้ปัญหาจากสัญญาณรบกวนแบบเกาส์เซียนโดยหลักการจะต้องทำการลดแบนด์วิดธ์ของวงจรกรองภาครับให้เหลือแคบที่สุด โดยที่ไม่ทำให้เกิดการรบกวนระหว่างสัญลักษณ์ขึ้น ในรูปที่ 2.51 นั้นเป็นการพิจารณาผลกระทบของสัญญาณรบกวนโดยรวมทรานส?เฟอร์ฟังก์ชั่นของวงจรภาครับเข้าด้วยกันทั้งหมดและเขียนเป็น $H_R(f)$ ได้ในรูปต่อไปนี้



รูปที่ 2.51 บล็อกไดอะแกรมที่ใช้วิเคราะห์ผลกระทบของสัญญาณรบกวนแบบเกาส์เซี้ยน

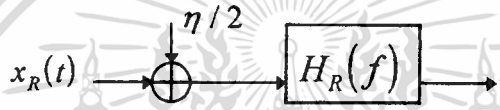
$$H_R(f) = \frac{Y_r(f)}{X_s(f)H_T(f)H_m(f)} \qquad (2.63)$$

ในสมการที่ 2.62 $X_s(f)$ เป็นฟูเรียร์สเปกตรัมของสัญญาณที่ส่งออกและ $H_m(f)$ เป็นทรานส์เฟอร์ฟังก์ชั่นของสายนำสัญญาณ เมื่อเราทราบฟังก์ชั่นทั้งสองนี้ ก็จะสามารถกำหนด $H_R(f)$ ควบคู่กับ $H_T(f)$ เพื่อที่จะให้ช่องสัญญาณมีทรานส์เฟอร์ฟังก์ชั่นเป็นแบบเรสค์โคไซน์ได้ เมื่อเราพิจารณาในรูปที่ 2.51 จะปรากฏข้อสังเกตุหนึ่งคือ ถึงแม้ $H_R(f)$ และ $H_T(f)$ จะมีส่วนในการปรับแต่งรูปร่างสัญญาณพัลส์ทั้งคู่แต่ว่า $H_R(f)$ เท่านั้นที่จะมีผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการสกัดสัญญาณรบกวนที่เข้าสู่ภาครับ เพราะฉะนั้นแบนด์วิดธ์สมมูลของสัญญาณรบกวนจะถูกกำหนดจาก $H_R(f)$ เท่านั้น

นอกจากช่องสัญญาณแบบเรสด์โคไซน์ที่กล่าวมาข้างต้น การลดระดับของสัญญารรบกวนจะสามารถกระทำได้โดยใช้วงจรกรองที่เรียกว่า วงจรกรองแบบแมทซ์(match filter) วงจรกรองแบบแมทซ์จะอาศัยหลักการที่ว่าวงจรภาครับจะทราบถึงรูปร่างของสัญญาณล่วงหน้าที่แม้ว่าจะไม่ทราบขนาดของสัญญาณ และเวลาที่สัญญาณจะผ่านเข้ามา เมื่อทราบถึงรูปร่างของสัญญาณล่วงหน้าก็จะมีโอกาสที่จะสร้างวงจรกรองที่มีทรานส์เฟอร์ฟังก์ชั่นแมทซ์กับรูปร่างของสัญญาณที่จะผ่านเข้ามานั้นเพื่อที่จะให้มีระดับของสัญญาณต่อสัญญาณรบกวนสูงสุด การหาทรานส์เฟอร์ฟังก์ชั่นของวงจรกรองแบบแมทซ์นั้นจะกระทำได้โดย ก่อนอื่นให้รูปร่างสัญญาณพัลส์เป็น $x_c(t)$ และให้สัญญาณพัลส์นั้นเข้ามาถึงภาครับดังรูปที่ 2.52 มีขนาดเป็น A_R และเวลาที่มาถึงเป็น t_o และสามารถเขียนได้เป็น



รูปที่ 2.52 บล็อกไดอะแกรมของการหาทรานส์เฟอร์ฟังก์ชั่นของวงจรกรองแบบแมทซ์

$$x_R(t) = A_R x_c(t - t_o) \tag{2.63}$$

ถ้าให้ $X_c(f)$ เป็นฟูเรียร์ทรานส์ฟอร์มของ $x_c(t)$ เมื่อทำฟูเรียร์ทรานส์ฟอร์มสมการ (2.63)จะได้

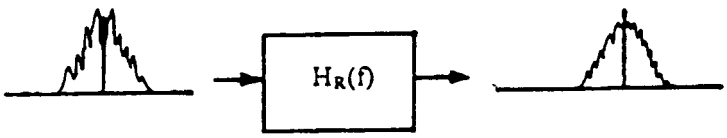
$$X_R(f) = A_R X_c(f) e^{-i\omega t_o} \tag{2.64}$$

และเราจะสามารถหาพลังงานของพัลส์ลูกนี้ได้ในรูป

$$E_R = \int_{-\infty}^{\infty} |X_R(f)|^2 df = A_R^2 \int_{-\infty}^{\infty} |X_c(f)|^2 df \tag{2.65}$$

ในขณะที่มีสัญญาณรบกวนแบบแอดดิทีฟเข้ามาพร้อมกับสัญญาณ $x_R(t)$ วงจรกรองทางภาครับจะต้องสามารถบีบพลังงานของพัลส์นั้นให้เกิดจุดสูงสุดขึ้น ในขณะเดียวกันก็จะต้องให้พลังงานของสัญญาณรบกวนที่ผ่านออกมาได้มีขนาดต่ำที่สุด ถ้าให้เกิดจุดสูงสุดเป็น ดังที่แสดงไว้ในรูป 2.53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.53 ลักษณะการเกิดจุดสูงสุดเมื่อใช้แมทช์ฟิลเตอร์รับสัญญาณ

และขนาดของสัญญาณที่จุดสูงสุดเป็น A เราจะสามารถหาขนาดสูงสุด A นี้ได้โดยนำสเปกตรัมของสัญญาณขาออกมาทำฟูเรียร์ทรานสฟอร์มกลับแล้วสังเกตที่เวลา ถ้าให้ทรานสเฟอร์ฟังก์ชันของวงจรกรองเป็น Hr (f) ดังในรูปที่ 2.52 A จะเขียนได้ดังนี้

$$A = \int_{-\infty}^{\infty} H_R(f) X_R(f) e^{j\omega t}\, df \Big|_{t=t_o+t_d}$$
$$= A_R \int_{-\infty}^{\infty} H_R(f) X_R(f) e^{j\omega t_d}\, df \qquad (2.66)$$

เมื่อพิจารณาในด้านสัญญาณรบกวนถ้าให้สัญญาณรบกวนนั้นมีขนาดกระจากยอยู่ในรูปพรอบบะบิลิตีเดนซิตีฟังก์ชันแบบเกาส์เซียนโดยมีค่าเฉลี่ยเป็นศูนย์ ความหนาแน่นสเปกตรัมกำลังของสัญญาณรบกวนเป็น Gn(f) กำลังของสัญญาณรบกวนที่จะผ่านฟิลเตอร์ออกไป ซึ่งจะเท่ากับค่าแวเรียนซ์ของสัญญาณรบกวนแบบเกาส์เซียนที่ผ่านออกไปได้จะเขียนได้ในรูปต่อไปนี้

$$\sigma^2 = \int_{-\infty}^{\infty} |H_R(f)|^2 G_n(f)\, df \qquad (2.67)$$

และเนื่องจาก σ แสดงค่า rms ของสัญญาณรบกวนแบบเกาส์เซียน สิ่งที่เราต้องการมากที่สุดก็คือทำให้อัตรส่วนระหว่างระดับสัญญาณ A กับค่า rms ของสัญญาณรบกวน σ สูงที่สุด เพื่อให้การตัดสินระดับมีโอกาสที่จะผิดพลาดน้อยที่สุด จากสมการ (2.66) และสมการ (2.67) จะสามารถเขียนค่า A/σ ได้ในรูปต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left(\frac{A}{\sigma}\right)^2 = \frac{A_R^2\left|\int_{-\infty}^{\infty} H_R(f)X_c(f)e^{j\omega t_d}df\right|^2}{\int_{-\infty}^{\infty}\left|H_R(f)\right|^2 G_n(f)df} \qquad (2.68)$$

ในสมการ (2.68) นี้จะเห็นได้ว่ามีแต่ Hr(f) เท่านั้น ที่เราเลือกได้ ในสมการ Hr(f) ในสมการ (2.68) ให้มีค่าสูงสุดนั้น จะทำได้โดยใช้กฎความไม่เท่าของชวอร์ช กล่าวคือ ถ้าให้ V(f) และ W(f) เป็นฟังก์ชั่นใด ๆ ของ f จากกฎความไม่เท่าของชวอร์ชจะได้ความสัมพันธ์

$$\frac{\left|\int_{-\infty}^{\infty} V(f)W^*(f)df\right|^2}{\int_{-\infty}^{\infty}\left|V(f)\right|^2 df} \le \int_{-\infty}^{\infty}\left|W(f)\right|^2 df \qquad (2.69)$$

ข้างซ้ายมือของสมการ (2.69) นี้จะเหมือนกับข้างขวามือของสมการ (2.69) เมื่อให้

$$V(f) = H_R(f)\sqrt{G_n(f)} \qquad (2.70.ก)$$

$$W^*(f) = \frac{1}{V(f)}A_R H_R(f)X_c(f)e^{j\omega t_d}$$

$$= A_R X_c(f)e^{j\omega t_d} \div \sqrt{G_n(f)} \qquad (2.70.ข)$$

และเนื่องจากข้างซ้ายมือและข้างขวามือ (2.69) จะเท่ากันก็ต่อเมื่อ V(f) และ W(f) เป็นอัตราส่วนกันโดยตรง ดังนั้นถ้าให้ $V(f) = \frac{KW(f)}{A_R}$ โดยที่K เป็นค่าคงที่ และแทนสมการ (2.70) ลงในสมการ (2.69) ก็จะได้ค่าสูงสุดของสมการ (2.68) ในรูปต่อไปนี้

$$\left(\frac{A}{\sigma}\right)^2_{\max} = A_R^2\int_{-\infty}^{\infty}\frac{\left|X_c(f)\right|^2}{G_n(f)}df \qquad (2.71)$$

ในขณะเดียวกันก็จะได้ทรานสเฟอร์ฟังก์ชั่นของฟิลเตอร์ที่เหมาะสมที่สุดในรูปต่อไปนี้

$$H_M(f) = \frac{KX_c^*(f)e^{-j\omega t_d}}{G_n(f)} \qquad (2.72)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองที่มีทรานสเฟอร์ฟังก์ชันตามสมการ (2.72) นี้จะถูกเรียกว่าแมทฟิลเตอร์ ถ้าเราพิจารณาสมการ (2.72) ให้ดีจะเห็นได้ว่า $|H_M(f)|$ จะแปรตาม $X_c(f)$ และแปรผกผัน $G_n(f)$ กับซึ่งหมายถึงสเปกตรัมของสัญญาณ $X_c(f)$ ส่วนที่มีค่าใหญ่จะถูกเน้นในขณะที่สเปกตรัมของ $G_n(f)$ ที่มีค่าใหญ่จะถูกกดนั้น ในกรณีที่สัญญาณรบกวนเป็นแบบเกาส์เซียนซึ่ง $G_n(f)=\eta/2$ สมการ (2.71) ก็สามารถเขียนได้ว่า

$$\left(\frac{A}{\sigma}\right)^2_{\max} = \frac{2A_R^2}{\eta}\int_{-\infty}^{\infty}|X_c(f)|^2\,df = \frac{2E_R}{\eta} \qquad (2.73)$$

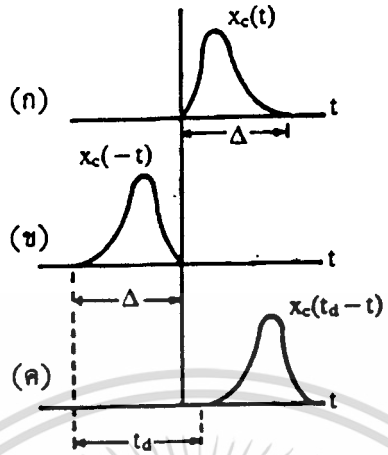
จากสมการ(2.73) นี้จะเห็นได้ว่าพลังงานที่มีอยู่ในรูปสัญญาณพัลส์ที่เข้ามานั้นจะมีผลโดยตรงต่อการทำให้ $(A/\sigma)^2_{\max}$ สูงขึ้น ซึ่งก็เป็นผลดีต่อการตัดสินระดับสัญญาณมากขึ้น

ในการหาผลตอบแทนอิมพัลส์ของแมทช์ฟิลเตอร์ในกรณี $G_n(f)=\eta/2$ จะทำได้โดยการหาฟูเรียร์ทรานสฟอร์มกลับของสมการ (2.72) ซึ่งจะได้ผลดังนี้

$$\begin{aligned} h_M(f) &= \int_{-\infty}^{\infty}\frac{2K}{\eta}X_c^*(f)e^{-j\omega t_d}e^{j\omega t}\,df \\ &= \frac{2K}{\eta}\int_{-\infty}^{\infty}X_c^*(f)e^{j\omega(t-t_d)}\,df \qquad = \frac{2K}{\eta}\int_{-\infty}^{\infty}X_c(f)e^{j\omega(t_d-t)}\,df \\ &= \frac{2K}{\eta}X_c(t_d-t) \end{aligned} \qquad (2.74)$$

ทั้งนี้เพราะ $h_M(t)$ เป็นฟังก์ชั่นค่าจริงจึงมี $h_M^*(t)=h_M(t)$ จะเห็นได้ว่าผลตอบสนองอิมพัลส์ของแมทช์ฟิลเตอร์จะมีรูปร่างเหมือนสัญญาณที่เข้ามาแต่จะมีเครื่องหมายของ t เป็นลบ ในการสร้างวงจรจริง เราจะต้องคำนึงถึงกฎของความเป็นเหตุเป็นผล กล่าวคือ ช่วงที่ t<0 นั้น $h_M(t)$ จะต้องเป็นศูนย์ ดังนั้นค่า t_d จะต้องใหญ่เพียงพอที่จะทำให้ได้ผลตามเงื่อนไขดังกล่าว ถ้าให้ $X_c(t)$ มีรูปร่างตามที่แสดงไว้ในรูปที่ 2.54(ก) ถ้า t_d=0 ผลตอบสนองอิมพัลส์จะเป็น $X_c(-t)$ ก็จะมีรูปร่างเป็นดังรูปที่ 254(ข) ผลตอบสนองอิมพัลส์ตามรูป 2.54(ข) นี้จะไม่สามารถสร้างได้เพราะขัดแย้งกับกฎของความเป็นเหตุเป็นผล ผลตอบสนองอิมพัลส์ที่สร้างได้จริงนั้นจะเป็นดังที่แสดงไว้ในรูปที่ 2.54 (ค) คือ t_d จะต้องใหญ่กว้างช่วงกว้างที่ฐานของสัญญาณพัลส์ จากรูปร่างของผลตอบสนองอิมพัลส์ที่เป็นไปได้นี้ ถ้าเราทำการคำนวณสัญญาณขาออกของแมทช์ฟิลเตอร์เฉพาะส่วนที่มาจากสัญญาณขาเข้า $A_R X_c(t)$ ก็จะได้ผลเป็นคอนโวลูชั่น(Convolution)ของ $X_c(t)$ กับ $h_M(t)$ ในรูปต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.54 รูปร่างของสัญญารพัลส์ผลตอบสนองอิมพัลส์ของแมทซ์ฟิลเตอร์

$$y(t) = \int_{-\infty}^{\infty} A_R X_c(\tau) h_M(t-\tau) d\tau$$
$$= \frac{2KA_R}{\eta} X_c(\tau) X_c(t_d - t + \tau) d\tau \qquad (2.75)$$

อินทีกรัลที่ปรากฏในสมการ 2.75 นี้จะอยู่ในรูปของการหาออโตคอร์รีเลชั่น(Autocorelation)ของ $X_c(t)$ จากผลที่ได้จะเห็นว่า y(t) จะมีค่าสูงสุดที่ตำแหน่ง t = t_d ซึ่งเป็นตำแหน่งที่ออโตคอร์รีเลชั่นมีค่าสูงสุด ผลที่ได้นี้เป็นการยืนยันถึงสมมติฐานที่ว่า แมทซ์ฟิลเตอร์จะอัดพลังงานของสัญญาณให้เกิดค่าสูงสุดขึ้นที่เวลา t_d

การสร้างแมทซ์ฟิลเตอร์ให้มีทรานส์เฟอร์ฟังก์ชั่นให้อยู่ในรูปสมการ(2.72)และมีผลตอบสนองอิมพัลส์ตามสมการ(2.74)นั้น จะกระทำได้โดยใช้วงจรพาสซีฟ(Passive) อย่างไรก็ตามถ้ารูปร่างของสัญญาณพัลส์ที่เข้ามามีความยุ่งยากมาก การสร้างก็จะมีความยุ่งยากตามไปด้วย และที่สำคัญก็คือ ถ้าสร้างได้ไม่ดีจะทำให้เกิดการรบกวนระหว่างสัญลักษณ์เพิ่มมากขึ้น เพราะ $h_M(t)$ จะลู่กว้างออกไปกว่าความกว้างของสัญญาณพัลส์แต่ละสัญญาณ ดังนั้นอาจกล่าวได้ว่า วิธีการสร้างแมทซ์ฟิลเตอร์นี้มีโอกาสที่จะยุ่งยากกว่าการสร้างฟิลเตอร์ในช่องสัญญาณแบบเรสด์โคไซน์ได้มาก ในขณะที่ไม่สามารถรับประกันได้ว่าจะไม่เกิดการรบกวนระหว่างสัญลักษณ์ขึ้นได้ อย่างไรก็ตามกรณีที่สัญญาณขาเข้าเป็นสัญญาณรูปพัลส์สี่เหลี่ยมซึ่งอาจเป็นแบบ 2 ระดับ หรือหลายระดับ เราจะสร้างแมทซ์ฟิลเตอร์ได้โดยใช้วงจรแอคทีฟ(Active)หรือที่รู้จักกันว่าวงจรอินทีเกรทและดัมพ์ (integrate and dump)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.17 วงจรอินทีเกรทและดัมพ์(Integrate&Dump)

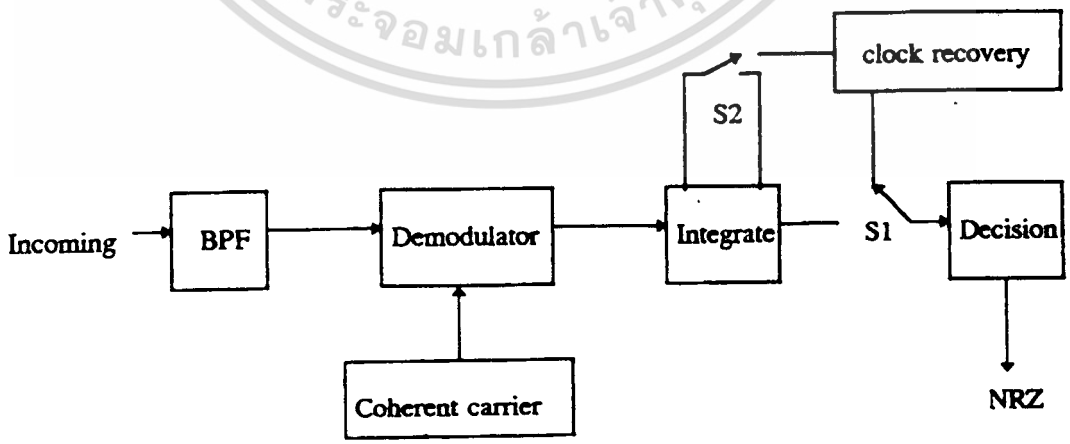
เครื่องรับที่ใช้วิธีการเปรียบเทียบ ระหว่างสัญญาณที่สร้างขึ้นที่ภาครับสัญญาณอินคัมมิ่ง (incoming) นั้นการปฏิบัติเกี่ยวกับการเปรียบเทียบสัญญาณทั้งสองเรียกว่าคอร์รีเลชั่น (correlation) จะทำการคอร์รีเลท(correlat)สัญญาณ x(t) และ y(t) สัญญาณทั้งสองนี้จะถูกคูณเข้าด้วยกัน ซึ่งผลลัพธ์ที่ได้จะถูกบวกเข้าด้วยหรือเรียกว่าอินทรีเกรทตลอดย่าน time interval ที่เปรียบเทียบสัญญาณทั้งสอง ซึ่งสามารถแสดงเป็นสมการได้ว่า

$$(x,y) = \int_0^t x(t)y(t)dt \qquad (2.76)$$

โดยที่ t_b คือ time interval หรือระยะเวลาของหนึ่งบิท time interval

เมื่อสัญญาณทั้งสองเหมือนกันผลของการคอร์รีเลชั่นจะได้สูง(positive) หากว่าสัญญาณทั้งสองไม่เหมือนกัน ผลลัพธ์ที่ได้จะเป็นต่ำ(0) ถ้าสัญญาณทั้งสองมีลักษณะตรงข้ามกันผลลัพธ์ที่ได้จะเป็นลบ(negative)

สัญญาณคลื่นพาห์แบบ incoming ที่มีสัญญาณรบกวนปะปนมาจะผ่านวงจรวงจรกรองผ่านย่านความถี่ โดยวงจรกรองจะยอมให้สัญญาณในย่านออกไปได้ ยกเว้นสัญญาณรบกวนที่ปะปนมา เครื่องจะผลิตสัญญาณคลื่นพาห์ขึ้นใหม่ขากวงจรกู้สัญญาณคลื่นพาห์ โดยที่จะมีความถี่และเฟสเดียวกันกับสัญญาณคลื่นพาห์ที่วงจรภาคส่งจึงเรียกคลื่นพาห์นี้ว่า **"โคฮีเรนท์คลื่นพาห์ (Coherent Carrier)"**



รูปที่ 2.55 แสดงโครงสร้างของโคฮีเรนท์คลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินคัมมิ่งคูณเข้ากับโคฮีเรนท์คลื่นพาห์ผลลัพธ์ที่ได้จะนำไปบวกกันตลอดคาบบิท (bit period)โดยวงจรอินทีเกรท ที่ด้านปลายของคาบบิทเอาท์พุทของวงจรอินทีเกรทจะให้ผลบวก (positive)หรือผลลบ(negative) ตามแต่สัญญาณที่ทำการคอร์รีเลชั่นได้จากส่วนปลายของคาบบิท สวิทช์ S2 จะถูกทำให้ปิดและจากนั้นอุปกรณ์เทรสโฮลด์(Threshold)ของภาคดีซิสชั่น(decision)จะทำการตัดสินอย่างรวดเร็วว่าผลลัพธ์ของการคอร์รีเลชั่นนี้จะเป็นผลบวกหรือผลลบ และจะให้บิท 1 หรือ 0 ออกที่เอาท์พุท

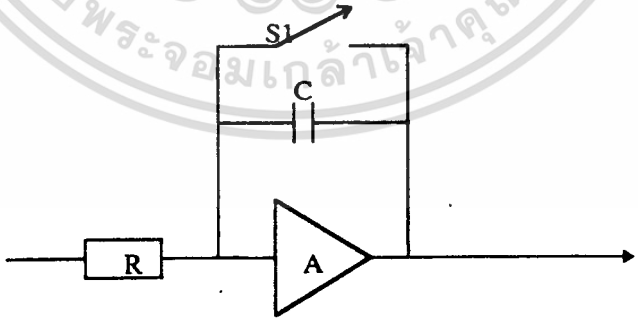
หลังจากทำการตัดสินบิทไปแล้ว S2 จะเปิดอีก ส่วนสวิทช์ S1 จะปิดชั่วขณะเพื่อที่จะทำให้ผลลัพธ์ของคอร์รีเลชั่นในวงจรอินทรีเกรเตอร์ถูกรีเซ็ท(reset) ให้เป็นศูนย์เสียก่อน เพื่อมที่ให้ขบวนการคอร์รีเลชั่นของบิทต่อไปอย่างถูกต้องไม่มีอิทธิพลจากบิทก่อนหน้านี้มารบกวน ดังนั้น สัญญาณที่ผ่านการคูณ(multiply) แล้วจะถูกอินทีเกรทตลอดย่านคาบบิท และผลจากการอินทรีเกรทจะถูกเคลียร์(clear) หรือดัมพ์(dump) ทุก ๆ คาบบิท

องค์ประกอบที่สำคัญของภาคอินทีเกรทและดัมพ์ คือ

1. สัญญาณคลื่นพาห์ทางด้านรับจะต้องโคฮีเรนท์กับด้านส่ง

2. การรีเจนเนอร์เรชั่นไทม์บิท(time bit) ในเครื่องรับต้องถูกต้อง เพื่อจะให้สวิทช์ต่าง ๆ ทำงานในชั่วขณะเวลาที่ถูกต้องที่สุด

ในรูปที่ 2.56 แสดงถึงหลักการเบื้องต้นของการอินทีเกรท โดยเป็นวงจรขยายในอุดมคติ (Ideal Amplifier) ทำหน้าที่วงจรอินทีเกรทเชิงอุดมคติ ส่วนสวิทช์ S1 จะปิดทุก ๆ Tb วินาที ซึ่งในทางปฏิบัติเราจะใช้วงจรอีเล็กทรอนิกส์สวิทช์แทน



รูปที่ 2.56 แสดงถึงหลักการวงจรอินทีเกรท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากสัญญาณรบกวน เพื่อที่จะได้สัญญาณเบสแบนด์ที่แน่นอนทางภาครับเราจึงต้องทำการอินทีเกรทสัญญาณไปในช่วง 1 บิท เพื่อพิจารณาว่าสัญญาณเบสแบนด์จะมีระดับที่แน่นอนไปในทิศทางใด แล้วทำการตัดสินระดับที่ปลายช่วงเวลา 1 บิท และก่อนที่จะทำการอินทีเกรทสัญญาณลูกต่อไปต้องทำการรีเซ็ทหรือดัมพ์ให้วงจรอินทีเกรทมีค่าศูนย์ทุกครั้ง วงจรอินทีเกรทและดัมพ์จะประกอบด้วย วงจรอินทีเกรเตอร์ , ฟลิปฟลอป , อีเล็กทรอนิกส์สวิทซ์ และวงจรสร้างซิงค์พัลส์ สัญญาณเบสแบนด์ที่เกิดการสั่นทางเฟสเกิดขึ้นโดยขนาดของ SNR ของสัญญาณที่อินพุทของวงจรดีมอดดูเลเตอร์ โดยสัญญาณเบสแบนด์ที่อินทรีเกรทแสดงดังรูป 2.57 ซึ่งเป็นเอาท์พุทของวงจรอินเวอร์ติ้งอินทีเกรเตอร์ จากรูปจะเห็นว่าที่ปลายช่วงสัญญาณแต่ละช่วงจะถูกรีเซ็ทโดยสัญญาณซิงค์พัลส์ ซึ่งสัญญาณซิงค์พัลส์จะได้จากวงจรกู้สัญญาณนาฬิกา สำหรับเอาท์พุทของวงจรอินเวอร์ติ้งอินทีเกรเตอร์ จะป้อนให้ฟลิปฟลอปเพื่อเป็นตัวตัดสินระดับโดยเอาท์พุทของฟลิปฟลอปจะให้สัญญาณเบสแบนด์ที่ถูกหน่วงเวลาไป 1 บิทดังแสดงในรูป โดยขนาดการสั่นของสัญญาณเบสแบนด์จะลดลง

โดยสมการแสดงเอาท์พุทของวงจรอินทีเกรเตอร์แสดงได้ว่า

$$V_o(t) = \frac{1}{RC}\int_0^t V_{in}(t)dt \qquad (2.77)$$

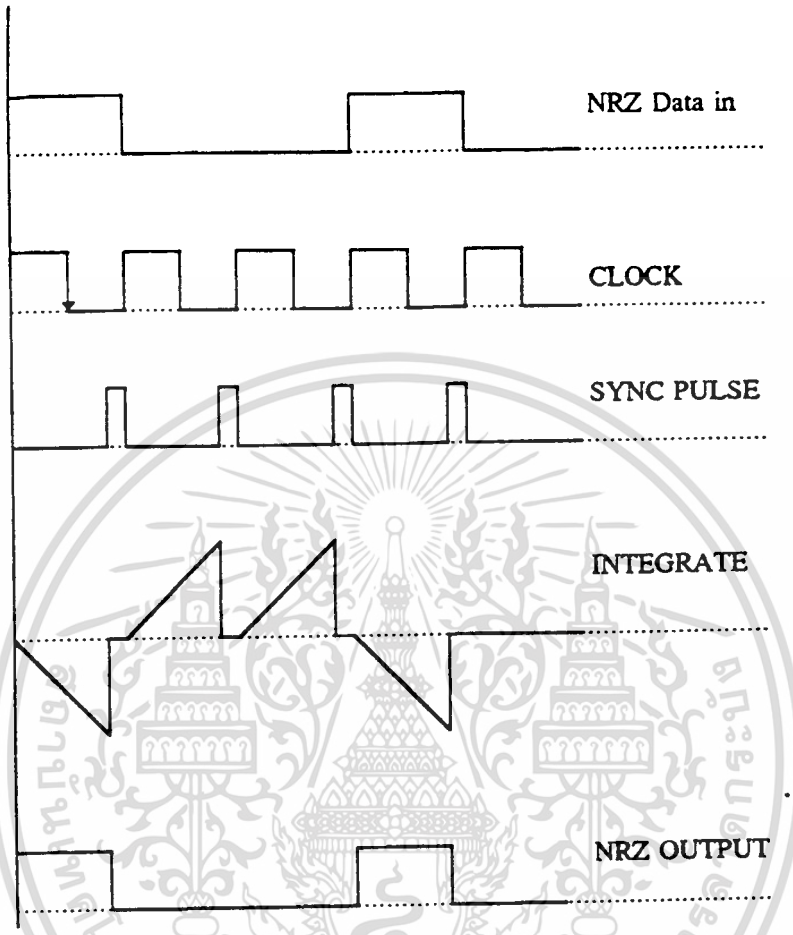
โดย RC เป็นค่าเวลาคงตัวของวงจรอินทีเกรเตอร์ เพื่อให้ค่าแรงดันที่เอาท์พุทของวงจรอินทรีเกรเตอร์มีค่าสูงสุดในช่วงเวลา 1 บิท ค่า RC กำหนดให้เท่ากับช่วงเวลา 1 บิท ซึ่งเท่ากับ 10 ms สำหรับบิทเรทขนาด 100 Kbit/sec จากสมการ 5.19 ถ้ากำหนดค่า C เท่ากับ 1 nF จะได้ค่า R เท่ากับ 10 KΩ สำหรับวงจรสร้างซิงค์พัลส์ที่ใช้สำหรับสุ่มเพื่อตัดสินค่าระดับลอจิกของสัญญาณและทำการรีเซทวงจรอินทีเกรเตอร์ สำหรับซิงค์พัลส์สร้างจากการหน่วงสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกา โดยซิงค์พัลส์จะเกิดในช่วงปลายของสัญญาณ NRZ แต่ละลูก โดยเป็นพัลส์ขนาดแคบ ๆ การหน่วงเวลาและทำการให้พัลส์มีขนาดแคบ ใช้วงจรโมโนสเตเบิ้ลจำนวน 2 ชุด โดยใช้วงจรรวม 74221 โดยอินพุทของสัญญาณนาฬิกาเป็นอินพุทของวงจรโมโนสเตเบิ้ลตัวหนึ่ง กำหนดให้ทำงานที่อินพุทขอบขาขึ้น โดยตั้งเวลาให้หน่วงเวลาเท่ากับ 200 ms โดยช่วงเวลากำหนดได้จากสมการ

$$T_W = 0.7 R_T C_T$$

T_W เป็นช่วงเวลาอินพุทของวงจรโมโนสเตเบิ้ล

$R_T C_T$ เป็นค่าความต้านทานและค่าเก็บประจุต่อที่ขา RC_{EXT} ของวงจรโนโนสเตเบิ้ล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



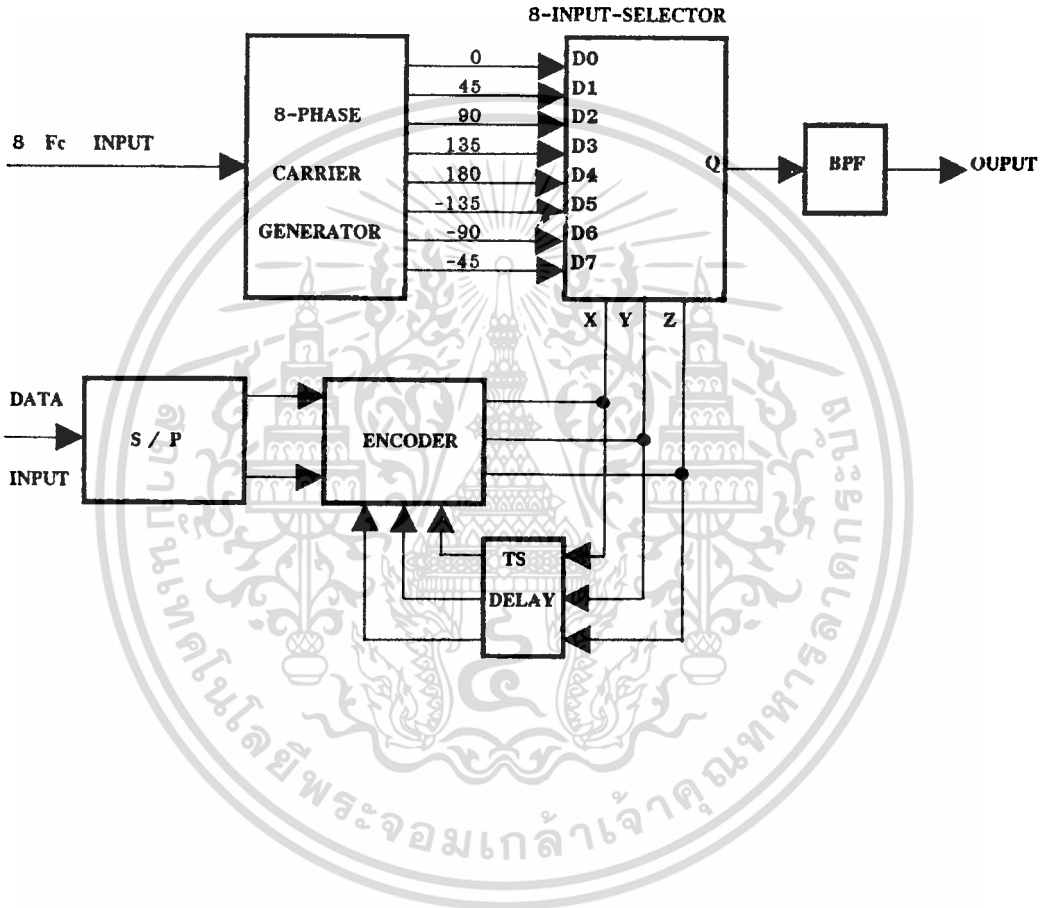
รูปที่ 2.57 แสดงสัญญาณที่จุดต่าง ๆ ของวงจรอินทีเกรทและดัมพ์

โดยวงจรโมโนสเตเบิ้ลตัวที่ 2 จะสร้างซิงค์พัลส์ ซึ่งกำหนดให้อินพุททำงานที่ขอบขาลง โดยช่วงเวลาจะมีขนาดประมาณ 10 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบวงจรภาคส่ง



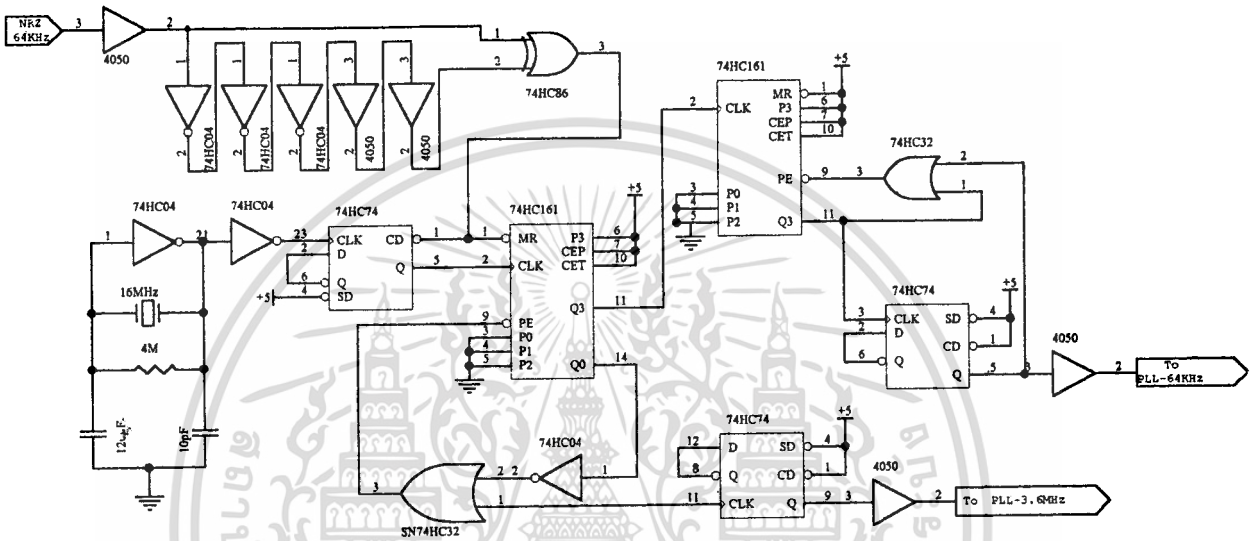
รูปที่ 3.1 บล๊อกไดอะแกรมวงจรภาคส่ง

จากบล๊อกไดอะแกรมจะเห็นว่าเฟสทั้ง 8 เฟสของ $\pi / 4$ QPSK จะถูกสร้างขึ้นโดยวงจรสร้างคลื่นพาห์ 8 เฟส(8-Phase Carrier Generator) และจะป้อนเป็นอินพุทให้แก่วงจรเลือกแบบ 8 อินพุท (8 Input Selector) เมื่ออินพุทเข้ามาจะผ่านวงจร Serial to Parallel เพื่อแยกออกเป็นบิทคู่และบิทคี่ป้อนให้กับวงจรเข้ารหัส(Encoder) และวงจรหน่วงเวลา(Ts Delay) ซึ่งจะเป็นตัวสร้างรหัสที่เลือกอินพุทของวงจรเลือก 8 อินพุท เพื่อทำการเลือกว่าจะให้คลื่นพาห์ที่มีเฟสใดออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางเอาท์พุท และผ่านวงจรกรองแบบผ่านย่าน(Band Pass Filter) เพื่อจำกัดย่านความถี่ที่ทำการมอดดูเลทแล้ว รายละเอียดของวงจรต่าง ๆ มีดังนี้

3.1 วงจรกำเนิดสัญญาณนาฬิกา



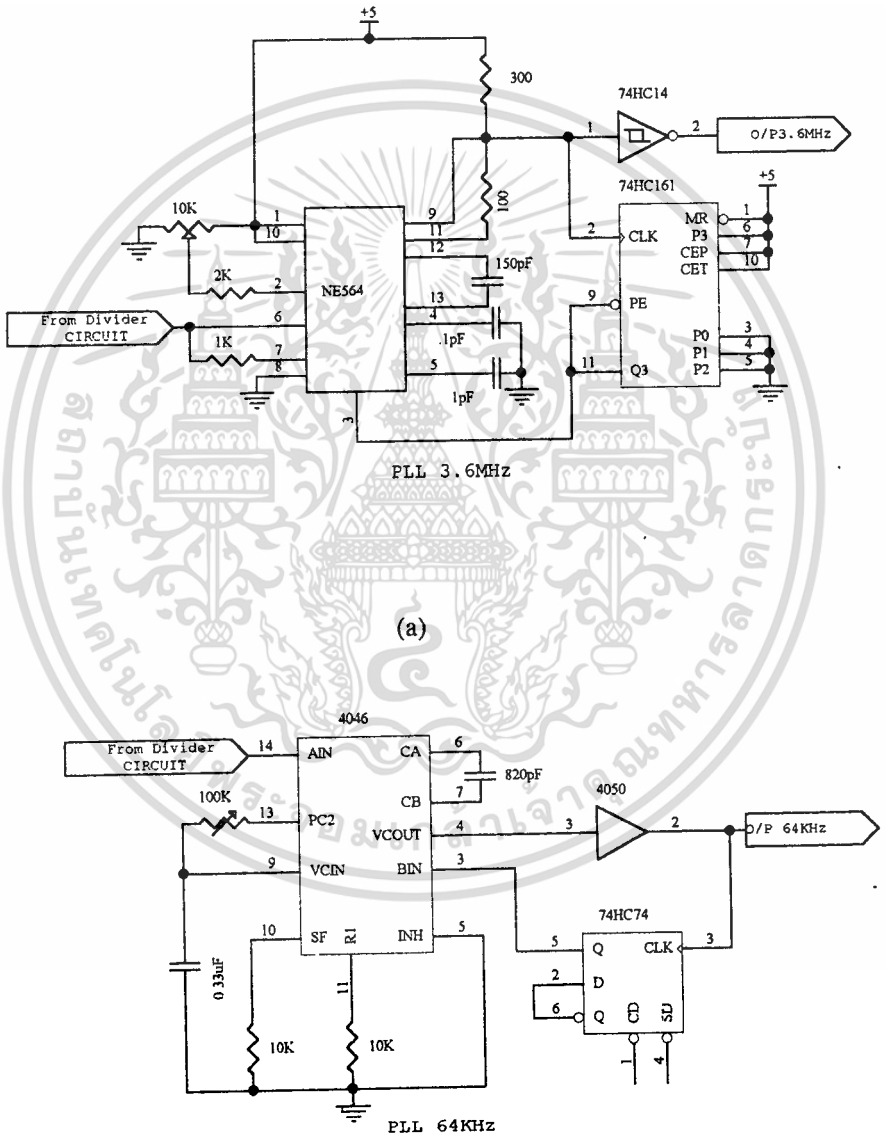
รูปที่ 3.2 วงจรกำเนิดสัญญาณนาฬิกา

สัญญาณอินพุทที่เข้ามาจะเป็นสัญญาณข้อมูลดิจิตอลเบสแบนด์แบบ NRZ (Nonreturn to zero) สัญญาณ NRZ จะถูกป้อนไปยังวงจรแยกบิทและวงจรหาขอบของสัญญาณ(Digital Phase Synchronizers)เป็นวงจรที่ทำหน้าที่หาขอบของสัญญาณนาฬิกาที่เกิดจากคริสตอล 16 MHz มีขอบสัญญาณพร้อมกับสัญญาณNRZโดยมีพัลส์ช่วงแคบๆไปรีเซตดีฟลิบฟลอบและไอซี 74HC161 ซึ่งไอซีทั้งสองทำหน้าที่หาร 2 และหาร 10 ตามลำดับ การที่จะมีพัลส์ช่วงแคบๆ เกิดขึ้นได้นั้นจะต้องมีการเปลี่ยนแปลงของสัญญาณ NRZ จาก 0 เป็น 1 หรือจาก 1 เป็น 0 จึงจะมีการรีเซตเกิดขึ้น การใช้ไอซีนับเลขฐานสองหรือไอซีชนิดอื่นมาเป็นไอซีหารนั้นจะต้องคำนึงถึงขอบของสัญญาณที่จะเกิดขึ้นที่เอาท์พุทด้วย ข้อดีของไอซีเบอร์ 74HC161 คือสามารถตั้งหารได้โดยการโหลดที่อินพุทซึ่งจะโหลดให้เอาท์พุทขา 11 เป็น 1 ก่อน(โดยปกติแล้วถ้านบปกติขานี้จะเป็น low ก่อน) ถ้าจะให้ดิวตี้ไซเคิล(Duty Cycle) ของสัญญาณเป็น 50% จะต้องผ่านไอซี 74HC74 เป็นการหารสองที่เอาท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พุทของไอซี 4050 จะได้ความถี่ 400 kHz เกิดจากการหาร 2 หาร10และหาร 2 ตามลำดับ ส่วนแนนเกทและดีฟลิบฟลอบที่ต่ออยู่กับ IC 74HC161 ตัวที่ 2 จะต่อเป็นวงจรหาร 25 ซึ่ง IC ทั้งสองทำงานร่วมกันที่เอาท์พุทของ 4050 ตัวล่างจะมีความถี่ 32 kHz ซึ่งเกิดจากการหาร 2,10 และ 25 ตามลำดับและวงจรทั้งหมดแสดงในรูปที่ 3.2

3.2 วงจรสังเคราะห์ความถี่



รูปที่ 3.3 วงจรสังเคราะห์ความถี่ที่ใช้ในโครงงานนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

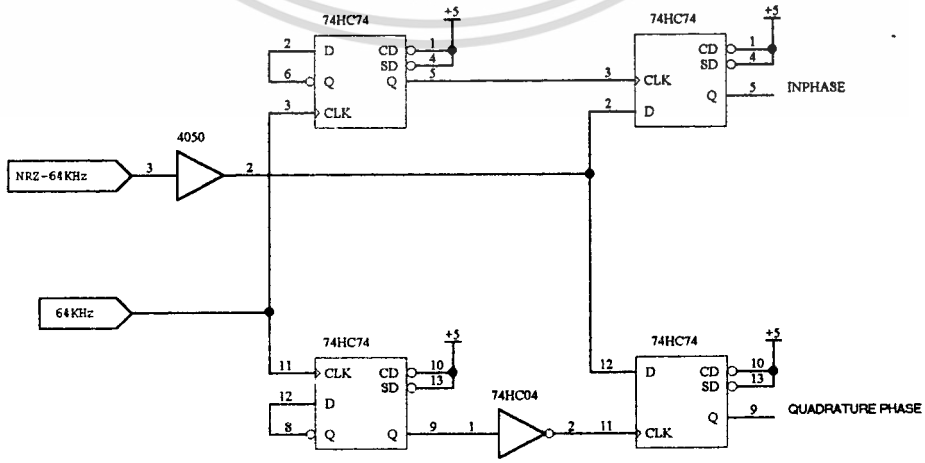
วงจรสังเคราะห์ความถี่ทำหน้าที่ผลิตความถี่ที่เราต้องการ ซึ่งการสังเคราะห์ความถี่ที่ใช้เป็นวิธีการสังเคราะห์โดยอาศัยเฟสล็อกลูป(Phase Locked Loop) ภาคส่งของโมเด็มต้องการใช้ความถี่ 3.6 Mhz เพื่อใช้เป็นคลื่นพาห์ที่มีเฟสต่างกัน 8 เฟส นอกจากความถี่ 3.6 MHz แล้วยังมีความถี่อีกความถี่หนึ่งที่เราต้องการคือ 64 kHz เพื่อใช้ในวงจรแยกบิท ความถี่ทั้งสองจะต้องมีความสัมพันธ์กัน จึงต้องใช้สัญญาณนาฬิกาที่มีแหล่งกำเนิดเดียวกันความถี่ 64 kHz สังเคราะห์ได้โดยใช้ไอซี 4046 ที่ขา 14 ขาอินพุทมีความถี่ 32 kHz ขา 4 เป็นขาเอาท์พุทมีความถี่ 64 kHz นำไปหารสองแล้วป้อนกลับไปยังขา 3 R7 และ C7 เป็นวงจรกรองความถี่ต่ำผ่าน การล็อกเร็วหรือช้าขึ้นอยู่กับ R,C สองตัวนี้ ถ้าล็อกเร็วเกินไปก็จะทำให้เฟสสั่น และ C8 เป็นตัวกำหนดความถี่สูงสุดที่จะล็อกได้

ความถี่ 3.6 MHzสังเคราะห์โดยใช้ NE564 ซึ่ง IC เบอร์นี้สามารถล็อกความถี่ได้ถึง 50 MHz ใช้แรงดัน 5 โวลท์ ซึ่งตรงนี้จะไม่มีปัญหาเรื่องแรงดันที่ใช้ร่วมกับ IC เกทต่าง ๆ เนื่องจาก IC เบอร์ 4046 ไม่สามารถล็อกความถี่ได้สูงถึง 3.6 MHz และยังและยังมีปัญหาเรื่องแรงดันที่เอาท์พุทที่ภาคต่อไปเนื่องจากแรงดันที่ใช้ต้องสูงขึ้นถึง 15 โวลท์ จึงต้องใช้ IC เบอร์ 564 สังเคราะห์ความถี่แทน R5,R6 ทำหน้าที่ช่วยดึงแรงดันที่เอาท์พุทให้สูงขึ้นเอาท์พุทเมื่อเป็น High จะมีแรงดัน 2.7 โวลท์ ซึ่งเป็นแรงดันที่ต่ำ ดังนั้นภาคต่อไปควรใช้ IC ตระกูล TTL ที่ขา 9 เป็นขาเอาท์พุท C6 เป็นตัวกำหนดความถี่สูงสุดที่สามารถล็อกความถี่ได้

3.3 วงจรแยกบิทคู่และบิทคี่

เป็นวงจรที่ทำหน้าที่แบ่งข้อมูลเชิงเลขทางด้านขาเข้าออกเป็น 2 ชุดๆละ 1 บิท พร้อมทั้งใช้วงจรหน่วงเวลา 2 บิท เพื่อควบคุมให้อินพุทเข้ามาครบ 2 บิทเสียก่อน แล้วจึงทำการแยกสัญญาณ

จากรูปที่ 3.4 นั้นเราใช้วงจรรวมดีฟลิบฟลอบ เพื่อทำหน้าที่หน่วงเวลา 2 บิท หรือว่าเป็นวงจรหาร 2 นั่นเองซึ่งจะช่วยควบคุมจังหวะการรับข้อมูลและส่งข้อมูลให้เหมาะสมกัน



รูปที่ 3.4 วงจรแยกบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

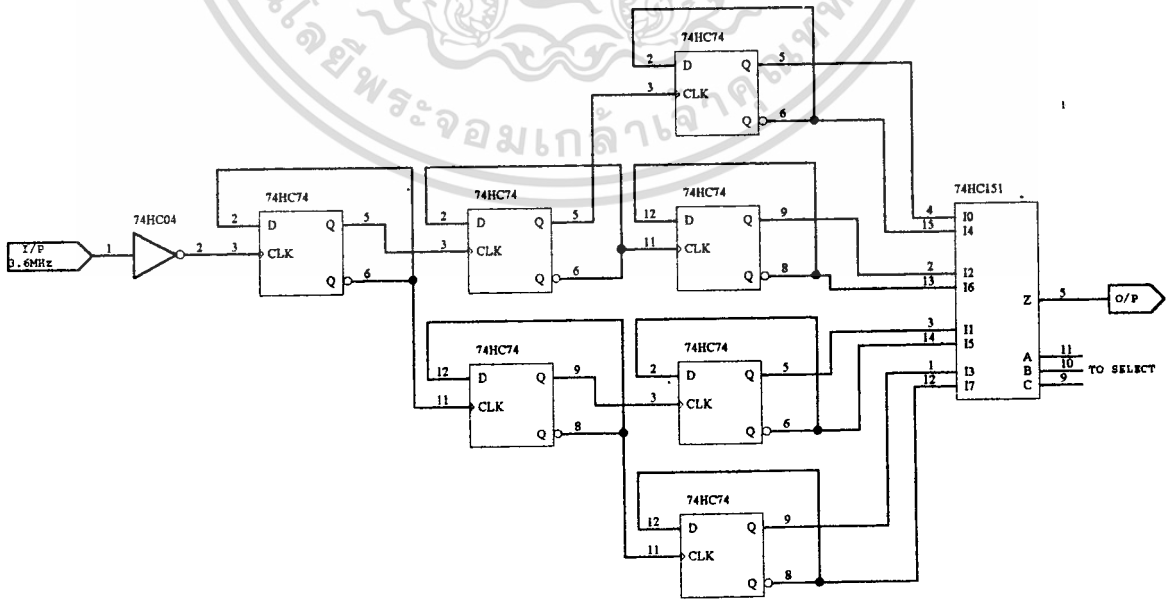
ข้อมูลที่ได้ออกมาจะมีอยู่ 2 ส่วนคือ inphase และ quadrature-phase หรือเราอาจเรียกว่า บิทคี่และบิทคู่ ซึ่งจะมีการเปลี่ยนแปลงครั้งละ 2 บอทพร้อม ๆ กัน จึงต้องมีการเปลี่ยนแปลงสัญญาณไบนารี่ให้เป็นเกรย์โค้ด ทั้งนี้ก็เพื่อช่วยลดอัตราการความผิดพลาดของข้อมูลลง เพราะว่าบิทค้างเคียงของเกรย์โค้ดจะแตกต่างกันเพียง 1 บิทเท่านั้น ดังตารางที่ 3.1

BINARY CODE		GRAY CODE	
0	0	0	0
0	1	0	1
1	0	1	1
1	1	1	0

ตารางที่ 3.1

3.4 วงจรสร้างคลื่นพาห์ 8 เฟส

วงจรสร้างคลื่นพาห์ 8 เฟส แสดงในรูปที่ 3.5 ความถี่อินพุทที่ป้อนให้กับวงจรจะมีความถี่เป็น 8 เท่าของความถี่คลื่นพาห์ที่ต้องการส่ง(8fc) ซึ่งในโครงงานนี้จะใช้ความถี่คลื่นพาห์ 450 kHz ดังนั้นความถี่ที่ป้อนให้กับวงจรสร้างคลื่นพาห์จะใช้ความถี่ 3.6 Mhz และใช้ ดีฟลิบฟลอบเป็นตัวหารความถี่ จะได้เอาท์พุท 8 ตัวขนานกันอยู่และจะมีเฟสที่แตกต่างกันคือ 0, $\pi, \pm\pi/4, \pm\pi/2, \pm 3\pi/4$ และต่อแต่ละขาเป็นอินพุทให้กับวงจรเลือก 8 อินพุทซึ่งใช้ IC เบอร์ 74HC151 และใช้วงจรเข้ารหัสเป็นตัวเลือกอินพุทที่จะออกไปยังเอาท์พุท

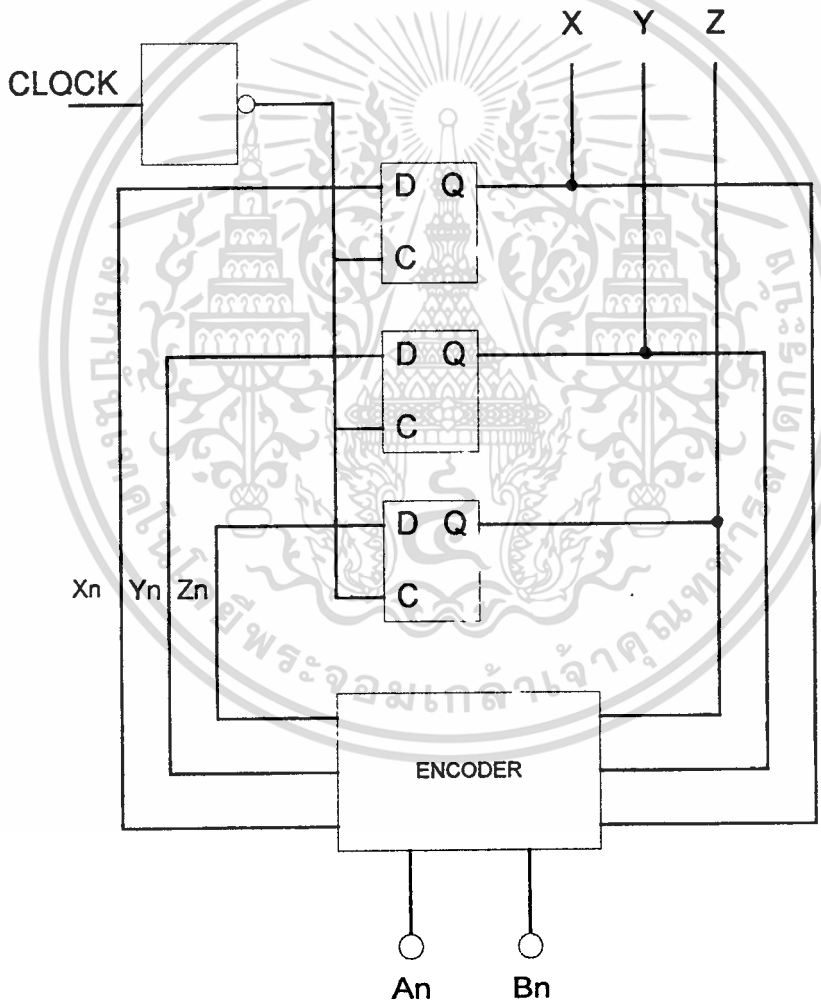


รูปที่ 3.5 วงจรสร้างคลื่นพาห์ 8 เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรเข้ารหัสและวงจรหน่วงเวลา

รูปที่ 3.6 เป็นบล็อกไดอะแกรมของวงจรเข้ารหัสและวงจรหน่วงเวลา กฎของการเข้ารหัสจะถูกกำหนดโดยคุณสมบัติของ $\pi/4$ *DQPSK* ซึ่งแสดงในตารางที่ 3.2 และการเลือกเฟสออกไปยังเอาท์พุทของวงจรเลือก 8 อินพุทแสดงในตารางที่ 3.3 ส่วนตารางที่ 3.4 จะแสดงการเข้ารหัสของวงจรเข้ารหัสซึ่งจะเปลี่ยนข้อมูลจาก 2 บิทไปเป็นข้อมูล 3 บิท เช่นเมื่อมีอินพุท 2 บิท เป็น (1,1) วงจรเข้ารหัสจะทำการแปลงให้เป็น (0,0,1) ซึ่งจะไปทำการเลือกเอาท์พุทของคลื่นพาห์ที่มีเฟสเลื่อนไปจากเดิม $\pi/4$ และในทำนองเดียวกันเมื่ออินพุทเป็น (1,0),(0,1)หรือ(0,0) เฟสของคลื่นพาห์ก็จะเปลี่ยนเป็น $-\pi/4, 3\pi/4$ หรือ $-3\pi/4$ ตามลำดับ



รูปที่ 3.6 บล็อกไดอะแกรมวงจรเข้ารหัสและวงจรหน่วงเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

B	A	$\Delta\Phi=\Phi K-\Phi K_{-1}$
1	1	$\pi/4$
1	0	$-\pi/4$
0	0	$-3\pi/4$
0	1	$3\pi/4$

ตารางที่ 3.2 คุณสมบัติของสัญญาณ π / 4 *DQPSK*

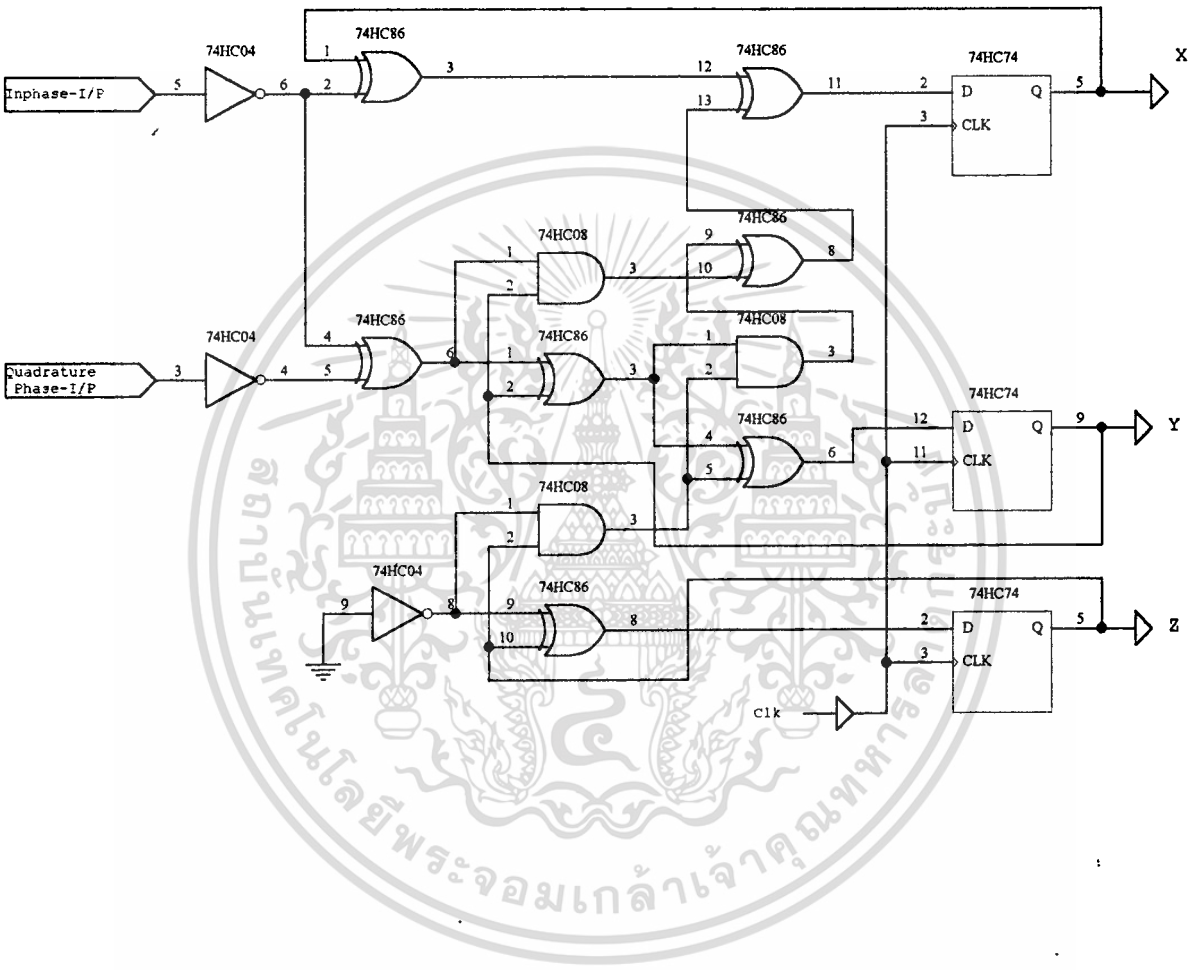
X	Y	Z	Q	Φ°
0	0	0	D0	0
0	0	1	D1	45
0	1	0	D2	90
0	1	1	D3	135
1	0	0	D4	180
1	0	1	D5	-135
1	1	0	D6	-90
1	1	1	D7	-45

ตารางที่ 3.3 แสดงการเลือกอินพุทของวงจรเลือก 8 อินพุท

A	B									ΔΦ
1	1	→	0	0	→	0	0	1	→	45°
1	0	→	0	1	→	0	1	1	→	135°
0	0	→	1	1	→	1	0	1	→	-135°
0	1	→	1	0	→	1	1	1	→	-45°

ตารางที่ 3.4 แสดงการเปลี่ยนจากข้อมูล 2 บิท เป็น 3 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงวงจรเข้ารหัสและวงจรหน่วงเวลาที่ใช้ในโครงงานนี้

3.6 วงจรกรองผ่านแถบความถี่ (BAND PASS FILTER)

เป็นวงจรกรองความถี่ที่ยอมให้ความถี่อยู่ในช่วง Low frequency cutoff กับ High frequency cutoff ผ่านไปได้เท่านั้น โดยส่วนความถี่ที่นอกเหนือจากนี้ไปจะไม่สามารถผ่านได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโครงงานนี้จะใช้วงจรกรองแบบแอกทีฟ(Active Filter) ซึ่งจัดวงจรแบบบัตเตอร์เวอธ (Butterworth filter) สำหรับการออกแบบเราจะกำหนดความถี่ที่ต้องการ คือความถี่คัทออฟทั้งทางด้านสูงและด้านต่ำ โดยมีขั้นตอนการออกแบบดังนี้

1. เลือกค่าความถี่ด้านต่ำเท่ากับ 400 kHz ความถี่ด้านสูงเท่ากับ 500 kHz เพราะในโครงงานนี้ใช้ความถี่เท่ากับ 450 kHz

2. เลือกค่าตัวเก็บประจุ

-ทางด้าน low pass filter ใช้ค่า 60 pF

-ทางด้าน high pass filter ใช้ค่า 20 pF

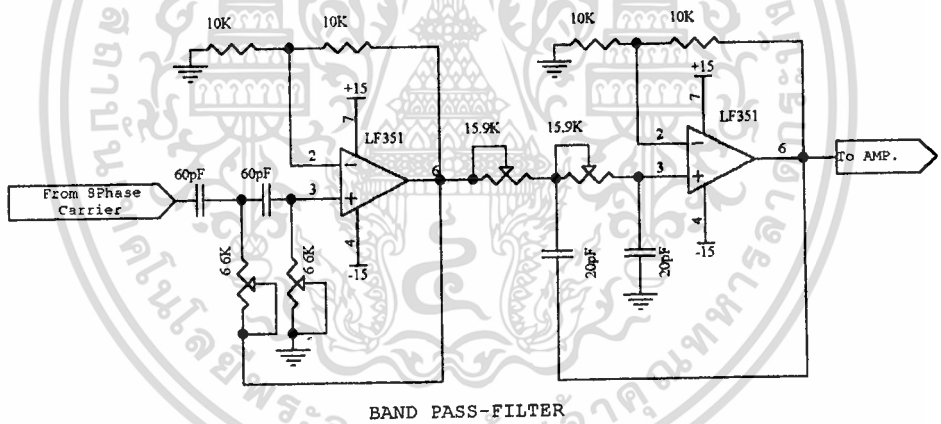
3. แทนค่าในสูตร

-ทางด้าน low pass filter $R=1/2\pi f_H C = 1/2\pi*400*10^{3}*60*10^{-12}$

จะได้ $R= 6.63\ k\Omega$

-ทางด้าน high pass filter $R=1/2\pi f_H C = 1/2\pi*500*10^{3}*20*10^{-12}$

จะได้ $R= 15.91\ k\Omega$



รูปที่ 3.8 แสดงวงจรผ่านย่านที่ใช้ในโครงงานนี้

3.7 วงจรขยายกำลัง

ในโครงงานนี้มีขั้นตอนการออกแบบวงจรขยายกำลังดังนี้

1. เลือกวงจรขยายในคลาสที่ต้องการ ในที่นี้เราจะใช้วงจรขยายคลาส A

2. ข้อกำหนดที่ต้องการคือ

-อัตราการขยายทางกระแส hfe = hFE = 100

-กระแสคอลเลคเตอร์สูงสุด 50 mA

-แรงดันคอลเลคเตอร์สูงสุด 25 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-อัตราขยายแรงดัน AV = -4

-ความต้านทานโหลดใช้งาน RL = 50 Ω

-ความต้านทานขาเข้า Ri ≥ 5 kΩ

-ช่องแกว่งของสัญญาณขาออก Vop-p = 2 Vp-p

3. ข้อกำหนดเกี่ยวกับการไบอัส

-การเปลี่ยนแปลงของกระแสคอลเลคเตอร์ $\Delta Ic/Ic \leq 10\%$

-การเปลี่ยนแปลงของอุณหภูมิ $\Delta T = 45^{\circ}C$

-ตัวประกอบเสถียรภาพการไบอัส S ≤ 10

-แหล่งจ่ายไฟตรง Vcc = 15 V

4. เนื่องจากค่า VCEmax > Vcc จึงไม่มีปัญหาการพังทลาย

5. ใช้สมการ $VE \geq \{|\Delta VBE| / (\Delta IC/IC)\} = [45^{\circ}C \times 2.5\ mV/^{\circ}C]/0.1 = 1.125$

6. เลือกค่ากระแสคอลเลคเตอร์ (IC) ให้มีค่าน้อย ๆ เพื่อการประหยัดไฟ โดยที่ IC ต้องน้อยกว่า Icmax โดยเราใช้ IC = 2 mA

จาก VE ≅ ICRE ≥ 1.125 V เลือกค่า RE = 680 Ω ซึ่งจะได้ VBE = 1.36 V จะได้อัตราขยาย ≅ -RE/RE = 4

7. คำนวณหา RL = 0.68×4 = 2.72 kΩ

8. RC = R'L *RL/(R'L-RL) = (2.7×6)/3.3 = 4.9 kΩ

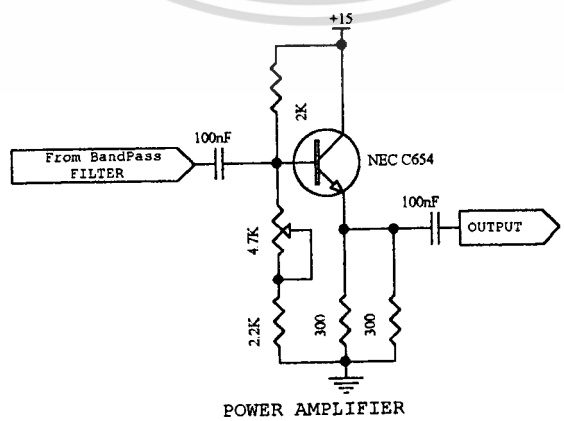
9. จาก VCE = VCC-IC(RC+RE) = 15-2×5.68 = 3.64 kΩ

10. ทำการออกแบบด้านเข้า S ≅ R2/RE เลือกค่า R2 = 6.8 kΩ

11. หากไม่สนใจกระแสเบส จะได้ VCC(R2/R1+R2) = VE + VBE แทนค่าแล้วจะได้

15×(6.8/6.8+R1) = 1.36 + 0.7 จะได้ R1 = 42.7 kΩ

12. ความต้านทานขาเข้า Ri = R1//R2//hfeRE = 5.33 kΩ>5 kΩ

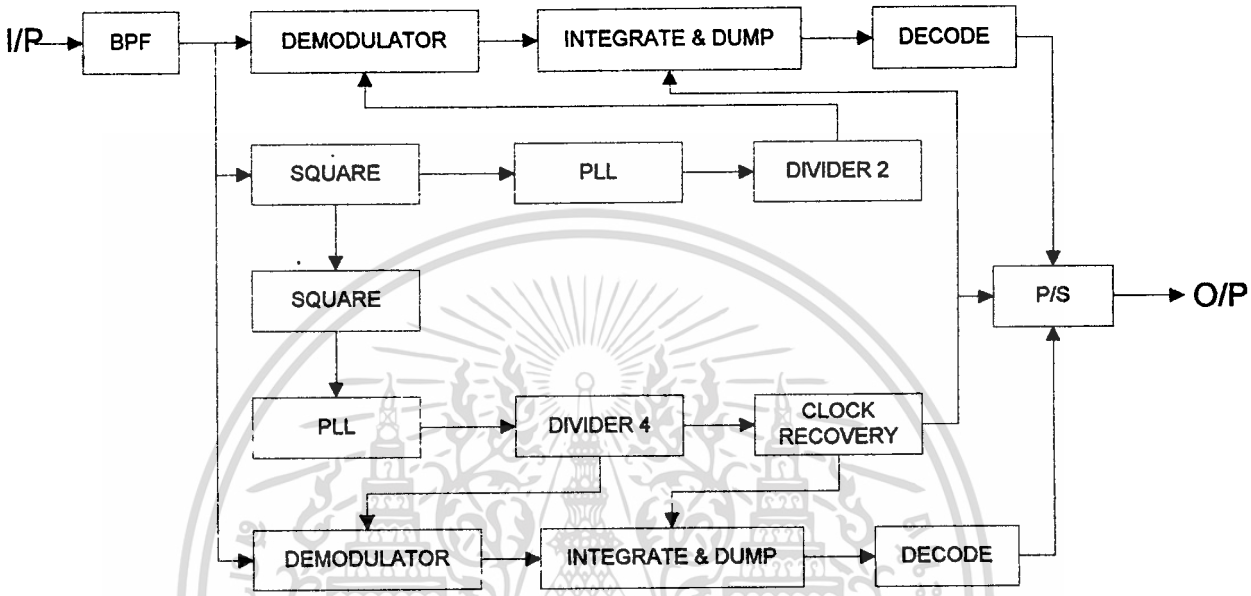


รูปที่ 3.9 วงจรขยายกำลังที่ใช้ในโครงงานนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบวงจรภาครับ



รูปที่ 4.1 บล็อกไดอะแกรมของวงจรภาครับ

4.1 วงจรกรองผ่านแถบความถี่ (BAND PASS FILTER)

เป็นวงจรกรองความถี่ที่ยอมให้ความถี่อยู่ในช่วง Low frequency cutoff กับ High frequency cutoff ผ่านไปได้เท่านั้น โดยส่วนความถี่ที่นอกเหนือจากนี้ไปจะไม่สามารถผ่านได้

ในโครงงานนี้จะใช้วงจรกรองแบบแอกทีฟ(Active Filter) ซึ่งจัดวงจรแบบบัตเตอร์เวอธ (Butterworth filter) สำหรับการออกแบบเราจะกำหนดความถี่ที่ต้องการ คือความถี่คัทออฟทั้งทางด้านสูงและด้านต่ำ โดยมีขั้นตอนการออกแบบดังนี้

1. เลือกค่าความถี่ด้านต่ำเท่ากับ 400 kHz ความถี่ด้านสูงเท่ากับ 500 kHz เพราะในโครงงานนี้ใช้ความถี่เท่ากับ 450 kHz

2. เลือกค่าตัวเก็บประจุ

-ทางด้าน low pass filter ใช้ค่า 60 pF

-ทางด้าน high pass filter ใช้ค่า 20 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

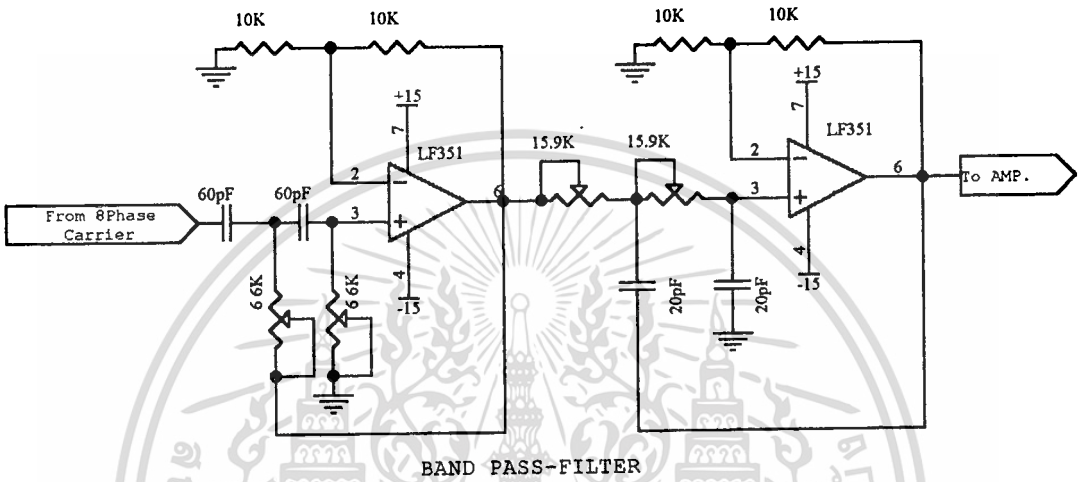
3. แทนค่าในสูตร

-ทางด้าน low pass filter $R=1/2\pi f_H C = 1/2\pi*400*10^3*60*10^{-12}$

จะได้ R= 6.63 kΩ

-ทางด้าน high pass filter $R=1/2\pi f_H C = 1/2\pi*500*10^3*20*10^{-12}$

จะได้ R= 15.91 kΩ



รูปที่ 4.2 แสดงวงจรกรองผ่านย่านที่ใช้ในโครงงานนี้

4.2 วงจรยกกำลังสองและยกกำลังสี่สัญญาณ

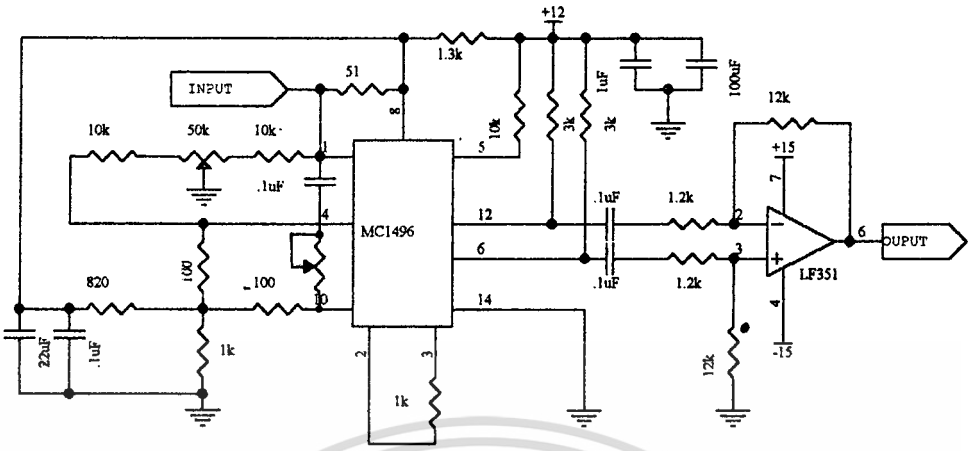
เป็นวงจรคูณสัญญาณที่นำสัญญาณชนิดเดียวกันป้อนที่ขา 1 และขา 10 ของ IC MC1496 ซึ่งเป็นการสร้างฮาร์โมนิกส์นั่นเองที่ขา 6 และขา 12 จะเป็นเอาท์พุทของวงจรยกกำลังสอง ความถี่ที่ได้จะเป็นสองเท่าของความถี่อินพุท ดังสมการ

$$\left(A\cos\left(2\pi f_c t+\phi\right)\right)^2$$

$$=\frac{A^2}{2}\left(1+\cos 4\pi f_c t\right)$$

ที่เอาท์พุทจะได้ความถี่เป็นสองเท่าของสัญญาณอินพุท จากนั้นก็นำสัญญาณที่เป็นสองเท่าป้อนให้กับวงจรยกกำลังสองอีกชุดหนึ่ง จะได้ความถี่เป็นสี่เท่าออกมา

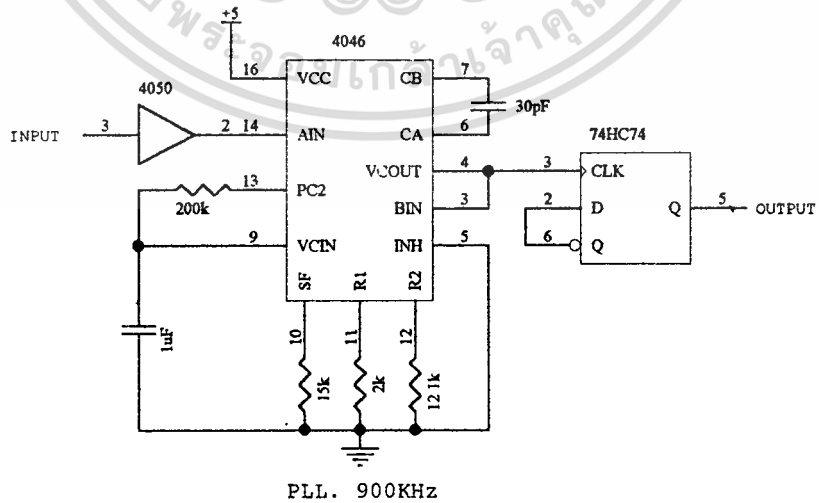
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 วงจรยกกำลังสองสัญญาณ

4.3 วงจรกู้สัญญาณคลื่นพาห์ด้าน I

เป็นวงจรที่ใช้ เฟสล็อกลูปทำหน้าที่ล็อกสัญญาณความถี่ ที่ส่งมาจากวงจร ยกกำลังสอง และที่เอ้าพุทของวงจรยกกำลังสองจะมีความถี่ฮาร์โมนิกส์ข้างเคียงเกิดขึ้น การล็อกความถี่จึงต้องออกแบบให้ล็อกอยู่ในช่วงความถี่ที่ต้องการ คืออยู่ในช่วง ความถี่ 900KHz เมื่อล็อกความถี่ที่ต้องการได้แล้ว จากนั้นก็นำไปหาร 2 จะได้ความถี่ 450KHz นำไปป้อนเป็นอินพุทของวงจรดีมอดต่อไป



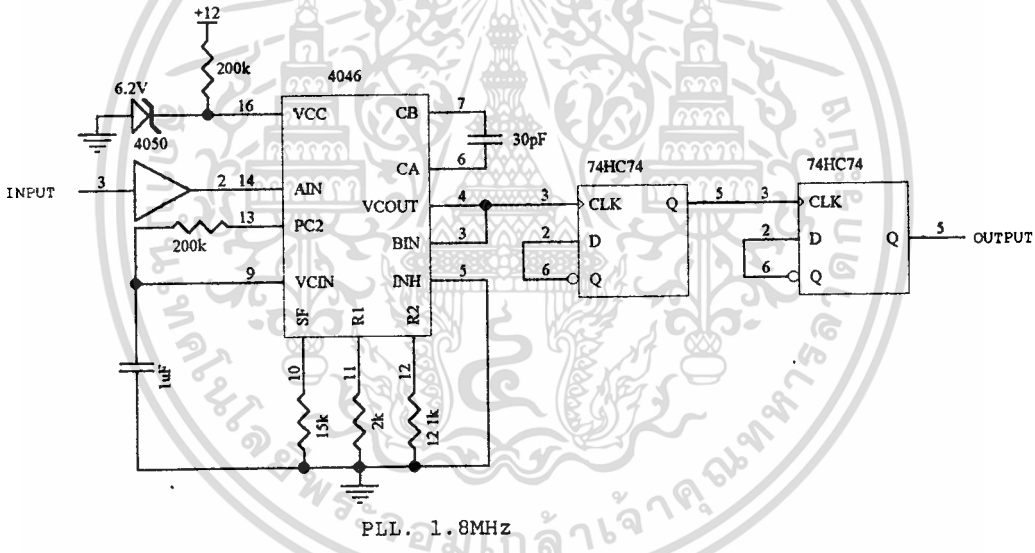
รูปที่ 4.4 วงจรกู้สัญญาณคลื่นพาห์ทางด้าน I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 วงจรกู้สัญญาณคลื่นพาห์ด้าน Q และวงจรกู้สัญญาณนาฬิกา

เป็นวงจรที่ใช้เฟสล็อกลูปทำหน้าที่ล็อกสัญญาณความถี่ ที่ส่งมาจากวงจรยกกำลังสี่ ความถี่ที่ล็อกจะเป็น 4 เท่าของความถี่ 450KHz นั่นคือความถี่ 1.8MHz สัญญาณความถี่ที่ส่งมาจากวงจรยกกำลังสี่จะมีสัญญาณฮาร์โมนิกส์ปนอยู่มาก ดังนั้นวงจรเฟสล็อกลูปจึงต้องล็อกเฉพาะช่วงความถี่ที่ต้องการเท่านั้น เมื่อล็อกความถี่ 1.8MHz ได้แล้วก็จะนำไปหาร 4 ความถี่ที่ได้นี้จะใช้เป็นสัญญาณนาฬิกา ซึ่งจะนำไปใช้ในวงจรอินทริเกรท&ดัมพ์ และวงจรรวมบิทสัญญาณความถี่ 1.8 MHz อีกส่วนหนึ่งก็จะถูกนำไปหาร 4 ได้ความถี่ 450KHz นำไปป้อนเป็นอินพุทของวงจรดีมอดดูเลเตอร์ทางด้าน Q

วงจรเฟสล็อกลูปที่ขา 16 จะใช้ไฟ 6.2 โวลท์ เพราะถ้าใช้ 5 โวลท์จะไม่สามารถล็อกความถี่ได้ถึง 1.8MHz แต่ถ้าใช้แรงดันเกินกว่า 6.2 โวลท์ จะเป็นผลเสียต่อด้านอินพุทของวงจรหาร 2 ที่ภาคต่อไป

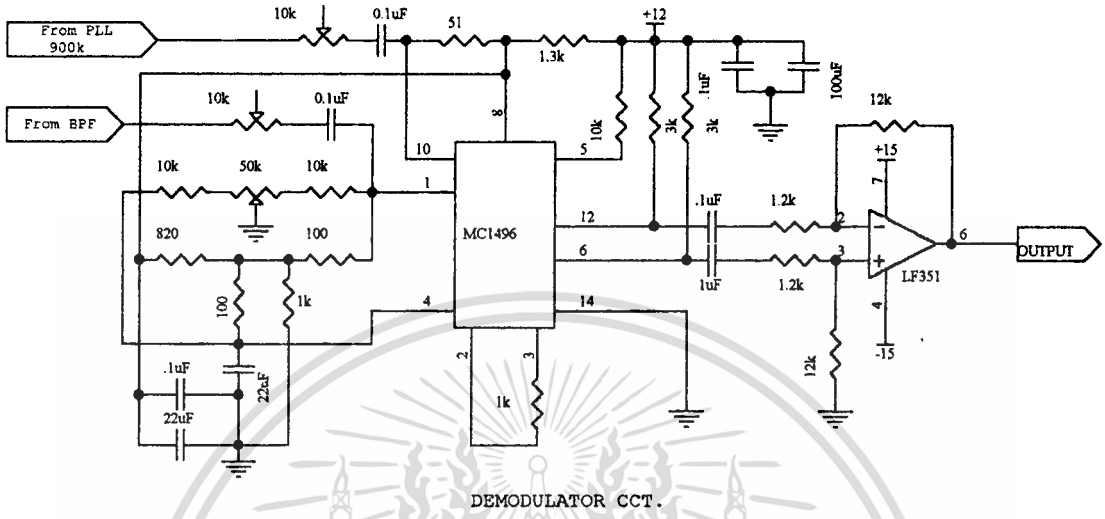


รูปที่ 4.5 วงจรกู้สัญญาณคลื่นพาห์ด้าน Q

4.5 วงจรดีมอดดูเลท

เป็นวงจรคูณสัญญาณ วงจรจะมีลักษณะเหมือนกันกับวงจรยกกำลังสอง แต่ต่างกันตรงที่ขา 10 และขา 11 ของวงจรดีมอดจะไม่ต่อรวมกัน ที่ขา 11 ของวงจรดีมอดจะได้รับสัญญาณ QPSK ส่วนขา 10 จะได้รับสัญญาณคลื่นพาห์ ดังรูป 4.6 ที่ขาเข้าพุท ขา 6 และขา 12 จะได้สัญญาณที่กลับเฟสกัน สัญญาณจะส่งไปขยายโดยออปแอมป์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

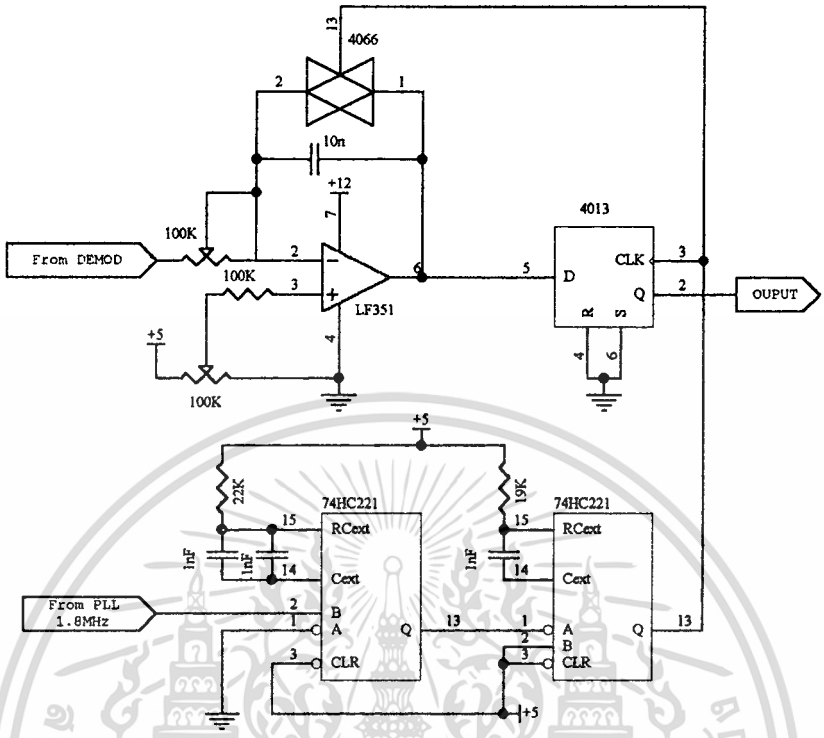


รูปที่ 4.6 วงจรดีมอดดูเลท

4.6 วงจรอินทีเกรท & ดัมพ์

เนื่องจากสัญญาณเบสแบนด์หลังจากการดีมอดดูเลท สัญญาณเบสแบนด์จะเกิดการสั่นทางเฟสเนื่องจากสัญญาณรบกวน เพื่อที่จะได้สัญญาณเบสแบนด์ที่แน่นอนทางภาครับเราจึงต้องทำการอินทีเกรทสัญญาณไปในช่วง 1 บิท เพื่อพิจารณาว่าสัญญาณเบสแบนด์จะมีระดับที่แน่นอนไปในทิศทางใด แล้วทำการตัดสินระดับที่ปลายช่วงเวลา 1 บิท และก่อนที่จะทำการอินทีเกรทสัญญาณลูกต่อไปต้องทำการรีเซ็ทหรือดัมพ์ ให้วงจรอินทีเกรทมีค่าศูนย์ทุกครั้ง วงจรอินทีเกรทและดัมพ์จะประกอบด้วย วงจรอินทีเกรเตอร์ วงจรฟลิบฟลอป วงจรอิเล็กทรอนิกส์สวิทช์ และวงจรสร้างซิงค์พัลซ์ โดยแสดงเป็นวงจรได้ดังรูป 4.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 วงจรอินทีเกรทและดัมพ์

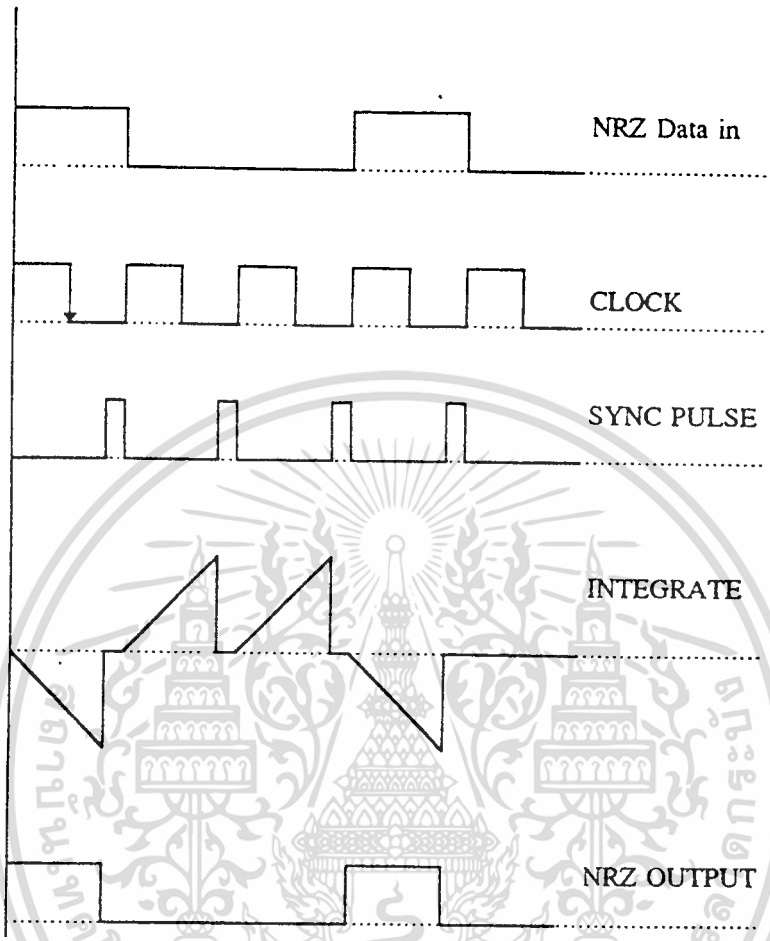
จากรูป 4.7 สัญญาณเบสแบนด์ที่เกิดการสั่นทางเฟสเกิดขึ้นโดยขนาดของ SNR ของสัญญาณที่อินพุทของวงจรดีมอดดูเลเตอร์ โดยสัญญาณเบสแบนด์ที่อินทีเกรทแสดงดังรูป 4.7 ซึ่งเป็นเอาท์พุทของวงจรอินเวอร์ติ้งอินทีเกรท จากรูปจะเห็นว่าที่ปลายช่วงสัญญาณแต่ละช่วงจะถูกรีเซ็ทโดยสัญญาณซิงค์พัลส์ ซึ่งสัญญาณซิงค์พัลส์จะได้จากวงจรกู้สัญญาณนาฬิกา สำหรับเอาท์พุทของวงจรอินเวอร์ติ้งอินทีเกรเตอร์ จะป้อนให้กับฟลิปฟลอปเพื่อเป็นตัวตัดสินระดับของลอจิกโดยเอาท์พุทของฟลิปฟลอปจะให้สัญญาณเบสแบนด์ที่ถูกหน่วงเวลาไป 1 บิท ดังแสดงในรูป โดยขนาดการสั่นของสัญญาณเบสแบนด์จะลดลง

โดยสมการแสดงเอาท์พุทของวงจรอินทีเกรเตอร์แสดงได้ว่า

$$V_0(t) = \frac{1}{RC}\int_0^t V_{in}(t)dt$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย RC เป็นค่าเวลาคงตัวของวงจรอินทีเกรเตอร์ เพื่อให้ค่าแรงดันที่เอาท์พุทของวงจรอินทีเกรเตอร์มีค่าสูงสุดในช่วงเวลา 1 บิท ค่า RC กำหนดให้เท่ากับช่วงเวลา 1 บิท ซึ่งเท่ากับ 10 μs



รูปที่ 4.8 แสดงสัญญาณที่จุดต่างๆ ของวงจรอินทีเกรทและดัมพ์

สำหรับบิทเรทขนาด 100 kbit/sec จากสมการข้างบนถ้ากำหนดค่า C เท่ากับ 1 nF จะได้ค่า R เท่ากับ 10 kΩ สำหรับวงจรสร้างซิงค์พัลส์ที่ใช้สำหรับสุ่มเพื่อตัดสินค่าระดับลอจิกของสัญญาณและทำการรีเซทวงจรอินทีเกรเตอร์ สำหรับซิงค์พัลส์สร้างจากการหน่วงสัญญาณนาฬิกาที่ได้จากการกู้สัญญาณนาฬิกา โดยซิงค์พัลส์จะเกิดในช่วงปลายของสัญญาณ NRZ แต่ละลูก โดยเป็นพัลส์ขนาดแคบ ๆ การหน่วงเวลาและการทำให้พัลส์มีขนาดแคบ ใช้วงจรโมโนสเตเบิ้ลจำนวน 2 ชุด โดยใช้วงจรรวม 74221 โดยอินพุทของสัญญาณนาฬิกาเป็นอินพุทของวงจรโมโนสเตเบิ้ลตัวหนึ่ง กำหนดให้ทำงานที่อินพุทขอบขาขึ้น โดยตั้งเวลาให้หน่วงเวลาเท่ากับ 200 μs โดยช่วงเวลากำหนดได้จากสมการ

$$T\omega = 0.7RtCt$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TΩ เป็นช่วงเวลาอินพุทของวงจรโมโนสเตเบิ้ล

RtCt เป็นค่าความต้านทานและค่าตัวเก็บประจุต่อที่ขา Rcext ของวงจร โมโนสเตเบิ้ล

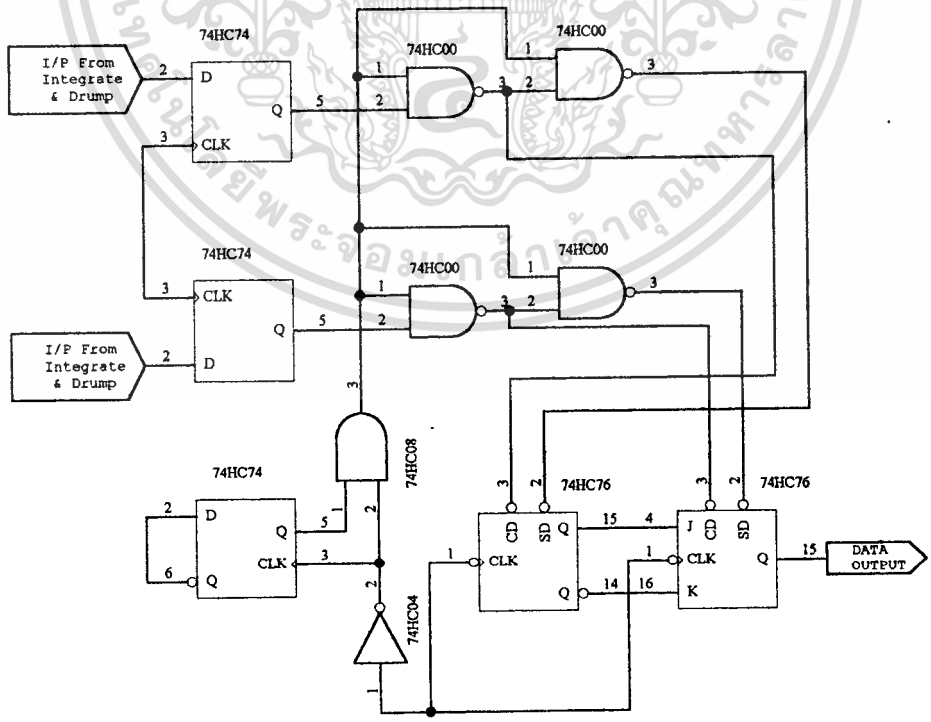
โดยวงจรโมโนสเตเบิ้ลตัวที่ 2 จะสร้างซิงค์พัลส์ ซึ่งกำหนดให้อินพุททำงานที่ขอบขาลง โดยช่วงเวลาจะมีขนาดประมาณ 10 μs หากกำหนดสำหรับวงจรโมโนสเตเบิ้ลตัวที่ 1 มีค่าเท่ากับ 0.01 μF และค่า R มีค่าท่ากับ 28.5 kΩ และสำหรับวงจรโมโนสเตเบิ้ลตัวที่ 2 เท่ากับ 0.001 μF แล้ว ค่า R มีค่าเท่ากับ 11.4 kΩ

4.7 วงจรรวมบิท

เป็นวงจรที่ทำหน้าที่ในการรวมสัญญาณบิทคี่และบิทคู่(inphase และ quadrature-phase) จากสัญญาณเชิงเลขแบบขนาน ไปเป็นสัญญาณเชิงเลขแบบอนุกรม โดยอาศัยการควบคุมจังหวะการทำงานของตัวฟลิบฟลอบจากสัญญาณนาฬิกา ที่ได้มาจากวงจรกู้สัญญาณนาฬิกา

สัญญาณเชิงเลขที่ได้มาจากภาคส่งจะเป็นเกรย์โค้ด เราจึงต้องทำการแปลงให้เป็นสัญญาณไบนารี่โค้ด โดยใช้หลักการของเอ็กคลูซีฟออร์

วงจรหน่วงเวลา 2 บิท จะทำหน้าที่ในการบังคับฟลิบฟลอบให้มีจังหวะพอดีกับความต้องการรับข้อมูลของเจเค-ฟลิบฟลอบ เพื่อให้เอาท์พุทเหมือนกันกับข้อมูลที่รับเข้ามา โดยผ่านการควบคุมที่ขา preset และขา clear ของเจเค-ฟลิบฟลอบแต่ละตัว เมื่อเจเค-ฟลิบฟลอบรับข้อมูลนั้นไปแล้วควรใช้เวลาเพียงพัลส์เดียวเท่านั้น



รูปที่ 4.9 แสดงวงจรรวมบิทที่ใช้ในโครงงานนี้

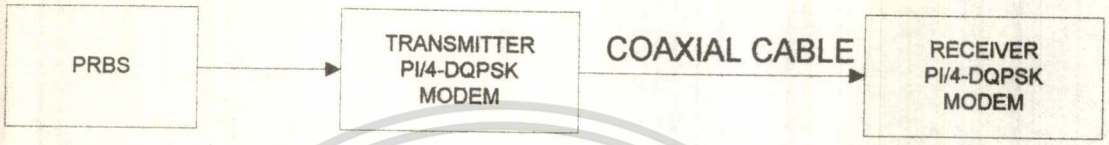
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

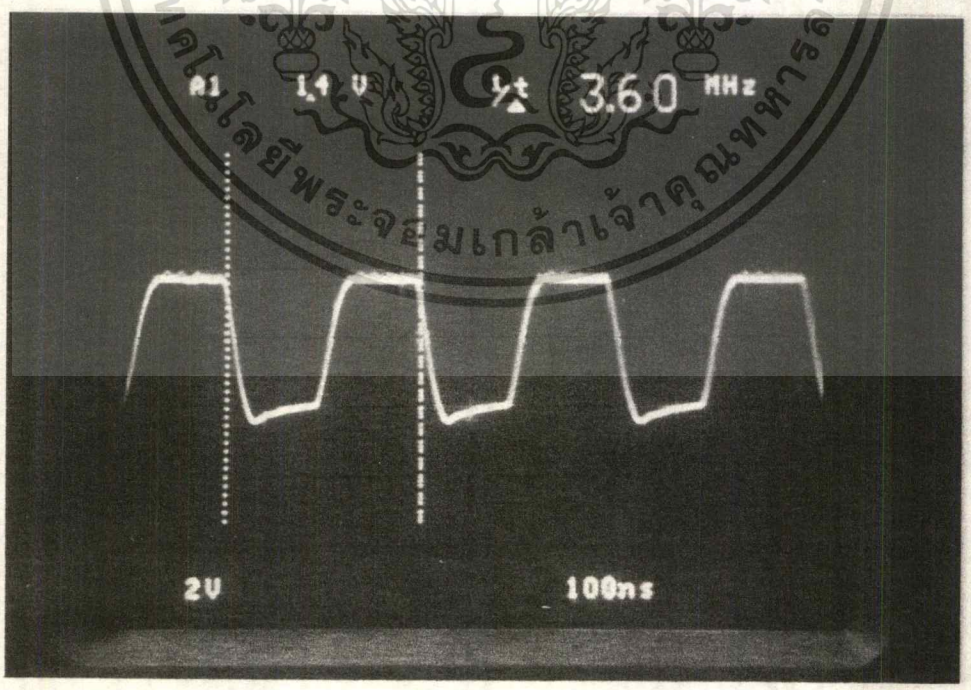
ผลการทดลอง

ผลการทดลองทางด้านภาคส่ง

ทำการต่อสัญญาณตามรูปข้างล่างและทำการวัดสัญญาณต่าง ๆ ได้ผลดังนี้

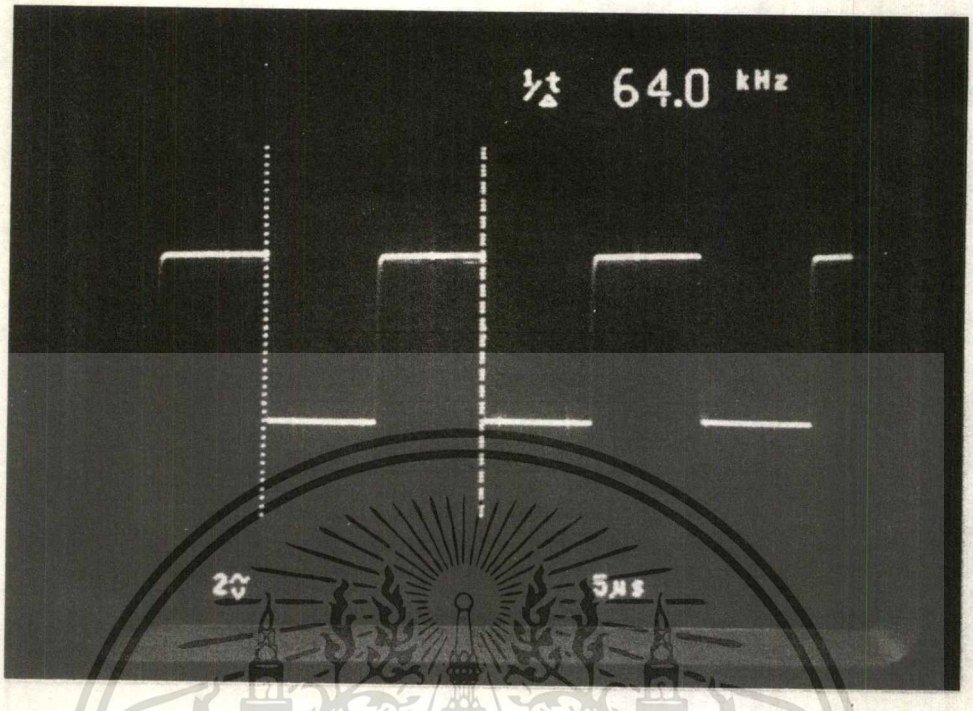


1.สัญญาณ CLOCK ที่ได้จากวงจรสร้างสัญญาณนาฬิกา แสดงในรูปที่ 5.1



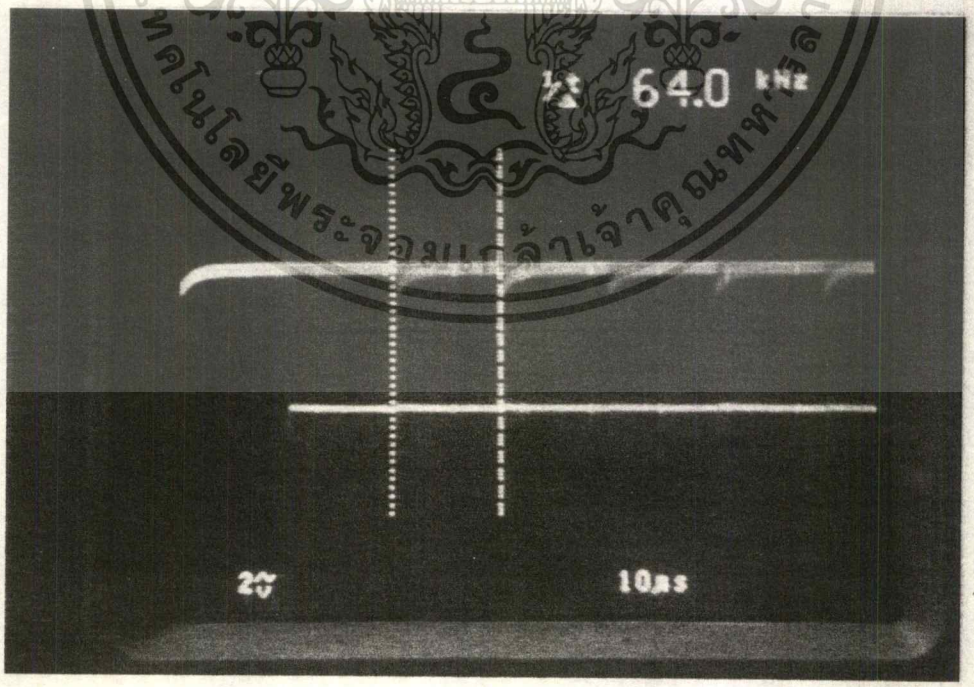
รูปที่ 5.1.1 CLOCK 3.6 MHz ที่ได้จากวงจรสร้าง CLOCK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



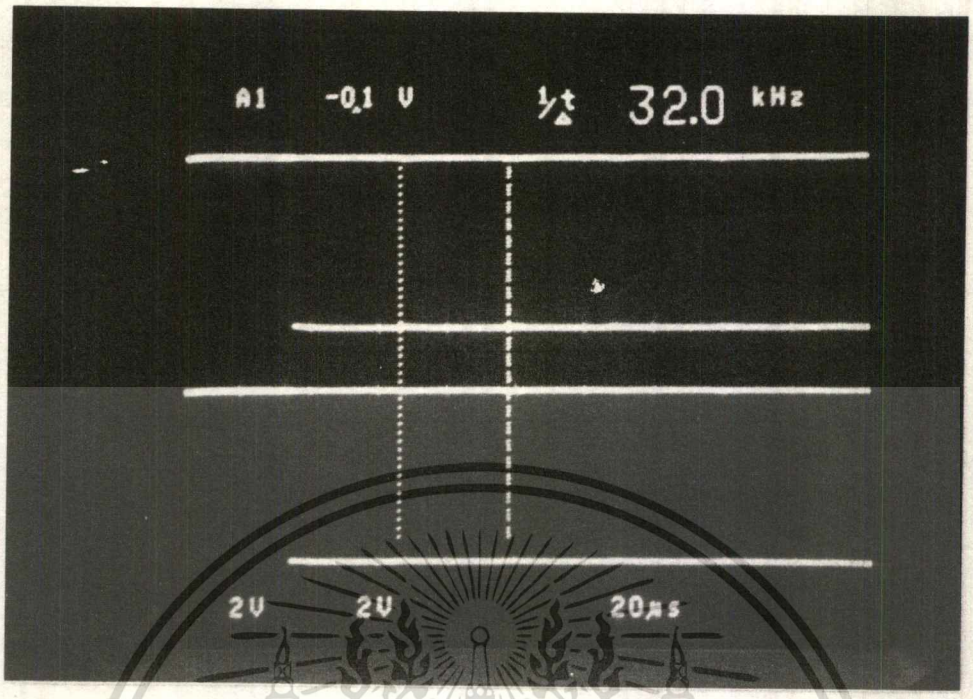
รูปที่ 5.1.2 CLOCK 64 kHz ที่ได้จากวงจรสร้าง CLOCK

2. สัญญาณ NRZ ที่ผ่านวงจรแยกบิทด้านบิทคู่และบิทคี่ แสดงในรูปที่ 5.2



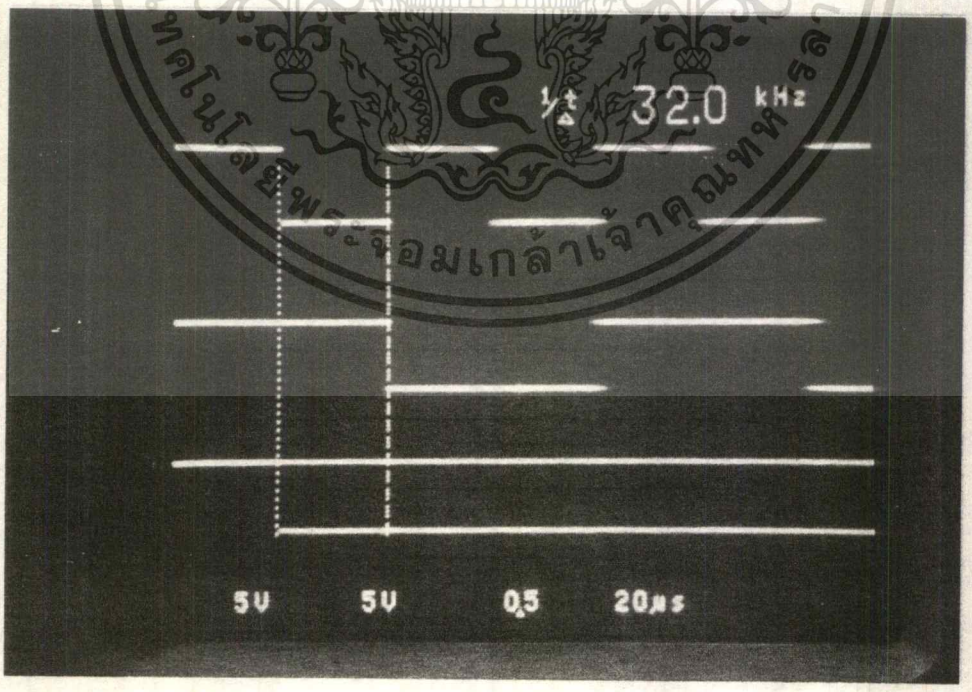
รูปที่ 5.2.1 สัญญาณ NRZ ก่อนเข้าวงจรแยกบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2.2 สัญญาณ NRZ ที่ถูกแยกเป็นบิทคู่และบิทคี่

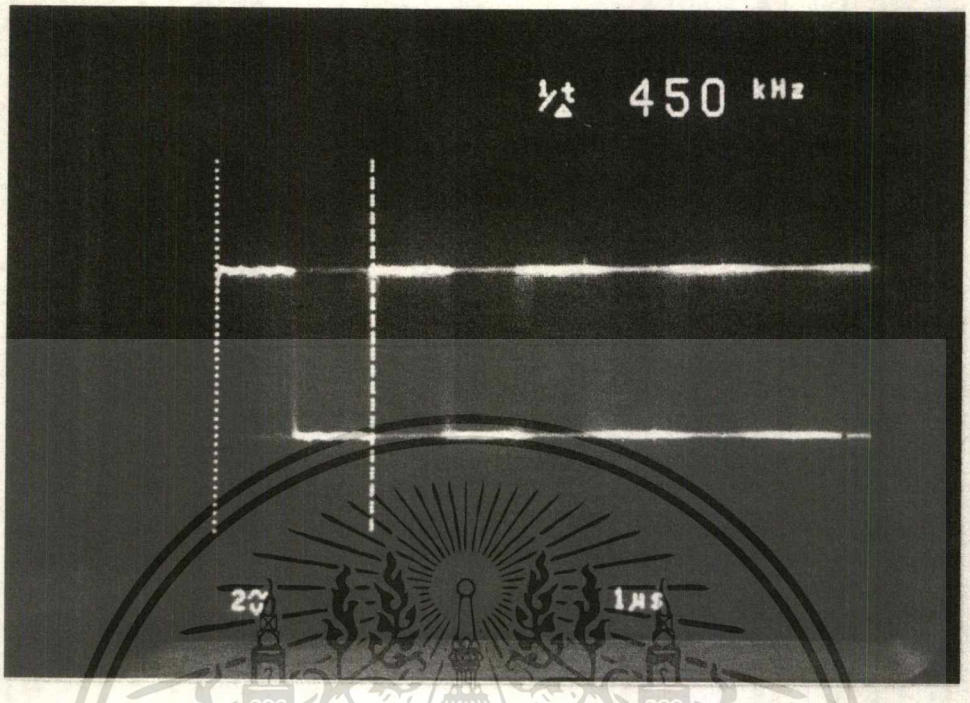
3.สัญญาณที่จะนำไปทำการเลือกเฟสออกทางเอาท์พุท แสดงในรูปที่ 5.3



รูปที่ 5.3 สัญญาณที่จะนำไปเลือกเฟสออกทางเอาท์พุท

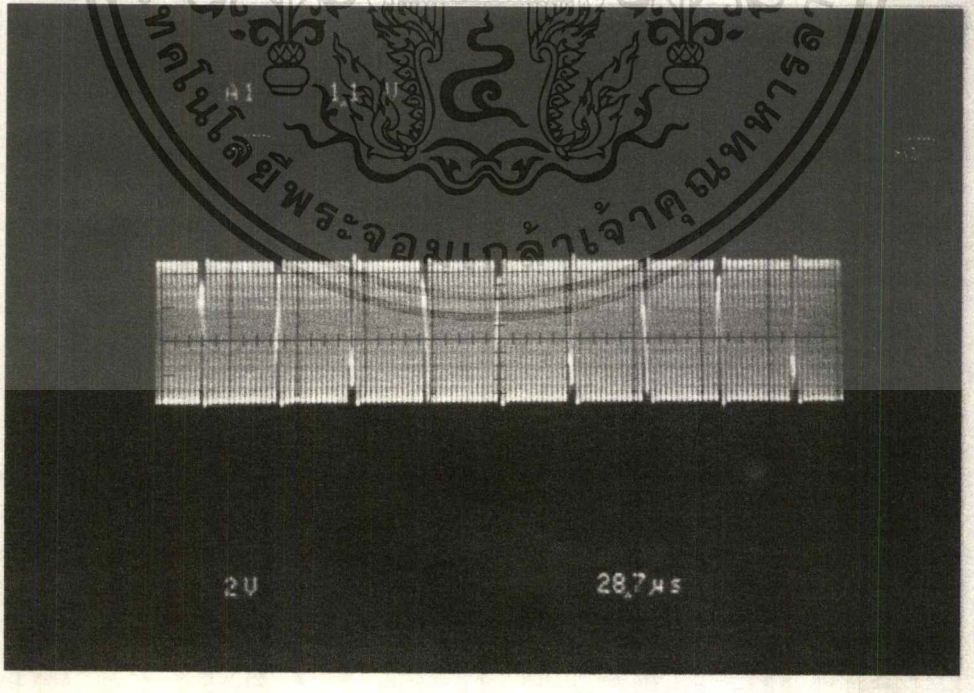
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.สัญญาณดิจิตอลที่ทำการมอดดูเลทแล้ว แสดงในรูปที่ 5.4



รูปที่ 5.4 สัญญาณดิจิตอลที่ทำการมอดดูเลทแล้ว

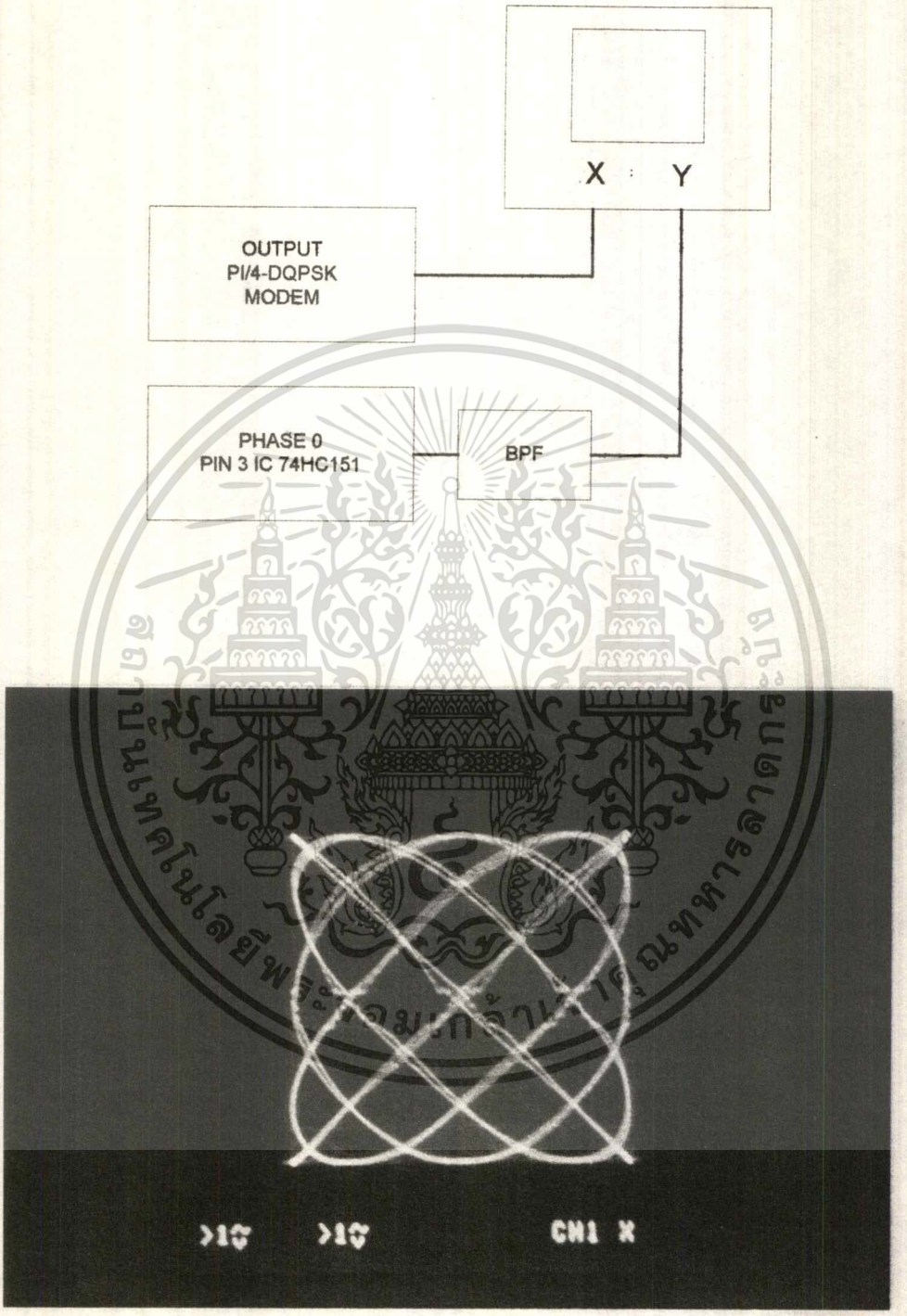
5. สัญญาณ DQPSK ที่ส่งออกไปตามสายโคแอกเชียล แสดงในรูปที่ 5.5



รูปที่ 5.5 สัญญาณ DQPSK ที่ส่งออกไปตามสายโคแอกเชียล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. การวัดการเปลี่ยนแปลงเฟสของสัญญาณ DQPSK ทำโดยต่อสัญญาณดังรูป

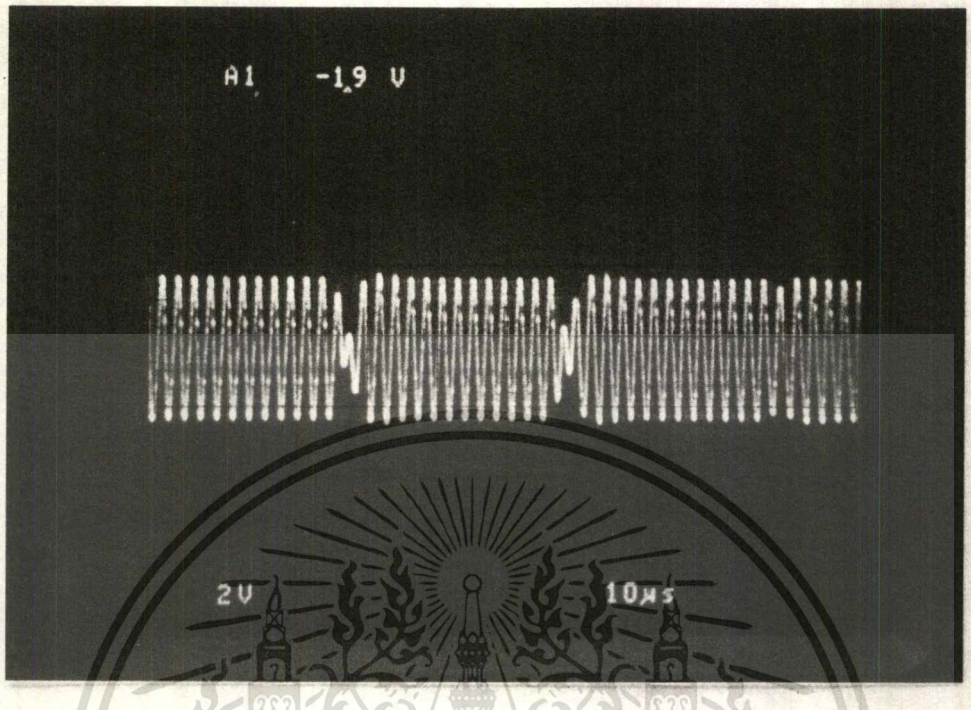


รูปที่ 5.6 การวัดการเปลี่ยนแปลงเฟสของสัญญาณ DQPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

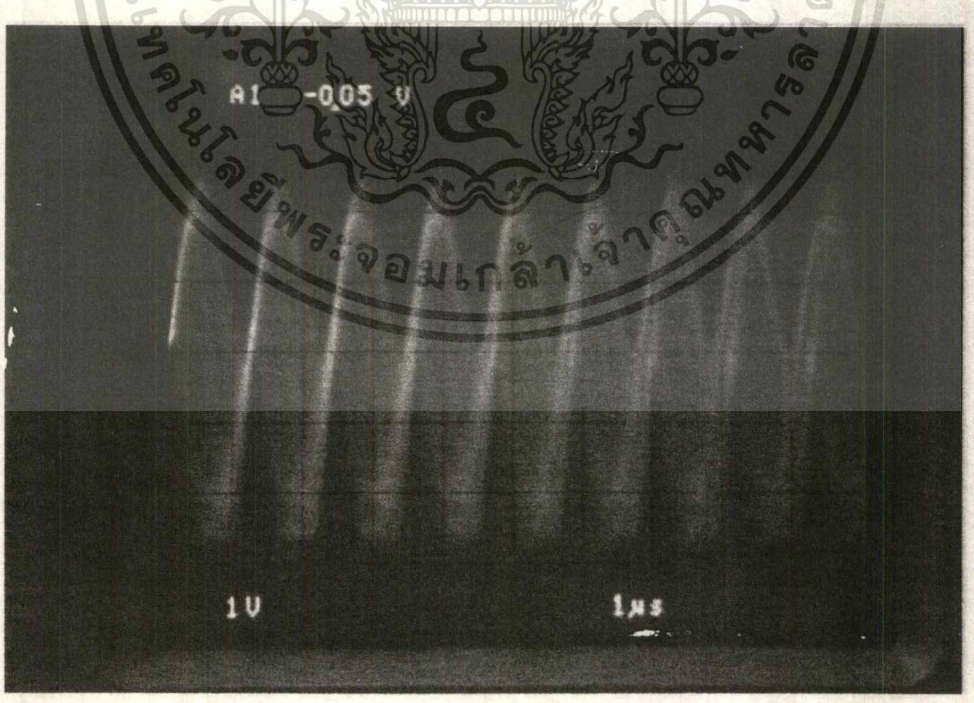
ผลการทดลองทางด้านภาครับ

7. สัญญาณที่รับได้ที่ผ่านวงจร BAND PASS FILTER แล้ว แสดงในรูปที่ 5.7



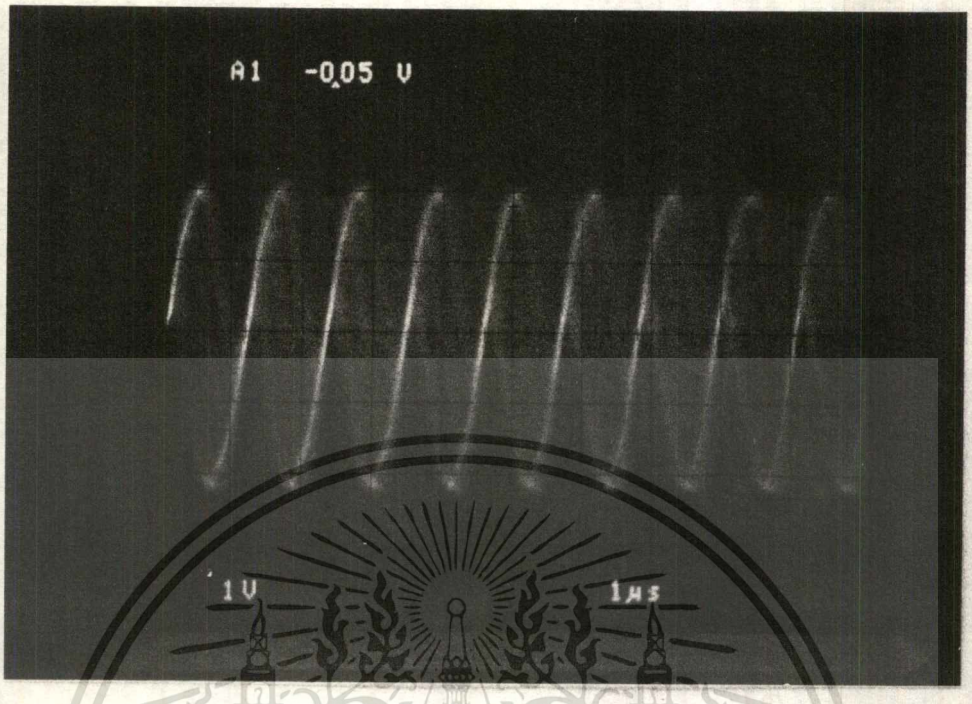
รูปที่ 5.7 สัญญาณที่รับได้ที่ผ่านวงจร BAND PASS FILTER แล้ว

8. สัญญาณด้าน I และด้าน Q ที่ผ่านวงจรดีมอดดูเลทแล้ว แสดงในรูปที่ 5.8



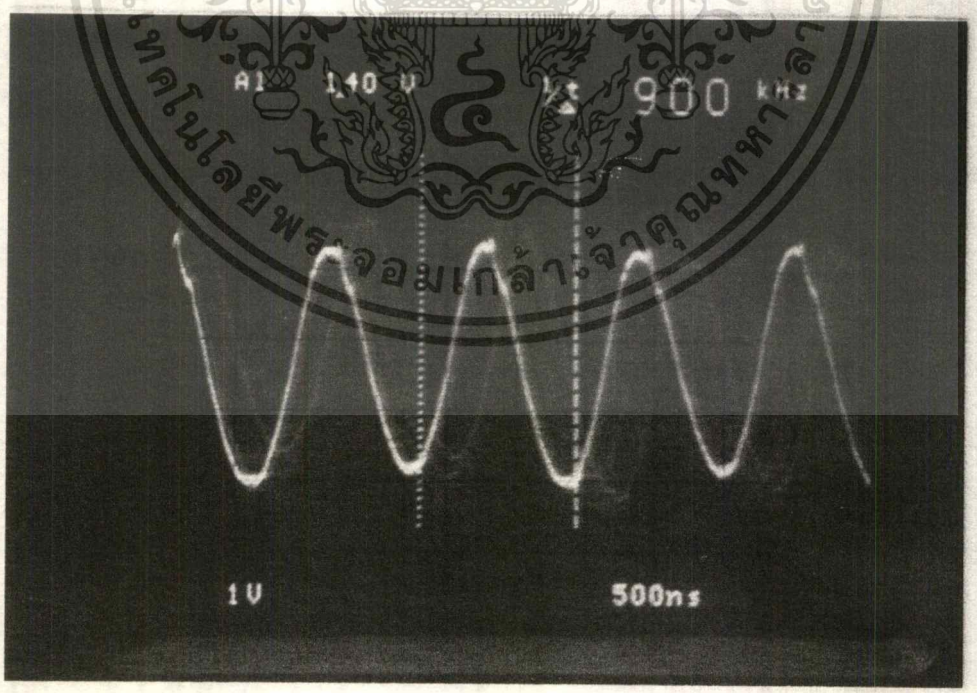
รูปที่ 5.8.1 สัญญาณทางด้าน I ที่ผ่านวงจรดีมอดดูเลเตอร์แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



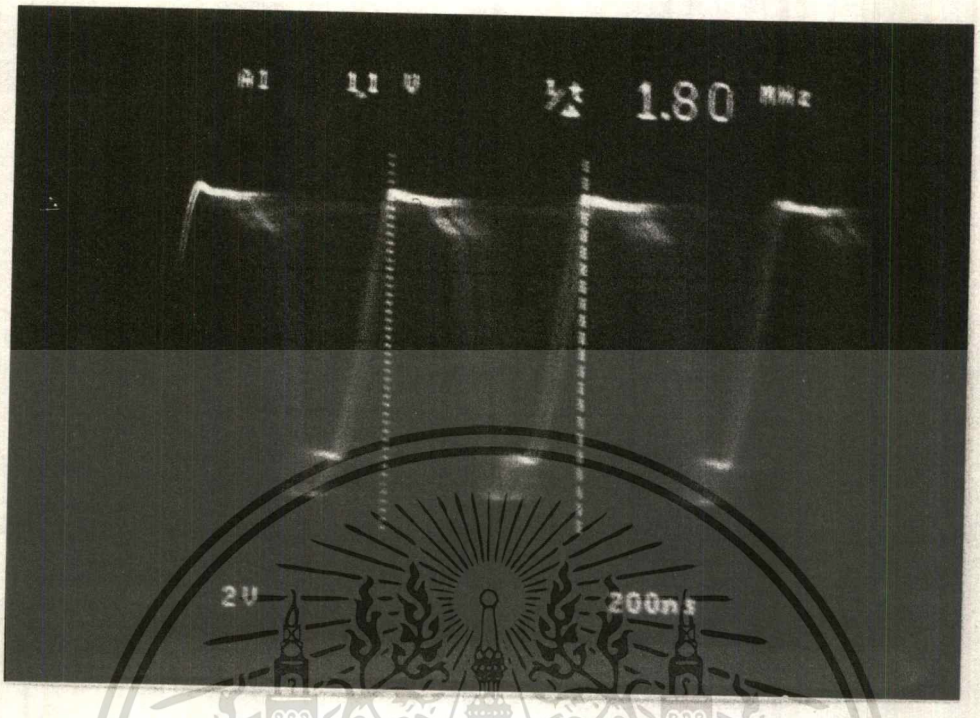
รูปที่ 5.8.2 สัญญาณทางด้าน Q ที่ผ่านวงจรดีมอดดูเลเตอร์แล้ว

9. สัญญาณที่ได้จากวงจรยกกำลังสองและวงจรยกกำลังสี่ แสดงในรูปที่ 5.9



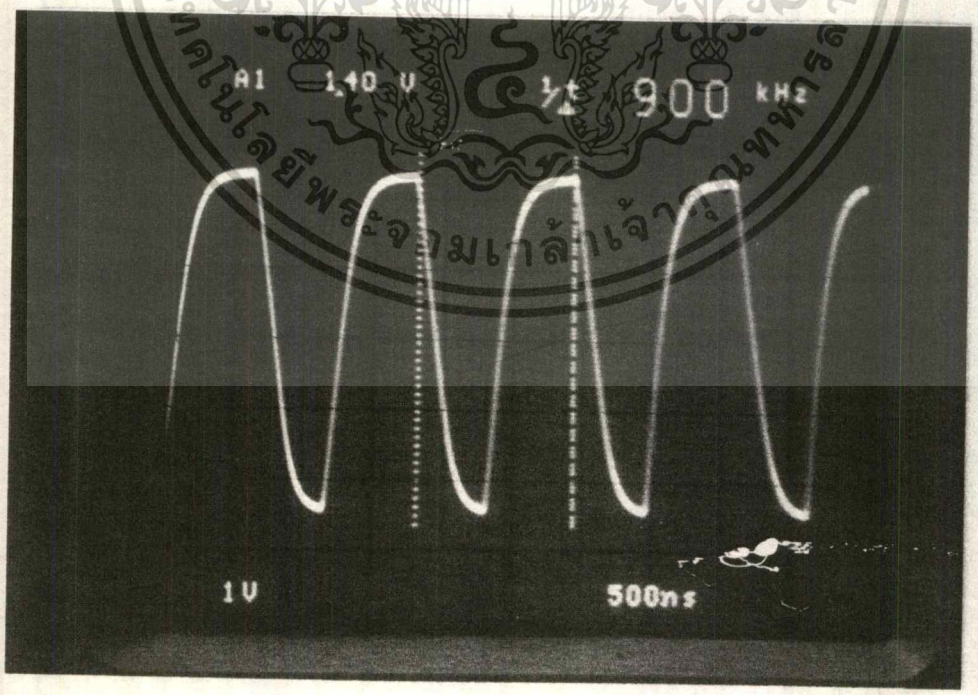
รูปที่ 5.9.1 สัญญาณที่ได้จากวงจรยกกำลังสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



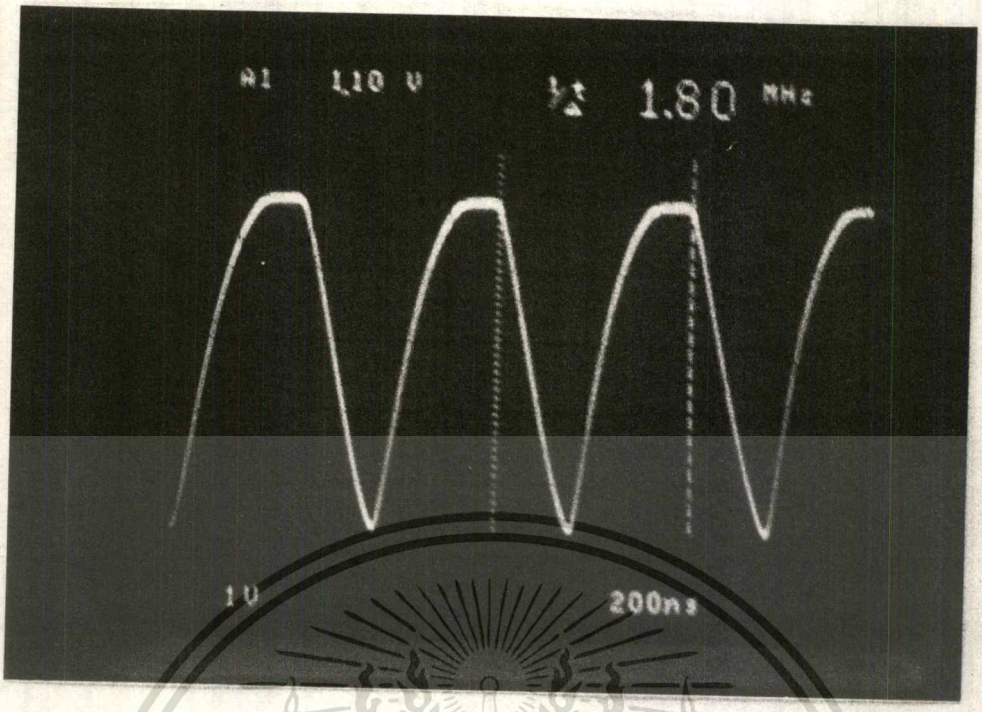
รูปที่ 5.9.2 สัญญาณที่ได้จากวงจรยกกำลังสี่

10. สัญญาณที่ได้จากวงจรเฟสล็อกลูปที่ได้จากวงจรยกกำลังสอง แสดงในรูปที่ 5.10



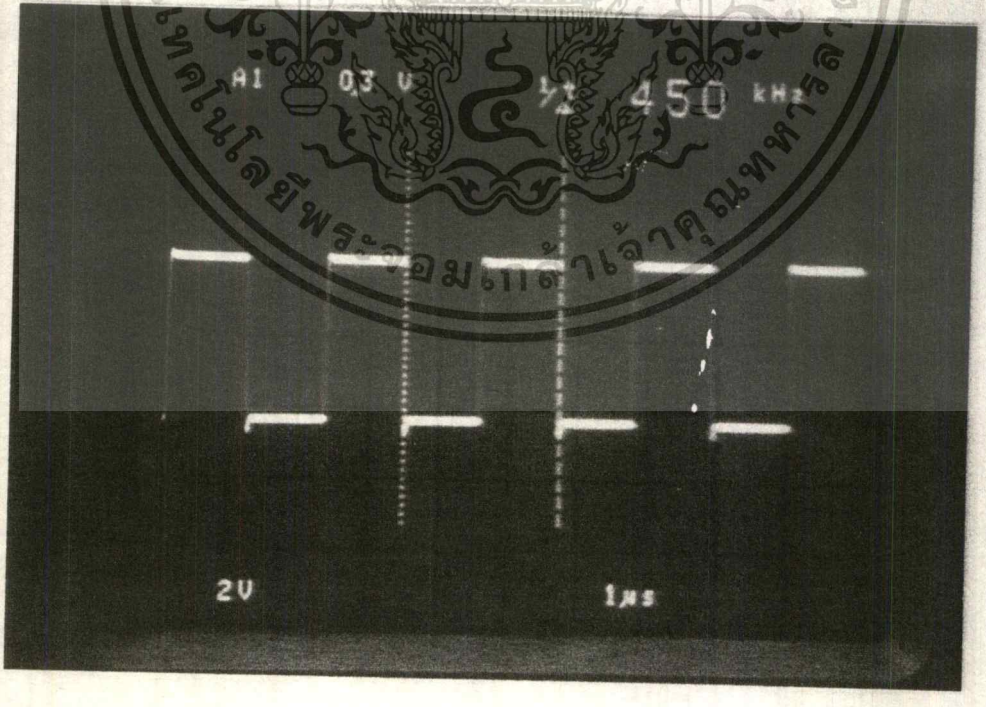
รูปที่ 5.10.1สัญญาณที่ได้จากวงจรเฟสล็อกลูปที่ได้จากวงจรยกกำลังสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



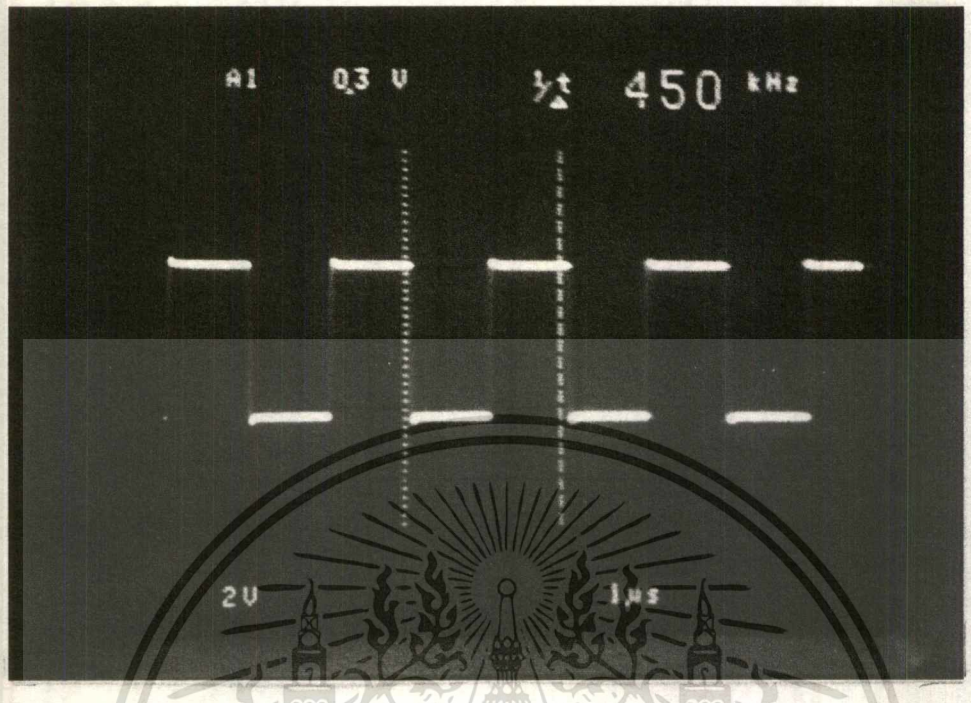
รูปที่ 5.10.2 สัญญาณที่ได้จากวงจรเฟสล็อกลูปที่ได้จากวงจรยกกำลังสี่

11. รูปคลื่นที่ได้จากวงจรกู้สัญญาณคลื่นพาห์ทางด้าน I และด้าน Q แสดงในรูปที่ 5.11



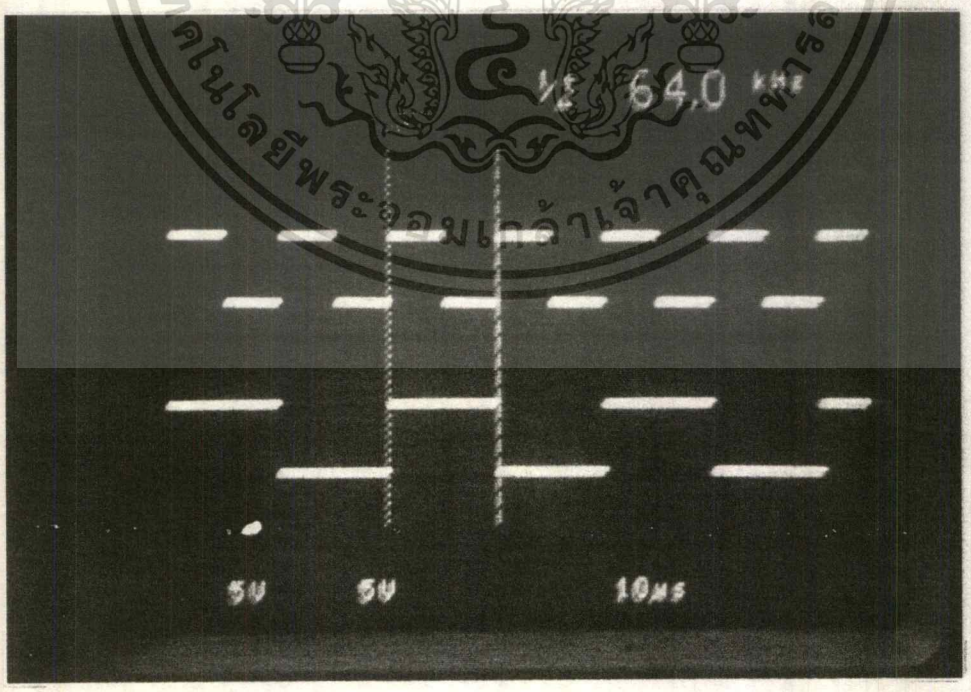
รูปที่ 5.11.1 รูปคลื่นที่ได้จากวงจรกู้สัญญาณคลื่นพาห์ทางด้าน I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11.2 รูปคลื่นที่ได้จากวงจรกู้สัญญาณคลื่นพาห์ทางด้าน Q

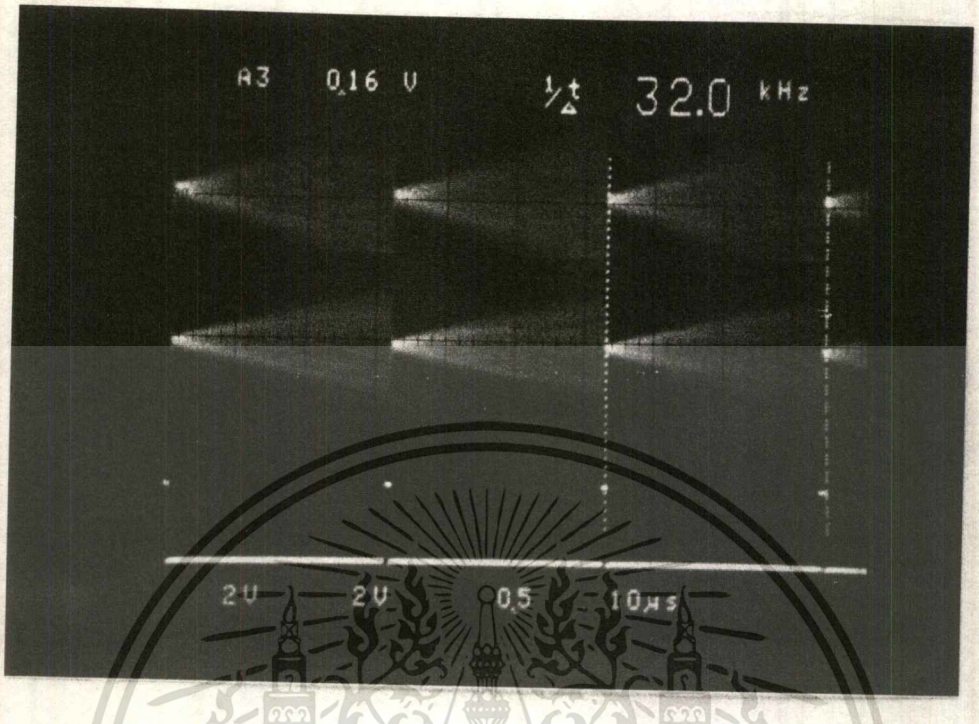
12. สัญญาณที่ได้จากวงจรกู้ CLOCK 32 kHz และ 64 kHz แสดงในรูปที่ 5.12



รูปที่ 5.12 สัญญาณที่ได้จากวงจรกู้ CLOCK 32 kHz และ 64 kHz

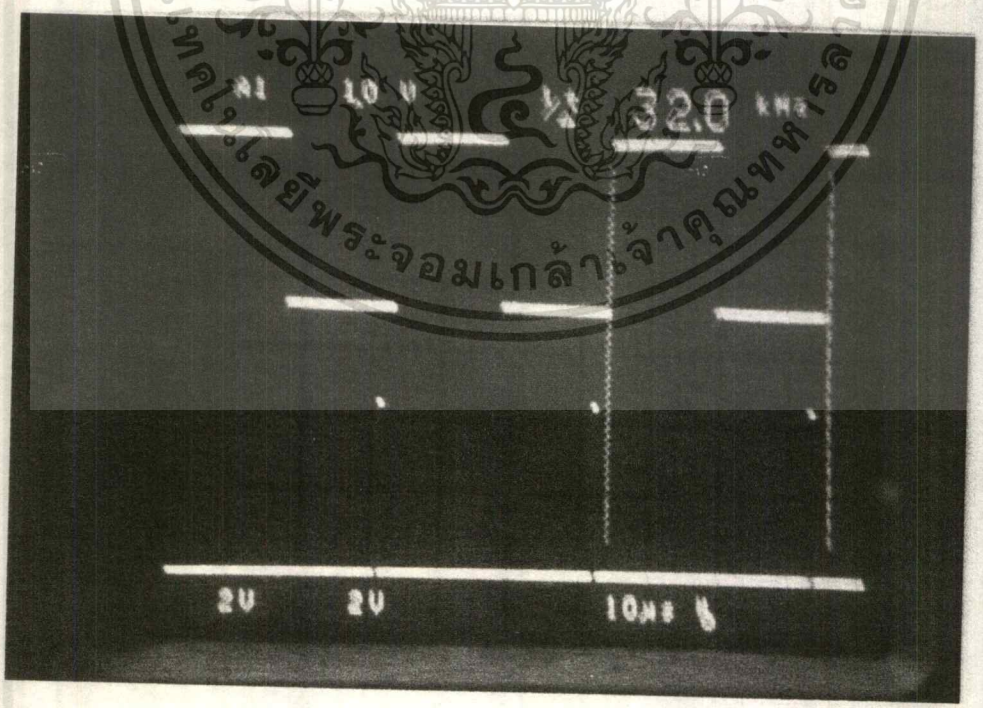
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

13.สัญญาณที่ได้จากวงจรอินทีเกรทและดัมพ์ ทางด้าน I และ Q แสดงในรูปที่ 5.13



รูปที่ 5.13 สัญญาณที่ได้จากวงจรอินทีเกรทและดัมพ์ ทางด้าน I และ Q

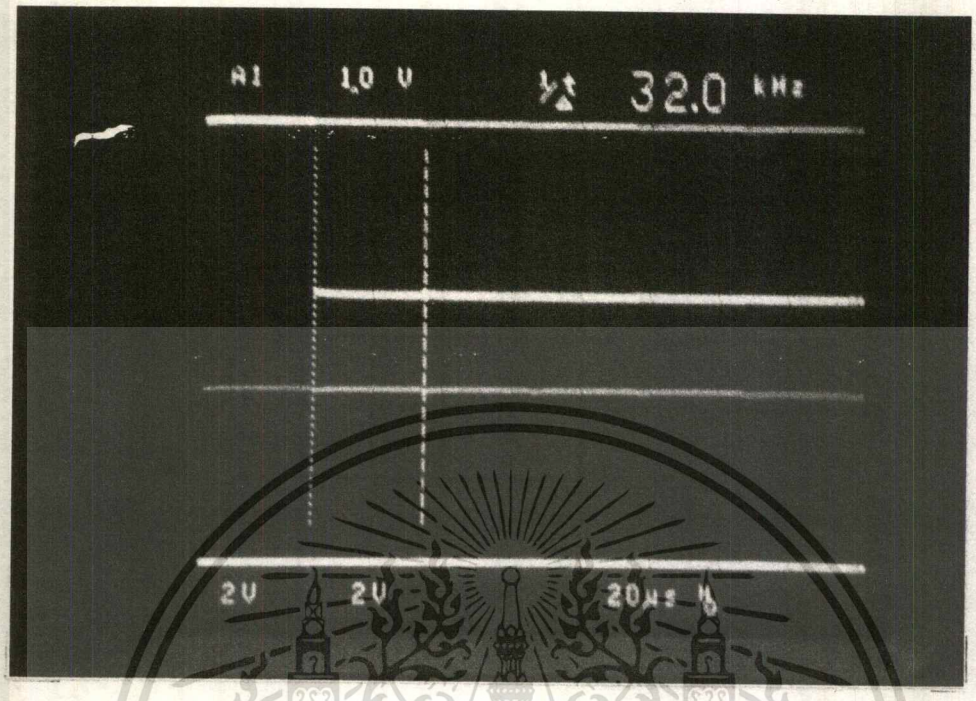
14. สัญญาณซิงโครนัสพัลส์ แสดงในรูปที่ 5.14



รูปที่ 5.14 แสดง สัญญาณซิงโครนัสพัลส์

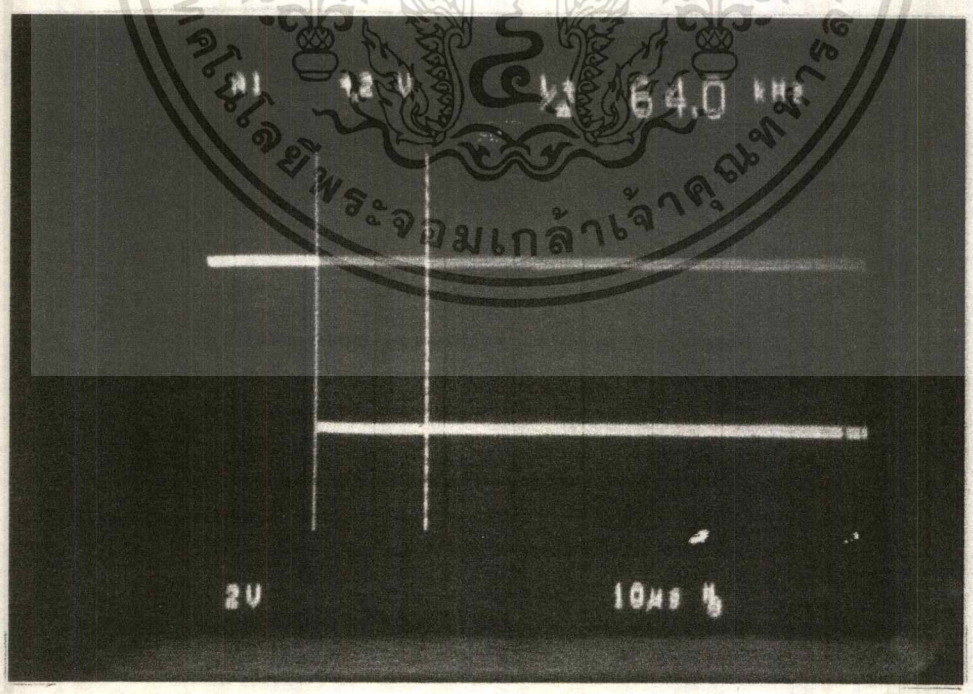
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

15. สัญญาณด้าน I และ Q ก่อนเข้าวงจรรวมบิท แสดงในรูปที่ 5.15



รูปที่ 5.15 แสดงสัญญาณด้าน I และ Q ก่อนเข้าวงจรรวมบิท

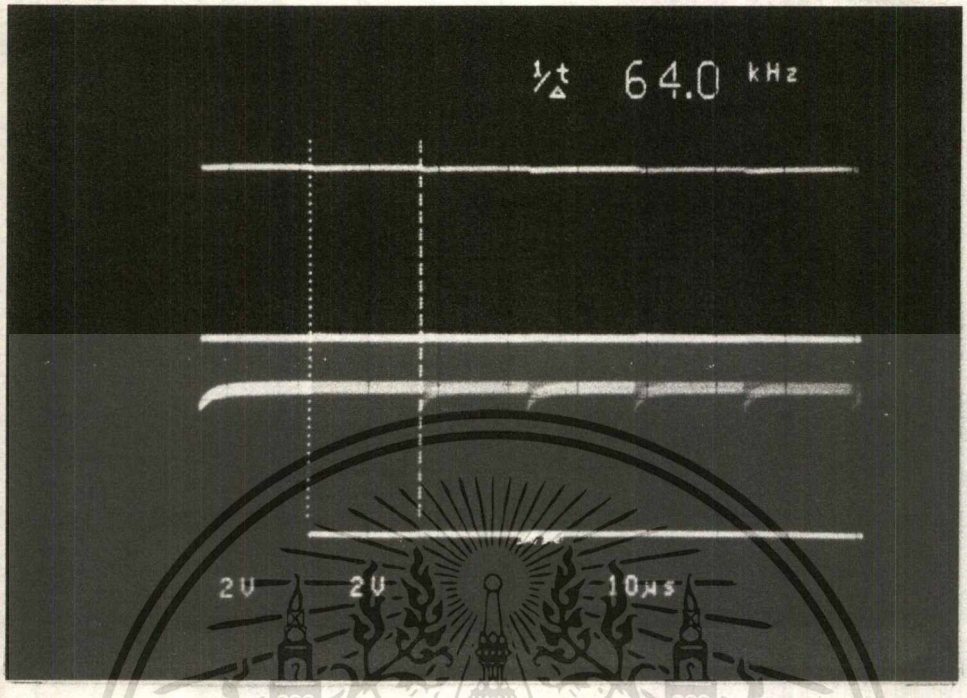
16. สัญญาณด้าน Iและ Q ที่ผ่านวงจรรวมบิทแล้ว แสดงในรูปที่ 5.16



รูปที่ 5.16 แสดงสัญญาณด้าน Iและ Q ที่ผ่านวงจรรวมบิทแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

17.การเปรียบเทียบระหว่างสัญญาณ NRZ ทางด้านภาคส่ง และทางภาครับ



รูปที่ 5.17 แสดงการเปรียบเทียบระหว่างสัญญาณ NRZ ทางด้านภาคส่ง และทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลการทดลอง

การสื่อสารข้อมูลโดยใช้การส่งข้อมูลแบบ π/4-DQPSK ซึ่งการส่งข้อมูลจะมีเฟสของสัญญาณเปลี่ยนแปลง 8 เฟส ตามข้อมูลที่เปลี่ยนไป สามารถสรุปผลการทดลองได้ดังนี้

จากการออกแบบภาคส่งของ π/4-DQPSK จะพบปัญหาในการออกแบบคือ การสร้างสัญญาณนาฬิกาและสัญญาณคลื่นพาห์จะต้องมีความสัมพันธ์กัน ดังนั้นจึงจะต้องได้สัญญาณจากแหล่งเดียวกัน จึงจะได้สัญญาณที่มีความสัมพันธ์กันมากที่สุด ซึ่งจะต้องหาคริสตอลและออกแบบวงจรหารให้ได้ความถี่ที่ต้องการ คือ 64 kHz และ 3.6 MHz การออกแบบวงจรหารจะต้องคำนึงถึงขอบของสัญญาณที่ถูกหารแล้วด้วย ที่ความถี่ 3.6 MHz จะถูกสังเคราะห์ขึ้นโดยวงจรเฟสล็อกลูป ปัญหาที่เกิดขึ้นคือ ไอซี NE 564 ที่เอาท์พุทมีแรงดันต่ำเกินไปที่จะไปขับไอซีตระกูล CMOS ให้ทำงาน ควรจะใช้ไอซีตระกูล TTL เป็นตัวขับก่อนแล้วจึงใช้ CMOS เป็นภาคต่อไป ในขณะที่เปิดเครื่องครั้งแรกขา Q และขา Q ของฟลิบฟลอบจะเป็น 1 หรือ 0 เราไม่สามารถกำหนดได้ จึงเป็นสาเหตุที่ทำให้วงจรหารทำงานผิด ขอบของสัญญาณจะเปลี่ยนไป รวมไปถึงวงจรแยกเฟสด้วยที่จะทำงานผิดพลาด ทางแก้ไขก็คือจะต้องมีสวิทช์รีเซต ในขณะที่เปิดเครื่องครั้งแรก เพื่อให้ขา Q เป็นลอจิก 0 ปัญหาสุดท้ายของภาคส่งคือ วงจรแบนด์พาสฟิลเตอร์ ซึ่งการคำนวณค่า R และ C ถึงแม้ว่าจะได้ค่าที่คำนวณออกมาแล้ว แต่เวลาใช้งานจริงจะยังไม่ได้สัญญาณที่สมบูรณ์ จึงควรใช้ R ปรับค่าได้แทน เพื่อปรับแต่งสัญญาณที่เอาท์พุทให้มีความสมบูรณ์ที่สุด

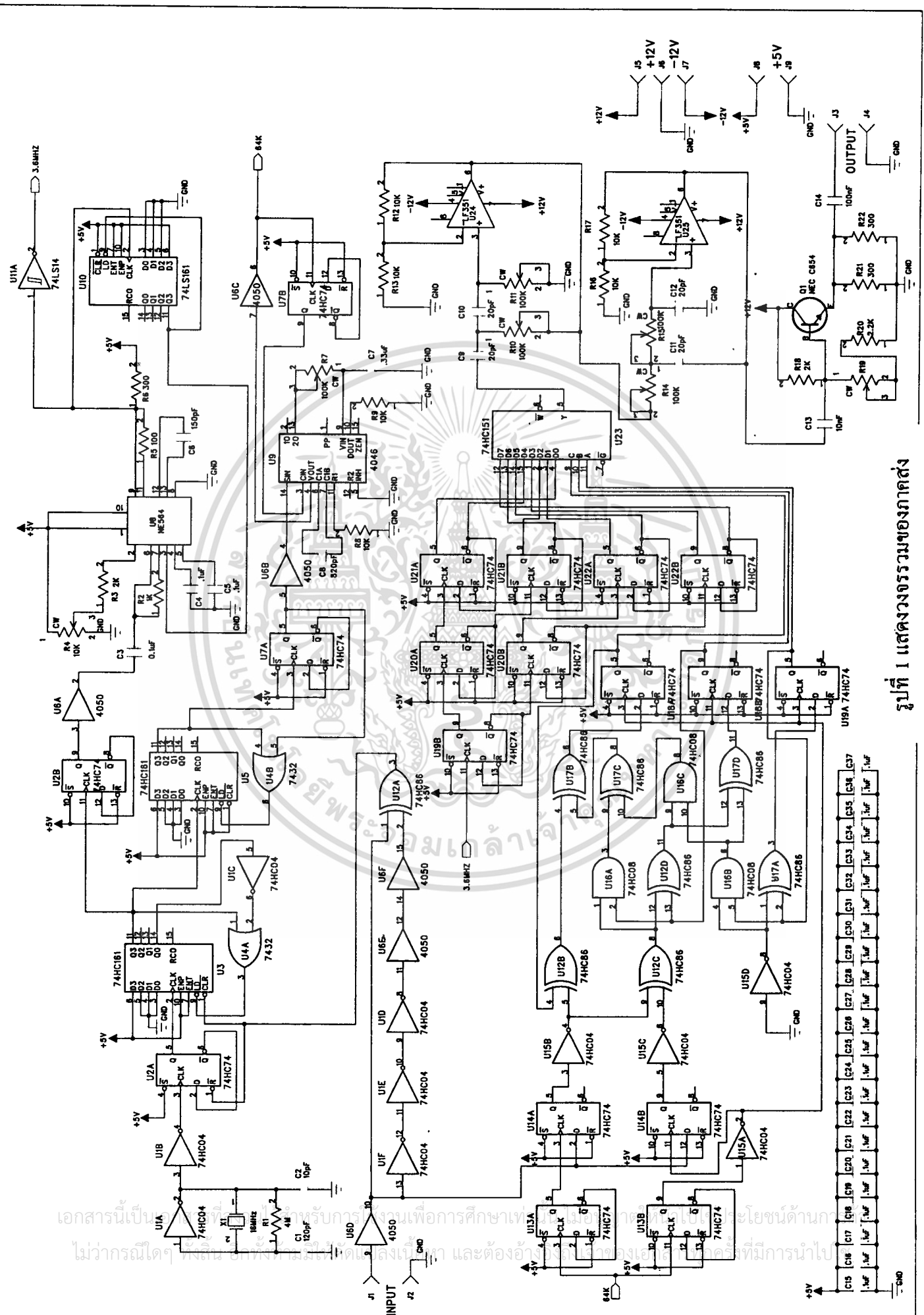
จากการออกแบบภาครับ π/4-DQPSK จะพบปัญหาในการออกแบบคือ วงจรแบนด์พาสฟิลเตอร์จะมีปัญหาคล้าย ๆ กับภาคส่ง ปัญหาของวงจรยกกำลังสองคือสัญญาณอินพุทของภาคนี้จะต้องมีความแรงพอสมควรเพื่อที่จะได้เอาท์พุทที่แรง ทำให้สามารถขับไอซี CMOS ของวงจรเฟสล็อกลูป ถ้าสัญญาณไม่แรงพอจะไม่สามารถทำให้เฟสล็อกลูปทำงานได้ หรือประสิทธิภาพจะต่ำลง จากการทดลองจะพบว่าถ้าสัญญาณต่ำเฟสจะสั่น หรือถ้าต่ำมากก็จะไม่ทำงานเลย และยังมีปัญหาที่วงจรยกกำลังสี่อีกด้วย ถ้าวงจรยกกำลังสองไม่แรงพอ วงจรยกกำลังสี่ก็จะมีสัญญาณอ่อนมาก วิธีแก้อีกวิธีหนึ่งคือใช้ออปแอมป์มาขยายให้สัญญาณแรงขึ้นได้ ปัญหาของสัญญาณรบกวนก็เป็นอีกหนึ่งที่ทำให้สัญญาณผิดไป จึงควรมีตัวเก็บประจุคร่อม Vcc กับ GND ที่ไอซีทุกตัว ซึ่งสามารถแก้ปัญหาจุดนี้ไปได้ ตัวเก็บประจุนี้จะใช้ค่า 0.1 ถึง 0.01 μF ปัญหาที่ทำให้เสียเวลามากก็คือบางภาคเป็นวงจรที่เรามีข้อมูลน้อยมาก จึงต้องมาทำการทดลอง โดยการลองผิดลองถูก หรือได้วงจรที่มีบางส่วนต่อวงจรผิดอยู่บางจุดที่คิดไม่ถึง จึงทำให้เสียเวลามาก ค่า R และค่า C บางค่าต้องนำมาคำนวณใหม่ เพื่อให้เหมาะสมกับสเปกที่ใช้อยู่วงจรจึงทำงานสมบูรณ์ เช่นวงจรอินทีเกรทและดัมพ์ ต้องคำนวณหาค่า R และ C ใหม่ การวัดสัญญาณควรใช้สโคปที่อ่านค่าเป็นตัวเลขที่มีความละเอียด เพราะถ้าความถี่ผิดไปเล็กน้อยก็จะทำให้ข้อมูลผิดไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

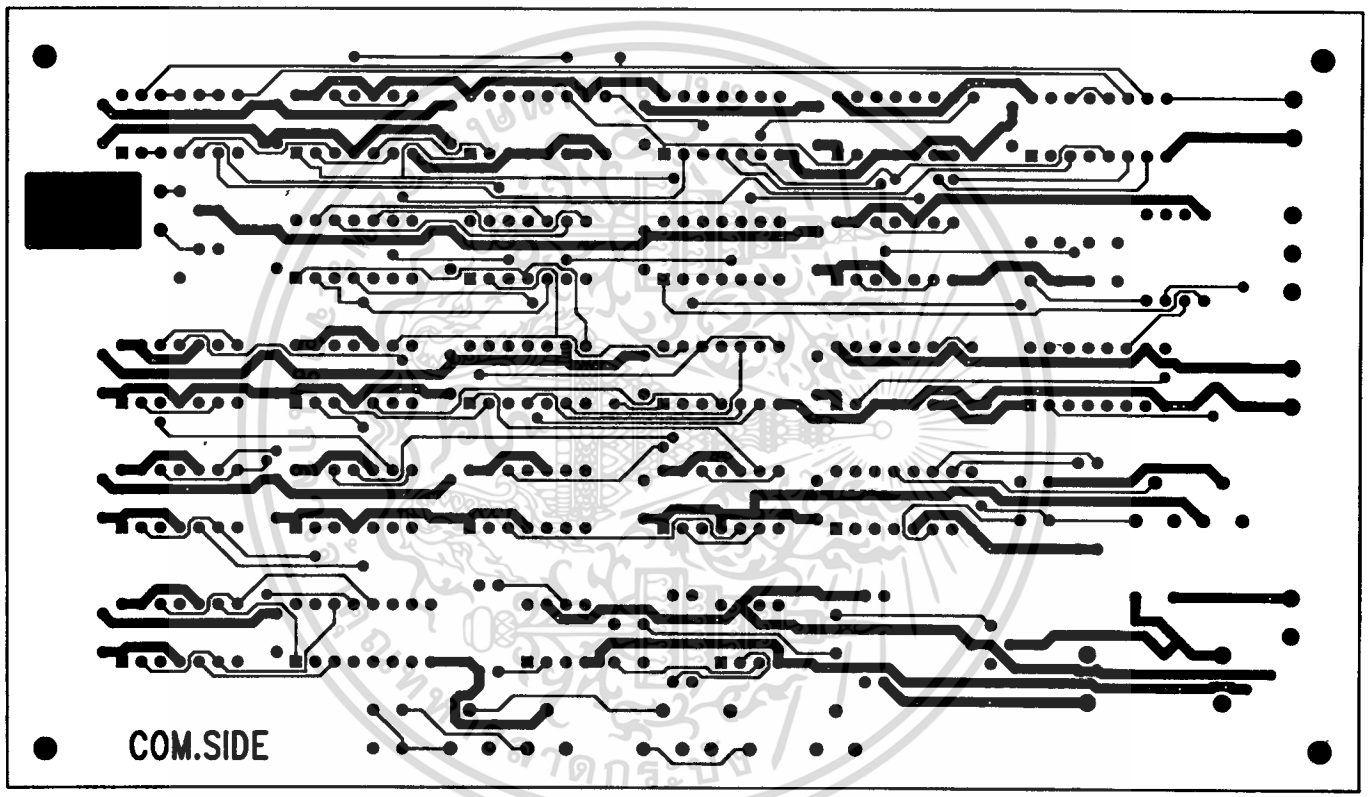
1. KAMIO FEHER ., "DIGITAL COMMUNICATION", Prentice-Hall , 1991
2. STEPHEN G. WILSON.,"DIGITAL MODULATION AND CODING", Prentice-ll,1991
3. CHARLES F. WOJLAW AND EVANGELOS A. MOUSTAKAT., "OPERATIONAL AMPLIFIER", John Wiley&Son,1986
4. JACK SMITH., "MODERN COMMUNICATION CIRCUIT",McGraw-Hill,1992
5. WAYNE TOMASI., "ADVANCED ELECTRONIC COMMUNICATIONS SYSTEM", Prentice-Hall,1988
5. บัณฑิต โรจน์อารยานนท์ ., "หลักการไฟฟ้าสื่อสาร",สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย,พ.ศ 2532
6. สุชาติ กังวารจิตต์., "เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร"., ซีเอ็ดยูเคชั่น,พ.ศ 2532
7. โคทม อารียา., "วงจรอิเล็กทรอนิกส์ เล่ม 2", ซีเอ็ดยูเคชั่น,พ.ศ 2532
8. ยอด นาคเจือทอง., "QPSK โมเด็มซิงโครไนซ์ด้วยไพล็อตโทน",ปริญญานิพนธ์อุตสาหกรรมศาสตร์บัณฑิต สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง",พ.ศ 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

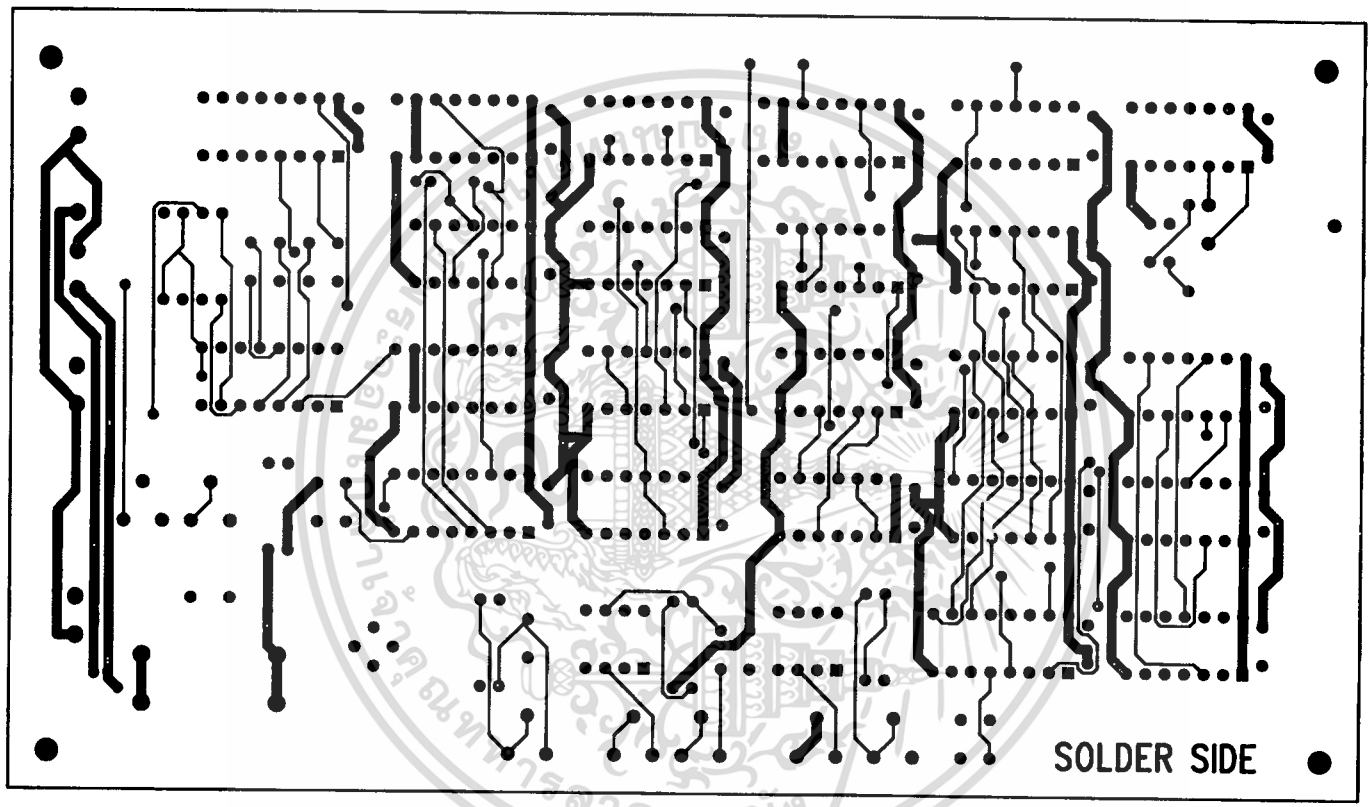


รูปที่ 1 แสดงวงจรรวมของภาคส่ง

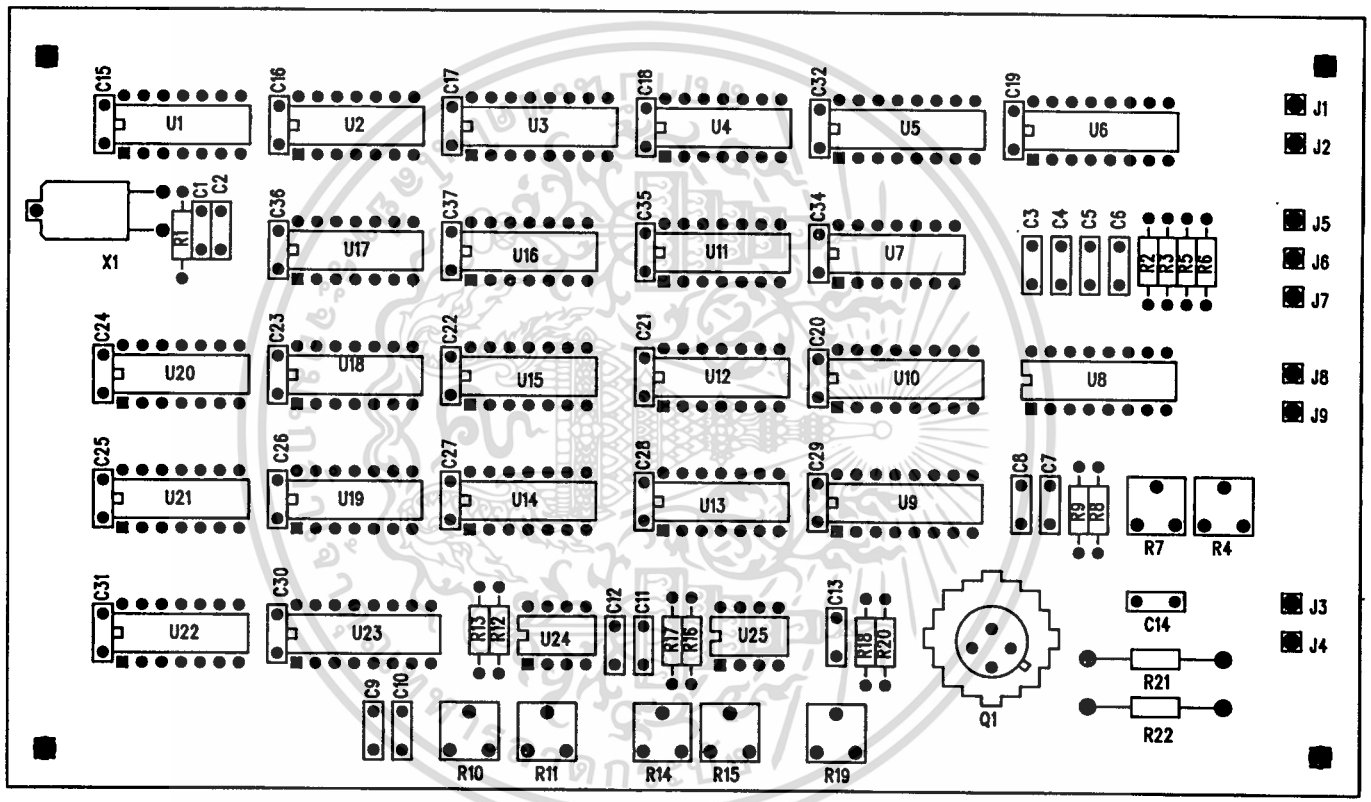
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



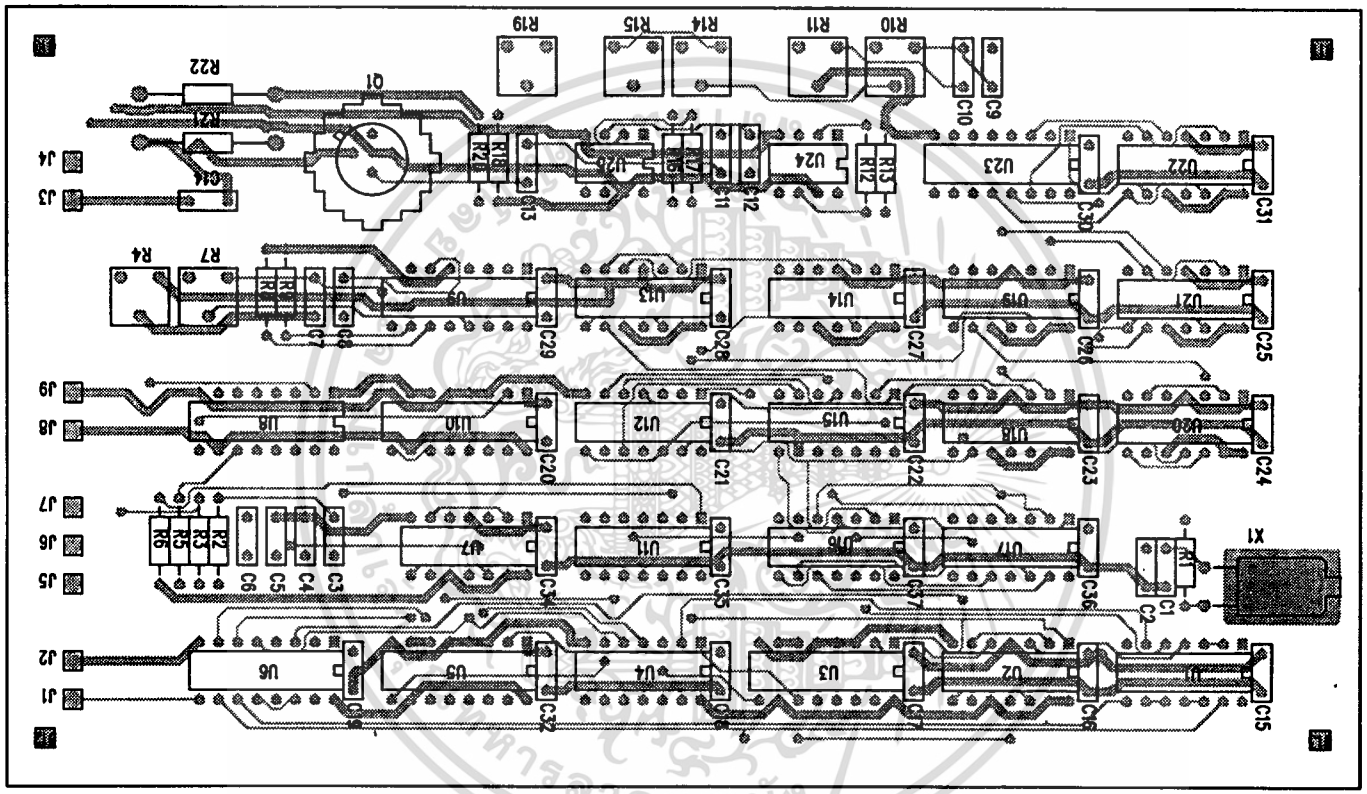
รูปที่ 2 แสดงลายทองแดงด้านบนของวงจรภาคส่ง



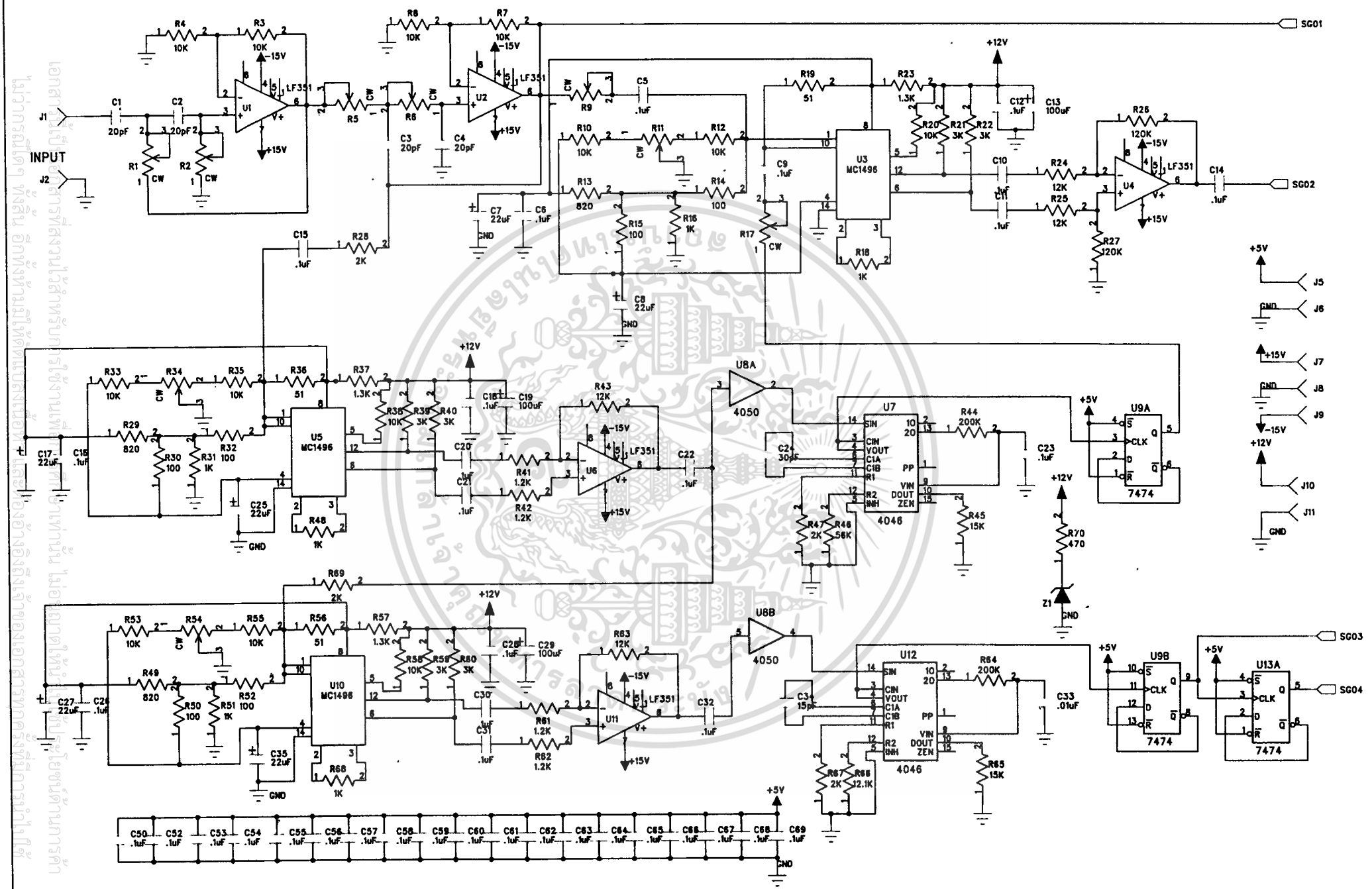
รูปที่ 3 แสดงลายทองแดงด้านล่างของวงจรภาคส่ง



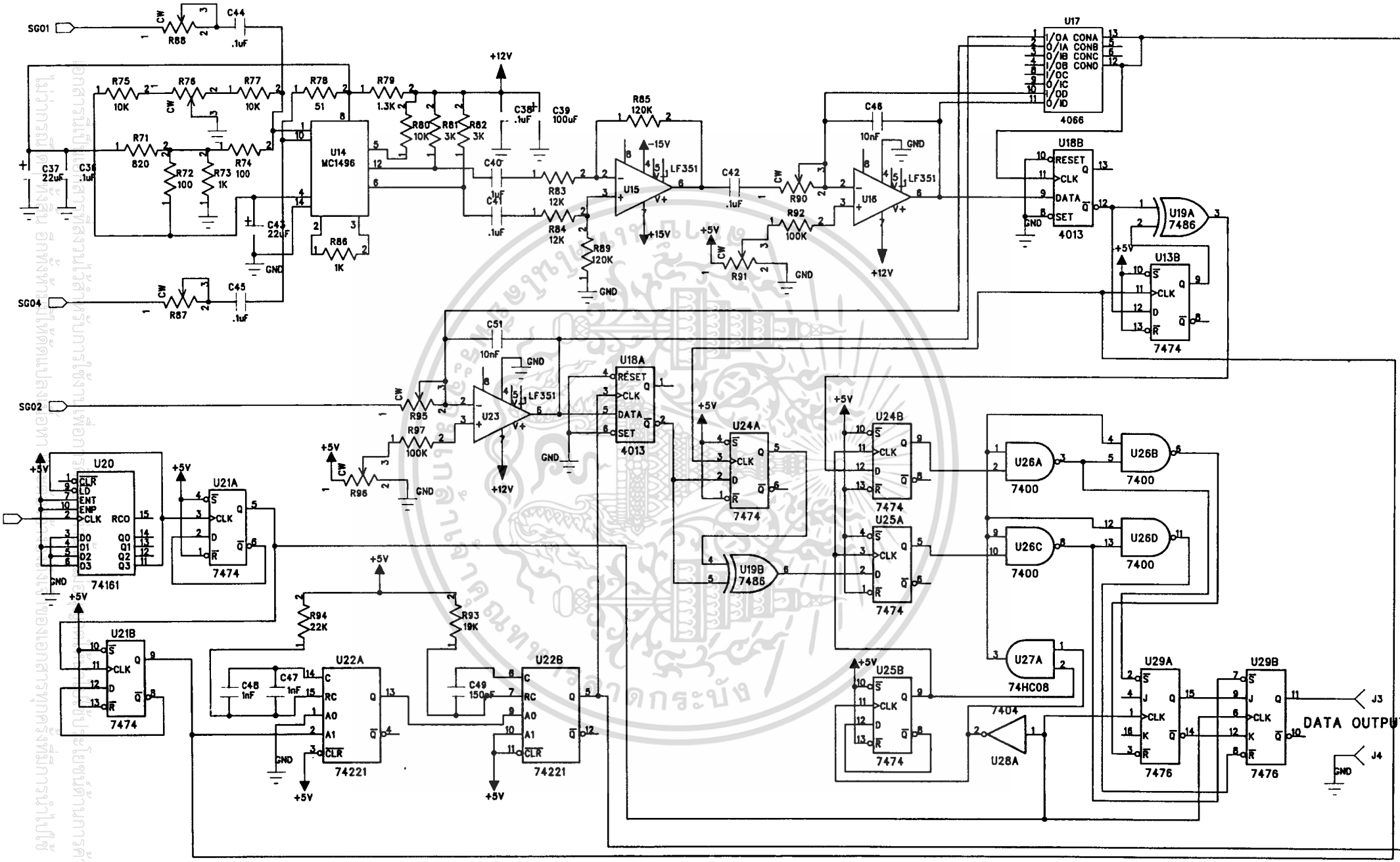
รูปที่ 4 แสดงการวางตัวอุปกรณ์ของแผ่นวงจรภาคส่ง



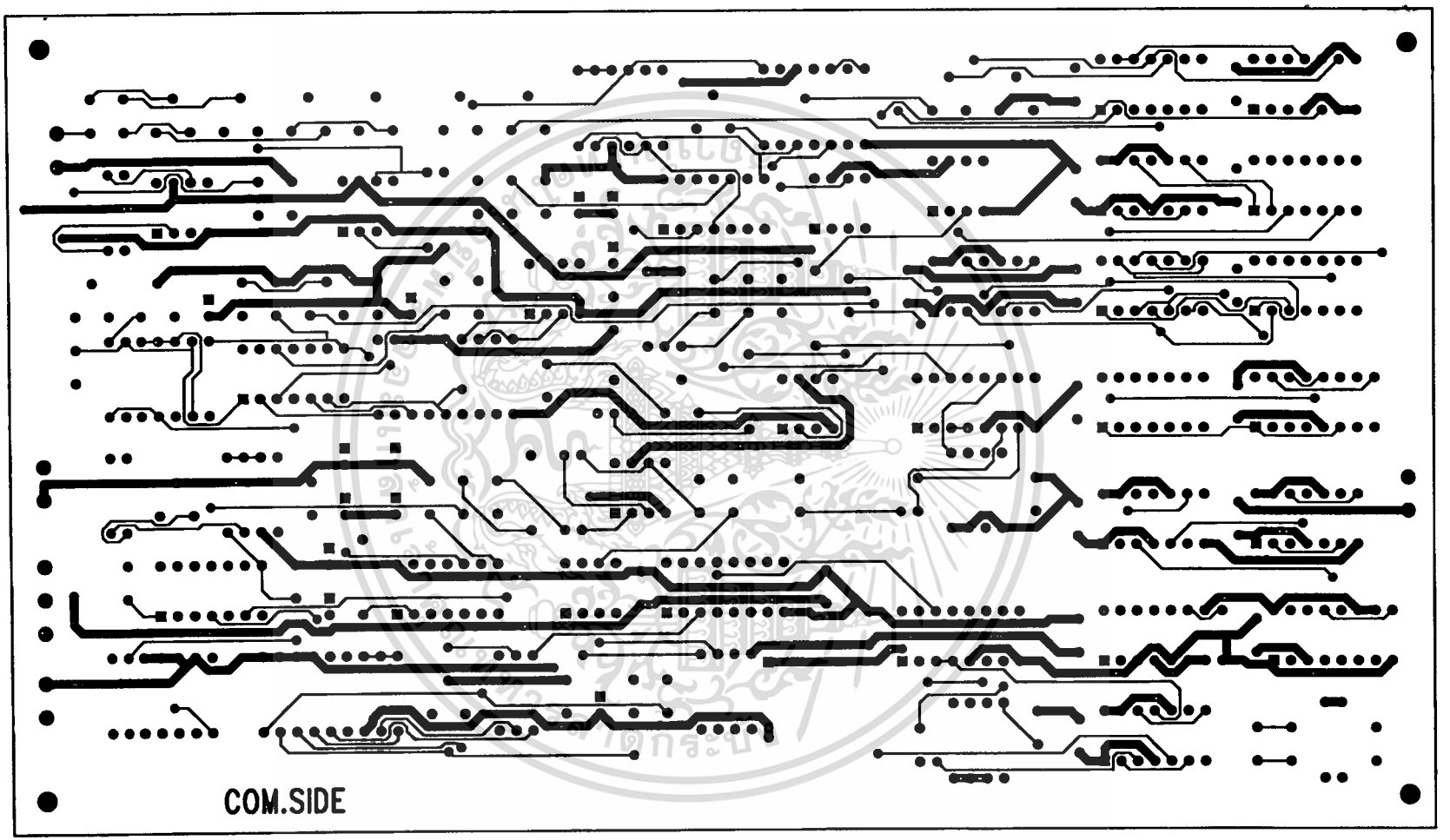
รูปที่ 5 แสดงการวางตัวอุปกรณ์และลายทองแดงด้านบนของแผ่นวงจรภาคส่ง



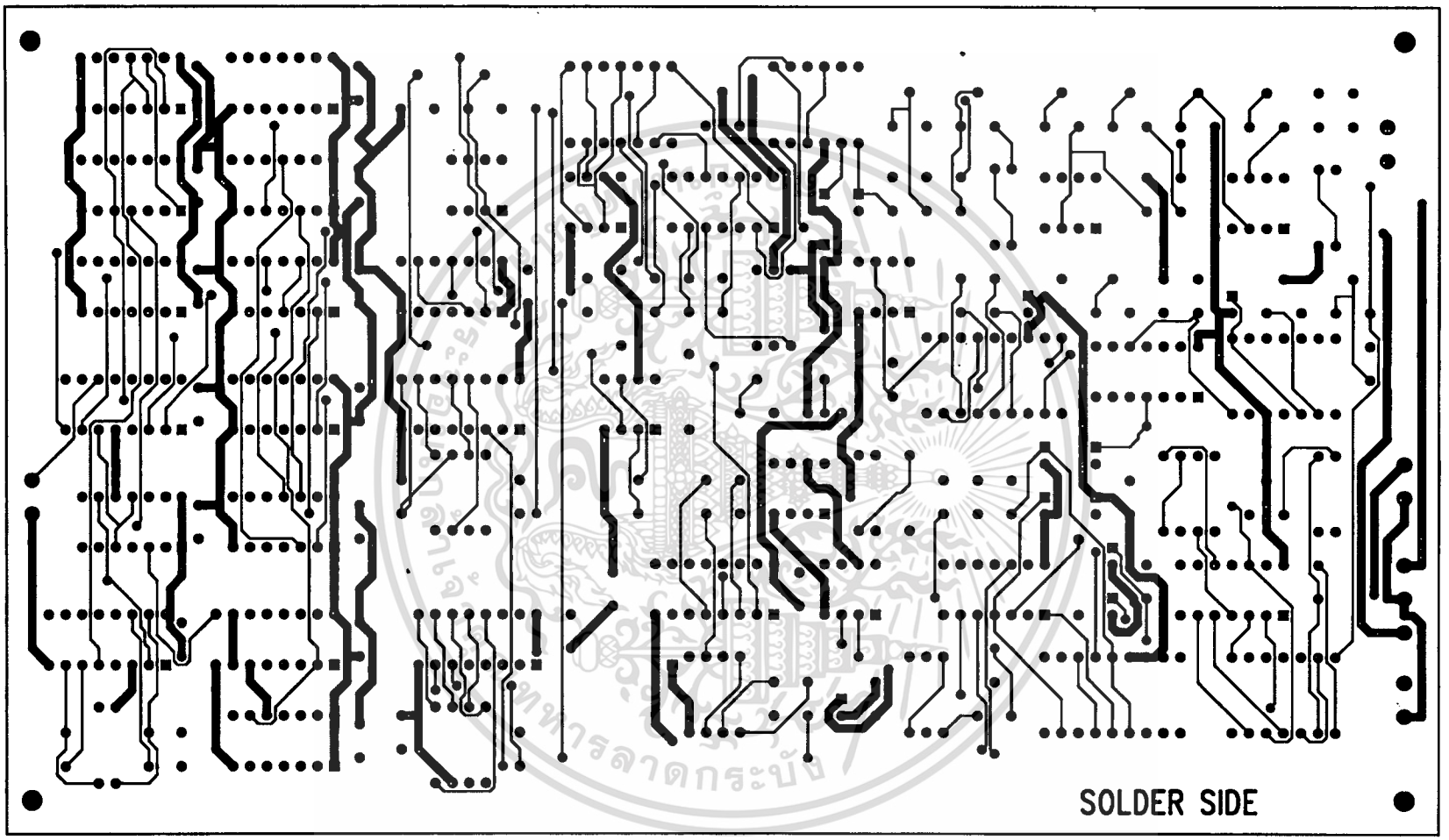
รูปที่ 6 แสดงวงจรรวมของภาครับ ส่วนที่ 1



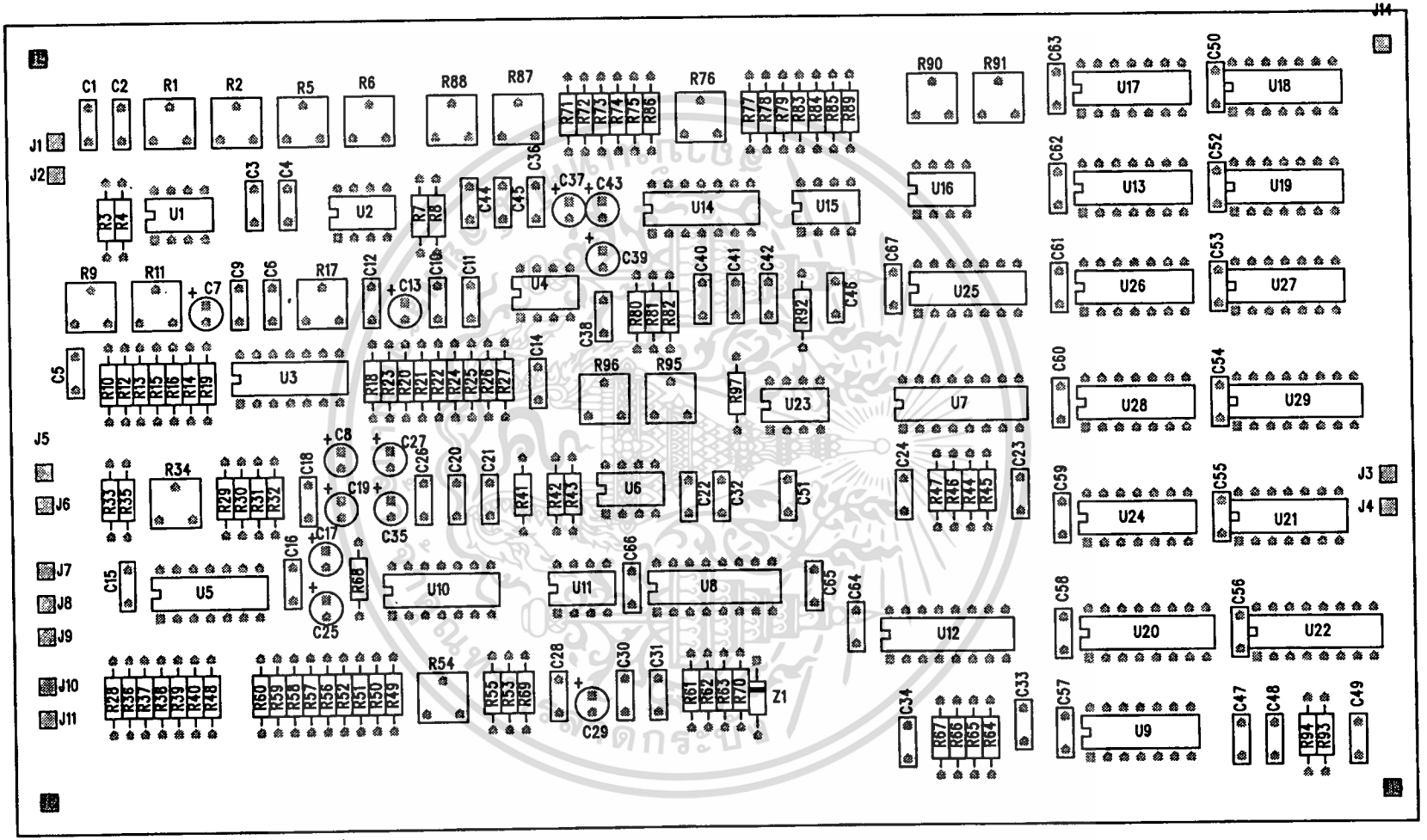
รูปที่ 6 แสดงวงจรรวมของภาครับ ส่วนที่ 2



รูปที่ 7 แสดงลายทองแดงด้านบนของวงจรภาครับ

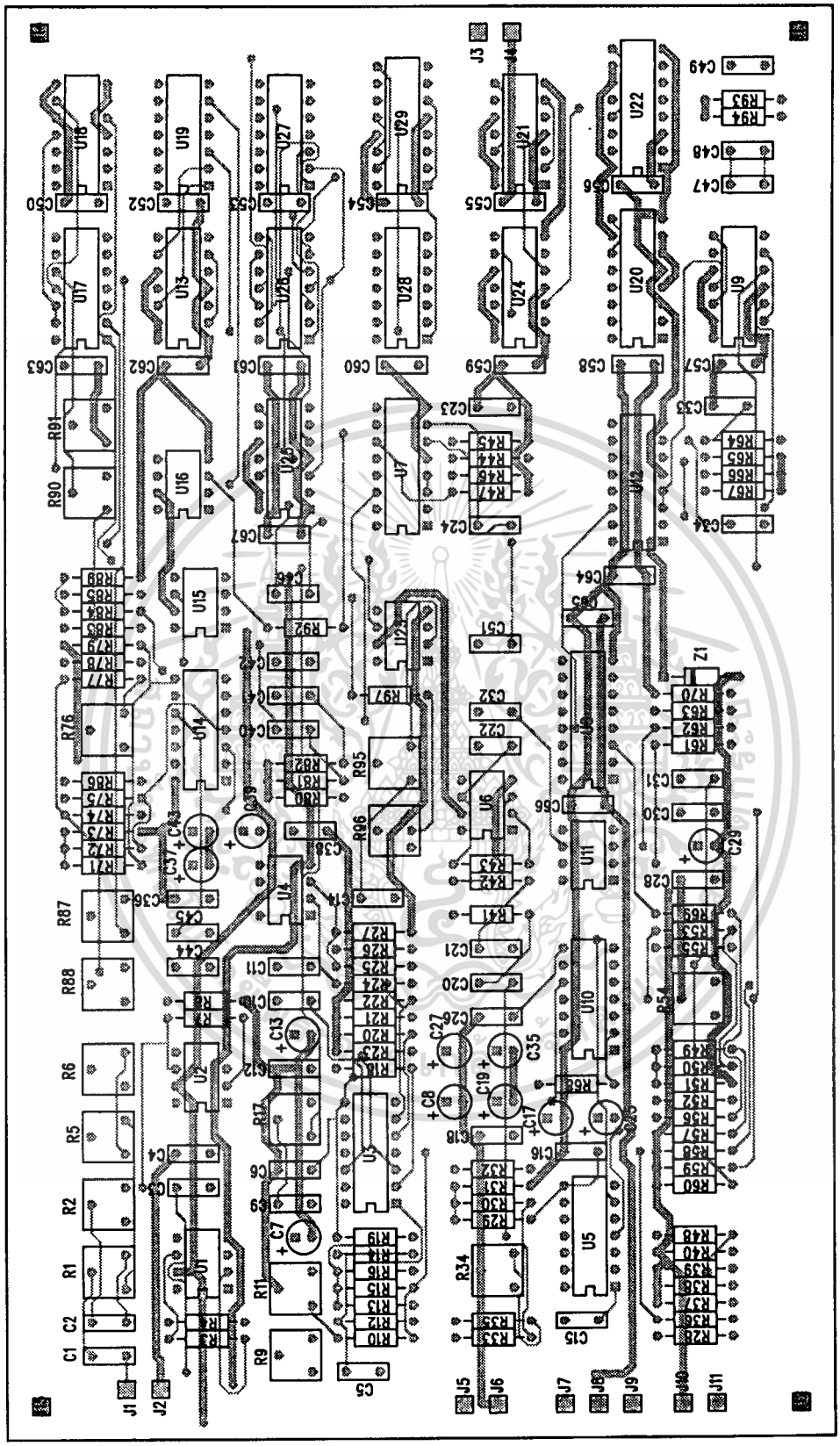


รูปที่ 8 แสดงลายทองแดงด้านล่างของวงจรภาครับ



รูปที่ 9 แสดงการวางตัวอุปกรณ์ของแผ่นวงจรภาครับ

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย ห้ามนำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น



รูปที่ 10 แสดงการวางตัวอุปกรณ์และลายทองแดงด้านบนของแผ่นวงจรภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1496
MC1596

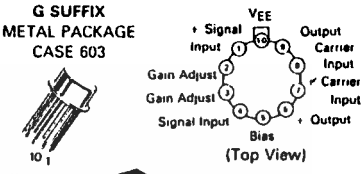
BALANCED MODULATOR/DEMODULATOR

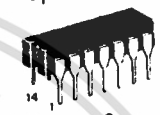
BALANCED MODULATOR/ DEMODULATOR

. designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN 531 for additional design information.

- Excellent Carrier Suppression – 65 dB typ @ 0.5 MHz
  50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection 85 dB typ

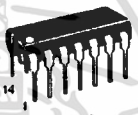
G SUFFIX
METAL PACKAGE
CASE 603





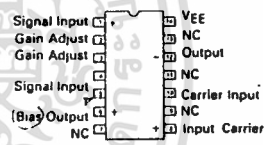
L SUFFIX
CERAMIC PACKAGE
CASE 632

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)



P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN ASSIGNMENTS



ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO 14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	−55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

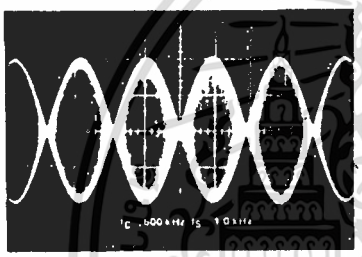


FIGURE 1
SUPPRESSED CARRIER
OUTPUT WAVEFORM

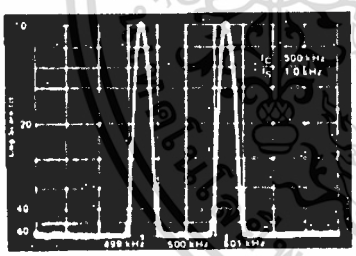


FIGURE 2 –
SUPPRESSED CARRIER
SPECTRUM

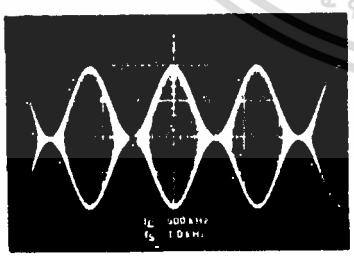
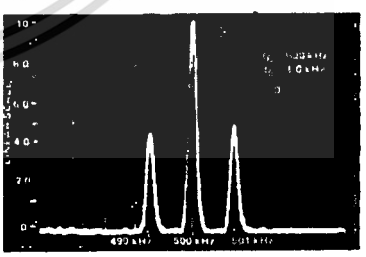


FIGURE 3
AMPLITUDE MODULATION
OUTPUT WAVEFORM

FIGURE 4 AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage (V_6 V_7, V_8 V_1, V_9 V_7, V_9 – V_8, V_7 V_4, V_7 V_1, V_8 V_4, V_6 V_8, V_2 V_5, V_3 V_5)	ΔV	30	Vdc
Differential Input Signal	V_7 V_8 V_4 V_1	±5.0 ±($5 + I_5R_e$)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C, all input and output characteristics are single-ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough	5	1	V_{CFT}							μVrms
V_C = 60 mV(rms) sine wave and f_C = 1.0 kHz				—	40	—	—	40	—	
offset adjusted to zero f_C = 10 MHz				—	140	—	—	140	—	
V_C = 300 mVp-p square wave;										mVrms
offset adjusted to zero f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	
offset not adjusted f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression	5	2	V_{CS}							dB
f_S = 10 kHz, 300 mV(rms)										
f_C = 500 kHz, 60 mV(rms) sine wave				50	65	—	40	65	—	
f_C = 10 MHz, 60 mV(rms) sine wave				—	50	—	—	50	—	
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms)	8	8	BW_{3dB}							MHz
Carrier Input Port, V_C = 60 mV(rms) sine wave				—	300	—	—	300	—	
f_S = 1.0 kHz, 300 mV(rms) sine wave										
Signal Input Port, V_S = 300 mV(rms) sine wave				—	80	—	—	80	—	
$\|V_C\|$ = 0.5 Vdc										
Signal Gain	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
V_S = 100 mV(rms), f = 1.0 kHz; $\|V_C\|$ = 0.5 Vdc										
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz	6	—								
Parallel Input Resistance			r_{ip}	—	200	—	—	200	—	kΩ
Parallel Input Capacitance			c_{ip}	—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz	6	—								
Parallel Output Resistance			r_{op}	—	40	—	—	40	—	kΩ
Parallel Output Capacitance			c_{oo}	—	5.0	—	—	5.0	—	pF
Input Bias Current	7	—								μA
$I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$			I_{bS}	—	12	25	—	12	30	
			I_{bC}	—	12	25	—	12	30	
Input Offset Current	7	—								μA
$I_{ioS} = I_1 - I_4$; $I_{ioC} = I_7 - I_8$			$\|I_{ioS}\|$	—	0.7	5.0	—	0.7	7.0	
			$\|I_{ioC}\|$	—	0.7	5.0	—	0.7	7.0	
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)	7	—	$\|TC_{Iio}\|$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_6 - I_9$)	7	—	$\|I_{oo}\|$	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)	7	—	$\|TC_{Ioo}\|$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vpp
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_C\|$ = 0.5 Vdc	9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vdc
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vpp
Power Supply Current	7	6								mA
$I_6 + I_9$			I_{CC}	—	2.0	3.0	—	2.0	4.0	
I_{10}			I_{EE}	—	3.0	4.0	—	3.0	5.0	
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION *

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5.

$$V_S \cdot I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming V_9 V_6, $I_5 = I_6 = I_9$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{10}) + I_5 (V_5 - V_{10})$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_9$$

$$I_B << I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V^- - \phi}{I_5} - 500\ \Omega$$ where: R_5 is the resistor between pin 5 and ground

ϕ = 0.75 V at T_A = +25°C

The MC1596 has been characterized for the condition I_5 1.0 mA, and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

30 Vdc ≥ [(V_6, V_9) − (V_7, V_8)] ≥ 2 Vdc

30 Vdc − [(V_7, V_8) − (V_1, V_4)] ≥ 2.7 Vdc

30 Vdc ≥ [(V_1, V_4) − (V_5)] ≥ 2.7 Vdc

The foregoing conditions are based on the following approximations:

$$V_6 = V_9,\ V_7 = V_8,\ V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21C} = \left| \frac{i_o \text{ (each sideband)}}{v_s \text{ (signal)}} \right| V_o = 0$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21S} \left| \frac{i_o \text{ (signal)}}{v_s \text{ (signal)}} \right| V_c \quad 0.5 \text{ Vdc}, V_o \quad 0$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Output Signal, V_O

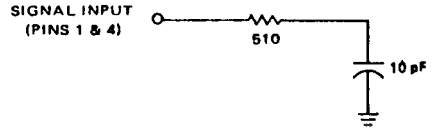
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 kOhm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS*

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION

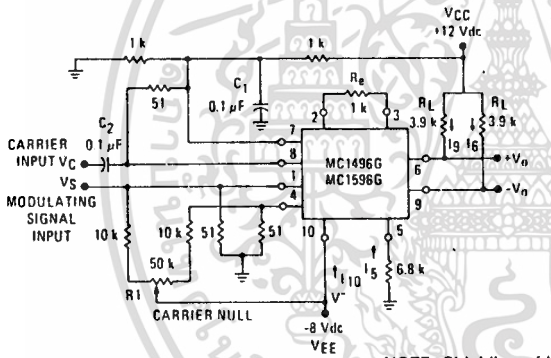
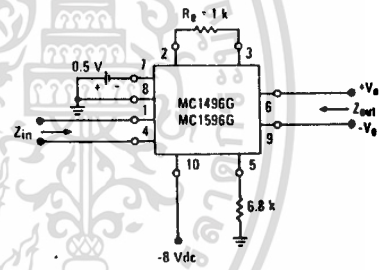


FIGURE 6 – INPUT-OUTPUT IMPEDANCE



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 7 – BIAS AND OFFSET CURRENTS

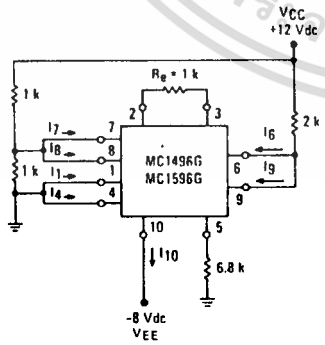
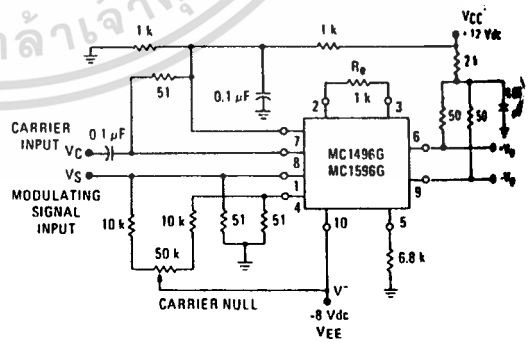


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON MODE GAIN

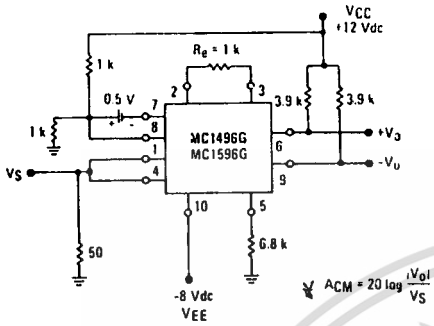
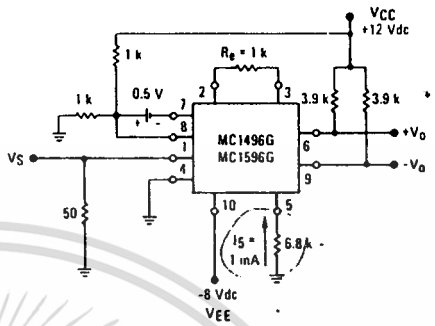


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

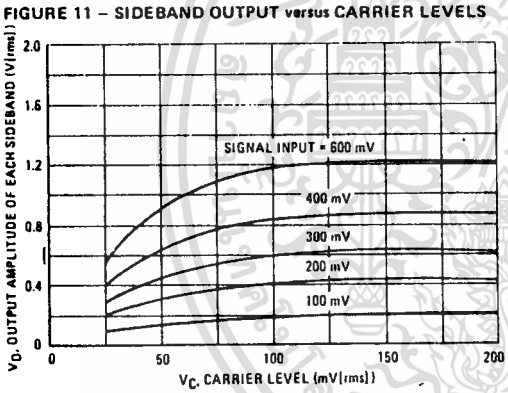


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

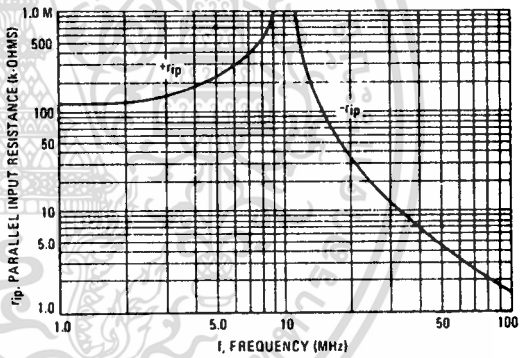


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

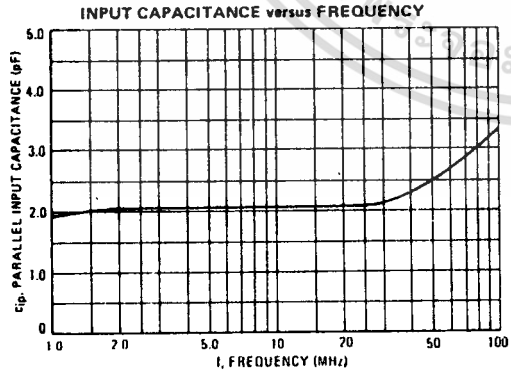
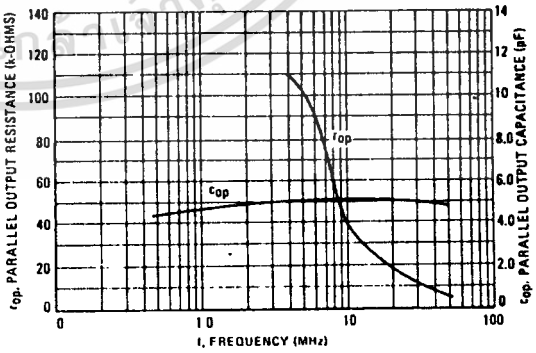


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

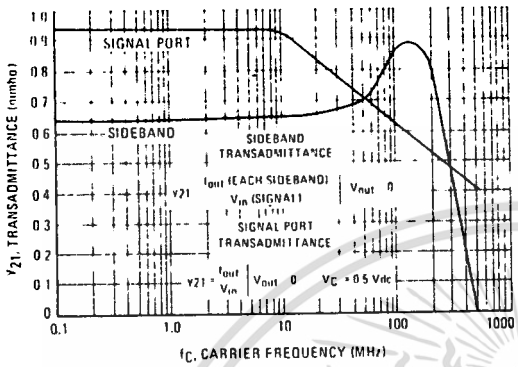


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

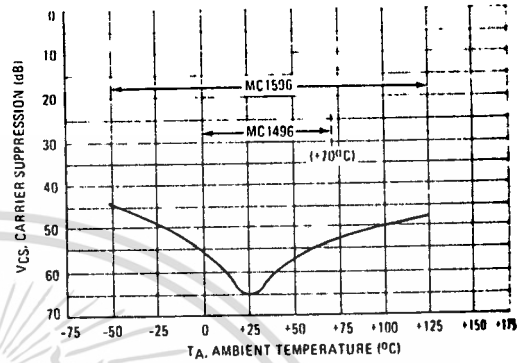


FIGURE 17 – SIGNAL-PORT FREQUENCY RESPONSE

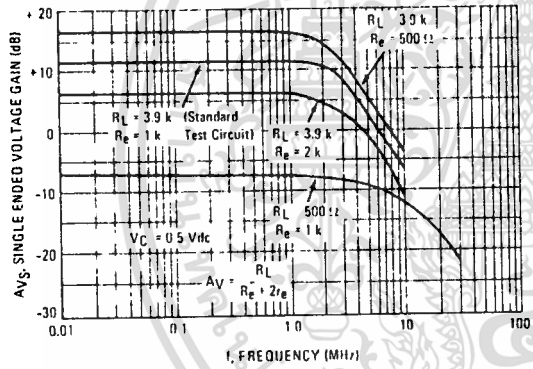


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

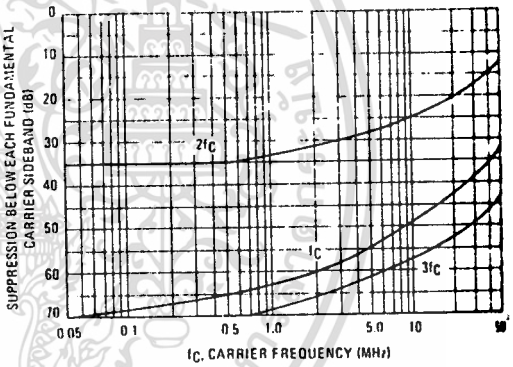


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

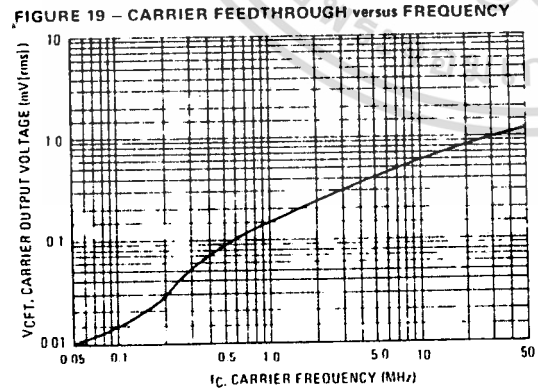
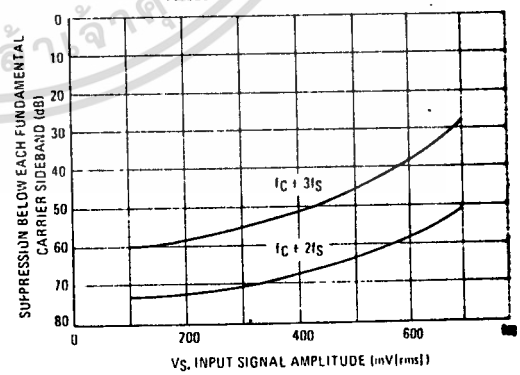


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

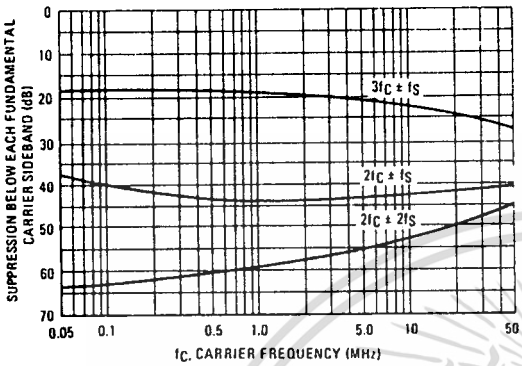
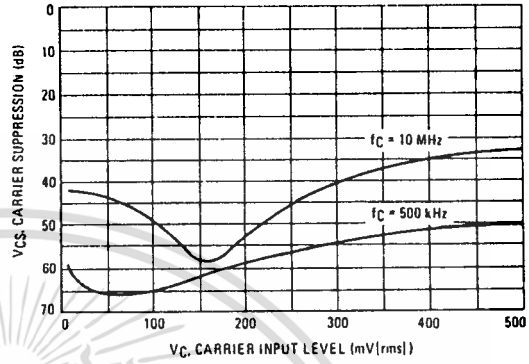


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device outputs.

FIGURE 23 – CIRCUIT SCHEMATIC*

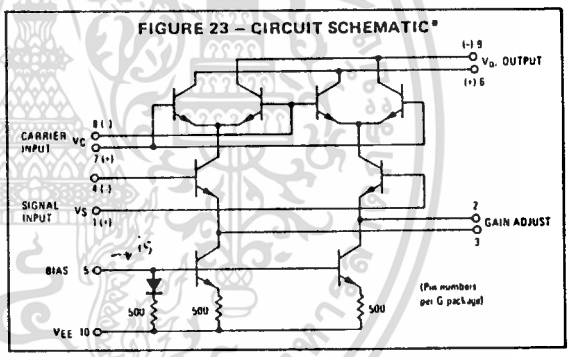
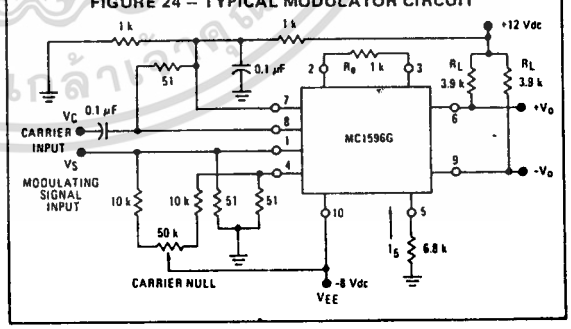


FIGURE 24 – TYPICAL MODULATOR CIRCUIT*



*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V \cdot (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)(\frac{KT}{q})}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}(\frac{KT}{q})(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M$, $3f_C \pm f_M$, $5f_C \pm f_M$, . . .

The gain from the modulating signal input port to the output of the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C:
$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 7 and 8 should be increased to 1.0 μF. Also, the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 26 – BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

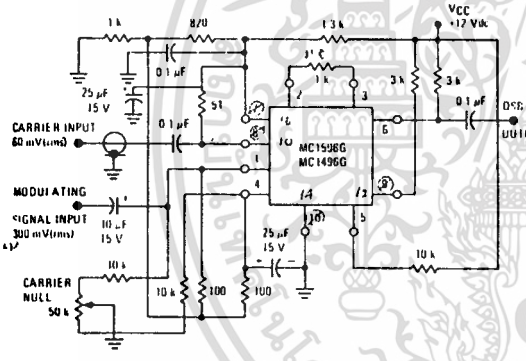


FIGURE 27 – BALANCED MODULATOR-DEMODULATOR

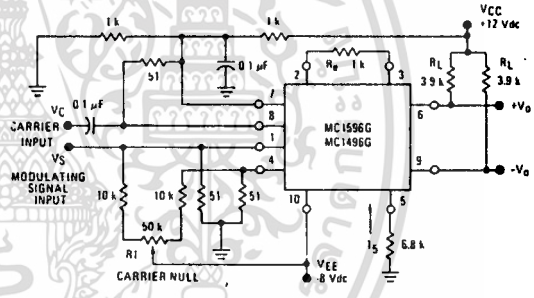


FIGURE 28 – AM MODULATOR CIRCUIT

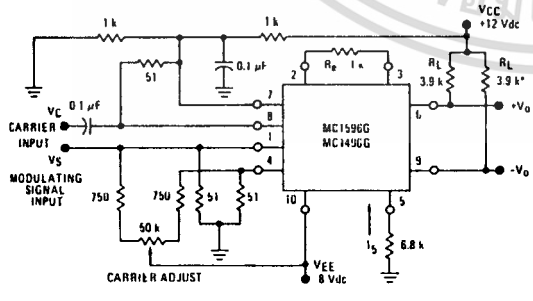
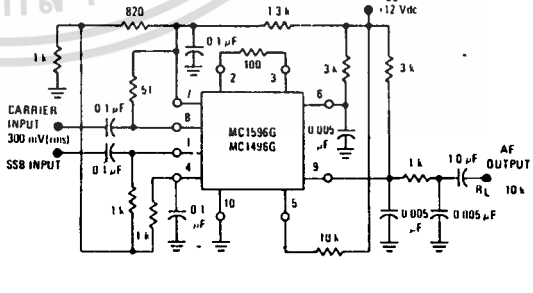


FIGURE 29 – PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS (continued)

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 30 – DOUBLY BALANCED MIXER
(BROADBAND INPUTS, 9.0 MHz TUNED OUTPUT)

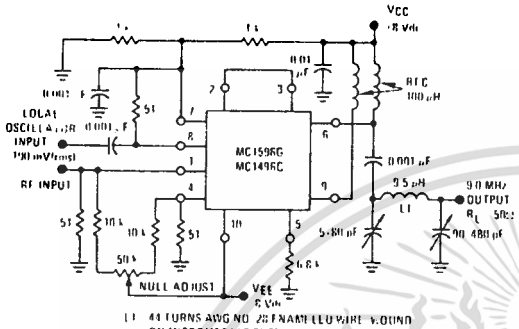


FIGURE 31 – LOW-FREQUENCY DOUBLER

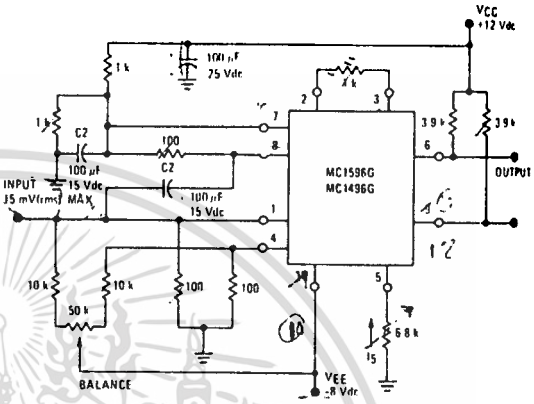
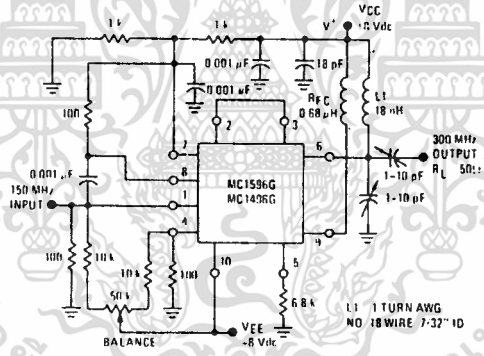
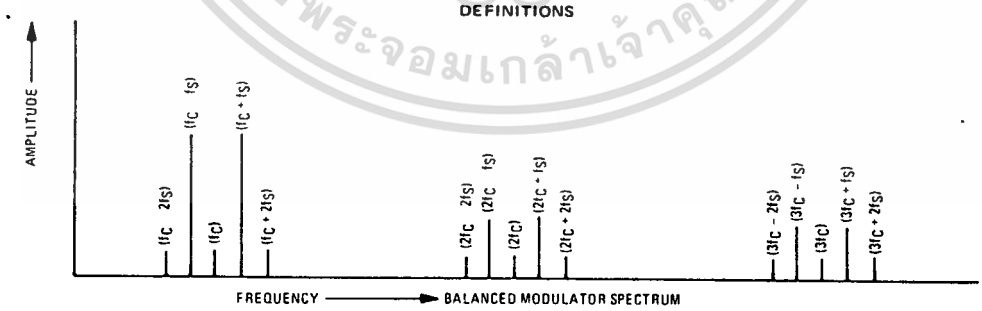


FIGURE 32 – 150 to 300 MHz DOUBLER



DEFINITIONS



f_C CARRIER FUNDAMENTAL
f_S MODULATING SIGNAL
$f_C \pm f_S$ FUNDAMENTAL CARRIER SIDEBANDS
$f_C \pm nf_S$ FUNDAMENTAL CARRIER SIDEBAND HARMONICS
nf_C CARRIER HARMONICS
$nf_C \pm nf_S$ CARRIER HARMONIC SIDEBANDS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signetics

Linear Products

NE/SE564
Phase-Locked Loop

Product Specification

DESCRIPTION

The NE564 is a versatile, high guaranteed frequency phase-locked loop designed for operation up to 50MHz. As shown in the Block Diagram, the NE564 consists of a VCO, limiter, phase comparator, and post detection processor

FEATURES

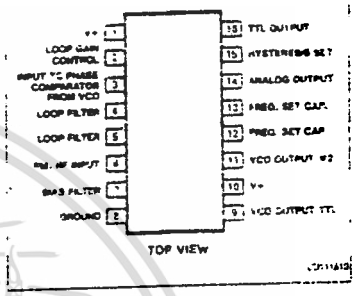
- Operation with single 5V supply
- TTL-compatible inputs and outputs
- Guaranteed operation to 50MHz
- External loop gain control
- Reduced carrier feedthrough
- No elaborate filtering needed in FSK applications
- Can be used as a modulator
- Variable loop gain (externally controlled)

APPLICATIONS

- High-speed modems
- FSK receivers and transmitters
- Frequency synthesizers
- Signal generators
- Various satcom/TV systems

PIN CONFIGURATION

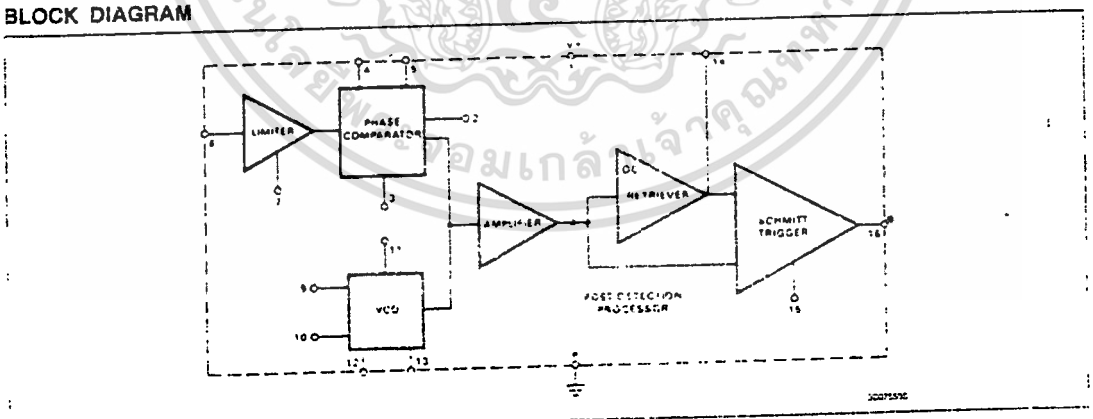
D, F, N Packages



ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE
16-Pin Plastic SO	0 to +70°C	NE564D
16-Pin Plastic DIP	0 to +70°C	NE564N
16-Pin Plastic DIP	-55°C to +125°C	SE564N
16-Pin Cerdip	0 to +70°C	NE564F

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
V+	Supply voltage Pin 1 Pin 10	 14 6	V
I_{OUT}	(Sink) Max (Pin 9)	10	mA
P_D	Power dissipation	600	mW
T_A	Operating ambient temperature NE SE	 0 to +70 −55 to +125	°C
T_{STG}	Storage temperature	−65 to +150	°C

NOTE:
Operation above 5V will require heatsinking of the case.

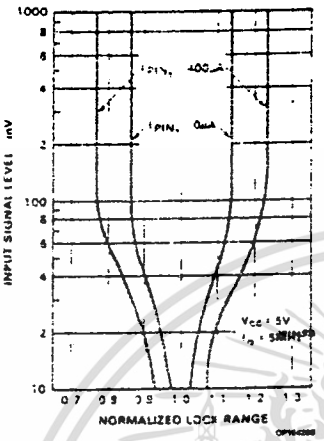
DC AND AC ELECTRICAL CHARACTERISTICS V_{CC} = 5V, T_A = 25°C, f_O = 5MHz, I_2 = 400μA, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	SE564			NE564			UNIT
			Min	Typ	Max	Min	Typ	Max	
	Maximum VCO frequency	C_1 = 0 (stray)	50	65		45	60		MHz
	Lock range	Input ≥ 200mV$_{RMS}$ T_A = 25°C	40	70		40	70		% of f_O
		T_A = 125°C	20	30					
		T_A = −55°C	50	80					
		T_A = 0°C					70		
		T_A = 70°C					40		
	Capture range	Input ≥ 200mV$_{RMS}$, R_2 = 27Ω	20	30		20	30		% of f_O
	VCO frequency drift with temperature	f_O = 5MHz, T_A = −55°C to +125°C		500	1500				PPM/°C
		T_A = 0 to +70°C					600		
		= 0 to +70°C							
		f_O = 500kHz, T_A = −55°C to +125°C		300	800				
		T_A = 0 to +70°C					500		
	VCO free-running frequency	C_1 = 91pF R_O = 100Ω "Internal"	4	5	6	3.5	5	6.5	MHz
	VCO frequency change with supply voltage	V_{CC} = 4.5V to 5.5V		3	8		3	8	% of f_O
	Demodulated output voltage	Modulation frequency: 1kHz f_O = 5MHz, input deviation:							
		2%T = 25°C	16	28		16	28		mV$_{RMS}$
		1%T = 25°C	8	14		8	14		mV$_{RMS}$
		1%T = 0°C					13		mV$_{RMS}$
		1%T = −55°C	6	10					mV$_{RMS}$
		1%T = 70°C					15		mV$_{RMS}$
		1%T = 125°C	12	16					mV$_{RMS}$
	Distortion	Deviation: 1% to 8%		1			1		%
S/N	Signal-to-noise ratio	Std. condition, 1% to 10% dev.		40			40		dB
	AM rejection	Std. condition, 30% AM		35			35		dB
	Demodulated output at operating voltage	Modulation frequency: 1kHz f_O = 5MHz, input deviation: 1%							
		V_{CC} = 4.5V	7	12		7	12		mV$_{RMS}$
		V_{CC} = 5.5V	9	14		8	14		mV$_{RMS}$
I_{CC}	Supply current	V_{CC} = 5V I_1, I_{10}		45	60		45	60	mA
	Output "1" output leakage current	V_{OUT} = 5V, Pins 15, 5			20		1	20	μA
	"0" output voltage	V_{OUT} = 2mA, Pins		0.2	0.5		0.2	0.6	V
		= 5mA, Pins		0.3	0.5		0.4	0.8	V

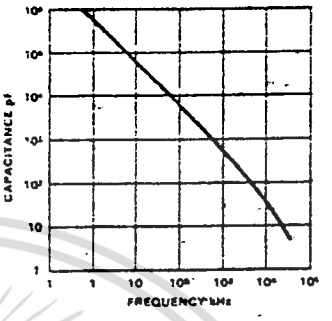
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS

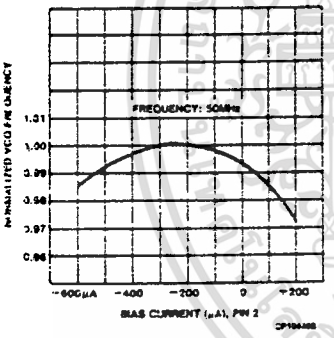
Lock Range vs Signal Input



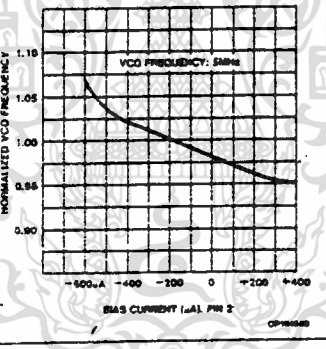
VCO Capacitor vs Frequency



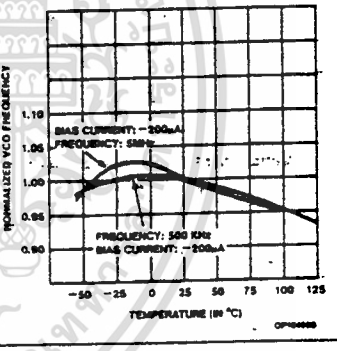
Typical Normalized VCO Frequency as a Function of Pin 2 Bias Current



Typical Normalized VCO Frequency as a Function of Pin 2 Bias Current

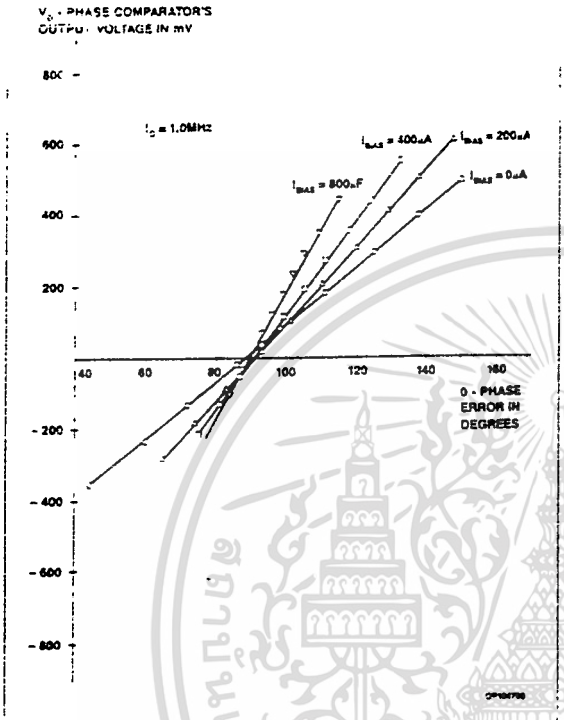


Normalized VCO Frequency as a Function of Temperature

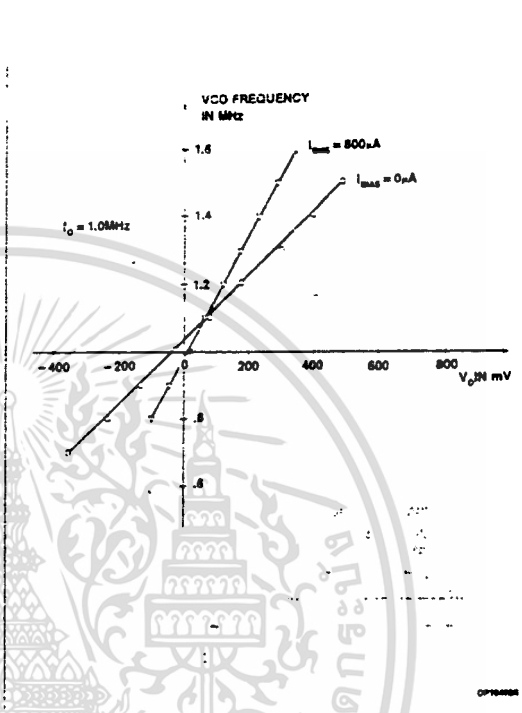


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS (Continued)

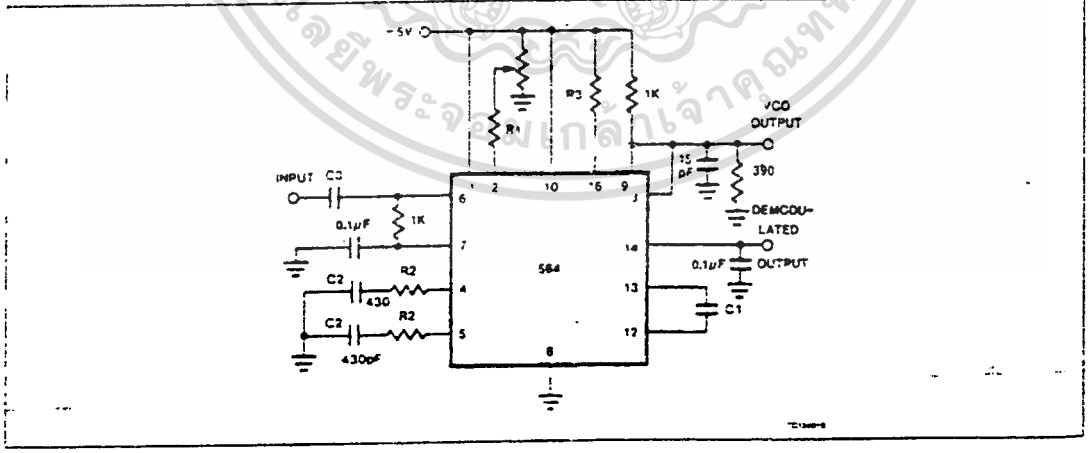


Variation of the Phase Comparator's Output Voltage vs Phase Error and Bias Current (K_D)



VCO Output Frequency as a Function of Input Voltage and Bias Current (K_O)

TEST CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION (Figure 1)

The NE564 is a monolithic phase-locked loop with a post detection processor. The use of Schottky clamped transistors and optimized device geometries extends the frequency of operation to greater than 50MHz.

In addition to the classical PLL applications, the NE564 can be used as a modulator with a controllable frequency deviation.

The output voltage of the PLL can be written as shown in the following equation:

$$V_C = \frac{(f_{IN} - f_O)}{K_{VCO}} \quad (1)$$

K_{VCO} = conversion gain of the VCO

f_{IN} = frequency of the input signal

f_O = free-running frequency of the VCO

The process of recovering FSK signals involves the conversion of the PLL output into logic compatible signals. For high data rates, a considerable amount of carrier will be present at the output of the PLL due to the wideband nature of the loop filter. To avoid the use of complicated filters, a comparator with hysteresis or Schmitt trigger is required. With the conversion gain of the VCO fixed, the output voltage as given by Equation 1 varies according to the frequency deviation of f_{IN} from f_O. Since this differs from system to system, it is necessary that the hysteresis of the Schmitt trigger be capable of being changed, so that it can be optimized for a particular system. This is accomplished in the 564 by varying the voltage at Pin 15 which results in a change of the hysteresis of the Schmitt trigger.

For FSK signals, an important factor to be considered is the drift in the free-running frequency of the VCO itself. If this changes due to temperature, according to Equation 1 it will lead to a change in the DC levels of the PLL output, and consequently to errors in the digital output signal. This is especially true for narrow-band signals where the deviation in f_{IN} itself may be less than the change in f_O due to temperature. This effect can be eliminated if the DC or average value of the signal is retrieved and used as the reference to the comparator. In this manner, variations in the DC levels of the PLL output do not affect the FSK output.

VCO Section

Due to its inherent high-frequency performance, an emitter-coupled oscillator is used in the VCO. In the circuit, shown in the equivalent schematic, transistors Q_{21} and Q_{22} with current sources Q_{25} – Q_{26} form the basic oscillator. The approximate free-running frequency of the oscillator is shown in the following equation:

$$f_O \simeq \frac{1}{22\ R_C\ (C_1 + C_S)} \quad (2)$$

$R_C = R_{19} = R_{20} = 100\Omega$ (INTERNAL)

C_1 = external frequency setting capacitor

C_S = stray capacitance

EQUIVALENT SCHEMATIC

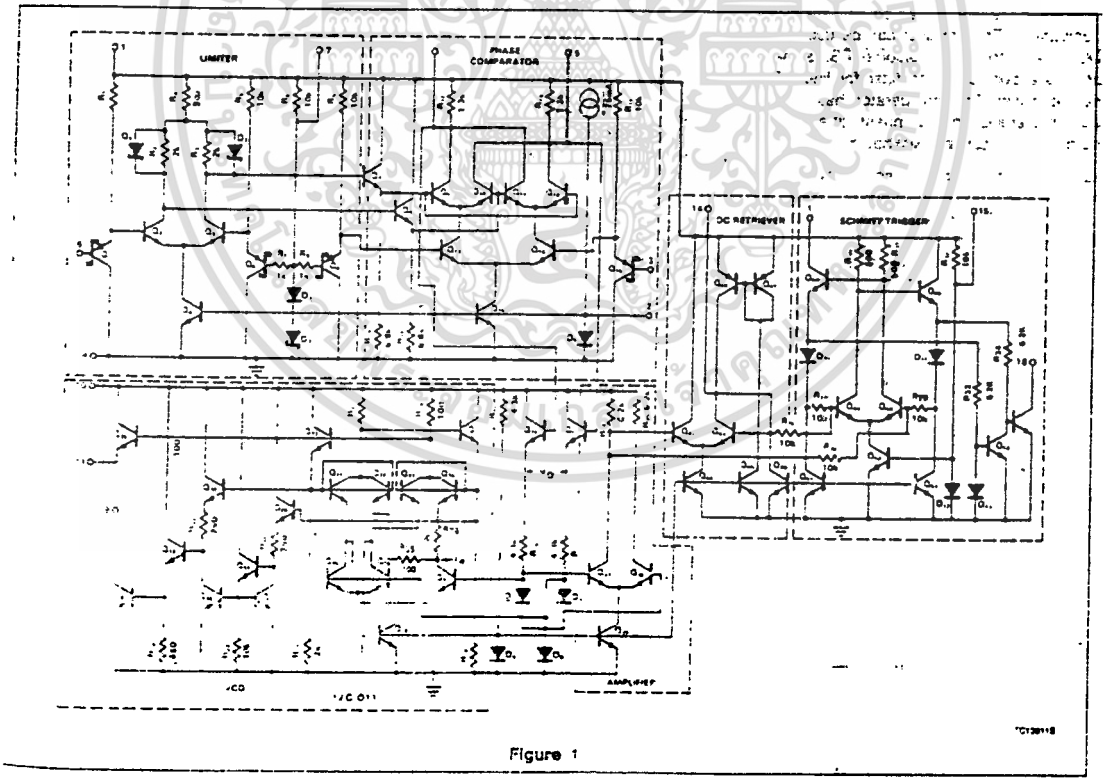


Figure 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Variation of V_D (phase detector output voltage) changes the frequency of the oscillator. As indicated by Equation 2, the frequency of the oscillator has a negative temperature coefficient due to the positive temperature coefficient of the monolithic resistor. To compensate for this, a current I_B with negative temperature coefficient is introduced to achieve a low frequency drift with temperature.

Phase Comparator Section

The phase comparator consists of a double-balanced modulator with a limiter amplifier to improve AM rejection. Schottky-clamped vertical PNPs are used to obtain TTL level inputs. The loop gain can be varied by changing the current in Q_4 and Q_{15} which effectively changes the gain of the differential amplifiers. This can be accomplished by introducing a current at Pin 2.

Post Detection Processor Section

The post detection processor consists of a unity gain transconductance amplifier and comparator. The amplifier can be used as a DC retriever for demodulation of FSK signals, and as a post detection filter for linear FM demodulation. The comparator has adjustable hysteresis so that phase jitter in the output signal can be eliminated.

As shown in the equivalent schematic the DC retriever is formed by the transductance amplifier $Q_{42} - Q_{43}$ together with an external capacitor which is connected at the amplifier output (Pin 14). This forms an integrator

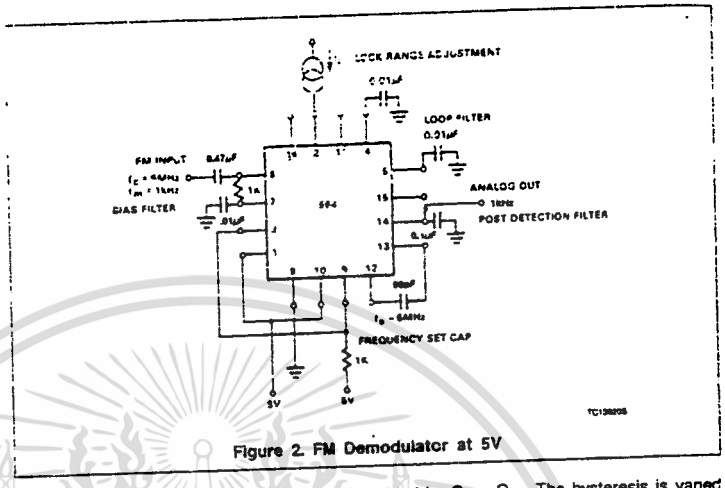


Figure 2. FM Demodulator at 5V

whose output voltage is shown in the following equation:

$$V_O = \frac{g_M}{C_2} V_{IN} dt \quad (3)$$

g_M = transconductance of the amplifier

C_2 = capacitor at the output (Pin 14)

V_{IN} = signal voltage at amplifier input

With proper selection of C_2, the integrator time constant can be varied so that the output voltage is the DC or average value of the input signal for use in FSK, or as a post detection filter in linear demodulation.

The comparator with hysteresis is made up of $Q_{49} - Q_{50}$ with positive feedback being provided by $Q_{47} - Q_{48}$. The hysteresis is varied by changing the current in Q_{52} with a resulting variation in the loop gain of the comparator. This method of hysteresis control, which is a DC control, provides symmetric variation around the nominal value.

Design Formula

The free-running frequency of the VCO is shown by the following equation:

$$f_O \simeq \frac{1}{22\ R_C\ (C_1 + C_S)} \quad (4)$$

$R_C = 100\Omega$

C_1 = external cap in farads

C_S = stray capacitance

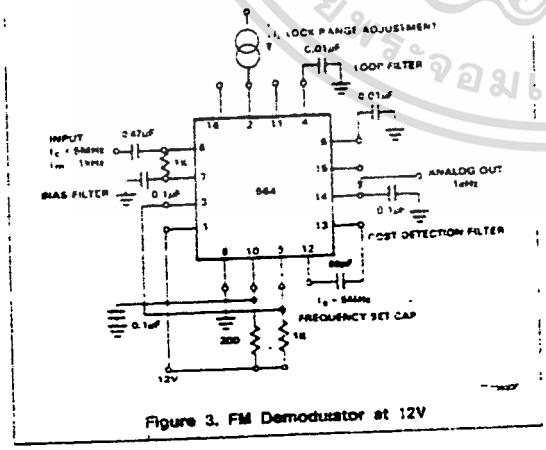


Figure 3. FM Demodulator at 12V

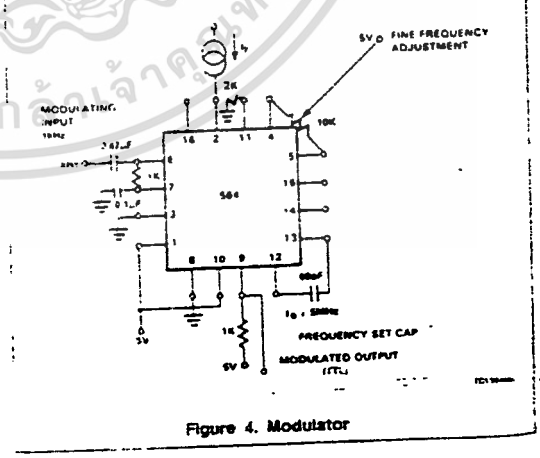


Figure 4. Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The loop filter diagram shown is explained by the following equation:

$$F_S = \frac{1}{1 + sRC_3} \text{ (First Order)} \quad 5)$$

$R = R_{12} = R_{13} = 1.3k\Omega$ (Internal)*

By adding capacitors to Pins 4 and 5, a pole is added to the loop transfer function at

$$\omega = \frac{1}{RC_3}$$

NOTE:
*Refer to Figure 1.

APPLICATIONS

FM Demodulator

The NE564 can be used as an FM demodulator. The connections for operation at 5V and 12V are shown in Figures 2 and 3, respectively. The input signal is AC coupled with the output signal being extracted at Pin 14. Loop filtering is provided by the capacitors at Pins 4 and 5 with additional filtering being provided by the capacitor at Pin 14. Since the conversion gain of the VCO is not very high, to obtain sufficient demodulated output signal the frequency deviation of the input signal should be 1% or higher.

Modulation Techniques

The NE564 phase-locked loop can be modulated at either the loop filter ports (Pins 4 and 5) or the input port (Pin 8) as shown in Figure 4. The approximate modulation frequency can be determined from the frequency conversion gain curve shown in Figure 5. This curve will be appropriate for signals injected into Pins 4 and 5 as shown in Figure 4.

FSK Demodulation

The 564 PLL is particularly attractive for FSK demodulation since it contains an internal voltage comparator and VCO which have accessible inputs and outputs, and it can operate from a single 5V power supply. Demodulated DC voltages associated with the mark and space frequencies are recovered with a single external capacitor in a DC retriever without utilizing extensive filtering networks. An internal comparator, acting as a Schmitt trigger with an adjustable hysteresis, shapes the demodulated voltages into compatible TTL output levels. The high-frequency design of the 564 enables it to demodulate FSK at high data rates in excess of 1.0M baud.

Figure 6 shows a high-frequency FSK decoder designed for input frequency deviations of ±1.0MHz centered around a free-running frequency of 10.8MHz. The value of the timing capacitance required was estimated from Figure 8 to be approximately 40pF. A trimmer capacitor was added to fine tune f_O to 10.8MHz.

The lock range graph indicates that the ±1.0MHz frequency deviations will be within the lock range for input signal levels greater than approximately 50mV with zero Pin 2 bias current. (While strictly this figure is appropriate only for 5MHz, it can be used as a guide for lock range estimates at other f_O frequencies)

The hysteresis was adjusted experimentally via the 10kΩ potentiometer and 2kΩ bias arrangement to give the waveshape shown in Figure 7 for 20k, 500k, 2M baud rates with square wave FSK modulation. Note the magnitude and phase relationships of the phase comparators' output voltages with respect to each other and to the FSK output. The high-frequency sum components of the input and VCO frequency also are visible as noise on the phase comparator's outputs.

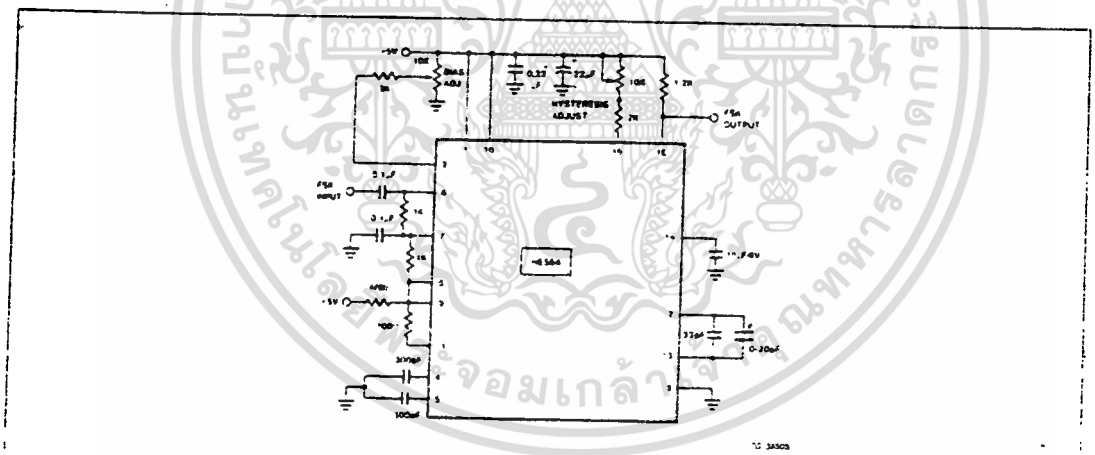


Figure 5. 10.8MHz FSK Decoder Using the 564

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

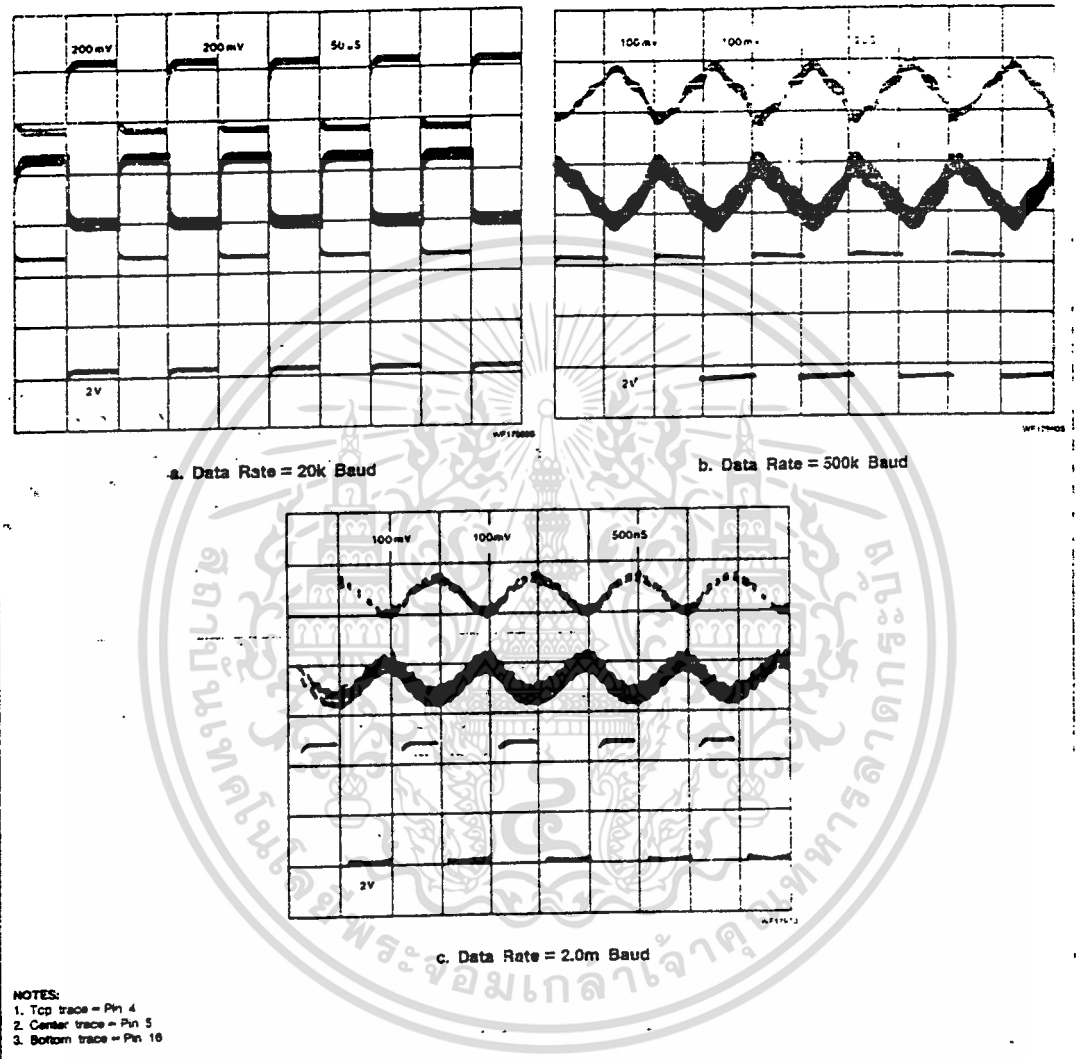


Figure 6. Phase Comparator (Pins 4 and 5) and FSK (Pin 16) Outputs

OUTLINE OF SETUP PROCEDURE

1. Determine operating frequency of the VCO:

   If ÷ N in feedback loop, then $f_O = N \times f_{IN}$.
2. Calculate value of the VCO frequency set capacitor:

$$C_O \simeq \frac{1}{2200\ f_O}$$

3. Set I_2 (current sinking into Pin 2) for ≥ 100μA. After operation is obtained, this value may be adjusted for best dynamic behavior.
4. Check VCO output frequency with digital counter at Pin 9 of device (loop open, VCO to ϕ det.). Adjust C_O trim or frequency adj. Pins 4 – 5 for exact center frequency, if needed.
5. Close loop and inject input signal to Pin 6. Monitor Pins 3 and 6 with two-channel scope. Loop should accept and track equal to 90° (phase error).
6. If pulsed burst or ramp frequency is used for input signal, special loop filter design may be required in place of simple single capacitor filter on Pins 4 and 5. (See PLL application section).
7. The input signal to Pin 6 and the VCO feedback signal to Pin 3 must have a duty cycle of 50% for proper operation of the phase detector. Due to the nature of a balanced mixer if signals are not 50% [illegible]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

duty cycle. DC offsets will occur in the loop which tend to create an error in phased VCO offset.

For multiplier circuits where phase jitter is a problem, loop filter capacitors may be increased to a value of 10 – 50 µF on Pins 4, 5. Also, careful supply decoupling may be necessary. This includes the counter chain V_{CC} lines.

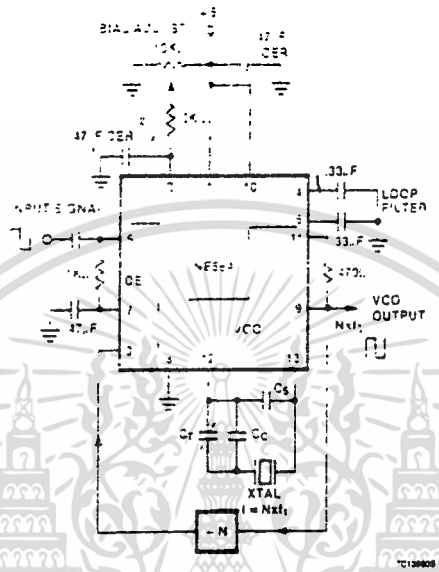


Figure 7. NE564 Phase-Locked Frequency Multiplier With VCXO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signetics

AN179
Circuit Description of the NE564

Application Note

Linear Products

CIRCUIT DESCRIPTION Of The NE564

The 564 contains the functional blocks shown in Figure 1. In addition to the normal PLL functions of phase comparator, VCO, amplifier and low-pass filter, the 564 has internal circuitry for an input signal limiter, a DC retriever, and a Schmitt trigger. The complete circuit for the 564 is shown in Figure 1.

Limiter

The input limiter functions to produce a near constant amplitude output that serves as the input for the phase comparator. Eliminating amplitude variations in the FM input signal improves the AM rejection of the PLL. Additional features of the 564's limiter are that it is capable of accepting TTL signals, operates at high frequencies up to 50MHz, and remains functional with variable supply voltages between 5 and 12V.*

Signal limiting is accomplished in the 564 with a differential amplifier whose output voltage is clipped by diodes D_1 and D_2 (see Figure 2). Schottky diodes are used because their limiting occurs between 0.3 to 0.4V instead of the 0.6 to 0.7V for regular IC diodes. This lower limiting level is helpful in biasing, especially for 5V operation. When limiting, the DC voltage across R_2 R_3 remains at the Schottky diode voltage. Good high-frequency performance for Q_2 and Q_3 is achieved with current levels in the low mA range. Current-source biasing is established via the current mirror of D_5 and Q_4 (See Figure 1).

Base biasing for Q_3 is of concern because of the nature of the input signal which can be either a TTL digital signal of 0 to 5V amplitude or a low-level, AC coupled analog signal. Compatibility for either type is achieved by modifying the limiter of Figure 2 with the addition of the vertical Schottky PNP transistors Q_1 and Q_5 as shown in Figure 3. The input signal voltage appears as a collector-base voltage for Q_1, which presents no problems for either high TTL level inputs or low-level analog inputs. Q_5 is in turn diode-biased by D_3 and D_4 (see Figure 1) which places the base voltages of Q_1 and Q_5 at approximately 1.0V. This same biasing network establishes a 1.3V bias at the base of Q_{13} for biasing the phase comparator section. A differential output signal from the input limiter is applied to one input of the phase comparator (Q_5 through Q_{12}) after buffering the level shifting through the $Q_7 - Q_8$ emitter-followers.

*When operating above $5V_{DC}$, a limiting resistor must be used from V_{CC} to Pin 10 of the 564.

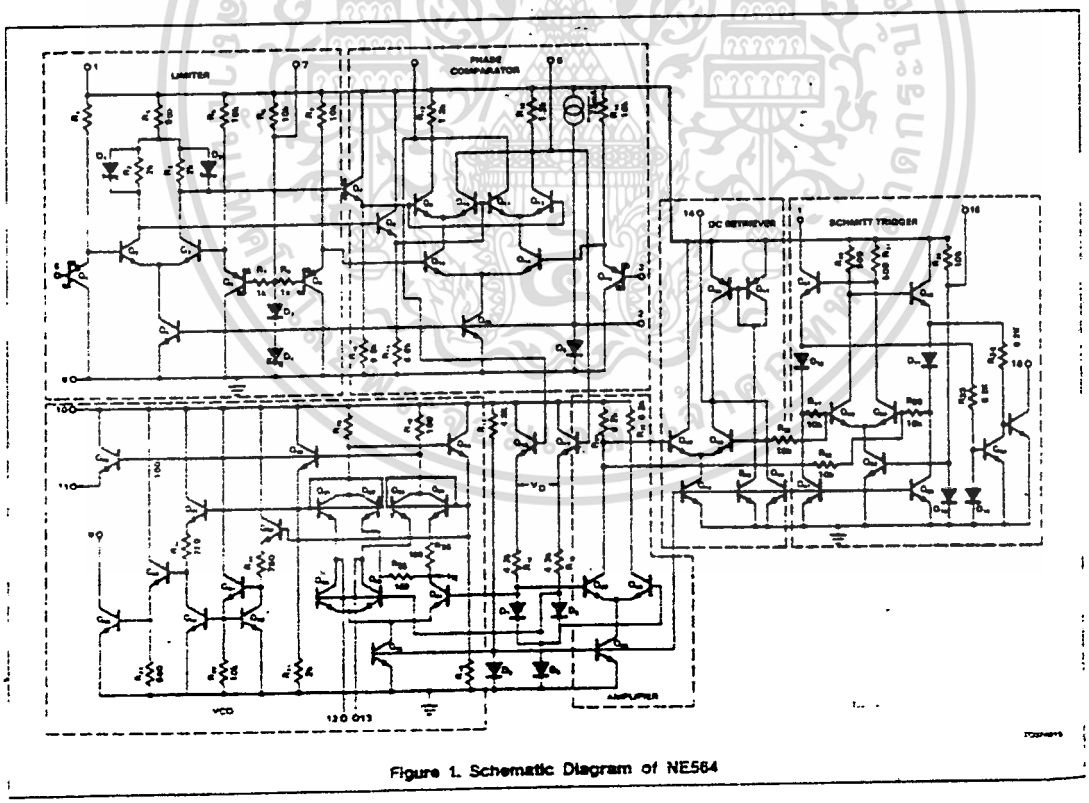


Figure 1. Schematic Diagram of NE564

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

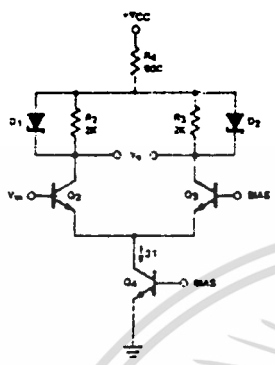


Figure 2. Basic Limiter Stage

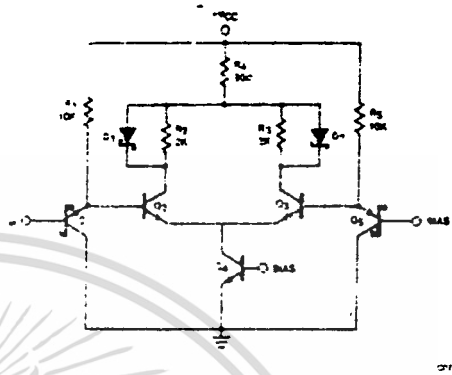


Figure 3. Limiter Stage With Input Buffering

Phase Comparator

The phase comparator section of the 564 is shown in Figure 4. It is basically the conventional, double-balanced mixer commonly used in PLL circuits, with a few exceptions. The transconductance, g_M, for the $Q_{13} - Q_{14}$ differential amplifier is directly proportional to the mirror current in Q_{15}. Thus, by externally sinking or sourcing current at Pin 2, g_M can be changed to alter the phase comparator's conversion gain, K_d. The nominal current injected into this node by the internal current source is 0.75mA for 5V operation. If the current is externally removed by gating, the phase comparator can be disabled and the VCO will operate at its free-running frequency.

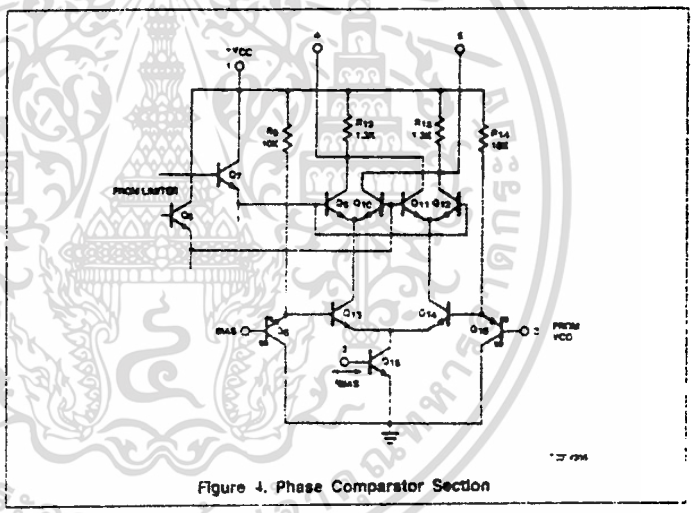


Figure 4. Phase Comparator Section

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

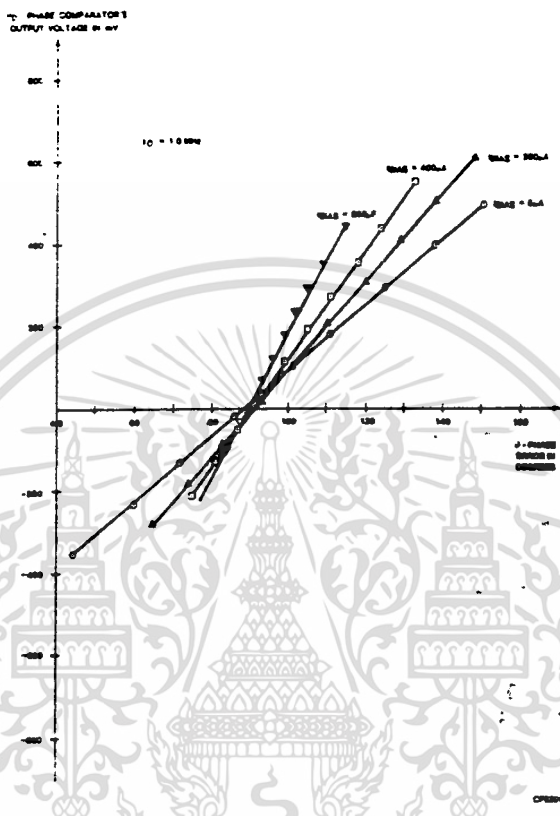


Figure 5. Variation of the Phase Comperator's Output Voltage vs Phase Error and Bias Current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

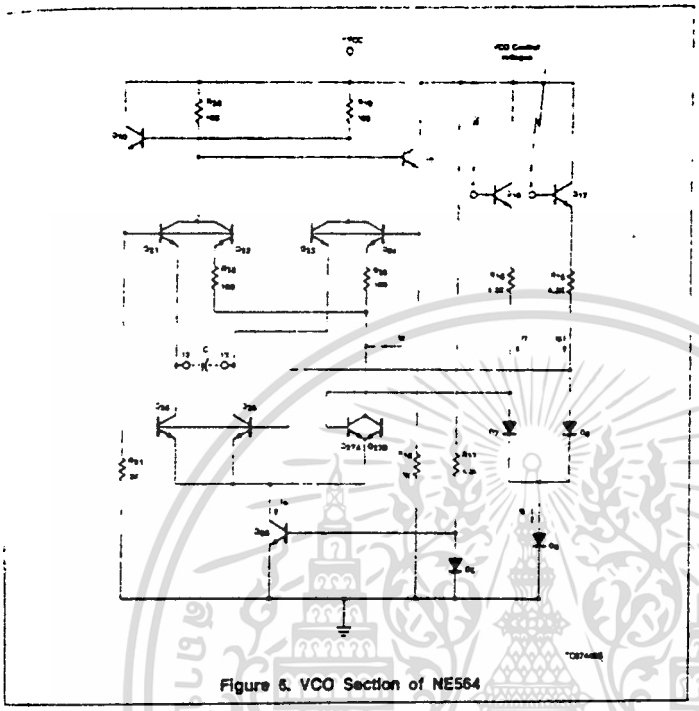


Figure 6. VCO Section of NE564

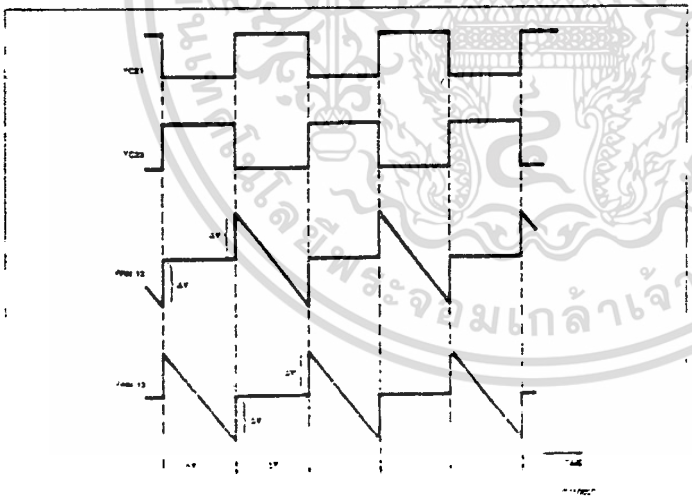


Figure 7. VCO Waveshapes

The variation of K_d with bias current at Pin 2 is shown in the experimental results of Figure 5. Note that the inherent 90° phase error in the loop produces an approximate zero-phase comparator output voltage. For any particular bias current, the slope of the line is the K_d conversion gain for the phase comparator. Numerically the data of Figure 5 can be expressed as

$$K_d \simeq 0.46\left(\frac{\text{volts}}{\text{rad}}\right) + 7.3 \times 10^{-4}\left(\frac{\text{volts}}{\text{rad} \times \mu A}\right) \times I_{BIAS}\ (\mu A) \quad (1)$$

Equation 1 is valid for bias current less than 800μA where saturation occurs within the phase comparator.

The current level established in Q_{15} of Figure 3 determines all other quiescent currents in the phase comparator (Q_8 through Q_{14}). Currents through R_{12} and R_{13} set the common-mode output voltage from the phase comparator (Pins 4 and 5). Since this common-mode voltage is applied to the VCO to establish its quiescent currents, the VCO conversion gain, (K_o) also depends upon the bias current at Pin 2.

VCO

The VCO is of the basic emitter-coupled astable type with several modifications included to achieve the high frequency, TTL-compatible operation while maintaining low frequency drift with temperature changes. The basic oscillator in Figure 6 consists of Q_{19}, Q_{20}, Q_{21}, and Q_{23} with current sinks of Q_{28} and Q_{29}. The master current sink of Q_{28} keeps the total current constant by altering the ratio of currents in $Q_{22}-Q_{24}$ and the dummy current sink of Q_{27}.

The input drive voltage for the VCO is made up of common-mode and difference-mode components from the phase comparator. After buffering the level shifting through $Q_{17}-Q_{18}$ and $R_{15}-R_{16}$, the VCO control voltage is applied differentially to the base of Q_{27} and to the common bases of Q_{25} and Q_{26}.

The VCO control voltages from the phase comparator are the Pin 4 and Pin 5 voltages or

$$V_4 = V_{C9} = V_{B18} = V_{CM} + \tfrac{1}{2}V_{DM} \quad (2)$$

$$V_5 = V_{C18} = V_{B17} = V_{CM} - \tfrac{1}{2}V_{DM} \quad (3)$$

where V_{CM} and V_{DM} are the respective common-mode and difference-mode voltages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Circuit Description of the NE564

Emitter-followers Q_{14} and Q_{15} convert these control voltages into control currents through D_6 and D_7 of the form:

$$I_6 = \frac{1}{R_{15}}\left[V_{CM} - \tfrac{1}{2}V_{DM} - 3V_{BE}\right] \quad (4)$$

$$I_7 = \frac{1}{R_{16}}\left[V_{CM} + \tfrac{1}{2}V_{DM} - 3V_{BE}\right] \quad (5)$$

These individual currents are summed in D_8 and become with $R_{15} = R_{16} = R$.

$$I_8 = I = I_6 + I_7 = \frac{2}{R}(V_{CM} - 3V_{BE}) \quad (6)$$

Writing I_6 and I_7 as functions of the total I current gives

$$I_6 = \frac{I}{2}\left(1 - \frac{V_{DM}}{RI}\right) \quad (7)$$

$$I_7 = \frac{I}{2}\left(1 + \frac{V_{DM}}{RI}\right) \quad (8)$$

Now consider variations in I_6 and I_7 while I remains constant.

Let 'x' indicate the current imbalance such that

$$I_6 = (1 - x)I = \frac{I}{2}\left(1 - \frac{V_{DM}}{RI}\right) \quad (9)$$

$$x = \frac{1}{2}\left(1 - \frac{V_{DM}}{RI}\right) \quad (10)$$

where $0 \leq x \leq 1$. Thus x is defined to be

$$x = \frac{1}{2}\left(1 + \frac{V_{DM}}{RI}\right) \quad (11)$$

Currents I_6 and I_7 establish proportional currents in Q_{25}, Q_{26}, and Q_{27} in a manner similar to the analysis above since the current in Q_{28} is a constant, or

$$I_O = I_{C28} = I_{E25} + I_{E26} + I_{E27A} + I_{E27B}$$

It can be shown that the $D_7 - D_8$ diode pair will cause identical differential currents to be reflected in both the $Q_{27} - Q_{26}$ and the $Q_{27A} - Q_{27B}$ differential amplifier pairs. Consequently, the constant-current of I_O, jointly shared by the differential amplifier pairs, will divide in each pair with the same x factor imbalance as in Equation 11.

$$I_{E25} + I_{E26} = xI_O \quad (12)$$

$$I_{E25} = I_{E26} = \frac{x}{2}I_O \quad (13)$$

$$I_{E27A} + I_{E27B} = (1 - x)I_O \quad (14)$$

$$I_{E27A} = I_{E27B} = \left(\frac{1 - x}{2}\right)I_O \quad (15)$$

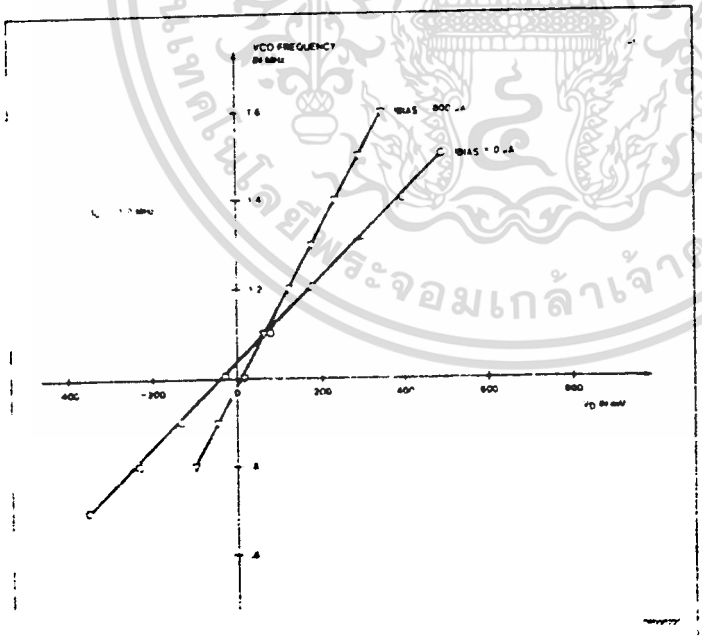


Figure 8. VCO Output as a Function of Input Voltage and Bias Current

Now consider placing a capacitor between the collectors of Q_{25} and Q_{26} (Pins 12 and 13). Oscillation will occur with the capacitor alternately being charged by Q_{21} and Q_{23} and constantly discharged by Q_{25} and Q_{26}. When the Q_{21} and Q_{22} pair conducts, Q_{23} and Q_{24} will be off, causing a negative ramp voltage to appear at Pin 13 and a constant voltage at Pin 12 as shown in Figure 7. During the next half-cycle, the transistor roles and voltages are reversed. Capacitor discharge is via Q_{25} and Q_{26}, which act as constant-current sinks with current amplitudes as in Equation 13.

During each half-cycle, the capacitor voltage changes linearly by $2\Delta V$ volts in ΔT seconds where

$$\Delta V = 2R_{20}I_O\left(\frac{x}{2} + \frac{1 - x}{2}\right) = R_{20}I_O \quad (16)$$

and

$$\Delta T = \frac{C2\Delta V}{I_{E25}}. \quad (17)$$

Combining these two equations with Equation 13 gives a half period of

$$\Delta T = \frac{4C\,R_{20}}{x} \quad (18)$$

Utilizing Equation 11 with the ΔT expression gives the desired VCO frequency expression of

$$f_O = f_O'\left(1 + \frac{V_{DM}}{RI}\right) = f_O'\left[\frac{V_{DM}}{2(V_{CM} - 3V_{BE})}\right] \quad (19)$$

where f_O' is the VCO's free-running frequency given by

$$f_O' = \frac{1}{22\,R_{20}C} \quad (20)$$

Equation 19 shows that the oscillator frequency is a linear function of the differential voltage from the phase comparator. Resistors R_{35} and R_{36} function to insure that an initial current imbalance exists between the $Q_{25} - Q_{26}$ transistor pair and the dummy Q_{27}. This imbalance insures that the oscillator is self-starting when power is first applied to the circuit.

The VCO conversion gain is determined as

$$K_o = \frac{\partial f_O}{\partial V_{DM}} = \frac{f_O'}{RI} \text{ Hz/V} \quad (21)$$

which is valid as long as the transistor's V_{BE} changes are small with respect to the common-mode voltage. Both f_O and K_o are

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

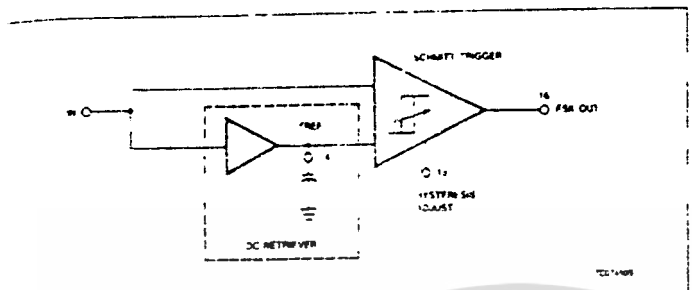


Figure 9. Post Detection Processor for FSK

...versely proportional to R, which has strong positive temperature coefficient. An internal current is having an equal and opposite negative temperature coefficient is inserted into the VCO as shown in Figure 6.

Experimental determination of K_o can be ...ined from the data of Figure 8 where K_o is the slope of either line. Numerically these results are for $I_{BIAS} = 0$.

$$K_o = 0.95\frac{MHz}{V} = 5.9 \times 10^6\frac{rad}{volt\text{-}sec} \quad (22)$$

and for $I_{BIAS} = 800\mu A$

$$K_o = 1.7\frac{MHz}{V} = 10.45 \times 10^6\frac{rad}{volt\text{-}sec} \quad (23)$$

It must be noted that the specific values obtained for K_o in the manner above are valid only for the 1.0MHz free-running frequency where the data was taken. However, good estimates for K_o at other free-running frequencies can be obtained by linearly scaling K_o to the desired f_o'. Thus, it is sometimes convenient to define a normalized K_o as

$$K_{onorm} = \frac{K_o}{f_o'} = 5.9\ \frac{rad}{V}\ (I_{BIAS} = 0)$$

$$= 10.45\frac{rad}{V}\ (I_{BIAS} = 800\mu A) \quad (24)$$

The K_o estimate for any bias then can be obtained by multiplying the normalized conversion gain by the desired free-running frequency or

$$K_o \text{ at any } f_o = K_{onorm} f_o \quad (25)$$

The additional VCO circuitry of Q_{23} through Q_{26} functions to produce the TTL and ECL compatible outputs at Pins 9 and 11.

Amplifier

The difference-mode voltage from the phase comparator is extracted and amplified by the amplifier in Figure 1. The single-ended output from this amplifier serves as input signals for both the Schmitt Trigger and a second differential amplifier. Low-pass filtering with a large capacitance at Pin 14 produces a stable DC reference level as the second input to the Schmitt Trigger. When the PLL is locked, the voltage at Pin 14 is directly proportional to the difference between the input frequency and 'f_o'. Thus Pin 14 provides the demodulated output for an FM input signal.

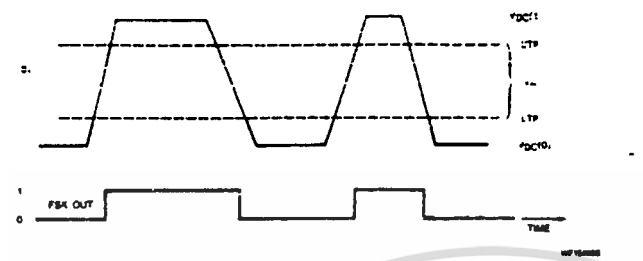
Schmitt Trigger

In FSK applications, the Pin 14 voltage will assume two different voltage levels corresponding to the mark and space input frequencies. A voltage comparator could be used to sense and convert these two voltage levels to logic compatible levels. However, at high data rates, V_{DM} will contain a considerable amount of carrier signal which can be removed by extensive filtering. Normally this complex filtering requires quite a few components, most all of which are external to the monolithic PLL. Also, since the control voltage for the comparator depends upon K_o and the deviations of the mark and space frequencies from f_o', the filtering has to be optimized for each different system utilized. However the necessary DC reference level for the comparator is present in the PLL but buried in carrier-frequency feedthrough which appears as noise in the system. A Schmitt trigger with variable hysteresis can be used successfully to decode the FSK data without the need for extensive filtering.

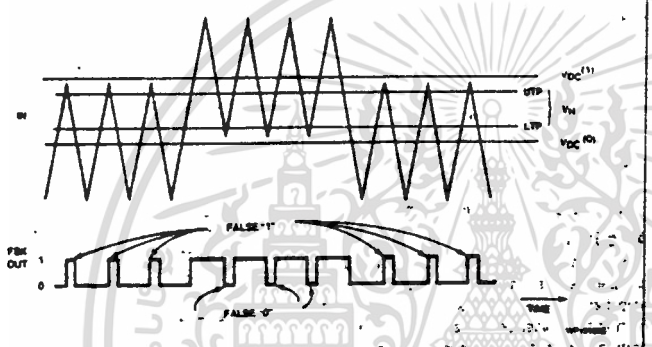
Consider the system shown in Figure 9 where the input signal is the single-ended output derived from the amplifier section of the 564. The DC retriever functions to establish a DC reference voltage for the Schmitt trigger. The upper and lower trigger points are adjustable externally around the reference voltage giving the variable hysteresis. For very low data rates, carrier feedthrough will be negligible and the ideal situation depicted in Figure 10 results. Increased data rate produces the carrier feedthrough shown in Figure 10b, where false FSK outputs result because the feedthrough amplitude exceeds the hysteresis voltage. Having the capability to increase the hysteresis, as in Figure 10c, produces the desired FSK output in the presence of carrier feedthrough.

Another important factor to be considered is the temperature drift of the f_o' in the VCO. Small changes in f_o' will change the DC level of the input voltage to the Schmitt trigger. This DC voltage shift would produce errors in the FSK output in narrow-band systems where the mark and space deviations in f_{IN} are less than the f_o' change with temperature. However, this effect can be eliminated if the DC or average value of the amplifier signal is retrieved and used as the reference voltage for the Schmitt trigger. In this manner, variations in the f_o' with temperature do not affect the FSK output.

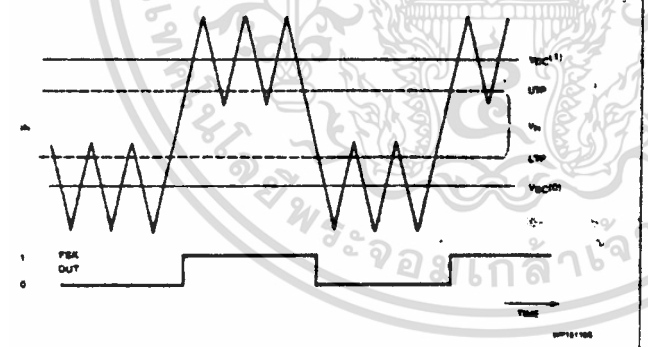
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



a. Low Data Rates With Negligible Carrier Feedthrough



b. False FSK Outputs Due to Feedthrough and Low Hysteresis



c. Increased Hysteresis Restores Proper FSK Output in the Presence of Feedthrough

Figure 10. Waveshapes for FSK Decoding in the Post Detection Processor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC54/74HC160
MC54/74HC161
MC54/74HC162
MC54/74HC163

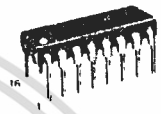
Presettable Counters
High-Performance Silicon-Gate CMOS

The MC54/74HC160 through HC163 are identical in pinout to the LS160 through LS163, respectively. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC160 and HC162 are programmable BCD counters with asynchronous and synchronous Reset inputs, respectively. The HC161 and HC163 are programmable 4 bit binary counters with asynchronous and synchronous reset, respectively.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 234 FETs or 58.5 Equivalent Gates

J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-08

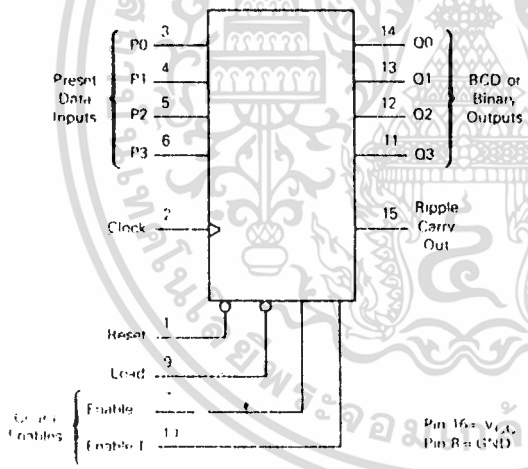
D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

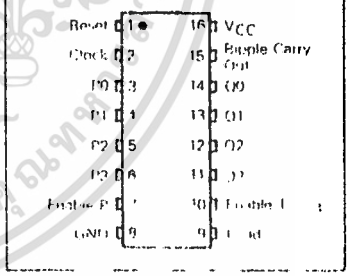
MC74HCXXXN	Plastic
MC54HCXXXJ	Ceramic
MC74HCXXXD	SOIC

T_A = −55° to 125 C for all packages
Dimensions in Chapter 6

LOGIC DIAGRAM



PIN ASSIGNMENT



Device	Count Mode	Reset Mode
HC160	BCD	Asynchronous
HC161	Binary	Asynchronous
HC162	BCD	Synchronous
HC163	Binary	Synchronous

FUNCTION TABLE

Inputs					Output
Clock	Reset*	Load	Enable P	Enable T	Q
↑	L	X	X	X	Reset
↑	H	L	X	X	Preset (Load)
↑	H	H	H	H	Count
↑	H	H	L	X	No Count
↑	H	H	X	L	No Count

*HC162 and HC163 only. HC160 and HC161 are Asynchronous Reset Devices.

H = high level
L = low level
X = don't care

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC} +1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} +0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic DIP or SOIC Package)	260	
	(Ceramic DIP)	300	

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C
SOIC Package: −7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 4.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions		V_{CC} V	Guaranteed Limit			Unit
					25°C to −55°C	≤85°C	≤125°C	
V_{IH}	Minimum High Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA		2.0	1.5	1.5	1.5	V
				4.5	3.15	3.15	3.15	
				6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA		2.0	0.3	0.3	0.3	V
				4.5	0.9	0.9	0.9	
				6.0	1.2	1.2	1.2	
V_{OH}	Minimum High Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA		2.0	1.9	1.9	1.9	V
				4.5	4.4	4.4	4.4	
				6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL}	$\|I_{out}\|$ ≤ 4.0 mA	4.5	3.98	3.84	3.70	
			$\|I_{out}\|$ ≤ 5.2 mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA		2.0	0.1	0.1	0.1	V
				4.5	0.1	0.1	0.1	
				6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL}	$\|I_{out}\|$ ≤ 4.0 mA	4.5	0.26	0.33	0.40	
			$\|I_{out}\|$ ≤ 5.2 mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND		6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA		6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle)* (Figures 1 and 7)	2.0 4.5 6.0	6.0 30 35	4.8 24 28	4.0 20 24	MHz
t_{PLH}	Maximum Propagation Delay, Clock to Q (Figures 1 and 7)	2.0 4.5 6.0	170 34 29	215 43 37	255 51 43	ns
t_{PHL}		2.0 4.5 6.0	205 41 35	255 51 43	310 62 53	
t_{PHL}	Maximum Propagation Delay, Reset to Q (HC160 and HC161 Only) (Figures 2 and 7)	2.0 4.5 6.0	210 42 36	265 53 45	315 63 54	ns
t_{PLH}	Maximum Propagation Delay, Enable T to Ripple Carry Out (Figures 3 and 7)	2.0 4.5 6.0	160 32 27	200 40 34	240 48 41	ns
t_{PHL}		2.0 4.5 6.0	195 39 33	245 49 42	295 59 50	
t_{PLH}	Maximum Propagation Delay, Clock to Ripple Carry Out (Figures 1 and 7)	2.0 4.5 6.0	175 35 30	220 44 37	265 53 45	ns
t_{PHL}		2.0 4.5 6.0	215 43 37	270 54 46	325 65 55	
t_{PHL}	Maximum Propagation Delay, Reset to Ripple Carry Out (HC160 and HC161 Only) (Figures 2 and 7)	2.0 4.5 6.0	220 44 37	275 55 47	330 66 56	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 7)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

*Applies to noncascaded/nonsynchronously clocked configurations only. With synchronously cascaded counters, (1) Clock to Ripple Carry Out propagation delays, (2) Enable T or Enable P to Clock setup times, and (3) Clock to Enable T or Enable P hold times determine f_{max}. However, if Ripple Carry Out of each stage is tied to the Clock of the next stage (nonsynchronously clocked), the f_{max} in the table above is applicable See Applications Information in this data sheet.

NOTES.
1. For propagation delays with loads other than 50 pF, see Chapter 4.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Package) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ For load considerations, see Chapter 4	Typical @ 25°C, V_{CC} = 5.0 V 60	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 6$ ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{su}	Minimum Setup Time, Preset Data Inputs to Clock (Figure 5)	2.0 4.5 6.0	150 30 26	190 38 33	225 45 38	ns
t_{su}	Minimum Setup Time, Load to Clock (Figure 5)	2.0 4.5 6.0	135 27 23	170 34 29	205 41 35	ns
t_{su}	Minimum Setup Time, Reset to Clock (HC162 and HC163 only) (Figure 4)	2.0 4.5 6.0	160 32 27	200 40 34	240 48 41	ns
t_{su}	Minimum Setup Time, Enable T or Enable P to Clock (Figure 6)	2.0 4.5 6.0	200 40 34	250 50 43	300 60 51	ns
t_h	Minimum Hold Time, Clock to Preset Data Inputs (Figure 5)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_h	Minimum Hold Time, Clock to Load (Figure 5)	2.0 4.5 6.0	3 3 3	3 3 3	3 3 3	ns
t_h	Minimum Hold Time, Clock to Reset (HC162 and HC163 only) (Figure 4)	2.0 4.5 6.0	3 3 3	3 3 3	3 3 3	ns
t_h	Minimum Hold Time, Clock to Enable T or Enable P (Figure 6)	2.0 4.5 6.0	3 3 3	3 3 3	3 3 3	ns
t_{rec}	Minimum Recovery Time, Reset Inactive to Clock (HC160 and HC161 only) (Figure 2)	2.0 4.5 6.0	125 25 21	155 31 26	190 38 32	ns
t_{rec}	Minimum Recovery Time, Load Inactive to Clock (Figure 5)	2.0 4.5 6.0	125 25 21	155 31 26	190 38 32	ns
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Reset (HC160 and HC161 only) (Figure 2)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTION DESCRIPTION

The HC160/161, 162/163 are programmable 4 bit synchronous counters that feature parallel Load, synchronous or asynchronous Reset, a Carry Output for cascading, and count enable controls.

The HC160 and HC162 are BCD counters with asynchronous Reset, and synchronous Reset, respectively. The HC161 and HC163 are binary counters with asynchronous Reset and synchronous Reset, respectively.

INPUTS

Clock (Pin 2) — The internal flip-flops toggle and the output count advances with the rising edge of the Clock input. In addition, control functions such as resetting (HC162 and HC163) and loading occur with the rising edge of the Clock input.

Preset Data Inputs P0, P1, P2, P3 (Pins 3, 4, 5, 6) — These are the data inputs for programmable counting. Data on these pins may be synchronously loaded into the internal flip-flops or appear at the counter outputs. P0 (pin 3) is the least significant bit and P3 (pin 6) is the most significant bit.

OUTPUTS

Q0, Q1, Q2, Q3 (Pins 14, 13, 12, 11) - These are the counter outputs (BCD or binary). Q0 (pin 14) is the least significant bit and Q3 (pin 11) is the most-significant bit.

Ripple Carry Out (Pin 15) — When the counter is in its maximum state (1001 for the BCD counters or 1111 for the binary counters), this output goes high, providing an external look-ahead carry pulse that may be used to enable successive cascaded counters. Ripple Carry Out remains high only during the maximum count state. The logic equations for this output are:

Ripple Carry Out — Enable T•Q0•Q1•Q2•Q3
for BCD counters HC160 and HC162

Ripple Carry Out — Enable T•Q0•Q1•Q2•Q3
for binary counters HC161 and HC163

CONTROL FUNCTIONS

Resetting — A low level on the Reset pin (pin 1) resets the internal flip-flops and sets the outputs (Q0 through Q3) to a low level. The HC160 and HC161 reset asynchronously, and the HC162 and HC163 reset with the rising edge of the Clock input (synchronous reset).

Loading — With the rising edge of the Clock, a low level on Load (pin 9) loads the data from the Preset Data Input pins (P0, P1, P2, P3) into the internal flip-flops and onto the output pins, Q0 through Q3. The count function is disabled as long as Load is low.

Although the HC160 and HC162 are BCD counters, they may be programmed to any state. If they are loaded with a state disallowed in BCD code, they will return to their normal count sequence within two clock pulses (see the Output State Diagram).

Count Enable/Disable — These devices have two count-enable control pins: Enable P (pin 7) and Enable T (pin 10). The devices count when these two pins and the Load pin are high. The logic equation is:

Count Enable = Enable P•Enable T•Load

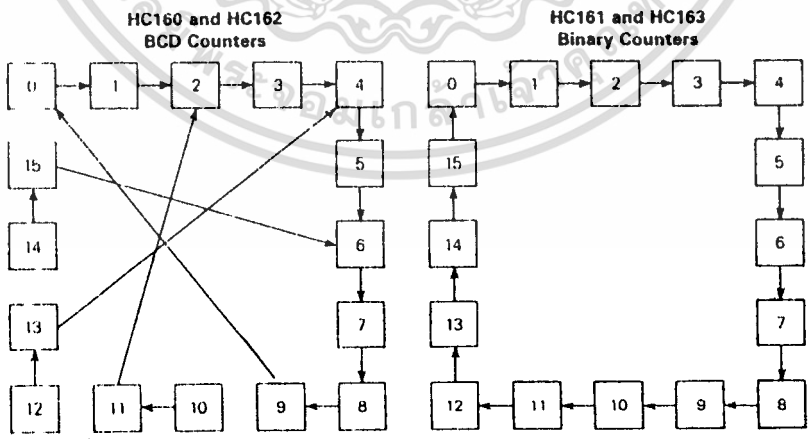
The count is either enabled or disabled by the control inputs according to Table 1. In general, Enable P is a count-enable control, Enable T is both a count enable and a Ripple Carry Output control.

TABLE 1. COUNT ENABLE/DISABLE

Control Inputs			Result at Outputs	
Load	Enable P	Enable T	Q0-Q3	Ripple Carry Out
H	H	H	Count	High when Q0-Q3
L	H	H	No Count	are maximum*
X	L	H	No Count	High when Q0 – Q3 are maximum*
X	X	L	No Count	L

*Q0 through Q3 are maximum for the HC160 and HC162 when Q3 Q2 Q1 Q0 = 1001.
Q0 through Q3 are maximum for the HC161 and HC163 when Q3 Q2 Q1 Q0 = 1111.

OUTPUT STATE DIAGRAMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

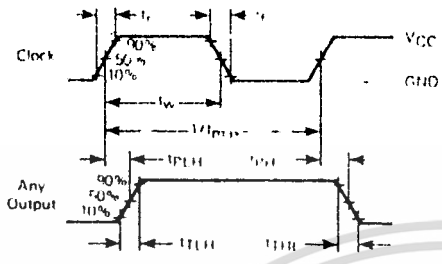


Figure 1.

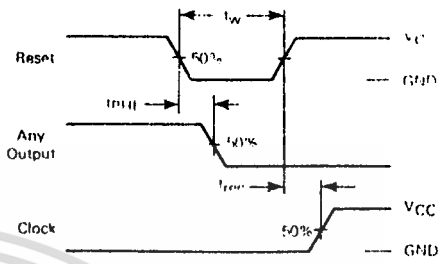


Figure 2.

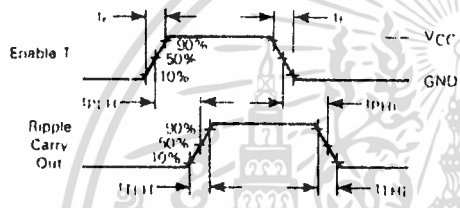


Figure 3.

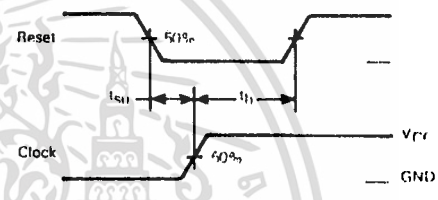


Figure 4. HC162 and HC163 Only.

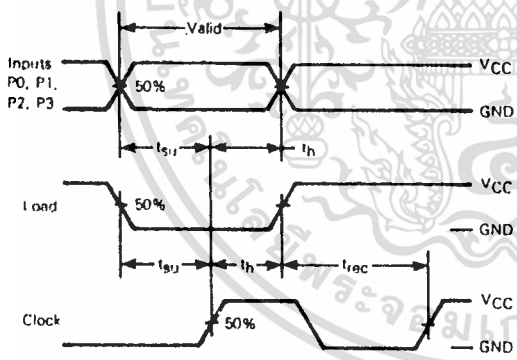


Figure 5.

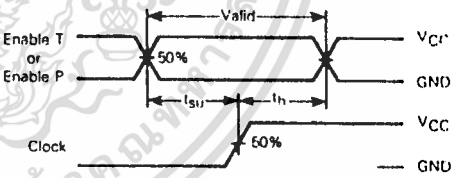
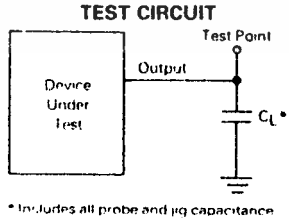


Figure 6.

TEST CIRCUIT

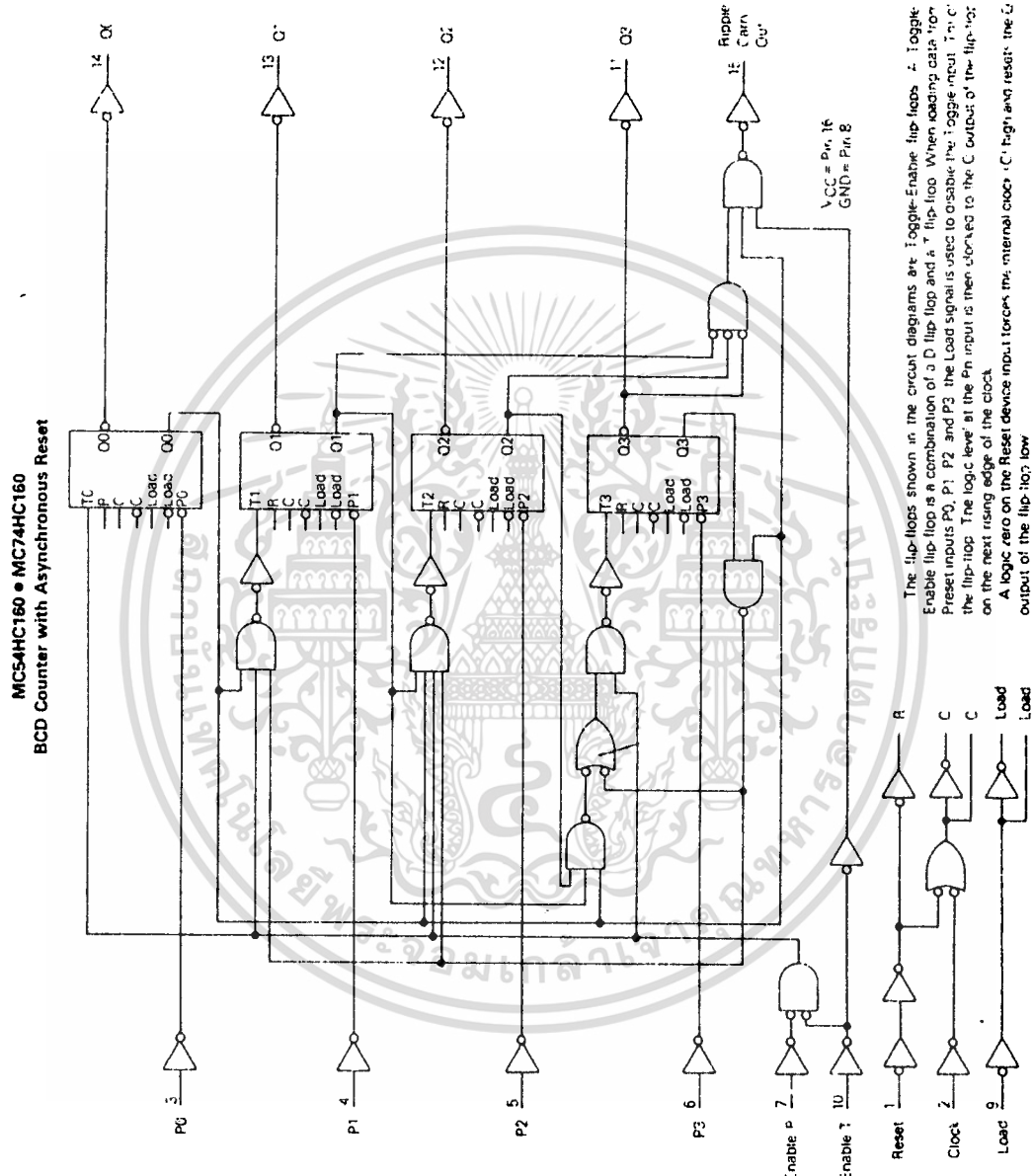


* Includes all probe and jig capacitance

Figure 7.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54HC160 • MC74HC160
BCD Counter with Asynchronous Reset

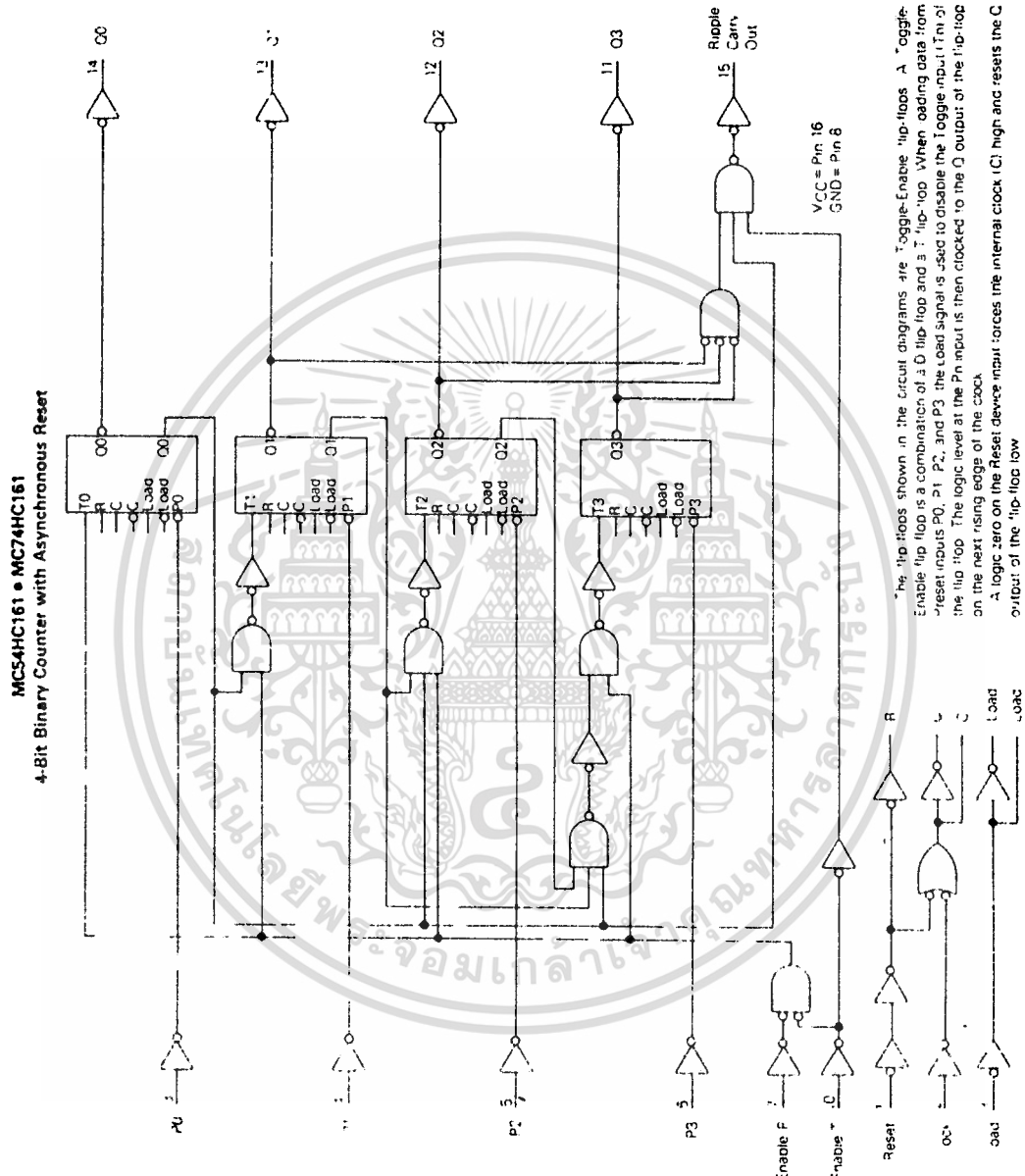


The flip-flops shown in the circuit diagrams are Toggle-Enable flip-flops. A Toggle-Enable flip-flop is a combination of a D flip-flop and a T flip-flop. When loading data from the Preset inputs P0, P1, P2, and P3, the Load signal is used to disable the Toggle input. For counting, the flip-flop. The logic level at the Pn input is then clocked to the Q output of the flip-flop on the next rising edge of the clock.

A logic zero on the Reset device input forces the internal clock (C) high and resets the Q output of the flip-flop low.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

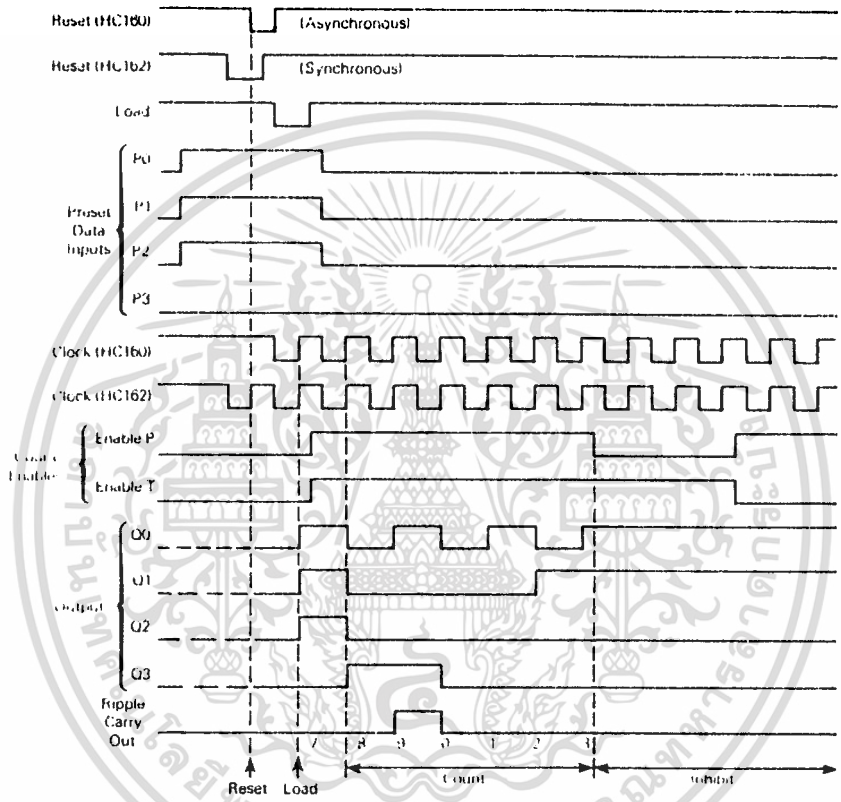
MC54HC161 • MC74HC161
4-Bit Binary Counter with Asynchronous Reset



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HC160, HC162 TIMING DIAGRAM

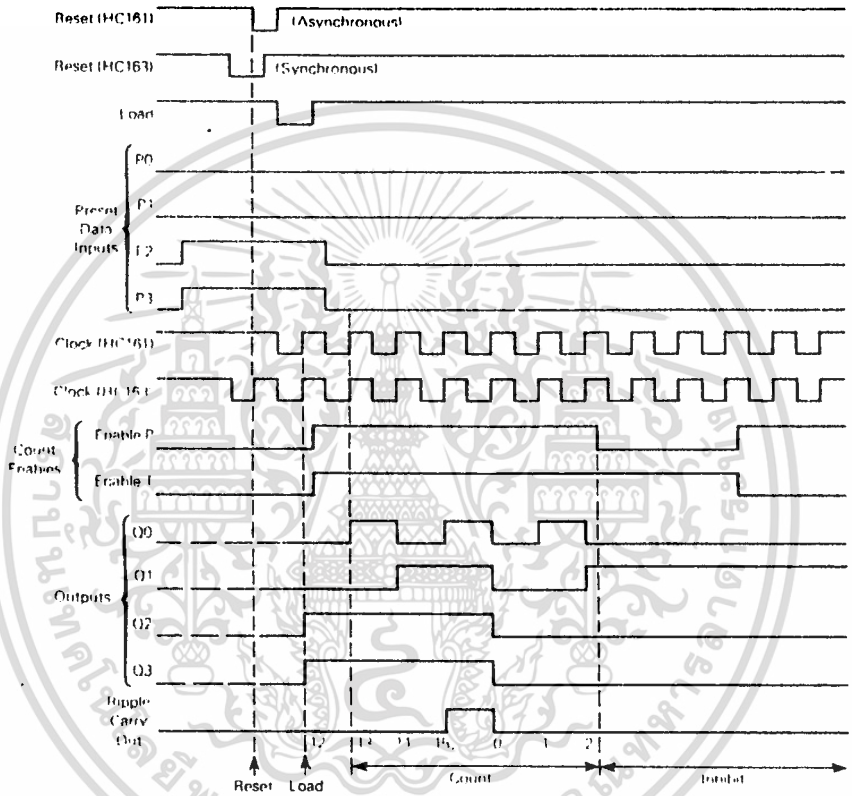
Sequence illustrated in waveforms
1. Reset outputs to zero
2. Preset to BCD seven
3. Count to eight, nine, zero, one, two, and three
4. Inhibit



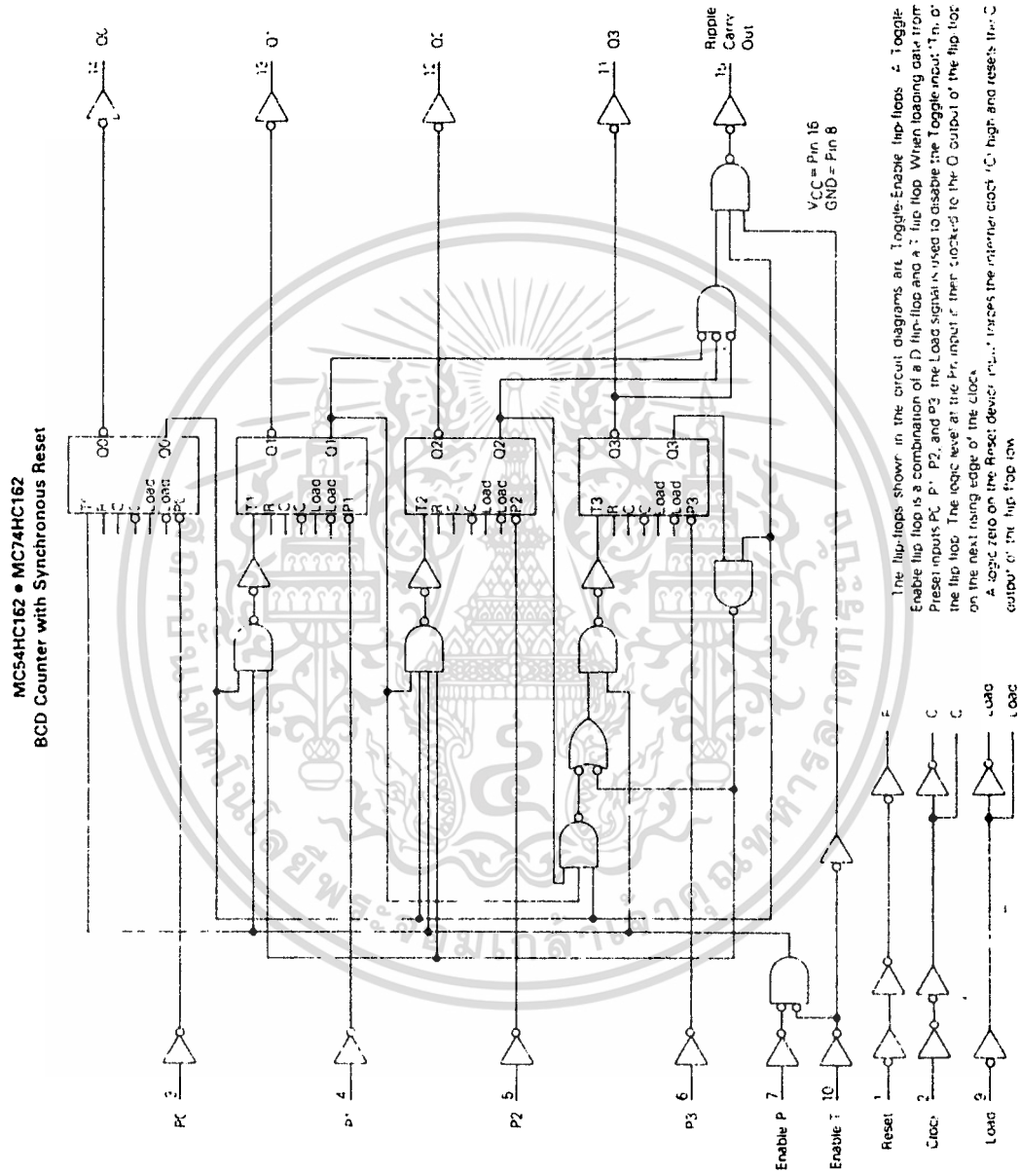
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HC161, HC163 TIMING DIAGRAM

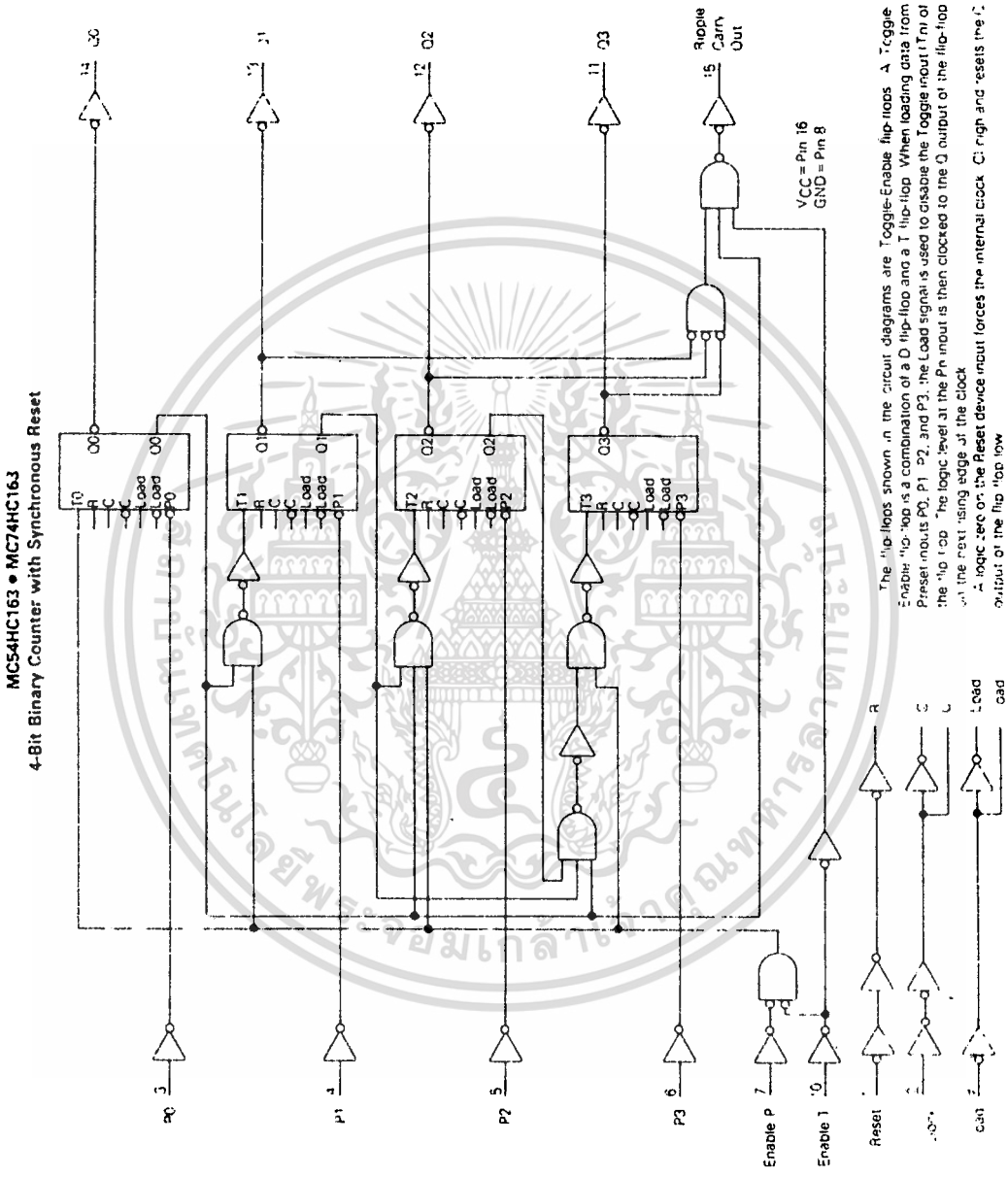
Sequence illustrated in waveforms
1. Reset outputs to zero
2. Preset to binary twelve
3. Count to thirteen, fourteen, fifteen, zero, one, and two
4. Inhibit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



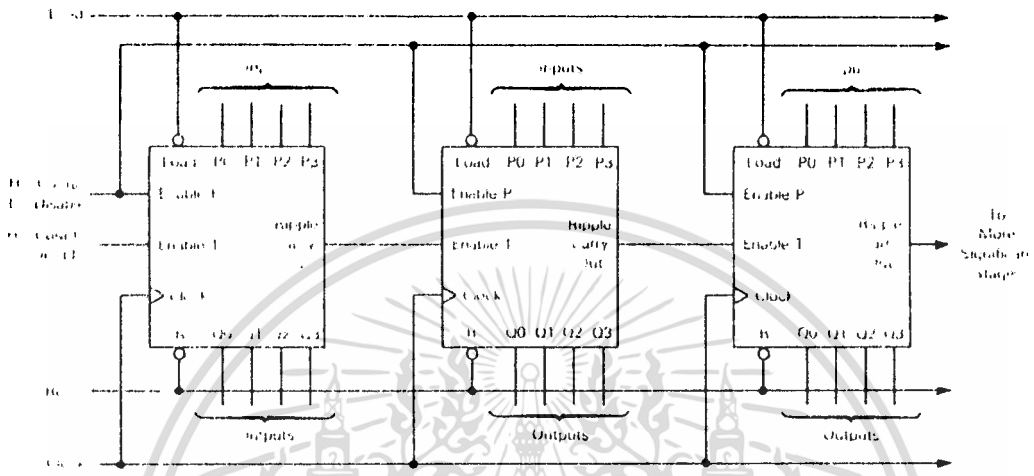
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

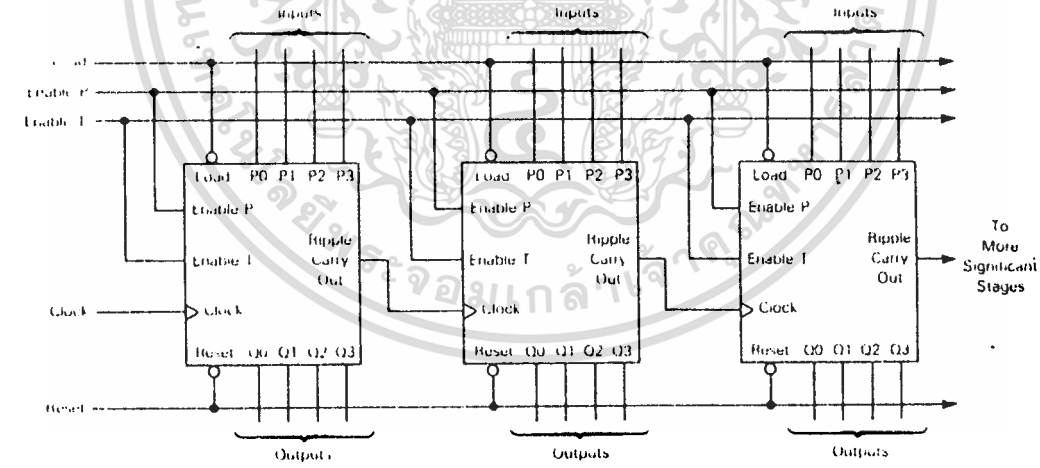
TYPICAL APPLICATIONS
CASCADING

N-Bit Synchronous Counters



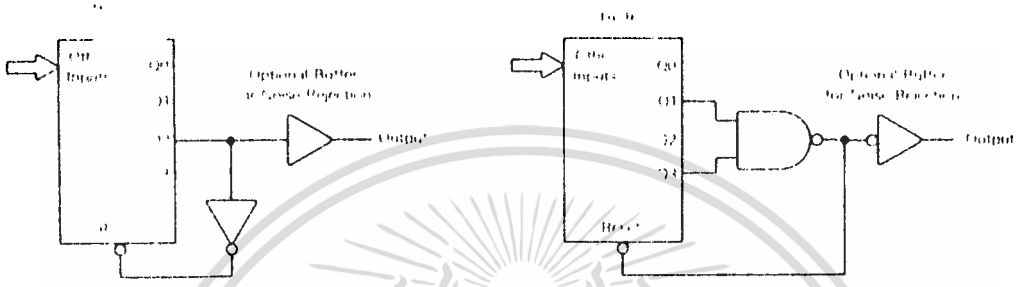
NOTE: When these devices are cascaded configurations the clock f_{max} guaranteed limits may not apply. Actual performance will depend on number of stages. The limitation is due to set up times between Enable (Port) and Clock.

Nibble Ripple Counter



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS
VARYING THE MODULUS



Modulo-5 Counter

Modulo-11 Counter

The HC162 and HC 163 facilitate designing counters of any modulus with minimal external logic. The output is glitch free due to the synchronous Reset

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้