16 QAM TRANSMITTER AND RECEIVER ON CABLE

นาย ไพโรจน์ ถนอมแจ่ม
นาย อิสรา คูสุวรรณ
นางสาว น้ำฝน เจริญผล

วัน เดือน ปี 1 ตค 2541
เลขทะเบียน 038337
เลขเรียกหนังสือ T 54354 พ๑๙๒ ก

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต
สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
038337

หัวข้อปริญญานิพนธ์ 16 QAM รับส่งด้วยสายเคเบิล

16 QAM TRANSMITTER AND RECEIVER ON CABLE

ชื่อนักศึกษา นาย ไพโรจน์ ถนอมแจ่ม

นาย อิสรา ดูสุวรรณ

นางสาว น้ำฝน เจริญผล

อาจารย์ที่ปรึกษา อาจารย์คลชัย สุขเจริญผล

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2539

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16 QAM รับส่งด้วยสายเคเบิล

โดย นาย ไพโรจน์ ถนอมแจ่ม
นาย อิสรา คูสุวรรณ
นางสาว น้ำฝน เจริญผล

อาจารย์ที่ปรึกษา อาจารย์คณชัย สุขเจริญผล
ปีการศึกษา 2539

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอ การทดลองการส่งสัญญาณดิจิตอลความเร็ว 256 Kbps ไปตามสายเคเบิล โดยใช้หลักของการมอดดูเลทแบบ 16 QAM (16 Quadrature Amplitude Modulation)ซึ่งเป็นรูปแบบหนึ่งในการส่งสัญญาณดิจิตอล ข้อมูลดิจิตอลนั้นจะถูกบรรจุอยู่ในเฟสหรือขนาดหรือทั้งคู่ของสัญญาณพาหะ

ในโครงงานนี้จะใช้วงจรผลิตสัญญาณพาหะ และสัญญาณไพล็อตโทน ที่อ้างอิงจากสัญญาณนาฬิกา 256 Kbps และใช้วงจรแยกสัญญาณดิจิตอลแล้วนำสัญญาณดิจิตอลไปแปลงเป็นสัญญาณ PAM ก่อนจะเข้าวงจรบาลานซ์มอดดูเลเตอร์ ดังนั้นที่วงจรบาลานซ์มอดดูเลเตอร์ จะมีการเปลี่ยนแปลงที่เอ้าพุตหนึ่งครั้งเมื่อมีข้อมูลอินพุตเข้ามาทุกๆ 4 บิท ซึ่งสามารถแสดงให้เห็นว่า 16 QAM มีประสิทธิภาพในการใช้แบนด์วิดท์มากกว่า BPSK (Binary Phase Shift Keying)สำหรับบิทเรทที่เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16 QAM TRANSMITTER AND RECEIVER ON CABLE

BY MR.. PAIROT THANOOMJARM
MR.. ISARA KOOSUWAN
MISS. NUMFON CHAROENPHOL

ADVISOR MR . DOLCHAI SUKCHAROENPHOL

YEAR 1996

ABSTRACT

This project presents of digital transmission system at data speed 256 Kbps in cable line meduim by 16 QAM (Sixteen Quadrature Amplitude Modulation) which it is a form of digital modulation where the digital information is contained in both of amplitude and phase of the transmitted carrier.

In this project will use osicliate carrier signal and pilot tone signal circuits with control by real time clock 256 Kbps and digital data separate circuit to convert digital signal into PAM signal before presented to either balance modulator. Also, at balance modulator, there is one change in the output signal for every 4 bits input data bits.The results indicate that 16 QAM is use bandwidth efficiency more than BPSK (Binary Phase Shift Keying) for the same bit rate.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปด้วยดีทั้งทางด้านวงจร และประสิทธิภาพในการใช้งาน รวมทั้งองค์ประกอบอื่นๆอีกมาก ด้วยความตั้งใจและความพยายามในการทำงานของผู้ร่วมงานในกลุ่มโครงงาน พร้อมทั้งการให้คำแนะนำจากอาจารย์ที่ปรึกษาทางด้านเทคนิคและแนวความคิดต่างๆ ตลอดจนความร่วมมือของบุคคลหลายๆท่าน จึงขอขอบพระคุณไว้ ณ ที่นี้

ขอขอบพระคุณ อาจารย์ คลชัย สุขเจริญผล อาจารย์ที่ปรึกษาโครงงานที่ให้คำแนะนำรายละเอียดและขอบเขตของโครงงาน ตลอดจนการให้ความเอื้อเฟื้อเครื่องมืออุปกรณ์และห้องปฏิบัติการในการทำโครงงานครั้งนี้ด้วย

ขอขอบคุณ คุณพยุง ม่วงงาม และ คุณยอด นาคเจือทอง ที่ให้คำแนะนำปรึกษาเกี่ยวกับวงจร

และที่จะลืมเสียมิได้ คือ ผู้อุปการะสนับสนุนทางด้านทุนทรัพย์ กำลังใจด้วยดีเสมอมาและเพื่อนๆทุกคนไว้ ณ โอกาสนี้ด้วย

นาย ไพโรจน์ ถนอมแจ่ม
นาย อิสรา ลูสุวรรณ
นางสาว น้ำฝน เจริญผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ(ภาษาไทย)	A
บทคัดย่อ(ภาษาอังกฤษ)	B
กิตติกรรมประกาศ	C
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการของ 16QAM	11
- Quadrature Amplitude Modulation	11
- ประสิทธิภาพของแถบความถี่	13
- การพิจารณาแถบความถี่ของ 16QAM	15
- วงจร Balance Modulation	16
- Phase Lock Loop	21
- วงจรเปรียบเทียบความแตกต่างของเฟส	46
บทที่ 3 การออกแบบและการทดลองวงจรด้านภาคส่ง	53
- วงจรรวมสัญญาณดิจิตอล	53
- วงจรแปลง 2 บิท ไปเป็น 4 ระดับ	54
- วงจรกรองความถี่ต่ำ	55
- วงจรกำเนิดสัญญาณพาหะ	57
- วงจรกำเนิดสัญญาณไพล็อตโทน	58
- วงจรกรองความถี่ผ่านเฉพาะย่าน	59
- วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา	61
- วงจรบาลานซ์มอดดูเลเตอร์	62
- วงจรรวมสัญญาณ	63
บทที่ 4 การออกแบบและการทดลองวงจรด้านภาครับ	65
- วงจรกรองความถี่ผ่านเฉพาะย่าน	65
- วงจรกู้สัญญาณนาฬิกา	66
- วงจรกู้สัญญาณพาหะ	67
- วงจรเลื่อนเฟสสัญญาณ 90 องศา	68
- วงจรบาลานซ์ดีมอดดูเลเตอร์	68
- วงจรกรองความถี่ต่ำผ่าน	69
- วงจรแปลงสัญญาณ 4 ระดับ ไปเป็น 2 บิท	70
- วงจรรวมสัญญาณดิจิตอล	72

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
บทที่ 5 ผลการทดลอง	74
บทที่ 6 สรุปผลการทดลอง	86
เอกสารอ้างอิง	K
ภาคผนวก	L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

บทที่1

รูปที่ 1.1 แสดงระบบการสื่อสารชนิดต่างๆ 1

รูปที่ 1.2 แสดงการติดต่อแบบขนานและแบบอนุกรม 2

รูปที่ 1.3 แสดงองค์ประกอบของคลื่นไฟฟ้ารูปสี่เหลี่ยม 3

รูปที่ 1.4 แสดงการใช้งานโมเด็ม 4

รูปที่ 1.5 แสดงหลักการแปลงดอจิกเป็นสัญญาณความถี่เสียง
โดยวิธี Frequency Shift Keying 5

รูปที่ 1.6 แสดงการแปลงสัญญาณแบบ Phase Shift Keying 5

รูปที่ 1.7 แสดงการมอดดูเลทแอมปลิจูดร่วมกับ Phase Shift Keying 6

รูปที่ 1.8 บล็อคไดอะแกรมของภาคส่ง(Transmitter) 8

รูปที่ 1.9 บล็อคไดอะแกรมของภาครับ(Receiver) 9

บบที่ 2

รูปที่ 2.1 บล็อคไดอะแกรม 16 QAM Modulator 11

รูปที่ 2.2 Phase Diagram และ Constellation Diagram 13

รูปที่ 2.3 การพิจารณาแถบความถี่ของ 16 QAM Modulater 16

รูปที่ 2.4 วงจร Balance Modulator 17

รูปที่ 2.5 Frequency Response ของวงจร Filter 19

รูปที่ 2.6 บล็อคไดอะแกรมของวงจร PLL 22

รูปที่ 2.7 คุณลักษณะระหว่างความถี่กับ Error Voltage ของ PLL 23

รูปที่ 2.8 แสดงบล็อคไดอะแกรมวงจรต่างๆของ PLL 24

รูปที่ 2.9 แสดงบล็อคไดอะแกรมของวงจรต่างๆใน PLL ใน Sโดเมน 25

รูปที่ 2.10 แสดงรูปแบบต่างของวงจร Loop Filter ทั้ง 4 แบบ 27

รูปที่ 2.11 แสดงบล็อคไดอะแกรมของวงจร PLL ที่ทำงานในช่วง
ที่เป็นเชิงเส้น 29

รูปที่ 2.12 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่เฟส
ล็อคลูป(Phase-Locked Loop Frequency Synthesizer
หรือ PLL-FS) 35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 2.13 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่เฟส ล็อคลูปที่มีตัวหารความถี่ที่อินพุต 37
รูปที่ 2.14 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่เฟส ล็อคลูปสำหรับการหาเฟสจิตเตอร์ของสัญญาณคลื่นพาห์ (Phase jitter) 39
รูปที่ 2.15 แสดงการเปรียบเทียบระดับของเฟสจิตเตอร์ของคลื่นพาห์ ต่อระดับ $(SNR)_i$ 40
รูปที่ 2.16 แสดงการเปรียบเทียบระดับของเฟสจิตเตอร์ของคลื่นพาห์ ต่อระดับ $(SNR)_i$ 40
รูปที่ 2.17 แสดงการเปรียบเทียบขนาดของ noise bandwidth ต่อค่า damping factor 41
รูปที่ 2.18 แสดงบล็อคไดอะแกรมของวงจรกำเนิดคลื่นพาห์และสัญญาณไพล็อตโทนที่ใช้หลักการสังเคราะห์ความถี่โดยแสดงเพียง 1 ช่องสัญญาณเท่านั้น 41
รูปที่ 2.19 แสดงบล็อคไดอะแกรมที่ภาคส่งโดยรวมวงจรกำเนิดสัญญาณไพล็อตโทน 43
รูปที่ 2.20 แสดงบล็อคไดอะแกรมที่ภาครับสัญญาณ PSK ที่ใช้วงจร PTAS แทนวงจรกู้สัญญาณคลื่นพาห์กลับคืนทั้งในโมเด็มแบบ BPSK และ QPSK 43
รูปที่ 2.21 แสดงบล็อคไดอะแกรมของวงจรแปลงความถี่ลงจากสัญญาณไพล็อตโทนไปเป็นสัญญาณคลื่นพาห์โดยใช้วงจรสังเคราะห์ความถี่ 44
รูปที่ 2.22 การวิเคราะห์วงจรขยายความแตกต่างทั้ง 4 ชนิด 47
รูปที่ 2.23 วงจร Dual-input , balance-output differential amplifier 48
รูปที่ 2.24 DC equivalent circuit ของ dual-input , balance-output 48
รูปที่ 2.25 AC equivalent circuit ของ dual-input , balance-output 50

บทที่ 3

รูปที่ 3.1 วงจรแยกสัญญาณดิจิตอล 53
รูปที่ 3.2 วงจรแปลงสัญญาณ 2 บิท ไปเป็น 4 ระดับ 55
รูปที่ 3.3 Second-Order Low Pass Butterworth Filter 56

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.4 วงจรกำเนิดสัญญาณพาหะ 1.024 MHz 58
รูปที่ 3.5 วงจรกำเนิดสัญญาณไพล็อตโทน 896 kHz 59
รูปที่ 3.6 วงจร Band Pass Filter 60
รูปที่ 3.7 วงจร All Pass Filter กรณี Vo ล้าหลัง Vin 61
รูปที่ 3.8 วงจรบาลานซ์มอดดูเลเตอร์ 63
รูปที่ 3.9 วงจรรวมสัญญาณ 64

บทที่ 4
รูปที่ 4.1 วงจรกรองช่วงความถี่ 1.024 MHz 65
รูปที่ 4.2 วงจรกรองช่วงความถี่ 896 kHz 66
รูปที่ 4.3 วงจรกู้สัญญาณนาฬิกา 67
รูปที่ 4.4 วงจรกู้สัญญาณพาหะ 67
รูปที่ 4.5 วงจรเลื่อนเฟสสัญญาณ 90 องศา 68
รูปที่ 4.6 วงจรบาลานซ์ดีมอดดูเลเตอร์ 69
รูปที่ 4.7 วงจรกรองความถี่ต่ำ 70
รูปที่ 4.8 วงจรขยายสัญญาณ 4 ระดับ 71
รูปที่ 4.9 วงจรแปลงสัญญาณ 4 ระดับ เป็น 2 บิท 72
รูปที่ 4.10 วงจรรวมสัญญาณดิจิตอล 73

บทที่ 5
รูปที่ 5.1 แสดงสัญญาณนาฬิกา 256 kHz และ สัญญาณ NRZ 256 Kbps 74
รูปที่ 5.2 แสดงสัญญาณนาฬิกา 256 kHz และ สัญญาณการหารสัญญาณนาฬิกา 74
รูปที่ 5.3 แสดงสัญญาณ 2 บิท ด้าน I ที่แยกจาก NRZ 75
รูปที่ 5.4 แสดงสัญญาณ 2 บิท ด้าน Q ที่แยกจาก NRZ 75
รูปที่ 5.5 แสดงสัญญาณ 4 ระดับด้าน I 76
รูปที่ 5.6 แสดงสัญญาณ 4 ระดับด้าน Q 76
รูปที่ 5.7 แสดงการวัด Constellation Diagram ของสัญญาณ 16 QAM 77
รูปที่ 5.8 แสดงสัญญาณนาฬิกา 128 KHz ที่ใช้เป็น input ของ ภาคกำเนิด
carrier sine, cosine และ pilot tone 77

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 5.9 แสดงสัญญาณ output ของ PLL ที่ใช้ในการกำเนิด pilot tone และสัญญาณ pilot tone 896 kHz 78
รูปที่ 5.10 แสดงสัญญาณ output ของ PLL ตัวที่กำเนิด carrier sine และ สัญญาณ carrier sine 1.024 MHz 78
รูปที่ 5.11 แสดงสัญญาณ carrier sine และ cosine ความถี่ 1.024 Mhz 79
รูปที่ 5.12 แสดงสัญญาณทางด้าน I ที่ผ่านการมอดดูเลทแล้ว 79
รูปที่ 5.13 แสดงสัญญาณทางด้าน Q ที่ผ่านการมอดดูเลทแล้ว 80
รูปที่ 5.14 แสดงสัญญาณรวมของด้าน I และ Q ที่ถูกมอดดูเลทแล้ว 80
รูปที่ 5.15 แสดงสัญญาณ 16 QAM ที่ส่งออกจากเครื่องส่ง 81
รูปที่ 5.16 แสดงสัญญาณ 16 QAM ที่รับได้ที่เครื่องรับ 81
รูปที่ 5.17 แสดงสัญญาณที่ผ่าน BPF 1.024 kHz ที่เครื่องส่ง เพื่อใช้กู้ clock และ carrier 82
รูปที่ 5.18 แสดงสัญญาณนาฬิกา 256 KHzที่กู้ขึ้นมาได้ 82
รูปที่ 5.19 แสดงสัญญาณ carrier sine 1.024 MHz และ cosine 1.024 MHz ที่กู้ขึ้นมาได้ 83
รูปที่ 5.20 แสดงสัญญาณนาฬิกาที่ถูกหน่วงเวลา 4 เท่า ทางด้านเครื่องรับ และสัญญาณนาฬิกาที่กู้ได้ 83
รูปที่ 5.21 แสดงสัญญาณ NRZ ที่รับได้ เทียบกับ NRZ ที่ส่งมา 84
รูปที่ 5.22 แสดง 16 QAM Transmitter 84
รูปที่ 5.23 แสดง 16 QAM Receiver 85

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

		หน้า
ตารางที่ 1.1	แสดงมาตรฐานของโมเด็มที่ใช้งานบนเครือข่ายโทรศัพท์	7
ตารางที่ 2.1	ตารางความจริงของ I และ Q ที่เปลี่ยนแปลงได้ทั้ง 4 ระดับ	12
ตารางที่ 2.2	แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดดูเลทต่างๆ	14
ตารางที่ 2.3	สรุปข้อแตกต่างของ FSK , PSK และ QAM	15
ตารางที่ 3.1	การแปลงรหัสจาก Binary Code ไปเป็น Gray Code	54
ตารางที่ 3.2	วงจรแปลงสัญญาณ 2 บิท ไปเป็น 4 ระดับ	54
ตารางที่ 4.1	การขยายสัญญาณก่อนเข้าวงจรตรวจระดับสัญญาณ	72
ตารางที่ 4.2	การตรวจจับระดับสัญญาณแล้วแปลงเป็น Gray Code	70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การสื่อสาร (Communication)

การติดต่อสื่อสารเป็นการส่งข่าวสารจากจุดหนึ่งไปยังจุดหนึ่ง การสื่อสารประกอบด้วยส่วนต่างๆ 4 ส่วนมาประกอบกันคือ

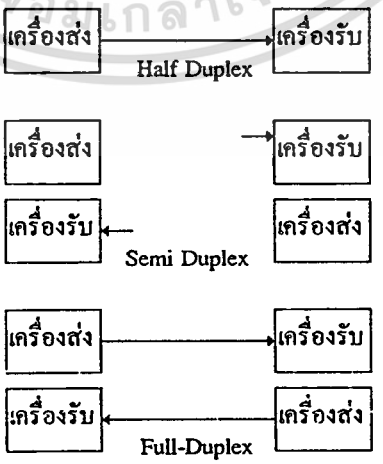
1. ข่าวสาร
2. ผู้ส่ง
3. ผู้รับ
4. สื่อกลาง

ในการสื่อสารของคอมพิวเตอร์ข่าวสารก็จะได้แก่แฟ้มข้อมูลต่างๆ , ข้อความที่พิมพ์จากแป้นพิมพ์ เป็นต้นส่วนผู้ส่งและผู้รับก็จะได้แก่เครื่องคอมพิวเตอร์ทั้งสองด้าน คือ ด้านผู้เรียก(Originate) และ ด้านผู้รับ (Answer) นั่นเอง ส่วนสื่อกลางของการสื่อสารคอมพิวเตอร์ก็จะ ได้แก่ ระบบสื่อสารต่างๆ เช่น เครือข่ายโทรศัพท์ , เครือข่ายดาวเทียม , หรือแม้กระทั่งสายไฟธรรมดาเช่นระบบ LAN เป็นต้น ระบบของการสื่อสารแบ่งได้ 3 ระบบดังแสดงในรูปที่ 1.1 ซึ่งแต่ละระบบอธิบายได้ดังนี้

ระบบสื่อสารทิศทางเดียว (Simplex Transmission หรือ Oneway Transmission) เป็นการสื่อสารโดยข้อมูลจะไหลได้ทิศทางเดียว ตัวอย่างเช่น การกระจายเสียงของสถานีวิทยุและ โทรทัศน์ เป็นต้น

ระบบสื่อสารกึ่งสองทิศทาง(Semiduplex Transmissionหรือ Half-Duplex Transmission) เป็นการสื่อสารที่ข้อมูลไหลได้สองทางทั้งไปและกลับ แต่จะต้องผลัดกันรับผลัดกันส่งตัวอย่างเช่น การติดต่อวิทยุวอลคี้ทอร์คี้ หรือวิทยุสมัครเล่น

ระบบสื่อสารสองทิศทาง (Full-Duplex Transmission) เป็นการสื่อสารได้ทั้งไปและกลับพร้อมๆกันเช่นการพูดโทรศัพท์เป็นต้น ในระบบการสื่อสารของคอมพิวเตอร์ส่วนใหญ่จะเป็นระบบนี้



รูปที่ 1.1 แสดงระบบการสื่อสารชนิดต่างๆ

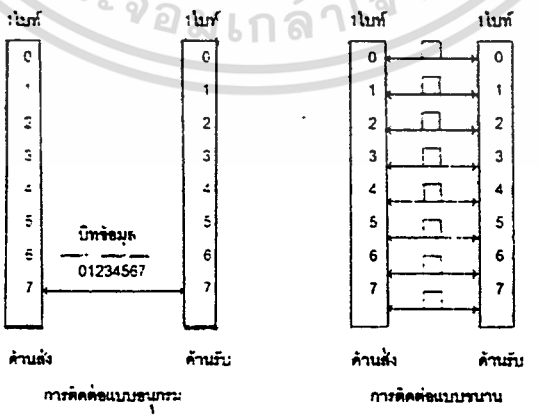
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบสื่อสารของคอมพิวเตอร์

การประมวลผลภายในคอมพิวเตอร์เป็นการประมวลผลแบบดิจิตอล สัญญาณไฟฟ้าในคอมพิวเตอร์ถูกแทนด้วยเลขฐานสองซึ่งมีอยู่สองสถานะคือสถานะ1(Logic 1 มีค่าศักดาไฟฟ้า 5โวลท์) และสถานะ0(Logic 0 มีค่าศักดาไฟฟ้า 0 โวลท์) การสื่อสารระหว่างคอมพิวเตอร์ คือ การส่งสัญญาณสถานะ 1 และ 0 ให้แก่กัน โดยมีอุปกรณ์ที่ทำหน้าที่เป็นตัวส่งและตัวรับส่วนข่าวสารคือศักย์ดาของไฟฟ้าดังกล่าว และ ตัวกลางที่เป็นสื่อคือสายไฟภายในคอมพิวเตอร์นั่นเอง ในคอมพิวเตอร์จะเรียกกลุ่มสายไฟเหล่านี้ว่า บัส(BUS)การติดต่อระหว่างคอมพิวเตอร์ด้วยกันจะแบ่งวิธีการติดต่อได้ 2 วิธีการซึ่งแสดงดังรูปที่ 1.2

- การติดต่อแบบขนาน (Parallel Communication) เป็นการติดต่อกันทีละหลายๆ บิทพร้อมกัน ตัวอย่างเช่นการติดต่อระหว่างหน่วยประมวลผลกลาง(CPU:Central Processing Unit) กับหน่วยความจำ (Memory Unit) การติดต่อระหว่างหน่วยประมวลผลกลางกับหน่วยเก็บข้อมูลฮาร์ดดิส (Hard disk) เป็นต้น ซึ่งการติดต่อจะติดต่อกันทีละไบท์(1 ไบท์มีขนาด 8 บิท) ดังนั้นจึงใช้สายไฟทั้งหมด 8 เส้นหรือ 8 วงจร แต่ถ้าเป็น word (1 word = 2 bytes) ดังนั้นต้องเพิ่มสายไฟและวงจรเช่นกัน การติดต่อแบบขนาน จึงมีข้อดี คือ รับ/ส่งข้อมูลได้เร็ว แต่เนื่องจากใช้วงจรติดต่อจำนวนมากจึงเหมาะที่จะใช้กับการติดต่อในระยะใกล้ๆ

- การติดต่อแบบอนุกรม (Sequential Communication) เป็นการรับ/ส่งข้อมูลกันครั้งละ 1 บิท เรียงลำดับกันไป โดยด้านส่งจะส่งไบท์ข้อมูลเรียงลำดับทีละบิททะยอยส่งไป เมื่อไปถึงด้านรับแล้วที่ด้านรับจะทำการจับข้อมูลมาต่อกันเป็นไบท์คืน วิธีการนี้สามารถใช้สายไฟเพียงวงจรเดียวจึงนิยมใช้ในการสื่อสารระหว่างคอมพิวเตอร์ที่อยู่ห่างไกลกันออกไป เพราะหากใช้วิธีขนานแล้วต้องสิ้นเปลืองค่าวงจรสูง แต่เนื่องจากเป็นการติดต่อทีละบิทจึงรับ/ส่งข้อมูลได้ช้ากว่าการติดต่อแบบขนาน

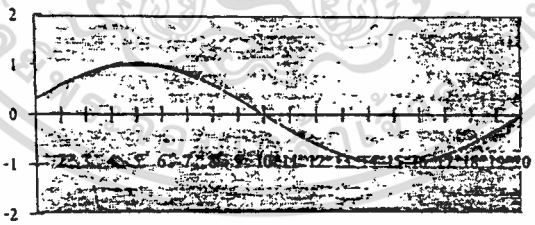


รูปที่ 1.2 แสดงการติดต่อแบบขนานและแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหตุผลที่ต้องใช้โมเด็ม

เนื่องจากสัญญาณดิจิตอลของคอมพิวเตอร์มีรูปคลื่นไฟฟ้าเป็นรูปสี่เหลี่ยม ซึ่งคลื่นรูปสี่เหลี่ยมนี้มีองค์ประกอบที่เกิดขึ้นจากสัญญาณไฟฟ้าคลื่นรูปซายน์ประกอบกับฮาร์โมนิคเลขคี่(Odd Harmonic) ของความถี่นั้นๆรวมกันๆหลายๆเท่า (อย่างน้อยที่สุด 5 เท่า) ดังแสดงในรูปที่ 1.3 ในทางไฟฟ้าถือว่าคลื่นสี่เหลี่ยมมีแบนด์วิดท์ (Bandwidth)ของสัญญาณกว้างมาก เมื่อเราส่งสัญญาณรูปสี่เหลี่ยมนี้ผ่านสายไฟที่เป็นสื่อกลาง ซึ่งสายไฟจะมีคุณสมบัติเป็นตัวต้านทานและตัวเก็บประจุเสมือนต่ออยู่ และเมื่อสายไฟยาวมากขึ้นค่าความต้านทานและตัวเก็บประจุนี้จะเพิ่มขึ้นตามเป็นทวีคูณ ซึ่งผลของค่าทั้งสองนี้จะทำแบนด์วิดท์ของสายไฟแคบลงทำให้สัญญาณคลื่นสี่เหลี่ยมที่ส่งผ่านไปเมื่อไปถึงด้านรับจะรับได้รูปคลื่นที่ผิดเพี้ยนไป ในเครือข่ายโทรศัพท์ก็เช่นเดียวกันเครือข่ายโทรศัพท์สามารถรองรับสัญญาณความถี่เสียงได้ในย่าน 300-3400 เฮิร์ทซึ่งจะรองรับคลื่นสี่เหลี่ยมได้สูงสุดประมาณ 680 บิทต่อวินาทีเท่านั้น(คำนวณจาก 3400 เฮิร์ทหารด้วยฮาร์โมนิค 5 เท่า) การสื่อสารของคอมพิวเตอร์อย่างพื้นฐานที่สุดเช่นการรับส่งแฟ้มข้อมูลตัวอักษรขนาด 1 หน้ากระดาษ จำนวนตัวอักษรประมาณ 2800 ตัว แทนด้วยข้อมูล 2800 ไบท์หรือ 22400 บิท หากส่งผ่านเครือข่ายโทรศัพท์ต้องใช้เวลาอย่างน้อย 32 วินาที แต่ถ้าหากเป็นแฟ้มข้อมูลรูปภาพขนาดใหญ่ เช่น รูปภาพจากเครือข่ายอินเทอร์เน็ตบางภาพมีขนาด 1 เมกกะไบท์ต้องใช้เวลาส่งนานถึง 200 นาที จากข้อมูลจำกัดด้านระยะทางและความเร็วของการส่งสัญญาณคลื่นสี่เหลี่ยมดังกล่าวมาแล้ว จึงต้องมีวิธีแก้ปัญหาดังกล่าว โดยใช้โมเด็มเพื่อแปลงสัญญาณคลื่นสี่เหลี่ยมให้เป็นคลื่นที่เหมาะสมก่อนทำการติดต่อกัน



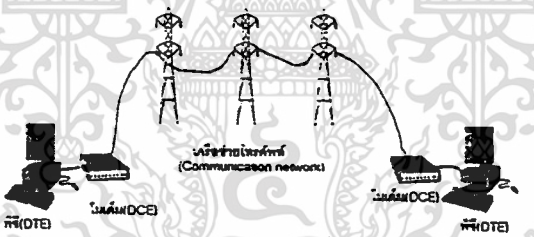
รูปที่ 1.3 แสดงองค์ประกอบของคลื่นไฟฟ้ารูปสี่เหลี่ยม

หลักการทำงานของโมเด็ม

โมเด็มย่อมาจาก Modulator Demodulator โดยจะทำหน้าที่แปลงสถานะลอจิกดิจิตอลคลื่นรูปสี่เหลี่ยมให้ไปอยู่ในรูปคลื่นอื่นที่เหมาะสม เพื่อจัดส่งผ่านตัวกลางที่มีแบนด์วิดท์แคบๆเช่น เครือข่ายโทรศัพท์เป็นต้น วิธีการทำงานที่ด้านส่งจะใช้โมเด็มแปลงสัญญาณดิจิตอลให้เป็นสัญญาณอะนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการมอดดูเลชั่น (Modulation) แล้วส่งผ่านตัวกลางไปยังด้านรับ ในทางกลับกันที่ด้านรับเมื่อรับสัญญาณอะนาล็อกได้ก็จะแปลงกลับคืนให้เป็นสัญญาณดิจิตอลโดยวิธีการดีมอดดูเลชั่น (Demodulation) ดังแสดงการใช้งานของโมเด็มในรูปที่ 1.4 องค์ประกอบของการติดต่อประกอบด้วยเครื่องคอมพิวเตอร์ทำหน้าที่ เป็นอุปกรณ์เทอร์มินอล (DTE : Data Terminal Equipment) โมเด็มทำหน้าที่ เป็นเครื่องมือสื่อสาร (DCE : Data Communication Equipment) ส่วนสื่อกลางจะใช้เครือข่ายโทรศัพท์เป็นเครือข่ายสื่อสาร (Communication network) การเชื่อมโยงมีอยู่สองช่วง คือ ช่วงระหว่างคอมพิวเตอร์กับโมเด็มการติดต่อจะเป็นสัญญาณดิจิตอลมาตรฐาน RS232C (แทนลอจิก 0 , 1ด้วยศักย์ดาไฟฟ้าขนาด-15 และ +15โวลท์ตามลำดับ) จากพอร์ทอนุกรมของคอมพิวเตอร์ต่อไปยังโมเด็มความเร็วของการติดต่อในช่วงนี้ถูกจำกัดโดยชิพวงจรของเครื่องคอมพิวเตอร์และโมเด็มซึ่งติดต่อได้อย่างต่ำ 100 Kbps. ช่วงที่สองของการเชื่อมต่อคือการเชื่อมต่อระหว่างโมเด็มตัวส่งกับตัวรับ ซึ่งจะติดต่อผ่านเครือข่ายโทรศัพท์ ในช่วงติดต่อนี้สัญญาณจะเป็นสัญญาณอะนาล็อก ความเร็วจะขึ้นอยู่กับความสามารถของโมเด็ม

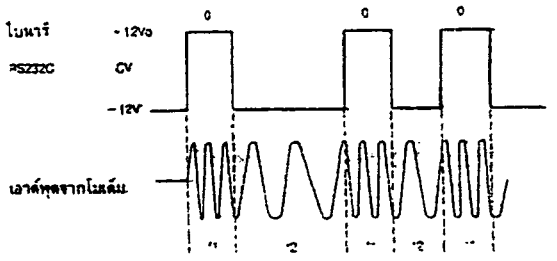


รูปที่ 1.4 แสดงการใช้งานของโมเด็ม

การแปลงสัญญาณของโมเด็ม

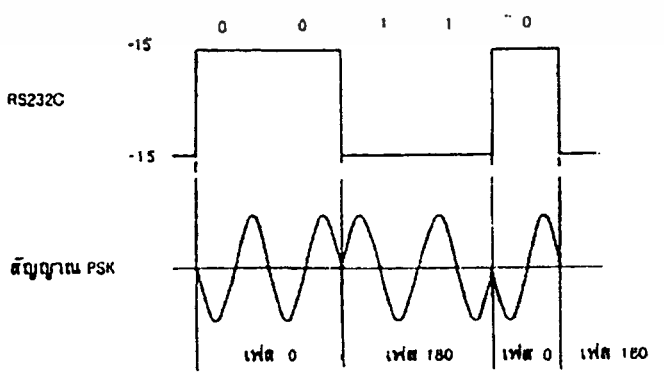
โมเด็มในยุคแรกๆการแปลงลอจิกจะใช้วิธีการเลื่อนความถี่ตามลอจิก (Frequency Shift Keying) โดยให้ความถี่เสียงค่าหนึ่งแทนสถานะลอจิก 0 และความถี่เสียงอีกค่าหนึ่งแทนลอจิก 1 ทางด้านรับก็จะรับความถี่เสียงนั้นมาแล้วทำการแปลงความถี่เสียงกลับเป็นลอจิกให้ถูกต้องตามด้านส่งหลักการของ Frequency Shift Keying แสดงดังรูปที่ 1.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



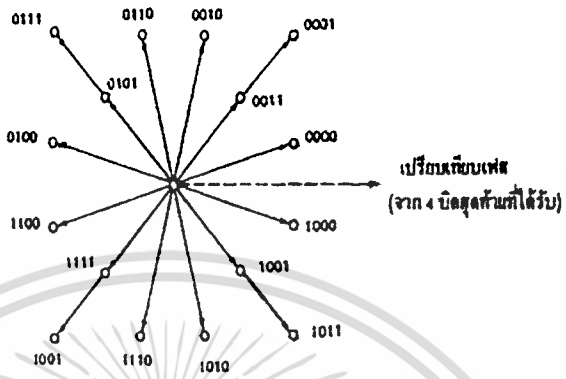
รูปที่ 1.5 แสดงหลักการแปลงลอจิกเป็นสัญญาณความถี่เสียง
โดยวิธี Frequency Shift Keying

วิธีการของ Frequency Shift Keying มีข้อจำกัดคือความเร็วในการรับ/ส่งข้อมูลจะถูกจำกัดด้วยความถี่ที่กำหนดเป็น Keying เนื่องจากด้านรับต้องตรวจสอบความถี่ในขณะทำการแปลงความถี่กลับคืนเป็นสัญญาณดิจิตอล ซึ่งเวลาในการตรวจความถี่นี้อย่างน้อยที่สุดก็จะไม่เร็วไปกว่าเวลาครบรอบของความถี่ Keying นั้นๆ หากจะต้องรับส่งกันให้ได้ความเร็วสูงขึ้นอีกจะใช้การแปลงอีกวิธีหนึ่งคือวิธีการแปลงสัญญาณแบบ Phase Shift Keying ดังแสดงในรูปที่ 1.6 โดยแทนที่จะใช้ความถี่ค่าต่างๆ แทนสถานะลอจิกเช่นวิธีของ Frequency Shift Keying วิธีใหม่นี้จะใช้เฟสของสัญญาณแทนสถานะลอจิก โดยที่ความถี่นั้นจะใช้ความถี่คงที่ค่าเดียว ด้วยวิธีนี้หากเราแบ่งย่อยเฟสออกไปอีกเป็น 4 เฟสทำให้สามารถแทนข้อมูลดิจิตอลได้ 2 บิท หากแบ่งเฟสออกเป็น 8 เฟสก็จะแทนข้อมูลได้ 3 บิท และหากแบ่งเฟสออกเป็น 16 เฟสก็จะแทน ข้อมูลได้ 4 บิท ซึ่งเมื่อแบ่งเฟสมากเกินไปโอกาสที่จะผิดพลาดในการรับ/ส่งก็จะมากขึ้น วิธีการจะเพิ่มความเร็วในการรับส่งข้อมูลให้ได้มากขึ้นอีกจะกระทำโดยนำเอาแอมปลิจูดของสัญญาณมามอดดูเลทร่วมด้วยโดยบางเฟสจะถูกแบ่งซอยแอมปลิจูดลงไปอีก ทำให้แทนสถานะลอจิกได้หลายๆบิทขึ้นดังแสดงในรูปที่ 1.7 เป็นการมอดดูเลทโดยใช้ 12 เฟสมอดดูเลทแอมปลิจูดร่วมเข้าไปอีก 4 เฟส ทำให้แทนข้อมูลได้ถึง 4 บิทใน 1 รอบคลื่น



รูปที่ 1.6 แสดงการแปลงสัญญาณแบบ Phase Shift Keying

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.7 แสดงการมอดดูเลทแอมปลิจูดร่วมกับ Phase Shift Keying

ความเร็วในการรับ / ส่งข้อมูลของโมเด็ม

ความเร็วของโมเด็ม คือ ค่าที่บอกให้ทราบว่าสามารถส่งข้อมูลได้จำนวนกี่บิทในหนึ่งวินาที หรือ วินาที(bpsหรือBit per second) เช่นโมเด็มมีความเร็ว 14.4 Kbps. นั่นคือโมเด็มชนิดนี้สามารถส่งข้อมูลด้วยความเร็วประมาณ 144000 บิทต่อวินาที ค่าหน่วยอีกค่าหนึ่งที่น่าสนใจคือ ค่า Baud rate คือ ค่าความถี่ของสัญญาณอะนาล็อกที่โมเด็มรับส่งกัน ซึ่งค่า Baud rate นี้จะเป็นค่าที่เราใช้กำหนดแบนด์วิดท์ของสื่อกลางที่จะใช้ส่งสัญญาณโมเด็ม เช่น สายโทรศัพท์มีแบนด์วิดท์ในช่วง 300 - 3400 เฮิร์ท นั่นคือ สามารถใช้โทรศัพท์เป็นสื่อกลางของโมเด็มที่มี Baud rate ได้สูงสุด 3400 บอดนั่นเอง ด้วยวิธีการของ Phase Shift Keying ทำให้โมเด็มบางตัวสามารถส่งข้อมูลได้ความเร็วสูงกว่าBaud rate เช่นโมเด็ม 9600 bps. จะมีบอดเรทเพียง 2400 เท่านั้น เนื่องจากโมเด็มจะถูกนำไปใช้ติดต่อ กันทั่วโลกจึงต้องกำหนดมาตรฐานให้กับผู้ผลิต โดยมีมาตรฐานกำหนดอยู่ 2 ระบบคือ

- มาตรฐานของ CCITT (Consulation Committee for International Telephony and Telegraphy) จะใช้งานทั่วโลก และ
- มาตรฐานของ Bell lab ซึ่งจะนิยมใช้ในประเทศอเมริกา

มาตรฐานทั้งสองจะกำหนดค่าความเร็วและ วิธีการแปลงสัญญาณตลอดจนการตรวจสอบการติดต่อ ซึ่งโมเด็มสำหรับใช้งานบนเครือข่ายโทรศัพท์มีตารางมาตรฐานกำหนดดังแสดงในตารางที่ 1.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1.1 แสดงมาตรฐานของโมเด็มที่ใช้งานบนเครือข่ายโทรศัพท์

ชื่อมาตรฐาน	ความเร็ว	วิธีการมอดดูเลท	Baud rate	การสื่อสารแบบ
Bell 103	300 bps.	FSK	300	Full/FDM
Bell 212	1200 bps.	DPSK	600	Full/FDM
CCITT V.22	1200 bps.	DPSK	600	Full/FDM
Bell 201	2400 bps.	DPSK	1200	Half
CCITT V.22bis	2400 bps.	QAM	600	Full/FDM
CCITT V.32	9600 bps.	TCM/MQAM	2400	Full/ECT
CCITT V.32bis	14400 bps.	TCM/MQAM	2400	Full/ECT
CCITT V.34	28800 bps.	TCM/MQAM	2400	Full/ECT

หมายเหตุ

- PSK : Different Phase Shift keying
- QAM : Quadrature Amplitude Modulation
- TCM : Trellis Code Modulation
- FDM : Frequency Division Multiplex
- ECT : Echo Cancellation Technique

วัตถุประสงค์

เพื่อที่จะนำเสนอการทดลองการส่งสัญญาณความเร็วสูง โดยใช้วิธีการส่งแบบ 16 QAM เพื่อลดขนาดของแบนด์วิดท์ลง ซึ่งจะทำให้การใช้ช่องสัญญาณมีประสิทธิภาพขึ้นหรือสามารถเพิ่มบิทเรทของสัญญาณ โดยทำการทดลองส่งสัญญาณผ่านทางสายเคเบิล

แนวความคิดและที่มา

ในปัจจุบันการรับส่งข้อมูลแบบดิจิตอลได้เข้ามามีบทบาทมากขึ้นแทนการรับส่งข้อมูลแบบอะนาล็อก เนื่องจากการรับส่งข้อมูลแบบอะนาล็อกจะมีความผิดพลาดของการรับส่งข้อมูลสูง 16 QAM เป็นแนวความคิดที่จะพัฒนาการรับส่งข้อมูลแบบดิจิตอลให้มีแบนด์วิดท์แคบลง ซึ่งจะทำให้สามารถขยายช่องสัญญาณได้มากขึ้น นั่นคือจะทำให้การรับส่งข้อมูลมีประสิทธิภาพมากขึ้นนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดองนี้มีแนวความคิดที่จะทำการพัฒนาโครงงานเรื่อง เทคนิคการส่งข้อมูลดิจิตอลความเร็วสูง(High Speed Digital Transmission Technique)

ส่วนประกอบของโครงงาน

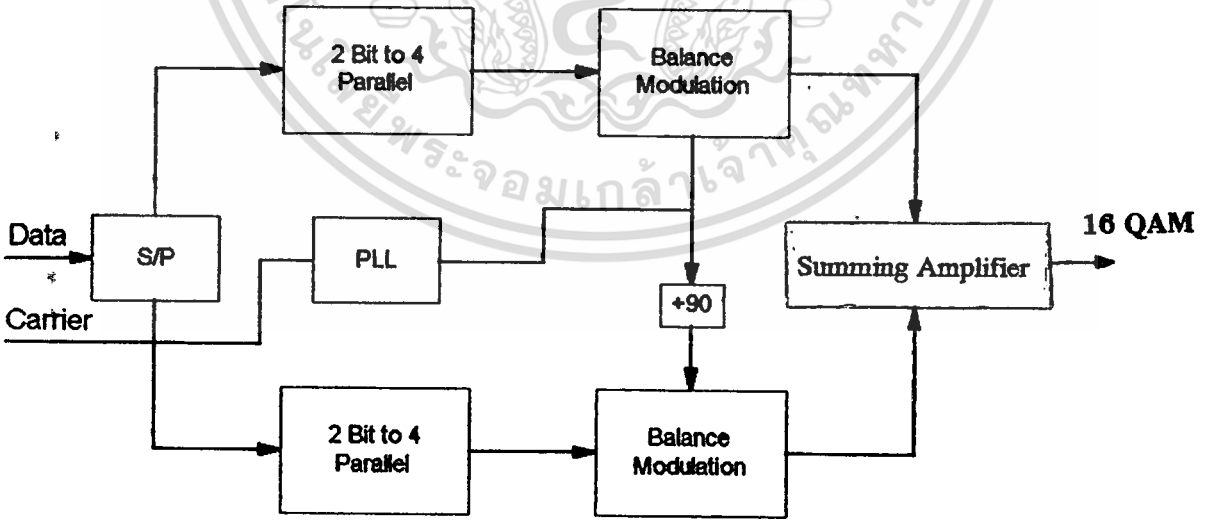
ประกอบด้วยส่วนใหญ่ๆ 2 ส่วนคือ

1. Transmitter

-Serial to Parallel
-2 Bit to 4 Level
-Low Pase Filter
-Phase Lock Loop
-Band Pass Filter
-Phase Shift 90 Degree
-Balance Modulator
-Summing Amplifier

2. receiver

-Band pass Filter
-Phase Lock Loop
-Carrier Recovery
-Clock Recovery
-Phase Shift 90 Degree
-Balance Modulator
-Low Pass Filter
-4 Level to 2 Bit
-Parallel to Serial

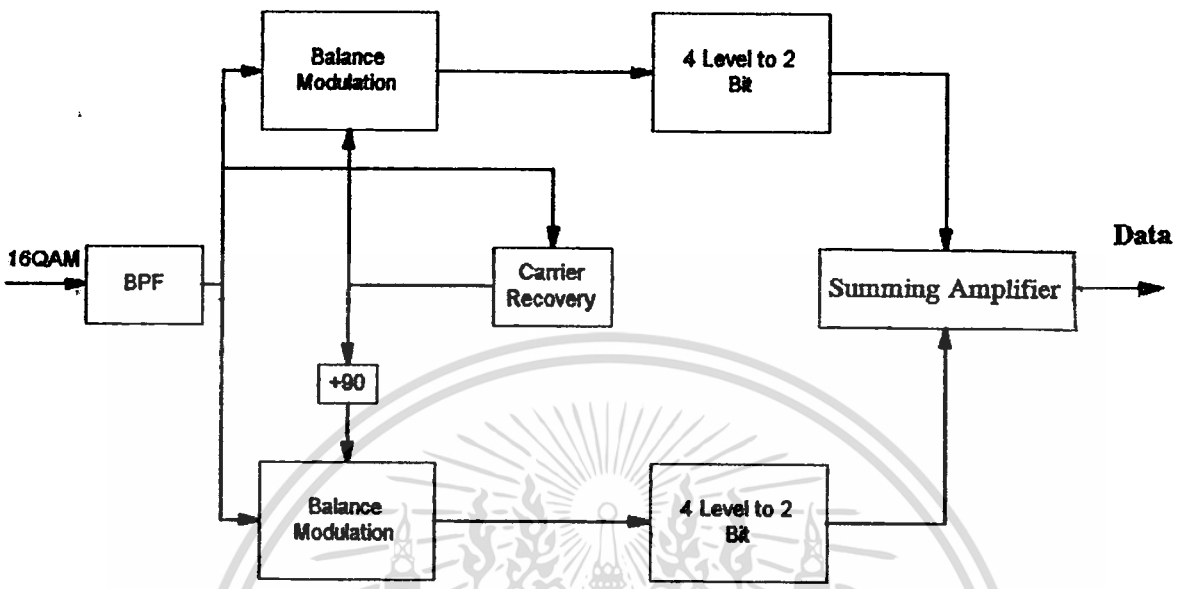


รูปที่ 1.8 บล็อคไดกะแกรมของภาคส่ง (Transmitter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคส่ง (Transmitter)

ภาคส่ง สัญญาณข้อมูลที่เข้ามาจะถูกเปลี่ยนจาก Series เป็น Parallel แยกเป็น 2 บิทบนและ 2 บิทล่าง และทำการเปลี่ยนข้อมูล 2 บิท เป็น 4 ระดับแล้วนำข้อมูลไป mod กับ carrier ที่ Balance Mod แล้วนำข้อมูลทั้ง 2 ส่วนมารวมกันได้เป็น 16 QAM



รูปที่ 1.9 บล็อคไดอะแกรมของภาครับ (receiver)

ภาครับ (receiver)

สัญญาณ 16 QAM ผ่านเข้ามา Band Pass Filter เพื่อลด Noise นำสัญญาณส่วนหนึ่งไปเข้าวงจร Carrier Recovery เพื่อกู้สัญญาณ Carrier คืนมา ส่งไปยัง Balance Mod ทำการ Mod กับสัญญาณข้อมูลและจะนำสัญญาณที่ผ่านการ Mod แล้วมาเปลี่ยนเป็น 4 ระดับ เป็น 2 บิท นำสัญญาณข้อมูลทั้ง 2 บิทบน และ 2 บิทล่างมารวมกันแล้วเปลี่ยนสัญญาณข้อมูลจาก Parallel เป็น Series

ประโยชน์ที่จะได้รับ

สามารถเข้าใจรายละเอียดของระบบการส่งสัญญาณแบบดิจิตอลได้ดียิ่งขึ้น อีกทั้งรายละเอียดของวงจรส่วนประกอบต่างๆในโครงงาน เช่น วงจรแยกบิท-รวมบิท วงจร LPF-BPF วงจร Balance Mod วงจรทำสัญญาณหลายระดับ(Multi Level)และเข้าใจถึงขั้นตอนการทำงานและปัญหาของการประกอบวงจรทางเทคโนโลยีโทรคมนาคม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

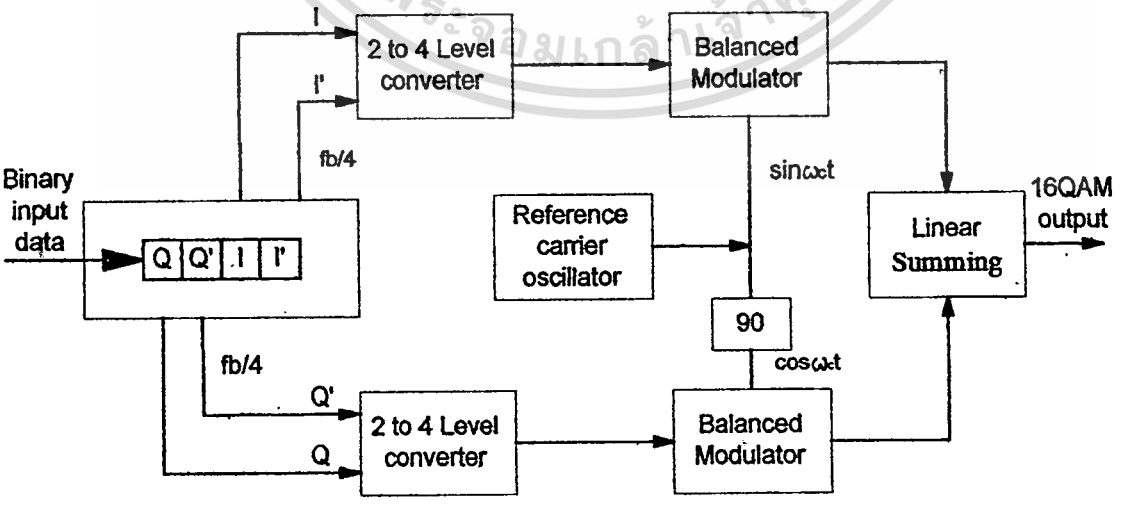
บทที่ 2

ทฤษฎีและหลักการของ 16 QAM

QUADRATURE AMPLITUDE MODULATION

Quadrature Amplitude Modulation เป็นการมอดูเลทสัญญาณดิจิตอลอีกรูปแบบหนึ่งซึ่งข้อมูลดิจิตอลจะถูกบรรจุในทั้งแอมปลิจูดและเฟสของสัญญาณพาหะ และในโครงงานนี้จะเลือกใช้แบบ 16 QAM ซึ่งเป็นเทคนิคการเข้าข้อมูลแบบ M-ary เมื่อ M=16 ข้อมูลอินพุตถูกแบ่งเป็นกลุ่มๆละ 4 บิท ($2^4 = 16$)

บล็อคไดอะแกรมของเครื่องส่ง 16 QAM แสดงในรูปที่ 2.1 ข้อมูลอินพุตแบบเลขฐานสองถูกแบ่งป้อนเข้าช่องต่างๆ 4 ช่องคือ I , I' , Q และ Q' บิทเรทในแต่ละช่องมีค่า 1/4 ของบิทเรทอินพุต ($F_b/4$) อินพุต 4 บิทถูกส่งแบบอนุกรมเข้าวงจรแยกบิท แล้วถูกส่งออกพร้อมๆกันเป็นแบบขนานด้วยช่อง I , I' , Q และ Q' ทั้งคู่จะถูกป้อนเข้าสู่วงจรแปลง 2 ลอจิก ไปเป็น 4 ระดับ ดังนั้นวงจรแปลง 2 ลอจิกเป็น 4 ระดับ จึงสร้างสัญญาณ PAM ได้ 4 สัญญาณคือมี 2 ขั้ว และ 2 ขนาด ที่เป็นไปได้ที่เอ้าพุตของวงจรแปลง 2 ลอจิก เป็น 4 ระดับแต่ละวงจร ซึ่งมีค่าเป็น +0.22V และ +0.821V สัญญาณ PAM จะเข้าไปมอดูเลทกับสัญญาณพาหะ Inphase และ สัญญาณพาหะ Quadrature Phase ด้วยวงจรคูณดังนั้นผลที่ได้จะมี 4 เอ้าพุตสำหรับวงจรคูณแต่ละวงจร วงจรคูณ I มีค่าเป็น +0.821 $Sinew_0t$, +0.22$Sinew_0t$, -0.22$Sinw_0t$ และ -0.821$Sinew_0t$ ส่วนวงจรคูณ Q มีค่าเป็น +0.821 $Cosw_0t$, +0.22$Cosw_0t$, -0.22$Cosw_0t$ และ -0.821$Cosw_0t$ และเมื่อนำผลที่ได้ไปรวมกันที่วงจรรวมสัญญาณแบบเชิงเส้น จะทำให้ได้เอ้าพุตถึง 16 รูปแบบ สำหรับ 16 QAM



รูปที่ 2.1 บล็อคไดอะแกรม 16 QAM modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนในการพิจารณาขนาดของแบนด์วิดท์นั้น สำหรับบิทเรทที่เหมือนกัน แถบความถี่ที่น้อยที่สุดที่ต้องการส่งผ่านวงจรมอดดูเลท 16 QAM มีค่า 1/4 ของวงจรมอดดูเลท BPSK มีค่า 1/2 ของ QPSK และน้อยกว่า 25 % เมื่อใช้ 8PSK สำหรับเทคนิคการมอดดูเลทแต่ละวิธี อัตราบอดเรทจะถูกลดลงด้วยอัตราส่วนที่เหมือนๆกัน

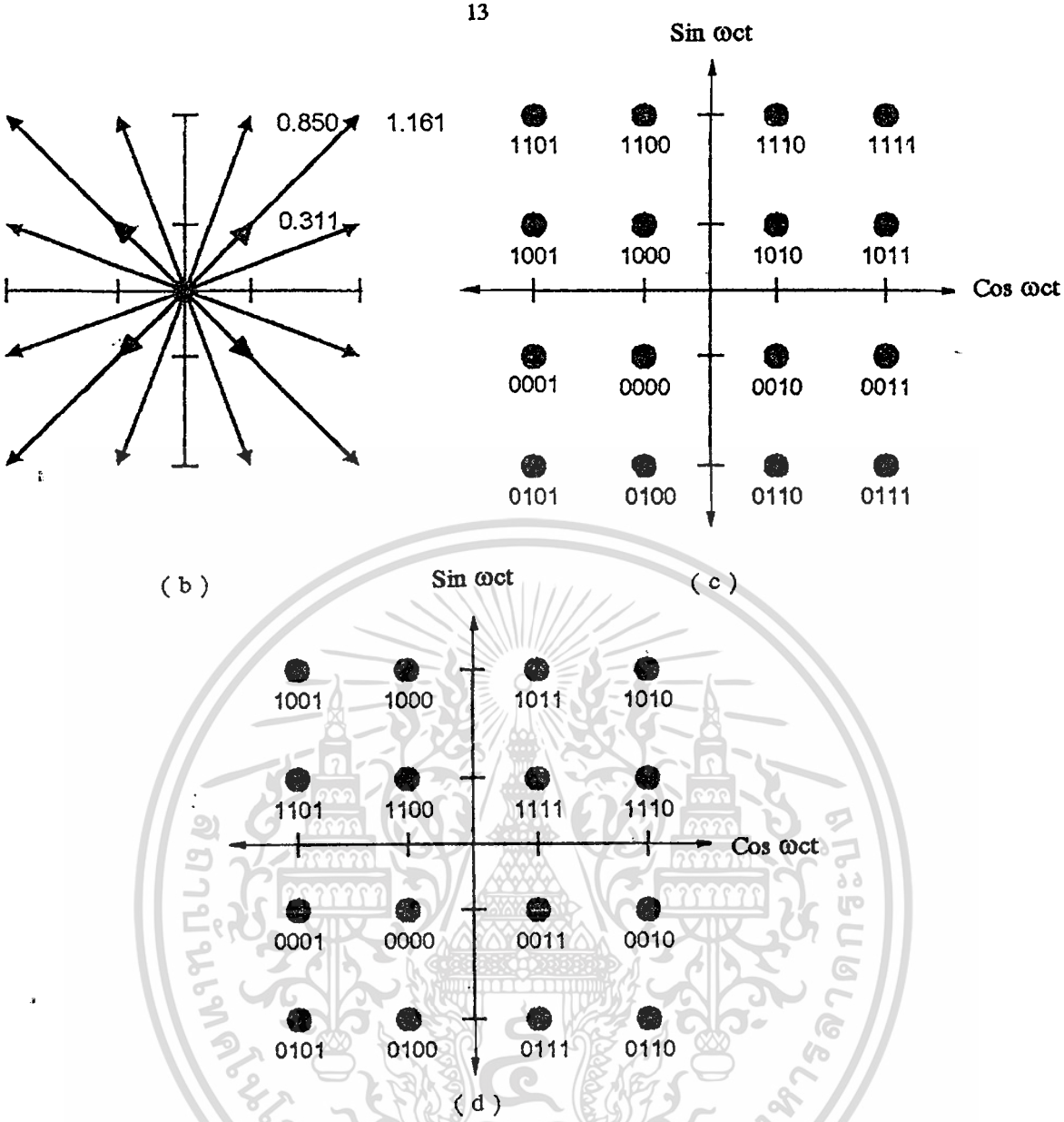
I	I^	Output
0	0	-0.220V
0	1	-0.821V
1	0	+0.220V
1	1	+0.821V

Q	Q^	Output
0	0	-0.220V
0	1	-0.821V
1	0	+0.220V
1	1	+0.821V

ตารางที่ 2.1 ตารางความจริงของ I และ Q ที่เปลี่ยนแปลงได้ทั้ง 4 ระดับ

Binary input				16QAM	
I	I'	Q	Q'	output	
0	0	0	0	0.311 V	-135°
0	0	0	0	0.850 V	-165°
0	0	1	0	0.311 V	-45°
0	0	1	1	0.850 V	-15°
0	1	0	0	0.850 V	-105°
0	1	0	1	1.161 V	-135°
0	1	1	0	0.850 V	-75°
0	1	1	1	1.161 V	-45°
1	0	0	0	0.311 V	135°
1	0	0	1	0.850 V	175°
1	0	1	0	0.850 V	45°
1	0	1	1	0.850 V	15°
1	1	0	0	0.850 V	105°
1	1	0	1	1.161 V	135°
1	1	1	0	0.850 V	75°
1	1	1	1	1.161 V	45°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 Phase Diagram และ Constellation Diagram

หมายเหตุ รูปที่ 2.2 (c) คือ Constellation Diagram ของ Binary Code

รูปที่ 2.2 (d) คือ Constellation Diagram ของ Gray Code

ประสิทธิภาพของแถบความถี่ (Bandwidth efficiency)(β)

ประสิทธิภาพของแถบความถี่(Bandwidth efficiency)(β) (หรือความหนาแน่นของข้อมูล) ถูกใช้เปรียบเทียบการทำงานของเทคนิคการมอดดูเลทหนึ่งกับแบบอื่นๆ สิ่งที่สำคัญก็คือ อัตราส่วนของบิทเรทในการสื่อสารกับแถบความถี่ที่น้อยที่สุดที่ต้องการ สำหรับการมอดดูเลทที่ต้องการความละเอียด ประสิทธิภาพของแถบความถี่ที่ปกติเป็นแถบความถี่ 1Hz ทำให้แยกจำนวนบิทที่สามารถส่งผ่านอุปกรณ์สำหรับแถบความถี่แต่ละเฮิรตซ์ เขียนสมการได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{BW efficiency} = \frac{\text{transmission rate (bps)}}{\text{minimum bandwidth (Hz)}}$$

$$= \frac{\text{bits/second}}{\text{hertz}}$$

$$= \frac{\text{bits/second}}{\text{cycle/second}}$$

$$= \frac{\text{bits}}{\text{cycle}}$$

การหาประสิทธิภาพของแถบความถี่สำหรับการมอดดูเลทแบบ BPSK,QPSK,8PSK และ 16 QAM จากตารางเป็นการแสดงแถบความถี่ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตราการส่ง 10 Mbps ด้วยการมอดดูเลทในรูปแบบต่างๆ

Modulation Technique	Minimum Bandwidth (MHz)
BPSK	10
QPSK	5
8PSK	3.33
16QAM	2.5

ตารางที่ 2.2 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดดูเลทต่างๆ

แทนค่าลงในสมการ จะได้ค่าประสิทธิภาพแถบความถี่ดังนี้

$$\text{BPSK ; BW efficiency} = \frac{10\text{ Mbps}}{10\text{ MHz}} = \frac{1\text{ bps}}{\text{Hz}} = \frac{1\text{ bit}}{\text{cycle}}$$

$$\text{QPSK ; BW efficiency} = \frac{10\text{ Mbps}}{5\text{ MHz}} = \frac{2\text{ bps}}{\text{Hz}} = \frac{2\text{ bit}}{\text{cycle}}$$

$$\text{8PSK ; BW efficiency} = \frac{10\text{ Mbps}}{3.33\text{ MHz}} = \frac{3\text{ bps}}{\text{Hz}} = \frac{3\text{ bit}}{\text{cycle}}$$

$$\text{16QAM ; BW efficiency} = \frac{10\text{ Mbps}}{2.5\text{ MHz}} = \frac{4\text{ bps}}{\text{Hz}} = \frac{4\text{ bit}}{\text{cycle}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำสุด และ 16QAM มีประสิทธิภาพสูงที่สุด และ 16QAM ต้องการเพียง 1/4 ของแถบความถี่ที่ใช้ใน BPSK ในอัตราบิทเรทอินพุตที่เท่ากัน และสรุปข้อแตกต่างของ FSK,PSK,QAM ได้ในตารางที่ 2.3

Modulation	Encoding	Bandwidth (Hz)	baud	Bandwidth efficiency (β) (bps / Hz)
FSK	Single bit	>Fb	Fb	<1
BPSK	Single bit	Fb	Fb	1
QPSK	Dibit	Fb/2	Fb/2	2
8PSK	Tribit	Fb/3	Fb/3	3
8QAM	Tribit	Fb/3	Fb/3	3
16PSK	Quadbit	Fb/4	Fb/4	4
16QAM	Quadbit	Fb/4	Fb/4	4

ตารางที่ 2.3 สรุปข้อแตกต่างของ FSK , PSK และ QAM

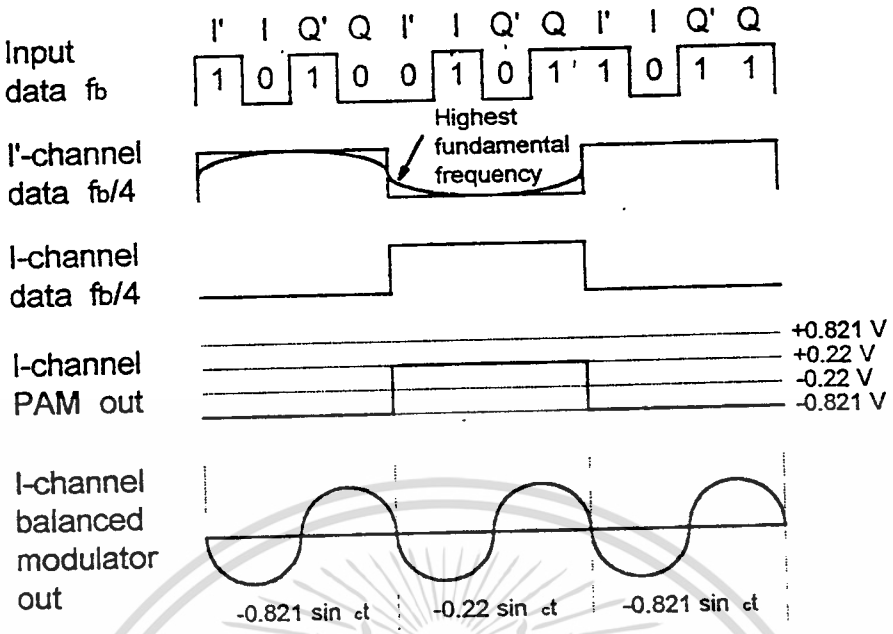
การพิจารณาแถบความถี่ของ 16QAM (Analysis of 16 QAM)

การส่งข้อมูลดิจิตอลแบบ 16QAM นี้เมื่อข้อมูลที่ป้อนเข้ามาแล้วมันจะถูกแบ่งออกเพื่อป้อนเข้าฟลิบฟล้อบ 4 ตัว บิทเรทในช่อง I, I', Q และ Q' มีค่าเท่ากับ 1/4 ของอัตราขาเข้าของข้อมูลอินพุตแบบเลขฐานสอง (Fb/4) วงจรแยกบิทจะขยายบิท I,I',Q และ Q' เป็นสี่เท่าของคาบเวลาบิทอินพุต ทั้งนี้เพราะว่าบิท I, I', Q และ Q' จะเป็นเอ้าพุตออกมาพร้อมกันและอยู่ในรูปขนาน วงจรแปลงระดับ 2 ถึง 4 ระดับ จะมีอัตราการเปลี่ยนแปลงอินพุตและเอ้าพุตเป็น 1/4 ของอัตราเข้าของข้อมูลอินพุต

จากรูปที่ 2.3 แสดงความสัมพันธ์ของ เวลาของบิทระหว่างสัญญาณดิจิตอล อินพุตที่ I,I',Q และQ' และสัญญาณ PAM จากช่อง I จะเห็นว่าความถี่พื้นฐานที่สูงที่สุด ในช่อง I, I' ,Q และQ' มีค่า 1/4 ของข้อมูลดิจิตอลอินพุต (หนึ่งรอบในช่วง I, I' ,Q และ Q' ใช้เวลาเท่ากันเป็นเวลาที่อินพุตเข้ามา 8 บิท) ดังนั้นความถี่พื้นฐานที่สูงที่สุดของสัญญาณ PAM ทั้งสองสัญญาณมีค่า 1/8 ของบิทเรทดิจิตอลอินพุท

วงจรบาลานซ์มอดดูเลเตอร์ 16QAM มีการเปลี่ยนแปลงที่เอ้าพุตหนึ่งครั้ง(เฟสหรือแอมปลิจูด หรือทั้งสองอย่าง) สำหรับเมื่อมีสัญญาณอินพุตเข้ามาทุกๆ 4 บิท ดังนั้นจะมีอัตราบอดเรท Fb/4 เหมือนกันกับแถบความถี่ที่น้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 การพิจารณาแถบความถี่ของ 16 QAM Modlator

ความน่าจะเป็นของการเลือกบิทผิดพลาดและอัตราความผิดพลาดของบิท

ความน่าจะเป็นของการเลือกบิทผิดพลาด(probability of error;P(e)) และอัตราความผิดพลาดของบิท (Bit Error Rate;BER) จะมีความหมายที่แตกต่างกันอยู่เล็กน้อย P(e) คือการคาดเดาอย่างมีเหตุผลของอัตราการผิดของบิท ส่วนBER คือ การบันทึกโดยการสังเกตการกระทำของระบบที่เกิดความผิดพลาดจริง

ความน่าจะเป็นของความผิดพลาดเป็นฟังก์ชั่นของอัตราส่วนระหว่างสัญญาณพาหะและสัญญาณรบกวนของเครื่องรับ ขึ้นอยู่กับ M-ary ที่ใช้และ P(e) ที่ต้องการ โดยทั่วไปอัตราส่วนที่น้อยที่สุดของสัญญาณพาหะต่อสัญญาณรบกวนที่ต้องการสำหรับระบบ QAM มีค่าน้อยกว่าที่ต้องการในระบบ PSK

วงจร Balance Modulation

วงจร Balance Modulation หรือเราเรียกย่อๆว่า BM นี้จะทำหน้าที่ผสมสัญญาณระหว่างสัญญาณ baseband กับสัญญาณ carrier โดยผลลัพธ์ ที่ได้จากการผสมจะมีเฉพาะไซด์แบนด์ทั้งสองข้างเท่านั้นโดยที่สัญญาณคลื่นพาห์จะถูกกำจัดออกไป

วงจรที่ใช้งานกันทั่วไปมีหลายแบบ เช่น ใช้เฟทคู่ ใช้ไดโอดต่อเป็นวงจรหรือใช้ไอซีสำเร็จรูปทั่วไปก็ได้เช่นกันวงจร balance modulation ที่ใช้ในโครงงานนี้ คือICสำเร็จรูปของ Motorola เบอร์

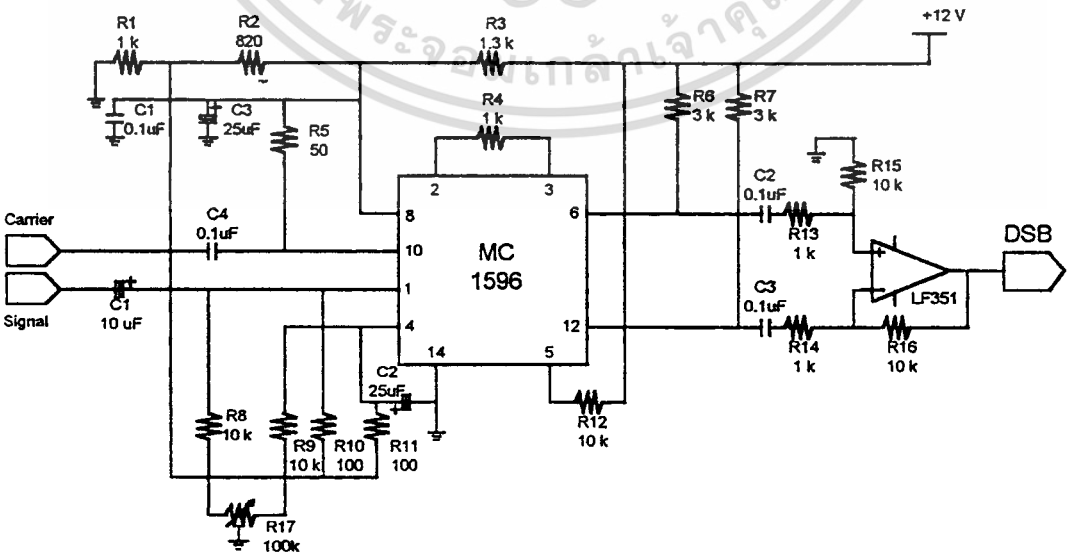
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496 , MC1596 ซึ่งเป็น IC ที่สามารถประยุกต์ใช้งานได้หลายอย่าง คือสามารถใช้เป็นทั้งภาค Modulator ทั้งแบบธรรมดา และ suppress carrier ก็ได้หรือจะใช้เป็นส่วนหนึ่งในภาค Detector ก็ได้อีกเช่นกัน

IC MC1496 , MC1596 ตัวนี้จะทำหน้าที่เป็น Balance Modulator / Demodulator ซึ่งถูกออกแบบสำหรับใช้กับ Output ที่เกิดจากการคูณของ Input signal กับ Carrier ซึ่งนอกจากทำเป็นวงจรBalance Mod / Demod แล้วยังสามารถนำไปประยุกต์ได้อีกหลายอย่าง เช่น Amplitude Modulation , Synchronous Detection, FM Detection ฯลฯ และในการนำ IC ตัวนี้มาใช้ต้องพิจารณาด้วยว่าในวงจรที่เราใช้นั้นมีการกำหนดค่าถูกต้องตาม IC ที่เรามีอยู่หรือไม่ เพราะ ICชนิดนี้มี 2 รูปแบบ คือ แบบที่เป็นตัวถังโลหะมี 10 ขา และแบบตัวถังพลาสติกมี 14 ขา โดยมีขนาดข้อกำหนดของ carrier signal = 60 mV และ Modulating signal = 300 mV วงจรที่ใช้นี้จะใช้เพียงไฟเลี้ยงชุดเดียวคือ +12V นอกจากนี้ IC MC1496 ,MC1596 ตัวนี้สามารถใช้กับไฟเลี้ยง 2 ชุด (+12V และ -8V) และถ้าหากต้องการนำ IC ตัวนี้ไปประยุกต์ใช้กับงานอื่นก็ต้องมีข้อกำหนดที่แตกต่างกันไป โดยเราสามารถดูรายละเอียดได้จาก Data Sheet ในภาคผนวก

วงจรกรองความถี่ด้วย Active (Active Filter)

Active Filter ทำหน้าที่กรองความถี่สัญญาณ เป็นวงจรที่ประกอบด้วยภาคขยาย เช่น Transistor หรือIC และ Network เลือกความถี่ (Frequency Selective Network) จำพวก Resistor กับ Capacitor วงจรให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวกันจะขวางกั้น (Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าว มิให้ปรากฏที่ Output



รูปที่ 2.4 วงจร Balanc Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทั่วไปแล้ว Filter แบ่งออกเป็นหลายรูปแบบ ดังนี้

1. Filter ชนิด Analog หรือ Digital
2. Filter ประเภท Active หรือ Passive
3. Filter ย่านความถี่เสียง (Audio Frequency) หรือ
   ย่านความถี่วิทยุ (Radio Frequency)

Analog Filter ออกแบบมาเพื่อใช้กับสัญญาณ Analog ส่วน Digital Filter ใช้งานกับสัญญาณ Digital โดยอาศัยเทคนิคทาง Analog มาช่วย ถ้าคำนึงถึงชิ้นส่วนของอุปกรณ์อิเลคทรกนิกส์ (Element of Device)ที่นำมาประกอบกันเป็นวงจร Filter แบ่งออกเป็น Passive และ Active ชิ้นส่วนวงจรที่ใช้ใน Passive Filter ได้แก่ Resistor , Capacitor และ Inductor ส่วน Active Filter ประกอบด้วยตัวขยายสัญญาณจำพวก Transistor หรือ IC ในรูป OP-AMP และ Resistor และCapacitor ทำงานร่วมกัน Resistor ,Capacitor และ Inductor ถือได้ว่าเป็นชิ้นส่วนประเภท Passive element การจะเลือกใช้ชิ้นส่วนชนิดใดนั้น ขึ้นอยู่กับย่านความถี่สัญญาณที่ต้องการให้วงจร Filter ทำงาน ยกตัวอย่าง RC Filter ใช้กับย่านความถี่เสียงหรือในย่านความถี่ต่ำ ในขณะที่ LC Filter จะใช้ในย่านความถี่วิทยุหรือย่านความถี่สูง

ข้อดีของ Active Filter ที่มีเหนือกว่า Passive Filter

1. การปรับอัตราการขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดค่าอัตราการขยายของOp-Amp ชดเชยกับอัตราลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราการขยายของวงจรทั้งหมดด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยาย Op-Amp และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า RC เท่านั้น
2. ไม่มีปัญหา Loading จากการที่ Op-Amp มีคุณสมบัติของ Input Impedance สูงและ Output Impedance ต่ำ วงจร Active Filter อาศัย Op-Amp จึงไม่เกิดปัญหาการ Loading กับ Output และ Input ของวงจร ณ จุดที่นำ Active Filter เข้าไปต่อร่วม
3. ราคาถูกกว่า เนื่องจาก Active Filter มีราคาถูกกว่า Passive Filter เพราะไม่ต้องอาศัย Inductor ที่มีราคาแพงและยังใช้ Op-Amp ซึ่งในปัจจุบัน ราคาถูกมาก

เราแบ่ง Active Filter ตามลักษณะการทำงานออกเป็น 5 ชนิด

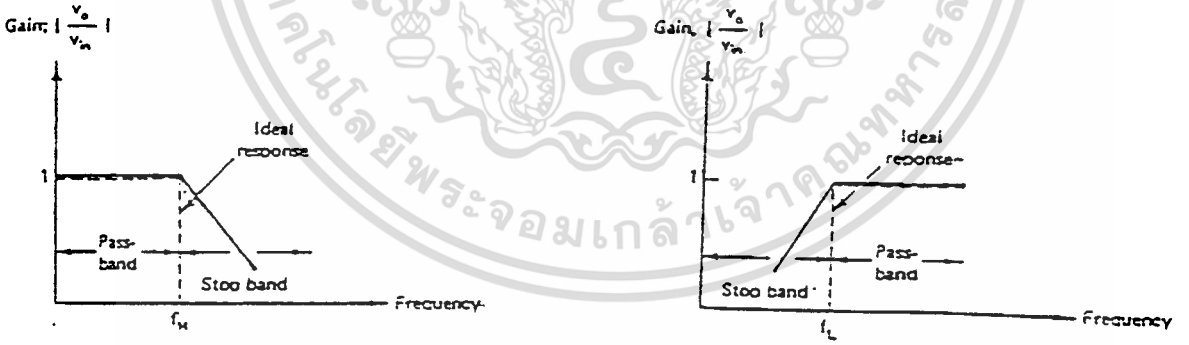
ก. Low Pass Filter (LPF)
ข. High Pass Filter (HPF)
ค. Band Pass Filter (BPF)
ง. Band Reject หรือ Band Stop Filter (BSF)
จ. All Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Filter เหล่านี้อาศัย Resistor และ Capacitor เป็น Passive Element ทำงานร่วมกับ Active Element จำพวก Op-Amp อาศัย IC ที่มีคุณสมบัติ High Speed ที่มี Slew Rate สูง และ Unity Gain Bandwidth สูงๆเช่นLM318 หรือ ICL8017 จะช่วยให้วงจรมีคุณสมบัติด้านความถี่และด้านอัตราการขยายของ Filter ดีขึ้น

Frequency Response ของ Filter ทั้ง 5 ชนิดแสดงในรูปที่ 2.5 เส้นประแสดงถึง Response ที่เป็นอุดมคติในทางทฤษฎี ส่วน Response Courve ในทางปฏิบัติแสดงด้วยเส้นทึบ

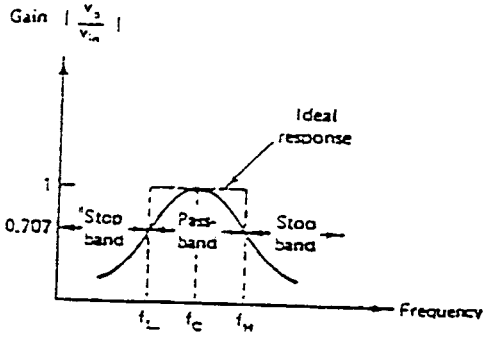
รูปที่ 2.5 (a) แสดง Frequency Response ของวงจร Low Pass Filter มีขนาดของ Gain คงที่จากความถี่ 0 Hz ถึงความถี่ High Cutoff (f_H) ค่าของ Bandwidth จึงเท่ากับ f_H ที่ f_H หรือตำแหน่งความถี่ High Cutoff นั้นอัตราการขยายจะลดลงจากจุดสูงสุดในช่วง Pass Band 3 dB และที่ความถี่มากกว่า f_H นั่นคือที่ $f > f_H$ อัตราขยายหรือ Gain ของวงจรก็ลดลงทุกขณะอย่างต่อเนื่องตามความถี่สัญญาณ Input ที่เพิ่มขึ้น ช่วงของความถี่ระหว่าง 0 - f_H Hz เราเรียกว่า Pass Band ส่วนช่วงที่ความถี่สูงกว่า f_H ขึ้นไป ซึ่งเกิดการลดทอนของสัญญาณลงทุกขณะ เราเรียกว่า Stop Band จาก Response ที่เป็นอุดมคติในเส้นประแสดงให้เห็นว่า Filter ที่เป็นอุดมคติจะมี Loss เป็นศูนย์ตลอดช่วง Pass Band และมี Loss เป็นอนันต์ในช่วง Stop Band แต่สภาพความเป็นจริงในทางปฏิบัติมิได้เป็นเช่นนั้น



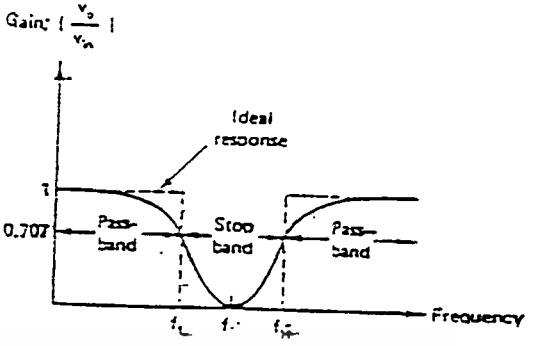
(a) (b)

รูปที่ 2.5 Frequency Response ของ วงจร Filter

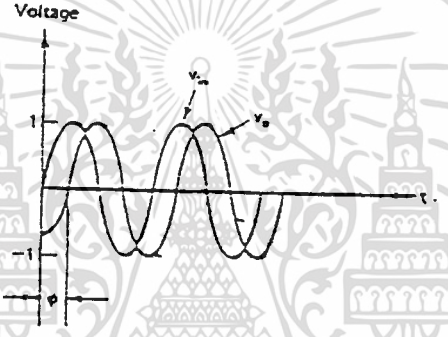
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
038337



(c)



(d)



(e)

รูปที่ 2.5 (ต่อ) Frequency Response ของ วงจร Filter

เพราะโครงข่ายวงจรชนิดเชิงเส้น (Linear Network) ไม่สามารถสร้างคุณสมบัติของความไม่ต่อเนื่องขึ้นได้อย่างไรก็ตามเราอาจสร้าง Response Curve ในทางปฏิบัติตามเส้นทึบให้ใกล้เคียงกับ Response ที่เป็นอุดมคติตามเส้นประได้เช่นกัน โดยอาศัยเทคนิคการออกแบบวงจรเป็นพิเศษเข้าช่วย ประกอบวงจรด้วยชิ้นส่วนอุปกรณ์เช่น Resistor และ Capacitor ที่มีค่าถูกต้องแม่นยำ หรือมีค่าผิดพลาดน้อยที่สุด และใช้ Op-Amp ชนิด High Speed (ในโครงงานนี้ใช้ Op-Amp เบอร์ LF351)

รูปแบบของ Filter ที่นิยมนำมาใช้กันมากในทางปฏิบัติซึ่งให้ Response Curve ประมาณใกล้เคียงทางทฤษฎี ได้แก่รูปแบบ Butterworth, Chebyshev และ Caur แต่ละรูปแบบมีคุณสมบัติลักษณะประจำตัวแตกต่างกันไป Butterworth Filter ให้คุณลักษณะของทั้ง Pass Band และ Stop Bandในลักษณะค่อนข้างราบเรียบ บางโอกาสจึงเรียกว่า Flat Filter สำหรับ Chebyshev Filter มีคุณลักษณะ Pass Band เป็น Ripple และStop Band เป็น Flat ส่วน Caur Filter ให้ทั้ง Pass Band และ Stop

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Band เป็น Ripple ทั้งคู่ ซึ่งการออกแบบและความยุ่งยากของวงจรก็แตกต่างกันไปตามลักษณะการใช้งาน

รูปที่ 2.5 (b) เป็น Response Curve ของ High Pass Filter เมื่อให้ f เป็น ความถี่ใดๆ และ f_L เป็น Low Cutoff Frequency แล้ว ช่วง Stop Band จะอยู่ที่ ความถี่ $0 < f < f_L$ และช่วงของ Pass Band อยู่ที่ $f > f_L$

รูปที่ 2.5 (c) แสดง Frequency Response ของวงจร Band Pass Filter ช่วง Pass Band อยู่ระหว่างสองความถี่คัทออฟได้แก่ High Cutoff Frequency (f_H) และ Low Cutoff Frequency (f_L) ซึ่งเป็นตำแหน่งที่Gain ลดลง 3 dB และช่วง Stop Band มีสองช่วงที่ $0 < f < f_L$ กับ $f > f_H$ โดยที่ $f_H > f_L$ ค่า Bandwidth ของ Band Pass Filter เท่ากับ $f_H - f_L$ และ Center Frequency อยู่ที่ความถี่ fc ปรากฏที่ตำแหน่งกึ่งกลางช่วง Pass Band Gain พอดี

รูปที่ 2.5 (d) แสดง Response ของ Band Reject Filter มี Curve คุณลักษณะตรงข้ามกับ Band Pass Filter กล่าวคือช่วง Band Stop อยู่ระหว่างความถี่คัทออฟสองจุดคือ f_H กับ f_L และมีช่วง Pass Band สองช่วงอยู่ระหว่างความถี่ $f > f_H$ และ $0 < f < f_L$ อาจเรียก Band Reject Filter ว่า Band Stop Filter หรือ Band Elimination Filter ก็ได้ ค่า Bandwidth ของ Stop Band เท่ากับ $f_H - f_L$ และตำแหน่งกึ่งกลางของช่วง Stop Band เป็นความถี่ Center Frequency หรือ fc

รูปที่ 2.5 (e) แสดง Phase Shift ระหว่าง Input Voltage (Vin) กับ Output Voltage (Vo) ของ All Pass Filter มีคุณสมบัติในการให้สัญญาณทุกความถี่ผ่านได้เท่าๆกันกล่าวคือให้Vo เท่ากับ Vin ในทุกความถี่โดยปรากฏ Phase Shift ขึ้นระหว่าง Vo กับ Vinในบางความถี่แต่ค่าความถี่สูงสุดซึ่ง Vo กับ Vin ยังคงมีขนาดเท่ากันขึ้นอยู่กับคุณสมบัติ Unity Gain Bandwidth ของ Op-Amp ที่ความถี่นี้ Phase Shift ที่เกิดขึ้นระหว่าง Vo กับ Vin จะมีค่าสูงสุด

PHASE LOCK LOOP

Phase Lock Loop (PLL) เป็นอิเล็กทรอนิกส์เซอร์โว ซึ่งสามารถควบคุมออสซิเลเตอร์ให้ผลิตความถี่ล็อคหรือซิงค์กับความถี่ของสัญญาณที่เข้ามาเมื่อเฟสของความถี่จากออสซิลเลเตอร์เปลี่ยนแสดงว่าสัญญาณที่เข้ามาความถี่เปลี่ยนไปเอ้าพุตจากเฟสดีเทคเตอร์จะมีค่าเพิ่มขึ้นหรือลดลง ควบคุมให้ออสซิเลเตอร์ผลิตความถี่ให้ตรงและล็อคกับสัญญาณที่เข้ามา ดังนั้นโวลเตจเฉลี่ยที่ได้จากเฟสดีเทคเตอร์ไปควบคุมออสซิเลเตอร์ จึงเป็นฟังก์ชั่นของความถี่ของสัญญาณที่เข้ามา อาทิ เช่น หากสัญญาณที่เข้ามาเป็น FM (Frequency Modulation) แล้ว เอ้าพุตที่ได้จากเฟสดีเทคเตอร์ผ่าน LPF (Low Pass Filter) จะเป็นสัญญาณที่ถูกทำการ Demodulate นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในปัจจุบัน ด้วยการพัฒนาทางด้านเซมิคอนดัคเตอร์ ทำให้วงจร PLL ที่ซับซ้อนสามารถที่จะบรรจุอยู่ใน ไอ.ซี. เล็กๆเพียงตัวเดียว เมื่อใช้งานก็เพียงต่ออุปกรณ์ภายนอกไม่กี่ตัว ทำให้ง่าย สะดวก และประหยัด หลายประการ

หลักการของวงจรเฟสล็อคลูป

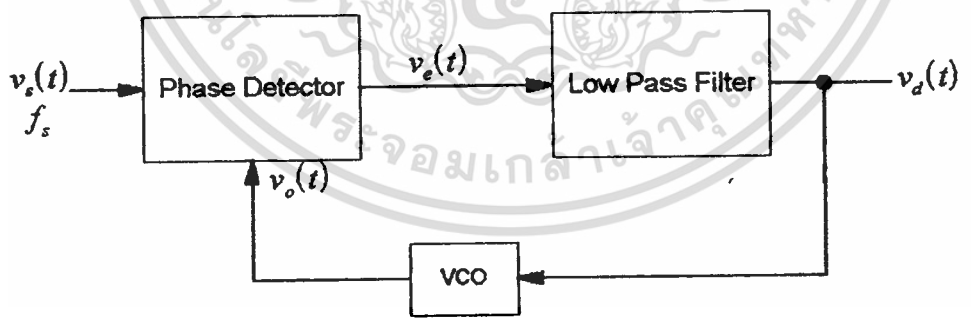
วงจรเฟสล็อคลูป(Phase Locked Loop)หรือPLLเป็นวงจรที่มีลูปของการป้อนกลับ(Feedback Loop) เพื่อนำสัญญาณที่เอ้าพุตบางส่วนกลับมาเปรียบเทียบกับสัญญาณที่ค้านอินพุตโดยวัตถุประสงค์หลักของวงจร PLL คือเป็นวงจรติดตามสัญญาณความถี่ใดๆที่เราต้องการ (Desired Signal) ซึ่งเราเรียกวงจรแบบนี้ว่า "Frequency Tracking Circuit" โดยโครงสร้างพื้นฐานของวงจร PLL จะประกอบด้วยวงจรต่างๆดังต่อไปนี้

1. Phase Detecter (PD) มีหน้าที่ในการเปรียบเทียบผลความแตกต่างของสัญญาณที่อินพุตของวงจร PLL กับสัญญาณที่ถูกป้อนกลับจากด้านเอ้าพุต

2. Loop Filter เป็นวงจรกรองความถี่ผ่านเฉพาะความถี่ต่ำ Lowpass Filter (LPF) ที่มีหน้าที่ในการกำจัดสัญญาณที่มีความถี่สูงๆออกไปให้ผ่านได้เฉพาะสัญญาณ Dc Error Voltage (Ve)

3. Voltage Controled Oscillator (VCO) มีหน้าที่ในการกำเนิดสัญญาณโดยสามารถเปลี่ยนแปลงความถี่ได้ตามการเปลี่ยนแปลงของ Ve

ดังรูปที่ 2.8 แสดงบล็อคไดอะแกรมของวงจร PLL



รูปที่ 2.6 บล็อกไดอะแกรมของวงจร PLL

ในขณะที่ไม่มีสัญญาณป้อนเข้ามา Vd = 0 และ VCO จะผลิตความถี่แบบที่เรียกว่า Free-running เท่ากับ fo เมื่อมีอินพุต Vs ป้อนเข้ามามีความถี่เท่ากับ fs วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับสัญญาณที่ VCO ถ้า fs และ fo แตกต่างกันจะได้ Ve (Error Voltage) จากเอ้าพุตของเฟสดีเทคเตอร์ผ่าน LPF เป็น Vd เข้าไป VCO ปรับความถี่ fo

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

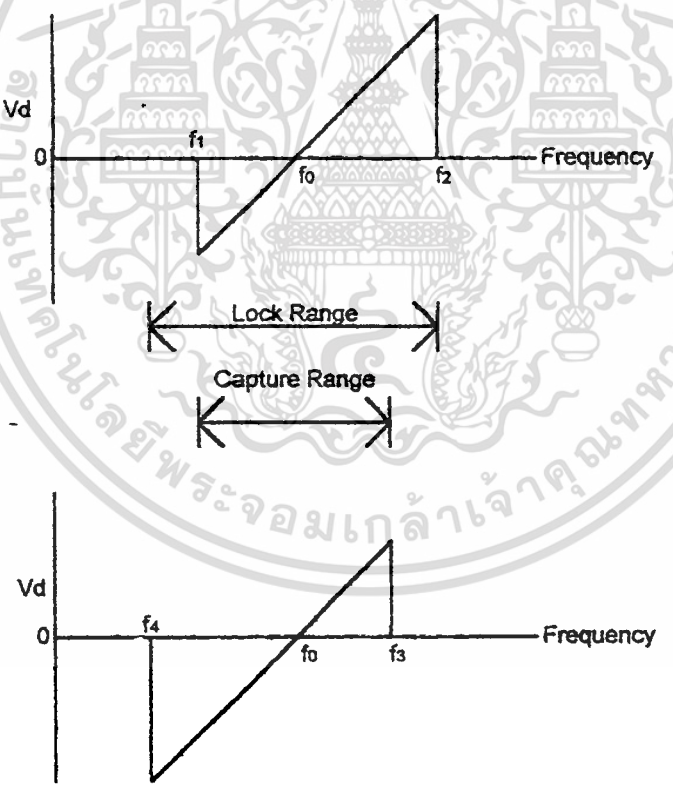
ให้เท่ากับ fs และ เมื่อ fo เท่ากับ fs ก็คือสภาวะล็อค หรือ ซิงค์ เอ้าพุตจากเฟสดีเทคเตอร์ Ve จะเป็นศูนย์ และ Vd ก็เท่ากับศูนย์ด้วย

ในเรื่องของ PLL มีคำที่มักเข้าใจกันสับสนบ่อยๆ คือ คำว่า Rock Range และ Capture Range ซึ่งมีความหมายแตกต่างกันดังนี้

Lock Range หมายถึง ย่านความถี่ที่ใกล้เคียงกับ fo ซึ่ง PLL ยังสามารถล็อคกับสัญญาณที่เข้ามา ค่าของ Rock Range จะลดลงเมื่ออัตราการขยายทั้งหมดของ PLL ลดลง

Capture Range หมายถึง บริเวณแถบความถี่ที่ใกล้เคียงกับ fo ที่ PLL เริ่มล็อคกับสัญญาณที่เข้ามา ค่าของ Capture Range ขึ้นอยู่กับแบนด์วิดท์ของ LPF คือจะลดลงหากแบนด์วิดท์แคบ และโดยปกติ Capture Range จะมีค่าน้อยกว่า Lock Range

เพื่อให้เข้าใจคำว่า Rock Range และ Capture Range ง่ายขึ้น ลองพิจารณาดูรูปที่ 2.7 ซึ่งแสดงถึง คุณลักษณะระหว่างความถี่กับ Error Voltage ของ PLL ดังรูป



รูปที่ 2.7 คุณลักษณะระหว่างความถี่กับ Error Voltage ของ PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากส่วนบนของรูปที่ 2.7 สมมติว่าสัญญาณที่เข้ามามีความถี่ที่ค่อยๆเปลี่ยนไป จากต่ำไปสูง ตอนแรกจะยังไม่มีอะไรเกิดขึ้น และ Vd เท่ากับศูนย์ จนกระทั่งความถี่ของสัญญาณที่เข้ามา fs ซึ่งเป็นความถี่ต่ำสุดของ Capture Range ทำให้ PLL เริ่มล็อคกับสัญญาณ fs และ Vd มีค่าเป็นลบ เพื่อปรับ VCO ให้ fo เท่ากับ fs แต่ในที่นี้เราสมมติว่า fs เปลี่ยนไปเรื่อยๆ ซึ่งจะทำให้ค่าของ Vd เป็นลบน้อยลง

จนกระทั่ง fs = fo ทำให้ Vd เท่ากับศูนย์ จากนั้น Vd จะเริ่มเป็นบวก และมากขึ้นเรื่อยๆ จนกระทั่ง fs = f2 ซึ่งเป็นความถี่สูงสุดของ Rock Range จะทำให้หลุดจากล็อค และ Vd เท่ากับศูนย์

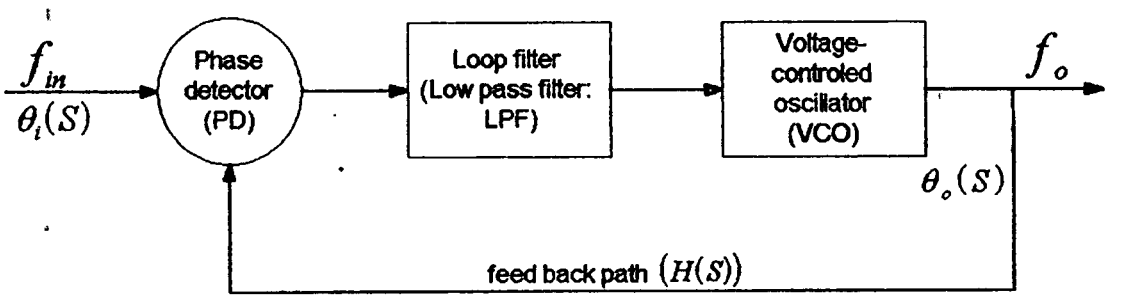
ในทางกลับกัน ถ้า fs เปลี่ยนจาก สูงมาต่ำ ให้พิจารณารูปที่ 2.7 ส่วนล่าง PLL จะเริ่มล็อค เมื่อ fs = f3 ซึ่งเป็นค่าสูงสุดของ Capture Range ทำให้ Vd มีค่าเป็นบวกทันทีเมื่อ fs ลดลงจน fs = fo จะได้ Vd เท่ากับศูนย์ แล้วมีค่าเป็นลบมากขึ้นเรื่อยๆ จนกระทั่ง fs = f4 ซึ่งเป็นค่าต่ำสุดของ Lock Range จะทำให้ fs หลุดจากการล็อคของ PLL และ Vd กลับเป็นศูนย์อีกครั้ง เราจึงสรุปได้ว่า

Lock Range = f2 - f4

Capture Range = f3 - f1

<u>การหาค่าพารามิเตอร์ของ PLL</u>

การหาค่าพารามิเตอร์ต่างของ PLL มีความสำคัญมากเพราะในการออกแบบวงจร PLL เราจะต้องกำหนดค่าพารามิเตอร์ที่สำคัญๆของวงจรเพื่อที่จะควบคุมการทำงานของวงจรให้เป็นไปตามที่เราต้องการซึ่งพารามิเตอร์เหล่านั้นได้แก่ Natural Frequency (ω_n) , Damping Factor(ζ) , Time Constant(τ) เป็นต้น โดยเราสามารถหาค่าพารามิเตอร์เหล่านี้ได้จากการหา Closed Loop Transfer Function (H(S)) ซึ่งสามารถหาได้ดังต่อไปนี้



รูปที่ 2.8 แสดงบล็อคไดอะแกรมวงจรต่างๆของ PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

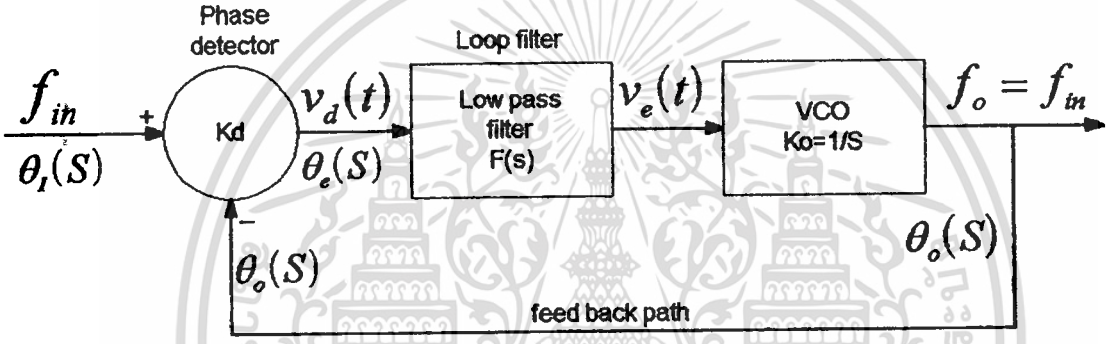
จากรูปที่ 2.8 ซึ่งแสดงค่าฟังก์ชั่นโอนถ่ายของวงจรต่างๆใน PLL ใน S โดเมนโดยสามารถหาค่าได้ดังนี้

$$k_d(S) = \frac{V_d(S)}{\theta_e(S)} \quad (2.1)$$

$$F(S) = \frac{V_e(S)}{V_d(S)} \quad (2.2)$$

$$k_d(S) = \frac{V_o(S)}{V_e(S)} \quad (2.3.1)$$

$$= \frac{K_o}{S} \quad (2.3.2)$$



รูปที่ 2.9 แสดงบล็อคไดอะแกรมของวงจรต่างๆใน PLL ใน S โดเมน

เมื่อ $k_d(S)$ เป็นค่าเกนของวงจร PD

$F(S)$ เป็นฟังก์ชั่นโอนถ่ายของวงจรกรองความถี่ผ่านต่ำ

$k_o(S)$ เป็นเกนของวงจรกำเนิดความถี่ VCO

และจากหลักการพื้นฐานของวงจรที่มีการป้อนกลับเราสามารถเปรียบเทียบรูปบล็อคไดอะแกรมของวงจร PLL ในรูปที่ 2.9 กับบล็อคไดอะแกรมมาตรฐานได้ดังรูปที่ 2.10 และสามารถเปรียบเทียบหาค่า Forward Loop Gain (G(S)) และ Feedback Loop Gain (H(S)) ได้ดังนี้

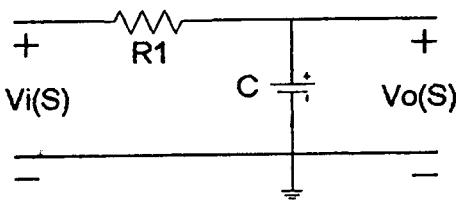
$$G(S) = k_d(S).F(S).k_o(S) \quad (2.4.1)$$

$$= \frac{k_d(S).F(S).K_o}{S} \quad (2.4.2)$$

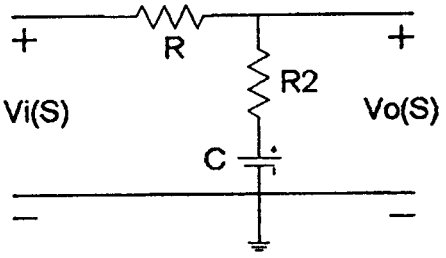
$$H(S) = 1 \quad (2.5)$$

และ Closed Loop Function ($H_T(S)$) ของวงจร PLL นั้นจะเป็นการหาอัตราส่วนของ $\theta_O(S)/\theta_I(S)$ ซึ่งตรงกันกับสมการ $H_T(S)$ ของบล็อคไดอะแกรมในรูปที่ 2.9 ซึ่งสามารถเขียนได้ดังนี้

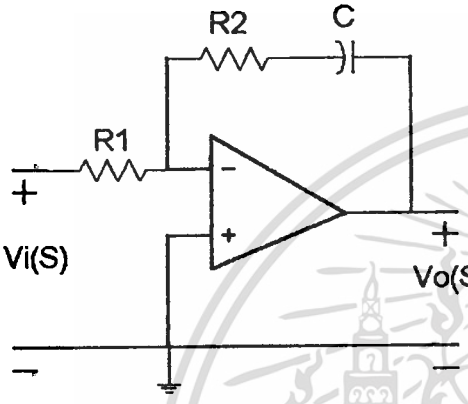
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



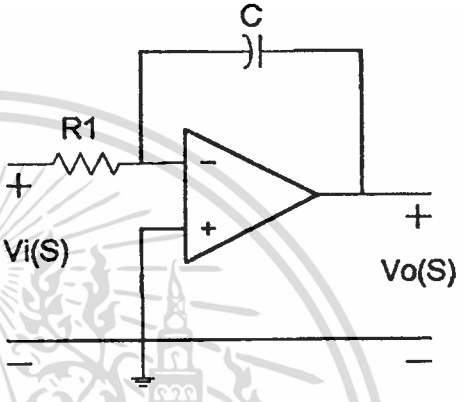
type 1



type 2



type 3



type 4

รูปที่ 2.10 แสดงรูปแบบต่างๆของวงจร Loop Filter ทั้ง 4 แบบ

เมื่อเรานำสมการ (2.8.1) ถึงสมการ (2.8.4) แทนลงในสมการ (2.6.3) และสมการ (2.7.2) เราก็สามารถหา $H_T(S)$ และ $H_c(S)$ ได้โดยเราสามารถเขียนสมการของ $H_T(S)$ ได้ในรูปของวงจรกรองความถี่แบบพาสซีฟ (Passive) และแอ็คตีฟ (Active) ได้คือ

<u>สำหรับลูปฟิลเตอร์แบบพาสซีฟ</u>

$$H_T(S)=\left\{\frac{\dfrac{K_o.k_d.\left(S_{\tau 2}+1\right)}{\tau T}}{S^2+\dfrac{S.\left(1+K_o.k_d.\tau_2\right)}{\tau T}+\dfrac{K_o.k_d}{\tau T}}\right\} \qquad (2.9)$$

<u>สำหรับลูปฟิลเตอร์แบบแอ็คตีฟ</u>

$$\omega_n=\left\{\frac{K_o.k_d}{\tau T}\right\}^{1/2} \qquad (2.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H_T(S) = \left\{ \frac{G(S)}{[1 + G(S).H(S)]} \right\} \quad (2.6.1)$$

$$H_T(S) = \left\{ \frac{\frac{k_d(S).F(S).K_o}{S}}{\left[1 + \frac{k_d(S).F(S).K_o}{S}\right]} \right\} \quad (2.6.2)$$

$$H_T(S) = \left\{ \frac{k_d(S).F(S).K_o}{[S + k_d(S).F(S).K_o]} \right\} \quad (2.6.3)$$

และค่า Error Transfer Function สามารถหาค่าได้ดังนี้คือ

$$H_e(S) = \frac{\theta_e(S)}{\theta_I(S)} \quad (2.7.1)$$

$$H_e(S) = \left\{ \frac{S}{[S + k_d(S).F(S).K_o]} \right\} \quad (2.7.2)$$

ลูปฟิลเตอร์(Loop Filter)

Loop Filter หรือวงจรกรองความถี่ผ่านต่ำนั้นในวงจร PLL โดยส่วนมากจะใช้วงจรกรองผ่านต่ำอันดับ 1 (first order Low Pass Filter) สำหรับใช้ในการควบคุมการทำงานของลูปโดยสามารถแบ่งเป็นรูปแบบได้ 4 แบบและโดยเราสามารถหาค่าฟังก์ชั่นโอนถ่าย (F(S)) ได้ดังนี้

แบบที่ 1 (Type 1) $$F_1(S) = \left[\frac{S}{\omega_c} + 1\right]^{-1} \quad (2.8.1)$$

แบบที่ 2 (Type 2) $$F_2(S) = \left\{ \frac{1 + (S/\omega_{c1})}{1 + S.(\omega_{c1} + \omega_{c2})} \right\} \quad (2.8.2)$$

แบบที่ 3 (Type 3) $$F_3(S) = \left\{ \frac{1 + (S/\omega_{c2})}{(S/\omega_{c1})} \right\} \quad (2.8.3)$$

แบบที่ 4 (Type 4) $$F_4(S) = (S/\omega_{c1})^{-1} \quad (2.8.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเราสามารถหาค่า ω_n และ ζ ได้โดยการแทนรูปแบบของลูปฟิลเตอร์ลงในสมการ $H_c(S)$ และนำไปเทียบกับสมการ H(S) ที่มีเทอมส่วน (Denominator) ของโพลิโนเมียลกำลัง 2 ที่มีรูปแบบมาตรฐานคือ

$$Denominator H(S) = S^2 + 2.\zeta\omega_n.S + \omega_n^2 \qquad (2.11)$$

และเราสามารถหาค่า ω_n และ ζ ได้เมื่อนำสมการ (2.9) และสมการ (2.10) มาเปรียบเทียบกับสมการ (2.11)ได้ดังนี้

<u>สำหรับลูปฟิลเตอร์แบบพาสซีฟ</u>

$$\omega_n = \left\{\frac{K_o.k_d}{\tau T}\right\}^{1/2} \qquad (2.12.1)$$

$$\zeta = 0.5.\left[K_o.K_d/\tau T\right]^{1/2}.\left(\tau_2 + \left(1/K_o.k_d\right)\right) \qquad (2.12.2)$$

<u>สำหรับลูปฟิลเตอร์แบบแอ็คทีฟ</u>

$$\omega_n = \left\{\frac{K_o.k_d}{\tau_1}\right\}^{1/2} \qquad (2.13.1)$$

$$\zeta = 0.5.\tau_2.\left[K_o.k_d./\tau_1\right]^{1/2} \qquad (2.13.2)$$

<u>สัญญาณรบกวนในวงจรเฟสล็อคลูป</u>

กำหนดให้สัญญาณที่ด้านอินพุตของ PLL คือ

$$v_i(t) = v_s \sin\left(\omega_i.t + \theta_i\right) + n(t) \qquad (2.14)$$

และสัญญาณที่ด้านเอ้าพุตของวงจร VCO

$$v_o(t) = v_o \cos\left(\omega_i.t + \theta_o\right) \qquad (2.15)$$

เมื่อ n(t) เป็นสัญญาณรบกวนในย่านความถี่แคบ (narrowband noise) ที่ถูกจำกัดแบนด์วิดท์โดยวงจรกรองความถี่ผ่านเฉพาะย่านที่ด้านอินพุตก่อนวงจร PLL และเราสามารถเขียนสมการแทนสัญญาณรบกวนดังกล่าวได้ในรูปของ Inphase- Quadrature ดังนี้

$$n(t) = n_c(t).\cos\left(\omega_i.t\right) - n_s(t).\sin\left(\omega_i.t\right) \qquad (2.16)$$

และในวงจร PLL ดังกล่าวสัญญาณที่ด้านเอ้าพุตของวงจร phase detector จะเป็นการคูณกันของสัญญาณ $v_i(t)$ และสัญญาณ $v_o(t)$ ซึ่งผลที่ได้คือ

$$v_d(t) = k_d.v_i(t).v_o(t) \qquad (2.17.1)$$

$$v_d(t) = k_d\left\{v_s(t).\sin\left(\omega_i.t + \theta_i\right) + \left[n_c(t).\cos\left(\omega_i.t\right) - n_s(t).\sin\left(\omega_i.t\right)\right]\right\}.$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_o(t).\cos(\omega_t.t+\theta_o) \qquad (2.17.2)$$

ซึ่งสัญญาณดังกล่าวสามารถแยกออกมาได้จะประกอบด้วยเทอมของสัญญาณ Dc , เทอม Double frequency , เทอมของสัญญาณรบกวน และเมื่อสัญญาณดังกล่าวผ่านเข้าไปยังวงจรลูปฟิลเตอร์แบบกรองผ่านเฉพาะความถี่ต่ำดังนั้นเทอม Double frequency จะถูกกำจัดออกไปคงเหลือแต่เทอมของสัญญาณ Dc (error control voltage) ที่ใช้ในการเปลี่ยนความถี่ที่เอ้าพุตของวงจร VCO และเทอมของสัญญาณรบกวนซึ่งสามารถเขียนเป็นสมการได้ใหม่ดังนี้

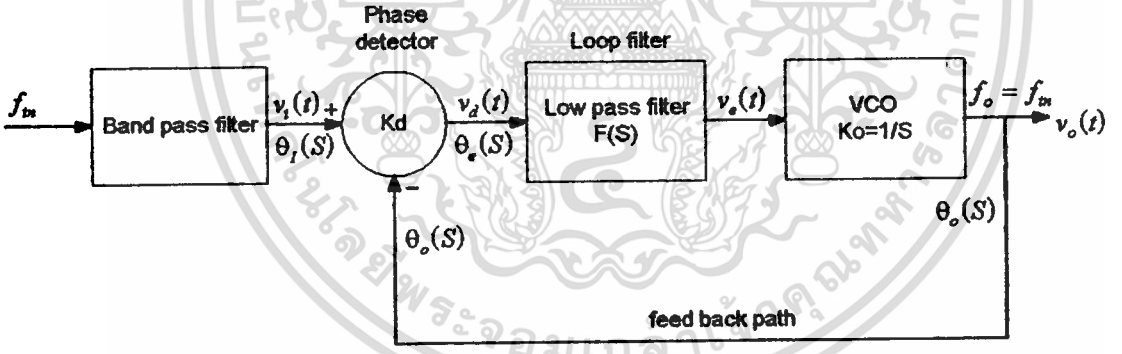
$$v_d(t) = k_d.\sin(\theta_i-\theta_o) + k_d\left[\frac{n_c}{v_s}.\cos(\theta_o) + \frac{n_s}{v_s}(\theta_o)\right] \qquad (2.18.1)$$

$$v_d(t) = k_d.\left[\sin(\theta_i-\theta_o) + n'(t)\right] \qquad (2.18.2)$$

เมื่อสมการของสัญญาณรบกวนคือ

$$n'(t) = v_s^{-1}.\left[n_c.\cos(\theta_o) - n_s.\sin(\theta_o)\right] \qquad (2.19)$$

ดังนั้นในวงจร PLL สามารถติดตามความถี่ (tracking frequency) อินพุตได้จะทำให้เทอมผลต่างของเฟสระหว่างสัญญาณ $v_i(t)$ กับสัญญาณ $v_o(t)$ จาก VCO หรือ θ_i - θ_o มีค่าน้อยมากจนสามารถประมาณได้ว่า$\sin(\theta_i-\theta_o) \approx (\theta_i-\theta_o)$ ซึ่งในช่วงดังกล่าววงจร PLL จะทำงานในช่วงเชิงเส้นซึ่งสามารถแสดงรูปบล็อคไดอะแกรมได้ในรูปที่ 2.11



รูปที่ 2. 11 แสดงบล็อคไดอะแกรมของวงจร PLL ที่ทำงานในช่วงที่เป็นเชิงเส้น

<u>กำลังเฉลี่ยของสัญญาณรบกวน</u>

กำลังเฉลี่ยของสัญญาณรบกวน (variance) เราสามารถหาค่าได้เมื่อเรากำหนดให้สัญญาณรบกวนคือ

$$n'(t) = v_s^{-1}.\left[n_c.\cos(\theta_o) - n_s.\sin(\theta_o)\right] \qquad (2.20)$$

$$\bar{\theta}_n^2 = v_s^{-2}.\left[\bar{n}_c^2.\cos^2(\theta_o) + \bar{n}_s^2.\sin^2(\theta_o) + 2.\bar{n}_c.\bar{n}_s\cos(\theta_o).\sin(\theta_o)\right] \qquad (2.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และถ้าค่าเฉลี่ยของสัญญาณรบกวน $E[n(t)]=0$ และ $\bar{n}_c=\bar{n}_s=\bar{n}$ และเทอมโคแวเรียนซ์ $\bar{n}_c.\bar{n}_s=0$ ดังนั้นกำลังเฉลี่ยของสัญญาณรบกวนคือ

$$\bar{\theta}_n^2=\frac{\bar{\sigma}_n^2}{v_s^2}.\left[\cos^2\theta_o+\sin^2\theta_o\right]=\frac{\bar{\sigma}_n^2}{v_s^2} \qquad (2.22)$$

ซึ่งสมการนี้เป็นการหากำลังเฉลี่ยของสัญญาณรบกวนในเชิงเวลาและในขณะเดียวกันเราก็สามารถที่จะหาค่ากำลังเฉลี่ยของสัญญาณรบกวนได้ในเชิงความถี่โดยเราสามารถหาค่าออโตคอร์รีเลชั่นของสัญญาณรบกวนก่อนซึ่งมีสมการดังต่อไปนี้

$$R_n(\tau)=\bar{n}(\tau_1).\bar{n}(\tau_2) \qquad (2.23.1)$$

$$R_n(\tau)=V_s^2.\left\{\begin{matrix}\cos^2\theta_o.\bar{n}_c(\tau_1).\bar{n}_c(\tau_2)+\sin^2\theta_o\bar{n}_s(\tau_1).\bar{n}_s(\tau_2)\\+\sin^2\theta_o.\cos\theta_o\bar{n}_c(\tau_1).\bar{n}_s(\tau_2)+\bar{n}_s(\tau_1).\bar{n}_c(\tau_2)\end{matrix}\right\} \qquad (2.23.2)$$

แต่เราพบว่าค่าเฉลี่ยโคแวเรียนซ์ของสัญญาณรบกวนจะมีค่าเท่ากันแต่มีเครื่องหมายตรงกันข้ามดังนั้นเทอม $\bar{n}_c(\tau_1).\bar{n}_s(\tau_2)=-\bar{n}_s(\tau_1).\bar{n}_c(\tau_2)$ ซึ่งทำให้เทอมสุดท้ายทางด้านขวามือของสมการเป็นศูนย์ และ $\bar{n}_c(\tau_1).\bar{n}_c(\tau_2)=R_{nc}(\tau)$, $\bar{n}_s(\tau_1).\bar{n}_s(\tau_2)=R_{ns}(\tau)$ เพราะฉนั้นเราสามารถเขียนสมการ (2.23.2) ได้ใหม่ดังต่อไปนี้คือ

$$R_{n'}(\tau)=v_s^{-2}.\left[R_{nc}(\tau).\cos^2\theta_o+R_{ns}(\tau).\sin^2\theta_o\right] \qquad (2.24)$$

และเมื่อนำสมการ $R_{n'}(\tau)$ มาผ่านการแปลงฟูริเยร์ซึ่งผลที่ได้คือ power spectrum density ของสัญญาณรบกวนนั่นเองซึ่งก็คือการหาสมการ PSD ตามทฤษฎีของ Wiener-Khinchine ซึ่งมีรูปสมการดังต่อไปนี้คือ

$$\Phi_{n'}(f)=v_s^{-2}.\left[\Phi_{nc}(f).\cos^2\theta_o+\Phi_{ns}(f).\sin^2\theta_o\right] \qquad (2.25)$$

และเราพบว่า PSD ของสัญญาณรบกวนในเทอมโคไซน์และเทอมไซน์มีค่าเท่ากันนั้นก็คือ

$$\Phi_{nc}(f)=\Phi_{ns}(f)=\Phi_n(f_i-f)+\Phi_n(f_i+f) \qquad (2.26)$$

เมื่อ $\Phi_{n'}(f)$ เป็น PSD ของสัญญาณรบกวนเพียงด้านเดียว (one side noise PSD)

ดังนั้นสมการ PSD ของสัญญาณรบกวนจะลดรูปสมการเหลือเป็น

$$\Phi_{n'}(f)=v_s^{-2}.\left[\Phi_n(f_i-f)+\Phi_n(f_i+f)\right] \qquad (2.27)$$

และถ้าสัญญาณรบกวนเป็น white noise ซึ่งมี PSD คือ $\Phi_n(f)=No$ เพราะฉะนั้น PSD ของสัญญาณรบกวนคือ

$$\Phi_{n'}(f)=v_s^{-2}.[2.No] \qquad (2.28.1)$$

$$\Phi_{n'}(f)=\frac{P_n}{P_s} \qquad (2.28.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่ากำลังของสัญญาณรบกวนที่เอ้าพุตของวงจรเชิงเส้น

ถ้าเรากำหนดให้ PSD ของสัญญาณรบกวนที่ด้านอินพุตของวงจรเป็น white noise $\left(\Phi_{ni}(f)\right)$ และจากทฤษฎีของวงจรโครงข่ายเชิงเส้นเราจะพบว่าค่าPSDของสัญญาณรบกวนที่ด้านเอ้าพุตของวงจรสามารถหาค่าได้ดังต่อไปนี้คือ

$$\Phi_{no}(f) = \Phi_{ni}(f).\left|H(j\omega)\right|^2 \qquad (2.29)$$

โดย $\left|H(j\omega)\right|^2$ เป็นค่า magnitude square ของสมการถ่ายโอนแบบลูปปิดของวงจร PLL และเมื่อเราทำการอินทีเกรทสมการ (2.31) ตลอดช่วงแบนด์วิดท์เราจะได้ค่า noise variance ที่ด้านเอ้าพุตของวงจรคือ

$$\bar{\theta}_{no}{}^2 = \Phi_{ni}(f).\int_0^{\infty}.\left|H(j\omega)\right|^2.d\omega \qquad (2.30)$$

และเมื่อเราแทนค่า PSD ของ white noise จากสมการที่ (2.28) ลงในสมการที่ (2.30) เราจะสามารถหาค่ากำลังของสัญญาณรบกวนหรือ $\bar{\theta}_{no}{}^2$ ได้ดังนี้คือ

$$\bar{\theta}_{no}{}^2 = \frac{2.No}{2}.\int_0^{\infty}.\left|H(j\omega)\right|^2.d\omega \qquad (2.31)$$

$$BL = \int_0^{\infty}.\left|H(j\omega)\right|^2.d\omega \qquad (2.32)$$

และผลของการอินทีเกรทในสมการที่ 2.32 เราเรียกสมการนี้ว่า noise bandwidth ของวงจร PLL ดังนั้นสมการกำลังของสัญญาณรบกวนที่เอ้าพุตของวงจร PLL คือ

$$\bar{\theta}_{no}{}^2 = \frac{2.No}{v_s^2}.BL \qquad (2.33.1)$$

$$\bar{\theta}_{no}{}^2 = \frac{P_n}{P_s}.BL \qquad (2.33.2)$$

และจากความสัมพันธ์ $\frac{P_s}{P_n} = (SNR)_i$ เราสามารถเขียนสมการ $\bar{\theta}_{no}{}^2$ ให้อยู่ในรูปของอัตราส่วนของกำลังของสัญญาณต่อกำลังของสัญญาณรบกวนที่อินพุตของวงจร PLL ได้ดังนี้คือ

$$\bar{\theta}_{no}{}^2 = (SNR)_i.BL \qquad (2.34)$$

และจากความสัมพันธ์ของ

$$(SNR)_L = \frac{P_s}{P_n}.\frac{B_i}{2.BL} \qquad (2.35)$$

เมื่อค่า $(SNR)_L$ เป็นอัตราส่วนของกำลังสัญญาณต่อกำลังของสัญญาณรบกวนและเราสามารถหาความสัมพันธ์ของ $(SNR)_L$ และ $(SNR)_i$ ได้ดังนี้คือ

$$(SNR)_L = (SNR)_i.\frac{B_i}{2.BL} \qquad (2.36)$$

ดังนั้นเมื่อเราแทนสมการที่ (2.36) ลงในสมการที่ (2.34) เราจะได้ค่ากำลังของสัญญาณรบกวนในรูปสมการของ $(SNR)_L$ ดังต่อไปนี้คือ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\bar{\theta}_{no}^{\,2} = \frac{1}{2(SNR)_L} \qquad (2.37)$$

อัตราส่วน S/N ในวงจร PLL

การหาอัตราส่วนของ S/N ของวงจร PLL นั้นมีความจำเป็นมากในการวิเคราะห์หาค่า Performance ที่ภาครับโดยเฉพาะในวงจรกู้สัญญาณคลื่นพาห์กลับคืนในการมอดดูเลทแบบ PSK ซึ่งโดยส่วนมากใช้วงจรPLLเข้ามาช่วยในการล็อคสัญญาณคลื่นพาห์ที่ต้องการออกมาจากสัญญาณรบกวนและสัญญาณฮาร์โมนิคของสัญญาณคลื่นพาห์ซึ่งค่าพารามิเตอร์ที่สำคัญก็คือ ค่าเฟสน็อยซ์จิตเตอร์ (Phase Noise Jitter) ซึ่งเรียกย่อๆว่า Jitter ซึ่งจะเป็นค่าที่แสดงการสั่นของสัญญาณคลื่นพาห์ที่วงจร PLL สร้างขึ้นมาที่เอ้าพุตของวงจร VCO ขณะที่ล็อคความถี่ได้ซึ่งภายหลังเราจะพบว่าค่าของ Jitter นี้จะขึ้นกับระดับของ S/N ที่อินพุตของ PLL หรือ $(SNR)_i$ และได้แสดงไว้ในรูปที่ 2.11 แสดงบล็อคไดอะแกรมของวงจร PLL ที่ใช้ในการหาค่า Jitter ซึ่งเราจะพบว่าก่อนสัญญาณเข้าอินพุตของ PLL จะต้องมีวงจรความถี่ผ่านเฉพาะย่าน Bandpass Filter (BPF) เพื่อกำจัดสัญญาณรบกวนที่มีความถี่นอกเหนือจากแบนด์วิดท์ของสัญญาณที่เราต้องการออกไปโดยเราสามารถหากำลังของสัญญาณได้คือ

$$P_s = \frac{v^2{}_i - rms}{R_{in}} \qquad (2.38)$$

และความหนาแน่นของสเปคตรัมของสัญญาณรบกวน (ω_i) ที่อินพุตของวงจร PLL คือ

$$\omega_i = \frac{P_n}{B_i} \qquad (2.39)$$

เมื่อ P_s เป็นกำลังของสัญญาณที่ด้านอินพุตของวงจร PLL

P_n เป็นกำลังของสัญญาณรบกวนที่ด้านอินพุตของวงจร PLL

B_i เป็นแบนด์วิดท์ที่จุด -3 dB ของวงจร Input BPF

R_{in} เป็นค่าความต้านทานที่อินพุตของวงจร PLL

ดังนั้นที่ด้านอินพุตของวงจร PLL จะเป็นการรวมกันของสัญญาณที่เราต้องการกับสัญญาณรบกวนที่เกิดขึ้นในช่องสัญญาณซึ่งจะส่งผลให้จุดตัดแกนเป็น 0 (Zero Crossing) ของสัญญาณที่ต้องการมีความไม่แน่นอน เกิดขึ้นโดยขึ้นอยู่กับสัญญาณรบกวนชั่วขณะเราเรียกสัญญาณในลักษณะนี้ว่าเกิด Phase Jitter (Phase Noise) ขึ้น ดังนั้นเราสามารถหาค่าเฉลี่ยแบบ Root Mean Square (rms) ของ Jitter ได้ด้วยนิยามดังนี้

$$\bar{\theta}_{ni}^{\,2} = \frac{P_n}{2.P_s} \qquad (2.40)$$

แต่ค่าอัตราส่วนของสัญญาณต่อสัญญาณรบกวนคือ

$$(SNR)_i = \frac{P_s}{P_n} \qquad (2.41)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเราแทนสมการ (2.41) ลงในสมการ (2.40) เราสามารถเขียนสมการหาค่าเฉลี่ยแบบ Root Mean Square (rms) ของ Jitter ได้ใหม่ดังต่อไปนี้คือ

$$\bar{\theta}_{ni}^{\,2} = \frac{1}{(2.SNR)_L} \tag{2.42.1}$$

$$\bar{\theta}_{ni}^{\,2} = \frac{1}{2.\rho_i} \tag{2.42.2}$$

ดังนั้นเราจะเห็นได้ว่าค่า $\bar{\theta}_{ni}^{\,2}$ เป็นสัดส่วนกลับของระดับ $(SNR)_L$ ที่อินพุตของ PLL และเมื่อเราต้องการดูค่า $\bar{\theta}_{ni}^{\,2}$ ในเชิงความถี่เราสามารถทำให้โดยการหาค่าความหนาแน่นของสเปคตรัมของจาก $\bar{\theta}_{ni}^{\,2}$ ได้ดังต่อไปนี้

$$\bar{\theta}_{ni}^{\,2} = \Phi(j\omega) \tag{2.43}$$

$$\Phi = \frac{\bar{\theta}_{ni}^{\,2}}{B_i} \tag{2.44}$$

ในสมการที่ (2.44) แสดงค่าของ $\bar{\theta}_{ni}^{\,2}$ ในเชิงความถี่ที่เกิดขึ้นที่อินพุตของ PLL และเราสามารถหาค่าความหนาแน่นสเปคตรัมของ $\bar{\theta}_{ni}^{\,2}$ ที่ด้านเอ้าพุตของ PLL ได้ดังนี้

$$\sqrt{\bar{\theta}_{no}^{\,2}}(j\omega) = \sqrt{\bar{\theta}_{ni}^{\,2}}(j\omega).\left|H(j\omega)\right| \tag{2.45}$$

$$\bar{\theta}_{no}^{\,2}(j\omega) = \Phi.\left|H(j\omega)\right|^2 \tag{2.46}$$

เมื่อ $\left|H(j\omega)\right|^2$ เป็นค่า Magnitude Square Frequency Response ของฟังก์ชั่นถ่ายโอนของวงจร PLL ซึ่งเราพบว่าค่าดังกล่าวมีความสัมพันธ์กับ Loop Bandwidth และค่า ζ เพราะฉะนั้นค่า Jitter เราสามารถหาค่าได้โดยการอินทีเกรทสมการที่ (2.45) ตลอดช่วงแบนด์วิดท์ของ PLL หรือสามารถหาได้ดังนี้

$$\bar{\theta}_{no}^{\,2} = \int_0^{\infty} \sqrt{\bar{\theta}_{ni}^{\,2}}(j\omega).\left|H(j\omega)\right|.d\omega \tag{2.47.1}$$

$$\bar{\theta}_{no}^{\,2}(j\omega) = \Phi.\left|H(j\omega)\right|^2 \tag{2.47.2}$$

$$\bar{\theta}_{no}^{\,2} = \int_0^{\infty} \sqrt{\Phi}.\left|H(j\omega)\right|^2.d\omega \tag{2.47.3}$$

และเมื่อเราแทนค่า $H_T(S)$ ลงในสมการ (2.32) เราสามารถประมาณค่า B_L ได้ดังนี้คือ

$$B_L = \frac{\omega_n}{2}.\left(\zeta + (1/4.\zeta)\right) \tag{2.48}$$

และเมื่อเราทราบค่า ζ ซึ่งเป็นค่าคงที่ว่ามีค่าเท่าใดแล้วแทนลงในสมการ (2.32) เราก็สามารถหาค่า B_L ได้เช่นในกรณีใช้ค่า $\zeta = 0.7$ ซึ่งเป็นค่าไม่ทำให้มีค่ามากหรือน้อยเกินไปซึ่งหากเราหาค่า B_L ได้คือ

$$B_L = 0.53.\omega_n \tag{2.49}$$

ดังนั้นเมื่อเรานำค่า B_L แทนลงในสมการ (2.12) ก็สามารถหาค่า Jitter ที่เอ้าพุตของ PLL ได้ดังนี้คือ

$$\bar{\theta}_{no}^{\,2}(j\omega) = \Phi(j\omega).B_L \tag{2.50.1}$$

$$\bar{\theta}_{no}^{\,2}(j\omega) = \left[\left(\frac{P_n}{P_s}\right)\left(\frac{B_i}{B_L}\right)\right] \tag{2.50.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\bar{\theta}_{no}^{2}(j\omega) = \frac{(SNR)_L}{2} \qquad (2.50.3)$$

วงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูป

วงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูป (Phase Locked Loop Frequency Synthesizer) หรือ PLL-FS เป็นวงจรที่ใช้ในการสร้างความถี่ใดๆที่เราต้องการโดยการควบคุมผ่านตัวหารที่สามารถโปรแกรมค่าได้ (Programmable Divider) โดยบล็อคไดอะแกรมแสดงโครงสร้างดังรูปที่ 2.12 ซึ่งจะสังเกตเห็นว่าจะคล้ายๆกับวงจร PLL แต่ในส่วนลูปป้อนกลับนั้นจะมีตัวหารความถี่เข้ามาเพิ่มดังนั้นในการหาค่าพารามิเตอร์ต่างๆจะเหมือนกับที่หาได้จากหัวข้อเรื่องการหาค่าพารามิเตอร์ของวงจร PLL ที่ผ่านมาโดยเราสามารถหาค่า H(S) ได้เป็น

$$H(S) = k_n \qquad (2.51.1)$$

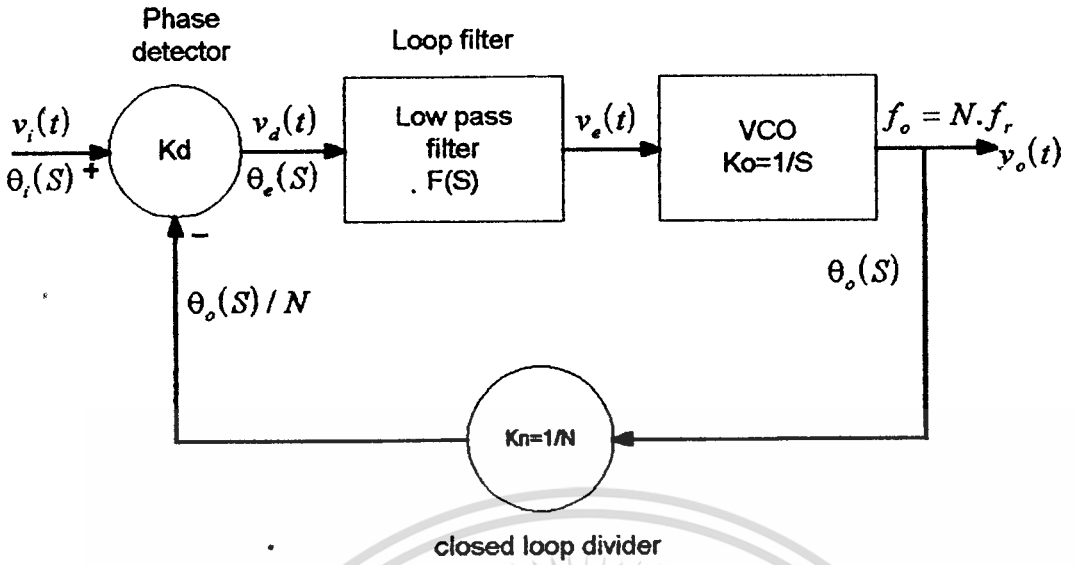
$$H(S) = \frac{1}{N} \qquad (2.51.2)$$

เมื่อ N เป็นค่าตัวหารความถี่ในเส้นทางป้อนกลับและเราสามารถหาค่า $H_T(S)$ ได้โดยการแทนสมการ (2.52.2) ลงในสมการ (2.6.1) หรือสามารถเขียนสมการใหม่ได้ดังนี้

$$H_T(S) = \left\{ \frac{\frac{K_o.k_d.F(S)}{S}}{1+\frac{K_o.k_d.F(S)}{S}} \right\} \qquad (2.52.1)$$

$$H_T(S) = \left\{ \frac{K_o.k_d.F(S)}{S+K_o.k_d.F(S).k_n} \right\} \qquad (2.52.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่เฟสล็อคลูป (Phase-Locked Loop Frequency Synthesizer หรือ PLL-FS)

กรณีที่มีตัวหารความถี่อ้างอิง

ในทางปฏิบัติเราสามารถที่จะปรับความถี่ของเอ้าพุตให้มีค่าละเอียดมากขึ้นได้โดยการเพิ่มตัวหารที่สามารถโปรแกรมได้เพื่อใช้ในการหารความถี่อ้างอิงที่อินพุตของวงจร PLL-Synthesizer ซึ่งความถี่อ้างอิงนี้เราเรียกว่า "Spacing Frequency" และจากรูปที่ 2.13 ที่แสดงบล็อคไดอะแกรมของวงจรดังกล่าว ดังนั้นเราสามารถที่จะหาค่าฟังก์ชั่นถ่ายโอนรวมของวงจรได้ดังนี้

$$H_T(S) = \left\{ \frac{\dfrac{K_o.k_d.(S.\tau_2+1)}{\tau_T}}{S^2 + S\left[\left(\dfrac{\tau_1}{\tau_T}\right)+\left(\dfrac{K_o.k_d}{N.\tau_1}\right)\right]+\dfrac{K_o.k_d}{N.\tau_T}} \right\} \qquad (2.53)$$

$$f_r = \frac{f_i}{M} \qquad (2.54)$$

$$\theta_i = \frac{\theta_r}{M} \qquad (2.55)$$

เมื่อ f_r เป็นความถี่อ้างอิงที่อินพุตของวงจร PD

f_i เป็นความถี่อินพุตจากแหล่งกำเนิดความถี่อ้างอิงหลักเช่น X-Tal

M เป็นค่าตัวหารความถี่อ้างอิงหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

θ_i เป็นเฟสของความถี่อ้างอิงที่อินพุตของวงจร PD

θ_r เป็นเฟสของความถี่อินพุตจากแหล่งกำเนิดความถี่อ้างอิงหลักเช่น X-Tal

ฟังก์ชั่นถ่ายโอนในลูปในลูปปิด(Closed Loop Transfer Function)

$$H_T(S)=\left\{\frac{\dfrac{K_o.k_d.(S.\tau_2+1)}{\tau_T}}{S^2+S\left[\left(\dfrac{\tau_1}{\tau_T}\right)+\left(\dfrac{K_o.k_d}{N.\tau_1}\right)\right]+\dfrac{K_o.k_d}{N.\tau_T}}\right\} \qquad (2.56)$$

เมื่อ $\tau_T=\tau_1+\tau_2$ และเมื่อ $\tau_2=0$ สมการ (2.56) จะลดรูปสมการลงเหลือ

$$H_T(S)=\left\{\frac{\dfrac{K_o.k_d}{\tau_1}}{S^2+S.\left(\dfrac{1}{\tau_1}\right)+\dfrac{K_o.k_d}{N.\tau_1}}\right\} \qquad (2.57)$$

และเราทราบค่าเวลาคงตัว (time constant) ของวงจรลูปฟิลเตอร์แล้วว่ามีค่าดังนี้ $\tau_1=R_1.C$ และ $\tau_2=R_2.C$ นำไปแทนลงในสมการ (2.12.1) และสมการ (2.12.2) เพื่อหาค่า ω_n และค่า ζ สำหรับลูปฟิลเตอร์แบบพาสซีฟและแทนลงในสมการที่ (2.13.1)และ(2.13.2)เพื่อหาค่า ω_n และค่า ζ สำหรับลูปฟิลเตอร์แบบแอคตีฟซึ่งมีสมการดังนี้

ในลูปฟิลเตอร์แบบที่ 1 (type 1) สำหรับลูปฟิลเตอร์แบบพาสซีฟ

$$\omega_n=\left\{\frac{K_o.k_d}{N.C.R_1}\right\}^{1/2} \qquad (2.58.1)$$

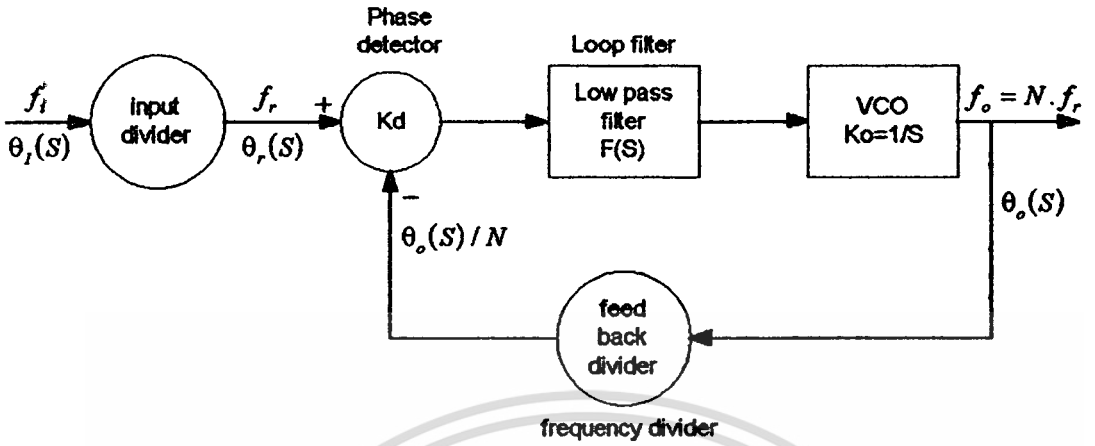
$$\zeta=\frac{1}{2}.\left\{N.C.R_1.K_o.k_d\right\}^{1/2} \qquad (2.58.2)$$

ในลูปฟิลเตอร์แบบที่ 2 (type 2) สำหรับลูปฟิลเตอร์แบบพาสซีฟ

$$\omega_n=\left\{\frac{K_o.k_d}{N.C.(R_1+R_2)}\right\}^{1/2} \qquad (2.59.1)$$

$$\zeta=\frac{1}{2}.\left\{\left[\frac{K_o.k_d}{N.C.(R_1+R_2)}\right]^{1/2}\left[C.R_2+\frac{1}{K_o.k_d}\right]\right\} \qquad (2.59.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 แสดงบล็อคไดอะแกรมของของวงจรสังเคราะห์ความถี่เฟสล็อคลูปที่มีตัวหารความถี่ที่อินพุต

<u>การหาเฟสจิตเตอร์ (Phase Jitter)ในวงจร PLL-ES</u>

จากบล็อคไดอะแกรมในรูปที่ 2.13 นำมาหาค่าฟังก์ชั่นโอนถ่ายทั้งหมดได้ดังนี้

$$H_T(S) = \frac{\theta_o}{\theta_i} \tag{2.60.1}$$

$$H_T(S) = \left\{ \frac{\frac{\theta_o}{\theta_r}}{\frac{\theta_r}{\theta_i}} \right\} \tag{2.60.2}$$

แต่ค่าของ $\theta_r(S) / \theta_i(S) = \frac{1}{M}$ ดังนั้นสมการ (2.60.2) เขียนใหม่ได้เป็น

$$H_T(S) = \frac{H_{T-PLL}(S)}{M} \tag{2.61.1}$$

$$H_T(S) = \left(\frac{N}{M}\right)^2 . \left\{ \frac{\omega_n{}^2}{S^2 + S.\left(\frac{1}{\tau_1}\right) + \frac{K_o.k_d}{N.C.R_1}} \right\} \tag{2.61.2}$$

$$H_T(S) = \left(\frac{N}{M}\right)^2 . \left\{ \frac{\omega_n{}^2}{S^2 + S\left(\frac{1}{\tau_1}\right) + \omega_n{}^2} \right\} \tag{2.61.3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย $H_{T-PLL}(S)$ เป็น Closed Loop Transfer Function ของวงจร PLL และเมื่อเราหาค่า Magnitude Square จากสมการ $H_{T-PLL}(S)$ ของวงจร Synthesizer PLL ได้ดังนี้

$$\left|H_T(j\omega)\right|^2 = H_T(j\omega).H_T(-j\omega) \qquad (2.62.1)$$

$$\left|HT(j\omega)\right|^2 = \left(\frac{N}{M}\right)^2.\left\{\frac{\omega_n{}^4}{\omega^4+\left(2.\zeta.\omega.\omega_n\right)+\omega_n{}^4}\right\} \qquad (2.62.2)$$

เพราะฉะนั้นเมื่อเราค่า Magnitude Square จากสมการ $H_T(S)$ ของวงจร Synthesizer PLL ได้แล้วเราก็สามารถหาค่าลูปแบนด์วิดท์ B_L ได้โดยการอินทีเกรทสมการ (2.62.2) ตลอดช่วงแบนด์วิดท์ซึ่งมีค่าดังนี้

$$B_{L-SYN} = \left(\frac{1}{2\pi}.\frac{N^2}{M^2}\right).\left\{\int_0^{\infty}\frac{\omega_n{}^4}{\omega^4+\left(2.\zeta.\omega.\omega_n\right)+\omega_n{}^4}.d\omega\right\} \qquad (2.63)$$

$$B_{L-SYN} = \left(\frac{N^2}{M^2}\right).B_{L-PLL} \qquad (2.64.1)$$

$$B_{L-SYN} = 0.5.K'.\left\{\omega_n.\left(\zeta+\frac{1}{4.\zeta}\right)\right\} \qquad (2.64.2)$$

เมื่อ $K' = (N/M)^2, B_{L-PLL}$ เป็นค่าลูปแบนด์วิดท์ของวงจร PLL ที่ได้จากสมการ (2.49) และในวงจรที่ใช้งานจริงมีค่าตัวหารดังนี้ N = 10 ,M = 12 เพราะฉะนั้น $K' = 0.694$ เมื่อแทนค่านี้ลงในสมการ (2.64.2) เราสมการหาค่าของ B_L สำหรับวงจรสังเคราะห์ความถี่ได้ดังนี้

$$B_{L-SYN} = 0.694.B_{L-PLL} \qquad (2.65)$$

เมื่อเราทราบค่า B_{L-PLL} แล้วเราจะนำไปหาค่า S/N ที่วงจร Synthesizer PLL ต้องการซึ่งค่านี้จะแสดงให้เราทราบว่าวงจร Synthesizer PLL นี้ต้องการระดับของ S/N มากน้อยเท่าใดที่วงจรยังสามารถทำงานได้

$$SNR_{L-SYN} = \frac{B_i.(SNR)_i}{2.B_L} \qquad (2.66.1)$$

$$SNR_{L-SYN} = \frac{\rho_i.B_i}{2.B_{L-SYN}} \qquad (2.66.2)$$

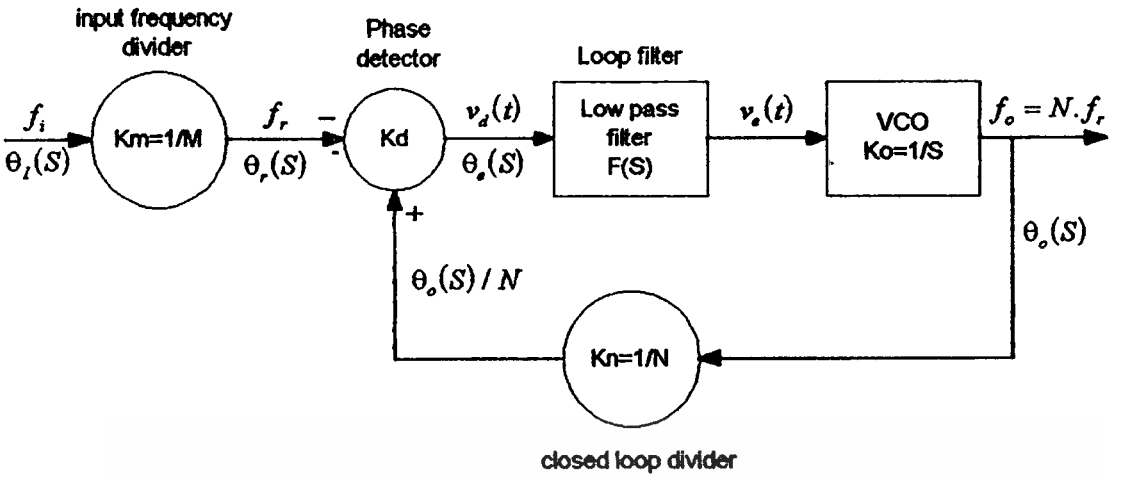
$$SNR_{L-SYN} = \left(\frac{N}{M}\right)^2.\left\{\frac{\rho_i.B_i}{2.B_{L-PLL}}\right\} \qquad (2.66.3)$$

$$SNR_{L-SYN} = \left(\frac{N}{M}\right)^2.(SNR)_{L-PLL} \qquad (2.66.4)$$

และที่ ζ = 0.707 , B_{L-SYN} = 0.683.B_{L-PLL} ดังนั้นเมื่อแทนค่าเหล่านี้ลงในสมการ (2.69.4) จะได้

$$(SNR)_{L-SYN} = \left\{1.464.\frac{(SNR)_i.B_i}{2.B_{L-PLL}}\right\} \qquad (2.67)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่เฟสล็อคลูปสำหรับการหาเฟสจิตเตอร์ของสัญญาณคลื่นพาห์ (phase jitter)

และสุดท้ายค่า Phase Jitter สามารถหาได้โดยการแทนสมการ (2.67) ลงในสมการที่ (2.43.3) ซึ่งมีค่าดังนี้

$$\bar{\theta}^2_{n-SYN} = \left(\frac{N}{M}\right)^2 . \left\{\frac{1}{2.(SNR)_{L-PLL}}\right\} \qquad (2.68.1)$$

$$\bar{\theta}^2_{n-SYN} = \left(\frac{N}{M}\right)^2 . \bar{\theta}^2_{n-PLL} \qquad (2.68.2)$$

ดังนั้นเราสามารถหาค่าเฟสจิตเตอร์ที่เอ้าพุตของวงจรสังเคราะห์ความถี่เฟสล็อคลูปได้โดยใช้สมการที่ (2.68.2) ซึ่งเป็นสมการที่เขียนให้อยู่ในรูปทั่วคือ

$$\bar{\theta}^2_{n-SYN} = \bar{\theta}^2_{ni} . B_{LT} \qquad (2.69)$$

โดยที่ค่าน็อยซ์แบนด์วิดท์รวมทั้งหมด $B_{LT} = B_{L-PLL} . B_{L-SYN}$ และน็อยซ์แบนด์วิดท์ของวงจรเฟสล็อคลูปที่ใช้ล็อคสัญญาณไพล็อตคือ $B_{L-PLL} = B_{L1}$ และน็อยซ์แบนด์วิดท์ของวงจรเฟสล็อคลูปที่ใช้ล็อคสัญญาณคลื่นพาห์คือ $B_{L-SYN} = K'.B_{L2}$ ดังนั้นเมื่อนำสมการเหล่านี้แทนลงในสมการที่ (2.69) จะสามารถเขียนสมการเฟสจิตเตอร์ได้ใหม่คือ

$$\bar{\theta}^2_{n-SYN} = \frac{K'.B_{L1}.B_{L2}}{SNR_i.B_i} \qquad (2.70)$$

เมื่อ $(SNR)_i = \frac{P_s}{P_n} = \rho_i$ เป็นอัตราส่วนของสัญญาณต่อสัญญาณรบกวนที่ด้านอินพุตของวงจร PLL และจากสมการที่ (2.51.3) เราสามารถหาค่าเฟสจิตเตอร์ที่เอ้าพุตของวงจรนี้ได้โดยเขียนสมการให้อยู่ในรูปของ $(SNR)_L$ ได้ดังนี้

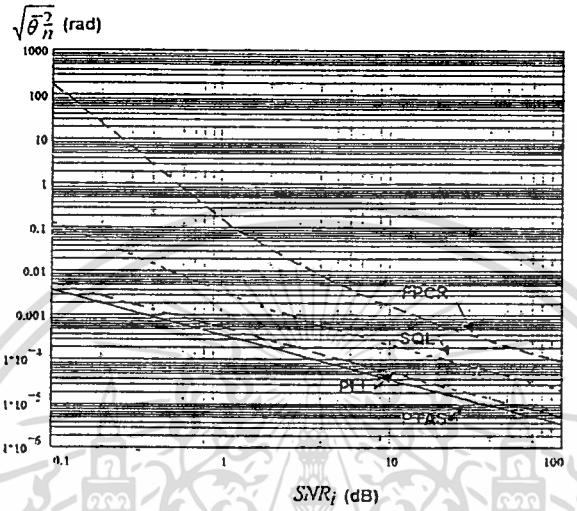
$$\bar{\theta}^2_{n-SYN} = \frac{1}{2.(SNR)_{LT}} \qquad (2.71.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

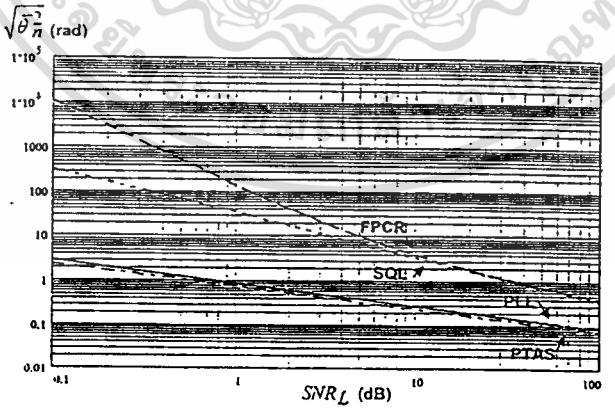
$$\bar{\theta}^2_{n-SYN} = \frac{K'.B_{LT}}{(SNR)_i.B_i} \qquad (2.71.2)$$

$$\bar{\theta}^2_{n-SYN} = \frac{I}{2.(SNR)_{L-PLL}} \qquad (2.71.3)$$

เมื่อ $I = K'.B_{L2}$

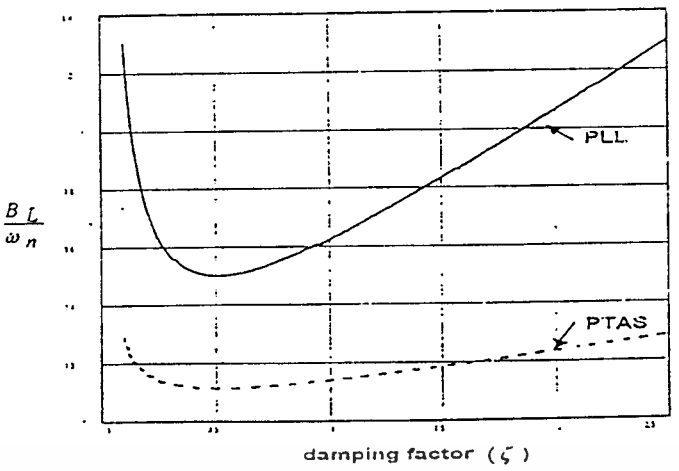


รูปที่ 2.15 แสดงการเปรียบเทียบระดับของเฟสจิตเตอร์ของคลื่นพาห์ต่อระดับ$(SNR)_i$



รูปที่ 2.16 แสดงการเปรียบเทียบระดับของเฟสจิตเตอร์ของคลื่นพาห์ต่อระดับ$(SNR)_L$

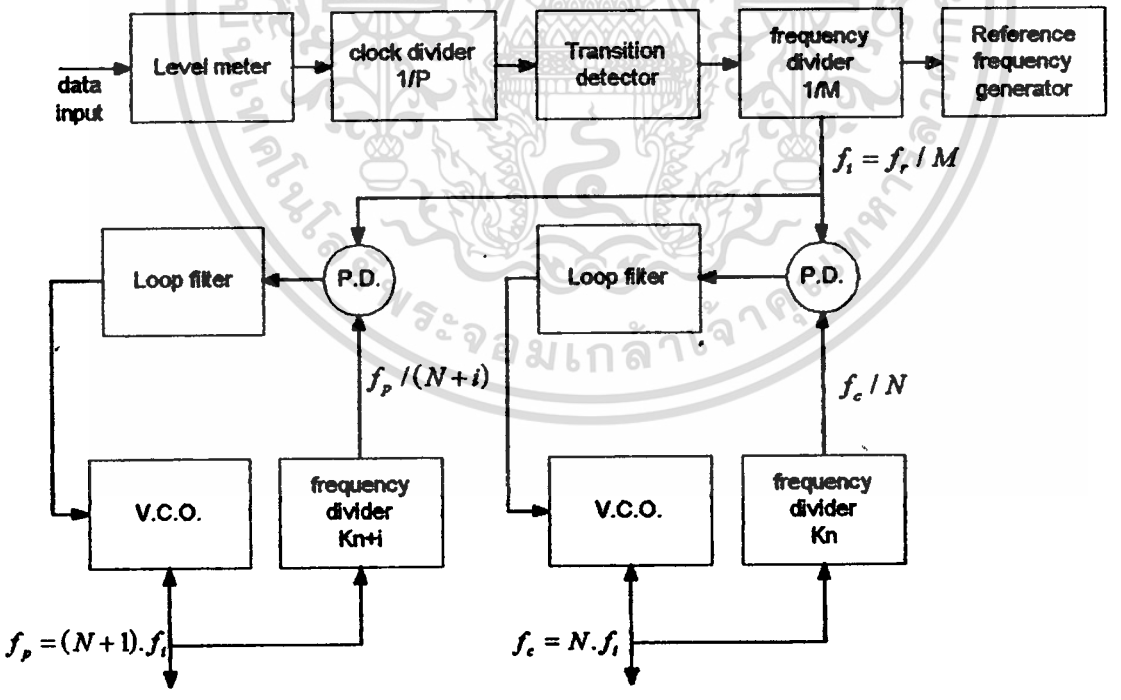
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 แสดงการเปรียบเทียบขนาดของ noise bandwidth ต่อค่า damping factor

หลักการของวงจรกำเนิดสัญญาณไพล็อตโทนและคลื่นพาห์

สัญญาณข้อมูล NRZ ถูกส่งเข้ามาที่อินพุตของวงจรจำกัดระดับของสัญญาณเพื่อที่ทำหน้าที่จัดรูปร่างของสัญญาณให้เหมาะสมและให้สัญญาณเป็นรูปสี่เหลี่ยมหลังจากนั้นจะถูกหารด้วยวงจรหารความถี่ (I/P) แล้วส่งไปเข้าวงจรตรวจจับการเปลี่ยนแปลงของสัญญาณพัลซ์โดยที่เอ้าพุตจะได้



รูปที่ 2.18 แสดงบล็อคไดอะแกรมของวงจรกำเนิดคลื่นพาห์ $(f_c(t))$ และสัญญาณไพล็อตโทน$(f_p(t))$ ที่ใช้หลักการสังเคราะห์ความถี่โดยแสดงเพียง 1 ช่องสัญญาณเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนสัญญาณพัลซ์แคบมากๆเมื่อเทียบกับสัญญาณข้อมูลซึ่งจะแสดงขั้วของสัญญาณข้อมูลเพื่อนำไปใช้ในการรีเซ็ทวงจรหารความถี่ของสัญญาณนาฬิกาอ้างอิง (f_r) ที่ความถี่ $f_o = f_r / M$ และเราสามารถหาความสัมพันธ์ของความถี่ไพล็อตโทนกับสัญญาณคลื่นพาห์ได้ดังนี้

$$f_p = f_c + f_{null} \tag{2.73.1}$$

$$f_p = f_c + R_b \tag{2.73.2}$$

เมื่อ f_{null} เป็นตำแหน่ง first null bandwidth ที่ด้าน upper side band

และเมื่อเรานำสัญญาณไพล็อตโทนมาผ่านการแปลงฟูริเยร์ (Fourier Transform) ซึ่งเป็นการแปลงสัญญาณไพล็อตโทนไปอยู่ในรูปเชิงความถี่หรืออาณาจักรของความถี่นั้นเองซึ่งมีสมการดังนี้

$$F_p(f) = \delta(f_p) \tag{2.74}$$

ดังนั้นที่ภาคส่งสัญญาณใน 1 ช่องสัญญาณนั้นจะเป็นการนำสัญญาณที่ผ่านการมอดดูเลทแล้ว S(t) ไปรวมกับสัญญาณไพล็อตโทน $f_p(t)$ ซึ่งเราสามารถเขียนรูปสมการได้ดังนี้

$$|S_o(t)| = A.\left[P(-f - f_c) + P(f + f_c)\right] + F_p(f) \tag{2.75}$$

$$P(f) = E_b W(f).Sinc^2\left[\pi f.T_b\right] \tag{2.76}$$

$$W(f) = \left|\frac{\sin(\pi f.T_b)}{1-(2\pi f.T_b)^2}\right|^2 \tag{2.77}$$

ตัวอย่างเช่น ถ้าอัตราความเร็วในการส่งข้อมูล เท่ากับ 100 kbps ดังนั้นความถี่ของสัญญาณนาฬิกา fclock = 100 kHz และกำหนดให้ความถี่ของสัญญาณคลื่นพาห์ (IF) fc = 500 kHz ดังนั้น

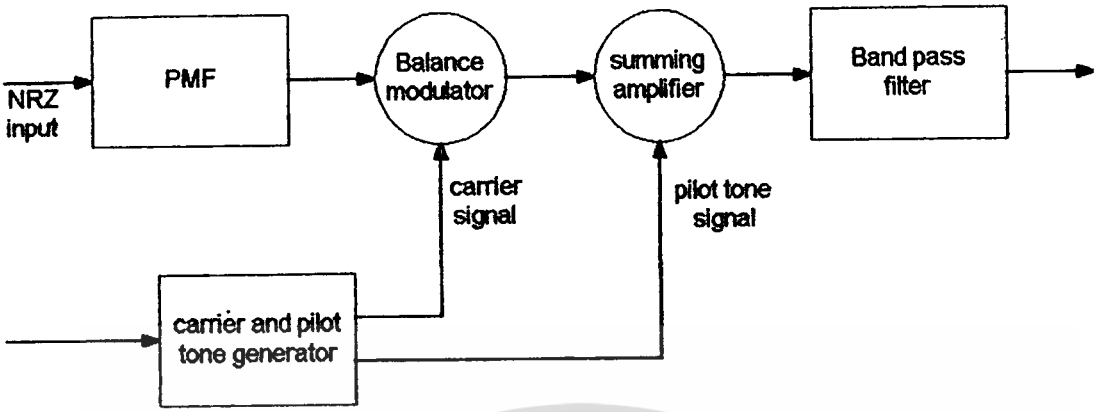
$$f_p = 600kHz$$

สาเหตุที่เราต้องกำหนดให้สัญญาณไพล็อตโทนวางที่ตำแหน่งของความถี่ดังกล่าวเนื่องจากต้องการให้อยู่ในเงื่อนดังต่อไปนี้

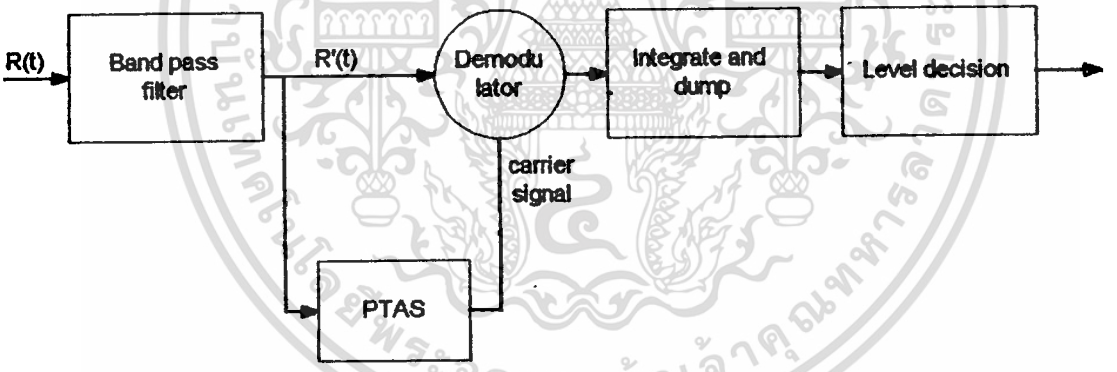
1. ต้องไม่ให้สเปคตรัมของสัญญาณไพล็อตโทนถูกทับซ้อนโดยสเปคตรัมของสัญญาณ BPSK เพื่อทำให้การแยกสัญญาณไพล็อตโทนออกได้ง่าย

2. ต้องให้วางแทรกอยู่ภายในสัญญาณ BPSK เพื่อที่จะไม่ถูกกำจัดทิ้งเมื่อผ่าน channel filter และเหมาะสมกับระบบ bandlimited signal หลังจากนั้นส่งไปเข้าวงจรสังเคราะห์ความถี่เฟสล็อคลูป ซึ่งจะมี 2 วงจรโดยวงจรแรกจะใช้ในการกำเนิดสัญญาณความถี่คลื่นพาห์ย่อย (f_{cn}) ส่วนวงจรที่ 2 จะใช้ในกำเนิดสัญญาณไพล็อตโทน (f_p)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

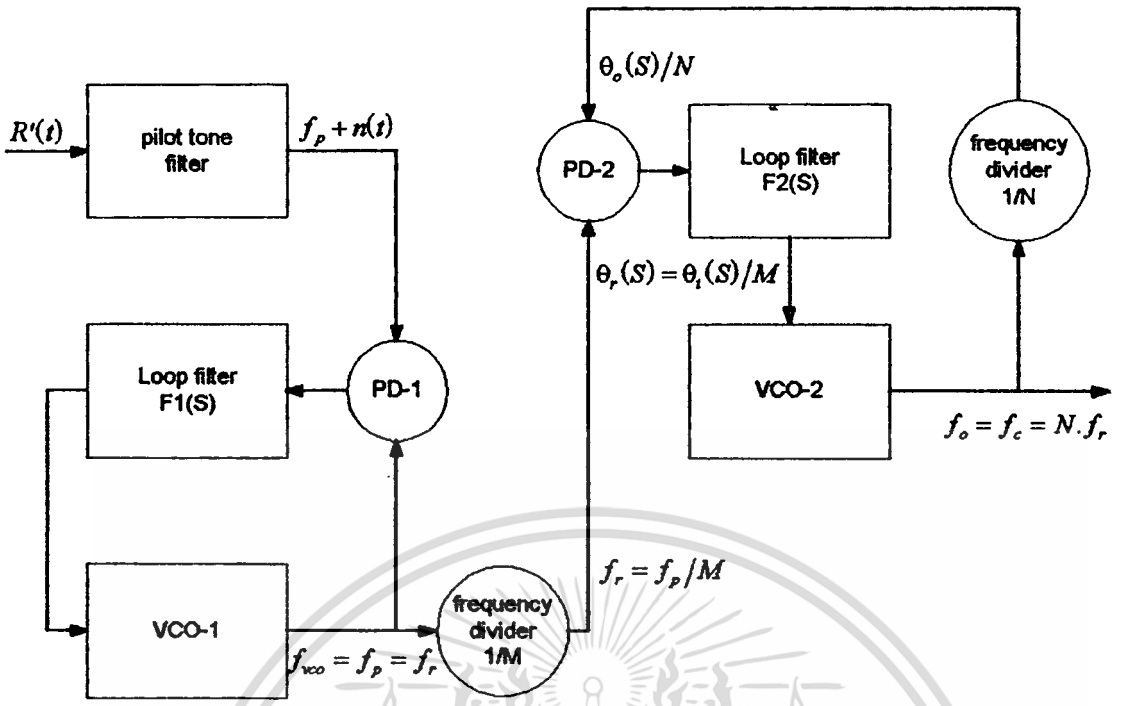


รูปที่ 2.19 แสดงบล็อคไดอะแกรมที่ภาคส่งโดยรวมวงจรกำเนิดสัญญาณไพล็อตโทน



รูปที่ 2.20 แสดงบล็อคไดอะแกรมที่ภาครับสัญญาณ PSK ที่ใช้วงจร PTAS แทนวงจรกู้สัญญาณคลื่นพาห์กลับคืนทั้งในโมเด็มแบบ BPSK และ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 แสดงไดอะแกรมของวงจรแปลงความถี่ลงจากสัญญาณไพล็อตโทนไปเป็นสัญญาณคลื่นพาห์โดยใช้วงจรสังเคราะห์ความถี่

หลักการทำงานของวงจรกู้สัญญาณคลื่นพาห์กลับคืน

ที่ภาครับการล็อคสัญญาณไพล็อตโทนที่ใช้วงจรสังเคราะห์ความถี่ช่วยในการแปลงกลับไปเป็นสัญญาณคลื่นพาห์มีโครงสร้างดังรูปที่ 2.21 โดยสัญญาณที่รับได้ $R'(t)$ จะผ่านวงจร Tune Pilot tone (Q>30) เพื่อที่จะกำจัดสัญญาณ BPSK ออกไปให้มากที่สุดจากนั้นผ่านเข้าวงจรเฟสล็อคลูปเพื่อที่จะให้วงจร PLL ล็อคความถี่เข้ากับสัญญาณไพล็อตโทนจากนั้นจะต่อเข้ากับวงจรสังเคราะห์ความถี่เพื่อที่จะแปลงความถี่จากสัญญาณไพล็อตโทนที่ PLL ล็อคได้ไปเป็นสัญญาณคลื่นพาห์ $\left(f_c = 500kHz\right)$ โดยสามารถคำนวณค่าความถี่ที่ด้านเอ้าพุตของวงจร VCO ได้ดังนี้

$$f_o = \frac{N}{M} \cdot f_i \qquad (2.78)$$

เมื่อ N เป็นค่าตัวหารในลูปปิดของวงจร PLL

M เป็นค่าตัวหารความถี่ที่อินพุตของ PLL

สัญญาณ PSK ที่รับได้จะถูกส่งมาเข้าวงจรกรองความถี่ผ่านย่าน (BPF) ซึ่งใช้ในการจูนเฉพาะสัญญาณไพล็อตโทนแต่ในทางปฏิบัติจะมีสัญญาณรบกวนรวมทั้ง PSD ของข้อมูลบางส่วนที่ไม่สามารถกำจัดทิ้งได้หมดโดยเราถือว่าเป็นสัญญาณรบกวนหลังจากนั้นส่งผ่านไปยังวงจร PLL ที่ตั้งความถี่ของลูปไว้ล็อคเข้ากับสัญญาณไพล็อตโทน ดังนั้นที่เอ้าพุตจะได้สัญญาณ $f_p(t)$ ออกมาแล้วนำไปเข้าวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แปลงความถี่ลงโดยอาศัยวงจรสังเคราะห์ความถี่เฟสล็อคลูปที่จะแปลงความถี่ของสัญญาณไพล็อตโทนลงมาเป็นสัญญาณคลื่นพาห์ $f_c(t)$ ซึ่งสัญญาณนี้จะใช้เป็นสัญญาณคลื่นพาห์อ้างอิงสำหรับใช้ในการดีมอดคูเลทสัญญาณ PSK

<u>การเปรียบเทียบค่าเฟสจิตเตอร์ของวงจรกู้สัญญาณคลื่นพาห์กลับคืน</u>

ในการเปรียบเทียบหาประสิทธิภาพของวงจรCRนั้นเราสามารถทำได้โดยการหาค่าเฟสจิตเตอร์ ซึ่งค่านี้จะแสดงการสั่นไหวทางเฟสของสัญญาณคลื่นพาห์ที่วงจร CR กู้กลับคืนมาได้และโดยทั่วไปวงจร CR ที่ใช้ในการดีมอดคูเลทสัญญาณ BPSK คือวงจรลูปยกกำลังสอง (Squaring Loop) หรือเรียกย่อๆว่าวงจร SQL ส่วนวงจร CR ที่ใช้ในการดีมอดคูเลทสัญญาณ QPSK และ OQPSK คือวงจรยกกำลังสี่ (Fourth power carrier Recovery) หรือเรียกย่อๆว่าวงจร FPCR และสามารถนำมาเขียนสมการได้ดังนี้

$$\bar{\theta}^2_{no} = \rho_i . SL \tag{2.79}$$

$$SL = 4.\left(1+\frac{1}{2.\rho_i}\right) \tag{2.80}$$

$$\rho_i = \frac{P_s}{P_n} \tag{2.81}$$

สมการ (2.80) เราเรียกว่าสมการของการสูญเสียในลูปยกกำลังสอง (Squaring Loss) และสมการ (2.81) เป็นสมการแสดงอัตราส่วนของกำลังของสัญญาณต่อกำลังของสัญญาณรบกวนที่ด้านอินพุตของวงจรหรือเราเรียกว่า S/N และสำหรับวงจร FPCR เราก็สามารถหาค่าเฟสจิตเตอร์ได้ดังนี้คือ

$$\bar{\theta}^2_{o} = \rho_i . FPL \tag{2.82}$$

$$FPL = 16.\left(1+\frac{9}{\rho_i}+\frac{6}{\rho_i^2}+\frac{3}{2.\rho_i^2}\right) \tag{2.83}$$

โดยในสมการ (2.83) เราเรียกว่าสมการการสูญเสียเนื่องจากการยกกำลังสี่ (Fourth Power Loss) หรือเรียกย่อๆว่า FPL และจากรูปที่ 2.16 ซึ่งเป็นการจำลองค่า SNR_L ต่อค่าเฟสจิตเตอร์เราพบว่าในวงจร FPCR นั้นจะให้ค่า FPL สูงที่สุดที่ทุกระดับของ SNR_L และจะสูงกว่าวงจร PLL ถึง 16เท่าหรือเท่ากับ 12.04 dB เนื่องจากค่าคงที่คือ 16 ส่วนในวงจร SQL นั้นก็จะมีค่าสูญเสียคือ SL แต่จะมีค่าน้อยกว่าในวงจร FPCR ซึ่งเราพบว่าจะมีการสูญเสียสูงกว่าวงจร PLL ปรกติถึง 4 เท่าหรือเท่ากับ 6.02 dB เนื่องจากค่าคงที่คือ 4 และหากเราสังเกตจะเห็นได้ชัดว่าค่าของตัวคงที่นี้จะเกิดขึ้นตลอดและไม่ขึ้นกับระดับของ SNR_L ดังนั้นเมื่อเรานำทั้งวงจร SQL และวงจร FPCR มาใช้ในการกู้สัญญาณคลื่นพาห์กลับคืนก็จะให้ค่าของเฟสจิตเตอร์ที่สูงมากแม้ในขณะที่ SNR_L มีค่าเท่ากับ 0 dB โดยเฉพาะที่ค่า S/N ต่ำวงจรทั้ง 2 ก็จะมีค่าเฟสจิตเตอร์ที่สูงอยู่นั้นเอง ผลจากการใช้วงจร PMF นั้นถ้าเราใช้กำลังส่งสูงไปก็จะทำให้กำลังในการกระจายสเปคตรัมด้านข้างเพิ่มสูงขึ้นตามกำลังส่งจะเป็นสาเหตุ ทำให้เกิดการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รบกวนระหว่างช่องสัญญาณ (Adjacent Channel Interference) หรือเรียกย่อๆว่า ACI มากขึ้นแต่ถ้าเราใช้กำลังส่งที่ระดับต่ำเกินไป(ต่ำกว่าระดับ SNR_L ของวงจร SQL และวงจร FPCR)ก็จะทำให้ค่าเฟสจิตเตอร์มีของวงจร CR มีค่าสูงมากและทำให้ค่า BER แย่ลงมากกว่าเดิม (เมื่อเทียบกับระบบดีมอดดูเลทแบบอุดมคติ) ดังนั้นเพื่อเป็นการหลีกเลี่ยงไม่ให้เกิดปัญหาของ ACI และปัญหาของค่าจิตเตอร์ที่มีค่าสูงจึงใช้สัญญาณไพล็อตโทน $\left(f_p(t)\right)$ เข้ามาช่วยในการซิงโครไนซ์สัญญาณคลื่นพาห์ระหว่างภาคส่งและภาครับโดยข้อดีของการใช้สัญญาณ $f_p(t)$ นี้ก็คือ

1. สามารถปรับระดับกำลังส่งของสัญญาณไพล็อตโทนได้อย่างอิสระไม่ขึ้นกับระดับของสัญญาณคลื่นพาห์ที่ภาคส่ง

2. มีระดับของเฟสจิตเตอร์ต่ำกว่าวงจร SQL และวงจร FPCR มากโดยเฉพาะที่ SNR ต่ำๆ เนื่องจากวงจรกู้สัญญาณคลื่นพาห์ในระบบซิงโครไนซ์แบบนี้ (PTAS) จะไม่มีค่าคงที่ซึ่งทำให้เกิดการสูญเสียเหมือนในวงจร SQL และวงจร FPCR

3. วงจรกู้สัญญาณคลื่นพาห์กลับคืนที่ภาครับมีขนาดวงจรที่ซับซ้อนน้อยกว่าและมีขนาดวงจรเล็กกว่าเมื่อเทียบกับวงจร SQL โดยเฉพาะวงจร FPCR ที่มีความซับซ้อนสูงและมีขนาดวงจรใหญ่มาก

4. สามารถนำไปใช้กับระบบ Superheterodyne ได้และวิธีซิงโครไนซ์แบบนี้สามารถใช้ได้ดีกับระบบส่งสัญญาณโมเด็มที่มีลักษณะแบบ Bandlimited

<u>วงจรเปรียบเทียบความต่างของเฟส (Phase Detector)</u>

วงจรขยายความแตกต่าง (Phase Detector) นี้ คือ วงจรที่ใช้เปรียบเทียบสัญญาณอินพุต และสามารถเลือกสัญญาณใช้เอ้าพุตได้ มีอยู่ด้วยกัน 4 ชนิดดังนี้

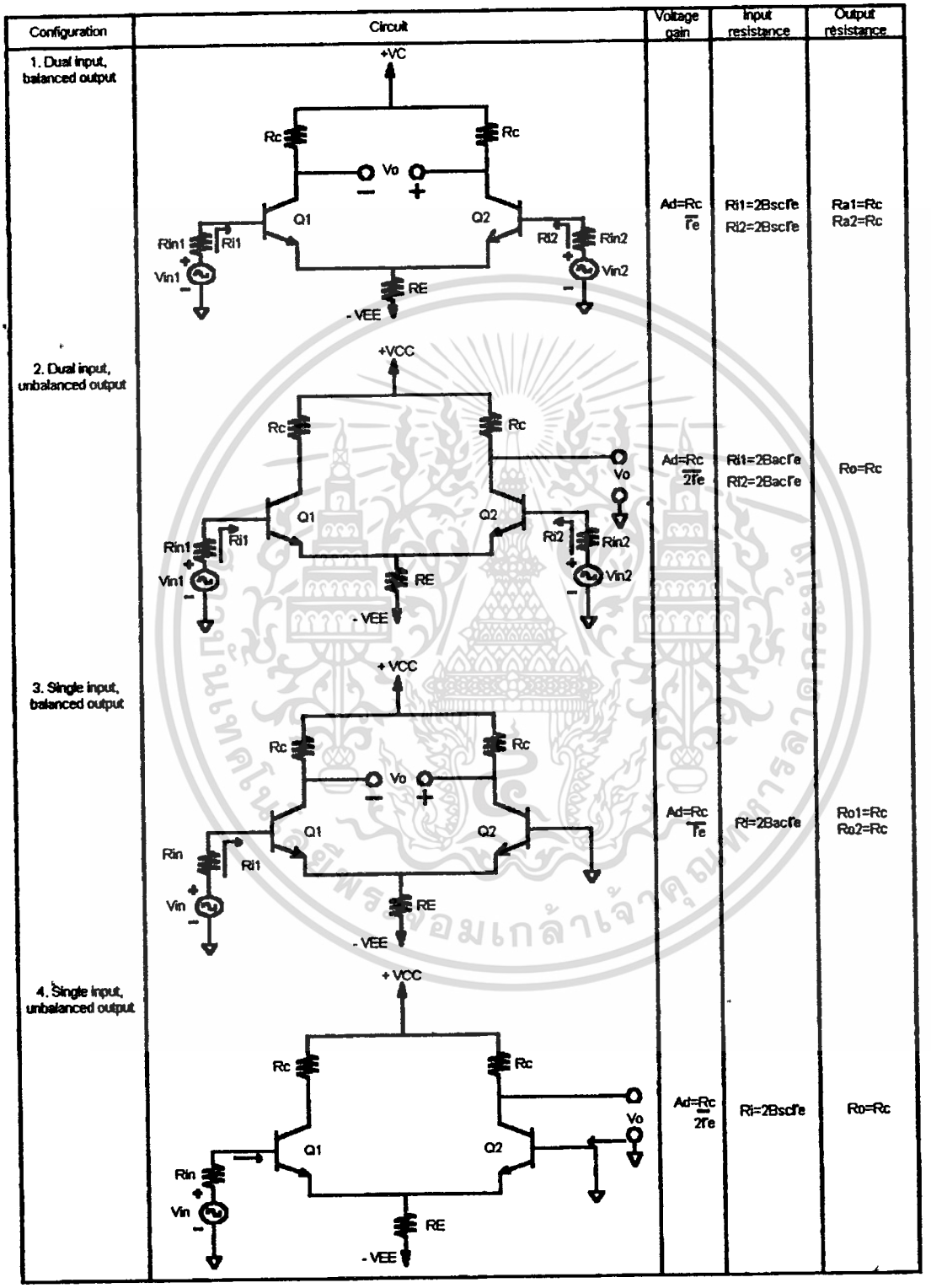
1. Dual-input , balance-output differential amplifier
2. Dual-input , unbalance-output differential amplifier
3. Single-input , balance-output differential amplifier
4. Single-input , unbalance-output differential amplifier

การแบ่งลักษณะการเรียกชื่อชนิดวงจรนั้นๆ พิจารณาจาก จำนวนสัญญาณอินพุตและลักษณะการวัดเอ้าพุต ถ้ามีอินพุตเข้าสองเส้นจะเรียกว่า Single input นอกจากนั้นก็แบ่งตามลักษณะการใช้งานเอ้าพุต ถ้าวัดเอ้าพุตระหว่าง ขาคอลเลคเตอร์ ของทรานซิสเตอร์ทั้ง 2 ตัว (พื้นฐานวงจรของวงจรขยาย ความแตกต่างนี้จะใช้ทรานซิสเตอร์ NPN 2 ตัว ดังจะได้แสดงรูปวงจรต่อไป) จะเรียกว่า balance-output แต่ถ้าหากวัดขาเคอลเลคเตอร์ ของทรานซิสเตอร์ตัวใดตัวหนึ่ง แล้วเทียบกับกราวด์ ก็จะเรียกว่า Unbalance-output

การวิเคราะห์วงจรทั้ง 4 ประเภท จะใช้วงจรเทียบเคียงทางไฟฟ้ากระแสตรง (DC Equivalent Circuit) และวงจรเทียบเคียงทางไฟฟ้ากระแสสลับ (AC Equivalent Circuit) เพื่อใช้ทำการวิเคราะห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

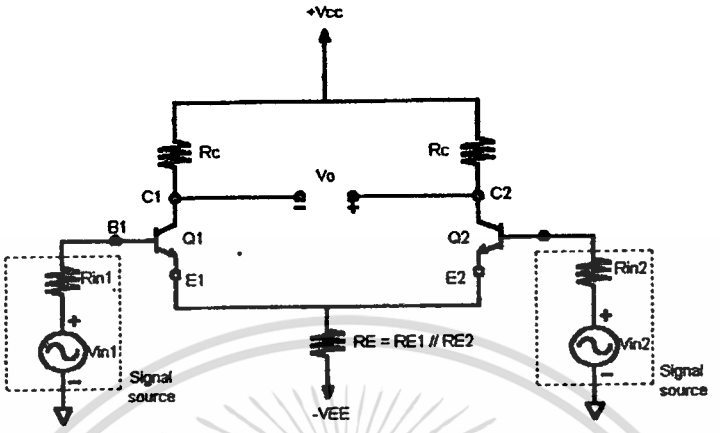
หาคุณลักษณะทางด้านไฟฟ้ากระแสตรง คุณลักษณะทางด้านไฟฟ้ากระแสสลับ อัตราขยายแรงดันอินพุทอิมพีแดนซ์ เอ้าพุตอิมพีแดนซ์ ดังจะได้สรุปในรูปที่ 2.22



รูปที่ 2.22 การวิเคราะห์วงจรขยายความแตกต่างทั้ง 4 ชนิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

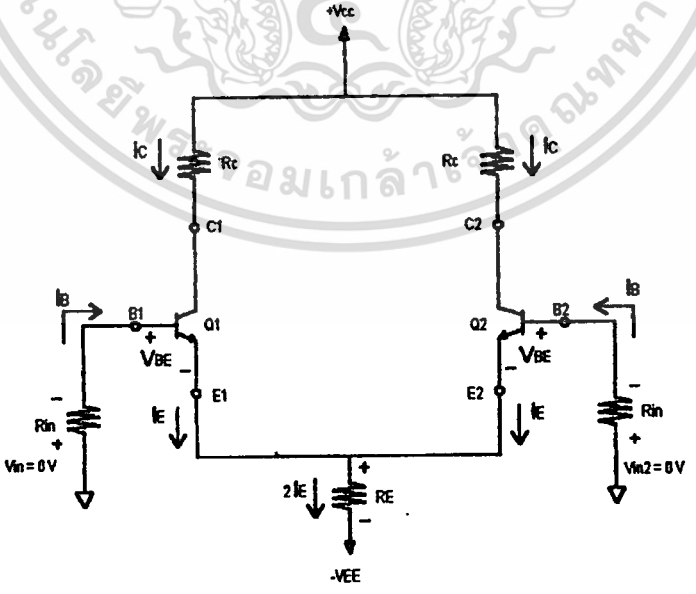
เนื่องจากในโครงงานนี้ จะใช้วงจรขยายความแตกต่าง ชนิด Dual-input,balance-output differential amplifier จึงได้ทำการวิเคราะห์วงจรชนิดนี้ ซึ่งผลการวิเคราะห์ได้สรุปไว้แล้วในรูปที่ 2.22



รูปที่ 2.23 วงจร Dual-input,balance-output differential amplifier

DC Analysis

ในการวิเคราะห์เชิงไฟฟ้ากระแสตรงนี้ จะทำการช็อตสัญญาณอินพุต $V_{IN1} = V_{IN2} = 0$และกำหนดให้ $R_{IN1} = R_{IN2} = R_{IN}$และการทำงานของทรานซิสเตอร์อยู่ในสภาวะสงบ (Q Point) เราจะทำการวิเคราะห์เฉพาะ Q_1 เท่านั้น เพราะเรากำหนดให้ Q_1 เหมือนกันประการกับ Q_2



รูปที่ 2.24 DC equivalent circuit ของ dual-input,balance-output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.24 ใช้กฎแรงดันของเคอร์ชอร์ฟ ในการพิจารณาลูประหว่างขาเบสและคอเลคเตอร์ของ Q_1 แล้วจะได้ว่า

$$-R_{IN}I_B - V_{BE} - R_E(2I_E) + V_{EE} = 0 \qquad (2.84)$$

แต่ $I_B = I_E/\beta_{DC}$ และ $I_C = I_E$

ดังนั้นเราสามารถหาค่า I_E จาก (2.1) ได้ว่า

$$I_E = \frac{V_{EE} - V_{BE}}{2R_E + R_{IN}/\beta_{DC}} \qquad (2.85)$$

เมื่อ $V_{BE} = 0.6$ V สำหรับทรานซิสเตอร์ชนิดซิลิกอน

$V_{BE} = 0.2$ V สำหรับทรานซิสเตอร์ชนิดเยอรมันเนียม

โดยทั่วไปแล้ว $R_{IN}/\beta_{DC} << 2R_E$ เราจึงได้เขียนสมการ(2.85) ใหม่ว่า

$$I_E = \frac{V_{EE} - V_{BE}}{2R_E} \qquad (2.86)$$

จาก (2.86) เราจะได้ว่า R_E จะเป็นตัวกำหนดว่า I_E และจากรูป R_C ก็เป็นตัวกำหนดกระแสของ Q_1 และ Q_2 ด้วยเช่นกัน จากนั้นเราก็อาศัยกฎของแรงดันของเคอร์ชอฟพิจารณาลูประหว่างคอลเลคเตอร์และอิมิตเตอร์ ได้ดังต่อไปนี้

จาก $V_C = V_{CC} - R_C I_C \qquad (2.87)$

$V_E = V_{BE}$ เพราะ $R_{IN} = 0$

และ $V_{CE} = V_C - V_E$

$= V_{CC} - R_C I_C - (-V_{BE})$

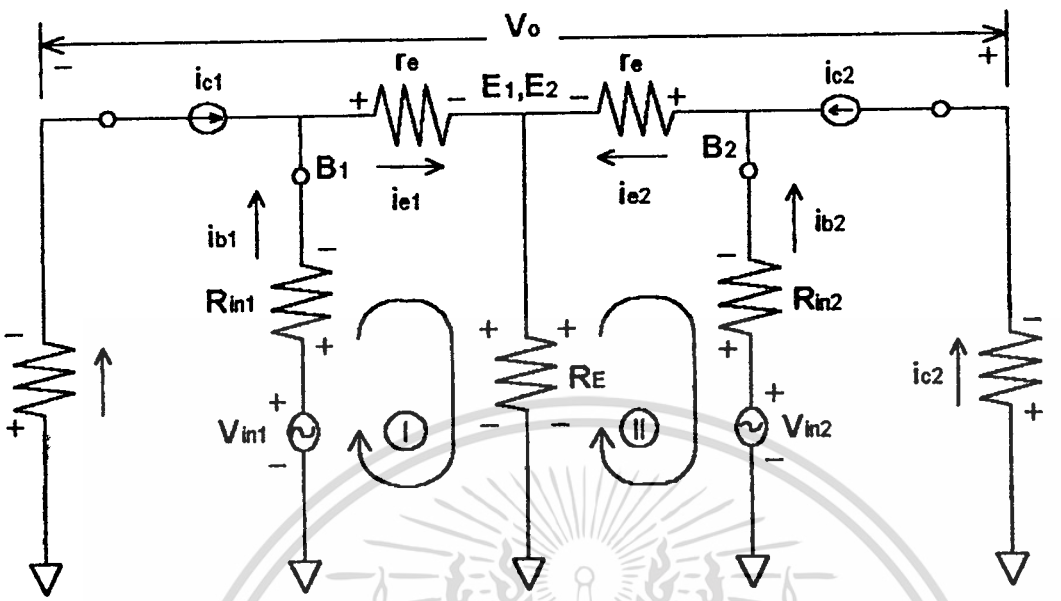
$= V_{CC} + V_{BE} - R_C I_C \qquad (2.88)$

เราจะใช้สมการ (2.85) และ (2.87) ในการวิเคราะห์ DC Analysis ทั้ง 4 รูปแบบ เพราะสามารถใช้เป็นพื้นฐานของวงจร Differential Amplifier ทุกวงจร

AC Analysis

ในการวิเคราะห์ทางด้านไฟฟ้ากระแสสลับนั้นโดยกำหนดให้ ช็อตแหล่งจ่ายแรงดัน(Short Voltage Source) ($V_{CC} = 0$ V) แล้วใช้วงจรเทียบสมมูลแบบ T แทนตัวทรานซิสเตอร์ ดังรูปที่ 2.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)

รูปที่ 2.25 AC equivalent circuit ของ Dual-input,balance-output

พิจารณาที่ลูป I และ ลูป II ของรูปที่ 2.25

$$V_{IN1} - R_{IN1} i_{B1} - r_E i_{E1} - R_E\left(i_{E1} + i_{E2}\right) = 0 \tag{2.89}$$

$$V_{IN2} - R_{IN2} i_{B2} - r_E i_{E2} - R_E\left(i_{E1} + i_{E2}\right) = 0 \tag{2.90}$$

แทนค่า $i_{B1} = i_{E1}/\beta_{AC}$ และ $i_{B2} = i_{E2}/\beta_{AC}$

$$V_{IN1} - R_{IN1}/\beta_{AC} * i_{E1} - r_E i_{E1} - R_E\left(i_{E1} + i_{E2}\right) = 0$$

$$V_{IN2} - R_{IN2}/\beta_{AC} * i_{E2} - r_E i_{E2} - R_E\left(i_{E1} + i_{E2}\right) = 0$$

แต่ R_{IN1}/β_{AC} และ R_{IN2}/β_{AC} มีค่าน้อยมาก จึงสามารถเขียนสมการได้ใหม่ว่า

$$\left(r_E + R_E\right) i_{E1} + R_E i_{E2} = V_{IN1} \tag{2.91}$$

$$\left(r_E + R_E\right) i_{E2} + R_E i_{E1} = V_{IN2} \tag{2.92}$$

จากนั้น แก้สมการหาค่า i_{E1} และ i_{E2} โดยใช้ Cramer' rule

$$i_{E1} = \frac{\left(r_E + R_E\right) V_{IN1} - \left(R_E\right) V_{IN2}}{\left(r_E + R_E\right)^2 - \left(R_E\right)^2} \tag{2.93a}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{E2} = \frac{(r_E + R_E)V_{IN2} - (R_E)V_{IN1}}{(r_E + R_E)^2 - (R_E)^2} \qquad (2.93b)$$

และเพราะว่าเป็น balance - output จึงกำหนดให้

$$\begin{aligned} V_O &= V_{C2} - V_{C1} \\ &= -R_C i_{C2} - (-R_C i_{C1}) \\ &= R_C i_{C1} - R_C i_{C2} \\ &= R_C(i_{E1} - i_{E2}) \qquad \text{และ} \qquad i_C = i_E \end{aligned} \qquad (2.94)$$

แทนค่า i_{E1}และi_{E2} จาก (2.93a) และ (2.93b) จะได้ว่า

$$V_O = R_C / r_E * (V_{IN1} - V_{IN2}) \qquad (2.95)$$

$$V_O = R_C / r_E * V_{ID} \qquad \text{และ} \qquad V_{ID} = V_{IN1} - V_{IN2}$$

Input Impedance

เราจะทำการพิจารณา จากรูปที่ 2.25 โดยใช้ทฤษฎีการวางซ้อน (Superposition) เมื่อพิจารณาค่าความต้านทานขาเข้าของวงจร จะเห็นได้ว่า

$$R_{IN1} = \left|\frac{V_{IN1}}{i_{B1}}\right|_{V_{IN2}=0}$$

$$= \left|\frac{V_{IN1}}{i_{E1}/\beta_{AC}}\right|_{V_{IN2}=0}$$

แล้วใช้ค่า i_{B1} จาก (2.93a) แทนค่าลงในสมการดังกล่าว โดยกำหนด ให้ค่าโดยประมาณของ $R_{EE} >> r_E$ แล้วจะได้ว่า

$$R_{IN1} = 2\beta_{AC} r_E \qquad (2.96)$$

ในทำนองเดียวกัน

$$R_{IN2} = \left|\frac{V_{IN2}}{i_{B2}}\right|_{V_{IN1}=0}$$

$$= \left|\frac{V_{IN2}}{i_{E2}/\beta_{AC}}\right|_{V_{IN1}=0}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วใช้ค่า i_{B2} จาก (2.93b) แทนค่าลงในสมการดังกล่าว โดยกำหนด ให้ค่าโดยประมาณของ $R_{BB} >> r_E$ แล้วจะได้ว่า

$$R_{IN2} = 2\beta_{AC} r_E \tag{2.97}$$

Output Impedance

ความต้านทานทางด้านขาออกของวงจรเทียบเคียง เชิงไฟฟ้ากระแสสลับ ก็คือค่าความต้านทานระหว่างจุดที่เป็นเอ้าพุตเมื่อเทียบกับกราวนด์ และเมื่อพิจารณาจากรูปที่ 2.25 แล้วจะพบว่า

$$R_{O1} = R_{O2} = R_C \tag{2.98}$$

ส่วนในวงจรอื่นๆ ก็จะใช้หลักและวิธี การที่คล้ายคลึงกัน จะแตกต่างกันตรงจุดที่นำสัญญาณเข้าไปในวงจร และจุดที่นำสัญญาณออกไปจากวงจร ซึ่งผลจากการเปลี่ยนแปลงจุดอินพุตและเอ้าพุตดังกล่าว ทำให้การวิเคราะห์ได้ผลสรุปออกมาไม่เหมือนกัน ดังที่ได้สรุปไว้แล้วในรูปที่ 2.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

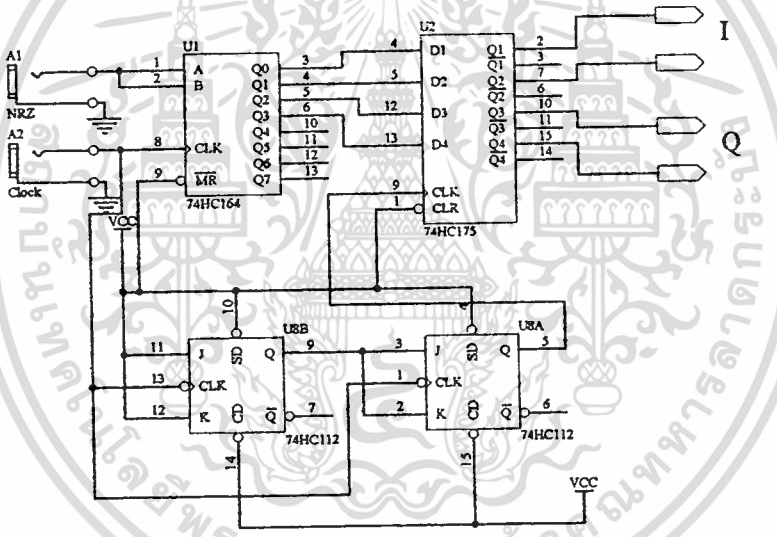
บทที่ 3

การออกแบบและทดลองวงจรด้านภาคส่ง

วงจรแยกสัญญาณดิจิตอล (Serial to Parallel Circuit)

เป็นวงจรที่ทำหน้าที่แบ่งข้อมูลดิจิตอลทางอินพุตออกเป็น 2 ชุดๆละ 2 บิท พร้อมทั้งใช้วงจรหน่วงเวลา 4 บิท เพื่อควบคุมให้อินพุตเข้ามาครบ 4 บิท เสียก่อนแล้วจึงทำการแยกสัญญาณ

จากรูปที่ 3.1 จะใช้ IC#74164 8 bit Shift Register SIPO เนื่องจากหาไอซีที่เป็น 4 bit Shift Register SIPO ไม่ได้ การทำงานของ 8 bit Shift Register SIPO คือ จะรับข้อมูลอนุกรม (Series) 8 bit และจะแปลงเป็นข้อมูลขนาน(Parallel)ขนาด 8 bit ดูรายละเอียดได้จาก Data Sheet 74164 จากรูปที่ 3.1



รูปที่ 3.1 วงจรแยกสัญญาณดิจิตอล

จากรูปเราใช้ 8 bit Shift Register SIPO เราสนใจเฉพาะข้อมูลเพียงแค่ 4 bit เท่านั้น คือ Q_A ถึง Q_D โดยแบ่งออกเป็น 2 ส่วน คือ Q_A และ Q_B ให้เป็นส่วน Inphase ส่วน Q_C และ Q_D ให้เป็นส่วนของ Quadrature phase หรือเรียกง่ายๆว่าบิทบนและบิทล่างนั่นเอง

แต่เนื่องจากข้อมูลที่ออกจาก Q_A - Q_D นั้นจะมีการเปลี่ยนแปลงทุกๆ Clock pulse การที่จะทำให้เกิดการเปลี่ยนแปลงทุกๆ 4Clock จึงต้องใช้ Buffer เป็นตัวกั้นข้อมูลร่วมกับวงจรหาร 4จากรูปที่ 3.1 จะใช้ J-K ฟลิบฟลอบเป็นวงจรหาร 4 ร่วมกับ D ฟลิบฟลอบ ทำหน้าที่เป็น บัฟเฟอร์(Buffer) ข้อมูลที่ได้ออกมาจะมีการเปลี่ยนแปลงครั้งละ 2 บิท พร้อมๆกัน จึงควรแปลงสัญญาณดังกล่าวให้เป็น Gray

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Code เสียด้วย ทั้งนี้เพื่อช่วยลงอัตราความผิดพลาดของข้อมูลได้ เพราะว่าบิทข้างเคียงของ Gray Code จะต่างกันเพียงแค่ 1 บิทเท่านั้น ดังตารางที่ 3.1

Binary Code	Gray Code
0 0	0 0
0 1	0 1
1 0	1 1
1 1	1 0

ตารางที่ 3.1 การแปลงรหัสจาก Binary Code ไปเป็น Gray Code

<u>วงจรแปลง 2 บิท ไปเป็น 4 ระดับ (Dibit to 4 Levels Converter)</u>

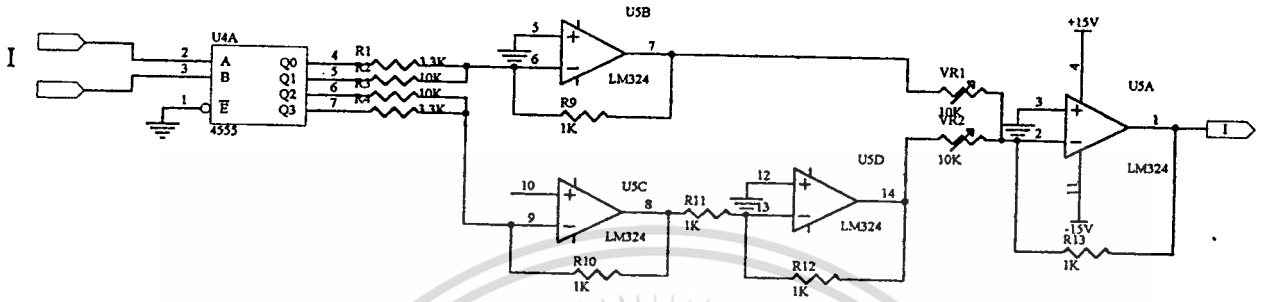
ด้วยสาเหตุที่ว่า โครงงานนี้เป็นการมอดดูเลทสัญญาณดิจิตอลกับสัญญาณพาหะ กันที่วงจรบาลานซ์มอดดูเลเตอร์ และสัญญาณดิจิตอลที่จะนำไปมอดดูเลท จะต้องเป็นสัญญาณเดียว แต่สัญญาณที่เราแยกออกมา เป็นสัญญาณ 2 เส้น (2 บิท) จึงต้องมีการแปลงสัญญาณจาก 2 เส้นให้เป็นสัญญาณเส้นเดียวแต่มีหลายระดับเสียก่อน ในที่นี้ ความเปลี่ยนแปลงอันเกิดจากสัญญาณ 2 บิท มีโอกาสเป็นไปได้ $2^2 = 4$ ระดับ จากข้อกำหนดของ Data Sheet ของ IC 1596 ที่กำหนดให้ระดับของสัญญาณให้เป็นไปดังตารางที่ 3.2

ในส่วนของอุปกรณ์ที่ใช้ในวงจรส่วนนี้จะอาศัย NOT GATE และ AND GATE ให้ทำหน้าที่แปลงสัญญาณ 2 บิท ให้เป็น 4 เอ้าพุต แล้วOp-Amp จะทำหน้าที่แปลงทั้ง 4 เอ้าพุต ให้เป็น 4 ระดับ ดังข้อกำหนดในตารางที่ 3.2 ดังนั้นจึงได้ ทำการออกแบบวงจรแปลงสัญญาณดิจิตอล 2 บิท ไปเป็น 4 ระดับ เพื่อจะนำไปมอดดูเลทกับสัญญาณพาหะ ดังรูปที่ 3.2

Gray Code (Input 2 bit)	Level (Output 4 level)
0 0	+ 200 mV
0 1	+ 66 mV
1 1	- 66 mV
1 0	-200 mV

ตารางที่ 3.2 วงจรแปลงสัญญาณ 2 บิท ไปเป็น 4 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



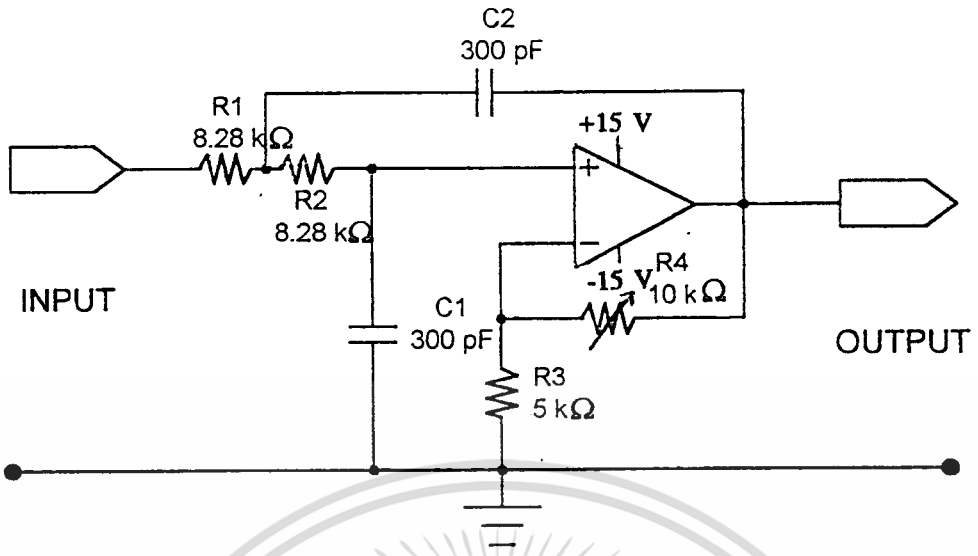
รูปที่ 3.2 วงจรแปลงสัญญาณ 2 บิท ไปเป็น 4 ระดับ

<u>วงจรกรองความถี่ต่ำ (Low Pass Filter)</u>

วงจรกรองความถี่ต่ำ (Low Pass Filter) นี้ จะทำหน้าที่คัดเลือกเฉพาะความถี่ต่ำๆให้สามารถผ่านโดยไม่ถูกลดทอน แต่ความถี่สูงกว่าจุดคัดออฟจะถูกลดทอนลงไปอย่างมาก หน้าที่ของวงจร LPF ในที่นี้ จะช่วยปรับรูปร่างสัญญาณ 4 ระดับ ที่ออกมาจาก วงจรแปลง 2 บิท ไปเป็น 4 ระดับ ก่อนจะเข้าวงจรบาลานซ์มอดูเลเตอร์ ทั้งนี้เพื่อลดขนาดของแบนด์วิทธ์ของสัญญาณที่จะไปมอดูเลท เนื่องจากในโครงงานนี้ บิทเรทของสัญญาณที่ถูกแยกออกมาจากวงจรแยกสัญญาณดิจิอล มีค่าเท่ากับ 64 kbps ดังนี้ ความถี่สูงสุดที่สามารถผ่านวงจรกรองความถี่ต่ำโดยไม่ถูกลดทอนนี้ มีค่าประมาณ 64 kHz (f_H = 64 kHz)

รายละเอียดของการออกแบบ แสดงได้ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 Second-Oder Low Pass Butterworth Filter

จากรูป จะได้ว่า

$$|V_o/V_{in}| = A_F / 1+(f/f_H)^4$$

เมื่อ $V_o/V_{in} = Gain$ ของวงจร

$A_F = 1 + R_F / R_i$ = Pass Band Gain ของวงจร

f = Frequency ของ Input Signal

$f_H = 1/2\pi R_2 C_2$ High Cutoff Frequency

ขั้นตอนการออกแบบวงจร

1. เลือกค่า High Cutoff Frequency (f_H) ของวงจรในที่นี้จะเลือกค่าเท่ากับ 1 ใน 4 ของอัตราความเร็ว ข้อมูล 256 Kbps คือ 64 Kbps

2. เลือกค่า $C_2 = 10/f_H = 10/64k\Omega = 156.25\mu F$

แต่ในที่นี้จะเลือกใช้ $C_2 = 300pF$

3. คำนวณค่า $R_2 = \frac{1}{2\pi f_H C_2} = \frac{1}{2\pi * 64 * 10^3 * 300 * 10^{-12}} = 8.28k\Omega$

4.คำนวณหาค่า R_1 และ R_f ตามค่า Pass Band Gain แต่ในการทดลองเอ้าพุตของวงจร LPF จะไปป้อนเข้าวงจร Balance Modulation ซึ่งจากการทดลองเราได้กำหนดให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_1 = 5k\Omega \ , \quad R_2 = V_R 10k\Omega$$

<u>วงจรกำเนิดสัญญาณพาหะ (Carrier Generateter)</u>

, วงจรในส่วนนี้จะทำหน้าที่กำเนิด สัญญาณ Sine Wave ความถี่ 1.024 MHz เพื่อ และนำไปคูณกับสัญญาณหลายระดับที่ วงจร Balance Modulator เนื่องจากระบบการส่งสัญญาณดิจิตอลนี้มีหัวใจสำคัญคือ การซิงโครไนซ์เซชั่น (Synchronization) ที่ทำให้จังหวะการทำงานของอุปกรณ์อิเล็กทรอนิกส์ในทั้งภาคส่งและภาครับมีความสัมพันธ์กันอย่างแม่นยำ ดังนั้นจึงอาศัยสัญญาณนาฬิกาที่ได้จากข้อมูลที่ทำการส่ง ในโครงงานนี้ต้องการส่งข้อมูลความเร็ว 256 Kbps จึงมีสัญญาณนาฬิกา 256 Kbps มาใช้อ้างอิงกับสัญญาณพาหะที่มีความถี่ 1.024 MHz โดยใช้วงจร Phase lock Loop ช่วยล็อคสัญญาณนาฬิกาและคูณความถี่ให้สูงขึ้น แต่เนื่องจากเราไม่สามารถคูณความถี่ 256 Kbps ให้เป็น 1.024 Mbps ได้โดยตรง จึงอาศัยสัญญาณนาฬิกาของวงจรหารความถี่ ซึ่งอยู่ในวงจรแยกสัญญาณดิจิตอลซึ่งจะมีความถี่ 256 Kbps ,256/2 = 128 Kbps และ 256/4 = 64 Kbps และได้เลือกใช้ความถี่สัญญาณนาฬิกา 128 Kbps ไปคูณกับ 8 ซึ่งก็จะได้ความถี่ 128* 8 = 1024 Kbps พอดี

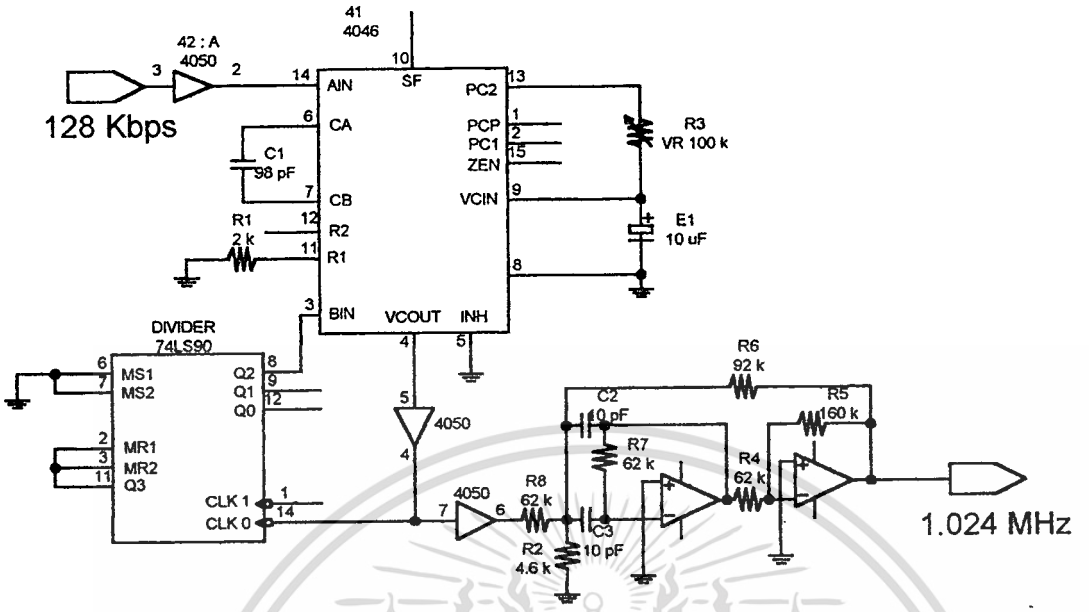
วงจรในส่วนนี้จะใช้ IC Phase Lock Loop เบอร์ 4046 เพราะมีอุปกรณ์ภายนอกไม่ยุ่งยาก แต่ทว่าการล็อคความถี่จะกว้างมาก แต่ถึงอย่างไรก็ถือว่าไม่ใช่วัตถุประสงค์ หลักในการทำโครงงานครั้งนี้เพียงแต่ต้องการทำเป็นวงจรคูณความถี่เท่านั้น

ในส่วนของวงจรหารความถี่ลดลง 8 เท่า นั้นก็เลือกใช้ IC 74LS90 เพราะสะดวกในการต่อวงจร และมีความเชื่อถือได้พอสมควร อนึ่ง สัญญาณที่ได้จากวงจรในส่วนนี้ ควรเป็นสัญญาณนาฬิกาที่สมบูรณ์แบบ จึงได้นำ IC 4050 มาประกอบร่วมด้วย เพราะจะช่วยทำให้เป็นสัญญาณที่สวยงามมากยิ่งขึ้น

เมื่อสัญญาณนาฬิกาผ่านวงจร Phase Lock Loop แล้วก็ยังเป็นสัญญาณรูปสี่เหลี่ยมอยู่ ซึ่งไม่สามารถนำไปเป็นสัญญาณพาหะได้ เพราะสัญญาณรูปสี่เหลี่ยมนั้นจะประกอบไปด้วยฮาร์โมนิคมากมายไม่เหมาะสมในการนำไปมอดดูเลท ดังนั้นจึงใช้วงจรกรองช่วงความถี่ (Band Pass Filter) เพื่อทำการกรองเอาความถี่ฮาร์โมนิคที่ 1 ซึ่งเป็นสัญญาณ SineWave ที่มีความถี่เท่ากับสัญญาณสี่เหลี่ยมหรืออาจจะกล่าวง่าย ๆ ว่าเป็นการกรองเอา Sine Wave ออกจาก Square Wave นั่นเอง

ดังนั้นเราจะได้ความถี่สัญญาณนาฬิกา 1.024 Mbps จากการนำสัญญาณนาฬิกาความถี่ 128 Kbps ผ่านวงจร Phase Lock Loop และภายในวงจร Phase Lock Loop นั้น มีวงจรหาร 8 ประกอบอยู่ด้วย ดังจะได้แสดงให้เห็นวงจรทั้งหมด ดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 วงจรกำเนิดสัญญาณพาหะ 1.024 MHz

วงจรกำเนิดสัญญาณไพล็อตโทน (Pilot Tone Generater)

สัญญาณไพล็อตโทนในที่นี้คือ สัญญาณ sine wave ที่มีความถี่ใกล้เคียงกันกับสัญญาณพาหะ และมีความสัมพันธ์กันกับสัญญาณนาฬิกาเพราะอาศัยสัญญาณนาฬิกาคูณกับความถี่ขึ้นมา ใช้หลักการและวิธีการเหมือนกันกับวงจรกำเนิดสัญญาณพาหะนั่นเอง โดยในโครงงานนี้จะเลือกกำเนิดที่ความถี่ 896 kHz ซึ่งจะอยู่ทางด้าน Low Side Band ของสเปคตรัมการมอดูเลทในโครงงานนี้ สาเหตุที่เลือกความถี่ 896 kHz ก็เพราะว่าอยู่ห่างจากความถี่ 1.024 MHz เท่ากับ 128 kHz และสะดวกในการออกแบบวงจรคูณความถี่ คือ จะได้ใช้ วงจรหาร 7 ภายในวงจร Phase Lock Loop ในส่วนนี้ได้เลย และที่ความถี่ 896 kHz นี้เป็นช่วงที่สเปคตรัมอยู่ในตำแหน่ง second-null พอดีสามารถหลีกเลี่ยงสัญญาณรบกวนอันอาจจะเกิดจากการมอดดูเลท แบบ 16QAM นี้ได้ในระดับหนึ่ง

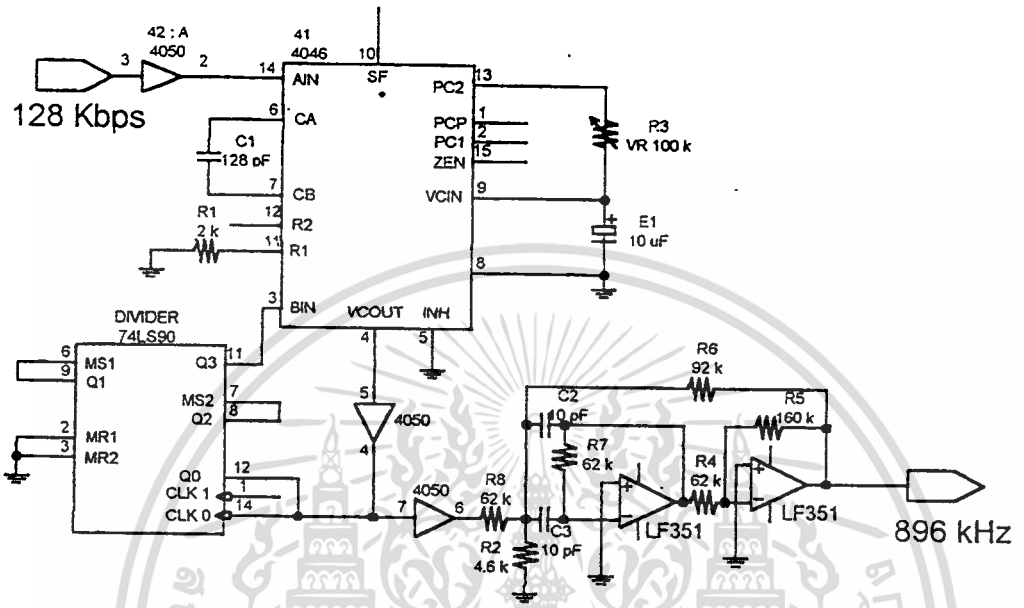
ถ้าหากพิจารณาอีกแง่หนึ่งจะพบว่าเป็นการใช้ช่วงความถี่ที่ไม่ค่อยมีประสิทธิภาพเท่าใดนัก เพราะแทนที่จะวาง สัญญาณไพล็อตโทน ไว้ตรง first-null เพื่อเป็นการใช้ช่วงความถี่ ที่แคบลงมาอีก แต่จุดประสงค์ในโครงงานนี้ก็เพื่อที่จะศึกษาหลักการ ความเป็นไปได้ และความน่าจะเป็นของความผิดพลาดของการมอดดูเลทแบบ 16QAM แบบนี้เมื่อเทียบกับการมอดดูเลทแบบ BPSK จะได้เป็นแนวทางในการศึกษาพัฒนาระบบการส่งสัญญาณดิจิตอลต่อไป

สำหรับวงจรที่ใช้ก็จะเหมือนกันกับวงจรกำเนิดสัญญาณพาหะ 1.024 MHz เกือบทุกอย่างแตกต่างกันเพียงตรงวงจรหารความถี่เท่านั้น คือ เปลี่ยนจากวงจรหาร 8 มาเป็นวงจรหาร 7 เท่านั้นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รวมไปถึงวงจร Band Pass Filter ที่ใช้ก็เปลี่ยนความถี่ศูนย์กลางจากเดิมที่ 1.024 MHz ก็กลายมาเป็น 896 kHz แทน

รายละเอียดของวงจรกำเนิดสัญญาณไพล็อตโทน แสดงได้ดังรูปที่ 3.5



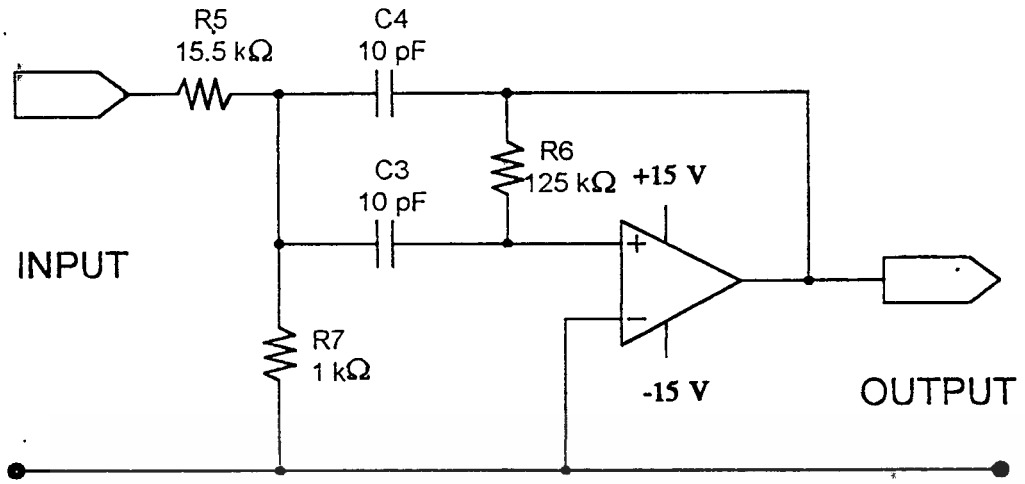
รูปที่ 3.5 วงจรกำเนิดสัญญาณไพล็อตโทน 896 kHz

วงจรกรองความถี่ผ่านเฉพาะย่าน (Band Pass Filter)

วงจรกรองความถี่ผ่านเฉพาะย่าน (Band Pass Filter) นี้จะทำหน้าที่คัดเลือกสัญญาณในช่วงความถี่ที่ต้องการให้สามารถผ่านวงจรออกไปได้โดยที่ไม่ถูกลดทอนหน้าที่ของ BPF ในที่นี้ จะทำหน้าที่กรองเอาสัญญาณ Sine Wave ออกจาก square wave ภายในส่วนของวงจรกำเนิดสัญญาณพาหะและวงจรกำเนิดสัญญาณไพล็อตโทน และยังช่วยกำจัดสัญญาณรบกวน ที่เกิดจากวงจรข้างเคียงก่อนจะส่งออกไปยังภาครับอีกด้วย

วงจรกรองช่วงความถี่ในที่นี้จะเลือกใช้แบบ แบนด์แคบ (Narrow Band Pass Filter) ที่มีชื่อว่า Multiple-feedback filter ซึ่งใช้ Op-Amp เพียงตัวเดียวและอยู่ใน inverting mode ดังรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 วงจร Band Pass Filter

ในการออกแบบ เลือกค่า C = 10 pF , Q = 10 , AF = 10

จากสูตร

$$R_1 = \frac{Q}{2\pi f_c C A_F} = \frac{10}{2*\pi*1.024*10^8*10*10^{-12}*10} = 15.542k\Omega$$

$$R_2 = \frac{Q}{2\pi f_c C\left(2Q^2 - A_F\right)} = \frac{10}{2*\pi*1.024*10^8*10*10^{-12}*\left(2*10^2 - 10\right)} = 0.818k\Omega$$

$$R_3 = \frac{Q}{\pi f_c C} = \frac{10}{\pi*1.024*10^8*10*10^{-2}} = 310.85k\Omega$$

เราสามารถเลื่อนค่า f_C ได้จากสูตร

$$R_2 = R_2\left(fc/ft\right)^2$$

และเนื่องจากในโครงงานนี้ มี f_C = อยู่ 2 ค่าคือ 1.024 MHz และ 896 kHz ดังนั้นเราจึงใช้วงจรเดิมได้ทันทีเพียงแต่เลื่อนความถี่จาก 1.024MHz ไปเป็น 896kHz แทนโดยการเปลี่ยนค่า R2 ใหม่ดังนี้

$$R2 = 0.818k*\left(\frac{1.024}{896}\right)^2$$

$$= 1.068k\Omega$$

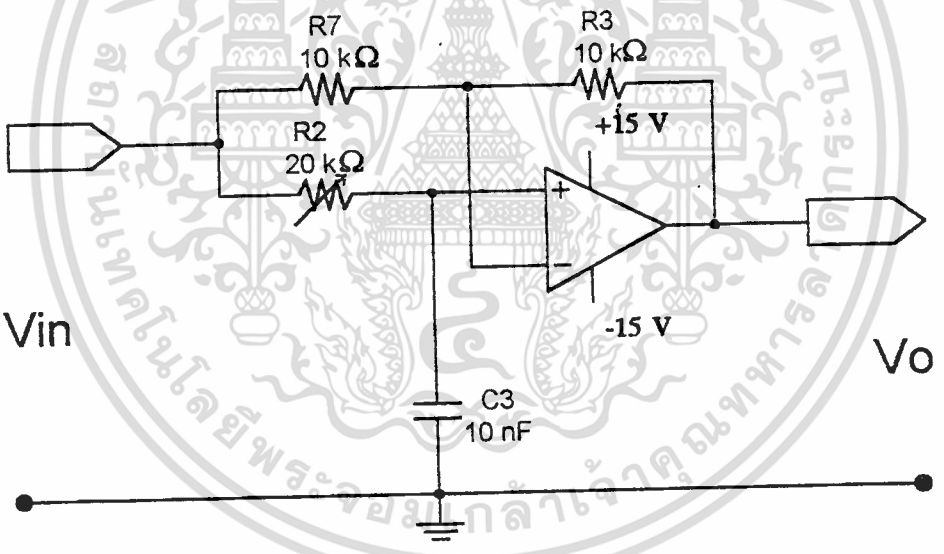
แต่ในการใช้งานจริงๆนั้นจะใช้ตัวต้านทานปรับค่าได้ทั้งนี้เพราะว่าจะช่วยให้มีค่าความต้านทานตรงตามทฤษฎีที่คำนวณ และสามารถปรับจูนให้การตอบสนองของวงจรดียิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา (Quadrature Phase Shift Circuit)

จากวงจรที่ทำการแยกสัญญาณดิจิตอลออกเป็น 2 ส่วน คือ Inphase และ Quadrature phase เราจึงมีวงจรบาลานซ์มอดดูเลเตอร์ 2 วงจร และมีสัญญาณพาหะ 2 ชุดเพื่อที่จะเป็นตัวพาหะนำสัญญาณดิจิตอลออกไปด้วยเช่นกัน ในโครงงานนี้จะเลือกใช้สัญญาณพาหะที่มีความถี่ตรงกันแต่มีความถี่ต่างเฟสกัน 90 องศา (sine wave กับ cosine wave) โดยใช้สัญญาณพาหะ sine wave ที่ได้จากวงจรกำเนิดสัญญาณพาหะโดยตรง ไปมอดดูเลทกับสัญญาณ 4 ระดับ ที่ทางด้าน Inphase และ ใช้สัญญาณพาหะ cosine wave ที่ได้จากวงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา ไปมอดดูเลทกับสัญญาณ 4 ระดับที่อยู่ทางด้าน Quadrature phase

ดังนั้นจึงทำการออกแบบ วงจรเลื่อนเฟสโดยอาศัยหลักการของวงจร All-Pass Filter ชนิดVo ล้าหลัง Vin ดังมีรายละเอียดดังต่อไปนี้



รูปที่ 3.7 วงจร All Pass Filter กรณี Vo ล้าหลัง Vin

จากรูป จะได้ว่า

$$|V_O/V_{in}| = 1 + 2\pi fR_2C_2/1 + 2\pi fR_2C_2 = 1$$

$$\theta = -2\tan^{-1}(2\pi fR_2C_2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $V_O/V_{in} = Gain$ ของวงจร

θ = Phase Shift ระหว่าง Vo และ Vin

ขั้นตอนการออกแบบวงจร

1. เลือกค่า $\theta = 90$ องศา

2.ใช้ค่าความถี่เท่ากับสัญญาณแคร์เรียร์ คือ 1.024 MHz

3. จากสูตร $C_2 = 10/f = 10/1.024MHz = 9.76\mu F$

แต่ในการทดลอง ใช้ $C_2 = 10pF$ เพราะความถี่สูงควรใช้ C ค่าต่ำๆ

4. จากสูตร $R_2 = \tan(-\pi/2)/(2\pi fC_2)$

$= \tan(-(90)/2)/(2*\pi*1.024*10^6*10*10^{-12})$

$= 15.54k\Omega$

ในการทดลองใช้ $V_R 20k\Omega$

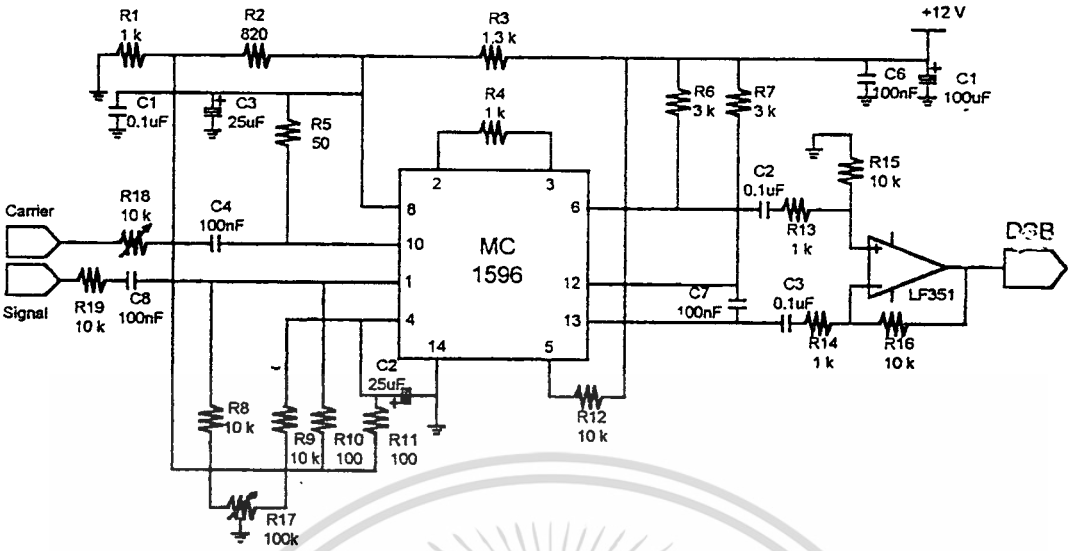
วงจรบาลานซ์มอดดูเลเตอร์

วงจรนี้นับว่าเป็นส่วนที่สำคัญยิ่งของวงจร เพราะจะทำหน้าที่คูณสัญญาณพาหะ กับสัญญาณ 4 ระดับซึ่งจะมี 2 ส่วน เหมือนกันกับสัญญาณ 4 ระดับที่แยกออกจากกัน โดยวงจรแยกสัญญาณดิจิตอล กล่าวคือ จะมีทั้ง Inphase กับ Quadrature phase

วงจรบาลานซ์มอดดูเลเตอร์ทางด้าน Inphase ก็จะทำหน้าที่คูณสัญญาณ 4 ระดับ ที่มาจากวงจรแยกสัญญาณดิจิตอลทางด้าน Inphase กับสัญญาณพาหะที่ได้มาจากวงจรกำเนิดสัญญาณพาหะโดยตรง ส่วนวงจรบาลานซ์มอดดูเลเตอร์ทางด้าน Quadrature phase ก็จะทำหน้าที่คูณสัญญาณ 4 ระดับที่ได้มาจากวงจรแยกสัญญาณดิจิตอลทางด้าน Quadrature phase กับสัญญาณพาหะที่ได้มาจากวงจรกำเนิดสัญญาณพาหะแล้วผ่านวงจรเลื่อนเฟส 90 องศา

ทั้งนี้ รายละเอียดของวงจรบาลานซ์มอดดูเลเตอร์ทั้งสองวงจรจะเหมือนกันทุกประการ ดังแสดงไว้ในรูปที่ 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรบาลานซ์มอดดูเลเตอร์

ข้อควรคำนึงในวงจรส่วนนี้คือ ข้อกำหนด จาก Data Sheet ของ IC MC1596 ที่ได้ระบุไว้ว่าขนาดของสัญญาณที่จะนำมามอดดูเลทควรมีค่าประมาณ $400mV_{p-p}$ และขนาดของสัญญาณพาหะควรมีค่าประมาณ 100mVrms ดังนั้นสัญญาณทั้งสองก่อนที่จะเข้าไปคูณกันต้องผ่านตัวต้านทานปรับค่าได้เสียก่อนเพื่อจะได้ควบคุมระดับสัญญาณทั้งสองให้เป็นไปตามข้อกำหนดดังกล่าว

IC MC1596 นี้ เป็นวงจรมอดดูเลทที่ใช้กับสัญญาณขนาดเล็ก(small signal) จึงเกิดการรบกวนค่อนข้างง่าย จนต้องใช้ L ต่อร่วมเข้าไปในวงจรด้วยเพื่อกำจัดสัญญาณรบกวนที่ความถี่สูง ที่เกิดขึ้นภายในวงจรบาลานซ์มอดดูเลเตอร์เอง ดังในรูป

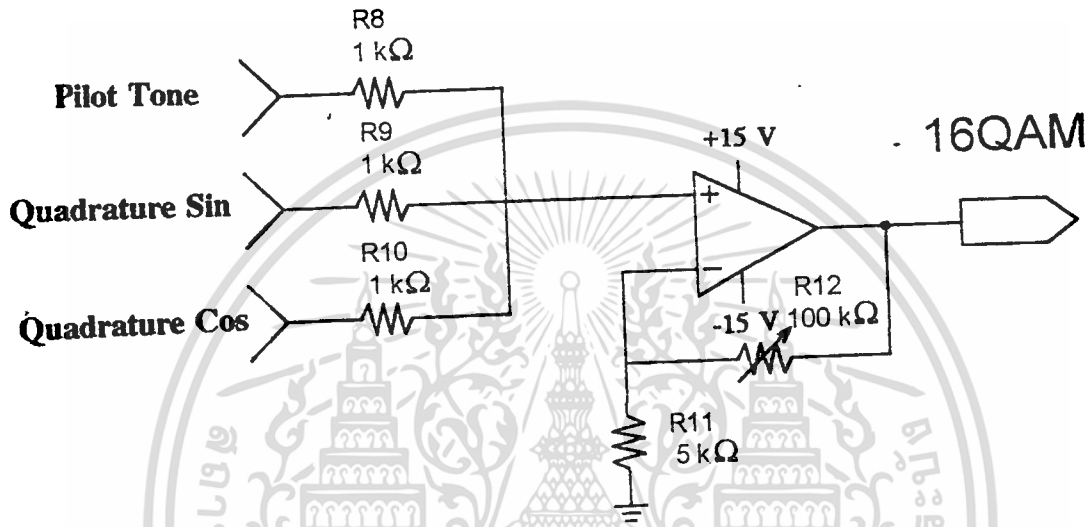
สัญญาณที่ได้จากวงจรบาลานซ์มอดดูเลเตอร์ นั้นมีขนาดเล็กมาก จึงต้องผ่านวงจรขยายความแตกต่าง (Differential Amplifier) โดยอาศัยสัญญาณที่ออกจาก ขา 6 และ ขา 12 (สัญญาณที่ ขา 6 และขา 12 จะกลับเฟสกันอยู่) ป้อนเข้าที่ ขา 2 และขา 3 ของ Op-Amp ตามลำดับ และสามารถกำหนดอัตราการขยายจากอัตราส่วนตัวต้านทาน ทำนองเดียวกัน กับวงจร Inverting Amplifier (รายละเอียดดูได้จาก เรื่องวงจรขยายความแตกต่าง)

<u>วงจรรวมสัญญาณ (Summing Circuit)</u>

เมื่อได้ทำการมอดดูเลทสัญญาณทั้งสองส่วนแล้ว ก็ต้องนำมารวมกัน แล้วส่งออกไปพร้อมๆ กันซึ่งสัญญาณที่ต้องการส่งออกไปนั้น จะประกอบด้วย สัญญาณจากวงจรบาลานซ์มอดดูเลเตอร์ทางด้าน Inphase , สัญญาณจากวงจรบาลานซ์มอดดูเลเตอร์ ทางด้าน Quadrature phase และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ดัดแปลง เผยแพร่ หรือแสวงหาประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณไพล็อตโทนและทั้งสามสัญญาณจะต้องถูกส่งออกไปพร้อมกันด้วยวงจรขยายรวมสัญญาณ (Summing Amplifier) โดยสัญญาณดังกล่าวจะถูกส่งออกไปตามสายโคแอคเชี่ยล ดังนั้นนอกจากจะใช้ Op-Amp มาเป็นวงจร summing Amplifier แล้วยังต้องใช้ Transistor มาช่วยขยายสัญญาณให้มีกำลังเพียงพอที่จะส่งไปอีกด้วย ดังจะได้แสดงในรูปที่ 3.9



รูปที่ 3.9 วงจรรวมสัญญาณ

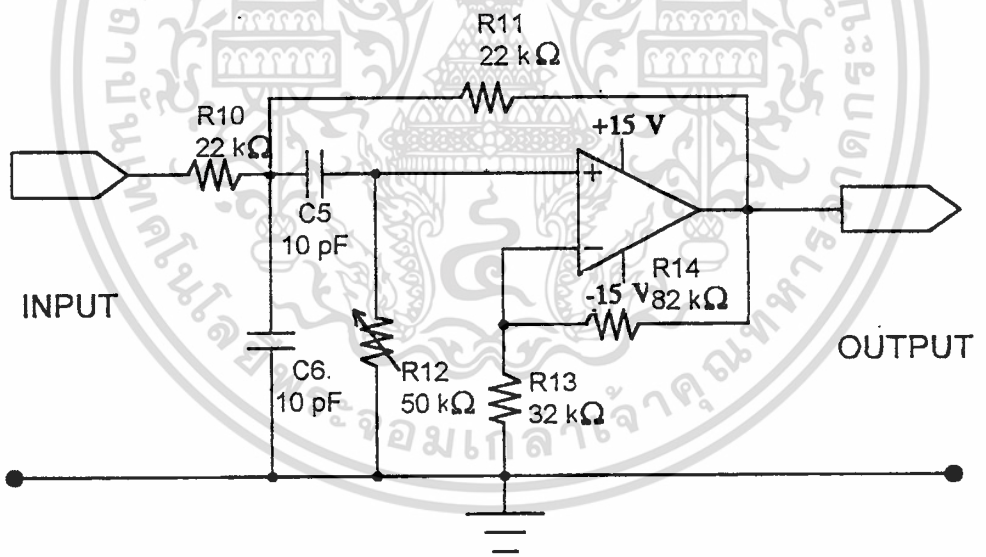
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบและทดลองวงจรทางด้านภาครับ

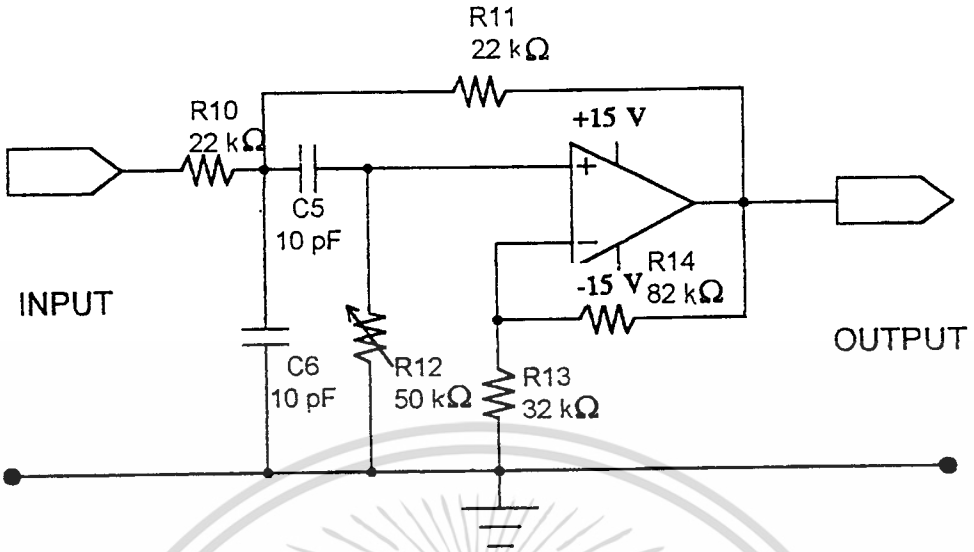
วงจรกรองความถี่ผ่านเฉพาะย่าน

สัญญาณ 16 QAM จะถูกส่งมาทางสายโคแอคเชี่ยลเข้ามายังภาครับ ดังนั้น จำเป็นจะต้องมีวงจรกรองช่วงความถี่ (Band Pass Filter) ในการตรวจรับสัญญาณมอดูเลทในขั้นต้น เพื่อทำหน้าที่คัดเลือกสัญญาณที่สามารถเข้าสู่ภาครับได้ให้อยู่ในช่วงความถี่ที่ต้องการเท่านั้น อีกทั้งยังเป็นวงจรกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย ในที่นี้ จะมีวงจรกรองช่วงความถี่อยู่สองวงจร จะใช้วงจรกรองความถี่ของสัญญาณมอดูเลทช่วง 1.024 MHz (รูปที่ 4.1) และใช้กรองความถี่ของสัญญาณไพล็อตโทน 896 kHz (รูปที่ 4.2) ลักษณะรายละเอียดในการออกแบบและการทดลองวงจรจะคล้ายคลึงกันกับวงจรกรองช่วงความถี่ของภาคส่งซึ่งอยู่ในบทที่ 3



รูปที่ 4.1 วงจรกรองช่วงความถี่1.024MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 วงจรกรองช่วงความถี่ 896 kHz

วงจรกู้สัญญาณนาฬิกา (Clock Recovery Circuit)

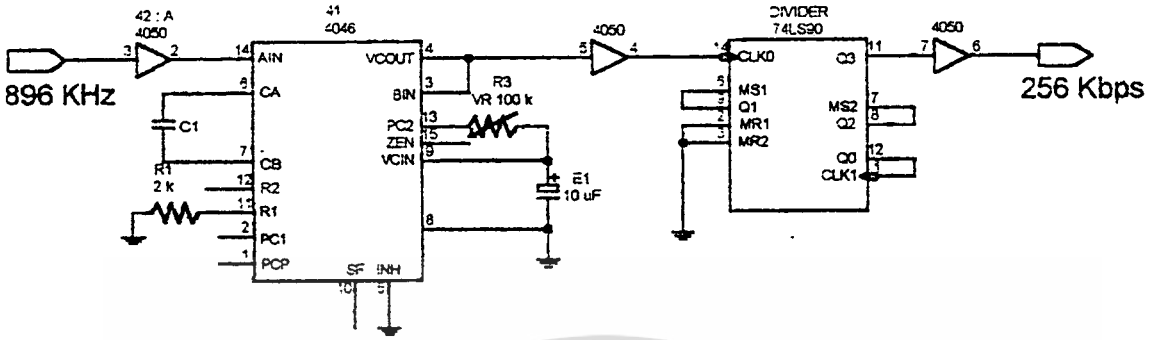
เมื่อสัญญาณไพล็อตโทน 896 kHz ผ่านวงจรกรองช่วงความถี่แล้วจะถูกส่งไปยังวงจรกู้สัญญาณนาฬิกา เพื่อทำการแปลงสัญญาณ Sine Wave ให้เป็น Square wave จากนั้นก็จะผ่านวงจรหาร 7 เพื่อทำให้สัญญาณ Square Wave 896 Kbps มีความถี่ลดลงเหลือ 256 Kbps ซึ่งจะมีค่าเท่ากับสัญญาณนาฬิกา 256 Kbps ที่ภาคส่งพอดี

เนื่องจากการที่ภาคส่งนั้น สัญญาณไพล็อตโทน ได้มาจากอ้างอิงจากสัญญาณนาฬิกาโดยใช้วงจร Phase Lock Loop ทำการล็อคสัญญาณนาฬิกาเอาไว้ แล้วคูณความถี่ให้สูงขึ้นจากนั้นใช้วงจรกรองช่วงความถี่ช่วยทำให้สัญญาณ Square Wave กลายเป็น Sine Wave และที่ภาครับเมื่อรับสัญญาณ ไพล็อตโทน ได้แล้ว จะใช้วงจร Phase Lock Loop ทำการล็อคสัญญาณเอาไว้พร้อมกับแปลงสัญญาณ Sine Wave ให้เป็น Square Wave จากนั้นก็ใช้วงจรหารความถี่เพื่อให้ความถี่ลดลงเหลือเท่ากับความถี่ของ สัญญาณนาฬิกาพอดี

ดังนั้นจะเห็นได้ว่า การสร้างสัญญาณไพล็อตโทน ของทางภาคส่ง และสัญญาณนาฬิกาของทางภาครับนั้น จะอาศัยการอ้างอิงและเปรียบเทียบกับสัญญาณที่มีอยู่แล้วในวงจร อีกทั้งเป็นสัญญาณตัวเดียวกันอีกด้วย รวมทั้งการใช้วงจร Phase Lock Loop ซึ่งมีวงจรผลิตความถี่ และวงจรเปรียบเทียบเฟสสัญญาณอยู่ภายใน จึงเป็นการทำให้เกิด การซิงโครไนซ์ (Synchronization) กันระหว่างภาคส่งและภาครับ

วงจรกู้สัญญาณนาฬิกา (Clock Recovery) แสดงในรูปที่ 4.3

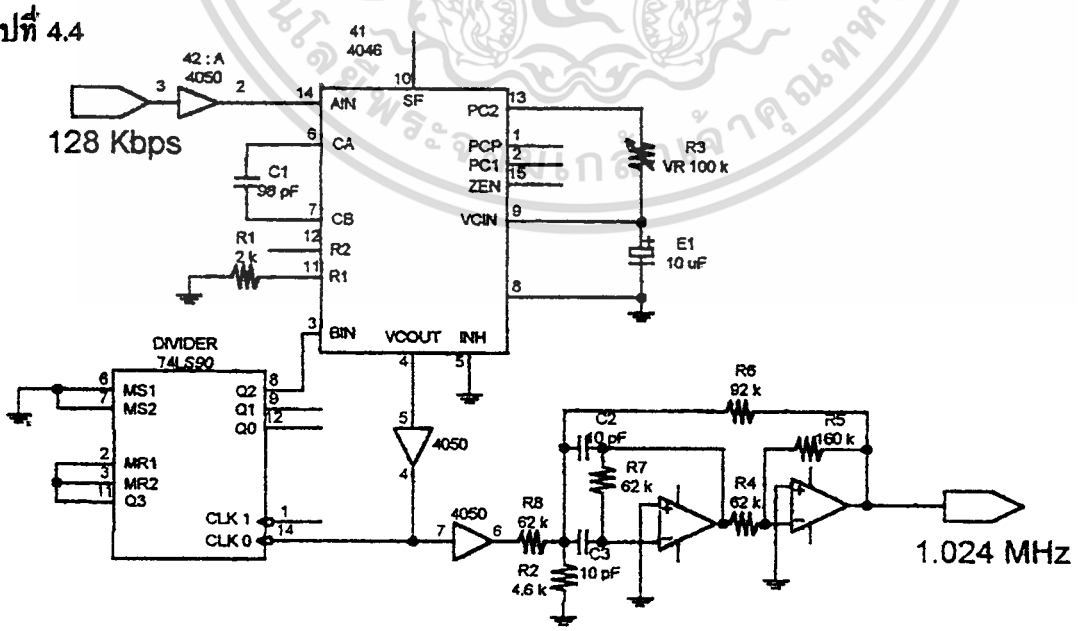
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 วงจรกู้สัญญาณนาฬิกา

<u>วงจรกู้สัญญาณพาหะ (Carrier Recovery Circuit)</u>

วงจรกู้สัญญาณพาหะ (Carrier Recovery Circuit) นั้นก็จะใช้หลักการและวิธีการเหมือนกันทุกประการกับวงจรกำเนิดสัญญาณพาหะของทางด้านภาคส่ง กล่าวคือจะอาศัยสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกา มาใช้เป็นสัญญาณอ้างอิง แล้วคูณความถี่ให้สูงขึ้นโดยใช้วงจร Phase Lock loop จากนั้นก็จะผ่านวงจรกรองช่องความถี่ ทำการคัดเลือกเฉพาะสัญญาณ SineWave เพื่อนำไปเป็นสัญญาณพาหะ สำหรับใช้ในวงจรบาลานซ์มอดดูเลเตอร์ต่อไป ดังจะแสดงวงจรกู้สัญญาณพาหะในรูปที่ 4.4



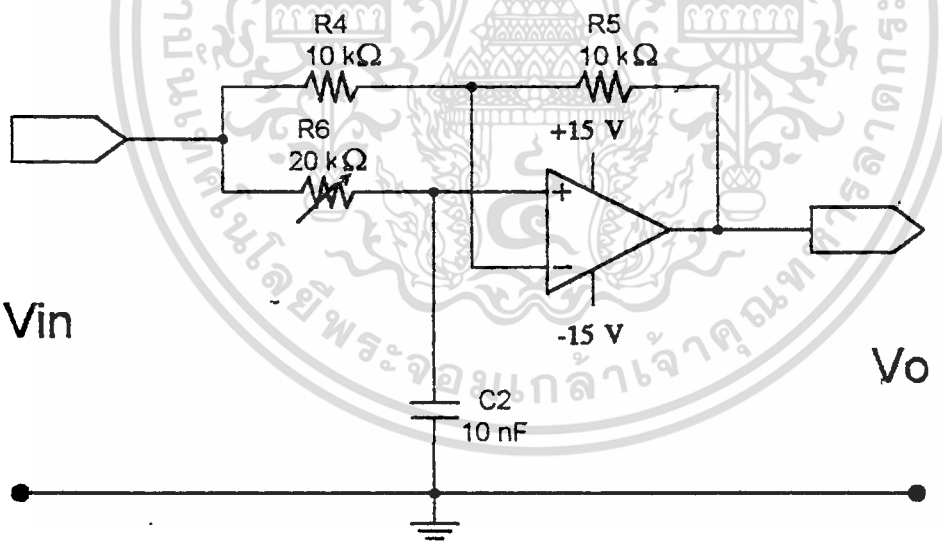
รูปที่ 4.4 วงจรกู้สัญญาณพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเลื่อนเฟสสัญญาณ 90 องศา (Quadrature Phase Shift Circuit)

เนื่องจากสัญญาณมอดดูเลทที่รับมาได้นั้น จะประกอบไปด้วย สัญญาณดิจิตอลที่ถูกแยกออกเป็น 2 ส่วน และสัญญาณข้อมูล 2 บิท ที่ถูกแยกออกมานั้น จะกลายเป็นของสัญญาณ 4 ระดับ แล้วมอดดูเลทมากับสัญญาณพาหะ โดยวงจรบาลานซ์มอดดูเลเตอร์ และนำมารวมกันระหว่างสัญญาณมอดดูเลททางด้าน Inphase ที่ใช้สัญญาณ Sine Wave เป็นสัญญาณพาหะ และสัญญาณมอดดูเลททางด้าน Quardrature Phase ที่ใช้สัญญาณ Cosine Wave เป็นพาหะ ในทำนองเดียวกัน ณ ที่ภาครับนี้สัญญาณพาหะก็ต้องมี 2 ชุดด้วยโดยจะใช้สัญญาณ Sine Wave ที่ได้มาจากวงจรกู้สัญญาณพาหะเพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดดูเลเตอร์ ของทางด้าน Inphase และจะใช้สัญญาณ Cosine Wave ที่ได้มาจากวงจรกู้สัญญาณพาหะแล้วผ่านวงจรเลื่อนเฟส 90 องศา เพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดดูเลเตอร์ของทางด้าน Quardrature Phase

สำหรับวงจรเลื่อนเฟสสัญญาณ 90 องศา นั้น ก็จะใช้วงจรกรองผ่านทุกความถี่ (All Pass Filter) ชนิด Vo ล้าหลัง Vin เหมือนกันทุกประการกับทางด้านภาคส่ง ทั้งนี้เพื่อเป็การทำให้สอดคล้องกับทางด้านภาคส่งนั่นเอง ดังวงจรที่แสดงไว้ในรูปที่ 4.5



รูปที่ 4.5 วงจรเลื่อนเฟสสัญญาณ 90 องศา

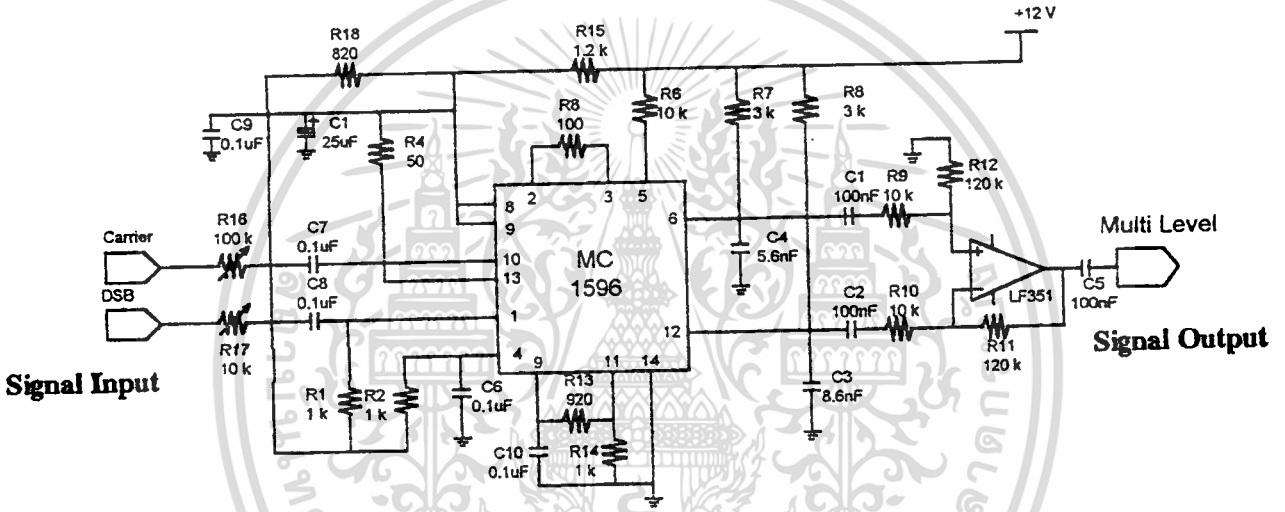
วงจรบาลานซ์ดีมอดดูเลเตอร์ (Balance Demodulator)

วงจรบาลานซ์ดีมอดดูเลเตอร์ (Balance Demodulator) ที่ใช้ในภาครับนี้ จะเป็นวงจรที่เหมือนกันกับทุกประการ กับวงจรบาลานซ์มอดดูเลเตอร์ที่ใช้ในภาคส่งมีข้อแตกต่างกันอยู่เล็กน้อยเท่า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นั้น ดังจะได้แสดงวงจรไว้ในรูปที่ 4.6 และด้วยเหตุที่ว่าข้อมูลถูกส่งมา 2 ส่วน ดังนั้นในภาครับนี้ก็จะต้องมีวงจรบาลานซ์ดีมอดดูเลเตอร์ 2 วงจร เพื่อที่ จะทำหน้าที่ในการแยกสัญญาณ 4 ระดับ ที่ถูกมอดดูเลทมากับสัญญาณพาหะ ทั้งทางด้าน Inphase และ Quadrature Phase โดยอาศัยสัญญาณพาหะจากวงจรกู้สัญญาณพาหะโดยตรง (Sine Wave) คูณกับสัญญาณมอดดูเลทที่วงจรบาลานซ์ดีมอดดูเลเตอร์ทางด้านInphase และสัญญาณจากวงจรเลื่อนเฟส 90 องศา (Cosine Wave) คูณกับสัญญาณมอดดูเลทที่วงจรบาลานซ์ดีมอดดูเลเตอร์ ทางด้าน Quadrature Phase

ลักษณะและรายละเอียดของวงจรบาลานซ์มอดดูเลเตอร์ทั้งสองวงจรจะเหมือนกันทุกประการ จึงแสดงไว้เพียงวงจรเดียว ดังรูปที่ 4.6



รูปที่ 4.6 วงจรบาลานซ์ดีมอดดูเลเตอร์

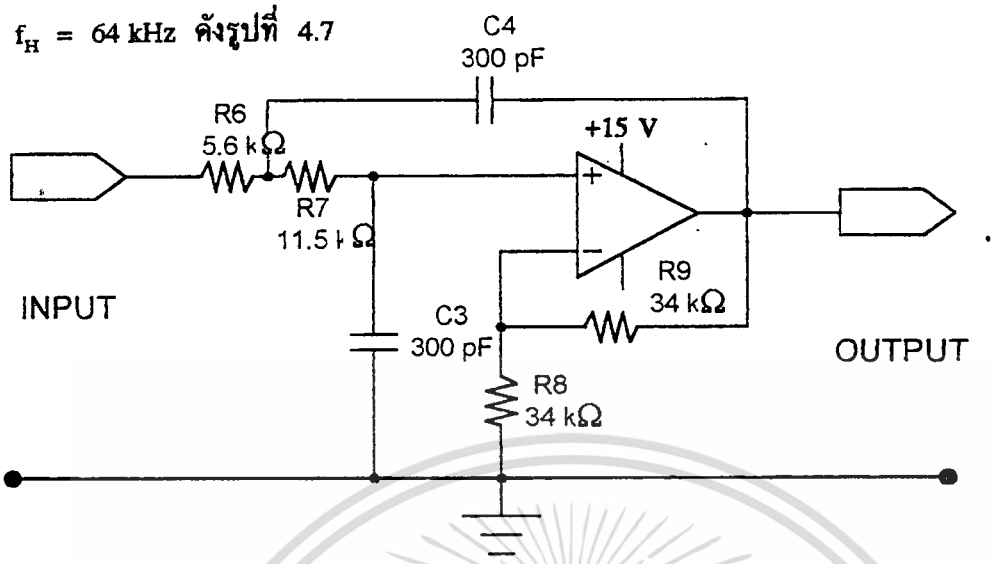
<u>วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)</u>

สัญญาณเอ้าพุตของวงจรบาลานซ์ดีมอดดูเลเตอร์ทั้งสองวงจรนั้น จะประกอบไปด้วยสัญญาณที่เกิดจากการคูณกันระหว่างสัญญาณมอดดูเลทกับสัญญาณพาหะและผลที่ได้ จะมีทั้งสัญญาณความถี่สูง และสัญญาณความถี่ต่ำ ซึ่งสัญญาณทั้ง 4 ระบบ ที่เป็นสัญญาณข้อมูลที่ต้องการ จะอยู่ในส่วนของสัญญาณความถี่ต่ำ ดังนั้นจึงต้องใช้วงจรกรองความถี่ต่ำเพื่อทำหน้าที่ตัดสัญญาณความถี่สูงทิ้งไป เหลือเพียงสัญญาณ 4 ระดับ ในส่วนของความถี่ต่ำเท่านั้น

ในส่วนของวงจรกรองความถี่ต่ำที่ใช้ในทางด้านภาครับนี้ ก็จะเหมือนกันทุกประการกับวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรองความถี่ต่ำที่ใช้ในทางภาคส่ง คือ จะใช้วงจร Second-Order Low Pass Butterworth Filter ที่มี f_H = 64 kHz ดังรูปที่ 4.7



รูปที่ 4.7 วงจรกรองความถี่ต่ำ

<u>วงจรแปลงสัญญาณ 4 ระดับ ไปเป็น 2 บิท (4 Levels to Dibit Converter)</u>

เมื่อสัญญาณผ่านวงจรบาลานซ์ดีมอดดูเลเตอร์ทางภาครับแล้ว จะเป็นสัญญาณความถี่ต่ำและเมื่อผ่านขบวนการตัดสินระดับ และจัดวงจรรูปพัลซ์แล้ว จะเป็นสัญญาณ 4 ระดับ เหมือนกันกับสัญญาณก่อนที่จะเข้าวงจรบาลานซ์มอดดูเลเตอร์ ของทางด้านภาคส่ง ดังนั้นเราจำเป็นต้องเปลี่ยนสัญญาณ 4 ระดับดังกล่าวให้เป็นสัญญาณดิจิตอล 2 บิท เพื่อจะนำไปรวมกันเป็นข้อมูลดิจิตอลส่งออกต่อไป

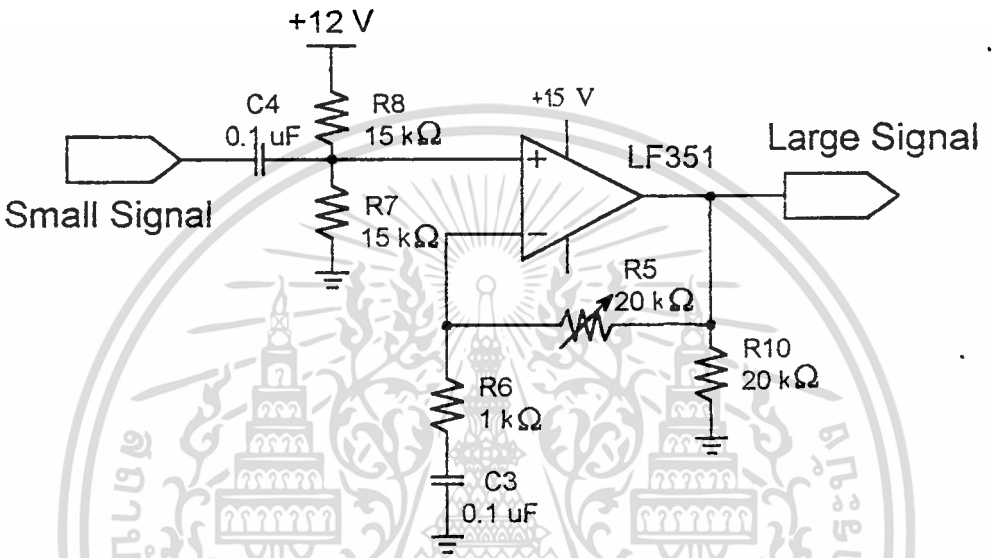
เพื่อความสะดวกในการตรวจจับระดับ จึงได้ทำการออกแบบวงจรขยายสัญญาณ 4 ระดับ ซึ่งมีขนาดเล็กไม่ถึง 1 V_{p-p} ให้เป็นสัญญาณขนาดใหญ่ 8 V_{P-P} ดังจะได้สรุปการขยายสัญญาณ 4 ระดับ และแสดงไว้ในตาราง ที่ 4.1

Input 4 Level (Small signal)	Output 4 Level (Large signal)
+ 200 mV	9 V
+ 66 mV	7 V
- 66 mV	5 V
- 200 mV	3 V

ตารางที่ 4.1 การขยายสัญญาณก่อนเข้าวงจรตรวจระดับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของวงจรขยายสัญญาณดังกล่าวนี้ ได้ทำการออกแบบและทดลองวงจร แสดงไว้ในรูปที่ 4.8 โดยอาศัยวงจรขยาย Op-Amp แบบnon-inverting ใช้ตัวต้านทานแบ่งแรงดันจาก 12 V ให้ได้ 6 V เข้าที่ขา 3 ของ Op-Amp เพื่อใช้เป็นระดับอ้างอิงในการขยายสัญญาณ และใช้ C ค่า 0.1 uFร่วมกันกับ R 1kΩ ที่ขา 2 ของ Op-Amp ทั้งนี้เพื่อช่วยให้วงจรตอบสนองสัญญาณที่ความถี่ต่ำ (64 Kbps) ได้ดียิ่งขึ้น ส่วน Rf ของวงจรนี้จะใช้ VR 20 kΩ เพื่อใช้ปรับอัตราการขยายของวงจรให้เป็นไปตามข้อกำหนดที่ได้ทำการออกแบบไว้



รูปที่ 4.8 วงจรขยายสัญญาณ 4 ระดับ

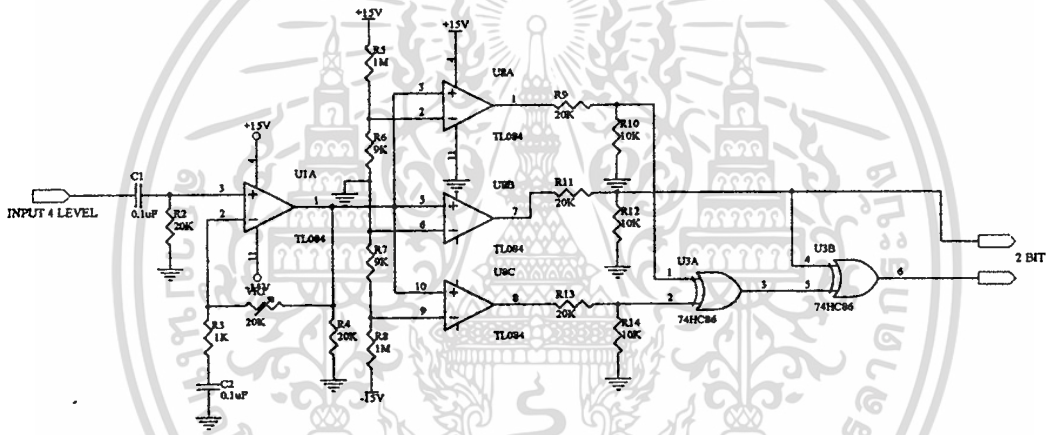
เมื่อระดับของสัญญาณมีขนาดใหญ่เพียงพอกับการตรวจจับระดับและมีความสามารถในการป้องกันความผิดพลาดของสัญญาณแล้ว จะถูกส่งไปเข้าวงจรแปลงระดับ ให้เป็น 2 บิท โดยจะใช้วงจร Compparator ซึ่งอาศัย Op-Amp และ EX-OR Gate ทำหน้าที่ตรวจจับระดับสัญญาณ ทำการตั้งจุดการทำงานของ Op-Amp ไว้ที่ระดับต่างๆกัน ดังนี้ 4V , 6V และ 8V เมื่อสัญญาณเข้ามา Op-Amp แต่ละตัวจะตรวจสอบ เปรียบเทียบความต่างศักย์ระหว่างขา inverting และ ขา non-inverting แล้วให้เอ้าพุตตามลักษณะสมบัติของตัวมัน และที่เอ้าพุตแต่ละตัวจะใช้ตัวต้านทานแบ่งแรงดันเพื่อที่ต้องการเพียง 5 V ในขณะที่สัญญาณเข้ามาต่ำกว่าระดับที่ตั้งไว้ และ 0 Vในขณะที่สัญญาณเข้ามาสูงกว่าระดับที่ตั้งไว้ ของ Op-Amp ทุกตัว ทั้งนี้เพื่อให้สอดคล้องกับ อินพุทที่ EX-OR Gate ต้องการ (ไฟเลี้ยงของ Op-Amp จะป้อน +12 V เข้าที่ขา 7 และ ขา 4 ลงกราวนด์ ดังนั้นเอาท์พุทของ Op-Amp จะไม่มีโอกาสเป็นไฟลบ)

ดังนั้นเอ้าพุตจากวงจรนี้ได้จาก EX-OR Gate แล้วจะเป็นสัญญาณดิจิตอลที่เป็น Gray Code ดังตารางที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signal Input	Gray Code Output
9 V	0 0
7 V	0 1
5 V	1 1
3 V	1 0

ตารางที่ 4.2 การตรวจจับระดับสัญญาณแล้วแปลงเป็น Gray Code



รูปที่ 4.9 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท

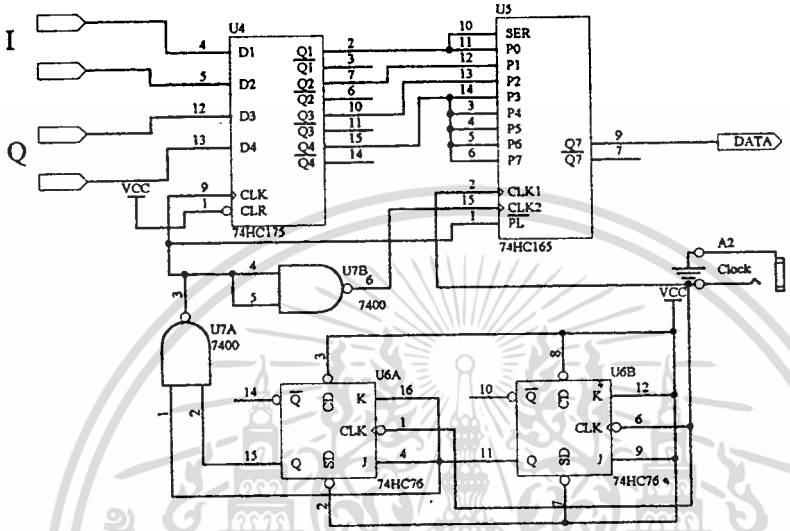
<u>วงจรรวมสัญญาณดิจิตอล (Parallel to Serial Circuit)</u>

เป็นวงจรที่มีลักษณะและหน้าที่การทำงาน ตรงกันข้ามกับวงจรแยกสัญญาณดิจิตอล ของทางด้านภาคส่ง เพื่อทำหน้าที่รวมสัญญาณดิจิตอลทั้ง Inphase และ Quadrature phase (บิทบนและบิทล่าง) จากสัญญาณดิจิตอลแบบขนาน ไปเป็นสัญญาณดิจิตอลแบบอนุกรม โดยอาศัยการควบคุมจังหวะการทำงานของตัวฟลิบฟลอบจากสัญญาณนาฬิกา ที่ได้มาจากวงจร Clock Recovery

สัญญาณดิจิตอลที่ได้มาจากภาคส่งในส่วนของวงจรแยกสัญญาณดิจิตอล นั้นเป็นแบบ Gray Code จึงต้องทำการแปลงสัญญาณให้เป็น Binary Code โดยอาศัยหลักการทำงานของ EX-OR Gate เหมือนกันกับทางด้านภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

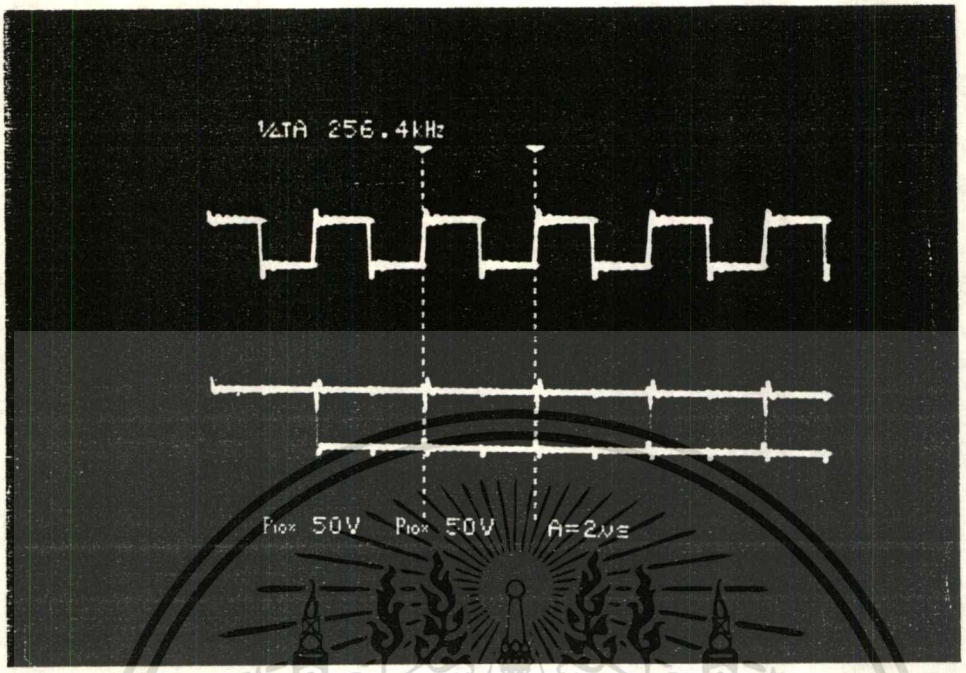
วงจรหาร 4 หรือวงจรหน่วงเวลา 4 บิทจะทำหน้าที่ควบคุมให้จังหวะการทำงานของ D ฟลิบฟลอบ ให้สัมพันธ์กับการส่งข้อมูลออกทางเอ้าพุตข้อมูลที่ออกจาก D ฟลิบฟลอบ ทั้งด้าน Inphase และQuadrature phase ขนาด 4 บิท จะถูกส่งเข้าวงจร 8 bit shift Register PISO ซึ่งจะทำหน้าที่แปลงข้อมูลแบบขนาน ให้เป็นแบบอนุกรม ซึ่งสามารถดูรายละเอียดได้จาก Data Sheet 74165



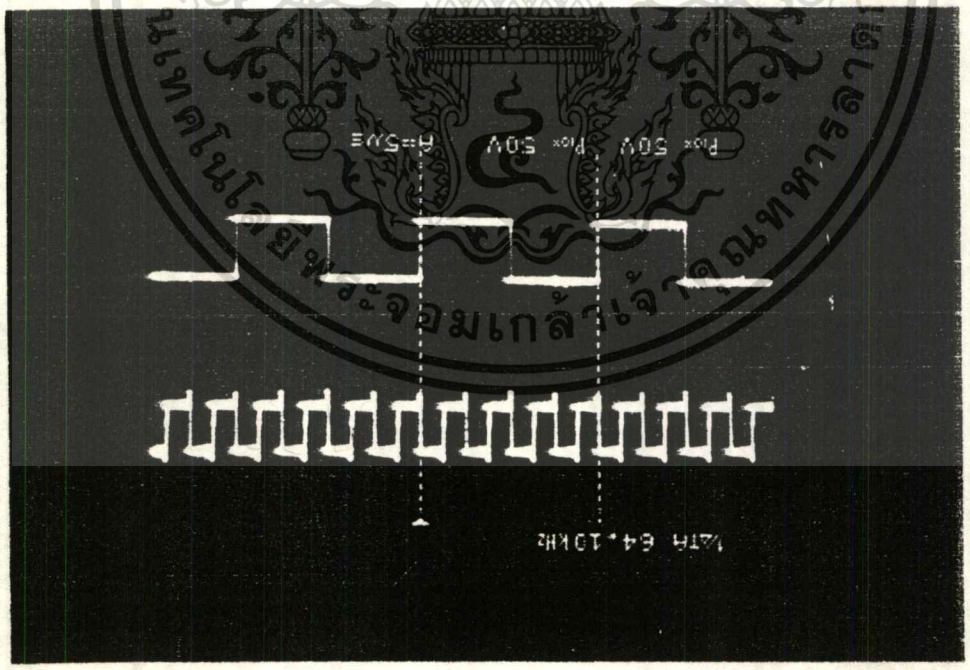
รูปที่ 4.10 วงจรรวมสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

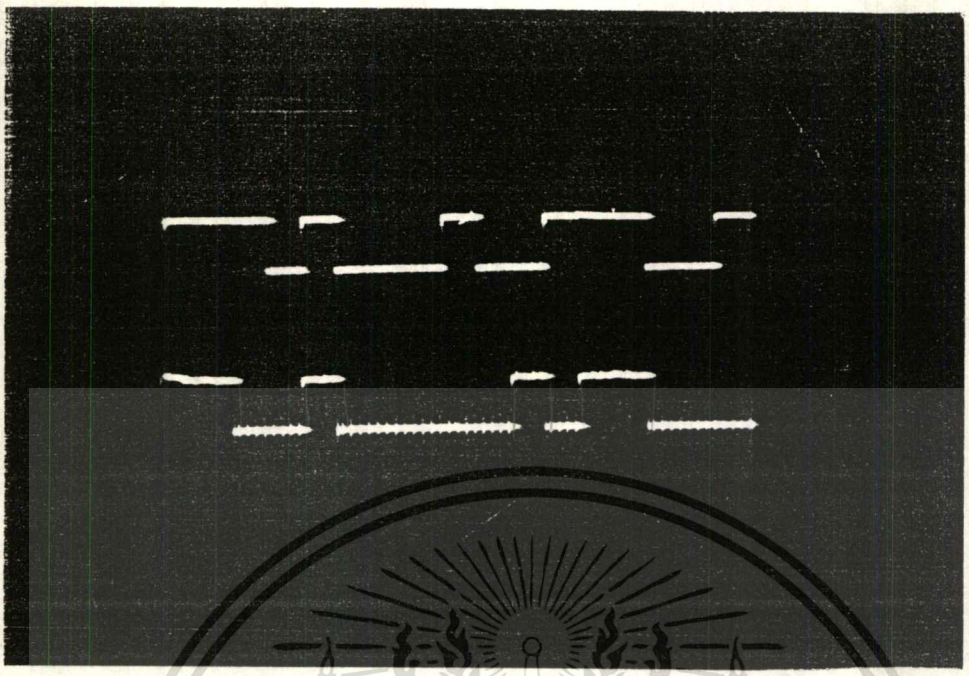


รูปที่ 5.1 (รูปบน) แสดงสัญญาณนาฬิกา 256 kHz
(รูปล่าง) แสดงสัญญาณNRZ 256 Kbps

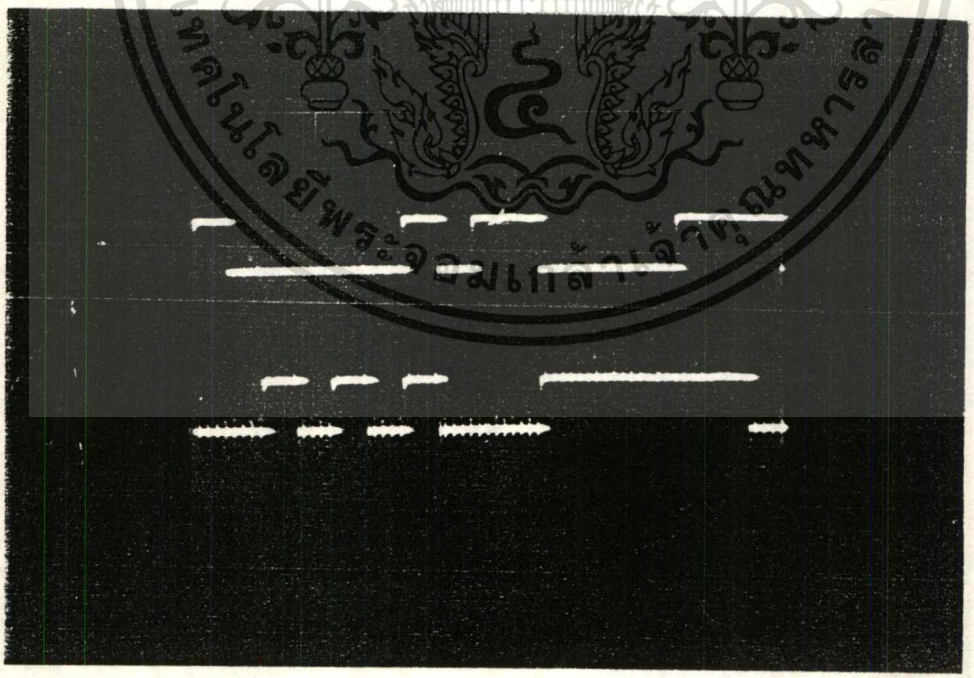


รูปที่ 5.2 (รูปบน) แสดงสัญญาณนาฬิกา 256 kHz
(รูปล่าง) แสดงสัญญาณการหารสัญญาณนาฬิกา
ซึ่งวัดที่ขา 5 ของ U8 # 74HC112 ในวงจรภาคส่งส่วนที่หนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

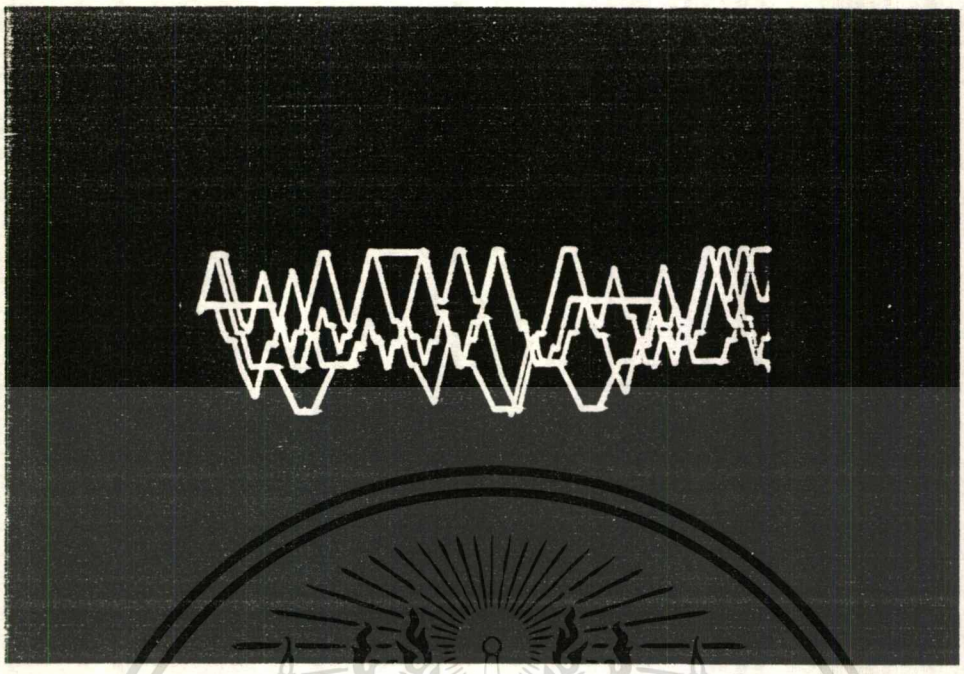


รูปที่ 5.3 แสดงสัญญาณ 2 บิท ด้าน I ที่แยกจาก NRZ
วัดที่ขา 2,3 ของ U4 # 4555 ในวงจรภาคส่งส่วนที่ 1

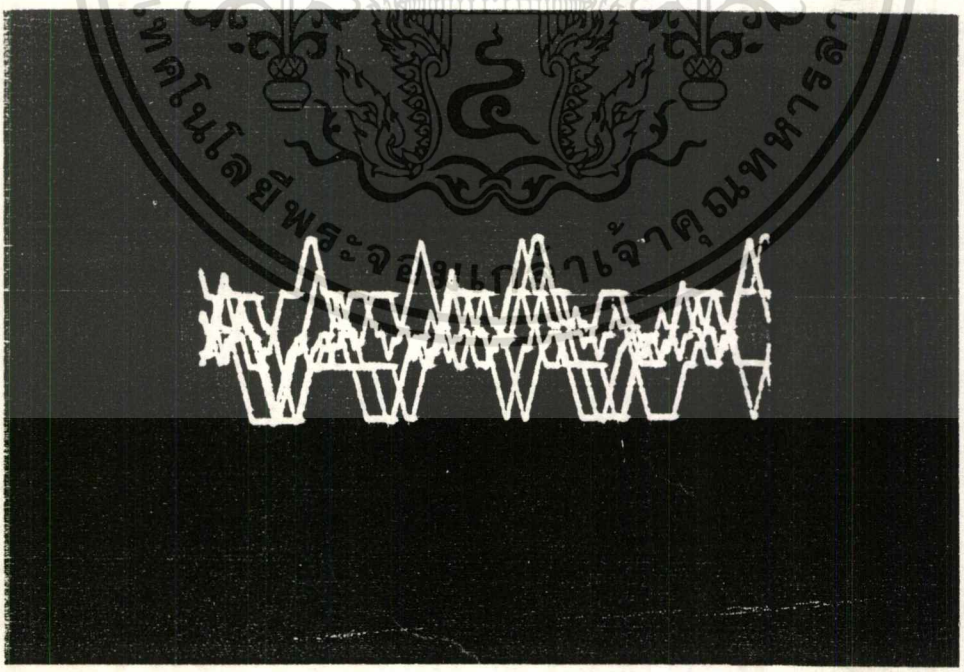


รูปที่ 5.4 แสดงสัญญาณ 2 บิท ด้าน Q ที่แยกจาก NRZ
วัดที่ขา 13,14 ของ U4 # 4555 ในวงจรภาคส่งส่วนที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

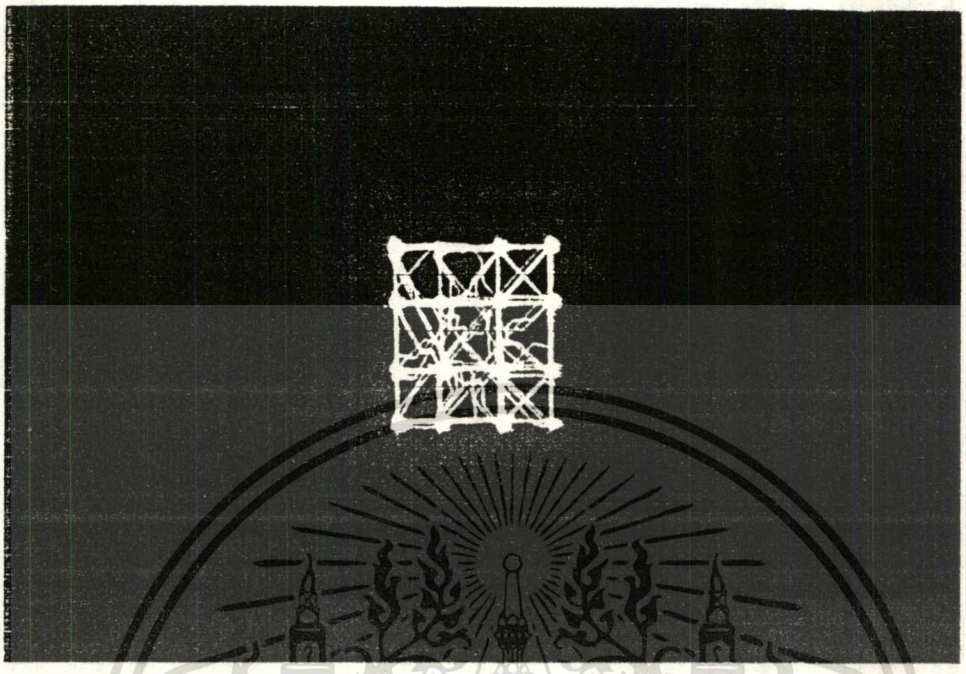


รูปที่ 5.5 แสดงสัญญาณ 4 ระดับ ด้าน I
วัดจากขา 1 ของ U5 # LM 324 ในวงจรภาคส่งส่วนที่ 1

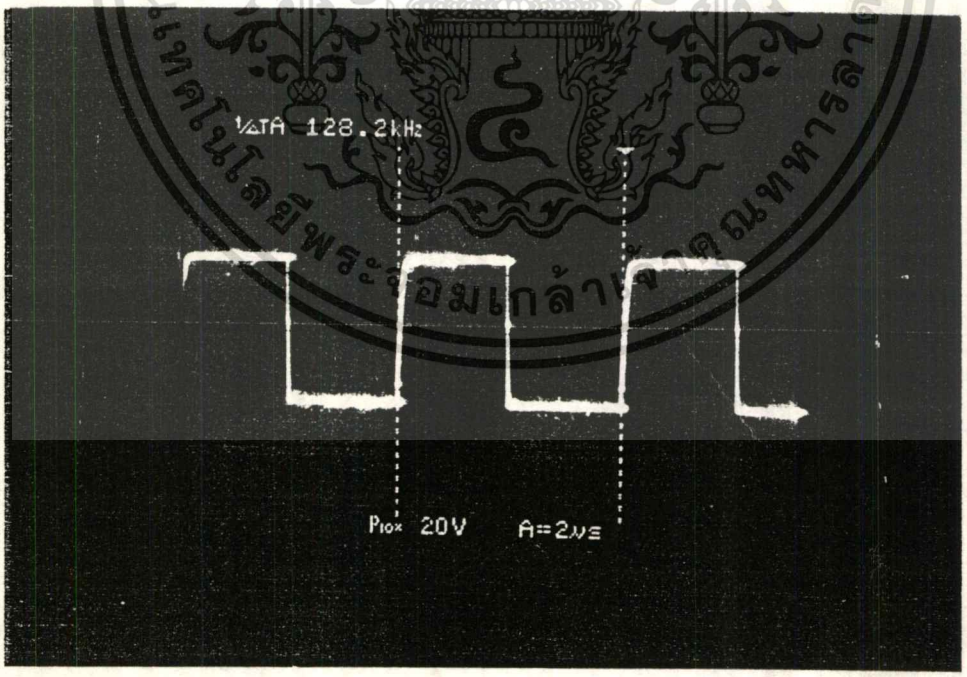


รูปที่ 5.6 แสดงสัญญาณ 4 ระดับ ด้าน Q
วัดจากขา 1 ของ U6 # LM 324 ในวงจรภาคส่งส่วนที่1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

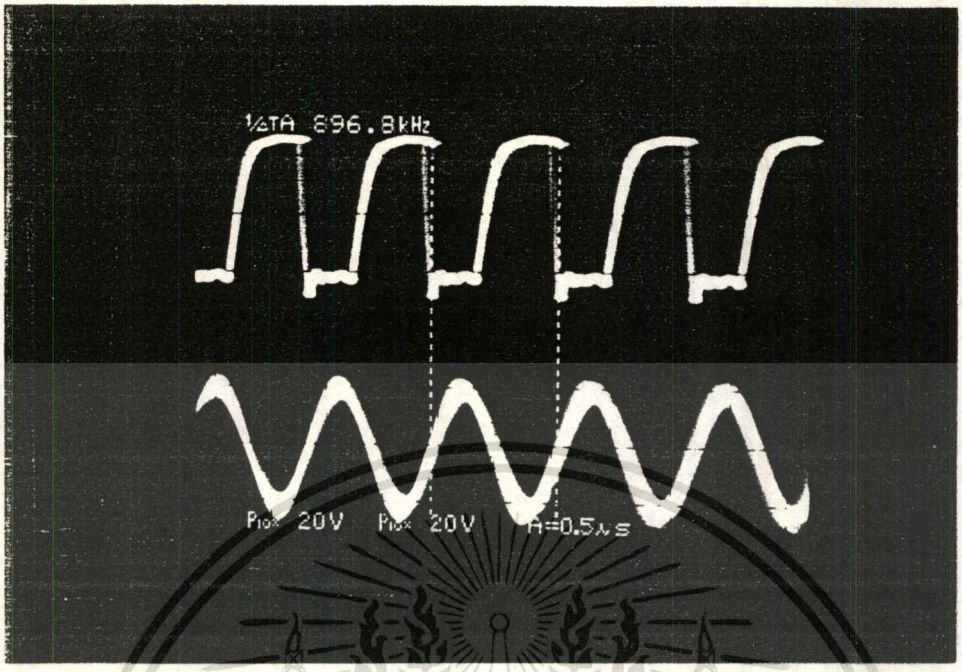


รูปที่ 5.7 แสดงการวัด Constellation Diagram ของสัญญาณ 16 QAM

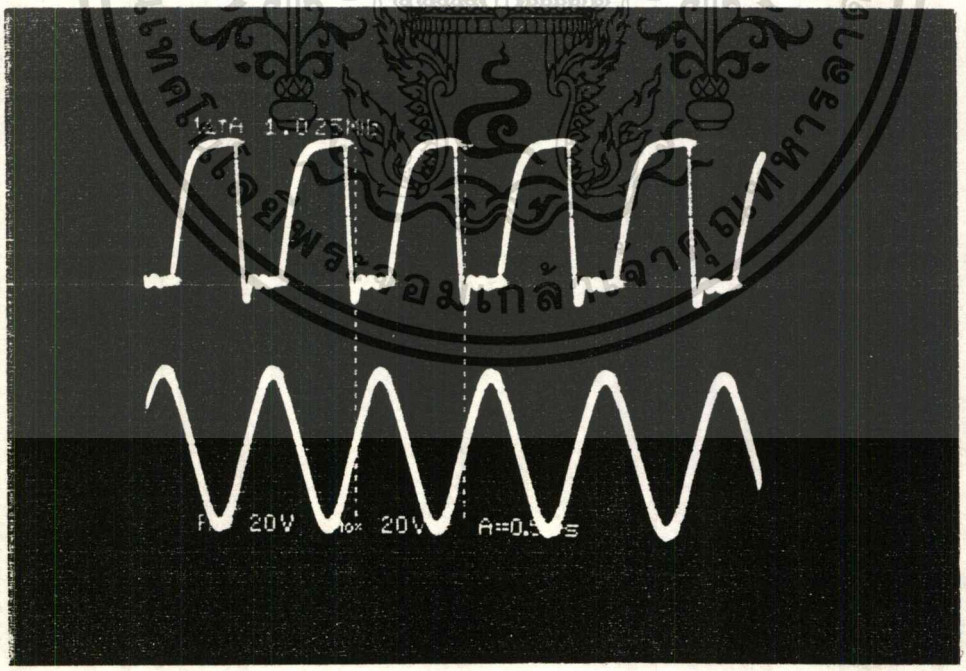


รูปที่ 5.8 แสดงสัญญาณนาฬิกา 128 kHz ที่ใช้เป็น input ของ ภาคกำเนิด carrier sine , cosine และ pilot tone วัดจากขา 9 ของ U1 # 4050 ในวงจรภาคส่งส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

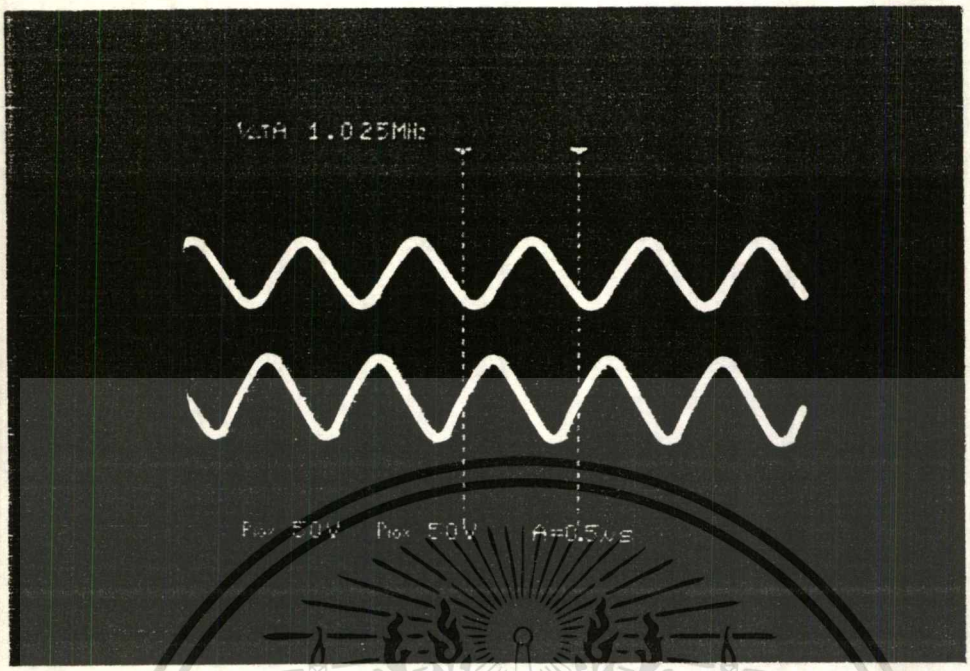


รูปที่ 5.9 (รูปบน) แสดงสัญญาณ output ของ PLL ที่ใช้ในการกำเนิด pilot tone
(รูปล่าง) แสดงสัญญาณ pilot tone 896 kHz
วัดจากขา 4 ของ U3 # 4046 และ ขา 7 ของ U7 # TL084 ในวงจรภาคส่งส่วนที่ 2

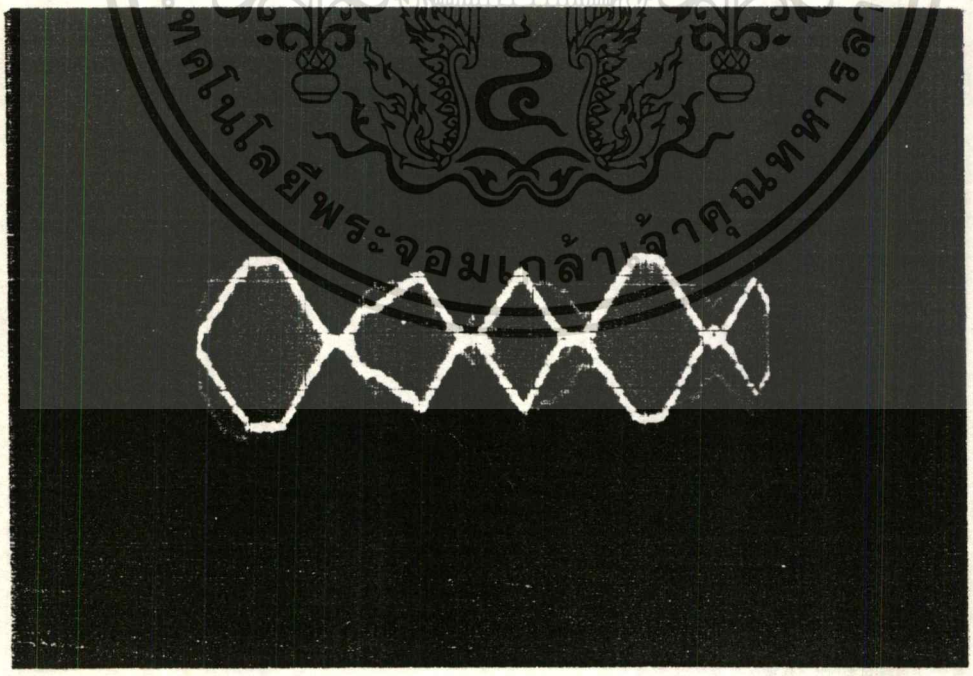


รูปที่ 5.10 (รูปบน) แสดงสัญญาณ output ของ PLL ที่ใช้ในการกำเนิด carrier sine
(รูปล่าง) แสดงสัญญาณ carrier sine 1.024 MHz
วัดจากขา 4 ของ U1 # 4046 และ ขา 7 ของ U6 # TL 084 ในวงจรภาคส่งส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

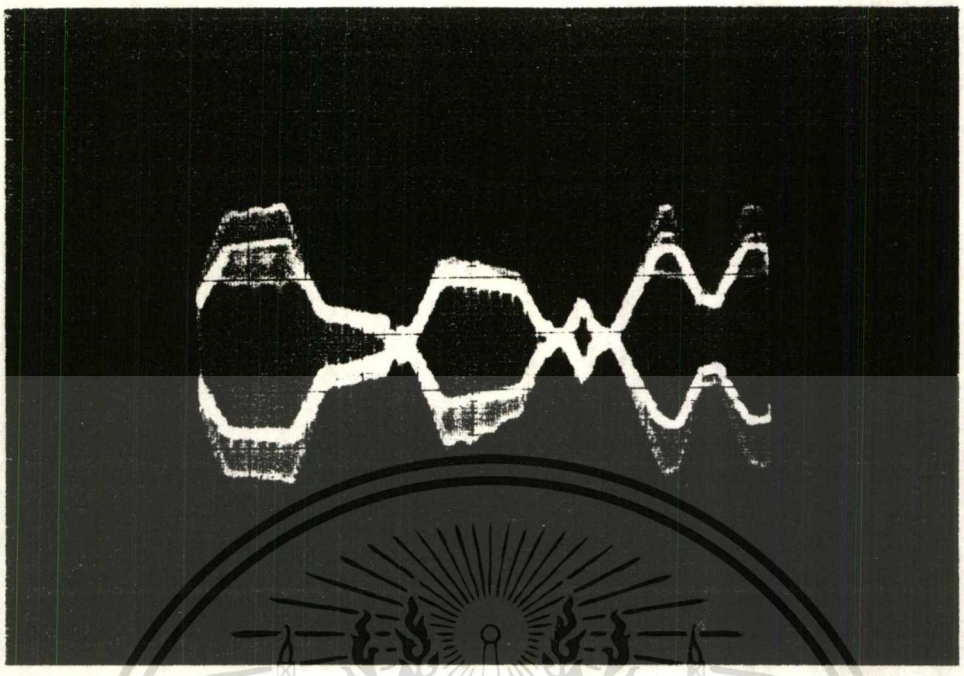


รูปที่ 5.11 (รูปบน) แสดงสัญญาณ carrier sine ความถี่ 1.024 MHz
(รูปล่าง) แสดงสัญญาณ cosine ความถี่ 1.024 MHz
วัดจากขา 7,8 ของ U6 # TL 084 ในวงจรภาคส่งส่วนที่ 2

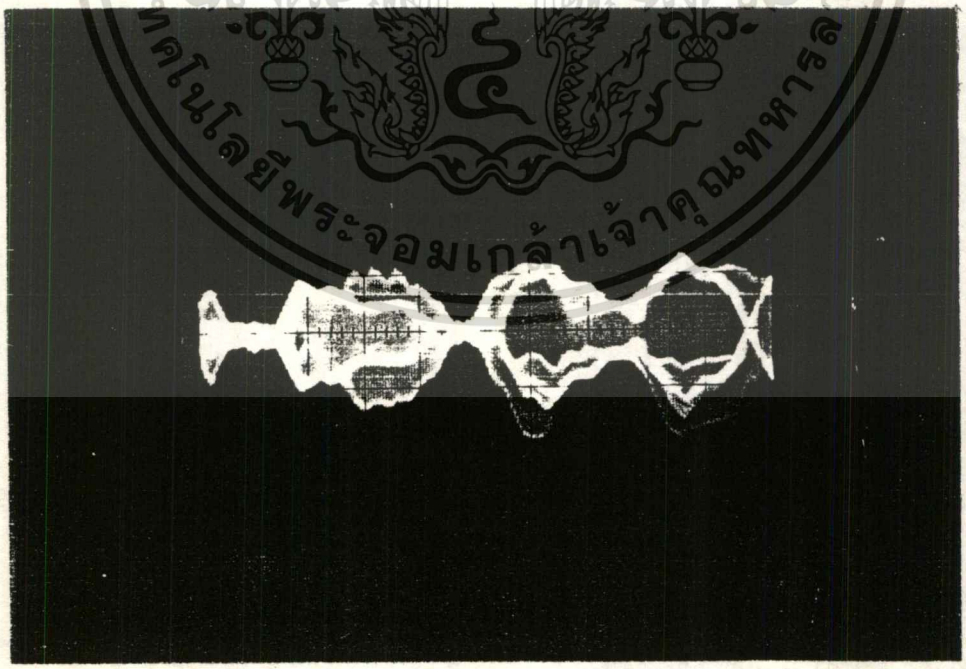


รูปที่ 5.12 แสดงสัญญาณทางด้าน I ที่ผ่านการมอดดูเลทแล้ว
วัดจากขา 6 ของ U1 # MC 1596 ในวงจรภาคส่งส่วนที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

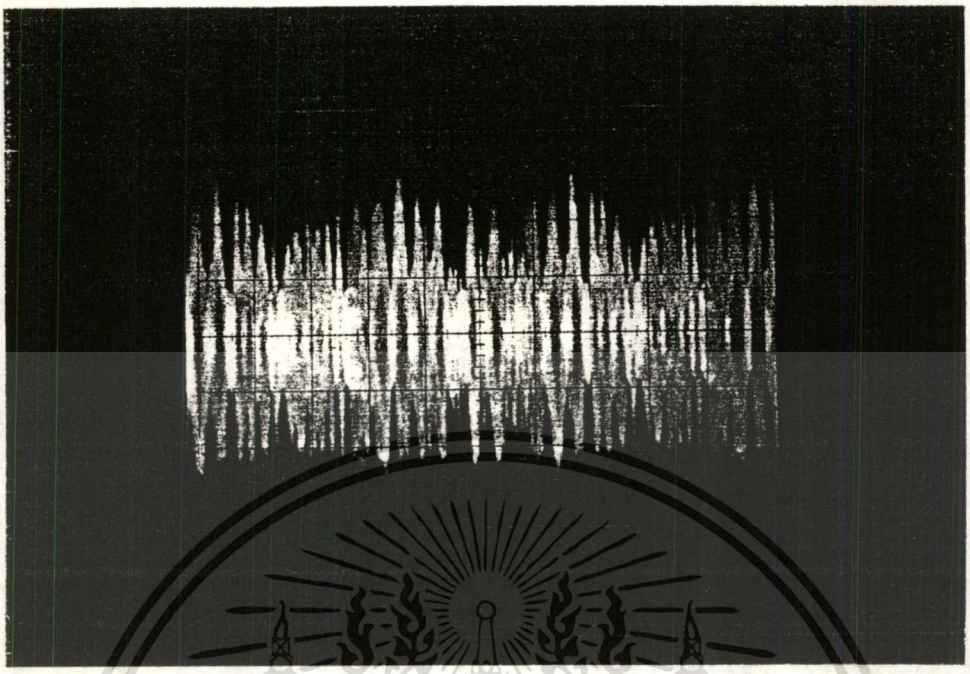


รูปที่ 5.13 แสดงสัญญาณด้าน Q ที่ผ่านการมอดดูเลทแล้ว
วัดจากขา 6 ของ U2 # MC 1596 ในวงจรภาคส่งส่วนที่ 3

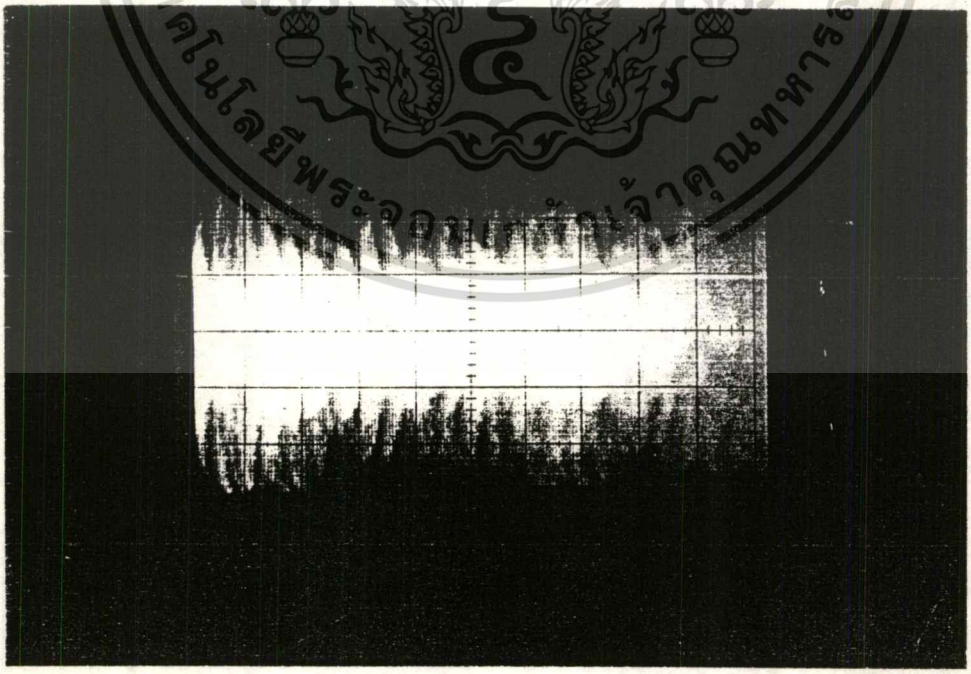


รูปที่ 5.14 แสดงสัญญาณรวมของด้าน I และ Q ที่ถูกมอดดูเลทแล้ว
วัดจากขา 6 ของ U5 # LF 351 ในวงจรภาคส่งส่วนที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

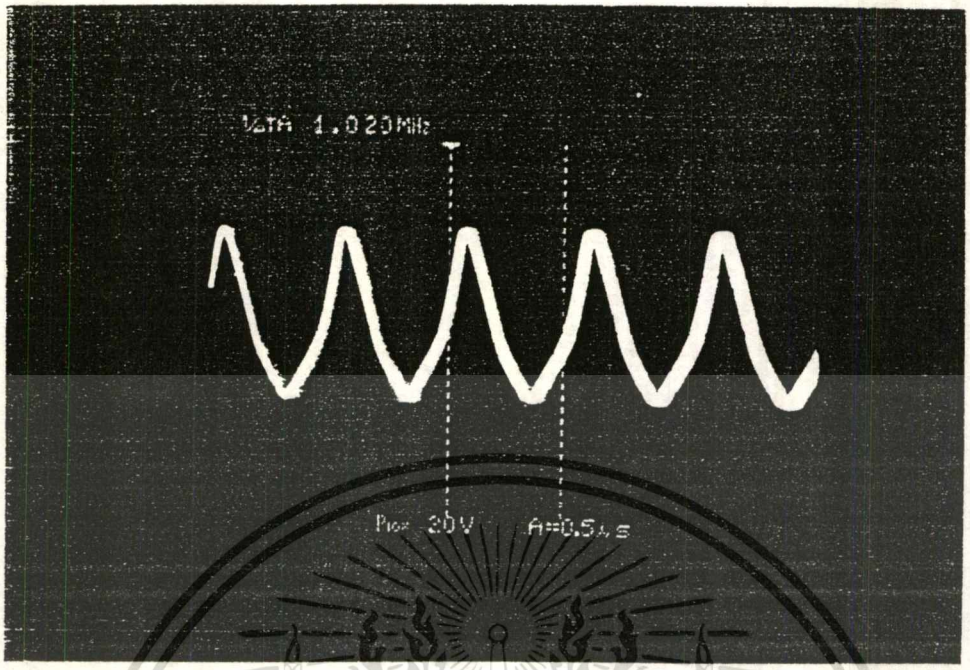


รูปที่ 5.15 แสดงสัญญาณ 16 QAM ที่ส่งออกจากเครื่องส่ง

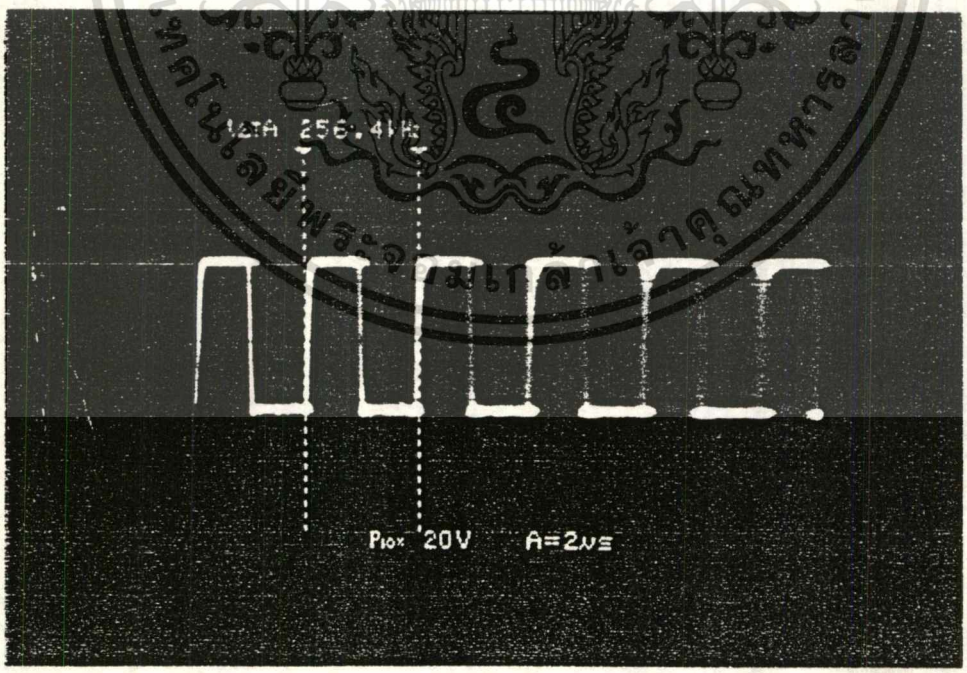


รูปที่ 5.16 แสดงสัญญาณ 16 QAM ที่รับได้ที่เครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

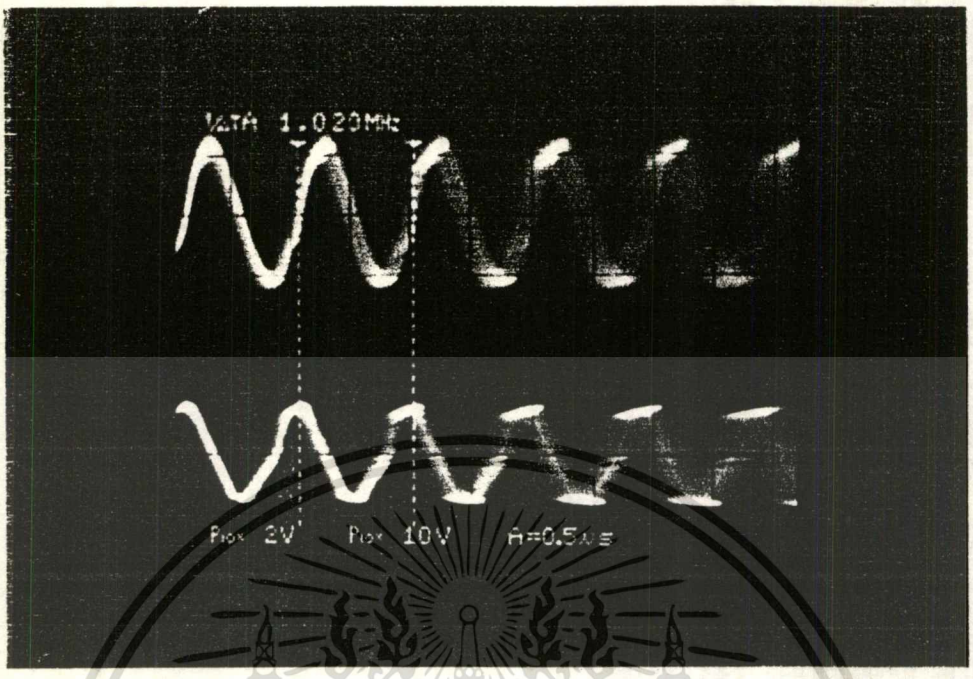


รูปที่ 5.17 แสดงสัญญาณที่ผ่าน BPF 1.024 MHz ที่เครื่องรับ เพื่อใช้ในการกู้ clock และ carrier วัดจากขา 14 ของ U6 # TL084 ในวงจรภาครับส่วนที่ 2

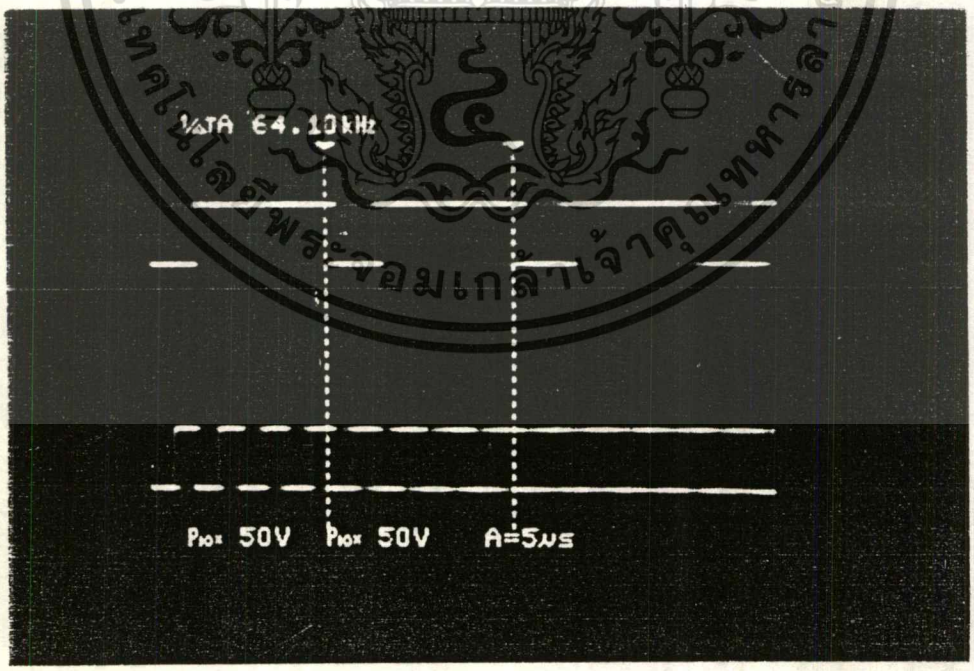


รูปที่ 5.18 แสดงสัญญาณนาฬิกา 256 KHz ที่กู้ขึ้นมาได้ วัดจากขา 15 ของ U5 # 4050 ในวงจรภาครับส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

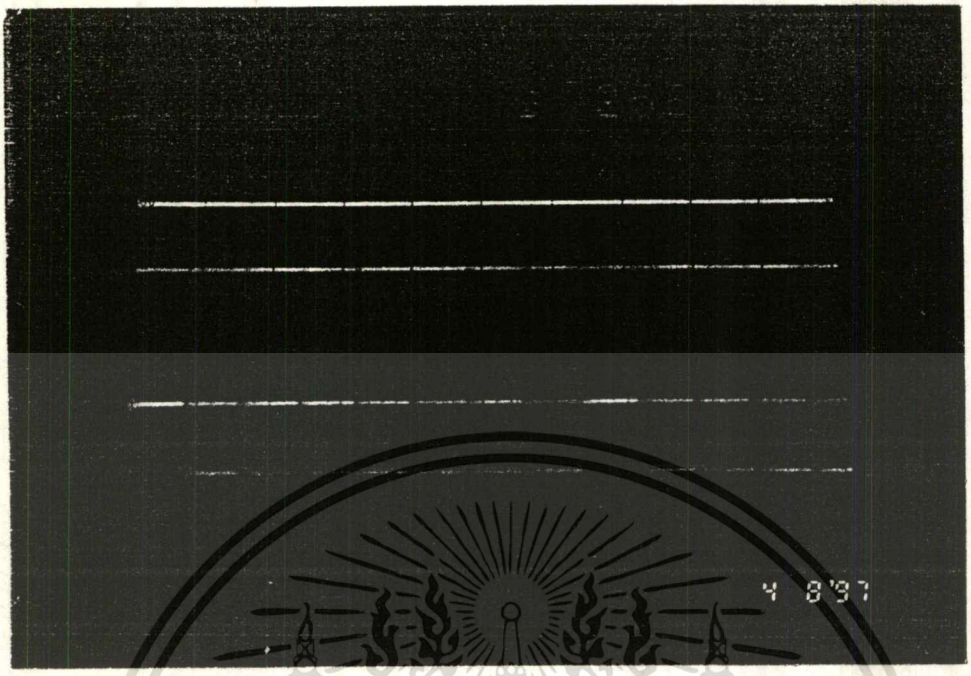


รูปที่ 5.19 (รูปบน) แสดงสัญญาณ carrier sine 1.024 MHz ที่กู้ขึ้นมาได้
(รูปล่าง) แสดงสัญญาณ carrier cosine 1.024 MHz ที่กู้ขึ้นมาได้
วัดจากขา 7,8 ของ U6 # TL084 ในวงจรภาครับส่วนที่ 2

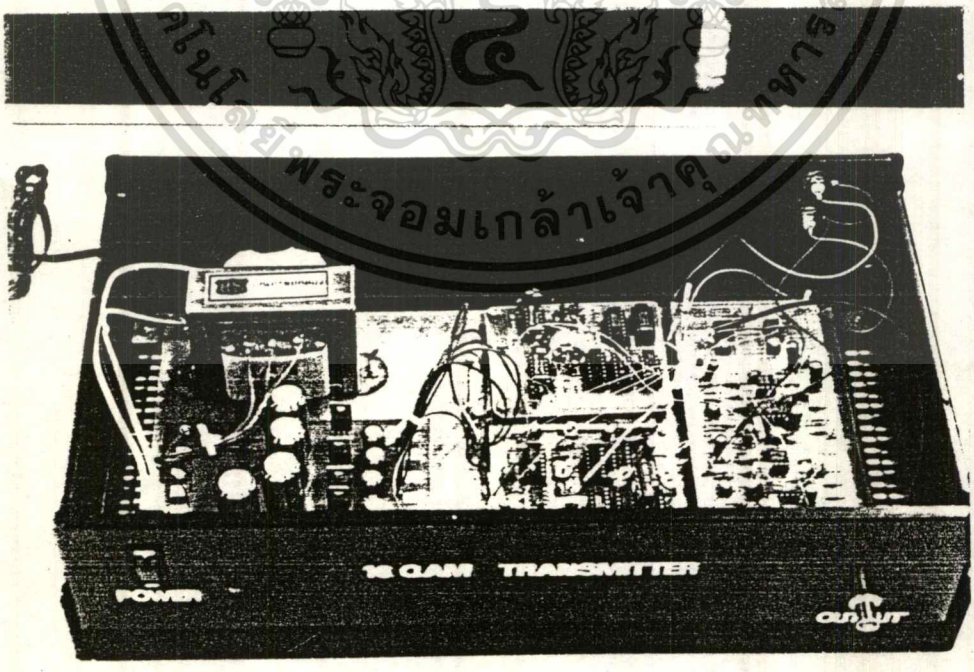


รูปที่ 5.20 (รูปบน) แสดงสัญญาณนาฬิกาที่ถูกหน่วงเวลา 4 เท่า ทางด้านเครื่องรับ
(รูปล่าง) แสดงสัญญาณนาฬิกาที่กู้ได้
วัดจากขา 6,15 ของ U6 # 74HC76 ในวงจรภาครับส่วนที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

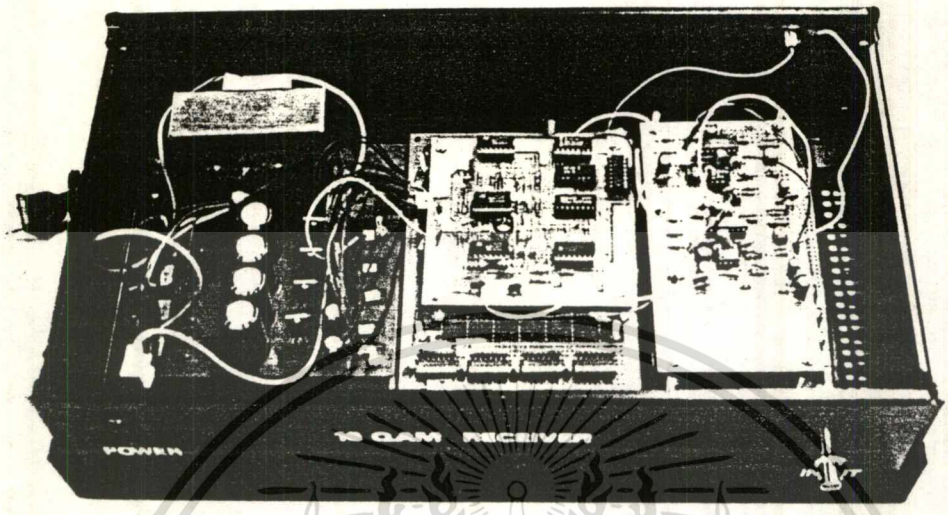


รูปที่ 5.21 (รูปบน) แสดงสัญญาณ NRZ ที่รับได้
(รูปล่าง) แสดงสัญญาณ NRZ ที่ส่งมา



รูปที่ 5.22 แสดง 16 QAM Transmitter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.23 แสดง 16 QAM Receiver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

บทสรุปและข้อเสนอแนะ

ในการทำโครงงาน เรื่อง 16 QAM รับส่งด้วยสายเคเบิล นี้ จะเป็นการศึกษาระบบการมอดดูเลทสัญญาณดิจิตอล โดยมุ่งเน้นในส่วนของการมอดดูเลทสัญญาณดิจิตอล โดยจะมุ่งเน้นไปในส่วนของการมอดดูเลทแบบ 16 QAM รวมถึงหลักการและรายละเอียดในการออกแบบ ซึ่งวงจรบางวงจรได้นำมาจากโครงงานของรุ่นพี่มาดัดแปลงใหม่ บางวงจรได้ออกแบบมาใช้เอง ซึ่งต้องอาศัยพื้นฐานความรู้ทางด้านดิจิตอลและอะนาล็อกเป็นอย่างมากในบางวงจรจะมีปัญหาในการนำมาต่อร่วมกัน เช่นวงจรมอดดูเลทและวงจรดีมอดดูเลท ซึ่งวงจรนี้จะต้องการอินพุตต่ำมาก ประมาณ 400 mVp-p แต่สัญญาณ 4 ระดับที่สร้างขึ้น มีขนาดประมาณ 10 Vp-p จำเป็นต้องสร้างวงจรปรับขนาดสัญญาณ

บทสรุปในการทำโครงงานและข้อเสนอแนะที่เป็นประโยชน์ จะแบ่งเป็นข้อๆตามขั้นตอนการทำงาน ได้ดังต่อไปนี้

1. วงจรจ่ายไฟเลี้ยง

วงจรนี้อาจไม่ จำเป็นต้องคำนึงถึงในบางเรื่องแต่ในกรณีที่ทำโครงงานเกี่ยวกับความถี่สูง วงจรจ่ายไฟเลี้ยงจะต้องมีประสิทธิภาพ เพื่อช่วยให้วงจรทำงานตรงตามวัตถุประสงค์ที่วางไว้ ในโครงงานนี้ใช้ไฟ +15V, -15V, +12V, +5V, GND จึงใช้หม้อแปลงขนาด 1 แอมป์ 2 ตัว เพื่อให้สามารถจ่ายกระแสไฟฟ้าได้อย่างเพียงพอ เนื่องจากจะต้องใช้ทั้งภาคส่งและภาครับ และยังมี C ช่วยในการกรองระดับแรงดันร่วมกับไอซีเรคกูเลเตอร์ รวมไปถึงวงจรที่สำคัญๆยังต้องใช้ C เพิ่มเติมที่ขาไฟเลี้ยงอีกด้วย

2. วงจรกำเนิดสัญญาณกึ่งแรนดัม

วงจรนี้จะใช้กำเนิดสัญญาณข้อมูล ในลักษณะสุ่มการเกิด (Pseudo Random Binary Sequence) เพื่อเป็นสัญญาณป้อนให้กับวงจรที่บิทเรท 256 kbps ตามอัตราความเร็วของสัญญาณนาฬิกาที่ไปควบคุมวงจรโดยจะใช้ D ฟลิปฟลอป 4 ตัว ซึ่งสามารถกำเนิดสัญญาณได้ทั้งหมด 16 รูปแบบข้อควรคำนึงถึงคือระดับแรงดันของสัญญาณที่ใช้ ต้องมีขนาดพอดีกับระดับสัญญาณอินพุตที่ D ฟลิปฟลอปต้องการด้วย

3. วงจรแยกสัญญาณดิจิตอล

ในวงจรนี้จะใช้ ไอซี 8 bit Shift Registor SIPO เป็นอุปกรณ์แยกสัญญาณข้อมูลอนุกรมไปเป็นสัญญาณขนานซึ่งจะใช้ร่วมกับวงจรหน่วงเวลา 4 บิทเพื่อควบคุมให้ข้อมูลเข้ามาครบ 4 บิทก่อนจึงจะส่งออกไปทางด้าน Inphase และ Quadrature phase และใช้ D ฟลิปฟลอป ทำหน้าที่เป็นตัวกั้น (Buffer) ไม่ให้ส่งข้อมูลไปก่อนที่จะครบ 4 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. วงจรแปลง 2 บิท ไปเป็น 4 ระดับ

สัญญาณที่จะเข้าไปมอดดูเลทต้องเป็นสัญญาณหลายระดับ โดยเราจะใช้ 2 to 4 decoder ใช้ร่วมกับ Op-Amp เป็นตัวแปลงระดับสัญญาณ และใช้ VR เป็นตัวปรับระยะห่างของสัญญาณให้เหมาะสมซึ่งจะอยู่ในช่วง 400 mVp-p

5. วงจรกรองความถี่ต่ำ

ในที่นี้จะใช้ที่ความถี่ f_H = 64 kHz จากอัตราการเปลี่ยนแปลงของสัญญาณ 4 ระดับ อุปกรณ์ที่ใช้ก็ออกแบบตามสูตร แล้วเลือกค่าที่ใกล้เคียงหากแต่บางตัวต้องใช้ชนิดปรับค่าได้ เพื่อใช้ปรับให้การตอบสนองในเรื่องความถี่คัทออฟและค่าความชันในการลดทอนสัญญาณที่ความถี่สูงกว่า 64 kbps ผลการทดลองก็อยู่ในเกณฑ์ที่พอใช้ได้

6. วงจรกำเนิดสัญญาณพาหะ

จะใช้วงจรเฟสล็อคลูปเพื่อคูณสัญญาณนาฬิกาให้มีความถี่สูงขึ้นเท่ากับสัญญาณพาหะแล้วกรองเอาเฉพาะสัญญาณ sine wave ออกมา วงจรนี้ประสบปัญหาอย่างมาก ใช้เวลาในการทดลองอยู่นานพอสมควร เนื่องจากวงจรเฟสล็อคลูปไม่เป็นไปตามวัตถุประสงค์ที่วางไว้เท่าใดนัก กล่าวคือบางทีก็ไม่ยอมล็อคความถี่ในช่วงที่ต้องการ แต่สามารถคูณความถี่ขึ้นไปได้พอดี แต่ในบางครั้งก็สามารถล็อคความถี่ไว้ได้แต่กลับไม่ยอมคูณความถี่ขึ้นไปให้ตรงกับความถี่ที่ต้องการ จนในที่สุดก็สามารถปรับแต่งจนมีค่าเป็นที่น่าพอใจ

7. วงจรเลื่อนเฟสสัญญาณ 90 องศา

ใช้วงจร All-Phase Filter ชนิด Vo ล้าหลัง Vi โดยเปลี่ยนค่า C ไปเรื่อยๆ จาก 0.01uF ถึง 10 pF เพื่อให้วงจรตอบสนองความถี่ที่ต้องการ ประมาณ 1 MHz ได้ดีที่สุด ส่วนค่าอื่นก็ใช้ตามหนังสือ และปรับการเลื่อนเฟสที่ VR 20 kΩ เอาพุตที่ได้บางทีต้องเอาไปผ่านวงจรกรองช่วงความถี่อีกครั้งหนึ่งเพื่อให้ได้รูปสัญญาณที่สวยงาม

8. วงจรบาลานซ์มอดดูเลเตอร์

วงจรที่ใช้ในโครงงานนี้ต้องมีการดัดแปลงจากคู่มือ ไอซี 1596 อีกเล็กน้อยพร้อมทั้งวงจรขยายความแตกต่าง ขยายสัญญาณให้มีขนาดใหญ่ขึ้นอีก และเนื่องจากวงจรนี้เป็นวงจรที่ใช้งานกับสัญญาณขนาดเล็ก (Small Signal) จึงมีสัญญาณรบกวนมากมาย ดังนั้น C ที่ใช้จึงควรเป็นชนิดไม่มีขั้ว ยกเว้นจุดที่ต่อโดยตรงกับไฟเลี้ยงหรือกราวน์ในบางจุด ทำให้สัญญาณที่ได้ไม่สวยงามตามความตั้งใจ

วงจรนี้ไม่เป็นที่น่าพอใจ

9. วงจรกำเนิดสัญญาณไพล็อตโทน

วงจรนี้จะเหมือนกับวงจรกำเนิดสัญญาณพาหะ เพียงแต่เปลี่ยนการคูณความถี่ให้ต่ำกว่าเล็กน้อยและปัญหาที่เจอก็เหมือนกัน ผลการทดลองที่ได้ สัญญาณยังคงไม่นิ่งเท่าที่ควรแต่ยังพอดูได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10. วงจรรวมสัญญาณมอดดูเลท

จะใช้วงจร Summing Amplifier แบบ 3 อินพุต และทำการปรับอัตราการขยายโดย VR 100kΩ ที่ Rf ของวงจรจึงไม่มีปัญหาอะไร

11. วงจรกรองช่วงความถี่

วงจรนี้จะออกแบบตามทฤษฎีของวงจรฟิลเตอร์ แต่พอใช้งานจริงๆจะใช้ VR ช่วยในการปรับการตอบสนองช่วงความถี่

12. วงจรกู้สัญญาณนาฬิกา

จะอาศัยสัญญาณไพล็อตโทน ที่รับเข้ามาแล้วล็อคสัญญาณพร้อมกับแปลงเป็นสัญญาณดิจิตอลโดยวงจรเฟสล็อคลูป แล้วก็หารความถี่ลงมาให้เท่ากับสัญญาณนาฬิกา

13. วงจรบาลานด์ดีมอดดูเลเตอร์

วงจรนี้ได้จากคู่มือ IC 1596 พร้อมกับดัดแปลงวงจรเพิ่มเติมอีกนิดหน่อยส่วนปัญหาที่พบคือ สัญญาณที่ออกมามีสัญญาณรบกวนเป็นอย่างมาก

14. วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท

วงจรนี้ใช้ Op-Amp ร่วมกับ EX-OR GATE ทำหน้าที่ในการแปลงสัญญาณ

15. วงจรรวมสัญญาณดิจิตอล

วงจรนี้ใช้ IC 8 bit Shift Registor PISO ร่วมกับ วงจรหน่วงเวลา 4 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

บุญธรรม กิจปรีดาบริสุทธิ์ การเขียนรายงาน การวิจัยและวิทยานิพนธ์ พิมพ์ครั้งที่ 3 คณะสังคมศาสตร์และมนุษย์ศาสตร์ มหาวิทยาลัยมหิดล พ.ศ. 2524,150 หน้า

นิกร สุขุตมตันติ การออกแบบวงจรอิเล็กทรอนิกส์ พิมพ์ครั้งที่ 1 ตำราชุดวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง พ.ศ. 2533,74 หน้า

Wayne Tomasi,Advanced Electronic Communication Systems,second edition Prentic Hall,Engle Wood Cliffs,n.j.,1992

Ramakant A.Gayakwad,Op-Amp and Linear Integrated Circuits,Second edition,Prentic-Hell International,1988

Miklos Herpy,Analog Integrated Circuits (Operational Amplifier and Analog Multilpiers), Research Institute for Telecommunication,Budapest,Hungary,A Wiley Interscience Publication

กฤษดา กล่อมการ การออกแบบระบบส่งข้อมูลในช่องสัญญาณกระจายเสียงแบบ FM วิทยานิพนธ์ บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง พ.ศ. 2536,182 หน้า

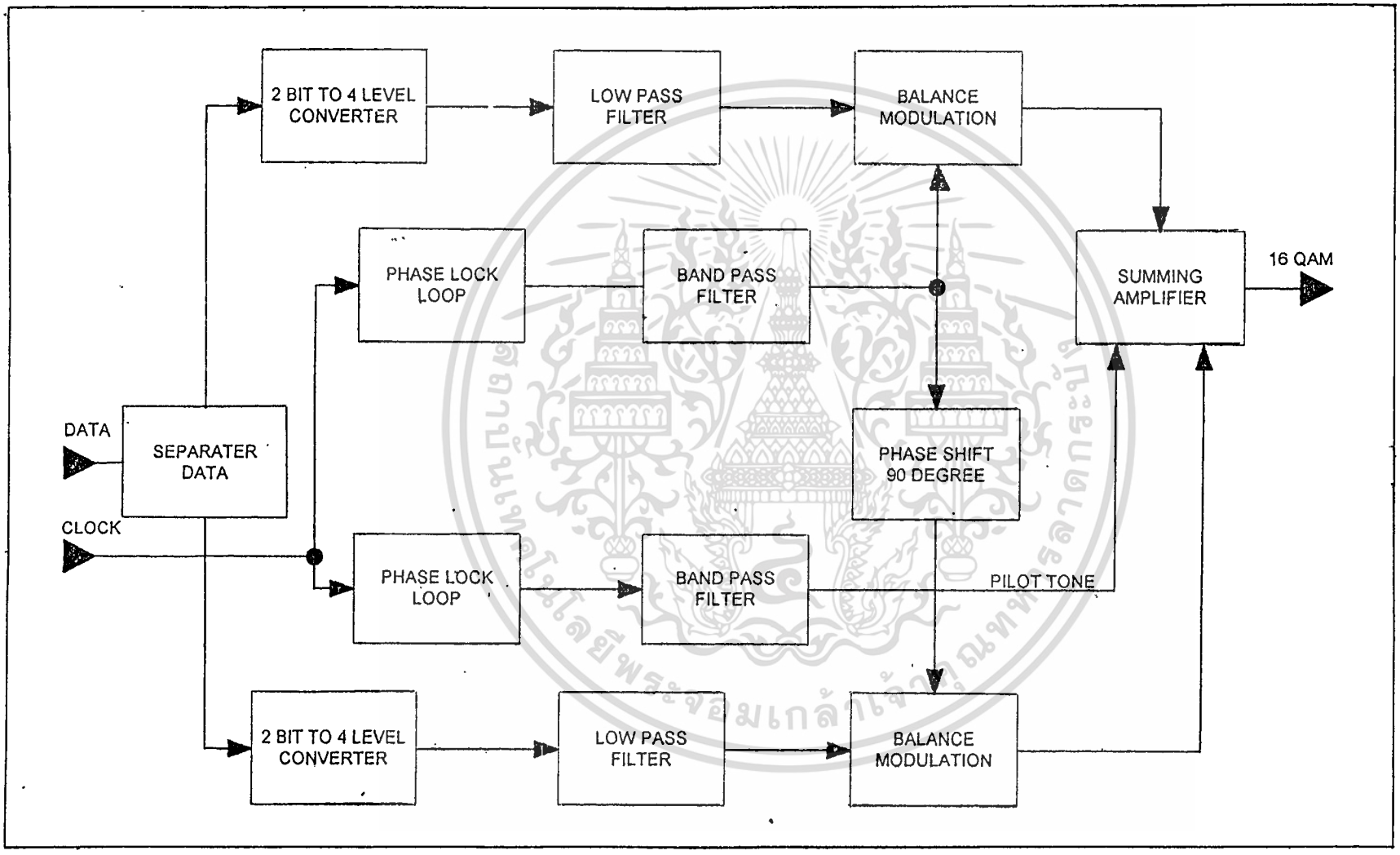
พยุง ม่วงงาม เทคนิคการส่งข้อมูลดิจิตอลความเร็วสูง ปริญานิพนธ์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง พ.ศ. 2538,53 หน้า

ยอด นาคเจือทอง QPSK โมเด็มซิงโครไนซ์ด้วยไพล็อตโทน ปริญานิพนธ์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง พ.ศ. 2538,86 หน้า

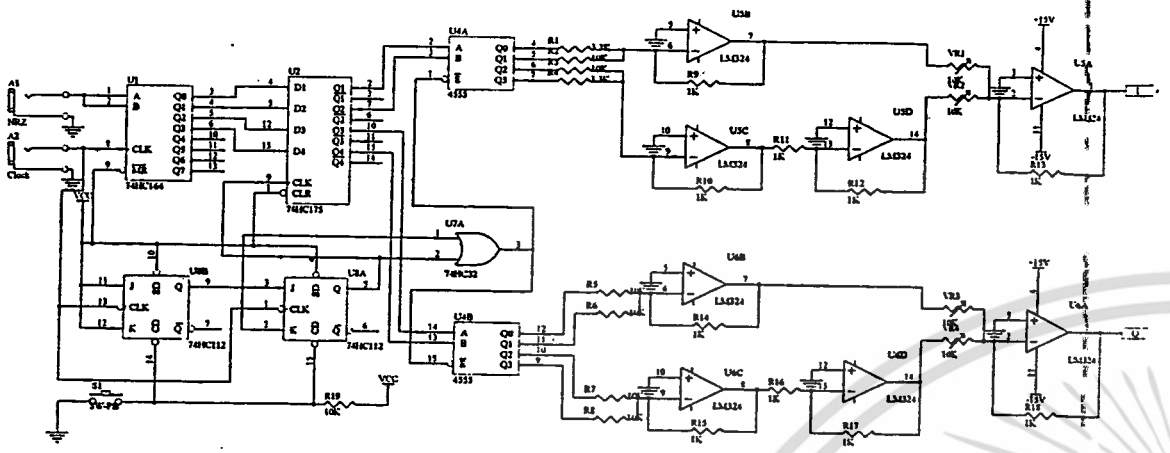
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

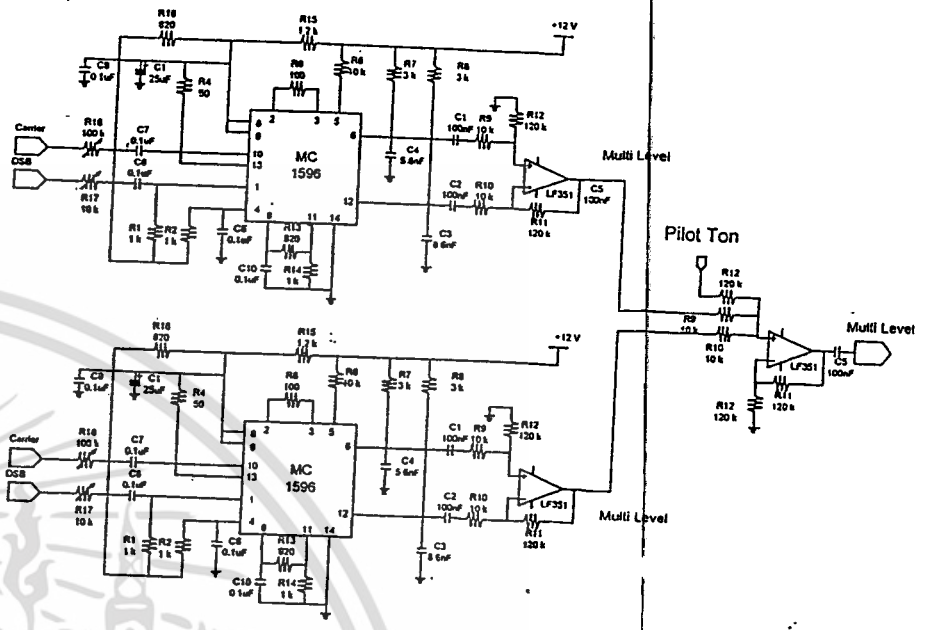
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



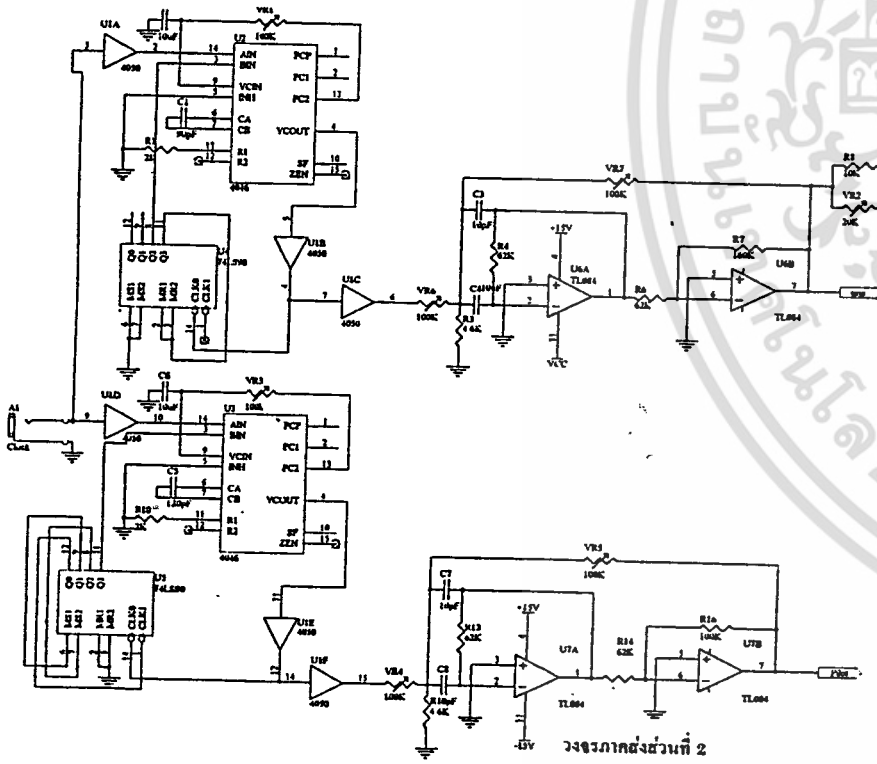
รูปที่ 10 BLOCK DIAGRAM 16 QAM TRANSMITTER



วงจรภาคส่วนที่ 1



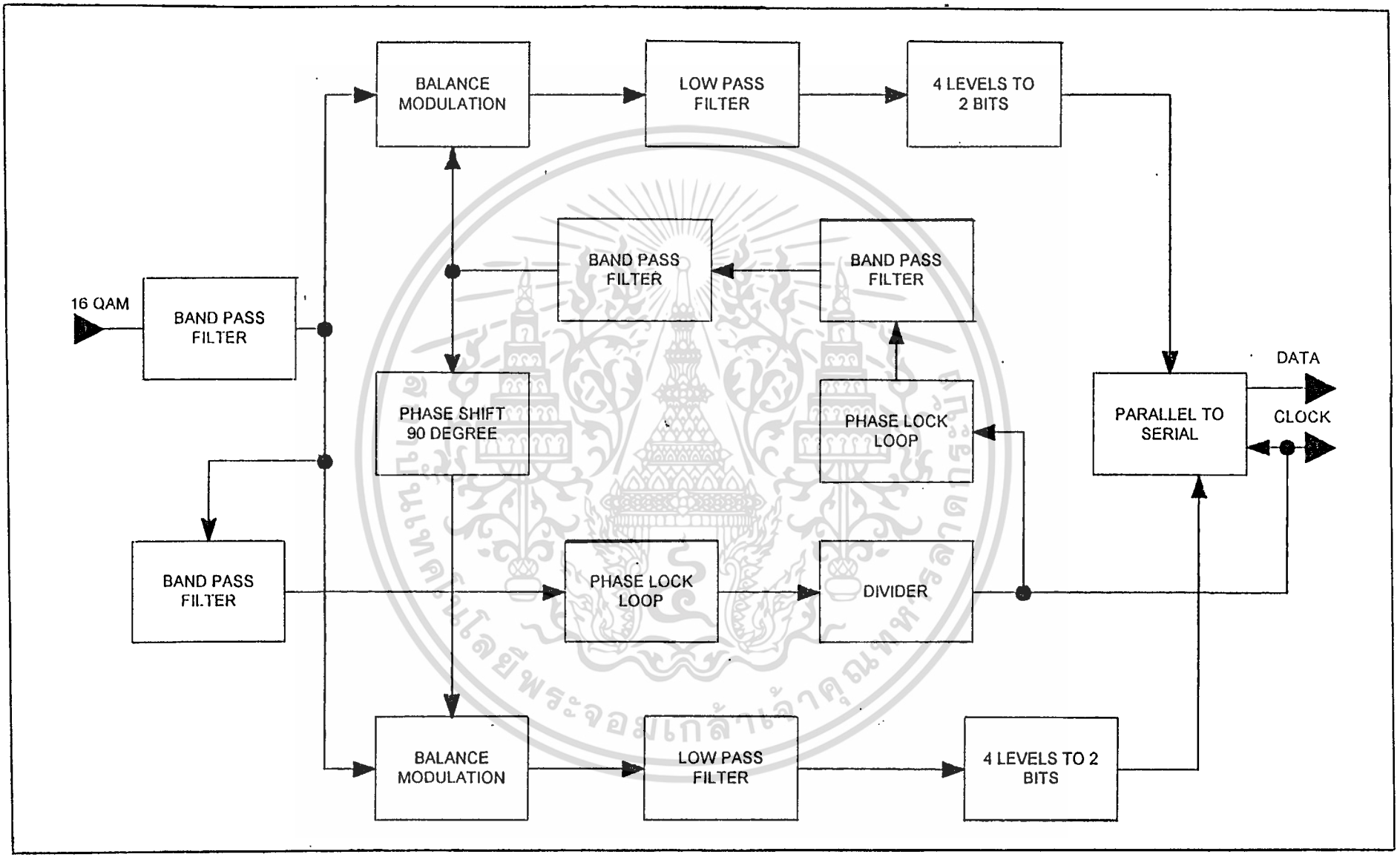
วงจรภาคส่วนที่ 3



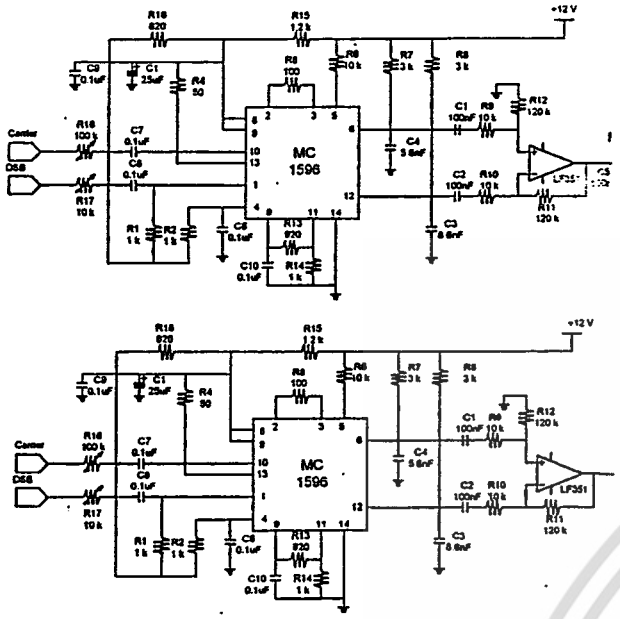
วงจรภาคส่วนที่ 2

รูปที่ 11 วงจรภาคส่ง

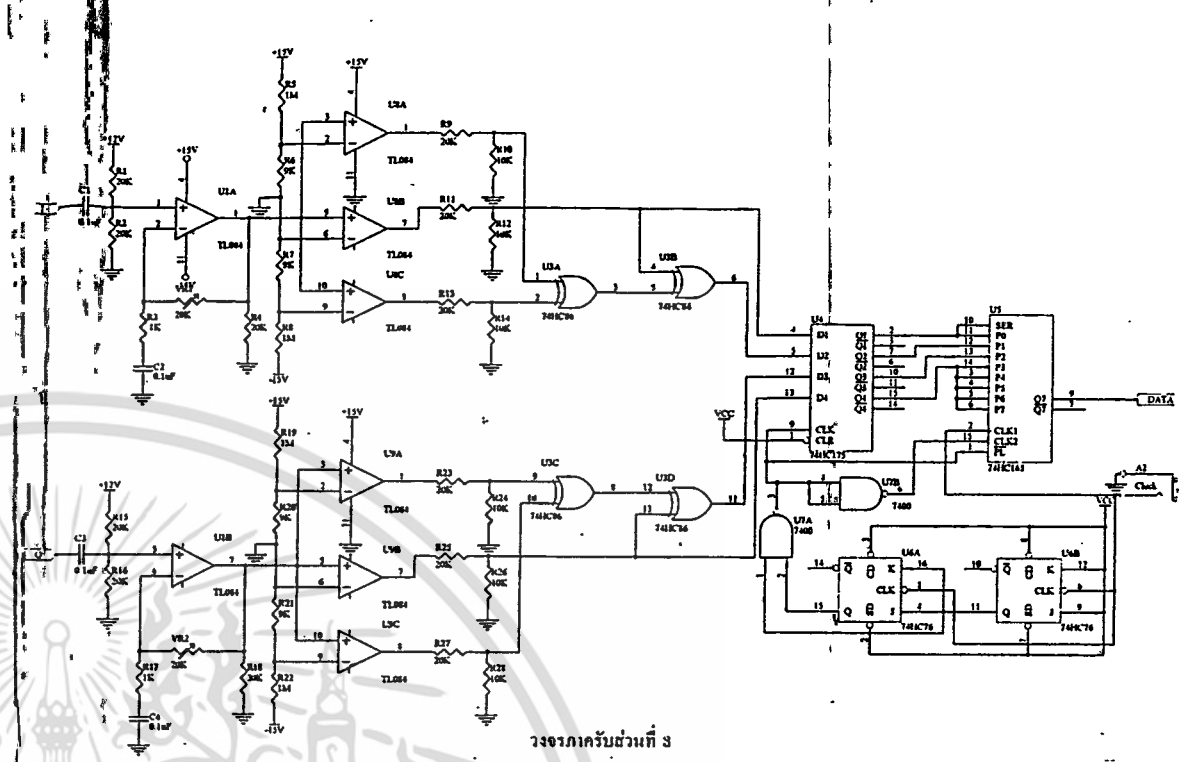
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



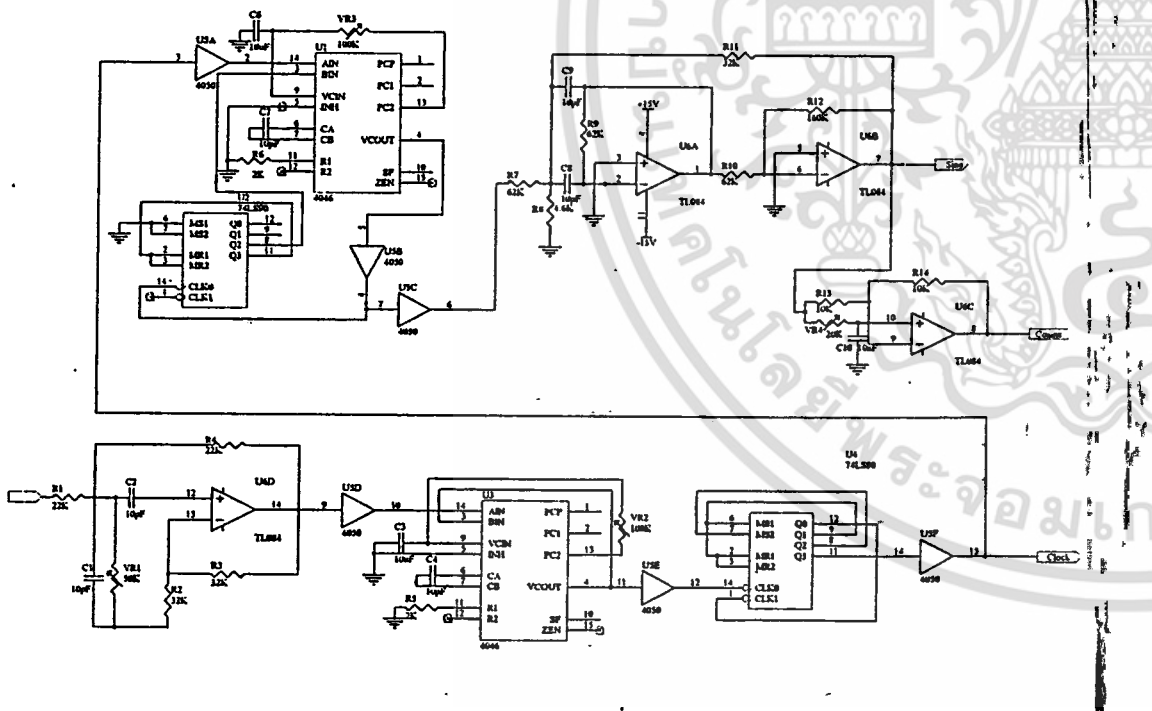
รูปที่ 12 BLOCK DIAGRAM 16 QAM RECIEVER



วงจรภาครับส่วนที่ 1



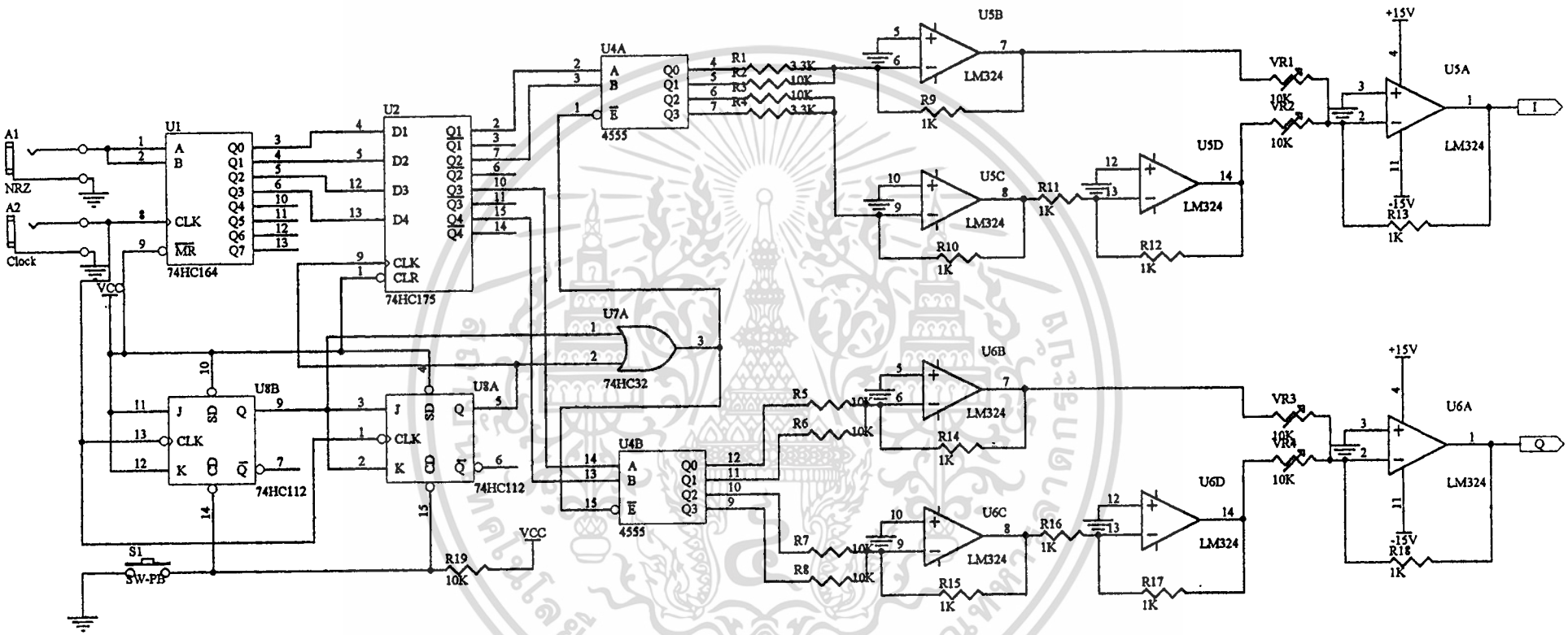
วงจรภาครับส่วนที่ 3



วงจรภาครับส่วนที่ 2

รูปที่ 13 วงจรภาครับ

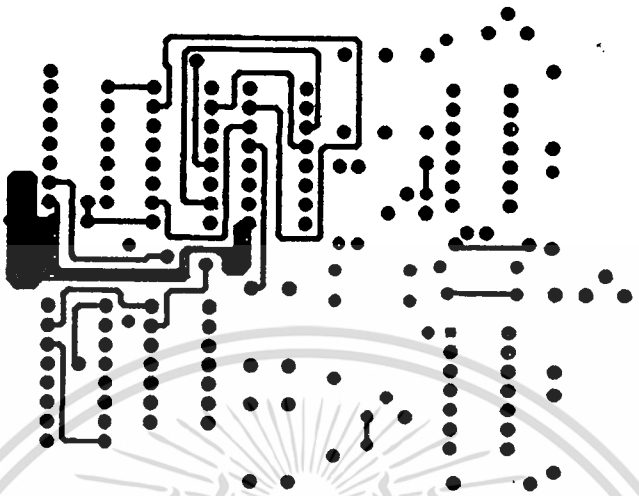
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



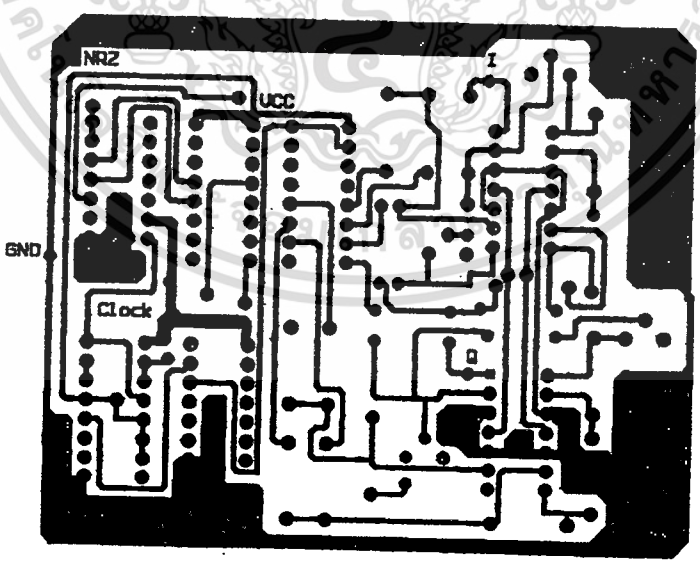
รูปที่ 14 วงจรภาคส่งส่วนที่ 1

Title: TRANSMISTION 1		
Size: A4	Number: Text	Revision
Date: 17-Apr-1997		Sheet of
File: C:\CAT\TEMP\16-T1.SCH		Drawn By:

รูปที่ 15 ลายวงจรพิมพ์และตำแหน่งการจัดวางอุปกรณ์ของวงจรภาคส่งส่วนที่ 1

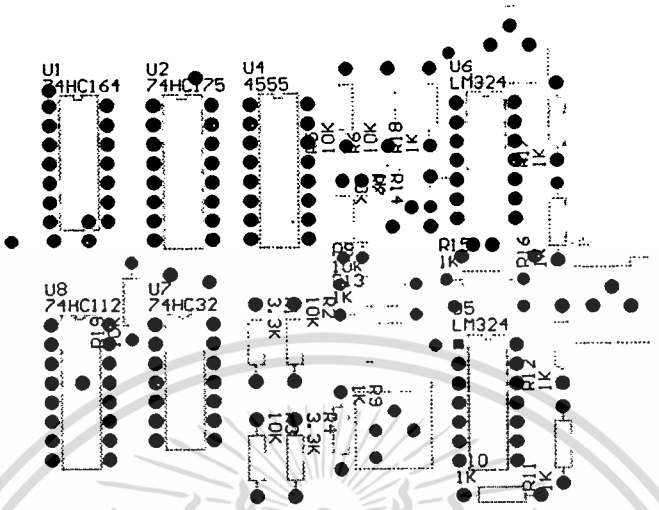


ลายวงจรพิมพ์ด้านบน (Top Layer)



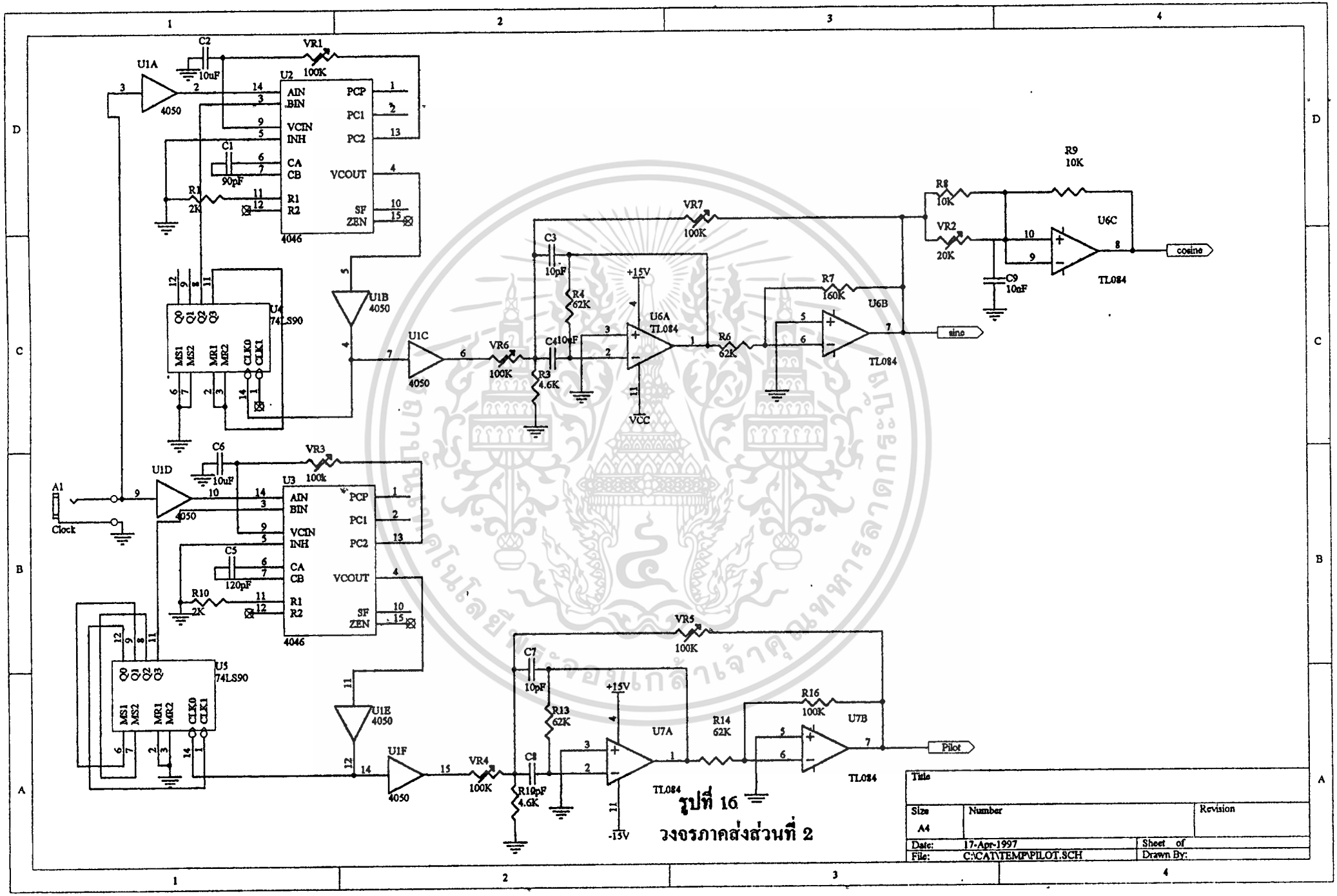
ลายวงจรพิมพ์ด้านล่าง (Bottom Layer)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ตำแหน่งการจัดวางอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

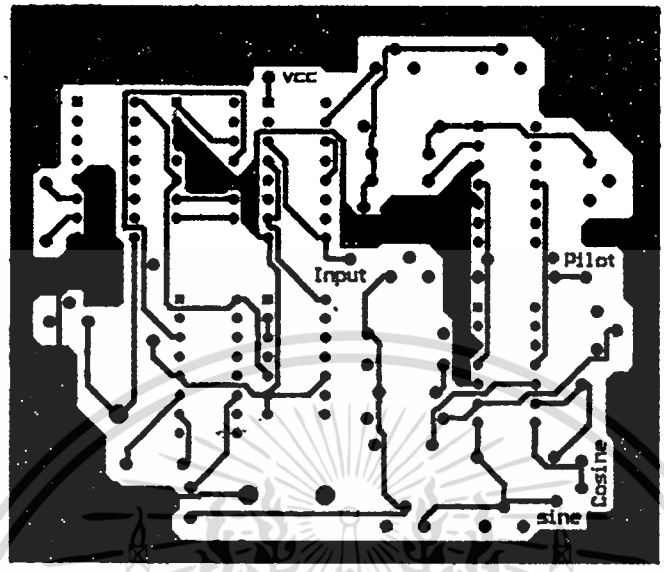


รูปที่ 16

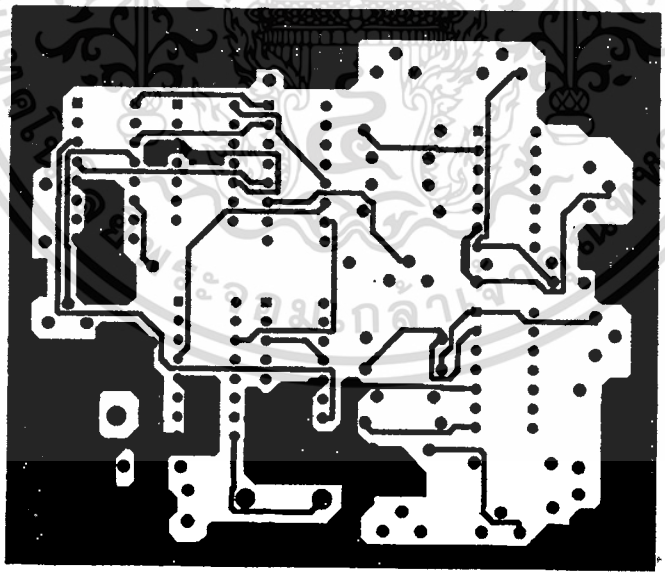
วงจรภาคส่งส่วนที่ 2

Title		
Size: A4	Number	Revision
Date: 17-Apr-1997		Sheet of
File: C:\CAT\TEMP\PILOT.SCH		Drawn By:

รูปที่ 17 ลายวงจรพิมพ์และตำแหน่งการจัดวางอุปกรณ์ของวงจรภาคส่งส่วนที่ 2

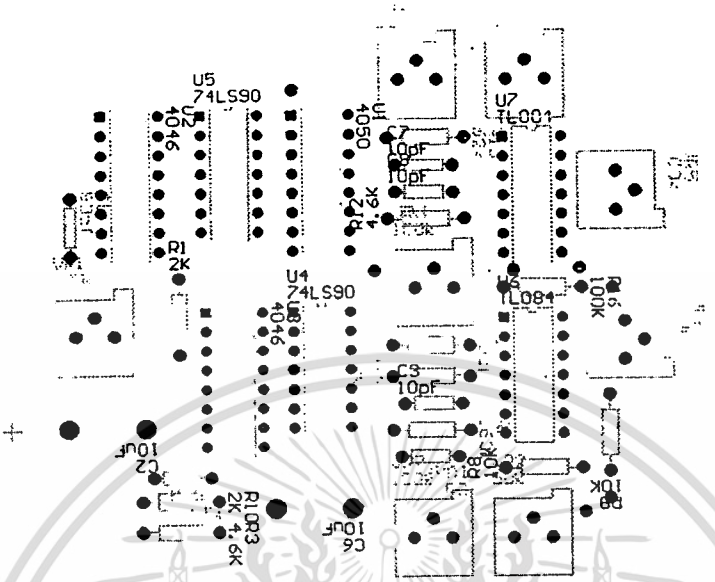


ลายวงจรพิมพ์ด้านบน (Top Layer)



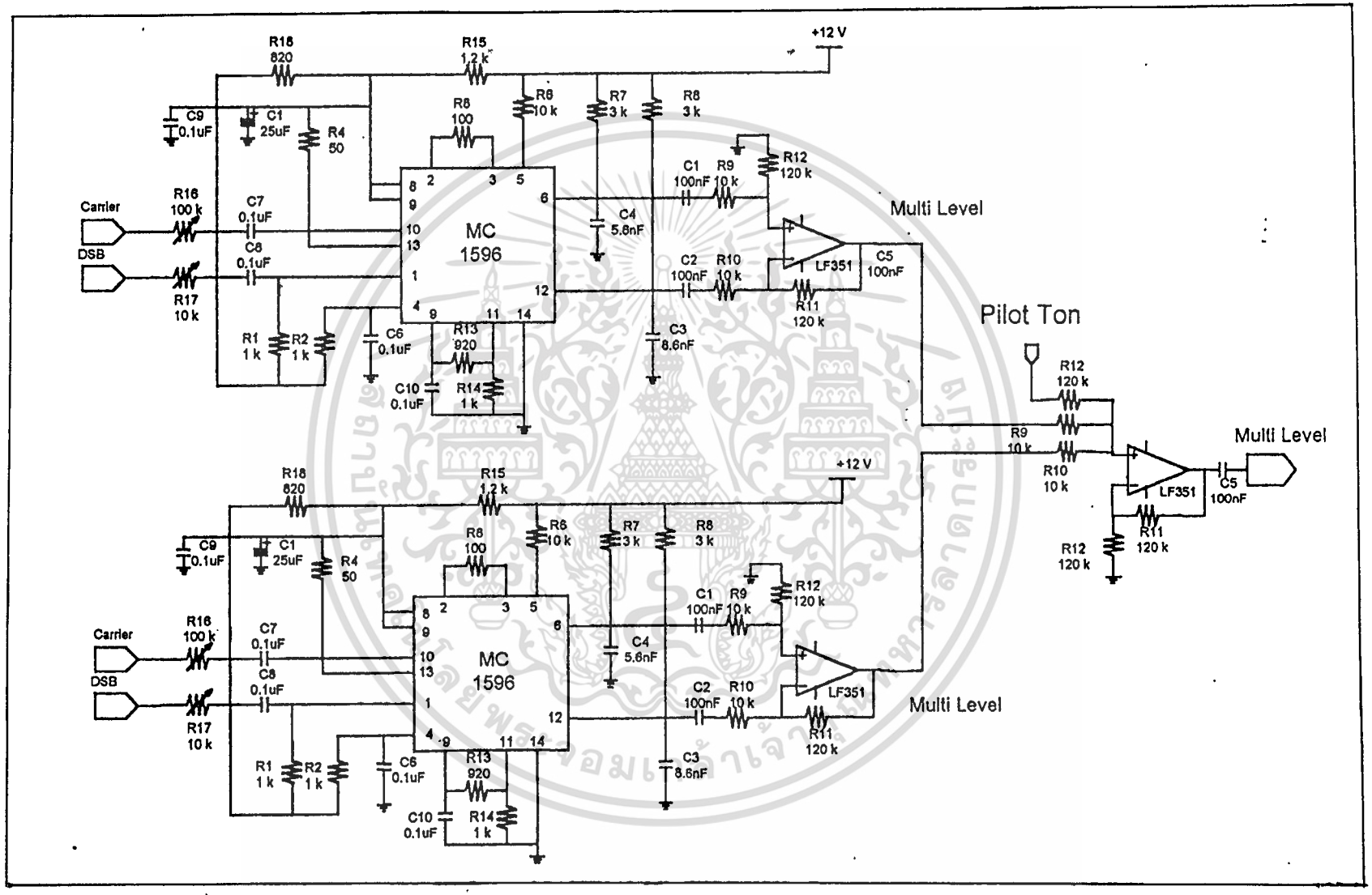
ลายวงจรพิมพ์ด้านล่าง (Bottom Layer)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



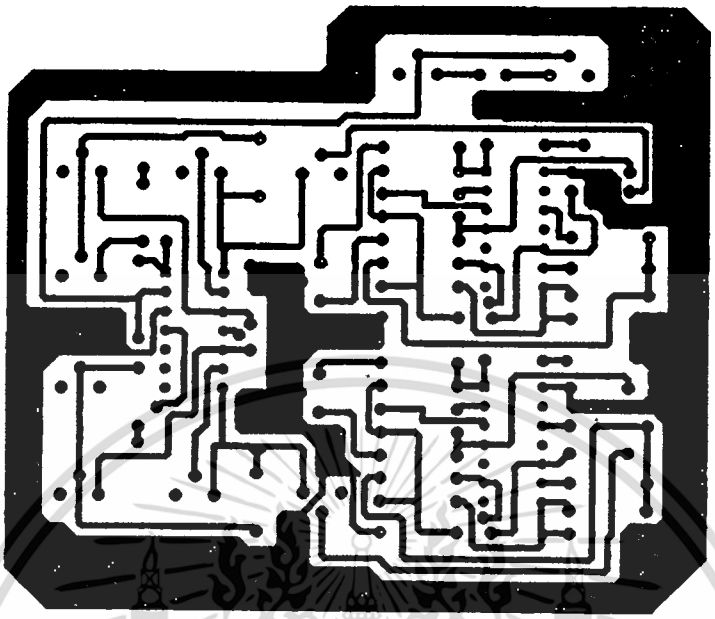
ตำแหน่งการจัดวางอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

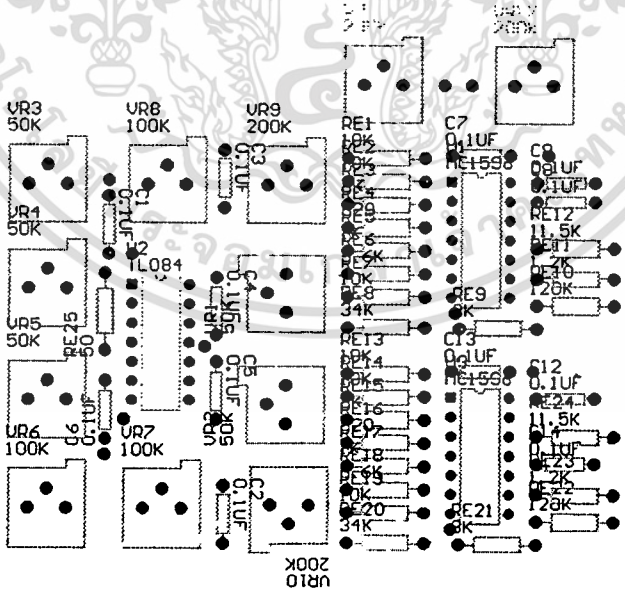


รูปที่ 18 วงจรภาคส่งส่วนที่ 3

รูปที่ 19 ลายวงจรพิมพ์และตำแหน่งการจัดวางอุปกรณ์ของวงจรภาคส่งส่วนที่ 3

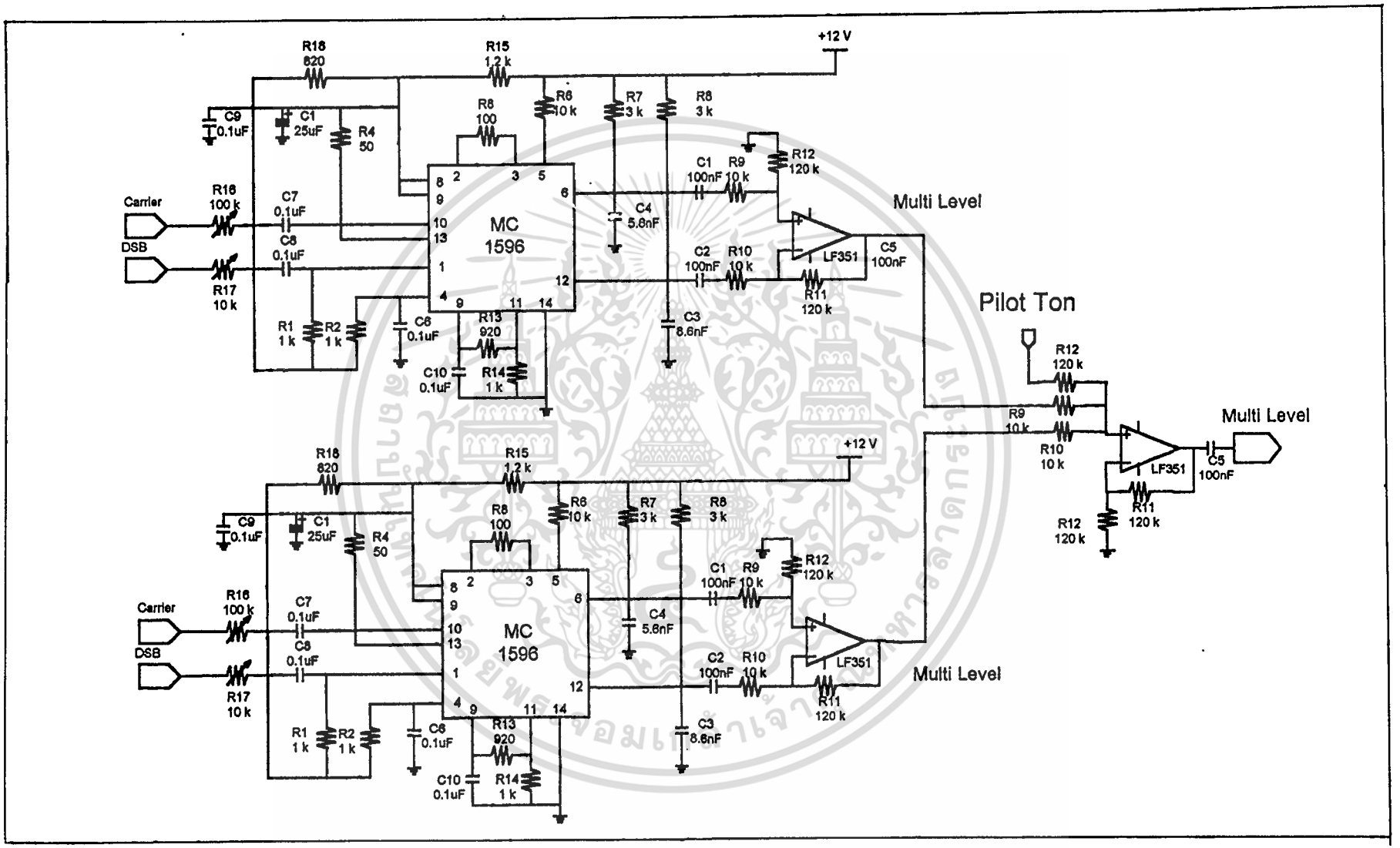


ลายวงจรพิมพ์



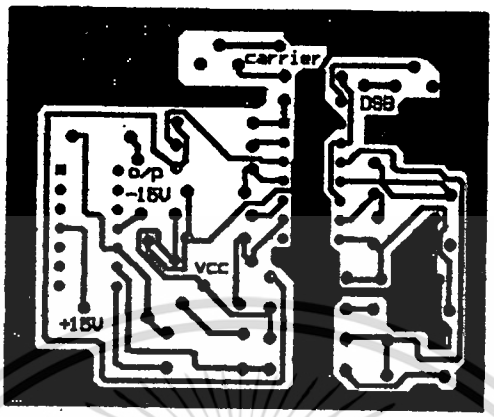
ตำแหน่งการจัดวางอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

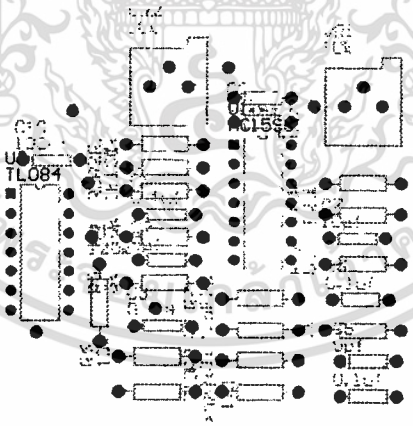


รูปที่ 20 วงจรภาครับส่วนที่ 1

รูปที่ 21 ลายวงจรพิมพ์และตำแหน่งการจัดวางอุปกรณ์ของวงจรภาครับส่วนที่ 1

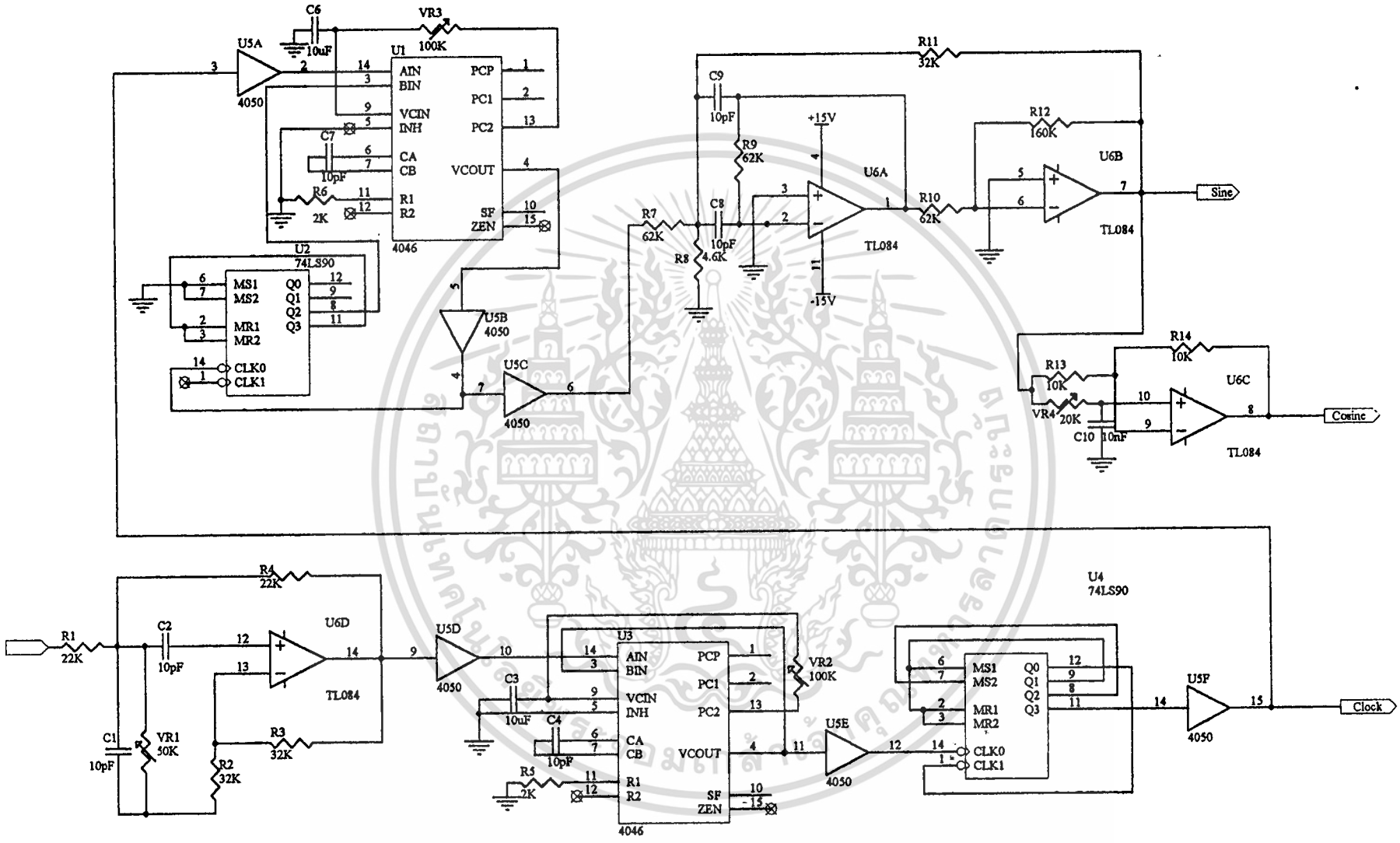


ลายวงจรพิมพ์



ตำแหน่งการจัดวางอุปกรณ์

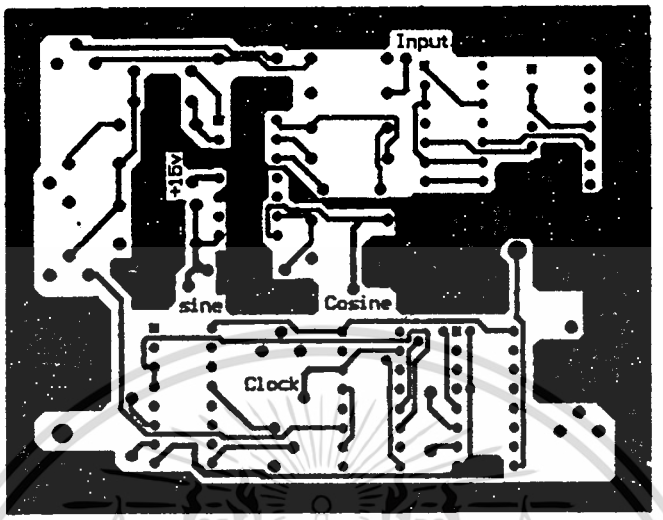
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



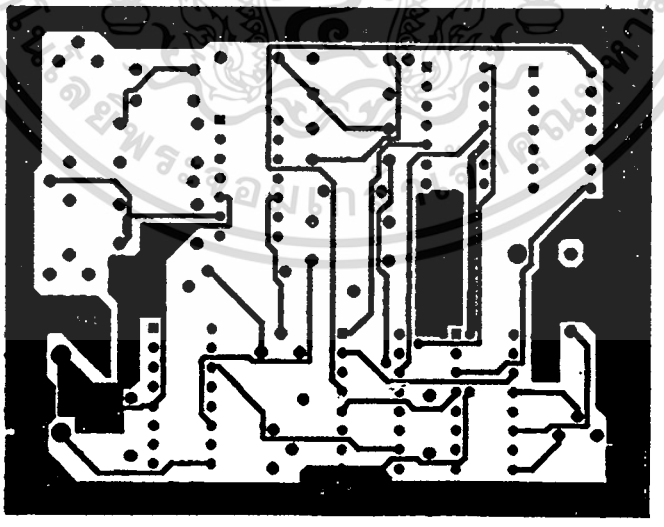
รูปที่ 22 วงจรภาครับส่วนที่ 2

Title		
Size: A4	Number	Revision
Date: 17-Apr-1997		Sheet of
File: C:\CAT\TEMP\RE-PILOT.SCH		Drawn By:

รูปที่ 23 ลายวงจรพิมพ์และตำแหน่งการจัดวางอุปกรณ์ของวงจรภาครับส่วนที่ 2

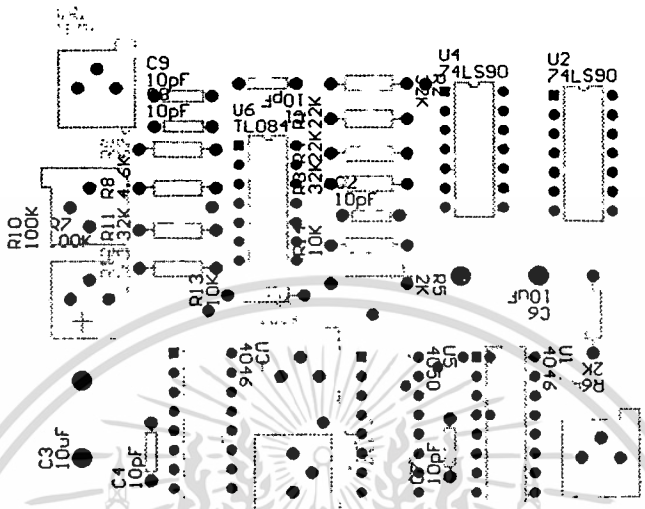


ลายวงจรพิมพ์ด้านบน (Top Layer)



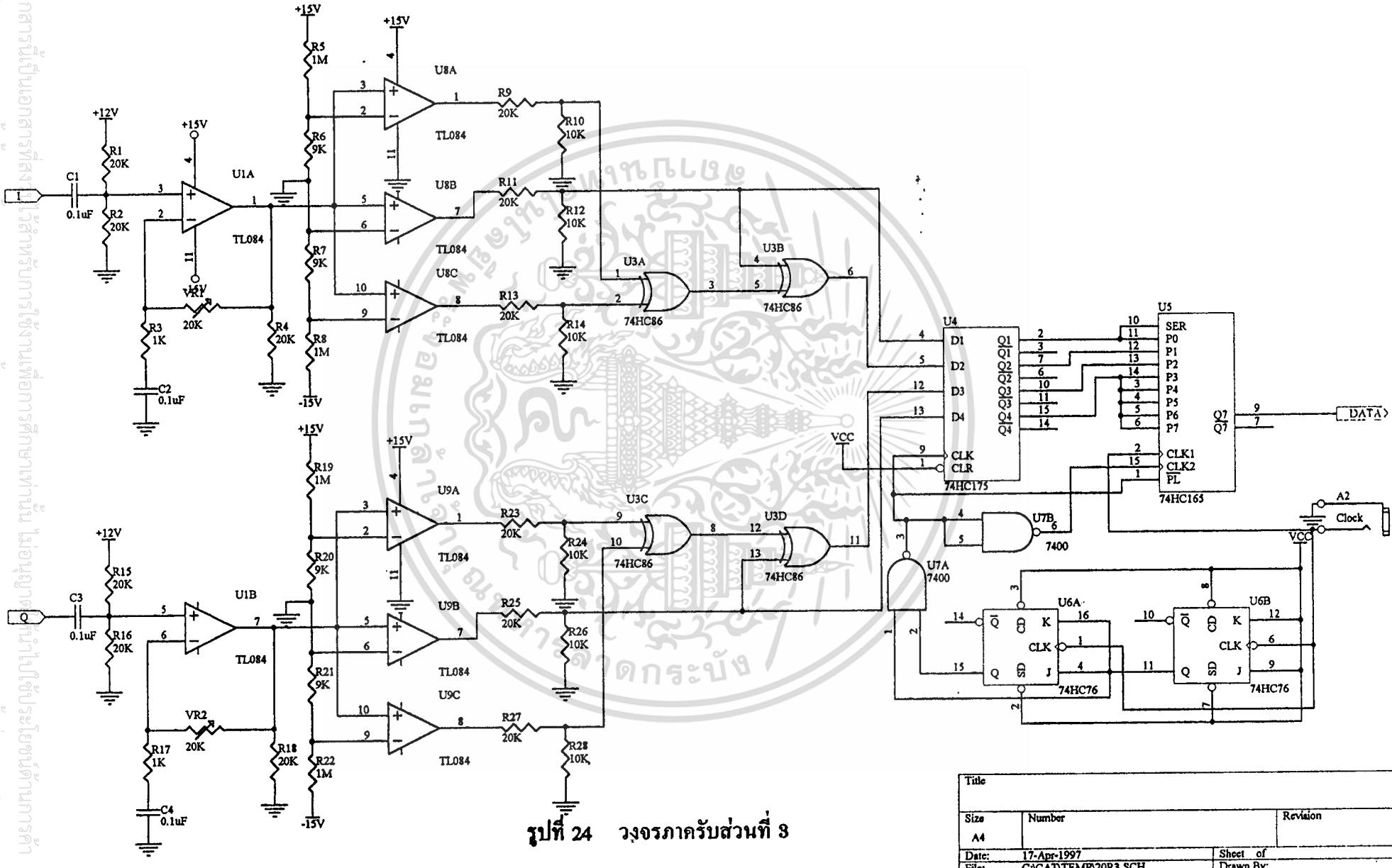
ลายวงจรพิมพ์ด้านล่าง (Bottom Layer)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



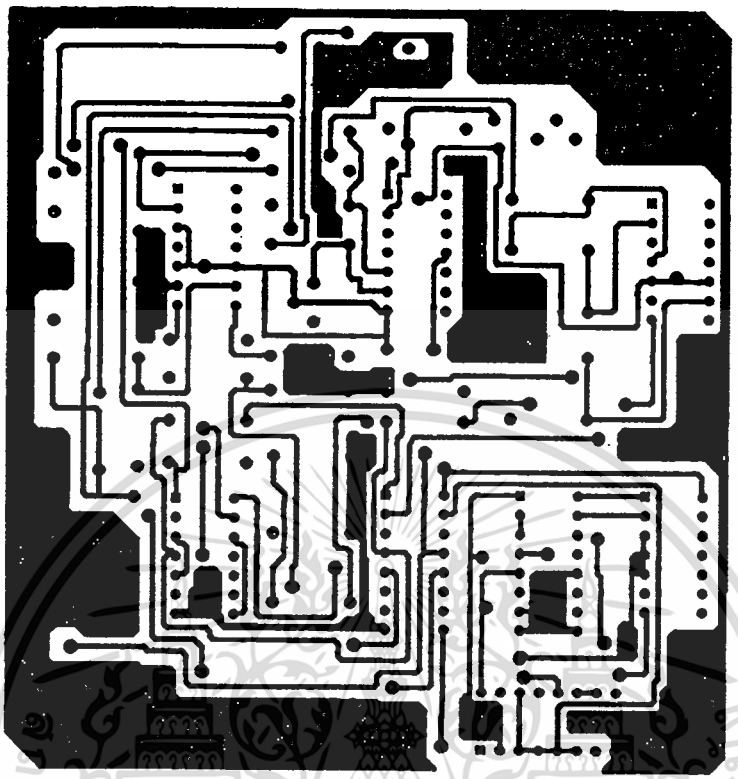
ตำแหน่งการจัดวางอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

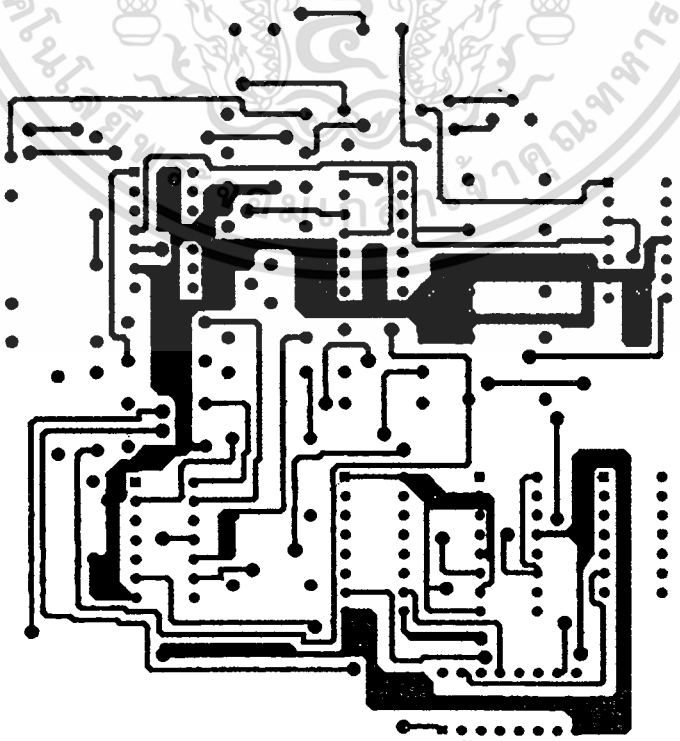


รูปที่ 24 วงจรภาครับส่วนที่ 3

รูปที่ 25 ลายวงจรพิมพ์และตำแหน่งการจัดวางอุปกรณ์ของวงจรภาครับส่วนที่ 3

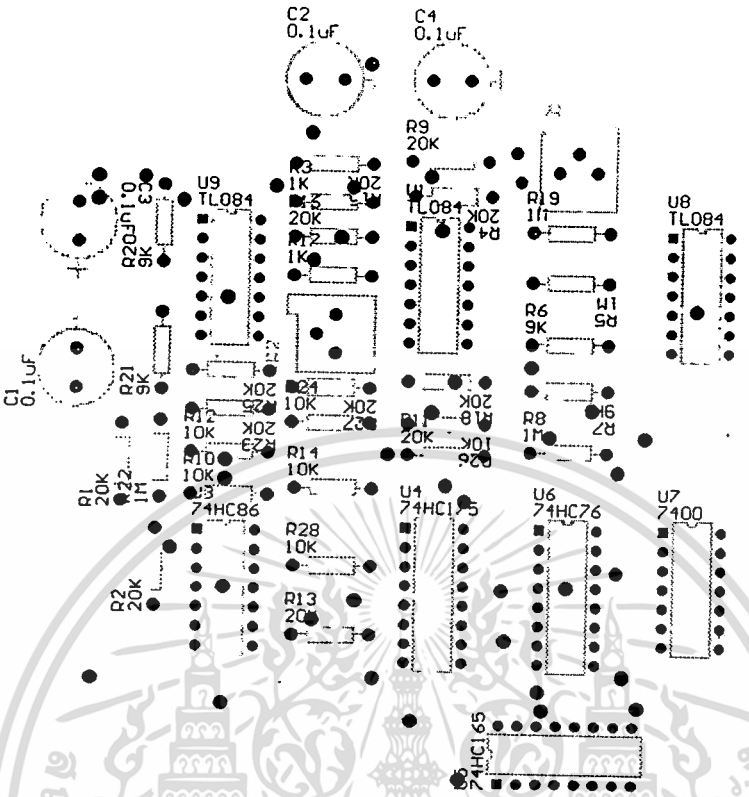


ลายวงจรพิมพ์ด้านบน (Top Layer)



ลายวงจรพิมพ์ด้านล่าง (Bottom Layer)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ตำแหน่งการจัดวางอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

MC1496
MC1596

Specifications and Applications Information

BALANCED MODULATOR/DEMODULATOR

SILICON MONOLITHIC INTEGRATED CIRCUIT

BALANCED MODULATOR/DEMODULATOR

. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression — 65 dB typ @ 0.5 MHz
  — 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection — 85 dB typ

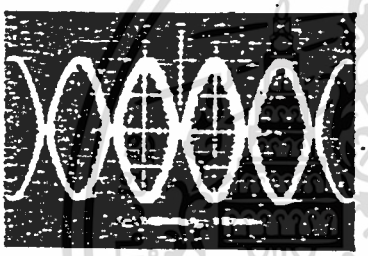


FIGURE 1 — SUPPRESSED-CARRIER OUTPUT WAVEFORM

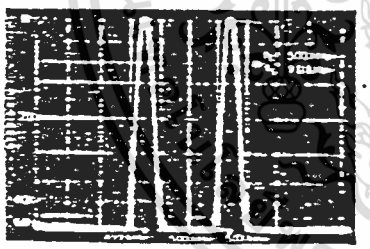


FIGURE 2 — SUPPRESSED-CARRIER SPECTRUM

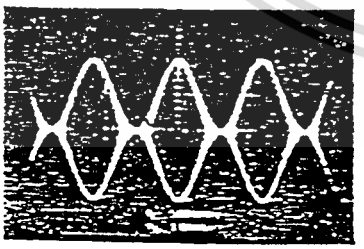


FIGURE 3 — AMPLITUDE MODULATION OUTPUT WAVEFORM

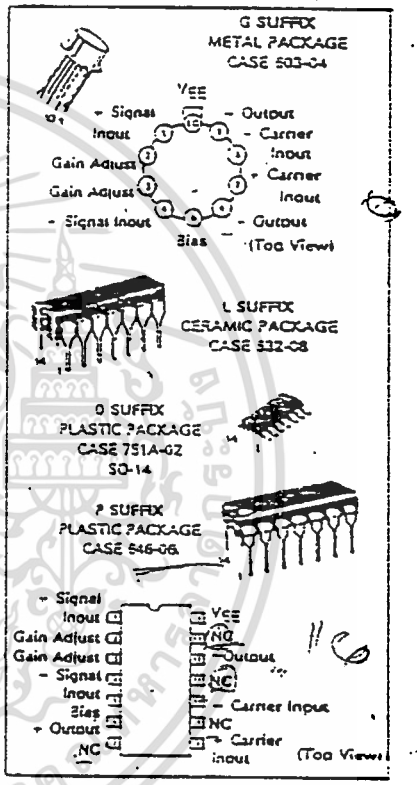
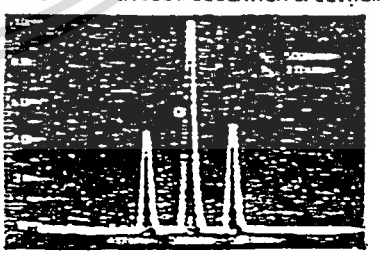


FIGURE 4 — AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_5 - V_7$, $V_8 - V_1$, $V_9 - V_7$, $V_8 - V_8$, $V_7 - V_4$, $V_7 - V_1$, $V_8 - V_4$, $V_4 - V_8$, $V_7 - V_5$, $V_7 - V_6$)	ΔV	30	Vdc
Differential Input Signal	$V_7 - V_8$ $V_4 - V_1$	±5.0 ±(5 - I_5R_5)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C unless otherwise noted) (All input and output characteristics are single-ended unless otherwise noted.)

Characteristic		Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough		5	1	V_{CFT}							μVrms
V_C = 60 mVrms sine wave and offset adjusted to zero	f_C = 1.0 kHz				—	40	—	—	40	—	
	f_C = 10 MHz				—	140	—	—	140	—	
V_C = 300 mV p-p square wave:											mVrms
offset adjusted to zero	f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	
offset not adjusted	f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression f_S = 10 kHz, 300 mVrms		5	2	V_{CS}							dB
f_C = 500 kHz, 60 mVrms sine wave					50	65	—	40	65	—	
f_C = 10 MHz, 60 mVrms sine wave					—	50	—	—	50	—	
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms) Carrier Input Port, V_C = 60 mVrms sine wave f_S = 1.0 kHz, 300 mVrms sine wave Signal Input Port, V_S = 300 mVrms sine wave $\|V_{CI}\|$ = 0.5 Vdc		8	3	BW_{3dB}	—	300 80	—	—	300 80	—	MHz
Signal Gain V_S = 100 mVrms, f = 1.0 kHz; $\|V_{CI}\|$ = 0.5 Vdc		10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance Parallel Input Capacitance		6	—	r_{ip} C_{ip}	— —	200 2.0	— —	— —	200 2.0	— —	kΩ pF
Single-Ended Output Impedance, f = 10 MHz Parallel Output Resistance Parallel Output Capacitance		9	—	r_{oo} C_{oo}	— —	40 5.0	— —	— —	40 5.0	— —	kΩ pF
Input Bias Current $I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$		7	—	I_{bS} I_{bC}	— —	12 12	25 25	— —	12 12	30 30	μA
Input Offset Current $I_{oS} = I_1 - I_4$; $I_{oC} = I_7 - I_8$		7	—	I_{osS} I_{osC}	— —	0.7 0.7	5.0 5.0	— —	0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)		7	—	TC_{Ios}	—	±2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_5 - I_6$)		7	—	I_{oo}	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)		7	—	TC_{Ioo}	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz		9	4	CMV	—	5.0	—	—	5.0	—	Vpp
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_{CI}\|$ = 0.5 Vdc		9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)		10	—	V_{out}	—	8.0	—	—	8.0	—	Vdc
Differential Output Voltage Swing Capability		10	—	V_{out}	—	8.0	—	—	8.0	—	Vpp
Power Supply Current I_5 = I_6 I_{10}		7	6	I_{CC} I_{EE}	— —	2.0 3.0	3.0 4.0	— —	2.0 3.0	4.0 5.0	mAdc
DC Power Dissipation		7	5	P_D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Note 1 — Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Note 2 — Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit current feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input signal amplitude (see Note 3 and Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for most carrier suppression and minimum spurious sideband generation.

Ac ripple transmission through the bias system is another source of carrier feedthrough. Sometimes it may be necessary in order to maximize carrier suppression, to bypass the bias resistor leads to ground with adequate capacity, or to use a bias source with lower ripple.

Note 3 — Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain.

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_E + 2r_e} \quad \text{where } r_e = \frac{.25\ mV}{I_5\ (mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and the transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a certain value determined by R_E and the bias current I_5.

$$V_S \leq I_5 R_E \text{ Volts peak}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Note 4 — Common-Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen (see Note 6).

Note 5 — Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port (i.e. assuming $V_6 - V_5$, $I_5 = I_6$) and allowing base current, $P_D = 2\,I_5\,|V_6 - V_{10}| + I_5\,|V_5 - V_{10}|$ where subscripts refer to pin numbers.

Note 6 — Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions. See Note 3 for R_E equation.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assuming

$$I_5 = I_6 + I_B$$

$$I_B \ll I_C \text{ for all transistors}$$

then

$$R_5 = \frac{V^- - 0}{I_5} - 500\ \Omega \quad \text{where } R_5 \text{ is the resistor between pin 5 and ground}$$

$$\phi = 0.75\ V \text{ at } T_A = +25^\circ C$$

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_5 = V_6 = V^+ - I_5 R_L$$

Note 7 — Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting the these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the Absolute Maximum rating table.

$$20\ \text{Vdc} \geq |(V_5, V_8) - (V_7, V_8)| \geq 2\ \text{Vdc}$$

$$20\ \text{Vdc} \geq |(V_7, V_8) - (V_1, V_4)| \geq 2.7\ \text{Vdc}$$

$$20\ \text{Vdc} \geq |(V_1, V_4) - (V_5, 0)| \geq 2.7\ \text{Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_5 = V_6, \quad V_7 = V_8, \quad V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and, can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Note 8 — Transconductance Bandwidth

Carrier transconductance bandwidth is the 3-dB bandwidth of the device forward transconductance as defined by:

$$Y_{21C} = \left| \frac{i_o\ (\text{each sideband})}{v_i\ (\text{signal})} \right|_{V_O = 0}$$

Signal transconductance bandwidth is the 3-dB bandwidth of the device forward transconductance as defined by:

$$Y_{21S} = \left| \frac{i_o\ (\text{signal})}{v_i\ (\text{signal})} \right|_{V_C = 0.5\ \text{Vdc},\ V_O = 0}$$

*Pin number reference pertains to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note 9 – Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Note 10 – Output Signal, V_o

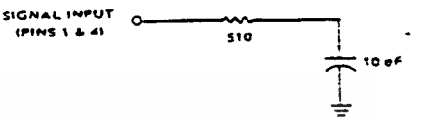
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Note 11 – Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Note 12 – Signal Port Stability

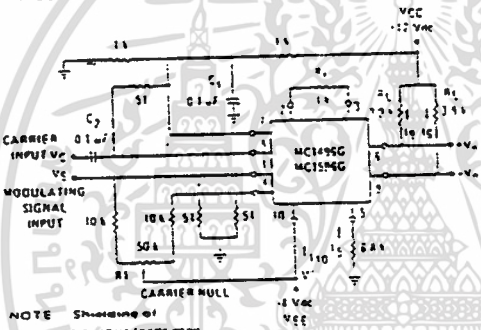
Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 k-ohm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION



NOTE Shielding of input and output leads may be needed to accurately perform these tests.

FIGURE 6 – INPUT-OUTPUT IMPEDANCE

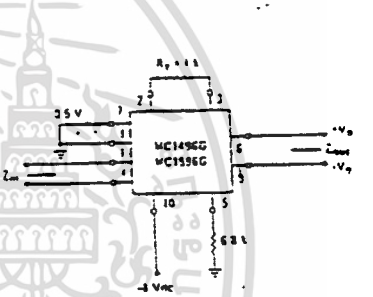


FIGURE 7 – BIAS AND OFFSET CURRENTS

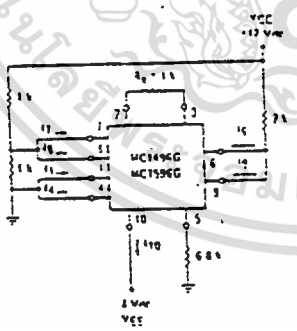
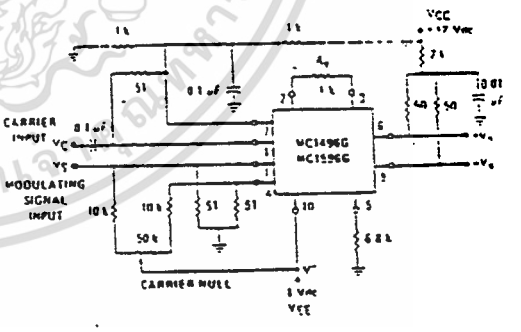


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



NOTE Pin numbers referenced herein to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON-MODE GAIN

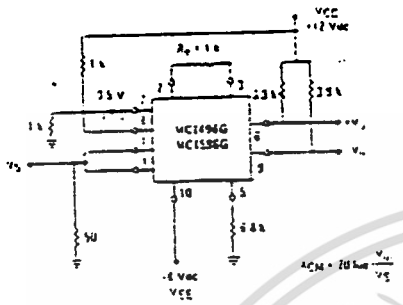
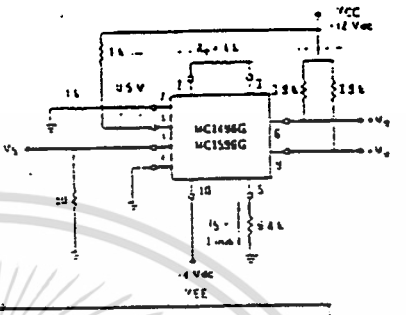


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



NOTE

TYPICAL CHARACTERISTICS (continued)

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

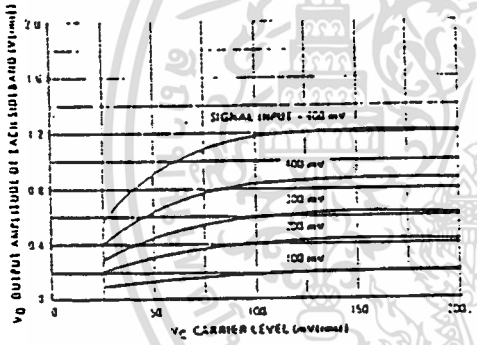


FIGURE 12 – SIGNAL PORT PARALLEL EQUIVALENT INPUT RESISTANCE versus FREQUENCY

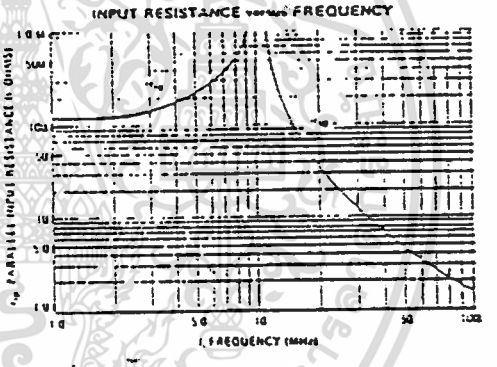


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

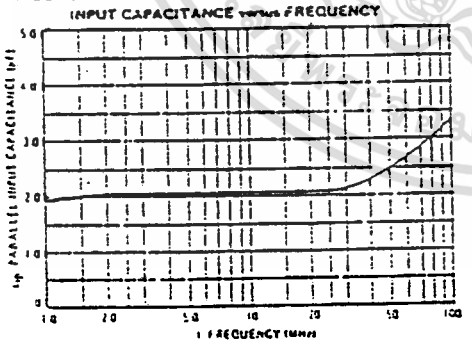
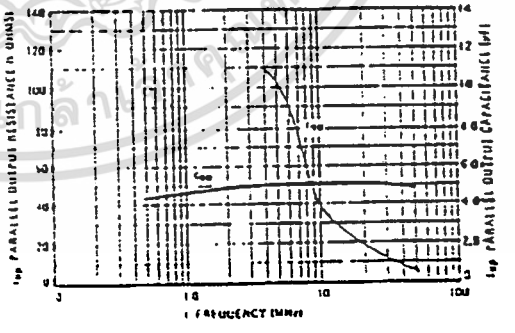


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

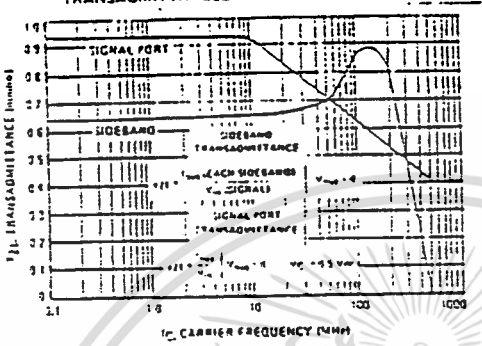


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

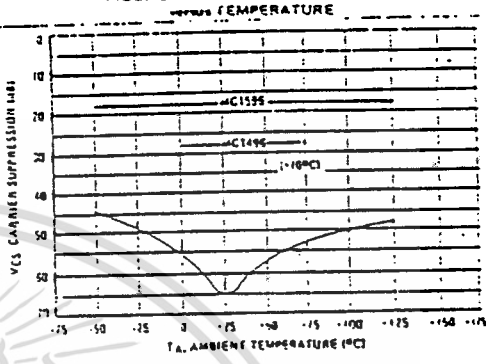


FIGURE 17 – SIGNAL PORT FREQUENCY RESPONSE

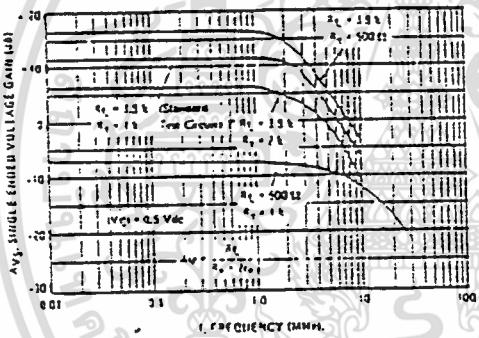


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

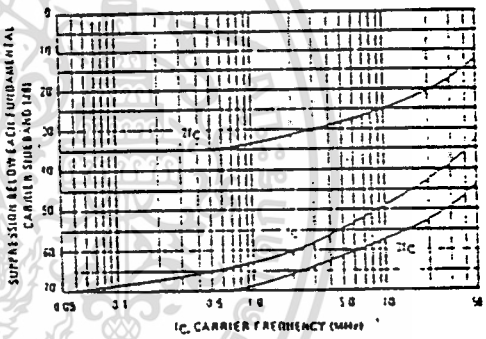


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

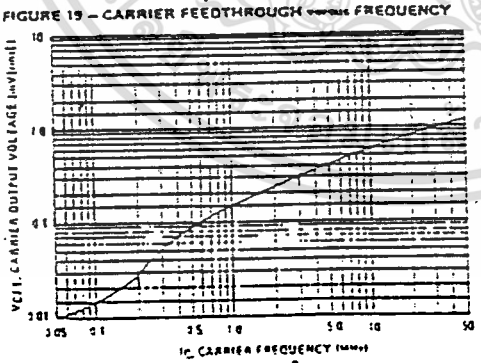
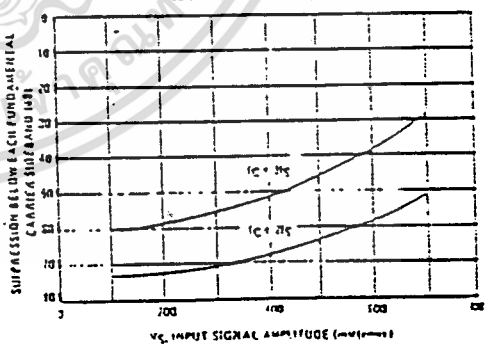


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

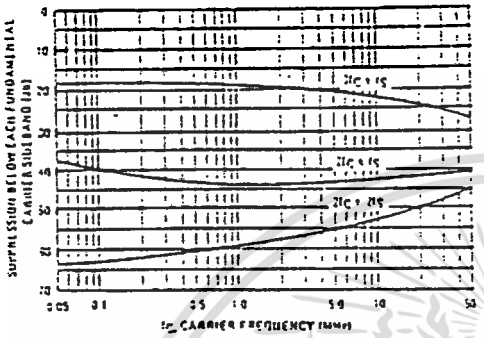
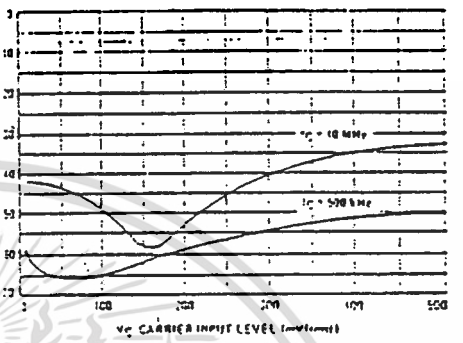


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1595/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

The circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, double balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

FIGURE 23 – CIRCUIT SCHEMATIC

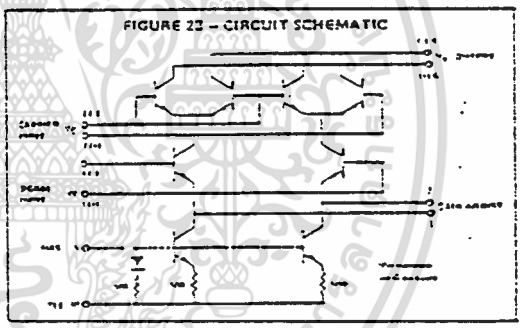
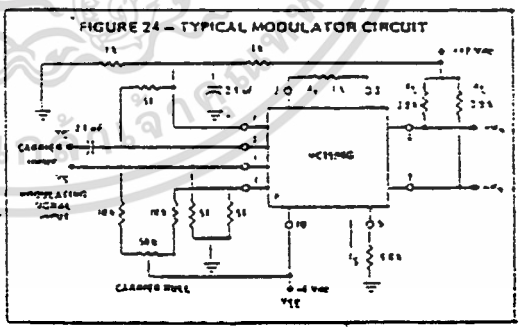


FIGURE 24 – TYPICAL MODULATOR CIRCUIT



Signal Level

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

NOTE Pin numbers references pertain to the device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequencies
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M$, $3f_C \pm f_M$, $5f_C \pm f_M$, ...

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases.
2. V_C = Carrier Input Voltage.
3. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
4. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
5. R_L = Load resistance.
6. R_E = Emitter resistance between pins 2 and 3.
7. r_e = Transistor dynamic emitter resistance, at +25°C:

$$r_e \cong \frac{25 \text{ mV}}{I_5 \text{ (mA)}}$$

8. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.

$$\frac{KT}{q} \cong 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 µF capacitors on pins 7 and 8 should be increased to 1.0 µF. Also, the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) minimum level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

Double-Balanced Mixer

The MC1596/MC1496 may be used as a double-balanced mixer with either broadband or tuned narrow-band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector when two input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

NOTE: Pin number references contain no information when used alone in a written text. To ascertain the corresponding pin numbers for plastic or ceramic dual-in-line packages refer to the first page of this specification sheet.

TYPICAL APPLICATIONS

FIGURE 26 – BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

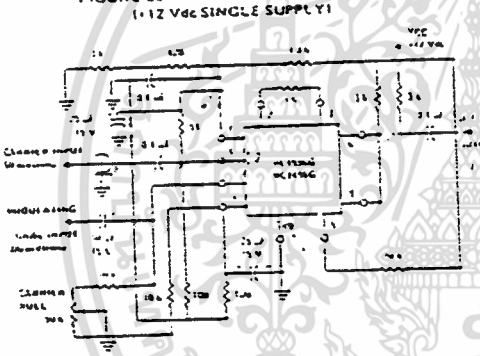


FIGURE 27 – BALANCED MODULATOR-DEMODULATOR

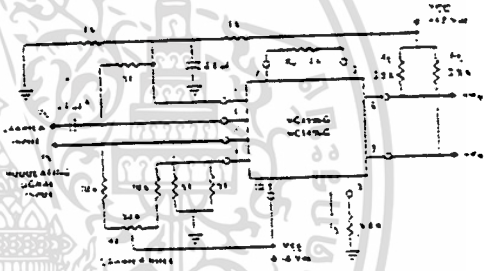


FIGURE 28 – AM MODULATOR CIRCUIT

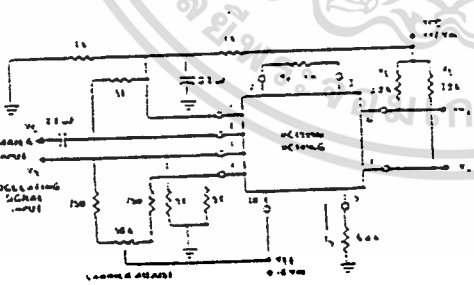
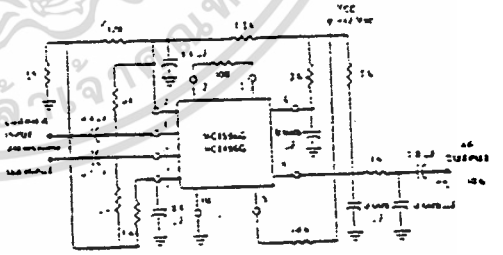


FIGURE 29 – PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4046B
SCL4446B

CMOS PHASE-LOCKED LOOPS

FEATURES

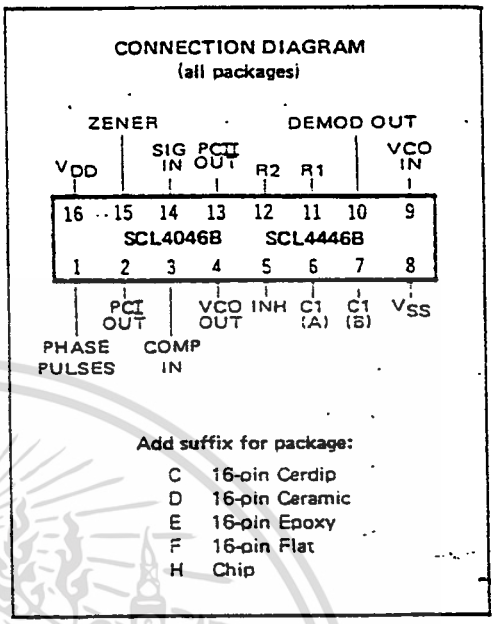
- Very low power consumption — 70 μW (typ) @ f_o = 10kHz, 5Vdc
- Operating frequency range (no offset) — Up to 3MHz (typ) @ 10Vdc (SCL4046B) Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- Low frequency drift — 0.04%/°C (typ) @ 10Vdc
- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- High VCO linearity 1% (typ)
- Source-follower output of VCO control input (Demodulator Output)
- Zener Diode to assist Supply Regulation
- Balanced Output Drive Current Specifications

APPLICATIONS

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK-Modems
- Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{out}, and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals $PCII_{out}$ and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM

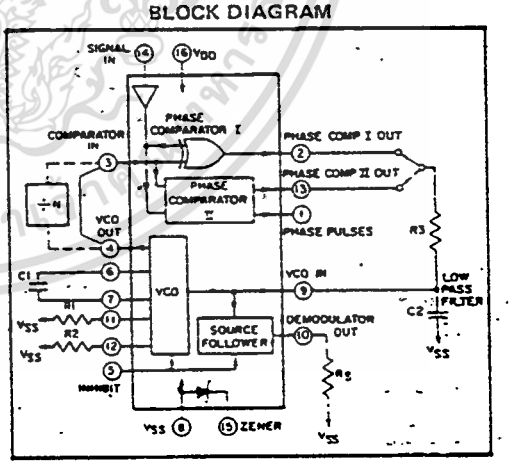


Fig. 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATOR OUTPUT). If this terminal is used, a load resistor (R_S) of 50kΩ or more should be connected from this terminal to V_{SS}. If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leq$ 30% (V_{DD} - V_{SS}), logic "1" $\geq$ 70% (V_{DD}-V_{SS})]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network: it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_o).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_c$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition is shown in Figure 3.

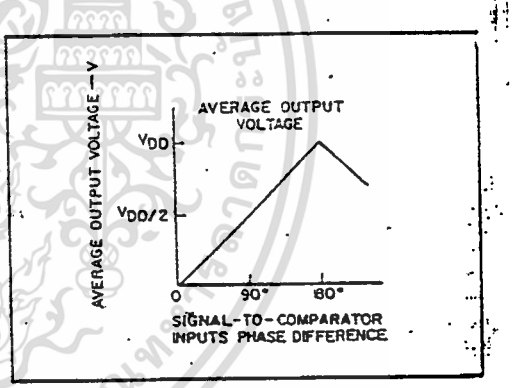


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

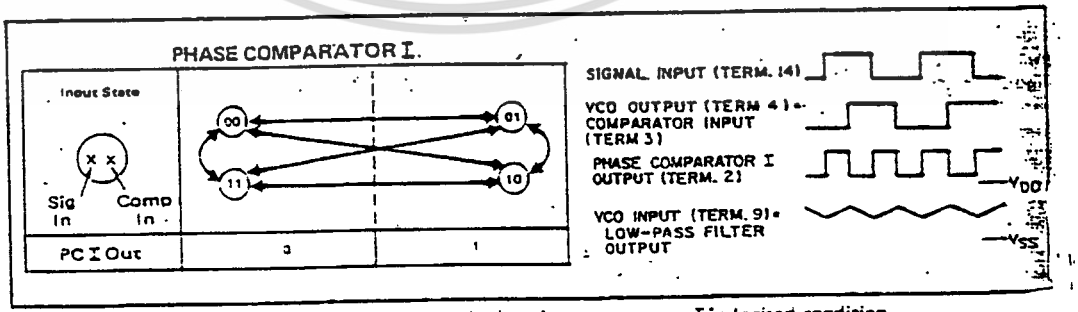


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

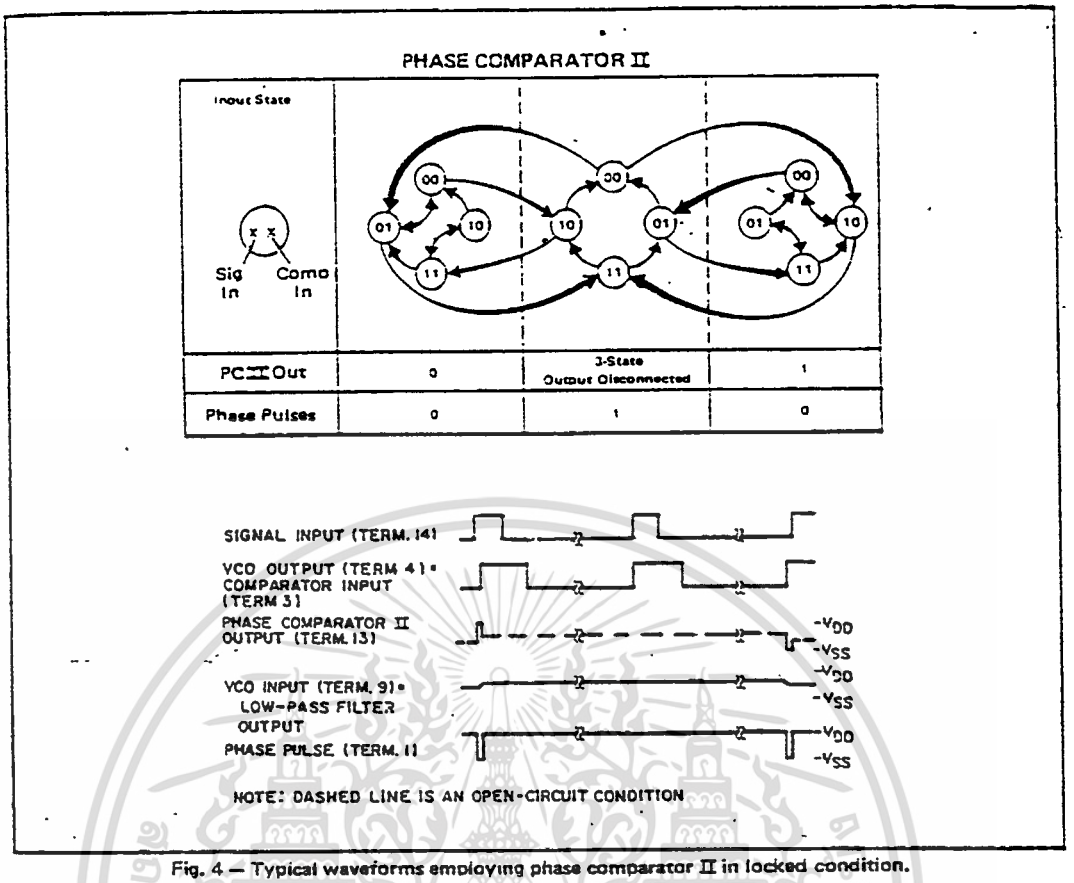


Fig. 4 — Typical waveforms employing phase comparator II in locked condition.

Phase-comparator II is an edge-controlled digital memory network. It consists of several flip-flop stages, control gating, and a three state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON, they pull the output up to V_{DD} or down to V_{SS}, respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p- and n-type output drivers remain OFF. Thus, the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover, the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle.

It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 4 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER		CONDITIONS	V_{DD}	+25°C Min.	+25°C Typ.	+25°C Max.	UNIT
VCO SECTION (Continued)							
TEMPERATURE-FREQUENCY STABILITY No Offset		R2 = ∞	5 10 15	— — —	0.12-0.24 0.04-0.08 0.015-0.03	— — —	%/°C
With Offset		R2 ≤ 10X R1	5 10 15	— — —	0.06-0.12 0.05-0.1 0.03-0.06	— — —	%/°C
INPUT RESISTANCE (VCO_{IN})	R_{IN}		5, 10, 15	—	10^6	—	MΩ
OUTPUT DUTY CYCLE		All valid input combinations and voltages		—	50	—	%
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	C_L = 50pF	5 10 15	— — —	100 50 40	200 100 80	ns
PHASE COMPARATORS							
INPUT RESISTANCE Signal Input	R_{IN}		5 10 15	1 0.2 0.1	3 0.7 0.3	— — —	MΩ
Comparator Input	R_{IN}		5, 10, 15	—	10^6	—	MΩ
AC-COUPLED INPUT SENSITIVITY Signal Input	V_{IN}		5 10 15	— — —	200 400 700	400 800 1400	mV
OUTPUT TRANSITION TIME PCI, PCII Outputs	t_{TLH}, t_{THL}	C_L = 50pF	5 10 15	— — —	100 50 40	200 100 80	ns
Phase Pulses Output	t_{TLH}, t_{THL}		5 10 15	— — —	130 65 50	260 130 100	ns
DEMODULATOR OUTPUT							
OFFSET VOLTAGE	VCO_{IN}-V_{DEM}	R_S ≥ 60kΩ	5 10 15	— — —	1.4 1.6 1.8	2.2 2.2 2.2	Vdc
LINEARITY		R_S ≥ 50kΩ VCO_{IN} = 2.5±0.3V VCO_{IN} = 5.0±2.5V VCO_{IN} = 7.5±5.0V	5 10 15	— — —	0.1 0.6 0.8	— — —	%
ZENER DIODE							
ZENER VOLTAGE	V_Z	I_Z = 50μA	—	6.3	7.0	7.7	V
DYNAMIC RESISTANCE	R_Z	I_Z = 1mA	—	—	100	—	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

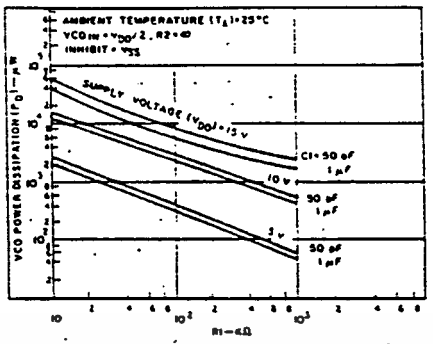


Fig. 6 (a) - Typical VCO power dissipation at center frequency vs R1.

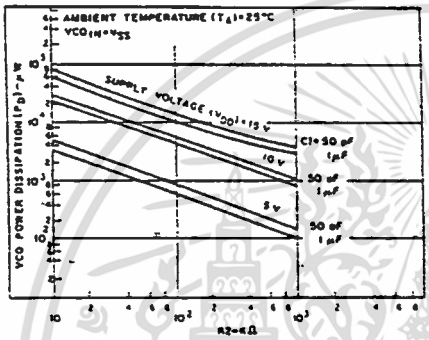


Fig. 6 (b) - Typical VCO power dissipation at f_{min} vs R2.

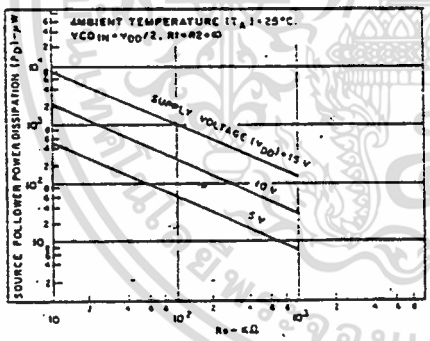


Fig. 6 (c) - Typical source follower power dissipation vs R_S.

NOTE: To obtain approximate total power dissipation of PLL system for no-signal input

P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S)
— Phase Comparator I

P_D (Total) = P_D (f_{MIN})
— Phase Comparator II

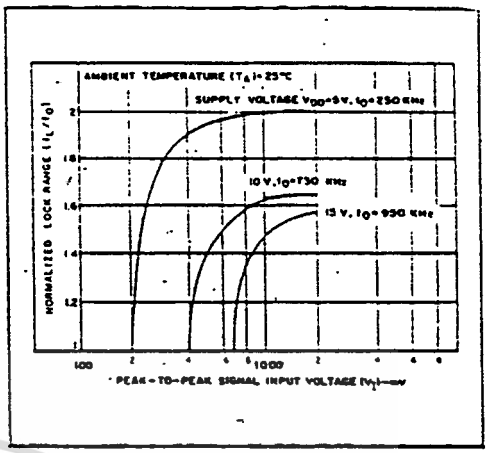


Fig. 7 — Typical lock range vs signal input amplitude

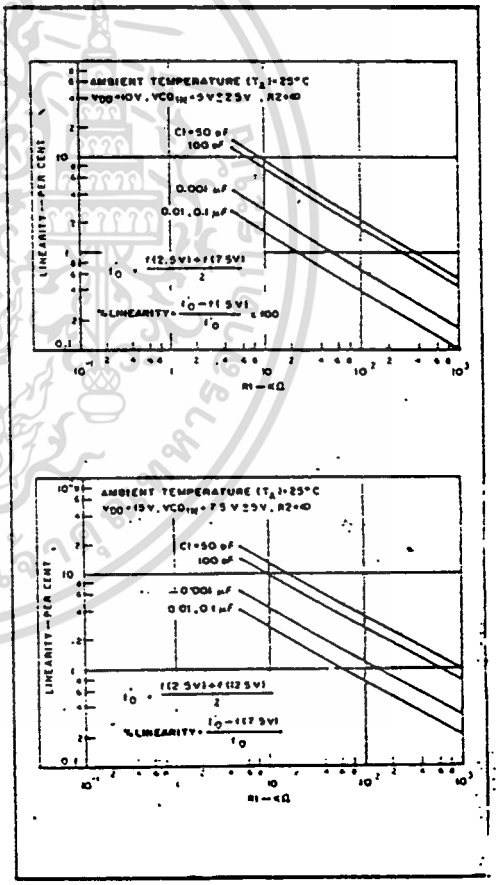


Fig. 8(a, b) — Typical VCO linearity vs R1 and C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4049UB Inverting
SCL4050B Non-Inverting

CMOS
HEX BUFFERS/CONVERTERS

FEATURES

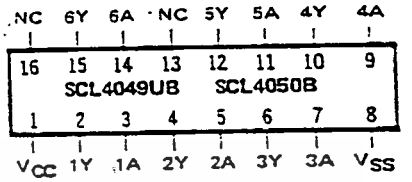
- Direct Drive of 2 TTL/DTL Loads
- Operation from Single Supply
- Pin-for Pin Replacements for SCL4009B, SCL4010B

DESCRIPTION

The SCL4049UB and SCL4050B are Inverting and Non-Inverting Hex Buffers, respectively, and feature logic-level conversion using only one supply voltage (V_{CC}). The input-signal high level (V_{IH}) can exceed the V_{CC} supply voltage when these devices are used for logic-level conversions. These devices are intended for use as CMOS-to-DTL/TTL converters and can drive directly two DTL/TTL Loads.

The SCL4049UB and SCL4050B are interchangeable with SCL4009UB and SCL4010B devices, respectively. In these applications the SCL4049UB and SCL4050B are pin-compatible with the SCL4009UB and SCL4010B, respectively, and can be substituted for these devices in existing as well as in new designs. Terminal No. 16 is not connected internally on the SCL4049UB or SCL4050B; therefore, connection to this terminal is of no consequence to circuit operation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

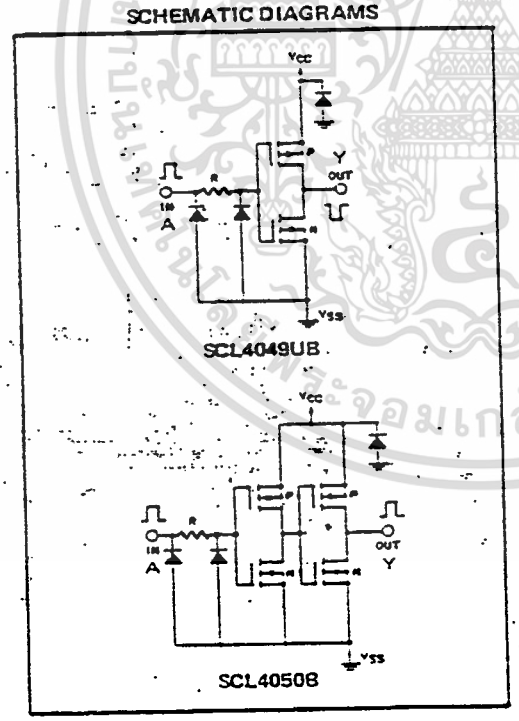
RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

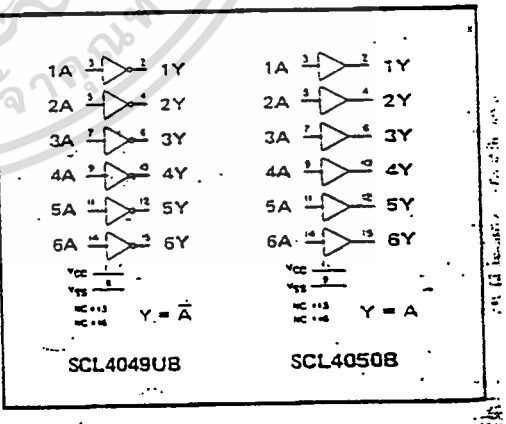
DC Supply Voltage	$V_{CC} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

Note: These devices contain input protection networks to V_{SS} only. Therefore, V_{IH} (max) may exceed V_{CC} without damage (subject to absolute maximum ratings).

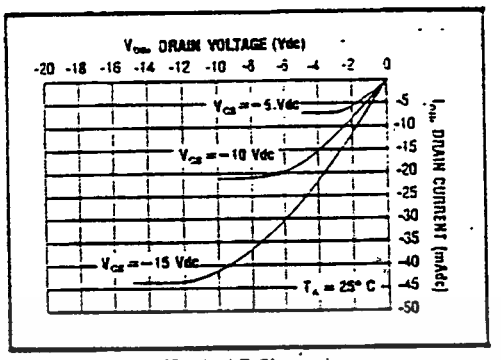
SCHEMATIC DIAGRAMS



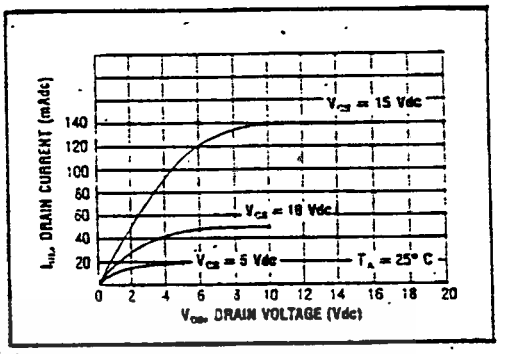
LOGIC DIAGRAMS



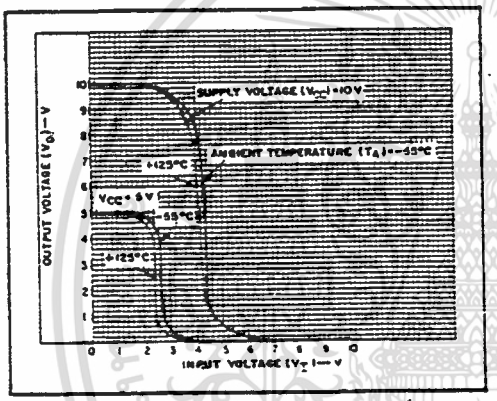
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



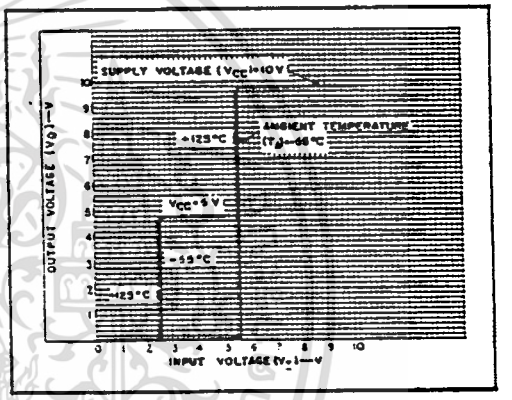
Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics



Typical voltage transfer characteristics as a function of temperature for SCL4049UB.



Typical voltage transfer characteristics as a function of temperature for SCL4050B.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4555B
SCL4556B

CMOS
DUAL 2-TO-4 LINE DECODERS

FEATURES

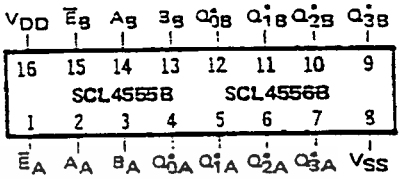
- Buffered Outputs
- Selected Output Active High (SCL4555B) or Active Low (SCL4556B)
- Expandable

DESCRIPTION

The SCL4555B and SCL4556B are constructed with complementary MOS (CMOS) enhancement-mode devices. Each decoder/demultiplexer has two Select inputs (A and B), an active-low Enable input ($\overline{E}$), and four mutually-exclusive outputs (Q0, Q1, Q2, Q3). The SCL4555B has the selected output go to the "high" state, and the SCL4556B has the selected output go to the "low" state. Expanded decoding such as binary-to-hexadecimal (1-of-16), etc., can be achieved by using other SCL4555B or SCL4556B devices.

Applications include code conversion, address decoding, memory selection control, and demultiplexing (using the Enable input as a data input) in digital data transmission systems.

CONNECTION DIAGRAM
(all packages)



*Inverted for SCL4556B

Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

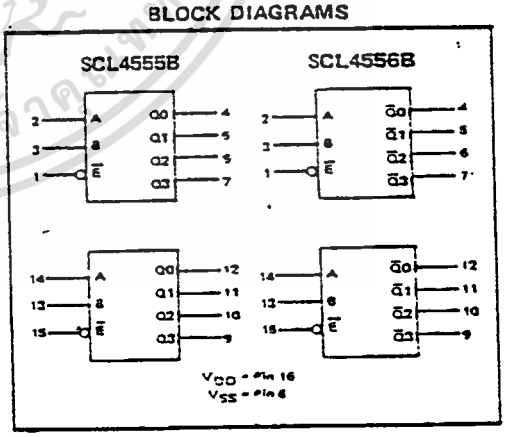
DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

TRUTH TABLE

Inputs			Outputs SCL4555B				Outputs SCL4556B			
Enable	Select									
$\overline{E}$	B	A	Q3	Q2	Q1	Q0	$\overline{Q}3$	$\overline{Q}2$	$\overline{Q}1$	$\overline{Q}0$
0	0	0	0	0	0	1	1	1	1	0
0	0	1	0	0	1	0	1	1	0	1
0	1	0	0	1	0	0	1	0	1	1
0	1	1	1	0	0	0	0	1	1	1
1	X	X	0	0	0	0	1	1	1	1

X = Don't Care

BLOCK DIAGRAMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

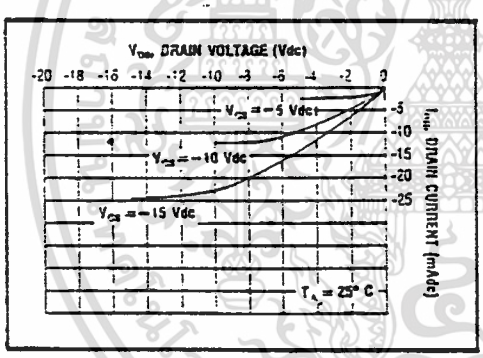
STATIC CHARACTERISTICS[1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[2] Min.	T_{LOW}[2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH}[2] Min.	T_{HIGH}[2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid inputs	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	

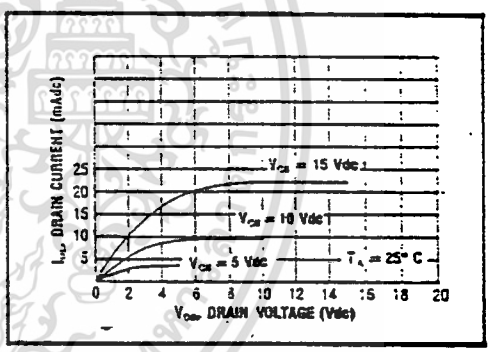
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL40008 Series Family Specifications".
[2] T_{LOW} = −55°C for C, D, F, H device.
= −40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME						
SCL45558	t_{PLH}, t_{PHL}	5	–	140	280	ns
		10	–	65	130	
		15	–	45	90	
SCL45568	t_{PLH}, t_{PHL}	5	–	160	320	ns
		10	–	75	150	
		15	–	50	100	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	130	260	ns
		10	–	65	130	
		15	–	50	100	

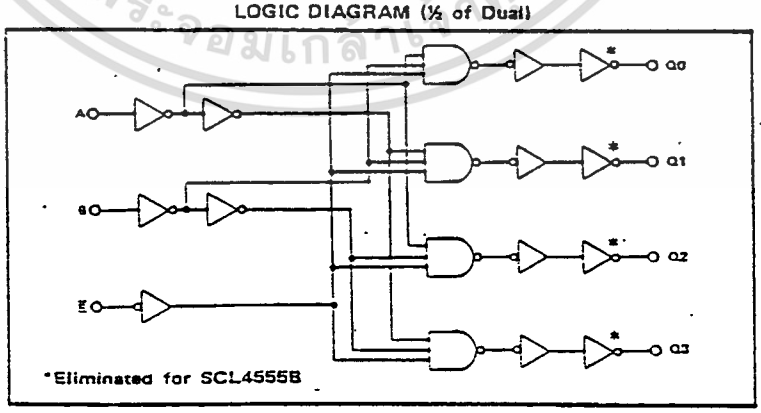


Typical P-Channel
Source Current Characteristics



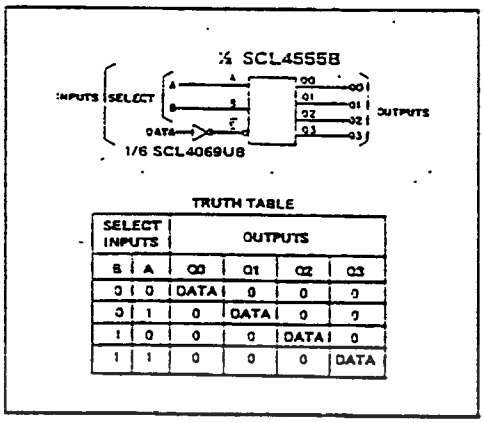
Typical N-Channel
Sink Current Characteristics

LOGIC DIAGRAM (½ of Dual)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

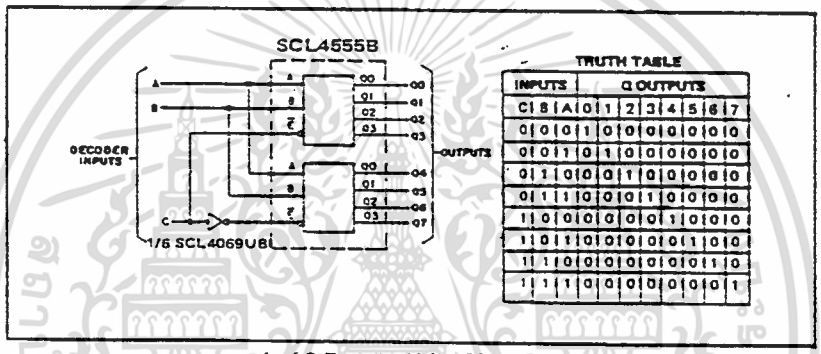
APPLICATIONS INFORMATION



TRUTH TABLE

SELECT INPUTS		OUTPUTS			
B	A	Q0	Q1	Q2	Q3
0	0	DATA	0	0	0
0	1	0	DATA	0	0
1	0	0	0	DATA	0
1	1	0	0	0	DATA

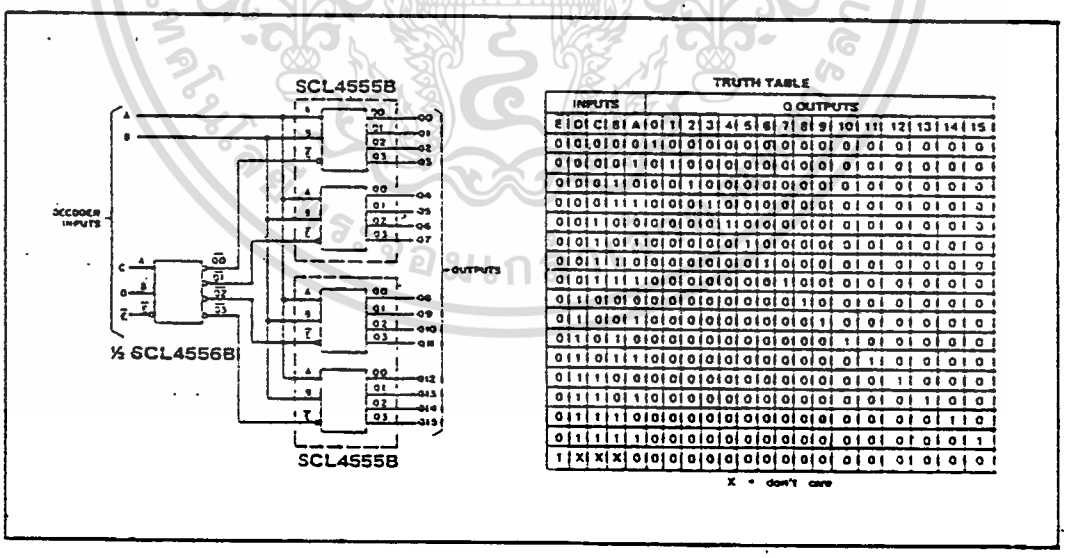
1-of-4 Line Data Demultiplexer Using SCL4555B



TRUTH TABLE

INPUTS			Q OUTPUTS							
C	B	A	0	1	2	3	4	5	6	7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

1-of-8 Decoder Using SCL4555B



TRUTH TABLE

INPUTS				Q OUTPUTS															
E	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	1	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	1	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
1	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

X = don't care

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4046B
SCL4446B

CMOS PHASE-LOCKED LOOPS

FEATURES

- Very low power consumption — 70 μW (typ) @ f_o = 10kHz, 5Vdc
- Operating frequency range (no offset) — Up to 3MHz (typ) @ 10Vdc (SCL4046B) Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- Low frequency drift — 0.04%/°C (typ) @ 10Vdc
- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- High VCO linearity 1% (typ)
- Source-follower output of VCO control input (Demodulator Output)
- Zener Diode to assist Supply Regulation
- Balanced Output Drive Current Specifications

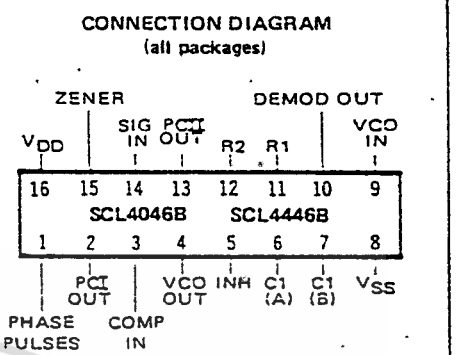
APPLICATIONS

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK-Modems
- Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{out}, and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals $PCII_{out}$ and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM

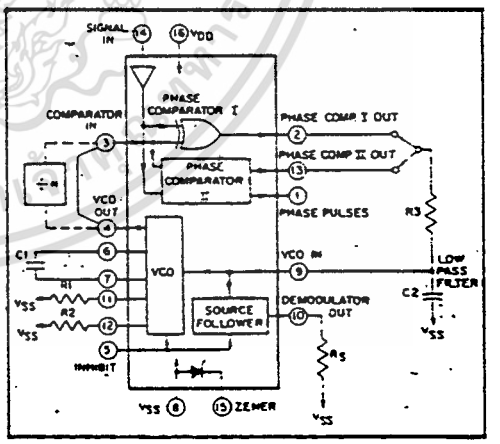


Fig. 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

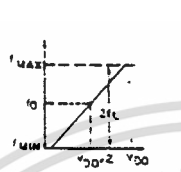
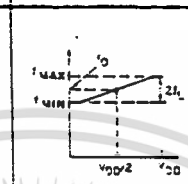
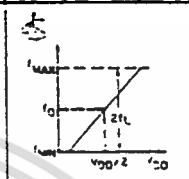
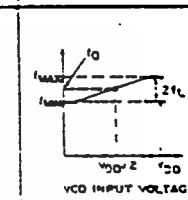
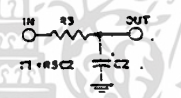
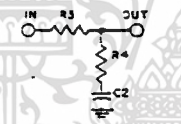
. DESIGN INFORMATION

This information is a guide for approximating the values of external components for the SCL4046B and SCL4446B in a Phase-Locked Loop system. The selected external components must be within the following ranges:

$R1, R2 \geq 2k\Omega$, $R_S \geq 10k\Omega$

$C1 \geq 15pF$

In addition to the given design information refer to Figure 5 for R1, R2, and C1 component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_0		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $2f_C \approx \frac{1}{\pi\sqrt{\frac{2\pi f_L}{\tau_1}}}$		$f_C = f_L$	
Loop Filter Component Selection	 For $2f_C$, see Ref.			
Phase Angle between Signal and Comparator	90° at center frequency (f_0), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	– Given: f_0 – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_0 and f_L – Calculate f_{min} from the equation $f_{min} = f_0 - f_L$ – Use f_{min} with Fig. 5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_0 + f_L}{f_0 - f_L}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1	– Given: f_{max} – Calculate f_0 from the equation $f_0 = \frac{f_{max}}{2}$ – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_{min} & f_{max} – Use f_{min} with Fig.5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1

REF. G. S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

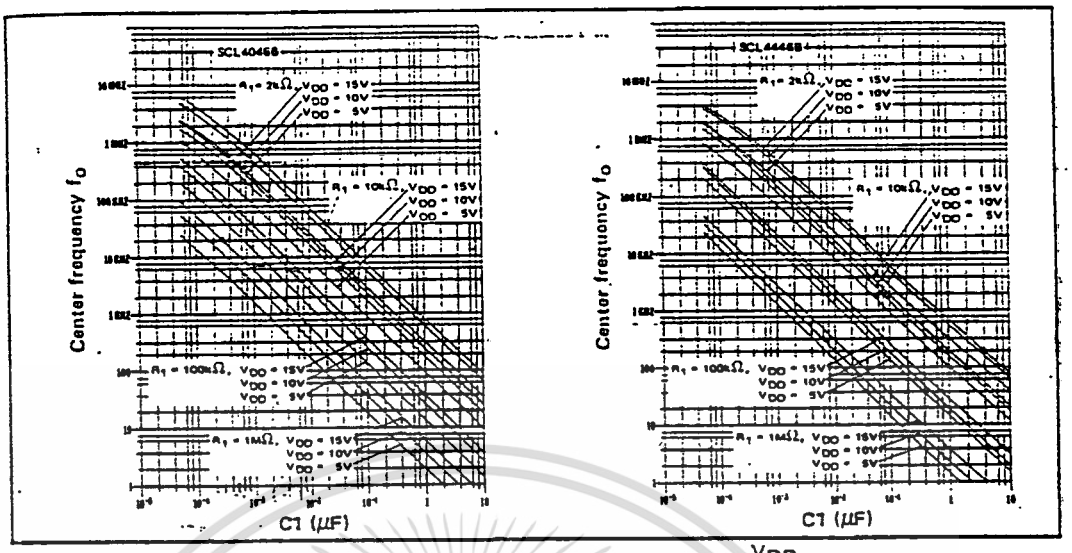


Fig. 5 (a) Typical center frequency (f_o) vs C1 ($R2 = \infty$, $VCO_{IN} = \frac{V_{DD}}{2}$, $T_A = 25°C$)

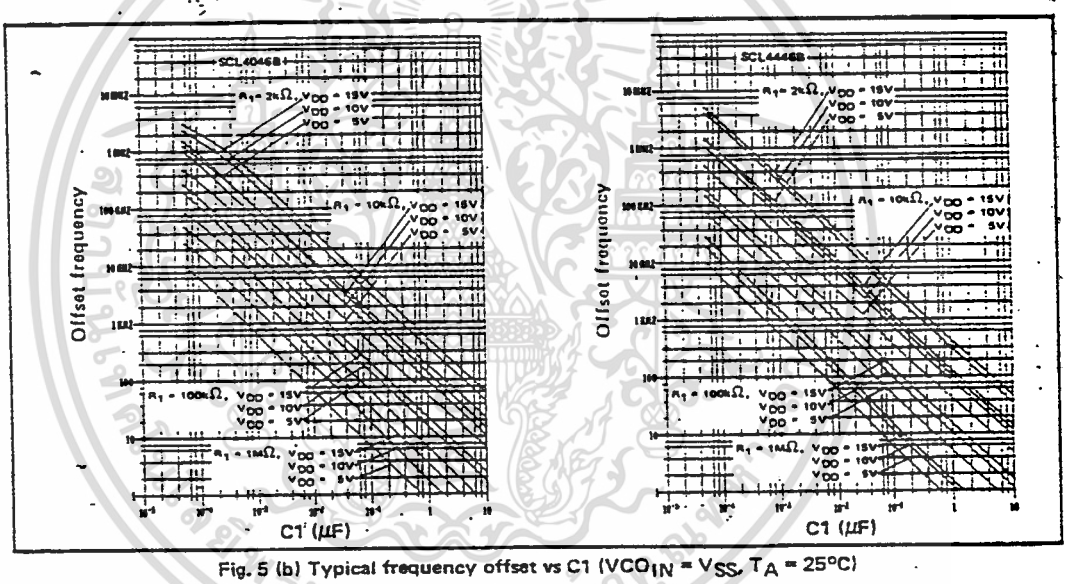


Fig. 5 (b) Typical frequency offset vs C1 ($VCO_{IN} = V_{SS}$, $T_A = 25°C$)

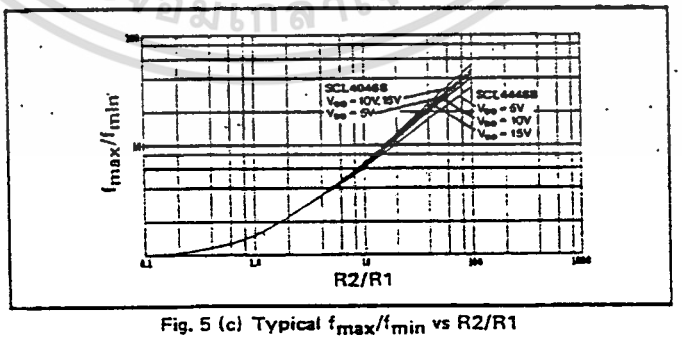


Fig. 5 (c) Typical f_{max}/f_{min} vs R2/R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1,3]

PARAMETER		V_{CC} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{CC}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	1.0	–	0.005	1.0	–	30	μAdc
		10	All valid input	–	2.0	–	0.01	2.0	–	60	
		15	combinations	–	4.0	–	0.02	4.0	–	120	
MINIMUM INPUT HIGH VOLTAGE SCL4049UB	V_{IH}	5	V_{OL}=0.5V	–	4.0	–	2.75	4.0	–	4.0	Vdc
		10	V_{OL}=1.0V	–	8.0	–	5.5	8.0	–	8.0	
		15	V_{OL}=1.5V	–	12.0	–	8.25	12.0	–	12.0	
MAXIMUM INPUT LOW VOLTAGE SCL4049UB	V_{IL}	5	V_{OH}=3.6V	1.0	–	1.0	2.25	–	1.0	–	Vdc
		10	V_{OH}=7.2V	2.0	–	2.0	4.5	–	2.0	–	
		15	V_{OH}=10.8V	3.0	–	3.0	6.75	–	3.0		
OUTPUT LOW (SINK) CURRENT C, D, F, H devices	I_{OL}	5	V_{OL}=0.4V	4.0	–	3.2	6.4	–	2.4	–	mAdc
		10	V_{OL}=0.5V	10	–	8.0	16	–	5.6	–	
		15	V_{OL}=1.5V	30	–	24.0	40	–	16.8	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	V_{OL}=0.4V	3.8	–	3.2	6.4	–	2.6	–	mAdc
		10	V_{OL}=0.5V	9.6	–	8.0	16	–	6.4	–	
		15	V_{OL}=1.5V	28	–	24.0	40	–	19	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL40008 Series Family Specifications".
[2] T_{LOW} = −55°C for C, D, F, H device.
= −40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] These devices have been designed to meet the balanced output drive current specifications for Output High (Source) Current. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{IN} (Vdc)	V_{CC} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME SCL4049UB	t_{PLH}	5	5	–	60	120	ns
		10	10	–	32	65	
		15	15	–	25	50	
		10	5	–	45	90	ns
		15	5	–	45	90	
SCL4050B		5	5	–	70	140	ns
		10	10	–	40	80	
		15	15	–	30	60	
		10	5	–	45	90	ns
		15	5	–	40	80	
SCL4049UB	t_{PHL}	5	5	–	32	65	ns
		10	10	–	20	40	
		15	15	–	15	30	
		10	5	–	15	30	ns
		15	5	–	10	20	
SCL4050B		5	5	–	55	110	ns
		10	10	–	27	55	
		15	15	–	15	30	
		10	5	–	50	100	ns
		15	5	–	50	100	
OUTPUT TRANSITION TIME	t_{TLH}	5	5	–	80	160	ns
		10	10	–	40	80	
		15	15	–	30	60	
	t_{THL}	5	5	–	30	60	ns
		10	10	–	20	40	
		15	15	–	15	30	
INPUT CAPACITANCE SCL4049UB	C_{IN}	–	–	–	15	22.5	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	Inhibit = V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	Signal Input =	–	10	–	0.01	10	–	300	
		15	V_{DD}	–	20	–	0.2	20	–	600	
TOTAL POWER DISSIPATION	P_T		Inh = V_{SS}, $VCO_{IN} = \frac{V_{DD}}{2}$, f_o = 10kHz,								
		5	C_L = 15pF	–	–	–	0.07	–	–	–	mW
		10	R1 = 1MΩ,	–	–	–	0.6	–	–	–	
		15	R2 = R_S = ∞	–	–	–	2.4	–	–	–	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = –55°C for C, D, F, H device.
= –40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] VCO output (pin 4) and Phase Comparator Outputs (pins 2 and 13) have been designed for balanced output drive current specifications. Consult Family Specifications.

PARAMETER		CONDITIONS		V_{DD}	25°C Min.	25°C Typ.	25°C Max.	UNIT
VCO SECTION								
MAXIMUM OPERATING FREQUENCY SCL40468	f_{max}	R2 = ∞, VCO_{IN} = V_{DD}	R1, C1					
			10k 50pF	5	0.5	0.8	–	MHz
				10	1.0	1.5	–	
				15	1.3	1.9	–	
			5k 50pF	5	0.6	1.0	–	MHz
				10	1.4	2.1	–	
				15	1.8	2.7	–	
			2k 50pF	5	–	1.3	–	MHz
				10	–	2.9	–	
				15	–	3.8	–	
SCL44468		R2 = ∞, VCO_{IN} = V_{DD}	R1 C1					
			10k 50pF	5	0.7	1.0	–	MHz
				10	1.3	2.0	–	
				15	1.9	2.8	–	
			5k 50pF	5	0.9	1.3	–	MHz
				10	1.9	2.9	–	
				15	2.6	3.9	–	
			2k 50pF	5	–	1.8	–	MHz
				10	–	3.9	–	
				15	–	5.4	–	
LINEARITY		R2 = ∞, VCO_{IN} = 2.5±0.3V, R1 ≥ 10kΩ		5	–	1	–	%
		VCO_{IN} = 5.0±2.5V, R1 ≥ 400kΩ		10	–	1	–	
		VCO_{IN} = 7.5±5.0V, R1 ≥ 1MΩ		15	–	1	–	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54114/74114 Dual J-K Negative-Edge-Triggered Flip-Flop with Preset, Common Clear, and Common Clo

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package C J P M C F	Device Type	Package C J P M C F	Device Type	Package C J P M C F	Device Type	Package C J P M C F	Device Type	Package C J P M C F
T. I.	SN54S114	J N W			SN54LS114	J N W				
	SN74S114	J N			SN74LS114	J N				
FAIRCHILD	FM54S114 FM65114	D J			FM54LS114/ FM65114	X D J				
	FC54S114 FC95114	D J			FC74LS114/ FC95114	X D J P C				
MOTOROLA					SN74LS114	P J				
N. S. C.					DM54LS114	J				
	DM74S114	N J			DM74LS114	N J				
PHILIPS										
	N74S114	D J			N74LS114	D J				
SIGNETICS	S54S114	F J A W								
	N74S114	F D A J			N74LS114	D N				
SIEMENS										
FUJITSU										
HITACHI										
	HD74S114	DP FP			HD74LS114	DP FP				
MITSUBISHI	M 5 S114	P J								
NEC										
TOSHIBA										

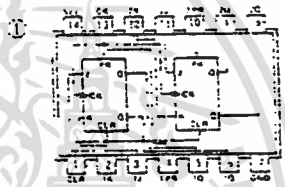
Electrica l Charactistics SN54LS114,SN74LS114

					SN54LS114		SN74LS114		Unit
					MIN	NOM	MAX	MIN	NOM	MAX	
					4.5	5	5.5	4.75	5	5.25	V
							-400			-400	μA
							4			8	mA
							20			20	ns
							25			25	ns
							25			25	ns
							20			20	ns
							0.5			0.5	ns
					-15		-75	-15		-75	mA

electrical charactics over recommended operating free-air tamegrature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			-1.5	V
V_{OH}	High-level output voltage, Series 54S	V_{CC} = MIN, V_{IH} = 2 V,		2.5	3.4		V
	Series 74S	V_{IL} = 0.8V,	I_{OH} = −400μA	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V,	I_{OL} = 4mA		0.25	0.4	V
I_I	Input current maximum input voltage, J, K, or Ō	V_{CC} = MAX, V_I = 7V				0.1	mA
	Clear					0.6	
	Preset					0.3	
	Clock					0.8	
I_{IH}	High-level input current, J, K, or Ō	V_{CC} = MAX, V_I = 2.7V				20	μA
	Clear					60	
	Preset					60	
	Clock					20	
I_{IL}	Low-level input current, J, K, or Ō	V_{CC} = MAX, V_I = 0.4V				-0.4	mA
	Clear					-1.6	
	Preset					-0.8	
	Clock					-1.6	
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX		-20		-100	mA
I_{CC}	Supply current (average per flip-flop)	V_{CC} = MAX, See Note 1			4	6	mA
f_{max}	Maximum clock frequency	V_{CC} = 5 V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ		30	45		MHz
t_{PLH}	From clear, Preset or clock to Q or Q̄				15	20	ns
t_{PHL}					15	20	ns

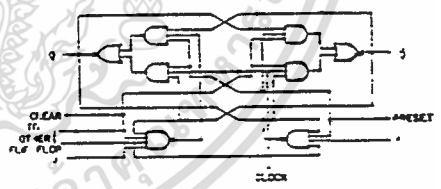
Pin Assignment (Top View)



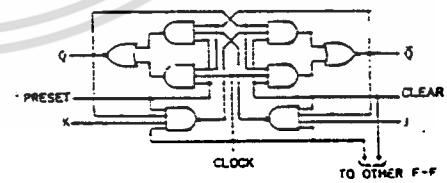
'S114 'LS114 Function Table (See Note 2)

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	J	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↓	L	Q_0	$\bar{Q}_0$
H	H	↓	H	TOGGLE	
H	H	H	X	Q_0	$\bar{Q}_0$

Functional Block Diagrams



'S114—DUAL J-K WITH PRESET, COMMON CLEAR, AND COMMON CLOCK



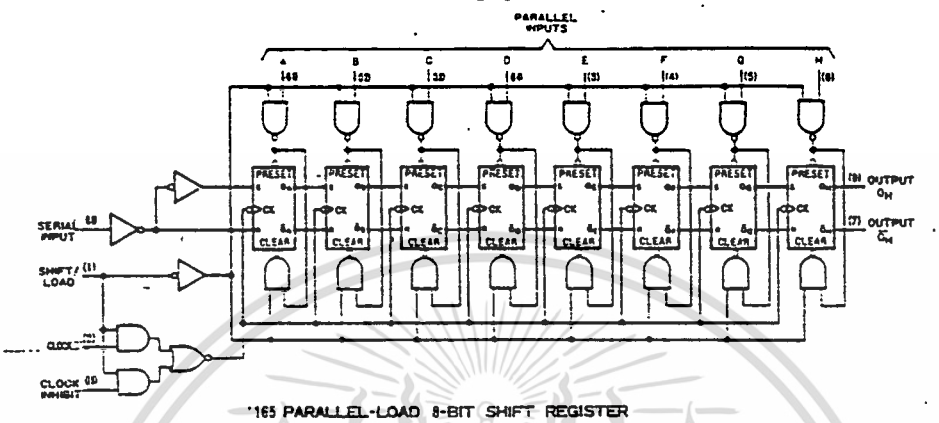
'LS114—DUAL J-K WITH PRESET, COMMON CLEAR, AND COMMON CLOCK

NOTES:
1. With all outputs open, I_{CC} is measured with the Q and Q̄ outputs high in turn. At the time of measurement, the clock input is grounded.
2. H = high level (steady state), L = low level (steady state), X = irrelevant, ↓ = transition from high to low level.
Q_0 = the level of Q before the indicated input conditions were established.
TOGGLE: Each output changes to the complement of its previous level on each active transition (pulse) of the clock.
* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C.
◆Not more than one output should be shorted at a time, and duration of short-circuit should not exceed one second.
t_{PLH} = propagation delay time, low-to-high-level output.
t_{PHL} = propagation delay time, high-to-low-level output.
§ : The arrow indicates the edge of the clock pulse used for reference: ↓ for the falling edge.

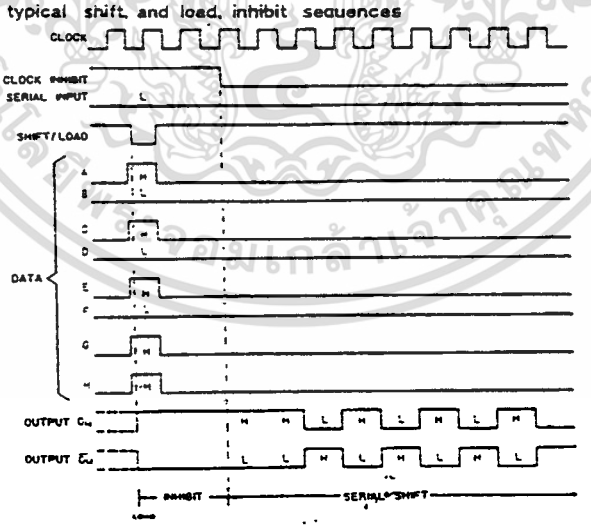
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block diagram



'165 PARALLEL-LOAD 8-BIT SHIFT REGISTER

typical shift, and load, inhibit sequences



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54165/74165 Parallel-Load 9-Bit Shift Register

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package C|P|M|CF	Device Type	Package C|P|M|CF	Device Type	Package C|P|M|CF	Device Type	Package C|P|M|CF	Device Type	Package C|P|M
T.I.					SN54LS165	J⑯	SN54165	J⑯ W⑭		
					SN74LS165	J⑯ N⑯	SN74165	J⑯ N⑯		
FAIRCHILD							FM54165/FM93165	I⑯		
							FC74165/FC93165	I⑯ P⑯		
MOTOROLA							MC74165	P⑯		
N.S.C.									DM54L165A	J⑯ N⑯
							DM74165	N⑯	DM74L165A	J⑯ N⑯
PHILIPS							N74165	⑯		
SIGNETICS							S54165	F⑯ I⑧ D⑯	W⑯	
							N74165	F⑯ I⑧ D⑯		
SIEMENS							FLJ451	⑯		
FUJITSU										
HITACHI										
MITSUBISHI							M53365	P⑯		
NEC										
TOSHIBA										

Electrical Characteristics NS54LS165/SN74LS165

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54LS165	−55°C to 125°C
Input voltage	7 V		SN74LS165	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

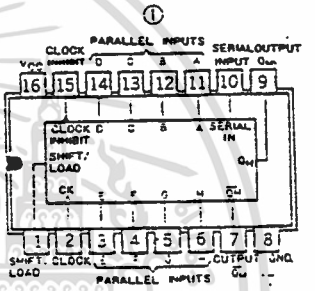
	SN54LS165 MIN	NOM	MAX	SN74LS165 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		20	0		20	MHz
Width of clock input pulse, $t_{w(clock)}$	25			25			ns
Width of load input pulse, $t_{w(SLOAD)}$	15			15			ns
Clock-enable setup time, t_{setup}	30			30			ns
Parallel input setup time, t_{setup}	10			10			ns
Serial input setup time, t_{setup}	20			20			ns
Shift setup time, t_{setup}	45			45			ns
Hold time at any input, t_{hold}	0			0			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−400 μA		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	Serial, load inputs	V_{CC}=MAX, V_I=7V			0.3	mA
		Other inputs				0	
I_{IH}	High-level input current	Load input	V_{CC}=MAX, V_I=2.7V			60	μA
	Shift, load inputs	Other inputs				20	
I_{IL}	Low-level input current	Load input	V_{CC}=MAX, V_I=0.4V			−1.2	mA
	Shift, load inputs	Other inputs				−0.4	
I_{OS}	Short-circuit output current*	V_{CC}=MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC}=MAX, See Note 2			21	36	mA
f_{max}	Maximum clock frequency	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ		25	35		MHz
t_{PLH}	From Load to Any output				22	35	ns
t_{PHL}					22	35	
t_{PLH}	From Clock to Any output				27	40	ns
t_{PHL}					28	40	
t_{PLH}	From H to output Q_H				19	25	ns
t_{PHL}					21	30	
t_{PLH}	From H to output $\overline{Q}_H$				21	30	ns
t_{PHL}					16	25	

† For conditions shown as MIN or MAX, use the appropriate value under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC}=5V, T_A=25°C.
* Not more than one output should be shorted at a time.
• t_{PLH} = Propagation delay time, low-to-high-level output
t_{PHL} = Propagation delay time, high-to-low-level output

Pin Assignment (Top View)



positive logic:

Function Table

'165 (see Note 3)

INPUTS					INTERNAL OUTPUTS		OUTPUT
SHIFT/LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A...H	Q_A	Q_B	Q_H
L	X	X	X	a...h	a	b	h
H	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	H	↑	X	X	Q_{A0}	Q_{B0}	Q_{H0}

NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies to the shift/load input in conjunction with the other clock or clock-inhibit inputs.
2. With the outputs open, clock inhibit and shift/load at 4.5V, and a clock pulse applied to the clock input, I_{CC} is measured first with the parallel inputs at 4.5V, then with the parallel inputs grounded.
3. H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
a...h = the level of steady-state input at inputs A thru H, respectively.
Q_{A0}, Q_{B0}, C_{H0} = the level of C_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G, respectively, before the most recent ↑ transition of the clock.

CONTINUED ON NEXT PAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54175/74175 Quadruple D-Type Flip-Flop with Clear

	Schottky TTL	High-Speed TTL	Low-Power Schottky TTL	Standard TTL	Low-Power TTL
	Device Type / Package C I P I M I CF	Device Type / Package C I P I M I CF	Device Type / Package C I P I M I CF	Device Type / Package C I P I M I CF	Device Type / Package C I P I M I CF
T. I.	SN54S175 J W ; SN74S175 J N		SN54LS175 J W ; SN74LS175 J N	SN54175 J W ; SN74175 J N	
FAIRCHILD	9328175 D F ; 93S175/93S175 D F		93LS175/93LS175 D F ; 93L175/93L175 D F	93175 D F	
MOTOROLA			SN74LS175 P	MC74175 P	
N.S.C.	DM74S175 J N		DM54LS175 J W ; DM74LS175 N	DM54175 J W ; DM74175 J N	
PHILIPS	N74S175 N		N74LS175 N	N74175 N ; S54175 F J B W ; N74175 F J B	
SIGNETICS	S54S175 F J B W ; N74S175 F J B		N74LS175 A		
SIEMENS				FLJ541	
FUJITSU			T4LS175 M		
HITACHI	HD74S175 P		HD74LS175 P	HD74175 P	
MITSUBISHI	M55175 P		M74LS175 P	M53375 P	
NEC			T4LS175 C	μPB2175 D J	
AMD.	Am54S175 ; Am74S175		Am54LS175 ; Am74LS175		

Electrical Characteristics SN54174/SN74175

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range: SN54	−55°C to 125°C
Input voltage	7V	SN74	0°C to 70°C
		Storage temperature range	−65°C to 150°C

recommended operating conditions

	SN54175 MIN	NOM	MAX	SN74175 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		30	0		30	MHz
Width of clock or clear pulse, t_w	20			20			ns
Setup time, t_{setup}: Data input	20			20			ns
Setup time, t_{setup}: Clear inactive-state	25			25			ns
Data hold time, t_{hold}	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

	PARAMETER	TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−400μA	2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=8mA		0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V			0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V			20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V			−0.4	mA
I_{OS}	Short-circuit output current◆	V_{CC}=MAX, SN54LS	−20		−100	mA
		V_{CC}=MAX, SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC}=MAX, See Note		11	18	mA
f_{max}	Maximum clock frequency	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	30	40		MHz
t_{PLH}	from clear			16	25	ns
t_{PHL}	from clear			23	35	ns
t_{PLH}	from clock			20	30	ns
t_{PHL}	from clock			21	30	ns

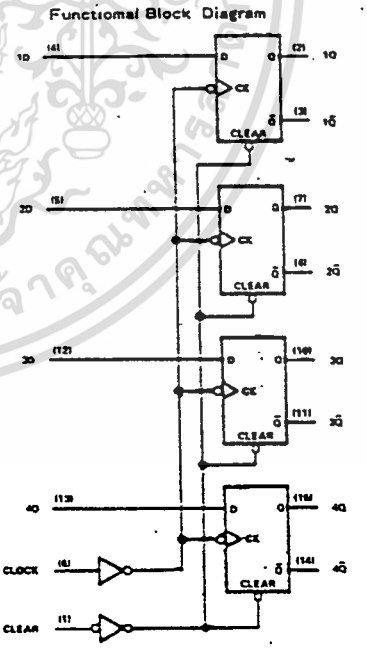
Function Table

'175, 'S175, 'LS175 (EACH FLIP-FLOP)

INPUTS CLEAR	CLOCK	D	OUTPUTS Q	$\bar{Q}$
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Q_0	$\bar{Q}_0$

H = high level (steady state)
L = low level (steady state)
X = irrelevant
↑ = transition from low to high level
Q_0 = the level of Q before the indicated steady-state input conditions were established.

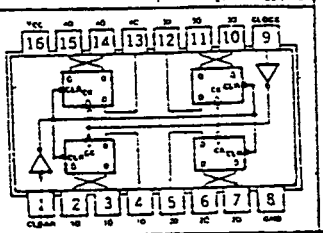
Functional Block Diagram



'175, 'S175, 'LS175 QUADRUPLE D-TYPE FLIP-FLOP

NOTE: With all outputs open and 4.5 V applied to all data and clear inputs, I_{CC} is measured after a momentary ground, then 4.5 V, is applied to clock.

Pin Assignment (Top View)



positive logic : see function table

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C
◆ Not more than one output should be shorted at a time.
• t_{PLH} = propagation delay time, low-to-high level output
t_{PHL} = propagation delay time, high-to-low level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5400/7400 Quadruple 2-Input Positive-NAND Gate

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package C:P:MIC:FI	Device Type	Package C:P:MIC:FI	Device Type	Package C:P:MIC:FI	Device Type	Package C:P:MIC:FI	Device Type	Package C:P·MIC:FI
T. I.	SN54S00	J:W:N	SN54H00	J:W	SN54LS00	J:W	SN5400	J:W	SN54L00	J:W
	SN74S00	J:D:N	SN74H00	J:D:N	SN74LS00	J:D:N	SN7400	J:D:N	SN74L00	J:D:N
FAIRCHILD	FJH54S00/FJH74S00	D:P	FJH54H00/FJH74H00	D:P	FJH54LS00/FJH74LS00	D:P	FJH5400/FJH7400	D:P		
	FC74S00/FC3S00	D:P	FC74H00/FC3H00	D:P	FC74LS00/FC3LS00	D:P	FC7400/FC3N00	D:P		
MOTOROLA			MC3100	F			MC5400	F		
			MC3200	F	SN74LS00	P	MC7400	F:P		
N.S.C.			DM54H00	J	DM54LS00	J	DM5400	J	DM54L00	J
	DM74S00	N	DM74H00	J:N	DM74LS00	J:N	DM7400	J:N	DM74L00	J:N
PHILIPS	N74S00	P	FJH131/74H00	D	N74LS00	D	FJH131/7400	D		
SIGNETICS	N54S00	F:D:A	S54H00	F:D:A	N54LS00	F	S5400	F:D:A		
	N74S00	F:D:A	N74H00	F:D:A	N74LS00	F	N7400	F:D:A		
SIEMENS							FLH101	D		
FUJITSU			MB681	D:M	74LS00	M	MB400	D:M		
HITACHI	HD74S00	D:P			HD74LS00	P	HD7400/HD2S03	D:P		
MITSUBISHI	M55000	P			M74LS00	P	M53200	P		
NEC	μPB2S00	D			74LS00	C	μPB201	D:C		
TOSHIBA							TD3400 A	P		

Electrical Characteristics SN54LS00/SN74LS00

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C	
Input voltage	7V		SN74LS	0°C to 70°C	
Inter-emitter voltage	5.5V	Storage temperature range		−65°C to 150°C	

recommended operating conditions

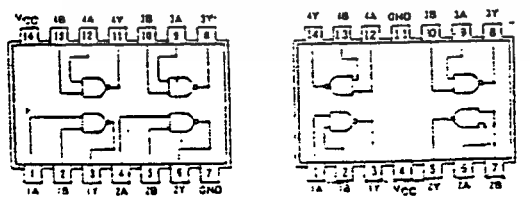
	SN54LS00			SN74LS00			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55	25	125	0	25	70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN,	I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, I_{OH}=MAX	V_{IL}=V_{IL} max,	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, I_{OL}=4mA	V_{IH}=2V,		0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX,	V_I=7V			0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX,	V_{IH}=2.7V			20	μA
I_{IL}	Low-level input current	V_{CC}=MAX,	V_I=0.4V			−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−18		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		4	8	mA
I_{CCL}	Supply current		Total, outputs low		12	22	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		2.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V,	T_A=25°C,		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output	C_L=15pF,	R_L=2kΩ		10	15	ns

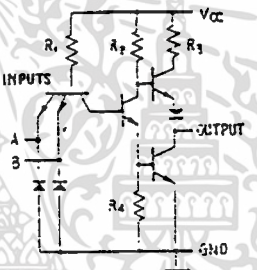
Pin Assignments (Top View)

① ②



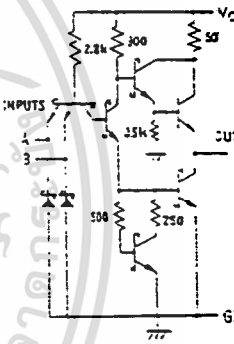
positive logic:
$Y = \overline{AB}$

Schematics (each gate)

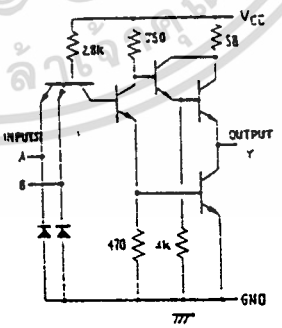


CIRCUIT	R_1	R_2	R_3	R_4
'20	4k	1.6k	130	1k
'L00	40k	20k	300	1.2k

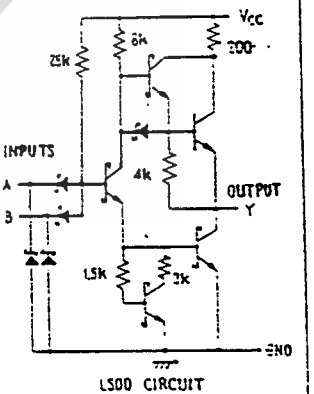
Input clamp diodes not on SN54L/SN74L circuits.
'00, 'L00 CIRCUITS



'S00 CIRCUIT



'H00 CIRCUIT



LS00 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC}=5V, T_A=25°C.
* Not more than one output should be shorted at a time, and for SN54H'/SN74H' and SN54S'/SN74S', duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5400/7400 Quadruple 2-Input Positive-NAND Gate

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package C/P/MICF	Device Type	Package C/P/MICF	Device Type	Package C/P/MICF	Device Type	Package C/P/MICF	Device Type	Package C/P/MICF
T.I.	SN54S00	J/W	SN54H00	J/W	SN54LS00	J/W	SN5400	J/W	SN54L00	J/W
	SN74S00	N	SN74H00	N	SN74LS00	N	SN7400	N	SN74L00	N
FAIRCHILD	FM54S00/FM74S00	D/F	FM54H00/FM74H00	D/F	54LS00/74LS00	D/F	FM5400/FM7400	D/F		
	FC74S00/FC93S00	N/F	FC74H00/FC93H00	N/F			FC7400/FC3N00	N/F		
MOTOROLA			MC3100	L/F			MC5400	L/F		
			MC3000	P/F	SN74LS00	P/F	MC7400	P/F		
N.S.C.			DM54H00	J/W	DM54LS00		DM5400	J/W	DM54L00	J/W
	DM74S00	N	DM74H00	N	DM74LS00		DM7400	J/N	DM74L00	J/N
PHILIPS	N74S03	N	FJH131/74H00	N	N74LS00	N	FJH131/7400	N		
SIGNETICS	N54S00	F/D/A	S54H00	F/D/A			S5400	F/D/A		
	N74S00	F/D/A	N74H00	F/D/A	N74LS00	A/N	N7400	F/D/A		
SIEMENS							FLH101	N		
FUJITSU			MB601	D/M	74LS00	M/N	MB400	M/N		
HITACHI	HD74S00	D/P			HD74LS00	P/N	HD7400/HD2503	D/P		
MITSUBISHI	M55000	P			M74LS00	P/N	M53200	P		
NEC	μPB25S00	D/C			74LS00	C/N	μPB201	D/C/F		
TOSHIBA							TD3400A	P/N		

Electrical Characteristics SN54LS00/SN74LS00

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS: −55°C to 125°C
Input voltage	7V		SN74LS: 0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range	−65°C to 150°C

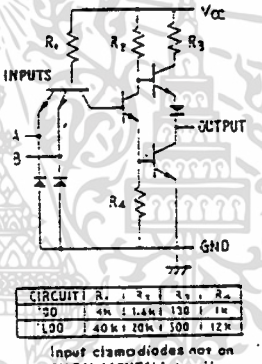
recommended operating conditions

	SN54LS00 MIN	SN54LS00 NOM	SN54LS00 MAX	SN74LS00 MIN	SN74LS00 NOM	SN74LS00 MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN,	I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, I_{OH}=MAX	V_{IL}=V_{IL} max,	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, I_{OL}=4mA	V_{IH}=2V,		0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX,	V_I=7V			0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX,	V_{IH}=2.7V			20	μA
I_{IL}	Low-level input current	V_{CC}=MAX,	V_{IL}=0.4V			−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−18		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total outputs high		4	8	mA
I_{CCL}	Supply current		Total outputs low		12	22	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		2.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, C_L=15pF,	T_A=25°C, R_L=2kΩ		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

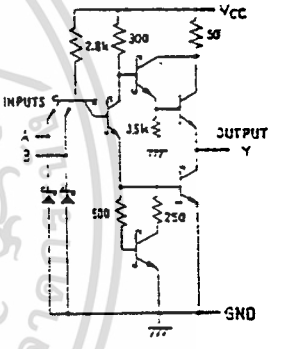
Schematics (each gate)



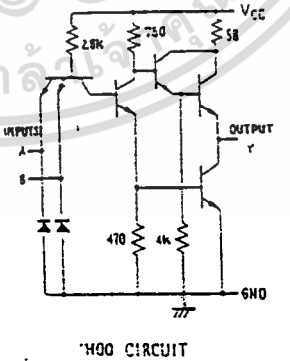
CIRCUIT	R_1	R_2	R_3	R_4
'00	4k	1.6k	130	1k
'L00	40k	20k	500	12k

Input clamp diodes not on SN54L'/SN74L' circuits.

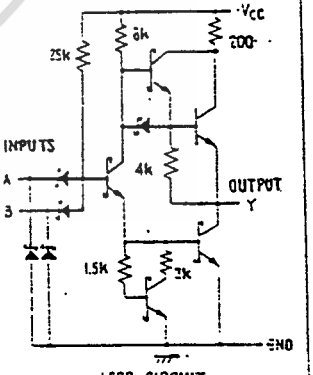
'00, 'L00 CIRCUITS



'S00 CIRCUIT



'H00 CIRCUIT

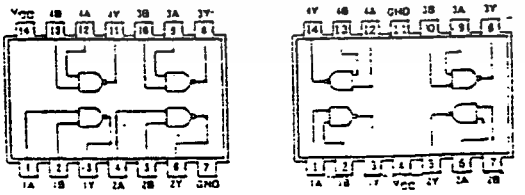


LS00 CIRCUIT

Resistor values shown are nominal and in ohms.

Pin Assignments (Top View)

① ②



positive logic:
$Y = \overline{AB}$

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC}=5V, T_A=25°C.
* Not more than one output should be shorted at a time, and for SN54H'/SN74H' and SN54S'/SN74S', duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้