บอร์ดสื่อสารสำหรับคนด้อยสมรรถภาพทางการพูด

COMMUNICATION BOARD FOR THE DEAF

โดย

นาย ธีรพงษ์ ศิวะอางกูร 37013297

นาย วิสุทธิ์ แก้วทอง 37013308

วัน เดือน ปี -1 ตค 2541

เลขทะเบียน 038332

เลขเรียกหนังสือ T 39352 ช31 ม

ปริญญานิพนธ์เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมคอมพิวเตอร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ปริญญานิพนธ์ปีการศึกษา 2539

ภาควิชา วิศวกรรมคอมพิวเตอร์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง บอร์ดสื่อสารสำหรับคนด้อยสมรรถภาพทางการพูด

ผู้จัดทำ

นาย ธีรพงษ์ ศิวะอางกูร 37013297

นาย วิสุทธิ์ แก้วทอง 37013308

..... อาจารย์ที่ปรึกษา

(อาจารย์ อภิเนตร อูนากูล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บอร์ดสื่อสารสำหรับคนด้วยสมรรถภาพทางการพูด

ธีรพงษ์ ศิวะอางกูร
วิสุทธิ์ แก้วทอง
อาจารย์ อภิเนตร อูนากูล
2539

บทคัดย่อ

ปัจจุบันวิวัฒนาการของเทคโนโลยีมีความก้าวล้ำนำหน้าไปมาก โดยบอร์ดสื่อสารสำหรับคนด้อยสมรรถภาพทางการพูดนี้ได้นำเอาเทคโนโลยีเข้ามาประยุกต์ใช้ทางด้านการช่วยเหลือบุคคลผู้ซึ่งไม่สามารถที่จะพูดได้ แต่มีความสามารถทางการใช้ประสาทสำผัสส่วนอื่นมาทดแทน ทำให้การสื่อสารกับบุคคลปกติง่ายขึ้นได้ระดับหนึ่ง โดยการนำไมโครคอนโทรลเลอร์เข้ามาจัดการจัดเก็บสัญญาณเสียงที่ได้มีการบันทึกไว้เป็นช่อง ๆ ให้สามารถเล่นกลับสัญญาณเสียงตามช่องนั้น ๆ ได้ตามคำสั่งของผู้ใช้ผ่านทางแผงวงจรสวิทย์ โดยเสียงที่เก็บไว้จะอยู่ในลักษณะของข้อมูลดิจิตอลซึ่งจะไม่มีการสูญสลายแม้จะไม่กระแสไฟฟ้าจ่ายให้กับตัวบอร์ดก็ตาม อีกทั้งผู้ใช้ยังสามารถบันทึกเสียงที่ผู้ใช้ต้องการบันทึกได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COMMUNICATION BOARD FOR THE DEAF

THERAPONG SIVAARNGGOON
WISUT KAEWTHONG
APINATE UNAGOON ,ADVISOR
2539

ABSTRACT

Nowaday technology grown very fast on the world.One application of technology is the communication board for the deaf .It develope for human who can not speak with everbody by himself but they can use the somebody of hand or others for communicate.This application can help them for communicate with peaple at one easy step. It take microcontroller for manage signal of vioce which storage at memory equipment. The switch circuit is used to control playback and record this board and define chanel of voice. Then this board will operate as user command. Onec the memory which is used to storage voice signal is capable to keep data at zero voltage. Additionly this board will rerecord new voice signal from user invention.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีและรายละเอียดของอุปกรณ์	2
	2.1 ทฤษฎีการสุ่มตัวอย่างข้อมูล (Sampling Theory)	2
	2.2 รายละเอียดของอุปกรณ์ที่สำคัญ	15
บทที่ 3	การออกแบบ	31
	3.1 วงจรซึ่งใช้ FLASH MEMORY มาทำการเก็บข้อมูลเสียง	31
	3.2 วงจรซึ่งใช้ ISD2590 มาทำการเก็บข้อมูลเสียง และใช้ LCM	37
	3.3 วงจรสมบูรณ์ ซึ่งลดการใช้พลังงาน	50
บทที่ 4	การทดลองและผลการทดลอง	56
	4.1 การทดลองเพื่อหาค่าตำแหน่งที่เหมาะสมของ ISD2590	56
	4.2 การทดลองการ Reset ISD2590	57
	4.3 การทดลองติดต่อกับวงจรสวิทย์ (key pad)	59
	4.4 การทดลองขั้นสุดท้าย	61
บทที่ 5	การสร้างและการใช้งาน	77
	5.1 การสร้าง	77
	5.2 การใช้งานโครงงาน	78
บทที่ 6	บทสรุปและบทวิจารณ์	82
ภาคผนวก		83
	ภาคผนวก ก ATMEL AT89C51	84
	ภาคผนวก ข ISD2590	99
กิตติกรรมประกาศ		127
หนังสืออ้างอิง		128

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพและตาราง

	หน้า
รูปที่ 2.1 ทรานเฟอร์ฟังชั่นของ DAC 3 บิทตามทฤษฎี	2
รูปที่ 2.2 บล็อกไดอะแกรมของ DAC	3
รูปที่ 2.3 DAC แบบ Binary weight ladder	4
รูปที่ 2.4 วงจร DAC แบบ R-2R ladder ขนาด 4 บิท	5
รูปที่ 2.5 วงจรรีซีสเตอร์ทีฟแลดเตอร์	5
รูปที่ 2.6 วงจร Inverter R/2R ladder DAC	6
รูปที่ 2.7 แสดงวิธีการพื้นฐานของ ADC	7
รูปที่ 2.8 แสดงทรานสเฟอร์ฟังชันของคอมพาราเตอร์	7
รูปที่ 2.9ก บล็อกไดอะแกรมของ counte type DAC	7
รูปที่ 2.9ข Timing diagram counter type DAC	8
รูปที่ 2.10ก บล็อกไดอะแกรมของวงจร Tracking converter	9
รูปที่ 2.10ข Timing diagram	9
รูปที่ 2.11 Single slope converter	10
รูปที่ 2.12 วงจร Ramp voltage generator อย่างง่าย และลักษณะของเอาท์พุท	11
รูปที่ 2.13ก บล็อกไดอะแกรมของ Dual slope ADC	11
รูปที่ 2.13ข การทำงานของ Dual slope ADCในช่วงเวลา T_2	12
รูปที่ 2.14 บล็อกไดอะแกรมของ Successive Approximation ADC	13
รูปที่ 2.15 Timing diagram ของ SAR	13
รูปที่ 2.16 บล็อกไดอะแกรมของ Flash ADC	14
รูปที่ 2.17 ไดอะแกรมโครงสร้างของ AT89C51	16
รูปที่ 2.18 สถาปัตยกรรมของ AT89C51 และ ตำแหน่งขาของ AT89C51	19
รูปที่ 2.19 โครงสร้างของ ISD 2590	22
รูปที่ 3.1 วงจรสมบูรณ์ที่ใช้ FLASH MEMORY ของ AMD มาทำการเก็บข้อมูล	32
รูปที่ 3.2 Flow Chart ของ Main program	34
รูปที่ 3.3 Flow Chart ของ procedure RECORD	35
รูปที่ 3.4 Flow Chart ของ Procedure PLAY	35
รูปที่ 3.5 วงจรซึ่งใช้ CHIP ISD2590 มาทำการจัดเก็บข้อมูลเสียง และใช้จอแสดงผล LCM	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพและตาราง

หน้า

รูปที่ 3.6 วงจรถอดรหัสและการเชื่อมต่อกับไมโครคอนโทรลเลอร์ 39

รูปที่ 3.7 การ Interface ไมโครคอนโทรลเลอร์ กับ ISD2590 * 2 41

รูปที่ 3.8 วงจร METRIC SW. และการเชื่อมต่อกับไมโครคอนโทรลเลอร์ 42

รูปที่ 3.9 FLOW CHART ของ KEYPAD 43

รูปที่ 3.10 การเชื่อมต่อจอแสดงผล LCM เข้ากับ ไมโครคอนโทรลเลอร์ 44

รูปที่ 3.11 Flow Chart ของ Main program 46

รูปที่ 3.12 Flow Chart ของ Procedure PLAY 47

รูปที่ 3.13 Flow Chart ของ Procedure RECORD 48

รูปที่ 3.14 วงจรสมบูรณ์ 51

รูปที่ 3.15 Flow Chart ของ Main Program 52

รูปที่ 3.16 Flow Chart of Interrupt 0 Service routine 53

รูปที่ 3.17 Play Procedure 54

รูปที่ 3.18 Record Mode Procedure 55

รูปที่ 5.1 การวางอุปกรณ์ในการประกอบโครงงาน 77

รูปที่ 5.2 รูป Panel ของโครงงานที่ประกอบเสร็จสมบูรณ์แล้ว 79

รูปที่ 5.3 Flow Chart การใช้งานโครงงาน 81

ตารางที่ 2.1 แสดงขาสัญญาณต่าง ๆ ของ LCM 27

ตารางที่ 2.2 แสดงชุดคำสั่งของ LCM 27

ตารางที่ 3.1 ตำแหน่งการควบคุมอุปกรณ์ของไมโครคอนโทรลเลอร์ 33

ตารางที่ 3.2 แสดงตำแหน่งที่ไมโครคอนโทรลเลอร์ติดต่อกับอุปกรณ์ 37

ตารางที่ 3.3 การถอดรหัสขาสัญญาณของไมโครคอนโทรลเลอร์ 39

ตารางที่ 4.1 ค่าตำแหน่งที่ใช้ในการเริ่มต้นของข้อมูล ISD2590 57

ตารางที่ 4.2 ค่า Address ใหม่ที่ใช้เป็นค่าเริ่มต้นในโปรแกรม 57

โปรแกรมที่ 4.1 58

โปรแกรมที่ 4.2 59

โปรแกรมที่ 4.3 โปรแกรมสมบูรณ์ของโครงงาน 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เนื่องจากในปัจจุบันมีบุคคลซึ่งด้อยสมรรถภาพทางการพูดเป็นจำนวนมากในประเทศไทย ซึ่งบุคคลดังกล่าวยังจำเป็นจะต้องใช้ภาษามือในการติดต่อสื่อสารกับบุคคลธรรมดา แต่มีข้อจำกัดคือภาษามือจำเป็นจะต้องเรียนรู้มาก่อน โดยบุคคลธรรมดาที่ไม่เคยเรียนรู้ภาษามือจึงไม่สามารถติดต่อสื่อสารกับบุคคลด้อยสมรรถภาพทางการพูดได้เลย ดังนั้นบุคคลดังกล่าวจึงมีสังคมของตัวเองอยู่ในวงแคบ ซึ่งทำให้การรับรู้ข่าวสารไม่เพียงพอกับบุคคลเหล่านั้น

ถ้ามีทางเลือกให้บุคคลดังกล่าวสามารถติดต่อสื่อสารกับใครก็ได้โดยใช้ปุ่มกดแล้วมีเสียงพูดออกมาแทนภาษามือ นั่นคือจะทำให้เขาสามารถปรับตัวเข้ากับสังคมปัจจุบันได้และสิ่งนั้นก็คือจะไม่มีช่องว่างระหว่างสังคมของคนด้อยสมรรถภาพทางการพูดกับสังคมของคนปกติได้อีกต่อไป

โครงงาน COMMUNICATION BOARD นี้มีวัตถุประสงค์เพื่อพัฒนาการสื่อสารระหว่างคนด้อยสมรรถภาพทางการพูดกับคนปกติให้เป็นไปในอีกรูปแบบหนึ่งซึ่งแตกต่างจากการใช้ภาษามือซึ่งเป็นภาษามาตรฐานของคนพิการอยู่แล้ว โดยตัวโครงงานนี้จะเข้ามาช่วยในลักษณะการติดต่อสื่อสาร โดยคนด้อยสมรรถภาพทางการพูดจะสามารถส่งเสียงออกมาแทนการใช้ภาษามือ ซึ่งจะทำให้คนพิการเหล่านั้นมีความรู้ว่าตัวเองสามารถใช้ชีวิตอยู่กับคนธรรมดาได้โดยง่าย และได้รับความสะดวกมากขึ้น

โครงงานที่จัดทำขึ้นนี้มีความประสงค์เพื่อสร้างอุปกรณ์ที่ช่วยคนด้อยสมรรถภาพทางการพูด ให้มีความสามารถติดต่อสื่อสารกับคนธรรมดาได้ โดยจุดประสงค์หลักของโครงงานคือจัดทำโครงงานให้เกิดการใช้งานได้อย่างมีประสิทธิภาพและสามารถนำไปใช้ได้จริงกับคนด้อยสมรรถภาพทางการพูด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและรายละเอียดของอุปกรณ์

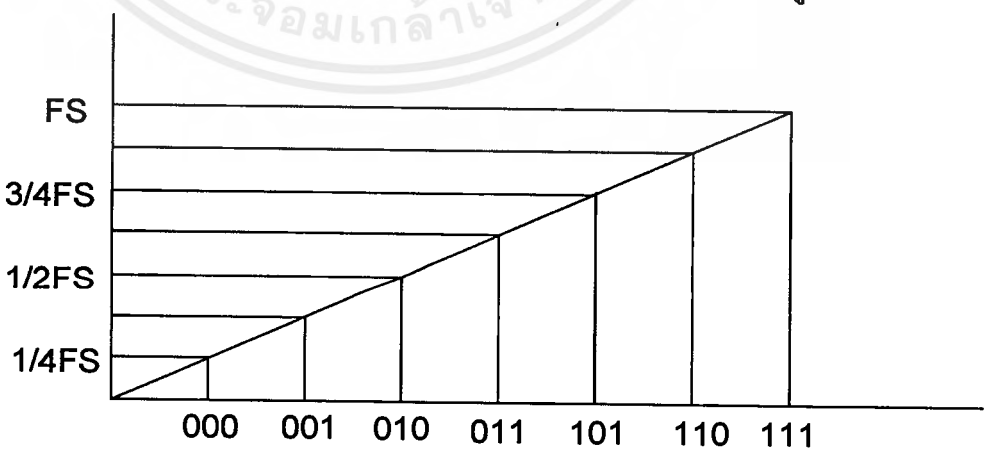
เนื่องจากในโครงงานนี้จำเป็นต้องใช้ทฤษฎีในการแปลงสัญญาณเสียง (Sampling) เป็นสัญญาณดิจิตอล จึงจำเป็นที่ต้องมีทฤษฎีในการออกแบบ โดยได้แบ่งเนื้อหาในบทนี้เป็นทฤษฎีเบื้องต้นและรายระเอียดการใช้งานอุปกรณ์ที่สำคัญบางตัวในโครงงานนี้

2.1 ทฤษฎีการสุ่มตัวอย่างข้อมูล (Sampling Theory)

รูปแบบสัญญาณเสียงที่เราพบเห็นและคุ้นเคยในชีวิตประจำวันจะอยู่ในรูปของสัญญาณต่อเนื่อง หรือที่เรียกว่า สัญญาณอนาลอก (Analog signal) ซึ่งแต่เดิมนั้น การนำเอาสัญญาณสียงดังกล่าวมาประมวล (Process) เพื่อ ให้มีรูปแบบที่เหมาะสมจะกระทำในแบบอนาลอกนั่นเอง แต่เมื่อมีเทคนิคและอุปกรณ์การประมวลสัญญาณทางดิจิตอลได้รับการพัฒนาขึ้นมา เนื่องจากพบว่าในรูปของดิจิตอล การประมวลผล เก็บ สื่อสาร และการนำเสนอกระทำได้ง่ายและมีประสิทธิภาพมากกว่าดังนั้นการเปลี่ยนรูปแบบของสัญญาณ(Conversion) จึงได้มีความจำเป็นขึ้นมา

2.1.1 วงจร Digital to Analogue Converter (DAC)

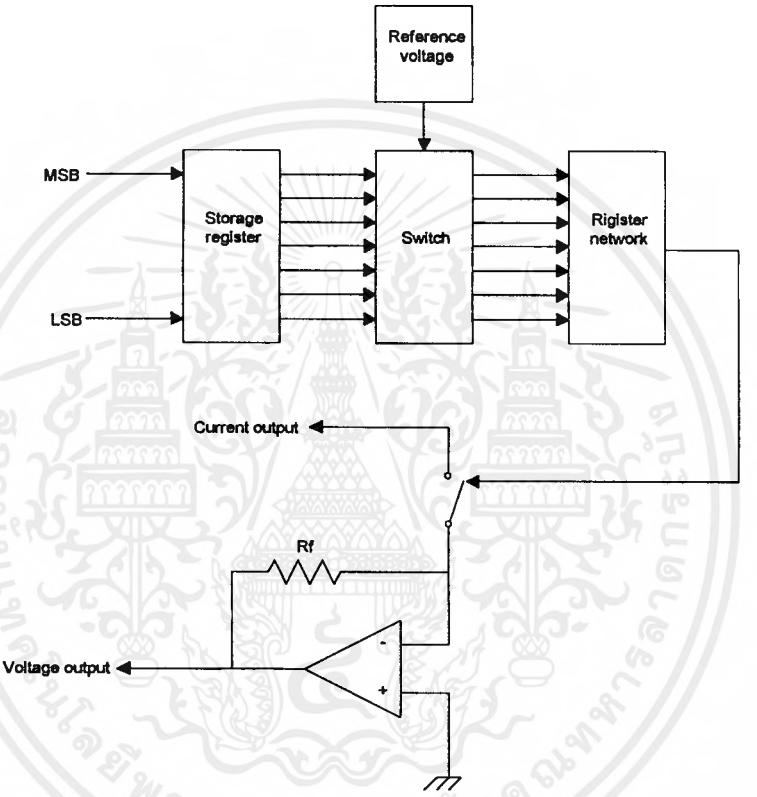
DAC นับเป็นอุปกรณ์สำคัญที่ทำให้ดิจิตอลคอมพิวเตอร์เชื่อมโยงกับอุปกรณ์ หรือวงจรอนาลอกอื่นๆ ตัวอย่างการใช้งาน DAC คือระบบแสดงผลบนจอภาพ ระบบสังเคราะห์เสียงเป็นต้น และที่สำคัญ DAC ยังเป็นส่วนประกอบที่สำคัญ ใน ADC ที่ใช้กันอยู่ในปัจจุบัน ในรูปที่ 2.1 แสดงทรานเฟอร์ฟังก์ชั่นของ DAC 3 บิท จะเห็นว่ารหัสสัญญาณดิจิตอลอินพุท 1 word จะแปลงเป็นแรงดันอนาลอก 1 ค่าลักษณะการจัดวงจร DAC ดังรูที่ 2.2



รูปที่ 2.1 ทรานเฟอร์ฟังชั่นของ DAC 3 บิทตามทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวใจสำคัญของ DAC คือ อาเรย์สวิทย์ที่ควบคุมด้วยลอจิกซึ่งมีจำนวน n ชุดเท่ากับจำนวนไบนารี่ สวิทย์เหล่านี้จะตัดต่อแรงดันอ้างอิงขนาดหนึ่งเข้ากับวงจรอาเรย์ รีซีสเตอร์ค่าต่าง ๆ ที่ weight ตามรหัสไบนารี่เอาท์พุทบัฟเฟอร์ แอมปริไฟร์เออร์จะทำหน้าที่เปลี่ยนกระแสที่ถูก Weight โดยวงจรรีซีสเตอร์ให้เป็นแรงดันแรงดันอนาลอกที่สัมพันธ์ต่อกัน ใน DAC บางวงจรมี Digital register อยู่ในตัวเพื่อ Latch รหัสอินพุทไว้ในขณะที่ DAC กำลังทำการเปลี่ยนเป็นสัญญาณอนาลอก



รูปที่ 2.2 บล็อกไดอะแกรมของ DAC

2.1.1.1 DAC แบบ binary weight ladder

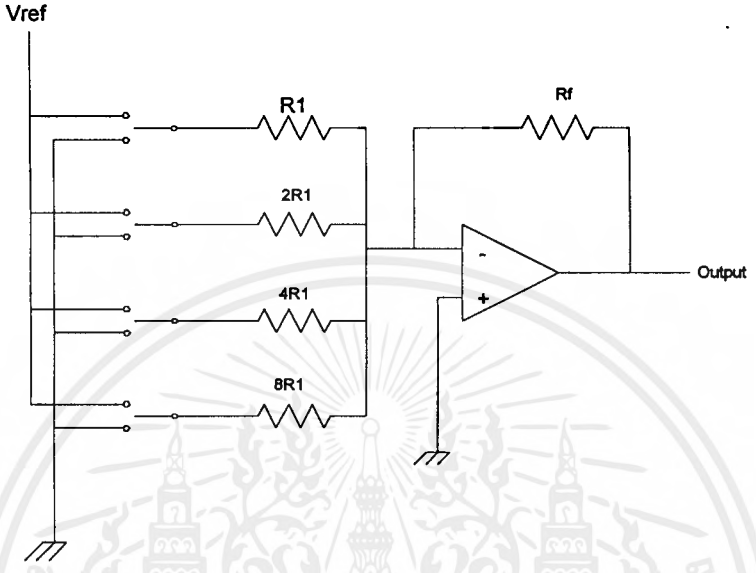
การจัดวงจร binary weight ladder มีลักษณะตามรูปที่ 2.3 โดยสวิทย์ S_1 - S_4 จะถูกควบคุมเปิดปิดด้วยรหัสดิจิตอลเพื่อตัดต่อแรงดันอ้างอิงเข้ากับวงจรรีซีสเตอร์ที่มีค่า R, 2R, 4R, ...(2N)R ตัวอย่าง ในกรณี DAC แบบ 4 บิทใช้รีซีสเตอร์เป็น 10 K, 20K, 40K, และ 80 K เป็นต้น

ค่ารีซีสเตอร์ที่ weight ค่าตามรหัสดิจิตอลที่เพิ่มขึ้นจะทำให้กระแสผ่านรีซีสเตอร์เข้าไปรวมกันก่อนเข้าออปแอมป์ลดลงด้วยแฟคเตอร์ 2 ตามค่า R ที่ เพิ่มขึ้น เช่น หาแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อ้างอิงเป็น 10 โวลท์ในตัวอย่างนี้ กระแสที่ผ่านตัวต้านทานจะเป็น 1.0, 0.5, 0.25 และ 0.125 mA ตามลำดับออปแอมป์ที่เอาท์พุทจะทำหน้าที่เปลี่ยนกระแสรวมให้เป็นแรงดันเอาท์พุท

$$v_o = \frac{-V_{ref}}{R_1} R_f(8S_4 + 4S_3 + 2S_2 + S_1) \quad ; \quad \text{S closed = 1 , s open = 0}$$

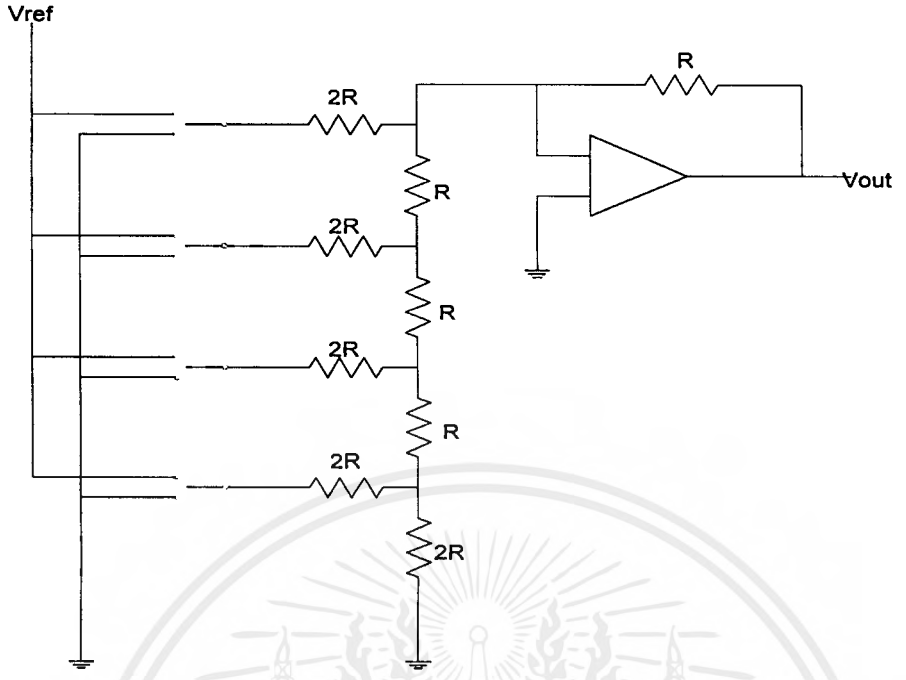


รูปที่ 2.3 DAC แบบ Binary weight ladder

2.1.1.2 DAC แบบ R-2R ladder

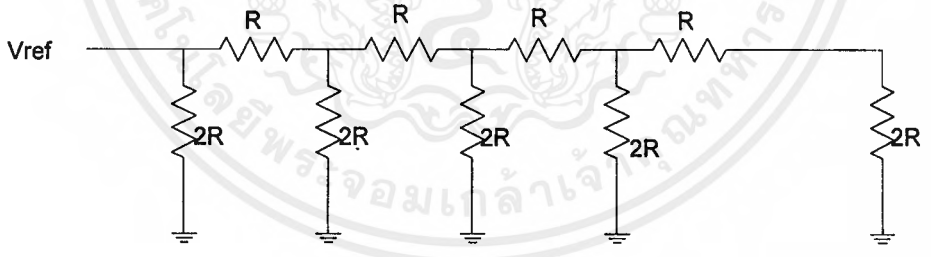
ถึงแม้ว่า DAC แบบ binary weight จะใช้ค่ารีซีสเตอร์เพียง 4 ค่าก็ตาม แต่ในการผลิต DAC แบบนี้ บนชิปไอซีเดียวกันก็ยังเป็นปัญหายุ่งยากในการผลิตอยู่ดีรูปแบบที่ดีกว่าคือการจัดการวงจรแบบ R-2R ดังรูปที่ 2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 วงจร DAC แบบ R-2R ladder ขนาด 4 บิท

ในวงจรนี้สวิทย์จะตัดต่อให้แรงดันอ้างอิงต่อเข้ากับวงจร ladder หรือต่อ ladder ลงกราวด์ที่ ขา 2R จะ ได้ว่า Switch input resister (2R) มอง เข้าไปจะเห็นคู่รีซีสเตอร์ระหว่างจุดต่อ R-2R ที่ ติดกัน กระแสจะถูกบั่นทอนไปในอัตรา 2:1 ซึ่งสอดคล้องกับรหัสไบนารี ดังแสดงในรูปที่ 2.3

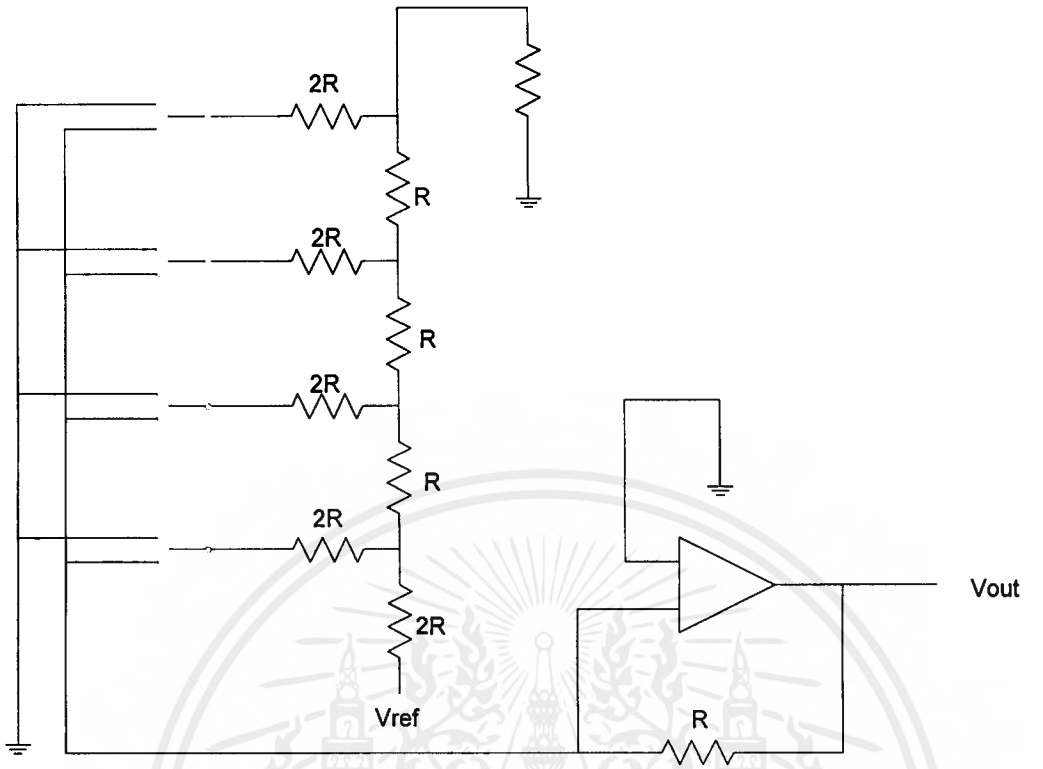


รูปที่ 2.5 วงจรรีซีสเตอร์ทีฟแลดเตอร์

2.1.1.3 Inverted R-2R Ladder DAC

ลักษณะการจัดวงจรแบบนี้จะคล้ายกับแบบ R/2R Ladder เพียงแต่สวิทย์จะตัดต่อขา R กับกราวด์และอินพุทของ Summing amplifier แทนที่จะเป็น V_{ref} วิธีการนี้นิยมใช้ในการทำ DAC ในวงจรรวมเพราะสวิทย์จะตัดต่อที่แรงดันคล่อมต่ำกว่าซึ่งสร้างได้ง่ายกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 วงจร Inverter R/2R ladder DAC

2.1.2 Analog to Digital Converter (ADC)

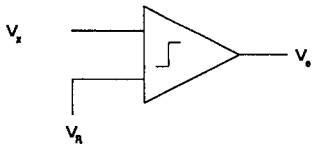
ลักษณะการจัดวงจร ADC มีหลายแบบ แต่ที่นิยมใช้มีเพียงไม่กี่แบบและส่วนใหญ่จะอยู่ในรูปของวงจรรวม

basic conversion method

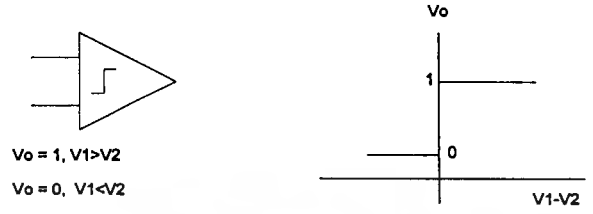
วิธีการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบง่ายๆ แสดงในรูปที่ 2.7 แรงดันอินพุทที่ไม่ทราบค่า V_x จะต่อเข้ากับขาอินพุทขาหนึ่งของอนาลอกคอมพาเรเตอร์ และแรงดันอ้างอิงที่ขนาดแปรตามเวลา V_R ต่อเข้าอินพุทอีกขาหนึ่งของคอมคอมพาราเตอร์ลักษณะของทรานเฟอร์ฟังชันของคอมพาเรเตอร์ แสดงในรูปที่ 2.8 ถ้าแรงดันอินพุท V_1 มากกว่าอินพุท V_2 แล้วแรงดันเอาท์พุทจะเป็นลอจิก 1 ถ้า อินพุท V_1 มากกว่า V_2 แล้ว เอาท์จะเป็นศูนย์

วิธีในการแปลงข้อมูล คือ แรงดันอ้างอิงจะถูกแปรค่าจนกระทั่งรู้ค่าแรงดันอินพุทที่ผิดพลาดไม่เกิน quantization error ของคอนเวอร์เตอร์ ในแนวความคิดแล้วตรรกะของ ADC คือ พยายามเลือกกลุ่มของสัมประสิทธิ์ไบนารี่ a_i เพื่อไม่ให้ผลต่างระหว่างแรงดันอินพุท V_x และค่าที่ Quantize ได้ครั้งสุดท้าย น้อยกว่า 0.5 LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



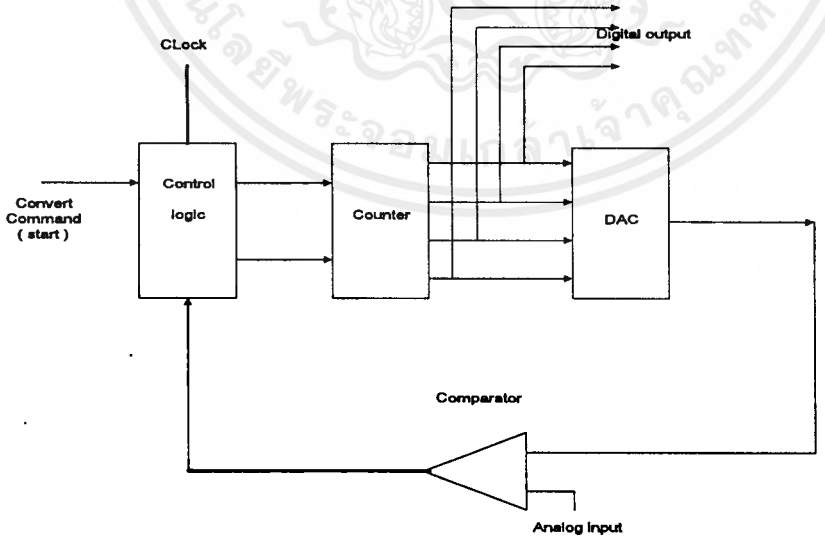
รูปที่ 2.7 แสดงวิธีการพื้นฐานของ ADC



รูปที่ 2.8 แสดงทรานสเฟอร์ฟังชันของคอมพาราเตอร์

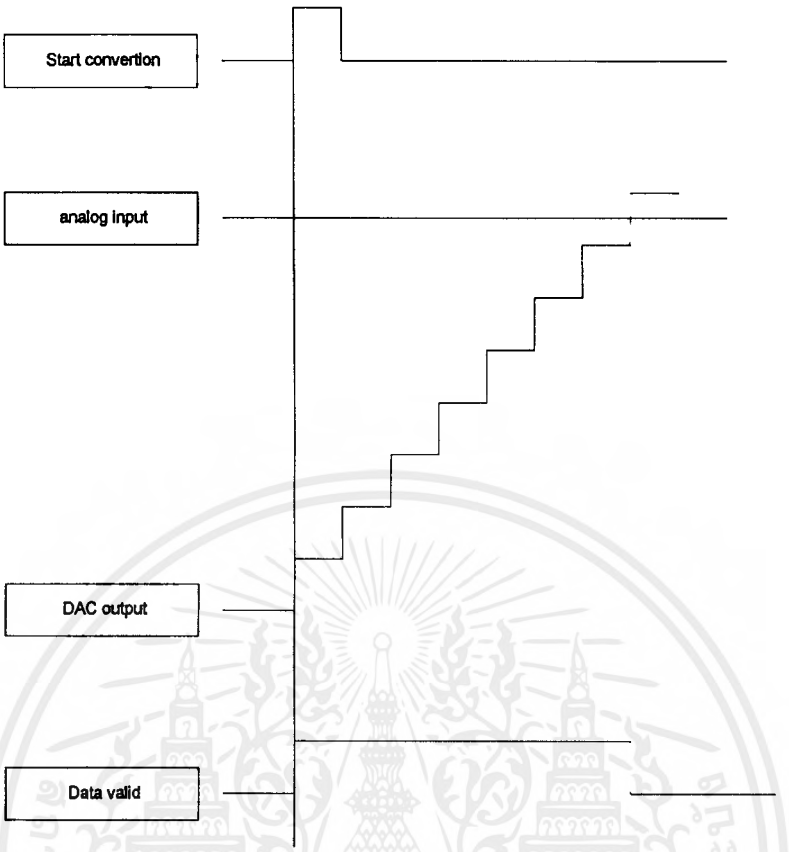
2.1.2.1 Counter type ADC

การ จัดวงจร ADC ลักษณะนี้เป็นแบบที่ง่ายที่สุด หลักการทำงานของวงจรคือ การเปรียบเทียบขนาดของแรงดันที่เอาท์พุทของ DAC กับ สัญญาณอนาลอกที่ไม่ทราบค่า V_{in} การทำงานจะเริ่มโดยสัญญาณ Start conversion ลอจิกคอนโทรลจะรีเซ็ทเคาท์เตอร์ให้เป็นศูนย์แล้วเริ่มนับขึ้นจากศูนย์เอาท์พุทของเคาน์เตอร์จะป้อนให้ DAC เพื่อแปลงเป็นสัญญาณอนาลอกลักษณะขั้นบันไดมาเปรียบเทียบกับสัญญาณอนาลอกอินพุทที่คอมพาราเตอร์ โดยเคาท์เตอร์จะยังนับจนกระทั่งเอาท์พุทเท่ากับสัญญาณอนาลอกอินพุทหรือต่างกันไม่เกิน 1 LSB แล้วคอมพาราเตอร์จะเปลี่ยนสถานะไปหยุดการนับของเคาน์เตอร์ และ latch ค่าจากเคาน์เตอร์เพื่อรอการประมวลผลต่อไป และรอรับสัญญาณ Start ใหม่



รูปที่ 2.9ก บล็อกไดอะแกรมของ counte type DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9ข Timing diagram counter type DAC

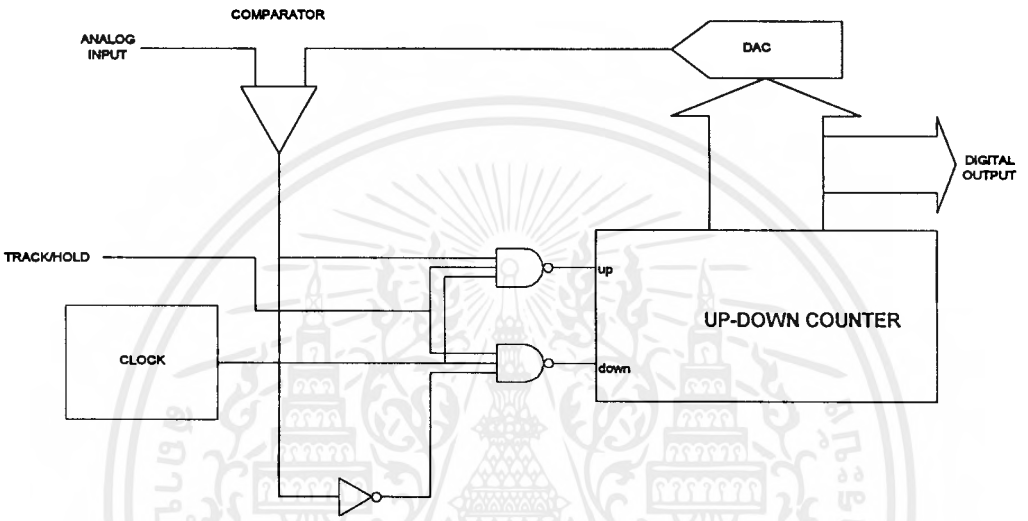
วงจรนี้มีข้อเสียที่ทำงานได้ช้าเพราะการแปลงสัญญาณแต่ละครั้งเคาท์เตอร์จะต้องถูกรีเซ็ทและเริ่มนับจากศูนย์ทุกครั้งดังในการแปลงสัญญาณเป็นดิจิตอล n บิท จะใช้จำนวน Clockถึง 2^N เพื่อเปลี่ยนให้ได้ค่าสูงสุดเต็มสเกล ส่วนข้อดีคือ สร้างได้ง่ายรวดเร็วราคาถูกแต่ความแม่นยำขึ้นอยู่กับ DAC ที่ใช้

2.1.2.2 Tracking ADC

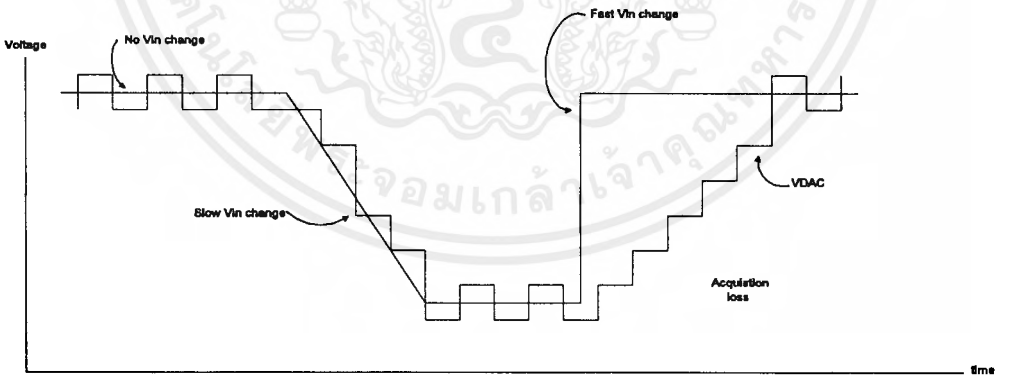
Tracking ADC ปรับปรุงวงจรแบบ Counter Type ทางด้านความเร็วโดยใช้เคาท์เตอร์แบบนับขึ้นลงได้ไม่จำเป็นต้องเริ่มจากการนับจากศูนย์ทุกครั้ง แต่จะเริ่มนับจากค่าที่ได้ Latch ไว้ จากการเปลี่ยนสัญญาณครั้งหลังสุด ดังนั้นส่วนควบคุมทางลอจิกจึงซับซ้อนมากกว่า โดยการทำงานจะเป็นดังนี้ เอาท์พุทจาก DAC จะถูกเปรียบเทียบกับสัญญาณอินพุท(V_{in}) หาก V_{in}มากกว่า ลักษณะลอจิกของคอมพาราเตอร์จะควบคุมให้เคาท์เตอร์นับขึ้น แต่ถ้า V_{in} น้อยกว่าเคาท์เตอร์จะนับลงจนกว่าค่าหลังสุดของเคาท์เตอร์จะต่างจากสัญญาณอนาลอกอินพุทไม่เกิน 1 LSB และค่าของเคาท์เตอร์จะถูก latch ไว้จากนั้นเคาท์เตอร์จะทำงานแบบติดตาม (Track) สัญญาณอินพุทจนได้ค่าเท่ากันอีกก็จะ Latch ค่าใหม่ไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากลักษณะการทำงานดังกล่าว V_{in} จะต้องไม่เปลี่ยนแปลงไปเร็วมากกว่าการทำงานของเคาท์เตอร์ มิฉะนั้นเอาท์พุทที่ได้จะไม่สอดคล้องกับสัญญาณอินพุท ตัวอย่างในกรณีสัญญาณรูปซายน์ซึ่งเปลี่ยนแปลงขนาดได้มากที่สุดเท่ากับค่าเต็มสเกล อัตราการเปลี่ยนแปลงจะเท่ากับอัตราการเปลี่ยนแปลงของเอาท์พุทของเคาท์เตอร์ คือ 1 LSB / Clock period ดังนั้นถ้าต้องการให้ ADC ตามอินพุทได้จะต้องให้



รูปที่ 2.10ก บล็อกไดอะแกรมของวงจร Tracking converter



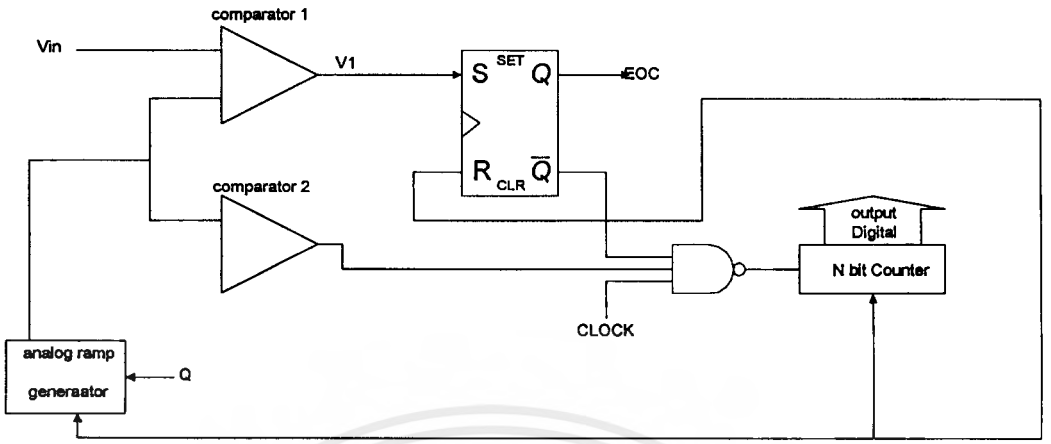
รูปที่ 2.10ข Timing diagram

2.1.2.3 Integrating ADC

หัวใจสำคัญของวงจร ADC ชนิดนี้คือวงจร Integrator เทคนิคของ ADC แบบ Integration คือ จะ ใช้สัญญาณ Ramp ต่อเนื่องแทนสัญญาณขั้นบันไดจาก DAC ซึ่งแบ่งตามลักษณะการทำงานได้สองแบบคือ Single slop converter และ Dual slope converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Single slope Converter



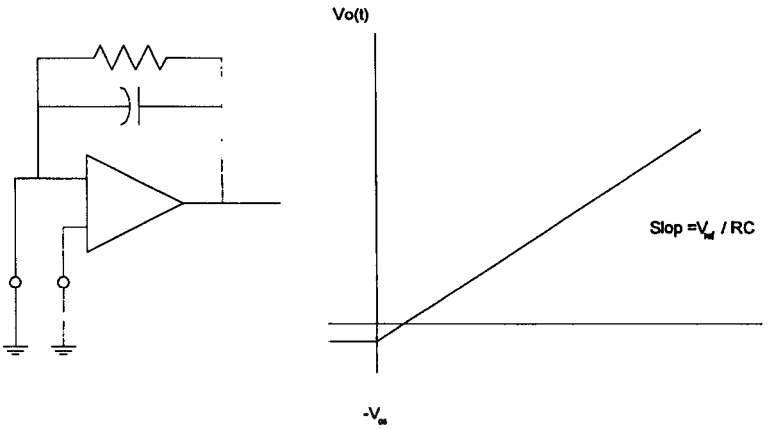
รูปที่ 2.11 Single slope converter

สัญญาณอนาลอกแบบ Ramp จะใช้เป็นแรงดันอ้างอิงที่เพิ่มขึ้นอย่างคงที่จากค่าต่ำกว่าศูนย์เล็กน้อยจนถึงค่าที่สูงกว่าค่าเต็มสเกลเล็กน้อย ซึ่งเวลาที่ใช้ในการสแกนของสัญญาณ Ramp จากศูนย์ถึงค่าแรงดันอินพุทจะเป็นสัดส่วนกับค่าแรงดันอินพุท

การ Conversion จะเริ่มด้วยสัญญาณ Start conversion ทำการรีเซ็ทไบนารี่เคาท์เตอร์ และเริ่มสร้างสัญญาณ Ramp จากแรงดันที่ต่ำกว่าศูนย์โวลท์ เมื่อสัญญาณ Ramp ผ่านศูนย์โวลท์ เอาท์พุทจากคอมพาราเตอร์ 2 จะ high และเปิดเกทไม่ให้ Clock เข้าสู่เคาท์เตอร์

เคาท์เตอร์จะเริ่มนับจนอินพุท V_{in} กระทั่ง สัญญาณ Ramp มีขนาดเท่าแรงดันอนาลอก อินพุท Vin ในเวลานี้เอาท์พุทจากคอมพาราเตอร์ 1 จะ High และเปิดเกทไม่ให้ Clock เข้าสู่เคาท์เตอร์ จำนวนพัลส์จากเคาท์เตอร์จะเป็นสัดส่วนกับแรงดันอินพุท เนื่องจาก VR = KT โดย R เป็นสโลปของ Ramp (ซึ่งคงที่) ในหน่วยโวลท์/ วินาที และ T เป็นจำนวนในการเคาท์เตอร์หารด้วย F_c ซึ่งเป็นความถี่สัญญาณ Clock ถ้าเลือกให้สโลปของ Ramp เป็น V_{FSR} fc $/2^n$ จำนวนที่เคาท์เตอร์ นับได้จะเท่ากับอัตราส่วนทางไบนารีหรือ V_{in}/V_{FSR} เวลาในการเปลี่ยน Tc ของ ADC แบบนี้ จะแปรเป็นสัดส่วนกับแรงดันที่อินพุท V_{in} เวลาที่ใช้ในการเปลี่ยนมากที่สุดเมื่อ $V_{in} = V_{FSR}$ คือ $T_{MAX} = 2^n/f_c$ และ เช่นเดียวกับใน ADC แบบเคาท์เตอร์ Ramp ค่าของรหัสเอาท์พุทสุดท้ายจะต่างจากค่าของ Vin ไม่เกิน 0.5 LSB ในรูปที่ 2.12 แสดง วงจรกำเนิดแรงดัน Ramp อย่างง่ายโดยการต่อแรงดันอ้างอิงกับอินทิเกรเตอร์เมื่อสวิทย์เปิด C จะทำการประจุและเพิ่มขนาดของแรงดันเอาท์พุท ข้อเสียประการหนึ่งคือหากใช้งานไปนาน ๆ การเปลี่ยนแปลงค่า RC ตามอุณหภูมิจะทำให้สโลปคลาดเคลื่อน ด้วยเหตุนี้ ADC ชนิดนี่ไม่เป็นที่นิยมใช้ในปัจจุบัน

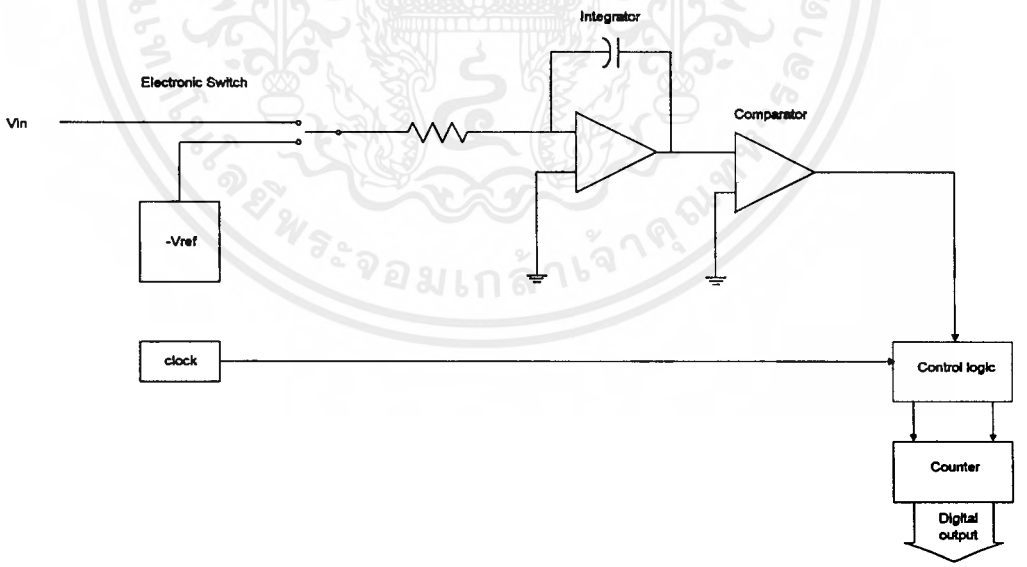
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 วงจร Ramp voltage generator อย่างง่าย และลักษณะของเอาท์พุท

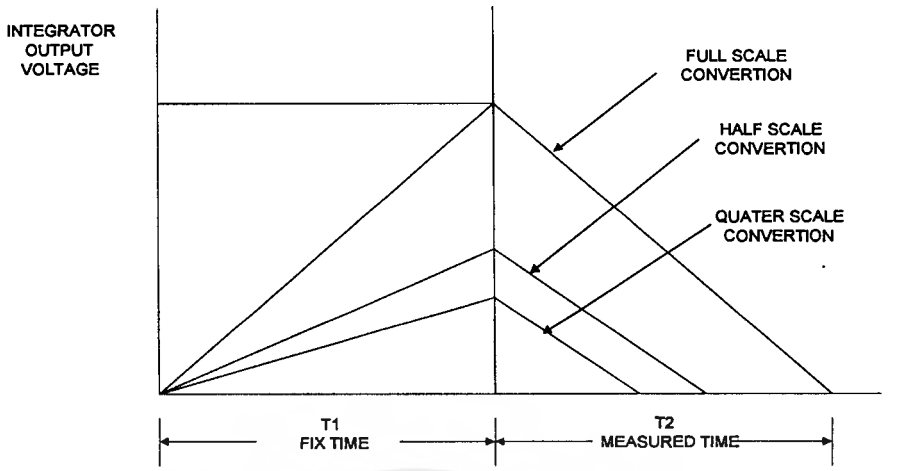
2. Dual Slope Converter

ADC แบบ Dual slope ได้รับการพัฒนาขึ้นเพื่อแก้ไขจุดบกพร่องของ Single slope ADC การจัดวงจรแสดงในรูปที่ 2.13 ในแต่ละวัฏจักรการทำงานของวงจรจะมี 2 ช่วง คือ T_1 และ T_2 ในเวลา T_1 จะเป็นช่วงเวลาที่ได้รับการออกแบบให้มีค่าแน่นอนคงที่ ในช่วงเวลานี้สัญญาณ อินพุทจะต่อเข้ากับอินทิเกรเตอร์ผ่านสวิทย์ S ซึ่งทำให้เอาท์พุทที่ถูกอินทิเกรท V_{int} เป็นรูปสัญญาณ Ramp ที่ขนาดเพิ่มขึ้นทางบวกและสโลปขึ้นอยู่กับขนาดของ V_{in} จนกระทั่ง V_{in} ถึงค่าหนึ่งเมื่อสิ้นสุด T_1



รูปที่ 2.13ก บล็อกไดอะแกรมของ Dual slope ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13ข การทำงานของ Dual slope ADCในช่วงเวลา T_2

ในช่วงเวลา T_2 อินพุทจะถูกตัดออกจากอินอินทิเกรเตอร์และต่อกับแรงดันอ้างอิงซึ่งมีค่าเป็นลบเข้ากับอินพุทของอินทิเกรเตอร์ โดยการควบคุมลอจิกทางในลักษณะเช่นนี้จะทำให้ V_{int} ลดลงด้วยสโลปคงที่จากการคายประจุผ่านลง $-V_{ref}$ เมื่อเริ่มต้นเวลา T_2 เคาท์เตอร์จะรีเซ็ทและเริ่มนับ จนเมื่อ V_{in} มีค่าลดถึงศูนย์ คอมพาราเตอร์จะเปลี่ยนสถานะไปบอกส่วนควบคุมลอจิกให้หยุดนับ และเอาท์พุทของเคาท์เตอร์จะถูกแปลงเป็นรหัสดิจิตอล ความสัมพันธ์ระหว่างช่วงเวลากับแรงดันอินพุทจะเป็นไปตามสมการ

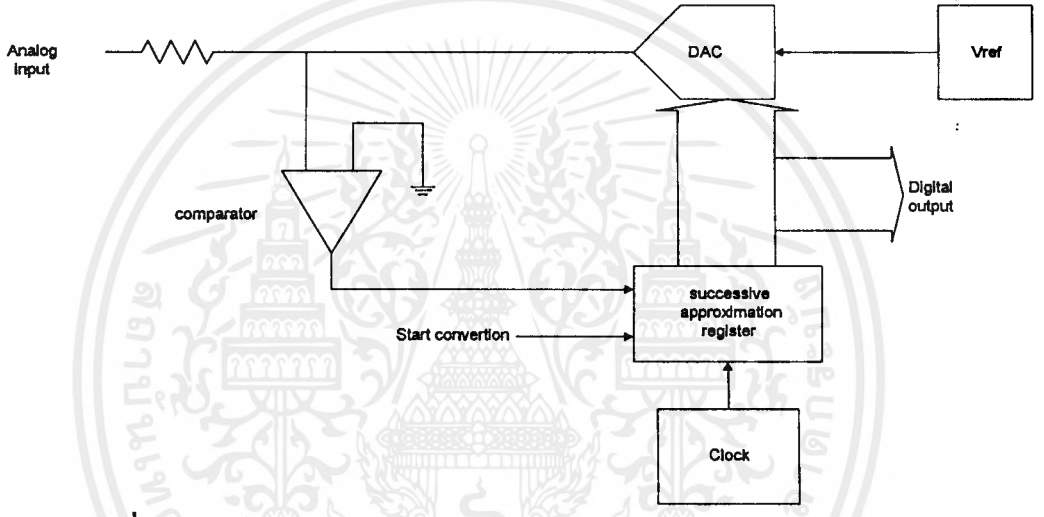
ดังนั้น รหัสดิจิตอลที่แสดงค่า T_2 จะแสดงค่าอัตราส่วนของแรงดันอินพุทต่อแรงดันอ้างอิงด้วยคุณลักษณะสำคัญของ Dual Slope มีหลายประการคือ ประการแรก ความแม่นยำของมันไม่ขึ้นกับเสถียรภาพของสัญญาณ Clock และ ตัวเก็บประจุ แต่จะขึ้นอยู่กับความเที่ยงตรงของแรงดันอ้างอิงและความเป็นเชิงเส้นของอินทิเกรเตอร์ ประการที่สอง การจำกัดสัญญาณรบกวนด้วยตัวเองของวงจรสามารถกระทำได้ ถ้าเซ็ทให้ T_1 มีขนาดเท่ากับคาบเวลาของสัญญาณรบ เช่น ในการจำกัดสัญญาณของ ADC นี้คือ ความเร็วในการ Conversion ค่อนข้างต่ำจึงนิยมใช้กับเครื่องมือที่ไม่ต้องการความเร็วเช่น ดิจิตอลมิเตอร์ เป็นต้น

2.1.2.4 Successive Approximation ADC

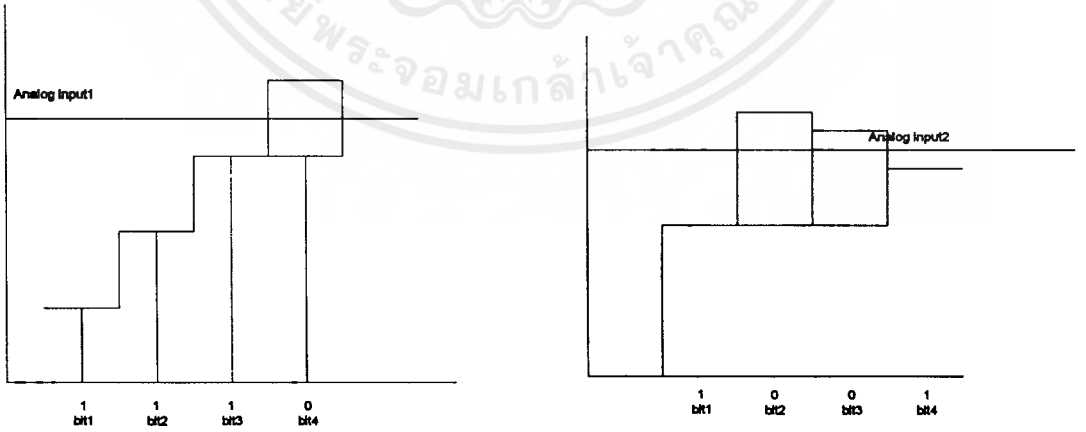
วงจร ADC ชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วปานกลางและค่อนข้างสูง การจัดวงจรจะคล้ายกันกับแบบเคาท์เตอร์ ที่ทำในลักษณะป้อนกลับ ซึ่งบล็อกไดอะแกรมในรูปที่ 2.13 แสดงฟังชั่นต่างๆ ใน ADC ชนิดนี้ คอมพาราเตอร์จะคอยเปรียบเทียบเอาท์พุทจาก DAC กับอนาลอกอินพุท V_{in} เอาท์พุทจะไปควบคุม Successive Approximation Register (SAR) ซึ่งเป็นไอซี MSI (Medium Scale Integrated Circuit) ที่ได้รับการออกแบบเป็นพิเศษเพื่อทำหน้าที่โดยเฉพาะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.15 แสดงไทมิ่งไดอะแกรมของ ADC ที่มีระดับอนาลอก 1 และ 2 ที่ระดับ 1 เมื่อ Clock เข้าไปหนึ่งลูกจะทำให้ MSB (Most Significant Bit)(บิท)เป็น 1 ทุกบิทอื่นยังคงเป็นศูนย์ DAC จะเปลี่ยนเอาท์ของ SAR เป็นอนาลอกเปรียบเทียบกับสัญญาณอนาลอกอินพุท ถ้าผลของการเปรียบเทียบที่คอมพาราเตอร์บอกว่าน้อยกว่าอินพุทก็ให้คงบิทนั้นเป็น 0 จากนั้นทำการทดสอบบิทถัดไปโดยทำเป็น 1 หาก ผลรวมของสองบิทหรือหลังมากกว่าก็ให้บิทนั้นเป็น 0 แต่ถ้าน้อยกว่าให้คงไว้ แล้วทดสอบบิทถัดไปตามกรรมวิธีดังกล่าวจนครบทุกบิทหรือจนกว่าให้เอาท์พุทต่างจาก V_{in} ไม่เกิน 1 LSB ในตัวอย่างแสดงการทำงานเมื่อ V_{in} ลดต่ำลงมาอีกระดับเช่นกัน



รูปที่ 2.14 บล็อกไดอะแกรมของ Successive Approximation ADC



รูปที่ 2.15 Timing diagram ของ SAR

มีข้อจำกัดประการหนึ่งสำหรับการ Conversion สัญญาณอินพุทจะต้องคงที่ ในช่วงเวลา ที่ทำการเปลี่ยนแปลงสัญญาณโดย ได้ไม่เกิน 1/2 LSB ในช่วงสุดท้ายของการเปลี่ยน

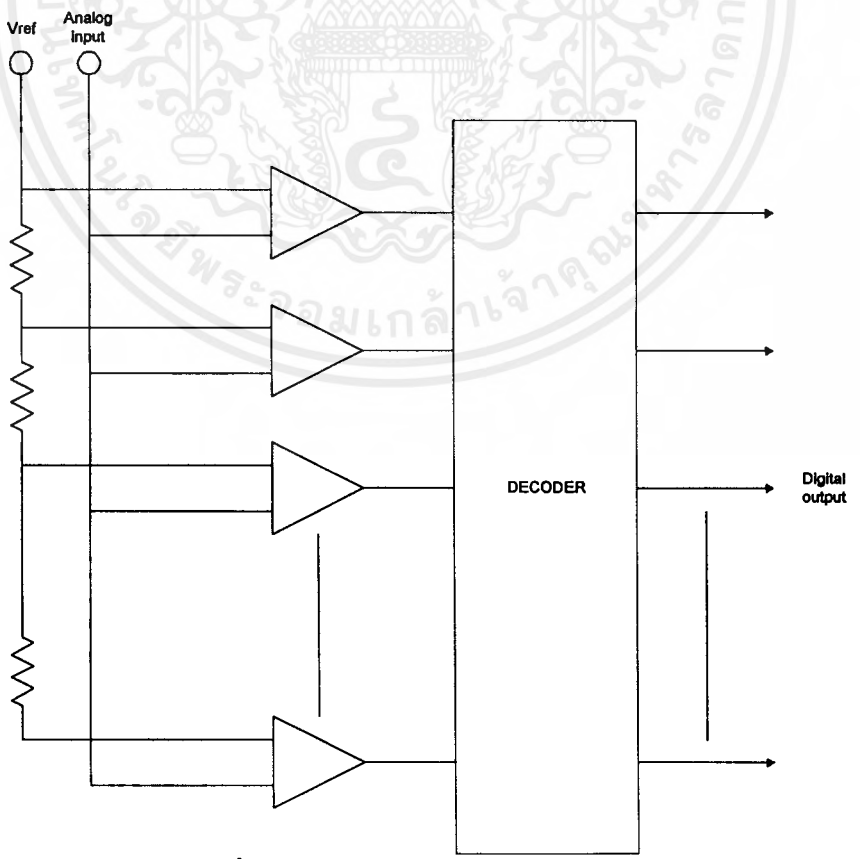
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณดิจิตอลเอาท์พุทจะออกมาขนานกันทุกบิท แต่บางแบบจะให้เอาท์พุทออกมาในลักษณะอนุกรม

วงจร ADC แบบนี้สามารถทำงานได้ 2 โหมด คือ โหมดที่ทำงานโดยอิสระ (Free run) และ โหมดที่รอคำสั่ง Start conversion จากภายนอก เวลาที่ใช้ในการเปลี่ยนสัญญาณใช้ (n + 1) ของ พัลส์ Clock โดย Clock ลูกแรกจะใช้ในการรีเซ็ทรีจีสเตอร์ภายใน

2.1.2.5 Parallel (Flash) ADC

สำหรับการแปลงสัญญาณที่ต้องการความเร็วสูงมาก ๆ เช่นแปลงสัญญาณโทรทัศน์ เรดาร์ จำเป็นต้องใช้ ADC แบบ พิเศษ ที่เรียกว่า Parallel ADC ซึ่งแสดงบล็อกไดอะแกรมดังรูปที่ 2.16 หลักการทำงานคือจะใช้คอมพาราเตอร์ทำการเปรียบเทียบสัญญาณอนาลอกอินพุทกับแรงดันให้สอดคล้องกับรหัสดิจิตอล โดยใช้ตัวต้านทานแล้วแปลงเอาท์พุทจากคอมพาราเตอร์ให้ตรงกับรหัสดิจิตอล ซึ่งจะเห็นว่าอุปสรรคทางด้านความเร็วจะถูกจำกัดเพียง Propagation Time ของ คอมพาราเตอร์เท่านั้น แต่อุปสรรคที่สำคัญต่อการพัฒนาวงจรชนิดนี้บนชิปไอซี คือ วงจรนี้ต้องการคอมพาราเตอร์ถึง $2^n - 1$ สำหรับ ADC 1 ตัว แต่ก็ได้ ADC ชนิดที่ทำงานได้รวดเร็วที่สุดเช่นกัน



รูปที่ 2.16 บล็อกไดอะแกรมของ Flash ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 รายละเอียดของอุปกรณ์ที่สำคัญ

เนื่องจากในโครงงานนี้จำเป็นต้องทราบถึงรายละเอียดของอุปกรณ์หลักบางตัวที่สำคัญ โดยรายละเอียดทั้งหมดสามารถที่จะศึกษาได้จากภาคผนวก ซึ่งได้แบ่งอุปกรณ์ที่จำเป็นจะต้องทราบได้เป็นส่วนใหญ่ ๆ ได้ดังนี้

1. ในส่วนของ ไมโครคอนโทรลเลอร์ ที่ใช้ควบคุมวงจรทั้งหมด
2. ส่วนของ ตัวเก็บเสียง
3. ส่วนของ อินพุท ซึ่งในที่นี้ก็คือ key pad นั่นเอง
4. ส่วนของจอ LCM (Liquid Crystal display Module)

ซึ่งในแต่ละส่วนนั้นจะได้กล่าวถึงรายละเอียดของแต่ละอุปกรณ์หลักโดยสังเขปดังนี้

2.2.1 ไมโครคอนโทรลเลอร์

ไมโครคอนโทรลเลอร์ ที่ใช้ในโครงงานนี้ ได้แก่ ไมโครคอนโทรลเลอร์ ของบริษัท ATMEL เบอร์ AT89C51 ซึ่งเป็นไมโครคอนโทรลเลอร์ที่มีความคล่องตัวมากเนื่องจากมี FLASH MEMORY ภายในตัวไมโครคอนโทรลเลอร์เอง อีกทั้งเนื่องจากเป็น FLASH MEMORY จึงสามารถเขียนและลบข้อมูลได้ง่ายกว่า รุ่นที่เป็น EPROM ซึ่งจะต้องลบด้วยแสงจึงใช้เวลานานกว่าใช้ FLASH MEMORY

2.2.1.1 รายละเอียดของไมโครคอนโทรลเลอร์ AT89C51

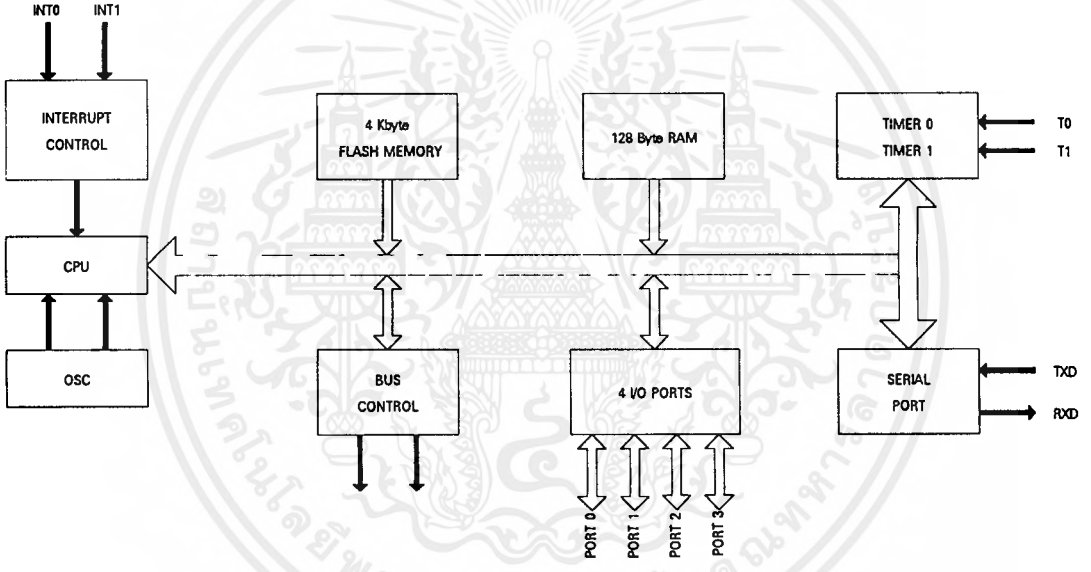
ไมโครคอนโทรลเลอร์ AT89C51 มีการทำงานเป็นแบบ 8 บิท ซึ่งหมายความว่าส่วนที่ทำหน้าที่ในการคำนวณนั้นจะทำงานสูงสุดทีละ 8 บิท เท่านั้น โดย AT89C51 มีข้อดีดังนี้

- สามารถนำเอาข้อมูลมา AND, OR หรือทำ Complement ทั้งแบบทีละ 8 บิท และ 1 บิท
- สามารถใช้กับหน่วยความจำสำหรับโปรแกรม (Program memory) ซึ่งเป็นหน่วยความจำที่ใช้สำหรับเก็บชุดคำสั่งที่จะให้ AT89C51 ทำงานได้สูงสุด 64 กิโลไบท์ (kilobyte) ทำให้เขียนโปรแกรมควบคุมการทำงานได้มาก
- มีหน่วยความจำภายในถึง 4 กิโลไบท์ ทำให้ไม่ต้องเพิ่มหน่วยความจำภายนอกในการทำงาน ระบบจึงมีขนาดเล็กลง
- มีพอร์ทแบบขนาน (Parallel Port) สำหรับข้อมูลเข้าและออกจำนวน 32 บิท ที่ข้อมูลแต่ละบิทเป็นอิสระต่อกัน
- มีวงจร Timer/Counter ขนาด 16 จำนวน 2 ชุด ที่ทำงานในโหมดต่าง ๆ ได้ถึง 4 โหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- มีวงจรในการรับส่งข้อมูลอนุกรม แบบ Full duplex ที่สามารถเลือกรูปแบบการ รับ ส่ง ได้ถึง 4 แบบ
- มีแหล่งกำเนิดสัญญาณขอขัดจังหวะการทำงานของโปรแกรม (Interrupt Request Signal) ถึง 6 แหล่ง และสามารถกระโดดไปทำงานตอบสนองการขัดจังหวะ (Interrupt service Routine) ได้ต่าง ๆ กัน 5 ตำแหน่ง
- มีโหมดในการประหยัดพลังงาน Idle Mode & Power Down Mode ซึ่งจะประหยัดพลังงานลงมาก

2.2.1.2 โครงสร้างของ ไมโครคอนโทรลเลอร์ AT89C51



รูปที่ 2.17 ไดอะแกรมโครงสร้างของ AT89C51

เนื่องจาก AT89C51 เป็นไมโครโปรเซสเซอร์ประเภทหนึ่ง จึงมีส่วนประกอบหลัก ๆ คือ **หน่วยประมวลผลหลัก** CPU (Central Processing Unit) , **หน่วยความจำ** (Memory Unit) , **หน่วยนำข้อมูลเข้าและออก** (Input/Output Unit)

1. หน่วยประมวลผลหลัก CPU (Central Processing Unit)

ในส่วนนี้จะมีวงจรที่ทำหน้าที่สร้างสัญญาณควบคุมในการติดต่อกับส่วนอื่น ๆ เรียกว่าวงจรควบคุม (Control Unit) สัญญาณที่สร้างจากวงจรควบคุมได้แก่สัญญาณสำหรับการติดต่อกับหน่วยความจำ ,อุปกรณ์รับข้อมูลเข้าหรือออก ซึ่งส่วนควบคุมการขัดจังหวะ (Interrupt Control) และส่วนควบคุมบัส (Bus Control) ก็เป็นส่วนหนึ่งของวงจรควบคุมด้วย การสร้างสัญญาณควบคุมจากส่วน CPU นี้จะทำการสร้างสัญญาณโดยการถอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รหัสจากคำสั่ง (Intruction) ตามที่มีการกำหนดไว้ และสัญญาณที่สร้างขึ้นมาจะอ้างอิงกับสัญญาณนาฬิกาเพื่อให้ทุก ๆ ส่วนในวงจรทำงานประสานกัน (Synchronize) อย่างถูกต้อง

อีกทั้งในส่วนนี้ ยังประกอบไปด้วย ส่วนประมวลผล (Arithmetic Logic Unit) ซึ่งส่วนนี้จะทำหน้าที่หลักในการคำนวณเช่น การบวก ,การลบ ,การคูณ หรือ หาร เป็นต้น

2. หน่วยความจำ (Memory Unit)

ส่วนนี้มีไว้เพื่อจดจำข้อมูลที่ AT89C51 ซึ่งมีค่าสูงสุดในการอ้างข้อมูลได้สูงสุดคือ 64 กิโลไบท์ โดยในการที่จะอ้างถึงข้อมูลในหน่วยความจำจะต้องประกอบด้วยส่วนหลัก ๆ 3 ส่วนดังนี้

- แอสเดรด (Address) หรือ ค่าตำแหน่งที่ต้องการจะติดต่อกับข้อมูล โดยประกอบด้วย Program memory และ Data memory
- ข้อมูลที่จะอ่านหรือเขียนกับหน่วยความจำที่ตำแหน่ง (Address) ดังกล่าวข้างต้น
- สัญญาณควบคุมที่จะส่งไปติดต่อกับหน่วยความจำ เพื่อจะบอกกับหน่วยความจำว่าจะทำการอ่านหรือ เขียนข้อมูล โดยสัญญาณในการติดต่อกับหน่วยความจำจะแตกต่างกันระหว่าง Program memory และ Data memory

3. หน่วยนำข้อมูลเข้าและออก (Input/Output Unit)

ในส่วนนี้เป็นส่วนที่ทำการนำข้อมูลเข้าหรือออกจากตัว AT89C51 โดยแบ่งได้เป็น

- 4 I/O พอร์ท (Port) โดยแต่ละพอร์ทจะสามารถรับส่งข้อมูลได้ครั้งละ 8 บิท ซึ่งมี พอรัต 0 , 1 , 2 , และ 3 ซึ่งบางพอร์ทยังสามารถทำงานได้หลายหน้าที่เช่น พอร์ท 0 และ พอร์ท 2 จะทำหน้าที่เป็นตัวชี้ตำแหน่งของข้อมูลอีกด้วย โดยในการแยกแยะว่าขณะใด ในแต่ละพอร์ททำหน้าที่เป็นอะไรนั้นจะมีสัญญาณ control มาควบคุมให้รู้
- Timer 0 และ Timer 1 เป็นวงจรนับที่สามารถกำหนดให้ทำการนับจำนวนไซเคิลของสัญญาณที่ต่อจากภายนอก AT89C51 หรือ จำนวนไซเคิลของสัญญาณนาฬิกาภายใน AT89C51 ก็ได้ค่าจากการนับจะถูกอ่านหรือตั้งค่าเริ่มต้นของการนับได้โดย CPU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Serial Port หรือ พอร์ทอนุกรม โดย CPU จะทำการอ่านข้อมูลครั้งละ 8 บิทแต่ข้อมูลจะถูกส่งออกจาก AT89C51 ไปทีละบิทโดยใช้ขา TXD เป็นขาส่งข้อมูล และ ขา RXD เป็นขารับข้อมูล

2.2.1.3 สถาปัตยกรรมของ AT89C51

สถาปัตยกรรมของ AT89C51 สามารถแสดงพร้อมตำแหน่งขาได้ดังรูปที่ 2.18

<u>รายละเอียดและหน้าที่ของแต่ละขาของ AT89C51</u>

VCC

ขาที่ 40 เป็นขาที่ต้องป้อนไฟเลี้ยง +5 โวลท์ เข้าไปเพื่อให้วงจรรวมทำงานได้ ระดับโวลเตจของลอจิก 0 และ 1 ของ AT89C51 จึงต่อเข้ากับอุปกรณ์ลอจิกแบบ TTL ได้โดยตรง

VSS

ขาที่ 20 เป็นขาที่ต้องต่อกับกราวด์ (Ground) ของแหล่งจ่ายไฟ การต่ออุปกรณ์ทั้งหมดจะต้องมีกราวด์ของอุปกรณ์ต่อเข้าด้วยกัน

Port 0

เป็นพอร์ทขนานขนาด 8 บิท อยู่ที่ขา 39 ถึง 32 เริ่มจากบิท 0 ถึง 7 ตามลำดับดังรูป โดยแต่ละขาจะเขียนว่า P0.0 , P0.1 , ... , P0.7 โดยแสดงว่า เป็นพอร์ท 0 บิทที่เท่าไร ซึ่งมี บิท 7 เป็น บิทที่มีนัยสำคัญสูงสุด และ บิท 0 เป็นบิทที่มีนัยสำคัญต่ำสุด

พอร์ท 0 มีหน้าที่ดังนี้

1 . ใช้สำหรับส่งค่าตำแหน่งของหน่วยความจำภายนอกที่ต้องการติดต่อด้วย ตำแหน่งหน่วยความจำสูงสุดที่จะติดต่อได้ก็คือ 64 กิโลไบท์ จึงมีค่าตำแหน่งหน่วยความจำ 16 บิทของเลขฐาน 2 โดย 8 บิทล่างจะถูกส่งออกจาก พอร์ทนี้ และ อีก 8 บิทบนจะถูกส่งออกมาจากพอร์ท 2

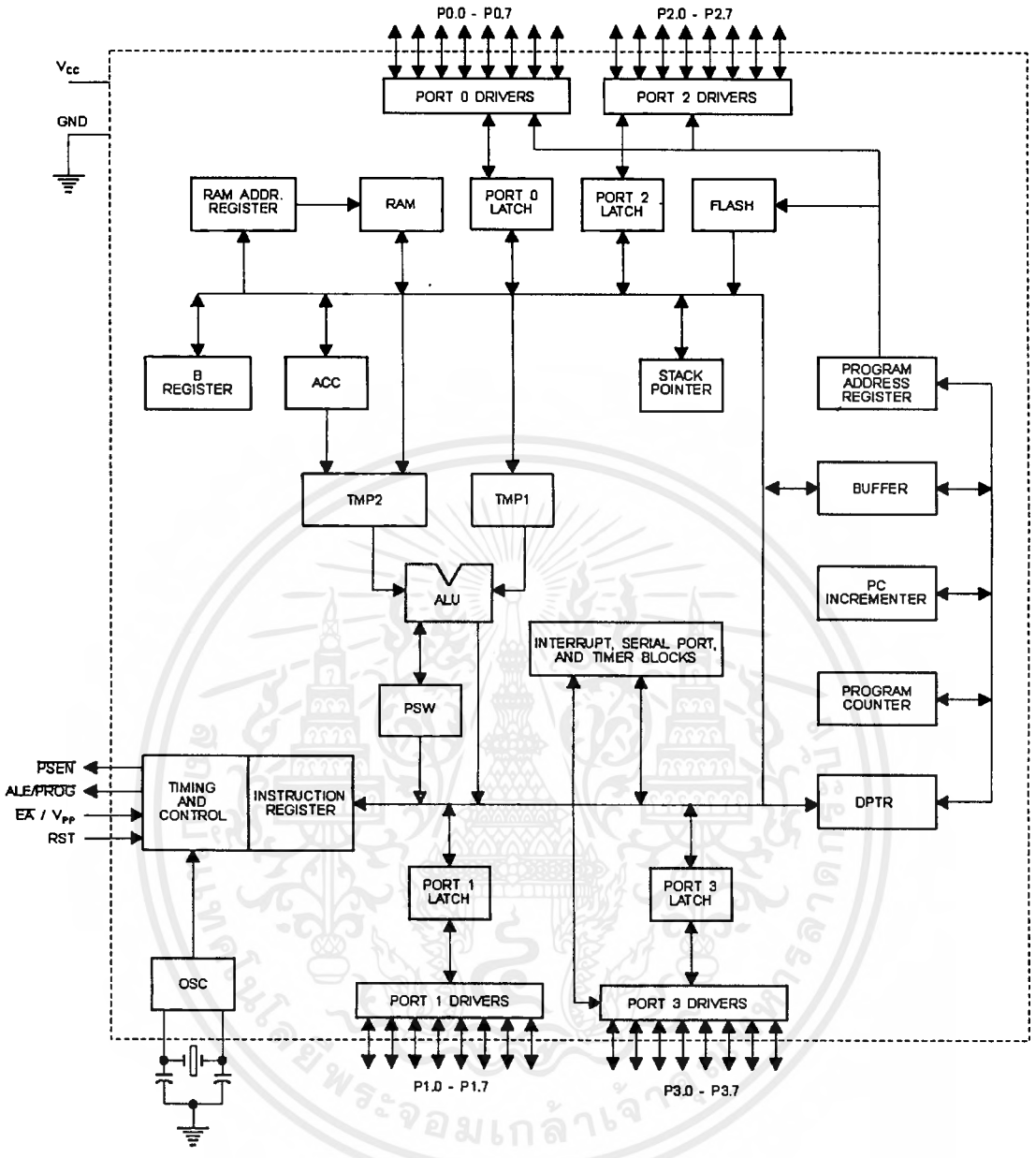
2. ใช้รับ ส่งข้อมูลกับ Data Memory หรือใช้รับข้อมูลจาก Program memory

3. ใช้รับ ส่งข้อมูลผ่านทางพอร์ทโดยตรง ในกรณีที่ไม่มีการใช้หน่วยความจำของ Program memory หรือ Data Memory

Port 1

เป็นพอร์ทขนานขนาด 8 บิท คือ ขา P1.0 ถึง P1.7 (ขา 1 - 8) โดยในพอร์ทนี้จะทำหน้าที่ติดต่อข้อมูลโดยตรงกับอุปกรณ์ภายนอกเพียงอย่างเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 สถาปัตยกรรมของ AT89C51 และ ตำแหน่งขาของ AT89C51

Port 2

เป็นพอร์ทขนานขนาด 8 บิท คือ ขา P2.0 ถึง P2.7 โดยในพอร์ทนี้จะทำหน้าที่เป็น 2 ลักษณะ คือ

1. ใช้ส่งค่าตำแหน่งของหน่วยความจำภายนอกที่ต้องการติดต่อ ซึ่งเป็น 8 บิทบนของค่าตำแหน่ง
2. ใช้เป็นพอร์ทรับ - ส่งข้อมูลกับภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการ
033832

Port 3

เป็นพอร์ทขนานขนาด 8 บิท คือ ขา P2.0 ถึง P2.7 โดยในพอร์ทนี้จะทำหน้าที่เป็น 2 ลักษณะ คือ

1. ใช้รับ - ส่งข้อมูลโดยตรงกับอุปกรณ์ภายนอก
2. ใช้งานในลักษณะพิเศษ โดยมีรายละเอียดของแต่ละขาดังนี้

P3.0/RXD (Serial Input Port) เป็นขาที่ใช้รับข้อมูลแบบอนุกรม

P3.1/TXD (Serial Output Port) เป็นขาที่ใช้ส่งข้อมูลแบบอนุกรม

P3.2/$\overline{\text{INT0}}$ (External Interrupt) ใช้รับสัญญาณการขัดจังหวะจากภายนอก

P3.3/$\overline{\text{INT}}$ (External Interrupt) ใช้รับสัญญาณการขัดจังหวะจากภายนอก

P3.4/T0 (Timer / Counter 0 External Input) ขารับสัญญาณเข้าไปยังวงจร Timer / Counter 0 ซึ่งทำหน้าที่นับจำนวนไซเคิลของสัญญาณ T0 นี้ หรือ สัญญาณนาฬิกาก็ได้

P3.5/T1 (Timer / Counter 1 External Input) ขารับสัญญาณเข้าไปยังวงจร Timer / Counter 1 ซึ่งทำหน้าที่นับจำนวนไซเคิลของสัญญาณ T1 นี้ หรือ สัญญาณนาฬิกาก็ได้

P3.6/WR (External Data Memory Write Strobe) เป็นขาสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับข้อมูลภายนอก AT89C51

P3.7/RD (External Data Memory Read Strobe) เป็นขาสัญญาณควบคุมการอ่านข้อมูลไปยังหน่วยความจำสำหรับข้อมูลภายนอก AT89C51

RST

เป็นขารีเซ็ทซึ่งทำหน้าที่รีเซ็ทการทำงานของ AT89C51 โดยจะทำงานเมื่อมีสัญญาณลอจิก 1 โดยเมื่อ AT89C51 ถูกรีเซ็ท ตัว AT89C51 เองจะทำการเคลียร์ข้อมูลภายใน รีจีสเตอร์ (Register)

ALE

Address Latch Enable ขานี้จะส่งสัญญาณที่มีความถี่ 1/6 เท่าของสัญญาณนาฬิกาจากออสซิลเลเตอร์ สัญญาณนี้จะส่งออกมาตลอดเวลาเพื่อบอกกับอุปกรณ์ภายนอกว่าขณะนี้สัญญาณที่ส่งออกมาจาก Port 0 และ Port 2 เป็นค่าตำแหน่งที่ใช้ในการอ้างถึงข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PSEN

Program Strobe Enable เป็นขาที่จะ Active เมื่อ AT89C51 ต้องการอ่านข้อมูลจากหน่วยความจำภายนอก โดยถ้า AT89C51 ไม่มีการอ้างถึงหน่วยความจำภายนอกเลย ที่ขานี้ก็จะไม่มีการเปลี่ยนแปลงสถานะ

EA

External Access เป็นขาที่ใช้ควบคุมให้ AT89C51 รู้ว่าในตำแหน่งที่ 0000 - 0FFFh มีการอ้างข้อมูลจากหน่วยความจำภายใน หรือ ภายนอก โดยถ้าขานี้เป็น 0 (low) แล้วจะแสดงว่าข้อมูลในตำแหน่ง 0000 - 0FFFh อยู่ในหน่วยความจำภายนอก และในทางตรงข้ามถ้าขานี้เป็น 1 ก็หมายความว่า ข้อมูลที่ตำแหน่ง 0000 - 0FFFh อยู่ภายในตัว AT89C51 เอง

XTAL 1 , XTAL 2

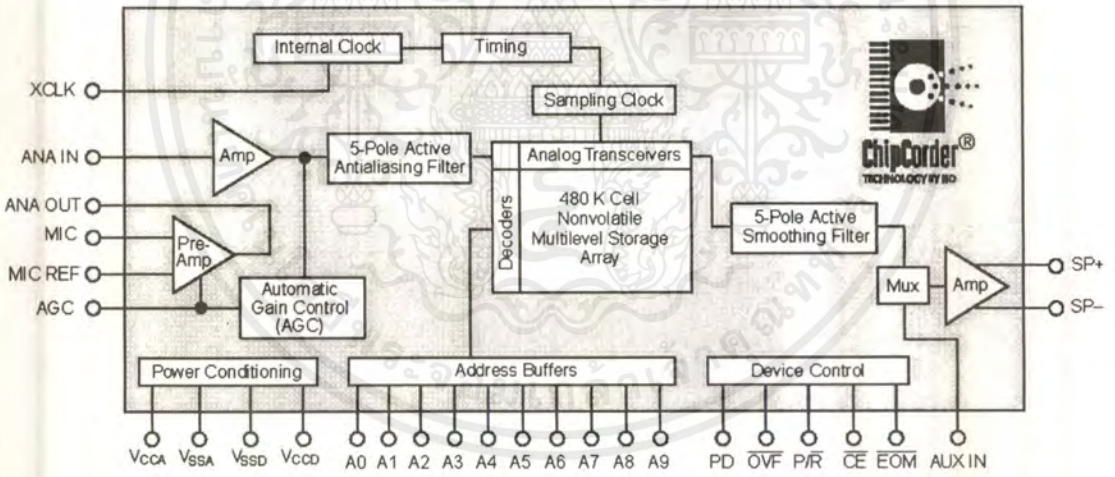
เป็นขาที่ใช้ต่อกับ Crytal ภายนอกเพื่อสร้างสัญญาณออสซิลเลเตอร์ให้กับตัว AT89C51 ซึ่งใช้ร่วมกันกับขา XTAL 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 ตัวเก็บเสียง ISD2590

ในส่วนของตัวเก็บเสียงนี้ได้ใช้ CHIP ของบริษัท ISD ซึ่งเป็นบริษัทที่ผลิต CHIP เก็บเสียงโดยเฉพาะ ซึ่งปัจจุบันได้นำมาใช้อย่างแพร่หลาย โดยมีรายละเอียดพอสังเขปดังนี้

1. ใช้งานได้ง่ายเนื่องจากใช้ CHIP เพียงตัวเดียวในการเก็บเสียงและเล่นกลับ
2. มีคุณภาพในการเก็บเสียงได้เหมือนจริง
3. สามารถเชื่อมต่อกับไมโครคอนโทรลเลอร์ หรือ ควบคุมด้วยสวิทย์ ได้
4. มีโหมดกินกระแสต่ำ ซึ่งจะใช้กระแส STANDBY ประมาณ 1 micro amp.
5. สามารถเก็บข้อมูลได้แม้ไม่มีกระแสไฟฟ้าจ่ายให้
6. สามารถอ้างที่อยู่ของข้อมูลได้
7. สามารถบันทึกเสียงได้ประมาณ 100000 ครั้ง
8. ใช้แหล่งจ่ายไฟ เพียง 5 โวลท์เท่านั้น
9. สามารถเก็บข้อมูลเสียงได้ยาวนานถึง 100 ปี



รูปที่ 2.19 โครงสร้างของ ISD 2590

2.2.2.1 รายละเอียดของ ISD 2590

1. คุณภาพของเสียง

ISD2590 มีความถี่ Sampling ที่ 5.3 กิโลเฮิร์ท โดยมีความสามารถในการเปลี่ยนแปลงความถี่ในการ Sampling ได้อีกด้วยโดยใช้ความถี่ภายนอกในการอ้างอิง

เนื่องจากสัญญาณเสียงที่มีการสุ่มนั้นได้นำไปเก็บโดยตรงภายในหน่วยความจำโดยไม่มีการบีบ (Compress) ดังนั้นจึงสามารถเก็บเสียงได้เหมือนต้นแบบมากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ระยะเวลาในการเก็บเสียง

เนื่องจาก ISD2590 สามารถเก็บเสียงได้สูงสุดเพียง 90 วินาที แต่ถ้ามีความต้องการเพิ่มระยะเวลาการเก็บเสียงอีก ตัว ISD2590 ยังอำนวยความสะดวกโดยการต่อเชื่อมกับเป็นแบบอนุกรม หรือ Cascade ได้

3. หน่วยความจำเป็น EEPROM

เนื่องจาก ISD2590 ได้ใช้ EEPROM เป็นตัวเก็บข้อมูลซึ่งเป็น Nonvolatile memory จึงมีความคล่องตัวในการบันทึกและเล่นกลับ อีกทั้งไม่จำเป็นจะต้องมีกระแสไฟฟ้าจ่ายให้ตลอดเวลาเพื่อใช้ในการเก็บข้อมูล

4. มีส่วนติดต่อกับไมโครคอนโทรลเลอร์

ISD2590 มีความง่ายต่อการนำไปติดต่อกับไมโครคอนโทรลเลอร์ เพื่อใช้ควบคุมซึ่งสามารถจัดการตำแหน่งของข้อมูลภายในตัว ISD2590 ได้

5. มีความคล่องตัวในการโปรแกรม

ISD2590 ได้มีการโปรแกรมให้สามารถใช้งานได้ง่ายโดยมี โหมดการทำงานหลายโหมด เช่น การเล่นกลับเพียงกดปุ่ม ๆ เดียว

2.2.2.2 หน้าที่และรายละเอียดของแต่ละขาของ ISD2590

Voltage Inputs (V_{CCA}, V_{CCD})

เป็นขาที่ใช้ต่อกับไฟเลี้ยงของวงจร ซึ่งได้แยกกันระหว่าง ไฟเลี้ยงของวงจร Digital และ วงจร Analog เพื่อให้สามารถลดการรบกวนของสัญญาณลงได้

Ground Inputs (V_{SSA}, V_{SSD})

เป็นขาที่ใช้ต่อกับกราวด์ของวงจรซึ่งแยกกันระหว่าง วงจร Digital และ วงจร Analog ด้วยเหมือนกับไฟเลี้ยงของวงจร

Power Down Input (PD)

เป็นขาที่ใช้ในการลดกระแสไฟฟ้าของตัว ISD2590 โดยเมื่อเราไม่ต้องการติดต่อกับ ISD2590 จะป้อนสัญญาณ high ให้กับ ISD2590 เพื่อให้ ISD2590 อยู่ในโหมด Standby ซึ่งจะกินกระแสไฟฟ้าต่ำมาก โดยประมาณเท่ากับ 1 ไมโครแอมป์ แต่ถ้าป้อนสัญญาณ low ให้กับ ISD2590 จะแสดงว่าขณะนี้เราต้องการติดต่อกับตัว ISD2590

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Chip Enable Input (CE)

ขานี้เป็นขาที่ถูกใช้เพื่อแสดงการติดต่อกับ ISD2590 โดยจะใช้ในการเล่นกลับและบันทึก อีกทั้งยังใช้ในการกำหนดค่าตำแหน่งเริ่มต้นของข้อมูลอีกด้วย

Playback/Record Input (P/R)

เป็นขาที่ใช้ในการแสดงถึงการบอกว่าจะให้ตัว ISD2590 ทำหน้าที่เป็นการเล่นกลับหรือการบันทึกโดยถ้าป้อนสัญญาณ high ให้ที่ขานี้จะแสดงว่าตัว ISD2590 จะทำตัวเป็นการเล่นกลับ และในทางกลับกันถ้าป้อนสัญญาณ low ก็จะแสดงว่าจะให้ตัว ISD2590 ทำการบันทึกสัญญาณเสียง

End Of Message output (EOM)

เป็นขาที่แสดงว่าสัญญาณเสียงที่ใช้ในการเล่นกลับได้หมดแล้ว โดยปกติแล้วเมื่อมีสิ้นสุดการบันทึกตัว ISD2590 จะทำการแทรกสัญญาณ EOM ไว้หลังข้อมูลนั้น ๆ และเมื่อมีการเล่นกลับ ตัว ISD2590 จะเล่นกลับจนถึงสัญญาณ EOM นี้เท่านั้น

Overflow output (OVF)

เป็นขาที่ใช้แสดงว่าไม่มีหน่วยความจำในการเก็บข้อมูลในการบันทึกอีกแล้วโดยถ้าสัญญาณนี้แสดงขึ้นจะหมายถึงการบันทึกหลังจากนี้จะไม่มีการเก็บไว้ในตัว ISD2590 อีกแล้ว

Microphone input (MIC)

เนื่องตัว ISD2590 ได้ออกแบบมาเพื่อให้ใช้งานง่ายจึงได้ออกแบบให้มีขาในการเชื่อมต่อไมโครโฟนได้ภายในตัวเอง

Microphone Reference input (MIC REF)

เป็นขาที่ใช้เชื่อมต่อกับวงจรภายนอกเพื่อลดสัญญาณลบกวนของสัญญาณไมโครโฟนที่ได้

Automatic Gain Control input (AGC)

เป็นขาที่ใช้ในการต่อวงจรปรับปรุงอัตราการขยายของไมโครโฟน ให้ได้อัตราที่เหมาะสมในการใช้งาน

Analog output (ANA out)

เป็นขาสัญญาณเสียงที่ผ่านการขยายเบื้องต้น (Pre Amplifier) มาแล้วโดยปกติจะต่อเข้ากับขา ANA IN เพื่อนำสัญญาณนี้ไปเก็บในหน่วยความจำอีกขั้นตอนหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Analog input (ANA in)

เป็นขาที่ใช้ป้อนสัญญาณเสียงที่พร้อมจะทำการนำไปเก็บไว้ในหน่วยความจำ

External Clock Input (XCLK)

โดยปกติแล้วตัว ISD2590 ได้มีวงจรออสซิลเลเตอร์ภายในไว้กำเนิดความถี่เพื่อใช้งาน แต่ถ้าต้องใช้สัญญาณความถี่จากภายนอกก็สามารถทำได้โดยการป้อนสัญญาณความถี่ 682.7 กิโลเฮิร์ทเข้าไปที่ขานี้

Speaker outputs (SP+,SP-)

เป็นขาที่ใช้ในการต่อกับลำโพงซึ่งภายในตัว ISD2590 ได้มีวงจรขยายเสียงไว้ให้แล้ว ดังนั้นจึงสามารถเชื่อมต่อกับลำโพงได้โดยตรง โดยลำโพงที่นำมาต่อจะต้องมีอิมพีแดนซ์ 16 โอมห์

Address/Mode inputs (Ax/Mx)

เป็นขาที่ใช้ในการอ้างถึงตำแหน่งเริ่มต้นของข้อมูลในการบันทึกหรือเล่นกลับโดยประกอบด้วยกัน 10 ขา ได้แก่ A0 - A9 และยังทำหน้าที่เป็นคำสั่งควบคุมได้อีกด้วย ทั้งนี้ตัว AT89C51 จะทำการตรวจสอบว่าเป็นค่าของตำแหน่งข้อมูลหรือคำสั่งควบคุมโดยการ ตรวจดูบิท A8 และ A9 โดยถ้าทั้ง 2 บิทเป็นสัญญาณ low จะแสดงว่า A0 - A9 ใช้ในการอ้างถึงตำแหน่งเริ่มต้นของข้อมูล และถ้าทั้ง 2 บิทดังกล่าวเป็น high จะแสดงว่า A0 - A9 ใช้ทำหน้าที่เป็นคำสั่งควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3 จอแสดงผลแบบ LCM

เนื่องจากปัจจุบันได้มีการนำ LCD มาใช้งานโดยประยุกต์ใช้ในการแสดงผล แต่ยังมีข้อจำกัดเกี่ยวกับการติดต่อส่งข้อมูลออกไปยัง LCD ดังนั้นในโลกปัจจุบันได้มีการนำ LCD มาควบคุมโดยอุปกรณ์ไมโครคอนโทรลเลอร์ ซึ่งเรียกว่า LCM หรือ Liquid Crystal display Module เหตุผลที่มีการนำมาใช้กันมากในปัจจุบันเนื่องจากมีข้อดีหลายประการดังนี้

1. มีให้เลือกหลายการใช้งาน
2. ตัวอักษรแสดงด้วย Dot Metrix ขนาด 5 * 8 dot
3. สามารถเชื่อมต่อเข้ากับไมโครคอนโทรลเลอร์ได้ง่าย โดยาแบ่งได้เป็น การต่อแบบ Memory Map และ External Port
4. ในการใช้งานนั้นไมโครคอนโทรลเลอร์เพียงส่งข้อมูลออกไปครั้งเดียว และการแสดงผลก็จะคงค้างอยู่เองโดยอัตโนมัติ
5. มีคำสั่งพิเศษหลายคำสั่ง เช่น การลบหน้าจอ , การเลื่อนตำแหน่ง Cursor , การกำหนดการกระพริบของตัวอักษร เป็นต้น
6. สามารถแสดงผลแบบตัวอักษรได้ถึง 160 ตัว และสัญญาลักษณ์พิเศษอีก 30 ตัว และยังสามารถออกแบบ ๆ ของตัวอักษรได้อีก 8 ตัว
7. กินกระแสน้อย และมีน้ำหนักเบา รวมถึงใช้แรงดันเพียง 5 โวลท์เท่านั้น

2.2.3.1 ขาสัญญาณของ LCD MODULE

PIN	SYMBOL	LEVEL	FUNCTION
1	Vss	---	0 V GND
2	Vcc	---	+ 5 V Power Supply
3	Vee	---	+ V For Liquid Crystal Drive
4	RS	H/L	Register Select H:Data Input L:Instruction Input
5	R/W	H/L	H:Data Read L:Data Write
6	E	H	Enable Signal (L -> H)
7	DB 0	H/L	Data Bus bit 0
8	DB 1	H/L	Data Bus bit 1
9	DB 2	H/L	Data Bus bit 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN	SYMBOL	LEVEL	FUNCTION
10	DB 3	H/L	Data Bus bit 3
11	DB 4	H/L	Data Bus bit 4
12	DB 5	H/L	Data Bus bit 5
13	DB 6	H/L	Data Bus bit 6
14	DB 7	H/L	Data Bus bit 7

ตารางที่ 2.1 แสดงขาสัญญาณต่าง ๆ ของ LCM

2.2.3.2 ชุดคำสั่งของ LCM

			DATA BIT							
INSTRUCTION	RS	R/W	7	6	5	4	3	2	1	0
CLEAR DISPLAY	0	0	0	0	0	0	0	0	0	1
CURSOR AT HOME	0	0	0	0	0	0	0	0	1	*
ENTRY MODE SET	0	0	0	0	0	0	0	1	I/D	S
DISPLAY ON/OFF	0	0	0	0	0	0	1	D	C	B
DISPLAY SHIFT	0	0	0	0	0	1	S/C	R/L	*	*
FUNCTION SET	0	0	0	0	1	DL	N	F	*	*
SET CGRAM ADD.	0	0	0	1	CGRAM ADDRESS					
SET DDRAM ADD.	0	0	1	DDRAM ADDRESS						
BUSY,ADD. READ	0	1	BF	ADDRESS						
CGRAM,DDRAM WR	1	0	WRITE DATA							
CGRAM,DDRAM RD	1	1	READ DATA							

ตารางที่ 2.2 แสดงชุดคำสั่งของ LCM

รายละเอียดของแต่ละคำสั่ง

1. CLEAR DISPLAY

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	1

สำหรับการ CLEAR DISPLAY โดยจะทำการเขียนตัวอักษร SPACE ลงใน DDRAM ทั้งหมด และกำหนดค่า DDRAM ADDRESS ให้เป็น 0 พร้อมทั้ง CURSOR จะกลับไปที่ตำแหน่งซ้ายสุดของจอภาพ

2. CURSOR AT HOME

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	1	*

สำหรับกำหนดค่า DDRAM ADDRESS ให้เป็น 0 พร้อมทั้ง CURSOR จะไปอยู่ที่ตำแหน่งซ้ายบนสุดของจอภาพ โดยที่ข้อมูลใน DDRAM ไม่มีการเปลี่ยนแปลง

3. ENTRY MODE SET

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	1	I/D	S

I/D = 0 กำหนดทิศทางของ CURSOR และ DDRAM ให้เป็นแบบ DECREMENT

I/D = 1 กำหนดทิศทางของ CURSOR และ DDRAM ให้เป็นแบบ INCREMENT

S = 0 เมื่อเขียนข้อมูลแล้ว ตัว CURSOR จะถูกเลื่อนไปทิศทางตามค่า I/D

S = 1 เมื่อเขียนข้อมูลแล้ว ตัว CURSOR จะอยู่กับที่ และตัวอักษรจะถูกดันไปทิศทางตามค่า I/D

การกำหนดค่า I/D และ S นี้ ให้กำหนดก่อนการเขียนข้อมูลใน DDRAM และเมื่อกำหนดแล้ว จะต้องไม่ใช้คำสั่ง CLEAR DISPLAY อีก

4. DISPLAY ON/OFF

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	1	D	C	B

D = 0 กำหนดให้ OFF DISPLAY

D = 1 กำหนดให้ ON DISPLAY

C = 0 กำหนดให้ OFF CURSOR

C = 1 กำหนดให้ ON CURSOR โดย CURSOR จะเป็นเส้นขีดใต้ตัวอักษร

B = 0 กำหนดให้ไม่มีการกระพริบที่ตำแหน่ง CURSOR

B = 1 กำหนดให้มีการกระพริบที่ตำแหน่ง CURSOR (กระพริบเป็นรูปสี่เหลี่ยม)

5. DISPLAY SHIFT

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	1	S/C	R/L	*	*

S/C = 0 กำหนดให้เลื่อน CURSOR ตามทิศทาง R/L ไป 1 ตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

S/C = 1 กำหนดให้เลื่อนข้อความบนแผลแสดงตามทิศทาง R/L ไป 1 COLUMN (เลื่อนทุกบรรทัด)

R/L = 0 กำหนดให้มีทิศทางไปทางซ้าย

R/L = 1 กำหนดให้มีทิศทางไปทางขวา

6. FUNCTION SET

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	1	DL	N	F	*	*

DL = 0 กำหนดให้การติดต่อกับ LCD MODULE เป็นแบบ 4 BIT

DL = 1 กำหนดให้การติดต่อกับ LCD MODULE เป็นแบบ BIT

จะสังเกตุว่า การกำหนดค่า DL นี้ สามารถกระทำได้ที่ DB4 - DB7 ซึ่งถ้ามีการกำหนดให้เป็นแบบ 4 BIT ตั้งแต่ครั้งแรก หลังจากจ่ายไฟเลี้ยง ก็จะทำให้ LCD MODULE มีการรับข้อมูลแบบ 4 BIT

N = 0 กำหนดจำนวนบรรทัดแบบ 1/8 DUTY และ 1/11 DUTY

N = 1 กำหนดจำนวนบรรทัดแบบ 1/16 DUTY

F = 0 กำหนดให้ตัวอักษรเป็นแบบ 5 * 7 DOT

F = 1 กำหนดให้ตักอักษรเป็นแบบ 5 * 10 DOT (กรณีที่ LCD MODULE เป็นแบบ 5*7 เป็นแบบ 5 * 7 อยู่แล้ว ก็จะไม่มีผลอะไร)

7. SET CGRAM ADDRESS

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	1	CGRAM ADDRESS					

สำหรับการกำหนด ADDRESS ของ CGRAM เมื่อได้ทำการกำหนดไว้แล้ว การอ่านและเขียน DATA ที่ต่อจากนี้ จะเป็นไปตาม ADDRESS ที่กำหนดทันที

8. SET DDRAM ADDRESS

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	1	DDRAM ADDRESS						

สำหรับการกำหนด ADDRESS ของ DDRAM เมื่อได้ทำการกำหนดไว้แล้ว การอ่านและเขียน DATA ที่ต่อจากนี้ จะเป็นไปตาม ADDRESS ที่กำหนดทันที ตำแหน่งของ ADDRESS ในแต่ละร่อนจะมีความแตกต่างกันบ้าง เพราะจำนวนอักษรต่อบรรทัดไม่เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. BUSY FLAG AND ADDRESS READ

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	BF	ADDRESS						

สำหรับการอ่านค่า BF (BUSY FLAG) ซึ่งบอกถึงความพร้อมของ LCD MODULE ในการรับข้อมูล ถ้า BF = 0 หมายถึงว่าพร้อมที่จะรับข้อมูลต่อไปได้ แต่ถ้า BF = 1 หมายถึงว่ายังไม่พร้อม นอกจากนี้ยังเป็นการอ่านค่า ADDRESS ของ CGRAM หรือ DDRAM ด้วย

10. WRITE DATA TO DDRAM OR CGRAM

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	DATA							

สำหรับการเขียนข้อมูลลงหน่วยความจำ DDRAM หรือ CGRAM โดยเมื่อทำการเขียนแล้ว ADDRESS จะถูกเพิ่มหรือลงโดยอัตโนมัติ ตามที่กำหนดจากค่า I/D ในคำสั่ง ENTRY MODE SET และการเขียนจะเป็น DDRAM หรือ CGRAM ก็ขึ้นกับว่า ก่อนหน้าคำสั่งนี้ มีการกำหนด ADDRESS ที่ใด

11. READ DATA FROM DDRAM OR CGRAM

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	1	DATA							

สำหรับการอ่านข้อมูลลงหน่วยความจำ DDRAM หรือ CGRAM โดยเมื่อทำการอ่านแล้ว ADDRESS จะถูกเพิ่มหรือลงโดยอัตโนมัติ ตามที่กำหนดจากค่า I/D ในคำสั่ง ENTRY MODE SET และการอ่านจะเป็น DDRAM หรือ CGRAM ก็ขึ้นกับว่า ก่อนหน้าคำสั่งนี้ มีการกำหนด ADDRESS ที่ใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบ

เนื่องจากในการออกแบบวงจรให้มีความสามารถในการจัดเก็บข้อมูลเสียงนั้นจำเป็นจะต้องใช้เนื้อที่ในการจัดเก็บข้อมูลจำนวนมากซึ่งในการออกแบบนั้นได้แบ่งขั้นตอนการออกแบบและข้อดีข้อเสียของแต่ละวงจรได้ดังนี้

1. วงจรซึ่งประกอบด้วยการใช้ FLASH MEMORY มาทำการเก็บข้อมูลเสียง
2. วงจรซึ่งใช้ CHIP ISD2590 มาทำการจัดเก็บข้อมูลเสียง และใช้จอแสดงผล LCM
3. วงจรสมบูรณ์ ซึ่งใช้ CHIP ISD2590 มาทำการจัดเก็บข้อมูลเสียง และใช้ LED มาแสดงผล

3.1 วงจรซึ่งประกอบด้วยการใช้ FLASH MEMORY มาทำการเก็บข้อมูลเสียง

เนื่องจากในขั้นแรกนั้นได้ทำการออกแบบวงจรซึ่งใช้อุปกรณ์หน่วยความจำประเภท FLASH MEMORY มาทำการเก็บข้อมูลโดยได้ใช้อุปกรณ์ของบริษัท AMD เบอร์ AM29F016 โดยมีขีดความสามารถในการเก็บข้อมูลได้จำนวน 16 เมกกะบิท หรือ 2 เมกกะไบท์ ซึ่งจากข้อกำหนดที่โครงงานชุดนี้จะต้องเก็บเสียงได้ประมาณ 180 วินาที ซึ่งถ้าคำนวณเพื่อหาเนื้อที่ในการจัดเก็บแล้วจะได้ดังนี้

เนื้อที่ของข้อมูล = อัตราการสุ่ม (SAMPLING) ของสัญญาณเสียง * เวลาที่ต้องการจัดเก็บ

ซึ่งถ้าเราจะทำการสุ่มสัญญาณเสียง ที่ความถี่ประมาณ 10 กิโลเฮิร์ท ดังนั้นจะต้องมีหน่วยความจำเท่ากับ = 10*1000*180

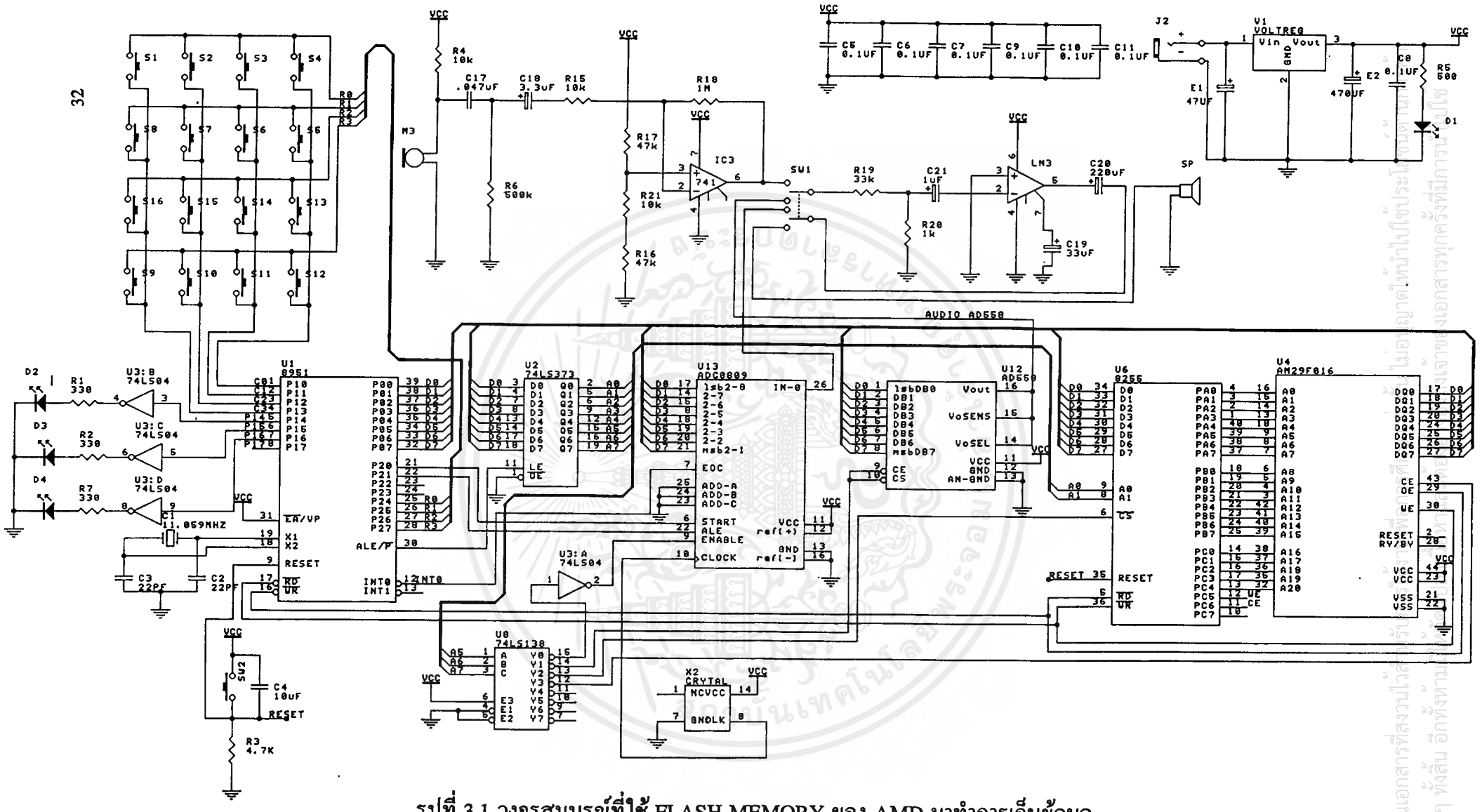
= 1800000 ไบท์ หรือ ประมาณ 1800000/(1024*1024) เมกกะไบท์

= 1.7 เมกกะไบท์

ดังนั้นวงจรจึงสามารถใช้ chip AM29F016 เพียง 1 ตัวมาเก็บข้อมูลได้ เพียงพอ

ซึ่งวงจรที่ได้ทำการออกแบบนั้นได้แสดงในรูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 วงจรสมบูรณ์ที่ใช้ FLASH MEMORY ของ AMD มาทำการเก็บข้อมูล

3.1.1 การทำงานของวงจร

จากรูปที่ 3.1 จะเห็นได้ว่าสามารถแบ่งการทำงานของวงจรได้เป็นส่วนๆ ได้ดังนี้

3.1.1.1 วงจรสวิทย์ การต่อวงจรสวิทย์เป็นแบบ METRIC จำนวน 5 แถว * 4 คอลัมน์ โดยมีสวิทย์ทั้งหมดจำนวน 18 ตัว โดยสวิทย์ 1 - 15 จะใช้ในการกำหนดช่อง (CHANNEL) ของสัญญาณและสวิทย์ 16 - 18 จะใช้ในการเล่นกลับสัญญาณเสียง , บันทึกสัญญาณเสียง และ หยุดการทำงาน ตามลำดับ ซึ่งได้ถูกต่ออยู่กับ พอร์ท 1 และ พอร์ท 2 ซึ่งสาเหตุที่ทำการไม่ต่อกับ พอร์ท 1 ทั้งหมดนั้นเนื่องจากจำเป็นจะต้องนำพอร์ท 1 บางส่วนไปควบคุมการแสดงผลของวงจร ซึ่งจะใช้พอร์ทอื่นไม่ได้เนื่องจากพอร์ท 0 กับ 2 นั้นได้ทำการใช้เป็น ADDRESS และ DATA ด้วยในขณะเดียวกัน

3.1.1.2 วงจรถอดรหัส ประกอบด้วยอุปกรณ์ Latch data และ 3 to 8 decoder โดยได้ทำการออกแบบให้อุปกรณ์ต่างถูกไมโครคอนโทรลเลอร์ควบคุมที่ตำแหน่งต่าง ๆ ดังตารางที่ 3.1

ตำแหน่ง (Address)	อุปกรณ์
00h	ADC0809
20h	AD558
40h	8255
60h	AM29f016

ตารางที่ 3.1 ตำแหน่งการควบคุมอุปกรณ์ของไมโครคอนโทรลเลอร์

3.1.1.3 วงจรสุ่มสัญญาณและวงจรแปลงสัญญาณ วงจรดังกล่าวทำหน้าที่ในการแปลงสัญญาณเสียงมาเป็นสัญญาณไฟฟ้าเพื่อทำการเก็บไว้ในอุปกรณ์เก็บข้อมูลต่อไป และทำหน้าที่ในการแปลงข้อมูลที่เก็บไว้เป็นสัญญาณเสียงตามที่ได้ทำการจัดเก็บไว้ โดยได้นำเอาหลักการ สุ่มสัญญาณทั่วไปมาใช้คือได้นำเอาอุปกรณ์แปลงสัญญาณอนาลอกเป็นดิจิตอล (ADC0809) และอุปกรณ์แปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (AD558) มาใช้งาน

ในการใช้งานนั้นเนื่องจากอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลมีข้อจำกัดทางด้านระดับสัญญาณไฟฟ้าที่ต้องการแปลงสัญญาณซึ่งในที่นี้ได้นำวงจรขยาย

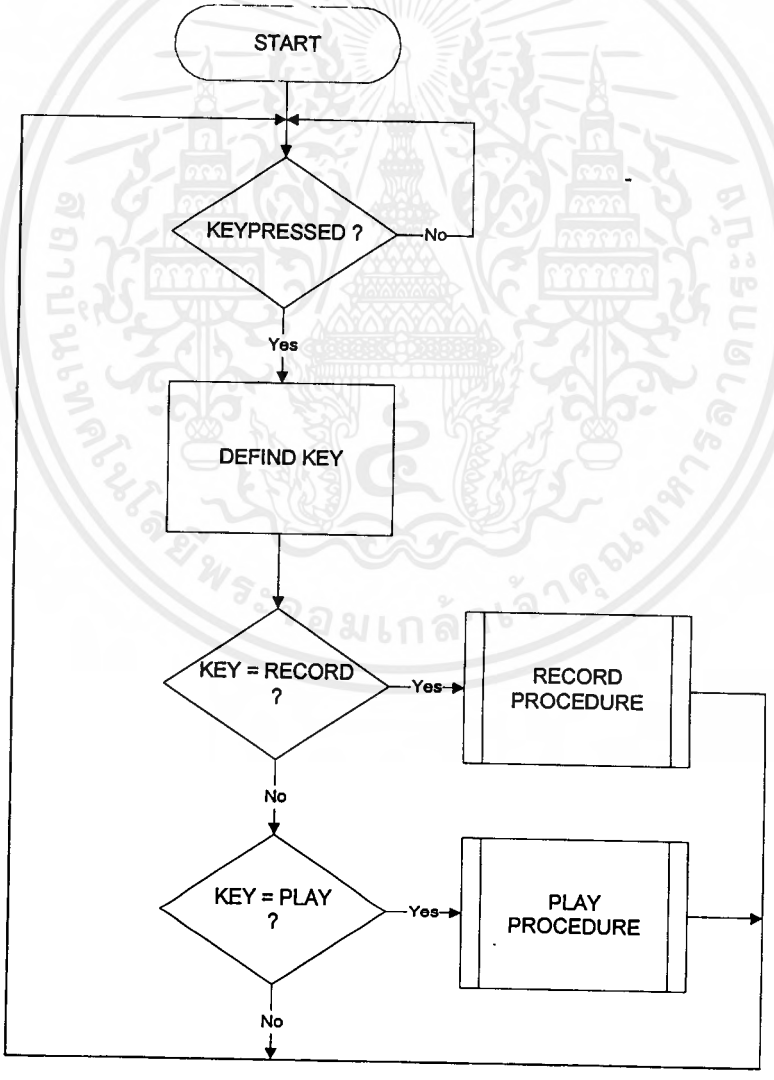
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเสียงจากไมโครโฟนให้พอเหมาะแก่การสุ่มสัญญาณด้วย และสัญญาณเสียงที่ได้นั้นก็จำเป็นที่ต้องมีการขยายก่อนออกสู่ลำโพงด้วยเหมือนกัน

3.1.1.4 วงจรเก็บข้อมูล ประกอบไปด้วย Chip 8255 และ AM29f016 สาเหตุที่จะต้องใช้ Chip 8255 ก็เพราะขาสัญญาณของ AM29f016 มีจำนวนมากจึงจำเป็นจะต้องขยายขาสัญญาณในการคอนโทรล AM29f016 ตัวนี้

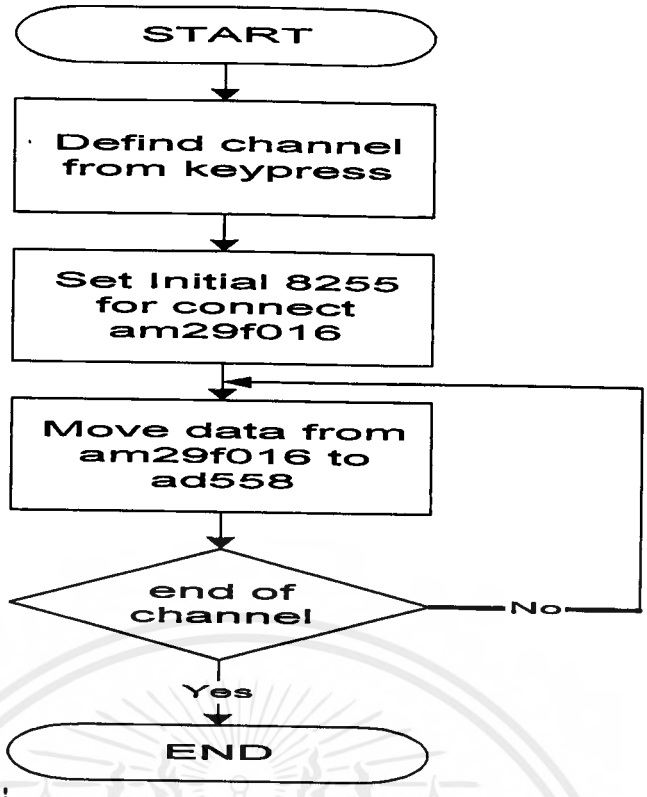
3.1.2 หลักการทำงานของโปรแกรมในการคอนโทรล

จากวงจรที่ได้ทำการออกแบบมานั้นในส่วนของโปรแกรมนั้นได้มีการออกแบบการทำงานของโปรแกรมได้โดยสามารถอธิบายได้โดย Flow Chart ดังรูปที่ 3.2 , 3.3 , 3.4

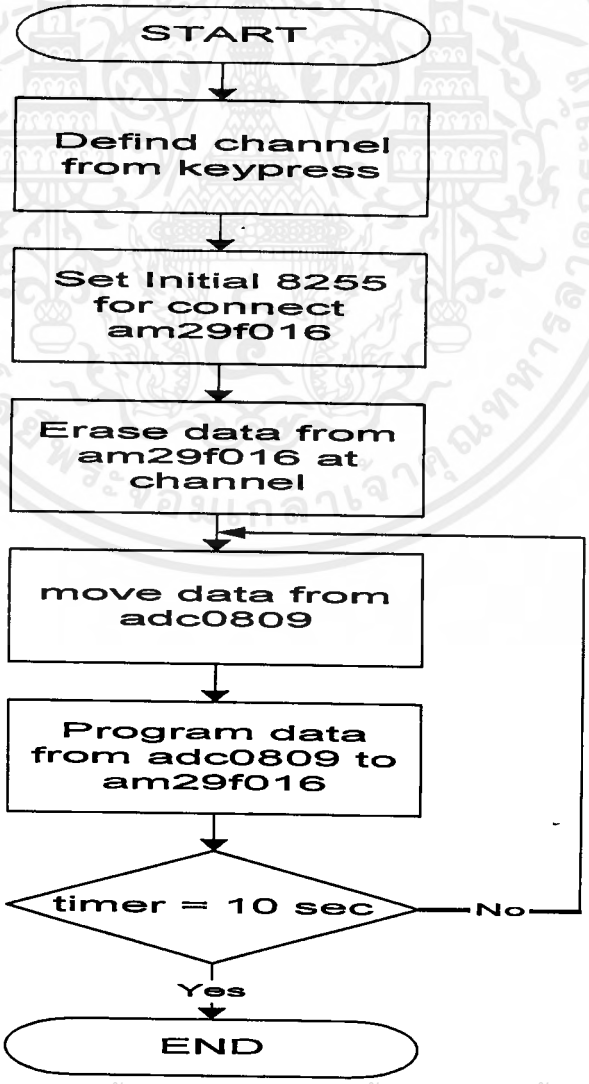


รูปที่ 3.2 Flow Chart ของ Main program

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 Flow Chart ของ procedure RECORD



รูปที่ 3.4 Flow Chart ของ Procedure PLAY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.3 ปัญหาและข้อเสียของวงจร เนื่องจากวงจรที่ได้ทำการออกแบบไว้นั้นมีข้อเสีย ซึ่งสามารถจำแนกได้เป็นข้อ ๆ ได้ดังนี้

1. ไมโครคอนโทรลเลอร์จะต้องทำงานควบคุมอุปกรณ์ทั้งหมดตลอดเวลา ซึ่งในขณะที่ทำการบันทึกเสียง ไมโครคอนโทรลเลอร์ก็จะต้องทำการนำข้อมูลที่ได้ไปเก็บไว้ในตัว Flash memory และในช่วงของการเล่นกลับสัญญาณเสียง ไมโครคอนโทรลเลอร์ก็ต้องทำการนำข้อมูลใน Flash memory ออกมาให้กับอุปกรณ์แปลงสัญญาณ ซึ่งจะมีปัญหาเกี่ยวกับเวลาซึ่งไมโครคอนโทรลเลอร์จะต้องทำงานให้ทันและสอดคล้อง (Sync) กับเวลาในการสุ่มสัญญาณและแปลงสัญญาณ

2. ปัญหาในการเก็บข้อมูลบน Flash memory เนื่องจาก Flash memory เป็นอุปกรณ์ที่มีความแตกต่างจากอุปกรณ์หน่วยความจำแบบ RAM (Random Access Memory) โดยทั่วไปคือจำเป็นจะต้องมีการลบข้อมูลเก่าก่อนที่จะทำการนำข้อมูลใหม่ไปเก็บไว้หรือเรียกว่าการ **โปรแกรม Program** ดังนั้นจะมีช่วงเวลาที่ต้องรอก่อนที่จะทำการบันทึกข้อมูลใหม่เข้าไปได้ประมาณ 1-2 วินาที ซึ่งเป็นเวลาที่ไม่สมควรที่จะเกิดขึ้นก่อนที่ผู้ใช้จะต้องรอก่อนการบันทึก อีกทั้งจะมีช่วงเวลาในการโปรแกรม Flash memory ณ.ตำแหน่งใด ๆ ประมาณ 15 millisec ซึ่งถ้าเกิดความต้องการที่จะเพิ่มอัตราการสุ่มของสัญญาณเสียงให้มีความถี่ในการสุ่มที่สูงขึ้นก็จะทำให้เวลาในการโปรแกรม Flash memory ไม่พอจึงเกิดการเก็บข้อมูลที่ผิดพลาดเกิดขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรซึ่งใช้ CHIP ISD2590 มาทำการจัดเก็บข้อมูลเสียง และใช้จอแสดงผล LCM

เนื่องจากวงจรดังหัวข้อ 3.1 นั้นมีปัญหาพอสมควรจึงได้ทำการเปลี่ยนวงจรใหม่โดยได้ทำการนำเอา Chip ตัวใหม่ซึ่งมีความสามารถในการประมวลผลทางเสียงได้แก่ การบันทึก, การเล่นกลับ และการบริหารจัดเก็บข้อมูลอยู่ภายในตัว Chip ตัวเดียว ซึ่งจะทำให้ง่ายต่อการคอนโทรล อุปกรณ์ดังกล่าว ได้แก่ Chip ของบริษัท **ISD** เบอร์ **ISD2590** โดยมีความสามารถในการจัดเก็บข้อมูลเสียงได้ถึง 90 วินาที โดยรายละเอียดทั้งหมดของ ตัวนี้สามารถศึกษาได้จากภาคผนวกและเมื่อได้ทำการเลือก Chip ISD2590 แล้วจึงทำการออกแบบวงจรซึ่งแสดงไว้ดังรูปที่ 3.5

3.2.1 การทำงานของวงจร จากรูปที่ 3.5 จะเห็นได้ว่าสามารถแบ่งการทำงานของวงจรได้เป็นส่วนๆ ได้ดังนี้

1. การเชื่อมต่อไมโครคอนโทรลเลอร์เข้ากับวงจรถอดรหัส (Decoder)
2. การเชื่อมต่อไมโครคอนโทรลเลอร์เข้ากับตัวเก็บเสียง ISD2590
3. การเชื่อมต่อตัวเก็บเสียง ISD2590 ทั้ง 2 ตัวเข้าด้วยกัน
4. การเชื่อมต่อไมโครคอนโทรลเลอร์เข้ากับวงจรสวิทย์
5. การเชื่อมต่อไมโครคอนโทรลเลอร์เข้ากับจอแสดงผล LCM

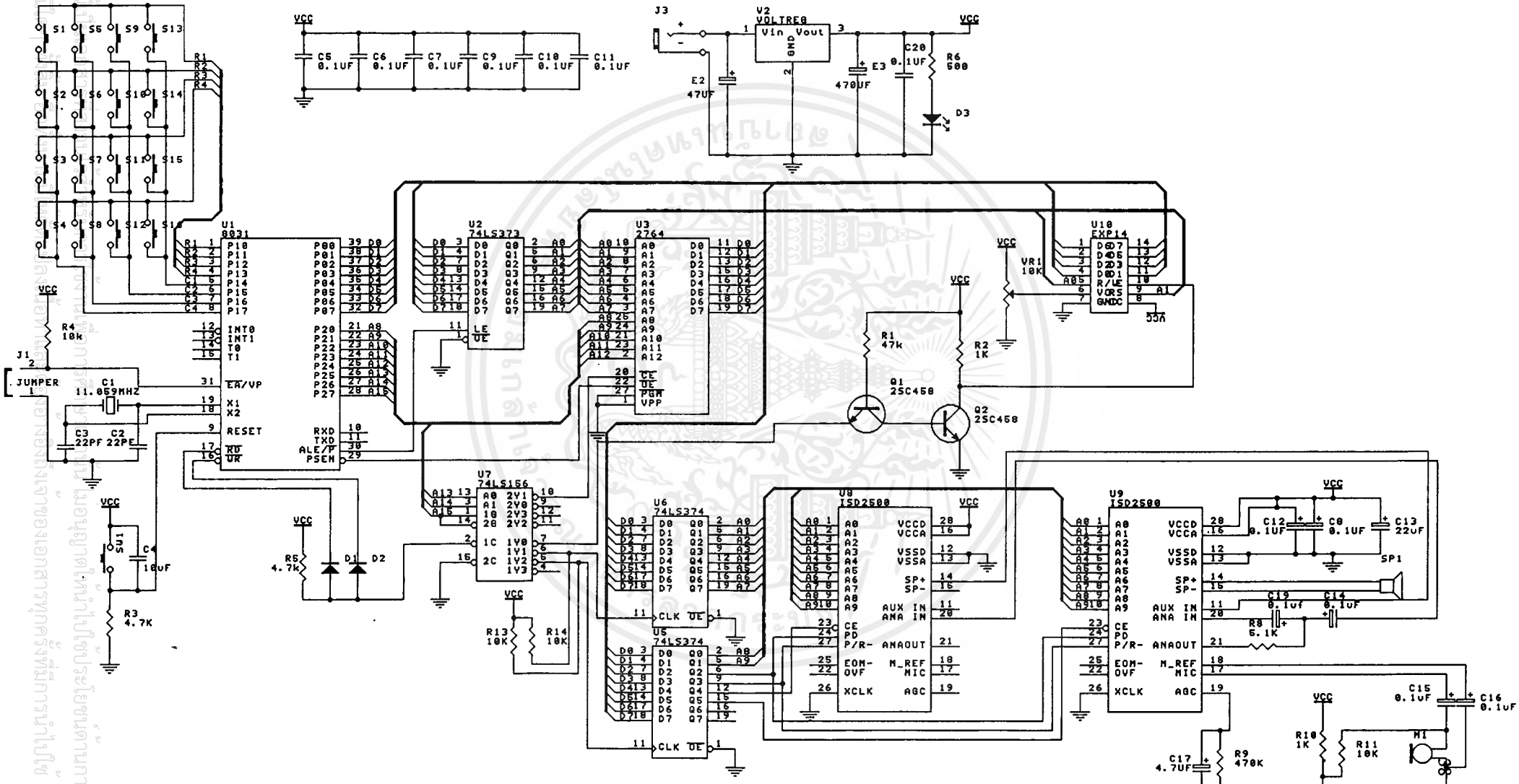
3.2.1.1 การเชื่อมต่อไมโครคอนโทรลเลอร์เข้ากับวงจรถอดรหัส (Decoder)

เนื่องจากไมโครคอนโทรลเลอร์จะต้องทำการติดต่อกับ ISD2590 ถึง 2 ตัว อีกทั้งต้องติดต่อกับ จอแสดงผล LCM อีก จึงจำเป็นจะต้องมีวงจรถอดรหัสให้รู้ว่าขณะนี้ไมโครคอนโทรลเลอร์ได้ทำการติดต่ออยู่กับอุปกรณ์ตัวใด โดยในการออกแบบได้ใช้ 8 บิท ดี ฟลิป-ฟลอป (74HC374) จำนวน 2 ตัว และ 2 to 4 decoder (74HC156) จำนวน 1 ตัวดังรูปที่ 3.6 ซึ่งมีการทำงานอย่างคล่าว ๆ คือเมื่อมีค่าตำแหน่งชี้ไปยังค่าที่กำหนดจะทำให้วงจรถอดรหัส ถอดรหัสสัญญาณออกมาได้ โดยแบ่งเป็นสัญญาณควบคุมอุปกรณ์ต่าง ๆ ดังนี้

Address	อุปกรณ์
800xh	จอแสดงผล LCM
A000H	8 บิท ดี ฟลิป-ฟลอป (74HC374) ตัวที่ 1
C000H	8 บิท ดี ฟลิป-ฟลอป (74HC374) ตัวที่ 2

ตารางที่ 3.2 แสดงตำแหน่งที่ไมโครคอนโทรลเลอร์ติดต่อกับอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

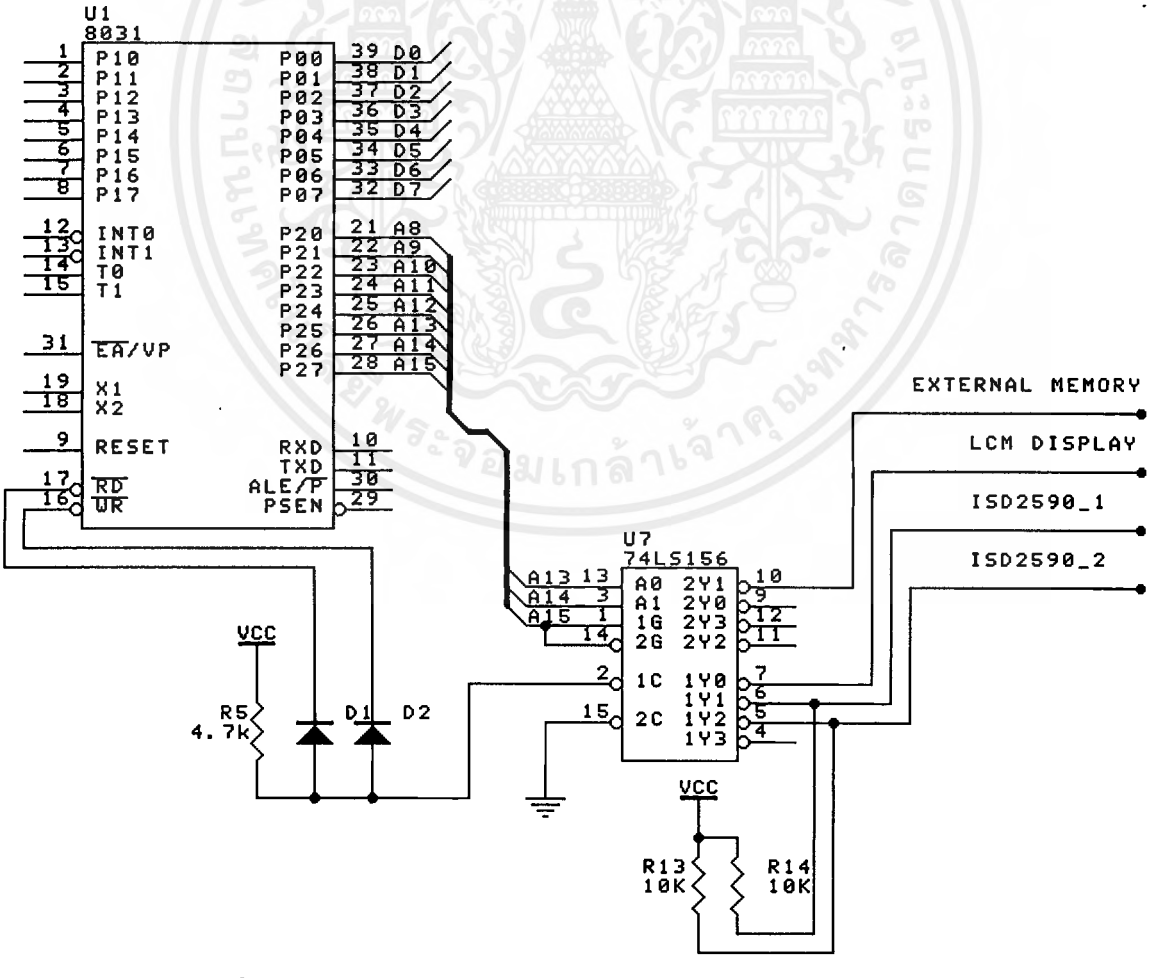


รูปที่ 3.5 วงจรซึ่งใช้ CHIP ISD2590 มาทำการจัดเก็บข้อมูลเสียง และใช้จอแสดงผล LCM

โดยค่าตำแหน่งต่าง ๆ ที่ได้มานั้น ได้มาจากการจัดการกับขาสัญญาณชี้ตำแหน่งของไมโครคอนโทรลเลอร์ และอาศัยการทำงานของวงจรถอดรหัสจึงสามารถถอดรหัสได้เป็นไปตามตารางที่ 3.3

Address					อุปกรณ์
A_{15}	A_{14}	A_{13}	A_{12}-A_0		
0	X	X	X	0xxxh-7xxxh	Memory
1	0	0	x	8xxxh-9xxxh	จอแสดงผล LCM
1	0	1	x	Axxxh-Bxxxh	8 บิท ดี ฟลิป-ฟลอป (74HC374) ตัวที่ 1
1	1	0	x	Cxxxh-Dxxxh	8 บิท ดี ฟลิป-ฟลอป (74HC374) ตัวที่ 2

ตารางที่ 3.3 การถอดรหัสขาสัญญาณของไมโครคอนโทรลเลอร์



รูปที่ 3.6 วงจรถอดรหัสและการเชื่อมต่อกับไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1.2 การเชื่อมต่อไมโครคอนโทรลเลอร์เข้ากับตัวเก็บเสียง ISD2590

ในการเชื่อมต่อไมโครคอนโทรลเลอร์ AT89C51 เข้ากับ ISD2590 นั้นเนื่องจากตัว ISD2590 จำเป็นจะต้องใช้สายสัญญาณในการติดต่อและควบคุมจากไมโครคอนโทรลเลอร์ ดังนี้คือ A0-A9 , PD , P/R , CE_1 และ CE_2 สาเหตุที่จำเป็นต้องมี CE_1 และ CE_2 เนื่องจากโครงงานนี้จำเป็นจะต้องใช้ ISD2590 จำนวน 2 ตัว จึงทำให้มีสัญญาณ 2 สัญญาณดังกล่าว โดยวงจรที่ออกแบบไว้ได้แสดงดังรูปที่ 3.7

ซึ่งจากรูปจะเห็นได้ว่าสัญญาณที่น

ข้อมูลซึ่งเป็นข้อมูลภายใน data bus ของไมโครคอนโทรลเลอร์มาใช้โดยผ่านทาง 8 บิทดีฟลิป-ฟลอป จำนวน 2 ตัว ซึ่งจะมีขาสัญญาณที่เพียงพอจะใช้กับ ISD2590 โดยการที่จะควบคุม,ติดต่อสื่อสารกับ ISD2590 นั้นจะมีขั้นตอนดังนี้

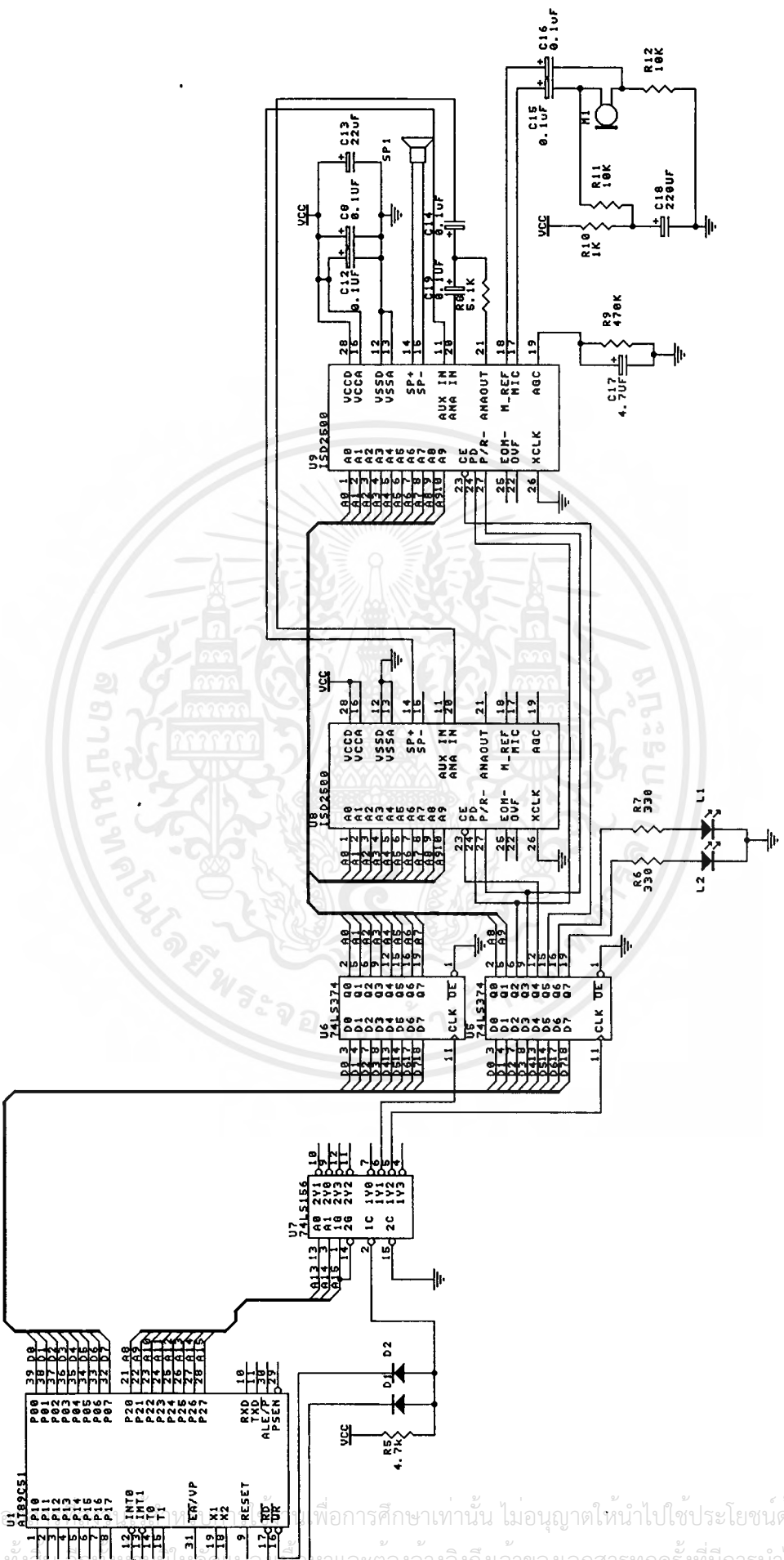
1. นำข้อมูลที่จะใช้เป็นค่าตำแหน่งเริ่มต้นกับ ISD2590 ออกทาง ค่าตำแหน่งที่ไมโครคอนโทรลเลอร์ได้ทำการออกแบบไว้แล้ว (A000h)
2. นำข้อมูลที่จะใช้เป็นค่าตำแหน่งเริ่มต้นกับ ISD2590 อีก 2 บิท และรวมถึงสัญญาณที่เหลือได้แก่ PD , P/R , CE_1 และ CE_2 ออกทางค่าตำแหน่งที่ไมโครคอนโทรลเลอร์ได้ทำการออกแบบไว้แล้ว (C000h) โดยจะต้องคำนึงอยู่เสมอว่า CE_1 และ CE_2 จะต้องไม่การทำงานพร้อมกันเด็ดขาด

3.2.1.3 การเชื่อมต่อตัวเก็บเสียง ISD2590 ทั้ง 2 ตัวเข้าด้วยกัน

เนื่องจำนวนระยะเวลาในการเก็บสัญญาณเสียงของ ISD2590 มีไม่เพียงพอต่อการใช้งานจึงจำเป็นที่จะต้องมีการขยายระยะเวลาในการเก็บสัญญาณเสียง โดยได้นำ ISD2590 2 ตัวมาต่ออนุกรม Cascade กัน ดังรูปที่ 3.7

ข้อสำคัญของวงจรนี้คือห้ามมีสัญญาณ CE1 และ CE2 เกิดขึ้นพร้อมกันเนื่องจากสัญญาณที่จะออกสู่ลำโพงจะเป็นสัญญาณที่เกิดจาก ISD2590 ตัวแรกเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



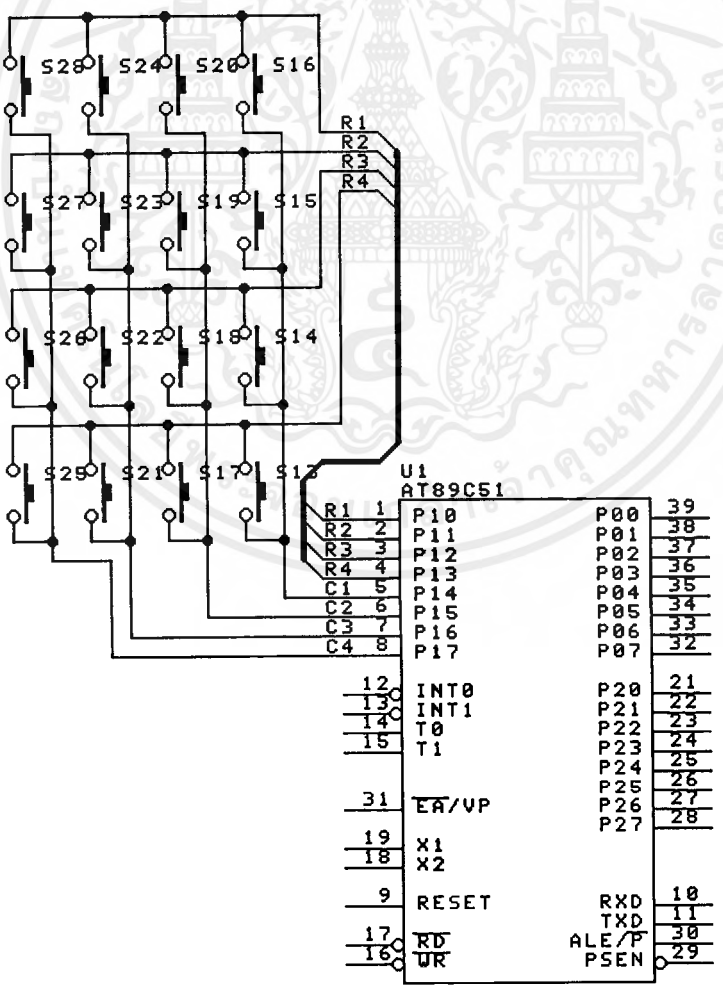
รูปที่ 3.7 การ Interface ไมโครคอนโทรลเลอร์ กับ ISD2590 * 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1.4 การเชื่อมต่อไมโครคอนโทรลเลอร์เข้ากับวงจรสวิทย์

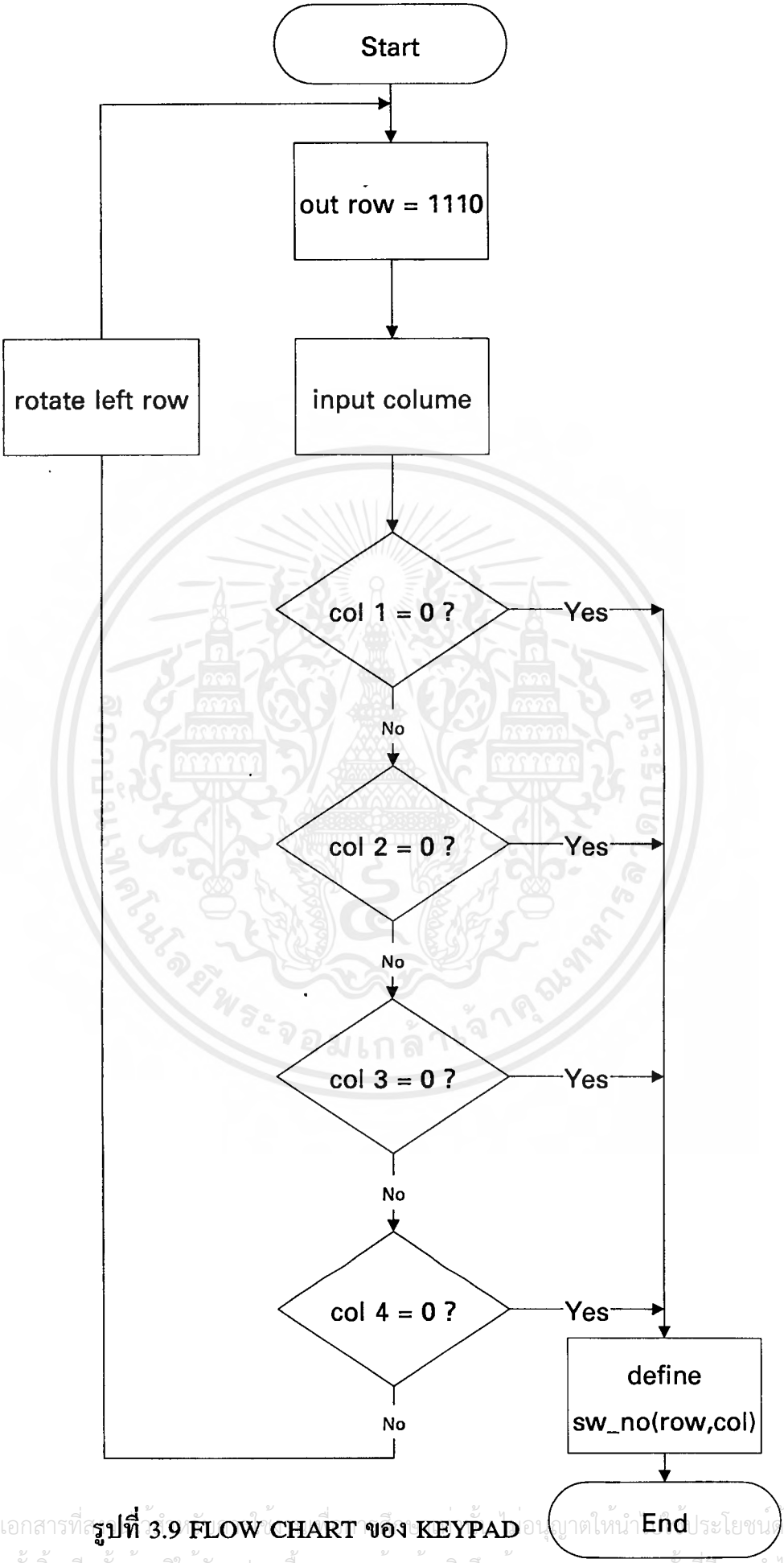
เนื่องจากโครงงานนี้จำเป็นจะต้องนำไปให้ผู้ที่มีปัญหาทางด้านการออกเสียงแต่สามารถใช้ประสาทสัมผัสได้ ดังนั้นจึงจะต้องออกแบบ KEY PAD ให้มีรูปร่างใหญ่และใช้งานง่ายที่สุด ดังนั้นจึงได้ทำการออกแบบ KEY PAD โดยใช้ การต่อสวิทย์เป็นแบบ METRIC SWITCH จำนวน แถวเท่ากับ 4 แถว และ จำนวนคอลัมน์เท่ากับ 4 คอลัมน์ โดยทำการเชื่อมต่อเข้ากับ PORT 1 ของไมโครคอนโทรลเลอร์ AT89C51 ดังรูปที่ 3.8

จากวงจรสามารถอธิบายการทำงานของวงจรได้ดังนี้ คือ เมื่อแถวที่หนึ่งเป็นสัญญาณ LOW ถ้าเกิดมีการกดสวิทย์ที่คอลัมน์ใด จะทำให้สัญญาณที่คอลัมน์นั้นมีสถานะเป็น LOW ไปด้วย ดังนั้นจึงสามารถตรวจสอบการกดของสวิทย์ได้ดัง FLOW CHART รูปที่ 3.9



รูปที่ 3.8 วงจร METRIC SW. และการเชื่อมต่อกับไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 FLOW CHART ของ KEYPAD

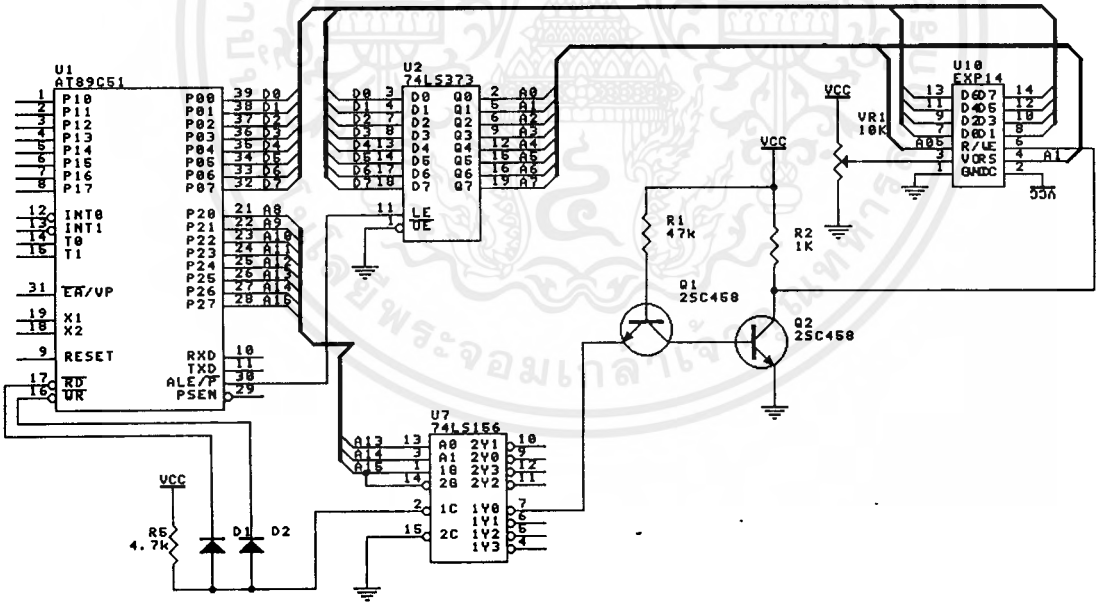
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรสวิทย์ที่ได้กล่าวมาแล้วข้างต้นนั้นสามารถทำการเชื่อมต่อได้โดยตรงกับพอร์ท 1 ของไมโครคอนโทรลเลอร์ เพราะที่พอร์ท 1 นั้นเป็นพอร์ทที่ใช้งานในการรับ-ส่งข้อมูลกับภายนอกเพียงอย่างเดียวจึงทำให้ง่ายต่อการควบคุมและการเขียนโปรแกรม

3.2.1.5 การเชื่อมต่อไมโครคอนโทรลเลอร์เข้ากับจอแสดงผล LCM

ในการเชื่อมต่อไมโครคอนโทรลเลอร์เข้ากับจอแสดงผล LCM นั้น ไม่เพียงแต่จะใช้สัญญาณ Enable ซึ่งได้จากวงจรถอดรหัสแล้วยังต้องมีสัญญาณอื่นอีกคือ สัญญาณ A0 และ A1 จากไมโครคอนโทรลเลอร์ โดยจะนำไปเป็นสัญญาณควบคุมจอ LCM อีกด้วย

ในส่วนของวงจรถอดรหัสนั้นตามปกติแล้วจะให้สัญญาณ เป็นสัญญาณ Low แต่เนื่องจากจอ LCM จะต้องใช้สัญญาณ High เป็นสัญญาณ Enable จึงจำเป็นต้องมีวงจร Inverting เข้าช่วย ซึ่งในที่นี้ได้นำเอาทรานซิสเตอร์เบอร์ 2SC458 เข้ามาต่อเป็นวงจร Inverting แทนที่จะใช้อุปกรณ์ประเภท TTL เนื่องจากจะทำให้ลดจำนวน Chip ในวงจรลงได้



รูปที่ 3.10 การเชื่อมต่อจอแสดงผล LCM เข้ากับ ไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 การออกแบบโปรแกรมเพื่อใช้ในการควบคุมวงจร

ในการออกแบบโปรแกรมนั้นสามารถแสดงได้ด้วย Flow Chart ดังรูปที่ 3.11, 3.12, และ 3.13 ตามลำดับ ซึ่งในรูปที่ 3.11 เป็น Main program โดยจะทำงานรอการกดสวิทย์ และเมื่อมีการกดสวิทย์ก็จะทำการตรวจสอบว่า สวิทย์นั้นหมายถึงอะไรและทำงานตามที่กำหนดไว้ ซึ่งอาจแบ่งได้เป็นโหมดใหญ่ๆ คือ โหมดการบันทึก ,โหมดการเล่นกลับ และโหมด Reset ในส่วนของโหมดต่างนั้นสามารถอธิบายการทำงานได้ดังนี้

3.2.2.1 โหมดการบันทึก ในโหมดนี้ได้แสดงไว้ตาม Flow Chart ดังรูปที่ 3.12 ซึ่งจะเริ่มการทำงานโดยทำการแยกแยะว่าจะทำการควบคุมสัญญาณของ CE ตัวใด ซึ่งได้กล่าวไว้แล้วข้างต้นเกี่ยวกับความสำคัญของการเกิดสัญญาณ CE ของแต่ละตัว และเมื่อสามารถตรวจสอบได้แล้วว่า Channel นั้นจะต้องติดต่อกับ ISD2590 ตัวใด ก็เข้าสู่การ Reset ตัว ISD2590 ก่อนเพื่อ Set ให้ ISD2590 พร้อมที่จะทำงาน จากนั้นจึงทำการส่งสัญญาณตำแหน่งเริ่มต้นที่จะทำการบันทึกลงไปในตัว ISD2590 โดยตำแหน่งเหล่านี้จะต้องกำหนดไว้ล่วงหน้าแล้ว ซึ่งสามารถคำนวณได้จากการนำตำแหน่งสูงสุดของข้อมูลภายในตัว ISD2590 มาหารด้วย 90 วินาที จึงทำให้ได้อัตราการเก็บข้อมูลต่อ 1 วินาที เมื่อทำการ SET ค่าตำแหน่งเริ่มต้นแล้ว จึงทำการ SET ค่าสัญญาณควบคุม ISD2590 ตามลำดับดังนี้

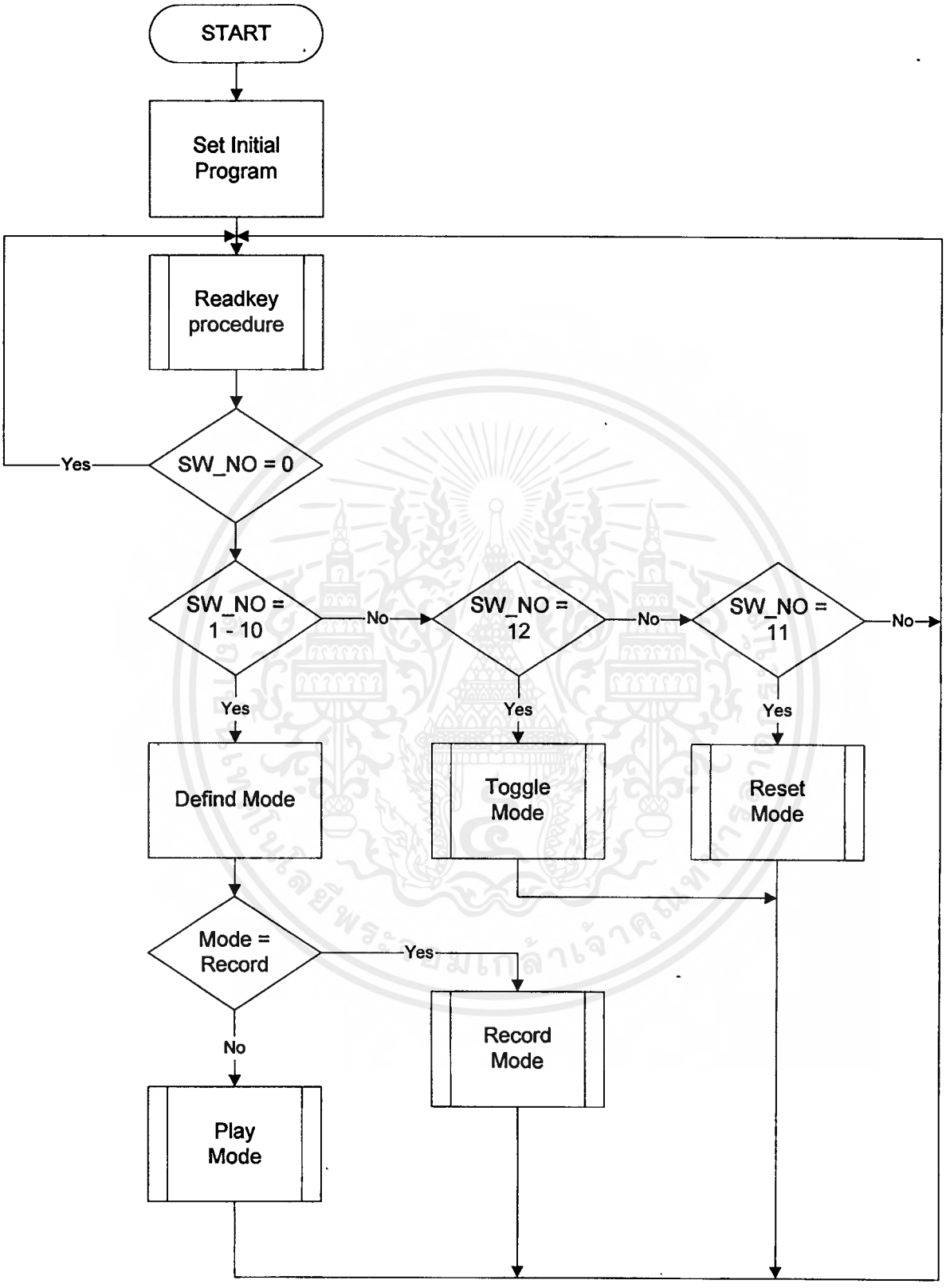
1. PD = LOW
2. P/R = LOW
3. CE = LOW

3.2.2.2 โหมดการเล่นสัญญาณเสียงกลับ ในโหมดนี้ได้แสดงไว้ตาม Flow Chart ดังรูปที่ 3.13 ซึ่งจะเริ่มการทำงานโดยทำการแยกแยะว่าจะทำการควบคุมสัญญาณของ CE ตัวใด และเมื่อสามารถตรวจสอบได้แล้วว่า Channel นั้นจะต้องติดต่อกับ ISD2590 ตัวใด ก็เข้าสู่การ Reset ตัว ISD2590 ก่อนเพื่อ Set ให้ ISD2590 พร้อมที่จะทำงาน จากนั้นจึงทำการส่งสัญญาณตำแหน่งเริ่มต้นที่จะทำการเล่นกลับสัญญาณเสียงลงไปในตัว ISD2590

เมื่อทำการ SET ค่าตำแหน่งเริ่มต้นแล้ว จึงทำการ SET ค่าสัญญาณควบคุม ISD2590 ตามลำดับดังนี้

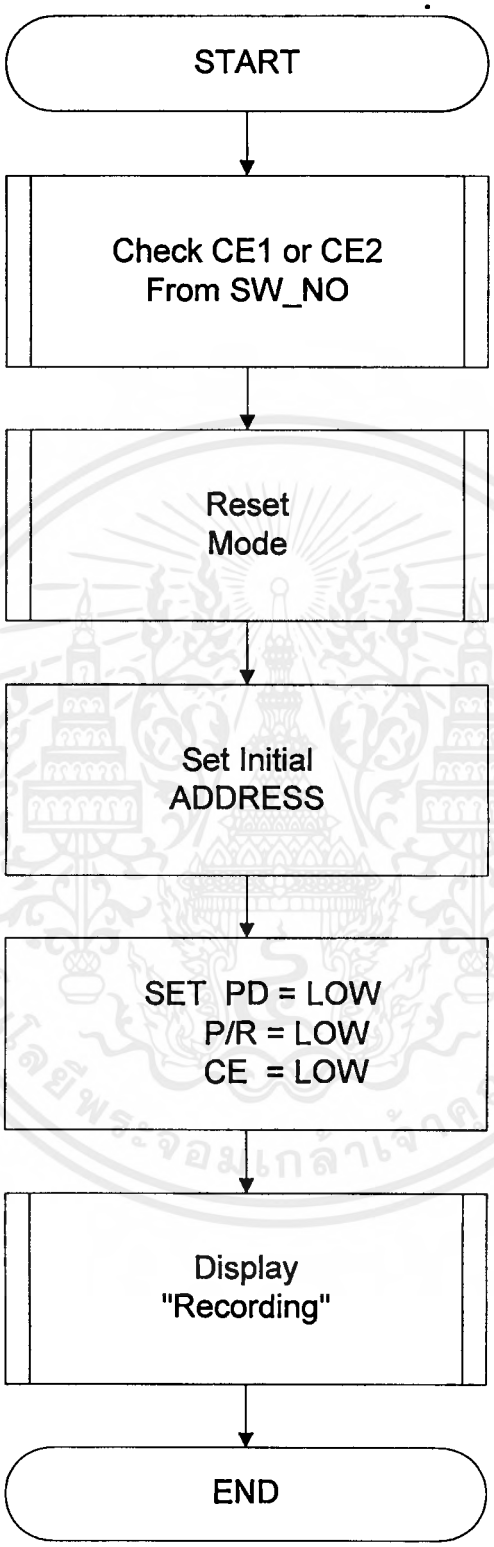
1. PD = LOW
2. P/R = HIGH
3. CE = LOW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



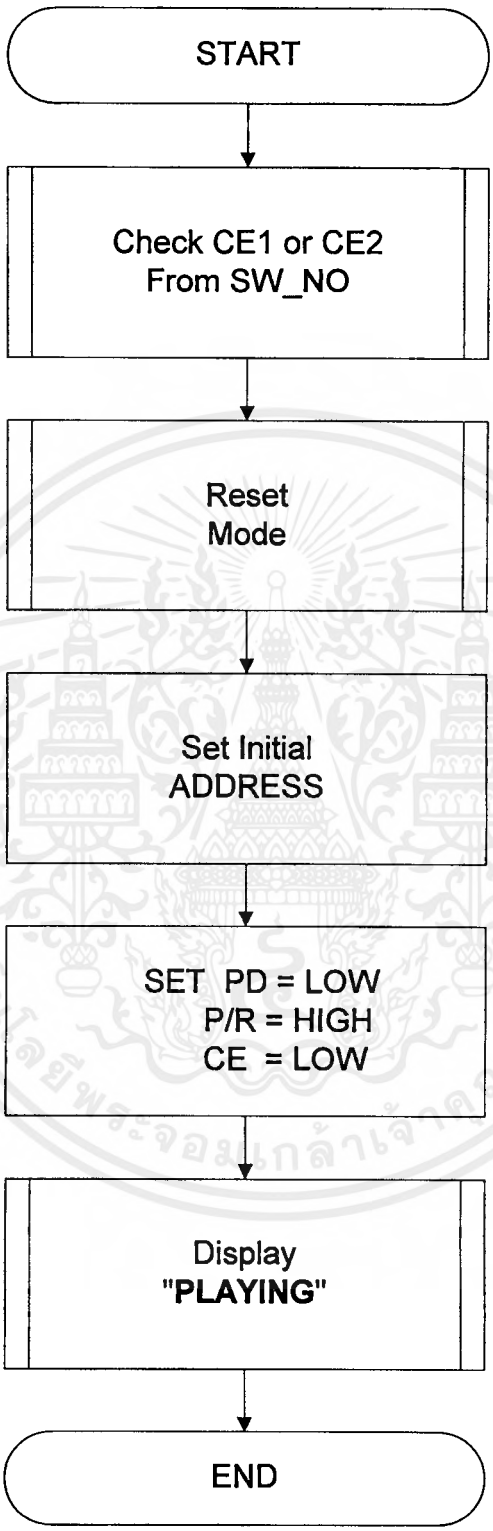
รูปที่ 3.11 Flow Chart ของ Main program

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 Flow Chart ของ Procedure RECORD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 Flow Chart ของ Procedure PLAY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 ปัญหาและข้อเสียวงจร

วงจรที่ได้ดังรูปที่ 3.5 นั้นได้มีความสามารถและคล่องตัวในการใช้งานและสามารถที่จะใช้งานได้จริง แต่มีข้อเสียประการเดียวคือเรื่องของพลังงานไฟฟ้า เพราะวงจรที่ได้ออกแบบมานี้กินกระแสขณะปกติประมาณ 100 มิลลิแอมป์ ซึ่งในการใช้งานจริงนั้นแหล่งพลังงานคือถ่านไฟฟ้าขนาด 9 โวลท์ ซึ่งจะสามารถจ่ายกระแสได้ประมาณ 100 มิลลิแอมป์ ซึ่งนั่นก็คือวงจรจะสามารถใช้งานได้เพียง 1 ชั่วโมงเท่านั้น ด้วยเหตุนี้วงจรนี้จึงเหมาะแก่การใช้งานในลักษณะที่ไม่จำกัดพลังงานที่จ่ายให้แก่วงจร โดยแก้โดยใช้ Adapter แทนถ่านไฟฟ้า แต่ก็ทำให้ขาดความคล่องตัว ดังนั้นจึงต้องออกแบบวงจรที่สามารถ Optimize การใช้พลังงานใหม่ได้ดังหัวข้อ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรสมบูรณ์ ซึ่งใช้ CHIP ISD2590 ,ใช้ LED แสดงผล และลดการใช้พลังงาน

3.3.1 การออกแบบวงจร เนื่องจากวงจรในหัวข้อที่ 3.2 นั้นไม่เหมาะแก่การทำเป็นโครงงานที่สามารถพกพาได้เนื่องจากมีปัญหาเกี่ยวกับการใช้พลังงานของวงจร จึงได้ทำการเปลี่ยนวงจรใหม่ โดยมีพื้นฐานคล้ายกับวงจรในหัวข้อที่ 3.2 แต่แตกต่างกันบางประการคือ

1. จอ LCM นั้นจำเป็นจะต้องใช้พลังงานตลอดเวลา โดยจะกินกระแสประมาณ 4 milliamp ซึ่งในวงจรใหม่นี้จำเป็นจะต้องทำการลดการใช้กระแสตรงส่วนนี้ออก ดังนั้นจึงได้ทำการเปลี่ยนการแสดงผลเป็นแบบ LED แทน
2. เนื่องจากไมโครคอนโทรลเลอร์ AT80C51 นี้จะทำการกินกระแสประมาณ 10 milliamp ขณะใช้งาน ซึ่งเป็นพลังงานจำนวนมากที่ต้องใช้ตลอดเวลาจึงได้มีการออกแบบวงจรใหม่ให้ไมโครคอนโทรลเลอร์ AT80C51 อยู่ในโหมดการประหยัดพลังงานตลอดเวลา โดยจะทำงานก็ต่อเมื่อมีการเกิดการขัดจังหวะ (Interrupt) เกิดขึ้น ดังนั้นไมโครคอนโทรลเลอร์ AT80C51 จะกินกระแสน้อยมากประมาณ 1.5 milliamp

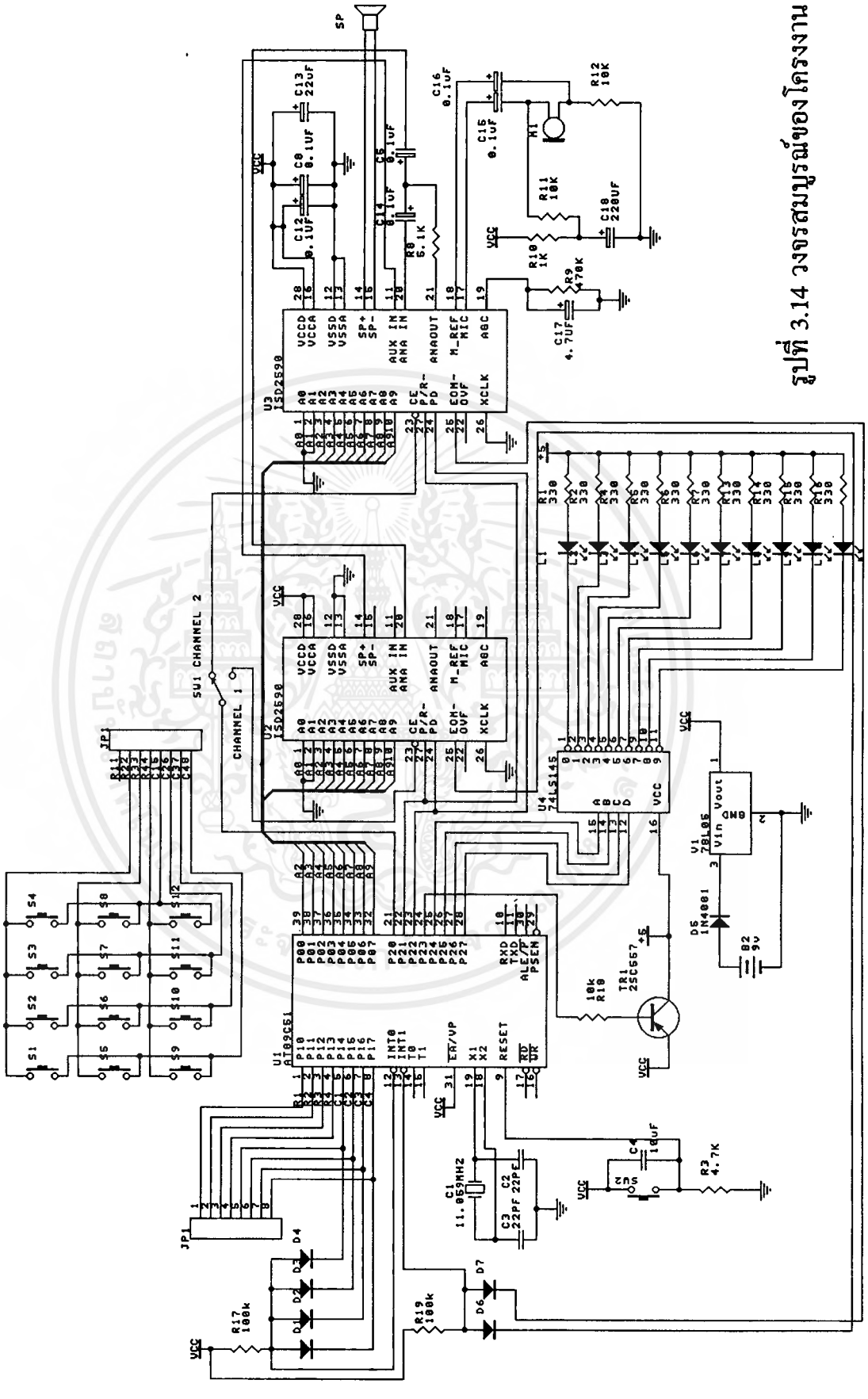
เมื่อได้ทำการลดการใช้พลังงานลงแล้วจึงทำให้วงจรกินกระแสน้อยมากขณะปกติคือประมาณ 2 milliamp และขณะทำงานประมาณ 100 milliamp

3.3.2 การทำงานของวงจร วงจรชุดสำเร็จได้ทำการแสดงไว้ดังรูปที่ 3.14 โดยการทำงานของวงจรนี้ซึ่งได้ออกแบบให้ไมโครคอนโทรลเลอร์ใช้หน่วยความจำภายใน ๆ การทำงานจึงทำให้ลดการใช้วงจร Decoder ภายนอกได้ แต่ในการวิจัยและทดลองนั้นจะสามารถทำได้ยากขึ้นเนื่องจากจำเป็นต้องทำการโปรแกรมไมโครคอนโทรลเลอร์แล้วจึงทำการทดสอบในแต่ละครั้ง การทำงานของวงจรสามารถแบ่งได้เป็น การ Interface ของ Keypad , การบริหารการใช้พลังงาน และการคอนโทรล ISD2590

ในส่วนของการ Interface ของ Keypad กับ AT89C51 นั้นได้มีการเชื่อมต่อเหมือนกับวงจรในหัวข้อที่ 3.2 จึงจะไม่อธิบายการทำงานอีก

3.3.2.1 การคอนโทรล ISD2590 ในการคอนโทรล ISD2590 นั้นได้ทำการออกแบบใหม่โดยการคอนโทรลตำแหน่งของข้อมูลภายใน ISD2590 โดยตรงกับพอร์ท 0 ของ AT89C51 จึงทำให้สามารถลดการใช้วงจร Decoder ออกไปได้ และในการคอนโทรล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 วงจรสมบูรณ์ของโครงงาน

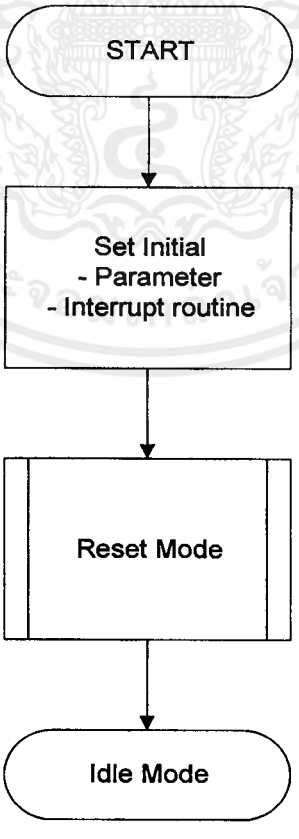
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณควบคุมของ นั้นได้ทำการเชื่อมต่อกับพอร์ท 2 บางส่วน ซึ่งส่วนที่เหลือของพอร์ท 2 นั้นได้ทำการนำไปใช้ในการจัดการบริหารพลังงานในวงจร และ การแสดงผล

3.3.2.2 การบริหารการใช้พลังงาน วงจรดังรูปที่ 3.14 นี้มีความพิเศษกว่าวงจรปกติคือในขณะปกตินั้นอุปกรณ์บางตัวจะไม่ต่ออยู่กับแหล่งงานทำให้การใช้พลังงานเป็นศูนย์ ซึ่งในที่นี้ได้แก่วงจรแสดงผลทั้งหมด ซึ่งประกอบไปด้วย TTL 74LS145 และ อุปกรณ์ LED

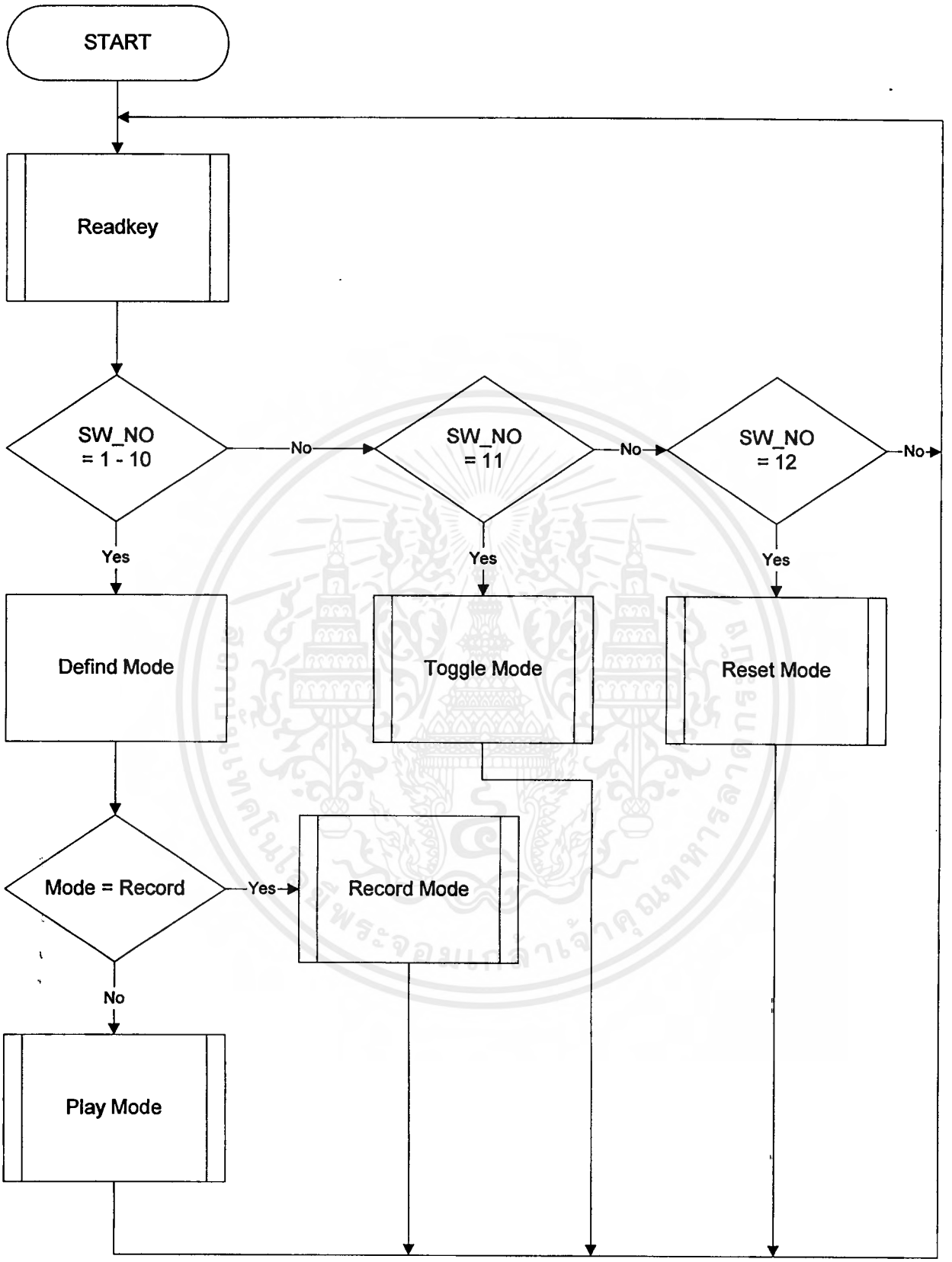
ในการจัดการตัดแหล่งพลังงานนี้ประกอบไปด้วยวงจรทรานซิสเตอร์ โดยวงจรทรานซิสเตอร์จะทำงานเปรียบเหมือนสะพานไฟ โดยสะพานไฟนี้จะถูกควบคุมโดยตรงจากไมโครคอนโทรลเลอร์

3.3.3 การออกแบบโปรแกรมในการควบคุม ในการออกแบบโปรแกรมนั้นได้มีการออกแบบให้โปรแกรมหลักนั้นทำงานเพียงการ Set ค่า Initial แก่ไมโครคอนโทรลเลอร์แล้วจึงเข้าสู่โหมดการประหยัดพลังงาน หรือ Idle Mode ซึ่งจะสามารถลดการใช้พลังงานของวงจรไปได้จากประมาณ 10 มิลลิแอมป์ เป็นประมาณ 2 มิลลิแอมป์ โดยการทำงานของโปรแกรมนั้นได้แสดงไว้ดังรูปที่ 3.15, 3.16, 3.17 และ 3.18



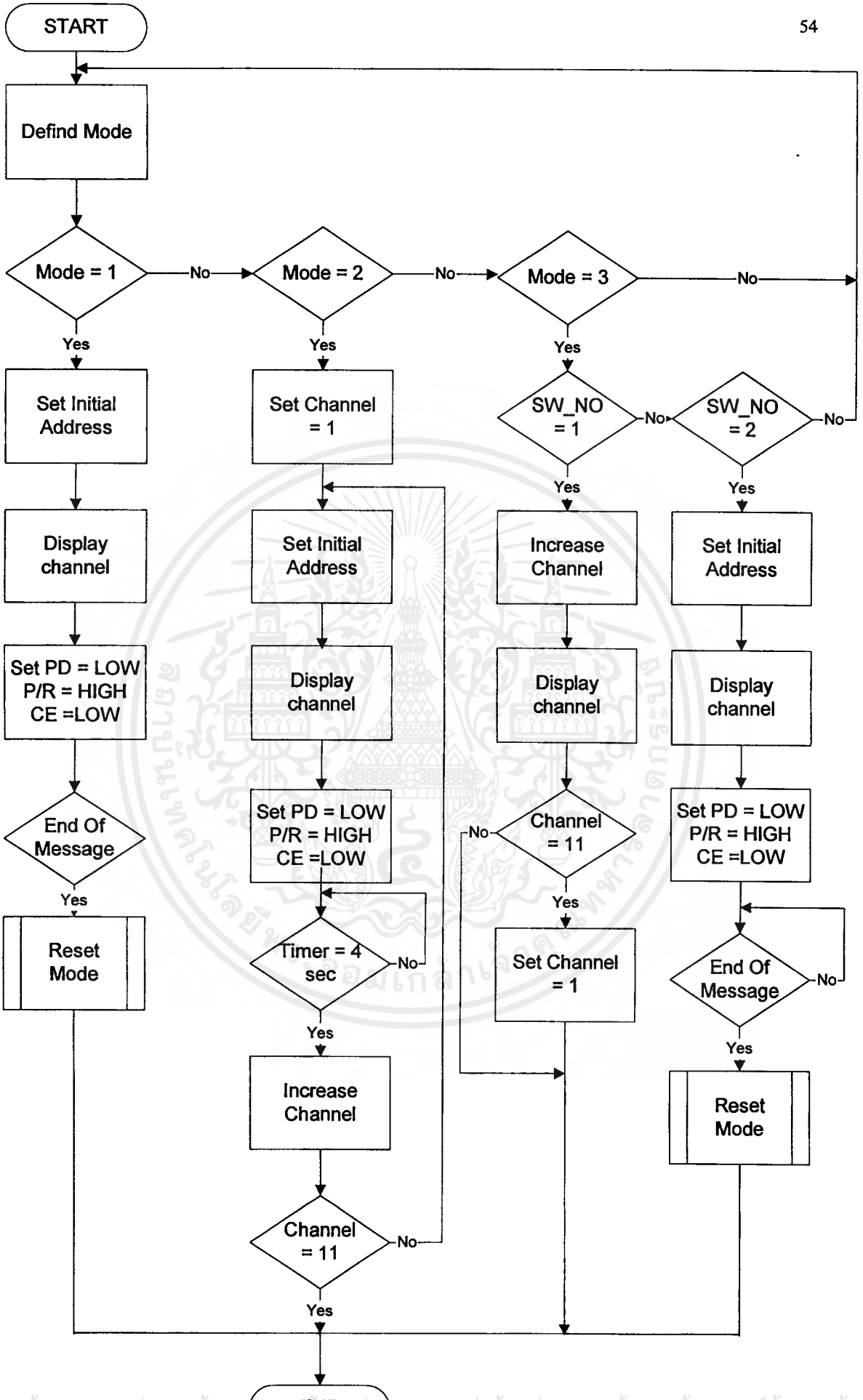
รูปที่ 3.15 Flow Chart ของ Main Program

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



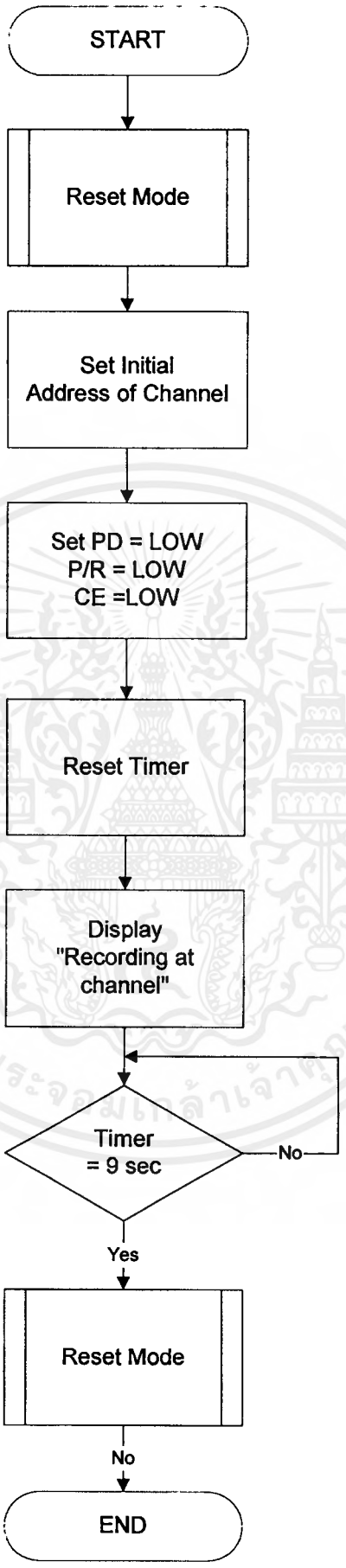
รูปที่ 3.16 INTERRUPT 0 SERVICE ROUTINE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.17 PLAY PROCEDURE



รูปที่ 3.18 RECORD MODE PROCEDURE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

เมื่อวงจรที่เสร็จสมบูรณ์ได้ทำการสร้างและทดลองโดยในขั้นตอนในการทดลองสามารถแบ่งย่อยได้เป็นส่วนหลัก ๆ ได้ดังนี้ ซึ่งในแต่ละขั้นตอนนั้นได้กล่าวถึงการทดลองที่มีผลการทดลองที่เสร็จสมบูรณ์แล้ว

1. การทดลองเพื่อหาค่าตำแหน่งที่เหมาะสมของ ISD2590
2. การทดลองการ Reset ISD2590
3. การทดลองติดต่อกับวงจรสวิทย์ (key pad)
4. ผลการทดลองล่าสุด

4.1 การทดลองเพื่อหาค่าตำแหน่งที่เหมาะสมของ ISD2590

เนื่องจากโครงงานนี้จำเป็นจะต้องแบ่งการเก็บสัญญาณเสียงออกเป็นช่อง ๆ โดยแต่ละช่องมีความยาวประมาณ 10 วินาที ซึ่งในการทดลองนั้นได้ทำการบันทึกสัญญาณเสียงโดยเริ่มที่ค่าตำแหน่งชี้เริ่มต้นที่ 00 0000 0000 (A0-A9) โดยได้ทำการบันทึกสัญญาณเสียงเป็นตัวเลขตามระยะเวลา ซึ่งการคำนวณหาความสัมพันธ์ระหว่างระยะเวลากับตำแหน่งข้อมูลที่ได้จากการทดลองพบว่า การเก็บข้อมูล 9 วินาที จะใช้หน่วยความจำถึงตำแหน่ง 62_{10} หรือ $3E_8$ ดังนั้นจะได้ว่า 1 วินาทีจะใช้หน่วยความจำจนถึงตำแหน่ง $62/9 = 6.889_{10}$ ดังนั้นในการออกแบบให้โครงงานมีจำนวนช่องเท่ากับ 20 ช่อง โดยแต่ละช่องมีระยะเวลาในการบันทึกและเล่นกลับเท่ากับ 180/20 = 9 วินาที

ตารางแสดงค่าตำแหน่งเริ่มต้นในการบันทึกหรือเล่นกลับของ ISD2590

ตำแหน่งเริ่มต้น CE1=LOW	ช่อง	ตำแหน่งเริ่มต้น CE2=LOW	ช่อง
00h	1	00h	11
3Eh	2	3Eh	12
7Ch	3	7Ch	13
BAh	4	BAh	14
F8h	5	F8h	15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตำแหน่งเริ่มต้น CE1=LOW	ช่อง	ตำแหน่งเริ่มต้น CE2=LOW	ช่อง
136h	6	136h	16
174h	7	174h	17
1B2h	8	1B2h	18
1F0h	9	1F0h	19
22Eh	10	22Eh	20

ตารางที่ 4.1 ค่าตำแหน่งที่ใช้ในการเริ่มต้นของข้อมูล ISD2590

แต่ในวงจรจะเห็นว่าขา A0 กับ A1 ต่ออยู่กับกราวด์ ซึ่งเกิดจากการลดจำนวนการใช้ขาสัญญาณของ ISD2590 ดังนั้นจึงต้องทำการ MAP Address ใหม่ดังตารางที่ 4.2

ค่าเดิม	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	ค่าใหม่
00h	0	0	0	0	0	0	0	0	0	0	00h
3Eh	0	0	0	0	1	1	1	1	1	0	0Fh
7Ch	0	0	0	1	1	1	1	1	0	0	1Fh
BAh	0	0	1	0	1	1	1	0	1	0	2Eh
F8h	0	0	1	1	1	1	1	0	0	0	3Eh
136h	0	1	0	0	1	1	0	1	1	0	4Dh
174h	0	1	0	1	1	1	0	1	0	0	5Dh
1B2h	0	1	1	0	1	1	0	0	1	0	6Ch
1F0h	0	1	1	1	1	1	0	0	0	0	7Ch
22Eh	1	0	0	0	1	0	1	1	1	0	8Bh

ตารางที่ 4.2 ค่า Address ใหม่ที่ใช้เป็นค่าเริ่มต้นในโปรแกรม

4.2 การทดลองการ Reset ISD2590

เนื่องจากในการเขียนโปรแกรมให้ ISD2590 ทำงานในการบันทึกหรือเล่นกลับนั้นจำเป็นจะต้องส่งสัญญาณ CE=High ทุกครั้งเมื่อสิ้นสุดการทำงาน และจากการทดลองโดยใช้โปรแกรม Reset ที่เขียนขึ้นมาทดสอบจะเห็นว่า มีการส่งสัญญาณไปตามลำดับดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. CE = High
2. P/R = High
3. PD = High
4. PD = Low
5. PD = High

ดังโปรแกรมย่อยต่อไปนี้

```
;************ RSTMODE ******************
;PROCEDURE = RSTMODE
;*****************************************
RSTMODE:  PUSH  DPH
          PUSH  DPL
          PUSH  ACC
          PUSH  00
          PUSH  PSW
          MOV   P3,#11111111B
          MOV   A,#11111001B      ;SET CE
          MOV   P2,A
          MOV   A,#11111011B      ;SET P/R-
          MOV   P2,A
          MOV   A,#11111111B      ;SET PD
          MOV   P2,A
          MOV   A,#11111011B
          MOV   P2,A
          MOV   A,#11111111B
          MOV   P2,A
          POP   PSW
          POP   00
          POP   ACC
          POP   DPL
          POP   DPH
          RET
```

โปรแกรมที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดลองติดต่อกับวงจรสวิทย์ (key pad)

เนื่องจากวงจรได้ออกแบบให้ใช้พอร์ท 1 ของไมโครโปรเซสเซอร์ไปควบคุมวงจรสวิทย์ดังนั้น โดยบิท 1-3 เป็นสัญญาณแถว และ บิท 4-7 เป็นสัญญาณคอลัมน์ ดังนั้นการทดลองเพื่อหาว่าสวิทย์ตัวใดถูกกดสามารถเขียนเป็นโปรแกรมได้ดังนี้

โปรแกรมจะทำการรอการกดสวิทย์แล้วส่งรหัสสวิทย์ที่ได้ไปยังพอร์ท 1 โดยปกติแล้วถ้าไม่มีการกดสวิทย์ใดเลยจะทำให้พอร์ท 1 เป็น 00H

ในการกดสวิทย์นั้นจะเกิดการสั่นสะเทือนภายในตัวสวิทย์เองจึงทำให้เหมือนกับการกดหลาย ๆ ครั้ง ๆ ในเวลาที่เร็วมาก ดังนั้นจะสังเกตุว่าในตัวโปรแกรมจะมีตัวแปร Bound มาแก้ปัญหาที่เกิดขึ้น ซึ่งการป้องกันการสั่นสะเทือนนี้อยู่ในส่วนของ Interrupt service ruotine 0

```
;********************** READKEY **********************
;PROCEDURE = READKEY
;*****************************************************
;START     R0=SW_NO  ,  R1,R0= TEMP OF ROW
READKEY:    PUSH  DPH
            PUSH  DPL
            PUSH  ACC
            PUSH  B
            PUSH  PSW
            PUSH  00
            PUSH  01
            MOV   ROW,#0
            MOV   R0,ROW
            MOV   COL,#6
            MOV   R1,#0F6H    ;START OF ROW
LOOP:       INC   R0
            MOV   A,R1
            RL    A
            MOV   R1,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ANL   A,#0FH
        CLR   CY
        SUBB  A,#0FH
        JZ    EJECT
        MOV   A,R1
        ORL   A,#0F0H
        MOV   R1,A
        MOV   P1,R1
        MOV   A,R1
        ORL   A,#0F0H
        MOV   P1,A
        MOV   A,P1      ;INPUT COL
        SWAP  A
        CPL   A
        ANL   A,#0FH
        JZ    LOOP
        CJNE  A,#4,SET_NO4
        MOV   A,#3
        SJMP  NEXT
SET_NO4: CJNE  A,#8,NEXT
        MOV   A,#4
NEXT:   MOV   ROW,R0
        MOV   COL,A
        DEC   R0
        PUSH  ACC
        MOV   A,R0
        MOV   B,#4
        MUL   AB
        POP   B
        ADD   A,B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV   SW_NO,A
                SJMP  ENDPRO
EJECT:          MOV   SW_NO,#00H
ENDPRO:         POP   01
                POP   00
                POP   PSW
                POP   B
                POP   ACC
                POP   DPL
                POP   DPH
                RET
```

โปรแกรมที่ 4.2

4.4 การทดลองขั้นสุดท้าย

ผลการทดลองล่าสุดโดยใช้โปรแกรมที่ 4.3 จะเห็นได้ว่าตัวโครงงานสามารถเขียนโปรแกรมควบคุมได้ครบทุกเป้าหมายที่ได้ตั้งไว้ โดยในโปรแกรมนี้ โครงงานจะสามารถตั้งโหมดของการบันทึกหรือเล่นกลับได้, สามารถเลือกช่องของข้อมูลเสียงได้ 2 ช่องใหญ่ และแต่ละช่องใหญ่จะมีอีก 10 ช่องเล็ก

```
;*******************************************************
        CPU     "8051.TBL"
        HOF     "INT8"
;*******************************************************
;MCS-51 INTERNAL REGISTERS
B:      EQU     0F0H        ;B REGISTER
ACC:    EQU     0E0H        ;ACCUMULATOR
PSW:    EQU     0D0H        ;PROGRAM STATUS WORD
IPC:    EQU     0B8H        ;INTERRUPT PRIORITY
P3:     EQU     0B0H        ;PORT 3
IEC:    EQU     0A8H        ;INTERRUPT ENABLE
P2:     EQU     0A0H        ;PORT 2
SBUF:   EQU     99H         ;SEND BUFFER
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SCON:     EQU       98H       ;SERIAL CONTROL
P1:       EQU       90H       ;PORT 1
TH1:      EQU       8DH       ;TIMER 1 HIGH
TH0:      EQU       8CH       ;TIMER 0 HIGH
TL1:      EQU       8BH       ;TIMER 1 LOW
TL0:      EQU       8AH       ;TIMER 0 LOW
TMOD:     EQU       89H       ;TIMER MODE
TCON:     EQU       88H       ;TIMER CONTROL
PCON:     EQU       87H       ;POWER CONTROL REGISTER
DPH:      EQU       83H       ;DATA POINTER HIGH
DPL:      EQU       82H       ;DATA POINTER LOW
SP:       EQU       81H       ;STACK POINTER
P0:       EQU       80H       ;PORT 0
;
;MCS-51 INTERNAL BIT ADDRESSES
;
CY:       EQU       0D7H      ;CARRY FLAG
AC:       EQU       0D6H      ;AUXILIARY-CARRY FLAG
F0:       EQU       0D5H      ;USER FLAG 0
RS1:      EQU       0D4H      ;REGISTER SELECT MSB
RS0:      EQU       0D3H      ;REGISTER SELECT LSB
OV:       EQU       0D2H      ;OVERFLOW FLAG
P:        EQU       0D0H      ;PARITY FLAG
PS:       EQU       0BCH      ;PRIORITY SERIAL PORT
PT1:      EQU       0BBH      ;PRIORITY TIMER 1
PX1:      EQU       0BAH      ;PRIORITY EXTERNAL 1
PT0:      EQU       0B9H      ;PRIORITY TIMER 0
PX0:      EQU       0B8H      ;PRIORITY EXTERNAL 0
EA:       EQU       0AFH      ;ENABLE ALL INTERRUPT
ES:       EQU       0ACH      ;ENABLE SERIAL INTERRUPT
ET1:      EQU       0ABH      ;ENABLE TIMER 1 INTERRUPT
EX1:      EQU       0AAH      ;ENABLE EXTERNAL 1 INTERR
ET0:      EQU       0A9H      ;ENABLE TIMER 0 INTERRUPT
EX0:      EQU       0A8H      ;ENABLE EXTERNAL 0 INTERR
SM0:      EQU       09FH      ;SERIAL MODE 0
SM1:      EQU       09EH      ;SERIAL MODE 1
SM2:      EQU       09DH      ;SERIAL MODE 2
REN:      EQU       09CH      ;SERIAL RECEPTION ENABLE
TB8:      EQU       09BH      ;TRANSMITT BIT 8
RB8:      EQU       09AH      ;RECEIVE BIT 8
TI:       EQU       099H      ;TRANSMIT INTERRUPT FLAG
RI:       EQU       098H      ;RECEIVE INTERRUPT FLAG
TF1:      EQU       08FH      ;TIMER 1 OVERFLOW FLAG
TR1:      EQU       08EH      ;TIMER 1 RUN CONTROL BIT
TF0:      EQU       08DH      ;TIMER 0 OVERFLOW FLAG
TR0:      EQU       08CH      ;TIMER 0 RUN CONTROL BIT
IE1:      EQU       08BH      ;EXT INTERR. 1 EDGE FLAG
IT1:      EQU       08AH      ;EXT INTERR. 1 TYPE FLAG
IE0:      EQU       089H      ;EXT INTERR. 0 EDGE FLAG
IT0:      EQU       088H      ;EXT INTERR. 0 TYPE FLAG

;*********************************************************
;
;BYTE VARIABLE OF PROGRAM
;
```

โปรแกรมที่ 4.3 โปรแกรมฉบับสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
AA:         EQU         08H
ROW:        EQU         AA+1
COL:        EQU         AA+2
SW_NO:      EQU         AA+3
MODE_NO:    EQU         AA+4
SUBMODE:    EQU         AA+5
HOUR:       EQU         AA+6
MINUTE:     EQU         AA+7
SECOND:     EQU         AA+8
HUND:       EQU         AA+9
YEAR:       EQU         AA+10
MONTH:      EQU         AA+11
DAY:        EQU         AA+12
bound:      equ         aa+13
EOM:        EQU         AA+14
MEMSCAN:    EQU         AA+15

;EXTERNAL PORT
;               LCD MODULE
LCD:        EQU         8000H
WRCOMLCD:   EQU         LCD         ;WRITE COMMAND TO LCD
RDCOMLCD:   EQU         LCD+1       ;READ STATUS FROM LCD
WRDATLCD:   EQU         LCD+2       ;WRITE DATA TO LCD
RDDATLCD:   EQU         LCD+3       ;READ DATA FROM LCD

;*****************************************************
;   THIS program test for record AND PLAY version 2 USE
;   ISD2590*2  and display via LED
;   external interrupt 0 for TRIG PROGRAM

          ORG  0000H
          LJMP STARTPRG
          ORG  0003H                ;address of INT0
          CLR  EX0
          LJMP INT0_R               ;jmp to INT0 service routine
          ORG  000BH                ;address of TIMER0
          LJMP TIMER0_R             ;jmp to TIMER0 serviec routine
          ORG  0013H                ;address of INT1
          LJMP INT1_R               ;jmp to INT1 service routine

           ORG   0100H
STARTPRG: MOV   SP,#30H
          LCALL RSTMODE
          LCALL INITMCS
          MOV   R1,#1
AAAA:     MOV   R0,#07H
          MOV   A,#0H
AAA:      LCALL DELAY.3S
          PUSH  ACC
          SWAP  A
          ORL   A,R0
          MOV   P2,A
          POP   ACC
          INC   A
          CJNE  A,#10,AAA
```

โปรแกรมที่ 4.3 โปรแกรมฉบับสมบูรณ์ (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            MOV   A,#0
            DJNZ  R1,AAAA
            LCALL DELAY.3S

            MOV   BOUND,#0
            MOV   MODE_NO,#1
            MOV   HOUR,#00H              ;*********************
            MOV   MINUTE,#00H            ;  SET TIME DATA
            MOV   SECOND,#00H
            MOV   HUND,#00H
            MOV   YEAR,#80H
            MOV   MONTH,#01H
            MOV   DAY,#01H

            MOV   SUBMODE,#1
            MOV   SW_NO,#1
            MOV   ROW,#3
            MOV   COL,#4
AUN1:       MOV   P1,#0F1H
            MOV   P0,#0FFH
            MOV   P2,#0FFH
            MOV   P3,#11111100B
            MOV   PCON,#1
            SJMP  AUN1

INT0_R:     PUSH  PSW
            PUSH  DPL
            PUSH  DPH
REREAD:     LCALL READKEY
            MOV   R0,SW_NO
            CJNE  R0,#0,NEXTKEY1
            SJMP  NOACT2
NEXTKEY1:   CJNE  R0,#11,NEXTKEY2
            LCALL RSTMODE
            SJMP  NOACT2
NEXTKEY2:   CJNE  R0,#12,NEXTKEY3
            LCALL TOGGLE
            SJMP  NOACT2
NEXTKEY3:   LCALL RSTMODE
            LCALL DELAY.3S
            LCALL CH_MODE
NOACT2:     MOV   A,BOUND
            INC   A
            MOV   BOUND,A
            SJMP  NOACT1
NOACT:      MOV   BOUND,#0
NOACT1:     SETB  EX0
            POP   dph
            POP   DPL
            POP   PSW
            RETI

;************* RSTMODE ********************
;PROCEDURE = RSTMODE
;*****************************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ 4.3 โปรแกรมฉบับสมบูรณ์ (ต่อ)

```
RSTMODE:  PUSH  DPH
          PUSH  DPL
          PUSH  ACC
          PUSH  00
          PUSH  PSW
          MOV   P3,#11111100B
          MOV   A,#11111001B          ;SET CE
          MOV   P2,A
          MOV   A,#11111011B          ;SET P/R-
          MOV   P2,A
          MOV   A,#11111111B          ;SET PD
          MOV   P2,A
          MOV   A,#11111011B
          MOV   P2,A
          MOV   A,#11111111B
          MOV   P2,A
          POP   PSW
          POP   00
          POP   ACC
          POP   DPL
          POP   DPH
          RET

;************ TOGGLE ******************
;PROCEDURE = TOGGLE
;for toggle mode number for define mode of operation
;****************************************
TOGGLE:   PUSH  DPH
          PUSH  DPL
          PUSH  ACC
          PUSH  00
          PUSH  PSW
          MOV   R0,#1
CHECK1:   LCALL READKEY
          MOV   A,SW_NO
          CJNE  A,#12,NORMAL
          INC   R0
          LCALL DELAY1S
          CJNE  R0,#5,CHECK1
          MOV   A,MODE_NO
          CJNE  A,#1,TOGGLE1
          INC   A
          MOV   MODE_NO,A
          SJMP  TOGGLE4
TOGGLE1:  CJNE  A,#2,TOGGLE3
          DEC   A
          MOV   MODE_NO,A
TOGGLE4:  LCALL DISPMODE
          LCALL DELAY1S
          LCALL DELAY1S
          SJMP  TOGGLE3
NORMAL:   MOV   A,SUBMODE
          CJNE  A,#3,TOGGLE2
          MOV   SUBMODE,#1
          SJMP  TOGGLE3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ 4.3 โปรแกรมฉบับสมบูรณ์ (ต่อ)

```
TOGGLE2:   INC    A
           MOV    SUBMODE,A
TOGGLE3:   MOV    A,SUBMODE
           LCALL  DISP_CH
           LCALL  DELAY.3S
           POP    PSW
           POP    00
           POP    ACC
           POP    DPL
           POP    DPH
           RET

;************ CHECK SUB MODE ************
;PROCEDURE = CH_SUB
;check sub of playing mode by see from submode
;*****************************************
CH_SUB:    PUSH   DPH
           PUSH   DPL
           PUSH   ACC
           PUSH   00
           MOV    A,SUBMODE
           CJNE   A,#1,SUB1
           LCALL  MAINPLAY
           SJMP   ENDSUBMD
SUB1:      CJNE   A,#2,SUB2
           LCALL  TITLE          ; SUBMODE = 2 TITLE MODE PLAYING
           SJMP   ENDSUBMD
SUB2:      CJNE   A,#3,ENDSUBMD
           LCALL  SCAN           ; SUBMODE = 2 SCAN MODE PLAYING
           SJMP   ENDSUBMD
ENDSUBMD:  MOV    EOM,#1
           CLR    EX1
           POP    00
           POP    ACC
           POP    DPL
           POP    DPH
           RET

;************ CH_MODE ********************
;PROCEDURE = CH_MODE
;for define track number of memmory
;*****************************************
CH_MODE:   PUSH   DPH
           PUSH   DPL
           PUSH   ACC
           PUSH   00
           MOV    A,MODE_NO
           CJNE   A,#2,CH_MODE1
           LCALL  RECMODE
           SJMP   CH_MODE2
CH_MODE1:  LCALL  CH_SUB
CH_MODE2:  POP    00
           POP    ACC
           POP    DPL
           POP    DPH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ 4.3 โปรแกรมฉบับสมบูรณ์ (ต่อ)

```
          RET

;************ MAINPLAY ******************
;PROCEDURE = MAINPLAY
;for play back sound at ch_no
;*****************************************
MAINPLAY: PUSH  DPH
          PUSH  DPL
          PUSH  ACC
          PUSH  00
          PUSH  01
          PUSH  02
          LCALL PLAYMODE       ;SUBMODE = 1 PLAYING MODE
          MOV   EOM,#1
RECHK:    SETB  EX1
          MOV   A,EOM
          CJNE  A,#1,ENDMAIN
          LCALL READKEY
          MOV   R0,SW_NO
          CJNE  R0,#0,NEXTCHK1
          SJMP  RECHK
NEXTCHK1: CJNE  R0,#12,NEXTCHK2
          SJMP  RECHK
NEXTCHK2: CJNE  R0,#11,NEXTCHK3
          LCALL RSTMODE
          SJMP  ENDMAIN
NEXTCHK3: LCALL RSTMODE
          LCALL DELAY.3S
          CLR   EX1
          LCALL PLAYMODE
          MOV   EOM,#1
          SJMP  RECHK
ENDMAIN:  POP   02
          POP   01
          POP   00
          POP   ACC
          POP   DPL
          POP   DPH
          RET

;************ PLAYMODE ********************
;PROCEDURE = PLAYMODE
;for play back sound at ch_no
;*****************************************
PLAYMODE: PUSH  DPH
          PUSH  DPL
          PUSH  ACC
          PUSH  00
          PUSH  01
          PUSH  02
          MOV   P3,#11111101B
          MOV   A,SW_NO
          DEC   A
          MOV   DPTR,#TABLE_CH
          MOVC  A,@A+DPTR
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ 4.3 โปรแกรมฉบับสมบูรณ์ (ต่อ)

```
            MOV   P0,A
            MOV   A,SW_NO
            DEC   A
            RL    A
            RL    A
            RL    A
            RL    A
            ORL   A,#0FH
            PUSH  ACC
            PUSH  ACC
            PUSH  ACC
            MOV   B,#11110011B  ;SET PD & P/R-
            POP   ACC
            ANL   A,B
            MOV   P2,A
            MOV   B,#11110010B  ;SET CE
            POP   ACC
            ANL   A,B
            MOV   P2,A
            MOV   B,#11110011B  ;CLEAR CE
            POP   ACC
            ANL   A,B
            MOV   P2,A
            POP   02
            POP   01
            POP   00
            POP   ACC
            POP   DPL
            POP   DPH
            RET

;*************  TITLE PLAYBACK  ************
;PROCEDURE = TITLE
;*****************************************
TITLE:      PUSH  DPH
            PUSH  DPL
            PUSH  00H
            PUSH  01H
            PUSH  02H
            MOV   SECOND,#0
            MOV   R0,#10          ; LOOP
            MOV   R1,#1           ; CHANNEL
TITLE1:     SETB  TR0
            MOV   SW_NO,R1
            LCALL PLAYMODE
TITLE2:     LCALL READKEY
            MOV   R2,SW_NO
            CJNE  R2,#0,RESET
            MOV   A,SECOND
            CJNE  A,#5,TITLE2
            CLR   TR0
            MOV   SECOND,#0
            INC   R1
            LCALL RSTMODE
            LCALL DELAY.3S
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ 4.3 โปรแกรมฉบับสมบูรณ์ (ต่อ)

```
            DJNZ   R0,TITLE1
            SJMP   ENDTITLE
RESET:      LCALL  RSTMODE
ENDTITLE:   POP    02H
            POP    01H
            POP    00H
            POP    DPL
            POP    DPH
            RET

;************ SCAN FOR PLAY_BACK ************
;PROCEDURE = SCAN
;******************************************
SCAN:       PUSH   DPH
            PUSH   DPL
            PUSH   00H
            PUSH   01H
            PUSH   02H
            MOV    A,SW_NO
            MOV    R0,MEMSCAN
            CJNE   A,#1,SCAN1
            CJNE   R0,#10,SCAN2
            MOV    MEMSCAN,#1
            SJMP   SCAN3
SCAN2:      INC    R0
            MOV    MEMSCAN,R0
SCAN3:      MOV    A,MEMSCAN      ;DISPLAY MEMSCAN
            LCALL  DISP_CH
            lcall  delay1s
            SJMP   ENDSCAN
SCAN1:      CJNE   A,#2,ENDSCAN
            MOV    A,MEMSCAN
            MOV    SW_NO,A
            LCALL  DISP_CH
            lcall  delay1s
            LCALL  PLAYMODE
            MOV    SECOND,#0
            SETB   TR0
WAIT2:      MOV    A,SECOND
            CJNE   A,#8,WAIT2
            CLR    TR0
            SJMP   ENDSCAN
ENDSCAN:    CLR    EX1
            MOV    EOM,#1
            POP    02H
            POP    01H
            POP    00H
            POP    DPL
            POP    DPH
            RET

;************ RECMODE *********************
;PROCEDURE = RECMODE
;for play back sound at ch_no
;******************************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ 4.3 โปรแกรมฉบับสมบูรณ์ (ต่อ)

```
RECMODE:  PUSH  DPH
          PUSH  DPL
          PUSH  ACC
          PUSH  00
          PUSH  01
          PUSH  02
          MOV   P3,#11111110B
          MOV   MINUTE,#0
          MOV   SECOND,#0
          MOV   A,SW_NO
          DEC   A
          MOV   DPTR,#TABLE_CH
          MOVC  A,@A+DPTR
          MOV   P0,A
          MOV   A,SW_NO
          DEC   A
          RL    A
          RL    A
          RL    A
          RL    A
          ORL   A,#0FH
          PUSH  ACC
          PUSH  ACC
          PUSH  ACC
          MOV   B,#11110011B        ;SET PD
          POP   ACC
          ANL   A,B
          MOV   P2,A
          MOV   B,#11110001B        ;SET P/R-
          POP   ACC
          ANL   A,B
          MOV   P2,A
          MOV   B,#11110000B        ;SET CE
          POP   ACC
          ANL   A,B
          MOV   P2,A
          SETB  TR0
REREC:    MOV   A,SECOND
          MOV   P0,A                ;TEST
          CJNE  A,#10H,REREC2
          LCALL RSTMODE
          SJMP  REREC3
REREC2:   LCALL READKEY
          MOV   A,SW_NO
          CJNE  A,#11,REREC
          LCALL RSTMODE
REREC3:   CLR   TR0
          POP   02
          POP   01
          POP   00
          POP   ACC
          POP   DPL
          POP   DPH
          RET
```

โปรแกรมที่ 4.3 โปรแกรมฉบับสมบูรณ์ (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;********************** READKEY  **********************
;PROCEDURE = READKEY
;*****************************************************
;start      R0=SW_NO   ,  R1,R0= TEMP OF ROW
READKEY:  PUSH  DPH
          PUSH  DPL
          PUSH  ACC
          PUSH  B
          PUSH  PSW
          PUSH  00
          PUSH  01
          MOV   ROW,#0
          MOV   R0,ROW
          MOV   COL,#6
          MOV   R1,#0F6H     ;START OF ROW
LOOP:     INC   R0
          MOV   A,R1
          RL    A
          MOV   R1,A
          ANL   A,#0FH
          CLR   CY
          SUBB  A,#0FH
          JZ    EJECT
          MOV   a,r1
          ORL   a,#0f0h
          MOV   r1,a
          MOV   P1,R1
          MOV   A,R1
          ORL   A,#0F0H
          MOV   P1,A
          MOV   A,P1         ;input col
          SWAP  A
          CPL   A
          ANL   A,#0FH
          JZ    LOOP
          CJNE  A,#4,SET_NO4
          MOV   A,#3
          SJMP  NEXT
SET_NO4:  CJNE  A,#8,NEXT
          MOV   A,#4
NEXT:     MOV   ROW,R0
          MOV   COL,A
          DEC   R0
          PUSH  ACC
          MOV   A,R0
          MOV   B,#4
          MUL   AB
          POP   B
          ADD   A,B
          MOV   SW_NO,A
          SJMP  ENDPRO
EJECT:    MOV   SW_NO,#00H
ENDPRO:   POP   01
          POP   00
          POP   PSW
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ 4.3 โปรแกรมฉบับสมบูรณ์ (ต่อ)

```
          POP   B
          POP   ACC
          POP   DPL
          POP   DPH
          RET

;************* INITIAL MCS51 *************
;PROCEDURE = INITMCS
;***************************************
INITMCS:  CLR  TR0                  ;timer run = pluse
          SETB EA                   ;EA=1
          CLR  ES                   ;ES=0
          CLR  ET1                  ;ET1=1
          CLR  EX1                  ;EX1=0
          SETB ET0                  ;ET0=1
          SETB EX0                  ;EX0=0
          CLR  RS0                  ;Select balnk 0
          CLR  RS1
          MOV  IPC,#00000110B       ;PT1=0 PX1=1 PT0=1 PX0=0
          SETB IT0                  ;set falling edge type for INT0
          SETB IT1
          CLR  TR0                  ;Time 0 enable
          CLR  TR1                  ;Time 1 enable
;   initial timer/counter
          MOV  TMOD,#51H            ;Time0=mode 1, counter, GATE=1
                                    ;Time1=mode 1, counter, GATE=1
          MOV  TH1,#0FFH
          MOV  TL1,#0FEH
          MOV  TH0,#37H
          MOV  TL0,#0AFH
          RET

;************* DISPMODE          ************
;PROCEDURE = DISPMODE
;*****************************************
DISPMODE: PUSH  00H
          PUSH  01H
          PUSH  02H
          PUSH  03H
          PUSH  ACC
          MOV   R4,#3               ;LOOP FOR DISPLAY
          MOV   R0,#07H             ;low byte for control code
          MOV   A,MODE_NO
          CJNE  A,#1,DISPrec
DISPplay: MOV   R1,#255
DISP5:    MOV   R2,#5               ;limite of row display
          MOV   R3,#255
          MOV   A,#0
DISP1:    PUSH  ACC
          RL    A
          RL    A
          RL    A
          RL    A
          ORL   A,R0
          MOV   P2,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ 4.3 โปรแกรมฉบับสมบูรณ์ (ต่อ)

```
            POP   ACC
            INC   A
DISP3:      DJNZ  R3,DISP3
            DJNZ  R2,DISP1
            DJNZ  R1,DISP5
            DJNZ  R4,DISPplay
            SJMP  ENDDISP
DISPrec:    MOV   R1,#255
DISP6:      MOV   R2,#5                ;limite of row display
            MOV   R3,#255
            MOV   A,#5
DISP2:      PUSH  ACC
            RL    A
            RL    A
            RL    A
            RL    A
            ORL   A,R0
            MOV   P2,A
            POP   ACC
            INC   A
DISP4:      DJNZ  R3,DISP4
            DJNZ  R2,DISP2
            DJNZ  R1,DISP6
            DJNZ  R4,DISPrec
ENDDISP:    MOV   P2,#0FFH
            POP   ACC
            POP   03H
            POP   02H
            POP   01H
            POP   00H
            RET

;************* DELAY 0.5 SECOND ************
;PROCEDURE = DELAY1S
;*****************************************
DELAY1S:    PUSH  DPH
            PUSH  DPL
            PUSH  00H
            PUSH  01H
            PUSH  02H
            MOV   R0,#8              ;n second R0 = n*10
DELAY1S1:   MOV   R1,#199            ;delay 100 ms
DELAY1S2:   MOV   R2,#250            ;delay 500 us
DELAY1S3:   DJNZ  R2,DELAY1S3
            DJNZ  R1,DELAY1S2
            DJNZ  R0,DELAY1S1
            POP   02H
            POP   01H
            POP   00H
            POP   DPL
            POP   DPH
            RET

;************* DELAY 0.5 SECOND ************
;PROCEDURE = DELAY.5S
```

โปรแกรมที่ 4.3 โปรแกรมฉบับสมบูรณ์ (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

```
;*****************************************
DELAY.5S: PUSH   00H
          PUSH   01H
          PUSH   02H
          PUSH   ACC
          MOV    R0,#4              ;n second R0 = n*10
DELAYS1:  MOV    R1,#199            ;delay 100 ms
DELAYS2:  MOV    R2,#250            ;delay 500 us
DELAYS3:  DJNZ   R2,DELAYS3
          DJNZ   R1,DELAYS2
          DJNZ   R0,DELAYS1
          POP    ACC
          POP    02H
          POP    01H
          POP    00H
          RET

;************* DELAY 0.3 SECOND ************
;PROCEDURE = DELAY.3S
;*****************************************
DELAY.3S: PUSH   00H
          PUSH   01H
          PUSH   02H
          MOV    R0,#3              ;n second R0 = n*10
DELAYS13: MOV    R1,#199            ;delay 100 ms
DELAYS23: MOV    R2,#250            ;delay 500 us
DELAYS33: DJNZ   R2,DELAYS33
          DJNZ   R1,DELAYS23
          DJNZ   R0,DELAYS13
          POP    02H
          POP    01H
          POP    00H
          RET

;********* AREA OF INTERRUPT SERVICE ROUTINE *********
TIMER0_R: PUSH   DPH
          PUSH   DPL
          PUSH   ACC
          PUSH   B
          PUSH   PSW
          MOV    A,HUND
          ADD    A,#1
          DA     A
          MOV    HUND,A
          CJNE   A,#25,TIME02

          MOV    HUND,#0
          MOV    A,SECOND
          ADD    A,#1
          DA     A
          MOV    SECOND,A
          CJNE   A,#60H,TIME02
          MOV    SECOND,#0
          MOV    A,MINUTE
          ADD    A,#1
```

โปรแกรมที่ 4.3 โปรแกรมฉบับสมบูรณ์ (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            DA    A
            MOV   MINUTE,A
            CJNE  A,#60H,TIME02
            MOV   MINUTE,#0
            MOV   A,HOUR
            ADD   A,#1
            DA    A
            MOV   HOUR,A
            CJNE  A,#24H,TIME02
            MOV   HOUR,#0

            MOV   A,MONTH
            MOV   B,#2
            DIV   AB
            MOV   A,B
            CJNE  A,#0,TIME00
            MOV   A,DAY
            ADD   A,#1
            DA    A
            MOV   DAY,A
            CJNE  A,#31H,TIME02
            MOV   DAY,#1
            SJMP  TIME01

TIME00:     MOV   A,DAY
            ADD   A,#1
            DA    A
            MOV   DAY,A
            CJNE  A,#32H,TIME02
            MOV   DAY,#1

TIME01:     MOV   A,MONTH
            ADD   A,#1
            DA    A
            MOV   MONTH,A
            CJNE  A,#13,TIME02
            MOV   MONTH,#1
            MOV   A,YEAR
            ADD   A,#1
            DA    A
            MOV   YEAR,A
TIME02:     MOV   TH0,#37H
            MOV   TL0,#0AFH
            POP   PSW
            POP   B
            POP   ACC
            POP   DPL
            POP   DPH
            RETI

INT1_R:     PUSH  DPH
            PUSH  DPL
            PUSH  ACC
            PUSH  B
            PUSH  PSW
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ 4.3 โปรแกรมฉบับสมบูรณ์ (ต่อ)

```
            LCALL RSTMODE
            MOV   EOM,#0

            POP   PSW
            POP   B
            POP   ACC
            POP   DPL
            POP   DPH
            RETI

;************** DISP_CH            ************
;PROCEDURE = DISP_CH
;    A = NUMBER FOR DISPLAY
;*****************************************
DISP_CH:    PUSH  00H
            PUSH  01H
            PUSH  02H
            PUSH  03H
            PUSH  ACC
            DEC   A
            SWAP  A
            ORL   A,#07H
            MOV   P2,A
            POP   ACC
            POP   03H
            POP   02H
            POP   01H
            POP   00H
            RET

TABLE_CH:   DFB   00H,0FH,1FH,2EH,3EH,4DH,5DH,6CH
            DFB   7CH,8BH

STOP:       END
```

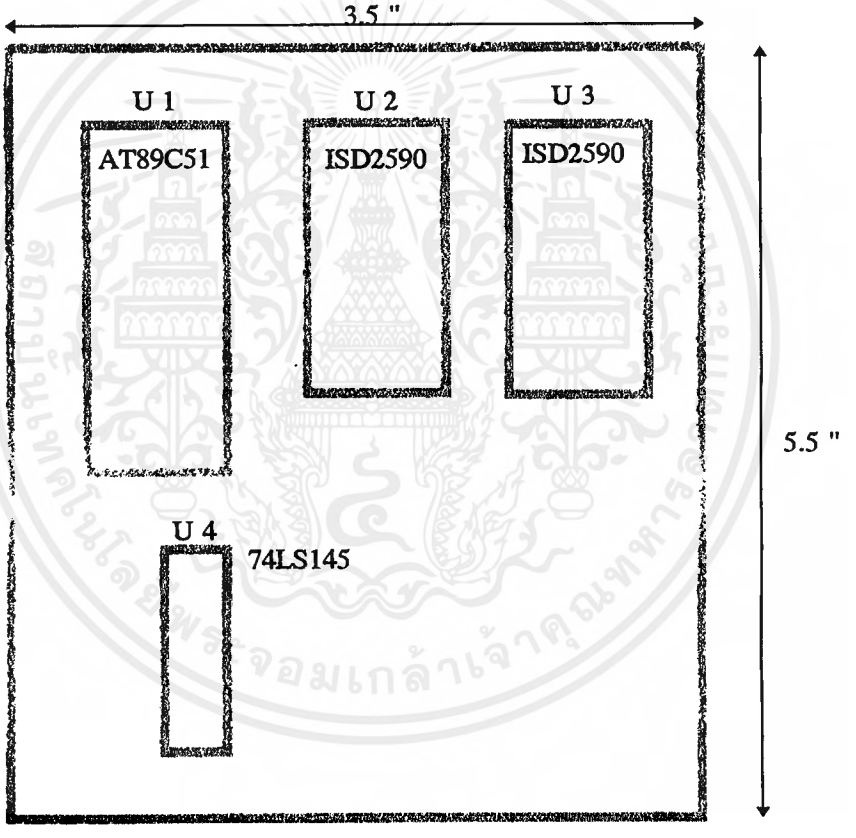
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ 4.3 โปรแกรมฉบับสมบูรณ์ (ต่อ)

บทที่ 5
การสร้างและการใช้งานโครงงาน

5.1 การสร้าง

เมื่อได้วงจรที่สมบูรณ์แล้วจึงได้ทำการประกอบวงจร โดยในขั้นนี้ได้ทำการเดินสาย Wire Wrap ซึ่งใช้แผ่นปริ้นซ์เอนกประสงค์ขนาด 3.5 * 5.5 นิ้ว มีการวางอุปกรณ์ดังรูปที่ 5.1 และเมื่อทำการทดลองขั้นสุดท้ายเสร็จเรียบร้อยแล้วได้ทำการนำวงจรลงกล่องซึ่งได้ออกแบบ Panel ของกล่องดังรูปที่ 5.2



รูปที่ 5.1 การวางอุปกรณ์ในการประกอบโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 การใช้งานโครงงาน

จากการออกแบบตัวกล่องดังรูปที่ 5.2 นั้นสามารถใช้งานโครงงานได้ดังรูปที่ 5.3 ซึ่งเป็นขั้นตอนการใช้งานของโครงงานทั้งหมด โดยได้แบ่งการทำงานออกเป็นโหมดได้ 2 โหมดหลัก คือ โหมดการเล่นกลับ และโหมดการบันทึก โดยภายในโหมดการเล่นกลับนั้นได้แบ่งเป็นโหมดย่อย ๆ ได้อีก 3 โหมดคือ โหมดการเล่นกลับปกติ, โหมดการเล่นกลับส่วนหัวของแต่และช่องจนครบ และโหมดการใช้งานในลักษณะการกดปุ่มเพียง 2 ปุ่ม

5.2.1 โหมดการเล่นกลับ

5.2.1.1 โหมดการเล่นกลับปกติ (Normal Mode) มีการทำงานโดยการรอการกดปุ่มจากโครงงาน โดยเมื่อเกิดการกดปุ่ม 1-10 แล้วจะทำให้โครงงานทำการเล่นกลับสัญญาณเสียงที่ทำการบันทึกเอาไว้ออกมาจนหมดสัญญาณเสียงในช่องนั้น ๆ

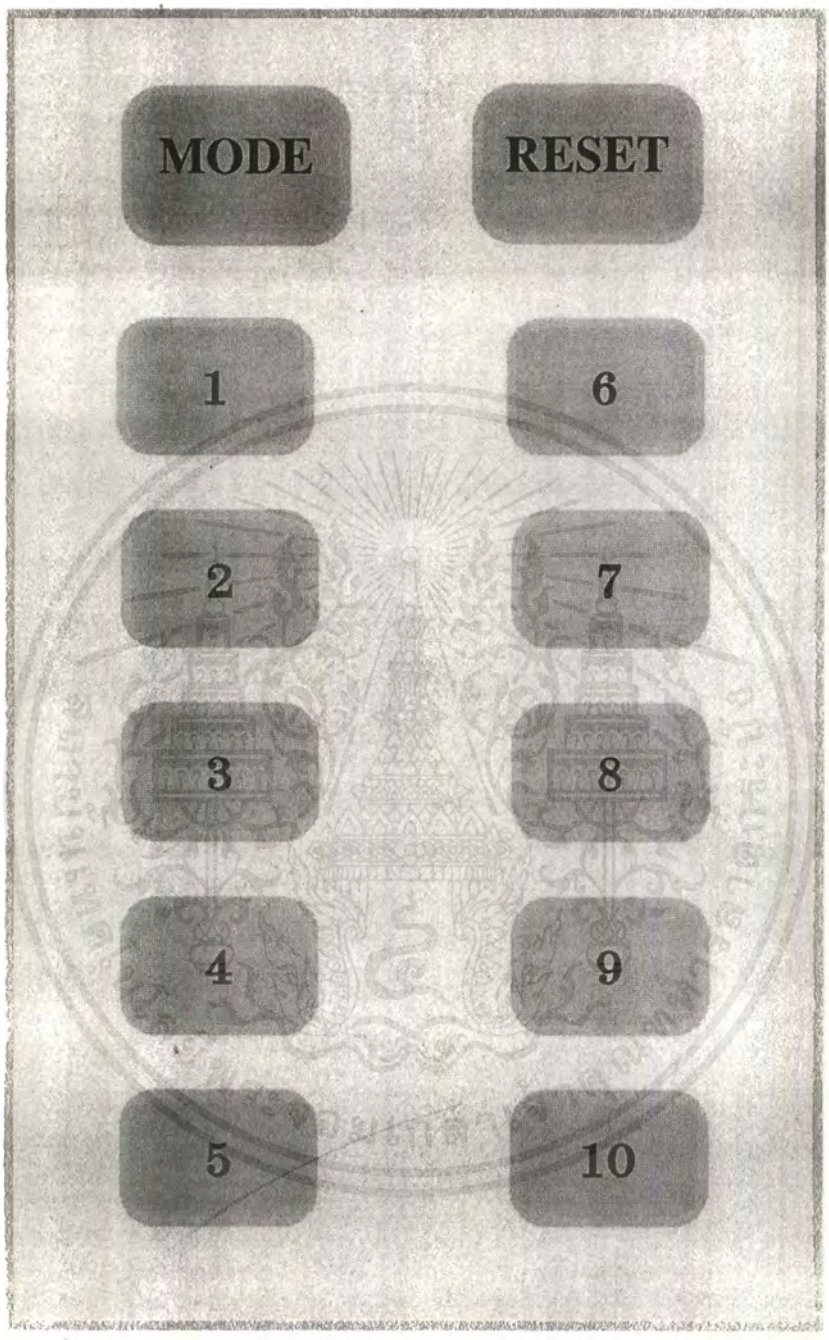
5.2.1.2 โหมดการเล่นกลับส่วนหัวของแต่ละช่อง (Title Mode) มีการทำงานโดยการรอการกดปุ่มจากโครงงาน โดยเมื่อเกิดการกดปุ่ม 1-10 แล้วจะทำให้โครงงานทำการเล่นกลับสัญญาณเสียงที่ทำการบันทึกเอาไว้ออกมาจนประมาณ 4 วินาที แล้วทำการเพิ่มช่องสัญญาณขึ้นแล้วเริ่มเล่นกลับสัญญาณเสียงในช่องนั้น ๆ เมื่อครบ 4 วินาทีก็ทำการเล่นกลับสัญญาณช่องถัดไปจนครบ 10 ช่องสัญญาณ

5.2.1.3 โหมดการเล่นกลับในลักษณะการใช้งานเพียง 2 ปุ่ม (Scan Mode) เนื่องจากโครงงานนี้มีวัตถุประสงค์เพื่อนำไปใช้กับบุคคลซึ่งด้อยสมรรถภาพทางการพูด ซึ่งในบางครั้งประสาทสัมผัสของบุคคลดังกล่าวมีความสามารถในการใช้งานได้จำกัด เช่นอาจมีนิ้วที่มีความสามารถในการกดหรือเคลื่อนไหวได้เพียงเล็กน้อย ในโหมดนี้ได้ออกแบบไว้ให้กับบุคคลดังกล่าว ซึ่งทำการพ่วงขาของสวิทย์เบอร์ 1 และ 2 ออกไปใช้ ซึ่งแต่ละปุ่มจะถูกใช้งานดังนี้

ปุ่มที่ 1 ใช้ในการเลื่อนช่องของสัญญาณเสียง โดยในการกด 1 ครั้งจะทำการเลื่อนช่องของสัญญาณไป 1 ช่องสัญญาณ

ปุ่มที่ 2 ใช้ในการเลือกที่จะให้โครงงานเล่นกลับในช่องสัญญาณนั้น ๆ ที่เลือกไว้โดยปุ่มที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

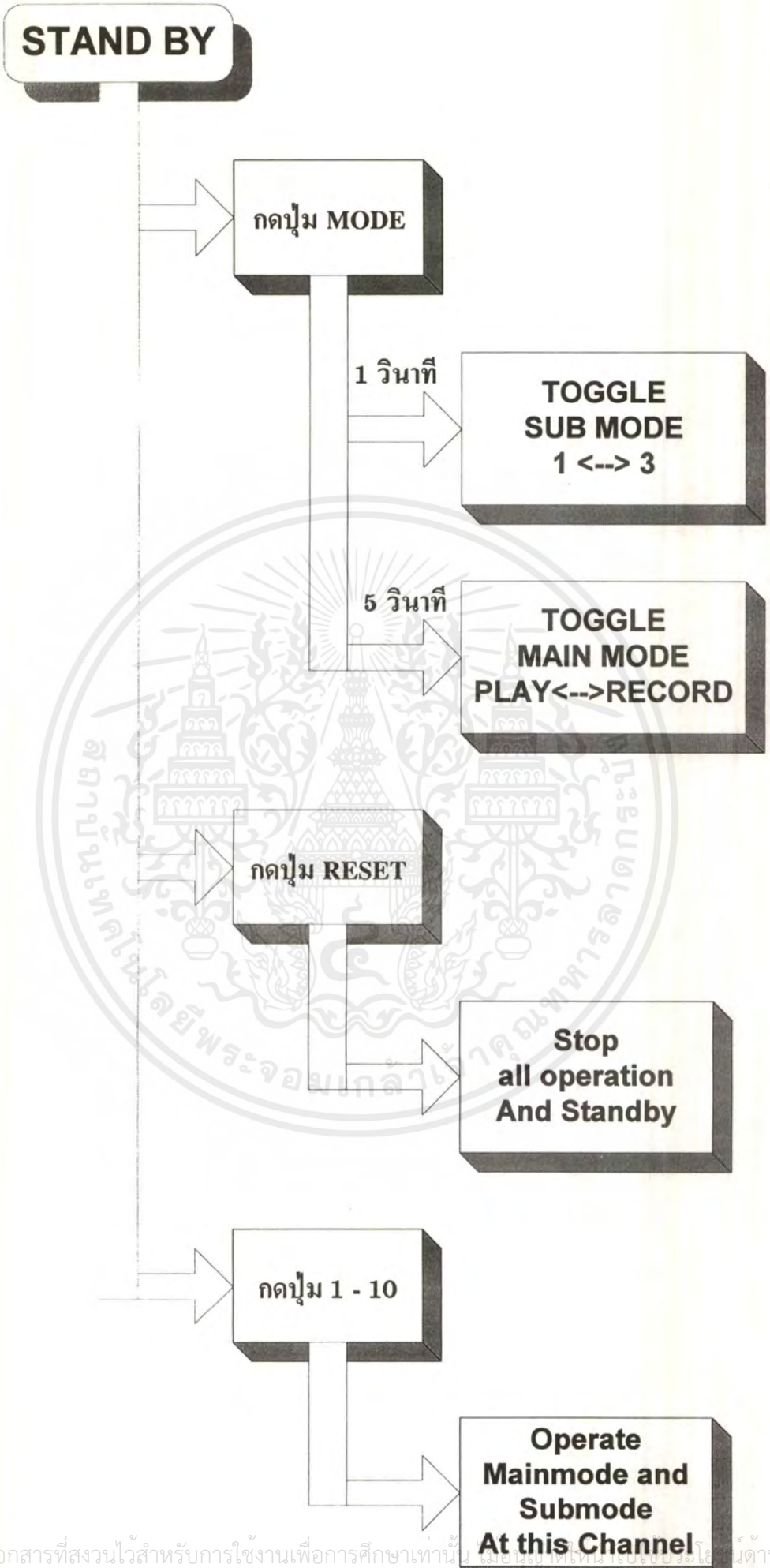


รูปที่ 5.2 รูป Panel ของโครงงานที่ประกอบเสร็จสมบูรณ์แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 โหมดการบันทึก ทำงานโดยการรอการกดปุ่ม 1-10 แล้วทำการเริ่มบันทึกสัญญาณเสียงที่เข้าไปโดยไมโครโฟน โดยในการหยุดการบันทึกนั้น จะแบ่งได้เป็นการใช้ฐานเวลานับเวลาในการบันทึกว่าครบ 9 วินาทีแล้วหรือยัง ถ้าครบก็จะทำการหยุดการบันทึกทันที และการกดปุ่ม Reset บนตัวโครงงาน ซึ่งจะทำให้มีการหยุดการบันทึกทันทีเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.3 แผนผังแสดงการใช้งานโครงงาน

บทที่ 6

บทสรุปและวิจารณ์

โครงงานนี้ได้จัดทำขึ้นโดยมีวัตถุประสงค์ที่จะช่วยพัฒนาการติดต่อสื่อสารระหว่างบุคคลซึ่งด้อยสมรรถภาพทางการพูดให้มีการติดต่อสื่อสารกับบุคคลธรรมดาได้ดีขึ้น โดยวิวัฒนาการในการศึกษาวิจัยนั้นได้แบ่งได้เป็น 3 ระดับคือ การออกแบบโดยใช้อุปกรณ์ Flash Memory ในการเก็บข้อมูล ,การใช้อุปกรณ์จัดการเกี่ยวกับสัญญาณเสียง ISD2590 เป็นอุปกรณ์หลัก และวงจรซึ่งลดการใช้พลังงานให้น้อยลง

วงจรทั้งหมดทั้ง 3 ช่วง (Generation) ในการออกแบบนั้นได้มีการทดลองและนำไปใช้งานจริง ซึ่งวงจรทั้ง 3 ช่วงนั้นมีทั้งข้อดีและข้อเสีย ดังได้กล่าวแล้วในบทที่ 3 ดังนั้นผู้อ่านที่มีความสนใจเกี่ยวกับโครงงานดังกล่าว จึงสามารถนำข้อมูลในโครงงานมาหาแนวทางการออกแบบและพัฒนาต่อไปได้

เนื่องจากโครงงานนี้ได้ทำการออกแบบให้มีความสามารถใช้งานได้จริง โดยในท้ายบทที่ 3 นั้นได้นำเสนอวงจรที่สามารถนำมาใช้ในสายการผลิตได้ เพราะมีความสามารถในการประหยัดพลังงานได้สูงและมีความคล่องตัวในการใช้งาน โดยการประยุกต์การใช้โครงงานนี้สามารถนำมาประยุกต์ใช้กับบุคคลในโรงพยาบาลซึ่งไม่สามารถพูดได้เนื่องด้วยเหตุใดก็ตาม, การประยุกต์ใช้กับบุคคลที่มีความพิการทางการพูดและการฟังหรือที่เรียกว่า "เป็นใบ้" และอีกทั้งประยุกต์ใช้กับผู้ชราได้อีกด้วย ดังนั้นผู้จัดทำจึงหวังว่าโครงงานนี้จะได้ช่วยทำให้สังคมในโลกปัจจุบันสามารถมีการดำรงอยู่ได้ดียิ่งขึ้นตลอดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไมโครคอนโทรลเลอร์ ATMEL AT89C51

Features

- Compatible with MCS-51™ Products
- 4 Kbytes of In-System Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial Channel
- Low Power Idle and Power Down Modes

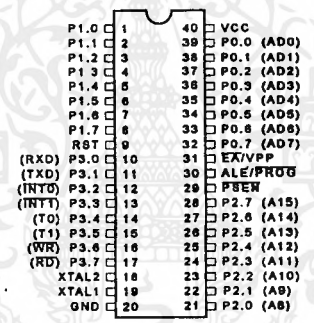
Description

The AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4 Kbytes of Flash Programmable and Erasable Read Only Memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

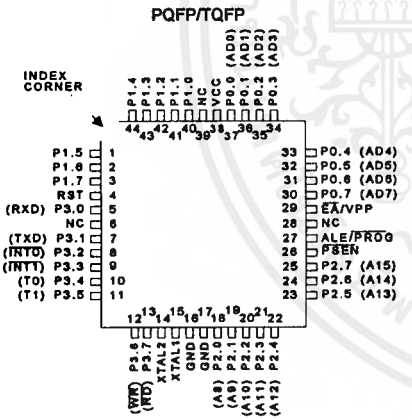
(continued)

Pin Configurations

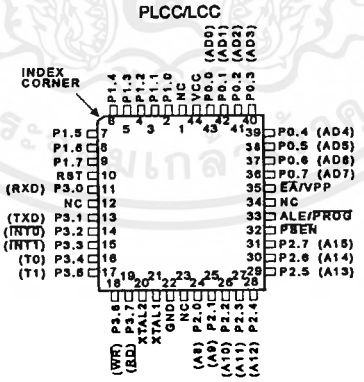
PDIP/Cerdip



PQFP/TQFP



PLCC/LCC



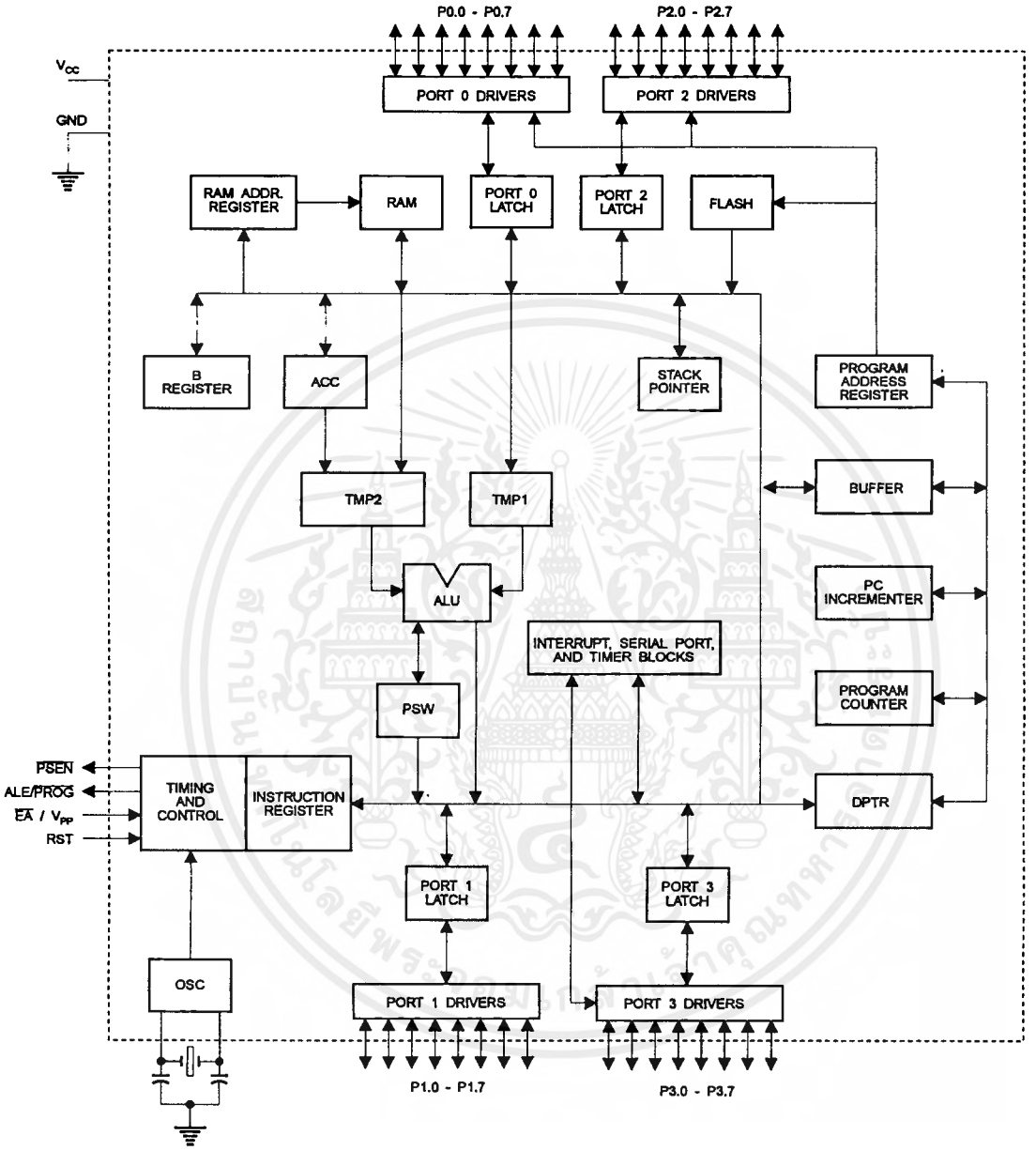
8-Bit Microcontroller with 4 Kbytes Flash

AT89C51

0265E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description (Continued)

The AT89C51 provides the following standard features: 4 Kbytes of Flash, 128 bytes of RAM, 32 I/O lines, two 16-bit timer/counters, a five vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator and clock circuitry. In addition, the AT89C51 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Description

Vcc

Supply voltage.

GND

Ground.

Port 0

Port 0 is an 8-bit open drain bidirectional I/O port. As an output port each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 may also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming, and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1

Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 1 also receives the low-order address bytes during Flash programming and program verification.

Port 2

Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application it uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (extenal interrupt 0)
P3.3	$\overline{INT1}$ (extenal interrupt 1)
P3.4	T0 (timer 0 extenal input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (extenal data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and programming verification.

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/$\overline{PROG}$

Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcrontroller is in external execution mode.

$\overline{PSEN}$

Program Store Enable is the read strobe to external program memory.

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description (Continued)

When the AT89C51 is executing code from external program memory, PSEN is activated twice each machine cycle, except that two PSEN activations are skipped during each access to external data memory.

EA/VPP

External Access Enable. EA must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, EA will be internally latched on reset.

EA should be strapped to VCC for internal program executions.

This pin also receives the 12-volt programming enable voltage (VPP) during Flash programming, for parts that require 12-volt VPP.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Oscillator Characteristics

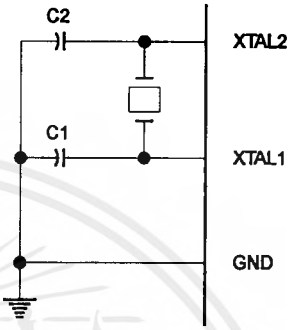
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

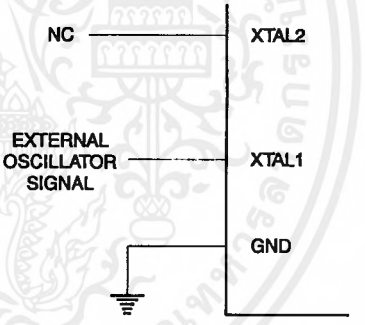
It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hard-

Figure 1. Oscillator Connections



Notes: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration



Status of External Pins During Idle and Power Down

Mode	Program Memory	ALE	PSEN	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power Down	Internal	0	0	Data	Data	Data	Data
Power Down	External	0	0	Float	Data	Data	Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Power Down Mode

In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Program Memory Lock Bits

On the chip are three lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

When lock bit 1 is programmed, the logic level at the $\overline{EA}$ pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value, and holds that value until reset is activated. It is necessary that the latched value of $\overline{EA}$ be in agreement with the current logic level at that pin in order for the device to function properly.

Lock Bit Protection Modes

Program Lock Bits				
	LB1	LB2	LB3	Protection Type
1	U	U	U	No program lock features.
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory, $\overline{EA}$ is sampled and latched on reset, and further programming of the Flash is disabled.
3	P	P	U	Same as mode 2, also verify is disabled.
4	P	P	P	Same as mode 3, also external execution is disabled.

Programming the Flash

The AT89C51 is normally shipped with the on-chip Flash memory array in the erased state (that is, contents = FFH) and ready to be programmed. The programming interface accepts either a high-voltage (12-volt) or a low-voltage (V_{CC}) program enable signal. The low voltage programming mode provides a convenient way to program the AT89C51 inside the user's system, while the high-voltage programming mode is compatible with conventional third party Flash or EPROM programmers.

The AT89C51 is shipped with either the high-voltage or low-voltage programming mode enabled. The respective top-side marking and device signature codes are listed in the following table.

	V_{PP} = 12 V	V_{PP} = 5 V
Top-Side Mark	AT89C51 xxxx yyww	AT89C51 xxxx-5 yyww
Signature	(030H)=1EH (031H)=51H (032H)=FFH	(030H)=1EH (031H)=51H (032H)=05H

The AT89C51 code memory array is programmed byte-by-byte in either programming mode. *To program any non-blank byte in the on-chip Flash Memory, the entire memory must be erased using the Chip Erase Mode.*

Programming Algorithm: Before programming the AT89C51, the address, data and control signals should be set up according to the Flash programming mode table and Figures 3 and 4. To program the AT89C51, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise $\overline{EA}/V_{PP}$ to 12 V for the high-voltage programming mode.
5. Pulse ALE/$\overline{PROG}$ once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

$\overline{Data}$ Polling: The AT89C51 features $\overline{Data}$ Polling to indicate the end of a write cycle. During a write cycle, an at-

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programming the Flash (Continued)

tempted read of the last byte written will result in the complement of the written datum on PO.7. Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

Ready/Busy: The progress of byte programming can also be monitored by the RDY/BSY output signal. P3.4 is pulled low after ALE goes high during programming to indicate BUSY. P3.4 is pulled high again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire Flash array is erased electrically by using the proper combination of control signals and by holding ALE/PROG low for 10 ms. The code array is written with all "1"s. The chip erase operation must be executed before the code memory can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 030H,

031H, and 032H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

(030H) = 1EH indicates manufactured by Atmel
(031H) = 51H indicates 89C51
(032H) = FFH indicates 12 V programming
(032H) = 05H indicates 5 V programming

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Flash Programming Modes

Mode		RST	PSEN	ALE/PROG	EA/VPP	P2.6	P2.7	P3.6	P3.7
Write Code Data		H	L	⎍	H/12V(1)	L	H	H	H
Read Code Data		H	L	H	H	L	L	H	H
Write Lock	Bit - 1	H	L	⎍	H/12V	H	H	H	H
	Bit - 2	H	L	⎍ (2)	H/12V	H	H	L	L
	Bit - 3	H	L	⎍	H/12V	H	L	H	L
Chip Erase		H	L	⎍	H/12V	H	L	L	L
Read Signature Byte		H	L	H	H	L	L	L	L

Notes: 1. The signature byte at location 032H designates whether V_{PP} = 12 V or V_{PP} = 5 V should be used to enable programming.

2. Chip Erase requires a 10 ms PROG pulse.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 3. Programming the Flash

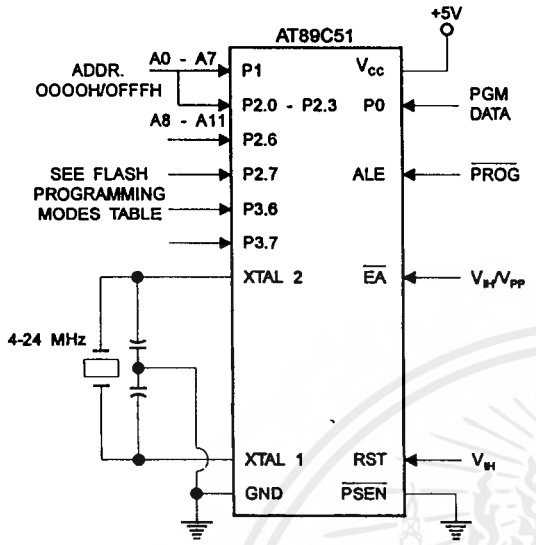
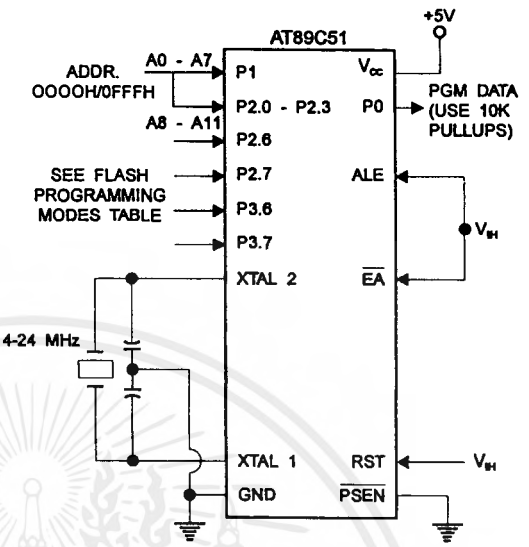


Figure 4. Verifying the Flash



Flash Programming and Verification Characteristics

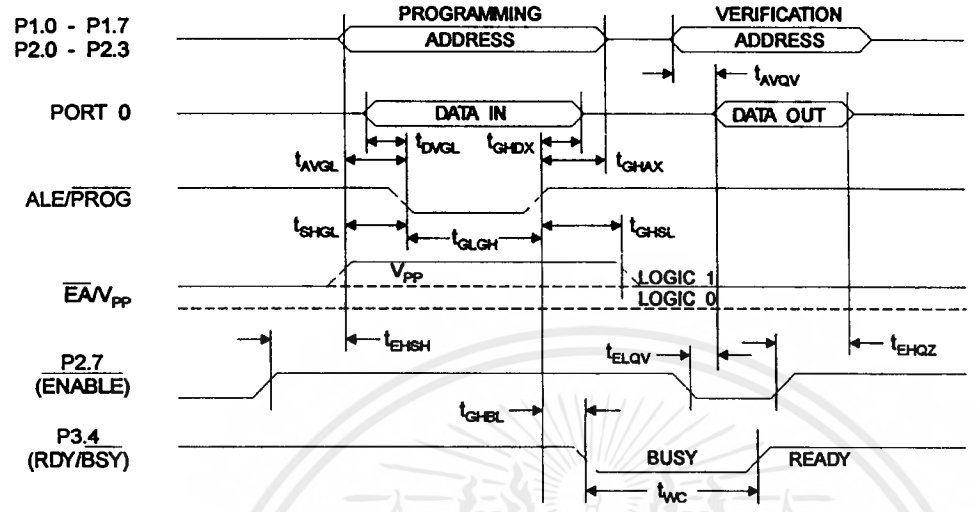
T_A = 21°C to 27°C, V_{CC} = 5.0 ± 10%

Symbol	Parameter	Min	Max	Units
V_{PP}(1)	Programming Enable Voltage	11.5	12.5	V
I_{PP}(1)	Programming Enable Current		1.0	mA
$1/t_{CLCL}$	Oscillator Frequency	4	24	MHz
t_{AVGL}	Address Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHAX}	Address Hold After $\overline{PROG}$	$48t_{CLCL}$		
t_{DVGL}	Data Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHDX}	Data Hold After $\overline{PROG}$	$48t_{CLCL}$		
t_{EHSH}	P2.7 ($\overline{ENABLE}$) High to V_{PP}	48tCLCL		
t_{SHGL}	V_{PP} Setup to $\overline{PROG}$ Low	10		µs
t_{GHSL}(1)	V_{PP} Hold After $\overline{PROG}$	10		µs
t_{GLGH}	$\overline{PROG}$ Width	1	110	µs
t_{AVQV}	Address to Data Valid		48tCLCL	
t_{ELQV}	$\overline{ENABLE}$ Low to Data Valid		$48t_{CLCL}$	
t_{EHQV}	Data Float After $\overline{ENABLE}$	0	$48t_{CLCL}$	
t_{GHBL}	$\overline{PROG}$ High to $\overline{BUSY}$ Low		1.0	µs
t_{WC}	Byte Write Cycle Time		2.0	ms

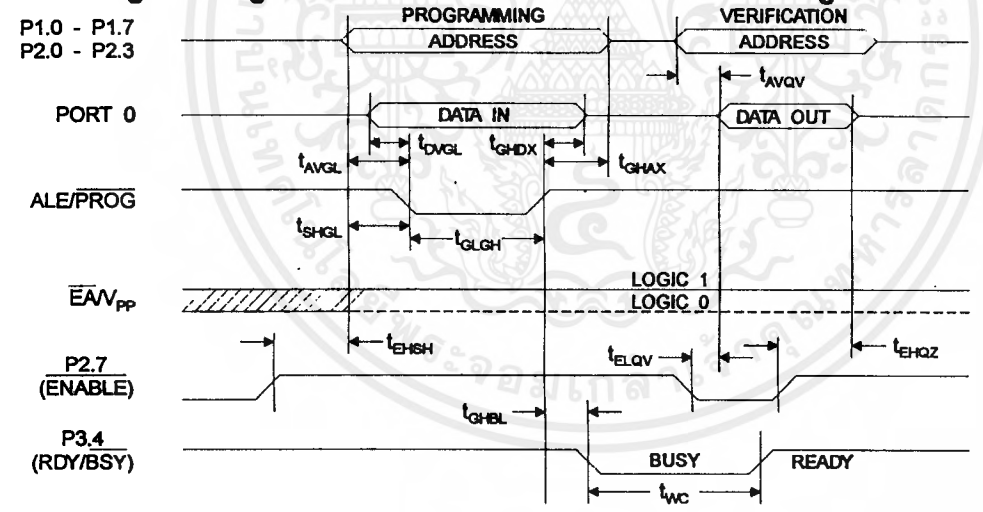
Note: 1. Only used in 12-volt programming mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash Programming and Verification Waveforms - High Voltage Mode



Flash Programming and Verification Waveforms - Low Voltage Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0 V to +7.0 V
Maximum Operating Voltage	6.6 V
DC Output Current	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. Characteristics

T_A = -40°C to 85°C, V_{CC} = 5.0 V ± 20% (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low Voltage	(Except $\overline{EA}$)	-0.5	0.2 V_{CC}-0.1	V
V_{IL1}	Input Low Voltage ($\overline{EA}$)		-0.5	0.2 V_{CC}-0.3	V
V_{IH}	Input High Voltage	(Except XTAL1, RST)	0.2 V_{CC}+0.9	V_{CC}+0.5	V
V_{IH1}	Input High Voltage	(XTAL1, RST)	0.7 V_{CC}	V_{CC}+0.5	V
V_{OL}	Output Low Voltage[1] (Ports 1,2,3)	I_{OL} = 1.6 mA		0.45	V
V_{OL1}	Output Low Voltage[1] (Port 0, ALE, $\overline{PSEN}$)	I_{OL} = 3.2 mA		0.45	V
V_{OH}	Output High Voltage (Ports 1,2,3, ALE, $\overline{PSEN}$)	I_{OH} = -60 µA, V_{CC} = 5 V ± 10%	2.4		V
		I_{OH} = -25 µA	0.75 V_{CC}		V
		I_{OH} = -10 µA	0.9 V_{CC}		V
V_{OH1}	Output High Voltage (Port 0 in External Bus Mode)	I_{OH} = -800 µA, V_{CC} = 5 V ± 10%	2.4		V
		I_{OH} = -300 µA	0.75 V_{CC}		V
		I_{OH} = -80 µA	0.9 V_{CC}		V
I_{IL}	Logical 0 Input Current (Ports 1,2,3)	V_{IN} = 0.45 V		-50	µA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	V_{IN} = 2 V		-650	µA
I_{LI}	Input Leakage Current (Port 0, $\overline{EA}$)	0.45 < V_{IN} < V_{CC}		±10	µA
RRST	Reset Pulldown Resistor		50	300	KΩ
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, T_A = 25°C		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz		20	mA
		Idle Mode, 12 MHz		5	mA
	Power Down Mode[2]	V_{CC} = 6 V		100	µA
		V_{CC} = 3 V		40	µA

Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
Maximum I_{OL} per port pin:10 mA
Maximum I_{OL} per 8-bit port:
Port 0:26 mA
Ports 1,2, 3:15 mA
Maximum total IOL for all output pins:71 mA
If IOL exceeds the test condition, VOL may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum VCC for Power Down is 2 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. Characteristics

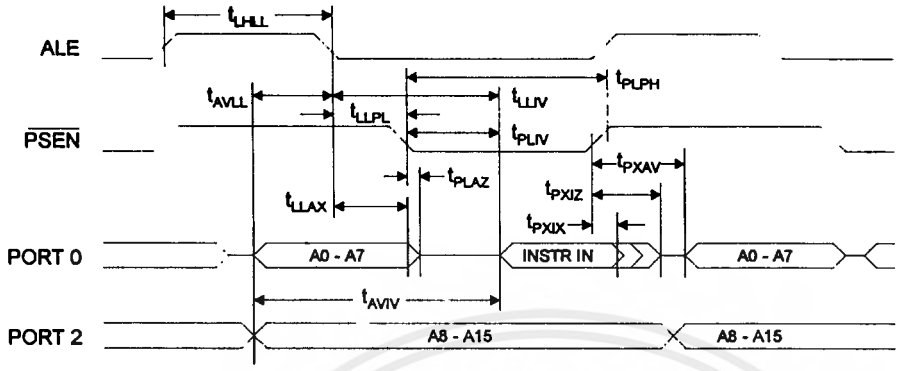
(Under Operating Conditions; Load Capacitance for Port 0, ALE/$\overline{PROG}$, and $\overline{PSEN}$ = 100 pF; Load Capacitance for all other outputs = 80 pF)

External Program and Data Memory Characteristics

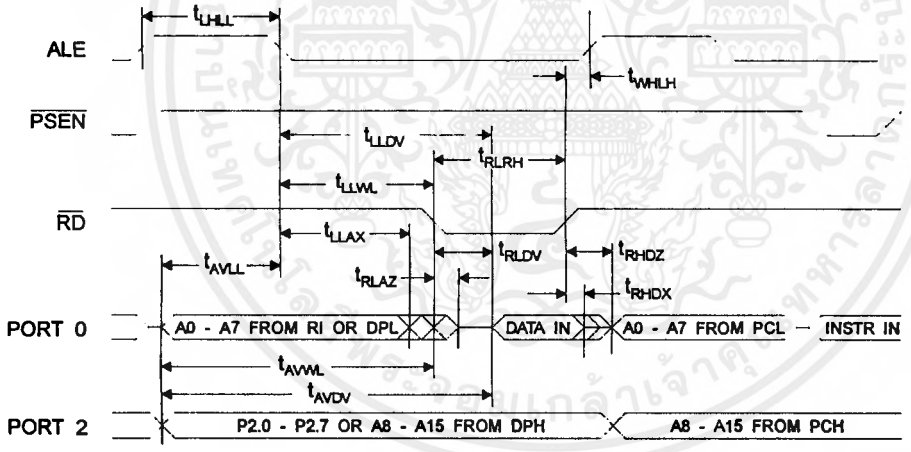
Symbol	Parameter	12 MHz Oscillator		16 to 24 MHz Oscillator		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency			0	24	MHz
t_{LHLL}	ALE Pulse Width	127		$2t_{CLCL}$-40		ns
t_{AVLL}	Address Valid to ALE Low	28		tCLCL-13		ns
t_{LLAX}	Address Hold After ALE Low	48		tCLCL-20		ns
t_{LLIV}	ALE Low to Valid Instruction In		233		4tCLCL-65	ns
t_{LLPL}	ALE Low to $\overline{PSEN}$ Low	43		t_{CLCL}-13		ns
t_{PLPH}	$\overline{PSEN}$ Pulse Width	205		$3t_{CLCL}$-20		ns
t_{PLIV}	$\overline{PSEN}$ Low to Valid Instruction In		145		$3t_{CLCL}$-45	ns
t_{PXIX}	Input Instruction Hold After $\overline{PSEN}$	0		0		ns
t_{PXIZ}	Input Instruction Float After $\overline{PSEN}$		59		t_{CLCL}-10	ns
t_{PXAV}	$\overline{PSEN}$ to Address Valid	75		t_{CLCL}-8		ns
t_{AVIV}	Address to Valid Instruction In		312		$5t_{CLCL}$-55	ns
t_{PLAZ}	$\overline{PSEN}$ Low to Address Float		10		10	ns
t_{RLRH}	$\overline{RD}$ Pulse Width	400		$6t_{CLCL}$-100		ns
t_{WLWH}	$\overline{WR}$ Pulse Width	400		$6t_{CLCL}$-100		ns
t_{RLDV}	$\overline{RD}$ Low to Valid Data In		252		$5t_{CLCL}$-90	ns
t_{RHDX}	Data Hold After $\overline{RD}$	0		0		ns
t_{RHDZ}	Data Float After $\overline{RD}$		97		$2t_{CLCL}$-28	ns
t_{LLDV}	ALE Low to Valid Data In		517		8tCLCL-150	ns
t_{AVDV}	Address to Valid Data In		585		9tCLCL-165	ns
t_{LLWL}	ALE Low to $\overline{RD}$ or $\overline{WR}$ Low	200	300	$3t_{CLCL}$-50	$3t_{CLCL}$+50	ns
t_{AVWL}	Address to $\overline{RD}$ or $\overline{WR}$ Low	203		$4t_{CLCL}$-75		ns
t_{QVWX}	Data Valid to $\overline{WR}$ Transition	23		t_{CLCL}-20		ns
t_{QVWH}	Data Valid to $\overline{WR}$ High	433		$7t_{CLCL}$-120		ns
t_{WHQX}	Data Hold After $\overline{WR}$	33		t_{CLCL}-20		ns
t_{RLAZ}	$\overline{RD}$ Low to Address Float		0		0	ns
t_{WHLH}	$\overline{RD}$ or $\overline{WR}$ High to ALE High	43	123	t_{CLCL}-20	t_{CLCL}+25	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Program Memory Read Cycle

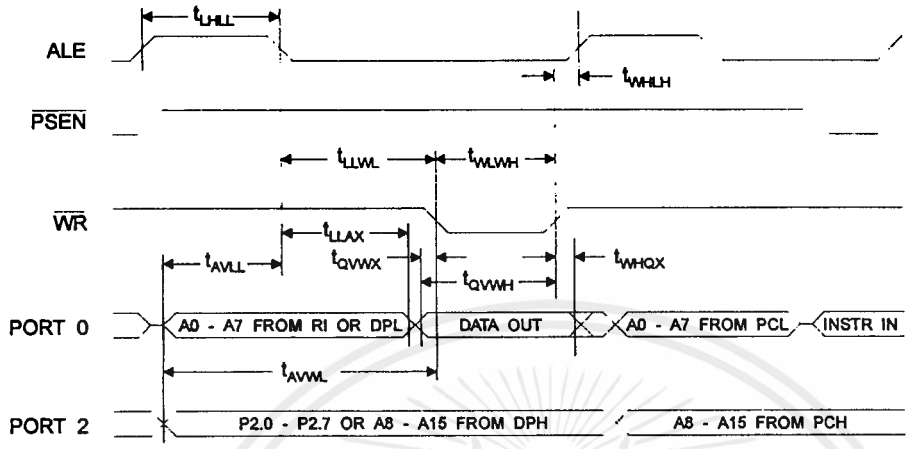


External Data Memory Read Cycle

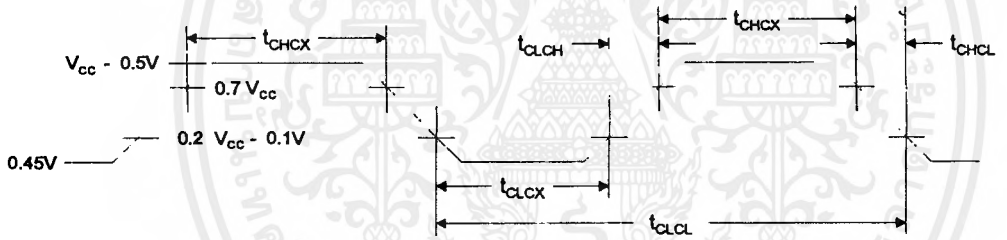


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Data Memory Cycle



External Clock Drive Waveforms



External Clock Drive

Symbol	Parameter	Min	Max	Units
1/t_{CLCL}	Oscillator Frequency	0	24	MHz
t_{CLCL}	Clock Period	41.6		ns
t_{CHCX}	High Time	15		ns
t_{CLCX}	Low Time	15		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns

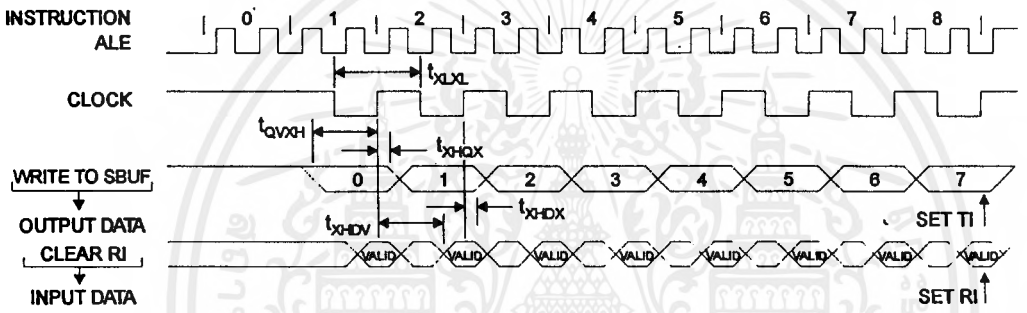
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Serial Port Timing: Shift Register Mode Test Conditions

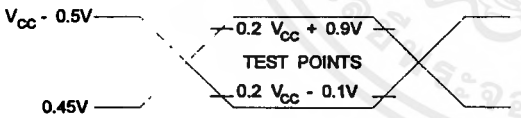
(V_{CC} = 5.0 V ± 20%; Load Capacitance = 80 pF)

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		µs
t_{QVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}$-133		ns
t_{XHQX}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}$-33		ns
t_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{XHDV}	Clock Rising Edge to Input Data Valid		700		10tCLCL-133	ns

Shift Register Mode Timing Waveforms

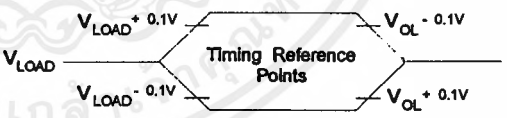


AC Testing Input/Output Waveforms[1]



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5 V for a logic 1 and 0.45 V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms[1]



Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	5 V ± 20%	AT89C51-12AC AT89C51-12JC AT89C51-12PC AT89C51-12QC	44A 44J 40P6 44Q	Commercial (0°C to 70°C)
		AT89C51-12AI AT89C51-12JI AT89C51-12PI AT89C51-12QI	44A 44J 40P6 44Q	Industrial (-40°C to 85°C)
		AT89C51-12AA AT89C51-12JA AT89C51-12PA AT89C51-12QA	44A 44J 40P6 44Q	Automotive (-40°C to 125°C)
	5 V ± 10%	AT89C51-12DM AT89C51-12LM	40D6 44L	Military (-55°C to 125°C)
		AT89C51-12DM/883 AT89C51-12LM/883	40D6 44L	Military/883C Class B, Fully Compliant (-55°C to 125°C)
16	5 V ± 20%	AT89C51-16AC AT89C51-16JC AT89C51-16PC AT89C51-16QC	44A 44J 40P6 44Q	Commercial (0°C to 70°C)
		AT89C51-16AI AT89C51-16JI AT89C51-16PI AT89C51-16QI	44A 44J 40P6 44Q	Industrial (-40°C to 85°C)
		AT89C51-16AA AT89C51-16JA AT89C51-16PA AT89C51-16QA	44A 44J 40P6 44Q	Automotive (-40°C to 125°C)
20	5 V ± 20%	AT89C51-20AC AT89C51-20JC AT89C51-20PC AT89C51-20QC	44A 44J 40P6 44Q	Commercial (0°C to 70°C)
		AT89C51-20AI AT89C51-20JI AT89C51-20PI AT89C51-20QI	44A 44J 40P6 44Q	Industrial (-40°C to 85°C)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
24	5 V ± 20%	AT89C51-24AC AT89C51-24JC AT89C51-24PC AT89C51-24QC	44A 44J 44P6 44Q	Commercial (0°C to 70°C)
		AT89C51-24AI AT89C51-24JI AT89C51-24PI AT89C51-24QI	44A 44J 44P6 44Q	Industrial (-40°C to 85°C)

Package Type	
44A	44 Lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
40D6	40 Lead, 0.600" Wide, Non-Windowed, Ceramic Dual Inline Package (Cerdip)
44J	44 Lead, Plastic J-Leaded Chip Carrier (PLCC)
44L	44 Pad, Non-Windowed, Ceramic Leadless Chip Carrier (LCC)
40P6	40 Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44Q	44 Lead, Plastic Gull Wing Quad Flatpack (PQFP)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VOICE PROCESSING ISD2590

ISD2500 Series

Single-Chip Voice Record/Playback Devices
32-, 40-*, 48-*, 64-**, 60-, 75-, 90-, and 120-Second Durations

FEATURES

- Easy-to-use single-chip voice Record/Playback solution
- High-quality, natural voice/audio reproduction
- Manual switch or microcontroller compatible Playback can be edge- or level-activated
- Single-chip durations of *32*, 40*, 48*, 64**, 60, 75, 90, and 120 seconds
- Directly cascadable for longer durations
- Automatic Power-Down (Push-Button Mode)
  - Standby current 1 µA (typical)
- Zero-power message storage
  - Eliminates battery backup circuits
- Fully addressable to handle multiple messages
- 100-year message retention (typical)
- 100,000 record cycles (typical)
- On-chip clock source
- No algorithm development required
- Single +5 volt power supply
- Available in die form, DIP, SOIC, and TSOP packaging
- Industrial temperature (-40°C to +85°C) versions available

1

ISD2500 SERIES SUMMARY

Part Number	Duration (Seconds)	Input Sample Rate (KHz)	Typical Filter Pass Band (KHz)
ISD2560	60	8.0	3.4
ISD2575	75	6.4	2.7
ISD2590	90	5.3	2.3
ISD25120	120	4.0	1.7
*ISD2532**	*32*	*8.0*	*3.4*
*ISD2540**	*40*	*6.4*	*2.7*
*ISD2548**	*48*	*5.3*	*2.3*
*ISD2564**	*64*	*4.0*	*1.7*

* *Advance information: ISD2532/40/48/64 devices.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL DESCRIPTION

Information Storage Devices' ISD2500 ChipCorder® Series provides high-quality, single-chip Record/Playback solutions for 32- to 120-second messaging applications. The CMOS devices include an on-chip oscillator, microphone preamplifier, automatic gain control, antialiasing filter, smoothing filter, speaker amplifier, and high density multi-level storage array. In addition, the ISD2500 is microcontroller compatible, allowing complex messaging and addressing to be achieved.

Recordings are stored in on-chip nonvolatile memory cells, providing zero-power message storage. This unique, single-chip solution is made possible through ISD's patented multilevel storage technology. Voice and audio signals are stored directly into memory in their natural form, providing high-quality, solid-state voice reproduction.

DETAILED DESCRIPTION

Speech/Sound Quality

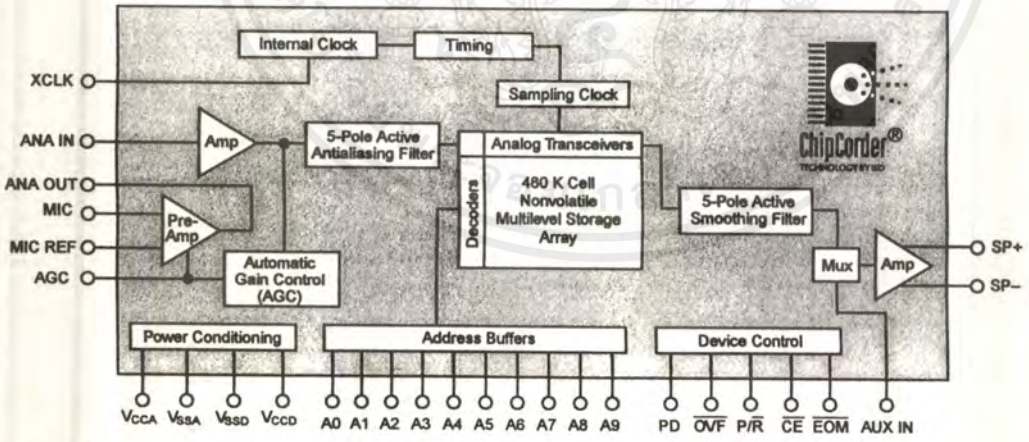
The ISD2500 Series includes devices offered at 4.0, 5.3, 6.4, and 8.0 KHz sampling frequencies, allowing the user a choice of speech quality options. Increasing the duration within a product series decreases the sampling frequency and bandwidth, which affects sound quality. Please refer to the ISD2500 Series Summary table on page 1-79 to compare filter pass band and product durations.

The speech samples are stored directly into on-chip nonvolatile memory without the digitization and compression associated with other solutions. Direct analog storage provides a very true, natural sounding reproduction of voice, music, tones, and sound effects not available with most solid-state digital solutions.

Duration

To meet end system requirements, the ISD2500 Series offers single-chip solutions at *32**, *40**, *48**, *64**, 60, 75, 90, and 120 seconds. Parts may also be cascaded together for longer durations.

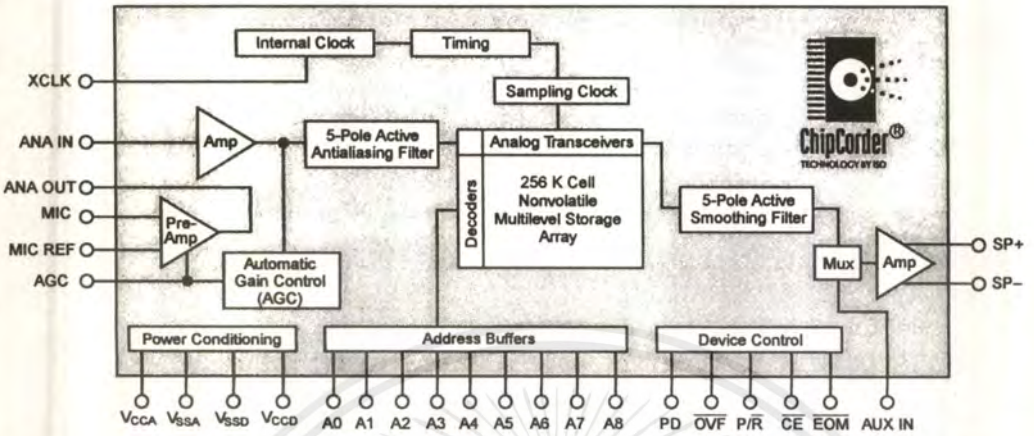
ISD2560/75/90/120 DEVICE BLOCK DIAGRAM



* *Advance information: ISD2532/40/48/64 devices.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*ISD2532/40/48/64** DEVICE BLOCK DIAGRAM



EEPROM Storage

One of the benefits of ISD's ChipCorder technology is the use of on-chip nonvolatile memory, providing zero-power message storage. The message is retained for up to 100 years typically without power. In addition, the device can be re-recorded typically over 100,000 times.

Microcontroller Interface

In addition to its simplicity and ease of use, the ISD2500 Series includes all the interfaces necessary for microcontroller-driven applications. The address and control lines can be interfaced to a microcontroller and manipulated to perform a variety of tasks, including message assembly, message concatenation, predefined fixed message segmentation, and message management.

Programming

The ISD2500 Series is also ideal for playback-only applications, where single or multiple messages are referenced through buttons, switches, or a microcontroller. Once the desired message configuration is created, duplicates can easily be generated via an ISD programmer.

PIN DESCRIPTIONS

Voltage Inputs (V_{CCA}, V_{CCD})

To minimize noise, the analog and digital circuits in the ISD2500 Series devices use separate power busses. These voltage busses are brought out to separate pins and should be tied together as close to the supply as possible. In addition, these supplies should be decoupled as close to the package as possible.

Ground Inputs (V_{SSA}, V_{SSD})

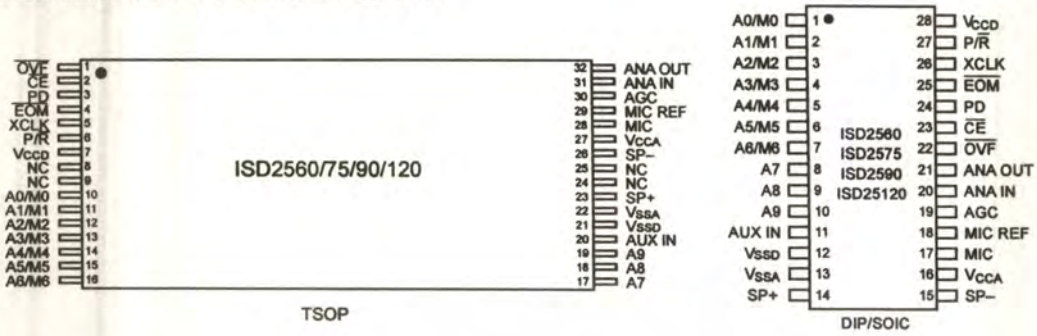
The ISD2500 Series of devices utilizes separate analog and digital ground busses. These pins should be connected separately through a low-impedance path to power supply ground.

Power Down Input (PD)

When not recording or playing back, the PD pin should be pulled HIGH to place the part in a very low power mode (see I_{SB} specification). When $\overline{OVF}$ pulses LOW for an overflow condition, PD should be brought HIGH to reset the address pointer back to the beginning of the Record/Playback space. The PD pin has additional functionality in the M6 (Push-Button) Operational

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISD2560/75/90/120 DEVICE PINOUTS



Mode described later in the Operational Mode section.

Chip Enable Input ($\overline{CE}$)

The $\overline{CE}$ pin is taken LOW to enable all Playback and Record operations. The address inputs and Playback/Record input (P/$\overline{R}$) are latched by the falling edge of $\overline{CE}$. $\overline{CE}$ has additional functionality in the M6 (Push-Button) Operational Mode described later in the Operational Mode section.

Playback/Record Input (P/$\overline{R}$)

The P/$\overline{R}$ input is latched by the falling edge of the $\overline{CE}$ pin. A HIGH level selects a Playback cycle while a LOW level selects a Record cycle. For a Record cycle, the address inputs provide the starting address and recording continues until PD or $\overline{CE}$ is pulled HIGH or an overflow is detected (i.e. the chip is full). When a Record cycle is terminated by pulling PD or $\overline{CE}$ HIGH, an End-Of-Message (EOM) marker is stored at the current address in memory. For a Playback cycle, the address inputs provide the starting address and the device will play until an EOM marker is encountered. The device can continue past an EOM marker in an operational mode, or if $\overline{CE}$ is held LOW in address mode. (See page 1-85 for more Operational Modes).

End-Of-Message / RUN Output (EOM)

A nonvolatile marker is automatically inserted at the end of each recorded message. It remains there until the message is recorded over. The EOM output pulses LOW for a period of T_{EOM} at the end of each message.

In addition, the ISD2500 Series has an internal V_{CC} detect circuit to maintain message integrity should V_{CC} fall below 3.5V. In this case, EOM goes LOW and the device is fixed in Playback-only mode.

When the device is configured in Operational Mode M6 (Push-Button Mode), this pin provides an active-HIGH RUN signal, indicating the device is currently recording or playing. This signal can conveniently drive an LED for a visual indicator of a Record or Playback operation in process.

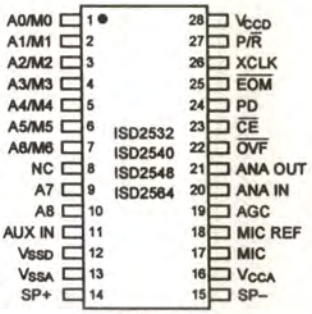
Overflow Output ($\overline{OVF}$)

This signal pulses LOW at the end of memory space, indicating the device has been filled and the message has overflowed. The $\overline{OVF}$ output then follows the $\overline{CE}$ input until a PD pulse has reset the device. This pin can be used to cascade several ISD2500 devices together to increase Record/Playback durations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*ISD2532/40/48/64** DEVICE PINOUTS

TSOP



DIP/SOIC

Microphone Input (MIC)

The microphone input transfers its signal to the on-chip preamplifier. An on-chip Automatic Gain Control (AGC) circuit controls the gain of this preamplifier from -15 to 24 dB. An external microphone should be AC coupled to this pin via a series capacitor. The capacitor value, together with the internal 10 K ohm resistance on this pin, determines the low-frequency cutoff for the ISD2500 Series passband. See ISD's *Application Notes and Design Manual* in this book for additional information on low-frequency cutoff calculation.

Microphone Reference Input (MIC REF)

The MIC REF input is the inverting input to the microphone preamplifier. This provides a noise-canceling or common-mode rejection input to the device when connected to a differential microphone.

Automatic Gain Control Input (AGC)

The AGC dynamically adjusts the gain of the preamplifier to compensate for the wide range of microphone input levels. The AGC allows the full range of whispers to loud sounds to be recorded with minimal distortion. The "attack" time is determined by the time constant of a 5 KΩ internal resistance and an external capacitor (C2 on the schematic on page 1-100) connected from the AGC pin to V_{SSA} analog ground. The "release" time is determined by the time constant of an external resistor (R2) and an external capacitor (C2) connected in parallel between the AGC Pin and V_{SSA} analog ground. Nominal values of 470 KΩ and 4.7 µF give satisfactory results in most cases.

Analog Output (ANA OUT)

This pin provides the preamplifier output to the user. The voltage gain of the preamplifier is determined by the voltage level at the AGC pin.

Analog Input (ANA IN)

The analog input pin transfers its signal to the chip for recording. For microphone inputs, the ANA OUT pin should be connected via an external capacitor to the ANA IN pin. This capacitor value, together with the 3.0 KΩ input impedance of ANA IN, is selected to give additional cutoff at the low-frequency end of the voice passband. If the desired input is derived from a source other than a microphone, the signal can be fed, capacitively coupled, into the ANA IN pin directly.

External Clock Input (XCLK)

The external clock input for the ISD2500 devices has an internal pull-down device. These devices are configured at the factory with an internal sampling clock frequency centered to ±1% of

1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

specification. The frequency is then maintained to a variation of ±2.25% over the entire commercial temperature and operating voltage ranges. The internal clock has a ±5% tolerance over the industrial temperature and voltage range. A regulated power supply is recommended for industrial temperature range parts. If greater precision is required, the device can be clocked through the XCLK pin as follows:

Part Number	Sample Rate	Required Clock
ISD2560	8.0 KHz	1024 KHz
ISD2575	6.4 KHz	819.2 KHz
ISD2590	5.3 KHz	682.7 KHz
ISD25120	4.0 KHz	512 KHz
*ISD2532**	*8.0 KHz*	*1024 KHz*
*ISD2540**	*6.4 KHz*	*819.2 KHz*
*ISD2548**	*5.3 KHz*	*682.7 KHz*
*ISD2564**	*4.0 KHz*	*512 KHz*

These recommended clock rates should not be varied because the antialiasing and smoothing filters are fixed, and aliasing problems can occur if the sample rate differs from the one recommended. The duty cycle on the input clock is not critical, as the clock is immediately divided by two. ***IF THE XCLK IS NOT USED, THIS INPUT MUST BE CONNECTED TO GROUND.***

Speaker Outputs (SP+/SP-)

All devices in the ISD2500 Series include an on-chip differential speaker driver, capable of driving 50 milliwatts into 16 Ω from AUX IN (12.2 mW from memory).

The speaker outputs are held at V_{SSA} levels during record and power down. It is therefore not possible to parallel speaker outputs of multiple ISD2500 devices or the outputs of other speaker drivers.

NOTE

Connection of speaker outputs in parallel may cause damage to the device.

A single output may be used alone (including a coupling capacitor between the SP pin and the speaker). These outputs may be used individually with the output signal taken from either pin. Using the differential outputs results in a 4:1 improvement in output power.

NOTE

Never ground or drive an unused speaker output.

Auxiliary Input (AUX IN)

The Auxiliary Input is multiplexed through to the output amplifier and speaker output pins when $\overline{CE}$ is HIGH, P/$\overline{R}$ is HIGH, and Playback is currently not active or if the device is in Playback overflow. When cascading multiple ISD2500 devices, the AUX IN pin is used to connect a Playback signal from a following device to the previous output speaker drivers. For noise considerations, it is suggested that the auxiliary input not be driven when the storage array is active.

Address/Mode Inputs (Ax/Mx)

The Address/Mode Inputs have two functions depending on the level of the two Most Significant Bits (MSB) of the address (A8 and A9 for the ISD256075/90/120 devices, and A7 and A8 for the *ISD2532/40/48/64** devices).

If either or both of the two MSBs are LOW, the inputs are *ALL* interpreted as address bits and are used as the start address for the current Record or Playback cycle. The address pins are inputs only and do not output internal address information as the operation progresses. Address inputs are latched by the falling edge of $\overline{CE}$.

If both MSBs are HIGH, the Address/Mode Inputs are interpreted as Mode bits according to the Operational Mode table on page 1-85. There are six operational modes (M0..M6) available as indi-

* *Advance information: ISD2532/40/48/64 devices.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONAL MODES TABLE

Mode Control	Function	Typical Use	Jointly Compatible*
M0	Message cueing	Fast-forward through messages	M4, M5, M6
M1	Delete EOM markers	Position EOM marker at the end of the last message	M3, M4, M5, M6
M2	Not applicable	Reserved	N/A
M3	Looping	Continuous playback from Address 0	M1, M5, M6
M4	Consecutive addressing	Record/Play multiple consecutive messages	M0, M1, M5
M5	$\overline{CE}$ level-activated	Allows message pausing	M0, M1, M3, M4
M6	Push-button control	Simplified device interface	M0, M1, M3

NOTE: An asterisk (*) indicates additional operational modes which can be used simultaneously with the given mode.

1

cated in the table. It is possible to use multiple operational modes simultaneously. Operational Modes are sampled on each falling edge of $\overline{CE}$, and thus Operational Modes and direct addressing are mutually exclusive.

OPERATIONAL MODES

The ISD2500 Series is designed with several built-in operational modes that provide maximum functionality with minimum additional components. These are described in detail below. The operational modes use the address pins on the ISD2500 devices, but are mapped outside the valid address range. When the two Most Significant Bits (MSBs) are HIGH (A8 and A9 for the ISD2560/75/90/120 devices, and A7 and A8 for the *ISD2532/40/48/64** devices), the remaining address signals are interpreted as mode bits and not as address bits. Therefore, operational modes and direct addressing are not compatible and cannot be used simultaneously.

There are two important considerations for using operational modes. First, all operations begin initially at address 0, which is the beginning of the ISD2500 address space. Later operations can begin at other address locations, depending on the operational mode(s) chosen. In addition, the address pointer is reset to 0 when the device is changed from Record to Playback, Playback to Record (except M6 mode), or when a Power-Down cycle is executed.

Second, Operational Modes are executed when $\overline{CE}$ goes LOW and the two MSBs are HIGH. This Operational Mode remains in effect until the next LOW-going $\overline{CE}$ signal, at which point the current address/mode levels are sampled and executed.

OPERATIONAL MODES DESCRIPTION

The Operational Modes can be used in conjunction with a microcontroller, or they can be hard-wired to provide the desired system operation.

M0 — Message Cueing

Message Cueing allows the user to skip through messages, without knowing the actual physical addresses of each message. Each $\overline{CE}$ LOW pulse causes the internal address pointer to skip to the next message. This mode should be used for

* *Advance information: ISD2532/40/48/64 devices.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Playback only, and is typically used with the M4 Operational Mode.

M1 — Delete EOM Markers

The M1 Operational Mode allows sequentially recorded messages to be combined into a single message with only one EOM marker set at the end of the final message. When this operational mode is configured, messages recorded sequentially are played back as one continuous message.

M2 — Unused

When operational modes are selected, the M2 pin should be LOW.

M3 — Message Looping

The M3 Operational Mode allows for the automatic, continuously repeated playback of the message located at the beginning of the address space. A message *CAN* completely fill the ISD2500 device and will loop from beginning to end without $\overline{OVF}$ going LOW.

M4 — Consecutive Addressing

During normal operations, the address pointer will reset when a message is played through to an EOM marker. The M4 Operational Mode inhibits the address pointer reset on $\overline{EOM}$, allowing messages to be played back consecutively.

M5 — $\overline{CE}$-Level Activated

The default mode for ISD2500 devices is for $\overline{CE}$ to be edge-activated on Playback and level-activated on Record. The M5 Operational Mode causes the $\overline{CE}$ pin to be interpreted as level-activated as opposed to edge-activated during Playback. This is specifically useful for terminating Playback operations using the $\overline{CE}$ signal.

In this mode, $\overline{CE}$ LOW begins a Playback cycle, at the beginning of the device memory. The Playback cycle continues as long as $\overline{CE}$ is held LOW. When $\overline{CE}$ goes HIGH, Playback will immediately end. A new $\overline{CE}$ LOW will restart the message from the beginning unless M4 is also HIGH.

M6 — Push-Button Mode

The ISD2500 Series of devices contain a Push-Button operational mode. The Push-Button mode is used primarily in very low-cost applications and is designed to minimize external circuitry and components, thereby reducing system cost. In order to configure the device in Push-Button operational mode, the two most significant address bits must be HIGH, and the M6 mode pin must also be HIGH. A device in this mode always powers down at the end of each Playback or Record cycle after $\overline{CE}$ goes HIGH.

When this operational mode is implemented, several of the pins on the device have alternate functionality:

Pin Name	Alternate Functionality in Push-Button Mode
$\overline{CE}$	Start/Pause Push-Button (LOW pulse-activated)
PD	Stop/Reset Push-Button (HIGH pulse activated)
$\overline{EOM}$	Active-HIGH Run Indicator

$\overline{CE}$ Pin (START/PAUSE)

In Push-Button Operational Mode, $\overline{CE}$ acts as a LOW-going pulse-activated START/PAUSE signal. If no operation is currently in progress, a LOW-going pulse on this signal will initiate a Playback or a Record cycle according to the level on the P/$\overline{R}$ pin. A subsequent pulse on the $\overline{CE}$ pin, before an End-Of-Message is reached in Playback or an overflow condition occurs, will cause the device to pause. The address counter is not reset, and another $\overline{CE}$ pulse will cause the device to continue the operation from the place where it was paused.

PD Pin (STOP/RESET)

In push-button Operational Mode, PD acts as a HIGH-going pulse-activated STOP/RESET signal. When a Playback or Record cycle is in progress and a HIGH-going pulse is observed on PD, the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

current cycle is terminated and the address pointer is reset to address 0, the beginning of the message space.

$\overline{\text{EOM}}$ Pin (RUN)

In Push-Button Operational Mode, $\overline{\text{EOM}}$ becomes an active-HIGH RUN signal which can be used to drive an LED or other external device. It is HIGH whenever a Record or Playback operation is in progress.

Recording in Push-Button Mode

1. The PD pin should be LOW, usually using a pulldown resistor.
2. The P/$\overline{\text{R}}$ pin is taken LOW.
3. The $\overline{\text{CE}}$ pin is pulsed LOW. Recording starts, $\overline{\text{EOM}}$ goes HIGH to indicate an operation in progress.
4. The $\overline{\text{CE}}$ pin is pulsed LOW. Recording pauses, $\overline{\text{EOM}}$ goes back LOW. The internal address pointers are not cleared, but an EOM marker is stored in memory to point to the message end. The P/$\overline{\text{R}}$ pin may be taken HIGH at this time. Any subsequent $\overline{\text{CE}}$ would start a playback at address 0.
5. The $\overline{\text{CE}}$ pin is pulsed LOW. Recording starts at the next address after the previous set EOM marker. $\overline{\text{EOM}}$ goes back HIGH.

NOTE

If the M1 operational mode pin is also HIGH, the just previously written EOM bit is erased, and recording starts at that address.)

6. When the recording sequences are finished, the final $\overline{\text{CE}}$ pulse LOW will end the last Record cycle, leaving a set EOM marker at the message end. Recording may also be terminated by a HIGH level on PD, which will leave a set EOM marker.

Playback in Push-Button Mode

1. The PD pin should be LOW.
2. The P/$\overline{\text{R}}$ pin is taken HIGH.
3. The $\overline{\text{CE}}$ pin is pulsed LOW. Playback starts, $\overline{\text{EOM}}$ goes HIGH to indicate an operation in progress.
4. If the $\overline{\text{CE}}$ pin is pulsed LOW or an EOM marker is encountered during an operation, the part will pause. The internal address pointers are not cleared, and $\overline{\text{EOM}}$ goes back LOW. The P/$\overline{\text{R}}$ pin may be changed at this time. A subsequent Record operation would not reset the address pointers and the recording would begin where Playback ended.
5. $\overline{\text{CE}}$ is again pulsed LOW. Playback starts where it left off, with $\overline{\text{EOM}}$ going HIGH to indicate an operation in progress.
6. Playback continues as in steps 4 and 5 until PD is pulsed HIGH or overflow occurs.
7. If in overflow, pulling $\overline{\text{CE}}$ LOW will reset the address pointer and start Playback from the beginning. After a PD pulse, the part is reset to address 0.

NOTE

Push-button mode can be used in conjunction with modes M0, M1, and M3.

Good Audio Design Practices

ISD products are very high-quality single-chip voice Recording and Playback systems. To ensure the highest quality voice reproduction, it is important that good audio design practices on layout and power supply decoupling be followed. See the *ISD Application Notes and Design Manual* in this book for details.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISD1000A COMPATIBILITY

The ISD2500 Series of devices is designed to provide upward compatibility with the ISD1000A family. When designing with the ISD2500 Series, the following differences should be noted.

Addressing

The ISD2560/75/90/120 devices have 480K storage cells designed to provide 60 seconds of storage at a sampling rate of 8.0 KHz. This is approximately four times the storage of the ISD1000A family. To enable the same addressing resolution, two additional address pins have been added. The address space of each device is divisible into 300 increments with valid addressing from 00 to 13F Hex. Some higher addresses are mapped into the Operational Modes. All other addresses are invalid.

The ISD2532/40/48/64 devices have 256K storage cells designed to provide 32 seconds of storage at a sampling rate of 8.0 KHz. This is twice the amount of storage of the ISD1000A family. To enable the same addressing resolution, one additional address pin has been added. The address space of each device is divisable into 320 increments with valid addressing from 00 to 13F Hex.

Overflow

The ISD1000A Series combined two functions on the $\overline{EOM}$ pin: end-of-message indication and overflow. The ISD2500 separates these two functions. Pin 25 (PDIP package) remains as $\overline{EOM}$, but outputs only the EOM signal indication. Pin 22 (PDIP package) becomes $\overline{OVF}$ and pulses LOW only when the device reaches its end of memory, or is "full." This change allows easy message cueing and addressability across device boundaries. This also means that the M2 operational mode found in the ISD1000A family is not implemented in the ISD2500 Series.

Push-Button Mode

The ISD2500 Series includes an additional Operational Mode called Push-Button mode. This provides an alternative interface to the Record and Playback functions of the part. The $\overline{CE}$ and PD pins become redefined as edge-activated "push-buttons." A pulse on $\overline{CE}$ initiates a cycle, and if triggered again, pauses the current cycle without resetting the address pointer (i.e., a Start or Pause function). PD stops any current cycle and resets the address pointer to the beginning of the message space (i.e., a Stop and Reset function). Additionally, the $\overline{EOM}$ pin functions as an active-HIGH run indicator, and can be used to drive an LED indicating a Record or Playback operation is in progress. Devices in the Push-Button mode cannot be cascaded.

Looping Mode

The ISD2500 Series can loop with a message that completely fills the memory space.

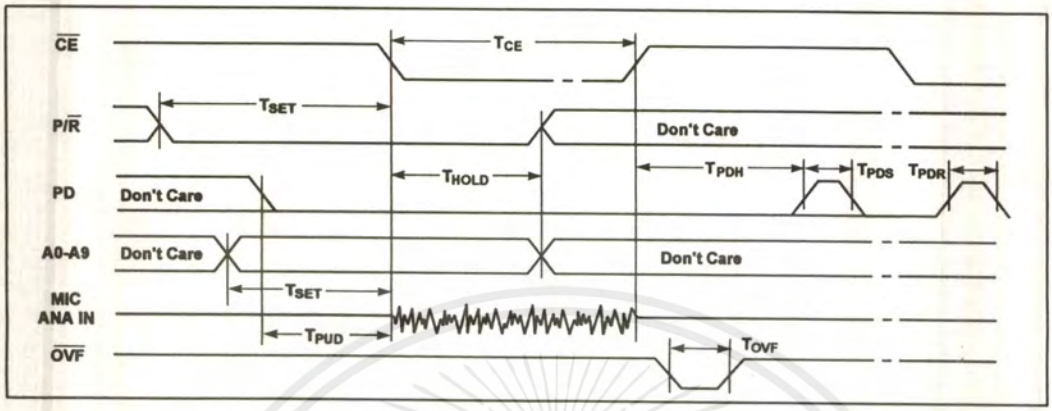
NOTE

Additional descriptions of ISD2500 device functionality and application examples are provided in the ISD Application Notes and Design Manual in this book.

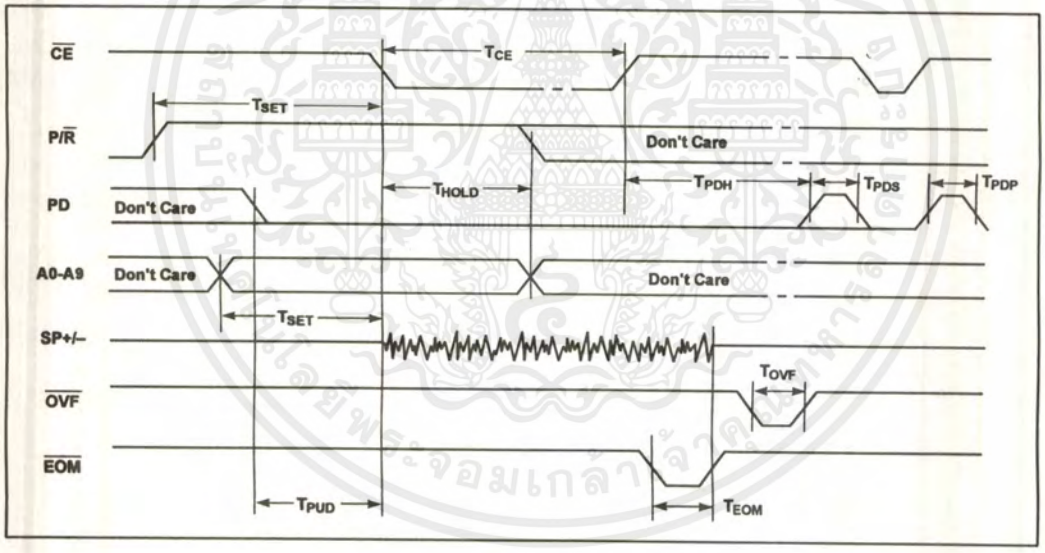
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING DIAGRAMS

Record



Playback



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (PACKAGED PARTS)

Condition	Value
Junction temperature	150° C
Storage temperature range	–65° C to +150° C
Voltage applied to any pin	(V_{SS} – 0.3 V) to (V_{CC} + 0.3 V)
Voltage applied to any pin (Input current limited to ±20 mA)	(V_{SS} – 1.0 V) to (V_{CC} + 1.0 V)
Lead temperature (soldering – 10 seconds)	300° C
V_{CC} - V_{SS}	– 0.3 V to + 7.0 V

NOTE: Stresses above those listed may cause permanent damage to the device. Exposure to the absolute maximum ratings may affect device reliability. Functional operation is not implied at these conditions.

OPERATING CONDITIONS (PACKAGED PARTS)

Condition	Value
Commercial operating temperature range(1)	0° C to +70° C
Industrial operating temperature range(1)	–40° C to +85° C
Supply voltage (V_{CC})(2)	+4.5 V to +5.5 V
Ground voltage (V_{SS})(3)	0 V

NOTES: 1. Case temperature.
2. $V_{CC} = V_{CCA} = V_{CCD}$.
3. $V_{SS} = V_{SSA} = V_{SSD}$.

DC PARAMETERS (PACKAGED PARTS)

Symbol	Parameters	Min(2)	Typ (1)	Max(2)	Units	Conditions
V_{IL}	Input Low Voltage			0.8	V	
V_{IH}	Input High Voltage	2.0			V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 4.0 mA
V_{OH}	Output High Voltage	V_{CC}–0.4			V	I_{OH} = – 10 µA
V_{OH1}	$\overline{OVF}$ Output High Voltage	2.4			V	I_{OH} = – 1.6 mA
V_{OH2}	$\overline{EOM}$ Output High Voltage	V_{CC}–1.0	V_{CC}–0.8		V	I_{OH} = – 3.2 mA
I_{CC}	V_{CC} Current (Operating)		25	30	mA	$R_{EXT} = \infty$ (3)
I_{SB}	V_{CC} Current (Standby)		1	10	µA	(3)
I_{IL}	Input Leakage Current			±1	µA	
I_{ILPD}	Input Current HIGH w/Pull Down			130	µA	Force V_{CC} (4)
R_{EXT}	Output Load Impedance	16			Ω	Speaker Load
R_{MIC}	Preamp In Input Resistance	4	9	15	KΩ	MIC and MIC REF Pins
R_{AUX}	AUX INPUT Resistance	5	11	20	KΩ	

* *Advance information: ISD2532/40/48/64 devices.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC PARAMETERS (PACKAGED PARTS) – CONTINUED

Symbol	Parameters	Min(2)	Typ (1)	Max(2)	Units	Conditions
$R_{ANA\ IN}$	ANA IN Input Resistance	2.3	3	5	KΩ	
A_{PRE1}	Preamp Gain 1	21	24	26	dB	AGC = 0.0 V
A_{PRE2}	Preamp Gain 2		–15	5	dB	AGC = 2.5 V
A_{AUX}	AUX IN/SP+ Gain		0.98	1.0	V/V	
A_{ARP}	ANA IN to SP+/- Gain	21	23	26	dB	
R_{AGC}	AGC Output Resistance	2.5	5	9.5	KΩ	

NOTES:
1. *Typical values @ T_A = 25° C and 5.0 V.*
2. *All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100% tested.*
3. *V_{CCA} and V_{CCD} connected together.*
4. *XCLK pin only.*

1

AC PARAMETERS (PACKAGED PARTS)

Symbol	Characteristic		Min(2)	Typ (1)	Max(2)	Units	Conditions
F_S	Sampling Frequency	— *ISD2532**		*8.0*		*KHz*	*(7)*
		— *ISD2540**		*6.4*		*KHz*	*(7)*
		— *ISD2548**		*5.3*		*KHz*	*(7)*
		— *ISD2564**		*4.0*		*KHz*	*(7)*
		— ISD2560		8.0		KHz	(7)
		— ISD2575		6.4		KHz	(7)
		— ISD2590		5.3		KHz	(7)
		— ISD25120		4.0		KHz	(7)
F_{CF}	Filter Pass Band	— *ISD2532**		*3.4*		*KHz*	*3 dB Roll-Off Point (3) (8)*
		— *ISD2540**		*2.7*		*KHz*	*3 dB Roll-Off Point (3) (8)*
		— *ISD2548**		*2.3*		*KHz*	*3 dB Roll-Off Point (3) (8)*
		— *ISD2564**		*1.7*		*KHz*	*3 dB Roll-Off Point (3) (8)*
		— ISD2560		3.4		KHz	3 dB Roll-Off Point (3) (8)
		— ISD2575		2.7		KHz	3 dB Roll-Off Point (3) (8)
		— ISD2590		2.3		KHz	3 dB Roll-Off Point (3) (8)
		— ISD25120		1.7		KHz	3 dB Roll-Off Point (3) (8)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC PARAMETERS (PACKAGED PARTS) – CONTINUED

Symbol	Characteristic		Min(2)	Typ(1)	Max(2)	Units	Conditions
T_{REC}	Record Duration	— *ISD2532**		*32.0*		*sec*	
		— *ISD2540**		*40.0*		*sec*	
		— *ISD2548**		*48.0*		*sec*	
		— *ISD2564**		*64.0*		*sec*	
		— ISD2560	58.1	60.0	62.0	sec	Commercial Operation
		— ISD2560	56.5	60.0	63.8	sec	Industrial Operation
		— ISD2575	72.6	75.0	77.5	sec	Commercial Operation
		— ISD2575	70.7	75.0	79.7	sec	Industrial Operation
		— ISD2590	87.1	90.0	93.0	sec	Commercial Operation
		— ISD25120	116.1	120.0	123.9	sec	Commercial Operation
T_{PLAY}	Playback Duration	— *ISD2532**		*32.0*		*sec*	*(7)*
		— *ISD2540**		*40.0*		*sec*	*(7)*
		— *ISD2548**		*48.0*		*sec*	*(7)*
		— *ISD2564**		*64.0*		*sec*	*(7)*
		— ISD2560	58.1	60.0	62.0	sec	Commercial Operation(7)
		— ISD2560	56.5	60.0	63.8	sec	Industrial Operation(7)
		— ISD2575	72.6	75.0	77.5	sec	Commercial Operation(7)
		— ISD2575	70.7	75.0	79.7	sec	Industrial Operation(7)
		— ISD2590	87.1	90.0	93.0	sec	Commercial Operation(7)
		— ISD25120	116.1	120.0	123.9	sec	Commercial Operation(7)
T_{CE}	$\overline{CE}$ Pulse Width			100		nsec	
T_{SET}	Control/Address Setup Time			300		nsec	
T_{HOLD}	Control/Address Hold Time			0		nsec	
T_{PUD}	Power-Up Delay	— *ISD2532**		*25.0*		*msec*	
		— *ISD2540**		*31.3*		*msec*	
		— *ISD2548**		*37.5*		*msec*	
		— *ISD2564**		*50.0*		*msec*	
		— ISD2560	24.1	25.0	27.8	msec	Commercial Operation
		— ISD2560	23.5	25.0	28.5	msec	Industrial Operation
		— ISD2575	30.2	31.3	34.3	msec	Commercial Operation
		— ISD2575	29.3	31.3	35.2	msec	Industrial Operation
		— ISD2590	36.2	37.5	40.8	msec	Commercial Operation
		— ISD25120	48.2	50.0	53.6	msec	Commercial Operation
T_{PDR}	PD Pulse Width Record	— *ISD2532**		*25*		*msec*	
		— *ISD2540**		*31.25*		*msec*	
		— *ISD2548**		*37.5*		*msec*	
		— *ISD2564**		*50.0*		*msec*	
		— ISD2560		25		msec	
		— ISD2575		31.25		msec	
		— ISD2590		37.5		msec	
		— ISD25120		50.0		msec	

* *Advance information: ISD2532/40/48/64 devices.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC PARAMETERS (PACKAGED PARTS) – CONTINUED

Symbol	Characteristic		Min(2)	Typ (1)	Max(2)	Units	Conditions
T_{PDP}	PD Pulse Width Play	— *ISD2532**		*12.5*		*msec*	
		— *ISD2540**		*15.625*		*msec*	
		— *ISD2548**		*18.75*		*msec*	
		— *ISD2564**		*25.0*		*msec*	
		— ISD2560		12.5		msec	
		— ISD2575		15.625		msec	
		— ISD2590		18.75		msec	
		— ISD25120		25.0		msec	
T_{PDS}	PD Pulse Width Static			100		nsec	(6)
T_{PDH}	Power Down Hold			0		nsec	
T_{EOM}	EOM Pulse Width	— *ISD2532**		*12.5*		*msec*	
		— *ISD2540**		*15.625*		*msec*	
		— *ISD2548**		*18.75*		*msec*	
		— *ISD2564**		*25.0*		*msec*	
		— ISD2560		12.5		msec	
		— ISD2575		15.625		msec	
		— ISD2590		18.75		msec	
		— ISD25120		25.0		msec	
T_{OVF}	Overflow Pulse Width			6.5		µsec	
THD	Total Harmonic Distortion			1	2	%	@ 1 KHz
P_{OUT}	Speaker Output Power			12.2	50	mW	R_{EXT} = 16 Ω (4)
V_{OUT}	Voltage Across Speaker Pins				2.5	V p–p	R_{EXT} = 600 Ω
V_{IN1}	MIC Input Voltage				20	mV	Peak-to-Peak (5)
V_{IN2}	ANA IN Input Voltage				50	mV	Peak-to-Peak
V_{IN3}	Aux Input Voltage				1.25	V	Peak-to-Peak; R_{EXT} = 16 Ω

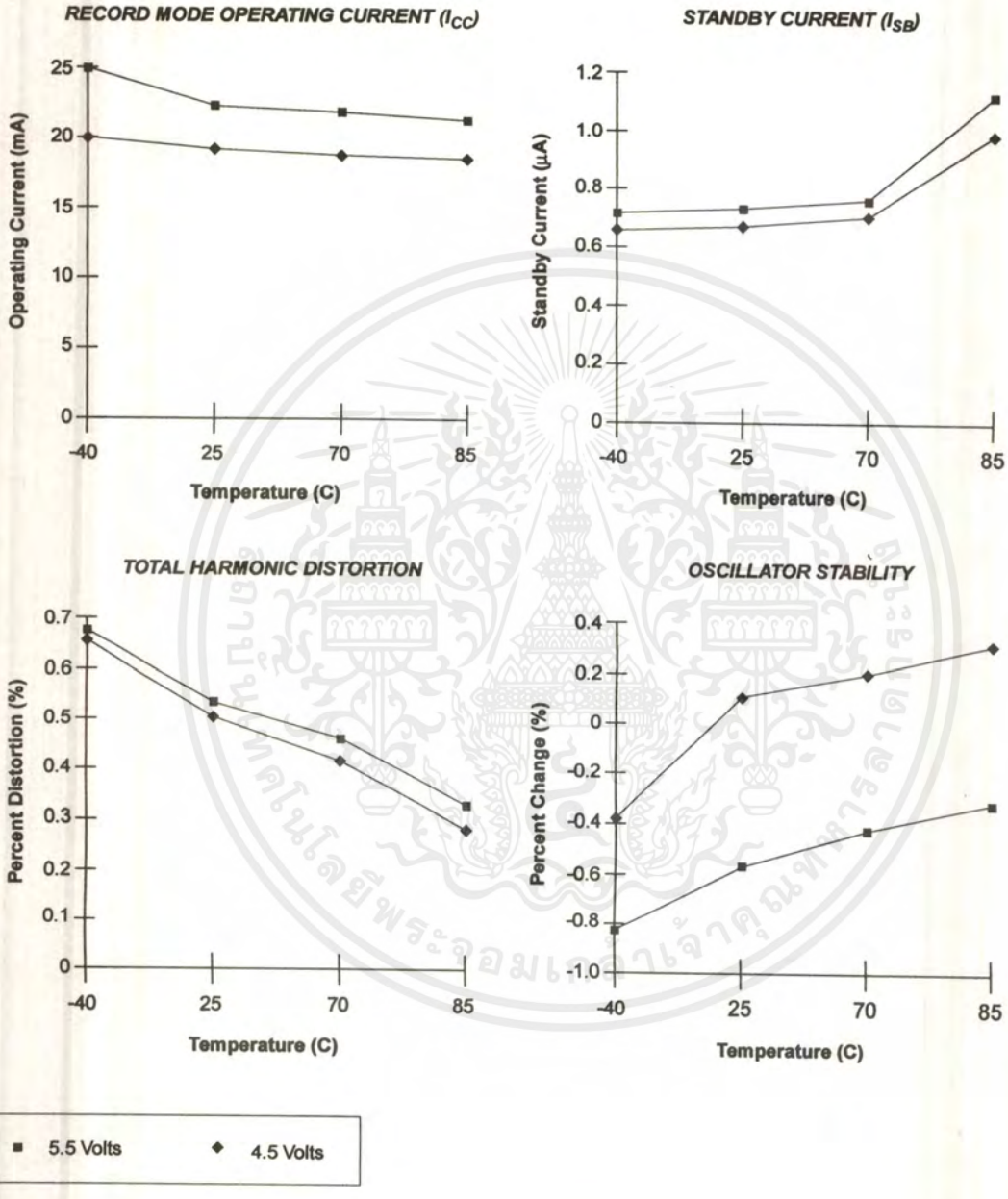
NOTES:

1. *Typical values @ T_A = 25° C and 5.0 V.*
2. *All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100% tested.*
3. *Low-frequency cutoff depends upon the value of external capacitors (see Pin Descriptions).*
4. *From AUX IN; if ANA IN is driven at 50 mV p-p, the P_{OUT}=12.2 mW, typical.*
5. *With 5.1 KΩ series resistor at ANA IN.*
6. *T_{PDS} is required during a static condition, typically overflow.*
7. *Sampling Frequency and Playback Duration can vary as much as ±2.25% over the commercial temperature range and voltage range and ±5% over the industrial temperature and voltage range. For greater stability, an external clock can be utilized (see Pin Descriptions).*
8. *Filter specification applies to the antialiasing filter and the smoothing filter.*

* *Advance information: ISD2532/40/48/64 devices.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PARAMETER VARIATION WITH VOLTAGE AND TEMPERATURE (PACKAGED PARTS)



 ★ *Advance information: ISD2532/40/48/64 devices.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (DIE)

Condition	Value
Junction temperature	150° C
Storage temperature range	–65° C to +150° C
Voltage applied to any pad	(V_{SS} – 0.3 V) to (V_{CC} + 0.3 V)
Voltage applied to any pad (Input current limited to ± 20 mA)	(V_{SS} – 1.0 V) to (V_{CC} + 1.0 V)
V_{CC} - V_{SS}	– 0.3 V to + 7.0 V

NOTE: *Stresses above those listed may cause permanent damage to the device. Exposure to the absolute maximum ratings may affect device reliability. Functional operation is not implied at these conditions.*

OPERATING CONDITIONS (DIE)

Condition	Value
Commercial operating temperature range	0° C to +50° C
Supply voltage (V_{CC})(1)	+4.5 V to +6.5 V
Ground voltage (V_{SS})(2)	0 V

NOTES: *1. $V_{CC} = V_{CCA} = V_{CCD}$.*
2. $V_{SS} = V_{SSA} = V_{SSD}$.

1

DC PARAMETERS (DIE)

Symbol	Parameter*	Min(2)	Typ(1)	Max(2)	Units	Conditions
V_{IL}	Input Low Voltage			0.8	V	
V_{IH}	Input High Voltage	2.0			V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 4.0 mA
V_{OH}	Output High Voltage	V_{CC}–0.4			V	I_{OH} = – 10 µA
V_{OH1}	$\overline{OVF}$ Output High Voltage	2.4			V	I_{OH} = – 1.6 mA
V_{OH2}	$\overline{EOM}$ Output High Voltage	V_{CC}–1.0	V_{CC}–0.8		V	I_{OH} = – 3.2 mA
I_{CC}	V_{CC} Current (Operating)		25	30	mA	$R_{EXT} = \infty$ (3)
I_{SB}	V_{CC} Current (Standby)		1	10	µA	(2)
I_{IL}	Input Leakage Current			±1	µA	
I_{ILPD}	Input Current HIGH w/Pull Down			130	µA	Force V_{CC} (4)
R_{EXT}	Output Load Impedance	16			Ω	Speaker Load
R_{MIC}	Preamp In Input Resistance	4	9	15	KΩ	MIC and MIC REF Pads
R_{AUX}	AUX INput Resistance	5	11	20	KΩ	
$R_{ANA\ IN}$	ANA IN Input Resistance	2.3	3	5	KΩ	

* *Advance information: ISD2532/40/48/64 devices.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC PARAMETERS (DIE) – CONTINUED

Symbol	Parameters	Min[2]	Typ [1]	Max[2]	Units	Conditions
A_{PRE1}	Preamp Gain 1	21	24	26	dB	AGC = 0.0 V
A_{PRE2}	Preamp Gain 2		– 15	5	dB	AGC = 2.5 V
A_{AUX}	AUX IN/SP+ Gain		0.98	1.0	V/V	
A_{ARP}	ANA IN to SP+/- Gain	21	23	26	dB	
R_{AGC}	AGC Output Resistance	2.5	5	9.5	KΩ	

NOTES:
1. *Typical values @ T_A = 25° C and 5.0 V.*
2. *All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100% tested.*
3. *V_{CCA} and V_{CCD} connected together.*
4. *XCLK pad only.*

1

AC PARAMETERS (DIE)

Symbol	Characteristic		Min[2]	Typ [1]	Max[2]	Units	Conditions
F_S	Sampling Frequency	— *ISD2532**		*8.0*		*KHz*	*(7)*
		— *ISD2540**		*6.4*		*KHz*	*(7)*
		— *ISD2548**		*5.3*		*KHz*	*(7)*
		— *ISD2564**		*4.0*		*KHz*	*(7)*
		— ISD2560		8.0		KHz	(7)
		— ISD2575		6.4		KHz	(7)
		— ISD2590		5.3		KHz	(7)
		— ISD25120		4.0		KHz	(7)
F_{CF}	Filter Pass Band	— *ISD2532**		*3.4*		*KHz*	*3 dB Roll-Off Point [3] [8]*
		— *ISD2540**		*2.7*		*KHz*	*3 dB Roll-Off Point [3] [8]*
		— *ISD2548**		*2.3*		*KHz*	*3 dB Roll-Off Point [3] [8]*
		— *ISD2564**		*1.7*		*KHz*	*3 dB Roll-Off Point [3] [8]*
		— ISD2560		3.4		KHz	3 dB Roll-Off Point [3] [8]
		— ISD2575		2.7		KHz	3 dB Roll-Off Point [3] [8]
		— ISD2590		2.3		KHz	3 dB Roll-Off Point [3] [8]
		— ISD25120		1.7		KHz	3 dB Roll-Off Point [3] [8]
T_{REC}	Record Duration	— *ISD2532**		*32.0*		*sec*	
		— *ISD2540**		*40.0*		*sec*	
		— *ISD2548**		*48.0*		*sec*	
		— *ISD2564**		*64.0*		*sec*	
		— ISD2560	58.1	60.0	62.0	sec	Commercial Operation
		— ISD2575	72.6	75.0	77.5	sec	Commercial Operation
		— ISD2590	87.1	90.0	93.0	sec	Commercial Operation
		— ISD25120	116.1	120.0	123.9	sec	Commercial Operation

 * *Advance information: ISD2532/40/48/64 devices.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC PARAMETERS (DIE) – CONTINUED

Symbol	Characteristic		Min(2)	Typ (1)	Max(2)	Units	Conditions
T_{PLAY}	Playback Duration	— *ISD2532**		*32.0*		*sec*	*(7)*
		— *ISD2540**		*40.0*		*sec*	*(7)*
		— *ISD2548**		*48.0*		*sec*	*(7)*
		— *ISD2564**		*64.0*		*sec*	*(7)*
		— ISD2560	58.1	60.0	62.0	sec	Commercial Operation(7)
		— ISD2575	72.6	75.0	77.5	sec	Commercial Operation(7)
		— ISD2590	87.1	90.0	93.0	sec	Commercial Operation(7)
		— ISD25120	116.1	120.0	123.9	sec	Commercial Operation(7)
T_{CE}	$\overline{CE}$ Pulse Width			100		nsec	
T_{SET}	Control/Address Setup Time			300		nsec	
T_{HOLD}	Control/Address Hold Time			0		nsec	
T_{PUD}	Power-Up Delay	— *ISD2532**		*25.0*		*msec*	
		— *ISD2540**		*31.3*		*msec*	
		— *ISD2548**		*37.5*		*msec*	
		— *ISD2564**		*50.0*		*msec*	
		— ISD2560	24.1	25.0	27.8	msec	Commercial Operation
		— ISD2575	30.2	31.3	34.3	msec	Commercial Operation
		— ISD2590	36.2	37.5	40.8	msec	Commercial Operation
		— ISD25120	48.2	50.0	53.6	msec	Commercial Operation
T_{PDR}	PD Pulse Width Record	— *ISD2532**		*25*		*msec*	
		— *ISD2540**		*31.25*		*msec*	
		— *ISD2548**		*37.5*		*msec*	
		— *ISD2564**		*50.0*		*msec*	
		— ISD2560		25		msec	
		— ISD2575		31.25		msec	
		— ISD2590		37.5		msec	
		— ISD25120		50.0		msec	
T_{PDP}	PD Pulse Width Play	— *ISD2532**		*12.5*		*msec*	
		— *ISD2540**		*15.625*		*msec*	
		— *ISD2548**		*18.75*		*msec*	
		— *ISD2564**		*25.0*		*msec*	
		— ISD2560		12.5		msec	
		— ISD2575		15.625		msec	
		— ISD2590		18.75		msec	
		— ISD25120		25.0		msec	
T_{PDS}	PD Pulse Width Static			100		nsec	(6)
T_{PDH}	Power Down Hold			0		nsec	

1

* *Advance information: ISD2532/40/48/64 devices.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC PARAMETERS (DIE) – CONTINUED

Symbol	Characteristic	Min(2)	Typ (1)	Max(2)	Units	Conditions
T_{EOM}	EOM Pulse Width — *ISD2532**		*12.5*		*msec*	
	— *ISD2540**		*15.625*		*msec*	
	— *ISD2548**		*18.75*		*msec*	
	— *ISD2564**		*25.0*		*msec*	
	— ISD2560		12.5		msec	
	— ISD2575		15.625		msec	
	— ISD2590		18.75		msec	
	— ISD25120		25.0		msec	
T_{OVF}	Overflow Pulse Width		6.5		µsec	
THD	Total Harmonic Distortion		1	3	%	@ 1 KHz
P_{OUT}	Speaker Output Power		12.2	50	mW	R_{EXT} = 16 Ω (4)
V_{OUT}	Voltage Across Speaker Pins			2.5	V p–p	R_{EXT} = 600 Ω
V_{IN1}	MIC Input Voltage			20	mV	Peak-to-Peak (5)
V_{IN2}	ANA IN Input Voltage			50	mV	Peak-to-Peak
V_{IN3}	Aux Input Voltage			1.25	V	Peak-to-Peak; R_{EXT} = 16 Ω

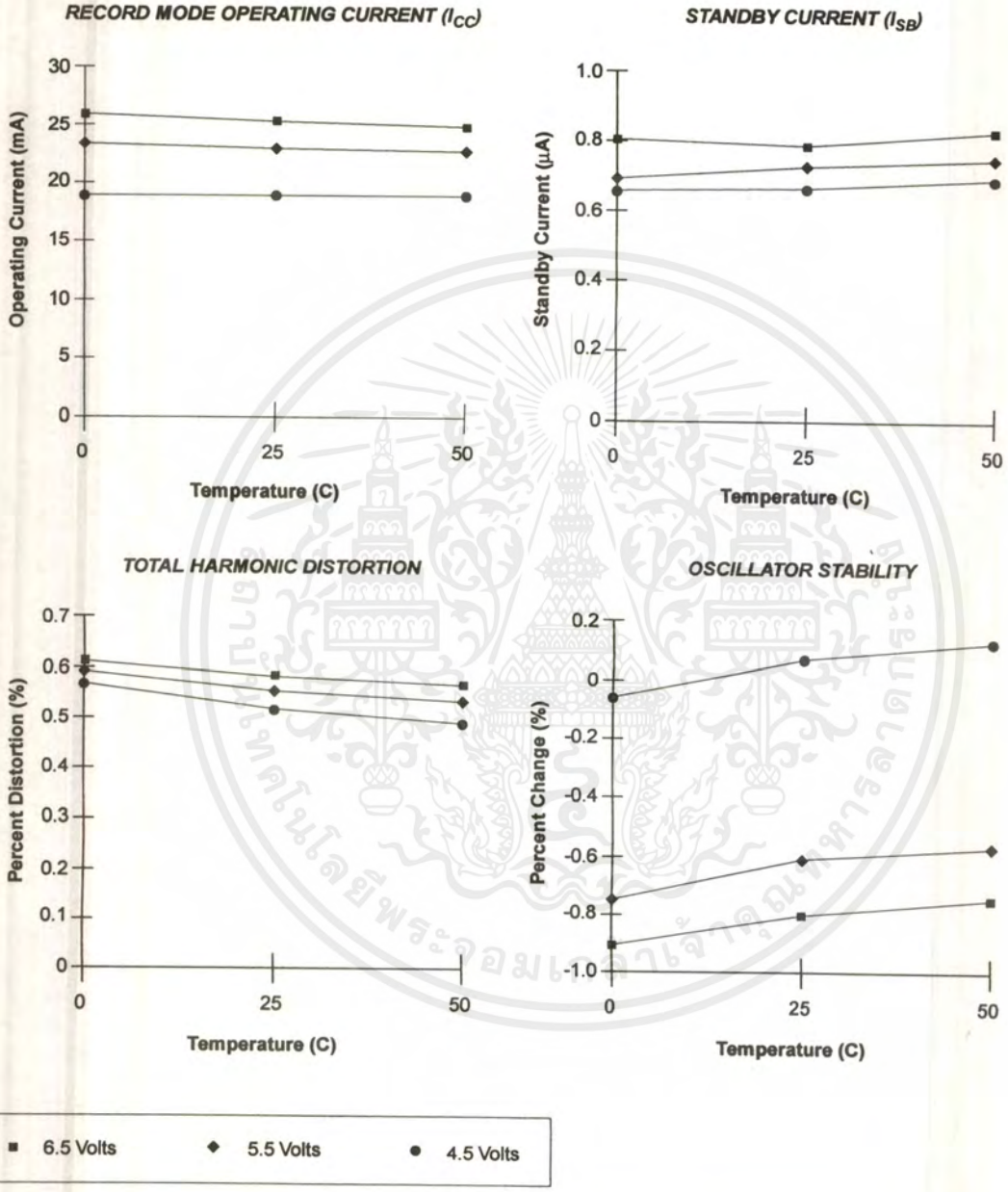
NOTES:

1. *Typical values @ T_A = 25° C and 5.0 V.*
2. *All Min/Max limits are guaranteed by ISD via electrical testing or characterization. Not all specifications are 100% tested.*
3. *Low-frequency cutoff depends upon the value of external capacitors (see Pin Descriptions).*
4. *From AUX IN; if ANA IN is driven at 50 mV p-p, the P_{OUT}=12.2 mW, typical.*
5. *With 5.1 KΩ series resistor at ANA IN.*
6. *T_{PDS} is required during a static condition, typically overflow.*
7. *Sampling Frequency and Playback Duration can vary as much as ±2.25% over the commercial temperature range and voltage range. For greater stability, an external clock can be utilized (see Pin Descriptions).*
8. *Filter specification applies to the antialiasing filter and the smoothing filter.*

* *Advance Information: ISD2532/40/48/64 devices.*

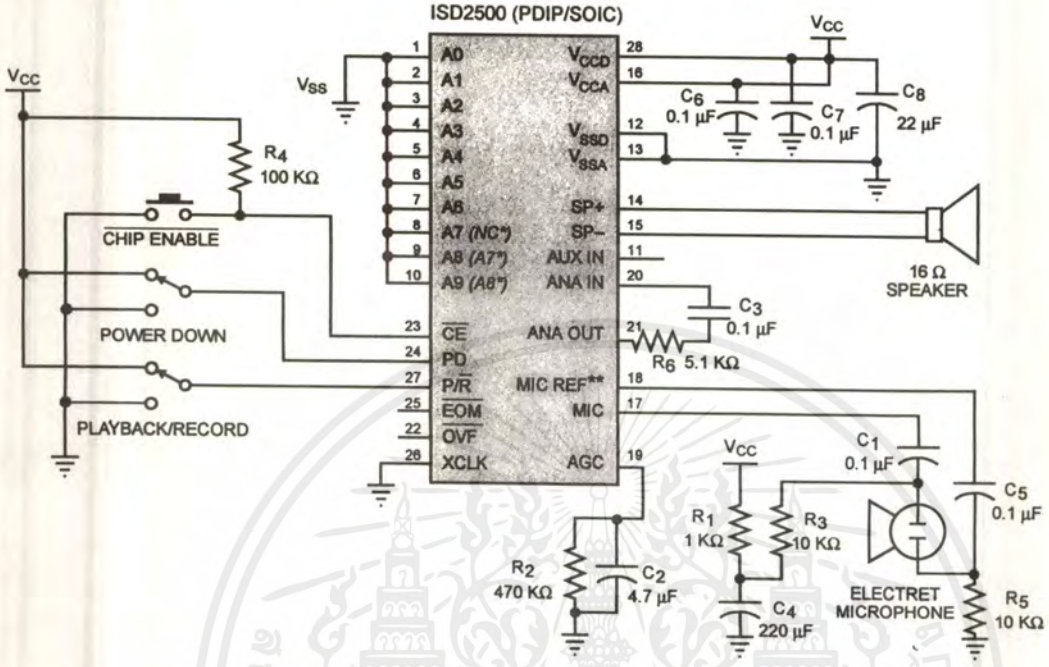
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PARAMETER VARIATION WITH VOLTAGE AND TEMPERATURE (DIE)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISD2500 APPLICATION EXAMPLE – DESIGN SCHEMATIC



NOTES: * *Pin identifications for the ISD2532/40/48/64 devices which differ from those of the ISD2560/75/90/120 devices are indicated.*

** *If desired, pin 18 (PDIP package) may be left unconnected (microphone preamplifier noise will be higher). In this case, pin 18 must not be tied to any other signal or voltage. Additional design example schematics are provided in the Application Notes and Design Manual in this book.*

APPLICATION EXAMPLE – BASIC DEVICE CONTROL

Control Step	Function	Action
1	Power up chip and select Record/Playback mode	1. PD = LOW, 2. P/$\overline{R}$ = As desired
2	Set message address for Record/Playback	Set addresses A0–A9
3A	Begin Playback	P/$\overline{R}$ = HIGH, $\overline{CE}$ = Pulsed LOW
3B	Begin Record	P/$\overline{R}$ = LOW, $\overline{CE}$ = LOW
4A 4B	End Playback End Record	Automatic PD or $\overline{CE}$ = HIGH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION EXAMPLE – PASSIVE COMPONENT FUNCTIONS

Part	Function	Comments
R1	Microphone power supply decoupling	Reduces power supply noise
R2	Release time constant	Sets release time for AGC
R3, R5	Microphone biasing resistors	Provides biasing for microphone operation
R4	Series limiting resistor	Reduces level to prevent distortion at higher supply voltages.
R6	Series limiting resistor	Reduces level to high supply voltages
C1, C5	Microphone DC–blocking capacitor Low-frequency cutoff	Decouples microphone bias from chip. Provides single-pole low-frequency cutoff and common mode noise rejection.
C2	Attack/Release time constant	Sets attack/release time for AGC
C3	Low-frequency cutoff capacitor	Provides additional pole for low-frequency cutoff
C4	Microphone power supply decoupling	Reduces power supply noise
C6, C7, C8	Power supply capacitors	Filter and bypass of power supply

1

EXPLANATION

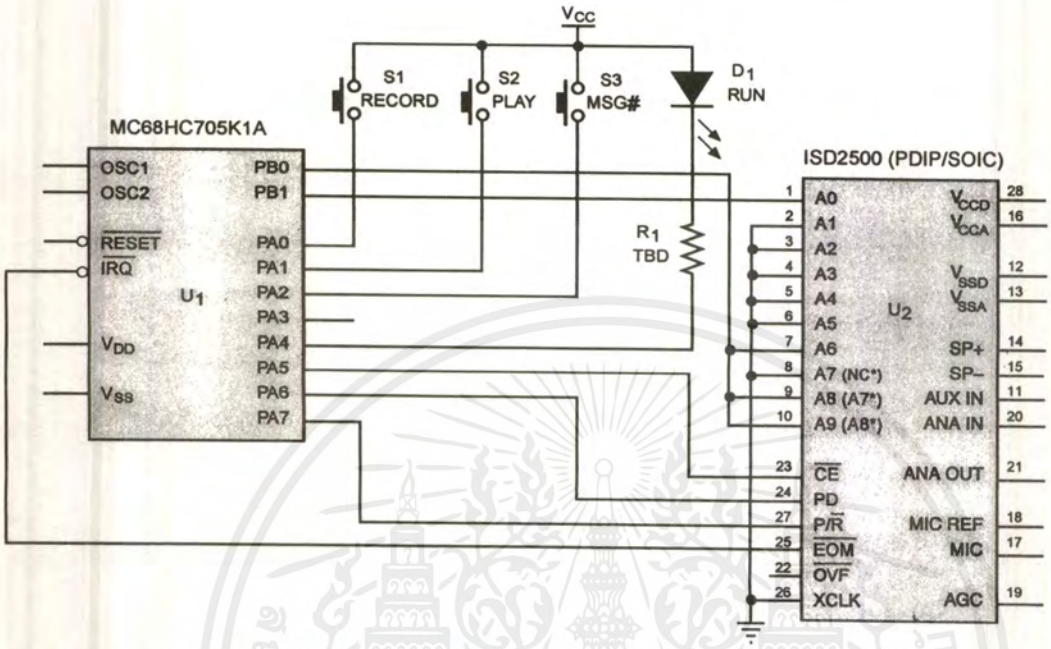
In this simplified block diagram of a microcontroller application, the Push-Button mode and message cueing are used. The microcontroller is a 16-pin version with enough port pins for buttons, an LED, and the ISD2500 Series device. The software can be written to use three buttons: one each for play and record, and one for message selection. Because the microcontroller is interpreting the buttons and commanding the ISD2500 device, software can be written for any functions desired in a particular application.

NOTE

ISD does not recomend connecting address lines directly to a microprocessor bus. Address lines should be externally latched.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

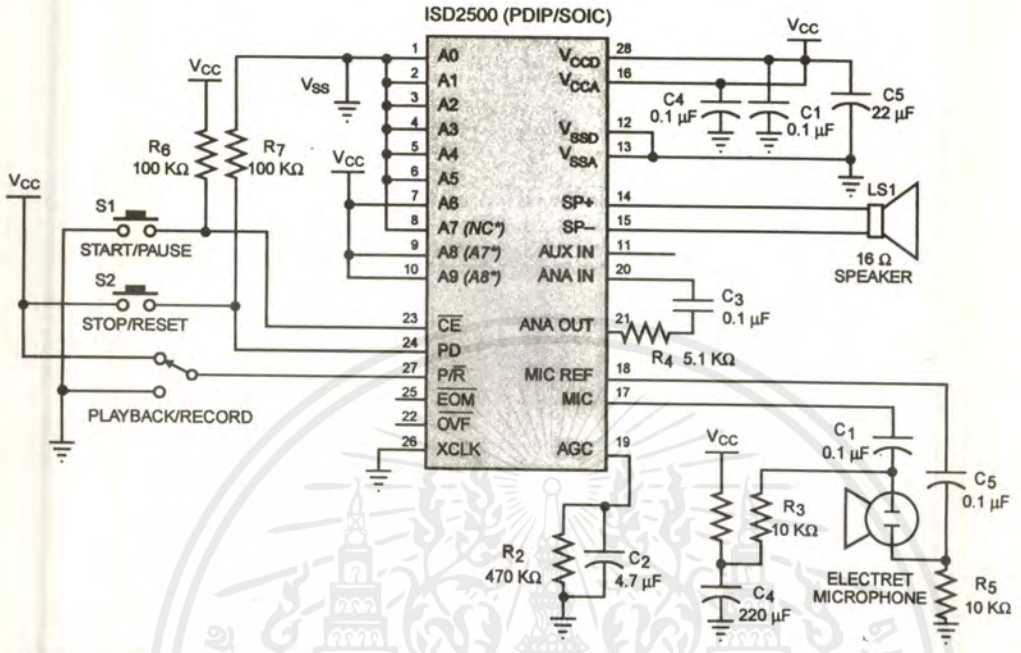
ISD2500 APPLICATION EXAMPLE – MICROCONTROLLER/ISD2500 INTERFACE



NOTES: * *Pin identifications for the ISD2532/40/48/64 devices which differ from those of the ISD2560/75/90/120 devices are indicated.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISD2500 APPLICATION EXAMPLE – PUSH-BUTTON



NOTES: * *Pin identifications for the ISD2532/40/48/64 devices which differ from those of the ISD2560/75/90/120 devices are indicated.*

** *For more details, please refer to the ISD Application Notes and Design Manual.*

APPLICATION EXAMPLE – PUSH-BUTTON CONTROL

Control Step	Function	Action
1	Select Record/Playback mode	P/$\overline{R}$ = As desired
2A	Begin Playback	P/$\overline{R}$ = HIGH $\overline{CE}$ = Pulsed LOW
2B	Begin Record	P/$\overline{R}$ = LOW $\overline{CE}$ = Pulsed LOW
3	Pause Record or Playback	$\overline{CE}$ = Pulsed LOW
4A	End Payback	Automatic at EOM marker or PD = Pulsed HIGH
4B	End Record	PD = Pulsed HIGH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION EXAMPLE – PASSIVE COMPONENT FUNCTIONS

Part	Function	Comments
R2	Release time constant	Sets release time for AGC
R4	Series limiting resistor	Reduces level to prevent distortion at higher supply voltages
R6, R7	Pull-up and pull-down resistors	Defines static state of inputs
C1, C4, C5	Power supply capacitors	Filters and bypass of power supply
C2	Attack/Release time constant	Sets attack/release time for AGC
C3	Low-frequency cutoff capacitor	Provides additional pole for low-frequency cutoff

1

PUSH-BUTTON PARAMETERS

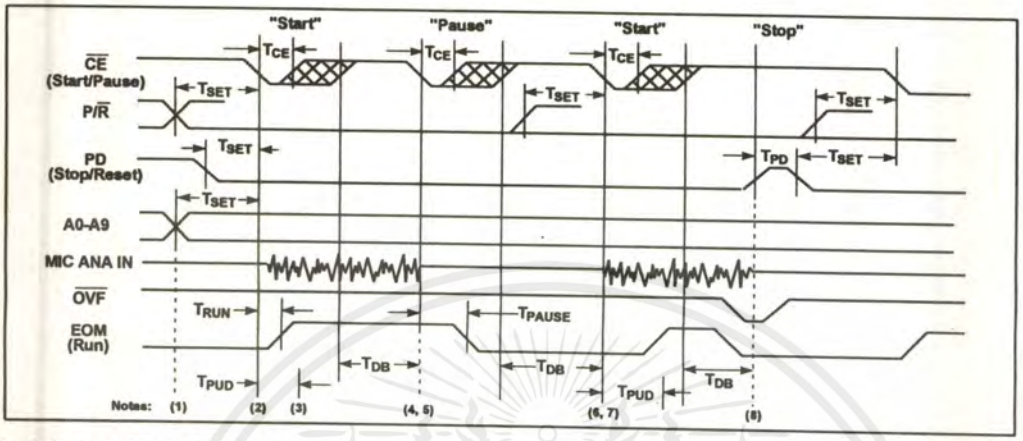
Symbol	Characteristic		Min	Typ (1)	Max	Units	Conditions
T_{CE}	$\overline{CE}$ Pulse Width [Start/Pause]			300		nsec	
T_{SET}	Control/Address Setup Time			300		nsec	
T_{PUD}	Power-Up Delay	— *ISD2532**		25		msec	
		— *ISD2540**		31.25		msec	
		— *ISD2548**		37.25		msec	
		— *ISD2564**		50.0		msec	
		— ISD2560		25		msec	
		— ISD2575		31.25		msec	
		— ISD2590		37.25		msec	
		— ISD25120		50.0		msec	
T_{PD}	PD Pulse Width [Stop/Reset]			300		nsec	
T_{RUN}	$\overline{CE}$ to $\overline{EOM}$ HIGH		25		400	nsec	
T_{PAUSE}	$\overline{CE}$ to $\overline{EOM}$ LOW		50		400	nsec	
T_{DB}	$\overline{CE}$ HIGH Debounce	— *ISD2532**	70		105	msec	
		— *ISD2540**	85		135	msec	
		— *ISD2548**	105		160	msec	
		— *ISD2564**	135		215	msec	
		— ISD2560	70		105	msec	
		— ISD2575	85		135	msec	
		— ISD2590	105		160	msec	
		— ISD25120	135		215	msec	

 * *Advance information: ISD2532/40/48/64 devices.*

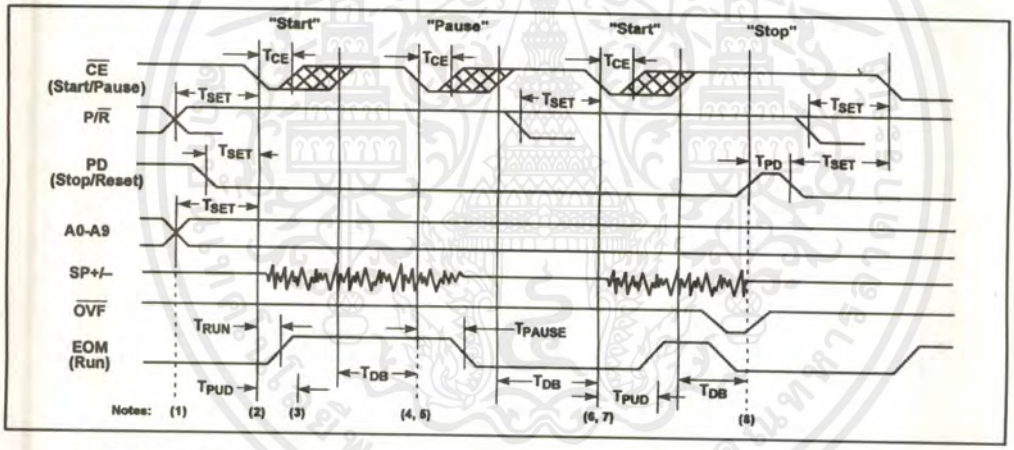
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING DIAGRAMS

Push-Button Mode Record



Push-Button Mode Playback



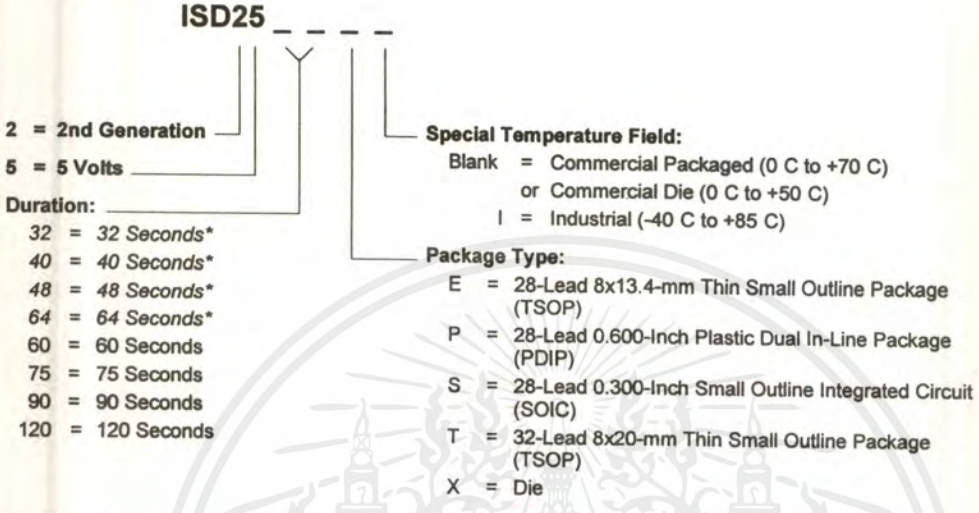
NOTES:

1. *A9, A8, and A6 = 1 for push-button operation.*
2. *The first $\overline{CE}$ LOW pulse performs a Start function.*
3. *The part will begin to play or record after a power-up delay T_{PUD}.*
4. *The part must have $\overline{CE}$ HIGH for a debounce period TDB before it will recognize another falling edge of $\overline{CE}$ and pause.*
5. *The second $\overline{CE}$ LOW pulse, and every even pulse thereafter, performs a Pause function.*
6. *Again, the part must have $\overline{CE}$ HIGH for a debounce period TDB before it will recognize another falling edge of $\overline{CE}$, which would restart an operation. In addition, the part will not do an internal power down until $\overline{CE}$ is HIGH for the TDB time.*
7. *The third $\overline{CE}$ LOW pulse, and every odd pulse thereafter, performs a Resume function.*
8. *At any time, a HIGH level on PD will stop the current function, reset the address counter, and power down the device.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Product Number Descriptor Key



1

When ordering ISD2500 Series devices, please refer to the following valid part numbers.

Part Number	Part Number	Part Number	Part Number
ISD2560E	ISD2575E	ISD2590E	ISD25120P
ISD2560EI	ISD2575EI	ISD2590P	ISD25120X
ISD2560P	ISD2575P	ISD2590S	
ISD2560PI	ISD2575PI	ISD2590T	
ISD2560S	ISD2575S	ISD2590X	
ISD2560SI	ISD2575SI		
ISD2560T	ISD2575T		
ISD2560TI	ISD2575TI		
ISD2560X	ISD2575X		

For the latest product information, access ISD's worldwide website at http://www.isd.com.

 * *Advance information: ISD2532/40/48/64 devices.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้จัดทำโครงงานต้องขอขอบพระคุณอาจารย์ อภิเนตร อูนากูล ซึ่งเป็นอาจารย์ที่ปรึกษาโครงงานเป็นอย่างสูงที่สุดที่ได้ให้หัวข้อโครงงานทั้งยังให้คำแนะนำต่าง ๆ ที่เป็นประโยชน์ต่อการทำโครงงานนี้ ทั้งนี้ยังต้องขอขอบพระคุณบริษัท NU-ERA จำกัด ซึ่งได้อภินันทนาการ อุปกรณ์อิเล็กทรอนิกส์ จึงทำให้โครงงานนี้ดำเนินและสำเร็จลุล่วงไปด้วยดี

วิสุทธิ์ แก้วทอง
ธีรพงษ์ ศิวะอางกูร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. RONALD J.TOCCI "DIGITAL SYSTEMS PRINCIPLES AND APPLICATIONS", SIXTH EDTION, PRENTICE HALL INC.,1977
2. สุเจตน์ จันทรังษ์, "ไมโครคอนโทรลเลอร์ซีพเดี่ยว 8051", โครงการตำราวิชาการ วิทยาลัยมหานคร
3. http://www.amd.com/html/products/nvd.html
4. http://www.atmel.com
5. http://www.isd.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้