เครื่องส่งและเครื่องรับสัญญาณชนิด 8 – PSK ความเร็ว 32 kbps

32 kbps , 8 – PSK Transmitter and Receiver

โดย

นาย กิติศักดิ์ ศิริวรรณ

นาย เจริญเกียรติ โพธิ์ชัยยะ

เลขเรียกหนังสือ ปพ ก๓๖๔ ๒๕๔๒

เลขทะเบียน 041807

วันเดือนปี 21 11 43

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ 041807

เครื่องส่งและเครื่องรับสัญญาณชนิด 8 – PSK ความเร็ว 32 kbps

32 kbps , 8 – PSK Transmitter and Receiver

โดย

นาย กิติศักดิ์ ศิริวรรณ 40013001

นาย เจริญเกียรติ โพธิ์ชัยยะ 40013004

อาจารย์ที่ปรึกษา

รศ.ดร.กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องส่งและเครื่องรับสัญญาณชนิด 8 – PSK ความเร็ว 32 kbps**

32 kbps, 8 – PSK Transmitter and Receiver

ผู้จัดทำ

1. นาย กิติศักดิ์ ศิริวรรณ 40013001

2. นาย เจริญเกียรติ โพธิ์ชัยยะ 40013004

.....อาจารย์ที่ปรึกษา

(รศ.ดร.กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่งและเครื่องรับสัญญาณชนิด 8 – PSK ความเร็ว 32 kbps

32 kbps, 8 – PSK Transmitter and Receiver

โดย นาย กิติศักดิ์ ศิริวรรณ 40013001

นาย เจริญเกียรติ โพธิ์ชัยยะ 40013004

อาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอ เครื่องส่ง และ เครื่องรับสัญญาณ โดยการมอดูเลทางเฟสแบบ 8 - PSK ซึ่งเป็นเทคนิคการมอดูเลทแบบ M – ary encoding technique ที่มี M = 8 ทำการส่งข้อมูลผ่านสายโคแอคเชียล ด้วยความเร็ว 32 kbps โดยการนำข้อมูลดิจิตอลที่เข้ามาครั้งละ 3 บิตมาเข้ารหัส จากนั้นสัญญาณจะถูกมอดูเลทกับสัญญาณพาหะ ด้วยเทคนิคนี้จะทำให้เฟสของสัญญาณพาหะเปลี่ยนแปลงไปได้ 8 ค่า ซึ่งวิธีนี้จะทำให้แบนวิดธ์ในการส่งสัญญาณมีขนาดเล็ก

ABSTRACT

This project is a presentation of both transmitter and receiver which their phases are modulated by 8- PSK. 8- PSK is some sorts of M-ary encoding techniques for M=8. Digital data is transmitted into a 75 ohm coaxial cable with speed around 32 kbits /sec. 8-PSK digital transmission will use 3 bits of digital data for each time when it is modulated with a carrier signal. Eventually, its result become a carrier signal that has 8 different phases. Therefore, this technique can reduce the bandwidth of transmission.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย

บทคัดย่อภาษาอังกฤษ

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีที่เกี่ยวข้อง 2

2.1 พัลซ์โค๊ดมอดูเลชันพื้นฐาน 2

2.2 เทคนิคมอดูเลชันพื้นฐาน 5

2.3 เฟสชิพคีอิ้ง 6

2.4 8 – PSK 8

2.5 ภาครับสัญญาณ 8 – PSK 17

2.6 วงจรกรองความถี่ 18

2.6.1 วงจรกรองความถี่ต่ำผ่าน 19

2.6.2 วงจรกรองความถี่สูงผ่าน 20

2.6.3 วงจรกรองแถบความถี่ 21

2.6.4 วงจรกรองกำจัดแถบความถี่ 22

2.6.5 วงจรกรองผ่านทุกแถบความถี่ 22

2.7 เฟสล็อคลูป 23

บทที่ 3 การออกแบบวงจร 28

3.1 การออกแบบวงจรทางด้านภาคส่ง 28

3.1.1 การสร้างสัญญาณพัลซ์แคบๆ โดยไอซีมัลติไวเบรเตอร์ 29

3.1.2 วงจรแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรมและสร้างบิทเริ่มต้นและบิทสิ้นสุด 30

3.1.3 ภาคแปลงข้อมูลอนุกรมเป็นข้อมูลแบบขนานขนาด 3 บิท 31

3.1.4 วงจรแปลงข้อมูลดิจิตอล 2 ระดับเป็นข้อมูลอนาลอก 4 ระดับ 32

3.1.5 วงจรบาลานซ์มอดูเลเตอร์ 33

3.1.6 วงจรรวมสัญญาณ 34

3.1.7 วงจรเลื่อนเฟส 90 องศา 35

3.1.8 วงจรขยายสัญญาณผลต่าง 36

3.1.9 วงจรออสซิลเลเตอร์กำเนิดสัญญาณนำร่อง 39

3.1.10 วงจรยกกำลังสอง 40

3.1.11 วงจรกำเนิดสัญญาณนาฬิกา 32 kHz 41

3.2 การออกแบบวงจรและการทดลองทางด้านภาครับ 42

3.2.1 วงจรกรองช่วงความถี่ 43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

3.2.2 วงจรบาลานซ์ดีมอดูเลเตอร์ 44
3.2.3 วงจรกรองความถี่สูงผ่านความถี่ 256 kHz 46
3.2.4 วงจรกรองความถี่ต่ำผ่านความถี่ 256 kHz 47
3.2.5 วงจรกรองข้อมูลความถี่ต่ำผ่านความถี่ 15 kHz 48
3.2.6 วงจรกรองแถบความถี่ผ่านความถี่ 128 kHz 49
3.2.7 วงจรกู้สัญญาณนาฬิกาความถี่ 32 kHz 50
3.2.8 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 50
3.2.9 วงจรแปลงข้อมูลขนาน 3 บิทเป็นข้อมูลอนุกรม 51
3.2.10 วงจรแปลงข้อมูลอนุกรมเป็นข้อมูลแบบขนาน 51
บทที่ 4 การทดลองและผลการทดลอง 53
4.1 จุดประสงค์การทดลอง 53
4.2 ผลการทดลองทางด้านภาคส่ง 53
4.3 ผลการทดลองทางด้านภาครับ 62
บทที่ 5 สรุปผลการทดลองและข้อเสนอแนะ 67
ภาคผนวก
กิตติกรรมประกาศ
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.14 วงจรกรองช่วงความถี่ผ่านป้อนกลับแบบบวก 44
รูปที่ 3.15 วงจรบาลานซ์คีมอคูเลเตอร์ 45
รูปที่ 3.17 วงจรกรองความถี่สูงผ่านความถี่ 256 kHz 46
รูปที่ 3.17 กราฟผลตอบสนองของวงจรกรองความถี่สูงผ่าน 256 kHz 46
รูปที่ 3.18 วงจรกรองความถี่ต่ำผ่านความถี่ 256 kHz 47
รูปที่ 3.19 กราฟผลตอบสนองของวงจรกรองความถี่ต่ำผ่าน 256 kHz 47
รูปที่ 3.20 วงจรกรองข้อมูลความถี่ต่ำผ่าน 15 kHz 48
รูปที่ 3.21 กราฟผลตอบสนองของวงจรกรองข้อมูลความถี่ต่ำผ่าน 15 kHz 48
รูปที่ 3.22 วงจรกรองแถบความถี่ผ่านความถี่ 128 kHz 49
รูปที่ 3.23 กราฟผลตอบสนองของวงจรกรองแถบความถี่ 128 kHz 49
รูปที่ 3.24 วงจรกู้สัญญาณนาฬิกา 50
รูปที่ 3.25 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 51
รูปที่ 3.26 วงจรแปลงข้อมูลขนานเป็นข้อมูลอนุกรมและวงจรแปลงข้อมูลอนุกรมเป็นข้อมูลแบบขนาน 52
รูปที่ 4.1 สัญญาณพาหะไซน์ความถี่ 256 kHz ที่แชนแนลที่ 2 และสัญญาณโคไซน์ความถี่ 256 kHz ที่แชนแนลที่ 1 53
รูปที่ 4.2 สัญญาณพาหะไซน์ความถี่ 256 kHz ที่แชนแนลที่ 2 และสัญญาณโคไซน์ที่แชนแนลที่ 1 วัดโดยใช้ X – Y ออสซิลโลสโคป 54
รูปที่ 4.3 สัญญาณนำร่องความถี่ 128 kHz ที่แชนแนลที่ 1 54
รูปที่ 4.4 รูปสัญญาณนำร่อง 128 kHz (แชนแนลที่ 1) ที่ป้อนเข้าวงจรยกกำลังสองเทียบกับสัญญาณพาหะ 256 kHz ที่เอาท์พุตของวงจรยกกำลังสอง (แชนแนลที่ 2) 55
รูปที่ 4.5 สัญญาณนาฬิกาความถี่ 32 kHz ที่ใช้ในการเลื่อนข้อมูลที่แชนแนลที่ 1 55
รูปที่ 4.6 สัญญาณนาฬิกา 32 kHz ที่สร้างจากสัญญาณนำร่องที่แชนแนลที่ 1 เปรียบเทียบกับสัญญาณนำร่องความถี่ 128 kHz 56
รูปที่ 4.7 สัญญาณเปรียบเทียบระหว่างสัญญาณนาฬิกาความถี่ 32 kHz ที่แชนแนลที่ 2 และสัญญาณข้อมูลที่ออกมาจากเอาท์พุตของวงจรกำเนิดสัญญาณข้อมูลความเร็ว 32 kbps ที่แชนแนลที่ 1 56
รูปที่ 4.8 สัญญาณควบคุมที่ขาเคลียร์ของ 74LS175 ตัวที่ 1 ที่แชนแนลที่ 1 และรูปข้อมูลแบบอนุกรมที่สร้างบิตเริ่มต้นและบิตสิ้นสุดที่แชนแนลที่ 2 57
รูปที่ 4.9 สัญญาณที่วัดเทียบระหว่างข้อมูล Q ที่แชนแนลที่ 1 และข้อมูล I ที่แชนแนลที่ 2 ที่มีการเลื่อนบิตเพื่อส่งข้อมูลให้อินพุตของ 74 LS175 ตัวที่ 2ดึงข้อมูล 3 บิต Q,I,C ไปเข้ารหัส 57
รูปที่ 4.10 สัญญาณข้อมูล I (แชนแนลที่ 1) กับสัญญาณข้อมูล C (แชนแนลที่ 2) ที่เอาท์พุตของ 74LS175 ที่ป้อนเข้าวงจรแปลงสัญญาณจาก 2 ระดับเป็นสัญญาณ 4 ระดับ 58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.11 สัญญาณข้อมูล Q (แชนแนลที่ 1) กับสัญญาณข้อมูล $\bar{c}$ (แชนแนลที่ 2) ที่เอาท์พุตของ 74LS175 ที่ป้อนเข้าวงจรแปลงสัญญาณจาก 2 ระดับเป็นสัญญาณ 4 ระดับ 58
รูปที่ 4.12 ข้อมูลอนาลอก 4 ระดับด้าน I (แชนแนลที่ 1) ด้าน Q (แชนแนลที่ 2) 59
รูปที่ 4.13 สัญญาณเอาท์พุตของวงจรบาลานซ์มอดูเลเตอร์ทางด้าน Q (แชนแนลที่ 1) ด้าน I (แชนแนลที่ 2) 59
รูปที่ 4.14 สัญญาณเอาท์พุตของวงจรบาลานซ์มอดูเลเตอร์ทางด้าน Q (แชนแนลที่ 1) ด้าน I (แชนแนลที่ 2) 60
รูปที่ 4.15 รูปสัญญาณพาหะ 256 kHz (แชนแนลที่ 1) เทียบกับสัญญาณเข้ารหัส 8 – PSK (แชนแนลที่ 2) 60
รูปที่ 4.16 สัญญาณเอาท์พุต 8 – PSK (แชนแนลที่ 1) และสเปกตรัมของสัญญาณ 8 – PSK (แชนแนลที่ 2) 61
รูปที่ 4.17 สัญญาณ 8 – PSK ทำการพล็อตในแกน X – Y เทียบกับสัญญาณโคไซน์ 61
รูปที่ 4.18 รูปสัญญาณเข้ารหัส 8 – PSK รวมกับสัญญาณนำร่อง 128 kHz (แชนแนลที่ 1) และสเปกตรัมของสัญญาณ (แชนแนลที่ 2) 62
รูปที่ 4.19 รูปสัญญาณนำร่อง 128 kHz ที่ผ่านวงจรกรองแถบความถี่ที่ภาครับ (แชนแนลที่ 2 และสัญญาณพาหะ 256 kHz ที่เป็นเอาท์พุตของวงจรยกกำลังสอง (แชนแนลที่ 1) 62
รูปที่ 4.20 รูปสัญญาณพาหะ 256 kHz ที่ภาคส่ง (แชนแนลที่ 1) เทียบกับสัญญาณพาหะ 256 kHz ที่ภาครับ (แชนแนลที่ 2) 63
รูปที่ 4.21 รูปสัญญาณนำร่อง 128 kHz ที่ส่งมาจากทางภาคส่ง (แชนแนลที่ 1) เทียบกับ สัญญาณนำร่อง 128 kHz ที่ผ่านวงจรกรองแถบความถี่ผ่านทางด้านรับ (แชนแนลที่ 2) 63
รูปที่ 4.22 รูปสัญญาณ 4 ระดับด้าน I แชนแนล สัญญาณ 4 ระดับทางภาคส่ง (แชนแนลที่ 1) และสัญญาณ 4 ระดับทางภาครับ (แชนแนลที่ 2) 64
รูปที่ 4.23 รูปสัญญาณ 4 ระดับด้าน Q แชนแนล สัญญาณ 4 ระดับทางภาคส่ง (แชนแนลที่ 1) และสัญญาณ 4 ระดับทางภาครับ (แชนแนลที่ 2) 64
รูปที่ 4.24 รูปสัญญาณ 4 ระดับทางภาครับด้าน I แชนแนล (แชนแนลที่ 1) ด้าน Q แชนแนล (แชนแนลที่ 2) 65
รูปที่ 4.25 รูปสัญญาณข้อมูลบิต I แชนแนล (แชนแนล R1) บิต C (แชนแนลที่ 1) บิต Q (แชนแนลที่ 2) 65
รูปที่ 4.26 รูปข้อมูลดิจิตอล 10 บิตทางภาคส่ง (แชนแนลที่ 1) และข้อมูลดิจิตอล 10 บิต ทางภาครับ (แชนแนลที่ 2) 66
รูปที่ 4.27 รูปข้อมูลดิจิตอล 10 บิตทางภาคส่ง (แชนแนลที่ 1) และข้อมูลดิจิตอล 10 บิต ทางภาครับ (แชนแนลที่ 2) 66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 การจัดระดับสัญญาณที่ผ่านการแซมปลิ้งและโฮล	3
ตารางที่ 2.2 การเข้ารหัสสัญญาณ PAM	4
ตารางที่ 2.3 แถบความถี่ที่ต้องการใช้ในทางทฤษฎีของ M – ary PSK แบบต่างๆ	7
ตารางที่ 2.4 แสดงระดับของสัญญาณแรงดันเอาท์พุตที่ภาค I – Q Channel 2 to 4 Level	9
ตารางที่ 2.5 แสดงลักษณะข้อมูลและเฟสต่างๆของสัญญาณ 8 – PSK	10
ตารางที่ 2.6 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลทต่างๆ	15
ตารางที่ 2.7 สรุปข้อแตกต่างของ FSK , PSK , QAM	16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การสื่อสารในปัจจุบันมีด้วยกันหลายแบบ โดยได้นำเอาหลักการมอดูเลทสัญญาณข่าวสารกับคลื่นพาห์มาใช้ หลักการของการมอดูเลทนั้นมีอยู่ด้วยกันหลายวิธี แต่ที่นิยมนำมาใช้ในการรับ-ส่งข่าวสารคือการมอดูเลทสัญญาณแบบดิจิตอล (Digital Modulation) เพราะว่าการมอดูเลทแบบดิจิตอลนั้นมีความน่าเชื่อถือสูงกว่าแบบอนาลอก และยังมีการรบกวนอันเนื่องมาจากสัญญาณรบกวน (Noise) ต่ำ ทำให้การรับ-ส่งข้อมูลมีการผิดพลาดน้อย การมอดูเลทแบบดิจิตอลมีอยู่ด้วยกัน 3วิธีใหญ่ๆคือ

1.การเปลี่ยนแปลงเชิงขนาด (Amplitude Shift Keying:ASK) รูปของสัญญาณที่ได้จากการมอดูเลท ที่ระดับสัญญาณลอจิก "0" สัญญาณที่ได้จะมีขนาดเป็น "0" และจะมีขนาดเปลี่ยนแปลงไปตามคลื่นพาห์(Carrier) เมื่อระดับลอจิกมีสถานะเป็น "1"

2.การเปลี่ยนแปลงเชิงความถี่ (Frequency Shift Keying:FSK) เป็นการมอดูเลทสัญญาณดิจิตอลโดยการการเปลี่ยนความถี่ของคลื่นพาห์ตามขนาดสัญญาณข้อมูลที่เป็นพัลส์ (สัญญาณดิจิตอล) รูปของสัญญาณที่ได้จากการมอดูเลทที่ระดับลอจิก "1" จะมีความถี่สูงกว่าระดับลอจิก "0" ซึ่งวิธีนี้มีอัตราการส่งข้อมูลต่ำ

3.การเปลี่ยนแปลงเชิงเฟส (Phase Shift Keying:PSK) เป็นการมอดูเลทที่มีสัญญาณคลื่นพาห์ที่เอาท์พุทมีความถี่เดียว และมีขนาดแอมปลิจูดคงที่ รูปคลื่นของสัญญาณที่ได้จากการมอดูเลท จะมีการเปลี่ยนเฟสของสัญญาณแทนข้อมูลที่เป็นดิจิตอล จำนวนเฟสที่เปลี่ยนแปลงไปนั้น จะขึ้นอยู่กับชนิดของการมอดูเลท เช่นในแบบ PSK หรือ BPSK จะมีการเปลี่ยนแปลงเฟสไปมาอยู่สอง เฟส คือข้อมูลบิท "0" สัญญาณคลื่นพาห์จะมีเฟสเปลี่ยนไป 180 องศา และข้อมูลบิท "1" เฟสของสัญญาณคลื่นพาห์ที่ได้จะไม่มีการเปลี่ยนแปลง นั่นคือมีเฟสเป็น 0 องศา

สำหรับโครงงานฉบับนี้จะเป็นการนำเสนอการรับ-ส่งข้อมูล โดยใช้วิธีการมอดูเลทสัญญาณดิจิตอลแบบ 8 – PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

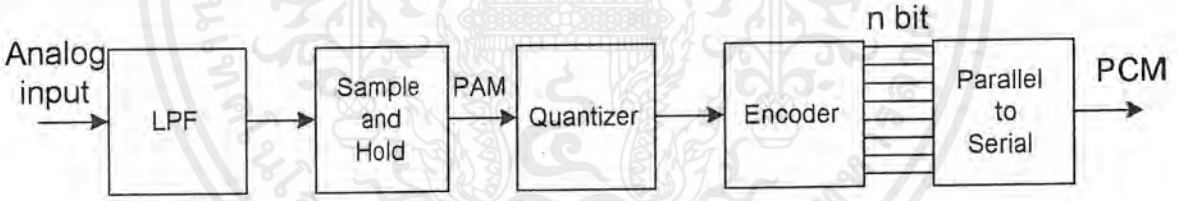
บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

2.1พัลส์โค้ดมอดูเลชั่น (Pulse Code Modulation)

พัลส์โค้ดมอดูเลชั่น หรือที่เรียกย่อๆว่า PCM เป็นระบบที่ใช้ในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลโดยใช้ทฤษฎีการสุ่มตัวอย่าง โดยการนำสัญญาณ PAM (Pulse Amplitude Modulation) ที่ได้จากการสุ่มตัวอย่างมาทำการแปลงให้เป็นสัญญาณที่เหมาะกับการส่งของระบบมากขึ้นทั้งนี้เพราะสัญญาณ PAM นั้นเมื่อทำการส่งผ่านเข้าไปในระบบ จะประสบกับปัญหาที่เกิดจากการผิดเพี้ยนของสัญญาณเกิดขึ้น ซึ่งจะเป็นผลทำให้สเปกตรัมของสัญญาณเบสแบนด์ที่ปลายทางเกิดการผิดเพี้ยนไปจากเดิม และเมื่อทำการดีมอดูเลท (Demodulate) ด้วยวงจรกรองความถี่ต่ำผ่านแล้ว สัญญาณที่ดีมอดูเลทได้ก็จะผิดเพี้ยนไปจากสัญญาณเดิมอย่างหลีกเลี่ยงไม่ได้ เราจึงต้องมีการจัดการกับสัญญาณ PAM ก่อนที่จะทำการส่งเข้าไปในระบบ โดยการนำสัญญาณ PAM ไปทำการเข้ารหัส (Encoding) ให้ได้เป็นสัญญาณดิจิตอล แล้วจึงนำสัญญาณดิจิตอลที่ได้นั้นผ่านเข้าสู่ระบบต่อไป ในส่วนของภาครับ PCM ก็จะทำการถอดรหัส (Decoding) สัญญาณดิจิตอลที่เข้ามาให้เป็นสัญญาณ PAM แล้วนำสัญญาณ PAM ที่ได้นี้ไปผ่านวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) ก็จะได้สัญญาณเบสแบนด์ (Baseband) กลับคืนมา

2.1.1 ขั้นตอนในการสร้างสัญญาณ PCM

ในระบบการส่งข้อมูลดิจิตอลแบบ PCM นั้น สามารถเขียนเป็นบล็อกไดอะแกรมได้ดัง รูปที่ 2.1



รูปที่ 2.1 ขั้นตอนการสร้างสัญญาณ PCM

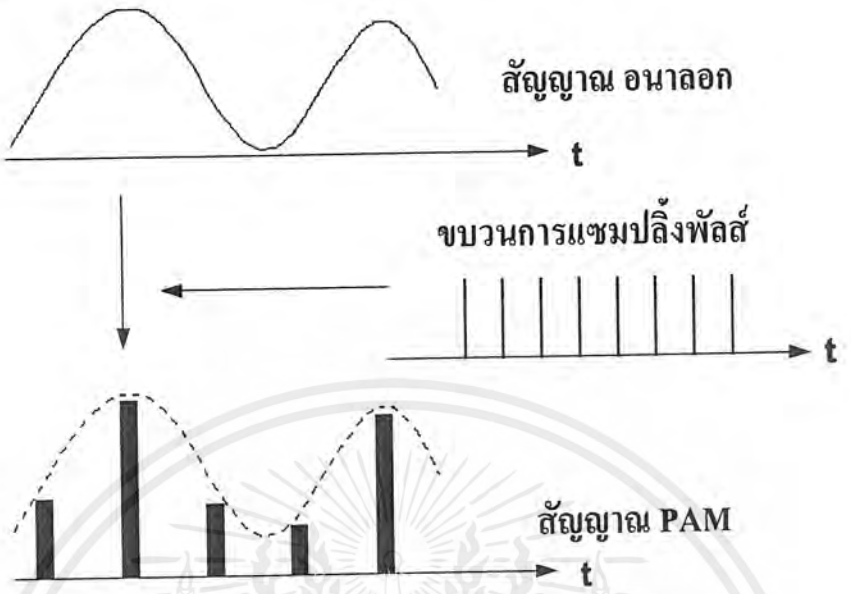
จากรูปเราสามารถอธิบายแยกเป็นบล็อกได้ดังนี้

1.LPF (Lowpass Filter) หรือเรียกว่าวงจรกรองความถี่ต่ำผ่าน ใช้ในการกรองสัญญาณอนาลอก (Analog) ที่เข้ามาให้เป็นสัญญาณอนาลอกที่มีแบนด์วิดท์ที่จำกัด โดยสัญญาณอนาลอกที่เป็นเสียงพูดนั้นมีความถี่อยู่ในช่วง 0.3 – 3.4 kHz จึงต้องใช้วงจรกรองความถี่ต่ำที่มีความถี่คัทออฟประมาณ 4 kHz

2.Sample & Hole ใช้ในการสุ่มสัญญาณอนาลอกที่ผ่านออกมาจากวงจรกรองความถี่ต่ำผ่าน และจะทำการค้างค่าเอาไว้ ซึ่งจะได้สัญญาณที่เป็นแบบ PAM ออกมา โดยความถี่ที่ใช้ในการสุ่ม (Sampling Frequency) จะใช้ความถี่ในการสุ่มมีค่าเท่ากับ $fs \geq 2\,fm$ โดยที่ fm คือความถี่สูงสุดของสัญญาณข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เข้ามา ดังนั้นสัญญาณเสียงพูดจะต้องใช้ความถี่ในการสุ่ม $fs \geq 8kHz$ ลักษณะการแซมปลิ้งและโฮล แสดงดังรูปที่ 2.2



รูปที่ 2.2 แสดงลักษณะการแซมปลิ้งและโฮล

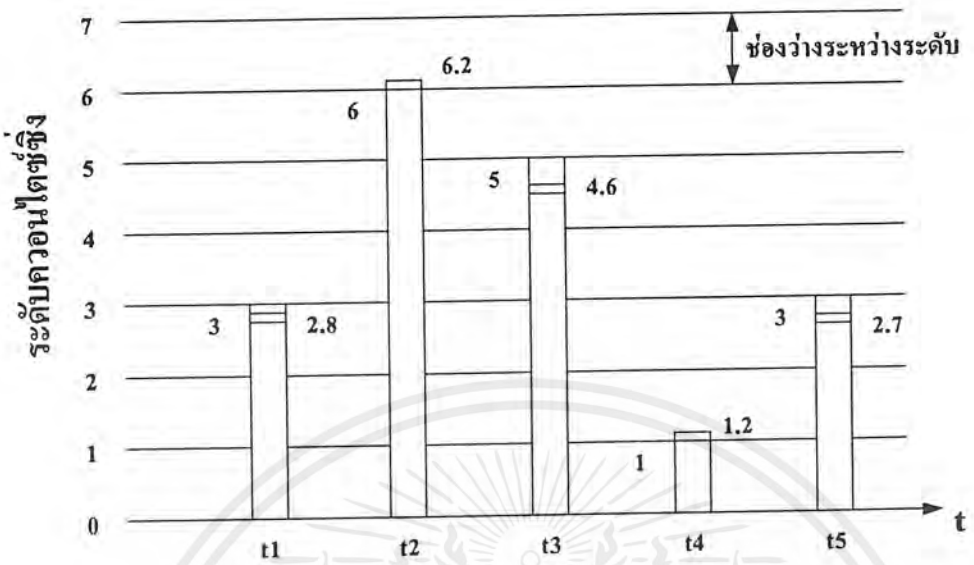
3.Quantizer เป็นการจัดระดับสัญญาณที่ผ่านการแซมปลิ้งและโฮล ออกมาให้มีระดับแรงดันที่แน่นอนตามช่วงสัญญาณที่ได้ทำการออกแบบไว้ เช่น

PAM (Volt)	ระดับแรงดัน
(-0.3) - (-0.2)	-0.25
(-0.2) - (-0.1)	-0.15
(-0.1) – (0)	-0.05
(0) – (0.1)	0.05
(0.1) – (0)	0.15
(0.2) – (0.3)	0.25

ตารางที่ 2.1 การจัดระดับสัญญาณที่ผ่านการแซมปลิ้งและโฮล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะการควอนไตซ์แสดงดังรูปที่ 2.3



รูปที่ 2.3 ลักษณะการควอนไตซ์

4.Encoder เป็นการเข้ารหัสสัญญาณ PAM ที่ได้ทำการควอนไตซ์เรียบร้อยแล้ว ให้เป็นสัญญาณดิจิตอล โดยการเข้ารหัสตามค่าที่เราได้ออกแบบเอาไว้เช่น

ระดับแรงดัน	ดิจิตอล
-0.35	000
-0.25	001
-0.15	010
-0.05	011
0.05	100
0.15	101
0.25	110
0.35	111

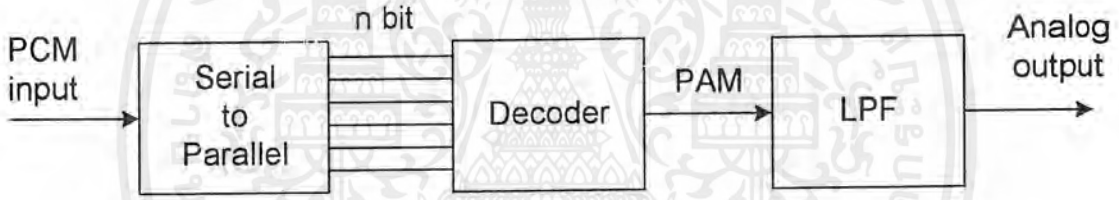
ตารางที่ 2.2 การเข้ารหัสสัญญาณ PAM

โดยจำนวนบิตของสัญญาณดิจิตอลนั้น จะเป็นตัวกำหนดระดับของสัญญาณการควอนไตซ์ โดยมีค่าเท่ากับ 2^n ระดับ โดยค่า n เป็นจำนวนบิตที่เราต้องการ เช่นถ้ารหัสข้อมูลของเรามีค่าเท่ากับ 8 บิต หมายความว่าในการควอนไตซ์จะใช้ 2^8 ซึ่งมีค่าเท่ากับ 256 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.Parallel to Serial Converter เป็นการแปลงสัญญาณดิจิตอลจากขนานเป็นอนุกรม โดยข้อมูลดิจิตอลที่ได้ออกมาจากภาคเข้ารหัส จะเป็นสัญญาณดิจิตอลออกมาครั้งละ n บิต ตามจังหวะของความถี่ของการแซมปลิ้ง ดังนั้นในวงจรเปลี่ยนสัญญาณจากแบบขนานเป็นแบบอนุกรม (Parallel to Serial converter) นั้นจะต้องมีสัญญาณนาฬิกา (Clock) ในการเลื่อนบิตข้อมูล อย่างน้อยเท่ากับจำนวนบิตของข้อมูลคูณกับความถี่ที่ใช้ในการแซมปลิ้ง ($n \times fs$) ก็จะได้สัญญาณ PCM ออกมาซึ่งจะนำไปมอดูเลทกับคลื่นพาห์เพื่อใช้ในการสื่อสารต่อไป

ในการดีมอดูเลทสัญญาณ PCM ที่รับมาได้ก็สามารถที่จะทำได้โดยการย้อนขั้นตอนที่กล่าวมาข้างต้น กล่าวคือ จากสัญญาณ PCM ที่รับมาได้ก็จะทำการถอดรหัสออกมาเป็นสัญญาณ PCM ที่เป็นระดับลงตัว และเมื่อนำสัญญาณ PCM ที่ได้นี้ไปเข้าสู่วงจรกรองความถี่ต่ำผ่านก็จะได้สัญญาณอนาลอกที่มีค่าใกล้เคียงกับสัญญาณเดิมออกมา ที่กล่าวว่าใกล้เคียงกับสัญญาณเดิมก็เพราะว่า PAM ที่ได้จากการถอดรหัสนั้นจะมีระดับสัญญาณที่ไม่เท่ากับสัญญาณเดิมก็ได้ ลักษณะการผิดเพี้ยนที่เกิดขึ้นนี้จะเหมือนกับการเกิดสัญญาณรบกวนขึ้นในระบบแล้ว ทำให้ระดับของสัญญาณเปลี่ยนแปลงไป บล็อกไดอะแกรมภาครับแสดงได้ดังรูปที่ 2.4



รูปที่ 2.4 การดีมอดูเลทสัญญาณ PCM

จากบล็อกไดอะแกรมในรูปที่ 2.4 สัญญาณที่เข้ามาจะถูกแปลงจากอนุกรมเป็นขนาน ซึ่งมีจำนวนบิตเท่ากันกับที่ภาคส่ง จากนั้นก็จะส่งเข้าสู่ภาค ถอดรหัส (Decoder) ได้สัญญาณ PAM ออกมา ซึ่งระดับของสัญญาณ PAM ที่ได้จากภาคถอดรหัสจะต้องมีความสัมพันธ์กันกับที่ภาคส่ง จากนั้นก็จะส่งเข้าสู่วงจรกรองความถี่ต่ำผ่าน ซึ่งมีจุดตัดของความถี่ (Cut Off Frequency) เท่ากับความถี่สูงสุดของสัญญาณอินพุตที่ภาคส่ง ก็จะได้สัญญาณข้อมูลที่เป็นสัญญาณอนาลอกที่ต้องการออกมา

2.2 เทคนิคการมอดูเลชั่นพื้นฐาน

การมอดูเลชั่น คือกระบวนการที่ทำให้พารามิเตอร์ของสัญญาณคลื่นพาห์ ตั้งแต่หนึ่งอย่างหรือมากกว่านั้น แปรตามลักษณะของข่าวสารที่เข้ามา คลื่นพาห์ที่เราใช้มักจะอยู่ในรูปของสัญญาณไซนูซอยด์ (Sinusoidal) ที่มีพารามิเตอร์ที่สามารถเปลี่ยนแปลงได้ 3 ตัว คือ ขนาด ความถี่ และเฟส โดยความสัมพันธ์ของทั้งสามตัวสามารถแสดงได้ดังสมการ

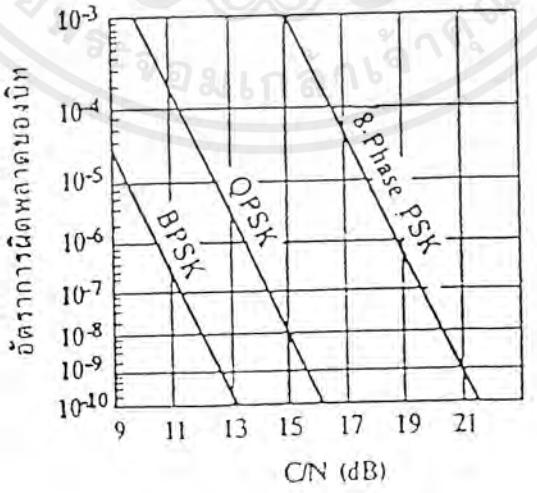
$$Ec(t) = A \times \sin(\omega_c t + \theta) \qquad (2.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มอดูเลชั่น	แถบความถี่ที่ใช้ในทางทฤษฎี
BPSK	1 b/s/Hz
QPSK	2 b/s/Hz
8-PSK	3 b/s/Hz
16-PSK	4 b/s/Hz
32-PSK	5 b/s/Hz

ตารางที่ 2.3 แถบความถี่ที่ต้องการใช้ในทางทฤษฎีของ M-ary PSK แบบต่างๆ

จากตารางที่ 2.3 จะเห็นว่าประสิทธิภาพทางแถบความถี่ของสัญญาณ BPSK มีค่าเท่ากับแบนวิดธ์ของสัญญาณดิจิตอลเบสแบนด์ คือที่แถบความถี่ 1 Hz สามารถส่งข้อมูลได้เพียงความเร็ว 1 บิตต่อวินาที ซึ่งถือว่าประสิทธิภาพต่ำจึงไม่ค่อยนิยมนำมาใช้งาน แต่ในระบบ M – ary PSK ที่มีอันดับสูงกว่าจะมีประสิทธิภาพทางแถบความถี่ที่สูงกว่ามาก แต่ความซับซ้อนของวงจรก็จะมากตามไปด้วย และต้องการค่า C/N (Carrier to Noise Ratio) ที่สูงกว่า เพื่อลดค่าความผิดพลาดของการส่งข้อมูล (Bit Error Rate) ซึ่งค่าเปรียบเทียบกันระหว่าง 8 – PSK, QPSK และ BPSK แสดงดังรูปที่ 2.6



รูปที่ 2.6 เปรียบเทียบอัตราการผิดพลาดของบิตของ PSK แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

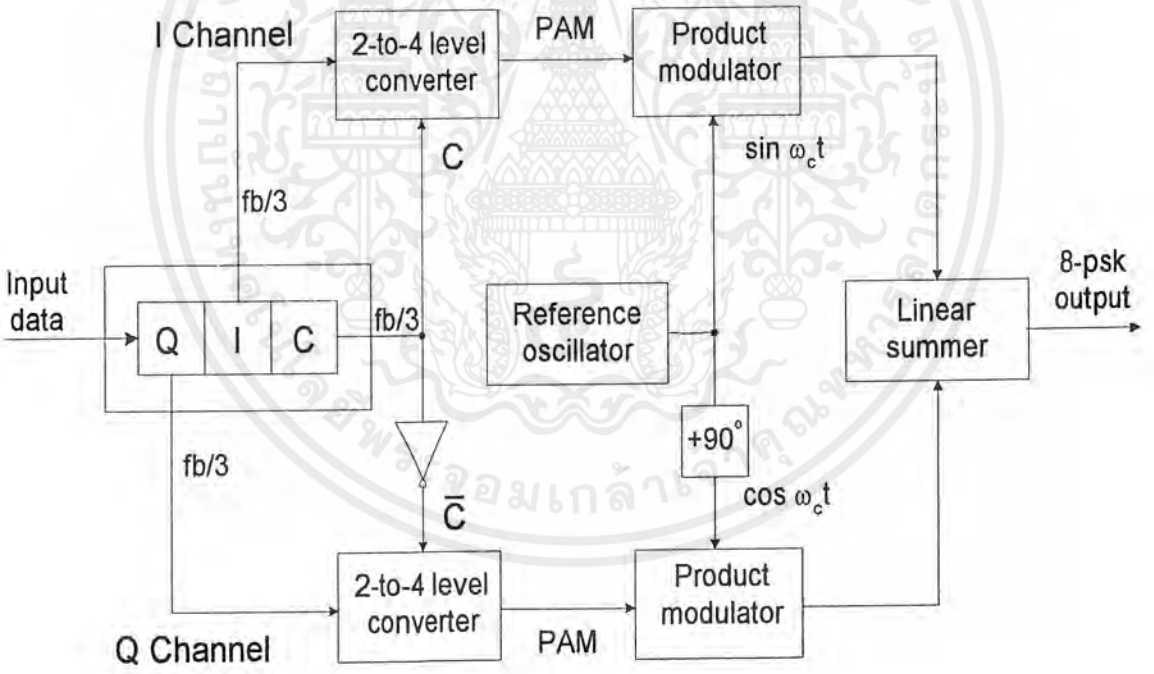
รูปที่ 2.6 เป็นกราฟที่เปรียบเทียบกันระหว่างอัตราการผิดพลาดของข้อมูลของการมอดูเลทระหว่าง 8 – PSK,QPSK และ BPSK ซึ่งจะเห็นว่าระบบที่มีการเปลี่ยนแปลงเฟสมากจะมีความผิดพลาดของข้อมูลมากกว่าระบบที่มีการแยกเฟสน้อย ซึ่งอาจจะต้องแก้ไขโดยการเพิ่มกำลังส่งให้มากขึ้น

2.4 8 – PSK

8 – PSK เป็นเทคนิคการมอดูเลทแบบเอ็ม – อาร์เรย์ (M – ary Encoding Technique) โดยที่ M = 8 โดยการมอดูเลทแบบนี้นั้น ความถี่คลื่นพาห์ที่ได้จะมีการเปลี่ยนเฟส 8 เฟสไปมาตามอินพุตที่เข้ามา ซึ่งในการมอดูเลทจะนำข้อมูลดิจิตอลมาทำการแยกออกเป็น 3 บิตแล้วนำข้อมูลทีละ 3 บิตมาทำการมอดูเลท ลักษณะการมอดูเลทโดยใช้ข้อมูลทีละ 3 บิตนี้บางครั้งเราเรียกลักษณะการมอดูเลทแบบ 8 – PSK ได้อีกอย่างหนึ่งว่า การมอดูเลทแบบ tribit ($2^3 = 8$)

2.4.1 ภาคส่งสัญญาณ 8 – PSK

ลักษณะของบล็อกไดอะแกรมของการมอดูเลทโดยวิธีการแบบ 8 - PSK แสดงดังรูปที่ 2.7



รูปที่ 2.7 บล็อกไดอะแกรมของการมอดูเลทแบบ 8 - PSK

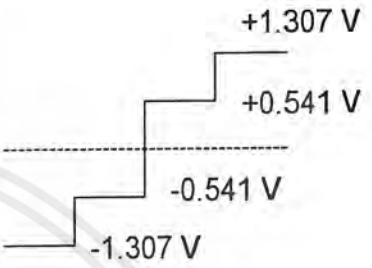
จากรูปที่ 2.7 สัญญาณดิจิตอลที่เป็นข้อมูลอินพุต (bit rate = Fb) ที่เข้ามาจะถูกแยกออกเป็น 3 บิต โดยภาคพาราแรล (Parallel Channel) สัญญาณ Q (Quadrature Channel) และสัญญาณ C (Control Channel) โดยในแต่ละบิตจะมีบิตเรทเป็น 1 ใน 3 ของข้อมูล สัญญาณอินพุตที่รับเข้ามา (bit rate = Fb/3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ I และสัญญาณ C จะเข้าสู่ภาค I – Channel เข้าสู่ภาคแปลงจากสัญญาณดิจิตอล 2 ระดับไปเป็นสัญญาณอนาลอก 4 ระดับ (2 to 4 level Converter) และสัญญาณ Q และ $\bar{C}$ จะเข้าสู่ภาคQ – Channel เข้าสู่ภาคแปลงจากสัญญาณดิจิตอล 2 ระดับไปเป็นสัญญาณอนาลอก 4 ระดับ โดยที่ภาค แปลงจากสัญญาณดิจิตอล 2 ระดับไปเป็นสัญญาณอนาลอก นั้นจะเป็นการเข้ารหัสข้อมูลจากสัญญาณดิจิตอล 2 บิต ไปเป็นสัญญาณอนาลอก 4 ระดับ (Digital to Analog Converters,DACs) ดังตารางที่ 2.4

I	C	Output
0	0	-0.541 V
0	1	-1.307 V
1	0	+0.541 V
1	1	+1.307 V

Q	$\bar{C}$	Output
0	1	-1.307 V
0	0	-0.541 V
1	1	+1.307 V
1	0	+0.541 V



ตารางที่ 2.4 แสดงระดับของแรงดันเอาท์พุตที่ภาค I-Q channel 2 to 4 level

จากตารางที่ 2.4 จะเห็นว่าข้อมูลชุด I – C กับ Q – $\bar{C}$ จะไม่มีทางที่จะมีข้อมูลเหมือนกันได้ เพราะบิต C จะเป็นบิตที่ตรงข้ามกัน เพราะฉนั้นระดับแรงดันอนาลอกที่ได้จากภาค แปลงจากสัญญาณดิจิตอล 2 ระดับไปเป็นสัญญาณอนาลอก 4 ระดับ ทั้งสองชุดก็จะไม่มีทางซ้ำกันเลย ซึ่งสัญญาณอนาลอกที่ได้จะเป็นแบบ M – ary, พัลซ์แอมปลิจูดมอดูเลชั่น (PAM) โดยที่ M = 4 โดยจะมีบิตเรทของสัญญาณเท่ากับครึ่งหนึ่งของบิตเรทข้อมูลดิจิตอลที่เข้ามา เพราะฉนั้นที่จุดนี้จึงมีบิตเรทเท่ากับ Fb/6

ตัวอย่างเช่น เรามีข้อมูลสัญญาณดิจิตอล Q = 0,I = 0 และ C = 0 (ข้อมูล 000) เราจะได้ลักษณะของสัญญาณ 8 – PSK คือ

ข้อมูล I – C เป็น 0 0 จากตารางที่ 2.4 เราจะได้เอาท์พุตเป็น -0.541

ข้อมูล Q – $\bar{C}$ เป็น 0 1 จากตารางที่ 2.4 เราจะได้เอาท์พุตเป็น - 1.307

ระดับแรงดันทั้งสอง จะเข้าภาคการผสมสัญญาณ (Product Modulate) ซึ่งเป็นวงจรคูณ โดยที่ I – Channel จะคูณกับสัญญาณคลื่นพาห์ $\sin \omega_c t$ ส่วนที่ Q – Channel จะคูณกับสัญญาณคลื่นพาห์ที่มีความต่างเฟสกับสัญญาณคลื่นพาห์ที่ I - Channel อยู่ 90 องศา นั่นก็คือ $\cos \omega_c t$ ดังนั้นจะได้สัญญาณทั้งสองด้านคือ

$$I = (-0.541)(\sin \omega_c t) = -0.541 \sin \omega_c t$$

$$Q = (-1.307)(\cos \omega_c t) = -1.307 \cos \omega_c t$$

เมื่อนำสัญญาณทั้งสองมาบวกกัน จะได้เอาท์พุตดังนี้ จากสูตรตรีโกณมิติ

$$A \sin(x+\theta) = a \sin(x) + b \cos(x)$$

ชน
กษเอก
2547
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
041807

โดยที่ $\theta = \tan^{-1} \frac{b}{a}$

$A = \sqrt{a}^{2} + \sqrt{b}^{2}$

ดังนั้น Summer Output = $-0.541 \sin \omega_c t - 1.307 \cos \omega_c t$

$= 1.41 \sin(\omega_c t - 112.5)$

หรือถ้าข้อมูลเป็น 0 1 0 (Q I C) เราจะได้ลักษณะของสัญญาณ 8-PSK คือ

ข้อมูล I – C เป็น 1 0 จากตารางที่ 2.9 เราจะได้เอาท์พุตเป็น +0.541

ข้อมูล Q – $\overline{C}$ เป็น 0 1 จากตารางที่ 2.9 เราจะได้เอาท์พุตเป็น – 1.307

จะได้สัญญาณทั้งสองด้านที่ผ่านการมอดูเลทแล้วคือ

$I = (+0.541)(\sin \omega_c t) = +0.541 \sin \omega_c t$

$Q = (-1.307)(\cos \omega_c t) = -1.307 \cos \omega_c t$

ดังนั้นจะได้สัญญาณที่เอาท์พุต

$= +0.541 \sin \omega_c t - 1.307 \cos \omega_c t$

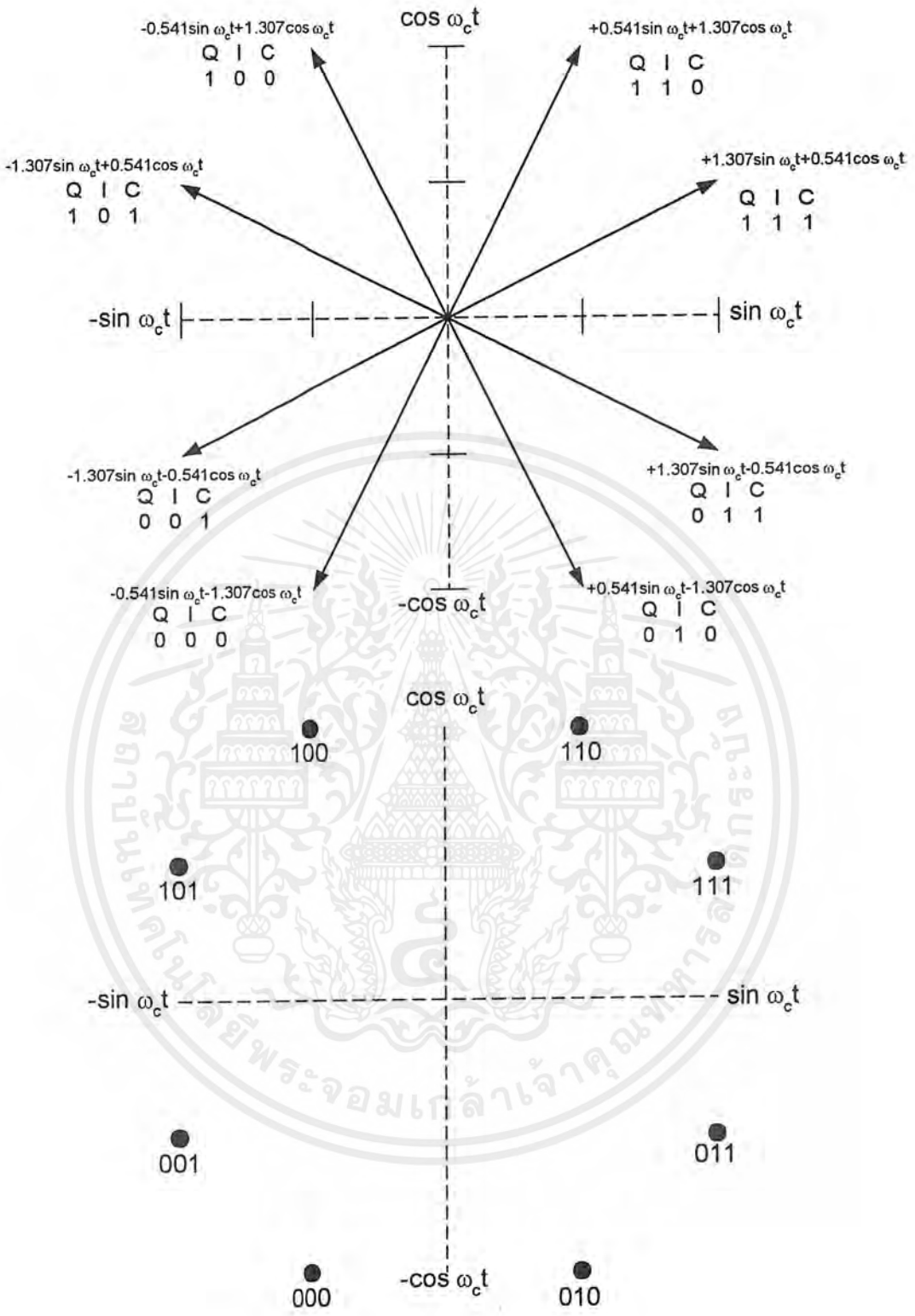
$= 1.41 \sin(\omega_c t - 67.5)$

ซึ่งลักษณะข้อมูลอื่นๆก็จะเป็นเช่นเดียวกัน ซึ่งจะแสดงลักษณะเฟส และเวกเตอร์ต่างๆตามรูปที่ 2.5 และตารางที่ 2.5

Binary Input			8 - PSK
Q	I	C	Output Phase
0	0	0	-112.5°
0	0	1	-157.5°
0	1	0	-67.5°
0	1	1	-22.5°
1	0	0	112.5°
1	0	1	157.5°
1	1	0	67.5°
1	1	1	22.5°

ตารางที่ 2.5 แสดงลักษณะข้อมูล และเฟสต่างๆของสัญญาณ 8-PSK

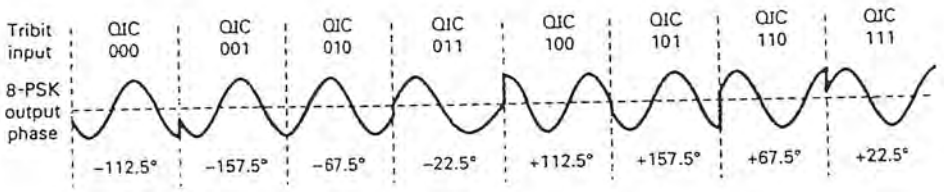
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



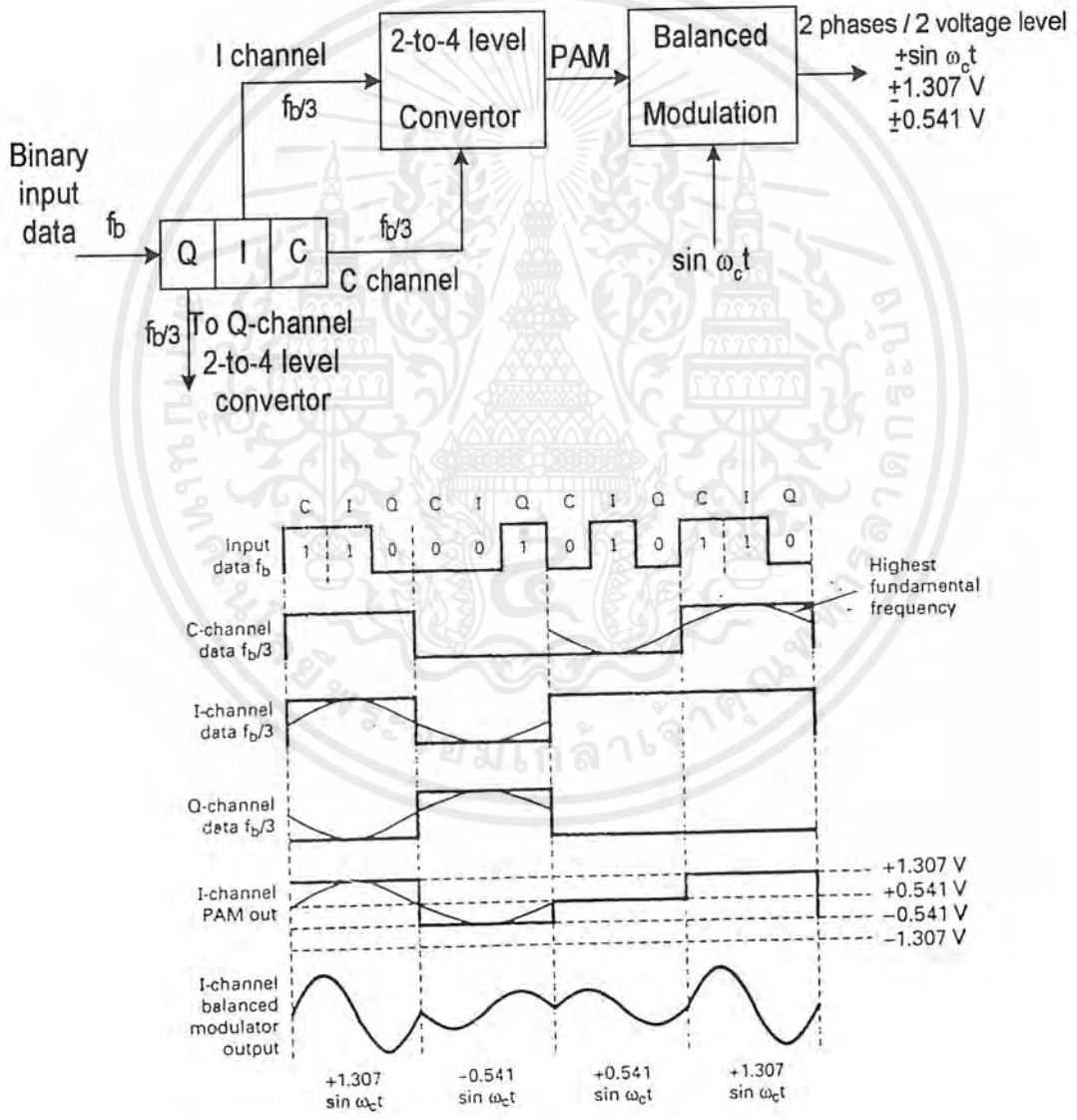
รูปที่ 2.8 ลักษณะของ Phase Diagram และ Constellation Diagram

รูปที่ 2.8 และตารางที่ 2.5 จะเป็นลักษณะเฟสที่เกิดขึ้น เนื่องจากข้อมูลที่ต่างๆกันซึ่งแต่ละเฟสที่เกิดขึ้นจะต่างเฟสกันอยู่ 45 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 ลักษณะเฟสที่เทียบกับแกนเวลาของ 8-PSK



รูปที่ 2.10 ลักษณะสัญญาณที่จุดต่างๆของ 8-PSK Modulater

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.9 และ 2.10 จะเป็นรูปสัญญาณที่จุดต่างๆของการมอดูเลทแบบ 8 – PSK ที่แสดงลักษณะการเปลี่ยนของเฟสตามข้อมูล ซึ่งจะมีบิตเรทในการส่งข้อมูลเท่ากับ Fb/3

ในส่วนของวงจรบาลานซ์มอดูเลเตอร์นั้น จะเป็นวงจรคูณอนาลอกซึ่งจะเป็นแบบสี่ช่อง (Four Quardrant Multiplier) เพราะมีการคูณกันทั้งสี่ควอสเดรนซ์ เอาท์พุตที่ได้จะเป็นผลคูณระหว่างสัญญาณ PAM ที่ออกจากภาคแปลงสัญญาณดิจิตอล 2 ระดับไปเป็นสัญญาณอนาลอก 4 ระดับ กับสัญญาณคลื่นพาห์และเมื่อนำสัญญาณทั้งที่ I – Channel และ Q – Channel มารวมกัน ก็จะได้สัญญาณที่มีการเปลี่ยนแปลงเฟส 8 เฟสตามสมการข้างต้น

2.4.2 แบนด์วิธด์ของ 8 – PSK

จากการที่การมอดูเลทแบบ 8 – PSK เป็นการนำเอาข้อมูลมาทีละ 3 บิต ซึ่งมาจากอินพุตที่เข้ามา (บิตเรทเท่ากับ Fb) ถูกแยกออกเป็น 3 บิต ซึ่งจะทำให้บิตเรทในส่วนของสัญญาณ I Q และ C มีค่าเป็น 1 ใน 3 ของสัญญาณดิจิตอลอินพุตที่เข้ามา (Fb/3) ซึ่งสัญญาณ I Q และ C นี้จะไปควบคุมที่ภาค แปลงสัญญาณดิจิตอล 2 ระดับไปเป็นสัญญาณอนาลอก 4 ระดับ ดั้งนั้นสัญญาณ PAM ที่ออกจากภาคแปลงสัญญาณดิจิตอล 2 ระดับไปเป็นสัญญาณอนาลอก 4 ระดับ จะมีอัตราการเปลี่ยนแปลงเท่ากับ Fb/3 เช่นเดียวกัน

ในรูปที่ 2.3.7 จะเป็นลักษณะของการเปลี่ยนแปลงของสัญญาณดิจิตอลอินพุต ที่มีการแยกข้อมูลออกเป็น 3 บิต คือ I C Q และสัญญาณ PAM ในส่วนของ I – Channel จะเห็นว่าที่สัญญาณ I C หรือ Q นั้นจะที่ความถี่พื้นฐานสูงสุด (Highest Fundamental Frequency) เป็น 1/6 ของบิตเรทของสัญญาณดิจิตอลอินพุตที่รับเข้ามา ซึ่งก็หมายความว่าสัญญาณ PAM ที่ออกจากภาคแปลงสัญญาณดิจิตอล 2 ระดับไปเป็นสัญญาณอนาลอก 4 ระดับ ก็จะมีความถี่พื้นฐานสูงสุด (Highest Fundamantal Frequency) เท่ากับ 1/6 ของบิตเรทของสัญญาณดิจิตอลอินพุตที่เข้ามาเช่นกัน

ในการมอดูเลทแบบ 8 – PSK จะมีการเปลี่ยนแปลงเฟสทุกๆข้อมูล 3 บิตที่เข้ามา ฉะนั้นอัตราเร็วในการส่งข้อมูล (Baud rate) จะมีค่าเท่ากับ Fb/3 ซึ่งจะเป็นค่าแบนด์วิธด์ต่ำสุดในการส่งสัญญาณ จากวงจรบาลานซ์มอดูเลเตอร์ ซึ่งเป็นวงจรคูณ เราจะได้สมการผลคูณของสัญญาณ PAM ที่ออกจากภาคแปลงสัญญาณดิจิตอล 2 ระดับไปเป็นสัญญาณอนาลอก 4 ระดับ กับสัญญาณคลื่นพาห์ที่เอาท์พุตของบาลานซ์มอดูเลเตอร์ คือ

$$\theta = (X \sin \omega_b t)(\sin \omega_c t)$$

โดยที่ $\omega_b t = 2\pi \frac{f_b}{6}$ และ $\omega_c t = 2\pi f_c t$

และ X $= \pm 1.307$ หรือ ± 0.541

$$\theta = (X \sin 2\pi \frac{f_b t}{6})(\sin 2\pi f_c t)$$

$$= \frac{X}{2}\cos 2\pi\left(f_c - \frac{f_b}{6}\right)t - \frac{X}{2}\cos 2\pi\left(f_c + \frac{fb}{6}\right)t$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สเปกตรัมของสัญญาณที่เอาท์พุตจะมีค่าตั้งแต่ $f_c + \frac{f_b}{6}$ ถึง $f_c - \frac{f_b}{6}$ และค่าแบนวิดธ์ (Bandwidth) ต่ำสุด (f_n) คือ

$$(f_c + \frac{f_b}{6}) - \left(f_c - \frac{f_b}{6}\right) = \frac{2f_b}{6} = \frac{f_b}{3}$$

ตัวอย่างเช่น ในการส่งแบบ 8 - PSK ระบบหนึ่ง มีบิตเรท (f_b) เท่ากับ 10 Mbps และใช้ความถี่ของคลื่นพาห์เท่ากับ 70 MHz เราจะได้บิตเรทของสัญญาณ I(f_{bi}), Q(f_{bq}), และ C(f_{bc}) เป็น 1 ใน 3 ของบิตเรทอินพุต คือ

$$f_{bi} = f_{bq} = f_{bc} = \frac{10Mbps}{3} = 3.33Mbps$$

เราจะได้ความถี่พื้นฐานสูงสุด (Highest Fundamental Frequency) ที่เข้าสู่ภาคบาลานซ์มอดูเลเตอร์ คือ

$$f_a = \frac{f_{bc}}{2} \text{ หรือ } \frac{f_{bq}}{2} \text{ หรือ } \frac{f_{bi}}{2} = \frac{3.33MHz}{2} = 1.667Mbps$$

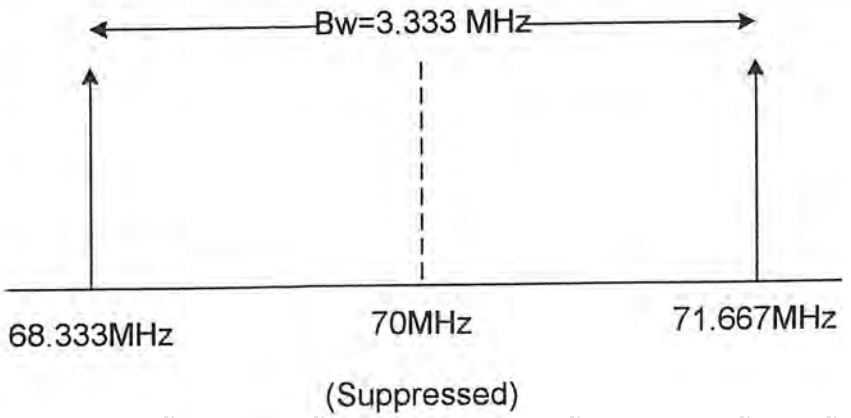
สัญญาณเอาท์พุตที่ออกจากภาคบาลานซ์มอดูเลเตอร์คือ

$$\begin{aligned}(\sin 2\pi f_a t)(\sin 2\pi f_c t) &= \frac{1}{2}\cos 2\pi (f_c - f_a)\, t - \frac{1}{2}\cos 2\pi (f_c + f_a)\, t \\ &= \frac{1}{2}\cos 2\pi [(70 - 1.667)MHz]\, t - \frac{1}{2}\cos 2\pi [(70 + 1.667)MHz]\, t \\ &= \frac{1}{2}\cos 2\pi (68.33MHz)\, t - \frac{1}{2}\cos 2\pi (71.667MHz)\, t\end{aligned}$$

จะได้ค่าแบนด์วิทด์ต่ำสุด (Minimum Nyquist Bandwidth) คือ

$$f_n = (71.1667 - 68.33)MHz = 3.333MHz$$

ซึ่งมีลักษณะสเปกตรัมดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราจะเห็นว่าแบนด์วิทด์บิตเรทที่ส่งออกไปจะมีค่าเป็น 1 ใน 3 ของบิตเรทของสัญญาณดิจิตอลอินพุตที่เข้ามา

2.4.3 ประสิทธิภาพของแถบความถี่

ประสิทธิภาพของแถบความถี่ (หรือความหนาแน่นของข้อมูล) ถูกใช้เปรียบเทียบการทำงานของเทคนิคการมอดูเลทหนึ่งๆกับแบบอื่นๆสิ่งที่สำคัญก็คือ อัตราส่วนของบิตเรทในการสื่อสารกับแถบความถี่ที่น้อยที่สุดที่ต้องการ สำหรับการมอดูเลทที่ต้องการความละเอียด ประสิทธิภาพของแถบความถี่ที่ปกติเป็นแถบความถี่ 1 Hz ทำให้แยกจำนวนบิตที่สามารถส่งผ่านอุปกรณ์สำหรับแถบความถี่แต่ละเฮิร์ทเขียนสมการได้เป็น

$$\text{Bw efficiency} = \frac{\text{transmission rate (bps)}}{\text{minimum bandwidth (Hz)}}$$

$$= \frac{\text{bit/second}}{\text{hertz}}$$

$$= \frac{\text{bit/second}}{\text{cycle/second}}$$

$$= \frac{\text{bits}}{\text{cycle}}$$

การหาประสิทธิภาพของแถบความถี่สำหรับการมอดูเลทแบบ BPSK , QPSK , 8-PSK และ 16-QAM จากตารางเป็นการแสดงแถบความถี่ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตราส่ง 10 Mbps ด้วยการมอดูเลทในรูปแบบต่างๆ

Modulation Technique	Minimum Bandwidth (MHz)
BPSK	10
QPSK	5
8-PSK	3.33
16-QAM	2.5

ตารางที่ 2.6 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลทต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Modulation	Encoding	Bandwidth (Hz)	Baud	Bandwidth efficiency (bps/Hz)
FSK	Single bit	>Fb	Fb	<1
BPSK	Single bit	Fb	Fb	1
QPSK	Dibit	Fb/2	Fb/2	2
8PSK	Tribit	Fb/3	Fb/3	3
8QAM	Tribit	Fb/3	Fb/3	3
16PSK	Quadbit	Fb/4	Fb/4	4
16QAM	Quadbit	Fb/4	Fb/4	4

ตารางที่ 2.7 สรุปข้อแตกต่างของ FSK , PSK , QAM

แทนค่าลงในสมการ จะได้ค่าประสิทธิภาพแถบความถี่ดังนี้

$$\text{BPSK; BW efficiency} = \frac{10Mbps}{10MHz} = \frac{1bps}{Hz} = \frac{1bit}{cycle}$$

$$\text{QPSK; BW efficiency} = \frac{10Mbps}{3.33MHz} = \frac{2bps}{Hz} = \frac{2bit}{cycle}$$

$$\text{8-PSK; BW efficiency} = \frac{10Mbps}{3.33MHz} = \frac{3bps}{Hz} = \frac{3bit}{cycle}$$

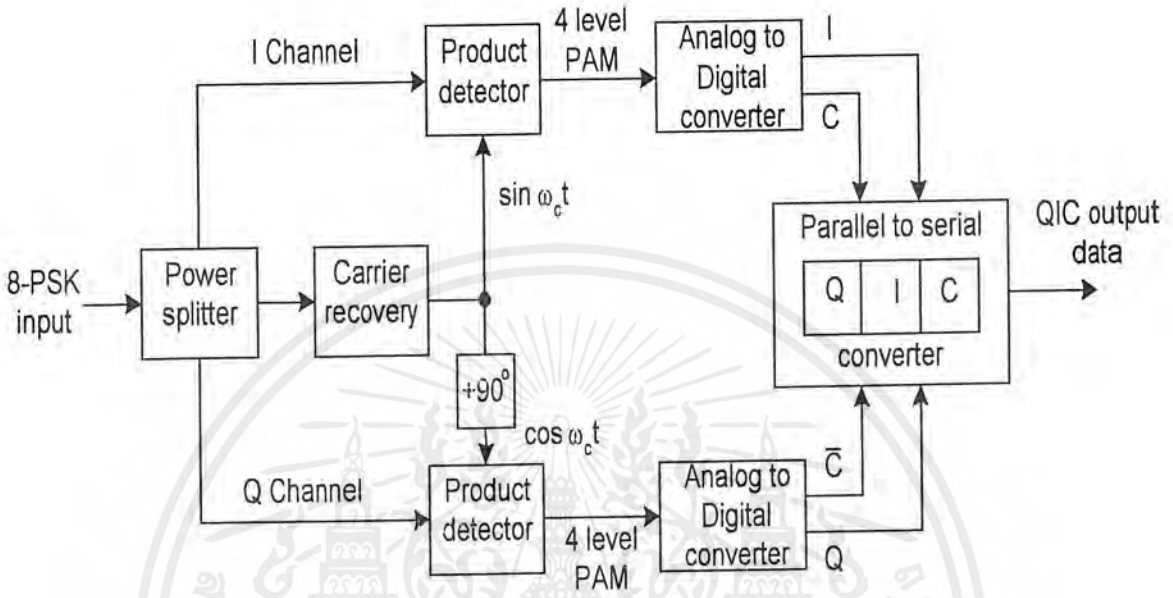
$$\text{16-QAM; BW efficiency} = \frac{10Mbps}{3.33MHz} = \frac{4bps}{Hz} = \frac{4bit}{cycle}$$

ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำสุดและ 16 QPSK มีประสิทธิภาพสูงสุดและ QPSK ต้องการเพียงครึ่งหนึ่ง ของแถบความถี่ที่ใช้ใน BPSK ในอัตราบิตเรทอินพุตที่เท่ากัน และสรุปข้อแตกต่างได้ในตารางที่ 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 ภาครับสัญญาณ 8 – PSK

ลักษณะของบล็อกไดอะแกรมของภาครับสัญญาณ 8 - PSK จะแสดงดังรูปที่ 2.11



รูปที่ 2.11 บล็อกไดอะแกรมของเครื่องรับ 8 – PSK

จากรูปที่ 2.11 เมื่อรับสัญญาณ 8 – PSK เข้ามาจะเข้าภาคแยกสัญญาณ (Power Splitter) เพื่อแยกสัญญาณออกไปที่ I - Channel ,Q – Channel และจะนำสัญญาณส่วนหนึ่งไปเข้าวงจรกู้คลื่นพาห์ (Carrier Recovery Circuit) เพื่อกู้สัญญาณคลื่นพาห์ ให้มีความสัมพันธ์กับสัญญาณอินพุตที่เข้ามา เพื่อนำไปใช้ในการดีมอดูเลท

ที่ด้าน I – Channel สัญญาณจะถูกดีมอดูเลทกับคลื่นพาห์ที่กู้ได้ ซึ่งจะได้เอาท์พุต ออกมาเป็นสัญญาณที่มีระดับแรงดัน 4 ระดับ โดยมีขนาดลดลงครึ่งหนึ่ง ตามข้อมูลที่ส่งมาแต่จะมีความถี่คลื่นพาห์รวมอยู่ด้วย จึงต้องนำสัญญาณนี้ไปผ่านวงจรกรองความถี่ต่ำ จึงจะได้เป็นสัญญาณ PAM 4 ระดับออกมา ส่วนที่ด้าน Q -Channel ก็จะถูกดีมอดูเลทกับคลื่นพาห์ที่กู้ได้เช่นเดียวกัน แต่จะเลื่อนเฟสไป 90 องศา ก็จะได้เป็นสัญญาณ PAM 4 ระดับดังสมการดังนี้

สัญญาณ 8 – PSK ที่เข้ามา $= A\sin(\omega_c t + \theta)$

ที่ I – Channel $= A\sin(\omega_c t + \theta) * \sin(\omega_c t)$

$= A\{\sin(\omega_c t)\cos(\theta)\sin(\omega_c t) + \sin(\theta)\cos(\omega_c t)\sin(\omega_c t)\ \}$

$= A\cos(\theta)\sin^2(\omega_c t) + A\sin(\theta)\cos(\omega_c t)\sin(\omega_c t)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= A\cos(\theta)\left(\frac{1-\cos(2\omega_c t)}{2}\right) + A\sin(\theta)\frac{\sin(2\omega_c t)}{2}$$

$$= \frac{A\cos(\theta)}{2} - \frac{A\cos(\theta)\cos(2\omega_c t)}{2} + A\sin(\theta)\frac{\sin(2\omega_c t)}{2}$$

$$= \frac{A}{2}\cos(\theta)$$

จากสมการจะเห็นว่า เมื่อนำสัญญาณ 8-PSK ที่รับได้มาคูณกับสัญญาณ $\sin(\omega_c t)$ จะได้เป็นสัญญาณที่มีแอมปลิจูดต่างๆกัน ซึ่งจะขึ้นอยู่กับค่าเฟสที่ส่งเข้ามา และจะมีความถี่ที่มีค่าเป็นสองเท่าของความถี่คลื่นพาห์เดิมรวมเข้ามาด้วย และเมื่อผ่านวงจรกรองความถี่ต่ำผ่านก็จะได้เป็นสัญญาณ PAM ออกมาตามทฤษฎีข้างต้น

ส่วนทางด้าน Q- Chanel จะนำเอาสัญญาณอินพุตที่รับเข้ามา คูณกับสัญญาณ $\cos(\omega_c t)$ ก็จะได้ค่าตามสมการดังนี้

ที่ Q – Channel $= A\sin(\omega_c t + \theta) * \cos(\omega_c t)$

$$= A\sin(\omega_c t)\cos(\theta)\cos(\omega_c t) + A\sin(\theta)\cos^2(\omega_c t)$$

$$= A\cos(\theta)\frac{\sin(2\omega_c t)}{2} + A\sin(\theta)\left(\frac{1+\cos(2\omega_c t)}{2}\right)$$

$$= A\cos(\theta)\frac{\sin(2\omega_c t)}{2} + \frac{A\sin\theta}{2} + \frac{A\sin(\theta)\cos(2\omega_c t)}{2}$$

$$= \frac{A}{2}\sin(\theta)$$

โดยที่วงจรกรองความถี่ต่ำจะมีความถี่คัทออฟเท่ากับ $\frac{Fb}{3}$ เพื่อขจัดความถี่คลื่นพาห์ออก ก็จะได้สัญญาณแบบ PAM ที่มีลักษณะใกล้เคียงกับภาคส่ง แต่ระดับแรงดัดที่ได้จะมีขนาดลดลงครึ่งหนึ่ง หรืออาจจะมีค่าลดลงมากกว่านี้ ขึ้นอยู่กับการสูญเสียที่เกิดขึ้นในการรับส่งสัญญาณ เมื่อได้ระดับแรงดัน PAM 4 ระดับ แล้วก็จะเข้าสู่วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณเป็นสัญญาณดิจิตอล ซึ่งจะเป็นสัญญาณคู่บิต I C และ Q $\bar{C}$ จะมาเข้าสู่วงจรแปลงข้อมูลจากขนานเป็นอนุกรม ก็จะได้สัญญาณข้อมูลดิจิตอลกลับคืนมา

2.6 วงจรกรองความถี่ (Filter)

วงจรกรองความถี่เป็นวงจรที่ทำหน้าที่จัดการคัดเลือกความถี่ของสัญญาณไฟฟ้าที่ต้องการให้ผ่านไปได้ ในขณะเดียวกันก็จะกำจัดหรือลดทอนความถี่อื่นที่นอกเหนือจากความถี่ที่ต้องการออก จะเรียกย่านความถี่ที่วงจรกรองยอมให้ผ่านว่า ย่านความถี่ผ่าน (passband) และย่านความถี่ที่วงจรกรองจะกั้นไว้ไม่ให้ผ่านเรียกว่า ย่านความถี่หยุด (stopband)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ที่ใช้งานโดยทั่วไปแบ่งได้ 2 รูปแบบ คือวงจรกรองความถี่แบบพาสซีฟ (Passive Filter) และวงจรกรองความถี่แบบแอคทีฟ (Active Filter)

1. วงจรกรองความถี่แบบพาสซีฟ (Passive Filter) เป็นวงจรกรองสัญญาณแบบต่อเนื่องที่ใช้อุปกรณ์ที่ไม่ต้องการ ไฟเลี้ยงได้แก่อุปกรณ์จำพวกตัวต้านทาน(Resistor;R)ขดลวดเหนี่ยวนำ(Inductor ; L) และตัวเก็บประจุ (Capacitor; C) โดยอาศัยคุณสมบัติของอุปกรณ์ L และ C ที่มีค่าอิมพีแดนซ์ (Impedance) เปลี่ยนแปลงตามความถี่มาทำให้เกิดการกรองสัญญาณตามความถี่ วงจรกรองชนิดนี้นิยมใช้กันมากในการกรองสัญญาณที่มีความถี่สูงถึงสูงมาก เช่นในโทรศัพท์เคลื่อนที่แบบพกพา (mobile phone) แต่วงจรกรองชนิดนี้ไม่สามารถใช้ในย่านความถี่ต่ำได้เนื่องจากจะต้องใช้ตัวต้านทานขนาดใหญ่ ซึ่งจะทำให้เกิดการสูญเสีย (loss) มาก

2. วงจรกรองความถี่แบบแอคทีฟ (Active Filter) เป็นวงจรกรองสัญญาณแบบต่อเนื่องที่ใช้อุปกรณ์ประเภทแอคทีฟร่วมกับตัวต้านทานและตัวเก็บประจุ วงจรกรองความถี่แบบแอคทีฟที่นิยมใช้ในปัจจุบัน ได้แก่ วงจรกรอง active RC ประกอบไปด้วยออปแอมป์ ตัวต้านทานและตัวเก็บประจุ และวงจรกรองแบบ Gm-C ซึ่งประกอบไปด้วยอุปกรณ์ทรานส์คอนดักเตอร์ (transconductor) และตัวเก็บประจุ วงจรกรองประเภทนี้นิยมใช้ในย่านความถี่ปานกลางไปจนถึงความถี่สูง

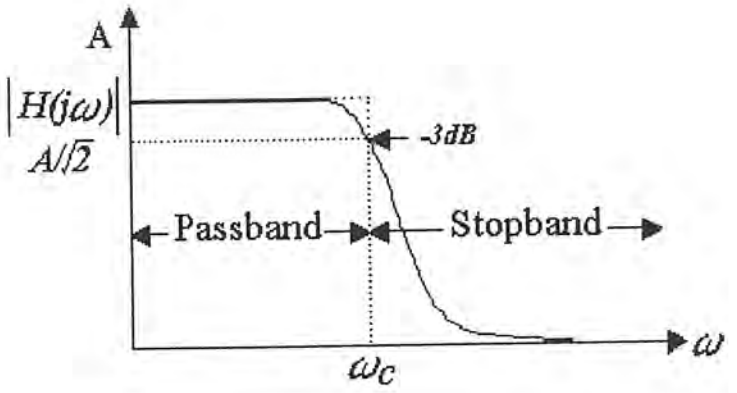
ในการจำแนกชนิดของวงจรกรองความถี่ตามลักษณะการทำงานนั้นสามารถแบ่งได้เป็น 5 ชนิด คือ

1. วงจรกรองความถี่ต่ำผ่าน (Lowpass Filter ; LPF)
2. วงจรกรองความถี่สูงผ่าน (Highpass Filter ; HPF)
3. วงจรกรองแถบความถี่ผ่าน (Bandpass Filter ; BPF)
4. วงจรกรองกำจัดแถบความถี่ (Notch or Band – Reject Filter ; BRF)
5. วงจรกรองผ่านทุกแถบความถี่ (Allpass Filter)

2.6.1วงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่านเป็นวงจรกรองที่ยอมให้สัญญาณความถี่ต่ำผ่านได้โดยพยายามให้มีการลดทอนเพียงเล็กน้อย แต่ในกรณีที่สัญญาณมีความถี่สูงกว่าความถี่คัทออฟ (Cut off-Frequency)จะเกิดการลดทอนสูง ในทางอุดมคติวงจรกรองความถี่ต่ำผ่านสามารถแยกความถี่สูงออกจากความถี่ต่ำได้อย่างเด็ดขาด แต่ในทางปฏิบัติเป็นไปไม่ได้เนื่องจากมีค่าอินดัคแตนซ์และค่าคาปาซิแตนซ์ที่มีผลทำให้เกิดมีริบเปิล (ripple) ติดออกมา คุณสมบัติเช่นนี้ของวงจรกรองความถี่ต่ำผ่านแสดงให้เห็นดังกราฟผลตอบสนองเชิงขนาดของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

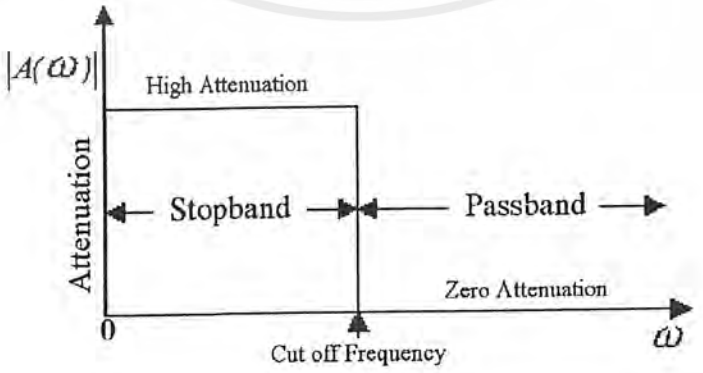


รูปที่2.12 ผลตอบสนองเชิงขนาดของวงจรความถี่ต่ำผ่าน

จากกราฟที่แสดงดังรูปที่ 2.12 นั้นเส้นประแสดงถึงการตอบสนองเชิงขนาดของสัญญาณ ในทางอุดมคติ ส่วนเส้นทึบที่เหลือคือผลตอบสนองเชิงขนาดของสัญญาณในการใช้งานจริง ซึ่งสามารถแสดงคุณลักษณะเฉพาะได้ใกล้เคียงผลตอบสนองทางอุดมคติมากที่สุด ค่า ω_c (แปลงเป็น f_c ในหน่วย Hz ได้โดยใช้ $f_c = \omega_c / 2\pi$) เป็นความถี่คัทออฟ กำหนดที่จุด $H(j\omega)$ มีค่า 0.707 เท่าของค่าแอมปลิจูดสูงสุด ในที่นี้แสดงด้วยค่า A ความถี่ในช่วงย่านที่สามารถผ่านได้อยู่ในช่วง ω มากกว่า 0 แต่น้อยกว่า ω_c และความถี่เกินจาก ω_c (ω มากกว่า ω_c) จะสามารถผ่านไปได้

2.6.2 วงจรกรองความถี่สูงผ่าน

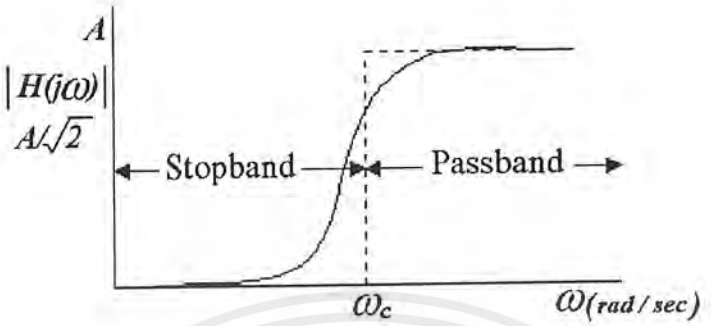
วงจรกรองความถี่สูงผ่าน เป็นวงจรที่ยอมให้สัญญาณความถี่สูงกว่าค่าความถี่ที่เลือกไว้ผ่านไปได้ทั้งหมด ในขณะที่จะจำกัดหรือลดทอนความถี่ที่ต่ำกว่าค่าที่เลือกไว้ แต่ในกรณีที่ความถี่ของสัญญาณต่ำกว่าความถี่คัทออฟจะเกิดการลดทอนสูง กล่าวได้ว่าเป็นลักษณะการทำงานที่ตรงกันข้ามกับวงจรกรองความถี่ต่ำผ่าน ดังรูปที่ 2.13



รูปที่ 2.13 ผลตอบสนองวงจรกรองความถี่สูงผ่านในอุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

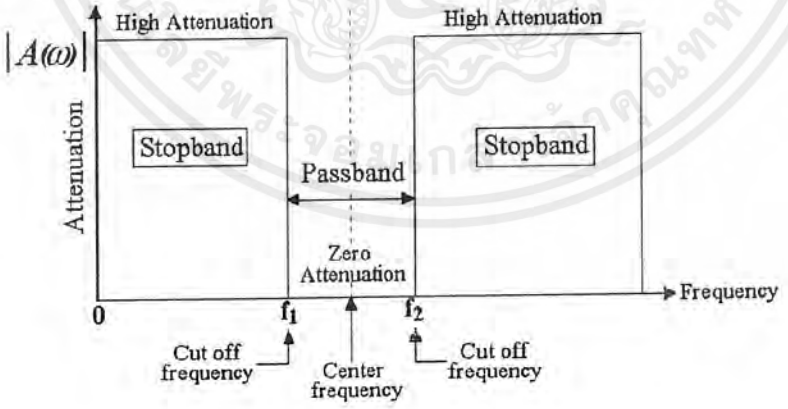
คุณสมบัติเช่นนี้ของวงจรกรองความถี่สูงผ่านแสดงให้เห็นดังรูปที่ 2.14 โดยเส้นประเป็นการตอบสนองเชิงขนาดของสัญญาณในทางอุดมคติ ส่วนเส้นทึบนั้นแสดงถึงการตอบสนองเชิงขนาดของสัญญาณในทางปฏิบัติ



รูปที่ 2.14 ผลตอบสนองเชิงขนาดของวงจรกรองความถี่สูงผ่าน

2.6.3 วงจรกรองแถบความถี่ผ่าน

วงจรกรองแถบความถี่ผ่านเป็นวงจรที่ยอมให้สัญญาณที่มีความถี่ในช่วงหนึ่งที่เลือกไว้ผ่านวงจรชนิดนี้ไปได้เท่านั้น โดยสัญญาณที่ผ่านนั้นจะเกิดการลดทอนเพียงเล็กน้อย โดยจะลดทอนความถี่อื่นใดนอกเหนือจากช่วงกว้างของแถบความถี่ที่ได้เลือกไว้แล้ว ในที่นี้ตามรูปที่ 2.15 จะเห็นว่าค่าการลดทอนในย่านพาสแบนด์ (Passband) เป็นศูนย์ ในย่านสต็อบแบนด์ (Stopband) ค่าการลดทอนจะมีค่าสูงมาก โดยที่ความถี่ f_1 และ f_2 เป็นความถี่คัทออฟ และในทางปฏิบัติความถี่ในย่านพาสแบนด์จะมีริบเปิลปะปนอยู่ด้วย

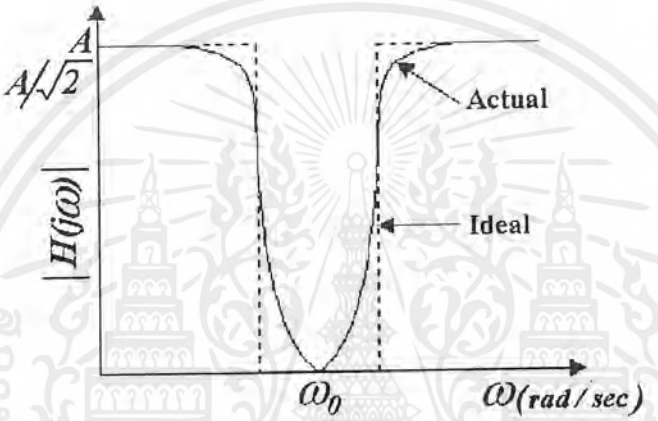


รูปที่ 2.15 ผลตอบสนองเชิงขนาดของวงจรกรองแถบความถี่ผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.4 วงจรกรองกำจัดแถบความถี่

วงจรกรองกำจัดแถบความถี่เป็นวงจรกรองความถี่อีกแบบหนึ่ง ซึ่งยอมให้สัญญาณความถี่ตลอดย่านผ่านไปได้หมด ยกเว้นแถบความถี่ช่วงหนึ่งที่จะไม่ยอมให้สัญญาณผ่านไปได้ตามรูปกราฟการตอบสนองเชิงขนาดในรูปที่ 2.16 เส้นประแสดงถึงการตอบสนองเชิงขนาดในทางอุดมคติ ส่วนเส้นทึบแสดงถึงการตอบสนองเชิงขนาดในการใช้งานจริงแถบความถี่ซึ่งถูกลดทอนหรือกำจัดทิ้งนี้จุดกึ่งกลางอยู่ที่(ω_0) โดยประมาณความกว้างของแถบความถี่เป็นแบนด์วิทธ์ (*BW*) ซึ่งอยู่ในเทอมหรือหน่วยของ *Hz* ความถี่กลาง (center) นี้มาจาก ($f_0=\omega_0/2\pi$)



รูปที่ 2.16 ผลตอบสนองเชิงขนาดของวงจรกรองกำจัดแถบความถี่

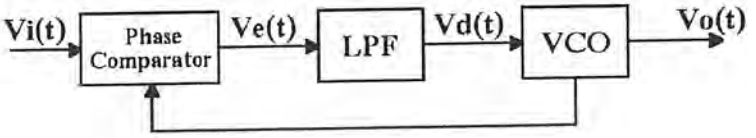
2.6.5 วงจรกรองผ่านทุกแถบความถี่

วงจรกรองผ่านทุกแถบความถี่เป็นวงจรกรองความถี่ที่มีคุณสมบัติในการที่จะยอมให้สัญญาณทุกความถี่ผ่านไปได้โดยเท่าเทียมกันตลอด ในขณะเดียวกันจะทำการเปลี่ยนหรือเลื่อนเฟสของความถี่ไปด้วยค่าที่กำหนดไว้ค่าหนึ่ง ถ้าค่าจำนวนที่กำหนดไว้เป็นค่าลดเสมือนกับมีการหน่วงสัญญาณความถี่ด้วยช่วงเวลาหนึ่ง ขณะที่สัญญาณเหล่านี้ผ่านวงจรกรองความถี่ชนิดนี้ฉะนั้นวงจรกรองผ่านทุกแถบความถี่นี้อาจเรียกอีกชื่อหนึ่งได้ว่าวงจรไทม์ดีเลย์ หรือวงจรหน่วงเวลา เฟสที่เลื่อนไปหรือเวลาที่หน่วงออกไป การส่งผ่านความถี่หรือเวลาในสมการทรานเฟอร์ฟังก์ชัน นิยามด้วยค่า s ซึ่งเท่ากับ $(j\omega)$ จะแปรเปลี่ยนไปตามความถี่ในขณะที่แอมพลิจูดหรือขนาดของสัญญาณยังคงมีค่าคงที่เท่าเทียมกันไปตลอดย่านความถี่ที่ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 เฟสล็อคลูป (Phase Lock Loop : PLL)

คุณสมบัติของวงจรเฟสล็อคลูป คือ การทำให้ออสซิลเลเตอร์(Oscillator)ที่สามารถออสซิลเลตได้หลาย ๆ ความถี่ถูกล็อคไว้ ณ สภาวะหนึ่งที่มีความถี่และมุมเฟสของสัญญาณตรงกับความถี่และมุมเฟสมาตรฐานที่ใช้อ้างอิงซึ่งทำให้ออสซิลเลเตอร์มีความเที่ยงตรงเช่นเดียวกับสัญญาณมาตรฐานได้



รูปที่ 2.17 บล็อกไดอะแกรมวงจรเฟสล็อคลูป

วงจรเฟสล็อคลูปมีองค์ประกอบพื้นฐาน 3 ส่วนดังแสดงในรูปที่ 2.17 คือ

1. เฟสดีเทคเตอร์ (Phase Detector)

เฟสดีเทคเตอร์ หรือเฟสคอมพาราเตอร์ (Phase Comparator) ประกอบด้วย 2 อินพุต ที่รับสัญญาณมาจาก VCO (Voltage Control Oscillator) ด้วยความถี่ของสัญญาณเท่ากับ f_o และมีความถี่ด้านอินพุต f_s เป็นตัวอ้างอิง เอาต์พุตเป็นตัวชี้ให้เห็นว่าสัญญาณ f_o มีเฟสเหมือนหรือแตกต่างจาก f_s

2. วงจรกรองความถี่ต่ำผ่าน (Lowpass Filter : LPF)

วงจรกรองความถี่ต่ำผ่าน เป็นวงจรที่ประกอบไปด้วยความต้านทานและตัวเก็บประจุ มีคุณสมบัติในการกำจัดสัญญาณไฟสลับของวงจรออสซิลเลเตอร์ของทั้ง 2 วงจรออกไปจากแรงดันเอาต์พุตของวงจรเฟสดีเทคเตอร์สัญญาณอินพุตที่เข้ามาที่วงจรกรองความถี่ต่ำผ่านนั้นเป็นสัญญาณไฟตรงที่มีค่าผิดพลาด (error signal) พร้อมกับแรงดันไฟสลับกระเพื่อม จะได้สัญญาณเอาต์พุตเป็นแรงดันไฟตรงที่กรองสัญญาณแล้วเพื่อป้อนต่อไปยังวงจรขยายสัญญาณไฟตรงต่อไป

3. วงจรขยายสัญญาณไฟตรง (DC amplifier)

เป็นตัวเพิ่มระดับแรงดันไฟฟ้าเพื่อช่วยให้การควบคุมดีขึ้นเอาต์พุตของวงจรขยายสัญญาณจะจ่ายแรงดันไฟตรงตามระดับที่ต้องการเพื่อป้อนให้แก่วงจร VCO

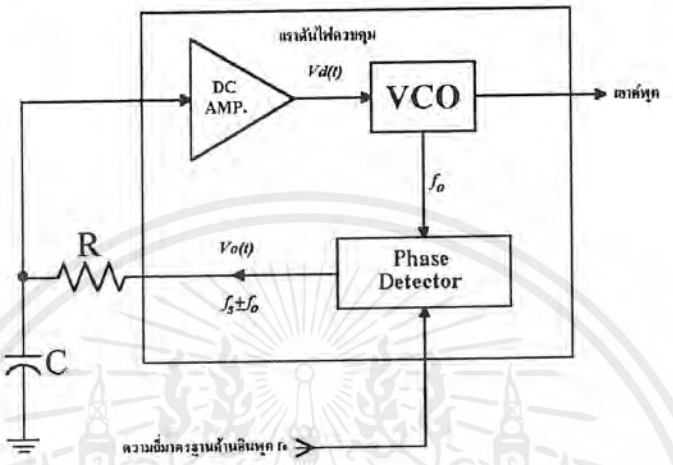
2.7.1 หลักการทำงานของวงจรเฟสล็อคลูป

เฟสล็อคลูปเป็นระบบอิเล็กทรอนิกส์ ที่มีหลักการทำให้ความถี่เอาต์พุตมีลักษณะเป็นไปตามความถี่ของสัญญาณอินพุตโดยเปรียบเทียบกันระหว่างสัญญาณทั้งสอง ถ้าเฟสไม่ตรงกันจะไม่มีแรงดันไฟฟ้าเกิดขึ้นเพื่อแก้ไขความถี่ของออสซิลเลเตอร์ใหม่ให้เฟสต่างกันน้อยลงและจะเป็นอย่างนี้ตลอดไปจึงทำให้เฟสล็อคกันอยู่ได้

จากทฤษฎีเกี่ยวกับระบบควบคุมและการป้อนกลับ วงจรเฟสดีเทคเตอร์หรือเฟสคอมพาราเตอร์ วงจรกรองความถี่ต่ำผ่าน และวงจรขยายสัญญาณคลาดเคลื่อน (Error Amplifier) จะอยู่ในส่วนของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟอร์เวิร์ด (Forward Path) และ VCO อยู่ในส่วนป้อนกลับ (Feedback Path) จากรูปเมื่อไม่มีสัญญาณอินพุตป้อนในระบบ แรงดันไฟฟ้าควบคุม : $V_d(t)$ จะเป็นศูนย์ VCO จะทำงานตามความถี่ f_o ที่ตั้งไว้เรียกว่าความถี่ศูนย์กลาง (Center frequency) หรือความถี่ฟรีรันนิ่ง (Free running Frequency) ถ้ามีสัญญาณอินพุตป้อนให้กับเฟสคอมพาราเตอร์จะทำการเปรียบเทียบเฟส และความถี่ของสัญญาณ VCO กับอินพุตแล้วสร้างแรงดันไฟฟ้าคลาดเคลื่อน $V_o(t)$ ซึ่งสัมพันธ์กับความต่างเฟสและความถี่ของสัญญาณทั้งสอง



รูปที่ 2.18 องค์ประกอบพื้นฐานของวงจรเฟสล็อคลูป

แรงดันไฟฟ้าคลาดเคลื่อนนี้จะถูกกรองในวงจรกรองความถี่ต่ำผ่านให้ความถี่ต่ำนั้นผ่านไปได้ จากนั้นจะขยายแล้วผ่านให้ วงจรVCO ในลักษณะเช่นนี้ แรงดันไฟฟ้าควบคุม$Vd(t)$จะกลับไปบังคับให้ความถี่ VCO แปรไปในทิศทางที่ลดความแตกต่างระหว่างความถี่ f_o กับ f_s ลงจากนั้นด้วยความถี่เฟสล็อคลูปถ้าความถี่อินพุต f_s ใกล้เคียงกับ f_oก็จะทำให้ VCO ซิงโครไนซ์หรือล็อคกับสัญญาณอินพุตได้ และเมื่ออยู่ในสภาวะล็อค อย่างนี้ ความถี่ของ VCO จะเท่ากับความถี่อินพุตแต่เฟสแตกต่างกันเล็กน้อย การที่เฟสต่างกันจะทำให้ความถี่ฟรีรันนิ่งของ VCO เคลื่อนเข้าไปใกล้ไปหาความถี่สัญญาณอินพุต f_s เพื่อรักษาสภาพล็อคเอาไว้ให้ได้

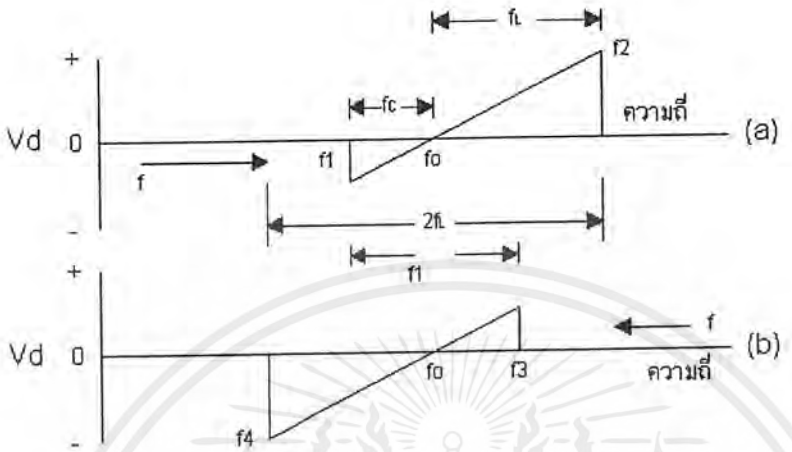
ด้วยความสามารถในการปรับสภาพตัวเองให้ถูกต้องได้ของระบบ ขณะที่ลูปของวงจรอยู่ในสภาวะล็อคจะทำให้ลูปสามารถตามรอยการเปลี่ยนแปลงความถี่ของสัญญาณอินพุตได้ซึ่งช่วงความถี่โดยตลอดที่ลูปสามารถคงการล็อคไว้ได้เรียกว่า พิสัยในสภาวะล็อค (Locked Range) ของระบบ ส่วนช่วงความถี่โดยตลอดซึ่งลูปสามารถเข้ายึดการล็อคกับสัญญาณอินพุต(เริ่มล็อค) ได้ เรียกว่า พิสัยเข้าสู่สภาวะล็อค (Captured Range) ของระบบและพิสัยนี้จะไม่กว้างไปกว่า พิสัยในสภาวะล็อคอย่างแน่นอน

2.7.2 การเข้าสู่สภาวะล็อคและสภาวะขณะที่เฟสล็อค

จากรูปที่ 2.19 แสดงถึงทรานส์เฟอร์คาร์แร็กเตอร์ริสติคของเฟสล็อคระหว่างความถี่กับแรงดันไฟฟ้าที่เกิดขึ้นในลูป ในตอนแรกจะพิจารณาถึงสภาวะล็อคก่อนโดยเฟสคอมพาราเตอร์ จะเป็นตัวผสมสัญญาณอินพุตเข้ากับสัญญาณ VCO ทำให้เกิดผลบวก $(f_o + f_s)$และผลต่าง$(f_s - f_0)$ยังอยู่นอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขอบเขตที่วงจรกรองความถี่ต่ำผ่านจะตอบสนองได้จึงถูกกรองทิ้งไม่มีสัญญาณไหลภายในลูปดังนั้นในสภาวะนี้ VCO ยังคงทำงานความถี่เริ่มต้นเดิมคือความถี่ฟรีรันนิ่ง



รูปที่ 2.19 ทรานส์เฟอร์คาร์เตอร์ริสติค ระหว่างความถี่กับระดับแรงดันไฟฟ้าเฟสล็อคลูป
(a) เมื่อเพิ่มความถี่สัญญาณอินพุต
(b) เมื่อลดความถี่สัญญาณอินพุต

ต่อมาเมื่อความถี่อินพุตเข้าใกล้ความถี่ของ VCO คือเท่ากับ $f(s)$ ดังรูปความถี่ผลต่าง $(f_s - f_0)$ จะลดลงเข้าใกล้ขอบเขตของความถี่ที่ LPF ไปได้ซึ่งจะไปขับ VCO ให้มีความถี่เข้าหาสัญญาณอินพุต (f_s) ในขณะนั้นความถี่ผลต่าง $(f_s - f_0)$ จะลดลงเรื่อย ๆ (เนื่องจาก VCOถูกขับให้มีความถี่เข้าใกล้ f_s มากขึ้น) ทำให้สัญญาณที่ส่งผ่าน LPF มีผลต่อ VCO มากขึ้นก็จะยิ่งเข้าใกล้ f_s จนในที่สุด ลูปก็จะเข้าสู่สภาวะเฟสล็อคได้เมื่อ $(f_s = f_0)$

ตอนที่ระดับแรงดันคลาดเคลื่อน:$V_e(t)$ เริ่มผ่านวงจรกรองความถี่ต่ำผ่านได้แสดงว่าลูปตรวจจับได้ (สังเกตได้จาก VCO จะเริ่มเปลี่ยนความถี่ไปเพราะเพิ่งจะมีแรงดันไฟฟ้าผ่านมาขับเป็นครั้งแรก) จากนั้นแรงดันไฟฟ้าควบคุม:$V_d(t)$ จะทำให้ความถี่ f_o ของ VCO เปลี่ยนเข้าใกล้ f_s ยิ่งขึ้นและในที่สุดความถี่ทั้งสองก็เท่ากัน $(f_s = f_0)$ ที่สภาวะนี้เรียกว่าลูปอยู่ใน สภาวะล็อค (in lock)

ในขณะที่ลูปอยู่ในภาวะล็อคแรงดันไฟฟ้าคลาดเคลื่อน : $V_e(t)$ ซึ่งเกิดจากความต่างเฟสดังที่กล่าวมาแล้ว โดยเฉลี่ยจะมีค่าค่อนข้างคงที่ ทำให้แรงดันไฟฟ้าควบคุม : $V_d(t)$ ซึ่งได้จากค่าเฉลี่ยของแรงดันไฟฟ้าคลาดเคลื่อน : $V_e(t)$ มีค่าแรงดันไฟฟ้าควบคุม : $V_d(t)$ ซึ่งได้จากค่าเฉลี่ยของแรงดันไฟฟ้าคลาดเคลื่อน : $V_e(t)$ มีค่าคงที่ไปด้วย เพื่อเป็นแรงดันไฟตรงขับให้ VCO มีความถี่ของสัญญาณอินพุตอยู่ตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตอนแรกที่ลูปเริ่มล็อคกับสัญญาณอินพุตความถี่ของ VCO จะลดลงก่อน จากนั้นไปเมื่อเพิ่มความถี่ f_s ขึ้นการล็อคจะขึ้นอยู่กับความสามารถของ VCO ที่จะเปลี่ยนความถี่ไปโดยมีความลาดชัน (slope) ของการเปลี่ยนแปลงระหว่างความถี่กับแรงดันไฟฟ้าควบคุม : $V_d(t)$ เท่ากับ 1 / ko (ko : Conversion Gain ของ VCO มีหน่วยเป็นเรเดียน / วินาที / โวลท์) และเมื่อเพิ่มความถี่จนไปถึงความถี่ศูนย์กลาง = f_o แรงดันไฟฟ้าควบคุม : $V_d(t)$ จะค่าเป็นศูนย์โวลท์ลูปจะตามรอยสัญญาณอินพุตไปจนกระทั่งถึงความถี่ f_2 ซึ่งเป็นความถี่สูงสุดของพิสัยในสภาวะล็อคไปแรงดันไฟฟ้าคลาดเคลื่อน $V_e(t)$ จะมีค่าเท่ากับศูนย์

หลังจากนั้นถ้าลดความถี่สัญญาณอินพุตลงมาก็จะเกิดวัฏจักรขึ้นอีกดังแสดงในรูปสัญญาณจะเริ่มกลับเข้าสู่การตรวจจับของลูปอีกที f_s และลูปจะตามสัญญาณอินพุตได้แค่ถึง f_4 ช่วงความถี่จาก f_1 ถึง f_3 นี้เรียกว่า พิสัยการเข้าสู่ภาวะล็อค (Capture Range) และช่วงความถี่จาก f_2 กับ f_4 เรียกว่าพิสัยในการล็อคหรือ locked range จากรูปคือ

$$f_3 - f_1 = 2f_c = \text{Capture Range}$$
$$f_2 - f_4 = 2f_L = \text{Locked Range}$$

จากทรานส์เฟอร์คาร์แร็กเตอร์ริสติคสามารถกำหนดความถี่ศูนย์กลางในลูปได้โดยการตั้งความถี่ฟรีรันนิ่งที่ VCO และลูปจะตอบสนองเฉพาะความถี่สัญญาณที่อยู่ในช่วงจาก f_0 ถึง $f_0 \pm f_c$ หรือ $f_0 \pm f_L$ เท่านั้นทั้งขึ้นอยู่กับเงื่อนไขที่ว่าลูปเริ่มต้นด้วยการล็อคหรือไม่ ในทางปฏิบัติ การใช้งานของเฟสล็อคลูป โดยมากต้องการ VCO ที่มีคุณสมบัติในการแปลงแรงดันไฟฟ้าให้เป็นความถี่ที่มีลักษณะเป็นเชิงเส้น (Linear) อย่างแท้จริงด้วย เพื่อประโยชน์ในการตามรอยสัญญาณอินพุต

2.7.3 พิสัยการเข้าสู่สภาวะล็อค (Capture Range)

นิยามได้ว่าคือพิสัยความถี่ที่มีศูนย์อยู่ที่ความถี่เริ่มต้นของ VCO (คือความถี่ฟรีรันนิ่งที่ตั้งไว้) ตลอดพิสัยนี้ลูปสามารถดึงเข้าสู่การล็อคกับสัญญาณอินพุตได้ พิสัยการเข้าสู่สภาวะนี้อาจเรียกอีกอย่างหนึ่งว่า Lock-in range ก็ได้ซึ่งเป็นการวัดว่าสัญญาณอินพุตจะต้องมีความถี่ใกล้เคียงกับศูนย์กลางของ VCO : f_o มากน้อยเพียงใดลูปจึงเข้าสู่สภาวะล็อคได้ Lock-in range นี้จะเป็นครึ่งของ capture range (หรือเท่ากับ f_c)

Capture Range ถือว่าเป็นความถี่ใดๆ ที่อยู่ภายใน Lock range และขึ้นอยู่กับขอบเขตของวงจรแถบความถี่ต่ำผ่านกับอัตราขยายลูปปิด (Close-Loop gain) ของระบบ ซึ่งความสามารถของลูปในการเกาะจับกับสัญญาณอินพุตนี้จะเป็นคุณสมบัติที่แสดงถึงคุณสมบัติการเลือก (Selectivity) ความถี่ของลูปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.4 พิสัยในสภาวะล็อค (Lock Range)

พิสัยในสภาวะล็อค คือพิสัยความถี่มีศูนย์กลางอยู่ที่ความถี่ฟรีรันนิ่ง ตลอดพิสัยนี้ลูปสามารถตามรอยสัญญาณอินพุตได้ในขณะที่ลูปอยู่ในภาวะล็อค พิสัยในสภาวะล็อค Lock Range นี้อาจเรียกว่า tracking range หรือ holding range ก็ได้ ซึ่งมีความหมายว่าความถี่ของลูปสามารถจะไกลห่างออกไปจากความถี่ศูนย์กลางได้เท่าไร tracking range มีค่าเป็นครึ่งหนึ่งของ Lock range หรือเท่ากับ f_L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

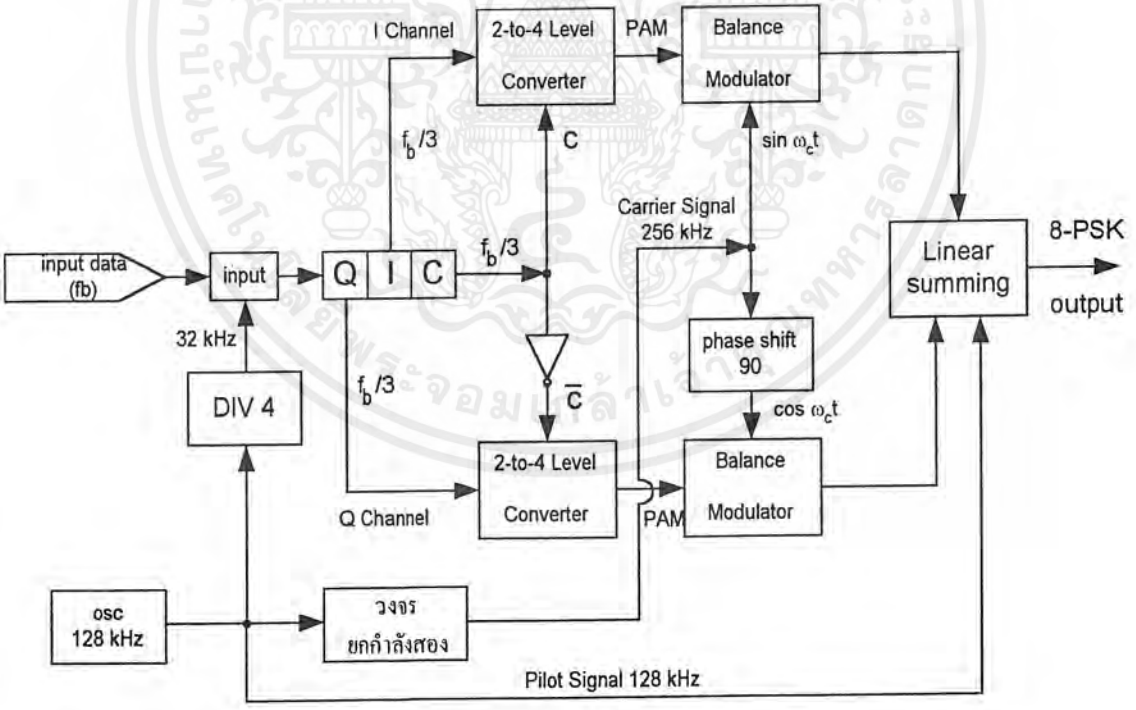
บทที่ 3
การคำนวณและการสร้าง

3.1 การออกแบบวงจรทางด้านภาคส่ง

ในการออกแบบวงจรทางด้านภาคส่งนั้น เราต้องเพิ่มเติมบางส่วนเพื่อความสะดวกทางการซิงโครไนซ์ เราต้องสร้างสัญญาณนำร่องขึ้นมาจากวงจรกำเนิดสัญญาณไซน์ความถี่ 128 kHz แล้วนำสัญญาณนำร่องมาเข้าวงจรยกกำลังสองเพื่อสร้างสัญญาณพาหะความถี่ 256 kHz และนำสัญญาณนำร่องมาสร้างสัญญาณนาฬิกา 32 kHz โดยใช้วงจรหาร 4 เพื่อนำสัญญาณนาฬิกา 32 kHz มาใช้ในการเลื่อนข้อมูลความเร็ว 32 kbps

จากการที่เรากำเนิดสัญญาณนำร่อง 128 kHz ขึ้นมาก่อนแล้วค่อยนำมาสร้างสัญญาณพาหะ เพราะว่าการมีสัญญาณนำร่องนี้จะใช้ส่งรวมกับสัญญาณ 8 – PSK เอาท์พุต เพื่อให้ทางภาครับกรองสัญญาณนำร่องนี้ไปใช้ในการกู้สัญญาณพาหะและสัญญาณนาฬิกากลับคืนมา ซึ่งจะทำให้ได้สัญญาณที่ซิงโครไนซ์กันกับสัญญาณที่ส่งมาจากทางภาคส่ง

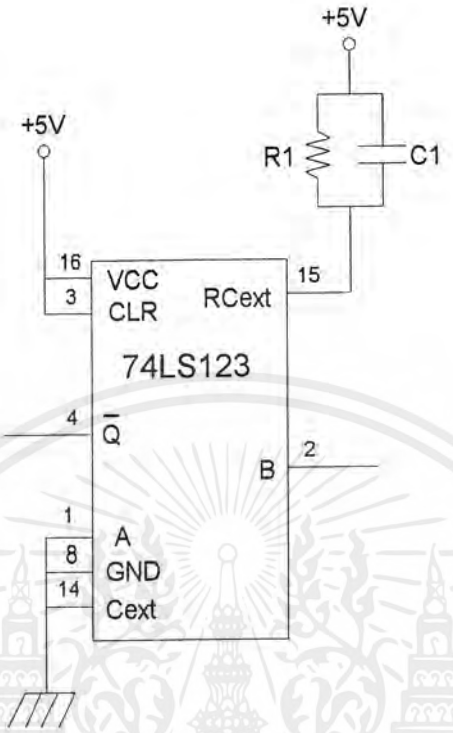
บล็อกไดอะแกรมของเครื่องส่ง 8 – PSK แสดงดังรูป



รูปที่ 3.1 บล็อกไดอะแกรมเครื่องส่ง 8 – PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 การสร้างสัญญาณพัลซ์แคบๆโดยใช้ไอซีมัลติไวเบรเตอร์



รูปที่ 3.2 วงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์

จากวงจรใช้ไอซีเบอร์ 74LS123 เป็นวงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์ ที่ถูกออกแบบให้ทำหน้าที่ผลิตสัญญาณพัลซ์ในช่วงเวลาสั้นๆ โดยจะใช้ตัวความต้านทาน R1 และตัวเก็บประจุ C1 ต่อขนานกันเพื่อปรับค่าเวลาความกว้างของช่วงพัลซ์ โดยสามารถคำนวณเวลาที่ใช้ในการหน่วงสัญญาณได้หลังจากมีพัลซ์มาทริกให้ไอซี มีสูตรการคำนวณดังนี้

$$T = 0.695 \times R1 \times C1$$

ใช้ค่า $R1 = 6.8\,k\Omega$

$C1 = 470\ pF$

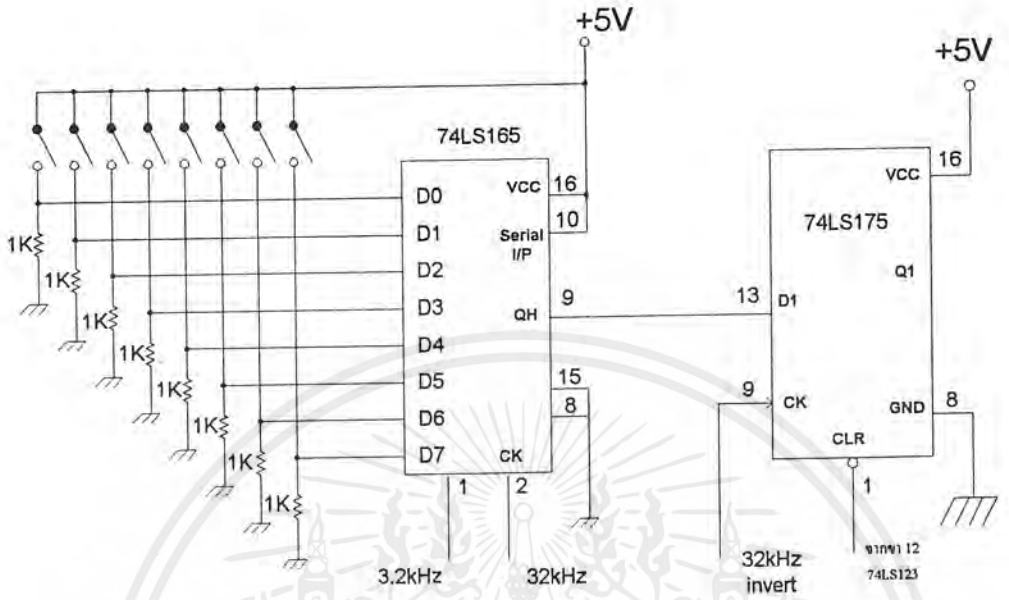
$T = 0.695 \times 6.8k\,\Omega \times 470\ \mu sec$

$T = 2.22\ \mu sec$

เพราะฉะนั้นเวลาของสัญญาณสภาวะทางด้านต่ำ มีความกว้างของพัลซ์ใช้เวลาประมาณ 2.22 μsec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 วงจรแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรม และสร้างบิตเริ่มต้นและบิตสิ้นสุด



รูปที่ 3.3 วงจรแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรมและสร้างบิตเริ่มต้นและบิตสิ้นสุด

วงจรนี้จะรับสัญญาณอินพุตที่ได้จากการกำหนดข้อมูลอินพุตโดยการเซตบิตข้อมูล 8 บิต โดยใช้ไอซี 74LS165 ทำหน้าที่เลื่อนข้อมูลจากขนานเป็นอนุกรม โดยใช้สัญญาณนาฬิกา 32 kHz เป็นตัวเลื่อนข้อมูลโดยใช้สัญญาณนาฬิกาในการดึงข้อมูลมาเก็บไว้ในรีจิสเตอร์ของไอซี 74LS165 ความถี่ 3.2 kHz โดยมีขนาดความกว้างของพัลซ์ช่วงสภาวะด้านสูงอยู่ 31.25 μsec ซึ่งจะตรงกับขอบขาขึ้นของสัญญาณนาฬิกา ความถี่ 32 kHz ลูกถัดไป เพื่อให้ดึงข้อมูล (load) มาเก็บไว้ขนาด 8 บิต แต่สัญญาณนาฬิกาที่ใช้เลื่อน ข้อมูลมีความถี่ 32 kHz แสดงว่าทุกๆการ load ข้อมูลเข้า 1 ชุดและมีการเลื่อนบิตข้อมูลออกไปจะมีข้อมูลอยู่ 10 บิตใน 8 บิตแรกที่เลื่อนออกไปจะเป็นข้อมูล 8 บิตที่รับเข้ามา ส่วน 2 บิตหลังจะเป็นสภาวะ ทางด้านสูง ทั้ง 2 บิต เกิดขึ้นจากการเซ็ตขาไอซีตามคุณสมบัติของไอซี 74LS165

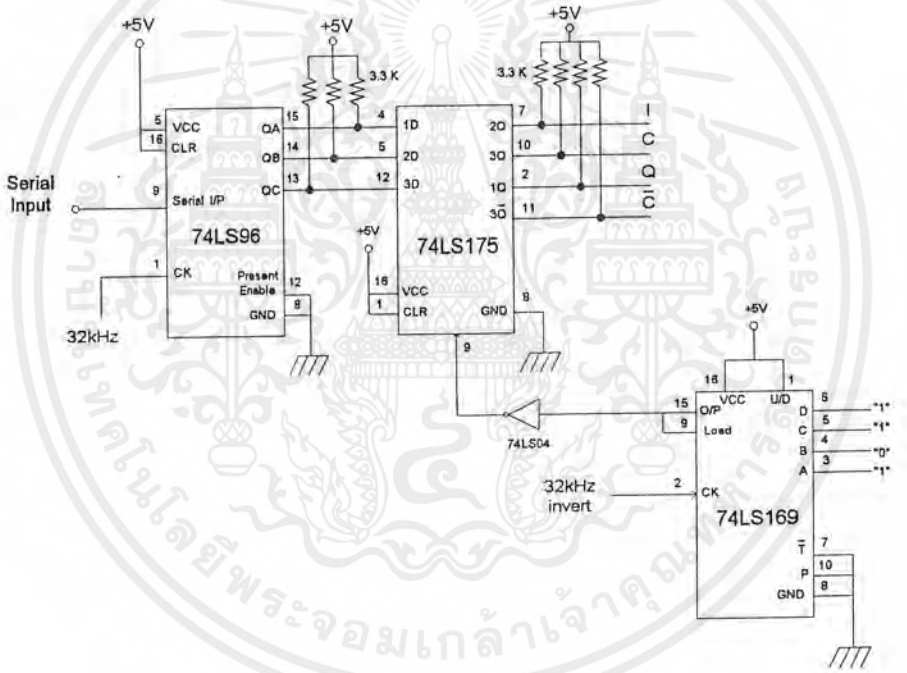
ข้อมูล 10 บิตที่เลื่อนออกไปด้วยความเร็วตามสัญญาณนาฬิกาคือ 32 kbps จะไปเข้าไอซี 74LS175 ซึ่งจะทำหน้าที่สร้างบิตเริ่มต้น (Start bit) สภาวะด้านต่ำ และ บิตสิ้นสุด (Stop bit) สภาวะด้านสูง โดยใช้สัญญาณความถี่ 3.2 kHz ที่ผ่านวงจร 74LS175 มีขอบขาลงและ ความกว้างของพัลซ์ทางด้านสภาวะ ทางด้านต่ำแคบๆเพื่อใช้ป้อนให้ขาเคลียร์ (clear) ของไอซี 74LS175 เพื่อเป็นสัญญาณสร้างบิตเริ่มต้นเป็นสภาวะทางด้านต่ำ โดยสัญญาณนาฬิกาที่ใช้เลื่อนข้อมูลของไอซี 74LS175 นี้จะใช้ความถี่ 32 kHz ที่ผ่าน Not Gate เพื่อกลับเฟสให้ขอบขาขึ้นต่างกับสัญญาณนาฬิกาที่ขอบขาขึ้นเดิม อยู่เพียง 15.625 μsec โดยการเลื่อนข้อมูลนี้ จะใช้สัญญาณนาฬิกาทั้ง 2 แบบนี้สลับกันไป เพื่อให้แต่ละข้อมูลที่เลื่อนออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปอยู่ในสภาวะที่มีข้อมูลอยู่จริง ไม่ได้อยู่ในสภาวะที่กำลังเปลี่ยนข้อมูล จึงทำให้ไม่เกิดความผิดพลาดจากการที่ไอซีใช้เวลาในการเลื่อนข้อมูลที่แตกต่างกัน

สภาวะที่ถูกเคลียร์สัญญาณนั้นจะเป็นบิตแรกในการเริ่มต้น หลังจากนั้นข้อมูลแบบ 10 บิตจะถูกเลื่อนเข้ามาตามหลัง เป็นบิตที่ 2 ไปจนถึงบิตที่ 9 โดยบิตที่ 9 ของชุดข้อมูลนี้จะเป็นสภาวะทางด้านสูงบิตแรก ส่วนบิตต่อมาที่เป็นบิตสภาวะทางด้านสูง นั้นจะตรงกับสัญญาณเคลียร์ที่เข้ามาเซ็ตให้เอาท์พุตเป็นสภาวะต่ำ และจะตามด้วยบิตแรกของข้อมูลชุดใหม่เข้ามาพอดี และจะเป็นอย่างนี้ไปเรื่อยๆทุกชุดข้อมูล โดยข้อมูลที่ออกทางเอาท์พุตจะถูกป้อนให้ภาคแปลงจากข้อมูลอนุกรมไปเป็นข้อมูลแบบขนานแบบ 3 บิต และวงจรแปลงจากข้อมูลดิจิตอล 2 ระดับไปเป็นข้อมูลอนาลอก 4 ระดับ

3.1.3 ภาค แปลงข้อมูลอนุกรมเป็นข้อมูลแบบขนานขนาด 3 บิต



รูปที่ 3.4 วงจรส่วนแปลงข้อมูลอนุกรมเป็นข้อมูลแบบขนานขนาด 3 บิต

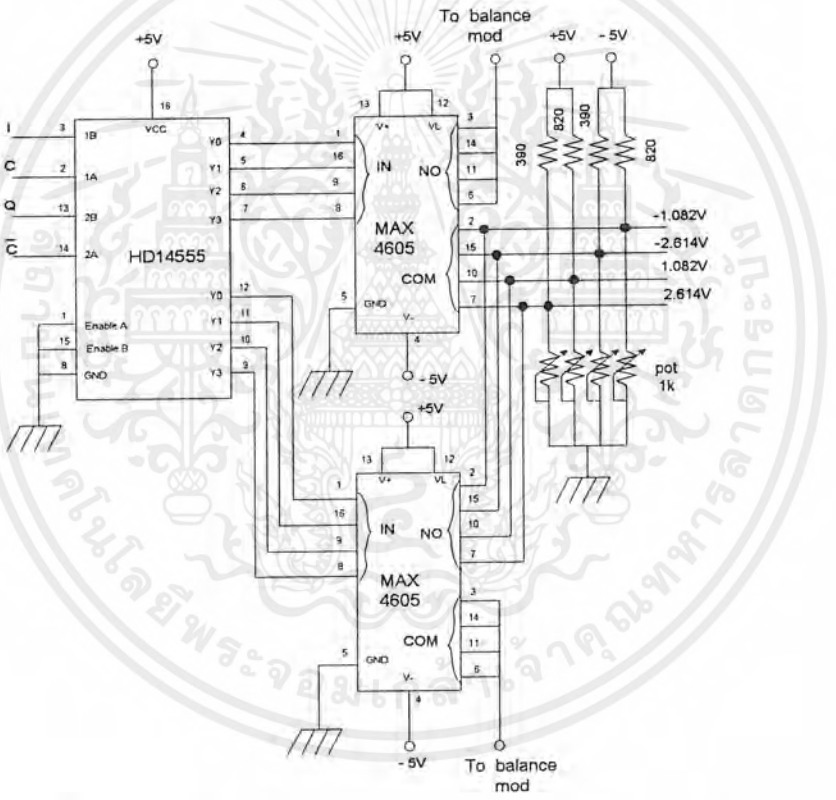
ในวงจรส่วนนี้จะใช้ไอซีเบอร์ 74LS96 ซึ่งเป็นรีจิสเตอร์ที่ใช้ในการเลื่อนข้อมูล (Shift Register) แบบ 5 บิต มาทำการเลื่อนข้อมูลโดยใช้สัญญาณนาฬิกาความถี่ 32 kHz เลื่อนข้อมูลอินพุตที่เข้ามาให้ออกที่เอาท์พุตถัดกันไปโดยดึงสัญญาณเอาท์พุต 3 ขาไปใช้งานโดยส่งต่อให้อินพุตของไอซีเบอร์ 74LS175 ทำการดึงข้อมูลเข้ามาเก็บไว้ทุกๆ3บิตที่ข้อมูลเข้ามาโดยการป้อนสัญญาณนาฬิกาที่มาจากวงจรหาร 3 โดยนำสัญญาณนาฬิกาความถี่ 32 kHz มาทำการหาร3 และนำไปควบคุมการดึงข้อมูลทุก 3 บิตมาเก็บไว้เพื่อส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อข้อมูลเป็นคู่ๆ คือ I , C และข้อมูล Q , $\bar{C}$ โดยข้อมูลทั้ง 2 ชุดนี้จะนำไปส่งต่อให้วงจรแปลงข้อมูลดิจิตอล 2 ระดับเป็นข้อมูลอนาลอก 4 ระดับ

วงจรส่วนที่ใช้หาร 3 ความถี่ 32 kHz นี้ใช้ไอซีเบอร์ 74LS169 เป็นตัวนับข้อมูลขนาด 4 บิต (Synchronous 4-bit Binary Counter) โดยตั้งค่าที่จะเริ่มนับได้จากการเซ็ตที่ขาของไอซีเลย โดยจากวงจรจะตั้งให้มีการนับขึ้นจนถึง 15 ก็จะมีสัญญาณออกที่เอาท์พุตเป็นระดับแรงดันต่ำและส่งสัญญาณนี้ต่อไปโดยนำไปต่อกับน็อตเกต เพื่อส่งไปเป็นสัญญาณควบคุมให้กับไอซีเบอร์ 74LS175 เพื่อเลื่อนข้อมูลครั้งละ 3 บิตต่อไป

3.1.4 วงจรแปลงข้อมูลดิจิตอล 2 ระดับ เป็นข้อมูลอนาลอก 4 ระดับ



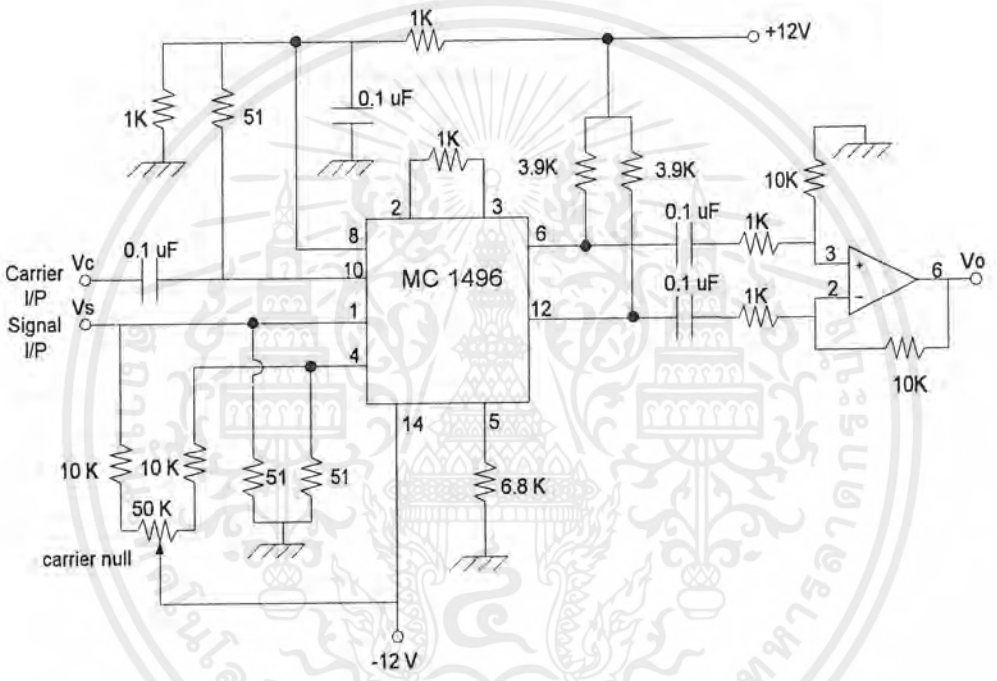
รูปที่ 3.5 วงจรแปลงข้อมูลดิจิตอล 2 ระดับ เป็นข้อมูลอนาลอก 4 ระดับ

วงจรแปลงข้อมูลดิจิตอล 2 ระดับ เป็นข้อมูลอนาลอก 4 ระดับนี้จะนำข้อมูล 2 ชุด ชุดละ 2 บิตมาทำการเข้ารหัสให้มีค่าแรงดันต่างกัน 4 ระดับ 2 ชุด ที่เปลี่ยนแปลงตามข้อมูลอินพุตที่เข้ามาโดยใช้ไอซีซีมอส เบอร์ 4555 ซึ่งเป็น Dual 2 Line to 4 Line Decoder ทำการถอดรหัสข้อมูลที่เข้ามาแบบไบนารี (Binary) 2 บิต ส่งออกขาเอาท์พุต 4 ขาเป็นแบบข้อมูลฐานสิบ (Decimal) โดยในเวลาใดเวลาหนึ่งจะมีสภาวะทางด้านสูงที่ขาใดขาหนึ่งเท่านั้น โดยจะส่งต่อสัญญาณทั้ง 4 ขานี้มาเป็นตัวเลือกแรงดันให้ส่งออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เอาท์พุตเพียงระดับเดียวใน 4 ระดับส่งออกไปโดยจะทำงานที่สภาวะบิตสูง (Active High)ส่วนไอซีที่ใช้เป็นตัวเลือกส่งแรงดันระดับใดออกที่เอาท์พุตนั้นใช้ไอซีเบอร์ MAX 4605 เป็น Quad CMOS Analog Switch โดยสัญญาณที่มาจากไอซีเบอร์ 4555 นั้นจะทำหน้าที่เสมือนเป็นตัวสับสวิทช์ต่อเลือกแรงดันเท่านั้น โดยแรงดันที่ป้อนให้ระดับใดๆนั้นจะใช้ตัวต้านทานต่อแบบแบ่งแรงดัน (Divider) โดยใช้ตัวต้านทานปรับละเอียดเป็นตัวปรับแรงดันให้ได้ค่าแรงดันที่เอาท์พุตตามที่ต้องการ ส่วนสัญญาณเอาท์พุตที่ได้นั้นจะส่งต่อไปเข้าวงจรบาลานซ์มอดูเลเตอร์ เพื่อทำการมอดูเลทสัญญาณต่อไป

3.1.5 วงจรบาลานซ์มอดูเลเตอร์



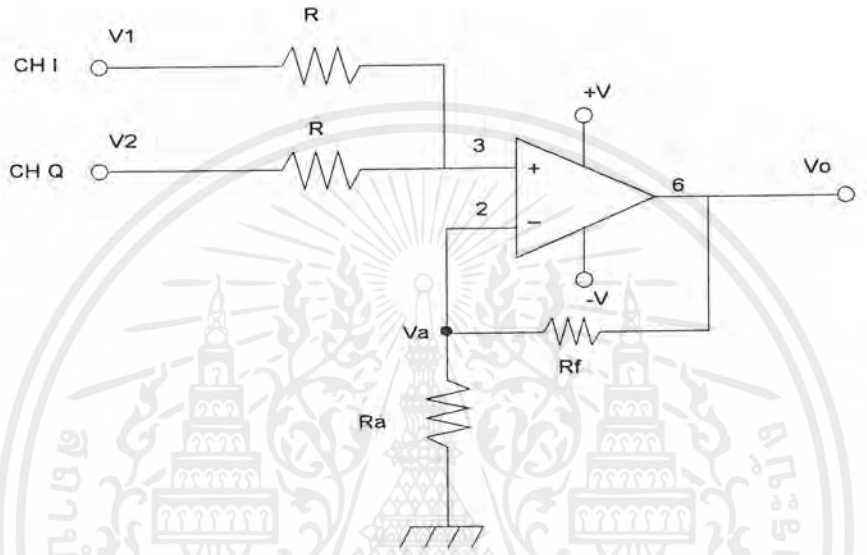
รูป 3.6 วงจรบาลานซ์มอดูเลเตอร์

วงจรบาลานซ์มอดูเลเตอร์จะใช้ไอซีเบอร์ MC1496 จะมีด้วยกัน 2 ชุด โดยจะใช้มอดูเลทสัญญาณที่ I – Channel ตัวหนึ่ง และที่ Q – Channel อีกตัวหนึ่ง โดยนำสัญญาณ PAM มาจากวงจรแปลงข้อมูลดิจิตอล 2 ระดับเป็นข้อมูลอนาลอก 4 ระดับ มาทำการมอดูเลทกับสัญญาณคลื่นพาห์มีความถี่ 256 kHz ซึ่งสัญญาณคลื่นพาห์ที่นำมาป้อนให้วงจรบาลานซ์มอดูเลเตอร์ ทั้ง 2 ชุดนั้นจะมีเฟสต่างกันอยู่ 90 องศา คือเป็นสัญญาณโคไซน์กับไซน์ที่มีความถี่เดียวกัน โดยสัญญาณที่ออกมาที่เอาท์พุตจะต้องปรับให้มีขนาดสัญญาณการมอดูเลททุกลูกมีขนาดเท่ากันโดยการปรับแคเรียนัล (Carrier Null)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อควรคำนึงถึงในส่วนวงจรนี้คือ ข้อกำหนดจากดาต้าชีท ของ IC MC 1496 ได้ระบุไว้ว่าขนาดของสัญญาณที่จะนำมามอดูเลทควรมีค่าประมาณ 300 mV (rms) และขนาดของสัญญาณพาหะควรมีค่าประมาณ 150 mV (rms) ดังนั้นก่อนนำไปคูณควรผ่านตัวต้านทานปรับค่าได้เสียก่อนเพื่อจะได้ควบคุมระดับสัญญาณก่อนนำไปคูณ

3.1.6 วงจรรวมสัญญาณ



รูป 3.7 วงจรรวมสัญญาณ

จากรูปที่ 3.7 ใช้วงจรรวมสัญญาณป้อนกลับแบบลบ (Non Inverting Summing Amp) เพื่อรวมสัญญาณที่ได้จากวงจรบาลานซ์มอดูเลเตอร์ที่ได้จาก แชนแนล I และ แชนแนล Q ให้ได้สัญญาณเอาท์พุตเป็นสัญญาณ 8 – PSK ที่มีการชิฟเฟสต่างๆกัน 8 เฟส แต่มีขนาดของแรงดันคงที่

จากรูปที่ 3.7 ที่จุด VA จะได้

$$Va = ((V1/R) + (V2/R)) \times (R/2)$$

$$= (V1+V2)/2$$

และจะได้กระแสที่ไหลผ่าน Ra เป็น (V1+V2)/2Ra

จะได้ $Vo = ((V1+V2)/(2Ra)) \times (Rf+Ra)$

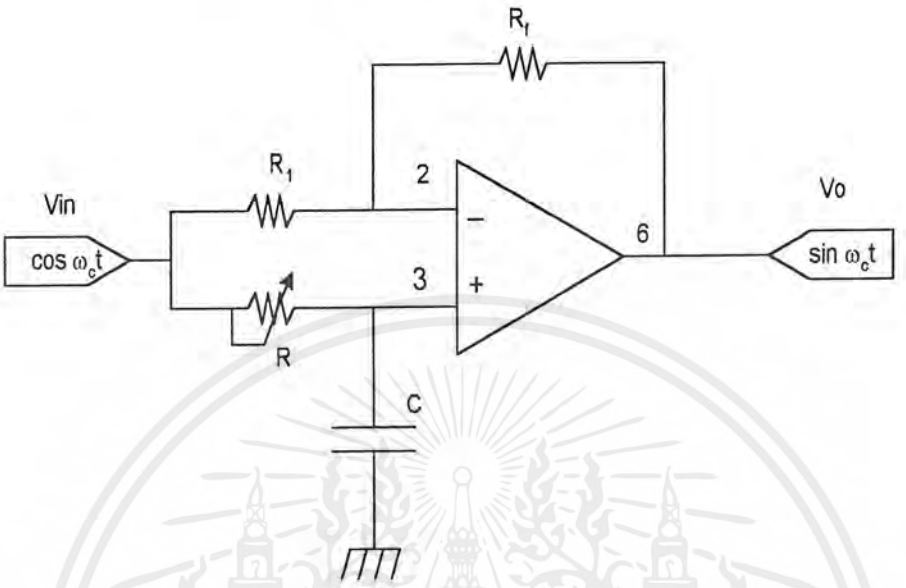
ให้ $Rf = Ra = R$ จะได้

$$Vo = V1 + V2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.7 วงจรเลื่อนเฟส 90 องศา

ในการออกแบบวงจรเลื่อนเฟส เพื่อทำการเลื่อนสัญญาณที่เข้ามาทางอินพุตหรือเป็นการหน่วงเวลาอินพุตให้ช้าลง ซึ่งสามารถเขียนวงจรได้ดังรูปที่ 3.8



รูปที่ 3.8 วงจรเลื่อนเฟส 90 องศา

จากรูปวงจรที่ 3.8 เมื่อกำหนดให้ค่าของ $R_1 = R_f$ จะได้สมการแรงดันเอาท์พุต (Vo) ดังต่อไปนี้

$$Vo = -Vin + \frac{-jXc}{R - jXc} Vin \quad (2)$$

โดยที่ $-j = 1/j$

$Xc = 1/2\pi fc$

f = ความถี่ที่จะใช้ในการเลื่อนข้อมูล

แทนค่าของ $-j$ และ Xc จะได้สมการใหม่ดังนี้

$$Vo = Vin\left(-1 + \frac{2}{j2\pi fRC + 1}\right)$$

$$\frac{Vo}{Vin} = \frac{1 - j2\pi fRC}{1 + J2\pi fRC}$$

สามารถคำนวณหาค่ามุม วงจรเลื่อนเฟส ได้จากสมการ

$$\Phi = -2\tan^{-1}\frac{(2\pi fRC)}{1} \quad (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะฉะนั้นถ้าต้องการให้มีมุมของเฟส (Φ) = -90° สามารถหาค่าของอุปกรณ์ได้โดยกำหนดค่า ตัวเก็บประจุ และค่าของความถี่ที่ต้องการจากสมการที่ 3.1

$$R = \frac{1}{2\pi fc}$$

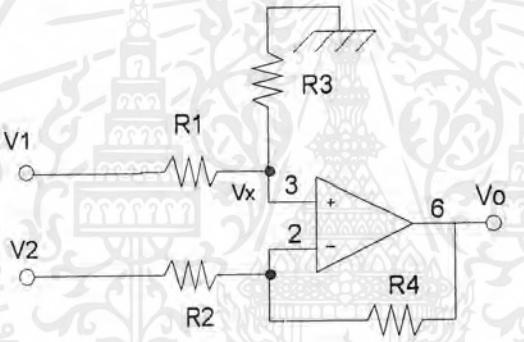
กำหนดค่า $f = 2\ MHz$ กำหนดค่า $C = 80\ pF$

$$R = \frac{1}{2\pi \times 2MHz \times 80pF}$$

$$R = 994.71\,\Omega$$

3.1.8 วงจรขยายสัญญาณผลต่าง

เนื่องจากเอาท์พุตของวงจรมัลติไพลเออร์ จะประกอบด้วยเอาท์พุต 2 เอาท์พุต ซึ่งมีขนาดเท่ากัน แต่กลับเฟสกัน ดังนั้นเพื่อการนำเอาสัญญาณเอาท์พุตจากวงจรมัลติไพลเออร์ไปใช้งาน เราจึงนำมาผ่านวงจรขยายสัญญาณผลต่าง ดังแสดงในรูปที่ 3.9 เพื่อที่จะทำให้ได้ระดับสัญญาณเพิ่มเป็น 2 เท่า



รูปที่ 3.9 แสดงวงจรขยายสัญญาณผลต่าง

จากรูปจะได้ว่า

ที่โหนดที่ 1

$$\frac{Vx - V1}{R1} + \frac{Vx}{R3} = 0$$

$$Vx = \frac{V1}{R1}\left(\frac{R1 \times R3}{R1 + R3}\right) \qquad (1)$$

ที่โหนดที่ 2 แทนด้วย Vx จะได้

$$\frac{Vx - V2}{R2} + \frac{Vx - Vo}{R4} = 0 \qquad (2)$$

แทน Vx ใน (1) ลงใน (2) จะได้

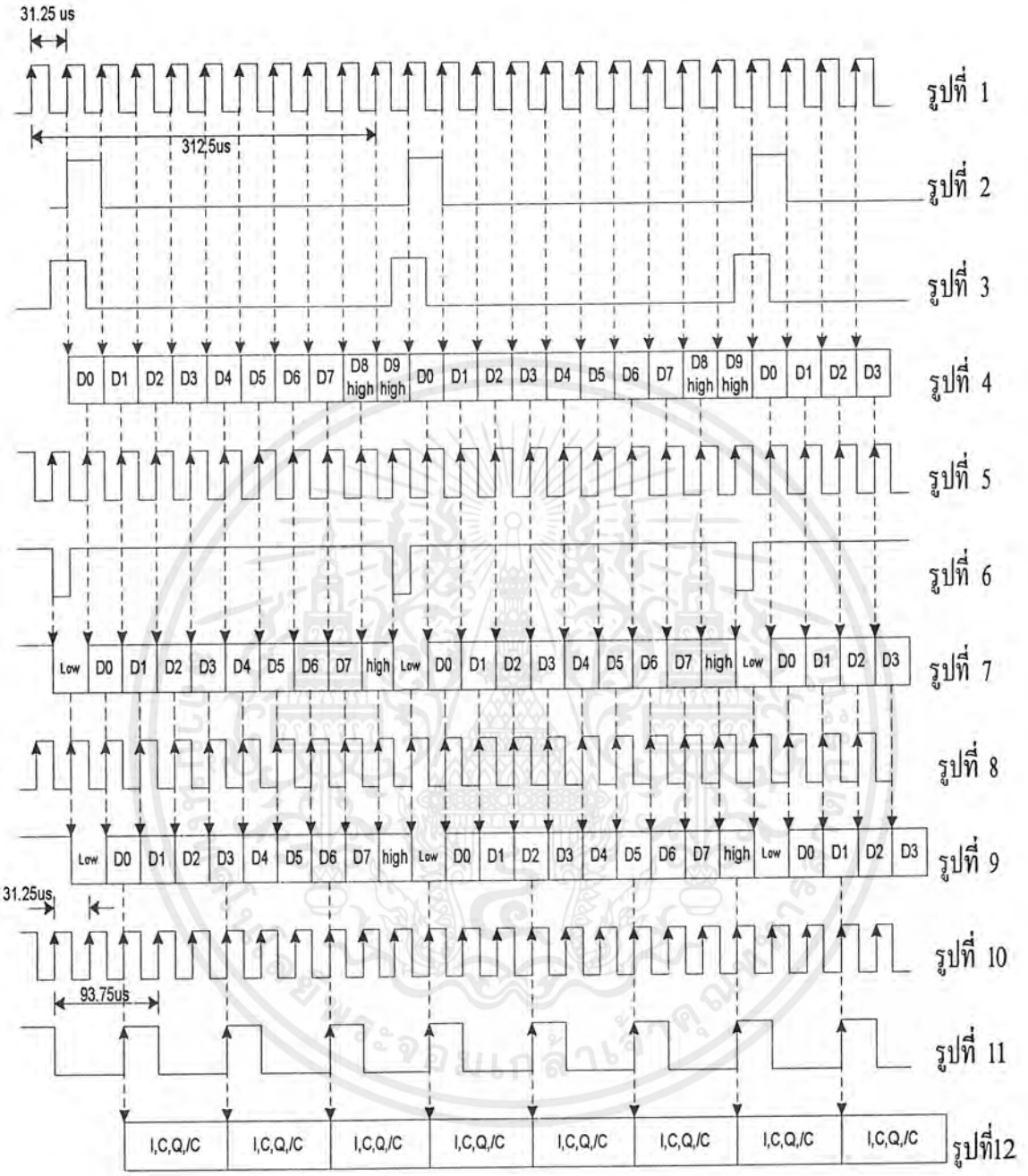
$$\frac{V1}{R1}\left(\frac{R1 \times R3}{R1 + R3}\right)\left(\frac{R4 + R2}{R1 \times R4}\right) - \frac{V2}{R2} = \frac{Vo}{R4}$$

ให้ R มีค่าเท่ากันทุกตัว จะได้

$$Vo = V1 - V2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณควบคุมและข้อมูลที่เทียบกับสัญญาณนาฬิกาที่จุดต่างๆของเครื่องส่ง



คำอธิบายรูปสัญญาณควบคุมและข้อมูลที่เทียบกับสัญญาณนาฬิกาที่จุดต่างๆของเครื่องส่ง

รูปที่ 1 เป็นสัญญาณรูปสี่เหลี่ยมที่มีความถี่ 32 kHz ใช้เป็นสัญญาณนาฬิกา ซึ่งเป็นตัวอ้างอิงกับ สัญญาณนาฬิกาตัวอื่นๆทั้งหมดในส่วนของเครื่องส่ง โดยเป็นสัญญาณมาจากเอาท์พุตของไอซี ซีมอส 14 – Stage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2 เป็นสัญญาณรูปสี่เหลี่ยม ความถี่ 3.2 kHz ที่ได้มาจากการนำสัญญาณนาฬิกา 32 kHz (จากรูปที่ 1) มาผ่านน็อตเกท กลับเฟสไป 180 องศา ทำให้ขอบขาขึ้นต่างกัน 15.625 μ Sec(จากรูปที่ 5) นำมาผ่านวงจรหาร 10 โดย IC 74LS163 โดยสัญญาณนี้จะถูกป้อนให้ขาโหลด ของ 74LS165 เพื่อให้ 74LS165 ทำการดึงข้อมูล แบบขนาน 8 บิต เข้ามาเก็บไว้ เมื่อมีสัญญาณนาฬิกา 32 kHz (รูปที่ 1) มาทริกที่ขา 2 ซึ่งเป็นขารับสัญญาณนาฬิกา ของ 74LS165 และเมื่อดึงข้อมูลแล้วจะมีข้อมูลปรากฏที่ O/P QH ของ 74LS165 ทันที เมื่อดึงข้อมูลเสร็จแล้วก่อนที่สัญญาณนาฬิกา 32 kHz ลูกต่อไปเข้ามา สัญญาณที่ขา โหลด จะตกเป็นสภาวะต่ำ เพื่อให้เมื่อมีสัญญาณ 32 kHz ลูกต่อไปเข้ามาจะทำการเลื่อน บิตถัดไปที่เข้ามาที่ขาเอาท์พุต คือ เลื่อนบิตจาก QG ไป QH,QF ไป QG,QE ไป QF,QD ไป QE,QC ไป QD,QB ไป QC,QA ไป QB และบิต QA จะเป็นสภาวะทางด้านสูงแทนข้อมูลเดิมโดย QH เป็นเอาท์พุต แบบอนุกรมเพื่อส่งข้อมูลต่อไปยัง 74LS175 เพื่อสร้างบิตเริ่มต้นและบิตสิ้นสุดต่อไป

รูปที่ 3 เป็นข้อมูลที่ปรากฏที่ขา QH ของ 74LS165 เพื่อป้อนสัญญาณนาฬิกา 32 kHz (รูปที่ 1) ให้ขา รับสัญญาณนาฬิกาของ 74LS165 โดยจะเห็นว่าข้อมูลที่ขา QH ของ 74LS165 จะเปลี่ยนไปเมื่อมีสัญญาณนาฬิกาลูกที่ 2 ถึงลูกที่ 10 โดยสัญญาณนาฬิกาลูกที่ 9 และ 10 จะทำให้ข้อมูลที่ขา QH เป็นสภาวะบิตสูง ตามคุณสมบัติของ 74LS165 โดยข้อมูลที่ขา QH นี้จะป้อนให้ 74LS175 เพื่อส่งเป็น ข้อมูลอนุกรมโดยเพิ่มบิตเริ่มต้น และ บิตสิ้นสุดต่อไป

รูปที่ 4 สัญญาณนาฬิกา 32 kHz ที่นำสัญญาณจากรูปที่ 1 มาผ่านน็อตเกทเพื่อใช้ป้อนสัญญาณให้ขารับสัญญาณนาฬิกาของ 74LS175 และขารับสัญญาณนาฬิกาของ 74LS169 (สัญญาณเดียวกับรูปที่ 10)

รูปที่ 5 เป็นสัญญาณที่สร้างมาจากการนำเอาสัญญาณนาฬิกาความถี่ 3.2 kHz จาก รูปที่ 3 ไปเข้าวงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์เบอร์ 74LS123 เพื่อปรับค่าความกว้างของพัลซ์ด้านต่ำให้แคบ เพื่อใช้ป้อนเป็นสัญญาณที่จะนำไปเป็นสัญญาณเคลียร์ของ 74LS175 เพื่อสร้างบิตเริ่มต้น เป็นข้อมูลด้านบิตต่ำให้แต่ละชุดข้อมูล

รูปที่ 6 เป็นข้อมูลที่เกิดขึ้นที่อินพุต ขา Q1 ของ 74LS175 โดยใช้สัญญาณนาฬิกา 32 kHz (รูปที่ 5) เป็นตัวเลื่อนข้อมูลออกมา โดยมีสัญญาณเคลียร์ดังรูปที่ 6 เพื่อใช้เคลียร์ ข้อมูลบิตแรกของทุกชุดข้อมูลให้เป็นสภาวะต่ำเพื่อแสดงสถานะเป็นบิตเริ่มต้นซึ่งจะเป็นตัวชี้บอกว่าบิตหลังจากนี้จะเป็นข้อมูลแล้วโดยสัญญาณนาฬิกา นี้จะเลื่อนบิต D0 – D7 จนครบและจะมีบิต D8 ซึ่งเป็นบิตสุดท้ายที่จะถูกเลื่อนผ่านไปได้ก่อนที่จะมีการเคลียร์บิตอีกครั้งเพื่อสร้างบิตเริ่มต้น ในชุดข้อมูลต่อไป และบิต D8 ซึ่งเป็นบิตสุดท้ายของแต่ละชุดข้อมูลจะเป็นสภาวะสูงเสมอ ปิดท้ายทุกชุดข้อมูล เป็นบิตสิ้นสุด ซึ่งจะบอกว่าชุดข้อมูลนี้ได้ส่งข้อมูลเสร็จสิ้นแล้ว ต่อจากนั้นก็จะเริ่มโดยบิตเริ่มต้น ซึ่งเป็นสภาวะทางด้านต่ำ ของชุดข้อมูลต่อไปทันที จะเห็นว่าช่วงเวลาที่สัญญาณนาฬิกา 32 kHz ดังรูปที่ 5 ซึ่งผ่านน็อตเกทจะนำไปทริก เพื่อรับข้อมูลเข้ามาที่ IC 74LS175 นั้น เวลาที่สัญญาณนาฬิกาทริกนั้นจะอยู่กึ่งกลางบิตของข้อมูลที่เข้ามาจาก 74LS165 พอดี แบบนี้จะไม่ทำให้เกิดการผิดพลาดของข้อมูล (Data) จากการรับส่งบิต เนื่องจากช่วงเวลาการแปลงสัญญาณและส่งให้เอาท์พุตของไอซี แต่ละตัวไม่เท่ากัน

รูปที่ 7 เป็นสัญญาณรูปสี่เหลี่ยมที่มีความถี่ 32 kHz สัญญาณเดียวกันกับรูปที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

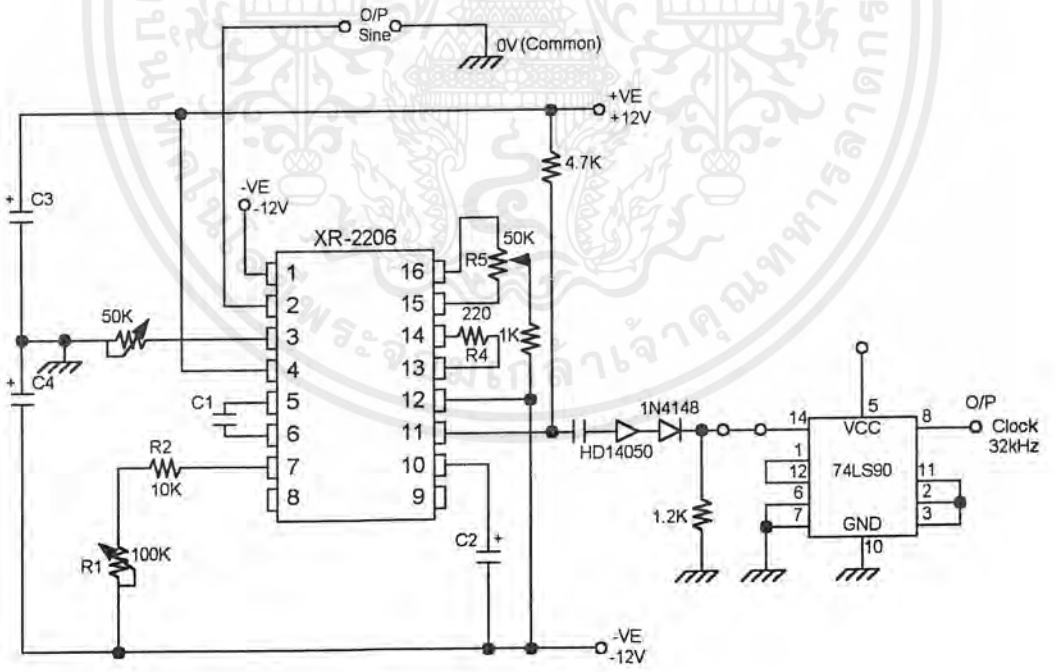
รูปที่ 8 เป็นข้อมูลที่เกิดขึ้นจาก ไอซี 74LS96 เป็นวงจรชิพรีจิสเตอร์จากขา QA – QB – QC – QD – QE ตามสัญญาณนาฬิกา 32 kHz จากรูปที่ 8 โดยต่อขา QA,QB,QC ของ74LS96 กับขา อินพุตของ 74LS175 เพื่อให้ 74LS175 ทำการดึงข้อมูลทุกๆการเลื่อนของข้อมูล (Data) 3บิต

รูปที่ 9 เป็นสัญญาณรูปสี่เหลี่ยมที่มีความถี่ 32 kHz สัญญาณเดียวกับรูปที่ 5 เพื่อใช้ป้อนให้ ไอซี 74LS169 เป็นวงจรหาร 3 เพื่อนำเอาท์พุตไปเป็นสัญญาณนาฬิกาให้ 74LS175 เพื่อดึงข้อมูลครั้งละ 3 บิต นำไปป้อนให้ภาคแปลงข้อมูลดิจิตอล 2 ระดับเป็นข้อมูลอนาลอก 4 ระดับต่อไป

รูปที่ 10 สัญญาณที่นำไปทริกให้ 74LS175 มีความถี่ 10.66 kHz เนื่องจากนำความถี่ 32 kHz มาทำการหาร 3 เพื่อใช้รับข้อมูลครั้งละ 3 บิตไปแปลงสัญญาณ

รูปที่ 11 สัญญาณที่ปรากฏที่เอาท์พุต ของ ไอซี MC14555 เข้าวงจรแปลงข้อมูลดิจิตอล 2 ระดับ เป็นข้อมูลอนาลอก 4 ระดับ แล้วนำสัญญาณเอาท์พุตไปทำการมอดูเลทกับสัญญาณพาหะ ที่เป็นสัญญาณไซน์ และ โคไซน์ หลังจากการมอดูเลท แล้วจะนำสัญญาณมารวมกัน โดยวงจรรวมสัญญาณก็จะได้สัญญาณ 8 – PSK ที่มีเฟสเลื่อนไปจากความถี่คลื่นพาห์เดิม

3.1.9 วงจรออสซิลเลเตอร์กำเนิดสัญญาณนำร่อง (Pilot Tone)



รูปที่ 3.10 วงจรออสซิลเลเตอร์กำเนิดสัญญาณนำร่อง

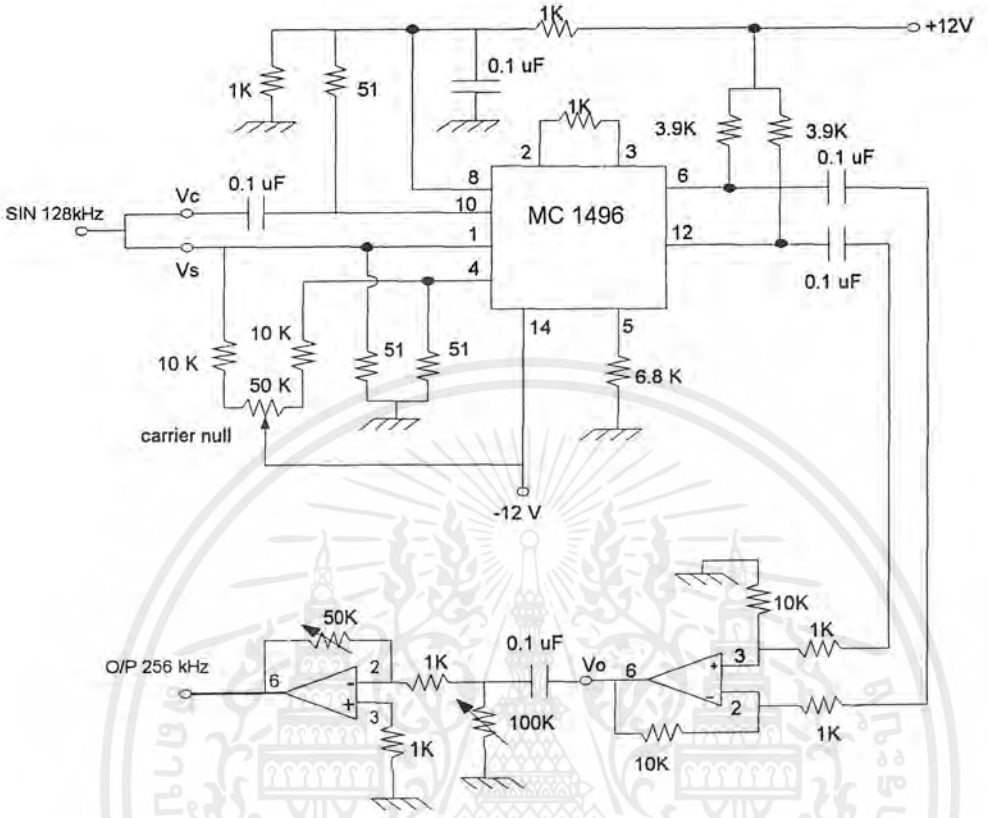
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกำเนิดสัญญาณนำร่องสร้างมาจากไอซี XR 2206 ซึ่งเป็นโมโนลิคทิกฟังก์ชันเจนเนอร์เรเตอร์ ใช้ในการผลิตคลื่นรูปไซด์ และรูปคลื่นสี่เหลี่ยมความถี่ 128 kHz ซึ่งสัญญาณคลื่นรูปไซน์ จะใช้เป็นสัญญาณนำร่อง (Pilot) ส่งรวมไปกับสัญญาณข้อมูล 8 – PSK เพื่อช่วยในการกู้สัญญาณพาหะ (Recovery Carrier) และกู้สัญญาณนาฬิกา (Recovery Clock) ให้มีความสัมพันธ์ (Synchronize) กันระหว่างเครื่องส่งและเครื่องรับ โดยสัญญาณนำร่องนี้จะนำไปใช้ในการสร้างสัญญาณความถี่ 256 kHz โดยการนำเอาสัญญาณไซน์ 128 kHz ไปเข้าวงจรบาลานซ์มอดูเลเตอร์ โดยการต่ออินพุตเข้าด้วยกัน เพื่อใช้เป็นวงจรยกกำลังสอง จะได้สัญญาณเอาท์พุตเป็นสัญญาณไซน์ความถี่ 256 kHz นำไปใช้เป็นสัญญาณพาหะต่อไป

3.1.10 วงจรยกกำลังสอง (กำเนิดสัญญาณพาหะ)

เป็นการสร้างสัญญาณพาหะจากการ นำสัญญาณนำร่องที่สร้างจากไอซี XR – 2206 ความถี่ 128 kHz มายกกำลังสองให้ได้ความถี่ 2 เท่าของสัญญาณนำร่องเดิมโดยใช้วงจรบาลานซ์มอดูเลเตอร์ให้ต่ออินพุตร่วมกัน แล้วป้อนสัญญาณนำร่องความถี่ 128 kHz เพื่อยกกำลังสองและทำการปรับจนกระทั่งได้สัญญาณไซ์ความถี่ 256 kHz นำสัญญาณพาหะนี้ไปทำการเลื่อนเฟสให้เป็นสัญญาณไซน์ ที่มีความต่างเฟสกัน 90 องศา นำไปป้อนเข้าวงจรบาลานซ์มอดูเลเตอร์ เพื่อทำการคูณกับสัญญาณ 4 ระดับต่อไปและสัญญาณเอาท์พุตของวงจรบาลานซ์มอดูเลทเตอร์ทั้ง 2 แชลแนลจะนำมาบวกกันก็จะได้สัญญาณ 8 – PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

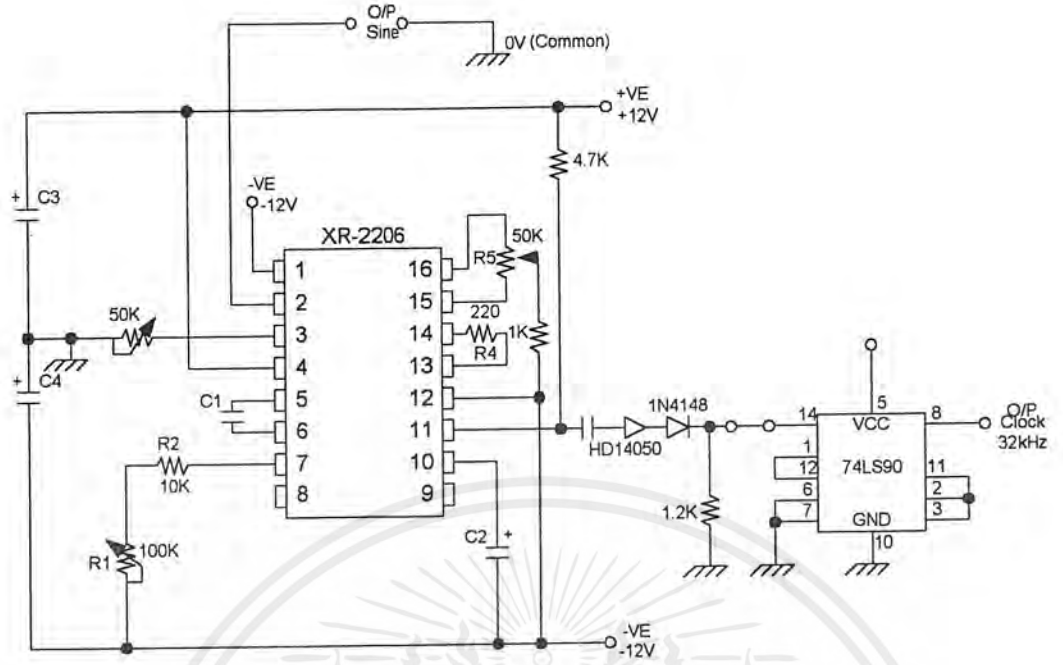


รูปที่ 3.11 วงจรยกกำลังสอง

3.1.11 วงจรกำเนิดสัญญาณนาฬิกา 32 kHz

ทำการสร้างสัญญาณนาฬิกาความถี่ 32 kHz จากสัญญาณสี่เหลี่ยมความถี่ 128 kHz โดยใช้วงจรเฟสล็อคลูปช่วยในการหารขนาดความถี่โดยใช้ไอซี MC 14046 ประกอบกับไอซี 74LS90 ในการรักษาระดับความถี่ให้คงที่ตลอดเวลา โดยสัญญาณนาฬิกาความถี่ 32 kHz นี้จะใช้เป็นสัญญาณนาฬิกาหลักในการนำไปเลื่อนข้อมูลความเร็ว 32 kbps ของวงจรทางภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



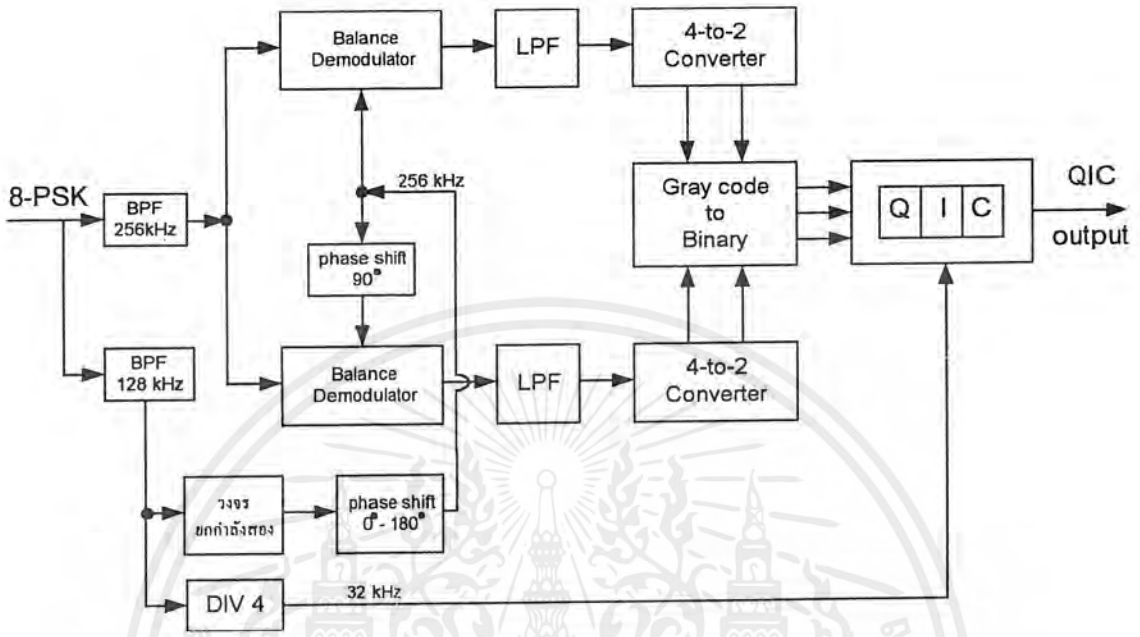
รูปที่ 3.12 วงจรกำเนิดสัญญาณนาฬิกา 32 kHz

3.2 การออกแบบและการทดลองวงจรทางด้านภาครับ

ในการออกแบบและทดลองวงจรทางด้านภาครับนั้น ต้องเพิ่มวงจรบางส่วนจากทฤษฎี เพื่อให้สอดคล้องกับสัญญาณที่ส่งมาจากทางด้านภาคส่งซึ่งสัญญาณที่ส่งมามีความถี่ของสัญญาณนำร่อง128 kHz ร่วมกับสัญญาณที่เข้ารหัสแบบ 8 – PSK ดังนั้นจึงต้องมีวงจรกรองสัญญาณ 2 ส่วนคือวงจรกรองความถี่นำร่อง 128 kHz และวงจรกรองสัญญาณเข้ารหัส 8 – PSK ความถี่ 256 kHz เมื่อได้ความถี่นำร่อง 128 kHz ก็สามารถนำมาสร้างสัญญาณพาหะและสัญญาณนาฬิกาที่ซิงโครไนซ์กันกับที่ส่งมาจากภาคส่งทำให้สามารถรับข้อมูลได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บล็อกไดอะแกรมของภาครับ 8 – PSK แสดงดังรูป



รูปที่ 3.13 บล็อกไดอะแกรมของภาครับ 8 – PSK

3.2.1 วงจรกรองช่วงความถี่

วงจรกรองช่วงความถี่นี้ จะทำหน้าที่คัดเลือกสัญญาณในช่วงความถี่ที่ต้องการให้สามารถผ่านวงจรออกไปได้ โดยที่ไม่ถูกลดทอน หน้าที่ของวงจรกรองช่วงความถี่นี้จะทำหน้าที่กรองเอาสัญญาณไซน์เวฟออกจากสัญญาณรูปสี่เหลี่ยม ภายในส่วนของวงจรกำเนิดสัญญาณพาหะและวงจรกำเนิดสัญญาณไพล็อททโทนและยังช่วยกำจัดสัญญาณรบกวน ที่เกิดจากวงจรข้างเคียงก่อนจะส่งออกไปยังภาครับอีกด้วย

วงจรกรองช่วงความถี่ แบ่งเป็น 2 อย่าง คือ narrow band filter และ wide band filter โดยวงจร narrow band filter จะมีค่าแบนด์วิธมากกว่า 0.1 เท่าของความถี่รีโซแนนซ์ ($B > 0.1w_r$) และวงจร wide band filter จะมีค่าแบนด์วิธน้อยกว่า 0.1 เท่าของความถี่รีโซแนนซ์ (Resonance Frequency) อัตราส่วนระหว่างความถี่รีโซแนนซ์กับแบนด์วิธเราเรียกว่า quality factor:Q

$$B = \frac{Wr}{Q}$$

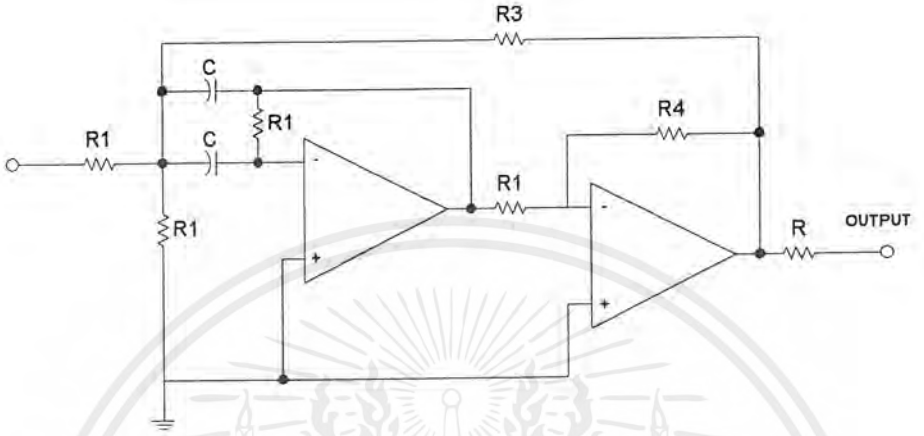
หรือ

$$Q = \frac{Wr}{B}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นั่นคือค่า Q ของวงจร narrow band filter จะมีค่ามากกว่า 10 และค่า Q ของวงจร wide band filter จะมีค่าน้อยกว่า 10

สำหรับวงจรกรองความถี่ย่านผ่านเราใช้วงจรPositive Feedback Filter แสดงดังรูปที่ 3.14



รูปที่ 3.14 วงจรกรองช่วงความถี่ผ่านป้อนกลับแบบบวก

การออกแบบเราจะกำหนดความถี่ที่ต้องการ กำหนดค่า Q หรือ BW และแกนที่ต้องการ ขั้นตอนในการออกแบบมีดังนี้

1) เลือกค่าคาปาซิเตอร์ และหาค่า K parameter จากกราฟ (ในภาคผนวก)
2) ใช้ค่า K ที่หาได้จากข้อ 1) มาหาค่าความต้านทานจากกราฟ (ในภาคผนวก) ซึ่งจะขึ้นอยู่กับค่า Q, BW และแกนที่เรากำหนด
3) เลือกค่าความต้านทานให้ตรงตามกราฟที่ได้และทำการสร้างวงจร

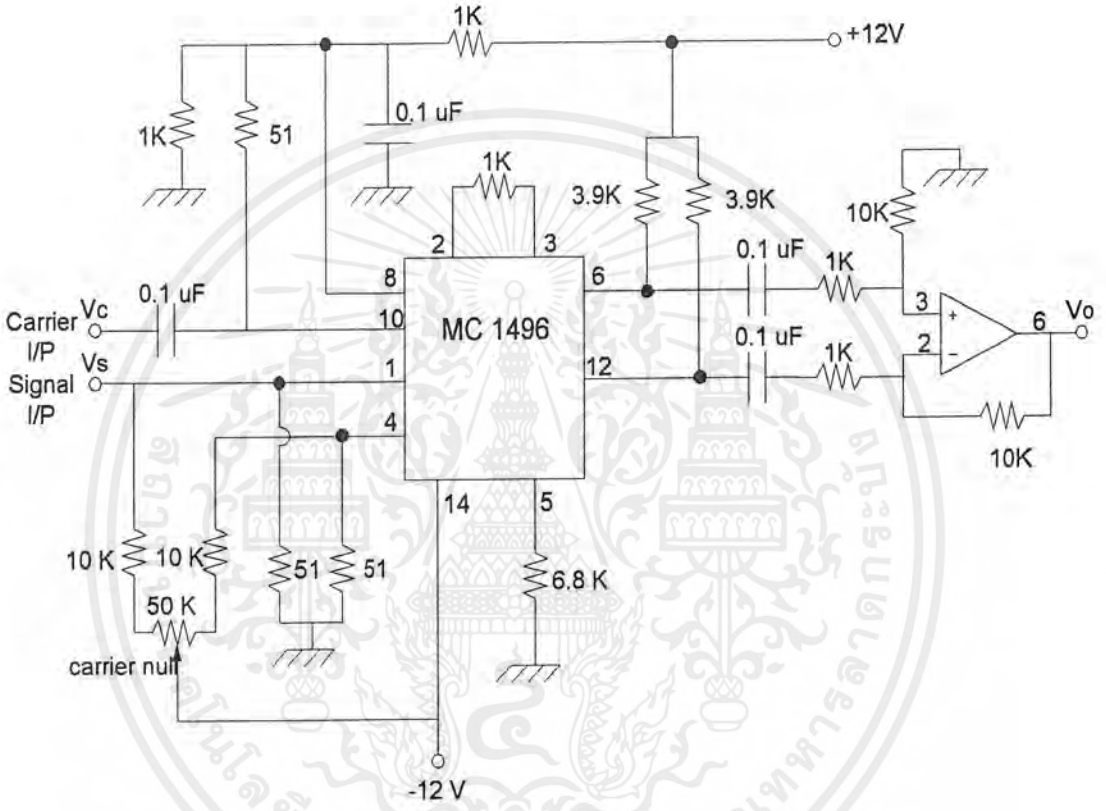
3.2.2 วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรบาลานซ์ดีมอดูเลเตอร์ (Balance Demodulator) ที่ภาครับนี้จะเป็นวงจรที่มีลักษณะคล้ายกับวงจรบาลานซ์มอดูเลเตอร์ (Balance Modulator) ที่ใช้ในภาคส่ง มีข้อแตกต่างกันอยู่เล็กน้อยเท่านั้น ดังจะแสดงในรูปที่ 3.15 และจะมีข้อมูลที่ส่งมา 2 ส่วน ดังนั้นในภาครับนี้ก็จะต้องมีวงจรบาลานซ์ดีมอดูเลเตอร์ 2 วงจร เพื่อที่จะทำหน้าที่แยกวงจรสัญญาณ 4 ระดับที่ถูกมอดูเลทกับสัญญาณพาหะทั้งสองด้าน ทั้งทางด้านอินเฟสและทางด้านควอดราเจอร์เฟส โดยอาศัยสัญญาณพาหะจากวงจรกู้สัญญาณ นำมาคูณเข้ากับสัญญาณข้อมูล 8 - PSK ที่วงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านอินเฟส และสัญญาณพาหะจากวงจรเลื่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟส 90 องศา คือ สัญญาณรูปโคไซน์คูณเข้ากับสัญญาณมอดูเลทที่วงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านควอดราเจอร์เฟส

ลักษณะและรายละเอียดของวงจรบาลานซ์ดีมอดูเลเตอร์ทั้ง 2 วงจรจะเหมือนกันทุกประการจึงแสดงไว้เพียงวงจรเดียว ดังรูปที่ 3.15



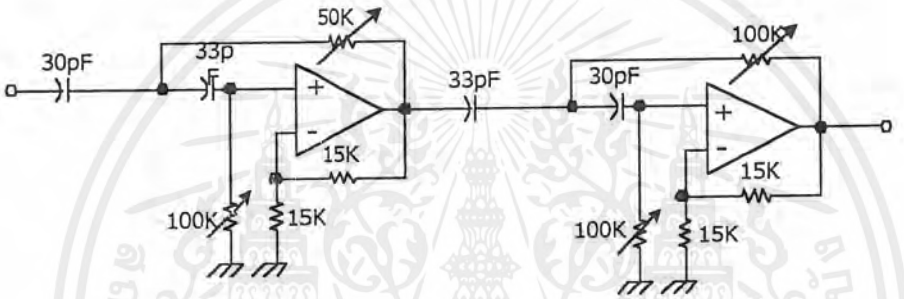
รูปที่ 3.15 วงจรบาลานซ์ดีมอดูเลเตอร์

สัญญาณเอาท์พุตของวงจรบาลานซ์ดีมอดูเลเตอร์ทั้ง 2 วงจรนั้นจะประกอบไปด้วยสัญญาณที่เกิดจากการคูณกันระหว่างสัญญาณมอดูเลทกับสัญญาณพาหะ และผลที่ได้จะมีทั้งสัญญาณความถี่สูงและสัญญาณความถี่ต่ำ ดังนั้นจึงต้องใช้วงจรกรองความถี่ต่ำเพื่อทำหน้าที่ตัดสัญญาณความถี่สูงทิ้งไปเหลือเพียงสัญญาณ 4 ระดับในส่วนของความถี่ต่ำเท่านั้น

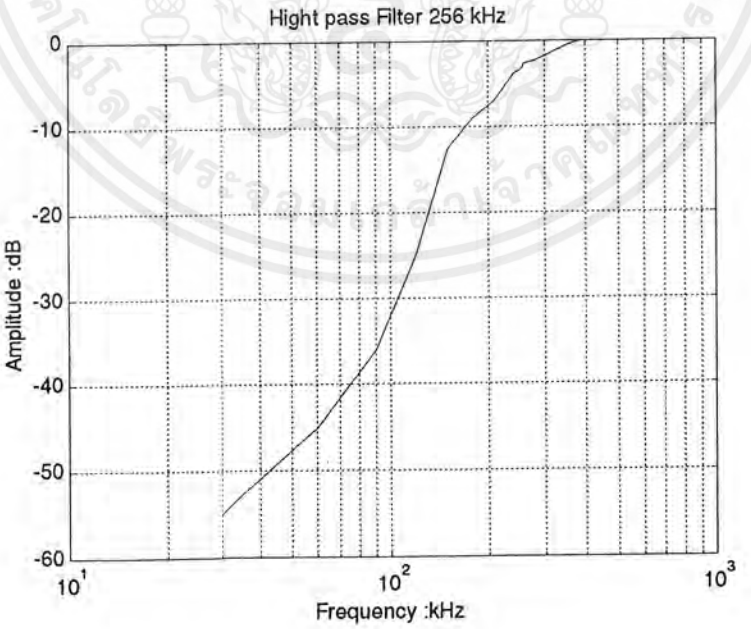
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 วงจรกรองความถี่สูงผ่าน (High Pass Filter) ความถี่ 256 kHz

จากสัญญาณข้อมูลชนิด 8 – PSK ความถี่ 256 kHz รวมกับสัญญาณนำร่อง(Pilot) 128 kHz ที่ส่งรวมกันมาจากทางภาคส่ง ต้องนำมาทำการแยกเฉพาะสัญญาณข้อมูลออกมาเพื่อนำไปป้อนให้อินพุทวงจรบาลานซ์มอดูเลเตอร์โดยใช้วงจรกรองความถี่สูงผ่านกรองสัญญาณให้ได้ขนาดความถี่ 256 kHz ทางเอาท์พุตมีขนาดแรงที่สุดกว่าความถี่อื่น ๆ ที่อยู่ในแถบความถี่ รวมทั้งความถี่ 128 kHz ที่ส่งมา โดยใช้ออสซิลโลสโคป (Ossilloscope) ทำการจับสเปกตรัมของสัญญาณเอาท์พุตแล้วทำการปรับให้สัญญาณมีความแรงที่สุด จากการทดลองจะปรับลดขนาดความถี่นำร่อง 128 kHz ได้ดีแต่จะมีฮาร์โมนิคของความถี่ที่มากกว่า 256 kHz สูงขึ้นมามาก จึงต้องต่อวงจรกรองความถี่ต่ำผ่านเพื่อทำการกรองสัญญาณอีกทีหนึ่ง วงจร กรองความถี่สูงผ่านแสดงดังรูปที่ 3.16



รูปที่ 3.16 วงจรกรองความถี่สูงผ่าน

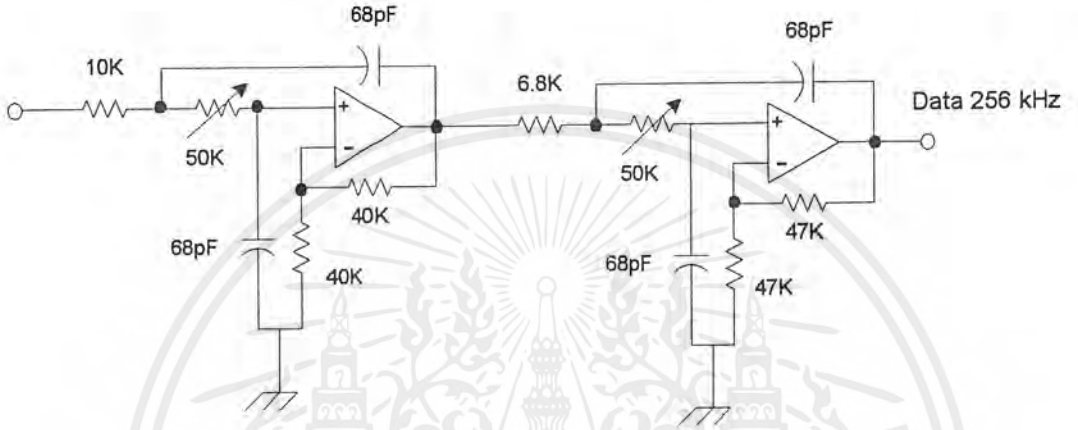


รูปที่ 3.17 กราฟผลตอบสนองของวงจรกรองความถี่สูงผ่าน 256 kHz

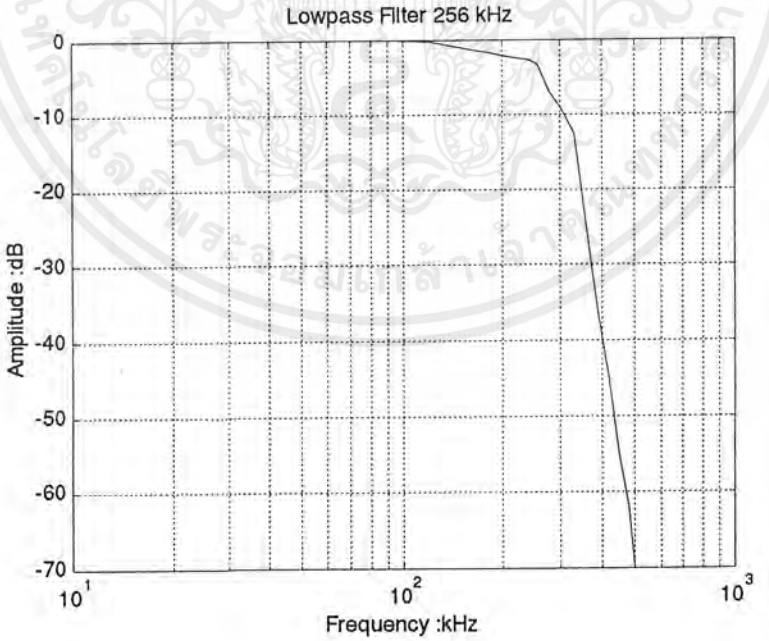
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) ความถี่ 256 kHz

วงจรนี้จะรับสัญญาณเอาท์พุตมาจากวงจรกรองความถี่สูงผ่าน เพื่อนำมาลดขนาดของแอมปลิจูดในช่วงความถี่ที่สูงกว่า 256 kHz ให้ต่ำลงให้มากที่สุด และยกระดับแรงดันความถี่ 256 kHz ขึ้น สัญญาณข้อมูลแบบ 8 - PSK ที่ได้จากเอาท์พุตของวงจรกรองความถี่ต่ำผ่านจะป้อนเข้าสู่วงจรบาลานซ์ มอดูเลเตอร์ เพื่อทำการคูณกับสัญญาณพาหะความถี่ 256 kHz ที่กู้มาได้ เพื่อให้ได้สัญญาณอนาลอก 4 ระดับ และนำไปแปลงเป็นข้อมูลดิจิตอลในส่วนถัดไป วงจรกรองความถี่ต่ำผ่านแสดงดังรูปที่ 3.18



รูปที่ 3.18 วงจรกรองความถี่ต่ำผ่าน

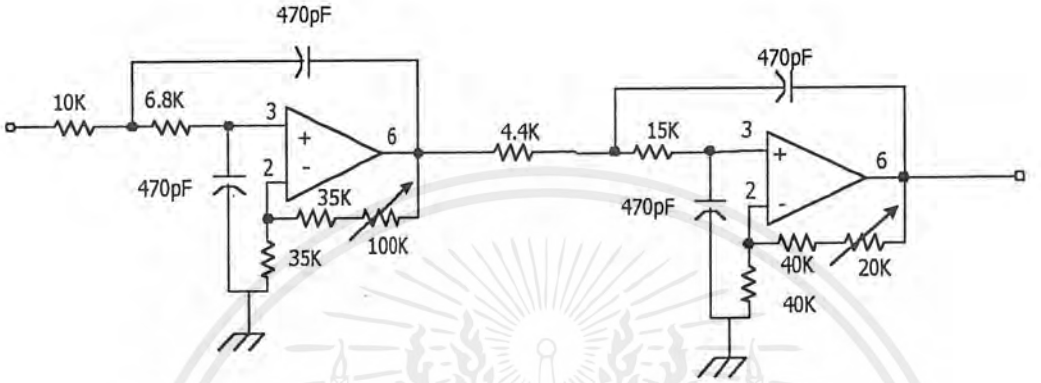


รูปที่ 3.19 กราฟผลตอบสนองของวงจรกรองความถี่ต่ำผ่าน 256 kHz

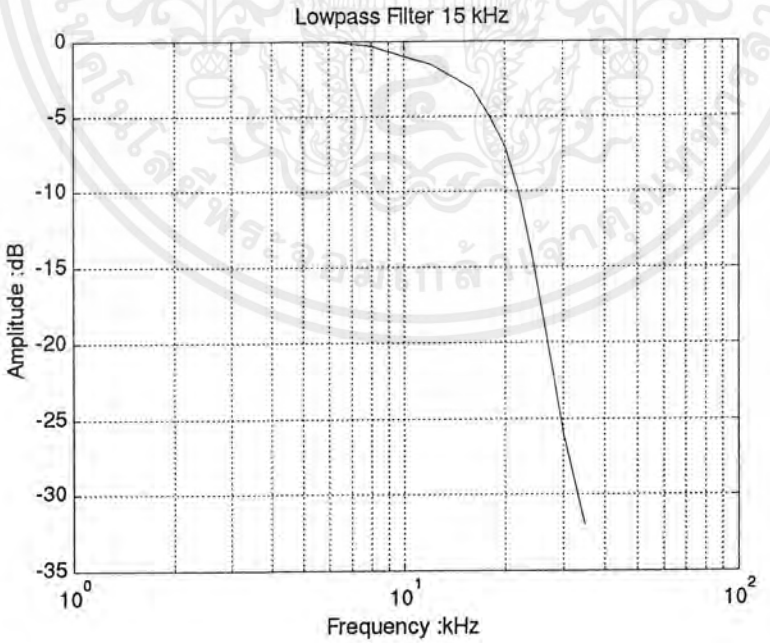
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.5 วงจรกรองข้อมูลความถี่ต่ำผ่าน (Low Pass Filter) ความถี่ 15 kHz

วงจรนี้จะรับสัญญาณที่มาจากเอาท์พุต ของวงจรบาลานซ์มอดูเลเตอร์เพื่อกรองความถี่สูงกว่าสัญญาณ 4 ระดับออกไปให้ผ่านเฉพาะสัญญาณความถี่ต่ำ ซึ่งจะได้เป็นสัญญาณเอาท์พุต 4 ระดับออกมา วงจรกรองข้อมูลความถี่ต่ำผ่านแสดงดังรูปที่ 3.20



รูปที่ 3.20 วงจรกรองข้อมูลความถี่ต่ำผ่าน

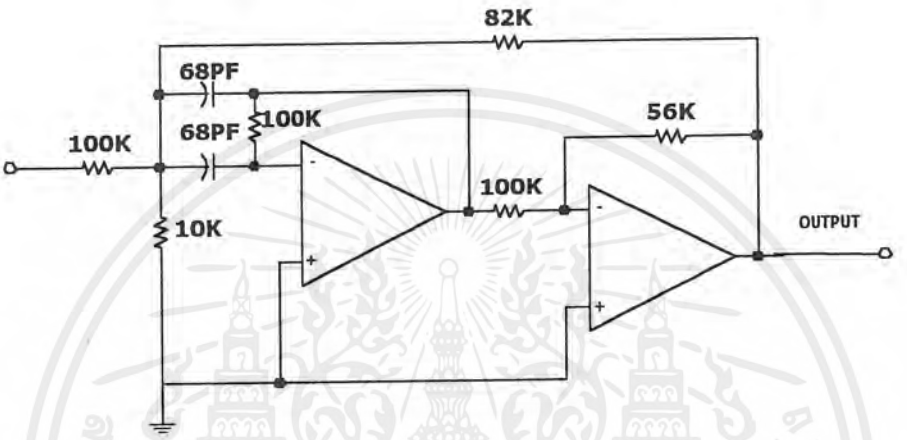


รูปที่ 3.21 กราฟผลตอบสนองของวงจรกรองข้อมูลความถี่ต่ำผ่าน 15 kHz

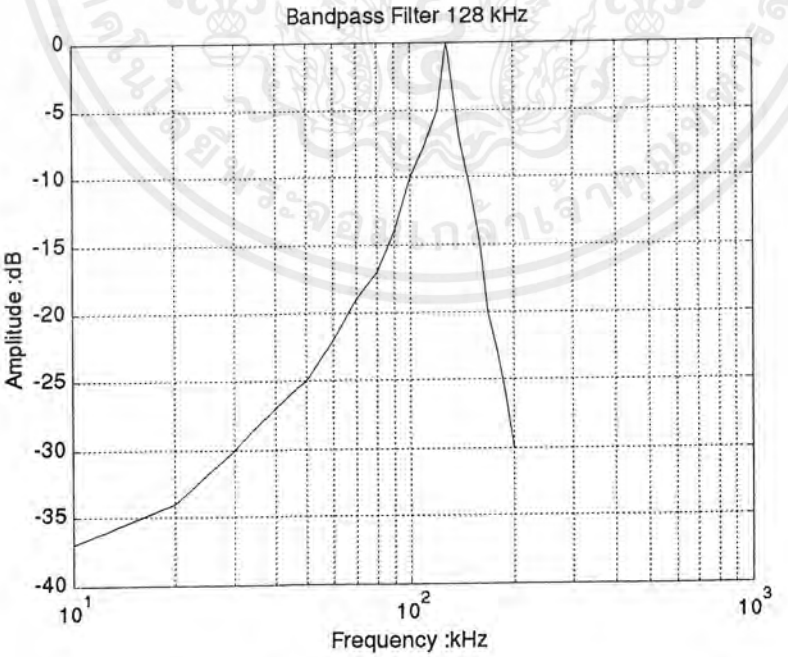
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.6 วงจรกรองแถบความถี่ผ่าน (Band Pass Filter) ความถี่ 128 kHz

ใช้กรองแถบความถี่ผ่านในช่วงความถี่ 128 kHz เพื่อนำไปผ่านวงจรยกกำลังสองให้ได้เป็นสัญญาณพาหะที่มีความถี่ 256 kHz เพื่อนำมาป้อนให้อินพุตวงจรบาลานซ์ดีมอดูเลเตอร์ ทำการดีมอดูเลทเพื่อเอาสัญญาณข้อมูล 4 ระดับออกมา และอีกส่วนจะถูกนำมาหารความถี่ลงโดยใช้วงจรเฟสล็อคลูป เพื่อสร้างสัญญาณนาฬิกาความถี่ 32 kHz ซึ่งจะได้สัญญาณที่ซิงโครไนซ์กันกับทางภาคส่ง วงจรกรองแถบความถี่ผ่านแสดงดังรูปที่ 3.22



รูปที่ 3.22 วงจรกรองแถบความถี่ผ่าน

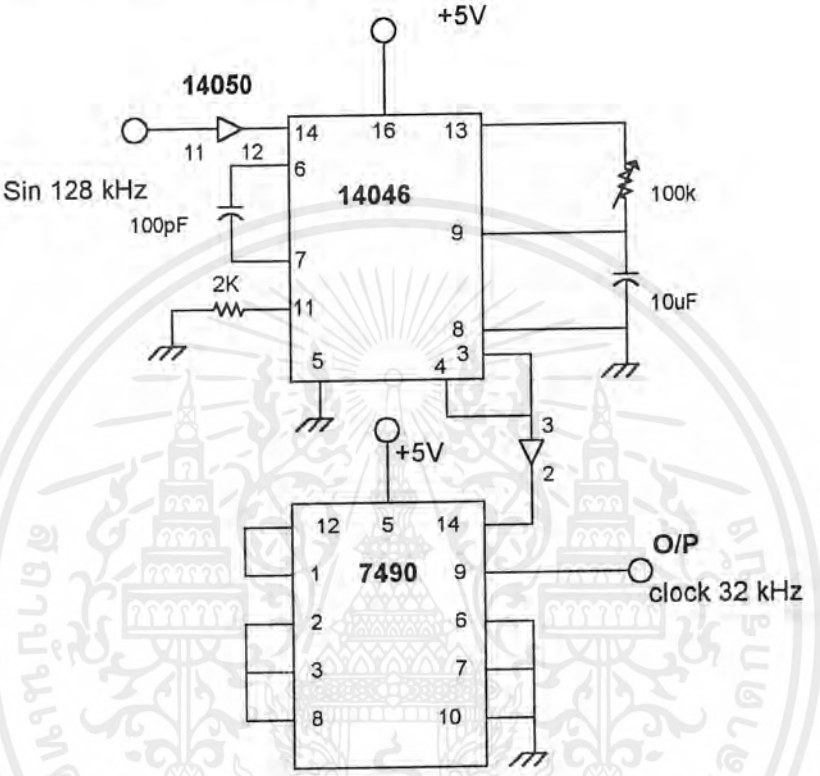


รูปที่ 3.23 กราฟผลตอบสนองของวงจรกรองแถบความถี่ผ่าน 128 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.7 วงจรกู้สัญญาณนาฬิกา 32 kHz

ทำการกู้สัญญาณนาฬิกาความถี่ 32 kHz ได้จากการนำสัญญาณนำร่อง 128 kHz ที่ได้มาจากวงจรกรองแถบความถี่ผ่านนำมาเข้าวงจรเฟสล็อคลูป เพื่อหารความถี่ลงโดยวงจรนับในการหารความถี่ใช้ไอซี 74LS90 ทำให้ได้สัญญาณนาฬิกาที่ซิงโครไนซ์กับสัญญาณนาฬิกาที่ทางภาคส่ง ส่งมาทำให้การเลื่อนข้อมูลทางภาครับทำได้อย่างถูกต้อง วงจรกู้สัญญาณนาฬิกาแสดงดังรูปที่ 3.24

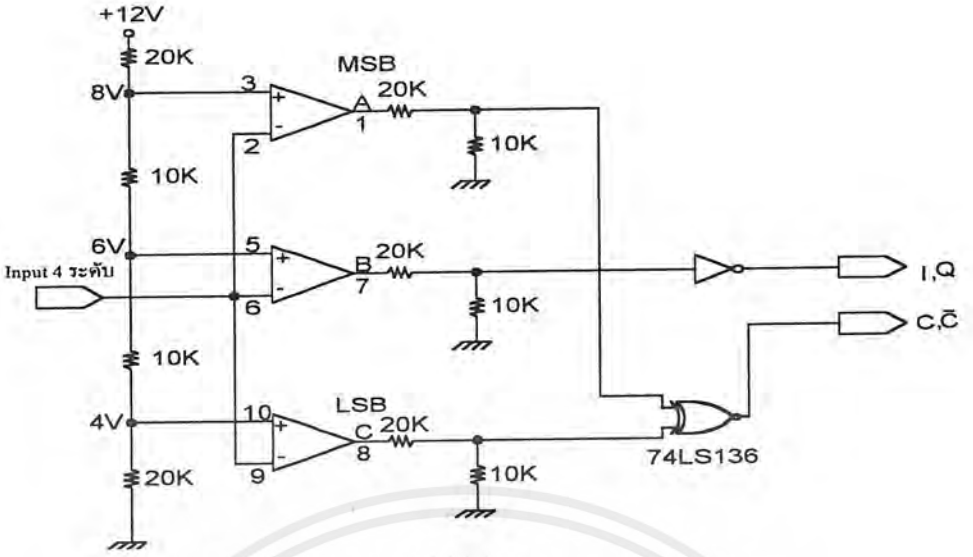


รูปที่ 3.24 วงจรกู้สัญญาณนาฬิกา

3.2.8 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital)

วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลนี้จะรับสัญญาณข้อมูลที่เป็นอนาลอก4 ระดับที่ได้มาจากเอาท์พุตของวงจรบาลานซ์ดีมอดูเลเตอร์ และวงจรกรองความถี่ต่ำผ่าน มาทำการแปลงเป็นสัญญาณข้อมูลดิจิตอล โดยใช้วิธีการเปรียบเทียบแรงดัน (Voltage Comparator) โดยใช้ระดับแรงดันอ้างอิงที่มีค่าต่างๆกัน 3 ระดับ เพื่อให้แรงดันที่เกิดขึ้นแต่ละระดับแปลงเป็นข้อมูลดิจิตอลให้เหมือนกับข้อมูลที่เข้ารหัสมาทางด้านเครื่องส่งจะได้เป็นข้อมูลดิจิตอลบิต I ,C และ Q และทำการเลื่อนข้อมูลดิจิตอลนี้ด้วยสัญญาณนาฬิกาที่กู้มาได้ ด้วยความเร็ว 32 kbps และนำข้อมูลนี้ไปทำการแปลงเป็นข้อมูลแบบขนาน 8 บิตต่อไปวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแสดงดังรูปที่ 3.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

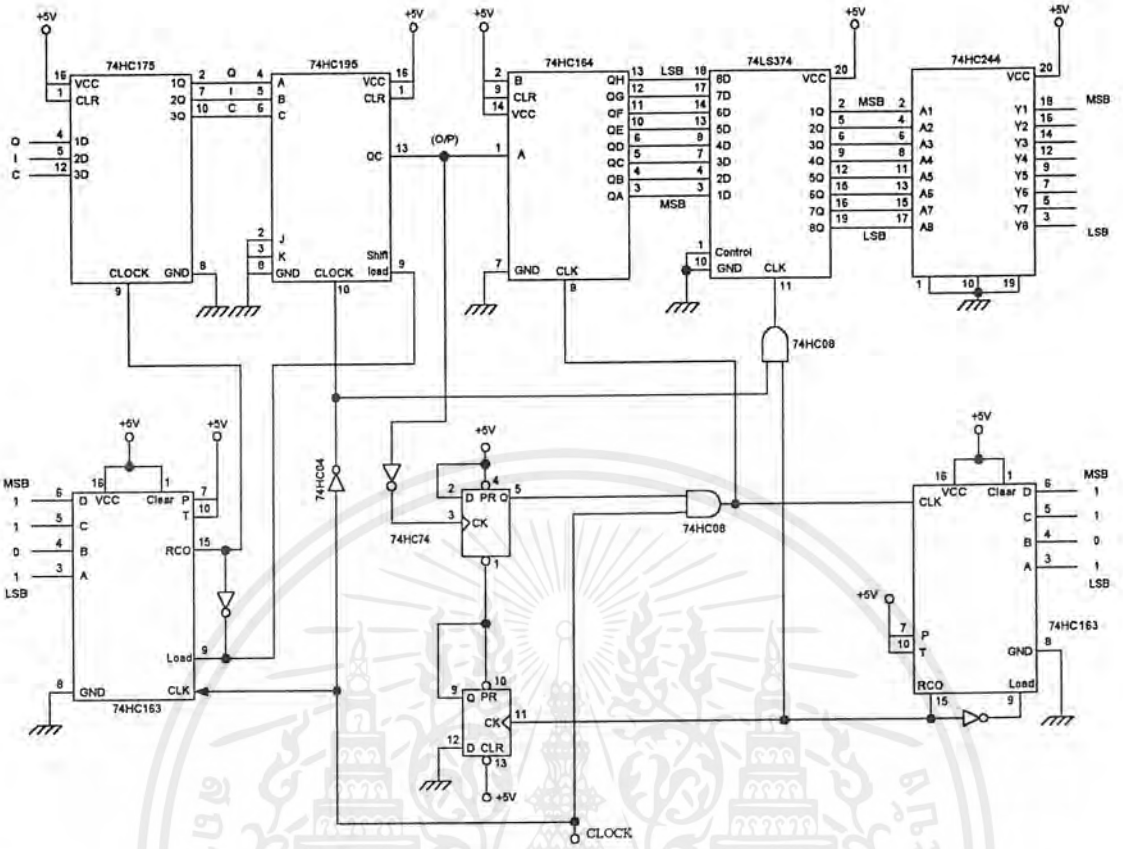
3.2.9 วงจรแปลงข้อมูลขนาน 3 บิตเป็นข้อมูลอนุกรม (Parallel to Serial Converter)

เมื่อมีข้อมูลบิต I , C, Q นำมาแปลงเป็นข้อมูลอนุกรมโดยใช้ ไอซี 74HC175 รับข้อมูลแบบขนาน 3 บิตมาโดยใช้สัญญาณนาฬิกาที่กู้มาได้ความถี่ 32 kHz มาหาร 3 โดยใช้ไอซีนับขึ้นเบอร์ 74HC163 นำมาเป็นสัญญาณนาฬิการับข้อมูล I , C , Q เข้ามาแล้วส่งต่อให้ชิพรีจิสเตอร์เบอร์ 74HC195 เพื่อเลื่อนข้อมูลแบบขนานออกเป็นข้อมูลอนุกรม โดยใช้สัญญาณนาฬิกา 32 kHz ซึ่งจะได้ข้อมูลแบบอนุกรมความเร็ว 32 kHz ส่งต่อให้วงจรแปลงข้อมูลอนุกรมเป็นขนาน 8 บิตต่อไป วงจรแปลงข้อมูลขนาน 3 บิตเป็นข้อมูลอนุกรมแสดงดังรูปที่ 3.26

3.2.10 วงจรแปลงข้อมูลอนุกรมเป็นข้อมูลแบบขนาน (Serial to Parallel Converter)

จากข้อมูลอนุกรมที่ได้จากวงจรแปลงข้อมูลขนาน 3 บิต เป็นข้อมูลอนุกรมจะต้องทำการกำจัดบิตเริ่มต้นและบิตสิ้นสุดที่ส่งมาทางภาครับซึ่งไม่ใช่ส่วนของข้อมูลทิ้งไปโดยเราใช้บิตเริ่มต้นเป็นตัวเริ่มไปทริก D – Flip Flop ให้เซตเอาท์พุตเป็น 1 และนำเอาเอาท์พุตของ D – Flip Flop ไปป้อนเข้าแอนเกตขาหนึ่ง และอีกขาหนึ่งต่อกับสัญญาณนาฬิกา 32 kHz ที่กู้มาได้ให้มีการแอนกันเฉพาะช่วงที่ต้องการเท่านั้น ก็จะได้สัญญาณเอาท์พุตที่มีสัญญาณนาฬิกาเป็นช่วงนำไปป้อนเข้าขารับสัญญาณนาฬิกาของวงจรนับขึ้นใช้ไอซี 74HC163 ทำการนับขึ้น 8 ครั้ง ก็จะมีการเซ็ตบิตเคลียร์และส่งสัญญาณไปดึงข้อมูลแบบขนาน 8 บิตเข้า ไอซี 74HC374 เพื่อดึงข้อมูลแบบขนานต่อจากชิพรีจีสเตอร์ 74HC164 มาเก็บไว้และส่งออกเอาท์พุตแบบขนานขนาด 8 บิตให้ตรงตามอินพุตแบบขนาน 8 บิตที่ป้อนเข้ามาทางภาคส่ง วงจรแปลงข้อมูลอนุกรมเป็นแบบขนานแสดงดังรูปที่ 3.26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.26 วงจรรวมการแปลงข้อมูลขนานเป็นข้อมูลอนุกรม และวงจรแปลงข้อมูลจากอนุกรมเป็นข้อมูลแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

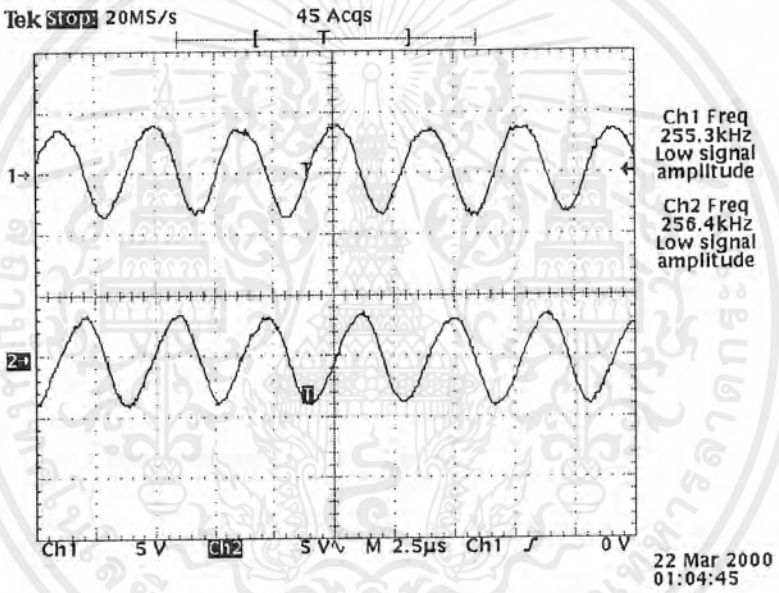
บทที่ 4
การทดลองและผลการทดลอง

4.1 จุดประสงค์การทดลอง

1.เพื่อศึกษารูปแบบการส่งสัญญาณดิจิตอลเพื่อเป็นพื้นฐานในการศึกษาการส่งสัญญาณในรูปแบบอื่นๆต่อไป

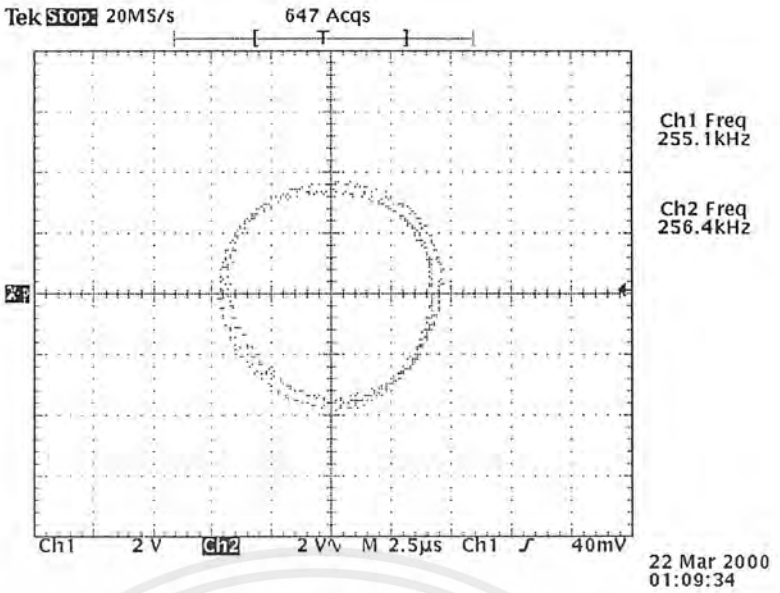
2. เพื่อนำเสนอการส่งสัญญาณดิจิตอลแบบ 8 – PSK ชนิดความเร็ว 32 kbps โดยทำการส่งข้อมูลผ่านทางสายโคแอคเชียลเคเบิ้ล

4.2 ผลการทดลองทางด้านภาคส่ง

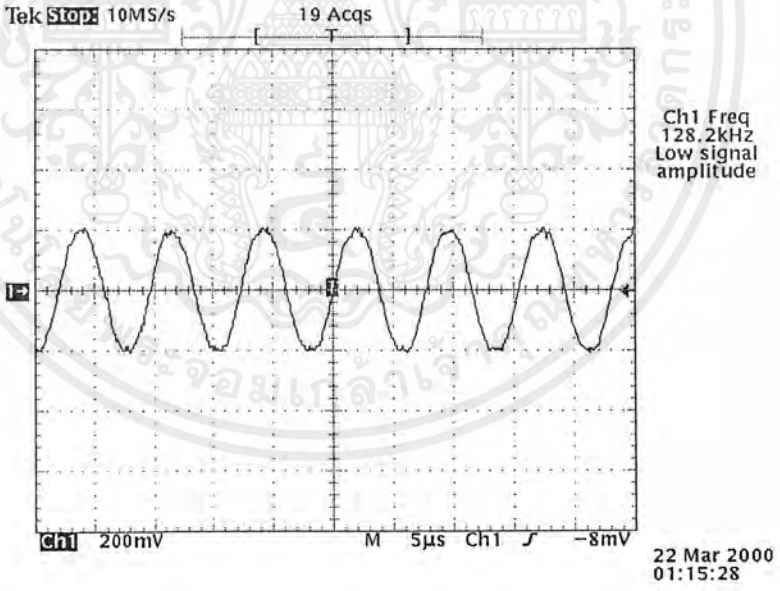


รูปที่ 4.1 สัญญาณพาหะไซน์ความถี่ 256 kHz ที่แชนแนลที่ 2 และสัญญาณโคไซน์ความถี่ 256 kHz ที่แชนแนลที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

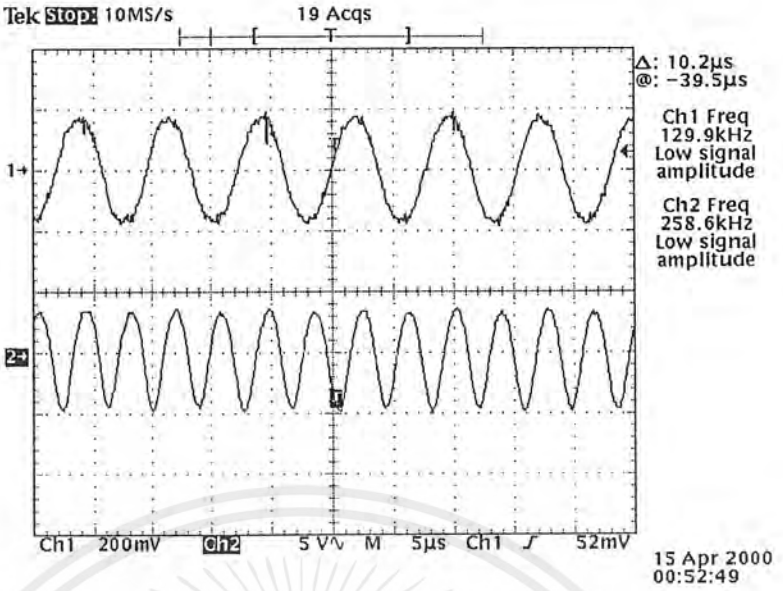


รูปที่ 4.2 สัญญาณพาหะไซน์ความถี่ 256 kHz ที่แชนแนลที่ 2 และสัญญาณโคไซน์ที่แชนแนลที่ 1 วัดสัญญาณโดยใช้ X – Y ออสซิลโลสโคป

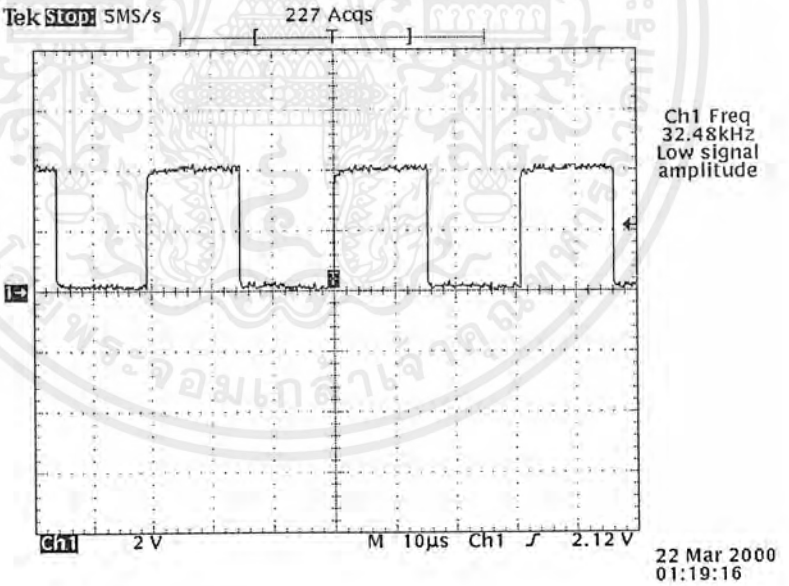


รูปที่ 4.3 สัญญาณนำร่อง (Pilot) ความถี่ 128 kHz ที่แชนแนลที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

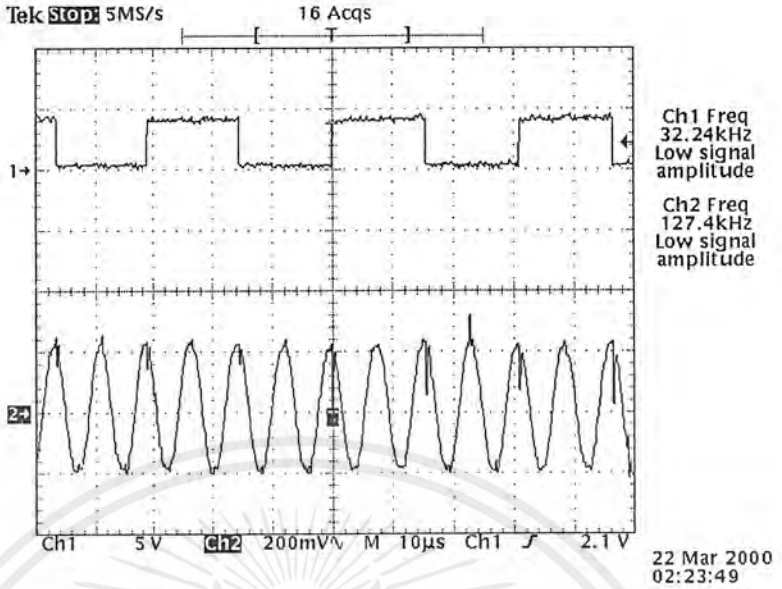


รูปที่ 4.4 รูปสัญญาณนำร่อง 128 kHz (แชนแนลที่ 1) ที่ป้อนเข้าวงจรยกกำลังสองเทียบกับ สัญญาณพาหะ 256 kHz ที่เอาท์พุตของวงจรยกกำลังสอง (แชนแนลที่ 2)

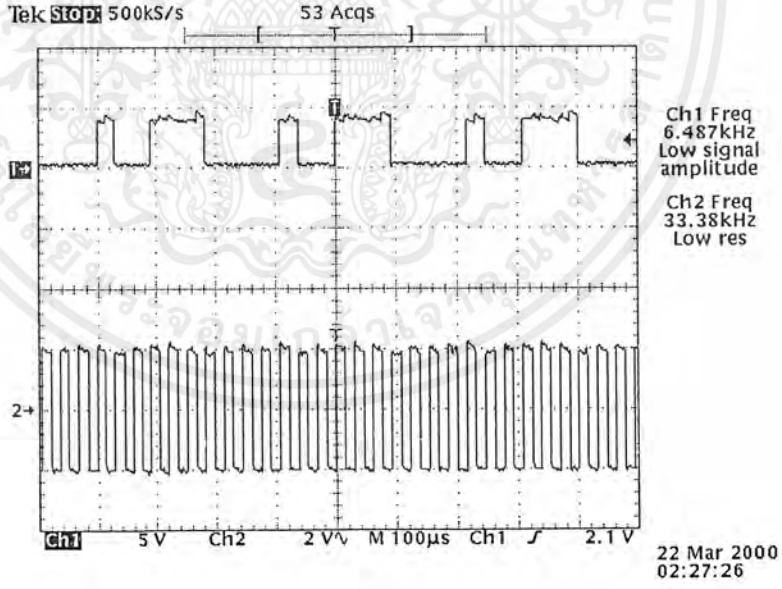


รูปที่ 4.5 สัญญาณนาฬิกาความถี่ 32 kHz ที่ใช้ในการเลื่อนข้อมูลที่แชนแนลที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

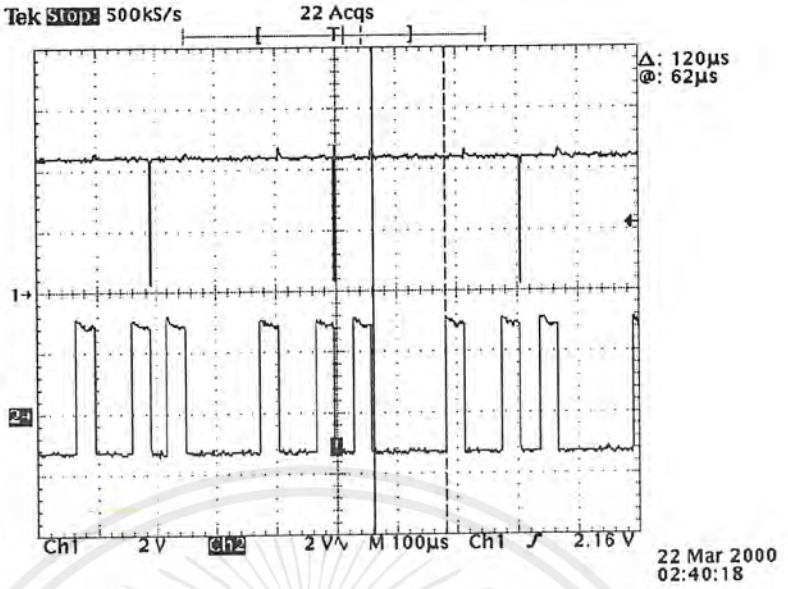


รูปที่ 4.6 สัญญาณนาฬิกา 32 kHz ที่สร้างจากสัญญาณนำร่องที่แชนแนลที่ 1 เปรียบเทียบกับสัญญาณนำร่องความถี่ 128 kHz

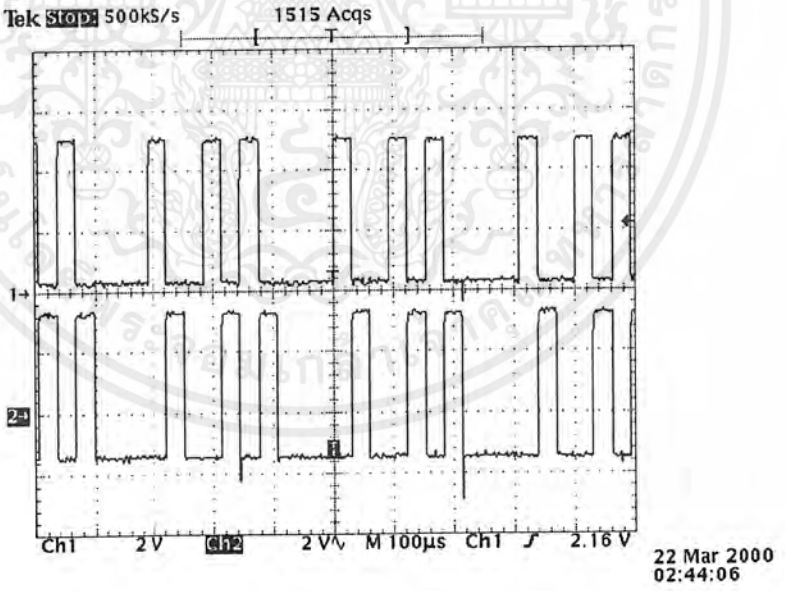


รูปที่ 4.7 สัญญาณเปรียบเทียบระหว่างสัญญาณนาฬิกาความถี่ 32 kHz ที่แชนแนลที่ 2 และสัญญาณข้อมูลที่ออกมาจากเอาท์พุตของวงจรกำเนิดสัญญาณข้อมูลความเร็ว 32 kbpsที่แชนแนลที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

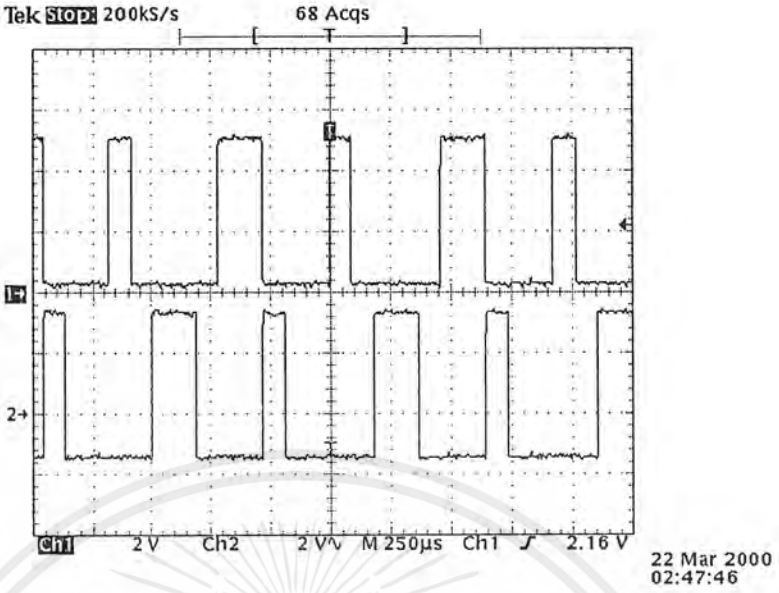


รูปที่ 4.8 สัญญาณควบคุมที่ขาเคลียร์ของ 74LS175 ตัวที่ 1 ที่แชนแนลที่ 1 และรูปข้อมูลแบบอนุกรมที่สร้างบิตเริ่มต้นและบิตสิ้นสุดที่แชนแนลที่ 2

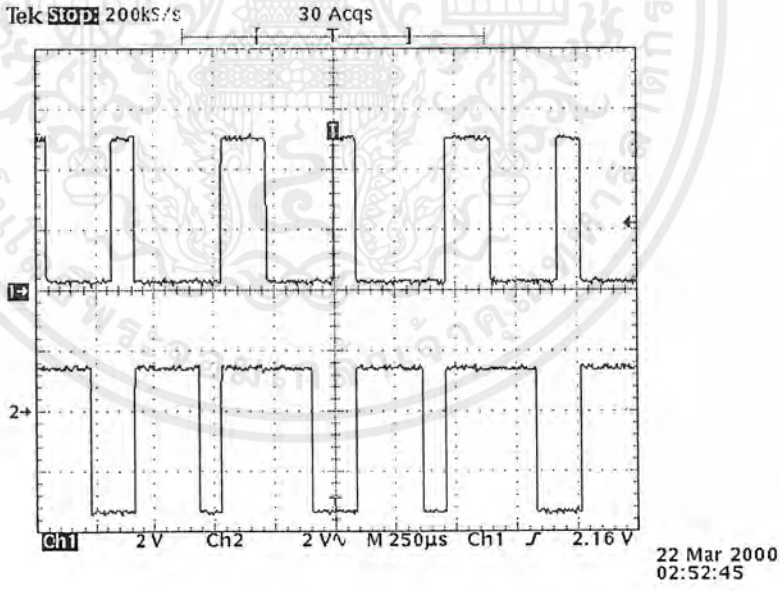


รูปที่ 4.9 สัญญาณที่วัดเทียบระหว่างข้อมูล Q ที่แชนแนลที่ 1 และข้อมูล I ที่แชนแนลที่ 2 ที่มีการเลื่อนบิตเพื่อส่งข้อมูลให้อินพุตของ 74LS175 ตัวที่ 2 ดึงข้อมูล 3 บิต Q , I , C ไปใช้เข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

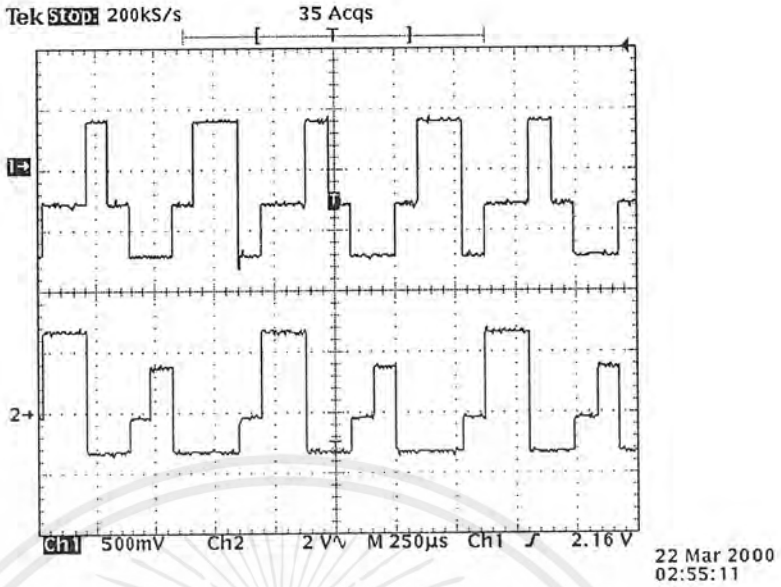


รูปที่ 4.10 สัญญาณข้อมูล I (แชนแนลที่ 1) กับสัญญาณข้อมูล C (แชนแนลที่ 2) ที่เอาท์พุต ของ 74LS175 ที่ป้อนเข้าวงจรแปลงสัญญาณจาก 2 ระดับเป็นสัญญาณ 4 ระดับ (2 line to 4 line Decoder)

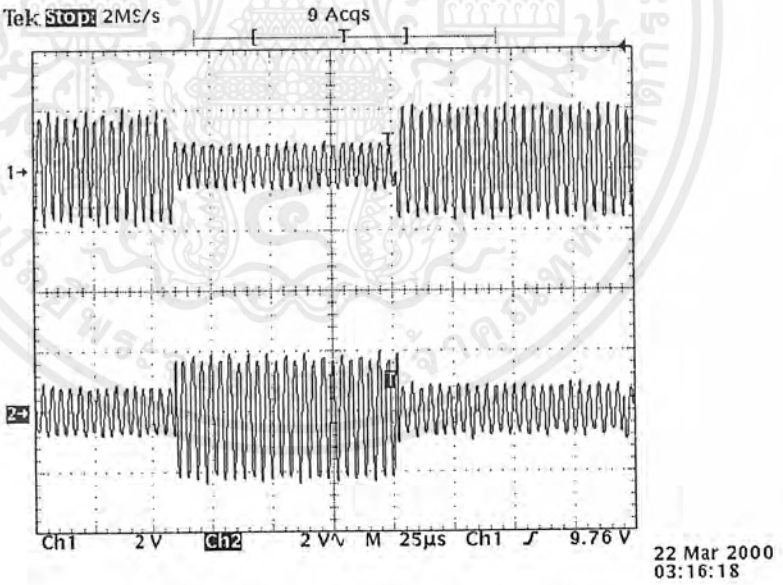


รูปที่ 4.11 สัญญาณข้อมูล Q (แชนแนลที่ 1) กับสัญญาณข้อมูล $\overline{C}$ (แชนแนลที่ 2) ที่เอาท์พุต ของ 74LS175 ที่ป้อนเข้าวงจรแปลงสัญญาณจาก 2 ระดับเป็นสัญญาณ 4 ระดับ (2 line to 4 line Decoder)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

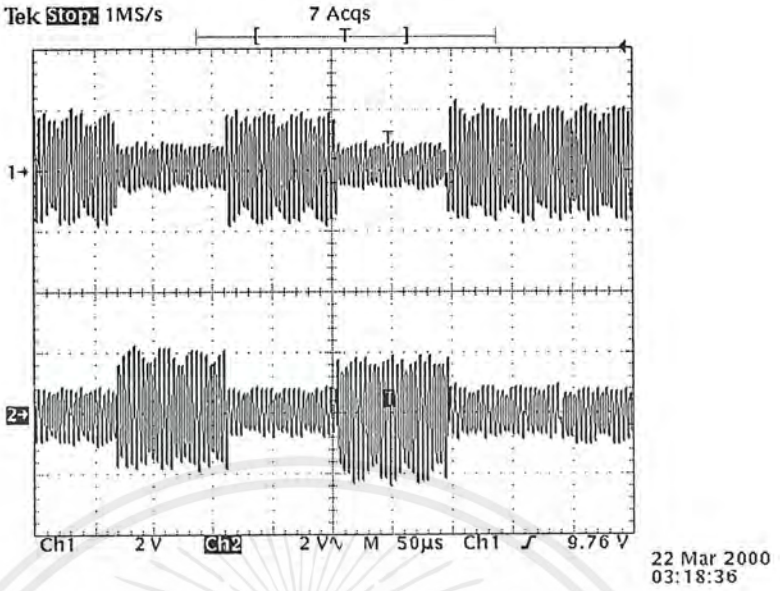


รูปที่ 4.12 ข้อมูลอนาลอก 4 ระดับด้าน I (แชนแนลที่ 1) ด้าน Q (แชนแนลที่ 2)

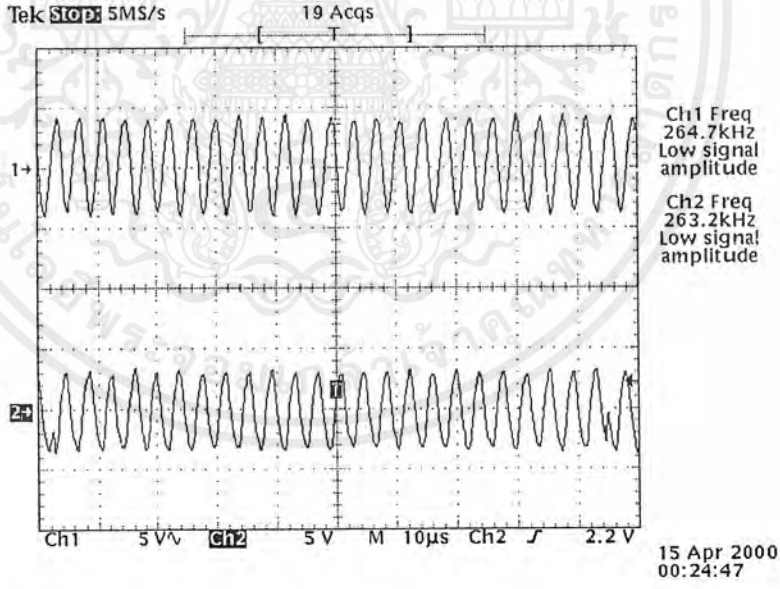


รูปที่ 4.13 สัญญาณเอาท์พุตของวงจรบาลานซ์มอดูเลเตอร์ด้าน Q (แชนแนลที่ 1) ด้าน I (แชนแนลที่ 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

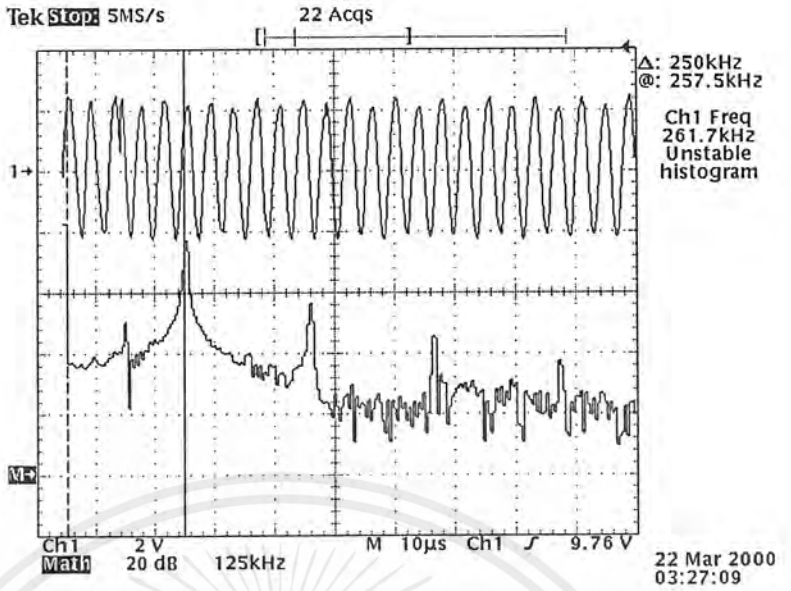


รูปที่ 4.14 สัญญาณเอาท์พุตของวงจรบาลานซ์มอดูเลเตอร์ด้าน Q (แชนแนลที่ 1) ด้าน I (แชนแนลที่ 2)

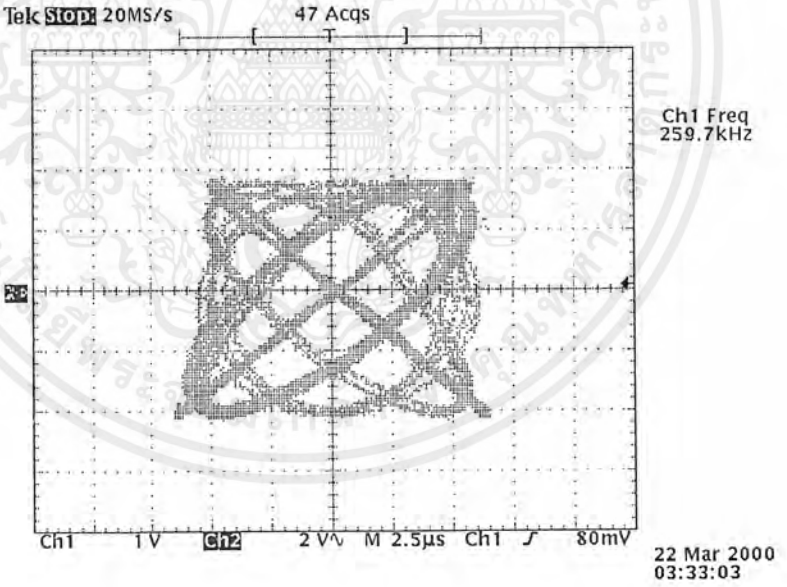


รูปที่ 4.15 รูปสัญญาณพาหะ 256 kHz (แชนแนลที่ 1) เทียบกับสัญญาณเข้ารหัส 8- PSK (แชนแนลที่ 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

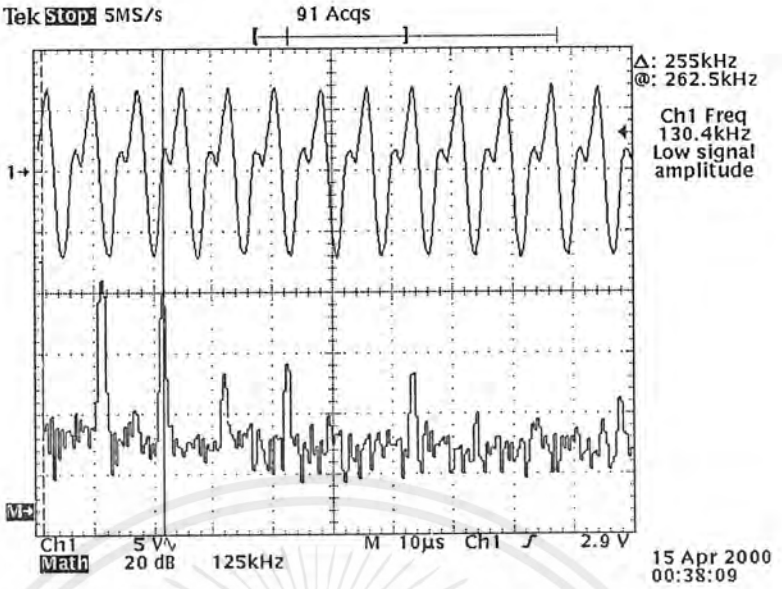


รูปที่ 4.16 สัญญาณเอาท์พุต 8 – PSK (แชนแนลที่ 1) และสเปกตรัมของสัญญาณ 8 – PSK (แชนแนลที่ 2)



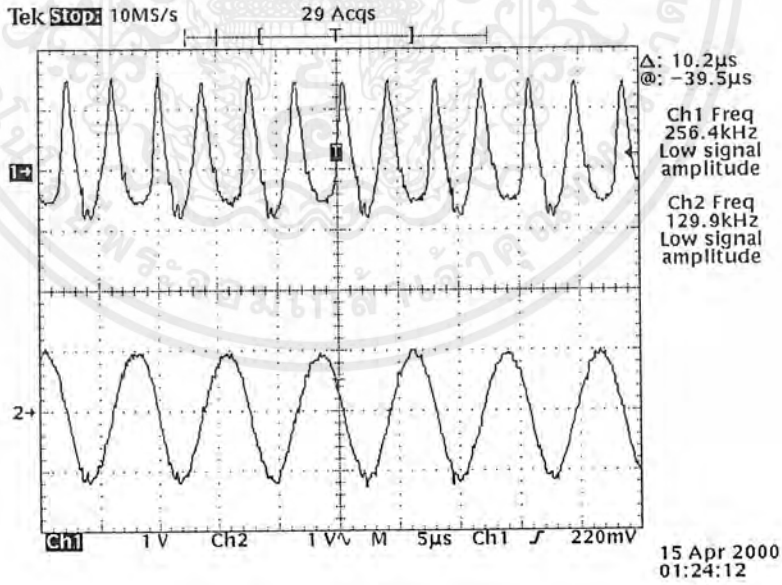
รูปที่ 4.17 สัญญาณ 8 – PSK ทำการพล็อตในแกน X – Y เทียบกับสัญญาณโคไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



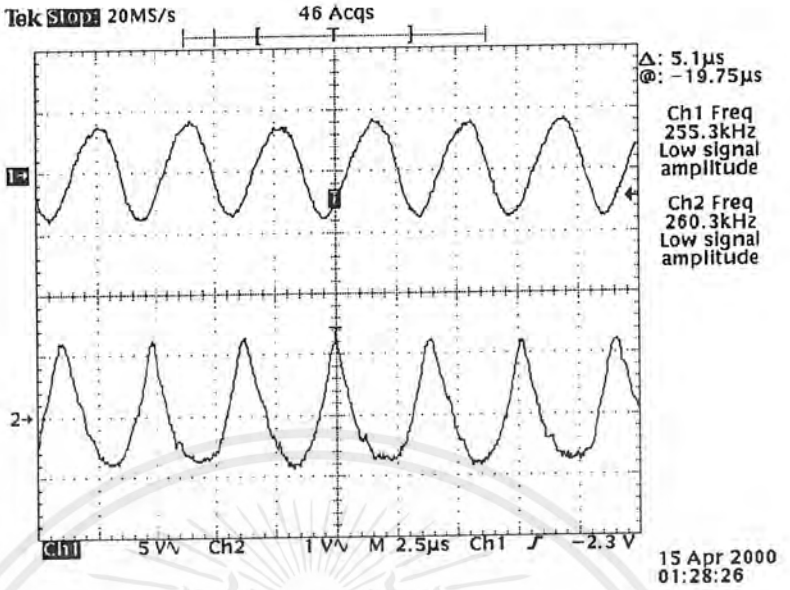
รูปที่ 4.18 รูปสัญญาณเข้ารหัส 8 – PSK รวมกับสัญญาณนำร่อง 128 kHz (แชนแนลที่ 1) และสเปกตรัมของสัญญาณ 8 – PSK (แชนแนลที่ 2)

4.3 ผลการทดลองทางภาครับ

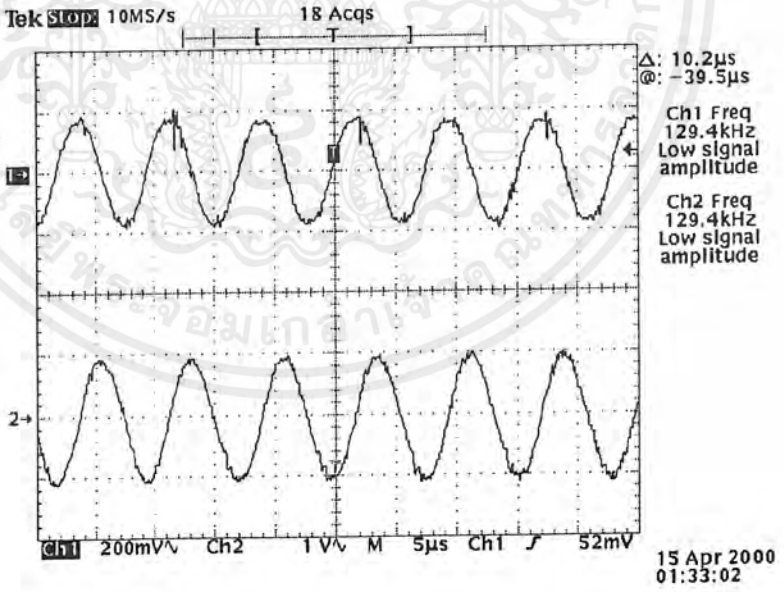


รูปที่ 4.19 รูปสัญญาณนำร่อง 128 kHz ที่ผ่านวงจรกรองแถบความถี่ผ่านที่ภาครับ (แชนแนลที่ 2) และสัญญาณพาหะ 256 kHz ที่เป็นเอาท์พุตของวงจรยกกำลังสอง (แชนแนลที่ 1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

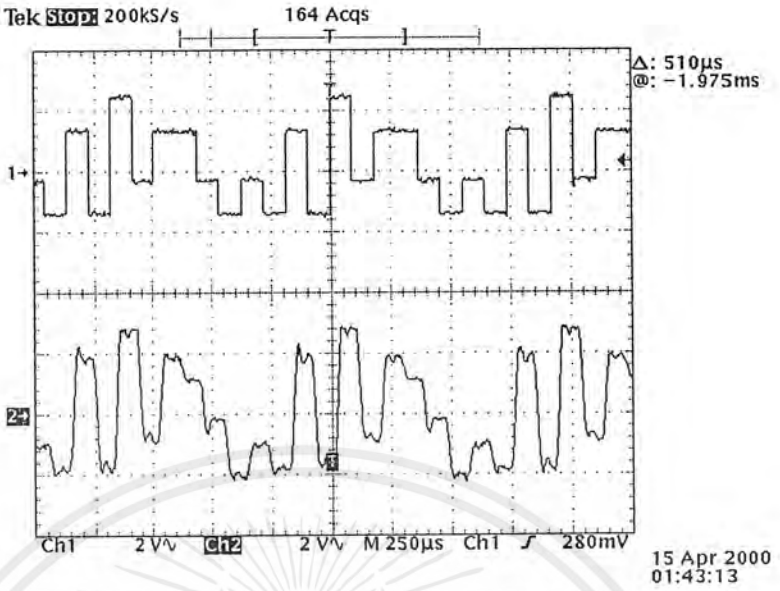


รูปที่ 4.20 รูปสัญญาณพาหะ 256 kHz ที่ภาคส่ง(แชนแนลที่ 1) เทียบกับสัญญาณพาหะ 256 kHz ที่ภาครับ (แชนแนลที่ 2)

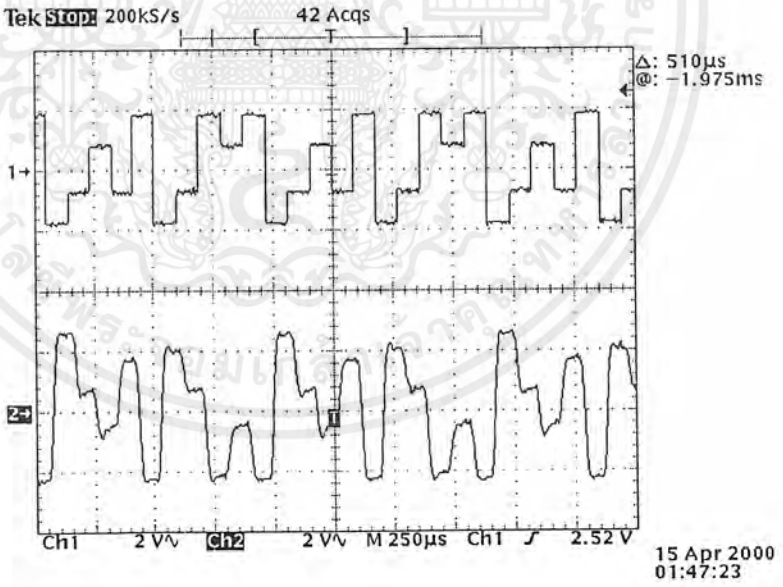


รูปที่ 4.21 รูปสัญญาณนำร่อง 128 kHz ที่ส่งมาทางภาคส่ง (แชนแนลที่ 1) เทียบกับสัญญาณนำร่อง 128 kHz ที่ผ่านวงจรกรองแถบความถี่ผ่านทางด้านรับ (แชนแนลที่ 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

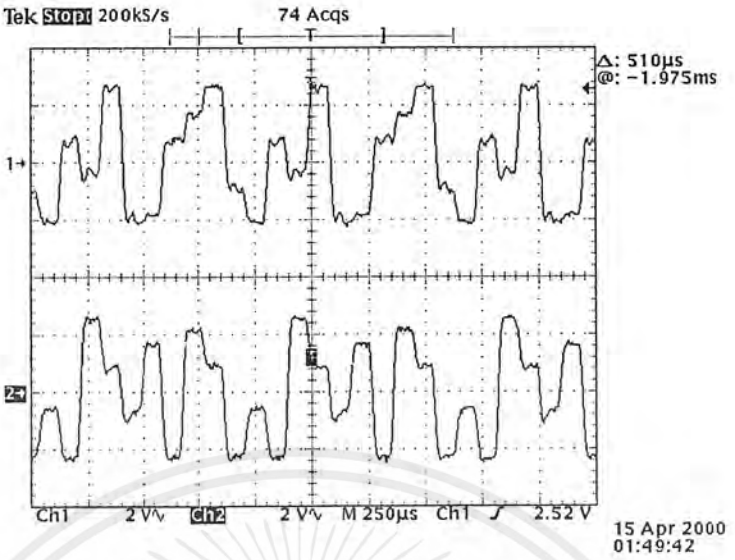


รูปที่ 4.22 รูปสัญญาณ 4 ระดับด้าน I แชนแนล สัญญาณ 4 ระดับทางภาคส่ง (แชนแนลที่ 1) และสัญญาณ 4 ระดับ ทางภาครับ (แชนแนลที่ 2)

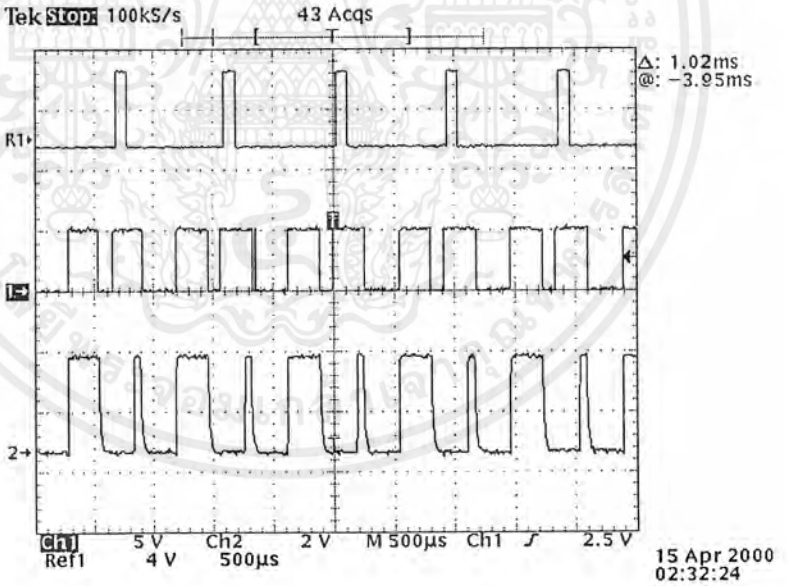


รูปที่ 4.23 รูปสัญญาณ 4 ระดับด้าน Q แชนแนล สัญญาณ 4 ระดับทางด้านภาคส่ง (แชนแนลที่ 1) และสัญญาณ 4 ระดับทางภาครับ (แชนแนลที่ 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

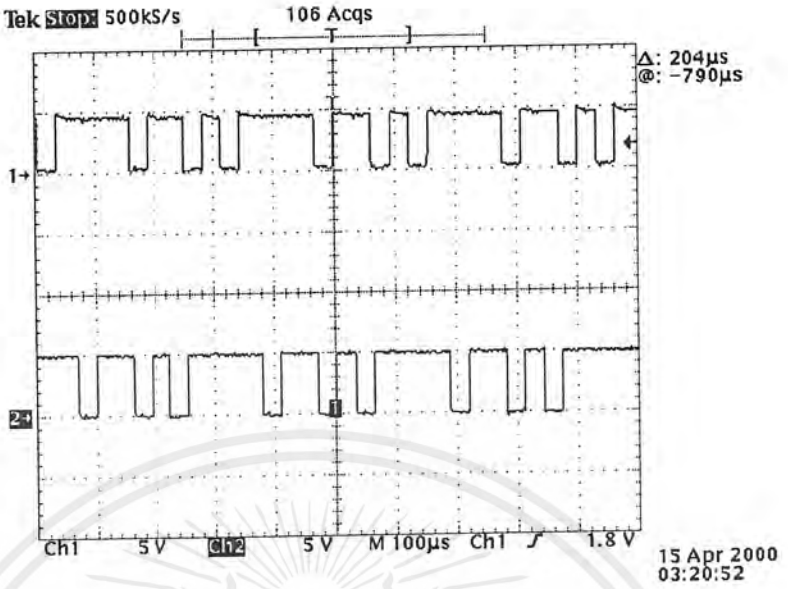


รูปที่ 4.24 รูปสัญญาณ 4 ระดับทางภาครับด้าน I แชนแนล (แชนแนลที่ 1) ด้าน Q แชนแนล (แชนแนลที่ 2)

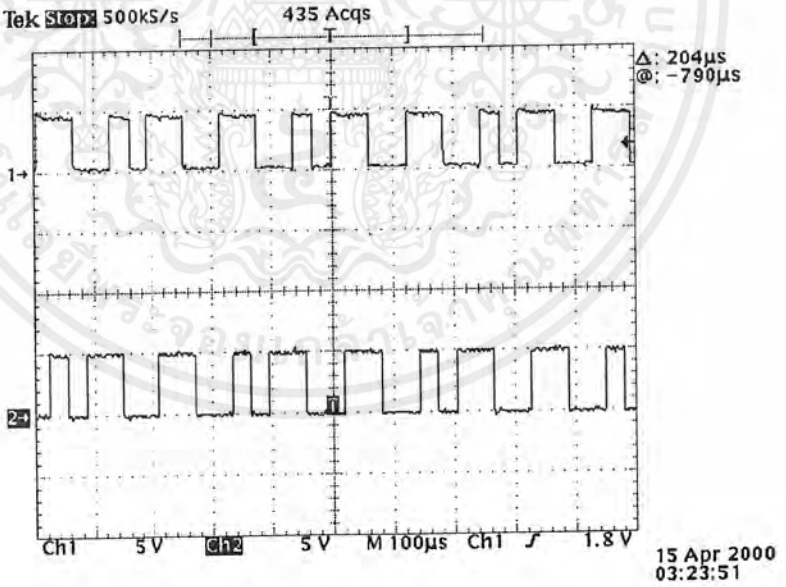


รูปที่ 4.25 รูปสัญญาณข้อมูลบิต I (แชนแนล R1) บิต C (แชนแนลที่ 1) บิต Q (แชนแนลที่ 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.26 รูปข้อมูลดิจิตอล 10 บิตทางภาคส่ง (แชนแนลที่ 1) และข้อมูลดิจิตอล 10 บิตทางภาครับ (แชนแนลที่ 2) จะเห็นว่าข้อมูลที่รับได้เหมือนกับข้อมูลที่ส่งมา



รูปที่ 4.27 รูปข้อมูลดิจิตอล 10 บิตทางภาคส่ง (แชนแนลที่ 1) และข้อมูลดิจิตอล 10 บิตทางภาครับ (แชนแนลที่ 2) จะเห็นว่าข้อมูลที่รับได้เหมือนกับข้อมูลที่ส่งมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

ในการทำโครงงานเรื่องเครื่องส่งและรับสัญญาณชนิด 8 - PSK ความเร็ว 32 Kbps จะทำการศึกษาโดยมุ่งเน้นถึงหลักการในกระบวนการมอดูเลทแบบ 8 - PSK การออกแบบวงจรภาคต่างๆโดยอาศัยวงจรพื้นฐานต่างๆมาประกอบกันเป็นวงจรรวม โดยวงจรในแต่ละภาคนั้น บางวงจรนำมาจากคู่มือการใช้งานของไอซี บางวงจรนั้นออกแบบเอง โดยทำการกำหนดสัญญาณควบคุมและข้อมูลที่จุดต่างๆที่ต้องการให้เป็นมาตรฐานเบื้องต้น แล้วสร้างวงจรที่เชื่อมต่อกันและแต่ละส่วนให้สัมพันธ์กับสัญญาณที่กำหนดไว้ในการประกอบวงจรในแต่ละภาค และการเชื่อมต่อวงจรระหว่างภาคจะมีปัญหาอยู่บ้างที่แตกต่างกันไป โดยจะกล่าวถึงในแต่ละภาคของการทำงานดังนี้

วงจรบาลานซ์มอดูเลเตอร์

จะใช้ IC เบอร์ MC 1496 เป็นวงจรบาลานซ์มอดูเลเตอร์ซึ่งจะรับระดับแรงดันอินพุทที่ต่ำมาก ซึ่งจะทำให้มีระดับสัญญาณที่ O/P ที่มีขนาดต่ำมากโดยเฉพาะในความถี่สูงๆจึงต้องทำการขยายแรงดันให้สูงขึ้นด้วยวงจรขยายสัญญาณความแตกต่าง

ส่วนของภาคส่ง

การกำเนิดสัญญาณนำร่อง (Pilot Signal) ความถี่ 128 kHz แล้วป้อนเข้าสู่วงจรยกกำลังสองเพื่อสร้างสัญญาณพาหะ 256 kHz จะได้สัญญาณพาหะที่น่าพอใจ เมื่อนำมาเข้าวงจรบาลานซ์มอดูเลเตอร์เพื่อมอดูเลทกับสัญญาณอนาลอก 4 ระดับ ก็จะได้สัญญาณเอาท์พุทที่ดี เมื่อนำมารวมกันจะได้เป็นสัญญาณ 8 – PSK ที่ดี

ส่วนของภาครับ

สัญญาณที่ส่งมาจากทางภาคส่ง เป็นสัญญาณข้อมูล 8 - PSK ความถี่ 256 kHz และสัญญาณไพล็อต 128 kHz โดยใช้วงจรกรองแถบความถี่ผ่านจะได้สัญญาณความถี่ 128 kHzที่ไม่ดีจะมีความถี่อื่นปนเข้ามาด้วย ทำให้การกู้สัญญาณพาหะกลับมาทำได้ไม่ดี และการกรองเอาสัญญาณข้อมูล 8 - PSK ความถี่ 256 kHz โดยใช้วงจรกรองความถี่สูงผ่านต่อร่วมกับวงจรกรองความถี่ต่ำผ่านก็ยังทำได้ไม่ดีเท่าที่ควร ทำให้สัญญาณข้อมูลผิดเพี้ยนไป

เมื่อนำสัญญาณข้อมูล 8 – PSK มาทำการดีมอดูเลทกับสัญญาณพาหะที่กู้มาได้ทำให้ได้สัญญาณ 4 ระดับที่ผิดพลาดไปเนื่องจากเฟสผิดพลาด จากการผ่านกระบวนการต่างๆก่อนหน้านี้ทางภาครับ

ในวงจรกรองความถี่ต่ำผ่านที่ใช้กรองสัญญาณความถี่สูงออกจากข้อมูล หลังภาคดีมอดูเลทจะทำให้ความถี่คัทออฟสูงกว่าความถี่มูลฐานของข้อมูลเล็กน้อย เพื่อให้ได้สัญญาณข้อมูลออกมาถูกต้องยิ่งขึ้น เพราะความถี่พาหะจะสูงกว่าความถี่มูลฐานของข้อมูลอยู่มาก

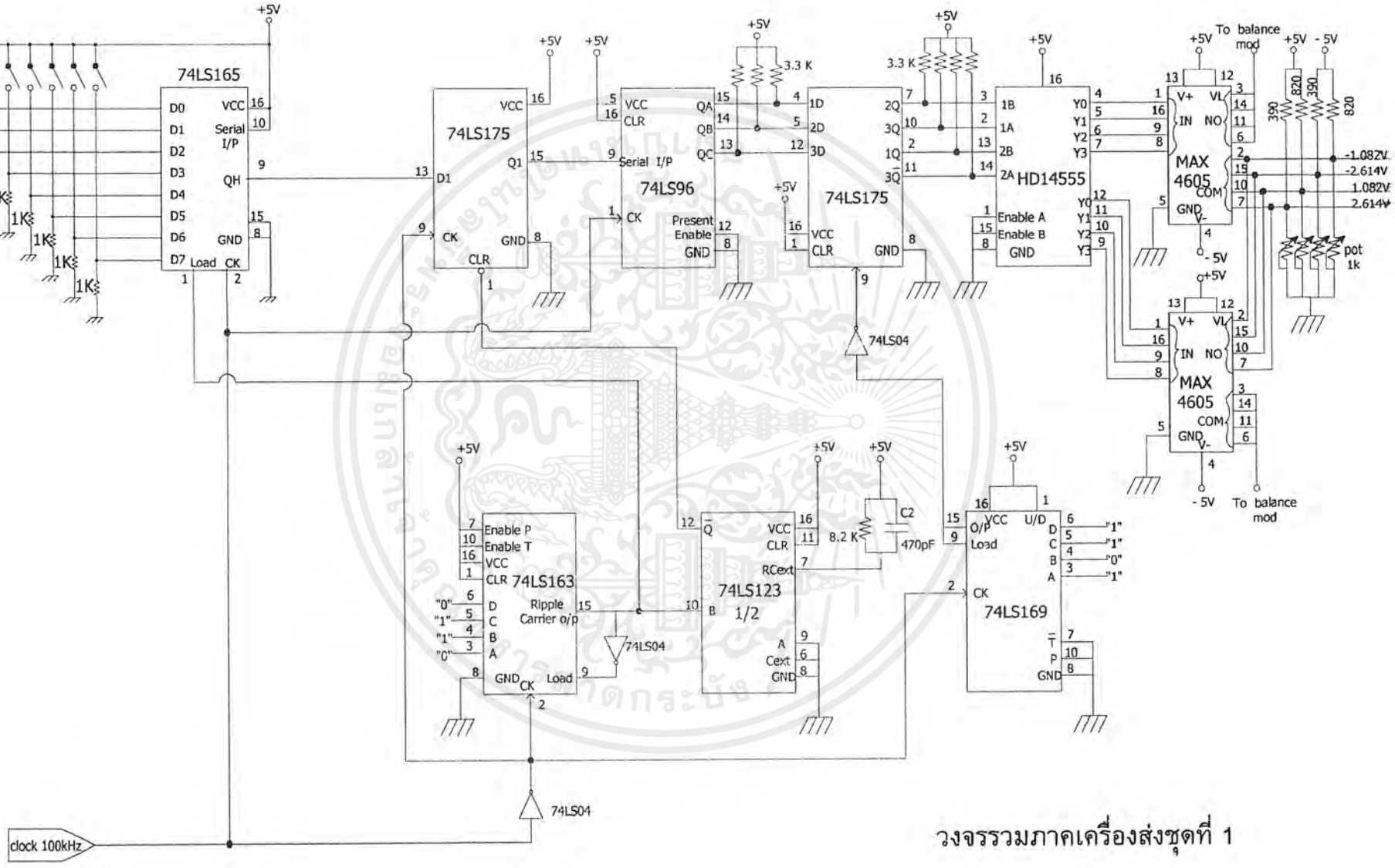
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนานนั้นจะใช้สัญญาณนาฬิกาที่กู้มาได้จากทางภาครับในการเลื่อนบิตข้อมูล และใช้บิตเริ่มนับตรวจสอบข้อมูลทุกๆ 8 บิต ซึ่งสัญญาณนาฬิกาที่กู้มาได้นั้นจะไม่คงที่ทำให้เกิดปัญหาการเลื่อนข้อมูลผิดพลาดและสัญญาณ 4 ระดับที่ดีมอดูเลทมาได้นั้นผิดพลาด ทำให้ได้ข้อมูลที่เอาท์พุตผิดพลาดตามไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

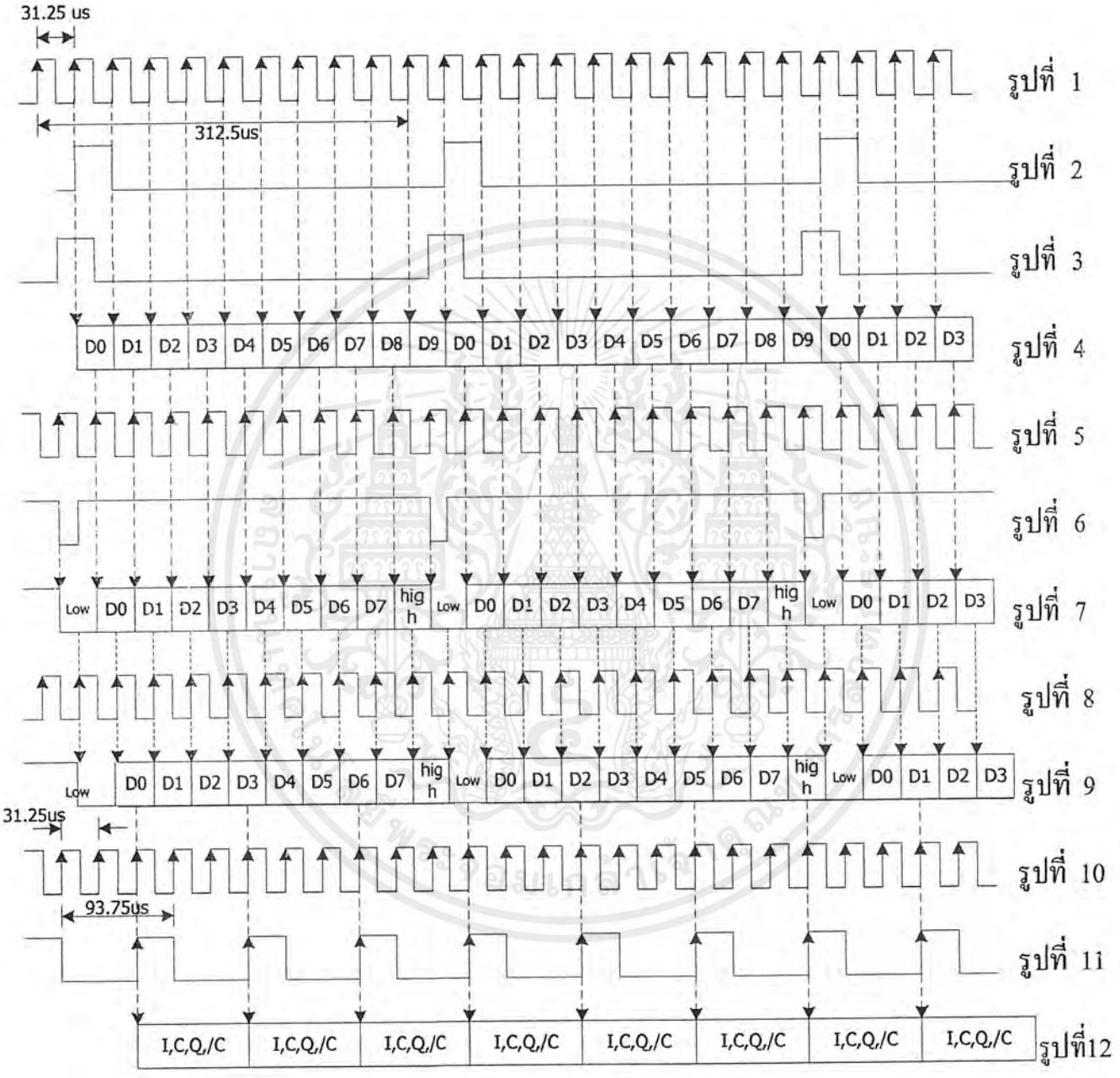
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

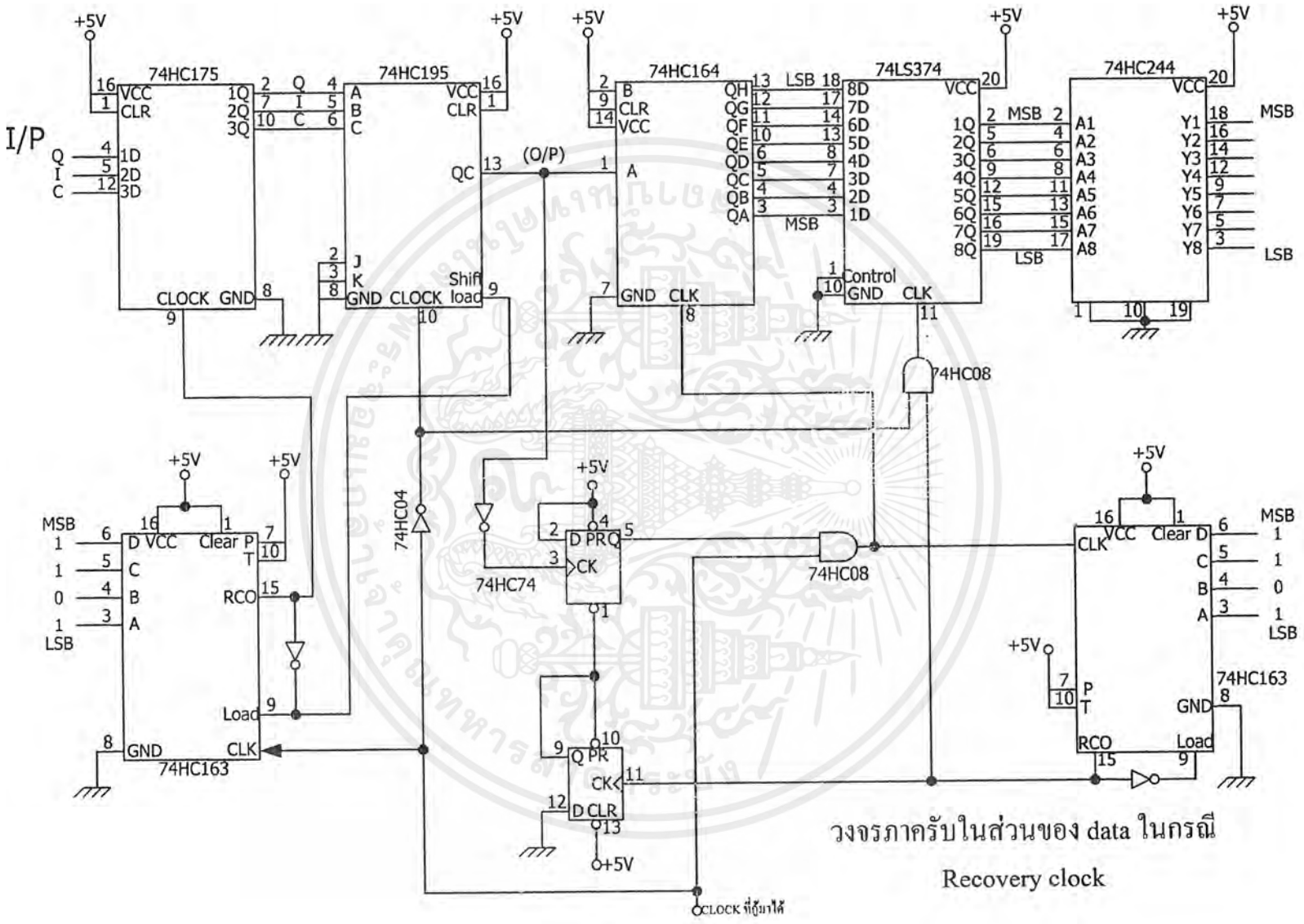


วงจรรวมภาคเครื่องส่งชุดที่ 1

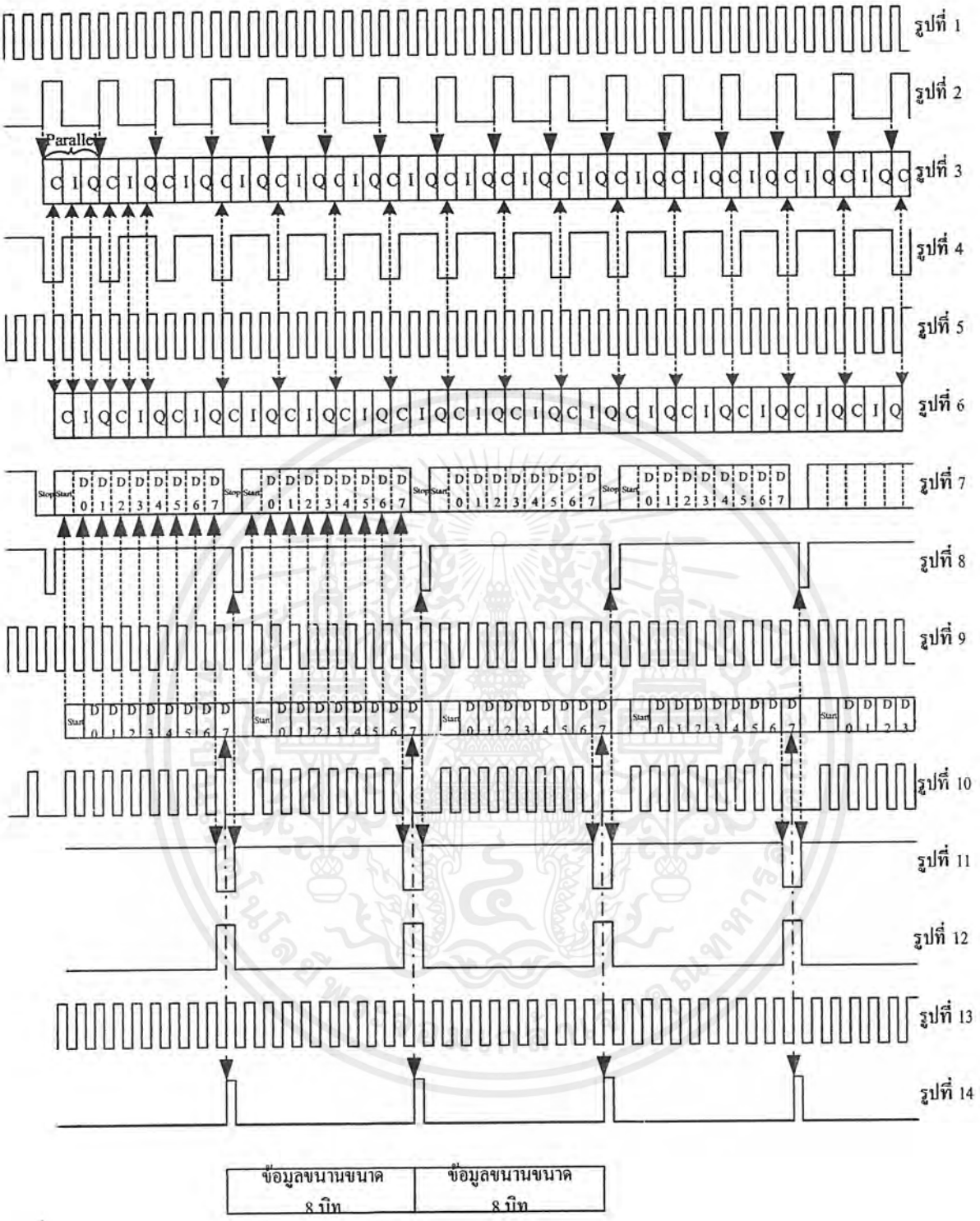
รูปสัญญาณควบคุมและข้อมูลที่เทียบกับสัญญาณนาฬิกาที่จุดต่างๆของเครื่องส่ง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

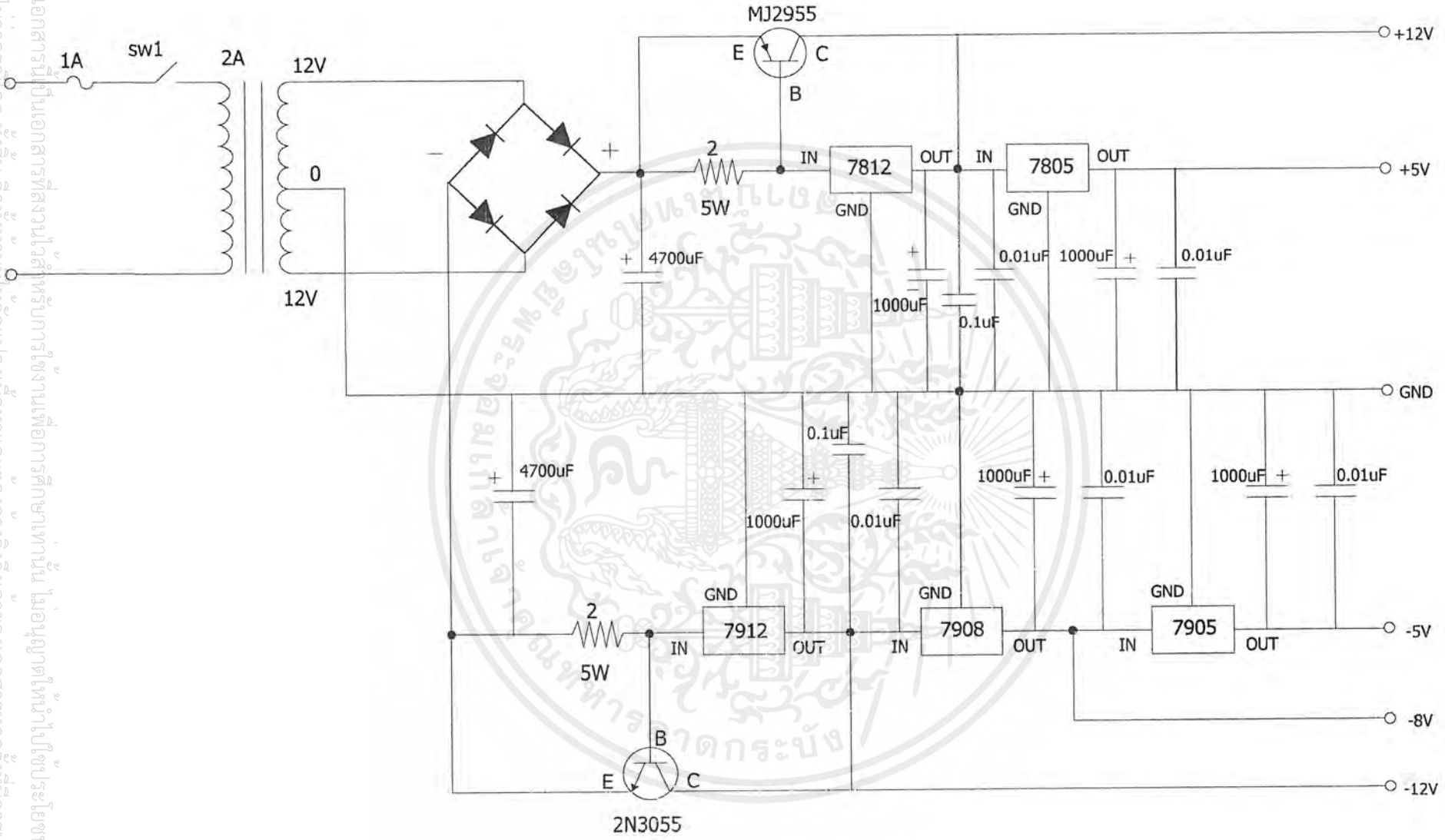


วงจรภาครับในส่วนของ data ในกรณี Recovery clock



สัญญาณควบคุมที่เครื่องรับในกรณีที่ Recory clock

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรแหล่งจ่ายไฟด้านเครื่องส่งและเครื่องรับ

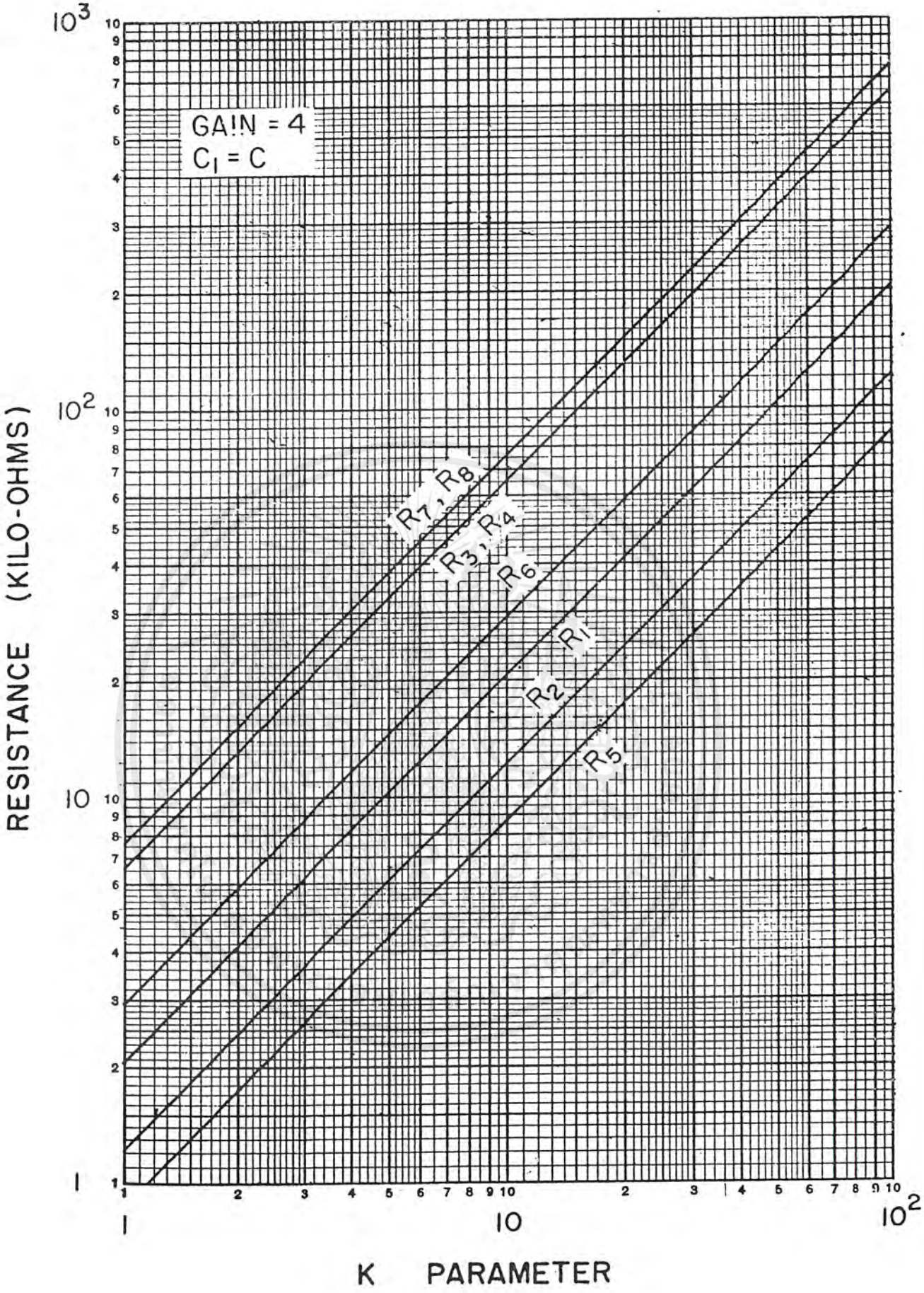


Fig. 2.28. Fourth-order low-pass Butterworth filter.

ตารางที่ใช้ในการหาค่าของอุปกรณ์ต่างๆ สำหรับการออกแบบวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

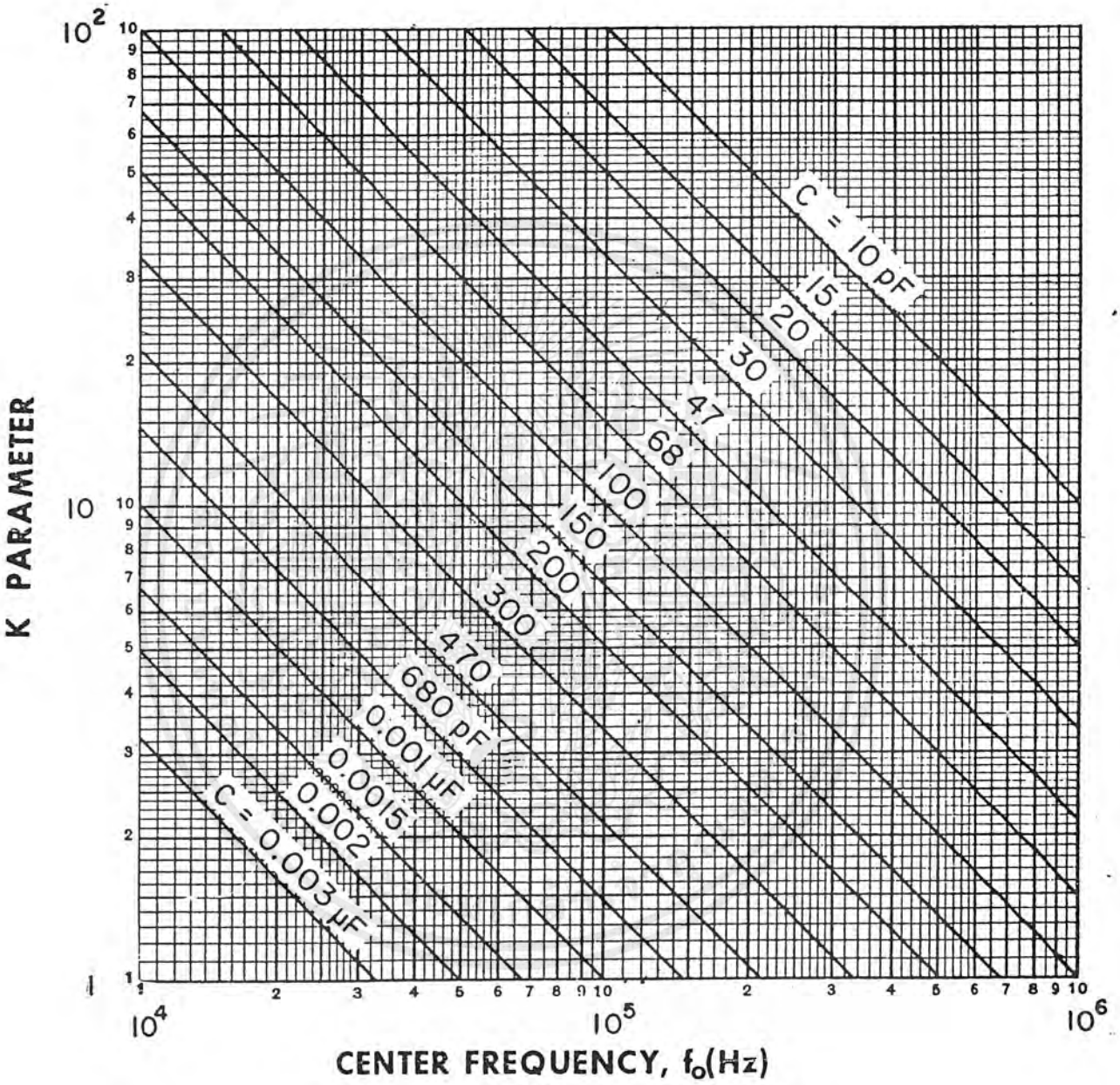


Fig. 4.11. (*c*) *K* parameter versus frequency.

ตารางที่ใช้ในการหาค่า C และค่า K สำหรับการออกแบบวงจรกรองความถี่แถบผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

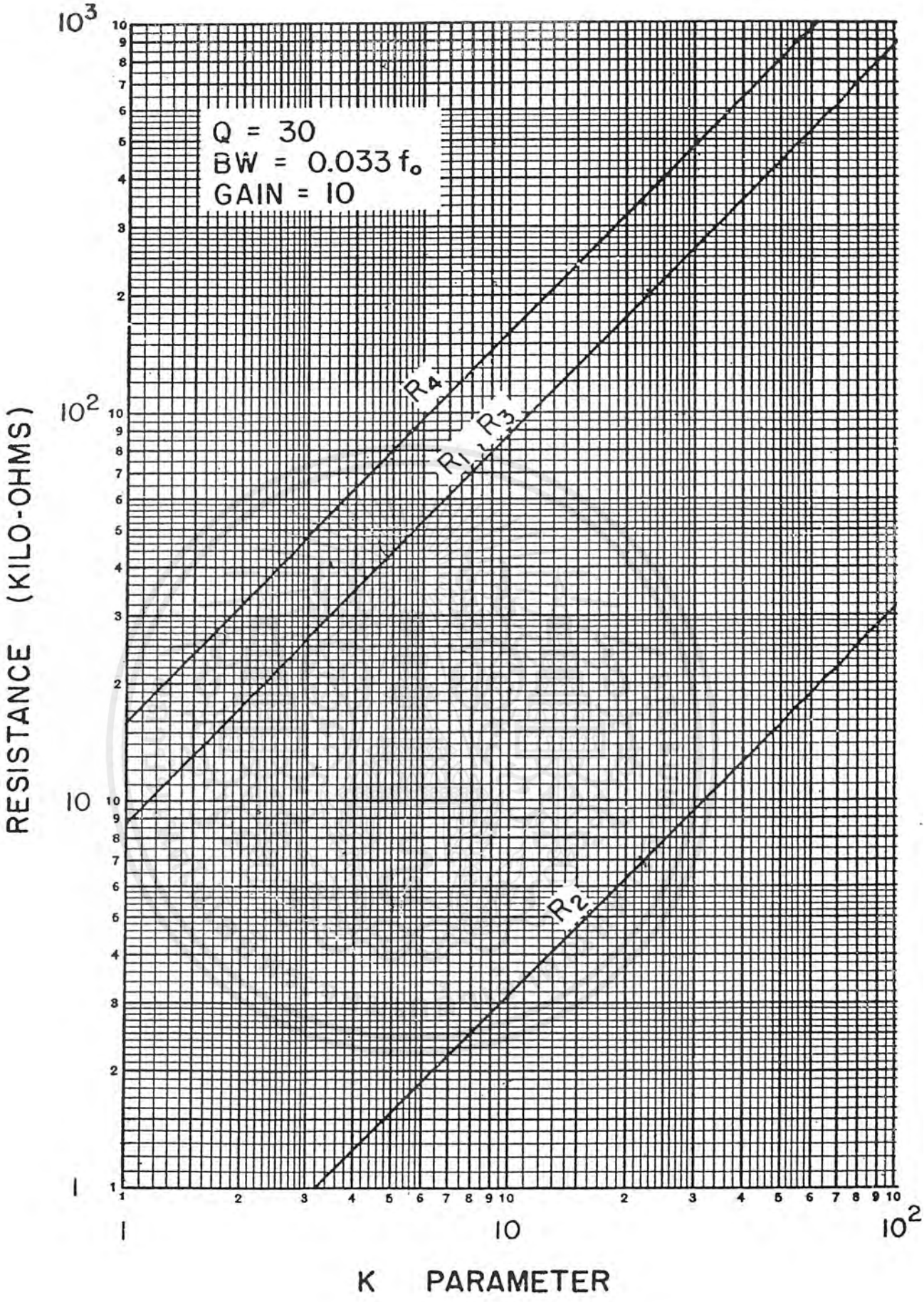


Fig. 4.38. Positive-feedback band-pass filter.

ตารางที่ใช้ในการหาค่าของอุปกรณ์ต่างๆ สำหรับการออกแบบวงจรกรองความถี่แถบผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

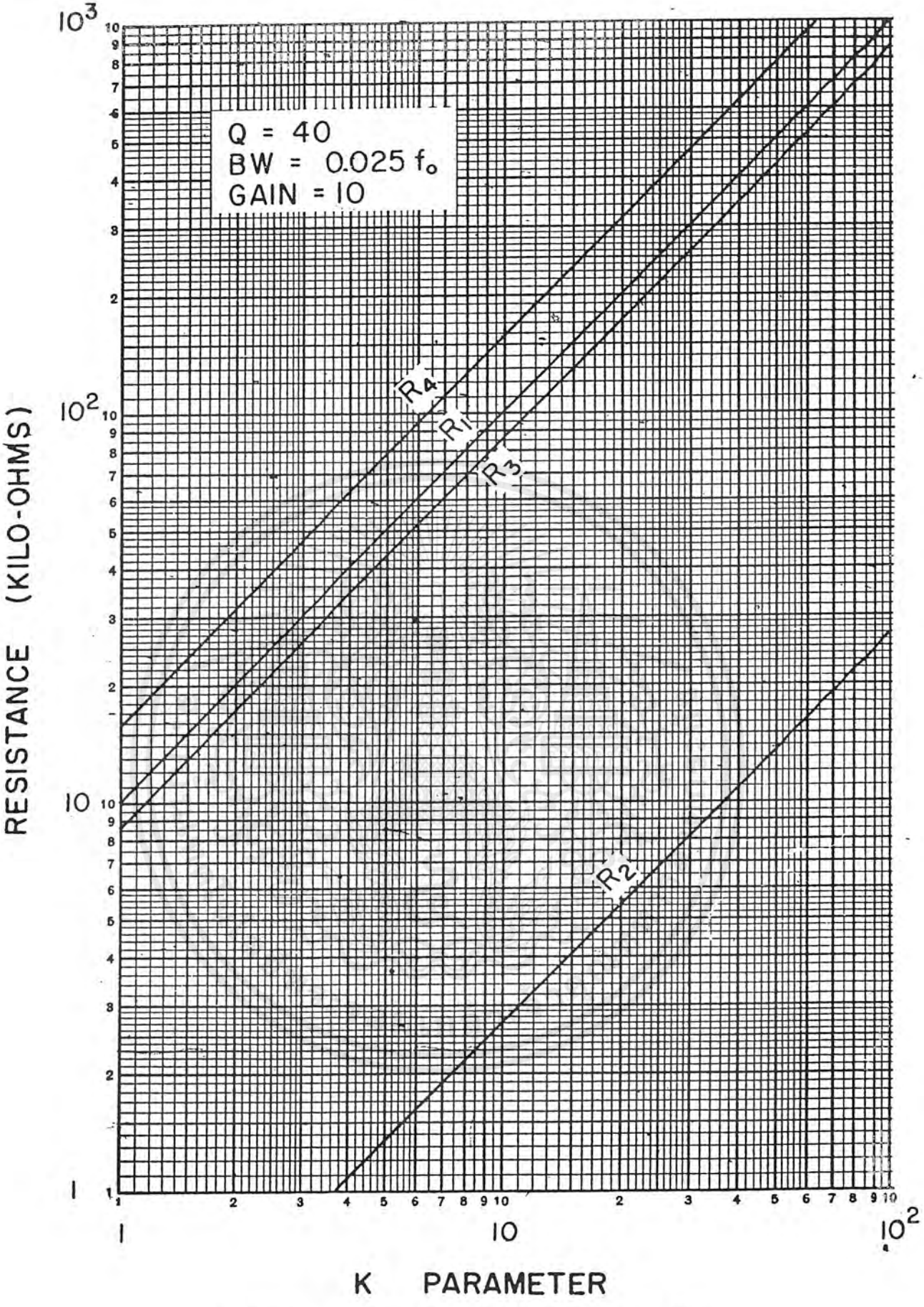


Fig. 4.39. Positive-feedback band-pass filter.

ตารางที่ใช้ในการหาค่าของอุปกรณ์ต่างๆ สำหรับการออกแบบวงจรกรองความถี่แถบผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1995

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

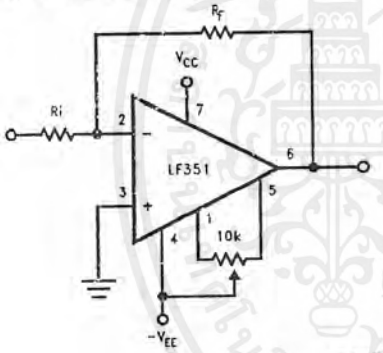
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

Features

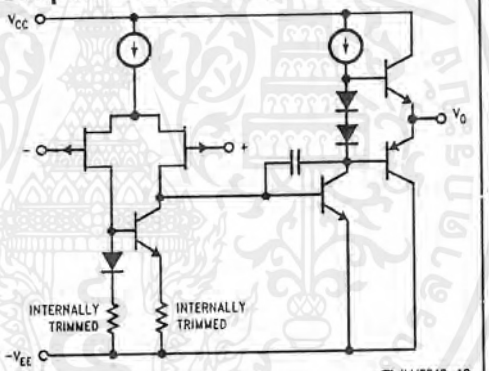
■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/$\sqrt{Hz}$
■ Low input noise current	0.01 pA/$\sqrt{Hz}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



TL/H/5648–11

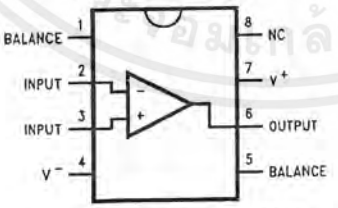
Simplified Schematic



TL/H/5648–12

Connection Diagrams

Dual-In-Line Package



TL/H/5648–13

Order Number LF351M or LF351N
See NS Package Number M08A or N08E

©1995 National Semiconductor Corporation TL/H/5648

RRD-B30M125/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C
θ_{jA}	
N Package	120°C/W
M Package	TBD
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 10\,k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10\,k\Omega$		10		μV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq +70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2\,k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10\,k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10\,k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_J = 25°C$, $f = 1000$ Hz		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{JA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_J. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_J = T_A + \theta_{JA} P_D$ where θ_{JA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

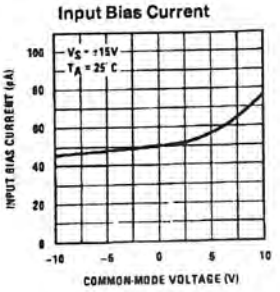
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From ±15V to ±5V.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

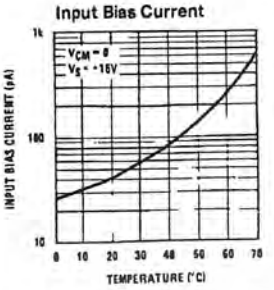
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

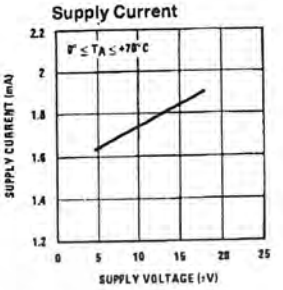
Input Bias Current



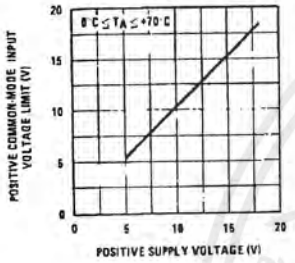
Input Bias Current



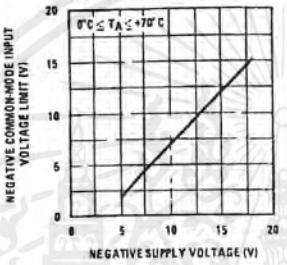
Supply Current



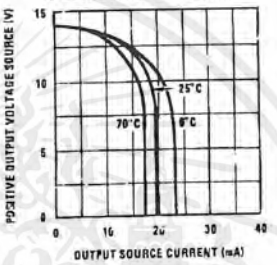
Positive Common-Mode Input Voltage Limit



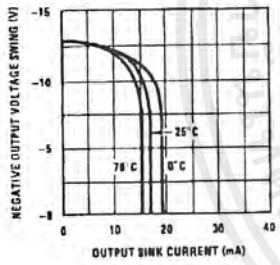
Negative Common-Mode Input Voltage Limit



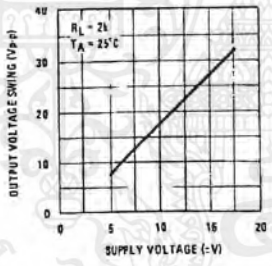
Positive Current Limit



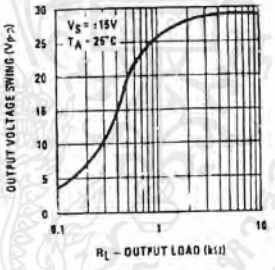
Negative Current Limit



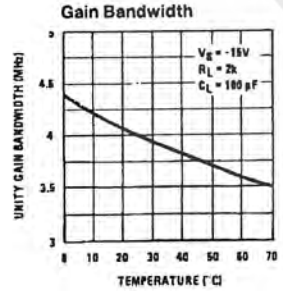
Voltage Swing



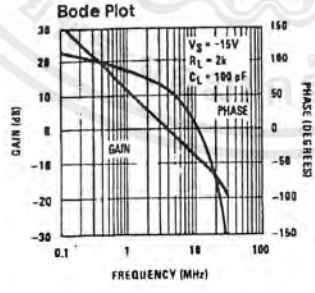
Output Voltage Swing



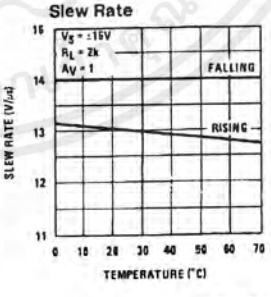
Gain Bandwidth



Bode Plot



Slew Rate

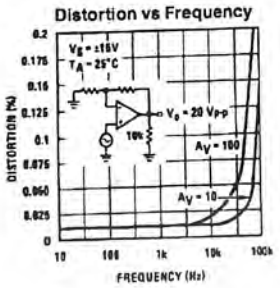


TL/H/5648–2

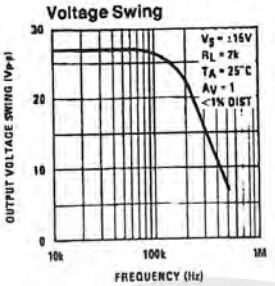
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

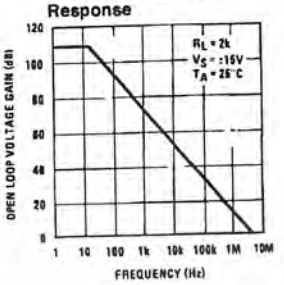
Distortion vs Frequency



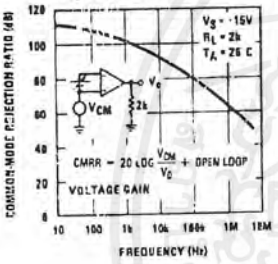
Undistorted Output Voltage Swing



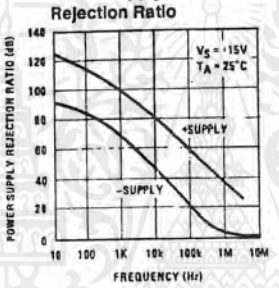
Open Loop Frequency Response



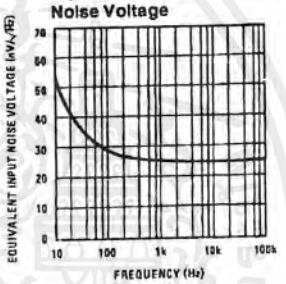
Common-Mode Rejection Ratio



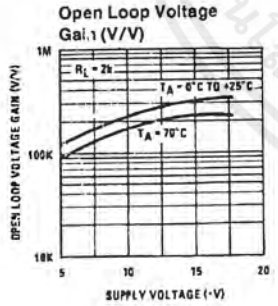
Power Supply Rejection Ratio



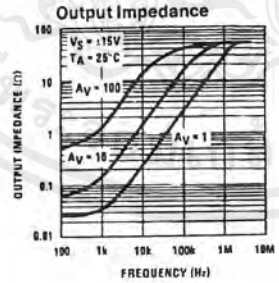
Equivalent Input Noise Voltage



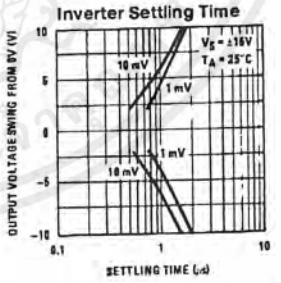
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

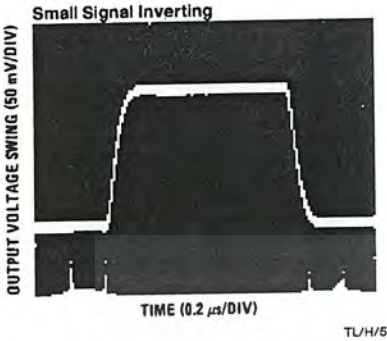


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

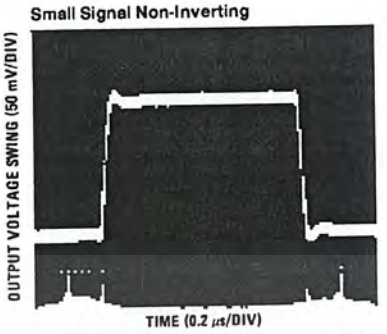
Pulse Response

Small Signal Inverting



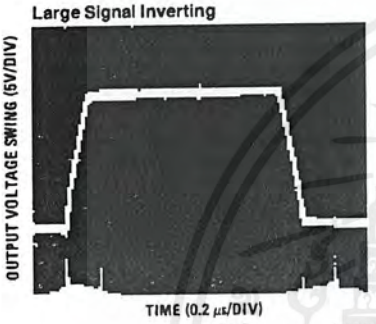
TL/H/5648–4

Small Signal Non-Inverting



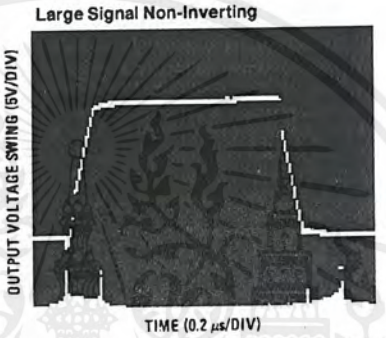
TL/H/5648–5

Large Signal Inverting



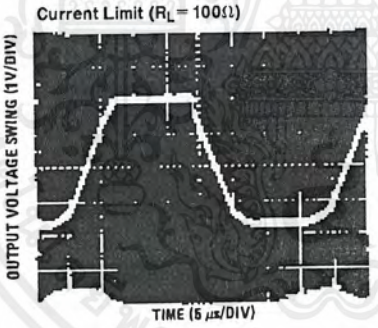
TL/H/5648–6

Large Signal Non-Inverting



TL/H/5648–7

Current Limit ($R_L = 100\Omega$)



TL/H/5648–8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

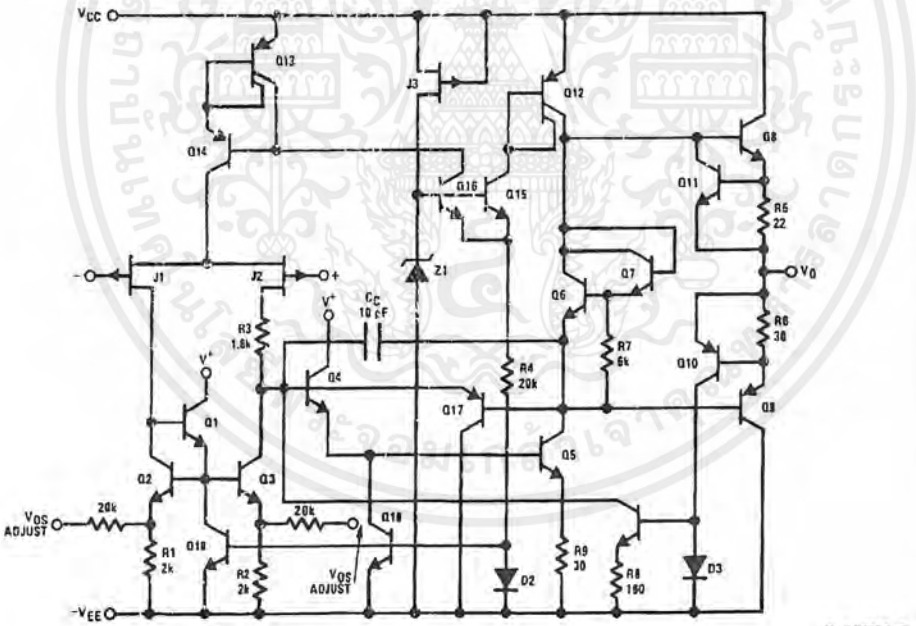
The LF351 will drive a 2 kΩ load resistance to ± 10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

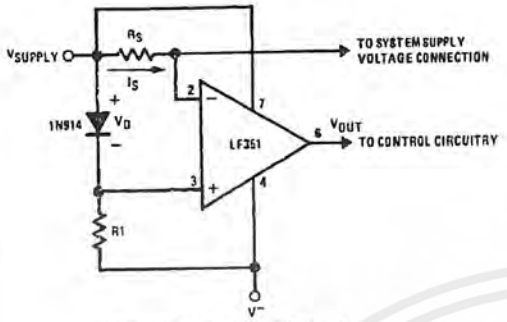


TL/H/5648-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

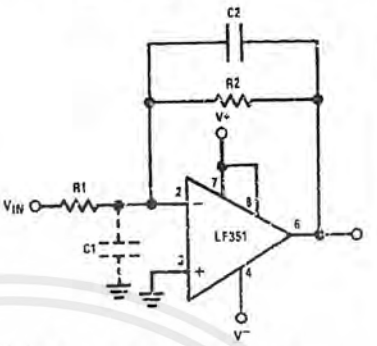
Typical Applications

Supply Current Indicator/Limiter



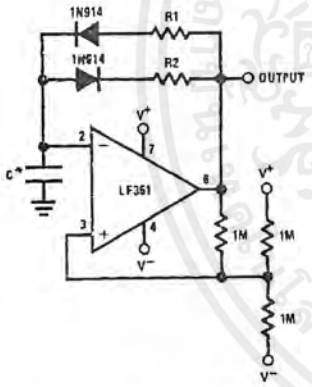
• V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that: R2C2 ≈ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



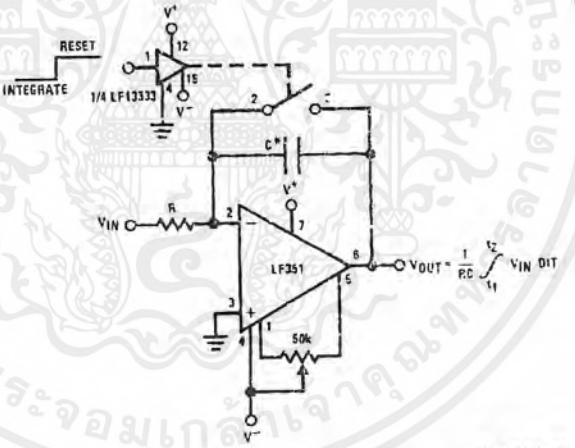
• $t_{OUTPUT\ HIGH} \approx R1C\ \ell n \frac{4.8 - 2V_S}{4.8 - V_S}$

• $t_{OUTPUT\ LOW} \approx R2C\ \ell n \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



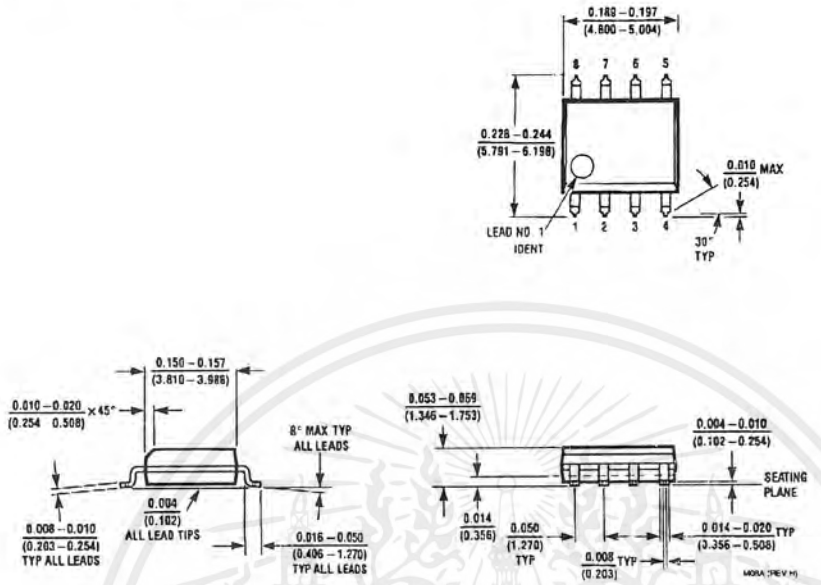
TL/H/5648–10

*Low leakage capacitor

• 50k pot used for less sensitive V_{OS} adjust

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

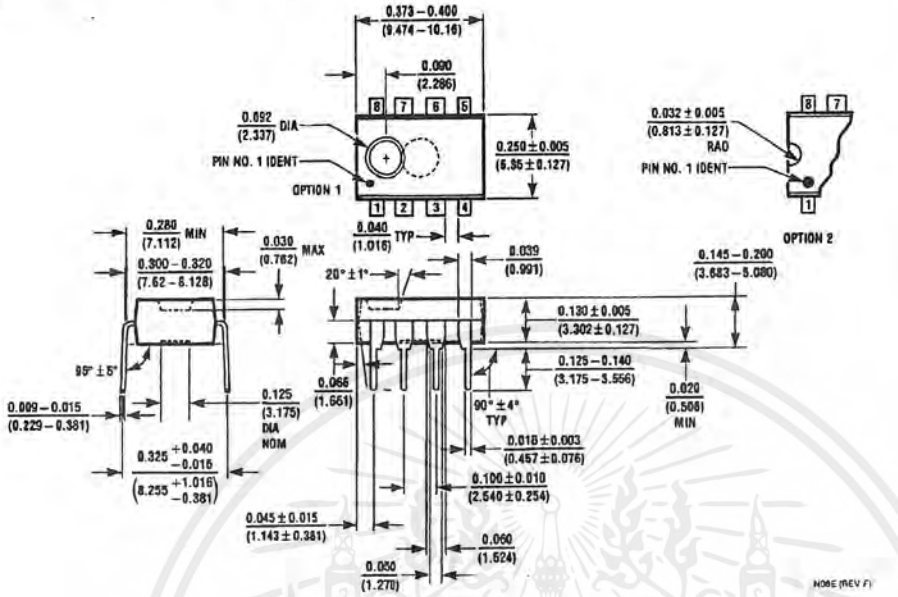
Physical Dimensions inches (millimeters)



SO Package (M)
Order Number LF351M
NS Package Number M08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Molded Dual-In-Line Package (N)
Order Number LF351N
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM1596/LM1496 Balanced Modulator-Demodulator

General Description

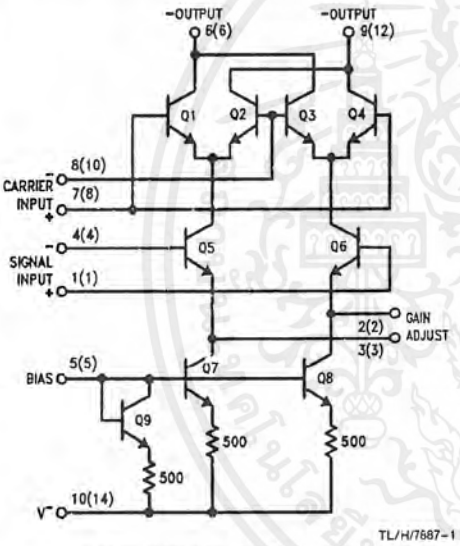
The LM1596/LM1496 are doubled balanced modulator-demodulators which produce an output voltage proportional to the product of an input (signal) voltage and a switching (carrier) signal. Typical applications include suppressed carrier modulation, amplitude modulation, synchronous detection, FM or PM detection, broadband frequency doubling and chopping.

The LM1596 is specified for operation over the −55°C to +125°C military temperature range. The LM1496 is specified for operation over the 0°C to +70°C temperature range.

Features

- Excellent carrier suppression
  65 dB typical at 0.5 MHz
  50 dB typical at 10 MHz
- Adjustable gain and signal handling
- Fully balanced inputs and outputs
- Low offset and drift
- Wide frequency response up to 100 MHz

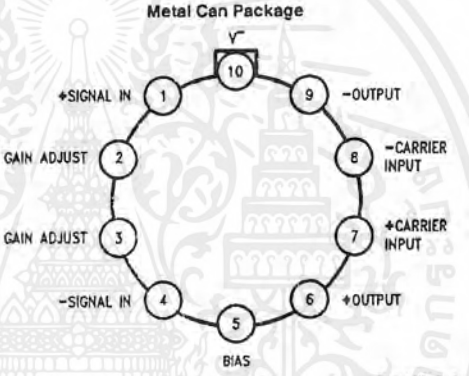
Schematic and Connection Diagrams



TL/H/7687–1

Numbers in parentheses show DIP connections.

Metal Can Package



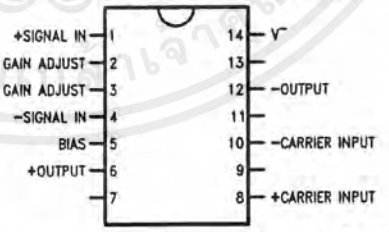
TL/H/7687–2

Top View

Note: Pin 10 is connected electrically to the case through the device substrate.

Order Number LM1496H or LM1596H
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/7687–3

Order Number LM1496M or LM1496N
See NS Package Number M14A or N14A

©1995 National Semiconductor Corporation TL/H/7687

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Internal Power Dissipation (Note 1)	500 mW
Applied Voltage (Note 2)	30V
Differential Input Signal ($V_7 - V_8$)	±5.0V
Differential Input Signal ($V_4 - V_1$)	$\pm(5 + I_5R_0)$V
Input Signal ($V_2 - V_1$, $V_3 - V_4$)	5.0V
Bias Current (I_5)	12 mA
Operating Temperature Range LM1596	−55°C to +125°C
LM1496	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Soldering Information

- Dual-In-Line Package
  - Soldering (10 seconds) 260°C
- Small Outline Package
  - Vapor Phase (60 seconds) 215°C
  - Infrared (15 seconds) 220°C

See AN-450 "Surface Mounting Methods and their effects on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Carrier Feedthrough	V_C = 60 mVrms sine wave f_C = 1.0 kHz, offset adjusted		40			40		μVrms
	V_C = 60 mVrms sine wave f_C = 10 kHz, offset adjusted		140			140		μVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset adjusted		0.04	0.2		0.04	0.2	mVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, not offset adjusted		20	100		20	150	mVrms
Carrier Suppression	f_S = 10 kHz, 300 mVrms f_C = 500 kHz, 60 mVrms sine wave offset adjusted	50	65		50	65		dB
	f_S = 10 kHz, 300 mVrms f_C = 10 MHz, 60 mVrms sine wave offset adjusted		50			50		dB
Transadmittance Bandwidth	R_L = 50Ω Carrier Input Port, V_C = 60 mVrms sine wave		300			300		MHz
	f_S = 1.0 kHz, 300 mVrms sine wave Signal Input Port, V_S = 300 mVrms sine wave $V_7 - V_8$ = 0.5Vdc		80			80		MHz
Voltage Gain, Signal Channel	V_S = 100 mVrms, f = 1.0 kHz $V_7 - V_8$ = 0.5 Vdc	2.5	3.5		2.5	3.5		V/V
Input Resistance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		200			200		kΩ
Input Capacitance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		2.0			2.0		pF
Single Ended Output Resistance	f = 10 MHz		40			40		kΩ
Single Ended Output Capacitance	f = 10 MHz		5.0			5.0		pF
Input Bias Current	$(I_1 + I_4)/2$		12	25		12	30	μA
Input Bias Current	$(I_7 + I_8)/2$		12	25		12	30	μA
Input Offset Current	$(I_1 - I_4)$		0.7	5.0		0.7	5.0	μA
Input Offset Current	$(I_7 - I_8)$		0.7	5.0		5.0	5.0	μA
Average Temperature Coefficient of Input Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		2.0			2.0		nA/°C nA/°C
Output Offset Current	$(I_6 - I_9)$		14	50		14	60	μA
Average Temperature Coefficient of Output Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		90			90		nA/°C nA/°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit) (Continued)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Signal Port Common Mode Input Voltage Range	f_S = 1.0 kHz		5.0			5.0		V_{p-p}
Signal Port Common Mode Rejection Ratio	$V_7 - V_8$ = 0.5 Vdc		−85			−85		dB
Common Mode Quiescent Output Voltage			8.0			8.0		Vdc
Differential Output Swing Capability			8.0			8.0		V_{p-p}
Positive Supply Current	($I_6 + I_8$)		2.0	3.0		2.0	3.0	mA
Negative Supply Current	(I_{10})		3.0	4.0		3.0	4.0	mA
Power Dissipation			33			33		mW

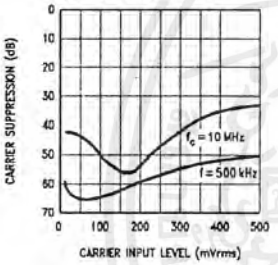
Note 1: LM1596 rating applies to case temperatures to +125°C; derate linearly at 6.5 mW/°C for ambient temperature above 75°C. LM1496 rating applies to case temperatures to +70°C.

Note 2: Voltage applied between pins 6-7, 8-1, 9-7, 9-8, 7-4, 7-1, 8-4, 6-8, 2-5, 3-5.

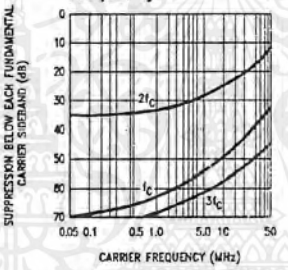
Note 3: Refer to rets1596x drawing for specifications of military LM1596H versions.

Typical Performance Characteristics

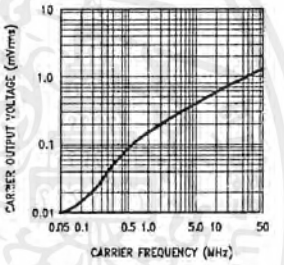
Carrier Suppression vs Carrier Input Level



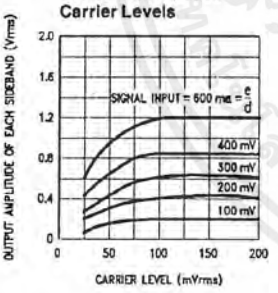
Carrier Suppression vs Frequency



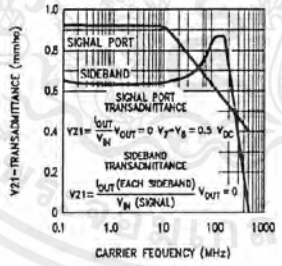
Carrier Feedthrough vs Frequency



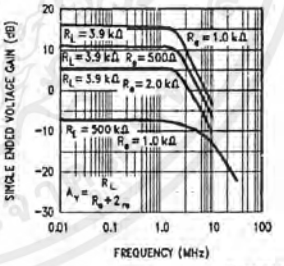
Sideband Output vs Carrier Levels



Sideband and Signal Port Transadmittances vs Frequency



Signal-Port Frequency Response

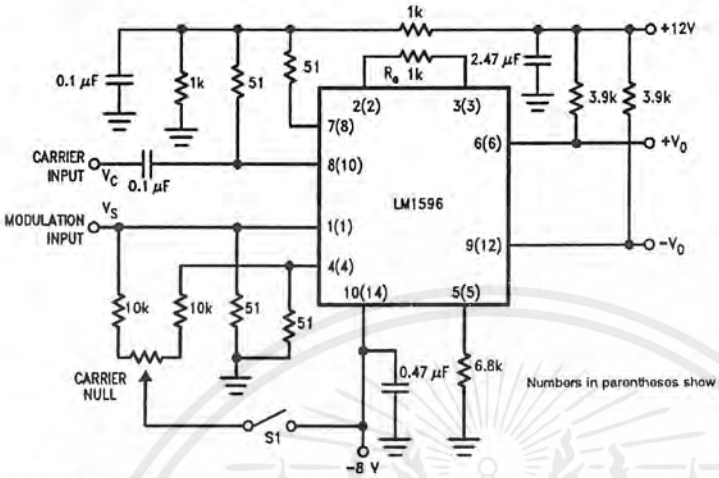


TL/H/7887–5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application and Test Circuit

Suppressed Carrier Modulator

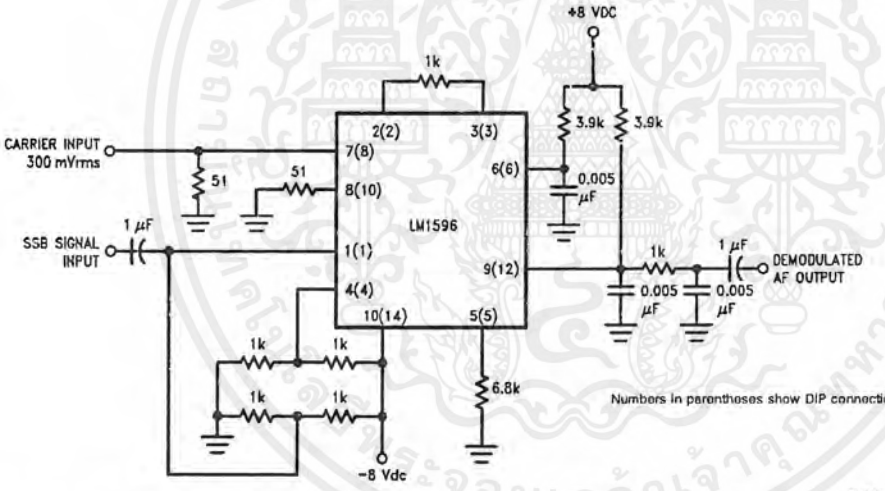


Numbers in parentheses show DIP connections.

Note: S_1 is closed for "adjusted" measurements.

TL/H/7887–4

SSB Product Detector



Numbers in parentheses show DIP connections.

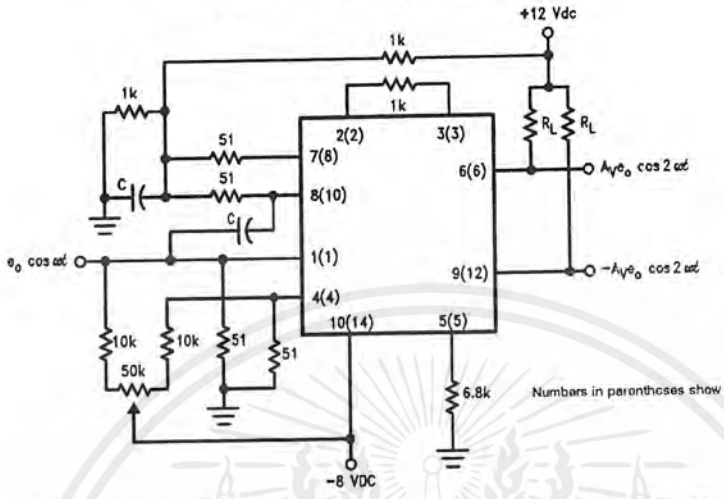
TL/H/7887–6

This figure shows the LM1596 used as a single sideband (SSB) suppressed carrier demodulator (product detector). The carrier signal is applied to the carrier input port with sufficient amplitude for switching operation. A carrier input level of 300 mVrms is optimum. The composite SSB signal is applied to the signal input port with an amplitude of 5.0 to 500 mVrms. All output signal components except the desired demodulated audio are filtered out, so that an offset adjustment is not required. This circuit may also be used as an AM detector by applying composite and carrier signals in the same manner as described for product detector operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Broadband Frequency Doubler



Numbers in parentheses show DIP connections.

TL/H/7887–7

The frequency doubler circuit shown will double low-level signals with low distortion. The value of C should be chosen for low reactance at the operating frequency. Signal level at the carrier input must be less than 25 mV peak to maintain operation in the linear region of the switching differential amplifier. Levels to 50 mV peak may be used with some distortion of the output waveform. If a larger input signal is available a resistive divider may be used at the carrier input, with full signal applied to the signal input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ด้วยดีก็ต้องขอกราบขอบพระคุณท่าน อาจารย์ รศ.ดร.กอบชัย เดชหาญ และพี่ๆปริญญาเอกและพี่ปริญญาโททุกๆท่านที่ให้คำแนะนำและช่วยเหลือในทุกๆด้าน และขอบคุณเพื่อนๆทุกคน ที่คอยช่วยเหลือและเป็นกำลังใจให้ด้วยดีตลอดมาและขอกราบขอบพระคุณ คุณพ่อ และ คุณแม่ ที่สนับสนุนด้านเงินทุนด้วยดี ตลอดมาจนทำให้ปริญญานิพนธ์ฉบับนี้สำเร็จได้ด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. Wayne Tomasi., "Advance Electronic Communications System" ,Prentice – Hall,1987.
2. รศ.กฤษดา วิศวธีรานนท์., "เรียน/เล่น/ใช้ ไอซีดิจิตอล" ,บริษัท ซีเอ็ดยูเคชั่น จำกัด,2538.
3. สุวิทย์ ลุมาดกมลพันธ์ และ อำนาจ หาญประสิทธิ์ดำ., "QPSK และการประยุกต์ใช้งาน" , ปริญญานิพนธ์วิศวกรรมศาสตรบัณฑิต สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พ.ศ.2540.
4. Wayn Tomasi and Vincent F.Alisouskas., "Telecommunication Vioce/Data with Fiber Optic Applications".

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้