# การออกแบบวงจรแปลงสัญญาณจากอนาลอกเป็นดิจิตอล โดยใช้สวิตช์คาปาซิเตอร์

# Design of Analog to Digital convertion Using Switched Capacitor


อาจารย์ที่ปรึกษา รศ. ชวลิต เบญจางคประเสริฐ

โดย

นายประวิทย์ แซ่ตั้ง

นายมานิตย์ ตังคะวัชระ



เลขเรียกหนังสือ ปย ปวช ก ๒๕๔๒

เลขทะเบียน 041560

วัน เดือน ปี ๖ ม.ค. ๔๓


ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

041560

**หัวข้อปริญญานิพนธ์** การออกแบบวงจรแปลงสัญญาณจากอนาลอกเป็นดิจิตอลโดยใช้สวิตช์คาปาซิเตอร์

**นักศึกษา** นายประวิทย์ แซ่ตั้ง
นายมานิตย์ ตังคะวัชระ

**อาจารย์ที่ปรึกษา** รศ. ชวลิต เบญจางคประเสริฐ
**ภาควิชา** เทคนิคอุตสาหกรรม
**ปีการศึกษา** 2542

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังอนุมัติให้ปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

---

.....อาจารย์ที่ปรึกษา
(.....)

.....กรรมการ
(.....)

.....กรรมการ
(.....)

.....กรรมการ
(.....)

**ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | |
|---|---|
| **Thesis** | **Design of Analog to Digital Conversion Using Switched Capacitor** |
| **Student** | **Mr. Pravit Saetang** |
| | **Mr. Manit Thungkawatchra** |
| **Thesis Advisor** | **Assoc.Prof. Chawalit Benjangkaprasert** |
| **Level of Student** | **Industrial Technology** |
| **Year** | **1999** |

**Accepted by the Faculty of Engineering King Mongkut's Institute of Technology Ladkrabang in partial Fulfillment for the Bachelor's degree**

---

**.....Advisor**

**(.....)**

**.....committee**

**(.....)**

**.....committee**

**(.....)**

**.....committee**

**(.....)**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| บท | หน้า |
|---|---|
| บทคัดย่อ | ก |
| Abstract | ข |
| กิตติกรรมประกาศ | ค |
| บทที่ 1 ความเป็นมาและความสำคัญของปัญหา | 1 |
| 1.1 จุดมุ่งหมายและวัตถุประสงค์ของการศึกษา | 2 |
| 1.2 ทฤษฎีและแนวคิดในการทำวิจัย | 2 |
| 1.3 ขอบเขตของการวิจัย | 2 |
| บทที่ 2 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล | 4 |
| 2.1 บทนำ | 4 |
| 2.2 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบต่างๆ | 5 |
| 2.3 ทฤษฎีการ Sampling | 6 |
| 2.4 Sampling and Hold และ Aperture time | 7 |
| 2.5 Frequency folding และ Allising | 7 |
| 2.6 ทฤษฎีการควอนไตซ์ (Quantizing theory) | 8 |
| 2.7 วงจร A/D ความเร็วต่ำ | 9 |
| 2.7.1 Single slope A/D converter หรือ Pulse width modulator A/D converter | 9 |
| 2.7.2 Dual slpoe A/D converter หรือ up down integrator A/D converter | 11 |
| 2.8 วงจร A/D ความเร็วปานกลาง | 13 |
| 2.8.1 Successive approximation A/D converter | 14 |
| 2.8.2 Algorithmic A/D converter | 17 |
| 2.9 วงจร A/D ความเร็วสูง | 19 |
| 2.9.1 Paralel A/D converter หรือ Flash A/D converter | 19 |
| บทที่ 3 รหัสไบนารี่และความสัมพันธ์ในการแปลงสัญญาณและหลักการทำงาน ของวงจรสวิตช์คาปาซิเตอร์ในลักษณะของการปั๊มประจุภายใต้กฎการอนุรักษ์ประจุ | 21 |
| 3.1 บทนำ | 21 |
| 3.2 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลชนิด conuter ramp | 21 |
| 3.3 รหัสไบนารี่และความสัมพันธ์ในการแปลงสัญญาณ | 23 |
| 3.3.1 ปริมาณทางดิจิตอล | 23 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)


| บท | หน้า |
|---|---|
| 3.3.2 จำนวนเต็มและเศษส่วนของรหัสไบนารี่ | 23 |
| 3.4 หลักการทำงานของสวิตช์คาปาซิเตอร์ในลักษณะของการปั๊มประจุภายใต้กฎการอนุรักษ์ประจุ | 25 |
| บทที่ 4 การออกแบบและการทำงานของวงจร | 30 |
| 4.1 บทนำ | 30 |
| 4.2 การออกแบบวงจร | 31 |
| 4.2.1 การทำงานของวงจร SAADC อัลกอริธึมแบบลบ | 33 |
| 4.2.2 การทำงานของวงจร SAADC อัลกอริธึมแบบบวก | 39 |
| บทที่ 5 ผลการทดลอง | 44 |
| 5.1 ผลการวิเคราะห์วงจรด้วยโปรแกรม Pspcie | 44 |
| 5.2 วงจรอัลกอริธึมแบบบวก | 44 |
| 5.3 วงจรอัลกอริธึมแบบลบ | 49 |
| 5.4 ผลการทดลองวงจรจริง | 54 |
| บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะ | 62 |
| บรรณานุกรม | 63 |
| ภาคผนวก ก. รายละเอียดของวงจร | |
| ภาคผนวก ข. รายละเอียดเกี่ยวกับอุปกรณ์ | |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป


| บท | | หน้า |
|---|---|---|
| บทที่ 2 | หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล | |
| | รูปที่ 2.1 แสดงหลักการเบื้องต้นของ A/D Converter | 5 |
| | รูปที่ 2.2 กราฟความสัมพันธ์ระหว่างสัญญาณต่อเนื่องและสัญญาณดิจิตอล | 6 |
| | รูปที่ 2.3 ก. สเปคตรัมของสัญญาณอนาลอกที่ถูกสุ่ม | 8 |
| | ข. สเปคตรัมหลังจากการสุ่มเกิด Frequency folding | |
| | รูปที่ 2.4 วงจรพื้นฐานของ Single slope A/D converter | 9 |
| | รูปที่ 2.5 วงจรพื้นฐานของ Dual slop A/D Converter | 11 |
| | รูปที่ 2.6 กราฟแสดงความสัมพันธ์ระหว่างค่าศักดาจุดออกของวงจรอินทริเกรต Vint กับเวลา t | 13 |
| | รูปที่ 2.7 รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบ | 15 |
| | รูปที่ 2.8 วงจรพื้นฐานของ Successive approximation A/D Converter | 15 |
| | รูปที่ 2.9 ตัวอย่างความสัมพันธ์ระหว่างสัญญาณต่อเนื่องจุดออก Voa จาก D/A กับสัญญาณต่อเนื่องจุดเข้า Via | 16 |
| | รูปที่ 2.10 หลักการทำงานของวงจรพื้นฐานของ Algorithmic A/D converter | 17 |
| | รูปที่ 2.11 หลักการทำงานของวงจร Parallel A/D converter | 19 |
| | รูปที่ 2.12 วงจรพื้นฐานของ Parallel A/D converter | 20 |
| บทที่ 3 | รหัสไบนารี่และความสัมพันธ์ในการแปลงสัญญาณและหลักการทำงาน ของวงจรสวิตช์คาปาซิเตอร์ในลักษณะของการปั๊มประจุภายใต้กฎการอนุรักษ์ประจุ | |
| | รูปที่ 3.1 วงจรD/A โดยใช้ R-2R ladder | 21 |
| | รูปที่ 3.2 แสดงวงจร counter ramp type A/D converter | 22 |
| | รูปที่ 3.3 ก. วงจรสวิตช์คาปาซิเตอร์ในลักษณะของการปั๊มประจุที่ให้ค่า Vo=-Vin | 26 |
| | ข. แผนภูมิลำดับการทำงานของสวิตช์ $\phi 1$ และ $\phi 2$ | 26 |
| | รูปที่ 3.4 วงจรขณะที่สวิตช์ $\phi 1$ ทำงาน | 26 |
| | รูปที่ 3.5 วงจรขณะที่สวิตช์ $\phi 2$ ทำงาน | 26 |
| | รูปที่ 3.6 ก. วงจรสวิตช์คาปาซิเตอร์ในลักษณะของการปั๊มประจุ Vo = Vin | 27 |
| | ข. แผนภูมลำดับขั้นการทำงานของสวิตช์ $\phi 1$ และ $\phi 2$ | 28 |
| | รูปที่ 3.7 วงจรขณะที่สวิตช์ $\phi 1$ ทำงาน | 28 |
| | รูปที่ 3.8 วงจรขณะที่สวิตช์ $\phi 2$ ทำงาน | 28 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)


| บท | หน้า |
|---|---|
| บทที่ 4 การออกแบบและการทำงานของวงจร | |
| รูปที่ 4.1 แสดงอัลกอริธึม SAADC แบบลบ | 30 |
| รูปที่ 4.2 แสดงอัลกอริธึม SAADC แบบบวก | 31 |
| รูปที่ 4.3 แสดงบล็อกไดอะแกรมของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลโดยการประมาณค่าตามลำดับขั้นด้วย SAADC | 32 |
| รูปที่ 4.4 แสดงสัญญาณนาฬิกาควบคุมของวงจรอัลกอริธึมแบบลบ | 33 |
| รูปที่ 4.5 แสดงวงจร SAADC แบบลบ | 34 |
| รูปที่ 4.6 แสดงวงจรขณะที่อยู่ในช่วงสัญญาณนาฬิการลูกที่ 2 | 35 |
| ก. $\phi B$ , $\phi 1$ , $\phi C$_ ทำงาน | |
| ข. $\phi B$ , $\phi 2$ , $\phi C$_ทำงาน | |
| รูปที่ 4.7 แสดงวงจรในจังหวะขอบขาขึ้นของสัญญาณนาฬิกาลูกที่ | 35 |
| รูปที่ 4.8 แสดงวงจรในจังหวะที่เกิดการรวมตัวของประจุเมื่อ $\phi 0$ เปิดวงจร | 36 |
| รูปที่ 4.9 แสดงวงจรขณะที่สวิตช์ $\phi 0$ เปิดวงจร | 37 |
| รูปที่ 4.10 แสดงการเปลี่ยแปลงของวงจรสร้างแรงดันอ้างอิง | 40 |
| รูปที่ 4.11 แสดงวงจร SAADC อัลกอริธึมแบบบวก | 40 |
| รูปที่ 4.12 (ต่อ)แสดงวงจร SAADC อัลกอริธึมแบบบวก | 39 |
| รูปที่ 4.13 แสดงแผนภูมินาฬิกาควบคุมของอัลกอริธึมแบบบวก | 39 |
| รูปที่ 4.14 แสดงวงจรขณะที่อยู่ในช่วงสัญญาณนาฬิการลูกที่ 2 | 40 |
| ก. ขณะที่ $\phi 2$ ทำงาน | |
| ข. ขณะที่ $\phi 3$ ทำงาน | |
| รูปที่ 4.15 แสดงการรวมตัวของประจุ กรณี $\phi C$ เป็น High | 42 |
| รูปที่ 4.16 แสดงการรวมกันของประจุ กรณี $\phi C$ เป็น Low | 42 |
| บทที่ 5 ผลการทดลอง | |
| รูปที่ 5.1 แสดงวงจรสร้างสัญญาณ clock ของอัลกอริธึมแบบบวกที่สร้างจาก Schematics | 44 |
| รูปที่ 5.2 แสดงสัญญาณนาฬิกาของอัลกอริธึมแบบบวกที่ทำการ Simulate บนโปนแกรม Pspice | 45 |
| รูปที่ 5.3 แสดงส่วนของวงจรกำเนิดสัญญาณอ้างอิงที่สร้างมาจาก Schematics | 45 |
| รูปที่ 5.4 แสดงวงจรสัญญาณเปรียบเทียบที่สร้างมาจาก Schematics | 46 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บท หน้า

รูปที่ 5.5 แสดงวงจรประมวลผลที่สร้างมาจาก Schematics 46

รูปที่ 5.6 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบบวก 47
Vin = 1V และค่าของเอาต์พุต = "0011 1011" หรือมีค่าเท่ากับ 1.1523V

รูปที่ 5.7 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบบวก 47
Vin = 2V และค่าของเอาต์พุต = "0110. 1110" หรือมีค่าเท่ากับ 2.1484V

รูปที่ 5.8 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบบวก 48
Vin = 3V และค่าของเอาต์พุต = "1010 0000" หรือมีค่าเท่ากับ 3.125V

รูปที่ 5.9 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบบวก 48
Vin = 4V และค่าของเอาต์พุต = "1101 0101" หรือมีค่าเท่ากับ 4.1601V

รูปที่ 5.10 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบบวก 49
Vin = 5V และค่าของเอาต์พุต = "1111 1111" หรือมีค่าเท่ากับ 4.98V

รูปที่ 5.11 แสดงวงจรสร้างสัญญาณ clock ของอัลกอริธึมแบบลบที่สร้างจาก 49
Schematics

รูปที่ 5.12 (ต่อ)แสดงวงจรสร้างสัญญาณ clock ของอัลกอริธึมแบบลบที่สร้างจาก 50
Schematics

รูปที่ 5.13 แสดงสัญญาณนาฬิกาที่ใช้ในการควบคุมสวิตช์ของวงจรอัลกอริธึม 50
แบบลบ

รูปที่ 5.14 แสดงส่วนของวงจรกำเนิดสัญญาณอ้างอิงที่สร้างมาจาก Schematics 51

รูปที่ 5.15 แสดงวงจรสัญญาณเปรียบเทียบและวงจรประมวลผลที่สร้างมาจาก 51
Schematics

รูปที่ 5.16 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบลบ 52
Vin = 1V และค่าของเอาต์พุต = "0011 0011" หรือมีค่าเท่ากับ 0.9961V

รูปที่ 5.17 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบลบ 52
Vin = 2V และค่าของเอาต์พุต = "0110 0111" หรือมีค่าเท่ากับ 2.0117V

รูปที่ 5.18 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบลบ 53
Vin = 3V และค่าของเอาต์พุต = "1001 1010" หรือมีค่าเท่ากับ 3.0078V

รูปที่ 5.19 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบลบ 53
Vin = 4V และค่าของเอาต์พุต = "1100 1110" หรือมีค่าเท่ากับ 4.0234V

รูปที่ 5.20 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบลบ 54
Vin = 5V และค่าของเอาต์พุต = "1111 1111" หรือมีค่าเท่ากับ 4.98V

เอกสารนี้เป็นเอกสาร... ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บท หน้า

รูปที่ 5.21 แสดงสัญญาณนาฬิกาควบคุมสวิตช์ของวงจรอัลกอริธึมแบบบวก ที่สร้างขึ้นโดยที่สัญญาณ CH1 คือสัญญาณ clock CH2 , CH3 , CH4 คือสัญญาณ Q1 , Q2 , Q3 ตามลำดับ 55

รูปที่ 5.22 แสดงสัญญาณอ้างอิง สัญญาณประมวลผลและสัญญาณที่ทำการแปลงแล้ว โดยที่ Vin = 1V ได้สัญญาณOutput = "0100 1011" หรือมีค่าเท่ากับ 1.4648 V 56

รูปที่ 5.23 แสดงสัญญาณอ้างอิง สัญญาณประมวลผลและสัญญาณที่ทำการแปลงแล้ว โดยที่ Vin = 2V ได้สัญญาณOutput = "0110 1110" หรือมีค่าเท่ากับ 2.1484 V 56

รูปที่ 5.24 แสดงสัญญาณอ้างอิง สัญญาณประมวลผลและสัญญาณที่ทำการแปลงแล้ว โดยที่ Vin = 3V ได้สัญญาณOutput = "1001 1111" หรือมีค่าเท่ากับ 3.1054 V 57

รูปที่ 5.25 แสดงสัญญาณอ้างอิง สัญญาณประมวลผลและสัญญาณที่ทำการแปลงแล้ว โดยที่ Vin = 4V ได้สัญญาณOutput = "1100 1011" หรือมีค่าเท่ากับ 3.9648 V 57

รูปที่ 5.26 แสดงสัญญาณอ้างอิง สัญญาณประมวลผลและสัญญาณที่ทำการแปลงแล้ว โดยที่ Vin = 5V ได้สัญญาณOutput = "1110 1110" หรือมีค่าเท่ากับ 4.6484V 58

รูปที่ 5.27 วงจรกำเนิดสัญญาณนาฬิกาควบคุมของอัลกอริธึมแบบบวก 58

รูปที่ 5.28 วงจรกำเนิดสัญญาณอ้างอิงของอัลกอริธึมแบบบวก 59

รูปที่ 5.29 วงจรประมวลผลแบบมีเงื่อนไขของอัลกอริธึมแบบบวก 59

รูปที่ 5.30 วงจรเปรียบเทียบสัญญาณของอัลกอริธึมแบบบวก 60

รูปที่ 5.31 วงจรแปลงสัญญาณของอัลกอริธึมแบบบวกด้านหน้า 60

รูปที่ 5.32 วงจรแปลงสัญญาณของอัลกอริธึมแบบบวกด้านบน 61

รูปที่ 5.33 วงจรแปลงสัญญาณของอัลกอริธึมแบบบวกด้านหลัง 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# การออกแบบวงจรแปลงสัญญาณจากอนาลอกเป็นดิจิตอลโดยใช้สวิตช์คาปาซิเตอร์

โดย นายประวิทย์ แซ่ตั้ง
นายมานิตย์ ตังคะวัชระ

อาจารย์ที่ปรึกษา รศ. ชวลิต เบญจางคประแสริฐ
ปีการศึกษา 2542

## บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ได้นำเสนอหลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลโดยมีสวิตช์ซึ่งทำงานตามสัญญาณนาฬิกาต่างๆเป็นตัวควบคุมการทำงานของวงจร ซึ่งทำงานตามหลักการอัดประจุและคายประจุของคาปาซิเตอร์ ได้ทำการทดลองโดยใช้วิธีการประมาณค่าตามลำดับขั้นอัลกอริธึมแบบบวก และอัลกอริธึมแบบลบ ซึ่งวงจรประกอบด้วย วงจรสร้างระดับสัญญาณอ้างอิง วงจรเปรียบเทียบสัญญาณ วงจรประมวลผลแบบมีเงื่อนไข วงจรสร้างสัญญาณควบคุม และวงจรรวมประจุ ซึ่งทดลองโดยใช้โปรแกรม Pspice ในการวิเคราะห์วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Design of Analog to Digital Conversion Using Switched Capacitor**

**Student** **Mr. Pravit Saetang**

**Mr. Manit Thungkawatchra**

**Thesis Advisor** **Assoc. Prof. Chawalit Benjangkaprasert**

**Year** **1999**

## Abstract

The Project present about converting analog signal to digital signal by switched-create control circuit by clock signal. The scheme is based on charge pump and discharge use as capacitor conservative of charge. Analog to Digital converter using successive-approximation with possitive and negative algorithm is proposed. The circuit component compose of create voltage reference , compare signal , compile have conditions , signal control and charge combination circuit. To experiment with Pspice program simulation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยดี ไม่ว่าจะเป็นในส่วนของเนื้อหา เอกสาร ความรู้ และคำแนะนำต่างๆ ทั้งหมดนี้ขอขอบพระคุณรองศาสตราจารย์ชวลิต เบญจางคประเสริฐ ที่ให้คำแนะนำและคำปรึกษาต่างๆที่เป็นประโยชน์อย่างมาก

อีกพร้อมทั้งขอขอบพระคุณคุณพ่อและคุณแม่ที่ให้การสนับสนุนในเรื่องของงบประมาณในการทำ Project ชิ้นนี้และนายสรพงษ์ แซ่เตีย ที่ให้คำแนะนำ คำปรึกษาและช่วยหาวัสดุอุปกรณ์พร้อมทั้งโปรแกรม Pspice ที่ใช้ในการศึกษา Project ชิ้นนี้ พร้อมทั้งให้กำลังใจต่างๆในการทำ Project ชิ้นนี้สำเร็จลุล่วงด้วยดีและขอขอบพระคุณพี่สุนีย์นุชที่สมาคมส่งเสริมเทคโนโลยี(ไทย-ญี่ปุ่น) ที่เอื้อเฟื้อโปรแกรม Pspice ในส่วนของอุปกรณ์ในโปรแกรมที่ใช้ในการทดลองไว้ ณ. ที่นี้

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

## ความเป็นมาและความสำคัญของปัญหา

การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Conversion , ADC) เป็นสิ่งสำคัญในกระบวนการประมวลผลแบบดิจิตอลของสัญญาณอนาลอก และปัจจุบันการค้นคว้าหลักการของ ADC ได้ให้ความสนใจอย่างมากกับการแปลงแบบ Oversampling $\Delta\Sigma$ และการแปลงแบบแฟลช ซึ่งมักนิยมใช้สำหรับกระบวนการแปลงสัญญาณเสียง และสัญญาณภาพตามลำดับ อย่างไรก็ตามสำหรับวิธีการแปลงสัญญาณทั้งสองค่อนไปตามวิธีการแปลงแบบแฟลช ยังมีวิธีการของ ADC ซึ่งใช้วิธีการแปลงค่าตามลำดับขั้น (Successive Approximation , SA) ซึ่งยังเป็นที่นิยมกันอย่างแพร่หลายสำหรับงานประมวลสัญญาณที่มีความเร็วในระดับปานกลางวิธีการนี้ความละเอียดในการแปลงค่อนข้างสูง สัญญาณอนาล็อกอินพุตถูกแปลงเป็นรหัสเลขฐานสองโดยการเปรียบเทียบกับลำดับโวลเตจเทรสโฮลด์ที่ใช้ทำควอนไตซ์ ดังนั้นองค์ประกอบที่สำคัญของวิธีการแปลงสัญญาณวิธีนี้ก็คือตัวแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Converter , D/A) และส่วนสร้างสัญญาณอ้างอิง

สำหรับเทคโนโลยีแบบไบโพลาร์ ตัว D/A ถูกสร้างโดยใช้แหล่งกำเนิดกระแสที่มีการให้น้ำหนักแบบไบนารี่ กับ R-2R ladder circuit อย่างไรก็ตามสำหรับเทคโนโลยีแบบ CMOS นั้นเป็นการยากที่จะสร้างแหล่งกำเนิดกระแสที่มีการให้น้ำหนักที่ละเอียด ดังนั้นมันจึงก่อให้เกิดความแตกต่างของค่าโวลเตจเทรชโฮลด์มากๆ เพราะฉะนั้นตัวเก็บประจุแบบลำดับที่มีการให้น้ำหนักแบบเลขฐานสองรวมกับการแทปความต้านทานจึงมักถูกนำมาแทนที่ผลของวิธีการดังกล่าวให้มีความเที่ยงตรงแต่ต้องใช้ตัวเก็บประจุจำนวนมาก ทำให้ต้องใช้พื้นที่ของชิพที่กว้างและใช้เวลาในการเซ็ทตัวที่นานอย่างหลีกเลี่ยงไม่ได้ ซึ่งจุดเริ่มของปัญหาเหล่านี้มาจากการใช้ D/A แบบขนานในการสร้างระดับสัญญาณอ้างอิงค่าต่างๆ ซึ่งการแก้ปัญหาเหล่านี้มีเสนออยู่ในบทความอ้างอิง [1] โดยหันมาใช้ D/A แบบอนุกรมที่สร้างมาจากสวิตช์คาปาซิเตอร์ (Switched Capacitor , SC)

สำหรับปริญญานิพนธ์ฉบับนี้ได้เสนออัลกอริธึมแบบบวกและแบบลบในการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลด้วยวิธีการประมาณค่าตามลำดับขั้น (SA) ที่สร้างด้วยสวิตช์คา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปาซิเตอร์(SC) อย่างเต็มรูปแบบโดยไม่ต้องอาศัย D/A และตัว LATCH สัญญาณเหมือนบทความอ้างอิง [1] ซึ่งผลจากการเลียนแบบโดยโปรแกรม Pspice และผลจากการทดลองยืนยันให้เห็นว่าอัลกอริธึมดังกล่าวสามารถทำงานได้เป็นอย่างดีโดยโครงสร้างวงจรที่ออกแบบโดยอัลกอริธึมแบบบวกจะมีโครงสร้างและขนาดที่เล็กกระทัดรัดและใช้สัญญาณนาฬิกา (CLOCK PULSE) จำนวนน้อยเฟสกว่าแบบลบเพราะว่าวงจรสร้างด้วยหลักการ SC อย่างสมบูรณ์จึงเหมาะที่จะสร้างเป็นวงจรรวม

## 1.1 จุดมุ่งหมายและวัตถุประสงค์ของการศึกษา

วัตถุประสงค์ในการทำปริญญานิพนธ์ เรื่อง "การออกแบบวงจรแปลงสัญญาณจากอนาลอกเป็นดิจิตอลโดยใช้สวิตช์คาปาซิเตอร์" มีอยู่ด้วยกัน 3 ประการคือ

1. เพื่อพัฒนาวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล แบบการประมาณค่าตามลำดับขั้น (Successive Approximation ADC , SAADC) ที่มีประสิทธิภาพในการแปลงสัญญาณที่ความเร็วปานกลาง มีความผิดเพี้ยนของสัญญาณต่ำและสามารถนำไปประยุกต์ใช้งานได้

2. เพื่อนำเสนอหลักการทำงานของวงจร SAADC ที่สร้างขึ้นมาจากสวิตช์คาปาซิเตอร์อย่างเต็มรูปแบบ และสัญญาณนาฬิกายังมีลักษณะเป็น clock from อีกด้วยจึงไม่จำเป็นต้องใช้ตัว LATCH สัญญาณและ D/A ซึ่งเหมาะที่จะนำไปสร้างเป็นวงจรรวม ทำให้ชิปมีขนาดเล็ก

3. เพื่อนำเสนอหลักการของวงจร SAADC ทั้งอัลกอริธึมแบบบวก และอัลกอริธึมแบบลบ พร้อมทั้งการเปรียบเทียบระหว่างอัลกอริธึมทั้งสอง

## 1.2 ทฤษฎีหรือแนวคิดในการวิจัย

วงจร SAADC ที่ทำการออกแบบและสร้างใหม่ทั้งอัลกอริธึมแบบบวกและแบบลบจะอาศัยหลักการและเทคนิคการเก็บประจุไฟฟ้าและการคายประจุไฟฟ้าของตัวเก็บประจุ ซึ่งจะมีการทำงานร่วมกับสวิตช์ที่ควบคุมการทำงานด้วยสัญญาณนาฬิกาและรวมถึงการนำออปแอมป์มาร่วมในการออกแบบด้วยทำให้ได้วงจรที่ทำหน้าที่เปรียบเสมือนการปั๊มประจุ (charge pump)ซึ่งมีอยู่ด้วยกัน 2 แบบ คือ 1. วงจรทำหน้าที่เปรียบเสมือนเป็นวงจรอินเวอร์เตอร์ 2. วงจรทำหน้าที่เปรียบเสมือนเป็นวงจรตามแรงดันซึ่งจะทำให้การส่งต่อประจุไฟฟ้าเป็นไปอย่างมีประสิทธิภาพ การวิเคราะห์วงจรทั้งหมดจะอยู่ภายใต้กฎการอนุรักษ์และสัญญาณนาฬิกาควบคุมยังเป็น closed form อีกด้วย

## 1.3 ขอบเขตของการวิจัย

ทำการศึกษา ออกแบบและจัดสร้างโดยส่วนของการออกแบบจะใช้วิธีการทดสอบบนโปรแกรม Psipce เพื่อตรวจสอบผลของความเป็นไปได้ของการออกแบบก่อนที่จะสร้างเป็นวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จริงในส่วนที่สอง โดยใช้เทคนิคการเก็บประจุและการคายประจุ ซึ่งจะมีการทำงานร่วมกับสวิทช์ที่ควบคุมการทำงานด้วยสัญญาณนาฬิกา ทั้งนี้วงจรหลักจะประกอบไปด้วย ส่วนสร้างระดับสัญญาณอ้างอิง ส่วนวงจรรวมประจุและวงจรเปรียบเทียบสัญญาณและวัดผลที่ได้จากการเลียนแบบกับผลการทดลองที่ต่อจากวงจรจริง

**เนื้อหาภายในปริญญานิพนธ์ฉบับนี้**

บทที่ 1 จะกล่าวถึงความเป็นมาและปัญหาสำคัญของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบ A/D ชนิด R-2R ladder แบบคร่าวๆพร้อมทั้งกล่าวถึงวัตถุประสงค์ของการวิจัย ทฤษฎีหรือแนวคิดในการวิจัยและขอบเขตต่างๆของการทำวิจัย

บทที่ 2 เป็นทฤษฎีเกี่ยวกับการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบต่างๆ พร้อมทั้งความสำคัญต่างๆปลีกย่อยซึ่งจำเป็นในการแปลงสัญญาณ เช่นทฤษฎีเกี่ยวกับการ Sampling เป็นต้น

บทที่ 3 เนื้อหาภายในบทนี้จะเกี่ยวกับรหัสไบนารี่และความสัมพันธ์ในการแปลงสัญญาณพร้อมทั้งยกตัวอย่าง A/D ชนิด counter ramp เมื่อเปรียบเทียบกับการแปลงสัญญาณโดยวิธีการประมาณค่าตามลำดับขั้น (SAADC) และจะกล่าวถึงหลักการทำงานของวงจรสวิตช์คาปาซิเตอร์ในลักษณะของการปั๊มประจุภายใต้กฎการอนุรักษ์

บทที่ 4 จะกล่าวถึงหลักการทำงานของ SAADC ทั้งแบบบวกและแบบลบพร้อมทั้งอธิบายการทำงานของวงจรโดยละเอียด

บทที่ 5 จะแสดงถึงผลการทดลองทั้งอัลกอริธึมแบบบวกและอัลกอริธึมแบบลบที่ทดลองบนโปรแกรม Pspice พร้อมนำผลมาเปรียบเทียบกับการทดลองจริง

บทที่ 6 สรุปผลและข้อเสนอแนะแนวทางในการวิจัยนี้เพื่อที่จะนำการวิจัยนี้ไปประยุกต์ใช้พร้อมทั้งพัฒนาให้ดีขึ้นต่อไป

ภาคผนวก จะเป็นรายละเอียดต่างภายในวงจร พร้อมทั้งคุณสมบัติของตัวอุปกรณ์ไอซีที่นำมาใช้ในการทำวิจัยนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2
# หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

## 2.1 บทนำ

ในปัจจุบันการส่งสัญญาณด้วยระบบดิจิตอล ได้ถูกนำมาใช้กันอย่างกว้างขวางโดยที่ระบบดิจิตอลไม่เพียงแต่จะเป็นโครงข่ายที่ทำให้เกิดการประหยัดเท่านั้น แต่ยังทำให้เกิดการสื่อสารที่ทำให้มีประสิทธิภาพสูงขึ้นด้วย ปัจจัยที่สำคัญของการสื่อสารแบบดิจิตอลคือความเร็วในการส่งสัญญาณ ซึ่งจะเห็นได้ว่าหากความเร็วในการส่งมีมากเพียงใด การสื่อสารข้อมูลต่างๆจากต้นทางไปยังปลายทางก็สามารถติดต่อกันได้อย่างรวดเร็วมากยิ่งขึ้น

กระบวนการในการส่งสัญญาณดิจิตอลจะประกอบไปด้วยขั้นตอนต่างๆโดยเริ่มตั้งแต่การแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล (Analog to Digital Conversion) เมื่อได้สัญญาณดิจิตอลแล้วก็จะนำไปเข้ารหัส แล้วส่งสัญญาณนี้ไปตามช่องสัญญาณที่กำหนดไว้ ถ้าข้อมูลที่จะส่งมีมากและต้องการส่งเร็วขึ้นจะต้องนำสัญญาณดิจิตอลที่ได้มาทำการมัลติเพล็กซ์ (Multiplex) แล้วส่งสัญญาณไปพร้อมๆกัน เมื่อถึงปลายทางก็จะต้องทำการดีมัลติเพล็กซ์ (Demultiplex) เพื่อแยกสัญญาณออกมา แล้วส่งสัญญาณไปยังอุปกรณ์ปลายทางที่ต้องการ

โดยปกติแล้ว สัญญาณข้อมูลต่างๆ เช่น ศักดาไฟฟ้า , กระแสไฟฟ้า , อุณหภูมิ , ความดัน , เวลา จะอยู่ในรูปของสัญญาณต่อเนื่อง หรือสัญญาณอนาลอก แต่ในปัจจุบันอุปกรณ์อิเล็กทรอนิกส์มีการนำเอารูปแบบของสัญญาณดิจิตอลมาใช้งานมากขึ้น ยกตัวอย่างเช่นวงจรประมวลผลสัญญาณ , เครื่องเสียงทางดิจิตอล , วงจรด้านการสื่อสารข้อมูลแบบพัลส์โค้ดมอดูเลเตอร์เป็นต้นดังนั้นวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลจึงเข้ามาเป็นส่วนหนึ่งของวงจรอย่างหลีกเลี่ยงไม่ได้และวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลจะต้องมีประสิทธิภาพการทำงานที่ดี สามารถแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลโดยมีความผิดเพี้ยนของสัญญาณต่ำและมีความเที่ยงตรงของการแปลงสัญญาณสูง

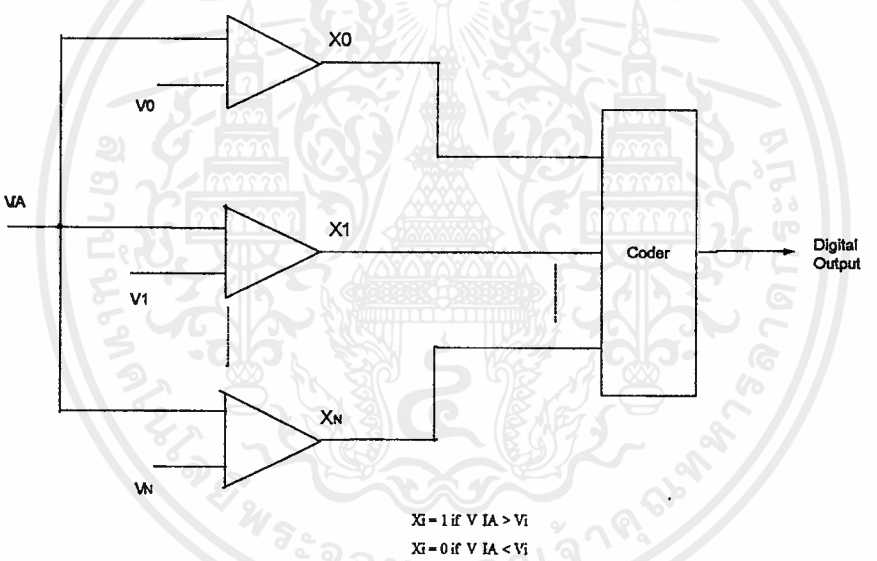
ประเภทของวงจร A/D สามารถแบ่งได้หลายลักษณะเช่นแบ่งตามความเร็วในการรับสัญญาณหรือแบ่งตามสมรรถนะการทำงานของวงจรเป็นต้น โดยสามารถแบ่งเป็นประเภทใหญ่ๆได้ 3 ประเภท คือ 1. วงจร A/D ความเร็วต่ำ 2. วงจร A/D ความเร็วปานกลาง 3. วงจร A/D ความเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สูง ซึ่งแต่ละประเภทเหมาะกับงานที่มีลักษณะแตกต่างกัน สำหรับหลักการและรายละเอียดของแต่ละวงจรจะได้กล่าวในหัวข้อถัดไป

## 2.2 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบต่างๆ

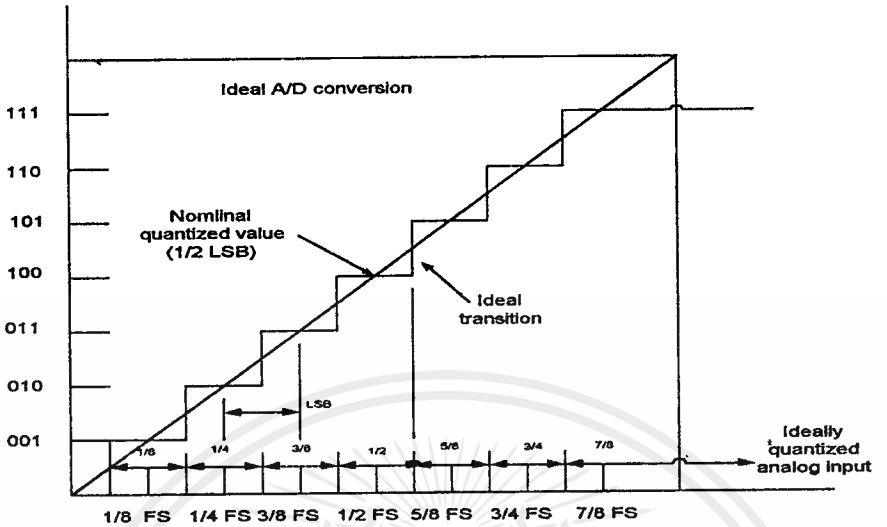
หลักการของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (A/D Converter) คือการเปลี่ยนรูปแบบของสัญญาณต่อเนื่องค่าหนึ่งๆ เป็นสัญญาณดิจิตอลที่มีค่าสอดคล้องกับประเภทของวงจรแบ่งตามความเร็วในการแปลงได้เป็น 3 ประเภทใหญ่ๆคือ วงจร A/D ความเร็วต่ำ วงจร A/D ความเร็วความปานกลาง วงจร A/D ความเร็วสูง ซึ่งวิธีการแปลงสัญญาณและประยุกต์ใช้งาน และข้อดีข้อเสียของแต่ละประเภทจะแตกต่างกัน




**รูปที่ 2.1 แสดงหลักการเบื้องต้นของวงจร A/D Converter**

หลักการเบื้องต้นของวงจร A/D แสดงได้ดังรูป 2.1 สามารถอธิบายได้ดังนี้ สัญญาณต่อเนื่องที่จุดเข้า $V_{1A}$ จะป้อนเข้าสู่วงจรเปรียบเทียบสัญญาณจำนวน N+1 วงจรต่อขนานกันโดยแต่ละวงจรจะมีระดับของสัญญาณอ้างอิง $V_i$ แตกต่างกันโดยที่ $i$ เป็นค่าใดๆตั้งแต่ 0 ถึง N ค่าสัญญาณจุดออก $X_i$ จากแต่ละวงจรเปรียบเทียบสัญญาณจะนำไปทำการเข้ารหัสจากวงจรเข้ารหัส (Coder) เพื่อเปลี่ยนสัญญาณจุดออกเหล่านี้ให้เป็นสัญญาณดิจิตอลที่สอดคล้องกับสัญญาณต่อเนื่องจากจุดเข้าความสัมพันธ์ระหว่างสัญญาณต่อเนื่อง $V_{1A}$ และสัญญาณดิจิตอล $D_o$ แสดงได้ดังรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 2.2 กราฟความสัมพันธ์ระหว่างสัญญาณต่อเนื่องและสัญญาณดิจิตอล**

ในระบบที่มีข้อมูลที่ต้องการประมวลผลในเวลาเดียวกันหลายๆข้อมูล ถ้าหาก A/D ทำงานได้เร็วพอก็จะไม่จำเป็นต้องใช้ A/D หลายๆตัวทำงานแยกกันกับข้อมูลแต่ละชุดซึ่งอาจจะใช้วิธีการแบ่งเวลา (Timesharing) โดยวิธีการมัลติเพลกซ์ วงจร Sampling and hold (S/H) จะสุ่มตัวอย่างขนาดของสัญญาณมาและเก็บไว้ชั่วขณะเพื่อรอให้ A/D รับไปเปลี่ยนเป็นสัญญาณดิจิตอลจนเรียบร้อยแล้วค่อยสุ่มสัญญาณตัวอย่างใหม่ ทั้งนี้เพื่อไม่จำเป็นต้องใช้ A/D ที่มีความเร็วสูง ข้อมูลดิจิตอลจะถูกส่งต่อไปยัง System bus และถูกประมวลโดย Processor ผลของการประมวลจะถูกส่งกลับออกมาเพื่อเปลี่ยนกลับมาเป็นสัญญาณอนาลอกโดย D/A เพื่อไปควบคุมระบบผ่าน Analog actuator

## 2.3 ทฤษฎีการ Sampling

ในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล A/D จะต้องใช้เวลาช่วงหนึ่งในการจัดการซึ่งช่วงเวลาดังกล่าวขึ้นอยู่กับหลายๆแฟคเตอร์ เช่น ความละเอียดของการเปลี่ยนสัญญาณ (จำนวนบิตของสัญญาณดิจิตอล) เทคนิคของการเปลี่ยนแปลงสัญญาณ และความเร็วในการทำงานร่วมกับอุปกรณ์ตัวอื่นๆ การกำหนดความเร็วของการแปลงสัญญาณนี้ขึ้นอยู่กับการประยุกต์ใช้งานเฉพาะอย่างและความแม่นยำที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงเวลาในการแปลงสัญญาณบางครั้งเรียกว่า "Aperture time" ซึ่งความหมายโดยทั่วๆไปหมายถึงช่วงเวลาที่เกิดความไม่แน่นอนของการวัด และผลก็คือความผิดพลาด (Error) ต่อค่าที่วัดได้ ดังนั้นหากเวลาที่ A/D ใช้ในการเปลี่ยนสัญญาณในช่วงเวลานั้นๆ รหัสดิจิตอลที่ได้อาจจะตรงกับขนาดของสัญญาณอนาลอกที่เกิดขึ้นเรียกความผิดพลาดที่เกิดขึ้นนี้ว่า "Aperture time error"

## 2.4 Sampling and hold และ Aperture time error

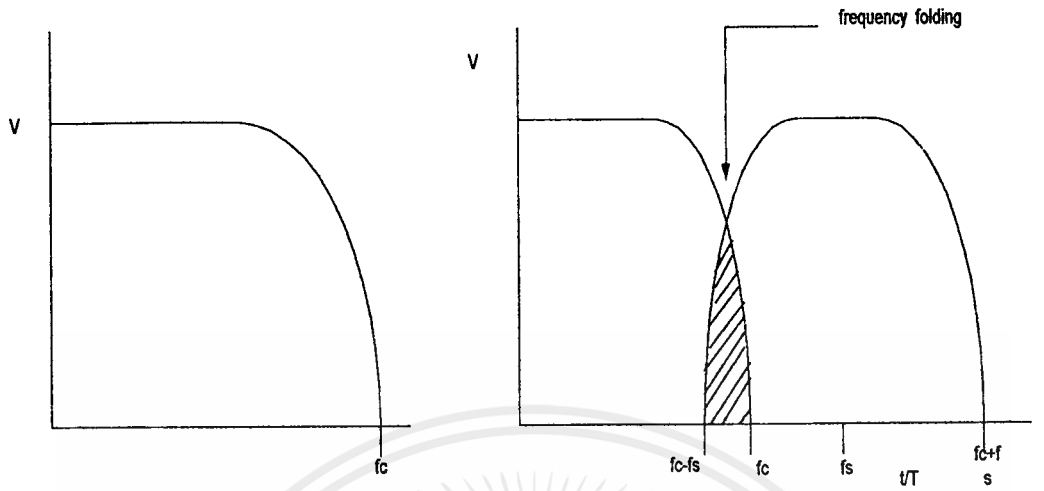
วงจร Sampling and Hold จะทำการสุ่ม (Sampling) สัญญาณอินพุตและนำสัญญาณที่สุ่มนั้นมาเก็บ (Hold) ไว้ในช่วงเวลาหนึ่งได้ ซึ่งส่วนใหญ่จะใช้การประจุแรงดันนั้นไว้ในตัวเก็บประจุที่รั่วไหลต่ำ Aperture time ของ Sampling and hold คือเวลาตั้งแต่เริ่มสุ่มสัญญาณเก็บประจุค่าแรงดันจนถึงค่าที่สุ่ม ซึ่งสำหรับ Apreture time จะขึ้นอยู่กับแบนด์วิด และ Switching time ของอุปกรณ์แอคทีฟที่ใช้ในวงจร

ในการสุ่มสัญญาณอนาลอกจะถูกสุ่มเป็นระยะคงที่การสุ่มจะเป็นการตัดต่อสัญญาณอนาลอกในช่วงเวลาอันสั้นด้วยสวิตช์ที่ทำงานด้วยความเร็วสูง ผลของการสุ่มสัญญาณด้วยความเร็วจะเสมือนกับการคูณขบวนของสัญญาณพัลซ์แคบๆกับสัญญาณอนาลอก ซึ่งจะได้เป็นสัญญาณที่มอดูเลทระหว่างขบวนพัลซ์สัญญาณอนาลอกโดยจะเปรียบเสมือนว่าสัญญาณอนาลอกจะถูกขี่มาบนขบวนพัลซ์ ดังนั้นอัตราการสุ่มจะขึ้นอยู่กับสัญญาณอนาลอกซึ่งทฤษฎีของการสุ่มตัวอย่างกล่าวไว้ว่า "ถ้าสัญญาณความต่อเนื่องมีฮาโมนิกไม่เกิน $f_c$ จะถูกสุ่มด้วยอัตราการสุ่มที่ไม่น้อยกว่า $2f_c$ แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้อย่างเดิมโดยไม่สูญเสียรายละเอียดหรือผิดเพี้ยนไปจากสัญญาณเดิม"

## 2.5 Frequency folding และ Allising

จากทฤษฎีการสุ่มตัวอย่างสามารถอธิบายด้วยรูปสเปคตรัมของสัญญาณในรูปที่ 2.3 โดยในรูปที่ 2.3 (ก) แสดงให้เห็นสเปคตรัมของสัญญาณที่ถูกสุ่มซึ่งแบนด์วิธไม่เกิน $f_c$ ในขณะที่สัญญาณที่จะถูกสุ่มด้วยความถี่ $f_s$ ขบวนการมอดูเลชั่นจะทำให้แถบสเปคตรัมของสัญญาณสุ่มขยายกว้างออกจาก $f_s$ เป็น $2f_s$ , $3f_s$.... ถ้าความถี่ของสัญญาณสุ่ม $f_s$ ไม่สูงพอหลังจากการสุ่มสัญญาณสเปคตรัมบางส่วนของ $f_s$ จะซ้อนกับสเปคตรัมของสัญญาณซึ่งเรียกว่า "Frequency folding" หากเป็นเช่นนี้จะทำให้เกิดความเพี้ยนของสัญญาณอนาลอกจากการซ้อนกันของสเปคตรัมเมื่อสัญญาณถูกเปลี่ยนกลับให้อยู่ในรูปเดิม และถ้าเลื่อนความถี่ของการสุ่มให้สูงขึ้นจนโอกาสของการซ้อนทับของสเปคตรัมเดิมหมดไปการเปลี่ยนกลับของสัญญาณการสุ่มก็จะยังคงเหมือนเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 2.3 ก. สเปคตรัมของสัญญาณอนาลอกที่จะถูกสุ่ม**
**ข. สเปคตรัมหลังจากการสุ่มเกิด Frequency folding**

จากที่กล่าวมาแสดงถึงการสนับสนุนทฤษฎีของการสุ่มที่ว่า $f_s > 2f_c$ นั่นก็คือ การกำจัดการซ้อนกันของสเปคตรัมซึ่งทำได้ 2 วิธี วิธีแรกใช้อัตราสุ่มที่สูงพอ และอีกวิธีหนึ่งคือใช้การฟิลเตอร์ความถี่ของสัญญาณอนาลอกก่อนการสุ่ม เพื่อให้แบนด์วิธไม่เกินไปกว่า $\frac{f_s}{2}$ แต่ในทางปฏิบัติแล้วยังคงที่จะเกิด Frequency folding ได้เสมอจากส่วนสเปคตรัมของสัญญาณรบกวนที่ยังคงเหลืออยู่แม้ว่าจะผ่านการฟิลเตอร์มาแล้วก็ตามการกำจัดการซ้อนกันของสเปคตรัมที่ได้ผลอีกวิธีหนึ่งก็คือ พยายามให้การสุ่มของสัญญาณเป็นไปอย่างรวดเร็วมากที่สุด ซึ่งปกติจะสูงกว่าทฤษฎีการแซมปลิ้งคือ $2f_c$ เสมอ

## 2.6 ทฤษฎีการควอนไตซ์ (Quantizing theory)

การควอนไตซ์ (Quantizing) เป็นขบวนการที่เปลี่ยนแปลงหรือประมาณค่าสัญญาณอนาลอกเป็นสัญญาณที่ไม่ต่อเนื่องหลังการสุ่มโดยผ่านขบวนการเข้ารหัส (Coding) จัดให้สัญญาณที่ไม่ต่อเนื่องนั้นอยู่ในรูปที่ง่ายต่อการประมวลและเป็นสัดส่วนความสัมพันธ์ของสัญญาณอนาลอกเช่นในรูปของไบนารี่เป็นต้น ซึ่งในแต่ละสถานะของสัญญาณดิจิตอลเอาต์พุตจะแทนขนาดของสัญญาณค่าใดค่าหนึ่งในช่วงของสัญญาณเล็กๆระหว่างจุดแบ่งระดับเรียกช่วงเล็กๆนี้ว่า "หนึ่งควอนตัม" หรือ "1 LSB" ของการแปลงสัญญาณ ค่าควอนตัมนี้ได้มาจากการคำนวณจากสมการที่ (2.1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q = \frac{FS}{2^N} \tag{2.1}$$

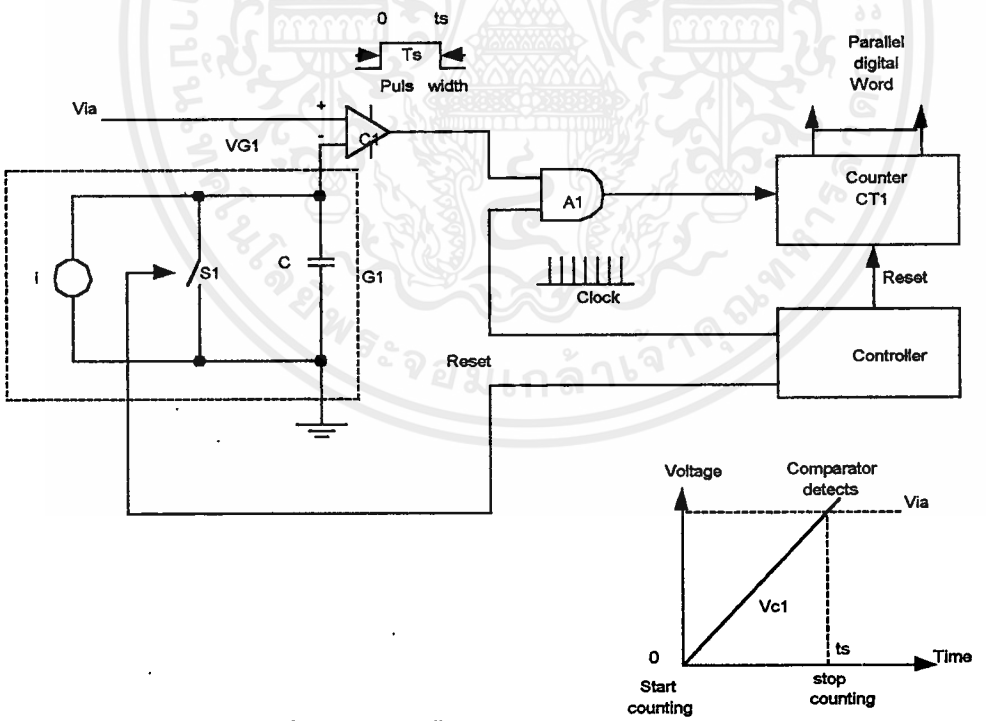
FS คือ ช่วงแรงดันเต็มสเกลของแรงดันอนาลอก (Full scale range)

N คือ จำนวนบิตของรหัสดิจิตอล

จากสมการจะเห็นว่าหากจำนวนบิตมากขนาดของควอนไตซ์ก็จะลดลง ถึงแม้ว่าสัญญาณรบกวนที่เกิดจากการควอนไตซ์ไม่สามารถป้องกันไม่ให้เกิดขึ้นได้ แต่ก็ควรจะให้มีน้อยที่สุดเพื่อให้สัญญาณมีคุณภาพดี

## 2.7 วงจร A/D ความเร็วต่ำ

วงจร A/D ความเร็วต่ำ เป็นวงจร A/D ที่มีขนาดเล็กที่มีลักษณะของวงจรไม่ซับซ้อน เวลาที่ใช้ในการแปลงสัญญาณขึ้นอยู่กับค่าระดับสัญญาณต่อเนื่องที่ป้อนเข้าสู่วงจร ขนาดของวงจรไม่ขึ้นกับจำนวนบิตมาก วงจร A/D ที่จัดอยู่ในวงจรประเภทนี้ได้แก่ วงจร Single slope A/D converter และวงจร Dual slope A/D converter ซึ่งมีรายละเอียดดังต่อไปนี้




**รูปที่ 2.4 วงจรพื้นฐานของ Single slope A/D converter**

### 2.7.1 Single slope A/D converter หรือ Pulse width modulator A/D converter

วงจร A/D แบบนี้มีหลักการทำงานแปลงสัญญาณต่อเนื่องให้อยู่ในรูปของพัลซ์ที่มีขนาดความกว้างแปรตามเวลาซึ่งเป็นฟังก์ชั่นของระดับสัญญาณต่อเนื่องที่ต้องการแปลงค่าและสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอลจะได้จากการนับสัญญาณอ้างอิงที่เกิดขึ้นในช่วงตั้งแต่เริ่มต้นจนกระทั่งสิ้นสุดสัญญาณพัลซ์วงจรพื้นฐานแสดงได้ดังรูป 2.4

วงจรประกอบด้วย วงจรสร้างสัญญาณ ramp $G_1$ , วงจรเปรียบเทียบสัญญาณ $C_1$ , วงจรแอนด์เกท $A_1$ , วงจรนับแบบไบนารี่ $CT_1$ และวงจรควบคุมการทำงาน การทำงานของวงจรอธิบายได้ดังนี้ เมื่อสัญญาณต่อเนื่องจุดเข้า $V_{1A}$ ถูกป้อนเข้าสู่ขาบวก (+) ของวงจรเปรียบเทียบ $C_1$ วงจรควบคุมการทำงานจะทำการส่งสัญญาณรีเซ็ทไปทำการรีเซ็ทวงจรสร้างสัญญาณ $G_1$ สร้างสัญญาณ ramp เป็น 0 โวลท์ โดยการอินทริเกรตสัญญาณกระแสอ้างอิง I ให้ศักดาจุดออกของวงจร $V_{G1}$ ซึ่งมีค่าแปรตามเวลา ตามสมการที่ 2.2

$$V_{G1}(t) = K\int_0^{t_s} I_{ref}\,dt \tag{2.2}$$

โดยที่ K เป็นค่าคงที่ และ $t_s$ เป็นเวลาที่ค่าสัญญาณจุดออก $V_{G1}(t)$ เท่ากับ $V_{1A}$

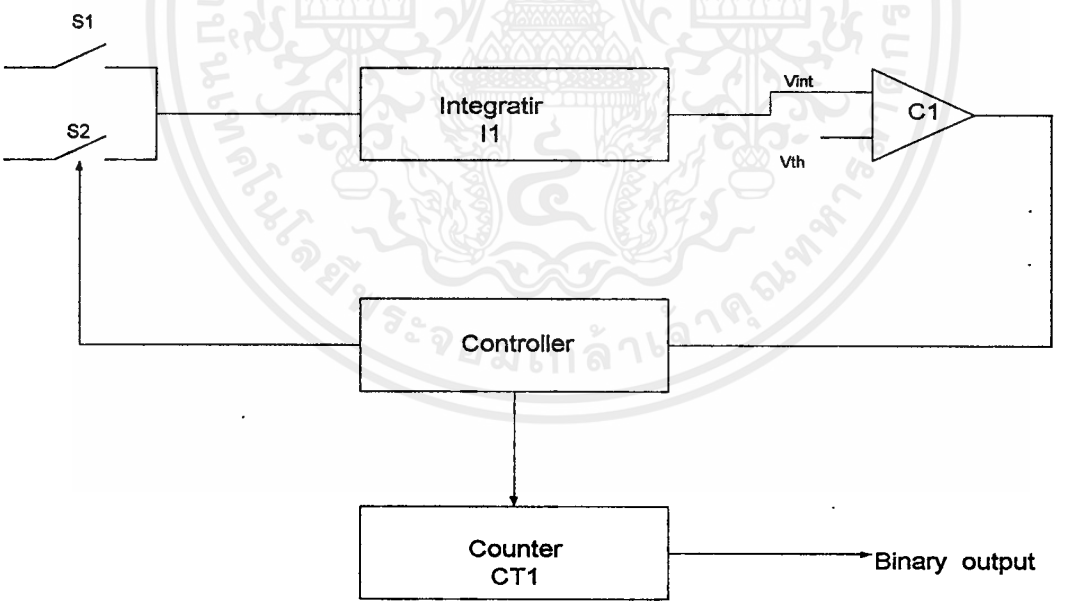
จุดออกของวงจรสร้างสัญญาณ $G_1$ จะต่อกับขาลบ (-) ของวงจรเปรียบเทียบ $C_1$ ณ. เวลา t ใดๆ ถ้าสัญญาณต่อเนื่องที่จุดเข้า $V_{1A} > V_{G1}(t)$ สัญญาณจุดออกของวงจรเปรียบเทียบ $C_1$ จะเป็น "1" ซึ่งทำให้วงจรแอนด์เกท $A_1$ ทำงานส่งสัญญาณนาฬิกาความถี่ F ซึ่งเท่ากับ $\frac{1}{T_{clk}}$ เข้าสู่วงจรนับ $CT_1$ และเมื่อ $V_{G1}(t) = V_{1A}$ ให้เวลา ณ ขณะนั้นเป็น $t_s$ สัญญาณจุดออกจากวงจรเปรียบเทียบ $C_1$ จะเปลี่ยนเป็น " 0" ค่าดังกล่าวจะทำให้แอนด์เกท $A_1$ ไม่สามารถส่งสัญญาณนาฬิกาไปยังวงจรนับ $CT_1$ ได้ ทำให้การสิ้นสุด จำนวนสัญญาณนาฬิกาที่ $CT_1$ นับได้ในช่วงคาบเวลา $T_s$ วงจรควบคุมการทำงานจะทำการแปลงสัญญาณดิจิตอลที่มีค่าเทียบเท่ากับสัญญาณต่อเนื่อง $V_{1A}$

ข้อเสียของวงจรนี้คือคาบเวลาที่ใช้ในการแปลงสัญญาณ $T_s$ แปรตามระดับของสัญญาณต่อเนื่องจุดเข้า $V_{1A}$ ทั้งนี้เนื่องจากวงจร A/D ที่ใช้การนับจำนวนสัญญาณนาฬิกาในช่วงคาบเวลาที่ระดับสัญญาณเปรียบเทียบ $V_{G1}(t)$ มีการเปลี่ยนแปลงค่าจาก 0 โวลท์ จนกระทั่งมีค่าเท่ากับสัญญาณจุดเข้า $V_{1A}$ ดังนั้นจึงจับการเปลี่ยนระดับสัญญาณได้ทีละ 1 พัลซ์ ของสัญญาณนาฬิกาทีละ 1 ระดับสัญญาณนาฬิกาดิจิตอล LSB เท่านั้น นอกจากนั้นเสถียรภาพต่างๆ และความแม่นยำของวงจรขึ้นอยู่กับความผิดพลาดของวงจรสร้างสัญญาณ ramp และวงจรสร้างสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.7.2 Dual slope A/D converter หรือ Up down integrator A/D converter

วงจรนี้เป็นรูปแบบหนึ่งของวงจร Pulse width modulator A/D converter โดยจะมีความซับซ้อนและความเที่ยงตรงในการทำงานของวงจรเพิ่มขึ้นหลักการทำงานของวงจรพื้นฐานคือการสร้างพัลซ์ขึ้นมาหนึ่งลูกในหนึ่งรอบของการแปลงสัญญาณ ความกว้างของพัลซ์ถูกคำนวณจากเวลาที่ใช้ในการอินทริเกรตสัญญาณที่แตกต่างกันสองค่า คือสัญญาณต่อเนื่องจุดเข้าและสัญญาณอ้างอิง ซึ่งอธิบายได้ดังนี้ การอินทริเกรตครั้งแรกเป็นการอินทริเกรตสัญญาณต่อเนื่องจุดเข้าภายในระยะเวลาที่กำหนดค่าแน่นอนค่าหนึ่งให้เป็น $t_1$ ซึ่งจะได้สัญญาณจุดออกของวงจรอินทริเกรต ณ เวลานั้นแตกต่างกันตามขนาดสัญญาณต่อเนื่องจุดเข้า หลังจากนั้นวงจรจะสร้างพัลซ์เพื่อคำนวณหาค่าสัญญาณดิจิตอลโดยการทำการอินทริเกรตสัญญาณอ้างอิงในทิศทางลบ จนกระทั่งสัญญาณจุดออกของวงจรอินทริเกรตมีค่าเท่ากับระดับสัญญาณที่ถูกกำหนดแน่นอนค่าหนึ่งให้มีค่าเท่า $V_{th}$ และระยะเวลาที่ใช้ในการอินทริเกรตครั้งที่ 2 มีค่าเท่ากับ $t_2$ กรณีที่สัญญาณต่อเนื่องจุดเข้าต่างกัน ค่าเวลา $t_2$ ของการทำงานก็จะแตกต่างกันด้วยจำนวนสัญญาณนาฬิกาที่เกิดขึ้นภายในช่วงของสัญญาณพัลซ์ $t_2$ วงจรควบคุมการทำงานจะแปลงค่าเป็นสัญญาณดิจิตอลที่เทียบเท่ากับสัญญาณต่อเนื่องที่จุดเข้า




**รูปที่ 2.5 วงจรพื้นฐานของ Dual slop A/D Converter**

วงจรพื้นฐานแสดงได้ดังรูปที่ 2.5 วงจรประกอบด้วยวงจรอินทริเกรต $I_1$ , วงจรเปรียบเทียบสัญญาณ $C_1$ , วงจรควบคุมการทำงาน , วงจรนับแบบไบนารี่ $CT_1$ , สวิตช์ $S_1$ และสวิตช์ $S_2$ โดยที่สวิตช์ $S_1$ และสวิตช์ $S_2$ จะทำงานตรงข้ามกันตลอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานอธิบายได้ดังนี้เมื่อสัญญาณต่อเนื่องจุดเข้า $V_{1A}$ ป้อนเข้าสู่วงจร วงจรควบคุมการทำงานจะส่งสัญญาณรีเซ็ทไปทำการรีเซ็ทค่าศักดาจุดออก $V_{\text{int}}$ ซึ่งเป็นระดับศักดา thershold ของ $C_1$ หลังจากนั้นวงจรควบคุมการทำงานจะส่งสัญญาณไปปิดสวิตช์ $s_1$ เพื่อส่งต่อสัญญาณต่อเนื่องเข้าจุด $V_{1A}$ ไปยังวงจรอินทริเกรต $I_1$ เพื่อทำการอินทริเกรตสัญญาณเป็นระยะเวลาเท่ากับ $N_{ref}T(t_1)$ ซึ่งเป็นระยะเวลาอ้างอิงที่กำหนด โดยที่ T เป็นสัญญาณนาฬิกาของคาบเวลาอ้างอิงที่กำหนดโดยที่ T เป็นค่าคาบเวลาของสัญญาณมาตราฐานของวงจรและ $N_{ref}$ เป็นจำนวนสัญญาณนาฬิกาอ้างอิงได้สัญญาณจุดออกของวงจรอินทริเกรต $I_1$ เป็น $V_{\text{int}}$ ความสัมพันธ์ระหว่าง $V_{1A}$ กับ$V_{\text{int}}$ แสดงได้ดังสมการที่ (2.3)

$$V_{\text{int}}(t) = K\int_0^{N_{ref}T} V_{1A}dt + V_{\text{int}}(0)$$

$$= KN_{ref}TV_{1A} + V_{th} \tag{2.3}$$

โดยที่ K เป็นค่าคงที่

หลังจากนั้นวงจรควบคุมจะเปิดสวิตช์ $S_1$ และปิดสวิตช์ $S_2$ เพื่อส่งค่าศักดาอ้างอิง $(-V_{ref})$ เข้าสู่เป็นวงจรอินทริเกรต $I_1$ ซึ่งวงจรจะอินทริเกรตโดยมี slope การทำงานของวงจรเป็นลบ (-) ในขณะเดียวกันนั้นวงจรนับ $CT_1$ จะเริ่มทำการนับจำนวนสัญญาณนาฬิกาจนกระทั่ง $V_{\text{int}}$ มีค่าเท่ากับ $V_{th}$ ซึ่งเป็นค่าระดับศักดาที่กำหนด วงจรนับ $CT_1$ จะหยุดทำการนับให้ระยะเวลาที่วงจรนับ $CT_1$ ทำงานเท่ากับ $N_{out}T(t_2)$ วงจรควบคุมการทำงานจะแปลงจำนวนสัญญาณนาฬิกา $N_{out}$ ที่นับได้เป็นสัญญาณดิจิตอลที่เทียบเท่ากับสัญญาณต่อเนื่องจุดเข้า $V_{in}$ สมการความสัมพันธ์ในช่วง slope ขาลงระหว่าง ($-V_{ref}$) กับ $V_{\text{int}}$ แสดงได้ดังสมการที่ (2.4)

$$V_{\text{int}}(t) = V_{\text{int}}(0) + K\int_0^{N_{out}T}(-V_{ref}) \tag{2.4}$$

เมื่อ $t = N_{out}T$ จะได้ว่า

$$V_{\text{int}}(N_{out}T) = V_{\text{int}}(0) - KN_{out}TV_{ref} \tag{2.5}$$

จาก $V_{\text{int}}(0) = KN_{ref}TV_{1A} + V_{th}$ ดังนั้น

$$V_{\text{int}}(N_{out}T) = [KN_{ref}TV_{1A} + V_{th}] - KN_{out}TV_{ref} \tag{2.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

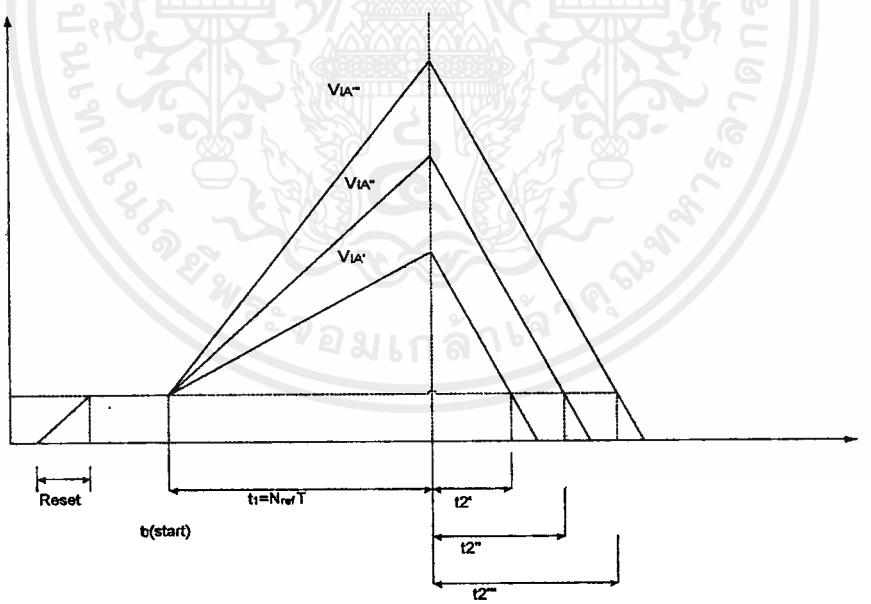
เนื่องจาก $V_{\text{int}}(N_{out}T) = V_{th}$ ดังนั้นจะได้ว่า

$$V_{ref}N_{out} = V_{1A}N_{ref} \tag{2.7}$$

หรือ

$$N_{out} = N_{ref}\left[\frac{V_{1A}}{V_{ref}}\right] \tag{2.8}$$

กราฟแสดงความสัมพันธ์ระหว่างค่าศักดาจุดออกของวงจรอินทริเกรต $V_{\text{int}}$ และ t เป็นดังรูปที่ 2.6 และจากสมการ (2.8) จะเห็นได้ว่าการทำงานของวงจรไม่ขึ้นกับค่าศักดา threshold ของวงจรเปรียบเทียบสัญญาณ , slope ของวงจรอินทริเกรต หรือสัญญาณนาฬิกาแต่การทำงานของวงจรจะขึ้นอยู่กับระดับของศักดาจากจุดเข้าเท่านั้น ทำให้การทำงานของวงจรมีความเที่ยงตรงและแม่นยำสำหรับในกรณีที่สัญญาณต่อเนื่องที่จุดเข้ามีค่าเต็มสเกล (ระดับศักดามีเข้าสูงสุด) เวลาที่ใช้ในการแปลงสัญญาณจะมีค่ามากที่สุดคือ $2^{N+1}T$ วินาที โดยที่ N เป็นจำนวนบิตที่ต้องการ




**รูปที่ 2.6 กราฟแสดงความสัมพันธ์ระหว่างค่าศักดาจุดออกของวงจรอินทริเกรต $V_{\text{int}}$ กับเวลา t**

## 2.8 วงจร A/D ความเร็วปานกลาง

วงจร A/D ความเร็วปานกลางเป็นวงจร A/D ที่มีการทำงานเป็นวงจรอนุกรม คือในการแปลงสัญญาณหนึ่งครั้งจะได้สัญญาณดิจิตอลหนึ่งบิต เมื่อเปรียบเทียบกับวงจร A/D ความเร็วต่ำ วงจร A/D ประเภทนี้จะมีความซับซ้อนมากขึ้น เวลาที่ใช้ในการแปลงสัญญาณไม่ขึ้นกับค่าระดับสัญญาณต่อ

เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องที่เข้าสู่วงจรแต่ขึ้นอยู่กับจำนวนบิตที่ต้องการ วงจร A/D ที่จัดอยู่ในประเภทนี้ได้แก่ วงจร Successive approximation A/D converter และวงจร Algorithmic A/D converter ซึ่งมีรายละเอียดดังต่อไปนี้

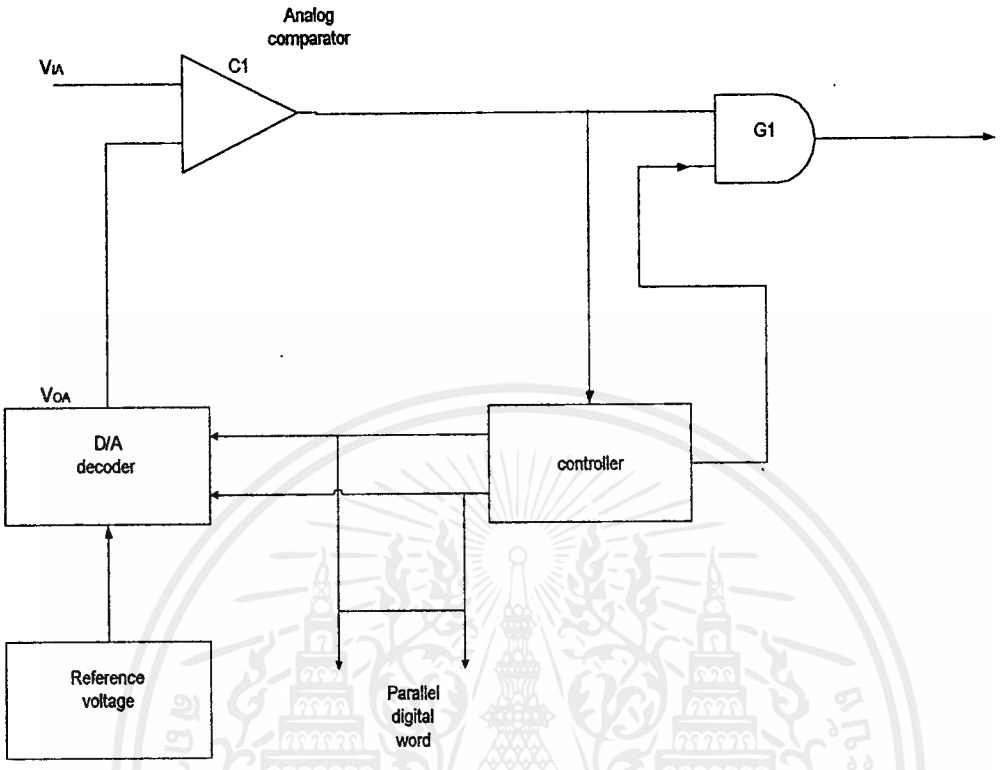
### 2.8.1 Successive approximation A/D converter

หลักการพื้นฐานคือวงจรจะทำการแปลงสัญญาณต่อเนื่องให้เป็นสัญญาณดิจิตอลทีละบิต เริ่มต้นจากบิตสูงสุด (MSB) ไปยังบิตต่ำสุด (LSB) นั่นคือสัญญาณต่อเนื่องจุดเข้าจะทำการเปรียบเทียบกับสัญญาณเปรียบเทียบค่าหนึ่งๆ โดยในแต่ละรอบของการเปรียบเทียบสัญญาณที่เข้าทำการเปรียบเทียบจะมีค่าแตกต่างกันในรอบแรกสัญญาณเปรียบเทียบจะมีค่าเท่ากับครึ่งหนึ่งของสัญญาณเต็มสเกลที่วงจรสามารถยอมรับได้ ในกรณีที่สัญญาณต่อเนื่องมีค่ามากกว่าสัญญาณเปรียบเทียบสัญญาณดิจิตอลบิตสูงจะมีค่าเท่ากับ "1" แต่ถ้าสัญญาณต่อเนื่องมีค่าน้อยกว่าสัญญาณเปรียบเทียบสัญญาณดิจิตอลบิตสูงจะมีค่าเท่ากับ "0" หลังจากนั้นวงจรจะทำการเปรียบเทียบเพื่อหาค่าสัญญาณดิจิตอลเพื่อทำการหาค่าบิตถัดไปโดยการเพิ่มหรือลดสัญญาณเปรียบเทียบจากค่าเดิมอีกครั้ง ขึ้นอยู่กับว่าสัญญาณจุดออกจากวงจรเปรียบเทียบมีค่าเป็นเท่าไร ถ้าสัญญาณมีค่าเป็น "1" วงจรจะเพิ่มค่าสัญญาณเปรียบเทียบแต่ถ้าค่าสัญญาณนั้นมีค่าเป็น "0" วงจรจะลดค่าสัญญาณเปรียบเทียบลง การทำงานของวงจรในบิตถัดไปก็จะปฏิบัติตามขั้นตอนเหมือนที่กล่าวมาข้างต้นจนกว่าจะครบตามจำนวนบิตที่เราต้องการ รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบแสดงได้ดังรูปที่ 2.7

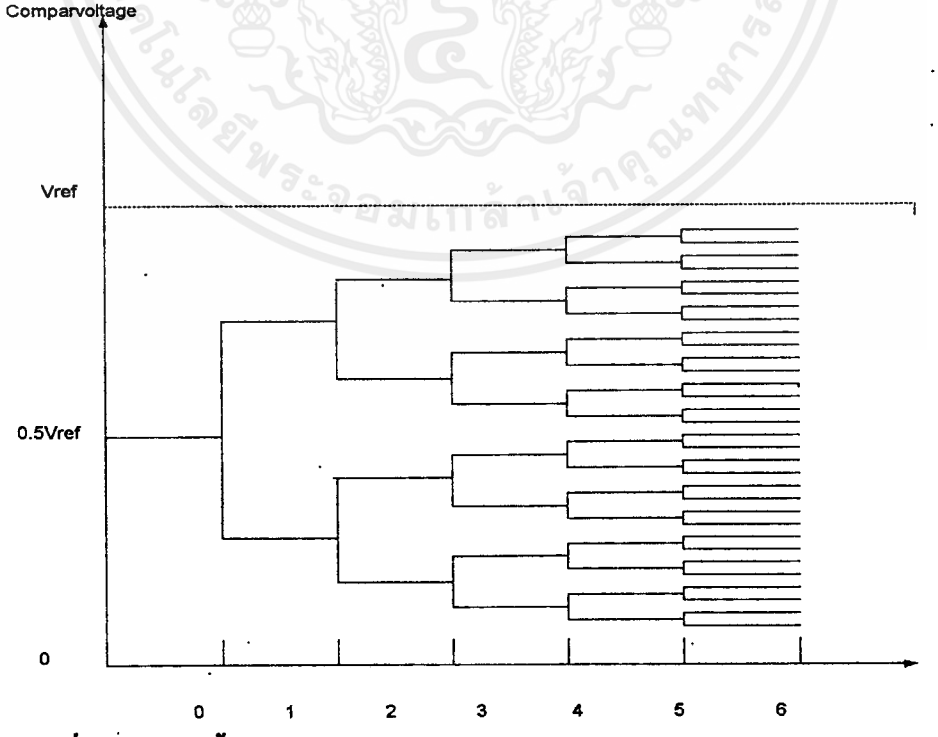
จากหลักการที่กล่าวมาข้างต้นสามารถนำมาประยุกต์เป็นวงจรดังแสดงในรูปที่ 2.8 วงจรประกอบไปด้วย วงจรเปรียบเทียบสัญญาณ $C_1$ , วงจรเกท $G_1$ , วงจรควบคุมการทำงาน , วงจร D/A และแหล่งจ่ายศักดาอ้างอิง

การทำงานของวงจรอธิบายได้ดังนี้ เมื่อสัญญาณต่อเนื่องที่จุดเข้า $V_{IA}$ ป้อนเข้าสู่วงจรเปรียบเทียบ $C_1$ วงจรควบคุมการทำงานจะกำหนดค่าเริ่มต้นของสัญญาณจุดเข้าบิตสูงสุดของวงจร D/A ให้เป็น "1" และค่าบิตอื่นๆให้เป็น "0" วงจร D/A จะทำการแปลงค่าสัญญาณดังกล่าวเป็นสัญญาณต่อเนื่องที่จุดออก $V_{OA}$ ซึ่งต่อเข้าไปยังวงจรเปรียบเทียบ $C_1$ เพื่อเปรียบเทียบกับสัญญาณจุดเข้า $V_{IA}$ ถ้า $V_{IA} > V_{OA}$ ถ้าสัญญาณจุดออกของวงจร $C_1$ จะเป็น "1" แต่ถ้า $V_{IA} < V_{OA}$ ถ้าสัญญาณขาออกของ $C_1$ จะเป็น "0" ค่าสัญญาณจุดออกของ $C_1$ นี้จะส่งไปยังวงจรควบคุมการทำงานเพื่อที่จะใช้ในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



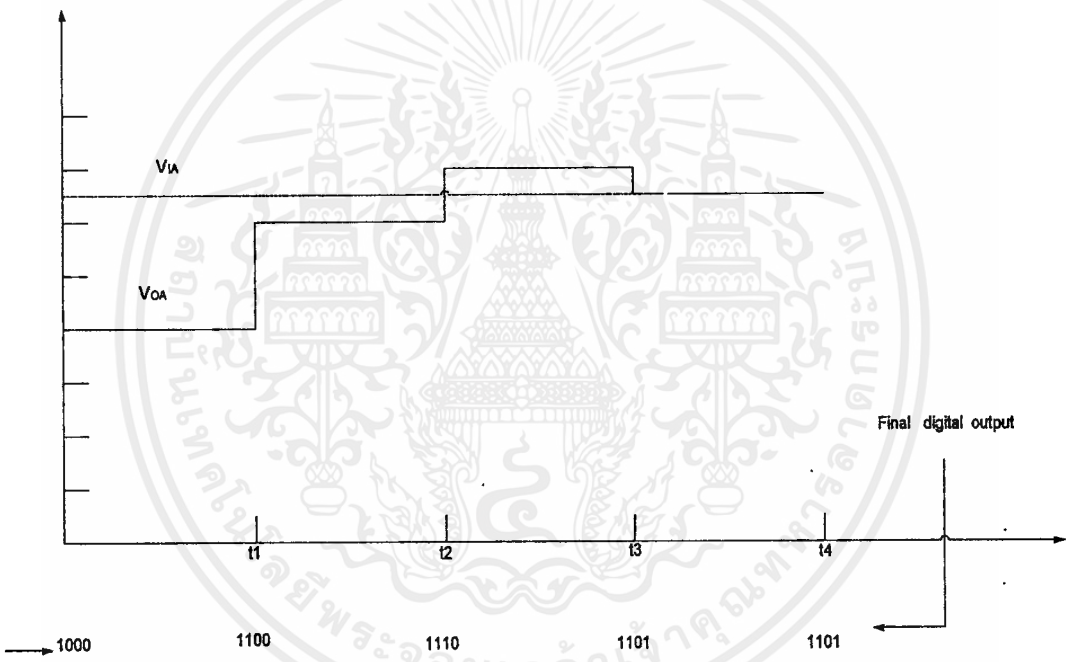

**รูปที่ 2.7 รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบ**




**รูปที่ 2.8 วงจรพื้นฐานของ Successive approximation A/D converter**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดค่าสัญญาณเปรียบเทียบในครั้งต่อไป สำหรับสัญญาณดิจิตอลของบิตนั้นจะส่งไปยังวงจรถัดไปผ่านทางวงจรเกท $G_1$ ซึ่งการทำงานของเกท $G_1$ จะถูกควบคุมโดยจังหวะสัญญาณนาฬิกาหลังจากนั้นวงจรจะเริ่มต้นการทำงานเพื่อหาบิตถัดไปตามขั้นตอนที่กล่าวมาข้างต้น โดยวงจรควบคุมการทำงานจะกำหนดบิตที่ถูกพิจารณาต่อไปให้มีค่าเป็น "1" สำหรับบิตที่เปรียบเทียบไปแล้วจะมีค่าไม่เปลี่ยนแปลงป้อนเข้าสู่วงจร D/A วงจรจะสิ้นสุดการทำงานในการแปลงสัญญาณต่อเนื่องหนึ่งค่าเมื่อวงจรได้ทำการแปลงสัญญาณตามจำนวนบิตที่ต้องการ ตัวอย่างความสัมพันธ์ความต่อเนื่องจุดออก $V_{OA}$ จาก D/A กับสัญญาณต่อเนื่องขาเข้า $V_{IA}$ แสดงได้ดังกราฟรูปที่ 2.9



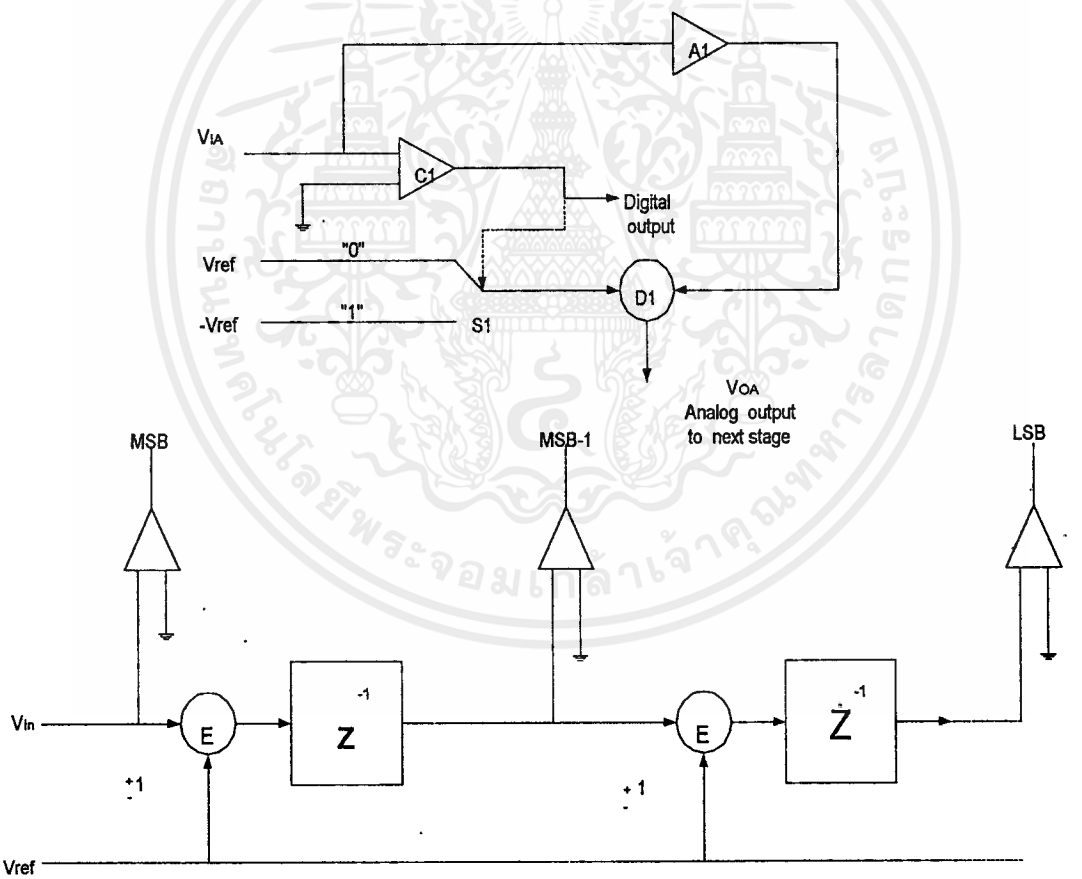

**รูปที่ 2.9 ตัวอย่างความสัมพันธ์ระหว่างสัญญาณต่อเนื่องจุดออก $V_{OA}$ จาก D/A กับสัญญาณต่อเนื่องขาเข้า $V_{IA}$**

ข้อดีของวงจรนี้คือ ใช้ขั้นตอนในการแปลงสัญญาณเพียง N ขั้นตอนเท่านั้นโดยที่ N เป็นจำนวนบิตที่ต้องการ ทำให้ตามเร็วในการแปลงสัญญาณดีกว่าวงจร A/D ความเร็วต่ำที่ได้กล่าวมาข้างต้นแต่ความเที่ยงตรงและแม่นยำของวงจรขึ้นอยู่กับวงจร D/A ที่ใช้ในวงจรซึ่งจะต้องมีความผิดพลาดการทำงานไม่เกิน $\pm\frac{1}{2}LSB$ มิฉะนั้นจะทำให้สัญญาณของวงจร A/D มีความผิดพลาดมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.8.2 Algorithmic A/D converter

หลักการแปลงของวงจรจะเริ่มต้นที่จากบิตสูงสุด (MSB) ไปหาบิตต่ำสุด (LSB) วงจรจะประกอบไปด้วยวงจรย่อยหรือวงจร A/D ขนาดหนึ่งบิตจำนวนเท่ากับจำนวนบิตที่ต้องการต่ออนุกรมกันโดยวงจรย่อยแต่ละวงจรมีหลักการทำงานดังนี้คือวงจรจะทำการขยายสัญญาณต่อเนื่องจุดเข้าเป็นสองเท่า แล้วนำสัญญาณที่ได้ไปบวกหรือลบกับสัญญาณอ้างอิงของวงจร ผลลัพธ์ที่ได้จะส่งผ่านเป็นสัญญาณที่จุดเข้าสำหรับวงจรย่อยบิตถัดไป การบวกหรือลบสัญญาณดังกล่าวข้างต้นขึ้นอยู่กับเครื่องหมายของสัญญาณจุดเข้าของวงจรย่อยนั้น ถ้าสัญญาณจุดเข้าเป็นบวก (+) วงจรจะลบสัญญาณอ้างอิงจากจุดเข้าและสัญญาณดิจิตอลจากจุดนี้จะมีค่าเป็นลบ (-) วงจรจะทำการสั่งให้บวกสัญญาณทั้งสองเข้าด้วยกันสัญญาณดิจิตอลที่ได้จะมีค่าเป็น "0"




**รูปที่ 2.10 หลักการทำงานของวงจรพื้นฐานของ Algorithmic A/D converter**

รายละเอียดพื้นฐานของวงจรแสดงได้ดังรูปที่ 2.10 วงจรย่อยของแต่ละวงจรจะประกอบไปด้วย วงจรเปรียบเทียบสัญญาณ $C_1$ ; วงจรขยายสัญญาณขนาดสองเท่า $A_1$ , วงจรบวก $D_1$ , วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควบคุมการทำงานของสวิตช์ $S_1$ เมื่อสัญญาณต่อเนื่องจุดเข้า $V_{IA}$ ป้อนเข้าสู่วงจรย่อยวงจรแรก สัญญาณจุดเข้า $V_{IA}$ จะเปรียบเทียบกับระดับศักดาดิน (0โวลท์) ถ้าสัญญาณจุดเข้า $V_{IA} > 0$ สัญญาณจุดออกจากวงจรเปรียบเทียบ $C_1$ จะมีค่าเป็น "1" วงจรจะควบคุมสวิตช์ $S_1$ ให้ผ่านค่าสัญญาณอ้างอิง ($-V_{ref}$) ไปทำการบวกกับสัญญาณจุดเข้าที่ทำการขยายคือ $2V_{IA}$ แต่ถ้า $V_{IA} < 0$ สัญญาณจากจุดออกของวงจรเปรียบเทียบ $C_1$ จะเป็น "0" วงจรจะควบคุมสวิตช์$S_1$ ให้ผ่านค่าสัญญาณอ้างอิง$V_{ref}$ ไปบวกกับสัญญาณ $2V_{IA}$ ผลลัพธ์จากวงจรบวก $D_I$ จะเป็นสัญญาณจุดเข้าจากวงจรย่อยบิตถัดไป ความสัมพันธ์ระหว่างสัญญาณต่อเนื่องจุดเข้า $V_{IA}$ กับสัญญาณดิจิตอล$D_0$ สามารถแสดงได้ดังสมการที่ (2.9)

$$V_{IA} = V_{ref} \sum_{i=1}^{N} b_i 2^{-i} \qquad (2.9)$$

โดยที่ $b_i$ = 1 ; ถ้าบิตนั้นมีค่าเป็น "1"
และ $b_i$ = -1 ; ถ้าบิตนั้นมีค่าเป็น "0"

ตัวอย่างเช่นต้องการแปลงสัญญาณต่อเนื่องเป็นสัญญาณดิจิตอลจำนวน 3 บิต สมมติให้ $V_{IA} = 2$ โวลท์ และ $V_{ref} = 3$ โวลท์ดังนั้นจะได้สัญญาณดิจิตอลมีค่าเท่ากับ "110" เมื่อทำการคำนวณกลับเพื่อหาค่าของระดับสัญญาณต่อเนื่องจุดเข้าจะได้

$$V_{IA} = 3\left(\frac{1}{2} + \frac{1}{4} - \frac{1}{8}\right) \text{ หรือเท่ากับ } 1.875 \text{ โวลท์}$$

จะเห็นได้ว่าสัญญาณที่ได้จากการแปลงกลับจะมีค่าใกล้เคียงกับสัญญาณต่อเนื่องที่จุดเข้า ซึ่งถ้าจำนวนบิตยิ่งมากค่าสัญญาณดิจิตอลก็จะมีค่าใกล้เคียงกับสัญญาณต่อเนื่องจุดเข้ามากขึ้น

วงจรชนิดนี้มีข้อดีคือสัญญาณต่อเนื่องที่จุดเข้าสามารถเป็นสัญญาณที่เป็นได้ทั้งสัญญาณบวกหรือสัญญาณลบ (bipolar signal) โดยบิตแรกสามารถชี้ให้เห็นถึงทิศทางของสัญญาณ นอกจากนั้นเวลาที่ใช้ในการแปลงสัญญาณใช้เพียง N รอบสัญญาณนาฬิกาเท่านั้นโดยที่ N เป็นจำนวนบิตที่ต้องการและการเพิ่มหรือลดจำนวนบิตของวงจรทำได้ง่าย

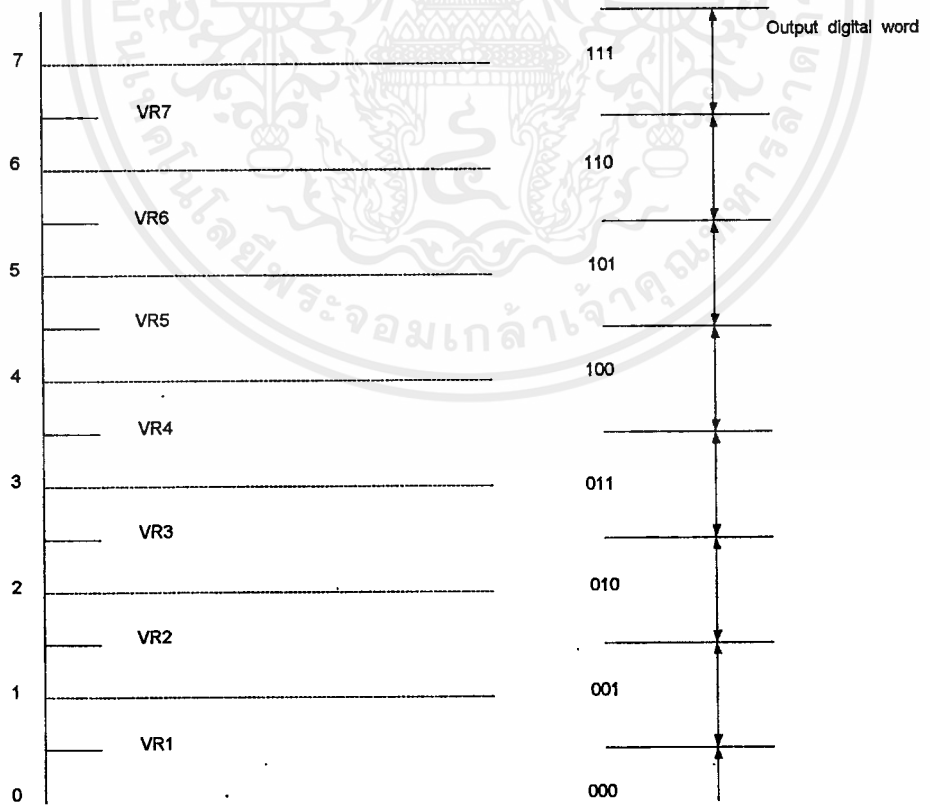
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.9 วงจร A/D ความเร็วสูง

วงจร A/D ความเร็วสูงเป็นวงจรที่ทำการแปลงสัญญาณโดยที่ใช้เวลาน้อยกว่า N รอบของสัญญาณนาฬิกา แต่วงจรมีความซับซ้อนมากและขนาดของวงจรจะแปรตามจำนวนบิตที่ต้องการ ทำให้วงจรมีขนาดใหญ่กินและพื้นที่มาก วงจรที่จะกล่าวในประเภทนี้คือวงจร Parallel A/D converter

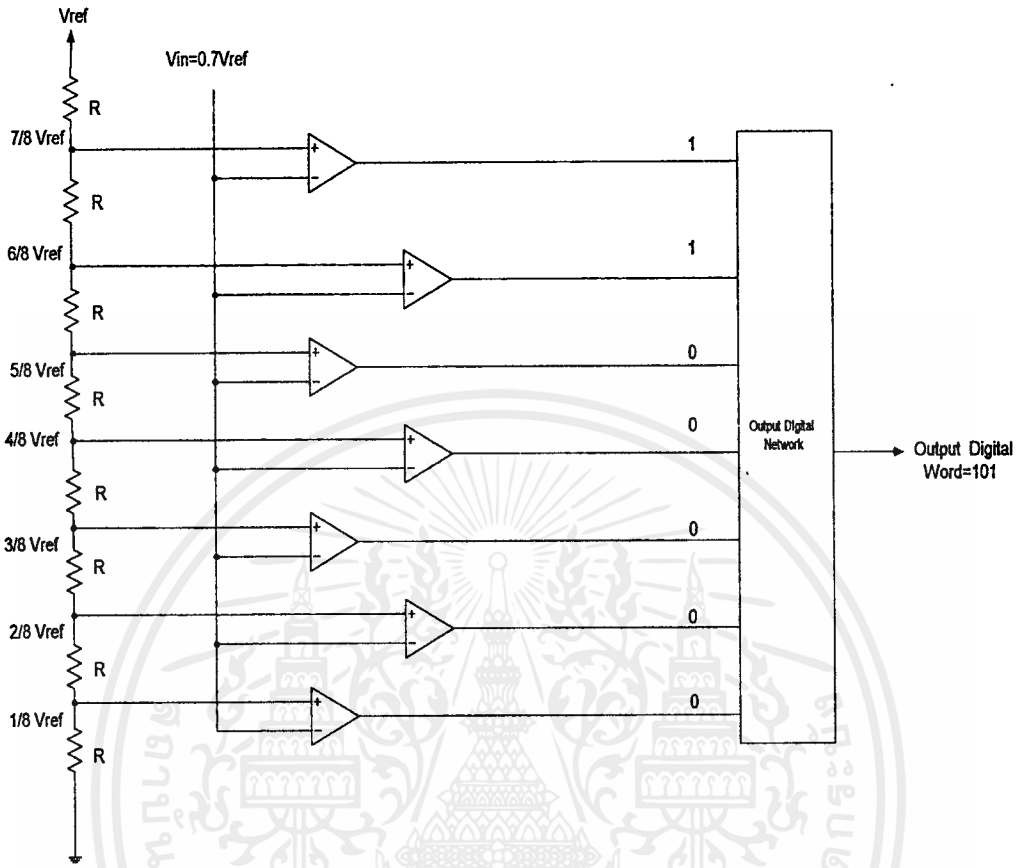
### 2.9.1 Parallel A/D converter หรือ Flash A/D converter

หลักกการทำงานของวงจรคือการแปลงสัญญาณต่อเนื่องจุดเข้าให้เป็นสัญญาณดิจิตอลทุกบิตพร้อมๆกัน โดยทำการเปรียบเทียบสัญญาณต่อเนื่องจุดเข้ากับสัญญาณเปรียบเทียบที่มีความแตกต่างกันขั้นละหนึ่งระดับสัญญาณพร้อมๆกัน ดังนั้นจำนวนสัญญาณเปรียบเทียบจึงมีจำนวนเท่ากับ $2^N - 1$ โดยที่ N เป็นจำนวนบิตที่ต้องการ สัญญาณจุดออกที่ได้จากการเปรียบเทียบจะนำมาทำการเข้ารหัสเพื่อให้ได้ค่าสัญญาณดิจิตอลที่เทียบเท่าสัญญาณต่อเนื่องที่จุดเข้า ซึ่งหลักการข้างต้นสามารถเขียนเป็นแผนผังได้ดังรูปที่ 2.11




**รูปที่ 2.11 หลักการทำงานของวงจร Parallel A/D converter**

ปพ
ปวมก
ฐ๖๗๒
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า กรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
041560




**รูปที่ 2.12 วงจรพื้นฐานของ Parallel A/D converter**

จากหลักการสามารถนำมาพัฒนาเป็นวงจรพื้นฐานดังแสดงในรูปที่ 2.12 วงจรประกอบไปด้วยสัญญาณเปรียบเทียบจำนวน $2^N - 1$ ค่า, วงจรเปรียบเทียบสัญญาณจำนวน $2^N - 1$ วงจร และวงจรถอดรหัสสัญญาณ สัญญาณต่อเนื่องจุดเข้า $V_{IA}$ จะทำการเปรียบเทียบกับ $V_{ref}$ ถ้า$V_{IA} > V_{ref}$ สัญญาณจุดออกจากวงจรเปรียบเทียบที่ $i$ จะมีค่าเป็น "1" แต่ถ้า$V_{IA} < V_{ref}$ สัญญาณจุดออกจากวงจรเปรียบเทียบที่ $i$ นั้นจะมีค่าเป็น "0" โดยที่ $i$ เป็นวงจรใดๆมีค่าตั้งแต่ 1 ถึง $2^N - 1$ ค่า จึงนำมาเข้ารหัสเพื่อหาค่าสัญญาณดิจิตอล ซึ่งจะเห็นได้ว่าการทำงานประกอบไปด้วยขั้นตอนเพียง 2 ขั้นตอนเท่านั้นขั้นตอนเปรียบเทียบและขั้นตอนเข้ารหัส ทำให้การแปลงสัญญาณ N บิตสามารถทำได้ในหนึ่งสัญญาณนาฬิกาเท่านั้น แต่วงจร A/D ชนิดนี้ถ้าต้องการเพิ่มความละเอียดในการแปลงสัญญาณ(resolution) จำนวนอุปกรณ์จะเพิ่มขึ้นเป็น 2 เท่า ทำให้วงจรมีขนาดใหญ่ซึ่งวงจรประเภทนี้เหมาะที่จะใช้กับการแปลงสัญญาณที่ไม่ต้องการความละเอียดมากนัก ซึ่งปกติจะอยู่ระหว่าง 3-6 บิต นอกจากนั้นความผิดพลาดของวงจรยังขึ้นอยู่กับวงรเปรียบเทียบและค่าสัญญาณเปรียบเทียบอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

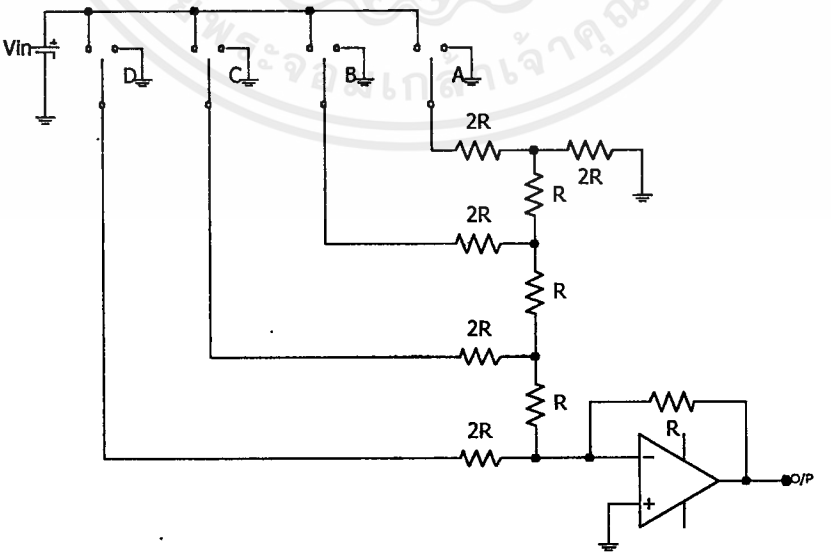
# บทที่ 3
# รหัสไบนารี่และความสัมพันธ์ในการแปลงสัญญาณ และหลักการทำงานของวงจรสวิตช์ – คาปาซิเตอร์ในลักษณะของการปั๊มประจุ ภายใต้กฎการอนุรักษ์ประจุ

## 3.1 บทนำ

จากวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลประเภทต่างๆที่ใช้กันอยู่ทั่วไป ในบทนี้จะกล่าวถึงวงจร A/D แบบ counter-ramp , พื้นฐานในการแปลงรหัสไบนารี่และความสัมพันธ์ในการแปลงสัญญาณโดยวิธีการประมาณค่าตามลำดับขั้น (SAADC) ซึ่งเป็นที่มาของการหาค่าบิตดิจิตอลได้จากการแปลงและนำไปสู่การสร้างอัลกอริธึมทั้งแบบลบและแบบบวก

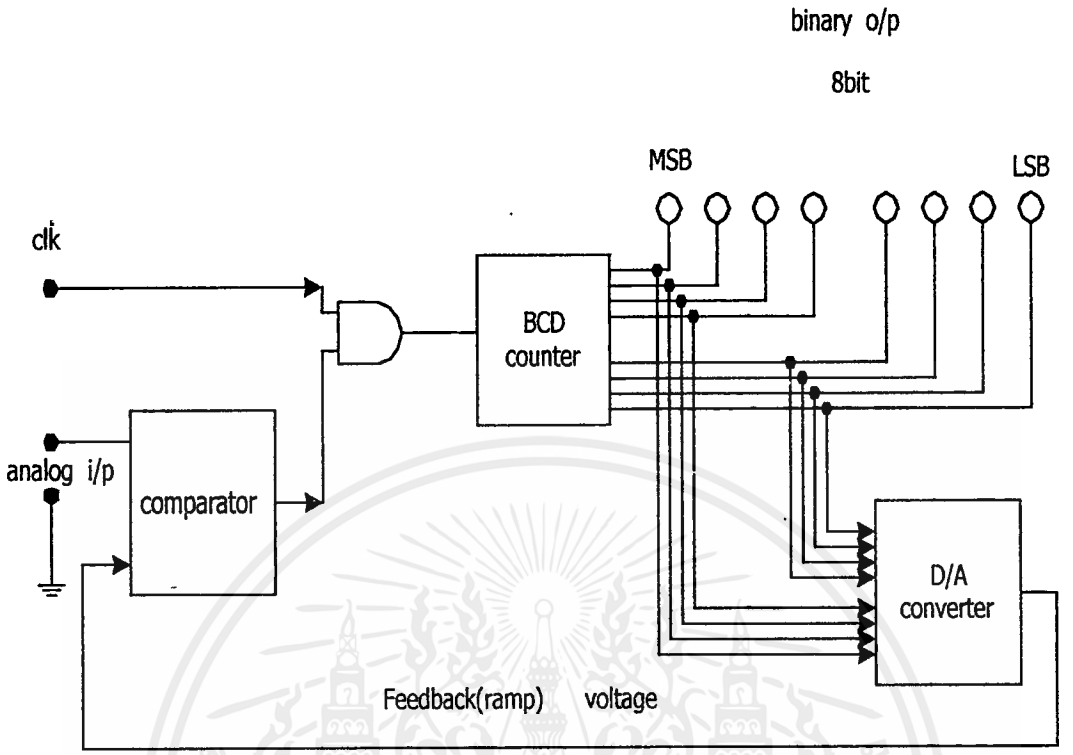
## 3.2 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลชนิด counter ramp

การแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบชนิดนี้วงจรจะประกอบด้วยวงจร comparator วงจร D/A converter และ วงจร BCD counter ซึ่งวงจร D/A converter จะประกอบไปด้วย 2 ส่วน คือ ส่วนตัวต้านทาน และ ส่วนตัวขยาย ระบบตัวต้านทานชนิดนี้มักจะเรียกว่า R-2R ladder ซึ่งมีลักษณะพิเศษคือใช้ค่าความต้านทาน 2 ค่าโดยสังเกตว่าตัวต้านทานที่เรียงกันเป็นแนวนอนทุกตัวจะมีค่าเป็น 2 เท่าของตัวต้านทานที่เรียงกันเป็นแนวตั้งซึ่งเป็นที่มาของชื่อ R-2R ladder




**รูปที่ 3.1 วงจร D/A converter โดยใช้ R-2R ladder**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 3.2 แสดงวงจร counter-ramp type A/D converter**

พิจารณารายละเอียดของ A/D converter ในรูปที่ 3.2 จะเห็นได้ว่าหากเรานำมาทดลองกับวงจรขนาด 8 bit จะต้องใช้เวลาในการแปลงสัญญาณจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอลพอสมควรเนื่องจากวงจร A/D converter ชนิดcounter-ramp มีความซับซ้อนในการทำงานและต้องใช้วงจร D/A converter ในการทำงานด้วยคำว่า ramp มาจากคำที่ converter มีการทำงานเป็นขั้นตอนตามความต่างศักย์ที่เพิ่มขึ้นมาจาก D/A converter ซึ่งจะถูกป้อนเข้าที่ตัวเปรียบเทียบความต่างศักย์ไปกระตุ้นทาง AND GATE ต่อไปแต่ปัญหาอยู่ตรงที่ว่า GATE ต้องใช้ระดับแรงดันในการเริ่มต้นการทำงานระดับหนึ่งดังนั้นอาจจะแปลงสัญญาณในระดับต่ำระดับหนึ่งไม่ได้หรืออาจจะเกิดค่าความผิดพลาดขึ้นได้หรือเทคโนโลยีของ GATE นั้นเป็นการยากที่จะสร้างแหล่งกำเนิดกระแสที่มีการให้น้ำหนักที่ละเอียด ดังนั้นมันจึงก่อให้เกิดความแตกต่างของค่าโวลท์เตจเทรชโฮลด์มากๆ และวงจร A/D แบบนี้ใช้เวลาในการแปลงสัญญาณมากไปหน่อยจึงไม่เหมาะที่จะนำมาวัดแรงดันในช่วงเวลาสั้นๆ เช่นการวัดแรงดันของลูกคลื่น ณ จุดเวลาใดเวลาหนึ่ง A/D ชนิดนี้เหมาะในการใช้วัดค่าเฉลี่ยของแรงดันและกระแสจึงนิยมใช้กันมากในมัลติมิเตอร์แบบดิจิตอล และเครื่องวัดแสดงผลเป็นตัวเลขทั่วๆไป เพราะฉะนั้นวิธีการ SAADC จึงถูกนำมาแทนที่ซึ่งผลของวิธีการดังกล่าวให้ความเที่ยงตรงแปลงสัญญาณได้รวดเร็วและความแม่นยำในการแปลงสัญญาณดีมากยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 3.3 รหัสไบนารี่และความสัมพันธ์ในการแปลงสัญญาณ

### 3.3.1 ปริมาณทางดิจิตอล

ข่าวสารหรือข้อมูลทางดิจิตอลจะถูกแสดงด้วยการกำหนดให้เป็นระดับโวลท์เตจใดๆเทียบกับกราวด์ ตัวเลขทางดิจิตอล (digital number) ทั้งหมดจะอยู่บนพื้นฐานของระบบเลขฐานสองนั่นคือแต่ละบิตหรือหน่วยของข่าวสารจะเป็นไปได้ใน 2 สถานะคือ "0" และ "1" โดยที่ "0" อาจจะกำหนดให้เป็นระดับสัญญาณค่าหนึ่งที่มีระดับของสัญญาณต่ำและ "1" เป็นระดับสัญญาณอีกค่าหนึ่งที่มีระดับสัญญาณสูงกว่า

กลุ่มของตัวเลขดิจิตอลหรือรหัสดิจิตอลอาจจะเป็นแบบอนุกรมหรือแบบขนานก็ได้ กล่าวคือสัญญาณอนาลอกได้ผ่านกระบวนการของการควอนไตซ์นั่นเอง ตัวอย่างเช่น รหัสดิจิตอลขนาด 8 บิตเช่น 11011001 เลข "1" ทางด้านซ้ายมือสุด เรียกว่า บิตนัยสำคัญสูงสุด (MSB) และบิตสุดท้ายทางขวามือเรียกว่า บิตนัยสำคัญต่ำสุด (LSB)

### 3.3.2 จำนวนเต็มและเศษส่วนของรหัสไบนารี่

รหัสไบนารี่ส่วนใหญ่จะถูกแสดงด้วยเลขจำนวนเต็ม ตัวอย่างเช่น รหัสไบนารี่ที่เป็นเลขจำนวนเต็มขนาด N บิต บิตที่ LSB จะมีน้ำหนักประจำบิตเป็น $2^0$ บิตถัดมาจะมีน้ำหนัก $2^1$ ในบิตต่อๆมาจะมีน้ำหนักเพิ่มขึ้นจนกระทั่งบิตที่ $2^{N-1}$ จะเห็นได้ว่าค่าน้ำหนักของรหัสไบนารี่ที่เป็นจำนวนเต็มจะมีค่าน้ำหนักเพิ่มมากขึ้นตามจำนวนบิตที่เพิ่มขึ้น

พิจารณารหัสไบนารี่เศษส่วนดังนี้

$b_{n-1}, b_{n-2}, \ldots\ldots, b_{n-n}$ เป็นจำนวนบิตของรหัสไบนารี่

$n$ เป็นจำนวนบิตสูงสุด

$Q_{aprox}$ เป็นค่าประมาณที่ได้จากรหัสไบนารี่

เราจะได้

$$Q_{aprox} = \frac{b_{n-1}2^{n-1}}{2^n} + \frac{b_{n-2}2^{n-2}}{2^n} + \ldots\ldots + \frac{b_{n-n}2^{n-n}}{2^n}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= b_{n-1}\left(\frac{1}{2}\right) + b_{n-2}\left(\frac{1}{2^2}\right) + \ldots\ldots + b_0\left(\frac{1}{2^n}\right) \qquad (3.1)$$

ทำการนอร์มอลไลซ์ทางขวามือของสมการที่ (3.1) ด้วยค่าเต็มสเกลเพื่อให้ FS เป็นค่าเต็มสเกลจะได้

$$Q_{aprox} = FS\left(\frac{b_{n-1}2^{n-1}}{2^n} + \frac{b_{n-2}2^{n-2}}{2^n} + \ldots\ldots + \frac{b_{n-n}2^{n-n}}{2^n}\right) \qquad (3.2)$$

จากสมการที่ (3.1) จะเห็นได้ว่าค่า FS มีค่าเท่ากับ 1 หน่วย ซึ่งค่า FS จะมีพิสัยเท่าไรก็ได้ โดยที่ค่า FS เปรียบเสมือนกับว่ากระทำตัวเป็นค่าอ้างอิงให้กับการแปลงนั่นเอง ดังนั้นค่า $Q_{aprox}$ ที่ได้จากสมการที่ (3.2) จะมีค่ามากที่สุดได้ไม่เกินค่าเต็มสเกล (FS)

ตัวอย่างหนึ่งที่เห็นได้ชัดคือถ้าเราให้ FS มีค่าเท่ากับ 4 และให้รหัสไบนารี่มีขนาด 4 บิต โดยมีรหัสเป็น "1111" จะได้

$$\begin{aligned} Q_{aprox} &= 4\left(\frac{1\times 2^3}{2^4} + \frac{1\times 2^2}{2^4} + \frac{1\times 2^1}{2^4} + \frac{1\times 2^0}{2^4}\right) \\ &= 4\left(\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16}\right) \\ &= 4(0.5 + 0.25 + 0.125 + 0.0625) \\ &= 3.75 \end{aligned}$$

เมื่อเราพิจารณาค่า $Q_{aprox}$ ที่ได้จากตัวอย่างค่าที่ได้นี้จะมีค่าน้อยกว่าค่าเต็มสเกลอยู่ 1LSB ถ้าหากมีจำนวนบิตมากขึ้นจะยิ่งให้ค่าที่ประมาณได้ใกล้เคียงค่าเต็มสเกลมากยิ่งขึ้น ทำการเขียนสมการที่ (3.2) ใหม่ให้กระชับขึ้นจะได้

$$\begin{aligned} Q_{aprox} &= \frac{FS}{2^n}\left(b_{n-1}2^{n-1} + b_{n-2}2^{n-2} + \ldots\ldots + b_{n-n}2^{n-n}\right) \\ &= \frac{FS}{2^n}\sum_{i=0}^{n-1} b_i 2^i \end{aligned} \qquad (3.3)$$

และถ้าให้ $Q_{aprox}$ ทางด้านซ้ายมือของสมการที่ (3.3) เป็นค่าของสัญญาณอนาลอกอินพุทที่ประมาณค่าได้ $\left(Q_{aprox} = V_{in}\right)$ จึงทำให้สมการที่ (3.3) มีรูปแบบดังสมการที่ (3.4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{in} = \frac{FS}{2}\sum_{i=0}^{n-1} b_i 2^i \qquad (3.4)$$

เมื่อ $n$ เป็น จำนวนบิตสูงสุด

$2^i$ เป็น ค่าน้ำหนักประจำบิต

$FS$ เป็น สัญญาณอนาลอกเต็มสเกล

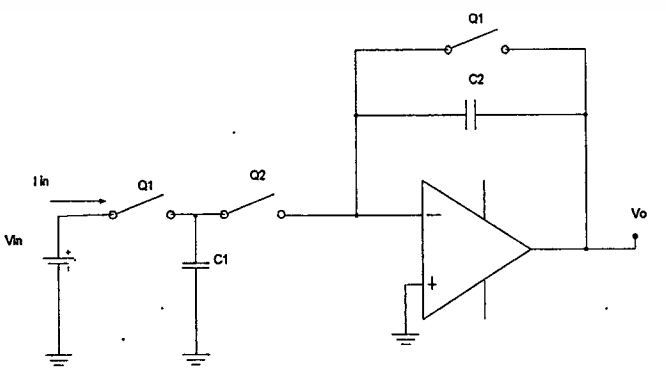
สมการที่ (3.4) คือสมการที่ให้ความสัมพันธ์ในการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกนั่นเอง โดยที่ $\frac{FS}{2^n}$ ก็คือค่าความละเอียดในการทำควอนไตซ์จากค่าต่ำสุดจนถึงค่าสูงสุดของค่าเต็มสเกล เช่น ถ้า n = 8 เราจะได้ระดับของการควอนไตซ์ทั้งหมด 256 ระดับ ของสัญญาณอนาลอกเต็มสเกลและค่าความละเอียดของแต่ละระดับที่ติดกัน มีค่าเท่ากับ $\frac{FS}{256}$

การหาค่าบิตที่ประจำน้ำหนักนั้นๆของการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล จะเห็นได้ว่าเราจะต้องสร้างระดับสัญญาณอ้างอิงเพื่อใช้แทนค่าน้ำหนักประจำในแต่ละบิตขึ้นมา โดยสัญญาณอ้างอิงจะมีทั้งหมด n ระดับ กล่าวคือจะขึ้นอยู่กับจำนวนบิตสูงสุดของการแปลงนั่นเอง

## 3.4 หลักการทำงานของวงจรสวิตช์ – คาปาซิเตอร์ในลักษณะของการปั๊มประจุภายใต้กฎการอนุรักษ์ประจุ

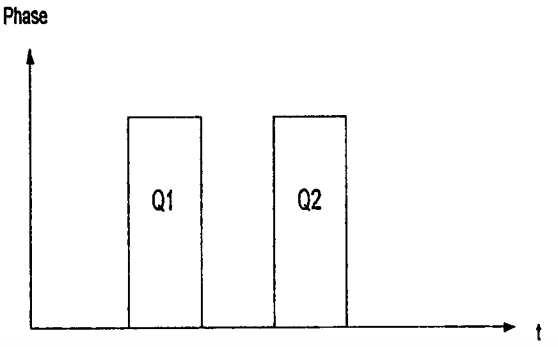
ลักษณะของการปั๊มประจุซึ่งเป็นหัวใจหลักในการออกแบบ SAADC ซึ่งมีอุปกรณ์ที่ประกอบไปด้วย อนาลอกสวิตช์ , คาปาซิเตอร์ และ ออปแอมป์ ซึ่งมีวงจรอยู่ด้วยกัน 2 แบบ ดังนี้

**วงจรแบบที่ 1**

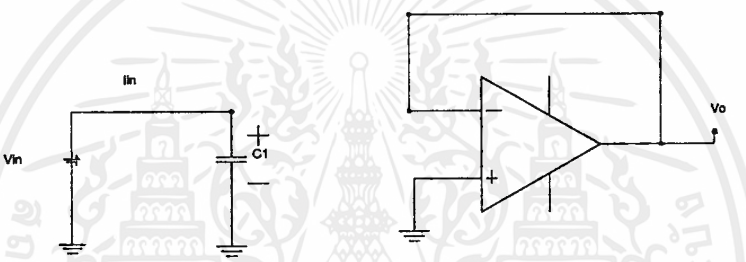



**รูปที่ 3.3 (ก) วงจรสวิตช์คาปาซิเตอร์ในลักษณะของการปั๊มประจุที่ให้ค่า $V_O = -V_{in}$**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 3.3 (ข) แผนภูมิลำดับการทำงานของสวิตช์ $\phi 1$ และ $\phi 2$**

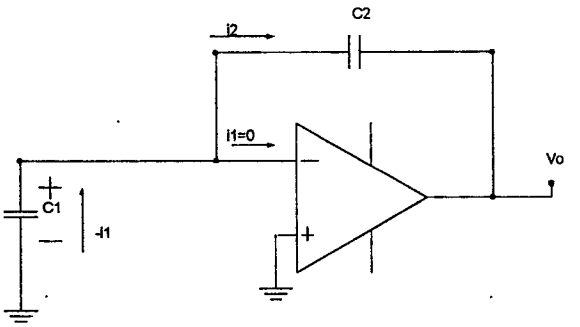



**รูปที่ 3.4 วงจรขณะที่สวิตช์ $\phi 1$ ทำงาน**

กระแส $i_{in}$ ไหลเข้าสู่ตัวเก็บประจุ $C_1$ โดยที่ค่าของประจุจะค่อยๆเพิ่มขึ้นจนเป็น $\Delta q_1$ นั่นคือ

$$\Delta q_1 = C_1 V_{in} \tag{3.5}$$

และเมื่อสวิตช์ $\phi_2$ ทำงาน วงจรสมมูลของ 3.3 (ก) แสดงได้ดังรูปที่ 3.5




**รูปที่ 3.5 วงจรขณะที่ $\phi 2$ ทำงาน**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเมื่อพิจารณาวงจรในรูปที่ 3.5 ที่ $C_1$ จะเห็นได้ว่าตัวเก็บประจุ $C_1$ จะคายประจุออกมา ขณะที่กระแสที่ไหลเข้าขาอินเวอร์ติ้งของออปแอมป์มีค่าเท่ากับศูนย์ นั่นก็คือ ประจุที่ถูกเก็บอยู่ในตัวเก็บประจุ $C_1$ จะไหลเข้าไปเก็บประจุ $C_2$ ดังนั้นกระแส $i_2$ จึงไหลเข้าหรือประจุถูกชาร์จเข้าสู่ตัวเก็บประจุ $C_2$ เท่ากับ $\Delta q_2$

**KCL ที่โหนด a** จะได้

$$-i_1 = i_2$$

$$\frac{-\Delta q_1}{\Delta t} = \frac{\Delta q_2}{\Delta t}$$

หรือ
$$-\Delta q_1 = \Delta q_2 \tag{3.6}$$

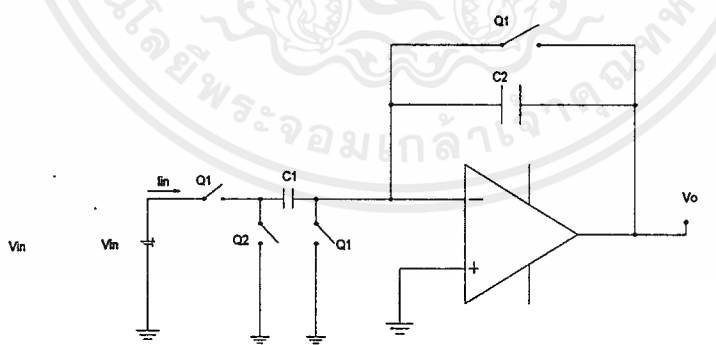
นั่นคือ
$$-C_1 V_{in} = C_2 V_o \tag{3.7}$$

จะได้
$$V_O = -\frac{C_1 V_{in}}{C_2} \tag{3.8}$$

เมื่อให้ $C_1 = C_2$ ดังนั้น

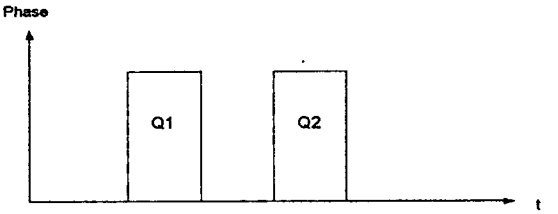
$$V_O = -V_{in} \tag{3.9}$$

**วงจรที่ 2**



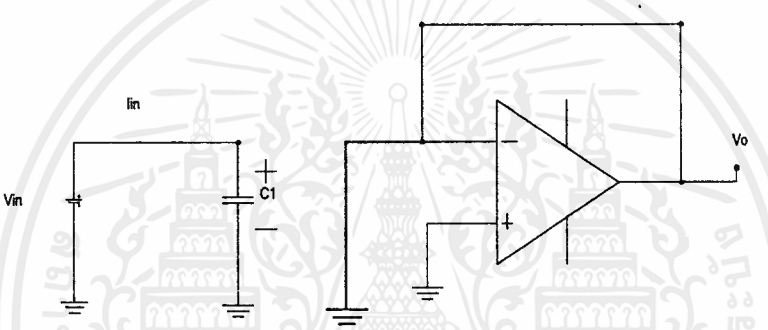

**รูปที่ 3.6 (ก) วงจรสวิตช์คาปาซิเตอร์ ในลักษณะของการปั๊มประจุ $V_O = V_{in}$**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**(ข) แผนภูมิลำดับการทำงานของสวิตช์ ϕ1 และ ϕ2**

ขณะที่สวิตช์ $\phi_1$ ทำงาน วงจรสมมูลในรูปที่ 3.6 (ก) แสดงได้ดังรูปที่ 3.7

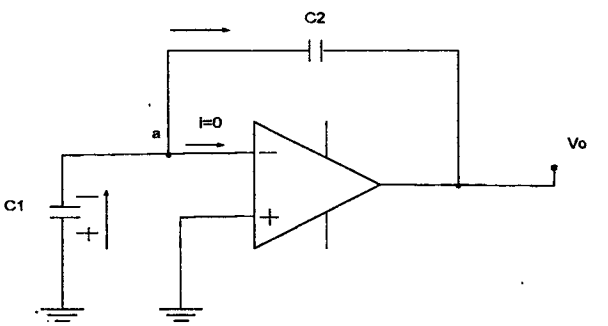



**รูปที่ 3.7 วงจรขณะที่สวิตช์ ϕ1 ทำงาน**

ซึ่งกระแส $i_{in}$ ไหลเข้าสู่ตัวเก็บประจุ $C_1$ จะทำให้ได้

$$\Delta q_1 = C_1 V_{in} \tag{3.10}$$

และในขณะที่ $\phi_2$ ทำงาน วงจรสมมูลของรูปที่ 3.6 (ก) สามารถแสดงได้ดังรูปที่ 3.8




**รูปที่ 3.8 วงจรขณะที่สวิตช์ ϕ2 ทำงาน**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.8 เมื่อพิจารณาที่ $C_1$ จะเห็นได้ว่าตัวเก็บประจุ $C_1$ เกิดการสลับกราวด์ และตัวเก็บประจุ $C_1$ จะคายประจุออกมา เนื่องจากกระที่ไหลเข้าวงจรอินเวอร์ติ้งของออปแอมป์มีค่าเท่ากับศูนย์ นั่นคือ ประจุที่ถูกเก็บอยู่ในตัวเก็บประจุ $C_1$ จะไหลเข้าไปเก็บประจุในตัวเก็บประจุ $C_2$ ดังนั้นกระแส $i_2$ จึงไหลเข้าหรือว่าประจุถูกชาร์จเข้าสู่ตัวเก็บประจุ $C_2$ เท่ากับ $\Delta q_2$ นั่นเอง

**KCL ที่โนด a** จะได้

$$i_1 = i_2$$

$$\frac{\Delta q_1}{\Delta t} = \frac{\Delta q_2}{\Delta t}$$

หรือ
$$\Delta q_1 = \Delta q_2 \tag{3.11}$$

นั่นคือ
$$C_1 V_{in} = C_2 V_o \tag{3.12}$$

จะได้
$$V_o = \frac{C_1}{C_2} V_{in} \tag{3.13}$$

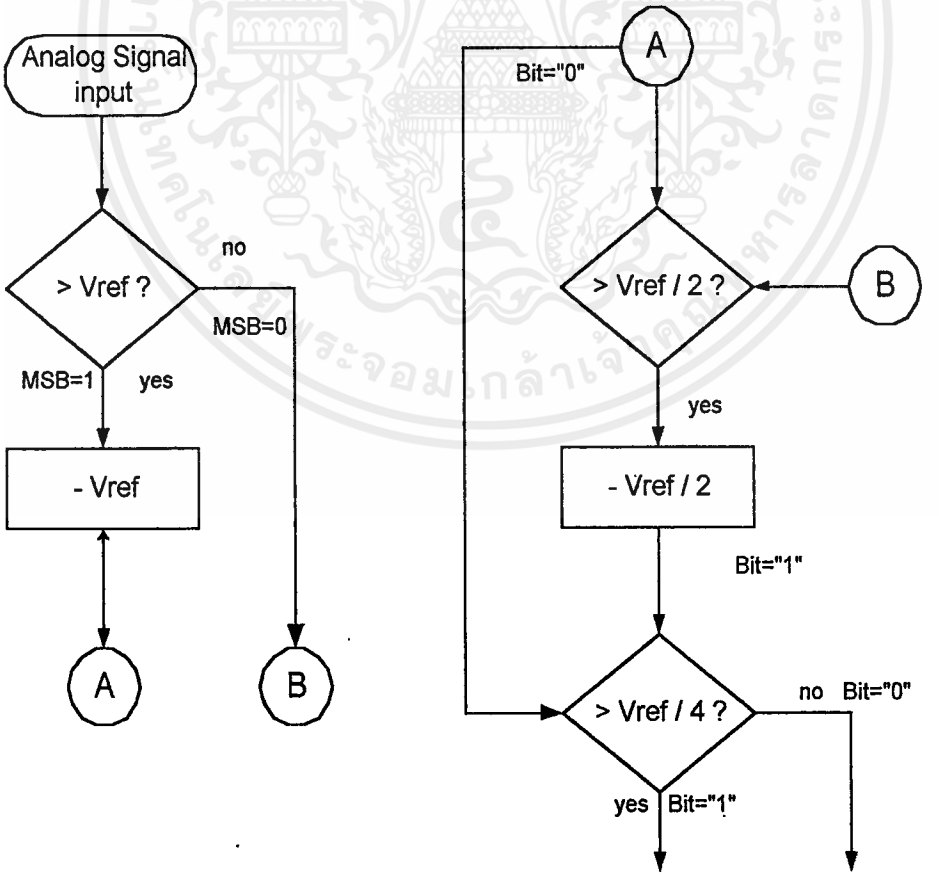
วงจรดังรูปที่ 3.3(ก) และรูปที่ 3.8(ก) จากผลการวิเคราะห์ภายใต้กฎการอนุรักษ์ประจุจะเห็นได้ว่าค่าแรงดันเอาต์พุตของออปแอมป์จะมีค่าเท่ากับ ค่าสัญญาณอินพุต $V_{in}$ โดยที่วงจรแบบที่ 1 จะให้ค่าเอาต์พุตเป็น $-V_{in}$ ซึ่งวงจรจะกระทำตัวเสมือนเป็นวงจรอินเวอร์เตอร์ (Inverter circuit) และวงจรแบบที่ 2 จะให้ค่าเอาต์พุตเป็น $V_{in}$ ซึ่งกระทำตัวเสมือนวงจรตามแรงดัน (Voltage Follower Circuit) เพื่อส่งต่อไปยังวงจรส่วนอื่นๆ ได้นั่นเอง สำหรับอัตราส่วนของค่าความจุ $\frac{C_1}{C_2}$ ก็คืออัตราขยายของวงจรโดยที่เราสามารถกระทำหรือกำหนดได้โดยง่าย ลักษณะเช่นนี้เราจึงเรียกว่า "วงจรทำงานในลักษณะการปั๊มประจุ" ซึ่งจะนำไปใช้ในการออกแบบวงจร SAADC ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4
# การออกแบบและการทำงานของวงจร

## 4.1 บทนำ

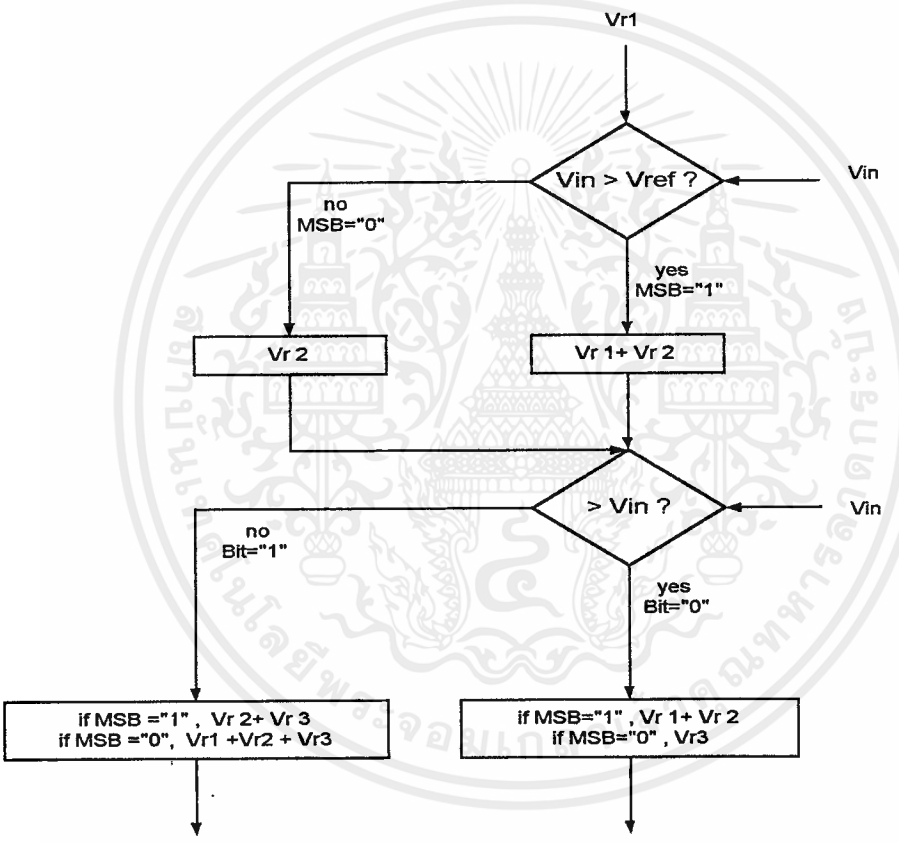
โดยทั่วไปหลักการในการแปลงสัญญาณแบบอนาลอกเป็นดิจิตอลแบบการประมาณค่าตามลำดับขั้น (SAADC) มักจะใช้อัลกอริธึมในการทำงานแบบบวกในการประมาณค่าจะใช้วิธีการเปรียบเทียบค่าอินพุตกับสัญญาณอ้างอิงเป็นลำดับแรก ถ้าค่าอินพุตมากกว่าสัญญาณอ้างอิงลำดับแรกก็จะให้ค่าบิตออกมาเป็น "1" (MSB) แล้วก็ทำการหาค่าผลต่างของสัญญาณทั้งสอง นำเอาผลต่างที่ได้ไปเปรียบเทียบกับสัญญาณอ้างอิงลำดับที่ 2 ต่อไป แต่ถ้าสัญญาณอ้างอิงลำดับ 2 มากกว่าสัญญาณอินพุตจะกำหนดค่าบิตที่ได้เป็น "0" (MSB) และไม่ต้องหาค่าผลต่างของสัญญาณทั้งสอง และจากนั้นให้นำเอาสัญญาณอินพุตดังกล่าวไปเปรียบเทียบกับสัญญาณอ้างอิงลำดับที่ 2 ต่อไป โดยที่การตัดสินค่าบิตต่อ ๆ ไป กระบวนการก็จะดำเนินการไปเช่นเดียวกับบิตแรก ซึ่งแผนภูมิการทำงานแสดงได้ดังรูปที่ 4.1




**รูปที่ 4.1 แสดงอัลกอริธึม SAADC แบบลบ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับหลักการ SAADC ที่ใช้อัลกอริธึมแบบบวก กระบวนการจะเริ่มด้วยการนำเอาสัญญาณอินพุตไปเปรียบเทียบกับสัญญาณอ้างอิงลำดับที่ 1 ($V_m$ คือสัญญาณอ้างอิงลำดับที่ $n$ โดยที่ $n = 1,2,3...$) ถ้า $V_m > V_{r1}$ จะให้ค่าเอาต์พุตดิจิตอลเป็น "1" (MSB) และนำเอาสัญญาณ $(V_{r1} + V_{r2})$ ไปเปรียบเทียบกับสัญญาณอินพุตตัวเดิม แต่ถ้า $V_{r1} < V_{r2}$ จะให้ค่าเอาต์พุตดิจิตอลเป็น "0" (MSB) และไม่ต้องทำการบวก $V_{r1}$ กับ $V_{r2}$ แต่จะเอา $V_{r2}$ ไปเปรียบเทียบกับสัญญาณอินพุตตัวเดิมเพื่อหาบิตที่ 2 ซึ่งกระบวนการดังกล่าวจะเกิดขึ้นในการหาค่าดิจิตอลแต่ละบิตจนครบ จากหลักการที่อธิบายมาดังกล่าวสามารถแสดงเป็นแผนภูมิได้ดังรูปที่ 4.2

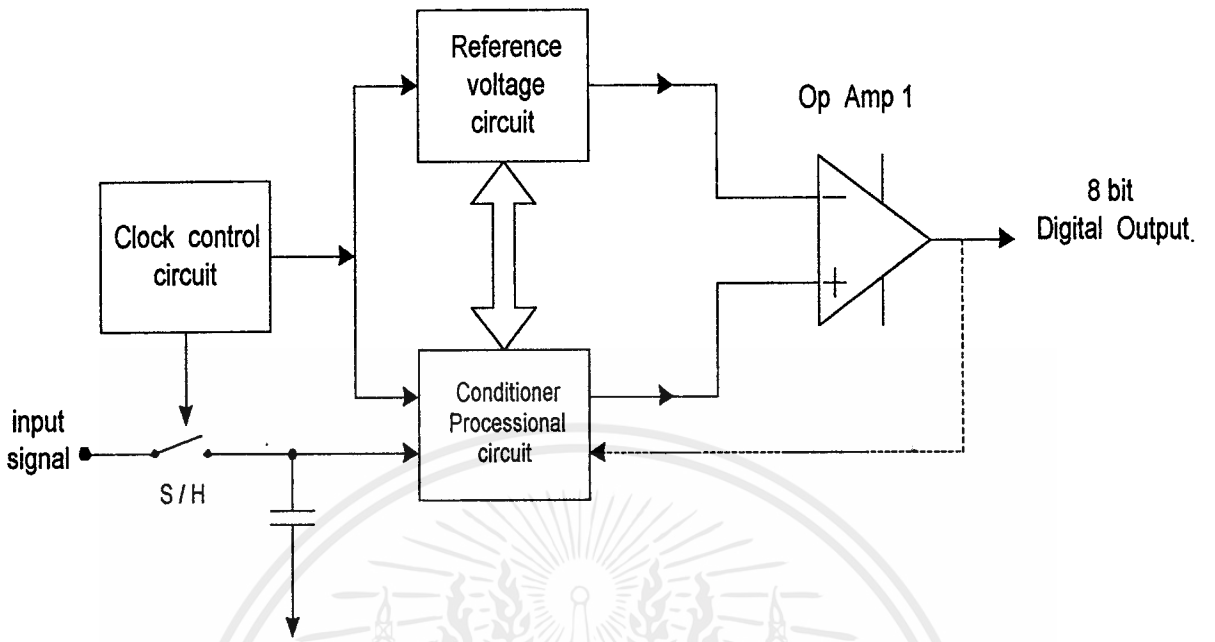



**รูปที่ 4.2 แสดงอัลกอริธึม SAADC แบบบวก**

## 4.2 การออกแบบวงจร

จากอัลกอริธึมแบบลบซึ่งแสดงในรูปที่ 4 เราสามารถเขียนแผนภูมิความสัมพันธ์ของการทำงานวงจรส่วนได้ดังรูปที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



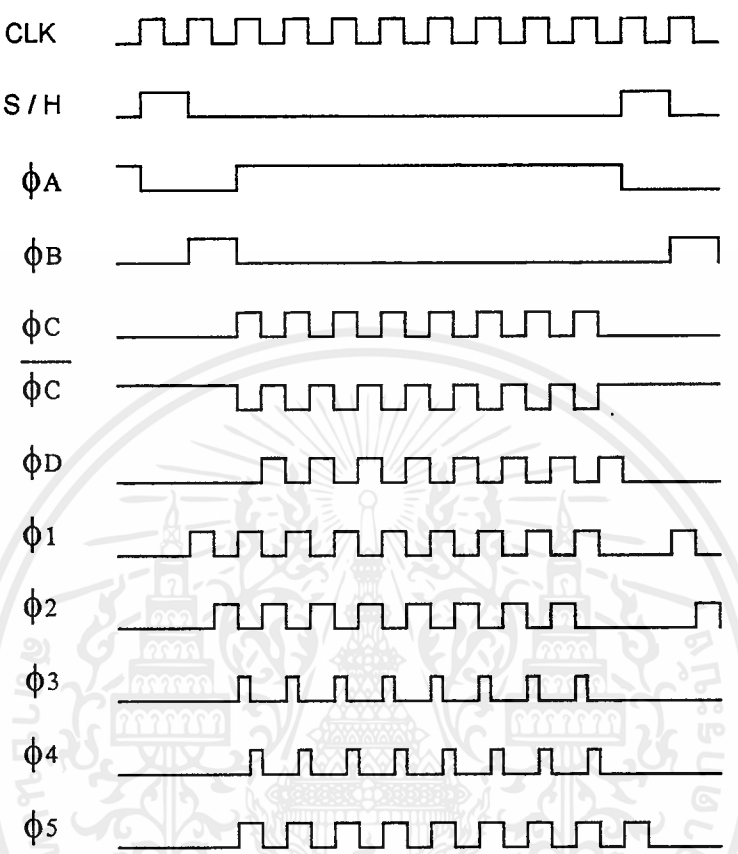

**รูปที่ 4.3 แสดงบล็อกไดอะแกรมของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล โดยวิธีการประมาณค่าตามลำดับขั้นด้วย SAADC**

จากบล็อกไดอะแกรมของรูปที่ 4.3 การทำงานของวงจรใน 1 รอบของการแปลงสัญญาณเริ่มจากวงจรสัญญาณนาฬิกาควบคุมจะส่งสัญญาณควบคุมให้สวิตช์ S/H ทำการสุ่มตัวอย่าง (Sampling & Hold) สัญญาณอนาลอกอินพุทเข้าไปยังวงจรประมวลผลแบบมีเงื่อนไข (Conditioner Processional Circuit) ในขณะเดียวกันก็จะส่งสัญญาณควบคุมให้กับวงจรสร้างระดับสัญญาณอ้างอิง เอาต์พุตที่ได้จากวงจรประมวลผลแบบมีเงื่อนไข และวงจรอ้างอิงจะนำไปเปรียบเทียบกันที่ ออปแอมป์1 (Op-amp 1) ซึ่งจะได้สัญญาณดิจิตอลเอาต์พุตออกมาจนครบ 8 บิต ต่อการแปลงสัญญาณ 1 ตัวอย่างสัญญาณแล้วจึงเริ่มทำการปฏิบัติการใหม่ตั้งแต่ต้นกับสัญญาณตัวอย่างตัวต่อไป สำหรับเส้นประจากเอาต์พุตของ ออปแอมป์ 1 เป็นสัญญาณป้อนกลับมายังวงจรประมวลผลแบบมีเงื่อนไข เพื่อควบคุมให้เป็นไปตามอัลกอริธึม แบบลบหรือแบบบวก จากบล็อกไดอะแกรมข้างบนเรานำมาสร้างเป็นวงจรได้ดังรูปที่ 4.5 สำหรับอัลกอริธึมแบบลบ และรูปที่ 4.11 สำหรับอัลกอริทึมแบบบวก

โดยวงจรส่วน A คือวงจรสร้างสัญญาณอ้างอิง ส่วน B คือวงจรประมวลผลแบบมีเงื่อนไข และส่วน C คือ วงจรเปรียบเทียบ ค่าความจุของตัวเก็บประจุจะมีค่าเท่ากันทุกตัวยกเว้น $C_3$ มีค่าเท่ากับ $\frac{C_1}{2}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.2.1 การทำงานของวงจร SAADC อัลกอริธึมแบบลบ




**รูปที่ 4.4 แสดงสัญญาณนาฬิกาควบคุมของวงจรอัลกอริธึมแบบลบ**

**ช่วงสัญญาณนาฬิกาลูกที่ 1**

ในจังหวะนี้สวิตช์ S/H และ $\overline{\phi_C}$ ทำงานสัญญาณอนาลอกอินพุตจะถูกสุ่มตัวอย่างป้อนเข้ามาสู่ภายในวงจรทำให้ประจุที่ถูกประจุเข้าไปใน $C_5$ มีค่าดังนี้คือ

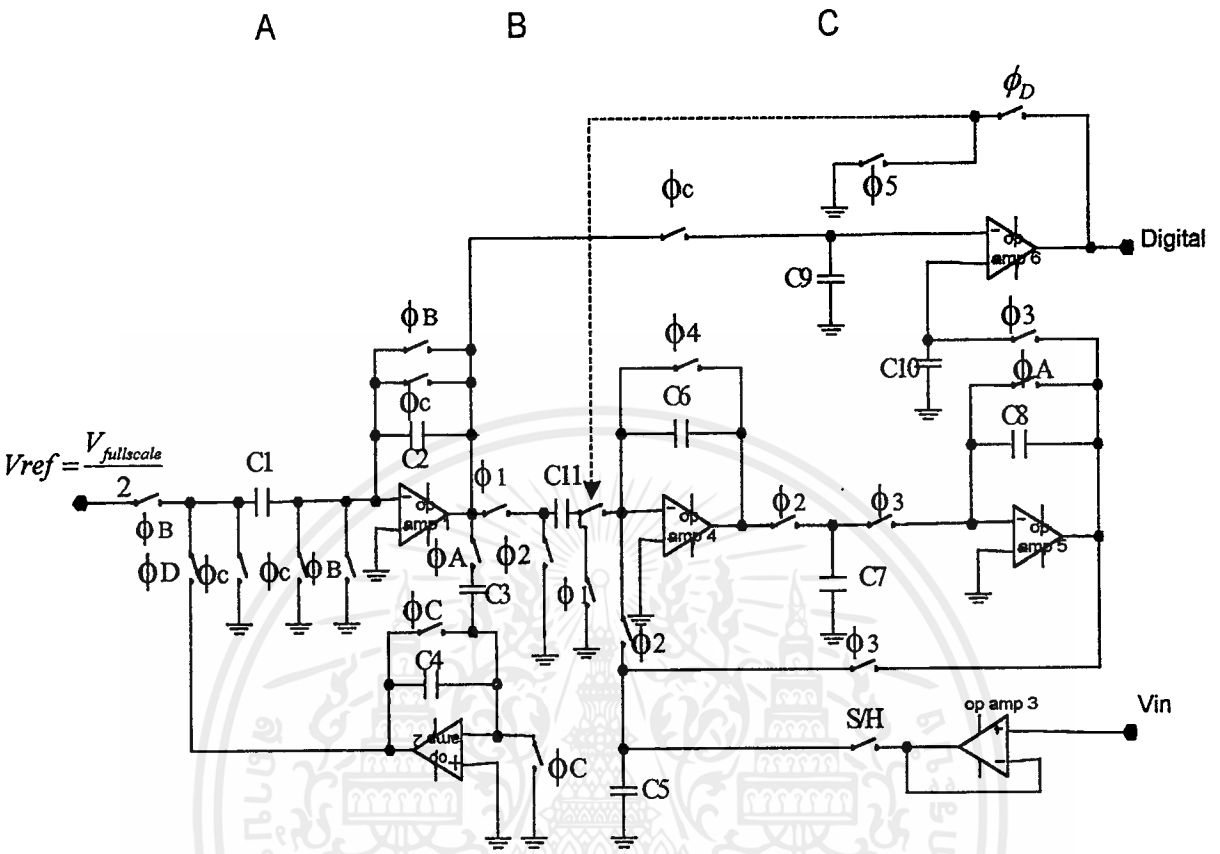
$$q_{C5} = C_5 V_{in} \tag{4.1}$$

**ช่วงสัญญาณนาฬิกาลูกที่ 2**

ในจังหวะนี้ สวิตช์ $\phi_B$ , $\phi_1$ , $\phi_2$ และ $\overline{\phi_C}$ ทำงานจังหวะที่เฟส $\phi_B$ ทำงานจะมีโวลท์เตจตกคร่อม $C_1$ เท่ากับ Vref ซึ่ง $V_{ref} = \frac{V_{FS}}{2}$ เมื่อ $V_{FS}$ คือ $V_{FULLSCALE}$ ดังนั้น

(4.2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 4.5 แสดงวงจรSAADC อัลกอริธึมแบบลบ**

ขณะเดียวกัน $\overline{\phi_C}$ ก็จะทำงานพร้อมกันด้วยแต่ไม่มีประจุไหลเข้า $C_{11}$ ในจังหวะขอบขาลง $\phi_1$, $\phi_2$ ก็จะทำงานทันที( เปลี่ยนกราวด์ที่ $C_1$ ) แต่ไม่มีประจุเปลี่ยนแปลงใน $C_{11}$ เนื่องจาก

$$q_{C_{11}} = 0 \tag{4.3}$$

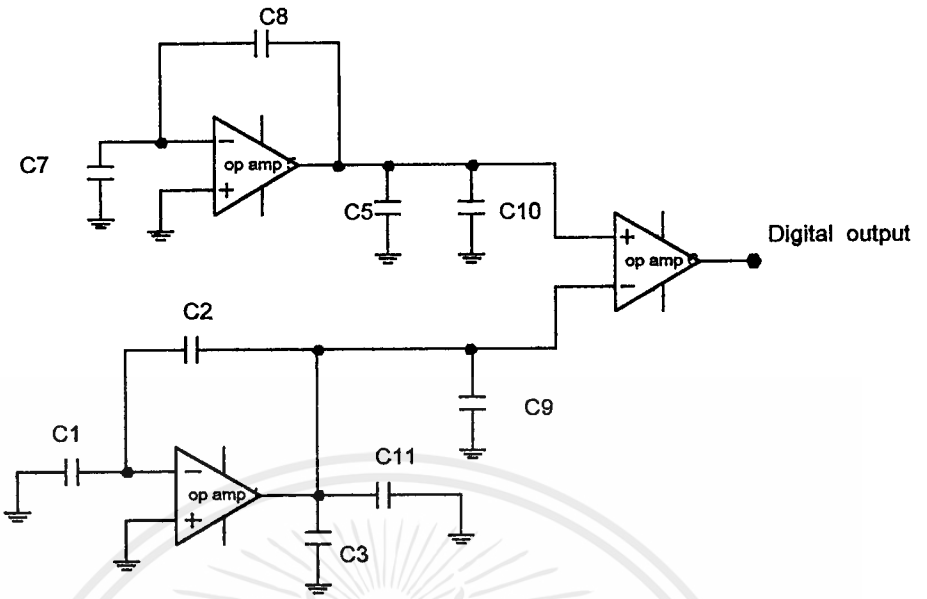
พร้อมกันนี้ประจุจาก $C_5$ จะไหลเข้าไปยัง $C_6$ จากสมการ (4) เราจะได้

$$\begin{aligned} -q_{C6} &= q_{C5} \\ -C_6 V &= C_5 V_{in} \end{aligned} \quad , \quad (C_5 = C_6) \tag{4.4}$$

$$V = -V_{in}$$

นั่นคือที่เอาต์พุตของออปแอมป์ 4 มีศักดา เป็น $-V_{in}$ และมีโวลท์เตจตกคร่อม $C_7$ เท่ากับ $-V_{in}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



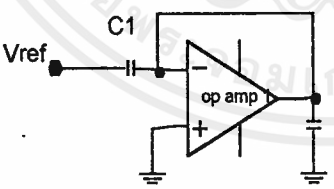

**รูปที่ 4.6 แสดงวงจรขณะที่อยู่ในช่วงสัญญาณนาฬิกาลูกที่ 2**

**(ก) $\phi_B$ , $\phi_1$ , $\overline{\phi_C}$ ทำงาน**

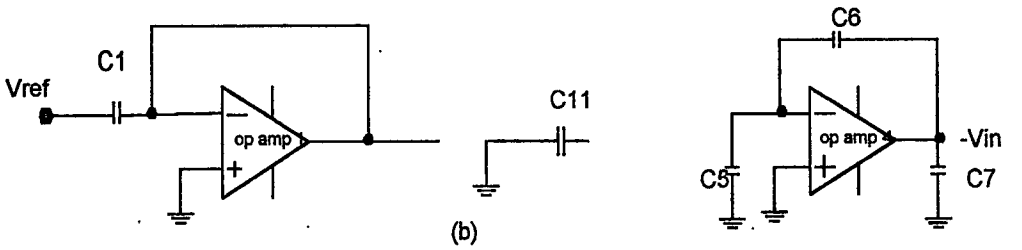
**(ข) $\phi_B$ , $\phi_2$ , $\overline{\phi_C}$ ทำงาน**

**ช่วงสัญญาณนาฬิกาลูกที่ 3**

ในจังหวะนี้สวิตช์ $\phi_A$ , $\phi_C$ , $\overline{\phi_C}$ , $\phi_D$ , $\phi_1$ , $\phi_2$ , $\phi_3$ , $\phi_4$ และ $\phi_5$ ทำงานจังหวะสัญญาณนาฬิกาลูกนี้ วงจร




(a)




(b)

**รูปที่ 4.7 แสดงวงจรในจังหวะขอบขาขึ้นของสัญญาณนาฬิกาลูกที่ 3**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่สร้างสัญญาณอ้างอิงจะมีสวิตช์ $\phi_A$ และ $\phi_C$ ทำงาน ทำให้ $C_1$ เกิดการสลับขั้วกราวด์ ประจุจึงไหลไปยัง $C_2$ และที่เอาต์พุตของ ออป แอมป์ 1 จะมีศักดาเป็น $+\frac{V_{FS}}{2}$ ดังนั้นประจุที่ประจุอยู่ใน $C_3$, $C_{11}$ และ $C_9$ จะมีค่าดังนี้

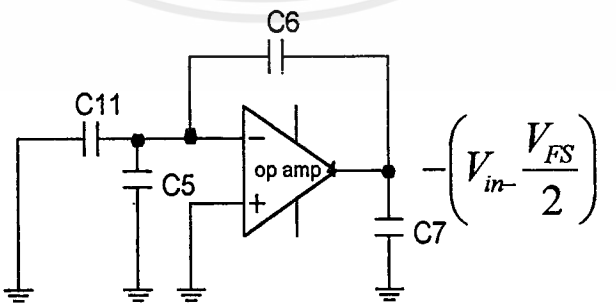
$$q_{C3} = C_3\left[\frac{V_{FS}}{2}\right] = C\left[\frac{V_{FS}}{4}\right] \; ; \; \left(C_3 = \frac{C}{2}\right) \tag{4.5}$$

$$q_{C9} = C_9\left[\frac{V_{FS}}{2}\right] = C\left[\frac{V_{FS}}{2}\right] \tag{4.6}$$

$$q_{C11} = C_{11}\left[\frac{V_{FS}}{2}\right] = C\left[\frac{V_{FS}}{2}\right] \tag{4.7}$$

ขณะเดียวกัน ส่วนของวงจรประมวลผลแบบมีเงื่อนไข ก็มีประจุจาก $C_7$ ไหลไปที่ $C_8$ ทำให้เอาต์พุตของออปแอมป์ 5 มีศักย์เป็น $+V_{in}$ และโวลท์เตจตกคร่อม $C_{10}$ เท่ากับ $+V_{in}$ ด้วยเพราะฉะนั้น ที่ออปแอมป์ 6 ซึ่งทำหน้าที่เปรียบเทียบ (Comparator) จะทำการเปรียบเทียบระหว่างที่โวลท์เตจที่ตกคร่อม $C_9$ และ $C_{10}$ เอาต์พุต ที่ได้จะเป็นสัญญาณดิจิตอลบิตนัยสำคัญสูงสุด (MSB) พร้อมกับ เป็นสัญญาณควบคุมสถานะของ $\phi_0$ (สวิตช์ $\phi_0$ จะปิดวงจรเมื่อ $\phi_D$ ทำงานและ MSB = "1" ) ขณะที่ $\phi_2$ เริ่มทำงานประจุใน $C_{11}$ และ $C_5$ จะรวมกันหรือไม่นั้นขึ้นอยู่กับสถานะของ $\phi_0$ แยกพิจารณาได้ 2 กรณีคือ

**กรณีที่ MSB "1"** ในจังหวะที่ $\phi_2$ , $\phi_D$ ทำงานจะทำให้สวิตช์ $\phi_0$ ปิดวงจรประจุจาก $C_{11}$ และ $C_5$ จะไหลมารวมกันที่ $C_6$




**รูปที่ 4.8 แสดงวงจรในจังหวะที่เกิดการรวมกันของประจุเมื่อ $\phi_0$ เปิดวงจร**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะได้ว่า

$$q_{total} = q_{C5} + q_{C11} = C_5 V_{in} + \left\{ -C_{11}\left(\frac{V_{FS}}{2}\right)\right\}$$

เนื่องจาก

$$C_{11} = C_5 = C_6 = C \tag{4.8}$$

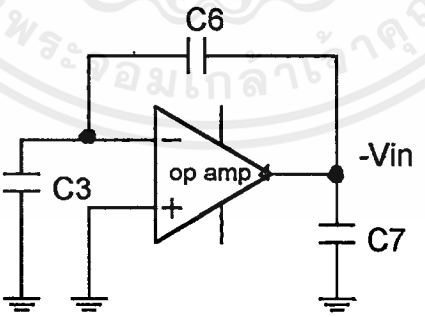
$$q_{total} = q_{C6} = C\left(V_{in} - \frac{V_{FS}}{2}\right)$$

นั่นคือ $C_6$ มีโวลท์เตจตกคร่อมเท่ากับ $V_{in} - \frac{V_{FS}}{2}$ และที่เอาต์พุตของ ออปแอมป์4 มีศักดาเป็น $-\left(V_{in} - \frac{V_{FS}}{2}\right)$ ซึ่งเป็นโวลท์เตจตกคร่อม $C_7$ ด้วยเช่นกัน

**กรณีที่ MSB = "0"** ในจังหวะที่ $\phi_2$ , $\phi_D$ ทำงานสวิตช์ $\phi_0$ จะเปิดวงจร ซึ่งจะมีเพียงประจุจาก $C_5$ เท่านั้นที่ไหลเข้า $C_6$ ดังนั้นประจุใน $C_6$ จะเป็น

$$q_{C6} = C_6 V_{in} \tag{4.9}$$

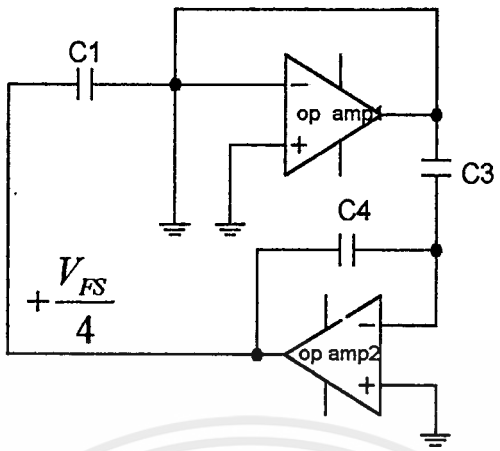
ในทำนองเดียวกันเอาต์พุตของออปแอมป์ 4 มีศักดาเป็น $-V_{in}$ และเป็นโวลท์เตจตกคร่อม $C_7$ ด้วยเช่นกัน




**รูปที่ 4.9 แสดงวงจรขณะสวิตช์ $\phi_0$ เปิดวงจร**

ขณะที่ $\phi_2$ เริ่มทำงานนั้น (ทำงานในจังหวะขอบขาลงของสัญญาณนาฬิกาลูกที่ 3) สวิตช์ $\phi_A$ , $\phi_C$ , $\phi_D$ ก็จะทำงานไปพร้อมกันด้วย นั่นหมายความว่า ที่วงจรสร้างสัญญาณระดับอ้างอิง จะมีการเปลี่ยนแปลงพร้อมกับจังหวะที่ $\phi_0$ ทำงานแสดงได้ดังรูปที่ 4.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

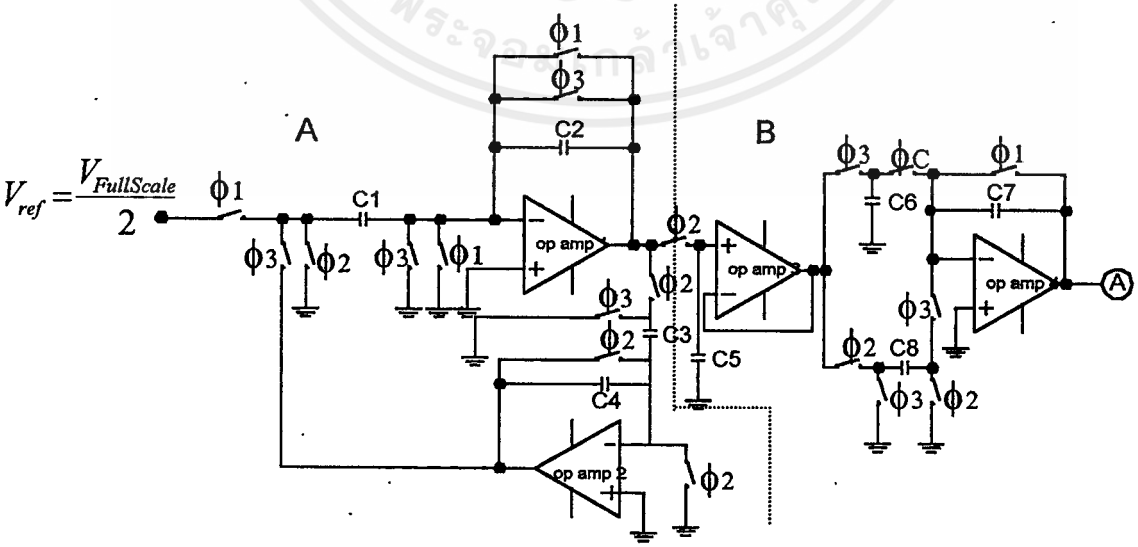



**รูปที่ 4.10 แสดงการเปลี่ยนแปลงของวงรสร้างระดับสัญญาณอ้างอิง**

จากรูปที่ 4.10 จะพบว่าที่ $C_3$ มีการเปลี่ยนกราวด์ ดังนั้นที่เอาต์พุตของออปแอมป์ 2 จึงมีศักดาเท่ากับ $+\frac{V_{FS}}{4}$ ที่ $C_1$ จึงมีโวลท์เตจตกคร่อมเท่ากับ $+\frac{V_{FS}}{4}$ ด้วย

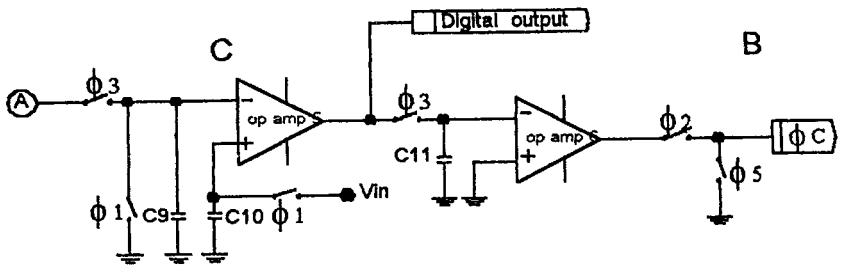
**ช่วงสัญญาณนาฬิกาลูกที่ 4**

ในจังหวะที่ $\phi_A$ , $\phi_C$ , $\overline{\phi_C}$ , $\phi_D$ , $\phi_1$ ,$\phi_2$ , $\phi_3$ , $\phi_4$ และ $\phi_5$ ทำงาน ซึ่งขั้นตอนการทำงานจะเหมือนกับช่วงสัญญาณนาฬิกาลูกที่ 3 ทุกขั้นตอน ซึ่งจะทำให้เกิดการเปลี่ยนเทียบที่ออปแอมป์ 6 ได้เอาต์พุตเป็นสัญญาณดิจิตอล ต่อจาก MSB (ในช่วงสัญญาณนาฬิกาลูกที่ 4 โวลท์เตจที่ตกคร่อม $C_9 = +\frac{V_{FS}}{4}$)

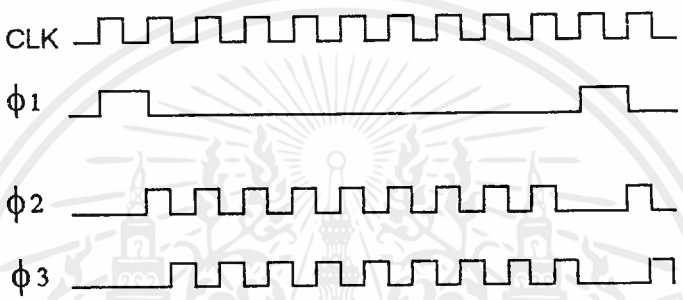



**รูปที่ 4.11 แสดงวงจร SAADC อัลกอริธึมแบบบวก**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 4.12 (ต่อ) แสดงวงจร SAADC อัลกอริธึมแบบบวก**




**รูปที่ 4.13 แสดงแผนภูมินาฬิกาควบคุมของอัลกอริธึมแบบบวก**

สำหรับการทำงานของสัญญาณนาฬิกาลูกต่อ ๆ มา ก็จะมีลักษณะการทำงานเหมือนกับช่วงสัญญาณนาฬิกาลูกที่ 3 จนกระทั่งได้สัญญาณดิจิตอลครบ 8 บิต เป็นอันสิ้นสุดการเปลี่ยนแปลงใน 1 รอบของการเปลี่ยนแปลงต่อ 1 ตัวอย่างสัญญาณ

ซึ่งเราจะเห็นได้ว่า หลักการแปลงที่ใช้อัลกอริธึมแบบลบ จะใช้สัญญาณนาฬิกาควบคุมการทำงานจำนวนมาก และวงจรมีขนาดใหญ่ ดังนั้น เราจึงได้เสนอโครงสร้างวงจรแปลงสัญญาณที่ใช้อัลกอริธึมแบบบวกดังได้อธิบายข้างต้น โดยวงจรและสัญญาณควบคุมแสดงได้ดังรูปที่ 4.11 , 4.12 และ4.13

### 4.2.2 การทำงานของวงจร SAADC อัลกอริทึมแบบบวก

**ช่วงสัญญาณนาฬิกาลูกที่ 1**

$\phi_1$ ทำงานสัญญาณแบบอนาลอกอินพุต และแรงดันอ้างอิง ( Voltage reference , $V_{ref}$ ) จะถูกสุ่มตัวอย่าง และคงค่าไว้ที่ $C_1$ และ $C_{10}$ ตามลำดับกล่าวคือ $C_1$ , $C_{10}$ จะมีโวลท์เตจตกคร่อมเท่ากับ$V_{ref}$

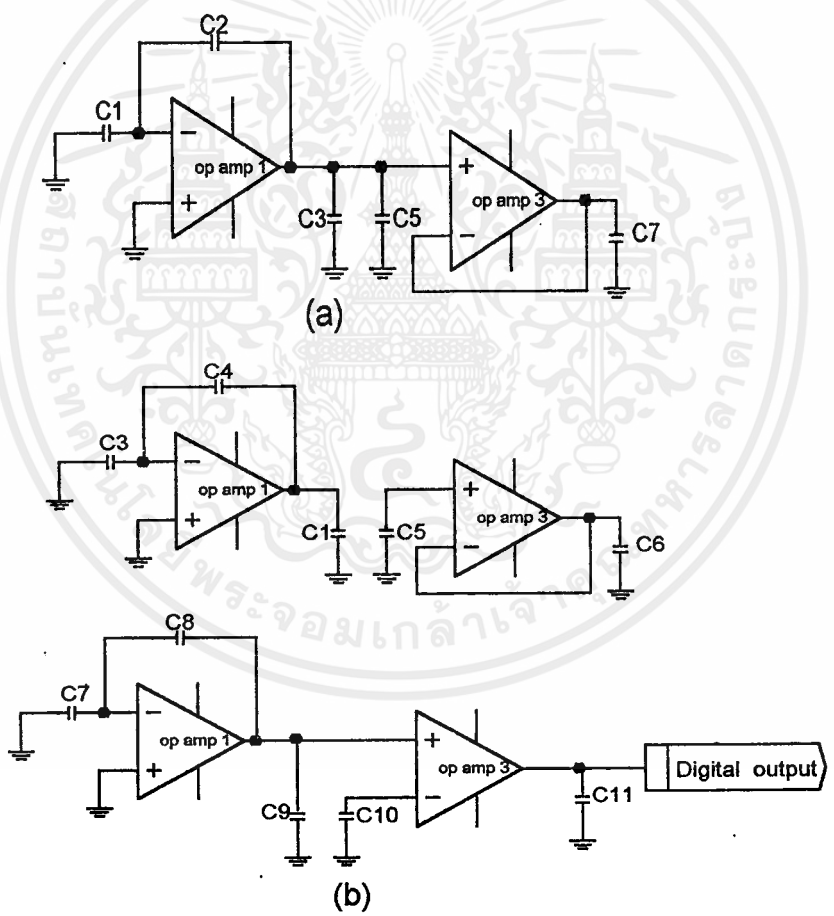
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $V_{in}$
ดังนี้

$$q_{C1} = C_1 V_{ref} \therefore \left( V_{ref} = \frac{V_{FS}}{2} \right) \qquad (4.10)$$
$$q_{C10} = C_{10} V_{in}$$

สำหรับสวิตช์ $\phi_1$ ในตำแหน่งอื่นๆ จะทำหน้าที่ รีเซ็ท (Reset) ตัวเก็บประจุ

**ช่วงสัญญาณนาฬิกาลูกที่ 2**




**รูปที่ 4.14 แสดงวงจรขณะที่อยู่ในช่วงสัญญาณนาฬิกาลูกที่ 2**

**(ก) ขณะที่ $\phi_2$ ทำงาน**

**(ข) ขณะที่ $\phi_3$ ทำงาน**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จังหวะที่ $\phi_2$ ทำงาน ส่วนของวงจรสร้างแรงดันอ้างอิงที่ $C_1$ จะเกิดการเปลี่ยนกราวด์ ประจุจะไหลเข้าไปใน $C_2$ ทำให้เอาต์พุตของออปแอมป์ 1 มีศักดาเท่ากับ $V_{ref}$ และเกิดโวลท์เตจตกคร่อม $C_3$ เท่ากับ $V_{ref}$ ด้วยโดยที่

$$q_{C3} = C_3 V_{ref}$$
$$C_3 = \frac{C}{2} \tag{4.11}$$
$$q_{C3} = C\left(\frac{V_{ref}}{2}\right)$$

ในทำนองเดียวกัน $C_5$ มีโวลท์เตจตกคร่อมเท่ากับ $V_{ref}$ และเนื่องจาก ออปแอมป์ 3 ทำหน้าที่เป็นบัฟเฟอร์ (Buffer) ดังนั้นที่ $C_7$ จึงมีโวลท์เตจตกคร่อมเท่ากับ $V_{ref}$ ด้วย

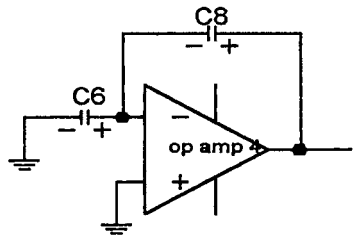
จังหวะที่ $\phi_3$ ทำงาน ส่วนของวงจรสร้างแรงดันอ้างอิงที่ $C_3$ เกิดการเปลี่ยนกราวด์ประจุจาก $C_3$ จึงไหลเข้าไปยัง $C_4$ ทำให้เอาต์พุตของออปแอมป์ 2 มีศักดาเท่ากับ $\frac{V_{ref}}{2}$ เกิดโวลท์เตจตกคร่อม $C_1$ เท่ากับ $\frac{V_{ref}}{2}$ ขณะเดียวกันที่ $C_5$ ซึ่งยังคงค้างค่า $V_{ref}$ ไว้จากการทำงานของ $\phi_2$ จึงทำให้ที่เอาต์พุตของออปแอมป์ 3 มีโวลท์เตจตกคร่อม $C_6$ เท่ากับ $V_{ref}$ และ ที่ $C_7$ เกิดการเปลี่ยนกราวด์ เอาต์พุตของออปแอมป์ 4 จึงมีโวลท์เตจตกคร่อม $C_9$ เท่ากับ $V_{ref}$ ซึ่งจะทำการเปรียบเทียบกับ $V_{in}$ ที่ออปแอมป์ 5 เอาต์พุตของออปแอมป์ 5 จะเป็นค่าดิจิตอลที่ได้จากการแปลงครั้งแรก ซึ่งเป็นบิตนัยสำคัญสูงสุด (MSB) ค่าเอาต์พุตที่ได้นี้จะทำให้เกิดโวลท์เตจตกคร่อมที่ $C_{11}$ เพื่อทำการเปรียบเทียบกับกราวด์ที่ออปแอมป์ 6 โดยที่ออปแอมป์ 6 ทำหน้าที่เป็นอินเวอร์เตอร์ (Inverter) และที่เอาต์พุตของมันจะค้างค่านี้ไว้ จนกว่าจะถึงจังหวะของ $\phi_2$ ในช่วงของสัญญาณนาฬิกาลูกต่อไป

**ช่วงสัญญาณนาฬิกาลูกที่ 3**

ลักษณะการทำงานจะเหมือนกับช่วงสัญญาณนาฬิกาลูกที่ 2 แต่ในจังหวะของ $\phi_2$ ทำงานนั้นที่เอาต์พุตของออปแอมป์ 6 จะเป็นสัญญาณควบคุมให้กับสวิตช์ $\phi_C$ แยกพิจารณาได้ 2 กรณีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**กรณีที่ 1** ถ้า $\phi_C$ เป็น HIGH จะทำให้ประจุจาก $C_6$ ไหลเข้าไปรวมกับประจุใน $C_8$ ดังนี้



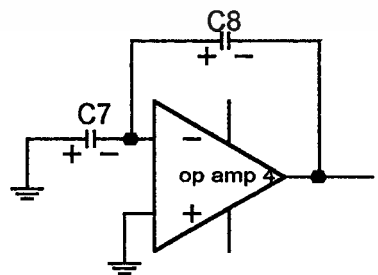

**รูปที่ 4.15 แสดงการรวมกันของประจุ กรณี $\phi_C$ เป็น High**

$$\begin{aligned} q_{yotal} &= q_{C6} + q_{C8} + q_{C7} \\ &= (C_6 V_{C6}) + (-C_8 V_{C8}) + \left(C_7 \frac{V_{ref}}{2}\right) \\ &= C_7 \left(\frac{V_{ref}}{2}\right) \\ &\left(V_{C6} = V_{ref}, V_{C8} = V_{ref}, C_6 = C_8\right) \end{aligned} \tag{4.12}$$

**กรณีที่ 2** ถ้า $\phi_C$ เป็น Low ที่ $C_8$ ยังคงค้างค่าประจุไว้เช่นเดิม โดยที่

$$q_{C8} = C_8 V_{ref} \tag{4.13}$$

เมื่อ $\phi_3$ เริ่มทำงานประจุจาก $C_7$ จะไหลเข้ามารวมกัน $C_8$ ดังนี้




**รูปที่ 4.16 แสดงการรวมกันของประจุ กรณี $\phi_C$ เป็น Low**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$
\begin{aligned}
q_{yotal} &= q_{C7} + q_{C8} \\
&= \left( C_7 \frac{V_{ref}}{2} \right) + \left( C_8 V_{ref} \right) \\
&= \left( V_{ref} + \frac{V_{ref}}{2} \right) C_8 \quad ; \left( C_7 = C_8 \right)
\end{aligned}
\tag{4.14}
$$

ค่าที่ได้จะไปเปรียบเทียบกับ $V_{in}$ ที่ออปแอมป์ 5 ได้เป็นดิจิตอลเอาต์พุตบิตถัดมา ซึ่งเหตุการณ์ ถัดับต่อไปก็จะเกิดการวนซ้ำกับเหตุการณ์ที่ได้กล่าวมาแล้วในรอบแรกจนได้สัญญาณครบจำนวนบิตที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

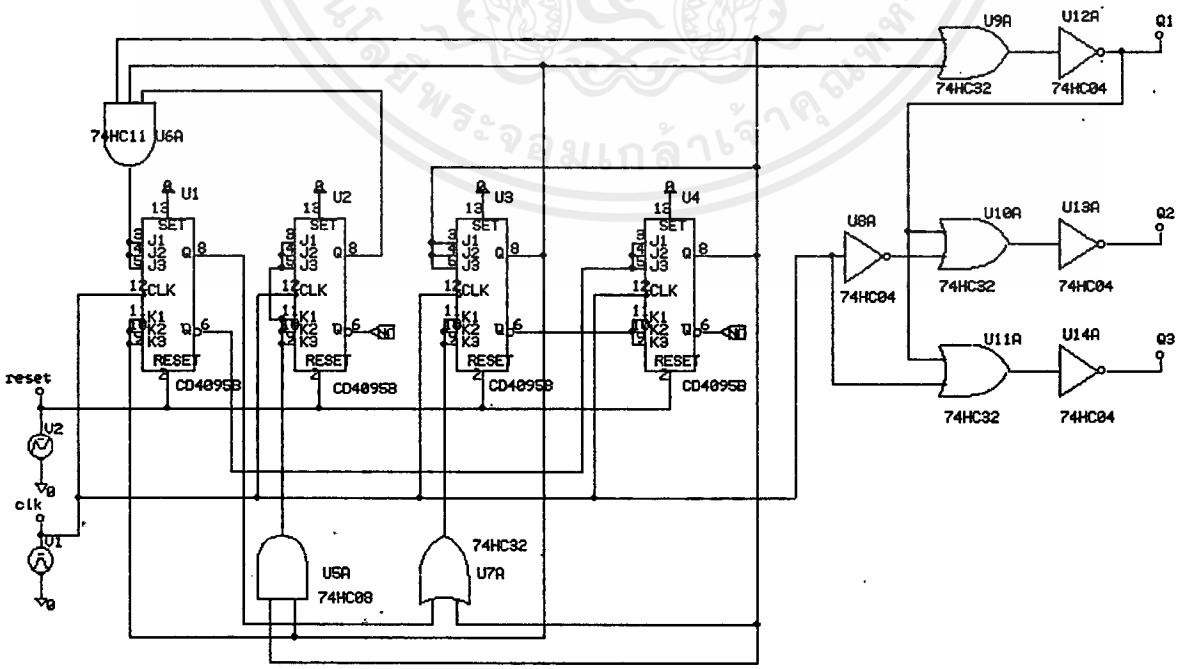
# บทที่ 5
# ผลการทดลอง

## 5.1 ผลการวิเคราะห์วงจรด้วยโปรแกรม Pspice

ผลการทดลองที่ทำการทดลองบนโปรแกรม Pspice ทั้งอัลกอริธึมแบบบวก และอัลกอริธึมแบบลบซึ่งทำการทดลองโดยใช้โมเดลของออปแอมป์ในอุดมคติ สวิตช์ใช้โมเดล S-break ซึ่งขณะที่เปิดวงจรจะมีความต้านทาน 1 เมกกะโอห์ม และในขณะปิดวงจรจะมีความต้านทานเท่ากับ 1 โอห์ม ตัวเก็บประจุทุกตัวใช้ค่า 0.01 ไมโครฟารัดที่ค่า C3 จะใช้ 0.005 ไมโครฟารัดโดยทำการทดลองที่ค่าเต็มสเกลตั้งแต่ค่า 1 โวลท์ จนถึง 5 โวลท์ ซึ่งทำการวิเคราะห์ที่ความถี่ $100KH_z$ ในส่วนของวงจรสร้างสัญญาณนาฬิกาควบคุมได้ใช้ J-K Flip-Flop เบอร์ CD4095 ซึ่งเป็นชนิด J-FET และเกทต่างๆ ในการนำมาควบคุมสวิทช์ต่างๆ

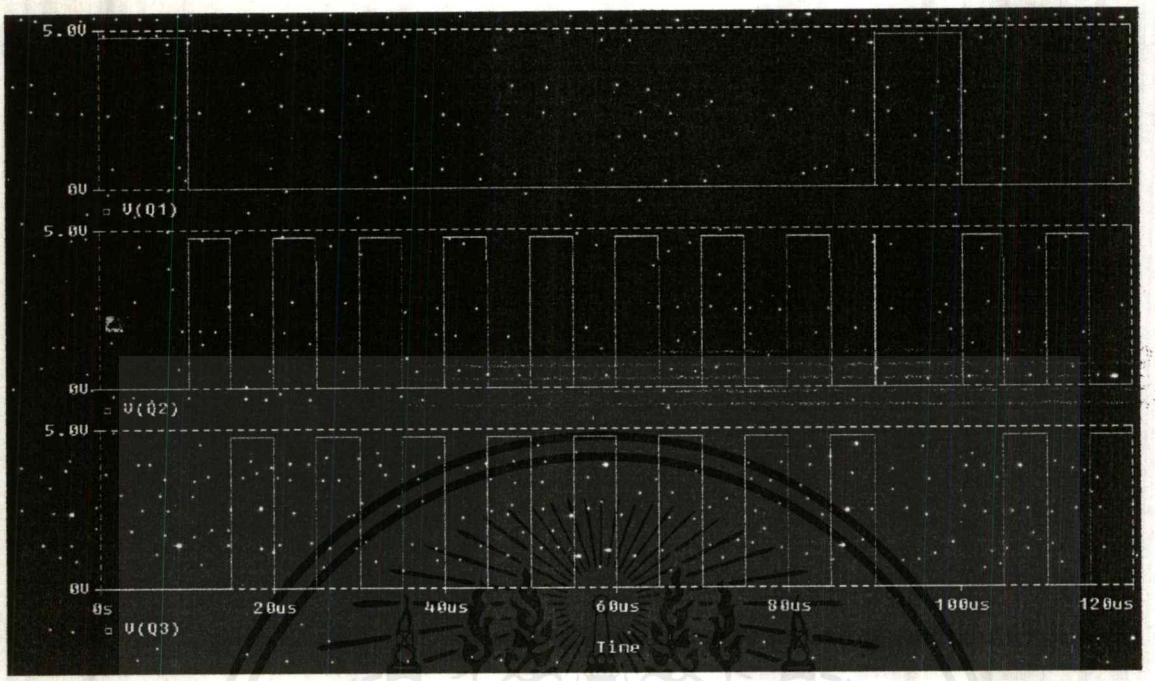
## 5.2 วงจรอัลกอริธึมแบบบวก

ผลการเลียนแบบวงจร SAADC แบบบวกด้วยโปรแกรม Pspice โดยได้แสดงในส่วนต่างๆ ของวงจรที่อยู่ภายใต้การแปลงสัญญาณ แบ่งออกเป็นวงจรกำเนิดสัญญาณนาฬิกาที่ใช้ในการควบคุมสวิทช์ต่างๆภายในวงจร และวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลโดยใช้สวิตช์คาปาซิเตอร์พร้อมทั้งรูปคลื่นในการแปลงสัญญาณ

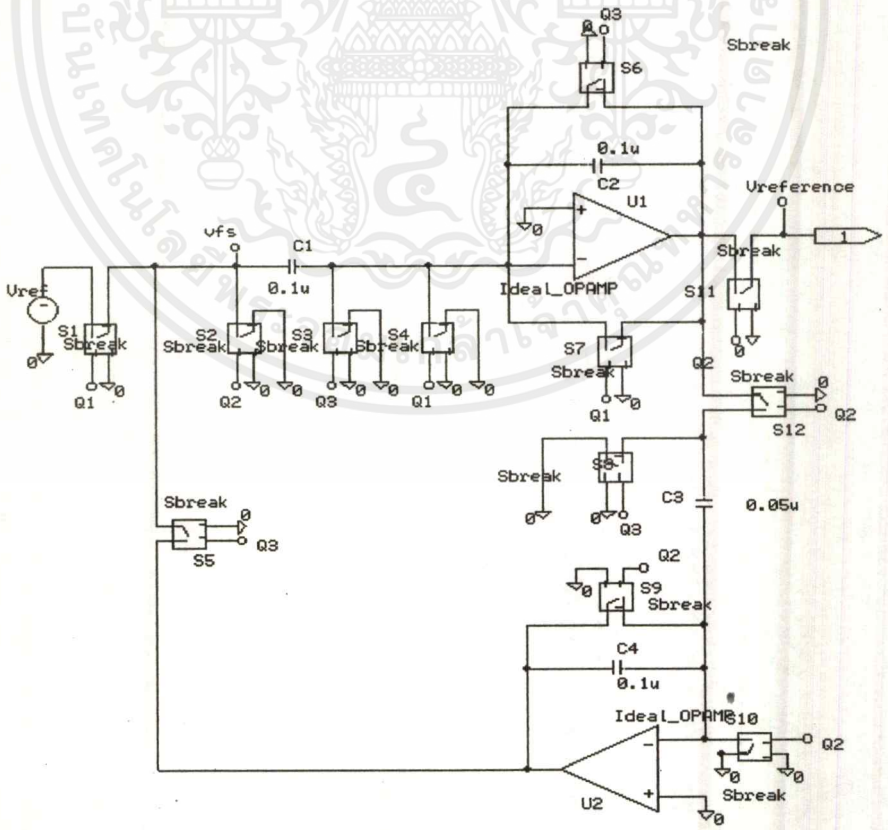



**รูปที่ 5.1 แสดงวงจรสร้างสัญญาณ clock ของอัลกอริธึมแบบบวกที่สร้างจาก Schematics**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

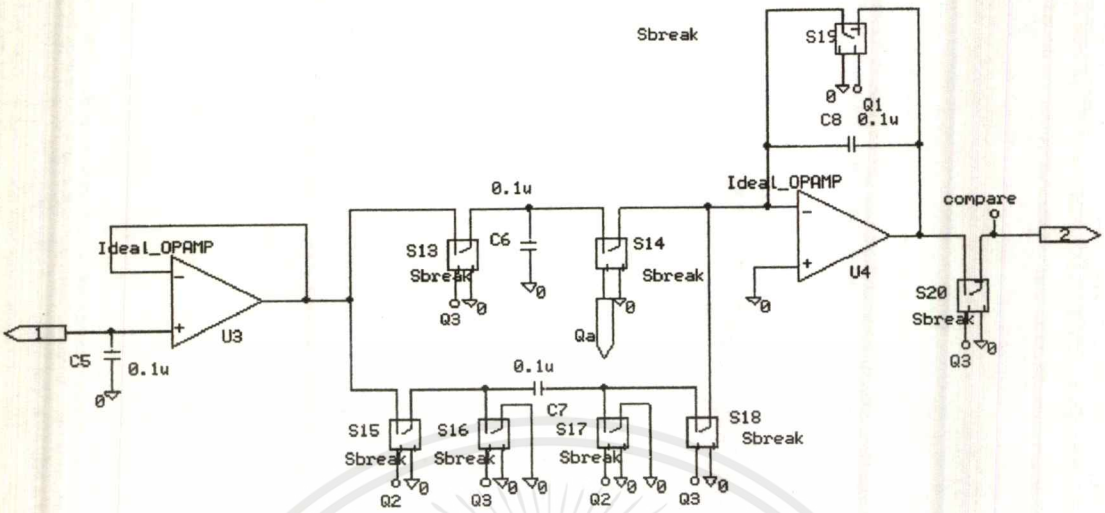



**รูปที่ 5.2 แสดงสัญญาณนาฬิกาของอัลกอริธึมแบบบวกที่ทำการ Simulate บนโปรแกรม Pspice**

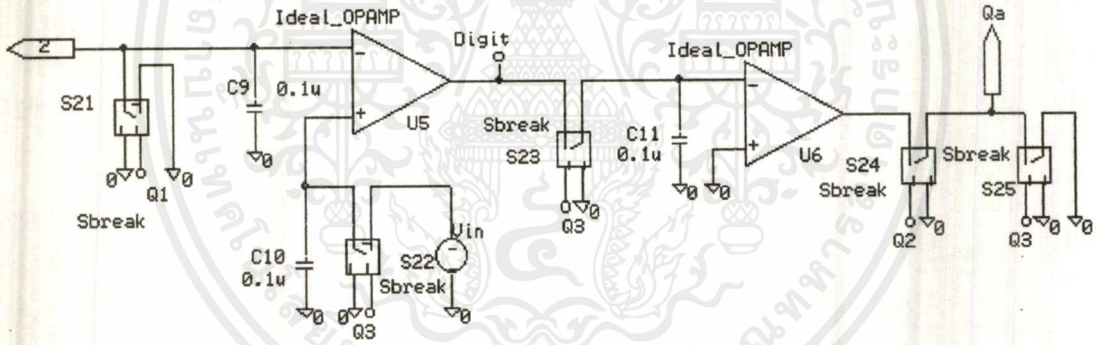



**รูปที่ 5.3 แสดงส่วนของวงจรกำเนิดสัญญาณอ้างอิงที่สร้างมาจาก Schematics**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



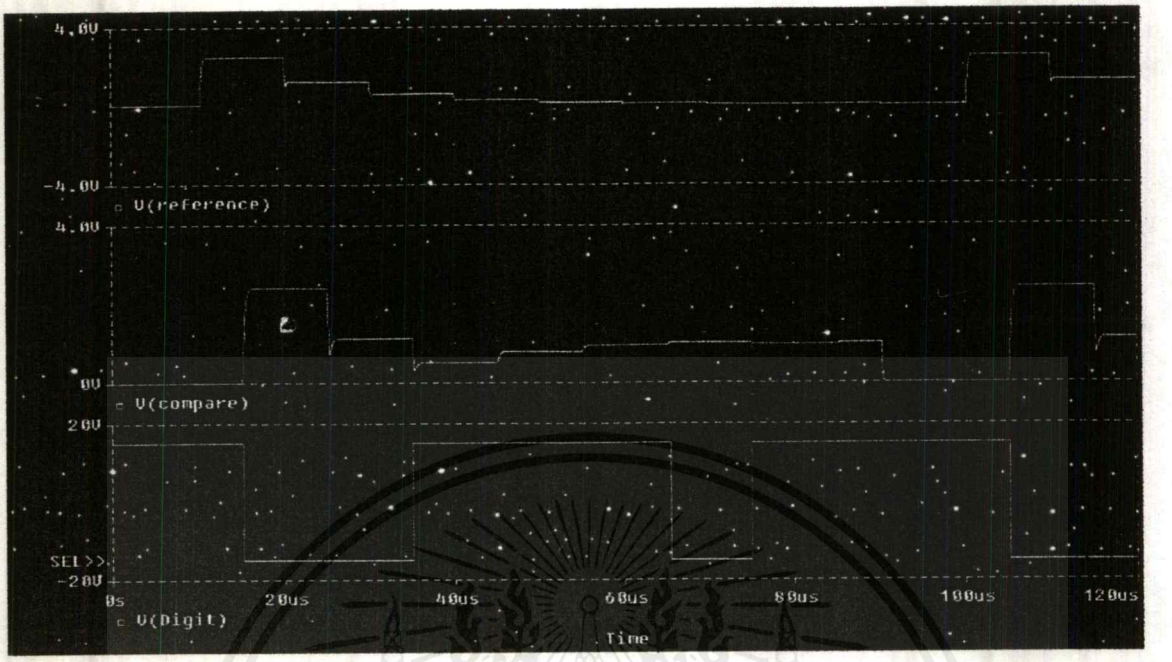

**รูปที่ 5.4 แสดงวงจรสัญญาณเปรียบเทียบที่สร้างมาจาก Schematics**




**รูปที่ 5.5 แสดงวงจรประมวลผลที่สร้างมาจาก Schematics**

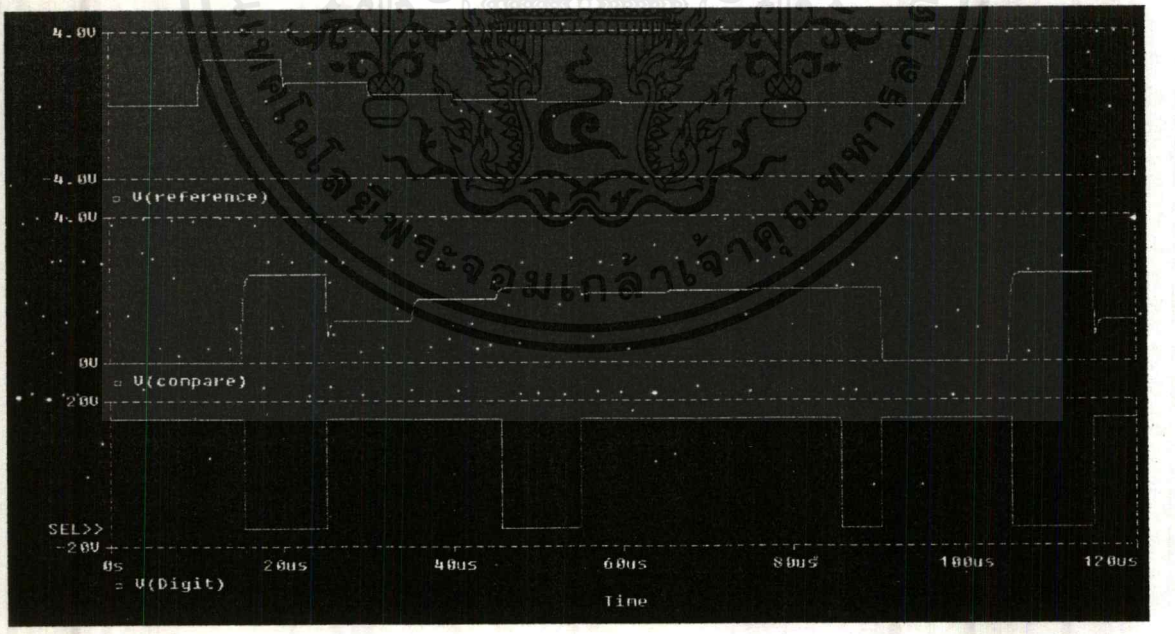
ผลการเลียนแบบวงจรด้วยโปรแกรม Pspice โดยได้แบ่งการแสดงสัญญาณออกเป็น 3 ส่วน คือในส่วนบนได้แสดงเป็นสัญญาณอ้างอิง ส่วนกลางแสดงเป็นสัญญาณประมวลผลแบบมีเงื่อนไข และในส่วนสุดท้ายแสดงเป็นสัญญาณอนาลอกที่ทำได้ทำการแปลงเป็นสัญญาณดิจิตอลและใช้สัญญาณควบคุม Q1 , Q2 และ Q3 ในการควบคุมการทำงานของสวิตช์ในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 5.6 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบบวก**

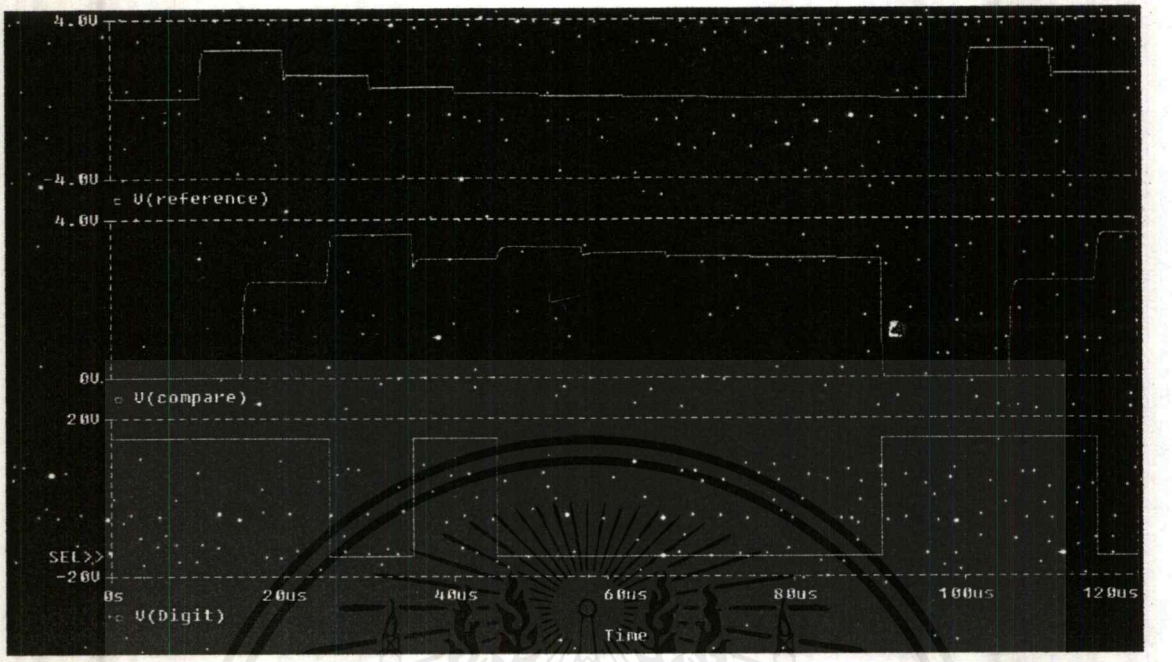
**Vin = 1V และค่าของเอาต์พุต = "0011 1011" หรือมีค่าเท่ากับ 1.1523V**




**รูปที่ 5.7 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบบวก**

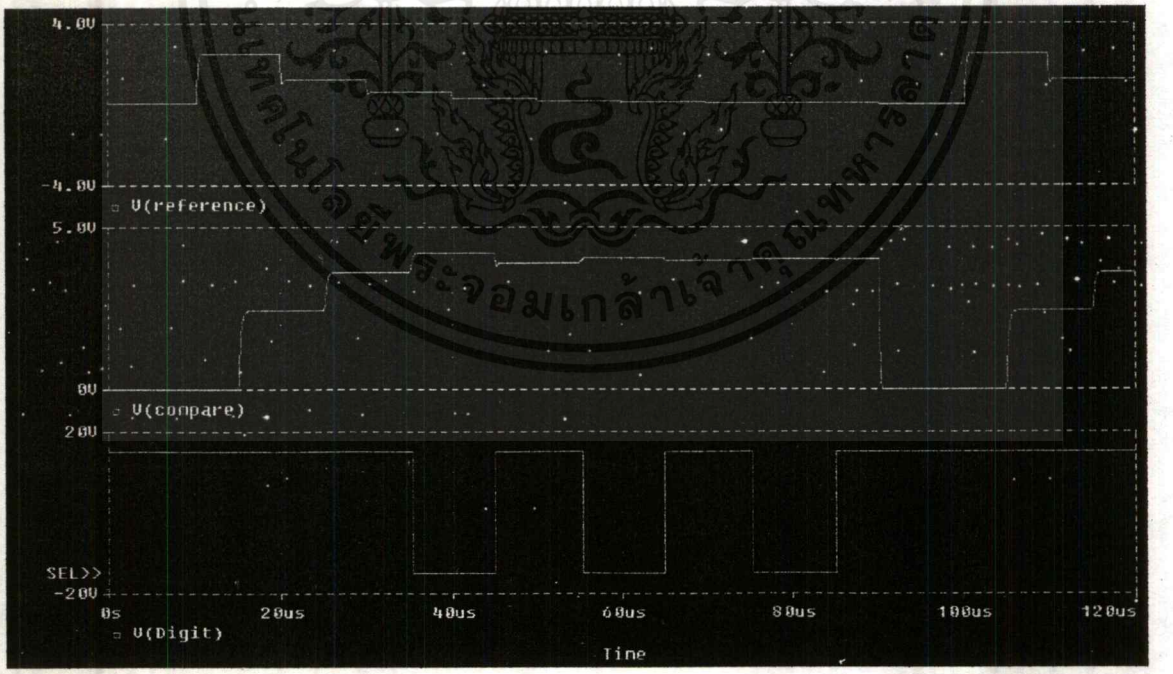
**Vin = 2V และค่าของเอาทต์พุต = "0110 1110" หรือมีค่าเท่ากับ 2.14843V**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 5.8 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบบวก**

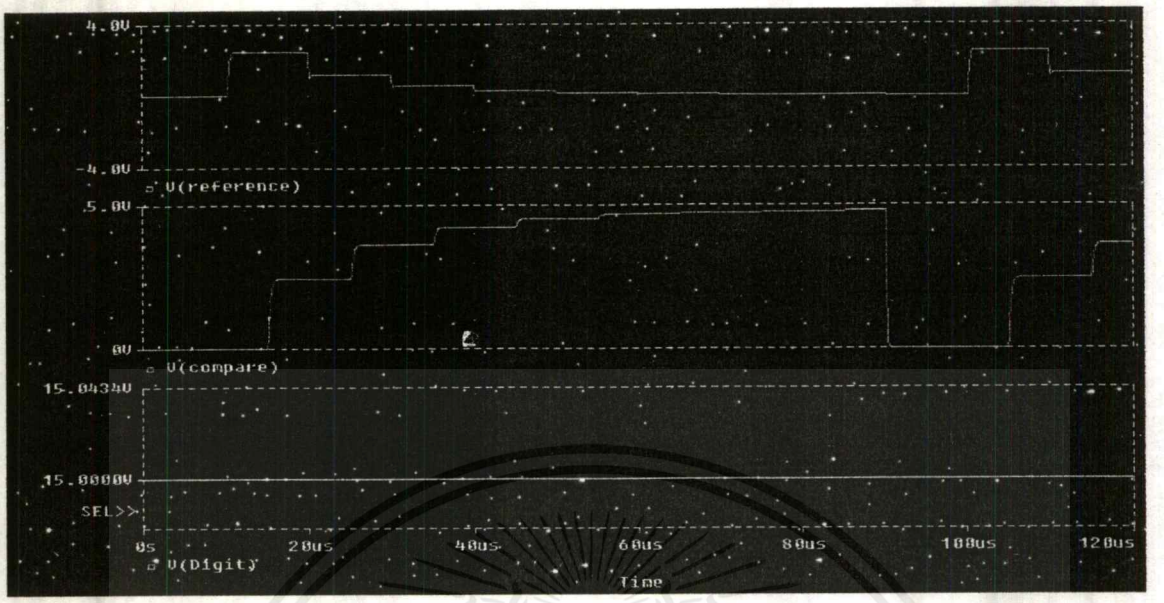
**Vin = 3V และค่าของเอาต์พุต = "1010 0000" หรือมีค่าเท่ากับ 3.125V**




**รูปที่ 5.9 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบบวก**

**Vin = 4V และค่าของเอาต์พุต = "1101 0101" หรือมีค่าเท่ากับ 4.1601V**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

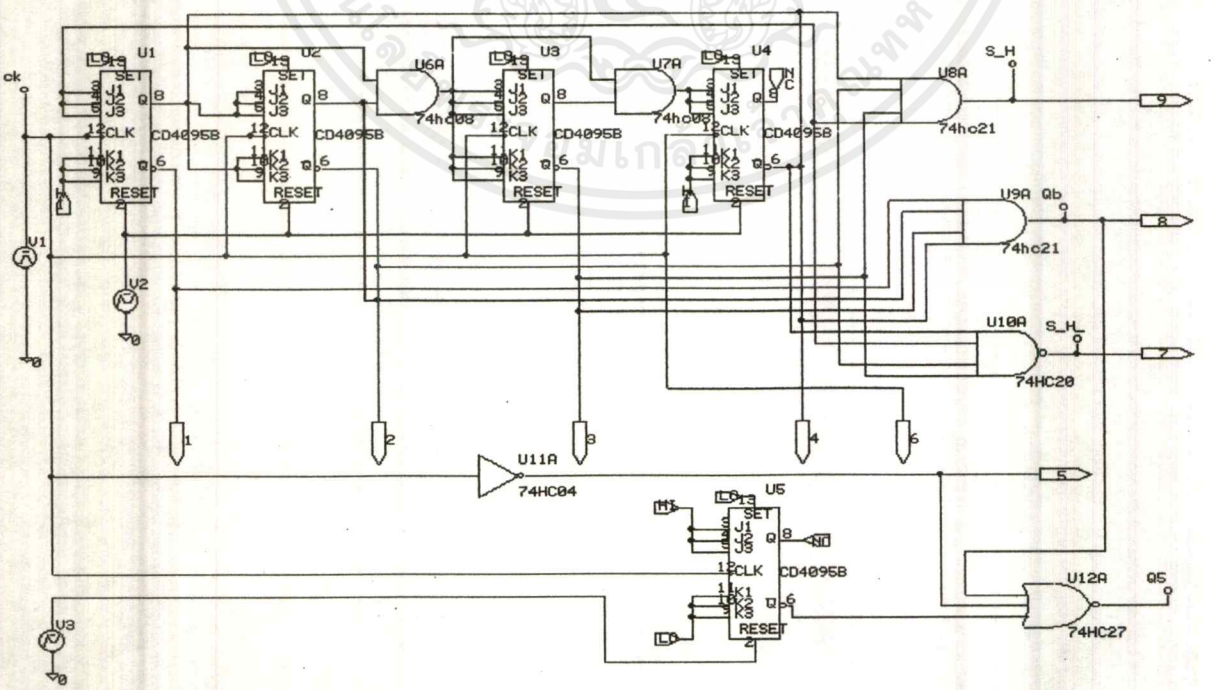



**รูปที่ 5.10 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบบวก**

**Vin = 5V และค่าของเอาทต์พุต = "1111 1111" หรือมีค่าเท่ากับ 4.98V**

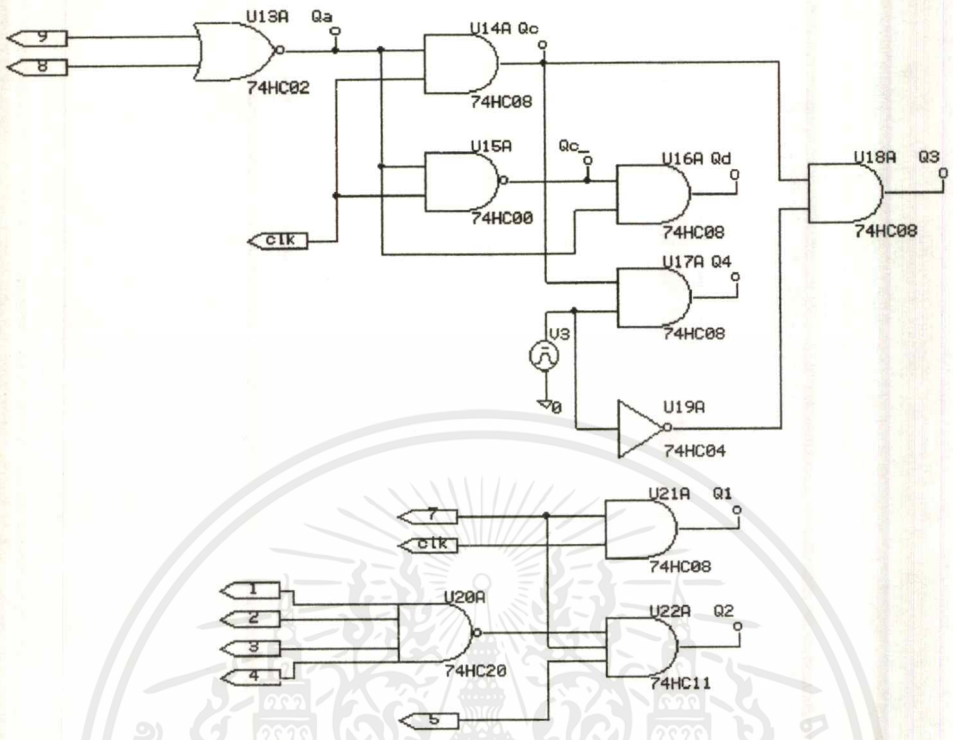
## 5.3 วงจรอัลกอริธึมแบบลบ

ใช้สัญญาณควบคุม S_H , Qa , Qb , Qc ,Qc_ , Qd , Q1 , Q2 , Q3 , Q4 และ Q5 ในการควบคุมการทำงานของสวิทช์ในวงจร

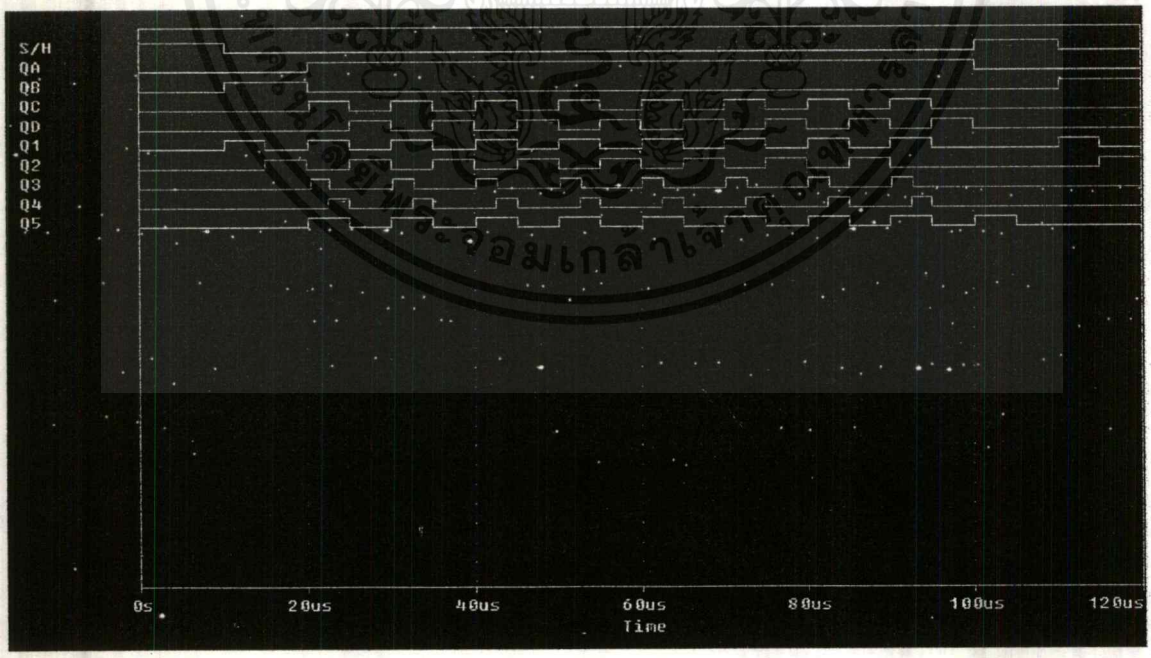



**รูปที่ 5.11 แสดงวงจรสร้างสัญญาณ clock ของอัลกอริธึมแบบลบที่สร้างจาก Schematics**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

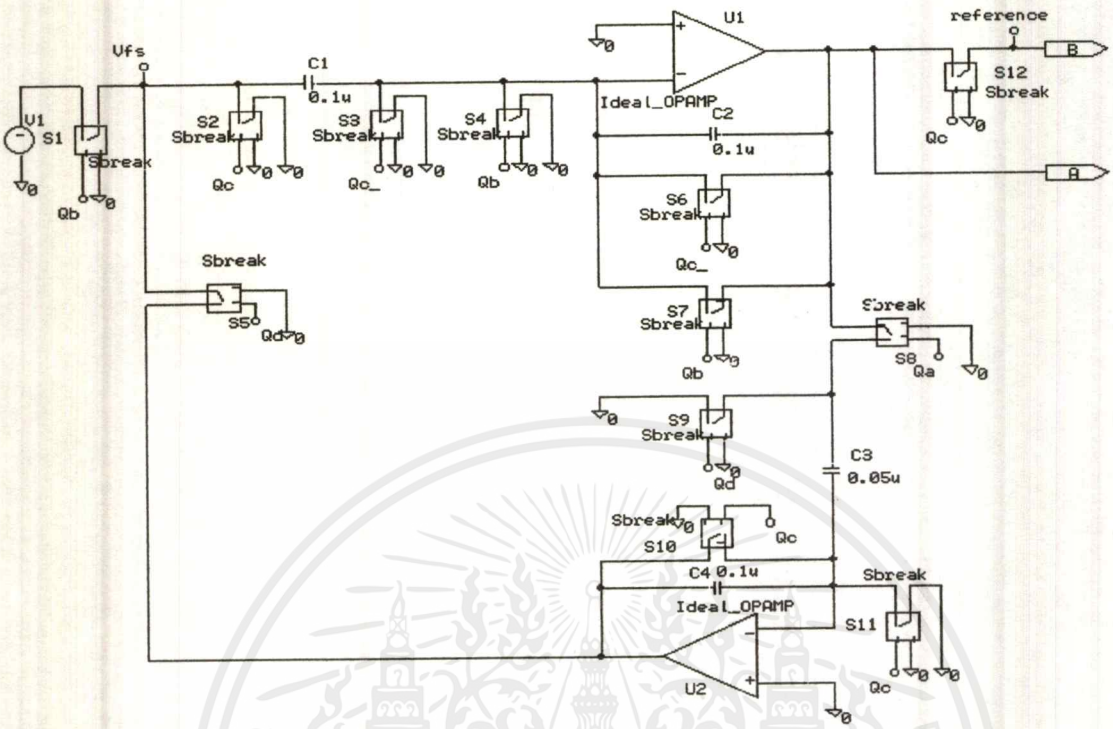



**รูปที่ 5.12 (ต่อ)แสดงวงจรสร้างสัญญาณ clock ของอัลกอริธึมแบบลบที่สร้างจาก Schematics**

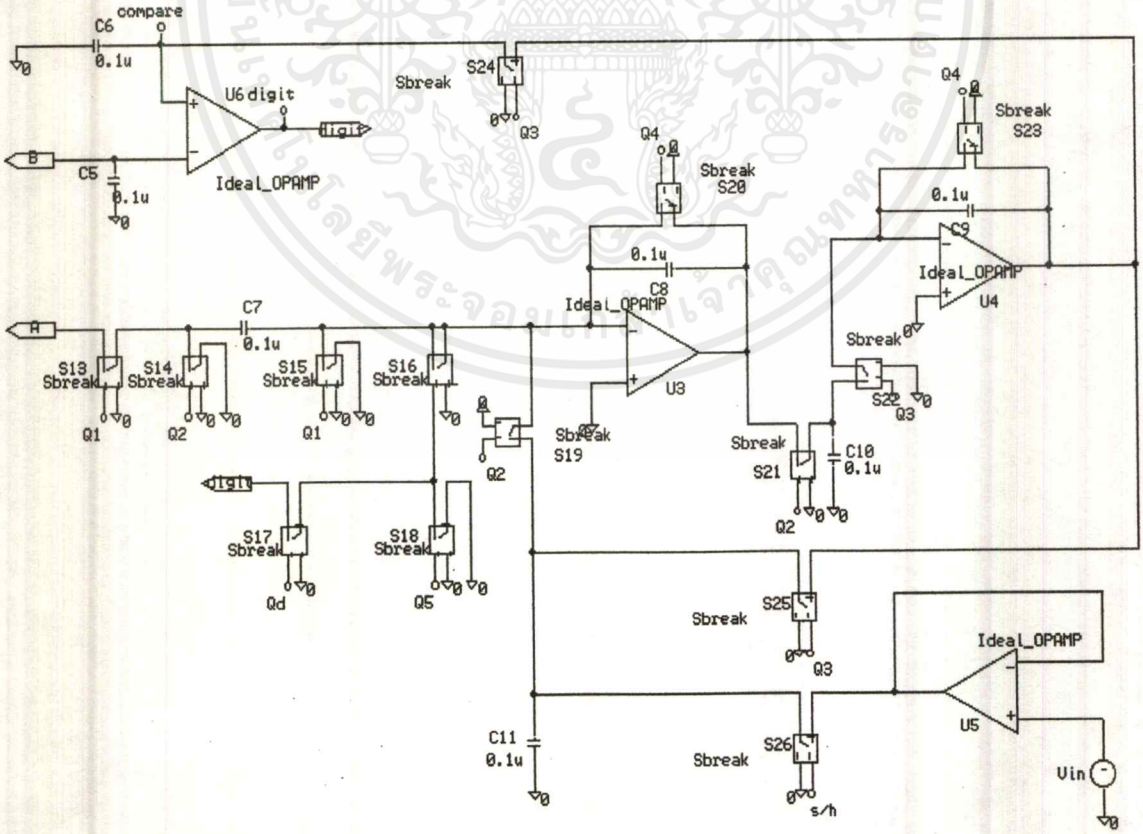



**รูปที่ 5.13 แสดงสัญญาณที่ใช้ในการควบคุมสวิทช์ของวงจร อัลกอริธึมแบบลบ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



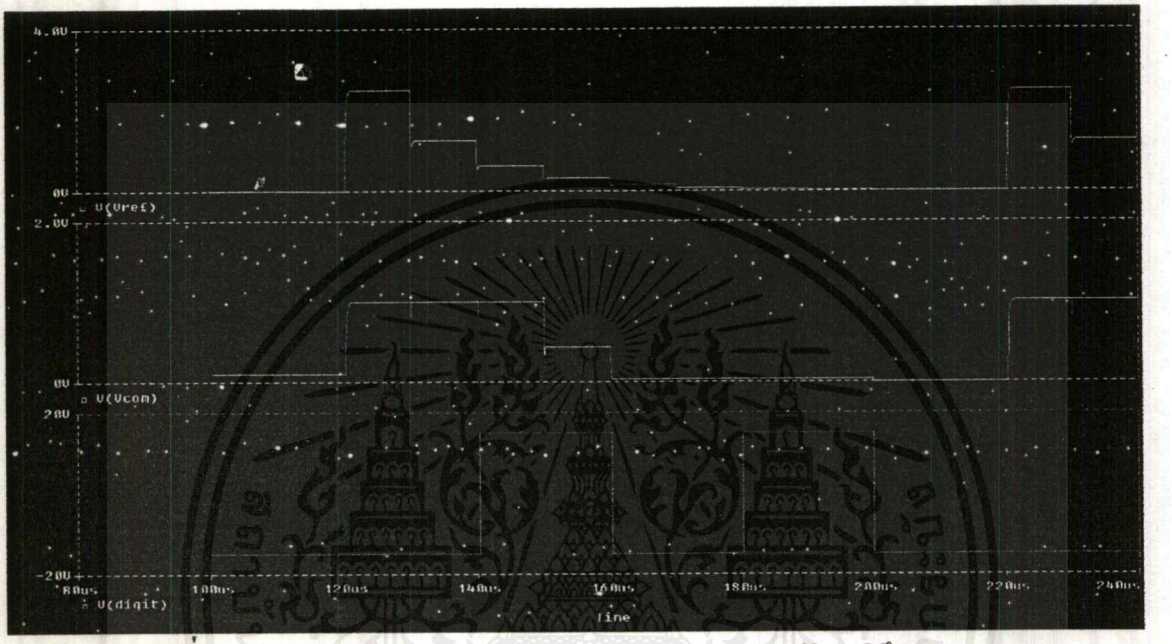

**รูปที่ 5.14 แสดงส่วนของวงจรกำเนิดสัญญาณอ้างอิงที่สร้างมาจาก Schematics**




**รูปที่ 5.15 แสดงส่วนของวงจรเปรียบเทียบสัญญาณและวงจรประมวลผลที่สร้างมาจาก Schematics**

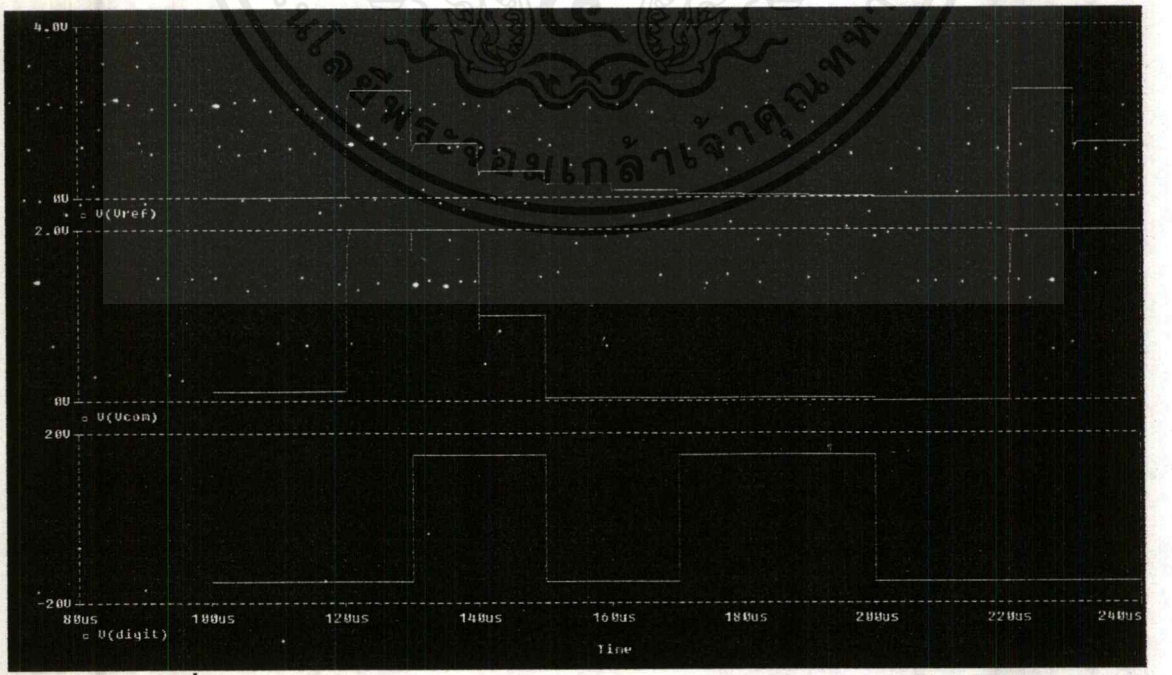
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการเลียนแบบวงจรด้วยโปรแกรม Pspice โดยได้แบ่งการแสดงสัญญาณออกเป็น 3 ส่วน คือในส่วนบนได้แสดงเป็นสัญญาณอ้างอิง ส่วนกลางแสดงเป็นสัญญาณประมวลผลและในส่วนสุดท้ายแสดงเป็นสัญญาณอนาลอกที่ทำได้ทำการแปลงเป็นสัญญาณดิจิตอลและใช้สัญญาณควบคุม S/H , QA , QB , QC , QC_ , QD , Q1 , Q2 , Q3 , Q4 และ Q5 ในการควบคุมการทำงานของสวิตช์ในวงจร




**รูปที่ 5.16 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบลบ**

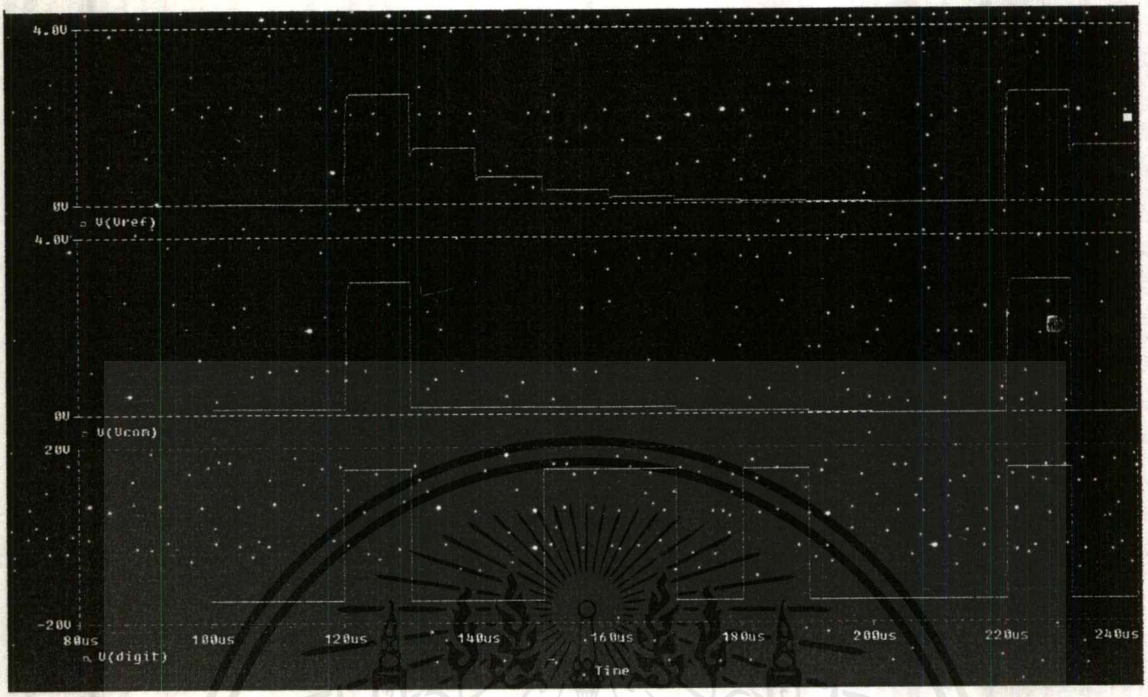
**Vin = 1V และค่าของเอาต์พุต = "0011 0011" หรือมีค่าเท่ากับ 0.9961V**




**รูปที่ 5.17 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบลบ**

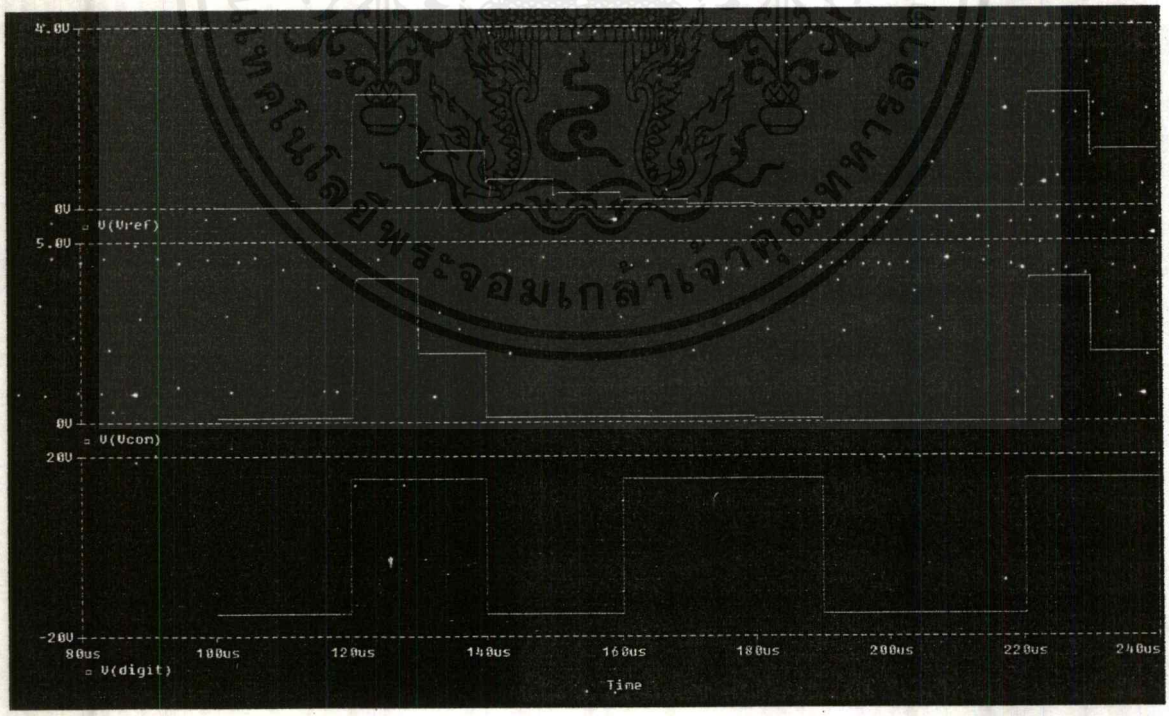
**Vin = 2V และค่าของเอาต์พุต = "0110 0111" หรือมีค่าเท่ากับ 2.0117V**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 5.18 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบลบ**

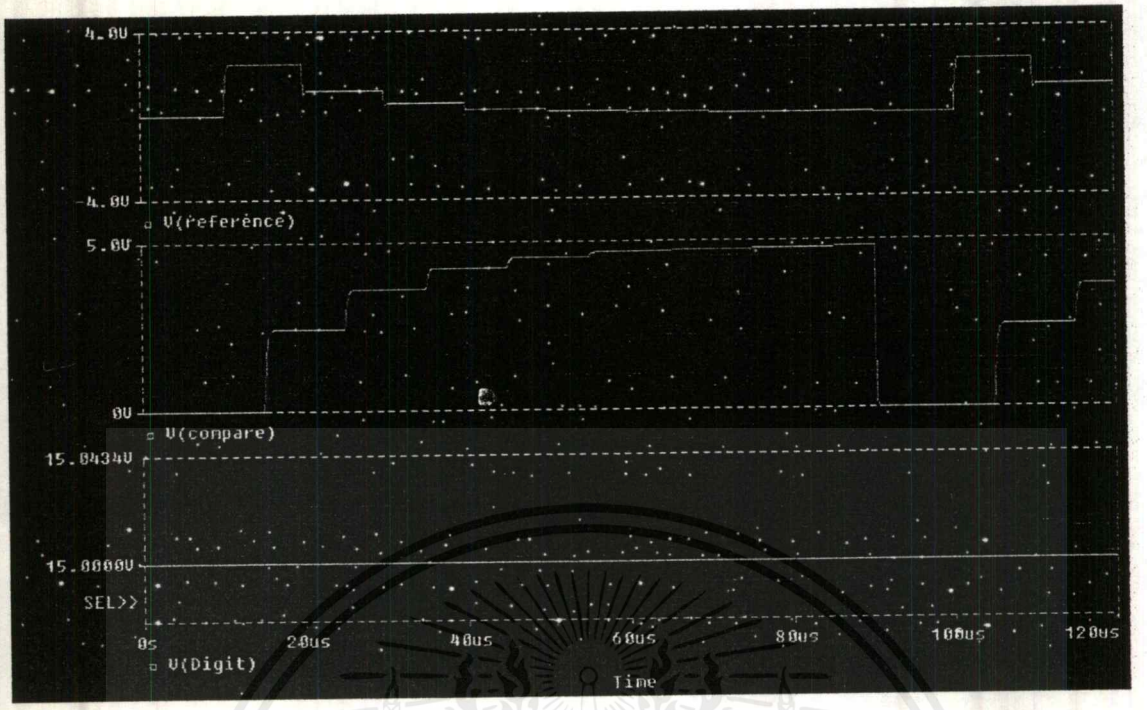
**Vin = 3V และค่าของเอาต์พุต = "1001 1010" หรือมีค่าเท่ากับ 3.0078V**




**รูปที่ 5.19 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบลบ**

**Vin = 4V และค่าของเอาต์พุต = "1100 1110" หรือมีค่าเท่ากับ 4.0234V**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



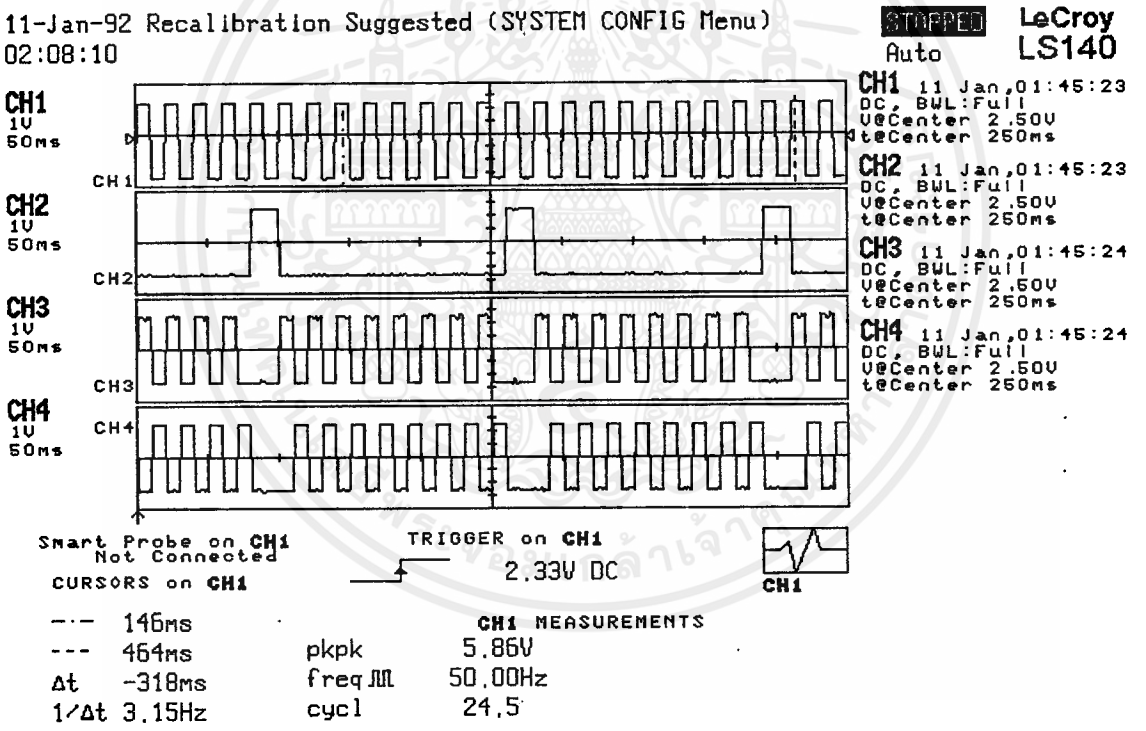

**รูปที่ 5.20 แสดงผลของการ Simulate ของวงจร SAADC อัลกอริธึมแบบลบ**
**Vin = 5V และค่าของเอาต์พุต = "1111 1111" หรือมีค่าเท่ากับ 4.9804V**

## 5.4 ผลการทดลองวงจรจริง

จากที่ทำการทดลองบนวงจร Pspice ทั้งอัลกอริธึมแบบบวกและอัลกอริธึมแบบลบ ดังในรูปที่ 5.3 , รูปที่ 5.4 , รูปที่ 5.5 , รูปที่ 5.14 และรูปที่ 5.15 ตามลำดับทำให้ทราบได้ว่าวงจรอัลกอริธึมแบบบวกดีกว่าวงจรอัลกอริธึมแบบลบ เนื่องจากวงจรอัลกอริธึมแบบบวกใช้สัญญาณนาฬิกาควบคุมสวิตช์น้อยกว่าทำให้การสร้างวงจรกำเนิดสัญญาณนาฬิกาควบคุมสวิตช์สร้างได้ง่ายกว่าและไม่ยุ่งยากซับซ้อน ดังนั้นจึงเหมาะที่จะนำมาสร้างเป็นวงจรใช้งานจริง โดยที่ในส่วนของวงจรกำเนิดสัญญาณนาฬิกาใช้ J-K Flip Flop และ GATE ชนิด CMOS ที่เป็นชนิด High Speed และในส่วนของวงจรอัลกอริธึมแบบบวกจะประกอบไปด้วย OpAmp LF351 สวิทช์ใช้ IC เบอร์ HCF4066 ค่า C ทุกตัวใช้ค่าเท่ากับ 0.01 ไมโครฟารัด ยกเว้น $C_3$ มีค่าเท่ากับ 0.0056 ไมโครฟารัดซึ่งผลการทดลองแสดงได้ดังรูปต่อไปนี้

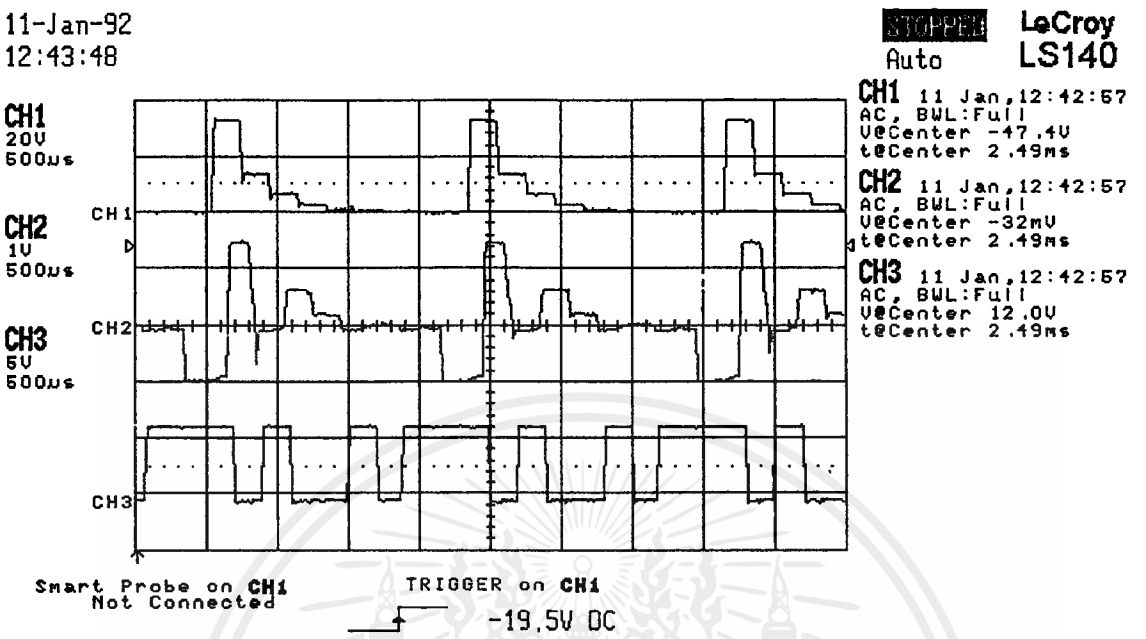
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากที่ได้ทำการทดลองต่อวงจรจริงทำให้ทราบว่า เมื่อป้อนแรงดันอินพุตขนาด 1 โวลท์จะเกิดค่าแรงดันผิดพลาดออกมาประมาณ 0.46 โวลท์และเมื่อป้อนค่าแรงดันทางอินพุตประมาณ 1 ถึง 1.5 โวลท์จะเกิดค่าแรงดันผิดพลาดประมาณ 0.45 โวลท์เช่นกัน เมื่อป้อนแรงดันอินพุตที่ 2 โวลท์จะมีค่าแรงตันผิดพลาดประมาณ 0.14 โวลท์ เมื่อป้อนแรงดันอินพุตประมาณ 3 โวลท์จะมีค่าแรงดันผิดพลาดออกมาประมาณ 0.11 โวลท์ ที่แรงดันอินพุตประมาณ 4 โวลท์ จะเกิดค่าแรงดันผิดพลาดประมาณ -0.04 โวลท์และที่แรงดัน 5 โวลท์จะเกิดค่าแรงดันผิดพลาดประมาณ –0.36 โวลท์ ทั้งนี้อาจจะเกิดจากค่าการสูญเสียภายในตัวอุปกรณ์ได้ทำให้ผลการทดลองได้แค่ค่าใกล้เคียงกับที่ทำการทดลองบนโปรแกรม Pspice



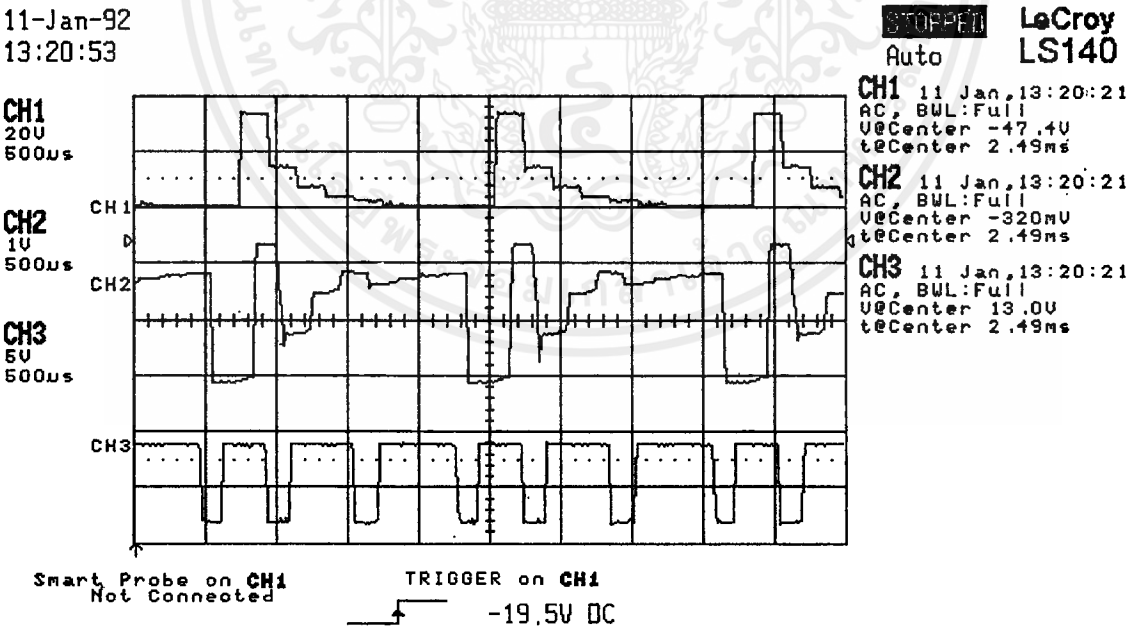

**รูปที่ 5.21 แสดงสัญญาณนาฬิกาควบคุมสวิตช์ของวงจรอัลกอริธึมแบบบวกที่สร้างขึ้นโดยที่สัญญาณ CH1 คือสัญญาณ clock และ CH2, CH3, CH4 คือสัญญาณ Q1 , Q2 และ Q3 ตามลำดับ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 5.22 แสดงสัญญาณอ้างอิง สัญญาณประมวลผลและสัญญาณที่ทำการแปลงแล้ว**

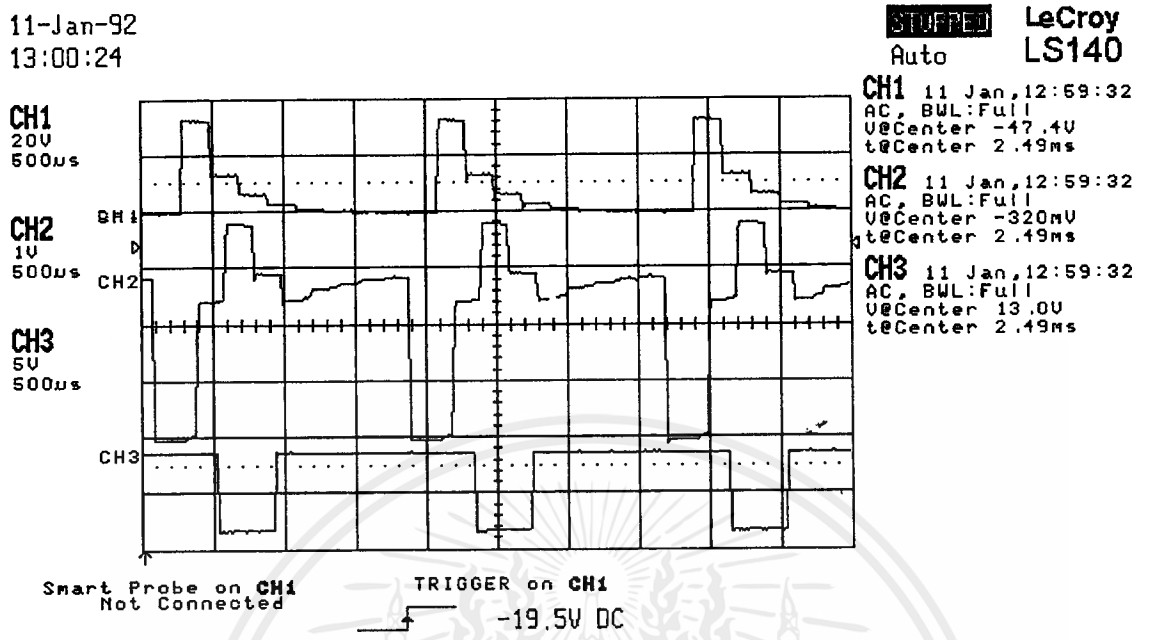
**โดยที่ Vin = 1V ได้สัญญาณ Output = "0100 1011" หรือ 1.4648 V**




**รูปที่ 5.23 แสดงสัญญาณอ้างอิง สัญญาณประมวลผลและสัญญาณที่ทำการแปลงแล้ว**

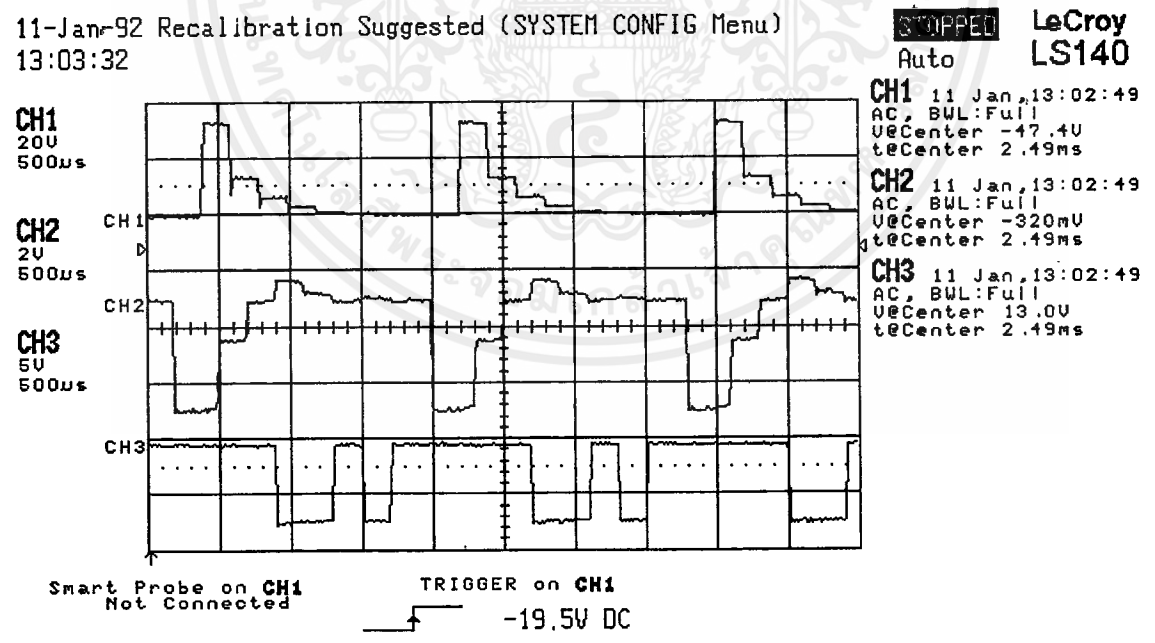
**โดยที่ Vin = 2V ได้สัญญาณ Output = "0110 1110" หรือ 2.1484 V**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 5.24 แสดงสัญญาณอ้างอิง สัญญาณประมวลผลและสัญญาณที่ทำการแปลงแล้ว**

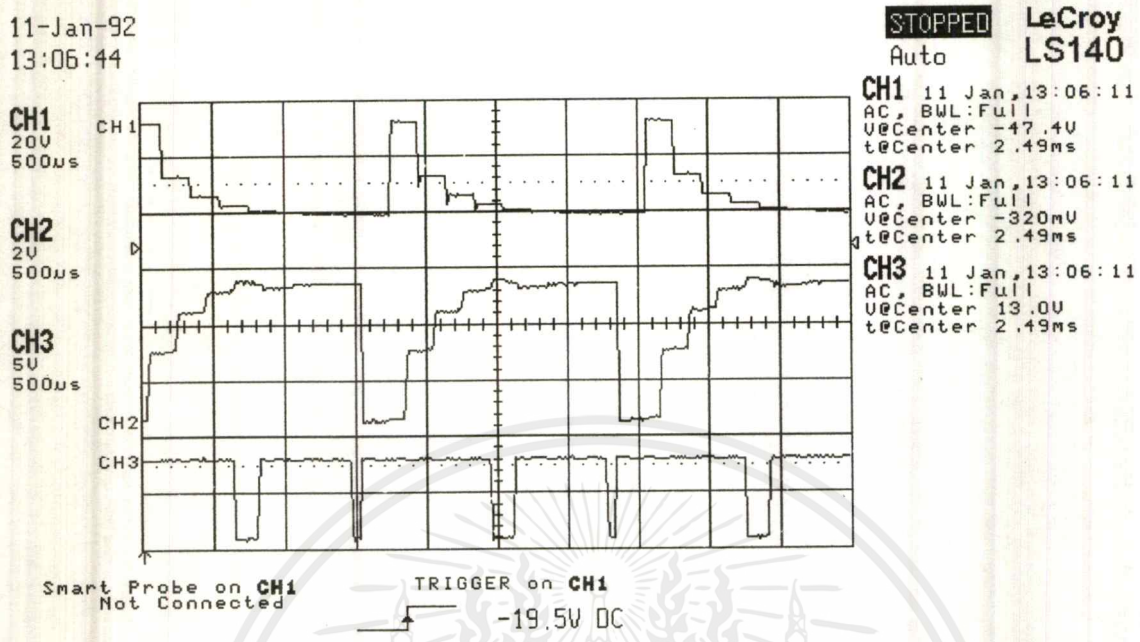
**โดยที่ Vin = 3V ได้สัญญาณ Output = "1001 1111" หรือ 3.1054 V**



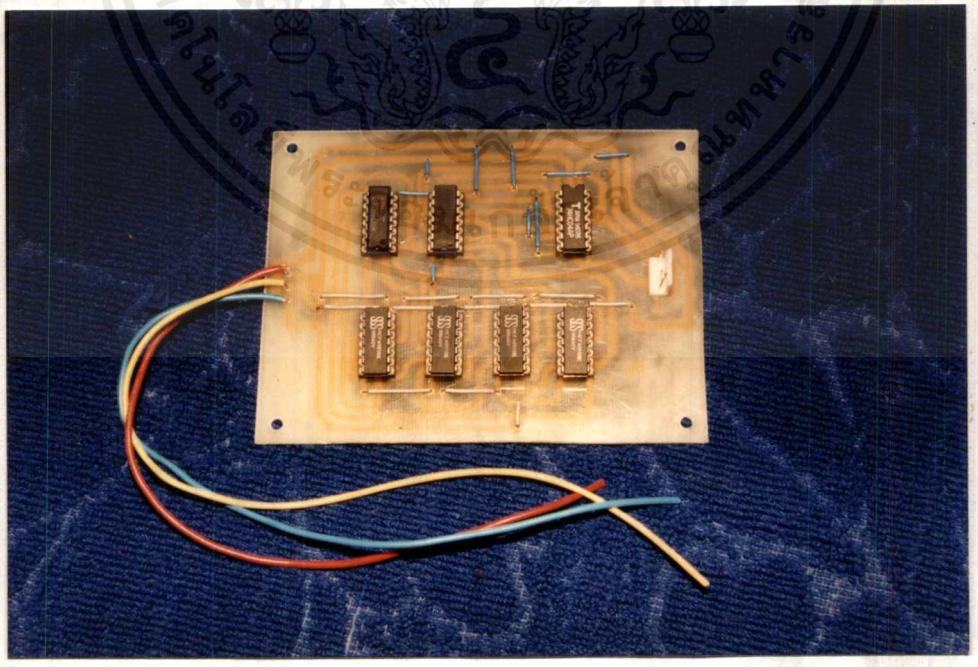

**รูปที่ 5.25 แสดงสัญญาณอ้างอิง สัญญาณประมวลผลและสัญญาณที่ทำการแปลงแล้ว**

**โดยที่ Vin = 4V ได้สัญญาณ Output = "1100 1011" หรือ 3.9648 V**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

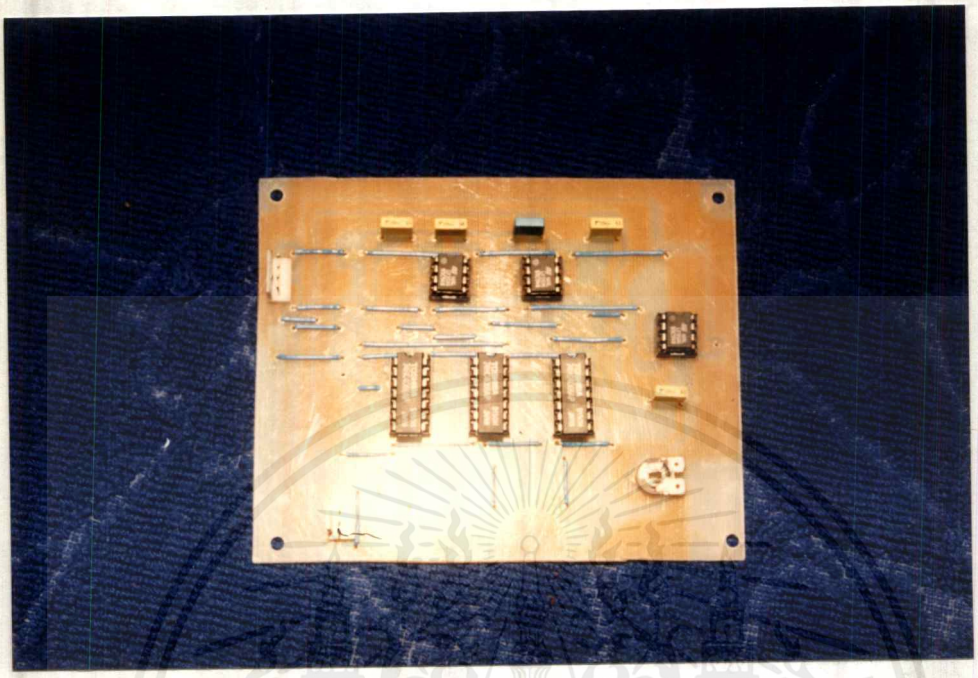



**รูปที่ 5.26 แสดงสัญญาณอ้างอิง สัญญาณประมวลผลและสัญญาณที่ทำการแปลงแล้ว**
**โดยที่ Vin = 5V ได้สัญญาณ Output = "1110 1110" หรือ 4.6484 V**

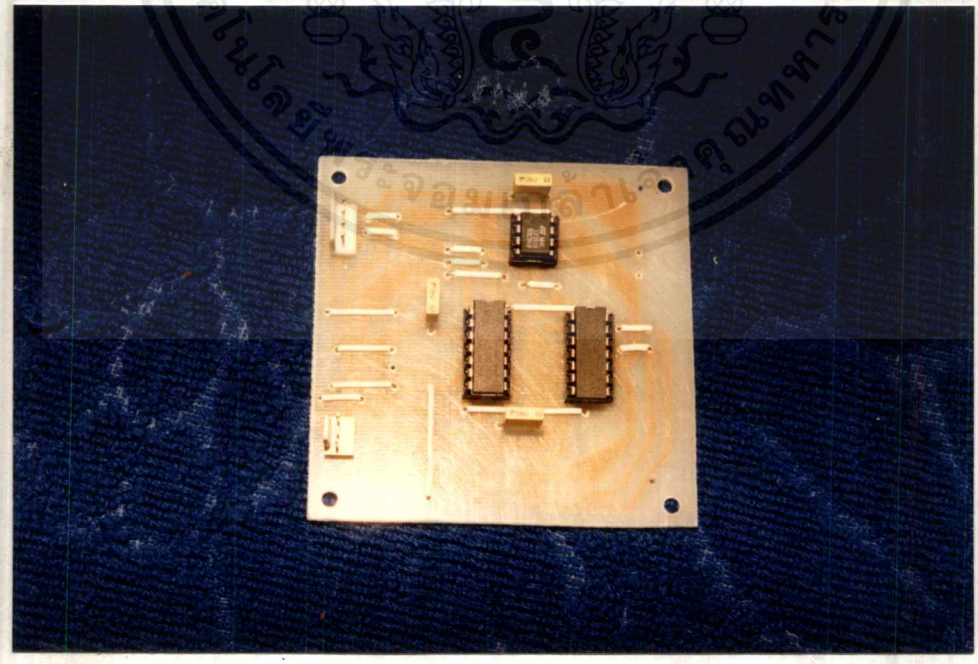


**รูปที่ 5.27 วงจรกำเนิดสัญญาณนาฬิกาควบคุมของอัลกอริธึมแบบบวก**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

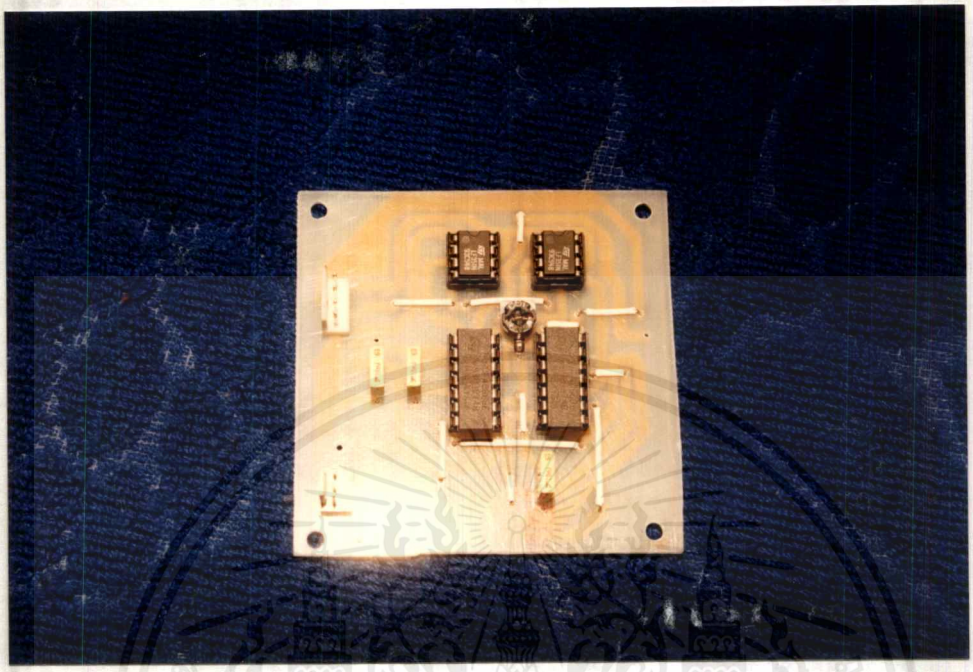


รูปที่ 5.28 วงจรกำเนิดสัญญาณอ้างอิงของอัลกอริธึมแบบบวก



รูปที่ 5.29 วงจรประมวลผลแบบมีเงื่อนไขของอัลกอริธึมแบบบวก

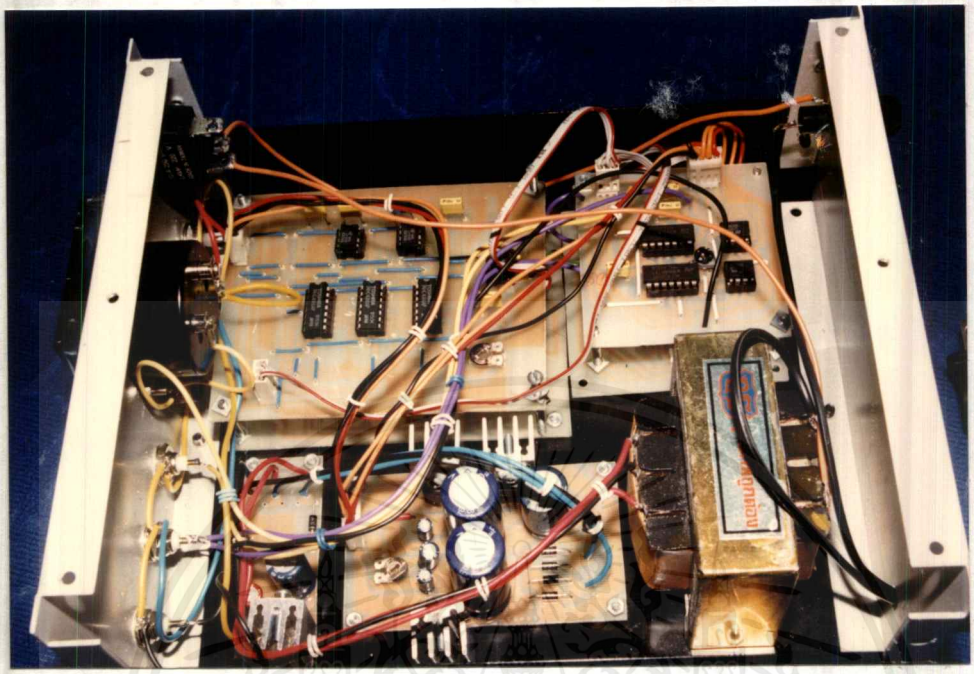
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**รูปที่ 5.30 วงจรเปรียบเทียบสัญญาณของอัลกอริธึมแบบบวก**

**รูปที่ 5.31 วงจรแปลงสัญญาณของอัลกอริธึมแบบบวกด้านหน้า**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**รูปที่ 5.32 วงจรแปลงสัญญาณของอัลกอริธึมแบบบวกด้านบน**

**รูปที่ 5.33 วงจรแปลงสัญญาณของอัลกอริธึมแบบบวกด้านหลัง**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 6
# สรุปผลการวิจัยและข้อเสนอแนะ

การแปลงสัญญาณอนาลอกเป็นดิจิตอลมีอยู่ด้วยกันหลายวิธีเช่นวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลความเร็วต่ำ ความเร็วปานกลางและความเร็วสูงเป็นต้น โดยที่ในแต่ละวิธีมีข้อดีและข้อเสียแตกต่างกันขึ้นอยู่กับการใช้งาน แต่ว่าได้มีอีกวิธีหนึ่งที่เริ่มได้รับความนิยมมากขึ้นคือวิธีการแปลงสัญญาณจากอนาลอกเป็นดิจิตอลโดยวิธีการประมาณค่าตามลำดับขั้น ปริญญานิพนธ์ฉบับนี้ได้กล่าวถึงวิธีการแปลงสัญญาณอนาลอกเป็นดิจิตอลโดยใช้วิธีการประมาณค่าตามลำดับขั้นซึ่งมีอยู่ด้วยกัน 2 แบบคือการประมาณค่าตามลำดับขั้นโดยใช้อัลกอริธึมแบบบวกและอัลกอริธึมแบบลบโดยรายละเอียดต่างๆจะเริ่มตั้งแต่บทที่ 2 เป็นต้นไป ซึ่งได้ทำการทดลองแปลงสัญญาณอนาลอกเป็นดิจิตอลขนาด 8 bit ดังนั้นระดับในการควอนไตซ์จะอยู่ที่ 256 ระดับและความถี่ที่ใช้ในการ Sampling จะมากกว่าความถี่ทางด้านอินพุต 2 เท่า ซึ่งวงจรทั้ง 2 แบบนี้จะให้ความละเอียดในการแปลงสัญญาณที่ค่อนข้างสูงซึ่งค่าความละเอียดในการแปลงสัญญาณจะอยู่ที่ $\frac{FS}{2^8}$ หรือจากการทดลองที่อินพุต 5 โวลท์ มีค่าผิดพลาดแค่เพียง 0.01953 โวลท์เท่านั้น แต่ว่าวงจรทั้ง 2 แบบจะแตกต่างกันตรงที่วงจรอัลกอริธึมแบบบวกจะใช้สัญญาณนาฬิกาในการควบคุมจำนวนน้อยเฟสกว่าอัลกอริธึมแบบลบมากทำให้การสร้างง่ายกว่า จากการที่ได้ทำการวิเคราะห์วงจรอัลกอริธึมทั้ง 2 แบบบนโปรแกรม Pspice นั้นให้ผลการแปลงสัญญาณใกล้เคียงกันมาก ดังนั้นจึงได้เลือก SAADC ของอัลกอริธึมแบบบวกมาทำการสร้างเป็นวงจรใช้งานจริง โดยผลการทดลองจากการสร้างวงจรจริงทำให้ทราบว่าการแปลงสัญญาณมีค่าใกล้เคียงกับที่ทดลองในโปรแกรม Pspice แต่จะแตกต่างกันตรงที่ว่าการสร้างวงจรใช้งานจริงจะเกิดการสูญเสียภายในตัวอุปกรณ์ส่วนหนึ่งและในส่วนของวงจรสร้างสัญญาณนาฬิกาควบคุมได้เลือก GATE ชนิด High speed มาทำการสร้างพบว่าจะเกิดแรงดัน spice ขึ้นมาที่ Q2 เป็นช่วงระยะเวลาสั้นๆแต่ว่าจะส่งผลกระทบในการแปลงสัญญาณน้อยมาก

การวิจัยนี้สามารถที่จะนำไปวิเคราะห์เพิ่มเติมโดยการนำวงจรไปพัฒนาเพิ่มขึ้นเช่นอาจจะเพิ่มการแปลงสัญญาณมากขึ้นเป็น 16 bit หรือ 32 bit ได้ ดังนั้นระดับในการควอนไตซ์ก็จะยิ่งเพิ่มมากขึ้นทำให้แรงดันออกมาผิดพลาดน้อยลงไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บรรณานุกรม

1. S. Ogawa and K. Watanabe, "A Switched capacitor Successive Appoximation A/D Convertor" , IEEE Trans. Instrumantation and Measurement , Vol.42 , Aug. 1993 , pp.847-853

2.ธงชัย มณีชูเกตุ , ปราโมทย์ วาดเขียน , วิวัฒน์ กิรานนท์ , วิภา แสงพิสิทธิ์ , "การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลโดยวิธีการประมาณค่าตามลำดับขั้นด้วยสวิทช์-คาปาซิเตอร์" , การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 18 , เล่ม 1 , 2538

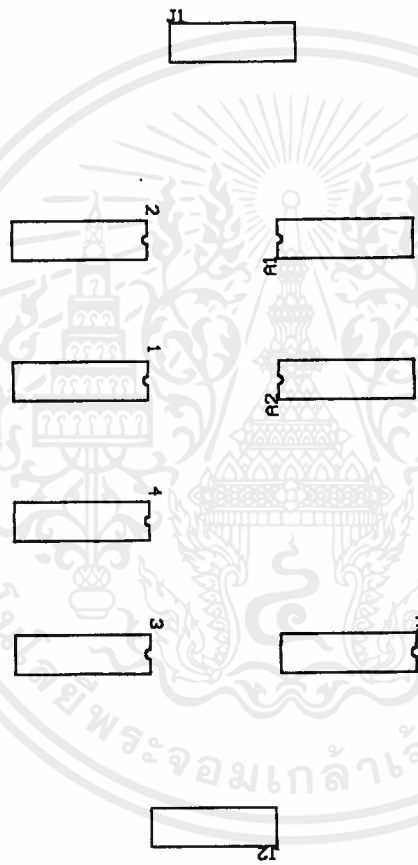
3. Roger L. Tokheim , "Counters" and "Using Digital Integrated circuit" and "D/A and A/D conversion" ,IEEE THERORY AND PROBLEMS OF DIGITAL PRINCIPLES , 1988 , pp143-158 , pp. 233-263, pp.294-311

4. มงคล ทองสงคราม , "วงจรรวมแบบดิจิตอล" , ทฤษฎีดิจิตอล , หน้า 220-242

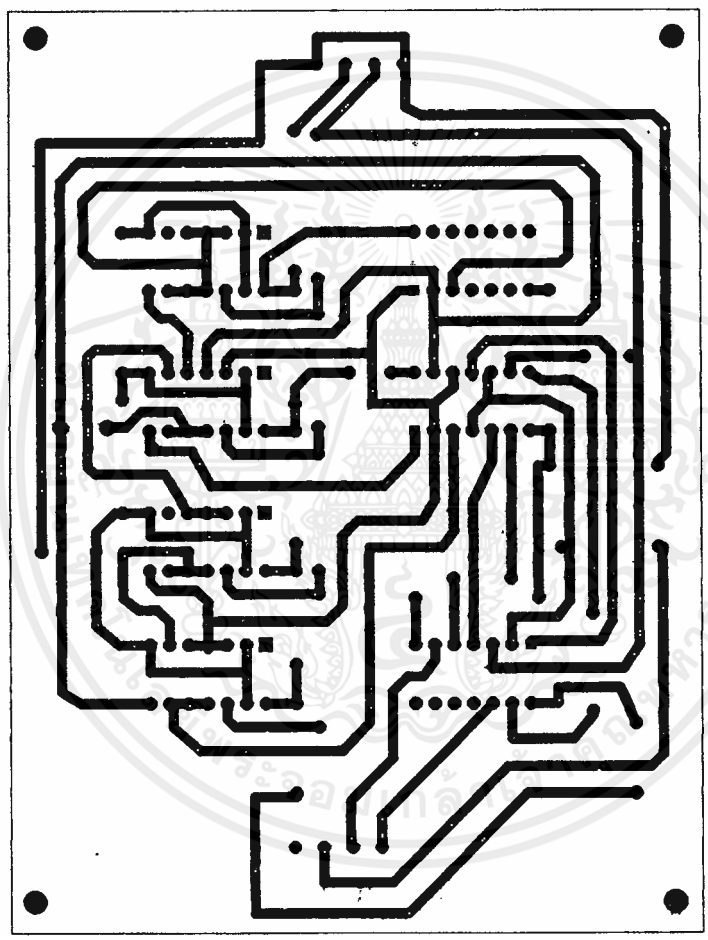
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก ก
# รายละเอียดของวงจร

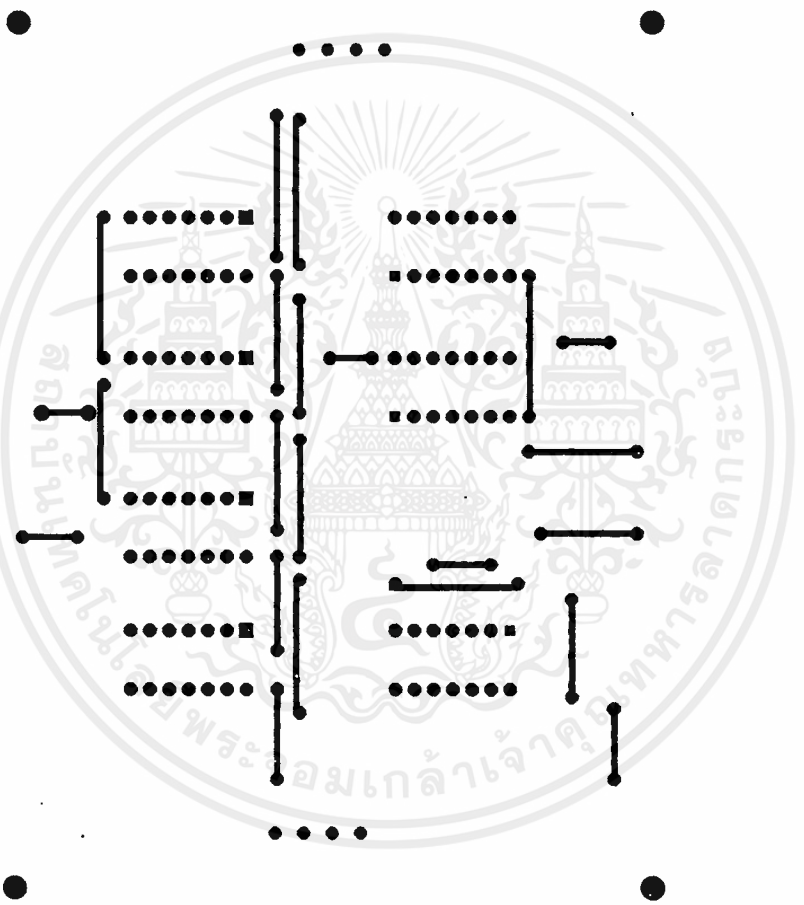
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



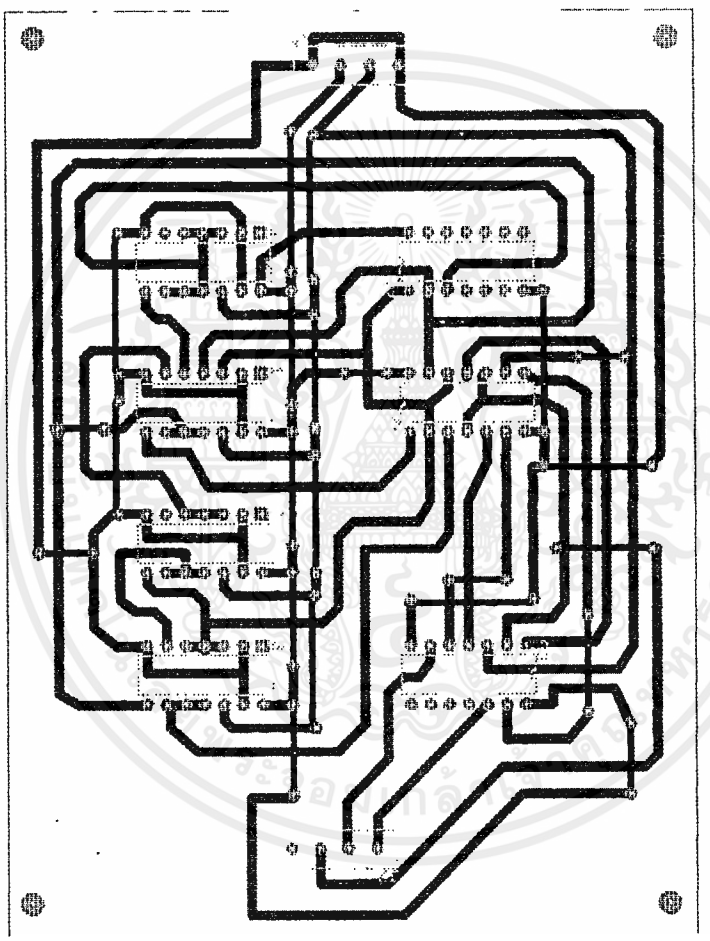

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



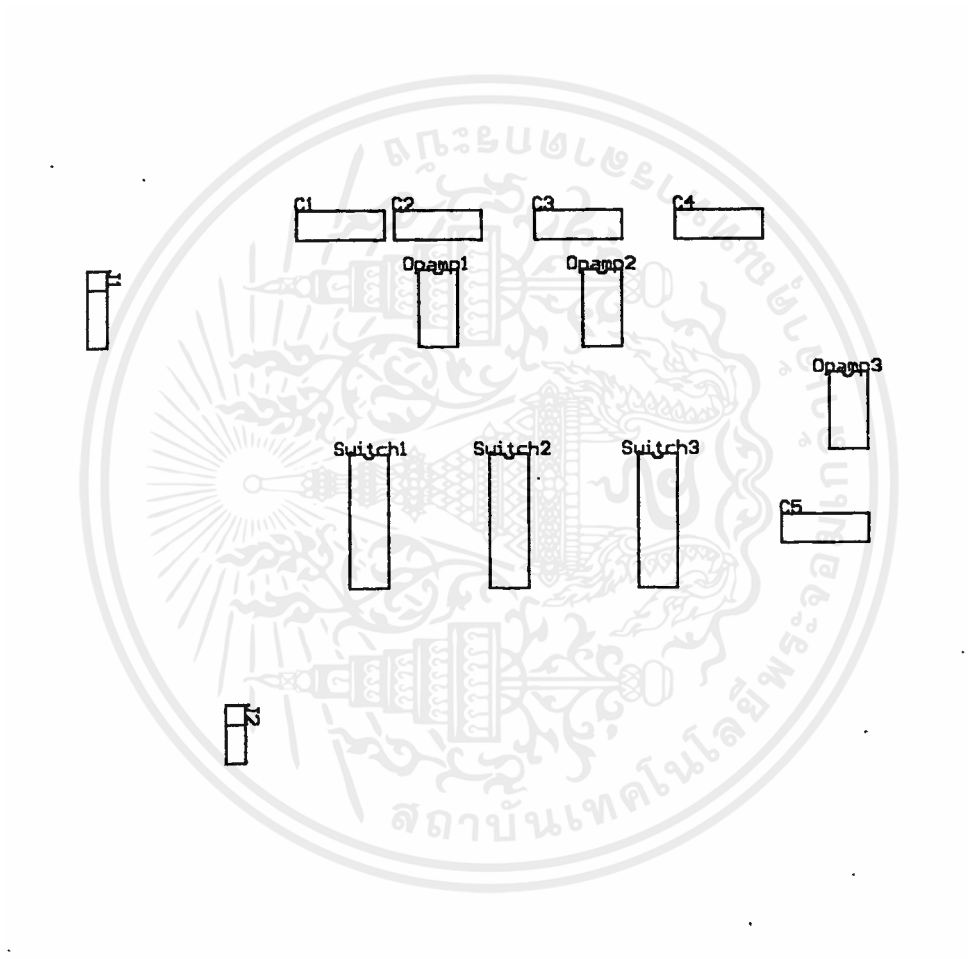
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



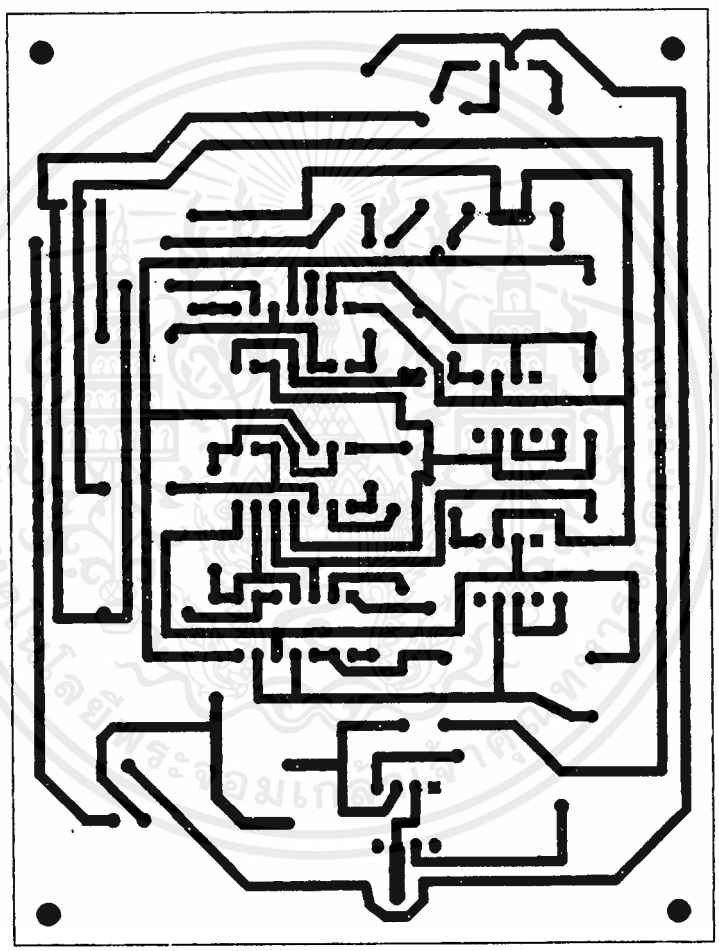
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



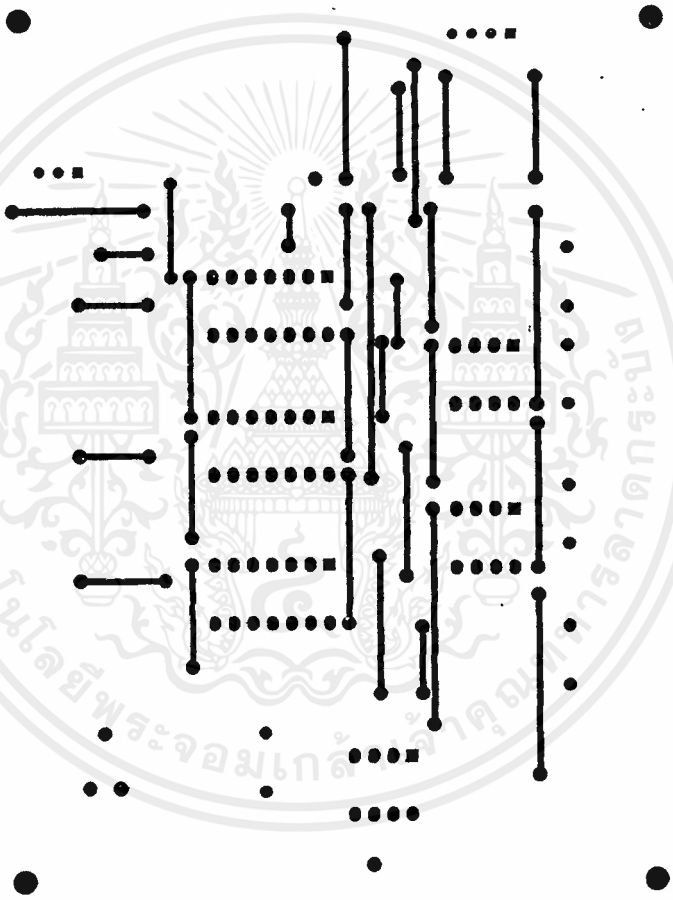
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



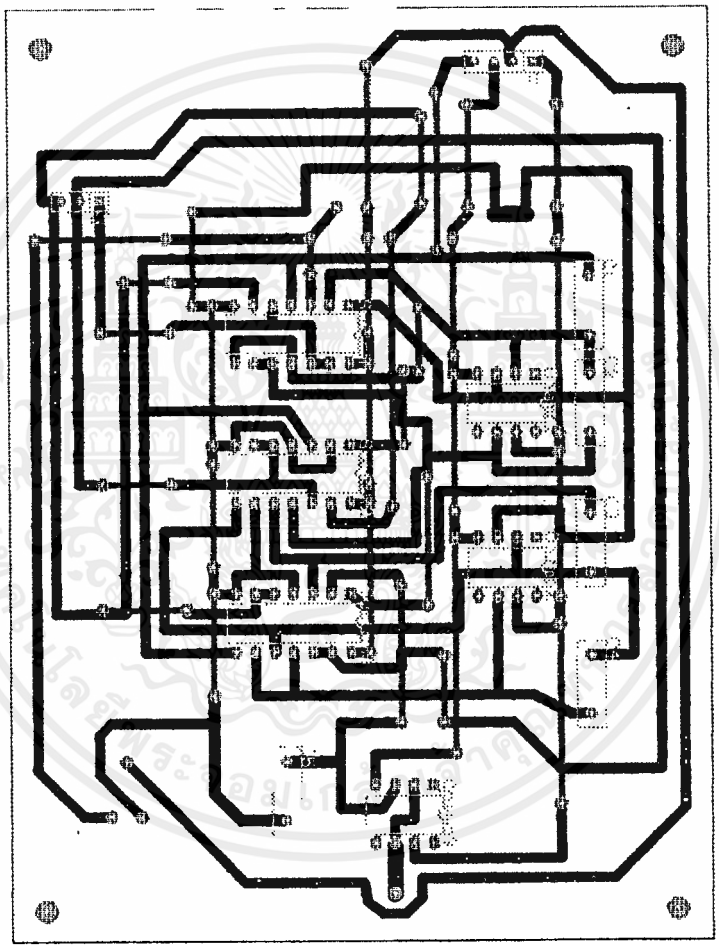

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



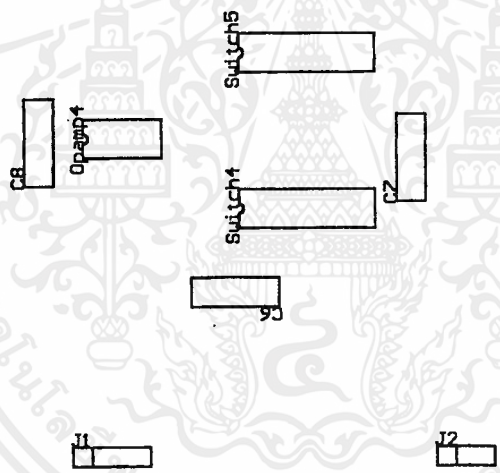
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



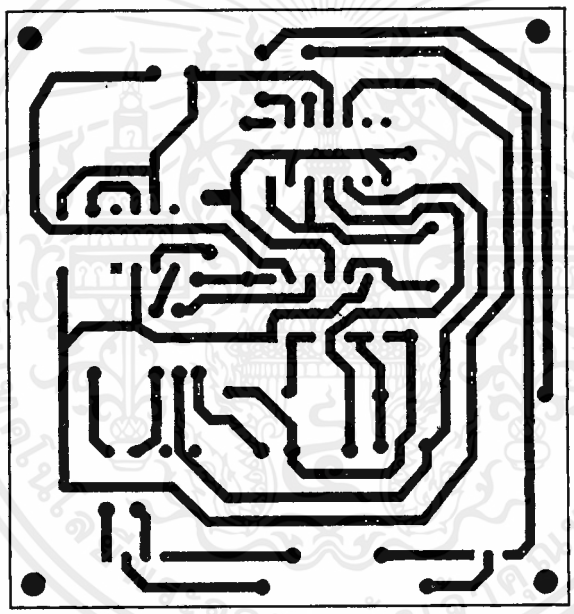
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



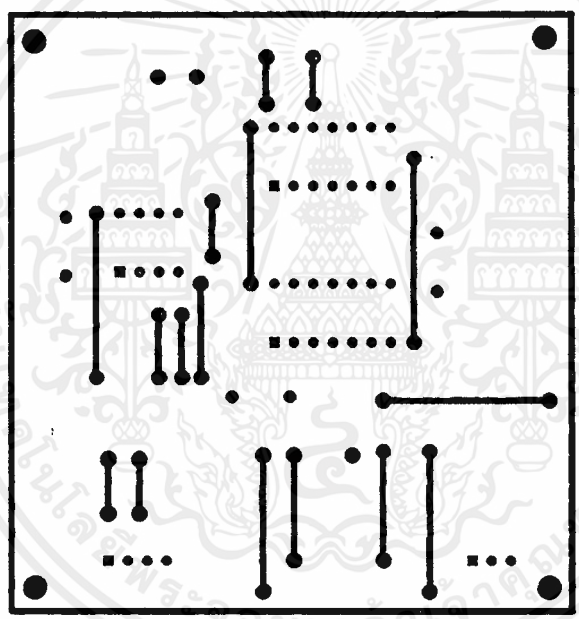
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



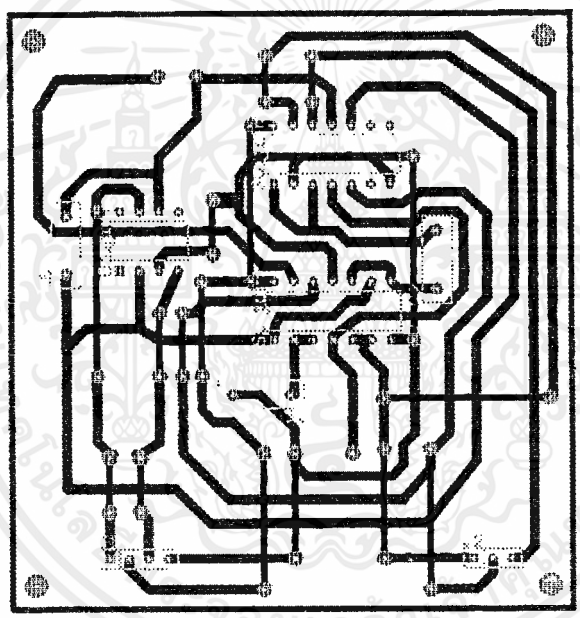

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

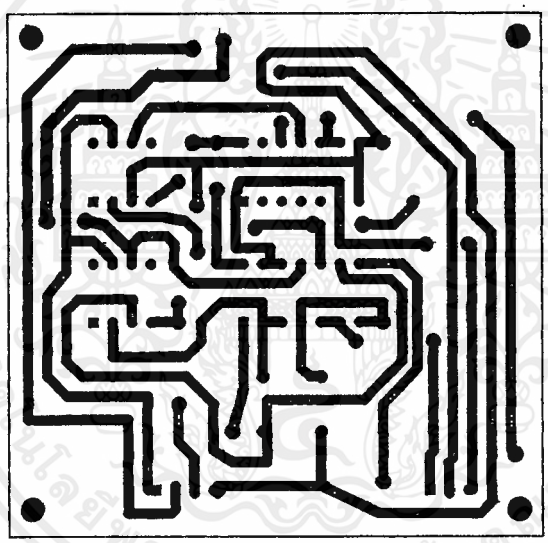


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

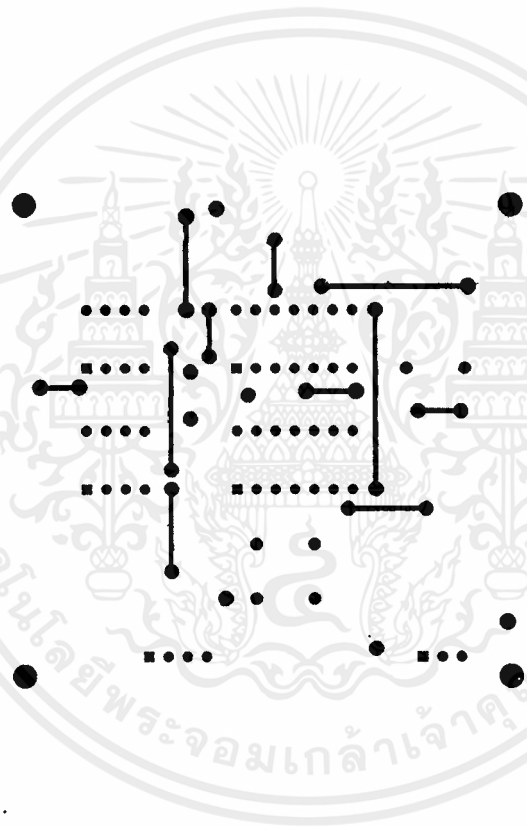


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

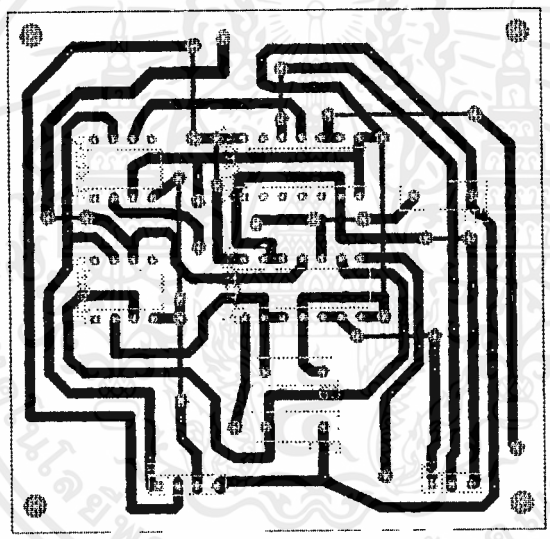
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก ข
# รายละเอียดเกี่ยวกับอุปกรณ์

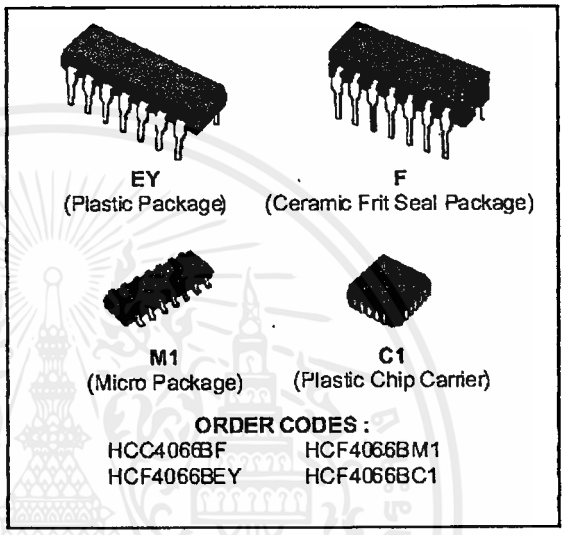
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SGS-THOMSON MICROELECTRONICS

# HCC/HCF4066B

## QUAD BILATERAL SWITCH FOR TRANSMISSION OR MULTIPLEXING OF ANALOG OR DIGITAL SIGNALS

- 15V DIGITAL OR ± 7.5V PEAK-TO-PEAK SWITCHING
- 80Ω TYPICAL ON RESISTANCE FOR 15V OPERATION
- SWITCH ON RESISTANCE MATCHED TO WITHIN 5Ω OVER 15V SIGNAL-INPUT RANGE
- ON RESISTANCE FLAT OVER FULL PEAK-TO-PEAK SIGNAL RANGE
- HIGH ON/OFF OUTPUT-VOLTAGE RATIO : 65dB TYP. @ $f_{is}$ = 10kHz, $R_L$ = 10kΩ
- HIGH DEGREE OF LINEARITY : < 0.5% DISTORTION TYP. @ $f_{is}$ = 1kHz, $V_{is}$ = 5 Vp-p, $V_{DD} - V_{SS} \geq 10V$, $R_L$ = 10kΩ
- EXTREMELY LOW OFF SWITCH LEAKAGE RESULTING IN VERY LOW OFFSET CURRENT AND HIGH EFFECTIVE OFF RESISTANCE ; 10pA TYP. @ $V_{DD} - V_{SS}$ = 10V, $T_A$ = 25°C
- EXTREMELY HIGH CONTROL INPUT IMPEDANCE (control circuit isolated from signal circuit) : $10^{12}$ Ω TYP.
- LOW CROSSTALK BETWEEN SWITCHES : – 50dB TYP. @ $f_{is}$ = 0.9MHz, $R_L$ = 1kΩ
- MATCHED CONTROL-INPUT TO SIGNAL-OUTPUT CAPACITANCE : REDUCES OUTPUT SIGNAL TRANSIENTS
- FREQUENCY RESPONSE, SWITCH ON = 40MHz (typ.)
- QUIESCENT CURRENT SPECIFIED TO 20V FOR HCC DEVICE
- 5V, 10V, AND 15V PARAMETRIC RATINGS
- INPUT CURRENT OF 100nA AT 18V AND 25°C FOR HCC DEVICE
- 100% TESTED FOR QUIESCENT CURRENT
- MEETS ALL REQUIREMENTS OF JEDEC TENTATIVE STANDARD N°. 13A, "STANDARD SPECIFICATIONS FOR DESCRIPTION OF "B" SERIES CMOS DEVICES"



EY (Plastic Package)

F (Ceramic Frit Seal Package)

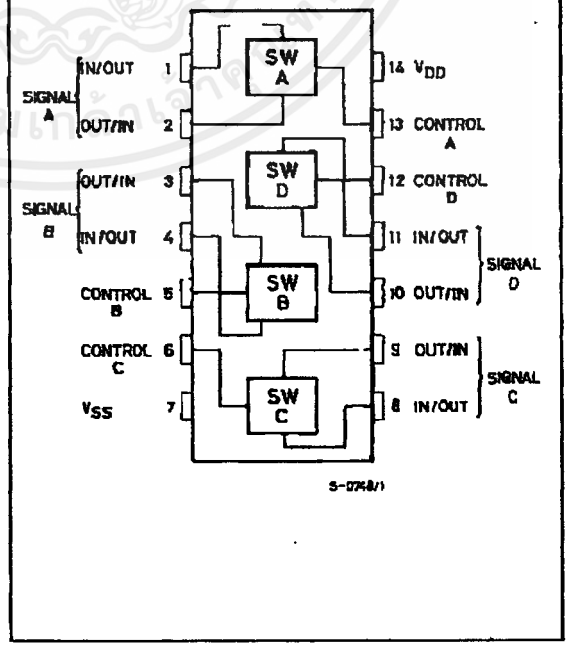
M1 (Micro Package)

C1 (Plastic Chip Carrier)

**ORDER CODES :**

| | |
|---|---|
| HCC4066BF | HCF4066BM1 |
| HCF4066BEY | HCF4066BC1 |

**PIN CONNECTIONS**




### DESCRIPTION

The **HCC4066B** (extended temperature range) and **HCF4066B** (intermediate temperature range) are monolithic integrated circuits, available in 14-lead dual in-line plastic or ceramic package and plastic micropackage. The **HCC/HCF4066B** is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-

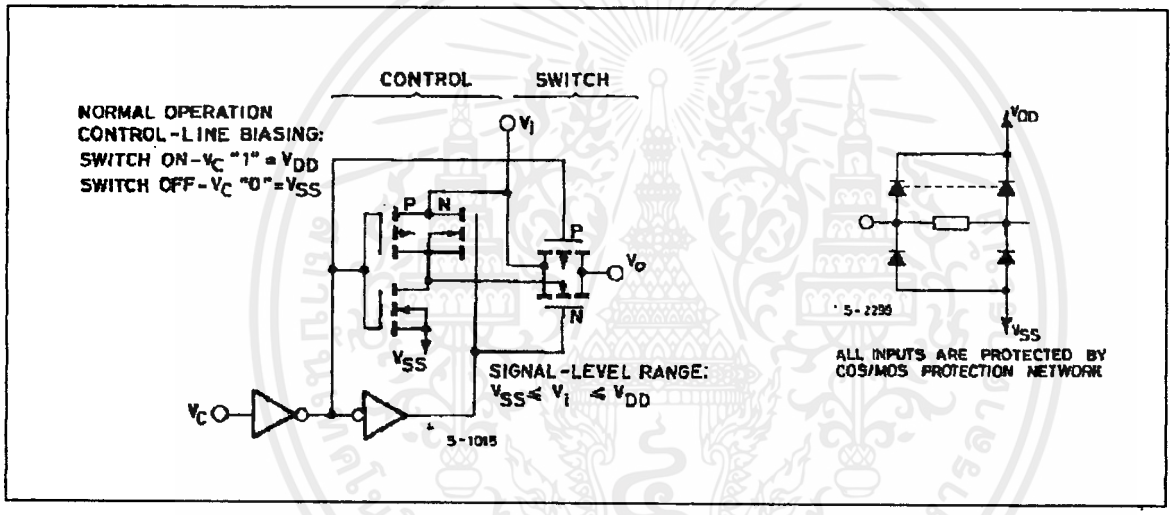


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

pin compatible with **HCC/HCF4016B**, but exhibits a much lower ON resistance. In addition, the ON resistance is relatively constant over the full input-signal range. The **HCC/HCF4066B** consists of four independent bilateral switches. A single control signal is required per switch. Both the p and the n device in a given switch are biased ON or OFF simultaneously by the control signal. As shown in schematic diagram, the well of the n-channel device on each switch is either tied to the input when the switch is ON or to $V_{SS}$ when the switch is OFF. This configuration eliminates the variation of the switch-transistor threshold voltage with input signal, and thus keeps the ON resistance low over the full operating-signal range. The advantages over single-channel switches include peak input signal voltage swings equal to the full supply voltage, and more constant ON impedance over the input-signal range. For sample-and-hold applications, however, the **HCC/HCF4016B** is recommended.

## SCHEMATIC DIAGRAM

1 OF 4 IDENTICAL SWITCHES AND ITS ASSOCIATED CONTROL CIRCUITRY.




## ABSOLUTE MAXIMUM RATINGS

| Symbol | Parameter | Value | Unit |
|---|---|---|---|
| $V_{DD}$* | Supply Voltage : **HCC** Types<br>**HCF** Types | − 0.5 to + 20<br>− 0.5 to + 18 | V<br>V |
| $V_i$ | Input Voltage | − 0.5 to $V_{DD}$ + 0.5 | V |
| $I_I$ | DC Input Current (any one input) | ± 10 | mA |
| $P_{tot}$ | Total Power Dissipation (per package)<br>Dissipation per Output Transistor<br>for $T_{op}$ = Full Package-temperature Range | 200<br><br>100 | mW<br><br>mW |
| $T_{op}$ | Operating Temperature : **HCC** Types<br>**HCF** Types | − 55 to + 125<br>− 40 to + 85 | °C<br>°C |
| $T_{stg}$ | Storage Temperature | − 65 to + 150 | °C |

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for external periods may affect device reliability.
* All voltage values are referred to $V_{SS}$ pin voltage.


SGS-THOMSON MICROELECTRONICS
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ [illegible] เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## RECOMMENDED OPERATING CONDITIONS

| Symbol | Parameter | Value | Unit |
|---|---|---|---|
| $V_{DD}$ | Supply Voltage : **HCC** Types<br>**HCF** Types | 3 to 18<br>3 to 15 | V<br>V |
| $V_I$ | Input Voltage | 0 to $V_{DD}$ | V |
| $T_{op}$ | Operating Temperature : **HCC** Types<br>**HCF** Types | – 55 to + 125<br>– 40 to + 85 | °C<br>°C |

## ELECTRICAL CHARACTERISTICS

($T_{amb}$ = 25°C, typical temperature coefficient for all $V_{DD}$ values is 0,3%/°C)

| Symbol | Parameter | | Test Conditions | $V_I$ (V) | $V_{DD}$ (V) | Value $T_{Low}$* Min. | $T_{Low}$* Max. | 25°C Min. | 25°C Typ. | 25°C Max. | $T_{High}$* Min. | $T_{High}$* Max. | Unit |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| $I_L$ | Quiescent Device Current (all switches ON or all switches OFF) | HCC Types | | 0/ 5 | 5 | | 0.25 | | 0.01 | 0.25 | | 7.5 | µA |
| | | | | 0/10 | 10 | | 0.5 | | 0.01 | 0.5 | | 15 | |
| | | | | 0/15 | 15 | | 1 | | 0.01 | 1 | | 30 | |
| | | | | 0/20 | 20 | | 5 | | 0.02 | 5 | | 150 | |
| | | HCF Types | | 0/ 5 | 5 | | 1 | | 0.01 | 1 | | 7.5 | |
| | | | | 0/10 | 10 | | 2 | | 0.01 | 2 | | 15 | |
| | | | | 0/15 | 15 | | 4 | | 0.01 | 4 | | 30 | |
| **SIGNAL INPUTS** ($V_{is}$) and Outputs ($V_{os}$) | | | | | | | | | | | | | |
| $R_{ON}$ | On Resistance | HCC Types | $V_C = V_{DD}$<br>$R_L$ = 10KΩ Return to $\frac{V_{DD} - V_{SS}}{2}$<br>$V_{is} = V_{SS}$ to $V_{DD}$ | | 5 | | 800 | | 470 | 1050 | | 1300 | Ω |
| | | | | | 10 | | 310 | | 180 | 400 | | 550 | |
| | | | | | 15 | | 200 | | 125 | 240 | | 320 | |
| | | HCF Types | | | 5 | | 850 | | 470 | 1050 | | 1200 | |
| | | | | | 10 | | 330 | | 180 | 400 | | 500 | |
| | | | | | 15 | | 210 | | 125 | 240 | | 300 | |
| ΔON | Resistance between any 2 Switches, $\Delta R_{ON}$ | | $R_L$ 10kΩ, $V_C = V_{DD}$ | | 5 | | | | 15 | | | | Ω |
| | | | | | 10 | | | | 10 | | | | |
| | | | | | 15 | | | | 5 | | | | |
| TDH | Total Harmonic Distorsion | | $V_C = V_{DD}$ = 5V,<br>$V_{SS}$ = – 5V,<br>$V_{is}$ (p-p) = 5V<br>(sine wave centered in 0V)<br>$R_L$ = 10kΩ,<br>$f_{is}$ = 1kHz sine wave | | | | | | 0.4 | | | | % |
| | - 3 dB Cutoff Frequency (switch on) | | $V_C = V_{DD}$ = 5V,<br>$V_{SS}$ = – 5V,<br>$V_{is}$ (p-p) = 5V<br>(sine wave centured on 0V)<br>$R_L$ = 1kΩ | | | | | | 40 | | | | MHz |

* $T_{Low}$ = – 55°C for **HCC** device : – 40°C for **HCF** device.
* $T_{High}$ = + 125°C for **HCC** device : + 85°C for **HCF** device.
The Noise Margin for both "1" and "0" level is : 1V min. with $V_{DD}$ = 5V, 2V min. with $V_{DD}$ = 10V, 2.5V min. with $V_{DD}$ = 15V.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ[illegible]เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ELECTRICAL CHARACTERISTICS** (continued)

| Symbol | Parameter | | Test Conditions | $V_{DD}$ (V) | Value $T_{Low}$* Min. | $T_{Low}$* Max. | 25°C Min. | 25°C Typ. | 25°C Max. | $T_{High}$* Min. | $T_{High}$* Max. | Unit |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | - 50 dB Feedthrough Frequency(switch off) | | $V_C$ = $V_{SS}$ = – 5V, $V_{is}$ (p-p) = 5V (sine wave centured on 0V) $R_L$ = 1kΩ | | | | | 1 | | | | MHz |
| | - 50 dB Crosstalk Frequency | | $V_C$ (A) = $V_{DD}$ = + 5V $V_C$ (B) = $V_{SS}$ = – 5V $V_{is}$ (A) = 5Vp-p, 50Ω source $R_L$ = 1kΩ | | | | | 8 | | | | MHz |
| $t_{pd}$ | Propagation Delay (signal input to signal output) | | $R_L$ = 200kΩ $V_C$ = $V_{DD}$, $V_{SS}$ = GND, $C_L$ = 50pF, $V_{is}$ = 10V (square wave centured on 5V) $t_r$, $t_f$ = 20ns | | 5 | | | 20 | 40 | | | ns |
| | | | | | 10 | | | 10 | 20 | | | |
| | | | | | 15 | | | 7 | 15 | | | |
| $C_{is}$ | Input Capacitance | | $V_{DD}$ = + 5V $V_C$ = $V_{SS}$ = – 5V | | | | | 8 | | | | pF |
| $C_{os}$ | Output Capacitance | | | | | | | 8 | | | | |
| $C_{ios}$ | Feedthrough | | | | | | | 0.5 | | | | |
| | Input/Output Leakage Current Switch OFF | HCC Types | $V_C$ = 0V $V_{is}$ = 18V ; $V_{os}$ = 0V $V_{is}$ = 0V ; $V_{os}$ = 18V | 18 | | ± 0.1 | | $\pm 10^{-3}$ | ± 0.1 | | ± 1 | μA |
| | | HCF Types | $V_C$ = 0V $V_{is}$ = 15V ; $V_{os}$ = 0V $V_{is}$ = 0V ; $V_{os}$ = 15V | 15 | | ± 0.3 | | $\pm 10^{-3}$ | ± 0.3 | | ± 1 | |
| **CONTROL** ($V_C$) | | | | | | | | | | | | |
| $V_{ILC}$ | Control Input Low Voltage | | $\|I_{is}\|$ < 10μA $V_{is}$ = $V_{SS}$, $V_{os}$ = $V_{DD}$ and $V_{is}$ = $V_{DD}$, $V_{os}$ = $V_{SS}$ | 5 | | 1 | | | 1 | | 1 | V |
| | | | | 10 | | 2 | | | 2 | | 2 | |
| | | | | 15 | | 2 | | | 2 | | 2 | |
| $V_{IHC}$ | Control Input High Voltage | | | 5 | 3.5 | | 3.5 | | | 3.5 | | V |
| | | | | 10 | 7 | | 7 | | | 7 | | |
| | | | | 15 | 11 | | 11 | | | 11 | | |
| $I_{IH}$, $I_{IL}$ | Input Leakage Current | HCC Types | $V_{is}$ ≤ $V_{DD}$ $V_{DD}$ – $V_{SS}$ = 18V | 18 | | ± 0.1 | | $\pm 10^{-5}$ | ± 0.1 | | ± 1 | μA |
| | | HCF Types | $V_{DD}$ – $V_{SS}$ = 15V $V_{CC}$ ≤ $V_{DD}$ – $V_{SS}$ | 15 | | ± 0.3 | | $\pm 10^{-5}$ | ± 0.3 | | ± 1 | |

* $T_{Low}$ = – 55°C for **HCC** device : – 40°C for **HCF** device.
* $T_{High}$ = + 125°C for **HCC** device : + 85°C for **HCF** device.
The Noise Margin for both "1" and "0" level is : 1V min. with $V_{DD}$ = 5V, 2V min. with $V_{DD}$ = 10V, 2.5V min. with $V_{DD}$ = 15V.



SGS-THOMSON MICROELECTRONICS
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ[illegible]เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

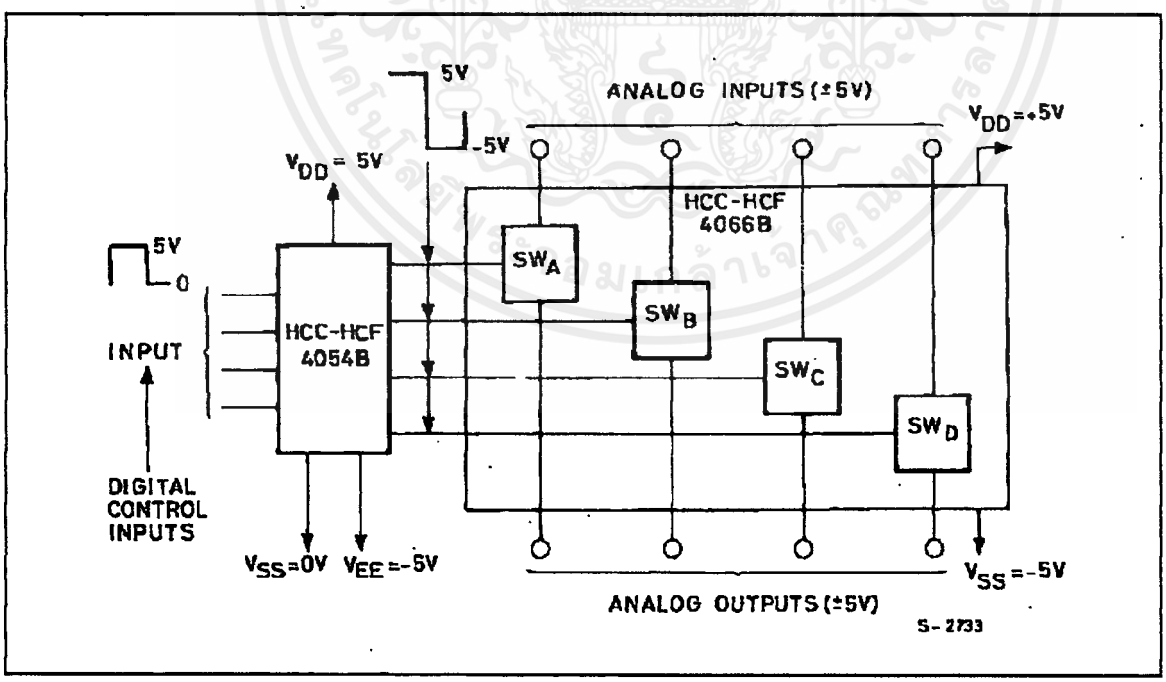
## ELECTRICAL CHARACTERISTICS (continued)

| Symbol | Parameter | Test Conditions | $V_{DD}$ (V) | Value | | | | | | | Unit |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | $T_{Low}$* | | 25°C | | | $T_{High}$* | | |
| | | | | Min. | Max. | Min. | Typ. | Max. | Min. | Max. | |
| | Crosstalk (control input to signal output) | $V_C$ = 10V (sq. wave)<br>$t_r$, $t_f$ = 20ns<br>$R_L$ = 10kΩ | 10 | | | | 50 | | | | mV |
| | Turn-on Propagation Delay | $V_{IN}$ = $V_{DD}$<br>$t_r$, $t_f$ = 20ns<br>$C_L$ = 50pF<br>$R_L$ = 1kΩ | 5 | | | | 35 | 70 | | | ns |
| | | | 10 | | | | 20 | 40 | | | |
| | | | 15 | | | | 15 | 30 | | | |
| | Control Input Repetition Rate | $V_{is}$ = $V_{DD}$, $V_{SS}$ = GND<br>$R_L$ = 1kΩ to gnd<br>$C_L$ = 50pF<br>$V_C$ = 10V (square wave centured on 5V)<br>$t_r$, $t_f$ = 20ns<br>$V_{os}$ = 1/2$V_{os}$ @ 1kHz | 5 | | | | 6 | | | | MHz |
| | | | 10 | | | | 9 | | | | |
| | | | 15 | | | | 9.5 | | | | |
| $C_I$ | Input Capacitance | Any Input | | | | | 5 | 7.5 | | | pF |

* $T_{Low}$ = – 55°C for HCC device : – 40°C for HCF device.
* $T_{High}$ = + 125°C for HCC device : + 85°C for HCF device.
The Noise Margin for both "1" and "0" level is : 1V min. with $V_{DD}$ = 5V, 2V min. with $V_{DD}$ = 10V, 2.5V min. with $V_{DD}$ = 15V.

## TYPICAL APPLICATIONS

BIDIRECTIONAL SIGNAL TRANSMISSION VIA DIGITAL CONTROL LOGIC

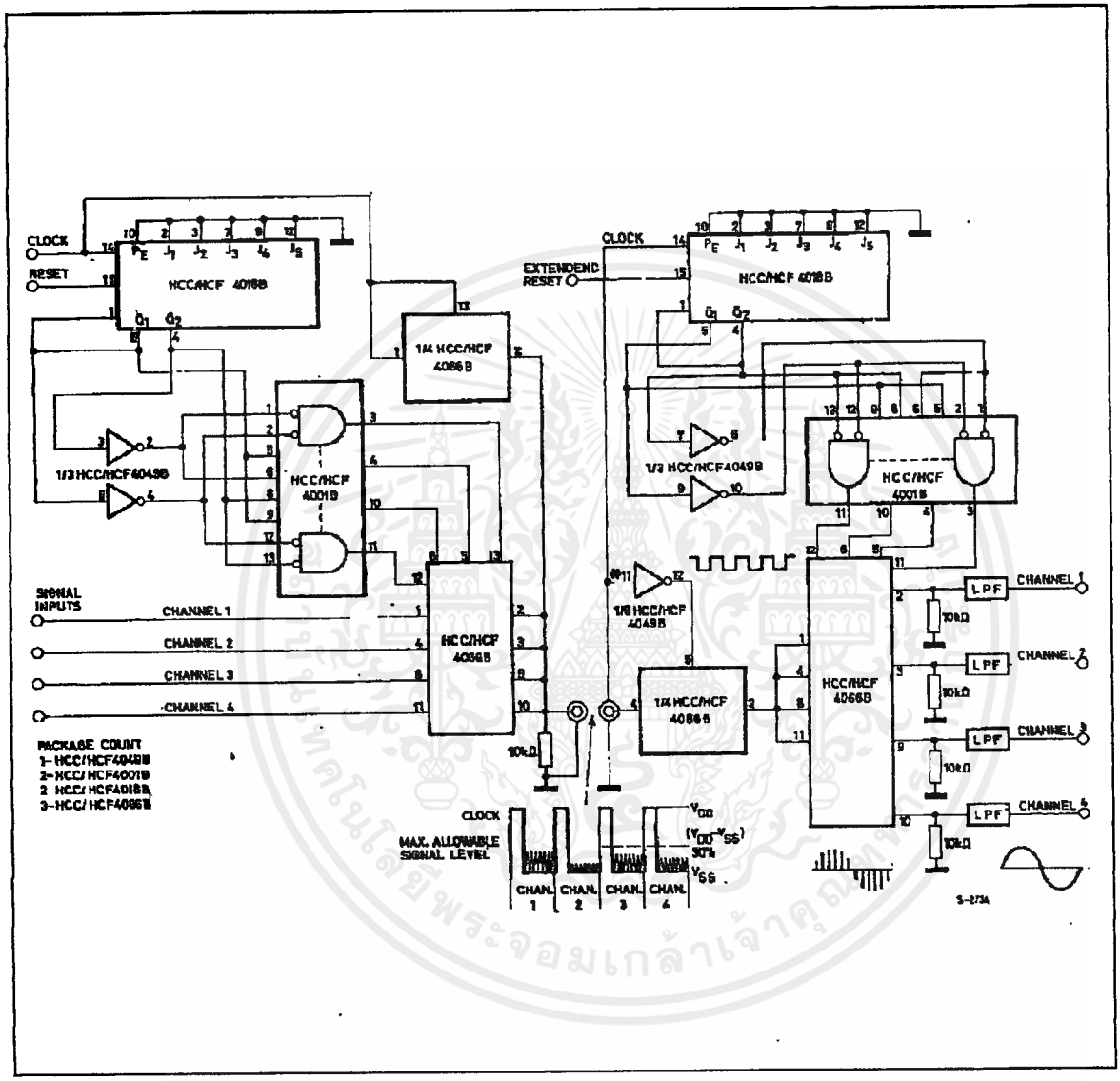





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ[illegible]เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TYPICAL APPLICATIONS (continued)

4-CHANNEL PAM MULTIPLEX SYSTEM DIAGRAM.

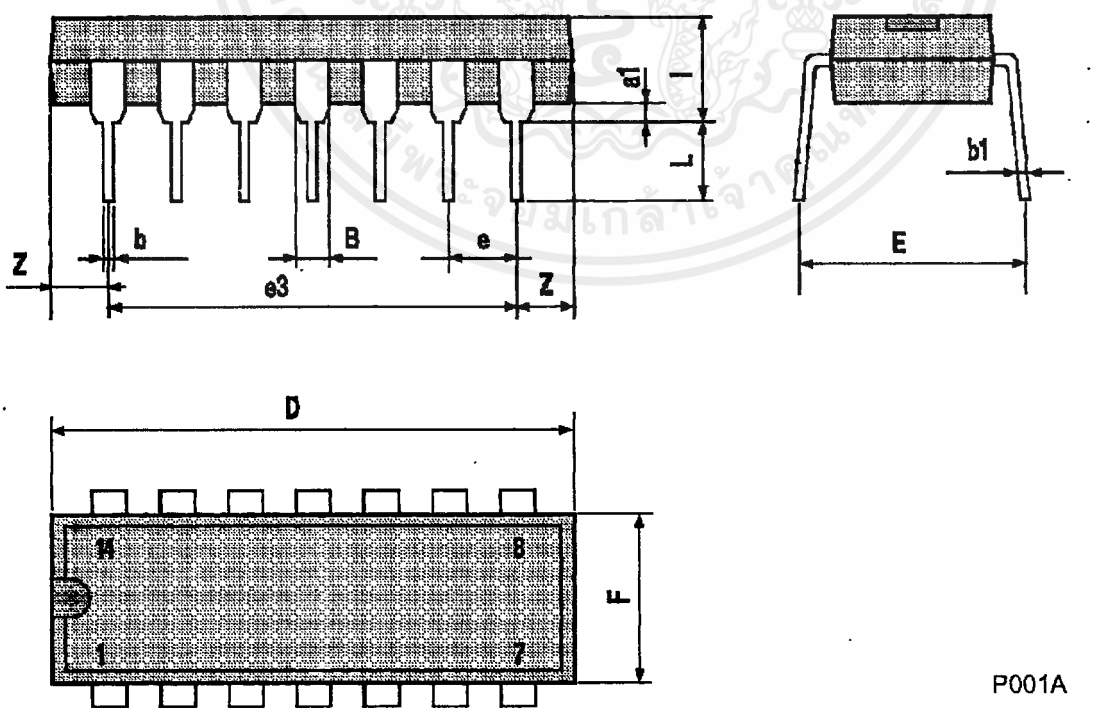





SGS-THOMSON MICROELECTRONICS
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Plastic DIP14 MECHANICAL DATA

| DIM. | mm | | | inch | | |
|---|---|---|---|---|---|---|
| | MIN. | TYP. | MAX. | MIN. | TYP. | MAX. |
| a1 | 0.51 | | | 0.020 | | |
| B | 1.39 | | 1.65 | 0.055 | | 0.065 |
| b | | 0.5 | | | 0.020 | |
| b1 | | 0.25 | | | 0.010 | |
| D | | | 20 | | | 0.787 |
| E | | 8.5 | | | 0.335 | |
| e | | 2.54 | | | 0.100 | |
| e3 | | 15.24 | | | 0.600 | |
| F | | | 7.1 | | | 0.280 |
| I | | | 5.1 | | | 0.201 |
| L | | 3.3 | | | 0.130 | |
| Z | 1.27 | | 2.54 | 0.050 | | 0.100 |

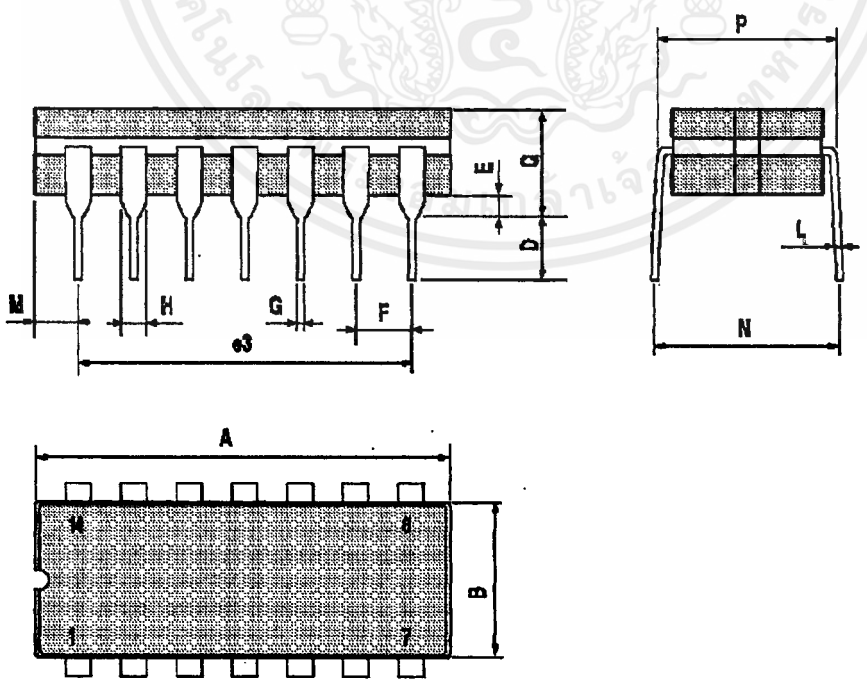





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Ceramic DIP14/1 MECHANICAL DATA

| DIM. | mm | | | inch | | |
|---|---|---|---|---|---|---|
| | MIN. | TYP. | MAX. | MIN. | TYP. | MAX. |
| A | | | 20 | | | 0.787 |
| B | | | 7.0 | | | 0.276 |
| D | | 3.3 | | | 0.130 | |
| E | 0.38 | | | 0.015 | | |
| e3 | | 15.24 | | | 0.600 | |
| F | 2.29 | | 2.79 | 0.090 | | 0.110 |
| G | 0.4 | | 0.55 | 0.016 | | 0.022 |
| H | 1.17 | | 1.52 | 0.046 | | 0.060 |
| L | 0.22 | | 0.31 | 0.009 | | 0.012 |
| M | 1.52 | | 2.54 | 0.060 | | 0.100 |
| N | | | 10.3 | | | 0.406 |
| P | 7.8 | | 8.05 | 0.307 | | 0.317 |
| Q | | | 5.08 | | | 0.200 |



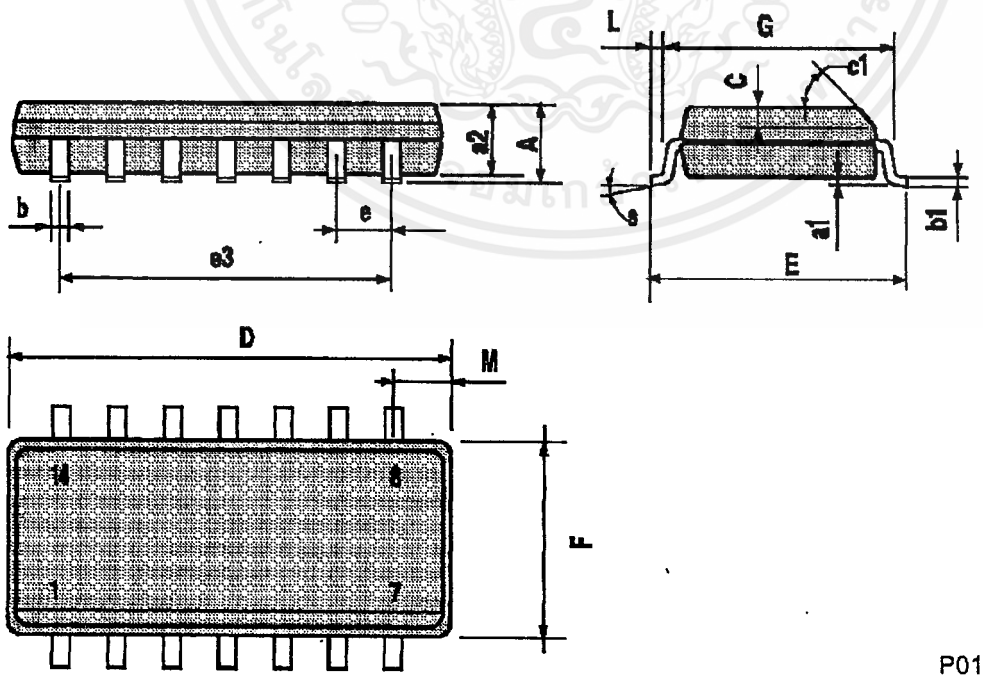

P053C



SGS-THOMSON MICROELECTRONICS
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ[illegible]เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## SO14 MECHANICAL DATA

| DIM. | mm | | | inch | | |
|---|---|---|---|---|---|---|
| | MIN. | TYP. | MAX. | MIN. | TYP. | MAX. |
| A | | | 1.75 | | | 0.068 |
| a1 | 0.1 | | 0.2 | 0.003 | | 0.007 |
| a2 | | | 1.65 | | | 0.064 |
| b | 0.35 | | 0.46 | 0.013 | | 0.018 |
| b1 | 0.19 | | 0.25 | 0.007 | | 0.010 |
| C | | 0.5 | | | 0.019 | |
| c1 | 45° (typ.) | | | | | |
| D | 8.55 | | 8.75 | 0.336 | | 0.344 |
| E | 5.8 | | 6.2 | 0.228 | | 0.244 |
| e | | 1.27 | | | 0.050 | |
| e3 | | 7.62 | | | 0.300 | |
| F | 3.8 | | 4.0 | 0.149 | | 0.157 |
| G | 4.6 | | 5.3 | 0.181 | | 0.208 |
| L | 0.5 | | 1.27 | 0.019 | | 0.050 |
| M | | | 0.68 | | | 0.026 |
| S | 8° (max.) | | | | | |



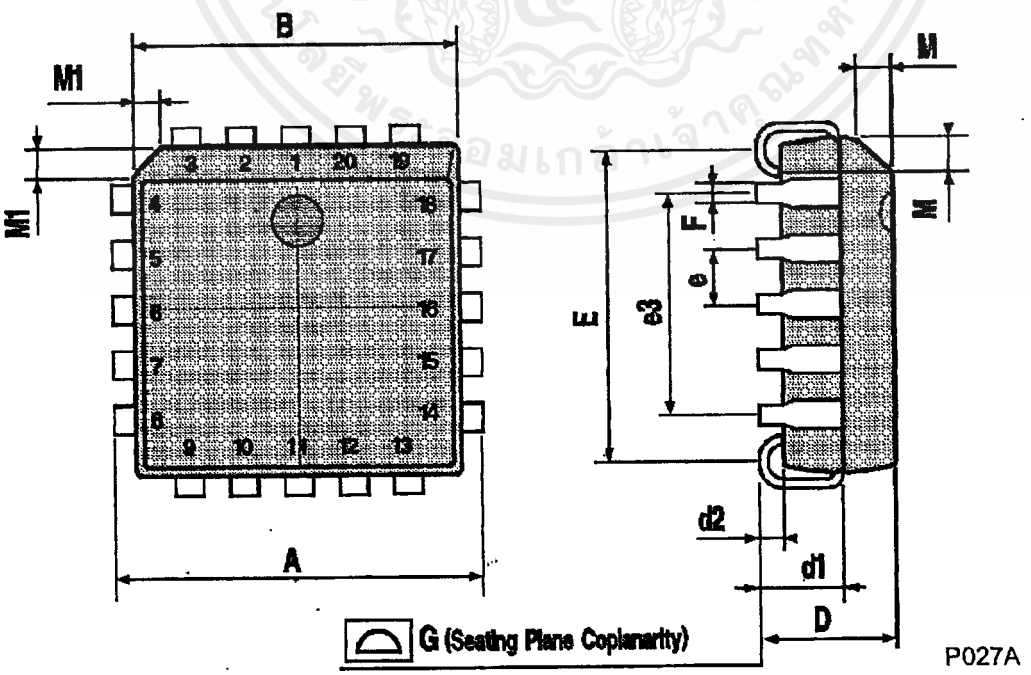

P013G



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PLCC20 MECHANICAL DATA

| DIM. | mm | | | inch | | |
|---|---|---|---|---|---|---|
| | MIN. | TYP. | MAX. | MIN. | TYP. | MAX. |
| A | 9.78 | | 10.03 | 0.385 | | 0.395 |
| B | 8.89 | | 9.04 | 0.350 | | 0.356 |
| D | 4.2 | | 4.57 | 0.165 | | 0.180 |
| d1 | | 2.54 | | | 0.100 | |
| d2 | | 0.56 | | | 0.022 | |
| E | 7.37 | | 8.38 | 0.290 | | 0.330 |
| e | | 1.27 | | | 0.050 | |
| e3 | | 5.08 | | | 0.200 | |
| F | | 0.38 | | | 0.015 | |
| G | | | 0.101 | | | 0.004 |
| M | | 1.27 | | | 0.050 | |
| M1 | | 1.14 | | | 0.045 | |




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Information furnished is believed to be accurate and reliable. However, SGS-THOMSON Microelectronics assumes no responsability for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may results from its use. No license is granted by implication or otherwise under any patent or patent rights of SGS-THOMSON Microelectronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. SGS-THOMSON Microelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of SGS-THOMSON Microelectonics.

© 1994 SGS-THOMSON Microelectronics - All Rights Reserved

SGS-THOMSON Microelectronics GROUP OF COMPANIES
Australia - Brazil - France - Germany - Hong Kong - Italy - Japan - Korea - Malaysia - Malta - Morocco - The Netherlands - Singapore - Spain - Sweden - Switzerland - Taiwan - Thailand - United Kingdom - U.S.A



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SGS-THOMSON MICROELECTRONICS

# LF151
# LF251 - LF351

## WIDE BANDWIDTH SINGLE J-FET OPERATIONAL AMPLIFIER

- INTERNALLY ADJUSTABLE INPUT OFFSET VOLTAGE
- LOW POWER CONSUMPTION
- WIDE COMMON-MODE (UP TO $V_{CC}^+$) AND DIFFERENTIAL VOLTAGE RANGE
- LOW INPUT BIAS AND OFFSET CURRENT
- OUTPUT SHORT-CIRCUIT PROTECTION
- HIGH INPUT IMPEDANCE J–FET INPUT STAGE
- INTERNAL FREQUENCY COMPENSATION
- LATCH UP FREE OPERATION
- HIGH SLEW RATE : 16V/µs (typ)

N
DIP8
(Plastic Package)

D
SO8
(Plastic Micropackage)

### DESCRIPTION

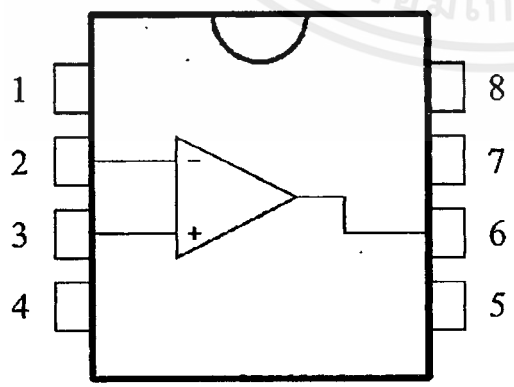
These circuits are high speed J–FET input single operational amplifiers incorporating well matched, high voltage J–FET and bipolar transistors in a monolithic integrated circuit.

The devices feature high slew rates, low input bias and offset currents, and low offset voltage temperature coefficient.

### ORDER CODES

| Part Number | Temperature | Package | |
|---|---|---|---|
| | | N | D |
| LF351 | 0°C, +70°C | • | • |
| LF251 | –40°C, +105°C | • | • |
| LF151 | –55°C, +125°C | • | • |

### PIN CONNECTIONS (top view)

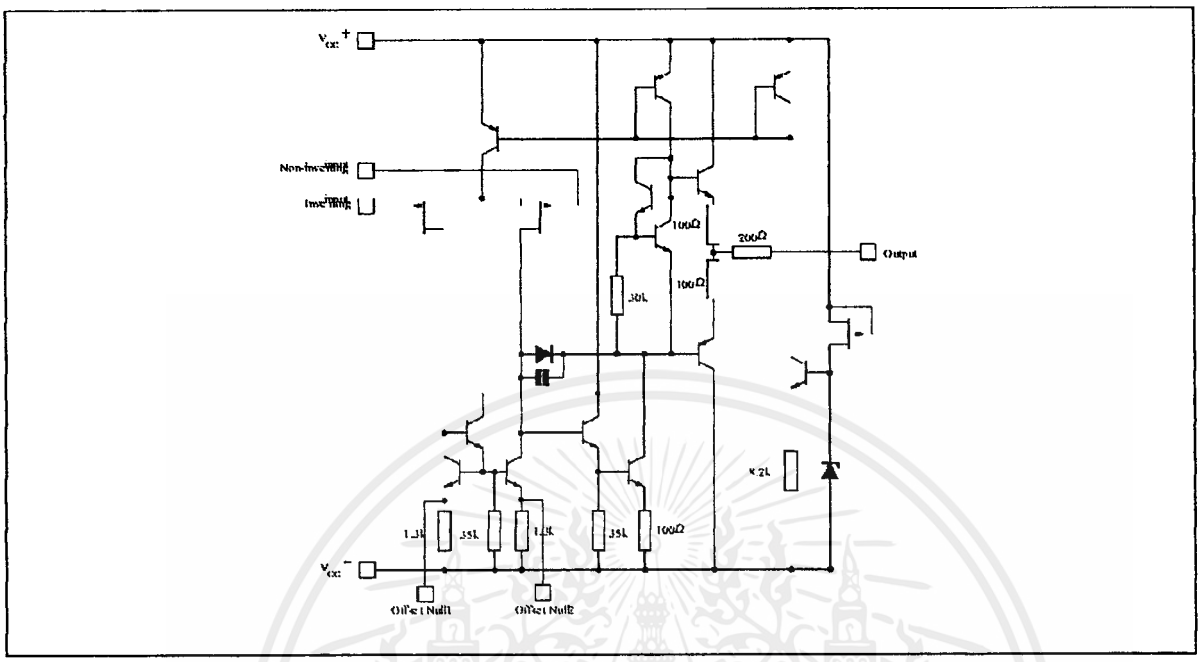



1 - Offset Null 1
2 - Inverting input
3 - Non-inverting input
4 - $V_{CC}^-$
5 - Offset Null 2
6 - Output
7 - $V_{CC}^+$
8 - N.C.

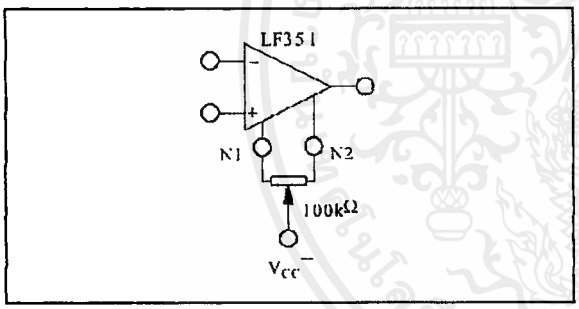


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## SCHEMATIC DIAGRAM




## INPUT OFFSET VOLTAGE NULL CIRCUITS




## ABSOLUTE MAXIMUM RATINGS

| Symbol | Parameter | | Value | Unit |
|---|---|---|---|---|
| $V_{CC}$ | Supply Voltage - (note 1) | | ±18 | V |
| $V_i$ | Input Voltage - (note 3) | | ±15 | V |
| $V_{id}$ | Differential Input Voltage - (note 2) | | ±30 | V |
| $P_{tot}$ | Power Dissipation | | 680 | mW |
| | Output Short-circuit Duration - (note 4) | | Infinite | |
| $T_{oper}$ | Operating Free Air Temperature Range | LF351<br>LF251<br>LF151 | 0 to 70<br>–40 to 105<br>–55 to 125 | °C |
| $T_{stg}$ | Storage Temperature Range | | –65 to 150 | °C |

**Notes :**
1. All voltage values, except differential voltage, are with respect to the zero reference level (ground) of the supply voltages where the zero reference level is the midpoint between $V_{CC}^+$ and $V_{CC}^-$.
2. Differential voltages are at the non-inverting input terminal with respect to the inverting input terminal.
3. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 volts, whichever is less.
4. The output may be shorted to ground or to either supply. Temperature and /or supply voltages must be limited to ensure that the dissipation rating is not exceeded.



SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ELECTRICAL CHARACTERISTICS

$V_{CC}$ = ±15V, $T_{amb}$ = 25°C (unless otherwise specified)

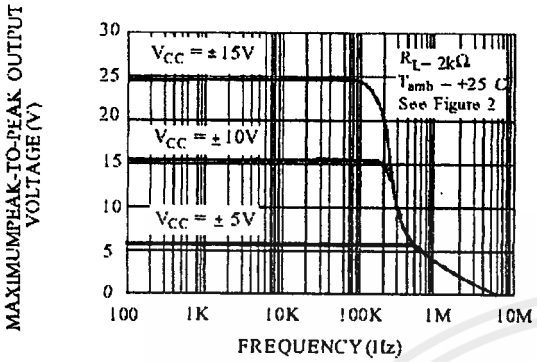
| Symbol | Parameter | LF151 - LF251 - LF351 | | | Unit |
|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | |
| $V_{io}$ | Input Offset Voltage ($R_S$ = 10kΩ)<br>$T_{amb}$ = 25°C<br>$T_{min.} \le T_{amb} \le T_{max.}$ | | 3 | 10<br>13 | mV |
| $DV_{io}$ | Input Offset Voltage Drift | | 10 | | µV/°C |
| $I_{io}$ | Input Offset Current *<br>$T_{amb}$ = 25°C<br>$T_{min.} \le T_{amb} \le T_{max.}$ | | 5 | 100<br>4 | pA<br>nA |
| $I_{ib}$ | Input Bias Current *<br>$T_{amb}$ = 25°C<br>$T_{min.} \le T_{amb} \le T_{max.}$ | | 20 | 200<br>20 | pA<br>nA |
| $A_{vd}$ | Large Signal Voltage Gain ($R_L$ = 2kΩ, $V_O$ = ±10V)<br>$T_{amb}$ = 25°C<br>$T_{min.} \le T_{amb} \le T_{max.}$ | 50<br>25 | 200 | | V/mV |
| SVR | Supply Voltage Rejection Ratio ($R_S$ = 10kΩ)<br>$T_{amb}$ = 25°C<br>$T_{min.} \le T_{amb} \le T_{max.}$ | 80<br>80 | 86 | | dB |
| $I_{CC}$ | Supply Current (no load)<br>$T_{amb}$ = 25°C<br>$T_{min.} \le T_{amb} \le T_{max.}$ | | 1.4 | 3.4<br>3.4 | mA |
| $V_{icm}$ | Input Common Mode Voltage Range | ±11 | +15<br>-12 | | V |
| CMR | Common Mode Rejection Ratio (Rs = 10kΩ)<br>$T_{amb}$ = 25°C<br>$T_{min.} \le T_{amb} \le T_{max.}$ | 70<br>70 | 86 | | dB |
| Ios | Output Short-circuit Current<br>$T_{amb}$ = 25°C<br>$T_{min.} \le T_{amb} \le T_{max.}$ | 10<br>10 | 40 | 60<br>60 | mA |
| $\pm V_{OPP}$ | Output Voltage Swing<br>$T_{amb}$ = 25°C $R_L$ = 2kΩ<br>$R_L$ = 10kΩ<br>$T_{min.} \le T_{amb} \le T_{max.}$ $R_L$ = 2kΩ<br>$R_L$ = 10kΩ | 10<br>12<br>10<br>12 | 12<br>13.5 | | V |
| SR | Slew Rate<br>($V_i$ = 10V, $R_L$ = 2kΩ, $C_L$ = 100pF, $T_{amb}$ = 25°C, unity gain) | 12 | 16 | | V/µs |
| $t_r$ | Rise Time<br>($V_i$ = 20mV, $R_L$ = 2kΩ, $C_L$ = 100pF, $T_{amb}$ = 25°C, unity gain) | | 0.1 | | µs |
| $K_{OV}$ | Overshoot<br>($V_i$ = 20mV, $R_L$ = 2kΩ, $C_L$ = 100pF, $T_{amb}$ = 25°C, unity gain) | | 10 | | % |
| GBP | Gain Bandwidth Product<br>(f = 100kHz, $T_{amb}$ = 25°C, $V_{in}$ = 10mV, $R_L$ = 2kΩ, $C_L$ = 100pF) | 2.5 | 4 | | MHz |
| $R_i$ | Input Resistance | | $10^{12}$ | | Ω |
| THD | Total Harmonic Distortion (f = 1kHz, $A_V$ = 20dB, $R_L$ = 2kΩ,<br>$C_L$ = 100pF, $T_{amb}$ = 25°C, $V_O$ = $2V_{PP}$) | | 0.01 | | % |
| $e_n$ | Equivalent Input Noise Voltage (f = 1kHz, $R_s$ = 100Ω) | | 15 | | $\frac{nV}{\sqrt{Hz}}$ |
| Øm | Phase Margin | | 45 | | Degrees |

* The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature.

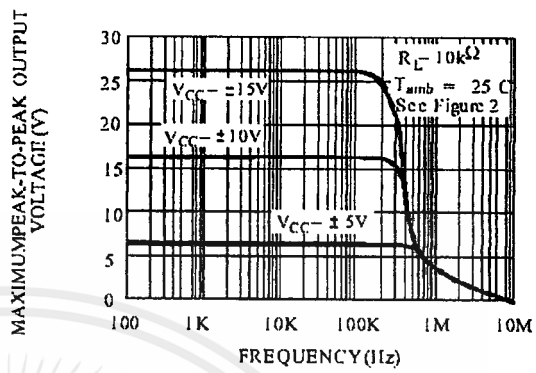


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

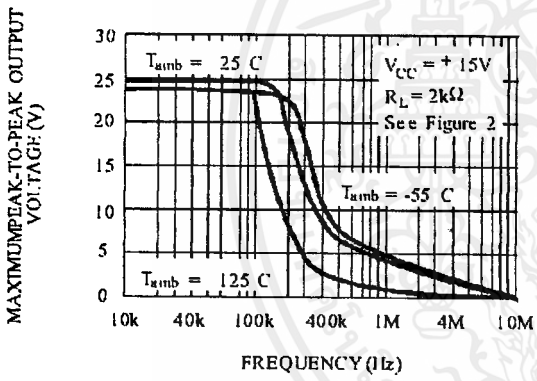
## MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS FREQUENCY



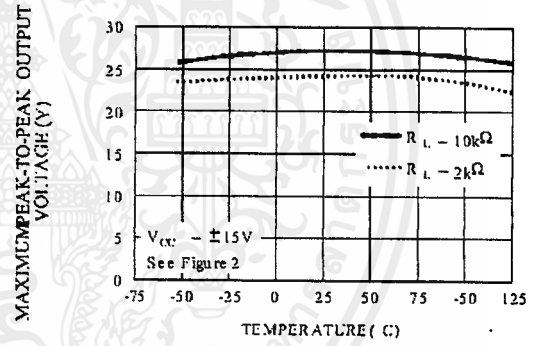

## MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS FREQUENCY



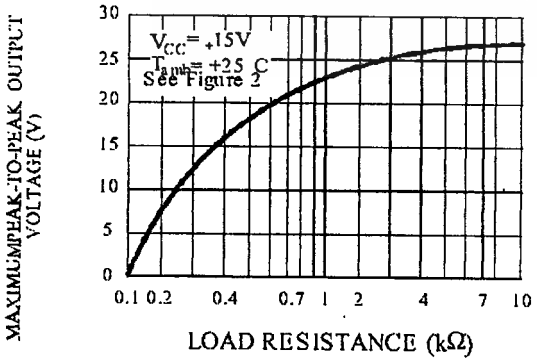

## MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS FREQUENCY



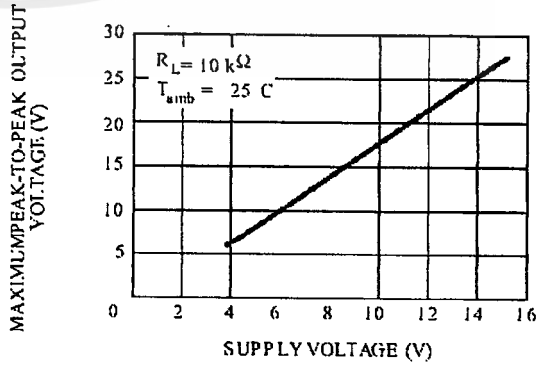

## MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS FREE AIR TEMP.




## MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS LOAD RESISTANCE




## MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS SUPPLY VOLTAGE

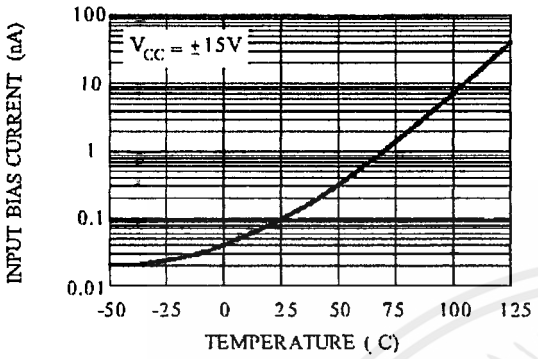




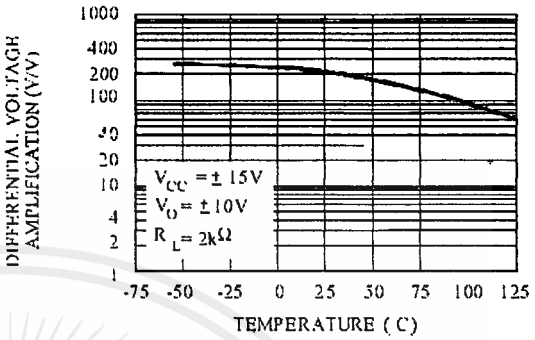

SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

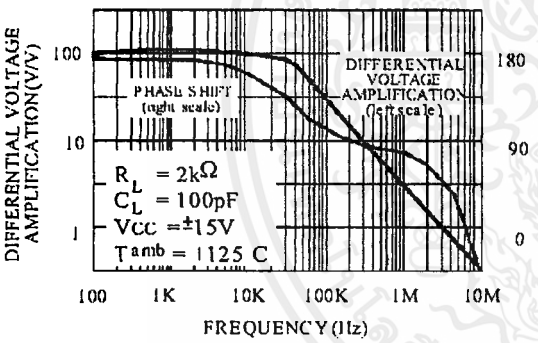
## INPUT BIAS CURRENT VERSUS FREE AIR TEMPERATURE



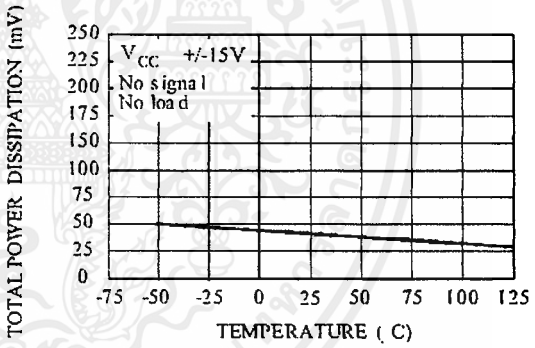

## LARGE SIGNAL DIFFERENTIAL VOLTAGE AMPLIFICATION VERSUS FREE AIR TEMPERATURE



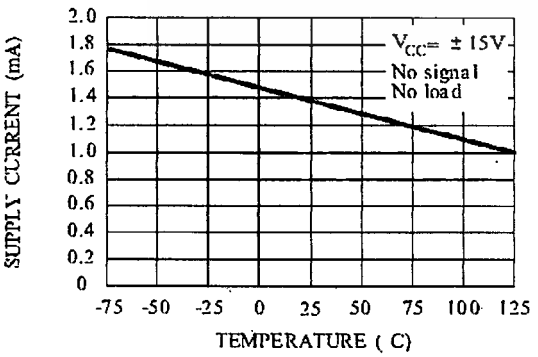

## LARGE SIGNAL DIFFERENTIAL VOLTAGE AMPLIFICATION AND PHASE SHIFT VERSUS FREQUENCY



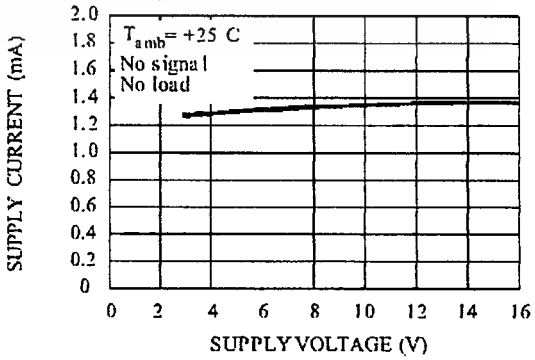

## TOTAL POWER DISSIPATION VERSUS FREE AIR TEMPERATURE




## SUPPLY CURRENT PER AMPLIFIER VERSUS FREE AIR TEMPERATURE



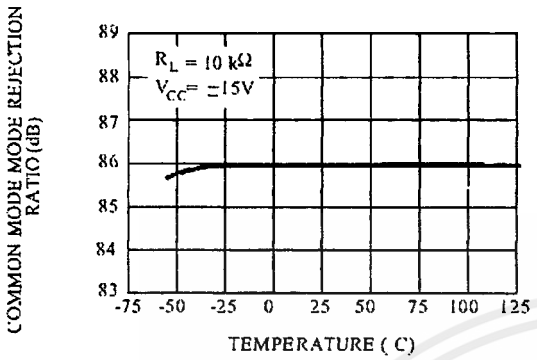

## SUPPLY CURRENT PER AMPLIFIER VERSUS SUPPLY VOLTAGE



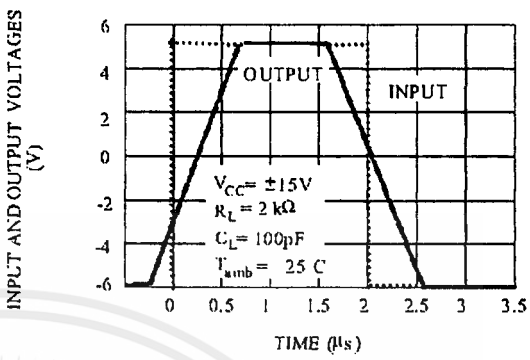



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

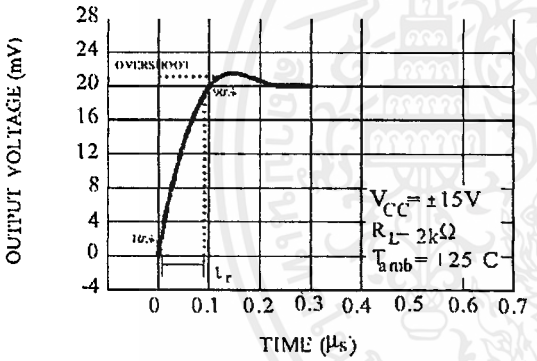
## COMMON MODE REJECTION RATIO VERSUS FREE AIR TEMPERATURE



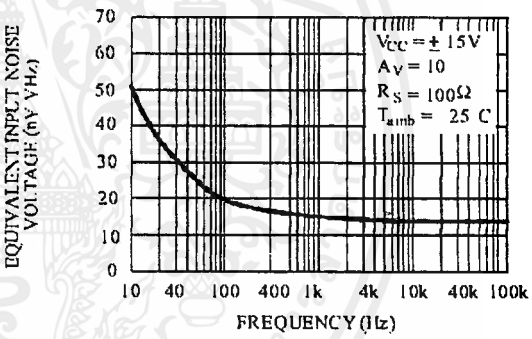

## VOLTAGE FOLLOWER LARGE SIGNAL PULSE RESPONSE



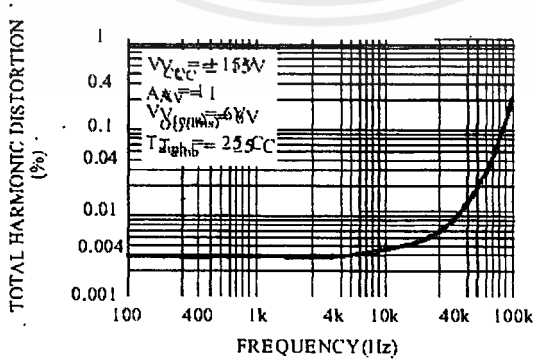

## OUTPUT VOLTAGE VERSUS ELAPSED TIME




## EQUIVALENT INPUT NOISE VOLTAGE VERSUS FREQUENCY




## TOTAL HARMONIC DISTORTION VERSUS FREQUENCY






SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PARAMETER MEASUREMENT INFORMATION

**Figure 1 :** Voltage Follower

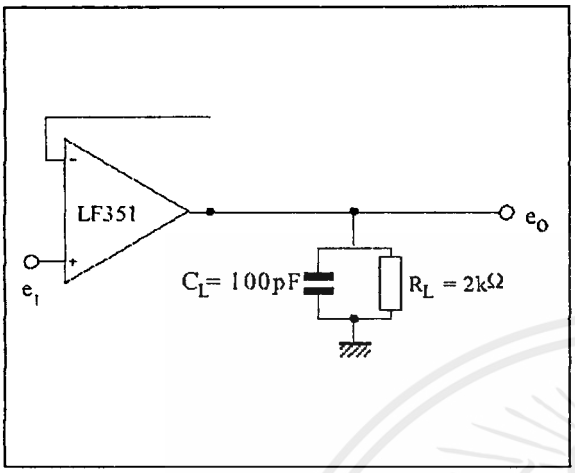
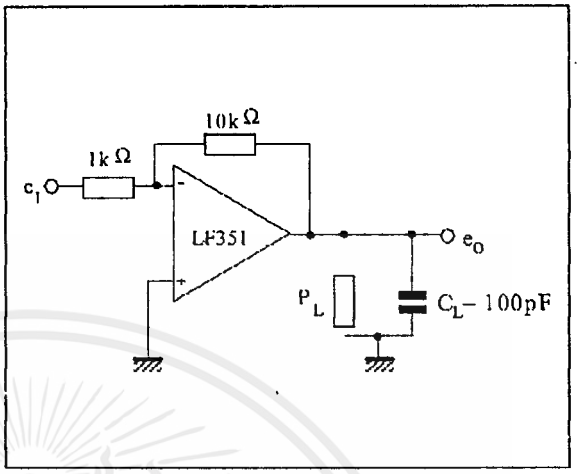
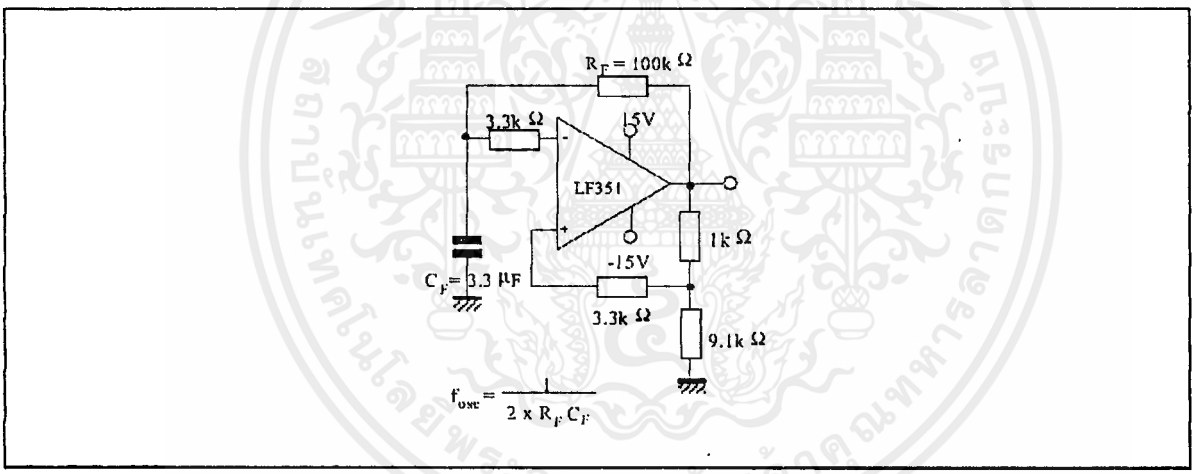



**Figure 2 :** Gain-of-10 Inverting Amplifier

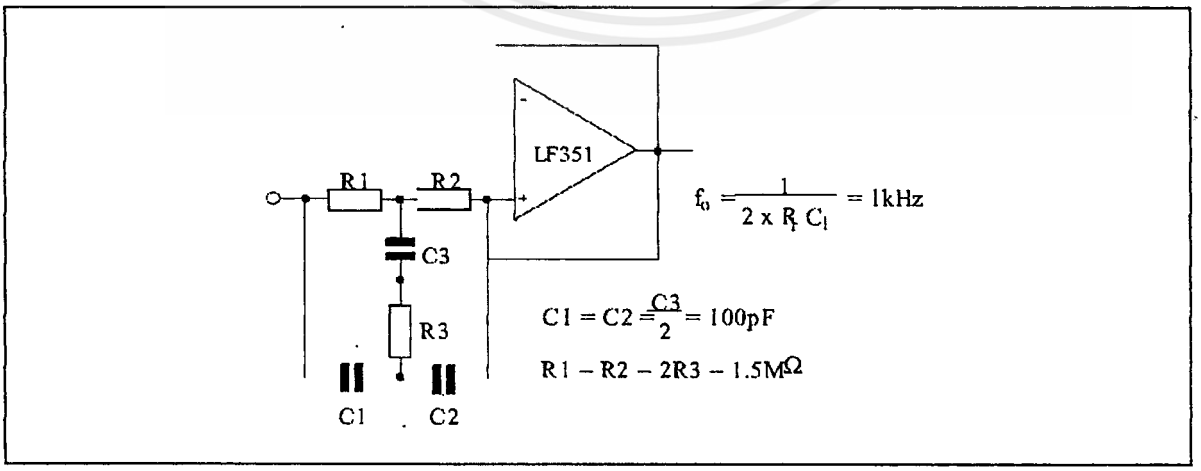



## TYPICAL APPLICATION

(0.5Hz) SQUARE WAVE OSCILLATOR



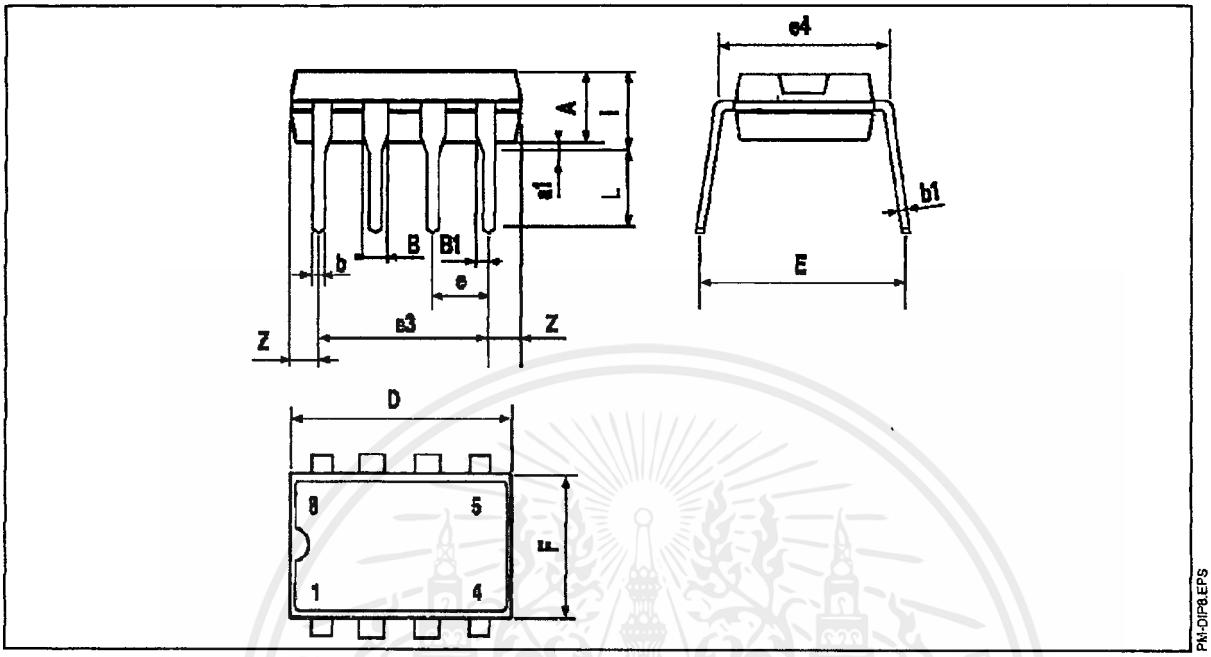

HIGH Q NOTCH FILTER






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PACKAGE MECHANICAL DATA
8 PINS - PLASTIC DIP




| Dimensions | Millimeters | | | Inches | | |
|---|---|---|---|---|---|---|
| | Min. | Typ. | Max. | Min. | Typ. | Max. |
| A | | 3.32 | | | 0.131 | |
| a1 | 0.51 | | | 0.020 | | |
| B | 1.15 | | 1.65 | 0.045 | | 0.065 |
| b | 0.356 | | 0.55 | 0.014 | | 0.022 |
| b1 | 0.204 | | 0.304 | 0.008 | | 0.012 |
| D | | | 10.92 | | | 0.430 |
| E | 7.95 | | 9.75 | 0.313 | | 0.384 |
| e | | 2.54 | | | 0.100 | |
| e3 | | 7.62 | | | 0.300 | |
| e4 | | 7.62 | | | 0.300 | |
| F | | | 6.6 | | | 0260 |
| i | | | 5.08 | | | 0.200 |
| L | 3.18 | | 3.81 | 0.125 | | 0.150 |
| Z | | | 1.52 | | | 0.060 |

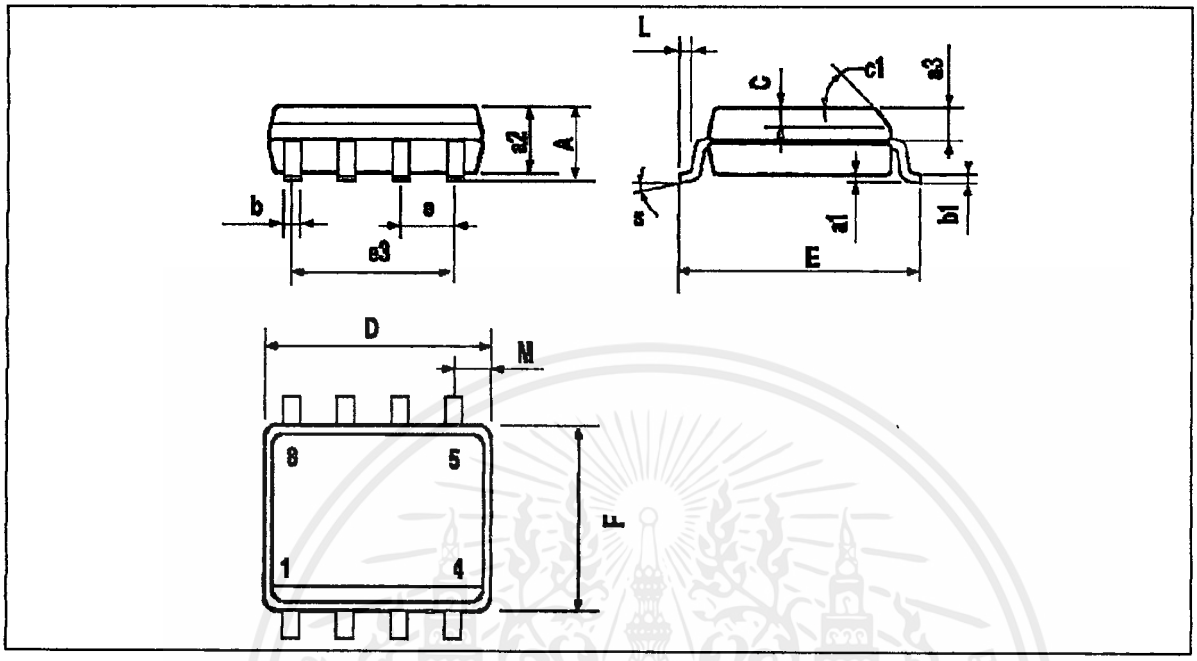
DIP8.TBL



SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PACKAGE MECHANICAL DATA
8 PINS - PLASTIC MICROPACKAGE (SO)




PM-SO8.EPS

| Dimensions | Millimeters | | | Inches | | |
|---|---|---|---|---|---|---|
| | Min. | Typ. | Max. | Min. | Typ. | Max. |
| A | | | 1.75 | | | 0.069 |
| a1 | 0.1 | | 0.25 | 0.004 | | 0.010 |
| a2 | | | 1.65 | | | 0.065 |
| a3 | 0.65 | | 0.85 | 0.026 | | 0.033 |
| b | 0.35 | | 0.48 | 0.014 | | 0.019 |
| b1 | 0.19 | | 0.25 | 0.007 | | 0.010 |
| C | 0.25 | | 0.5 | 0.010 | | 0.020 |
| c1 | 45° (typ.) | | | | | |
| D | 4.8 | | 5.0 | 0.189 | | 0.197 |
| E | 5.8 | | 6.2 | 0.228 | | 0.244 |
| e | | 1.27 | | | 0.050 | |
| e3 | | 3.81 | | | 0.150 | |
| F | 3.8 | | 4.0 | 0.150 | | 0.157 |
| L | 0.4 | | 1.27 | 0.016 | | 0.050 |
| M | | | 0.6 | | | 0.024 |
| S | 8° (max.) | | | | | |

SO8.TBL

**Information furnished is believed to be accurate and reliable. However, SGS-THOMSON Microelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of SGS-THOMSON Microelectronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. SGS-THOMSON Microelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of SGS-THOMSON Microelectronics.**

© 1997 SGS-THOMSON Microelectronics – Printed in Italy – All Rights Reserved

SGS-THOMSON Microelectronics GROUP OF COMPANIES
Australia - Brazil - Canada - China - France - Germany - Hong Kong - Italy - Japan - Korea - Malaysia - Malta - Morocco
The Netherlands - Singapore - Spain - Sweden - Switzerland - Taiwan - Thailand - United Kingdom - U.S.A.

ORDER CODE :



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SGS-THOMSON MICROELECTRONICS

# HCC/HCF4095B
# HCC/HCF4096B

## GATE J-K MASTER-SLAVE FLIP-FLOPS

- 16 MHz TOGGLE RATE (typ.) AT $V_{DD}$ - $V_{SS}$ = 10V
- GATED INPUTS
- QUIESCENT CURRENT SPECIFIED TO 20v FOR HCC DEVICE
- 5V, 10V AND 15V PARAMETRIC RATINGS
- INPUT CURRENT OF 100 nA AT 18V AND 25oC FOR HCC DEVICE
- 100% TESTED FOR QUIESCENT CURRENT
- MEETS ALL REQUIREMENTS OF JEDEC TENTATIVE STANDARD No 13 A, "STANDARD SPECIFICATIONS FOR DESCRIPTION OF B SERIES CMOS DEVICES"

### DESCRIPTION

The **HCC4095B/4096B** (extended temperature range) and **HCF4095B/4096B** (intermediate temperature range) are monolithic integrated circuits, available in 14 lead dual in-line plastic or ceramic package and plastic micropackage.

The **HCC/HCF4095B** and **HCC/HCF4096B** are J-K Master-Slave Flip-Flops featuring separate AND gating of multiple J and K inputs. The gated J-K input control transfer of information into the master section during clocked operation. Information on the J-K inputs is transferred to the Q and $\overline{Q}$ outputs on the positive edge of the clock pulse. SET and RESET inputs (active high) are provided for asynchronous operation.

EY (Plastic Package)



F (Ceramic Package)

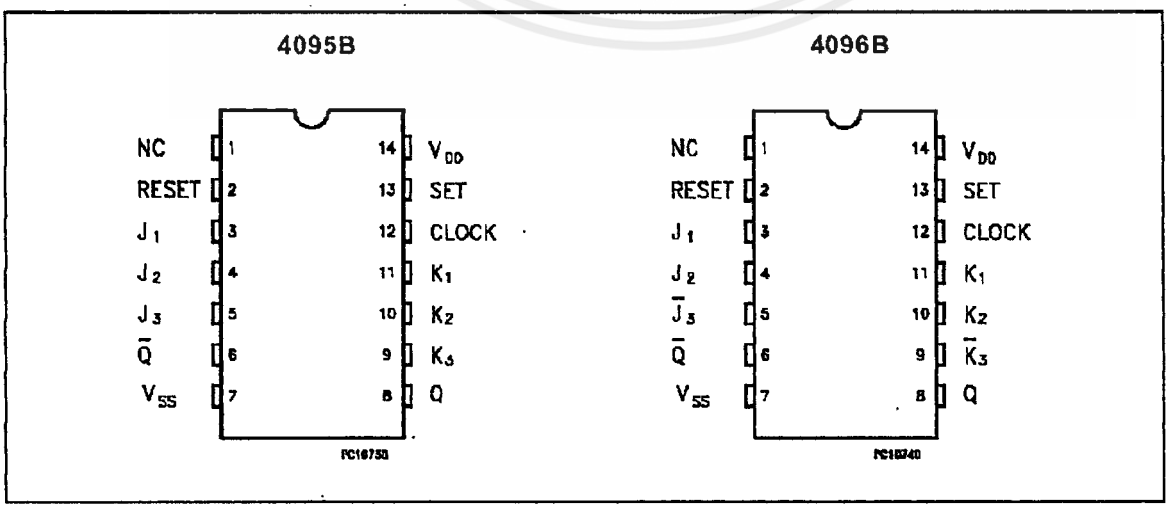
M1 (Micro Package)

C1 (Chip Carrier)

**ORDER CODES :**

| | |
|---|---|
| HCC40XXBF | HCF40XXBM1 |
| HCF40XXBEY | HCF40XXBC1 |

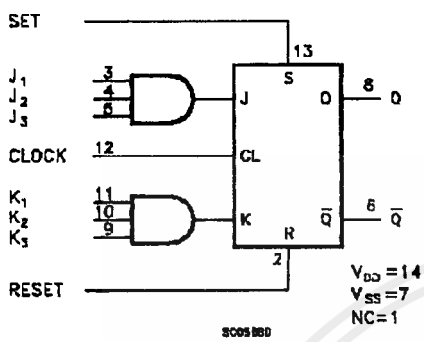
### PIN CONNECTIONS

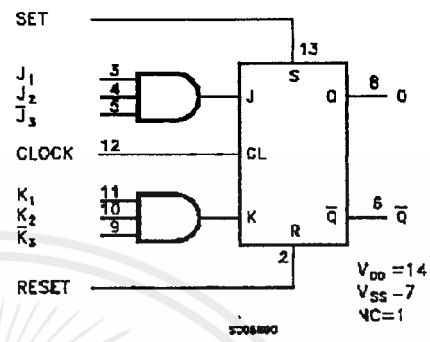




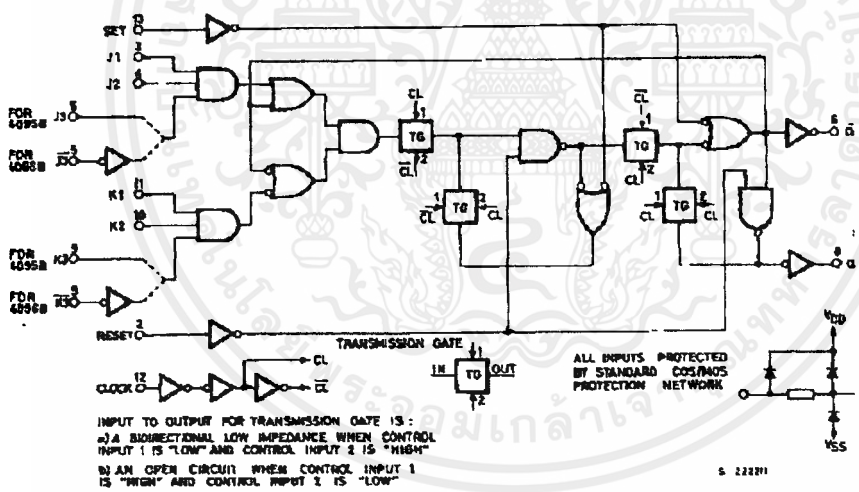

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## FUNCTIONAL DIAGRAMS




## LOGIC DIAGRAM




## TRUTH TABLES

### SYNCHRONOUS OPERATION (S=0 R=0)

| Inputs Before Positive Clock Transition | | Outputs After Positive Clock Transition | |
|---|---|---|---|
| J * | K * | Q | $\overline{Q}$ |
| 0 | 0 | No Change | |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | Toggles | |

* For 4095B J = J1 • J2 • $\overline{J3}$, K = K1 • K2 • $\overline{K3}$
* For 4095B J = J1 • J2 • $\overline{J3}$, K = K1 • K2 • $\overline{K3}$

### ASYNCHRONOUS OPERATION (J and K DON'T CARE)

| S | R | Q | $\overline{Q}$ |
|---|---|---|---|
| 0 | 0 | No Change | |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |

0 = $V_{SS}$, 1 = $V_{DD}$



SGS-THOMSON MICROELECTRONICS
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ABSOLUTE MAXIMUM RATING

| Symbol | Parameter | Value | Unit |
|---|---|---|---|
| $V_{DD}$ * | Supply Voltage: **HCC** Types<br>**HCF** Types | -0.5 to +20<br>-0.5 to +18 | V<br>V |
| $V_I$ | Input Voltage | -0.5 to $V_{DD}$ + 0.5 | V |
| $I_I$ | DC Input Current (any one input) | ± 10 | mA |
| $P_{tot}$ | Total Power Dissipation (per package)<br>Dissipation per Output Transistor<br>for Top = Full Package Temperature Range | 200<br><br>100 | mW<br><br>mW |
| $T_{op}$ | Operating Temperature: **HCC** Types<br>**HCF** Types | -55 to +125<br>-40 to +85 | °C<br>°C |
| $T_{stg}$ | Storage Temperature | -65 to +150 | °C |

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for external periods may affect device reliability.

* All voltage values are referred to $V_{SS}$ pin voltage.

## RECOMMENDED OPERATING CONDITIONS

| Symbol | Parameter | Value | Unit |
|---|---|---|---|
| $V_{DD}$ | Supply Voltage: **HCC** Types<br>**HCF** Types | 3 to 18<br>3 to 15 | V<br>V |
| $V_I$ | Input Voltage | 0 to $V_{DD}$ | V |
| $T_{op}$ | Operating Temperature: **HCC** Types<br>**HCF** Types | -55 to +125<br>-40 to +85 | °C<br>°C |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## STATIC ELECTRICAL CHARACTERISTICS (over recommended operating conditions)

| Symbol | Parameter | | Test Conditios $V_I$ (V) | $V_O$ (V) | $\|I_O\|$ (µA) | $V_{DD}$ (V) | Value $T_{LOW}$ * Min. | $T_{LOW}$ * Max. | 25 °C Min. | 25 °C Typ. | 25 °C Max. | $T_{HIGH}$ * Min. | $T_{HIGH}$ * Max. | Unit |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| $I_L$ | Quiescent Current | HCC Types | 0/5 | | | 5 | | 1 | | 0.02 | 1 | | 30 | µA |
| | | | 0/10 | | | 10 | | 2 | | 0.02 | 2 | | 60 | |
| | | | 0/15 | | | 15 | | 4 | | 0.02 | 4 | | 120 | |
| | | | 0/20 | | | 20 | | 20 | | 0.04 | 20 | | 600 | |
| | | HCF Types | 0/5 | | | 5 | | 4 | | 0.02 | 4 | | 30 | |
| | | | 0/10 | | | 10 | | 8 | | 0.02 | 8 | | 60 | |
| | | | 0/15 | | | 15 | | 16 | | 0.02 | 16 | | 120 | |
| $V_{OH}$ | Output High Voltage | | 0/5 | | < 1 | 5 | 4.95 | | 4.95 | | | 4.95 | | V |
| | | | 0/10 | | < 1 | 10 | 9.95 | | 9.95 | | | 9.95 | | |
| | | | 0/15 | | < 1 | 15 | 14.95 | | 14.95 | | | 14.95 | | |
| $V_{OL}$ | Output Low Voltage | | 5/0 | | < 1 | 5 | | 0.05 | | | 0.05 | | 0.05 | V |
| | | | 10/0 | | < 1 | 10 | | 0.05 | | | 0.05 | | 0.05 | |
| | | | 15/0 | | < 1 | 15 | | 0.05 | | | 0.05 | | 0.05 | |
| $V_{IH}$ | Input High Voltage | | | 4.5 | < 1 | 5 | 3.5 | | 3.5 | | | 3.5 | | V |
| | | | | 9 | < 1 | 10 | 7 | | 7 | | | 7 | | |
| | | | | 13.5 | < 1 | 15 | 11 | | 11 | | | 11 | | |
| $V_{IL}$ | Input Low Voltage | | | 0.5 | < 1 | 5 | | 1.5 | | | 1.5 | | 1.5 | V |
| | | | | 1 | < 1 | 10 | | 3 | | | 3 | | 3 | |
| | | | | 1.5 | < 1 | 15 | | 4 | | | 4 | | 4 | |
| $I_{OH}$ | Output Drive Current | HCC Types | 0/5 | 2.5 | | 5 | -2 | | -1.6 | -3.2 | | -1.15 | | mA |
| | | | 0/5 | 4.6 | | 5 | -0.64 | | -0.51 | -1 | | -0.36 | | |
| | | | 0/10 | 9.5 | | 10 | -1.6 | | -1.3 | -2.6 | | -0.9 | | |
| | | | 0/15 | 13.5 | | 15 | -4.2 | | -3.4 | -6.8 | | -2.4 | | |
| | | HCF Types | 0/5 | 2.5 | | 5 | -1.53 | | -1.36 | -3.2 | | -1.1 | | |
| | | | 0/5 | 4.6 | | 5 | -0.52 | | -0.44 | -1 | | -0.36 | | |
| | | | 0/10 | 9.5 | | 10 | -1.3 | | -1.1 | -2.6 | | -0.9 | | |
| | | | 0/15 | 13.5 | | 15 | -3.6 | | -3.0 | -6.8 | | -2.4 | | |
| $I_{OL}$ | Output Sink Current | HCC Types | 0/5 | 0.4 | | 5 | 0.64 | | 0.51 | 1 | | 0.36 | | mA |
| | | | 0/10 | 0.5 | | 10 | 1.6 | | 1.3 | 2.6 | | 0.9 | | |
| | | | 0/15 | 1.5 | | 15 | 4.2 | | 3.4 | 6.8 | | 2.4 | | |
| | | HCF Types | 0/5 | 0.4 | | 5 | 0.52 | | 0.44 | 1 | | 0.36 | | |
| | | | 0/10 | 0.5 | | 10 | 1.3 | | 1.1 | 2.6 | | 0.9 | | |
| | | | 0/15 | 1.5 | | 15 | 3.6 | | 3.0 | 6.8 | | 2.4 | | |
| $I_{IH}$, $I_{IL}$ | Input Leakage Current | | 0/18 | Any Input | | 18 | | ±0.1 | | $±10^{-5}$ | ±0.1 | | ±1 | µA |
| | | | 0/15 | | | 15 | | ±0.3 | | $±10^{-5}$ | ±0.3 | | ±1 | |
| $C_I$ | Input Capacitance | | | Any Input | | | | | | 5 | 7.5 | | | pF |

* $T_{LOW}$ = -55°C for HCC device; -40 °C for HCF device.

* $T_{HIGH}$ = +125 °C for HCC device; +85 °C for HCF device.

The Noise Margin for both "1" and "0" level is: 1V min. with $V_{DD}$ = 5V, 2 V min. with $V_{DD}$ = 10 V, 2.5 V min. with $V_{DD}$ = 15 V



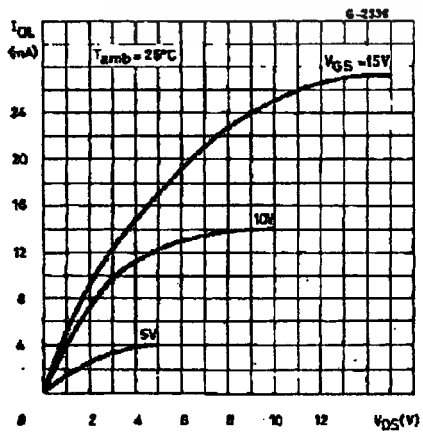
SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

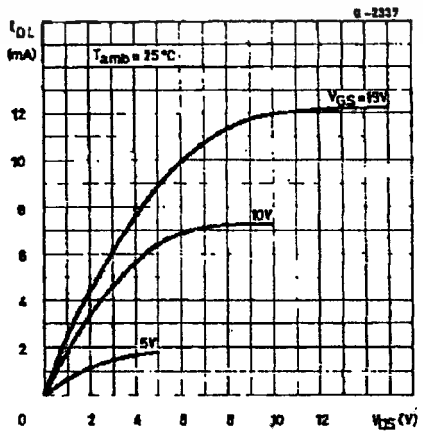
**DYNAMIC ELECTRICAL CHARACTERISTICS** ($T_{amb}$ = 25 °C, $C_L$ = 50 pF, $R_L$ = 200 KΩ, typical temperature coefficent for all $V_{DD}$ values is 03 %/°C, all input rise and fall times= 20 ns)

| Symbol | Parameter | Test Conditions | | Value | | | Unit |
|---|---|---|---|---|---|---|---|
| | | | $V_{DD}$ (V) | Min. | Typ. | Max. | |
| $t_{PLH}$ $t_{PHL}$ | Propagation Delay Time | | 5 | | 250 | 500 | ns |
| | | | 10 | | 100 | 200 | |
| | | | 15 | | 75 | 150 | |
| $t_{PLH}$ $t_{PHL}$ | Propagation Delay Time (Set or Reset) | | 5 | | 150 | 300 | ns |
| | | | 10 | | 75 | 150 | |
| | | | 15 | | 50 | 100 | |
| $t_{THL}$ $t_{TLH}$ | Transition Time | | 5 | | 100 | 200 | ns |
| | | | 10 | | 50 | 100 | |
| | | | 15 | | 40 | 80 | |
| $f_{CL}$ | Maximum Clock Input Frequency | | 5 | 3.5 | 7 | | MHz |
| | | | 10 | 8 | 16 | | |
| | | | 15 | 12 | 24 | | |
| $t_W$ | Clock Pulse Width | | 5 | 140 | 70 | | ns |
| | | | 10 | 60 | 30 | | |
| | | | 15 | 40 | 20 | | |
| $t_r$ $t_f$ | Clock Input Rise or Fall Time | | 5 | | | 15 | µs |
| | | | 10 | | | 5 | |
| | | | 15 | | | 5 | |
| $t_W$ | Set or Reset Pulse Width | | 5 | 200 | 100 | | ns |
| | | | 10 | 100 | 50 | | |
| | | | 15 | 50 | 25 | | |
| $t_{setup}$ | Data Setup Time | | 5 | 400 | 200 | | ns |
| | | | 10 | 160 | 80 | | |
| | | | 15 | 100 | 50 | | |

Typical Output Low (sink) Current Characteristics



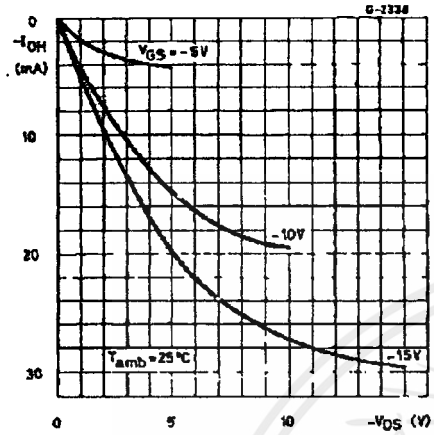

Minimum Output low (sink) Current Characteristics



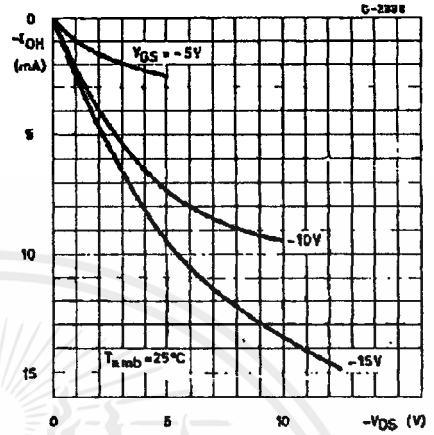



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

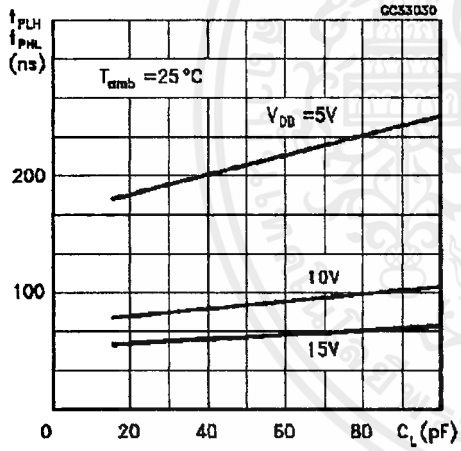
Typical Output High (source) Current Characteristics



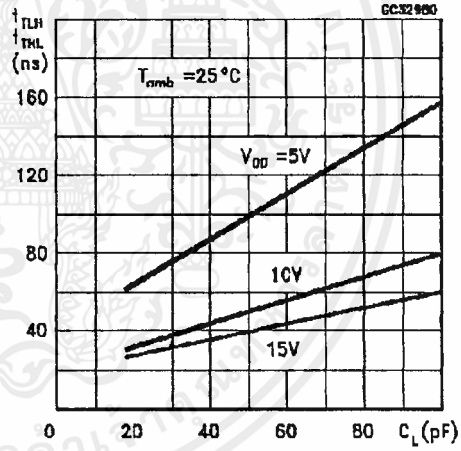

Minimum Output High (source) Current Characteristics



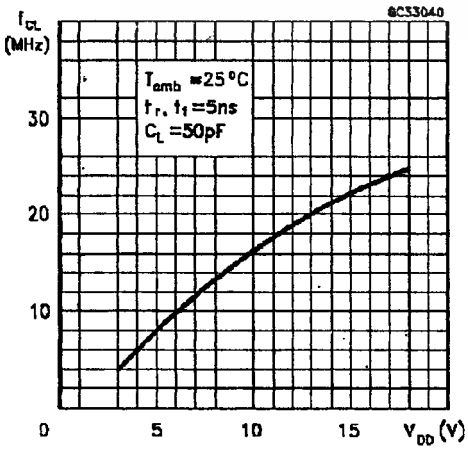

Typical Propagation Delay Time vs Load Capacitance



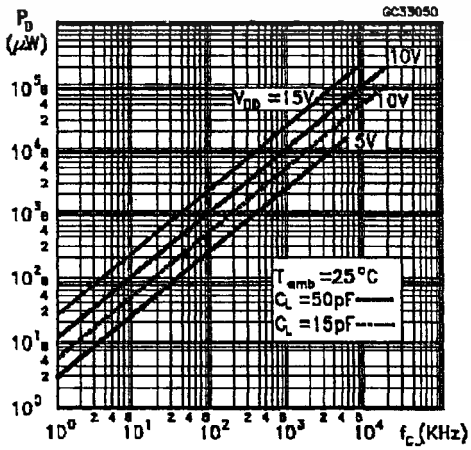

Typical Transition Time vs Load Capacitance




Typical Clock Frequency vs Supply Voltage (Toggle Mode)




Typical Power Power Dissipation Vs. Input Clock Frequency

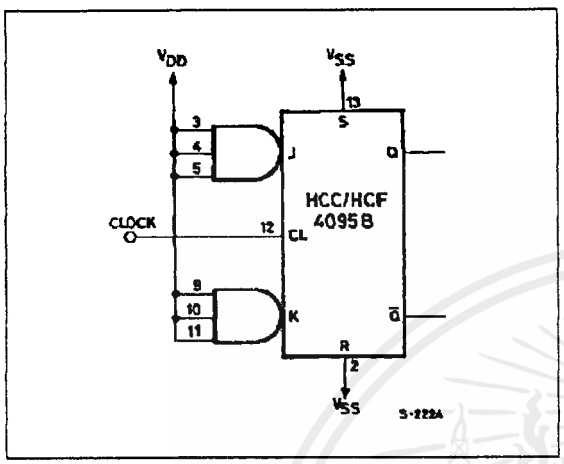




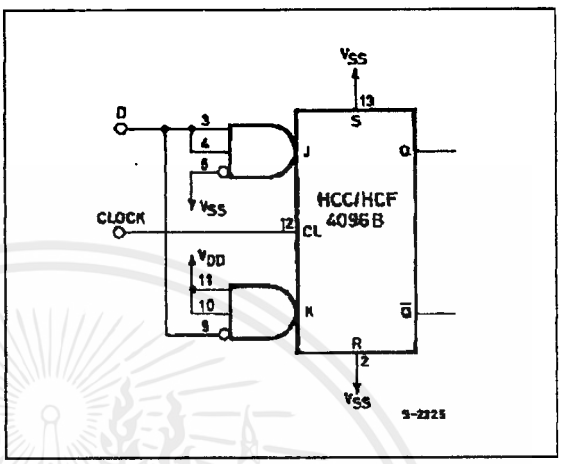

SGS-THOMSON MICROELECTRONICS
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TYPICAL APPLICATIONS

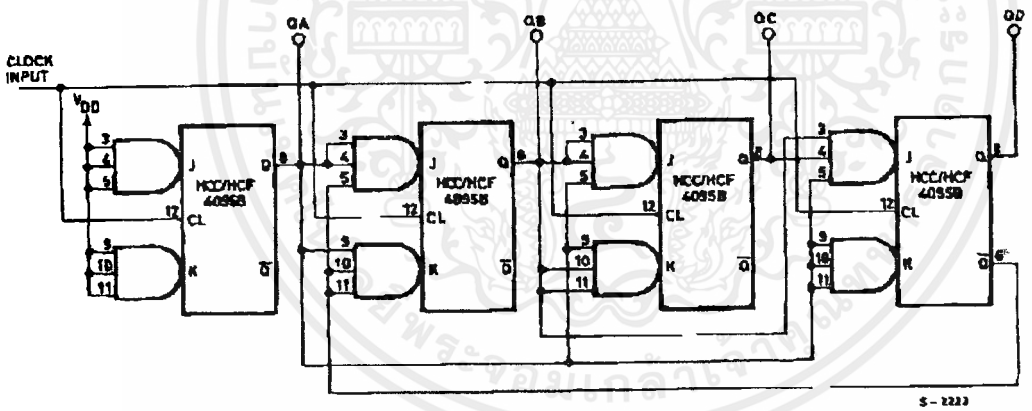
T-type Flip-Flop

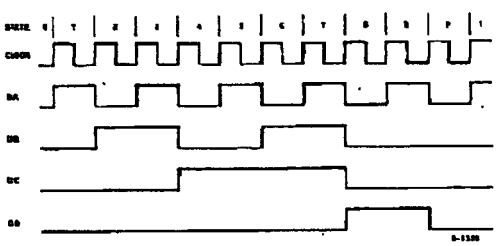



D-type Flip-Flop




Synchronous Binary Divide by Ten Counter



| STATE | QA | QB | QC | QD |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 2 | 0 | 1 | 0 | 0 |
| 3 | 1 | 1 | 0 | 0 |
| 4 | 0 | 0 | 1 | 0 |
| 5 | 1 | 0 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 |
| 7 | 1 | 1 | 1 | 0 |
| 8 | 0 | 0 | 0 | 1 |
| 9 | 1 | 0 | 0 | 1 |

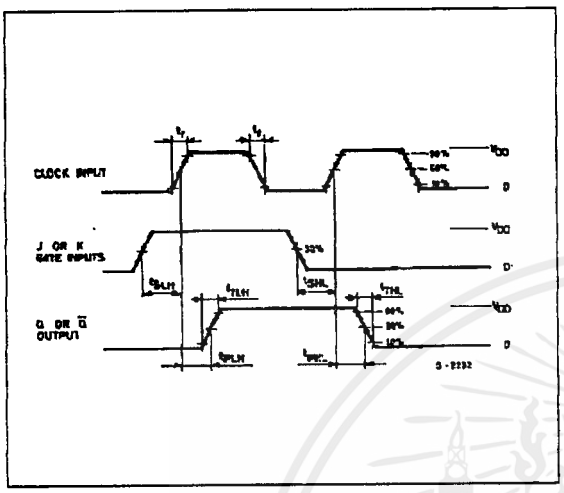
NOTE: In all 4095B units the Set and Reset are Connected to $V_{SS}$



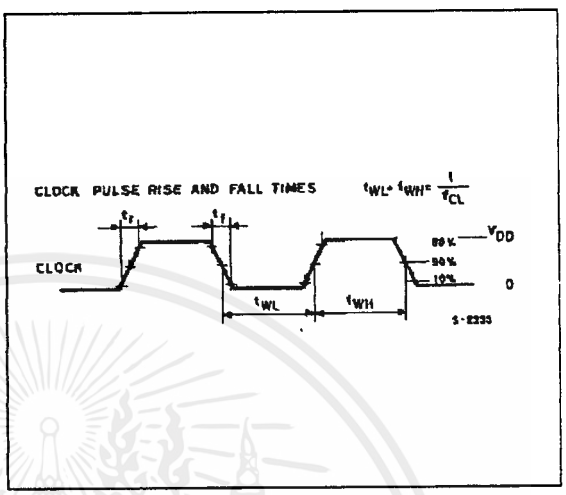
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## WAVEFORMS

Propagation Delay, Transition and Setup Time

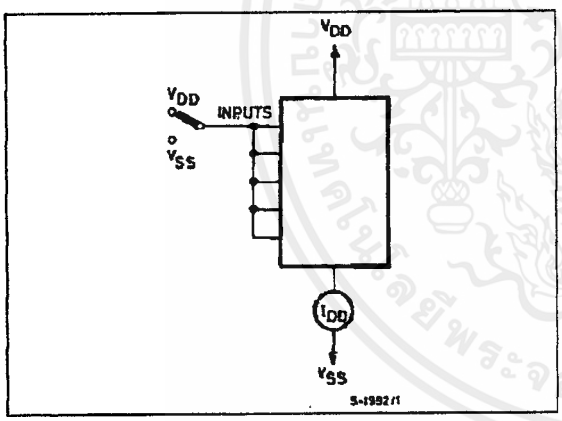



Clock Pulse Rise and Fall Time

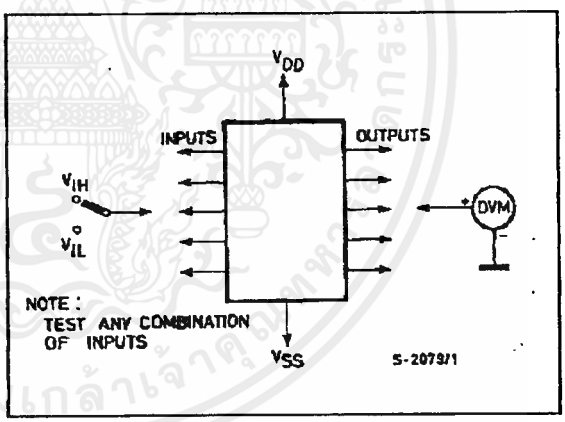



## TEST CIRCUITS

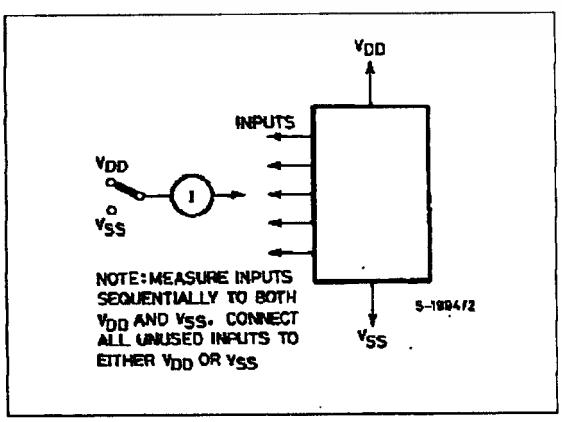
Quiescent Device Current




Noise Immunity.




Input Leakage Current.

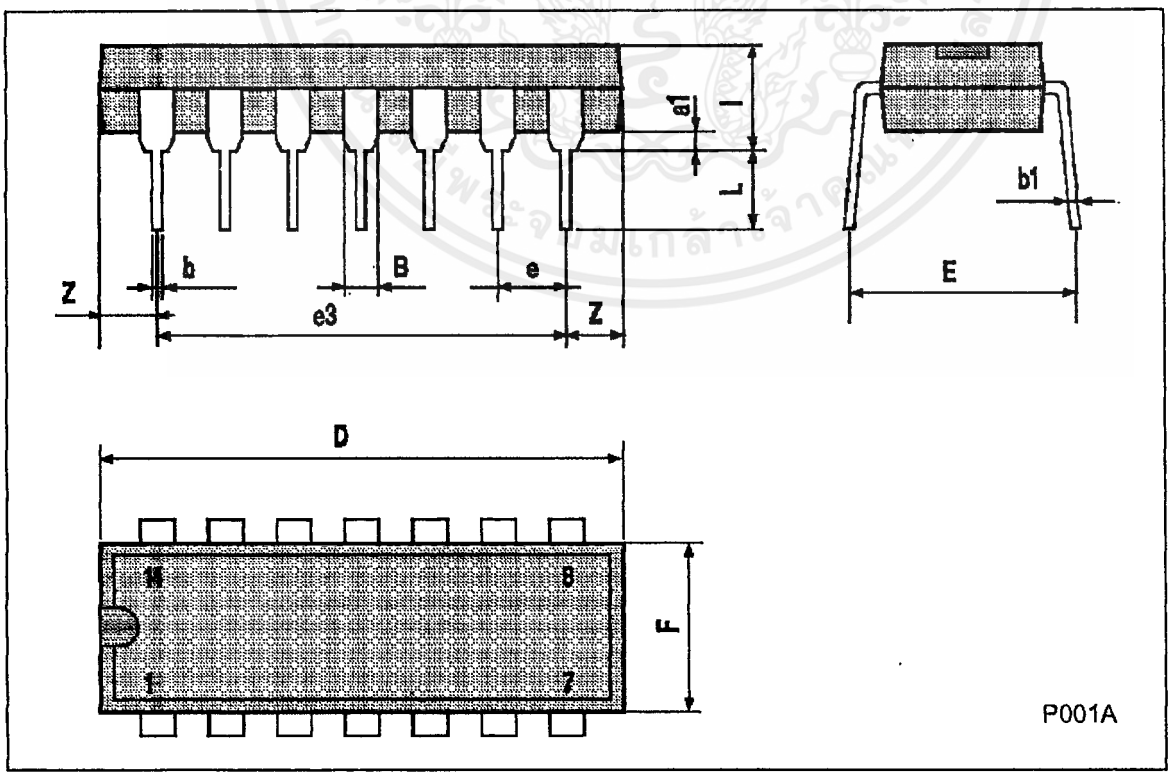




SGS-THOMSON MICROELECTRONICS
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Plastic DIP14 MECHANICAL DATA

| DIM. | mm | | | inch | | |
|---|---|---|---|---|---|---|
| | MIN. | TYP. | MAX. | MIN. | TYP. | MAX. |
| a1 | 0.51 | | | 0.020 | | |
| B | 1.39 | | 1.65 | 0.055 | | 0.065 |
| b | | 0.5 | | | 0.020 | |
| b1 | | 0.25 | | | 0.010 | |
| D | | | 20 | | | 0.787 |
| E | | 8.5 | | | 0.335 | |
| e | | 2.54 | | | 0.100 | |
| e3 | | 15.24 | | | 0.600 | |
| F | | | 7.1 | | | 0.280 |
| I | | | 5.1 | | | 0.201 |
| L | | 3.3 | | | 0.130 | |
| Z | 1.27 | | 2.54 | 0.050 | | 0.100 |

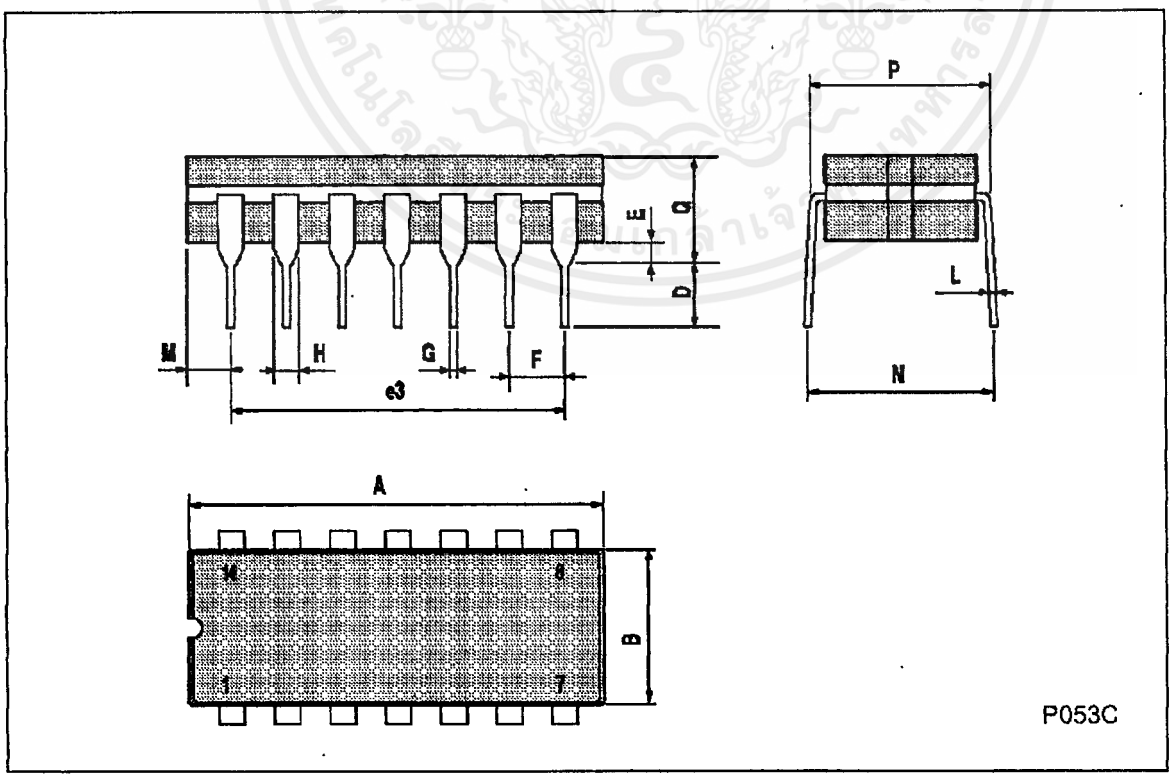





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Ceramic DIP14/1 MECHANICAL DATA

| DIM. | mm | | | inch | | |
|---|---|---|---|---|---|---|
| | MIN. | TYP. | MAX. | MIN. | TYP. | MAX. |
| A | | | 20 | | | 0.787 |
| B | | | 7.0 | | | 0.276 |
| D | | 3.3 | | | 0.130 | |
| E | 0.38 | | | 0.015 | | |
| e3 | | 15.24 | | | 0.600 | |
| F | 2.29 | | 2.79 | 0.090 | | 0.110 |
| G | 0.4 | | 0.55 | 0.016 | | 0.022 |
| H | 1.17 | | 1.52 | 0.046 | | 0.060 |
| L | 0.22 | | 0.31 | 0.009 | | 0.012 |
| M | 1.52 | | 2.54 | 0.060 | | 0.100 |
| N | | | 10.3 | | | 0.406 |
| P | 7.8 | | 8.05 | 0.307 | | 0.317 |
| Q | | | 5.08 | | | 0.200 |

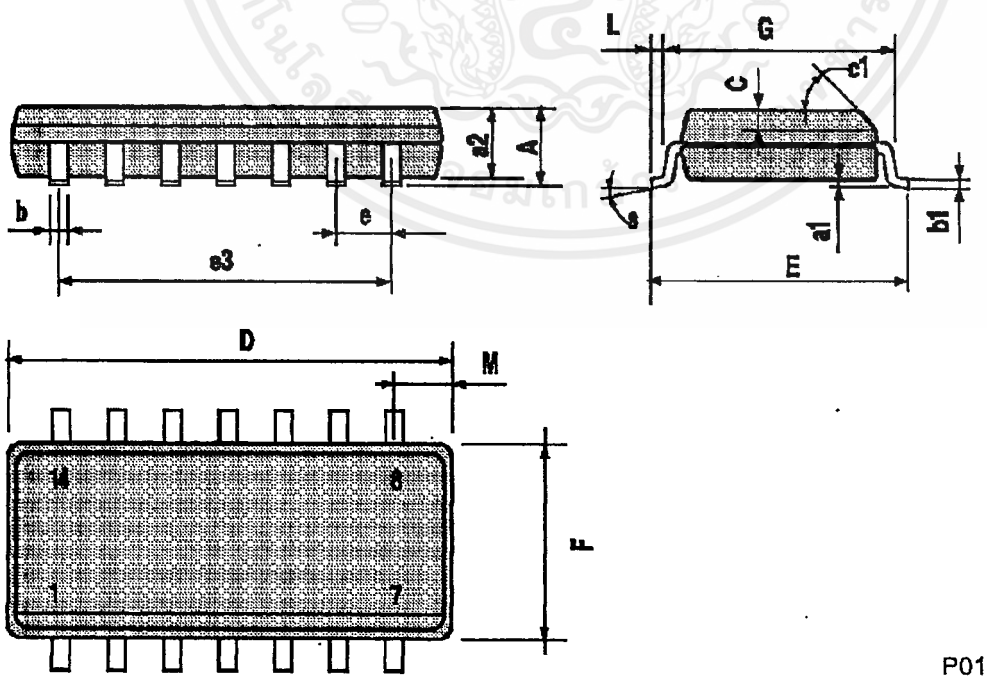





SGS-THOMSON MICROELECTRONICS
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ [illegible] เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## SO14 MECHANICAL DATA

| DIM. | mm | | | inch | | |
|---|---|---|---|---|---|---|
| | MIN. | TYP. | MAX. | MIN. | TYP. | MAX. |
| A | | | 1.75 | | | 0.068 |
| a1 | 0.1 | | 0.2 | 0.003 | | 0.007 |
| a2 | | | 1.65 | | | 0.064 |
| b | 0.35 | | 0.46 | 0.013 | | 0.018 |
| b1 | 0.19 | | 0.25 | 0.007 | | 0.010 |
| C | | 0.5 | | | 0.019 | |
| c1 | 45° (typ.) | | | | | |
| D | 8.55 | | 8.75 | 0.336 | | 0.344 |
| E | 5.8 | | 6.2 | 0.228 | | 0.244 |
| e | | 1.27 | | | 0.050 | |
| e3 | | 7.62 | | | 0.300 | |
| F | 3.8 | | 4.0 | 0.149 | | 0.157 |
| G | 4.6 | | 5.3 | 0.181 | | 0.208 |
| L | 0.5 | | 1.27 | 0.019 | | 0.050 |
| M | | | 0.68 | | | 0.026 |
| S | 8° (max.) | | | | | |



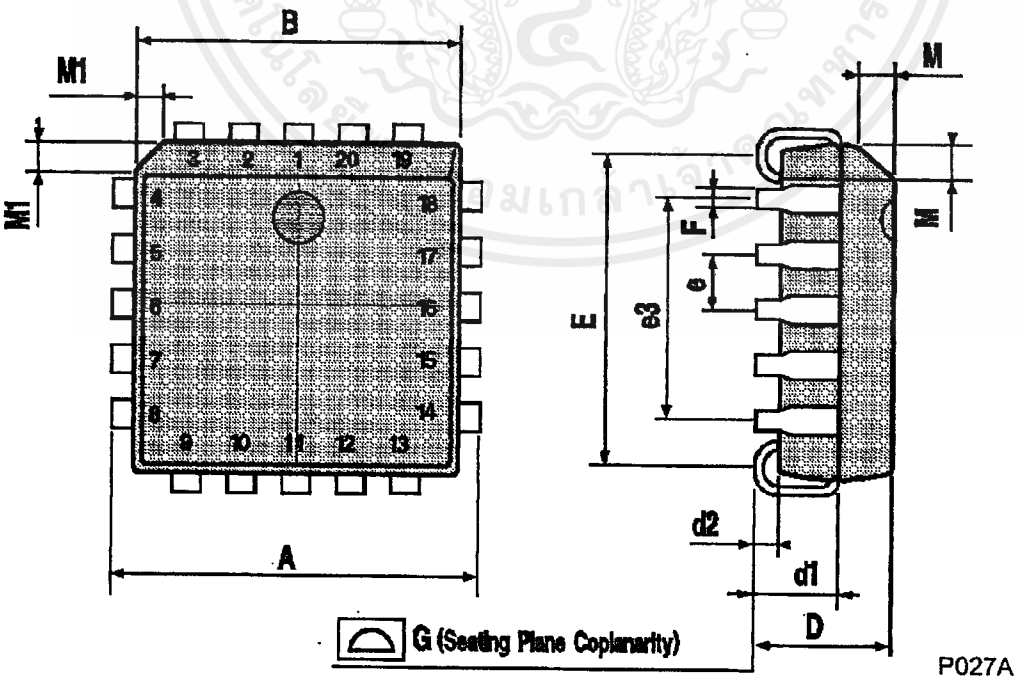

P013G



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ ... เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PLCC20 MECHANICAL DATA

| DIM. | mm | | | inch | | |
|---|---|---|---|---|---|---|
| | MIN. | TYP. | MAX. | MIN. | TYP. | MAX. |
| A | 9.78 | | 10.03 | 0.385 | | 0.395 |
| B | 8.89 | | 9.04 | 0.350 | | 0.356 |
| D | 4.2 | | 4.57 | 0.165 | | 0.180 |
| d1 | | 2.54 | | | 0.100 | |
| d2 | | 0.56 | | | 0.022 | |
| E | 7.37 | | 8.38 | 0.290 | | 0.330 |
| e | | 1.27 | | | 0.050 | |
| e3 | | 5.08 | | | 0.200 | |
| F | | 0.38 | | | 0.015 | |
| G | | | 0.101 | | | 0.004 |
| M | | 1.27 | | | 0.050 | |
| M1 | | 1.14 | | | 0.045 | |






SGS-THOMSON MICROELECTRONICS
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ[illegible]เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Information furnished is believed to be accurate and reliable. However, SGS-THOMSON Microelectronics assumes no responsability for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may results from its use. No license is granted by implication or otherwise under any patent or patent rights of SGS-THOMSON Microelectronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. SGS-THOMSON Microelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of SGS-THOMSON Microelectonics.

© 1994 SGS-THOMSON Microelectronics - All Rights Reserved

SGS-THOMSON Microelectronics GROUP OF COMPANIES
Australia - Brazil - France - Germany - Hong Kong - Italy - Japan - Korea - Malaysia - Malta - Morocco - The Netherlands - Singapore - Spain - Sweden - Switzerland - Taiwan - Thailand - United Kingdom - U.S.A



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

September 1983
Revised February 1999

# MM74HC04
# Hex Inverter

## General Description

The MM74HC04 inverters utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits.

The MM74HC04 is a triple buffered inverter. It has high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pin-out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to $V_{CC}$ and ground.

## Features

- Typical propagation delay: 8 ns
- Fan out of 10 LS-TTL loads
- Quiescent power consumption: 10 μW maximum at room temperature
- Low input current: 1 μA maximum

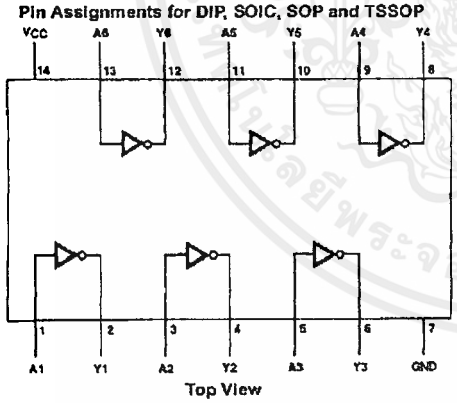
## Ordering Code:

| Order Number | Package Number | Package Description |
|---|---|---|
| MM74HC04M | M14A | 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow |
| MM74HC04SJ | M14D | 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.5mm Wide |
| MM74HC04MTC | MTC14 | 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide |
| MM74HC04N | N14A | 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide |

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

## Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP




Top View

## Logic Diagram

1 of 6 Inverters

© 1999 Fairchild Semiconductor Corporation 

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings (Note 1)

(Note 2)

| | |
|---|---|
| Supply Voltage ($V_{CC}$) | −0.5 to +7.0V |
| DC Input Voltage ($V_{IN}$) | −1.5 to $V_{CC}$ +1.5V |
| DC Output Voltage ($V_{OUT}$) | −0.5 to $V_{CC}$ +0.5V |
| Clamp Diode Current ($I_{IK}$, $I_{OK}$) | ±20 mA |
| DC Output Current, per pin ($I_{OUT}$) | ±25 mA |
| DC $V_{CC}$ or GND Current, per pin ($I_{CC}$) | ±50 mA |
| Storage Temperature Range ($T_{STG}$) | −65°C to +150°C |
| Power Dissipation ($P_D$) | |
| (Note 3) | 600 mW |
| S.O. Package only | 500 mW |
| Lead Temperature ($T_L$) | |
| (Soldering 10 seconds) | 260°C |

## Recommended Operating Conditions

| | Min | Max | Units |
|---|---|---|---|
| Supply Voltage ($V_{CC}$) | 2 | 6 | V |
| DC Input or Output Voltage ($V_{IN}$, $V_{OUT}$) | 0 | $V_{CC}$ | V |
| Operating Temperature Range ($T_A$) | −40 | +85 | °C |
| Input Rise or Fall Times | | | |
| ($t_r$, $t_f$) $V_{CC}$ = 2.0V | | 1000 | ns |
| $V_{CC}$ = 4.5V | | 500 | ns |
| $V_{CC}$ = 6.0V | | 400 | ns |

**Note 1:** Absolute Maximum Ratings are those values beyond which damage to the device may occur.

**Note 2:** Unless otherwise specified all voltages are referenced to ground.

**Note 3:** Power Dissipation temperature derating — plastic "N" package: −12 mW/°C from 65°C to 85°C.

## DC Electrical Characteristics (Note 4)

| Symbol | Parameter | Conditions | $V_{CC}$ | $T_A$ = 25°C | $T_A$ = −40 to 85°C | $T_A$ = −55 to 125°C | Units |
|---|---|---|---|---|---|---|---|
| | | | | Typ | Guaranteed Limits | | |
| $V_{IH}$ | Minimum HIGH Level Input Voltage | | 2.0V | | 1.5 | 1.5 | 1.5 | V |
| | | | 4.5V | | 3.15 | 3.15 | 3.15 | V |
| | | | 6.0V | | 4.2 | 4.2 | 4.2 | V |
| $V_{IL}$ | Maximum LOW Level Input Voltage | | 2.0V | | 0.5 | 0.5 | 0.5 | V |
| | | | 4.5V | | 1.35 | 1.35 | 1.35 | V |
| | | | 6.0V | | 1.8 | 1.8 | 1.8 | V |
| $V_{OH}$ | Minimum HIGH Level Output Voltage | $V_{IN}$ = $V_{IL}$ | | | | | | |
| | | $\|I_{OUT}\| \le 20\ \mu A$ | 2.0V | 2.0 | 1.9 | 1.9 | 1.9 | V |
| | | | 4.5V | 4.5 | 4.4 | 4.4 | 4.4 | V |
| | | | 6.0V | 6.0 | 5.9 | 5.9 | 5.9 | V |
| | | $V_{IN}$ = $V_{IL}$ | | | | | | |
| | | $\|I_{OUT}\| \le 4.0$ mA | 4.5V | 4.2 | 3.98 | 3.84 | 3.7 | V |
| | | $\|I_{OUT}\| \le 5.2$ mA | 6.0V | 5.7 | 5.48 | 5.34 | 5.2 | V |
| $V_{OL}$ | Maximum LOW Level Output Voltage | $V_{IN}$ = $V_{IH}$ | | | | | | |
| | | $\|I_{OUT}\| \le 20\ \mu A$ | 2.0V | 0 | 0.1 | 0.1 | 0.1 | V |
| | | | 4.5V | 0 | 0.1 | 0.1 | 0.1 | V |
| | | | 6.0V | 0 | 0.1 | 0.1 | 0.1 | V |
| | | $V_{IN}$ = $V_{IH}$ | | | | | | |
| | | $\|I_{OUT}\| \le 4.0$ mA | 4.5V | 0.2 | 0.26 | 0.33 | 0.4 | V |
| | | $\|I_{OUT}\| \le 5.2$ mA | 6.0V | 0.2 | 0.26 | 0.33 | 0.4 | V |
| $I_{IN}$ | Maximum Input Current | $V_{IN}$ = $V_{CC}$ or GND | 6.0V | | ±0.1 | ±1.0 | ±1.0 | µA |
| $I_{CC}$ | Maximum Quiescent Supply Current | $V_{IN}$ = $V_{CC}$ or GND | 6.0V | | 2.0 | 20 | 40 | µA |
| | | $I_{OUT}$ = 0 µA | | | | | | |

**Note 4:** For a power supply of 5V ±10% the worst case output voltages ($V_{OH}$, and $V_{OL}$) occur for HC at 4.5V. Thus the 4.5V values should be used when designing with this supply. Worst case $V_{IH}$ and $V_{IL}$ occur at $V_{CC}$=5.5V and 4.5V respectively (The $V_{IH}$ value at 5.5V is 3.85V.) The worst case leakage current ($I_{IN}$, $I_{CC}$, and $I_{OZ}$) occur for CMOS at the higher voltage and so the 6.0V values should be used.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AC Electrical Characteristics

$V_{CC}$ = 5V, $T_A$ = 25°C, $C_L$ = 15 pF, $t_r$ = $t_f$ = 6 ns

| Symbol | Parameter | Conditions | Typ | Guaranteed Limit | Units |
|---|---|---|---|---|---|
| $t_{PHL}$, $t_{PLH}$ | Maximum Propagation Delay | | 8 | 15 | ns |

## AC Electrical Characteristics

$V_{CC}$ = 2.0V to 6.0V, $C_L$ = 50 pF, $t_r$ = $t_f$ = 6 ns (unless otherwise specified)

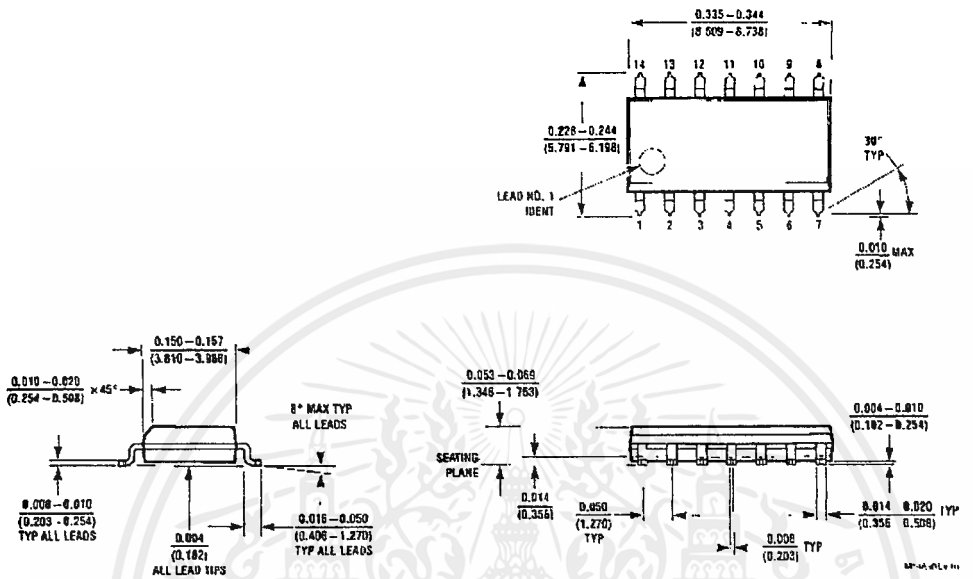
| Symbol | Parameter | Conditions | $V_{CC}$ | $T_A$ = 25°C | $T_A$ = −40 to 85°C | $T_A$ = −55 to 125°C | Units |
|---|---|---|---|---|---|---|---|
| | | | | Typ | Guaranteed Limits | | |
| $t_{PHL}$, $t_{PLH}$ | Maximum Propagation Delay | | 2.0V | 55 | 95 | 120 | 145 | ns |
| | | | 4.5V | 11 | 19 | 24 | 29 | ns |
| | | | 6.0V | 9 | 16 | 20 | 24 | ns |
| $t_{TLH}$, $t_{THL}$ | Maximum Output Rise and Fall Time | | 2.0V | 30 | 75 | 95 | 110 | ns |
| | | | 4.5V | 8 | 15 | 19 | 22 | ns |
| | | | 6.0V | 7 | 13 | 16 | 19 | ns |
| $C_{PD}$ | Power Dissipation Capacitance (Note 5) | (per gate) | | 20 | | | | pF |
| $C_{IN}$ | Maximum Input Capacitance | | | 5 | 10 | 10 | 10 | pF |

Note 5: $C_{PD}$ determines the no load dynamic power consumption, $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$, and the no load dynamic current consumption, $I_S = C_{PD} V_{CC} f + I_{CC}$.

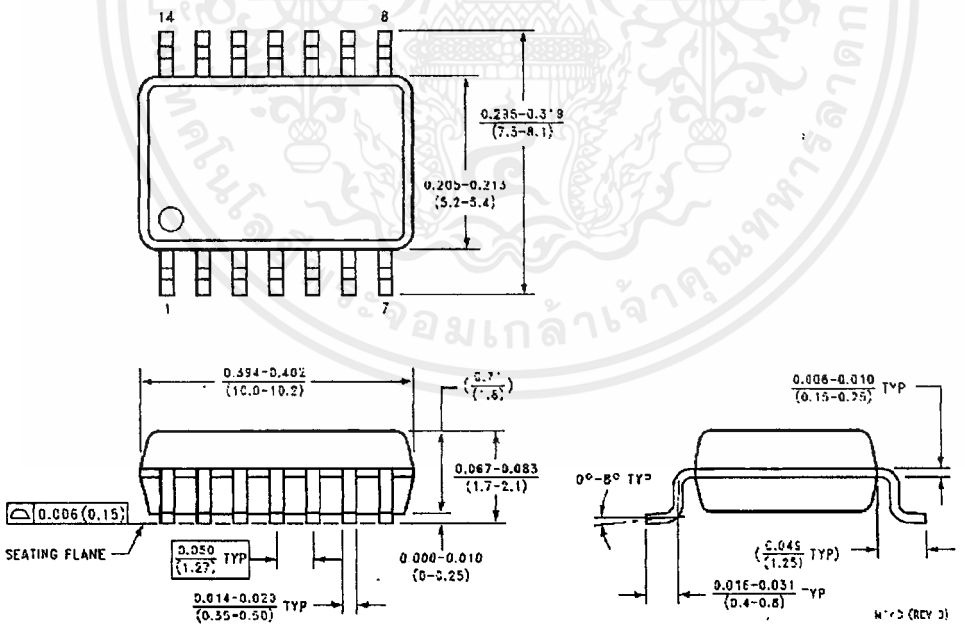


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Physical Dimensions inches (millimeters) unless otherwise noted




**14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow**
**Package Number M14A**



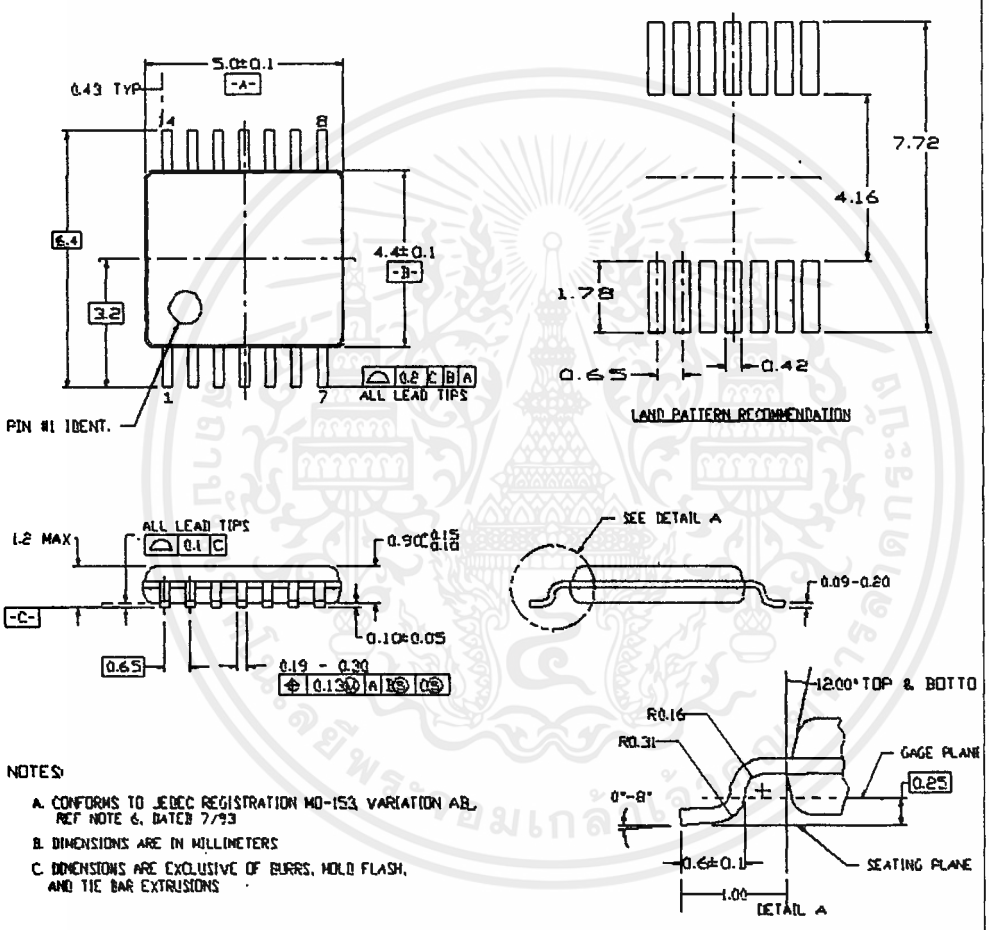

**14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide**
**Package Number M14D**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Physical Dimensions inches (millimeters) unless otherwise noted (Continued)

14LD, TSSOP, JEDEC MO-153, 4.4MM WIDE




NOTES:

A. CONFORMS TO JEDEC REGISTRATION MO-153, VARIATION AB, REF NOTE 6, DATED 7/93

B. DIMENSIONS ARE IN MILLIMETERS

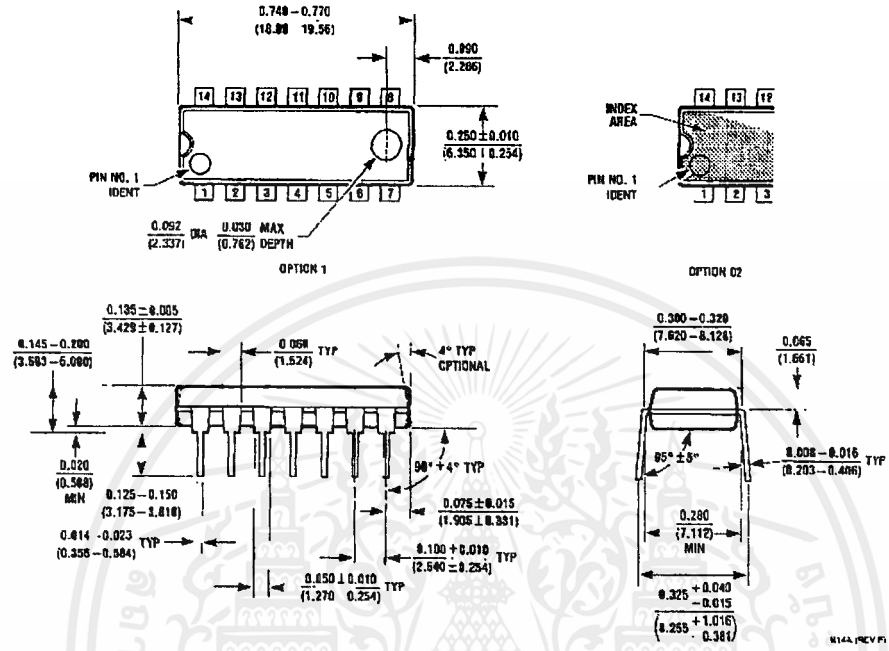
C. DIMENSIONS ARE EXCLUSIVE OF BURRS, MOLD FLASH, AND TIE BAR EXTRUSIONS

**14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide**
**Package Number MTC14**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Physical Dimensions inches (millimeters) unless otherwise noted (Continued)




**14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide**
**Package Number N14A**


**LIFE SUPPORT POLICY**

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

**www.fairchildsemi.com**

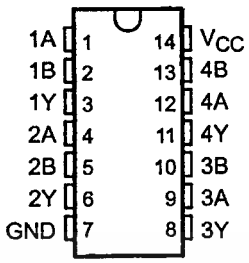
Fairchild does not assume any responsibility for use of any products described herein except as expressly agreed to in writing by Fairchild. Fairchild reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

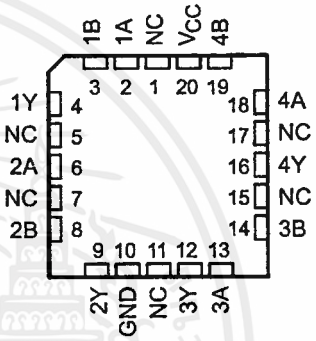
SCLS081B – DECEMBER 1982 – REVISED MAY 1997

- **Package Options Include Plastic Small-Outline (D), Thin Shrink Small-Outline (PW), and Ceramic Flat (W) Packages, Ceramic Chip Carriers (FK), and Standard Plastic (N) and Ceramic (J) 300-mil DIPs**

SN54HC08 . . . J OR W PACKAGE
SN74HC08 . . . D, N, OR PW PACKAGE
(TOP VIEW)




SN54HC08 . . . FK PACKAGE
(TOP VIEW)




NC – No internal connection

## description

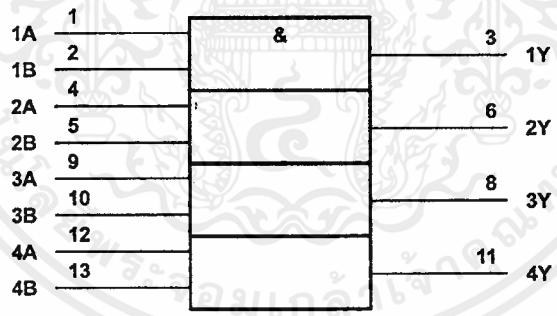
These devices contain four independent 2-input AND gates. They perform the Boolean function $Y = A \bullet B$ or $Y = \overline{\overline{A} + \overline{B}}$ in positive logic.

The SN54HC08 is characterized for operation over the full military temperature range of –55°C to 125°C. The SN74HC08 is characterized for operation from –40°C to 85°C.

FUNCTION TABLE
(each gate)

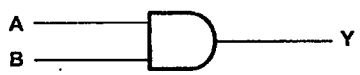
| INPUTS | | OUTPUT |
|---|---|---|
| A | B | Y |
| H | H | H |
| L | X | L |
| X | L | L |

## logic symbol†




† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.
Pin numbers shown are for the D, J, N, PW, and W packages.

## logic diagram (positive logic)



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1997, Texas Instruments Incorporated



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## absolute maximum ratings over operating free-air temperature range†

Supply voltage range, $V_{CC}$ ..... –0.5 V to 7 V
Input clamp current, $I_{IK}$ ($V_I < 0$ or $V_I > V_{CC}$) (see Note 1) ..... ±20 mA
Output clamp current, $I_{OK}$ ($V_O < 0$ or $V_O > V_{CC}$) (see Note 1) ..... ±20 mA
Continuous output current, $I_O$ ($V_O = 0$ to $V_{CC}$) ..... ±25 mA
Continuous current through $V_{CC}$ or GND ..... ±50 mA
Package thermal impedance, $\theta_{JA}$ (see Note 2): D package ..... 127°C/W
N package ..... 78°C/W
PW package ..... 170°C/W
Storage temperature range, $T_{stg}$ ..... –65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
2. The package thermal impedance is calculated in accordance with JESD 51, except for through-hole packages, which use a trace length of zero.

## recommended operating conditions

| | | | SN54HC08 | | | SN74HC08 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|
| | | | MIN | NOM | MAX | MIN | NOM | MAX | |
| $V_{CC}$ | Supply voltage | | 2 | 5 | 6 | 2 | 5 | 6 | V |
| $V_{IH}$ | High-level input voltage | $V_{CC}$ = 2 V | 1.5 | | | 1.5 | | | V |
| | | $V_{CC}$ = 4.5 V | 3.15 | | | 3.15 | | | |
| | | $V_{CC}$ = 6 V | 4.2 | | | 4.2 | | | |
| $V_{IL}$ | Low-level input voltage | $V_{CC}$ = 2 V | 0 | | 0.5 | 0 | | 0.5 | V |
| | | $V_{CC}$ = 4.5 V | 0 | | 1.35 | 0 | | 1.35 | |
| | | $V_{CC}$ = 6 V | 0 | | 1.8 | 0 | | 1.8 | |
| $V_I$ | Input voltage | | 0 | | $V_{CC}$ | 0 | | $V_{CC}$ | V |
| $V_O$ | Output voltage | | 0 | | $V_{CC}$ | 0 | | $V_{CC}$ | V |
| $t_t$ | Input transition (rise and fall) time | $V_{CC}$ = 2 V | 0 | | 1000 | 0 | | 1000 | ns |
| | | $V_{CC}$ = 4.5 V | 0 | | 500 | 0 | | 500 | |
| | | $V_{CC}$ = 6 V | 0 | | 400 | 0 | | 400 | |
| $T_A$ | Operating free-air temperature | | –55 | | 125 | –40 | | 85 | °C |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | TEST CONDITIONS | | $V_{CC}$ | $T_A$ = 25°C | | | SN54HC08 | | SN74HC08 | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP | MAX | MIN | MAX | MIN | MAX | |
| $V_{OH}$ | $V_I$ = $V_{IH}$ or $V_{IL}$ | $I_{OH}$ = –20 µA | 2 V | 1.9 | 1.998 | | 1.9 | | 1.9 | | V |
| | | | 4.5 V | 4.4 | 4.499 | | 4.4 | | 4.4 | | |
| | | | 6 V | 5.9 | 5.999 | | 5.9 | | 5.9 | | |
| | | $I_{OH}$ = –4 mA | 4.5 V | 3.98 | 4.3 | | 3.7 | | 3.84 | | |
| | | $I_{OH}$ = –5.2 mA | 6 V | 5.48 | 5.8 | | 5.2 | | 5.34 | | |
| $V_{OL}$ | $V_I$ = $V_{IH}$ or $V_{IL}$ | $I_{OL}$ = 20 µA | 2 V | | 0.002 | 0.1 | | 0.1 | | 0.1 | V |
| | | | 4.5 V | | 0.001 | 0.1 | | 0.1 | | 0.1 | |
| | | | 6 V | | 0.001 | 0.1 | | 0.1 | | 0.1 | |
| | | $I_{OL}$ = 4 mA | 4.5 V | | 0.17 | 0.26 | | 0.4 | | 0.33 | |
| | | $I_{OL}$ = 5.2 mA | 6 V | | 0.15 | 0.26 | | 0.4 | | 0.33 | |
| $I_I$ | $V_I$ = $V_{CC}$ or 0 | | 6 V | | | ±0.1 | | ±1000 | | ±1000 | nA |
| $I_{CC}$ | $V_I$ = $V_{CC}$ or 0, | $I_O$ = 0 | 6 V | | | 2 | | 40 | | 20 | µA |
| $C_i$ | | | 2 V to 6 V | | 3 | 10 | | 10 | | 10 | pF |

## switching characteristics over recommended operating free-air temperature range, $C_L$ = 50 pF (unless otherwise noted) (see Figure 1)

| PARAMETER | FROM (INPUT) | TO (OUTPUT) | $V_{CC}$ | $T_A$ = 25°C | | | SN54HC08 | | SN74HC08 | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP | MAX | MIN | MAX | MIN | MAX | |
| $t_{pd}$ | A or B | Y | 2 V | | 50 | 100 | | 150 | | 125 | ns |
| | | | 4.5 V | | 10 | 20 | | 30 | | 25 | |
| | | | 6 V | | 8 | 17 | | 25 | | 21 | |
| $t_t$ | | Y | 2 V | | 38 | 75 | | 110 | | 95 | ns |
| | | | 4.5 V | | 8 | 15 | | 22 | | 19 | |
| | | | 6 V | | 6 | 13 | | 19 | | 16 | |

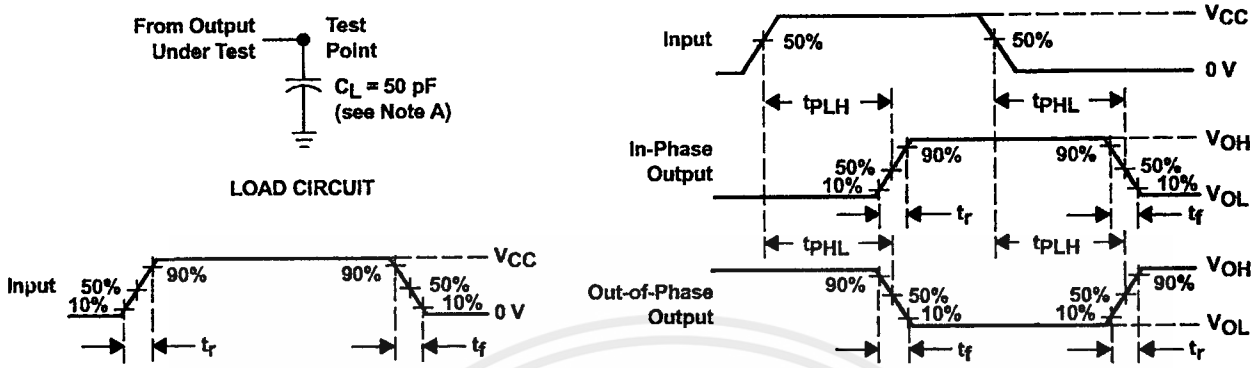
## operating characteristics, $T_A$ = 25°C

| PARAMETER | | TEST CONDITIONS | TYP | UNIT |
|---|---|---|---|---|
| $C_{pd}$ | Power dissipation capacitance per gate | No load | 20 | pF |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PARAMETER MEASUREMENT INFORMATION




NOTES: A. $C_L$ includes probe and test-fixture capacitance.
B. Phase relationships between waveforms were chosen arbitrarily. All input pulses are supplied by generators having the following characteristics: PRR ≤ 1 MHz, $Z_O$ = 50 Ω, $t_r$ = 6 ns, $t_f$ = 6 ns.
C. The outputs are measured one at a time with one input transition per measurement.
D. $t_{PLH}$ and $t_{PHL}$ are the same as $t_{pd}$.

**Figure 1. Load Circuit and Voltage Waveforms**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## IMPORTANT NOTICE

Texas Instruments and its subsidiaries (TI) reserve the right to make changes to their products or to discontinue any product or service without notice, and advise customers to obtain the latest version of relevant information to verify, before placing orders, that information being relied on is current and complete. All products are sold subject to the terms and conditions of sale supplied at the time of order acknowledgement, including those pertaining to warranty, patent infringement, and limitation of liability.

TI warrants performance of its semiconductor products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

CERTAIN APPLICATIONS USING SEMICONDUCTOR PRODUCTS MAY INVOLVE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR SEVERE PROPERTY OR ENVIRONMENTAL DAMAGE ("CRITICAL APPLICATIONS"). TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS. INCLUSION OF TI PRODUCTS IN SUCH APPLICATIONS IS UNDERSTOOD TO BE FULLY AT THE CUSTOMER'S RISK.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards must be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance or customer product design. TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used. TI's publication of information regarding any third party's products or services does not constitute TI's approval, warranty or endorsement thereof.

Copyright © 1998, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

September 1983
Revised February 1999

# MM74HC32
# Quad 2-Input OR Gate

## General Description

The MM74HC32 OR gates utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits. All gates have buffered outputs providing high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pin-out compatible with the standard 74LS logic family.

All inputs are protected from damage due to static discharge by internal diode clamps to $V_{CC}$ and ground.

## Features

- Typical propagation delay: 10 ns
- Wide power supply range: 2–6V
- Low quiescent current: 20 µA maximum (74HC Series)
- Low input current: 1 µA maximum
- Fanout of 10 LS-TTL loads

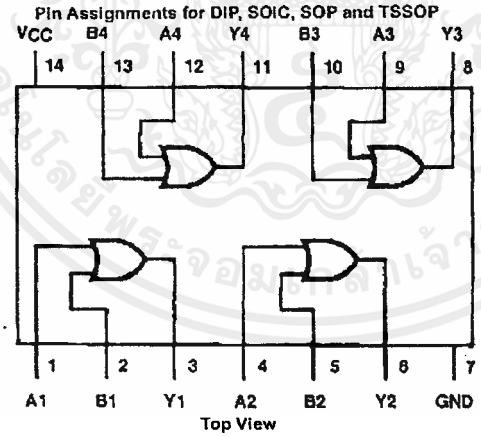
## Ordering Code:

| Order Number | Package Number | Package Description |
|---|---|---|
| MM74HC32M | M14A | 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow |
| MM74HC32SJ | M14D | 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide |
| MM74HC32MTC | MTC14 | 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide |
| MM74HC32N | N14A | 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide |

Devices also available in Tape and Reel. Specify by appending suffix letter "X" to the ordering code.

## Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP




Top View

## Logic Diagram

Y = A + B
(1 of 4)

© 1999 Fairchild Semiconductor Corporation 

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings (Note 1)

(Note 2)

| | |
|---|---|
| Supply Voltage ($V_{CC}$) | −0.5 to + 7.0V |
| DC Input Voltage ($V_{IN}$) | −1.5 to $V_{CC}$ + 1.5V |
| DC Output Voltage ($V_{OUT}$) | −0.5 to $V_{CC}$ + 0.5V |
| Clamp Diode Current ($I_{IK}$, $I_{OK}$) | ±20 mA |
| DC Output Current, per pin ($I_{OUT}$) | ±25 mA |
| DC $V_{CC}$ or GND Current, per pin ($I_{CC}$) | ±50 mA |
| Storage Temperature Range ($T_{STG}$) | −65°C to +150°C |
| Power Dissipation ($P_D$) | |
| (Note 3) | 600 mW |
| S.O. Package only | 500 mW |
| Lead Temperature ($T_L$) | |
| (Soldering 10 seconds) | 260°C |

## Recommended Operating Conditions

| | Min | Max | Units |
|---|---|---|---|
| Supply Voltage ($V_{CC}$) | 2 | 6 | V |
| DC Input or Output Voltage ($V_{IN}$, $V_{OUT}$) | 0 | $V_{CC}$ | V |
| Operating Temperature Range ($T_A$) | −40 | +85 | °C |
| Input Rise or Fall Times | | | |
| ($t_r$, $t_f$) $V_{CC}$ = 2.0V | | 1000 | ns |
| $V_{CC}$ = 4.5V | | 500 | ns |
| $V_{CC}$ = 6.0V | | 400 | ns |

**Note 1:** Absolute Maximum Ratings are those values beyond which damage to the device may occur.

**Note 2:** Unless otherwise specified all voltages are referenced to ground.

**Note 3:** Power Dissipation temperature derating — plastic "N" package: −12 mW/°C from 65°C to 85°C.

## DC Electrical Characteristics (Note 4)

| Symbol | Parameter | Conditions | $V_{CC}$ | $T_A$ = 25°C | $T_A$ = −40 to 85°C | | Units |
|---|---|---|---|---|---|---|---|
| | | | | Typ | Guaranteed Limits | | |
| $V_{IH}$ | Minimum HIGH Level Input Voltage | | 2.0V | | 1.5 | 1.5 | V |
| | | | 4.5V | | 3.15 | 3.15 | V |
| | | | 6.0V | | 4.2 | 4.2 | V |
| $V_{IL}$ | Maximum LOW Level Input Voltage | | 2.0V | | 0.5 | 0.5 | V |
| | | | 4.5V | | 1.35 | 1.35 | V |
| | | | 6.0V | | 1.8 | 1.8 | V |
| $V_{OH}$ | Minimum HIGH Level Output Voltage | $V_{IN}$ = $V_{IH}$ or $V_{IL}$ | | | | | |
| | | $\|I_{OUT}\| \leq 20\ \mu A$ | 2.0V | 2.0 | 1.9 | 1.9 | V |
| | | | 4.5V | 4.5 | 4.4 | 4.4 | V |
| | | | 6.0V | 6.0 | 5.9 | 5.9 | V |
| | | $V_{IN}$ = $V_{IH}$ or $V_{IL}$ | | | | | |
| | | $\|I_{OUT}\| \leq 4.0$ mA | 4.5V | 4.7 | 3.98 | 3.84 | V |
| | | $\|I_{OUT}\| \leq 5.2$ mA | 6.0V | 5.2 | 5.48 | 5.34 | V |
| $V_{OL}$ | Maximum LOW Level Output Voltage | $V_{IN}$ = $V_{IL}$ | | | | | |
| | | $\|I_{OUT}\| \leq 20\ \mu A$ | 2.0V | 0 | 0.1 | 0.1 | V |
| | | | 4.5V | 0 | 0.1 | 0.1 | V |
| | | | 6.0V | 0 | 0.1 | 0.1 | V |
| | | $V_{IN}$ = $V_{IL}$ | | | | | |
| | | $\|I_{OUT}\| \leq 4.0$ mA | 4.5V | 0.2 | 0.26 | 0.33 | V |
| | | $\|I_{OUT}\| \leq 5.2$ mA | 6.0V | 0.2 | 0.26 | 0.33 | V |
| $I_{IN}$ | Maximum Input Current | $V_{IN}$ = $V_{CC}$ or GND | 6.0V | | ±0.1 | ±1.0 | µA |
| $I_{CC}$ | Maximum Quiescent Supply Current | $V_{IN}$ = $V_{CC}$ or GND | 6.0V | | 2.0 | 20 | µA |
| | | $I_{OUT}$ = 0 µA | | | | | |

**Note 4:** For a power supply of 5V ±10% the worst case output voltages ($V_{OH}$, and $V_{OL}$) occur for HC at 4.5V. Thus the 4.5V values should be used when designing with this supply. Worst case $V_{IH}$ and $V_{IL}$ occur at $V_{CC}$ = 5.5V and 4.5V respectively. (The $V_{IH}$ value at 5.5V is 3.85V.) The worst case leakage current ($I_{IN}$, $I_{CC}$, and $I_{OZ}$) occur for CMOS at the higher voltage and so the 6.0V values should be used.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AC Electrical Characteristics

$V_{CC}$ = 5V, $T_A$ = 25°C, $C_L$ = 15 pF, $t_r = t_f$ = 6 ns

| Symbol | Parameter | Conditions | Typ | Guaranteed Limit | Units |
|---|---|---|---|---|---|
| $t_{PHL}$, $t_{PLH}$ | Maximum Propagation Delay | | 10 | 18 | ns |

## AC Electrical Characteristics

$V_{CC}$ = 2.0V to 6.0V, $C_L$ = 50 pF, $t_r = t_f$ = 6 ns (unless otherwise specified)

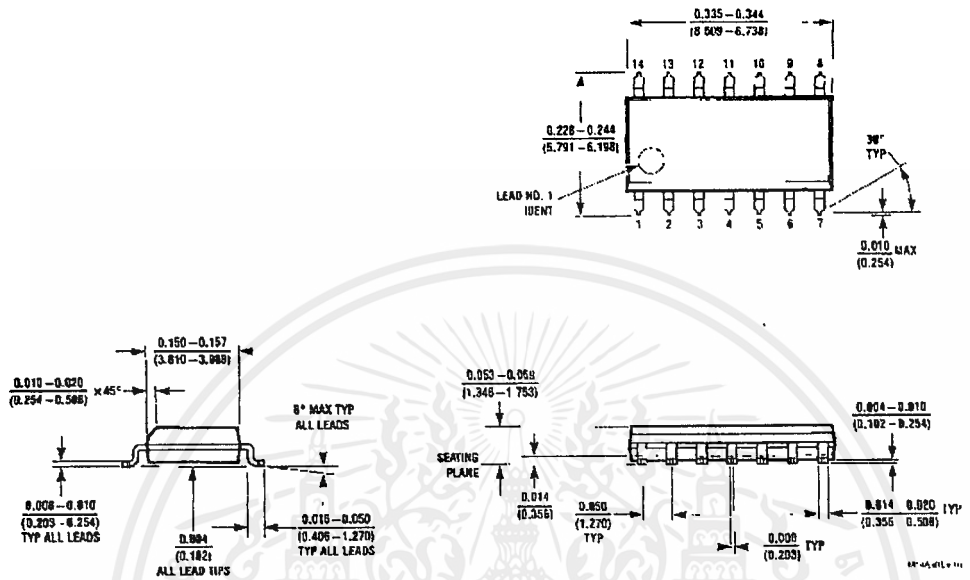
| Symbol | Parameter | Conditions | $V_{CC}$ | $T_A$ = 25°C | | $T_A$ = −40 to 85°C | Units |
|---|---|---|---|---|---|---|---|
| | | | | Typ | Guaranteed Limits | | |
| $t_{PHL}$, $t_{PLH}$ | Maximum Propagation Delay | | 2.0V | 30 | 100 | 125 | ns |
| | | | 4.5V | 12 | 20 | 25 | ns |
| | | | 6.0V | 9 | 17 | 21 | ns |
| $t_{TLH}$, $t_{THL}$ | Maximum Output Rise and Fall Time | | 2.0V | 30 | 75 | 95 | ns |
| | | | 4.5V | 8 | 15 | 19 | ns |
| | | | 6.0V | 7 | 13 | 16 | ns |
| $C_{PD}$ | Power Dissipation Capacitance (Note 5) | (per gate) | | 50 | | | pF |
| $C_{IN}$ | Maximum Input Capacitance | | | 5 | 10 | 10 | pF |

**Note 5:** $C_{PD}$ determines the no load dynamic power consumption, $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$, and the no load dynamic current consumption, $I_S = C_{PD} V_{CC} f + I_{CC}$.

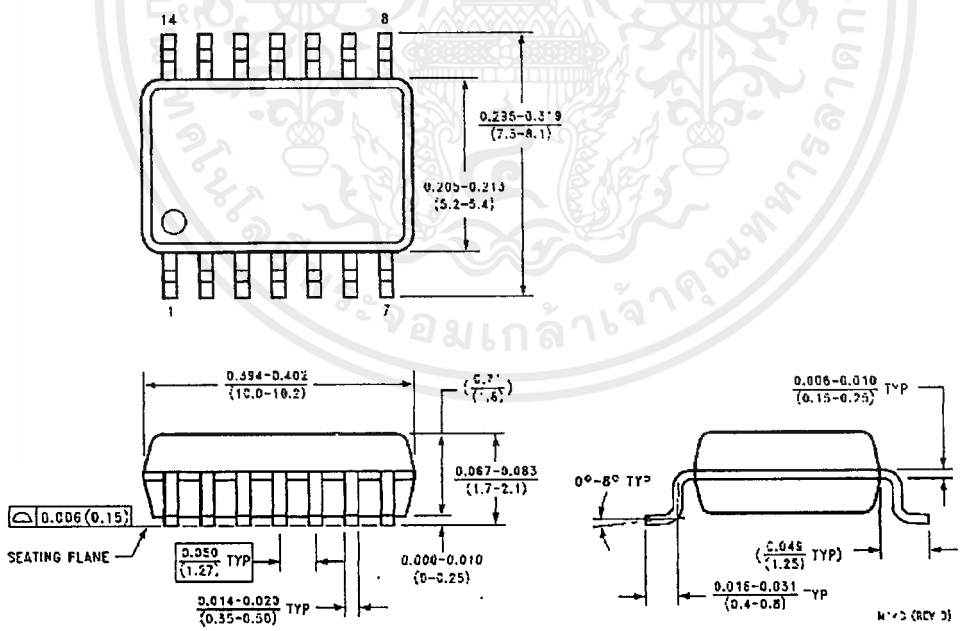


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Physical Dimensions inches (millimeters) unless otherwise noted




**14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow**
**Package Number M14A**



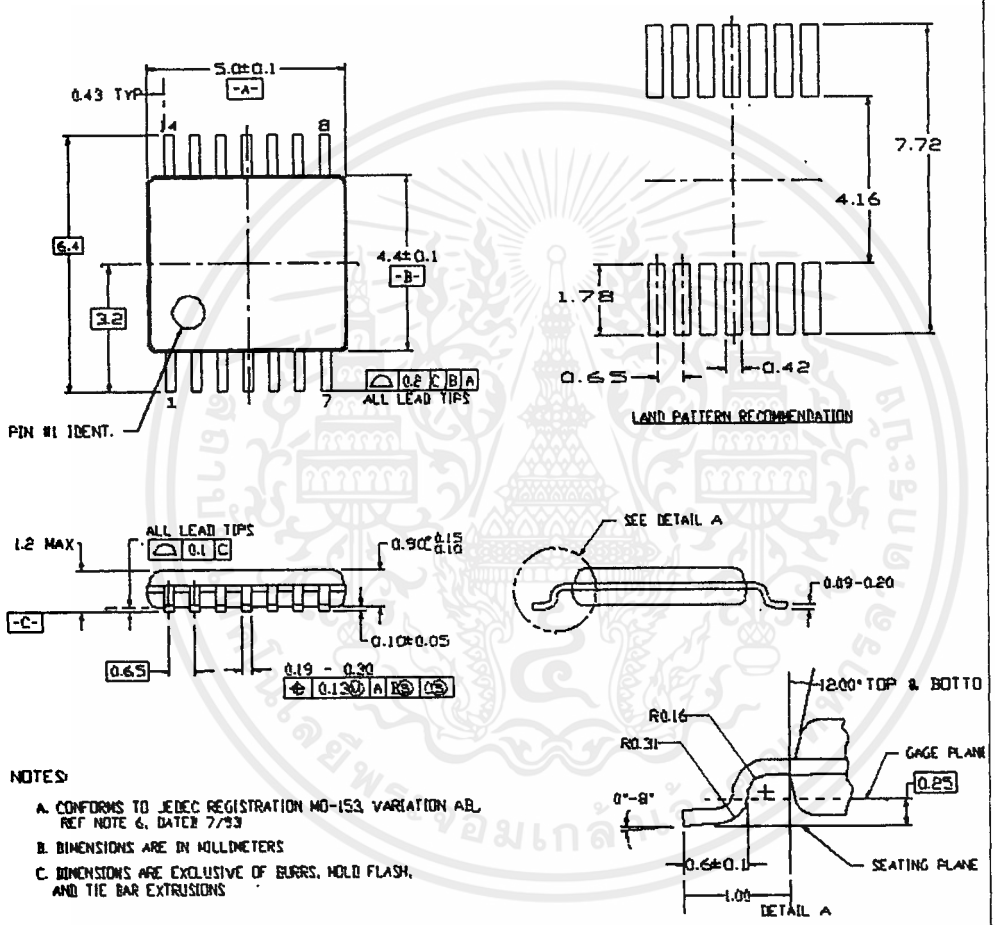

**14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide**
**Package Number M14D**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Physical Dimensions inches (millimeters) unless otherwise noted (Continued)

14LD, TSSOP, JEDEC MO-153, 4.4MM WIDE




NOTES:

A. CONFORMS TO JEDEC REGISTRATION MO-153, VARIATION AB, REF NOTE 6, DATED 7/93

B. DIMENSIONS ARE IN MILLIMETERS

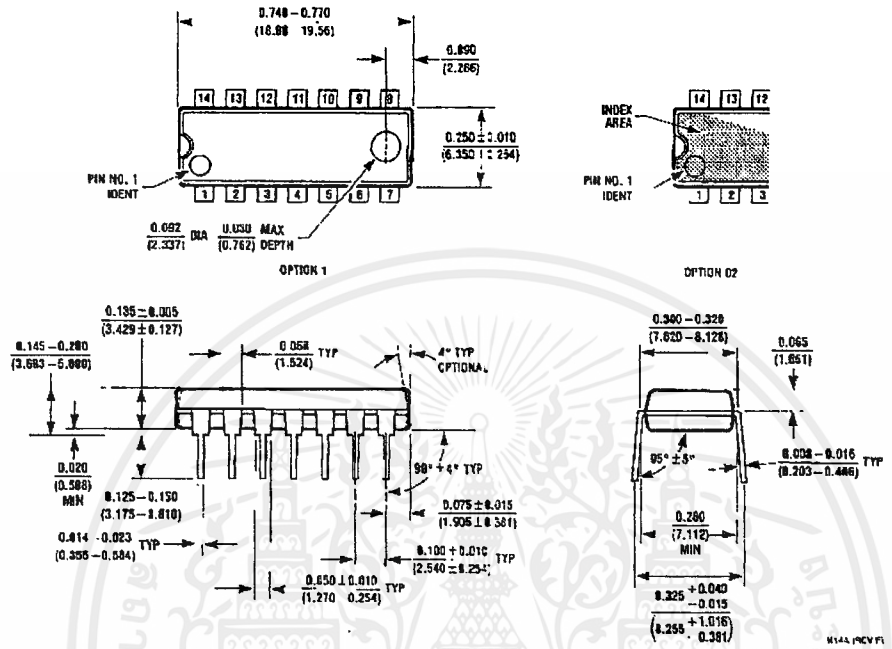
C. DIMENSIONS ARE EXCLUSIVE OF BURRS, MOLD FLASH, AND TIE BAR EXTRUSIONS

**14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide**
**Package Number MTC14**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Physical Dimensions inches (millimeters) unless otherwise noted (Continued)




**14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide**
**Package Number N14A**


**LIFE SUPPORT POLICY**

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied. Fairchild reserves the right to change any circuitry at any time without notice to improve design.


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้