

วงจรมอดูเลทและดีมอดูเลทแบบควอดเรเจอร์เฟสชิฟต์คีย์อิง
QUADRATURE PHASE SHIFT KEYING
MODULATOR / DEMODULATOR



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาอิเล็กทรอนิกส์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2539

สารบัญ

เรื่อง	หน้า
สารบัญรูป	I
สารบัญตาราง	II
คำนำ	III
บทคัดย่อภาษาไทย	IV
บทคัดย่อภาษาอังกฤษ	V
บทที่ 1 บทนำ	1
1.1 ความเป็นมาของการทำโครงการ	1
1.2 วัตถุประสงค์ของการทำโครงการ	1
1.3 ขอบเขตของการทำโครงการ	2
1.4 ขั้นตอนการทำโครงการ	2
บทที่ 2 ทฤษฎีเบื้องต้น	3
2.1 การสื่อสารข้อมูล	3
2.2 ลักษณะของการส่งข้อมูล	4
2.3 รูปแบบการส่งข้อมูลแบบอนุกรม	4
2.4 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม	5
2.4.1 การมอดูเลตทางแอมพลิจูด	5
2.4.2 การมอดูเลตทางความถี่	5
2.4.3 การมอดูเลตทางเฟส	7
2.5 ทฤษฎีพื้นฐานของ QPSK	8
2.5.1 ลักษณะของ QPSK	12
บทที่ 3 Balanced modulator and phase locked loop	15
3.1 การใช้งานไอซีบาลานซ์ มอดูเลเตอร์	15
3.1.1 การวิเคราะห์วงจร บาลานซ์ มอดูเลเตอร์	17
3.2 หลักการเบื้องต้นของเฟสล็อกคัลฟ	21
3.2.1 อะนาล็อกเฟสดีเทคเตอร์	22
3.2.2 วงจรเฟสดีเทคเตอร์	23

สารบัญ

เรื่อง	หน้า
3.3 การวิเคราะห์วงจรเฟสล็อกคูล์ฟ	25
3.4 การวิเคราะห์ไอซีเฟสล็อกคูล์ฟ เบอร์ 565	29
3.5 วงจรคูณแบบสี่ควอดเรนต์	33
บทที่ 4 การออกแบบวงจรมอดูเลเตอร์และดีมอดูเลเตอร์แบบ QPSK	39
4.1 ส่วนประกอบหลัก ๆ ของวงจรมอดูเลเตอร์	39
4.1.1 การออกแบบวงจร บาลานซ์ มอดูเลเตอร์	39
4.1.2 การออกแบบวงจรออสซิลเลเตอร์	41
4.2 การออกแบบวงจรภาคดีมอดูเลเตอร์	42
4.2.1 การทำงานของภาคดีมอดูเลเตอร์	43
4.2.2 การทำงานของภาค Carrier recovery	46
4.2.3 ผลกระทบจากเฟสกำกวมของวงจรหารสี่	46
4.2.4 การแก้ไขความผิดพลาดทางเฟส	47
4.2.5 CLOCK RECOVERY	51
4.2.6 วิเคราะห์วงจร Biquad Bandpass Filter	52
4.2.7 วงจรภาคยกกำลังสอง	54
บทที่ 5 การแก้ไขความผิดพลาดทางเฟส	56
5.1 การฟื้นกลับ(Recovery) สัญญาณพาหะ โดยใช้วิธีการยกกำลังสี่	56
5.2 วงจรตรวจเช็คการเลื่อนเฟสแบบเปรียบเทียบเฟส	59
5.3 หลักการทำงานของวงจร	64
5.4 วงจรตรวจเช็คการเลื่อนเฟสแบบยูนิควีเวิร์ด	65
บทที่ 6 ผลการทดลองภาคมอดูเลเตอร์และดีมอดูเลเตอร์	67
6.1 ผลการทดลองวงจรภาคมอดูเลเตอร์	67
6.2 ผลการทดลองวงจรภาคดีมอดูเลเตอร์	70
บทที่ 7 สรุปผลและวิจารณ์	81
7.1 ภาค QPSK มอดูเลเตอร์	81
7.2 ภาค Demodulator	86

สารบัญ

เรื่อง	หน้า
7.4 ข้อเสนอแนะ	90
ภาคผนวก	.
ก. วงจรภาคมอดูเลเตอร์ที่ใช้งานจริง	91
ข. วงจรภาคคีมอดูเลเตอร์ที่ใช้งานจริง	94
- B.M.*+LPF.+DECISION+PARALLEL TO SERIAL	94
- วงจรตรวจเช็คการเลื่อนเฟสแบบยูนิคเวอร์ค	97
- วงจรตรวจเช็คการเลื่อนเฟสแบบเปรียบเทียบเฟส	103
ค. แผ่นข้อมูล(Data sheet) ของอุปกรณ์หลักที่ใช้ในวงจร	
- MC 1496	110
- MC 1594	120
- LM 565	134
- LM 311	139
กิตติกรรมประกาศ	145
บรรณานุกรม	146
* หมายถึง B.M. หมายถึง BALANCED MODULATOR	

สารบัญรูป

	หน้า
รูปที่ 2.1 รูปแบบของการติดต่อสื่อสารข้อมูลแบบอนุกรม	4
รูปที่ 2.2 รูปร่างสัญญาณต่าง ๆ	6
รูปที่ 2.3 การแปลงสัญญาณระบบ FSK	6
รูปที่ 2.4 การกำหนดคลื่นรูปไซน์และเฟสต่าง ๆ	7
รูปที่ 2.5 สัญญาณ BPSK	7
รูปที่ 2.6 วงจรคีมอคูเลท QPSK	8
รูปที่ 2.7 เปรียบเทียบเฟสของสัญญาณในช่วงสัญญาณ P และ Q	9
รูปที่ 2.8 เวกเตอร์ผลลัพท์ของสัญญาณ QPSK	10
รูปที่ 2.9 สัญญาณ QPSK ถูก shift phase $\frac{\pi}{4}$	10
รูปที่ 2.10 วงจรคีมอคูเลทสัญญาณ QPSK	11
รูปที่ 2.11 การตีเทคสัญญาณ QPSK ออกมาเป็น BPSK 2 สัญญาณ	11
รูปที่ 2.12 keying speed ในการส่งสัญญาณ	12
รูปที่ 2.13 PSK เวกเตอร์ และ noise เวกเตอร์	13
รูปที่ 2.14 เปรียบเทียบขนาดของ noise ball ที่ไม่ทำให้เกิดการผิดพลาดของบิต	14
รูปที่ 3.1 โครงสร้างพื้นฐานของไอซี บาลานซ์ มอคูเลเตอร์	15
รูปที่ 3.2 สัญญาณอินพุท และเอาต์พุท ที่เกิดจากการนำเอาสัญญาณชายน์ และสัญญาณสี่เหลี่ยมคูณกัน	16
รูปที่ 3.3 แสดงวงจรบาลานซ์มอคูเลเตอร์	17
รูปที่ 3.4 แสดงสัญญาณ $V(t)$ ที่ป้อนเข้าจุด V_c	19
รูปที่ 3.5 บล็อกไดอะแกรมของเฟสล็อกคูลูฟ	21
รูปที่ 3.6 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกคูลูฟ	22
รูปที่ 3.7 (a) วงจรเฟสล็อกคูลูฟของ PLL	23
รูปที่ 3.7 (b) แสดงสัญญาณอินพุทและเอาต์พุทจากวงจรเฟสล็อกคูลูฟของ PLL	24
รูปที่ 3.7 (c) แสดงเอาต์พุทคี่ฮิลท์เดจเทียบกับความต่างเฟสอินพุท	25
รูปที่ 3.8 บล็อกไดอะแกรมของเฟสล็อกคูลูฟ	25
รูปที่ 3.9 แสดงย่าน lock in range	27

สารบัญรูป

หน้า

รูปที่ 3.10 แสดงย่านแค็ปเจอร์	29
รูปที่ 3.11 บล็อกไดอะแกรมของไอซี 565	30
รูปที่ 3.12 บล็อกไดอะแกรมของเฟสล็อกคูล	30
รูปที่ 3.13 แสดง Lock in range และ Capture range	33
รูปที่ 3.14 บล็อกไดอะแกรมของตัวคูณสัญญาณ	33
รูปที่ 3.15 Gilbert multiplier Circuit	35
รูปที่ 3.16 วงจรคูณแบบสี่ควอดเรนต์	37
รูปที่ 4.1 บล็อกไดอะแกรมของวงจรมอดูเลเตอร์ แบบ QPSK	39
รูปที่ 4.2 แสดงวงจรพื้นฐานของไอซี MC 1496	40
รูปที่ 4.3 แสดงวงจรภายในของไอซี MC 1496	40
รูปที่ 4.4 แสดงวงจร ควอดเคเจอร์ ออสซิลเลเตอร์	42
รูปที่ 4.5 แสดงบล็อกไดอะแกรมของภาคคิมมอดูเลเตอร์ แบบ QPSK	42
รูปที่ 4.6 แสดงเฟสของข้อมูลที่ภาคส่ง	43
รูปที่ 4.7 แสดงบล็อกไดอะแกรมของ QPSK แบบ Costas loop	45
รูปที่ 4.8 แสดงบล็อกไดอะแกรมของ QPSK แบบกำลังสี่	45
รูปที่ 4.9 แสดงโอกาสของข้อมูลที่เกิเกิดขึ้นจากเฟสกำกวม	47
รูปที่ 4.10 แสดงการส่งยูนิเวิร์คเพื่อตรวจสอบรหัสของ BPSK	47
รูปที่ 4.11 วงจรคิมมอดูเลทที่ใช้ยูนิเวิร์ค สำหรับ BPSK	48
รูปที่ 4.12 แสดงบล็อกไดอะแกรม QPSK differential encoder	48
รูปที่ 4.13 แสดงบล็อกไดอะแกรม QPSK differential decoder	49
รูปที่ 4.14 แสดงบล็อกไดอะแกรมของภาค Clock recovery	50
รูปที่ 4.15 สัญญาณที่จุดต่าง ๆ ของภาค Clock recovery	51
รูปที่ 4.16 แสดงวงจร Biquad bandpass filters	52
รูปที่ 4.17 BandPass amplitude response	52
รูปที่ 4.18 แสดงวงจรใช้งานพื้นฐานของไอซี 1494	54
รูปที่ 5.1 แสดงบล็อกไดอะแกรมของการฟื้นกลับสัญญาณแบบยกกำลังสี่	56

สารบัญรูป

	หน้า
รูปที่ 5.2 บล็อกไดอะแกรมของวงจรตรวจจับการเลื่อนเฟส ของสัญญาณพาหะที่ผ่านวงจรหาค่าความถี่ 4 เท่า	59
รูปที่ 5.3 แสดงความสัมพันธ์ของสัญญาณก่อนและหลังผ่านวงจรหาค่าความถี่ คือสัญญาณที่จุด A และ B ในบล็อกไดอะแกรม	60
รูปที่ 5.4 แสดงการทำงานของวงจร phase detector	61
รูปที่ 5.5 แสดงการเปรียบเทียบ phase ของ 4046	62
รูปที่ 5.6 แสดง Ripple ไฟตรงหลังการ filter	63
รูปที่ 5.7 แสดงวงจรหาร 4 ที่ได้ปรับปรุงใหม่	64
รูปที่ 5.8 แสดงบล็อกไดอะแกรมของ QPSK คีมอดูเลเตอร์แบบใช้ยูนิคเวอริค แก้ไขความผิดพลาดทางเฟส	66
รูปที่ 6.1 แสดงบล็อกไดอะแกรมของภาคมอดูเลเตอร์	67
รูปที่ 6.2 แสดงสัญญาณจุด A เทียบกับจุด B	68
รูปที่ 6.3 แสดงสัญญาณจุด C เทียบกับจุด D	68
รูปที่ 6.4 แสดงสัญญาณจุด B เทียบกับจุด C	69
รูปที่ 6.5 แสดงสัญญาณจุด E เทียบกับจุด F	69
รูปที่ 6.6 แสดงสัญญาณ QPSK เทียบกับจุด G	70
รูปที่ 6.7 แสดงบล็อกไดอะแกรมของ QPSK คีมอดูเลเตอร์	72
รูปที่ 6.8 แสดงสัญญาณที่จุด 1 เทียบกับสัญญาณที่จุด A	73
รูปที่ 6.9 แสดงสัญญาณที่จุด 1 เทียบกับสัญญาณที่จุด 2	73
รูปที่ 6.10 แสดงสัญญาณที่จุด 2 เทียบกับสัญญาณที่จุด 3	74
รูปที่ 6.11 แสดงสัญญาณที่จุด 3 เทียบกับสัญญาณที่จุด 5	74
รูปที่ 6.12 แสดงสัญญาณที่จุด 5 เทียบกับสัญญาณที่จุด 6	75
รูปที่ 6.13 แสดงสัญญาณที่จุด 7 เทียบกับสัญญาณที่จุด 8	75
รูปที่ 6.14 แสดงสัญญาณที่จุด 10 เทียบกับสัญญาณที่จุด 11	76
รูปที่ 6.15 แสดงข้อมูลที่ภาคส่งเทียบกับสัญญาณที่จุด 13	76
รูปที่ 6.16 แสดงข้อมูลที่ภาคส่งเทียบกับสัญญาณที่จุด 14	77
รูปที่ 6.17 แสดงสัญญาณที่จุด 13 เทียบกับสัญญาณที่จุด 15	77

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 6.18 แสดงสัญญาณที่จุด 15 เทียบกับสัญญาณที่จุด 17	78
รูปที่ 6.19 แสดงสัญญาณที่จุด 17 เทียบกับสัญญาณที่จุด 18	78
รูปที่ 6.20 แสดงข้อมูลที่ภาคส่งกับสัญญาณที่จุด 17	79
รูปที่ 6.21 แสดงข้อมูลที่ภาคส่งกับสัญญาณที่จุด 18	79
รูปที่ 6.22 แสดงข้อมูลที่ภาคส่งกับสัญญาณที่จุด 19	80
รูปที่ 7.1 แสดงการทำงานของวงจรมอดูเลเตอร์เมื่อป้อนสัญญาณพัลส์ ที่แทนข้อมูลมีขนาด 370 mVp-p	81
รูปที่ 7.2 แสดงการทำงานของวงจรมอดูเลเตอร์เมื่อป้อนสัญญาณพัลส์ ที่แทนข้อมูลมีขนาด 170 mVp-p	82
รูปที่ 7.3 แสดงถึงช่วงของการเลื่อนเฟสของสัญญาณพาหะที่สัมพันธ์กับอัตรา การส่งข้อมูลเมื่อความถี่สัญญาณพาหะเท่ากับ 1,800 Hz และอัตราการ ส่งข้อมูลเท่ากับ 1,200 บิต/วินาที	82
รูปที่ 7.4 แสดงช่วงการกระเพื่อมของสัญญาณ BPSK เมื่อทำการเปลี่ยนอัตราการ ส่งข้อมูลให้มีค่าเป็น 1,133 บิต/วินาที และใช้ความถี่ของสัญญาณพาหะ 1,700 Hz	83
รูปที่ 7.5 แสดงการปรับปรุงของวงจรมอดูเลเตอร์เพื่อแก้ไขปัญหาการ กระเพื่อมของสัญญาณ BPSK	84
รูปที่ 7.6 แสดงถึง Constellation Pattern ของสัญญาณ QPSK ในมาตรฐานต่างๆ	85
รูปที่ 7.7 แสดง Constellation Pattern ของสัญญาณ QPSK ที่ใช้ในการทำโครงการนี้	86
รูปที่ 7.8 แสดงสัญญาณที่ได้จากวงจรมอดูเลเตอร์ก่อนและหลังผ่านวงจร LPF : Second Order , $f_c = 1,000$ Hz แบบ butter Worth	87
รูปที่ 7.9 แสดงสัญญาณที่ได้จากการกรองความถี่โดยวงจร LPF แบบ Flat Delay , gain = 0 dB และความถี่ cut off 2 KHz	88
รูปที่ 7.10 แสดงสัญญาณที่ได้จากการกรองความถี่โดยวงจร LPF แบบ Flat Delay , gain = 0 dB และความถี่ cut off 1.2 KHz	88

สารบัญตาราง

	หน้า
ตารางที่ 4.1 แสดงข้อมูลที่เอาท์พุทของภาคคิมอดูเลเตอร์	44
ตารางที่ 4.2 แสดงรหัสทางเอาท์พุทของภาค differential encoder	49
ตารางที่ 4.3 แสดงรหัสที่ออกจากภาค differential decoder	50
ตารางที่ 5.1 แสดงข้อมูลที่รับได้จากภาคคิมอดูเลเตอร์	58
ตารางที่ 5.2 แสดงการเลือกเฟสของอะนาลอกสวิทช์	65
ตารางที่ 7.1 แสดงอัตราการผิดพลาดของข้อมูลที่ส่งผ่านวงจร QPSK MOD/DEMODO ที่ได้จากโครงการนี้	90



คำนำ

จากวัตถุประสงค์ในอันที่จะถ่ายโอนข้อมูลระหว่างกันของผู้ใช้คอมพิวเตอร์ที่อยู่คนละสถานที่ทั้งที่เป็นระยะทางใกล้หรือไกลกันมาก ๆ นั้นเป็นที่มาของแนวคิดในอันที่จะใช้ประโยชน์จากคู่สายโทรศัพท์เพิ่มขึ้นจากเดิมที่เพียงแต่ใช้ในการพูดคุยกันตามธรรมดา ให้สามารถรับส่งข้อมูลดิจิทัลผ่านคู่สายโทรศัพท์ได้ด้วย โดยมีการนำเอาโมเด็ม (MODEM) เข้ามามีส่วนช่วยในการจัดรูปสัญญาณจากอนาลอกให้เป็นดิจิทัล หรือ แปลงสัญญาณดิจิทัลให้เป็นอนาลอก และมีรูปแบบหรือวิธีการอยู่มากมาย ในที่นี้จะเป็นการศึกษาถึงวิธีการที่เรียกว่า QPSK (Quadrature phase shift keying) โดยเนื้อหาของปริญยานิพนธ์ประกอบโครงการงานเล่มนี้จะประกอบด้วยส่วนต่าง ๆ ดังนี้คือ

บทที่ 1 บทนำ

บทที่ 2 ทฤษฎีเบื้องต้นของการส่งข้อมูล

บทที่ 3 Balance modulator and phase lock loop

บทที่ 4 การออกแบบวงจรมอดูเลเตอร์และดีมอดูเลเตอร์แบบ QPSK

บทที่ 5 ผลการทดลอง

บทที่ 6 ผลการทดลองมอดูเลเตอร์และดีมอดูเลเตอร์

บทที่ 7 สรุปผลและวิจารณ์

ซึ่งโดยพื้นฐานแล้วเนื้อหาที่ได้นำมารวมเอาไว้ทั้งหมดนี้ ผู้จัดทำได้เรียบเรียงจากตำราที่เกี่ยวข้องเป็นบางส่วน อีกส่วนหนึ่งก็ได้มาจากการลงมือปฏิบัติจริงซึ่งถ้าหากมีข้อบกพร่องก็ขออภัยไว้ ณ. ที่นี้ด้วย

ผู้จัดทำ

มีนาคม 2540

วงจรมอดูเลทและดีมอดูเลทแบบควอดเรเจอร์เฟสชิฟต์อ็อง

นายสมศักดิ์ เขมวิวิธ

นายสันติ ชวนนอก

นายสุรชัย ตระกูลทวีคูณ

อ. ประภากร สุวรรณะ อาจารย์ที่ปรึกษา

บทคัดย่อ

ในปัจจุบัน QPSK เป็นวิธีการหนึ่งในหลายวิธี ซึ่งถูกนำมาใช้ เพื่อเพิ่มอัตราการส่ง ผ่าน ข้อมูลดิจิทัล (บิต/วินาที) ในรูปแบบการส่งแบบอนุกรมให้มากกว่าวิธีการส่งข้อมูลแบบ FSK ซึ่งถูกจำกัดอยู่ที่ 1,200 บิตต่อวินาที

โดยที่ข้อแตกต่างระหว่าง QPSK กับ FSK ที่นอกจากจะได้อัตราการส่งข้อมูลที่เพิ่มขึ้นแล้วก็ยังรวมไปถึงส่วนของการดีมอดูเลชันสัญญาณ QPSK ให้กลับเป็นข้อมูลทางด้านรับ ซึ่งต้องใช้สัญญาณพาหะที่สัมพันธ์กับสัญญาณพาหะที่ใช้สำหรับการมอดูเลตในภาคส่ง อันส่งผลให้ต้องมีส่วนของการสร้างสัญญาณพาหะขึ้นมาใหม่ทางด้านภาครับ ซึ่งเป็นอีกจุดหนึ่งที่น่าสนใจเช่นกัน

QUADRATURE PHASE SHIFT KEYING MODULATOR / DEMODULATOR

Somsak Khemvivit

Santi Chuannok

Surachai Trakultaweekoon

Prapakorn Suwanna Advisor

Abstract

Nowadays QPSK (Quadrature Phase Shift Keying) is one of several techniques that was introduced to increase the rate of digital data transmission (bits per second) through the channel in the form of serial transmission. This technique have an advantage above the earlier technique, FSK. Because the data transmission of the FSK is limited only of 1200 bits/sec.

The difference between both techniques besides mentioned above persented by the demodulation process in the receive side that needs to get carrier signal which coherent in such in the transmitter cause the receiver to have the carrier recovery process to achieve a true carrier signal and become to be interesting topic in QPSK technique.

บทที่ 1

บทนำ

1.1 ความเป็นมาของการทำโครงการ

ในอดีตการส่งข้อมูลจะใช้สัญญาณอะนาลอก ซึ่งจะนำสัญญาณอะนาลอกมาปรับเปลี่ยนให้เหมาะสมในการส่ง เช่น AM , PM เป็นต้น อุปกรณ์เครื่องมือต่าง ๆ ก็จะเป็นลักษณะของสัญญาณอะนาลอก และเมื่อมีการพัฒนาวิวัฒนาการของสัญญาณดิจิทัลเข้ามาก็จะเกิดการตัดแปลงการใช้งานของสัญญาณดิจิทัลให้เหมาะสมกับงานต่างๆ เช่น การส่งในลักษณะเบสแบนด์ (BASEBAND) และ แบนด์พาส (BANDPASS)

การส่งในลักษณะเบสแบนด์ ก็คือการส่งสัญญาณต่าง ๆ โดยตรงไม่มีการเปลี่ยนรูปแบบสัญญาณก่อนการส่ง และการส่งสัญญาณในลักษณะแบนด์พาส คือการส่งสัญญาณต่าง ๆ โดยการปรับเปลี่ยนรูปแบบสัญญาณต้นแบบให้เหมาะสมก่อนแล้วจึงส่งไป เช่น FSK , BPSK เป็นต้น

ข่ายการสื่อสารหลายๆ แบบได้ถูกคิดค้นและพัฒนาตามลำดับ ไม่ว่าจะ เป็นข่ายสายโทรศัพท์ทั่วไป , ข่ายเช่นเฉพาะ , การสื่อสารข้อมูลด้วยระบบไมโครเวฟ , การสื่อสารผ่านเส้นใยนำแสง , การสื่อสารผ่านดาวเทียม เป็นต้น ประโยชน์ที่จะได้รับจากการใช้คอมพิวเตอร์ในการสื่อสาร ทั้งการใช้ข่ายวงจรท้องถิ่น ระบบสื่อสารผ่านดาวเทียม หรือข่ายโทรศัพท์สาธารณะต่าง ก็เป็นที่สนใจกันทั่วโลก แต่ดูเหมือนว่าการสื่อสารข้อมูลผ่านข่ายโทรศัพท์สาธารณะจะเป็นที่นิยมมากที่สุด ทั้งนี้เนื่องจากข่ายโทรศัพท์สาธารณะนั้นเป็นโครงข่ายขนาดใหญ่ ครอบคลุมพื้นที่ทั่วประเทศและสามารถติดต่อกันได้ทั่วโลก ด้วยระบบสื่อสารผ่านดาวเทียมหรือสายเคเบิลได้ทะเล จึงสามารถใช้งานได้ทุก ๆ ที่ ที่มีข่ายไปถึงนอกจากนี้ ถ้าพิจารณาในแง่เศรษฐศาสตร์ การใช้งานข่ายโทรศัพท์ที่มีอยู่แล้วก็จะช่วยลดต้นทุนในการติดตั้งระบบให้กับผู้ใช้งานไปได้มาก

อุปกรณ์สำคัญที่ใช้ในการสื่อสารคอมพิวเตอร์ผ่านข่ายโทรศัพท์สาธารณะก็คือ โมเด็ม ซึ่งทำหน้าที่ในการแปลงสัญญาณดิจิทัล เป็นสัญญาณอะนาลอกที่เหมาะสมไปในช่องสัญญาณโทรศัพท์ และแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิทัลอีกครั้งในการรับข้อมูล

1.2 วัตถุประสงค์ของโครงการ

- เพื่อศึกษาการทำงานของวงจรมอดูเลทและดีมอดูเลทแบบ QPSK
- เพื่อให้สามารถออกแบบทดลอง และสร้างวงจรมอดูเลทและดีมอดูเลทแบบ

QPSK ที่สามารถนำมาประยุกต์ใช้งานจริงได้

1.3 ขอบเขตของโครงการ

- เพื่อให้วงจรมอดูเลทและดีมอดูเลทแบบ QPSK ที่สามารถส่งผ่านข้อมูลทางดิจิตอลแบบอนุกรม ได้ในอัตรา 2,400-บิตต่อวินาทีจำนวน 1 ชุด

1.4 ขั้นตอนการทำโครงการ

- ศึกษารูปแบบของวงจรแบบต่างๆ เช่นวงจรมอดูเลเตอร์ , วงจรพีนกลับสัญญาณพาหะ แบบต่างๆ เป็นต้น

- ออกแบบวงจรมอดูเลเตอร์และวงจรควอดเรเจอร์ออสซิลเลเตอร์

- ทดลองประกอบวงจรและแก้ไขปัญหาที่เกิดขึ้นกับภาคมอดูเลเตอร์

- ออกแบบวงจรมอดูเลเตอร์ที่ใช้กับภาคดีมอดูเลเตอร์รวมทั้งวงจรกรองความถี่ต่ำผ่านและวงจรพีนกลับสัญญาณพาหะ

- ทดลองประกอบวงจรและแก้ไขปัญหาที่เกิดขึ้นกับภาคดีมอดูเลเตอร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีเบื้องต้น

2.1 การสื่อสารข้อมูล

การสื่อสารข้อมูลที่เป็นสัญญาณดิจิทัลสามารถแบ่งการส่งผ่านสัญญาณอย่างง่าย ๆ เป็น 2 ลักษณะคือการส่งสัญญาณดิจิทัลไปโดยตรงผ่านตัวกลางต่าง ๆ โดยไม่มีการปรับเปลี่ยนให้เหมาะสมก่อน หรือการส่งผ่านสัญญาณดิจิทัลแบบเบสแบนด์ และการส่งในอีกลักษณะคือการปรับเปลี่ยนสัญญาณดิจิทัลให้เหมาะสมก่อนแล้วจึงส่งผ่านตัวกลางออกไปเช่นการมอดูเลตสัญญาณดิจิทัลโดยวิธีการเปลี่ยนความถี่ (Frequency Shift Keying) เป็นต้น หรือการส่งสัญญาณดิจิทัลแบบแบนด์พาส

การส่งผ่านสัญญาณดิจิทัลแบบเบสแบนด์นั้น เป็นวิธีที่ใช้ในระบบ PCM ทั่วไป นอกจากนั้นยังใช้ในระบบข่ายวงจรท้องถิ่น (Local area network) และในงานสื่อสารข้อมูลระยะไกลแบบอื่น ๆ ซึ่งในระบบ PCM ที่ส่งผ่านสัญญาณดิจิทัลไปตามสายนำสัญญาณที่ทำด้วยโลหะ เช่น สายคู่ตีเกลียวและสายโคแอกเชียล เป็นต้น สัญญาณดิจิทัลที่ถูกส่งออกไปนั้นจะเป็นสัญญาณดิจิทัลแบบเบสแบนด์โดยไม่ทำการมอดูเลตกับคลื่นพาห์ ซึ่งอาจกล่าวได้ว่าเป็นระบบที่ง่ายเพราะไม่ต้องใช้อุปกรณ์มอดูเลเตอร์และดีมอดูเลเตอร์ อย่างไรก็ตามสายนำสัญญาณนั้นมักจะมีการตอบสนองต่อความถี่จำกัด ทำให้สัญญาณดิจิทัลที่ส่งผ่านไปค่อย ๆ ผิดเพี้ยนไปทั้งเชิงขนาดและเชิงเวลาหน่วง ผลที่เกิดขึ้นก็คือเมื่อทำการส่งสัญญาณพัลส์สี่เหลี่ยมออกไปสัญญาณนั้นก็ค่อย ๆ ผิดเพี้ยน โดยถูกกว้างออก ดังนั้นการส่งสัญญาณ PCM จึงต้องมีการติดตั้งเครื่องทวนสัญญาณไว้ จึงไม่สะดวกนักในการสื่อสารที่ต้องใช้ระยะทางไกล ๆ

การส่งสัญญาณดิจิทัลแบบแบนด์พาสนั้นเป็นการส่งสัญญาณดิจิทัลโดยการมอดูเลตเข้ากับคลื่นพาห์ หรือก็คือการนำเอาสัญญาณดิจิทัลที่ต้องการส่ง ไปเปลี่ยนแปลงข่าวสารในสัญญาณคลื่นพาห์อาจจะเปลี่ยนขนาด เปลี่ยนความถี่ หรือเปลี่ยนเฟสของสัญญาณคลื่นพาห์ให้เปลี่ยนแปลงไปตามสัญญาณดิจิทัลที่เข้ามามอดูเลต การมอดูเลตสัญญาณดิจิทัลเท่ากับคลื่นพาห์นี้เราสามารถใช่สัญญาณ 1 สัญญาณ หรือ 1 สัญญาณแทนสัญญาณดิจิทัล 1 บิต หรือมากกว่า 1 บิตได้ ดังนั้นถ้าเป็นสัญญาณไบนารีซึ่งเป็นสัญญาณดิจิทัล 1 บิต สัญญาณคลื่นพาห์ที่มอดูเลตก็จะมีรูปร่าง 2 แบบเท่านั้น แต่ถ้าเป็นสัญญาณแบบ N บิต รูปร่างของสัญญาณคลื่นพาห์ที่ถูกมอดูเลตแล้ว ก็จะมีอย่างน้อย 2^N แบบด้วยกัน เมื่อกกล่าวโดยสรุปก็คือ เราจะสามารถมอดูเลตสัญญาณดิจิทัลทีละ 1 บิต หรือทีละหลาย ๆ บิต เข้าไปกับสัญญาณคลื่นพาห์ได้

2.2 ลักษณะของการส่งข้อมูล

โดยทั่วไป หลักใหญ่ๆ ของการส่งข้อมูลมี 2 รูปแบบคือ การส่งแบบขนานและการส่งแบบอนุกรม

2.2.1 การส่งข้อมูลแบบขนาน คือ ข้อมูลทุก ๆ บิตจะถูกส่งไปพร้อม ๆ กันในครั้งเดียวเช่น ถ้าข้อมูลเป็น 1010 ทั้งสี่บิตนี้จะถูกส่งออกไปพร้อมกัน โดยผ่านสายส่งข้อมูลที่มี 4 เส้น โดยแต่ละบิตจะส่งในสายส่งคนละเส้น

2.2.2 การส่งข้อมูลแบบอนุกรม คือ ข้อมูลแต่ละบิตจะถูกส่งเรียงกัน ออกไปเป็นลำดับต่อเนื่องกันทีละบิต เช่น ถ้าข้อมูลเป็น 1010 เลข 0 ทางขวามือสุดซึ่งเป็น LSB (Least Significant bit) ส่งออกไปก่อน ตามด้วยบิตที่สอง คือเลข 1 และบิตที่ 3 คือเลข 0 และบิตสุดท้ายคือเลข 1 ซึ่งเป็น MSB (Most Significant bit) ตามลำดับ โดยสายนำสัญญาณข้อมูลที่มีอยู่เพียงเส้นเดียวเท่านั้น

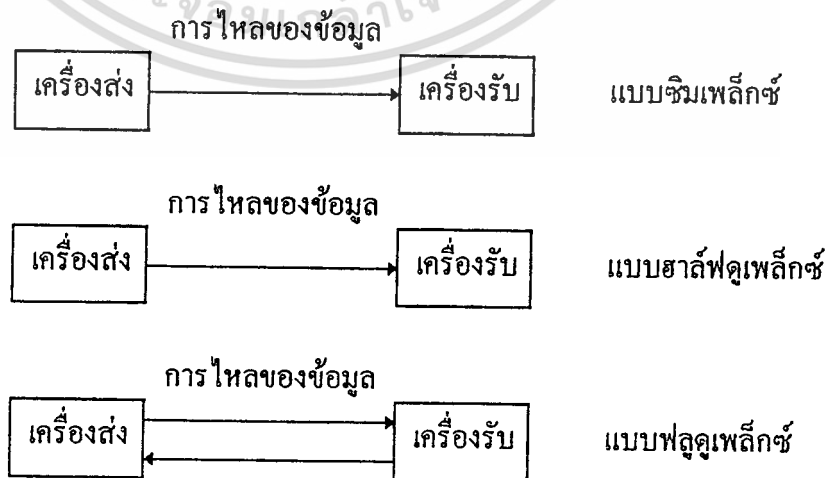
2.3 รูปแบบการส่งข้อมูลแบบอนุกรม

การติดต่อแบบอนุกรม อาจแบ่งได้ 3 แบบ ดังรูปที่ 2.1

2.3.1 แบบซิมเพล็กซ์ (Simplex) ข้อมูลส่งได้ทิศทางเดียวเท่านั้น บางครั้งก็เรียกว่าการส่งทิศทางเดียว (Unidirection data bus) เช่น การส่งกระจายเสียงวิทยุหรือโทรทัศน์ , การส่งข้อมูลจากคอมพิวเตอร์ไปให้เครื่องพิมพ์

2.3.2 แบบฮาล์ฟดูเพล็กซ์ (Half duplex) ข้อมูลสามารถส่งได้ทั้ง 2 สถานี แต่จะต้องสลับกันส่งและสลับกันรับ จะส่งและรับพร้อมกันไม่ได้ เช่น ระบบวิทยุติดต่อ , ระบบ ATM

2.3.3 แบบฟูลดูเพล็กซ์ (Full duplex) ทั้ง 2 สถานีสามารถรับและส่งได้ ในเวลาเดียวกัน เช่นการสื่อสารทางโทรศัพท์ และการสื่อสารคอมพิวเตอร์



รูปที่ 2.1 รูปแบบของการติดต่อสื่อสารข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม

ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม หน่วยวัดเป็นบิตต่อวินาที และหน่วยที่บรรยายถึงการเปลี่ยนแปลงของสัญญาณใน 1 วินาที เรียกว่า บอดเรท (baud rate) หรืออัตราบอด หลายคนยังเข้าใจสับสนระหว่างอัตราบอด และอัตราบิต (bit rate) การเปลี่ยนแปลงของสัญญาณ 1 ครั้ง อาจจะแสดงถึงการส่งข้อมูลแบบอนุกรมมากกว่า 1 บิต

$$\text{อัตราบิต (bit rate) } = \text{อัตราบอด (baud rate) } * \text{บิต ใน 1 บอด}$$

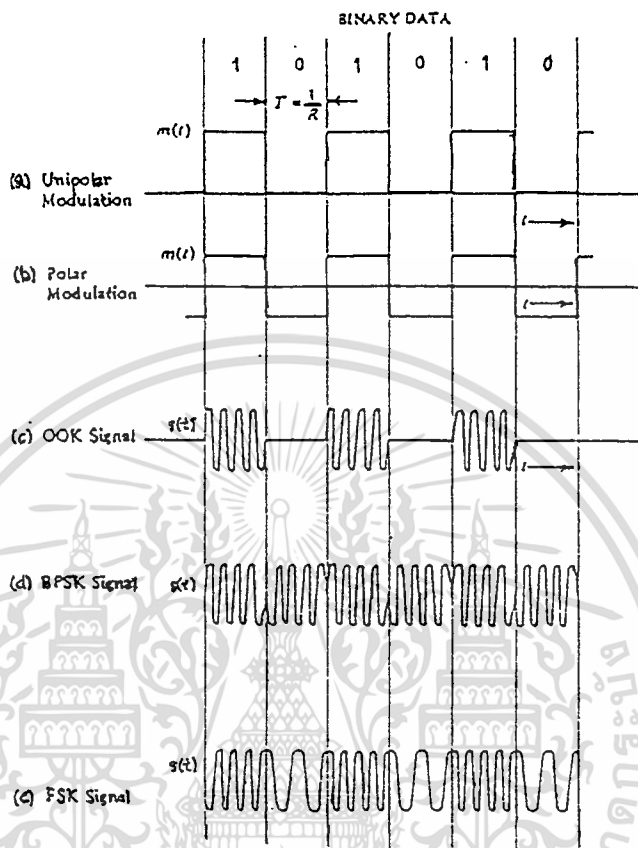
โมเด็มย่อมาจาก มอดูเลท-ดีมอดูเลท (Modulate Demodulate) อุปกรณ์สื่อสารที่ใช้ในการแปลงสัญญาณดิจิทัลให้เหมาะสมก่อนส่งผ่านตัวกลาง ซึ่งโดยมากคือสายโทรศัพท์ และการมอดูเลทและดีมอดูเลทสัญญาณดิจิทัล โดยเมื่อสัญญาณดิจิทัล 2 ระดับ คือ “0” และ “1” ซึ่งเทคนิคพื้นฐานที่ใช้อยู่มีหลายแบบด้วยกัน เช่น

2.4.1 การมอดูเลททางแอมพลิจูด (Amplitude Shift Keying : ASK)

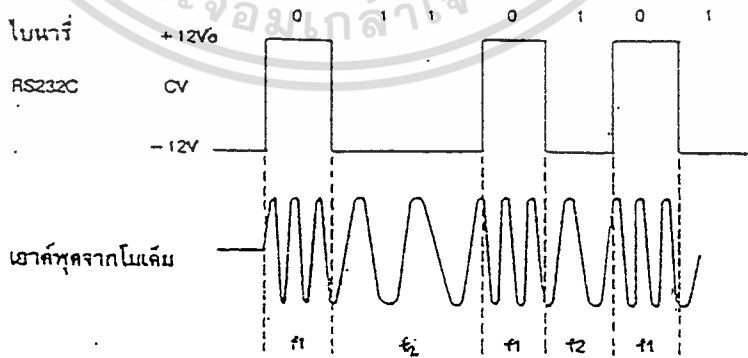
การเปลี่ยนแปลงสัญญาณลอจิกให้เหมาะสมกับการส่งผ่านไปสายโทรศัพท์โดยวิธีที่ง่ายที่สุดซึ่งจะเรียกว่า Amplitude Shift Keying (ASK) หรือเรียกในอีกรูปแบบหนึ่งว่า On Off Keying ซึ่งมีวิธีการ คือ กำหนดให้สัญญาณลอจิก “0” ถูกแทนที่ด้วยค่าความถี่เท่ากับ 0 คือ การปิด(off) สัญญาณ และจะแทนสัญญาณลอจิก “1” ด้วยความถี่ค่า ๆ หนึ่งคือ การเปิด(on) สัญญาณนั่นเองและสัญญาณที่ป้อนให้จะเป็นสัญญาณโพลาร์ (polar) สามารถรูปร่างสัญญาณต่างๆ ได้จากรูปที่ 2.2

2.4.2 การมอดูเลททางความถี่ (Frequency Shift Keying : FSK)

แรกเริ่มการเปลี่ยนสัญญาณลอจิกให้เหมาะสมกับการส่งผ่านไปสายโทรศัพท์ใช้วิธีที่เรียกว่า Frequency Shift Keying (FSK) คือด้านส่งจะกำหนดใช้ความถี่ของเสียงสองความถี่สำหรับแทนสัญญาณลอจิก “0” และ “1” ด้านรับก็จะพยายามจับเอาสองความถี่สำหรับที่ว่ามีมาแปลงสัญญาณลอจิกกลับคืน ความถี่ของเสียงทั้งสองต้องห่างกันพอที่จะแยกออกจากกันได้โดยวงจรอิเล็กทรอนิกส์และก็จะต้องไม่ห่างกันเกินจนตกขอบของความสามารถของสายโทรศัพท์จะนำพาไปได้ ดังรูปที่ 2.3 แสดงถึงหลักการทำงานของ FSK



รูปที่ 2.2 รูปร่างสัญญาณต่าง ๆ



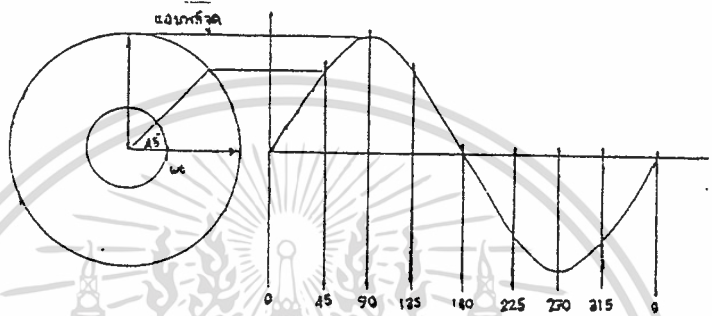
รูปที่ 2.3 การแปลงสัญญาณระบบ FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3 การมอดูเลททางเฟส (Phase Shift Keying : PSK)

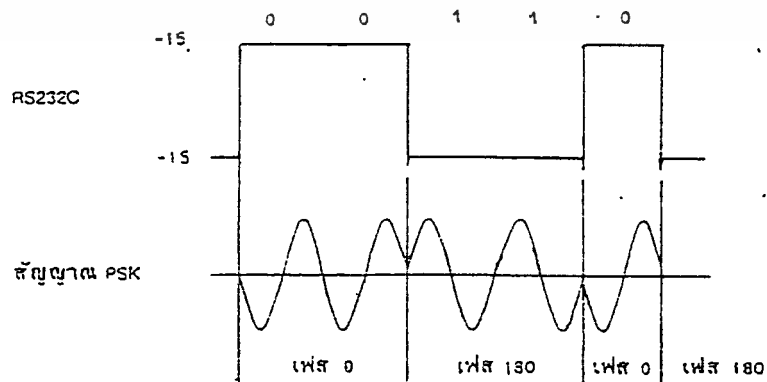
ในการถ่ายโอนที่ต้องใช้ความเร็วสูง ๆ การมอดูเลทโดยวิธี FSK คงจะเป็นไปได้ยากจึงเปลี่ยนมาใช้วิธีที่เรียกว่าการมอดูเลททางเฟส (PSK) และแทนที่จะใช้ความถี่ในการแทนสัญญาณลอจิกกลับใช้สัญญาณเสียงความถี่เดียว แต่ใช้เฟสที่ต่างกันออกไปสำหรับแทนสัญญาณลอจิก

การใช้เฟสในการมอดูเลทสามารถดูรูปร่างของสัญญาณอย่างง่าย ๆ ตามรูปที่ 2.4



รูปที่ 2.4 การกำหนดคลื่นรูปไซน์และเฟสต่างๆ

การกำเนิดของคลื่นไซน์ก็เหมือนกับการหมุนของเข็มนาฬิกาไปเป็นเส้นรอบวง ถ้าเราวัดความสูงของเข็มนาฬิกาเทียบกับแนวนอนขณะใดขณะหนึ่ง แล้วนำมาวัดเทียบกับแกนเวลา เราจะได้รูปร่างของคลื่นไซน์ เข็มที่เราใช้หมุนเรียกว่า “เวกเตอร์” มุมที่หมุนไปเรียกว่า “เฟส” ฉะนั้นเฟสของสัญญาณรูปคลื่นไซน์จะมีค่าตั้งแต่ 0 ถึง 360 องศา ถ้าหากเราจะเลือกใช้เฟสในการมอดูเลทสัญญาณลอจิก เราก็แบ่งเฟสที่เราจะใช้ออกเป็น 2 เฟส หรือเรียกการมอดูเลทแบบนี้ว่า Binary Phase Shift Keying (BPSK) ในการมอดูเลทสัญญาณลอจิก “0” และ “1” คือใช้เฟส “0” แทน “0” และเฟสที่ 180 องศา แทน “1” ลักษณะของสัญญาณจากโมเด็มก็จะเป็นดังรูปที่ 2.5 ซึ่งจะเป็นรูปแบบของ BPSK



รูปที่ 2.5 สัญญาณ BPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคิ่มอดูเลทสัญญาณดิจิทัลแบบไบนารี แบ่งเป็น 2 แบบคือ

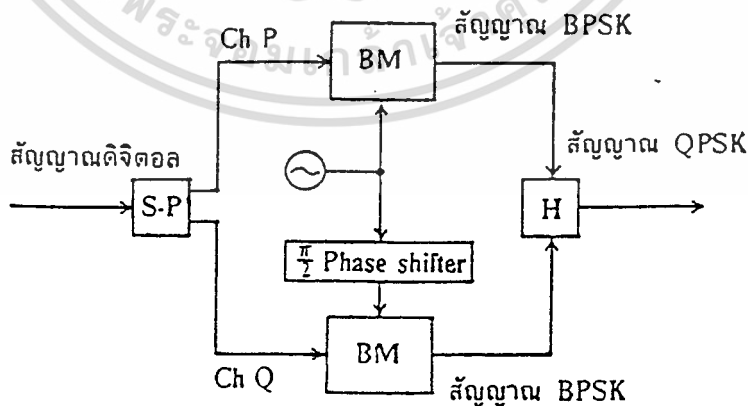
1. การคิ่มอดูเลทแบบซิงโครนัสดีเทคชัน หรือแบบโคฮีเรนต์ดีเทคชัน
2. การคิ่มอดูเลทแบบเอนเวโลปดีเทคชัน หรือแบบนอนโคฮีเรนต์ดีเทคชัน

ข้อแตกต่างระหว่าง 2 แบบ ก็คือ ระบบโคฮีเรนต์ดีเทคชันจะสามารถสกัดสัญญาณรบกวนได้ดีกว่า และในการตรวจจับ (detect) จะใช้วิธีการนำสัญญาณคลื่นพาห์ (Carrier) ที่ถูกสร้างอีกครั้ง กลับคืนมาคูณกับสัญญาณที่รับเข้ามา สัญญาณที่ได้ก็คือ ข้อมูล (data)

ส่วนวิธีเอนเวโลปดีเทคชันจะสกัดเอาเอนเวโลปของสัญญาณที่มอดูเลทแล้วกลับคืนมา แต่จะไม่ดีเมื่อใช้ในวงจรที่มีส่วนประกอบความถี่ต่ำซึ่งมีความสำคัญ เพราะวงจรดีเทคชันนี้จะกรองส่วนประกอบกระแสตรงออก และมักจะสกัดเอาความถี่ต่ำออกไปด้วย

2.5 ทฤษฎีพื้นฐานของ QPSK

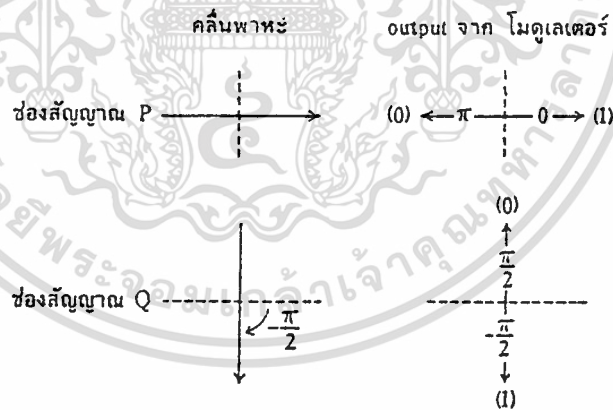
วงจร QPSK โมดูเลชัน วงจรนี้ประกอบด้วยวงจรโมดูเลชัน 2 binary PSK คู่กัน สัญญาณดิจิทัลที่จะส่งถูกแยกออกทางช่องสัญญาณ P และช่องสัญญาณ Q ด้วยตัวเปลี่ยนอนุกรมเป็นขนาน (S/P converter) แต่ละด้านถูกโมดูเลทแบบ BPSK โดย balance modulator คลื่นพาห์ที่ใช้ในการโมดูเลทของช่องสัญญาณ P จะใช้จาก output ของออสซิลเลเตอร์โดยตรง ส่วนคลื่นพาห์ที่ใช้สำหรับช่องสัญญาณ Q เฟสจะถูก Shift ไป $\pi/2$ หลังจาก $\pi/2$ phase shifter ดังในรูป สัญญาณโมดูเลท BPSK ทั้งสองนี้ได้รับโดยการ ใช้คลื่นพาห์ที่ต่างเฟสกัน $\pi/2$ และถูกรวมกันไว้โดยวงจรไฮบริด ก็จะได้สัญญาณ QPSK ออกมา



รูปที่ 2.6 วงจรคิ่มอดูเลท QPSK

เราลองมาพิจารณาความสัมพันธ์ระหว่างคลื่นพาห์ที่ใช้ในช่องสัญญาณ P และ Q และสัญญาณ BPSK สำหรับรหัส 0 และ 1 โดยใช้เวกเตอร์โคโอดแกรม ถ้าเฟสเริ่มแรกของสัญญาณ output จากออสซิลเลเตอร์กำหนดเป็นตัวอ้างอิง คลื่นพาห์ที่ใช้ในช่องสัญญาณ P จะอยู่ในเฟสเดียวกันกับสัญญาณอ้างอิง ส่วนคลื่นพาห์ของช่องสัญญาณ Q ได้จากการ shift เฟส $\frac{\pi}{2}$ จากสัญญาณ output ของออสซิลเลเตอร์สัญญาณที่โมดูเลทแบบ BPSK ในช่องสัญญาณ P และ Q จะอยู่ในเฟสเดียวกันกับคลื่นพาห์ สำหรับรหัส 1 แต่จะต่างเฟสกับคลื่นพาห์เท่ากับ π สำหรับรหัส 0

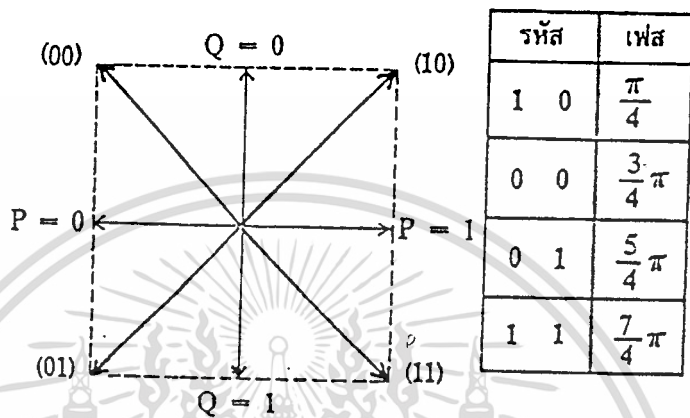
โดยการรวมสัญญาณ BPSK ที่ได้รับการโมดูเลทในช่องสัญญาณ P และช่องสัญญาณ Q เราจะได้สัญญาณ QPSK เมื่อรหัสในช่องสัญญาณ P เป็น "1" และรหัสในช่องสัญญาณ Q เป็น "0" เวกเตอร์ผลลัพธ์จะแสดงดังในรูปที่ 2.7 เวกเตอร์ผลลัพธ์นี้แสดงสัญญาณ QPSK สำหรับรหัส 10 ซึ่งสัญญาณ QPSK นี้ จะต่างเฟส $\frac{\pi}{4}$ กับคลื่นพาห์ของช่องสัญญาณ P สัญญาณ QPSK สำหรับรหัส 00 จะต่างเฟสเท่ากับ $\frac{3\pi}{4}$ สัญญาณสำหรับรหัส 01 จะต่างเฟส $\frac{5\pi}{4}$ และสัญญาณสำหรับรหัส 11 จะต่างเฟส $\frac{7\pi}{4}$ กับคลื่นพาห์ของช่องสัญญาณ P รหัสสัญญาณเหล่านี้เรียกว่า "Gray Code"



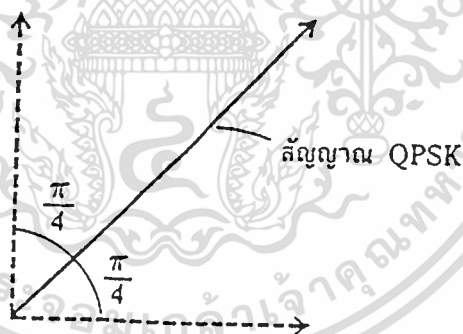
รูปที่ 2.7 เปรียบเทียบเฟสของสัญญาณในช่องสัญญาณ P และ Q

เมื่อเปรียบเทียบรหัสของ 2 เฟสที่อยู่ใกล้เคียงกัน จะเห็นว่า หนึ่งในสองบิตจะเหมือนกัน การตีโมดูเลทสัญญาณ QPSK โดย coherent detection เวกเตอร์ที่แสดงโดยเส้นทึบเป็นสัญญาณ QPSK ที่รับได้ ซึ่งสัญญาณ QPSK นี้สามารถพิจารณาได้ว่าเป็นสัญญาณผลลัพธ์ที่ได้โดยการรวมสัญญาณ BPSK ที่ตั้งฉากกันคู่หนึ่ง ซึ่งแสดงด้วยเส้นประ นั่นคือ การตีโมดูเลทสัญญาณ QPSK ก็เท่ากับการตีโมดูเลทสัญญาณ BPSK สองสัญญาณดังกล่าวข้างต้น ดังนั้นเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ QPSK ที่ได้รับคือ การตีเทคแบบ coherent โดยการใช้คลื่นพาหะอ้างอิงที่ตั้งฉากกันคู่หนึ่ง ซึ่งได้โดยการเลื่อนเฟสของสัญญาณที่รับไปเท่ากับ $\frac{\pi}{4}$ นั่นคือ สัญญาณ BPSK ที่ตั้งฉากกัน แต่ละสัญญาณถูกการตีเทคแบบ coherent แยกกัน



รูปที่ 2.8 เวกเตอร์ผลลัพธ์ของสัญญาณ QPSK

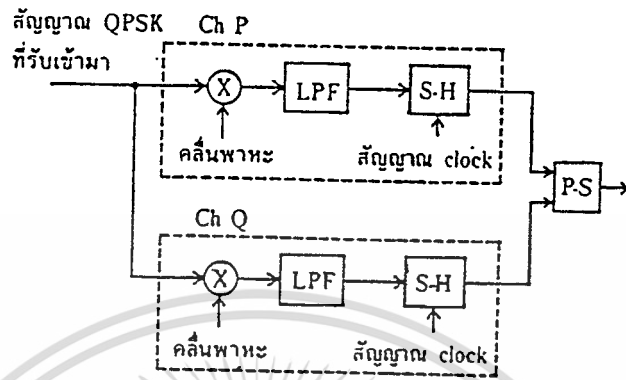


รูปที่ 2.9 สัญญาณ QPSK ถูก shift phase $\frac{\pi}{4}$

รูปต่อไปนี้เป็นวงจรตีโมดูเลทสำหรับสัญญาณ QPSK โดยการตีเทคแบบ coherent ซึ่งวงจรประกอบด้วยวงจรตีโมดูเลทแบบ coherent คู่หนึ่งสำหรับสัญญาณ BPSK ที่ตั้งฉากกัน สัญญาณ QPSK ที่รับได้ถูกแบ่งออกเป็นขบวนสัญญาณ 2 ขบวน ซึ่งถูกตีเทคแบบ coherent แยกกัน คู่ของคลื่นพาหะอ้างอิงที่ตั้งฉากกันถูกป้อนเข้า multiplier ของช่องสัญญาณ P และช่องสัญญาณ Q แต่ละช่องสัญญาณซึ่ง output จะผ่าน low pass filter เพื่อตัดฮาร์โมนิกสูง ๆ ออก หลังจากนั้นก็ผ่านไปยังวงจร sample holder พร้อมด้วย clock pulse ดังนั้นสัญญาณจะ

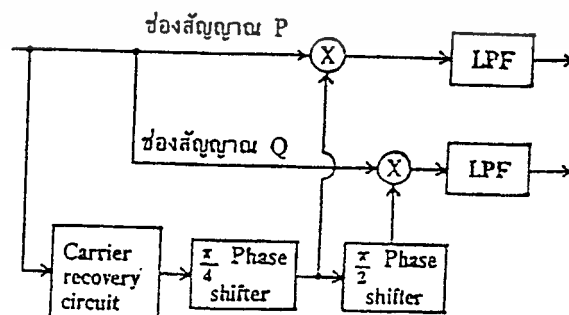
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถูกตีโมดูลแยกกันในช่องสัญญาณ P และ Q ขบวนการสัญญาณที่ขนานกันนี้ถูกรวมเข้าด้วยกันที่ P/S converter เพื่อจัดรูปแบบเรียงเป็นสัญญาณอนุกรมตามเดิม



รูปที่ 2.10 วงจรตีโมดูลสัญญาณ QPSK

ในการตีเทคสัญญาณ QPSK แบบ coherent จำเป็นที่จะต้อง shift เฟสของคลื่นพาหะอ้างอิงทั้งคู่ไป $\frac{\pi}{4}$ เมื่อเทียบกับเฟสของสัญญาณที่รับได้ เพื่อจุดประสงค์นี้ จำเป็นต้องใช้ วงจร carrier recovery $\frac{\pi}{4}$ phase shifter และวงจร $\frac{\pi}{2}$ phase shifter ในวงจร multiplier ของช่องสัญญาณ P เพื่อพาหะอ้างอิงได้ จากการเลื่อนเฟสของสัญญาณ ซึ่งเป็น out put ของวงจร carrier recovery แล้วเลื่อนเฟสไปโดยใช้ $\frac{\pi}{4}$ phase shifter ส่วนวงจร multiplier ของช่องสัญญาณ Q คลื่นพาหะอ้างอิงได้จาก ให้ output ของ $\frac{\pi}{4}$ phase ผ่านวงจร $\frac{\pi}{2}$ phase shifter อีกครั้งหนึ่ง คลื่นพาหะอ้างอิงนี้จะตั้งฉากกับคลื่นพาหะอ้างอิงในช่องสัญญาณ P โดยการผ่านการตีเทคแบบ coherent ของสัญญาณ QPSK ซึ่งใช้คลื่นพาหะอ้างอิงคู่หนึ่งนี้ เราจะได้สัญญาณ BPSK 2 สัญญาณ ซึ่งรวมกันมาจากทางตอนโมดูลแยกออกมาได้ โดยวิธี coherent ดังในรูป 2.11



รูปที่ 2.11 การตีเทคสัญญาณ QPSK ออกมาเป็น BPSK2 สัญญาณ

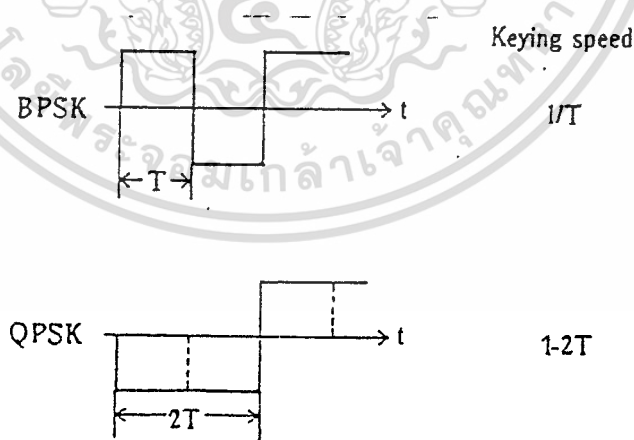
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการพื้นฐานของ carrier recovery จากสัญญาณ QPSK ก็เหมือนกันกับกรณีของสัญญาณ BPSK เฟสของคลื่นพาหะอ้างอิงที่ได้กลับคืนมาจะตรงกันกับหนึ่งในสี่เฟสของสัญญาณ QPSK ที่รับได้ แต่เป็นไปได้ที่จะกำหนดว่าเฟสไหนในสี่เฟสเหล่านี้ตรงกันกับเฟสของคลื่นพาหะอ้างอิงที่แท้จริง โดยลักษณะนี้ปัญหาของ $\frac{\pi}{2}$ phase ambiguity ก็จะเกิดขึ้นใน QPSK ซึ่งปัญหานี้สามารถแก้ไขได้โดยใช้ differential coding technique หรือโดยใช้ unique word เข้าช่วยเหมือนในกรณีของ BPSK

2.5.1 ลักษณะของ QPSK

สมมติว่าจำนวนบิตที่จะต้องส่งในหนึ่งหน่วยเวลาคือ bit rate มีค่าเท่ากับทั้งในกรณีของ BPSK และ QPSK สำหรับ QPSK บิตจะถูกส่ง 2 บิตในแต่ละครั้ง ดังนั้นความถี่ของการเปลี่ยนเฟสคลื่นพาหะจะขึ้นอยู่กับรหัส นั่นคือ keying speed จะเป็นครึ่งหนึ่งเมื่อเทียบกับกรณี BPSK เมื่อช่วงระยะเวลาของบิตแต่ละตัวเป็น T ดังนั้น keying speed จะมีค่าเท่ากับ $1/2T$ สำหรับ BPSK และจะมีค่าเท่ากับ $1/4T$ สำหรับกรณีของ QPSK

โดยทั่วไปแล้วแถบกว้างความถี่ที่ถูกครอบครองของสัญญาณ PSK จะเพิ่มขึ้นเป็นสัดส่วนกับ keying speed ฉะนั้นเมื่อให้อัตราการส่งบิตคงที่ keying speed ในกรณีของ QPSK จะเป็นครึ่งหนึ่งของ BPSK และแถบกว้างความถี่ที่ถูกครอบครองของสัญญาณ QPSK จะเป็นครึ่งหนึ่งของสัญญาณ BPSK ในทางตรงกันข้ามเมื่อให้แถบกว้างความถี่เท่ากัน จำนวนบิตซึ่งสามารถส่งได้ในกรณีของ QPSK จะเป็น 2 เท่าของ BPSK

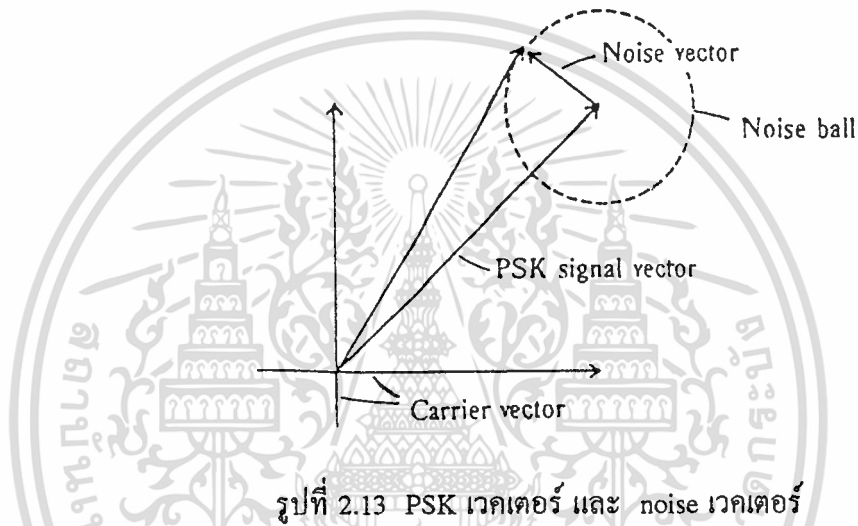


รูปที่ 2.12 keying speed ในการส่งสัญญาณ

ดังนั้นจะเห็นได้ว่า QPSK มีข้อดีกว่า BPSK ถ้ามองจากผลในการใช้แถบความถี่คลื่น

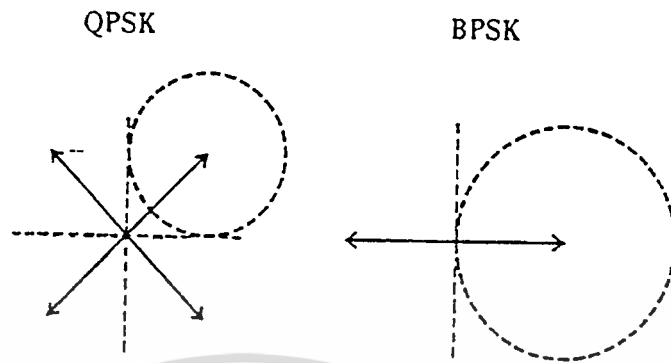
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.13 เป็นเวกเตอร์ไคอะแกรมของสัญญาณ PSK เมื่อมีเสียงรบกวนเข้ามา ทำให้แอมพลิจูดและเฟสเปลี่ยนไป จะเห็นว่าทิศทางของเวกเตอร์เสียงรบกวนเปลี่ยนไปได้ทุกทิศทาง เวกเตอร์เสียงรบกวนที่มีขนาดคงที่ และหมุนไปทุกทิศทางเป็นวงกลมนี้เรียกว่า “noise ball” เมื่อเวกเตอร์ผลรวมระหว่าง PSK เวกเตอร์ และเวกเตอร์เสียงรบกวนข้าม carrier vector ไปทางใดทางหนึ่ง (ดูรูปประกอบ) เฟสที่ส่งก็จะถูกดีโมดูเลทผิดไปเป็นเฟสข้างเคียง เพราะฉะนั้นเมื่อ noise ball มีค่ามาก การผิดพลาดของบิตก็จะเกิดขึ้น



ลองเปรียบเทียบขนาดของ noise ball สูงสุดที่ไม่ทำให้เกิด bit error ขึ้นใน BPSK และ QPSK โดยที่ความยาวของเวกเตอร์สัญญาณมีขนาดเท่ากัน ซึ่งหมายความว่ากำลังส่งสัญญาณทั้ง QPSK และ BPSK มีกำลังส่งเท่ากัน เราจะเห็นระยะระหว่างสองเวกเตอร์สัญญาณในกรณี QPSK จะสั้นกว่าในกรณี BPSK และช่วงขนาดของ noise ball ที่ไม่ทำให้เกิดการผิดพลาดของบิตในกรณี QPSK จะแคบกว่า ดังในรูป 2.14 ดังนั้นถ้ากำลังในการส่งสัญญาณเท่ากันและข่านความถี่เท่ากัน อัตราการผิดพลาดของบิตในกรณี QPSK จะสูงกว่ากรณี BPSK แต่จำนวนข้อมูลข่าวสารที่ส่ง QPSK จะมากเป็น 2 เท่าของ BPSK โดยลักษณะเช่นนี้ถ้าต้องการใช้ข่านความถี่ให้ผลมากที่สุดจึงควรใช้ QPSK มากกว่า BPSK แต่ถ้าจะให้อัตราการผิดพลาดของบิตเกิดขึ้นเท่ากัน ก็จำเป็นที่จะต้องให้กำลังในการส่งสัญญาณในกรณี QPSK มากกว่ากรณี BPSK เพราะฉะนั้น QPSK จึงเหมาะสำหรับระบบสื่อสารผ่านดาวเทียม ซึ่งมีข่านกว้างความถี่จำกัดเข้มงวดกว่าข้อจำกัดทางกำลังในการส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 เปรียบเทียบขนาดของ noise ball ที่ไม่ทำให้เกิดการผิดพลาดของบิต



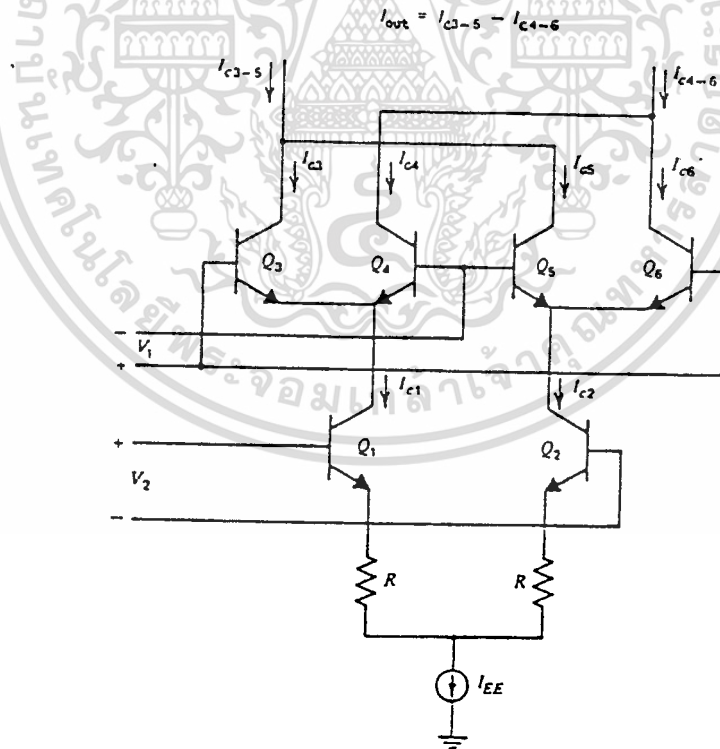
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

Balanced modulator and phase locked loop

3.1 การใช้งานไอซีบาลานซ์ มอดูเลเตอร์

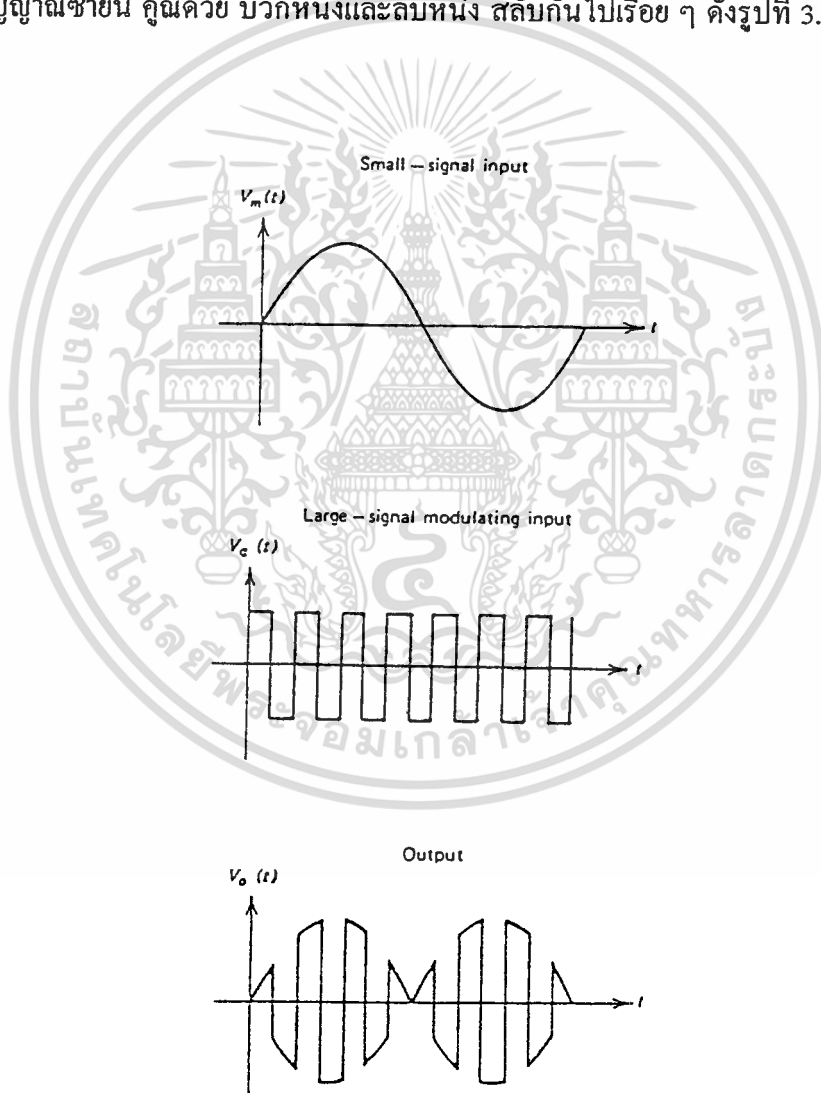
ในการประมวลผลสัญญาณ (Signal Processing) นั้นบ่อยครั้งที่มีความจำเป็นในการที่จะต้องนำเอาสัญญาณอะนาลอกที่มีการเปลี่ยนแปลงแบบต่อเนื่อง มาทำการคูณกับสัญญาณรูปสี่เหลี่ยม ซึ่งก็สามารถที่จะทำได้โดยอาศัยวงจรบาลานซ์ มอดูเลเตอร์ ด้วยการป้อนสัญญาณรูปสี่เหลี่ยมที่มีขนาดใหญ่เพียงพอ (เมื่อเทียบกับ V_T : Equivalent temperature voltage) ให้กับทรานซิสเตอร์ Q_3, Q_4, Q_5 และ Q_6 โดยผ่านทางขั้วเข้า V_1 ในรูปที่ 3.1 นั้นเอง เป็นผลให้ 2 ใน 4 ของทรานซิสเตอร์ทำงานสลับกันเปิดปิด ไปเรื่อย ๆ และเนื่องจากทรานซิสเตอร์เหล่านี้จะไม่เกิดการงานในช่วงอิมิตัวเลยด้วยแล้ว จึงทำให้การสลับกันเปิดปิดของคู่ทรานซิสเตอร์ เป็นไปด้วยความรวดเร็วอีกด้วย



รูปที่ 3.1 โครงสร้างพื้นฐานของไอซี บาลานซ์ มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยการใช้งานลักษณะดังกล่าว เราจะได้รูปคลื่นของสัญญาณต่าง ๆ ดังแสดงในรูปที่ 3.2 เมื่อสัญญาณชายนี้นถูกป้อนให้มีขนาดเล็กด้วยการป้อนเป็น V_2 ในรูปที่ 3.1 ส่วนสัญญาณสี่เหลี่ยมให้เป็นสัญญาณที่มีขนาดใหญ่และป้อนเข้าที่ V_1 ในรูปที่ 3.1 และเป็นที่น่าสังเกตว่า Q_3 , Q_4 , Q_5 , และ Q_6 จะทำงานในลักษณะสวิตช์ปิดเปิด จากผลของสัญญาณสี่เหลี่ยมที่ป้อนเข้ามา และขนาดของสัญญาณเอาต์พุตที่ได้ จะไม่ขึ้นอยู่กับขนาดของสัญญาณสี่เหลี่ยมเลย ตรงเท่ากับที่สัญญาณรูปสี่เหลี่ยมดังกล่าว มีขนาดใหญ่เพียงพอที่จะทำให้ทรานซิสเตอร์ปิดเปิดอย่างสมบูรณ์ แต่ผลของการทำงานในลักษณะดังกล่าวนี้ จะทำให้ได้สัญญาณเอาต์พุต ที่เกิดจากการนำเอาสัญญาณชายนี้นคูณด้วย บวกหนึ่งและลบหนึ่ง สลับกันไปเรื่อย ๆ ดังรูปที่ 3.2



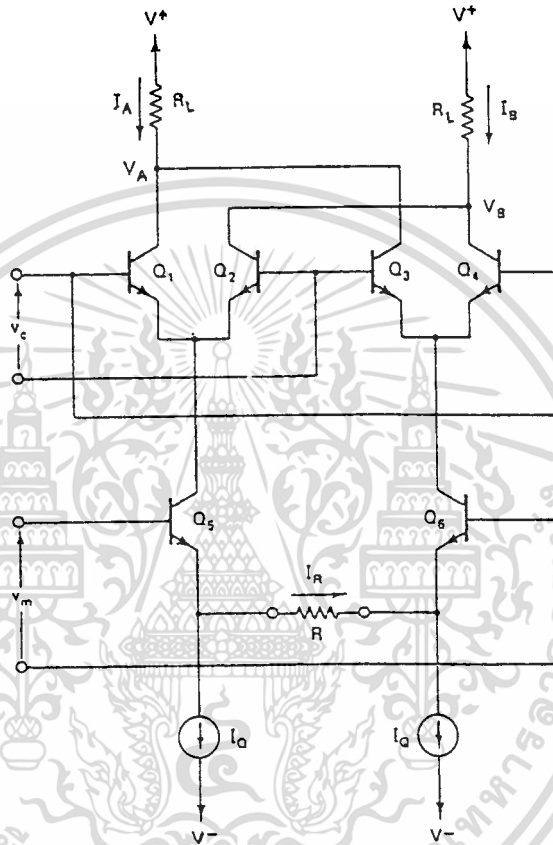
รูปที่ 3.2 สัญญาณอินพุต และเอาต์พุต

ที่เกิดจากการนำเอาสัญญาณชายนี้น และสี่เหลี่ยมคูณกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 การวิเคราะห์ห้วงจร บาลานซ์ มอดูเลเตอร์

การวิเคราะห์ห้วงจรบาลานซ์มอดูเลเตอร์สามารถทำได้โดยพิจารณาพร้อมกันกับรูปที่ 3.3



รูปที่ 3.3 แสดงวงจรบาลานซ์มอดูเลเตอร์

จากรูป

$$I_5 - I_{Q5} = I_Q + I_R$$

$$I_b = I_Q + I_R$$

จากสมการกระแส $I_5 - I_{Q5} = I_{T0} \exp(V_{BE5}/V_T) \dots(3.1)$

$$I_6 = I_{Q6} = I_{T0} \exp(V_{BE6}/V_T) \dots(3.2)$$

$$V_{BE} = V_B - V_E$$

จะได้ว่า $V_{BE5} = V_{B5} - V_{E5}$

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 V_{BE5} - V_{BE6} &= (V_{B5} - V_{E5}) - (V_{B6} - V_{E6}) \\
 &= (V_{B5} - V_{B6}) - (V_{B5} - V_{E6}) \\
 &= V_m - I_R R
 \end{aligned}$$

จากสมการ (3.1) และสมการ (3.2) นำมาหารกันจะได้

$$\frac{I_6}{I_5} = \frac{I_{T0} \exp(V_{BE6}/V_T)}{I_{T0} \exp(V_{BE5}/V_T)}$$

$$\frac{I_{T0}}{I_{T0}} = \frac{(I_6/I_5) \cdot \exp(V_{BE6}/V_T)}{\exp(V_{BE5}/V_T)}$$

$$1 = \frac{(I_6/I_5) \cdot \exp(V_{BE6} - V_{BE5})}{V_T}$$

จะได้
$$\frac{I_5}{I_6} = \exp \left(\frac{V_{BE5} - V_{BE6}}{V_T} \right)$$

$$\begin{aligned}
 \ln I_5 - \ln I_6 &= \frac{V_{BE5} - V_{BE6}}{V_T} \\
 &= \frac{V_m - I_R R}{V_T}
 \end{aligned}$$

จาก $I_5 = I_Q + I_R$

จะได้ $V_T (\ln(I_Q + I_R) - \ln(I_Q - I_R)) = V_m - I_R R$

$$I_6 = I_Q - I_R$$

จะได้
$$\begin{aligned}
 V_m - I_R R &= V_T (\ln(I_Q + I_R) - \ln(I_Q - I_R)) \\
 &= V_T \left(\ln \left(1 + \frac{I_R}{I_Q} \right) - \ln \left(1 - \frac{I_R}{I_Q} \right) \right)
 \end{aligned}$$

จาก Power series ของ $\ln(1+x)$

จะได้
$$\ln(1+x) = \sum_{n=0}^{\alpha} \frac{(-1)^n x^{n+1}}{n+1} \text{ เมื่อ } x < |1|$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



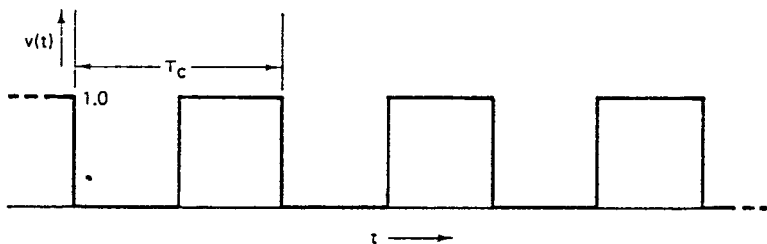
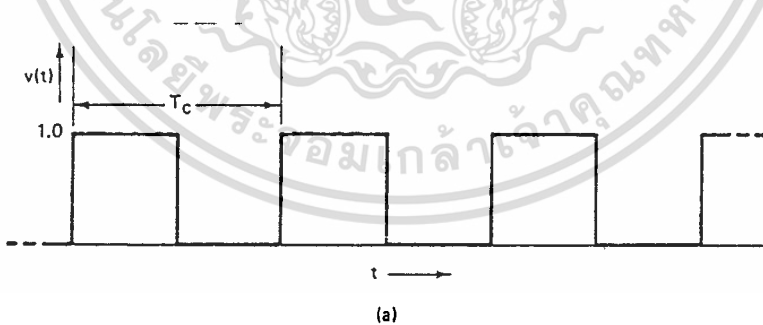
$$\text{จะได้ } \ln \left(1 + \frac{I_R}{I_Q} \right) = \sum_{n=0}^{\infty} \frac{(-1)^n (I_R/I_Q)^{n+1}}{n+1} \quad \text{เมื่อ } I_R < \left| \frac{1}{I_Q} \right|$$

$$\text{จะได้ } \ln \left(1 + \frac{I_R}{I_Q} \right) = \frac{I_R}{I_Q} - (1/2)(I_R/I_Q)^2 + \dots$$

$$\text{และ } \ln \left(1 - \frac{I_R}{I_Q} \right) = \frac{-I_R}{I_Q} - (1/2)(I_R/I_Q)^2 + \dots$$

$$\begin{aligned} \text{แทนค่าจะได้ } V_m - I_R R &= V_T \left(\left(\frac{I_R}{I_Q} \right) - (1/2)(I_R/I_Q)^2 + \dots \right) \\ &\quad - \left(\frac{I_R}{I_Q} - (1/2)(I_R/I_Q)^2 + \dots \right) \\ &= V_T \left(\frac{2I_R}{I_Q} \right) \\ &= I_R \left(\frac{2V_T}{I_Q} \right) = I_R (2 r_{eb}) \\ V_m &= I_R (2 r_{eb}) + I_R R = I_R (2 r_{eb} + R) \\ I_R &= V_m / (2 r_{eb} + R) \end{aligned}$$

จากตรงนี้ถ้าป้อนสัญญาณ $s(t)$ เข้าที่ V_c ที่มีรูปแบบดังต่อไปนี้จะได้ผลตามมาคือ หากเราให้ $V(t) = s(t)$ ดังรูปที่ 3.4



จาก Balanced modulator

$$I_1 = I_5 S(t) \quad I_3 = I_6 S(t - (T_C/2))$$

$$I_2 = I_5 S(t - (T_C/2)) \quad I_4 = I_6 S(t)$$

$$I_A = I_1 + I_3 = I_5 S(t) + I_6 S(t - (T_C/2))$$

$$I_B = I_2 + I_4 = I_5 S(t - (T_C/2)) + I_6 S(t)$$

$$\text{จาก } I_5 = I_Q + I_R \text{ จะได้ } I_A = (I_Q + I_R)S(t) + (I_Q - I_R)S(t - (T_C/2)) \quad \dots(3.3)$$

$$I_6 = I_Q - I_R \text{ จะได้ } I_B = (I_Q + I_R)S(t - (T_C/2)) + (I_Q - I_R)S(t) \quad \dots(3.4)$$

$$\text{จาก (1) จะได้ } I_A = I_Q S(t) + I_R S(t) + I_Q S(t - (T_C/2)) - I_R S(t - (T_C/2)) \quad \dots(3.5)$$

$$\text{จาก (2) จะได้ } I_B = I_Q S(t - (T_C/2)) + I_R S(t - (T_C/2)) + I_Q S(t) - I_R S(t) \quad \dots(3.6)$$

$$\text{จาก (3) จะได้ } I_A = I_Q (S(t) + S(t - (T_C/2))) + I_R (S(t) - S(t - (T_C/2))) \quad \dots(3.7)$$

$$\text{จาก (4) จะได้ } I_B = I_Q (S(t - (T_C/2)) + S(t)) + I_R (S(t - (T_C/2)) - S(t)) \quad \dots(3.8)$$

แทน $S(t)$ ด้วย $S_2(t)$ และ

$$S(t - (T_C/2)) \text{ ด้วย } S_2(t - T_C/2)$$

ในสมการที่ (3.7) และ (3.8) จะได้

$$I_A = I_Q ((1/2) + (-1/2)) + I_R (1/2) - (-1/2) \quad \dots(3.9)$$

$$I_B = I_Q ((-1/2) + (1/2)) + I_R (-1/2) - (1/2) \quad \dots(3.10)$$

$$I_A = I_R$$

$$I_B = -I_R$$

$$\text{แต่จาก } I_R = V_m / (R + (2V_T/I_Q))$$

$$\text{ถ้าให้ } V_m = (V_m \sin \omega_m t) / (R + (2V_T/I_Q))$$

$$= (V_m \sin \omega_m t) / (R + (2r_{eb}))$$

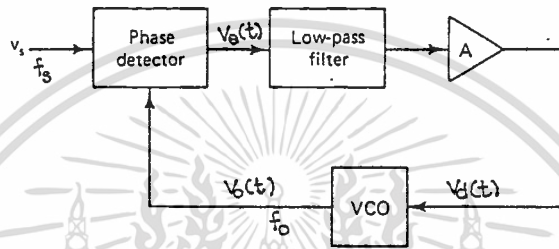
$$\text{นั่นคือ } I_A = \frac{V_m \sin \omega_m t}{R + (2r_{eb})}$$

$$I_B = - \frac{V_m \sin \omega_m t}{R + (2r_{eb})}$$

สรุปได้ว่าเอาท์พุท ทั้ง 2 ขา มีสัญญาณที่เกิดจากสัญญาณที่ป้อนเข้าที่ V_C แต่มีเฟสกลับกัน 180° และมีขนาดเท่ากัน

3.2 หลักการเบื้องต้นของเฟสล็อกคัลฟ

เฟสล็อกคัลฟ คือ ระบบที่มีการป้อนความถี่กลับประกอบด้วยเฟสดีเท็คเตอร์ โวลท์พาสฟิลเตอร์ และเออร์เรอร์ แอมพลิไฟเออร์ ซึ่งอยู่ทางที่สัญญาณเดินไปหน้าและโวลท์เตจ คอนโทรลเลอร์ออสซิลเลเตอร์ (VCO) อยู่ในทางป้อนกลับ แผนภาพของระบบเฟสล็อกคัลฟอย่างง่าย ๆ แสดงได้ดังในรูปที่ 3.5



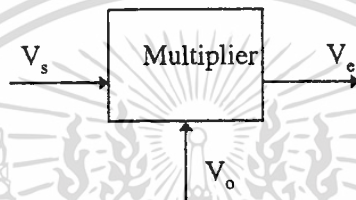
รูปที่ 3.5 บล็อกไดอะแกรมของเฟสล็อกคัลฟ

จากรูปที่ 3.5 สามารถอธิบายได้ดังต่อไปนี้ ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม (control voltage) $V_d(t)$ จะเท่ากับศูนย์ VCO จะทำงานโดยตั้งความถี่ไว้ที่ f_o ซึ่งเรียกว่า free-running frequency ถ้าสัญญาณเข้าไปในระบบ เฟสคอมพาราเตอร์ จะทำการเปรียบเทียบเฟส และความถี่สัญญาณอินพุตกับ VCO และผลิตแรงดันคลาดเคลื่อน $V_d(t)$ ซึ่งสัมพันธ์กับความแตกต่างของเฟส และความถี่ของสัญญาณทั้งสอง แรงดันคลาดเคลื่อนนี้จะถูกกรอง และขยายส่งไปควบคุม VCO ในการนี้แรงดันควบคุม $V_d(t)$ จะไปบังคับความถี่ VCO ให้เปลี่ยนไปในทิศทางที่จะลดความถี่ที่แตกต่างกันระหว่าง f_o และสัญญาณที่จะเข้า ถ้าความถี่สัญญาณที่จะเข้าใกล้เคียงกับ f_o จากการป้อนกลับของ PLL ทำให้ PLL ซิงโครไนส์หรือล็อกกับสัญญาณที่เข้ามา ขณะที่ทำการล็อกนั้น ความถี่ VCO จะเท่ากับสัญญาณอินพุต แต่เฟสยังต่างกันอยู่ ความแตกต่างของเฟส 0 มีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อนที่จะไปคอยปรับความถี่ VCO จากค่า ฟรีรันนิ่ง ให้เท่ากับความถี่ที่เข้ามา f_s ดังนั้น PLL จะยังคงรักษาสภาพการล็อก การที่ระบบสามารถที่จะปรับตัวได้เองทำให้ PLL สามารถติดตามความถี่ที่เปลี่ยนไปของสัญญาณที่เข้าไปให้อยู่ในสภาพล็อก เช่นเดิม ช่วงของความถี่ซึ่ง PLL สามารถติดตามการล็อกกับสัญญาณที่เข้ามา เรียกว่า “lock range” ของระบบ ค่าของมันจะขึ้นอยู่กับแรงดันคลาดเคลื่อน โดยจะไม่ขึ้นอยู่กับ แบนด์เอด ของฟิลเตอร์ ช่วงความถี่นี้จะมากกว่าช่วงความถี่ที่ PLL สามารถทำการล็อกอย่างแท้จริงกับสัญญาณอินพุต ช่วงความถี่เหล่านี้เรียกว่า “capture range” ของระบบช่วงการแคปเจอร์นี้จะขึ้นอยู่กับแบนด์เอด ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกของฟิลเตอร์ และอัตราขยายลูปปิด (K_v) ของระบบทั้งหมด โดยมีผลเกี่ยวข้องกับการเลือกเฟ้นของวงจรถ่าย PLL และยังช่วยเพิ่มความปลอดภัยเกี่ยวกับสัญญาณรบกวนทางด้านสัญญาณนอกแบนด์ที่ จะมากวนได้เป็นอย่างดี

3.2.1 อะนาล็อกเฟสดีเทคเตอร์

วงจรถ่ายเฟสดีเทคเตอร์จะมีพื้นฐานมาจากวงจรถ่ายสัญญาณซึ่งเป็นการคูณสัญญาณอินพุต ($V_s = V_s \text{Sine } 2 \pi f_s t$) กับ สัญญาณจาก VCO ($V_o = V_o \text{Sine } 2 \pi f_o t + \theta$) ดังรูปที่ 3.6



รูปที่ 3.6 แสดงบล็อกไดอะแกรมของวงจรถ่ายเฟสดีเทคเตอร์

จากรูปที่ 3.6 จะได้

$$V_e = K V_o V_s \text{Sine}(2 \pi f_s t) \text{Sine}(2 \pi f_o t + \theta)$$

K = เฟสคอมพาราเตอร์เกน (Phase Comparator Gain)

θ = ความแตกต่างเฟสระหว่างสัญญาณอินพุตและสัญญาณเอาต์พุตจาก VCO

$$\text{จะได้ } V_e = \frac{K V_o V_s}{2} \{ \text{Cos}(2 \pi f_s t - 2 \pi f_o t - \theta) - \text{Cos}(2 \pi f_s t + 2 \pi f_o t + \theta) \}$$

ในสภาวะล๊อค $f_s = f_o$ จะได้

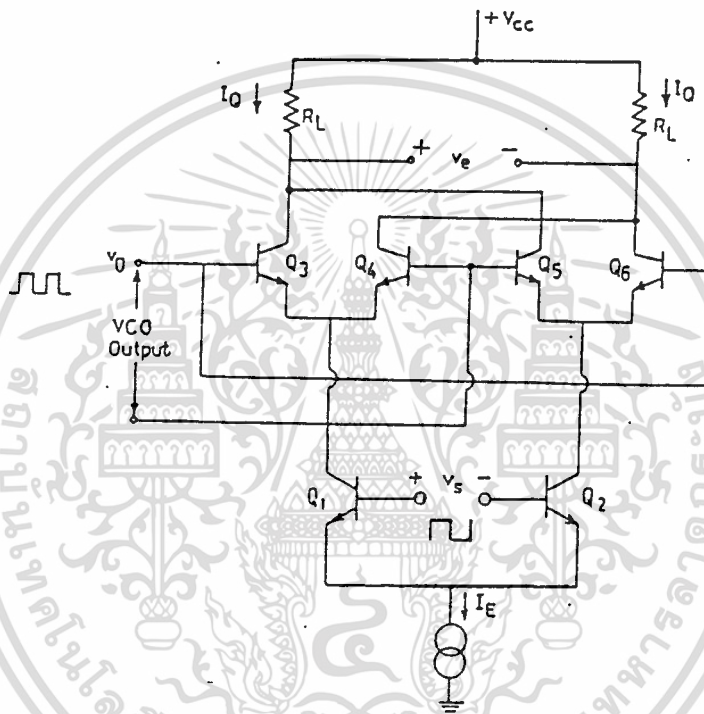
$$V_e = \frac{K V_o V_s}{2} \{ \text{Cos}(-\theta) - \text{Cos}(4 \pi f_o t + \theta) \} \quad \dots(3.11)$$

สมการ(3.11) แสดงว่า เอาต์พุตของเฟสคอมพาราเตอร์ ประกอบด้วย เทอม ดีซี และเทอมความถี่ และเมื่อผ่านวงจรถ่ายฟิลเตอร์ จะเหลือเฉพาะเทอมดีซี เท่านั้น ซึ่งเปลี่ยนแปลงตามฟังก์ชัน $\text{cos}\theta$ และเราเห็นว่าเมื่ออยู่ในสภาวะ ล๊อค เฟสควรต่างกัน 90 องศา ซึ่ง V_e ในสภาวะล๊อคคือ 0 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

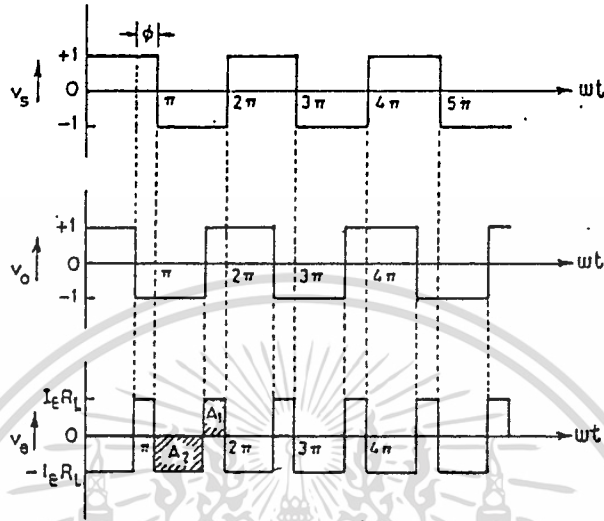
3.2.2 วงจรเฟสดีเทคเตอร์(Phase Detector)

วงจรเปรียบเทียบเฟสสัญญาณสี่เหลี่ยม แสดงดังรูปที่ 3.7 (a) คือ วงจรบาลานซ์มอดูเลเตอร์ ซึ่งป้อนสัญญาณอินพุตเข้าที่ขาเบสของ Q_1 และ Q_2 สัญญาณจากเอาต์พุตของ VCO จะป้อนเข้าที่ขาเบสของ Q_3 และ Q_4 , Q_5 และ Q_6 และสัญญาณที่ต้องเปรียบเทียบเฟสแสดงดังรูป 3.7 (b)



รูปที่ 3.7 (a) วงจรเฟสดีเทคเตอร์ของ PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 (b) แสดงสัญญาณอินพุตและเอาต์พุตจากวงจรเฟสดีเทคเตอร์ของ PLL

จากรูปที่ 3.7(b) เมื่อ V_s และ V_o มีขนาดบวกระหว่าง $0 - (\pi - \phi)$ ทρανซิสเตอร์ Q_1 และ Q_3 จะทำงานกระแส I_E จะไหลผ่าน Q_1 และ Q_3 จะได้แรงดันเอาต์พุตคือ

$$V_o = -I_E R_L$$

ที่คาบ $(\pi - \phi) - \pi$ V_s เป็นลบ และ V_o เป็นลบ ทรนซิสเตอร์ Q_1 และ Q_4 ถูกขับให้เปิด เราจะได้เอาต์พุตคือ

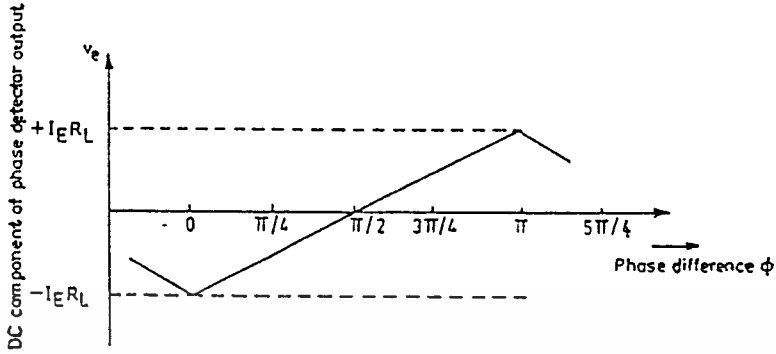
$$V_o = I_E R_L$$

ค่าเฉลี่ยของเฟสดีเทคเตอร์สามารถแสดงได้ดังนี้

$$\begin{aligned} (V_o)_{av} &= 1/\pi \{(\text{area } A_1) + (\text{area } A_2)\} \\ &= 1/\pi \{(I_E R_L \phi) + (-I_E R_L) (\pi - \phi)\} \\ &= I_E R_L (2\phi/\pi - 1) \\ &= 4 ((I_Q R_L)/\pi) (\phi - (\pi/2)) \text{ (since } I_E = 2I_Q) \\ &= K_\phi (\phi - (\pi/2)) \end{aligned}$$

เมื่อ $K_\phi =$ phase angle to-voltage transfer coefficient ความสัมพันธ์ระหว่าง V_e กับ ϕ แสดงดังรูป 3.7 (c)

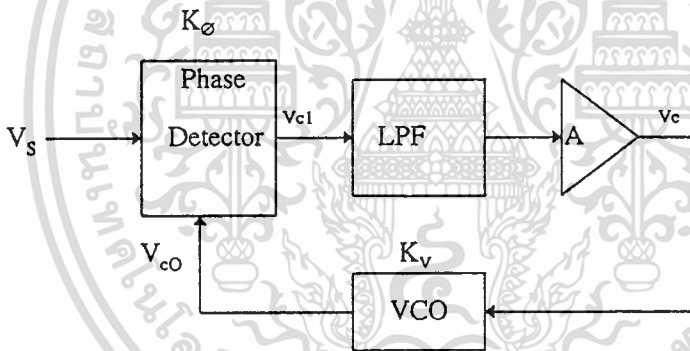
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 (c) แสดงเอาต์พุตคิซีโวลต์ตรงเทียบกับความต่างเฟสอินพุท

3.3 การวิเคราะห์ห้วงจรเฟสล็อกคูลฟ

การวิเคราะห์ห้วงจรเฟสล็อกคูลฟ จะพิจารณารูปที่ 3.8



รูปที่ 3.8 บล็อกไดอะแกรมของเฟสล็อกคูลฟ

ซึ่งสามารถวิเคราะห์ได้ดังนี้ ถ้าหากเฟสของสัญญาณ V_s และ V_{co} ต่างกันเท่ากับ เรเดียน ค่าแรงดันเอาต์พุท เฟส ดีเทคเตอร์ จะมีค่า

$$\begin{aligned}
 V_c &= 2I_Q R_L \left(\frac{2\theta}{\pi} - 1 \right) \\
 &= 2I_Q R_L \left(\frac{2\theta - \pi}{\pi} \right) = \frac{4I_Q R_L}{\pi} \theta - 2I_Q R_L \\
 &= \frac{4I_Q R_L}{\pi} \left(\theta - \frac{\pi}{2} \right) \\
 &= K_D \left(\theta - \frac{\pi}{2} \right)
 \end{aligned}$$

เมื่อ $K_D = \frac{4I_Q R_L}{\pi} = \text{โวลต์/เรเดียน}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

K_{ϕ} = Angle to voltage transfer coefficient ของเฟส ดีเทคเตอร์
 และ $V_c = K_{\phi}(\phi - \frac{\pi}{2}) \times A$ เมื่อ $A =$ Voltage gain
 จากนั้น V_c จะทำให้การเปลี่ยนแปลงค่าของความถี่ที่ออกมาจาก VCO คือ
 $f = f_0 + V_c K_v$
 $f_0 =$ free running frequency ของ VCO
 $K_v =$ Voltage to frequency transfer coefficient ของ VCO
 มีหน่วยเป็น Hz / V

จะได้ loop gain = $K_{\phi} K_v A$ (Hz/radian)

เมื่อ lock in range PLL จะอยู่ในสภาวะ lock in เราให้ $V_s = f_s$

นั่นคือ $f_s = f_{vco} = f_0 + \Delta f = f_0 + K_v V_c$

โดยที่ $V_c = (f_s - f_0) / K_v$ (Volt)

จาก $V_c = A V_{cl} = K_{\phi}(\phi - \frac{\pi}{2}) \times A$ เมื่อ $V_{cl} = K_{\phi}(\phi - \frac{\pi}{2})$

เทียบ 2 สมการจะได้ $V_c = A K_{\phi}(\phi - \frac{\pi}{2}) = (f_s - f_0) / K_v$

จะได้ $((f_s - f_0) / K_v, A K_{\phi}) + \frac{\pi}{2}$ (เรเดียน)

จาก $V_{cl} = K_{\phi}(\phi - \frac{\pi}{2})$

เราจะได้ $V_{clmax} = K_{\phi}(-\frac{\pi}{2})$ เมื่อ $\phi = 0$ องศา

$V_{clmax} = K_{\phi}(\frac{\pi}{2})$ เมื่อ $\phi = \pi$

แต่จาก $K_{\phi} = \frac{4I_Q R_L}{\pi}$ จะได้ $V_{cl} = \pm 2I_Q R_L \text{ max/min (Volt)}$

$$= \pm K_{\phi}(\frac{\pi}{2})$$

จะได้ $V_{c(max/min)} = A \times V_{cl(max/min)}$
 $= \pm K_{\phi}(\frac{\pi}{2}) A$ (Volt)

การสวิงค่าหรือการเปลี่ยนแปลงค่าความถี่ ของ VCO หรือ f_{vco} หรือ Δf_{vco}

นั่นคือ $(f - f_0)_{max} = K_v V_{c(max)} = \pm K_v A K_{\phi}(\frac{\pi}{2}) = A f_{vco(max)}$

เมื่อเกิดการเปลี่ยนแปลงเทียบกับ f_0

ดังนั้น PLL จะสามารถทำการ lock in อยู่ได้ก็ต่อเมื่อ f_s ที่เข้ามามีค่าเท่ากับ

$$f_s = f_0 \pm K_v K_{\phi} A(\frac{\pi}{2}) \text{ Hz}$$

หรือ lock in range = $\pm K_v K_{\phi} A(\frac{\pi}{2})$

$$f_s = f_0 \pm A f_L \text{ เมื่อ } f_L = \text{lock in frequency}$$

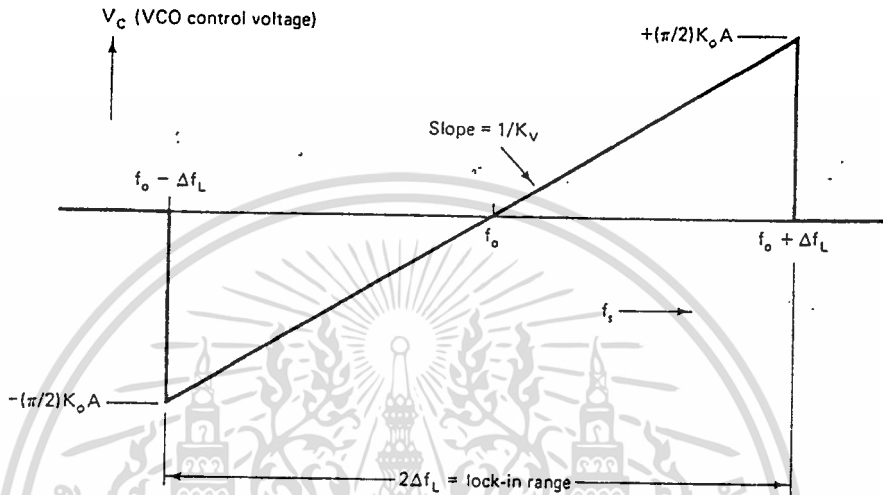
นั่นคือ $\Delta f_L = K_v K_{\phi} A(\frac{\pi}{2})$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{lock in range} = 2\Delta f_L = K_v K_o A \pi$$

lock in range frequency จะคิดเทียบกับ f_o ของ VCO แบบสมมาตรแสดงดัง

รูปที่ 3.9



รูปที่ 3.9 แสดงย่าน lock in range

ค่า f_s ถ้านอกเหนือจากช่วงค่าความถี่ lock in range frequency แล้ว VCO ไม่สามารถที่จะซิงโครไนซ์ กับ f_s ได้ ผลที่ตามมาคือ มุมของความแตกต่างเฟสจะเป็น

$$\begin{aligned} \phi &= (\omega_s t + \theta_s) - (\omega_0 t + \theta_0) \\ &= \omega_s t - \omega_0 t + \theta_s - \theta_0 \\ &= (\omega_s - \omega_0)t + (\theta_s - \theta_0) \end{aligned}$$

จากสมการจะเห็นว่า ϕ จะมีค่าเปลี่ยนแปลงตามเวลาที่เร็วมาก โดยจะได้

$$\frac{d\phi}{dt} = \omega_s - \omega_0$$

จากสาเหตุนี้ทำให้ V_c มีการเปลี่ยนแปลงที่เร็วมากเทียบกับเวลา และจะถูกลดทอนด้วย LPF อย่างมากมาย -จะเป็นผลให้มีค่าแรงดัน V_c มาขับ VCO เพียงน้อยนิด จากนั้น VCO ก็จะกลับมาทำงานที่ f_o ดังเดิม

สรุปก็คือ f_s ที่นอกเหนือจาก lock in range จะได้ $V_c = 0$ (Volt)

$$\text{และในสภาวะ lock in จะได้ } \phi_{(f_s)} = \frac{\pi}{2} + \frac{f_s - f_o}{K_v K_o A}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $f_s = f_o$ จะได้ว่า V_{CO} มีเฟสต่างกันเท่ากับ $\frac{\pi}{2}$ เรเดียน ตามสมการข้างบน (เมื่อเทียบกับ V_s)

Capture Range

เราพิจารณาในสถานะที่ V_s และ V_{CO} ยังไม่อยู่ในสถานะ lock in เพื่อที่จะหาค่า span ของความถี่ที่ PLL จะสามารถทำการ lock in ได้ ซึ่งเราเรียกว่า Capture range

เราเริ่มพิจารณาที่ PLL ไม่อยู่ในสถานะ lock in นั่นคือ เราให้ VCO ผลิตความถี่เป็น f_o ก่อน ทำให้ได้สถานะต่อไปนี้

จากสมการเมื่อ f_s อยู่นอก lock in range จะได้

$$\begin{aligned}\phi &= (\omega_s - \omega_o)t + (\theta_s - \theta_o) \\ &= (\omega_s - \omega_o)t + \Delta\theta\end{aligned}$$

นั่นคือ ϕ จะเปลี่ยนแปลงอย่างรวดเร็วและไม่คงที่ โดยมีค่า $d\phi/dt = \omega_s - \omega_o$ เป็นผลให้ V_{c1} ไม่มีส่วนประกอบของไฟตรง แต่จะมีลักษณะเป็นไฟสลับ ที่มีรูปร่างเป็นคลื่นสามเหลี่ยม ที่มีแอมพลิจูดสูงสุด เท่ากับ $K_{\phi}(\frac{\pi}{2})$ และมีความถี่มูลฐานอยู่ที่ $f_s - f_o$ ถ้าหากว่า LPF มีลักษณะเป็น RC Low pass filter จะให้ ทรานเฟอร์ ฟังก์ชันเป็น

$$T(\omega) = \frac{1}{1+j\omega C} = \frac{1}{1+j(f/f_1)}$$

$$\text{เมื่อ } f_1 = \frac{1}{2\pi RC}$$

และถ้า $(f/f_1)^2 \gg 1$ ทรานเฟอร์ ฟังก์ชันจะเป็น

$$T(f) = \frac{1}{j(f/f_1)} = f_1/jf$$

แต่ทว่าความถี่พื้นฐานที่ออกจากเอาต์พุต ของเฟสดีเทคเตอร์ (V_{c1})

นั่นจะมีค่า $\Delta f = f_s - f_o$ ถ้าหากว่า $\Delta f > 3f_1$ เราจะได้ $T(\Delta f) \approx f_1 / \Delta f$

ทำให้มีค่า V_c ไปป้อนให้กับ VCO ซึ่งมีค่าเท่ากับ

$$V_c = V_{c1} \times T(f) \times A$$

$$\text{และ } V_{c(\max)} = \pm K_{\phi}(\frac{\pi}{2})A(f_1 / \Delta f)$$

$$\text{จะได้ } (f_s - f_{o\max}) = K_v V_{c(\max)} = \pm K_v K_{\phi}(\frac{\pi}{2})A(f_1 / \Delta f)$$

เราต้องแทนค่า $f = f_s$ ในสถานะที่มีการเปลี่ยนสถานะจาก free running เข้าสู่ lock in หรือเรียกว่า acquisition time จะได้ความถี่สูงสุดที่ PLL สามารถทำการ acquisition ได้ก็คือ

$$(f_s - f_o)_{\max} \approx \pm K_v K_{\phi}(\frac{\pi}{2})A(f_1 / \Delta f_o) = \Delta f_o$$

$$\text{เมื่อ } \Delta f_o = (f_s - f_o)_{\max} \text{ เราจะได้}$$

$$(\Delta f_o)^2 = K_v K_{\phi}(\frac{\pi}{2})A f_1 \text{ แต่จากที่}$$

$$\Delta f_L = K_v K_{\phi}(\frac{\pi}{2})A \text{ จะได้}$$

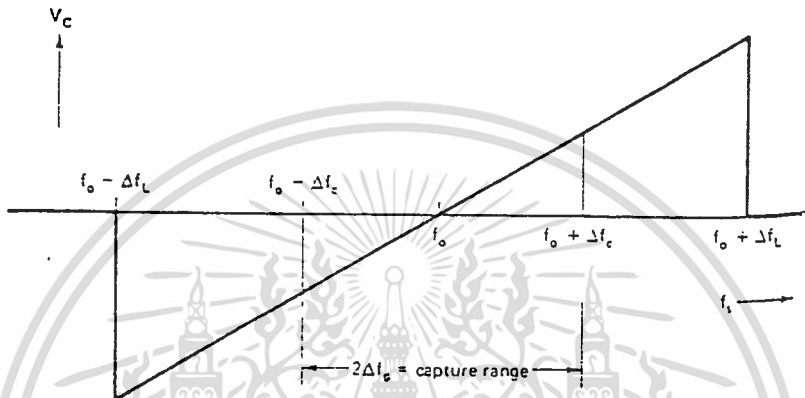
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$(\Delta f_o)^2 = f_1 \Delta f_L$$

$$\Delta f_o = \pm (f_1 \Delta f_L)^{1/2}$$

$$\text{capture range} = 2\Delta f_o = 2(f_1 \Delta f_L)^{1/2}$$

โดยปกติแล้ว $\Delta f_L \gg f_1$ และ capture range จะคิดเทียบกับค่า f_o ของ V_{C0} เช่นเดียวกับล็อก อิน เรนจ์ (lock in range) รูปที่ 3.10 แสดงย่านแค็ปเจอร์



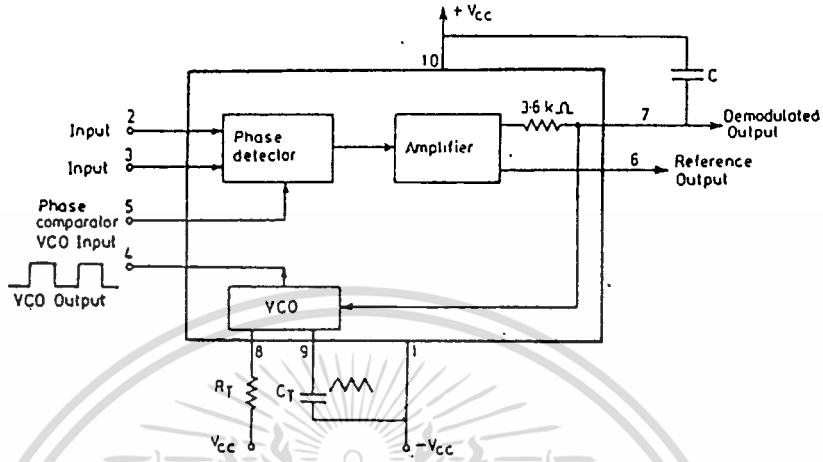
รูปที่ 3.10 แสดงย่านแค็ปเจอร์

จากสมการและกราฟจะเห็นว่า เราสามารถได้ค่า

capture range มาก ๆ จากการทำให้ค่า lock in range มาก ๆ แต่ทว่าการที่ ย่านแค็ปเจอร์ เรนจ์ มีค่ากว้างมาก จะทำให้มีสัญญาณรบกวนได้ง่ายนั่นคือ ถ้าต้องการลดสัญญาณรบกวนก็ทำได้โดยใช้ค่า ย่านแค็ปเจอร์ เรนจ์ น้อยๆ

3.4 การวิเคราะห์ไอซีเฟสล็อกลูปเบอร์ 565

ไอซี 565 เป็นไอซีเฟสล็อกลูปที่สามารถนำไปประยุกต์ใช้งานได้อย่างกว้างขวาง โครงสร้างภายในจะประกอบไปด้วยวงจรเฟสคอมพาราเตอร์ , โวลท์เดจคอนโทรลอสซิสเตเตอร์ , วงจรขยาย ซึ่งแสดงดังบล็อกไดอะแกรม รูปที่ 3.11



รูปที่ 3.11 บล็อกไดอะแกรมของ IC 565

จากวงจรความถี่เอาต์พุตของ VCO โดยต่อขา 2 , 3 ลงกราวด์คือ

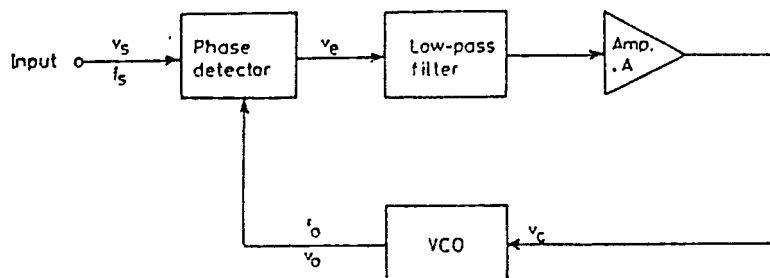
$$f_o = \frac{0.25}{R_T C_T} \text{ Hz}$$

R_T , C_T คือตัวต้านทานและคาปาซิเตอร์ภายนอกต่อขา 8 และขา 9 ของไอซี โดย

R_T มีค่าระหว่าง 2 KΩ - 20 KΩ คาปาซิเตอร์ที่ต่อระหว่างขา 7 และขา 10 จะทำงานร่วมกับความต้านทานภายใน IC 565 (3.6KΩ) ทำหน้าที่เป็นวงจร Low pass filter ในการทำงานของไอซี 565

จะมีค่า Phase angle-to-Voltage transfer coefficient (K ϕ) คือ $\frac{1.4}{\pi}$

การคำนวณค่า Lock in Range



รูปที่ 3.12 บล็อกไดอะแกรมของเฟสล็อกคิร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อกไดอะแกรมจะได้ว่า

$$V_c = 8 K_\phi \left(\phi - \frac{\pi}{2} \right) \quad \dots(3.12)$$

และแรงดันควบคุมที่อินพุทของ VCO คือ

$$V_c = A K_\phi \left(\phi - \frac{\pi}{2} \right) \quad \dots(3.13)$$

A = โวลต์เต็มเกนของวงจรรขยาย

และความถี่เลื่อนจากความถี่ตั้งไว้ (free running frequency) คือ

$$f = f_o + K_v V_c \quad \dots(3.14)$$

K_v = Voltage to frequency transfer coefficient ของ VCO เมื่อ เฟสบล็อกอยู่

ในสภาวะล็อกอินเรนซ์กับ f_s

$$f = f_s = f_o + K_v V_c \quad \dots(3.15)$$

$$V_c = \frac{(f_s - f_o)}{K_v} = A K_\phi \left(\phi - \frac{\pi}{2} \right) \quad \dots(3.16)$$

ดังนั้น
$$\phi = \frac{\pi}{2} + \frac{(f_s - f_o)}{K_v K_\phi A}$$

ขนาดของเอ๊าท์พุทโวลต์เต็มเกนจะมีค่าสูงสุด เมื่อ $\phi = \pi$ และ 0 เรเดียน นั่นคือ

$$V_{c(max)} = \pm K_\phi \frac{\pi}{2} \text{ เราจะได้}$$

$$V_{c(max)} = \pm \left(\frac{\pi}{2} \right) K_\phi A \quad \dots(3.17)$$

ความถี่สวิงสูงสุดของ VCO หากสมการ (3.16) จะได้

$$(f_c - f_o)_{max} = K_v K_\phi A \left(\frac{\pi}{2} \right) \quad \dots(3.18)$$

เมื่อเฟสบล็อกยังคงอยู่ในสภาวะล็อกอินเรนซ์จะได้

$$\begin{aligned} f_s &= f_o \pm (f - f_o)_{max} \\ &= f_o \pm K_v K_\phi A \left(\frac{\pi}{2} \right) = f_o \pm \Delta f_L \end{aligned} \quad \dots(3.19)$$

จาก (3.8) ล็อกอินเรนซ์มีค่าเท่ากับ $2\Delta f_L$

$$2\Delta f_L = K_v K_\phi A \pi \quad \dots(3.20)$$

$$\Delta f_L = K_v K_\phi A \frac{\pi}{2} \quad \dots(3.21)$$

สำหรับ K_v ของ IC 565 คือ $K_v = \frac{8f_o}{V}$

เมื่อ $V = +V_{cc} - (-V_{cc})$

และ $K_\phi = \frac{1.4}{\pi}$; $A = 1.4$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่าพารามิเตอร์ในสมการ (3.21) จะได้

$$\Delta f_L = \pm \frac{7.8f_o}{V}$$

การคำนวณค่า Capture range

เมื่อเฟสล็อกไม่อยู่ในเงื่อนไขล็อก ในตอนแรกความแตกต่างเฟสระหว่าง สัญญาณกับ V_{CO} คือ

$$\phi = (\omega_s t + \theta_s) - (\omega_c t + \theta_c) = (\omega_s - \omega_c)t + \Delta\theta \quad \dots(3.22)$$

และความแตกต่างของมุมเฟสจะเปลี่ยนตามเวลาคือ

$$\frac{d\phi}{dt} = \omega_s - \omega_c \quad \dots(3.23)$$

พิจารณา Low pass filter จะมีทรานเฟอร์ฟังก์ชัน

$$T(jf) = \frac{1}{1 + j(f/f_1)} \quad \dots(3.24)$$

เมื่อ $f_1 = \frac{1}{2\pi RC}$ ที่ 3 dB

ถ้า $\left[\frac{f}{f_1}\right]^2 \gg 1$ จะได้

$$T(f) \approx \frac{f_1}{jf} \quad \dots(3.25)$$

ถ้า $\Delta f = f_s - f_o > 3f_1$ ทรานเฟอร์ฟังก์ชันจะประมาณได้

$$\text{คือ } T(\Delta f) \approx \frac{f_1}{\Delta f} = \frac{f_1}{(f_s - f_o)} \quad \dots(3.26)$$

โวลต์เตจที่ป้อนเข้า V_{CO} , V_c

$$V_c = V_c \cdot T(f) \cdot A \quad \dots(3.27)$$

$$\text{หรือ } V_{C(\max)} = V_{c(\max)} \times T(f) \cdot A \quad \dots(3.28)$$

$$= \pm K_\phi \left(\frac{\pi}{2}\right) A \left(\frac{f_1}{\Delta f}\right) \quad \dots(3.29)$$

$$(f_s - f_o)_{\max} = K_v V_{c(\max)} = \pm K_v K_\phi \left(\frac{\pi}{2}\right) A \left(\frac{f_1}{\Delta f}\right)$$

สำหรับความถี่ใช้งาน เราใช้ $f = f_s$ เพราะฉะนั้นย่านความถี่ใช้งานสูงสุดของเฟสล็อกคือ

$$(f_s - f_o)_{\max} = \pm K_v K_\phi \left(\frac{\pi}{2}\right) A \left(\frac{f_1}{\Delta f_c}\right)$$

$$\Delta f_c = (f_s - f_o)_{\max}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$(\Delta f_c)^2 = K_v K_\phi \left(\frac{\pi}{2}\right) \Delta f_L$$

จาก
$$\Delta f_L = \pm K_v K_\phi \left(\frac{\pi}{2}\right) \Delta$$

$$\Delta f_c \approx \sqrt{f_1 \Delta f_L}$$

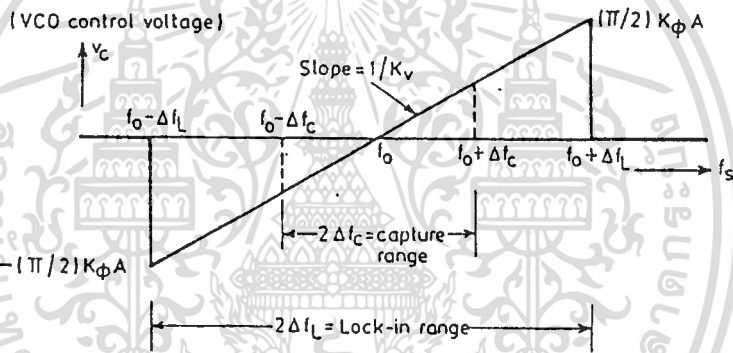
ดังนั้นผลรวมของย่าน Capture range คือ

$$2\Delta f_c \approx 2\sqrt{f_1 \Delta f_L}$$

เมื่อ Lock in range = $2\Delta f_L = K_v K_\phi \pi$ สำหรับ IC 565 ค่า $R = 3.6 K\Omega$ จะได้

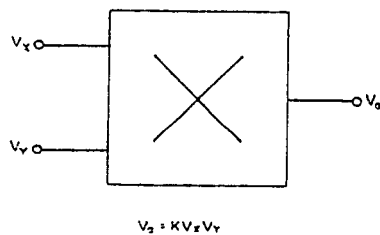
$$\text{Capture range} = \pm \left[\frac{\Delta f_L}{2\pi (3.6 \times 10^3) C} \right]^{1/2}$$

ความสัมพันธ์ของ Capture range กับ lock in range และความถี่ f_s แสดงดังรูปที่ 3.13



รูปที่ 3.13 แสดง Lock in range และ Capture range

3.5 วงจรคูณแบบสี่ควอดรนต์



รูปที่ 3.14 บล็อกไดอะแกรมของตัวคูณสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.14 แสดงบล็อกไดโอดแกรมของตัวคูณสัญญาณแรงดันเข้าที่พหุนิยม
โดย

$$V_0 = KV_x V_y \quad \dots(3.30)$$

$$V_x = \text{สัญญาณอะนาลอกที่ขั้ว } x$$

$$V_y = \text{สัญญาณอะนาลอกที่ขั้ว } y$$

$$K = \text{เกนของตัวคูณสัญญาณมีหน่วยเป็น (Volt}^{-1}\text{)}$$

สมการ(3.30) เป็นคุณสมบัติทางอุดมคติของตัวคูณสัญญาณ ดังนั้นขนาดและขั้วของเข้าที่พหุจะขึ้นอยู่กับสัญญาณอินพุตเพียงอย่างเดียว คือขึ้นอยู่กับว่าสัญญาณอินพุตจะมีขั้วเป็นบวกหรือลบ

วิเคราะห์วงจรคูณสัญญาณในทางปฏิบัติ

จากสมการ (3.30) นั้นเป็นทรานเฟอร์ฟังก์ชันในอุดมคติของตัวคูณสัญญาณ โดยจะไม่คิดออปเซิร์ทที่เกิดขึ้นในทางปฏิบัติ ซึ่งในทางปฏิบัติทรานเฟอร์ฟังก์ชันจะนิยามโดยมีความสัมพันธ์กับแรงดันออปเซิร์ทของแต่ละอินพุตและแรงดันออปเซิร์ทของวงจรราคเข้าที่พหุ เมื่อแรงดันออปเซิร์ทเหล่านี้ถูกพิจารณาค่าทรานเฟอร์ฟังก์ชันจะกลายเป็นดังสมการ (3.31)

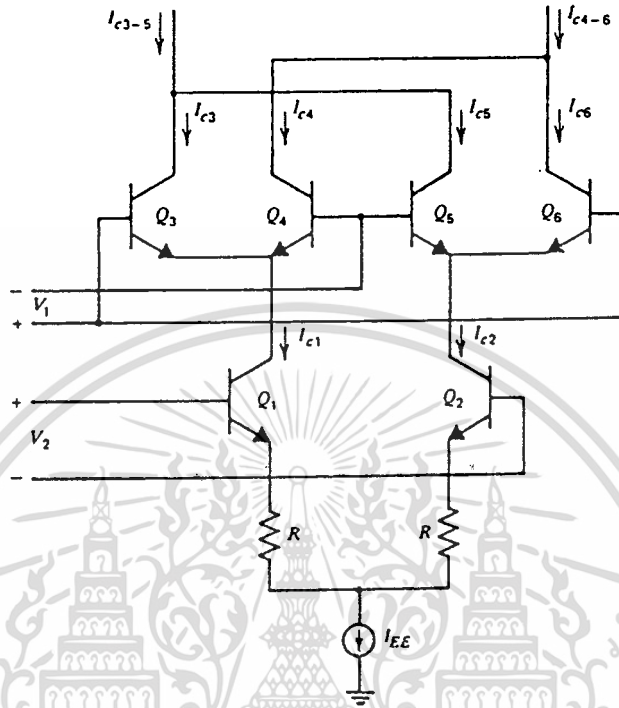
$$V_0 = K (V_x + \phi_x) (V_y + \phi_y) + \phi_0 \quad \dots(3.31)$$

โดย ϕ_x และ ϕ_y คือ ออปเซิร์ทที่เกี่ยวข้องกับอินพุต x และ อินพุต y และ ϕ_0 คือแรงดันออปเซิร์ทที่เข้าที่พหุของตัวคูณสัญญาณ ดังนั้นเพื่อความถูกต้องจึงต้องมีการปรับค่าออปเซิร์ททั้ง 3 ให้มีผลต่อวงจรน้อยที่สุดโดยปรับจากภายนอก ในการใช้งานทั่วๆ ไปจะตั้งเกณฑ์ของตัวคูณเท่ากับ 0.1 ค่านี้นี้จะยอมให้ค่าทั้ง 2 ของอินพุตมีค่าประมาณ 10 V โดยจะไม่ทำให้เข้าที่พหุเกิน 10V เมื่อออปเซิร์ทถูกปรับ และตั้งค่า K เท่ากับ 0.1 ทรานเฟอร์ฟังก์ชันจะกลายเป็นดังสมการที่ (3.32)

$$V_0 = \frac{V_x V_y}{10} \quad \dots(3.32)$$

ในการวิเคราะห์การทำงานของตัวคูณสัญญาณเราจะใช้ Gibert multiplier cell โดยพิจารณาทรานซิสเตอร์ทุกตัวมีคุณสมบัติเหมือนกัน ในการวิเคราะห์เราจะละเว้นกระแสเบสและค่าความต้านทานเข้าที่พหุ

$$I_{out} = I_{c3-5} - I_{c4-6}$$



รูปที่ 3.15 Gilbert Multiplier Circuit

จากวงจรรูปที่ 3.15 ในการวิเคราะห์ ขั้นแรกเราจะหากระแสคอลเล็กเตอร์ของ Q_3, Q_4, Q_5 และ Q_6 ให้อยู่ในเทอมของ V_1 โดยใช้สมการไดโอดพื้นฐาน เราจะได้

$$V_{BE3} = V_T \ln \frac{I_{c3}}{I_6}$$

$$V_{BE4} = V_T \ln \frac{I_{c4}}{I_5}$$

เมื่อ $V_T = KT/q$, $I_5 =$ กระแสย้อนกลับอิมิตัว

$$V_{BE3} - V_{BE4} = V_T \ln \frac{I_{c3}}{I_5}$$

$$I_{c3} = I_{c4} e^{V_1/V_T}$$

แต่ $I_{c3} + I_{c4} = I_{c1}$ ดังนั้น

$$I_{c3} = (I_{c1} - I_{c3}) e^{V_1/V_T}$$

$$I_{c3} = I_{c1} e^{V_1/V_T} - I_{c3} e^{V_1/V_T}$$

...(3.33)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{c3} = (1 + e^{v_1/v_T}) = I_{c1} e^{v_1/v_T}$$

$$I_{c3} = \frac{I_{c1}}{1 + e^{-v_1/v_T}}$$

กระแสคอลเล็กเตอร์ของ Q_4 หาได้จาก $I_{C4} = I_{C1} - I_{C3}$

$$I_{c4} = I_{c1} - \frac{I_{c1}}{1 + e^{-v_1/v_T}}$$

$$I_{c4} = \frac{I_{c1}}{1 + e^{v_1/v_T}} \quad \dots(3.34)$$

ใช้วิธีการอย่างเดียวกันจะได้กระแสคอลเล็กเตอร์ของ Q_5 และ Q_6 คือ

$$I_{c5} = \frac{I_{c2}}{1 + e^{-v_1/v_T}} \quad \dots(3.35)$$

$$I_{c6} = \frac{I_{c2}}{1 + e^{v_1/v_T}} \quad \dots(3.36)$$

และกระแสคอลเล็กเตอร์ของ Q_1 และ Q_2 คือ

$$I_{c1} = \frac{I_{EE}}{1 + e^{-v_2/v_T}} \quad \dots(3.37)$$

$$I_{c2} = \frac{I_{EE}}{1 + e^{v_2/v_T}} \quad \dots(3.38)$$

จากสมการ (4) สมการที่ (9) เราจะได้รับกระแสคอลเล็กเตอร์ที่อยู่ในเทอมของ V_1 และ V_2 และ I_{EE} เราสามารถแสดงกระแสคอลเล็กเตอร์ I_{C3} , I_{C4} , I_{C5} , I_{C6} ให้อยู่ในเทอมของอินพุตโวลต์เต็ม V_1 และ V_2 คือ

$$I_{c3} = \frac{I_{EE}}{(1 + e^{-v_1/v_T})(1 + e^{-v_2/v_T})} \quad \dots(3.39)$$

$$I_{c4} = \frac{I_{EE}}{(1 + e^{-v_2/v_T})(1 + e^{v_1/v_T})} \quad \dots(3.40)$$

$$I_{c5} = \frac{I_{EE}}{(1 + e^{-v_1/v_T})(1 + e^{v_2/v_T})} \quad \dots(3.41)$$

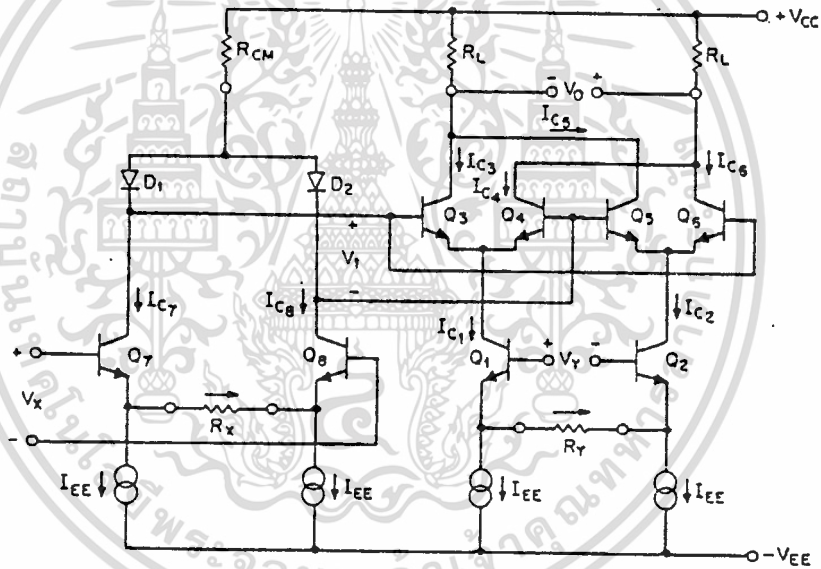
$$I_{c6} = \frac{I_{EE}}{(1 + e^{v_2/v_T})(1 + e^{-v_1/v_T})} \quad \dots(3.42)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความแตกต่างของกระแสเข้าที่พู่คือ

$$\begin{aligned} I_o &= I_c(3+5) - I_c(4+6) \\ &= I_{c3} + I_{c5} - (I_{c6} + I_{c4}) \\ &= (I_{c3} - I_{c6}) - (I_{c4} - I_{c5}) \\ I_c &= I_{EE} \left(\tanh \frac{V_1}{2V_T} \tanh \frac{V_2}{2V_T} \right) \end{aligned}$$

ดังนั้นทรานเฟอร์ฟังก์ชันสุดท้าย จะเป็นผลคูณของไฮเปอร์โบลิกแทนของ 2 สัญญาณ อินพุตซึ่งจะเป็นเชิงเส้นเมื่อสัญญาณอินพุตมีขนาดเล็กเมื่อเทียบกับ V_T ในการปรับปรุงความเป็นเชิงเส้น จะลดคุณสมบัติความเป็นเอ็กโปเนนเชียลซึ่งสามารถทำได้โดยตั้งเงื่อนไขเริ่มแรก ที่สัญญาณจุด x และสัญญาณดิเนียร์จุด y ดังแสดงรูปที่ 3.16



รูปที่ 3.16 วงจรควบคุมแบบสี่ควอดเรนต์

จากรูปค่า V_y จะถูกทำให้เป็นเชิงเส้นโดยแยกออกจากกระแสซอร์ส I_{EE} และเพิ่มค่าความต้านทานอิมิตอร์ดีเจเนอเรชัน (R_y) ผลของความต้านทานนี้จะทำให้ทรานคอนดักแตนซ์ของคู่อิมิตอร์เป็นเชิงเส้นและทำงานได้ย่านกว้าง แต่อย่างไรก็ตาม วิธีการนี้ใช้ไม่ได้กับอินพุตที่ V_1 เนื่องจากคู่อิมิตอร์ที่ต่อไขว้ในวงจร การแก้ที่จุดอินพุตนี้จะทำโดยวงจรที่ประกอบด้วย D_1, D_2, Q_7 และ Q_8 ดังในรูป

พิจารณาโวลต์เตจที่ตกคร่อมไดโอดจะได้

$$V_i = V_T \ln \frac{I_{EE} + KV_x}{I_{EE}} - V_T \ln \left[\frac{I_{EE} - KV_x}{I_{EE}} \right]$$

$$V_i = \frac{1}{2} V_T \ln \left[\frac{I_{EE} + KV_x}{I_{EE} - KV_x} \right]$$

จาก $\tanh^{-1} x = \frac{1}{2} \ln \frac{(1+x)}{(1-x)}$

จะได้ว่า $V_i = 2V_T \tanh^{-1} \frac{KV_x}{I_{EE}}$

และทรานเฟอร์ฟังก์ชันรวมทั้งหมดจะกลายเป็น

$$V_o = \frac{2V_x V_y R_L}{I_{EE} R_x \cdot R_y}$$



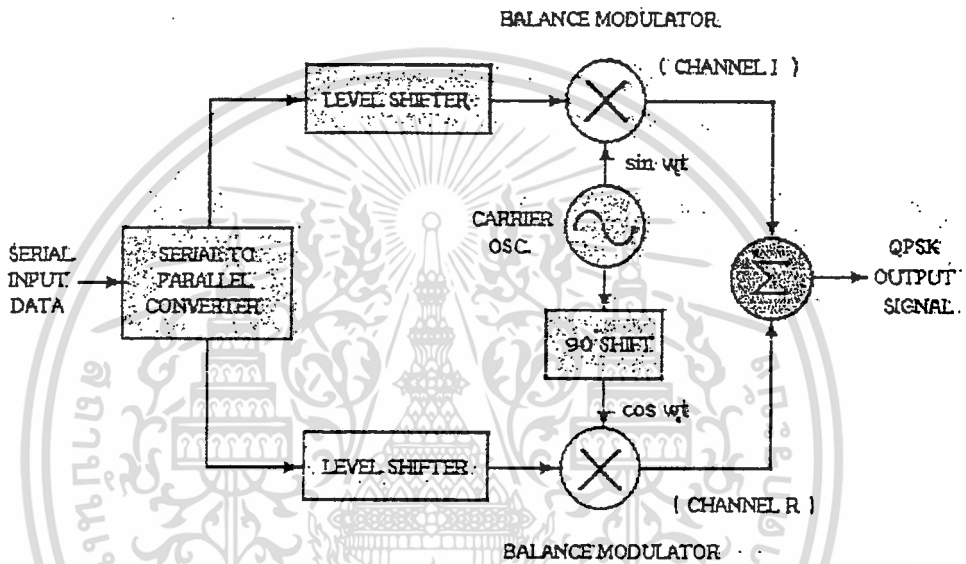
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบวงจรมอดูเลเตอร์และแบบคีมอดูเลเตอร์แบบ QPSK

4.1 ส่วนประกอบหลัก ๆ ของวงจรมอดูเลเตอร์

ส่วนประกอบหลัก ๆ ของวงจรมอดูเลเตอร์ แบบ QPSK สามารถแสดงได้ด้วยรูปที่ 4.1



รูปที่ 4.1 บล็อกไดอะแกรมของวงจรมอดูเลเตอร์ แบบ QPSK

4.1.1 การออกแบบวงจร บาลานซ์ มอดูเลเตอร์

ในการออกแบบวงจรภาค บาลานซ์ มอดูเลเตอร์ นี้จะใช้ ไอซี เบอร์ MC 1496 ซึ่งวงจรพื้นฐานในการออกแบบแสดงไว้ดังรูปที่ 4.2 ซึ่งจะได้ข้อกำหนดเบื้องต้น

Maximum Rating

- โวลต์เตจที่ใช้ ($V_6 - V_{10}, V_8 - V_1, V_{12} - V_{10}, V_{12} - V_{10}, V_{12} - V_8, V_{10} - V_4, V_{10} - V_1, V_8 - V_4, V_6 - V_8, V_2 - V_5, V_3 - V_5$) ต้องไม่เกิน $30 V_{DC}$

- ดิฟเฟอเรนเชียล อินพุต ซิกแนล

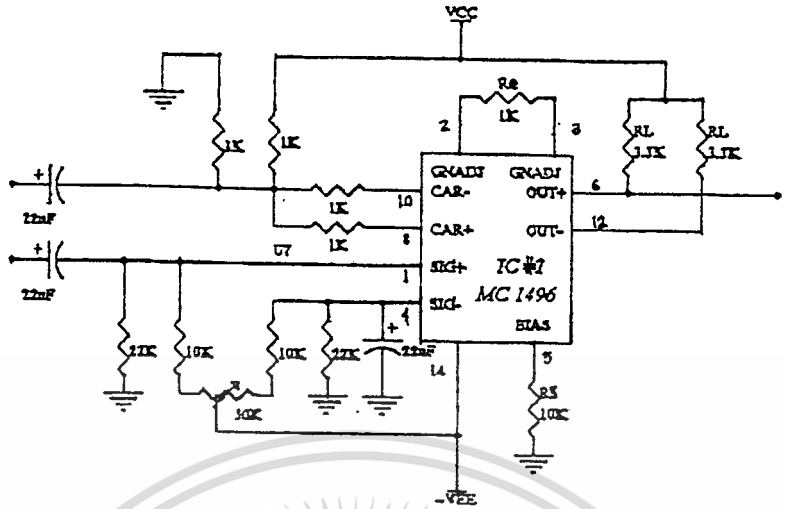
$$V_{10} - V_8 \leq 5 V_{DC}$$

$$V_4 - V_1 \leq \pm (5 + I_5 R_c) V_{DC}$$

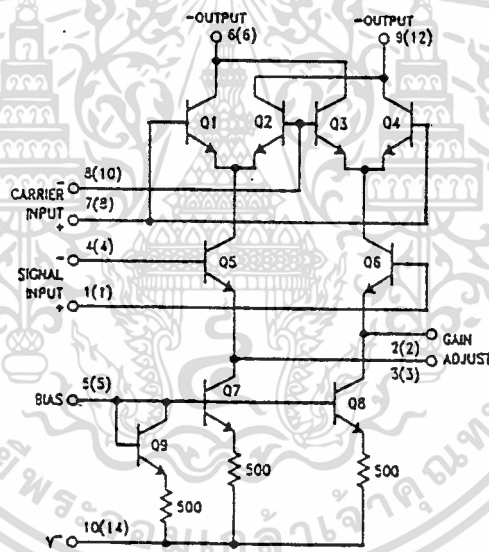
- ค่ากระแสไบอัสสูงสุด

$$I_5 \leq 10 \text{ mA}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงวงจรพื้นฐานของไอซี MC 1496



รูปที่ 4.3 แสดงวงจรภายในของไอซี MC 1496

ภายใต้ข้อสมมติฐาน $I_5 = I_6 = I_{12}$ เมื่อ $I_B \ll I_C$ ในทรานซิสเตอร์ทุกตัวทำให้ได้

$$R_5 = \frac{V_{EE} - \phi}{I_5} - 500 \Omega$$

เมื่อ $T_A = +25 \text{ C}^\circ$

$$\phi = 0.75 \text{ V}$$

$R_5 =$ ความต้านทานที่ต่อระหว่างขา 5 และกราวนด์

$$V_6 = V_{12} = V_{CC} - I_5 R_L$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การไบอัส

$$30 V_{DC} \geq \{(V_6, V_{12}) - (V_{10}, V_8)\} \geq 2 V_{DC}$$

$$30 V_{DC} \geq \{(V_{10}, V_8) - (V_1, V_4)\} \geq 2.7 V_{DC}$$

$$30 V_{DC} \geq \{(V_1, V_4) - (V_5)\} \geq 2.7 V_{DC}$$

และมีข้อกำหนดโดยประมาณเป็น

$$V_6 = V_{12}, V_{10} = V_8, V_1 = V_4$$

จากวงจรในรูปที่ 4.2 เราจะได้

$$I_5 = (12 - 0.75) / (10K + 500 \Omega) \approx 1 \text{ mA}$$

$$V_6 \text{ และ } V_{12} \approx 12 \text{ V} - (1 \text{ mA}) (3.3 \text{ K})$$

$$\approx 8.7 \text{ V}$$

$$V_8 \text{ และ } V_{10} = 6 \text{ V}$$

$$V_5 \approx -I_5 R_5 \approx -10 \text{ V}$$

นอกจากนี้ยังมีข้อกำหนดของการป้อนสัญญาณอินพุตดังนี้คือ

$$V_s \leq I_5 R_e \text{ (Volt peak)}$$

เราใช้ $R_e = 1K\Omega$ และเซตค่า $I_5 = 1 \text{ mA}$ ทำให้สามารถป้อนสัญญาณอินพุตได้ไม่เกิน $1 V_p$ หรือ $2 V_{pp}$ เมื่อป้อนสัญญาณอินพุต แบบซิงเกิ้ลเอ็น จะ

ได้ อัตราขยายของสัญญาณอินพุต ออกที่เอาต์พุตมีค่าเป็น

$$A_{vs} = (V_o / V_s) = R_L / (R_e + 2r_e) \text{ เมื่อ } r_e = 26 \text{ mV} / I_5$$

จากวงจรในรูปที่ 4.2 จะได้ $A_{vs} = 3.136$ เท่า

4.1.2 การออกแบบวงจรออสซิลเลเตอร์

ภาคออสซิลเลเตอร์นี้เราเรียกใช้วงจรแบบควอดเรเจอร์ ออสซิลเลเตอร์ (Quadrature Oscillator) ซึ่งจะได้สัญญาณเอาต์พุต 2 สัญญาณคือ สัญญาณซายน์ และสัญญาณโคซายน์ วงจร ที่ออกแบบแสดงดังรูปที่ 4.4

จากรูปที่ 4.3 $R_1 C_1 = R_3 C_3 = RC$ เราจะได้

$$f_o = 1 / (2\pi RC)$$

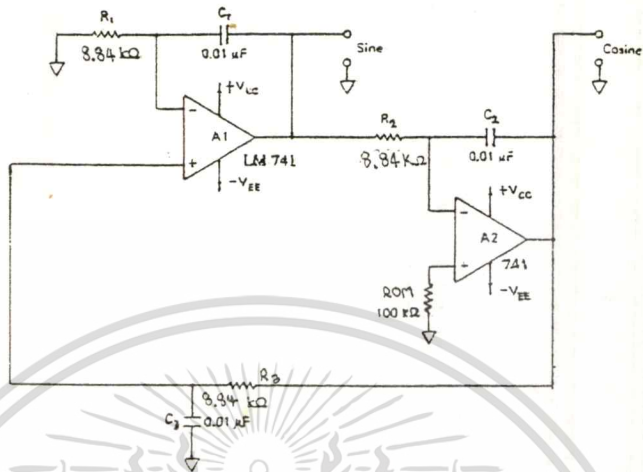
เราต้องการ $f_o = 1700 \text{ Hz}$ เลือกใช้ค่า C เท่ากับ $0.01 \mu\text{F}$

$$\text{เราจะได้ } R = 1 / (2\pi f_o C)$$

$$= 1 / (6.28 \times 1700 \times 0.01 \mu\text{F})$$

$$\approx 9.36 \text{ K}\Omega$$

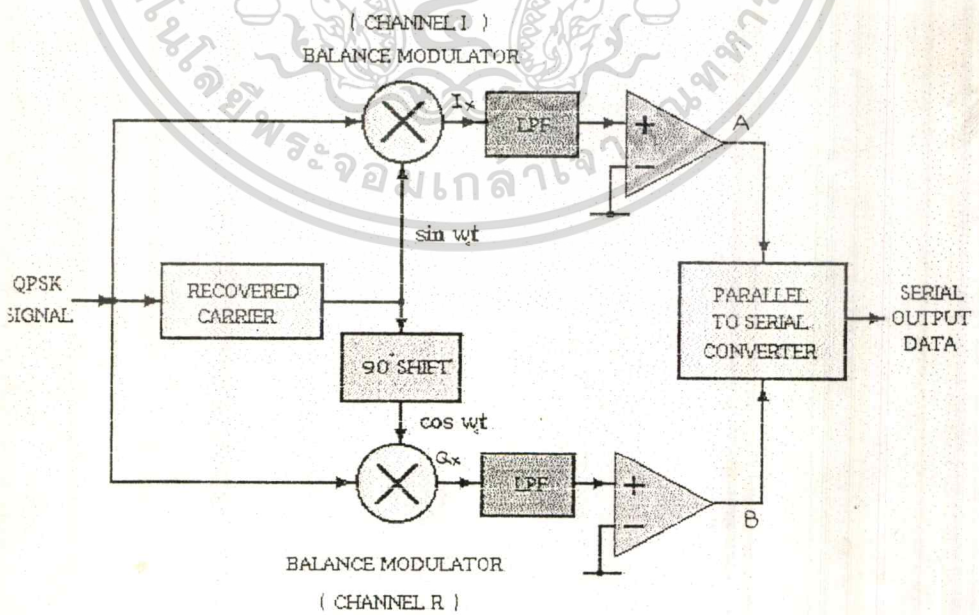
เอกสารนี้เป็นเอกสารที่จัดทำขึ้นสำหรับการใช้ภายในเท่านั้น ไม่ควรเผยแพร่ไปยังบุคคลภายนอก
และเลือกใช้ $R_{OM} = 100 \text{ K}\Omega$ ใส่ไว้เพื่อลดผลของ Input Bias Current Offset
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงวงจร คิวอดเคเจอร์ ออสซิลเลเตอร์

4.2 ออกแบบวงจรภาคติมอดูเลเตอร์

ส่วนประกอบหลักที่สำคัญของวงจรภาคติมอดูเลเตอร์แบบ QPSK แสดงได้ดังบล็อกไดอะแกรมในรูปที่ 4.5



รูปที่ 4.5 แสดงบล็อกไดอะแกรมภาคติมอดูเลเตอร์แบบ QPSK

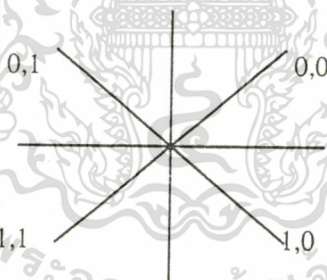
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยหลักการทำงานแล้วในภาคติมอดูเลเตอร์นี้จะมีส่วนของวงจรพีนกลับสัญญาณพาหะเป็นส่วนที่สำคัญที่สุดและเป็นหัวใจหลักเพราะวงจรนี้มีหน้าที่ทำให้ได้สัญญาณอ้างอิงหรือสัญญาณพาหะที่มีความถี่และเฟสสัมพันธ์กันกับสัญญาณพาหะที่ใช้ในภาคติมอดูเลเตอร์แบบ QPSK มากที่สุด ซึ่งวิธีการที่จะทำให้ได้มาซึ่งสัญญาณพาหะดังกล่าวนี้จะมีอยู่หลายวิธีด้วยกันแต่ที่พบเห็นบ่อยก็คือวงจร QPSK Costas loop และวิธีการยกกำลังสี่ เป็นต้น ซึ่งมีหลักการทำงานแสดงได้โดยบล็อกไดอะแกรมรูปที่ 4.7 และรูปที่ 4.8

ถัดจากวงจรที่ใช้ในการพีนกลับสัญญาณพาหะก็ยังมีวงจรบาลานซ์มอดูเลเตอร์ ซึ่งจะรับเอาสัญญาณ QPSK เข้ามาคูณกับสัญญาณพาหะที่ได้จากวงจรพีนกลับสัญญาณพาหะ ผลของภาคคูณจะทำให้ได้สัญญาณออกมาค่าหนึ่ง ซึ่งเมื่อนำไปผ่านวงจรกรองความถี่ต่ำผ่านแล้วก็จะได้สัญญาณที่มีลักษณะเป็นสัญญาณข้อมูแบบ Non-Return To Zero [NRZ] ต่อจากนั้นก็นำเอาสัญญาณดังกล่าวนี้ไปผ่านวงจร decision sampling หรือ window comparator ก็จะได้สัญญาณข้อมูลดิจิตอลแบบเดียวกับที่ส่งออกมาจากภาคมอดูเลเตอร์ และท้ายที่สุดก็ใช้วงจร Parallel to serial converter ทำการจัดลำดับเพื่อนำออกไปใช้งานต่อไป

4.2.1 การทำงานของภาคติมอดูเลเตอร์

หลักการทำงานแสดงดังบล็อกไดอะแกรมดังรูปที่ 4.5



รูปที่ 4.6 แสดงเฟสของข้อมูลที่ภาคส่ง

จากบล็อกไดอะแกรมรูปที่ 4.5 ถ้าส่งข้อมู 11 สัญญาณ QPSK ที่ส่งมาคือ $\sin \omega t + 225^\circ$ พิจารณาที่แกน I จะได้

$$\begin{aligned} I_1 &= \sin(\omega t + 225^\circ) \sin \omega t \\ &= \frac{1}{2} [\cos[\omega t + 225^\circ + \omega t] - \cos[\omega t + 225^\circ - \omega t]] \\ &= \frac{1}{2} [\cos[2\omega t + 225^\circ] - \cos 225^\circ] \\ &= \frac{1}{2} [\cos[2\omega t + 225^\circ] - 0.353] \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ I_1 เมื่อผ่าน LPF จะเหลือเป็นไฟกระแสตรงเท่ากับ -0.353 V และเมื่อผ่านวงจรคอมพาราเตอร์ข้อมูลจะออก "1"

พิจารณาที่แขน Q จะได้

$$\begin{aligned} Q_1 &= \sin(\omega t + 225^\circ) \cdot \cos \omega t \\ &= \frac{1}{2} [\sin \omega t + 225^\circ + \omega t + \sin \omega t + 225^\circ - \omega t] \\ &= \frac{1}{2} \sin 2\omega t + 225^\circ + \frac{1}{2} \sin 225^\circ \\ &= \frac{1}{2} \sin 2\omega t + 225^\circ - 0.353 \end{aligned}$$

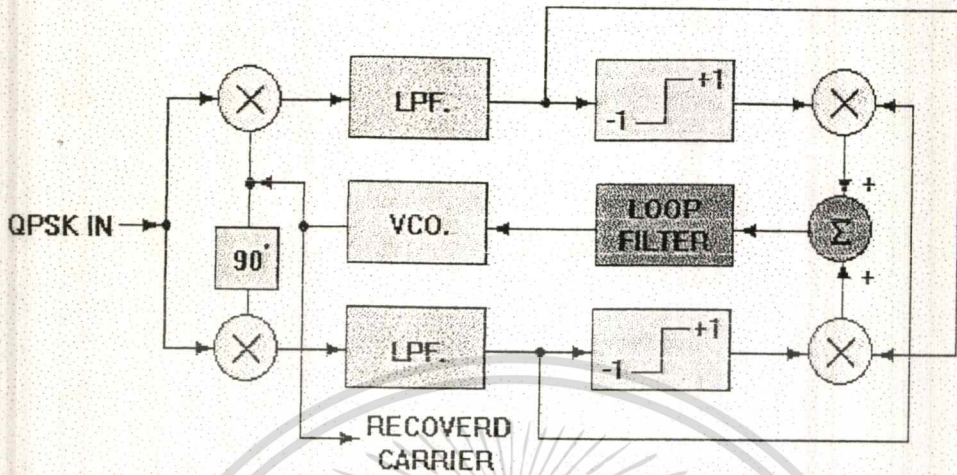
ทำนองเดียวกันเมื่อสัญญาณ Q_1 ผ่านวงจรโลว์พาสและคอมพาราเตอร์ข้อมูลจะออก "1"

ข้อมูลที่ได้จาก output ของคอมพาราเตอร์ทั้ง 2 แขนจะผ่านวงจร Parallel to Serial Converter ส่งออกไปยังเข้าที่พู่ท

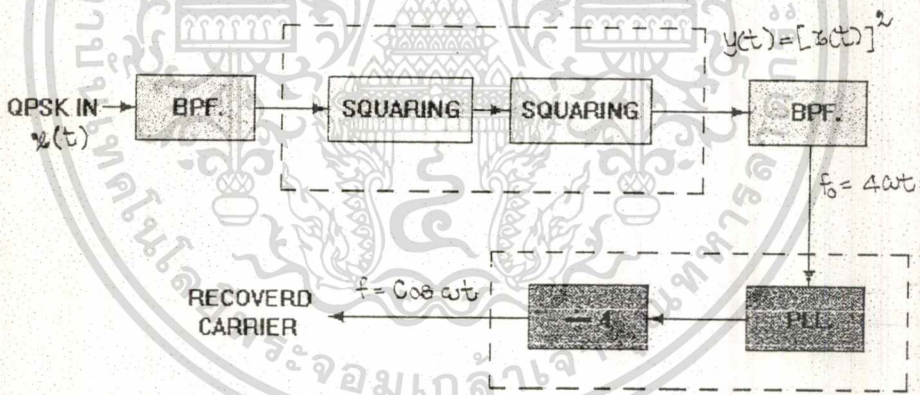
สำหรับข้อมูลอื่นๆ แสดงดังตารางที่ 4.1

Received Signal phase	A Output	B Output	Data Output	
			A	B
45°	$\frac{1}{2} \cos 45^\circ = 0.35$	$\frac{1}{2} \cos 45^\circ = 0.35$	0	0
135°	$\frac{1}{2} \cos 45^\circ = 0.35$	$\frac{1}{2} \cos 135^\circ = -0.35$	0	1
225°	$\frac{1}{2} \cos 135^\circ = -0.35$	$\frac{1}{2} \cos 225^\circ = -0.35$	1	1
315°	$\frac{1}{2} \cos 225^\circ = -0.35$	$\frac{1}{2} \cos 315^\circ = -0.35$	1	0

ตารางที่ 4.1 แสดงข้อมูลที่เข้าที่พู่ทของภาคดีมอดูเลเตอร์



รูปที่ 4.7 แสดงบล็อกไดอะแกรมของ QPSK แบบ Costas loop



รูปที่ 4.8 แสดงบล็อกไดอะแกรมของ QPSK แบบกำลังสี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 การทำงานของภาค Carrier recovery

จากรูปที่ 4.8 สัญญาณ QPSK จะถูกป้อนเข้าภาคยกกำลังสี่ ซึ่งสัญญาณ QPSK สามารถแสดงในรูป

$$x(t) = \sin \left[\omega_c t + \frac{2\pi(j-1)}{4} \right]$$

$$j = 1, 2, 3, 4 \text{ QPSK}$$

เอาที่พหุจากวงจรรยกกำลังสี่ $y(t)$ ที่ได้จะมีค่าเท่ากับ

$$y(t) = [x(t)]^4$$

$$y(t) = \left[\sin \left[\omega_c t + \frac{2\pi(j-1)}{4} \right] \right]^4$$

$$y(t) = \left[\frac{1}{2} \left[1 - \cos 2 \left(\omega_c t + \frac{2\pi(j-1)}{4} \right) \right] \right]^2$$

$$y(t) = \frac{1}{4} \left[1 - 2 \cos \left(2\omega_c t + \frac{4\pi(j-1)}{4} \right) \right] + \frac{1}{2} \left[1 + \cos(4\omega_c t + 2\pi(j-1)) \right]$$

$$y(t) = \frac{3}{8} - \frac{1}{2} \cos[2\omega_c t + \pi(j-1)] + \frac{1}{8} \cos(4\omega_c t + 2\pi(j-1))$$

สัญญาณ $y(t)$ เมื่อผ่านวงจร Band Pass filter จะได้สัญญาณซายที่มีความถี่ $4\omega_c t$ หลังจากนั้นจะผ่านวงจรรหัสสี่ก็จะได้สัญญาณ Carrier

4.2.3 ผลกระทบจากเฟสค่าความของวงจรรหัสสี่

เนื่องจากภาค Carrier recovery เราได้ใช้วงจรรยกกำลังสี่สัญญาณ QPSK แล้วผ่านวงจรแบนด์พาสฟิลเตอร์ ทำให้เราได้สัญญาณ carrier ที่มีความถี่เป็นสี่เท่า ($4\omega_c t$) ของ carrier จริง จากนั้นนำไปผ่านวงจรรหัสสี่จึงจะได้สัญญาณ carrier ($\omega_c t$) มาใช้งาน ณ. ที่วงจรรหัสสี่นี้จะทำให้เกิดความกำกวมของเฟสเกิดขึ้นคือ เฟสที่ถูกต้องจะมีเฟสเดียวเท่านั้นในสี่เฟส

เอาที่พหุจากวงจรรหัสสี่จะมีโอกาสเกิดขึ้นสี่เฟสเมื่อเทียบกับสัญญาณอินพุท และจะมีเพียงเฟสเดียวที่ใช้งานได้(ให้ข้อมูลถูกต้องที่ Output ของภาคดีมอดูเลเตอร์) คือเฟสที่เป็นเฟสตรงกันกับเฟสของอินพุท[Sin $\omega_c t$] ส่วนเฟสอื่นๆ ที่เหลือทั้ง 3 เฟส จะให้ข้อมูลที่ผิดถูกต้อง ซึ่งโอกาสของข้อมูลที่จะเกิดขึ้นที่ Output ของภาคดีมอดูเลเตอร์พิจารณาจากรูปที่ 4.9

	$\phi A = \text{inphase}$	$\phi B = \phi A - 270$
Output I	$I_1 \quad I_2 \quad I_3$	$Q_1 \quad Q_2 \quad Q_3$
Channel Q	$Q_1 \quad Q_2 \quad Q_3$	$-I_1 \quad -I_2 \quad -I_3$
	$t \rightarrow$	$t \rightarrow$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	$\phi_C = \phi_A - 180^\circ$	$\phi_D = \phi_A - 90$
Output I	$-I_1 \quad -I_2 \quad -I_3$	$-Q_1 \quad -Q_2 \quad -Q_3$
Channel Q	$-Q_1 \quad -Q_2 \quad -Q_3$	$I_1 \quad I_2 \quad I_3$
t →		t →

รูปที่ 4.9 แสดงโอกาสของข้อมูลที่จะเกิดขึ้นจากเฟสค่าความ

4.2.4 การแก้ไขความผิดพลาดทางเฟส

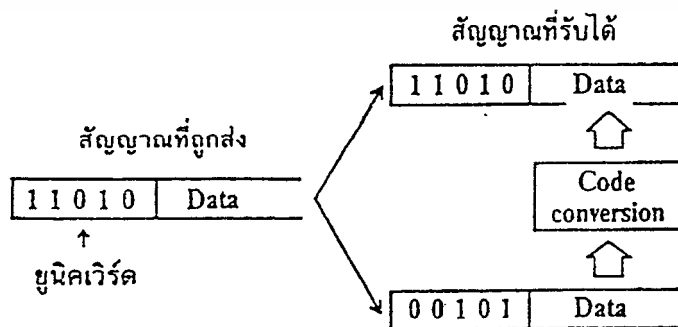
วิธีการแก้ไขความผิดพลาดทางเฟสมี 2 วิธีคือ

4.2.4.1 Unique word

4.2.4.2 Differential coherent

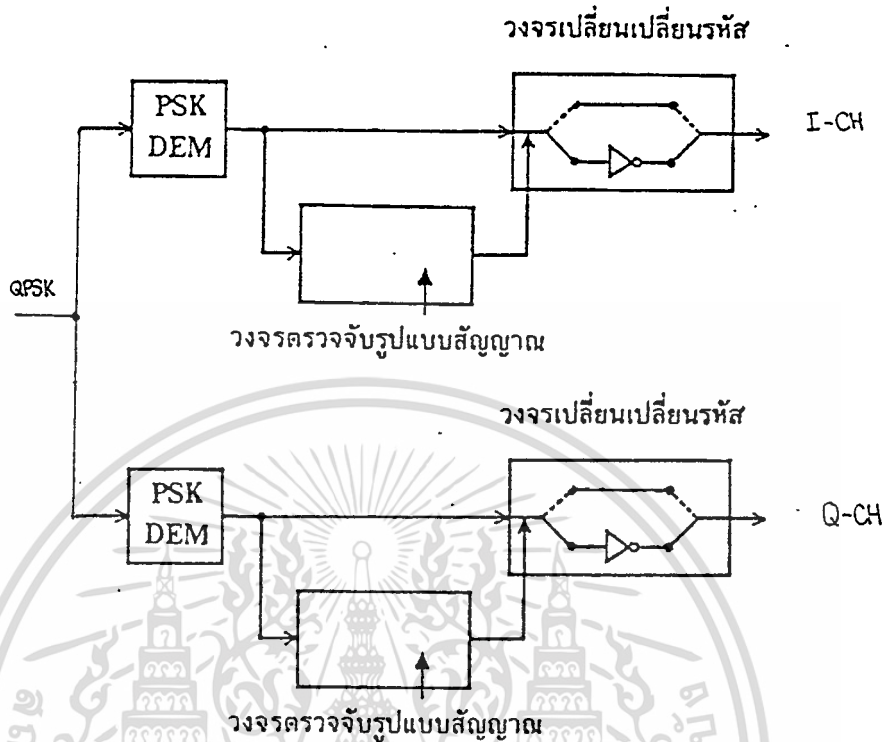
4.2.4.1 ยูนิคเวิร์ด ทางด้านส่งรูปแบบที่ตายตัวแน่นอนคือ ยูนิคเวิร์ดจะถูกเพิ่มเข้าไปที่ด้านหน้าของลำดับข้อมูลที่จะส่ง เมื่อทางด้านรับทำการดีมอดูเลทได้รับยูนิคเวิร์ดออกมาตรงกับรูปแบบรหัสที่ได้ส่งมาข้อมูลที่ตามมาก็พิจารณาได้ว่าถูกต้อง แต่เมื่อยูนิคเวิร์ดที่ทำการดีมอดูเลทออกมา มีรูปแบบรหัสที่ตายตัวนั้นกลับรหัสกัน เช่น แทนที่จะเป็น 11010 กลับเป็น 00101 ดังนั้นข้อมูลที่ส่งตามมาก็พิจารณาได้ว่ารหัสกลับ

รูปที่ 4.10 และรูปที่ 4.11 แสดงบล็อกไดอะแกรมของวงจรดีมอดูเลท ที่ใช้ยูนิคเวิร์ด ซึ่งประกอบด้วยวงจรตรวจจับรูปแบบสัญญาณและวงจรเปลี่ยนรหัส วงจรตรวจจับรูปแบบสัญญาณจะตรวจสอบยูนิคเวิร์ดจากสัญญาณเข้าที่พู่ของดีโมดูเลเตอร์ เมื่อยูนิคเวิร์ดมีรูปแบบที่ตรงข้ามกับรูปแบบเดิม สวิตช์ในวงจรเปลี่ยนรหัสก็จะถูกปรับไปทางด้านตรงข้ามเพื่อให้รหัสเกิดการเปลี่ยนรหัสไปเป็นรหัสตรงข้าม ดังนั้นอิทธิพลของการผิดเพี้ยนก็จะไม่เกิดขึ้นและลำดับข้อมูลสัญญาณที่ถูกต้องก็สามารถรับได้ทางด้านรับ



รูปที่ 4.10 แสดงการส่งยูนิคเวิร์ดเพื่อตรวจสอบรหัสของ BPSK

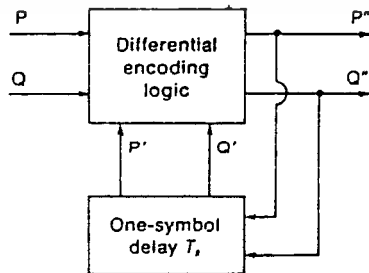
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 วงจรคีมอดูเลทที่ใช้เทคนิคเวอร์ค

4.2.4.2 Differential coherent PSK (DC. PSK)

เป็นอีกวิธีหนึ่งที่จะแก้ไขความผิดพลาดทางเฟสคือใช้วงจร differential encoding โดยภาคมอดูเลเตอร์จะเพิ่มวงจร differential encoding logic เข้าไป ก่อนจะส่งข้อมูล ซึ่งมีบล็อกไดอะแกรมแสดงดังรูปที่ 4.12 ซึ่งวงจรนี้จะให้รหัสออกมา ดังตารางที่ 4.2



รูปที่ 4.12 บล็อกไดอะแกรมของ QPSK differential encoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input symbol PQ	Phase	Previous encoded symbol $P'Q'$	Phase	Encoded symbol $P''Q''$	Phase
00	0	00	$3\pi/4$	00	$3\pi/4$
00	0	10	$\pi/4$	10	$\pi/4$
00	0	11	$7\pi/4$	11	$7\pi/4$
00	0	01	$5\pi/4$	01	$5\pi/4$
10	$3\pi/2$	00	$3\pi/4$	10	$\pi/4$
10	$3\pi/2$	10	$\pi/4$	11	$7\pi/4$
10	$3\pi/2$	11	$7\pi/4$	01	$5\pi/4$
10	$3\pi/2$	01	$5\pi/4$	00	$3\pi/4$
11	π	00	$3\pi/4$	11	$7\pi/4$
11	π	10	$\pi/4$	01	$5\pi/4$
11	π	11	$7\pi/4$	00	$3\pi/4$
11	π	01	$5\pi/4$	10	$\pi/4$
01	$\pi/2$	00	$3\pi/4$	01	$5\pi/4$
01	$\pi/2$	10	$\pi/4$	00	$3\pi/4$
01	$\pi/2$	11	$7\pi/4$	10	$\pi/4$
01	$\pi/2$	01	$5\pi/4$	11	$7\pi/4$

ตารางที่ 4.2 แสดงรหัสทางเข้าที่พุทของภาค differential encoder

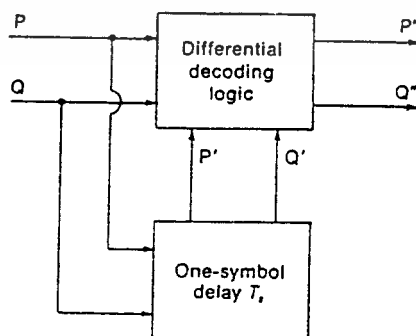
ตัวอย่างเช่น ถ้าข้อมูลก่อนหน้าคือ 00 และมีข้อมูลเข้ามาคือ

01 10 00 11

ข้อมูลที่เข้ารหัสจะได้

01 00 00 11

ส่วนภาคดีมอดูเลเตอร์เราจะเพิ่มวงจร differential decoder แสดงดังรูปที่ 4.13 ข้อมูลที่ออกจากภาคดีมอดูเลเตอร์จะถูกแปลงเป็นรหัสที่ถูกต้องโดยภาค differential decoder โดยปราศจากผลกระทบจากความผิดเพี้ยนทางเฟสซึ่งตาราง 4.2 จะแสดงผลลัพธ์ที่ได้จากภาค differential decoder



รูปที่ 4.13 แสดงบล็อกไดอะแกรมของ QPSK differential decoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Receive symbol PQ	Phase	Previous received symbol $P'Q'$	Phase	Decoded symbol $P''Q''$	Phase
00.	$3\pi/4$	00	$3\pi/4$	00	0
00	$3\pi/4$	10	$\pi/4$	01	$\pi/2$
00	$3\pi/4$	11	$7\pi/4$	11	π
00	$3\pi/4$	01	$5\pi/4$	10	$3\pi/2$
10	$\pi/4$	00	$3\pi/4$	10	$3\pi/2$
10	$\pi/4$	10	$\pi/4$	00	0
10	$\pi/4$	11	$7\pi/4$	01	$\pi/2$
10	$\pi/4$	01	$5\pi/4$	11	π
11	$7\pi/4$	00	$3\pi/4$	11	π
11	$7\pi/4$	10	$\pi/4$	10	$3\pi/2$
11	$7\pi/4$	11	$7\pi/4$	00	0
11	$7\pi/4$	01	$5\pi/4$	01	$\pi/2$
01	$5\pi/4$	00	$3\pi/4$	01	$\pi/2$
01	$5\pi/4$	10	$\pi/4$	11	π
01	$5\pi/4$	11	$7\pi/4$	10	$3\pi/2$
01	$5\pi/4$	01	$5\pi/4$	00	0

ตารางที่ 4.3 แสดงรหัสที่ออกจากภาค differential decoder

ตัวอย่างเช่น รหัสก่อนหน้านี้นี้คือ 00 และข้อมูลที่รับเข้ามาคือ

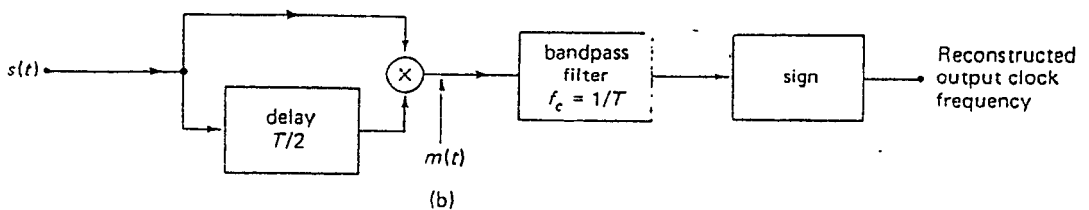
01 00 00 11

รหัสที่ถูก decoder คือ

01 10 00 11

4.2.5 CLOCK RECOVERY

เมื่อเราได้ข้อมูลที่ออกจากภาคคิมอดูเลเตอร์เราจำเป็นต้องสร้างสัญญาณ CLOCK จากข้อมูลที่เรารับได้เพราะจะใช้ในการซิงค์บิตให้ออกไปยังเข้าที่พหุแบบอนุกรม หลักการของภาค CLOCK RECOVERY แสดงดังรูปที่ 4.14

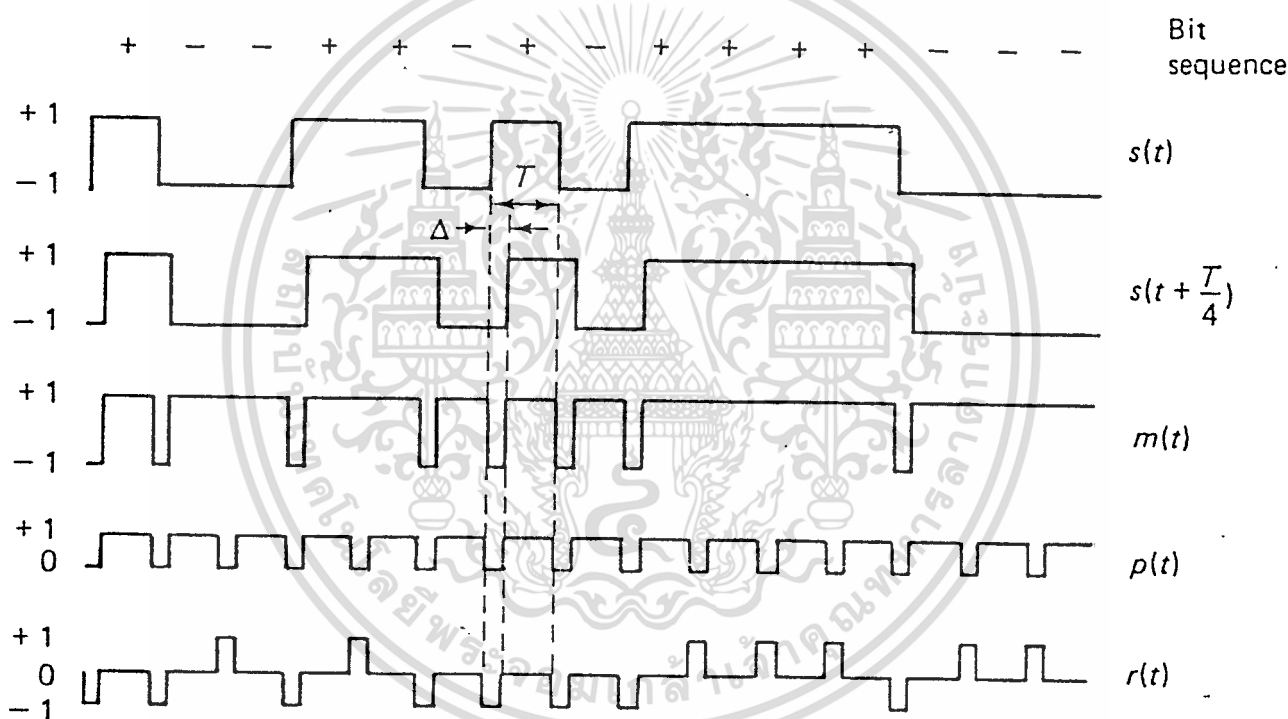


รูปที่ 4.14 แสดงบล็อกไดอะแกรมของภาค Clock recovery

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

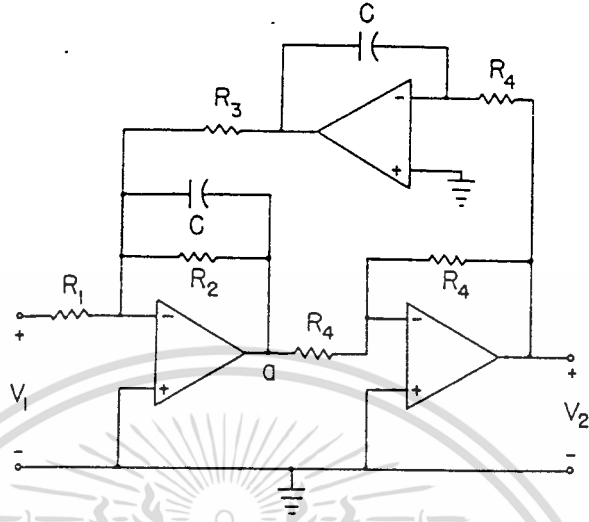
จากรูปที่ 4.14 $S(t)$ คือ สัญญาณข้อมูลแบบสุ่มที่มีลักษณะเป็นสัญญาณไบโพลาร์ และค่าที่ดีที่สุดของการตีเลข คือ $\Delta = T/2$ ผลคูณระหว่างสัญญาณอินพุตและสัญญาณที่ถูกตีเลข คือ $m(t)$

$m(t)$ นี้เราสามารถแยกออกเป็นช่วงประกอบของสัญญาณที่มีคาบเท่ากันบิตเรต (bit rate) และสัญญาณสุ่ม 3 ค่า (+1, -1, 0) ซึ่งเราสามารถฟิลเตอร์สัญญาณคาบโดยใช้ แบนพาสฟิลเตอร์ที่มีความถี่ที่ $1/T$ ($f_c = 1/T$) ผลลัพธ์ที่ได้จะขึ้นอยู่กับการโอโตคอร์เรชัน (Autocorrelation) ของสัญญาณอินพุต พิจารณาการทำงานของวงจรได้ดังรูปข้างล่าง ซึ่ง $\Delta = T/4$ สัญญาณ $m(t, \Delta) = p(t, \Delta) + r(t, \Delta)$ และเราจะกรองเอา $p(t, \Delta)$ ไปใช้งาน



รูปที่ 4.15 สัญญาณที่จุดต่างของภาค Clock recovery

4.2.6 วิเคราะห์วงจร Biquad Bandpass Filters



รูปที่ 4.16 แสดงวงจร Biquad Bandpass Filters

หาทรานเฟอร์ฟังก์ชัน : H(S)

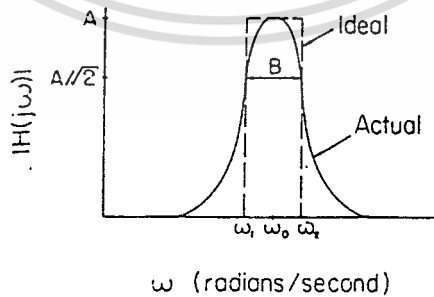
ทรานส์เฟอร์ฟังก์ชันทั่วไปของวงจรแบนด์พาสฟิลเตอร์ อันดับสองคือ

$$H(S) = \frac{V_1}{V_2} = \frac{GBS}{S^2 + BS + \omega_0^2}$$

B = แบนด์วิธของวงจร

G = อัตราขยาย

ω_0 = ความถี่คัตออฟ



รูปที่ 4.17 BandPass amplitude response

โดย $\omega_0 = \sqrt{\omega_1 \omega_2}$ (r/s)

หรือ $f_0 = \sqrt{f_1 f_2}$ (HZ)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับใช้งานเฉพาะเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$B = \frac{f_0}{Q} \quad (\text{Hz})$$

จากวงจรจะได้

$$\text{Node A: } \left(\frac{1}{R_1} + \frac{1}{R_3} + \frac{SCR_2 + 1}{R_2} \right) V_A - \frac{1}{R_3} V_3 - \left(\frac{SCR_2 + 1}{R_2} \right) V_1 = 0 \quad \dots(4.1)$$

$$\text{Node B: } -\frac{1}{R_4} V_1 - \frac{1}{R_4} V_2 = 0$$

ดังนั้น

$$V_1 = -V_2 \quad \dots(4.2)$$

$$\text{Node C: } -\frac{1}{R_4} V_2 - SCR V_3 = 0$$

$$V_3 = \left(\frac{1}{R_4 SC} \right) V_2 \quad \dots(4.3)$$

แทน (2), (3) ในสมการที่ (1) จะได้

$$\frac{1}{R_3} + \frac{1}{SCR_4} V_2 + \frac{SCR_2 + 1}{R_2} V_2 = \frac{V_1}{R_1}$$

$$V_2 \left(\frac{1}{R_3 R_4 SC} + \frac{SCR_2 + 1}{R_2} \right) = \frac{V_1}{R_1}$$

$$H(S) = \frac{V_2}{V_1} = \frac{\frac{1}{R_1 C} S}{S^2 + \frac{1}{CR_2} S + \frac{1}{C^2 R_3 R_4}}$$

เมื่อเทียบกับทรานส์เฟอร์ฟังก์ชันทั่วไปของอันดับสองของแบนด์พาสฟิลเตอร์จะ

ได้ว่า

$$\omega_0^2 = \frac{1}{C^2 R_3 R_4}$$

$$B = \frac{1}{R_2 C}$$

$$(G \times \text{Gain}) = \frac{1}{R_1 C}$$

$$\text{ดังนั้น Gain} = \frac{R_2}{R_1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจร

$$R_x \geq 3V_x(\text{max})$$

$$R_y \geq 6V_y(\text{max})$$

โดย V_x, V_y มีหน่วยเป็นโวลต์

$$\text{และ } K = \frac{2R_L}{R_x R_y I_1} ; I_1 \approx 0.5 \text{ mA}$$

$$\text{ให้ } V_x V_y = 2V_{pk}$$

$$\text{จะได้ } R_x \geq 6 \text{ K}\Omega$$

$$R_y \geq 12 \text{ K}\Omega$$

ต้องการ $K \approx 1.5$

$$R_L = \frac{KR_x R_y I_1}{2} = 27 \text{ K}\Omega$$

จากรูปที่ 4.18 ถ้า $e_m = e_c = E \cos \omega t$

ดังนั้นแรงดันเอาต์พุตคือ

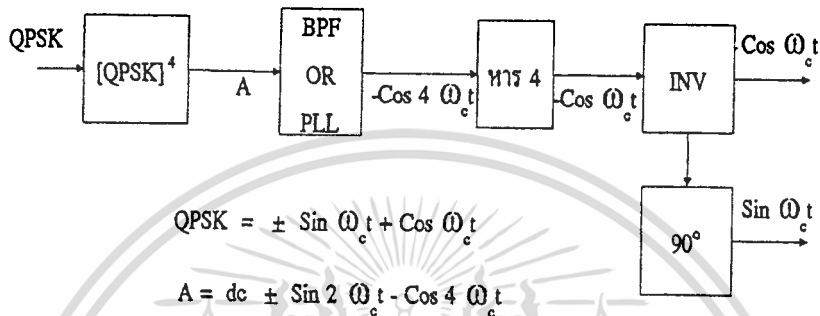
$$\begin{aligned} e_o &= K e_m e_c = \frac{B}{2} (E \cos \omega t)^2 \\ &= \frac{3E^2}{4} (1 + \cos \omega t) \\ &= 0.75E^2 + 0.75E^2 \cos 2\omega t \end{aligned}$$

สมการนี้แสดงว่าเอาต์พุตจะประกอบด้วย แรงดันไฟตรงและเทอมฮาร์โมนิกของ สัญญาณอินพุต ซึ่งเราสามารถนำไปใช้งานได้

บทที่ 5

การแก้ไขความผิดพลาดทางเฟส

5.1 การฟื้นกลับ (Recovery) สัญญาณพาหะโดยใช้วิธีการยกกำลังสี่



รูปที่ 5.1 แสดงบล็อกไดอะแกรมของการฟื้นกลับสัญญาณแบบยกกำลังสี่

จากบล็อกไดอะแกรมเป็นการนำเอาวิธีการยกกำลังสี่สัญญาณ QPSK มาใช้เพื่อทำการฟื้นกลับสัญญาณพาหะและปัญหาที่พบในการทำงานจริงก็คือ ในส่วนของวงจรหารสี่เพื่อหารความถี่จากค่า $4\omega_c$ ให้เหลือ ω_c นั้นจะทำให้ได้สัญญาณจากการหารที่มีความถี่เป็น ω_c ก็จริงแต่ทว่าสัญญาณที่หารได้แต่ละครั้งจะมีเฟสแตกต่างกันไปไม่แน่นอนอนเป็นจำนวน 4 ค่าคือ 0° , 90° , 180° และ 270° เมื่อเทียบกับสัญญาณก่อนหาร โดยสัญญาณที่ต้องการจริงๆ ก็คือสัญญาณที่มีเฟสเป็น 0° เพราะเมื่อนำไปทำการคูณสัญญาณ QPSK ในภาคคิมอดูเลเตอร์แล้วทำให้สัญญาณเอาท์พุทออกมาเป็นค่าข้อมูลที่ถูกต้องตรงกับข้อมูลที่ส่งออกมาจากทางภาคมอดูเลเตอร์ โดยจะได้ยกตัวอย่างให้เห็นถึงความผิดพลาดและข้อมูลที่ถูกต้องเป็นสมการได้ดังต่อไปนี้

สมมติว่าที่เวลาหนึ่งทางภาคมอดูเลเตอร์ได้ส่งข้อมูลในลักษณะที่

$$\text{ช่อง I} = "1"$$

$$\text{ช่อง Q} = "1"$$

ซึ่งจะทำให้ได้สัญญาณ QPSK $QPSK = \sin \omega_c t + \cos \omega_c t$ โดยเมื่อเวลาหนึ่งสัญญาณดังกล่าวเดินทางมาถึงภาคคิมอดูเลเตอร์และถูกนำไปผ่านวงจรยกกำลังสี่จะได้

$$(QPSK)^4 = 1 \pm 2 \sin 2 \omega_c t + \frac{1}{2} (1 - \cos 4 \omega_c t)$$

เมื่อสัญญาณที่ได้นี้ผ่านเข้าไปในส่วนของวงจรตามบล็อกไดอะแกรมแล้วเราจะได้สัญญาณที่มีเฟสแตกต่างกันไปเป็นจำนวน 4 เฟสดังต่อไปนี้คือ

$$\left. \begin{aligned} A &= \cos(\omega_c t - 0^\circ) \\ B &= \cos(\omega_c t - 90^\circ) \\ C &= \cos(\omega_c t - 180^\circ) \\ D &= \cos(\omega_c t - 270^\circ) \end{aligned} \right\} \text{สำหรับช่อง Q}$$

โดยสัญญาณเหล่านี้เราใช้ป้อนให้กับภาคคิมอดูเลเตอร์ที่ช่อง Q ส่วนสัญญาณพาหะที่จะต้องป้อนให้กับช่อง I จะต้องนำไปผ่านวงจรเลื่อนเฟส 90° ก่อนตามบล็อกไดอะแกรม ซึ่งก็จะทำให้ได้สัญญาณออกมาทั้งหมด 4 เฟสตามเฟสของสัญญาณก่อนนำไปทำการเลื่อนเฟสคือ

$$\text{นำ A มาเลื่อนเฟส } 90^\circ = E = \sin(\omega_c t - 0^\circ) \text{ สำหรับช่อง I}$$

$$\text{นำ B มาเลื่อนเฟส } 90^\circ = F = \sin(\omega_c t - 90^\circ) \text{ สำหรับช่อง I}$$

$$\text{นำ C มาเลื่อนเฟส } 90^\circ = G = \sin(\omega_c t - 180^\circ) \text{ สำหรับช่อง I}$$

$$\text{นำ D มาเลื่อนเฟส } 90^\circ = H = \sin(\omega_c t - 270^\circ) \text{ สำหรับช่อง I}$$

จากนั้นเรามาพิจารณาสมการที่เกิดขึ้นจากการนำเอาสัญญาณพาหะที่มีเฟสที่แตกต่างกันไปทำการคิมอดูเลท ซึ่งก็จะทำให้ได้เอาท์พุทออกมาที่ช่อง I และ Q ที่แตกต่างกันไป ดังต่อไปนี้คือ

กรณีที่ 1 พิจารณาที่ช่อง Q เมื่อสัญญาณพาหะอยู่ในสถานะตามสมการ A และช่อง I เมื่อสัญญาณพาหะของช่อง I อยู่ในสถานะตามสมการ E เราจะได้

$$\begin{aligned} \text{ช่อง Q} \quad ; \text{ QPSK} \times A &= (\sin \omega_c t + \cos \omega_c t) \cos \omega_c t \\ &= \frac{1}{2} + \frac{1}{2} \sin 2\omega_c t + \frac{1}{2} \cos 2\omega_c t \end{aligned}$$

2 เทอมหลังถูกกรองทิ้งไปโดยวงจรกรองความถี่ต่ำผ่าน (LPF) เหลือเฉพาะเทอมของ DC ก็คือ $1/2$ ซึ่งถือว่าเป็นแรงดันทางบวกหรือแทนข้อมูลเท่ากับ "1"

$$\begin{aligned} \text{ช่อง I} \quad ; \text{ QPSK} \times E &= (\sin \omega_c t + \cos \omega_c t) \sin \omega_c t \\ &= \frac{1}{2} - \frac{1}{2} \cos 2\omega_c t + \frac{1}{2} \sin 2\omega_c t \end{aligned}$$

ซึ่ง 2 เทอมหลังถูกกรองทิ้งไปโดยวงจรกรองความถี่ต่ำผ่าน (LPF) เหลือเทอมที่เป็น DC ก็คือ $1/2$ ซึ่งถือว่าเป็นแรงดันทางบวกหรือแทนข้อมูลเท่ากับ "1" ใช้วิธีการเดียวกันนี้แต่เปลี่ยนไปใช้สัญญาณพาหะที่มีเฟสเลื่อนไปตามสมการ B..F , C..G และ D คู่กับ H เราจะได้ค่าของข้อมูลที่ภาคคิมอดูเลเตอร์สรุปได้ตามตารางข้างล่างนี้คือ

สัญญาณพหุที่พื้น กลับได้ที่ช่อง I	สัญญาณพหุที่พื้น กลับได้ที่ช่อง Q	ข้อมูลที่ติ่มอตุเลขได้	
		ช่อง I	ช่อง Q
$E = \sin(\omega_c t - 0^\circ)$	$A = \cos(\omega_c t - 0^\circ)$	“1”	“1”
$F = \sin(\omega_c t - 90^\circ)$	$B = \cos(\omega_c t - 90^\circ)$	“0”	“1”
$G = \sin(\omega_c t - 180^\circ)$	$C = \cos(\omega_c t - 180^\circ)$	“0”	“0”
$H = \sin(\omega_c t - 270^\circ)$	$D = \cos(\omega_c t - 270^\circ)$	“1”	“0”

ตารางที่ 5.1 แสดงข้อมูลที่รับได้จากภาคติ่มอตุเลขเตอร์

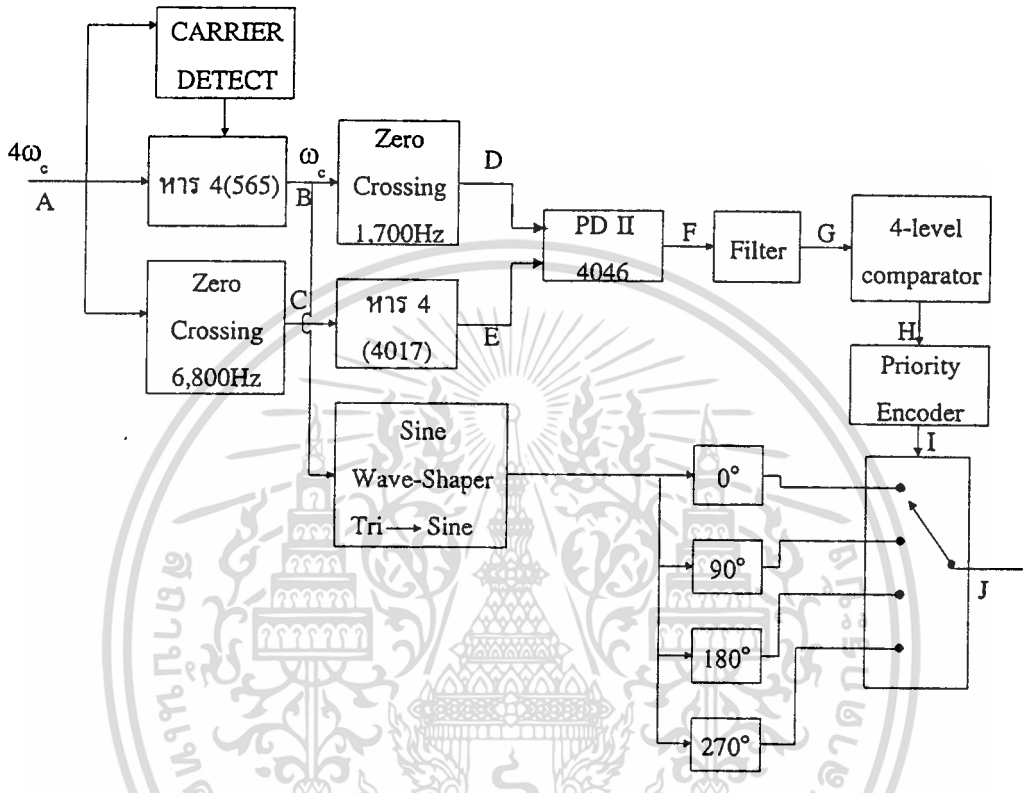
หมายเหตุ สัญญาณถูกส่งทางภาคมอตุเลขเตอร์ ; I = “1” และ Q = “1”

จากตารางที่แสดงให้เห็นทำให้ทราบว่าเมื่อสัญญาณพหุที่ทำการพื้นกลับได้มีเฟสเลื่อนไปด้วยค่า 90° , 180° และ 270° จะทำให้การติ่มอตุเลขสัญญาณของภาคติ่มอตุเลขเตอร์ไม่ถูกต้อง จึงต้องมีการแก้ไขข้อผิดพลาดอันนี้ โดยหาวิธีการตรวจเช็คสัญญาณพหุที่พื้นกลับได้ว่ามีค่าของเฟสเลื่อนไปด้วยค่าเท่าใด จากนั้นก็ใช้วิธีการแก้ไขให้ถูกต้องโดยใช้วงจรมินทิเกรเตอร์ (Integrator) ทำการเลื่อนเฟสที่ผิดพลาดไปนั้นมาให้ถูกต้องเสีย เช่นถ้าตรวจเช็คแล้วพบว่ามีการเฟสเลื่อนไป 90° ก็ใช้วงจรมินทิเกรเตอร์ 1 ครั้งหรือถ้าตรวจพบว่ามีการเฟสเลื่อนไป 180° ก็ใช้วงจรมินทิเกรเตอร์ Inverting buffer และสุดท้ายถ้าตรวจพบว่ามีการเฟสเลื่อนไปก็ทำการเลื่อนมาโดยใช้การ Integration 1 ครั้ง และ Inverting Buffer อีก 1 ครั้งเป็นต้น

จากแนวความคิดดังกล่าวนี้ จึงได้นำเอาวงจรที่สามารถตรวจเช็คเฟสของสัญญาณพหุและแก้ไขให้ถูกต้องมาใช้ ดังบล็อกไดอะแกรมซึ่งจะกล่าวถึงต่อไป

5.2 วงจรตรวจเช็คการเลื่อนเฟสแบบเปรียบเทียบเฟส

วงจรตรวจเช็คการเลื่อนเฟสแบบเปรียบเทียบเฟสแสดงดังรูปที่ 5.2



รูปที่ 5.2 บล็อกไดอะแกรมของวงจรตรวจเช็คการเลื่อนเฟสของสัญญาณพาหะที่ผ่านวงจรหารความถี่ 4 เท่า

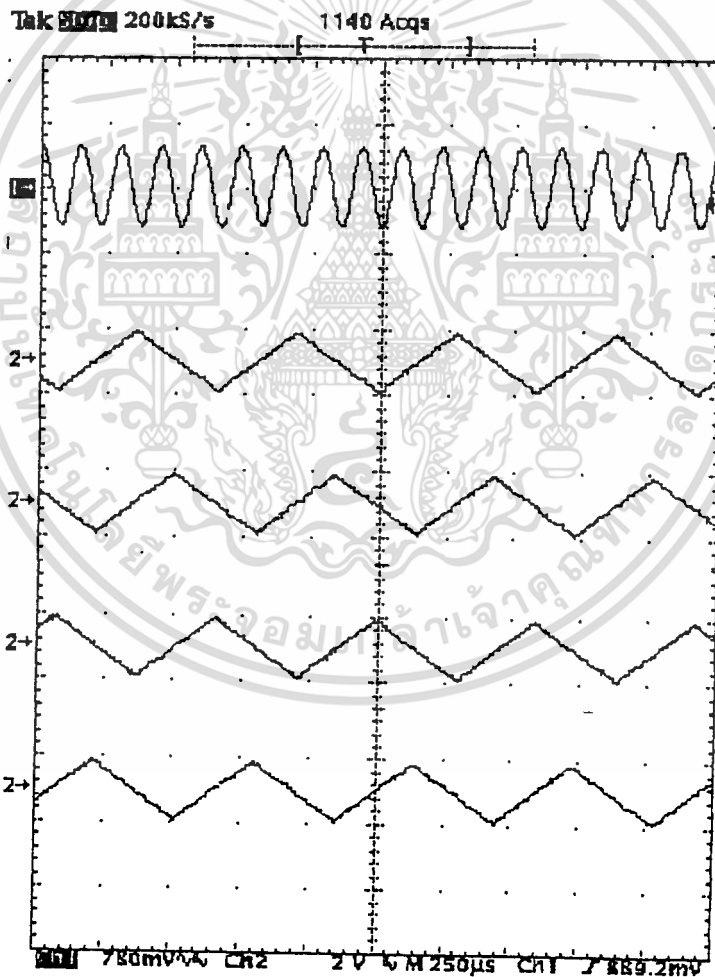
จากบล็อกไดอะแกรมเราสามารถอธิบายการทำงานของวงจรได้ดังนี้

จากการใช้วงจรหารความถี่เป็น IC # 565 PLL แล้วก่อให้เกิดปัญหาเฟสของสัญญาณที่ผ่านการหารแล้วมีค่าแตกต่างกันดังกล่าว โดยที่ค่าความแตกต่างกันของเฟสเหล่านั้นสามารถแสดงให้เห็นได้ดังรูปที่ 5.3

จากรูปที่ 5.3 จะเห็นว่าเฟสของสัญญาณที่ผ่านการหารแล้วจะมีค่าแตกต่างกันอยู่ 4 ค่า เราจึงนำเอาสัญญาณทั้งสองจุดคือ ก่อนทำการหาร 4 ที่จุด A และหลังจากการหาร 4 แล้วที่จุด B ไปผ่านวงจร Zero Crossing โดยใช้ IC Comparator # LM 311 เพื่อให้ได้เอาท์พุทออกมาเป็นสัญญาณที่ Compatible กับ Logic แบบ CMOS โดยวงจร comparator จะทำงานในลักษณะอินพุทเป็น Low (0 Volt) และได้เอาท์พุทออกมาที่จุด C และ D โดยจะเห็นว่าที่จุด C นั้น สัญญาณมีความถี่เป็น $4\omega_c$ ที่จุด E เท่ากับความถี่ของสัญญาณที่จุด D มาถึงตรงนี้เราได้สัญญาณที่มีความถี่ค่า

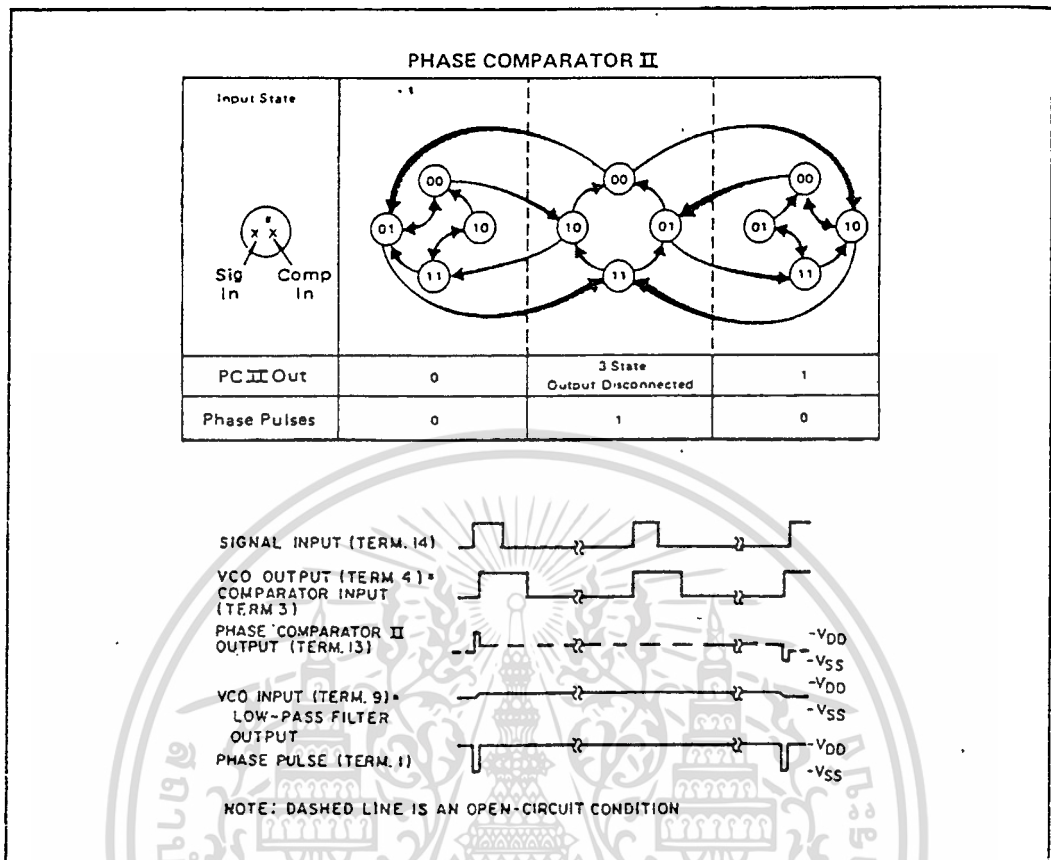
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดียวกัน 2 สัญญาณแล้วเราจึงนำไปผ่านวงจร phase detector ซึ่งใช้ IC # 4046 โดยใช้อาศัยการทำงานของ phase detector แบบ EDGE SENSING ซึ่งก็คือ PD II ใน IC 4046 นั่นเอง โดยการป้อนสัญญาณจะให้สัญญาณที่ได้จากจุด E เข้าที่ขา 14 ของ IC 4046 และให้สัญญาณจากจุด D เข้าที่ขา 3 ก่อนอื่นขอตัดตอนไปพูดถึงหลักการทำงานของ phase detector แบบ EDGE SENSING เสียก่อนดังนี้คือ วงจร phase detector แบบนี้จะประกอบไปด้วยฟลิปฟล็อป หลายตัวทำงานอยู่ภายในและสัญญาณอินพุตที่ป้อนให้กับวงจร phase detector ประเภทนี้ไม่จำเป็นต้องมี Duty Cycle เป็น 50% เพราะวงจรจะเปรียบเทียบเฟสของสัญญาณ โดยยึดที่ขอบขาขึ้นของสัญญาณเป็นสำคัญ โดยหลักการทำงานของวงจรสามารถแสดงให้เห็นดังรูปที่ 5.4



รูปที่ 5.3 แสดงความสัมพันธ์ของสัญญาณก่อนและหลังผ่านวงจรหารความถี่
คือสัญญาณที่จุด A และ B ในบล็อกไดอะแกรม

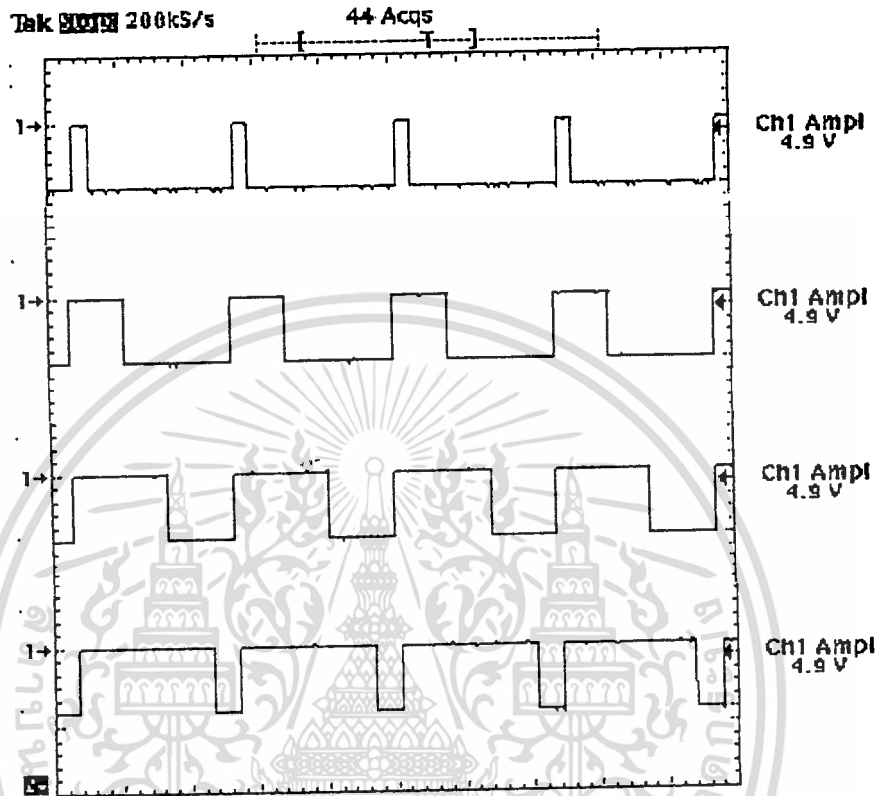
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 แสดงการทำงานของวงจร phase detector

จากรูปที่ 5.4 จะเห็นได้ว่าเราคิดสัญญาณที่ป้อนให้กับ IC ที่ขา 14 เป็นหลัก นั่นคือ ถ้าวงจรตรวจพบว่าสัญญาณที่ขา 14 มีขอบขาขึ้นก็จะให้เอาต์พุตออกมาเป็น high และจะเป็น high ไปเรื่อยๆ จนกว่าจะพบขอบขาขึ้นของสัญญาณที่ป้อนมาให้กับขา 3 ถึงจะเปลี่ยนสถานะเอาต์พุต กลายเป็น low และจะเป็น low ไปเรื่อยๆ แต่ถ้ากรณีที่ตรวจพบว่าเฟสของสัญญาณทั้งสองตรงกัน คือ มีขอบขาขึ้นพร้อมกันก็จะให้เอาต์พุตเป็นสถานะ high impedance แต่ในการใช้งานจริงไม่ได้นำเอาเอาต์พุตของ PD II คือขา 13 มาใช้โดยตรงแต่จะใช้ขา phase lock คือขา 1 แทน ซึ่งจะได้สัญญาณที่กลับขั้วกับสัญญาณที่ขา 13 เท่านั้นเอง จึงสามารถใช้แทนกันได้

จากหลักการการทำงานของ PD II ดังที่กล่าวมาแล้วจะทำให้ผลของการเปรียบเทียบเฟสของสัญญาณทั้ง 4 สถานะออกมาที่จุด F เป็นสัญญาณที่มี pulse width แตกต่างกันไปเป็นจำนวน 4 สถานะเช่น ดังรูปที่ 5.5

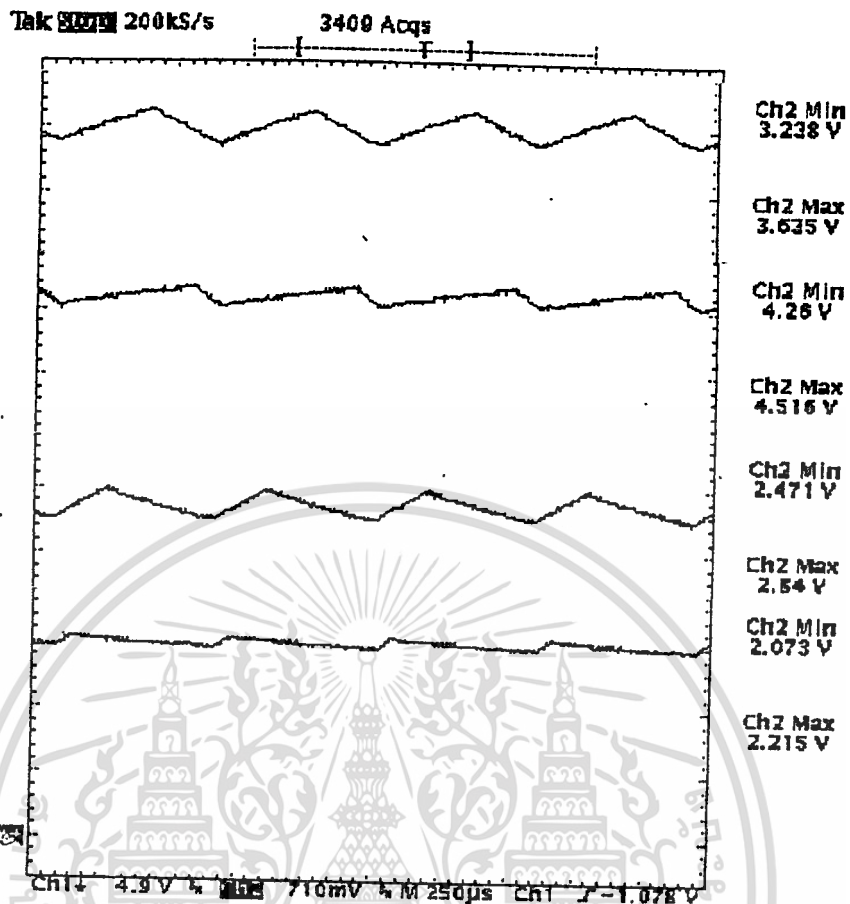


รูปที่ 5.5 แสดงการเปรียบเทียบ phase ของ 4046

จากสัญญาณที่มี pulse width ต่างกัน 4 สถานะที่ได้นี้เมื่อนำไปผ่านวงจร Filter โดยใช้ตัวเก็บประจุ ก็จะทำให้ค่าแรงดันไฟตรงออกมา 4 ค่า ที่จุด G โดยที่ไฟตรงดังกล่าวจะมีส่วนประกอบของ ripple ดังแสดงดังรูปที่ 5.6

ซึ่งพอมาถึงจุดนี้เราก็นำเอาสัญญาณไฟตรงที่ได้ที่จุด G นี้ไปผ่านวงจรเปรียบเทียบแรงดัน โดยใช้ IC # LM 339 ซึ่งใช้ออปแอมป์ comparator ในการเปรียบเทียบแรงดัน 4 ค่า โดยใช้ออปแอมป์ comparator 1 ตัวในการเปรียบเทียบแรงดัน 1 ค่า แล้วนำเอาที่พุทของ comparator ทั้ง 4 ตัวไปป้อนเป็นอินพุทของวงจร Encoder แบบ Priority encoder ที่ใช้ IC#74LS148

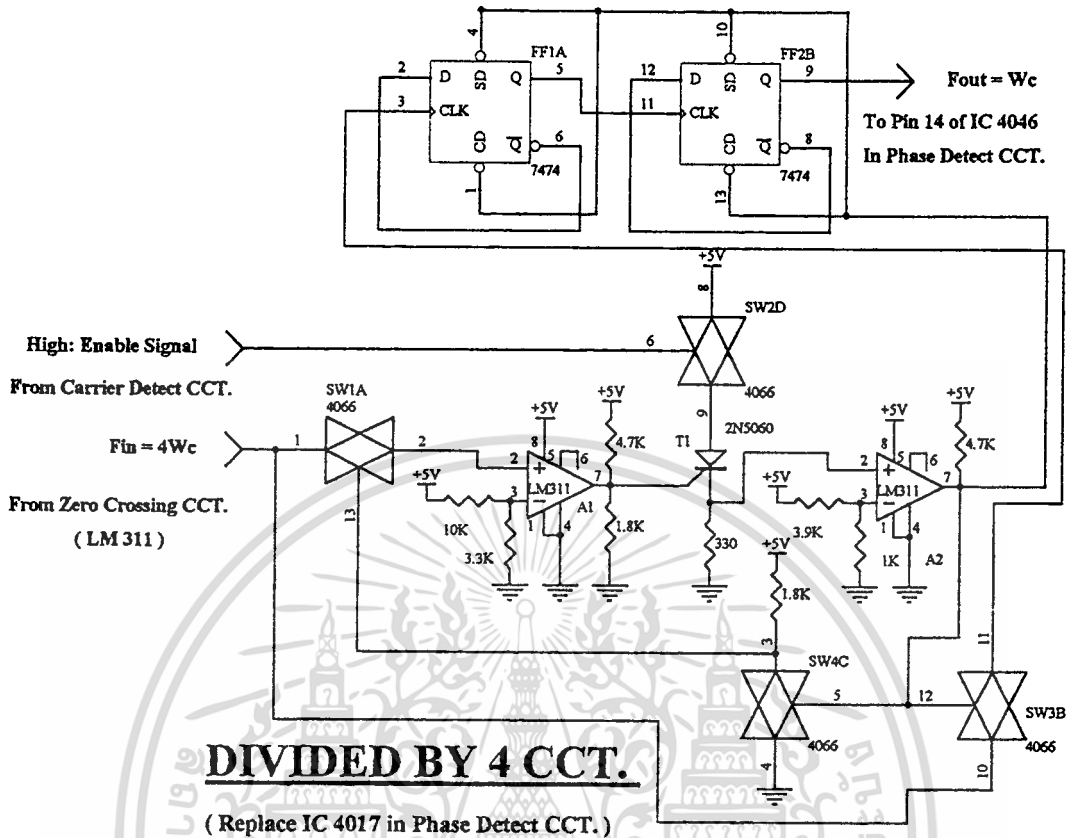
เพื่อให้ได้เอาท์พุทออกมาเป็น Binary จำนวน 2 บิตที่จุด I จากนั้นก็ใช้ Binary 2 บิตนี้ในการควบคุมวงจร multiplex ซึ่งทำหน้าที่เลือกชุดวงจรแก้ไขเฟสต่างๆ ไปใช้งานต่อไป ซึ่งวงจร multiplex นั้นใช้ IC # 74HC 4052



รูปที่ 5.6 แสดง Ripple ไฟตรงหลังการ filter

ทางผู้จัดทำได้ทำการทดลองประกอบวงจรเพื่อให้ทำงานแล้วปรากฏว่าวงจรดังกล่าวนี้ไม่สามารถทำงานได้ถูกต้อง ซึ่งก็ได้ตั้งข้อสันนิษฐานว่าอาจจะมีข้อผิดพลาดในวงจรของวงจรที่อาจจะเกิดจากวงจรหาร 4 ที่ใช้ IC #4017 ที่จุด E เนื่องจาก IC เบอร์นี้ภายในจะประกอบไปด้วย D-FF จำนวนหลายๆ ตัว ซึ่งอาจจะเก็บข้อมูลไว้ภายในตัวมันถึงแม้จะไม่มีอินพุตป้อนให้ทำงาน แต่พอเมื่อมีอินพุตเข้าไปก็นำเอาข้อมูลที่เก็บเอาไว้มาใช้ในการทำงานและให้เอาท์พุทออกมาในลักษณะที่เราไม่สามารถคาดเดาได้ และผิดไปจากแนวความคิดที่เราวางไว้ให้มันทำงาน จึงเกิดข้อผิดพลาดขึ้น

ด้วยเหตุผลดังกล่าวแล้วนี้ทางผู้จัดทำจึงได้คิดปรับปรุงเปลี่ยนแปลงวงจรที่ใช้ในการหารความถี่ 4 เท่าแบบใหม่มาใช้แทน IC # 4017 โดยวงจรใหม่นี้จะไม่มีเก็บข้อมูลเอาไว้เมื่อไม่มีอินพุตให้วงจรทำการหาร ซึ่งลักษณะของวงจรและหลักการทำงานจะเป็นไปดังนี้



DIVIDED BY 4 CCT.

(Replace IC 4017 in Phase Detect CCT.)

รูปที่ 5.7 แสดงวงจรหาร 4 ที่ได้ปรับปรุงใหม่

5.3 หลักการทำงานของวงจร

หลักการที่สำคัญก็คือเราใช้สัญญาณ carrier detect มาเป็นสัญญาณ Enable/disable ให้วงจรทำงาน นั่นคือเมื่อสัญญาณที่ได้จากวงจร carrier detect เป็น "0" แสดงว่าไม่มีการส่งข้อมูลวงจร 4 นี้ จะไม่ได้รับอนุญาตให้ทำงานและไม่มีข้อมูลเก็บภายในวงจรด้วย สำหรับการดำเนินงานโดยละเอียดจะเป็นดังนี้(ดูรูปประกอบ)

ในสภาวะที่ไม่มีการส่งข้อมูลนั้น สัญญาณที่ได้ออกมาจากวงจรถ้า carrier detect จะมีค่าเป็น "0" ทำให้ SW2 มีสถานะเป็น open และไม่มีการจ่ายไฟให้กับ SCR T1 ผลที่ได้ก็คือแรงดันที่ขาคาโทดของ T1 จะมีค่าเป็นกราวด์ ส่งผลให้เอาท์พุทของ comparator A2 มีค่าเป็นกราวด์ตามไปด้วย ซึ่งส่งผลไปสู่ FF1 และ FF2 ให้ทำงานอยู่ในสภาวะ clear ให้เอาท์พุทออกมาที่ Q1 และ Q2 เป็น "0" ทั้งคู่ นอกจากนั้นจะเห็นว่ามีส่วนต้านทานค่า 1 MΩ ทำหน้าที่เป็น pull-down เพื่อให้ขา CLOCK ของ FF1 มีค่าเป็น "0" อีกด้วย ทำให้แน่ใจได้ว่า เมื่อไม่มีการส่งข้อมูลเข้ามา วงจร 4 ส่วนนี้จะไม่มีการเก็บข้อมูลที่เป็นสภาวะ high ไว้ในตัววงจร อีกต่อไป (เหตุที่เราไม่ให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีข้อมูลในสถานะ high ก็เพราะเรานำเอา D-FF มาทำเป็น T-FF ใช้หารความถี่ และ D-FF เป็นชนิด Positive Edge Trigger ข้อมูลที่เป็น high จึงมีผลโดยตรงต่อการทำงานของวงจร)

ต่อมาเมื่อมีการส่งข้อมูลจากทางภาคมอดูเลเตอร์เข้ามาภาค carrier detect จะให้เอาท์พุท “1” เป็นผลให้ SW2 อยู่ในสถานะ Close และมีการจ่ายไฟ +5V ให้กับขั้วอาโนดของ SCR T1 ซึ่งแท้ที่จริงแล้ว SCR T1 นี้ถูกนำมาใช้ทำหน้าที่เป็น positive edge detector คือเมื่อหลังจากที่มีการจ่ายไฟให้กับ SCR T1 แล้ว และมีสัญญาณเข้ามาที่ comparator A1 ผ่านทาง SW1 ซึ่ง Close อยู่ และถ้าหากสัญญาณที่เข้ามาเป็นช่วง positive หรือ high สัญญาณนี้ก็จะทำหน้าที่เป็นสัญญาณ Trigaer ให้กับ SCR ให้ ON ทำให้มีแรงดันตกคร่อมความต้านทาน 330Ω ค่าหนึ่งไปเป็นอินพุทของ comparator A2 ทำให้ได้เอาท์พุทของ A2 เป็น high ทำให้ขา clear ของ FF1 และ FF2 มี logic เป็น “1” ออกจากสถานะ clear พร้อมทั้งจะทำงานได้ต่อไป ซึ่งขณะเดียวกันนั้น SW3 ก็จะมี Close ให้อินพุทของวงจรหาร 4 ผ่านเข้ามาเพื่อทำการหารความถี่ และเป็นขณะเดียวกันกับที่ SW1 ถูกควบคุมให้ Open เพื่อตัดอินพุท comparator A1 ออกไป โดยที่ SW4 นั้นถูกต่อให้ทำงานในลักษณะเป็น Not Gate เพื่อควบคุม SW1 ให้ทำงานอยู่ในลักษณะ NC นั่นเอง

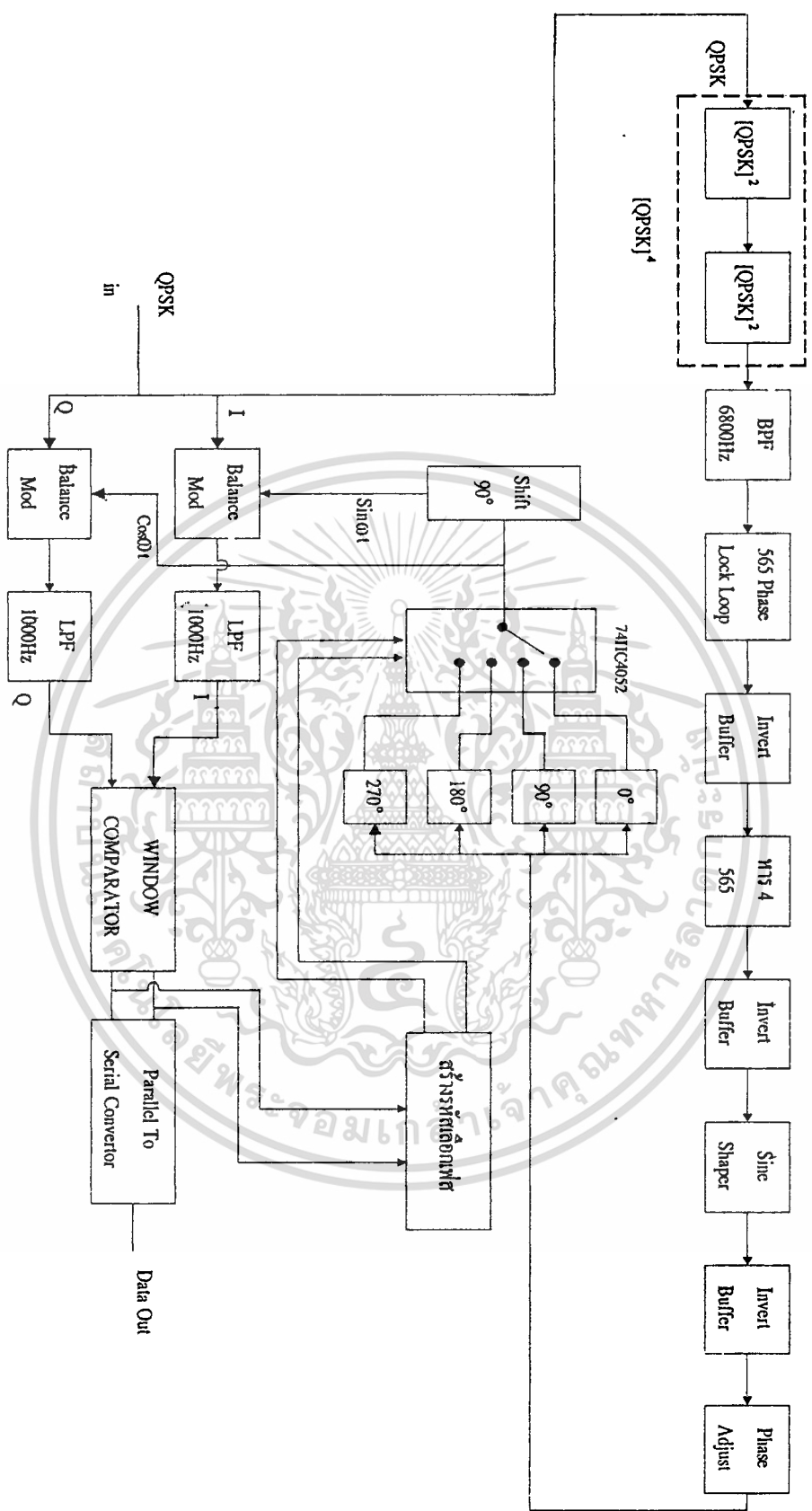
5.4 วงจรตรวจเช็คการเลื่อนเฟสแบบยูนิควิรด์

หลักการคือขณะก่อนส่งข้อมูลเราจะส่งข้อมูลศูนย์มาเพื่อระบบให้เฟสถูกต้องก่อน แล้วจึงส่งข้อมูลจริง ซึ่งแสดงดังบล็อกไดอะแกรมดังรูปที่ 5.8

จากบล็อกไดอะแกรมการเลือกเฟสของอะนาล็อกสวิทช์แสดงดังตารางที่ 5.2 เมื่อข้อมูลที่ส่งเข้ามาที่ทั้งสองแขนของภาคดีมอดูเลเตอร์คือศูนย์

ข้อมูล	เฟส
00	180°
01	270°
10	90°
11	0°

ตารางที่ 5.2 แสดงการเลือกเฟสของอะนาล็อกสวิทช์



รูปที่ 5.8 แสดงบล็อกไคอะแกรมของ QPSK
 คมยอเลเตอร์แบบใช้ทวีกรหัสแก้ไขความผิดพลาดทางเฟส

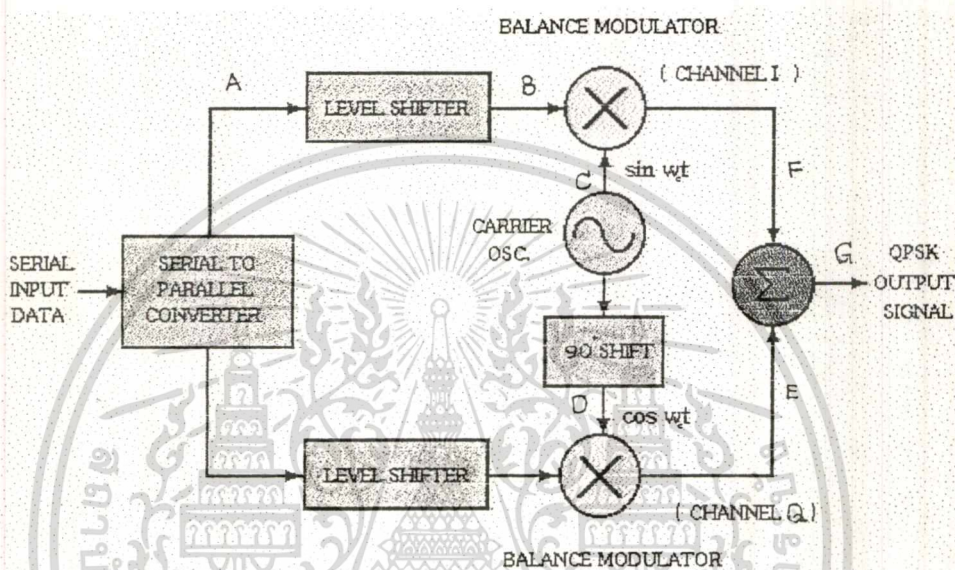
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

ผลการทดลองภาคมอดูเลเตอร์และดีมอดูเลเตอร์

6.1 ผลการทดลองวงจรภาคมอดูเลเตอร์

บล็อกไดอะแกรมของวงจรภาคมอดูเลเตอร์ แสดงดังรูปที่ 6.1



รูปที่ 6.1 แสดงบล็อกไดอะแกรมของภาคมอดูเลเตอร์

จากรูปที่ 6.1 ป้อนสัญญาณหนึ่งและศูนย์สลับกัน จากนั้นวัดสัญญาณที่จุดต่างๆ ได้ดังนี้

6.1.1 วัดที่จุด A เทียบกับจุด B แสดงการแปลงสัญญาณข้อมูลแบบ TTL ให้เป็น สัญญาณพัลส์แบบไบโพลาร์(NRZ pulse)

6.1.2 วัดที่จุด C เทียบกับจุด D แสดงความสัมพันธ์ระหว่างสัญญาณพาหะของช่อง I และช่อง Q ที่มีเฟสต่างกัน 90°

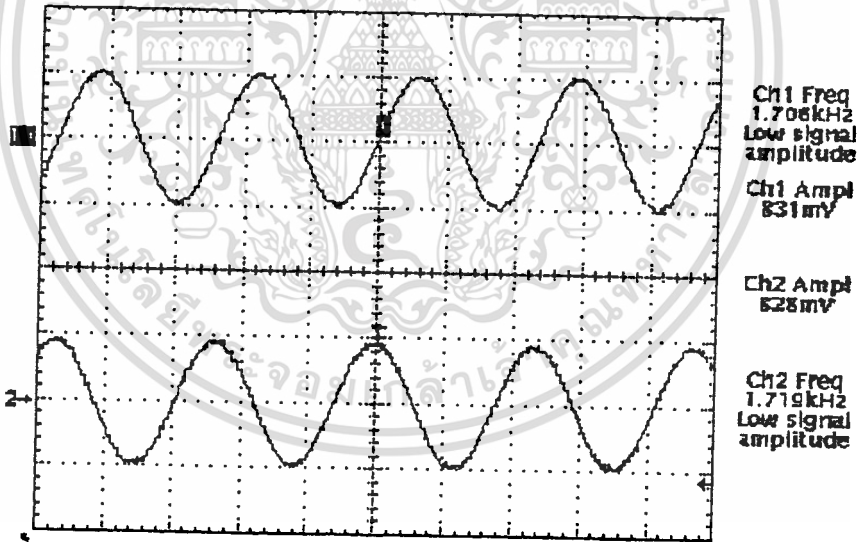
6.1.3 วัดที่จุด B เทียบกับจุด C แสดงสัญญาณข้อมูลและสัญญาณพาหะก่อนผ่านวงจรบาลานซ์มอดูเลเตอร์

6.1.4 วัดที่จุด E และจุด F แสดงช่องสัญญาณ BPSK ของช่อง I และช่อง Q ที่ได้จากวงจรบาลานซ์มอดูเลเตอร์

6.1.5 วัดที่จุด G แสดงสัญญาณ QPSK

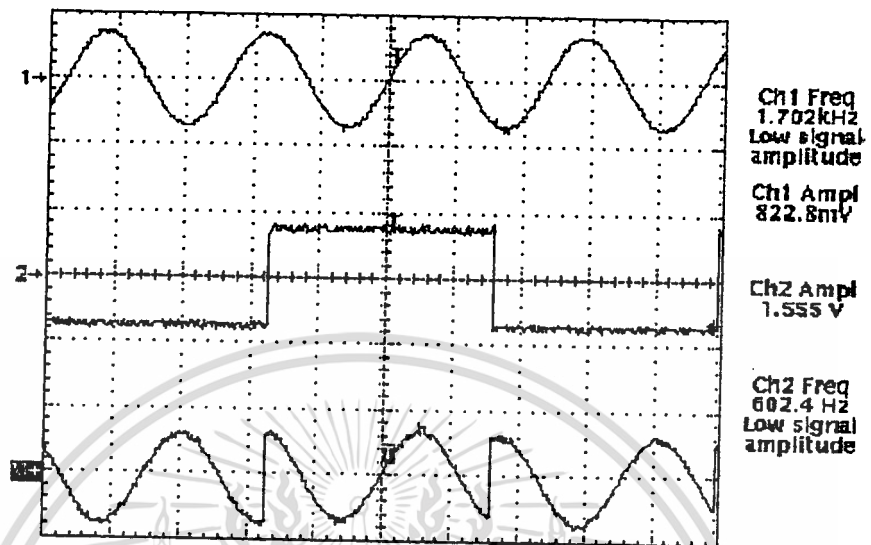


รูปที่ 6.2 แสดงสัญญาณจุด A เทียบกับจุด B

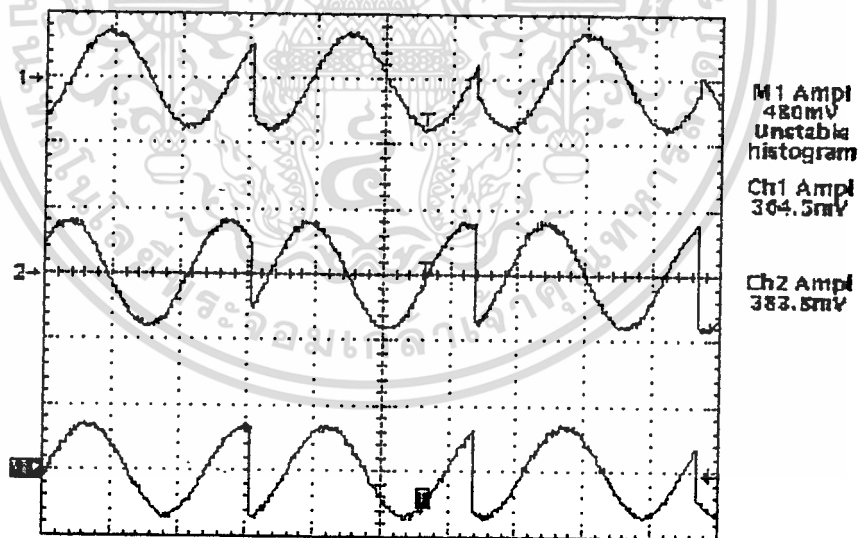


รูปที่ 6.3 แสดงสัญญาณจุด C เทียบกับจุด D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

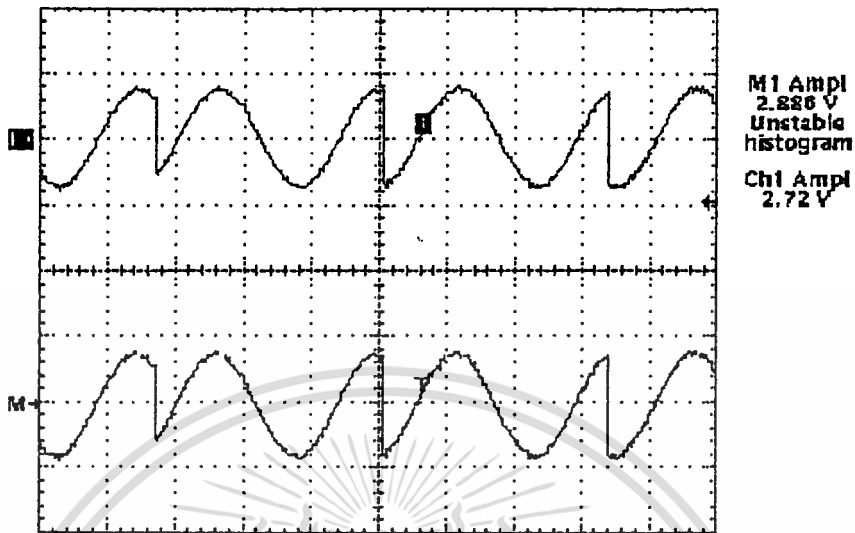


รูปที่ 6.4 แสดงสัญญาณจุด B เทียบกับจุด C



รูปที่ 6.5 แสดงสัญญาณจุด E เทียบกับจุด F

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.6 แสดงสัญญาณ QPSK เทียบกับจุด G

6.2 ผลการทดลองวงจรภาคติมอคูเลเตอร์

การทดลอง ป้อนข้อมูลที่ TTL ความถี่ 600 Hz ที่ภาคมอดูเลเตอร์จากนั้นใช้สัญญาณ QPSK จากภาคมอดูเลเตอร์ป้อนเข้าภาคติมอคูเลเตอร์แล้ววัดผลดังนี้

6.2.1 วัดสัญญาณที่จุด 1 เทียบกับจุดที่ A แสดงสัญญาณ QPSK และสัญญาณ QPSK ยกกำลังสอง

6.2.2 วัดสัญญาณที่จุด 1 เทียบกับจุดที่ 2 แสดงสัญญาณ QPSK และสัญญาณ QPSK ยกกำลังสี่

6.2.3 วัดสัญญาณที่จุด 2 เทียบกับจุดที่ 3 แสดงสัญญาณ QPSK ยกกำลังสี่ ที่ผ่านวงจรแบนด์พาสฟิลเตอร์

6.2.4 วัดสัญญาณที่จุด 3 และสัญญาณที่จุด 5 แสดงเฟสที่ตรงกันของสัญญาณก่อนเข้าเฟสล็อกกลุ๊ป

6.2.5 วัดสัญญาณที่จุด 5 และสัญญาณที่จุด 6 แสดงการหารความถี่ลงด้วยจำนวน 4 เท่าโดยใช้ไอซี 565 (PPL)

6.2.6 วัดสัญญาณที่จุด 7 และสัญญาณที่จุด 8 แสดงการแปลงสัญญาณสามเหลี่ยมจากเฟสล็อกกลุ๊ปเป็นสัญญาณซายน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.7 วัดสัญญาณที่จุด 10 กับสัญญาณที่จุด 11 แสดงสัญญาณพาหะ Coscot และ Sinot ที่สร้างขึ้นใหม่ที่ภาคมอดูเลเตอร์

6.2.8 วัดสัญญาณที่ภาคมอดูเลเตอร์กับสัญญาณจุด 13 แสดงข้อมูลที่ภาคส่งและข้อมูลที่ภาครับก่อนเข้าวงจร โลว์พาสฟิลเตอร์ที่แกน I

6.2.9 วัดสัญญาณที่ภาคมอดูเลเตอร์กับสัญญาณจุด 14 แสดงข้อมูลที่ภาคส่งและข้อมูลที่ภาครับก่อนเข้าวงจร โลว์พาสฟิลเตอร์ที่แกน Q

6.2.10 วัดสัญญาณที่จุด 13 กับจุด 15 แสดงข้อมูลที่รับได้ก่อนผ่านและหลังผ่านวงจร โลว์พาสฟิลเตอร์

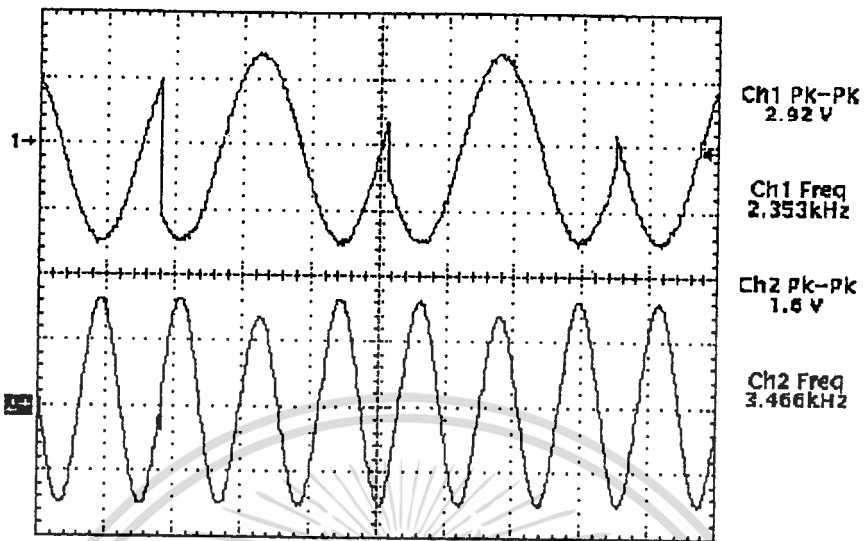
6.2.11 วัดสัญญาณที่จุด 15 กับจุด 17 แสดงข้อมูลที่ผ่านวงจรคอมพาราเตอร์

6.2.12 แสดงข้อมูลที่รับได้ของแกน I และ แกน Q หลังจากผ่านวงจรคอมพาราเตอร์

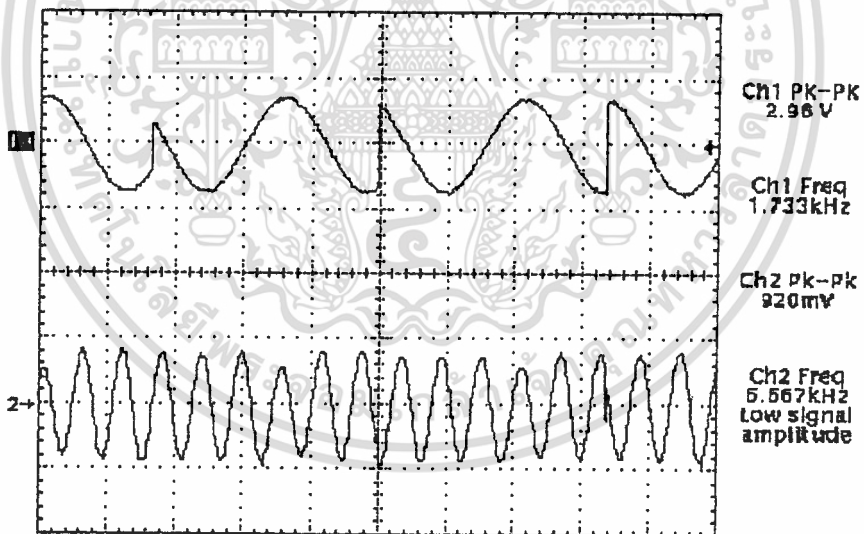
6.2.13 วัดข้อมูลที่ภาคส่งกับสัญญาณที่จุด 17 แสดงข้อมูลที่ภาคส่งกับข้อมูลที่ภาครับ ส่งกับข้อมูลที่รับได้จากภาคดีมอดูเลเตอร์แกน I

6.2.14 วัดข้อมูลที่ภาคส่งกับสัญญาณที่จุด 18 แสดงข้อมูลที่ภาคส่งกับข้อมูลที่ภาครับ ส่งกับข้อมูลที่รับได้จากภาคดีมอดูเลเตอร์แกน Q

6.2.15 วัดสัญญาณข้อมูลที่ภาคส่ง และสัญญาณที่จุด 19 แสดงข้อมูลที่ภาคส่งกับข้อมูลที่ภาครับเมื่อผ่านวงจร Parallel To Serial Converter

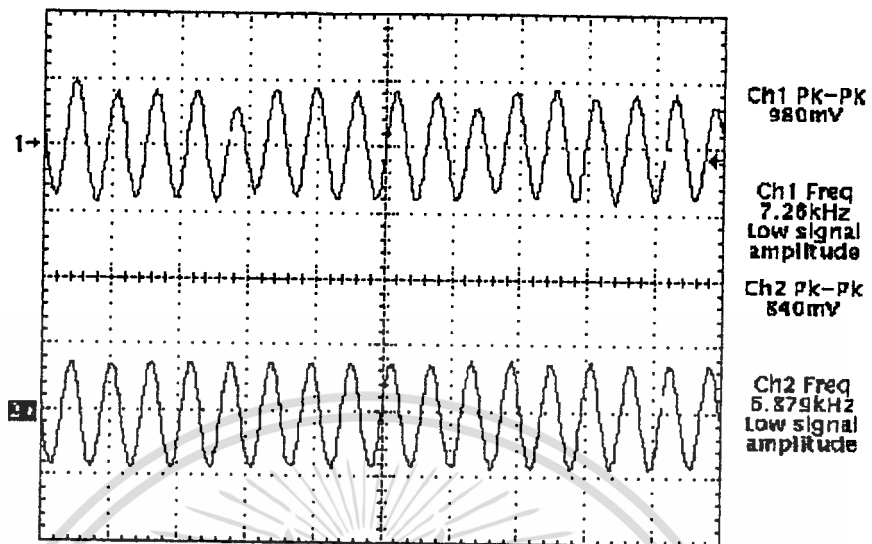


รูปที่ 6.8 แสดงสัญญาณที่จุด 1 เทียบกับสัญญาณที่จุด A

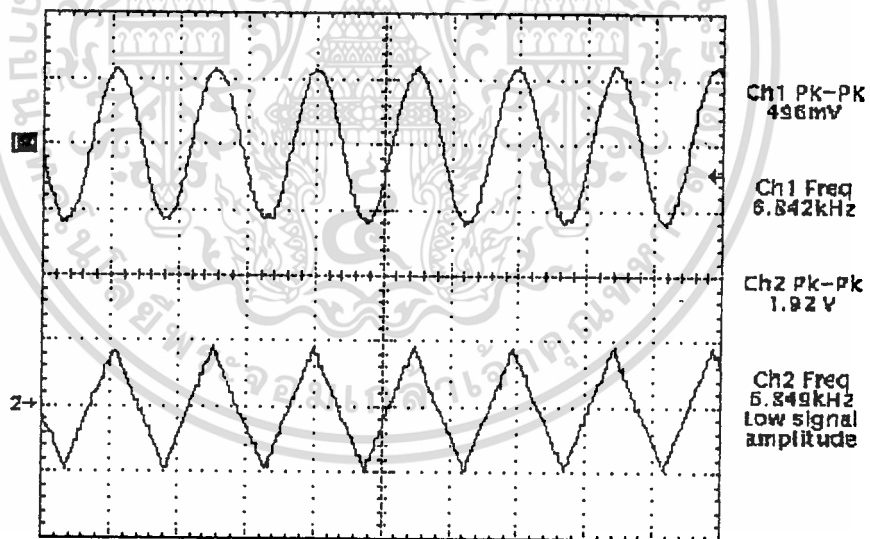


รูปที่ 6.9 แสดงสัญญาณที่จุด 1 เทียบกับสัญญาณที่จุด 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

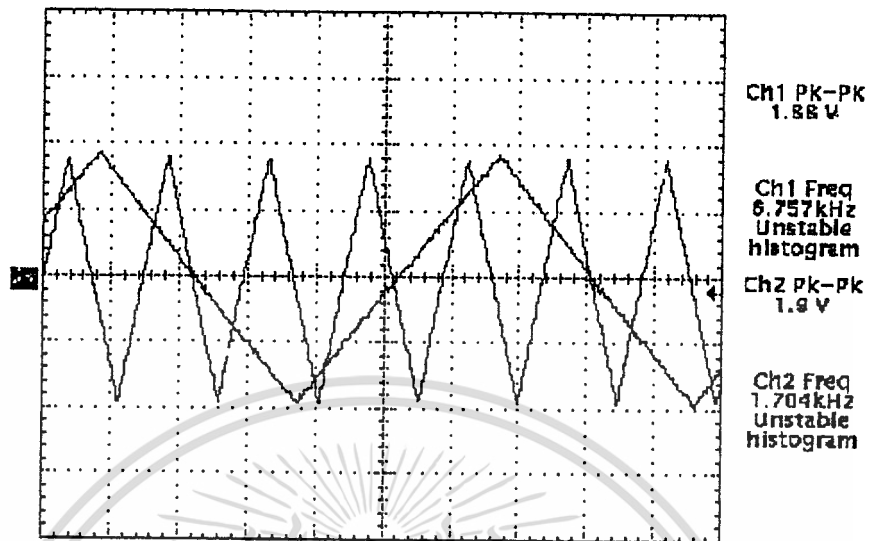


รูปที่ 6.10 แสดงสัญญาณที่จุด 2 เทียบกับสัญญาณที่จุด 3

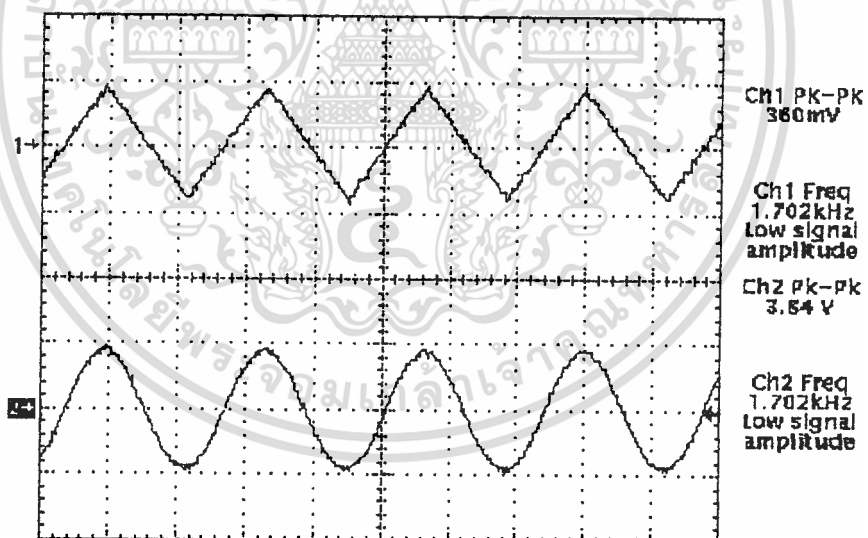


รูปที่ 6.11 แสดงสัญญาณที่จุด 3 เทียบกับสัญญาณที่จุด 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

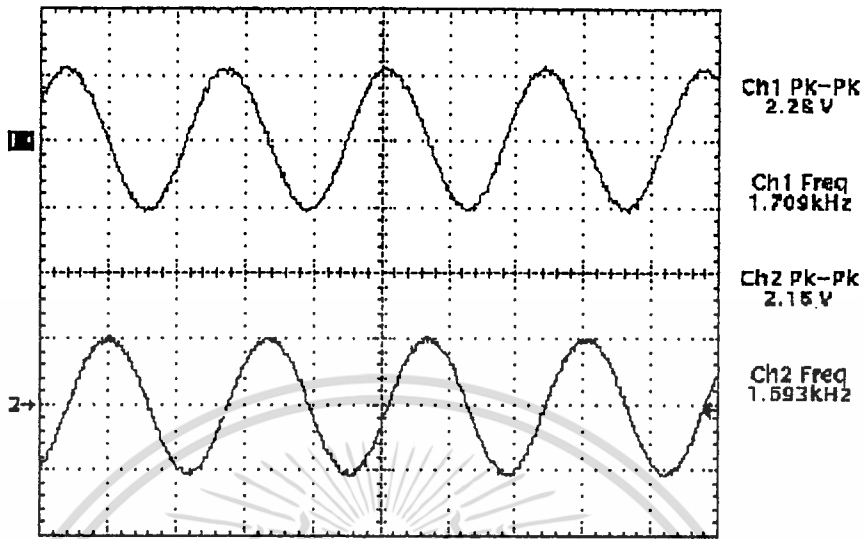


รูปที่ 6.12 แสดงสัญญาณที่จุด 5 และสัญญาณที่จุด 6

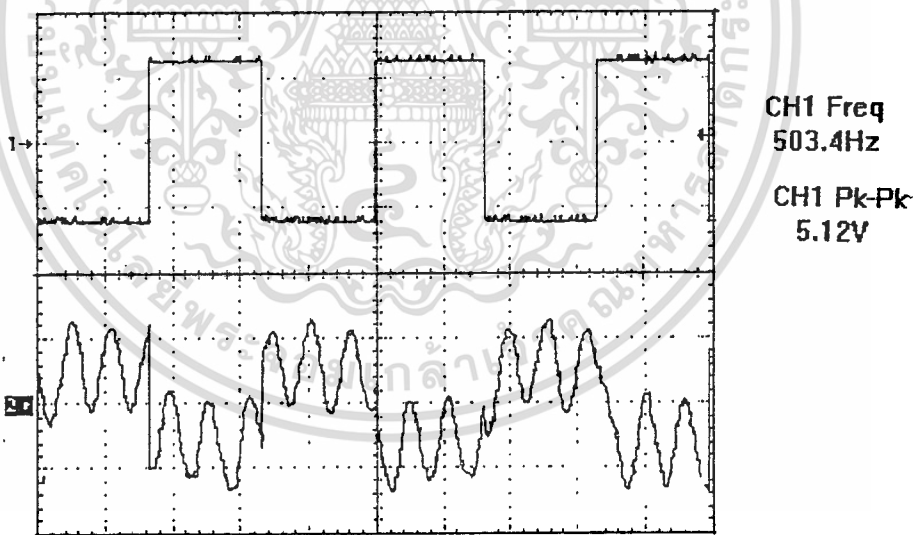


รูปที่ 6.13 แสดงสัญญาณที่จุด 7 เทียบกับสัญญาณที่จุด 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

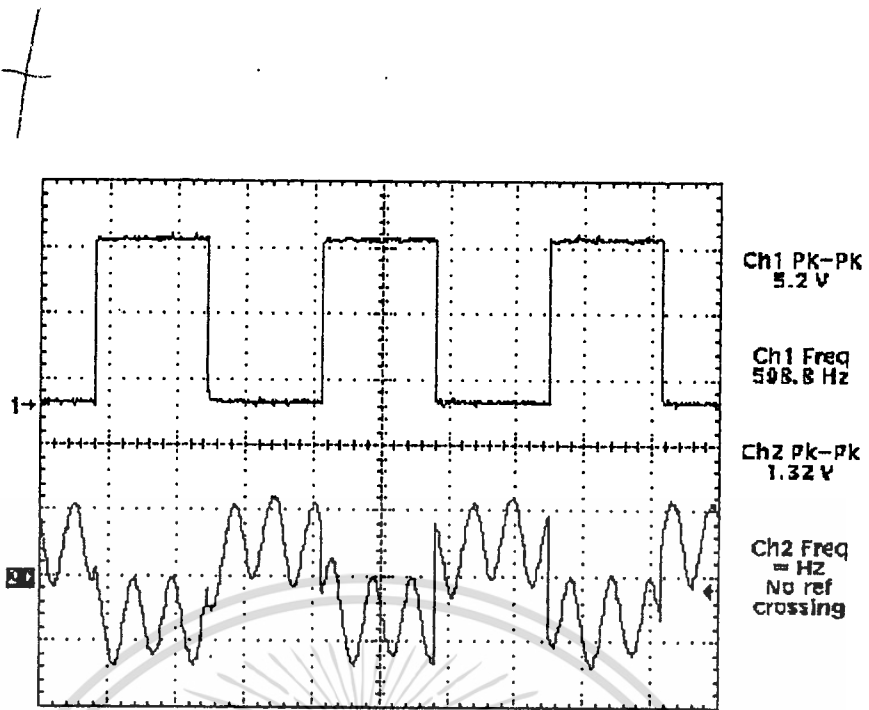


รูปที่ 6.14 แสดงสัญญาณที่จุด 10 เทียบกับสัญญาณที่จุด 11

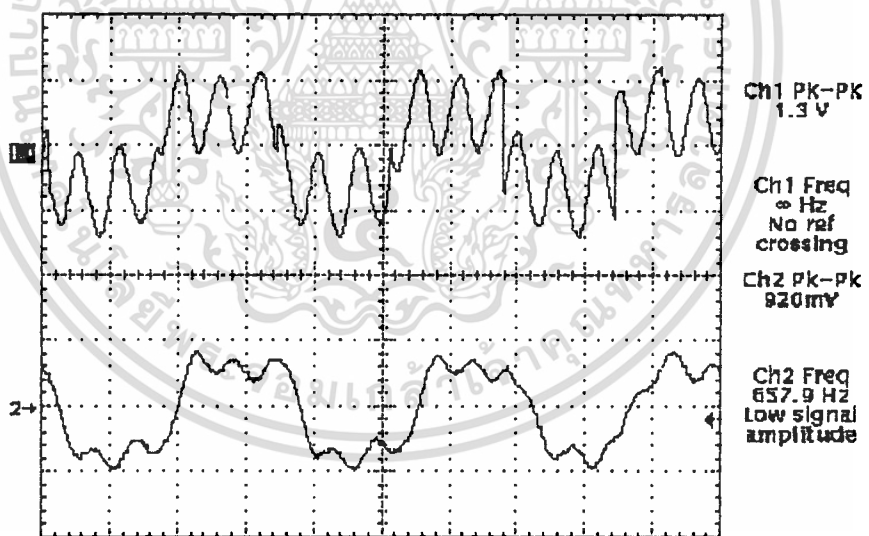


รูปที่ 6.15 แสดงข้อมูลที่ภาคส่งเทียบกับสัญญาณที่จุด 13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

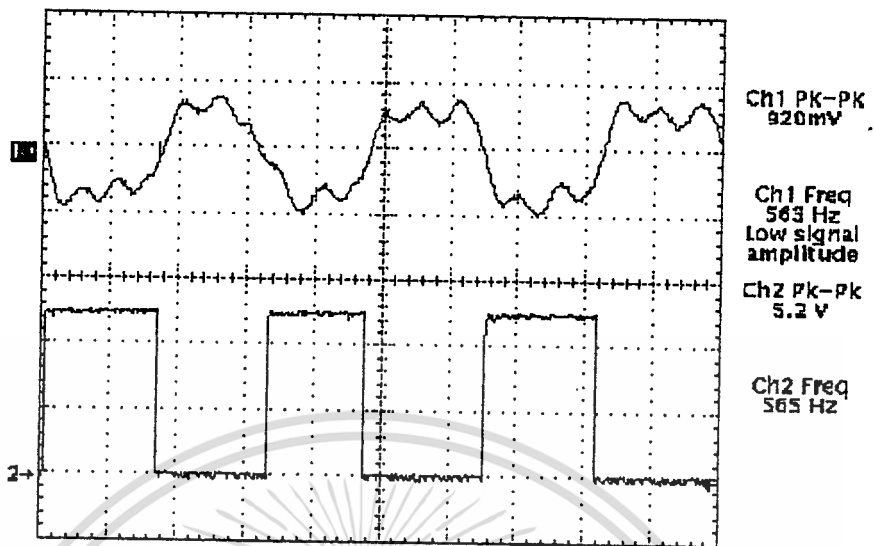


รูปที่ 6.16 แสดงข้อมูลที่ภาคส่งเทียบกับสัญญาณที่จุด 14

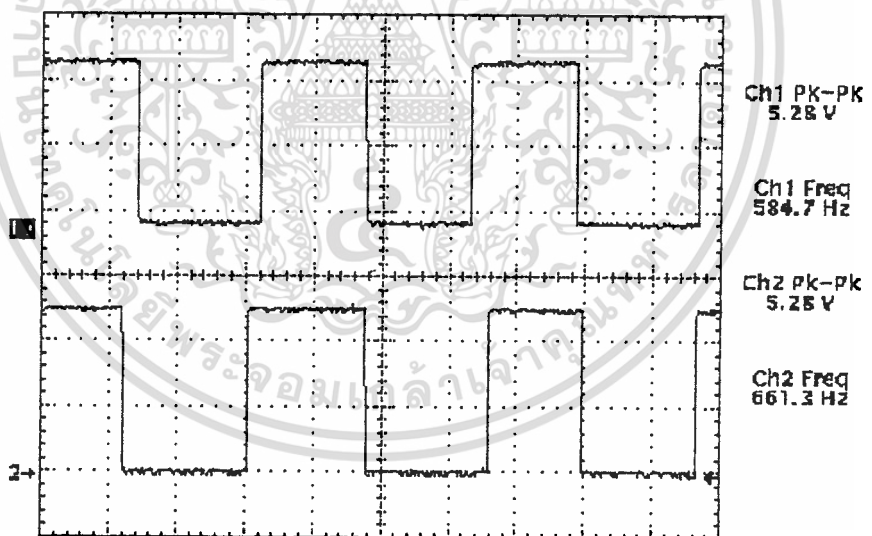


รูปที่ 6.17 แสดงสัญญาณที่จุด 13 เทียบกับสัญญาณที่จุด 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

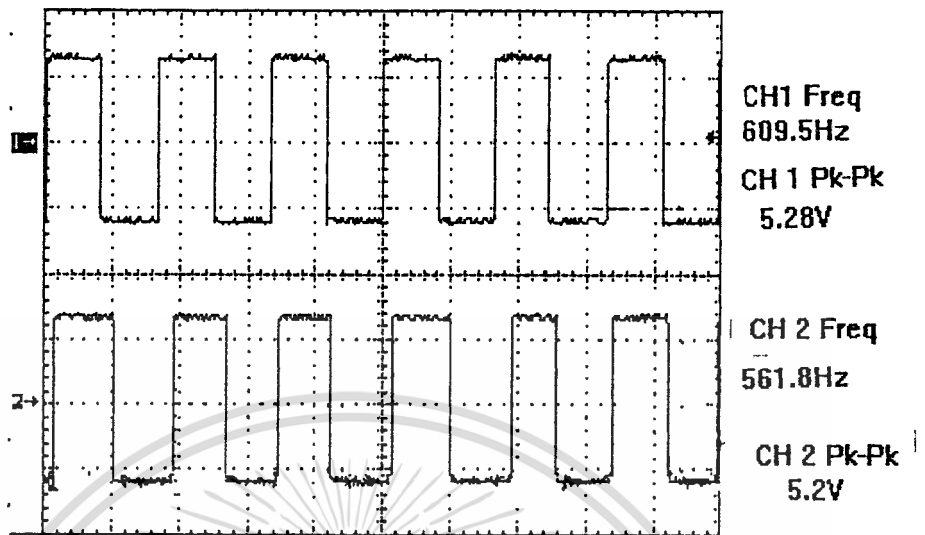


รูปที่ 6.18 แสดงสัญญาณที่จุด 15 เทียบกับสัญญาณที่จุด 17

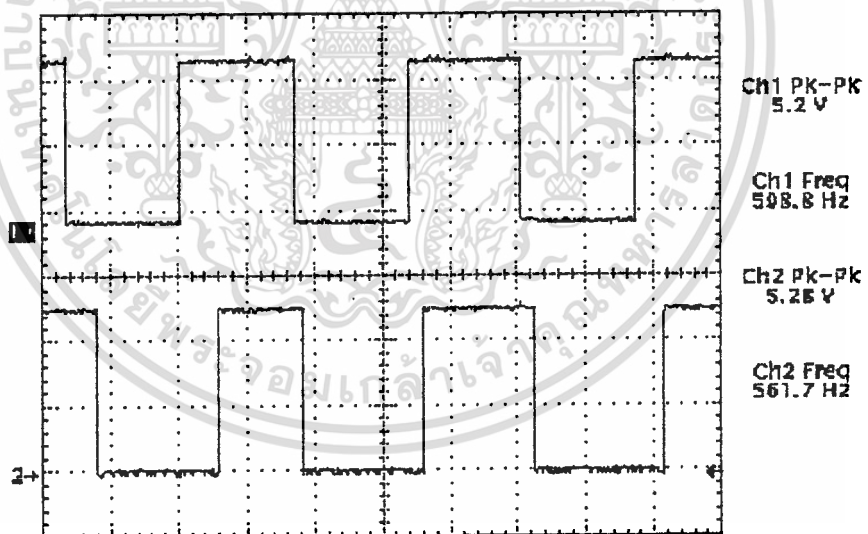


รูปที่ 6.19 แสดงสัญญาณที่จุด 17 เทียบกับสัญญาณที่จุด 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

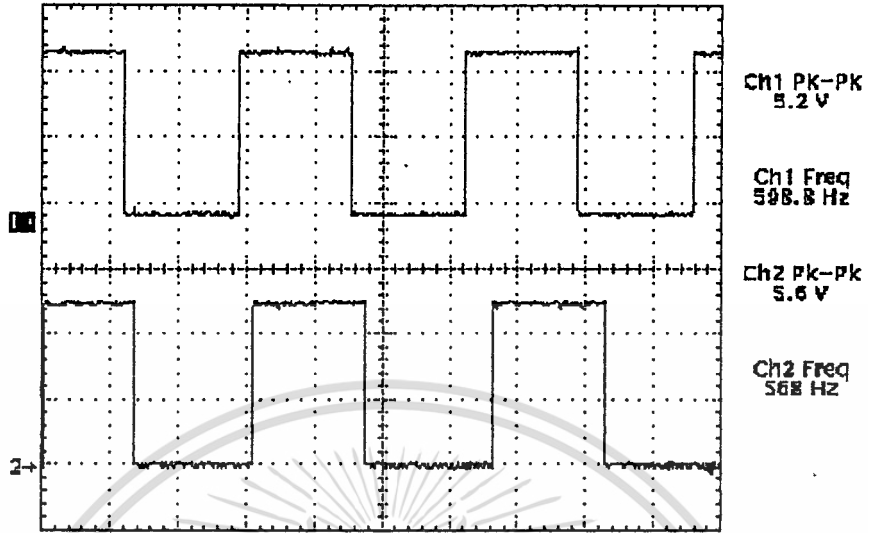


รูปที่ 6.20 แสดงข้อมูลที่ภาคส่งกับสัญญาณที่จุด 17



รูปที่ 6.21 แสดงข้อมูลที่ภาคส่งกับสัญญาณที่จุด 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.22 แสดงข้อมูลที่ภาคส่งกับสัญญาณที่จุด 19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

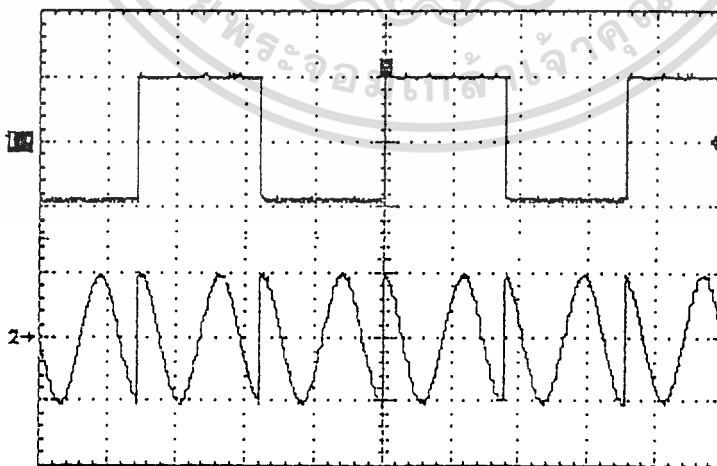
สรุปและวิจารณ์

7.1 ภาค QPSK มอดูเลเตอร์

จากวงจรภาคมอดูเลเตอร์จะเห็นได้ว่าในวงจรมีคุณสมบัติต่างๆ พอสรุปได้ดังต่อไปนี้คือ

7.1.1 การเชื่อมต่อ (Coupling) สัญญาณข้อมูลเข้าสู่วงจรส่วนที่ทำหน้าที่เป็นบาลานซ์มอดูเลเตอร์เป็นแบบการเชื่อมต่อโดยตรง (Direct Coupling) ซึ่งจะมีข้อดีก็คือทำให้การส่งข้อมูลในลักษณะที่เป็นขบวนของบิต “1” หรือ บิต “0” ติดต่อกันเป็นจำนวนหลายๆ บิตสามารถกระทำได้ ซึ่งในส่วนนี้เป็นการปรับปรุงวงจรให้ดีขึ้นจากวงจรที่ได้ทำการออกแบบไว้คือจากการใช้การเชื่อมต่อผ่านตัวเก็บประจุ (Capacitor Coupling) ซึ่งจะส่งผ่านสัญญาณข้อมูลได้เฉพาะข้อมูลที่มีลักษณะเป็นบิต “1” และบิต “0” สลับต่อเนื่องกันไปเท่านั้น

7.1.2 สัญญาณข้อมูลแบบ TTL ที่ถูกแปลงให้เป็นพัลส์แบบ NRZ (Non Return To Zero) เพื่อป้อนให้กับวงจรบาลานซ์มอดูเลเตอร์ที่ขา 8 ของ IC # 1496 เพื่อให้วงจรบาลานซ์มอดูเลเตอร์ทำงานในลักษณะที่เป็นการสวิทซ์ซึ่งนั้น ทางผู้จัดทำได้ทำการทดลองดูแล้วผลปรากฏว่า วงจรบาลานซ์มอดูเลเตอร์จะเริ่มทำงานในลักษณะของการสวิทซ์ซึ่งเมื่อขนาดของพัลส์มีค่าตั้งแต่ประมาณ 300 mVp-p ขึ้นไป นั้นหมายถึงว่าวงจรบาลานซ์มอดูเลเตอร์จะให้สัญญาณเอาต์พุตออกมาที่ขา 12 (ของ IC # 1496) เป็นสัญญาณ BPSK แสดงดังรูปที่ 7.1

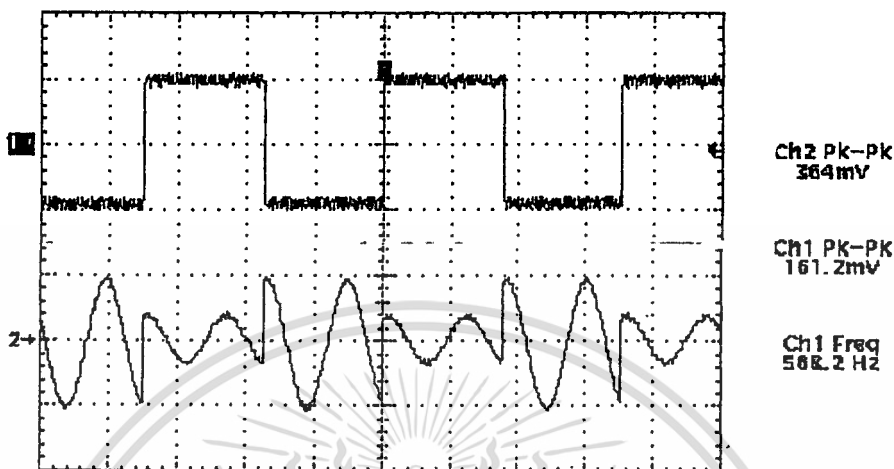


รูปที่ 7.1 แสดงการทำงานของวงจรบาลานซ์มอดูเลเตอร์
เมื่อป้อนสัญญาณพัลส์ที่แทนข้อมูลมีขนาด 370 mVp-p

เอกสารนี้ (รูปบน) แสดงสัญญาณพัลส์ที่แทนข้อมูล (รูปล่าง) แสดงสัญญาณเอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์

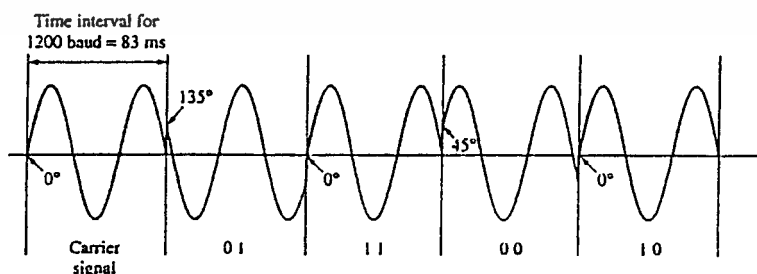
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนขนาดของสัญญาณที่มีค่าต่ำกว่านี้จะทำให้ได้สัญญาณเอาต์พุตที่ขา 12 ดังแสดงดังรูปที่ 7.2



รูปที่ 7.2 แสดงการทำงานของวงจรบาลานซ์มอดูเลเตอร์
เมื่อป้อนสัญญาณข้อมูลด้วยขนาด 170 mVp-p
(รูปบน) แสดงสัญญาณข้อมูล (รูปล่าง) แสดงสัญญาณเอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์

7.1.3 โดยมาตรฐานทั่วไปแล้วเทคนิคการส่งสัญญาณข้อมูลแบบ QPSK ในอัตรา 2,400 บิต/วินาที นี้จะใช้ความถี่ของสัญญาณพาหะที่ป้อนให้กับขา 1 ของ IC # 1496 แต่ละตัวมีค่าเป็น 1800 Hz ในขณะที่ทำการส่งข้อมูลเข้าสู่ขา 8 ในอัตรา 1,200 บิต/วินาที ซึ่งจากการสังเกตตัวเลขทั้ง 2 ค่า จะเห็นว่าสัญญาณข้อมูลจะทำการสวิตช์เพื่อสลับขั้วของสัญญาณพาหะหรือเลื่อน (shift) เฟสของสัญญาณพาหะไปด้วยค่า 180° ทุกๆ ช่วงเวลาที่มีค่าเป็น 1.5 เท่าของคาบเวลา (Period) ของสัญญาณพาหะ ดังแสดงรูปที่ 7.3



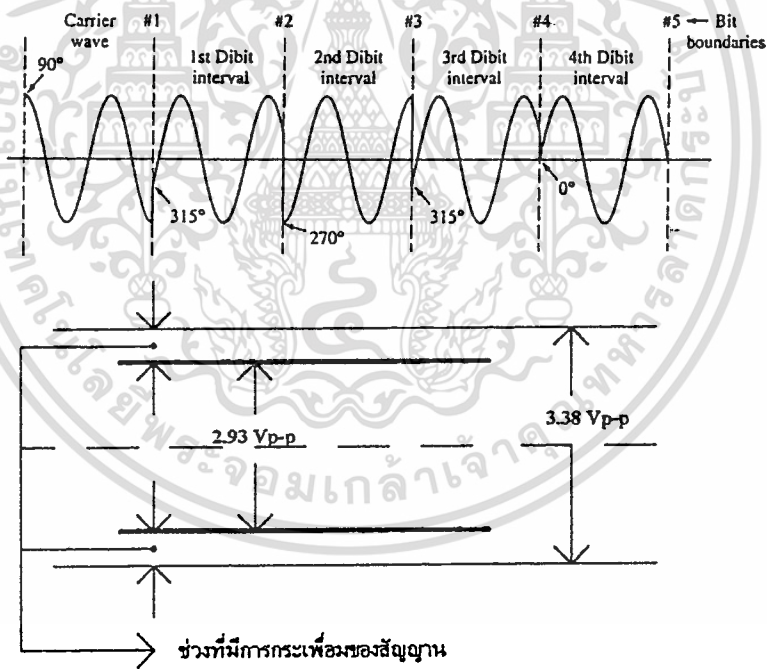
รูปที่ 7.3 แสดงถึงช่วงของการเลื่อนเฟสของสัญญาณพาหะที่สัมพันธ์กับอัตราการส่งข้อมูล

เมื่อความถี่สัญญาณพาหะเท่ากับ 1,800 Hz และอัตราการส่งข้อมูลเท่ากับ 1,200 บิต/วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ในโครงการนี้ใช้สัญญาณพาหะที่มีค่าความถี่ 1,700 Hz ในการทำการทดลอง ออกแบบแต่แรก แต่ภายหลังอาจารย์ที่ปรึกษาแนะนำว่าควรจะเปลี่ยนค่าความถี่นี้เป็น 1,800 Hz เพื่อให้เข้ากับการใช้งานทั่ว ๆ ไปได้แต่เนื่องด้วยเหตุที่การเปลี่ยนค่าความถี่ของสัญญาณพาหะที่จุดนี้ จะทำให้ต้องมีการเปลี่ยนแปลงค่าอุปกรณ์ในวงจรส่วนอื่น ๆ ที่ทำงานตามมาจากภายหลังเช่น ค่าอุปกรณ์ ในวงจร BPF และวงจรเลื่อนเฟสค่าต่างๆ ซึ่งจะมีผลต่อทั้งค่าความถี่และเฟสของสัญญาณ ซึ่งจะต้องทำการปรับแต่งใหม่ทั้งหมด ด้วยเหตุนี้ทางผู้จัดทำจึงได้ทำการทดลอง เพื่อจำลองดูก่อน และดูผลการทำงานของวงจร ซึ่งในการทดลองนั้นก็ใช้ความถี่ของสัญญาณพาหะเป็นค่าเดิมคือ 1,700 Hz แต่ทว่าลดอัตราการส่งข้อมูลลงให้เหลือประมาณ 1,133 บิต/วินาที ซึ่งจากค่าตัวเลข 2 ค่านี้ ก็จะทำให้ช่วงเวลาของการสวิทช์ของสัญญาณข้อมูลที่กระทำต่อสัญญาณพาหะเป็น 1,800 Hz และสัญญาณ ข้อมูลในอัตรา 1,200 บิต/วินาที ดังกล่าวข้างต้น

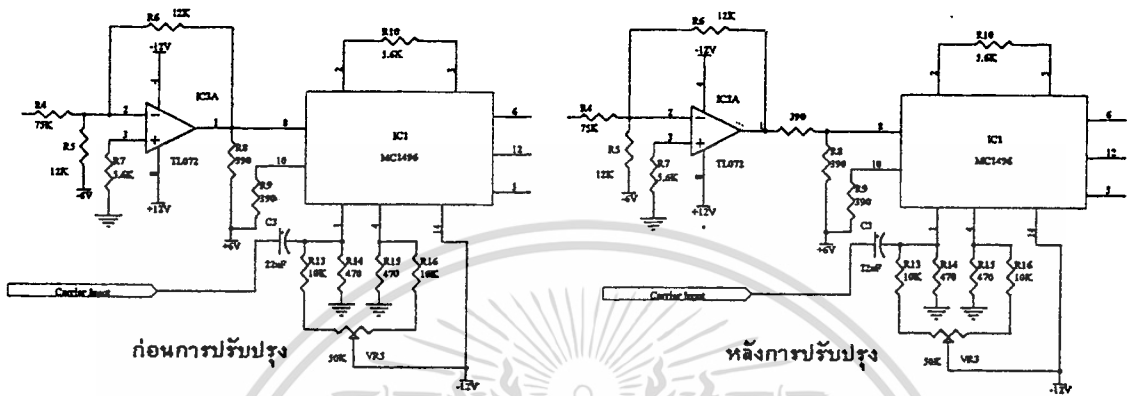
จากการทดลองผลปรากฏว่า สัญญาณ BPSK ที่ได้จะมีการสั้นกระเพื่อมขึ้นลงอยู่ตลอดเวลา โดยมีช่วงของการกระเพื่อมที่แสดงดังรูปที่ 7.4



รูปที่ 7.4 แสดงช่วงการกระเพื่อมของสัญญาณ BPSK เมื่อทำการเปลี่ยน อัตราการส่งข้อมูลให้มีค่าเป็น 1,133 บิต/วินาที และใช้ความถี่ของสัญญาณพาหะ 1,700 Hz

จากลักษณะการกระเพื่อมของสัญญาณ QPSK ดังกล่าวนี้จะมีผลโดยตรงต่อ สัญญาณ QPSK ทำให้มีการกระเพื่อมตามไปด้วย อาจารย์ที่ปรึกษาก็ได้ให้คำแนะนำให้ทำการ ปรับปรุงวงจรมอดูเลเตอร์อีกเล็กน้อย เพื่อแก้ปัญหาดังกล่าว ทางผู้จัดทำได้ทดลองทำตาม เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำแนะนำไปแล้ว แต่ก็ไม่ได้ทำให้การกระพือของสัญญาณหายไป ซึ่งวิธีการปรับปรุงแก้ไขวงจรก็ทำโดยการเพิ่มความต้านทานค่า 390 Ω เข้าไปดังแสดงดังรูปที่ 7.5



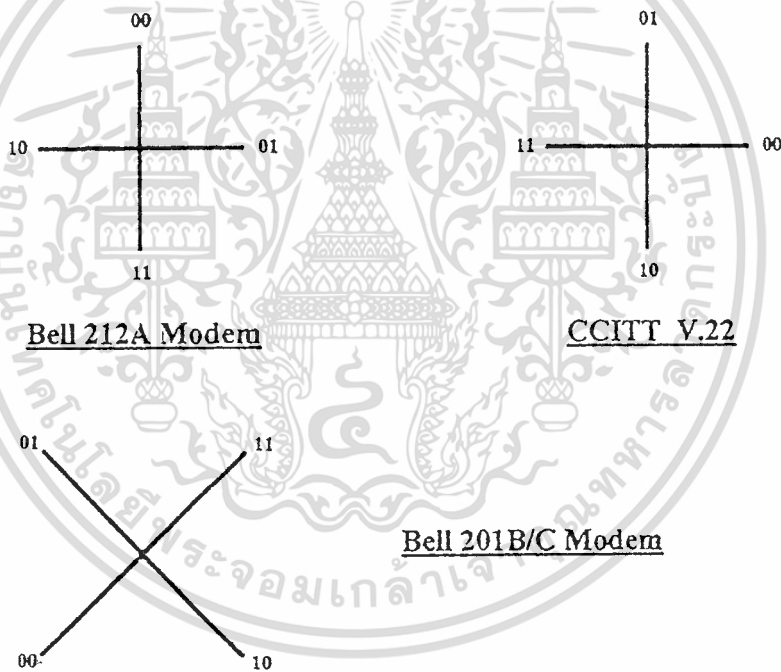
รูปที่ 7.5 แสดงการปรับปรุงของวงจรบาลานซ์มอดูเลเตอร์เพื่อแก้ไขปัญหาการกระพือของสัญญาณ BPSK

จุดที่น่าสังเกตอย่างหนึ่งก็คือ การกระพือของสัญญาณ BPSK ดังกล่าวจะเกิดขึ้นก็ต่อเมื่อ อัตราการส่งข้อมูล (บิต/วินาที) มีค่าเป็น $2/3$ เท่า ของค่าความถี่สัญญาณพาหะ (Hz) พอดีเท่านั้น โดยที่หากเราเปลี่ยนค่าอัตราการส่งข้อมูลไปจากค่านี้น้อยลงเท่านั้น ก็จะทำให้การกระพือของสัญญาณ BPSK หายไปได้

อีกนัยหนึ่งถ้าเราจะมองว่าอาการกระพือดังกล่าว อาจเกิดจากการแสดงผลของออสซิลโลสโคปนั้น ก็ไม่น่าเป็นไปได้ ทั้งนี้สังเกตได้จากการกระพือของสัญญาณดังกล่าวนี้ส่งผลทำให้สัญญาณอื่นๆ เช่น สัญญาณที่เกิดจากการยกกำลังสัญญาณ QPSK มีการกระพือด้วยเช่นกันจึงสามารถตัดประเด็นปัญหานี้ออกไปได้

ด้วยเหตุผลการกระพือของสัญญาณดังกล่าวนี้ ทางผู้จัดทำจึงไม่ได้ทำการเปลี่ยนค่าความถี่ของสัญญาณพาหะจากค่า 1,700 Hz ไปเป็น 1,800 Hz เพราะผลของการกระพือของสัญญาณทำให้การทำงานของวงจรส่วนอื่น ๆ ที่ตามมาได้รับผลกระทบไปด้วยและไม่สามารถแก้ไขให้หายไปได้นั่นเอง

4. จากการที่เทคนิคการมอดูเลชันแบบ QPSK นี้โดยแท้จริงแล้วจะมีการกำหนดตำแหน่งของเฟสที่แน่นอนวางกระจายอยู่ในทั้ง 4 ควอรันท์ อยู่ทั้งหมด 4 ตำแหน่ง ซึ่งแต่ละตำแหน่งจะแทนความหมายของข้อมูลที่เป็นเลขไบนารี 2 บิต (digit) เช่นตำแหน่งที่เฟสมีค่าเป็น 45° แทนข้อมูล 00 , ตำแหน่งที่มีค่าเฟสเป็น 135 องศา แทนข้อมูลตำแหน่ง 225 องศาแทนข้อมูล 11 และตำแหน่ง 315 องศา แทนข้อมูล 01 ดังนั้นเป็นต้น จากการแทนค่าความหมายอันนี้ก็ได้มีการกำหนดไว้เป็นมาตรฐานให้ใช้ร่วมกันในหลายๆ มาตรฐาน เช่น Bell 201 B/C และ CCITT V.22 โดยมาตรฐานเหล่านี้ได้กำหนดตำแหน่งเฟสที่สัมพันธ์กับความหมายที่ใช้แทนข้อมูลที่ได้แสดงได้ดังรูปที่ 7.6 ที่เรียกว่า Constellation Pattern

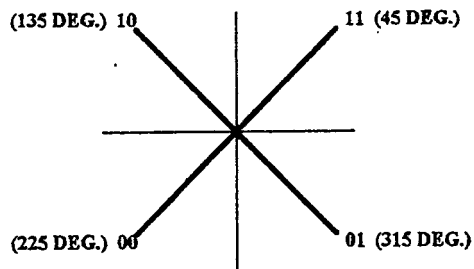


รูปที่ 7.6 แสดงถึง Constellation Pattern ของสัญญาณ QPSK ในมาตรฐานต่างๆ

หมายเหตุ จากเลขไบนารี 2 บิต ที่แสดงใน Constellation Pattern นั้นจะแทนตัวหน้าเป็น LSB และแทนตัวหลังเป็น MSB และถ้าคิดเทียบกับแกนเวลาแล้วตัวที่เป็น LSB จะเป็นตัวที่เดินทางนำหน้าตัวที่แทน MSB

แต่สำหรับในโครงการที่กำลังทำขึ้นจะมี Constellation Pattern ดังนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Constellation Pattern

ที่ใช้ในโครงการนี้

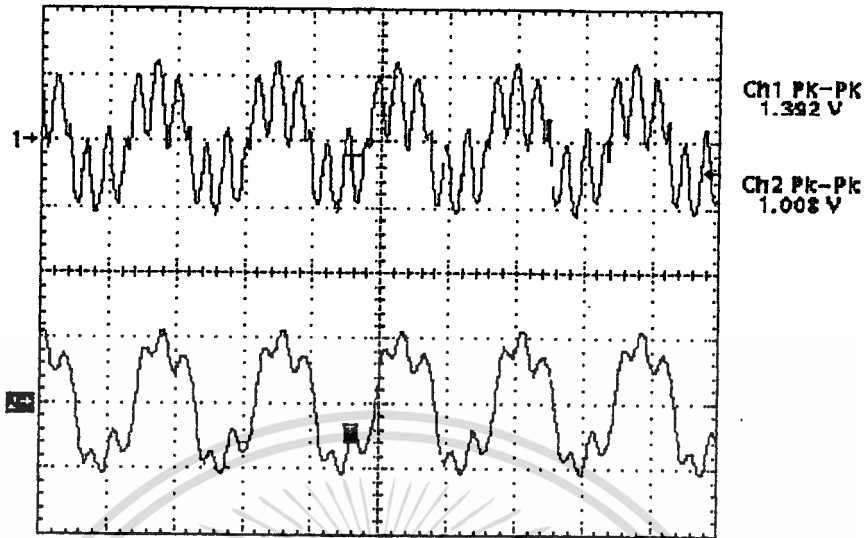
รูปที่ 7.7 แสดง Constellation Pattern ของสัญญาณ QPSK ที่ใช้ในการทำโครงการนี้

ซึ่งจะเห็นได้ว่าคล้ายกับ Constellation Pattern ของมาตรฐาน Bell 201 B/C มาก ทั้งเราสามารถเปลี่ยนไปให้เข้ากับมาตรฐาน Bell 200 B/C ได้โดยการสลับสัญญาณพาหะที่ป้อนให้กับช่อง I และช่อง Q ในการมอดูเลชัน จากที่โครงการนี้ให้ $\sin\omega_c t$ กับช่อง I และ $\cos\omega_c t$ กับช่อง Q เมื่อสลับจากนี้เราก็จะได้สัญญาณ QPSK ที่มี Constellation Pattern ที่เหมือนกันกับมาตรฐาน Bell 201 B/C ซึ่งเหตุผลที่ทางผู้จัดทำใช้การกำหนดตามข้างต้นก็เพื่อให้ง่ายในการคิดคำนวณสัญญาณต่างๆ ในขั้นตอนของการทดลองออกแบบนั่นเอง

7.2 ภาค Demodulator

7.2.1 สัญญาณเอาต์พุตที่ได้จากวงจรบาลานซ์มอดูเลเตอร์ที่จะนำไปผ่านวงจร LPF นั้นทำให้เกิดปัญหาหลายประการด้วยกัน สาเหตุอันเนื่องมาจากว่าสัญญาณดังกล่าวหากเมื่อเรานำมาผ่านวงจร LPF : Second Order ที่มีความถี่ Cut Off เป็น 1,000 Hz ที่ออกแบบจากสมการคุณสมบัติแบบ Butter worth แล้วจะทำให้ได้สัญญาณออกมาดังแสดงรูปที่ 7.8

จากรูปที่ 7.8 อันที่จริงแล้วสัญญาณมีการสั่นในแนวแกนของเวลา ซึ่งสัญญาณนี้จะต้องถูกส่งต่อไปเข้าวงจร Window Comparator เพื่อแปลงสัญญาณให้เป็นสัญญาณดิจิทัล ก็ทำให้สัญญาณที่ได้สั่นอีกเช่นกัน ซึ่งปัญหาการสั่นของสัญญาณในลักษณะนี้ทำให้เกิดผลต่างๆ ดังต่อไปนี้คือ



รูปที่ 6.8 แสดงสัญญาณที่ได้จากวงจรบาลานซ์มอดูเลเตอร์ก่อนและหลังผ่านวงจร

LPF : Second Order , $f_c = 1,000$ Hz แบบ Butter Worth

7.2.1.1 ทำให่วงจรที่ทำงานเพื่อฟื้นกลับสัญญาณนาฬิกา (Clock Recovery)

ทำงานแล้วได้สัญญาณนาฬิกาที่มีการสั้น ซึ่งสัญญาณนาฬิกานี้มีความสำคัญในการที่จะใช้เป็นสัญญาณไทมิง (Timing) ในการเลื่อนข้อมูลออกไปใช้งานต่อไป แต่ทว่าปัญหาดังกล่าวนี้อาจจะทำให้การนับจำนวนของสัญญาณนาฬิกาต่อหน่วยเวลาเกิดความผิดพลาด ทำให้การทำงานในส่วนอื่นๆ ที่ตามมาผิดพลาดไปด้วย

7.2.1.2 ผลจากปัญหาในข้อ 1.1 เมื่อนำภาค QPSK Demod ไปเชื่อมต่อ (Interface) เข้ากับเครื่องคอมพิวเตอร์เพื่อให้คอมพิวเตอร์รับข้อมูลเข้าไปจะทำให้อัตราการรับข้อมูลมีความผิดพลาดเกิดขึ้นทำให้ค่าอัตราการส่งผ่านข้อมูลที่ตั้งไว้ 2,400 บิต/วินาที ไม่สามารถกระทำได้อย่างถูกต้อง

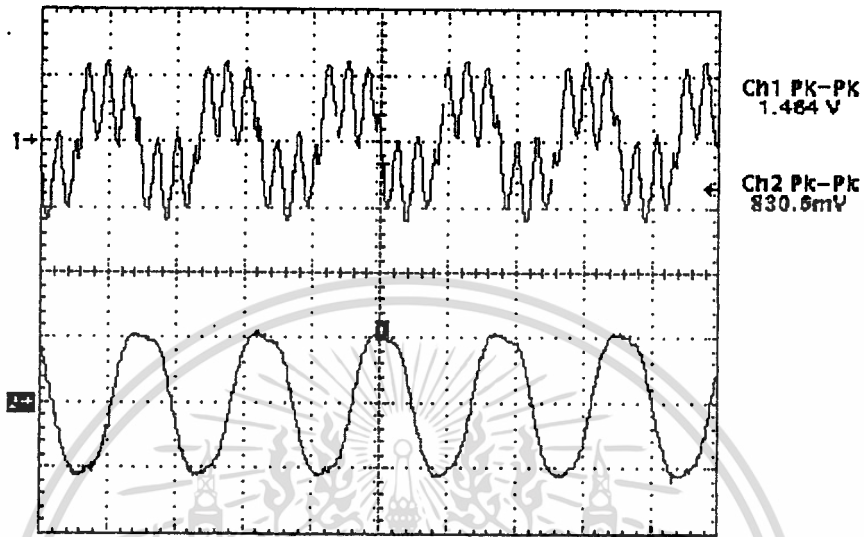
แต่ทว่าถ้าเราส่งข้อมูลในอัตราที่มีค่าน้อยกว่านี้ความถูกต้องของการรับข้อมูลจะมากขึ้น ทั้งนี้อาจเป็นเพราะการสั้นของสัญญาณนาฬิกาดังกล่าวส่งผลน้อยต่อสัญญาณดังกล่าว

จากปัญหาการสั้นในแนวแกนเวลาของสัญญาณดังกล่าวนี้ ทางผู้จัดทำได้ทำการทดลองแก้ไขโดยการใช้วงจร LPF ที่สามารถปรับค่าความถี่ cut off ได้ และเลือกคุณสมบัติทางเฟสและแอมพลิจูดได้อีกว่าจะให้เป็นแบบ Flat Delay หรือ Flat Amplitude โดยชุดวงจร LPF ดังกล่าวได้จากเครื่องกรองความถี่รุ่น 852 เครื่องหมายการค้า WAVETEK ซึ่งเป็นทรัพย์สินของภาคอิเล็กทรอนิกส์ โดยภายในเครื่องดังกล่าวบรรจุวงจร LPF : Forth Order เอาไว้ แต่ทว่าก็ไม่สามารถ

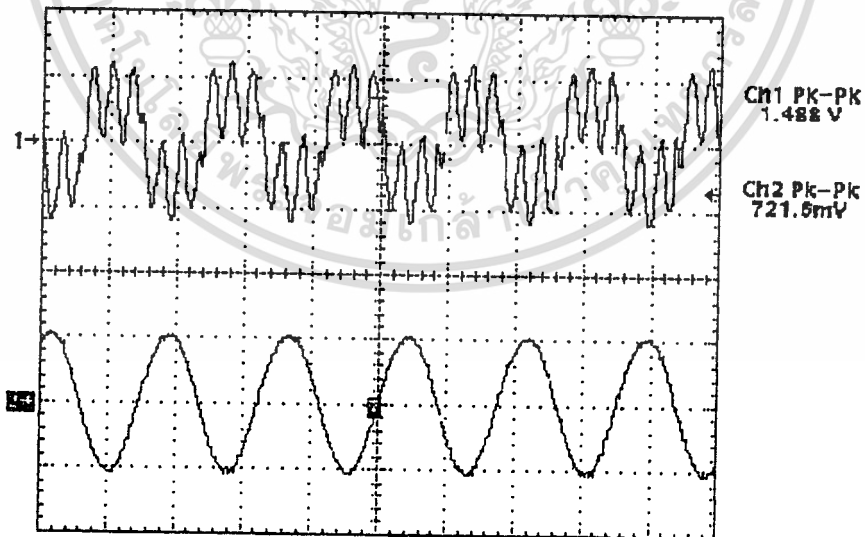
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำให้สัญญาณดังกล่าวหยุดสั้นได้ แต่ก็ทำให้รูปสัญญาณที่ได้สวยงามขึ้น เมื่อเทียบกับการกรองความถี่ โดยใช้อุปกรณ์ที่ทางผู้จัดทำออกแบบเอง ดังแสดงในรูปที่ 7.9



รูปที่ 7.9 แสดงสัญญาณที่ได้จากการกรองความถี่โดยวงจร LPF แบบ Flat Delay , gain = 0 dB และความถี่ cut off 2 KHz



รูปที่ 7.10 แสดงสัญญาณที่ได้จากการกรองความถี่โดยวงจร LPF แบบ Flat Delay , gain = 0 dB และความถี่ cut off = 1.2 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลดังกล่าวนี้ ทำให้เห็นได้ว่าการสั้นของสัญญาณดังกล่าวไม่ได้มีผลเนื่องมาจากคุณสมบัติของวงจร LPF ที่ใช้เสียทั้งหมดทีเดียว แต่สาเหตุที่แท้จริงนั้นน่าจะเนื่องมาจากความไม่เป็นอุดมคติของสัญญาณต่าง ๆ ที่เราสร้างขึ้นและใช้ในขบวนการมอดูเลชัน ในภาค QPSK MOD. รวมถึงสัญญาณที่ใช้ขบวนการดีมอดูเลชันในภาค QPSK Demodulator ด้วยเช่นกัน โดยพอจะสรุปเป็นประเด็นที่สำคัญได้ดังต่อไปนี้คือ

- สัญญาณไซน์ (sine) โคไซน์ (cosine) ที่ใช้ในขบวนการมอดูเลชัน เพื่อกำเนิดสัญญาณ QPSK มีความสัมพันธ์กันทางเฟสไม่เป็น 90° อย่างแท้จริง อันเนื่องมาจากเราใช้วงจรที่ให้เกิดสัญญาณทั้งสองพร้อมกันที่ถือว่าให้เกิดสัญญาณที่มีเฟสต่างกัน 90° แต่ในความเป็นจริงแล้วมีความคลาดเคลื่อนเกิดขึ้น และอีกนัยหนึ่งเราไม่สามารถทำให้สัญญาณทั้งสองมีเฟสต่างกัน 90° จริง ๆ ได้ หรือถ้าจะทำได้อย่างใกล้เคียงที่สุดก็จะต้องใช้วิธีการและวงจรที่ยุ่งยากซับซ้อน ซึ่งประเด็นปัญหาอันนี้ก็รวมไปถึงสัญญาณต่าง ๆ ที่ใช้ในขบวนการดีมอดูเลชันด้วยเช่นกัน

- สัญญาณไซน์ (sine) โคไซน์ (cosine) ที่ใช้แอมพลิฟายด์ผิดเพี้ยนไปจากอุดมคติซึ่งพอจะอธิบายถึงผลกระทบของค่าแอมพลิฟายด์ต่อสัญญาณ QPSK ได้ตามสมการต่อไปนี้คือ

$$\begin{aligned} \text{QPSK} &= \pm \sin \omega_c t \pm \cos \omega_c t \text{ หรือ} \\ &= \pm A \sin \omega_c t \pm B \sin \omega_c t \text{ เมื่อ } A=B \end{aligned}$$

ซึ่งในทางปฏิบัติจริงแล้วค่าแอมพลิฟายด์ของสัญญาณอาจมีค่าต่างกัน แต่เราไม่สามารถสังเกตเห็นได้ เนื่องจากเรานำสัญญาณในส่วนหนึ่งคือ $\pm \sin \omega_c t$ มาจากวงจรบาลานซ์มอดูเลเตอร์ตัวหนึ่ง (หมายถึงช่อง I) และนำเอาสัญญาณ $\pm \cos \omega_c t$ มาจากวงจรบาลานซ์มอดูเลเตอร์ จากอีกตัวหนึ่งคือช่อง Q ซึ่งจุดนี้เองจะเป็นสาเหตุทำให้สัญญาณมีขนาดแอมพลิฟายด์ไม่เท่ากัน เพราะวงจรทั้งสองใช้อุปกรณ์คนละตัวในการทำงานซึ่งเป็นธรรมชาติที่จะให้คุณสมบัติออกมาแตกต่างกันไปบ้าง อีกทั้งการปรับแต่งโดยมนุษย์ก็ไม่สามารถจะแก้ไขปัญหานี้ได้หมดเสียทีเดียว ซึ่งประเด็นปัญหาลักษณะนี้ก็จะมผลกระทบต่อขบวนการดีมอดูเลชันอีกเช่นเดียวกัน เพราะในขบวนการดีมอดูเลชันก็ต้องใช้สัญญาณทั้ง 2 ตัวนี้ด้วยเหมือนกัน

จากสาเหตุที่กล่าวมาทั้งหมดนี้จึงทำให้สัญญาณที่ได้มีการสั้นไปตามแนวแกนของเวลาและไม่สามารถแก้ไขปัญหานั้นให้หมดไปได้ดังกล่าว แต่อาจจะมีทางลดความรุนแรงของปัญหาได้จากการออกแบบวงจรที่มีความใกล้เคียงอุดมคติจริงๆ เท่านั้น

7.2.2 ในเรื่องความผิดพลาดอันเนื่องมาจากการหารความถี่ 4 เท่าที่ทำให้เฟสของสัญญาณพาหะที่ได้จากขบวนการการพ่นกลับสัญญาณพาหะผิดพลาดไปนั้นก็สามารถแก้ไขได้ในระดับหนึ่ง ตามวิธีการและการทำงานของวงจรที่แสดงไว้ในบทที่ 5

7.2.3 สำหรับผลการทดลองส่งข้อมูลในอัตราการส่งต่างๆ กันได้ผลออกมาดังตารางที่ 7.1

อัตราการส่งข้อมูล (บิต/วินาที)	อัตราการผลิตของข้อมูล(ตัวอักษร)	
	เมื่อส่งข้อมูล โดยกคคีย์ค้างไว้	ส่งข้อมูล โดยกคคีย์ทีละตัว
300	100/100	100/100
1,200	98/100	99/100
2,400	97/100	97/100

ตารางที่ 7.1 แสดงอัตราการผลิตของข้อมูลที่ส่งผ่าน
วงจร QPSK MOD/DEMODO ที่ได้จากโครงการนี้

7.3 ภาคทำงานทางด้านดิจิทัล

วงจรที่ทำงานทางด้านสัญญาณดิจิทัล เช่นวงจร Parallel to Serial Converter และวงจร Serial to Parallel Converter นั้นในโครงการนี้จะสร้างโดยใช้ Gate แบบแยกเป็น
ตัวๆ เพื่อศึกษาการทำงานอันเป็นเหตุให้ดูเหมือนสิ้นเปลืองมากกว่าการใช้วงจรรวมที่บรรจบวงจรที่
ทำหน้าที่เหล่านี้เอาไว้โดยตรงเช่น วงจรรวมจำพวก shift register แบบต่างๆ

นอกจากนี้ก็ยังมีการแก้ไขเปลี่ยนแปลงไปจากวงจรที่ได้ออกแบบเมื่อภาคการ
ศึกษาที่แล้ว เพื่อให้วงจรทำงานได้ดีขึ้น

7.4 ข้อเสนอแนะ

7.4.1 วงจร LPF ที่ใช้ในการกรองความถี่ในภาค QPSK Demodulator ควรใช้สม
การคุณสมบัติในการออกแบบที่ให้ผลลัพธ์ออกมาเป็นวงจรที่ทำงานในลักษณะเป็น Flat delay

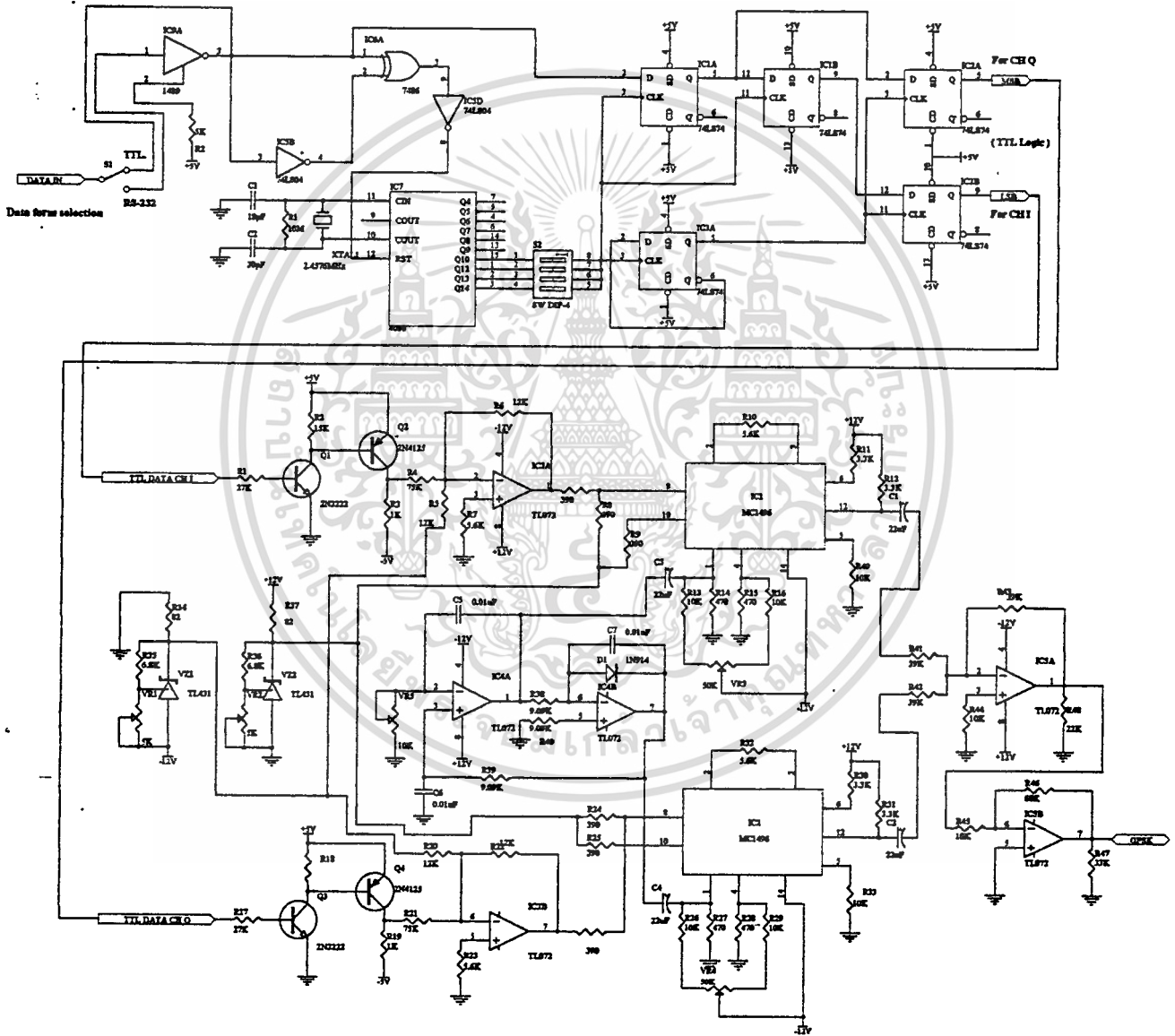
7.4.2 อุปกรณ์ที่ใช้กับวงจรจำพวก Active filter เช่น ออปแอมป์และตัวเก็บประจุ
ควรพิจารณาในเรื่องผลของอุณหภูมิให้มากเพราะบางครั้งทำให้เกิดผลที่เราไม่คาดคิดเช่น ขนาด
ของสัญญาณเปลี่ยนแปลงไม่แน่นอนในแต่ละวัน เป็นต้น

7.4.3 ในวงจรภาคที่มีการทำงานที่ต้องการความเหมือนกัน ควรจะพิจารณาเลือก
ใช้อุปกรณ์ที่มีค่าความคลาดเคลื่อนต่ำ เช่นค่าความต้านทานที่มีค่าผิดพลาด 1% โดยเฉพาะวงจรที่
จะให้ทำงานแบบการเชื่อมต่อโดยตรงกับวงจรส่วนอื่นๆ ซึ่งค่าระดับไฟตรงมีความสำคัญมากนั้น
เอง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

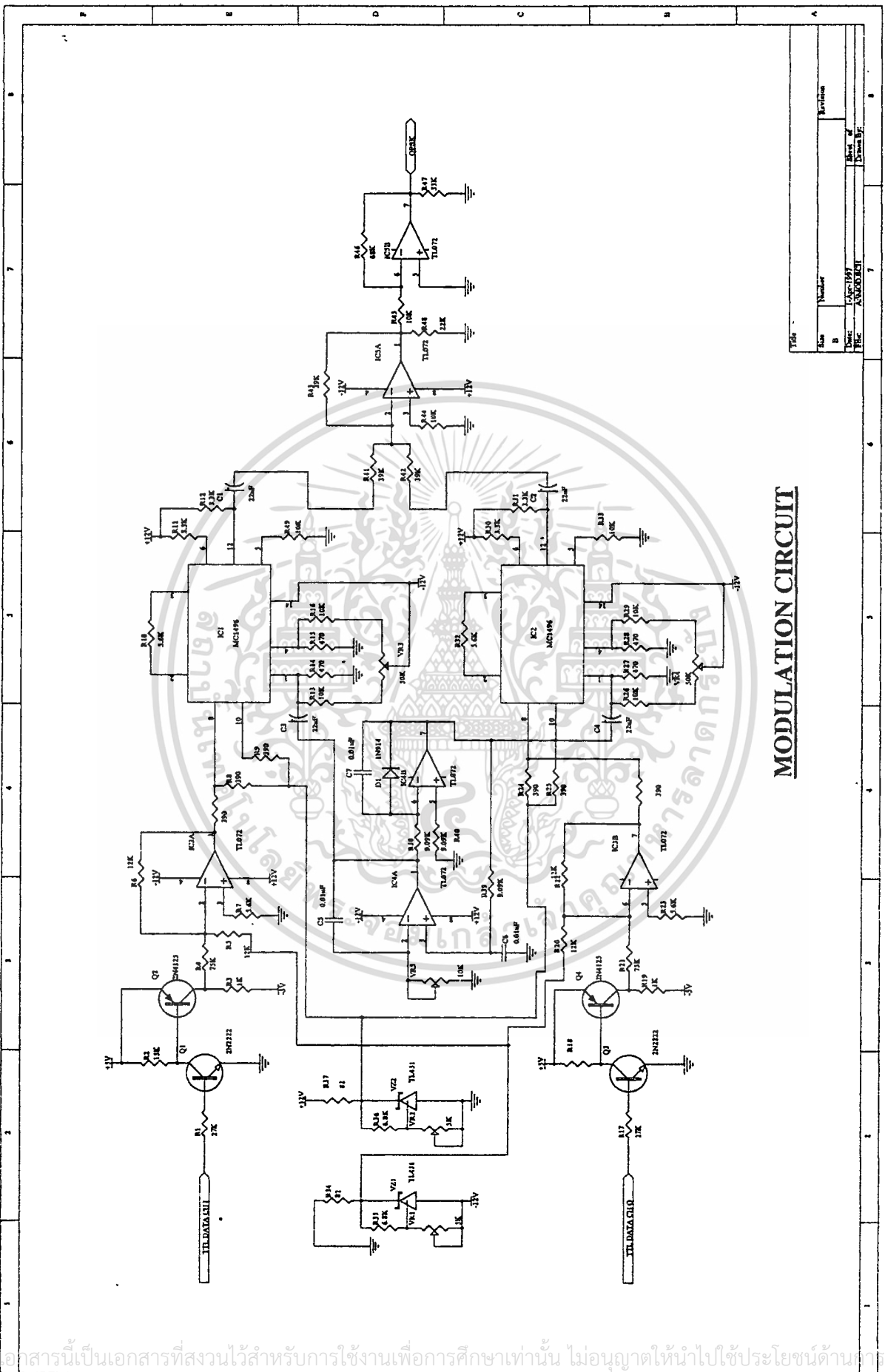
SERIAL TO PARALLEL CIRCUT



MODULATION CIRCUT

วงจรภาคมอดูเลเตอร์ที่ใช้งานจริง

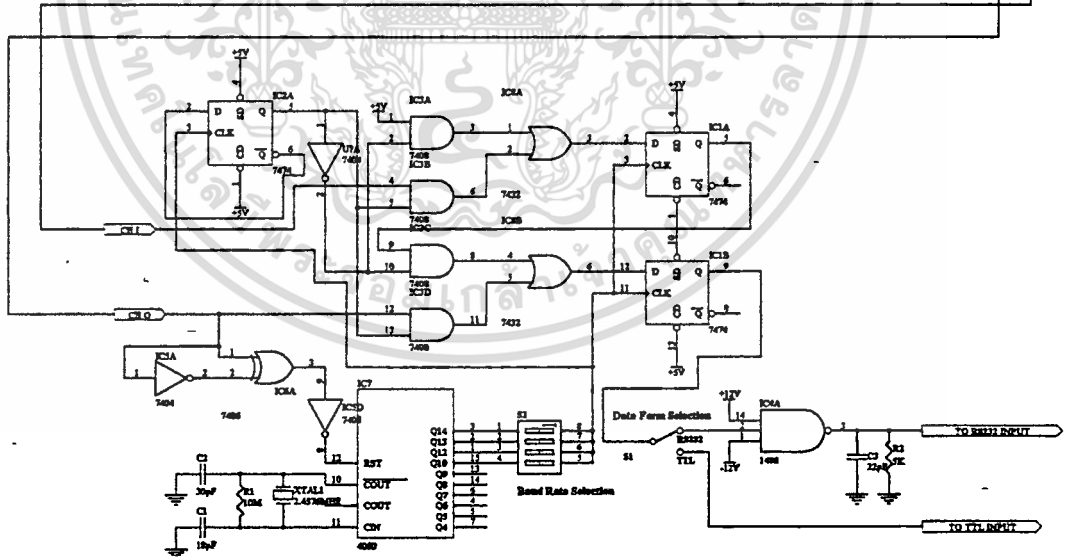
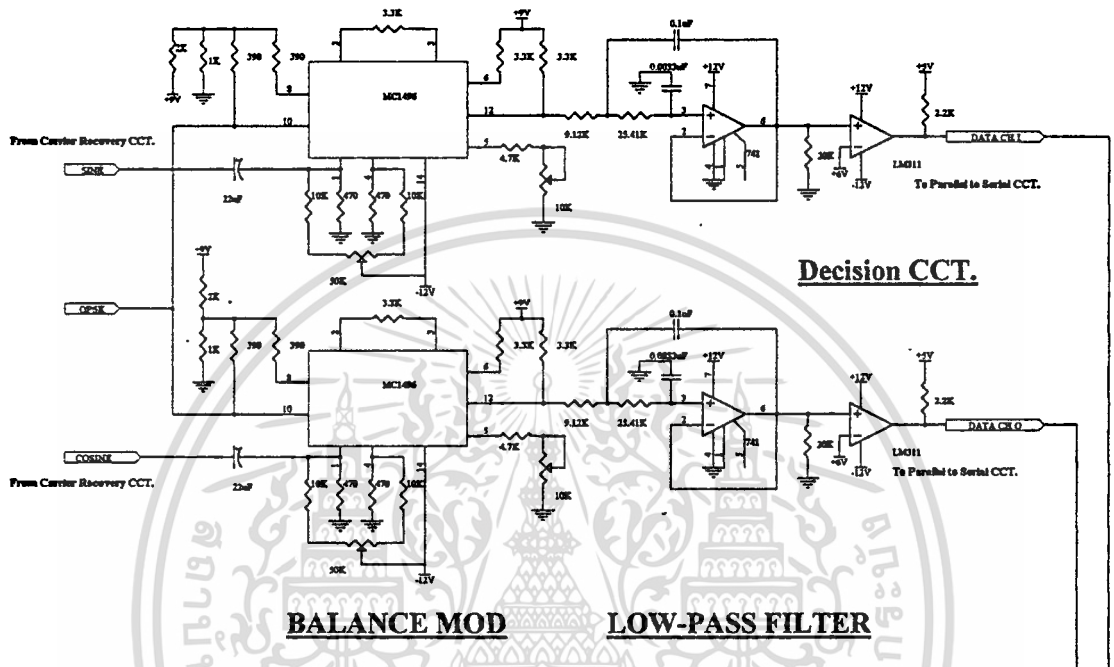
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



MODULATION CIRCUIT

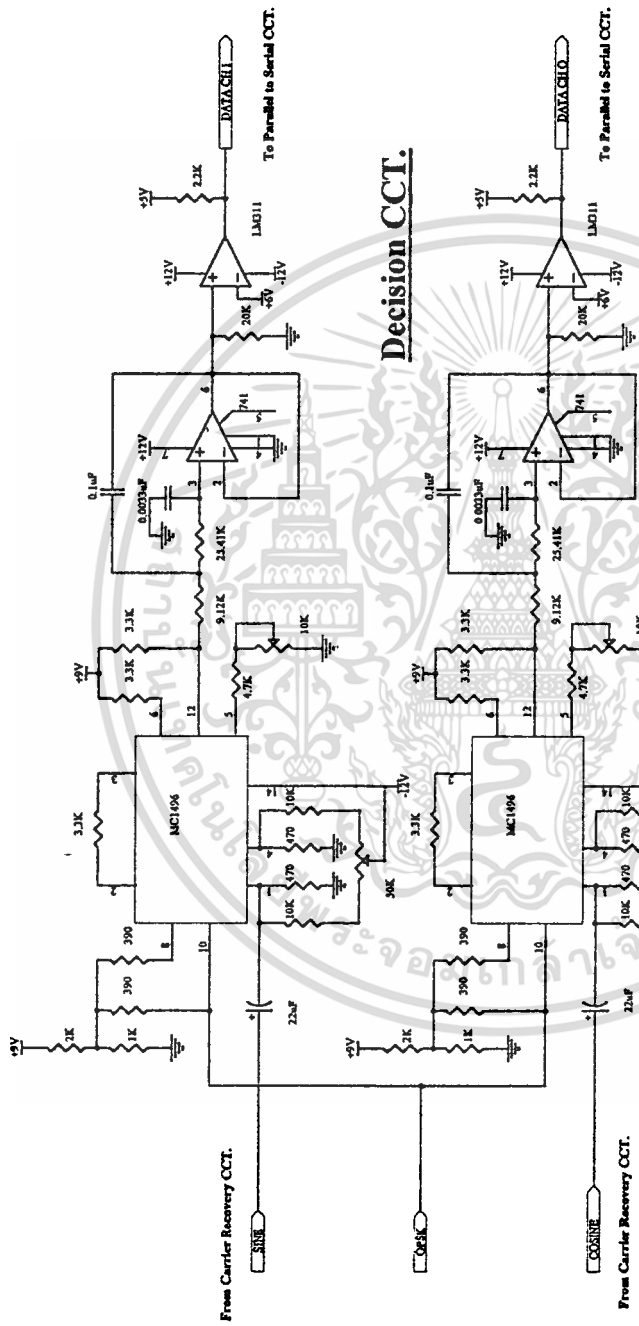
Title		Revision	
File	Number		
B	B		
Date	App. By	Check of	Drawn By
DEC 1997	ANUSOJCH		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านธุรกิจ
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุดัดแปลงเนื้อหา และต้องย้ องคงเง ไขของเอกสารไว้ทุกครั้งที่มีการแก้ไข



B.M.*+LPF.+DECISION+PARALLEL TO SERIAL

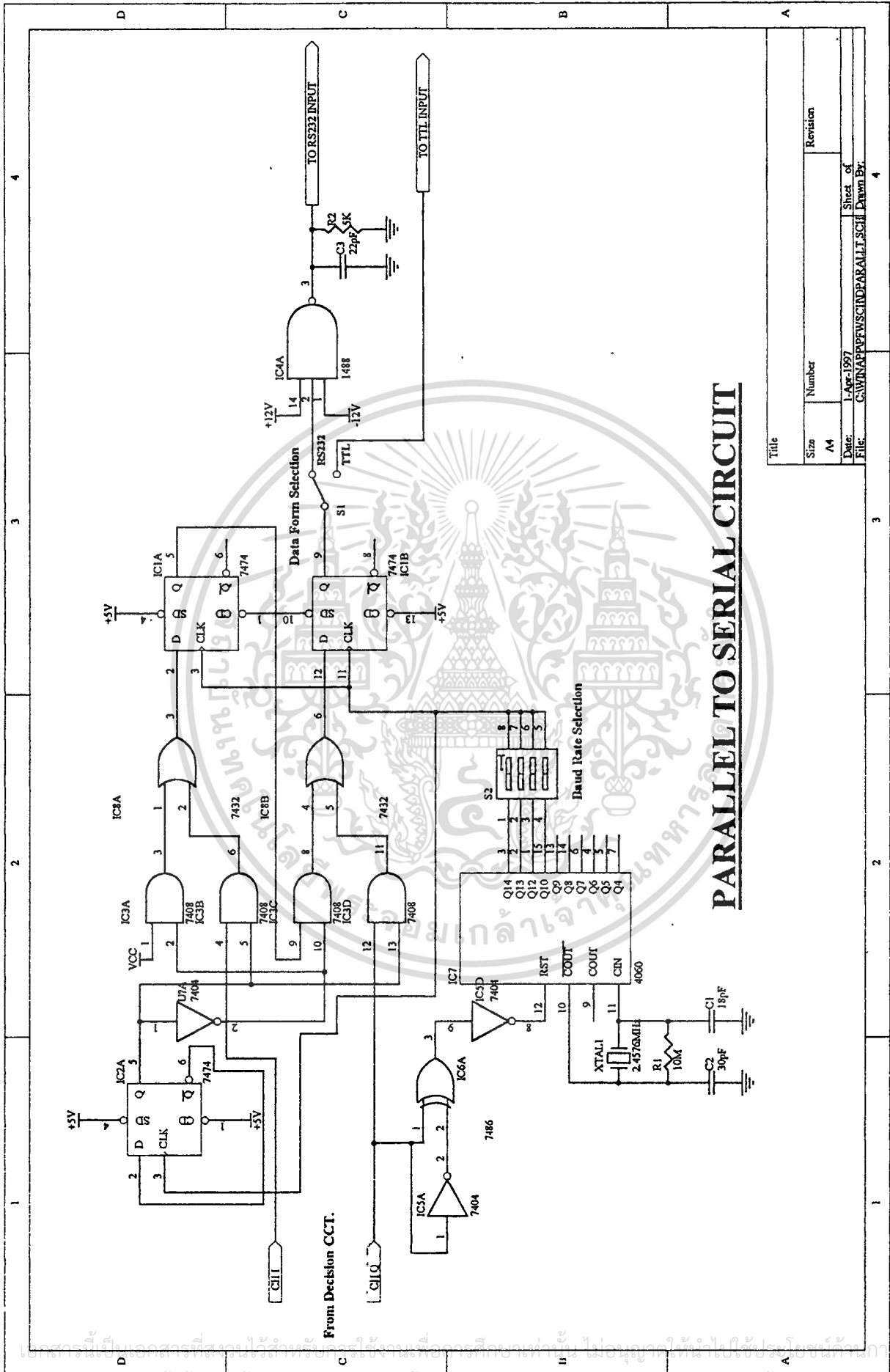
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Decision C.T.

BALANCE MOD LOW-PASS FILTER

Title	Sheet	Number	Revision
	B		
Date	1-Mar-1997		
File	A308ALAK00W.KCH		
Sheet of	7		
Pages for			

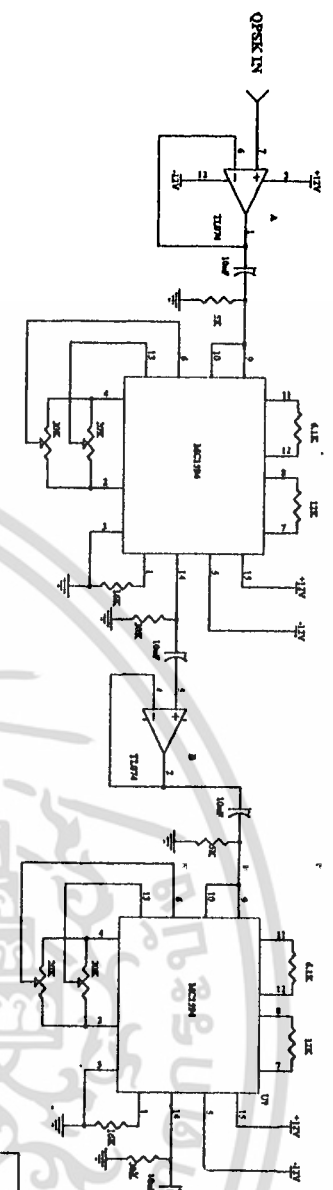


PARALLEL TO SERIAL CIRCUIT

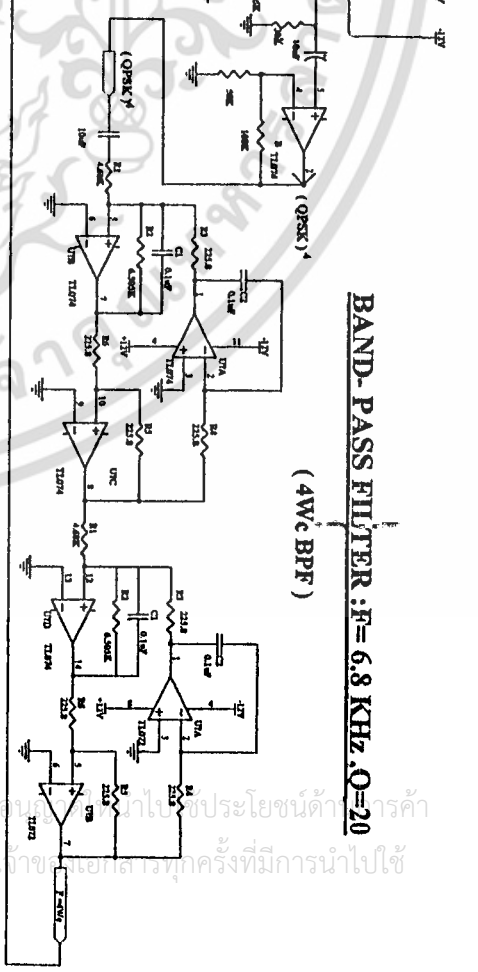
Title	
Size	Number
A4	
Date:	Sheet of
FILE:	Drawn By:

1 2 3 4

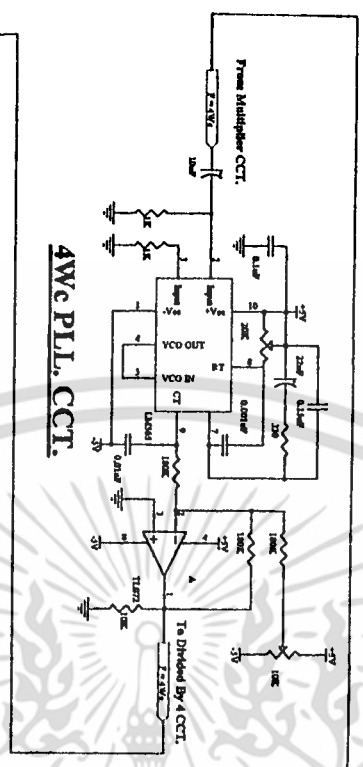
1 2 3 4



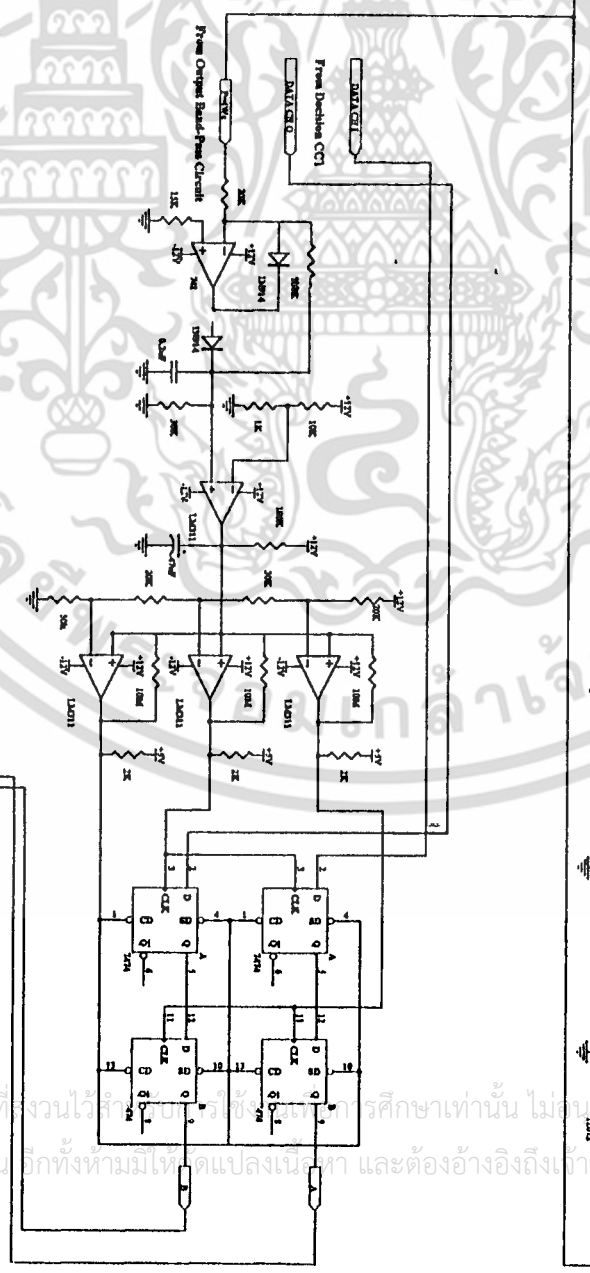
MULTIPLIER CIRCUIT (QPSK)²



BAND-PASS FILTER: F=6.8 KHz, O=20 (4Wc BPF)

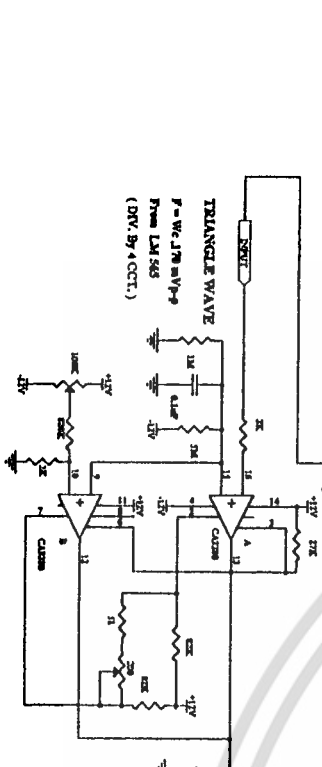


4Wc PLL CCT.

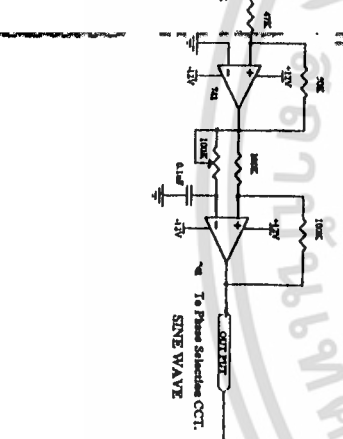


PHASE CORRECT CODE CIRCUIT

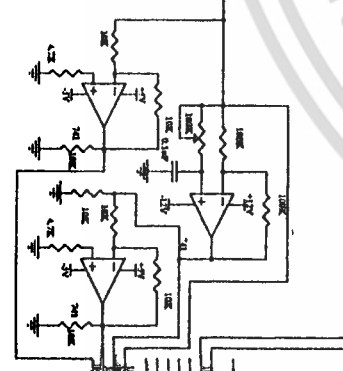
Divided By 4Wc CCT.



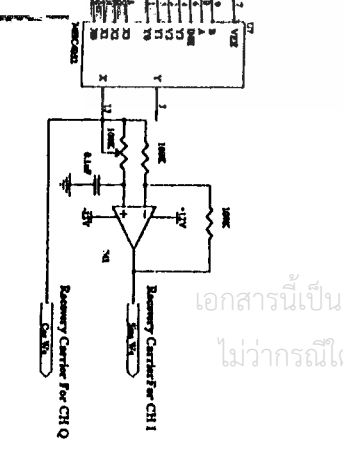
TRIANGULAR TO SINE CCT.



SINE WAVE



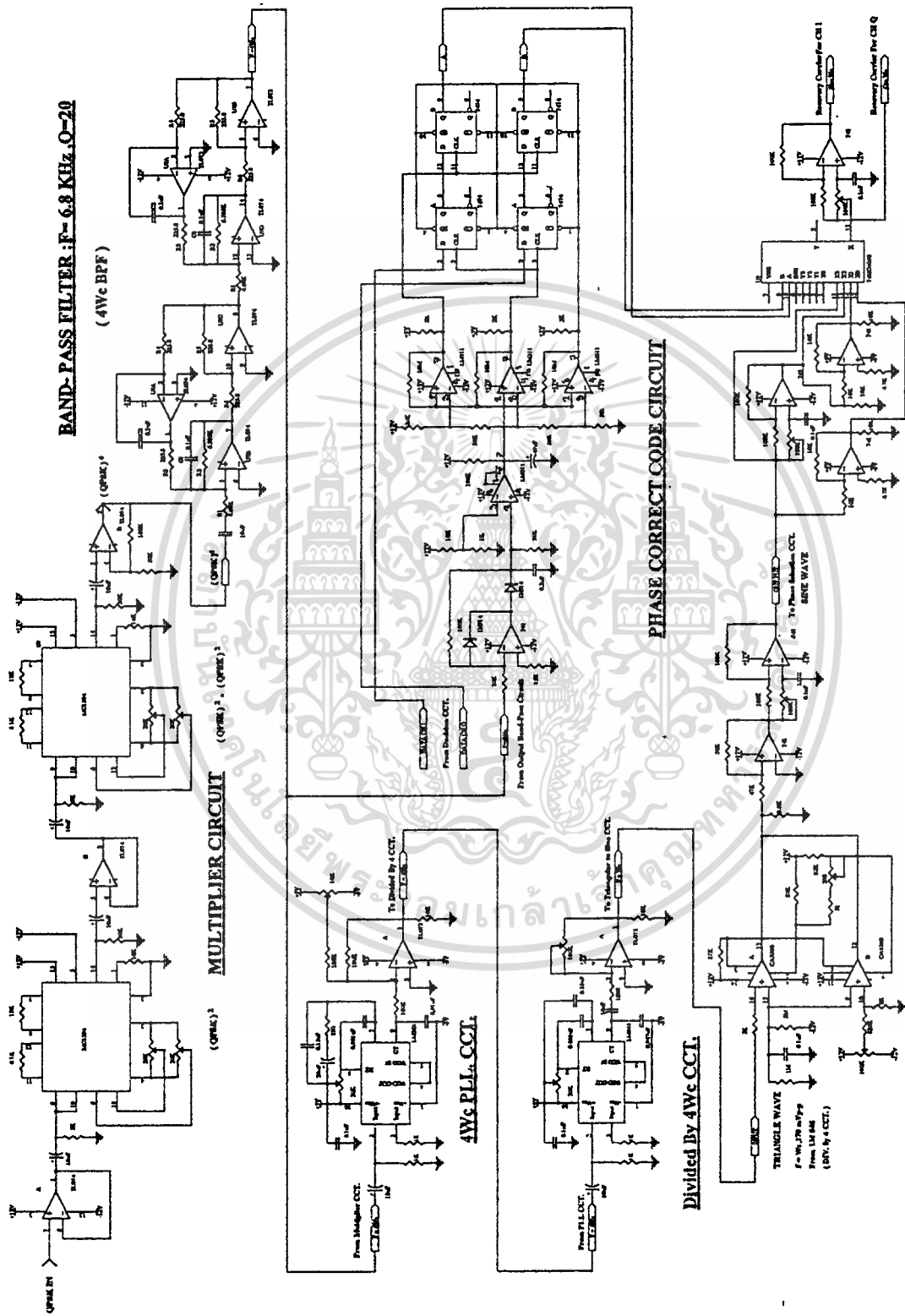
PHASE SELECTION CCT.



BINARY CARRIER FOR CH 1

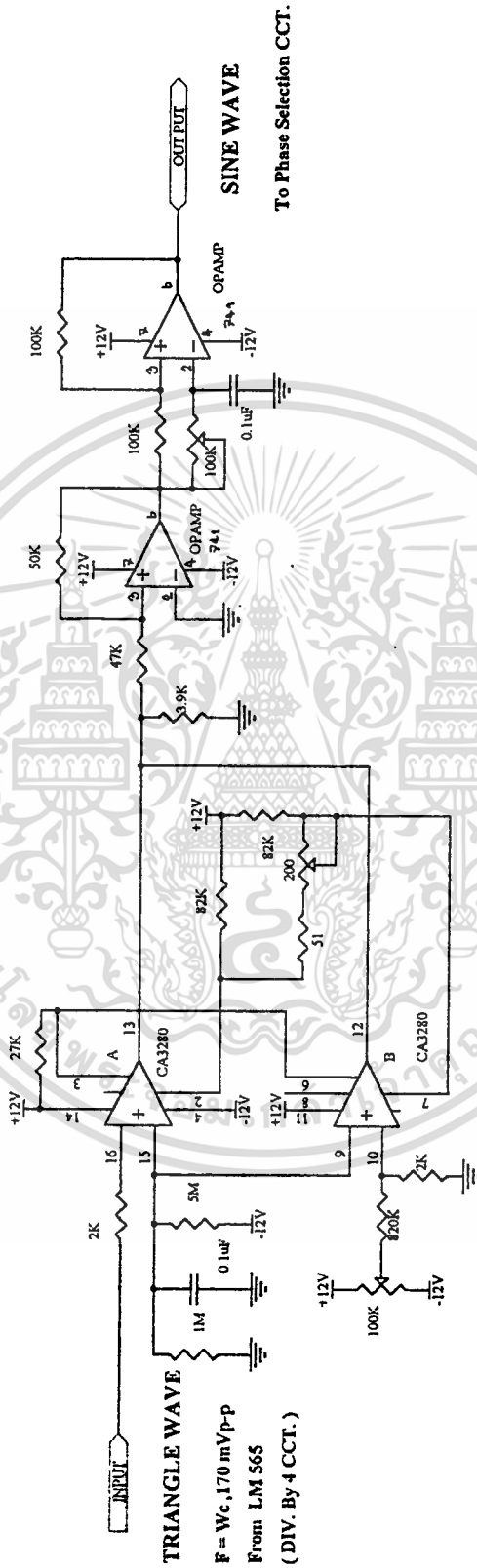
BINARY CARRIER FOR CH 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ขออนุญาต
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรตรวจจับการเลื่อนเฟสแบบยูนิคเวิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title		Revision	
Size	Number		
A4			
Date:	L-Apr-1997	Sheet of	4
File:	C:\WINAPP\FW\SCHEM\NOI1.TSCH	Drawn By:	

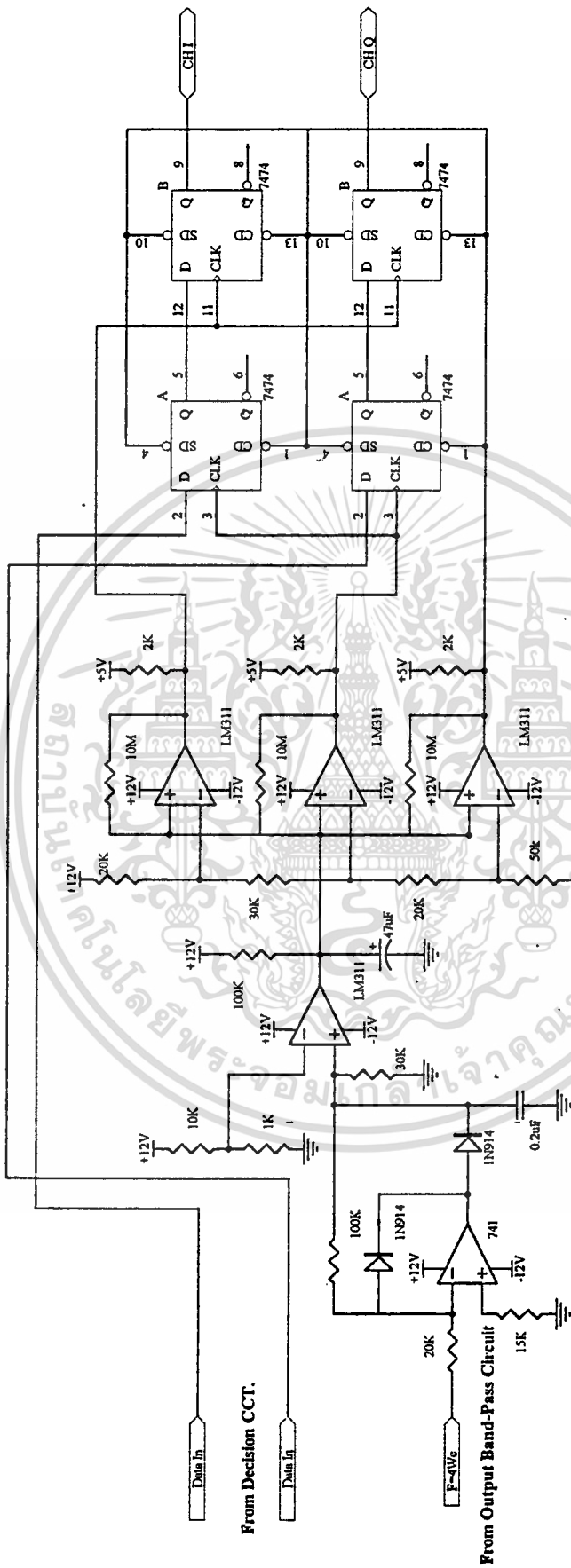
1 2 3 4

D C B A

D C B A

1 2 3 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำใบใช้



PHASE CORRECT CODE CIRCUIT

Title		Revision	
Size	Number		
A4			
Date:	20-Apr-1997	Sheet of	
File:	C:\WINAPP\PPWSC\INDPTIA COR.SCI	Drawn By:	

1 2 3 4

D C B A

From Decision CCT.

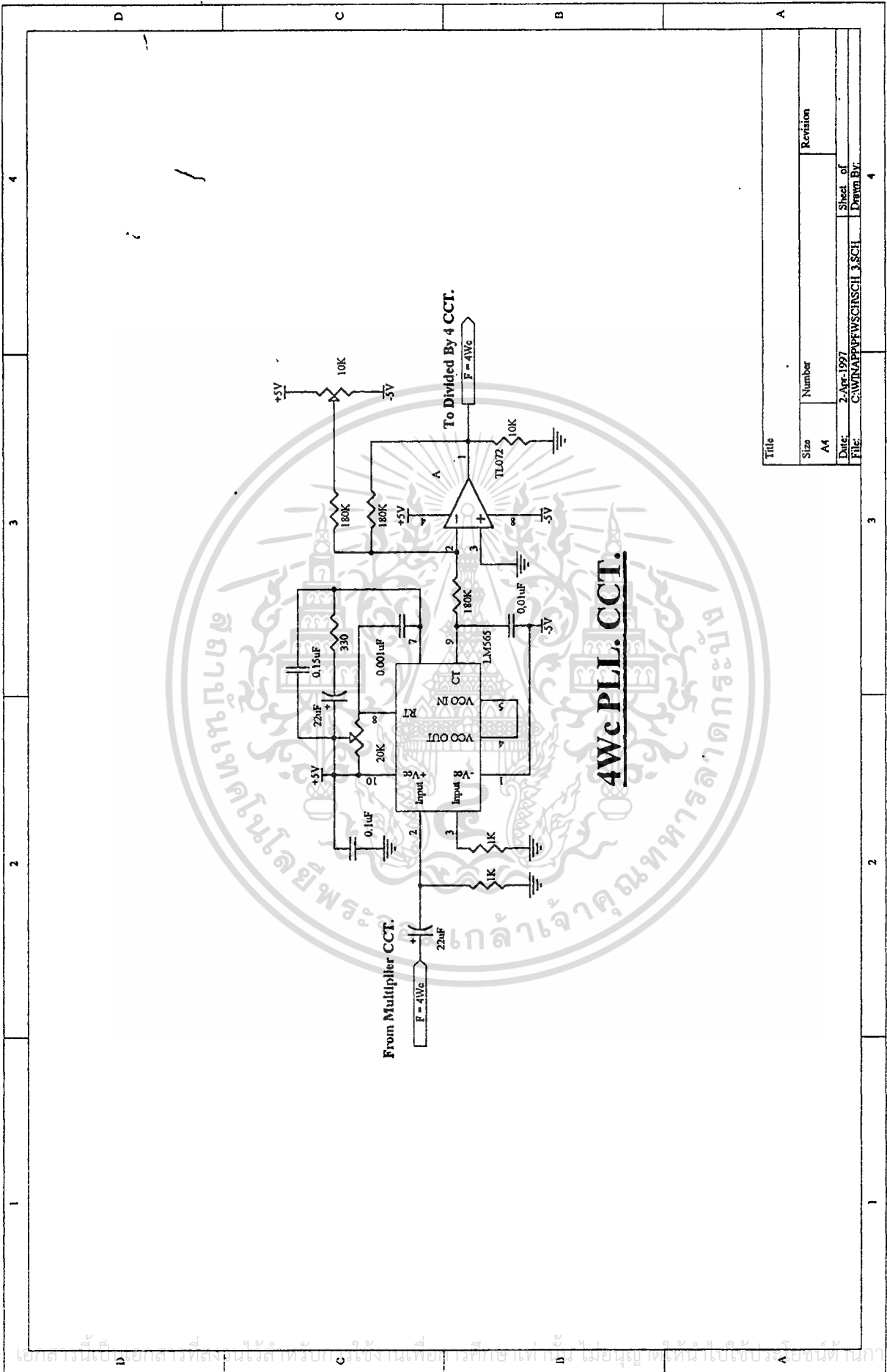
From Output Band-Pass Circuit

CHI

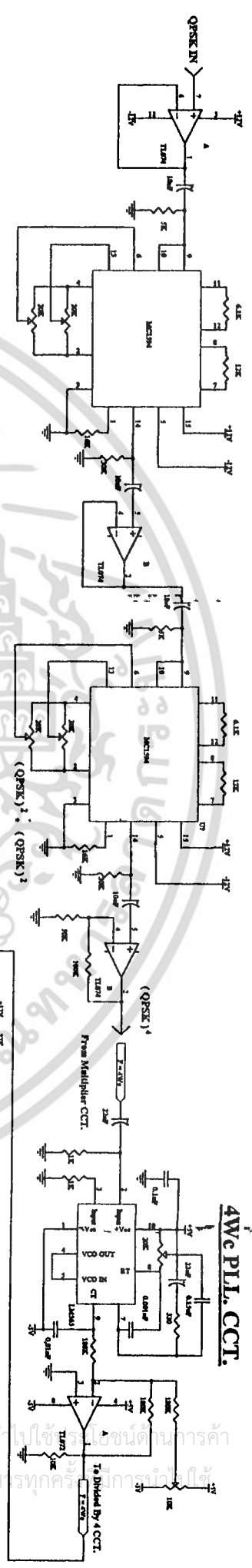
CHQ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ... การใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้... ภายนอกด้านการศึกษา

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title	
Size	Number
A4	
Date:	2-Apr-1997
File:	C:\WINAPP\PPFV\SCH\3.SCH
Sheet of	4
Drawn By:	
Revision	

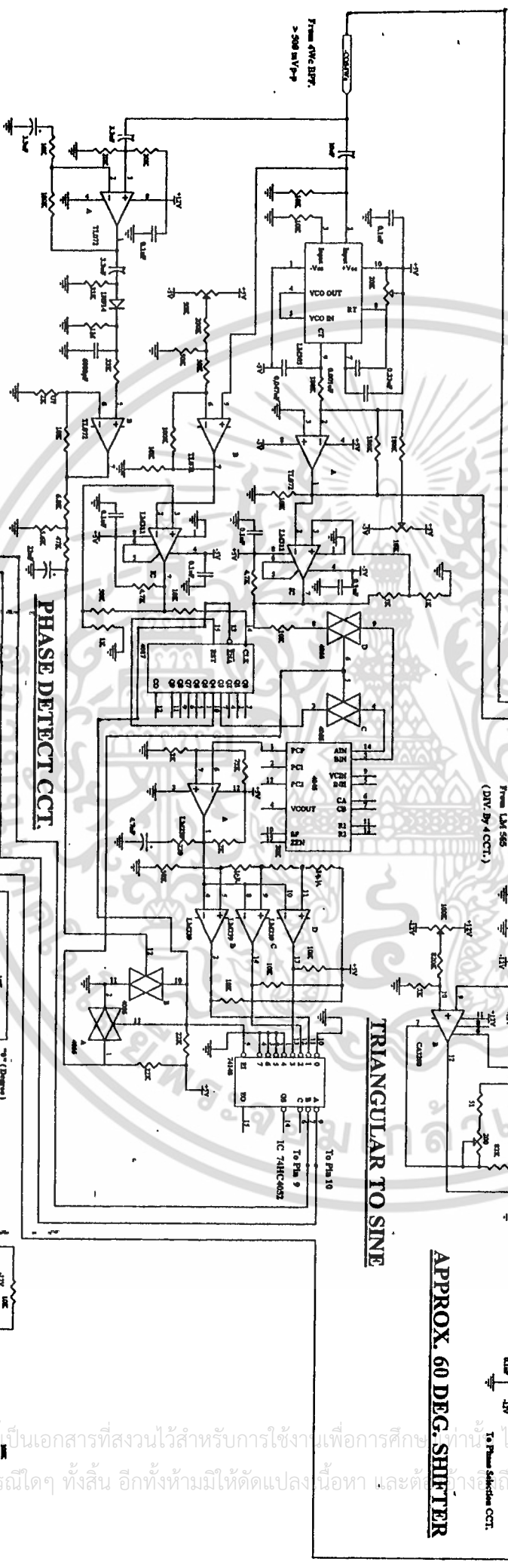


MULTIPLIER CIRCUIT

TRIANGLE WAVE
 $f = 1.779 \text{ MHz}$
 From LM 555
 (DIV. BY 4 CCT.)

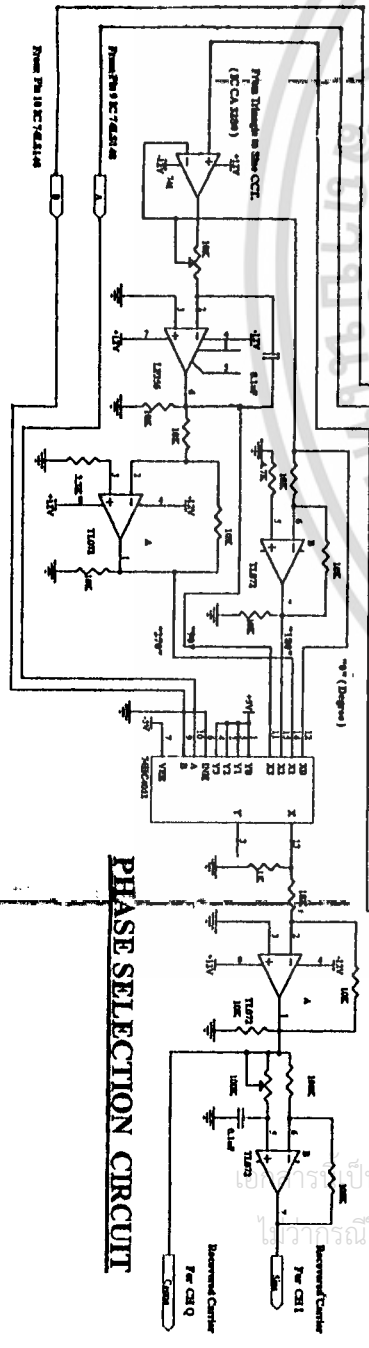
APPROX. 60 DEG. SHIFTER

TRIANGULAR TO SINE

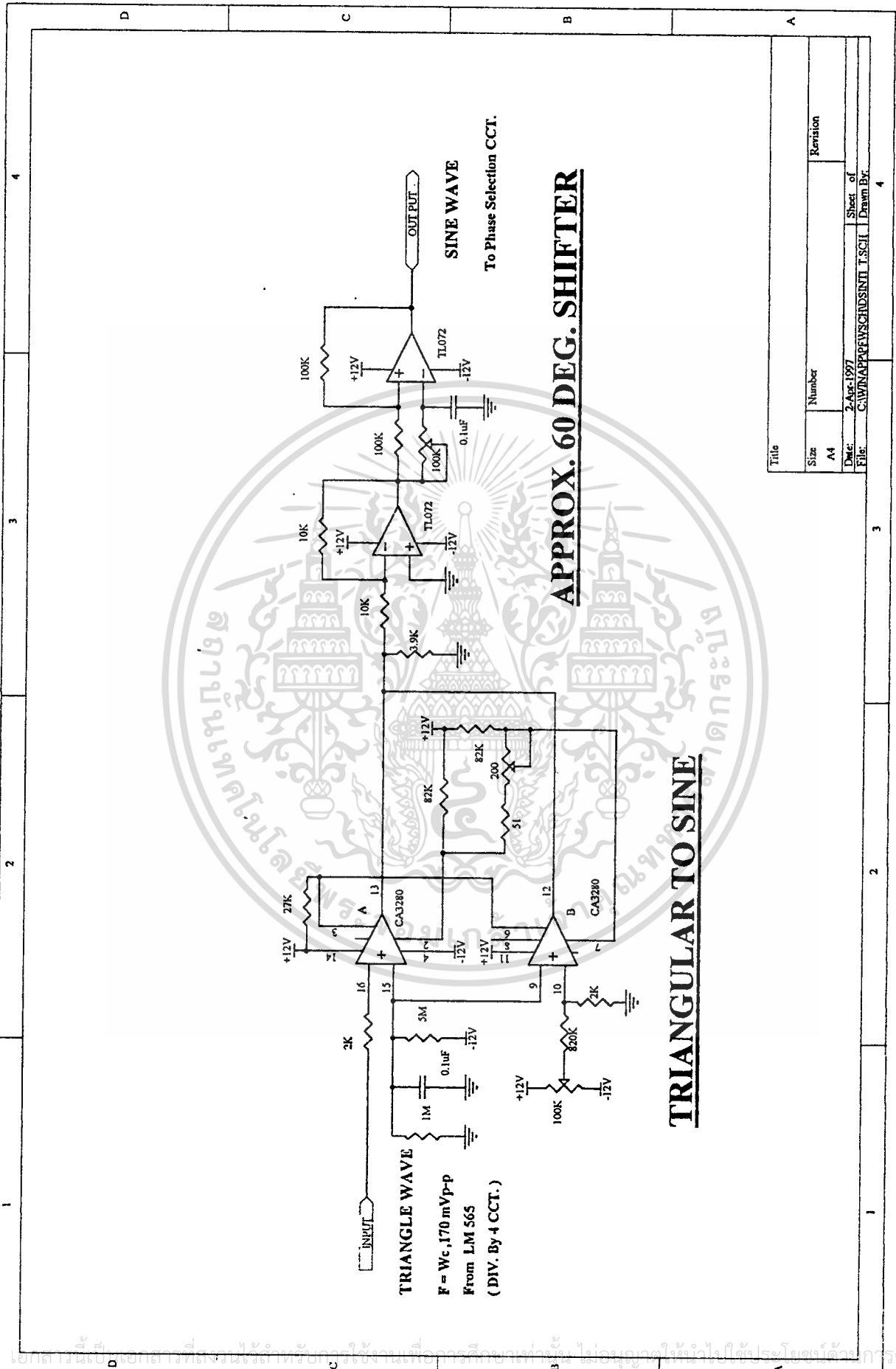


Carrier Detect CCT.

PHASE SELECTOR CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่ควรใช้เพื่อการค้า
 ใดๆอย่างอื่นโดยไม่ได้รับอนุญาตจากเจ้าของเอกสารทุกประการ



TRIANGLE WAVE
F = Wc .170 mVp-p
From LM 565
(DIV. By 4 CCT.)

SINE WAVE

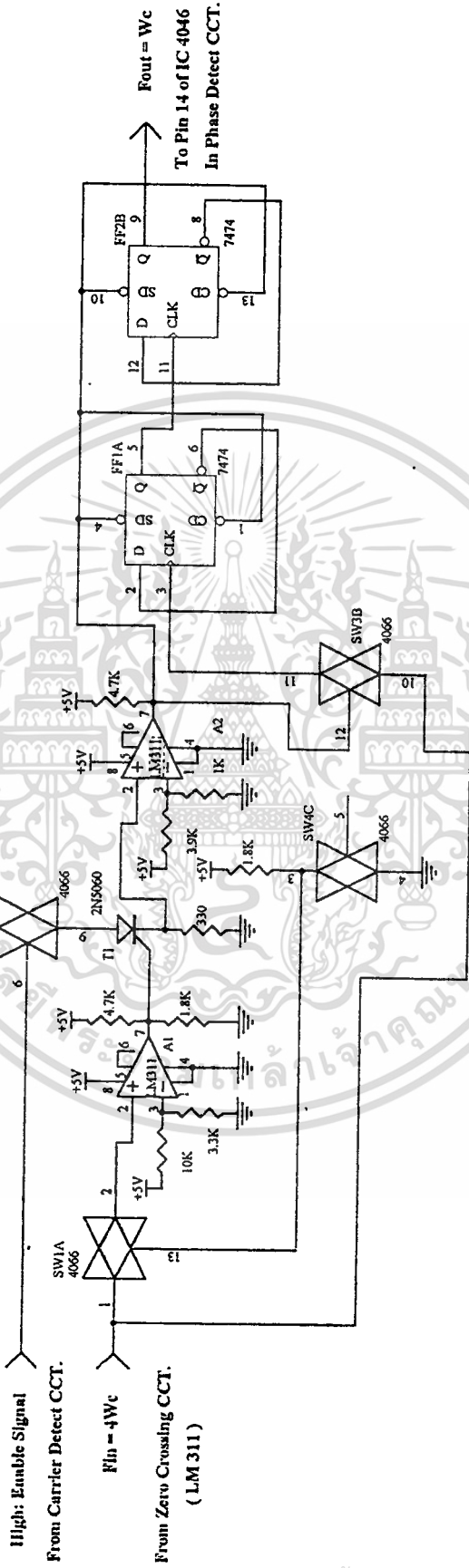
To Phase Selection CCT.

APPROX. 60 DEG. SHIFTER

TRIANGULAR TO SINE

Title	
Size	Number
A4	Revision
Date:	2-Apr-1997
File:	C:\WINAPP\PEV\SCHDSIN1.T.SCH Sheet of Drawn By:

1 2 3 4



DIVIDED BY 4 CCT.

(Replace IC 4017 in Phase Detect CCT.)

Title	
Size	Number
A4	
Date:	Revision
1-Apr-1997	
File:	Sheet of
ASCRFF.SCF	Drawn By
	4

4

3

2

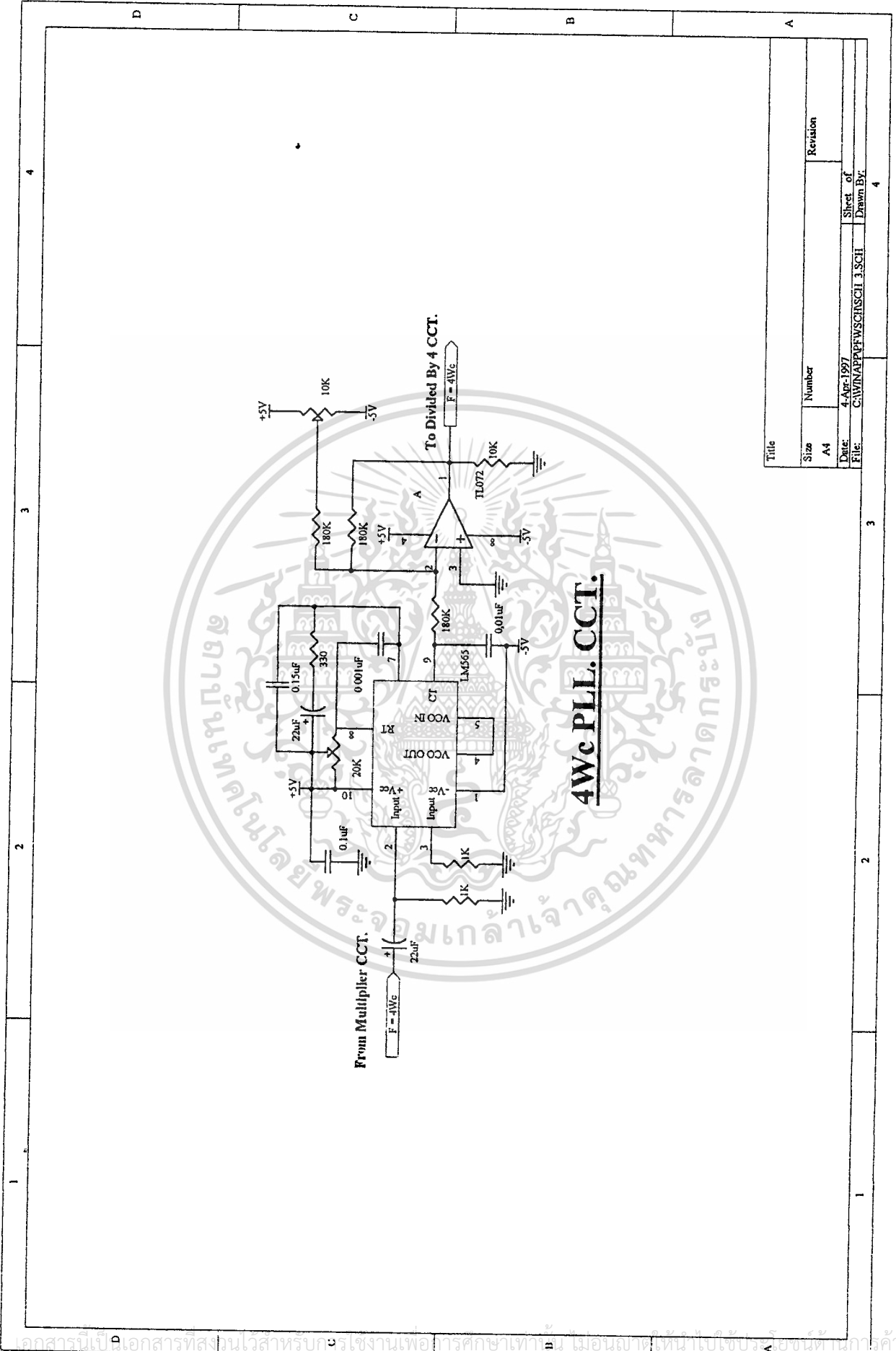
1

4

3

2

1



4Wc PLL. CCT.

Title	
Size	Number
A4	Revision
Date:	4-Apr-1997
File:	C:\WINAPP\FW\SCH\3.SCH
Drawn By:	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เฉพาะงานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ปร...

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
 TECHNICAL DATA

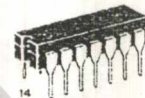
MC1496
MC1596

**BALANCED
 MODULATOR/DEMODULATOR**

BALANCED MODULATOR/ DEMODULATOR

These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression — 65 dB typ @ 0.5 MHz
 — 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection — 85 dB typ



L SUFFIX
 CERAMIC PACKAGE
 CASE 632

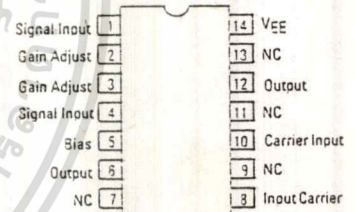


D SUFFIX
 PLASTIC PACKAGE
 CASE 751A
 (SO-14)



P SUFFIX
 PLASTIC PACKAGE
 CASE 646

PIN ASSIGNMENTS



ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596L	-55°C to +125°C	Ceramic DIP

8

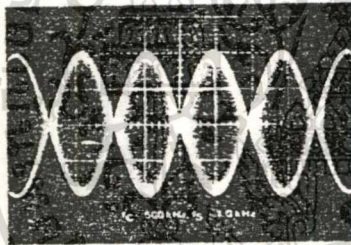


FIGURE 1 —
 SUPPRESSED CARRIER
 OUTPUT WAVEFORM

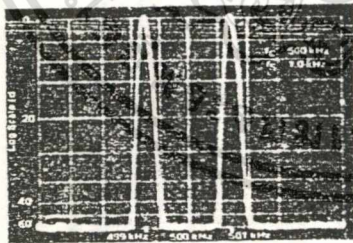


FIGURE 2 —
 SUPPRESSED CARRIER
 SPECTRUM

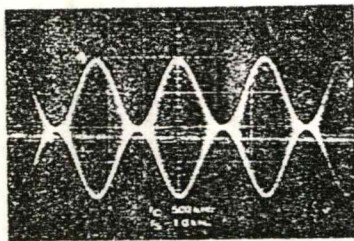
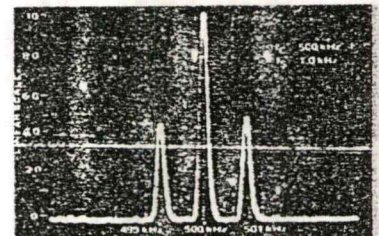


FIGURE 3 —
 AMPLITUDE MODULATION
 OUTPUT WAVEFORM

FIGURE 4 — AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage (V ₈ - V ₈ , V ₁₀ - V ₁ , V ₁₂ - V ₈ ; V ₁₂ - V ₁₀ ; V ₈ - V ₄ , V ₈ - V ₁ , V ₁₀ - V ₄ , V ₆ - V ₁₀ , V ₂ - V ₅ , V ₃ - V ₅)	ΔV	30	Vdc
Differential Input Signal	$\frac{V_8 - V_{10}}{V_4 - V_1}$	+5.0 = (5 + I _S R _{th})	Vcc
Maximum Bias Current	I _S	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	R _{thJA}	100° 100° 160	°C/W
Operating Temperature Range	T _A	0 to +70° -55 to +125	°C
Storage Temperature Range	T _{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = +12 Vdc, V_{EE} = -8.0 Vdc, I_S = 1.0 mA, R_L = 3.9 kΩ, R_{th} = 1.0 kΩ, T_A = +25°C, all input and output characteristics are single-ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596			MC1496			Unit
				Min.	Typ.	Max.	Min.	Typ.	Max.	
Carrier Feedthrough V _C = 60 mV(rms) sine wave and offset adjusted to zero V _C = 300 mVp-p square wave; offset adjusted to zero; offset not adjusted	5	1	V _{CFT}	—	40°	—	—	40°	—	μV(rms)
I _C = 1.0 kHz I _C = 10 MHz				—	140	—	140	—	—	
Carrier Suppression I _S = 10 kHz, 300 mV(rms); I _C = 500 kHz, 60 mV(rms) sine wave I _C = 10 MHz, 60 mV(rms) sine wave	5	2	V _{CS}	—	65°	—	40°	65°	—	dB
I _C = 1.0 kHz I _C = 1.0 kHz				—	50	—	50°	—	—	
Transmittance Bandwidth (Magnitude) (R _L = 50 ohms) Carrier Input Port, V _C = 60 mV(rms) sine wave I _S = 1.0 kHz, 300 mV(rms) sine wave Signal Input Port, V _S = 300 mV(rms) sine wave V _C = 0.5 Vdc	8	8	BW _{3dB}	—	300	—	—	300	—	MHz
I _C = 1.0 kHz				—	80	—	80	—	—	
Signal Gain V _S = 100 mV(rms), f = 1.0 kHz; V _C = 0.5 Vdc	10	3	A _{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance Parallel Input Capacitance	6	—	R _{ip} C _{ip}	—	200	—	—	200	—	kΩ/ pF
Single-Ended Output Impedance, f = 10 MHz Parallel Output Resistance Parallel Output Capacitance				—	2.0	—	—	2.0	—	—
Input Bias Current I _{bS} = $\frac{I_1 + I_4}{2}$; I _{bC} = $\frac{I_8 + I_{10}}{2}$	7	—	I _{bS} I _{bC}	—	12	25	—	12	30	μA
Input Offset Current I _{ioS} = I ₁ - I ₄ ; I _{ioC} = I ₈ - I ₁₀				—	12	25	—	12	30	—
Average Temperature Coefficient of Input Offset Current (T _A = -55°C to +125°C)	7	—	TC _{io}	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current (I _o - I _g)	7	—	I _{ool}	—	14	50°	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T _A = -55°C to +125°C)	7	—	TC _{ool}	—	90°	—	—	90°	—	nA/°C
Common-Mode Input Swing, Signal Port, I _S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, I _S = 1.0 kHz, V _C = 0.5 Vdc	9	—	ACM	—	-85	—	—	-85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9):	10	—	V _{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V _{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current I _g + I ₁₂ I ₁₄	7	6	I _{CC} I _{EE}	—	2.0	3.0	—	2.0	4.0	mA
I _g + I ₁₄				—	3.0	4.0	—	3.0	5.0	
DC Power Dissipation	7	5	P _D	—	33	—	—	33	—	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R₁ of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain:

$$A_{VS} = \frac{V_O}{V_S} = \frac{R_1}{R_e + 2r_e} \quad \text{where } r_e = \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I₅.

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming V₁₂ = V₆, I₅ = I₆ = I₁₂ and ignoring base current, P_D = 2 I₅ (V₆ - V₁₄) + I₅ (V₅ - V₁₄) where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_{12}$$

$$I_B < I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V - \phi}{I_5} - 500 \Omega \quad \text{where: } R_5 \text{ is the resistor between pin 5 and ground}$$

$$\phi = 0.75 \text{ V at } T_A = +25^\circ\text{C}$$

The MC1596 has been characterized for the condition I₅ = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_{12} = V^+ - I_5 R_L$$

Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table:

$$30 \text{ Vdc} \geq [(V_6, V_{12}) - (V_8, V_{10})] \geq 2 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_8, V_{10}) - (V_1, V_4)] \geq 2.7 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7 \text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_{12}, V_8 = V_{10}, V_1 = V_4$$

Bias currents flowing into pins 1, 4, 8, and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$721C = \frac{i_o \text{ (each sideband)}}{v_s \text{ (signal)}} \Big|_{V_O = 0}$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$721S = \frac{i_o \text{ (signal)}}{v_s \text{ (signal)}} \Big|_{V_C = 0.5 \text{ Vdc}, V_O = 0}$$

MC1496, MC1596

Coupling and Bypass Capacitors

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0Ω at the carrier frequency.

Output Signal

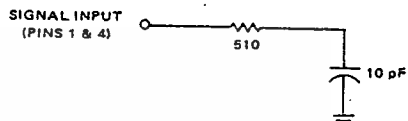
The output signal is taken from Pins 6 and 12 either balanced or single-ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a $1.0 \text{ k}\Omega$ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 - CARRIER REJECTION AND SUPPRESSION

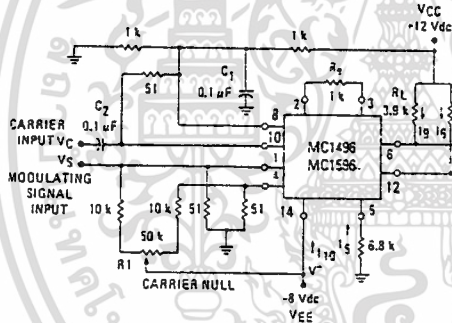
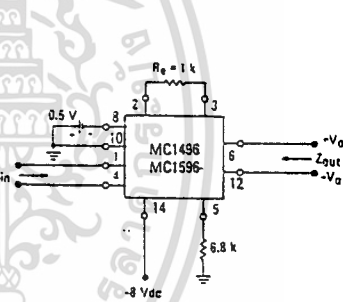


FIGURE 6 - INPUT-OUTPUT IMPEDANCE



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 7 - BIAS AND OFFSET CURRENTS

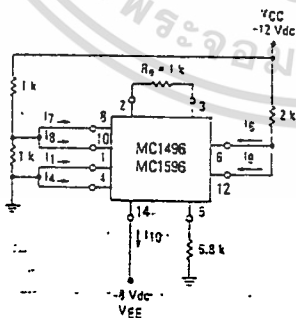
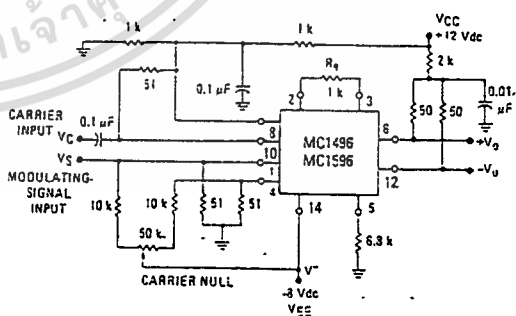


FIGURE 8 - TRANSCONDUCTANCE BANDWIDTH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1596

FIGURE 9 - COMMON MODE GAIN

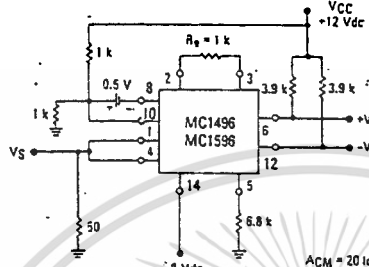
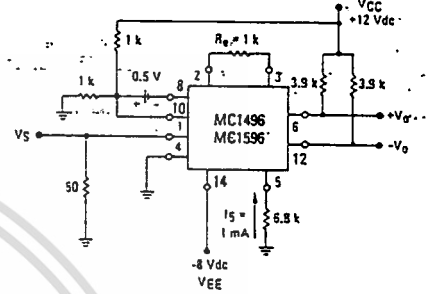


FIGURE 10 - SIGNAL GAIN AND OUTPUT SWING



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, $f_C = 500$ kHz (sine wave), $V_C = 60$ mV(rms), $I_S = 1$ kHz, $V_G = 300$ mV(rms), $T_A = +25^\circ\text{C}$ unless otherwise noted.

FIGURE 11 - SIDEBAND OUTPUT versus CARRIER LEVELS

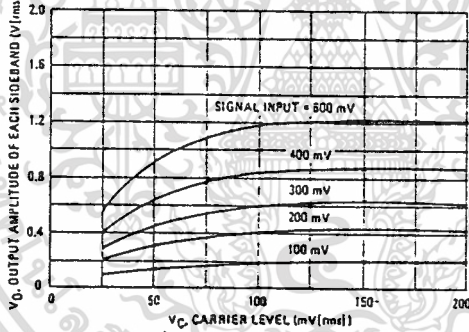


FIGURE 12 - SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

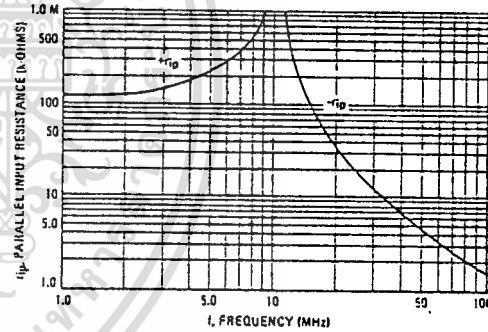


FIGURE 13 - SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

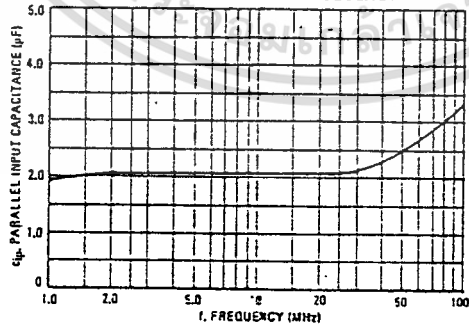
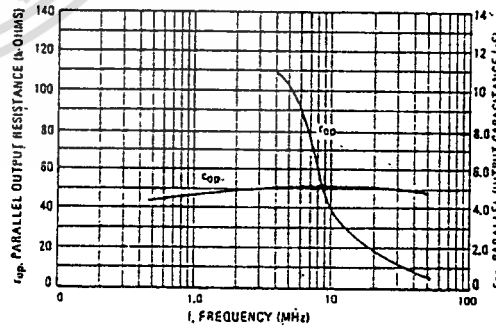


FIGURE 14 - SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1596

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, $f_c = 500$ kHz (sine wave), $V_C = 60$ mV(rms), $f_S = 1$ kHz, $V_S = 300$ mV(rms), $T_A = +25^\circ\text{C}$ unless otherwise noted.

FIGURE 15—SIDE BAND AND SIGNAL PORT TRANSMITTANCES versus FREQUENCY

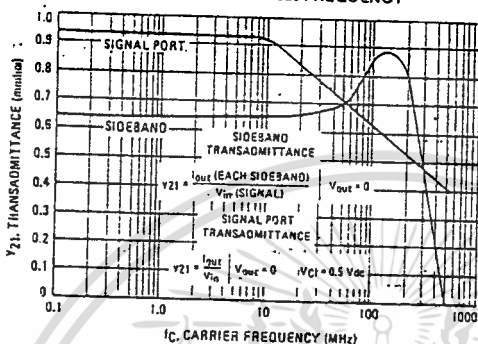


FIGURE 16—CARRIER SUPPRESSION versus TEMPERATURE

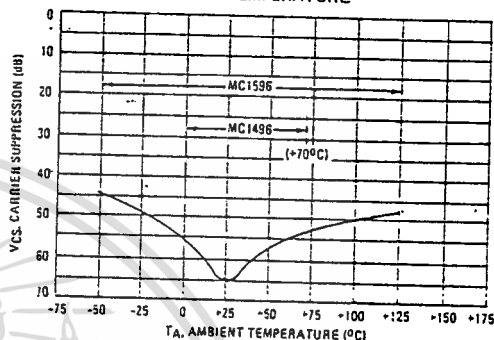


FIGURE 17—SIGNAL PORT FREQUENCY RESPONSE

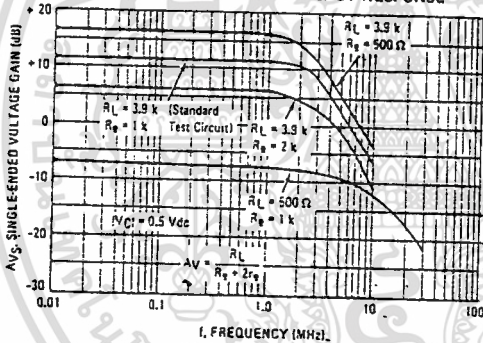


FIGURE 18—CARRIER SUPPRESSION versus FREQUENCY

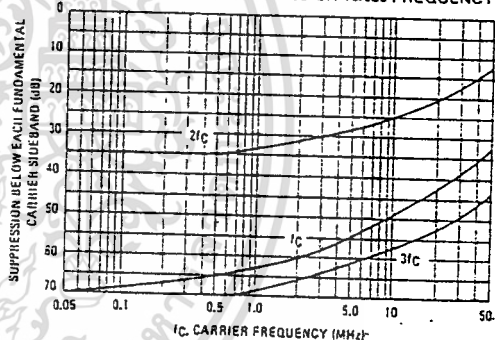


FIGURE 19—CARRIER FEEDTHROUGH versus FREQUENCY

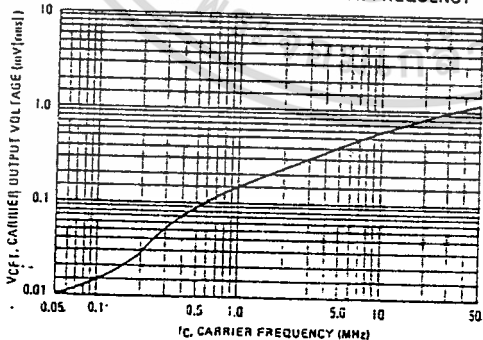
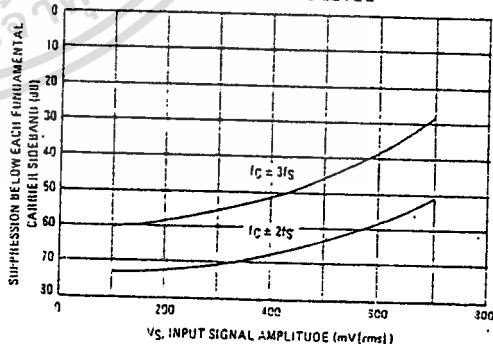


FIGURE 20—SIDE BAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1596

FIGURE 21 - SUPPRESSION OF CARRIER HARMONIC SIDEBANDS VERSUS CARRIER FREQUENCY

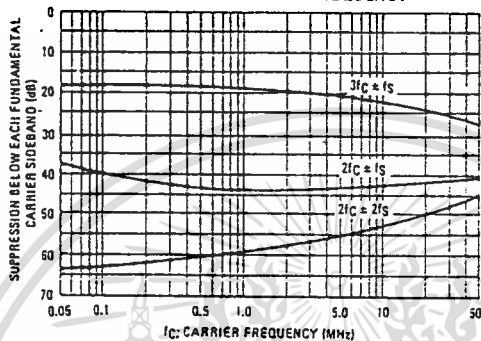
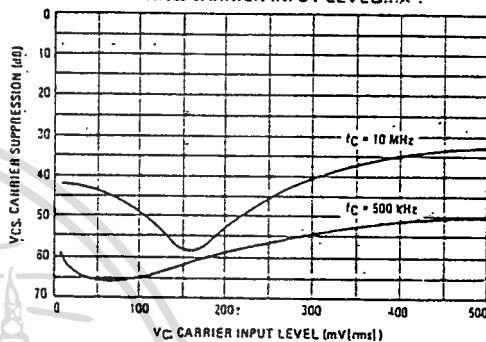


FIGURE 22 - CARRIER SUPPRESSION VERSUS CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 23 - CIRCUIT SCHEMATIC

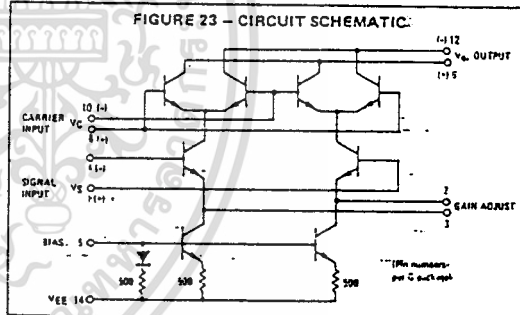
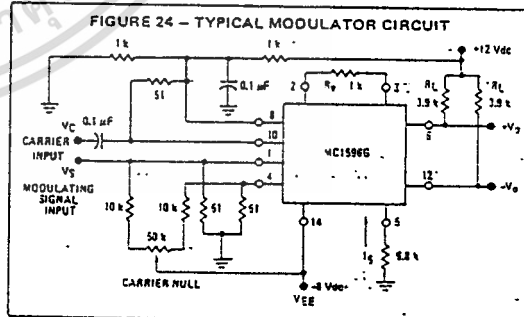


FIGURE 24 - TYPICAL MODULATOR CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1596

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I_S) (R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 - TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V _C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e) \left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(\text{rms})}{2\sqrt{2} \left(\frac{KT}{q}\right) (R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \dots$

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

- 1) Low-level dc
- 2) High-level dc
- 3) Low-level ac
- 4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:

1. Low-level Modulating Signal, V_M , assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C:

$$r_e \approx \frac{26 \text{ mV}}{I_E \text{ (mA)}}$$

7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.

$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μ F capacitors on pins 8 and 10 should be increased to 1.0 μ F. Also, the output filter at pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

MC1496, MC1596

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow-band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

FIGURE 26 - BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

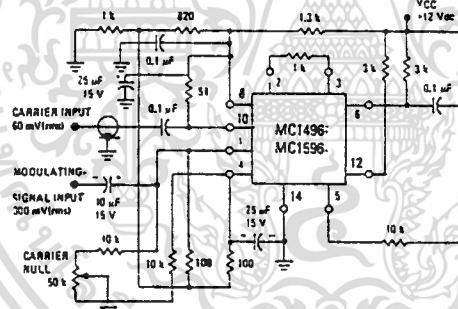


FIGURE 27 - BALANCED MODULATOR-DEMODULATOR

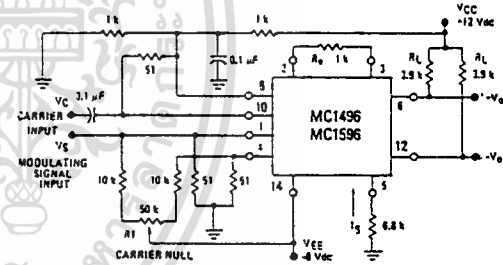


FIGURE 28 - AM MODULATOR CIRCUIT

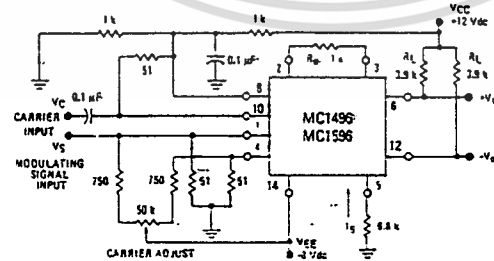
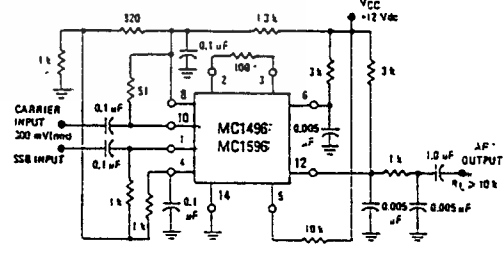


FIGURE 29 - PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1596

FIGURE 30 - DOUBLY BALANCED MIXER
(BROADBAND INPUTS, 9.0 MHz TUNED OUTPUT)

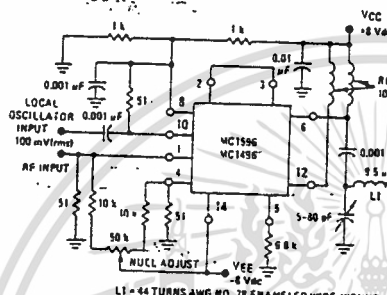


FIGURE 31 - LOW-FREQUENCY DOUBLER

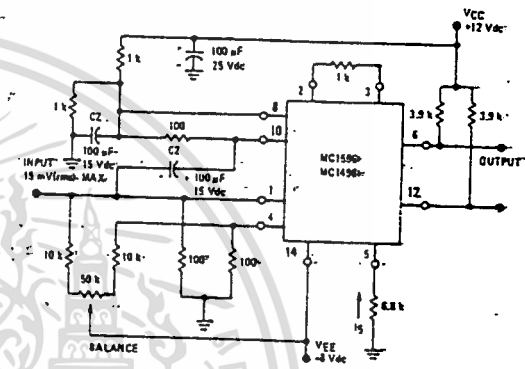
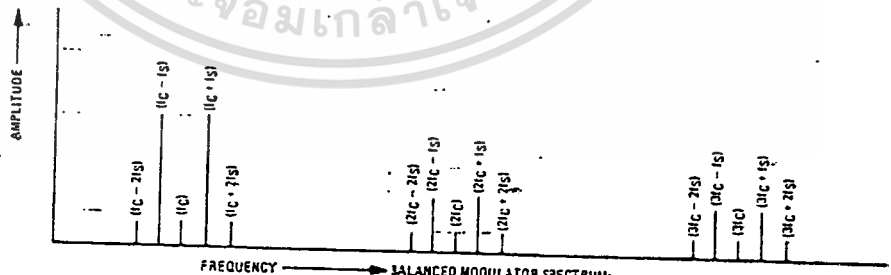
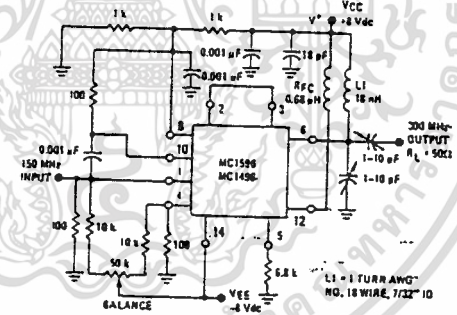


FIGURE 32 - 150 to 300 MHz DOUBLER



DEFINITIONS

f_c	CARRIER FUNDAMENTAL	$f_c \pm n f_s$	FUNDAMENTAL CARRIER SIDEBAND HARMONICS
f_s	MODULATING SIGNAL	$n f_c$	CARRIER HARMONICS
$f_c \pm f_s$	FUNDAMENTAL CARRIER SIDEBANDS	$n f_c \pm n f_s$	CARRIER HARMONIC SIDEBANDS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA**

**MC1494
MC1594**

Linear Four-Quadrant Multiplier

The MC1494/1594 is designed for use where the output voltage is a linear product of two input voltages. Typical applications include: multiply, divide, square root, mean square, phase detector, frequency doubler, balanced modulator/demodulator, electronic gain control.

The MC1494/1594 is a variable transconductance multiplier with internal level-shift circuitry and voltage regulator. Scale factor, input offsets and output offset are completely adjustable with the use of four external potentiometers. Two complementary regulated voltages are provided to simplify offset adjustment and improve power supply rejection.

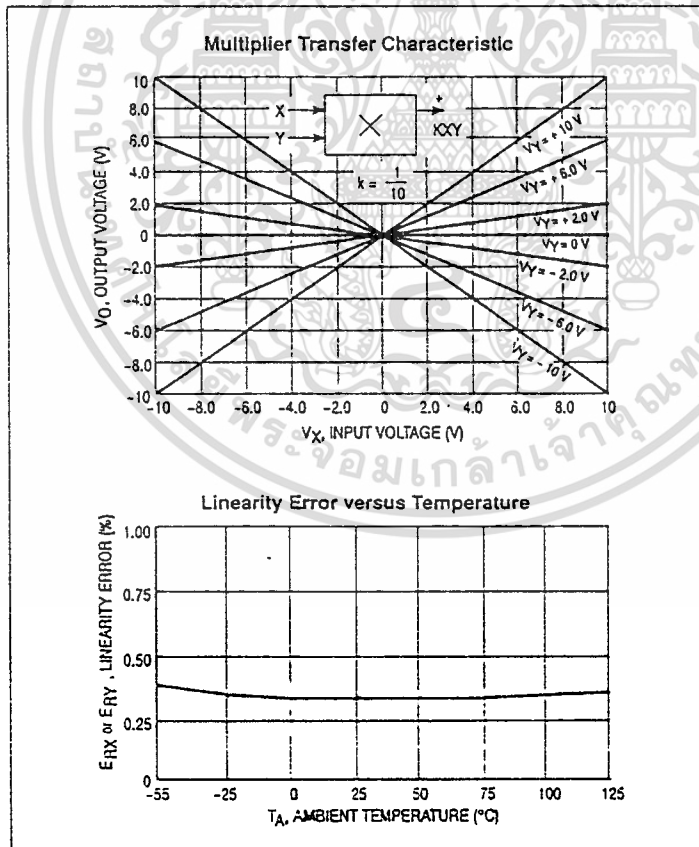
- Operates with ± 15 V Supplies
- Excellent Linearity: Maximum Error (X or Y): $\pm 0.5\%$ (MC1594)
 $\pm 1.0\%$ (MC1494)
- Wide Input Voltage Range: ± 10 V
- Adjustable Scale Factor, K (0.1 nominal)
- Single-Ended Output Referenced to Ground
- Simplified Offset Adjust Circuitry
- Frequency Response (3 dB Small-Signal): 1.0 MHz
- Power Supply Sensitivity: 30 mV/V typical

**LINEAR FOUR-QUADRANT
MULTIPLIER INTEGRATED
CIRCUIT**

**SILICON MONOLITHIC
EPITAXIAL PASSIVATED**



**L SUFFIX
CERAMIC PACKAGE
CASE 620**



ORDERING INFORMATION

Device	Ambient Temperature Range	Package
MC1494L	0° to +70°C	Ceramic
MC1495L	-55° to +125°C	Ceramic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1494, MC1594

MAXIMUM RATINGS ($T_A = +25^\circ\text{C}$, unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltages	$\pm V$	± 18	Vdc
Differential Input Signal	V_9-V_6 $V_{10}-V_{13}$	$\pm[6 + I_1 R_Y] < 30$ $\pm[6 + I_1 R_X] < 30$	Vdc
Common Mode Input Voltage $V_{CMY} = V_9 = V_6$ $V_{CMX} = V_{10} = V_{13}$	V_{CMY} V_{CMX}	± 11.5 ± 11.5	Vdc
Power Dissipation (Package Limitation) $T_A = +25^\circ\text{C}$ Derate above $T_A = +25^\circ\text{C}$	P_D 1/8JA	750 5.0	mW mW/°C
Operating Temperature Range	MC1494 MC1594	T_A	0 to +70 -55 to +125
Storage Temperature Range		T_{stg}	-65 to +150

ELECTRICAL CHARACTERISTICS ($\pm V = \pm 15\text{ V}$, $T_A = +25^\circ\text{C}$, $R_1 = 16\text{ k}\Omega$, $R_X = 30\text{ k}\Omega$, $R_Y = 62\text{ k}\Omega$, $R_L = 47\text{ k}\Omega$, unless otherwise noted.)

Characteristics	Fig.	Symbol	MC1594			MC1494			Unit
			Min	Typ	Max	Min	Typ	Max	
Linearity	1	ER_X or ER_Y							%
Output error in percent of full scale $-10\text{ V} < V_X < +10\text{ V}$ ($V_Y = \pm 10\text{ V}$) $-10\text{ V} < V_Y < +10\text{ V}$ ($V_X = \pm 10\text{ V}$) $T_A = +25^\circ\text{C}$ $T_A = T_{high}$ or T_{low} (Note 1)			—	± 0.3	± 0.5	—	± 0.5	± 1.0	± 1.3
Input	2,3,4								
Voltage Range ($V_X = V_Y = V_{in}$)		V_{in}	± 10	—	—	± 10	—	—	V _{pk}
Resistance (X or Y Input)		R_{in}	—	300	—	—	300	—	M Ω
Offset Voltage (X Input) (Note 1)		$ V_{ioX} $	—	0.1	1.6	—	0.2	2.5	V
(Y Input) (Note 1)		$ V_{ioY} $	—	0.4	1.6	—	0.8	2.5	
Bias Current (X or Y Input)		I_b	—	0.5	1.5	—	1.0	2.5	μA
Offset Current (X or Y Input)		$ I_{io} $	—	28	150	—	50	400	nA
Output	3,4								
Voltage Swing Capability		V_O	± 10	—	—	± 10	—	—	V _{pk}
Impedance		R_O	—	850	—	—	850	—	k Ω
Offset Voltage (Note 1)		$ V_{OO} $	—	0.8	1.6	—	1.2	2.5	V
Offset Current (Note 1)		$ I_{OO} $	—	17	34	—	25	52	μA
Temperature Stability (Drift)									
$T_A = T_{high}$ to T_{low}									
Output Offset (X = 0, Y = 0) Voltage		$ TCV_{OO} $	—	1.3	—	—	1.3	—	mV/°C
Current		$ TCI_{OO} $	—	27	—	—	27	—	nA/°C
X Input Offset (Y = 0)		$ TCV_{ioX} $	—	0.3	—	—	0.3	—	mV/°C
Y Input Offset (X = 0)		$ TCV_{ioY} $	—	1.5	—	—	1.5	—	
Scale Factor		$ TCK $	—	0.07	—	—	0.07	—	%/°C
Total DC Accuracy Drift (X = 10, Y = 10)		$ TCE $	—	0.09	—	—	0.09	—	
Dynamic Response	5								
Small Signal (3.0 dB)		$BW_{3dB}(X)$	—	0.8	—	—	0.8	—	MHz
		$BW_{3dB}(Y)$	—	1.0	—	—	1.0	—	
Power Bandwidth (47 k)		PBW	—	440	—	—	440	—	kHz
3° Relative Phase Shift		f_ϕ	—	240	—	—	240	—	
1% Absolute Error		f_θ	—	30	—	—	30	—	
Common Mode	5								
Input Swing (X or Y)		CMV	± 10.5	—	—	± 10.5	—	—	V _{pk}
Gain (X or Y)		ACM	—	-65	—	—	-65	—	dB
Power Supply	7								
Current		I_{d+}	—	6.0	9.0	—	6.0	12	mA _{dc}
		I_{d-}	—	6.5	9.0	—	6.5	12	
Quiescent Power Dissipation		P_D	—	185	260	—	185	350	mW
Sensitivity		S_+	—	13	50	—	13	100	mV/V
		S_-	—	30	100	—	30	200	
Regulated Offset Adjust Voltages	7								
Positive/Negative		V_{R+} , V_{R-}	3.5	4.3	5.0	3.5	4.3	5.0	Vdc
Temperature Coefficient (V_{R+} or V_{R-})		TCV_R	—	0.03	—	—	0.03	—	mV/°C
Power Supply Sensitivity (V_{R+} or V_{R-})		SR_+ , SR_-	—	0.6	—	—	0.6	—	mV/V

NOTES: 1. Offsets can be adjusted to zero with external potentiometers. $T_{high} = +70^\circ\text{C}$ for MC1494
 $+125^\circ\text{C}$ for MC1594 $T_{low} = 0^\circ\text{C}$ for MC1494
 -55°C for MC1594

MOTOROLA LINEAR/INTERFACE ICs DEVICE DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1494, MC1594

Figure 1. Linearity

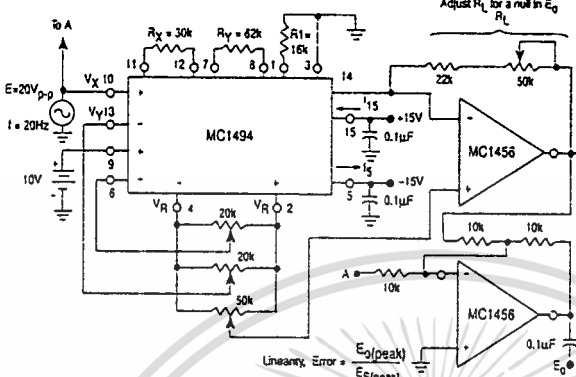


Figure 2. Input Resistance

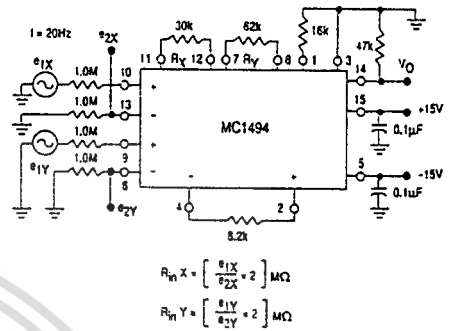


Figure 3. Offset Voltages, Gain

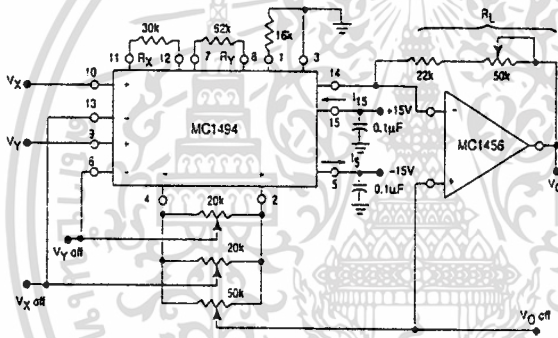


Figure 4. Input Bias Current/Input Offset Current, Output Resistance

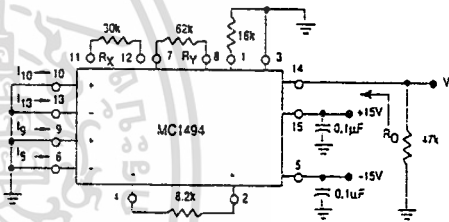


Figure 5. Frequency Response

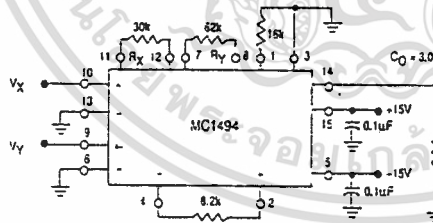


Figure 6. Common Mode

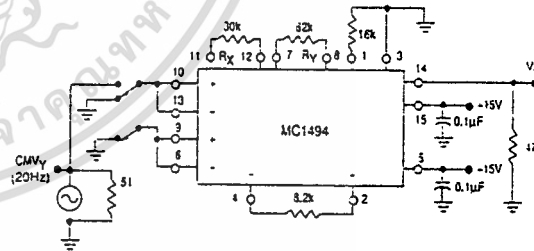


Figure 7. Power Supply Sensitivity

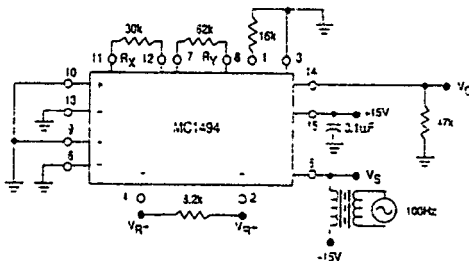
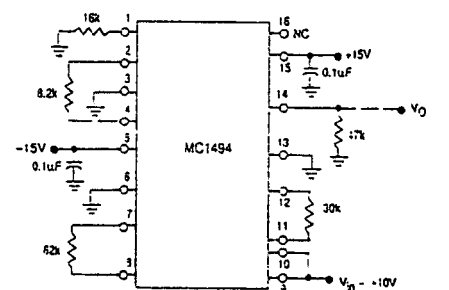


Figure 8. Burn-In



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1494, MC1594

Figure 9. Frequency Response of Y Input versus Load Resistance

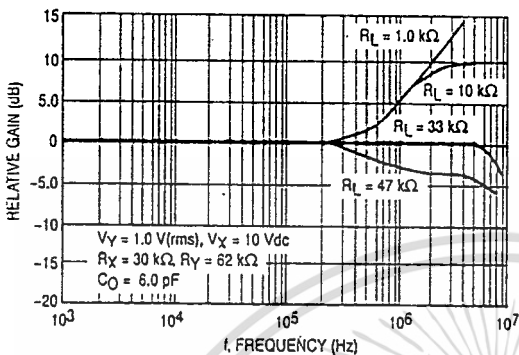


Figure 10. Frequency Response of X Input versus Load Resistance

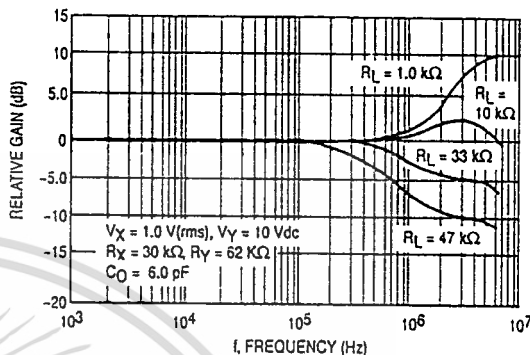


Figure 11. Linearity versus R_X or R_Y with $K = 1$

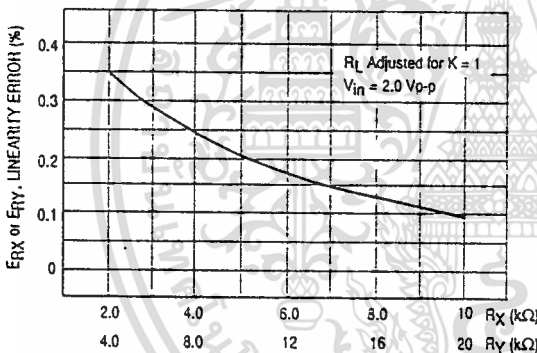


Figure 12. Linearity versus R_X or R_Y with $K = 1/10$

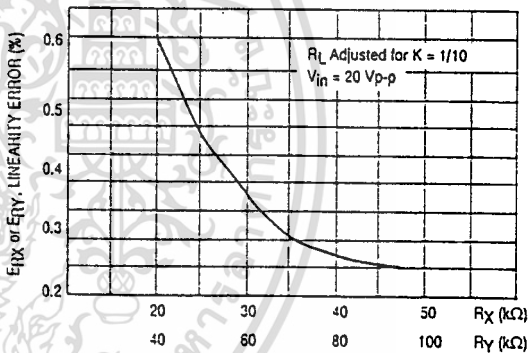


Figure 13. Large Signal Voltage versus Frequency

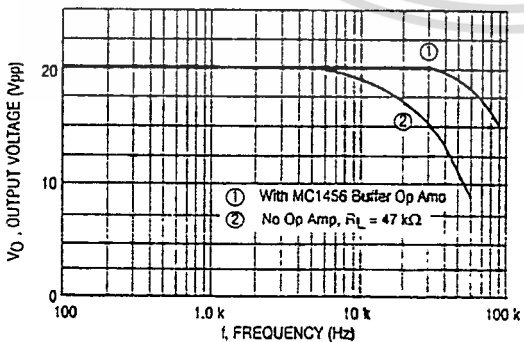
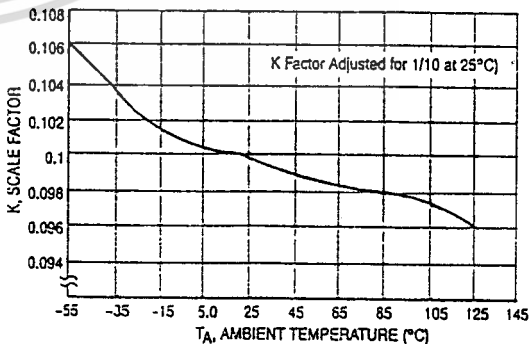


Figure 14. Scale Factor (K) versus Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1494L, MC1594L

GENERAL INFORMATION

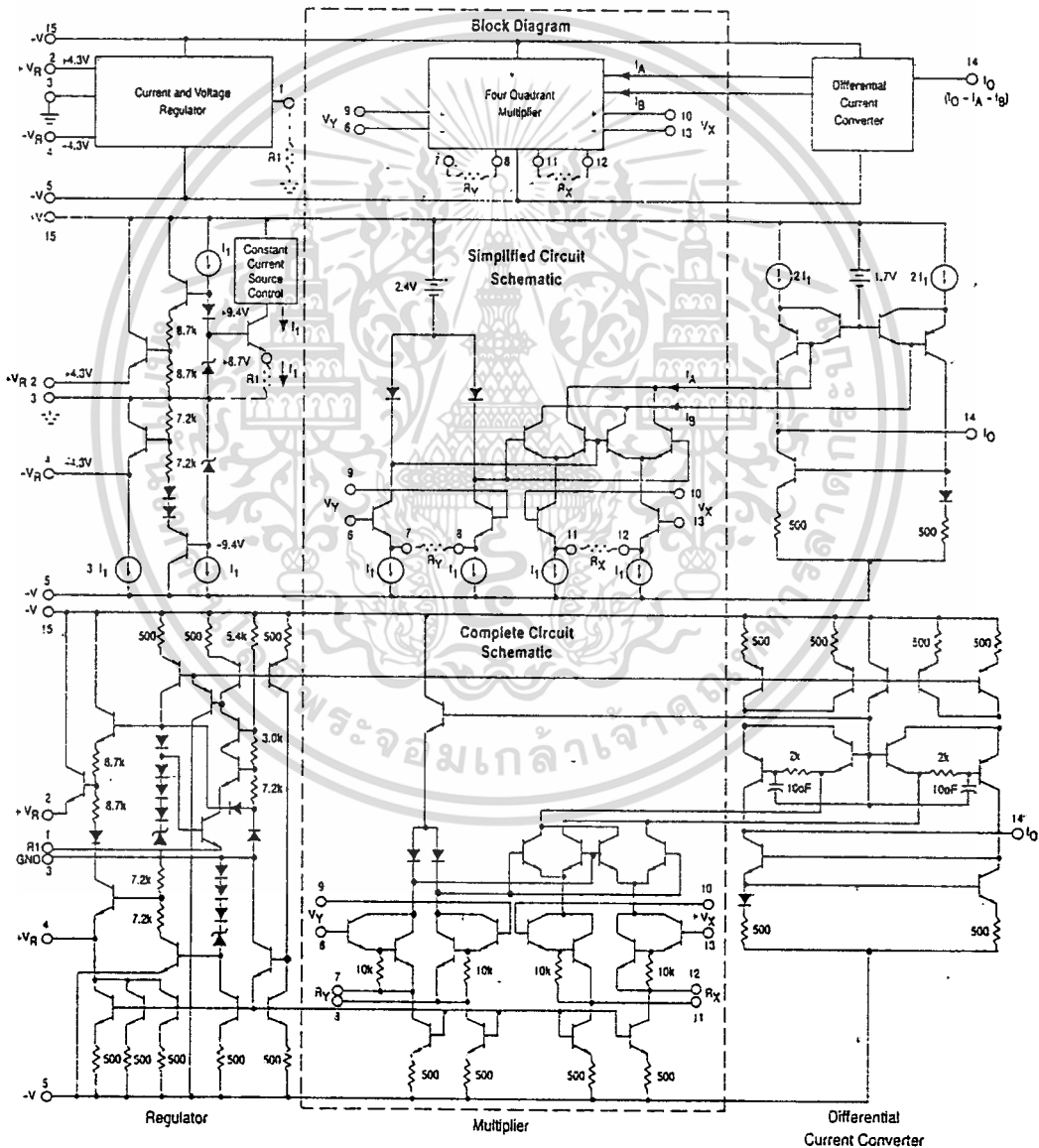
1. CIRCUIT DESCRIPTION

1.1 Introduction

The MC1594 is a monolithic, four-quadrant multiplier that operates on the principle of variable transconductance. It features a single-ended current output referenced to ground and provides two complementary regulated voltages for use

with the offset adjust circuits to virtually eliminate sensitivity of the offset voltage nulls to changes in supply voltage. As shown in Figure 15, the MC1594 consists of a multiplier proper and associated peripheral circuitry to provide these features.

Figure 15
(Recommended External Circuitry is Depicted within Dotted Lines)



11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1494, MC1594

Regulator

The regulator biases the entire MC1494 circuit making it essentially independent of supply variation. It also provides two convenient regulated supply voltages which can be used in the offset adjust circuitry. The regulated output voltage at Pin 2 is approximately +4.3 V, while the regulated voltage at Pin 4 is approximately -4.3 V. For optimum temperature stability of these regulated voltages, it is recommended that $|I_2| = |I_4| = 1.0$ mA (equivalent load of 8.6 kΩ). As will be shown later, there will normally be two 20 kΩ potentiometers and one 50 kΩ potentiometer connected between Pins 2 and 4.

The regulator also establishes a constant current reference that controls all of the constant current sources in the MC1494. Note that all current sources are related to current I_1 which is determined by R_1 . For best temperatures performance, R_1 should be 16 kΩ so that $I_1 = 0.5$ mA for all applications.

Multiplier

The multiplier section of the MC1494 (center section of Figure 15) is nearly identical to the MC1495 and is discussed in detail in Application Note AN489, *Analysis and Basic Operation of the MC1495*. The result of this analysis is that the differential output current of the multiplier is given by:

$$I_A - I_B = \Delta I = \frac{2V_X V_Y}{R_X R_Y I_1}$$

Therefore, the output is proportional to the product of the two input voltages.

Differential Current Converter

This portion of the circuitry converts the differential output current ($I_A - I_B$) of the multiplier to a single-ended output current (I_O): $I_O = I_A - I_B$

$$\text{or } I_O = \frac{2V_X V_Y}{R_X R_Y I_1}$$

The output current can be easily converted to an output voltage by placing a load resistor R_L from the output (Pin 14) to ground (Figure 17) or by using an op amp as a current-to-voltage converter (Figure 16). The result in both circuits is that the output voltage is given by:

$$V_O = \frac{2R_L V_X V_Y}{R_X R_Y I_1} = K V_X V_Y$$

$$\text{where, } K (\text{scale factor}) = \frac{2R_L}{R_X R_Y I_1}$$

DC OPERATION

Selection of External Components

For low frequency operation the circuit of Figure 16 is recommended. For this circuit, $R_X = 30$ kΩ, $R_Y = 62$ kΩ, $R_1 = 16$ kΩ and, hence, $I_1 = 0.5$ mA. Therefore, to set the scale factor (K) equal to 1/10, the value of R_L can be calculated to be:

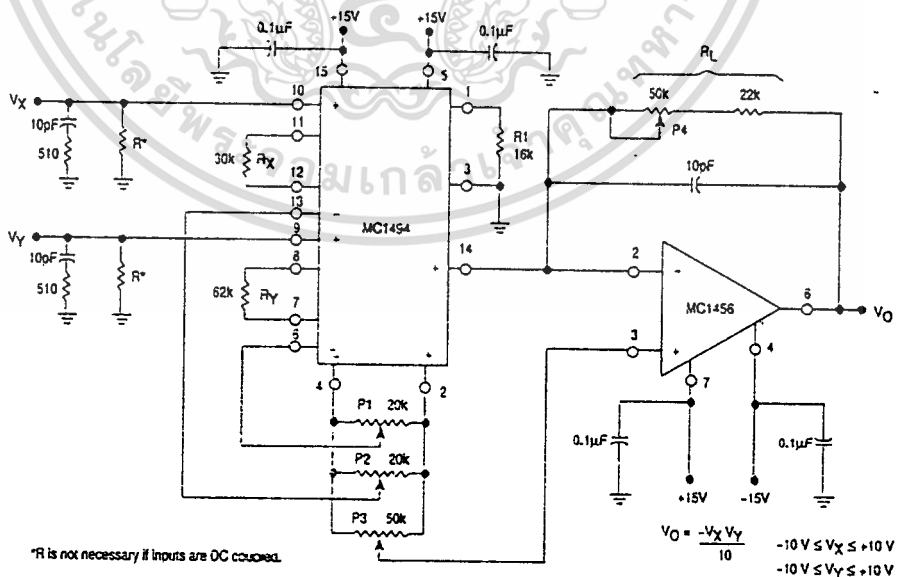
$$K = \frac{1}{10} = \frac{2R_L}{R_X R_Y I_1}$$

$$\text{or } R_L = \frac{R_X R_Y I_1}{(2)(10)} = \frac{(30 \text{ k})(62 \text{ k})(0.5 \text{ mA})}{20}$$

$$R_L = 46.5 \text{ k}$$

Thus, a reasonable accuracy in scale factor can be achieved by making R_L a fixed 47 kΩ resistor. However, if it is desired that the scale factor be exact, R_L can be comprised of a fixed resistor and a potentiometer as shown in Figure 16.

Figure 16. Typical Multiplier Connection



MC1494, MC1594

It should be pointed out that there is nothing magic about setting the scale factor to 1/10. This is merely a convenient factor to use if the V_X and V_Y input voltages are expected to be large, say ± 10 V. Obviously with $V_X = V_Y = 10$ V and a scale factor of unity, the device could not hope to provide a 100 V output, so the scale factor is set to 1/10 and provides an output scaled down by a factor of ten. For many applications it may be desirable to set $K = 1/2$ or $K = 1$ or even $K = 100$. This can be accomplished by adjusting R_X , R_Y and R_L appropriately.

The selection of R_L is arbitrary and can be chosen after resistors R_X and R_Y are found. Note in Figure 16 that R_Y is 62 k Ω while R_X is 30 k Ω . The reason for this is that the "Y" side of the multiplier exhibits a second order nonlinearity whereas the "X" side exhibits a simple nonlinearity. By making the R_Y resistor approximately twice the value of the R_X resistor, the linearity on both the "X" and "Y" sides are made equal. The selection of the R_X and R_Y resistor values is dependent upon the expected amplitude of V_X and V_Y inputs. To maintain a specified linearity, resistors R_X and R_Y should be selected according to the following equations:

$$R_X \geq 3 V_X (\text{max}) \text{ in k}\Omega \text{ when } V_X \text{ is in Volts,}$$

$$R_Y \geq 6 V_Y (\text{max}) \text{ in k}\Omega \text{ when } V_Y \text{ is in Volts.}$$

For example, if the maximum input on the "X" side is ± 1.0 V, resistor R_X can be selected to be 3.0 k Ω . If the maximum input on the "Y" side is also ± 1.0 V, then resistor R_Y can be selected to be 6.0 k Ω (6.2 k Ω nominal value). If a scale factor of $K = 10$ is desired, the load resistor is found to be 47 k Ω . In this example, the multiplier provides a gain of 20 dB.

Operational Amplifier Selection

The operational amplifier connection in Figure 16 is a simple but extremely accurate current-to-voltage converter. The output current of the multiplier flows through the feedback resistor R_L to provide a low impedance output voltage from the op amp. Since the offset current and bias currents of the op amp will cause errors in the output voltage, particularly with temperature, one with very low bias and offset currents is recommended. The MC1456 or MC1741 are excellent choices for this application.

Since the MC1494 is capable of operation at much higher frequencies than the op amp, the frequency characteristics of the circuit in Figure 16 will be primarily dependent upon the operational amplifier.

Stability

The current-to-voltage converter mode is a most demanding application for an operational amplifier. Loop gain is at its maximum and the feedback resistor in conjunction with stray or input capacitance at the multiplier output adds additional phase shift. It may therefore be necessary to add (particularly in the case of internally compensated op amps) a small feedback capacitor to reduce loop gain at the higher frequencies. A value of 10 pF in parallel with R_L should be adequate to insure stability over production and temperature variations, etc.

An externally compensated op amp might be employed using slightly heavier compensation than that recommended for unity-gain operation.

Offset Adjustment

The noninverting input of the op amp provides a convenient point to adjust the output offset voltage. By connecting this point to the wiper arm of a potentiometer (P3), the output voltage can be adjusted to zero (see Offset and Scale Factor Adjustment Procedure).

The input offset adjustment potentiometers, P1 and P2, will be necessary for most applications where it is desired to take advantage of the multiplier's excellent linearity characteristics. Depending upon the particular application, some of the potentiometers can be omitted (see Figures 19, 22, 24 and 25).

Offset and Scale Factor Adjustment Procedure

The adjustment procedure for the circuit of Figure 16 is:

- A. X Input Offset
 1. Connect oscillator (1.0 kHz, 5.0 Vp-p sine wave) to the "Y" input (Pin 9).
 2. Connect "X" input (Pin 10) to ground.
 3. Adjust X-offset potentiometer, P2 for an AC null at the output.
- B. Y Input Offset
 1. Connect oscillator (1.0 kHz, 5.0 Vp-p sine wave) to the "X" input (Pin 10).
 2. Connect "Y" input (Pin 9) to ground.
 3. Adjust Y-offset potentiometer, P1 for an AC null at the output.
- C. Output Offset
 1. Connect both "X" and "Y" inputs to ground.
 2. Adjust output offset potentiometer, P3 until the output voltage V_O is 0 Vdc.
- D. Scale Factor
 1. Apply +10 Vdc to both the "X" and "Y" inputs.
 2. Adjust P4 to achieve -10 V at the output.
 3. Apply -10 Vdc to both "X" and "Y" inputs and check for $V_O = -10$ V.
- E. Repeat steps A through D as necessary.

The ability to accurately adjust the MC1494 is dependent upon the offset adjust potentiometers. Potentiometers should be of the "infinite" resolution type rather than wirewound. In applications in balanced-modulator applications may require two potentiometers to provide "coarse" and "fine" adjustment. Potentiometers should have low temperature coefficients and be free from backlash.

Temperature Stability

While the MC1494 provides excellent performance in its current-to-voltage converter mode, its overall performance depends to a large degree on the quality of the external components. Previous discussion shows the direct dependence on R_X , R_Y and R_L and indirect dependence on R1 (through I1). Any circuit subjected to temperature variations should be evaluated with these effects in mind.

Bias Currents

The MC1494 multiplier, like most linear ICs, requires a bias current into its input terminals. The device cannot be capacitively coupled at the input without regard for this bias current. If inputs V_X and V_Y are able to supply the small bias current (≈ 0.5 μ A) resistors R can be omitted (see Figure 16). The MC1494 is used in an AC mode of operation.

11

MC1494L, MC1594L

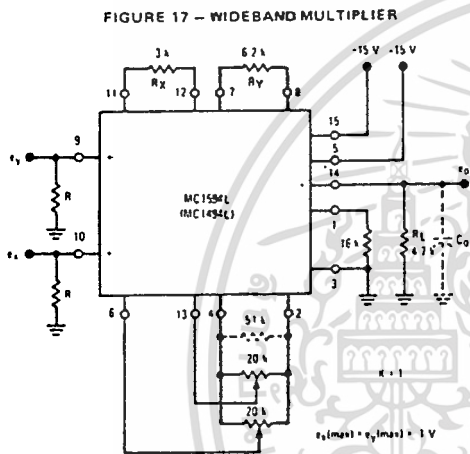
is to reduce the "Q" of the source-tuned circuits which cause the oscillation.

Inability to adjust the circuit to within the specified accuracy may be an indication of oscillation.

3. AC OPERATION

3.1 General

For ac operation, such as balanced modulation, frequency doubler, AGC, etc., the op-amp. will usually be omitted as well as the output offset adjust potentiometer. The output offset adjust potentiometer is omitted since the output will normally be ac-coupled and the dc voltage at the output is of no concern providing it is close enough to zero volts that it will not cause clipping in the output waveform. Figure 17



shows a typical ac multiplier circuit with a scale factor $K \approx 1$. Again, resistor R_X and R_Y are chosen as outlined in the previous section, with R_L chosen to provide the required scale factor.

The offset voltage then existing at the output will be equal to the offset current times the load resistance. The output offset current of the MC1594 is typically $17 \mu\text{A}$ and $35 \mu\text{A}$ maximum. Thus, the maximum output offset would be about 160 mV .

3.2 Bandwidth

The bandwidth of the MC1594 is primarily determined by two factors. First, the dominant pole will be determined by the load resistor and the stray capacitance at the output terminal. For the circuit shown in Figure 17, assuming a total output capacitance (C_0) of 10 pF , the 3 dB bandwidth would be approximately 3.4 MHz . If the load resistor were $47 \text{ k}\Omega$, the bandwidth would be approximately 340 kHz .

Secondly, a "zero" is present in the frequency response characteristic for both the "X" and "Y" inputs which causes the output signal to rise in amplitude at a 6 dB/octave slope at frequencies beyond the breakpoint of the "zero". The "zero" is caused by the parasitic and substrate capacitance which is related to resistors R_X and R_Y and the transistors associated with them. The effect of these transmission

"zeros" is seen in Figures 9 and 10. The reason for this increase in gain is due to the bypassing of R_X and R_Y at high frequencies. Since the R_Y resistor is approximately twice the value of the R_X resistor, the zero associated with the "Y" input will occur at approximately one octave below the zero associated with the "X" input. For $R_X = 30 \text{ k}\Omega$ and $R_Y = 62 \text{ k}\Omega$, the zeros occur at 1.5 MHz for the "X" input and 700 kHz for the "Y" input. These two measured breakpoints correspond to a shunt capacitance of about 3.5 pF . Thus, for the circuit of Figure 17, the "X" input zero and "Y" input zero will be at approximately 15 MHz and 7 MHz respectively.

It should be noted that the MC1594 multiplies in the time domain, hence, its frequency response is found by means of complex convolution in the frequency (Laplace) domain. This means that if the "X" input does not involve a frequency, it is not necessary to consider the "X" side frequency response in the output product. Likewise, for the "Y" side. Thus, for applications such as a wideband linear AGC amplifier which has a dc voltage as one input, the multiplier frequency response has one zero and one pole. For applications which involve an ac voltage on both the "X" and "Y" side, such as a balanced modulator, the product voltage response will have two zeros and one pole, hence, peaking may be present in the output.

From this brief discussion, it is evident that for ac applications: (1) the value of resistors R_X , R_Y and R_L should be kept as small as possible to achieve maximum frequency response, and (2) it is possible to select a load resistor R_L such that the dominant pole (R_L, C_0) cancels the input zero ($R_X, 3.5 \text{ pF}$ or $R_Y, 3.5 \text{ pF}$) to give a flat amplitude characteristic with frequency. This is shown in Figures 9 and 10. Examination of the frequency characteristics of the "X" and "Y" inputs will demonstrate that for wideband amplifier applications, the best tradeoff with frequency response and gain is achieved by using the "Y" input for the ac signal.

For ac applications requiring bandwidths greater than those specified for the MC1594, two other devices are recommended. For modulator-demodulator applications, the MC1596 may be used up to 100 MHz . For wideband multiplier applications, the MC1595 (using small collector loads and ac coupling) can be used.

3.3 Slew-Rate

The MC1594 multiplier is not slew-rate limited in the ordinary sense that an op-amp. is. Since all the signals in the multiplier are currents and not voltages, there is no charging and discharging of stray capacitors and thus no limitations beyond the normal device limitations. However, it should be noted that the quiescent current in the output transistors is 0.5 mA and thus the maximum rate of change of the output voltage is limited by the output load capacitance by the simple equation:

$$\text{Slew-Rate } \frac{\Delta V_o}{\Delta T} = \frac{I_o}{C}$$

Thus, if C_0 is 10 pF , the maximum slew-rate would be:

$$\frac{\Delta V_o}{\Delta T} = \frac{0.5 \times 10^{-3}}{10 \times 10^{-12}} = 50 \text{ V}/\mu\text{s}$$

This can be improved if necessary by addition of an emitter-follower or other type of buffer.

3.4 Phase-Vector Error

All multipliers are subject to an error which is known as the phase-vector error. This error is a phase error only and does not contribute an amplitude error per se. The phase-vector

MC1494, MC1594

0.5 mA and thus the maximum rate of change of the output voltage is limited by the output load capacitance by the simple equation:

$$\text{Slew Rate } \frac{\Delta V_O}{\Delta T} = \frac{I_O}{C}$$

Thus, if C_O is 10 pF, the maximum slew rate would be:

$$\frac{\Delta V_O}{\Delta T} = \frac{0.5 \times 10^{-3}}{10 \times 10^{-12}} = 50 \text{ V}/\mu\text{s}$$

This can be improved, if necessary, by the addition of an emitter-follower or other type of buffer.

Phase Vector Error

All multipliers are subject to an error which is known as the phase vector error. This error is a phase error only and does not contribute an amplitude error per se. The phase vector error is best explained by an example. If the "X" input is described in vector notation as;

$$X = A \angle 0^\circ$$

and the "Y" input is described as;

$$Y = B \angle \theta$$

then the output product would be expected to be;

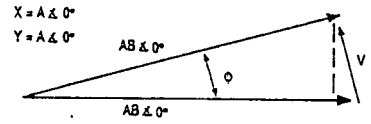
$$V_O = AB \angle 0^\circ \text{ (see Figure 18)}$$

However, due to a relative phase shift between the "X" and "Y" channels, the output product will be given by:

$$V_O = AB \angle \theta$$

Notice that the magnitude is correct but the phase angle of the product is in error. The vector (V) associated with this error is the "phase vector error". The startling fact about the phase vector error is that it occurs and accumulates much more rapidly than the amplitude error associated with frequency response. In fact, a relative phase shift of only 0.57° will result in a 1% phase vector error. For most applications, this error is

Figure 18. Phase Vector Error



meaningless. If phase of the output product is not important then neither is the phase vector error. If phase is important such as in the case of double sideband modulation demodulation, then a 1% phase vector error will represent 1% amplitude error at the phase angle of interest.

Circuit Layout

If wideband operation is desired, careful circuit layout must be observed. Stray capacitance across R_X and R_Y should be avoided to minimize peaking (caused by a zero created by parallel RC circuit).

DC APPLICATIONS

Squaring Circuit

If the two inputs are connected together, the resulting function is squaring:

$$V_O = KV^2$$

where K is the scale factor (see Figure 19).

However, a more careful look at the multiplier's defining equation will provide some useful information. The output voltage, without initial offset adjustments is given by:

$$V_O = K(V_{X+} + V_{ioX} - V_{X-}) (V_{Y+} + V_{ioY} - V_{Y-}) + V_{OO}$$

(Refer to "Definitions" section for an explanation of terms.)

With $V_X = V_Y = V$ (squaring) and defining:

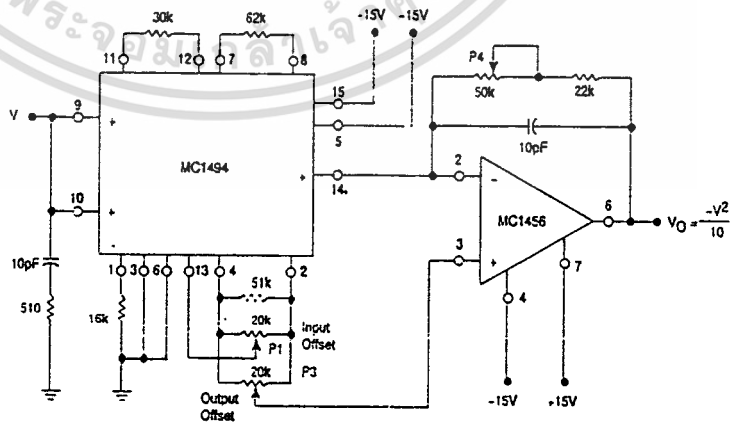
$$\epsilon_x = V_{ioX} - V_{X-}$$

$$\epsilon_y = V_{ioY} - V_{Y-}$$

The output voltage equation becomes:

$$V_O = KV_x^2 + KV_x(\epsilon_x + \epsilon_y) + K\epsilon_x\epsilon_y + V_{OO}$$

Figure 19. MC1594 Squaring Circuit



MC1494, MC1594

The circuit of Figure 24 demonstrates the linear AGC amplifier. The amplifier can handle 1.0 V (rms) and exhibits a gain of approximately 20 dB. It is AGC'd through a 60 dB dynamic range with the application of an AGC voltage from 0 Vdc to 1.0 Vdc. The bandwidth of the amplifier is determined by the load resistor and output stray capacitance. For this reason, an emitter-follower buffer has been added to extend the bandwidth in excess of 1.0 MHz.

The input resistors (R) are used to supply bias current to the multiplier inputs as well as provide matching input impedance. The output frequency range of this configuration is determined by the 4.7 kΩ output impedance and capacitive loading. Assuming a 6.0 pF load, the small-signal bandwidth is 5.5 MHz.

The circuit of Figure 25 will provide a typical carrier rejection of ≥ 70 dB from 10 kHz to 1.5 MHz.

Figure 24. Wideband Amplifier with Linear AGC

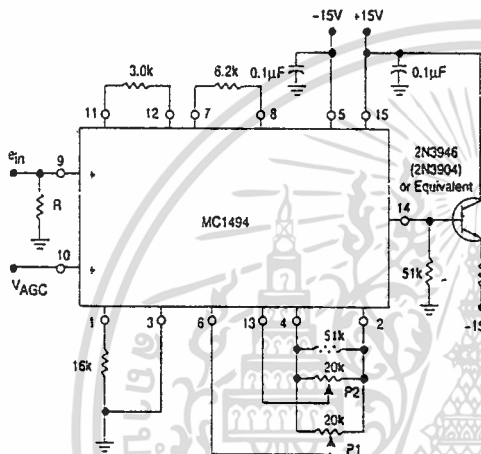
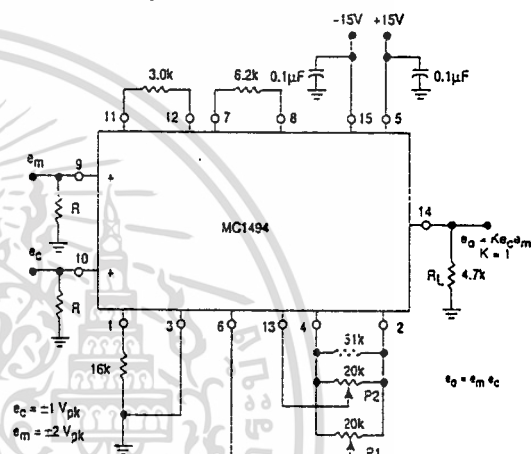


Figure 25. Balanced Modulator



Balanced Modulator

When two time variant signals are used as inputs, the resulting output is suppressed-carrier double-sideband modulation. In terms of sinusoidal inputs, this can be seen in the following equation:

$$V_O = K(e_1 \cos \omega_m t)(e_2 \cos \omega_c t)$$

where ω_m is the modulation frequency and ω_c is the carrier frequency. This equation can be expanded to show the suppressed carrier or balanced modulation:

$$V_O = \frac{K e_1 e_2}{2} [\cos(\omega_c + \omega_m) t + \cos(\omega_c - \omega_m) t]$$

Unlike many modulation schemes, which are nonlinear in nature, the modulation which takes place when using the MC1494 is linear. This means that for two sinusoidal inputs, the output will contain only two frequencies, the sum and difference, as seen in the above equation. There will be no spectrum centered about the second harmonic of the carrier, or any multiple of the carrier. For this reason, the filter requirements of a modulation system are reduced to the minimum. Figure 25 shows the MC1494 configuration to perform this function.

Notice that the resistor values for R_X , R_Y and R_L have been modified. This has been done primarily to increase the bandwidth by lowering the output impedance of the MC1494 and then lowering R_X and R_Y to achieve a gain of 1. The e_c can be as large as 1.0 V peak and e_m as high as 2.0 V peak. No output offset adjust is employed since we are interested only in the AC output components.

The adjustment procedure for this circuit is quite simple.

1. Place the carrier signal at Pin 10. With no signal applied to Pin 9, adjust potentiometer P1 such that an AC null is obtained at the output.
2. Place a modulation signal at Pin 9. With no signal applied to Pin 10, adjust potentiometer P2 such that an AC null is obtained at the output.

Again, the ability to make careful adjustment of these offsets will be a function of the type of potentiometers used for P1 and P2. Multiple turn cermet type potentiometers are recommended.

Frequency Doubler

If for Figure 25 both inputs are identical:

$$e_m = e_c = E \cos \omega t$$

then the output is given by,

$$e_o = e_m e_c = E^2 \cos^2 \omega t$$

which reduces to,

$$e_o = \frac{E^2}{2} (1 + \cos 2\omega t)$$

This equation states that the output will consist of a DC term equal to one half the peak voltage squared and the second harmonic of the input frequency. Thus, the circuit acts as a frequency doubler. Two facts about this circuit are worthy of note. First, the second harmonic of the input frequency is the only frequency appearing at the output. The fundamental does not appear. Second, if the input is sinusoidal, the output will be sinusoidal and requires no filtering.

The circuit of Figure 25 can be used as a frequency doubler with input frequencies in excess of 2.0 MHz.

MC1494, MC1594

Amplitude Modulator

The circuit of Figure 25 is also easily used as an amplitude modulator. This is accomplished by simply varying the input offset adjust potentiometer (P1) associated with the modulation input. This procedure places a DC offset on the modulation input of the multiplier such that the carrier still passes through the multiplier when the modulating signal is zero. The result is amplitude modulation. This is easily seen by examining the basic mathematical expression for amplitude modulation given below. For the case under discussion, with $K = 1$,

$$e_o = (E + E_m \cos\omega_m t) (E_c \cos\omega_c t)$$

where E is the DC input offset adjust voltage. This expression can be written as:

$$e_o = E_o [1 + M \cos\omega_c t] \cos\omega_c t$$

where, $E_o = EE_c$

$$\text{and, } M = \frac{E_m}{E} = \text{modulation index.}$$

This is the standard equation for amplitude modulation. From this, it is easy to see that 100% modulation can be

achieved by adjusting the input offset adjust voltage to exactly equal to the peak value of the modulation (E_m). This is done by observing the output waveform and adjusting the input offset potentiometer (P1) until the output exhibits a familiar amplitude modulation waveform.

Phase Detector

If the circuit of Figure 25 has as its inputs two signals of identical frequency, but having a relative phase shift, the output will be a DC signal which is directly proportional to the sine of phase difference as well as the double frequency term

$$\begin{aligned} e_c &= E_c \cos\omega_c t \\ e_m &= E_m \cos(\omega_c t + \phi) \\ e_o &= e_c e_m = E_c E_m \cos\omega_c t \cos(\omega_c t + \phi) \\ \text{or, } e_o &= \frac{E_c E_m}{2} [\cos\phi + \cos(2\omega_c t + \phi)] \end{aligned}$$

The addition of a simple low pass filter to the output (which eliminates the second cosine term) and return of R_L to an offset adjustment potentiometer will result in a DC output voltage which is proportional to the cosine of the phase difference. Hence, the circuit functions as a synchronous detector.

DEFINITION OF SPECIFICATIONS

Because of the unique nature of a multiplier, i.e., two inputs and one output, operating specifications are difficult to define and interpret. Indeed the same specification may be defined in several completely different ways depending upon which manufacturer is doing the defining. In order to clear up some of the mystery, the following definitions and examples are presented.

MULTIPLIER TRANSFER FUNCTION — The output of the multiplier may be expressed by the following equation:

$$V_O = K[V_x \pm V_{iox} - V_x(\text{off})] [V_y \pm V_{ioy} - V_y(\text{off})] \pm V_{OO} \quad (1)$$

where, K = scale factor

V_x = "x" input voltage

V_y = "y" input voltage

V_{iox} = "x" input offset voltage

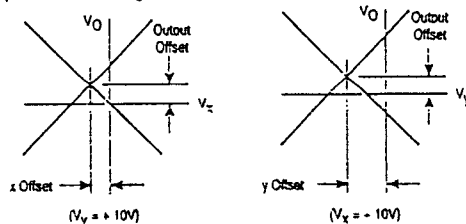
V_{ioy} = "y" input offset voltage

$V_x(\text{off})$ = "x" input offset adjust voltage

$V_y(\text{off})$ = "y" input offset adjust voltage

V_{OO} = output offset voltage

The voltage transfer characteristic below indicates x , y and output offset voltages.



LINEARITY — Linearity is defined to be the maximum deviation of output voltage from a straight line transfer function. It is expressed as a percentage of full-scale output and is measured for V_x and V_y separately, either using an X-Y

plotter (and checking the deviation from a straight line) or using the method shown in Figure 1. The latter method measures the output signal with the input signal, resulting in distortion components proportional to the linearity.

Example: 0.35% linearity means

$$V_O = \frac{V_x V_y}{10} \pm (0.0035)(10 \text{ V})$$

INPUT OFFSET VOLTAGE — The input offset voltage is defined from Equation (1). It is measured for V_x and V_y separately and is defined to be that DC input offset voltage (x or y) that will result in minimum AC output when a 5.0 Vp-p, 1.0 kHz signal is applied to the other input (y or x respectively). From Equation (1) we have:

$$V_O(\text{AC}) = K [0 \pm V_{iox} - V_x(\text{off})] [\sin\omega t]$$

adjust $V_x(\text{off})$ so that $(\pm V_{iox} - V_x(\text{off})) = 0$.

OUTPUT OFFSET CURRENT AND VOLTAGE — Output offset current (I_{OO}) is the DC current flowing in the output when $V_x = V_y = 0$ and X and Y offset voltages are adjusted to zero.

Output offset voltage (V_{OO}) is:

$$V_{OO} = I_{OO} R_L$$

where R_L is the load resistance.

Note: Output offset voltage is defined by many manufacturers with all inputs at zero but without adjusting X and Y offset voltages to zero. Thus, it includes input offset term, output offset term and a scale factor term.

SCALE FACTOR — Scale factor is the K term in Equation (1) determines the gain of the multiplier and is expressed approximately by the following equation.

$$K = \frac{2R_L}{R_x R_y I_1}, \text{ where } R_x \text{ and } R_y \gg \frac{K T}{q I_1}$$

and I_1 is the current out of Pin 1.

MC1494, MC1594

TOTAL DC ACCURACY — The total DC accuracy of a multiplier is defined as error in multiplier output with DC (± 10 Vdc) applied to both inputs. It is expressed as a percent of full scale. Accuracy is not specified for the MC1494 because error terms can be nulled by the user.

TEMPERATURE STABILITY (DRIFT) — Each term defined above will have a finite drift with temperature. The temperature specifications are obtained by readjusting the multiplier offsets and scale factor at each new temperature (see previous definitions and the adjustment procedure) and noting the change.

Assume inputs are grounded and initial offset voltages have been adjusted to zero. Then output voltage drift is given by:

$$\Delta V_O = \pm [K \pm K (TCK) (\Delta T)] [(TCV_{IOX}) (\Delta T)] \\ [(TCV_{IOY}) (\Delta T)] \pm (TCV_{OO}) (\Delta T)$$

TOTAL DC ACCURACY DRIFT — This is the temperature drift in output voltage with 10 V applied to each input. The

output is adjusted to 10 V at $T_A = +25^\circ\text{C}$. Assuming initial offset voltages have been adjusted to zero at $T_A = +25^\circ\text{C}$, then:

$$V_O = [K \pm K (TCK) (\Delta T)] [10 \pm (TCV_{IOX}) (\Delta T)] \\ [10 \pm (TCV_{IOY}) (\Delta T)] \pm (TCV_{OO}) (\Delta T)$$

POWER SUPPLY REJECTION — Variation in power supply voltages will cause undesired variation of the output voltage. It is measured by superimposing a 1.0 V, 100 Hz signal on each supply (± 15 V) with each input grounded. The resulting change in the output is expressed in mV/V.

OUTPUT VOLTAGE SWING — Output voltage swing capability is the maximum output voltage swing (without clipping) into a resistive load. (Note, output offset is adjusted to zero).

If an op amp is used, the multiplier output becomes a virtual ground — the swing is then determined by the scale factor and the op amp selected.





April 1987

LM565/LM565C Phase Locked Loop

General Description

The LM565 and LM565C are general purpose phase locked loops containing a stable, highly linear voltage controlled oscillator for low distortion FM demodulation, and a double balanced phase detector with good carrier suppression. The VCO frequency is set with an external resistor and capacitor, and a tuning range of 10:1 can be obtained with the same capacitor. The characteristics of the closed loop system—bandwidth, response speed, capture and pull in range—may be adjusted over a wide range with an external resistor and capacitor. The loop may be broken between the VCO and the phase detector for insertion of a digital frequency divider to obtain frequency multiplication.

The LM565H is specified for operation over the -55°C to $+125^{\circ}\text{C}$ military temperature range. The LM565CH and LM565CN are specified for operation over the 0°C to $+70^{\circ}\text{C}$ temperature range.

Features

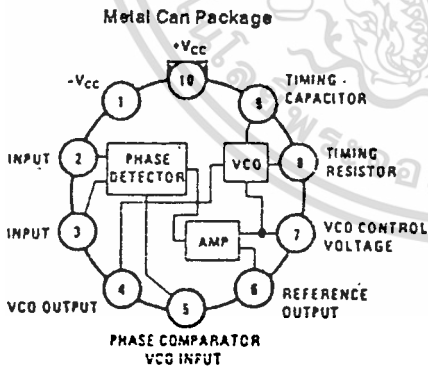
- 200 ppm/ $^{\circ}\text{C}$ frequency stability of the VCO
- Power supply range of ± 5 to ± 12 volts with 100 ppm/% typical
- 0.2% linearity of demodulated output

- Linear triangle wave with in phase zero crossings available
- TTL and DTL compatible phase detector input and square wave output
- Adjustable hold in range from $\pm 1\%$ to $> \pm 60\%$

Applications

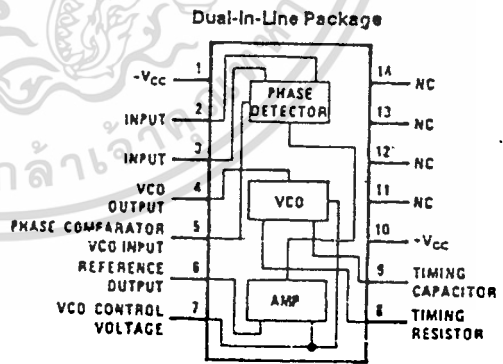
- Data and tape synchronization
- Modems
- FSK demodulation
- FM demodulation
- Frequency synthesizer
- Tone decoding
- Frequency multiplication and division
- SCA demodulators
- Telemetry receivers
- Signal regeneration
- Coherent demodulators

Connection Diagrams



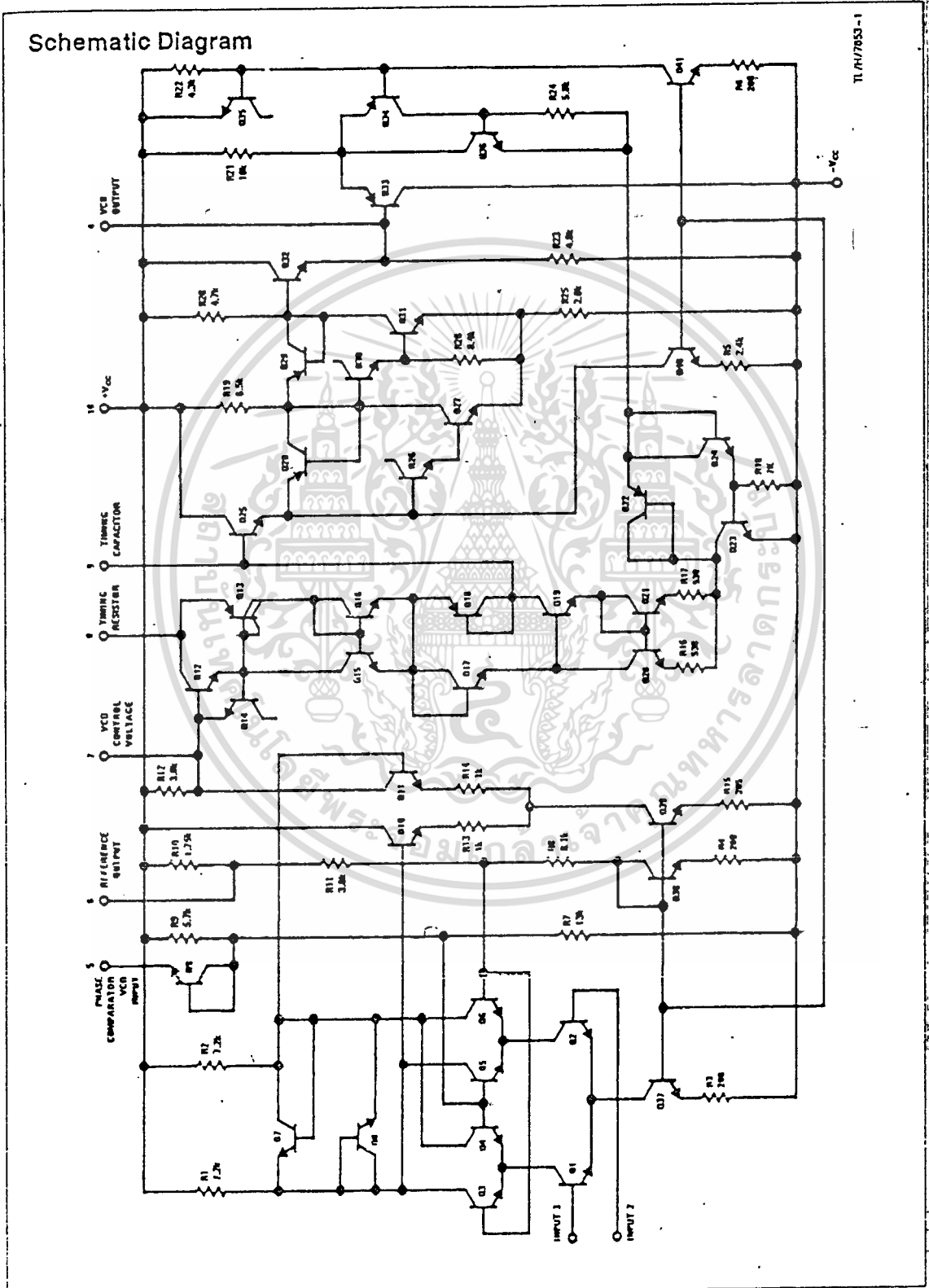
Order Number LM565H or LM565CH
See NS Package Number H10C

TL/H/7653-2



Order Number LM565CN
See NS Package Number N14A

TL/H/7653-3



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

In designing with phase locked loops such as the LM565, the important parameters of interest are:

FREE RUNNING FREQUENCY

$$f_o \approx \frac{0.3}{R_o C_o}$$

LOOP GAIN: relates the amount of phase change between the input signal and the VCO signal for a shift in input signal frequency (assuming the loop remains in lock). In servo theory, this is called the "velocity error coefficient."

$$\text{Loop gain} = K_o K_D \left(\frac{1}{\text{sec}} \right)$$

$$K_o = \text{oscillator sensitivity} \left(\frac{\text{radians/sec}}{\text{volt}} \right)$$

$$K_D = \text{phase detector sensitivity} \left(\frac{\text{volts}}{\text{radian}} \right)$$

The loop gain of the LM565 is dependent on supply voltage, and may be found from:

$$K_o K_D = \frac{33.6 f_o}{V_c}$$

f_o = VCO frequency in Hz

V_c = total supply voltage to circuit

Loop gain may be reduced by connecting a resistor between pins 6 and 7; this reduces the load impedance on the output amplifier and hence the loop gain.

HOLD IN RANGE: the range of frequencies that the loop will remain in lock after initially being locked.

$$f_H = \pm \frac{8 f_o}{V_c}$$

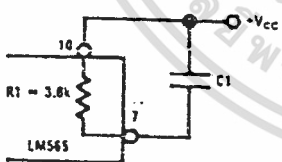
f_o = free running frequency of VCO

V_c = total supply voltage to the circuit

THE LOOP FILTER

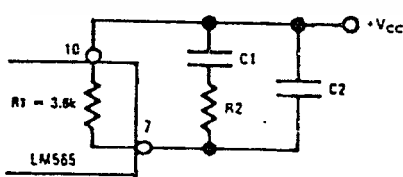
In almost all applications, it will be desirable to filter the signal at the output of the phase detector (pin 7); this filter may take one of two forms:

Simple Lag Filter



TL/H/7853-11

Lag-Lead Filter



TL/H/7853-12

A simple lag filter may be used for wide closed loop bandwidth applications such as modulation following where the frequency deviation of the carrier is fairly high (greater than 10%), or where wideband modulating signals must be followed.

The natural bandwidth of the closed loop response may be found from:

$$f_n = \frac{1}{2\pi} \sqrt{\frac{K_o K_D}{R_1 C_1}}$$

Associated with this is a damping factor:

$$\delta = \frac{1}{2} \sqrt{\frac{1}{R_1 C_1 K_o K_D}}$$

For narrow band applications where a narrow noise bandwidth is desired, such as applications involving tracking a slowly varying carrier, a lead lag filter should be used. In general, if $1/R_1 C_1 < K_o K_D$, the damping factor for the loop becomes quite small resulting in large overshoot and possible instability in the transient response of the loop. In this case, the natural frequency of the loop may be found from

$$f_n = \frac{1}{2\pi} \sqrt{\frac{K_o K_D}{\tau_1 + \tau_2}}$$

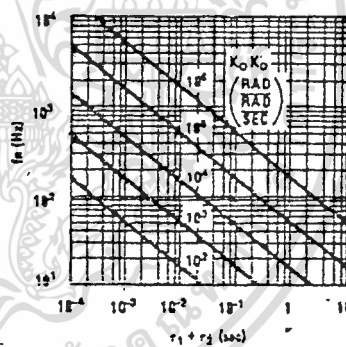
$$\tau_1 + \tau_2 = (R_1 + R_2) C_1$$

R_2 is selected to produce a desired damping factor δ , usually between 0.5 and 1.0. The damping factor is found from the approximation:

$$\delta \approx \pi \tau_2 f_n$$

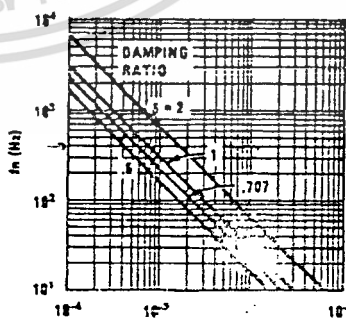
These two equations are plotted for convenience.

Filter Time Constant vs Natural Frequency



TL/H/7853-13

Damping Time Constant vs Natural Frequency



TL/H/7853-14

Capacitor C_2 should be much smaller than C_1 since its function is to provide filtering of carrier. In general $C_2 \leq 0.1 C_1$.

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage $\pm 12V$
 Power Dissipation (Note 1) 1400 mW
 Differential Input Voltage $\pm 1V$

Operating Temperature Range

LM565H $-55^{\circ}C$ to $+125^{\circ}C$
 LM565CH, LM565CN $0^{\circ}C$ to $+70^{\circ}C$

Storage Temperature Range

Lead Temperature (Soldering, 10 sec.) $-65^{\circ}C$ to $+150^{\circ}C$
 $260^{\circ}C$

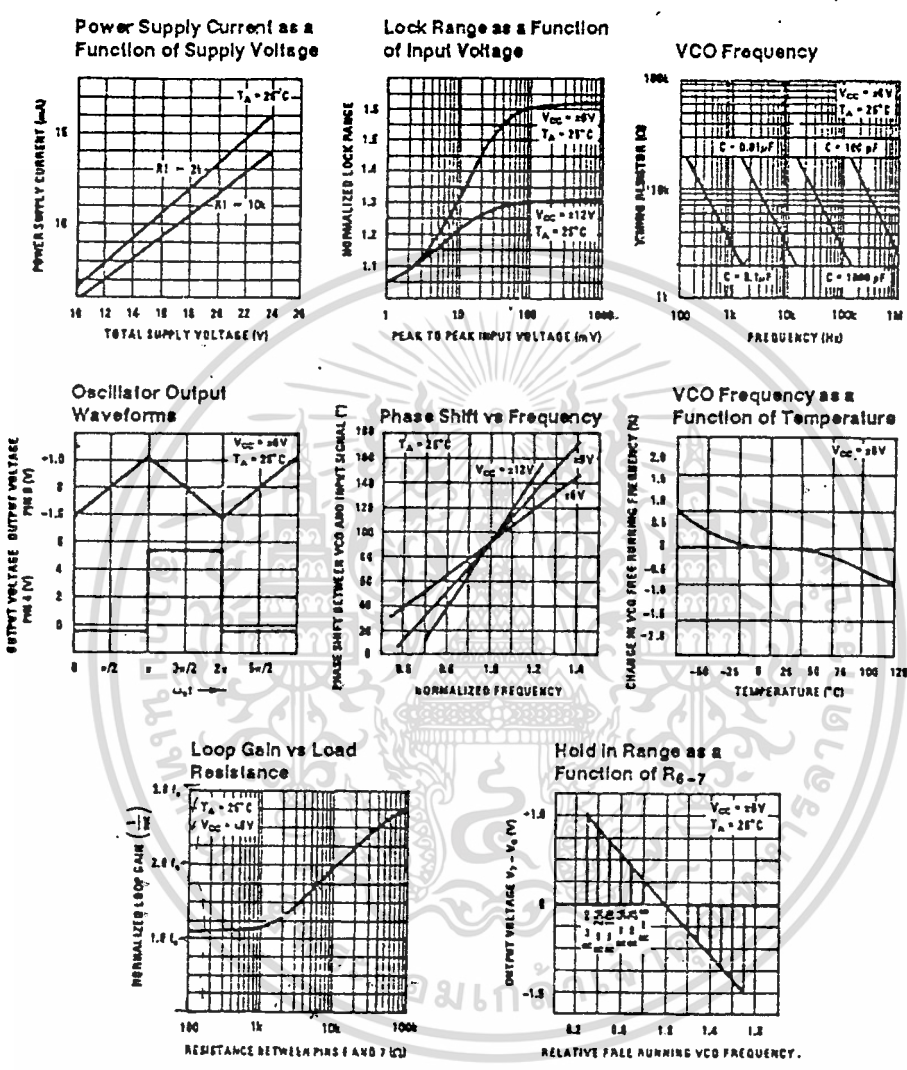
Electrical Characteristics AC Test Circuit, $T_A = 25^{\circ}C$, $V_{CC} = \pm 6V$

Parameter	Conditions	LM565			LM565C			Units
		Min	Typ	Max	Min	Typ	Max	
Power Supply Current			8.0	12.5		8.0	12.5	mA
Input Impedance (Pins 2, 3)	$-4V < V_2, V_3 < 0V$	7	10			5		k Ω
VCO Maximum Operating Frequency	$C_o = 2.7 pF$	300	500		250	500		kHz
VCO Free-Running Frequency	$C_o = 1.5 nF$ $R_o = 20 k\Omega$ $f_o = 10 kHz$	-10	0	+10	-30	0	+30	%
Operating Frequency Temperature Coefficient			-100			-200		ppm/ $^{\circ}C$
Frequency Drift with Supply Voltage			0.1	1.0		0.2	1.5	%/V
Triangle Wave Output Voltage		2	2.4	3	2	2.4	3	V_{pp}
Triangle Wave Output Linearity			0.2			0.5		%
Square Wave Output Level		4.7	5.4		4.7	5.4		V_{pp}
Output Impedance (Pin 4)			5			5		k Ω
Square Wave Duty Cycle		45	50	55	40	50	60	%
Square Wave Rise Time			20			20		ns
Square Wave Fall Time			50			50		ns
Output Current Sink (Pin 4)		0.6	1		0.6	1		mA
VCO Sensitivity	$f_o = 10 kHz$		6600			6600		Hz/V
Demodulated Output Voltage (Pin 7)	$\pm 10\%$ Frequency Deviation	250	300	400	200	300	450	mV_{pp}
Total Harmonic Distortion	$\pm 10\%$ Frequency Deviation		0.2	0.75		0.2	1.5	%
Output Impedance (Pin 7)			3.5			3.5		k Ω
DC Level (Pin 7)		4.25	4.5	4.75	4.0	4.5	5.0	V_o
Output Offset voltage $ V_7 - V_6 $			30	100		50	200	mV
Temperature Drift of $ V_7 - V_6 $			500			500		$\mu V/^{\circ}C$
AM Rejection		30	40			40		dB
Phase Detector Sensitivity K_D			.68			.68		V/radian

Note 1: The maximum junction temperature of the LM565 and LM565C is $+150^{\circ}C$. For operation at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of $+150^{\circ}C/W$ junction to ambient or $+45^{\circ}C/W$ junction to case. Thermal resistance of the dual-in-line package is $+85^{\circ}C/W$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics



TL/H/7853-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA**

**LM111
LM211
LM311**

Highly Flexible Voltage Comparators

The ability to operate from a single power supply of 5.0 V to 30 V or ± 15 V split supplies, as commonly used with operational amplifiers, makes the LM111/LM211/LM311 a truly versatile comparator. Moreover, the inputs of the device can be isolated from system ground while the output can drive loads referenced either to ground, the V_{CC} or the V_{EE} supply. This flexibility makes it possible to drive DTL, RTL, TTL, or MOS logic. The output can also switch voltages to 50 V at currents to 50 mA. Thus the LM111/LM211/LM311 can be used to drive relays, lamps or solenoids.

**HIGH PERFORMANCE
VOLTAGE COMPARATORS**

**SILICON MONOLITHIC
INTEGRATED CIRCUIT**

**N SUFFIX
PLASTIC PACKAGE
CASE 626**



**J-8 SUFFIX
CERAMIC PACKAGE
CASE 693**

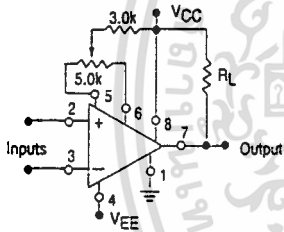


**D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO-8)**

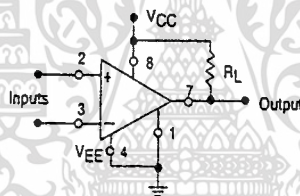


Typical Comparator Design Configurations

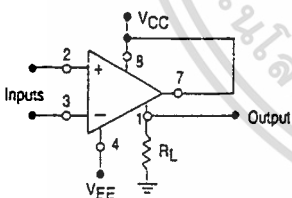
Split Power Supply with Offset Balance



Single Supply

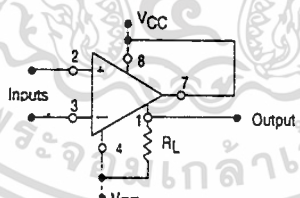


Ground-Referred Load



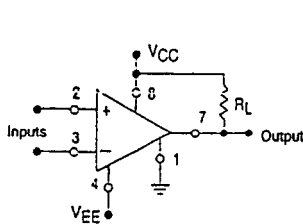
Input polarity is reversed when Gnd pin is used as an output.

Load Referred to Negative Supply

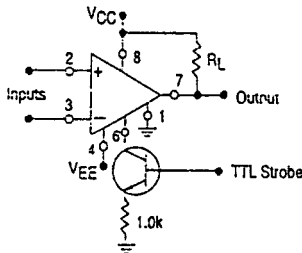


Input polarity is reversed when Gnd pin is used as an output.

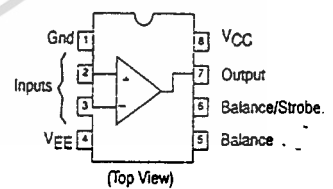
Load Referred to Positive Supply



Strobe Capability



PIN CONNECTIONS



ORDERING INFORMATION

Device	Temperature Range	Package
LM111J-8	-55° to +125°C	Ceramic DIP
LM211D LM211J-8	-25° to +85°C	SO-8 Ceramic DIP
LM311D LM311J-8 LM311N	0° to +70°C	SO-8 Ceramic DIP Plastic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM111, LM211, LM311

MAXIMUM RATINGS (T_A = +25°C, unless otherwise noted.)

Rating	Symbol	LM111/LM211	LM311	Unit
Total Supply Voltage	$V_{CC} + V_{EE} $	36	36	Vdc
Output to Negative Supply Voltage	$V_O - V_{EE}$	50	40	Vdc
Ground to Negative Supply Voltage	V_{EE}	30	30	Vdc
Input Differential Voltage	V_{ID}	±30	±30	Vdc
Input Voltage (Note 2)	V_{in}	±15	±15	Vdc
Voltage at Strobe Pin	—	V_{CC} to $V_{CC}-5$	V_{CC} to $V_{CC}-5$	Vdc
Power Dissipation and Thermal Characteristics: Plastic and Ceramic Dual-In-Line Packages Derate Above T _A = +25°C	P_D 1/θ _{JA}	625 5.0	—	mW mW/°C
Operating Ambient Temperature Range	T _A	-55 to +125 -25 to +85 —	— — 0 to +70	°C
Operating Junction Temperature	T _{J(max)}	+150	+150	°C
Storage Temperature Range	T _{stg}	-55 to +150	-55 to +150	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V, V_{EE} = -15 V, T_A = 25°C, unless otherwise noted [Note 1].)

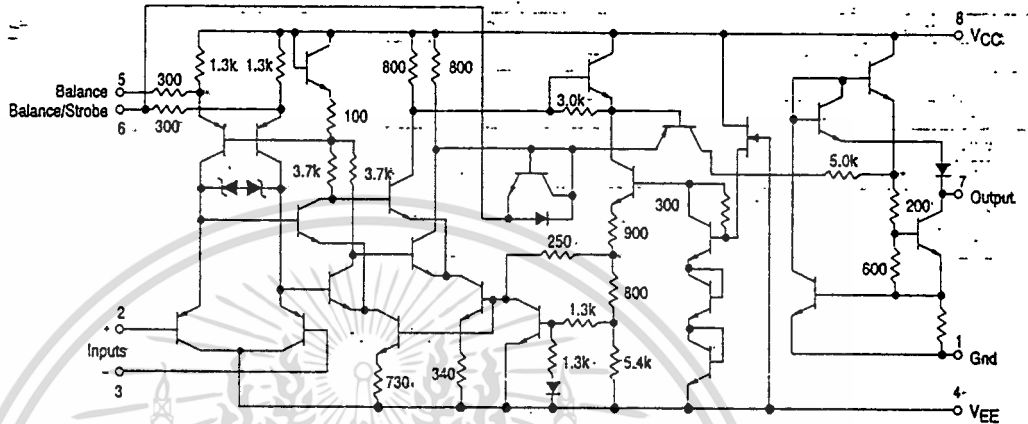
Characteristics	Symbol	LM111/LM211			LM311			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (Note 3) R _S ≤ 50 kΩ, T _A = +25°C R _S ≤ 50 kΩ, T _{low} ≤ T _A ≤ T _{high} *	V _{IO}	—	0.7	3.0	—	2.0	7.5	mV
Input Offset Current (Note 3) T _A = +25°C T _{low} ≤ T _A ≤ T _{high} *	I _{IO}	—	1.7	10	—	1.7	50	nA
Input Bias Current T _A = +25°C T _{low} ≤ T _A ≤ T _{high} *	I _{IB}	—	45	100	—	45	250	nA
Voltage Gain	A _v	40	200	—	40	200	—	V/mV
Response Time (Note 4)	—	—	200	—	—	200	—	ns
Saturation Voltage V _{ID} ≤ -5.0 mV, I _O = 50 mA, T _A = 25°C V _{ID} ≤ -10 mV, I _O = 50 mA, T _A = 25°C V _{CC} ≥ 4.5 V, V _{EE} = 0, T _{low} ≤ T _A ≤ T _{high} * V _{ID} ≤ 5.0 mV, I _{sink} ≤ 8.0 mA V _{ID} ≤ 10 mV, I _{sink} ≤ 8.0 mA	V _{OL}	—	0.75	1.5	—	0.75	1.5	V
Strobe "On" Current (Note 5)	I _S	—	3.0	—	—	3.0	—	mA
Output Leakage Current V _{ID} ≥ 5.0 mV, V _O = 35 V, T _A = 25°C, I _{strobe} = 3.0 mA V _{ID} ≥ 10 mV, V _O = 35 V, T _A = 25°C, I _{strobe} = 3.0 mA V _{ID} ≥ 5.0 mV, V _O = 35 V, T _{low} ≤ T _A ≤ T _{high} *	—	—	0.2	10	—	—	—	nA nA μA
Input Voltage Range (T _{low} ≤ T _A ≤ T _{high} *)	V _{ICR}	-14.5	-14.7 to 13.8	+13.0	-14.5	-14.7 to 13.8	+13.0	V
Positive Supply Current	I _{CC}	—	+2.4	+6.0	—	+2.4	+7.5	mA
Negative Supply Current	I _{EE}	—	-1.3	-5.0	—	-1.3	-5.0	mA

* T_{low} = -55°C for LM111 — T_{high} = +125°C for LM111
 = -25°C for LM211 = +85°C for LM211
 = 0°C for LM311 = +70°C for LM311.

- NOTES: 1. Offset voltage, offset current and bias current specifications apply for a supply voltage range from a single 5.0 V supply up to ±15 V supplies.
 2. This rating applies for ±15 V supplies. The positive input voltage limit is 30 V above the negative supply. The negative input voltage limit is equal to the negative supply voltage or 30 V below the positive supply, whichever is less.
 3. The Offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with a 1.0 mA load. Thus, these parameters define an error band and take into account the "worst case" effects of voltage gain and input impedance.
 4. The response time specified is for a 100 mV input step with 5.0 mV overdrive.
 5. Do not short the strobe pin to ground; it should be current driven at 3.0 mA to 5.0 mA.

LM111, LM211, LM311

Figure 1. Circuit Schematic



2

Figure 2. Input Bias Current versus Temperature

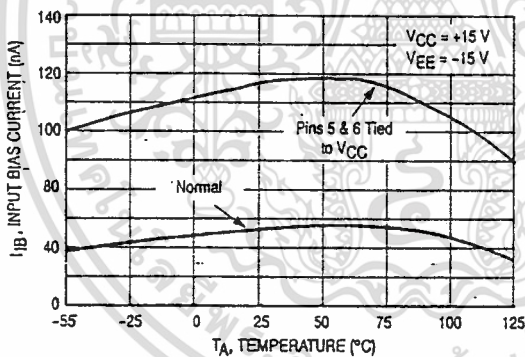


Figure 3. Input Offset Current versus Temperature

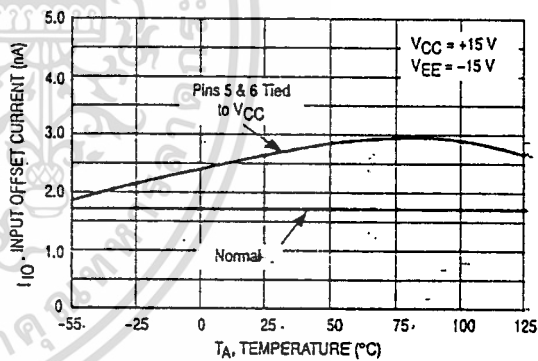


Figure 4. Input Bias Current versus Differential Input Voltage

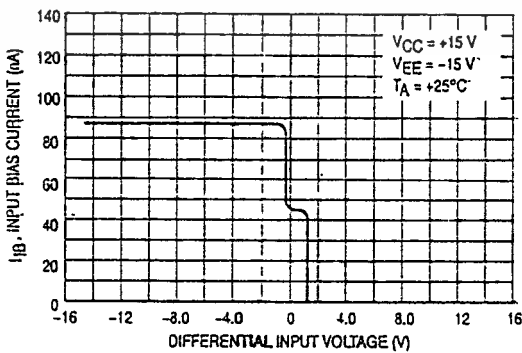
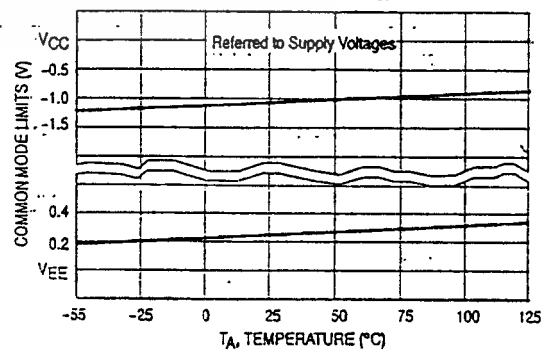


Figure 5. Common Mode Limits versus Temperature



MOTOROLA LINEAR/INTERFACE ICs DEVICE DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM111, LM1211, LM311

Figure 6. Response Time for Various Input Overdrives

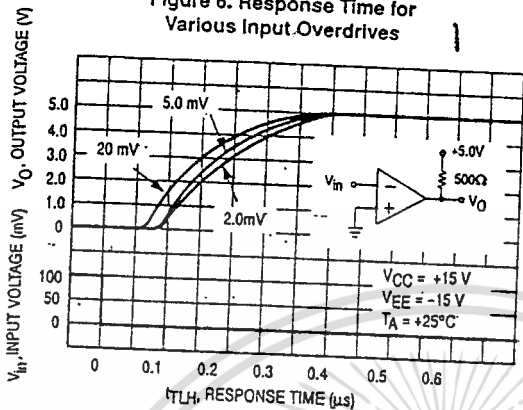


Figure 7. Response Time for Various Input Overdrives

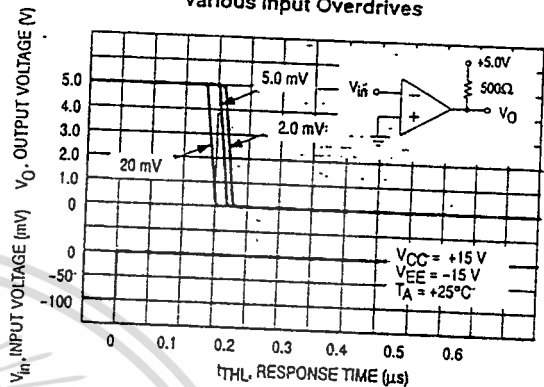


Figure 8. Response Time for Various Input Overdrives

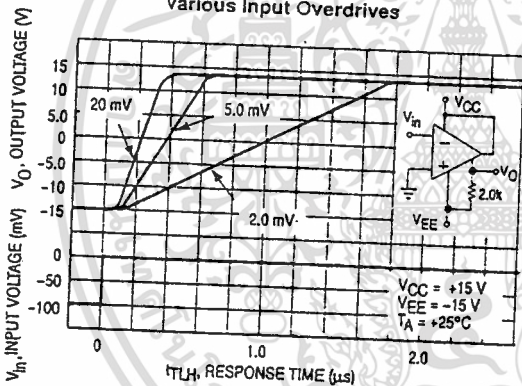


Figure 9. Response Time for Various Input Overdrives

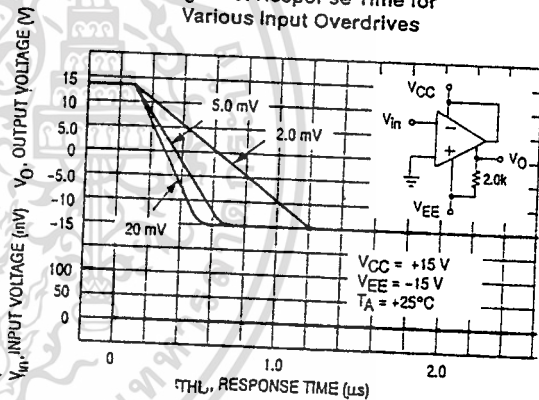


Figure 10. Output Short Circuit Current Characteristics and Power Dissipation

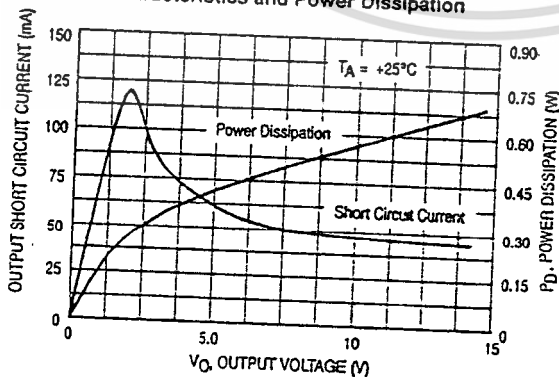
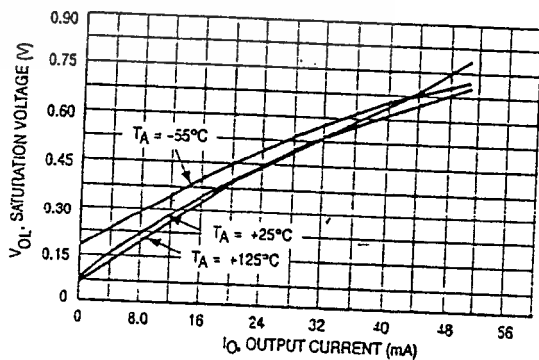


Figure 11. Output Saturation Voltage versus Output Current



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM111, LM211, LM311

Figure 12: Output Leakage Current versus Temperature

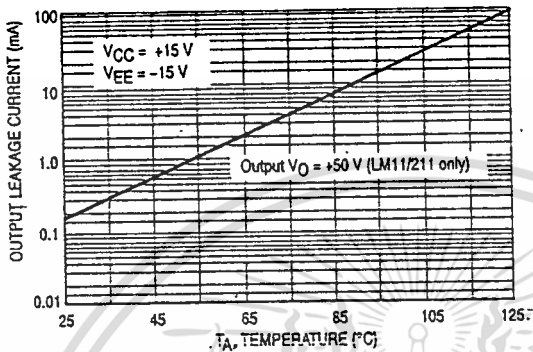


Figure 13: Power Supply Current versus Supply Voltage

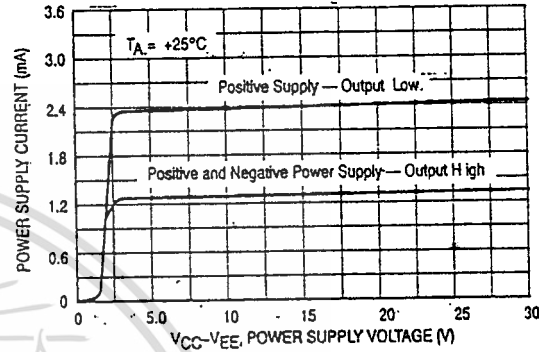
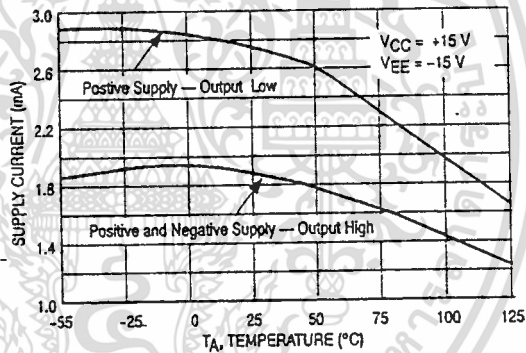


Figure 14: Power Supply Current versus Temperature



APPLICATIONS INFORMATION

Figure 15: Improved Method of Adding Hysteresis Without Applying Positive Feedback to the Inputs

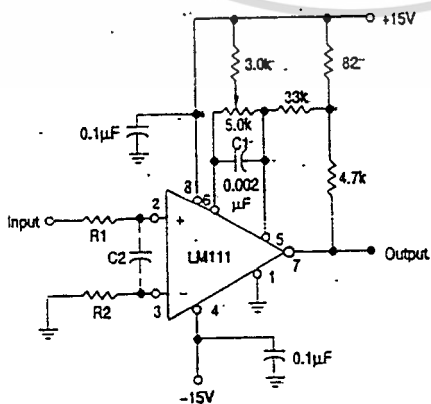
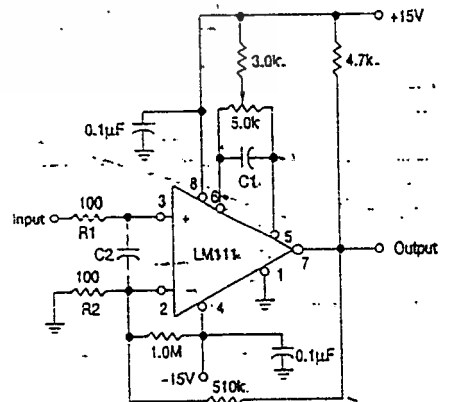


Figure 16: Conventional Technique for Adding Hysteresis



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM111, LM211, LM311

TECHNIQUES FOR AVOIDING OSCILLATIONS IN COMPARATOR APPLICATIONS

When a high speed comparator such as the LM111 is used with high speed input signals and low source impedances, the output response will normally be fast and stable, providing the power supplies have been bypassed (with 0.1 μF disc capacitors), and that the output signal is routed well away from the inputs (Pins 2 and 3) and also away from Pins 5 and 6.

However, when the input signal is a voltage ramp or a slow sine wave, or if the signal source impedance is high (1.0 k Ω to 100 k Ω), the comparator may burst into oscillation near the crossing-point. This is due to the high gain and wide bandwidth of comparators like the LM111 series. To avoid oscillation or instability in such a usage, several precautions are recommended, as shown in Figure 15.

The trim pins (Pins 5 and 6) act as unwanted auxiliary inputs. If these pins are not connected to a trim-pot, they should be shorted together. If they are connected to a trim-pot, a 0.01 μF capacitor (C1) between Pins 5 and 6 will minimize the susceptibility to ac coupling. A smaller capacitor is used if Pin 5 is used for positive feedback as in Figure 15.

Certain sources will produce a cleaner comparator output waveform if a 100 pF to 1000 pF capacitor (C2) is connected directly across the input pins. When the signal source is applied through a resistive network, R1, it is usually advantageous to choose R2 of the same value, both for dc and for dynamic (AC) considerations. Carbon, tin-oxide, and metal-film resistors have all been used with good results in comparator input circuitry, but inductive wirewound resistors should be avoided.

When comparator circuits use input resistors (e.g., summing resistors), their value and placement are particularly important. In all cases the body of the resistor should be close to the device or socket. In other words, there should be a very short lead length or printed-circuit foil run between comparator and resistor to radiate or pick up signals. The same applies to capacitors, pots, etc. For example, if R1 = 10 k Ω , as little as 5 inches of lead between the resistors and the input pins can result in oscillations that are very hard to dampen. Twisting these input leads tightly is the best alternative to placing resistors close to the comparator.

Since feedback to almost any pin of a comparator can result in oscillation, the printed-circuit layout should be engineered thoughtfully. Preferably there should be a groundplane under the LM111 circuitry (e.g., one side of a double layer printed circuit board). Ground, positive supply or negative supply foil should extend between the output and the inputs, to act as a guard. The foil connections for the inputs should be as small and compact as possible, and should be essentially surrounded by ground foil on all sides, to guard against capacitive coupling from any fast high-level signals (such as the output). If Pins 5 and 6 are not used, they should be shorted together. If they are connected to a trim-pot, the trim-pot should be located no more than a few inches away from the LM111, and a 0.01 μF capacitor should be installed across Pins 5 and 6. If this capacitor cannot be used, a shielding printed-circuit foil may be advisable between Pins 5 and 6. The power supply bypass capacitors should be located within a couple inches of the LM111.

A standard procedure is to add hysteresis to a comparator to prevent oscillation, and to avoid excessive noise on the output. In the circuit of Figure 16, the feedback resistor of 510 k Ω from the output to the positive input will cause about 3.0 mV of hysteresis. However, if R2 is larger than 100 Ω such as 50 k Ω , it would not be practical to simply increase the value of the positive feedback resistor proportionally above 510 k Ω to maintain the same amount of hysteresis.

When both inputs of the LM111 are connected to active signals, or if a high-impedance signal is driving the positive input of the LM111 so that positive feedback would be disruptive, the circuit of Figure 15 is ideal. The positive feedback is applied to Pin 5 (one of the offset adjustment pins). This will be sufficient to cause 1.0 mV to 2.0 mV hysteresis and sharp transitions with input triangle waves from a few Hz to hundreds of kHz. The positive-feedback signal across the 82 Ω resistor swings 240 mV below the positive supply. This signal is centered around the nominal voltage at Pin 5, so this feedback does not add to the offset voltage of the comparator. As much as 8.0 mV of offset voltage can be trimmed out, using the 5.0 k Ω pot and 3.0 k Ω resistor as shown.

Figure 17. Zero-Crossing Detector Driving CMOS Logic

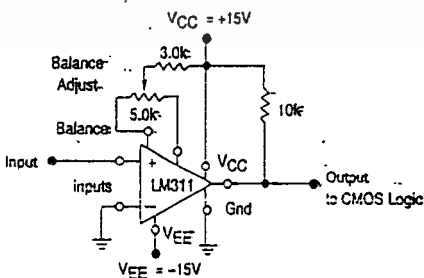
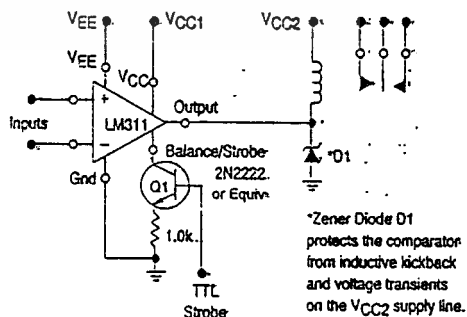


Figure 18. Relay Driver with Strobe Capability



กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สามารถสำเร็จลุล่วงได้ด้วยดี ข้าพเจ้าขอขอบคุณอาจารย์
 ประภากร สุวรรณะ และอาจารย์ทุกๆ ท่านที่ได้ให้ความรู้และคำแนะนำต่าง ๆ ในการแก้ไขปัญหา
 ที่เกิดขึ้นทั้งในด้านเทคนิคและในด้านวิชาการ ขอขอบคุณภาควิชาอิเล็กทรอนิกส์ที่ได้เอื้อเฟื้อสถานที่
 ที่ทดลองรวมทั้งเครื่องมือวัดต่าง ๆ ขอขอบคุณนักศึกษารุ่นน้องและเพื่อนๆ ที่ได้ให้กำลังใจ , ความ
 คิดเห็นรวมทั้งมุมมองต่าง ๆ เกี่ยวกับโครงการนี้

ข้าพเจ้าหวังเป็นอย่างยิ่งว่าปริญญานิพนธ์ฉบับนี้จะเป็นประโยชน์และเป็นแนวทาง
 ในการพัฒนาทางด้านการมอดูเลตและการคิมอดูเลตในด้านทฤษฎีและการปฏิบัติ แก่ผู้สนใจใน
 ด้านนี้พอสมควร เพื่อที่จะนำไปใช้ประยุกต์ให้เกิดประโยชน์แก่ส่วนรวมต่อไป สำหรับคุณความดี
 ของปริญญานิพนธ์ฉบับนี้ข้าพเจ้าขอมอบให้กับครู อาจารย์ ทุกท่านที่ได้ประสิทธิ์ประสาทวิชาแก่
 ข้าพเจ้า

สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณบิดาและมารดาของข้าพเจ้า ที่ได้ให้การ
 สนับสนุนข้าพเจ้าในทุกๆ ด้านตลอดมา

สมศักดิ์ เขมวิวิธ

สันติ ชวนนอก

สุรชัย ตระกูลทวีคุณ

บรรณานุกรม

- 1.ณรงค์ เหมกรณ์, “การสื่อสารดาวเทียม”,คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,210 หน้า,2533
- 2.D.Roy Choudhury/Shail Jain,“Linear Integrated circuits”Wiley Eastern limited,420 P.,1991.
- 3.Paul R.Gray/Robert G.Meyer,“Analysis and design of analog integrated circuit”,John Wiley & sons,792 P.,1993.
- 4.Sideny Scolof, “Applications of analog integrated circuits”,Prentice-Hall,583 P.,1985.
- 5.David E. Johnson/John L.HILBURN,“Rapid Practical Designs of Active filters”, John willey & Sons, 263P,1975.
- 6.Dr. Roland E.Best, “Phase-locked Loops”,Mc Graw-Hall Book Company,342p,1984.
- 7.Walter G.Jung,“Ic Op-amp Cookbook”,Howard w.Sams &company,580P,1989.
- 8.Arthur B.williams,“Designer’s Handbook of Integrated circuits”,MC Graw-Hill Book Company,771P,1984.