เครื่องจับภาพ

Frame Grabber

โดย

นายเกษม จุมด้วง

นายจรัส แซ่เจียง

วัน เดือน ปี -2 ตค 2541

เลขทะเบียน 038412

เลขเรียกหนังสือ T 34 [illegible]

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องจับภาพ

Frame Grabber

โดย

นายเกษม จุมด้วง รหัส 37013234

นายจรัส แซ่เฉียง รหัส 37013235

อาจารย์ที่ปรึกษา

ดร. สุริภณ สมควรพาณิชย์

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2539

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องจับภาพ (Frame Grabber)

ผู้จัดทำ

1. นายเกษม จุมด้วง
2. นายจรัส แซ่เจียง

.....

(ดร. สุริภณ สมควรพาณิชย์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

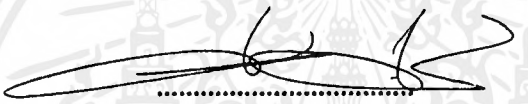
ชื่อโครงงานภาษาไทย เครื่องจับภาพ

ชื่อโครงงานภาษาอังกฤษ Frame Grabber

ผู้จัดทำ

1. นายเกษม · จุมด้วง รหัส 37013234
2. นายจรัส แซ่เจียง รหัส 37013235

โครงงานนี้ได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้



.....

(สุริภณ สมควรพาณิชย์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I

เครื่องจับภาพ

นายเกษม จุมค้วง
นายจรัส แซ่เจียง
ดร. สุริภณ สมควรพาณิชย์ อ.ที่ปรึกษา
ปีการศึกษา 2539

บทคัดย่อ

ในโครงงานนี้จะนำเสนอเทคนิคการเก็บภาพ และการวิเคราะห์ภาพซึ่งจะเก็บภาพมาจากกล้องวีดีโอ หรือ โทรทัศน์ ที่เป็นสัญญาณอนาล็อกนำไปแปลงเป็นสัญญาณดิจิตอลโดยใช้ไอซีที่มีความเร็วสูงในการแปลงสัญญาณ (เช่น CA3318) แล้วนำไปเก็บที่หน่วยความจำ RAM (64Kbyte) เนื่องจากต้องการความเร็วสูงในการเก็บข้อมูล จะได้นำไปวิเคราะห์ด้วยคอมพิวเตอร์ และสามารถนำไปประยุกต์ใช้งานกับโครงงานอื่นได้ เช่นระบบการมองเห็นของหุ่นยนต์, การบันทึกภาพ และการวินิจฉัยในด้านการแพทย์เป็นต้น ส่วนขอบข่ายของโครงงานนี้มีอยู่หลักๆ คือ การ Sampling, การบันทึกข้อมูล และการนำข้อมูลออกมาแสดงทางจอมอนิเตอร์ และคอมพิวเตอร์ โดยใช้ซอร์ฟแวร์ในการควบคุมการทำงานทั้งหมด (ซึ่งใช้โปรแกรมภาษาซี)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

II

Frame Grabber and Image Analyzer

Kasem Jumduang

Charus Saechiang

Suriporn Somkuarnpanich Advisor

1996

Abstract

This thesis presents design and contruction of Frame Grabber 256×256 pixel by using a high speed ADC require a 64 Kbyte RAM cabable of being written: There are many applications of analog to digital converter signal for example; Robot vision, Record picure and high technology for medical science; Limits for thesis is a sampling, data record to memory and show video signal to monitor and computer, control all function by C language program.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อ	I
Abstract	II
บทที่ 1 บทนำ	1
1.1 ความเป็นมาของปริญญานิพนธ์	1
1.2 วัตถุประสงค์ของปริญญานิพนธ์	1
1.3 ขอบเขตของปริญญานิพนธ์	1
1.4 เนื้อหาของปริญญานิพนธ์	1
บทที่ 2 ทฤษฎีทั่วไป	2
2.1 สัญญาณโทรทัศน์ขาวดำ	2
2.1.1 วิธีการสะแกน และการหักเหของลำอิเล็กตรอน	2
2.1.2 สัญญาณของโทรทัศน์ที่จำเป็นต้องส่ง	5
2.1.3 วงจรแยกสัญญาณซิ้งค์	7
2.2 การทำงานของไอซี CA3318	8
2.3 วิธี และลักษณะการจัดเก็บภาพ	13
2.4 การอินเตอร์เฟส	15
2.4.1 การดีโค้ดแบบ Fixed	15
2.4.2 การดีโค้ดโดยใช้สวิทช์เลือก	16
2.4.3 การดีโค้ดแอดเดรสของหน่วยความจำ	17
2.4.4 บัสไซเคิ้ลของระบบ	18
2.4.4.1 บัสไซเคิ้ลของการอ่านข้อมูลจากหน่วยความจำ	18
2.4.4.2 บัสไซเคิ้ลการเขียนข้อมูลลงบนพอร์ท	19
บทที่ 3 การทำงานของวงจรเก็บภาพ	21
3.1 บทนำ	21
3.2 หน้าที่ และการทำงานของวงจรต่างๆ	22
3.2.1 วงจรบัฟเฟอร์ (Buffer Circuit)	22
3.2.2 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล (Analog to Digital)	22
3.2.3 วงจรแยกสัญญาณซิ้งค์ (Sync. Separator Circuit)	24
3.2.4 วงจรสร้างสัญญาณนาฬิกา (Clock Circuit)	24
3.2.5 วงจรเลือกสัญญาณซิ้งก์ (Select Sync. Circuit)	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อ... หน้า

3.2.6 วงจรสร้างสัญญาณซิ้งค์ (Sync. Generator Circuit) 25
3.2.7 วงจรควบคุมการนับ (Sync. Control Counter Circuit) 26
3.2.8 วงจรนับ (Counter Circuit) 27
3.2.9 วงจรภาคหน่วยความจำ และอินเตอร์เฟส (RAM and Interface) 29
3.2.10 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก (Digital to Analog) 32
3.3 การทำงานของซอร์ฟแวร์ (Solfware) 33
3.4 การทำงานของโฟลชาร์ท (Flow Chart) 34
บทที่ 4 ผลการทดลอง 35
4.1 บทนำ 35
4.2 ผลการทดลองของ Buffer Circuit 35
4.3 ผลการทดลองของวงจร Sync. Seperator Circuit 36
4.4 ผลการทดลองของวงจร Clock Circuit 38
4.5 ผลการทดลองของวงจร Select Sync. Circuit 39
4.6 ผลการทดลองของวงจร Sync. Generator Circuit 41
4.7 ผลการทดลองของวงจร Sync. Control Counter Circuit 45
4.8 ผลการทดลองของวงจร Analog to Digital Circuit 49
4.9 ผลการทดลองของวงจร Digital to Analog Circuit 50
4.10 ผลการทดลองของวงจร Ram and Interface Circuit 52
บทที่ 5 สรุปผลการทดลอง และแนวทางการพัฒนา 53
5.1 สรุป และวิจารณ์ผลการทดลอง 53
5.2 ปัญหา และแนวทางการแก้ไข 53
5.2.1 ฮาร์ดแวร์ (Hardware) 53
5.2.2 ซอร์ฟแวร์ (Solfware) 54
5.3 แนวทางการพัฒนาต่อไป 54
บรรณานุกรม
ภาคผนวก
กิตติกรรมประกาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 2.1 ภาพบนจอโทรทัศน์ 2

รูปที่ 2.2 การหักเหของลำอิเล็กตรอน โดยอาศัยสนามแม่เหล็ก 2

รูปที่ 2.3 การสแกนแต่ละครั้งสำหรับภาพนิ่งแต่ละภาพ 4

รูปที่ 2.4 ความถี่การสแกนทางด้านเครื่องส่ง และเครื่องรับ 5

รูปที่ 2.5 รูปร่างของสัญญาณโทรทัศน์ 6

รูปที่ 2.6 สัญญาณภาพรวม 7

รูปที่ 2.7 วิธีแยกสัญญาณซิ้งค์ออกจากสัญญาณภาพ 8

รูปที่ 2.8 วงจรที่แยกสัญญาณซิ้งค์แนวนอนออกจากสัญญาณซิ้งค์แนวตั้ง 8

รูปที่ 2.9 แสดงการทำงานภายในของไอซี CA3318 9

รูปที่ 2.10 แสดงการควบคุม CA3318 11

รูปที่ 2.11 วงจรแปลงพื้นฐานของสัญญาณอนาล็อกเป็นดิจิตอล 12

รูปที่ 2.12 การจัดการหน่วยความจำแรมของระบบเก็บภาพ 14

รูปที่ 2.13 ตัวอย่างวงจรดีโค้ดแบบ Fixed 15

รูปที่ 2.14 ตัวอย่างวงจรดีโค้ดโดยใช้สวิทช์เลือก 16

รูปที่ 2.15 ตัวอย่างวงจรดีโค้ดบล็อกแอดเดรสของหน่วยความจำ 17

รูปที่ 2.16 บัสไซเคิ้ลของการอ่านข้อมูลจากหน่วยความจำ 18

รูปที่ 2.17 บัสไซเคิ้ลของการเขียนข้อมูลลงหน่วยความจำ 19

รูปที่ 3.1 แสดง Block Diagram ของวงจรทั้งหมด 21

รูปที่ 3.2 วงจรบัฟเฟอร์ (Buffer Circuit) 22

รูปที่ 3.3 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล (Analog to Digital Circuit) 23

รูปที่ 3.4 วงจรแยกสัญญาณซิ้งค์ (Sync. Separator Circuit) 24

รูปที่ 3.5 วงจรสร้างสัญญาณนาฬิกา (Clock Circuit) 24

รูปที่ 3.6 วงจรเลือกสัญญาณซิ้งค์ (Select Sync. Cricuti) 24

รูปที่ 3.7 วงจรสร้างสัญญาณซิ้งค์ (Sync. Generator Circuit) 25

รูปที่ 3.8 วงจรควบคุมการนับ (Sync Control counter Circuit) 26

รูปที่ 3.9 วงจรนับ (Counter Circuit) 28

รูปที่ 3.10 วงจรภาคหน่วยความจำ และอินเตอร์เฟส (Ram and interface) 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อ... หน้า

รูปที่ 3.11 วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (Digital to Analog Circuit) 32
รูปที่ 3.12 แสดงโฟลชาร์ท (Flow Chart) ของโปรแกรม 33
รูปที่ 4.1 แสดงสัญญาณภาพที่เอาท์ของวงจร Bufffer Circuit 35
รูปที่ 4.2 แสดงการเปรียบเทียบสัญญาณภาพ กับสัญญาณ H - Sync. 36
รูปที่ 4.3 แสดงการเปรียบเทียบสัญญาณภาพ กับสัญญาณ V -Sync 37
รูปที่ 4.4 แสดงสัญญาณนาฬิกาความถี่ 5 Mhz 38
รูปที่ 4.5 แสดงการเปรียบเทียบสัญญาณ H-Sync ของวงจร Select Sync. 39
รูปที่ 4.6 แสดงการเปรียบเทียบสัญญาณ V-Sync ของวงจร Select Sync 40
รูปที่ 4.7 แสดงการเปรียบเทียบสัญญาณอินพุทของวงจร H-Sync กับสัญญาณการหน่วงใน Step ที่ 1 41
รูปที่ 4.8 แสดงการเปรียบเทียบสัญญาณจากการหน่วงใน Step ที่ 1 ของวงจร H-Sync Gen กับสัญญาณ / H-Sync. Gen. 42
รูปที่ 4.9 แสดงการเปรียบเทียบสัญญาณของวงจร V-Sync. Gen. กับสัญญาณจากการหน่วงใน Step ที่ 1 43
รูปที่ 4.10 แสดงการเปรียบเทียบสัญญาณจากการหน่วงใน Step ที่ 1 ของวงจร V-Sync Gen. กับสัญญาณ /V -Sync Gen. 44
รูปที่ 4.11 แสดงการเปรียบเทียบสัญญาณภาพขาวดำ กับสัญญาณที่ได้จากการหน่วงใน Step ที่ 1 ของสัญญาณ H-Sync ในวงจร Control Counter 45
รูปที่ 4.12 แสดงการเปรียบเทียบสัญญาณภาพขาวดำ กับสัญญาณ / H-Count. 46
รูปที่ 4.13 แสดงการเปรียบเทียบสัญญาณภาพขาวดำกับสัญญาณที่ได้จากการหน่วงใน Step ที่ 1 ของสัญญาณ V-Synd ในวงจร Control Counter 47
รูปที่ 4.14 แสดงการเปรียบเทียบสัญญาณภาพขาวดำ กับสัญญาณ /V-Count.48
รูปที่ 4.15 แสดงการเปรียบเทียบสัญญาณภาพขาว กับสัญญาณดิจิตอล 49
รูปที่ 4.16 แสดงการเปรียบเทียบสัญญาณภาพดำ กับสัญญาณดิจิตอล 50
รูปที่ 4.17 แสดงการเปรียบเทียบสัญญาณภาพอนาล็อกทางอินพุท กับ เอาท์พุท 51
รูปที่ 4.18 แสดงสัญญาณภาพนิ่งที่ได้จากการจัดเก็บบนจอมอนิเตอร์ 52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาของปริญญานิพนธ์

ปัจจุบันในชีวิตประจำวัน การสื่อสารโดยใช้ภาพจะสามารถทำความเข้าใจได้ง่าย และรวดเร็ว ซึ่งการส่งสัญญาณระบบโทรทัศน์มีความจำเป็นมากในด้านความบันเทิง ความรู้ต่างๆ มากมาย และภาพที่เห็นจะเป็นระบบ Real Time คือส่งภาพต่อเนื่องกันไปโดยไม่มีการเก็บข้อมูลเอาไว้ทำให้ไม่สามารถที่จะนำภาพเหล่านั้นกลับมาชมอีกครั้งได้ ด้วยเหตุนี้จึงได้มีการพัฒนาให้สามารถเก็บข้อมูลภาพเหล่านั้นได้ โดยจะมีการเก็บภาพแบบดิจิตอล โดยภาพเหล่านั้นจะอาศัยคอมพิวเตอร์ควบคุมการทำงานทั้งหมด ด้วยเหตุนี้จึงได้จัดทำโครงงานที่เกี่ยวกับระบบจับภาพ และการวิเคราะห์ภาพขึ้นมา

1.2 วัตถุประสงค์ของปริญญานิพนธ์

1.2.1 เพื่อศึกษาเกี่ยวกับการเก็บข้อมูลของสัญญาณภาพในระบบ Analog ลงสู่หน่วยความจำ RAM ซึ่งจะอยู่ในรูปสัญญาณ Digital

1.2.2 เพื่อศึกษาการทำงานรวมกันระหว่าง Hardware และ Solfware มีลักษณะอย่างไร

1.2.3 เป็นการเสริมสร้างงานวิจัย และพัฒนาเทคโนโลยีเกี่ยวกับการเก็บภาพ และการแสดงภาพ ตลอดจนนำไปประยุกต์ใช้งานของข้อมูลภาพได้

1.3 ขอบเขตของปริญญานิพนธ์

โครงงานนี้เป็นการออกแบบและการสร้างเครื่องจับภาพ และการวิเคราะห์ภาพ ขาด 256*256 จุดต่อภาพ ซึ่งมีหลักการทำงานหลักๆ ดังนี้

1.3.1 การ Sampling และการบันทึกภาพ คือการเอาสัญญาณภาพในรูปของสัญญาณ Analog มาทำการสุ่ม แล้วจะได้สัญญาณในรูปดิจิตอล จากนั้นทำการเก็บลงสู่หน่วยความจำ RAM ที่อยู่บนการ์ด และบันทึกลงสู่หน่วยความจำ Floppy Disk ,Hard Disk โดยการควบคุมจากไมโครคอมพิวเตอร์

1.3.2 การแสดงผล คือการนำเอาสัญญาณภาพที่เก็บไว้ในหน่วยความจำมาแสดงบนจอมอนิเตอร์ และบนจอของเครื่องคอมพิวเตอร์ด้วย

1.4 เนื้อหาของปริญญานิพนธ์

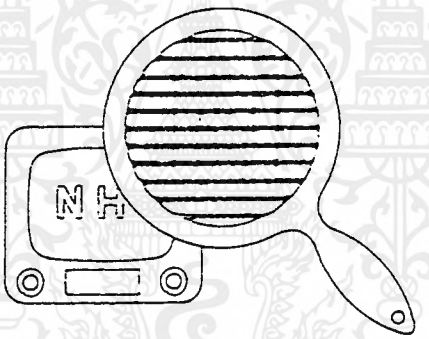
ปริญญานิพนธ์นี้กล่าวถึงความรู้ทั่วไปเกี่ยวกับสัญญาณภาพโทรทัศน์ขาวดำ เช่น การสะแกนภาพ การเกิดภาพบนจอโทรทัศน์ นอกจากนี้ยังกล่าวถึงการทำงานของไอซี CA3318 ที่ทำหน้าที่แปลงสัญญาณอนาล็อกเป็นดิจิตอลด้วยความเร็วสูง และการนำไปประยุกต์ใช้งาน ในส่วนของวงจรเก็บภาพและการวิเคราะห์ภาพจะอธิบายถึงหลักการทำงานของวงจรภาคต่างๆ ซึ่งประกอบด้วย วงจรบัฟเฟอร์ วงจรแยกซิ้งค์ วงจรแปลงอนาล็อกเป็นดิจิตอล วงจรควบคุมการนับ วงจรสร้างสัญญาณนาฬิกา วงจรภาคหน่วยความจำ และอินเตอร์เฟส ผลการทดลองจะอยู่บทถัดไป และสุดท้ายจะเป็นการสรุปผล และวิจารณ์ผลการทดลอง พร้อมทั้งแนะนำส่วนที่จะทำการแก้ไข และพัฒนาต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีทั่วไป

2.1 สัญญาณโทรทัศน์ขาวดำ

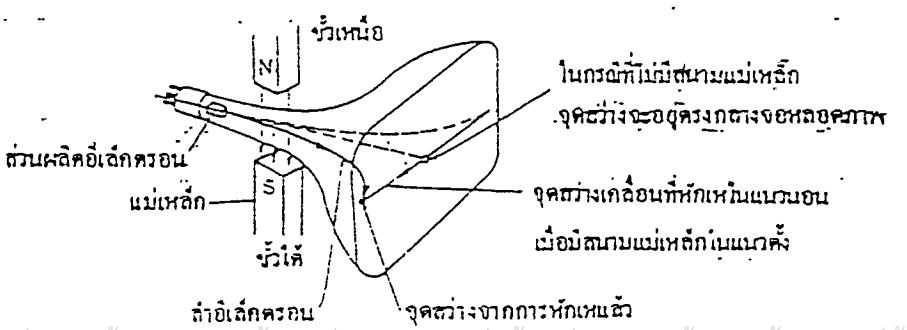
ภาพที่ปรากฏบนจอหลอดภาพของเครื่องรับโทรทัศน์[3] จะประกอบขึ้นด้วยเส้นขวางเล็กๆ ในแนวนอนเป็นจำนวนมาก ซึ่งแต่ละเส้นนี้ก็มีทั้งส่วนที่ดำสนิท ดำจาง และสว่างมากรวมกันอยู่ เส้นขวางเล็กๆ ตามแนวนอนเหล่านี้ มีชื่อเรียกว่า เส้นสะแกน ซึ่งประกอบไปด้วยจุดเล็กๆ ที่มีทั้งมืด และสว่างปะปนกัน ตามรูปที่ 1.1 ฉะนั้น ภาพที่ปรากฏบนจอจึงประกอบขึ้นด้วยจุดเล็กๆ ซึ่งมีระดับของความสว่างแตกต่างกันเป็นจำนวนมากมาย จุดเล็กๆ เหล่านี้มีชื่อเรียกว่า ส่วนประกอบของภาพ หรือ Picture elements ซึ่งภาพที่เห็นบนจอหลอดภาพจะมองดูละเอียด หยาบยังขึ้นอยู่กับความสว่างของภาพ และระยะที่มองดูภาพด้วย



รูปที่ 2.1 ภาพบนจอเครื่องรับโทรทัศน์จะประกอบด้วยเส้นสะแกนแนวนอนจำนวนมาก

2.1.1 วิธีการสะแกน และการหักเหของลำอิเล็กตรอน

ภายในหลอดภาพของเครื่องรับโทรทัศน์ อิเล็กตรอนที่หลุดออกมาจากแคโถด จะถูกดึงดูดให้วิ่งเป็นลำไปกระทบ แอโนด หรือ จอหลอดภาพ ซึ่งฉาบวัสดุเรืองแสงบางชนิดเอาไว้ ทำให้มองเห็นเป็นจุดสว่างขึ้นที่จอโดยอาศัยความเข้มของสนามแม่เหล็กเข้าช่วยเหลือ

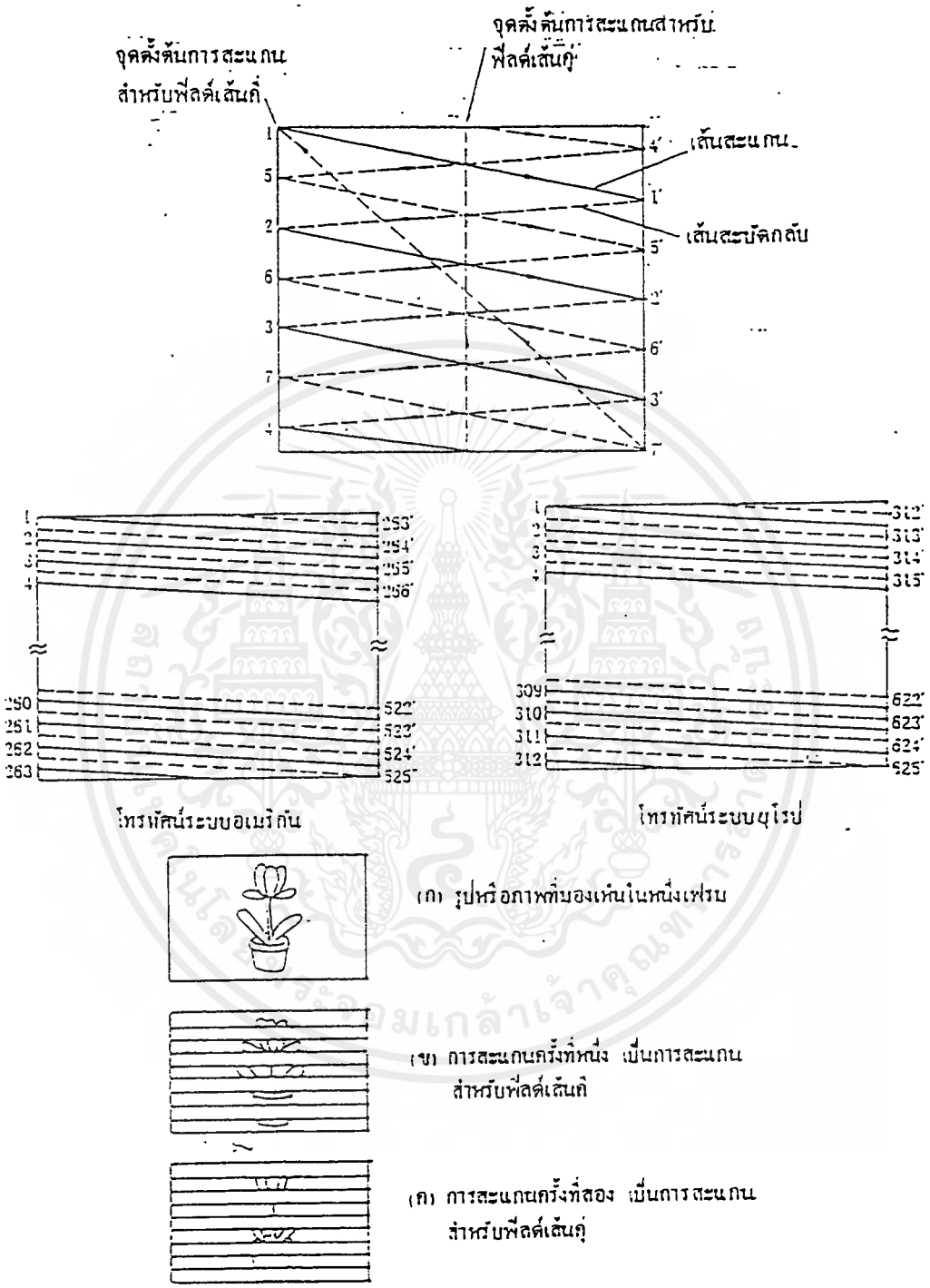


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

รูปที่ 2.2 การหักเหของลำอิเล็กตรอน โดยอาศัยสนามแม่เหล็กเข้าช่วยเหลือ

เพื่อช่วยในการหักเหลำอิเล็กตรอนในทิศทางที่ต้องการ จึงนิยมใช้สนามแม่เหล็กทั้งแนวตั้งแนวนอนร่วมกันทั้งสองสนาม แม่เหล็กไฟฟ้านี้เกิดจากการปล่อยกระแสไฟฟ้าผ่านขดลวดที่พันอยู่รอบๆ คอหลอดภาพ รูปร่างของกระแสไฟฟ้ามักเป็นรูปฟันเลื่อย โดยปกติการสะแกนจะเริ่มต้นขึ้นโดยการทำให้จุดสว่างเคลื่อนที่จากซ้ายมือด้านบนของจอไปทางขวามือในแนวนอน ซึ่งเมื่อไปถึงตำแหน่งขวาสุด ก็จะถูกเบนต่ำลงเล็กน้อย แล้วก็จะกลับไปตั้งต้นใหม่ทางซ้ายมือเพื่อเคลื่อนที่มาทางขวามือในแนวนอนอีก จนกระทั่งจุดสว่างไปถึงตำแหน่งขวามือข้างล่างสุดเป็นอันเสร็จสิ้นการสะแกนภาพนิ่งภาพหนึ่ง ซึ่งเรียกกันว่า เฟรมหนึ่ง แล้วลำอิเล็กตรอนจะกลับไปตั้งต้นใหม่ทางด้านซ้ายมือบนสุดของจอหลอดภาพอีก เพื่อสะแกนภาพนิ่งอันดับต่อไป อย่างไรก็ตามการสะแกนภาพนิ่งแต่ละภาพ จึงมักนิยมจัดทำสองครั้งในแบบของการสะแกนไขว้กันโดยกำหนดให้ภาพนิ่งหนึ่งเฟรม ประกอบด้วยภาพนิ่งสองฟิลด์ และเริ่มต้นด้วยการและแกนภาพนิ่งฟิลด์เส้นคี่ก่อนแล้วจึงสะแกนฟิลด์เส้นคู่ต่อไป ฉะนั้นการสะแกนภาพนิ่งหนึ่งเฟรมจึงประกอบด้วยการสะแกนภาพนิ่งฟิลด์คี่และฟิลด์คู่ สำหรับโทรทัศน์ระบบอเมริกันจะใช้เส้นสะแกน 525 เส้นต่อภาพ และ 30ภาพต่อวินาที สำหรับโทรทัศน์ระบบยุโรปจะใช้เส้นสะแกนแนวนอน 625 เส้นต่อภาพ และ 25 ภาพต่อวินาที ความถี่ของกระแสไฟฟ้าที่ทำให้เกิดการหักเหทางแนวนอนและหักเหทางแนวตั้ง ก็จะมีค่าเป็น(625)(25) หรือ 15,625 เฮิร์ต และ 50 เฮิร์ต ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

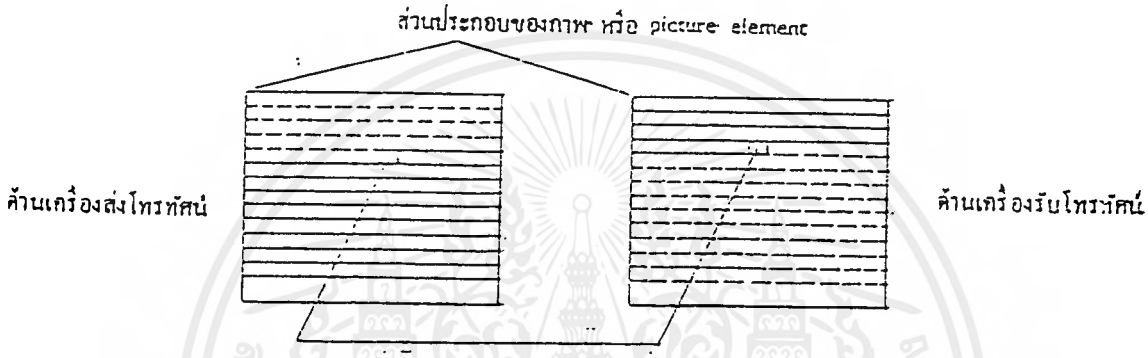


รูปที่ 2.3 การสะแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพ โดยแบ่งหนึ่งเฟรมออกเป็นสองฟิลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อคิดเปรียบเทียบกับช่วงเวลาที่มีเส้นสะแกน จุดสว่างที่มองเห็นสะบัดกลับไปในช่วงเวลาดังกล่าวแล้วนี้ ไม่ก่อให้เกิดประโยชน์อันใดเลย จึงใช้สัญญาณแบล้งค์กิ้งลบเส้นสะบัดกลับ

ความถี่ของกระแสรูปฟันเลื่อยในวงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้งทางด้านเครื่องส่ง และเครื่องรับโทรทัศน์ ต้องเท่ากันตลอดเวลาจึงจะทำให้เกิดภาพขึ้นที่จอหลอดภาพของเครื่องรับโทรทัศน์ การทำให้ความถี่ของกระแสทางด้านเครื่องส่งกับทางด้านเครื่องรับโทรทัศน์เท่ากันตลอดเวลานี้ จำเป็นต้องใช้สัญญาณซิ้งค์เข้าช่วยเหลือ



รูปที่ 2.4 ความถี่การสะแกนทางด้านเครื่องส่ง และเครื่องรับต้องเท่ากัน

2.1.2 สัญญาณของสถานีโทรทัศน์ที่จำเป็นต้องส่ง

เพื่อให้เกิดผลสมความมุ่งหมาย สถานีโทรทัศน์ที่ส่งภาพขาวดำ จำเป็นต้องส่งสัญญาณหลายอย่าง คือ

ก) **สัญญาณภาพ และ สัญญาณเสียง** เป็นสัญญาณที่ใช้เพื่อทำให้เกิดภาพ และเสียงทางเครื่องรับโทรทัศน์

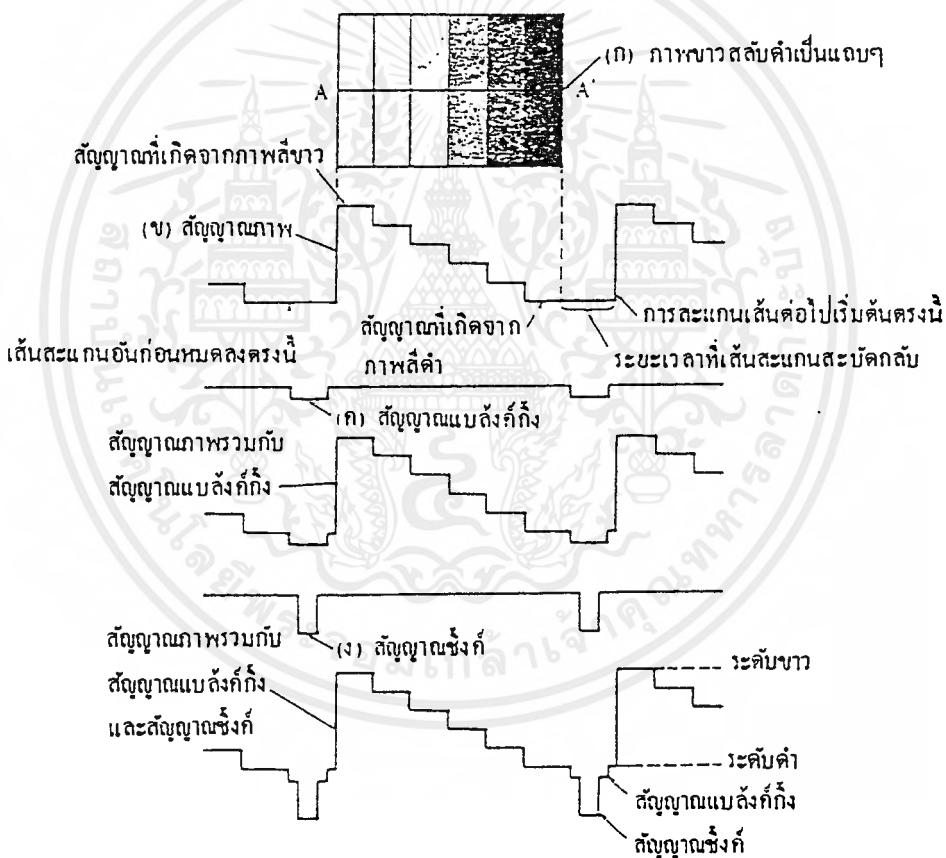
ข) **สัญญาณแบล้งค์กิ้ง** เป็นสัญญาณที่ใช้เพื่อลบเส้นสะแกนสะบัดกลับทั้งในแนวนอน และในแนวตั้ง เพื่อมิให้สังเกตเห็นได้ชัดทางจอหลอดภาพ

ค) **สัญญาณซิ้งค์** เป็นสัญญาณที่ใช้เพื่อช่วยทำให้วงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้งในเครื่องส่งกับเครื่องรับโทรทัศน์มีความถี่ตรงกันตลอดเวลา สัญญาณซิ้งค์ทางแนวนอนมีความถี่ 15,625 เฮิร์ต และสัญญาณซิ้งค์ทางแนวตั้งก็มีความถี่ 50 เฮิร์ต

ง) **สัญญาณอีควอไลซิ่ง** เป็นสัญญาณที่ใช้เพื่อช่วยให้สัญญาณซิ้งค์ทางแนวตั้ง ยังมีรูปร่างเหมือนเดิมหลังจากแยกออกมาจากสัญญาณซิ้งค์ทางแนวนอนแล้ว นอกจากนี้ยังช่วยทำให้การสะแกนแบบไขว้กันเป็นไปโดยเรียบร้อยสม่ำเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

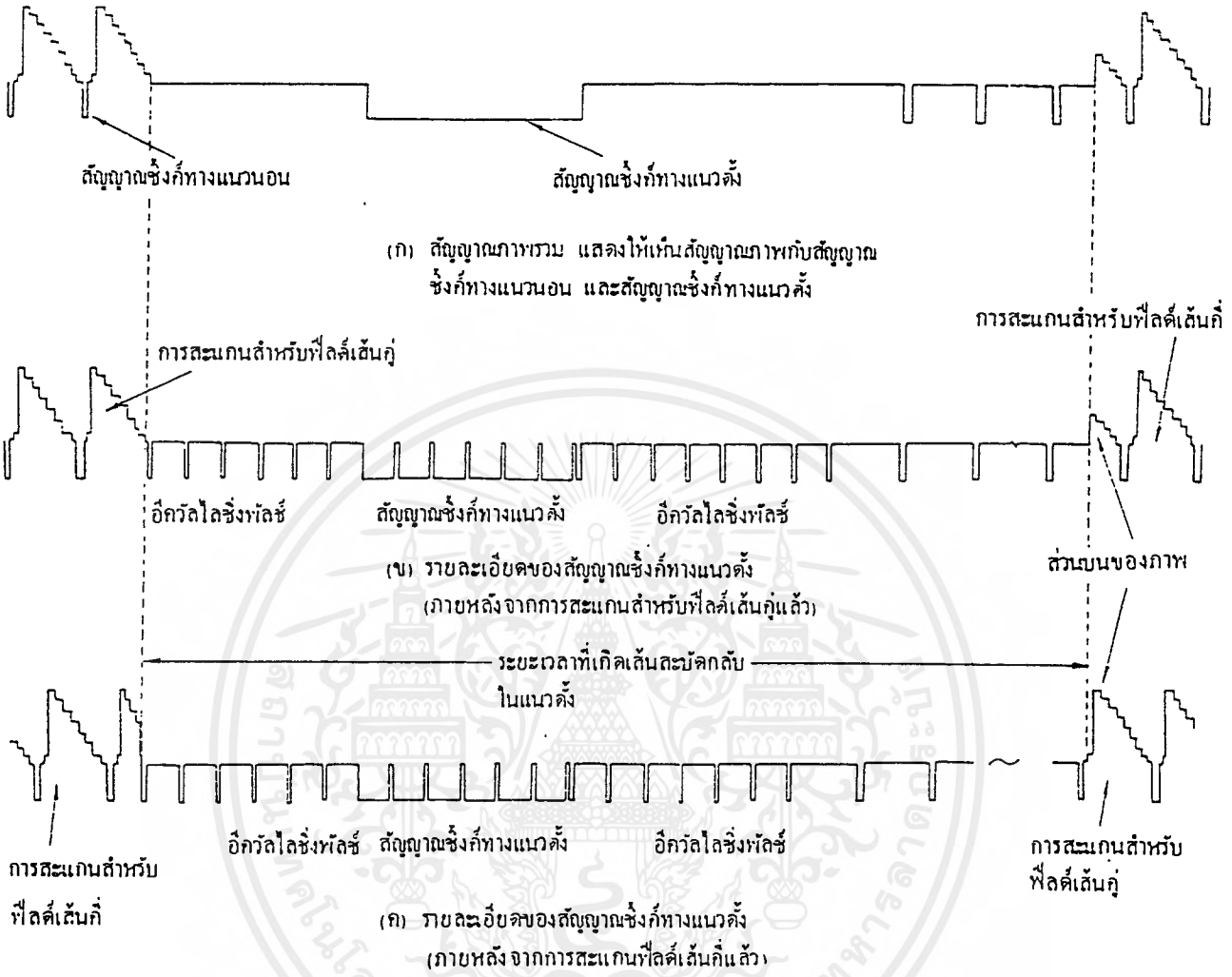
สัญญาณโทรทัศน์ที่มีสัญญาณภาพรวมกับสัญญาณอื่นๆ หลายอย่างมีชื่อเรียกว่าสัญญาณภาพรวม รูปที่2.5 แสดงภาพขาวสลับดำ ซึ่งเริ่มจากสีขาว สีจางๆ และสีดำสนิทเป็นแถบ ๆ กล้องโทรทัศน์จะเปลี่ยนภาพนี้ให้เป็นสัญญาณทางไฟฟ้าชนิดหนึ่ง ซึ่งเมื่อรวมกับสัญญาณแบล้งค์กิ้ง และสัญญาณซิ้งค์แล้ว ก็จะได้สัญญาณภาพรวมตามที่แสดงไว้ ภาพแต่ละชนิดจะให้สัญญาณทางไฟฟ้าที่มีความถี่สูงแตกต่างกัน



รูปที่ 2.5 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสับดำเป็นแถบๆ

ส่วนสัญญาณซิ้งค์เมื่อแยกออกจากสัญญาณภาพรวมแล้ว ก็จะผ่านไปยังวงจรแยกซิ้งค์ วงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

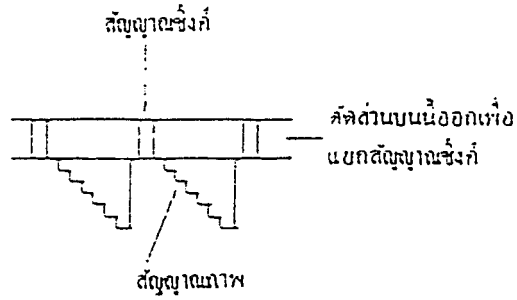


รูปที่ 2.6 สัญญาณภาพรวม แสดงให้เห็นรายละเอียดของสัญญาณแต่ละชนิด เช่นสัญญาณแบล้งค์กิ้ง สัญญาณซิ้งค์ และสัญญาณอีควอไลซิ่ง

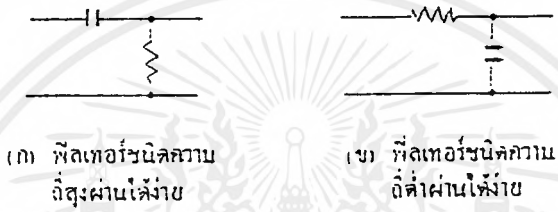
2.1.3 วงจรแยกสัญญาณซิ้งค์

สัญญาณซิ้งค์ที่สถานีโทรทัศน์ส่งออกมาพร้อมกับสัญญาณภาพ และ สัญญาณแบล้งคีกิ้ง ในรูปของสัญญาณภาพรวมนี้ จะมีทั้งสัญญาณซิ้งค์ทางแนวนอน และสัญญาณซิ้งค์ทางแนวตั้ง ซึ่งจะแยกออกจากกันโดยอาศัยความจริงที่ว่า ขนาดคลื่นของสัญญาณซิ้งค์สูงกว่าขนาดของสัญญาณภาพมาก จึงอาจแยกออกจากกันได้โดยตัดส่วนที่อยู่สูงเกินกว่าระดับของสัญญาณภาพที่กำหนดไว้ ตามรูปที่ 2.7 สัญญาณซิ้งค์นี้ยังเป็นสัญญาณซิ้งค์รวมจึงต้องแยกสัญญาณซิ้งค์ทางแนวนอนออกจากสัญญาณซิ้งค์ทางแนวตั้งอีกโดยถือหลักว่าสัญญาณซิ้งค์ทางแนวนอนมีความถี่ 15,625 เฮิร์ต ซึ่งสูงมาก จึงสามารถผ่าน ฟิลเตอร์ ชนิดความถี่สูงผ่านได้ง่าย ส่วนสัญญาณซิ้งค์ทางแนวตั้งนั้นมีความถี่เพียง 50 เฮิร์ต ซึ่งเป็นความถี่ต่ำ จึงควรผ่านฟิลเตอร์ชนิดที่ความถี่ต่ำผ่านได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 วิธีการแยกสัญญาณซิ้งออกจากสัญญาณภาพโดยเปรียบเทียบขนาดของสัญญาณทั้งสอง



รูปที่ 2.8 วงจรที่แยกสัญญาณซิ้งค์แนวนอนออกจากสัญญาณซิ้งค์ทางแนวตั้ง

2.2 การทำงานของไอซี CA3318

โดยทั่วไปเมื่อกล่าวถึง A/D คอนเวอร์เตอร์แล้วจะหมายถึง ตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอลก็คือสัญญาณที่มีการเปลี่ยนแปลงอย่างต่อเนื่องกันไป สำหรับไอซีเบอร์ CA3318 ก็มีหน้าที่แปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบแฟรชขนาด 8 บิต มีความเร็วในการแปลงสัญญาณสูงมาก. มีขนาด 24 ขา ตัวถังเป็นแบบ DIP [5]

หัวใจสำคัญของการแปลงสัญญาณ (ไม่ว่าจะเป็น A/D หรือ D/A ก็ตาม) ก็คือ ค่าความถูกต้องของการแปลงสัญญาณ ซึ่งขึ้นอยู่กับความละเอียด (Resolution) ของการแปลงสัญญาณ และความเร็วในการแปลงสัญญาณ (อย่าลืมว่าการแปลงสัญญาณเป็นเพียงการแปลงสัญญาณที่อยู่ในรูปแบบหนึ่งโดยเนื้อหายังคงเดิมอยู่ มิใช่แปลงรูปแบบไปแล้วเปลี่ยนเนื้อหาไปด้วย)

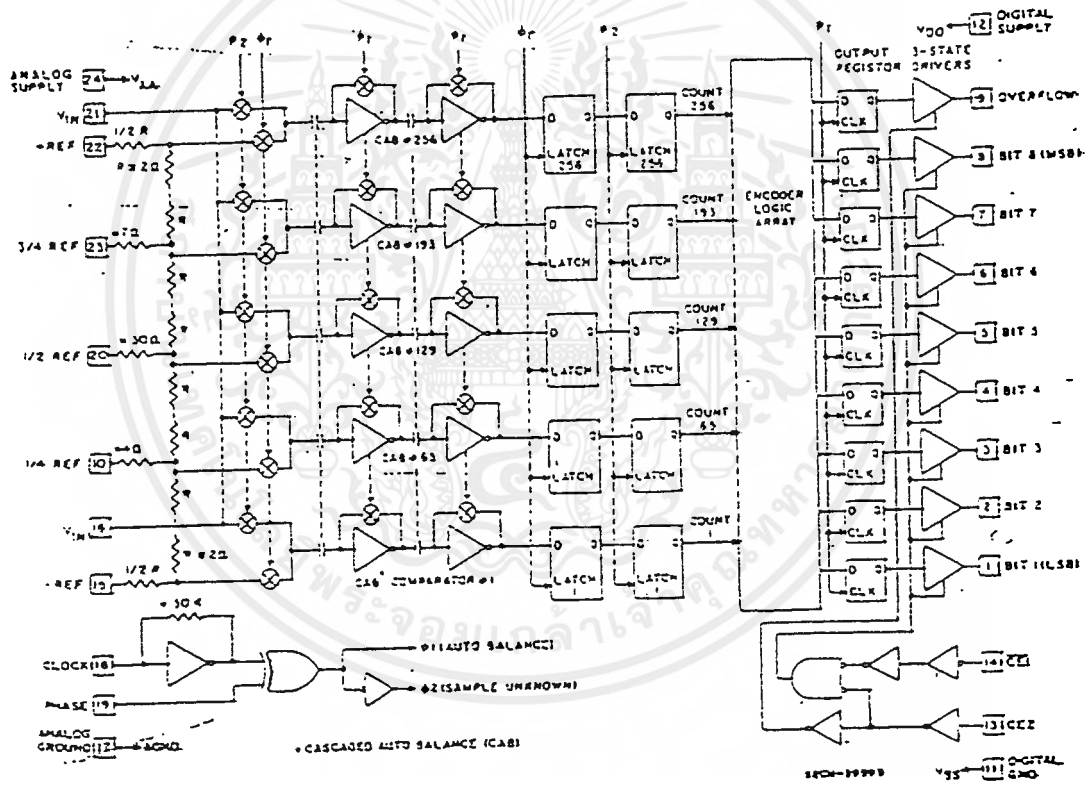
โครงสร้าง และการทำงานของ CA3318

ชุดสวิตช์อิเล็กทรอนิกส์ (ส่วนที่เห็นเป็นวงกลมมีกากบาทอยู่ภายใน) ทำการสุ่มสัญญาณเข้ามาสู่ชุดตัวเปรียบเทียบจำนวน 256 ชุด ตัวเปรียบเทียบนี้ทำหน้าที่เปรียบเทียบสัญญาณอินพุทที่เป็นอนาล็อกกับแรงดันอ้างอิงของตัวเปรียบเทียบทั้ง 256 ชุดที่ได้กำหนดไว้แล้ว ข้อมูลทั้งหมดจากตัวเปรียบเทียบ (เป็น "0" หรือ "1") ส่งเข้า D-F/F ทั้ง 256 ชุดโดยตรงเป็นไปในลักษณะตัวะเปรียบเทียบชุดที่ 1 ส่งข้อมูลเข้า D - F/Fชุดที่ 1 ซึ่งก็คือว่า ส่งเข้าชุดใครชุดมัน โดยที่ D-F/Fนั้นทำหน้าที่เป็นซิบบริจิสเตอร์ทำงานในโหมดสัญญาณนาฬิกา ตอบสนองต่อสัญญาณนาฬิกาเฉพาะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงของขาขึ้น และขอบขาลงของพัลส์เท่านั้น) ทำการแลตช์ (Latch) ข้อมูลไว้ชั่วขณะจนกว่าจะมีข้อมูลใหม่เข้ามาจึงจะเลื่อน (Shift) ข้อมูลนั้นส่งเข้าชุดเข้ารหัส (Encoder Logic Array) เพื่อแปลงข้อมูลทั้ง 256 ค่าออกมาเป็นข้อมูลดิจิตอลขนาด 9บิต (รวมบิตส่วนเกินด้วย) ส่งต่อไปยังเอาต์พุตรีจิสเตอร์ ซึ่งใช้ D ฟลิปฟลอปทำหน้าที่นี้อีกเช่นเคยก่อนส่งไปยังตัวขับ 3 สถานะเป็นเอาต์พุตต่อไป เอาท์พุทนี้สามารถควบคุมได้ด้วย $/CE_1$ และ CE_2

การทำงานทั้งหมดนี้เราสามารถควบคุมได้ที่ขาควบคุมเฟส (ขา 19)



รูปที่ 2.9 แสดงการทำงานภายในของ CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติคร่าวๆ ของ CA3318 มีดังนี้

1. ใช้เทคโนโลยี CMOS./SOS
2. ใช้เทคนิคการแปลงข้อมูลแบบขนาน
3. อัตราการแปลงข้อมูล 15 MSPSที่ 5 โวลท์
4. ให้เอาท์พุทขนาด 8 บิต
5. ใช้แหล่งจ่ายไฟชุดเดียว 4 โวลท์ ถึง 6.5 โวลท์
6. ใช้ระบบกราวด์ของอนาล็อกกับดิจิตอลออกจากกันโดยเด็ดขาด
7. กำลังงานสูญเสีย 200 มิลลิวัตต์
8. แรงดันอินพุทอยู่ในช่วง 0 - 6.4 โวลต์
9. สัญญาณนาฬิกา 20 MHz

สัญญาณนาฬิกากับเฟส

CA3318 ใช้เทคนิคการแปลงข้อมูลแบบขนานเป็นลำดับ (Sequential Parallel Technique) โดยอาศัยการจัดระดับลอจิกของสัญญาณนาฬิกาไปควบคุมจังหวะในการทำงานของส่วนต่างๆ ให้สอดคล้องกัน ซึ่งจุดประสงค์จริงๆ ก็คือ ความเร็วในการแปลงสัญญาณต้องเป็นแบบ "แฟลช" นั่นเอง จากรูป 2.9 ขาป้อนสัญญาณนาฬิกา(ขา 18) และขาควบคุมเฟส (ขา 19) ต่อกับวงจรลอจิกเกตชุดหนึ่ง ซึ่งวงจรนี้ทำหน้าที่จัดสัญญาณนาฬิกาให้แบ่งเป็นเฟส 2 เฟสคือ ϕ_1 (Auto Balance) และ ϕ_2 (Sample Unknow) เฟสทั้ง 2 เฟสนี้จะถูกจัดให้อยู่ในช่วงลอจิก "0" หรือ ลอจิก "1" ของสัญญาณนาฬิกา(ใน 1 คาบ เวลา) เราควบคุมได้โดยใช้ขาควบคุมเฟส

จากการจัด ϕ_1 และϕ_2 ให้อยู่คนละช่วงของสัญญาณนาฬิกาด้วยขาควบคุมเฟสนี้ ทำให้เราสามารถควบคุมความเร็วในการแปลงสัญญาณ(ข้อมูล)ของ CA3318 ให้เปลี่ยนแปลงไปตามสัญญาณนาฬิกาได้

การควบคุม CA3318

เราสามารถใช้ขาควบคุมเฟส (ขา 19) ควบคุมความเร็วการแปลงสัญญาณของ CA3318 ได้ 2 วิธีคือ

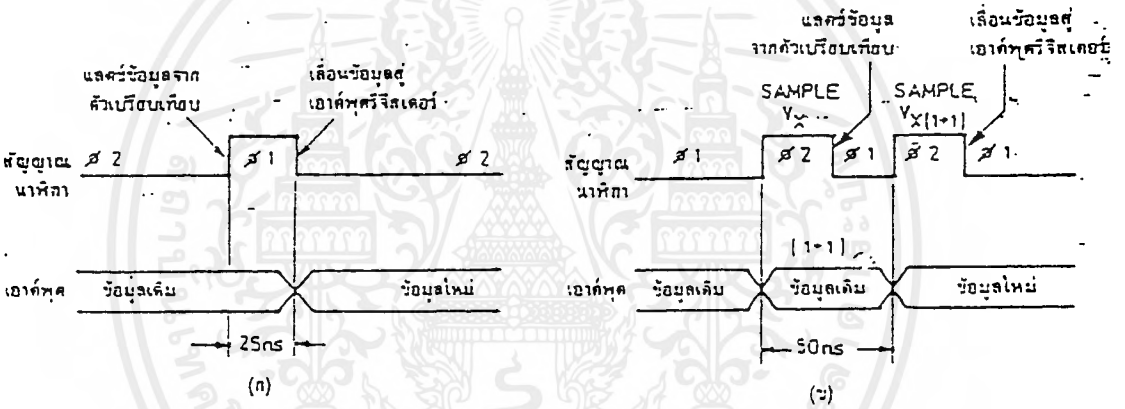
<u>วิธีแรก</u> โดยการป้อนลอจิก "0" เข้าที่ขาควบคุมเฟส แสดงดังรูปที่ 2.10 ก) ϕ_1 จะถูกจัดให้อยู่ในลอจิก "1" และ ϕ_2 ถูกจัดอยู่ในลอจิก"0" ของสัญญาณนาฬิกา ข้อมูลจากตัวเปรียบเทียบ (อนาล็อก)จะถูกแลตช์ไว้ที่ขอบขาขึ้นของพัลส์ ϕ_1 และเมื่อถึงช่วงขอบขาลงของพัลซ์ ϕ_1 แล้ว ก็

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะทำการเลื่อนข้อมูลนั้นส่งเข้าเอาต์พุตรีจิสเตอร์ต่อไป ซึ่งวิธีนี้เป็นการแปลงข้อมูลเสร็จสิ้นภายในครึ่งคาบเวลาของสัญญาณนาฬิกาเท่านั้น

<u>วิธีที่สอง</u> โดยการป้อนลอจิก "1" เข้าที่ขาควบคุมเฟสเช่นกัน แสดงดังรูปที่ 2.10 (ข) ϕ_1 ถูกจัดให้อยู่ในลอจิก "0" และ ϕ_2 ถูกจัดให้อยู่ในลอจิก "1" ของสัญญาณนาฬิกา เมื่อถึงช่วงขอบขาลงของพัลส์ ϕ_2 ข้อมูลจากตัวเปรียบเทียบ (อนาล็อก) ถูกแลตช์ไว้จนกว่าจะถึงช่วงขอบขาขึ้นของพัลส์ ϕ_2 ถูกต่อมาจึงจะทำการเลื่อนข้อมูลส่งเข้าเอาท์พุทรีจิสเตอร์วิธีนี้จะแปลงสัญญาณเสร็จสิ้นภายใน 1 คาบเวลาของสัญญาณนาฬิกา

จะเห็นได้ว่าวิธีแรกใช้เวลาในการแปลงสัญญาณน้อยกว่าวิธีที่สอง และสำหรับงานที่ต้องการความรวดเร็วในการแปลงสัญญาณควรเลือกควบคุม CA3318 ด้วยวิธีแรกจะเหมาะสมกว่า



รูปที่ 2.10 แสดงการควบคุม CA3318 ด้วยการขาควบคุมระดับลอจิกของสัญญาณนาฬิกา
ก) เมื่อให้ขาควบคุมเฟสเป็น "0"
ข) เมื่อให้ขาควบคุมเฟสเป็น "1"

พื้นฐานการแปลงสัญญาณ A/D แบบขนาน (แฟลช)

หลักการอย่างง่ายที่สุดของการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบขนานแสดงดังรูปที่ 2.11 ต่อในลักษณะขนานกัน มีตัวต้านทานต่อแบ่งแรงดันจากแรงดันอ้างอิง ไว้กำหนดค่าแรงดันต่ำสุดที่ตัวเปรียบเทียบทั้ง 3 ตัว ยังสามารถทำงานได้ แรงดันอ้างอิงนี้อาจจะมีค่าเท่ากับค่าแรงดันสูงสุดของสัญญาณอินพุทที่เป็นอนาล็อกก็ได้

จากตารางที่ 1 จะเห็นว่าตัวเปรียบเทียบแต่ละตัวจะให้เอาท์พุตเป็น "1" ก็ต่อเมื่อแรงดันอินพุทมีค่าสูงกว่าแรงดันอ้างอิงของตัวเปรียบเทียบแต่ละตัว ซึ่งมีค่าแตกต่างกัน และถ้าแรงดันอินพุทมีค่าอยู่ในช่วง 3 - 4 โวลต์ (แรงดันอ้างอิง+4 โวลต์) จะทำให้ตัวเปรียบเทียบทั้ง 3 ตัวให้เอาต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

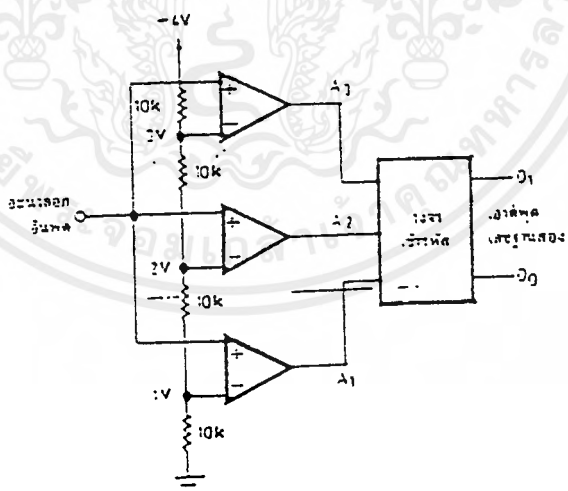
พุตเป็น "1" หมด เอาต์พุตจากตัวเปรียบเทียบทั้งหมดส่งเข้าไปที่วงจรเข้ารหัสเพื่อทำให้เป็นสัญญาณดิจิตอลในระบบเลขฐานสองต่อไป

วงจรรูปที่ 2.11 นี้ตอบสนองต่อแรงดันอินพุท (อนาล็อก) 4 ระดับ และแต่ละระดับมีความแตกต่าง 1 โวลต์ ดังนั้นความละเอียด (Resolution) ของวงจรนี้มีขนาด 2บิต เราสามารถหาความละเอียดของวงจรได้จากจำนวนของตัวเปรียบเทียบนี้คือ

จำนวนตัวเปรียบเทียบ = $2^n - 1$, เมื่อ n = ความละเอียด

เช่น ต้องการความละเอียดขนาด 8 บิต จะต้องใช้ตัวเปรียบเทียบถึง 255 ตัว (แทนค่า n = 8 ในสูตร)

จากลักษณะการต่อตัวเปรียบเทียบให้ขนานกันเพื่อให้รับสัญญาณอินพุทได้พร้อมๆ กัน เราจึงเรียกว่า วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบขนาน (Paralell A/D Converters) และเนื่องจากมันสามารถตอบสนองต่อสัญญาณอินพุทที่เป็นอนาล็อก และแปลงสัญญาณอนาล็อกเป็นดิจิตอลได้อย่างรวดเร็วมาก เราจึงเรียกได้อีกอย่างว่า วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบแฟลช (Flash A/D Converters)



รูปที่ 2.11 วงจรพื้นฐานของการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบขนาน (แฟลช)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประยุกต์ใช้งาน

ส่วนใหญ่แล้ว CA3318 นำไปใช้ในระบบที่ต้องการการประมวลผลด้วยความเร็วสูงมากๆ เช่น การวิเคราะห์สัญญาณเรดาร์, การวิเคราะห์สัญญาณทรานเซี้ยนต์, การวิเคราะห์การเคลื่อนที่ของวัตถุ, ใช้ในอุปกรณ์แปลงสัญญาณภาพระบบดิจิตอลในเครื่องรับโทรทัศน์

CA3318 ออกแบบภาคเอาต์พุตโดยใช้ตัวขับ 3 สถานะ (3 - State Drivers) เพื่อเชื่อมโยงกับไมโครโปรเซสเซอร์ขนาด 8 บิต โดยเฉพาะ แต่โดยทั่วไปแล้วขั้นตอนหลักของการเชื่อมโยงตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอลเข้ากับไมโครโปรเซสเซอร์มี 3 ขั้นตอนใหญ่ๆ คือ

ขั้นแรก ป้อนคำสั่ง (Command) เข้าสู่ไมโครโปรเซสเซอร์ที่จะให้ตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอลเริ่มต้นการแปลงสัญญาณ

ขั้นที่สอง จะต้องมีการตรวจสอบสถานะข้อมูลอินพุท (Data Ready) จนกระทั่งการแปลงสัญญาณเสร็จสิ้นสมบูรณ์

ขั้นที่สาม ทำการอ่านข้อมูลที่เป็นดิจิตอลแล้วเข้าสู่ตัวไมโครโปรเซสเซอร์นั่นเอง

นอกเหนือจาก CA3318 แล้วยังมีไอซีอีกเบอร์ซึ่งอยู่ในอนุกรมเดียวกันทำหน้าที่อย่างเดียวกันคือ เบอร์ CA3318C ปรับปรุงมาจาก CA3318 ให้มีความเร็วในการสุ่มสัญญาณสูงขึ้นจาก 15 MSPS (Million Sampling Per Second) สัญญาณนาฬิกา 20 MHz ที่ 5 โวลต์ แต่กำลังสูญเสียลดลงเหลือเพียง 150 mW ส่วนคุณสมบัติอื่นๆ และวงจรภายในเหมือนกันกับ CA3318 ทุกประการ

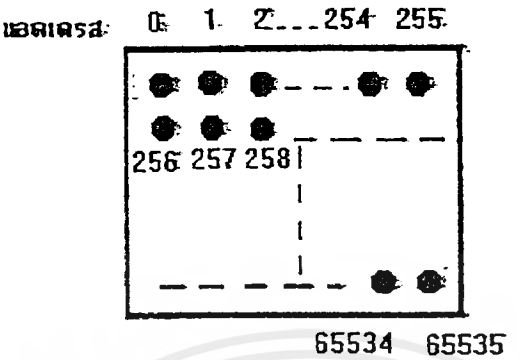
2.3 วิธี และลักษณะการจัดเก็บภาพ

ในการเก็บภาพนั้นสัญญาณภาพจะถูกเปลี่ยนสัญญาณทางดิจิตอล[2] เพื่อที่จะเก็บในหน่วยความจำแรมได้สัญญาณภาพที่ได้จากโทรทัศน์วงจรปิดหรือเครื่องรับส่งโทรทัศน์ นั้นเวลาที่เกิดการสแกน(Scan) เสร็จสิ้นในแต่ละภาพนั้นจะมีเวลาสั้นมาก แม้จะมีการสแกน 2 ฟิลด์ต่อภาพ (1 Fame) ก็ตาม ในการสแกนแต่ละฟิลด์จะใช้เวลาประมาณ 20 ms จะเห็นได้ว่าใดเวลาสั้นมาก เพราะฉะนั้นไอซีที่ทำหน้าแปลงสัญญาณภาพจาก Analog ไปเป็น digital จะต้องทำงานด้วยความเร็วสูง นั้นคือ ต้องทำงานได้ความถี่สูงได้ดี ซึ่งไอซีชนิดนี้เรียกว่า IC แบบ Flash A/D ในโครงนี้จะใช้ ไอซีเบอร์ CA3318 ขนาด 8 บิต ซึ่งจะทำสุ่มสัญญาณ (Sampling signal) ภาพให้มีความละเอียดขนาด 2^8 เท่ากับ 256 จุดต่อหนึ่งเส้นสแกนทางแนวนอน

ระบบเก็บภาพขนาด 256 ×256 จุดต่อภาพ

การเก็บภาพขนาด 256×256 จุดต่อภาพ และในแต่ละจุดจะมีระดับความแตกต่างของสี (ขาว-ดำ) ได้ 256 ระดับ จะต้องใช้หน่วยความจำแรมในการบันทึกภาพเท่ากับ 64 กิโลไบต์ เราจึงจัดให้มีการเก็บภาพแบบแอดเดรส ในหน่วยความจำแรมต่อเนื่องกันดังรูปที่ 2.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 การจัดหน่วยความจำแรมของระบบเก็บภาพ

จากรูป 2.12 เป็นลักษณะการจัดแอดเดรสดังนี้ จุดแรกมุมบนซ้ายมือสุดคือ แอดเดรสที่ 0 และนับไปทางขวามือจนถึงมุมขวามือบนสุดเป็นแอดเดรสที่ 255 (ครบการสะแกน 1 เส้น) ในบรรทัดต่อมาเป็นแอดเดรสที่ 256 แล้วนับไปทางขวาต่อเนื่องกันเช่นนี้จนถึงมุมขวาล่างสุดเป็นแอดเดรสที่ 65535 (การสะแกนครบ 1 ภาพ) ซึ่งจะต้องใช้หน่วยความจำแรมทั้งหมดเท่ากับ 64 กิโลไบต์

ในลักษณะเช่นนี้เราสามารถเขียนข้อมูลภาพที่ถูกเปลี่ยนเป็นสัญญาณดิจิตอลจากไอซี 3318 ได้ทันเวลาเนื่องจากใน 1 เส้นสะแกนทางแนวนอนจะมีระยะเวลาประมาณ 64 uS และ ระยะแสดงภาพที่ ต้องเปลี่ยนเป็นสัญญาณทางดิจิตอลจะมีประมาณ 80% ของสัญญาณทั้งหมด ฉะนั้นจะได้ 64 uS * 0.8 = 51.2 uS (สัญญาณภาพ) ส่วนที่เหลือก็เป็นส่วนของ Hor Sync และ Hor Blank ดังนั้นเมื่อต้องการเก็บภาพแต่ละเส้นด้วยขนาด 256 จุด ต่อเส้น ก็จะมีเวลาในการเขียนภาพแต่ละจุดลงสู่หน่วยความจำแรมเท่ากับ (51.2 uS)/(256) = 200nS ก็สามารถที่จะทำวงจรเก็บภาพลงสู่หน่วยความจำแรมได้ทันในการสะแกนภาพในแต่ละฟิลด์ เนื่องจากค่า Access time ซึ่งก็คือเวลาที่ใช้ในการอ่านเขียนหน่วยความจำให้เสร็จสิ้น โดยทั่วไปแล้วมักจะใช้หน่วยความจำแบบ Static Ram และ Dynamic Ram จะมีค่าประมาณ 200 nS ซึ่งก็คือความถี่ที่ใช้ในการ Sampling เท่ากับ 5 MHz ในระบบเก็บภาพนั้นนอกจากภาพจะถูกเปลี่ยนเป็นสัญญาณดิจิตอล และเก็บลงสู่หน่วยความจำแล้ว ภาพที่เราเก็บนี้ยังสามารถนำออกมาแสดงออกที่จอมอนิเตอร์ของไมโครคอมพิวเตอร์ได้โดยใช้ Solfware ในการควบคุม

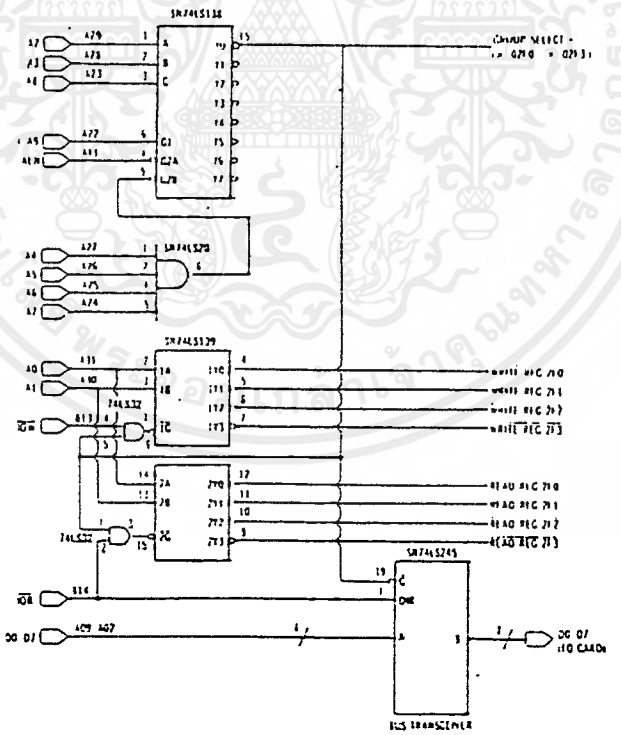
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การอินเตอร์เฟส

ในการติดต่อระหว่าง Hardware กับ Solfware เราจะต้องทราบสิ่งที่สำคัญเกี่ยวกับการอินเตอร์เฟส ซึ่งเป็นวงจรที่ทำหน้าที่เชื่อมต่ออุปกรณ์ภายนอกเข้ากับเครื่องคอมพิวเตอร์ มีเทคนิคการดีโค้ดแอดเดรสสำหรับพอร์ท I/O ดังนี้

2.4.1 การดีโค้ดแบบ Fixed

วิธีการดีโค้ดแบบนี้เป็นวิธีที่ง่าย และสะดวกในการดีโค้ดแอดเดรส หรือกลุ่มของแอดเดรสของพอร์ท I/O ซึ่งวิธีนี้เป็นการกำหนดจำนวนของแอดเดรสที่เราต้องการใช้ จากนั้นจึงทำการเลือกบล็อกของแอดเดรสที่ยังไม่ถูกใช้งานโดยการ์ด หรือวงจรอินเตอร์เฟสอื่นๆ (บล็อกของแอดเดรสที่เลือกต้องมีจำนวนแอดเดรสเพียงพอกับจำนวนแอดเดรสที่เราต้องการใช้งาน) แล้วจึงออกแบบวงจรที่ทำการดีโค้ดแอดเดรสที่เราต้องการ สำหรับตัวอย่างวงจรที่ใช้ในการดีโค้ดแอดเดรสในแบบนี้จะแสดงได้ดังรูป 2.13

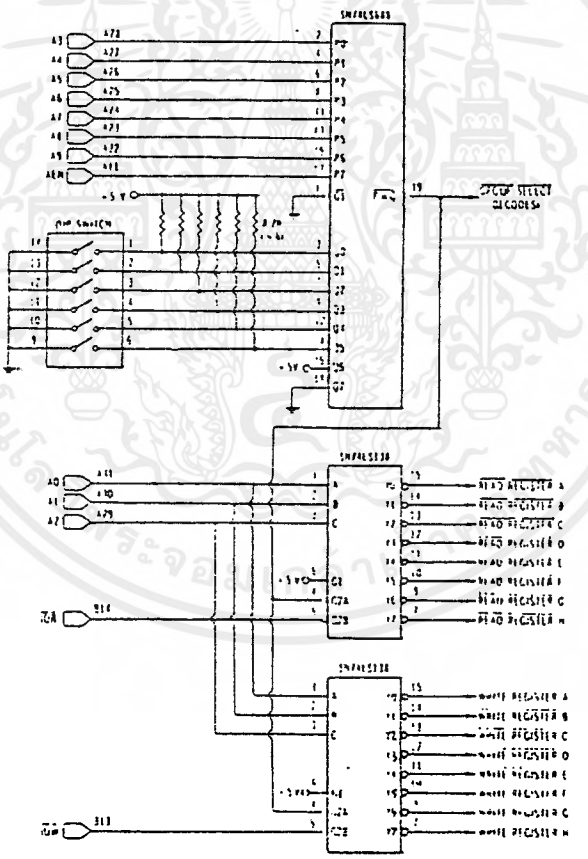


รูปที่ 2.13 ตัวอย่างวงจรดีโค้ดแบบ Fixed

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 การดีโค้ดโดยใช้สวิทช์เลือก

การดีโค้ดในแบบ Fixed ที่ได้กล่าวไว้ในหัวข้อที่ผ่านมานั้น มีข้อเสียอยู่บางประการ คือ แอดเดรสที่เราเลือกใช้งานไว้นั้นอาจจะซ้ำกับแอดเดรสของการ์ดอื่นที่เรานำมาเพิ่มเข้าไปในระบบในภายหลังก็ได้ ซึ่งกรณีเช่นนี้เราต้องแก้ไขวงจรเพื่อหลีกเลี่ยงไปใช้แอดเดรสอื่นที่ยังว่างอยู่ และ ไม่ถูกใช้งานโดยการ์ด ที่จะเพิ่มเข้าไปใหม่ ซึ่งยุ่งยาก และต้องเสียเวลามากขึ้น ปัญหาเช่นนี้เราสามารถแก้ไขได้โดยใช้วงจรดีโค้ดที่สามารถเปลี่ยนแปลงค่าแอดเดรสได้ โดยเพียงแต่เปลี่ยนตำแหน่งของสวิทช์ (ในที่นี้คือ DIP Switch) ที่เซ็ตไว้ในวงจรเท่านั้น ดังรูปที่ 2.14



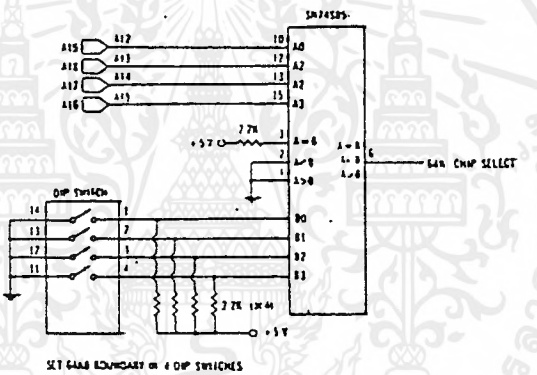
รูปที่ 2.14 ตัวอย่างวงจรโดยใช้สวิทช์เลือก

จากรูปเป็นวงจรที่ทำการดีโค้ดกลุ่มแอดเดรสขนาด 8 บิต ซึ่งการเลือกกลุ่มแอดเดรสที่จะทำการดีโค้ดนี้จะทำได้โดยการเซ็ท DIP Switch ที่ขา Q0 - Q5 ของ 74LS688

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3 การดีโค้ดแอดเดรสของหน่วยความจำ

การดีโค้ดแอดเดรสของหน่วยความจำนี้จะมีลักษณะที่คล้ายคลึงกับวิธีการดีโค้ดแอดเดรสของพอร์ท I/O มาก อย่างไรก็ตามการดีโค้ดแอดเดรสของหน่วยความจำยังมีข้อแตกต่างจากการดีโค้ดแอดเดรสของพอร์ท I/O อยู่บางประการ กล่าวคือ การดีโค้ดแอดเดรสของหน่วยความจำนี้ต้องทำการดีโค้ดแอดเดรสทั้ง 20 บิท เพื่อให้สามารถอ้างแอดเดรสได้ครบทั้ง 1 Mbyte และการดีโค้ดแอดเดรสของหน่วยความจำไม่ใช้สัญญาณ AEN ในการควบคุมวงจรดีโค้ดเหมือนกับในการดีโค้ดแอดเดรสของพอร์ท I/O สำหรับวงจรที่ใช้ในการดีโค้ดแอดเดรสของหน่วยความจำนั้น เราสามารถจะนำเอาการดีโค้ดแบบ Fixed และ แบบสวิทช์เลือก เข้ามาใช้งานได้เช่นกัน



รูปที่ 2.15 ตัวอย่างวงจรดีโค้ดบล็อกแอดเดรสของหน่วยความจำ

จากวงจรในรูปที่ 2.15 เป็นวงจรที่ทำการดีโค้ดบล็อกของแอดเดรสของหน่วยความจำขนาด 64 Kbyte โดยตำแหน่งแอดเดรสของบล็อกของหน่วยความจำขนาด 64 Kbyte นี้อาจจะกำหนดให้อยู่ในตำแหน่งใดก็ได้ โดยการเซ็ทตำแหน่งของ DIP Switch นี้ต่ออยู่กับขา B0 - B3 และ 74S85

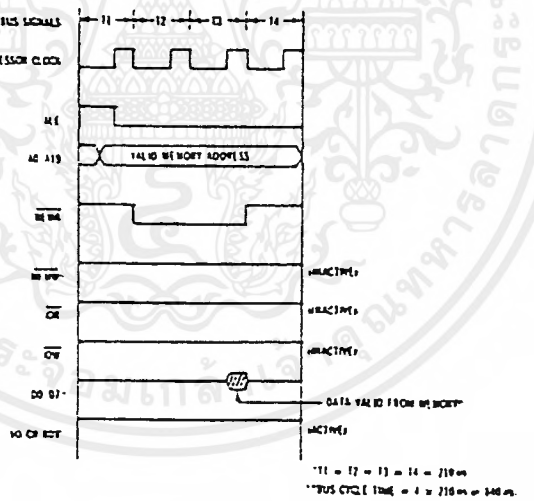
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.4 บัสไซเคิลของระบบ

บัสไซเคิลของระบบคือ ขบวนการของสัญญาณที่เกิดขึ้นในช่วงของการส่งผ่านข้อมูลระหว่างหน่วยความจำ, อุปกรณ์อินพุท / เอาท์พุท และไมโครโปรเซสเซอร์ ดังนั้นในการที่จะออกแบบวงจรอินเตอร์เฟส เราจะต้องเข้าใจถึงบัสไซเคิลของการส่งข้อมูลในลักษณะต่างๆ ของระบบเสียก่อน ซึ่งในที่นี้จะยกตัวอย่างบัสไซเคิลที่จำเป็นต่อโครงงานนี้ที่สร้างขึ้นโดยไมโครโปรเซสเซอร์เบอร์ 8088 ดังนี้

2.4.4.1 บัสไซเคิลในการอ่านข้อมูลจากหน่วยความจำ

ไมโครโปรเซสเซอร์เบอร์ 8088 จะทำการสร้างบัสนี้ขึ้นในช่วงที่ 8088 ทำการเฟทช์ (Fetch) คำสั่งหรืออ่านข้อมูลจากหน่วยความจำ ซึ่งหน่วยความจำที่กล่าวถึงนี้อาจจะเป็นหน่วยความจำที่อยู่บนเมนบอร์ด (Main Board) , บนการ์ดที่เสียบอยู่บนสล็อต, ROM หรือ RAM ก็ได้ สำหรับขบวนการของสัญญาณที่เกิดขึ้นในบัสไซเคิลนี้สามารถจะแสดงได้ดังรูปที่ 2.16



รูปที่ 2.16 บัสไซเคิลของการอ่านข้อมูลจากหน่วยความจำ

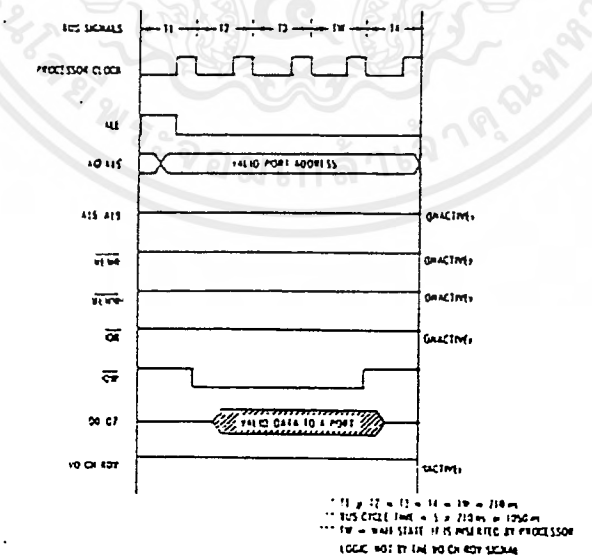
จากรูปที่ 2.16 บัสไซเคิลนี้ จะเริ่มต้นในช่วงของคล็อก T1 (ในที่นี้จะเรียกคล็อกลูกแรกในบัสไซเคิลที่ 8088 สร้างขึ้นเป็น T1, ลูกที่สองเป็น T2 , ...) ซึ่งเป็นช่วงเวลาที่สัญญาณ ALE แอค-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทีฟ (ลอจิก "1") สัญญาณ ALE นี้จะถูกใช้เพื่อแสดงให้อุปกรณ์ที่ทำงานร่วมกับ 8088 ทราบว่าข้อมูลที่อยู่บนบัสแอดเดรสในช่วงของขาลงของสัญญาณ ALE เป็นแอดเดรสของหน่วยความจำที่ 8088 ต้องการจะติดต่อด้วย หลังจากนั้นในช่วงของคล็อก T2 สัญญาณ /MEMR จะแอคทีฟ (ลอจิก "0") ซึ่งเป็นการแสดงให้อุปกรณ์ที่ทำงานร่วมกับ 8088 ทราบว่าบัสไซเคิลนี้เป็นบัสไซเคิลในการอ่านข้อมูลจากหน่วยความจำ และเป็นการทำให้หน่วยความจำที่มีแอดเดรสตรงกับค่าแอดเดรสที่อยู่บนบัสแอดเดรสนั้นส่งข้อมูลออกมาบนบัสข้อมูล เมื่อหน่วยความจำส่งข้อมูลออกมาบนบัสข้อมูลแล้ว 8088 จะทำการอ่านข้อมูลนั้นในช่วงเริ่มต้นของคล็อก T4 จากนั้นสัญญาณ /MEMR จะถูกปรับให้กลับเป็นลอจิก "1" และจะสิ้นสุดการทำงานในบัสไซเคิลนี้เมื่อสิ้นสุดคล็อก T4

2.4.4.2 บัสไซเคิลในการเขียนข้อมูลลงบนพอร์ท

ในขณะที่ ไมโครโปรเซสเซอร์เบอร์ 8088 เอ็กซีคิวท์ชุดคำสั่ง OUT DATA, ac ซึ่งเป็นชุดคำสั่งที่ให้ 8088 ทำการเขียนข้อมูลลงบนพอร์ทที่กำหนดในส่วนของโอเปอแรนด์นั้น 8088 จะสร้างบัสไซเคิลในการเขียนข้อมูลลงบนพอร์ท เพื่อให้พอร์ทถูกกำหนดทำการรับข้อมูลที่อยู่บนบัสข้อมูล สำหรับขบวนการของสัญญาณต่างๆ ในบัสไซเคิลนี้จะแสดงได้ดังรูปที่ 2.17



รูปที่ 2.17 บัสไซเคิลของการเขียนข้อมูลลงบนพอร์ท I/O

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038412

จากรูปที่ 2.17 บัสไซเคิลนี้จะเริ่มต้นในช่วงของคล็อก T1 ซึ่งเป็นช่วงเวลาที่สัญญาณ ALE แอคทีฟ (ลอจิก "1") สัญญาณ ALE นี้ใช้เพื่อแสดงให้อุปกรณ์ที่ทำงานร่วมกับ 8088 ทราบว่าข้อมูลที่อยู่บนบัสแอดเดรสเป็นแอดเดรสของพอร์ทที่ 8088 ต้องการจะติดต่อด้วย หลังจากนั้นในช่วงของคล็อก T2 สัญญาณ /IOW จะแอคทีฟ (ลอจิก "0") ซึ่งเป็นการแสดงให้อุปกรณ์ที่ทำงานร่วมกับ 8088ทราบว่าบัสไซเคิลนี้ เป็นบัสไซเคิลในการเขียนข้อมูลลงบนพอร์ท (I/O - Port Write Bus Cycle) จากนั้น 8088 จะทำการส่งข้อมูลที่ต้องการจะส่งให้กับพอร์ทที่กำหนดนั้นออกมาบนบัสข้อมูล ในช่วงของคล็อก T4 สัญญาณ /IOW จะถูกปรับให้กลับเป็นลอจิก "1" และจะสิ้นสุดการทำงานในบัสไซเคิ้ลเมื่อสิ้นสุดช่วงเวลาของคล็อก T4 [6]

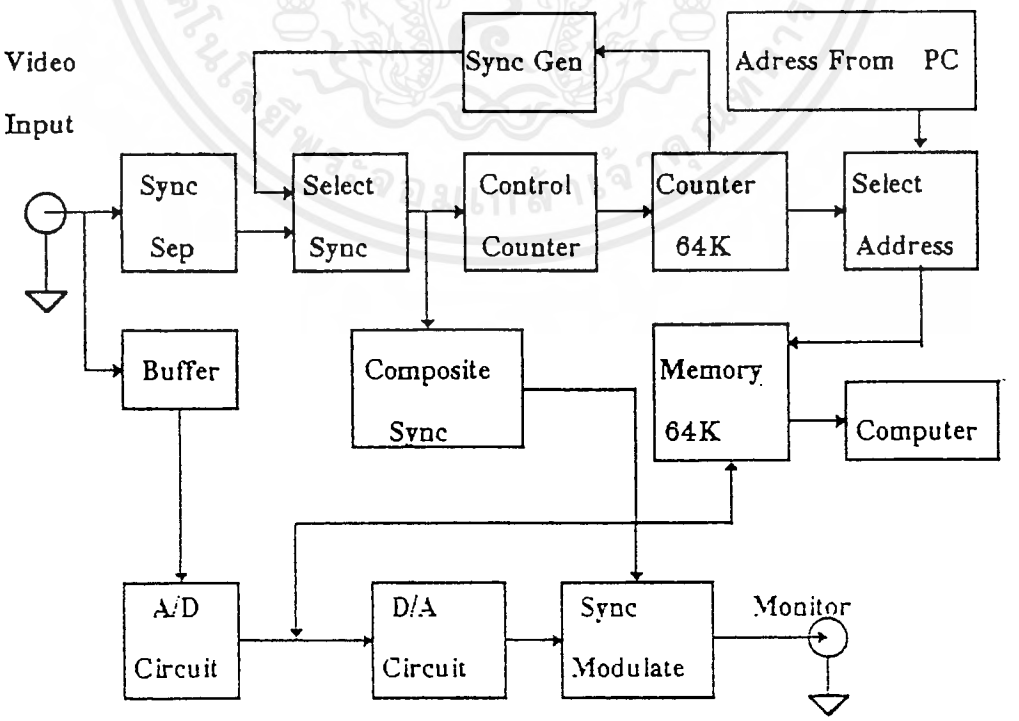
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การทำงานของวงจรเก็บภาพ

3.1 บทนำ

การแปลงสัญญาณภาพที่ได้จากกล้องวีดีโอ ให้ได้เป็นข้อมูลภาพที่เป็นดิจิตอลเพื่อนำไปประมวลผลด้วยคอมพิวเตอร์นั้น มีกระบวนการแปลงที่เรียกว่าการสุ่ม เพื่อแปลงสัญญาณอนาล็อกเป็นดิจิตอล ข้อมูลภาพที่ได้จะบอกรายละเอียดของภาพเป็นจำนวนจุดต่อภาพ และระดับค่าของจุดที่มีได้ อย่างเช่นภาพขนาด 256 × 256 จุดนั้นต้องใช้ความถี่ในการสุ่มสูงมากคือ 5 MHz จากรายละเอียดคร่าวๆ ที่ผ่านมา ก็จะถึงขั้นตอนการออกแบบเพื่อให้มีการทำงานตามจุดประสงค์ ในบทนี้จะกล่าวถึงการทำงานของวงจรเก็บภาพ ซึ่งจะแสดงบล็อกไดอะแกรมของส่วนต่างๆ ประกอบการทำงานไปด้วยเพื่อให้เห็นทิศทางของการเชื่อมต่ออย่างคร่าวๆ ของแต่ละบล็อกที่สัมพันธ์กันโดยรายละเอียดในการออกแบบและการทำงานของแต่ละบล็อก จะกล่าวในหัวข้อต่อไปนี้คือ วงจรอินพุทบัฟเฟอร์, วงจรแยกซิ้งค์, วงจรกำเนิดสัญญาณนาฬิกา, วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล, วงจรเลือกสัญญาณซิ้งค์, วงจรควบคุมการนับ, วงจรนับ (ส่วนที่สร้างสัญญาณแอดเดรส), วงจรสร้างสัญญาณซิ้งค์, วงบจรอินเตอร์เฟส และวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก จากวงจรที่กล่าวมาทั้งหมดจะแสดงในรูปของบล็อกไดอะแกรมดังรูปที่ 3.1



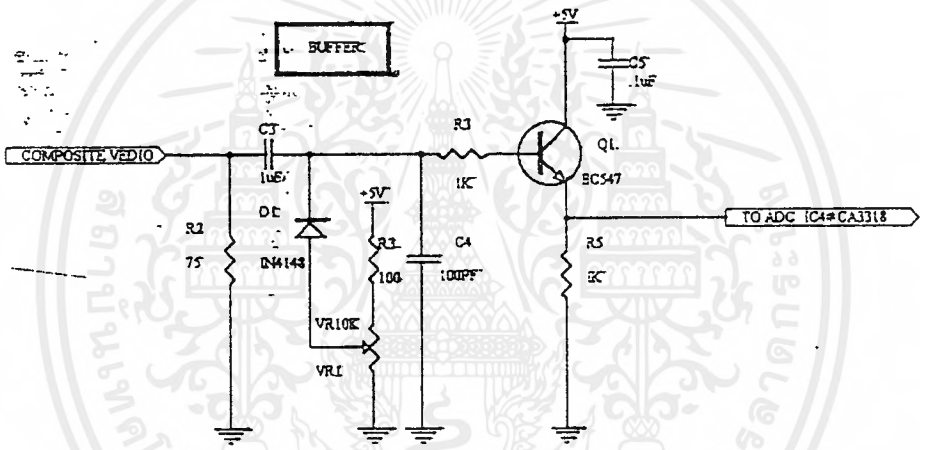
รูป 3.1 แสดง Blockdiagram ของวงจรทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 หน้าที่และการทำงานของวงจรต่างๆ

3.2.1 วงจรบัฟเฟอร์ (Buffer Circuit)

หน้าที่ของวงจรส่วนนี้คือการปรับระดับแรงดันของสัญญาณภาพเพื่อส่งต่อให้วงจรแปลงอนาล็อกเป็นดิจิตอล ส่วนของการทำงานจะเป็นดังนี้คือ สัญญาณภาพที่ผ่านเข้ามาจะต้องผ่าน R2 ค่า 75 โอห์ม เพื่อทำการปรับอิมพีแดนซ์ของวงจรกับกล้องให้เหมาะสมกัน จากนั้นสัญญาณภาพจะถูกคัปปลิ้งโดย C3 ค่า 1uF และจะถูกยกระดับด้วย D1 และ VR1 เพื่อลดสัญญาณรบกวน และควบคุมการไบอัสให้ Q1 ไปป้อนเข้าที่อินพุทของวงจรแปลงอนาล็อกเป็นดิจิตอล

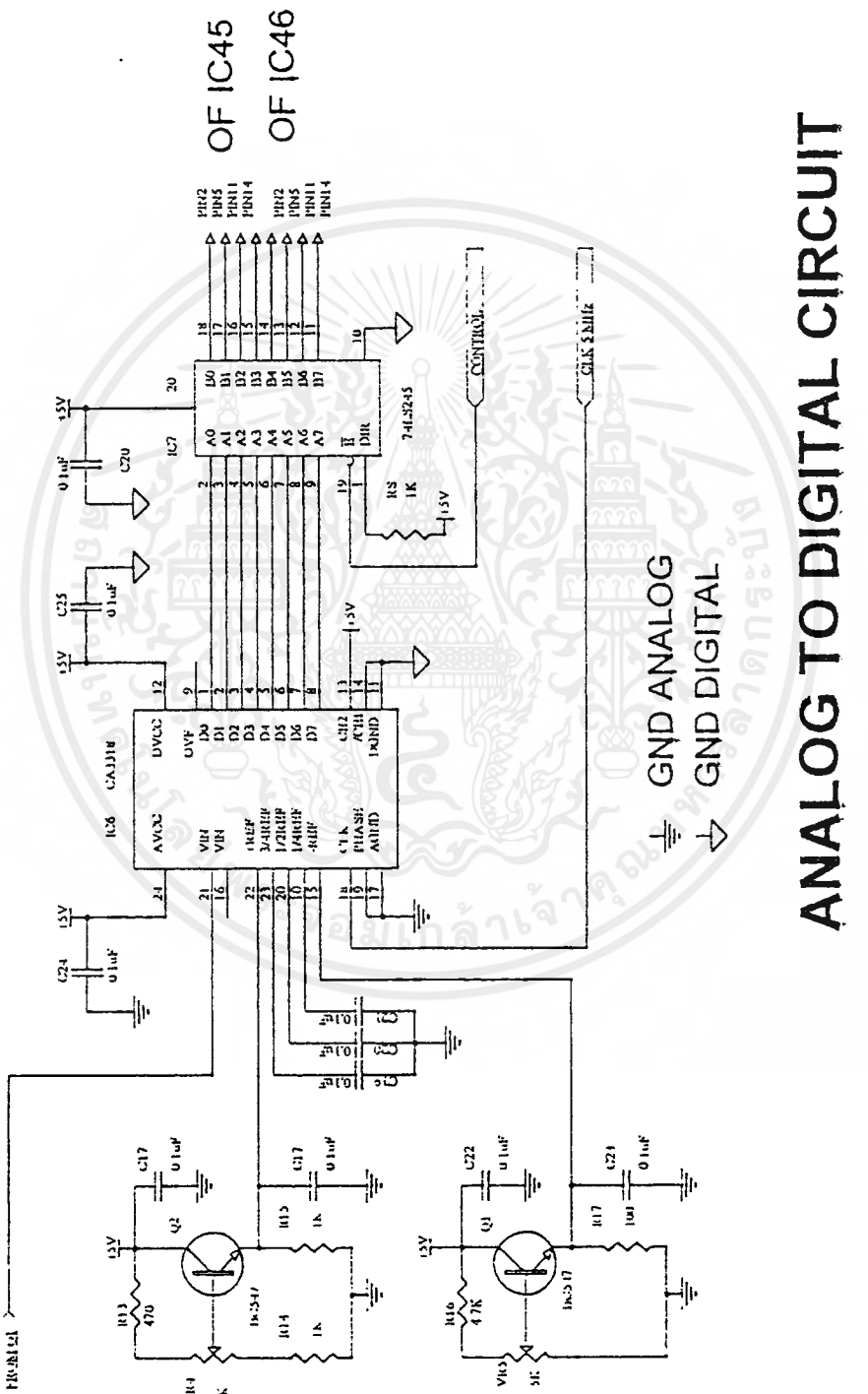


รูปที่ 3.2 วงจรบัฟเฟอร์ (Buffer Circuit)

3.2.2 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล (Analog to Digital Circuit)

วงจรนี้จะทำหน้าที่แปลงสัญญาณภาพวีดีโอที่เป็นอนาล็อกให้เป็นสัญญาณดิจิตอลซึ่งเป็นข้อมูลภาพที่จะนำไปเก็บในหน่วยความจำ ซึ่งการทำงานของวงจรนี้จะนำสัญญาณภาพป้อนเข้าที่ขา 21 (Vin) ของIC4 # CA3318 และจะถูกปรับระดับช่วงการสุ่มสัญญาณโดยแรงดันอ้างอิงทางบวกและลบ ให้เหมาะสมกับสัญญาณภาพโดยการปรับแรงดันอ้างอิงทางบวกจะให้มีขนาดสูงสุดเท่ากับสัญญาณภาพส่วนการปรับแรงดันอ้างอิงทางลบจะอยู่ในช่วง 0 V ถึง 0.7 V ส่วนแรงดันอ้างอิงที่เหลือจะถูกต่อผ่าน C ค่า 0.1 uF ลงกราวด์ เพื่อลดสัญญาณรบกวนนอกจากนี้ยังต้องทำงานร่วมกับสัญญาณนาฬิกา 5 MHzและ ยังต้องควบคุมการทำงานที่ขา /CE1 และ CE2 เพื่อให้ได้สัญญาณเอาท์พุทที่เป็นดิจิตอลขนาด 8 บิต ที่ให้ความแตกต่างของสัญญาณได้ 256 ระดับ สัญญาณจากจุดนี้จะส่งไปที่หน่วยความจำภาพ และชุดแปลงสัญญาณดิจิตอลเป็นอนาล็อกต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

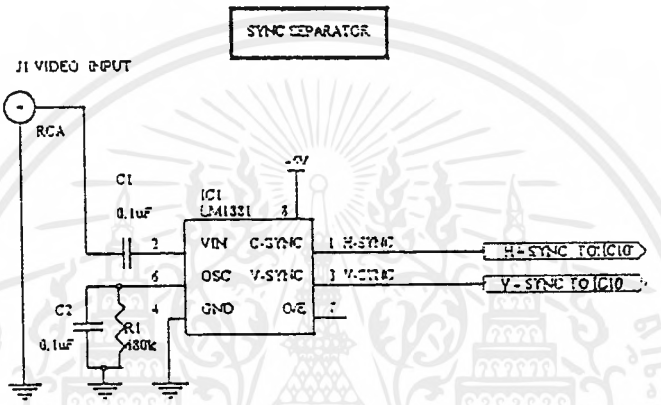


รูปที่ 3.3 วงจรแปลงสัญญาณอนาล็อก เป็นดิจิตอล (Analog to Digital)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 วงจรแยกสัญญาณซิ้งค์ (Sync. Separator Circuit)

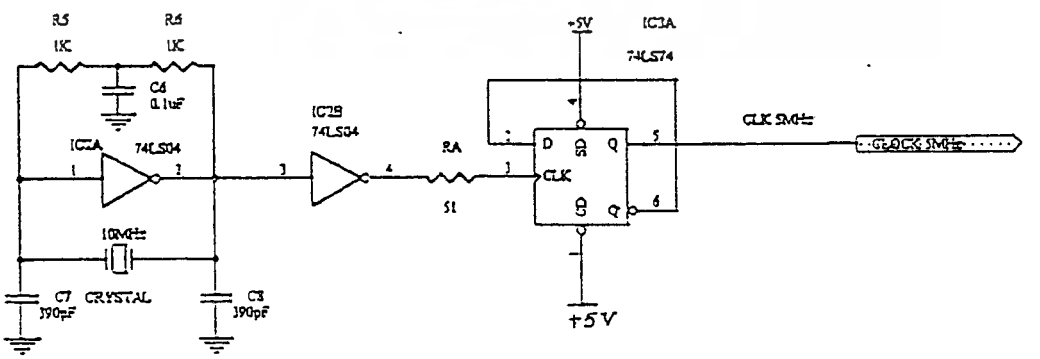
วงจรนี้จะทำการแยกสัญญาณซิ้งค์ออกจากสัญญาณภาพ เพื่อนำไปควบคุมส่วนอื่นที่เกี่ยวข้องเช่น การควบคุมวงจรนับ ซึ่งวงจรแยกซิ้งค์นี้จะใช้ IC1 # LM 1881 ทำการแยกซิ้งค์ทางแนวนอน และแนวตั้ง ซึ่งเอาท์พุทที่ได้จะส่งไปวงจรมัลติเพล็กซ์เพื่อรวมกับสัญญาณภาพที่ได้จากส่วนของวงจรแปลงดิจิตอลเป็นอนาล็อกเพื่อแสดงออกทางจอมอนิเตอร์ต่อไป ขณะเดียวกันสัญญาณซิ้งค์นี้จะนำไปควบคุม วงจรควบคุมการนับ (Sync. Control Counter) เพื่อให้วงจรกำเนิดสัญญาณแอดเดรสทำงานได้อย่างถูกต้องกับการอ้างตำแหน่งของการจัดเก็บหรือ การอ่านข้อมูล



รูปที่ 3.4 วงจรแยกสัญญาณซิ้งค์ (Sync. Separator Circuit)

3.2.4 วงจรสร้างสัญญาณนาฬิกา (Clock Circuit)

ส่วนของวงจรสร้างสัญญาณนาฬิกานั้นจะใช้คริสตอลขนาด 10 MHz ซึ่งต่อร่วมกับอินเวอร์ติ้งเกต สัญญาณนาฬิกา 10 MHz จะถูกนำไปหารความถี่ลงสองเท่าด้วย D / Flip-Flop (IC3A#74LS74) ให้เหลือความถี่ 5 MHz เพื่อจะได้นำไปใช้สำหรับวงจรนับเพื่อสร้างแอดเดรส และใช้กับ วงจร แปลงสัญญาณอนาล็อกเป็นดิจิตอล

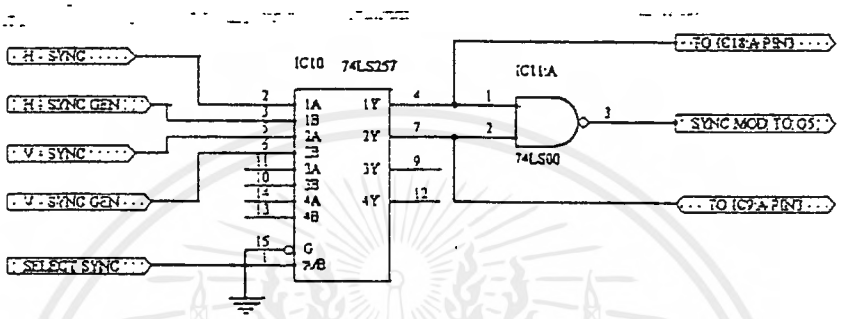


รูปที่ 3.5 วงจรสร้างสัญญาณนาฬิกา (Clock Circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.5 วงจรเลือกสัญญาณซิ้งค์ (Select Sync. Circuit)

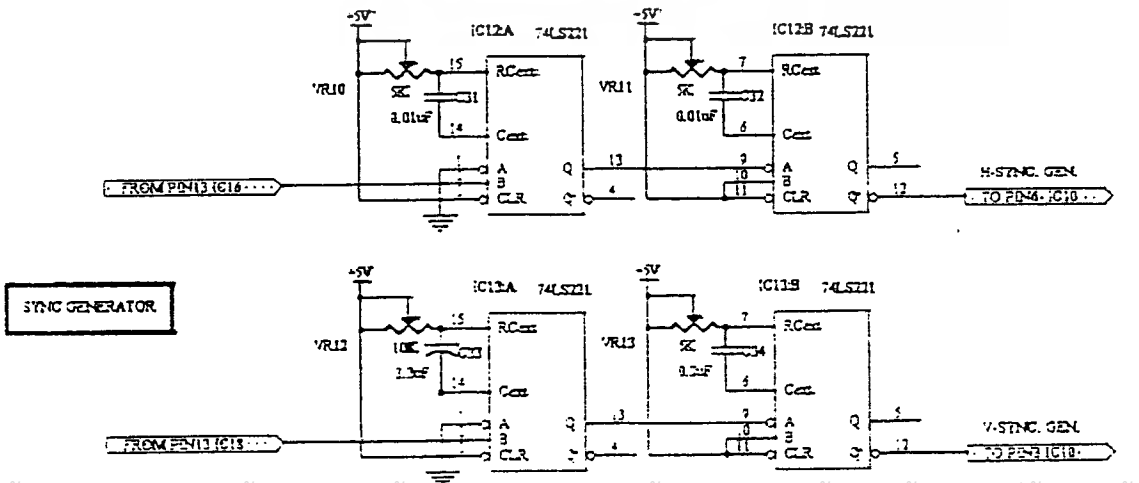
เนื่องจากสัญญาณซิ้งค์ที่จะนำไปใช้ควบคุมการนับหรือไปรวมกับสัญญาณภาพนั้นมีสองชุด คือ ชุดที่ได้จากวงจรแยกสัญญาณซิ้งค์ และวงจรสร้างสัญญาณซิ้งค์ขึ้นมาเอง โดยชุดแรกจะควบคุมการเกิดภาพเคลื่อนไหว และอีกชุดจะควบคุมภาพนิ่ง การทำงานจะเกิดคนละเวลาจึงต้องมีตัวเลือกสัญญาณซิ้งค์ ซึ่งจะใช้ IC10 # 74LS257 ทำการเลือก ส่วนสัญญาณเอาท์พุทที่ได้จากวงจรนี้จะผ่านNand Gate จะเป็นสัญญาณ Composite Sync แล้วส่งไปควบคุมการเกิดภาพที่จอมอนิเตอร์



รูปที่ 3.6 วงจรเลือกสัญญาณซิ้งค์ (Select Sync. Circuit)

3.2.6 วงจรสร้างสัญญาณซิ้งค์ (Sync. Generator Circuit)

ในส่วนของวงจรสร้างสัญญาณซิ้งค์นี้จะถูกนำไปใช้ในกรณีที่ต้องการแสดงข้อมูลภาพที่เก็บในหน่วยความจำออกทางจอมอนิเตอร์ การสร้างสัญญาณซิ้งค์นี้จะเป็นการนำสัญญาณ Ripple Clock ขา(13) ของIC16 และ IC18 เบอร์ 74LS191 มาป้อนเป็นอินพุทให้กับ IC12:A และ IC13:A เบอร์ 74LS221 ตามลำดับ เพื่อสร้างสัญญาณ H - Sync Gen และ V - Sync Gen นั่นเอง ส่วนวิธีการปรับความกว้างของสัญญาณซิ้งค์ทั้งสองเพื่อให้ได้ความถี่ทาง H - Sync Gen ค่า 15,625 Hz และทางV- Sync. Gen ค่า 50 Hz จะปรับโดยใช้ VR10, VR11, VR12 และ VR13 ตามลำดับ โดย IC12:A และIC13:A จะหน่วงเวลาของสัญญาณที่เป็นพัลซ์ให้มีจุดเริ่มต้นเหมือนกับสัญญาณซิ้งค์ต้นแบบ และ IC12:B และIC13:B จะปรับความก้างของพัลซ์ให้เหมือนสัญญาณซิ้งค์ต้นแบบนั่นเอง

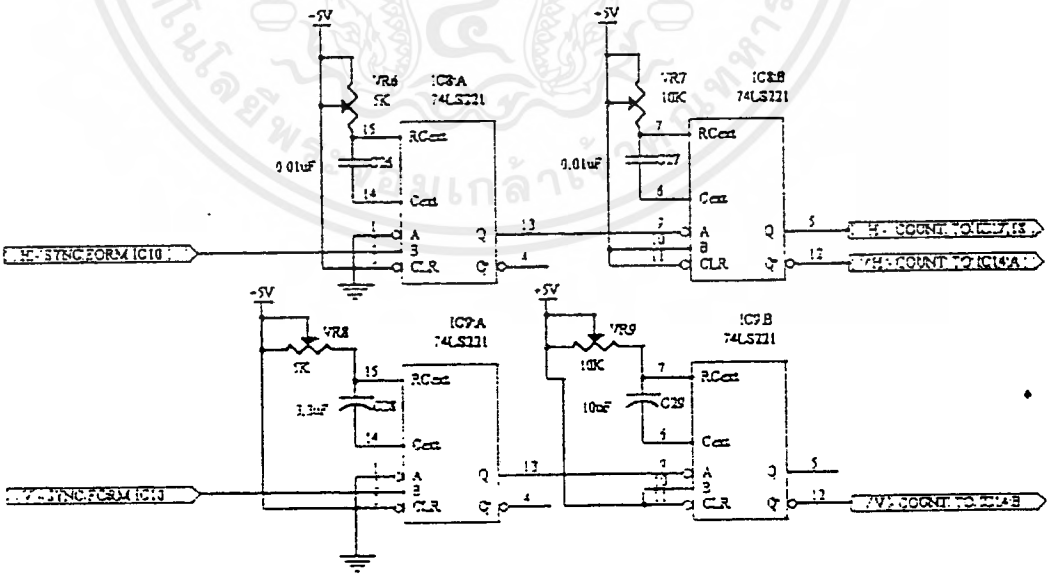


รูปที่ 3.7 วงจรสร้างสัญญาณซิ้งค์ (Sync. Generator Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.7 วงจรควบคุมการนับ (Sync. Control Couter Circuit)

วงจรควบคุมการนับจะนำสัญญาณซิ้งค์ทางแนวนอน และแนวตั้งมาป้อนที่อินพุท เพื่อให้ได้สัญญาณทางเอาท์พุทเป็นสัญญาณควบคุมการนับ วิธีการทำงานจะเป็นดังนี้ นำสัญญาณ H-Sync ที่ขา 4 มาป้อนที่อินพุท (ขา 2) ของวงจรโมโนสเตเบิ้ล (IC8:A74LS221) ซึ่งจะทำงานช่วงขอบขาขึ้นนั่นหมายความว่าเมื่อสัญญาณทางอินพุทซึ่งเป็นลักษณะเป็นพัลซ์ช่วงขอบขาขึ้นป้อนเข้ามาวงจรโมโนสเตเบิ้ลจะผลิตพัลซ์ 1 ลูก ซึ่งความกว้างของพัลซ์สามารถปรับได้โดยอาศัย VR6 เอาท์พุทที่ได้จากขา13 จะป้อนไปโมโนสเตเบิ้ลตัวที่สอง (IC8:B) ที่ขา 9 ซึ่งทำงานที่ขอบขาลง ความกว้างของพัลซ์ปรับได้โดย VR7 สัญญาณเอาท์พุทที่ขา 5 เรียกว่า H-Count และที่ขา 12 เรียกว่า / H-Count สัญญาณที่จุดนี้จะเป็นสัญญาณควบคุมการนับของวงจรนับทางแนวนอน ส่วนสัญญาณควบคุมการนับทางแนวตั้งก็อาศัยหลักการเดียวกัน คือนำสัญญาณ V-Sync ที่ขา 7 มาป้อนที่อินพุท (ขา 2) ของวงจรโมโนสเตเบิ้ล IC9:A 74LS221 และทำการปรับความกว้างของพัลซ์ ที่ VR8 เอาท์พุทที่ได้จากขา 13 จะป้อนเข้าวงจรโมโนสเตเบิ้ลตัวที่สอง (IC9:B)ทำการปรับความกว้างของพัลซ์โดยใช้ VR9 ซึ่งจะทำให้ได้เอาท์พุทที่ขา5 คือ V-Sync Count และที่ขา12 คือ / V-Sync Count สัญญาณที่จุดนี้จะป้อนที่อินพุทของวงจรนับทางแนวตั้งซึ่งอยู่ภาคถัดไป



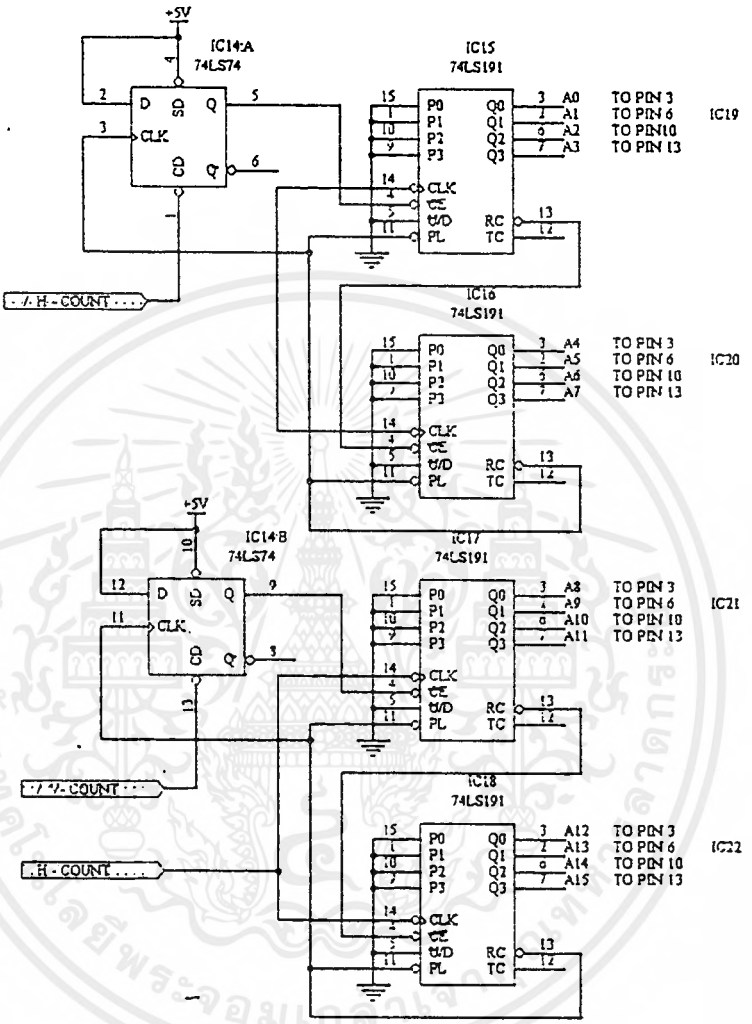
รูปที่ 3.8 วงจรควบคุมการนับ (Sync. Control Counter Circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.8 วงจรนับ (Counter Circuit)

การทำงานของวงจรนับจะทำหน้าที่อยู่สองแบบ คือ นับจุด และนับเส้น ซึ่งค่าที่นับได้จะกำหนดแอดเดรสสำหรับเก็บข้อมูลไว้ในหน่วยความจำนั่นเอง การทำงานของวงจรนับจะเป็นดังนี้ เมื่อ D-F/F (IC14:A) ถูกออกแบบให้เป็นตัวควบคุมวงจรนับว่าจะนับหรือหยุดนับเมื่อไหร่ ดังนั้นเมื่อสัญญาณอินพุท (/ H-Count)ที่ป้อนเข้ามาที่ขา 1 (CD)เป็น Low เอาท์พุทที่ขา 5 จะเป็น "L" เมื่อป้อนไปที่ขา4 (CE) ของ IC15 (74LS191) เมื่อไหร่ตัวมันจะเริ่มนับทันที และจะหยุดนับเมื่อ ขาCE เป็น High ซึ่งจะขึ้นอยู่กับสัญญาณ / H-Count ที่เข้ามาที่ขา CD เป็น "H" ทำให้เอาท์พุทที่ขา 5 เป็น "H" วงจรนี้ถูกออกแบบให้ทำการนับขึ้นโดยเซ็ทที่ขา U/D เป็น "L" เมื่อนับครบ 16 ครั้ง สัญญาณที่ขา RC จะเป็น "L" สัญญาณนี้จะส่งไปที่ขา CE ของ IC16 ให้นับ 1 และนับไปเรื่อยจนครบ เพราะฉะนั้นIC15 และ IC6จะนับรวมได้ 16*16 = 256 ระดับ ทำให้ที่ขา RCของ IC16 เป็น "L" สัญญาณนี้จะนำไปทริกที่ขา PL ของตัวมันเอง และที่ IC15 เริ่มต้นนับศูนย์พร้อมกัน พร้อมที่จะเริ่มนับใหม่ ส่วนวงจรนับอีกสองตัวที่เหลือก็จะทำหน้าที่เหมือนกัน เพียงแต่รับสัญญาณอินพุทจาก / V- Count เพราะฉะนั้น IC15 - IC18 (74LS191) จะนับรวมกันได้ 65536 ตำแหน่งซึ่งเท่ากับจำนวนจุดของข้อมูลภาพที่จะนำไปเก็บไว้ในหน่วยความจำ เพราะฉะนั้นเอาท์พุทของวงจรนับ จำนวน 16 เอาท์พุท จะส่งไปยังส่วนของวงจรมัลติเพล็ก เพื่อทำการติดต่อกับหน่วยความจำต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 วงจรนับ (Counter Circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.9 วงจรภาคหน่วยความจำ และ อินเตอร์เฟส (Ram and Interface Circuit)

จากรูปที่ 3.10 จะประกอบด้วยวงจรหน่วยความจำภาพขนาด 64 Kbyte ใช้ IC28 , IC29 เบอร์ HM62256 แบบ Static Ram จำนวน 2 ตัว IC28 จะเก็บข้อมูลที่ตำแหน่งแอดเดรส 0000H -7FFFHและ IC29 จะเก็บข้อมูลที่ตำแหน่งแอดเดรส 8000H - FFFFH เมื่อรวมกันจะเท่ากับ 64 Kbyte ซึ่งมีขนาดเท่ากับจำนวนจุดภาพที่เราต้องทำการ Sampling สัญญาณในหนึ่งเส้นสะแกนทางแนวนอนออกเป็น 256 จุด จำนวน 256 เส้น เพราะฉะนั้นจะต้องใช้หน่วยความจำเท่ากับ 256×256 หรือ 64 Kbyte และมี IC32 #74LS245 เป็นบัฟเฟอร์ในการส่งถ่ายข้อมูลเข้าเครื่องคอมพิวเตอร์ ส่วนการชี้ตำแหน่งแอดเดรสนั้นจะใช้สัญญาณจากภาค Control Counter และ แอดเดรสจากคอมพิวเตอร์โดยภาค Control Counter ใช้กรณีแสดงภาพที่จอมอนิเตอร์ และแอดเดรสจากคอมพิวเตอร์ใช้กรณีโหลดข้อมูลจากหน่วยความจำที่ Card เข้าไปที่คอมพิวเตอร์ การเลือกชนิดของแอดเดรสจะใช้ IC19, IC20, IC21, IC22 ซึ่งถูกควบคุมโดย IC44:A (D - F/F)

ในส่วนของวงจรอินเตอร์เฟสจะประกอบด้วยส่วนของ Decode Port และ Decode memory จากวงจรเราทำการ Decode Port ที่ 0300H ซึ่งเป็น Port ที่ว่างอยู่ของเครื่องคอมพิวเตอร์ที่ใช้ทำการทดลอง (ถ้าที่พอร์ท 0300H นี้ไม่ว่างจะต้องทำการออกแบบวงจร Decode Port ใหม่) ประกอบด้วย IC40, IC42, IC31 โดยที่เอาท์พุทขา 12 ของไอซี 31 จะมีพัลซ์ 1 ลูก เมื่อทำการ Decode Port ได้ถูกต้อง ส่วนของการ Decode หน่วยความจำประกอบด้วย IC37 ทำหน้าที่ตรวจสอบว่า สัญญาณที่ขา A0 - A3 เหมือนกับ B0 - B3 ที่ส่งมาจาก SW หรือไม่ ถ้าตรงกันจะมีสภาวะ "H" ออกที่ขา 4 ซึ่งเป็นส่วนที่นำไปควบคุมให้ IC32 พร้อมที่จะทำงานนั่นคือ ถ้าสภาวะนี้มีสัญญาณ MEMR จากคอมพิวเตอร์มาที่ขา DIR หรือขา 1 ของ IC 32 ข้อมูลที่อยู่บน B0 - B7 จะถูกส่งไปที่ A0 - A7 ทันที พร้อมที่จะส่งเข้าคอมพิวเตอร์ได้เลย วงจร Decode Memory จะ Decode ตำแหน่งแอดเดรส D0000H ถึง DFFFFH เพราะฉะนั้นตำแหน่ง SW1 จะถูกเซ็ทให้มีสภาวะเป็น 1101 ที่ตำแหน่งขา IC37 B3 - B1 ตามลำดับ ถ้าตำแหน่งแอดเดรสที่ไม่ได้อยู่ในช่วงตำแหน่งนี้จะไม่ถูก Decode ส่งผลทำให้ IC32 ไม่พร้อมที่จะทำงานเพราะขา 19 หรือ Enable ได้รับสภาวะ "L" ถึงแม้จะมีสัญญาณสภาวะ "L" จาก MEMR เข้าที่ขา 1 หรือ DIR ก็ตาม โดยปกติ IC32 เป็นวงจรบัฟเฟอร์สองทางแต่เราควบคุมให้ส่งข้อมูลได้ทิศทางเดียว ส่วน D - F/F แต่ละตัวจะคงสภาวะเดิมเอาไว้จนกว่าจะมีการ Decode Port ที่ 0300H อีกครั้ง

ในการ Decode Port ที่ 0300H หรือการ Outport แต่ละครั้งจะมีสัญญาณส่งมาที่ Data Bus D0 - D7 จากคอมพิวเตอร์ แต่เราจะนำสัญญาณ SD0 - SD3 ไปใช้ในการควบคุมการทำงานของวงจรทั้งหมด ซึ่งสามารถสรุปเป็นตารางคำสั่งดังนี้

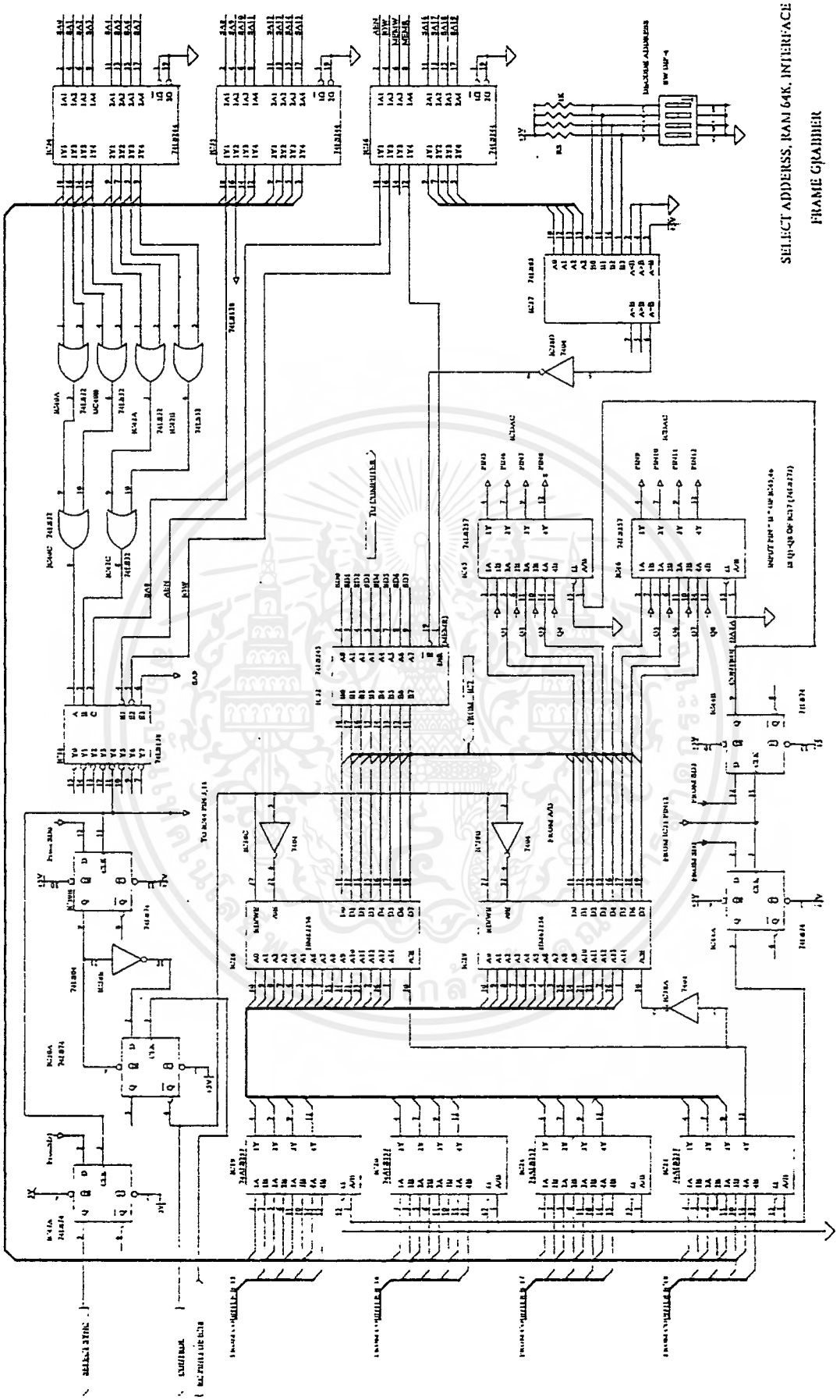
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สภาวะตำแหน่งขา SD				เลขฐาน16	หน้าที่ของการทำงานแต่ละคำสั่ง
SD3	SD2	SD1	SD0	(HEX)	
0	1	0	0	04H	แสดงภาพเคลื่อนไหวที่มอนิเตอร์
0	1	1	1	07H	บันทึกภาพ และแสดงภาพนิ่งที่จอมอนิเตอร์
1	0	0	1	09H	แสดงภาพที่จอคอมพิวเตอร์ และ ภาพเคลื่อนไหวที่มอนิเตอร์

ตารางที่ 3.1 แสดงคำสั่งการควบคุม

จากตารางที่ 3.1 เมื่อเราทำการเอาท์พอร์ทด้วยข้อมูลเลขฐาน 16 ก็จะทำงานตามหน้าที่นั้น การเอาท์พอร์ทจะต้องระบุเบอร์พอร์ทด้วยจากวงจรนี้ใช้พอร์ท 0300H ยกตัวอย่างเช่นถ้าเอาท์พอร์ท 0300H ด้วย 04H ก็หมายความว่าให้ทำการแสดงภาพเคลื่อนไหวที่จอมอนิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

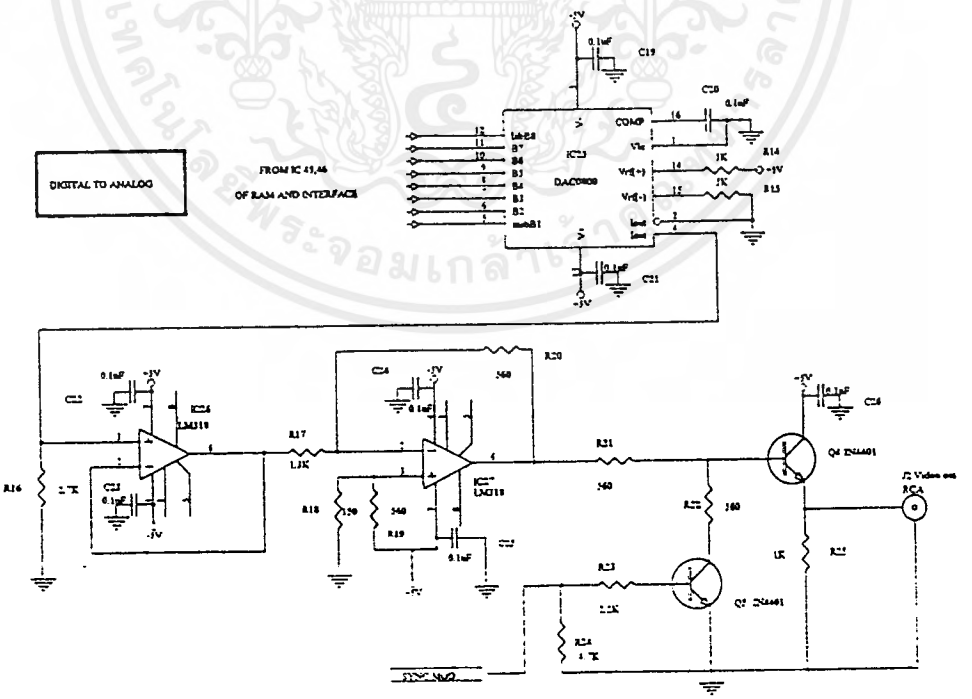


รูปที่ 3.10 วงจรภาคหน่วยความจำ และอินเตอร์เฟส (RAM and INTERFACE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.10 วงจรแปลงดิจิตอลเป็นอนาล็อก (Digital to Analog Circuit)

สัญญาณที่ได้จากวงจรแปลงอนาล็อก เป็นดิจิตอล ส่วนหนึ่งจะถูกส่งเข้าชุดวงจรแปลงดิจิตอลเป็นอนาล็อก ซึ่งสัญญาณดิจิตอลที่เข้าสู่วงจรนี้จะถูกส่งผ่านข้อมูลไปที่ IC25 (DAC0800) ซึ่งเป็นไอซีที่ทำหน้าที่แปลงสัญญาณดิจิตอลเป็นอนาล็อก ซึ่ง IC25 นี้จะทำงานได้ต้องอาศัยระดับแรงดันอ้างอิงทางบวกและทางลบเป็นตัวกำหนดค่าสัญญาณสูงสุดและต่ำสุดที่จะออกทางด้านเอาท์พุทหลังการแปลงข้อมูลเป็นอนาล็อกแล้ว จากวงจรนี้ระดับแรงดันอ้างอิงทางบวกถูกต่อเข้ากับแรงดัน 5 โวลต์ ผ่าน R14 ค่า 5K และแรงดันอ้างอิงทางลบจะต่อลงกราวด์ผ่าน R15 ค่า 5K สัญญาณที่ได้จาก IC25 นี้ จะมีลักษณะเป็นกระแสเอาท์พุท ดังนั้นเพื่อต้องการให้สัญญาณทางเอาท์พุทเป็นแรงดันก็ต่อขาเอาท์พุทนี้ร่วมกับ R16 ค่า 2.7K และเอาท์พุทที่ได้จากวงจรนี้ถูกส่งผ่าน IC26 (LM318) ซึ่งทำหน้าที่เป็นบัฟเฟอร์ [4] ซึ่งเอาท์พุทที่ได้จะเป็นสัญญาณภาพ ต่อมาเราจะนำสัญญาณภาพมาทำการขยาย และยกระดับด้วย IC27 (LM318) การขยายนี้จะเป็นการขยายแบบกลับเฟสเพราะสัญญาณที่มาจาก IC26 ทำงานทางด้านลบดังนั้นเราต้องขยายแบบกลับเฟสเพื่อให้ได้สัญญาณภาพที่ทำงานด้านบวก ซึ่งอัตราการขยายนี้ถูกกำหนดด้วย R17 ค่า 1.3K, R20 ค่า 560 หลังจากนั้นสัญญาณภาพที่ได้จากจุดนี้จะถูก Modulate กับสัญญาณซิ้งค์รวมที่ Q5 ให้ได้สัญญาณภาพรวมซึ่งจะถูกส่งไปผ่านวงจรบัฟเฟอร์เพื่อส่งออกทางมอนิเตอร์ต่อไป

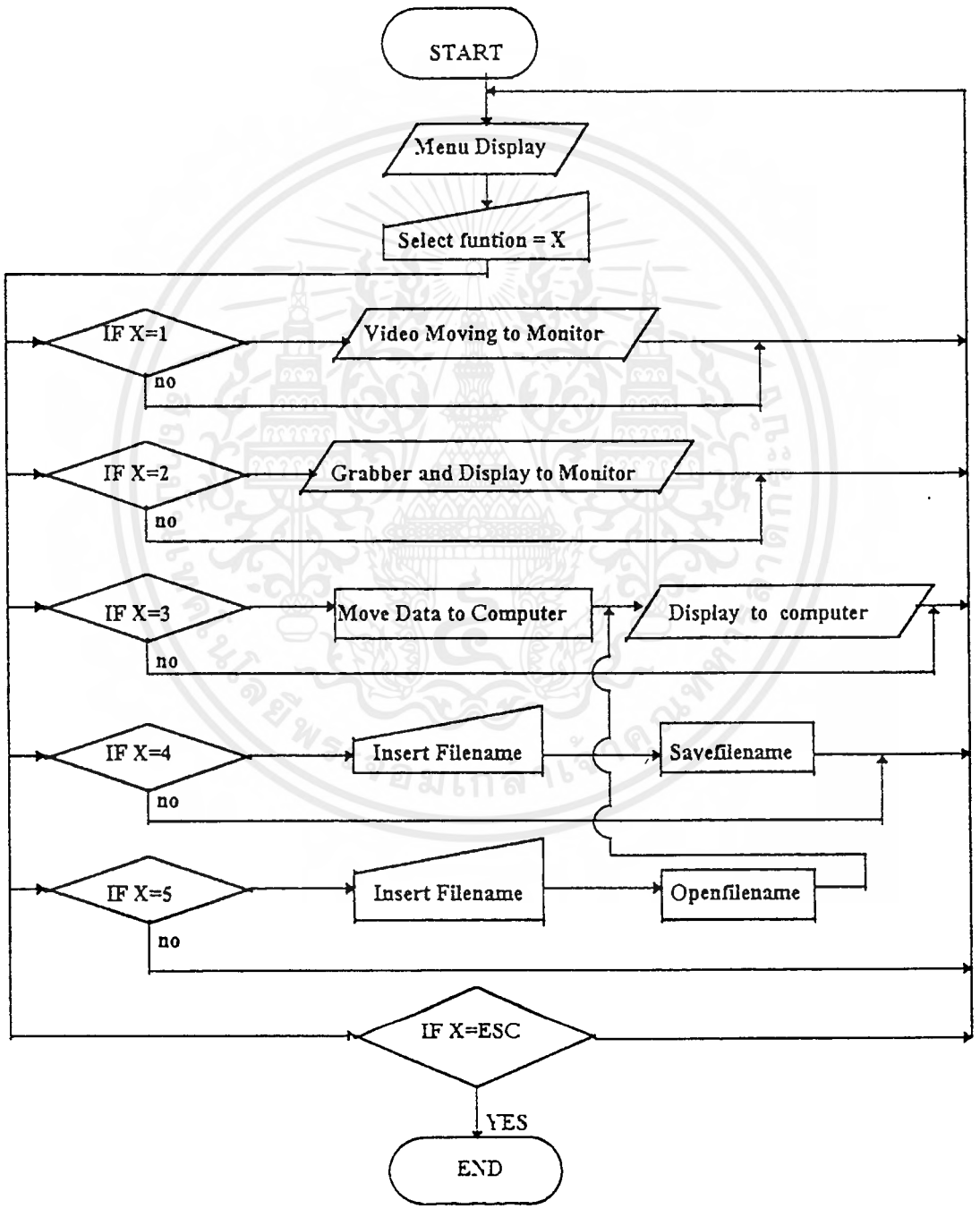


รูปที่ 3.11 วงจรแปลงดิจิตอลเป็นอนาล็อก (Digital to Analog Circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การทำงานของซอร์ฟแวร์ (Solf ware)

ในหัวข้อ 3.2 ที่กล่าวมาของบทนี้เป็นการอธิบายถึงการทำงานของฮาร์ดแวร์(Hard ware)ทั้งหมดซึ่งไม่เพียงพอในการใช้งานต้องอาศัยโปรแกรม(Solfware)มาควบคุมเพื่อให้สัญญาณที่ทำการจัดเก็บมีรายละเอียดที่ครบถ้วนและสามารถจัดเก็บลงในหน่วยความจำสำรองได้เช่น Floppy Disk ,Hard Disk เพื่อนำภาพไปใช้งานต่อไป ฉะนั้นในหัวข้อนี้จะกล่าวถึงลักษณะหน้าที่การทำงานของโปรแกรมโดยอาศัยโฟลชาร์ท (Flow Chart) ดังรูป ที่ 3.12



รูปที่ 3.12 แสดงโฟลชาร์ท (Flow Chart) ของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การทำงานของโฟลชาร์ท (Flow Chart)

ลำดับขั้นการทำงานของโฟลชาร์ท (Flow Chart) จากรูปที่ 3.12 เมื่อเริ่มต้นจะเป็นการเปิดเครื่องไมโครคอมพิวเตอร์ (PC) และรีเซทวงจร (Card) ที่สร้างขึ้นซึ่งเสียบคอยู่ในสล็อต (Slot) เมนร์บอร์ดของเครื่องไมโครคอมพิวเตอร์ จากนั้นก็รันโปรแกรมที่เขียนขึ้นด้วยภาษาซี (ดูรายละเอียดได้ที่ภาคผนวก) ก็จะแสดงเมนู (Menu) ออกมาให้ผู้ใช้ทำการเลือกฟังก์ชั่นการทำงานต่าง ๆ มีดังนี้

[1] Video Moving to Monitor

[2] Grabber and Display to Monitor

[3] Display to Computer

[4] Save

[5] Open

[ESC] EXIT TO DOS

จากนั้นทำการเลือกฟังก์ชั่นที่ต้องการโดยการป้อนตัวเลขเข้าทางคีย์บอร์ท สมมติให้ตัวเลขที่ป้อนคือ ค่า "X" แล้วโปรแกรมจะตรวจสอบว่าค่า "X" ที่ผู้ใช้ป้อนเข้ามาคือค่าอะไร โปรแกรมก็จะทำงานตามหน้าที่นั้น โดยถ้าค่า "X" เท่ากับ

X = 1 คือ ให้วงจรทำการแสดงภาพเคลื่อนไหวซึ่งผ่านการ Sampling มาแล้วบนจอ Monitor

X = 2 คือ ให้วงจรทำการจัดเก็บสัญญาณภาพที่ปรากฏบน Monitor ลงสู่หน่วยความจำที่เราสร้างขึ้น (Card) พร้อมกับแสดงภาพนิ่งที่จัดเก็บบนจอ Monitor ทันที

X = 3 คือ ให้วงจรทำการถ่ายข้อมูลจากหน่วยความจำที่เราสร้างขึ้น (Card) เข้าสู่หน่วยความจำของเครื่องคอมพิวเตอร์ เพื่อแสดงผลที่จอคอมพิวเตอร์เป็นภาพนิ่งขาวดำ

X = 4 คือ การจัดเก็บภาพที่ปรากฏบนจอคอมพิวเตอร์เข้าสู่หน่วยความจำสำรอง เช่น Floppy Disk , Hard Disk โดยหนึ่งภาพจะใช้หน่วยความจำ 64 Kbyte

X = 5 คือ การเปิดหรือโหลดภาพที่จัดเก็บใน Floppy Disk หรือ, Hard Disk ไปแสดงผลที่จอคอมพิวเตอร์

X = " ESC "คือ ออกจากโปรแกรมเพื่อกลับเข้าสู่ดอส (DOS)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

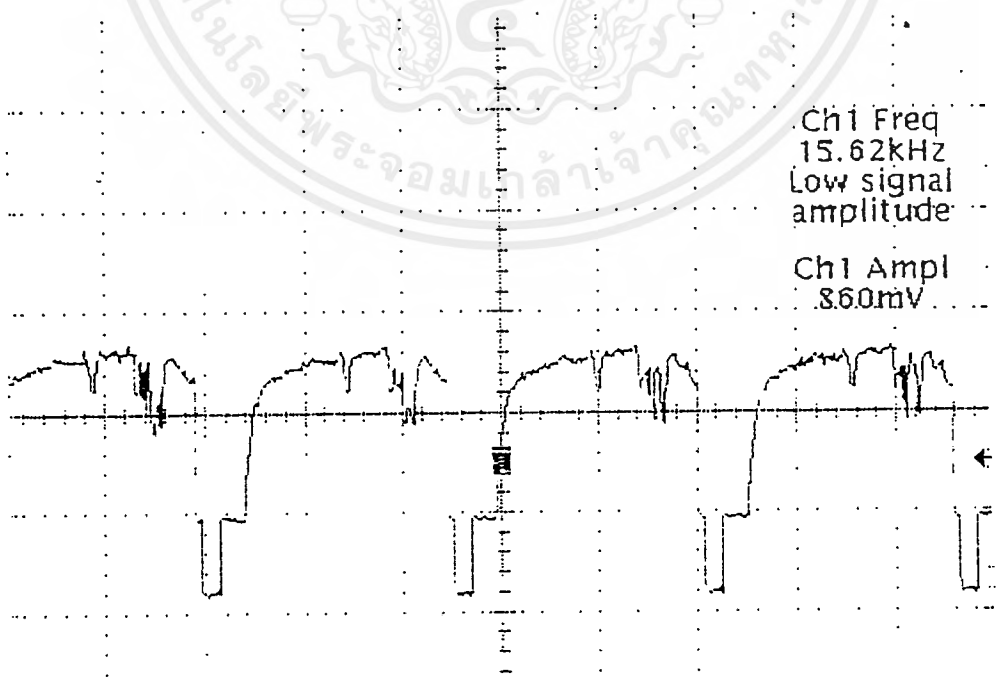
4.1 บทนำ

จากการทำงานของวงจรภาคต่าง ๆ ที่ได้กล่าวไว้ในบทที่ 3 นั้น เป็นการอธิบายถึงทฤษฎีการทำงานวงจร ซึ่งไม่สามารถที่ทำให้เข้าใจและมีความชัดเจนถึงการทำงานได้ดีพอ ฉะนั้นจึงจำเป็นจะต้องปฏิบัติทำการทดลองวงจรภาคต่างๆ ซึ่งประกอบด้วยวงจรภาค Buffer Circuit, A/D Circuit, Sync Seperator Circuit, Clock Circuit, Select Sync. Circuit, Sync. Generator Circuit, Sync. Control counter Circuit, Counter Circuit, D/A Circuit แล้วนำผลการทดลองที่ได้ไปทำการเปรียบเทียบกับทฤษฎีการทำงานในบทที่ 3 เพื่อวิเคราะห์ผลการทดลองที่เกิดขึ้นมีลักษณะเป็นอย่างไร เราสามารถแสดงผลการทดลองวงจรดังกล่าวต่อไปนี้

4.2 ผลการทดลองของวงจร Buffer Circuit

การทำงานของวงจร Buffer Circuit ในรูปที่ 3.2 หัวข้อ 3.2.1 เราได้ทำการวัดสัญญาณภาพที่ผ่านวงจร Bufferได้ดังรูปที่ 4.1สามารถอธิบายได้ดังนี้

เป็นสัญญาณภาพขาวดำที่ได้จากวัดที่ขา E ของ Q1(BC547) ซึ่งเป็นสัญญาณที่ผ่านวงจร Buffer Circuit มีอัตราขยายเท่ากับหนึ่งมาแล้ว ในทางทฤษฎีมีความถี่ของสัญญาณนี้เท่ากับ 15.625 KHz[3] แต่จากทดลองวัดความถี่ได้เท่ากับ 15.62 KHz จะเห็นได้ว่าใกล้เคียงกับทฤษฎีมาก จากนั้นจะถูกส่งไปเป็นอินพุทให้กับวงจร A/D Circuit ต่อไป



รูปที่ 4.1 แสดงสัญญาณภาพที่เอาท์พุทของวงจร Buffer Circuit

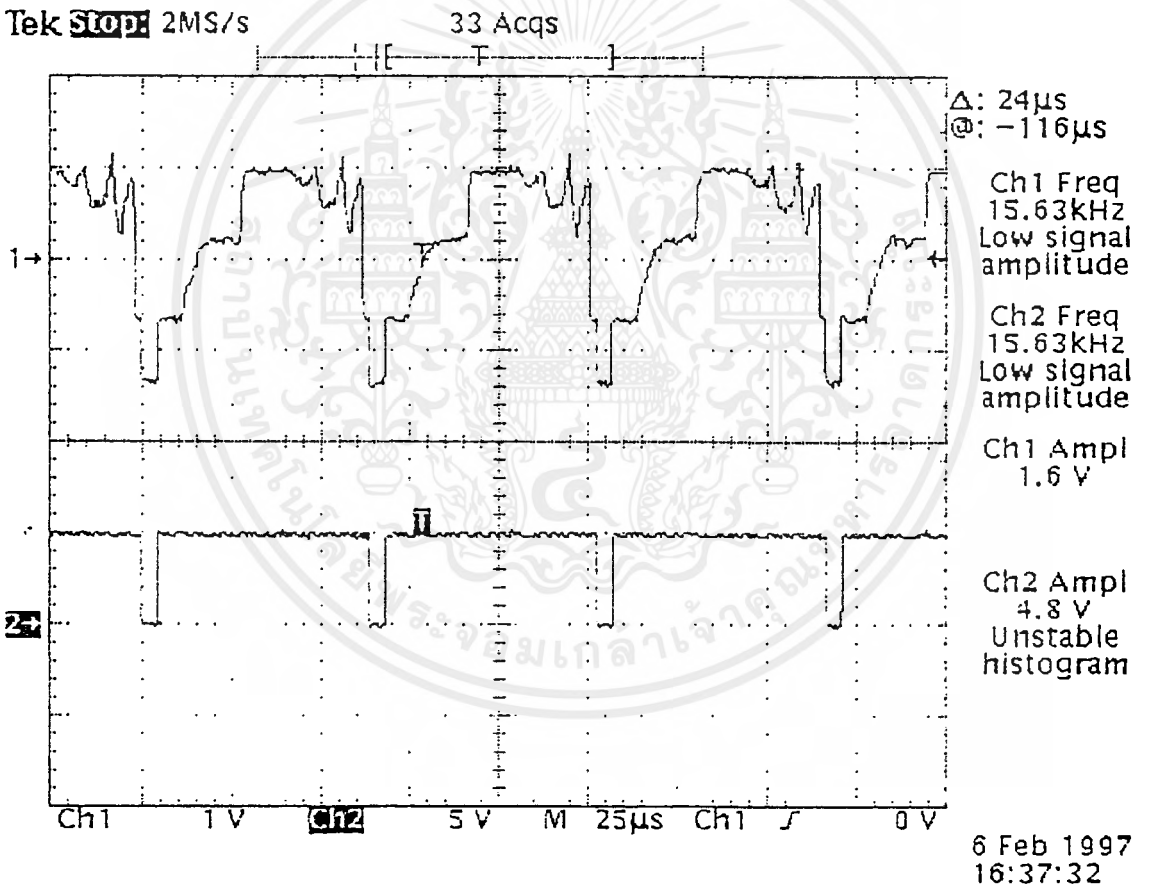
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ผลการทดลองของวงจร Sync. Seperator Circuit

การทำงานของวงจร Sync Seperator Circuit ในรูปที่ 3.2 หัวข้อ 3.2.3 เราได้ทำการวัดสัญญาณภาพขาวดำเทียบกับสัญญาณ H-Sync ที่ได้จากการแยกดังรูปที่ 4.2 อธิบายได้ดังนี้

CH1 คือสัญญาณภาพขาวดำที่ยังไม่ได้ทำการแยกสัญญาณ Sync โดยวัดที่ J1 ซึ่งเป็นตำแหน่งของสัญญาณอินพุทของ IC1#LM1881 ที่ทำหน้าที่แยกสัญญาณ Sync ออกจากสัญญาณภาพ

CH2 คือสัญญาณ H- Sync ที่วัดจากขา 1 ของ IC1 ที่แยกออกจากสัญญาณภาพขาวดำแล้วมีความถี่เท่ากับ 15.6 KHz ในทางทฤษฎีเท่ากับ 15.625 KHz ซึ่งเป็นค่าที่ใกล้เคียงกับทางทฤษฎีมาก จากนั้นจะถูกส่งไปให้กับวงจร. Select Sync. Circuit ต่อไป



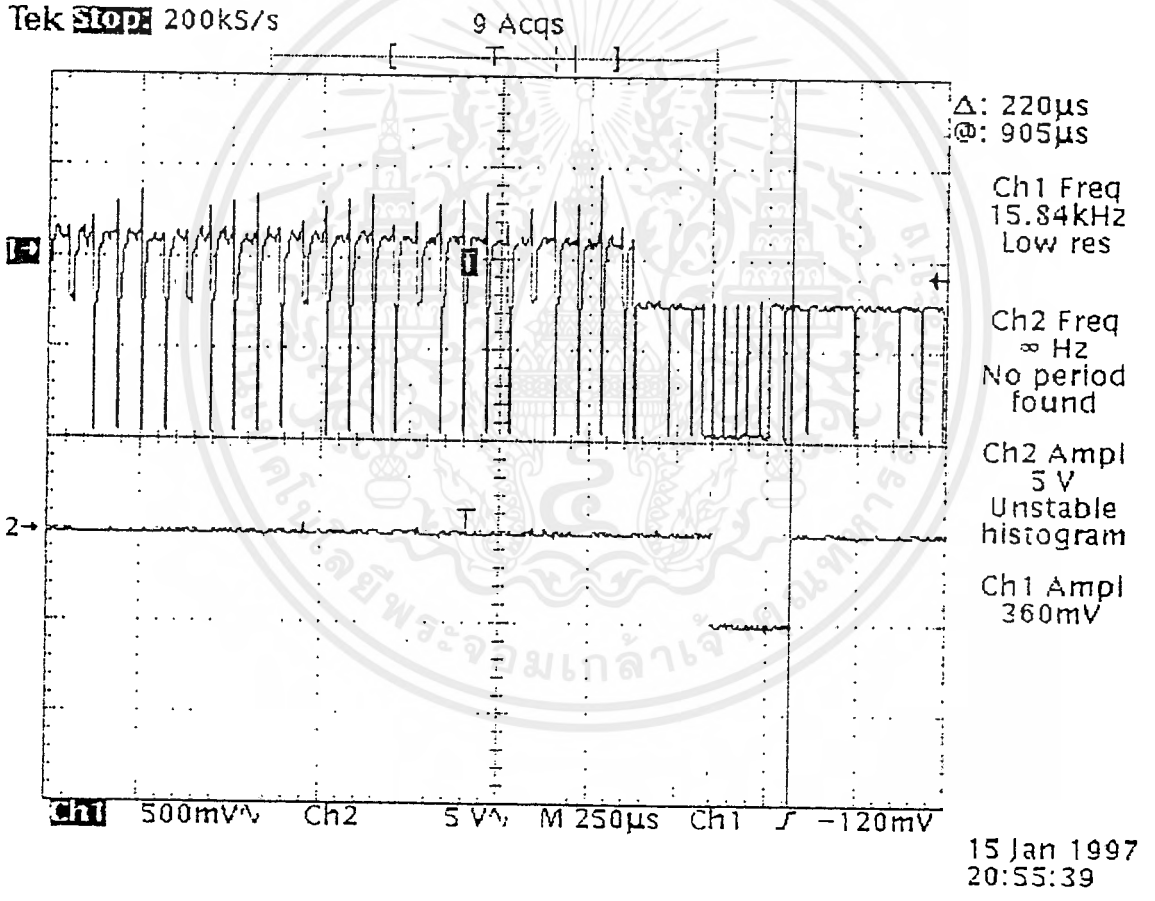
รูปที่ 4.2 แสดงการเปรียบเทียบสัญญาณภาพ กับสัญญาณ H - Sync.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร Sync Seperator Circiut ในรูปที่ 3.4 หัวข้อ 3.2.3 เราได้ทำการวัดสัญญาณภาพเทียบกับสัญญาณ V - Sync ที่ได้จากการแยก ดังรูปที่ 4.3 สามารถอธิบายได้ดังนี้

CH1 คือสัญญาณภาพขาวดำที่ยังไม่ได้ทำการแยกสัญญาณ Sync. โดยวัดที่ J1 ซึ่งเป็นตำแหน่งของสัญญาณอินพุทของ IC1#LM1881 ที่ทำหน้าที่แยกสัญญาณ Sync. ออกจากสัญญาณภาพ

CH2 คือสัญญาณ V- Sync ที่วัดจากขา 3 ของ IC1 มีความกว้างของพัลส์เท่ากับ 220 uS ซึ่งในทางทฤษฎีความกว้างของพัลส์นี้เท่ากับ 230 uS ในการอ่านค่าคาบเวลาความกว้างของพัลส์ให้เที่ยงตรงมากขึ้นนั้น ทำได้โดยการขยายแกนเวลาของเครื่องวัดออสซิสโลสโคบให้น้อยลงคือ จากเดิม 250 uS เป็น 100 uS ก็จะอ่านได้แม่นยำยิ่งขึ้น



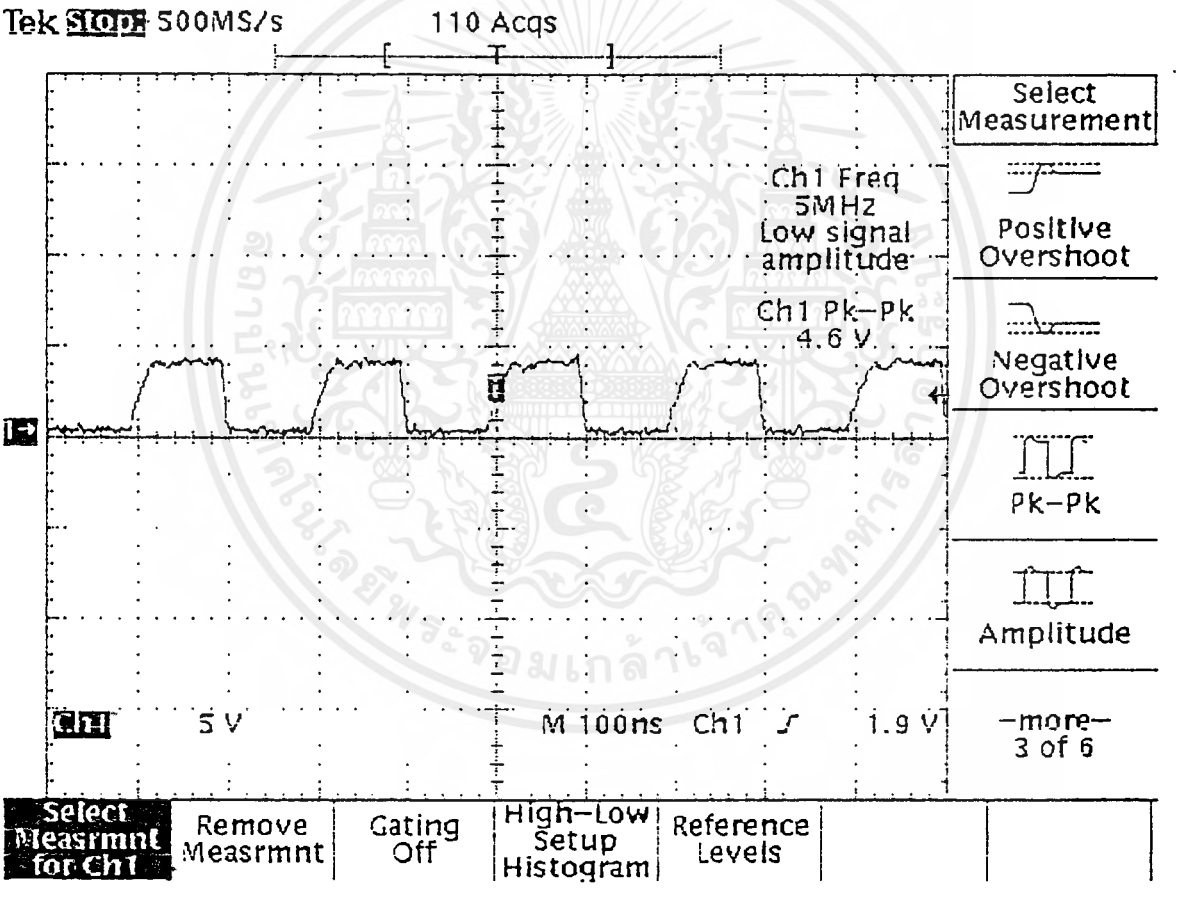
รูปที่ 4.3 แสดงการเปรียบเทียบสัญญาณภาพ กับสัญญาณ V-Sync

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ผลการทดลองของวงจร Clock Circuit

การทำงานของวงจรภาค Clock Circuit.ในรูปที่ 3.5 หัวข้อ 3.2.4 เราได้ทำการวัดสัญญาณนาฬิกา (Clock) ที่ผลิตได้ดังรูปที่ 4.4 อธิบายได้นี้

เป็นสัญญาณนาฬิกาความถี่ 5 MHzที่วัดจากขา 5 ของ IC3:A#74LS7474 ทำน้าที่เป็น D - F/F โดยใช้คริสตอลความถี่ 10 MHz เป็นตัวผลิต ความถี่ที่ได้นี้จะถูกหารสองด้วย IC13:A ฉะนั้นจึงเหลือความถี่ 5 MHz จากรูปจะเห็นว่าสัญญาณไม่เป็น Square Wave ที่สมบูรณ์มากนัก อาจสืบเนื่องมาจากสัญญาณรบกวน ที่เกิดจากระบบการต่อแหล่งจ่ายไฟและกราวด์ไม่ดี แต่อย่างไรก็ตามเราก็สามารถนำไปใช้ประโยชน์ได้



รูปที่ 4.4 แสดงสัญญาณนาฬิกาความถี่ 5 MHz

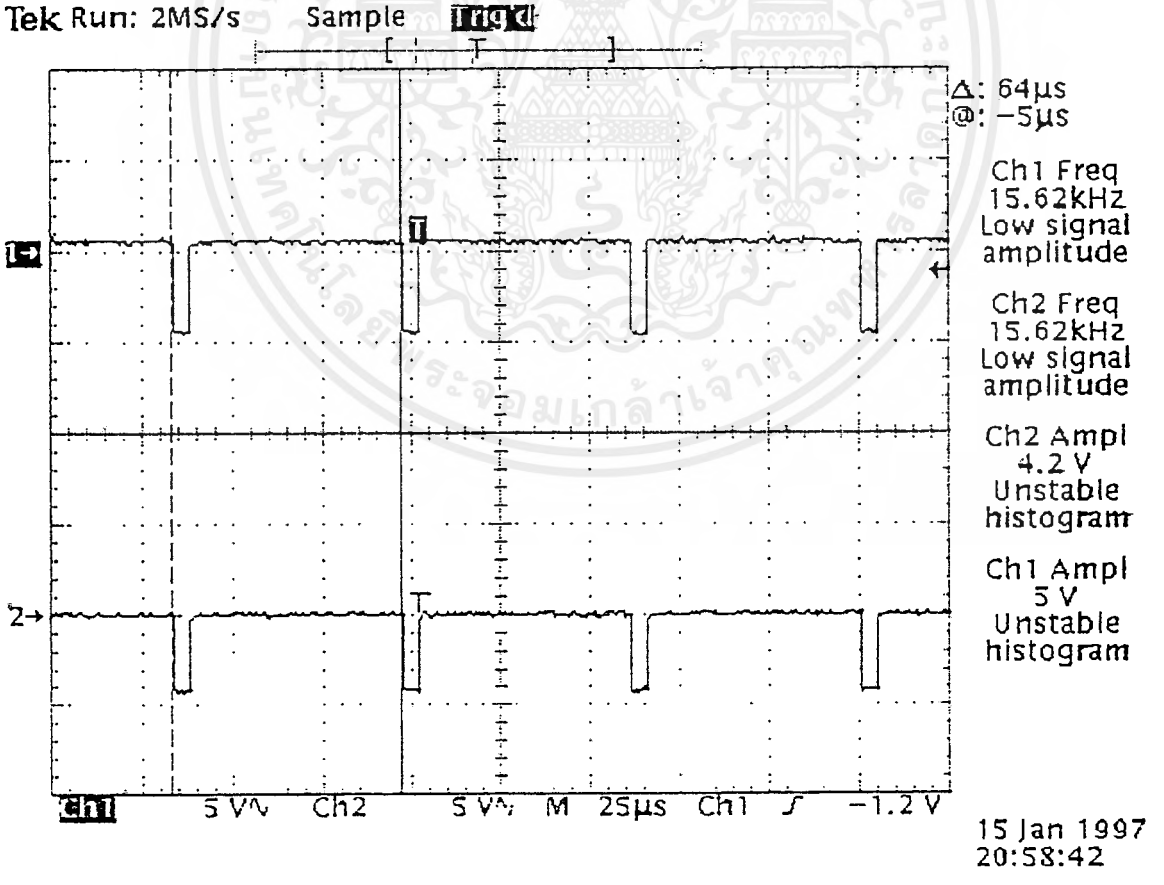
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 ผลการทดลองของวงจร Select Sync. Circuit

การทำงานของวงจร Select Sync Circiut ในรูปที่ 3.6 หัวข้อ 3.2.5 เราได้ทำการวัดสัญญาณอินพุทเทียบกับสัญญาณเอาร์พุทของสัญญาณ H -Sync ที่ได้จากการเลือกดังรูปที่ 4.5 สามารถอธิบายได้ดังนี้

CH1 คือสัญญาณ H- Sync ที่วัดจากขา 2 ของ IC10 #74LS257 มีความถี่ 15.625 KHz และความกว้างของยอดคลื่นเท่ากับ 4.8 uS ซึ่งเป็นสัญญาณที่ถูกเลือกนำไปใช้ควบคุมวงจร Control Counter ที่ IC9:A

CH2 คือสัญญาณ H- Sync ที่วัดจากขา 4 ของ IC10 ซึ่งเป็นสัญญาณที่ถูกเลือกนำไปใช้ควบคุมวงจร Control Counter จริงๆ เมื่อได้ทำการเปรียบเทียบสัญญาณกับ CH1 แล้วจะเห็นได้ว่าความถี่และความกว้างของพัลส์จะเท่ากับสัญญาณอินพุทของ IC10 ที่ตำแหน่งขา 2 แต่ขนาดแรงดันจะมากขึ้นคือ จากเดิม 4.2V เป็น 5 V ซึ่งไม่มีผลต่อวงจร



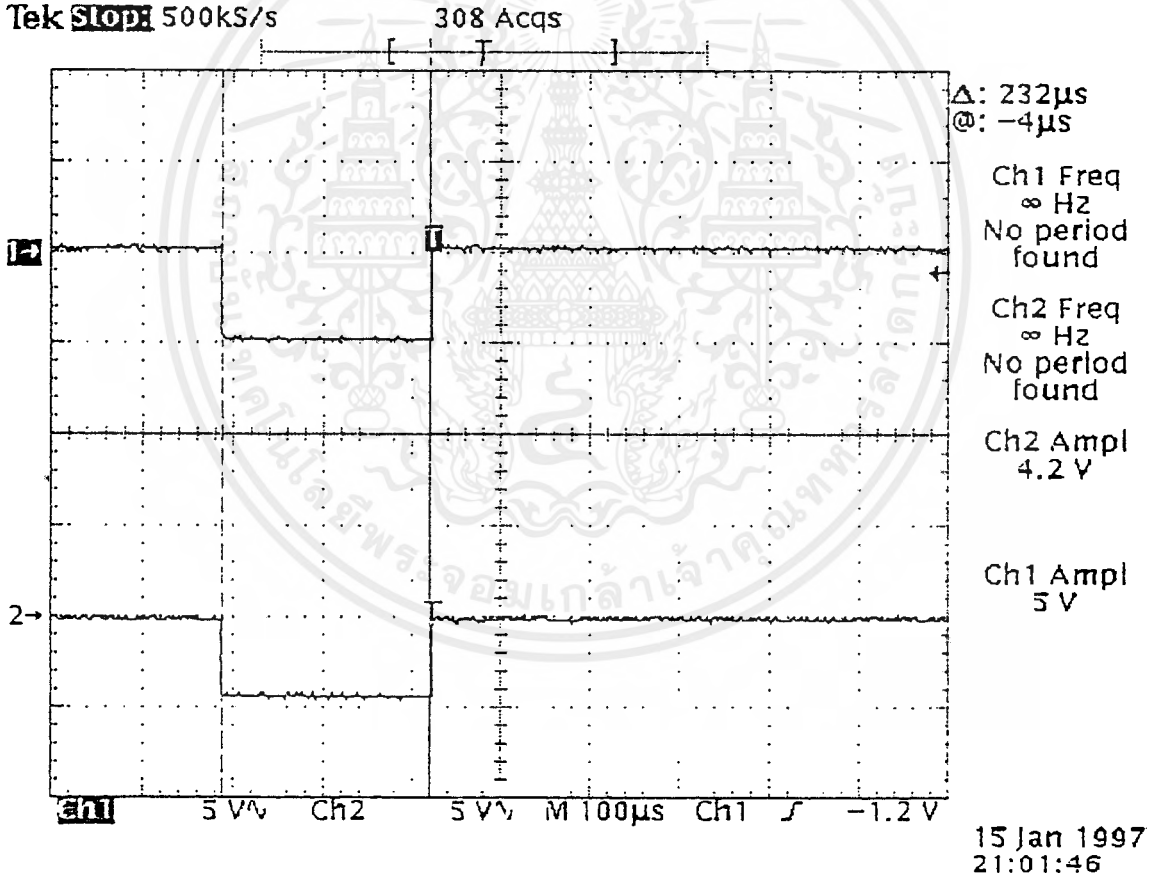
รูปที่ 4.5 แสดงการเปรียบเทียบสัญญาณ H- Sync. ของวงจร Select Sync.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร Select Sync ในรูปที่ 3.6 หัวข้อ 3.2.5 เราได้ทำการวัดสัญญาณอินพุท เทียบกับสัญญาณเอาร์พุทของสัญญา V-Sync ที่ได้จากการเลือกดังรูปที่ 4.6 อธิบายได้ดังนี้

CH1คือ สัญญาณ V-Sync. ที่วัดจากขา 5 ของ IC10 #74LS257 มีความถี่ 50Hz และความกว้างของยอดคลื่นเท่ากับ 4.8 uS ซึ่งเป็นสัญญาณที่ถูกเลือกนำไปใช้ควบคุมวงจร Control Counter ที่ทำหน้าที่ผลิตสัญญาณ V- Count

CH2คือ สัญญาณ V-Sync.ที่วัดจากขา 7 ของ IC10 ซึ่งเป็นสัญญาณที่ถูกเลือกนำไปใช้ควบคุมวงจร Control Counter จริงๆ เมื่อได้ทำการเปรียบเทียบกับ CH1 แล้วจะเห็นได้ว่าความถี่และความกว้างของพัลส์จะเท่ากับสัญญาณอินพุทของ IC10 ที่ตำแหน่งขา 5 แต่ขนาดแรงดันจะมากขึ้นคือ จากเดิม 4.2V เป็น 5 V ซึ่งไม่มีผลต่อวงจร



รูปที่ 4.6 แสดงการเปรียบเทียบของสัญญาณ V-Sync.ของวงวจร Select Sync.

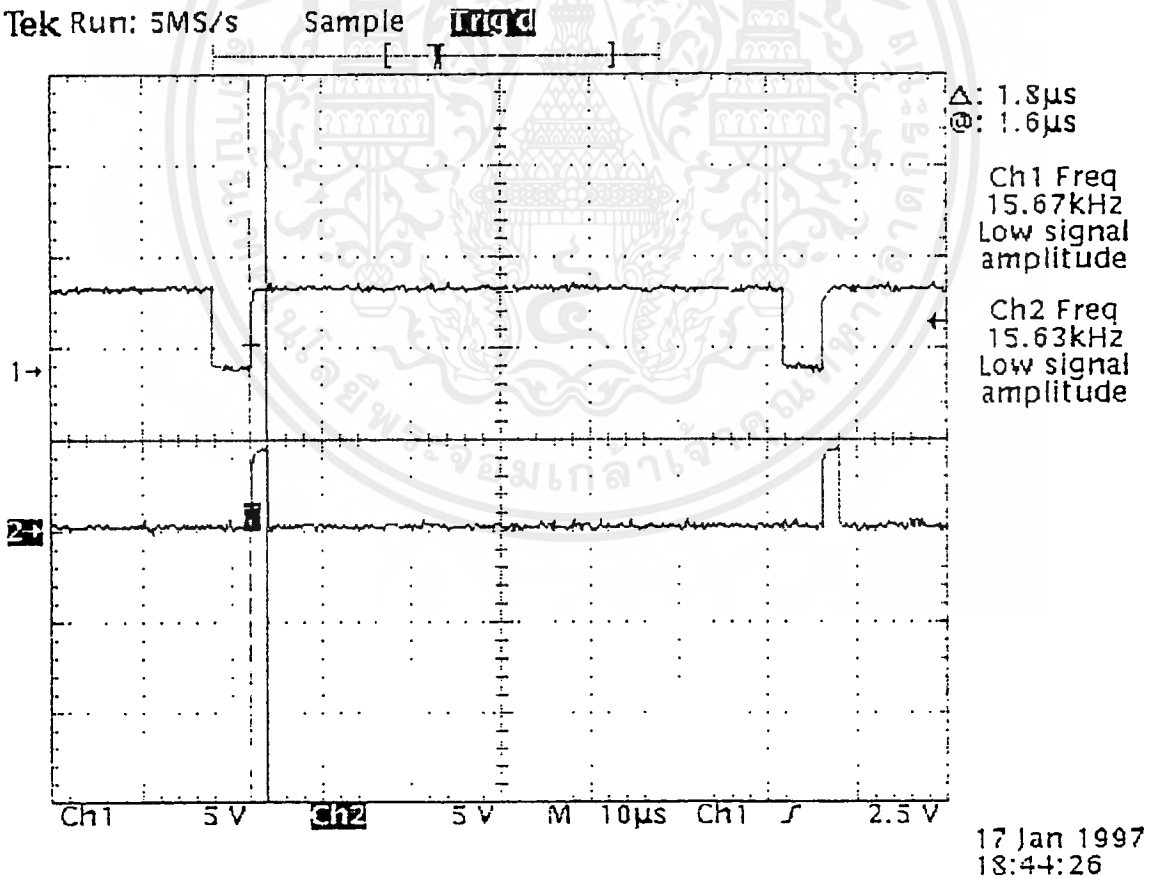
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 ผลการทดลองของวงจร Sync. Generator Circuit

การทำงานของวงจรSync Gen.ในรูปที่ 3.7 หัวข้อ 3.2.6 เราได้ทำการวัดสัญญาณอินพุทของวงจร H-Sync Gen.เทียบกับสัญญาณที่ได้จากหน่วงในstepที่ 1 ของวงจร H-Sync. Gen.ได้ดังรูปที่ 4.7 สามารถอธิบายได้ดังนี้

CH1คือ สัญญาณที่วัดจากขา 2 ของ IC12:A #74LS221ซึ่งเป็นสัญญาณ H - Syncที่ใช้แทนสัญญาณ Ripple Clock ที่ขา13 ของIC16 ปรกติสัญญาณRipple Clock นี้จะเกิดเมื่อวงจรนับทำการนับครบ 256 ตำแหน่งหรือทำเก็บสัญญาณภาพครบหนึ่งเส้นพอดี เหตุผลที่ใช้สัญญาณ H- Sync แทนสัญญาณRippleClock เพื่อความสะดวกในการปรับแต่งสัญญาณ

CH2คือ สัญญาณที่วัดจากขา 13 ของ IC12:A ซึ่งทำงานที่ขอบขาขึ้นของสัญญาณอินพุท (CH1) และได้ทำการหน่วงเวลาช่วงบากเท่ากับ 1.8 uS เพื่อให้เท่ากับช่วง Front porch [3]โดยใช้ VR10 ในการปรับแต่งคาบเวลานี้ จากนั้นจะนำสัญญาณนี้ไปทำการหน่วงใน stepที่ 2 เพื่อให้ได้ H-Sync Gen.



รูปที่ 4.7 แสดงการเปรียบเทียบสัญญาณอินพุทของวงจร H-Sync Gen กับ

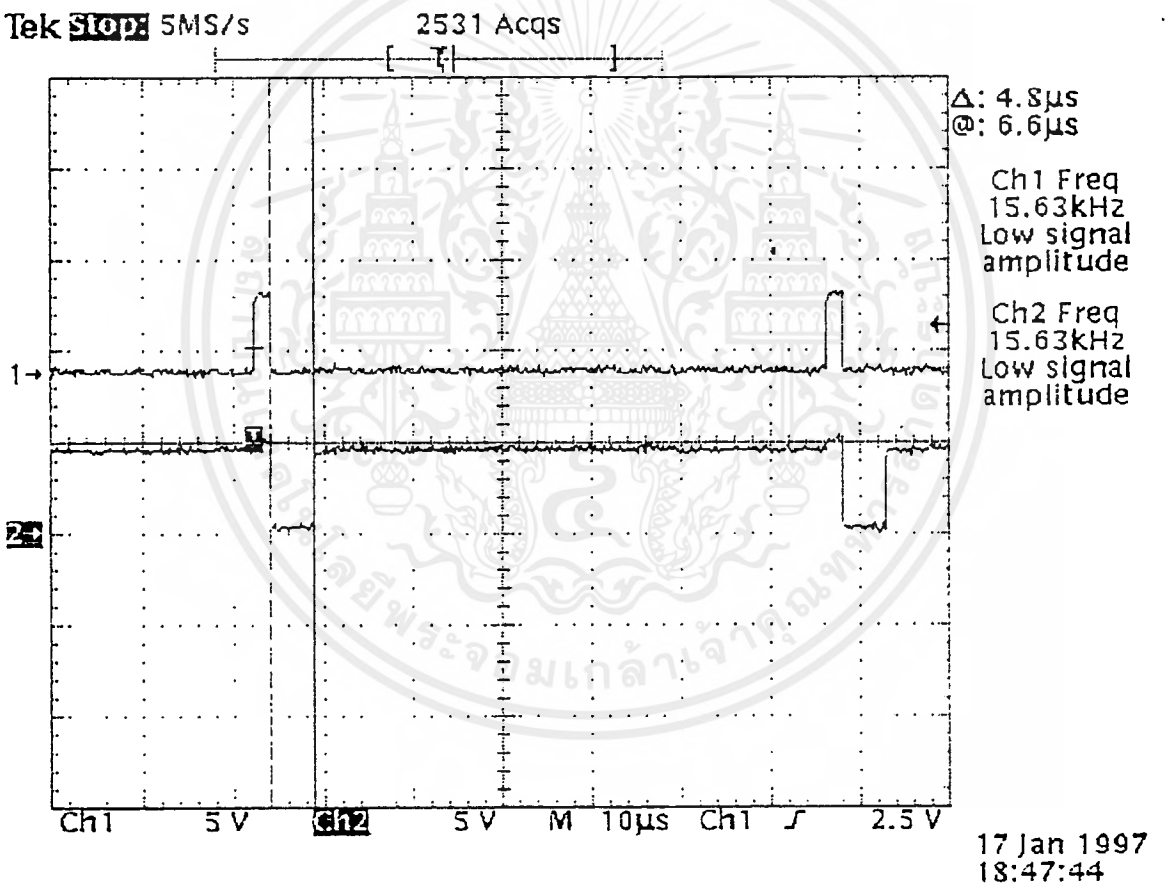
กับสัญญาณจากการหน่วงในStepที่ 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรSync Gen.ในรูปที่3.7หัวข้อ 3.2.6 เราได้ทำการวัดสัญญาณอินพุทที่ได้จากหน่วงในstepที่1ของวงจร H-Sync.Gen.เทียบสัญญาณ /H-Sync Gen.ได้ดังรูปที่ 4.8 อธิบายได้ดังนี้

CH1คือ สัญญาณที่วัดจากขา 13 ของ IC12:A ที่ได้ทำการหน่วงเวลาในstepที่ 1 ซึ่งเป็นสัญญาณอินพุทให้กับ IC12:B ทำการหน่วงให้ได้สัญญาณ H-Sync Gen ที่ขา 5

CH2คือ สัญญาณที่วัดจากขา 12 (ขา / Q)ของ IC12:B ซึ่งทำงาขอบขาลงของสัญญาณอินพุท (CH1) และมีคาบเวลาช่วงบวกเท่ากับ 4.8uS ปรับโดยVR11 ปรากฏที่ขา 5 (ขา Q) เหตุผลที่ต้องการคาบเวลาพัลส์ช่วงบวกเท่ากับ 4.8 uS เพราะต้องการให้ตรงตามมาตรฐานของสัญญาณH- Sync [3] ฉะนั้นจึงนำเอาสัญญาณที่ขา 13 ของ IC12:B หรือสัญญาณ /H - Sync Count ไปใช้งาน



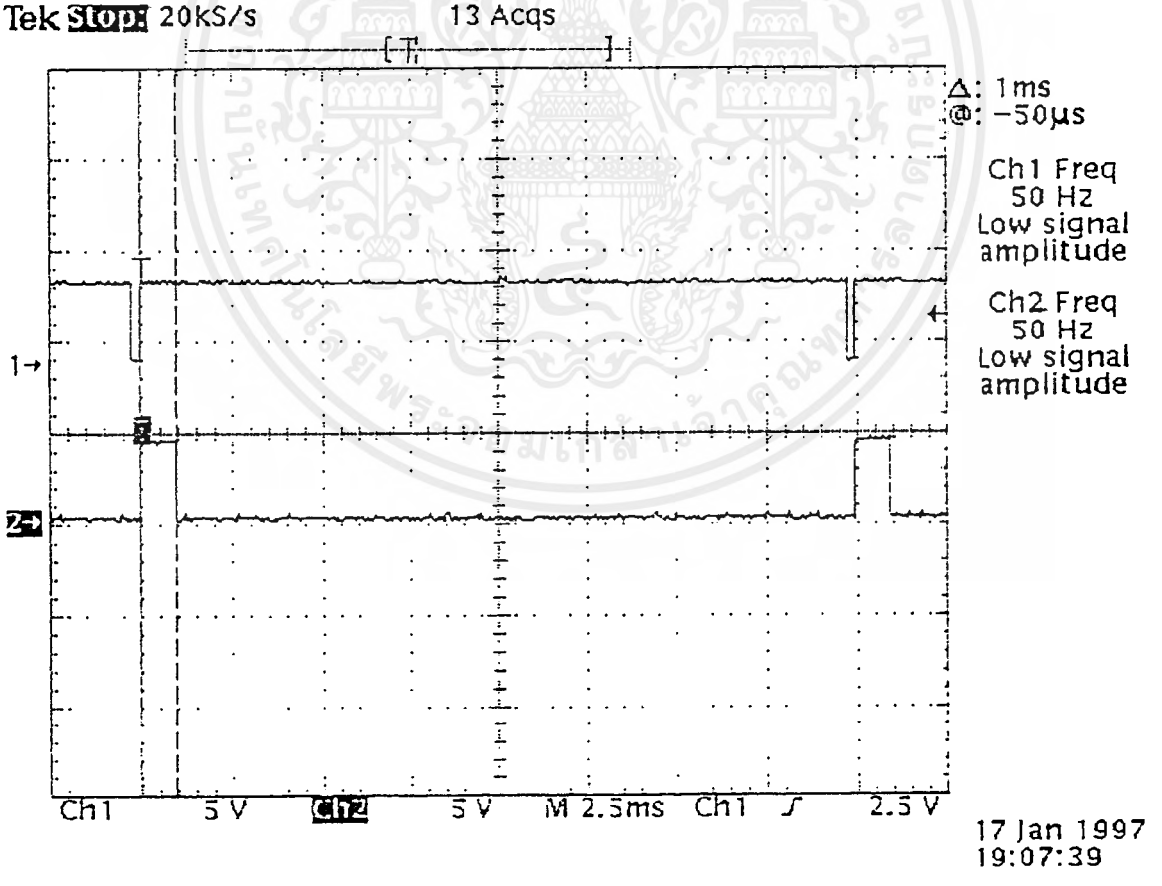
รูปที่ 4.8 แสดงการเปรียบเทียบสัญญาณจากการหน่วงใน Step ที่ 1 ของวงจร H- Sync Gen กับสัญญาณ /H-Sync Gen

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรSync Genในรูปที่3.7หัวข้อ 3.2.6 เราได้ทำการวัดสัญญาณอินพุทของวงจร V-Sync. Gen.เทียบกับสัญญาญที่ได้จากหน่วงใน step ที่ 1 ของวงจร V-Sync.Gen.ได้ดังรูปที่4.9 อธิบายได้ดังนี้

CH1คือ สัญญาณที่วัดจากขา 2 ของ IC13:A ซึ่งเป็นสัญญาณ V-Syncที่ใช้แทนสัญญาณ Ripple Clock ที่ขา13 ของIC18 ปรกติสัญญาณRipple Clock นี้จะเกิดเมื่อวงจรนับทำการนับครบ 65535 ตำแหน่งหรือทำการเก็บสัญญาณภาพครบหนึ่งฟิลด์ที่ 256 เส้นทางแนวนอน เหตุผลที่ใช้สัญญาณ V-Sync แทนสัญญาณRippleClock เพื่อความสะดวกในการปรับแต่งสัญญาณ แต่การใช้งานจริงต้องใช้สัญญาณ Ripple Clock

CH2คือ สัญญาณที่วัดจากขา 13 ของ IC13:A ซึ่งทำงานที่ขอบขาขึ้นของสัญญาณอินพุท (CH1) และได้ทำการหน่วงเวลาช่วงบวกเท่ากับ 1 mS เหตุผลที่ต้องหน่วงคาบเวลาออกไป 1 mS เพราะต้องหน่วงสัญญาณเส้นสะแกนทางแนวนอนที่เหลือหลังจากการเก็บประมาณ 15.75 เส้น ซึ่งช่วงท้ายของสัญญาณเส้นสแกนทางแนวนอน ฉะนั้นต้องใช้เวลาเท่ากับ 15.75 × 64 uS หรือเท่ากับ 1.008 mS และสัญญาณนี้ก็จะเป็นอินพุท IC13:Bต่อไป



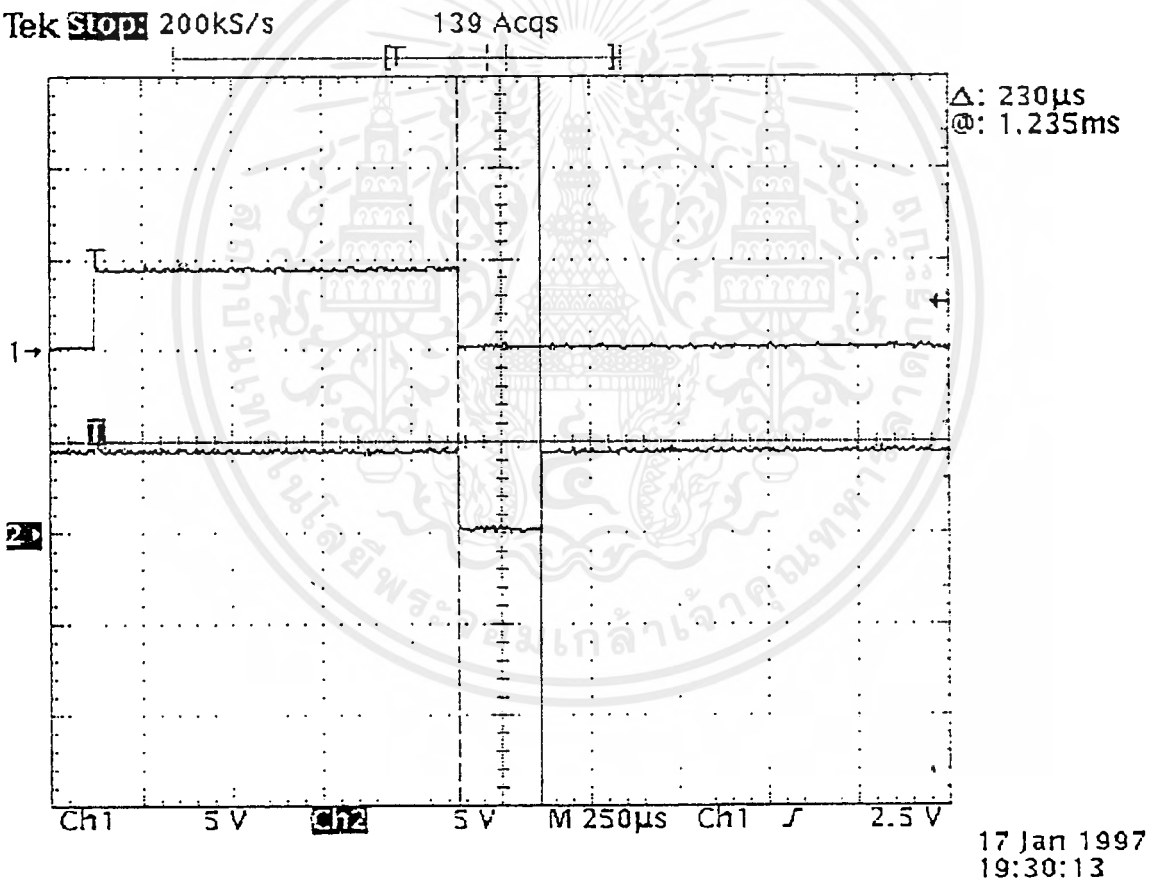
รูปที่ 4.9 แสดงการเปรียบเทียบสัญญาณอินพุทของวงจร V-Sync.Gen. กับสัญญาณจากการหน่วงใน Step ที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรSync. Gen.ในรูปที่3.7 หัวข้อ 3.2.6 เราได้ทำการวัดสัญญาณอินพุทที่ได้จากหน่วงใน stepที่ 1 ของวงจร V-Sync. Gen. เทียบสัญญาณ / V-Sync. Gen.ได้ดังรูปที่ 4.10 อธิบายได้ดังนี้

CH1คือ สัญญาณที่วัดจากขา 9 ของ IC13:B ที่ได้จากหน่วงในstepที่ 1

CH2คือ สัญญาณที่วัดจากขา 13 (ขา / Q)ของ IC13:B ซึ่งทำงานขอบขาลงของสัญญาณอินพุท (CH1) และมีคาบเวลาช่วงบวกเท่ากับ 230 uS ปรากฏที่ขา 5 (ขา Q) เหตุผลที่ต้องการคาบเวลาพัลส์ช่วงบวกเท่ากับ 230 uS เพราะต้องการให้ตรงตามมาตรฐานของสัญญาณ V-Sync แต่เราจะนำเอาสัญญาณที่ขา 13 ของ IC13:B หรือสัญญาณ /V- Sync.Gen ไปใช้งานเท่านั้น



รูปที่ 4.10 แสดงการเปรียบเทียบสัญญาณจากการหน่วงใน Step ที่ 1 ของวงจร V- Sync. Gen. กับสัญญาณ / V-Sync. Gen.

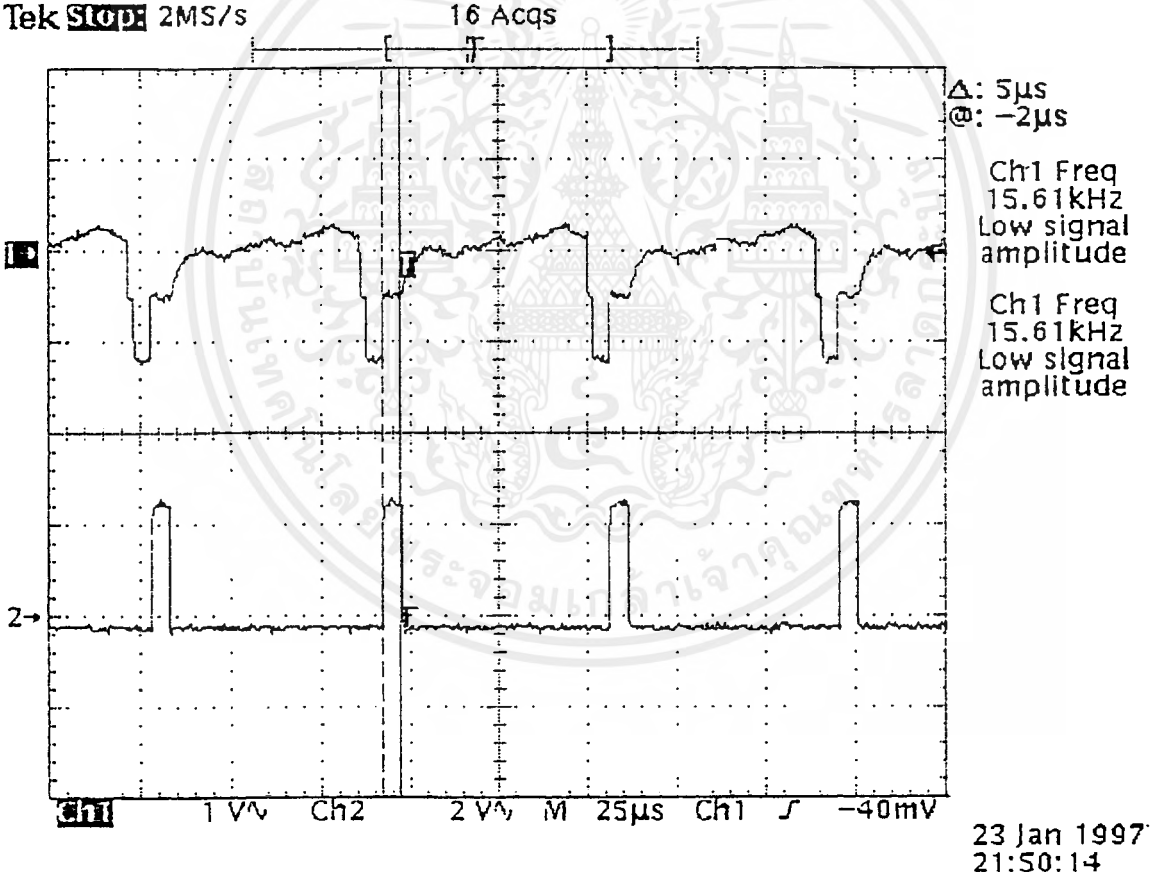
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 ผลการทดลองของวงจร Sync. Control Counter Circuit

การทำงานของวงจรControl Counterในรูปที่ 3.8 หัวข้อ3.2.7 เราได้ทำการวัดสัญญาณภาพขาวดำเทียบกับสัญญาณ H - Sync. ที่ได้จากการหน่วงใน Step ที่ 1 ดังรูปที่ 4.11 อธิบายได้ดังนี้

CH1 คือสัญญาณภาพขาวดำที่ยังไม่ทำการแยกสัญญาณ Sync. โดยวัดที่ J1 ซึ่งเป็นตำแหน่งของสัญญาณอินพุทของ IC1#LM1881 ที่ทำหน้าที่แยกสัญญาณ Sync ออกจากสัญญาณภาพ

CH2 คือสัญญาณที่วัดจากขา13ของ IC8:A โดย IC8:A จะทำงานที่ขอบขาขึ้นของสัญญาณH-Sync. อินพุทที่ขา 2 และจะทำการหน่วงคาบเวลาพัลส์ช่วงบวกเท่ากับ 5.5 uS เพื่อให้เท่ากับช่วงBack porch [3] ของสัญญาณ Sync (CH1) โดยใช้ VR6 ในการปรับแต่งคาบเวลานี้ จากนั้นจะนำสัญญาณนี้ไปทำการหน่วงเวลาในstepที่ 2 โดยใช้ IC8:B เพื่อให้ได้สัญญาณ H- Count



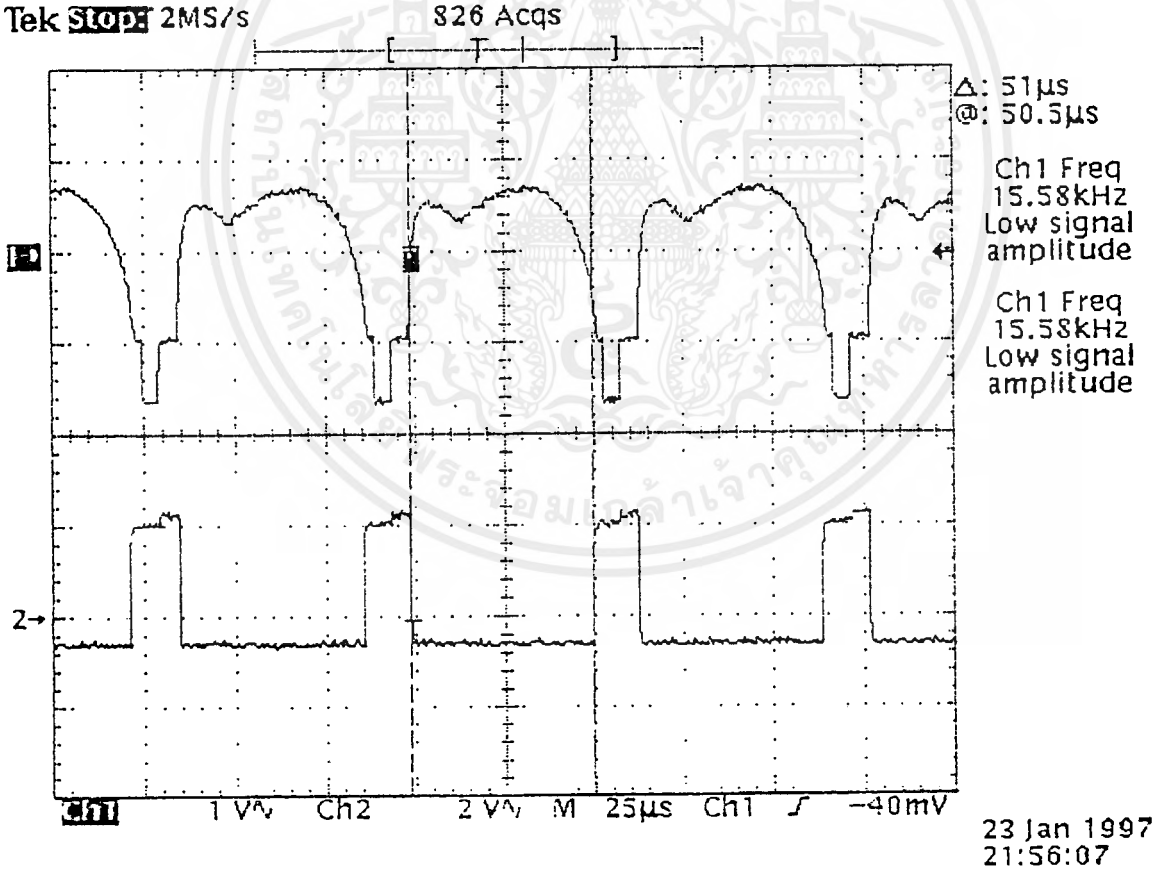
รูปที่ 4.11 แสดงการเปรียบเทียบสัญญาณภาพ กับสัญญาณที่ได้จากหน่วงในStep ที่ 1 ของสัญญาณ H-Sync ในวงจร Control Counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร Control Counterในรูปที่ 3.8 หัวข้อ 3.2.7 เราได้ทำการวัดสัญญาณอินพุทที่ได้จากหน่วงในstepที่ 1 เทียบสัญญาณ / H-Count ดังรูปที่ 4.12 อธิบายได้ดังนี้

CH1 คือสัญญาณภาพขาวดำที่ยังไม่ทำการแยกสัญญาณSync. โดยวัดที่ J1 ซึ่งเป็นตำแหน่งของสัญญาณอินพุทของ IC1#LM1881 ที่ทำหน้าที่แยกสัญญาณ Sync ออกจากสัญญาณภาพ

CH2คือ สัญญาณที่วัดจากขา 12 (ขา / Q)ของ IC8:B ซึ่งเป็นสัญญาณที่จากการหน่วงเวลาของสัญญาณ H-SyncในStep ที่ 2 เราเรียกสัญญาณนี้ว่า "/ H-Count" มีความกว้างพัลส์ช่วงสภาวะ LOW เท่ากับ51 uSโดยการใช้ VR7 ในการปรับแต่งสัญญาณนี้ เหตุผลที่จะต้องปรับคาบเวลาช่วงนี้เท่ากับ 51 uS เพราะเราจะต้องนำสัญญาณนี้ไปใช้ควบคุมวงจรนับทางแนวนอนให้ทำการนับครบ 256 ตำแหน่ง พอดีเพื่อใช้ในการชี้ตำแหน่ง Address ของวงจรหน่วยความจำภาพทำการเก็บข้อมูลครบหนึ่งเส้นสแกนทางแนวนอน จากทฤษฎีการการสแกนสัญญาณภาพทางแนวนอนหนึ่งเส้นจะใช้เวลา 64 uS แต่ที่เป็นสัญญาณภาพจริงๆนั้นจะเท่ากับประมาณ 80 เปอร์เซ็นของ 64 uS หรือเท่ากับ 51 uS[3] นั้นเอง



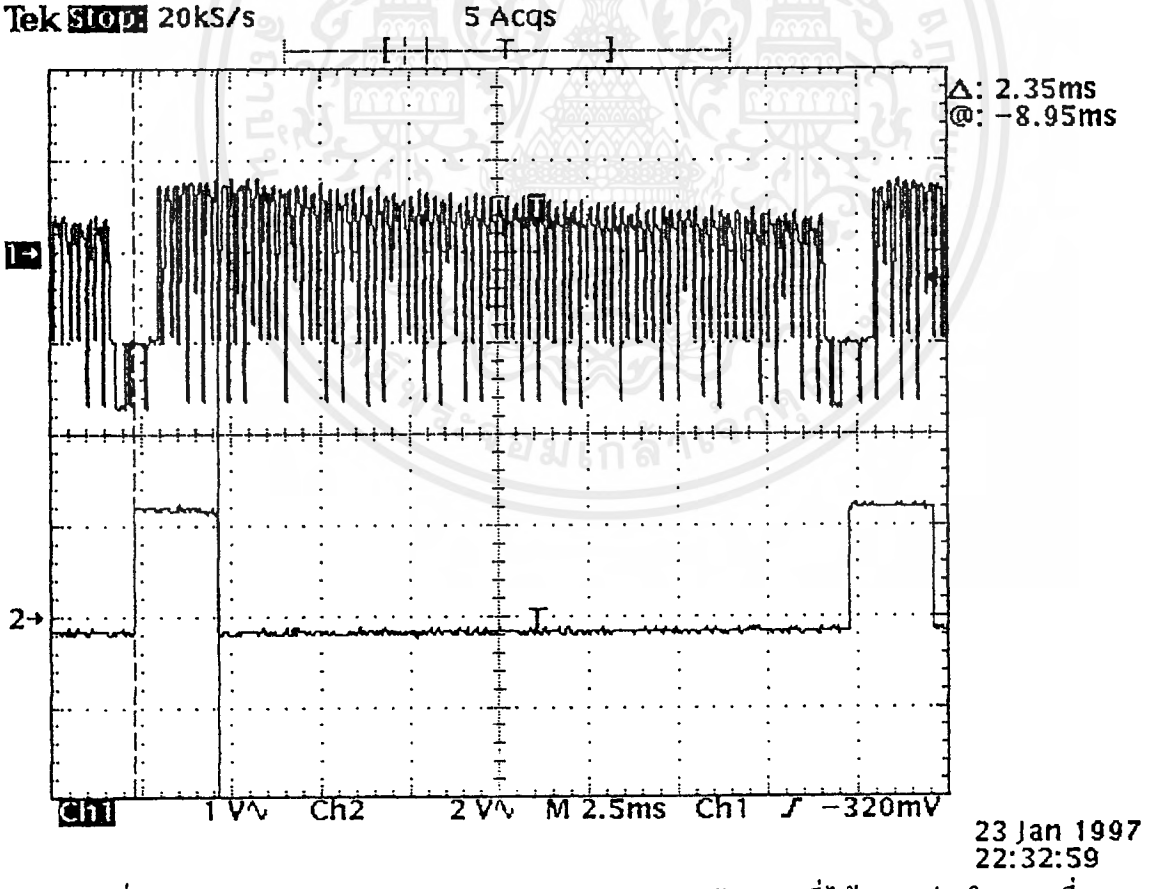
รูปที่ 4.12 แสดงการเปรียบเทียบสัญญาณภาพขาวดำ กับสัญญาณ /H-Count

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรControl Counterในรูปที่ 3.8 หัวข้อ 3.2.7 เราได้ทำการวัดสัญญาณภาพขาวดำเทียบกับสัญญาญ V-Sync ที่ได้จากการหน่วงใน Stepที่ 1 ดังรูปที่ 4.13 อธิบายได้ดังนี้

CH1 คือสัญญาณภาพขาวดำที่ยังไม่ทำการแยกสัญญาณ Sync โดยวัดที่ J1 ซึ่งเป็นตำแหน่งของสัญญาณอินพุทของ IC1#LM1881 ทำหน้าที่แยกสัญญาณ Sync ออกจากสัญญาณภาพ จากรูปของสัญญาณภาพนี้จะสังเกตได้ว่า มีรูปร่างต่างจากผลการทดลองอื่น เพราะได้ทำการปรับแกนเวลาของเครื่องออสซิลโลสโคบให้มีคาบเวลามากขึ้น เพื่อความสะดวกในการปรับแต่งสัญญาณ

CH2 คือ สัญญาณที่วัดจากขา 13 ของ IC9:A ซึ่ง IC ตัวนี้จะทำงานที่ขอบขาขึ้นของสัญญาณ V-Sync อินพุทที่ขา 2 และจะทำการหน่วงคาบเวลาพัลส์ช่วงบวกเท่ากับ 2.35 mS โดยใช้ VR8 ในการปรับแต่งสาเหตุที่ต้องหน่วงคาบเวลาเท่านี้ เพราะเราไม่ต้องการเก็บสัญญาณในช่วงนี้จึงทำการหน่วงเวลาช่วงแรกของเส้นสแกนทางแนวนอนที่เกิดสัญญาณภาพประมาณ 15.75 เส้นรวมกับสัญญาณภาพที่เป็นสีดำ(ไม่เกิดภาพ)ประมาณ 22 เส้น[3]ทิ้งไป แต่เราเริ่มหน่วงเวลาที่ช่วงขอบขาขึ้นสัญญาณ V-Sync ซึ่งเป็นคาบเวลาช่วงสุดท้าย ฉะนั้นจะต้องลบคาบเวลาช่วงของ V-Sync เท่ากับ 230 uS ออกไปด้วย เราจึงได้เวลาที่จะทำการหน่วงเท่ากับ {(22+15.75)X64 uS}- 230 uS = 2.186 mS แต่จากทดลองเราสามารถปรับได้เท่ากับ 2.35 mS ซึ่งใกล้เคียงกับทางทฤษฎี จากนั้นสัญญาณจะถูกส่งไป IC9:B ต่อไป



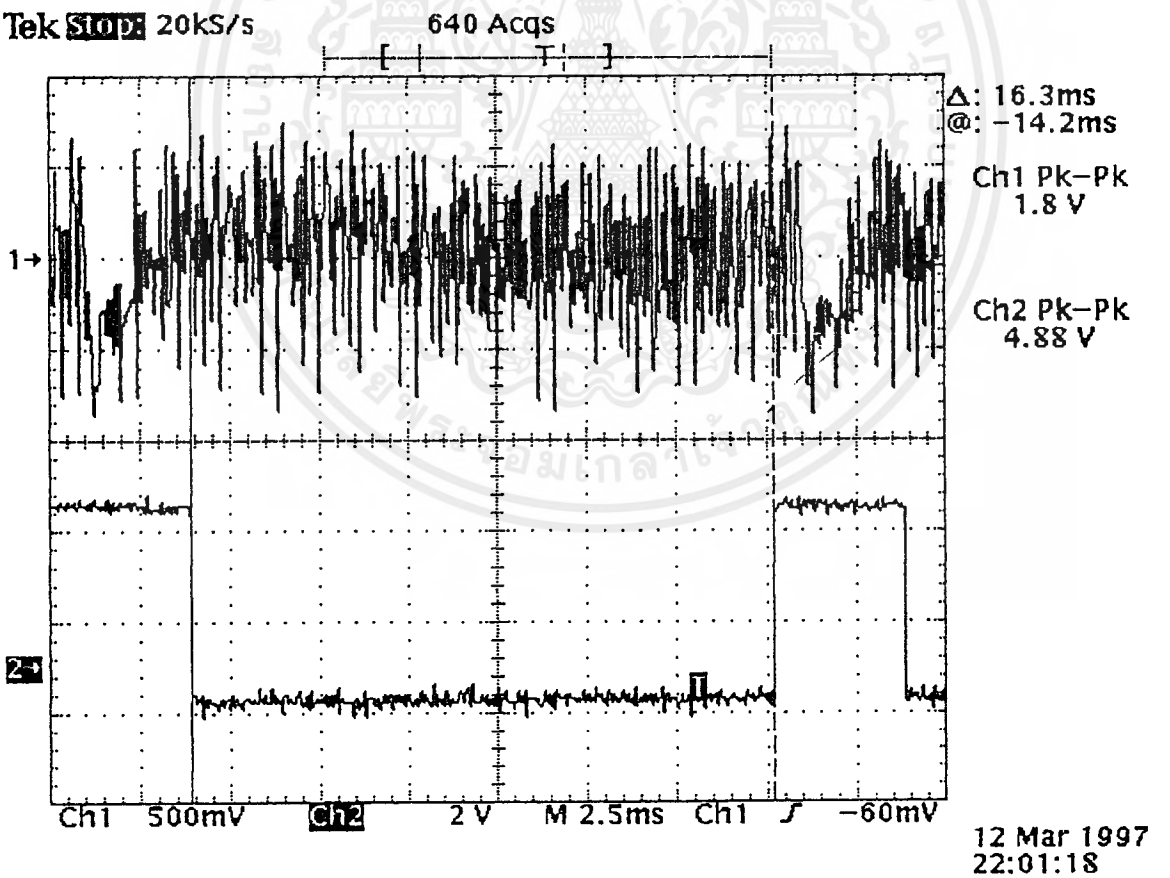
รูปที่ 4.13 แสดงการเปรียบเทียบสัญญาณภาพขาวดำ กับสัญญาณที่ได้จากหน่วงในStep ที่ 1 ของสัญญาณ V-Sync ในวงจร Control Counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร Control Counterในรูปที่ 3.8 หัวข้อ 3.2.7 เราได้ทำการวัดสัญญาณอินพุทที่ได้จากหน่วงในstepที่ 1 เทียบสัญญาณ / V-Count ได้ดังรูปที่ 4.14 อธิบายได้ดังนี้

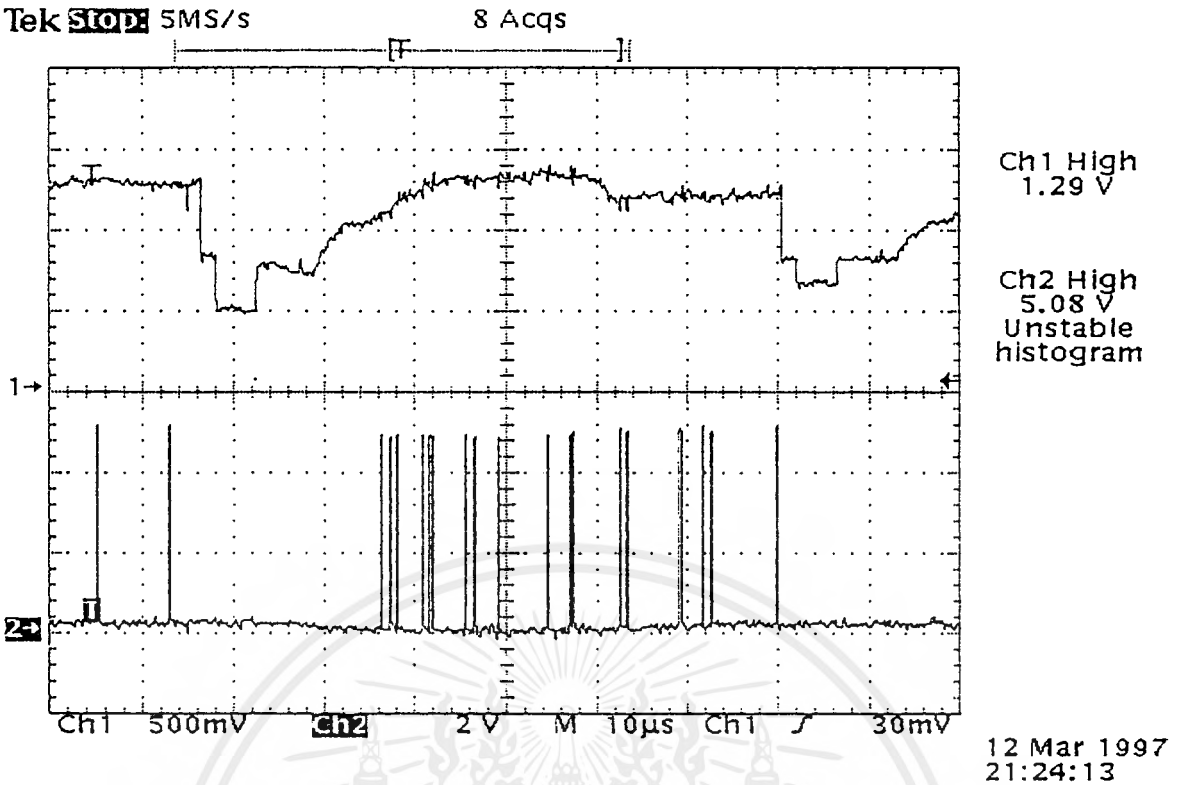
CH1คือ สัญญาณภาพขาวดำที่ยังไม่ทำการแยกสัญญาณSyncโดยวัดที่ J1 ซึ่งเป็นตำแหน่งของสัญญาณอินพุทของ IC1#LM1881ที่ทำหน้าที่แยกสัญญาณ Sync ออกจากสัญญาณภาพ รายละเอียดของสัญญาณได้กล่าวไว้ในรูปที่ 4.13 แล้ว

CH2คือ สัญญาณที่วัดจากขา 12 (ขา / Q)ของ IC9:B ซึ่งเป็นสัญญาณที่ได้จากการหน่วงเวลาของสัญญาณ V-Sync.ในStep ที่ 2 เราเรียกสัญญาณนี้ว่า " / **V-Count.**" มีความกว้างพัลส์ช่วงสภาวะ LOWเท่ากับ 16.3 mSโดยการใช้ VR9 ในการปรับแต่งสัญญาณนี้ เหตุผลที่จะต้องปรับคาบเวลาช่วงนี้เท่ากับ 16.3 mS เพราะเราจะต้องนำสัญญาณนี้ไปใช้ควบคุมวงจรนับทางแนวตั้งให้ทำการนับครบ 256 ตำแหน่งพอดีเพื่อใช้ในการชี้ตำแหน่งแอดเดรสของวงจรหน่วยความจำภาพทำการเก็บข้อมูลครบหนึ่งฟิลด์หรือภาพนิ่งหนึ่งภาพจำนวน 256 เส้น เพราะฉะนั้นจึงใช้เวลาเท่ากับ 256X64 uS หรือเท่ากับ 16.384 mS แต่จากการทดลองวัดได้ 16.3 mS อาจจะเกิดจากความผิดพลาดของการทดลอง แต่อย่างไรก็ตามในการใช้งานจริงจะต้องปรับแต่งสัญญาณนี้ให้สัมพันธ์กับภาพที่จัดเก็บได้ด้วย



รูป 4.14 แสดงการเปรียบเทียบสัญญาณภาพขาวดำ กับสัญญาณ /V-Count

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 เปรียบเทียบสัญญาณภาพอนาล็อกที่จับภาพวัตถุสีดำ กับสัญญาณดิจิตอล

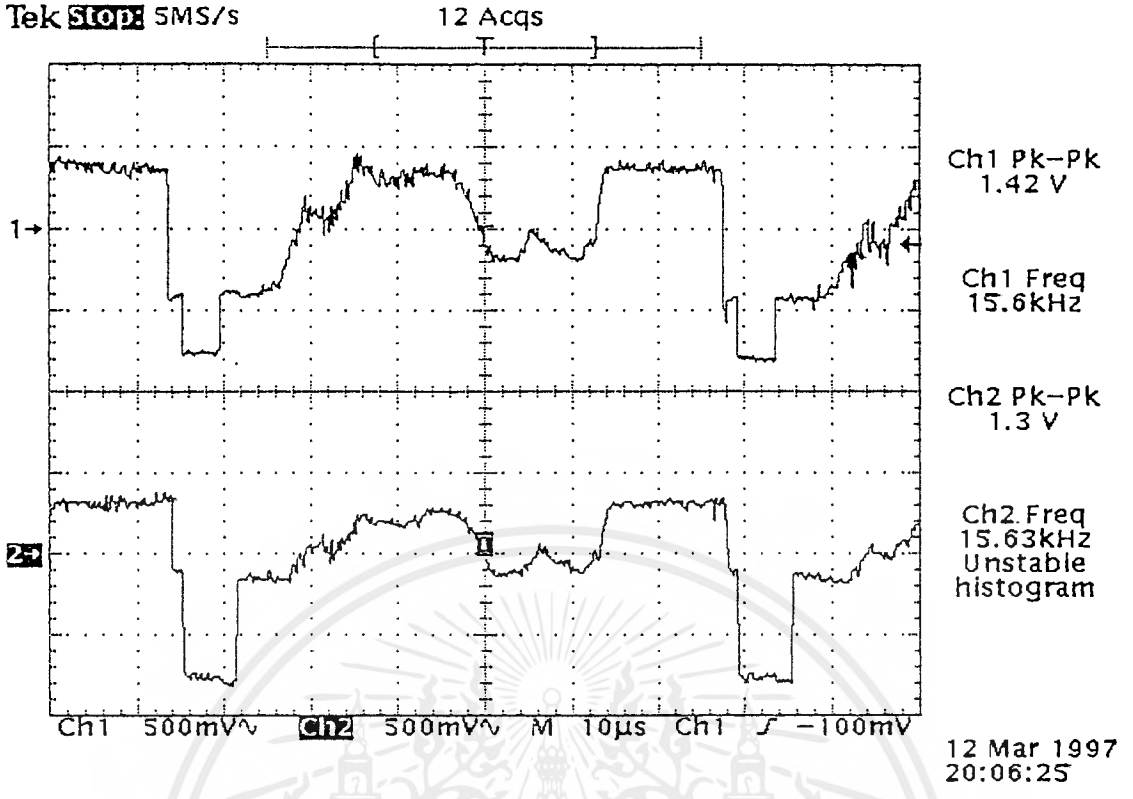
CH1 เป็นสัญญาณภาพทางอินพุทที่ถ่ายภาพที่เป็นวัตถุสีดำ โดยป้อนเข้าขา 21 ของ CA3318

CH2 เป็นสัญญาณภาพทางเอาท์พุทที่แปลงเป็นดิจิตอลแล้ว โดยวัดที่ขา 1 (D0) สัญญาณที่ได้จะมีลักษณะเป็นพัลซ์โดยความกว้างของพัลซ์จะเปลี่ยนแปลงตามสัญญาณภาพทางอินพุท

4.9 ผลการทดลองของวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก (Digital to Analog Circuit.)

สัญญาณภาพที่เป็นดิจิตอลจะถูกแปลงกลับให้เป็นสัญญาณอนาล็อกอีกครั้งเพื่อจะได้นำไปรวมกับสัญญาณซิ้งค์แล้วนำไปแสดงออกทางจอมอนิเตอร์ต่อไป โดยผลการทดลองที่ได้จะเป็นการเปรียบเทียบระหว่างสัญญาณภาพดั้งเดิมทางอินพุทที่เป็นอนาล็อกกับสัญญาณภาพที่ได้จากการแปลงดิจิตอลเป็นอนาล็อกเรียบร้อยแล้ว โดยใช้ DAC0800 ซึ่งผลการทดลองที่ได้จะอยู่ในหน้าถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 เปรียบเทียบสัญญาณภาพอนาล็อกทางอินพุท กับ เอาท์พุท

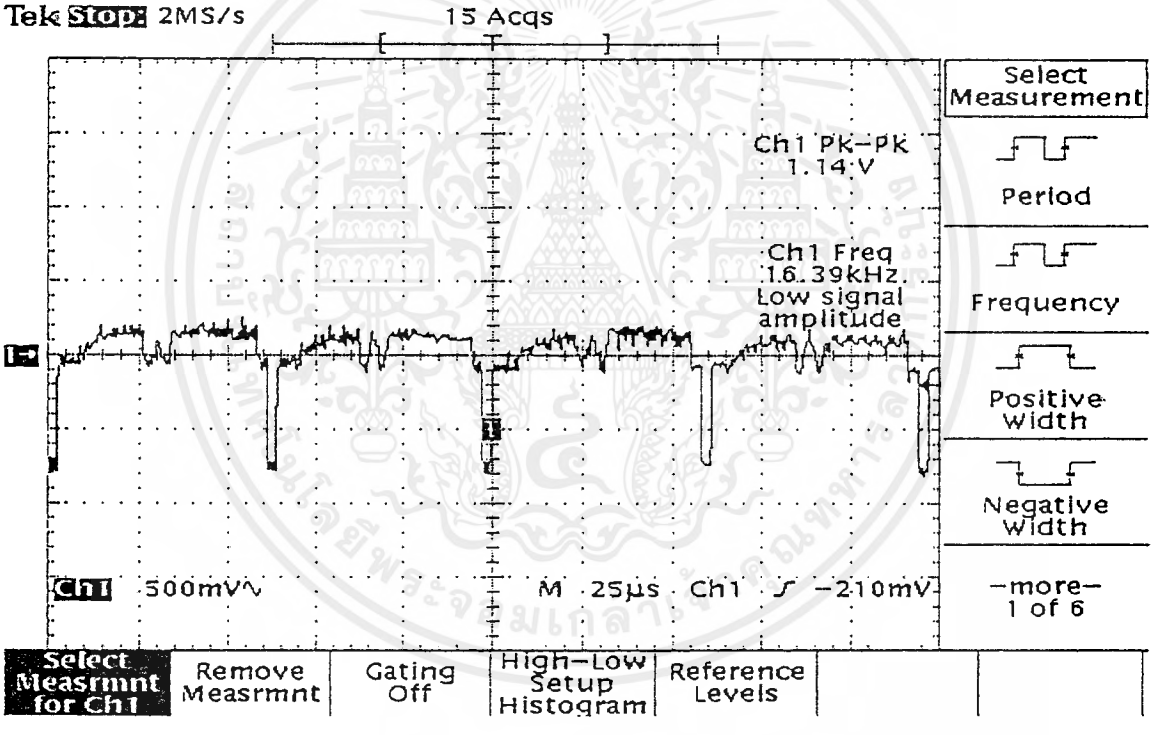
CH1 เป็นสัญญาณภาพดั้งเดิมทางอินพุทที่เป็นอนาล็อกวัดจากขา J1 VIDEO INPUT

CH2 เป็นสัญญาณภาพที่ได้จากการแปลงให้เป็นอนาล็อก และนำไปรวมกับสัญญาณซิ้งค์เรียบร้อยแล้ว โดยวัดที่ขา E ของ ทรานซิสเตอร์ Q4 #2N4401

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.10 ผลการทดลองของวงจร Ram and Interface

เมื่อนำสัญญาณที่ได้จากวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลเรียบร้อยแล้วส่วนหนึ่งของสัญญาณของสัญญาณดิจิตอลจะถูกนำมาเก็บไว้ที่หน่วยความจำ RAM เบอร์ HM62256 ขนาด 32 Kbyte จำนวน 2 ตัว เพื่อไว้แสดงภาพนิ่งหนึ่งฟิลด์ และอีกส่วนจะต่อตรงไปยังวงจรแปลงดิจิตอลเป็นอนาล็อกเพื่อแสดงภาพเคลื่อนไหว เมื่อทำการควบคุมให้มีการเขียนข้อมูลลงในหน่วยความจำข้อมูลที่เก็บได้จะซ้อนทับของเดิมไปเรื่อยๆ ขณะเดียวกันก็จะทำการแสดงสัญญาณภาพทางจอมอนิเตอร์ด้วยเพื่อจะทำให้เรารู้ว่าภาพที่เราเก็บเป็นลักษณะอย่างไร เมื่อเราพอใจในภาพที่เราจะเก็บก็สั่งให้แรมทำการอ่านข้อมูล ซึ่งข้อมูลที่แสดงออกมาจะแสดงสภาวะสุดท้ายของภาพที่เราเก็บซึ่งเป็นข้อมูลของภาพนิ่งเมื่อนำมาผ่านวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก แล้วนำไปรวมกับสัญญาณซิ้งค์ที่เราผลิตขึ้นก็จะได้เป็นภาพนิ่งที่จอมอนิเตอร์



รูปที่ 4.18 แสดงสัญญาณของภาพนิ่งที่ได้จากจอมอนิเตอร์

CH1 เป็นสัญญาณภาพนิ่งที่มาจากการอ่านข้อมูลภาพในหน่วยความจำ RAM แล้วนำมาทำการแปลงเป็นสัญญาณภาพที่เป็นอนาล็อก และนำมาผสมกับสัญญาณซิ้งค์ที่ผลิตขึ้นเองก่อนแสดงบนจอมอนิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผล และแนวทางการพัฒนา

5.1 สรุป และวิจารณ์ผลการทดลอง

จากการทดลองเรื่อง วงจรจับภาพ และวิเคราะห์ภาพจะเป็นการนำสัญญาณที่มาจากกล้องวีดีโอ มาผ่านวงจรบัฟเฟอร์ เพื่อรักษาระดับสัญญาณให้คงที่ตลอดเวลาเมื่อนำไปใช้งาน ซึ่งสัญญาณ ณ. จุดนี้จะเป็นสัญญาณภาพรวมที่เป็นอนาล็อก จะถูกนำไปแปลงให้เป็นสัญญาณดิจิตอลเพื่อนำไปเก็บในหน่วยความจำ RAM สำหรับนำมาใช้ตอนแสดงภาพนิ่ง โดยจะผ่านวงจรที่ทำการแปลงสัญญาณข้อมูลดิจิตอลให้เป็นสัญญาณอนาล็อก แล้วนำไปรวมกับสัญญาณซิ้งค์รวมก่อนแสดงภาพทางจอมอนิเตอร์ต่อไป สำหรับการแปลงสัญญาณนั้นจะทำเฉพาะในส่วนสัญญาณภาพเท่านั้น ส่วนสัญญาณซิ้งค์จะไม่นำไปแปลงสัญญาณ เพราะจะทำให้ข้อมูลภาพที่นำไปเก็บใน RAM เก็บได้ไม่มาก ซึ่งจะมีหน่วยความจำบางส่วนเก็บข้อมูลที่เป็นสัญญาณซิ้งค์ด้วย วิธีการที่จะทำการแปลงให้ได้เฉพาะสัญญาภาพล้วนๆ ก็ทำการควบคุมช่วงการ Sampling เฉพาะส่วนที่เป็นสัญญาณภาพ คือระดับขาวสุดลงมาถึงระดับดำสุด (Gray level) โดยใช้แรงดันอ้างอิงทางบวก และลบเป็นตัวควบคุม (จากวงจรแปลงอนาล็อกเป็นดิจิตอล) ส่วนการจำข้อมูลที่เป็นดิจิตอลไปเก็บที่หน่วยความจำนั้นจะถูกชี้โดย Address ที่มาจากวงจรนับซึ่งออกแบบให้ทำการนับได้ถึง 65,536 ตำแหน่ง นั่นหมายความว่า หน่วยความจำ RAM นั้นจะต้องมีขนาด 64 Kbyte เลยทีเดียว (สำหรับภาพนิ่ง 1 ฟิลด์ ที่มีความละเอียด 256×256 จุด) การนำข้อมูลภาพที่เป็นดิจิตอลไปเก็บนั้นจะต้องอยู่ในช่วงที่มีภาพเท่านั้น ช่วงที่เป็นสัญญาณซิ้งค์วงจรนับจะไม่นับ ทำให้จึงมั่นใจได้ว่ามีเฉพาะข้อมูลของภาพเท่านั้น สำหรับสัญญาณที่จะมาควบคุมให้วงจรนับเริ่มทำงาน หรือหยุดทำงานจะใช้สัญญาณซิ้งค์เป็นหลักซึ่งจะควบคุมผ่านทางวงจรโมโนสเตเบิ้ลอีกที (เพราะวงจรโมโนฯ ออกแบบให้หน่วงเวลาได้ว่าจะเริ่มต้นสร้างพัลซ์ช่วงใดเพื่อนำเอาสัญญาณพัลซ์นี่แหละไปควบคุมการนับของวงจรนับ) ปกติแล้วสัญญาณซิ้งค์ที่จะควบคุมการนับจะมาจากสัญญาณซิ้งค์ที่แยกมาจากสัญญาณภาพทางอินพุท และสัญญาณซิ้งค์ที่สร้างขึ้นมาเอง (จะใช้ตอนที่ไม่มีสัญญาณภาพทางอินพุทเข้ามา) การควบคุมการเก็บข้อมูล และโหลดข้อมูลออกมาจะเป็นหน้าที่ของโปรแกรมภาษซีที่ควบคุมผ่านวงจรภาคหน่วยความจำ และอินเตอร์เฟส จากนั้นก็นำสัญญาณภาพไปแสดงที่จอของคอมพิวเตอร์ และบันทึกลงสู่หน่วยความจำ Floppy Disk หรือ Hard Disk มีขนาด 64 Kbyte ต่อภาพได้ตามเป้าหมายที่วางไว้

5.2 ปัญหา และแนวทางการแก้ไข

5.2.1 ฮาร์ดแวร์ (Hardware)

จากการทดลองวงจรเก็บภาพและวิเคราะห์ภาพ จะเห็นได้ว่าการต่อวงจรแต่ละภาคนั้นจะมีจุดบกพร่องแทบทั้งสิ้นจึงต้องแก้ปัญหาแต่ละจุดให้ได้ก่อนจึงจะทดลองวงจรอื่นได้จึงทำให้ได้ผลช้า และบางครั้งถึงกับต้องลัดวงจรนั้นออกไปก็มีเช่น วงจรปรับออฟเซ็ท และปรับเกณฑ์ ซึ่งเป็นวงจรที่จะปรับระดับสัญญาณให้มีขนาดของสัญญาณภาณมีขนาดแอมปลิจูดมากหรือน้อยก็ได้ก่อนที่จะป้อนไปวงจร

เอกสารนี้ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แปลงอนาล็อกเป็นดิจิตอล (A/D Circuit) แต่สัญญาณที่จะป้อนเข้านั้นมีความเพี้ยนไม่เหมือนสัญญาณภาพทางอินพุทเลย เพราะฉะนั้นถ้านำสัญญาณภาพที่เพี้ยนๆ ไปทำการแปลงจากอนาล็อกเป็นดิจิตอล และแปลงจากดิจิตอลเป็นอนาล็อก แล้วนำไปรวมกับสัญญาณซิ้งค์รวมเพื่อแสดงออกทางจอมอนิเตอร์ปรากฏว่าภาพจะเกิดการล้มเป็นบางช่วงเช่นที่กลางจอและบริเวณขอบภาพถ้าเราใช้กล้องจับภาพที่เคลื่อนไหวเป็นวัตถุสีขาว เช่น กระดาษ หรือเสื้อนักศึกษา ภาพจะล้มทันที ถ้าไม่ใช่ภาพโทนขาวจะไม่ค่อยเกิดปัญหาภาพล้ม เพราะฉะนั้นจึงลองตัดวงจรที่อาจมีส่วนที่ทำให้เกิดความเพี้ยนทิ้งไปคือ วงจรปรับออฟเซ็ท และปรับเกณฑ์รวมทั้งวงจรแยกซิ้งค์ด้วย จะว่าไปแล้วสัญญาณซิ้งค์ที่แยกออกมาได้ยังไม่ถูกต้องจึงหันมาใช้ไอซีแยกซิ้งค์สำเร็จรูปเบอร์ LM1881 แทนส่วนสัญญาณภาพที่ผ่านวงจรบัฟเฟอร์แล้วจะถูกต่อเข้าอินพุทของวงจรแปลงอนาล็อกเป็นดิจิตอลโดยตรงซึ่งทำให้สัญญาณที่อินพุทไม่เพี้ยนเหมือนกับตอนแรก

5.2.2 ซอร์ฟแวร์ (Solfware)

สัญญาณภาพที่ปรากฏบนจอคอมพิวเตอร์ มีบางจุดของภาพขาดหายไปบ้าง เนื่องจากตำแหน่งหน่วยความจำดังกล่าวอาจจัดเก็บข้อมูลไม่ถูกต้อง หรือไม่มีข้อมูลเลย ซึ่งทำให้สัญญาณภาพที่ปารกฏบนจอของคอมพิวเตอร์ไม่คมชัดมากนัก แก้ไขโดยการรีเซ็ตข้อมูลในหน่วยความจำให้หมดก่อนทำการจัดเก็บภาพจึงจะทำให้ภาพชัดเจนมากยิ่งขึ้น และปัญหาอีกประการหนึ่งก็คือ เนื่องจากการจัดเก็บสัญญาณภาพของวงจรนี้มีระดับความแตกต่างของภาพขาวดำ 256 ระดับ แต่โหมดการแสดงผลของซุบเปอร์วีจีเอสามารถแสดงภาพระดับขาวดำได้ 64 ระดับ [7] เพราะฉะนั้นแก้ปัญหาโดยการลดระดับความแตกต่างของภาพขาวดำที่จัดเก็บให้ลงเหลือ 64 ระดับ เพื่อปรับให้ตรงตามระดับความแตกต่างภาพขาวดำของโหมดซุบเปอร์วีจีเอ สาเหตุอีกประการหนึ่งที่ทำให้ภาพไม่ชัดเจนมากนัก เพราะเป็นการจัดเก็บภาพฟิลด์เดียว แต่อย่างไรก็ตามภาพที่จัดเก็บได้นี้สามารถนำไปใช้ประโยชน์ได้

5.3 แนวทางการพัฒนาต่อไป

สำหรับวงจรเก็บภาพ และ การวิเคราะห์ภาพขนาด 256*256 จุด(ขาวดำ) จะเป็นจุดเริ่มต้นที่สามารถจะพัฒนาให้เป็นวงจรเก็บภาพที่มีความละเอียดของภาพได้ 512*512 จุด และเปลี่ยนจากภาพขาวดำเป็นภาพสี และนำสัญญาณภาพที่จัดเก็บได้ไปทำการวิเคราะห์ต่อไป ส่วนประโยชน์ที่สามารถนำวงจรนี้ไปใช้ในงานอื่นๆ เช่น นำไปใช้ควบคู่กับการถ่ายภาพการทำบัตรประชาชน หรือทำวีซ่า ซึ่งจะทำให้เราสามารถที่จะเลือกดูภาพที่เราพอใจสูงสุดได้ และจะใช้เวลาทำบัตรไม่นานเหมือนแต่ก่อน ใช้ในการจัดเก็บประวัติแฟ้มข้อมูลของบุคคล ซึ่งมีทั้งภาพและข้อมูลปรากฏที่หน้าจอคอมพิวเตอร์พร้อมกัน ส่วนในโรงงานอุตสาหกรรมก็สามารถใช้เป็นเครื่องจดจำภาพ และตรวจสอบภาพ เช่น ตาของหุ่นยนต์ที่ใช้ในการตรวจสอบวัตถุต่าง ๆในขบวนการผลิต เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] นายชูชัย จรัสวรกุลกิจ, นายทวีศิลป์ หงส์สวัสดิ์, "Image Card Display 256×256 Pixels" ปริญญาณนิพนธ์ของภาคเทคนิคอุตสาหกรรม สถาบันพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, ปีการศึกษา 2535

[2] นายประวิทย์ สิริจารุไพบูลย์, นายวีระสิน ทรงชัยวัฒนา, "เครื่องเก็บภาพขนาด 256×256 จุด (ขาวดำ)", ปริญญาณนิพนธ์ของภาคเทคนิคอุตสาหกรรม สถาบันพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, ปีการศึกษา 2534

[3] ดร. ธวัช เมฆสวรรค์, นายฟูมิโอะ มิคุมะ, "เทคนิคการซ่อมเครื่องรับโทรทัศน์", จัดพิมพ์โดยสมาคมส่งเสริมความรู้ด้านเทคนิคระหว่างประเทศ, 2533, หน้า 1 - 27

[4] โรเบิร์ต เอฟ. คื่อฟลิน, เฟรเดอริก เอฟ. ดริสคอลล์, "การใช้งานออปแอมป์ และลิเนียร์ไอซี", สำนักพิมพ์ซีเอ็ดยูเคชั่นจำกัด, 2533

[5] วารสารเซมิอิเลคทรอนิกส์, "ไอซีน่าสนใจ CA3318", ฉบับที่ 95, 2530, หน้า 274 - 277

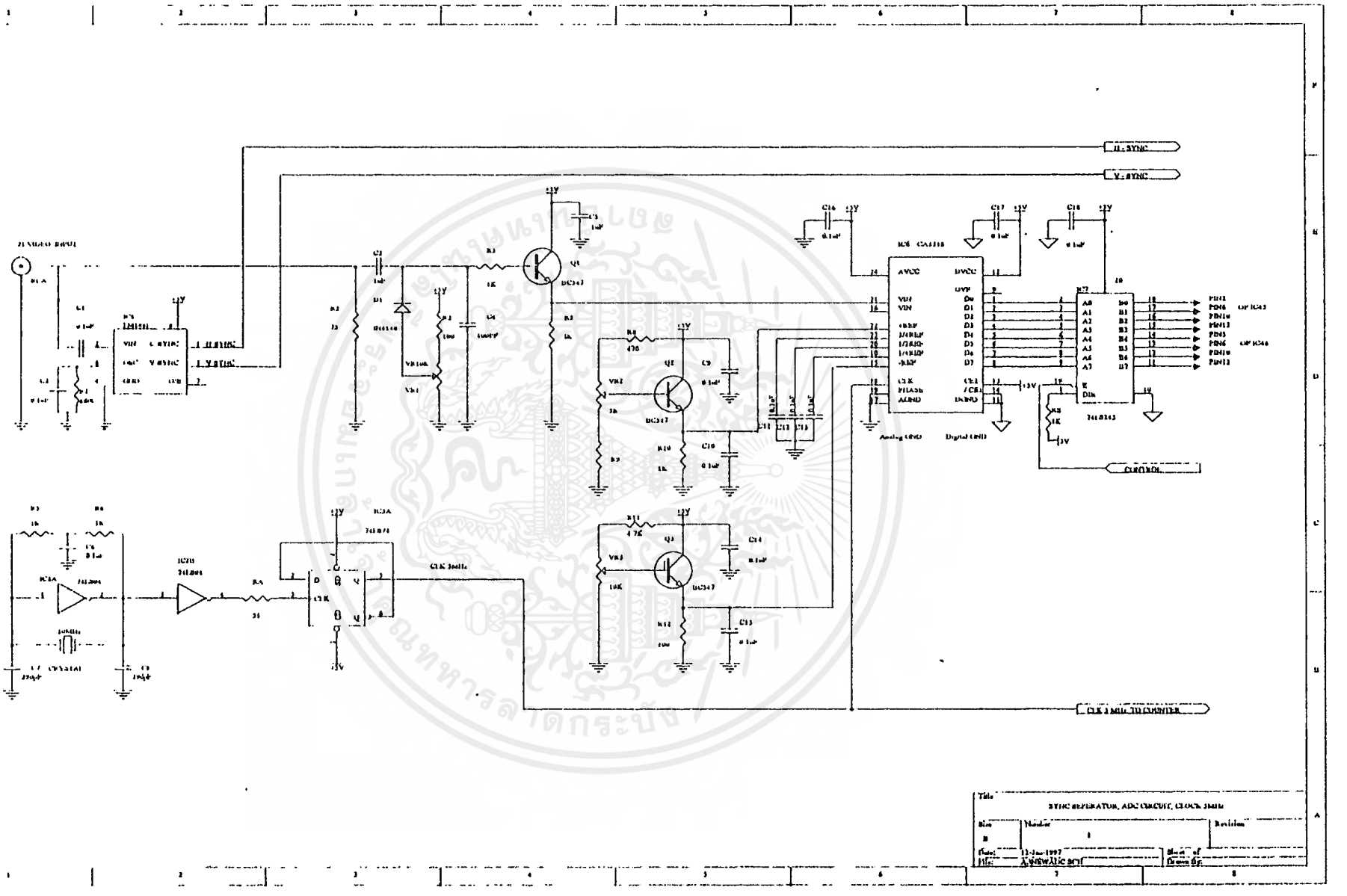
[6] ธานินทร์ ถาวรศาสนวงศ์, ทิน กระตุ๊ก. "การอินเตอร์เฟส", สำนักพิมพ์พีสิกส์เซนเตอร์, 2536, หน้า 54 - 62

[7] ธันวา ศรีประมง, "การเขียนโปรแกรมภาษาซีสำหรับวิศวกรรม", พิมพ์ครั้งที่ 4, พิมพ์ที่มหาลัยเทคโนโลยีมหานคร

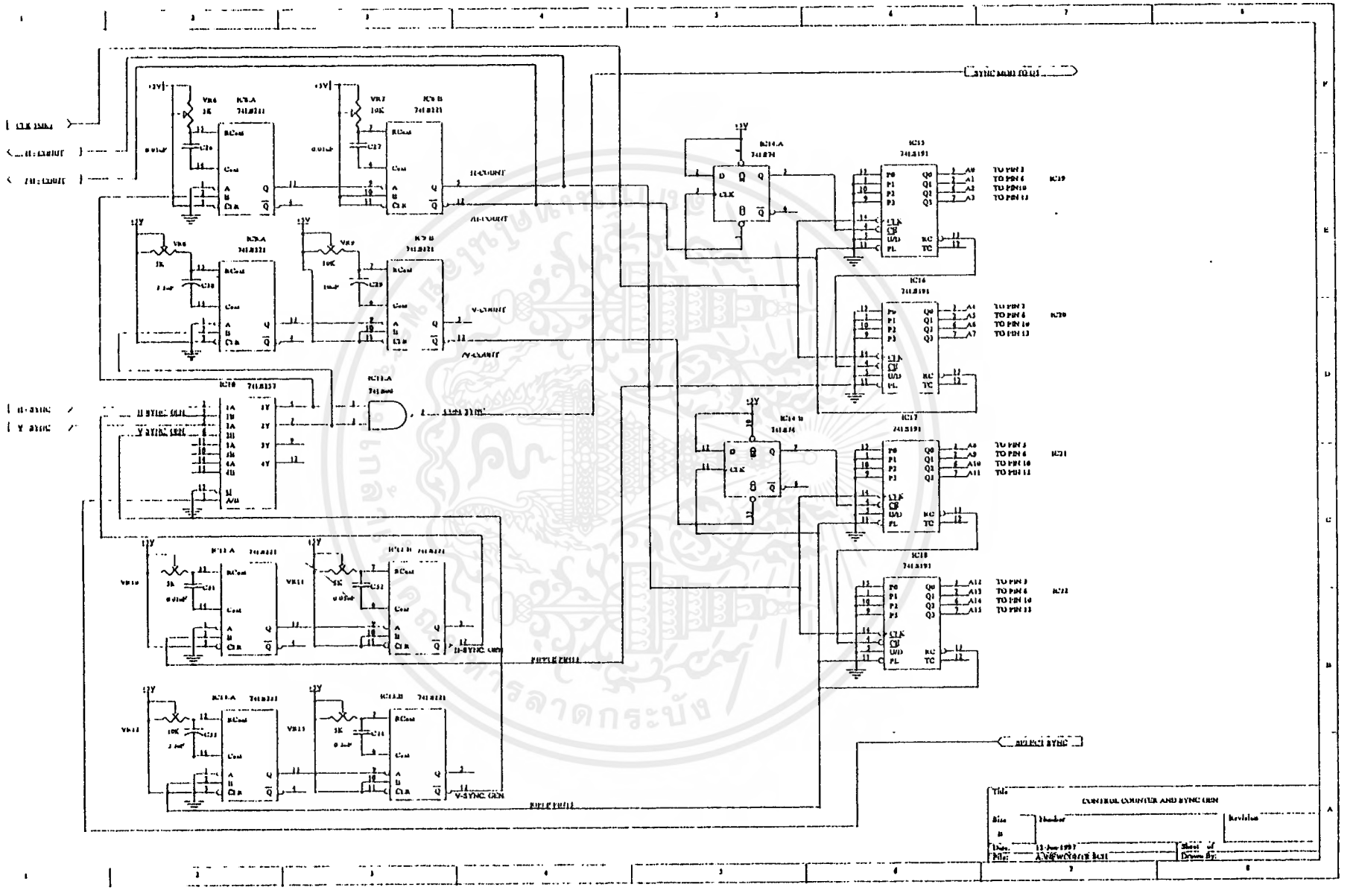
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

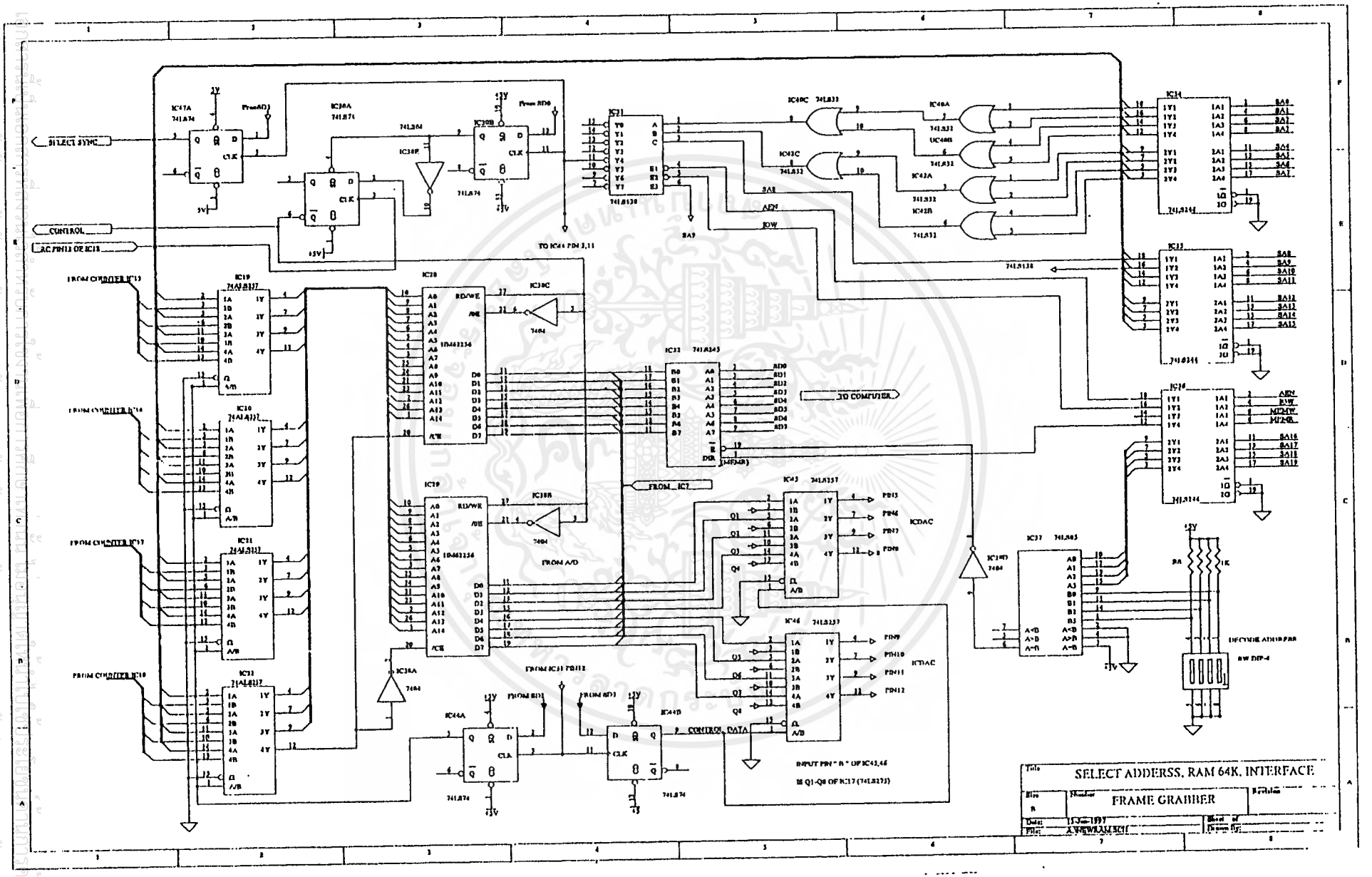
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



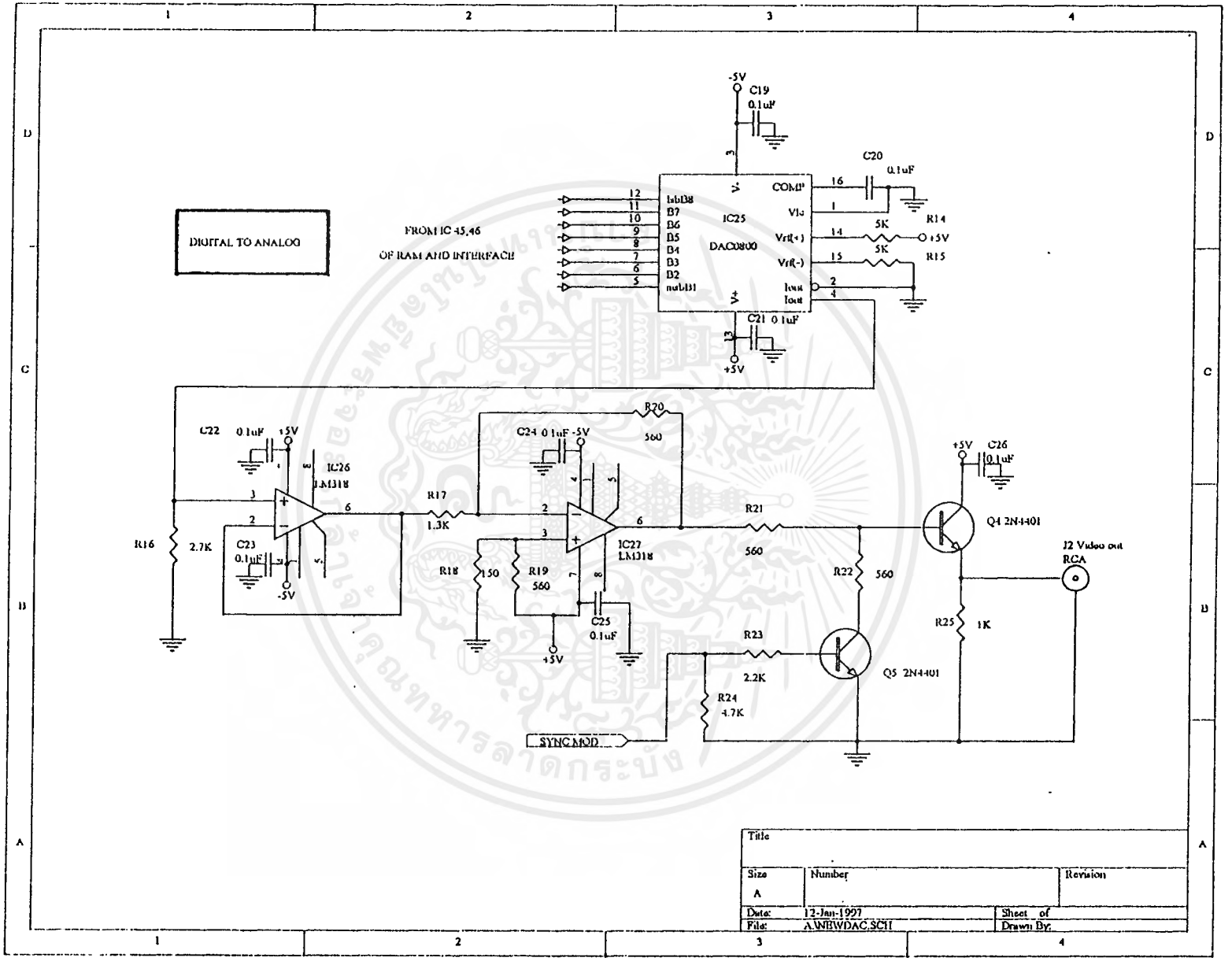
ภาคผนวก ก. วงจร Sync. Sep. Circuit, ADC Circuit and Clock 5 MHz Circuit



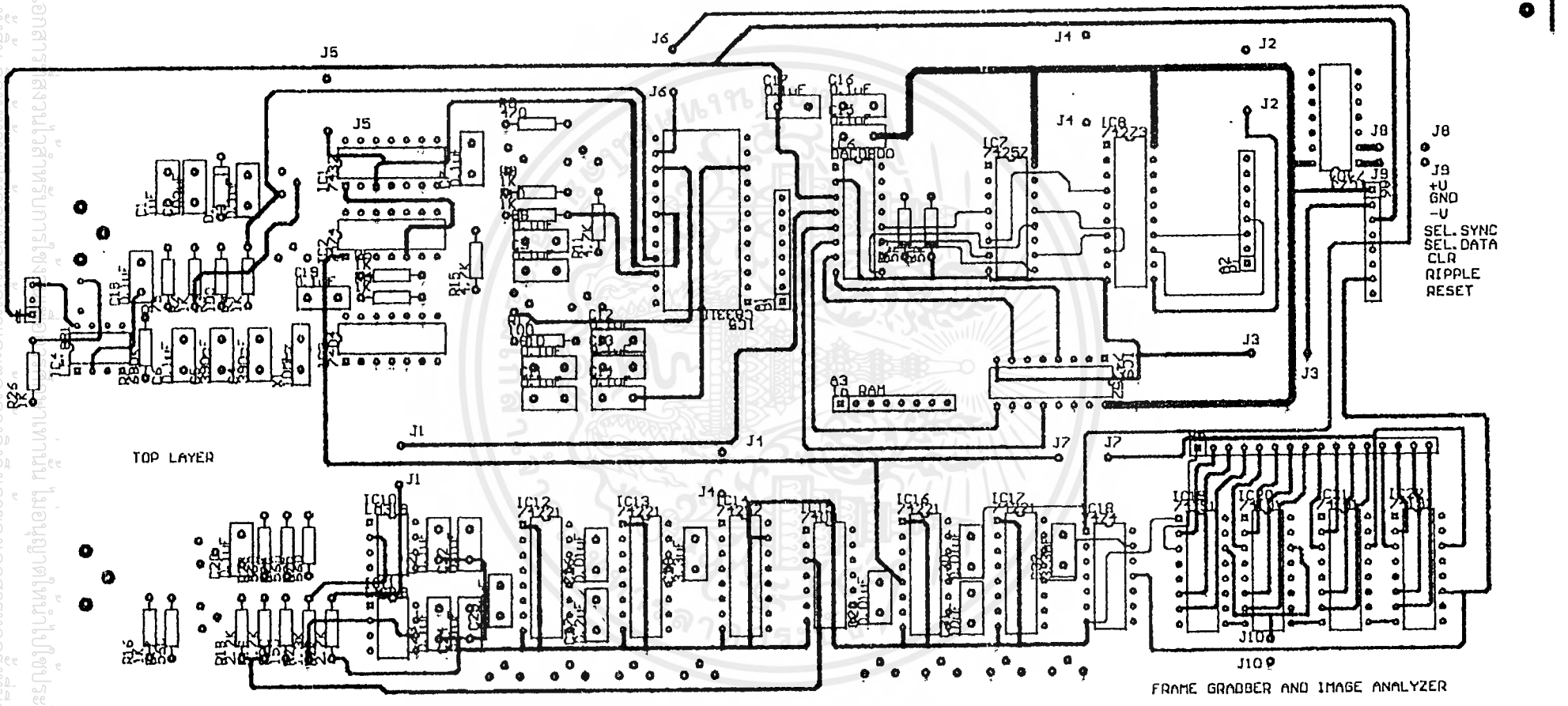
ภาคผนวก ข. วงจร Sync. Control Counter, Counter Citcuit, Sync. Gen. and Select Sync.



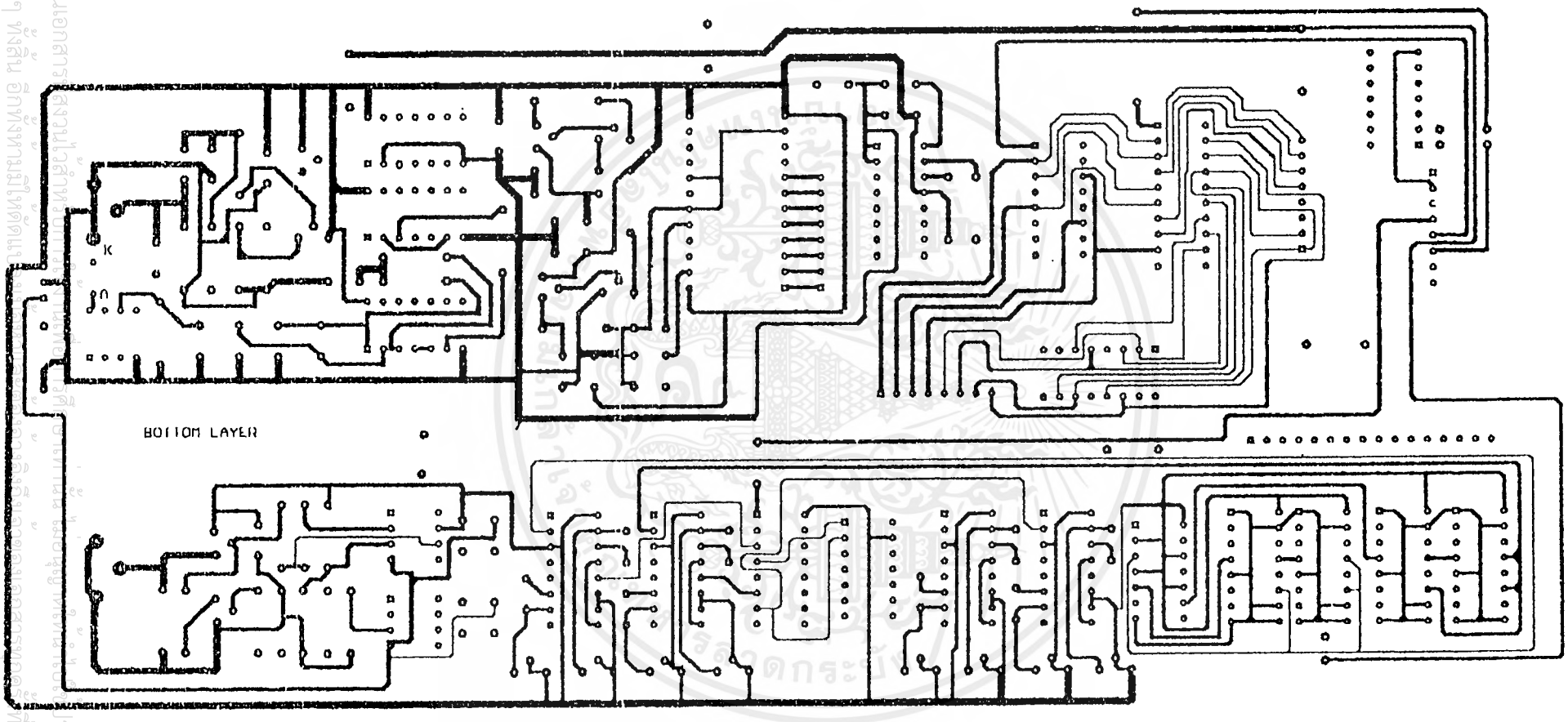
ภาคผนวก ค. วงจร Select Address, RAM 64 Kbyte, Interface Circuit



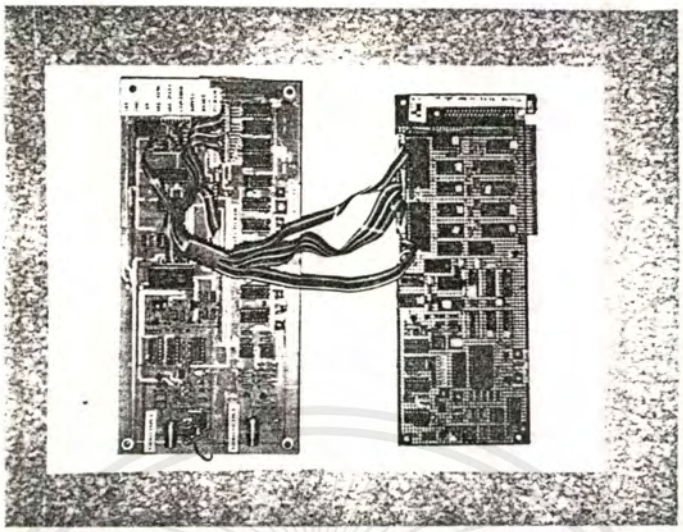
ภาคผนวก จ. วงจร Digital to Analog Circuit



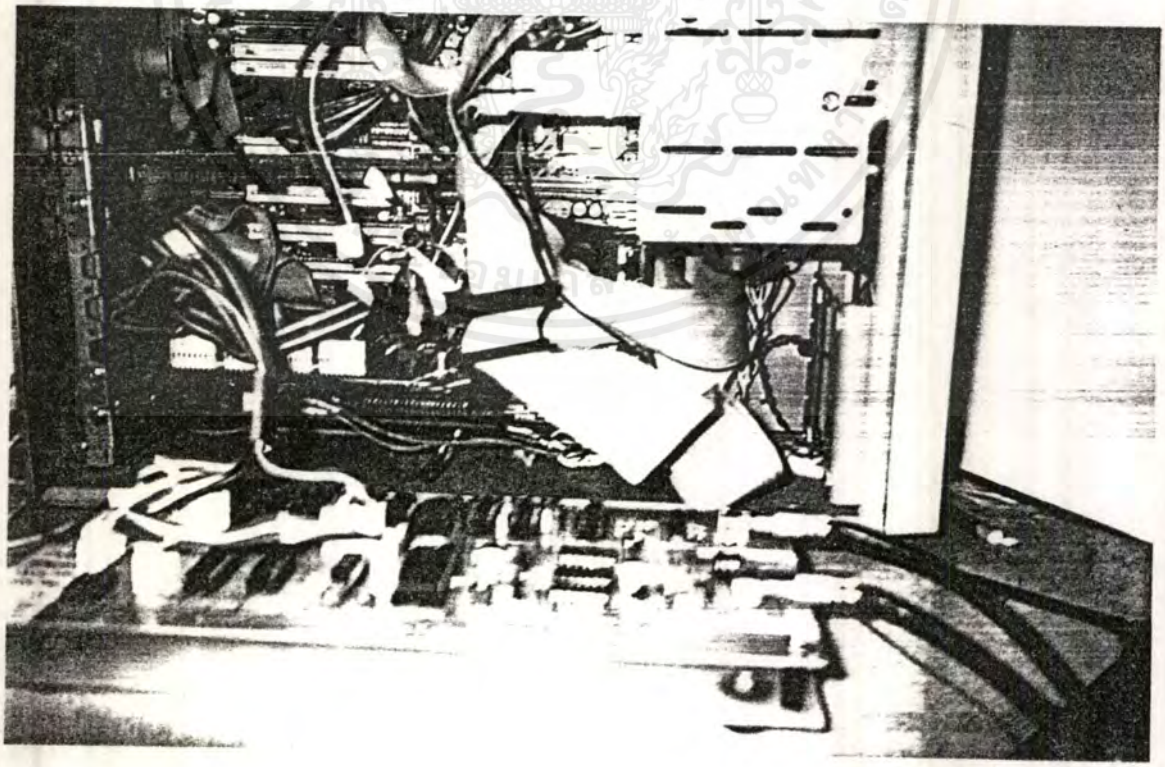
ภาคผนวก จ. รูปแสดงลายวงจรด้านบน ยกเว้นลายวงจร RAM and INTERFACE



ภาคผนวก ฉ. รูปแสดงลายวงจรด้านล่าง ยกเว้นลายวงจร RAM and INTERFACE

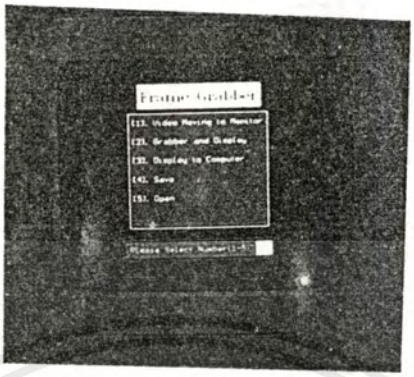


ภาคผนวก ช. รูปแบบของวงจรเครื่องจับภาพ

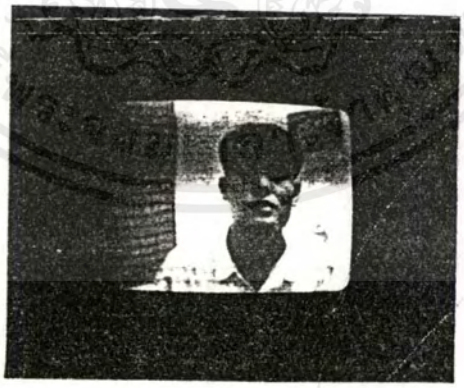


ภาคผนวก ช. ลักษณะการต่อวงจรที่ใช้งานจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

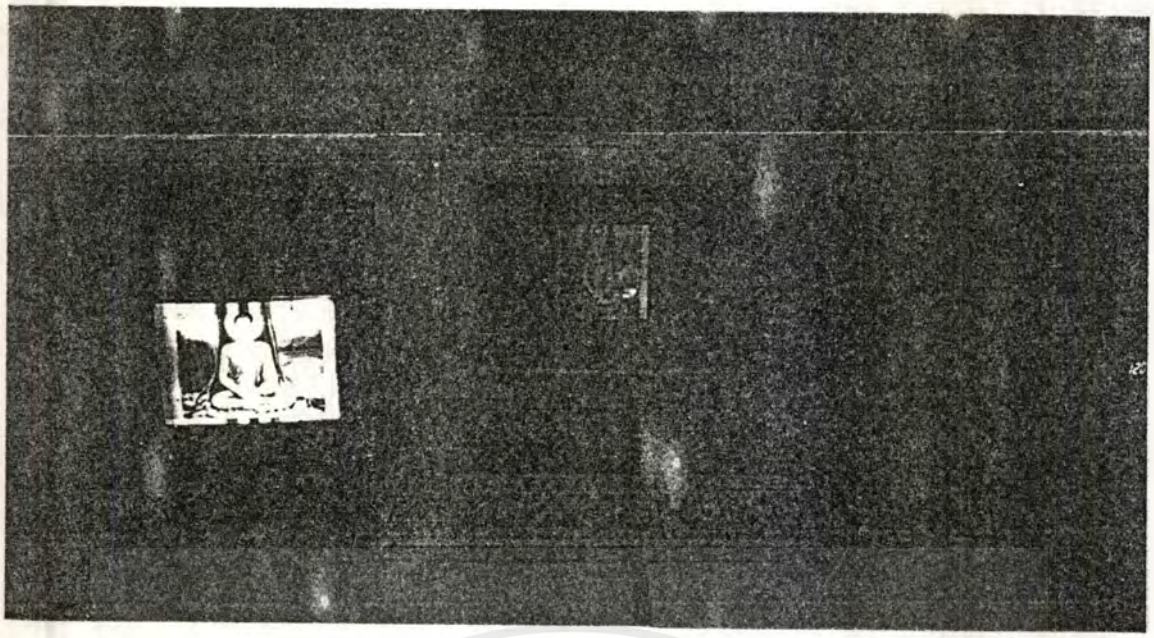


ภาคผนวก ฌ. เมนูการใช้งานจริง

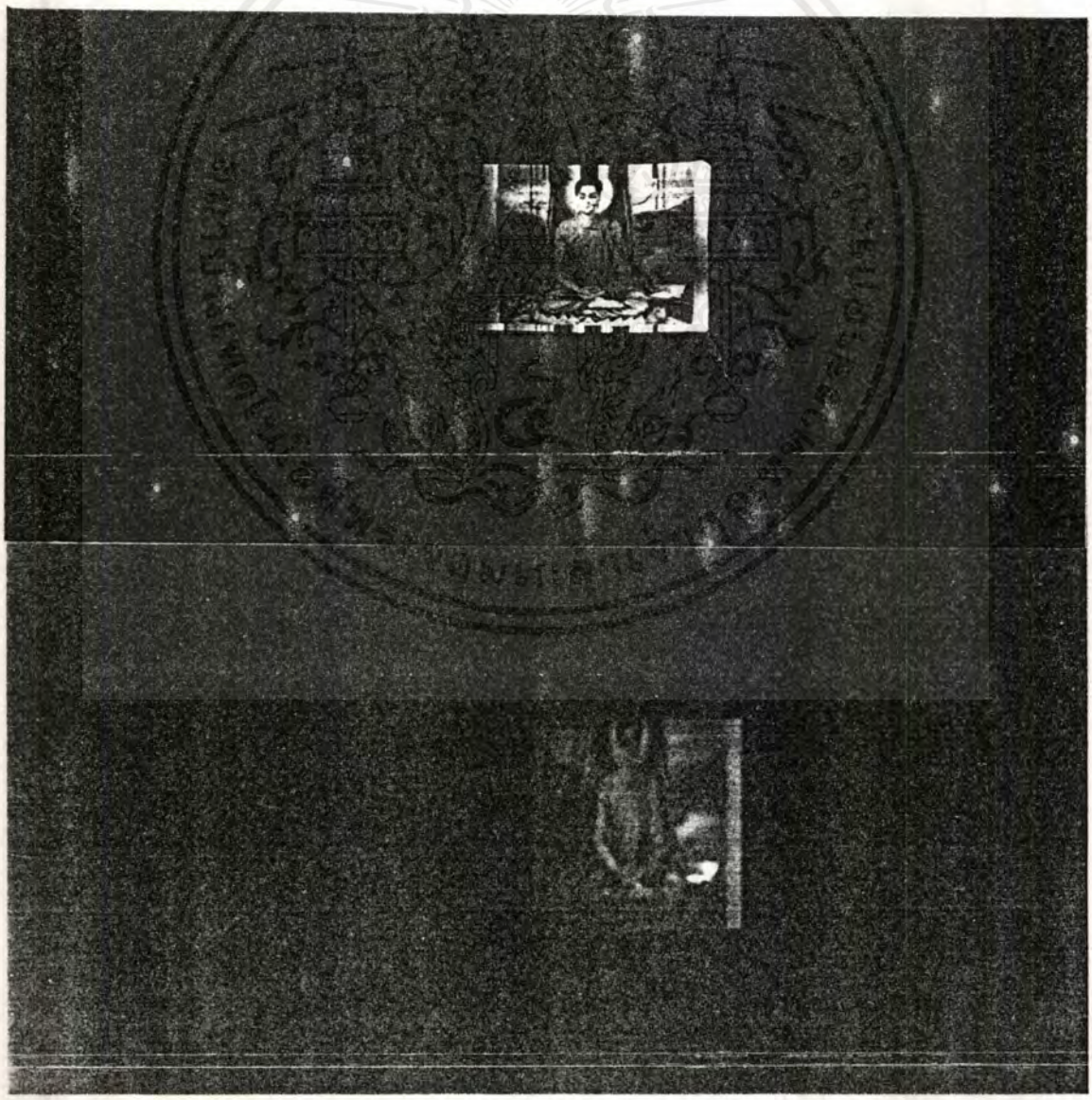


ภาคผนวก ญ. ภาพเคลื่อนไหวที่แสดงบนจอมอนิเตอร์ ที่ยังไม่มีการจัดเก็บ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ฎ. ภาพนิ่งที่แสดงบนจอมอนิเตอร์ และคอมพิวเตอร์



ภาคผนวก ฎ. ภาพวิจัย (ภาพนิ่ง) ที่มีการจัดเก็บแล้ว แสดงบนจอมอนิเตอร์ และคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
//          ************************************************
//                ---------- PROGRAM CONTROL ----------
//                  FRAME GRABBER AND IMAGE ANALYZER
//                  ELECTRONICS ENGINEERING KMITL
//                          APIRL,1997 3R2_235
//          ************************************************

   /* HEARDER */
#include <conio.h>
#include <graphics.h>
#include <stdio.h>
#include <dos.h>
#include <ctype.h>
#include <stdlib.h>
#include <alloc.h>
#include <mem.h>
#include "vesa.c"
void Menu_Display(void);
void Initialize_Graphics_Mode(char huge *p);
void Close_Graphics_Mode(void);
void Main_Menu(char huge *p);
void Move_Data_To_Memory(char huge *p);
void Display_Image(char huge *p);
void Load(char huge *p);
void Save(char huge *pmals) ;
void Open(char huge *pmalo);
void EXIT(char huge *p);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
main()
  {
        /* MALLOC  MEMORY */
  char huge *p;
    p = (char huge *)farmalloc(65536);
        if(p==NULL)
        { printf("Program cannot run because memory is not enough");
          getch();
          EXIT(p);
        }
        /* START BUBPROGRAM */
  Initialize_Graphics_Mode(p);
  Main_Menu(p);
  Close_Graphics_Mode();
  EXIT(p);
  return;
 }
        /* OPEN GRAPHICS */
 void Initialize_Graphics_Mode(char huge *p)
 {
   int gdriver=DETECT,gmode,errorcode;
   initgraph(&gdriver,&gmode,"");
   errorcode = graphresult();
   if(errorcode!=grOk)    /* an error occur */
       {
         printf("Graphics error : %s\n",grapherrormsg(errorcode));
         printf("Press any key to exit.");
         getch();
         EXIT(p);
       }
  return;
 }
        /* FREE MEMORY */
void EXIT(char huge *p)
 {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    farfree(p);
    exit(0);
 }
        /* CLOSE GRAPHICS */
void Close_Graphics_Mode(void)
 {    closegraph();  }
        /* MENU CONTROL */
void Main_Menu(char huge *p)
 {
  char x,input;
  char choich;
  Menu_Display();
  loop:
        choich=getch();
        switch(choich)
         {
          case 0x31:Menu_Display();
            setcolor(4);
            settextstyle(1,0,3);
            outtextxy(412,367,"1");
                  setcolor(4);
                  settextstyle(2,0,6);
                  outtextxy(160,100,"[1]. Video Moving to Monitor");
                  outportb(0x300,0x04);
                  delay(100);
            break;
          case 0x32: Menu_Display();
            setcolor(4);
            settextstyle(1,0,3);
            outtextxy(412,367,"2");
                  setcolor(4);
                  settextstyle(2,0,6);
                  outtextxy(160,140,"[2]. Grabber and Display ");
                  outportb(0x300,0x05);
                  delay(50);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            outportb(0x300,0x07);
        break;
      case 0x33: Menu_Display();                    /*   F3   */
        setcolor(4);
        settextstyle(1,0,3);
        outtextxy(412,367,"3");
              setcolor(4);
              settextstyle(2,0,6);
              outtextxy(160,180,"[3]. Display to Computer");
              Load(p);
              getch();
              Initialize_Graphics_Mode(p);
              setviewport(0,0,639,479,1);
              Menu_Display();
              setcolor(4);
        break;
      case 0x34: Menu_Display();                    /*   F4   */
        setcolor(4);
        settextstyle(1,0,3);
        outtextxy(412,367,"4");
              setcolor(4);
              settextstyle(2,0,6);
              outtextxy(160,220,"[4]. Save  ");
              delay(400);
              cleardevice();
              Save(p);
              getch();
              Initialize_Graphics_Mode(p);
              Menu_Display();
              setcolor(4);
        break;
      case 0x35:Menu_Display();                     /*  F5  */
        setcolor(4);
        settextstyle(1,0,3);
        outtextxy(412,367,"5");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                setcolor(4);
                settextstyle(2,0,6);
                outtextxy(160,260,"[5]. Open  ");
                delay(400);
                cleardevice();
                Open(p);
                getch();
                Initialize_Graphics_Mode(p);
                Menu_Display();
            break;
          case 0x73:                          /* SPA */
            for(x=0; x<2; x++)
                { outportb(0x300,0x04);delay(500);}
            break;
          case 0x1b:                          /* F6 */
                EXIT(p);
            break;
        }
       goto loop;
}
       /*  SETING MOVE DATA */
void Load(char huge *p)
{
 char huge *ro;
 unsigned long k;
 int A=13,B=9;
 outportb(0x0300,(unsigned char)A);
 delay(150);
 outportb(0x0300,(unsigned char)B);
 delay(150);
 Move_Data_To_Memory(p);
 ro = p;
 for(k=0;k<65536;k++)
      {
        *ro = *ro>>2;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            ro = ro+1;
          }
    Display_Image(p);
  }
        /* MOVE DATA */
 void Move_Data_To_Memory(char huge *p)
 {
  char huge  *orig;
  char huge  *fina;
  char huge  *pcard;
  int x;
  pcard = (char huge *)MK_FP(0xD000,0x0000);
  orig = pcard;
  fina = p;
    for(x=0;x<256;x++)
        {
         movmem(orig,fina,256);
         orig = orig+256;
         fina = fina+256;
        }
   return;
 }
       /* DISPLAY IMAGE */
void Display_Image(char huge *p)
{
 char far *vram;
 char huge *pram;
 unsigned char  RGB = 0;
 int  indexa,fb,front,back;
 int   banks,bank0,bank1,bank2,bank3;
 front=65;      /* front data full line 1 of banker 0 */
 back=191;  /* back data full line 1 of banker 0 */
 if(!opengraph(0x101))
       {
         gotoxy(getmaxx()/4.getmaxyt()/10);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    printf(" Error while opening...");
    EXIT(p);
   }
   for(indexa=0;indexa<64;indexa++)
   {
    setdac((int)indexa,RGB,RGB,RGB);
    RGB = RGB +1 ;
   }
   /* first pixel of display (191,91) */
    pram = p;
    vram = (char far *)MK_FP(0xA000,0xe43f);
    bank0 = 0;
    setbankwrite(bank0);
  /*line 91-101 p191-446  */
  for(fb=0 ; fb<=10; fb++)
  {
   movmem(pram,vram,256);
   pram = pram+256;
   vram = vram+256+384;
  }
  /* line 102 p191-255  65 point  bank0 */
   movmem(pram,vram,front);
   pram = pram + front;
   vram = vram + front;
   bank1 = 1;
 /* line 102  p256-446 191 point  bank1 */
   setbankwrite(bank1);
  movmem(pram,vram,back);
  pram = pram + back;
  vram = vram + back+384;
/* FULL BANK 1-2_204 */
for(banks=1 ; banks<=2 ; banks++)
{
 setbankwrite(banks);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            for(fb=0;fb<102;fb++)
             {
                movmem(pram,vram,256);
                pram = pram+256;
                vram = vram+256+384;
             }
          }
          /* FULL BANK 3_40 */
          bank3=3;
          setbankwrite(bank3);
          for(fb=0 ; fb<40 ; fb++)
          {
            movmem(pram,vram,256);
            pram = pram+256;
            vram = vram+256+384;
          }
        return;
}
        /* SAVE TO MEMORY */
void Save(char huge *pmals)
{
  char huge *points;                    /* save  or malloc(65536) */
  unsigned int  x,y;
  char savename[20];
  char savebuf[256];
  FILE *fpsave;
        points = pmals-1;
          setfillstyle(SOLID_FILL,1);       /* tap green */
          bar(210,170,400,215);
          setcolor(15);
           rectangle(209,169,401,216);      /* rectangle savefilename  */
           rectangle(208,168,402,217);
           rectangle(207,167,403,218);
          setcolor(15);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        rectangle(207,167,403,218);
        setcolor(15);
        settextstyle(2,0,7);
        outtextxy(230,180,"Save Filename ");
        setfillstyle(SOLID_FILL,0);      /* tap write */
        bar(225,240,385,280);
        setcolor(3);
        rectangle(234,239,376,289);      /* rectangle input */
        rectangle(233,238,377,290);
        rectangle(232,237,378,291);
       gotoxy(35,17);
       gets(savename);
       if((fpsave = fopen(savename,"wb")) == NULL)
     {
       setfillstyle(SOLID_FILL,4);      /* tap green */
       bar(260,313,347,340);
       setcolor(15);
       settextstyle(2,0,6);
       outtextxy(277,315,"ERROR");
       sound(2000);
       delay(250);
       nosound();
       delay(300);
       sound(2000);
       delay(500);
       nosound();
       outtextxy(185,350,"Press any key to continue.");
  }
else
 {
   for(x=0 ; x<256 ; x++)
          {
            for(y=0 ; y<256 ; y++)
               {
                points = points + 1;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                savebuf[y] = peekb((FP_SEG(points)),(FP_OFF(points)));
              }
            fwrite(savebuf,256,1,fpsave);
          }
          fclose(fpsave);
          setcolor(2);
          settextstyle(2,0,7);
          outtextxy(227,315,"WAIT Saving..");
          delay(1000);
          sound(2000);
          delay(300);
          nosound();
          Menu_Display();
        }
    return;
 }
        /* OPEN FROM MEMORY */
void Open(char huge *pmalo)
 {
    char huge *pointo;
    unsigned int x,y;
    char openname[20];
    char openbuf[256];
    FILE *fpopen;
        pointo = pmalo-1;
         setfillstyle(SOLID_FILL,1);       /* tap green */
         bar(210,170,400,215);
         setcolor(15);
         rectangle(209,169,401,216);      /* rectangle openfilename  */
         rectangle(208,168,402,217);
         rectangle(207,167,403,218);
        setcolor(15);
        settextstyle(2,0,7);
        outtextxy(230,180,"Open Filename ");
        setfillstyle(SOLID_FILL,0);       /* tap write  */
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    bar(225,240,385,280);
    setcolor(3);
     rectangle(234,239,376,289);     /* rectangle input */
     rectangle(233,238,377,290);
     rectangle(232,237,378,291);
    gotoxy(35,17);
    gets(openname);
  if((fpopen = fopen(openname,"rb")) == NULL)
    {
      setfillstyle(SOLID_FILL,4);       /* tap write  */
      bar(220,310,395,338);
      setcolor(3);
          rectangle(234,239,376,289);       /* rectangle input */
          rectangle(233,238,377,290);
          rectangle(232,237,378,291);
      setcolor(15);
      settextstyle(2,0,6);
      outtextxy(240,315,"File not Found..");
      sound(2000);
      delay(250);
      nosound();
      delay(300);
      sound(2000);
      delay(500);
      nosound();
      outtextxy(190,350,"Press any key to continue.");
    fclose(fpopen);
 }
else
 {
     x = 0;
     fseek(fpopen,0,SEEK_SET);
     fread(openbuf,256,1,fpopen);
     for(y=0 ; y<256 ; y++)
      {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                pointo = pointo + 1;
                pokeb((FP_SEG(pointo)),(FP_OFF(pointo)),(pointo[y]));
            }
            for(x=1 ; x<256 ; x++)
            {
                fseek(fpopen,(unsigned long) x*256,SEEK_SET);
                fread(openbuf,256,1,fpopen);
                for(y=1 ; y<257 ; y++)
                {
                  pointo = pointo + 1;
                  pokeb((FP_SEG(pointo)),(FP_OFF(pointo)),(openbuf[y-1]));
                }
            }
            fclose(fpopen);
            setcolor(2);
            settextstyle(2,0,7);
            outtextxy(227,315," WAIT Loading");
            delay(1000);
            sound(2000);
            delay(300);
            nosound();
          // outportb(0x300,0x05);  /*  same monitor and computer  */
            delay(50);
            outportb(0x300,0x07);
            Display_Image(pmalo);
          }
            setcolor(0);
            outtextxy(5,390,"Open filename :");
            setcolor(15);
        return;
}
       /* GRAPHICS  MENUDISPLAY */
void Menu_Display(void)
{
            setfillstyle(SOLID_FILL,0);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 bar(10,10,630,470);
 setfillstyle(SOLID_FILL,14);  /* frame grabber */
 bar(173,32,412,77);
 setfillstyle(SOLID_FILL,2);   /* 12345 */
 bar(155,95,425,330);
 setfillstyle(SOLID_FILL,3);   /* please */
 bar(140,365,437,398);
 setfillstyle(SOLID_FILL,15);  /* number */
 bar(403,368,433,395);
 setcolor(15);                 /* frame grabber */
  rectangle(172,31,413,78);
  rectangle(171,30,414,79);
  rectangle(170,29,415,80);
 setcolor(4);
  rectangle(173,32,412,77);
 setcolor(5);
  rectangle(137,402,440,359);   /* please */
  rectangle(136,403,442,360);
  rectangle(135,404,441,361);
 setcolor(15);                 /* 12345 */
  rectangle(152,92,428,335);
  rectangle(151,91,429,334);
 setcolor(4);
 settextstyle(1,0,4);
 outtextxy(176,35,"Frame Grabber");
 setcolor(15);
 settextstyle(2,0,6);
  outtextxy(160,100,"[1]. Video Moving to Monitor");
  outtextxy(160,140,"[2]. Grabber and Display");
  outtextxy(160,180,"[3]. Display to Computer");
  outtextxy(160,220,"[4]. Save");
  outtextxy(160,260,"[5]. Open");
 setcolor(4);
 settextstyle(2,0,6);
  outtextxy(200,300,"[ESC]. EXIT TO DOS");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        setcolor(15);
        settextstyle(2,0,6);
         outtextxy(142,370," Please Select Number(1-5)?");
         outtextxy(408,380,"....");
        setcolor(4);
         line(50,433,300,433);       /* line elec. eng kmitl */
         line(50,434,300,434);
         line(50,435,300,435);
        setcolor(2);
         line(50,440,300,440);
         line(50,441,300,441);
         line(50,442,300,442);
    setcolor(7);
    settextstyle(2,0,6);
    outtextxy(310,428,"ELECTRONICS ENGINEERING KMITL");
}
  /* END PROGRAM FRAME GRABBER AND IMAGE ANALYZER  */
  ///*************************************************************\\\
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Product Preview

CA3318, CA3318C

CMOS High-Speed 8-Bit Flash A/D Converter

Features:

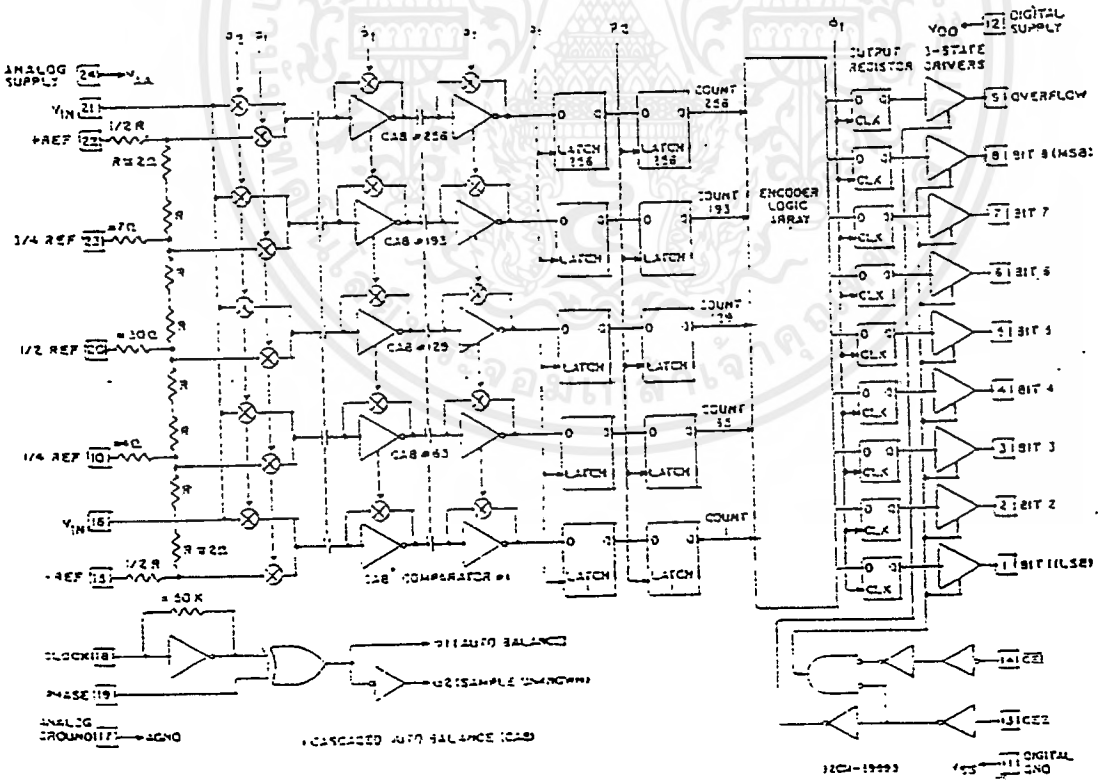
- Pin compatible with 4105/CA3308
- CMOS/SOS low power
- Flash (Parallel) conversion technique
- 15 MSPS conversion rate at 5 V (CA3318C)
- 20 MSPS conversion rate at 5 V (CA3318)
- 1 LSB differential linearity
- 1.5 LSB integral linearity
- Single 4 to 6.5 V supply
- 8 latched bit outputs plus overflow
- May be stacked for higher resolution
- May be paralleled for double speed

Applications:

- Especially suited for high-speed conversion applications where low power is also important
- TV video digitizing (industrial/security)
- Ultrasound signature analysis
- Transient signal analysis
- General-purpose hybrid ADC's
- Optical character recognition
- Radar pulse analysis
- Motion signature analysis

The RCA CA3318 and CA3318C are pin compatible retrofits for the 4105/CA3308, but with the output data changing 1/2 clock cycle later. They have features similar to the CA3300 (File No. 1316), such as the control inputs and outputs necessary to allow stacking or paralleling for higher resolution or doubled speed. Separate analog and digital ground pins are available to allow analog to digital isolation. The reference resistor string is available at both + and - ends, and at the 1/4, 1/2, and 3/4 points, thus allowing the tailoring of non-linear transfer functions. In addition, the + reference (positive full scale) may be used above the analog + supply.

The CA3318 and CA3318C are available in a 24-lead dual-in-line plastic package (E suffix) and in a 24-lead dual-in-line ceramic package (D suffix).



Block diagram of the CA3318 and CA3318C.

Preview Data only

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

PRELIMINARY

LM1881 Video Sync Separator

General Description

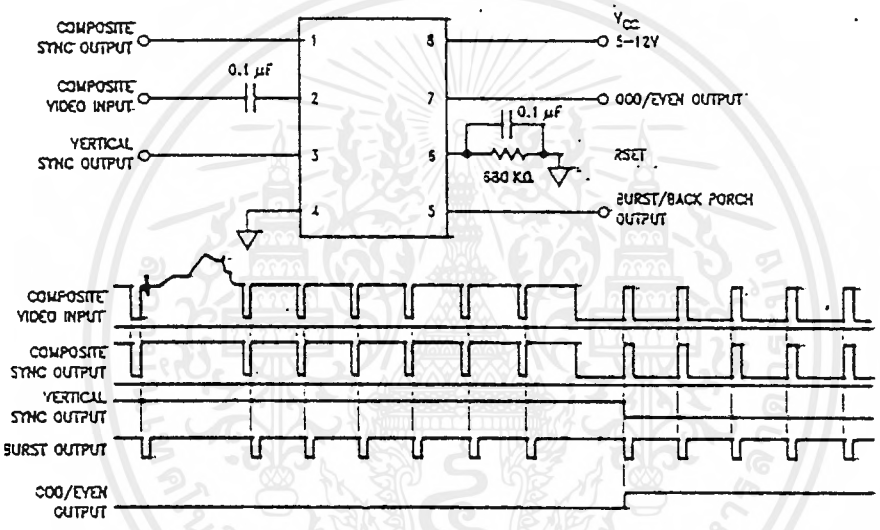
The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from a standard negative going sync NTSC video signal with amplitude from 0.5 to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, fastec horizontal rate video signals by changing an external horizontal scan rate setting resistor. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the internally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- > 10 kΩ input resistance
- < 10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Resistor programmable horizontal scan rate (up to 64 kHz)
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram

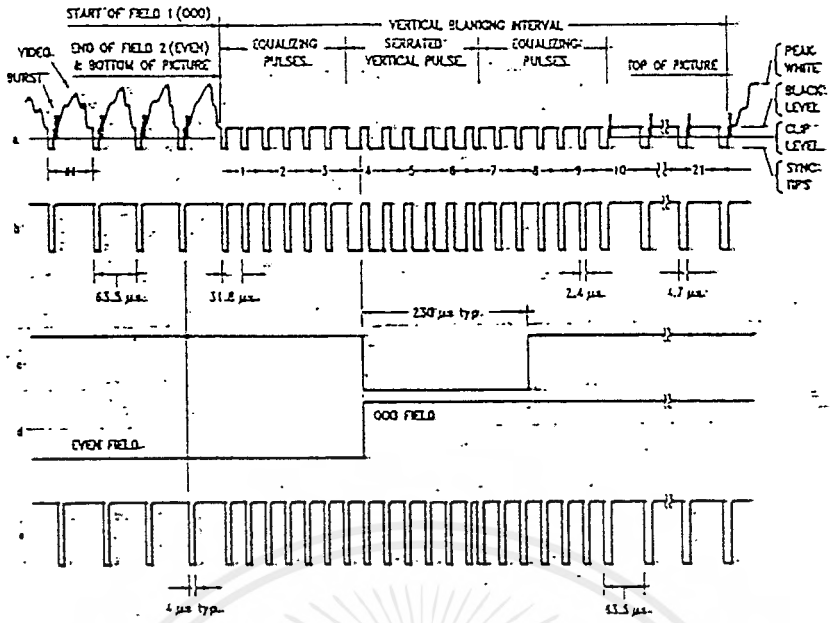
LM1881N



TL/H/8150–1

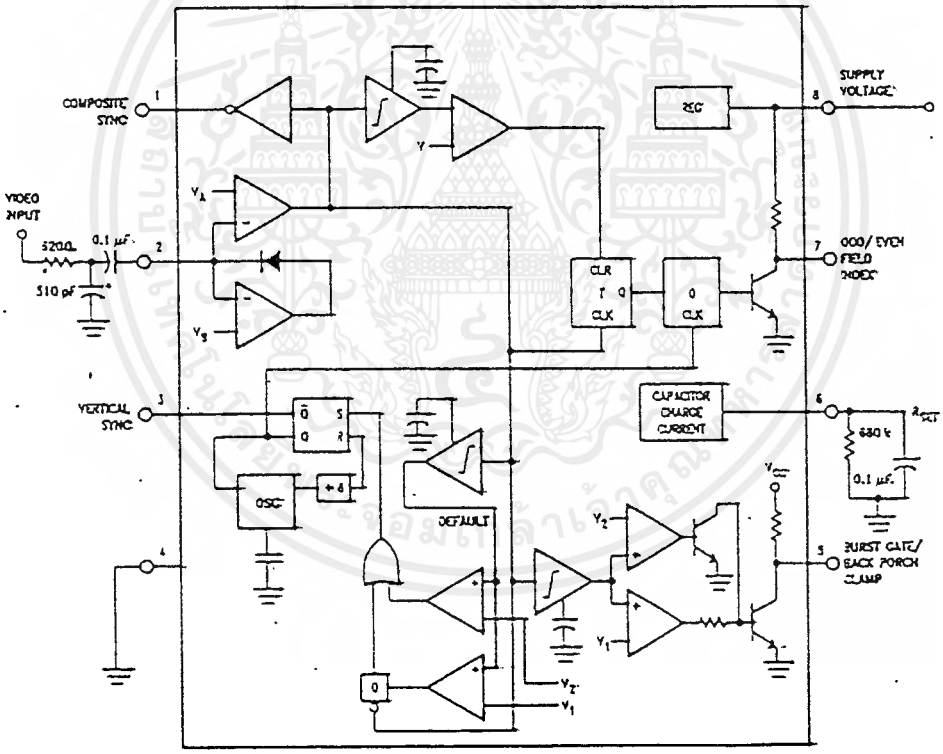
Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TL/H/9150–3

FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp.



*Components Optional. See Text.

TL/H/9150–4

FIGURE 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM62256A Series — Maintenance only

32,768-word × 8-bit High Speed CMOS Static RAM

The Hitachi HM62256A is a CMOS static RAM organized 32-kword × 8-bit. It realizes higher performance and low power consumption by employing 0.8 µm Hi-CMOS process technology. The device, packaged in a 8 × 14 mm TSOP with thickness of 1.2 mm, 450-mil SOP (foot print pitch width), 600-mil plastic DIP, or 300-mil plastic DIP, is available for high density mounting. TSOP package is suitable for cards, and reverse type TSOP is also provided. It offers low power standby power dissipation; therefore, it is suitable for battery back up system.

Features

- High speed: Fast Access time 85/100/120/150 ns (max)
- Low Power
  Standby: 5 µW (typ) (L/L-SL version)
  Operation: 40 mW (typ) (f = 1 MHz)
- Single 5 V supply
- Completely static memory
  No clock or timing strobe required
- Equal access and cycle times
- Common data input and output: Three state output
- Directly TTL compatible: All inputs and outputs
- Capability of battery back up operation

Ordering Information

Type No.	Access time	Package
HM62256AP-8	85 ns	600-mil 28-pin plastic DIP (DP-28)
HM62256AP-10	100 ns	
HM62256AP-12	120 ns	
HM62256AP-15	150 ns	
HM62256ALP-8	85 ns	
HM62256ALP-10	100 ns	
HM62256ALP-12	120 ns	
HM62256ALP-15	150 ns	
HM62256ALP-8SL	85 ns	
HM62256ALP-10SL	100 ns	
HM62256ALP-12SL	120 ns	
HM62256ALP-15SL	150 ns	
HM62256ASP-8	85 ns	300-mil 28-pin plastic DIP (DP-28NA)
HM62256ASP-10	100 ns	
HM62256ASP-12	120 ns	
HM62256ASP-15	150 ns	
HM62256ALSP-8	85 ns	
HM62256ALSP-10	100 ns	
HM62256ALSP-12	120 ns	
HM62256ALSP-15	150 ns	
HM62256ALSP-8SL	85 ns	
HM62256ALSP-10SL	100 ns	
HM62256ALSP-12SL	120 ns	
HM62256ALSP-15SL	150 ns	
HM62256AFP-8T	85 ns	450-mil 28-pin plastic SOP (FP-28DA)
HM62256AFP-10T	100 ns	
HM62256AFP-12T	120 ns	
HM62256AFP-15T	150 ns	
HM62256ALFP-8T	85 ns	
HM62256ALFP-10T	100 ns	
HM62256ALFP-12T	120 ns	
HM62256ALFP-15T	150 ns	
HM62256ALFP-8SLT	85 ns	
HM62256ALFP-10SLT	100 ns	
HM62256ALFP-12SLT	120 ns	
HM62256ALFP-15SLT	150 ns	

Note: This device is not available for new application.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

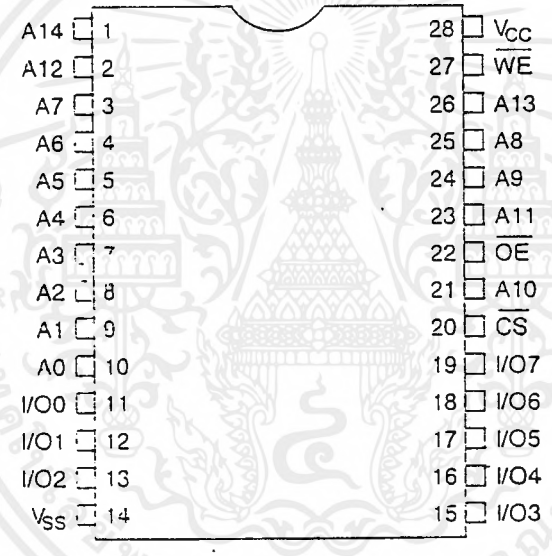
TSOP Series

Type No.	Access time	Package
HM62256ALT-8	85 ns	8 mm × 14 mm
HM62256ALT-10	100 ns	32-pin TSOP
HM62256ALT-12	120 ns	(normal type)
HM62256ALT-15	150 ns	(TFP-32DA)
HM62256ALT-8SL	85 ns	
HM62256ALT-10SL	100 ns	
HM62256ALT-12SL	120 ns	
HM62256ALT-15SL	150 ns	

Type No.	Access time	Package
HM62256ALR-8	85 ns	8 mm × 14 mm
HM62256ALR-10	100 ns	32-pin TSOP
HM62256ALR-12	120 ns	(reverse type)
HM62256ALR-15	150 ns	(TFP-32DAR)
HM62256ALR-8SL	85 ns	
HM62256ALR-10SL	100 ns	
HM62256ALR-12SL	120 ns	
HM62256ALR-15SL	150 ns	

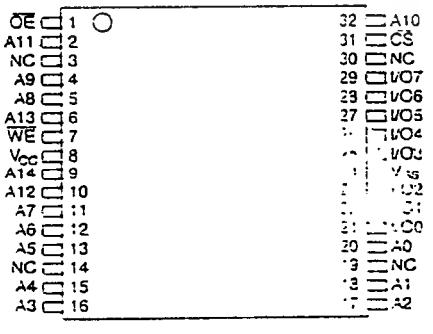
Pin Arrangement

HM62256AP/AFP/ASP Series



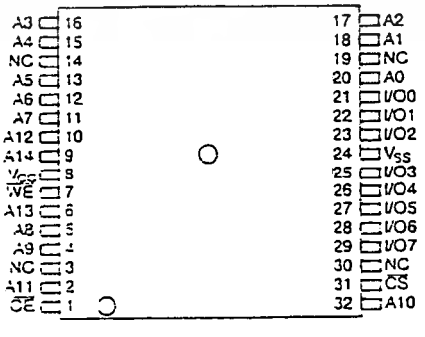
(Top view)

HM62256AT Series



(Top view)

HM62256AR Series



(Top view)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Table

$\overline{WE}$	$\overline{CS}$	$\overline{OE}$	Mode	V_{CC} current	I/O pin	Ref. cycle
X	H	X	Not selected	I_{SB}, I_{SB1}	High-Z	—
H	L	H	Output disable	I_{CC}	High-Z	—
H	L	L	Read	I_{CC}	Dout	Read cycle (1)–(3)
L	L	H	Write	I_{CC}	Din	Write cycle (1)
L	L	L	Write	I_{CC}	Din	Write cycle (2)

Note: X: H or L

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Voltage on any pin relative to V_{SS}	V_T	−0.5[*1] to +7.0	V
Power dissipation	P_T	1.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	−55 to +125	°C
Storage temperature under bias	Tbias	−10 to +85	°C

Note: 1. V_T min = −3.0 V for pulse half-width ≤ 50 ns

Recommended DC Operating Conditions (Ta = 0 to +70°C)

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input high (logic 1) voltage	V_{IH}	2.2	—	6.0	V
Input low (logic 0) voltage	V_{IL}	−0.5[*1]	—	0.8	V

Note: 1. V_{IL} min = −3.0 V for pulse half-width ≤ 50 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณ ดร. สุริภณ สมควรพาณิชย์ ที่ได้ให้คำแนะนำต่างๆ ที่เป็นประโยชน์กับวิทยานิพนธ์ พร้อมทั้งให้ใช้เครื่องมือและอุปกรณ์ในการทดลองด้วย และขอขอบคุณคณาจารย์ในภาคอิเล็กทรอนิกส์ทุกท่านที่ได้สละเวลามาให้ข้อคิดและวิธีการทำงานโครงงานจนสำเร็จ ขอขอบพระคุณคุณพ่อคุณแม่ และเพื่อนๆที่ได้ช่วยเหลือ และให้กำลังใจในการทำวิทยานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้