เครื่องป้องกันการดักฟังทางโทรศัพท์

TELEPHONE SCRAMBLER

โดย

นาย กนก	เหรียญทอง	37013368
นาย ชาตรี	เข็มกลัดนาค	37013373
น.ส.นาฒญา	ศรีหิรัญ	37013380

วัน เดือน ปี -2 ตค 2541
เลขทะเบียน 038431
เลขเรียกหนังสือ T 371.82 กน ค

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038431

หัวข้อปริญญานิพนธ์	เครื่องป้องกันการดักฟังทางโทรศัพท์		
ชื่อนักศึกษา	นาย กนก	เหรียญทอง	37013368
	นาย ชาตรี	เข็มกลัดนาค	37013373
	น.ส.นาฒญา	ศรีหิรัญ	37013380
อาจารย์ที่ปรึกษา	อาจารย์จักรี	ทีฆภาควิศิษฏ์	
ภาควิชา	เทคนิคอุตสาหกรรม		
ปีการศึกษา	2539		

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของ การศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ
(.....)

.....กรรมการ
(.....)

.....กรรมการ
(.....)

.....กรรมการ
(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ ได้เสนอนำเอาหลักการสื่อสารแบบ Single Side Band Suppressed Carrier (SSBSC) มาประยุกต์เข้ากับวิธีการเลื่อนสเปกตรัม (Spectrum Shift) หรือการสลับสเปกตรัม (Spectrum Inversion) ซึ่งยังคงเป็นในลักษณะพื้นฐานของระบบ Analog ที่สามารถนำไปพัฒนาให้เหมาะสมในระบบ Digital ได้ โดยโครงงานนี้ความสำคัญการออกแบบการทำงานจะใช้ IC FX 224J ซึ่งเป็นชิพ ไอ ซี (Chip IC) สำหรับในการทำ Scrambler และ Descrambler โดยโครงสร้างภายในประกอบด้วยวงจรกรองความถี่ และส่วนสำคัญในการทำ Scrambler คือ กรรมวิธี Rolling Code ที่มีข้อมูลบรรจุภายใน ROM โดยใช้การควบคุมระดับสัญญาณดิจิตอลทำให้สามารถที่จะสลับความถี่ได้ถึง 32 ความถี่ ซึ่งเป็นการยากอย่างยิ่งในการที่จะดักฟัง แต่ถึงกระนั้นยังมีข้อจำกัดทางเทคนิคของ IC FX 224J ซึ่งทำงานในลักษณะทิศทางเดียว (Simplex) ดังนั้นจุดเด่นของโครงงานนี้อีกจุดหนึ่งคือ การแก้ไขและพัฒนาข้อจำกัดทางเทคนิคของ IC FX 224J ให้สามารถทำงานได้ในลักษณะสองทิศทาง (Full Duplex) โดยการใช้อุปกรณ์ Hybrid ซึ่งเป็นอุปกรณ์ที่ใช้งานในภาคเลขหมายของผู้เช่า (Subscriber number) ในระบบชุมสายโทรศัพท์ นำมาประกอบเข้ากับโครงงานนี้ด้วย และส่วนสำคัญอีกส่วนหนึ่ง ของโครงงานนี้ คือการใช้โปรแกรม (Software) ควบคุมการทำงานของระบบ ซึ่งจะต้องให้มีความสอดคล้อง (Synchronize) กันทั้งด้านผู้ใช้ต้นทาง และปลายทาง (Sub A & Sub B) ซึ่งทั้งสองฝ่ายสามารถที่จะสั่งงานโดยอิสระแยกออกจากกันได้ ทำให้ระบบมีความสมบูรณ์ยิ่งขึ้น

ซึ่งโครงงานนี้คณะผู้จัดทำได้นำอุปกรณ์เฉพาะสำหรับการทำ Scramble ข้อมูลนำมาพัฒนาเพื่อเพิ่มขีดความสามารถ นอกเหนือข้อจำกัดทางเทคนิคของอุปกรณ์ และนำมาประยุกต์ใช้ให้เหมือนกับการใช้โทรศัพท์ทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSTRACT

This project conveys the concept of Single Side Band Suppressed Carrier (SSBSC) communication that is applied with spectrum shift or spectrum invertion , the specific characteristics of analog system that can be developed to fit into digital system. The IC FX22J is a major chip IC used for the scrambling and descrambling process. Its internal system consists of frequency fillters. The main process of scrambling is Rolling Code which its data contained in ROM. The Digital signal level control enable it to invert up to 32 frequencies, and this make the system difficult to be trapped. Nevertheless , constriant of IC #FX224J exists. Using hybrid equipment , its simplex communication is developed and converted to full duplex communication in this project. The hybrid switch operates in the subscriber number section of the telephone central office (telephone exchange). Additionally, another important component of this project worth mentioning here is the control software which is design to work synchronously between the originating and destinating users. This also give the ability of the two end users to control and command this system independently. Thus, the system provides complete features.

A special equipment for data scrambling is utilized in this project in order to overcome the limitations of some component and is applied closely to narmal telephone system.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	1
แนวความคิดและที่มาของโครงงาน	1
วัตถุประสงค์ของโครงงาน	1
บทที่ 2 ทฤษฎีที่ใช้ในโครงงาน	2
2.1 หลักการโดยทั่วไปของการสลับความถี่	2
2.2 ข้อกำหนดของการป้องกันการดักฟัง	12
23 สถาปัตยกรรม VSB * AUDIO SCRAMBLING	14
2.4 ภาคถอดรหัสสัญญาณ	28
2.5 ขั้นตอนในการทำงานของ MT 8870	32
2.6 ไฮบริด	35
บทที่ 3 โครงสร้างของระบบ	43
3.1 การทำงานของ Block Diagram	44
3.2 การออกแบบการควบคุมการทำงาน	45
3.3 การทำงานของ Program Flow Chart	48
3.4 รายละเอียดของวงจร	51
3.5 รายละเอียดของแผ่นลายพิมพ์วงจร	54
บทที่ 4 บทสรุป	60
บรรณานุกรม	65
ภาคผนวก	
ก. โปรแกรมการทำงานของระบบ	
ข. รายละเอียดของอุปกรณ์ที่ใช้ในโครงงาน	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันเทคโนโลยีได้พัฒนาเพื่ออำนวยความสะดวก โดยเฉพาะในเรื่องของการสื่อสารที่ได้มีการพัฒนาอย่างเป็นระบบอย่างต่อเนื่องจะเข้ามาเป็นส่วนหนึ่งของการดำเนินชีวิตในปัจจุบัน ดังจะเห็นได้ว่าการสื่อสารที่เกี่ยวข้องกับระบบข้อมูลมีความสำคัญอย่างมาก โดยเฉพาะในแวดวงของธุรกิจ เช่น ระบบข้อมูลของธนาคาร หรือในแวดวงของระบบข้อมูลทางการทหาร ซึ่งระบบข้อมูลเหล่านี้ ย่อมต้องการความถูกต้องและเป็นข้อมูลที่เป็นความลับจึงทำให้มีโอกาสที่จะถูกดักฟังข้อมูลเหล่านี้ได้ ดังนั้นจึงจำเป็นต้องมีเครื่องมือหรืออุปกรณ์ที่จะสามารถป้องกันความลับของข้อมูลที่ต้องการได้

แนวความคิดและที่มาของโครงงาน

วิวัฒนาการแห่งการสื่อสารที่สามารถเชื่อมโยงระบบเครือข่ายการสื่อสารทุกระบบเข้าด้วยกัน เป็นการเพิ่มขีดความสามารถและประสิทธิภาพ เพื่ออำนวยความสะดวกต่อการใช้บริการในเครือข่ายการสื่อสาร แต่อย่างไรก็ตามสิ่งต่าง ๆ ที่เกิดขึ้นย่อมจะเกิดทั้งคุณและโทษ ดังเช่นในระบบการสื่อสารที่จะต้องมีการติดต่อกันทุกเวลา คุณภาพของข้อมูลและความเร็วในการส่งเป็นสิ่งที่ท้าทายความสามารถของระบบ โดยอาจจะถูกละเลยหรือมองข้ามต่อสิ่งที่น่าจะเป็นความลับหรือป้องกันข้อมูลที่มีความสำคัญ ดังนั้นจึงทำให้เกิดแนวความคิดที่จะนำสิ่งที่ถูกมองข้าม หรือสมควรจะป้องกันข้อมูลให้เป็นความลับ นำมาสร้างเป็นโครงงานขึ้นมา ซึ่งให้ชื่อว่าเครื่องป้องกันการดักฟังทางโทรศัพท์ (TELEPHONE SCRAMBLER)

วัตถุประสงค์ของโครงงาน

1. ทำให้การติดต่อสื่อสารข้อมูลที่เป็นความลับมีความปลอดภัย
2. สามารถนำไปประยุกต์ใช้งานนอกเหนือไปจากการ Scrambler สัญญาณเสียง
3. เป็นพื้นฐานสำหรับการพัฒนาเข้าสู่ระบบ Digital Scrambler
4. เป็นการนำเอาคุณสมบัติและข้อจำกัด ทางเทคนิคบางประการมาแก้ไขให้สามารถใช้งานได้ตรง ตามเป้าหมายที่วางไว้ อันจะนำไปสู่แนวความคิดและวิธีการเรียนรู้ ที่จะนำข้อจำกัดต่าง ๆ มาใช้ให้เกิดประโยชน์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันเทคโนโลยีได้พัฒนาเพื่ออำนวยความสะดวก โดยเฉพาะในเรื่องของการสื่อสารที่ได้มีการพัฒนาอย่างเป็นระบบอย่างต่อเนื่องจะเข้ามาเป็นส่วนหนึ่งของการดำเนินชีวิตในปัจจุบัน ดังจะเห็นได้ว่าการสื่อสารที่เกี่ยวข้องกับระบบข้อมูลมีความสำคัญอย่างมาก โดยเฉพาะในแวดวงของธุรกิจ เช่น ระบบข้อมูลของธนาคาร หรือในแวดวงของระบบข้อมูลทางการทหาร ซึ่งระบบข้อมูลเหล่านี้ ย่อมต้องการความถูกต้องและเป็นข้อมูลที่เป็นความลับจึงทำให้มีโอกาสที่จะถูกดักฟังข้อมูลเหล่านี้ได้ ดังนั้นจึงจำเป็นต้องมีเครื่องมือหรืออุปกรณ์ที่จะสามารถป้องกันความลับของข้อมูลที่ต้องการได้

แนวความคิดและที่มาของโครงงาน

วิวัฒนาการแห่งการสื่อสารที่สามารถเชื่อมโยงระบบเครือข่ายการสื่อสารทุกระบบเข้าด้วยกัน เป็นการเพิ่มขีดความสามารถและประสิทธิภาพ เพื่ออำนวยความสะดวกต่อการใช้บริการในเครือข่ายการสื่อสาร แต่อย่างไรก็ตามสิ่งต่าง ๆ ที่เกิดขึ้นย่อมจะเกิดทั้งคุณและโทษ ดังเช่นในระบบการสื่อสารที่จะต้องมีการติดต่อกันทุกเวลา คุณภาพของข้อมูลและความเร็วในการส่งเป็นสิ่งที่ท้าทายความสามารถของระบบ โดยอาจจะถูกละเลยหรือมองข้ามต่อสิ่งที่น่าจะเป็นความลับหรือป้องกันข้อมูลที่มีความสำคัญ ดังนั้นจึงทำให้เกิดแนวความคิดที่จะนำสิ่งที่ถูกมองข้ามหรือสมควรจะป้องกันข้อมูลให้เป็นความลับ นำมาสร้างเป็นโครงงานขึ้นมา ซึ่งให้ชื่อว่า เครื่องป้องกันการดักฟังทางโทรศัพท์ (TELEPHONE SCRAMBLER)

วัตถุประสงค์ของโครงงาน

1. ทำให้การติดต่อสื่อสารข้อมูลที่เป็นความลับมีความปลอดภัย
2. สามารถนำไปประยุกต์ใช้งานนอกเหนือไปจากการ Scrambler สัญญาณเสียง
3. เป็นพื้นฐานสำหรับการพัฒนาเข้าสู่ระบบ Digital Scrambler
4. เป็นการนำเอาคุณสมบัติและข้อจำกัด ทางเทคนิคบางประการมาแก้ไขให้สามารถใช้งานได้ตรงตามเป้าหมายที่วางไว้ อันจะนำไปสู่แนวความคิดและวิธีการเรียนรู้ ที่จะนำข้อจำกัดต่าง ๆ มาใช้ให้เกิดประโยชน์ได้

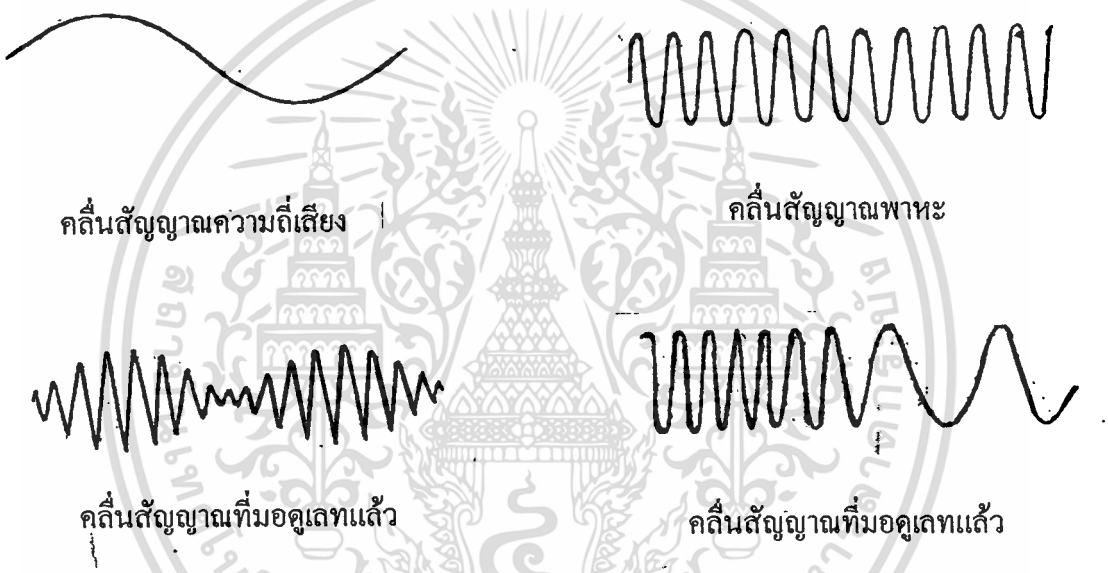
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีที่ใช้ในโครงงาน

2.1 หลักการโดยทั่วไปของการสลับความถี่

2.1.1 ความหมายของการ(MODULATION)

การเอาสัญญาณหรือคลื่นเป็นตัวพาหะนำสัญญาณเสียงนั้นไป วิธีการนี้อาศัยหลักการผสมคลื่นสัญญาณไฟฟ้า ที่ความถี่สูงกับคลื่นไฟฟ้าที่เป็นสัญญาณเสียงแล้วส่งสัญญาณออกไป



รูปที่ 2.1 สัญญาณและผลของการมอดูเลท

โดยปกติคลื่นเสียงมีความถี่ต่ำ ดังนั้นการส่งสัญญาณคลื่นแม่เหล็กไฟฟ้าโดยตรงไม่ได้ผล ทั้งนี้เพราะคลื่นแม่เหล็กไฟฟ้ามีความถี่ต่ำไม่สามารถเดินทางไกลได้ การมอดูเลทจึงมีความจำเป็นโดยการนำคลื่นสัญญาณความถี่สูงมาใช้ หรือที่เรียกว่าคลื่นพาหะเป็นตัวนำสัญญาณคลื่นความถี่เสียงเพื่อที่จะได้ส่งคลื่นออกไปได้

การ (MODULATION) มีสองชนิด ในโครงการใช้แบบ(AM)

1.CONTINUOUS MODULATION

1.1 AM [AMPLITUDE]

1.2 FM [FREQUENCY MODULATION]

1.3 PHM [PHASE MODULATION]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

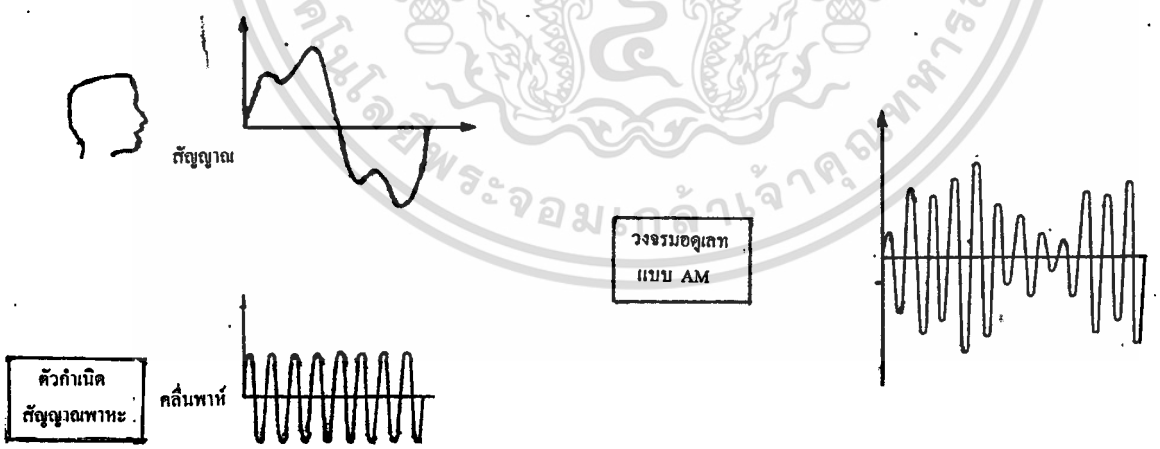
2. PULSE MODULATION

2.1 PULSE AMPLITUDE MODULATION

2.2 PULSE TIME MODULATION

2.1.2 AMPLITUDE MODULATION [AM]

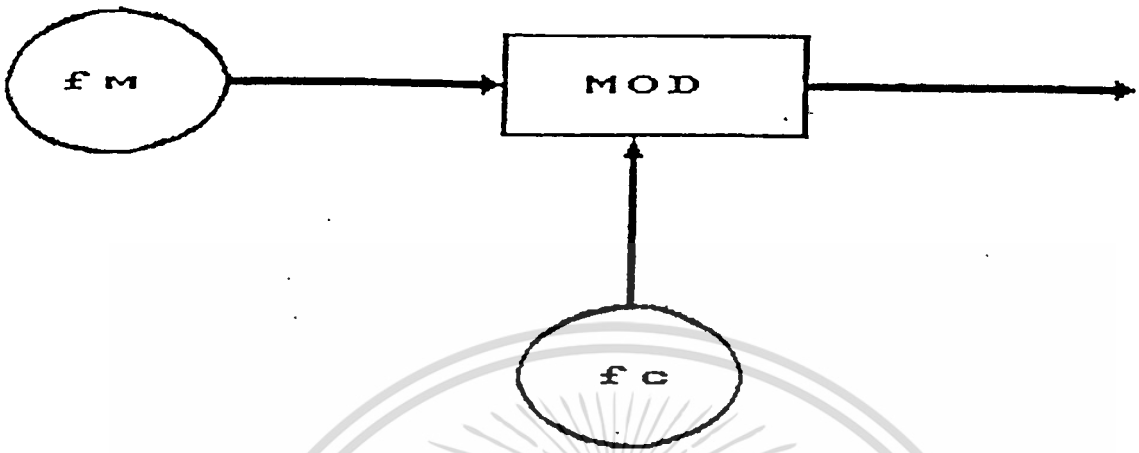
ในการมอดูเลทแบบ [AM] นั้นเริ่มต้นเมื่อมีคนพูดไมโครโฟน ไมโครโฟนจะเป็นตัวเปลี่ยนสัญญาณเป็นสัญญาณไฟฟ้ามีความถี่อยู่ในย่านความถี่เสียง สัญญาณความถี่เสียงจะรวมกับสัญญาณความถี่พาหะในวงจร [AMPLITUDE MODULATION] จะได้สัญญาณ AM เมื่อสังเกตขอบบนและขอบล่างของสัญญาณ AM จะพบว่าที่ขอบทั้งสองด้านนี้มีลักษณะสมมาตรกัน และเหมือนกับสัญญาณความถี่เสียง แต่เมื่อเพิ่มขนาดของสัญญาณความถี่เสียงขึ้นทั้งสองด้านจุดสูงสุดและจุดต่ำสุดของสัญญาณ AM จะเกิดการเปลี่ยนแปลงตาม โดยส่วนต่ำสุดของขอบบนและขอบล่างจะบีบเข้าหากันส่วนล่างสูงสุดของขอบบนและส่วนต่ำสุดของขอบล่างจะห่างจากกัน แต่ถ้าเพิ่มสัญญาณเสียงมากขึ้นส่วนที่บีบเข้าหากันจะชิดกันมาก และถ้าเพิ่มมากขึ้นส่วนนี้จะกลายเป็นแถบเส้นตรงตามแนวแกน



รูปที่ 2.2 การมอดูเลทสัญญาณทางแอมปลิจูด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 การวิเคราะห์รูปคลื่นสัญญาณ AM



รูปที่ 2.3 แสดงการมอดูเลทรูปคลื่นสัญญาณ AM

e_m = AMPLITUDE ของความถี่เสียง

e_c = AMPLITUDE ของความถี่พาหะ

e_{AM} = OUTPUT ของสัญญาณ AM

e_m = EM sin (wmt)

e_c = EC sin (wct)

e_{AM} = [EC + EM sin (wmt)]* sin (wct)

= EC sin (wct) + EM sin (wmt) * sin (wct)

= EC sin (wct) + EM/2 [cos(wc-wm)t-cos(wc+wm)t]

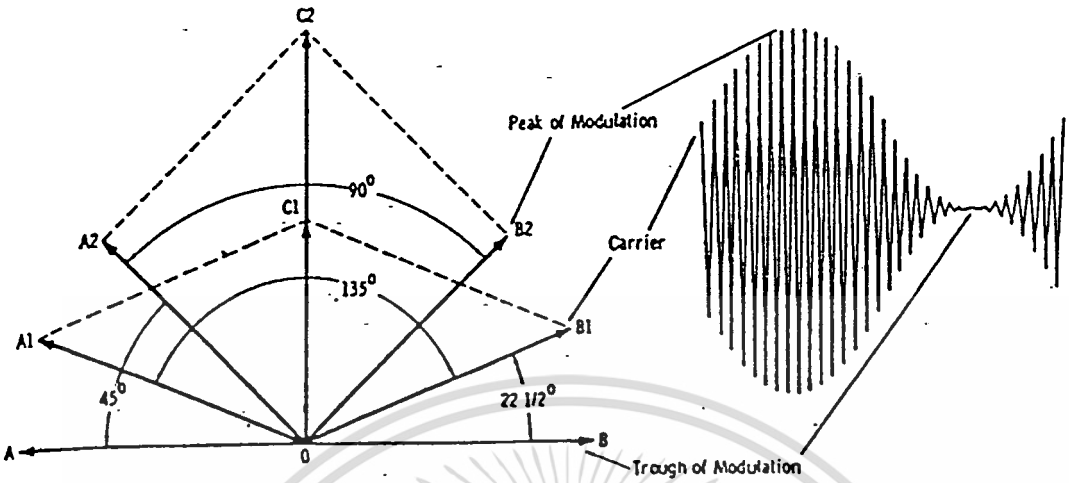
M = MODULATION INDEX

N = EM/EC

e_{AM} = EC sin(wct) + M*EC/2 [cos(wc-wm)t - cos(wc+wm)t]

หมายเหตุ * เป็นการคูณของระหว่างสัญญาณ 2 สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงรูป Power ของสัญญาณ AM

2.1.4 POWER ของสัญญาณ AM

$$PT = PC + P_{(USB)} + P_{(LSB)}$$

$$= EC^2/R + (MEC/2)^2/R + (MEC/2)^2/R$$

$$= EC^2/R + (MEC)^2/4R + (MEC)^2/4R$$

$$= PC + PC(M)^2/2$$

$$PT = PC * (1+M^2/2)$$

กรณีที่ MODULATION DEGREE =100%

$$PT = PC * (1+1/2)$$

$$PT = 1.5PC$$

2.1.5 PERCENT MODULATION

ความสัมพันธ์ของแอมปลิจูดของสัญญาณความถี่เสียงกับแอมปลิจูดของสัญญาณพาหะในขณะที่ยังไม่ได้มอดูเลทจะเป็นการบอกให้ทราบว่า ลักษณะของสัญญาณ AM ที่ได้จะมีรูปร่างลักษณะอย่างไร ค่าความสัมพันธ์นี้เรียกว่า เปอร์เซ็นต์มอดูเลชั่น

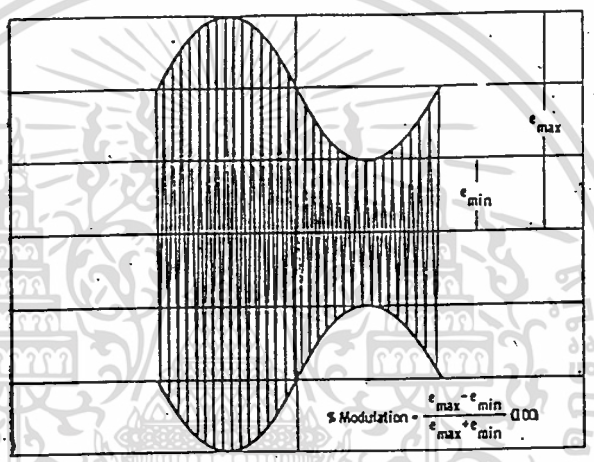
ค่าเปอร์เซ็นต์มอดูเลชั่น ก็คือค่าอัตราส่วนของสัญญาณความถี่เสียง กับแอมปลิจูดของสัญญาณความถี่พาหะ เมื่อคิดเป็นเปอร์เซ็นต์ ถ้าค่าทั้งสองนี้มีค่าเท่ากันก็กำหนดให้เป็น 100% ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีของเปอร์เซ็นต์มอดูเลชั่นเป็น 100% สัญญาณความถี่เสียงจะมีค่าทำให้สัญญาณ AM ทั้งด้านขอบบนและด้านขอบล่างมาชนกันกึ่งกลางพอดี หรือผลต่างของค่าต่ำสุดของขอบบนกับค่าสูงสุดของขอบล่างมีค่าเป็นศูนย์

ถ้าแอมปลิจูดของสัญญาณความถี่เสียงมีค่าน้อยกว่าแอมปลิจูดของสัญญาณความถี่พาหะ ค่าเปอร์เซ็นต์มอดูเลชั่นจะมีค่าน้อยกว่า 100% ดังตัวอย่างเช่น ถ้าสัญญาณความถี่เสียงมีแอมปลิจูดเป็นครึ่งหนึ่งของสัญญาณพาหะค่าเปอร์เซ็นต์มอดูเลชั่นก็จะมีค่า 50%

การหาค่าเปอร์เซ็นต์มอดูเลชั่นอาจหาได้โดยตรงจากสัญญาณ AM โดยการคำนวณหาตามสมการต่อไปนี้



รูปที่ 2.5 แสดงรูปเปอร์เซ็นต์การมอดูเลชั่น

เปอร์เซ็นต์มอดูเลชั่น $= (E_{max} - E_{min}) * 100 / (E_{max} + E_{min})$

เมื่อ E_{max} คือค่าความสูงที่วัดจากระยะสูงสุดของขอบบนลงมาถึงระยะต่ำสุดขอบล่างของสัญญาณ AM

E_{min} คือค่าความสูงที่วัดจากระยะต่ำสุดของ ขอบบนลงมาถึงระยะสูงสุดของขอบล่างของสัญญาณ AM

ดังตัวอย่างการหาเปอร์เซ็นการมอดูเลทจากรูปสัญญาณ AM

จากรูปวัดหาค่า E_{max} ได้ 167 โวลท์ และวัดค่า E_{min} ได้ 33 โวลท์

ดังนั้นค่า เปอร์เซ็นต์การมอดูเลทมีค่าเป็น

เปอร์เซ็นต์การมอดูเลท = (167-33) x 100 / (167+33)

= 0.67 x 100

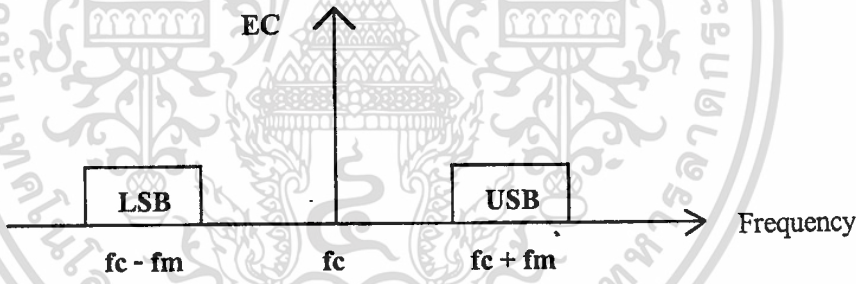
= 67 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

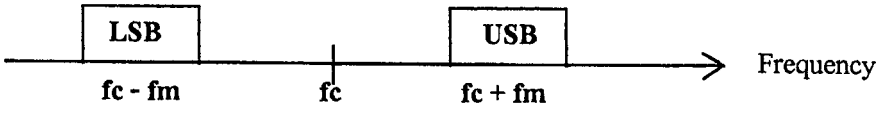
จากวิธีการหาค่าดังกล่าวนี้สามารถหาค่าเปอร์เซ็นต์การมอดูเลทที่มีค่าไม่เกิน 100% เท่านั้น ถ้าเปอร์เซ็นต์มอดูเลทเกินกว่า 100% ซึ่งเรียกว่า (OVERMODULATE) ไม่สามารถหาค่าเปอร์เซ็นต์การมอดูเลทได้ด้วยวิธีนี้ โดยปกติการมอดูเลทที่เกิน 100% เป็นสิ่งไม่ต้องการเพราะจะทำให้เกิดการเพี้ยนของสัญญาณที่จะใช้ในการสื่อสาร

การเพี้ยนย่อมจะต้องเกิดจากการ (OVERMODULATE) ซึ่งเห็นได้ชัดจากรูปถ้าแอมปลิจูดของสัญญาณความถี่เสียงมีค่ามากกว่าแอมปลิจูดของสัญญาณความถี่พาหะ แต่ที่สูงที่สุดทางด้านบนของสัญญาณ AM จะมีค่ามากกว่าสองเท่าของแอมปลิจูดของสัญญาณความถี่พาหะ ส่วนที่ต่ำสุดทางขอบบนจะลดลงถึงจุดกึ่งกลางของสัญญาณ AM แล้วจะลดลงอีกไม่ได้แล้ว จึงปรากฏออกมาที่เห็นดังรูป ซึ่งส่วนนี้จะเป็นผลทำให้ขอบของสัญญาณ AM เกิดการเพี้ยนไปจากสัญญาณความถี่เสียง

2.1.6 SPECTRUM (AM) แบบต่าง ๆ

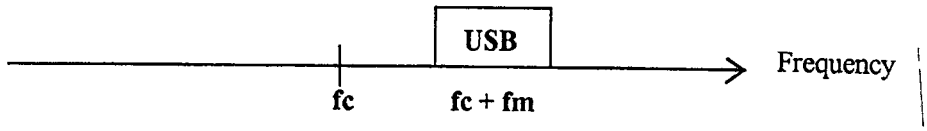


รูปที่ 2.6 DOUBLE SIDEBAND FULL CARRIER (DSBFC)

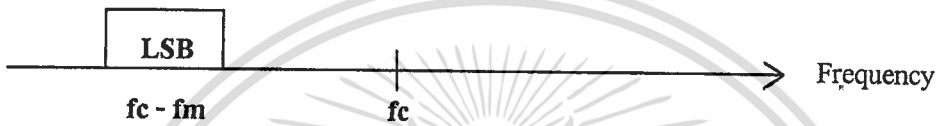


รูปที่ 2.7 DOUBLE SIDEBAND SUPPRESSED CARRIER (DSBSC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 SINGLE SIDEBAND SUPPRESS CARRIER (SSBSC)
แบบ UPER SIDEBAND (U.S.B.)



รูปที่ 2.9 SINGLE SIDEBAND SUPPRESSCARRIER (SSBSC)
แบบ LOWER SIDEBAND (L.S.B.)

2.1.8 การดีมอดูเลทสัญญาณ AM

การดีมอดูเลทสัญญาณ หรือเรียกอีกอย่างหนึ่งว่า การดีเทคชั่น (detection) คือวิธีการแยกเอาสัญญาณเสียง หรือสัญญาณข้อมูลข่าวสารกลับคืนมาจากสัญญาณ AM ตามที่ทราบแล้วว่าสัญญาณ AM จะยังมีสัญญาณความถี่เสียงประกอบอยู่ และถ้าพิจารณาดูที่รูปของสัญญาณ AM เราจะเห็นว่าส่วนเปลี่ยนแปลงทางด้านแอมปลิจูดหรือที่ขอบของสัญญาณนั้นจะเหมือนกับรูปร่างลักษณะสัญญาณเสียงมาก

การดีเทคชั่น ก็คือการนำเอาสัญญาณ AM ผ่านวงจรที่ทำหน้าที่แยกสัญญาณเสียงหรือสัญญาณข่าวสารออก วิธีการดีเทคชั่นที่ใช้กันทั่วไปคือการตัดสัญญาณเพียงด้านใดด้านหนึ่งแล้วนำมาผ่านวงจรกรองความถี่เอาความถี่พาห์หรือความถี่สูงมากออกซึ่งก็จะปรากฏเป็นสัญญาณที่ขอบของสัญญาณที่เหมือนกับสัญญาณที่ขอบของสัญญาณ AM

ข้อเสียของการมอดูเลทและการดีเทคแบบสัญญาณ AM คือสัญญาณ AM ถูกรบกวนได้ง่ายจากสิ่งต่าง ๆ เช่น ฟ้าร้อง ฟ้าผ่าในเวลาเกิดพายุฝน คลื่นสัญญาณไฟฟ้าที่มีความถี่คล้ายคลึงกันจะถูกสอดแทรกได้ง่าย แม้แต่อุปกรณ์ไฟฟ้าต่าง ๆ เช่น มอเตอร์ และเครื่องกำเนิดไฟฟ้า โดยสิ่งเหล่านี้จะเกิดขึ้นแบบเดียวกับการมอดูเลทและจะกลายเป็นส่วนหนึ่งของสัญญาณ AM และผ่านการดีเทคสัญญาณไปพร้อมคลื่น AM หลังจากที่ผ่านการดีเทคไปแล้วจะเกิดออกมาในรูปเสียงหรือคลื่นที่ผิดรูปไป ซึ่งถ้ามีความแรงพอมันจะครอบคลุมสัญญาณข่าวสารที่ต้องการเสียหมดทำให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ต้องการจากการดีเทคไม่เกิดขึ้น วิธีที่จะกำจัดการรบกวนหรือการสอดแทรกคือ หาวิธีอื่นแทนวิธีการมอดูเลททางวิธีที่มีคุณสมบัติป้องกันการสอดแทรกวิธีหนึ่งคือ การมอดูเลททางความถี่

2.1.9 การสื่อสารระบบแถบข้างเดียวหรือซิงเกิ้ลไซด์แบนด์ (SSB)

ในปัจจุบันการสื่อสารระบบแถบข้างเดียวใช้กันอย่างแพร่หลายมากโดยทางกรมไปรษณีย์ได้กำหนดความถี่ในช่วง 3-30 MHz (HF Band) ให้บริษัท หรือหน่วยงานต่าง ๆ ใช้ซึ่งถือว่าแถบความถี่นี้เป็นแถบความถี่ทางการค้า (COMMERCIAL BAND FOR SBB) และมีผู้ขออนุญาตจากกรมไปรษณีย์ใช้กันมาก

นอกจากนี้ในวงการวิทยุสมัครเล่นก็ได้ใช้ระบบการสื่อสารข้างเดียว เป็นที่แพร่หลายกันมากกว่าเครื่องส่งชนิดอื่น เมื่อต้องการพิจารณาในด้านการประหยัดกำลังส่ง

สาเหตุสำคัญที่ทำให้การสื่อสารข้างเดียวมีผู้นิยมใช้กันอย่างแพร่หลายคือ

1. การใช้งานมีความเชื่อถือสูง (reliability)
2. ช่วยลดความยุ่งยากในเรื่องความถี่
3. มีขนาดเล็ก น้ำหนักเบา
4. ประสิทธิภาพการส่งสูง (ส่งได้ไกลโดยใช้กำลังงานต่ำ อาจส่งข้ามทวีปได้ ด้วยกำลังเพียงไม่กี่วัตต์)
5. มีการรบกวนน้อยกว่า AM SIGNAL
6. มีความถี่ที่ใช้งานได้มาก (Used Channels) (สามารถส่งได้เพียงไซด์แบนด์เดียวหรือจำนวนช่องสัญญาณมากกว่า AM 2 เท่า)
7. ใช้กำลังงานน้อย เพราะขณะทำการส่งความถี่พาหะไม่ปรากฏออกไป

ลักษณะสำคัญของสัญญาณข้างเดียว ระบบการสื่อสารระบบแบบข้างเดียวมีใช้กันมากและมีผู้เข้าใจว่า ระบบการสื่อสารระบบแถบข้างเดียว ที่ใช้กันเป็นสัญญาณแถบใดแถบหนึ่งที่อยู่ข้างเดียวกับความถี่พาหะของสัญญาณ AM ดังนั้นถ้าปรับปรุงเครื่องรับ AM ให้รับแต่สัญญาณข้างเดียวก็จะเป็นซิงเกิลไซด์แบนด์ได้ ในทางสื่อสารจะต้องเฉพาะเจาะจงในเรื่องการจัดแบนด์พาหะด้วย ดังนั้นเราอาจจะเรียก สัญญาณซิงเกิลไซด์แบนด์หรือสัญญาณแถบข้างเดียวให้เต็มว่า " สัญญาณไซด์แบนด์ที่จำกัดความถี่พาหะไม่ให้ส่งออก " หรือใช้อักษรย่อว่า SSBSC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการของ SSB

1. BALANCED MODULATOR FILTER
2. วิธีการจัด PHASE
3. THIRD METHOD

ทั้ง3วิธีมีหลักการที่แตกต่างตามขบวนการผลิตสัญญาณแต่ในโครงงานนี้จะไม่ใช้วิธี BALANCED MODULATOR FILTER ในการผลิตสัญญาณ SSB

หลักการของ (BALANCED MODULATOR)

จากคลื่น AM แบบ DSB เราจะใช้สมการ

$e_{AM} = [1 + M\sin(wmt)] * \sin(wct)$

โดยสมมติให้ EC มีค่า = 1

$e_{AM} = \sin(wct) + M/2\,[\cos(wc - wm)t] + M/2\,[\cos(wc + wm)t]$

จะเห็นว่า SIDEBAND ทั้งสองเกิดจากการคูณของ Carrier กับสัญญาณเสียงในขณะที่ขนาดของ Carrier เปรียบเสมือนไฟ DC. สำหรับนำพาห์สัญญาณ

ดังนั้น ถ้าหากวงจร Mod. ที่สามารถหักล้างส่วนที่เป็นไฟ DC. ให้หมดไปเหลือแต่สัญญาณที่คูณกันที่ Output ก็จะได้มีแต่ Sideband ทั้งสองออกไป

นั่นคือหลักการวงจร Balanced modulation

$e_m = Em\sin(Wmt)$

$e_c = Ec\sin(Wct)$

$e_{bal\ mod} = e_m * e_c$

โดย EC มีค่าคงที่ = 1

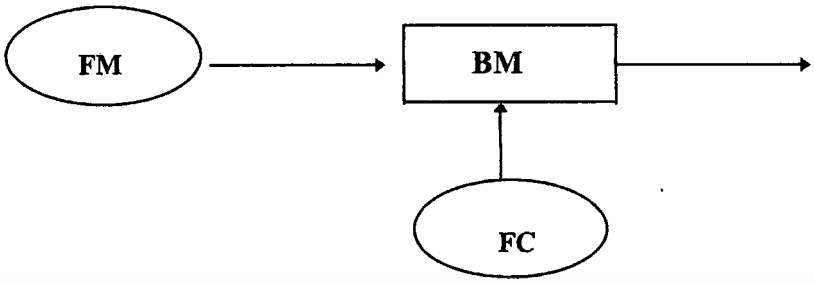
$e_{bal\ mod.} = Em\sin(Wmt) * \sin(Wct)$

$= EM/2\,[\cos(Wm-Wc)t - c0s(Wm+Wc)t]$

$M = EM/EC$

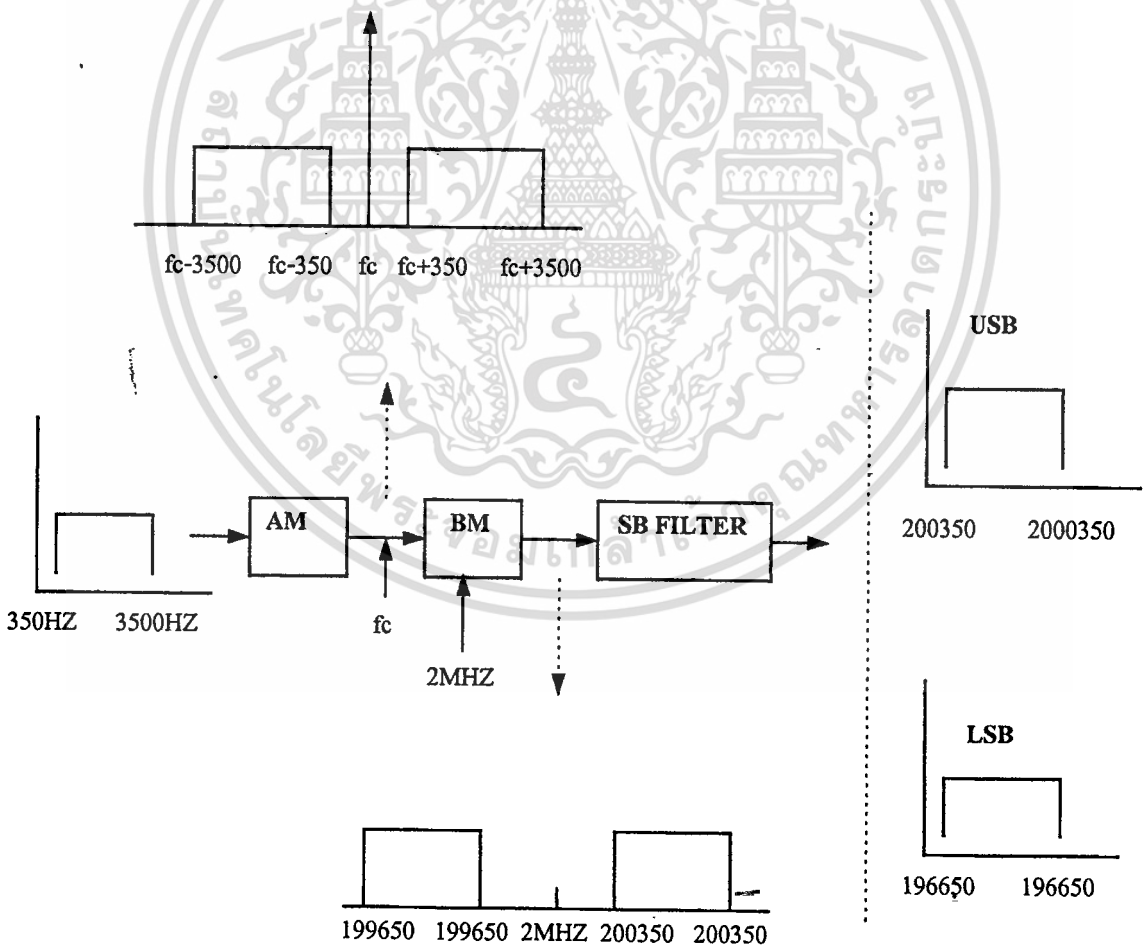
$e_{bal\ mod.} = M/2\,[\cos(Wm-Wc)t - \cos(Wm+Wc)t]$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงรูปของการ Balanced Modulator

การผลิต SSB โดยใช้ BALANCED MODULATOR FILTER



รูปที่ 2.11 การผลิต SSB โดยใช้ BALANCED MODULATOR FILTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ข้อกำหนดของการป้องกันการดักฟัง

การสร้างสัญญาณรบกวนเสียง (scramble voice signal) สามารถทำได้หลายวิธี แต่ที่สำคัญก็คือ เงื่อนไขของระบบป้องกันการดักฟังจะต้องประกอบด้วย

1. สัญญาณที่ถูกใส่รหัส (encode) หรือสลับความถี่ (frequency inversion) จะต้องเพี้ยนไปจากเดิมเพราะว่าสมองของมนุษย์มีความสามารถในการคาดคะเนข้อความเดิมจากเสียงที่ได้ยินไม่ชัด

2. สัญญาณที่ถูกถอดรหัส (decode) หรือสลับความถี่กลับจะต้องเหมือนหรือใกล้เคียงกับของเดิมมากที่สุด เพื่อไม่ให้เกิดความรำคาญ

3. สัญญาณที่ถูกถอดรหัส หรือสลับความถี่จะต้องมี (band width) ที่มีขนาดใกล้เคียงกับของเดิม และสามารถผ่านช่องสัญญาณเสียงที่มีแบนด์วิชไม่เกิน 4 กิโลเฮิร์ท

2.2.1 ระบบการสลับเสียงพูด (SPEECH INVERSION SYSTEM)

ระบบที่เราจะกล่าวถึงต่อไปนี้ สามารถทำตามเงื่อนไขทั้ง 3 ข้อของระบบได้ซึ่งเราเรียกระบบนี้ว่า ระบบการสลับเสียงพูด และเป็นต้นแบบที่นำไปสู่การรบกวนเสียงพูดที่มีหลักการสำคัญคือการสลับความถี่ โดยความถี่สูงจะกลับเป็นความถี่ต่ำ ส่วนความถี่ต่ำจะแปลงเป็นความถี่สูงแทน และความถี่ช่วงกลางมีการเปลี่ยนแปลงน้อยมาก นั่นก็คือ spectrum ของความถี่จะถูกพลิกกลับซ้าย-ขวาสลับกัน เสียงที่ได้ออกมาจึงเพี้ยนฟังไม่รู้เรื่อง วิธีที่จะฟังให้รู้เรื่องก็คือการพลิก spectrum ของความถี่กลับไปตามเดิม

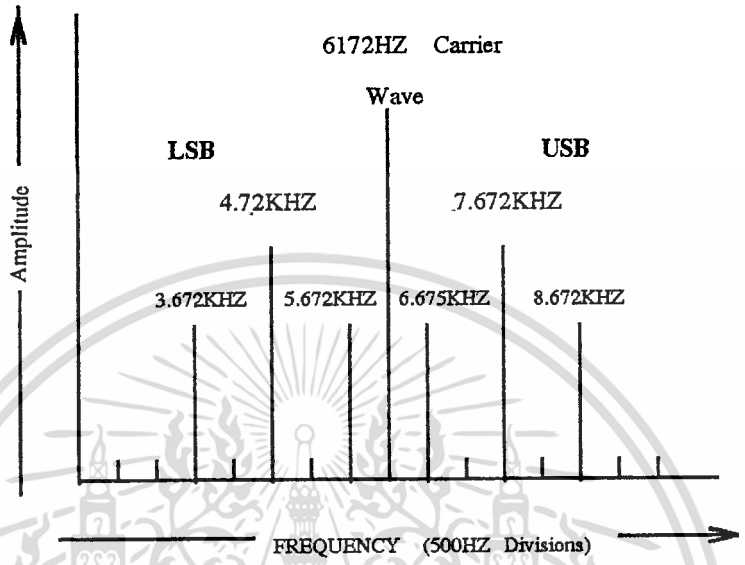
2.2.2 การประยุกต์ SSB ในการสลับความถี่

ดูเหมือนว่าหลักการของ Frequency Inversion จะไม่ยุ่งยากนักสามารถทำได้โดยวิธี heterodyne ธรรมดา แต่ในทางปฏิบัติจริง ๆ แล้วมีความยุ่งยากแฝงอยู่เช่นกัน เราสามารถทำ voice Scramble โดยอาศัยพื้นฐานของการส่งแบบ SSB ซึ่งการรับส่งแบบนี้แยกออกเป็นสอง Side Band ประกอบกันคือ Upper Side Band (USB) และ Lower Side Band (LSB) ถ้าเราตั้งเครื่องรับไว้ที่ LSB เพื่อรับสัญญาณที่ส่งมาด้วย USBแล้วเสียงที่ออกมาจะจับใจความไม่ได้

การส่งแบบ SSB เป็นแบบหนึ่งของ amplitude modulation โดยที่มีข้อแตกต่างจากมาตรฐานคือ carrier และ sideband หนึ่งจะถูกตัดทิ้งไป เพื่อที่ให้เข้าใจง่ายขึ้นให้ดูรูปที่แสดง spectrum ที่เกิดจากการ modulate carrier 1 เมกะเฮิร์ท ด้วยสัญญาณ audio input 500 เฮิร์ท 1.5 กิโลเฮิร์ท และ 2.5 กิโลเฮิร์ท จะเห็นว่าตรงกลางคือความถี่ carrier 6172 เฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้ว sideband ทั้ง 2 ข้าง สมมาตรกันโดยที่แต่ละ input จะให้สัญญาณออกมา 2 side band เช่น input 1.5 กิโลเฮิร์ท จะให้สัญญาณที่ USB 7.672 กิโลเฮิร์ท และ LSB 4.72 กิโลเฮิร์ท ดังรูปที่ 2.12



รูปที่ 2.12 Ordinary A.M. signal, USB, LSB and carrier

การสร้างสัญญาณ SBB สามารถกระทำได้หลายวิธีด้วยกัน แต่วิธีที่จะกล่าวคือแบบใช้ Filter เพราะเป็นวิธีที่ง่ายที่สุด โดยที่ความเที่ยงตรงขึ้นอยู่กับคุณภาพของ Crystal , Ceramic หรือ Filter ที่ใช้ตัด Sideband ที่ไม่ต้องการออก แต่แบบนี้จะลดระดับ Carrier ได้ไม่มากซึ่งก็สามารถแก้โดยได้ใช้วิธี Balance Modulator ซึ่งสร้าง Double Sideband แต่จะขจัด Carrier ให้เรียบร้อย

การ DEMODULATION สัญญาณ SSB โดยทั่วไปใช้วิธี Synchronous Detection โดยที่สัญญาณ SSB จะถูกป้อนเข้าที่ Input หนึ่ง ในขณะที่ Output ของ Carrier Inversion Oscillator จะถูกป้อนเข้าที่อีก Input หนึ่งความถี่ Output ที่ได้ก็คือ ผลรวมและผลต่างของ Input Signal และที่เราต้องการก็คือ ค่าของผลต่าง ส่วนความถี่ของผลรวมที่ไม่ต้องการก็สามารถจะตัดทิ้งโดยใช้ Lowpass Filter

การที่เราสลับความถี่ที่เราต้องการนั้น เมื่อเราตัด Carrier เดิมทิ้งไปแล้วก็ใส่ Carrier ใหม่ซึ่งมีความถี่ Shift ไปอีกซีกหนึ่งของ SSB เข้าไปแทน เพื่อความเข้าใจให้ดูรูปที่ 2.13 ประกอบ ที่ความถี่ 500 Hz , 1.5 กิโลเฮิร์ท และ 2.5 กิโลเฮิร์ท ถูก mod ด้วย Carrier 6172 Hz แล้วเลือกเอา USB เมื่อเราทำการตัด Carrier เดิมออก แล้วใส่ Carrier ใหม่เข้าไปแทนที่ จะได้ผลดังรูปเมื่อทำการคำนวณจะได้ความถี่ output ดังต่อไปนี้

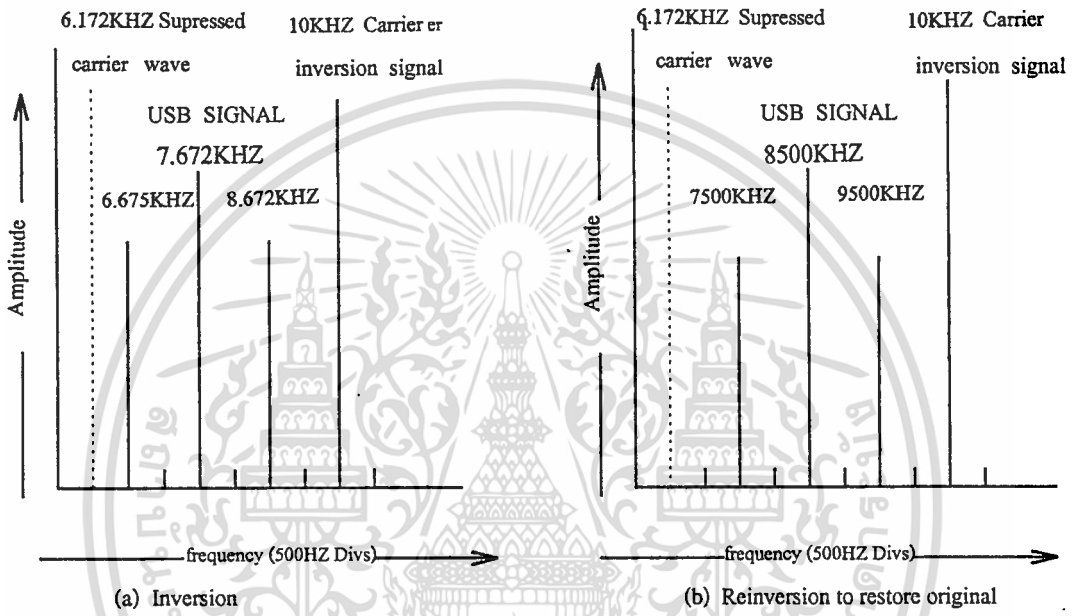
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10 กิโลเฮิร์ท - 6.675 กิโลเฮิร์ท = 3.325 กิโลเฮิร์ท

10 กิโลเฮิร์ท - 7.672 กิโลเฮิร์ท = 2.328 กิโลเฮิร์ท

10 กิโลเฮิร์ท - 8.672 กิโลเฮิร์ท = 1.328 กิโลเฮิร์ท

จะเห็นได้ว่าความถี่เดิมคือ 500 เฮิร์ท , 1.5 กิโลเฮิร์ท และ 2.5 กิโลเฮิร์ท จะถูกเปลี่ยนไปเป็น 3.325 กิโลเฮิร์ท , 2.328 กิโลเฮิร์ท และ 1.328 กิโลเฮิร์ท ตามลำดับ



รูปที่ 2.13 แสดงการสลับความถี่ แบบ SSB

สำหรับทางด้าน Reinversion รูปที่ 2.13 (b) ความถี่ Spectrum ที่ได้รับเป็น USB Suppresed Carrier เมื่อป้อน Insert Carrier ที่มีความถี่เท่ากับด้านส่งเข้าไปจะได้ความถี่ Spectrum ดังรูปข้างบนทำให้ผลต่างความถี่ออกมาเป็น 500 เฮิร์ท , 1.5 กิโลเฮิร์ท ตามลำดับซึ่งเหมือนกับสัญญาณเดิมทุกประการ

โดยการอาศัยหลักการดังกล่าวจึงได้มีการผลิต scrambler chip ออกมาจำหน่าย เป็นผลให้ง่ายต่อการศึกษาและพัฒนาในเรื่องของระบบ voice scrambler ซึ่งรายระเอียดจะกล่าวถึงต่อไป

2.3 สถาปัตยกรรม VSB * AUDIO SCRAMBLING

จากหลักการต่าง ๆ ดังที่กล่าวมาแล้วจึงมีการสร้าง ชิพ ไอ ซี (Chip IC) ขึ้นมาเพื่อใช้สำหรับการสลับความถี่ของสัญญาณเสียง เพื่อนำไปประยุกต์ใช้การสร้างโครงงานป้องกันการดักฟัง ซึ่งมีคุณสมบัติดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.1 ชิพ ไอ ซี เบอร์ FX 224 J

ชิพ (Chip) เบอร์นี้เป็นหนึ่งในตระกูลของอุปกรณ์ที่ผลิตขึ้นมา 3 รุ่น คือรุ่น FX214 และ FX234 จุดที่น่าสนใจที่สุดของ ชิพ เหล่านี้ คือจะใช้เทคนิคในการสลับความถี่ (Frequency Inversion) เพื่อไปรบกวน (Scramble) สัญญาณต่าง ๆ ซึ่งความถี่เหล่านี้จะมีความถี่พาหะ 32 ความถี่ ซึ่งทำให้สามารถสลับความถี่พาหะได้ถึง 32 ความถี่ เพื่อที่จะเพิ่มประสิทธิภาพของการรักษาความปลอดภัย (Security) ในการส่งข้อมูลผ่านข่ายการสื่อสาร

อีกจุดหนึ่งที่น่าสนใจก็คือ วงจรการใช้งานอื่น ๆ รวมทั้งวงจร Continuous Tone Controlled Squelch System (CTCSS) High Pass Filter ซึ่งจะมีการควบคุมคุณภาพของการเปลี่ยนกลับสัญญาณเสียง (Audio signal) รวมถึงวงจรควบคุมการประหยัดพลังงาน นอกจากนั้นสามารถใช้การควบคุมจากภายนอก(5 บิท) ซึ่งจะควบคุม Carrier ได้ทั้งแบบ Fixed หรือ Rolling Code การ Loading Comand Function เป็นไปได้ในแบบ Serial และ Parallel ของการใช้งานแบบ DIL และ SMD (surface mouse)

สำหรับชิพในตระกูลนี้สามารถแยกได้ดังนี้

FX 214J เป็น ชิพ แบบ 22 ขา DIL serial loading

FX 214LG เป็น ชิพ แบบ 24 ขา SMD serial loading

FX 224J เป็น ชิพ แบบ 24 ขา DIL parallel loading

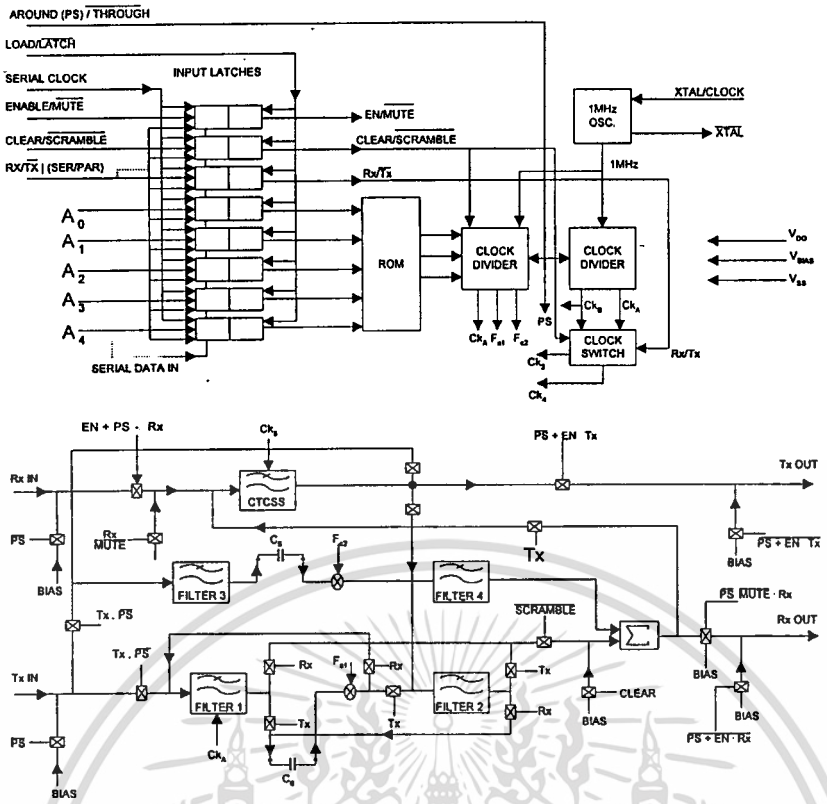
FX 224LG เป็น ชิพ แบบ 24 ขา SMD parallel loading

FX 234LH เป็น ชิพ แบบ 24 ขา SMD serail & parallel loading

2.3.2 บล็อค ฟังก์ชั่น (BLOCK FUNCTION)

สำหรับ Block Diagram ของการทำงานของ Chip FX 214 และ 224 แสดงดังรูปที่ 2.14 ชิพตัวนี้เป็นอุปกรณ์ชนิด LSI แบบ CMOS Low Power ถูกออกแบบให้เป็น Variable Split-Band (VSB) Scramble โดย Receive (RX) Path จะแยกออกจากกันกับ Transmit (TX) Path โดยจะผลัดกันการทำงานแบบ Half Duplex (ใช้ Switch เป็นตัวสลับด้านส่งและด้านรับ) และเพื่อเป็นการป้องกันการรบกวนของ Harmonic จาก Sub-audio การผลิตชิพตัวนี้จึงมี Continuous Tone Control Squelch System (CTCSS) High Pass Filter ซึ่งจะเป็นตัวเลือกเส้นทางของ TX หรือ RX โดยอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 การทำงานของบล็อกไดอะแกรม

2.3.3 โรลลิ่ง โค๊ด (ROLLING CODE)

การ Rolling Code จะใช้ 5 บิท จากภายนอกควบคุมการทำงานภายใน ชิพ โดยสามารถนำไปต่อ Coupling เข้ากับ Computer เพื่อนำสัญญาณจาก Program มาควบคุมซึ่งสามารถนำมาใช้แทนสวิทซ์ ซึ่งวิธีการนี้สามารถเลือกใช้ Code ได้ถึง 32 แบบ มีข้อดีคือ เป็นการป้องกันในกรณีที่ฝ่ายตรงข้ามมีอุปกรณ์เหมือนกับเราแล้วสามารถดักฟังได้วิธีการนี้รู้จักกันดีในชื่อการทำงานแบบ Rolling Code โดยมีสัญญาณ Synchronization ถูกส่งออกไปและวงจรเครื่องรับก็จะใช้สัญญาณนี้ในการควบคุมการทำงานของสวิทซ์

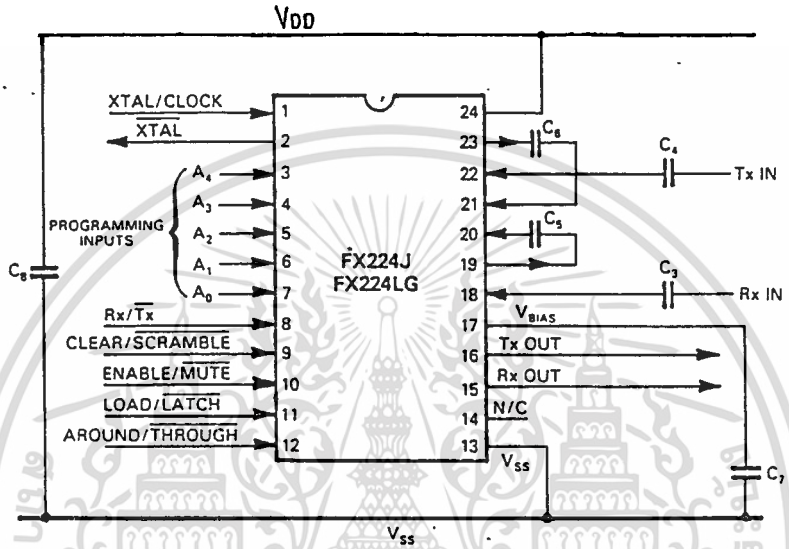
นอกจากนี้ยังใช้ Command จากภายนอกสามารถเลือกการทำงานได้ เช่น sync-speech mute, power save, clear & audio bypass ซึ่งแต่ละ Function Pin จะมีความต้านทาน 1 เมกะโอห์มต่ออยู่เป็น Pull Up Resistor

2.3.4 การควบคุณภาพ(QUALITY CONTROL)

ความเที่ยงตรงของการกรองความถี่แบบ Switched Capacitor Filter และสัญญาณ Modulation ต้องการใช้ Clock Generator คงที่ ซึ่งสามารถรับมาจากแหล่งจ่ายภายนอกหรืออาจจะนำมาจาก Oscillator 1 เมกะเฮิร์ท ที่อยู่ใน ชิพ โดยใช้ร่วมกับ Crystal 1 เมกะเฮิร์ท ก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับคุณภาพของเสียงที่ได้จากแปลงสัญญาณเสียงพูด ไม่ได้ขึ้นอยู่กับมาตราฐานของ Hi-Fi เนื่องจากอุปกรณ์ทั้งหมดถูกออกแบบให้ใช้กับช่องความถี่ระหว่าง 300~3400 เฮิร์ท ซึ่งความถี่ช่วงนี้จะมีคุณภาพดีมาก ส่วนรูปขาต่าง ๆของ FX 224 แสดงดังรูปที่ 2.15



รูปที่ 2.15 รายละเอียดของขาที่ใช้ต่ออุปกรณ์ภายนอก

2.3.5 รายละเอียดของขาต่าง ๆ ของ ไอ ซี FX 244J

PROGRAMMING INPUT (ขา 3 ถึง ขา 7)

A0~A4 เป็น input ใน Parallel Mode ของ Coding Switches หรือ Computer Input มีสถานะ High หรือ Low ตามปกติ Input ทั้ง 5 บิท จะกำหนด Split Point Frequency และย่าน High, Low ของ Carrier Frequency โดยสามารถเลือกได้ 32 แบบจาก Binary Codes 00000-11111 ซึ่ง Frequency Parameter แสดงดังตารางที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Rom Address A0 - A4	Split Point Hz	Low Band Carrier Hz,fc1	High Band Carrier Hz, fc2
00000	2800	3105	6172
00001	2625	2923	6024
00010	2470	2777	5813
00011	2333	2631	5861
00100	2210	2512	5555
00101	2100	2403	5494
00110	2000	2304	5376
00111	1909	2212	5263
01000	1826	2127	5208
01001	1750	2049	5102
01010	1680	1984	5050
01011	1555	1858	4950
01100	1448	1748	4807
01101	1354	1655	4716
01110	1272	1572	4929
01111	1200	1501	4587
10000	1135	1436	4504
10001	1050	1351	4424
10010	976	1278	4347
10011	913	1213	4310
10100	857	1157	4273
10101	792	1094	4166
10110	736	1037	4132
10111	688	988	4065
11000	636	936	4032
11001	591	891	3968
11010	552	853	3937
11011	512	813	3906
11100	417	772	3846
11101	428	728	3816
11110	388	688	3787
11111	350	650	3731

ตารางที่ 1 แสดง Rom Address Programming Table

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECEIVE-$\overline{\text{TRANSMIT}}$ (RX/$\overline{\text{TX}}$ ขา 8)

โดยการใช้ขา 8 เป็นตัวเลือก Mode การทำงานเป็น RX หรือ TX โดยใช้สภาพ High หรือ Low ตามลำดับ ซึ่งจะให้ Banwidth ของ Upper และ Lower Band Filter โดยอัตโนมัติ และจะกำหนด CTCSS Hight Pass Filterrs เส้นทางสัญญาณที่ถูกต้อง ตามตารางที่ 2 และรูปที่ 2.16 และ 2.17 โดยมีความต้านทาน 1 เมกะโอห์ม ภายในเป็น Pull up Resister [RX]

Effect of on Inputs	Chosen Function and Outputs	Chosen Function			
		Rx = 1	$\overline{\text{Tx}}$ = 0	$\overline{\text{Mute}}$ = 0	Around(powersave)=1
Rx Input	Path	Enabled	Disconnected	Disconnected	High Impedancd
	Level	Bias	Bias	Bias	
Rx Output	Path	Enabled	Disconnected	Disconnected	High Impedancd
	Level	Bias	Bias	Bias	
Tx Input	Path	Disconnected	Enabled	Enabled	High Impedancd
	Level	Bias	Bias	Bias	
Tx Output	Path	Disconnected	Enabled	Disconnected	High Impedancd
	Level	Bias	Bias	Bias	

ตารางที่ 2 Function influencing signal paths

CLEAR - $\overline{\text{SCRMBLE}}$ (ขา 9)

เมื่อขานี้อยู่ในสภาวะ High จะอยู่ใน Mode "Clear" จะเป็นการส่งข้อมูลแบบไม่มีการ Scrambling ใน Mode Clear นี้ ความถี่ Carrier จะ Turn Off และ Balance Modulation จะถูก Bypass ภายในวงจร และสัญญาณช่องต่ำ (Low Band) ก็จะไม่นำมารวมกับ Output Signal มีความต้านทาน 1 เมกะโอห์ม ต่อภายใน [clear] และเมื่อขานี้อยู่ในสภาวะ Low จะอยู่ใน Mode "Scramble" ซึ่งใน Mode นี้ค่าของ Carrier Frequncy จะขึ้นอยู่กับ Address ของ Split Point โดย ขา A_0 ถึง A_4 ตามตารางที่ 1

ENABLE - $\overline{\text{MUTE}}$ (ขา 10)

ถ้าป้อน Logic Low ให้ขานี้จะทำให้เกิดการ Disable ทางเดินสัญญาณ TX และ RX ในขณะที่ Rolling Code จะสามารถส่งในขณะรักษาสภาวะ Internal Bias ไว้ใน Mode นี้สัญญาณรับของ Audio Output จะถูกตัดออก และให้ Speech Signal เงียบลง ส่วน Logic High จะรักษาสถานะของวงจรให้ Active ระหว่างที่ไม่มีสัญญาณ Sync ตามตารางที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038431

LOAD - $\overline{\text{LATCH}}$ (ขา 11)

สำหรับขานี้ให้ควบคุมการ Loading ของ Input 8 Function คือ Enable , Clear , RX - TX และ Ao-A4 ถ้าขานี้อยู่ในช่วง Logic High Input ทั้ง 8 จะเปลี่ยน และข้อมูลใหม่ก็จะเข้ามาโดยตรง ถ้าต้องการเปลี่ยนแปลงค่าพารามิเตอร์โดยอัตโนมัติแล้วที่ขาต้องป้อน Logic Low ในขณะที่ Function ใหม่ถูกโหลดเข้ามาแล้วก็เปลี่ยนกลับมาเป็น High ตามด้วย Low Level (0-1-0) ถ้าไม่ต้องการเปลี่ยนแปลงของข้อมูลขานี้จะกลับมาเป็น High ดังรูปที่ 2.18

หมายเหตุ การ Loading Function ขึ้นอยู่กับชนิดของอุปกรณ์

AROUND [POWER - SAVE]/$\overline{\text{THROUGH}}$ (ขา 12)

สำหรับขา 12 จะยอมให้มีการสูญเสียกระแสน้อยที่สุดถ้าสัญญาณอยู่ใน Bypass Mode ไม่ว่าเป็น Mode Clear หรือ Scramble ซึ่งถ้าสัญญาณกำลังอยู่ใน Clear หรือ Scramble Mode ขา นี้จะต้องเป็น Logic Low เมื่อ Logic 1 ถูกป้อนให้กับขานี้เพื่อให้อยู่ในสภาวะประหยัดพลังงานยกเว้นวงจร Oscillator 1 เมกะเฮิร์ท จะ Shut down ส่วนวงจรสัญญาณเข้าออกจะ Open หมดและไม่มีการไบอัสใด ๆ แสดงในตารางที่ 2

VSS: NAGATIVE SUPPLY [GND] (ขา 13)

N/C (ขา 14)

ต่อวงจรภายใน ชิพ หรือ Open Circuit

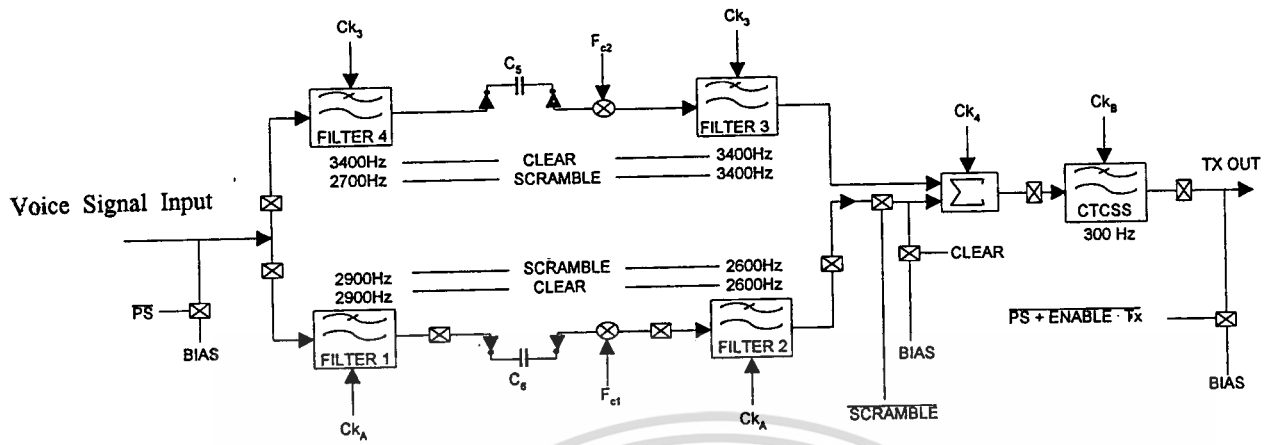
RECEIVE - OUTPUT (ขา 15)

สัญญาณที่ได้รับและถูกถอดรหัสแล้วรับมาจากขา 15 และพร้อมที่จะป้อนให้วงจรขยายเสียง โดยต่อผ่านตัวเก็บประจุ เส้นทางเดินสัญญาณ และระดับไบอัสรายละเอียดดังตารางที่ 1 และรูปที่ 2.17

TRANSMIT - OUTPUT (ขา 16)

สัญญาณเสียงจะส่งผ่านวงจร CTCSS High Pass Filter ออก output ที่ ขา 16 ใน TX Mode โดยขานี้จะถูกรักษาสภาวะที่ระดับ ดี ซี ไบอัส ยกเว้นช่วง Power Save เส้นทางเดินสัญญาณและระดับ ไบอัส รายละเอียดดังตารางที่ 1 และรูปที่ 2.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 Basic Tx Path

VOLTAGE - BIAS (ขา 17)

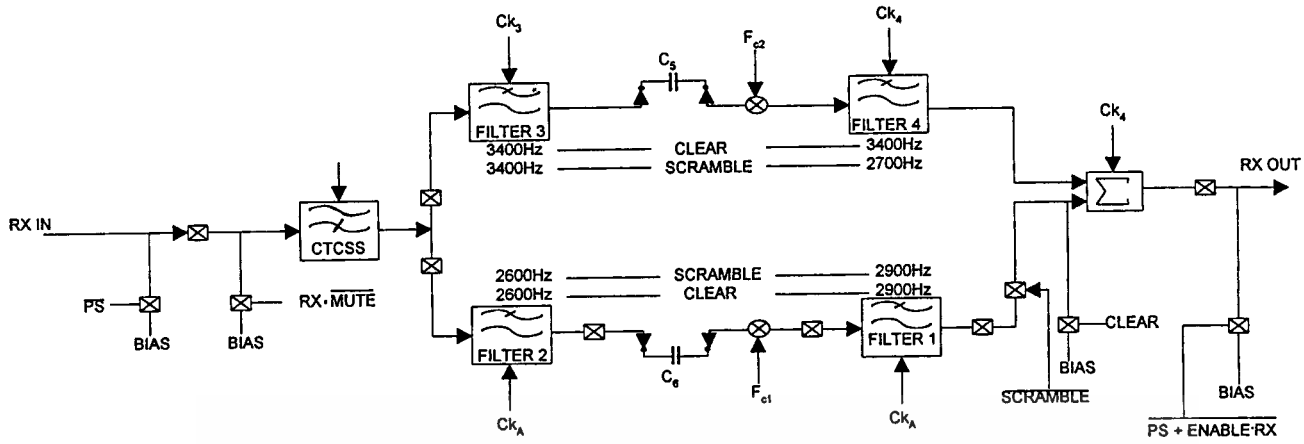
สิ่งที่ขา 17 ต้องการก็คือการต่อกับตัวเก็บประจุภายนอก เพื่อที่จะรักษาระดับแรงดัน ไบอัส ที่จุด Half Power Line Level (VDD/2)

RECEIVE - INPUT (ขา 18)

ขาที่ 18 สัญญาณ Input จะผ่านวงจร CTCSS ซึ่งรับสัญญาณที่ถูก Scrambled เข้ามาและป้อนต่อไปเพื่อทำการ Decode ซึ่งจะต้องผ่าน CTCSS HPF ใน RX Mode รับ เพื่อที่จะตัดความถี่เสียงที่ไม่ต้องการออกจาก Voice Band วงจรภายในจะทำการเปลี่ยนสัญญาณที่ถูก Inverse จากทางด้านส่งกลับมาเช่นเดิม ซึ่งขึ้นอยู่กับ Code ที่เลือกจาก A_0~A_1

สิ่งที่สำคัญอีกอย่างหนึ่งที่ควรจำไว้คือการถอดรหัสจะถูกต้องก็ต่อเมื่อเครื่องส่งและเครื่องรับมี Code เดียวกัน ถ้าความถี่ของการเข้ารหัสและการถอดรหัสไม่ถูกต้อง สัญญาณเสียงทาง Output ก็จะยังแยก Scramble ไม่ออกแต่ในทางปฏิบัติ เราจะพบว่าถึงแม้ว่าความถี่ไม่ตรงกับที่ส่งมาหรือว่าส่งใกล้เคียงกันแล้ว สัญญาณ Output อาจจับคำพูดได้ในบางตอน สำหรับ ดี ซี ไบอัส จะถูกรักษาระดับไว้โดยความต้านทาน 300 กิโลโอห์ม ดังตารางที่ 1 และ รูปที่ 2.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 Basic Rx Path

HIGH BAND, LOW BAND FILTER - OUTPUT (ขา 19 , 23)

Output ของ High และ Low Band Filter มาจาก ขา 19 และ 23 จากรูปที่ 2.16 และ 2.17 เราจะเห็นว่ามีสองวงจร ฟิลเตอร์ทำงานสัมพันธ์กับ Low pass Function และวงจรที่เหมาะสมจะถูกเลือกโดยสถานะทาง Input Logic ของ RX - TX ซึ่ง Logic นี้จะ Set High Filter ที่ความถี่ 3.4 กิโลเฮิร์ท หรือ 2.7 กิโลเฮิร์ท ตามลำดับ และ Filter Output ทั้งสองต้องไปต่อกับ Modulator Input ตามลำดับโดยผ่านตัวเก็บประจุ

HIGH BAND, LOW BAND BALANCED MODULATOR - INPUT (ขา 20 - 21)

ขาที่ 20 และ 21 จะป้อนไปที่ High และ Low Band Filter Modulator ตามลำดับ และต้องผ่านตัวเก็บประจุเพื่อให้ได้ Filter Outputs

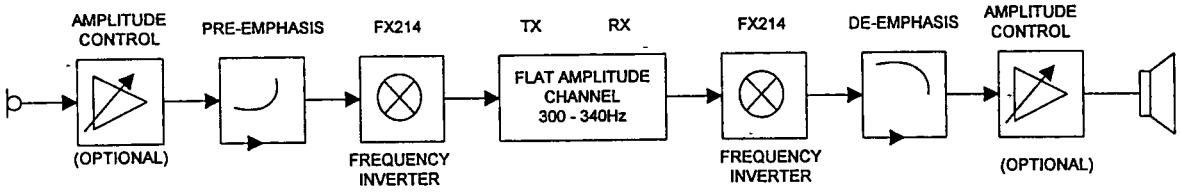
TRANSMIT - INPUT (ขา 22)

ขา 22 เป็นขา Input ที่ต่อกับสัญญาณเสียงพูด ซึ่งจะถูกรักษาสภาวะระดับแรงดัน DC ด้วยความต้านทานภายใน 300 กิโลโอห์มและขานี้จะต้องต่อไปยัง Upper และ Lower Band Filter สำหรับทางเดินของสัญญาณและค่าไบอัสนี้จะให้ไว้ในรูปที่ 2.16 และ ตารางที่ 2

POWER SUPPLY (ขา 24)

ชิพนี้ต้องการแรงไฟ +5 Volts คงที่ สูญเสียกระแสประมาณ 8 mA ในการใช้งานปกติ และ 1.2 mA ในกรณี Power Save จำไว้ว่า ขา 14 ควรจะปล่อยทิ้งไว้ไม่ต่อกับอะไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

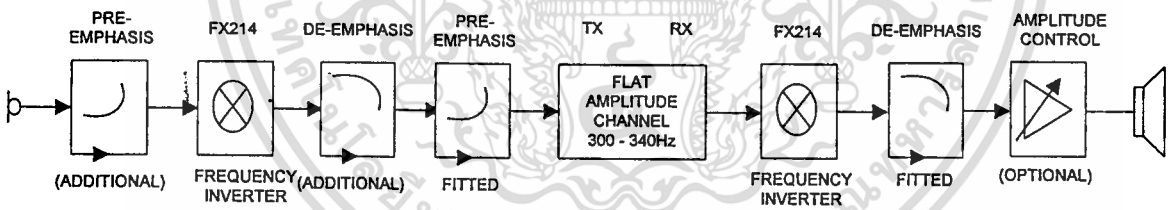


รูปที่ 2.18 Recomended Basic Communications Audio System Layout

2.3.6 AUDIO QUALITY

รูปที่ 2.18 แสดง Block Diagram เบื้องต้นของระบบ audio Scrambler โดยเพิ่มวงจร Pre และ De-emphasis เพื่อให้ได้คุณภาพเสียงดีขึ้น ใน TX Mode วงจร Pre-Emphasis จะไม่ขึ้นอยู่กับ Output ของ Scrambler แต่ใน Rx Mode วงจร De - Emphasis จะขึ้นอยู่กับสัญญาณ Scramble

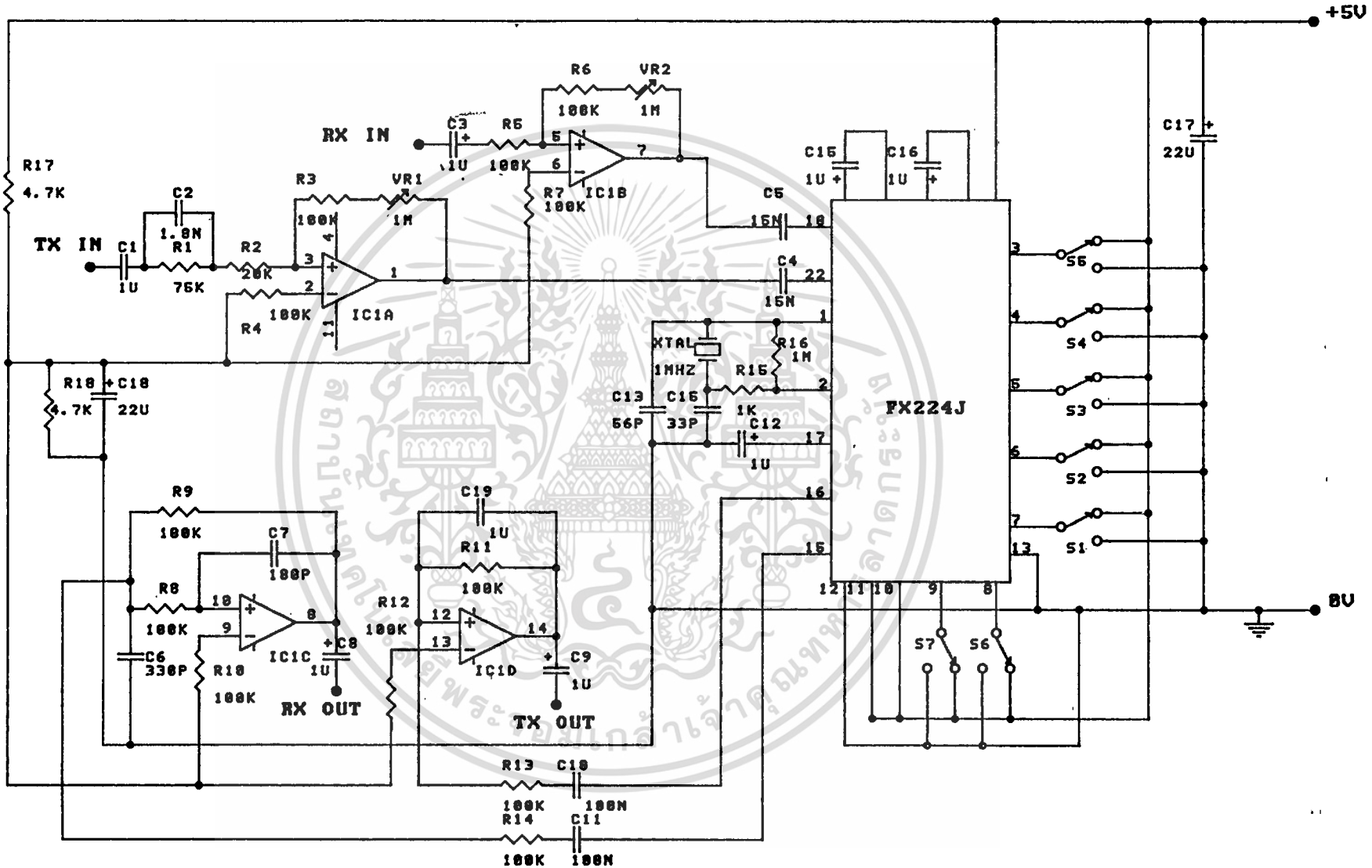
แต่ถ้าในระบบถูกใช้กับเครื่องส่งวิทยุมีวงจร Pre-Emphasis อยู่แล้ว จะเป็นการดีถ้าจะเพิ่มวงจร De-Emphasis หลัง Scrambler ดังรูปที่ 2.19



รูปที่ 2.19 Recommended Basic Radio Communications Audio System Layout

การจัดระดับของสัญญาณจะเป็นการดีและเหมาะสมสำหรับวงจร ชิพ เบื้องต้นสามารถใช้ได้เลยโดยไม่ต้องเพิ่มเติมวงจรอะไรเข้าไปเพื่อต้องการให้มีการยืดหยุ่นเล็กน้อยของสัญญาณ ตัวอย่างการใช้งานวงจรรูปที่ 2.20 แบ่งเป็นการทำงานในแต่ละภาคได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 วงจรการทำงาน

2.3.7 ทรานซ์สมิทชั่น (TRANSMISSION)

สัญญาณที่จะส่งจะถูกนำเข้าไปที่วงจร IC1a และจะถูก Pre-Emphasis ด้าน Upper Frequency และชดเชยข้อจำกัดบางประการของ Upper Frequency โดยการฟิลเตอร์ภายในและหลัง Scramble แต่ถ้าคิดว่าไม่จำเป็นก็ตัด C_2 ทิ้งไป

VR จะเป็นตัวปรับ Input Gain จาก 1~100 เท่า สำหรับหลาย ๆ สัญญาณ Level และจะเป็นการดีถ้ามีการขยายสัญญาณก่อนสมมุติประมาณ 750 mV ICld จะเป็นOutput Buffer ง่าย ๆ ซึ่งจะถูก De-Emphasis โดยการทำงานของ C19 แต่ถ้าเห็นว่าไม่จำเป็นที่จะใช้ตัวเก็บประจุนี้ก็ตัดทิ้งได้ หรือเปลี่ยนค่าที่เหมาะสมตามที่ต้องการ

2.3.8 รีซีฟชั่น (RECEPTION)

สัญญาณด้านรับจะมาจาก IC1b โดยมีอัตราขยาย ตั้งแต่ 1~10 เท่า สัญญาณรับนี้ถูก Buffer โดย IC1c และอาจป้อนให้กับ Audio Amp ธรรมดา ดังนั้น Scrambler Chip ก็จะผลิต Blackground Noise จำนวนหนึ่งออกมาตามการทำงานสัญญาณ Clock ภายใน และถูก ฟิลเตอร์ โดย C6 และ C7 Chip FX 224J ทั้งสองชนิดจะผลิต Blackground Noisd ประมาณ 10 mV ตลอดที่สัญญาณรับพอเหมาะกับค่านี้ และผ่านการ ฟิลเตอร์ โดย IC1c

2.3.9 ออสซิลเลเตอร์ (OSCILLATOR)

Oscillator ความถี่ 1 เมกะโอห์ม ถูกควบคุมโดย Crystal R15 , R16 , C13 และ C14 และจากการทดลองจาก TX และ RX Units หลายครั้งพบว่าการตั้งความถี่ไม่จำเป็นต้องเที่ยงตรงนัก และการปรับแต่งความถี่ก็ยังไม่มีการออกแบบซึ่งผลกระทบที่เกิดนี้อาจมาจากคุณสมบัติของ Slope ของฟิลเตอร์ภายในซึ่งขอบเขตของฟิลเตอร์นี้จะเข้มงวดมากแต่ Band ที่อยู่ข้างเดียวกันจะไม่แยกกันโดยเด็ดขาด อย่างไรก็ตามการแยกนี้มีประสิทธิภาพพอให้เราเลือกเข้ารหัสได้ 32 แบบ

2.3.10 การทำงาน (OPERATION)

การนำชิพนี้มาใช้งานให้พิจารณารูปที่ 2.18 จะพบว่าประกอบด้วย Amplitude Controlซึ่งเป็นตัวควบคุมขนาดของสัญญาณที่จะป้อนให้ Chip FX 224J แต่จะต้องผ่านวงจร Pre Emphasis เพื่อยกระดับสัญญาณช่องความถี่สูงขึ้น หลังจากนั้นก็จะป้อนเข้าไปในแปลงความถี่ที่ FX 224J แล้วส่งออกไปยังปลายทางซึ่งจะมี FX 224J อีกตัวหนึ่งทำหน้าที่เป็นตัวแปลงสัญญาณที่ได้รับกลับไปเป็นสัญญาณเดิมก่อนส่ง แล้วส่งออกไปยังวงจร De - Emphasis ซึ่งต่อออกไปยัง Amplitude control เพื่อทำการขยายสัญญาณและป้อนเข้าลำโพงต่อไปจาก Block diagram ดังกล่าวเรานำมาสร้างเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรดังรูปที่ 2.20 ซึ่งเป็นวงจรรวมทั้งหมดที่สามารถเป็นวงจรรับและวงจรส่งได้โดยเลือก Function ที่ถูกต้องเพราะชิพตัวนี้มีการทำงานแบบ Half duplex พิจารณาส่วนแรกของวงจร เมื่อปรับ Function RX - TX ไปที่ Tx และเลือก Address A0 - A4 แล้วป้อนสัญญาณเข้าที่ TX- in สัญญาณนี้จะถูก Pre - Emphasis แล้วป้อนเข้าวงจร Amplitud Control โดยมี IC1a ทำหน้าที่ โดยเป็น OP AMP. ขยายสัญญาณเสียงและสามารถปรับ อัตราขยาย ตั้งแต่ 1-100 เท่า โดยปรับ VR1 หลังจากนั้นสัญญาณจะถูกส่งต่อเข้าไปที่ ขา 22 ของ FX 224J โดยผ่าน C4 เข้าไปทำการ Scramble ที่ FX 224J แล้วส่งออกมายังขา 16 ของชิพ แล้วผ่าน C10 และ R13 เข้า ขา 13 ของ IC1d ซึ่งทำหน้าที่เป็น Buffer และมีส่วนของวงจร De - emphasis คือ R11 และ C19 ทำการกดสัญญาณที่ได้ลงให้เท่ากับตอนก่อนที่จะ Pre - Emphasis แล้วส่งออกมายัง TX-out. เรามาพิจารณาต่อไปเมื่อให้วงจรอยู่ใน Mode RX โดยรับสัญญาณจาก TX-out จากชุด Scramble ตัวส่งเข้ามาที่จุด RX-in โดยผ่าน C3 เพื่อ Block D.C Bias ผ่าน R5 เข้า IC1b เพื่อขยายสัญญาณที่ได้รับแล้วป้อนเข้า ขา Chip FX 224J โดยผ่าน C15 เพื่อเข้าไปแปลงสัญญาณกลับให้เหมือนกับสัญญาณก่อนส่งแล้วป้อนผ่าน C11 และ R14 ทาง ขา 15 เข้าไปยัง IC1c ซึ่งเป็น Buffer แล้วส่งสัญญาณออกไปที่ RX-out โดยผ่าน C8 แล้วต่อเข้าไปที่ Amplifier ขยายสัญญาณแล้วออกลำโพงต่อไปนี้เราจะมาพิจารณาการทำงานของ Chip FX 224 J

ซึ่งมีขั้นตอนการทำงานพิจารณา Block diagram รูปที่ 2.16 และ รูปที่ 2.17 เราจะพบการทำงานของชิพนี้ (สามารถทำงานได้ทั้งเป็นตัวส่งและตัวรับ) โดยการเลือกที่จะป้อน Logic low และ High ให้กับขาที่ 8 ของชิพถ้าเป็น Logic low จะทำหน้าที่เป็นตัวส่งและถ้าเป็น Logic high จะทำหน้าที่เป็นตัวรับข้อมูล สิ่งสำคัญอีกอย่างหนึ่ง คือการปรับ Code ของ Address A_0-A_4 เพื่อเลือกความถี่ในการ Split ความถี่ของสัญญาณเสียงและเลือก Lowerband carrier และ Upperband carrier เพื่อจะนำไป Modulation กับความถี่เสียงที่ต้องการส่งหรือรับและ Demodulation สัญญาณเสียงที่เราส่งไปแล้วที่ทางด้านรับ แต่ก่อนที่เราจะส่งหรือรับสัญญาณจะต้องปรับสวิทซ์ Function CLEAR/SCRAMBLER เพื่อเลือกว่าสัญญาณเสียงมีการ Scramble หรือไม่เมื่อเราเข้าใจ Function ต่างๆ เรียบร้อยแล้วก็จะพิจารณาการทำงานดังนี้ถ้าเลือกใช้ชิพเป็นตัวส่งสัญญาณต้องเลือกสัญญาณ TX และเลือกให้มีการ Scramble พิจารณารูปที่ 2.16 เมื่อเราป้อนสัญญาณที่ต้องการส่งเข้าไปที่ขา TX-input และเลือก Address เพื่อเลือกความถี่ Split, Lowerband และ Upperband สัญญาณที่ต้องการส่งที่จะผ่านไปฟิลเตอร์ 1 ซึ่งเป็น Lowerpass filter และจะยอมให้ความถี่น้อยกว่า 2900 เฮิร์ท ผ่านและผ่าน ฟิลเตอร์ 4 ซึ่งเป็น Lowerpass filter และจะยอมให้ความถี่มากกว่า 2700 เฮิร์ท ผ่าน และจากสัญญาณที่ออกจากฟิลเตอร์ 1 จะไป Modulate กับความถี่ Fc_1 (Lowband carrier frequency) ที่ถูกเลือกโดยการให้ Address A_0-A_4 และจะทำให้ เกิดการสลับความถี่จาก High ไปเป็น Low และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก Low ไปเป็น High สำหรับสัญญาณที่ออกจาก ฟิลเตอร์ 4 จะไป Modulate กับ Fc_2 (Highband carrier frequency) และจะเป็นการกลับความถี่จาก High ไปเป็น Low และจาก Low ไปเป็น High ซึ่งเราสามารถที่จะแสดงทางคณิตศาสตร์ได้ดังนี้

สมมุติสัญญาณที่ต้องการส่งมีช่องความถี่จาก 500 เฮิร์ท ถึง 4300 เฮิร์ท ถึง 4300 เฮิร์ท

เลือก Address A_0-A_4 เป็น 0

จะได้ Split point frequency 2800 เฮิร์ท

Lowband carrier frequency (Fc_1) 3105 เฮิร์ท

Highband carrier frequency (Fc_2) 6172 เฮิร์ท

พิจารณา Fc_1 modulate กับความถี่ที่ออกจาก ฟิลเตอร์ 1

ฟิลเตอร์ 1ให้ Output ตั้งแต่ 500-2900 เฮิร์ท แต่เนื่องจาก Split เกิดขึ้นที่ความถี่ 2800 เฮิร์ท ซึ่งจะได้ดังนี้

3105 - 500 = 2605 เฮิร์ท

3105 - 2800 = 305 เฮิร์ท

จะพบว่า ความถี่สูง คือ 2800 เฮิร์ท จะเปลี่ยนเป็นความถี่ต่ำ คือ 305 เฮิร์ท

และความถี่ต่ำ คือ 500 เฮิร์ท จะเปลี่ยนเป็นความถี่สูง คือ 2605 เฮิร์ท

พิจารณา Fc_2 Modulate กับความถี่ที่ออกจาก ฟิลเตอร์ 4

ฟิลเตอร์ 4 ให้ Output ตั้งแต่ 2700 เฮิร์ท ถึง 3400 เฮิร์ท แต่เนื่องจาก Split ที่ความถี่ 2800 เฮิร์ท ซึ่งจะได้ดังนี้

6172 - 2800 = 3372 เฮิร์ท

6172 - 3400 = 2772 เฮิร์ท

จะพบว่ามีช่องความถี่อยู่ช่วงหนึ่งที่ไม่มีการสลับความถี่ คือ ช่วงตั้งแต่ 2700 เฮิร์ท ถึง 2800 เฮิร์ท และช่อง 2800 เฮิร์ท ถึง 2900 เฮิร์ท ดังนั้น ช่องความถี่ทั้งหมดก็คือ 2700 เฮิร์ท ถึง 2900 เฮิร์ทหลังจากนั้นสัญญาณที่ผ่านการ Modulated จะถูกส่งต่อไปที่ ฟิลเตอร์ 2 และ ฟิลเตอร์ 3 โดย ฟิลเตอร์ 2 จะยอมให้ความถี่ตั้งแต่ 2600 เฮิร์ท ลงมาผ่านได้และฟิลเตอร์ 3 จะให้ความถี่ตั้งแต่ 3400 เฮิร์ท ลงมาผ่านได้แล้วจะไปรวมกันที่จุดรวมแล้วออกเป็น Output มาเข้า CTCSS เพื่อเป็นการกำจัด Sub audio Harmonic แล้วส่งออกเป็น TX-out ออกไป

ในกรณีที่ Switch clear/scramble อยู่ในClear mode การสลับความถี่จะไม่เกิดขึ้นสัญญาณจากฟิลเตอร์ 2 จะไม่รวมกับสัญญาณจากฟิลเตอร์3 เมื่อส่งสัญญาณที่ Scramble แล้วออกมาที่ TX-out ก็จะต้องมีตัวรับสัญญาณไปรับสัญญาณที่ส่งออกมา แต่การที่จะรับฟังสัญญาณที่ออกมาให้เข้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใจจำเป็นต้อง Switch ไปที่ Mode Scramble, Mode RX และ Address A_0-A_4 ให้ถูกต้องเสียก่อนเมื่อได้รับสัญญาณเข้ามาที่ RX-in ก็จะผ่านไปที่ CTCSS HPF ซึ่งในกรณีนี้จะเป็นตัวกำจัด Sub audio harmonic จากสัญญาณภายนอก หลังจากนั้นก็จะไปที่ฟิลเตอร์ 2 และ ฟิลเตอร์ 3 ซึ่ง ฟิลเตอร์ 2 จะยอมให้ความถี่ตั้งแต่ 2600 เฮิร์ท ลงมาผ่านได้และความถี่ที่ออกมาก็จะไป Modulated กับ Fc_1 และจะถูกสลับความถี่ต้นกำเนิด ในทำนองเดียวกันฟิลเตอร์ 3 ซึ่งยอมให้ความถี่ตั้งแต่ 3400 เฮิร์ท ลงมาผ่านได้ความถี่ที่ได้จะถูก Modulated กับ Fc_2 และจะถูกสลับความถี่กลับเป็นความถี่ต้นกำเนิดเช่นเดียวกัน ซึ่งสามารถแสดงได้ดังนี้ความถี่จากฟิลเตอร์ 2 Mod กับ FC1

3105 - 2605 = 500 เฮิร์ท

3105 - 305 = 2800 เฮิร์ท

ความถี่จาก ฟิลเตอร์ 3 Mod กับ Fc2

6172 - 3372 = 2800 Hz. 6172 - 2772 = 3400 เฮิร์ท

จากนั้นความถี่ที่สลับกลับเรียบร้อยแล้วจะถูกส่งไปที่ฟิลเตอร์ 1 และ ฟิลเตอร์ 4 ตามลำดับแล้ว Output ของฟิลเตอร์ก็จะรวมกันและออกไปที่ RX-out ไปเข้า Amplifier ออกไปสู่ลำโพงต่อไป

2.4 ภาคถอดรหัสสัญญาณ

สัญญาณรหัส DTMF (Dual Tone Multi Frequency)

เป็นสัญญาณความถี่เสียงที่มีความถี่อยู่ระหว่าง 670-1690 เฮิร์ท โดยรหัสนี้ได้ออกแบบมาใช้กับเครือข่ายโทรศัพท์แบบใหม่แทนระบบเก่าซึ่งทำการเข้ารหัสแบบพัลส์ คือ เมื่อหมุนหมายเลข โทรศัพท์ก็ทำการส่งพัลส์ตามตัวเลขที่หมุนไปยังชุมสายโทรศัพท์ เมื่อชุมสายโทรศัพท์รับรู้ก็จะต่อคู่สายเข้ากับคู่สายปลายทางซึ่งการเข้ารหัสแบบนี้จะทำให้เสียเวลาในการส่งพัลส์มาก เนื่องจากเลขหมายโทรศัพท์ในแต่ละเบอร์มีจำนวนมาก แต่การเข้ารหัสแบบ DTMF จะทำการส่งความถี่ประจำหมายเลขไปยังชุมสายโทรศัพท์ โดยความถี่ของแต่ละหมายเลขก็จะมีค่าต่างกัน เมื่อชุมสายทำการตรวจสอบว่าเป็นช่วงความถี่ของตัวเลขใด ก็จะทำการต่อสายเข้ากับคู่สายปลายทาง

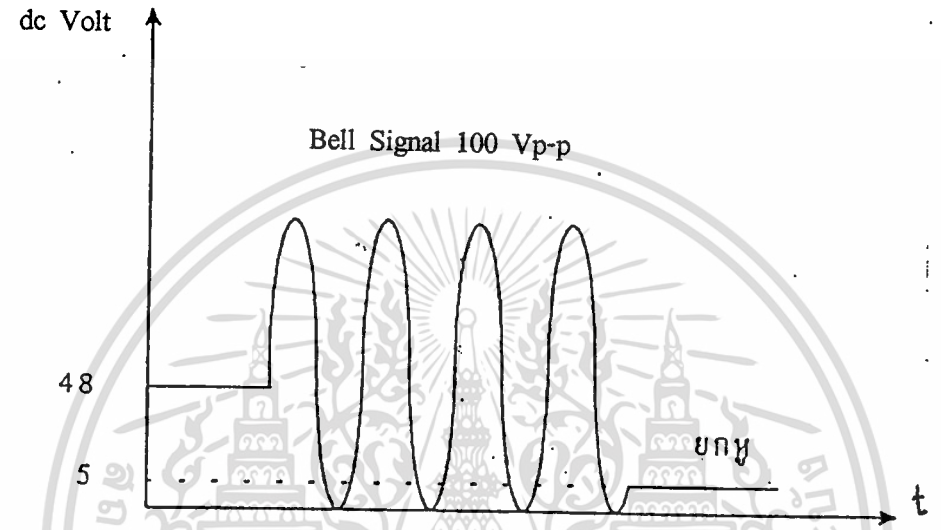
2.4.1 การถอดสัญญาณรหัส DTMF

สัญญาณรหัส DTMF เป็นสัญญาณเสียงซึ่งมีความถี่ประจำของตัวเลขต่างกันดังนั้น ในการถอดรหัสก็จะต้องทำการวัดและทราบว่าความถี่นั้นเป็นความถี่ใดเพื่อจะสามารถตีความได้ว่าเป็นความถี่ประจำของหมายเลขใด ซึ่งในส่วนนี้ใช้ไอซีเบอร์ MT 8870 ซึ่งเป็นไอซีที่ใช้ในการถอดรหัสสัญญาณรหัส DTMF ออกมาเป็นสัญญาณดิจิตอล 4 บิท นอกจากนี้ยังมีคุณสมบัติอื่นๆ

- เป็นตัวรับและถอดรหัสความถี่ (DTMF Receiver)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กินไฟน้อย ใช้ไฟเลี้ยงระดับไอซี TTL
- สามารถปรับการ์ดไทม์ได้
- สามารถตั้งอัตราขยายในตัวไอซีได้



รูปที่ 2.21 สภาวะแรงดันของสายโทรศัพท์

จากคุณสมบัติดังกล่าวสามารถจะนำไอซี MT 8870 ไปประยุกต์ใช้งานได้มากมายเช่น

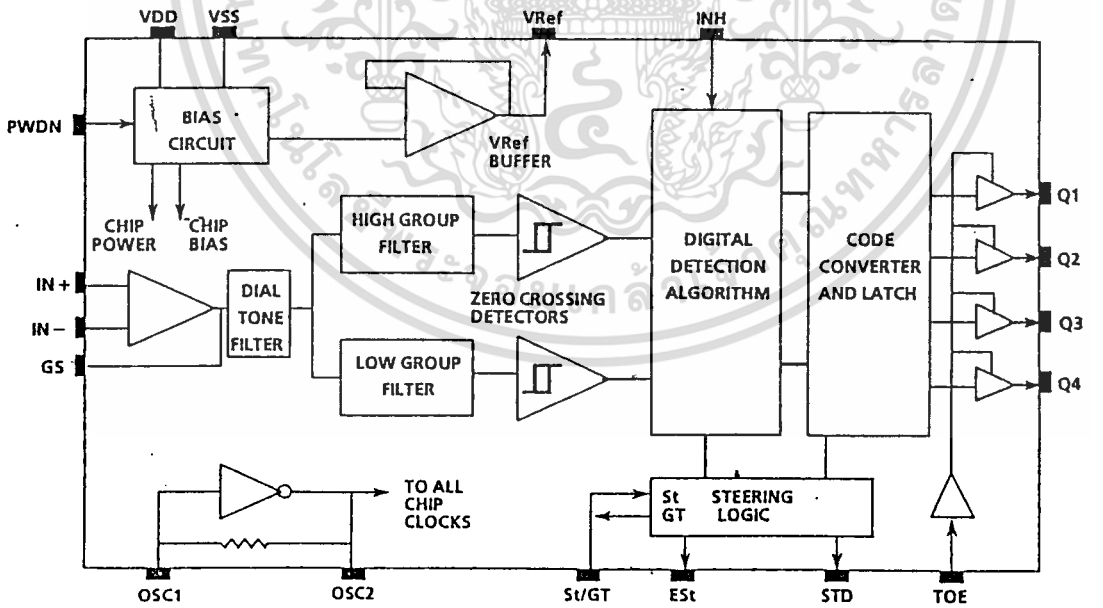
- นำไปใช้งานด้านรีโมทคอนโทรล
- ใช้ในงานเกี่ยวกับเครดิตการ์ด
- ใช้ในงานร่วมกับคอมพิวเตอร์
- ใช้ในงานเครื่องชุมสายขนาดย่อย หรือ PABX
- ใช้กับงานทางด้านโทรศัพท์ทั่วไป
- เครื่องกันขโมย
- การควบคุมอุปกรณ์ทางโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 โครงสร้าง ของ MT 8870

โครงสร้างภายในของ MT 8870 ประกอบไปด้วยวงจรกรองความถี่และวงจรถอดรหัสฟังก์ชั่นทางดิจิตอล เป็นไอซีที่สร้างโดยใช้เทคโนโลยี ISO2 CMOS ในส่วนของวงจรกรองความถี่ใช้เทคนิคของสวิทซ์คาปาซิเตอร์ฟิลเตอร์ สำหรับกรองความถี่สูงและต่ำ ส่วนวงจรถอดรหัสใช้เทคนิคการนับทางดิจิตอล เพื่อตรวจจับและถอดรหัสทั้ง 16 ความถี่ ออกเป็นเลขฐานสองขนาด 4 บิท และเช็คช่วงเวลาที่สัญญาณเข้ามา ส่วนภาคอินพุท เป็นออปแอมป์ ซึ่งสามารถปรับอัตราขยายได้โดยต่ออุปกรณ์ภายนอก เอาท์พุตเป็นวงจรแลตซ์ 3 สถานะ ภายในโครงสร้างของ MT 8870 จะประกอบไปด้วยส่วนสำคัญ 5 ส่วน คือ

- ภาคกรองความถี่ (Filter Section)
- ภาคถอดรหัส (Decoder Section)
- ภาคตรวจสอบสัญญาณ (Steering Circuit)
- ภาคขยายสัญญาณความแตกต่าง (Differencial Amplifier)
- ภาคกำเนิดความถี่ (Oscillator)



รูปที่ 2.22 โครงสร้างภายในของ MT 8870

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3 ภาคกรองสัญญาณความถี่

ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็น 2 กลุ่มความถี่ คือช่วงความถี่สูงและช่วงความถี่ต่ำโดยใช้ วงจรกรองความถี่ชนิดสวิทซ์คาปาซิเตอร์ (Six Order Switched Capacitor Bandpass Filter) ซึ่งความถี่ที่แยกได้มี 2 ช่วงคือ ช่วงความถี่สูงและช่วงความถี่ต่ำ

2.4.4 ภาคถอดรหัส

ความถี่ DTMF ที่ถูกกรองเรียบร้อยแล้ว จะผ่านเข้าวงจรถอดรหัสความถี่ออกเป็นตัวเลข โดยใช้เทคนิคการนับแบบดิจิตอล และมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตราฐาน DTMF หรือไม่ เพื่อป้องกันความถี่อื่นเข้ามาผสม เมื่อตรวจสอบว่าความถี่นั้นถูกต้อง สัญญาณที่ขา Est (Early Steering) หรือขา 16 ก็จะแอคทีฟ สำหรับค่าที่ถอดรหัสได้จากความถี่ต่าง ๆ แสดงได้ดังตารางที่ 3

2.4.5 ภาคตรวจสอบสัญญาณ

ก่อนที่จะมีการถอดรหัสความถี่ออกไปที่เอาท์พุท จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่าจะมีระยะเวลาตามที่กำหนดหรือไม่โดยสังเกตจากระยะเวลาการกดปุ่มโทรศัพท์ ให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควร มิฉะนั้นวงจรส่วนนี้จะไม่รับโดยถือว่าสัญญาณนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าใดสามารถตั้งได้โดยใช้ RC ต่อภายนอกสัญญาณที่ขา Est จะเป็น " High " นานใกล้เคียงกับระยะเวลาที่มีความถี่ DTMF เข้ามาทำให้ VC สูงขึ้น ตัวเก็บประจุ VC สูงขึ้น ตัวเก็บประจุ VC จะคายประจุ ทำให้แรงดัน VC สูงขึ้น จนถึงค่าเทรชโฮลด์วงจรถอดรหัสจึงจะถอดรหัสเป็นตัวเลขขนาด 4 บิทจะเข้าใจได้ง่ายสำหรับการ์ดไทม์นั้นหมายถึง ช่วงคาบเวลาของความถี่เข้ามาซึ่งจะต้องนานเท่ากันหรือมากกว่าช่วงเวลาที่ได้ ตั้งไว้จึงจะได้รับการยอมรับว่าสัญญาณความถี่นั้นถูกต้อง หรือพูดได้ว่าเวลาที่ได้ตั้งไว้โดย RC ก็คือการ์ดไทม์นั่นเอง ถ้าสัญญาณความถี่เข้ามา สั้นกว่าก็จะไม่มีการถอดรหัส เป็นตัวเลขออกไป

2.4.6 ภาคขยายสัญญาณความแตกต่าง

วงจรส่วนอินพุทของ MT 8870 เป็นภาคขยายออปแอมป์ ที่สามารถปรับอัตราโดยต่อวงจรภายนอกเพิ่มเข้าไปดังรูป ซึ่งสามารถคำนวณอัตราขยายความแตกต่างของอินพุทและอิมพีแดนซ์ได้ดังนี้

อัตราขยาย (Avdiff) = R1/R2

อินพุทอิมพีแดนซ์ (Zindiff) = 2 R1 + (1/WC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flow	Fhigh	NO	TOE	Q4	Q3	Q2	Q1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1447	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0

ตารางที่ 3 ค่าที่ถอดรหัสได้จากความถี่ต่าง ๆ

2.4.7 ภาคกำเนิดความถี่

ในภาคนี้ในไอซี MT 8870 จะมีวงจรอยู่เพียงภายในคริสตอลขนาด 4 เมกะเฮิร์ท ก็สามารถใช้งานได้ทันที

2.5 ขั้นตอนในการทำงานของ MT8870

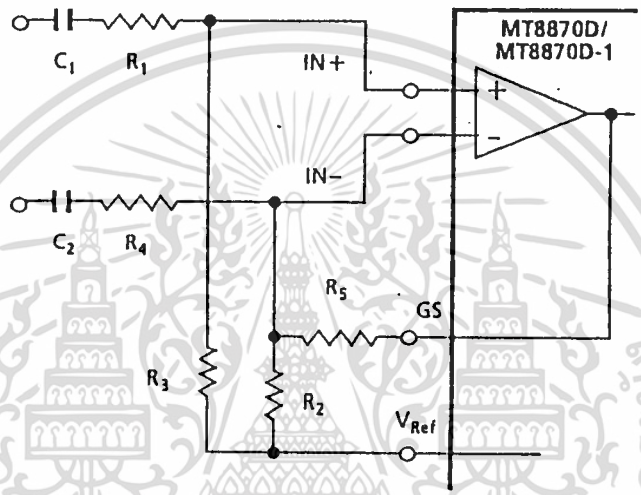
เพื่อทราบถึงรายละเอียดต่างๆในการทำงานและหน้าที่ของขาต่างๆของ MT 8870ในการต่อเข้าเป็นระบบเชื่อมโยงกับส่วนอื่นๆ สามารถที่จะอธิบายด้วยไดอะแกรมตามรูปที่ 2.24

A ตรวจพบความถี่เข้ามาแต่คาบเวลาไม่ถูกต้องเอาท์พุทไม่เปลี่ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

B ความถี่ # n ถูกตรวจพบและมีคาบเวลาที่ถูกต้องความถี่ถูกถอดรหัสและแลตซ์ไว้ที่เอาท์พุท

C ช่วงความถี่ #n ช่วงห่างที่ถูกต้องเอาท์พุท ยังคงแลตซ์อยู่จนกว่าจะได้รับความถี่ที่ถูกต้องใหม่



รูปที่ 2.23 การต่อวงจรภาคอินพุท

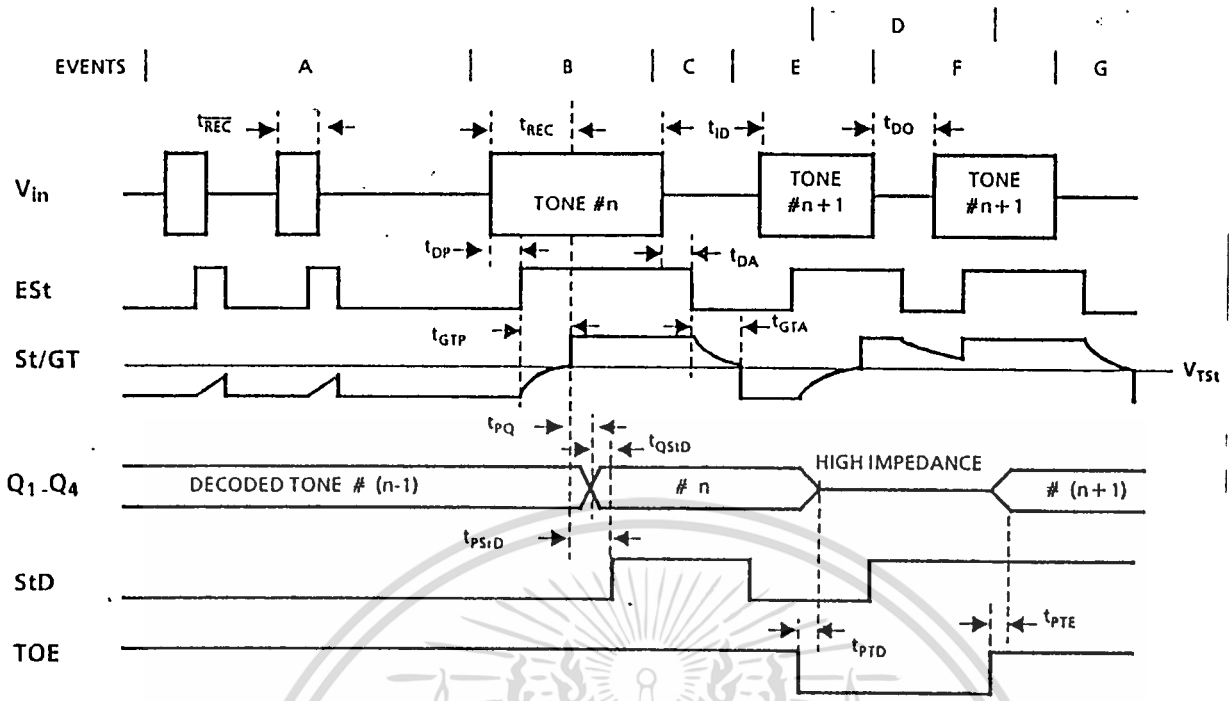
D เอาท์พุทเปลี่ยนเป็นไฮอิมพีแดนซ์

E ความถี่ # n+1 ถูกตรวจพบ คาบเวลาถูกต้อง ความถี่ถูกถอดรหัสและแลตซ์ไว้

F ความถี่ # n+1 หายไป ช่วงห่างไม่ถูกต้อง เอาท์พุทยังคงแลตซ์อยู่

G จบความถี่ # n+1 ช่วงห่างถูกต้อง เอาท์พุตยังแลตซ์อยู่จนถึงความถี่ใหม่ที่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 ไดอะแกรมของ MT 8870

อธิบายคำศัพท์

Vin - สัญญาณความถี่ DTMF ที่เข้ามา

Est - Early Steering Output ใช้แสดงความถี่ที่ถูกต้อง

St/Gt - Steering Input / Guard Timeoutput สำหรับต่อกับ RC ภายนอก

Q1 - Q4- เอาท์พุท BCD ขนาด4บิท

STD - Delayed Steering Output ใช้แสดงค่าความถี่ที่ได้รับหรือหายไปมีคาบเวลาตาม ที่กำหนดเพื่อแสดงความถูกต้องของสัญญาณ

TOE - Tone Out Enable (Input) ใช้ควบคุม Q1-Q4. ให้เป็นไฮอิมพีแดนซ์

t_{REC} - คาบเวลานานสุดที่ตรวจพบความ ถี่DTMF แล้วยังไม่ถูกต้อง

t_{ID} - เวลาสิ้นสุดระหว่างสัญญาณ DTMF ที่ถูกต้อง2สัญญาณ

t_{DO} - เวลานานที่สุดที่ยอมให้สัญญาณหายไปได้ในคาบเวลาความถี่ที่ถูกต้อง

t_{DP} - เวลาที่ใช้ในการตรวจพบสัญญาณความถี่ DTMF ที่ถูกต้อง

t_{DA} - เวลาที่ใช้ในการตรวจการหายไป ของสัญญาณความถี่ DTMF ที่ถูกต้อง

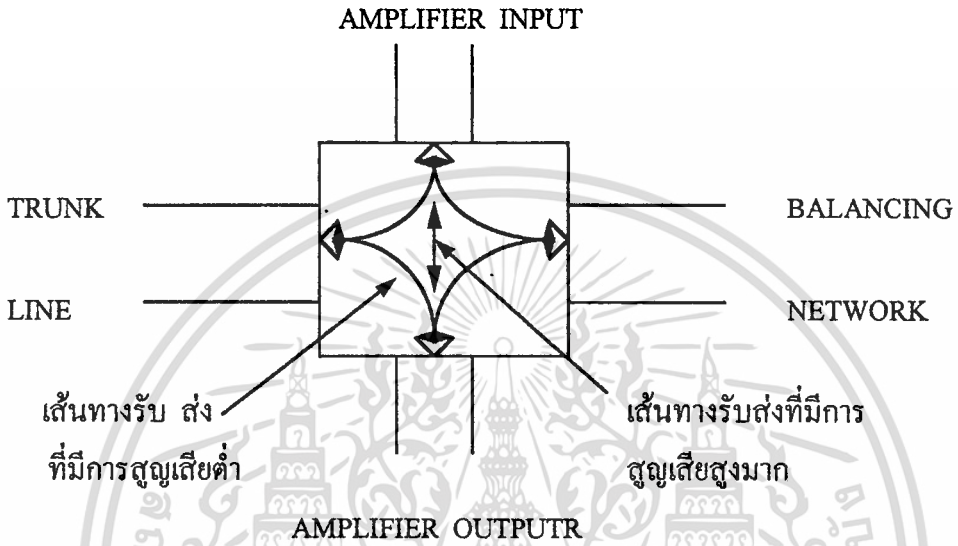
t_{GTP} - การ์ดไทม์ของการปรากฏความถี่ DTMF

t_{GTA}- การ์ดไทม์ของการหายไปของความถี่ DTMF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 ไฮบริด (Hybrid)

ไฮบริดคือ Network ซึ่งมีทางเข้าออก 4 ทาง และมีชื่อเรียกดังแสดงในรูปที่ 1 หน้าที่อย่างกว้าง ๆ ของไฮบริดก็คือยอมให้สัญญาณผ่านได้สะดวกระหว่างช่องทางประชิดของ Network แต่จะกั้นทางผ่านของสัญญาณระหว่างช่องทางที่อยู่ตรงข้ามกัน



รูปที่ 2.25 ชื่อเรียกสำหรับช่องทางทั้ง 4 ของไฮบริด

ไฮบริดแบ่งได้ 2 ชนิด คือ

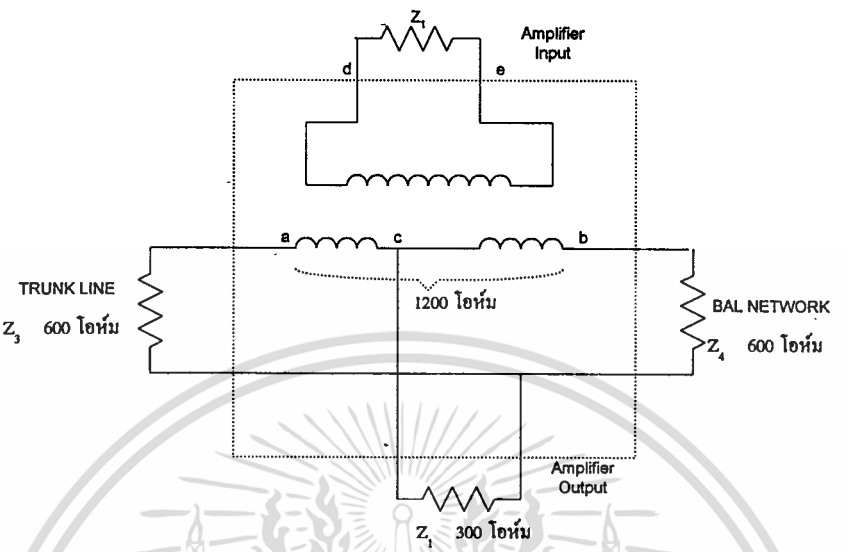
1) Transformer Hybrid
2) Resistance Hybrid

ทั้ง 2 ชนิดมีหลักการทำงานคล้ายคลึงกัน ดังจะได้อธิบายต่อไปนี้

Transformer Hybrid

Transformer Hybrid มีการจัดวงจรที่ง่าย ๆ ไม่ซับซ้อน ทรานสฟอร์เมอร์ที่ใช้เพื่อการนี้มักเรียกกันว่า "Hybrid coil" รูปที่ 2.26 แสดงวงจรของ Hybrid coil อย่างง่าย ๆ โดยใช้อิมพีแดนซ์ที่เหมาะสมต่อเข้าที่ช่องทางทั้ง 4 ของ ไฮบริด ในภาวะการทำงานโดยปกติ ต้องการให้ค่าอิมพีแดนซ์ต่าง ๆ มีสัมพันธภาพต่อกันอย่างถูกต้อง ค่าต่าง ๆ ที่แสดงในรูปที่ 2.26 ใช้สำหรับ Trunk Line ที่มีค่าอิมพีแดนซ์ 600 โอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 สัมพันธภาพทางอิมพีแดนซ์ของไฮบริด

อิมพีแดนซ์ 1200 โอห์มคร่อมขดลวด A-B อิมพีแดนซ์ (Z_R) ที่สะท้อนกลับจาก Z_2 เมื่อมีกระแสไหลผ่านขดลวด A-B โดยค่าอิมพีแดนซ์หาได้จากสูตร

$$Z_1 = T^2 (Z_2)$$

เมื่อ T = อัตราส่วนรอบของขดลวด

เกี่ยวกับอิมพีแดนซ์ของขดลวดไฮบริด มีหลักการสำคัญที่ควรเข้าใจเป็นพื้นฐานคือ

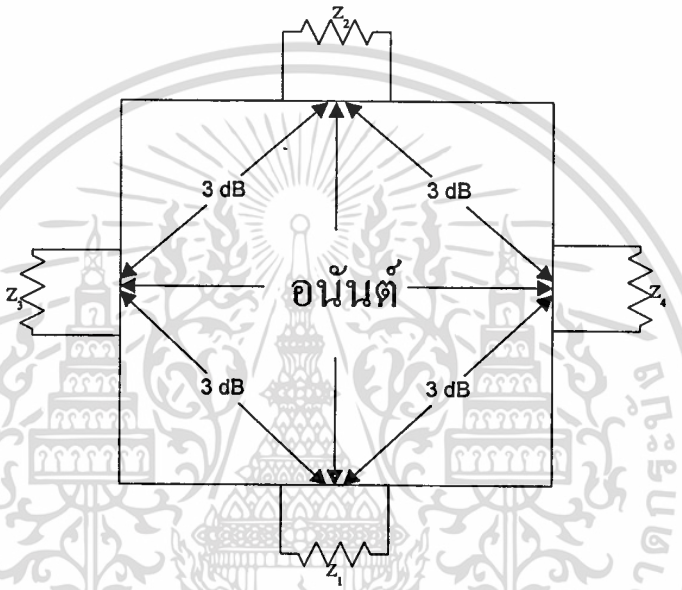
1) เมื่อกระแสที่ไหลผ่านขดลวด A-C และ B-E มีขนาดเท่ากันแต่มีทิศทางตรงข้ามกัน ฟลั๊กซ์แม่เหล็กผลลัพธ์จะเป็นศูนย์ ในกรณีเช่นนี้ขดลวดดังกล่าวทั้งสองจะไม่มีอิมพีแดนซ์อย่างใด นอกจากค่าความต้านทานต่ำ ๆ ของขดลวดที่แสดงต่อการไหลของกระแสไฟสลับเท่านั้น

2) เมื่อกระแสไฟไหลใน Z_2 เนื่องด้วยแรงเคลื่อนที่เหนี่ยวนำขึ้นในขดลวด D-C จากขดลวด A-C (หรือ D-E) เท่านั้น แล้วอิมพีแดนซ์ซึ่ง Z_2 สะท้อนกลับไปยังขด A-C (หรือ D-E) จะมีค่า 300 โอห์ม เพราะการลดจำนวนรอบขดลวดลงครึ่งหนึ่งอิมพีแดนซ์สะท้อนกลับจะลดลงถึงหนึ่งในสี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.1 การสูญเสียกำลังงานในไฮบริด

การส่งสัญญาณในช่องทางของไฮบริด จะมีการสูญเสียกำลังงานอย่างน้อยที่สุด = 3 dB ในรูปที่ 2.27 แสดงให้เห็นการสูญเสียกำลังงานในเส้นทางรับส่งต่าง ๆ ในไฮบริด ตามในรูปเราใช้รูปสี่เหลี่ยมแทนขดลวดไฮบริดพร้อมด้วยตัวเลขแสดงการสูญเสียกำลังงานในเส้นทางต่าง ๆ ภายใต้ภาวะสมดุลย์โดยสมบูรณ์ระหว่างอิมพีแดนซ์ที่อยู่ประชิดกันคู่หนึ่ง ๆ การสูญเสียกำลังงานตามทฤษฎีในเส้นทางรับส่งมีค่า 3 dB ส่วนระหว่างอิมพีแดนซ์ที่อยู่ตรงข้ามกัน การสูญเสียกำลังงานมีค่าอนันต์ (Infinity)



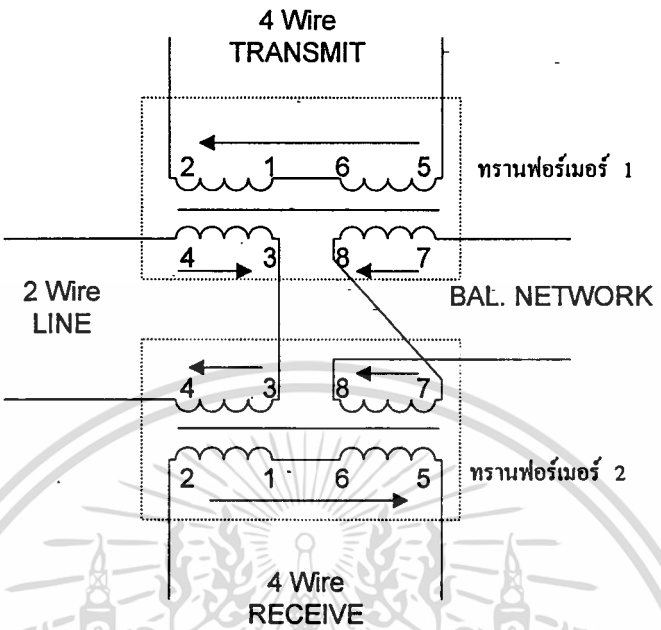
รูปที่ 2.27 การสูญเสียกำลังงานในเส้นทางรับส่งของไฮบริด

4 Wire Terminating Set

4 Wire Terminating Set แท้จริงก็คือไฮบริด ซึ่งออกแบบให้ใช้สำหรับการต่อวงจร 2 Wire ของเครื่องโทรศัพท์เข้ากับวงจร 4 Wire ของระบบเครื่องมัลติเพล็กซ์ (Multiplex Equipment) และทำงานในย่านความถี่ของเสียงคำพูด (300 - 3400 เฮิร์ท) โดยปกติกำหนดให้ช่องทางทั้งสี่ของไฮบริด ทำงานด้วยอิมพีแดนซ์ 600 โอห์ม

4 Wire Terminating Set สร้างขึ้นจากทรานสฟอร์เมอร์ 2 ตัว และจัดวงจรตามที่แสดงให้เห็นในรูปที่ 2.28 จะสังเกตได้ว่ามีการเรียกชื่อใหม่ของช่องทางทั้งสี่ของมันตามความเหมาะสมกับการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 การจัดวงจรภายในของ 4-Wire Terminating Set

2.6.2 คุณสมบัติของ 4 Wire Terminating Set

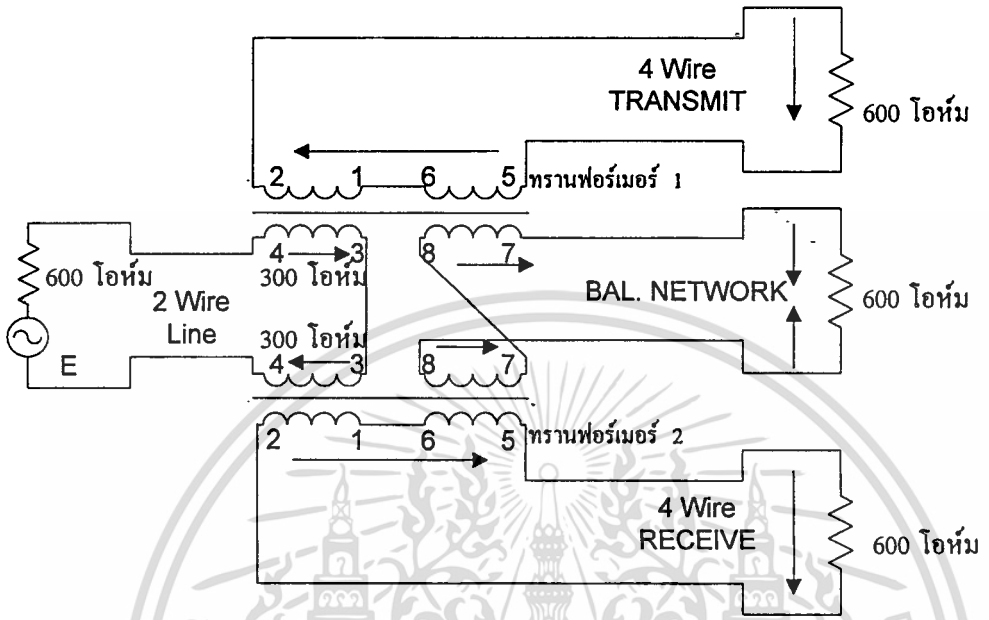
1) การสูญเสียระหว่าง 2 Wire Line และ 4 Wire Transmit:3-4 dB
2) การสูญเสียระหว่าง 4 Wire Receive และ 2 wire Line:3-4 dB
3) การสูญเสียระหว่าง 4 Wire Receive และ 4 wire Transmit: มากกว่า 40 dB
4) อิมพีแดนซ์ในช่วงทางต่าง ๆ โดยปกติมีค่า 600 โอห์ม

การทำงานด้านรับ-ส่งของ 4 Wire Terminating Set

1. การส่งสัญญาณจาก 2 Wire Line ไปยัง 4 Wire Transmit

ในรูปที่ 2.29 เมื่อป้อนสัญญาณอินพุท เข้าที่ 2 Wire Line จะมีกระแสไหลผ่านขดลวด 4-3 ของทรานสฟอร์เมอร์ 1 และ 2 ทิศทางของกระแส ตามที่แสดงในรูปนั้น สมมติว่าเกิดขึ้น ณ ชั่วขณะหนึ่ง การไหลของกระแส นี้จะทำให้เกิดแรงเคลื่อนเหนี่ยวนำในขดลวดทุติยภูมิ (Secondary Windings) ต่าง ๆ ในลักษณะที่ทำให้ทิศทางไหลของกระแสเหนี่ยวนำเป็นไปตามหลักของทรานสฟอร์เมอร์ ดังแสดงในรูป ซึ่งจะเห็นว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.29 การส่งสัญญาณจาก 2 Wire Line ไปยัง 4 Wire Transmit

1.1) กำลังงานสัญญาณจาก 2 Wire Line จะแบ่งไปให้ Load 600 โอห์มในช่องทาง 4 Wire Transmit และ 4 Wire Receive ไม่มีส่วนใดป้อนไปให้ช่องทาง Balancing Network.

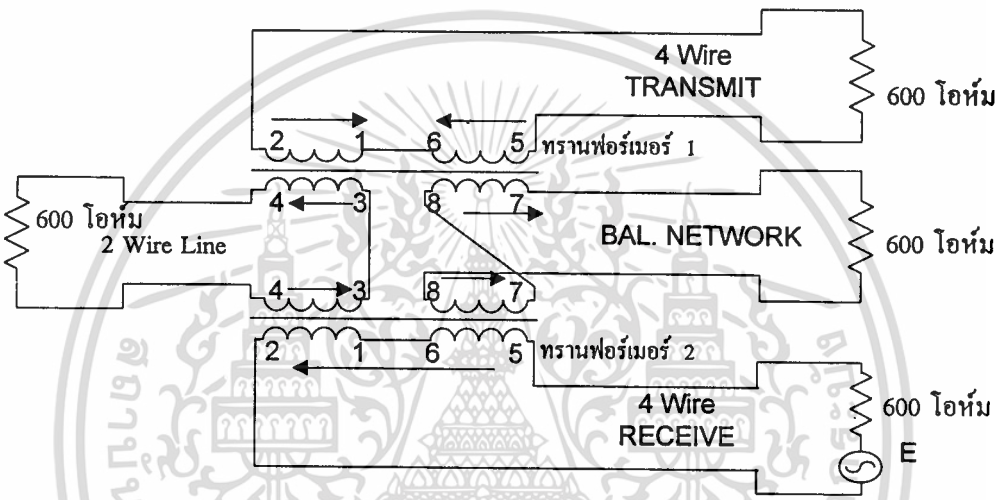
1.2) การออกแบบอัตราส่วนรอบของทรานสฟอร์เมอร์อันเหมาะสม ทำให้ 600 โอห์มใน 4 Wire Transmit สะท้อนกลับไปเป็น 300 โอห์ม คร่อมขดลวด 4-3 ของทรานสฟอร์เมอร์ 1 600 โอห์มใน 4 Wire .Receive สะท้อนกลับไปเป็น 300 โอห์ม คร่อมขดลวด 4-3 ของทรานสฟอร์เมอร์ 2 ดังนั้นอิมพีแดนซ์ 600 โอห์ม จากแหล่งกำเนิดของ 2 Wire Line จะเหมาะสมกับอิมพีแดนซ์ 300 โอห์ม 2 ตัวต่ออนุกรมกัน

1.3) จากผลในข้อ 2 ทำให้การส่งสัญญาณจาก 2 Wire Transmit ไปยัง 4 Wire Transmit มีการสูญเสียตามทฤษฎี 3 dB แต่เมื่อคำนึงถึงการสูญเสียภายในตัวทรานสฟอร์เมอร์ด้วยแล้ว การสูญเสียระหว่าง 2 Wire Transmit จะมีค่าในทางใช้การประมาณ 3.5 ถึง 4.0 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การส่งสัญญาณจาก 4 Wire Receive ไปยัง 2 Wire line

ในรูปที่ 2.30 เมื่อป้อนแรงดันอินพุเข้าที่ 4Wire Receive จะมีกระแสไฟไหลผ่านขดลวดปฐมภูมิ 2-1 และ 6-5 และเหนี่ยวนำให้เกิดกระแสไฟไหลในขดลวดทุติยภูมิต่าง ๆ ตามที่แสดงในรูป โดยหลักการอย่างเดียวกันกับที่กล่าวมาแล้วในข้อ 1 พึงเห็นได้ว่า



รูปที่ 2.30 การส่งสัญญาณจาก 4 Wire Receive ไปยัง 2Wire line.

2.1) กำลังงานสัญญาณจาก 4 Wire Receive จะแบ่งส่วนเท่ากันไปยัง 2 Wire Line และ Balancing network นั่นคือการส่งกำลังจาก 4 Wire Receive ไปยัง 2 Wire line มีการสูญเสียโดยทางทฤษฎี 3 dB

2.2) กระแสไฟเหนี่ยวนำในขดลวด 2-1 และ 6-5 ของทรานสฟอร์เมอร์ 1 มีทิศทางตรงข้ามกัน และเมื่ออิมพีแดนซ์ทาง 2 Wire Line มีค่าสมดุลย์กับอิมพีแดนซ์ทาง Balancing network ย่อมจะไม่มีกำลังงานใด ๆจาก 4 Wire Receive ป้อนให้ 4 Wire Transmit นั่นคือการสูญเสียระหว่าง 4 Wire Receive และ 4 Wire Transmit จึงมักเรียกว่า 'Transhybrid Loss' มีค่าอนันต์ทางทฤษฎี หรือมากกว่า 40 dB ในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3) อิมพีแดนซ์ 600 โอห์ม 2 ตัวที่สะท้อนกลับจากอิมพีแดนซ์ 600 โอห์มใน 2 Wire line และ 600 โอห์มใน Balancing network

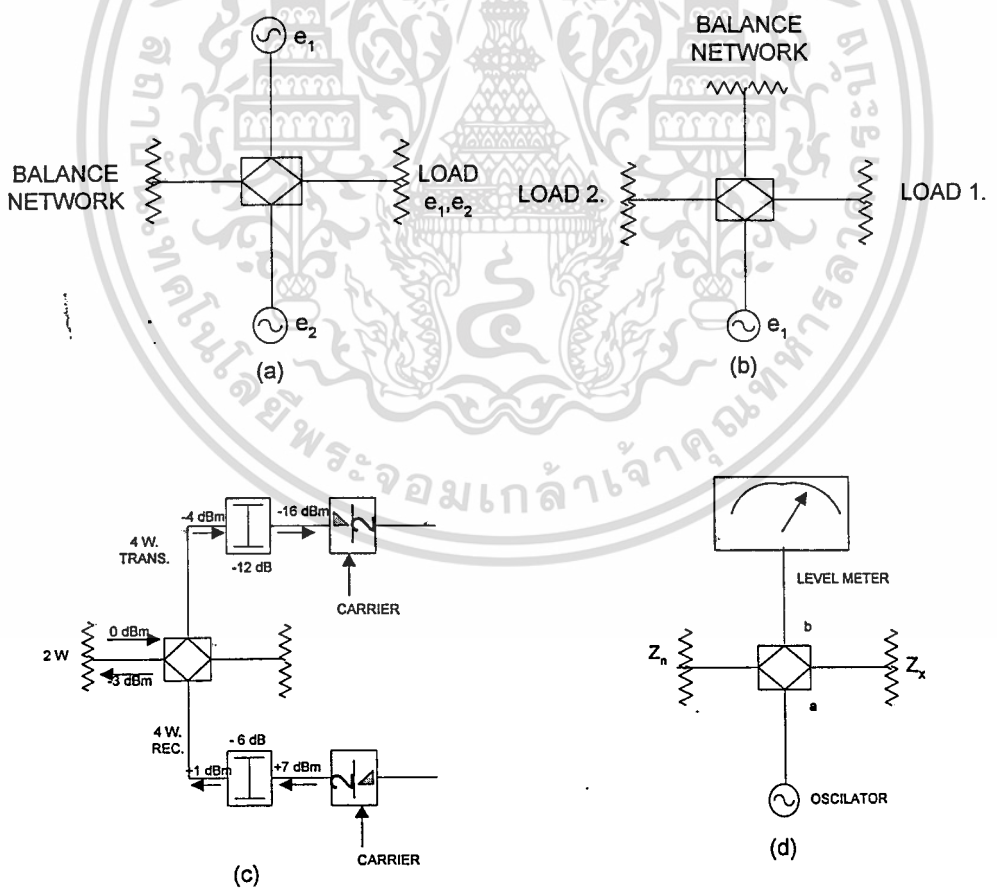
ไฮบริด นั้นสามารถนำไปใช้งานได้หลายอย่าง ดังนี้

1) ใช้รวมสัญญาณจากแหล่งกำเนิด 2 อัน จ่ายให้ Load อันเดียวกัน โดยแหล่งกำเนิดทั้งสองไม่ส่งผลกระทบกระเทือนต่อกัน ดังแสดงในรูปที่ 2.31 (a)

2) ใช้แยกสัญญาณจากแหล่งกำเนิดอันหนึ่งป้อนให้ Load ได้ 2 อัน โดย Load ทั้งสองไม่ส่งผลกระทบกระเทือนต่อกัน ดังแสดงในรูปที่ 2.31 (b)

3) ใช้แยกสัญญาณทางด้านรับและด้านส่งออกจากกัน ดังเช่นกรณีของการใช้ 4 wire Terminating Set ในอุปกรณ์โทรศัพท์ทางไกล ดูรูปที่ 2.31 (c)

4) ใช้เป็นส่วนประกอบในการวัด Return Loss เพื่อเปรียบเทียบความแตกต่างระหว่างอิมพีแดนซ์ 2 อัน ดังแสดงในรูปที่ 2.31 (d)



รูปที่ 2.31 การใช้ประโยชน์ของไฮบริดในลักษณะต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z_N = เป็นอิมพีแดนซ์มาตรฐาน

Z_X = เป็นอิมพีแดนซ์ที่ต้องการเปรียบเทียบ

- ถ้า $Z_X = Z_N$ ค่า Transhybrid Loss ตามทฤษฎีระหว่างช่องทาง A และ B ของไฮบริดจะมีค่าอนันต์

- ถ้า Z_X = ไม่เท่ากับ Z_N Transhybrid Loss จะมีค่าเป็น 20 Log.

$$20 \text{ Log } [(Z_N + Z_X)/(Z_N - Z_X)] + 6$$

- 20 Log$[(Z_N + Z_X)/(Z_N - Z_X)]$ คือค่าของ Return Loss ดังที่ได้กล่าวมาแล้วในเรื่อง Transmission Line นั่นคือ

Return Loss = Transhybrid Loss - 6 (dB)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
โครงสร้างของระบบ

ในระบบของวงจรการป้องกันการดักฟังแบบสลับความถี่ โดยใช้ Rolling Code นี้จะประกอบด้วย

1. Key Telephone.
2. Interface telephone.
3. Tone detection.
4. Rolling code.
5. scrambler.

Key Telephone

เป็นตัวผลิตสัญญาณ Tone generator จากคีย์ของเครื่องโทรศัพท์ซึ่งผู้ใช้จะเป็นคนกดคีย์ ซึ่งหมายถึงหมายเลขโทรศัพท์กับ Code ของ Rolling code ที่เขียนเอาไว้ในโปรแกรมโดยการใช้คีย์นี้จะร่วมกัน

Interface telephone

ในการออกแบบจึงต้องสร้างวงจรโทรศัพท์ขึ้นมาโดยควบคุมให้การรับและการส่งสามารถทำงานได้ 2 ทิศทาง (Full -Duplex operation) โดยมีอุปกรณ์ Hybrid ทำให้สามารถติดต่อในลักษณะดังกล่าวได้ ซึ่งกำหนดให้ IC FX224J จำนวน 2 ตัว ให้ทำงานในลักษณะ Tx และ Rx

Tone detection

จะเป็นการแปลงสัญญาณความถี่ จากการกดปุ่มตัวเลขของโทรศัพท์ชนิดกดปุ่ม (ชนิด Tone หรือ DTMF) ให้เป็นระบบตัวเลขทางดิจิตอล ซึ่ง IC เบอร์ MT 8870 ใช้แปลงความถี่โทรศัพท์ให้เป็นเลขฐานสองขนาด 4 บิท

Rolling code

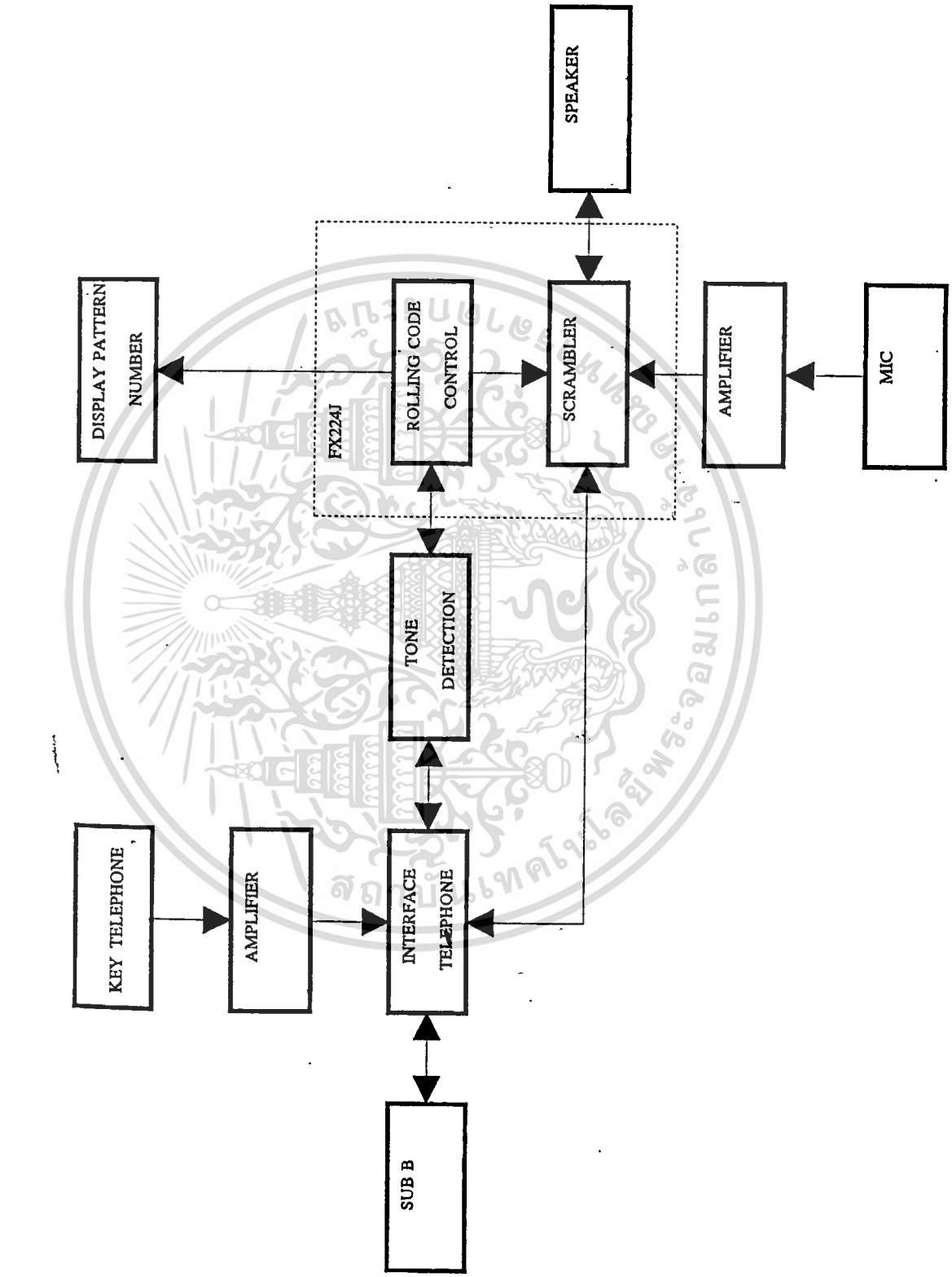
เป็นการใช้ข้อมูลความถี่ Carrier ที่อยู่ใน Rom ของ IC FX224J มา Rolling Code แล้ว นำมาทำการ Modulated กับสัญญาณเสียงที่พูดออกไป

Scrambler

โดยใช้ IC FX 224J โดยอาศัยหลักการ Balance modulation สร้างสัญญาณซิงเกิลไซด์แบนด์กำจัดความถี่พาหะไม่ให้ส่งออกไปหรือ SSSC (Single sideband-suppress carrier)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 การทำงาน Block Diagram

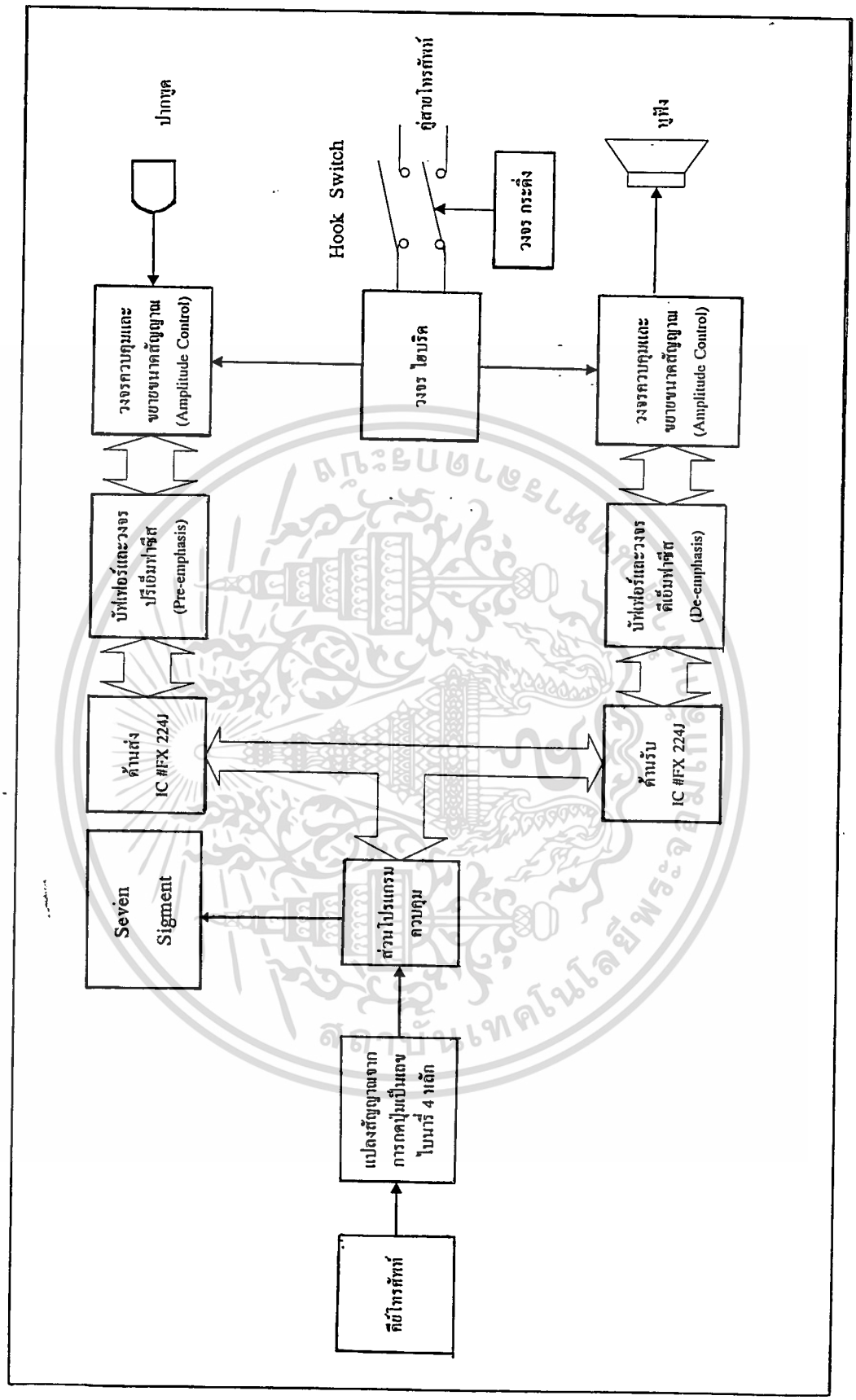


รูปที่ 3.1 การทำงานของ Block Diagram

3.2 การออกแบบวงจรและการควบคุมการทำงาน

การออกแบบวงจรให้มีการทำงานในลักษณะ Full duplex สิ่งที่ต้องคำนึงถึงคือ การที่จะบังคับส่วนของ Function การทำงาน IC #FX 224J ที่นำมาใช้ในโครงงานนี้ โดยจะทดสอบ Function ที่ ขา 18 ซึ่งเป็นส่วนที่จะให้ IC #FX 224J ทำงานในลักษณะ TX และ RX โดยจะต้องตรวจสอบผลของสัญญาณทั้งสองสภาวะดังกล่าว ในขั้นตอนต่อไป เป็นการออกแบบส่วนของโปรแกรมควบคุมซึ่งจะต้องควบคุมการทำงานให้สอดคล้องทั้งในลักษณะ TX และ RX ซึ่งจะต้องมีการตรวจสอบสภาวะการยกหู การกดเลขหมาย การกด Code ให้มีการทำงานเพื่อการ Synchonization ทั้งผู้เช่า A และ ผู้เช่า B ซึ่งผู้เช่า A และผู้เช่า B สามารถที่ควบคุมการ Rolling Code ของวงจรได้ ในส่วนนี้จะใช้การควบคุม Function การทำงานที่ ขา 3-7 นอกจากนั้นเมื่อนำมาประยุกต์ใช้งานในลักษณะ Full duplex จำเป็นที่จะต้องคำนึงถึงการปรับแต่งวงจรเพื่อลดการรบกวนที่เกิดขึ้นจากวงจรหรือจากความถี่ ที่ IC #FX 224J ซึ่งจะผลิตสัญญาณความถี่อยู่ตลอดเวลา จึงจำเป็นต้องนำเอาอุปกรณ์ที่ใช้กับวงจรผู้เช่า (Line Interface Subscriber) ในชุมสายโทรศัพท์ขององค์การโทรศัพท์ฯ (ทศท.) นำมาประยุกต์ใช้โดยต้องควบคุมให้มีการสมดุลย์ของสัญญาณรบกวนในขณะใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



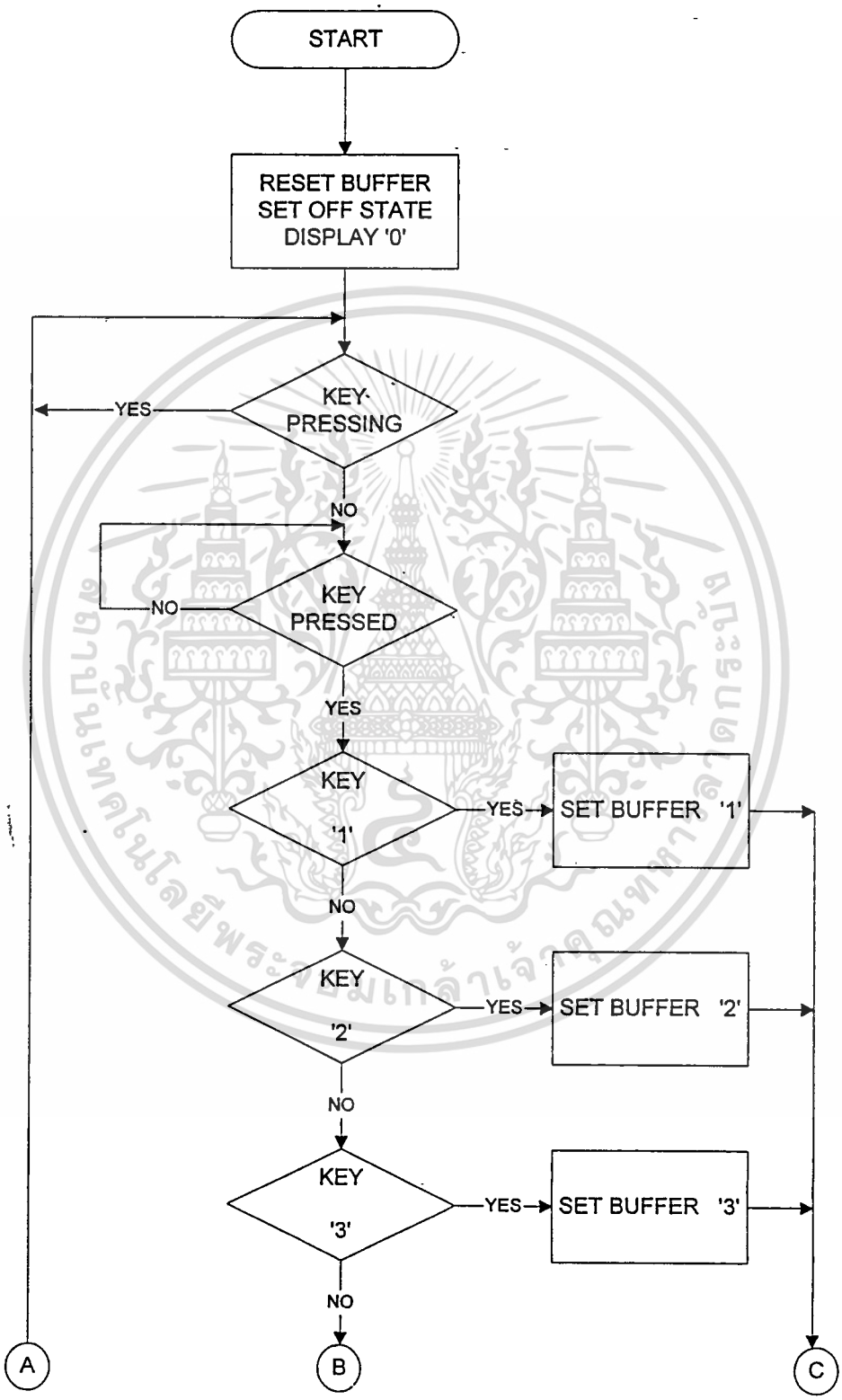
รูปที่ 3.2 บล็อกไดอะแกรมแสดงการทำงานของวงจรป้องกันการดักฟังโทรศัพท์

การทำงานของวงจรตาม บล็อกไดอะแกรมของวงจรการป้องกันการดักฟังทางโทรศัพท์ ในสภาวะที่ยังไม่มีการป้องกันการดักฟังทางโทรศัพท์สัญญาณจากคู่สายโทรศัพท์ เมื่อมีการเรียกออกวงจรควบคุมและขยายขนาดสัญญาณ (Amplitude Control) ทั้งทางด้านรับและด้านส่งจะทำการควบคุมให้สัญญาณมีความเหมาะสมโดยเฉพาะทางด้านรับจะควบคุมความถี่ให้อยู่ในช่วงของความถี่ที่สามารถส่งผ่านคู่สายโทรศัพท์ได้ประมาณ 300-3400 เฮิร์ท ซึ่งจะเหมาะสมกับสัญญาณที่เข้าสู่ IC #FX 224J ซึ่งโครงสร้างภายในของ IC #FX 224J ประกอบด้วยตัวกรองความถี่ (Filter) ในย่านความถี่เดียวกัน โดยวงจรทางด้านส่งมีวงจรปรีเอ็มฟาซิส (Pre emphasis) ยกระดับสัญญาณช่วงความถี่สูงขึ้น เพื่อป้อนเข้าสู่ IC #FX 224J ส่วนทางด้านรับจะมีการดีเอ็มฟาซิส (De emphasis) เพื่อยกระดับสัญญาณให้เหมาะสมเหมือนกับสัญญาณตอนส่ง

เมื่อต้องการที่จะป้องกันการป้องกันการดักฟังทางโทรศัพท์ ส่วนสำคัญในการป้องกันการดักฟังทางโทรศัพท์คือโปรแกรมที่จะควบคุม IC #FX 224J กล่าวคือ เมื่อต้องป้องกันการดักฟังโทรศัพท์ ผู้เช่าฝ่ายหนึ่งฝ่ายใดจะต้องกด Code (1,2,3,4,5) ซึ่งจะกดได้จากคีย์โทรศัพท์ แล้วตามด้วย " * " (โดยการกด Code ของผู้เช่านั้นจะต้องสอดคล้องกันทั้งผู้เช่า A และ ผู้เช่า B) โปรแกรมก็จะส่งสัญญาณไปที่ขา 9 ของ IC #FX 224J เพื่อสั่งให้ IC #FX 224J ทำการ SCRAMBLER และ Rolling Code ทางภาคส่ง และ DESCRAMBLER ทางภาครับ (การ Rolling Code จะต้องสอดคล้องกันทั้งภาครับและภาคส่ง) ถ้าผู้เช่าต้องการหยุดการ SCRAMBLER ก็ทำการกด " * " โปรแกรมก็จะทำการส่งสัญญาณไปที่ขา 9 ของ IC #FX 224J เพื่อหยุดการ SCRAMBLER และ Rolling Code ทางภาคส่ง และหยุดการ DESCRAMBLER ทางภาครับ

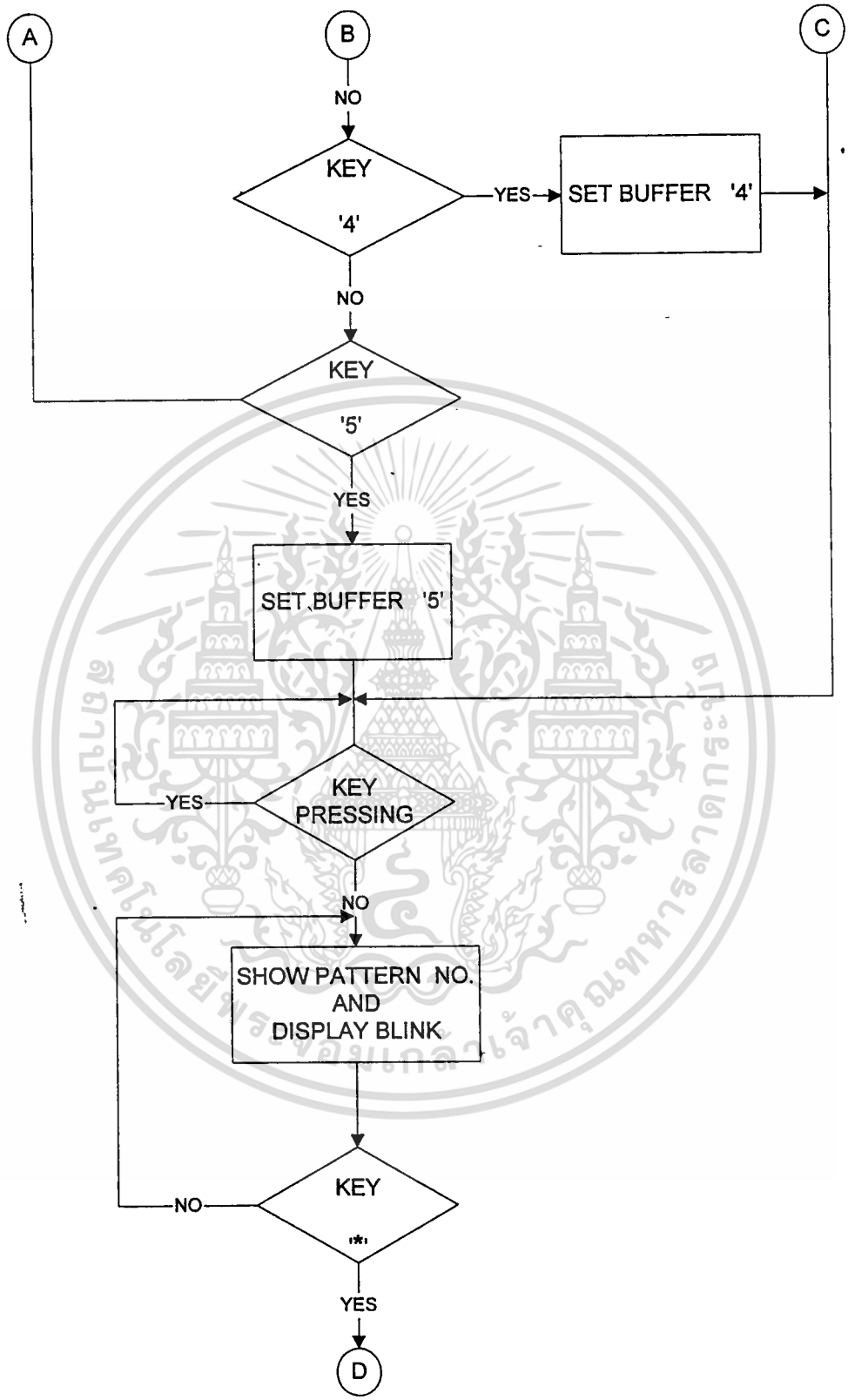
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การทำงานของ Program Flow Chart



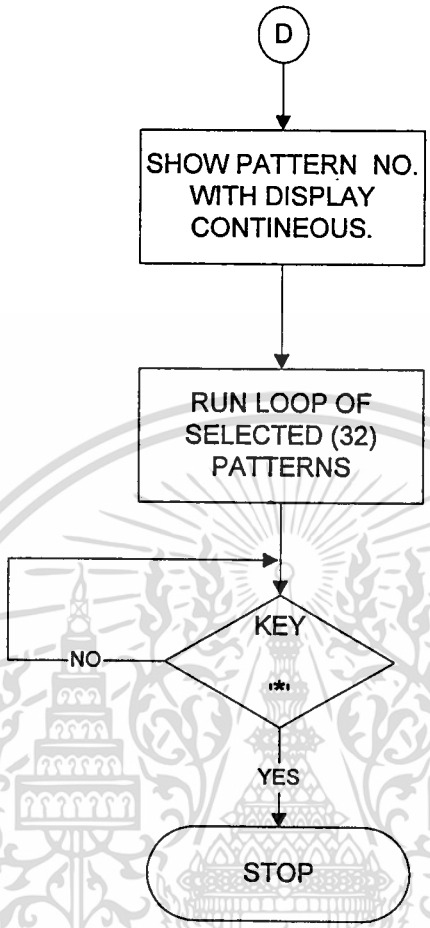
รูปที่ 3.3 Program Flow Chart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Program Flow Chart (ต่อ)

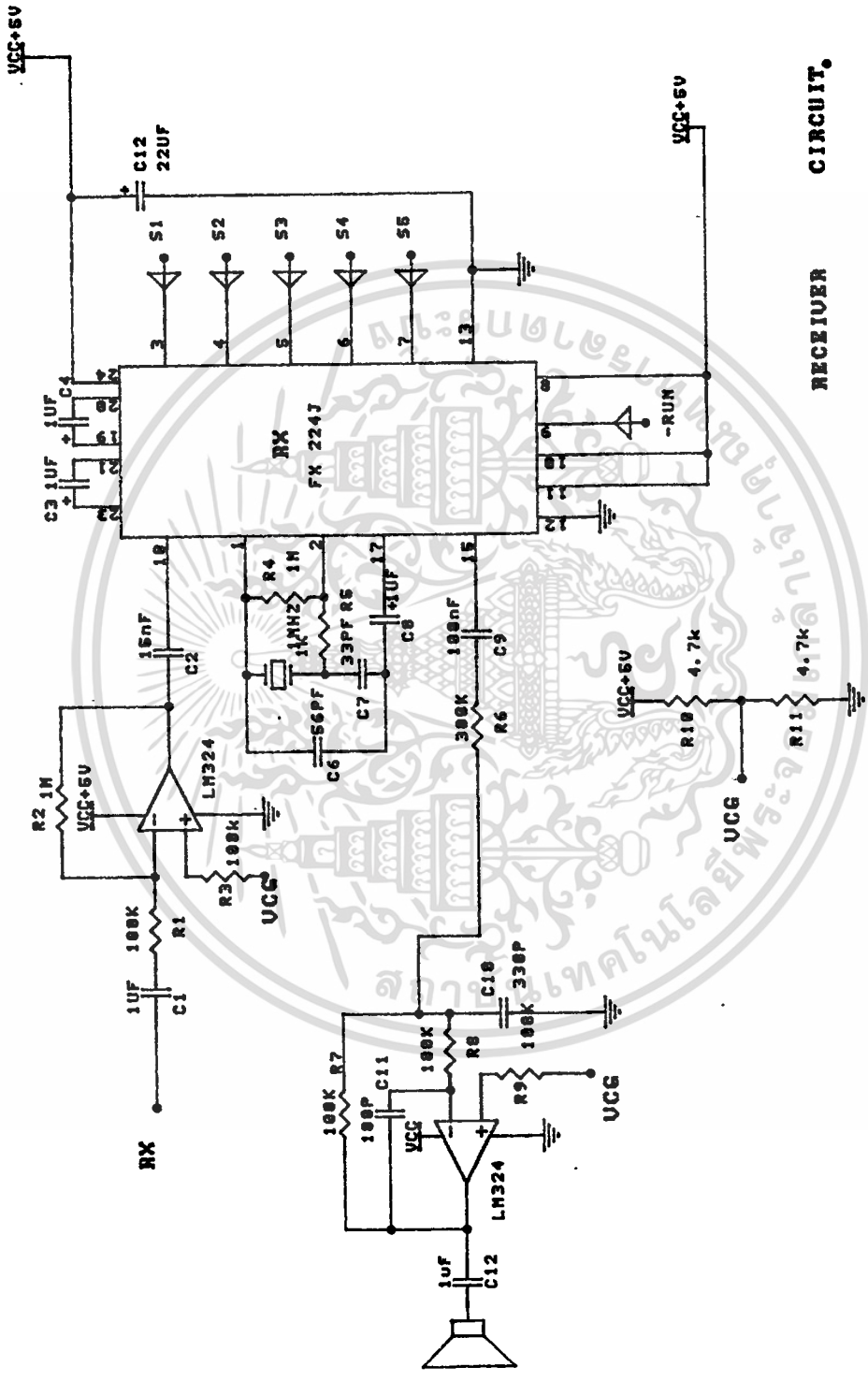
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



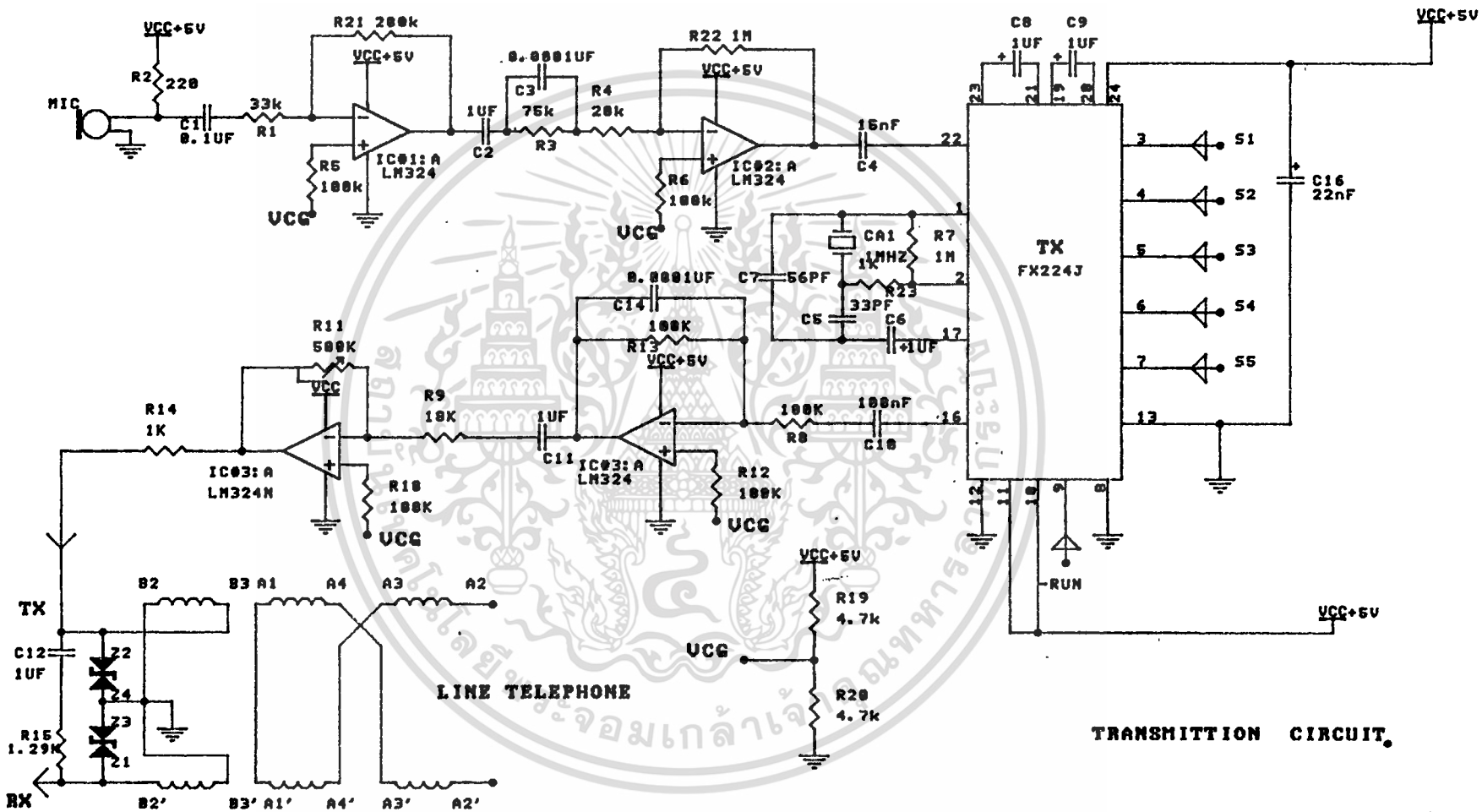
Program Flow Chart (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

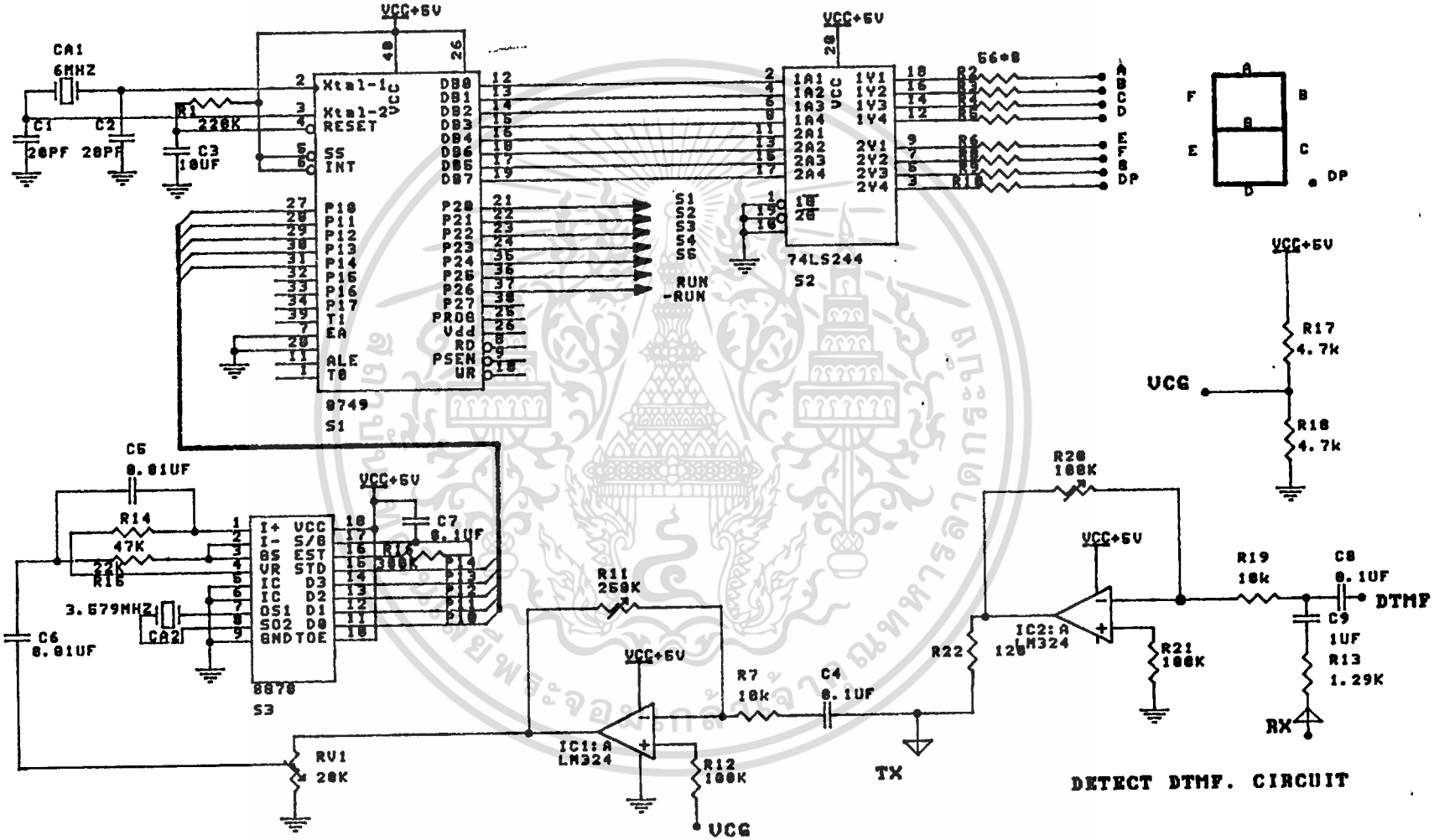
3.4 รายละเอียดของวงจร



รูปที่ 3.4 วงจรด้านภาครับ

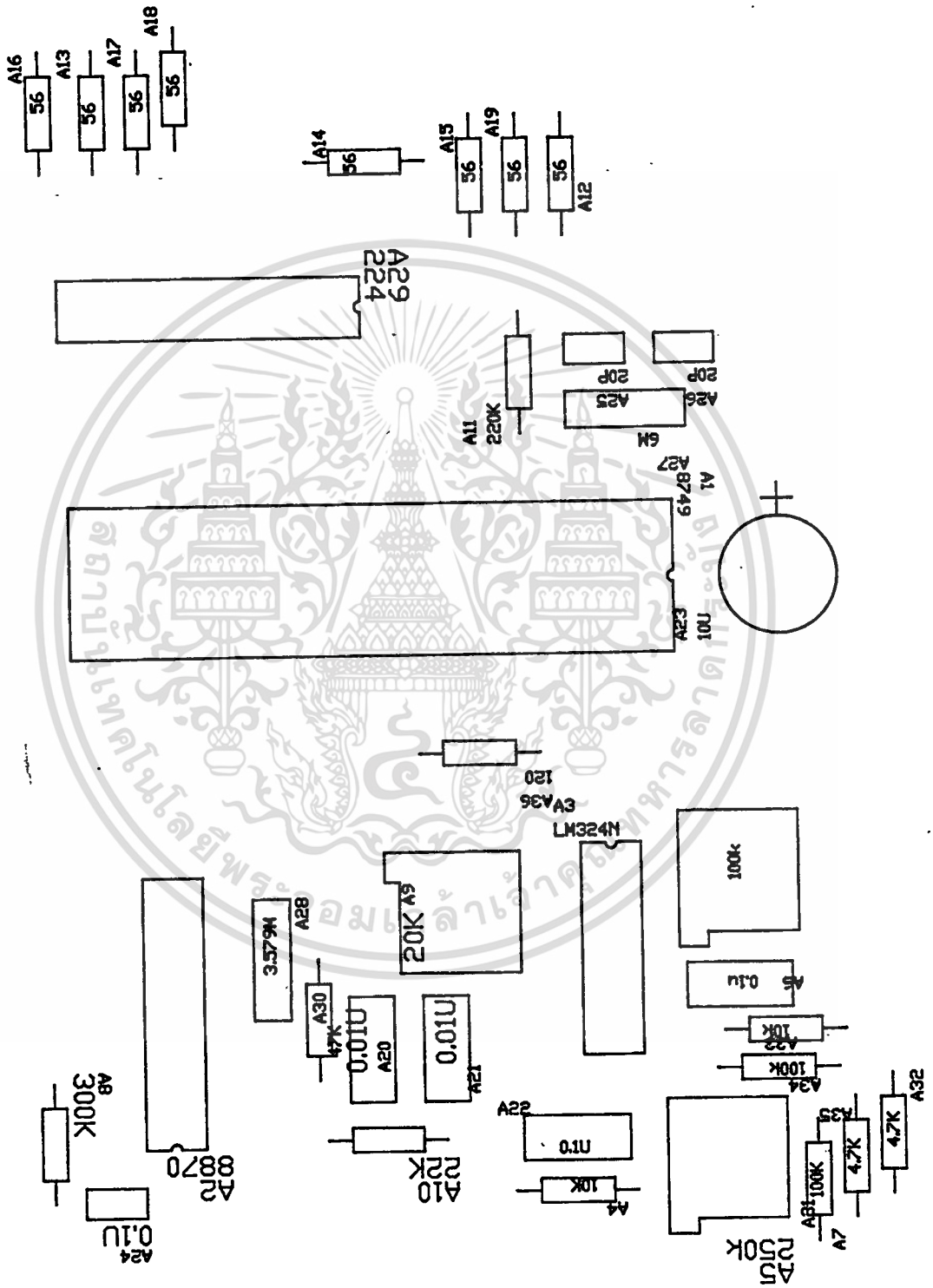


รูปที่ 3.5 วงจรส่งสัญญาณ



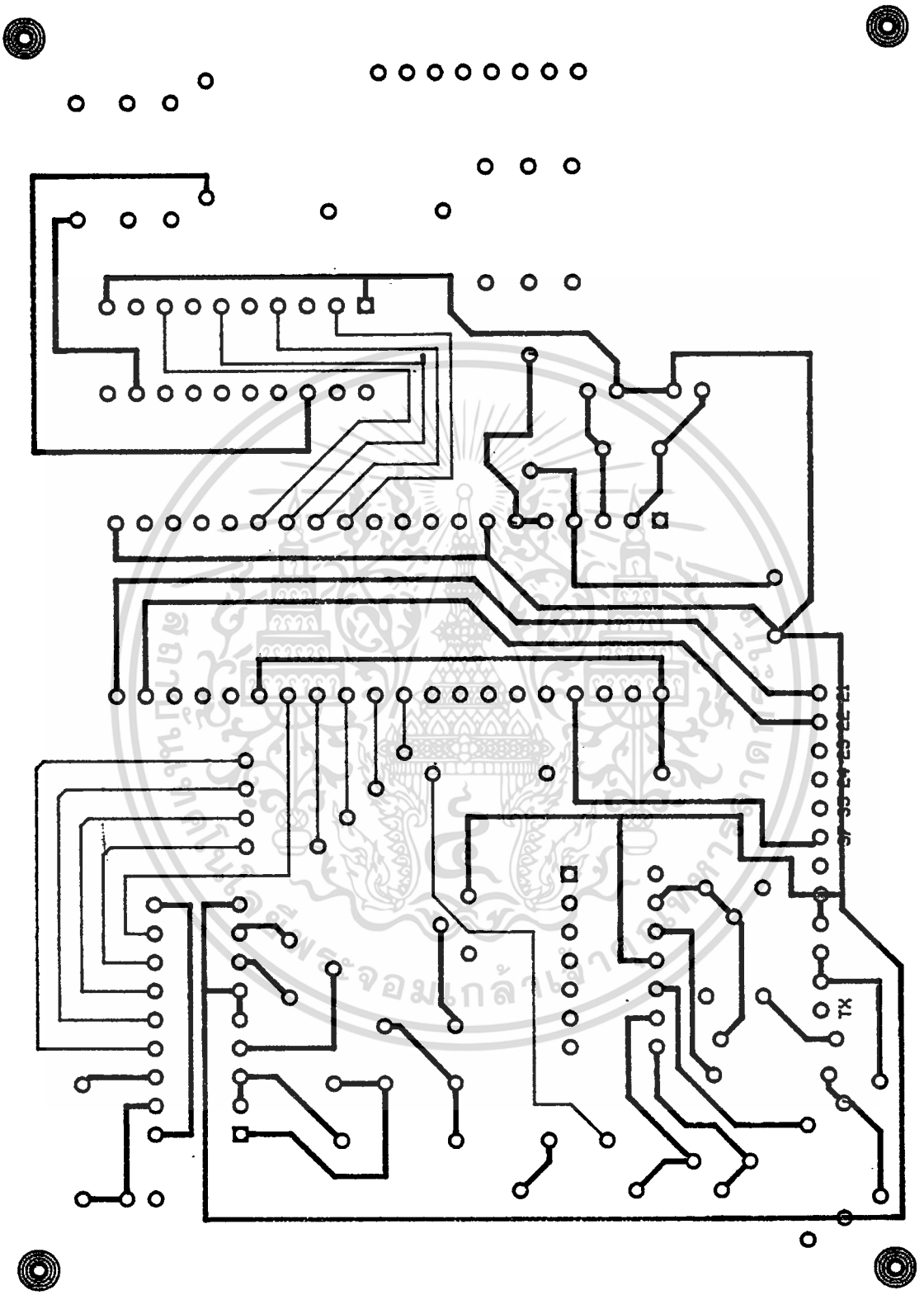
รูปที่ 3.6 วงจรถอดรหัส

3.5 รายละเอียดของแผ่นลายพิมพ์วงจร



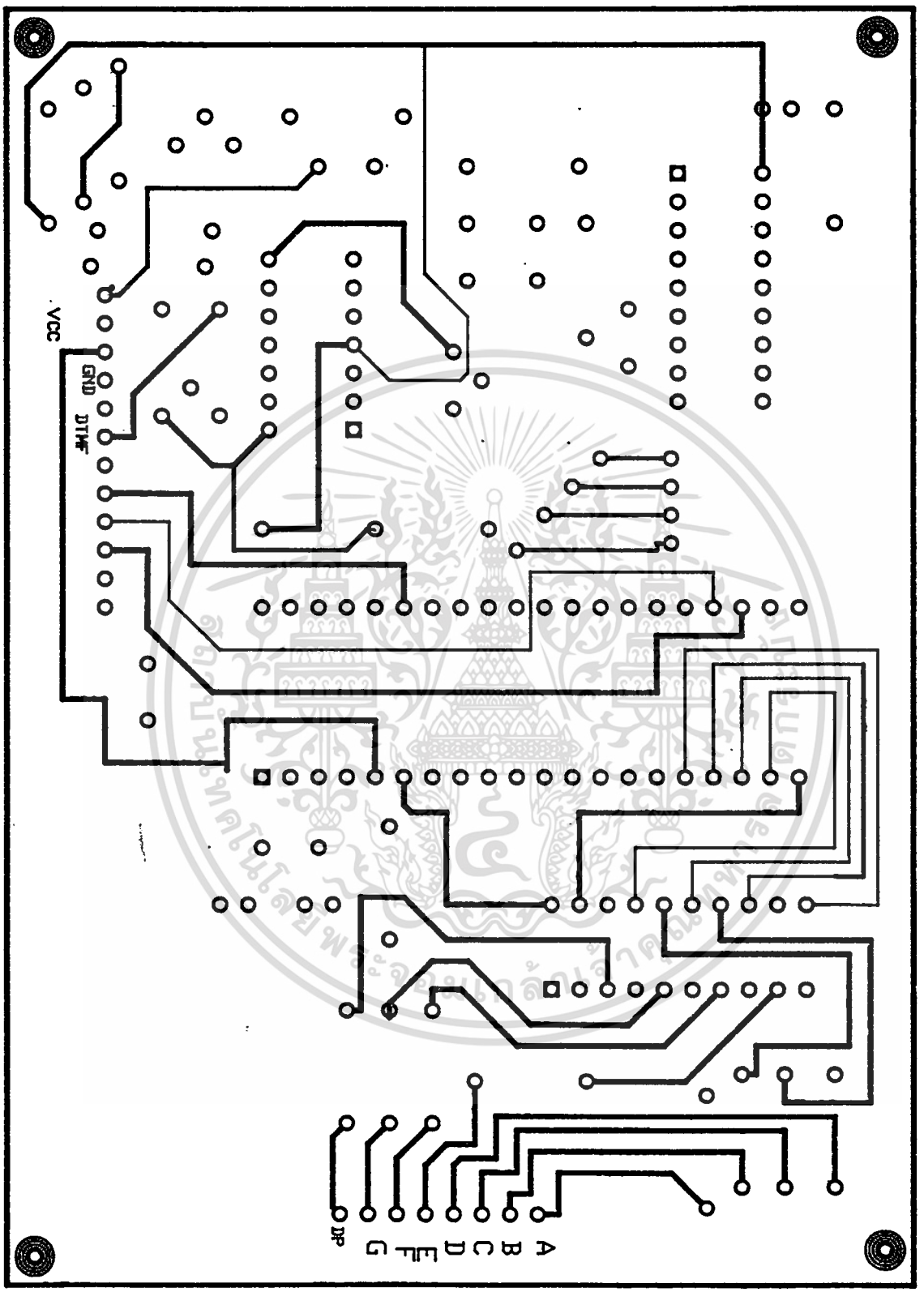
รูปที่ 3.7 ตำแหน่งการวางอุปกรณ์ภาคดีเทค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



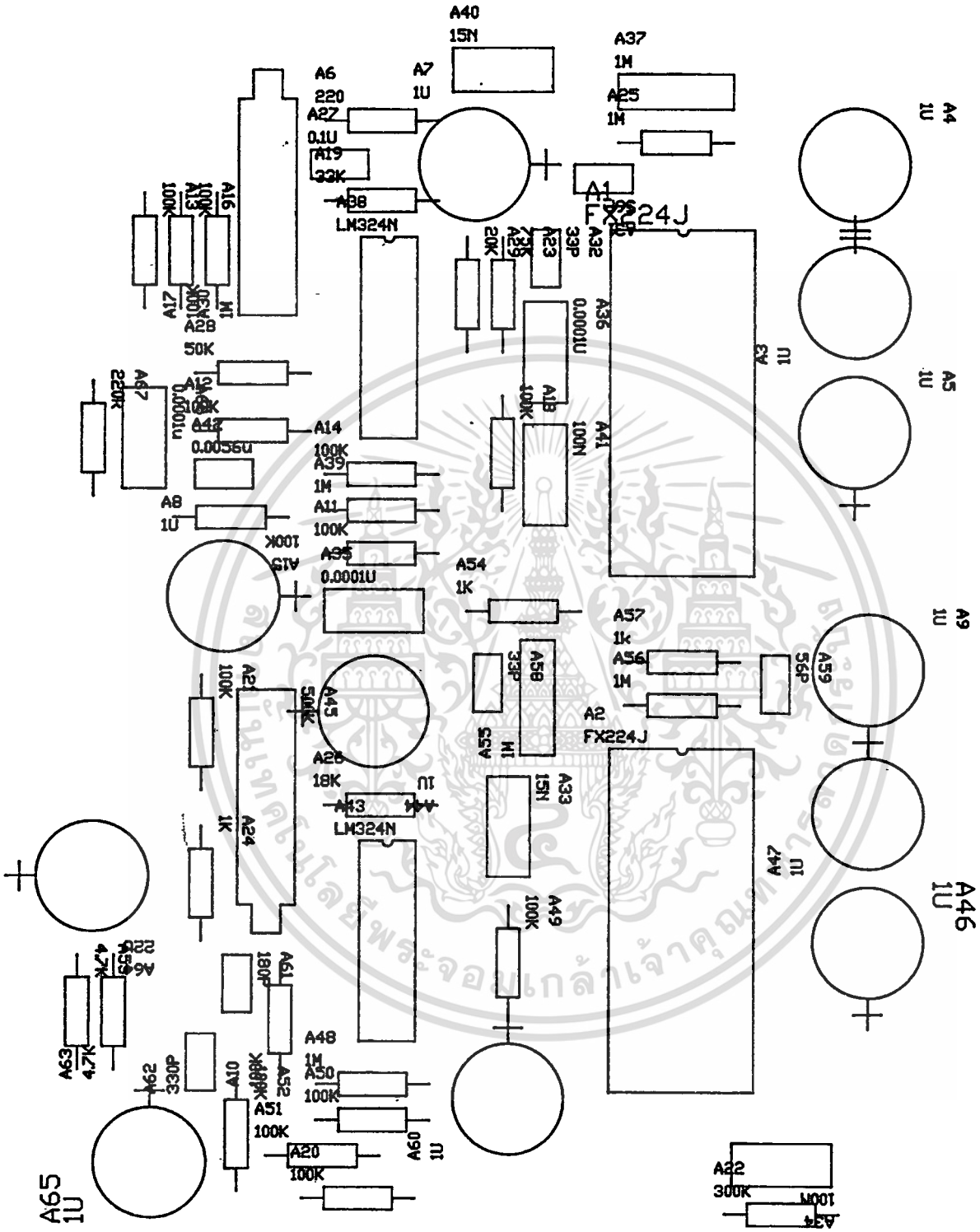
รูปที่ 3.8 ลายพิมพ์วงจรด้านล่างของภาคดีเทค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



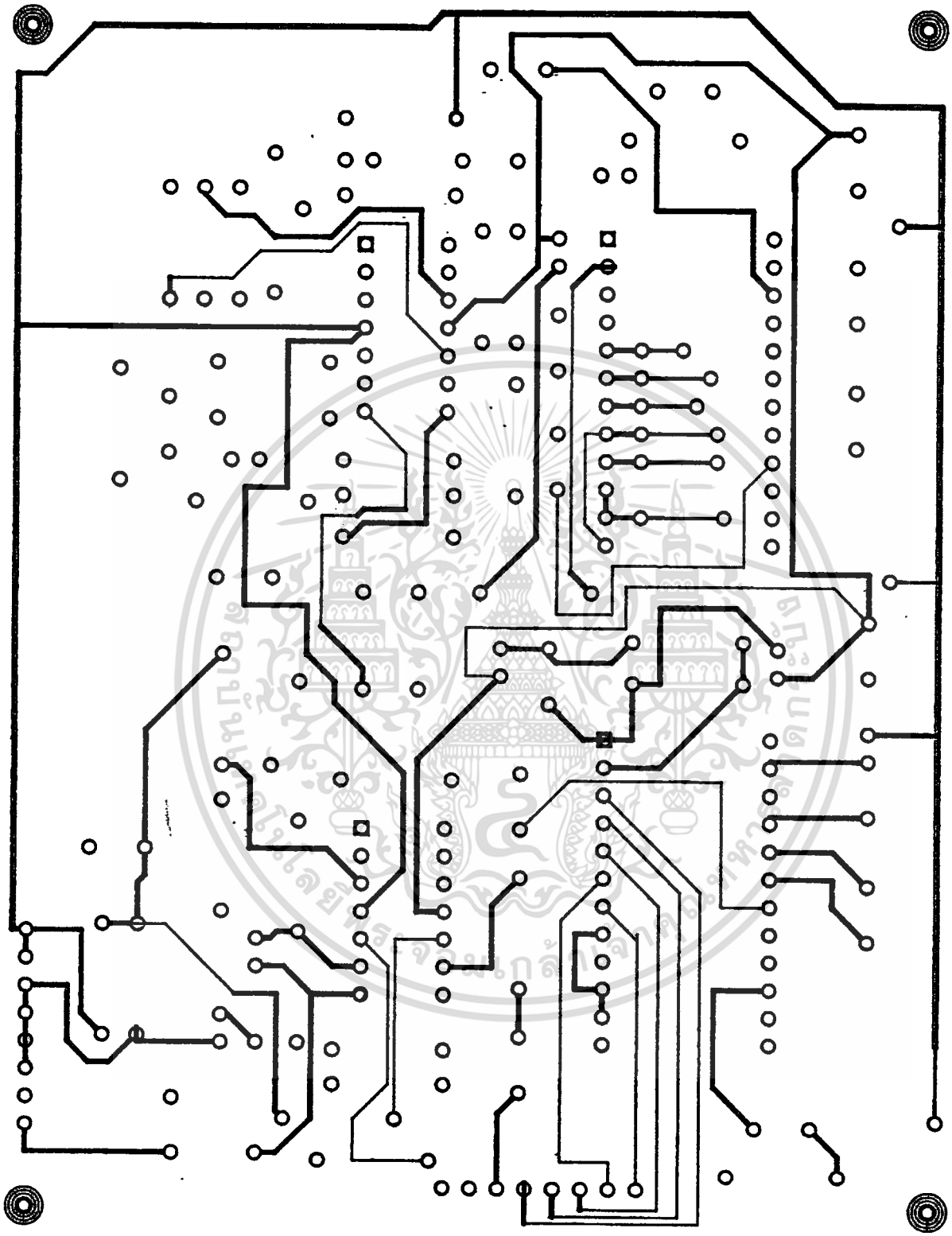
รูปที่ 3.9 ลายพิมพ์วงจรด้านบนของภาคดีเทค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



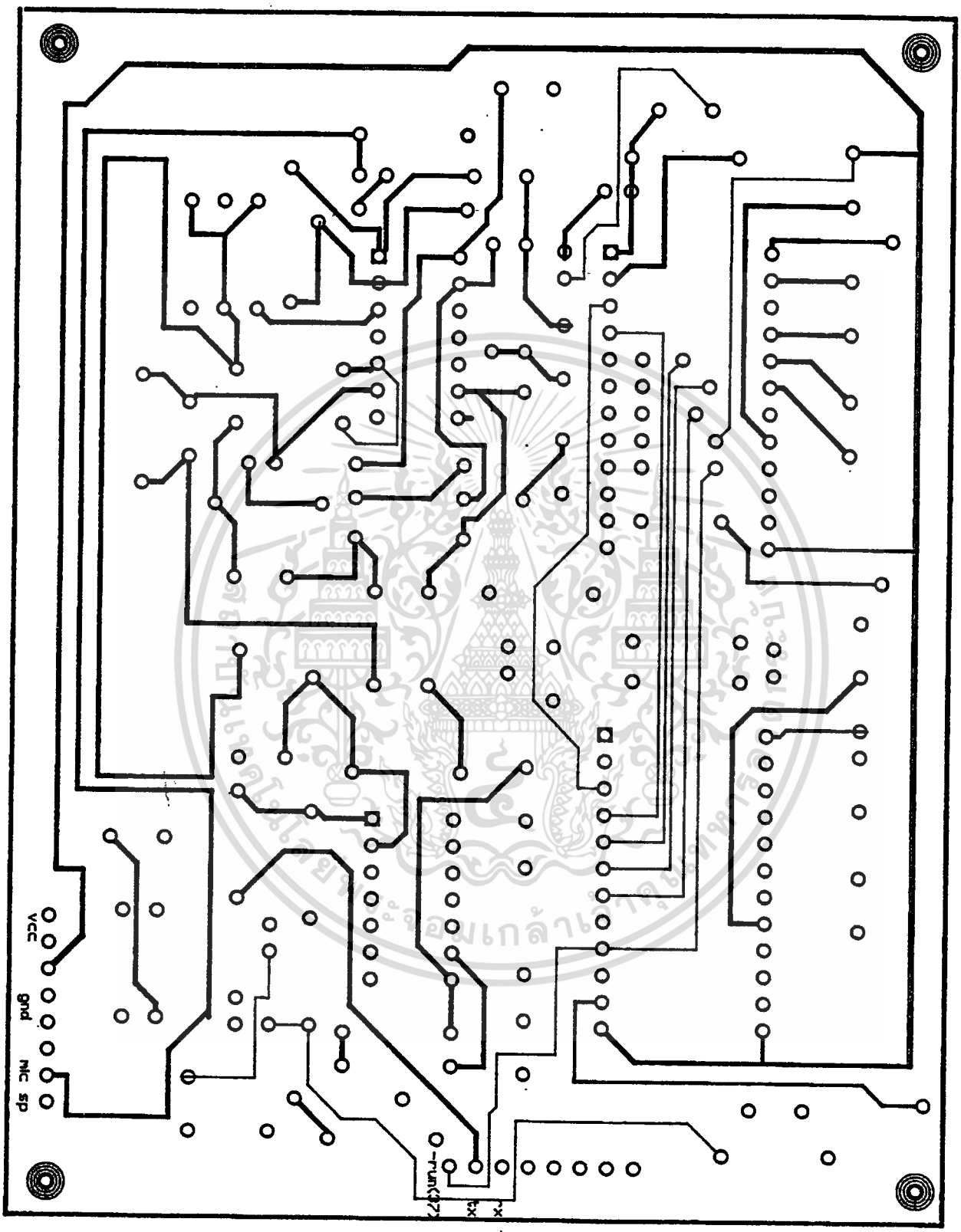
รูปที่ 3.10 ตำแหน่งการวางอุปกรณ์ของภาครับและภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 ลายพิมพ์วงจรด้านล่างของภาครับและภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 ลายพิมพ์วงจรด้านบนของภาครับและภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
บทสรุป

โครงงานที่จัดทำขึ้นนี้สามารถตอบสนองจุดประสงค์และเป้าหมายที่กำหนดได้ผลเป็นที่น่าพอใจ ในส่วนการทำงานของวงจรที่ได้ถูกออกแบบตั้งแต่เริ่มต้นโครงงานจนถึงขั้นตอนสุดท้ายที่ประกอบลงแผ่น PCB ได้มีการปรับปรุงและพัฒนาเพื่อแก้ไขข้อบกพร่องที่เกิดขึ้น อาทิเช่น

1. การกำหนดค่า Gain การขยายของวงจร ในแต่ละขั้นตอนซึ่งจะต้องใช้วิธีปรับแต่งในแต่ละภาคเพื่อลดการ Saturate ที่ทำให้เกิดการคลิปของสัญญาณจนทำให้สัญญาณเพี้ยน (Distrotion)

2. การแก้ปัญหาในเรื่องของสัญญาณรบกวนที่เกิดขึ้น ซึ่งเป็นปัญหาที่ยากเพราะเกี่ยวเนื่องทั้งระบบ สาเหตุที่ เกิดขึ้นเป็นไปได้ทั้งค่าอุปกรณ์ เปอร์เซ็นต์ความผิดพลาด และประเภทหรือชนิดของอุปกรณ์ นอกจากนั้นยังรวมไปถึงขั้นตอนการออกแบบลายวงจร

3. ขั้นตอนการปรับแต่ง (Alignment) ซึ่งเป็นขั้นตอนสุดท้ายที่จะให้ได้สัญญาณที่ต้องการมีความเป็นส่วนที่ต้องการความแน่นอนสูง เพื่อให้สัญญาณที่มีความเพี้ยนน้อยที่สุด และอีกส่วนหนึ่งก็คือ การทำให้เกิดการ Synchronize ของทั้งสองฝ่ายที่เป็นอิสระต่อกันก็มีปัญหาในเรื่องของ Matching Impedance ของสายโทรศัพท์การกำหนดค่าของอุปกรณ์ในส่วนของชุด Interface กับสายโทรศัพท์ก็จะต้องให้พอดีหรือใกล้เคียงกัน (600 โอห์ม)

ปัญหาของโครงงานที่เกิดขึ้น

1. IC FX 224J จะผลิตความถี่ค่าหนึ่งออกมาตลอดเวลาในขณะที่ป้อนแรงไฟเข้าสู่วงจรทำให้เกิดผลต่อการฟัง ซึ่งจะได้ยินเสียงฮัมของสัญญาณ จากการแก้ไขได้ทดลองใช้วงจร Band Pass Filter เข้าช่วยหรือใช้ คาปาซิเตอร์กรองสัญญาณทิ้ง ก็ไม่สามารถลดสภาวะดังกล่าวได้เพราะจะเกิดผลต่อ Gain การขยายวงจร

2. โครงงานนี้ใช้อุปกรณ์ของเครื่องโทรศัพท์ SETELCO COCKPIT 818SLT บางส่วนมาใช้งาน อาทิเช่น สวิทช์แคร่โทรศัพท์ (Cradle Switch), Electronic Ringer, DTMF DIALLER ที่ประกอบด้วยแป้นกดตัวเลข (Key Pad) และแผง Dialler ที่เป็นส่วนของ Tone Generator ชนิด IC 1 ตัว กำเนิดสัญญาณ DTMF เมื่อมีการกดปุ่ม ส่วนปากพูด-หูฟัง จากการนำเอาอุปกรณ์ดังกล่าวมาใช้ประกอบกับโครงงานซึ่งทำให้เกิดปัญหาบางส่วนต่อวงจร เพราะเครื่องรุ่นนี้ต้องมีการปรับปรุงคุณภาพโดย ทศท. ปัญหาที่เกิดคือ

2.1 การลดทอนสัญญาณเนื่องจากการรบกวนจากสัญญาณความถี่วิทยุ ทำให้สัญญาณ Common Mode AM สามารถปรากฏที่สายโทรศัพท์ ซึ่งสัญญาณดังกล่าวสามารถเปลี่ยนเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Differential Mode Signal เนื่องจาก Parasitic Capacitance ต่อ Ground เช่น ขณะจับหูโทรศัพท์ การแก้ไขต้องใช้คาปาซิเตอร์มีค่าความจุต่ำๆ ต่อไว้เพื่อลดทอน RF Signal เช่น

ที่หูโทรศัพท์ (Hand Set)

- ให้เพิ่มคาปาซิเตอร์ 4.7 nF แต่โครงงานนี้จะไม่มีส่วนของคาปาซิเตอร์ชุดนี้ ทำให้เกิดสัญญาณรบกวนบ้าง หรือ

- ลดระยะทางของคาปาซิเตอร์ที่ต่อกับ VEE โครงงานนี้ได้ออกแบบให้มีคาปาซิเตอร์กรองแรงไฟไว้เกือบทุกจุดที่ป้อนให้ IC

ที่สายโทรศัพท์ (Line)

- ต่อคาปาซิเตอร์ค่า 10 nF เข้าที่สาย

ที่แป้นกดปุ่มตัวเลข (Key Pad)

- ต่อคาปาซิเตอร์ค่า 2.2 nF ไปที่ทุก Columns ในโครงงานนี้ได้ต่อค่าดังกล่าวไว้

2.2 Key Pad รุ่นนี้จะมีปัญหาเรื่องของความชื้นซึ่งจะทำให้การกด Key ไม่สามารถผลิต สัญญาณ DTMF ได้ในบางครั้ง ซึ่งจากโครงงานนี้จะเกิดกับ Key หมายเลข 3 ซึ่งจะกดติดบ้างไม่ติดบ้างในบางครั้ง โดยจากการทดสอบได้มีการปรับแต่งสัญญาณให้ถูกต้องก่อนทุกครั้ง แต่ก็มีปัญหาเกิดขึ้นในบางโอกาส และ

3. การใช้อุปกรณ์ Hybrid Transformer (2/4 Line Interface) ร่วมกับโครงงานนี้ ซึ่งปัญหาที่พบจะเกิดที่ส่วนของ DTMF ที่ไม่สามารถตอบสนองสัญญาณได้ดีพอควร เพราะการนำอุปกรณ์ของ DTMF มาใช้งาน ส่วนที่ทำหน้าที่รับ - ส่งเสียงพูดในโทรศัพท์ (Speech Unit) จะใช้ Speech IC LS 156 แทนวงจร Hybrid Transformer ซึ่งนอกจากใช้งานร่วมกับปากพูด-หูฟังแล้ว ยังสามารถประสานการทำงานเข้ากับวงจร DTMF Generator M761 ได้ ซึ่งจากการใช้ Hybrid Transformer ไม่สามารถที่จะช่วยในเรื่องของ Gain การขยายทางส่งและรับได้ เพื่อชดเชยการลดทอนของสายโดยใช้วิธีการ Sensing ของความยาวของสายผ่าน Line Current ซึ่ง IC LS 156 สามารถที่จะตอบสนองข้อบกพร่องดังกล่าวได้

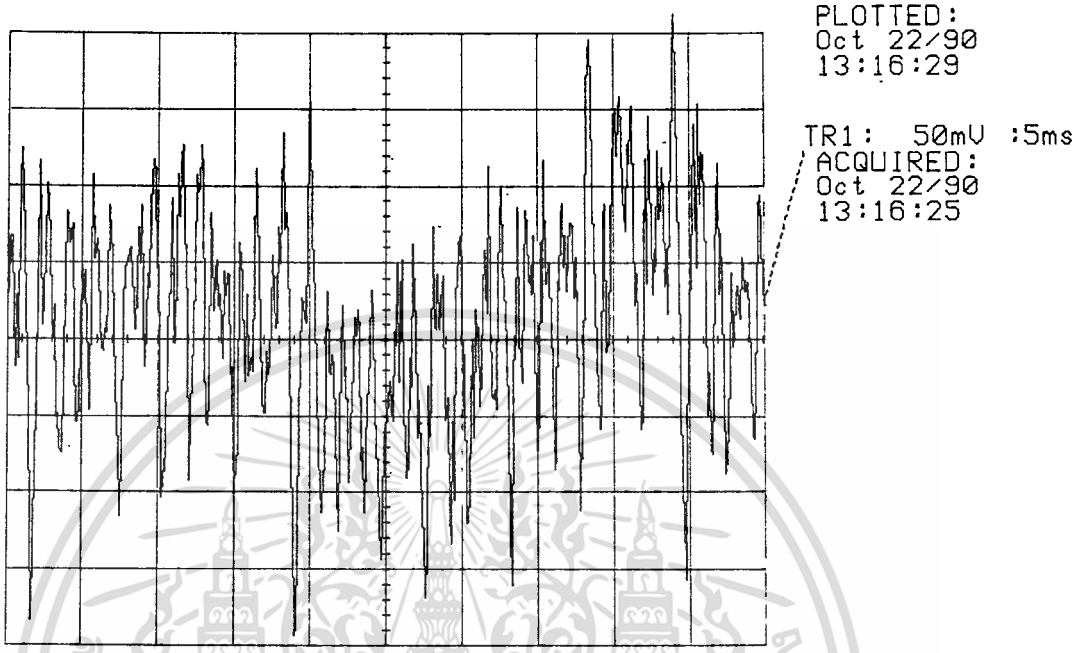
4. สภาพของคู่สายโทรศัพท์ในขณะทำการทดลอง จะมีช่วงของสัญญาณค่อยหรือเพี้ยน ซึ่งทราบโดยการตรวจสอบสภาวะเลขหมาย ในขณะนั้นกับห้องเครื่องชุมสาย ซึ่งสภาวะดังกล่าวทำให้เหมือนกับมีสัญญาณรบกวน การวัดสัญญาณหรือการวิเคราะห์รูปสัญญาณทำให้เกิดความผิดพลาด โดยได้แก้ปัญหาเบื้องต้น จะใช้ Separate Transformer ต่อกับเครื่องมือวัด ทำให้สามารถช่วยในการวิเคราะห์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

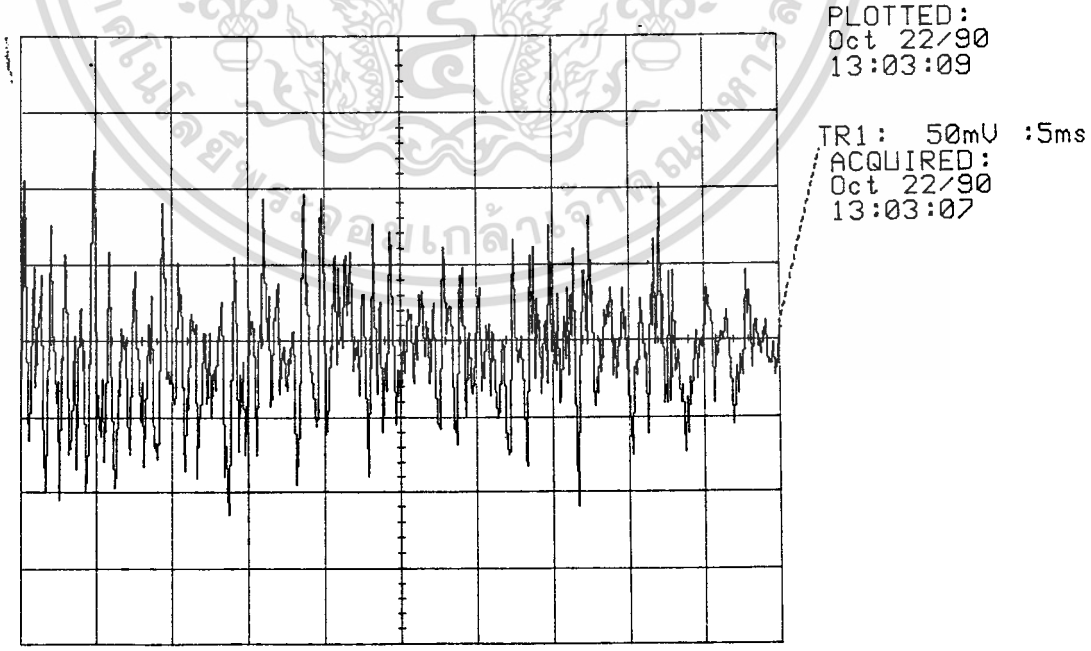
จากแนวความคิดซึ่งนำไปสู่การสร้างเป็นโครงงาน ตลอดจนปัญหาที่พบทำให้ผู้จัดทำได้คำนึงถึงขีดความสามารถที่จะพัฒนาสู่ระบบให้เข้าสู่ระบบ Digital ที่สามารถที่จะควบคุมคุณภาพได้ดีกว่าในระบบ Analog รวมไปถึงการเลือกใช้อุปกรณ์ที่มีมาตรฐานและแนวโน้มในการคิดพัฒนาสร้างระบบขึ้นมาใช้เองโดยนำแนวความคิดโครงสร้างพื้นฐานของ IC FX 224J นำมาประกอบเป็นวงจรขึ้นมา ซึ่งจะทำให้เกิดประโยชน์ต่อการศึกษาค้นคว้าต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ได้จากผลการทดลอง ของ IC FX 224J

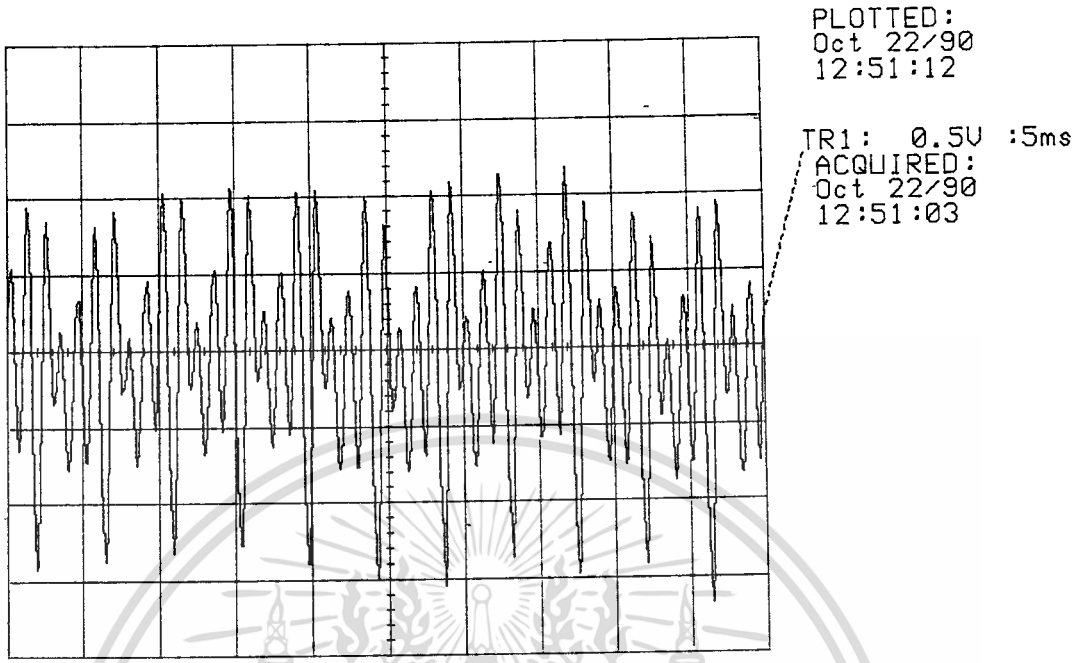


รูปที่ 4.1 สัญญาณอินพุทที่ขา 22 ภาค TX ในสภาวะปกติ

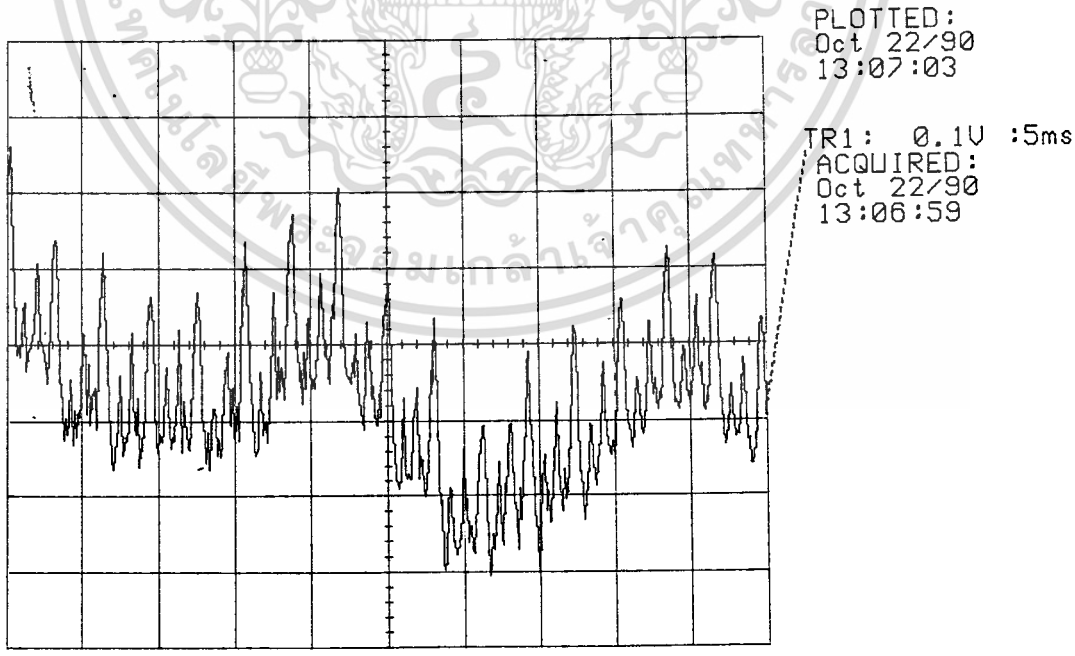


รูปที่ 4.2 สัญญาณเอ้าท์พุทที่ขา 16 ภาค TX ในสภาวะปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

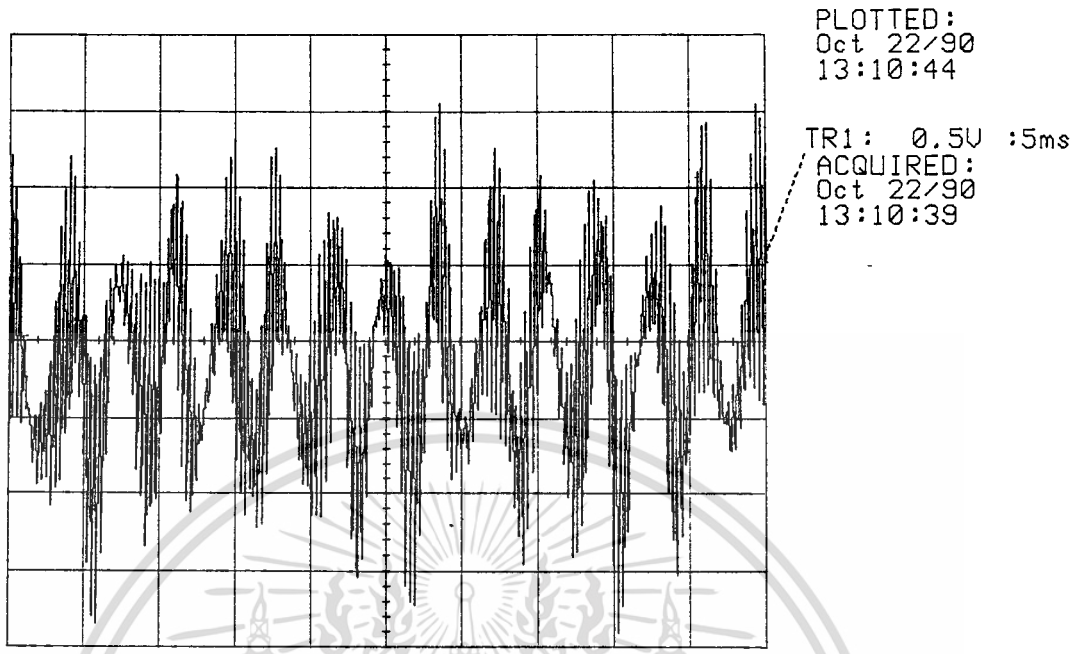


รูปที่ 4.3 สัญญาณอินพุทที่ขา 18 ภาค RX ในสภาวะปกติ

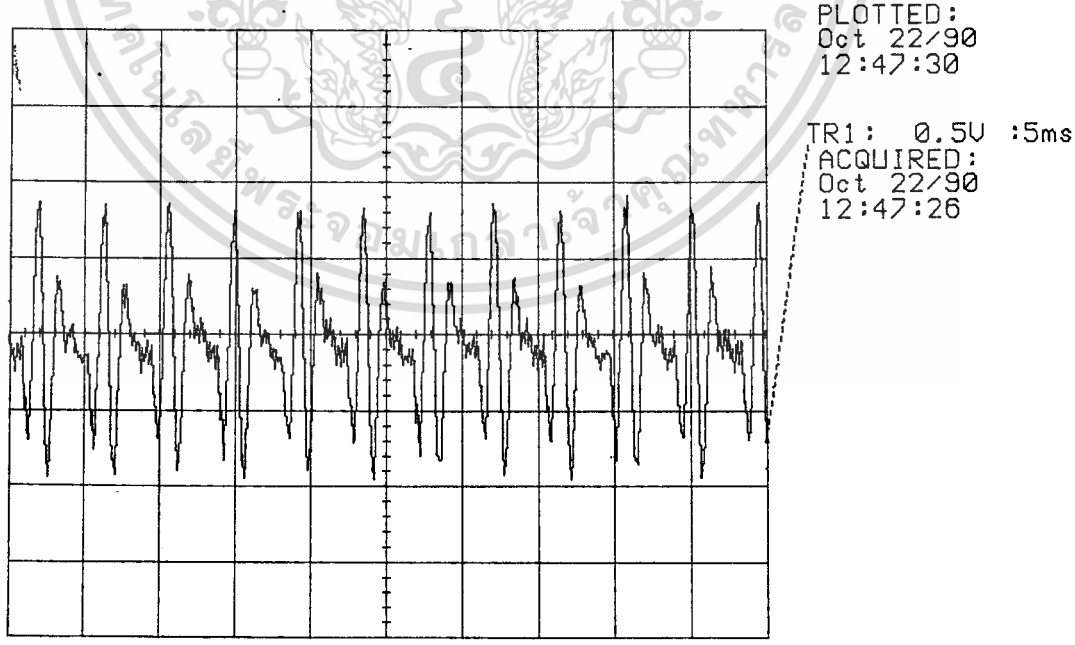


รูปที่ 4.4 สัญญาณเอ้าท์พุทที่ขา 15 ภาค RX ในสภาวะปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 สัญญาณเอ้าท์พุทที่ขา 16 ภาค TX ในสภาวะ SCRAMBLER



รูปที่ 4.6 สัญญาณเอ้าท์พุทที่ขา 15 ภาค RX ในสภาวะ DESCRAMBLER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

- N.S Jayant , B>J Mc.Dermott , S.W Christemsen and A.M Quinn "A comparison of four methods for anlog speech privasy", IEEE - transactions on communications, Vol .com-29 , No.1,JAN 1981
- The prof., "A shift of frequency", Practical electronics DEC.1986
- The prof., "scrambling for privacy", Practical electronics JAN.1987
- Malcolm harvey, "32-channel voice scrambler". Practical electronics JUNE.1988
- C0mmunications ICS Data Book
- สมชาย สุขพันธ์, "Scrambler เครื่องป้องกันการดักฟัง", เซมิคอนดัคเตอร์อิเลคทรอนิคส์, ฉบับที่ 87
- MT 8870 , เซมิคอนดัคเตอร์อีเลคทรอนิคส์ , ฉบับที่ 88
- ยืน ภู่วรวรรณ "หลักการสื่อสารด้วยวิทยุ", ทฤษฎีและการใช้งานอีเลคทรอนิคส์ หน้า 72-83 , พ.ศ.2511
- คู่มือการฝึกอบรมขององค์การโทรศัพท์แห่งประเทศไทย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

โปรแกรมการทำงานของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CPU   "8048.TBL"          ; CPU TABLE
        HOF   "BIN8"              ; HEX FOMAT
        ;P20  =  F0, P21=F1, P22 = F2, P23 = F3, P24 =F4
        ;P25  =  RUN, P26 =-RUN
        ;7FH  =  DISPLAY BUF
        ;7EH  =  PATTERN NUMBER BUF
        ORG     0000H
        JMP     0009H             ;BEGIN  PROGRAM
        ;ADDR   0003H = INTERRUPT  VECTOR
        ;ADDR   0007H = TIMER  VECTOR
        ORG     0009H
START:  MOV     RO, #07FH
        MOV     R1, #0FH
START1: MOV     @RO, #00H         ;CLAER BUF
        DEC     R1
        DEC     RO
        MOV     A,R1
        JNZ     START1
        ANL     P2, #00H
        ORL     P2, #040H         ;OUT F0-F4,RUN = 0,-RUN = 1
        MOV     A#3FH             ;'0'
        OUTL    BUS,A             ;DISPLAY '0'
KLOOP:  ORL     P1, #0FFH         ;READ TON KEY
        ANL     P1, #01FH
        IN      A,P1
        ANL     A, #010H          ;CHECK KEY PRESSED
        JNZ     KLOOP             ;CHECK AGAIN
KLOOP   ORL     P1, #0FFH         ;RAED TON KEY
        ANL     P1, #01FH
        IN      A,P1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     R4, A
        ANL     A, #010H
        JZ      RLOOP           ;NO TONE READ AGAIN
        MOV     R4,A
        MOV     A,R4
        XRL     A,#01H
        JNZ     NEXT2
        MOV     R3, #06H
        JMP     CODEP           ;KEY '1' PRESSED
NEXT:   MOV     A,R4
        XRL     A,#02H
        JNZ     NEXT3
        MOV     R3,##05BH
        JNP     CODEP           ;KEY '2' PRESSED
NEXT3:  MOV     A,R4
        XRL     A,#03H
        JNZ     NEXT4
        MOV     R3#04FH
        JNZ     NEXT4
        MOV     R3,#04FH
        JMP     CODEP           ;KEY '3' PRESSED
NEXT4:  MOV     A,R4
        XRL     A;#04H
        JNZ     NEZT5
        MOV     R3,#0GGH
        JMP     CODEP           ;KEY '4' PRESSED
NEXT5:  MOV     A,R4
        XRL     A,#05H
        JZ      CODE5           ;KEY '5' PRESSED
        JMP     KLOOP           ;KEY ACCEPTED KEY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CODE5:    MOV   R3,#06DH
CODEP:    MOV   A,R4
          MOV   @RO,A          ;SAVE PATTER NUMBER
          MOV   RO,#7FH
          MOV   @RO,A          ;SAVE TONE DISPLAY
          OUTL  BUS,A          DISPLAY TON KEY
CODERL:   ORL   P1,#0FFH
          ANL   P1,#01FH
          IN    A,P1
          ANL   A,#010H
          JNZ   CODERL         ;NOT RELEASE KEY
                               ;KEY RELEASE
          MOV   R3,#00H
DLOOP1:   MOV   R7,#01H        ;BLINK DISPLAY
DLOOP2:   MOV   R6,#012H
DLOOP3:   MOV   R5,#0FFH
DLOOP4:   ORL   P1,#0FFH       ;READ KEY TON
          ANL   P1,#01FH
          IN    A,P1
          XRL   A,#01BH        ;CHECK KEY PRESSED
          JZ    RUN1           ; '#' PRESSED
          DEC   R5
          MOV   a,r5
          JNZ   DLOOP4
          DEC   R6
          MOV   A,R6
          JNZ   DLOOP3
          DEC   R7
          MOV   A,R7
          JNZ   DLOOP2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     A,R3
        JNZ     DLOOP5
        MOV     R3,#0FFH
        MOV     A,00H
        JMP     DLOOP6
DLOOP5: MOV     R3,#00H
        MOV     RO,#07FH        ;LODE DISPLAY
        MOV     A,@RO
DLOOP6: OUTL    BUS,A
        JMP     DLOOP1
RUN1:   MOV     RO,#07FH
        MOV     A,@RO
        OUTL    BUS,A           ;DISPLAY PATTER NUMBER
RUN2:   ORL     P1, #0FFH
        ANL     P1,#01FH
        IN      A,P1
        ANL     A,#010H
        JNZ     RUN2
        MOV     RO,#07FH
        MOV     A,@RO
        ORL     A,#080H   ;DISPLAY WIYLH DP. THAT SHOWRUNING
        OUTL    BUS,A
                                ;START TO RUN PATTERN
        MOV     A,R4
        XRL     A,#01H
        JNZ     RUN3
        MOV     R1,#00H
        JMP     RUN6            ;RUN PATTERN1
RUN3:   MOV     A,R4
        XRL     A,#02H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        JNZ     RUN4
        MOV     R1,#030H
        JMP     RUN6            ;RUN PATTERN2
RUN4:   MOV     A,R4
        XRL     A,#03H
        JNZ     RUN5
        MOV     R1,#060H
        JMP     RUN6            ;RUN PATTERN3
RUN5:   MOV     A,R4
        XRL     A,#04H
        JNZ     RUNC5
        MOV     R1,#090H
        JMP     RUN6            ;RUN PATTERN4
RUNC5:  MOV     A,R4
RUN6:   MOV     A,#020H         ;START  RUN  PATTER
        OUTL    P2,A
RUN7    MOV     R4,#020H        ;20H=32 PATTERN
        MOV     A,R1
        MOV     RO,A
RUN8:   MOV     A,RO
        MOVP3   A.@A
        ANL     A,#01FH
        ORL     A,#020H
        OUTL    P2,A
        CALL    RUNX1
        JZ      RUN9
        ANL     P2,#00H
        ORL     PP2,#040H
        JMP     START
RUN9:   INC     RO
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DEC     R4
        MOV     A,R4
        JZ      RUN7
        JMP     RUN8
        ORG     0100H
RUNX1:  MOV     R7,#06H     ;RUN PATTERN DELAY YIME (8=18SEC)
RUNX2:  MOV     R6,#0FFH
RUNX5:  MOV     R5,#0FFH
RUNX3   ORL     P1,#0FFH
        ANL     P1,#01FH
        IN      A,P1
        XRL     A,#01BH
        JZ      RUNX4
        DEC     R5
        MOV     A,R5
        JNZ     RUNX3
        DEC     R6
        MOV     A,R6
        JNZ     RUNX3
        DEC     R7
        MOV     A,R7
        JNZ     RUNX2
        MOV     A,#00H          ;NO '#' PRESSED
        RET
RUNX4   MOV     A,#0FFH         ; '#' HAS PRESSED
        RET
        ORG     0300H           ;PATTERN TABLE '1'
        DFB     00H, 01H, 02H, 03H, 04H
        DFB     05H, 06H, 07H, 08H, 09H
        DFB     0AH, 0BH, 0CH, 0DH, 0EH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DFB     0FH,  10H,  11H,  12H,  13H
DFB     14H,  15H,  16H,  17H,  18H
DFB     19H,  1AH,  1BH,  1CH,  1DH
DFB     1EH,  1FH
ORG     330H                ;PATTERN '2'
DFB     1FH,  1EH,  1DH,  1CH,  1BH
DFB     1AH,  19H,  18H,  17H,  16H
DFB     15H,  14H,  13H,  12H,  11H
DFB     10H,  0FH,  0EH,  0DH,  0CH
DFB     0BH,  0AH,  09H,  08H,  07H
DFB     06H,  05H,  04H,  03H,  02H
DFB     01H,  00H
ORG     360H                ;PATERN '3'
DFB     00H,  02H,  04H,  06H,  08H
DFB     0AH,  0CH,  0EH,  10H,  12H
DFB     14H,  16H,  18H,  1AH,  1CH
DFB     1EH,  01H,  03H,  05H,  07H
DFB     09H,  0BH,  0DH,  0FH,  11H
DFB     13H,  15H,  17H,  19H,  1BH
DFB     1DH,  1FH
ORG     390H                ;PATTERN '4'
DFB     1EH,  1CH,  1AH,  18H,  16H
DFB     14H,  12H,  10H,  0EH,  0CH
DFB     0AH,  08H,  06H,  04H,  02H
DFB     00H,  1FH,  1DH,  1BH,  19H
DFB     17H,  15H,  13H,  11H,  0FH
DFB     0DH,  0BH,  09H,  07H,  05H
DFB     03H,  01H
ORG     3C0H                ;PATTERN '5'
DFB     01H,  03H,  05H,  07H,  09H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DFB     0BH,  0DH,  0FH,  11H,  13H
DFB     15H,  17H,  19H,  1BH,  1DH
DFB     1FH,  1EH,  1CH,  1AH,  18H
DFB     16H,  14H,  12H,  10H,  0EH
DFB     0CH,  0AH,  08H,  06H,  04H
DFB     02H,  00H
END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

รายละเอียดของอุปกรณ์ที่ใช้ในโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHAPTER 1
THE SINGLE COMPONENT MCS®-48 SYSTEM

1.0 INTRODUCTION

Sections 1.1 through 1.4 describe in detail the functional characteristics of the 8748H and 8749H EPROM, 8048AH/8049AH/8050AH ROM, and 8035AHL/8039AHL/8040-AHL CPU only single component microcomputers. Unless otherwise noted, details within these sections apply to all versions. This chapter is limited to those functions useful in single-chip implementations of the MCS®-48. Chapter 14 discusses functions which allow expansion of program memory, data memory, and input output capability.

1.1 ARCHITECTURE

The following sections break the MCS-48 Family into functional blocks and describe each in detail. The following description will use the 8048AH as the representative product for the family. See Figure 14.1.

1.1.1 Arithmetic Section

The arithmetic section of the processor contains the basic data manipulation functions of the 8048AH and can be divided into the following blocks:

- Arithmetic Logic Unit (ALU)
- Accumulator
- Carry Flag
- Instruction Decoder

In a typical operation data stored in the accumulator is combined in the ALU with data from another source on the internal bus (such as a register or I/o port) and the result is stored in the accumulator or another register.

The following is more detailed description of the function of each block.

INSTRUCTION DECODER

The operation code (op code) portion of each program instruction is stored in the Instruction Decoder and converted to outputs which control the function of each of the blocks of the Arithmetic Section. These lines control the source of data and the destination register as well as the function performed in the ALU.

ARITHMETIC LOGIC UNIT

The ALU accepts 8-bit data words from one or two sources and generates an 8-bit result under control of the Instruction Decoder. The ALU can perform the following functions:

- Add With or Without Carry
- AND, OR, Exclusive OR
- Increment/Decrement
- Bit Complement
- Rotate Left, Right
- Swap Nibbles
- BCD Decimal Adjust

If the operation performed by the ALU results in a value represented by more than 8 bits (overflow of most significant bit), a Carry Flag is set in the Program Status Word.

ACCUMULATOR

The accumulator is the single most important data register in the processor, being one of the sources of input to the ALU and often the destination of the result of operations performed in the ALU. Data to and from I/O ports and memory also normally passes through the accumulator.

1.1.2 Program Memory

Resident program memory consists of 1024, 2048, or 4096 words eight bits wide which are addressed by the program counter. In the 8748H and the 8749H this memory is user programmable and erasable EPROM; in the 8048AH/8049AH/8050AH the memory is ROM which is mask programmable at the factory. The 8035AHL/8039AHL/8040AHL has no internal program memory and is used with external memory devices. Program code is completely interchangeable among the various versions. To access the upper 2K of program memory in the 8050AH, and other MCS-48 devices, a select memory bank and a JUMP or CALL instruction must be executed to cross the 2K boundary.

There are three locations in Program Memory of special importance as shown in Figure 12 2.

LOCATION 0
Activating the Reset line of the processor causes the first instruction to be fetched from location 0.

LOCATION 3
Activating the Interrupt input line of the processor (if interrupt is enabled) causes a jump to subroutine at location 3.

LOCATION 7
A timer/counter interrupt resulting from timer counter overflow (if enabled) causes a jump to subroutine at location 7.

Therefore, the first instruction to be executed after initialization is stored in location 0, the first word of an external interrupt service subroutine is stored in location 3, and the first word of a timer/counter service routines

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

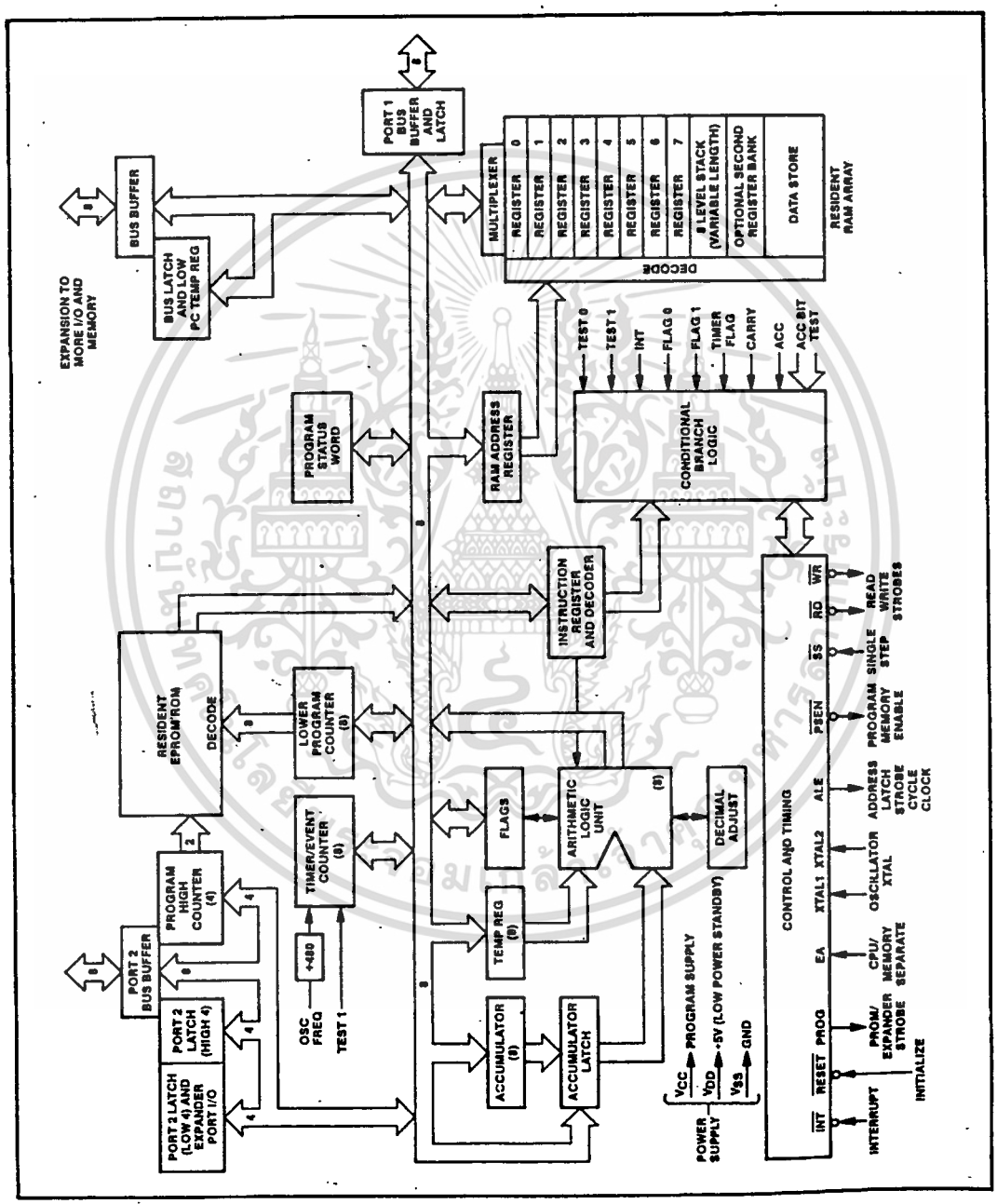


Figure 12-1. 8748H/8048AH/8749H/8049AH/8050AH Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

is stored in location 7. Program memory can be used to store constants as well as program instructions. Instructions such as MOVP and MOVP3 allow easy access to data "lookup" tables.

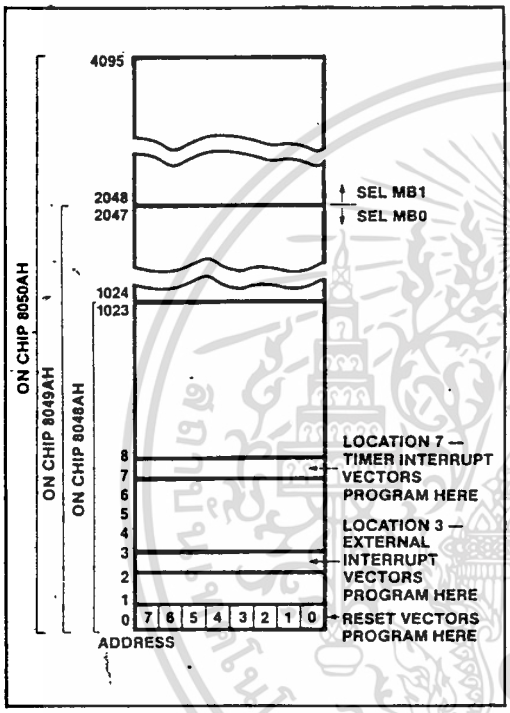


Figure 12-2. Program Memory Map

1.1.3 Data Memory

Resident data memory is organized as 64, 128, or 256 by 8-bits wide in the 8048AH, 8049AH and 8050AH. All locations are indirectly addressable through either of two RAM Pointer Registers which reside at address 0 and 1 of the register array. In addition, as shown in Figure 12-3, the first 8 locations (0–7) of the array are designated as working registers and are directly addressable by several instructions. Since these registers are more easily addressed, they are usually used to store frequently accessed intermediate results. The DJNZ instruction makes very efficient use of the working registers as program loop counters by allowing the programmer to decrement and test the register in a single instruction.

By executing a Register Bank Switch instruction (SEL RB) RAM locations 24–31 are designated as the working registers in place of locations 0–7 and are then directly addressable. This second bank of working registers may be used as an extension of the first bank or reserved for use during interrupt service subroutines allowing the registers of Bank 0 used in the main program to be instantly "saved" by a Bank Switch. Note that if this second bank is not used, locations 24–31 are still addressable as general purpose RAM. Since the two RAM pointer Registers R0 and R1 are a part of the working register array, bank switching effectively creates two more pointer registers (R0/and R1/) which can be used with R0 and R1 to easily access up to four separate working areas in RAM at one time. RAM locations (8–23) also serve a dual role in that they contain the program counter stack as explained in Section 12.1.6. These locations are addressed by the Stack Pointer during subroutine calls as well as by RAM Pointer Registers R0 and R1. If the level of subroutine nesting is less than 8, all stack registers are not required and can be used as general purpose RAM locations. Each level of subroutine nesting not used provides the user with two additional RAM locations.

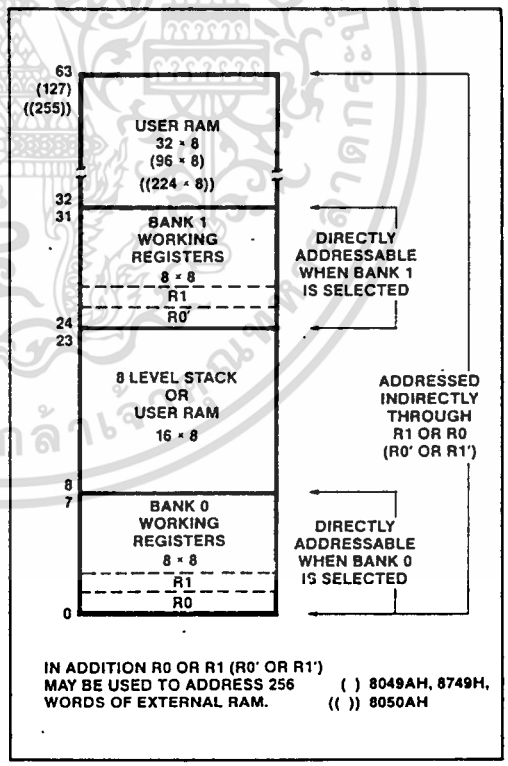


Figure 12-3. Data Memory Map

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

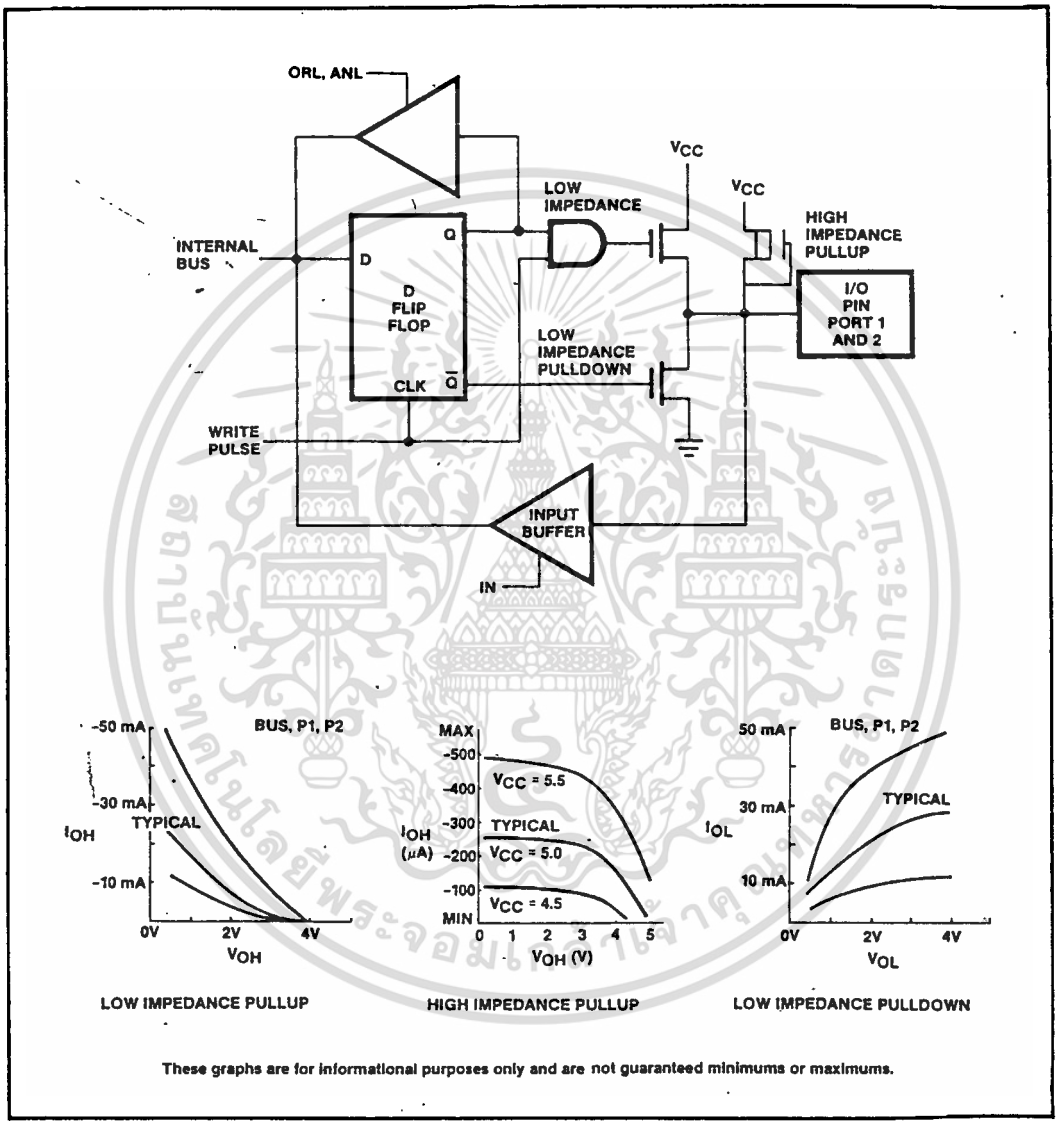


Figure 12-4. "Quasi-bidirectional" Port Structure

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1.4 Input/Output

The 8048AH has 27 lines which can be used for input or output functions. These lines are grouped as 3 ports of 8 lines each which serve as either inputs, outputs or bidirectional ports and 3 "test" inputs which can alter program sequences when tested by conditional jump instructions.

PORTS 1 AND 2

Ports 1 and 2 are each 8 bits wide and have identical characteristics. Data written to these ports is statically latched and remains unchanged until rewritten. As input ports these lines are non-latching, i.e., inputs must be present until read by an input instruction. Inputs are fully TTL compatible and outputs will drive one standard TTL load.

The lines of ports 1 and 2 are called quasi-bidirectional because of a special output circuit structure which allows each line to serve as an input, and output, or both even though outputs are statically latched. Figure 12-4 shows the circuit configuration in detail. Each line is continuously pulled up to V_{CC} through a resistive device of relatively high impedance.

This pullup is sufficient to provide the source current for a TTL high level yet can be pulled low by a standard TTL gate thus allowing the same pin to be used for both input and output. To provide fast switching times in a "0"-to "1" transition a relatively low impedance device is switched in momentarily (≈ 1/5 of a machine cycle) whenever a "1" is written to the line. When a "0" is written to the line a low impedance device overcomes the light pullup and provides TTL current sinking capability. Since the pulldown transistor is a low impedance device a "1" must first be written to any line which is to be used as an input. Reset initializes all lines to the high impedance "1" state.

It is important to note that the ORL and the ANL are read/write operations. When executed, the μC "reads" the port, modifies the data according to the instruction, then "writes" the data back to the port. The "writing" (essentially an OUTL instruction) enables the low impedance pull-up momentarily again even if the data was unchanged from a "1." This specifically applies to configurations that have inputs and outputs mixed together on the same port. See also section 13.7.

BUS

Bus is also an 8-bit port which is a true bidirectional port with associated input and output strobes. If the bidirectional feature is not needed, Bus can serve as either a statically latched output port or non-latching input port. Input and output lines on this port cannot be mixed however.

As a static port, data is written and latched using the OUTL instruction and inputted using the INS instruction. The INS and OUTL instructions generate pulses on the corresponding $\overline{RD}$ and $\overline{WR}$ output strobe lines; however, in the static port mode they are generally not used. As a bidirectional port the MOVX instructions are used to read and write the port. A write to the port generates a pulse on the $\overline{WR}$ output line and output data is valid at the trailing edge of $\overline{WR}$. A read of the port generates a pulse on the $\overline{RD}$ output line and input data must be valid at the trailing edge of $\overline{RD}$. When not being written or read, the BUS lines are in a high impedance state. See also sections 13.6 and 13.7.

1.1.5 Test and INT Inputs

Three pins serve as inputs and are testable with the conditional jump instruction. These are T0, T1, and $\overline{INT}$. These pins allow inputs to cause program branches without the necessity to load an input port into the accumulator. The T0, T1, and $\overline{INT}$ pins have other possible functions as well. See the pin description in Section 12.2.

1.1.6 Program Counter and Stack

The Program Counter is an independent counter while the Program Counter Stack is implemented suing pairs of registers in the Data Memory Array. Only 10, 11, or 12 bits of the Program Counter are used to address the 1024, 2048, or 4096 words of on-board program memory of the 8048AH, 8049AH, or 8050AH, while the most significant bits can be used for external Program Memory fetches. See Figure 12.5. The Program Counter is initialized to zero by activating the Reset line.

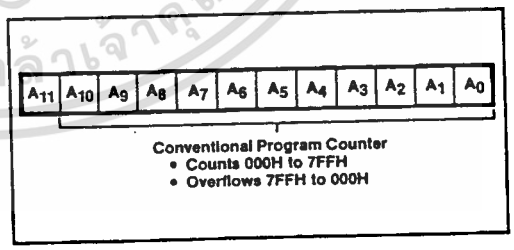


Figure 12-5. Program Counter

An interrupt or CALL to a subroutine causes the contents of the program counter to be stored in one of the 8 register pairs of the Program Counter Stack as shown in Figure 12-6. The pair to be used is determined by a 3-bit Stack Pointer which is part of the Program Status Word (PSW).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

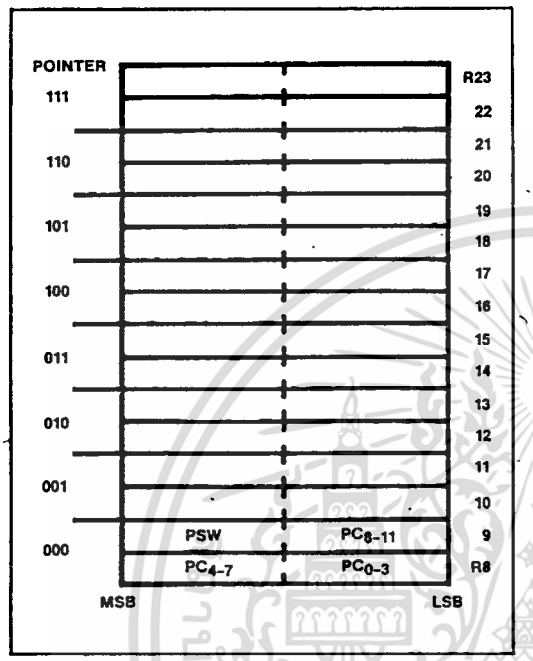


Figure 12-6. Program Counter Stack

Data RAM locations 8-23 are available as stack registers and are used to store the Program Counter and 4 bits of PSW as shown in Figure 12-6. The Stack Pointer when initialized to 000 points to RAM locations 8 and 9. The first subroutine jump or interrupt results in the program counter contents being transferred to locations 8 and 9 of the RAM array. The stack pointer is then incremented by one to point to locations 10 and 11 in anticipation of another CALL. Nesting of subroutines wihtin subroutines can continue up to 8 times without overflowing the stack. If overflow does occur the deepest address stored (locations 8 and 9) will be overwritten and lost since the stack pointer overflows from 111 to 000. It also underflows from 000 to 111.

The end of a subroutine, which is signalled by a return instruction (RET or RETR), causes the Stack Pointer to be decremented and the contents of the resulting register pair to be transferred to the Program Counter.

1.1.7 Program Status Word

An 8-bit status word which can be loaded to and from the accumulator exists called the Program Status Word (PSW). Figure 12-7 shows the information available in the word. The Program Status Word is actually a collection of flip-flops throughout the machine which can be read or written as a whole. The ability to write to PSW allows for easy restoration of machine status after a power down sequence.

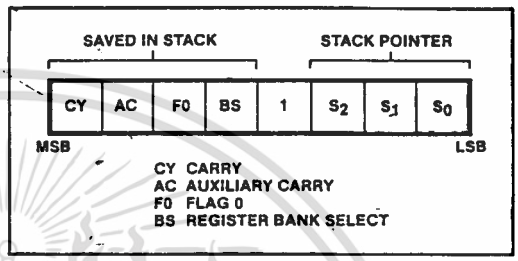


Figure 12-7. Program Status Word (PSW)

The upper four bits of PSW are stored in the Program Counter Stack with every call to subroutine or interrupt vector and are optionally restored upon return with the RETR instruction. The RET return instruction does not update PSW.

The PSW bit definitions are as follows:

Bits 0–2: Stack Pointer bits (S_0, S_1, S_2)

Bit 3: Not used ("1" level when read)

Bit 4: Working Register Bank Switch Bit (BS)
0 = Bank 0
1 = Bank 1

Bit 5: Flag 0 bit (F0) user controlled flag which can be complemented or cleared, and tested with the conditional jump instruction JF0.

Bit 6: Auxiliary Carry (AC) carry bit generated by an ADD instruction and used by the decimal adjust instruction DA A.

Bit 7: Carry (CY) carry flag which indicates that the previous operation has resulted in overflow of the accumulator.

1.1.8 Conditonal Branch Logic

The conditional branch logic within the processsor enables several conditions internal and external to the processor to be tested by the users program. By using the conditional jump instruction the conditions that are listed in Table 12-1 can effect a change in the sequence of the program execution.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 12-1

Device Testable	Jump Conditions (Jump On)	
	All zeros	not all zeros
Accumulator	—	1
Accumulator Bit	0	1
Carry Flag	—	1
User Flags (F0, F1)	—	1
Timer Overflow Flag	0	1
Test Inputs (T0, T1)	0	1
Interrupt Input (INT)	0	—

1.1.9 Interrupt

An interrupt sequence is initiated by applying a low "0" level input to the INT pin. Interrupt is level triggered and active low to allow "WIRE ORing" of several interrupt sources at the input pin. Figure 12-8 shows the interrupt logic of the 8048AH. The Interrupt line is sampled every instruction cycle and when detected causes a "call to subroutine" at location 3 in program memory as soon as all cycles of the current instruction are complete. On 2-cycle instructions the interrupt line is sampled on the 2nd cycle only. INT must be held low for at least 3 machine cycles to ensure proper interrupt operations. As in any CALL to subroutine, the Program Counter and Program Status word are saved in the stack. For a description of this operation see the previous section, Program Counter and Stack. Program Memory location 3 usually contains an unconditional jump to an interrupt service subroutine elsewhere in program memory. The end of an interrupt service subroutine is signalled by the execution of a Return and Restore Status instruction RETR. The interrupt system is single level in that once an interrupt is detected all further interrupt requests are ignored until execution of an RETR reenables the interrupt input logic. This occurs at the beginning of the second cycle of the RETR instruction. This sequence holds true also for an internal interrupt generated by timer overflow. If an internal timer/counter generated interrupt and an external interrupt are detected at the same time, the external source will be recognized. See the following Timer/Counter section for a description of timer interrupt. If needed, a second external interrupt can be created by enabling the timer/counter interrupt, loading FFH in the Counter (ones less than terminal count), and enabling the event counter mode. A "1" to "0" transition on the T1 input will then cause an interrupt vector to location 7.

INTERRUPT TIMING

The interrupt input may be enabled or disabled under Program Control using the EN I and DIS I instructions. Interrupts are disabled by Reset and remain so until enabled by the users program. An interrupt request must be removed before the RETR instruction is executed upon return from the service routine otherwise the processor will re-enter the service routine immediately. Many peripheral devices prevent this situation by resetting their interrupt request line whenever the processor accesses (Reads or Writes) the peripherals data buffer register. If the interrupting device does not require access by the processor, one output line of the 8048AH may be designated as an "interrupt acknowledge" which is activated by the service subroutine to reset the interrupt request. The INT pin may also be tested using the conditional jump instruction JNI. This instruction may be used to detect the presence of a pending interrupt before interrupts are enabled. If interrupt is left disabled, INT may be used as another test input like T0 and T1.

1.1.10 Time/Counter

The 8048AH contains a counter to aid the user in counting external events and generating accurate time delays without placing a burden on the processor for these functions. In both modes the counter operation is the same, the only difference being the source of the input to the counter. The timer/event counter is shown in Figure 12-9.

COUNTER

The 8-bit binary counter is presettable and readable with two MOV instructions which transfer the contents of the accumulator to the counter and vice versa. The counter content may be affected by Reset and should be initialized by software. The counter is stopped by a Reset or STOP TCNT instruction and remains stopped until started as a timer by a START T instruction or as an event counter by a START CNT instruction. Once started the counter will increment to this maximum count (FF) and overflow to zero continuing its count until stopped by a STOP TCNT instruction or Reset.

The increment from maximum count to zero (overflow) results in the setting of an overflow flag flip-flop and in the generation of an interrupt request. The state of the overflow flag is testable with the conditional jump instruction JTF. The flag is reset by executing a JTF or by Reset. The interrupt request is stored in a latch and then ORed with the external interrupt input INT. The timer interrupt may be enabled or disabled independently of external interrupt by the EN TCNTI and DIS TCNTI instructions. If enabled, the counter overflow will cause a subroutine call to location 7 where the timer or counter service routine may be stored.

If timer and external interrupts occur simultaneously, the external source will be recognized and the Call will be to

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

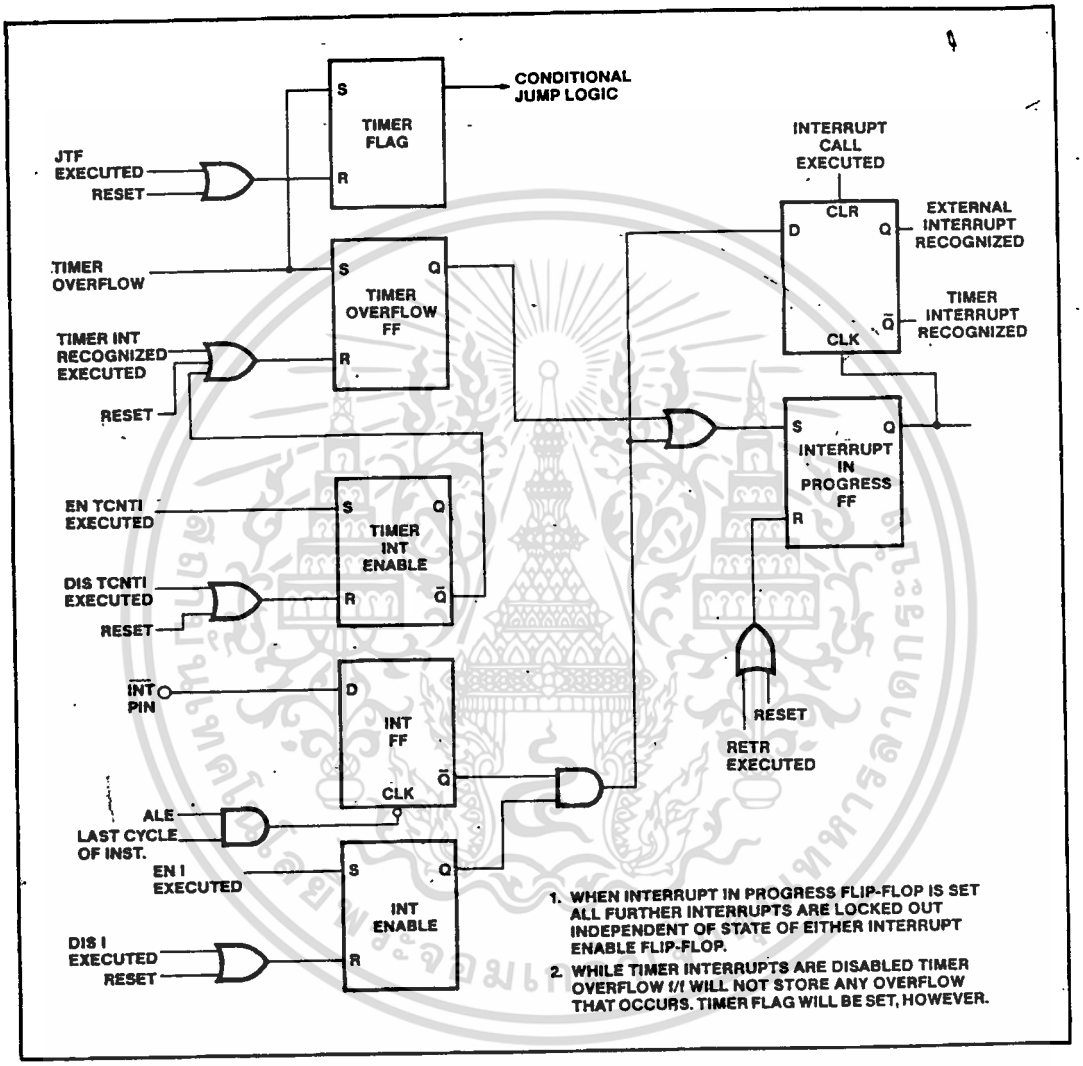


Figure 12-8. Interrupt Logic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

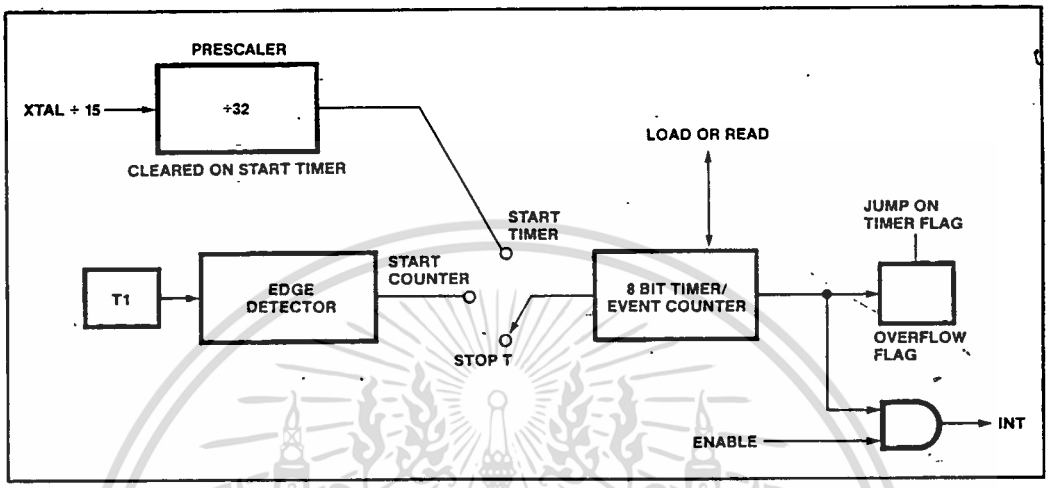


Figure 12-9. Timer/Event Counter

location 3. Since the timer interrupt is latched it will remain pending until the external device is serviced and immediately be recognized upon return from the service routine. The pending timer interrupt is reset by the Call to location 7 or may be removed by executing a DIS TCNTI instruction.

AS AN EVENT COUNTER

Execution of a START CNT instruction connects the T1 input pin to the counter input and enables the counter. The T1 input is sampled at the beginning of state 3 or in later MCS-48 devices in state time 4. Subsequent high to low transitions on T1 will cause the counter to increment. T1 must be held low for at least 1 machine cycle to insure it won't be missed. The maximum rate at which the counter may be incremented is once per three instruction cycles (every 5.7 μsec when using an 8 MHz crystal) — there is no minimum frequency. T1 input must remain high for at least 1/5 machine cycle after each transition.

AS A TIMER

Eexcution of a START T instruction connects an internal clock to the counter input and enables the counter. The internal clock is derived bypassing the basic machine cycle clock through a ÷32 prescaler. The prescaler is reset during the START T instruction. The resulting clock increments the counter every 32 machine cycles. Various delays from 1 to 256 counts can be obtained by presetting the counter and detecting overflow. Times longer than 256 counts may be achieved by accumulating multiple overflows in a register under software control. For time resolution less than 1 count an external clock can be applied to the T1 input and the counter operated in the event counter mode. ALE divided by 3 or more can serve as this external clock. Very small delays or "fine tuning" of larger delays can be easily accomplished by software delay loops.

Often a serial link is desirable in an MCS-48 family member. Table 12-2 lists the timer counts and cycles needed for a specific baud rate given a crystal frequency.

1.1.11 Clock and Timing Circuits

Timing generation for the 8048AH is completely selfcontained with the exeception of a frequency reference which can be XTAL, ceramic resonator, or external clock source. The Clock and Timing circuitry can be divided into the following functional blocks.

OSCILLATOR

The on-board oscillator is a high gain parallel resonant circuit with a frequency range of 1 to 11 MHz. The X1 external pin is the input to the amplifier stage while X2 is the output. A crystal or ceramic resonator connected between X1 and X2 provides the feedback and phase shift required for oscillation. If an accurate frequency reference is not required, ceramic resonator may be used in place of the crystal.

For accurate clocking, a crystal should be used. An externally generated clock may also be applied to X1–X2 as the frequency source. See the data sheet for more information.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 12-2. Baud Rate Generation

	Frequency (MHz)	T_{cy}	T0 Prr(1/5 T_{cy})	Timer Prescaler (32 T_{cy})
	4	3.75μs	750ns	120μs
	6	2.50μs	500ns	80μs
	8	1.88μs	375ns	60.2μs
	11	1.36μs	275ns	43.5μs
Baud Rate	4 MHz Timer Counts + Instr. Cycles	6 MHz Timer Counts + Instr. Cycles	8 MHz Timer Counts + Instr. Cycles	11 MHz Timer Counts + Instr. Cycles
110	75 + 24 Cycles .01% Error	113 + 20 Cycles .01% Error	151 + 3 Cycles .01% Error	208 + 28 Cycles .01% Error
300	27 + 24 Cycles .1% Error	41 + 21 Cycles .03% Error	55 + 13 Cycles .01% Error	76 + 18 Cycles .04% Error
1200	6 + 30 Cycles .1% Error	10 + 13 Cycles .1% Error	12 + 27 Cycles .06% Error	19 + 4 Cycles .12% Error
1800	4 + 20 Cycles .1% Error	6 + 30 Cycles .1% Error	9 + 7 Cycles .17% Error	12 + 24 Cycles .12% Error
2400	3 + 15 Cycles .1% Error	5 + 6 Cycles .4% Error	6 + 24 Cycles .29% Error	9 + 18 Cycles .12% Error
4800	1 + 23 Cycles 1.0% Error	2 + 19 Cycles .4% Error	3 + 14 Cycles .74% Error	4 + 25 Cycles .12% Error

STATE COUNTER

The output of the oscillator is divided by 3 in the State Counter to create a clock which defines the state times of the machine (CLK). CLK can be made available on the external pin T0 by executing an ENTO CLK instruction. The output of CLK on T0 is disabled by Reset of the processor.

CYCLE COUNTER

CLK is then divided by 5 in the Cycle Counter to provide a clock which defines a machine cycle consisting of 5 machine states as shown in Figure 12-10. Figure 12-11 shows the different internal operations as divided into the machine states. This clock is called Address Latch Enable (ALE) because of its function in MCS-48 systems with external memory. It is provided continuously on the ALE output pin.

1.1.12 Reset

The reset input provides a means for initialization for the processor. This Schmitt-trigger input has an internal pull-up device which in combination with an external 1 μ fd capacitor provides an internal reset pulse of sufficient length to guarantee all circuitry is reset, as shown in Figure 12-12. If the reset pulse is generated externally the RESET pin must be held low for at least 10 milliseconds after the power supply is within tolerance. Only 5 machine cycles (6.8 μs @ 11 MHz) are required if power is already on and the oscillator has stabilized. ALE and PSEN (if EA = 1) are active while in Reset.

Reset performs the following functions:

1) Sets program counter to zero.

2) Sets stack pointer to zero.

3) Selects register bank 0.

4) Selects memory bank 0.

5) Sets BUS to high impedance state (except when EA = 5V).

6) Sets Ports 1 and 2 to input mode.

7) Disables interrupts (timer and external).

8) Stops timer.

9) Clears timer flag.

10) Clears F0 and F1.

11) Disables clock output from T0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

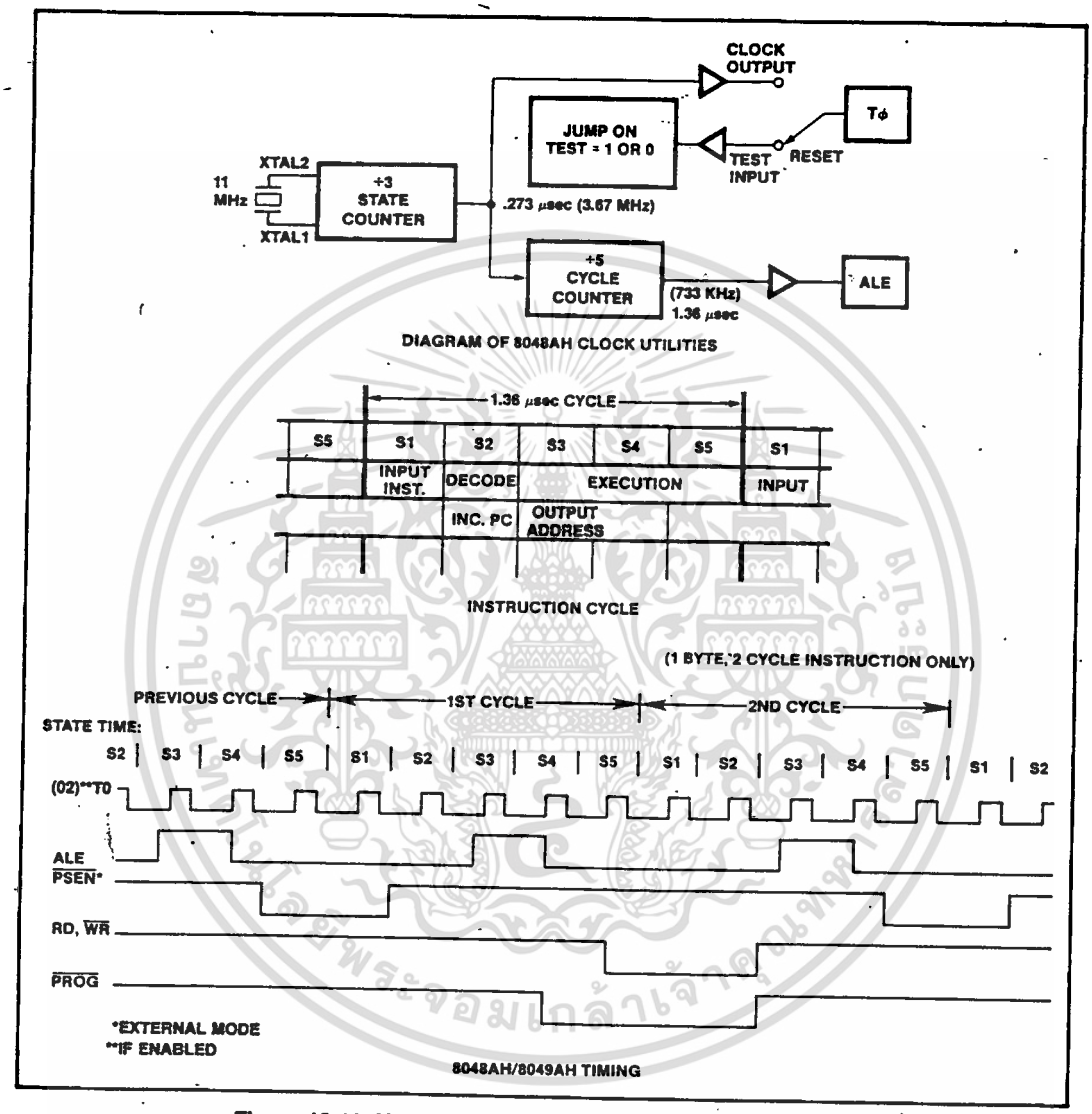


Figure 12-10. MCS®-48 Timing Generation and Cycle Timing

1.1.13 Single-Step

This feature, as pictured in Figure 12-13, provides the user with a debug capability in that the processor can be stepped through the program one instruction at a time. While stopped, the address of the next instruction to be fetched is available concurrently on BUS and the lower half of Port 2. The user can therefore follow the program through each of the instruction steps. A timing diagram, showing the interaction between output ALE and input $\overline{SS}$, is shown. The BUS buffer contents are lost during single step; however, a latch may be added to reestablish the lost I/O capability if needed. Data is valid at the leading edge of ALE.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	CYCLE 1					CYCLE 2				
INSTRUCTION	S1	S2	S3	S4	S5	S1	S2	S3	S4	S5
IN A,P	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	*INCREMENT TIMER	—	—	READ PORT	—	• —	—
OUTL P,A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	*INCREMENT TIMER	OUTPUT TO PORT	—	—	—	• —	—
ANL P, = DATA	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	*INCREMENT TIMER	READ PORT	FETCH IMMEDIATE DATA	—	INCREMENT PROGRAM COUNTER	*OUTPUT TO PORT	—
ORL P, = DATA	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	*INCREMENT TIMER	READ PORT	FETCH IMMEDIATE DATA	—	INCREMENT PROGRAM COUNTER	*OUTPUT TO PORT	—
INS A, BUS	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	INCREMENT TIMER	—	—	READ PORT	—	• —	—
OUTL BUS, A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	INCREMENT TIMER	OUTPUT TO PORT	—	—	—	• —	—
ANL BUS, = DATA	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	*INCREMENT TIMER	READ PORT	FETCH IMMEDIATE DATA	—	INCREMENT PROGRAM COUNTER	*OUTPUT TO PORT	—
ORL BUS, = DATA	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	*INCREMENT TIMER	READ PORT	FETCH IMMEDIATE DATA	—	INCREMENT PROGRAM COUNTER	*OUTPUT TO PORT	—
MOVX @ R,A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OUTPUT RAM ADDRESS	INCREMENT TIMER	OUTPUT DATA TO RAM	—	—	—	• —	—
MOVX A,@R	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OUTPUT RAM ADDRESS	INCREMENT TIMER	—	—	READ DATA	—	• —	—
MOVD A,P_i	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OUTPUT OPCODE/ADDRESS	INCREMENT TIMER	—	—	READ P2 LOWER	—	• —	—
MOVD P_i,A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OUTPUT OPCODE/ADDRESS	INCREMENT TIMER	OUTPUT DATA TO P2 LOWER	—	—	—	• —	—
ANLD P,A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OUTPUT OPCODE/ADDRESS	INCREMENT TIMER	OUTPUT DATA	—	—	—	• —	—
ORLD P,A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OUTPUT OPCODE/ADDRESS	INCREMENT TIMER	OUTPUT DATA	—	—	—	• —	—
J(CONDITIONAL)	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	SAMPLE CONDITION	*INCREMENT SAMPLE	—	FETCH IMMEDIATE DATA	—	UPDATE PROGRAM COUNTER	• —	—
STRT T STRT CNT	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	• — • —	START COUNTER					
STOP TCNT	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—		STOP COUNTER					
ENI	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	• ENABLE INTERRUPT	—					
DIS I	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	• DISABLE INTERRUPT	—					
ENTO CLK	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER		• ENABLE CLOCK	—					

*VALID INSTRUCTION ADDRESSES ARE OUTPUT AT THIS TIME IF EXTERNAL PROGRAM MEMORY IS BEING ACCESSED.
(1) IN LATER MCS-48 DEVICES T1 IS SAMPLED IN S4.

Figure 12-11. 8048AH/8049AH Instruction Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

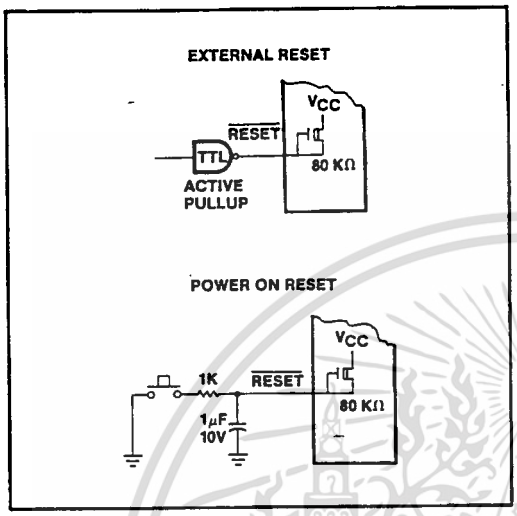


Figure 12-12

TIMING

The 8048AH operates in a single-step mode as follows:

1) The processor is requested to stop by applying a low level on $\overline{SS}$.
2) The processor responds by stopping during the address fetch portion of the next instruction. If a double cycle instruction is in progress when the single step command is received, both cycles will be completed before stopping.
3) The processor acknowledges it has entered the stopped state by raising ALE high. In this state (which can be maintained indefinitely) the address of the next instruction to be fetched is present on BUS and the lower half of port 2.
4) $\overline{SS}$ is then raised high to bring the processor out of the stopped mode allowing it to fetch the next instruction. The exit from stop is indicated by the processor bringing ALE low.
5) To stop the processor at the next instruction $\overline{SS}$ must be brought low again soon after ALE goes low. If $\overline{SS}$ is left high the processor remains in a "Run" mode.

A diagram for implementing the single-step function of the 8748H is shown in Figure 12-13. D-type flip-flop with preset and clear is used to generate $\overline{SS}$. In the run mode SS is held high by keeping the flip-flop preset (preset has precedence over the clear input). To enter single step, preset is removed allowing ALE to bring $\overline{SS}$ low via the clear input. ALE should be buffered since the clear input of an SN7474 is the equivalent of 3 TTL loads. The processor is now in the stopped state. The next instruction is initiated by clocking a "1" into the flip-flop. This "1" will not appear on $\overline{SS}$ unless ALE is high removing clear from the flip-flop. In response to $\overline{SS}$ going high the processor begins an instruction fetch which brings ALE low resetting $\overline{SS}$ through the clear input and causing the processor to again enter the stopped state.

1.1.14 Power Down Mode (8048AH, 8049AH, 8050AH, 8039AHL, 8035AHL, 8040AHL)

Extra circuitry has been added to the 8048AH/8049AH/8050AH ROM version to allow power to be removed from all but the data RAM array for low power standby operation. In the power down mode the contents of data RAM can be maintained while drawing typically 10% to 15% of normal operating power requirements.

V_{CC} serves as the 5V supply pin for the bulk of circuitry while the V_{DD} pin supplies only the RAM array. In normal operation both pins are a 5V while in standby, V_{CC} is at ground and V_{DD} is maintained at its standby value. Applying Reset to the processor through the $\overline{RESET}$ pin inhibits any access to the RAM by the processor and guarantees that RAM cannot be inadvertently altered as power is removed from V_{CC}.

A typical power down sequence (Figure 12-14) occurs as follows:

1) Imminent power supply failure is detected by user defined circuitry. Signal must be early enough to allow 8048AH to save all necessary data before V_{CC} falls below normal operating limits.
2) Power fail signal is used to interrupt processor and vector it to a power fail service routine.
3) Power fail routine saves all important data and machine status in the internal data RAM array. Routine may also initiate transfer of backup supply to the V_{DD} pin and indicate to external circuitry that power fail routine is complete.
4) Reset is applied to guarantee data will not be altered as the power supply falls out of limits. Reset must be held low until V_{CC} is at ground level.

Recovery from the Power Down mode can occur as any other power-on sequence with an external capacitor on the Reset input providing the necessary delay. See the previous section on Reset.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

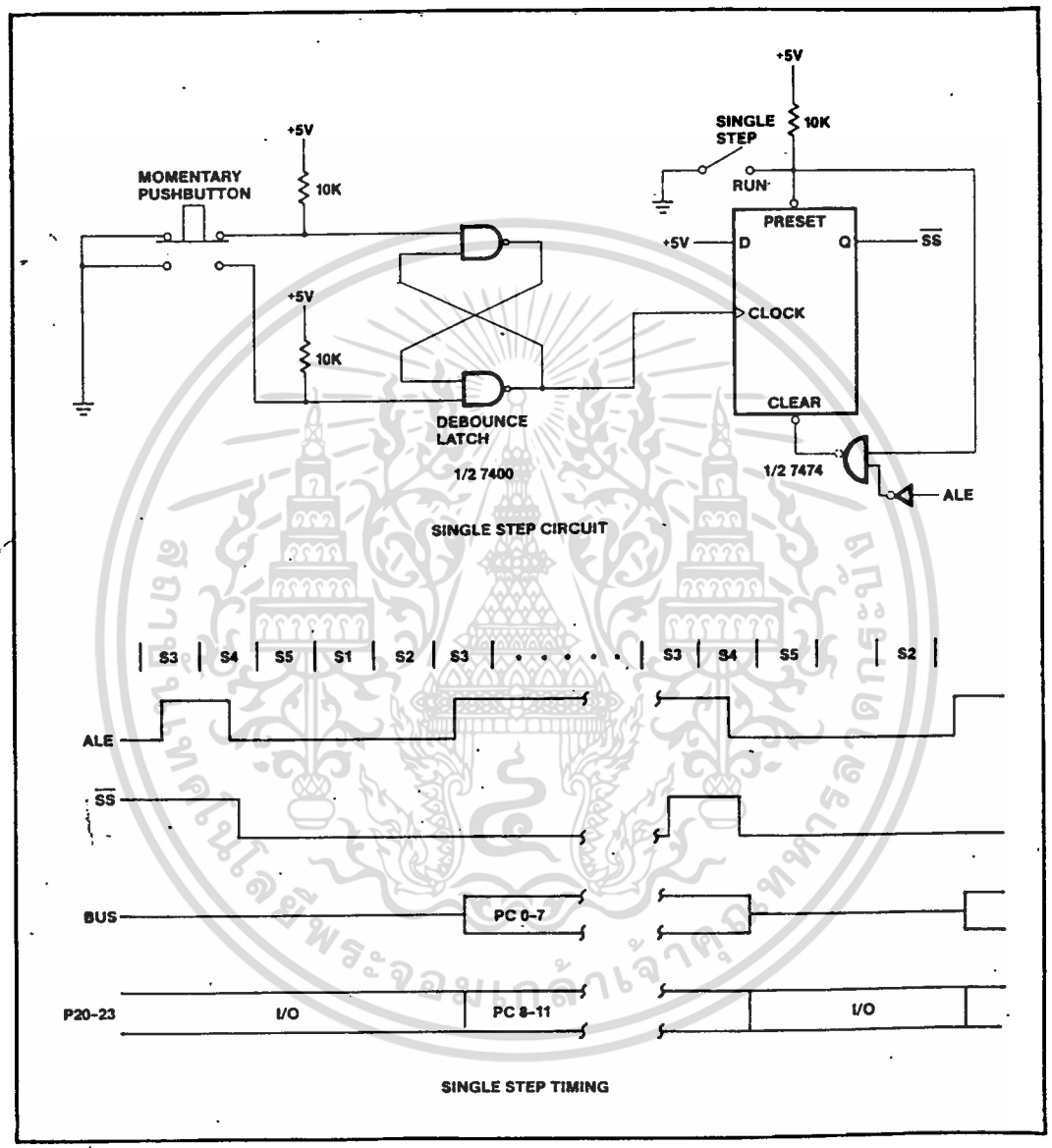


Figure 12-13. Single Step Operation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

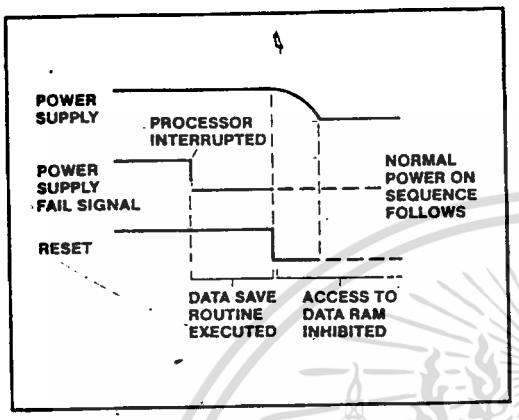


Figure 12-14. Power Down Sequence

1.1.15 External Access Mode

Normally the first 1K (8048AH), 2K (8049AH), or 4K (8050AH) words of program memory are automatically fetched from internal ROM or EPROM. The EA input pin however allows the user to effectively disable internal program memory by forcing all program memory fetches to reference external memory. The following chapter explains how access to external program memory is accomplished.

The External Access mode is very useful in system test and debug because it allows the user to disable his internal application's program and substitute an external program of his choice — a diagnostic routine for instance. In addition, section 12.4 explains how internal program memory can be read externally, independent of the processor. A "1" level on EA initiates the external accesss mode. For proper operation, Reset should be applied while the EA input is changed.

1.1.16 Sync Mode

The 8048AH, 8049AH, 8050AH has incorporated a new SYNC mode. The Sync mode is provided to ease the design of multiple controller circuits by allowing the designer to force the device into known phase and state time. The SYNC mode may also be utilized by automatic test equipment (ATE) for quick, easy, and efficient synchronizing between the tester and the DUT (device under test).

SYNC mode is enabled when SS' pin is raised to high voltage level of +12 volts. To begin synchronization, T0 is raised to 5 volts at least four clocks cycles after SS'. T0 must be high for at least four X1 clock cycles to fully reset the prescaler and time state generators. T0 may then be brought down with the rising edge of X1. Two clock cycles later, with the rising edge of X1, the device enters into Time State 1, Phase 1, SS' is then brought down to 5 volts 4 clocks later after T0. RESET' is allowed to go high 5 tCY (75 clocks) later for normal execution of code. See Figure 12-15.

1.1.17 Idle Mode

Along with the standard power down, the 80C438, 80C49, 80C50 has added an IDLE mode instruction (01H) to give even further flexibility and power management. In the IDLE mode, the CPU is frozen while the oscillator, RAM, timer, and the interrupt circuitry remains fully active.

When the IDL instruction (01H) is decoded, the clock to the CPU is stopped. CPU status is preserved in its entirety: the Stack Pointer, Program Counter, Program Status Word, Accumulator, RAM, and all the registers maintain their data throughout idle.

Externally, the following occurs during idle:

1) The ports remain in the logical state they were in when idle was executed.
2) The bus remains in the logical state it was in when idle was executed if the bus was latched.

   If the bus was in a high Z condition or if external program memory is used the bus will remain in the float state.
3) ALE remains in the inactive state (low).
4) RD', WR', PROG', and PSEN' remains in the inactive state (high).
5) T0 outputs clock if enabled.

There are three ways of exiting idle. Activating any enabled interrupt (external or timer) will cause the CPU to vector to the appropriate interrupt routine. Following a RETR instruction, program execution will resume at the instruction following the address that contained the IDL instruction.

The F0 and F1 flags may be used to give an indication if the interrupt occurred during normal program execution or during idle. This is done by setting or clearing the flags before going into idle. The interrupt service routine can examine the flags and act accordingly when idle is terminated by an interrupt.

Resetting the device can also terminate idle. Since the oscillator is already running, five machine cycles are all that is required to insure proper machine operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

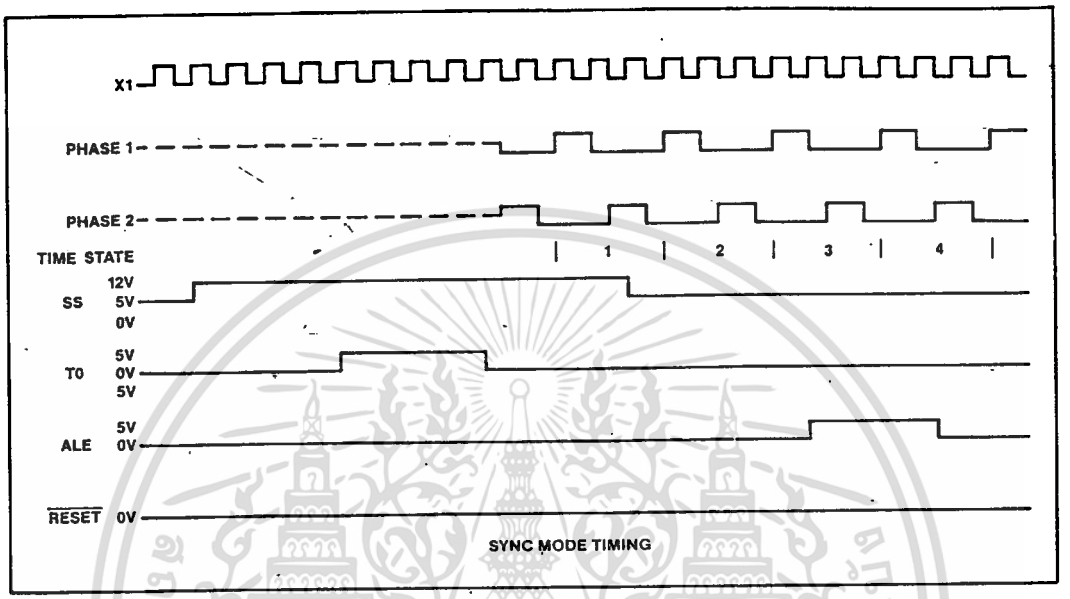


Figure 12-15. Sync Mode Timing

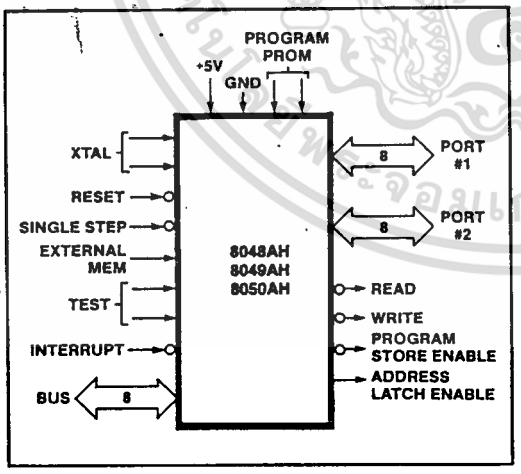


Figure 12-16. 8048AH and 8049AH Logic Symbol

1.2 PIN DESCRIPTION

The MCS-48 processors are packaged in 40 pin Dual In-Line Packages (DIP's). Table 12-3 is a summary of the functions of each pin. Figure 12-16 is the logic symbol for the 8048AH product family. Where it exists, the second paragraph describes each pin's function in an expanded MCS-48 system. Unless otherwise specified, each input is TTL compatible and each output will drive one standard TTL load.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 12-3. Pin Description

Designation	Pin Number*	Function
V_{SS}	20	Circuit GND potential
V_{DD}	26	Programming power supply; 21V during program for the 8748H/8749H; +5V during operation for both ROM and EPROM. Low power standby pin in 8048AH and 8049AH/8050AH ROM versions.
V_{CC}	40	Main power supply; +5V during operation and during 8748H and 8749H programming.
PROG	25	Program pulse; +18V input pin during 8748H/8749H programming. Output strobe for 8243 I/O expander.
P10-P17 (Port 1)	27-34	8-bit quasi-bidirectional port. (Internal Pullup ≈ 50KΩ)
P20-P27 (Port 2)	21-24 35-38	8-bit quasi-bidirectional port. (Internal Pullup ≈ 50KΩ) P20-P23 contain the four high order program counter bits during an external program memory fetch and serve as a 4-bit I/O expander bus for 8243.
D0-D7 (BUS)	12-19	True bidirectional port which can be written or read synchronously using the $\overline{RD}$, $\overline{WR}$ strobes. The port can also be statically latched. Contains the 8 low order program counter bits during an external program memory fetch, and receives the addressed instruction under the control of $\overline{PSEN}$. Also contains the address and data during an external RAM data store instruction, under control of ALE, $\overline{RD}$, and $\overline{WR}$.
T0	1	Input pin testable using the conditional transfer instructions JT0 and JNT0. T0 can be designated as a clock output using ENTO CLK instruction. T0 is also used during programming and sync mode.
T1	39	Input pin testable using the JT1, and JNT1 instructions. Can be designated the event counter input using the STRT CNT instruction. (See Section 2.1.10)
$\overline{INT}$	6	Interrupt input. Initiates an interrupt if interrupt is enabled. Interrupt is disabled after a reset. (Active low) Interrupt must remain low for at least 3 machine cycles to ensure proper operation.
$\overline{RD}$	8	Output strobe activated during a BUS read. Can be used to enable data onto the BUS from an external device. (Active low) Used as a Read Strobe to External Data Memory.
$\overline{RESET}$	4	Input which is used to initialize the processor. Also used during EPROM programming and verification. (Active low) (Internal pullup ≈ 80K Ω)
$\overline{WR}$	10	Output strobe during a BUS write. (Active low) Used as write strobe to external data memory.
ALE	11	Address Latch Enable. This signal occurs once during each cycle and is useful as a clock output. The negative edge of ALE strobes address into external data and program memory.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 12-3. Pin Description (Continued)

Designation	Pin Number*	Function
$\overline{PSEN}$	9	Program Store Enable. This output occurs only during a fetch to external program memory. (Active low)
$\overline{SS}$	5	Single step input can be used in conjunction with ALE to "single step" the processor through each instruction. (Active low) (Internal pullup ≈ 300KΩ) +12V for sync modes (See 2.1.16)
EA	7	External Access input which forces all program memory fetches to reference external memory. Useful for emulation and debug, and essential for testing and program verification. (Active high) +12V for 8048AH/8049AH/8050AH program verification and +18V for 8748H/8749H program verification (Internal pullup ≈ 10MΩ on 8048AH/8049AH/8035AHL/8039AHL/8050AH/8040AHL)
XTAL1	2	One side of crystal input for internal oscillator. Also input for external source.
XTAL2	3	Other side of crystal/external source input.

*Unless otherwise stated, inputs do not have internal pullup resistors. 8048AH, 8748H, 8049AH, 8050AH, 8040AHL

1.3 PROGRAMMING, VERIFYING AND ERASING EPROM

The internal Program Memory of the 8748H and the 8749H may be erased and reprogrammed by the user as explained in the following sections. See also the 8748H and 8749H data sheets.

1.3.1 Programming/Verification

In brief, the programming process consists of: activating the program mode, applying an address, latching the address, applying data, and applying a programming pulse. This programming algorithm applies to both the 8748H and 8749H. Each word is programmed completely before moving on to the next and is followed by a verification step. The following is a list of the pins used for programming and a descsription of their functions:

Pin	Function
XTAL 1	Clock Input (3 to 4 MHz)
Reset	Initialization and Address Latching
Test 0	Selection of Program (0V) or Verify (5V) Mode
EA	Activation of Program/Verify Modes
BUS	Address and Data Input Data Output During Verify
P20-1	Address Input for 8748H
P20-2	Address Input for 8749H
V_{DD}	Programming Power Supply
PROG	Program Pulse Input
P10–P11	Tied to ground (8749H only)

8748H AND 8749H ERASURE CHARACTERISTICS

The erasure characteristics of the 8748H and 8749H are such that erasure begins to occur when exposed to light with wavelengths shorter than approximately 4000 Angstroms (A). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000–4000A range. Data show that constant exposure to room level fluorescent lighting could erase the typical 8748H and 8749H in approximately 3 years while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 8748H or 8749H is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 8748H window to prevent unintentional erasure.

When erased, bits of the 8748H and 8749H Program Memory are in the logic "0" state.

The recommended erasure procedure for the 8748H and 8749H is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (A). The integrated dose (i.e., UV intensity X exposure time) for erasure should be a minimum of 15W-sec/cm^2. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000μW/cm^2 power rating. The 8748H and 8749H should be placed within one inch from the lamp tubes during erasure. Some lamps have a filter in their tubes and this filter should be removed before erasure.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

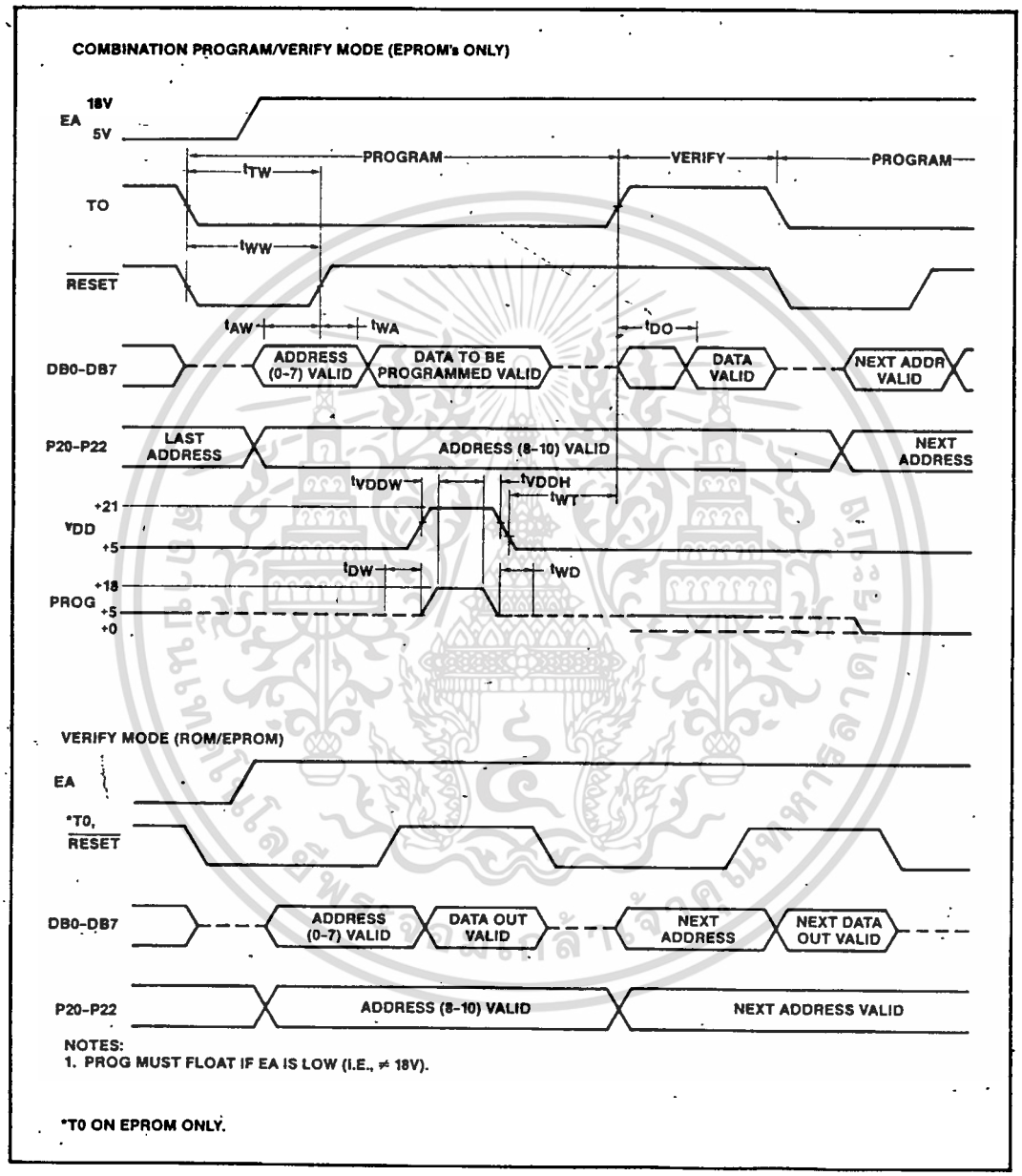


Figure 12-17. Program/Verify Sequence for 8749H/8748H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHAPTER 2
EXPANDED MCS®-48 SYSTEM

2.0 INTRODUCTION

If the capabilities resident on the single-chip 8048AH/8748H/8035AHL/8049AH/8749H/8039AHL are not sufficient for your system requirements, special on-board circuitry allows the addition of a wide variety of external memory, I/O, or special peripherals you may require. The processors can be directly and simply expanded in the following areas:

- Program Memory to 4K words
- Data Memory to 320 words (384 words with 8049AH)
- I/O by unlimited amount
- Special Functions using 8080/8085AH peripherals

By using bank switching techniques, maximum capability is essentially unlimited. Bank switching is discussed later in the chapter. Expansion is accomplished in two ways:

1) Expander I/O — A special I/O Expander circuit, the 8243, provides for the addition of four 4-bit Input/Output ports with the sacrifice of only the lower half (4-bits) of port 2 for inter-device communication. Multiple 8243's may be added to this 4-bit bus by generating the required "chip select" lines.
2) Standard 8085 Bus — One port of the 8048AH/8049AH is like the 8-bit bidirectional data bus of the 8085 microcomputer system allowing interface to the numerous standard memories and peripherals of the MCS®-80/85 microcomputer family.

MCS-48 systems can be configured using either or both of these expansion features to optimize system capabilities to the application.

Both expander devices and standard memories and peripherals can be added in virtually any number and combination required.

2.1 EXPANSION OF PROGRAM MEMORY

Program Memory is expanded beyond the resident 1K or 2K words by using the 8085 BUS feature of the MCS®-48. All program memory fetches from the addresses less than 1024 on the 8048AH and less than 2048 on the 8049AH occur internally with no external signals being generated (except ALE which is always present). At address 1024 on the 8048AH, the processor automatically initiates external program memory fetches.

2.1.1 Instruction Fetch Cycle (External)

As shown in Figure 13-1, for all instruction fetches from addresses of 1024 (2048) or greater, the following will occur:

1) The contents of the 12-bit program counter will be output on BUS and the lower half of port 2.
2) Address Latch Enable (ALE) will indicate the time at which address is valid. The trailing edge of ALE is used to latch the address externally.
3) Program Store Enable ($\overline{PSEN}$) indicates that an external instruction fetch is in progress and serves to enable the external memory device.
4) BUS reverts to input (floating) mode and the processor accepts its 8-bit contents as an instruction word.

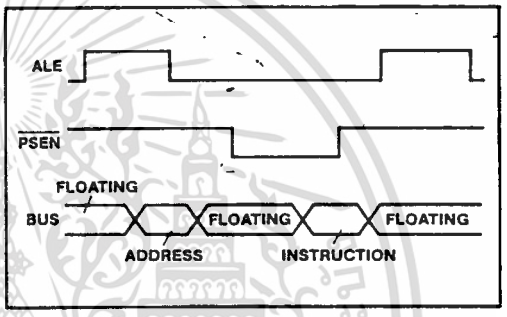


Figure 13-1. Instruction Fetch from External Program Memory

All instruction fetches, including internal addresses, can be forced to be external by activating the EA pin of the 8048AH/8049AH/8050AH. The 8035AHL/8039AHL/8040AHL processors without program memory always operate in the external program memory mode (EA = 5V).

2.1.2 Extended Program Memory Addressing (Beyond 2K)

For programs of 2K words or less, the 8048AH/8049AH addresses program memory in the conventional manner. Addresses beyond 2047 can be reached by executing a program memory bank switch instruction (SEL MB0, SEL MB1) followed by a branch instruction (JMP or CALL). The bank switch feature extends the range of branch instructions beyond their normal 2K range and at the same time prevents the user from inadvertently crossing the 2K boundary.

PROGRAM MEMORY BANK SWITCH

The switching of 2K program memory banks is accomplished by directly setting or resetting the most significant bit of the program counter (bit 11); see Figure 13-2. Bit 11 is not altered by normal incrementing of the program counter but is loaded with the contents of a special flip-flop each time a JMP or CALL instruction is executed. This special flip-flop is set by executing an SEL MB1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

instruction and reset by SEL MB0. Therefore, the SEL MB instruction may be executed at any time prior to the actual bank switch which occurs during the next branch instruction encountered. Since all twelve bits of the program counter, including bit 11, are stored in the stack, when a Call is executed, the user may jump to subroutines across the 2K boundary and the proper bank will be restored upon return. However, the bank switch flip-flop will not be altered on return.

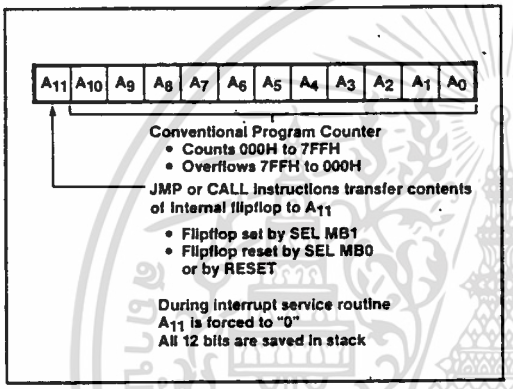


Figure 13-2. Program Counter

INTERRUPT ROUTINES

Interrupts always vector the program counter to location 3 or 7 in the first 2K bank, and bit 11 of the program counter is held at "0" during the interrupt service routine. The end of the service routine is signalled by the execution of an RETR instruction. Interrupt service routines should therefore be contained entirely in the lower 2K words of program memory. The execution of a SEL MB0 or SEL MB1 instruction within an interrupt routine is not recommended since it will not alter PC11 while in the routine, but will change the internal flip-flop.

2.1.3 Restoring I/O Port Information

Although the lower half of Port 2 is used to output the four most significant bits of address during an external program memory fetch, the I/O information is still outputed during certain portions of each machine cycle. I/O information is always present on Port 2's lower 4 bits at the rising edge of ALE and can be sampled or latched at this time.

2.1.4 Expansion Examples

Shown in Figure 13-3 is the addition of 2K words of program memory using an 2716A 2K x 8 ROM to give a total of 3K words of program memory. In this case no chip select decoding is required and $\overline{PSEN}$ enables the memory directly through the chip select input. If the system requires only 2K of program memory, the same configuration can be used with an 8035AHL substituted for the 8048AH. The 8049AH would provide 4K of program memory with the same configuration.

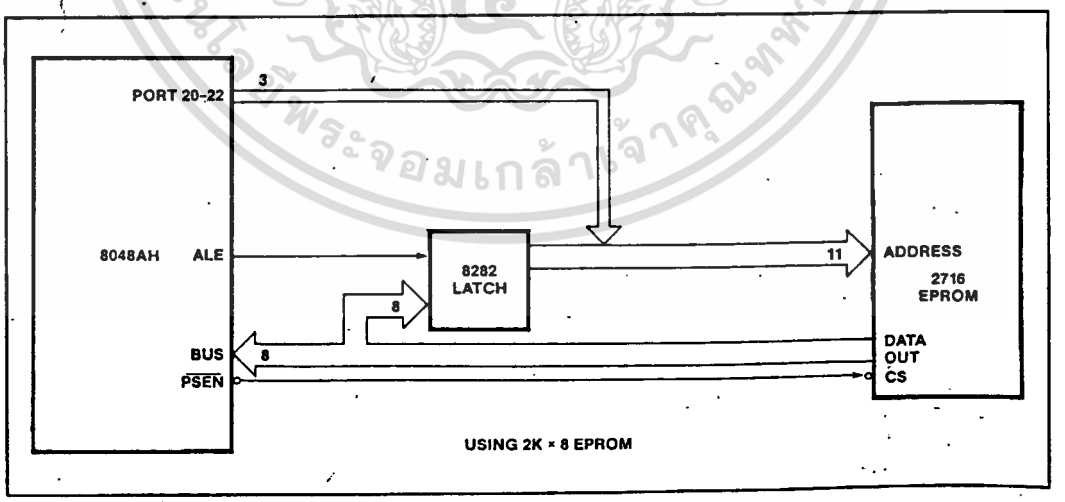


Figure 13-3. Expanding MCS®-48 Program Memory Using Standard Memory Products

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

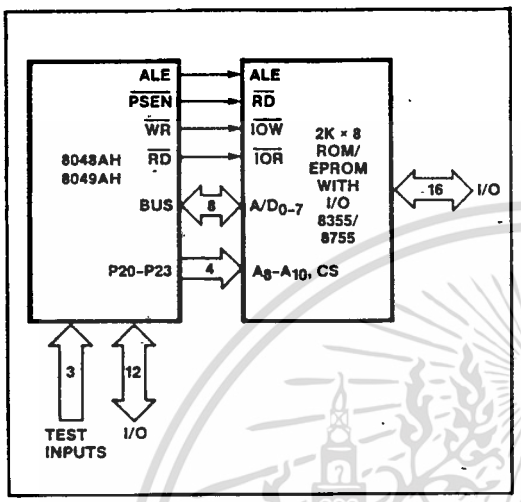


Figure 13-4. External Program Memory Interface

Figure 13-4 shows how the 8755/8355 EPROM/ROM with I/O interfaces directly to the 8048AH without the need for an address latch. The 8755/8355 contains an internal 8-bit address latch eliminating the need for an 8212 latch. In addition to a 2K x 8 program memory, the 8755/8355 also contains 16 I/O lines addressable as two 8-bit ports. These ports are addressed as external RAM; therefore the $\overline{RD}$ and $\overline{WR}$ outputs of the 8048AH are required. See the following section on data memory expansion for more detail. The subsequent section on I/O expansion explains the operation of the 16 I/O lines.

2.2 EXPANSION OF DATA MEMORY

Data Memory is expanded beyond the resident 64 words by using the 8085AH type bus feature of the MCS®-48.

2.2.1 Read/Write Cycle

All address and data is transferred over the 8 lines of BUS. As shown in Figure 13-5, a read or write cycle occurs as follows:

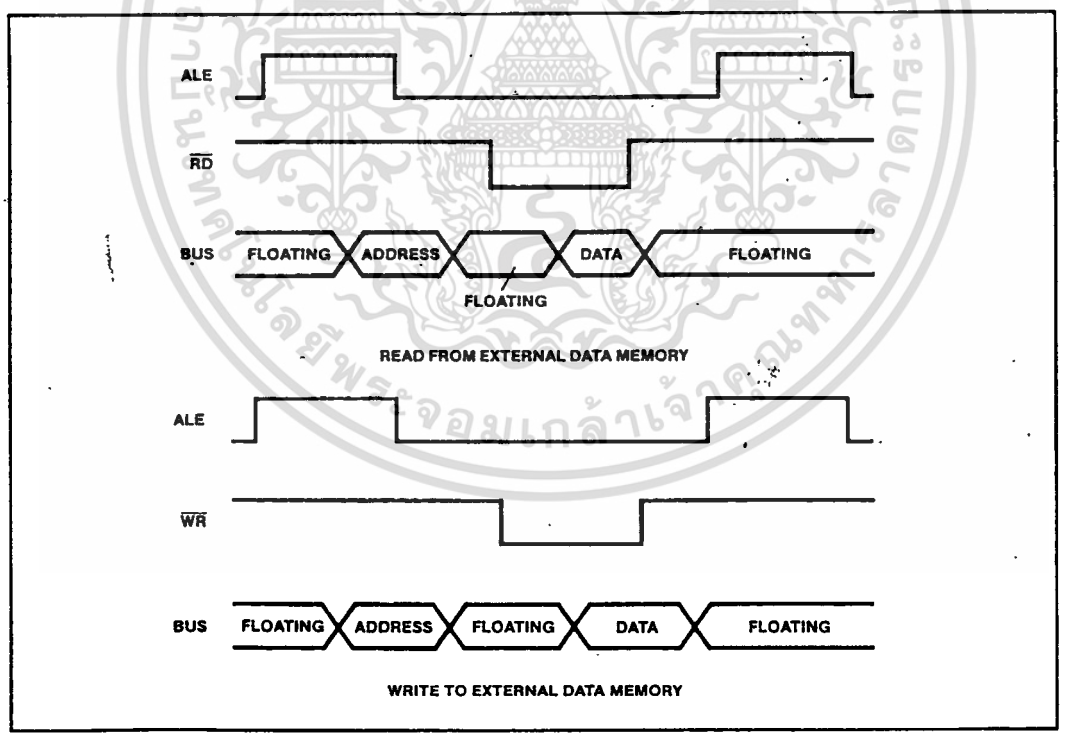


Figure 13-5. External Data Memory Timings

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) The contents of register R0 or R1 is outputed on BUS.
2) Address Latch Enable (ALE) indicates addresss is valid. The trailing edge of ALE is used to latch the address externally.
3) A read ($\overline{RD}$) or write ($\overline{WR}$) pulse on the corresponding output pins of the 8048AH indicates the type of data memory access in progress. Output data is valid at the trailing edge of $\overline{WR}$ and input data must be valid at the trailing edge of $\overline{RD}$.
4) Dat (8 bits) is transferred in or out over BUS.

2.2.2 Addressing External Data Memory

External Data Memory is accessed with its own two-cycle move instructions. MOVXA, @R and MOVX@R, A, which transfer 8 bits of data between the accumulator and the external memory location addressed by the contents of one of the RAM Pointer Registers R0 and R1. This allows 256 locations to be addressed in addition to the resident locations. Additional pages may be added by "bank switching" with extra output lines of the 8048AH.

2.2.3 Examples of Data Memory Expansion

Figure 13-6 shows how the 8048AH can be expanded using the 8155 memory and I/O expanding device. Since the 8155 has an internal 8-bit address latch, it can interface directly to the 8048AH without the use of an external latch. The 8155 provides an additional 256 words of static data memory and also includes 22 I/O lines and a 14-bit timer. See the following section on I/O expansion and the 8155 data sheet for more details on these additional features.

2.3 EXPANSION OF INPUT/OUTPUT

There are four possible modes of I/O expansion with the 8048AH: one using a special low-cost expander, the 8243; another using standard MCS-80/85 I/O devices; and a third using the combination memory I/O expander devices the 8155, 8355, and 8755. It is also possible to expand using standard TTL devices as shown in Chapter 5.

2.3.1 I/O Expander Device

The most efficient means of I/O expansion for small systems is the 8243 I/O Expander Device which requires only 4 port lines (lower half of Port 2) for communication with the 8048AH. The 8243 contains four 4-bit I/O ports which serve as an extension of the on-chip I/O and are addressed as ports #4–7 (see Figure 13-7). The following operations may be performed on these ports:

- Transfer Accumulator to Port
- Transfer Port to Accumulator
- AND Accumulator to Port
- OR Accumulator to Port

A 4-bit transfer from a port to the lower half of the Accumulator sets the most significant four bits to zero. All communication between the 8048AH and the 8243 occurs over Port 2 lower (P20–P23) with timing provided by an output pulse on the PROG pin of the processor. Each transfer consists of two 4-bit nibbles: The first containing the "op code" and port address, and the second containing the actual 4 bits of data.

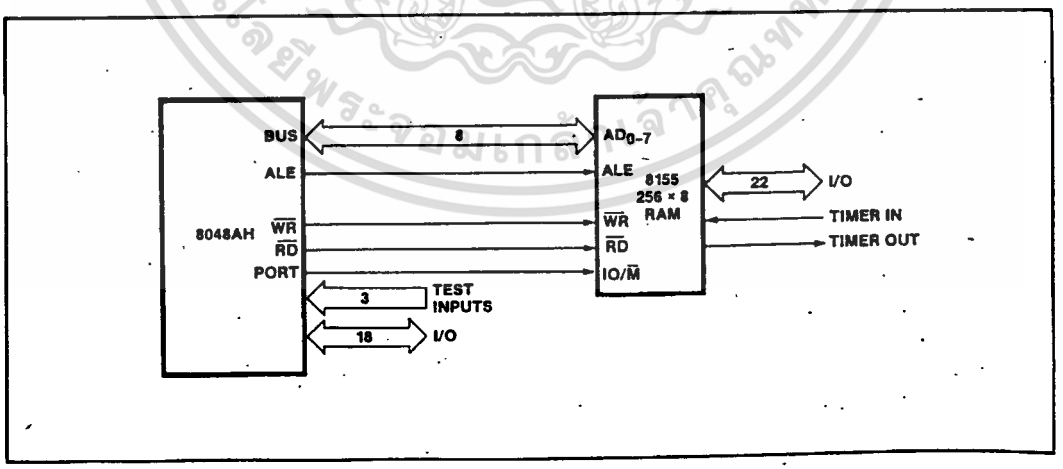


Figure 13-6. 8048AH Interface to 256 x 8 Standard Memories

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

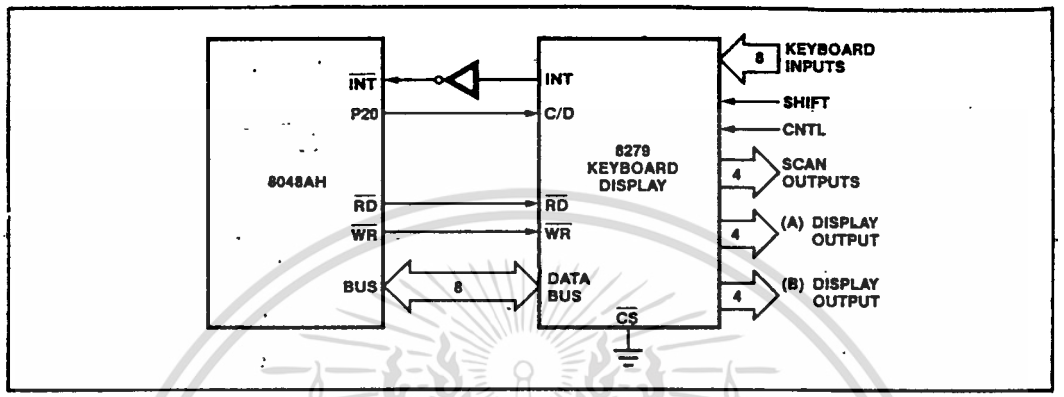


Figure 13-8. Keyboard/Display Interface

8355/8755: These two parts of ROM and EPROM equivalents and therefore contain the same I/O structure. I/O consists of two 8-bit ports which normally reside in the external data memory address space and are accessed with MOVX instructions. Associated with each port is an 8-bit Data Direction Register which defines each bit in the port as either an input or an output. The data direction registers are directly addressable, thereby allowing the user to define under software control each individual bit of the ports as either input or output. All outputs are statically latched and double buffered. Inputs are not latched.

8155/8156: I/O on the 8155/8156 is configured as two 8-bit programmable I/O ports and one 6-bit programmable port. These three registers and a Control/Status register are accessible as external data memory with the MOVX instructions. The contents of the control register determines the mode of the three ports. The ports can be programmed as input or output with or without associated handshake communication lines. In the handshake mode, lines of the six-bit port become input and output strobes for the two 8-bit ports. Also included in the 8155 is a 14-bit programmable timer. The clock input to the timer and the timer overflow output are available on external pins. The timer can be programmed to stop on terminal count or to continuously reload itself. A square wave or pulse output on terminal count can also be specified.

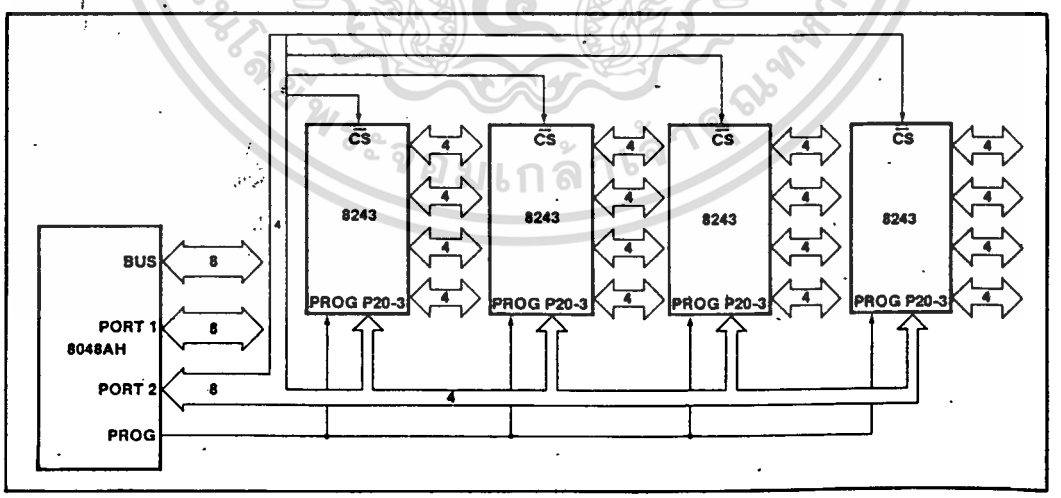


Figure 13-9. Low Cost I/O Expansion

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I/O EXPANSION EXAMPLES

Figure 13-9 shows the expansion of I/O using multiple 8243's. The only difference from a single 8243 system is the addition of chip selects provided by additional 8048AH output lines. Two output liens and a decoder could also be used to address the four chips. Large numbers of 8243's would require a chip select decoder chip such as the 8205 to save I/O pins.

Figure 13-10 shows the 8048AH interface to a standard MCS®-80 peripheral; in this case, the 8255 Programmable Peripheral Interface, a 40-pin part which provides three 8-bit programmable I/O ports. The 8255 bus interface is typical of programmable MCS®-80 peripherals with an 8-bit bidirectional data bus, a RD and WR input for Read/Write control, a CS (chip select) input used to enable the Read/Write control logic and the address inputs used to select various internal registers.

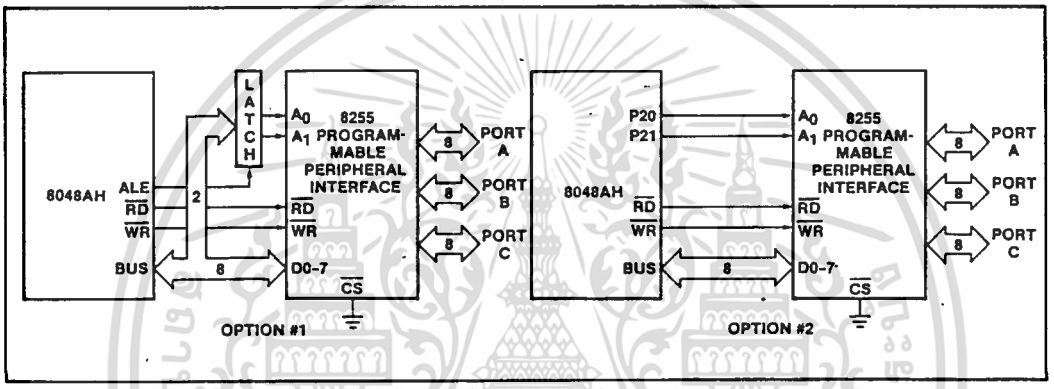


Figure 13-10. Interface to MCS®-80 Peripherals

Interconnection to the 8048AH is very straightforward with BUS, $\overline{RD}$, and $\overline{WR}$ connecting directly to the corresponding pins on the 8255. The only design consideration is the way in which the internal registers of the 8255 are to be addressed. If the registers are to be addressed as external data memory using the MOVX instructions, the appropriate number of address bits (in this case, 2) must be latched on BUS using ALE as described in the section on external data memories. If only a single device is connected to BUS, the 8255 may be continuously selected by grounding $\overline{CS}$. If multiple 8255's are used, additional address bits can be latched and used as chip selects.

A second addressing method eliminates external latches and chip select decoders by using output port lines as address and chip select lines directly. This method, of course, requires the setting of an output port with address information prior to executing a MOVX instruction.

2.4 MULTI-CHIP MCS®-48 SYSTEMS

Figure 13-11 shows the addition of two memory expanders to the 8048AH, one 8355/8755 ROM and one 8156 RAM. The main consideration in designing such a system is the addressing of the various memories and I/O ports. Note that in this configuration address lines A_{10} and A_{11} have been O Red to chip select the 8355. This ensures that the chip is active for all external program memory fetches in the 1K to 3K range and is disabled for all other addresses. This gating has been added to allow the I/O port of the 8355 to be used. If the chip was left selected all the time, there would be conflict between these ports and the RAM and I/O of the 8156. The NOR gate could be eliminated and A_{11} connected directly to the CE (instead of $\overline{CE}$) input of the 8355; however, this would create a 1K word "hole" in the program memory by causing the 8355 to be active in the 2K and 4K range instead of the normal 1K to 3K range.

In this system the various locations are addressed as follows:

- Data RAM — Addresses 0 to 255 when Port 2 Bit 0 has been previously set = 1 and Bit 1 set = 0
- RAM I/O — Addresses 0 to 3 when Port 2 Bit 0 = 1 and Bit 1 = 1
- ROM I/O — Addresses 0 to 3 when Port 2 Bit 2 or Bit 3 = 1

See the memory map in Figure 13-12.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

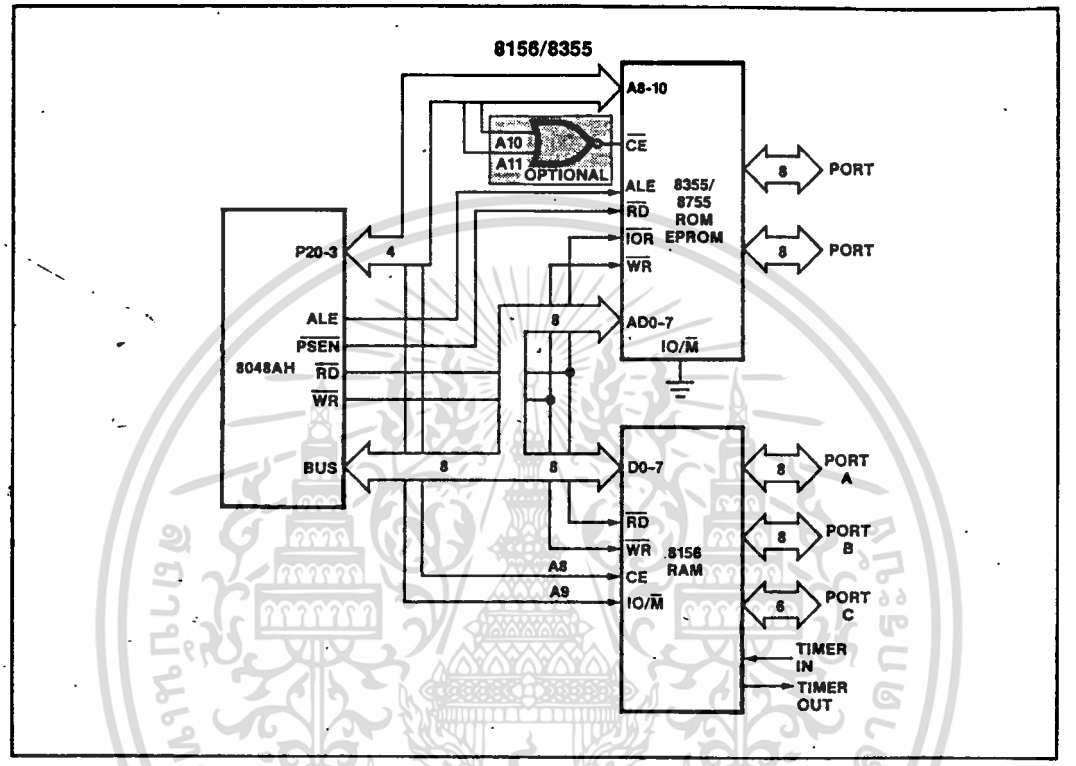


Figure 13-11. The Three-Component MCS®-48 System

2.5 MEMORY BANK SWITCHING

Certain systems may require more than the 4K words of program memory which are directly addressable by the program counter or more than the 256 data memory and I/O locations directly addressable by the pointer registers R0 and R1. These systems can be achieved using "bank switching" techniques. Bank switching is merely the selection of various blocks of "banks" of memory using dedicated output port lines from the processor. In the case of the 8048AH, program memory is selected in blocks of 4K words at a time, while data memory and I/O are enabled 256 words at a time.

The most important consideration in implementing two or more banks is the software required to cross the bank boundaries. Each crossing of the boundary requires that the processor first write a control bit to an output port before accessing memory or I/O in the new bank. If program memory is being switched, programs should be organized to keep boundary crossings to a minimum.

Jumping to subroutines across the boundary should be avoided when possible since the programmer must keep track of which bank to return to after completion of the subroutine. If these subroutines are to be nested and accessed from either bank, a software "stack" should be implemented to save the bank switch bit just as if it were another bit of the program counter.

From a hardware standpoint bank switching is very straightforward and involves only the connection of an I/O line or lines as bank enable signals. These enables are ANDed with normal memory and I/O chip select signals to activate the proper bank.

2.6 CONTROL SIGNAL SUMMARY

Table 13 summarizes the instructions which activate the various control outputs of the MCS®-48 processors. During all other instructions these outputs are driven to the active state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 13-1. MCS®-48 Control Signals

Control Signal	When Active
$\overline{RD}$	During MOVX, A, @R or INS Bus
$\overline{WR}$	During MOVX @R, A or OUTL Bus
ALE	Every Machine Cycle
$\overline{PSEN}$	During Fetch of external program memory (instruction or immediate data)
PROG	During MOVD; A,P ANLD P,A MOVD P,A ORLD P,A

2.7 PORT CHARACTERISTICS

2.7.1 BUS Port Operations

The BUS port can operate in three different modes: as a latched I/O port, as a bidirectional bus port, or as a program memory address output when external memory is used. The BUS port lines are either active high, active low, or high impedance (floating).

The latched mode (INS, OUTL) is intended for use in the single-chip configuration where BUS is not begin used as an expander port. OUTL and MOVX instructions can be mixed if necessary. However, a previously latched output will be destroyed by executing a MOVX instruction and BUS will be left in the high impedance state. INS does not put the BUS in a high impedance state. Therefore, the use of MOVX after OUTL to put the BUS in a high impedance state is necessary before an INS instruction intended to read an external word (as opposed to the previously latched value).

OUTL should never be used in a system with external program memory, since latching BUS can cause the next instruction, if external, to be fetched improperly.

2.7.2 Port 2 Operations

The lower half of Port 2 can be used in three different ways: as a quasi-bidirectional static port, as an 8243 expander port, and to adddress external program memory.

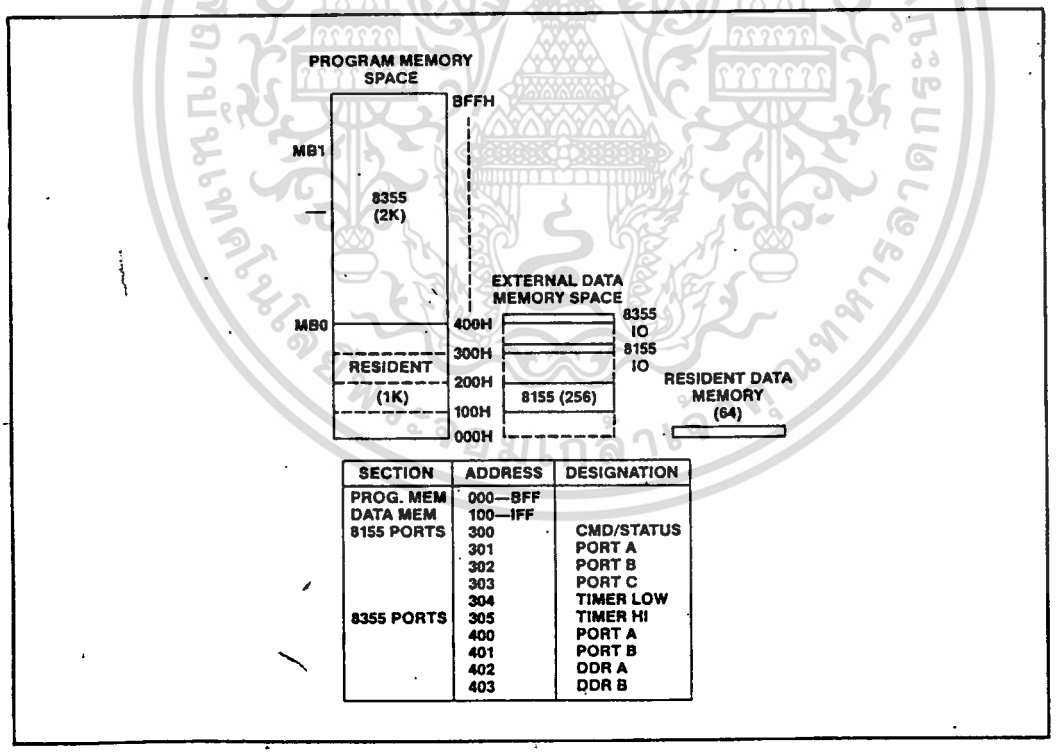


Figure 13-12. Memory Map for Three-Component MCS®-48 Family

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPANDED MCS®-48 SYSTEM

In all cases outputs are driven low by an active device and driven high momentarily by a low impedance device and held high by a high impedance device to VCC.

The port may contain latched I/O data prior to its use in another mode without affecting operation of either. If lower Port 2 (P20-3) is used to output address for an external program memory fetch, the I/O information previously latched will be automatically removed temporarily while address is present, then retored when the fetch is complete. However, if lower Port 2 is used to communicate with an 8243, previously latched I/O information will be removed and not restored. After an input from the 8243, P20-3 will be left in the input mode (floating). After an output to the 8243, P20-3 will contain the value written, ANDed, or ORed to the 8243 port.

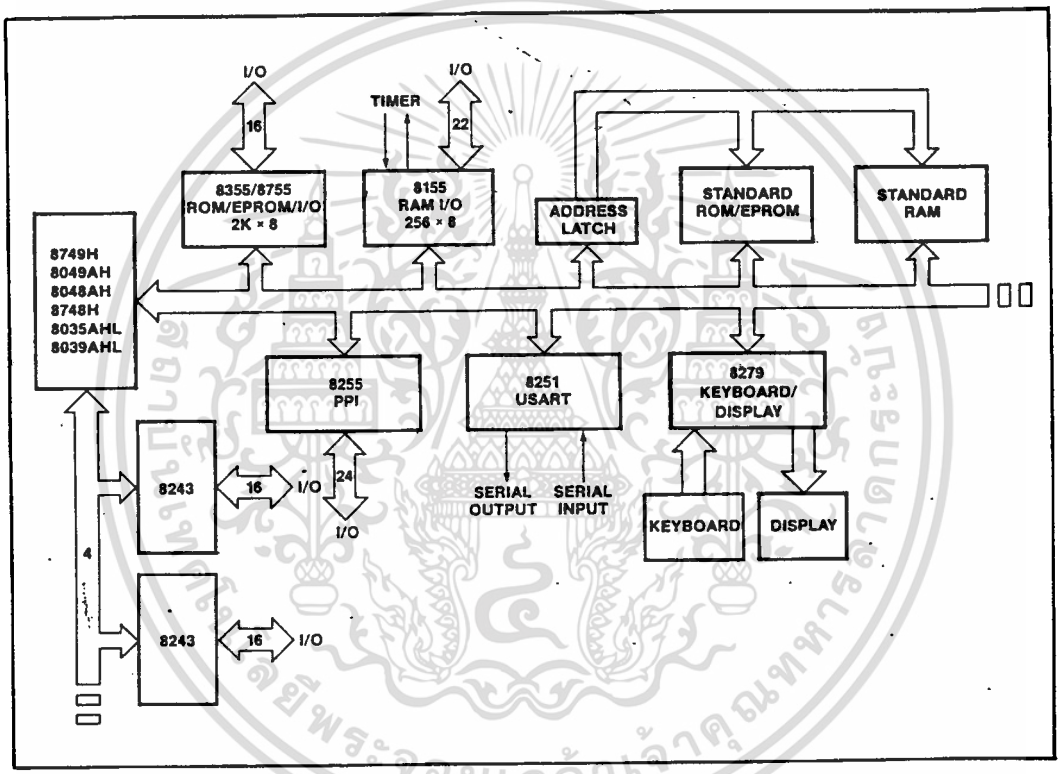


Figure 13-13. MCS®-48 Expansion Capability

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHAPTER 3
MCS®-48 INSTRUCTION SET

3.0 INTRODUCTION

The MCS®-48 instruction set is extensive for a machine of its size and has been tailored to be straightforward and very efficient in its use of program memory. All instructions are either one or two bytes in length and over 80% are only one byte long. Also, all instructions execute in either one or two cycles and over 50% of all instructions execute in a single cycle. Double cycle instructions include all immediate instructions, and all I/O instructions.

The MCS-48 microcomputers have been designed to handle arithmetic operations efficiently in both binary and BCD as well as handle the single-bit operations required in control applications. Special instructions have also been included to simplify loop counters, table look-up routines, and N-way branch routines.

3.0.1 Data Transfers

As can be seen in Figure 14.1, the 8-bit accumulator is the central point for all data transfers within the 8048. Data can be transferred between the 8 registers of each working register bank and the accumulator directly, i.e., the source or destination register is specified by the instruction. The remaining locations of the internal RAM array are referred to as Data Memory and are addressed indirectly via an address stored in either R0 or R1 of the active register bank. R0 and R1 are also used to indirecly address external data memory when it is present. Transfers to and from internal RAM require one cycle, while transfers to external RAM require two. Constants stored in Program Memory can be loaded directly to the accumulator and to the 8 working registers. Data can also be transferred directly between the accumulator and the on-

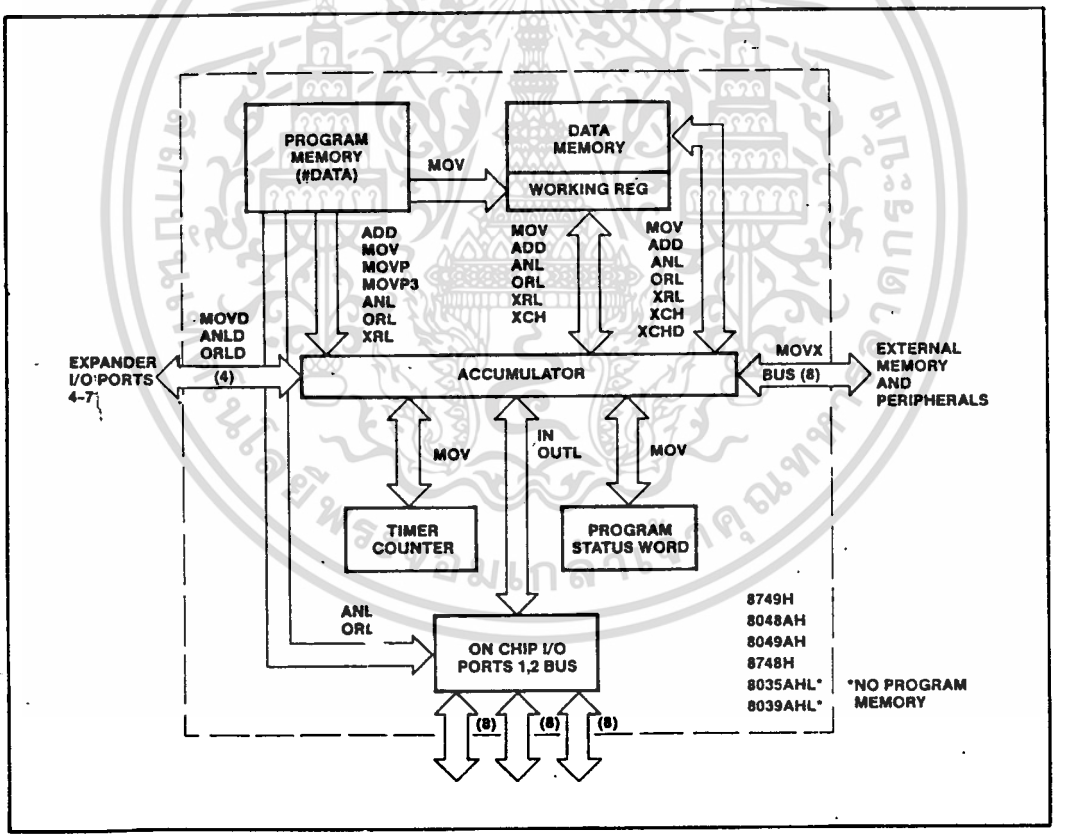


Figure 14-1. Data Transfer Instructions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

board timer counter or the accumulator and the Program Status word (PSW). Writing to the PSW alters machine status accordingly and provides a means of restoring status after an interrupt or of altering the stack pointer if necessary.

3.0.2 Accumulator Operations

Immediate data, data memory, or the working registers can be added with or without carry to the accumulator. These sources can also be ANDed, ORed, or Exclusive ORed to the accumulator. Data may be moved to or from the accumulator and working registers or data memory. The two values can also be exchanged in a single operation.

In addition, the lower 4 bits of the accumulator can be exchanged with the lower 4-bits of any of the internal RAM locations. This instruction, along with an instruction which swaps the upper and lower 4-bit halves of the accumulator, provides for easy handling of 4-bit quantities, including BCD numbers. To facilitate BCD arithmetic, a Decimal Adjust instruction is included. This instruction is used to correct the result of the binary addition of two 2-digit BCD numbers. Performing a decimal adjust on the result in the accumulator produces the required BCD result.

Finally, the accumulator can be incremented, decremented, cleared, or complemented and can be rotated left or right 1 bit at a time with or without carry.

Although there is no subtract instruction in the 8048AH, this operation can be easily implemented with three single-byte single-cycle instructions.

A value may be subtracted from the accumulator with the result in the accumulator by:

- Complementing the accumulator
- Adding the value to the accumulator
- Complementing the accumulator

3.0.3 Register Operations

The working registers can be accessed via the accumulator as explained above, or can be loaded immediate with constants from program memory. In addition, they can be incremented or decremented or used as loop counters using the decrement and jump, if not zero instruction, as explained under branch instructions.

All Data Memory including working registers can be accessed with indirect instructions via R0 and R1 and can be incremented.

3.0.4 Flags

There are four user-accessible flags in the 8048AH: Carry, Auxiliary Carry, F0 and F1. Carry indicates overflow of the accumulator, and Auxiliary Carry is used to indiate overflow between BCD digits and is used during decimal-adjust operation. Both Carry and Auxiliary Carry are accessible as part of the program status word and are stored on the stack during subroutines. F0 and F1 are undedicated general-purpose flags to be used as the programmer desires. Both flags can be cleared or complemented and tested by conditional jump instructions. F0 is also accessible via the Program Status word and is stored on the stack with the carry flags.

3.0.5 Branch Instructions

The unconditional jump instruction is two bytes and allows jumps anywhere in the first 2K words of program memory. Jumps to the second 2K of memory (4K words are directly addressable) are made first by executing a select memory bank instruction, then executing the jump instruction. The 2K boundary can only be crossed via a jump or subroutine call instruction, i.e., the bank switch does not occur until a jump is executed. Once a memory bank has been selected all subsequent jumps will be to the selected bank until another select memory bank instruction is executed. A subroutine in the opposite bank can be accessed by a select memory bank instruction followed by a call instruction. Upon completion of the subroutine, execution will automatically return to the original bank; however, unless the original bank is reselected, the next jump instruction encountered will again transfer execution to the opposite bank.

Conditional jumps can test the following inputs and machine status:

- T0 Input Pin
- T1 Input Pin
- $\overline{\text{INT}}$ Input Pin
- Accumulator Zero
- Any bit of Accumulator
- Carry Flag
- F0 Flag
- F1 Flag

Conditional jumps allow a branch to any address within the current page (256 words) of execution. The conditions tested are the instantaneous values at the time the conditional jump is executed. For instance, the jump on accumulator zero instruction tests the accumulator itself, not an intermediate zero flag.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The decrement register and jump if not zero instruction combines a decrement and a branch instruction to create an instruction very useful in implementing a loop counter. This instruction can designate any one of the 8 working registers as a counter and can effect a branch to any address within the current page of execution.

A single-byte indirect jump instruction allows the program to be vectored to any one of several different locations based on the contents of the accumulator. The contents of the accumulator points to a location in program memory which contains the jump address. The 8-bit jump address refers to the current page of execution. This instruction could be used, for instance, to vector to any one of several routines based on an ASCII character which has been loaded in the accumulator. In this way ASCII key inputs can be used to initiate various routines.

3.0.6 Subroutines

Subroutines are entered by executing a call instruction. Calls can be made like unconditional jumps to any address in a 2K word bank, and jumps across the 2K boundary are executed in the same manner. Two separate return instructions determine whether or not status (upper 4-bits of PSW) is restored upon return from the subroutine.

The return and restore status instruction also signals the end of an interrupt service routine if one has been in progress.

3.0.7 Timer Instructions

The 8-bit on board timer/counter can be loaded or read via the accumulator while the counter is stopped or while counting. The counter can be started as a timer with an internal clock source or an event counter or timer with an external clock applied to the T1 input pin. The instruction executed determines which clock source is used. A single instruction stops the counter whether it is operating with an internal or an external clock source. In addition, two instructions allow the timer interrupt to be enabled or disabled.

3.0.8 Control Instructions

Two instructions allow the external interrupt source to be enabled or disabled. Interrupts are initially disabled and are automatically disabled while an interrupt service routines is in progress and re-enabled afterward.

There are four memory bank select instructions, two to designate the active working register bank and two to control program memory banks. The operation of the program memory bank switch is explained in section 13.1.2.

The working register bank switch instructions allow the programmer to immediately substitute a second 8-register working register bank for the one in use. This effectively provides 16 working registers or it can be used as a means of quickly saving the contents of the registers in response to an interrupt. The user has the option to switch or not to switch banks on interrupt. However, if the banks are switched, the original bank will be automatically restored upon execution of a return and restore status instruction at the end of the interrupt service routine.

A special instruction enables an internal clock, which is the XTAL frequency divided by three to be output on pin T0. This clock can be used as a general-purpose clock in the user's system. This instruction should be used only to initialize the system since the clock output can be disabled only by application of system reset.

3.0.9 Input/Output Instructions

Ports 1 and 2 are 8-bit static I/O ports which can be loaded to and from the accumulator. Outputs are statically latched but inputs are not latched and must be read while inputs are present. In addition, immediate data from program memory can be ANDed or ORed directly to Port 1 and Port 2 with the result remaining on the port. This allows "masks" stored in program memory to selectively set or reset individual bits of the I/O ports. Ports 1 and 2 are configured to allow input on a given pin by first writing a "1" out to the pin.

An 8-bit port called BUS can also be accessed via the accumulator and can have statically latched outputs as well. It too can have immediate data ANDed or ORed directly to its outputs, however, unlike ports 1 and 2, all eight lines of BUS must be treated as either input or output at any one time. In addition to being a static port, BUS can be used as a true synchronous bi-directional port using the Move External instructions used to access external data memory. When these instructions are executed, a corresponding $\overline{\text{READ}}$ or $\overline{\text{WRITE}}$ pulse is generated and data is valid only at that time. When data is not being transferred, BUS is in a high impedance state. Note that the OUTL, ANL, and the ORL instructions for the BUS are for use with internal program memory only.

The basic three on-board I/O ports can be expanded via a 4-bit expander bus using half of port 2. I/O expander devices on this bus consist of four 4-bit ports which are addressed as ports 4 through 7. These ports have their own AND and OR instructions like the on-board ports as well as move instructions to transfer data in or out. The expander AND and OR instructions, however, combine the contents of accumulator with the selected port rather than immediate data as is done with the on-board ports.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I/O devices can also be added externally using the BUS port as the expansion bus. In this case the I/O ports become "memory mapped", i.e., they are addressed in the same way as external data memory and exist in the external data memory address space addressed by pointer register R0 or R1.

3.1 INSTRUCTION SET DESCRIPTION

The following pages describe the MCS®-48 instruction set in detail. The instruction set is first summarized with instructions grouped functionally. This summary page is followed by a detailed description listed alphabetically by mnemonic opcode.

The alphabetical listing includes the following information.

- Mnemonic
- Machine Code
- Verbal Description
- Symbolic Description
- Assembly Language Example

The machine code is represented with the most significant bit (7) to the left and two byte instructions are represented with the first byte on the left. The assembly language examples are formulated as follows:

Arbitrary

Label: Mnemonic, Operand;

Descriptive Comment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MCS®-48 INSTRUCTION SET

8048AH/8748H/8049AH/8050AH/8749H
Instruction Set Summary

Mnemonic	Description	Bytes	Cycle
Accumulator			
ADD A, R	Add register to A	1	1
ADD A, @R	Add data memory to A	1	1
ADD A, # data	Add immediate to A	2	2
ADDC A, R	Add register with carry	1	1
ADDC A, @R	Add data memory with carry	1	1
ADDC A, # data	Add immediate with carry	2	2
ANL A, R	And register to A	1	1
ANL A, @R	And data memory to A	1	1
ANL A, # data	And immediate to A	2	2
ORL A, R	Or register to A	1	1
ORL A @R	Or data memory to A	1	1
ORL A, # data	Or immediate to A	2	2
XRL A, R	Exclusive Or register to A	1	1
XRL A, @R	Exclusive or data memory to A	1	1
XRL, A, # data	Exclusive or immediate to A	2	2
INC A	Increment A	1	1
DEC A	Decrement A	1	1
CLR A	Clear A	1	1
CPL A	Complement A	1	1
DA A	Decimal adjust A	1	1
SWAP A	Swap nibbles of A	1	1
RL A	Rotate A left	1	1
RLC A	Rotate A left through carry	1	1
RR A	Rotate A right	1	1
RRC A	Rotate A right through carry	1	1
Input/Output			
IN A, P	Input port to A	1	2
OUTL P, A	Output A to port	1	2
ANL P, # data	And immediate to port	2	2
ORL P, # data	Or immediate to port	2	2
*INS A, BUS	Input BUS to A	1	2
*OUTL BUS, A	Output A to BUS	1	2
*ANL BUS, # data	And immediate to BUS	2	2
*ORL BUS, # data	Or immediate to BUS	2	2
MOVD A, P	Input Expander port to A	1	2
MOVD P, A	Output A to Expander port	1	2
ANLD P, A	And A to Expander port	1	2
ORLD P, A	Or A to Expander port	1	2

Mnemonic	Description	Bytes	Cycles
Registers			
INC R	Increment register	1	1
INC @R	Increment data memory	1	1
DEC R	Decrement register	1	1
Branch			
JMP addr	Jump unconditional	2	2
JMPP @A	Jump indirect	1	2
DJNZ R, addr	Decrement register and jump	2	2
JC addr	Jump on carry = 1	2	2
JNC addr	Jump on carry = 0	2	2
JZ addr	Jump on A Zero	2	2
JNZ addr	Jump on A not Zero	2	2
JT0 addr	Jump on T0 = 1	2	2
JNT0 addr	Jump on T0 = 0	2	2
JT1 addr	Jump on T1 = 1	2	2
JNT1 addr	Jump on T1 = 0	2	2
JF0 addr	Jump on F0 = 1	2	2
JF1 addr	Jump on F1 = 1	2	2
JTF addr	Jump on timer flag = 1	2	2
JNI addr	Jump on INT = 0	2	2
JBb addr	Jump on Accumulator Bit	2	2
Subroutine			
CALL addr	Jump to subroutine	2	2
RET	Return	1	2
RETR	Return and restore status	1	2
Flags			
CLR C	Clear Carry	1	1
CPL C	Complement Carry	1	1
CLR F0	Clear Flag 0	1	1
CPL F0	Complement Flag 0	1	1
CLR F1	Clear Flag 1	1	1
CPL F1	Complement Flag 1	1	1
Data Moves			
MOV A, R	Move register to A	1	1
MOV A, @R	Move data memory to A	1	1
MOV A, # data	Move immediate to A	2	2
MOV R, A	Move A to register	1	1
MOV @R, A	Move A to data memory	1	1
MOV R, # data	Move immediate to register	2	2
MOV @R, # data	Move immediate to data memory	2	2
MOV A, PSW	Move PSW to A	1	1
MOV PSW, A	Move A to PSW	1	1

Mnemonics copyright Intel Corporation 1983.

*For use with internal memory only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MCS®-48 INSTRUCTION SET

8048AH/8748H/8049AH/8050AH/8749H
Instruction Set Summary (Con't)

Mnemonic	Description	Bytes	Cycle
Data Moves (Cont'd)			
XCH A, R	Exchange A and register	1	1
XCH A, @R	Exchange A and data memory	1	1
XCHD A, @R	Exchange nibble of A and register	1	1
MOVX A, @R	Move external data memory to A	1	2
MOVX @R, A	Move A to external data memory	1	2
MOVP A, @A	Move to A from current page	1	2
MOVP3 A, @A	Move to A from Page 3	1	2
Timer/Counter			
MOV A, T	Read Timer/Counter	1	1
MOV T, A	Load Timer/Counter	1	1
STRT T	Start Timer	1	1
STRT CNT	Start Counter	1	1
STOP TCNT	Stop Timer/Counter	1	1
EN TCNTI	Enable Timer/Counter Interrupt	1	1
DIS TCNTI	Disable Timer/Counter Interrupt	1	1

Mnemonic	Description	Bytes	Cycle
Control			
EN I	Enable external Interrupt	1	1
DIS I	Disable external Interrupt	1	1
SEL RB0	Select register bank 0	1	1
SEL RB1	Select register bank 1	1	1
SEL MB0	Select memory bank 0	1	1
SEL MB1	Select memory bank 1	1	1
ENT0 CLK	Enable clock output on T0	1	1
NOP	No Operation	1	1

Mnemonics copyright Intel Corporation 1983.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MCS®-48 INSTRUCTION SET
Symbols and Abbreviations Used

A	Accumulator
AC	Auxiliary Carry
addr	12-Bit Program Memory Address
Bb	Bit Designator (b = 0–7)
BS	Bank Switch
BUS	BUS Port
C	Carry
CLK	Clock
CNT	Event Counter
CRR	Conversion Result Register
D	Mnemonic for 4-Bit Digit (Nibble)
data	8-Bit Number or Expression
DBF	Memory Bank Flip-Flop
F0, F1	Flag 0, Flag 1
I	Interrupt
P	Mnemonic for "in-page" Operation
PC	Program Counter
Pp	Port Designator (p = 1, 2 or 4–7)
PSW	Program Status Word
Ri	Data memory Pointer (i = 0, or 1)
Rr	Register Designator (r = 0–7)
SP	Stack Pointer
T	Timer
TF	Timer Flag
T0, T1	Test 0, Test 1
X	Mnemonic for External RAM
#	Immediate Data Prefix
@	Indirect Address Prefix
$	Current Value of Program Counter
(X)	Contents of X
((X))	Contents of Location Addressed by X
←	Is Replaced by

Mnemonics copyright Intel Corporation 1983.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

PRELIMINARY

8748H/8035H/8749H/8039H
HMOS-E SINGLE-COMPONENT 8-BIT MICROCOMPUTER

- **High Performance HMOS-E**
- **Interval Timer/Event Counter**
- **Two Single Level Interrupts**
- **Single 5-Volt Supply**
- **Over 96 Instructions; 90% Single Byte**
- **Compatible with 8080/8085 Peripherals**
- **Easily Expandable Memory and I/O**
- **Up to 1.35 μSec Instruction Cycle All Instructions 1 or 2 cycles**

The Intel 8749H/8039H/8748H/8035H are totally self-sufficient, 8-bit parallel computers fabricated on single silicon chips using Intel's advanced N-channel silicon gate HMOS-E process.

The family contains 27 I/O lines, an 8-bit timer/counter, on-chip RAM and on-board oscillator/clock circuits. For systems that require extra capability, the family can be expanded using MCS®-80/MCS®-85 peripherals.

These microcomputers are designed to be efficient controllers as well as arithmetic processors. They have extensive bit handling capability as well as facilities for both binary and BCD arithmetic. Efficient use of program memory results from an instruction set consisting mostly of single byte instructions and no instructions over 2 bytes in length.

Device	Internal Memory	
8039H	none	128 x 8 RAM
8035H	none	64 x 8 RAM
8749H	2K x 8 EPROM	128 x 8 RAM
8748H	1K x 8 EPROM	64 x 8 RAM

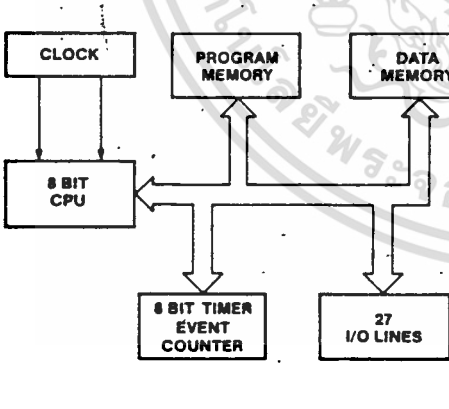


Figure 1.
Block Diagram

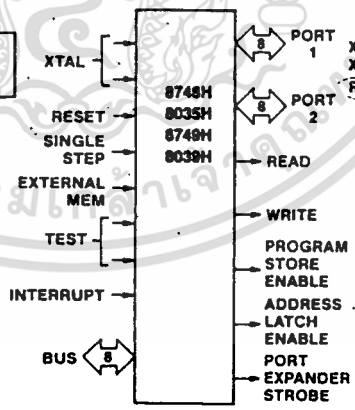


Figure 2.
Logic Symbol

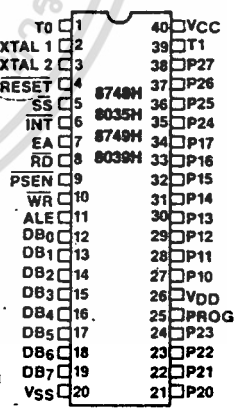


Figure 3.
Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Pin Description

Symbol	Pin No.	Function	Device
V_{SS}	20	Circuit GND potential	All
V_{DD}	26	+5V during normal operation.	All
		Programming power supply (+21V).	8748H 8749H
V_{CC}	40	Main power supply; +5V during operation and programming.	All
PROG	25	Output strobe for 8243 I/O expander.	All
		Program pulse (+18V) input pin during programming.	8748H 8749H (See Note)
P10-P17 Port 1	27-34	8-bit quasi-bidirectional port.	All
P20-P23 P24-P27 Port 2	21-24 35-38	8-bit quasi-bidirectional port. P20-P23 contain the four high order program counter bits during an external program memory fetch and serve as a 4-bit I/O expander bus for 8243.	All
DB0-DB7 BUS	12-19	True bidirectional port which can be written or read synchronously using the $\overline{RD}$, $\overline{WR}$ strobes. The port can also be statically latched.	All

Symbol	Pin No.	Function	Device
(Con't)		Contains the 8 low order program counter bits during an external program memory fetch, and receives the addressed instruction under the control of $\overline{PSEN}$. Also contains the address and data during an external RAM data store instruction, under control of ALE, $\overline{RD}$, and $\overline{WR}$.	
T0	1	Input pin testable using the conditional transfer instructions JT0 and JNT0. T0 can be designated as a clock output using ENT0 CLK instruction	All
		Used during programming.	8748H 8749H
T1	39	Input pin testable using the JT1, and JNT1 instructions. Can be designated the timer/counter input using the STRT CNT instruction.	All
$\overline{INT}$	6	Interrupt input. Initiates an interrupt if interrupt is enabled. Interrupt is disabled after a reset. Also testable with conditional jump instruction. (Active low) interrupt must remain low for at least 3 machine cycles for proper operation.	All

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Pin Description (Continued)

Symbol	Pin No.	Function	Device
$\overline{RD}$	8	Output strobe activated during a BUS read. Can be used to enable data onto the bus from an external device. Used as a read strobe to external data memory. (Active low)	All
$\overline{RESET}$	4	Input which is used to initialize the processor. (Active low) (Non TTL V_{IH})	All
		Used during programming.	8748H 8749H
$\overline{WR}$	10	Output strobe during a bus write. (Active low) Used as write strobe to external data memory.	All
ALE	11	Address latch enable. This signal occurs once during each cycle and is useful as a clock output. The negative edge of ALE strobes address into external data and program memory.	All
$\overline{PSEN}$	9	Program store enable. This output occurs only during a fetch to external program memory. (Active low)	ALL
$\overline{SS}$	5	Single step input can be used in conjunction with ALE to "single step" the processor through each instruction.	All
EA	7	External access input which forces all program memory fetches to reference external memory. Useful for emulation and debug. (Active high)	All
		Used during (18V) programming	8748H 8749H
XTAL1	2	One side of crystal input for internal oscillator. Also input for external source. (Non TTL V_{IH})	All
XTAL2	3	Other side of crystal input.	All

NOTE: On the 8749H/8039H, PROG must be clamped to V_{CC} when not programming. A diode should be used when using an 8243; otherwise, a direct connection is permissible.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. Instruction Set

Accumulator

Mnemonic	Description	Bytes	Cycles
ADD A, R	Add register to A	1	1
ADD A, @R	Add data memory to A	1	1
ADD A, # data	Add immediate to A	2	2
ADDC A, R	Add register with carry	1	1
ADDC A, @R	Add data memory with carry	1	1
ADDC A, # data	Add immediate with carry	2	2
ANL A, R	And register to A	1	1
ANL A, @R	And data memory to A	1	1
ANL A, # data	And immediate to A	2	2
ORL A, R	Or register to A	1	1
ORL A @R	Or data memory to A	1	1
ORL A, # data	Or immediate to A	2	2
XRL A, R	Exclusive or register to A	1	1
XRL A, @R	Exclusive or data memory to A	1	1
XRL, A, # data	Exclusive or immediate to A	2	2
INC A	Increment A	1	1
DEC A	Decrement A	1	1
CLR A	Clear A	1	1
CPL A	Complement A	1	1
DA A	Decimal adjust A	1	1
SWAP A	Swap nibbles of A	1	1
RL A	Rotate A left	1	1
RLC A	Rotate A left through carry	1	1
RR A	Rotate A right	1	1
RRC A	Rotate A right through carry	1	1

Input/Output

Mnemonic	Description	Bytes	Cycles
IN A, P	Input port to A	1	2
OUTL P, A	Output A to port	1	2
ANL P, # data	And immediate to port	2	2
ORL P, # data	Or immediate to port	2	2
INS A, BUS	Input BUS to A	1	2
OUTL BUS, A	Output A to BUS	1	2
ANL BUS, # data	And immediate to BUS	2	2
ORL BUS, # data	Or immediate to BUS	2	2
MOVD A, P	Input expander port to A	1	2
MOVD P, A	Output A to expander port	1	2
ANLD P, A	And A to expander port	1	2
ORLD P, A	Or A to expander port	1	2

Registers

Mnemonic	Description	Bytes	Cycles
INC R	Increment register	1	1
INC @R	Increment data memory	1	1
DEC R	Decrement register	1	1

Branch

Mnemonic	Description	Bytes	Cycles
JMP addr	Jump unconditional	2	2
JMPP @A	Jump indirect	1	2
DJNZ R, addr	Decrement register and skip	2	2
JC addr	Jump on carry = 1	2	2
JNC addr	Jump on carry = 0	2	2
JZ addr	Jump on A zero	2	2
JNZ addr	Jump on A not zero	2	2
JT0 addr	Jump on T0 = 1	2	2
JNT0 addr	Jump on T0 = 0	2	2
JT1 addr	Jump on T1 = 1	2	2
JNT1 addr	Jump on T1 = 0	2	2
JF0 addr	Jump on F0 = 1	2	2
JF1 addr	Jump on F1 = 1	2	2
JTF addr	Jump on timer flag	2	2
JNI addr	Jump on INT = 0	2	2
JBb addr	Jump on accumulator bit	2	2

Subroutine

Mnemonic	Description	Bytes	Cycles
CALL addr	Jump to subroutine	2	2
RET	Return	1	2
RETR	Return and restore status	1	2

Flags

Mnemonic	Description	Bytes	Cycles
CLR C	Clear carry	1	1
CPL C	Complement carry	1	1
CLR F0	Clear flag 0	1	1
CPL F0	Complement flag 0	1	1
CLR F1	Clear flag 1	1	1
CPL F1	Complement flag 1	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. Instruction Set (Continued)

Data Moves

Mnemonic	Description	Bytes	Cycles
MOV A, R	Move register to A	1	1
MOV A, @R	Move data memory to A	1	1
MOV A, # data	Move immediate to A	2	2
MOV R, A	Move A to register	1	1
MOV @R, A	Move A to data memory	1	1
MOV R, # data	Move immediate to register	2	2
MOV @R, # data	Move immediate to data memory	2	2
MOV A, PSW	Move PSW to A	1	1
MOV PSW, A	Move A to PSW	1	1
XCH A, R	Exchange A and register	1	1
XCH A, @R	Exchange A and data memory	1	1
XCHD A, @R	Exchange nibble of A and register	1	1
MOVX A, @R	Move external data memory to A	1	2
MOVX @R, A	Move A to external data memory	1	2
MOVP A, @A	Move to A from current page	1	2
MOVP3 A, @A	Move to A from page 3	1	2

Timer/Counter

Mnemonic	Description	Bytes	Cycles
MOV A, T	Read timer/counter	1	1
MOV T, A	Load timer/counter	1	1
STRT T	Start timer	1	1
STRT CNT	Start counter	1	1
STOP TCNT	Stop timer/counter	1	1
EN TCNTI	Enable timer/counter interrupt	1	1
DIS TCNTI	Disable timer/counter interrupt	1	1

Control

Mnemonic	Description	Bytes	Cycles
EN I	Enable external interrupt	1	1
DIS I	Disable external interrupt	1	1
SEL RB0	Select register bank 0	1	1
SEL RB1	Select register bank 1	1	1
SEL MB0	Select memory bank 0	1	1
SEL MB1	Select memory bank 1	1	1
ENT0 CLK	Enable clock output on T0	1	1

Mnemonic	Description	Bytes	Cycles
NOP	No operation	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias . . . 0°C to 70°C
Storage Temperature . . . . . -65°C to +150°C
Voltage On Any Pin With Respect to Ground . . . . . -0.5V to +7V
Power Dissipation . . . . . 1.0 Watt

**NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of device at these or any other conditions above those indicated in the operational sections of this specification is not implied.*

D.C. CHARACTERISTICS: (T_A = 0°C to 70°C; V_{CC} = V_{DD} = 5V ± 10%; V_{SS} = 0V)

Symbol	Parameter	Limits			Unit	Test Conditions	Device
		Min	Typ	Max			
V_{IL}	Input Low Voltage (All Except RESET, X1, X2)	-.5		.8	V		All
V_{IL1}	Input Low Voltage (RESET, X1, X2)	-.5		.6	V		All
V_{IH}	Input High Voltage (All Except XTAL1, XTAL2, RESET)	2.0		V_{CC}	V		All
V_{IH1}	Input High Voltage (X1, X2, RESET)	3.8		V_{CC}	V		All
V_{OL}	Output Low Voltage (BUS)			.45	V	I_{OL} = 2.0 mA	All
V_{OL1}	Output Low Voltage (RD, WR, PSEN, ALE)			.45	V	I_{OL} = 1.8 mA	All
V_{OL2}	Output Low Voltage (PROG)			.45	V	I_{OL} = 1.0 mA	All
V_{OL3}	Output Low Voltage (All Other Outputs)			.45	V	I_{OL} = 1.6 mA	All
V_{OH}	Output High Voltage (BUS)	2.4			V	I_{OH} = -400 μA	All
V_{OH1}	Output High Voltage (RD, WR, PSEN, ALE)	2.4			V	I_{OH} = -100 μA	All
V_{OH2}	Output High Voltage (All Other Outputs)	2.4			V	I_{OH} = -40 μA	All

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D.C. CHARACTERISTICS: (T_A = 0°C to 70°C; V_{CC} = V_{DD} = 5V ± 10%; V_{SS} = 0V) (Continued)

Symbol	Parameter	Limits			Unit	Test Conditions	Device
		Min	Typ	Max			
I_{L1}	Leakage Current (T1, $\overline{INT}$)			±10	μA	$V_{SS} \leq V_{IN} \leq V_{CC}$	All
I_{LI1}	Input Leakage Current (P10–P17, P20–P27, EA, $\overline{SS}$)			−500	μA	$V_{SS} + .45 \leq V_{IN} \leq V_{CC}$	All
I_{LI2}	Input Leakage Current $\overline{RESET}$	−10		−300	μA	$V_{SS} \leq V_{IN} \leq 3.8V$	All
I_{LO}	Leakage Current (BUS, T0) (High Impedance State)			±10	μA	$V_{SS} \leq V_{IN} \leq V_{CC}$	All
I_{DD} + I_{CC}	Total Supply Current*		80	100	mA		8035H
			95	110	mA		8039H
			80	100	mA		8748H
			95	110	mA		8749H

*I_{CC} + I_{DD} is measured with all outputs disconnected; $\overline{SS}$, $\overline{RESET}$, and $\overline{INT}$ equal to V_{CC}; EA equal to V_{SS}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS: (T_A = 0°C to 70°C; V_{CC} = V_{DD} = 5V ± 10%; V_{SS} = 0V)

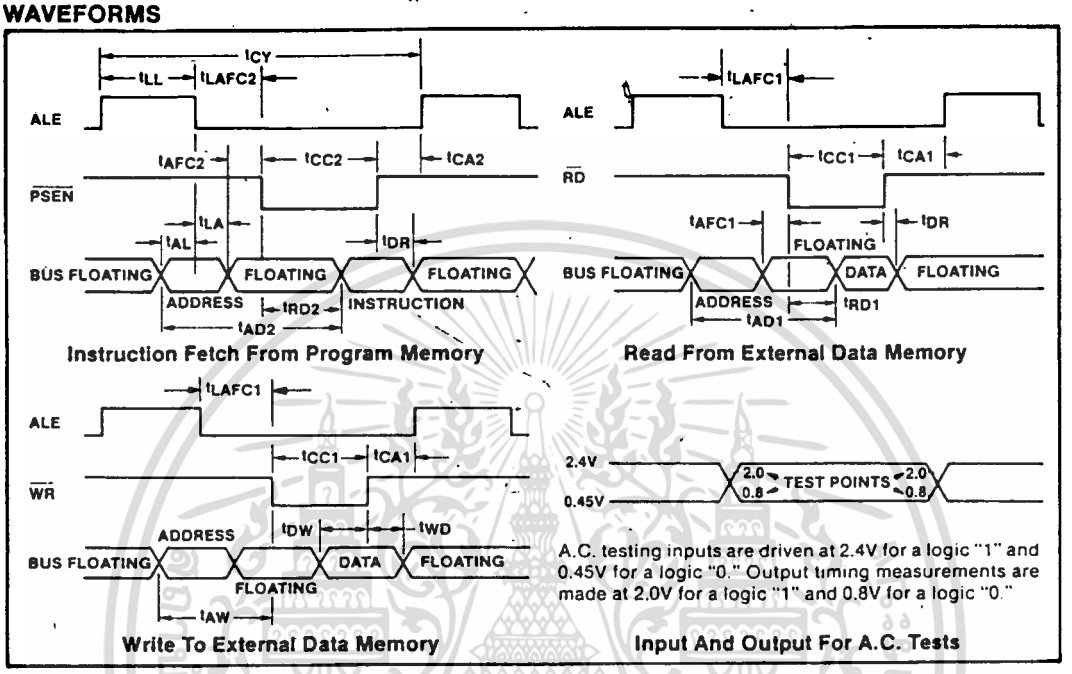
Symbol	Parameter	f (t) (Note 3)	11 MHz		Unit	Conditions (Note 1)
			Min	Max		
t	Clock Period	1/xtal freq	90.9	1000	ns	(Note 3)
t_{LL}	ALE Pulse Width	3.5t-170	150		ns	
t_{AL}	Addr Setup to ALE	2t-110	70		ns	(Note 2)
t_{LA}	Addr Hold from ALE	t-40	50		ns	
t_{CC1}	Control Pulse Width ($\overline{RD}$, $\overline{WR}$)	7.5t-200	480		ns	
t_{CC2}	Control Pulse Width ($\overline{PSEN}$)	6t-200	350		ns	
t_{DW}	Data Setup before $\overline{WR}$	6.5t-200	390		ns	
t_{WD}	Data Hold after $\overline{WR}$	t-50	40		ns	
t_{DR}	Data Hold ($\overline{RD}$, $\overline{PSEN}$)	1.5t-30	0	110	ns	
t_{RD1}	$\overline{RD}$ to Data in	6t-170		375	ns	
t_{RD2}	$\overline{PSEN}$ to Data in	4.5t-170		240	ns	
t_{AW}	Addr Setup to $\overline{WR}$	5t-150	300		ns	
t_{AD1}	Addr Setup to Data ($\overline{RD}$)	10.5t-220		730	ns	
t_{AD2}	Addr Setup to Data ($\overline{PSEN}$)	7.5t-200		460	ns	
t_{AFC1}	Addr Float to $\overline{RD}$, $\overline{WR}$	2t-40	140		ns	(Note 2)
t_{AFC2}	Addr Float to $\overline{PSEN}$	.5t-40	10		ns	(Note 2)
t_{LAFC1}	ALE to Control ($\overline{RD}$, $\overline{WR}$)	3t-75	200		ns	
t_{LAFC2}	ALE to Control ($\overline{PSEN}$)	1.5t-75	60		ns	
t_{CA1}	Control to ALE ($\overline{RD}$, $\overline{WR}$, $\overline{PROG}$)	t-65	25		ns	
t_{CA2}	Control to ALE ($\overline{PSEN}$)	4t-70	290		ns	
t_{CP}	Port Control Setup to $\overline{PROG}$	1.5t-80	50		ns	
t_{PC}	Port Control Hold to $\overline{PROG}$	4t-260	100		ns	
t_{PR}	$\overline{PROG}$ to P2 Input Valid	8.5t-120		650	ns	
t_{PF}	Input Data Hold from $\overline{PROG}$	1.5t	0	140	ns	
t_{DP}	Output Data Setup	6t-290	250		ns	
t_{PD}	Output Data Hold	1.5t-90	40		ns	
t_{PP}	$\overline{PROG}$ Pulse Width	10.5t-250	700		ns	
t_{PL}	Port 2 I/O Setup to ALE	4t-200	160		ns	
t_{LP}	Port 2 I/O Hold to ALE	.5t-30	15		ns	
t_{PV}	Port Output from ALE	4.5t+100		510	ns	
t_{0PRR}	T0 Rep Rate	3t	270		ns	
t_{CY}	Cycle Time	15t	1.36	15.0	μs	

Notes:

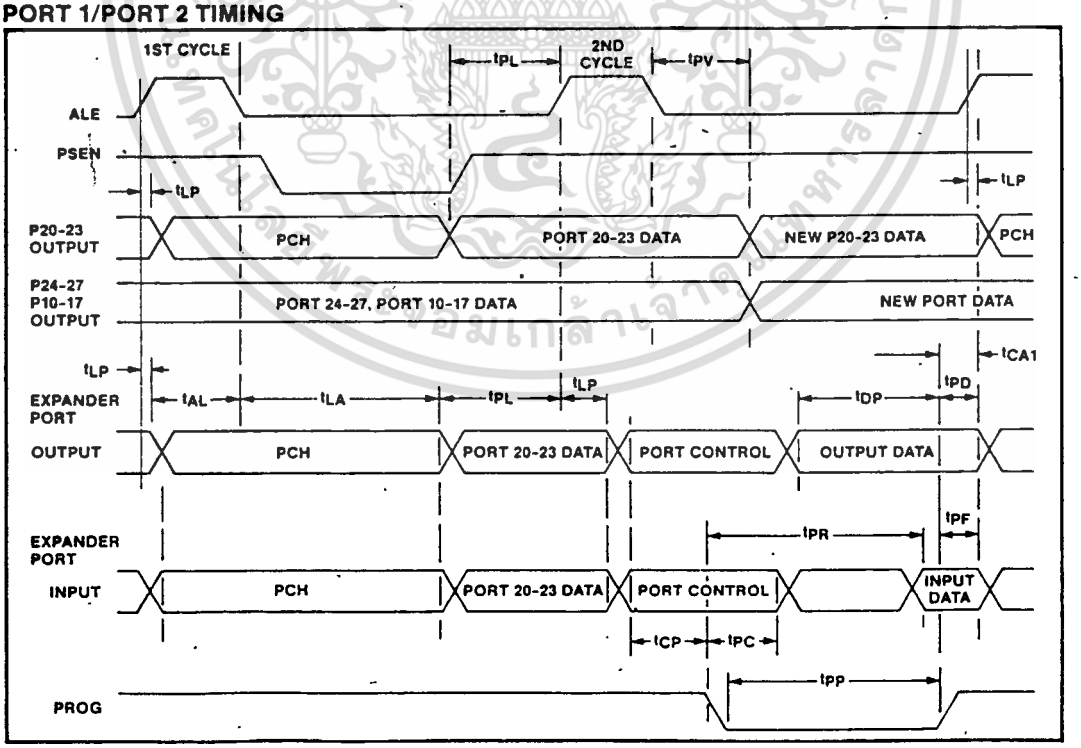
1. Control Outputs CL = 80pF
   BUS Outputs CL = 150pF
2. BUS High Impedance Load 20pF
3. f(t) assumes 50% duty cycle on X1, X2. Max clock period is for a 1 MHz crystal input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

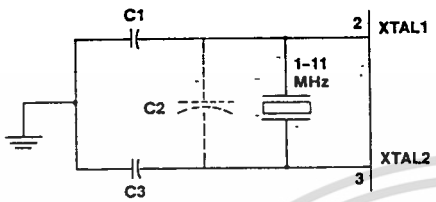


PORT 1/PORT 2 TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

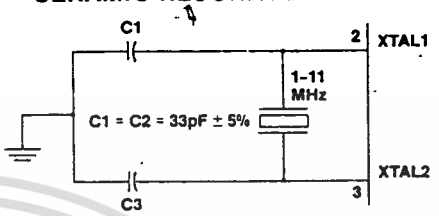
CRYSTAL OSCILLATOR MODE



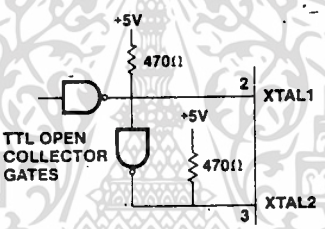
C1 = 5pF ± 1/2pF + (STRAY < 5pF)
C2 = (CRYSTAL + STRAY) < 8pF
C3 = 20pF ± 1pF + (STRAY < 5pF)

Crystal series resistance should be less than 30Ω at 11 MHz; less than 75Ω at 6 MHz; less than 180Ω at 3.6 MHz.

CERAMIC RESONATOR MODE



DRIVING FROM EXTERNAL SOURCE



For XTAL1 and XTAL2 define "high" as voltages above 1.6V and "low" as voltages below 1.6V. The duty cycle requirements for externally driving XTAL1 and XTAL2 using the circuit shown above are as follows: XTAL1 must be high 35-65% of the period and XTAL2 must be high 36-65% of the period. Rise and fall times must be faster than 20 nS.

PROGRAMMING, VERIFYING, AND ERASING THE 8749H (8748H) EPROM

Programming Verification

In brief, the programming process consists of: activating the program mode, applying an address, latching the address, applying data, and applying a programming pulse. Each word is programmed completely before moving on to the next and is followed by a verification step. The following is a list of the pins used for programming and a description of their functions:

Pin	Function
XTAL 1	Clock Input (3 to 4.0 MHz)
XTAL 2	
Reset	Initialization and Address Latching
Test 0	Selection of Program or Verify Mode
EA	Activation of Program/Verify Modes
BUS	Address and Data Input
	Data Output During Verify
P20-P22	Address Input
V_{DD}	Programming Power Supply
PROG	Program Pulse Input

WARNING:
An attempt to program a missocketed 8749H (8748H) will result in severe damage to the part. An indication of a properly socketed part is the appearance of the ALE clock output. The lack of this clock may be used to disable the programmer.

The Program/Verify sequence is:

1. V_{DD} = 5V, Clock applied or internal oscillator operating, RESET = 0V, TEST 0 = 5V, EA = 5V, BUS and PROG floating. P10 and P11 must be tied to ground.
2. Insert 8749H (8748H) in programming socket.
3. TEST 0 = 0V (select program mode)
4. EA = 18V (activate program mode)
5. Address applied to BUS and P20-22
6. RESET = 5V (latch address)
7. Data applied to BUS
8. V_{DD} = 21V (programming power)
9. PROG = V_{CC} or float followed by one 50ms pulse to 18V
10. V_{DD} = 5V
11. TEST 0 = 5V (verify mode)
12. Read and verify data on BUS
13. TEST 0 = 0V
14. RESET = 0V and repeat from step 5
15. Programmer should be at conditions of step 1 when 8749H (8748H) is removed from socket.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. TIMING SPECIFICATION FOR PROGRAMMING 8748H/8749H ONLY:

(T_A = 25°C ± 5°C; V_{CC} = 5V ± 5%; V_{DD} = 21 ± .5V)

Symbol	Parameter	Min	Max	Unit	Test Conditions
t_{AW}	Address Setup Time to $\overline{RESET}$↑	$4t_{CY}$			
t_{WA}	Address Hold Time After $\overline{RESET}$↑	$4t_{CY}$			
t_{DW}	Data in Setup Time to PROG↑	$4t_{CY}$			
t_{WD}	Data in Hold Time After PROG↑	$4t_{CY}$			
t_{PH}	$\overline{RESET}$ Hold Time to Verify	$4t_{CY}$			
t_{VDDW}	V_{DD} Hold Time Before PROG↑	0	1.0	ms	
t_{VDDH}	V_{DD} Hold Time After PROG↑	0	1.0	ms	
t_{PW}	Program Pulse Width	50	60	ms	
t_{TW}	Test 0 Setup Time for Program Mode	$4t_{CY}$			
t_{WT}	Test 0 Hold Time After Program Mode	$4t_{CY}$			
t_{DO}	Test 0 to Data Out Delay		$4t_{CY}$		
t_{WW}	$\overline{RESET}$ Pulse Width to Latch Address	$4t_{CY}$			
t_r, t_f	V_{DD} and PROG Rise and Fall Times	0.5	100	μs	
t_{CY}	CPU Operation Cycle Time	3.75	5	μs	
t_{RE}	$\overline{RESET}$ Setup Time before EA↑	$4t_{CY}$			

NOTE: If Test 0 is high, t_{DO} can be triggered by $\overline{RESET}$↑.

D.C. TIMING SPECIFICATION FOR PROGRAMMING 8748H/8749H ONLY:

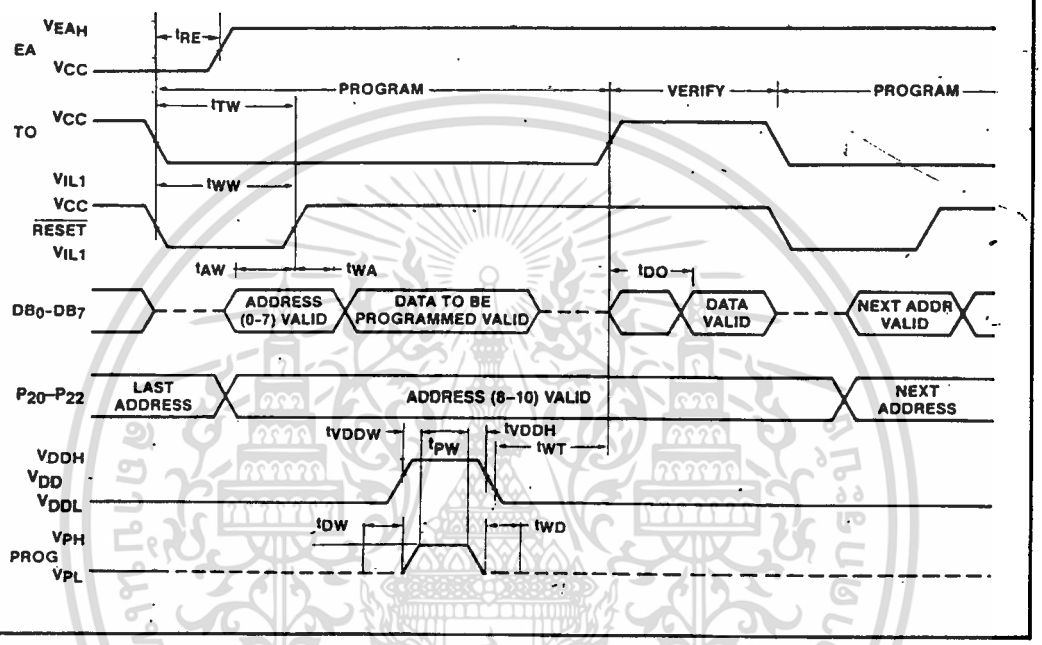
(T_A = 25°C ± 5°C; V_{CC} = 5V ± 5%; V_{DD} = 21 ± .5V)

Symbol	Parameter	Min	Max	Unit	Test Conditions
V_{DDH}	V_{DD} Program Voltage High Level	20.5	21.5	V	
V_{DDL}	V_{DD} Voltage Low Level	4.75	5.25	V	
V_{PH}	PROG Program Voltage High Level	17.5	18.5	V	
V_{PL}	PROG Voltage Low Level	4.0	V_{CC}	V	
V_{EAH}	EA Program or Verify Voltage High Level	17.5	18.5	V	
I_{DD}	V_{DD} High Voltage Supply Current		20.0	mA	
I_{PROG}	PROG High Voltage Supply Current		1.0	mA	
I_{EA}	EA High Voltage Supply Current		1.0	mA	

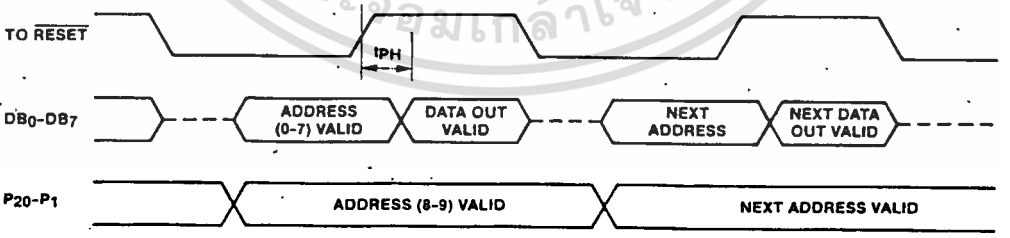
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

COMBINATION PROGRAM/VERIFY MODE (EPROM'S ONLY)

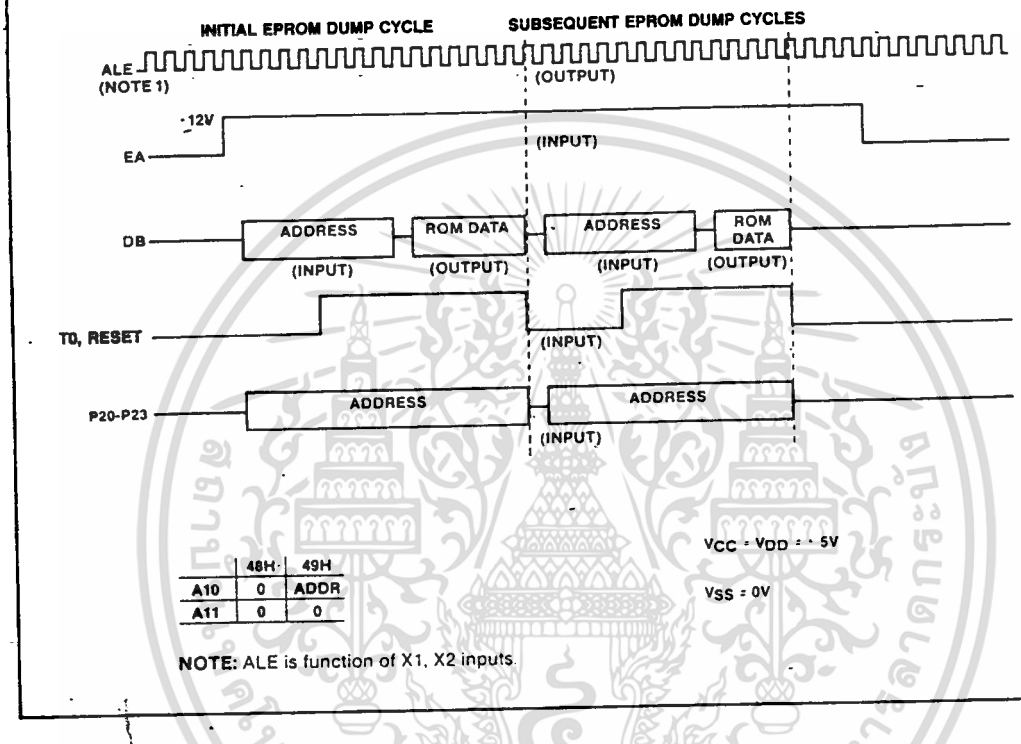


VERIFY MODE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SUGGESTED EPROM VERIFICATION ALGORITHM FOR HMOS-E DEVICE ONLY



	48H	49H
A10	0	ADDR
A11	0	0

NOTE: ALE is function of X1, X2 inputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

PRELIMINARY

SINGLE-COMPONENT 8-BIT MICROCOMPUTERS

EXPRESS

- 0°C to 70°C Operation
- -40°C to 85°C Operation
- 168 Hr. Burn-In

- 8048AH/8035AHL
- 8049AH/8039AHL
- 8050AH/8040AHL
- 8748H
- 8243
- 8749H

The new Intel EXPRESS family of single-component 8-bit microcomputers offers enhanced processing options to the familiar 8048AH/8035AHL, 8748H, 8049AH/8039AHL, 8749H, 8050AH/8040AHL Intel components. These EXPRESS products are designed to meet the needs of those applications whose operating requirements exceed commercial standards, but fall short of military conditions.

The EXPRESS options include the commercial standard and −40°C to 85°C operation with or without 168 ±8 hours of dynamic burn-in at 125°C per MIL-STD-883, method 1015. Figure 1 summarizes the option marking designators and package selections.

For a complete description of 8048AH/8035AHL, 8748H, 8049AH/8309AHL, 8749H, 8040AHL and 8050AH features and operating characteristics, refer to the respective standard commercial grade data sheet. This document highlights only the electrical specifications which differ from the respective commercial part.

Temp Range C° / Burn In	0–70 0 Hrs	-40–85 0 Hrs	0–70 168 Hrs	-40–85 168 Hrs
	P8048AH	TP8048AH	QP8048AH	LP8048AH
	D8048AH	TD8048AH	QD8048AH	LD8048AH
	D8748H	TD8748H	QD8748H	LD8748H
	P8035AHL	TP8035AHL	QP8035AHL	LP8035AHL
	D8035AHL	TD8035AHL	QD8035AHL	LD8035AHL
	P8049AH	TP8049AH	QP8049AH	LP8049AH
	D8049AH	TD8049AH	QD8049AH	LD8049AH
	D8749H	TD8749H	QD8749H	LD8749H
	P8039AHL	TP8039AHL	QP8039AHL	LP8039AHL
	D8039AHL	TD8039AHL	QD8039AHL	LD8039AHL
	P8050AH	TP8050AH	QP8050AH	LP8050AH
	D8050AH	TD8050AH	QD8050AH	LD8050AH
	P8040AHL	TP8040AHL	QP8040AHL	LP8040AHL
	D8040AHL	TD8040AHL	QD8040AHL	LD8040AHL
	P8243	TP8243	QP8243	—
	D8243	TD8243	QD8243	LD8243

* Commercial Grade
P Plastic Package
D Cerdip Package

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*Extended Temperature Electrical Specification Deviations**

TP8048AH/TP8035AHL/LP8048AH/LP8035AHL
TD8048AH/TD8035AHL/LD8048AH/LD8035AHL

D.C. CHARACTERISTICS: (T_A = -40° C to 85° C; V_{CC} = V_{DD} = 5V ± 10%; V_{SS} = 0V)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V_{IH}	Input High Voltage (All Except XTAL1, XTAL2, RESET)	2.2		V_{CC}	V	
I_{DD}	V_{DD} Supply Current		4	8	mA	
I_{DD} + I_{CC}	Total Supply Current		40	80	mA	

TP8049AH/TP8039AHL/LP8049AH/LP8039AHL
TD8049AH/TD8039AHL/LD8049AH/LD8039AHL

D.C. CHARACTERISTICS: (T_A = -40° C to 85° C; V_{CC} = V_{DD} = 5V ± 10%; V_{SS} = 0V)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V_{IH}	Input High Voltage (All Except XTAL1, XTAL2, RESET)	2.2		V_{CC}	V	
I_{DD}	V_{DD} Supply Current		5	10	mA	
I_{DD} + I_{CC}	Total Supply Current		50	100	mA	

TP8050AH/TP8040AHL/LP8050AHL/LP8040AHL
TD8050AH/TD8040AHL/LD8050AH/LD8040AHL

D.C. CHARACTERISTICS: (T_A = -40° C to 85° C; V_{CC} = V_{DD} = 5V ± 10%; V_{SS} = 0V)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V_{IH}	Input High Voltage (All Except XTAL1, XTAL2, RESET)	2.2		V_{CC}	V	
I_{DD}	V_{DD} Supply Current		10	20	mA	
I_{DD} + I_{CC}	Total Supply Current		75	120	mA	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*Extended Temperature Electrical Specification Deviations**

TD8748H/LD8748H

D.C. CHARACTERISTICS: (T_A = -40° C to 85° C; V_{CC} = V_{DD} = 5V ± 10%; V_{SS} = 0V)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V_{IH}	Input High Voltage (All Except XTAL1, XTAL2, $\overline{RESET}$)	2.2		V_{CC}	V	
I_{DD} + I_{CC}	Total Supply Current		50	130	mA	

TD8749H/LD8749H

D.C. CHARACTERISTICS: (T_A = -40° C to 85° C; V_{CC} = V_{DD} = 5V ± 10%; V_{SS} = 0V)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V_{IH}	Input High Voltage (All Except XTAL1, XTAL2, $\overline{RESET}$)	2.2		V_{CC}	V	
I_{DD} + I_{CC}	Total Supply Current		75	150	mA	

TP8243/TD8243/LD8243

D.C. CHARACTERISTICS: (T_A = −40°C to 85°C; V_{CC} = 5V ± 10%; V_{SS} = 0V)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
I_{CC}	V_{CC} Supply Current		15	25	mA	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*Extended Temperature Electrical Specification Deviations**

TD8022/LD8022

D.C. CHARACTERISTICS: (T_A = -40°C to 85°C; V_{CC} = 5.5V ± 1V; V_{SS} = 0V)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V_{IL1}	Input Low Voltage (Port 0)	-0.5		V_{TH}-0.2	V	
V_{IH}	Input High Voltage (All Except XTAL1, RESET)	2.3		V_{CC}	V	V_{CC} = 5.0V ± 10% V_{TH} Floating
V_{IH1}	Input High Voltage (All Except XTAL1, RESET)	3.8		V_{CC}	V	V_{CC} = 5.5V ± 1V V_{TH} Floating
V_{IH2}	Input High Voltage (Port 0)	V_{TH}+0.2		V_{CC}	V	
V_{IH3}	Input High Voltage (RESET, XTAL1)	3.8		V_{CC}	V	
V_{IL}	Input Low Voltage	-0.5		0.5	V	
V_{OL}	Output Low Voltage			0.45	V	I_{OL} = 0.8 mA
V_{OL1}	Output Low Voltage (P10, P11)			2.5	V	I_{OL} = 3 mA
V_{OH}	Output High Voltage (All unless open drain option Port 0)	2.4			V	I_{OH} = 30 μA
I_{LI}	Input Current (T1)			±700	μA	$V_{CC} \geqslant V_{IN} \geqslant V_{SS}$ + 0.45V
I_{LI1}	Input Current to Ports			500	μA	V_{IN} = 0.45V
I_{CC}	V_{CC} Supply Current			120	mA	

A.C. CHARACTERISTICS: (T_A = -40°C to 85°C; V_{CC} = 5.5V ± 1V; V_{SS} = 0V)

Symbol	Parameter	Min	Max	Unit	Test Conditions
t_{CY}	Cycle Time	8.38	50.0	μs	3.58 MHz XTAL = 8.38 μs t_{CY}
V_{T1}	Zero-Cross Detection Input (T1)	1	3	VACpp	AC Coupled
A_{ZC}	Zero-Cross Accuracy		±200	mV	60 Hz Sine Wave
F_{T1}	Zero-Cross Detection Input Frequency (T1)	0.05	1	kHz	
t_{LL}	ALE Pulse Width	3.9	23.0	μs	t_{CY} = 8.38 μs for min

NOTE: Control Outputs: C_L = 80 pf; T_{CY} = 8.38 μsec.

A/D CONVERTER CHARACTERISTICS: (AVCC = 5.5V ± 1V; AVSS = 0V; AVCC/2 ⩽ VAREF ⩽ AVCC)

Parameter	Limits			Unit	Test Conditions
	Min	Typ	Max		
Absolute Accuracy			1.6% FSR ± ½ LSB	LSB	

NOTE: The analog input must be maintained at a constant voltage during the sample time (tss + tsh).
*Refer to individual commercial grade data sheets for complete operating characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CML Semiconductor Products

PRODUCT INFORMATION

FX214 FX224

VSB* Audio Scrambler

Publication D/214/3 July 1994

Features/Applications

- Variable Split-Band Frequency Inversion Voice Scrambler
- 32 Programmable Split Frequencies
- CTCSS HP Filter
- High Recovered Audio Quality
- Low-Power 5 Volt CMOS
- Half-Duplex Switching
- Powersave Facility
- Mobile or Cellular Radio Applications
- Fixed or Rolling Code Applications
- Serial/Parallel Load Options: FX214 (Serial), FX224 (Parallel),
- DIL and SMD Package Options

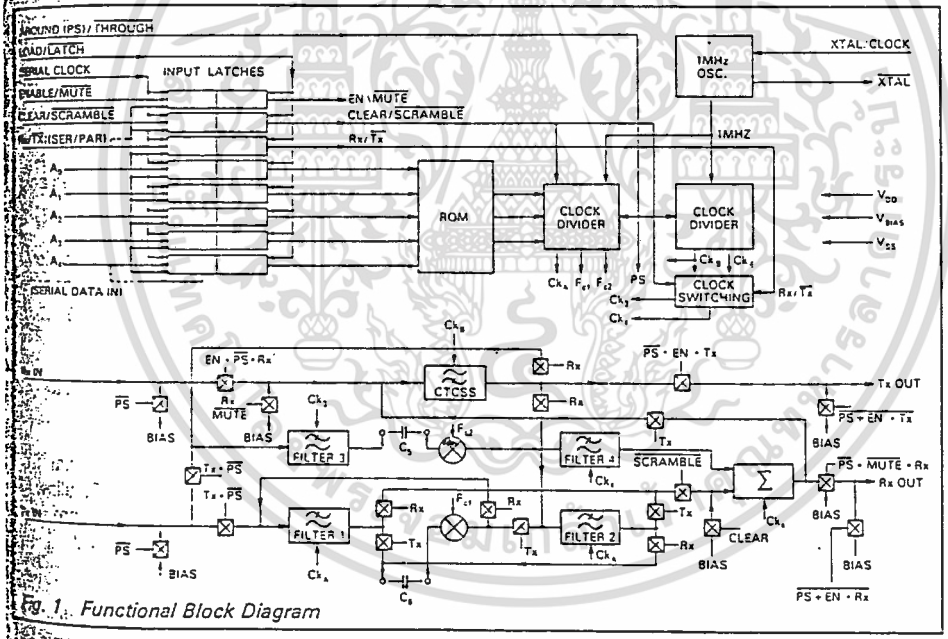


Fig. 1. Functional Block Diagram

FX214
FX224

Brief Description

The FX214 and 224 are low-power CMOS LSI devices designed as Variable Split-Band (VSB) voice scramblers.

The device uses separate Rx and Tx paths which are switched for half-duplex operation. To prevent interference from sub-audio products, an on-chip Continuous Tone Controlled Squelch System (CTCSS) highpass filter is automatically switched to the input in Rx and to the output in Tx.

Scrambling is achieved by splitting the input voice frequencies into upper and lower frequency bands using switched capacitor filters, modulating each band with selected carrier frequencies to "frequency invert" the bands and then summing the output.

A total of 32 different split-point and carrier frequency combinations are externally programmable using a 5-bit code; this code can be either fixed or varying (rolling), for greater security.

'Sync/Speech Mute', 'Powersave', 'Clear' and 'Audio-Bypass' facilities are controlled via external commands.

Timing and filter clocks are derived internally from an on-chip oscillator requiring only an external 1MHz Xtal or clock pulse input.

This device demonstrates high baseband and carrier frequency rejection with good 'recovered audio' quality. Serial or parallel command loading functions are available in both DIL and SMD Packages

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Functions

FX 214J	FX 214LG 214L2	FX 224J	FX 224LG 224LS	
7	1	1	1	**Xtal/Clock:** Input to the clock oscillator inverter. A 1MHz Xtal input or externally derived 1MHz clock is injected here. See Figure 2.
8	2	2	2	**$\overline{\text{Xtal}}$:** Output of the clock oscillator inverter.
9	3			**Serial Data Input:** This pin is used, on devices wired in the serial loading mode, to input an 8- bit word representing the digital control functions. This word is loaded using the serial data clock and is input in the following sequence: ENABLE; CLEAR; Rx/Tx; A_0; A_1; A_2; A_3; A_4, with the Load/Latch being operated on completion. See Timing Diagram Figure 7.
		3	3	A_4: **Programming Inputs:** In parallel mode, these are the 5 digital inputs,
		4	4	A_3: whose code defines the split point frequency and the High and Low band
		5	5	A_2: carrier frquencies. Each of the 5 input pins have a 1MΩ internal pullup
		6	6	A_1: resistor. Table 2 contains programming information .
		7	7	A_0:
		8	8	**Rx/$\overline{\text{Tx}}$:** This digital input selects the Receive or Transmit paths and configures the Upperband and Lowerband filter bandwidths whilst setting the CTCSS High Pass Filter position in the signal path. See Table 1 and Figures 5 and 6. 1MΩ internal pullup resistor [Rx].
13	8			**Parallel/$\overline{\text{Serial}}$:** This pin defines the loading mode of the digital function inputs. In the parallel load devices this pin has no external connections. For serial load devices this pin must be externally conected to V_{SS}. This pin on all devices has an 1MΩ internal pullup resistor.
		9	9	**Clear/$\overline{\text{Scramble}}$:** This digital input puts the device 'Clear' or 'Frequency Inversion' mode by controlling the application of carrier frequency to the upper and lower band balanced modulators. In 'Scramble' the balanced modulator carrier frequency values are selected by the split point address A_0 - A_4 [Table 2]. In 'Clear' carriers are turned off and the balanced modulators are bypassed internally, the lower band is not added to the output signal. 1MΩ internal resistor. [Clear].
		10	10	**Enable/$\overline{\text{Mute}}$:** This digital function is used to disable receive or transmit signal paths for rolling code synchronization whilst maintaining bias conditions. To allow synchronizing information to be transmitted, or receiver audio output to be removed during sync periods, a logic '1' will enable' a logic '0' will disable the selected [Rx/Tx] audio path. See Table 1. 1MΩ internal pullup resistor.
14	10			**Serial Clock Input:** The externally applied data clock frequency used to shift data along on devices wired in the Serial loading mode. One full data clock cycle is required to shift one data bit completely into the register. See Timing Diagram Figure 7. This pin has a 1MΩ internal pullup resistor.
15	11	11	11	**Load/$\overline{\text{Latch}}$:** Controls the loading of the 8 digital function inputs: ENABLE; CLEAR; Rx/Tx; A_0-A_4 into the internal register. When this pin is '1' all 8 inputs are transparent and new data acts directly. For controlled changing of parameters the parallel mode Load/Latch must be kept at logic '0' whilst a new function is loaded, then Load/Latch strobed 0-1-0 to latch the inputs in. For serial loading data should be loaded with Load/Latch at logic '0' and then Load/Latch strobed 0-1-0 on completion of data loading. 1MΩ internal pullup resistor. See Figure 7. NOTE: Serial and/or parallel loading functions are dependant upon device type.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

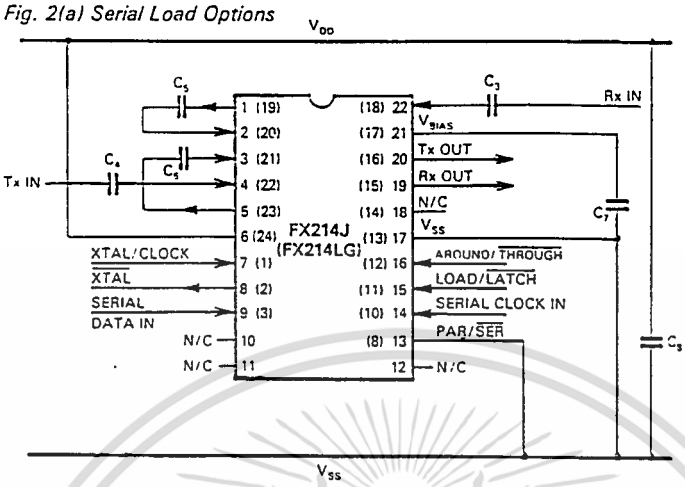
Pin Functions

FX 214J	FX 214LG 214L2	FX 224J	FX 224LG 224LS	
16	12	12	12	**Around [Powersave]/Through:** This digital input is used, when logic '1' to put the device into a powersave condition where all parts of the device except the 1MHz oscillator circuits are shut down, and signal input and output lines made open-circuit, free of all bias. This allows signal paths to be routed externally around the device. whilst reducing current consumption. A logic '0' enables the device to work normally as shown in Table 1. 1MΩ internal pullup resistor.
17	13	13	13	V_{SS}: Negative Supply [GND].
18	14	14	14	Internally connected , leave open circuit .
19	15	15	15	**Rx Output:** The processed audio signal output. This pin is held at dc 'bias' voltage for all functions except Powersave. This buffered output is driven by the Summer circuit in the Rx mode. Signal paths and bias levels are detailed in the Table 1 and Figure 6.
20	16	16	16	**Tx Output:** The processed audio output for the transmission channel. This pin is held at a dc 'bias' for all functions except Powersave. This summed and buffered signal is passed through the CTCSS High Pass Filter to the output pin in the Tx mode. Signal paths and bias levels are detailed in Table 1 and Figure 5.
21	17	17	17	V_{BIAS}: Normally at $V_{DD}/2$ this pin requires an external decoupling capacitor to V_{SS}.
22	18	18	18	**Rx Input:** The analogue received audio signal input. This pin is held at a dc 'bias' voltage by a 300kΩ on-chip bias resistor which is selected for all functions except Powersave, and therefore requires to be connected to external circuitry by a capacitor, C_3. See Figure 2. This input is routed through the CTCSS High Pass Filter in Rx mode to remove sub-audio frequencies from the voiceband. Signal paths and bias levels are detailed in Table 1 and Figure 6.
1	19	19	19	**Highband Filter Output:** The output of the Input Filter of the Upperband arm. The Rx/Tx function sets the lowpass filter at 3400Hz or 2700Hz respectively. This output must be connected to the Highband Balanced Modulator input via capacitor C_5. See Figure 2.
2	20	20	20	**Highband Balanced Modulator Input:** The input to the Balanced Modulator of the Upperband arm. This input must be connected to the Highband Filter Output via capacitor C_5.
3	21	21	21	**Lowband Balanced Modulator Input:** The input to the Balanced Modulator of the Lowerband arm. This input must be connected to the Lowerband Filter Output with capacitor C_6.
4	22	22	22	**Tx Input:** This is the analogue 'Clear' audio input for the VSB scrambler. This pin is held at a dc 'bias' voltage by a 300KΩ on-chip bias resistor which is selected for all functions except Powersave, and therefore requires to be connected to external circuitry by C_4. This input, in the Tx mode, is connected to Upper and Lowerband input filters, signal paths and bias levels are detailed in Table 1 and Figure 5.
5	23	23	23	**Lowband Filter Output:** The output of the Input Filter of the Lowerband arm, the Rx/Tx function determines which filter is used [Filter 1 or 2]. Figures 5 and 6. This output must be connected to the Lowerband Balanced Modulator Input via C_6.
6	24	24	24	V_{DD}: A single + 5V supply is required.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Component Connections

Fig. 2(a) Serial Load Options

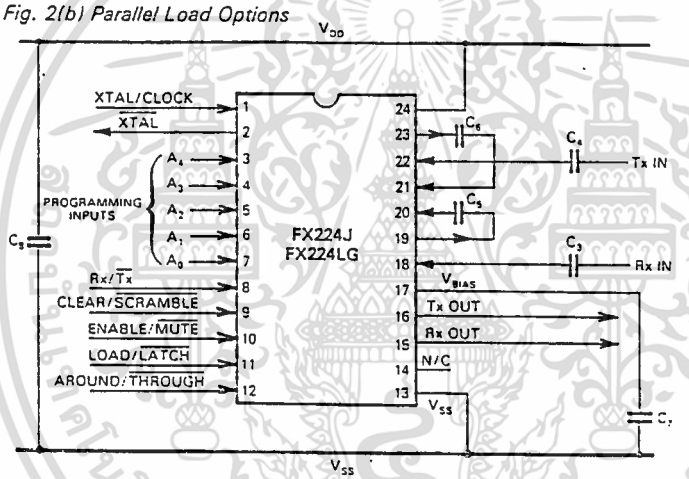


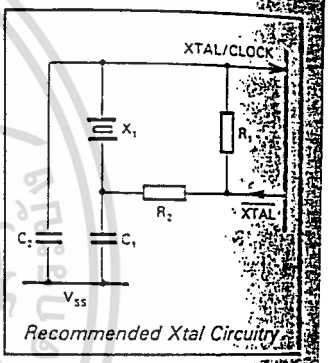
Not Connected

FX214J	10, 11, 12, 18
FX214LG	4, 5, 6, 7, 9, 14
FX224J	14*
FX224LG	14*

*Internally connected, do not connect to.

Fig. 2(b) Parallel Load Options





Recommended Xtal Circuitry

Xtal circuitry shown is in accordance with CML Application Note D/XT/1 April '86.

Component References	
Component	Unit Value
R_1	1M
R_2	Selectable
C_1	33p
C_2	68p
C_3	.15n
C_4	.15n
C_5	1.0μ
C_6	1.0μ
C_7	1.0μ
C_8	1.0μ
X_1	1MHz

Tolerance Resistors ± 10%
Capacitors ± 20%
C_5 and C_6 are coupling capacitors between filter outputs and balanced modulator inputs.

Fig. 2 External Component Connections

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

lication Information

device can be used in 'Scramble' (frequency version) or 'Clear' speech modes. The inversion equencies, when selected are controlled by the ROM ddress code (table 2). Keeping the code in one state ixed) is the simplest form of operation. A more ecure method is to continually change the ROM ddress code (rolling code) therefore changing spiit- oint and carrier frequencies. This method requires me external form of code change generation with nchronization between transmit and receive stations. any variations of code sequence are possible.

During the Clear speech function both Lower and Upperband filter arms are selected (figures 5 or 6), the carrier frequencies are turned off and the balanced modulators are bypassed internally. The Low band audio is removed from the output signal prior to summation.

Enable/$\overline{\text{Mute}}$

To enable code synchronization to be transmitted the speech output can be interrupted with the Enable/$\overline{\text{Mute}}$ function. A logic '0' will isolate the whole device whilst leaving the audio input and output pins at bias level. *See Table 1.*

Powersave

When the Around/$\overline{\text{Through}}$ function is at a logic '1' the device is in the powersave condition. Audio signals may be hardwired around the device normally as the input and output pins are open circuit. *See Table 1.*

he recommended external component connections shown in figure 2. In the Scramble mode, Split- oint and Low and High band carrier frequencies (F_c1, F_c2) are selected and set in accordance with the ROM ddress code present at the inputs A_0 to A_4. *See able 2.*

Effect of Chosen Function on Inputs and Outputs		CHOSEN FUNCTION			
		Rx = '1'	$\overline{\text{Tx}}$ = '0'	$\overline{\text{Mute}}$ = '0'	Around (Powersave) = '1'
Rx Input	Path	Enabled	Disconnect	Disconnect	High Impedance
	Level	Bias	Bias	Bias	
Rx Output	Path	Enabled	Disconnected	Disconnect	High Impedance
	Level	Bias	Bias	Bias	
Tx Input	Path	Disconnected	Enabled	Enabled	High Impedance
	Level	Bias	Bias	Bias	
Tx Output	Path	Disconnected	Enabled	Disconnected	High Impedance
	Level	Bias	Bias	Bias	

Functions Influencing Signal Paths

ROM Address A_4–A_0	Split Point Hz	Low Band Carrier, Hz f_{c1}	High Band Carrier, Hz f_{c2}
00000	2800	3105	6172
00001	2625	2923	6024
00010	2470	2777	5813
00011	2333	2631	5681
00100	2210	2512	5555
00101	2100	2403	5494
00110	2000	2304	5376
00111	1909	2212	5263
01000	1826	2127	5208
01001	1750	2049	5102
01010	1680	1984	5050
01011	1555	1858	4950
01100	1448	1748	4807
01101	1354	1655	4716
01110	1272	1572	4629
01111	1200	1501	4587
10000	1135	1436	4504
10001	1050	1351	4424
10010	976	1278	4347
10011	913	1213	4310
10100	857	1157	4273
10101	792	1094	4166
10110	736	1037	4132
10111	688	988	4065
11000	636	936	4032
11001	591	891	3968
11010	552	853	3937
11011	512	813	3906
11100	471	772	3846
11101	428	728	3816
11110	388	688	3787
11111	350	650	3731

ROM Address Programming Table

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Information

For the following descriptions, the term 'FX214' can be taken to mean FX214 or FX224.

Audio Quality

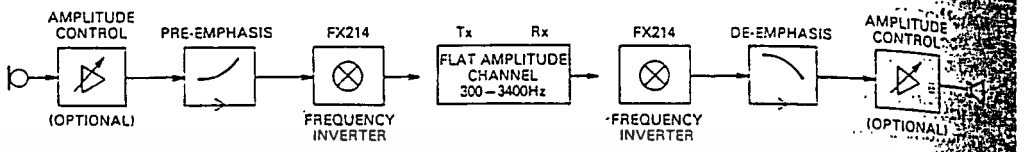


Fig. 3 Recommended Basic Communication Audio System Layout

Figure 3 shows the recommended basic audio system layout using added pre- and de-emphasis circuitry to maintain good recovered speech quality. In the Transmit mode *Do Not* pre-emphasise the audio output of the FX214. In the Receive mode de-emphasis should be used after the FX214.

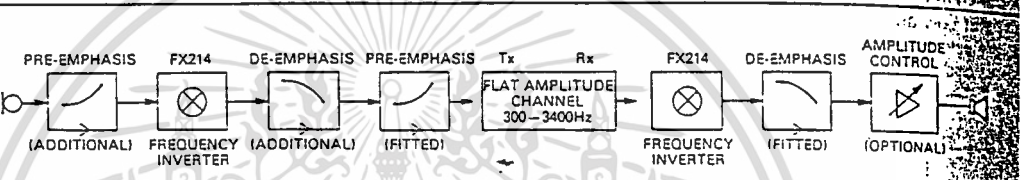


Fig. 4 Recommended Basic Radio Communication Audio System Layout

Figure 4 shows the recommended basic audio system layout if it is necessary to install the FX214 within a radio having pre- and de-emphasis circuitry as a standard. This is where post-emphasis access is not possible in the transmitter.

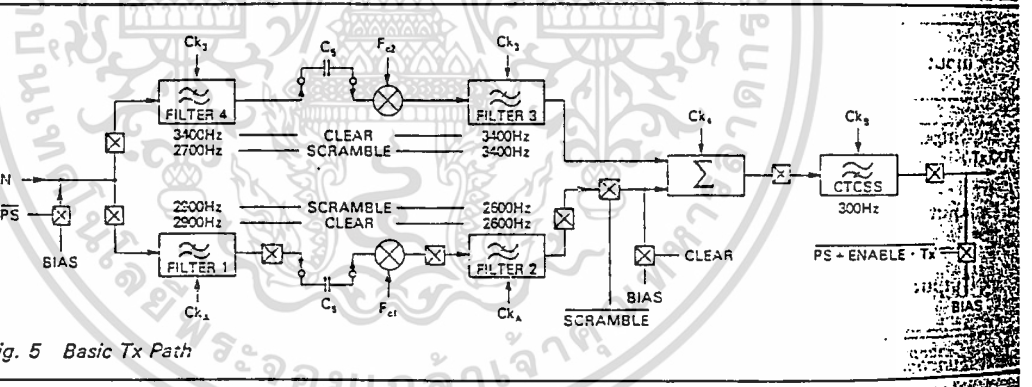


Fig. 5 Basic Tx Path

During the Transmit function the Low Pass and CTCSS filters are configured automatically as shown in Figure 5, with cut-off frequencies (-3dB) indicated.

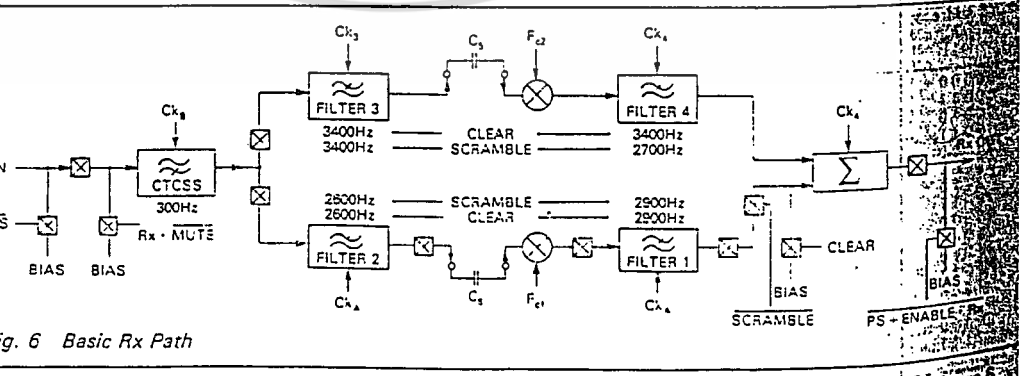


Fig. 6 Basic Rx Path

During the Receive function the Low Pass and CTCSS filters are configured automatically as shown in Figure 6, with cut-off frequencies (-3dB) indicated.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ectrical Specifications

Absolute Maximum Ratings

Exceeding the maximum rating can result in device damage. Operation of the device outside the operating limits is not implied.

Supply voltage		−0.3V to 7.0V
Input voltage at any pin (ref V_{SS} = 0V)		−0.3V to (V_{DD} + 0.3V)
Sink/source current (supply pins)		± 30mA
	(other pins)	± 20mA
Total device dissipation @ 25°C		800mW Max.
Derating		10mW/°C
Operating temperature range:	FX214J/224J	−30°C to +85°C (Ceramic)
	FX214LG/224LG	−30°C to +70°C (Plastic)
Storage temperature range:	FX214J/224J	−55°C to +125°C (Ceramic)
	FX214LG/224LG	−40°C to +85°C (Plastic)

Operating Limits

All characteristics measured using the following parameters unless otherwise specified:
V_{DD} = 5.0V, T_{amb} = 25°C, F_{clk} = 1.0MHz, Audio Level Ref: 0dB = 775mVrms.

Characteristics	See Note	Min.	Typ.	Max.	Unit
Static Values					
Supply voltage		4.5	5	5.5	V
Supply current (Enabled)		–	8	–	mA
Supply current (Powersave)		–	1.2	–	mA
Analogue Input Impedances					
Tx/Rx Input (Enabled)		–	100	–	kΩ
Tx/Rx Input (Powersave)		1	–	–	MΩ
Balanced Modulator		–	40	–	kΩ
Analogue Output Impedances					
Rx Output (Tx Mode)		–	100	–	kΩ
Rx Output (Rx Mode)		–	–	2	kΩ
Rx Output (Powersave)		1	–	–	MΩ
Tx Output (Tx Mode)		–	–	2	kΩ
Tx Output (Rx Mode)		–	100	–	kΩ
Tx Output (Powersave)		1	–	–	MΩ
Input LPF		–	–	1	kΩ
Digital Values					
Digital Input Impedance		100	–	–	kΩ
Dynamic Values					
Input Logic '1'		3.5	–	–	V
Input Logic '0'		–	–	1.5	V
Xtal/Clock Frequency		–	1	–	MHz
Analogue Input Level		−18	–	+6	dB
Carrier Breakthrough	1	–	−55	–	dB
Baseband Breakthrough	1, 2 or 3	–	−33	–	dB
Filter Clock Breakthrough	1, 2 or 3	–	−50	–	dB
Output Noise	1, 4	–	−45	–	dB
Passband Characteristics					
Clear Mode	7				
Passband Gain		–	0	–	dB
Output Lower 3dB Point (Rx or Tx)		–	300	–	Hz
Output Upper 3dB Point (Rx or Tx)		–	3400	–	Hz
Scramble-Descramble	5				
Received Signal Passband Gain	6	–	0	–	dB
Received Signal Lower 3dB Point		–	400	–	Hz
Received Signal Upper 3dB Point		–	2700	–	Hz
Transmitted Signal Lower 3dB Point		–	300	–	Hz
Transmitted Signal Upper 3dB Point		–	3400	–	Hz
CTCSS (Highpass Filter)					
3dB Point		–	300	–	Hz
Passband Gain		–	0	–	dB
Stopband Attenuation at f>250 Hz		–	40	–	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications

Characteristics	See Note	Min.	Typ.	Max.	Unit
Timing *(Figure 7)*					
Serial Mode Enable Set Up (t_{SMS})		250	–	–	ns
Serial Clock 'High' Pulse Width (t_{PWH})		250	–	–	ns
Serial Clock 'Low' Pulse Width (t_{PWL})		250	–	–	ns
Data Set Up Time (t_{DS})		150	–	–	ns
Data Hold Time (t_{DHS})		50	–	–	ns
Load/$\overline{\text{Latch}}$ Set Up Time (t_{LL})		250	–	–	ns
Load/$\overline{\text{Latch}}$ Pulse Width (t_{LLW})		150	–	–	ns
Data Set Up Time (t_{DSP})		150	–	–	ns
Data Hold Time (t_{DHP})		20	–	–	ns

Notes:
1. *Measured at the output of a single device.*
2. *Tx Mode.*
3. *Rx Mode.*
4. *With input A.C. short-circuited to V_{SS}.*
5. *Measured at the output of a receiving device in a scrambler-descrambler system with a transmission channel having a flat amplitude response and a bandwidth of 300Hz to 3400Hz and measured relative to the input signal at the transmitting device.*
6. *Excluding split point ± 150Hz.*
7. *Measured at the Rx or Tx output pin of a single device.*

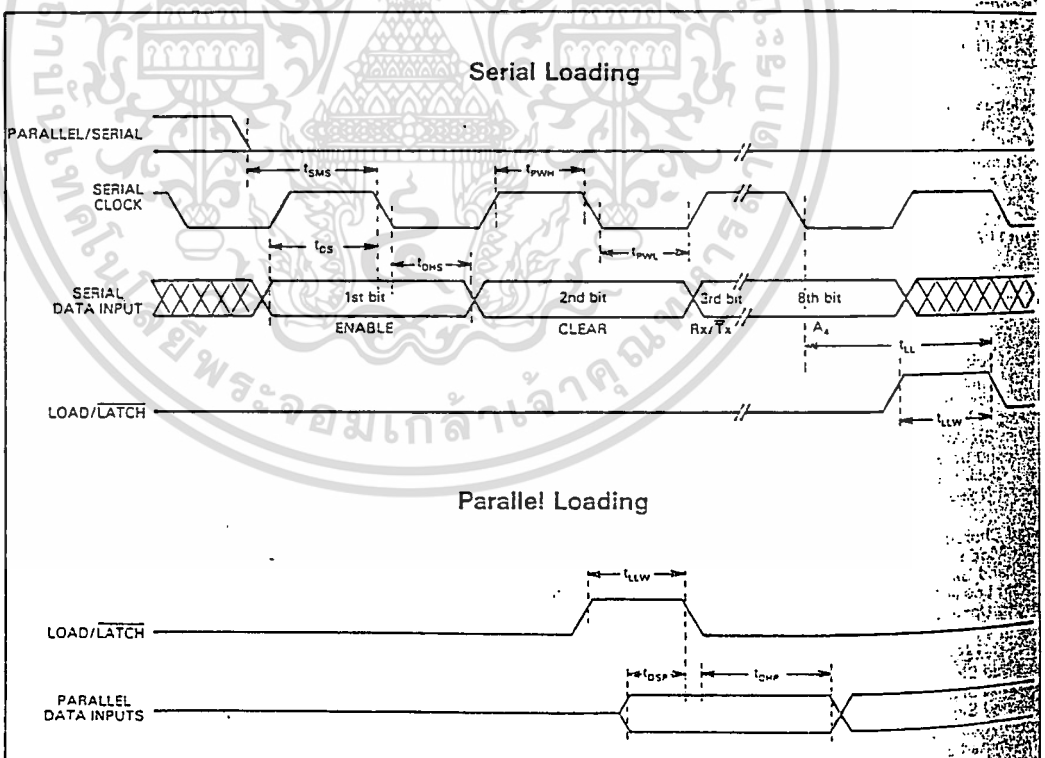


Fig. 7 Loading Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

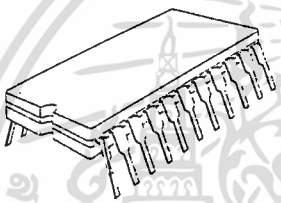
Package Outlines

FX214 and FX224 are available in the package outlined below. Mechanical package diagrams and specifications are detailed in Section 10 of this document.

Pin 1 identification marking is shown on the relevant diagram and pins on all package styles number anticlockwise when viewed from the top.

FX214J 22-pin cerdip DIL (J3)

NOT TO SCALE



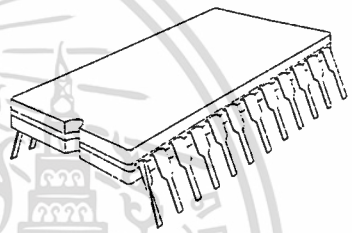
Max. Body Length 27.38mm
Max. Body Width 9.75mm

Handling Precautions

The FX214 and FX224 are CMOS LSI circuits which include input protection. However precautions should be taken to prevent static discharges which may cause damage.

FX224J 24-pin cerdip DIL (J4)

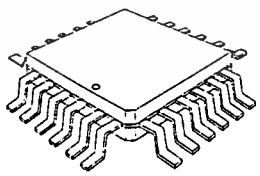
NOT TO SCALE



Max. Body Length 32.03mm
Max. Body Width 14.81mm

FX214LG/224LG 24-pin quad plastic encapsulated bent and cropped (L1)

NOT TO SCALE

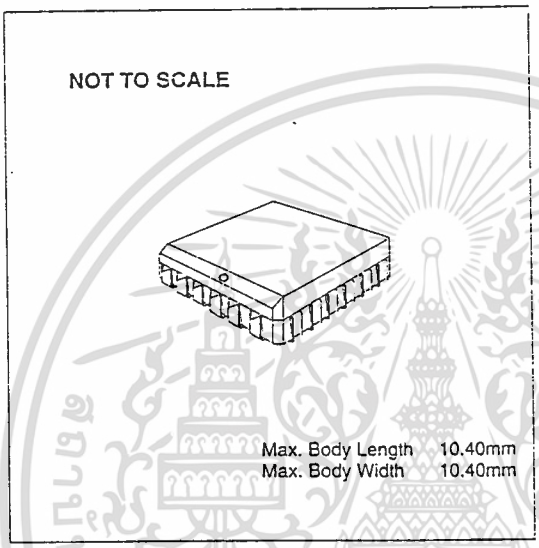


Max. Body Length 10.25mm
Max. Body Width 10.25mm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Outlines .....

FX214L2/224LS 24-lead plastic leaded chip carrier



Ordering Information

FX214J	22-pin cerdip DIL	(J3)
FX214LG	24-pin quad plastic encapsulated bent and croppped	(L1)
FX214L2	24-lead plastic leaded chip carrier	
FX224J	24-pin cerdip DIL	(J4)
FX224LG	24-pin quad plastic encapsulated bent and croppped	(L1)
FX224LS	24-lead plastic leaded chip carrier	(L2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้