เครื่องจำลองการจางหายของคลื่นวิทยุด้วยไมโครโปรเซสเซอร์ตัวเดียว

(A Digital Fading Simulator for Mobile Radio by Single Microprocessor)

โดย

นายมนตรี ไชยโคตร

นายมานพ รักษ์แก้ว

นายอดิศักดิ์ อธิตสมาสัย

วัน เดือน ปี -2 ตค 2541

เลขทะเบียน 038433

เลขเรียกหนังสือ T 621.3845 ม151ค

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาเทคโนโลยีโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038433

หัวข้อปริญญานิพนธ์ เครื่องจำลองการจางหายของคลื่นวิทยุด้วยไมโครโปรเซสเซอร์ตัวเดียว

(A Digital Fading Simulator For Mobile Radio By single Microprocessor)

โดย

นาย มนตรี ไชยโคตร 38012062

นาย มานพ รักษ์แก้ว 38012063

นาย อดิศักดิ์ อธิตสมาสัย 38012083

อาจารย์ที่ปรึกษา อ. ดลชัย สุขเจริญผล

ภาควิชาเทคนิคอุสาหกรรม

ปีการศึกษา 2539

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องจำลองการจางหายของคลื่นวิทยุ
ด้วย ไมโครโปรเซสเซอร์ตัวเดียว

โดย	นาย มนตรี	ไชยโคตร	38012062
	นาย มานพ	รักษ์แก้ว	38012063
	นาย อดิศักดิ์	อธิตสมาสัย	38012083

อาจารย์ที่ปรึกษา อ. คลชัย สุขเจริญผล

บทคัดย่อ

โครงงานนี้เป็นการพัฒนาอุปกรณ์ที่สามารถใช้จำลองการเกิดการจางหายแบบ multipath ร่วมกับ ช่องสัญญาณวิทยุย่านความถี่ 2-10MHz โดยเป็นอุปกรณ์ที่ง่าย, เปลี่ยนแปลงได้, ประหยัด และให้รูปคลื่นสัญญาณที่จางหายไปแล้วเกิดขึ้นตลอดเวลา

ABSTRACT

This project is a development of instrument that can be used to simulate the multipath fading associated with 2-10MHz radio channel. The implementation is simple, flexible, economical and allows the fading waveforms to be repeated exactly.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	
abstract	
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	2
2 .1ปรากฏการณ์คอปเปลอร์	2
2 .2 การจางหายของสัญญาณแบบเรย์เลห์	7
2 .3การเปลี่ยนสัญญาณดิจิตอลเป็นอนาล็อก	11
2 .4วงจรกรองความถี่	19
2 .5การมอดดูเลตเชิงขนาด	23
2 .6พื้นฐานของไมโครโปรเซสเซอร์	29
2 .7รายละเอียดเกี่ยวกับ 8255	50
บทที่ 3 การออกแบบ	53
3 .1การออกแบบวงจร	53
บทที่ 4 การทดลองและผลการทดลอง	60
4 .1การทดลองการจางหายของเครื่องจำลองการจางหาย	60
4 .2อุปสรรคในการทำงาน	65
บทที่ 5 สรุปการทำงาน วิจารณ์ และข้อเสนอแนะ	66
5.1สรุปการทำงาน	66
5.2 วิจารณ์และข้อเสนอแนะ	66
ภาคผนวก	
เอกสารอ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

โดยทั่วไปแล้วในการสื่อสารวิทยุเคลื่อนที่หรือการส่งคลื่นออกอากาศไปสู่เครื่องรับมักจะเกิดสัญญาณรบกวน(Noise) หรือ เกิดการจางหายของสัญญาณ(Fading) ขึ้นเสมอ ซึ่งทำให้ประสิทธิภาพในการรับส่งแย่ลง ในบางครั้งอาจทำให้ไม่สามารถทำการรับส่งสัญญาณกันได้ ดังนั้นจึงต้องมีการทดสอบเครื่องรับและเครื่องส่งในสภาวะการต่างๆเสมอ เพื่อให้ทราบว่าประสิทธิภาพของเครื่องรับและเครื่องส่งดีพอที่จะนำไปใช้หรือไม่

เครื่องจำลองช่องสื่อสารวิทยุเคลื่อนที่นั้นมักจะถูกใช้อยู่ในห้องทดลองเนื่องเพราะว่าอุปกรณ์เหล่านี้จะถูกนำไปใช้เพื่อทดสอบระบบซึ่งในการทดสอบแต่ละครั้งจะใช้ค่าใช้จ่ายที่ถูกและสามารถที่จะทดสอบซ้ำๆได้มากกว่าการที่จะไปทดสอบภาคสนาม โดยการทดสอบกับธรรมชาติหรือสภาวะแวดล้อมจริงๆ ในเอกสารฉบับนี้ได้นำเสนอ เครื่องมือซึ่งจำลองการเกิดการจางหายของสัญญาณ(mutipath fading) ที่ทดสอบในย่านช่องสัญญาณวิทยุเคลื่อนที่ความถี่ VHF และ UHF แบบแบนด์แคบ

ในเอกสารฉบับนี้ เครื่องจำลองการเกิดการจางหายของสัญญาณนั้น จะเป็นการจำลองการเกิดการจางหายของสัญญาณที่เป็นผลกระทบเนื่องมาจากปรากฏการณ์ ดอปเปลอร์(doppler effect) ซึ่งมีผลทำให้ความถี่ที่รับได้ที่เครื่องรับผิดเพี้ยนไปจากสัญญาณที่ส่งมาจากเครื่องส่ง โดยผลที่ได้จากการได้รับผลกระทบจากการเกิดเฟดดิ้งแบบ nonfrequency-selective multipath นั้นจะประมาณค่าได้โดยการมอดดูเล็ทสัญญาณ inphase และ quadrature ของสัญญาณะอาร์เอฟ เข้ากับสัญญาณ independent low-pass Gaussian random

<u>จุดประสงค์</u>

- เพื่อศึกษาการทำงานของเครื่องจำลองการเกิดการจางหายโดยใช้ ไมโครโปรเซสเวอร์ควบคุมการทำงาน
- เพื่อศึกษาผลกระทบของการเกิดการจางหายของสัญญาณว่ามีผลกระทบต่อสัญญาณต่างๆเช่นไร
- สามารถนำเครื่องจำลองการเกิดการจางหายของสัญญาณ มาประยุกต์ใช้งานได้
- เป็นแนวทางในการจำลองการเกิดการจางหายของสัญญาณในรูปแบบอื่นๆได้

<u>ขอบเขตการทำงาน</u>

ในโครงงานนี้ผู้จัดทำมีความมุ่งหวังที่จะทำการศึกษา โครงสร้างภายในและวิธีการจำลองการจางหายของคลื่นโดยใช้ ไมโครโปรเซสเซอร์ เป็นตัวควบคุมการทำงาน โดยสร้างสัญญาณควบคุมการเกิดการจางหายขึ้นมา 2 สัญญาณ สามารถเลือกอัตรา ดอปเปลอร์ ได้ระหว่าง 2 ถึง 126 Hz โดยเพิ่มขึ้นทีละ 2 Hz ในการทดลองนั้นจะทำการทดลองที่ความถี่ อาร์เอฟ ความถี่เดียว เนื่องจากว่าต้องการศึกษาการทำงานของเครื่องก่อนเท่านั้น ยังมิได้นำไปทดลองใช้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1ปรากฏการณ์ดอปเปลอร์

ปรากฏการณ์ดอปเปลอร์ คือปรากฏการณ์ที่ผู้สังเกตได้รับความถี่คลื่นเสียงจากแหล่งกำเนิดคลื่นต่างจากความถี่เดิม ขณะความเร็วสัมพัทธ์กันไม่เป็นศูนย์ และสังเกตได้ว่าคลื่นมีความถี่ต่างไปจากตอนที่หยุดนิ่ง หรือตอนที่ ความเร็วสัมพัทธ์เป็นศูนย์

กำหนด f_o เป็นความถี่คลื่นเสียงเมื่อแหล่งกำเนิดและผู้สังเกตอยู่นิ่ง ๆ

u เป็นความเร็วของคลื่น

v_s เป็นความเร็วของแหล่งกำเนิดคลื่น

v_L เป็นความเร็วของผู้สังเกต

f เป็นความถี่ที่สังเกตได้

ตัวอย่างเช่น เมื่อรถดับเพลิง หรือรถไฟเปิดสัญญาณขอทางรถกำลังแล่นเข้าหาผู้สังเกต จะเกิดเหตุการณ์ขึ้น 2 กรณีคือ

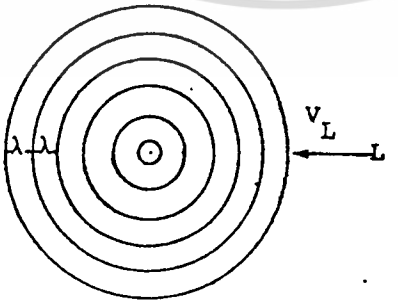
(ก) เสียงจะดังมากขึ้น เพราะรถแล่นเข้าผู้สังเกตทำให้ผู้สังเกตได้รับเสียงที่มีความเข้มข้นมากขึ้น ไม่ใช่ปรากฏการณ์ Doppler Effect

(ข) เสียงจะแหลมขึ้น เพราะรถแล่นเข้าหาผู้สังเกตทำให้ผู้สังเกตได้รับเสียงที่มีความถี่มากขึ้นเป็นปรากฏการณ์ Doppler Effect

เราสามารถแบ่งแหล่งกำเนิดเสียงได้2 แบบคือ 1. แหล่งกำเนิดเสียงแบบหยุดอยู่กับที่

2. แหล่งกำเนิดเสียงแบบสามารถเคลื่อนที่ได้

2.1.1 Source อยู่นิ่ง เช่นลำโพงในห้องฟังเสียง



รูปที่ 2-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความยาวคลื่นย่อมเท่ากัน สมมติความเร็วเสียงในอากาศเป็น u , ความเร็วของผู้ฟัง (ดังรูป) เป็น v_L เมื่อผู้ฟังเข้ามาย่อมได้รับคลื่นมากขึ้น(ความถี่มากขึ้น) ย่อมได้ความเร็วสัมพัทธ์เป็น $u + v_L$

สูตร $v = f\lambda$

$$u + v_L = f\lambda$$

$$f = \frac{u + v_L}{\lambda} \qquad \text{.....(2 . 1)}$$

ตัวอย่าง $$f = \frac{3 \times 10^{10} \text{ cm/s} + 3 \times 10^{6} \text{ cm/s}}{37.5 \text{ cm}}$$

$$= 22.22 \text{ Hz}$$

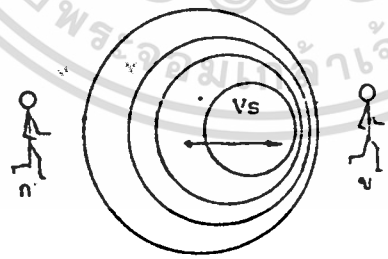
หมายเหตุ ในทางกลับกันถ้าผู้ฟังเคลื่อนที่หนีคลื่นเสียงออกไป ย่อมได้ความเร็วสัมพัทธ์น้อยลงเป็น $u - v_L$

สูตร $v = f\lambda$

$$u - v_L = f\lambda$$

$$f = \frac{u - v_L}{\lambda} \qquad \text{.....(2 . 2)}$$

2.1.2 Source เคลื่อนที่ด้วยเช่น รถไฟกำลังแล่นและเป็ดหวูด



รูปที่ 2-2

ตามรูป ทางด้าน นาย ก จะได้รับ λ ของคลื่นสั้นลง (แต่นาย ข หลังรถได้ยิน λ ยาวขึ้น) ความยาวคลื่นไม่เกี่ยวกับความเร็วของผู้ฟังเลย สมมติความเสียงในอากาศเป็น u ความเร็วของแหล่งกำเนิดเสียงเป็น v_s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สูตร $v = \frac{s}{t}$

$s = vt$

ในเวลา t sec, เสียงเคลื่อนที่ได้ ut เมตร

ในเวลา t sec, Source เคลื่อนที่ได้ $v_s t$ เมตร

ระยะทางจริง ๆ ที่เคลื่อนที่ได้จาก Source = $ut - v_s t$ เมตร

ถ้า Source ส่งคลื่นด้วยความถี่ f_o hertz

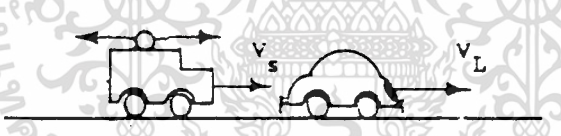
1 sec จะปล่อยคลื่นออกมา f_o คลื่น

t sec จะปล่อยคลื่นออกมา $f_o t$ คลื่น

$f_o t$ คลื่นได้ระยะทาง = $ut - v_s t$ เมตร

1 คลื่นได้ระยะทาง = $\frac{ut - v_s t}{f_o t}$ เมตร

$$\lambda = \frac{u - v_s}{f_o} \qquad \text{.....(2.3)}$$



รูปที่ 2-3

ถ้ารวมทั้งสองตอนเข้าด้วยกัน

(ก) Source เข้ามาผู้ฟัง

(ข) ผู้ฟังเคลื่อนออกไปด้วย

แทนค่าสมการ (2.3) ลงในสมการ (2.2) ย่อมได้

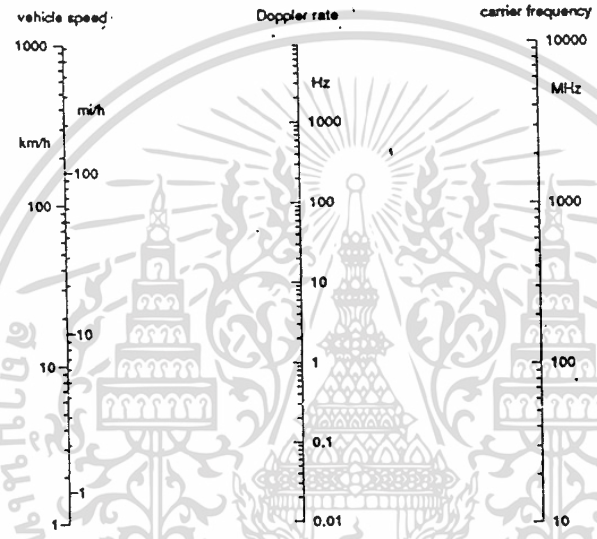
$$f = \frac{u - v_L}{(u - vs) / fo}$$

$$f = \frac{fo\ (u - v_L)}{u - v_s} \qquad \text{.....(2.4)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

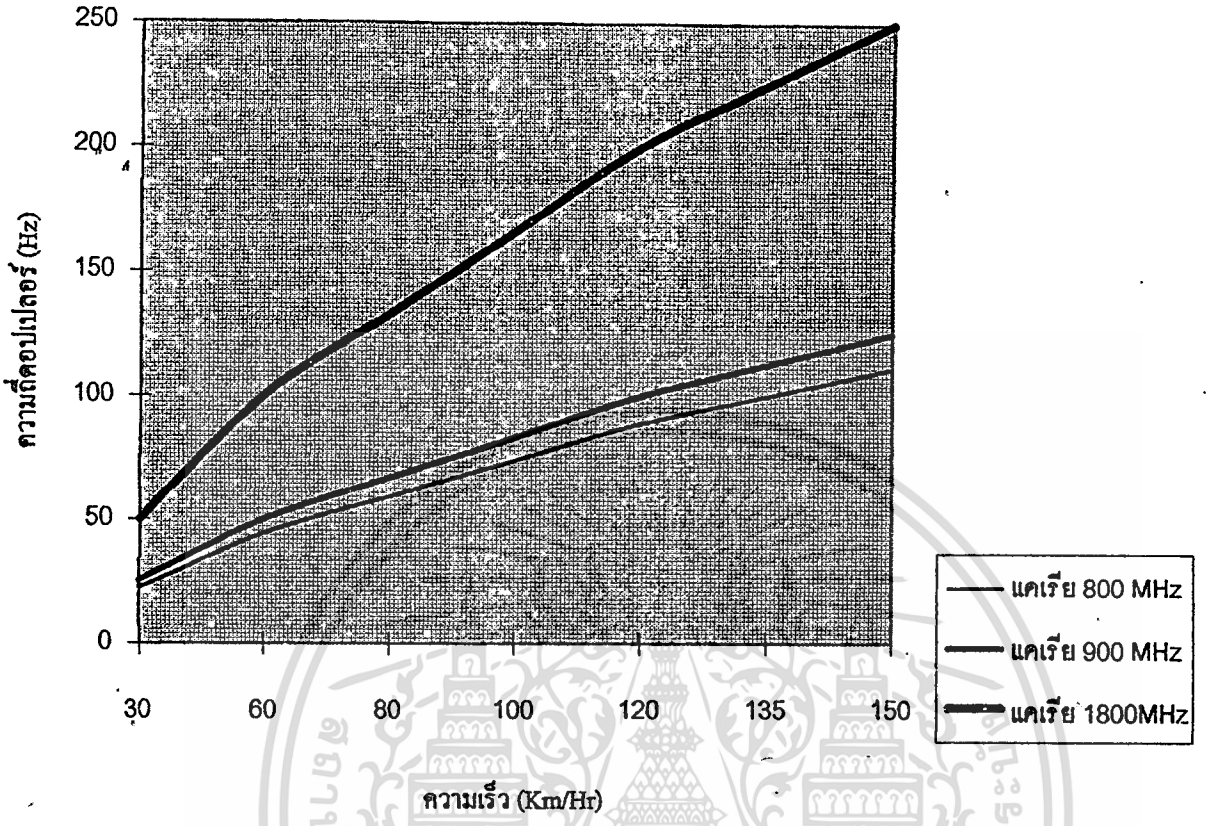
ในทางกลับกัน ถ้า SOURCE ออกจากผู้ฟัง ผู้ฟังเคลื่อนที่เข้าหาคลื่นเสียงย่อมได้ความเร็วเป็นลบ เพราะตรงข้ามกับทิศทางที่สมมติไว้ในตอนแรก

จะได้สูตรว่า $$f = \frac{fo\ (u + v_L)}{u + v_s} \qquad \text{.....(2 . 5)}$$



รูปที่ 2-4 mono-graph แสดงความสัมพันธ์ระหว่างความถี่แคเรีย , ความถี่ดอปเปลอร์และความเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



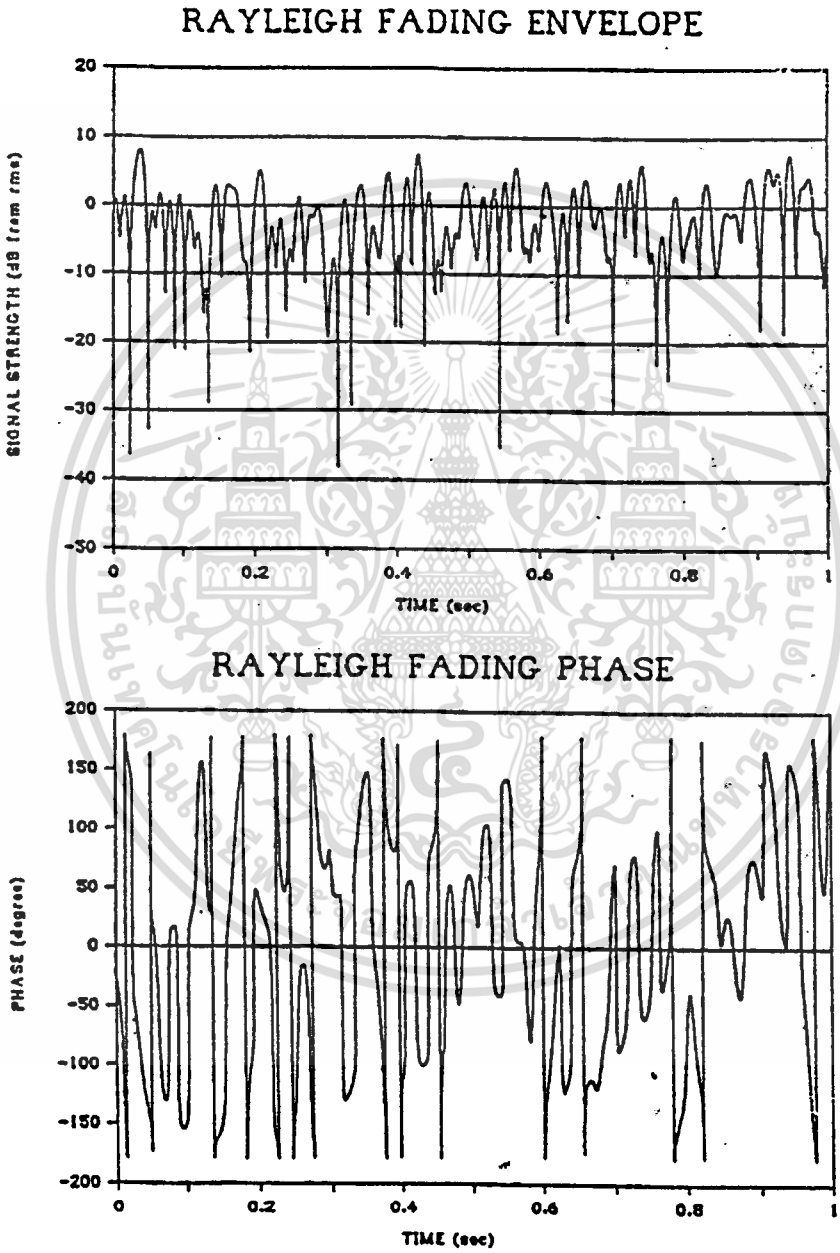
รูปที่ 2-5 ความสัมพันธ์ระหว่างความเร็วกับความถี่ดอปเปลอร์ของโมบายที่มีความถี่แคเรียต่างกัน

จากกราฟแสดงความสัมพันธ์ระหว่างความเร็วกับความถี่ดอปเปลอร์ของโมบายที่มีความถี่แคเรียต่างกัน เราสามารถสรุปได้ว่าเมื่อความเร็วของโมบายเพิ่มขึ้นจะทำให้ความถี่ดอปเปลอร์เพิ่มขึ้นด้วยและหากความถี่ของแคเรียเพิ่มขึ้นก็จะทำให้ความถี่ดอปเปลอร์เพิ่มขึ้นด้วยเช่นกัน ซึ่งเมื่อเกิดเหตุการณ์ดังกล่าวขึ้นจะทำให้สัญญาณที่โมบายรับได้เปลี่ยนไปจากเดิมที่ส่งมา ยิ่งความเร็วของโมบายมีค่ามากเท่าไหร่หรือความถี่แคเรียสูงเท่าไหร่ยิ่งจะทำให้สัญญาณที่โมบายรับได้ผิดเพี้ยนมากขึ้นเท่านั้น ซึ่งจะทำให้คุณภาพเสียงด้อยลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การจางหายของสัญญาณแบบเรย์เล่ห์ (Rayleigh Fading)

ถ้าองค์ประกอบแบบหลายเส้นทางของสัญญาณที่รับได้เป็นเส้นทางที่อิสระแล้วลักษณะของสัญญาณดังกล่าวเรียกว่า เรย์เล่ห์ (Rayleigh) รูปแบบของลักษณะสัญญาณที่รับได้และเฟสของสัญญาณเป็นฟังก์ชั่นของเวลาดังที่แสดงไว้ในรูปที่ 2-6



รูปที่ 2-6 รูปขนาดและเฟสของสัญญาณจางหายแบบเรย์เล่ห์ โดยที่ยานพาหนะมีความเร็ว 30 mph ความถี่คลื่นพาห์ 900 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

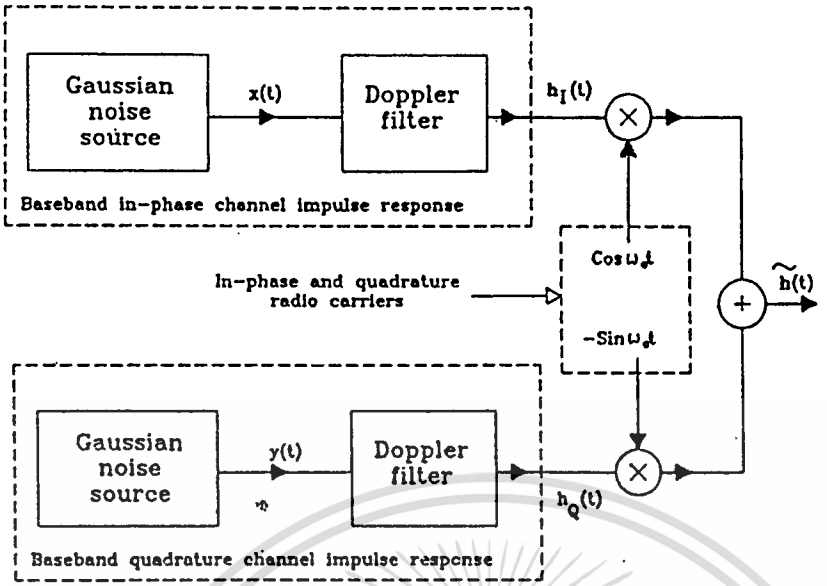
ในการแสดงตัวอย่างของช่องสัญญาณวิทยุเคลื่อนที่เป็นที่ต้องการสำหรับทั้งการวิเคราะห์ทางคณิตศาสตร์และการจำลองด้วยคอมพิวเตอร์ของระบบวิทยุเคลื่อนที่ ช่องสัญญาณการจางหายแบบเรย์เลห์สามารถที่จะถูกจำลองได้ดังรูปที่ 2-7 สังเกตว่า มีช่องควอเดรเชอร์ 2 ช่องในแบบจำลอง เอาท์พุทจากแหล่งกำเนิดเกาส์เซี่ยนน๊อยส์ (Gaussian noise sources) จะถูกจ่ายให้กับวงจรกรองความถี่เพื่อที่จะแทนผลกระทบของความถี่ดอปเปลอร์ ดังนั้นก่อนที่จะพิจารณาแบบจำลองต่อไป จะต้องมาพิจารณาดอปเปลอร์ที่เปลี่ยนแปลงสัญญาณส่งที่ส่งให้ยานพาหนะ ในที่นี้เราจะจำกัดขอบเขตให้อยู่ตามแนวความคิดพื้นฐานเท่านั้น โดยจะพิจารณาการส่งด้วยสัญญาณคลื่นพาห์ที่ไม่มีการมอดดูเลทจากสถานีส่ง ทิศทางการเคลื่อนที่ของยานพาหนะจะมีทิศทางที่ทำมุมเป็น α_I โดยอ้างอิงกับสัญญาณที่รับได้จากเส้นทางจำนวน I เส้นทางและมีความถี่คลื่นพาห์คือ f_c ที่เปลี่ยนเป็น $f_c + f_m \cos \alpha I$ โดยที่ $f_m = v/\lambda = vf_c / c$ และ v แทนความเร็วของยานพาหนะ $\lambda = c / f_c$ แทนความยาวคลื่นของความถี่คลื่นพาห์และ c เป็นความเร็วคลื่นแสง สังเกตว่าความถี่ดอปเปลอร์สามารถที่จะเป็นได้ทั้งบวกหรือลบขึ้นอยู่กับ α_I และที่ความถี่สูงสุดและต่ำสุดของความถี่ดอปเปลอร์คือ $\pm f_m$ ความถี่สูงสุดและต่ำสุดจะสอดคล้องกับมุม $\alpha_I = 0$ เมื่อรัศมีแทนด้วยถนนที่ยานพาหนะเคลื่อนที่อยู่ มันคล้ายกับว่าเป็นการเปลี่ยนความถี่ของหวูดรถไฟที่ได้ยินโดยบุคคลซึ่งกำลังยืนอยู่บนทางรถไฟเมื่อรถไฟมุ่งหน้าเข้าหาหรือถอยออกห่างจากคนนั้น

สมมติว่า α_I ถูกแบ่งไว้เหมือนๆ กัน ความถี่ดอปเปลอร์มีการแบ่งโดซายน์แบบซุ่ม power spectral density $S(f)$ ของดอปเปลอร์สามารถที่จะถูกคำนวนด้วยสมการกำลังสัญญาณที่ได้รับในมุม $d\alpha$ ด้วยกำลังดอปเปลอร์ $S(f)df$ โดยที่ df จะได้จากการดิฟเฟอเรนเชียรในเทอมของความถี่ดอปเปลอร์ $f_m \cos\alpha$ ด้วย α กำลังที่รับได้ที่ยานพาหนะขึ้นอยู่กับอัตราขยายกำลังของสายอากาศและการโพลาไรเซชั่นที่ใช้ ด้วยเหตุนี้การส่งสัญญาณคลื่นพาห์แบบไม่มีการมอดดูเลทที่รับได้เป็นสัญญาณแบบหลายทิศทางซึ่งสเปกตรัมไม่ได้มีความถี่คลื่นพาห์ f_c เพียงความถี่เดียว แต่จะมีความถี่ไปเป็น $f_c \pm f_m$ ซึ่งสามารถแสดงสเปกตรัมได้ดังรูปที่ 2-7 โดยทั่วไปแล้วเราสามารถแสดงสเปกตรัมของสัญญาณ RF ที่รับได้เป็น $S(f)$

$$S(f) = \frac{A}{\sqrt{1-(f / f_m)^2}}$$

โดย A เป็นค่าคงที่ สังเกตว่า f_m ขึ้นอยู่กับผลของความเร็วของยานพาหนะและความถี่ที่ส่งออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



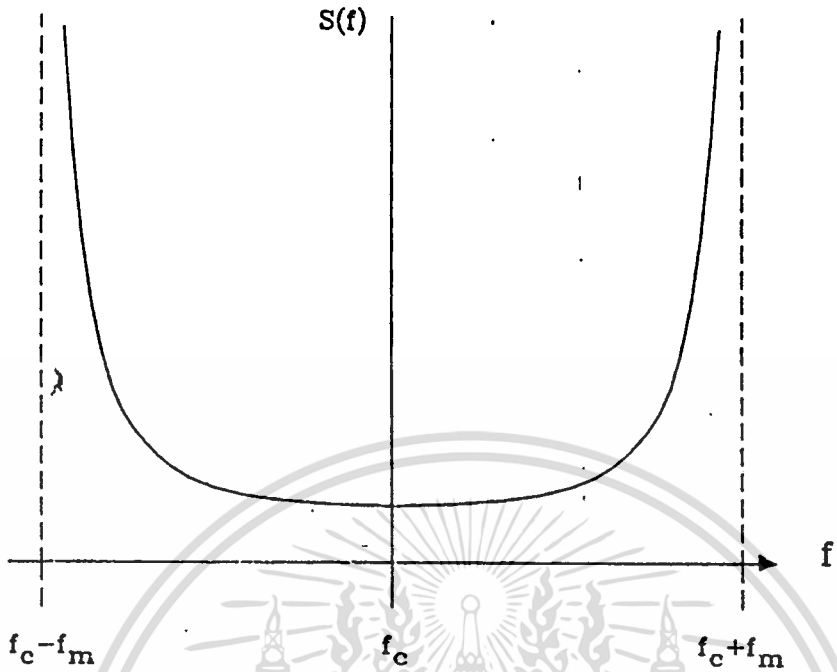
รูปที่ 2-7 บล็อคไดอะแกรมของการสร้างสัญญาณจางหายแบบเรย์เล่ห์

ย้อนกลับไปดูที่รูปที่ 2-7 ถ้าวงจรกรองคอปเปลอร์ไม่ถูกรวมเข้าไว้เช่น h1(t)=x(t) และ h_Q (t)=y(t) แล้วได้เอาท์พุทคือ

$$h(t) = x(t)\cos\omega_c t - y(t)\sin\omega_c t$$

โดยที่ x(t) และ y(t) เป็นค่าเปลี่ยนแปลงแบบซุ่มของเกาส์เซี่ยนอิสระ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-8 เสปกตรัมแสดงดอปเปลอร์ของสัญญาณคลื่นพาห์ที่ไม่ได้ถูกมอดดูเลท

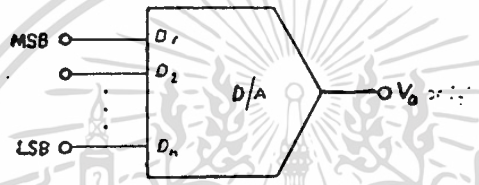
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การเปลี่ยนสัญญาณดิจิตอลเป็นอนาล็อก (DAC)

หลักการทำงานของ DAC คือการนำเอากลุ่มของบิท (BIT) จากคอมพิวเตอร์หรืออุปกรณ์ดิจิตอลมาเปลี่ยนเป็นระดับแรงดันอนาล็อก เอาท์พุทของ DAC เป็นระดับความแตกต่างของแต่ละบิทของดิจิตอลอินพุท

2.3.1 หลักการพื้นฐานของ DAC

บล็อกไดอะแกรมของ DAC แสดงในรูป เอาท์พุทที่สร้างขึ้นจาก DAC เป็นได้ทั้งแรงดันและกระแส



รูปที่ 2-9 บล็อกไดอะแกรมของ D/A Converter

เอาท์พุทชนิดใดก็ตามของ DAC ที่ผลิตขึ้นมาได้จากวงจรที่นำมาใช้ในการเปลี่ยนดิจิตอลเป็นอนาล็อก จำนวนของความแตกต่างของระดับแรงดันและกระแสที่สร้างขึ้นที่เอาท์พุทของ DAC จะสัมพันธ์กับจำนวนของบิทที่นำมาเปลี่ยนจากสมการ

$$N = 2^n$$

เมื่อ N คือ จำนวนของระดับความแตกต่างด้านเอาท์พุทที่สร้างขึ้นและ n คือจำนวนของบิทอินพุทที่นำมาเปลี่ยน

จำนวนของระดับความแตกต่างที่สร้างขึ้นที่เอาท์พุทของ DAC จะขึ้นอยู่กับขอบเขตการจำแนกของอุปกรณ์ที่ใช้งาน จำนวนบิทของอินพุทจะใช้บิทที่สูงที่สุดในการคำนวณ เช่น อินพุทของ DAC จำนวน 10 บิท สามารถเปลี่ยนระดับสัญญาณได้ 1024 ระดับการเปลี่ยนแปลงเป็นรูปอื่นเป็นคุณสมบัติหนึ่งที่สำคัญของ DAC ในการนำไปประยุกต์ใช้งานในหลายด้าน หลักการหนึ่งในการเปลี่ยนแปลงสัญญาณดิจิตอลในรูปของ N ($N = 2^n$) และสามารถคิดเป็นในรูปเปอร์เซนต์ได้จากสมการ

$$\text{Percent Resolusion} = (1/2^n) \times 100\% \qquad \text{.....(2 . 6)}$$

เช่น 10 บิท DAC

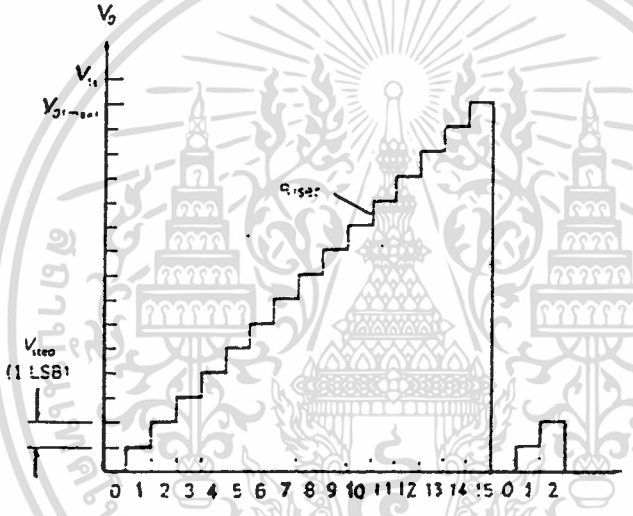
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{Percent Resolusion} = (1/2^{100}) \times 100\%$$

$$= (1/1024) \times 100\%$$

$$= 0.098\%$$

จากตัวอย่างของเอาท์พุทของ 10 บิท DAC มีความแน่นอน 0.098% ของเอาท์พุท-Full Scale ซึ่งคือระดับแรงดันหรือกระแสที่สร้างขึ้นที่เอาท์พุทของ DAC ที่สมมติขึ้นว่าเลข 1 ไบนารี่ที่เป็นอินพุทแต่ละตัวเปลี่ยนแปลงเป็นรูปอื่นไม่ได้จำกัด แต่ในความเป็นจริง DAC ไม่สามารถมีจำนวนถึง Ideal Full Scale เนื่องจากการจำกัดจำนวนของอินพุทตัวอย่างเช่น DAC ที่แสดงในรูป 2-10 มีอินพุท 4 เส้น กราฟของ V_o และอินพุทไบนารี่สำหรับ 4 บิท DAC สามารถสร้างได้ดังแสดงในรูป 2-10



รูปที่ 2-10 คุณสมบัติทรานเฟอร์สำหรับ 4 บิท DAC

จะสังเกตได้ว่ามีระดับความแตกต่างของแรงดันที่เป็นไปได้ 16 ระดับและ 15 ขอบขาขึ้น ถ้าเป็นเอาท์พุท Full Scale จะมีขอบขาขึ้น 16 ขอบ ซึ่งหมายถึงว่าค่า V_o สูงสุดเอาท์พุทจะไม่ถึง V_{fs} อีกหนึ่งขึ้น ขนาดของเอาท์พุทหนึ่งขึ้นเรียกว่า 1 LSB ซึ่งมีการเปลี่ยนแปลงน้อยมากและปรากฏขึ้นเมื่อ LSB ของดิจิตอลอินพุทเปลี่ยนสภาวะ การเพิ่มขึ้นของเอาท์พุท (แรงดันหรือกระแส) สำหรับแต่ละขึ้นหาได้จากจำนวนของขั้นและ V_{fs} ซึ่งมีความสัมพันธ์กับดังนี้

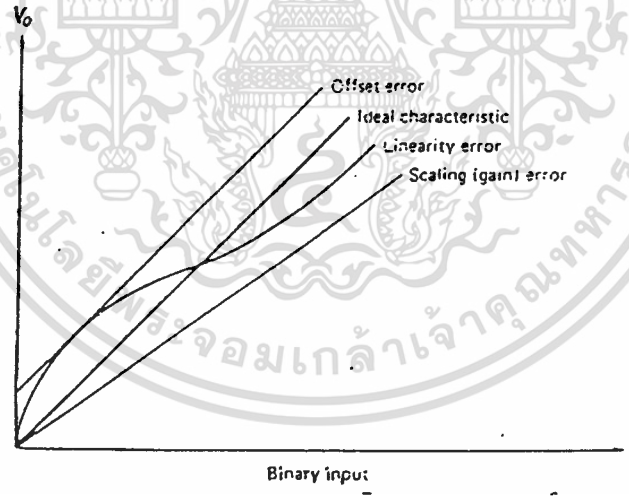
$$\text{ขนาดขั้น} = V_{fs}/2^n$$

เมื่อ n คือจำนวนของอินพุทไบนารี่และ V_{fs} คือแรงดัน Full Scale ของ Ideal DAC เช่น V_o ของ 4 บิท DAC เป็นไปตามทฤษฎีมี V_{fs} เท่ากับ 10 V และอินพุทไบนารี่ 12 ฐาน 10^{-1} ได้ V_o เท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{ขนาดขั้น} = V_{fs}/2^n$$
$$= 10\ V/16$$
$$= 0.625\ V$$
$$V_o = 0.625\ V \times 12$$
$$= 7.5\ V$$

การจำแนกของ DAC จะใช้เป็นตัวบอกความเที่ยงตรงของศักย์เพราะว่าการจำแนกเป็นตัวกำหนดข้อกัดของความเที่ยงตรงของการเปลี่ยนแปลง อย่างไรก็ตามความเที่ยงตรงและการจำแนกไม่ใช่สิ่งเดียวกันตัวอย่างเช่น 16 บิท DAC จะพิจารณาถึงการจำแนกสูงสุด (65536) แต่ไม่ใช่สิ่งจำเป็นที่ถูกต้องในการหาค่า V_o ซึ่งจะหาได้จากค่าอินพุทที่ให้มา ภายใต้เงื่อนไขอุดมคติเอาท์พุทของ DAC จะมีความถูกต้อง $+1/2\ V_{step}$ (หรือ +1/2 LSB เพราะ 1 STEP = 1 LSB) อย่างไรก็ตามอาจมีความผิดพลาดได้ใน DAC แต่ละชนิดความคลาดเคลื่อนจะเกิดจากโครงสร้างของวงจร DAC ผลของการเปลี่ยนแปลงแหล่งความคลาดเคลื่อนบนเอาท์พุทบนตัวคอนเวอร์เตอร์ แสดงดังรูปที่ 2-11 เป็นรูปผลของการเปลี่ยนแปลงความคลาดเคลื่อนของทรานเฟอร์ฟังก์ชั่นของ DAC อุดมคติ



รูปที่ 2-11 กราฟของ DAC อุดมคติและผลของความคลาดเคลื่อน

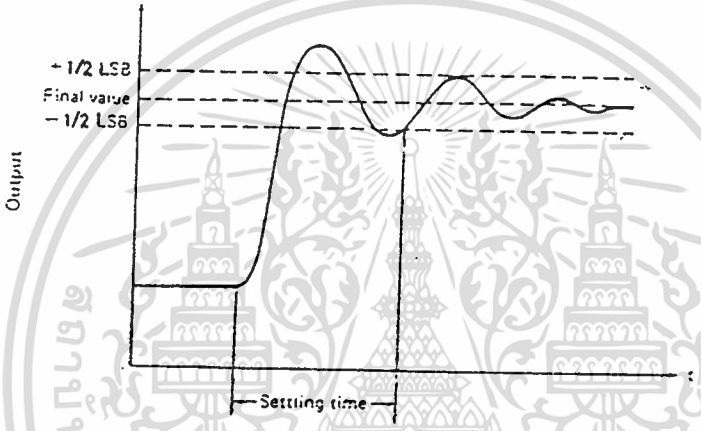
OFFSET ERROR เป็นผลที่เกิดขึ้นที่เอาท์พุทของ DAC ไม่เป็น 0 เมื่ออินพุทไบนารี่เป็น 0 ทำให้เกิดค่าคงที่เลื่อนให้ V_o ให้เกิดย่านของไบนารี่อินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GAIN ERROR หรือเรียกอีกอย่างหนึ่งว่า Scaling Error จะสร้างขนาดขึ้นให้ใหญ่กว่าหรือเล็กกว่าขนาดปกติซึ่งเป็นสาเหตุให้ค่า V_o เบี่ยงเบนจากค่าความเป็นจริงของไบนารี่อินพุท

LINEARITY ERROR เป็นความคลาดเคลื่อนอีกชนิดหนึ่งที่เป็นสาเหตุทำให้ DAC ไม่เป็นเชิงเส้น ตัวอย่างเช่น ถ้าเกณฑ์ของ DAC ไม่คงที่สำหรับไบนารี่อินพุทเอาท์พุทจะเปลี่ยนแปลงขนาดของขั้นที่สร้างขึ้น

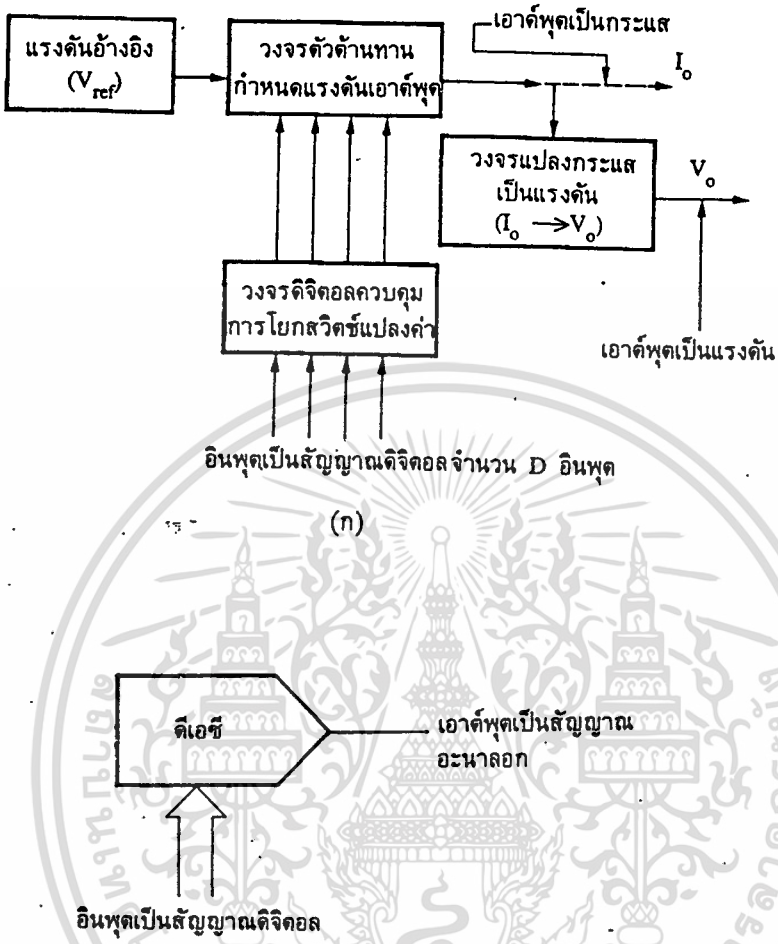
คุณลักษณะของ DAC ที่สำคัญอีกอย่างคือความสัมพันธ์เกี่ยวกับเวลาที่ใช้ในการเปลี่ยนแปลง คุณสมบัตินี้เรียกว่า Setting Time เป็นการวัดการตอบสนองทางด้านความเร็วของ DAC



รูปที่ 2-12 กราฟการตอบสนองต่อ Setting Time ของ DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

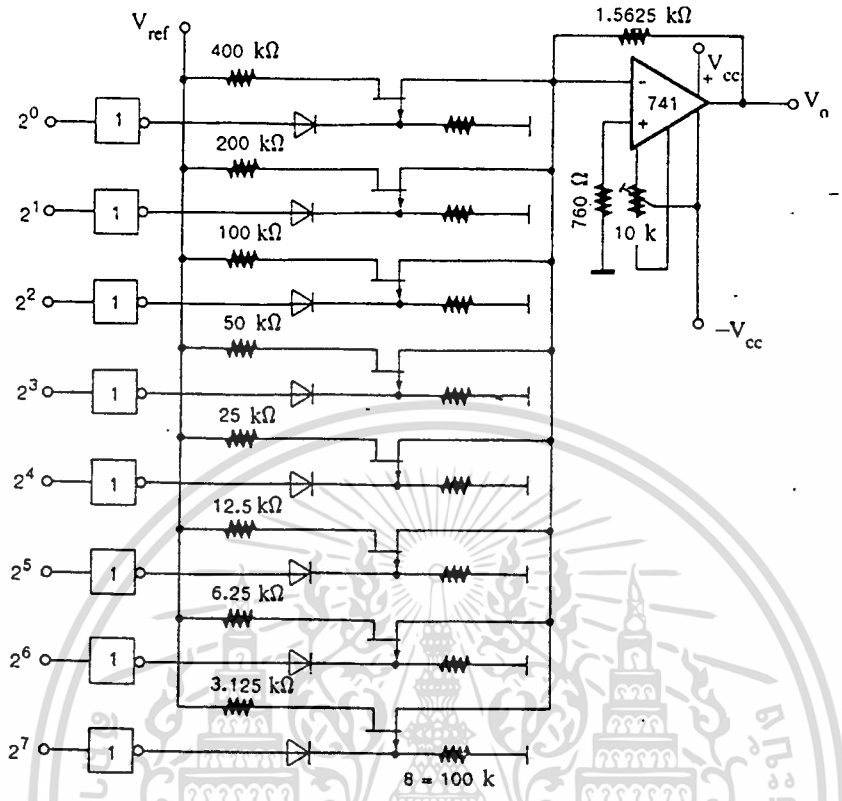
2.3.2 หลักการทำงานของ DAC



รูปที่ 2-13 แสดงแผนผังของวงจร DAC และสัญลักษณ์

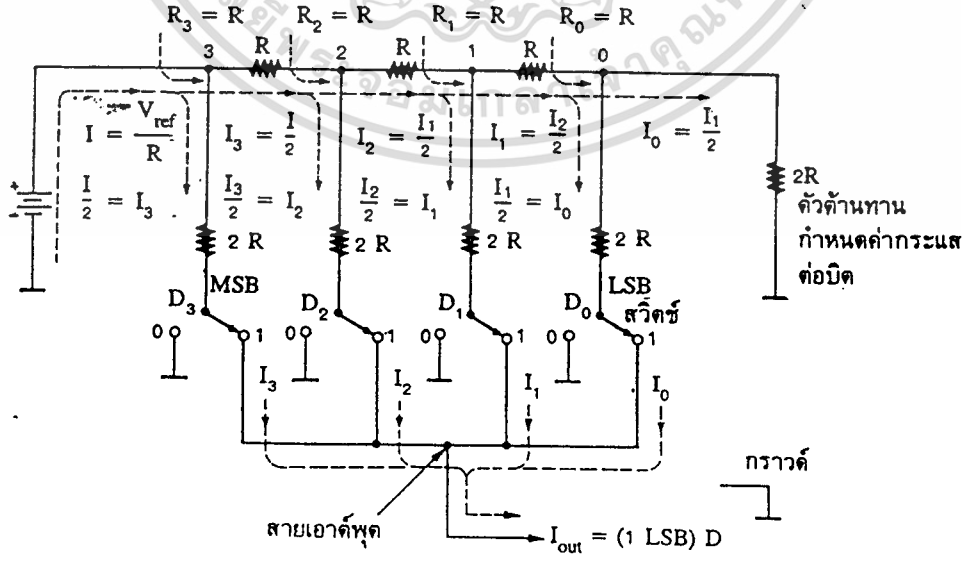
เพื่ออำนวยความสะดวกในการรับส่งข้อมูลจากสายข้อมูลของระบบคอมพิวเตอร์ขนาด 8 บิทหรือมากกว่านั้น จึงจำเป็นต้องให้ ดีเอซี มีจำนวนอินพุทมากขึ้นดังแสดงตัวอย่างวงจรพื้นฐานใน รูปที่ 2-14 โดยใช้ตัวต้านทานของบิทต่ำสุดเป็น 400 กิโลโอห์ม ส่วนบิทสูงสุดใช้ตัวต้านทานขนาด 3.125 กิโลโอห์ม และใช้ทรานซิสเตอร์เฟตเป็นอนาลอกสวิตช์ ร่วมกับวงจขยายออปแอมป์เบอร์ 741

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-14 แสดงวงจร DAC ขนาด 8 บิท

2.3.3 วงจรดีเอซีแบบตัวต้านทานอาร์-สองอาร์



รูปที่2-15 แสดงวงจร DAC แบบตัวต้านทานอาร์-สองอาร์เบื้องต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่อวงจรตัวต้านทานแบบอาร์-สองอาร์ (R-2R) ขนาด 4 บิทซึ่งประกอบด้วยตัวต้านทาน 3 ตัวมีค่าเท่ากับ R และตัวต้านทานอีก 5 ตัวมีค่าเท่ากับ 2R ดังแสดงในรูปที่ 2-15 กำหนดให้ R = 10 กิโลโอห์มและ 2R = 20 กิโลโอห์ม สวิตช์ที่ต่ออยู่ในวงจรถูกควบคุมด้วยลอจิก "0" เพื่อโยกสวิตช์ไปยังตำแหน่งกราวด์หรือลอจิก "1" เพื่อโยกสวิตช์ให้กระแสไหลไปยังเอาท์พุทตาม ลอจิกที่ควบคุมในแต่ละบิททางด้านอินพุทจาก 0000 ถึง 1111 หากสังเกตที่โหนด 0 ของวงจรจะมีตัวต้านทาน 2R เป็นตัวกำหนดให้ $R_0 = R$ เพราะหากนำเอา 2 R ขนานกับ 2 R จะมีค่าเท่ากับ R และถ้ามองจากโหนด 1 ออกไปทางขวามือ $R_1 = R$ เพราะ $R_0 + R$ มีค่าเท่ากับ 2 R และถ้ามองจากอินพุท V_{ref} จะได้ $R_3 = R$ ดังนั้นสามารถคำนวณหากระแสได้ดังนี้

$$\text{กระแสอินพุท } I = V_{ref}/R$$

กระแสที่จุดโหนดแต่ละโหนดจะถูกแบ่งออกเป็นสองส่วนเท่ากันเสมอดังนี้

$I_3 = I/2$

$I_2 = I_3/2 = I/4$

$I_1 = I_2/2 = I/8$

$I_0 = I_1/2 = I/16$

ดังนั้นค่ากระแสที่บิทต่ำสุด คือ I_0 ส่วนกระแสทางด้านเอาท์พุทคือผลรวมของกระแสที่ไหลผ่านตัวต้านทาน 2R ขณะแต่ละสวิตช์ถูกควบคุมด้วยลอจิก "1"

$$I_{out} = (\text{กระแสที่ไหลขณะบิทต่ำสุดเป็นลอจิก "1"}) \times D \quad \text{.....(2 . 6)}$$

$$= I_0 \times D$$

$$= (V_{ref}/R)\,(1/2^n) \times D$$

กำหนดให้ I_0 คือ ค่ากระแสที่ไหลขณะบิทต่ำสุดเป็นลอจิก "1" (แอมแปร์)

V_{ref} คือ ค่าแรงดันอ้างอิงของวงจร (โวลต์)

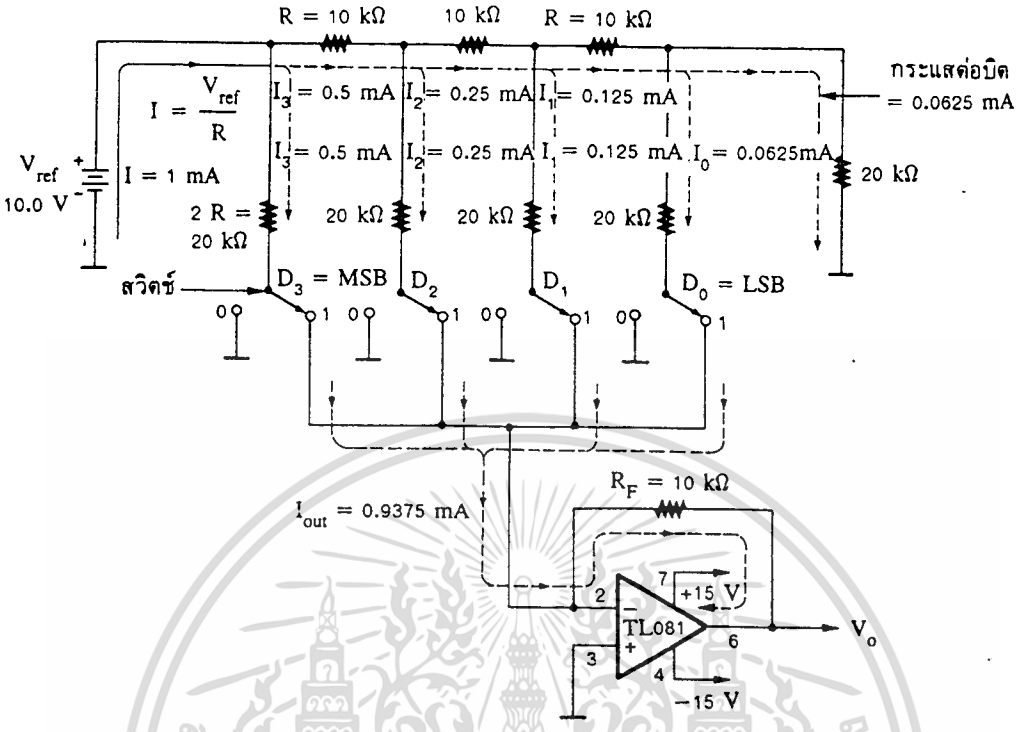
R คือ ค่าความต้านทาน (โอห์ม)

n คือ ค่าจำนวนบิทของ DAC

D คือ ค่าเลขฐานสิบที่แปลงมาจากเลขฐานสองจากลอจิกอินพุท

แรงดันเอาท์พุท จากรูปที่ 2-15 หากนำออปแอมป์มาต่อเพิ่มเข้าไปก็จะสามารถเปลี่ยนกระแสเป็นแรงดันได้ ดังรูป 2-16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-16 แสดงวงจร DAC ขนาด 4 บิทมีความละเอียด 0.625 โวลต์ต่อบิท

จากวงจรรูปที่ 2-16 หาแรงดันเอาท์พุทได้ดังนี้

$V_0 = I_{out} R_f = -$ (ความละเอียดของกระแส) x Rf x D .....(2 . 7)

$= -(V_{ref}/R)\ (1/2^n)\ R_f D$

จากวงจร $R = R_f$

$V_0 = -(V_{ref}/2^n)\ D$

$= -$ (ความละเอียดของแรงดัน) D

จากสมการ

$$V_0 = -(V_{ref}/R)\ (1/2^n)\ R_f D$$

อาจเขียนสมการใหม่เป็นดังนี้

$$V_0 = -(K)V_{ref}\ D \qquad .....(2 . 8)$$

กำหนดให้

$$K = (R_f/R)\ (1/2^n)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

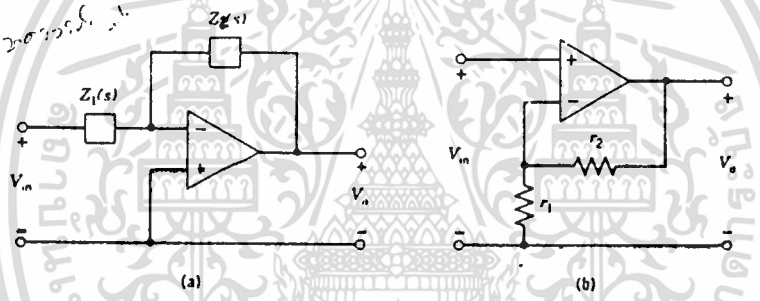
2.4 วงจรกรองความถี่

2.4.1 Basic Building Blocks

วงจรขยายกลับเฟสแสดงดังรูปที่ 2-17 (a) วงจรขยายไม่กลับเฟสแสดงดังรูปที่ 2-17 (b) และวงจรขยายแบบรวมสัญญาณแสดงดังรูปที่ 2- 18 โดย transfer function ของวงจรรูปที่ 2-17 (a) และ (b) สามารถเขียนได้ดังนี้

$$H(s) = \frac{V_o(s)}{V_{in}(s)} = \frac{-Z_2(s)}{Z_1(s)} \qquad \text{.....(2 . 9)}$$

$$H(s) = \frac{V_o(s)}{V_{in}(s)} = 1 + \left[\frac{r_2}{r_1}\right] \qquad \text{.....(2 . 10)}$$



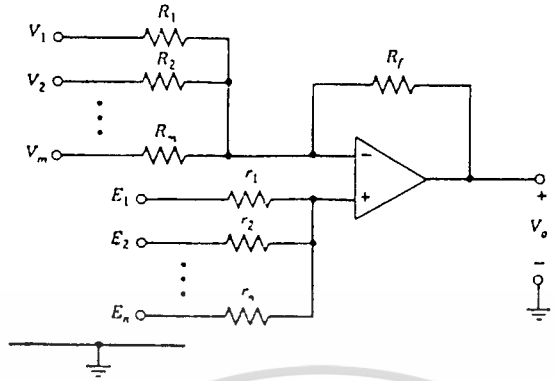
รูปที่ 2-17

ส่วนแรงดันเอาท์พุทของวงจรขยายแบบรวมสัญญาณสามารถเขียนในเทอมของแรงดันอินพุท V_i และ E_i ได้เป็นสมการดังนี้

$$V_o(s) = \sum_{i=1}^{n}\left[\frac{1 + R_f G}{r_i\, g}\right] E_i(s) - \sum_{i=1}^{m}\left[\frac{R_f}{R_i}\right] V_i(s) \qquad \text{.....(2 . 11)}$$

$$G = \sum_{i=1}^{m} \frac{1}{R_i}, \qquad g = \sum_{i=1}^{n} \frac{1}{r_i} \qquad \text{.....(2 . 12)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
038433

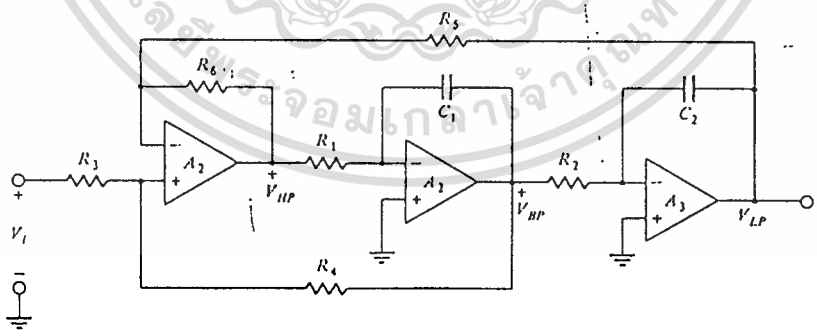


รูปที่ 2-18

2.4.2 ACTIVE FILTER

วงจรกรองความถี่อันดับสองที่แสดงในรูปที่ 2-19 เรียกว่า Kerwin-Huelsman-Newcomb Biquad ซึ่งถูกคิดค้นขึ้นโดย W.J. Kerwin , L.P. Huelsman และ R.W. Newcomb หรือเรียกอีกชื่อหนึ่งว่า State Variable Biquad วงจรนี้จะมีข้อดีคือค่า sensitivity ต่ำ ค่า Q ของวงจรสามารถออกแบบได้กว้างและมีส่วนประกอบวงจรที่ง่ายต่อการออกแบบ

วิธีการหา transfer function มีดังนี้



รูปที่ 2-19 KHN Biquad

$$V_{LP}(s) = -\frac{V_{BP}(s)}{SC_2R_2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{BP}(s) = -SC_2R_2V_{LP}(s) \quad \text{.....(2 . 13)}$$

$$V_{BP}(s) = -\frac{V_{HP}(s)}{SC_1R_1}$$

$$V_{HP}(s) = -SC_1R_1V_{BP}(s)$$

$$= S^2C_1C_2R_1R_2V_{LP}(s) \quad \text{.....(2 . 14)}$$

$$V_{HP}(s) = \frac{1+R_6G}{R_3g}V_i(s) + \frac{1+R_6G}{R_4g}V_{BP}(s) - \frac{R_6}{R_5}V_{LP}(s)$$

$$G = \frac{1}{R_5}$$

$$g = \frac{R_3+R_4}{R_3R_4}$$

$$V_{HP}(s) = \frac{R_4(R_5+R_6)}{R_5(R_3+R_4)}V_i(s) + \frac{R_3(R_5+R_6)}{R_5(R_3+R_4)}V_{BP}(s) - \frac{R_6}{R_5}V_{LP}(s) \quad \text{.....(2 . 15)}$$

แทน (2 . 13) และ (2 . 14) ใน (2 . 15)

$$S^2C_1C_2R_1R_2V_{LP}(s) = \frac{R_4(R_5+R_6)}{R_5(R_3+R_4)}V_i(s) - \frac{SC_2R_2R_3(R_5+R_6)}{R_5(R_3+R_4)}V_{LP}(s) - \frac{R_6}{R_5}V_{LP}(s)$$

$$\frac{V_{LP}(s)}{V_i(s)} = \frac{\dfrac{R_4(R_5+R_6)}{C_1C_2R_1R_2R_5(R_3+R_4)}}{S^2 + \dfrac{SR_3(R_5+R_6)}{C_2R_2R_5(R_3+R_4)} + \dfrac{R_6}{C_1C_2R_1R_2R_5}} \quad \text{.....(2 . 16)}$$

Transfer Function มาตรฐานของ Low Pass Filter $= K\dfrac{\omega_H^2}{S^2 + \dfrac{\omega_H S}{Q} + \omega_H^2}$

$$= K\frac{\omega_H^2}{S^2 + d\omega_H S + \omega_H^2} \quad ; \; d = \frac{1}{Q}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จัดสมการ (2 . 16) ในเข้าฟอร์มมาตรฐาน

$$\frac{V_{LP}(s)}{V_i(s)} = \frac{\dfrac{R_4(R_5+R_6)}{R_6(R_3+R_4)} \dfrac{R_6}{C_1C_2R_1R_2R_5}}{S^2 + \dfrac{R_3(R_5+R_6)}{R_5R_6(R_3+R_4)} \dfrac{R_6}{C_1R_1R_5} S + \dfrac{R_6}{C_1C_2R_1R_2R_5}} \quad \text{.....(2 . 17)}$$

เปรียบเทียบสมการ (2 . 17) กับฟอร์มมาตรฐานจะได้

$$K = \frac{R_4(R_5+R_6)}{R_6(R_3+R_4)} \quad \text{.....(2 . 18)}$$

$$\omega_H = \frac{R_6}{C_1C_2R_1R_2R_5} \quad \text{.....(2 . 19)}$$

$$d = \frac{R_3(R_5+R_6)}{R_5R_6(R_3+R_4)} \quad \text{.....(2 . 20)}$$

$$Q = \frac{R_5R_6(R_3+R_4)}{R_3(R_5+R_6)} \quad \text{.....(2 . 21)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การมอดดูเลตเชิงขนาด (AMPLITUDE MODULATION)

การมอดดูเลตเชิงขนาดหมายถึงการนำสัญญาณเบสแบนด์ที่ต้องการส่งผสมเข้าไปกับสัญญาณคลื่นพาห์โดยทำให้ขนาดของคลื่นพาห์เปลี่ยนแปลงตามขนาดสัญญาณเบสแบนด์นั้น

ในที่นี้ให้ e_c เป็นแรงดันของคลื่นพาห์ และ e_m เป็นแรงดันของ สัญญาณเบสแบนด์

$$e_c = E_c \sin \omega_c t \qquad \text{.....(2 . 22)}$$

$$e_m = E_m \sin \omega_m t \qquad \text{.....(2 . 23)}$$

จากสมการ (2 . 22) และ(2 . 23) สามารถเขียนเป็นสมการแรงดันของสัญญาณ AM ได้ดังนี้

$$e_{AM} = (E_c + E_m \sin \omega_m t) \sin \omega_c t$$

$$= E_c \sin \omega_c t + E_m \sin \omega_m t \sin \omega_c t$$

$$= E_c \sin \omega_c t + \frac{E_m}{2}(\cos(\omega_c-\omega_m)t - \cos(\omega_c+\omega_m)t) \qquad \text{.....(2 . 24)}$$

อัตราส่วนของ E_m และ E_c เรียกว่า ดัชนีการมอด (Modulation Index)

$$m = \frac{E_m}{E_c} \quad ; \quad 0 < m \leq 1$$

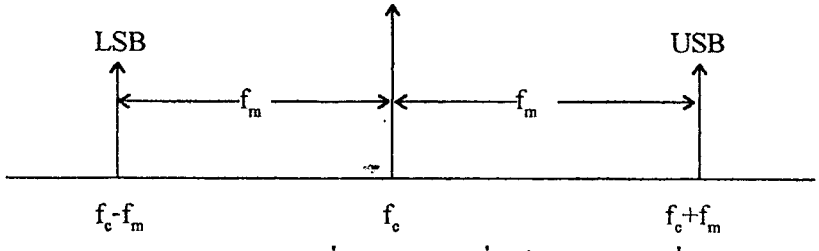
$$e_{AM} = E_c \sin \omega_c t + \frac{mE_c}{2}\cos(\omega_c - \omega_m)t$$

$$- \frac{mE_c}{2}\cos(\omega_c + \omega_m)t \qquad \text{.....(2 . 25)}$$

2.5.1 สเป็กตรัมของสัญญาณ AM

$$e_{AM} = E_c \sin \omega_c t + \frac{mE_c}{2}\cos(\omega_c - \omega_m)t - \frac{mE_c}{2}\cos(\omega_c + \omega_m)t$$

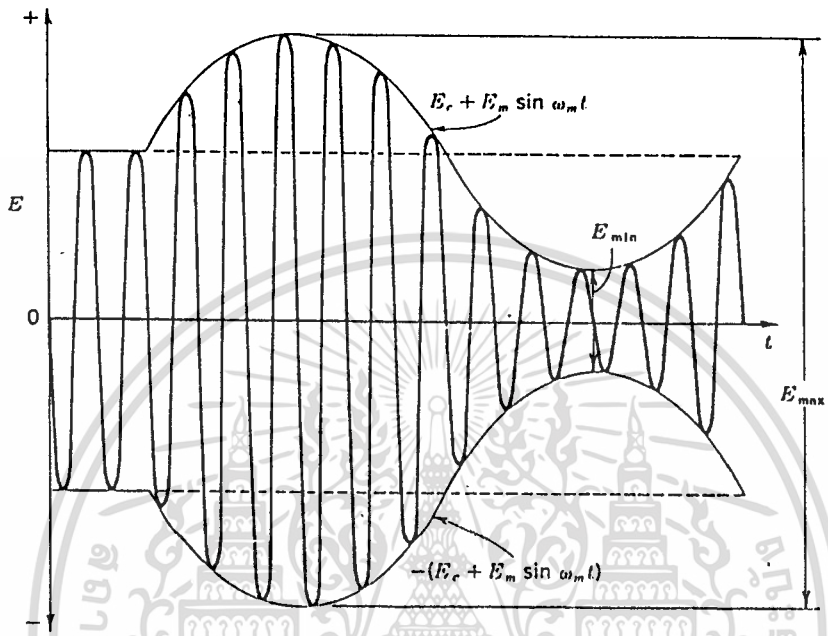
จากสมการแรงดันของสัญญาณ AM เราสามารถเขียนความถี่สเป็กตรัมของคลื่น AM ได้ดังรูปที่ 2-20



รูปที่ 2-20 ความถี่สเป็กตรัมของคลื่น AM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2-20 ความถี่สเป็กตรัมของคลื่น AM จะประกอบด้วยความถี่ 3 ความถี่ ซึ่งได้แก่ ความถี่กลาง(ความถี่คลื่นพาห์) , ความถี่ด้าน LSB และความถี่ด้าน USB



รูปที่ 2-21 รูปคลื่นการมอดูเลตเชิงขนาด

จากรูปที่ 2-21 เราสามารถที่จะใช้ในการคำนวณดัชนีการมอดได้โดยดูจากแรงดันแต่ละค่า ซึ่งสามารถคำนวณเป็นสมการได้ดังนี้

$$E_m = \frac{E_{max} - E_{min}}{2}$$

$$E_c = E_{max} - E_m$$

$$= E_{max} - \frac{E_{max} - E_{min}}{2}$$

$$= \frac{E_{max} + E_{min}}{2}$$

$$m = \frac{E_m}{E_c} = \frac{(E_{max} - E_{min})/2}{(E_{max} + E_{min})/2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2 . 26) เป็นสมการของดัชนีการมอดและสมการที่ (2 . 27) เป็นสมการของเปอร์เซ็นต์ดัชนีการมอด

$$m = \frac{E_{max} - E_{min}}{E_{max} + E_{min}} \qquad \text{.....(2 . 26)}$$

$$\%m = \frac{E_{max} - E_{min}}{E_{max} + E_{min}} \times 100 \qquad \text{.....(2 . 27)}$$

2.5.2 กำลังของสัญญาณ AM

กำลังรวมของสัญญาณ AM สามารถเขียนได้ดังนี้

$$P_t = P_c + P_{LSB} + P_{USB} \qquad \text{.....(2 . 28)}$$

จากสมการที่ (2 . 28) แรงดันเราจะคิดที่แรงดันเฉลี่ยและให้ R เป็นความต้านทานของสายอากาศ ดังนั้นจากสมการที่ (2 . 28) เราสามารถหากำลังของแต่ละเทอมได้ดังนี้

$$P_c = \frac{E_c}{\sqrt{2}}^2 \frac{1}{R} = \frac{E_c^2}{2R} \qquad \text{.....(2 . 29)}$$

$$P_{LSB} = P_{USB} = \frac{mE_c/2}{\sqrt{2}}^2 / R \qquad \text{.....(2 . 30)}$$

$$= \frac{(mE_c)^2}{8R}$$

จากสมการที่ (2 . 29) และ (2 . 30) เราสามารถหากำลังรวมของสัญญาณ AM ได้ดังนี้

$$P_t = \frac{E_c^2}{2R} + \frac{(mE_c)^2}{8R} + \frac{(mE_c)^2}{8R}$$

$$= \frac{E_c^2}{2R} + \frac{m^2}{4} - \frac{E_c^2}{2R} + \frac{m^2}{4} \cdot \frac{E_c^2}{2R}$$

$$= \frac{E_c^2}{2R} 1 + \frac{m^2}{4} + \frac{m^2}{4}$$

$$P_t = P_c \left(1 + \frac{m^2}{2} \right) \qquad \text{.....(2 . 31)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำลังรวมของสัญญาณ AM จะเกิดขึ้นสูงสุดเมื่อดัชนีการมอดเท่ากับ 1 ซึ่งจะทำให้

$Pt = 1.5\ Pc$

2.5.3 การมอดดูเลตโดยมีสัญญาณเบสแบนด์หลาย ๆ สัญญาณ

การมอดดูเลตโดยมีสัญญาณเบสแบนด์หลาย ๆ สัญญาณมอดดูเลตพร้อมกันในขณะที่มีสัญญาณคลื่นพาห์เพียงสัญญาณเดียว เราจะมี 2 วิธีที่จะให้หากำลังรวมทั้งหมด และ modulation index รวมทั้งหมดได้ดังนี้

1. ให้ $E_1, E_2, E_3, \ldots$ เป็นแรงดันของสัญญาณเบสแบนด์ที่จะทำการมอดดูเลตพร้อมกัน และ E_t เป็นแรงดันรวมของสัญญาณเบสแบนด์ ซึ่งจะหาได้จาก

$$E_t = \sqrt{E_1^2 + E_2^2 + E_3^2 + \ldots} \qquad \ldots\ldots\ldots\ldots(2.32)$$

ให้ m_t เป็น modulation index รวมทั้งหมด

$$\frac{E_t}{E_c} = \frac{\sqrt{E_1^2 + E_2^2 + E_3^2 + \ldots}}{E_c} \qquad \ldots\ldots\ldots\ldots(2.33)$$

$$= \sqrt{\frac{E_1^2}{E_c^2} + \frac{E_2^2}{E_c^2} + \frac{E_3^2}{E_c^2} + \ldots}$$

$$m_t = \sqrt{m_1^2 + m_2^2 + m_3^2 \ldots} \qquad \ldots\ldots\ldots\ldots(2.34)$$

2. สมการ $Pt = Pc(1+m^2/2)$ นำมาเขียนให้โดยให้เป็นกำลังรวมทั้งหมดของสัญญาณ AM ซึ่งประกอบด้วยกำลังของคลื่นพาห์และกำลังไซน์แบนด์

$$P_t = P_c\left(1 + \frac{m^2}{2}\right)$$

$$= P_c + \frac{P_c m^2}{2}$$

$$= P_c + P_{SB}$$

ให้ P_{SB} เป็นกำลังรวมของไซน์แบนด์

$$P_{SB} = \frac{P_c m^2}{2}$$

ถ้ามีการมอดดูเลตโดยมีสัญญาณเบสแบนด์หลาย ๆ สัญญาณ กำลังของคลื่นพาห์จะไม่เปลี่ยนแปลง แต่กำลังรวมของไซน์แบนด์จะเป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

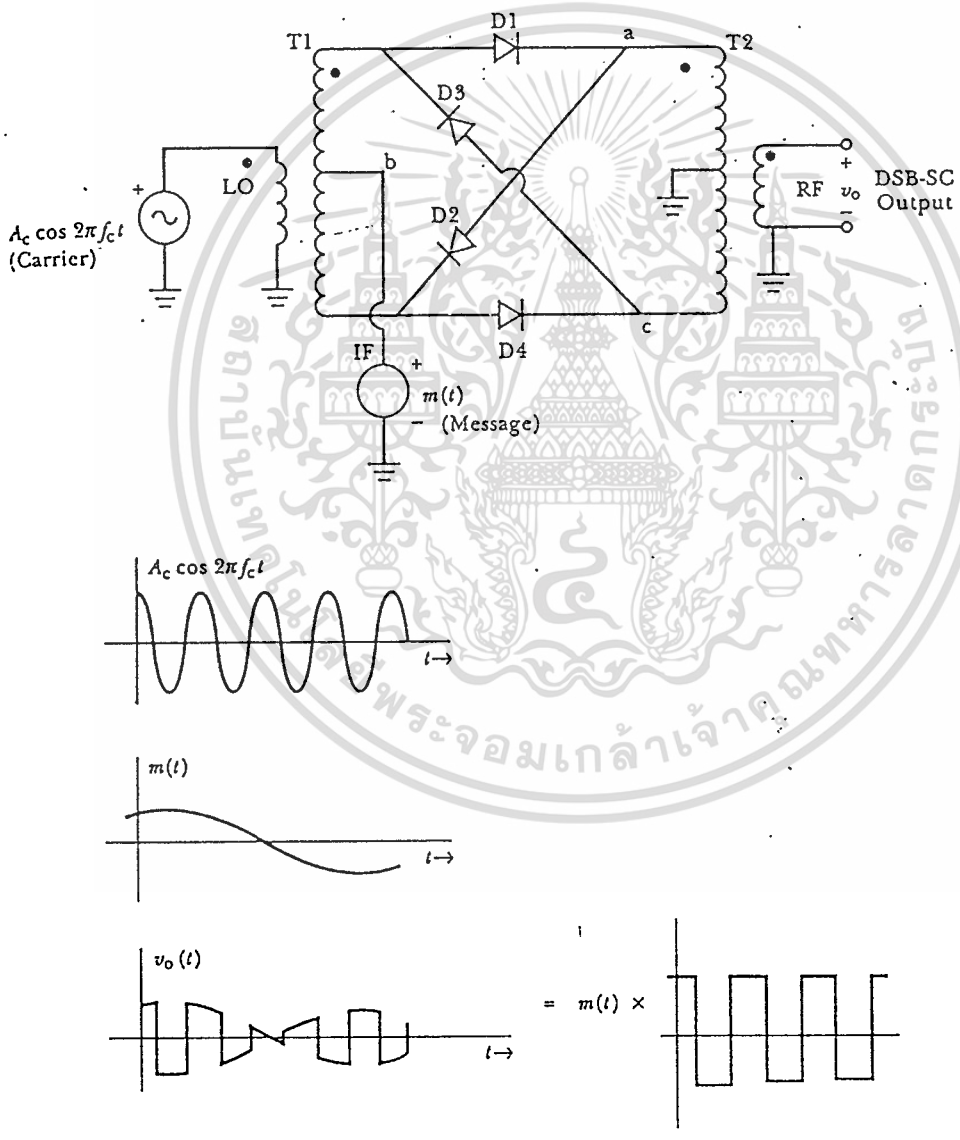
$$P_{SBT} = P_{SB1} + P_{SB2} + P_{SB3} + \ldots.$$

$$\frac{P_c m_t^2}{2} = \frac{P_c m_1^2}{2} + \frac{P_c m_2^2}{2} + \frac{P_c m_3^2}{2} + \ldots$$

$$m_t^2 = m_1^2 + m_2^2 + m_3^2 + \ldots$$

2.5.4 ดับเบิ้ลบาลานซ์มิกซ์เซอร์

วงจรดับเบิ้ลบาลานซ์มิกซ์เซอร์แสดงดังรูปที่ 2-22



รูปที่ 2-22 ดับเบิ้ลบาลานซ์มิกซ์เซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2-22 ไดโอดที่ใช้จะต้องแมทช์กันและหม้อแปลงที่ใช้ต้องมีการแท็ปออกมาจากจุดกึ่งกลางของหม้อแปลงจริงๆ คลื่นพาห์อินพุทจะมีขนาดใหญ่กว่าสัญญาณอินพุท การควบคุมการปิด-เปิดของไดโอดจะควบคุมโดยคลื่นพาห์มากกว่าสัญญาณข้อความเมื่อคลื่นพาห์เป็นบวกไดโอด D1 และ D2 จะถูกไบอัสให้ทำงานจุด a และ b จะต่อถึงกันเมื่อจุด b ได้รับสัญญาณข้อความๆก็จะไปปรากฏที่จุด a ตลอดเวลาที่คลื่นพาห์เป็นบวก ส่วนไดโอด D3 และ D4 จะทำงานที่คลื่นพาห์เป็นลบสัญญาณข้อความจะปรากฏที่จุด c เอาท์พุทของ T2 จะแสดงดังรูปที่2-22

จากรูปที่ 2-22 ดับเบิ้ลบาลานซ์มิกซ์เซอร์จะมี 3 พอร์ทได้แก่ LO PORT (local oscillator),RF PORT (radio frequency) และ IF PORT (intermediate frequency) LO PORT ของวงจรดับเบิ้ลบาลานซ์มิกซ์เซอร์จะถูกใช้โดยสัญญาณไซน์นูโซดอลเพื่อควบคุมสถานะของไดโอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 พื้นฐานของไมโครโปรเซสเซอร์

จะกล่าวถึงโครงสร้างทางฮาร์ดแวร์พื้นฐานที่จำเป็นต่อการเข้าใจการทำงานของระบบไมโครคอมพิวเตอร์ที่ใช้ไมโครโปรเซสเซอร์เป็นหน่วยประมวลผลกลาง ระบบไมโครคอมพิวเตอร์ที่สมบูรณ์ไม่ได้ประกอบด้วยไมโครโปรเซสเซอร์เพียงอย่างเดียว แต่จะต้องประกอบด้วยส่วนต่าง ๆ อีกมากในส่วนนี้จะกล่าวถึงแต่ ส่วนของไมโครโปรเซสเซอร์เท่านั้น

2.6.1 สถาปัตยกรรมของระบบไมโครคอมพิวเตอร์

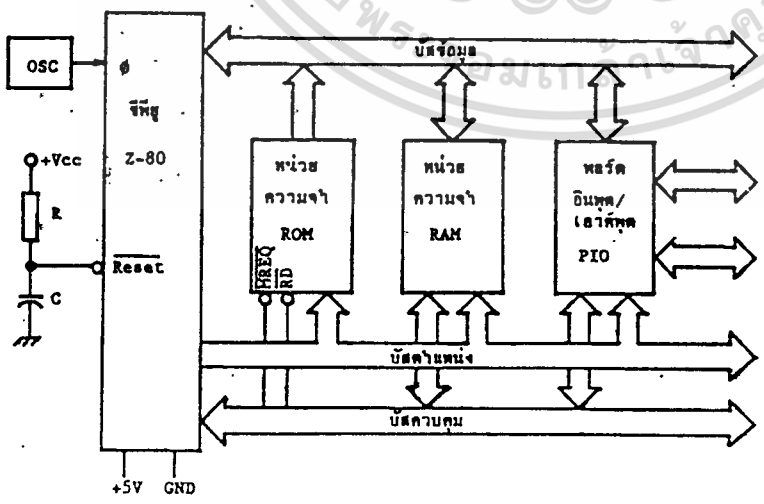
สถาปัตยกรรมของระบบไมโครคอมพิวเตอร์ในที่นี้หน่วยไมโครโปรเซสเซอร์ (Microprocessor Unit หรือ MPU) ใช้เบอร์ Z-80 ซึ่งมีหน้าที่คือเป็นหน่วยประมวลผลกลาง (Central Processing Unit หรือ CPU) และไมโครโปรเซสเซอร์นี้ อาจเรียกแทนได้ด้วย ซีพียู ภายในไมโครโปรเซสเซอร์จะประกอบด้วยหน่วยพื้นฐานต่างๆเช่น หน่วยกระทำทางคณิตศาสตร์และลอจิก (Arithmetic Logical Unit หรือ ALU) รีจิสเตอร์ภายในต่าง ๆ หน่วยควบคุม (Control Unit หรือ CU) และวงจร ลอจิกต่าง ๆ อีกมากมาย

ไมโครคอมพิวเตอร์ จะมีทางเดินของสัญญาณต่าง ๆ ซึ่งเราเรียกเส้นทางเดินของสัญญาณที่ใช้เชื่อมโยงระหว่างหน่วยต่าง ๆ ของระบบนี้ว่าบัส(Bus) บัสที่มีใช้ในระบบไมโครคอมพิวเตอร์นี้มีด้วยกัน 3 ชนิด คือ

บัสข้อมูล (Data Bus)

บัสตำแหน่ง (Address Bus)

บัสควบคุม (Control Bus)



รูปที่ 2-23 ระบบไมโครคอมพิวเตอร์พื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัสข้อมูล (Data Bus) เป็นบัส 2 ทิศทางที่ใช้เป็นเส้นทางสำหรับนำพาข้อมูลที่เคลื่อนย้ายระหว่างส่วนต่าง ๆ ของระบบ

บัสตำแหน่ง (Address Bus) เป็นบัสทิศทางเดียวเป็นเส้นทางทีใช้สำหรับนำพาสัญญาณเพื่อกำหนดตำแหน่งที่สร้างขึ้นโดยไมโครโปรเซสเซอร์สัญญาณนี้ใช้ในการกำหนดตำแหน่งของหน่วยความจำเพื่อจะนำข้อมูลออกมาสู่ไมโครโปรเซสเซอร์หรือนำข้อมูลจากไมโครโปรเซสเซอร์เข้าไปเก็บ หรือใช้ในการกำหนดตำแหน่งของอุปกรณ์ อินพุท/เอาท์พุท

บัสควบคุม (Control Bus) เป็นเส้นทางผ่านของสัญญาณควบคุมต่างๆที่ใช้ในระบบ เพื่อให้การทำงานของระบบสอดคล้องกัน

ระบบไมโครคอมพิวเตอร์โดยทั่วๆไปจะต้องประกอบด้วยบัสทั้ง 3 นี้เสมอส่วนจำนวนบิทจะมากหรือน้อย ขึ้นอยู่กับขนาดและชนิดของไมโครโปรเซสเซอร์นั้นๆ

ไมโครโปรเซสเซอร์ทุกตัวต้องการสัญญาณเพื่อการเปรียบเทียบเวลาการทำงาน ซึ่งสัญญาณนี้คือสัญญาณนาฬิกาซึ่งสร้างขึ้นโดยวงจรสร้างสัญญาณนาฬิกาโดยอาจใช้วงจรคริสตรอลออสซิลเลเตอร์หรือวงจรออสซิลเลเตอร์แบบใดๆก็ได้ที่ให้สัญญาณเป็นรูปสี่เหลี่ยมและมีความถี่เท่าที่ต้องการ โดยทั่วไปวงจรนี้จะอยู่นอกตัวไมโครโปรเซสเซอร์ แต่ไมโครโปรเซสเซอร์บางตัวจะมีวงจรสร้างสัญญาณนาฬิกานี้อยู่ภายใน แต่ไมโครโปรเซสเซอร์ Z-80 จะใช้วงจรภายนอกดังรูประบบไมโครคอมพิวเตอร์พื้นฐาน บล็อกของวงจรกำเนิดสัญญาณนาฬิกาแสดงไว้ทางด้านบนซ้ายของรูป ต่อไปจะได้อธิบายถึงบล็อกต่าง ๆ พอสังเขปดังนี้

ROM (Read Only Memory) เป็นหน่วยความจำที่เก็บข้อมูลแบบถาวรและสามารถนำข้อมูลภายในไปใช้ได้อย่างเดียว ข้อมูลใน ROM นี้จะคงอยู่ตลอดไปไม่สูญหายแม้ว่าไม่มีแหล่งจ่ายไฟ (Non Volatile) หน่วยความจำแบบ ROM นี้ใช้สำหรับเก็บข้อมูลที่ใช้เป็นโปรแกรมควบคุมการทำงานของระบบหรือเรียกว่า โปรแกรมมอนิเตอร์ ซึ่งโปรแกรมส่วนนี้เป็นโปรแกรมเพื่อทำให้ระบบไมโครคอมพิวเตอร์เริ่มทำงาน(bootstrap) ในการใช้ระบบบไมโครคอมพิวเตอร์ในงานควบคุมขบวนการ (Process Control) ส่วนมากโปรแกรมควบคุมนี้จะคงที่ ดังนั้นโปรแกรมควบคุมนี้จะอยู่ใน ROM เพื่อป้องกันปัญหาที่เกิดเนื่องจากไฟดับ

RAM (Random Access Memory) เป็นหน่วยความจำของระบบที่สามารถอ่านข้อมูลออกมาหรือเขียนข้อมูลเข้าไปก็ได้ ดังนั้นข้อมูลใน RAM นี้เป็นข้อมูลที่ไม่ถาวรสามารถเปลี่ยนแปลงได้ RAM เป็นหน่วยความจำที่ต้องการไฟเลี้ยงตลอดเวลา (Volatile) คือเมื่อไฟดับข้อมูลใน RAM จะหายไป หน้าที่ของหน่วยความจำแบบ RAM นี้ ใช้สำหรับเก็บข้อมูลที่มีการเปลี่ยนแปลงตลอดเวลา เช่น ใช้เก็บข้อมูลชั่วคราว (Temporary) ต่าง ๆ ใช้ทำเป็นสแตค เป็นต้น ในงานควบคุมขบวนการใช้หน่วยความจำแบบ RAM น้อยมาก เนื่องจากโปรแกรมควบคุมคงที่ แต่ในงานพัฒนาระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

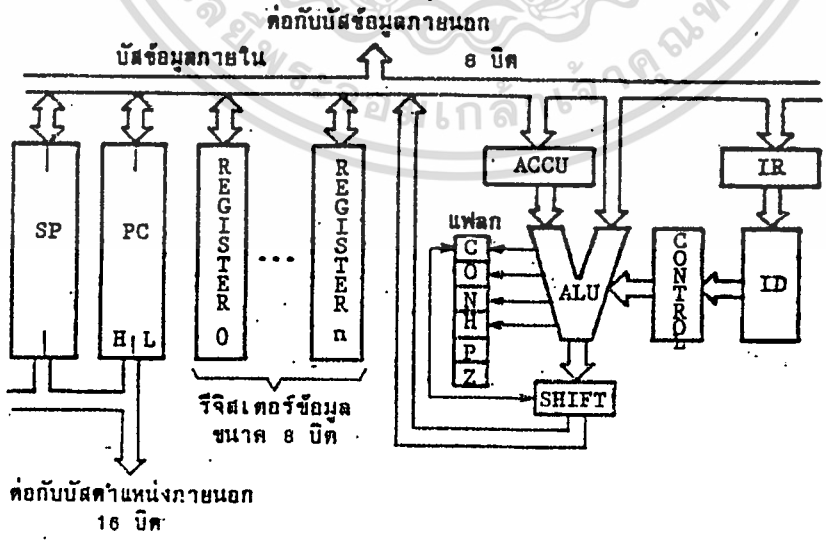
(Program Development) จะใช้หน่วยความจำแบบ RAM นี้มาก เนื่องจากง่ายต่อการเปลี่ยนแปลงแก้ไข

PIO (Parallel Input/Output) เป็นอุปกรณ์ที่ใช้เชื่อมต่อสื่อสาร ระหว่างไมโครโปรเซสเซอร์กับอุปกรณ์ต่าง ๆ ที่อยู่ภายนอกอุปกรณ์ในการต่อระหว่างไมโครโปรเซสเซอร์กับหน่วยความจำและตัวเชื่อมต่อต่าง ๆ จะต้องมีวงจรลอจิกภายนอกร่วมอยู่ด้วยซึ่งวงจรเหล่านี้จะยังไม่กล่าวถึงในตอนนี้ แต่จะได้กล่าวถึงอย่างละเอียดในเรื่องของวิธีการเชื่อมต่อ

การทำงานของไมโครคอมพิวเตอร์ คำสั่งที่จะให้คอมพิวเตอร์ทำงานต้องถูกเตรียมมาก่อนแล้ว ลำดับของคำสั่งนี้เรียกว่า โปรแกรม ซึ่งโปรแกรมจะต้องถูกนำเข้ามาเก็บไว้ในหน่วยความจำด้วยวิธีการต่าง ๆ คำสั่งเหล่านี้จะถูกเก็บไว้ในส่วนใดส่วนหนึ่งของหน่วยความจำ และเมื่อจะให้คอมพิวเตอร์ทำงานตามโปรแกรม ต้องทำให้โปรเซสเซอร์ เริ่มทำคำสั่งตั้งแต่จุดเริ่มต้นของโปรแกรมนั้น โดยการทำให้ค่าของโปรแกรมเคาน์เตอร์ (PC) มีค่าเท่ากับตำแหน่งเริ่มต้นของคำสั่งที่เราต้องการให้ทำแล้วให้โปรเซสเซอร์เริ่มทำงาน โปรเซสเซอร์ก็จะทำงานตามลำดับขั้นไปเรื่อยจนกว่าจะจบโปรแกรมนอกจากว่าโปรเซสเซอร์ ถูกขัดจังหวะ(Interrupt) จากสัญญาณภายนอก ซึ่งจะมีผลให้การทำงานเป็นไปตามคำสั่ง

2.6.2 ภายในไมโครโปรเซสเซอร์

โครงสร้างของไมโครโปรเซสเซอร์ขนาด 8 บิตโดยทั่วไปในปัจจุบันจะมีสถาปัตยกรรมภายในที่ใช้คล้าย ๆ กัน ดังรูปที่ 2-24



รูปที่ 2-24 สถาปัตยกรรมภายในของไมโครโปรเซสเซอร์ 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่ว นประกอบภายในที่สำคัญของไมโครโปรเซสเซอร์ประกอบด้วยวงจรคณิตศาสตร์และลอจิก (Arithmetic Logic Unit หรือ ALU) รีจิสเตอร์คำสั่ง (Instruction Register หรือ IR) วงจรถอดรหัสคำสั่ง (Instruction Decoder หรือ ID) หน่วยควบคุม (Control Unit) และรีจิสเตอร์ตำแหน่ง (Address Register) ส่วนประกอบที่สำคัญภายในเหล่านี้จะติดต่อกันด้วยบัสภายใน (Internal Bus) และ บัสภายในนี้จะต่อกับบัสภายนอกโดยผ่านบัฟเฟอร์เพื่อเป็นการติดต่อกับวงจรภายนอกอีกทีหนึ่ง ซึ่งหน้าที่ของหน่วยต่าง ๆ อธิบายได้ดังนี้

หน่วยควบคุม (Control Unit)

หน่วยควบคุม เป็นหน่วยที่ใช้สร้างสัญญาณเพื่อควบคุมการทำงานภายในของไมโครโปรเซสเซอร์ให้ทำงานอย่างมีระเบียบและสัมพันธ์กันโดยที่หน่วยควบคุมนี้จะรับสัญญาณมาจากวงจรถอดรหัสคำสั่งซึ่งจะถอดรหัสคำสั่งจากรีจิสเตอร์คำสั่ง ดังนั้นการทำงานภายในไมโครโปรเซสเซอร์จึงขึ้นอยู่กับคำสั่งที่ป้อนเข้ามาให้กับไมโครโปรเซสเซอร์

หน่วยคณิตศาสตร์และลอจิก (Arithmetic Logic Unit)

หน่วยคณิตศาสตร์และลอจิกหรือเรียกย่อๆว่า ALU หน่วยนี้มีหน้าที่กระทำทางคณิตศาสตร์และลอจิกหน่วย ALU นี้จะใช้รีจิสเตอร์พิเศษตัวหนึ่งเป็นอินพุทซึ่งเรียกว่า แอคคิวมูเลเตอร์ แอคคิวมูลเลเตอร์นี้จะเป็นได้ทั้งอินพุทและเอาท์พุทของ ALU นอกจากนี้ยังสามารถใช้ในการเลื่อน (Shift) และหมุน (Rotate) ข้อมูลได้อีกด้วย

การเลื่อนข้อมูลก็คือการเคลื่อนย้ายข้อมูลใน 1 ไบต์ไปทางซ้ายหรือทางขวา 1 ตำแหน่งหรือมากกว่าการเลื่อนข้อมูลนี้อาจเลื่อนผ่านแฟลกตัวทด (Carry Flag) หรือไม่ก็ได้ขึ้นอยู่กับคำสั่งซึ่งรายละเอียดของการเลื่อนและการหมุนข้อมูลนี้จะได้กล่าวโดยละเอียดต่อไป วงจรเลื่อนข้อมูล (Shifter) อาจต่อไว้กับเอาท์พุทของ ALU ดังแสดงไว้ดังรูปที่ 2-24

จากรูปที่ 2-24 บล็อกทางด้านซ้ายของ ALU คือ แฟลก หรือรีจิสเตอร์แสดงสถานะ (Status register หรือ Condition code register) แฟลกนี้ใช้เก็บเงื่อนไขพิเศษต่างๆ ที่เกิดขึ้นภายในไมโครโปรเซสเซอร์ ข้อมูลในแฟลกสามารถตรวจสอบได้โดยคำสั่งบางคำสั่ง คำสั่งประเภทที่มีการตรวจสอบสถานะที่แฟลกใช้ในการเขียนโปรแกรมที่มีการทำงานข้าม (Jump หรือ Call) ไปยังส่วนอื่นของโปรแกรม

รีจิสเตอร์ (Register)

จากสถาปัตยกรรมของไมโครโปรเซสเซอร์ เราอาจแบ่งรีจิสเตอร์ที่มีอยู่ภายในไมโครโปรเซสเซอร์ออกได้เป็น 2 กลุ่มคือ รีจิสเตอร์เพื่อใช้งานทั่วไป (General purpose register) และรีจิสเตอร์สำหรับการอ้างตำแหน่ง (Address register) ซึ่งรีจิสเตอร์ทั้ง 2 อย่าง เราสามารถอธิบายการทำงานได้ดังนี้คือ

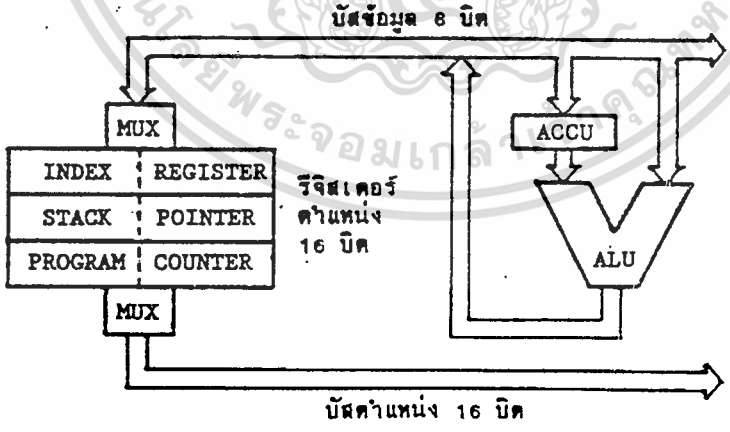
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์ใช้งานทั่วไป

ในไมโครโปรเซสเซอร์ขนาด 8 บิทรีจิสเตอร์นี้จะมีขนาด 8 บิท หน้าที่ของรีจิสเตอร์เหล่านี้ไม่ได้ถูกกำหนดให้เฉพาะเจาะจงลงไป แต่โดยทั่วไปจะใช้สำหรับเก็บข้อมูลเพื่อให้ ALU กระทำกับข้อมูลต่างๆ เหล่านั้นด้วยความเร็วสูงเนื่องจากไม่ต้องติดต่อกับหน่วยความจำที่อยู่ภายนอก นอกจากนี้ไมโครโปรเซสเซอร์บางตัว ยังสามารถนำรีจิสเตอร์ 2 ตัวมาต่อร่วมกันได้เรียกว่า คู่รีจิสเตอร์ (Register pair) โดยที่คู่รีจิสเตอร์นี้จะกลายเป็นรีจิสเตอร์ขนาด 16 บิท เพื่อทำงานพิเศษบางอย่างเช่น ใช้สำหรับการกระทำทางคณิตศาสตร์ขนาด 16 บิท หรือใช้เป็นตัวชี้ตำแหน่งข้อมูลในหน่วยความจำก็ได้ ซึ่งจะขึ้นอยู่กับคำสั่งที่ใช้

รีจิสเตอร์สำหรับการอ้างตำแหน่ง

หน้าที่ของรีจิสเตอร์นี้ใช้สำหรับเก็บตำแหน่งของหน่วยความจำที่ต้องการอ้าง ซึ่งอาจเป็นการอ้างถึงโดยคำสั่ง หรือการอ้างถึงโดยระบบก็ตามขนาดของรีจิสเตอร์นี้อาจเป็น 8 บิท หรือ16 บิทก็ได้ขึ้นอยู่กับชนิดของไมโครโปรเซสเซอร์นั้นๆ บางครั้งอาจเรียกรีจิสเตอร์เหล่านี้ว่า data counter หรือ pointer ในไมโครโปรเซสเซอร์ทั่วๆ ไปควรจะต้องมีรีจิสเตอร์สำหรับการอ้างตำแหน่งอย่างน้อย 2 ตัว คือโปรแกรมเคาน์เตอร์ (PC) และสแตคพอยท์เตอร์ (SP) ส่วนรีจิสเตอร์ตัวอื่นๆ เช่นอินเด็กซ์รีจิสเตอร์ (IX) อาจจะมีหรือไม่ก็ได้ รีจิสเตอร์นี้จะต่อไว้กับบัสตำแหน่งดังแสดงไว้ในรูปที่ 2-25 เอาท์พุทของรีจิสเตอร์เหล่านี้จะต่อไว้กับบัสตำแหน่ง โดยมีตัวเลือกข้อมูล (Multiplexer) เพื่อทำหน้าที่เลือกว่าจะนำข้อมูลมาจากรีจิสเตอร์ใดเพื่อไปกำหนดตำแหน่งที่ต้องการ



รูปที่ 2-25 รีจิสเตอร์ตำแหน่งขนาด 16 บิท ที่ใช้สร้างข้อมูลบนบัสตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่เฉพาะของรีจิสเตอร์สำหรับการอ้างตำแหน่งต่าง ๆ สามารถอธิบายได้ดังนี้

โปรแกรมเคาน์เตอร์ (Program counter หรือ PC) โปรแกรมเคาน์เตอร์ จะต้องมีอยู่ในทุกโปรเซสเซอร์ ข้อมูลในโปรแกรมเคาน์เตอร์คือตำแหน่งของคำสั่งต่อไป ที่โปรเซสเซอร์จะต้องอ่านมาเพื่อปฏิบัติ กลไกการปฏิบัติตามรหัสคำสั่งและลำดับขั้นของการทำงานตามคำสั่งที่วางไว้ จะกำหนดโดยข้มูลที่อยู่ในโปรแกรมนี้เอง กล่าวโดยสรุปคือ การปฏิบัติโปรแกรมจะเป็นไปแบบเรียงลำดับและเพื่อที่จะดึงคำสั่งต่อไป โปรเซสเซอร์จำเป็นต้องดึงคำสั่งมาจากหน่วยความจำ ซึ่งขบวนการนี้ข้อมูลในโปรแกรมเคาน์เตอร์จะส่งมาบนบัสตำแหน่ง และส่งต่อไปยังหน่วยความจำ หน่วยความจำจะอ่านข้อมูลจากตำแหน่งที่ถูกอ้างถึง และส่งข้อมูลที่อ่านได้ไปบนบัสข้อมูล โปรเซสเซอร์จะอ่านข้อมูลบนบัสข้อมูลนั้น ซึ่งข้อมูลหรือคำที่อ่านได้นี้คือคำสั่ง (Operation code) นั่นเอง

สแตคพอยท์เตอร์ (Stack pointer หรือ SP) ไมโครโปรเซสเซอร์ที่มีความสามารถสูง โดยทั่วไปจะต้องมีสแตค ซึ่งสแตคอาจเป็นรีจิสเตอร์ที่อยู่ในโปรเซสเซอร์เองหรือใช้หน่วยความจำภายนอกส่วนหนึ่ง เพื่อกำหนดให้เป็นสแตค ในการเก็บรักษาตำแหน่งสูงสุดของสแตคที่อยู่ในหน่วยความจำจะใช้รีจิสเตอร์ที่เรียกว่า สแตคพอยท์เตอร์ (SP) สแตคและสแตคพอยท์เตอร์เป็นสิ่งที่จำเป็น และขาดไม่ได้ในการทำโปรแกรมย่อย (Subroutine) และการทำโปรแกรมเกี่ยวกับการอินเตอร์รัพต์

อินเด็กซ์รีจิสเตอร์ (Index register หรือ IX) อินเด็กซ์รีจิสเตอร์ เป็นรีจิสเตอร์สำหรับการอ้างตำแหน่งอีกตัวหนึ่ง ที่มีไมโครโปรเซสเซอร์บางชนิดเท่านั้น และใช้กับคำสั่งที่มีการเข้าถึงข้อมูลแบบอินเด็กซ์ (Index addressing mode) ซึ่งอินเด็กซ์รีจิสเตอร์นี้จะทำให้การเข้าถึงหน่วยความจำเป็นกลุ่มได้โดยสะดวก ข้อมูลในอินเด็กซ์รีจิสเตอร์อาจเป็นค่าระยะห่าง (Displacement) ซึ่งจะนำไปบวกกับค่าตำแหน่งฐาน (Base address) เพื่อใช้ชี้ ตำแหน่งของหน่วยความจำที่ต้องการอ้างถึงหรือข้อมูลในอินเด็กซ์รีจิสเตอร์อาจเป็นค่าตำแหน่งฐาน เพื่อนำไปบวกกับค่าระยะห่างที่กำหนดมากับคำสั่งก็ได้ ทั้งนี้แล้วแต่ไมโครโปรเซสเซอร์ตัวนั้น ๆ

สแตค (stack)

สแตค คือ กลุ่มของรีจิสเตอร์ หรือสวนหนึ่งของหน่วยความจำที่ถูกจัดเตรียมไว้ ซึ่งเสตคสามารถจัดแบ่งสแตคออกได้เป็น 2 อย่างคือ

1. ฮาร์ดแวร์สแตค (Hardware stack) สแตคแบบนี้เป็นรีจิสเตอร์ที่กำหนดไว้คงที่ภายในตัวโปรเซสเซอร์เอง ซึ่งมีข้อดีในเรื่องของความเร็วในการทำงาน แต่มีข้อเสียคือจำนวนของรีจิสเตอร์ที่ใช้เป็นสแตคจำกัด
2. ซอฟต์แวร์สแตค (Software stack) ไมโครโปรเซสเซอร์ที่ใช้งานทั่ว ๆ ไป จะใช้ซอฟต์แวร์สแตค เพราะจำนวนของแสตคไม่ได้ถูกจำกัดด้วยจำนวนของรีจิสเตอร์ที่อยู่ภายใน แต่จะใช้ส่วนหนึ่งของหน่วยความจำ และใช้คำสั่งในการกำหนดตำแหน่งเริ่มต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของแสตค ตำแหน่งบนสุดของสแตค ตำแหน่งบนสุดของสแตค จะชี้โดยข้อมูลที่มีอยู่ในสแตคพอยท์เตอร์ ไมโครโปรเซสเซอร์ Z-80 ใช้ลักษณะของสแตคแบบนี้

ลักษณะโครงสร้างของสแตคทั้งสองจะเป็นเรียกลำดับ (chronological structure) คือข้อมูลที่ใส่ลงไปในสแตคข้อมูลแรกจะอยู่ที่ชั้นใต้สุดของสแตค และข้อมูลที่ใส่เข้ามาทีหลังจะวางทับด้านบน ต่อไปเรื่อย ๆ ส่วนในการนำข้อมูลออก ข้อมูลที่อยู่บนสุด หรือข้อมูลที่ใส่เข้าไปทีหลังที่สุดจะถูกนำออกมาก่อน ดังนั้นโครงสร้างลักษณะนี้เรียกได้ว่าเป็นโครงสร้างแบบ LIFO(Last-in First-out) ลองนึกถึงโครงสร้างของแหนบลูกปืน ซึ่งมีสปริงอยู่ด้านล่าง ลูกปืนลูกแรกที่ใส่เข้าไปจะอยู่ล่างที่สุด และลูกปืนที่ใส่เข้าไปทีหลังก็จะซ้อนอยู่ข้างบนเรื่อย ๆ เห็นได้ว่าลักษณะของโครงสร้างแบบนี้ ลูกปืนที่อยู่บนสุดจะถูกใช้ก่อนเสมอ

สแตคมีประโยชน์ในการทำโปรแกรม 3 ประเภท คือ โปรแกรมย่อย (Subroutine) โปรแกรมบริการการขัดจังหวัด (Interrupt routine) และการใช้เป็นที่เก็บข้อมูลชั่วคราว (Temporary data register) ของการทำโปรแกรมต่าง ๆ

คำสั่งโดย ทั่วไปสำหรับไมโครโปรเซสเซอร์ ที่ใช้สำหรับการนำข้อมูลเข้าและออกจากสแตคโดยตรง มีอยู่ 2 คำสั่ง คือ PUSH และ POP (หรือ PULL) คำสั่ง PUSH มีผลทำให้ใส่ข้อมูลลงไปในสแตค ส่วนคำสั่ง POP ทำการดึงข้อมูลออกจากสแตค และตำแหน่งบนสุดของสแตคจะแสดงที่สแตคพอยท์เตอร์รีจิสเตอร์เสมอ ซึ่งโดยทั่วไป ตำแหน่งบนสุดของสแตค หมายถึง ตำแหน่งหน่วยความจำที่มีค่าน้อยที่สุดของหน่วยความจำที่เป็นสแตค สแตคพอยท์เตอร์ที่ชี้ที่ตำแหน่ง 1002 เมื่อโปรเซสเซอร์ทำคำสั่ง PUSH AF เพื่อทำการนำข้อมูลในแอคคิวมูเลเตอร์ และแฟลก เข้าไปเก็บไว้ในสแตค หลังจากที่ทำคำสั่ง PUSH AF แล้ว ข้อมูลในสแตคพอยท์เตอร์จะเปลี่ยนไปเป็น 1000 โดยอัตโนมัติ นั่นคือ สแตคพอยท์เตอร์จะชี้ตำแหน่งบนสุดของสแตคที่มีข้อมูลอยู่นั่นเอง

2.6.3 ซีพียู Z-80

ไมโครโปรเซสเซอร์เบอร์ Z-80 เป็นไมโครโปรเซสเซอร์ขนาด 8 บิท ที่ได้พัฒนามาจากไมโครโปรเซสเซอร์เบอร์ 8080 ของบริษัทอินเทล โดยได้ทำการแก้ไขข้อบกพร่องบางอย่างของไมโครโปรเซสเซอร์เบอร์ 8080 เช่นทำให้มีคำสั่งใหม่มากขึ้น มีวิธีการอ้างถึงตำแหน่งข้อมูล (Addressing Mode) ใหม่ และมีระบบฮาร์ดแวร์ที่มีความสามารถและมีความสะดวกในการใช้งานมากขึ้น นอกจากนั้นซีพียู Z-80 ยังสามารถใช้ซอฟแวร์ของระบบที่ใช้กับซีพียู 8080 ได้อีกด้วย

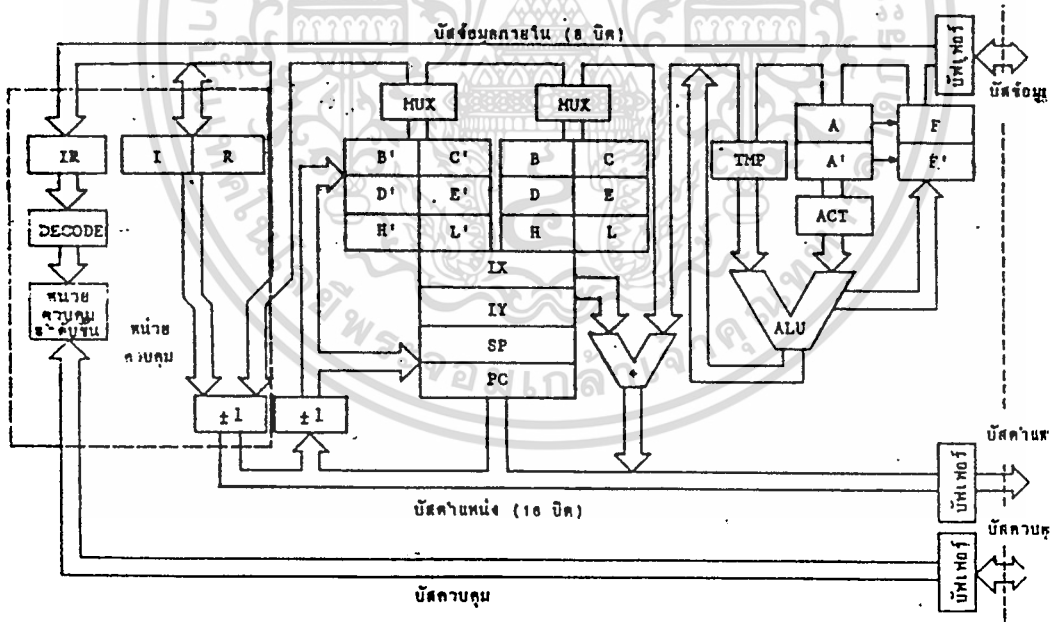
เหตุผลในการศึกษาไมโครโปรเซสเซอร์โดยใช้ซีพียู Z-80 นี้เนื่องจากโครงสร้างของซีพียู Z-80 เป็นโครงสร้างที่มีความเข้าใจได้ง่าย ทั้งด้านฮาร์ดแวร์และการนำไปเชื่อมต่อกับอุปกรณ์ภาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกรวมทั้งชุดคำสั่งต่าง ๆ และระบบซอฟแวร์ ยังเข้าใจได้ง่ายและมีขีดความสามารถในการทำงานสูง

2.6.4 โครงสร้างซีพียู Z-80

เทอมต่าง ๆ ที่มีความจำเป็นในการเข้าใจถึงองค์ประกอบภายในของไมโครโปรเซสเซอร์ได้อธิบายมาแล้ว ในส่วนนี้จะได้กล่าวถึงโครงสร้างของซีพียู Z-80 และรีจิสเตอร์ต่าง ๆ ที่จำเป็น ในการเขียนโปรแกรมเพื่อให้ไมโครโปรเซสเซอร์ทำงานตามที่ต้องการ โครงสร้างของซีพียู Z-80 ดังรูปที่ 2-26 จะเห็นได้ว่าซีพียูมีบัสอยู่ 3 ชนิด คือ บัสตำแหน่ง บัสข้อมูล และบัสควบคุมซึ่งบัสเหล่านี้ใช้สำหรับทำการเชื่อมต่อซีพียูกับอุปกรณ์ภายนอก และภายในไมโครโปรเซสเซอร์จะประกอบด้วยวงจรพื้นฐาน ต่าง ๆ ดังที่กล่าวมาแล้ว คือ ALU แอคคิวมูเลเตอร์ รีจิสเตอร์ตำแหน่งและแฟลก นอกจากนี้ยังมีรีจิสเตอร์ ใช้งานต่าง ๆ อีก คือ B,C,D,E,H,L,B',C',D',E',H' และ L' ส่วนรีจิสเตอร์ทางด้านซ้ายสุดคือส่วนของหน่วยควบคุม ซึ่งส่วนนี้มีหน้าที่ถอดรหัสคำสั่งแล้วส่งสัญญาณควบคุมไปตามส่วนต่าง ๆ ทั้งภายในซีพียูและภายนอกซีพียู รวมทั้งรับสัญญาณควบคุมจากภายนอกเข้ามาด้วย



รูปที่ 2-26 โครงสร้างภายในของซีพียู Z-80

สัญญาณควบคุมของซีพียู Z-80 ภายนอกมี 13 สัญญาณ ซึ่ง อาจแบ่งได้ 2 อย่าง คือสัญญาณควบคุมตัวซีพียูและสัญญาณควบคุมระบบ (CPU and system control) ซึ่งสัญญาณต่าง ๆ จะทำให้มีผลต่อซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

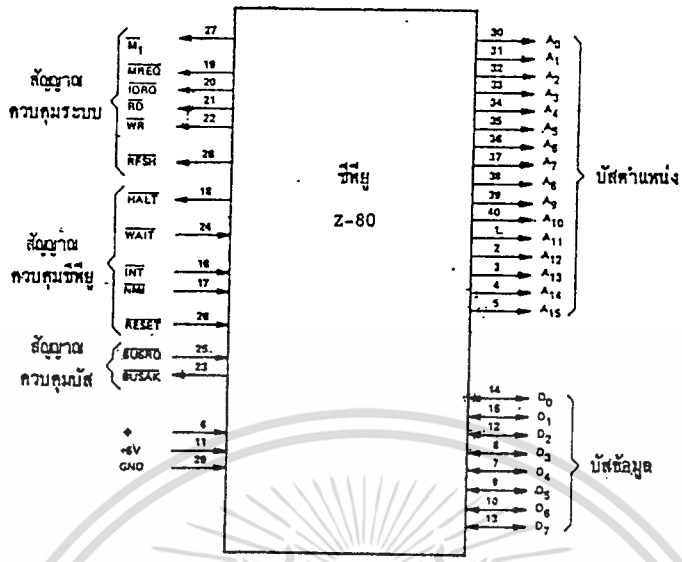
พียูและมีผลต่อระบบไมโครคอมพิวเตอร์ด้วย บัสข้อมูลเป็นบัสที่มีขนาด 8 บิท ที่ใช้เป็นทางเดินของข้อมูลระหว่างไมโครโปรเซสเซอร์กับหน่วยความจำ หรืออุปกรณ์อินพุท/เอาท์พุทต่าง ๆ บัสตำแหน่งเป็นบัสที่มีขนาด 16 บิท เพื่อใช้ในการอ้างถึงตำแหน่งของหน่วยความจำ ดังนั้นจะทำให้สามารถอ้างถึงหน่วยความจำภายนอกได้ 2^{16} ตำแหน่ง (65536 ตำแหน่ง หรือ64 k) คือตั้งแต่ตำแหน่งที่ 0-65535 บล็อกที่มีเครื่องหมาย +/- ที่อยู่ทางด้านล่างซ้ายของรีจิสเตอร์หมายถึงการเพิ่มหรือลดข้อมูล (Increment Decrement) ที่มีอยู่ในรีจิสเตอร์ตำแหน่งหรือคู่ของรีจิสเตอร์ต่าง ๆ คือ SP,PC,BC,DE,HL ซึ่งรีจิสเตอร์ต่าง ๆ เหล่านี้เป็นรีจิสเตอร์ในการกำหนดตำแหน่งโดยตรง (Pure address register) ของการอ้างถึงตำแหน่งของหน่วยความจำแบบตรง (Direct address mode) ซีพียู Z-80 มีคำสั่งที่เกี่ยวกับอินพุท/เอาท์พุทโดยเฉพาะไม่ใช้ลักษณะการอินพุท/เอาท์พุท Memory-mapped (Memory-map I/O ใช้ส่วนหนึ่งของหน่วยความจำเพื่อเป็นตำแหน่งของอุปกรณ์อินพุท/เอาท์พุท) ในการให้ไมโครโปรเซสเซอร์ทำงานตามที่ต้องการ ทำได้โดยการเขียนโปรแกรมเก็บไว้ในหน่วยความจำ จากนั้นให้ไมโครโปรเซสเซอร์อ่านคำสั่งมาจากหน่วยความจำเพื่อมาปฏิบัติการปฏิบัติคำสั่งต่าง ๆ นั้น เราไม่จำเป็นต้องเข้าถึงส่วนรายละเอียดต่าง ๆ ของไมโครโปรเซสเซอร์ทั้งหมด โดยเราจะสนใจเฉพาะรีจิสเตอร์ต่าง ๆ ที่เกี่ยวข้องกับการเขียนโปรแกรมเท่านั้น รีจิสเตอร์ภายในที่สามารถอ่านหรือเขียนได้มีถึง 208 บิท โดยแยกเป็นกลุ่มของรีจิสเตอร์ขนาด 8 บิท 18 รีจิสเตอร์ และรีจิสเตอร์ขนาด 16 บิท อีก 4 รีจิสเตอร์ รีจิสเตอร์ต่าง ๆ ภายใน Z-80 เป็นลักษณะของสแตติกแรม และรีจิสเตอร์เหล่านี้ แบ่งออกเป็น 3 ประเภท คือ

1. รีจิสเตอร์ใช้งานทั่วไป (General purpose register)
2. แอคคิวมูเลเตอร์และรีจิสเตอร์สถานะ (Accumulator and Flag register)
3. รีจิสเตอร์ใช้งานเฉพาะอย่าง (Special purpose register)

2.6.5 ขาและสัญญาณสำหรับการเชื่อมต่อ

ไมโครโปรเซสเซอร์ Z-80 บรรจุอยู่ในไอซีขนาดมาตรฐานอุตสาหกรรม (Industry Standard) แบบ Dual In-Line Package (DIP) หรือที่เรียกว่าแบบดีนตะขาบ 40 ขา ขาต่าง ๆ แสดงไว้ในรูปที่ 2-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-27 แสดงขาต่าง ๆ ของซีพียู Z-80

กลุ่มสัญญาณต่าง ๆ ของไมโครโปรเซสเซอร์แบ่งออกได้เป็น 3 กลุ่มคือ กลุ่มของสายสัญญาณเพื่อกำหนดตำแหน่ง (Address Bus) คือ A_{15}-A_0 กลุ่มของสายสัญญาณข้อมูล (Data Bus) คือ D_7-D_0 และกลุ่มของสายสัญญาณควบคุม (Control Bus) คือสายสัญญาณทั้งหมดที่เหลือยกเว้นขาแหล่งจ่ายไฟและสัญญาณนาฬิกา หน้าที่ของขาต่าง ๆ จะได้อธิบายในรายละเอียดต่อไปนี้

A_{15}-A_0 เป็นสายสัญญาณกำหนดตำแหน่ง (Address Bus) โดยที่ A_0 เป็นบิททางด้านต่ำ (LSB) ขาเหล่านี้เป็นเอาท์พุทแบบสามสถานะ (Tri-State) และจะให้แอคตีฟที่ลอจิก 1 บัส นี้มีด้วยกันทั้งหมด 16 สาย ดังนั้นจึงสามารถติดต่อกับหน่วยความจำได้ถึง 2_{16} ซ 65536 ตำแหน่ง (64 kbyte) นอกจากนั้นยังสามารถใช้ในการกำหนดตำแหน่งของพอร์ท อินพุท/เอาท์พุท เมื่อใช้คำสั่งกลุ่มอินพุท/เอาท์พุทได้ โดยใช้ 8 บิทด้านต่ำ (A_7-A_0) เพื่อแสดงตำแหน่งของพอร์ท ดังนั้นจึงสามารถกำหนดพอร์ทอินพุทได้ 256 พอร์ท หรือกำหนดพอร์ทเอาท์พุทได้ถึง 256 พอร์ท เช่นกัน และในขณะช่วงเวลารีเฟรช (RFSH) บัสทางด้านต่ำ 7 บิท (A_6-A_0) จะใช้แสดงตำแหน่งของหน่วยความจำแบบไดนามิกที่จะได้รับการรีเฟรช

D_7-D_0 เป็นสายสัญญาณข้อมูล (Data Bus) D_0 เป็นบิททางด้านต่ำลักษณะเป็นบัสแบบสองทิศทางแบบสามสถานะ ขนาด 8 บิท และแอคตีฟที่ลอจิก 1 ใช้เพื่อเป็นเส้นทางผ่านของข้อมูลระหว่างไมโครโปรเซสเซอร์กับหน่วยความจำ หรืออุปกรณ์อินพุท/เอาท์พุทต่าง ๆ

$\overline{M1}$ (Machine Cycle One) เป็นขาเอาท์พุทและแอคตีฟที่ลอจิก 0 เมื่อขานี้แอคตีฟ ชี้ให้เห็นว่าขณะนี้กำลังอยู่ในสภาวะของการเฟทซ์คำสั่ง และถ้าเป็นคำสั่งที่มีรหัส 2 ไบต์ส่วนของ $\overline{M1}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะถูกสร้างขึ้นขณะเฟทช์ในแต่ละไบต์ ลักษณะของคำสั่งที่มีขนาด 2 ไบต์ เช่นคำสั่งที่มีรหัสที่เริ่มต้นด้วย CBH,DDH,EDH, หรือ FDH นอกจากนั้น สัญญาณ $\overline{M1}$ นี้จะใช้ร่วมกับ $\overline{IORQ}$ เพื่อสร้างสัญญาณตอบรับการอินเตอร์รัพต์ (Interrupt Acknowledge)

$\overline{MREQ}$ (Memory Requrest) เป็นเอาท์พุทแบบสามสถานะและแอคตีฟที่ลอจิก 0 เมื่อสายสัญญาณนี้แอคตีฟ บอกให้ทราบว่า ขณะนี้ไมโครโปรเซสเซอร์ต้องการติดต่อกับหน่วยความจำเพื่ออ่านหรือเขียนข้อมูล โดยที่ตำแหน่งของหน่วยความจำจะปรากฏอยู่บนบัสตำแหน่งแล้ว

$\overline{IORQ}$ (Input/Output Request) เป็นเอาท์พุทแบบสามสถานะและแอคตีฟที่ลอจิก 0 เมื่อสายสัญญาณนี้แอคตีฟบอกให้ทราบว่า ขณะนี้ทางด้านไบต์ต่ำ (A_7-A_0) ของบัสตำแหน่งบรรจุตำแหน่งของพอร์ทจะส่งถ่ายข้อมูลระหว่างไมโครโปรเซสเซอร์กับอุปกรณ์อินพุท/เอาท์พุท นอกจากนี้จะใช้ร่วมกับสัญญาณ $\overline{M1}$ เพื่อตอบรับการอินเตอร์รัพต์และขณะนี้เวกเตอร์ของการอินเตอร์รัพต์จะส่งผ่านเข้ามาในบัสข้อมูลเพื่อกำหนดตำแหน่งของโปรแกรมบริการการอินเตอร์รัพต์

$\overline{RD}$ (Memory Read) เป็นขาเอาท์พุทแบบสามสถานะและแอคตีฟที่ลอจิก 0 สัญญาณนี้เพื่อชี้ว่าขณะนี้ไมโครโปรเซสเซอร์ต้องการอ่านข้อมูลจากหน่วยความจำหรือจากอุปกรณ์อินพุทเอาท์พุท

$\overline{WR}$ (Memory Write) เป็นขาเอาท์พุทแบบสามสถานะและแอคตีฟที่ลอจิก 0 เมื่อสัญญาณนี้แอคตีฟชี้ว่าขณะนี้ไมโครโปรเซสเซอร์ต้องการเขียนข้อมูลเข้าหน่วยความจำ หรือเข้าอุปกรณ์อินพุท/เอาท์พุท

$\overline{RFSH}$ (Refresh) เป็นขาเอาท์พุทแอคตีฟที่ลอจิก 0 $\overline{RFSH}$ เป็นสัญญาณเพื่อชี้ว่าขณะนี้ตำแหน่งทางด้านต่ำ 7 บิท (A_6-A_0) บรรจุตำแหน่งหน่วยความจำแบบไดนามิกแรมที่จะรีเฟรชและสัญญาณ $\overline{MERQ}$ ในช่วงนี้จะนำไปใช้เป็นสัญญาณสำหรับอ่านเพื่อรีเฟรช (Refresh Read) ไดนามิกแรมทั้งหมดที่ใช้ในระบบ

$\overline{HALT}$ (Halt State) เป็นขาเอาท์พุทแอคตีฟที่ลอจิก 0 เป็นสัญญาณเพื่อชี้ว่าขณะนี้ไมโครโปรเซสเซอร์ปฏิบัติคำสั่ง HALT จากโปรแกรม และกำลังรอสัญญาณการอินเตอร์รัพต์ชนิดนอนมาสเคเบิลหรือมาสเคเบิล (เมื่อสั่งให้ยอมรับ) จากอุปกรณ์ภายนอก ถ้าได้รับสัญญาณการอินเตอร์รัพต์แล้วจึงจะทำงานต่อไปได้ ในขณะที่หยุดรอ (Halted) นี้ ซีพียูจะกระทำคำสั่ง NOP(No-Operation) เพื่อให้มีการเฟทช์คำสั่งซึ่งจะไม่ทำให้การรีเฟรชหยุดชะงักลง

$\overline{WAIT}$ (Wait) เป็นขาอินพุท แอคตีฟที่ลอจิก 0 เป็นสัญญาณเพื่อชี้ว่าการส่งถ่ายข้อมูลระหว่างไมโครโปรเซสเซอร์และหน่วยความจำหรืออุปกรณ์อินพุท/เอาท์พุท ยังไม่เรียบร้อย และให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไมโครโปรเซสเซอร์หยุดรอ ตราบเท่าที่ขานี้ยังแอคตีฟอยู่ ดังนั้นสัญญาณนี้จะใช้เพื่อให้หน่วยความจำหรืออุปกรณ์อินพุท/เอาท์พุทที่มีความเร็วใด ๆ สามารถทำงานให้เข้าจังหวะกันได้พอดี (Synchronized) กับไมโครโปรเซสเซอร์

$\overline{INT}$ (Interrupt Request) เป็นขาอินพุทแอคตีฟที่ลอจิก 0 สัญญาณ $\overline{INT}$ นี้ เป็นสัญญาณที่สร้างมาจากอุปกรณ์อินพุท/เอาท์พุท เพื่อต้องการอินเตอร์รัพต์การทำงานตามปกติของไมโครโปรเซสเซอร์ สัญญาณร้องขอนี้จะถูกตรวจสอบเมื่อถึงสเตทสุดท้ายของคำสั่งและไมโครโปรเซสเซอร์จะจดจำไว้ ถ้าหากว่าโปรแกรมกำหนดให้มีการยอมรับสัญญาณการอินเตอร์รัพต์ได้ (Enable Interrupt) โดย IFF1 ถูกเซตเป็น 1 และไม่มีการขอใช้บัสเสียก่อน คือขา $\overline{BUSRQ}$ ไม่แอคตีฟ เมื่อไมโครโปรเซสเซอร์รับสัญญาณอินเตอร์รัพต์ มันจะตอบสนองโดยการส่งสัญญาณ $\overline{IORQ}$ ออกมาในช่วงเวลา $\overline{M1}$ เพื่อเป็นการตอบรับการอินเตอร์รัพต์ (Interrupt Acknowledge) ในช่วงไซเกิลของคำสั่งต่อมา

$\overline{NMI}$ (Non Maskable Interrupt) เป็นขาอินพุทและแอคตีฟที่ขอบพัลส์ขาลง (Negative edge Trigger) สัญญาณที่ขา $\overline{NMI}$ นี้มีลำดับความสำคัญสูงกว่าสัญญาณที่ขา $\overline{INT}$ ไมโครโปรเซสเซอร์จะทำการตรวจสอบขานี้ที่สเตทสุดท้ายของคำสั่ง เช่นเดียวกับขา $\overline{INT}$ แต่จะไม่ขึ้นอยู่กับ $\overline{IFF}$ เมื่อไมโครโปรเซสเซอร์ได้รับสัญญาณที่ขา $\overline{NMI}$ จะทำให้เริ่มต้นการทำงานใหม่ที่ตำแหน่ง 0066H ส่วนค่าในโปรแกรมเคาน์เตอร์ที่ชี้ตำแหน่งของคำสั่งต่อไปก่อนที่ซีพียู จะถูกอินเตอร์รัพต์จะเก็บไว้ในสแตค (ที่ RAM) เพื่อที่ซีพียูสามารถกลับมาทำงานต่อได้หลังจากที่ทำโปรแกรมบริการการอินเตอร์รัพต์เสร็จสิ้นแล้ว ในขณะที่ซีพียูอยู่ในจังหวะ Wait มันจะไม่รับสัญญาณ $\overline{NMI}$ นี้ สัญญาณ $\overline{NMI}$ มีลำดับความสำคัญต่ำกว่าสัญญาณ $\overline{BUSRQ}$ ดังนั้นในขณะที่ซีพียูกำลังทำโปรแกรมบริการการอินเตอร์รัพต์อยู่ มันสามารถรับสัญญาณ $\overline{BUSRQ}$ ได้

$\overline{RESET}$ เป็นอินพุทแอคตีฟที่ลอจิก 0 เมื่อไมโครโปรเซสเซอร์ได้รับสัญญาณ $\overline{RESET}$ จะทำได้ค่าในโปรแกรมเคาน์เตอร์เริ่มต้นที่ศูนย์ และตั้งต้นการทำงานของไมโครโปรเซสเซอร์ใหม่และในส่วนอื่น ๆ จะเป็นดังนี้

1. จัดอินเตอร์รัพต์ฟลิบฟลอบ (IFF) ให้อยู่ในสภาพที่ไม่ยอมรับการอินเตอร์รัพต์แบบมาสเคเบิล (IFF1 = IFF2 = 0)
2. เซตรีจิสเตอร์ I = 00H
3. เซตรีจิสเตอร์ R = 00H
4. เซตให้เป็นการอินเตอร์รัพต์ โมด 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในช่วงเวลาของการรีเซต บัสข้อมูล บัสตำแหน่ง จะอยู่ในสภาวะอิมพีแดนซ์สูง ส่วนบัสควบคุมจะอยู่ในสภาพที่ไม่แอคตีฟ (Inactive)

$\overline{\text{BUSRQ}}$(Bus Request) เป็นขาอินพุทแอคตีฟที่ระดับ 0 สัญญาณ $\overline{\text{BUSRQ}}$ นี้มีผลทำให้บัสตำแหน่ง บัสข้อมูล และสัญญาณควบคุมที่เป็นขาเอาท์พุทแบบสามสถานะ อยู่ในสภาวะอิมพีแดนซ์สูงจากนั้นบัสต่าง ๆ จะถูกควบคุมโดยอุปกรณ์ภายนอก ไมโครโปรเซสเซอร์จะตรวจสอบสัญญาณการขอใช้บัสนี้ทุก ๆ สเตทสุดท้ายของทุกแมชชีนไซเกิลของคำสั่ง และเมื่อพบการขอใช้บัสซีพียูจะตอบสนองในไซเกิลถัดไป

$\overline{\text{BUSAK}}$(Bus Acknowledge) เป็นขาเอาท์พุทแอคตีฟที่ระดับ 0 สัญญาณนี้ใช้สำหรับตอบรับการขอใช้บัส และแสดงว่าขณะนี้บัสตำแหน่ง บัสข้อมูล และสัญญาณควบคุมที่เป็นเอาท์พุทแบบสามสถานะอยู่ในสภาวะอิมพีแดนซ์สูงแล้ว อุปกรณ์ควบคุมภายนอกสามารถเข้ามาควบคุมบัสได้

Φ เป็นขาที่รับสัญญาณนาฬิกาซึ่งเป็นเพียงเฟสเดียว ใช้ระดับสัญญาณแบบ TTL และต้องการตัวต้านทานเพื่อ Pull up ค่า 330 โอห์ม หนึ่งตัว เพื่อต่อกับแหล่งจ่ายไฟ 5 โวลท์ Z-80 ทำงานได้ที่สัญญาณนาฬิกาไม่เกิน 2.5 MHz Z-80A ทำงานได้ไม่เกิน 4 MHz และ Z-80B ทำงานได้ไม่เกิน 6 MHz

2.6.6 การเชื่อมต่อไมโครโปรเซสเซอร์กับหน่วยความจำ

จากที่ได้กล่าวมาตั้งแต่ต้นแล้วว่า ไมโครโปรเซสเซอร์ไม่สามารถทำงานอย่างอิสระได้ แต่จะต้องประกอบกับหน่วยต่าง ๆ อีกคือ หน่วยความจำ และหน่วยอินพุท เอาท์พุท จึงจะสามารถทำงานเพื่อให้เป็นระบบไมโครคอมพิวเตอร์ได้ ซึ่งหน้าที่ที่สำคัญของหน่วยความจำในระบบไมโครคอมพิวเตอร์ก็คือ

1. เป็นหน่วยที่ใช้เก็บลำดับขั้นของคำสั่งหรือที่เรียกว่าโปรแกรมเพื่อกำหนดให้ไมโครโปรเซสเซอร์ทำงานตามความต้องการ
2. เป็นหน่วยที่ใช้เก็บข้อมูลชั่วคราว ซึ่งหมายถึงสามารถเขียนข้อมูลเข้าไปในหน่วยความจำหรือนำข้อมูลออกมาจากหน่วยความจำ

2.6.7 ชนิดของหน่วยความจำ

หน่วยความจำอาจแบ่งตามลักษณะการใช้ และการอ่านเขียนข้อมูลได้ 3 แบบใหญ่ ๆ คือ

1. Read Only Memory (ROM)
2. Random Access Memery (RAM)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Serial Access Memory

ซึ่งลักษณะของหน่วยความจำทั้ง 3 แบบอาจกล่าวโดยสรุปได้ดังนี้ คือ

Read Only Memory (ROM) เป็นหน่วยความจำที่ใช้เก็บข้อมูลแบบถาวร หรือกึ่งถาวร คือ ข้อมูลจะต้องถูกเขียนลงไปในหน่วยความจำตั้งแต่ต้น หลังจากนั้นก็เป็นการเรียกใช้เพียงอย่างเดียว ไม่สามารถแก้ไขเปลี่ยนแปลงได้อีก ดังนั้นเราจึงเรียกหน่วยความจำแบบนี้ว่า Read only หน่วยความจำแบบ รอม นี้เป็นหน่วยความจำแบบ Non volatile คือข้อมูลในรอม จะไม่สูญหายเมื่อไม่มีไฟเลี้ยง หน่วยความจำ รอมจะใช้ในระบบไมโครคอมพิวเตอร์ทุกเครื่อง เพื่อเก็บโปรแกรมสำหรับให้ระบบไมโครพิวเตอร์ทุกเครื่อง เพื่อเก็บโปรแกรมสำหรับให้ระบบเริ่มต้นทำงานที่เรียกว่า โปรแกรมมอนิเตอร์หรือ โปรแกรม Bootstrap รอม สามารถจำแนกเป็นชนิดต่าง ๆ ได้ตามลักษณะของการเขียนข้อมูลเข้าไปในหน่วยความจำ ดังนี้

Mask Programmed ROM เป็น รอม ชนิดที่ทำการเขียนข้อมูลเข้าไปในหน่วยความจำตั้งแต่ตอนสร้างชิพ และไม่สามารถแก้ไขข้อมูลภายในได้อีก รอมแบบนี้จะต้องสร้างครั้งละจำนวนมาก ๆ เนื่องจากต้นทุนในการผลิตค่อนข้างสูง

Programmable Read Only Memory หรือ PROM หน่วยความจำแบบนี้ ผู้ใช้สามารถโปรแกรมเองได้โดยใช้กรรมวิธีจ่ายพัลส์แรงดันสูงเข้าไปทำลายฟิวส์ภายในตัวไอซีหน่วยความจำเพื่อทำให้เป็นลอจิก 0 หรือ 1 ณ ตำแหน่งที่กำหนด และเมื่อโปรแกรมเข้าไปแล้ว ไม่สามารถทำการแก้ไขได้เช่นกัน

Erasable Programmable Read Only Memory หรือ EPROM หน่วยความจำชนิดนี้ ผู้ใช้สามารถโปรแกรมข้อมูลลงไปได้และสามารถลบได้ โดยใช้รังสี Ultra violet ฉายผ่านช่องกระจกบนตัวไอซี และหลังจากที่ทำการลบข้อมูลออกแล้วก็สามารถโปรแกรมข้อมูลใหม่ลงไปได้อีก

Electrically Alterable Read Only Memory หรือ EAROM เป็นหน่วยความจำที่สามารถโปรแกรมข้อมูลเข้าไปได้ และสามารถลบออกได้โดยใช้สัญญาณไฟฟ้า ทำให้การโปรแกรมและการลบทำได้โดยสะดวก และอาจทำได้โดยไม่ต้องถอดออกจากวงจร

Random Access Memory (RAM) หน่วยความจำแบบ แรม นี้ เป็นหน่วยความจำที่มีการทำงานที่ต่างจาก รอม คือมันสามารถที่จะทำการเขียนหรืออ่านข้อมูลก็ได้ และในการเขียนหรืออ่านข้อมูลแต่ละคำ หรือแต่ละลิต ณ ที่ตำแหน่งใด ๆ ในพื้นที่ของหน่วยความจำจะใช้เวลาเท่า ๆ กัน แต่ในกรณีของรอม การเขียนข้อมูลเข้าหน่วยความจำ จะใช้เวลามากว่าการอ่านข้อมูลมาก หน่วยความจำแบบ แรมจะเป็นแบบชนิด Volatile คือต้องการไฟเลี้ยงตลอดเวลา และเมื่อขาดไฟเลี้ยง ข้อมูลในแรม จะหายไป แรมจะแบ่งออกได้เป็น 2 แบบ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Static RAM หรือเรียกย่อ ๆ ว่า SRAM แรม ชนิดนี้ หน่วยความจำแต่ละเซลจะใช้ลักษณะวงจร ฟลิบฟลอบ เป็นพื้นฐาน ดังนั้นเมื่อไม่มีการเขียนข้อมูลเข้าไปใหม่ข้อมูลนั้น ๆ จะคงที่ตลอดไปตราบเท่าที่มีไฟเลี้ยงอยู่

Dynamic RAM หรือ DRAM ลักษณะของ แรม ชนิดนี้ ใช้การเก็บประจุที่ขาเกตของ MOSFET เพื่อเป็นการเก็บข้อมูล และเมื่อมีการอ่านข้อมูลออกมา ประจุที่เก็บไว้จะถูกคายออกและหมดไป ซึ่งถ้าเป็นเช่นนี้หน่วยความจำก็จะเป็นแบบ Destructive ดังนั้น DRAM จึงต้องมีการรีเฟรชเพื่อทำให้ข้อมูลยังคงอยู่ไม่สูญหายไปไหน ข้อดีของ DRAM ที่เหนือกว่า SRAM คือ มีความหนาแน่นของเซลหน่วยความจำสูงกว่า มีความสิ้นเปลืองกำลังต่ำกว่า และใช้เวลาในการเข้าถึงข้อมูลเร็วกว่า แต่ก็มีข้อเสียในเรื่องการที่จะต้องทำการรีเฟรช ซึ่งจะยุ่งยากในการใช้มากกว่า SRAM

Serial Access Memory หน่วยความจำแบบนี้ใช้วิธีการเก็บข้อมูลตามลำดับก่อนหลังตามกันไป ดังนั้นเวลาอ่านก็จะต้องเรียงลำดับด้วย เช่นเดียวกับเทป ซึ่งลักษณะของหน่วยความจำแบบนี้คล้ายกับวงจรชิฟรีจิสเตอร์ หน่วยความจำนี้มีทั้งแบบ Volatile และ Nonvolatile เช่น

Magnetic Bubble Memory หน่วยความจำแบบนี้มีความจุข้อมูลสูงใกล้เคียงกับเทปสามารถเขียนและอ่านข้อมูลได้เช่นเดียวกับเทป และเป็นหน่วยความจำชนิด Nonvolatile ไม่จำเป็นต้องมีการรีเฟรช แต่ความเร็วในการอ่านหรือเขียนข้อมูลค่อนข้างช้ากว่า แรม แบบสารกึ่งตัวนำ แต่ก็มีความเร็วสูงกว่าเทปมาก หน่วยความจำแบบนี้มีแนวโน้มจะเข้ามาแทนที่ Disk ในอนาคต

Charge Coupled Device (CCD) หน่วยความจำแบบนี้สามารถเก็บข้อมูลได้สูง สามารถอ่านหรือเขียนได้ แต่เป็นแบบ Volatile ความเร็วในการอ่านและเขียนข้อมูลค่อนข้างสูงเกือบเท่ากับแรม แบบสารกึ่งตัวนำ CCD มีราคาถูก แต่การใช้งานยุ่งยากจึงไม่เป็นที่นิยม

ศัพท์ที่ควรทราบเกี่ยวกับหน่วยความจำ

Access time	ระยะเวลาที่กำหนดสัญญาณระบุตำแหน่งให้กับหน่วยความจำ ไปจนถึงเวลาที่ข้อมูลปรากฏออกมาที่เอาท์พุทของไอซีหน่วยความจำ ระยะเวลานี้รวมถึงเวลาที่เสียไปตั้งแต่ส่งสัญญาณเลือกตัวไอซี (chip select) การถอดรหัสของตำแหน่ง และการทำงานของวงจร output enable
Address hold time	คือเวลาที่ต้องการนับตั้งแต่จุดสิ้นสุดของสัญญาณ write จนถึงเวลาที่เอาสัญญาณในการกำหนดตำแหน่งออกไปได้โดยข้อมูลไม่เสียหาย
Address setup time	คือระยะเวลาที่ต้องการเพื่อให้สัญญาณในการกำหนดตำแหน่งให้อยู่ในสภาวะคงที่ก่อนที่จะส่งสัญญาณการเขียนให้แก่หน่วยความจำ เพื่อทำการเขียนข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Chip enable ($\overline{CE}$) คือสัญญาณที่ใช้กำหนดให้ไอซีหน่วยความจำนี้ทำงานหรือไม่ ซึ่งเมื่อสัญญาณนี้แอคตีฟ (ซึ่งโดยปกติแอคตีฟที่ระดับ 0) ไอซีหน่วยความจำนี้จะอยู่ในสภาวะที่ทำงานได้

Output enable ($\overline{OE}$) คือสัญญาณที่ป้อนให้แก่ตัวไอซี ซึ่งเมื่ออยู่ในสภาวะแอคตีฟ จะทำให้เอาท์พุทของไอซีหน่วยความจำนี้ต่อกับบัสข้อมูลของระบบ แต่เมื่อสัญญาณนี้ไม่แอคตีฟเอาท์พุทของไอซีจะอยู่ในสภาวะอิมพีแดนซ์สูง

2.6.8 ลักษณะพื้นฐานของการต่อหน่วยความจำกับไมโครโปรเซสเซอร์

ในการเชื่อมต่อกันระหว่างไมโครโปรเซสเซอร์กับหน่วยความจำโดยทั่วไปนั้น จะต้องมีสัญญาณในการเชื่อมต่อ ดังต่อไปนี้

1. บัสตำแหน่ง ซีพียูจะใช้ข้อมูลบนบัสนี้สำหรับทำการเลือกตำแหน่งของหน่วยความจำ ที่จะใช้เป็นต้นทางข้อมูล (เมื่อทำการอ่าน) หรือตำแหน่งปลายทางข้อมูล (เมื่อทำการเขียน)
2. บัสข้อมูล ใช้สำหรับเป็นทางผ่านของข้อมูลจากซีพียู เพื่อไปยังหน่วยความจำ หรือข้อมูลจากหน่วยความจำเพื่อมายังซีพียู
3. บัสควบคุม บัสนี้ใช้สำหรับการส่งสัญญาณควบคุมการทำงานในการอ่าน หรือการเขียนข้อมูล เช่น สัญญาณ $\overline{RD}$ $\overline{WR}$ และสัญญาณเพื่อให้มีการทำงานพร้อมกัน เป็นต้น

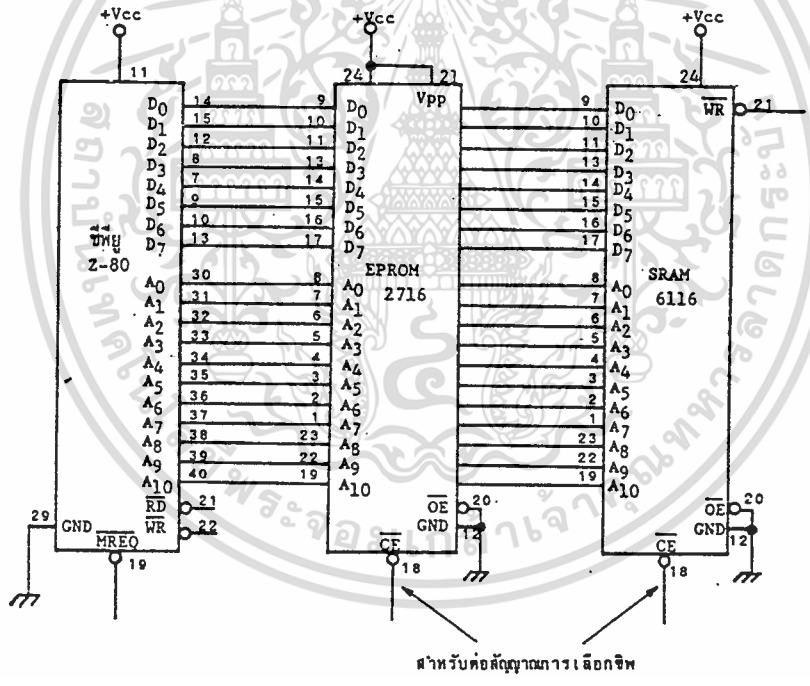
2.6.9 การต่อหน่วยความจำกับซีพียู Z-80

ซีพียู Z-80 มีสัญญาณในการเลือกตำแหน่ง 16 สัญญาณคือ A_{15} - A_0 นั่นหมายความว่าซีพียูสามารถติดต่อกับหน่วยความจำได้ถึง 2^{16} หรือ 65536 ตำแหน่ง ดังนั้นในการออกแบบระบบไมโครคอมพิวเตอร์ เราต้องทำการจัดสรรเนื้อที่นี้เสียก่อนว่าเราจะใช้หน่วยความจำส่วนไหนเพื่อประโยชน์อะไรและต้องใช้หน่วยความจำแบบใด ดังนั้นผู้ออกแบบระบบต้องทำการสร้างตารางเพื่อจัดสรรหน่วยความจำหรือที่เรียกว่า Memory map ขึ้นเพื่อกำหนดตำแหน่งของการที่จะใช้หน่วยความจำแบบรอมหรือแบบแรม ได้ว่าตำแหน่งต่ำสุดของ Memory map คือที่ตำแหน่ง 0000H จะต้องใช้หน่วยความจำแบบรอม เนื่องจากเมื่อทำการรีเซตซีพียู ตำแหน่งเริ่มต้นที่ซีพียูจะทำการอ่านในครั้งแรกคือตำแหน่งที่ 0000H นี้เอง และข้อมูลในตำแหน่งนี้จะต้องเป็นคำสั่งเพื่อให้ซีพียูมีการทำงานได้ต่อไป นั่นคือโปรแกรมในส่วนแรกที่บรรจุอยู่ในหน่วยความจำแบบรอมนี้จะเป็น
โปรแรมที่เรียกว่า Bootstrap program หรือ มอนิเตอร์โปรแกรมนั่นเอง และส่วนนอกเหนือจากนั้นอาจจะกำหนดให้ส่วนใดเป็นรอม หรือส่วนใดเป็นแรมก็ได้ จากรูปเราได้ทำการแบ่งหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกเป็นส่วน ๆ หรือที่เรียกว่า แบงก์ (Bank) โดยมีขนาดแบงก์ละ 2k แบงก์ 0 คือตั้งแต่ตำแหน่ง 0000H-07FFH กำหนดให้เป็นพื้นที่ของ ROM A แบงก์ 1 ตั้งแต่ตำแหน่ง 0800-0FFFH ใช้เป็นพื้นที่ของ ROM B และแบงก์ 4 ตำแหน่งที่ 2000H-27FFH กำหนดให้เป็นเป็น RAM A นอกจากนั้นไม่ถูกใช้งาน

จาก Memory map เห็นได้ว่าแต่ละแบงก์มีขนาด 2k ดังนั้นจะให้หน่วยความจำ EPROM เบอร์ 2716 สำหรับพื้นที่เป็นรอม และใช้ SRAM เบอร์ 6116 สำหรับพื้นที่ที่เป็นแรม ซึ่งหน่วยความจำทั้งสองนี้มีขนาด 2k x 8 เท่ากัน ดังนั้นหน่วยความจำทั้งสองจะต้องมีอินพุตเพื่อการกำหนดตำแหน่ง 11 เส้นคือ A_{10}-A_0 นี้สามารถต่อได้โดยตรงกับบัสตำแหน่งของซีพียูที่ A_{10}-A_0 ส่วน A_{15}-A_{11} ของซีพียูจะนำมาใช้เพื่อเลือกว่าจะใช้หน่วยความจำในพื้นที่ส่วนใด วงจรในการต่อหน่วยความจำทั้งสองเข้ากับบัสตำแหน่งและบัสข้อมูลของซีพียูแสดงได้ดังรูปที่ 2-28



รูปที่ 2-28 แสดงการต่อหน่วยความจำเข้ากับบัสตำแหน่งและบัสข้อมูล

2.6.10 การเชื่อมต่อไมโครโปรเซสเซอร์กับพอร์ท

ในระบบไมโครคอมพิวเตอร์นั้น การติดต่อกับอุปกรณ์ภายนอก เช่นการอ่านข้อมูลจากอุปกรณ์อินพุท การส่งข้อมูลออกไปสู่อุปกรณ์เอาท์พุทนั้น ทำได้โดยการเชื่อมต่อไมโครโปรเซสเซอร์กับพอร์ทอินพุทหรือพอร์ทเอาท์พุท ซึ่งความหมายของพอร์ทอินพุทและพอร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทเราได้นิยามไว้แล้ว ดังนั้นในส่วนนี้เราจะได้กล่าวถึงด้านฮาร์ดแวร์ของการต่อไมโครโปรเซสเซอร์ Z-80 กับพอร์ทแบบพื้นฐานซึ่งเป็นไอซีทีทีแอลแบบธรรมดา เพื่อให้ทราบถึงหลักการเบื้องต้นในการเชื่อมต่อซีพียูกับพอร์ท โดยจะยังไม่กล่าวถึงชิพพิเศษที่ทำหน้าที่พอร์ท

2.6.11 สัญญาณควบคุมการอ่านและเขียน

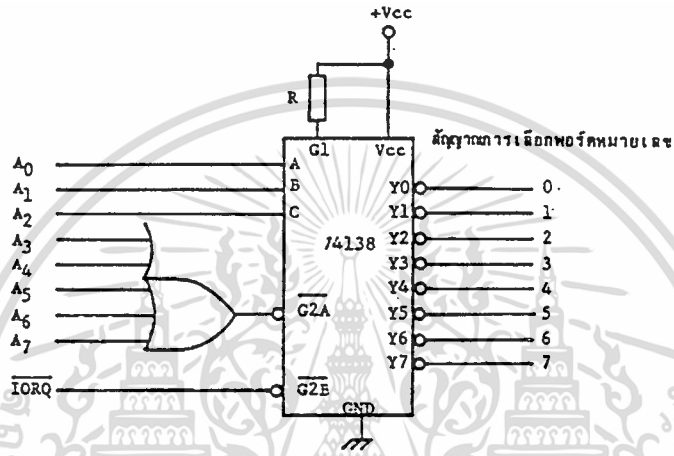
จากที่ได้กล่าวมาแล้วว่าวิธีการอินพุต เอาต์พุตของไมโครโปรเซสเซอร์ Z-80 เป็นแบบ Isolate input/output คือมีสัญญาณในการติดต่อกับพอร์ตแยกต่างหากกับสัญญาณในการติดต่อกับหน่วยความจำ ซึ่งสัญญาณที่แตกต่างกันนี้คือ ในการติดต่อกับหน่วยความจำซีพียูใช้สัญญาณ $\overline{MREQ}$ ส่วนการติดต่อกับพอร์ตใช้สัญญาณ $\overline{IORQ}$ และสัญญาณเพื่อควบคุมการอ่านและการเขียนยังคงใช้ สัญญาณ $\overline{RD}$ และ $\overline{WR}$ ดังเดิม เมื่อเป็นการอ่านหรือเขียนข้อมูลที่เกี่ยวกับพอร์ตสัญญาณที่อิคตีฟคือ $\overline{IORQ}$ $\overline{RD}$ และ $\overline{WR}$ ดังนั้นเมื่อทำการอ่านพอร์ต สัญญาณที่จะแอคตีฟ คือ $\overline{IORA}$ และ $\overline{RD}$ และเมื่อต้องการจะเขียนข้อมูลลงพอร์ต สัญญาณที่แอคตีฟคือ $\overline{IORQ}$ และ $\overline{WR}$ ซึ่งผู้ออกแบบวงจรฮาร์ดแวร์จะต้องนำสัญญาณทั้ง 3 นี้มาต่อร่วมกันเพื่อเป็นสัญญาณที่ใช้ในการควบคุมการอ่านข้อมูลจากพอร์ทอินพุท หรือควบคุมการเขียนข้อมูลออกที่พอร์ทเอาท์พุท
เมื่อซีพียูทำคำสั่งที่เกี่ยวกับการอินพุทหรือเอาท์พุท เช่นคำสั่ง IN A,(n) สัญญาณควบคุมที่แอคตีฟคือ $\overline{IORQ}$ และ $\overline{RD}$ ดังนั้นขณะนี้เอาท์พุทของเกตออร์ 1 จะมีระดับ 0 นั่นคือทอจะทำให้สัญญาณ $\overline{IOR}$ อยู่ในสภาวะแอคตีฟ และเมื่อซีพียูทำคำสั่ง OUT (n),A สัญญาณควบคุมที่แอคตีฟคือ $\overline{IORQ}$ และ $\overline{WR}$ ซึ่งจะทำให้สัญญาณ $\overline{IOW}$ อยู่ในสภาวะแอคตีฟ ดังนั้นเราสามารถนำสัญญาณทั้งสองนี้ไปควบคุมการทำงานของพอร์ทอินพุทและพอร์ทเอาท์พุทได้ตามต้องการ

2.6.12 ตำแหน่งของพอร์ต

ซีพียู Z-80 ใช้บัสตำแหน่งทางด้านต่ำคือ A_7 ถึง A_0 เพื่อกำหนดตำแหน่งของพอร์ท ดังนั้นหมายความว่า ซีพียูสามารถติดต่อกับพอร์ทขนาด 8 บิทได้ถึง อย่างละ 2^8 หรือ 256 พอร์ท และเนื่องจากในการอ่านและเขียนข้อมูล สัญญาณควบคุม $\overline{RD}$ และ $\overline{WR}$ จะไม่มีโอกาสแอคตีฟพร้อมกัน ดังนั้นพอร์ทหมายเลขเดียวกัน สามารถกำหนดให้เป็นพอร์ทอินพุทหรือพอร์ทเอาท์พุทก็ได้ คำสั่งทุกคำสั่งในกลุ่มอินพุท/เอาท์พุทจะใช้บัสตำแหน่ง A_7 - A_0 นี้เพื่อกำหนดตำแหน่งพอร์ททั้งสิ้น เช่นคำสั่ง IN A,(n) ข้อมูล n ซึ่งเป็นเลขฐานสองขนาด 8 บิท ที่สำหรับการกำหนดตำแหน่งของพอร์ท ดังนั้นข้อมูลนี้จะส่งออกที่ A_7 - A_0 ส่วนคำสั่ง OUT (n),A ข้อมูล n ก็จะส่งออกที่ A_7 - A_0 เช่นกัน ส่วนคำสั่ง IN r,(C) และ OUT (C), r หมายเลขพอร์ทจะกำหนดโดยข้อมูลที่อยู่ในรีจิสเตอร์ C และข้อมูลในการกำหนดตำแหน่งนี้จะส่งออกไปทางบัสตำแหน่ง A_7 - A_0 เช่นกัน ดังนั้นในกาสรถอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รหัสตำแหน่งของพอร์ทโดยทั่วไป จะทำการถอดรหัสที่ A_7 - A_0 แต่ถ้าเราต้องการใช้ข้อมูลที่บัสตำแหน่ง A_{15} - A_8 เพื่อเป็นตำแหน่งของพอร์ท ก็สามารถทำได้เช่นกัน เนื่องจากคำสั่งในกลุ่มอินพุทเอาท์พุทนั้น มีข้อมูลบางอย่างออกมาที่ A_{15} - A_8 ด้วย เช่นในคำสั่ง IN r,(C) ข้อมูลในการกำหนดพอร์ทที่แท้จริงคือข้อมูลที่อยู่ในรีจิสเตอร์ C และข้อมูลนี้จะส่งออกที่บัสตำแหน่ง A_7 - A_0 แต่ขณะเดียวกันข้อมูลในรีจิสเตอร์ Bจะมาออกที่บัสตำแหน่ง A_{15} - A_8 ดังนั้นเราอาจจะทำการถอดรหัสที่ A_{15} - A_8 นี้ก็ได้

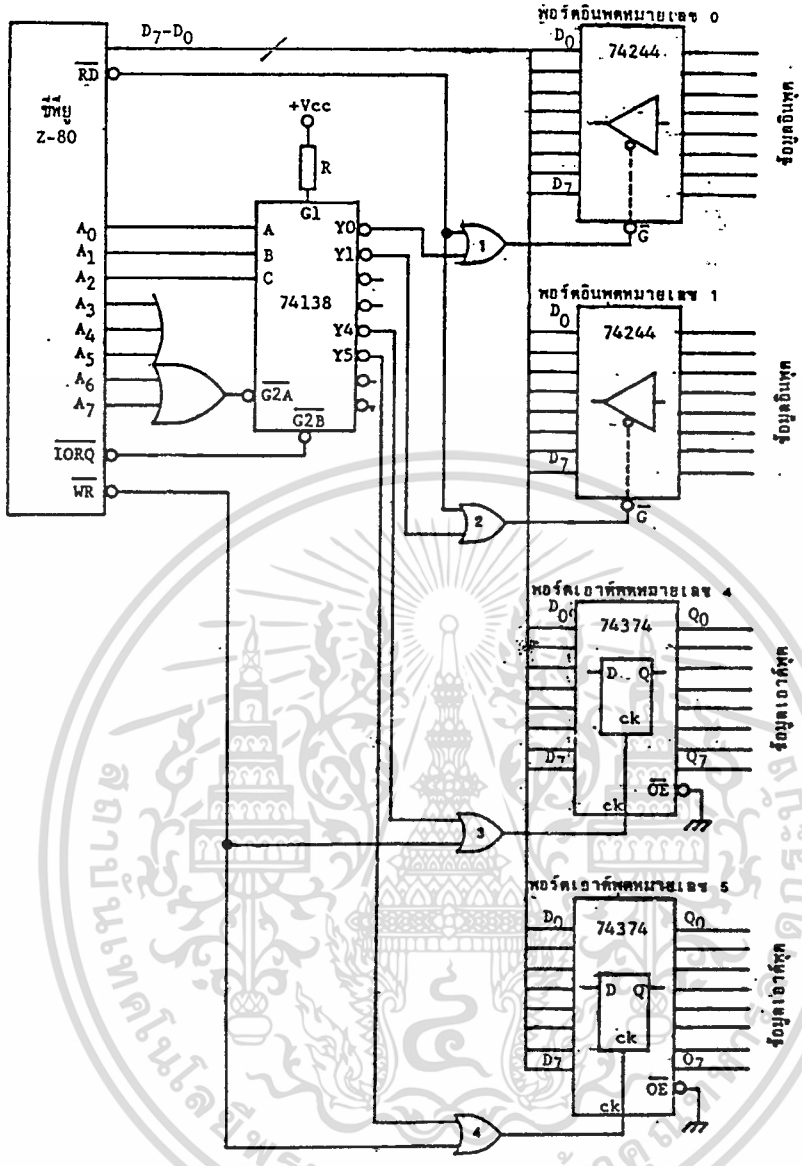


รูปที่ 2-29 วงจรสร้างสัญญาณการเลือกพอร์ท

จากวงจรรูปที่ 2-29 วงจรดีมัลติเพล็กซ์จะทำงานก็ต่อเมื่อซีพียูคำสั่งเกี่ยวกับการอินพุทหรือเอาท์พุท เพราะจะทำให้ขา $\overline{IORQ}$ แอคติฟแต่ถ้าทำคำสั่งที่เกี่ยวกับหน่วยความจำวงจรดีมัลติเพล็กซ์นี้จะไม่ทำงานเนื่องจากขา $\overline{IORQ}$ ไม่แอคตีฟดังนั้น เอาท์พุทของวงจรดีมัลติเพล็กซ์จะใช้สำหรับการเลือกพอร์ทหมายเลข 0 ถึงหมายเลข 7 ซึ่งพอร์ทต่าง ๆ เหล่านี้อาจกำหนดให้เป็น พอร์ทอินพุท หรือพอร์ทเอาท์พุทก็ได้ขึ้นอยู่กับสัญญาณการควบคุมการอ่านและเขียนอีกสัญญาณหนึ่ง

วงจรการเชื่อมต่อพอร์ทแบบพื้นฐานที่แสดงถึงพอร์ทอินพุทและพอร์ทเอาท์พุท ซึ่งพอร์ทอินพุทจะใช้วงจรลอจิกแบบ 3 สถานะส่วนพอร์ทเอาท์พุทจะเป็นฟลิปฟลอปแบบ D วงจรการเชื่อมต่อ พอร์ทอินพุทและพอร์ทเอาท์พุท แบบพื้นฐานนี้แสดงได้ดังรูปที่ 2-30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-30 วงจรการต่อพอร์ทอินพุท/พอร์ทเอาท์พุทแบบขนาน 8 บิท

จากวงจรรูปที่ 2-30 เป็นการต่อพอร์ทอินพุท 2 พอร์ทและพอร์ทเอาท์พุท 2 พอร์ทโดยที่ใช้ไอซีทีทีแอลเป็นพอร์ทคือ พอร์ทอินพุทใช้ไอซี 3 สถานะเบอร์ 74244 เป็นอินพุทพอร์ทหมายเลข 0 และหมายเลข 1 ส่วนพอร์ทเอาท์พุทใช้ไอซีฟลิปฟลอปแบบ D เบอร์ 74374 และกำหนดให้เป็นพอร์ทเอาท์พุทหมายเลข 4 แบะหมายเลข 5 จากรูปเอาท์พุทของวงจรดีมัลติเพล็กซ์ที่ Y_0 จะแอคทีฟเมื่อเป็นการอ้างถึงพอร์ทหมายเลข 0 และ เอาท์พุท Y_1 จะแอคตีฟเมื่อเป็นการอ้างถึงพอร์ทหมายเลข 1 และเรียงไปตามลำดับจนถึงเอาท์พุท Y7 จะแอคตีฟเมื่อเป็นการอ้างถึงพอร์ทหมายเลข 1 และเรียงไปตามลำดับจนถึงเอาท์พุท Y_7 สำหรับการอ้างถึงพอร์ทหมายเลข 7 เมื่อนำสัญญาณจาก Y_0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

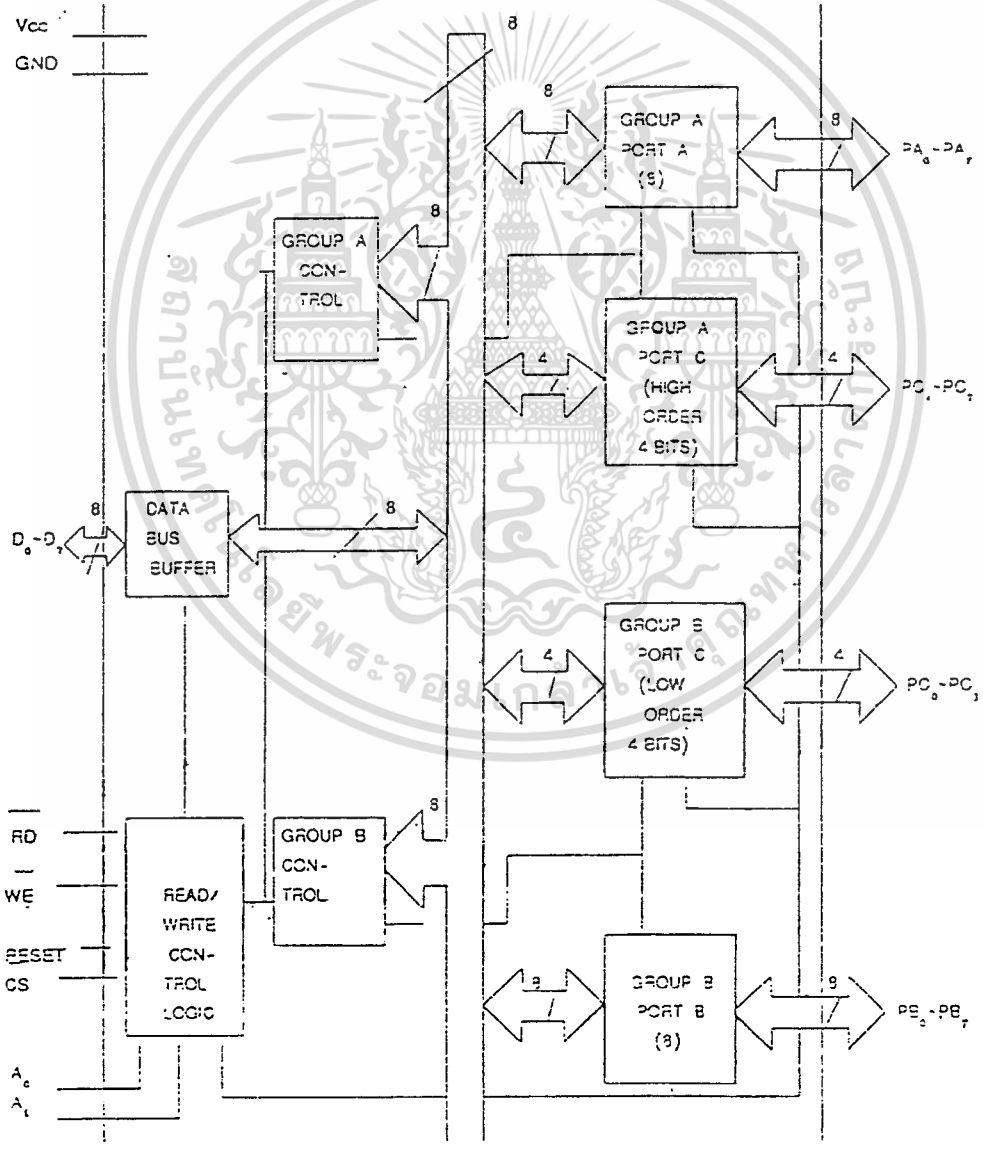
และ Y_1 ไปทำการ OR กับสัญญาณ $\overline{RD}$ จากซีพียู ก็จะได้สัญญาณควบคุมการอ่าน โดยที่เอาท์พุทของเกดออร์ 1 และเอาท์พุทของเกดออร์ 2 จะเป็นสัญญาณควบคุมการอ่านของอินพุทพอร์ทหมายเลข 0 และหมายเลข 1 ตามลำดับ ส่วนสัญญาณ Y_4 และ Y_5ทำการออร์กับสัญญาณ $\overline{WR}$ ดังนั้นเอาท์พุทของเกดออร์ 3 และ เกดออร์ 4 จะเป็นสัญญาณควบคุมการเขียนข้อมูลออกที่พอร์ทเอาท์พุท ดังนั้นจากวงจรรูปที่ 2-30 นี้ จะเป็นวงจรที่ประกอบด้วยอินพุทพอร์ท 2 พอร์ทคือพอร์ทหมายเลข 0 และหมายเลข 1 และมีเอาท์พุทพอร์ท 2 พอร์ทคือพอร์ทหมายเลข 4 และหมายเลข 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 รายละเอียดเกี่ยวกับ 8255

8255 เป็นอุปกรณ์ LSI (Large Scale Integrated Circuit) บรรจุอยู่ในแพกเกจขนาด 40 ขา แบบ DIP (Dual-Inline-Package) เริ่มผลิตโดยบริษัทอินเทล ผู้หลิตไมโครโปรเซสเซอร์เบอร์ 8088 จุดประสงค์เพื่อใช้งานร่วมกับ 8080 โดยเฉพาะแต่ในภายหลังได้มีการนำ 8255 ไปประยุกต์ใช้งานร่วมกับไมโครโปรเซสซอร์เบอร์อื่น ๆ กันมาก ทำให้นิยมใช้กันอย่างแพร่หลาย

คุณสมบัติเบื้องต้นของการนำ 8255 มาใช้งานคือเป็นอินพุท/เอาท์พุท พอร์ท โดยมีพอร์ทขนาด 8 บิท ที่สามารถสั่งให้เป็นอินพุท หรือเอาท์พุทก็ได้ จำนวน 3 พอร์ท รูป 2-31 แสดงบล็อกไดอะแกรมของ 8255 ซึ่งหน้าที่ของแต่ละบล็อกมีดังต่อไปนี้คือ



รูปที่ 2-31 แสดงบล็อกไดอะแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

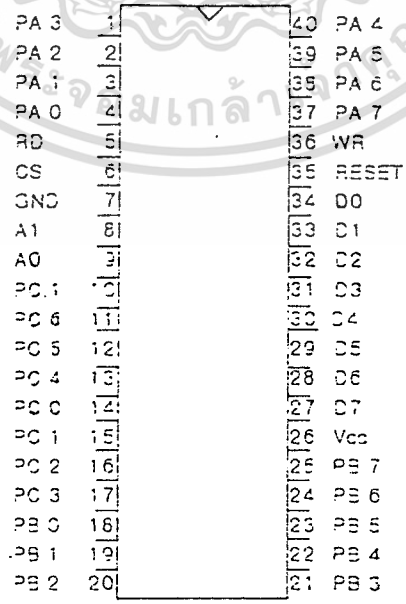
บล็อกกลุ่มแรก ได้แก่ บล็อก 4 บล็อกที่อยู่ทางด้านขวาของรูป ซึ่งจะเป็นส่วนที่เชื่อมต่อกับอุปกรณ์ภายนอกอื่น ๆ โดยมีขา PAO-PA7-PBO-PB7 และ PCOPC7 เป็นทางผ่านของข้อมูลระหว่างอุปกรณ์ภายนอกกับ 8255 ขา สัญญาณเหล่านี้จะถูกแบ่งออกเป็นอินพุท เอาท์พุท 3 พอร์ท A(PA) พอร์ท B(PB) และพอร์ท C(PC) พอร์ทเหล่านี้แต่ละพอร์ทสามารถเป็นได้ทั้งอพร์ทอินพุทและเอาท์พุท แล้วแต่ผู้ใช้จะกำหนดแต่ละบล็อกจะมีสายสัญญาณ เชื่อมเข้ากับบัสข้อมูลภายในของ 8255

บล็อกกลุ่มถัดมาได้แก่ GROUP A CONTROL และ GROUP B CONTROL ทำหน้าที่เป็นตัวกำหนดลักษณะการทำงานของพอร์ท อินท์พุท เอาท์พุททั้ง 3 พอร์ท (8255 มีลักษณะการทำงานที่แตก่ต่างกันอยู่ 3 โหมด สามารถกำหนดได้จากการโปรแกรมโดยส่งคำสั่งควบคุม (Control Word)) จำนวน 2 พอร์ท ได้แก่ GROUP A CONTROL และ GROUP B CONTROL โดย GROUP A CONTROL จะควบคุมพอร์ท A กับพอร์ท C สี่บิทด้านสูง ส่วน GROUP B CONTROL จะควบคุม พอร์ท B กับพอร์ท C สี่บิทด้านต่ำ สำหรับเหตุผลนั้นจะกล่าวถึงในภายหลัง

บล็อกกลุ่มสุดท้ายได้แก่ บัฟเฟอร์ของบัสข้อมูล (Data Bus Buffer) และ ส่วนควบคุมการอ่าน/เขียน (Read/Write Control) ซึ่งบล็อกเหล่านี้จะเป็นส่วนที่ติดต่อกับไมโครโปรเซสเซอร์ ทำหน้าที่เป็นบัฟเฟอร์ให้กับบัสข้อมูลของไมโครโปรเซสเซอร์และเป็นส่วนที่ควบคุมให้ข้อมูลเข้าหรือออกจากรีจิสเตอร์ภายในตัวให้ถูกต้องสอดคล้องกับการทำงานของระบบ

2.7.1 รายละเอียดการจัดเรียงขาของ 8255

ในส่วนนี้จะพิจารณาหน้าที่ของขาแต่ละขาของ 8255 ซึ่งข้อมูลเหล่านี้จะใช้ประโยชน์ในการเชื่อมต่อเข้ากับระบบบัสของไมโครโปรเซสเซอร์ สำหรับการจัดขาแสดงไว้ในรูปที่ 2-32



รูปที่ 2-32 แสดงการวางตำแหน่งขาของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดของแต่ละขามีดังนี้คือ

D0-D7	เป็นบัสข้อมูล อินพุท/เอาท์พุท แบบสองทิศทาง ใช้สำหรับเป็นทางผ่านของข้อมูลระหว่างพอร์ทต่าง ๆ ของ 8255 กับบัสข้อมูลของไมโครโปรเซสเซอร์
CS	สัญญาณเลือกใช้ชิพ (CHIP SELECT) เป็นสัญญาณ อินพุท เมื่อขานี้มีสถานะทางลอจิกเป็น 0 ไมโครโปรเซสเซอร์ จะสามารถอ่านหรือเขียนข้อมูลกับ 8255 ได้
RD	สัญญาณอ่านข้อมูล (READ) เป็นสัญญาณ อินพุท เมื่อขานี้มีสถานะทางลอจิกเป็น 0 และสัญญาณ CS มีลอจิกเป็น 0 ข้อมูลจาก 8255 จะวางออกมาทางบัสข้อมูลซึ่งต่อไปยัง ไมโครโปรเซสเซอร์ (ในการตั้งชื่อของขาสัญญาณนี้จะถือเอา ไมโครโปรเซสเซอร์เป็นหลัก
WR	สัญญาณเขียนข้อมูล (WRITE) เป็นสัญญาณเอาท์พุท เมื่อขานี้มีสถานะทางลอจิกเป็น 0 และขาสัญญาณ CS มีลอจิกเป็น 0 ข้อมูลจากบัสข้อมูลจะถูกเขียนเข้าไปยัง 8255 ได้
A0-A1	สัญญาณแอดเดรส A0~A1 (Address A0~A1) เป็นสัญญาณอินพุท จะเป็นตัวกำหนดการเลือกใช้รีจิสเตอร์ภายในของ 8255 ซึ่งจะกล่าวรายละเอียดในภายหลัง
RESET	สัญญาณรีเซ็ท (RESET) เป็นสัญญาณอินพุท เมื่อขานี้มีสถานะทางลอจิกเป็น 1 8255 จะถูกเซ็ทให้อยู่ในโหมดอินพุท PA0-PA7 ขาอินพุท/เอาท์พุทของพอร์ท A ขาสัญญาณเหล่านี้จะถูกใช้เป็นพอร์ทขนาด 8 บิท ใช้ต่อไปยังอุปกรณ์ภายนอกอื่น ๆ
PB0-PB7	ขาอินพุท/เอาท์พุทของพอร์ท B ขาสัญญาณนี้จะถูกใช้เป็นพอร์ท ขนาด 8 บิทใช้ต่อไปยังอุปกรณ์ภายนอกอื่น ๆ
PC0-PC7	ขาอินพุท/เอาท์พุทของพอร์ท C ขาสัญญาณนี้ถูกใช้เป็นพอร์ทขนาด 8 บิท เช่นเดียวกับ PA0-PA7 และ PB0-PB7 แต่ขาสัญญาณของพอร์ท C สามารถแบ่งออกเป็น 2 กลุ่ม โดยแต่ละกลุ่มมีขนาด 4 บิท คือ พอร์ท C สี่บิทด้านสูง (PC7-PC4) และพอร์ท C สี่บิทด้านต่ำ (PC3-PC0)
Vcc	แหล่งจ่ายไฟ 5 โวลท์
GND	กราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบ

3.1 การออกแบบวงจร

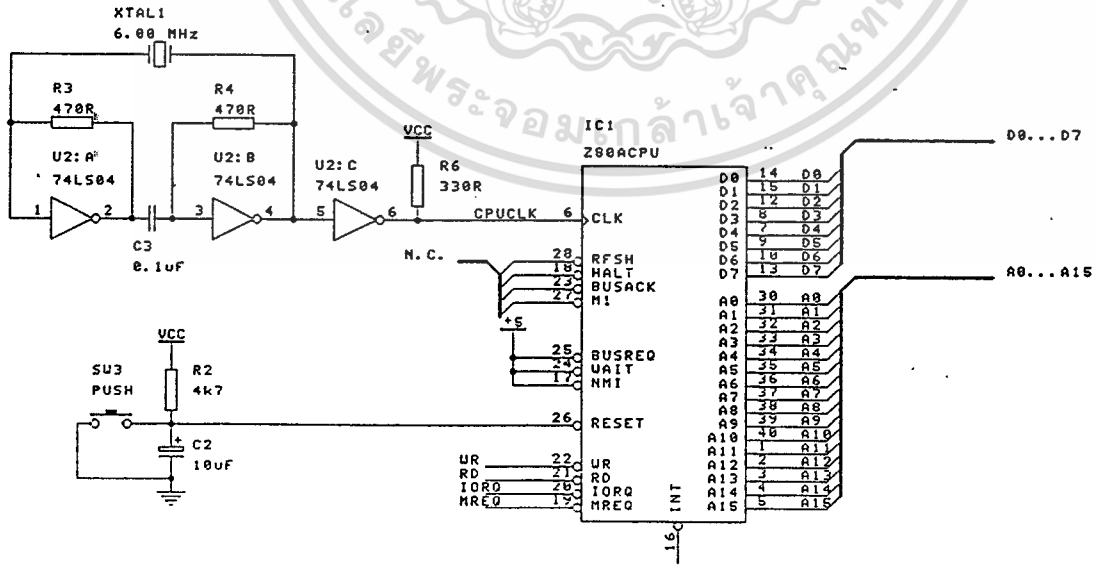
การออกแบบวงจรของเครื่องจำลองการจางหายของคลื่นวิทยุนี้ สามารถแบ่งออกได้เป็นสองส่วนด้วยกันคือ

1) ภาคดิจิตอล 2) ภาคอนาล็อก

โดยในแต่ละภาคจะทีหน้าที่ที่แตกต่างกันคือ ภาคดิจิตอล จะเป็นส่วนที่ใช้สร้างสัญญาณควบคุม I และ Q ขึ้นมาซึ่งเป็นสัญญาณดิจิตอล ดังนั้นจึงต้องมีการแปลงสัญญาณดิจิตอลให้เป็นสัญญาณสัญญาณอนาล็อก แล้วจึงนำไปมิอดดูเล็ทกับสัญญาณ RF เพื่อให้ได้สัญญาณ RF ที่เกิดการจางหายแล้ว ซึ่งเป็นหน้าที่ของภาคอนาล็อก รายละเอียดของการออกแบบทั้งสองส่วนมีดังนี้

1) ภาคดิจิตอล

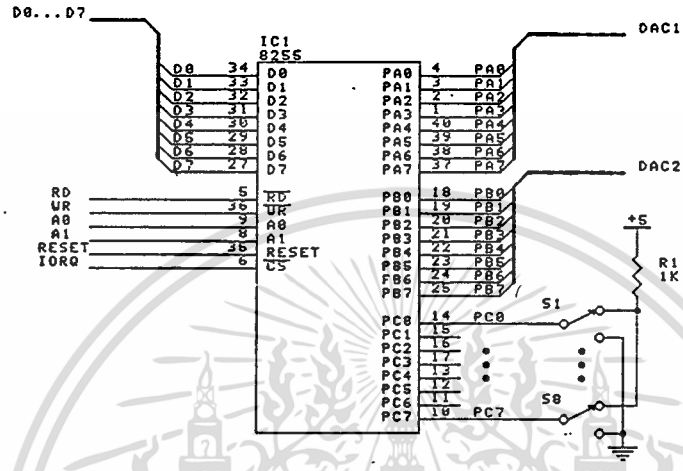
ในการสร้างสัญญาณควบคุม I และ Q นี้ จะใช้ไมโครโปรเซสเซอร์ Z-80 ในการควบคุมการสร้างสัญญาณควบคุม I และ Q โดยในส่วนของสัญญาณนาฬิกานั้นจะใช้คริสตัลกำเนิดสัญญาณนาฬิกาความถี่ 6 MHz เพื่อจ่ายให้กับไมโครโปรเซสเซอร์ Z-80 ในการเชื่อมต่อไมโครโปรเซสเซอร์เข้ากับหน่วยความจำนั้นจะใช้การต่อโดยตรงเลยโดยให้หน่วยความจำต่อเข้ากับบัสตำแหน่งและบัสข้อมูลของไมโครโปรเซสเซอร์ดังรูปที่ 3-1



รูปที่ 3-1 การต่อไมโครโปรเซสเซอร์เข้ากับหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

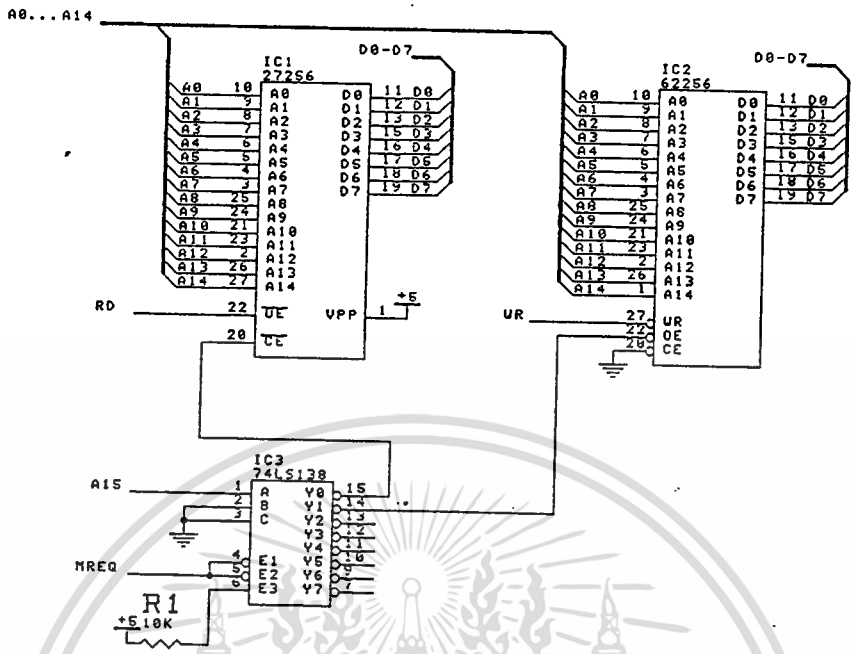
ในรูปที่ 3-2 จะเป็นส่วนของวงจรถอดรหัสแอดเดรสของ I/O พอร์ต โดยจะใช้ชิพ ไอซีเบอร์ 8255 ซึ่งเป็นวงจรถอดรหัสที่เลือกได้ทั้งไอซีแปลงสัญญาณดิจิตอลเป็นอนาล็อกตัวใดตัวหนึ่งในสองตัวหรือสวิทซ์รีจิสเตอร์ซึ่งก็คือเป็นตัวเลือกพอร์ตนั่นเอง



รูปที่ 3-2 การต่อวงจรถอดรหัสแอดเดรสของ I/O พอร์ต

ในรูปที่ 3-3 จะเป็นวงจรรวม(IC)ทำหน้าที่เป็นหน่วยความจำ 2 ตัว ตัวหนึ่งคือ 32Kbyte สแตติคแรม ซึ่งถูกนำมาใช้เพื่อที่ว่าจะได้สามารถดาวน์โหลดโปรแกรมไปที่หน่วยควบคุมสำหรับการตรวจสอบได้ และ 32 K อีพรอม ใช้บรรจุโปรแกรมและตารางข้อมูล โดยที่จะใช้ชิพไอซีเบอร์ 74LS138 ซึ่งเป็นวงจรถอดรหัสที่เลือกได้ทั้งแรมและอีพรอม

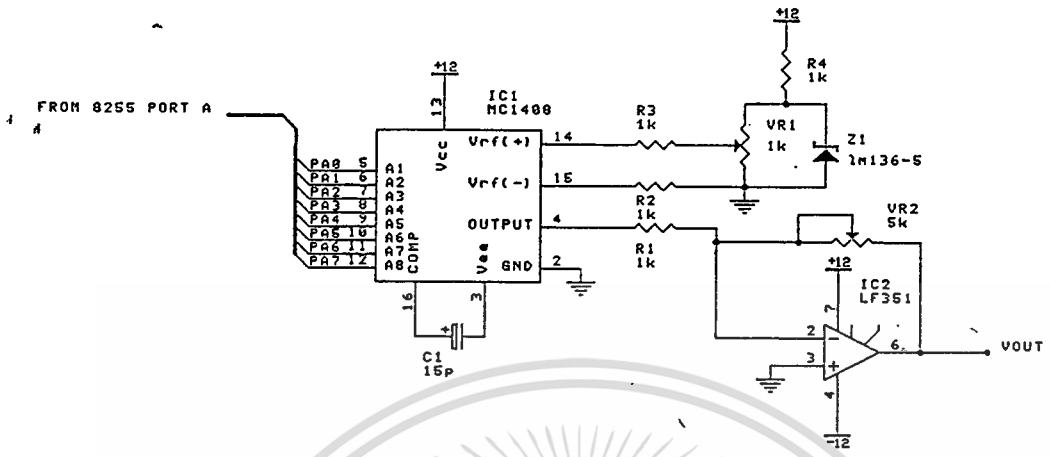
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-3 การต่อวงจรถอดรหัสหน่วยความจำเข้ากับหน่วยความจำ

วงจรที่แสดงไว้ในรูปที่ 3-4 เป็นวงจรแปลงรหัสสัญญาณดิจิตอลเป็นอนาล็อก และวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกจะใช้ชิพไอซีเบอร์ DAC1408LCD ซึ่งเป็นแบบ8bitในการ แปลงสัญญาณดิจิตอลเป็นอนาล็อกโดยที่วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกนี้จะมีด้วยกัน 2 ส่วน ด้วยกันคือ ส่วนของสัญญาณควบคุม I และ Q ดังนั้นจะต้องมีไอซี DAC1408LCD 2ตัวด้วยกันแต่ในวงจรที่แสดงไว้ๆ เพียงส่วนเดียวเท่านั้นเนื่องจากว่า วงจรทั้งสองส่วนเหมือนกัน แตกต่างกันเพียงสัญญาณจาก 8255 ที่เป็นตัวเลือกพอร์ทเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

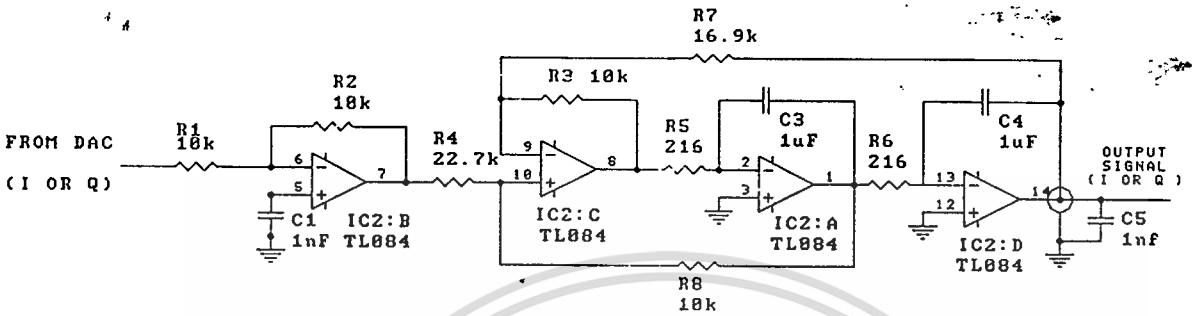


รูปที่ 3-4 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

2) ภาคอนาล็อก

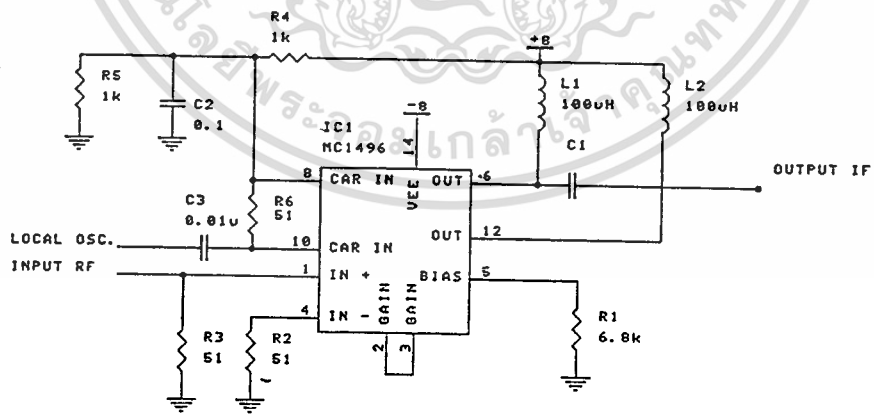
ในส่วนของภาคอนาล็อกจะนับตั้งแต่เอ้าท์พุทของวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกเป็นต้นไป โดยจะมีวงจรกรองความถี่ซึ่งจะสร้างรูปคลื่นที่มีความต่อเนื่องขึ้นมาเนื่องจากเอ้าท์พุทของวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกนั้นยังเป็นสัญญาณที่ไม่ต่อเนื่องอยู่ โดยวงจรกรองความถี่จะต้องมีจุดคัทออฟที่มากกว่าค่าอัตราดอปเปลอร์โดยที่ยังคงกรองความถี่ที่อัตราต่ำสุดได้อยู่ วงจรกรองความถี่นั้นจะต้องมีการตอบสนองความถี่ที่คงที่จนถึงค่าความถี่ดอปเปลอร์สูงสุดด้วย เพราะว่าถ้าการตอบสนองความถี่ไม่คงที่จะทำให้เกิดการเปลี่ยนแปลงความสัมพันธ์ของเฟสระหว่างองค์ประกอบทางความถี่ของสัญญาณควบคุม ถึงแม้ว่าวงจรกรองความถี่ที่มีค่า Q สูงๆ จะมีค่าเฟสที่คงที่ตลอดทั้งแบนด์ แต่จะมีการตอบสนองทางทรานเซียนท์(transient) ที่ไม่ดีนักต่อการเปลี่ยนระดับของเอ้าท์พุทจากวงจรกรองความถี่และในท้ายที่สุดอัตราการขยายของวงจรกรองความถี่จะต้องสูงพอที่จะไปทำให้วงจร มิกเซอร์ มีค่าลดทอนต่ำสุด วงจรกรองความถี่จะให้ค่าเอ้าท์พุทประมาณ 2V เพื่อที่จะให้กระแสเพียงพอไปทำให้ ควอดเดรเจอร์ มอดูเลท (quadrature modulate) มีค่าลดทอนต่ำสุด จากหลักการที่กล่าวมาแล้วจึงได้ออกแบบวงจรกรองความถี่ขึ้นมาใช้โดยได้ใช้วงจรกรองความถี่แบบ บัตเตอร์เวอร์ทอันดับสอง (second order butterworth) โดยมีความถี่คัทออฟ (3dB) ที่ 570 Hz ค่า Q เป็น 0.7 และอัตราการขยายเท่ากับ 0.8 ตามวงจรรูปที่ 3-5 ในวงจรจะใช้ ออปแอมป์ 4 ตัว จะใช้ 3 ตัวสำหรับการกรองความถี่และอีก 1 ตัวใช้แปลงเอ้าท์พุทของวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกจาก 0-5 V ไปเป็น $\pm$2.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



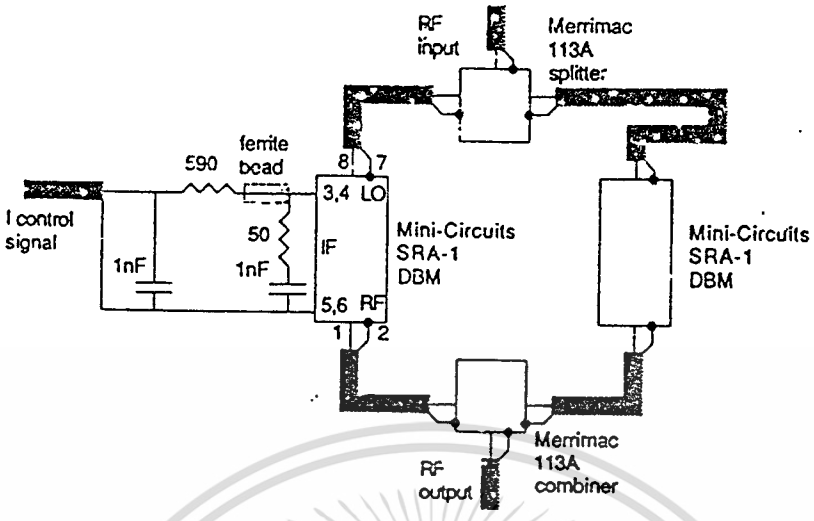
รูปที่ 3-5 วงจรกรองความถี่

ในส่วนของ อาร์เอฟ ควอเดรเทอร์ มอดดูเลท (RF Quadrature Modulate) นั้นได้แสดงไว้ในรูปที่ 3-6 ซึ่งจะมีส่วนประกอบ 2 ส่วนคือ ควอเดรเทอร์ มอดดูเลท และ ไอเอฟ พอร์ท แมทชิ่งเน็ทเวอร์ค (IF Port Matching Network) ตามรูปที่แสดงไว้นี้จะทำงานที่ความถี่ 2 MHzโดยในส่วนนี้จะมีส่วนย่อยๆ ดังต่อไปนี้



รูปที่ 3-6 วงจรมิกเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-6 การต่อวงจรแยกและรวมสัญญาณ

ก. มิกเซอร์(Mixer)

ระดับสัญญาณ อาร์เอฟ ที่จะไปขับ มิกเซอร์นั้นเป็นสิ่งที่สำคัญ ระดับสัญญาณ อาร์เอฟที่จะไปขับ มิกเซอร์นั้นจะต้องสูงพอ ประมาณ +7 dBm และอินพุทที่ให้ที่เครื่องจำลองการจางหายจะต้องมีประมาณ 11 dBm เพราะว่าค่าสูญเสียระหว่าง เพาเวอร์ สปลิทเทอร์(power splitter) อินพุทกับเอาท์พุทแต่ละข้างประมาณ 3 dB ทั้ง อาร์เอฟพอร์ท และ แอลโอ พอร์ท(LO Port)สามารถนำมาใช้เป็น อาร์เอฟ อินพุทได้ สัญญาณควบคุมจะนำมาใช้ที่ ดีซี คัปเปิล ไอเอฟ พอร์ท(dc-couple IF port)

ข. ไอเอฟ พอร์ท เน็ทเวอร์ค(IF Port Network)

ที่ภาค มิกเซอร์ จะต้องการ อิมพีแดนซ์ 50 Ω ที่ส่วนปลายทั้ง 3 พอร์ท ความต้านทาน 50 Ω จะต่ออนุกรมกับ ตัวเก็บประจุ 1 nF เป็น ดีซี บล็อคกิ้ง (dc-blocking) เพื่อจัดให้ที่จุดต่อของ ไอเอฟ พอร์ท ถูกต้อง ความต้านทาน 590 Ω จะจำกัดกระแสที่แปลงจากแรงดันสัญญาณควบคุมไปเป็นกระแสสำหรับมิกเซอร์ เฟอร์ไรต์บีดและตัวเก็บประจุ 1nF ที่บายพาสต์ลงกราวด์จะช่วยลดทอนสัญญาณ อาร์เอฟ รั่วไหลผ่านหน่วยควบคุม แบนด์วิทด์ของเน็ทเวอร์คจะต้องมากกว่าสัญญาณควบคุม ค่า ไรส์ทาม(rise time) ของเอาท์พุทของมิกเซอร์จะน้อยกว่า 200 μS

ค. สปลิทเทอร์ส (splitters)

สปลิทเทอร์จะใช้ทั้งหมดสองตัว ตัวหนึ่งจะทำหน้าที่แยกสัญญาณโดยมีค่าลดทอนสัญญาณ -3dB ซึ่งเรียกว่าเป็น เพาเวอร์สปลิทเทอร์ อีกตัวหนึ่งทำหน้าที่เป็นตัวรวมสัญญาณ ดังรูปที่ 3-6 ค่าความแรงของสัญญาณระหว่างทางทั้งสองจะต้องมีค่าความแตกต่างซึ่งวัดได้น้อยกว่า 0.1 dB และมีเฟสที่แตกต่างกันน้อยกว่า 2 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ง. ดีเลย์ไลน์(delay line)

ในการทำให้เกิดเฟสเลื่อนไป 90 องศา นั้นทำได้โดยให้สาย โคแอกเชียลเส้นหนึ่งยาวกว่าอีกเส้นหนึ่งเป็นระยะทาง $\lambda/4$ ของความถี่ที่จะใช้ โดยการกระทำเช่นนี้นั้นจะต้องมีเปอร์เซนต์ความคลาดเคลื่อนที่ต่ำจึงจะทำให้เฟสนั้นชิ๊ปไป 90 องศาจริง

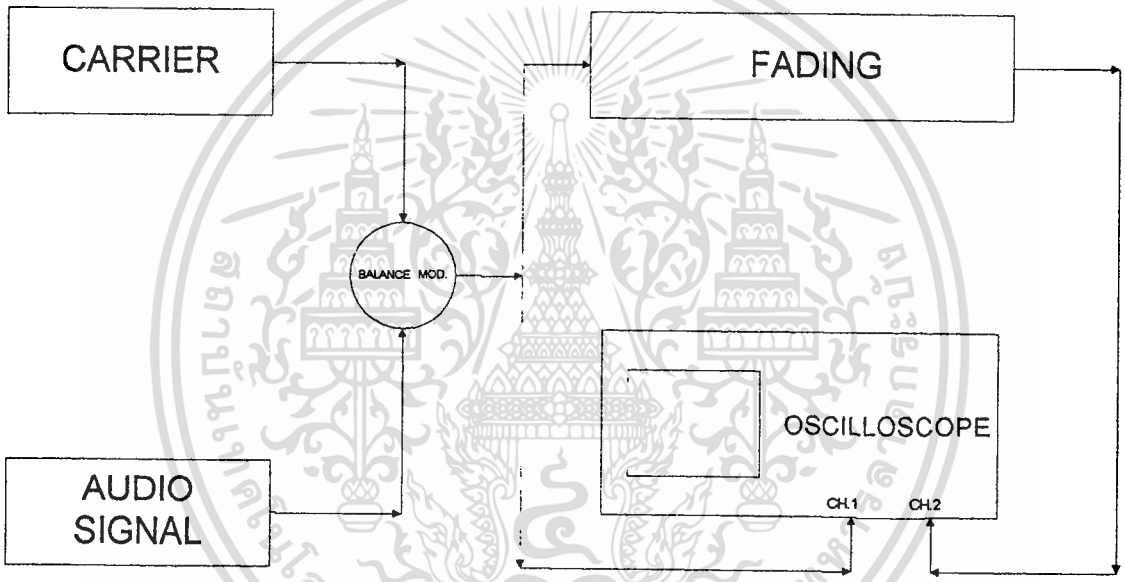
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4

การทดลองและผลการทดลอง

4.1 การทดลองการจางหายของเครื่องจำลองการจางหาย

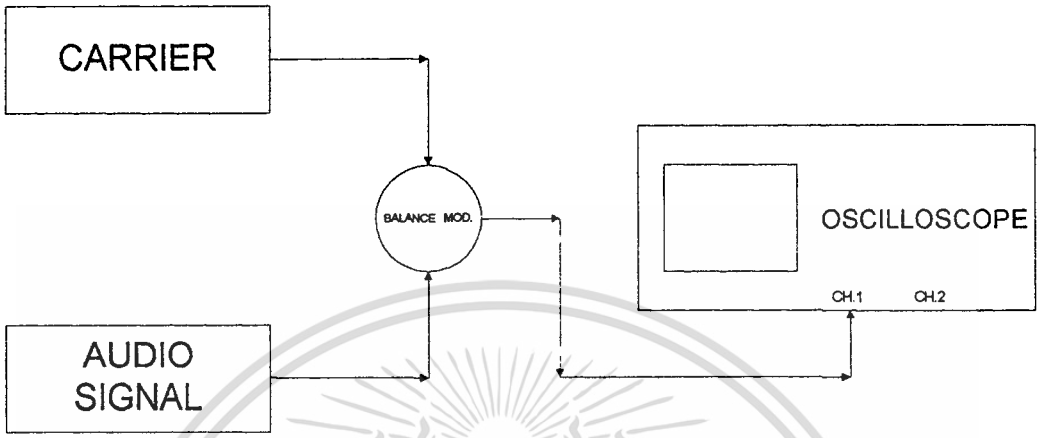
4.1.1 นำสัญญาณRFที่มีความถี่ 30 MHz 300mVp-p มาทำการมอดดูเลทแบบบาลานท์มอดดูเลทกับสัญญาณเสียงขนาดสัญญาณ 200-300 mVp-p ตามรูปแบบการต่อตามรูปที่ 4-1



รูปที่ 4-1 block diagram การต่อนำไปใช้งาน

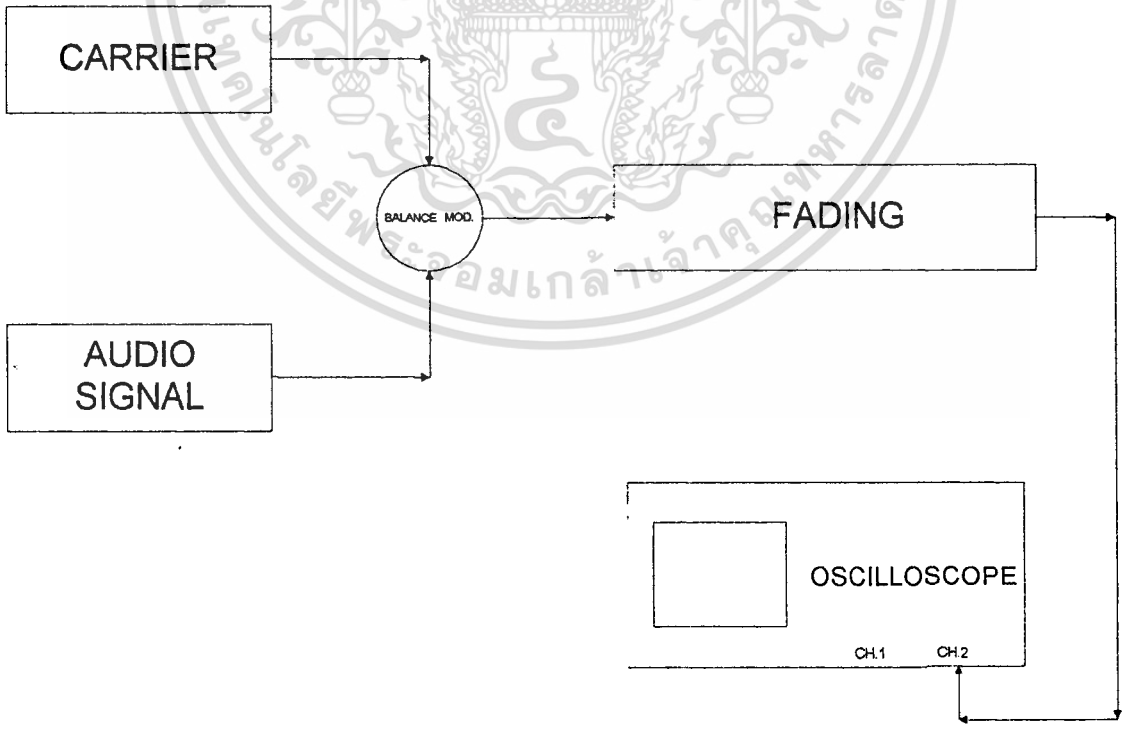
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 ต่อ CH 1 ของ Oscilloscope ไว้ที่ Input ของสัญญาณ Carrier และ Audio Signalที่ผ่านการมอดดูเลทแล้ว



รูปที่ 4-2 แสดงการต่อ CH 1กับ Oscilloscope

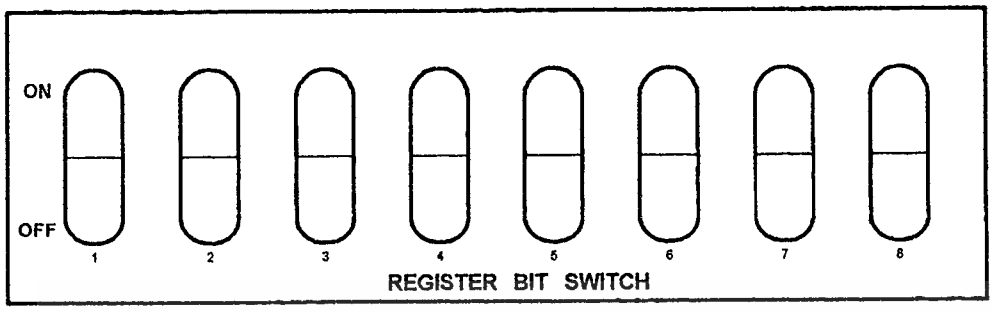
4.1.3 ต่อ CH 2 ของ Oscilloscope ไว้ที่ Output ของเครื่องจำลองการจางหายของสัญญาณ



รูปที่ 4-3 แสดงการต่อ กับoscilloscope

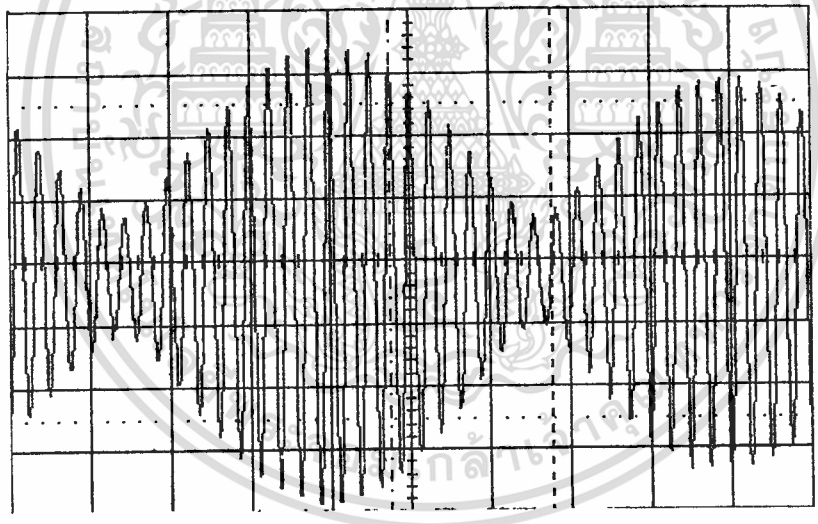
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.4 Set Register ต่างๆของ Register bitให้ได้ความถี่ 20Hz , 60Hz , 100Hz ตามลำดับ



รูปที่ 4-4 Register bit

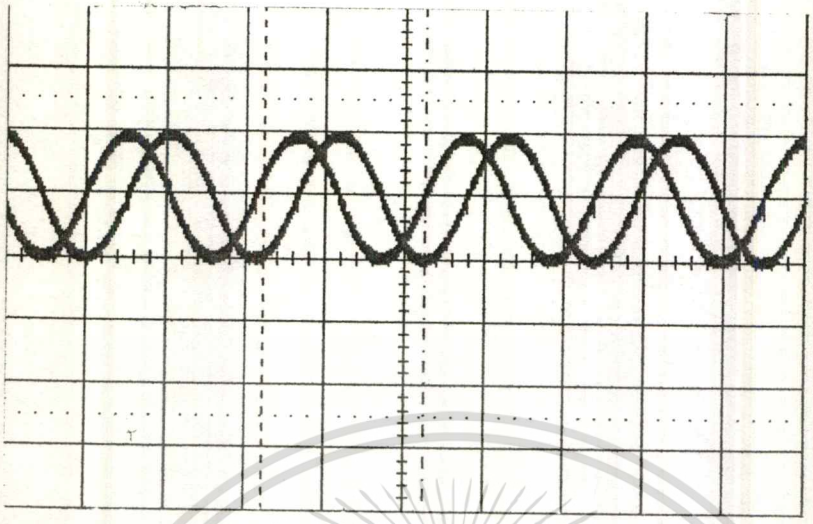
4.1.5 นำสัญญาณ RF ที่มีการมอดดูเลทแบบ AM โดยใช้ความถี่คลื่นพาห์ 2-30 MHz ป้อนเข้าที่จุด RF in ของเครื่อง โดยที่ความแรงของสัญญาณอยู่ที่ประมาณ 200-400 mV



รูปที่ 4-5 รูปสัญญาณ RF แบบ AM ที่ป้อนให้กับเครื่อง

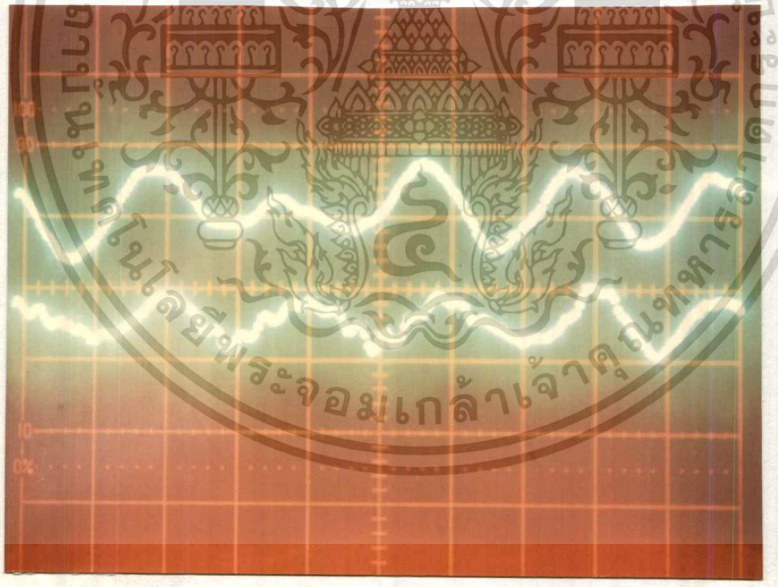
4.1.6 ทำการปรับดิ๊ปสวิทซ์แล้วทำการวัดสัญญาณควบคุม I และ Q ที่เอาท์พุทของวงจรกรองความถี่ของแต่ละสัญญาณควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4-6 สัญญาณควบคุม I และ Q

4.1.7 รูปแสดงการเปลี่ยนแปลงของสัญญาณ เมื่อมีความถี่คอปเปลอร์ 20 Hz



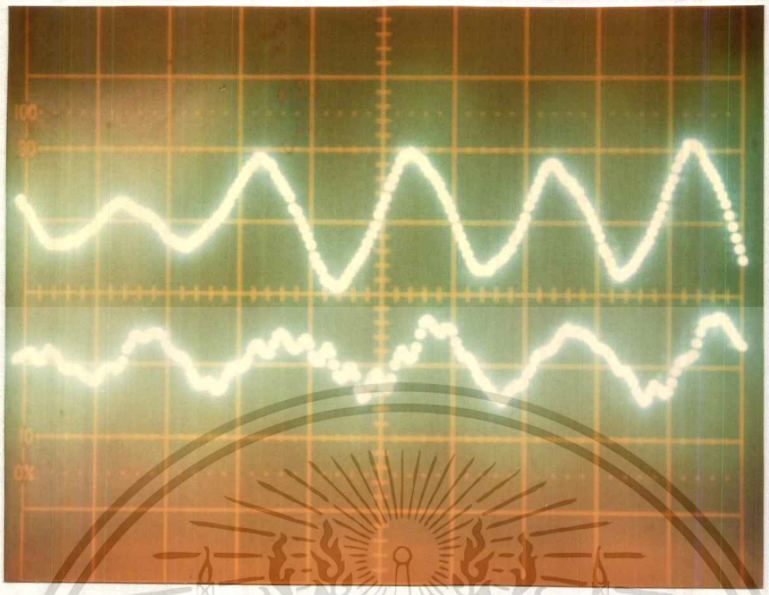
Volt = 200-300 mV Frequency = 2-30 MHz

CH 1 แสดงสัญญาณ Input CH 2 แสดงสัญญาณ Output

รูปที่ 4-7 แสดงสัญญาณที่ความถี่คอปเปลอร์ 20Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.8 รูปแสดงการเปลี่ยนแปลงของสัญญาณ เมื่อมีความถี่คอปเปลอร์ 60 Hz

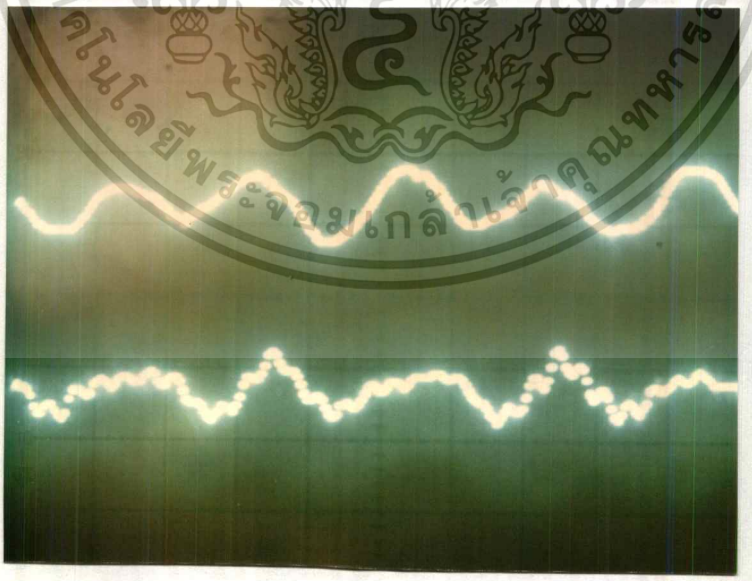


Volt = 200-300 mV Frequency = 2-30 MHz

CH 1 แสดงสัญญาณ Input CH 2 แสดงสัญญาณ Output

รูปที่ 4-8 แสดงสัญญาณที่ความถี่คอปเปลอร์ 60 Hz

4.1.9 รูปแสดงการเปลี่ยนแปลงของสัญญาณ เมื่อมีความถี่คอปเปลอร์ 100 Hz



Volt = 200-300 mV Frequency = 2-30 MHz

CH 1 แสดงสัญญาณ Input CH 2 แสดงสัญญาณ Output

รูปที่ 4-9 แสดงสัญญาณที่ความคอปเปลอร์ 100 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 อุปสรรคในการทำงาน

ในการทดลองจะเกิดอุปสรรคในการทดลองของเครื่องจำลองการจางหายขึ้นหลายประการด้วยกันคือ

1. เนื่องจากบาลานท์มิกเซอร์ที่ภาคมิกเซอร์มีช่วงการตอบสนองความถี่อยู่ในช่วงไม่เกิน 40 MHz จึงเป็นผลทำให้เครื่องจำลองการจางหายมีช่วงการจางหายมีช่วงการตอบสนองความถี่อยู่ในช่วงไม่เกิน 40 MHz
2. ในการสร้างค่าความถี่ดอปเปลอร์สูงสุดสามารถสร้างได้ประมาณ 100 Hz เท่านั้นเนื่องจากความสามารถของไมโครโปรเซสเซอร์
3. วงจรเลื่อนเฟสที่ใช้ในการเลื่อนเฟสของสัญญาณ RF นั้น จะตอบสนองต่อค่าความถี่ใดความถี่หนึ่งเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปการทำงาน,วิจารณ์และข้อเสนอแนะ

5.1) สรุปการทำงาน

5.1.1) ในการทำงานของเครื่องนั้นไมโครโปรเซสเซอร์สามารถเลือกอัตราดอปเปลอร์ที่ความถี่ได้ตั้งแต่ 2-100 Hz ซึ่งได้จากการปรับ ดิ๊ปสวิทซ์ 6 บิทกลาง

5.1.2) สัญญาณ RF ที่เกิดการจางหายแล้วได้เกิดการจางหายขึ้นตลอดเวลาที่เครื่องทำงานอยู่และมีการเปลี่ยนแปลงได้ตามต้องการโดยอยู่ในช่วงอัตราดอปเปลอร์ที่มีอยู่

5.13) ช่วงการตอบสนองความถี่สัญญาณ RF อยู่ในช่วงความถี่ 2 - 40MHz ซึ่งในช่วงนี้เครื่องสามารถทำให้สัญญาณเกิดการจางหายได้เป็นปกติ

5.2) วิจารณ์และข้อเสนอแนะ

จากการทดลองการทำงานของเครื่องนั้นทำให้พบข้อจำกัดหลายด้าน คือ

5.2.1) ในการสร้างสัญญาณควบคุม I และ Q นั้น ทางไมโครโปรเซสเซอร์และตัวโปรแกรมไม่สามารถที่จะสร้างความถี่ให้สูงขึ้นมากกว่า 100 Hzได้ เนื่องมาจากข้อจำกัดจากคุณสมบัติของตัวไมโครโปรเซสเซอร์เองที่ไม่สามารถจะชุ่มค่าในตารางมาด้วยความเร็วที่สูงเพียงพอได้ ดังนั้นวิธีที่จะแก้ไขให้สามารถที่จะสร้างความถี่ให้สูงขึ้นนั้นสามาถทำได้โดยการเปลี่ยนตัวไมโครโปรเซสเซอร์ที่มีความสามารถสูงขึ้น มีความเร็วที่สูงขึ้น ดังเช่น ไมโครคอนโทรเลอร์ในตระกูล 51, ตระกูล 80196 เป็นต้น ซึ่งมีความเร็วในการทำงานที่สูงกว่า

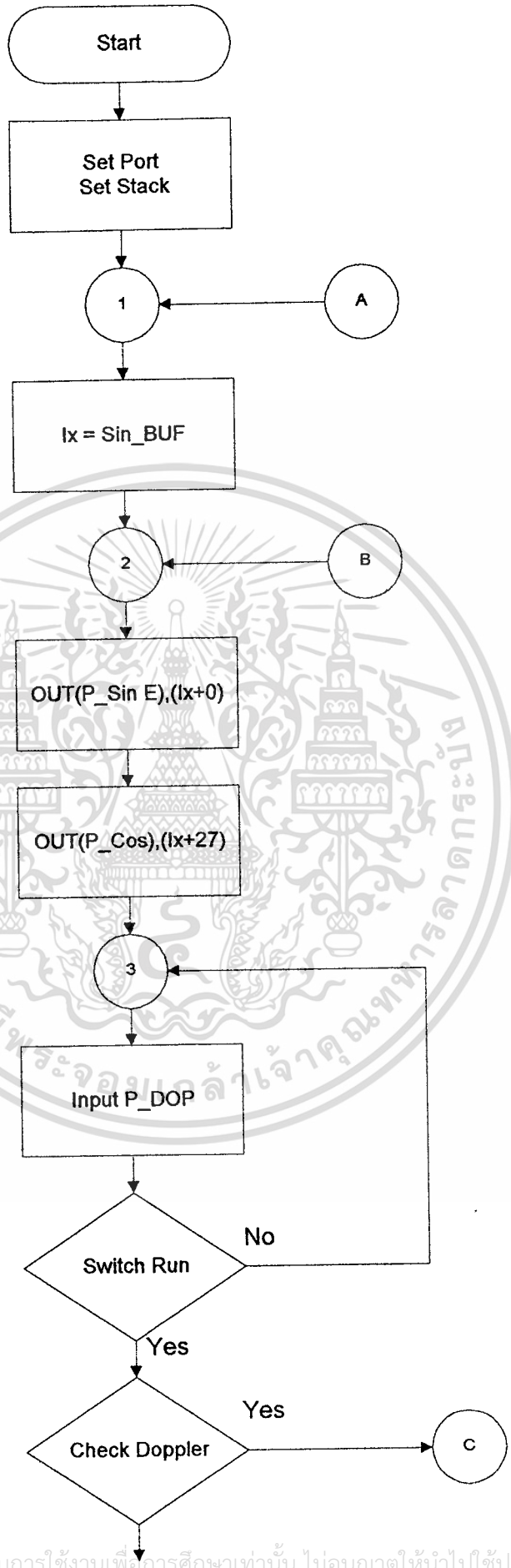
5.2.2) ในการทำงานของเครื่องนี้จะตอบสนองความถี่อยู่ในช่วง 2-10 Mhz ซึ่งไม่ได้อยู่ในช่วงที่สามารถนำไปใช้งานได้ ซึ่งเป็นผลอันเนื่องมาจากคุณสมบัติของ มิกเซอร์ ที่มีช่วงการตอบสนองความถี่ในช่วงความถี่นี้นั่นเอง ดังนั้นถ้าหากว่าต้องการให้เครื่องจำลองการจางหายนี้สามารถที่จะทำงานได้ที่ความถี่สูงกว่านี้จะต้องทำการเปลี่ยนมิกเซอร์ให้มีช่วงการตอบสนองความถี่ที่สูงกว่านี้ดังเช่น

5.2.3) ในวงจรเลื่อนเฟสนั้น ในที่นี้จะเป็นตอบสนองความถี่ที่ความถี่เดียวเท่านั้นซึ่งไม่มีความยืดหยุ่น ดังนั้นถ้าต้องการความยืดหยุ่นในการทำงานจะต้องทำวงจรเลื่อนเฟสที่มีการตอบสนองความถี่ในช่วงแบนด์วิดท์กว้าง

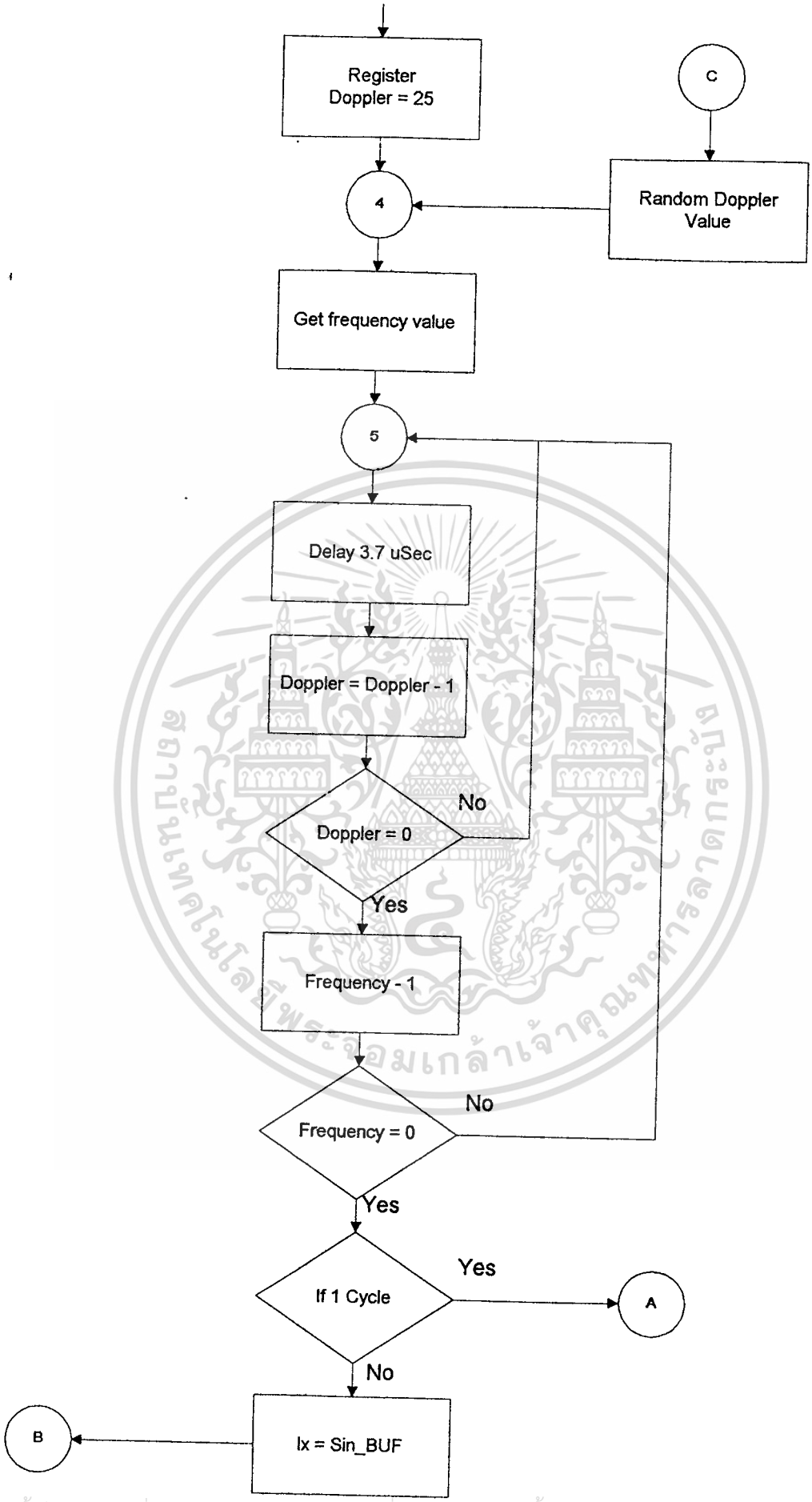
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

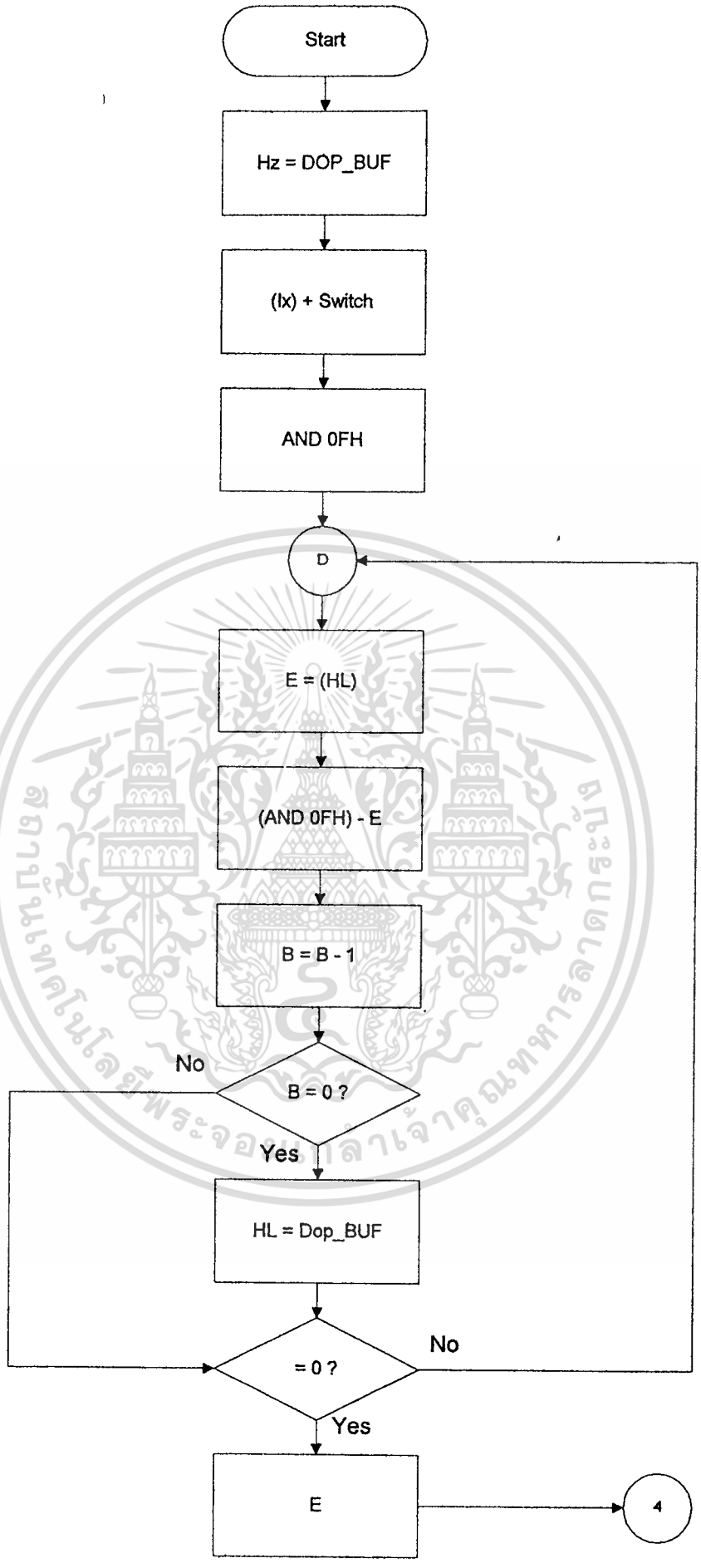
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
          CPU "Z80.TBL"
          HOF "INT8"

ORIGIN:   EQU  0000H
STACK:    EQU  8FFFH

P_SINE:   EQU  10H
P_COS:    EQU  11H
P_DOP:    EQU  12H
INT_P:    EQU  13H

          ORG  ORIGIN
          ;********************
          ;* GENERATOR SINE   *
          ;********************
          ; D KEEP FREQ
          ; E KEEP DOP
          ;
          LD   A,89H
          OUT  (INT_P),A            ;INITIAL  PORT
          LD    SP,STACK             ;Set Stack

SINE:     LD   IX,SINE_BUF

          LD    C,2             ;for  create sine 1 cycle
SINE1:    LD    B,54
SINE2:    LD    A,(IX+0)
          OUT   (P_SINE),A
          LD    A,(IX+27)
          OUT   (P_COS),A

          CALL CHK_KEY          ;CHECK KEY AND DELAY

          INC   IX
          DJNZ   SINE2
          DEC   C
          JR    NZ,SINE1        ;delete for open tabel 256 value
          JR    SINE

;*************CHECK KEY****************
          ;
          ; D KEEP FREQ
          ; E KEEP DOP
          ;
CHK_KEY:  ;
          PUSH BC
          PUSH HL
CHK_KEY1: IN    A,(P_DOP)
          BIT   0,A
          JR   Z,CHK_KEY1          ;***

          LD    B,A                  ;BACKUP DATA
          SRL   A
          AND   7FH
          LD    D,A                  ;KEEP FREQUENCY
          LD    A,B
          BIT   7,A
          JR    NZ,DOP               ;***
```

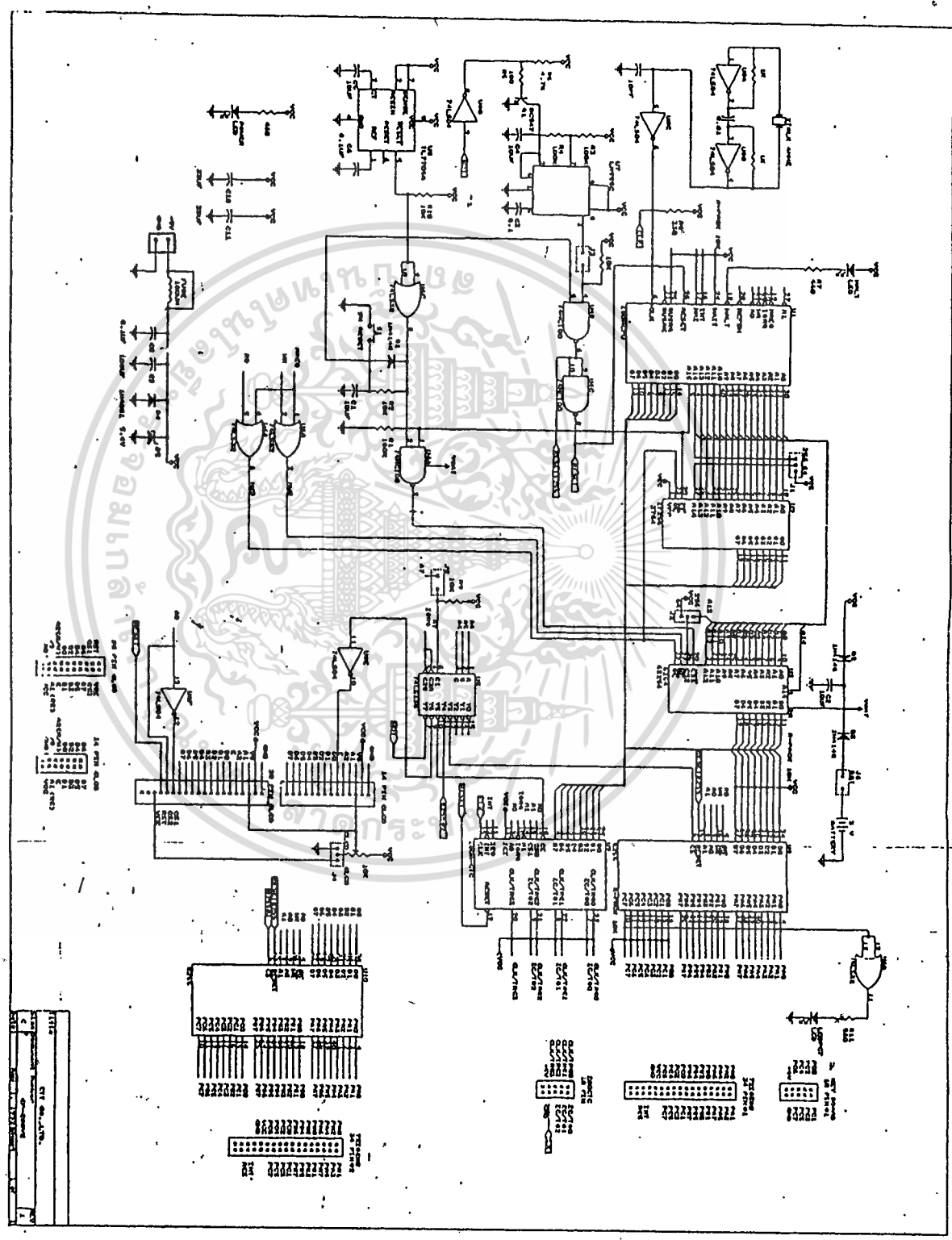
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

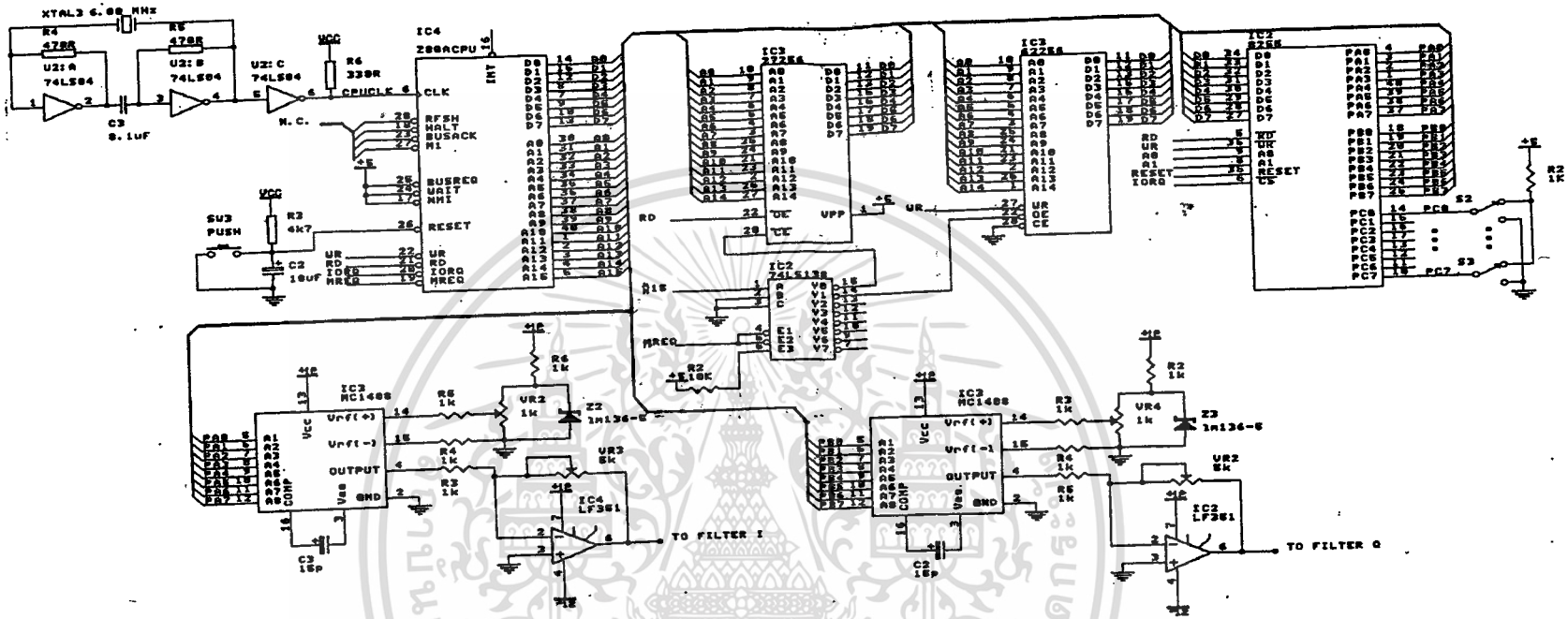
```
          LD    E,25                ;100 % OF FREQ
          JR    DELAY

DOP:      ;
                                    ;DEFIND RANDOM
          LD    A,(HL)
          ADD   A,D
          AND   0FH
          LD    B,A
          LD    HL,DOP_BUF
          LD    C,9
DOP1:     LD    E,(HL)
          INC   HL
          DEC   C
          JR    NZ,DOP2
          LD    HL,DOP_BUF
DOP2:     DJNZ  DOP1

          ;
;*****************DELAY*********************
          ;
          ;USE I/P REG D = FREQ
          ;             E = DOP
          ;DELAY ABOUNT 3.93 mS IF D=63 ,E=25(100)

DELAY:    ;
          LD    A,64
          SUB   D
          LD    D,A
DELAY1:   LD    B,E
DELAY2:   DJNZ  DELAY2
          DEC   D
          JR    NZ,DELAY1

          POP   HL
          POP   BC
          RET
          ;

;              ORG 3000H
;*****************BUFFER*********************

 DOP_BUF:  DFB 25,2,7,11,15,18,21,23,24


          ; SINE 0 - PI
          ;
SINE_BUF: DFB 134,142,149,156,163,170,177
          DFB 184,191,197,203,209,214,219,224,229,233
          DFB 237,240,244,246,249,251,252,253,254,254
          ;
          ;
          DFB 254,254,253,252,251,249,246,244,240,237
          DFB 233,229,224,219,214,209,203,197,191,184
          DFB 177,170,163,156,149,142,134
          ;
          ;end half cycle


          ;   SINE PI - 2 PI
```

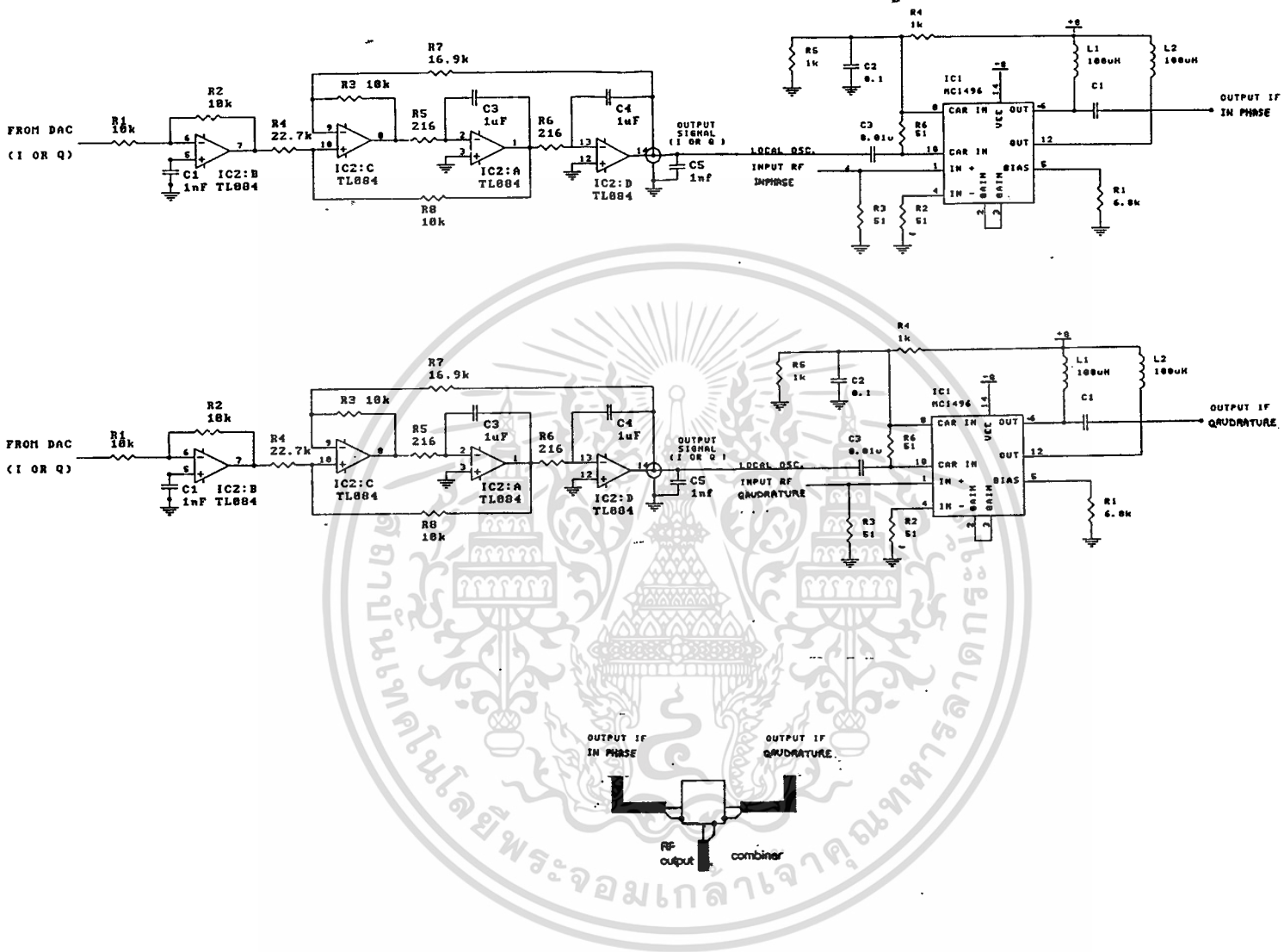
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;
DFB 120,112,105,98,91,84,77
DFB 70,64,57,51,45,39,35,30,25,21
DFB 17,14,10,8,5,3,2,1,0,0
;
;
DFB 0,0,1,2,3,5,8,10,14,17
DFB 21,25,30,35,39,45,51,57,64,70
DFB 77,84,91,98,105,112,120
;
; END 2 PI

DFB 134,142,149,156,163,170,177
DFB 184,191,197,203,209,214,219,224,229,233
DFB 237,240,244,246,249,251,252,253,254,254

;
END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



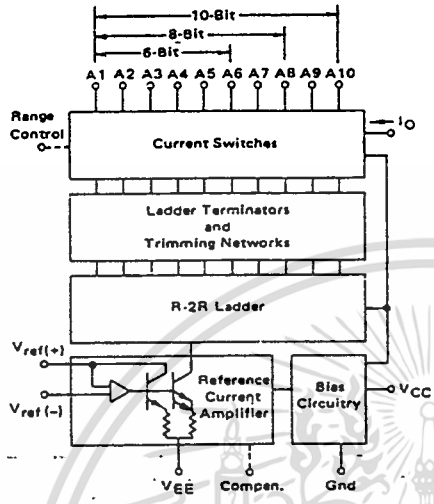

XTAL2 6.00 MHz
R4 470R
R5 470R
U2:A 74LS04
U2:B 74LS04
U2:C 74LS04
C3 0.1uF
VCC
R6 330R
IC4 Z80ACPU
CPUCLK
CLK
INT
N.C.
RFSH
HALT
BUSACK
M1
BUSREQ
WAIT
NMI
RESET
SW3 PUSH
R3 4k7
C2 10uF
RD
WR
IORQ
MREQ
IC3 27256
IC3 27256
IC2 8255
R2 1K
S2
S3
PC0
PC7
A15
IC2 74LS138
R2 18K
IC7 MC1488
R6 1K
VR2 1K
Z2 1N4736-6
R4 1K
R3 1K
VR3 5K
IC4 LF351
C3 15p
TO FILTER I
IC8 MC1488
R2 1K
VR4 1K
Z3 1N4736-6
R4 1K
R5 1K
VR2 5K
IC3 LF351
C2 15p
TO FILTER Q


FROM DAC
(I OR Q)
R1 10k
R2 10k
R3 10k
R4 22.7k
R5 216
R6 216
R7 16.9k
R8 10k
C1 1nF
C2 0.1
C3 1uF
C4 1uF
C5 1nf
IC2:B TL084
IC2:C TL084
IC2:A TL084
IC2:D TL084
OUTPUT SIGNAL (I OR Q)
LOCAL OSC.
INPUT RF
INPHASE
QAUDRATURE
IC1 MC1496
CAR IN
IN +
IN -
OUT
VEE
BIAS
GAIN
R1 6.8k
R2 51
R3 51
R4 1k
R5 1k
R6 51
C3 0.01u
L1 100uH
L2 100uH
C1
OUTPUT IF IN PHASE
OUTPUT IF QAUDRATURE
RF output
combiner

PRECISION CIRCUITS — DATA CONVERSION

Low-cost building blocks for construction of D-A/A-D systems. Involves use of advanced technologies such as ion implantation, laser trimming and CMOS processing where necessary to achieve the required functional capability, operating accuracy and production repeatability.

D-A Converters — General Purpose



– – – Dotted terminals available on 6- and 8-bit units only.

Multiplying D-A converters designed to supply an output current that is a linear product of an analog input reference voltage and a digital input word. Devices for 6-, 8- and 10-bit digital word inputs are available.

Device Number	Error % Max	P_D @ V_{EE} = -5 V mW Max	$t_{Settling}$ ns Typ	I_O @ V_{Ref} = 2 V mA	Suffix	Case
6-Bit						
MC1506*	±0.78	120	150	1.9 to 2.1	L	632
MC1406						
8-Bit						
MC1508L8*	±0.19	170	300	1.9 to 2.1	L	620
MC1408L8					L, P	620, 648
MC1408L7	±0.39					
MC1408L6	±0.78					
MC3408	±0.5				L	620
10-Bit						
MC3510*	±0.05	220	250	3.8 to 4.2	L	690
MC3410					L, P	690, 648
MC3410C	±0.1					

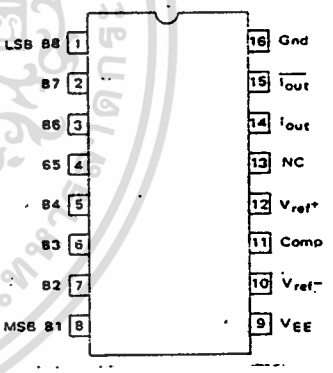
*T_A = -55 to 125°C, Devices without asterisk: T_A = 0 to 70°C.

D-A Converters — High Speed

MC10318 — A high speed 8-bit D/A converter capable of data conversion rates in excess of 25 MHz. It is intended for applications in high speed instrumentation and communication equipment, display processing, storage oscilloscopes, radar processing, and TV broadcast systems. The inputs are compatible with MECL 10,000 series logic, while the complementary current outputs have 51 mA full scale capability. 8-bit accurate (± 1/2 LSB) and monotonic over the full temperature range, the outputs typically settle in less than 15 ns.

T_A = 0 to 70°C

Packages:
L Suffix — Case 620/690



Device Number	Error % Max	P_D @ V_{EE} = -5.2 V mW Max	$t_{Settling}$ ns Typ	I_O & $\overline{I_O}$ @ V_{Ref} = 10.56 V mA Typ
MC10318L	±0.19	675	15	51
MC10318L9	±0.10	675	16	51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Device	Temperature Range	Package
MC1496G	0°C to +70°C	Metal Can
MC1496L	0°C to +70°C	Ceramic DIP
MC1496P	0°C to +70°C	Plastic DIP
MC1596G	−55°C to +125°C	Metal Can
MC1596L	−55°C to +125°C	Ceramic DIP

MC1496
MC1596

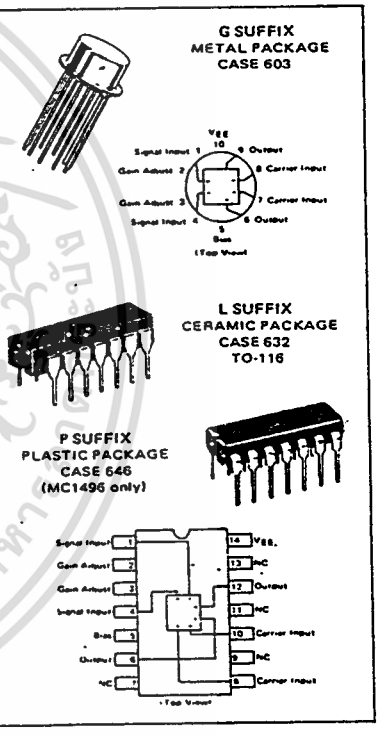
BALANCED MODULATOR – DEMODULATOR

. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression – 65 dB typ @ 0.5 MHz
  – 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common-Mode Rejection – 85 dB typ

BALANCED MODULATOR – DEMODULATOR

SILICON MONOLITHIC INTEGRATED CIRCUIT



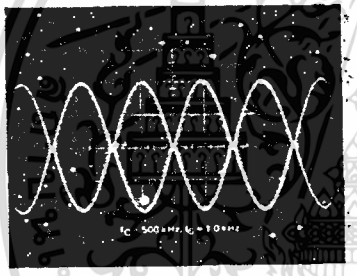


FIGURE 1 – SUPPRESSED-CARRIER OUTPUT WAVEFORM

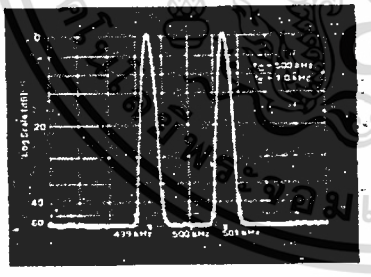


FIGURE 2 – SUPPRESSED-CARRIER SPECTRUM

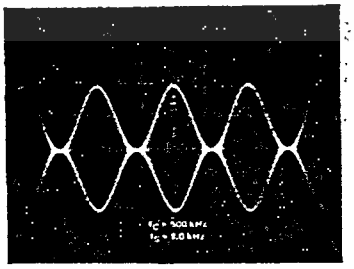
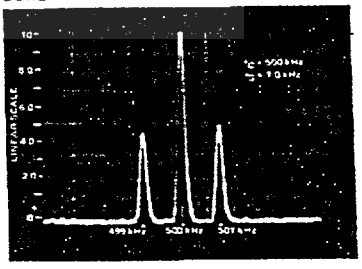


FIGURE 3 – AMPLITUDE-MODULATION OUTPUT WAVEFORM

FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_6 - V_7$, $V_8 - V_1$, $V_9 - V_7$, $V_9 - V_8$, $V_7 - V_4$, $V_7 - V_1$, $V_8 - V_4$, $V_6 - V_8$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_7 - V_8$ $V_4 - V_1$	+5.0 $\pm(5+I_5R_e)$	Vdc
Maximum Bias Current	I_5	10	mA
Power Dissipation (Package Limitation) Ceramic Dual-In-Line Package Derate above T_A = +25°C Metal Package Derate above T_A = +25°C	P_D	 575 3.85 680 4.6	 mW mW/°C mW mW/°C
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 -55 to +125	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = -8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C unless otherwise noted) (All input and output characteristics are single-ended unless otherwise noted.)

Characteristic	Fig	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough	5	1	V_{CFT}							μV(rms)
V_C = 60 mV(rms) sine wave and offset adjusted to zero; f_C = 1.0 kHz				–	40	–	–	40	–	
f_C = 10 MHz				–	140	–	–	140	–	mV(rms)
V_C = 300 mVp-p square wave: offset adjusted to zero; f_C = 1.0 kHz				–	0.04	0.2	–	0.04	0.4	
offset not adjusted; f_C = 1.0 kHz				–	20	100	–	20	200	
Carrier Suppression	5	2	V_{CS}							dB
f_S = 10 kHz, 300 mV(rms)										
f_C = 500 kHz, 60 mV(rms) sine wave				50	65	–	40	65	–	
f_C = 10 MHz, 60 mV(rms) sine wave				–	50	–	–	50	–	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms)	8	8	BW_{3dB}							MHz
Carrier Input Port, V_C = 60 mV(rms) sine wave										
f_S = 1.0 kHz, 300 mV(rms) sine wave				–	300	–	–	300	–	
Signal Input Port, V_S = 300 mV(rms) sine wave										
$\lvert V_C \rvert$ = 0.5 Vdc				–	80	–	–	80	–	
Signal Gain	10	3	A_{VS}	2.5	3.5	–	2.5	3.5	–	V/V
V_S = 100 mV(rms), f = 1.0 kHz; $\lvert V_C \rvert$ = 0.5 Vdc										
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz	6	–								
Parallel Input Resistance			r_{ip}	–	200	–	–	200	–	kΩ
Parallel Input Capacitance			c_{ip}	–	2.0	–	–	2.0	–	pF
Single-Ended Output Impedance, f = 10 MHz	6	–								
Parallel Output Resistance			r_{op}	–	40	–	–	40	–	kΩ
Parallel Output Capacitance			c_{op}	–	5.0	–	–	5.0	–	pF
Input Bias Current $I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$	7	–								μA
			I_{bS}	–	12	25	–	12	30	
			I_{bC}	–	12	25	–	12	30	
Input Offset Current $I_{ioS} = I_1 - I_4$; $I_{ioC} = I_7 - I_8$	7	–								μA
			$\lvert I_{ioS} \rvert$	–	0.7	5.0	–	0.7	7.0	
			$\lvert I_{ioC} \rvert$	–	0.7	5.0	–	0.7	7.0	
Average Temperature Coefficient of Input Offset Current (T_A = -55°C to +125°C)	7	–	$\lvert TC_{Iio} \rvert$	–	2.0	–	–	2.0	–	nA/°C
Output Offset Current ($I_6 - I_9$)	7	–	$\lvert I_{oo} \rvert$	–	14	50	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = -55°C to +125°C)	7	–	$\lvert TC_{Ioo} \rvert$	–	90	–	–	90	–	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	–	5.0	–	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\lvert V_C \rvert$ = 0.5 Vdc	9	–	ACM	–	-85	–	–	-85	–	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_o	–	8.0	–	–	8.0	–	Vdc
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	–	8.0	–	Vp-p
Power Supply Current	7	6								mAdc
$I_6 + I_9$			I_{CC}	–	2.0	3.0	–	2.0	4.0	
I_{10}			I_{EE}	–	3.0	4.0	–	3.0	5.0	
DC Power Dissipation	7	5	P_D	–	33	–	–	33	–	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION*

Note 1 — Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Note 2 — Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus, carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Note 3 and Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Note 3 — Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e \approx \frac{26\text{ mV}}{I_5\text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Note 4 — Common-Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen (see Note 6).

Note 5 — Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_9 = V_6$, $I_5 = I_6 = I_9$ and ignoring base current, $P_D = 2\,I_5\,(V_6 - V_{10}) + I_5\,(V_5 - V_{10})$ where subscripts refer to pin numbers.

Note 6 — Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions. See Note 3 for R_e equation.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_9$$

$$I_8 \ll I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V^- - \phi}{I_5} - 500\ \Omega \quad \text{where: } R_5 \text{ is the resistor between pin 5 and ground}$$

ϕ = 0.75 V at T_A = +25°C

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Note 7 — Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors, while not exceeding the voltages given in the absolute maximum rating table:

$$30\text{ Vdc} \geq [(V_6, V_9) - (V_7, V_8)] \geq 2\text{ Vdc}$$

$$30\text{ Vdc} \geq [(V_7, V_8) - (V_1, V_4)] \geq 2.7\text{ Vdc}$$

$$30\text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7\text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_9, \quad V_7 = V_8, \quad V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Note 8 — Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21C} = \left.\frac{i_o\text{ (each sideband)}}{v_s\text{ (signal)}}\right| V_o = 0$$

Signal transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21S} = \left.\frac{i_o\text{ (signal)}}{v_s\text{ (signal)}}\right| V_C = 0.5\text{ Vdc}, V_o = 0$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note 9 — Coupling and Bypass Capacitors C_1 and C_2

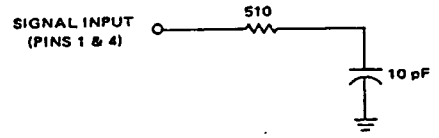
Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Note 10 — Output Signal, V_o

The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Note 11 — Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 k-ohm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 — CARRIER REJECTION AND SUPPRESSION

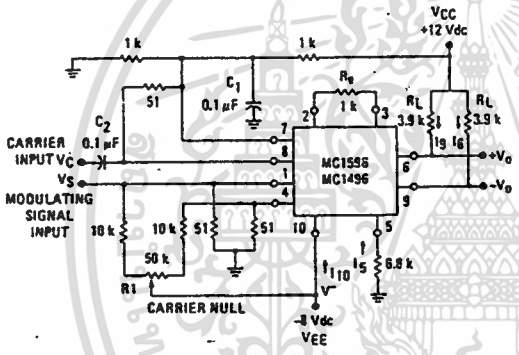


FIGURE 6 — INPUT-OUTPUT IMPEDANCE

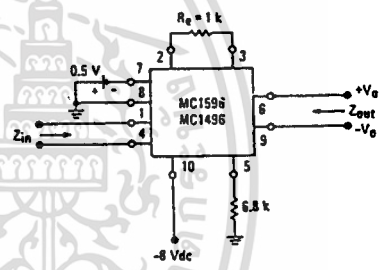


FIGURE 7 — BIAS AND OFFSET CURRENTS

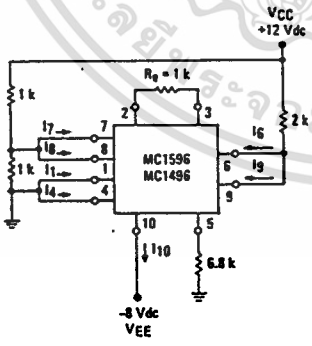
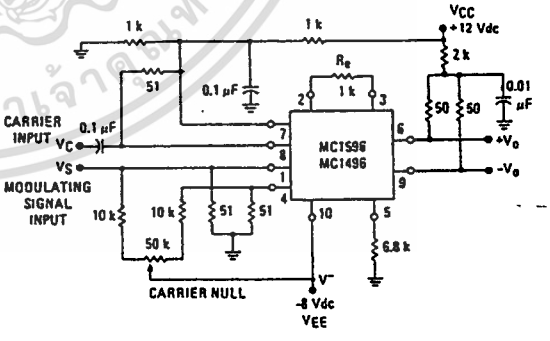


FIGURE 8 — TRANSCONDUCTANCE BANDWIDTH



Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON-MODE GAIN

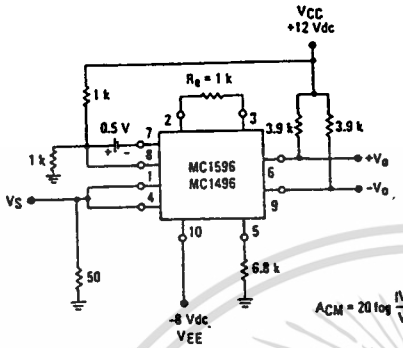
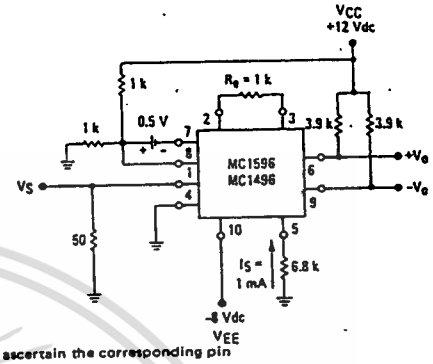


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

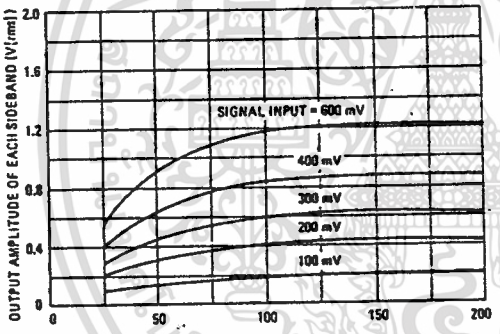


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

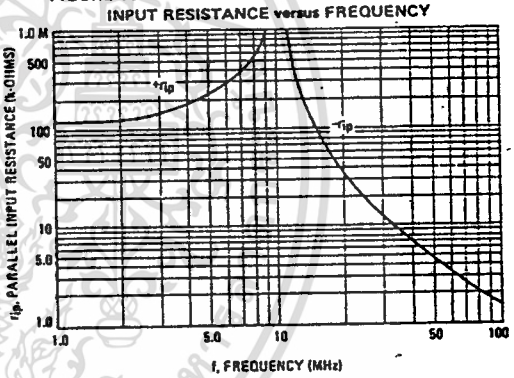


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

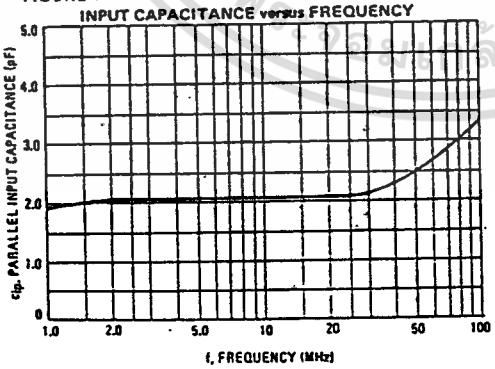
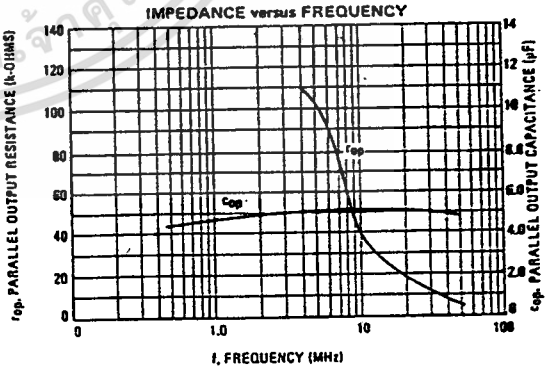


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

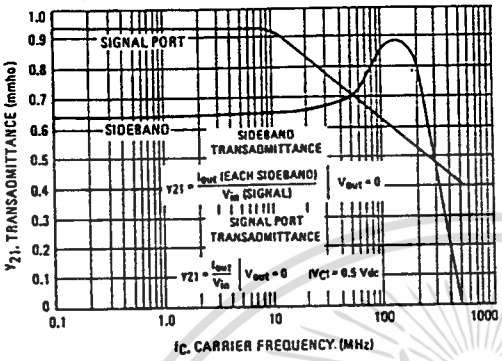


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

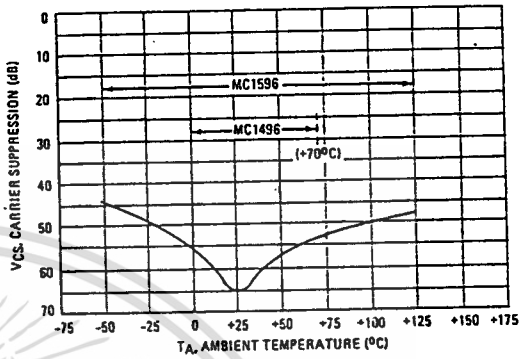


FIGURE 17 – SIGNAL-PORT FREQUENCY RESPONSE

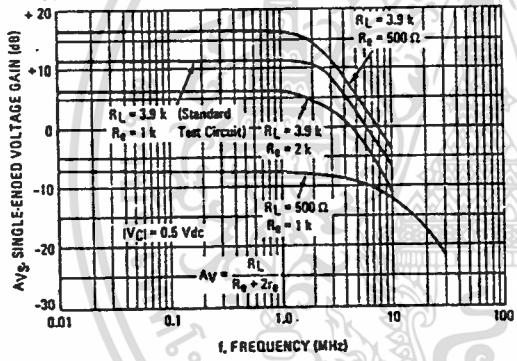


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

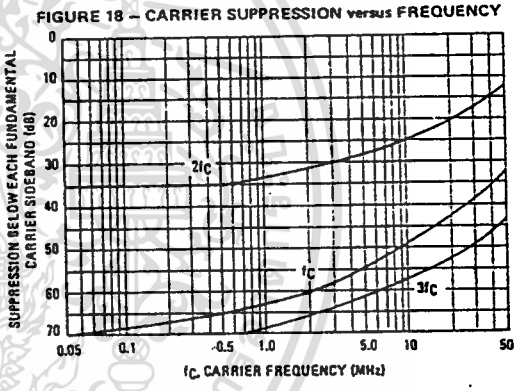


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

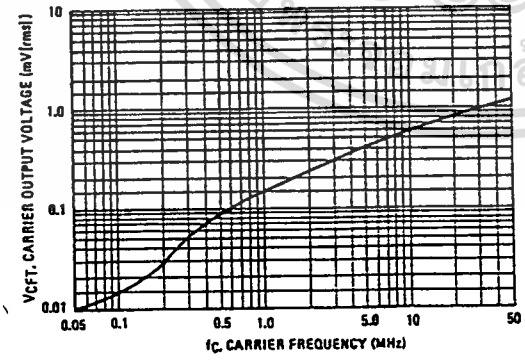
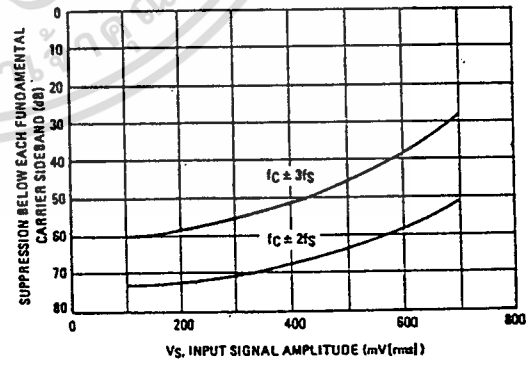


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

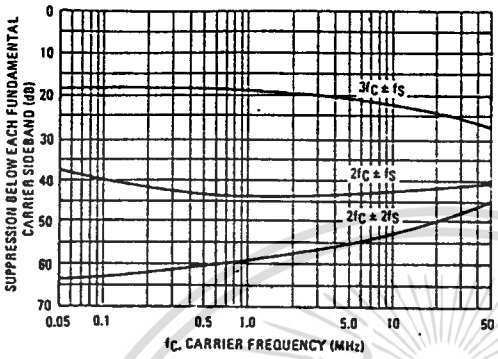
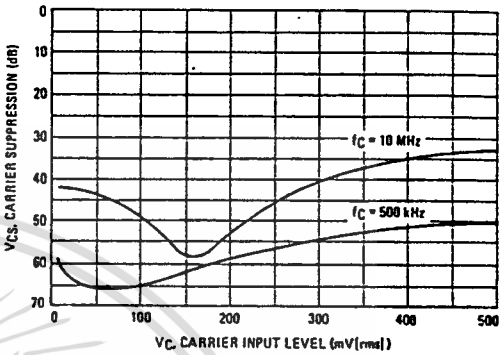


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

FIGURE 23 – CIRCUIT SCHEMATIC

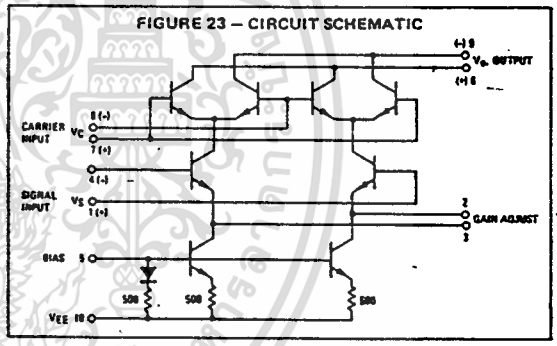
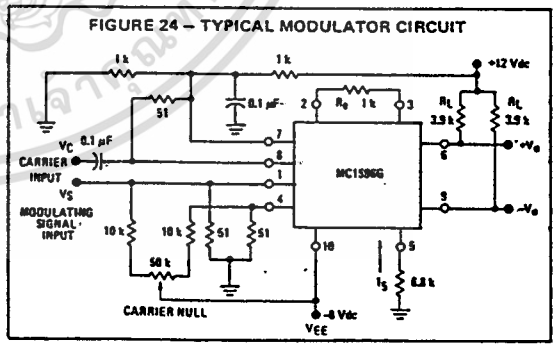


FIGURE 24 – TYPICAL MODULATOR CIRCUIT



Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_{C(rms)}}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M$, $3f_C \pm f_M$, $5f_C \pm f_M$, . . .

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C;
$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 7 and 8 should be increased to 1.0 μF. Also, the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL APPLICATIONS

FIGURE 26 – BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

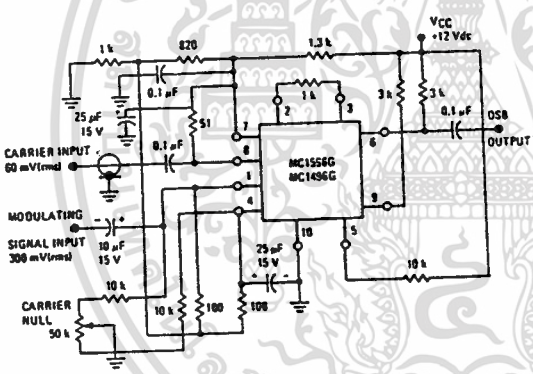


FIGURE 27 – BALANCED MODULATOR-DEMODULATOR

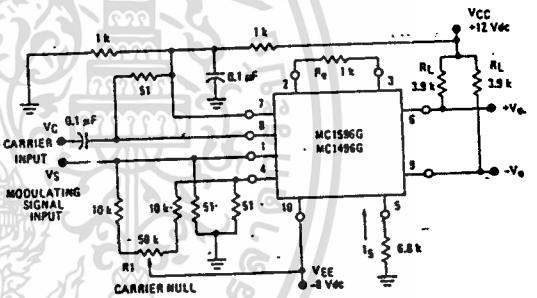


FIGURE 28 – AM MODULATOR CIRCUIT

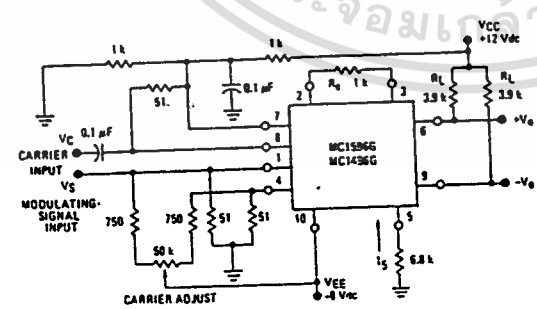
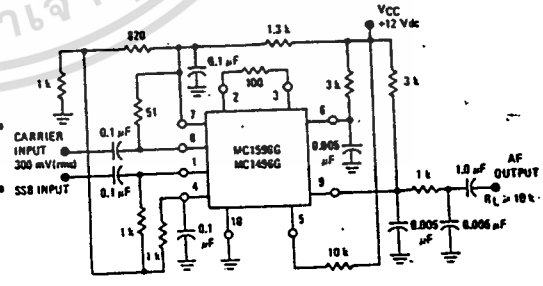


FIGURE 29 – PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS (continued)

FIGURE 30 – DOUBLY BALANCED MIXER
(BROADBAND INPUTS, 9.0 MHz TUNED OUTPUT)

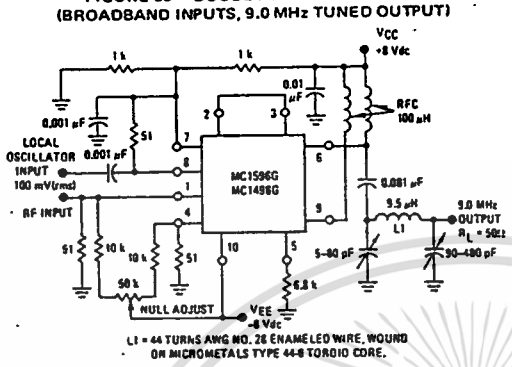


FIGURE 31 – LOW-FREQUENCY DOUBLER

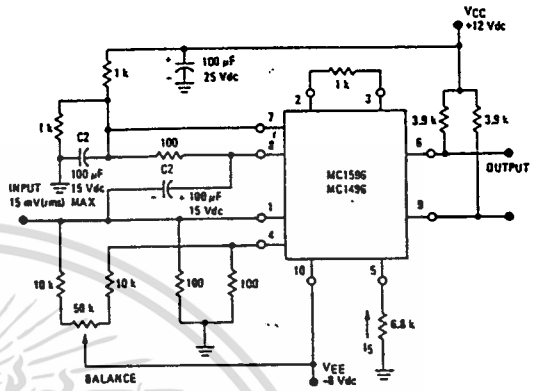
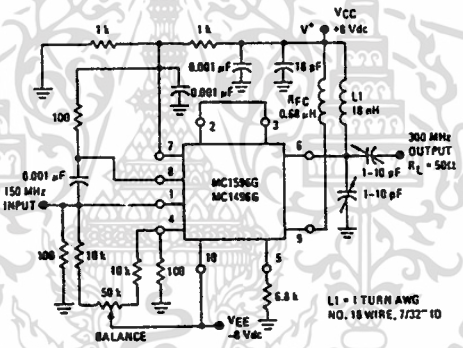
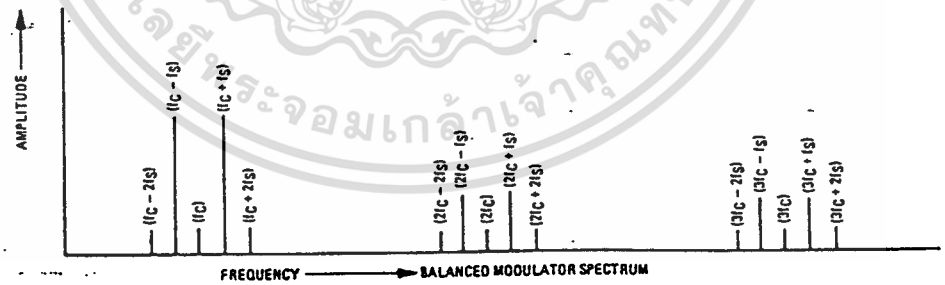


FIGURE 32 – 150 to 300 MHz DOUBLER



DEFINITIONS



f_C	CARRIER FUNDAMENTAL
f_S	MODULATING SIGNAL
$f_C \pm f_S$	FUNDAMENTAL CARRIER SIDEBANDS
$f_C \pm nf_S$	FUNDAMENTAL CARRIER SIDEBAND HARMONICS
nf_C	CARRIER HARMONICS
$nf_C \pm nf_S$	CARRIER HARMONIC SIDEBANDS

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

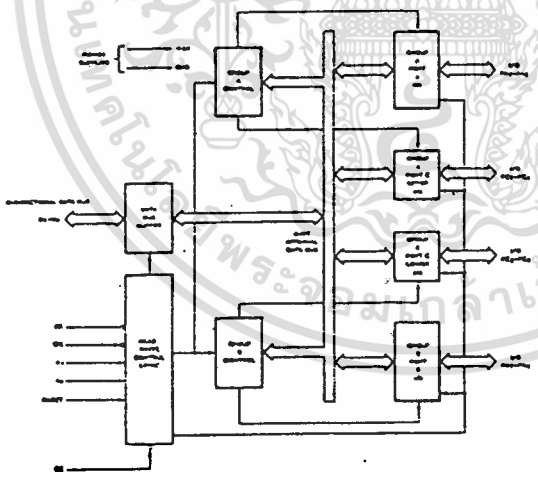


Figure 1. 8255A Block Diagram

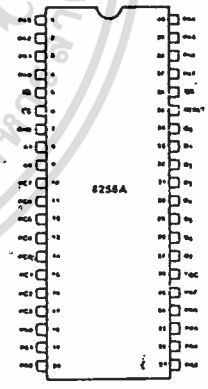


Figure 2. Pin Configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select. A "low" on this input pin enables the communiction between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A – DATA BUS
0	1	0	1	0	PORT B – DATA BUS
1	0	0	1	0	PORT C – DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS – PORT A
0	1	1	0	0	DATA BUS – PORT B
1	0	1	0	0	DATA BUS – PORT C
1	1	1	0	0	DATA BUS – CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS – 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS – 3-STATE

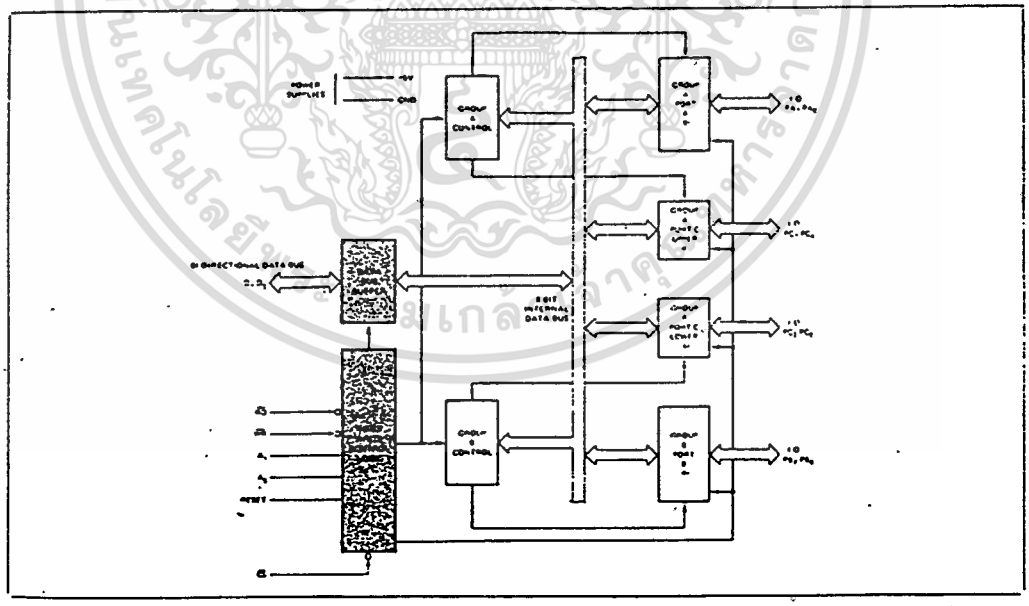


Figure 3. 8255A Block Diagram Showing Date Bus Buffer and Read/Write Control Logic Functions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

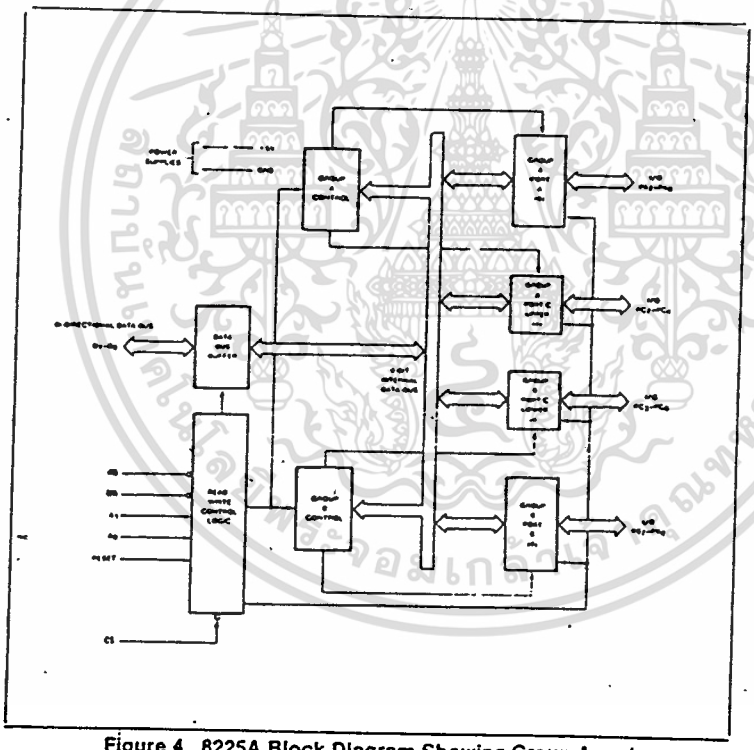
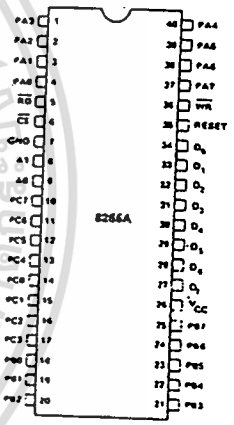


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

D_0-D_7	DATA BUS (BI DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7 PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic Input/Output
Mode 1 — Strobed Input/Output
Mode 2 — Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

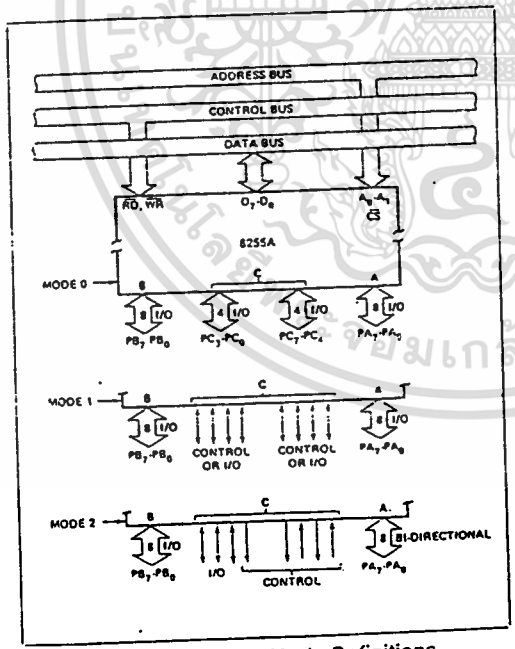


Figure 5. Basic Mode Definitions and Bus Interface

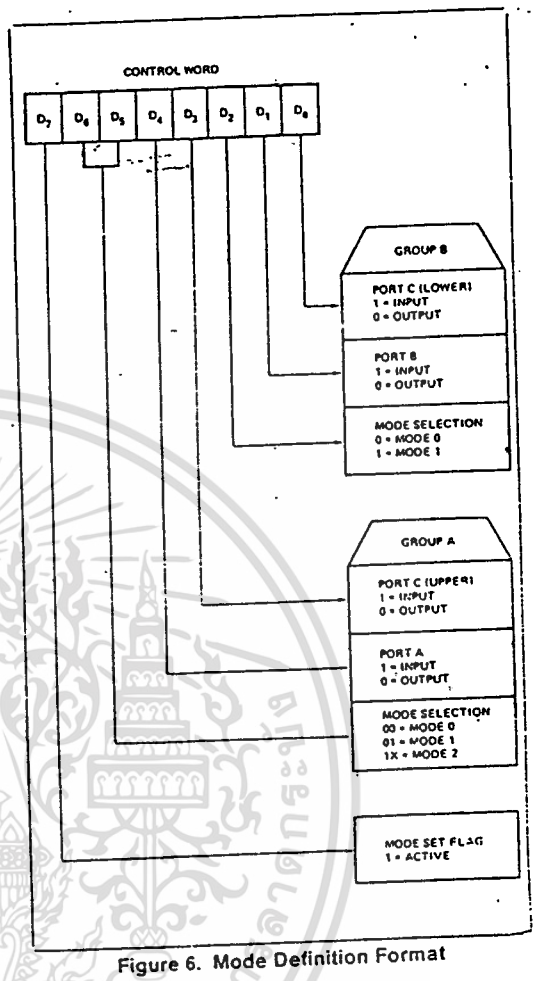


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

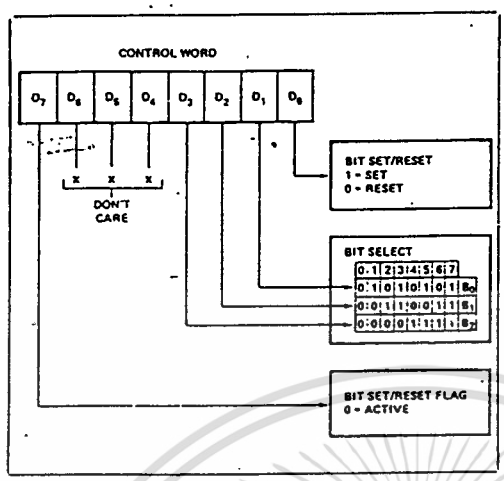


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) — INTE is SET — Interrupt enable
(BIT-RESET) — INTE is RESET — Interrupt disable

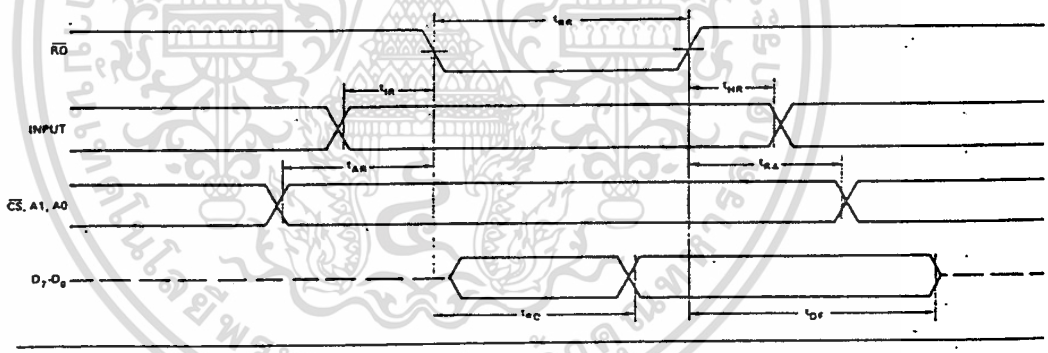
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

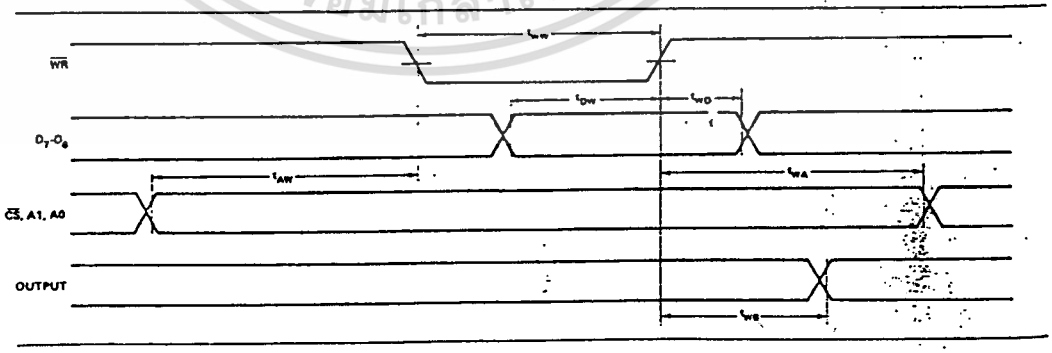
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



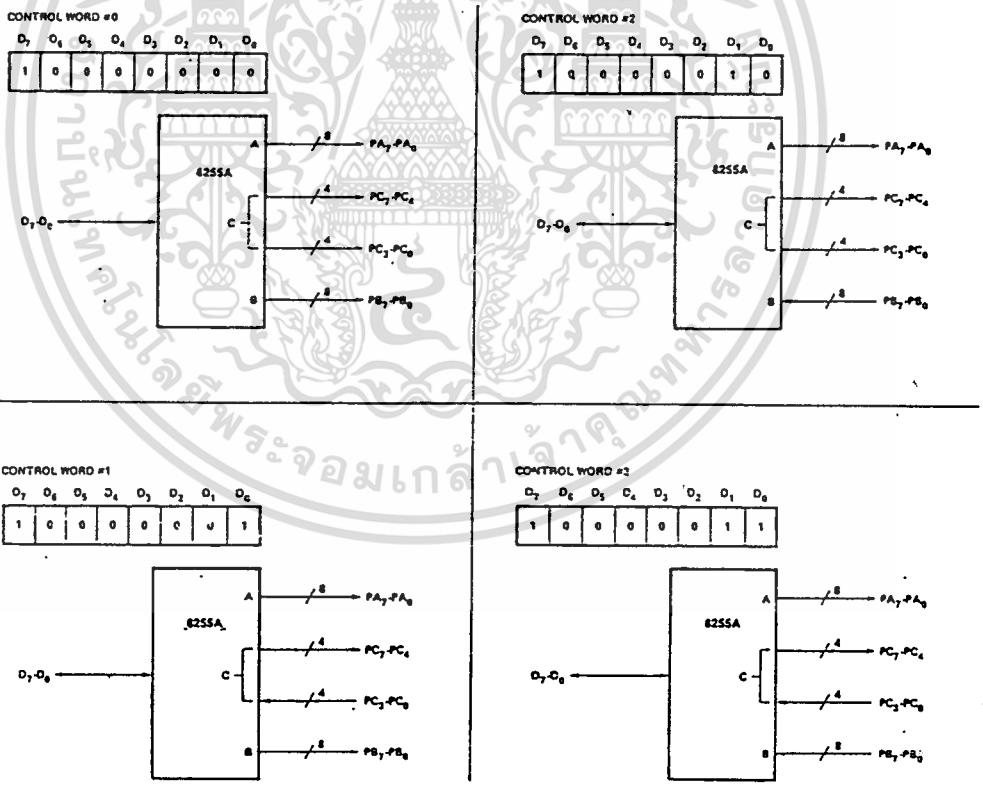
MODE 0 (Basic Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Port Definition

A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

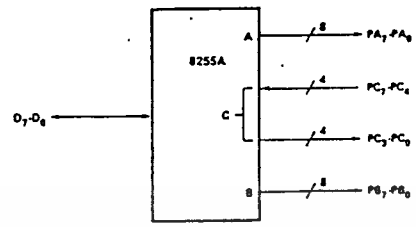
MODE 0 Configurations



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

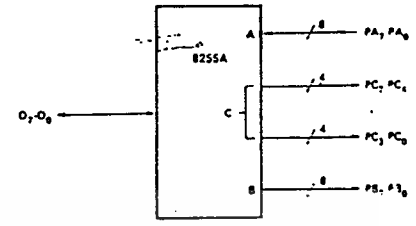
CONTROL WORD #4

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	0



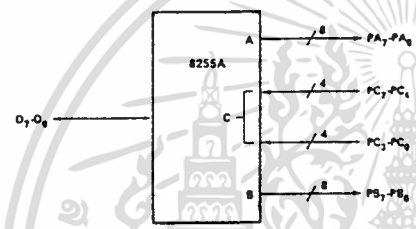
CONTROL WORD #8

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	0



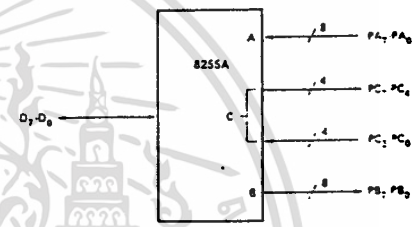
CONTROL WORD #5

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	1



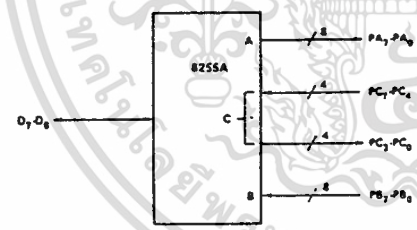
CONTROL WORD #9

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	1



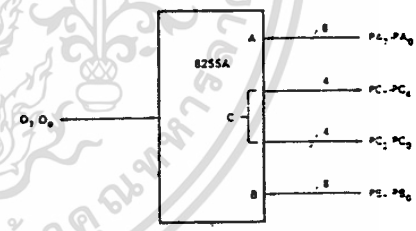
CONTROL WORD #6

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	0



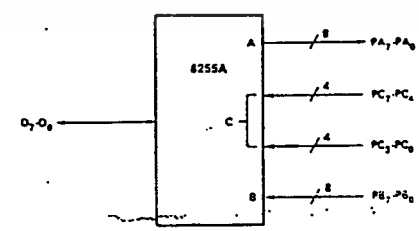
CONTROL WORD #10

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	0



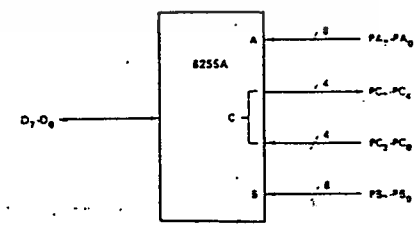
CONTROL WORD #7

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	1

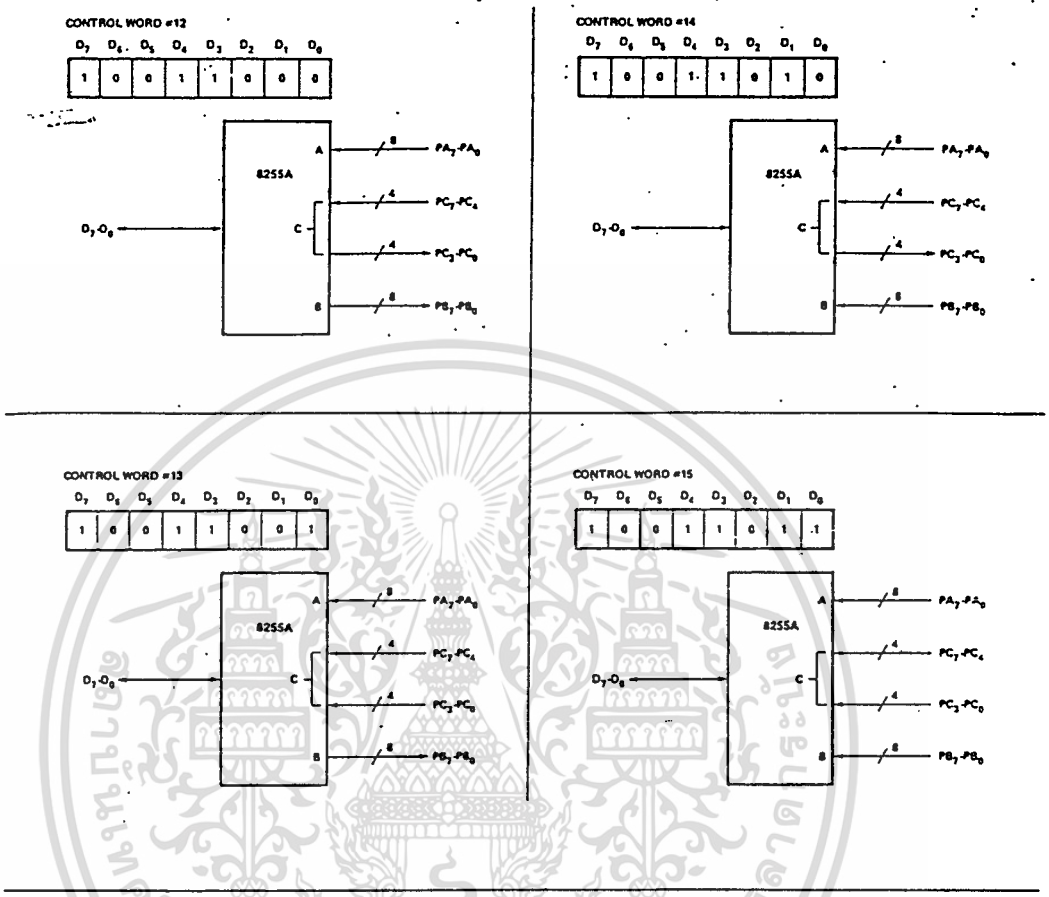


CONTROL WORD #11

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

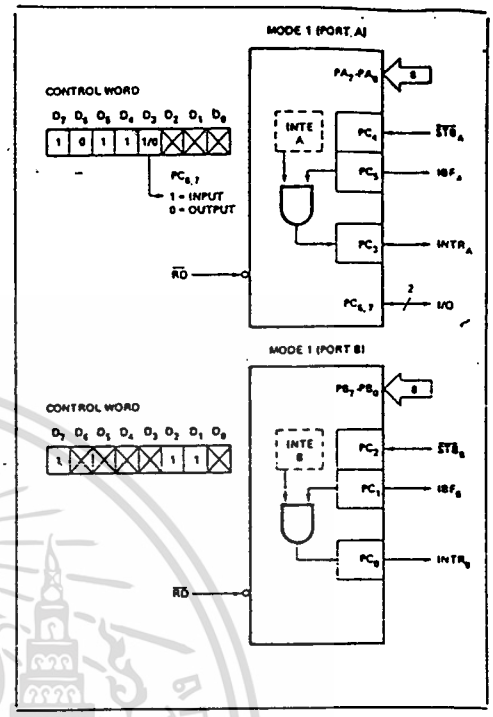


Figure 8. MODE 1 Input

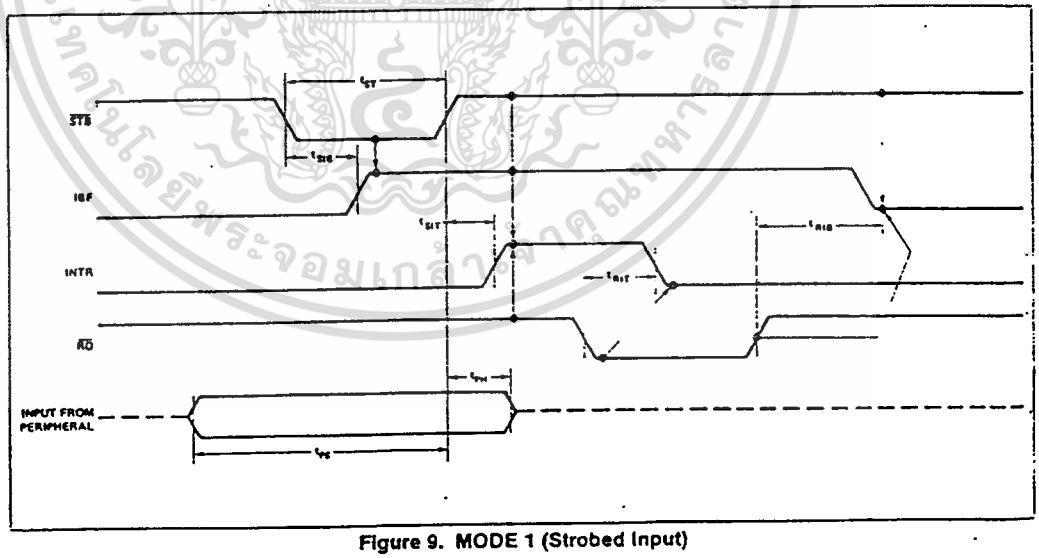


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has recieved the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

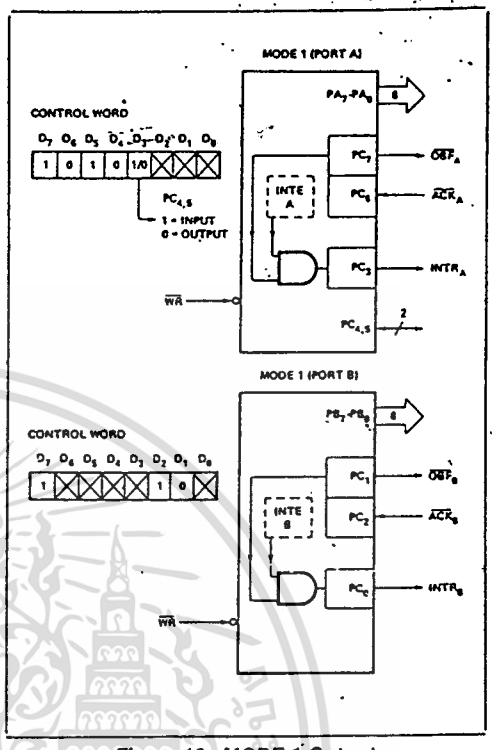


Figure 10. MODE 1 Output

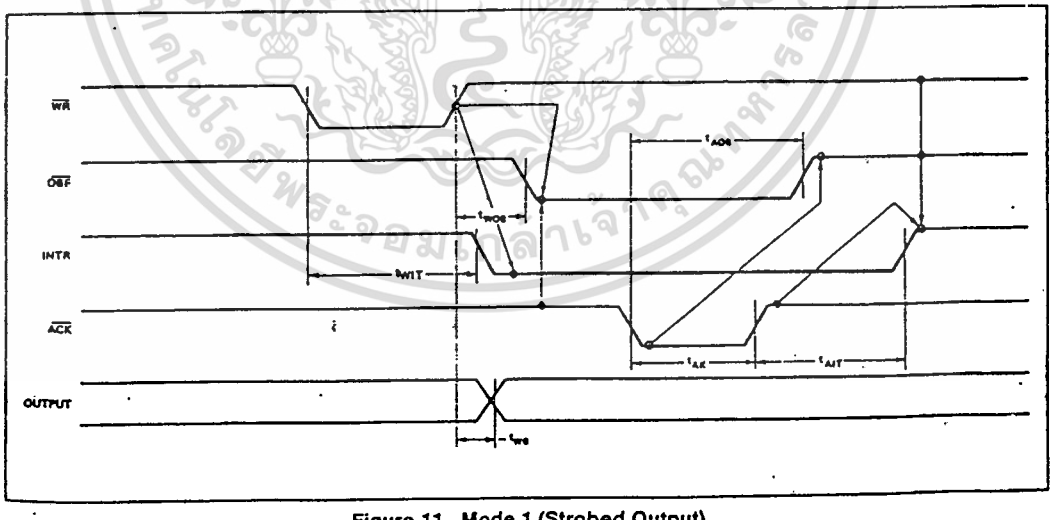


Figure 11. Mode 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

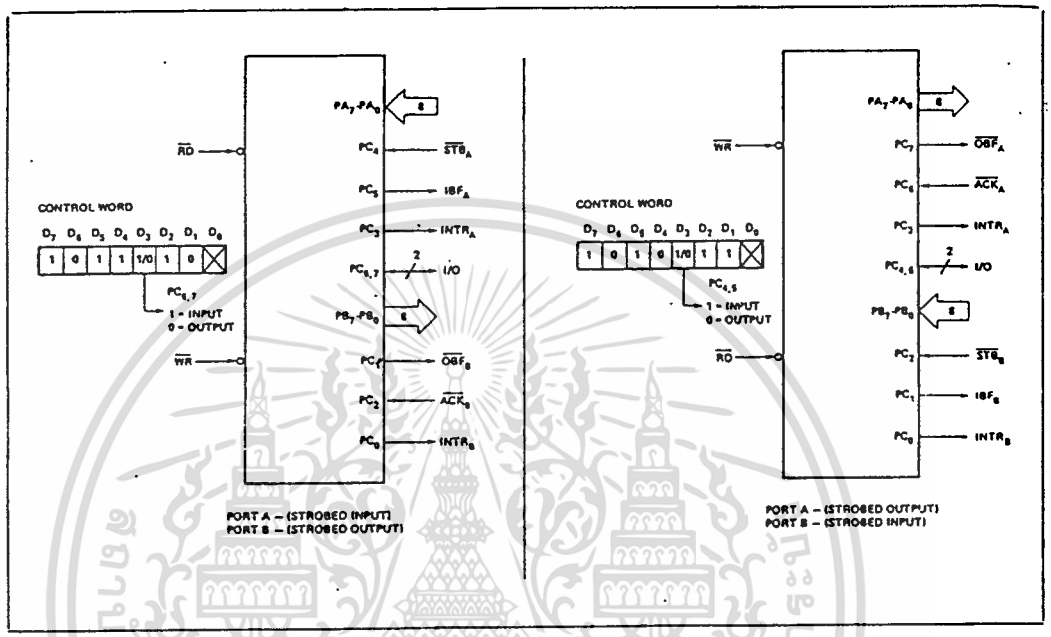


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to port A

$\overline{ACK}$ (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with OBF). Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC_4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

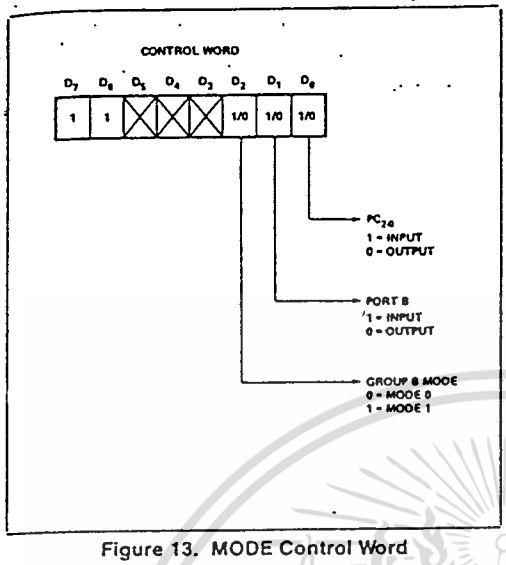


Figure 13. MODE Control Word

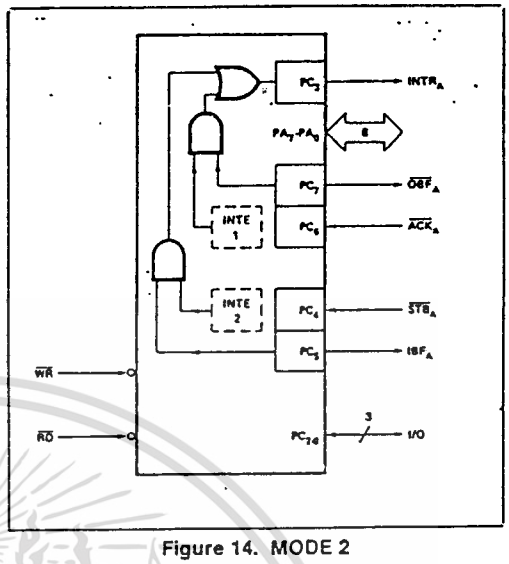


Figure 14. MODE 2

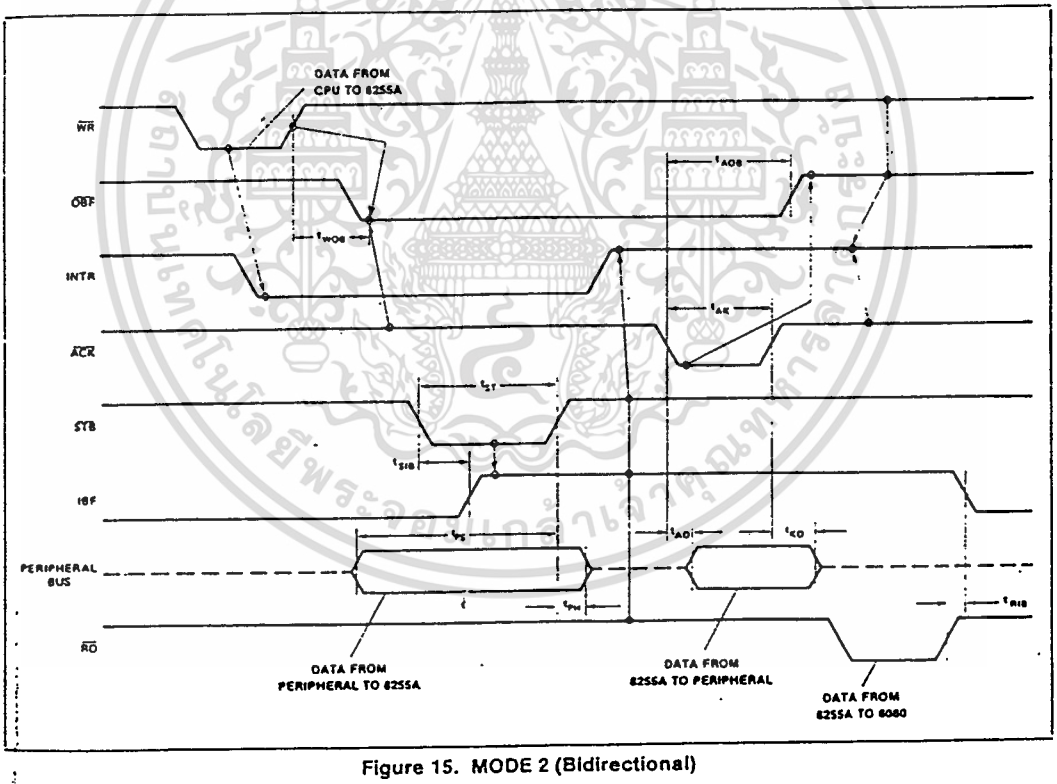


Figure 15. MODE 2 (Bidirectional)

NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF · $\overline{MASK}$ · $\overline{STB}$ · $\overline{RD}$ + $\overline{OBF}$ · $\overline{MASK}$ · $\overline{ACK}$ · $\overline{WR}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

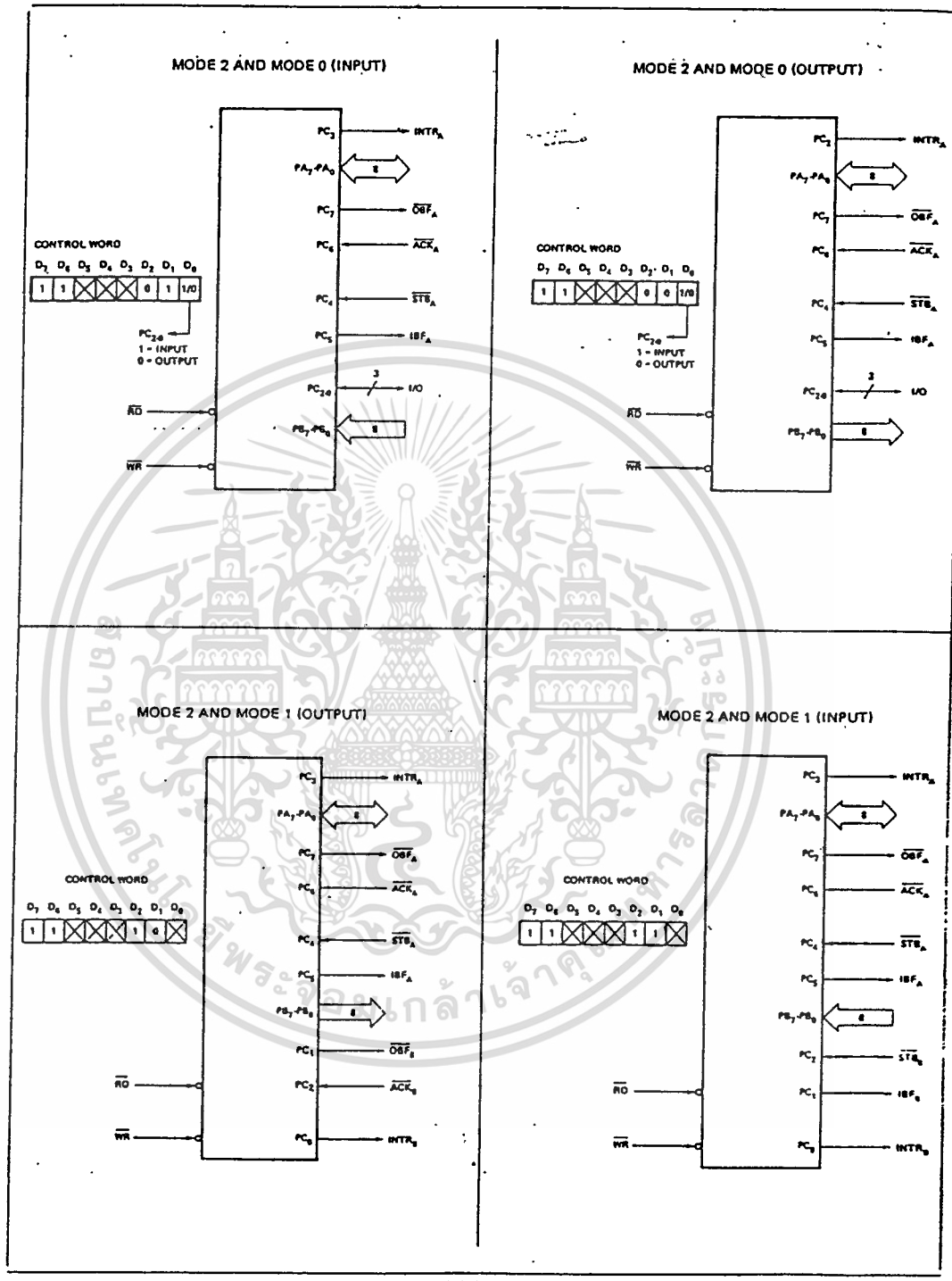


Figure 16. MODE ¼ Combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	↔	
PA_1	IN	OUT	IN	OUT	↔	
PA_2	IN	OUT	IN	OUT	↔	
PA_3	IN	OUT	IN	OUT	↔	
PA_4	IN	OUT	IN	OUT	↔	
PA_5	IN	OUT	IN	OUT	↔	
PA_6	IN	OUT	IN	OUT	↔	
PA_7	IN	OUT	IN	OUT	↔	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs –
All input lines can be accessed during a normal Port C read.

If Programmed as Outputs –
Bits in C upper (PC_7-PC_4) must be individually accessed using the bit set/reset function.

Bits in C lower (PC_3-PC_0) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

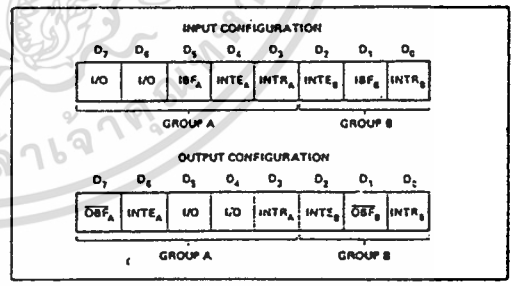


Figure 17. MODE 1 Status Word Format

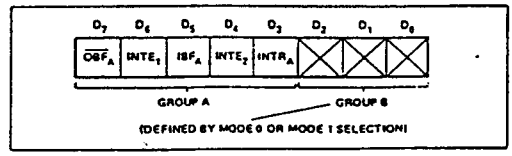


Figure 18. MODE 2 Status Word Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

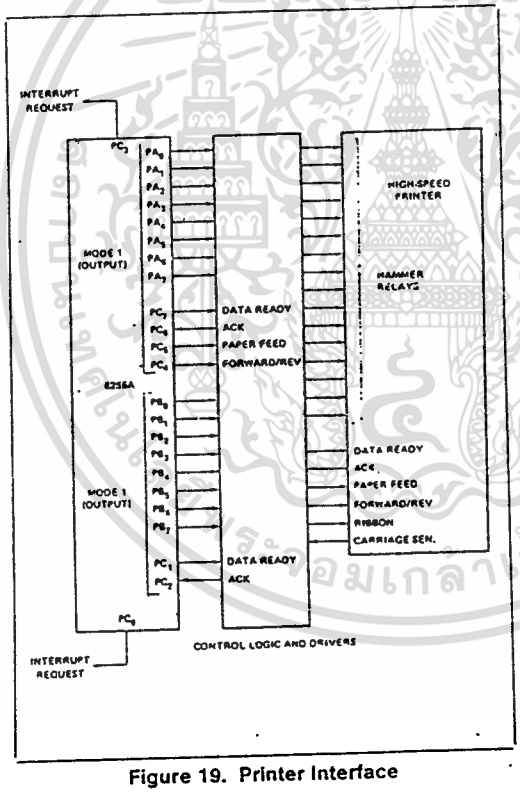


Figure 19. Printer Interface

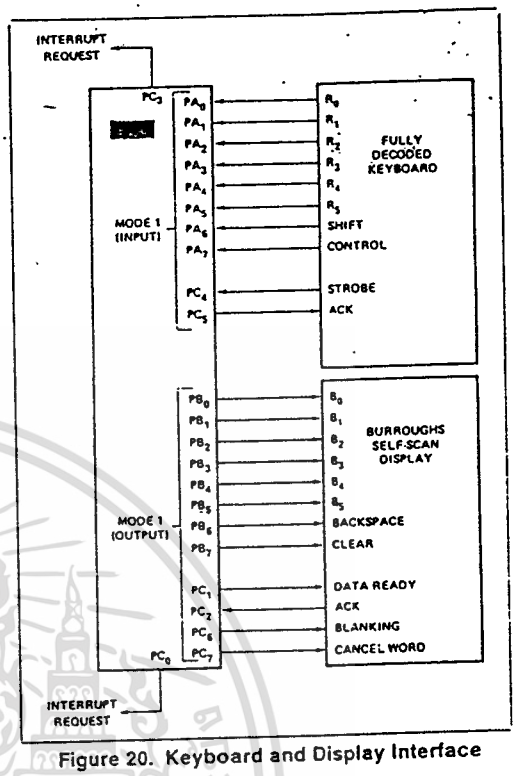


Figure 20. Keyboard and Display Interface

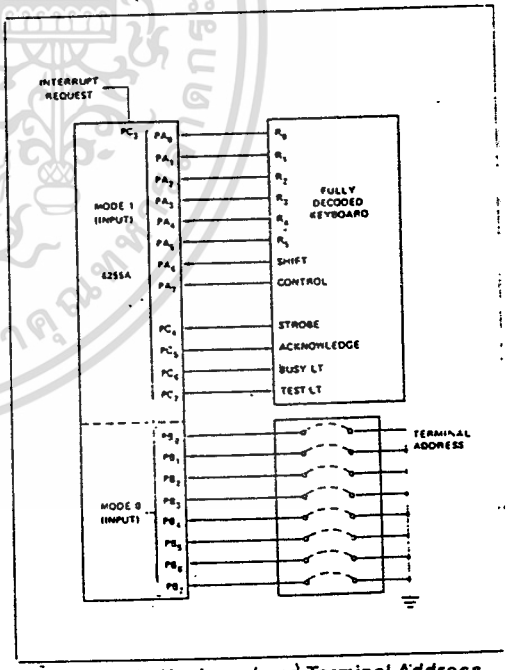


Figure 21. Keyboard and Terminal Address Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

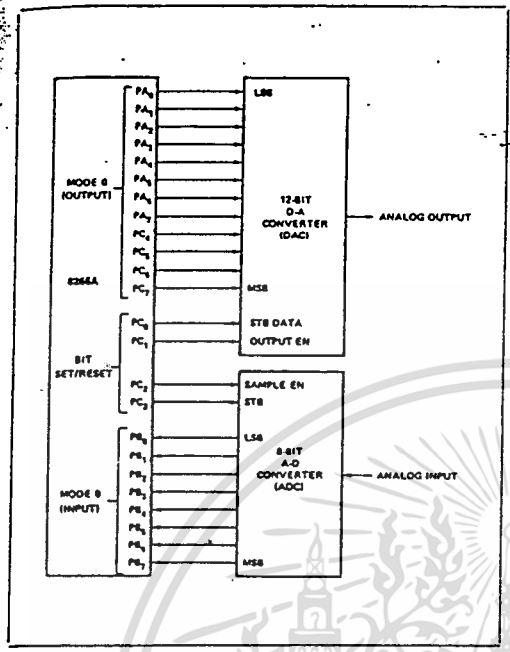


Figure 22. Digital to Analog, Analog to Digital

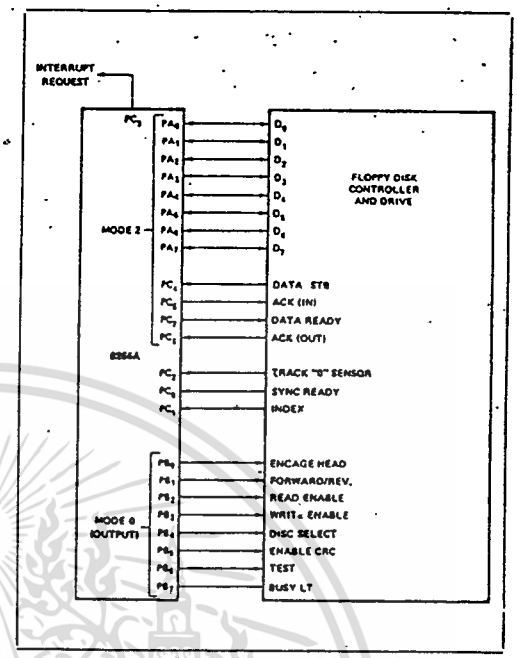


Figure 23. Basic Floppy Disk Interface

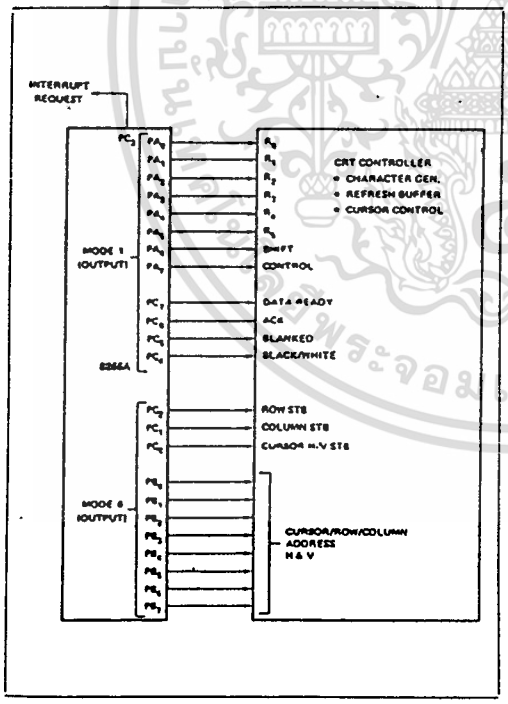


Figure 24. Basic CRT Controller Interface

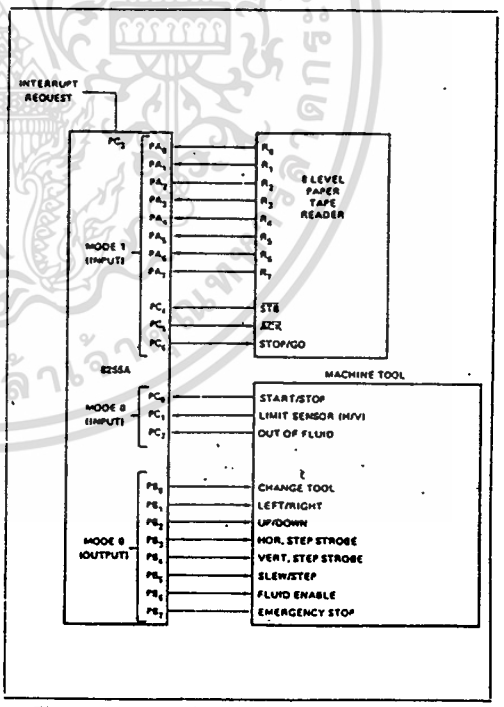


Figure 25. Machine Tool Controller Interface

231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias. . . . . 0°C to 70°C
Storage Temperature . . . . . –65°C to +150°C
Voltage on Any Pin
With Respect to Ground . . . . . –0.5V to +7V
Power Dissipation . . . . . 1 Watt

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ± 10%, GND = 0V)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL} (DB)	Output Low Voltage (Data Bus)		0.45*	V	I_{OL} = 2.5mA
V_{OL}(PER)	Output Low Voltage (Peripheral Port)		0.45*	V	I_{OL} = 1.7mA
V_{OH}(DB)	Output High Voltage (Data Bus)	2.4		V	I_{OH} = -400μA
V_{OH}(PER)	Output High Voltage (Peripheral Port)	2.4		V	I_{OH} = -200μA
I_{DAR}[1]	Darlington Drive Current	-1.0	-4.0	mA	R_{EXT} = 750Ω; V_{EXT} = 1.5V
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to .45V

NOTE:
1. Available on any 8 pins from Port B and C.

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V)*

Bus Parameters

READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ[1]		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	850		850		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

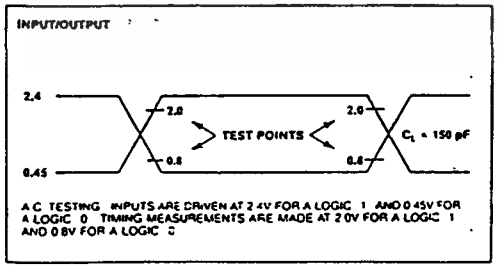
OTHER TIMINGS

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output[1]		350		350	ns
t_{IR}	Peripheral Data Before RD	0		0		ns
t_{HR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output[1]		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0[1]		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1[1]		350		350	ns
t_{SIB}	STB = 0 to IBF = 1[1]		300		300	ns
t_{RIB}	RD = 1 to IBF = 0[1]		300		300	ns
t_{RIT}	RD = 0 to INTR = 0[1]		400		400	ns
t_{SIT}	STB = 1 to INTR = 1[1]		300		300	ns
t_{AIT}	ACK = 1 to INTR = 1[1]		350		350	ns
t_{WIT}	WR = 0 to INTR = 0[1,3]		450		450	ns

NOTES:
1. Test Conditions: C_L = 150 pF.
2. Period of Reset pulse must be at least 50μs during or after power on. Subsequent Reset pulse can be 500 ns min.
3. INTR↑ may occur as early as $\overline{WR}$↓.

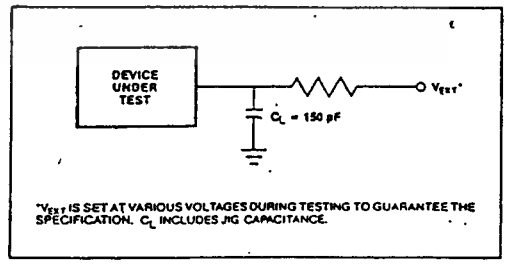
* For Extended Temperature EXPRESS, use M8255A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING INPUTS ARE DRIVEN AT 2.4V FOR A LOGIC 1 AND 0.45V FOR A LOGIC 0. TIMING MEASUREMENTS ARE MADE AT 2.0V FOR A LOGIC 1 AND 0.8V FOR A LOGIC 0.

A.C. TESTING LOAD CIRCUIT

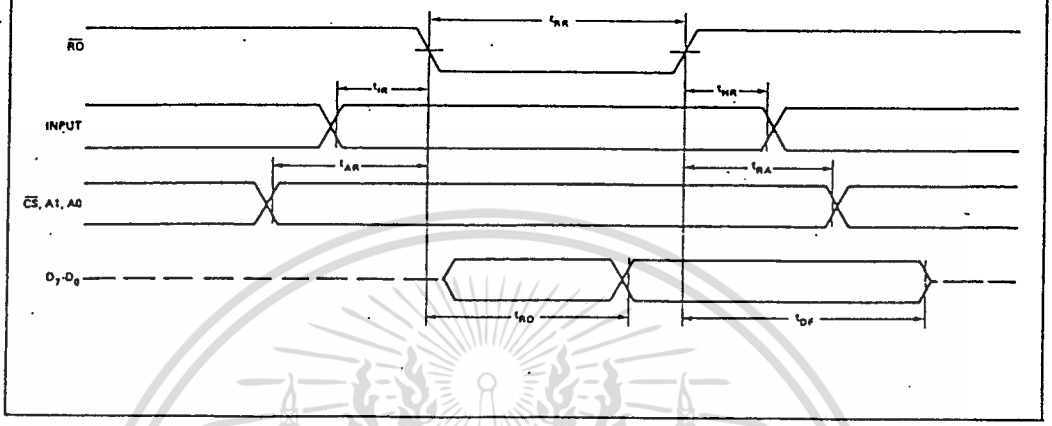


*V_{TEST} IS SET AT VARIOUS VOLTAGES DURING TESTING TO GUARANTEE THE SPECIFICATION. C_L INCLUDES JIG CAPACITANCE.

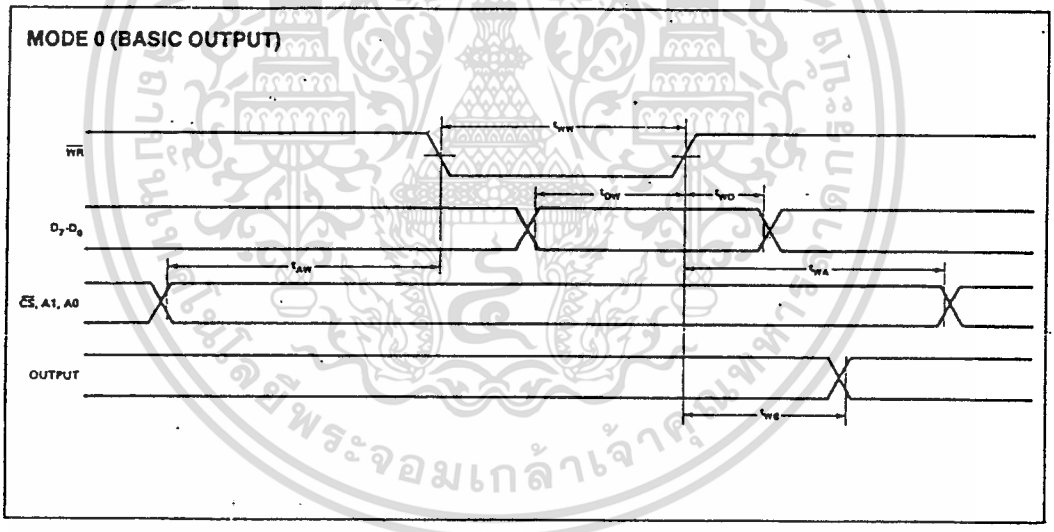
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

MODE 0 (BASIC INPUT)



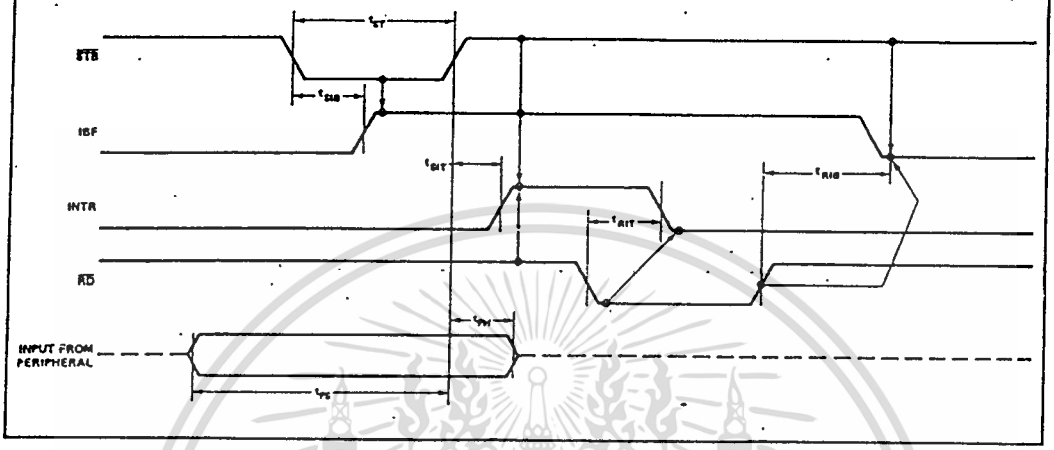
MODE 0 (BASIC OUTPUT)



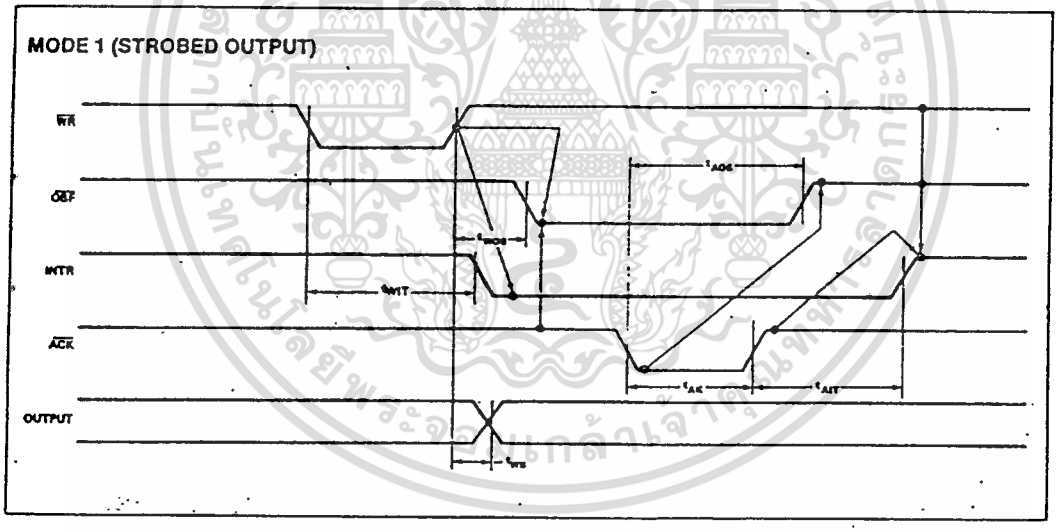
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)



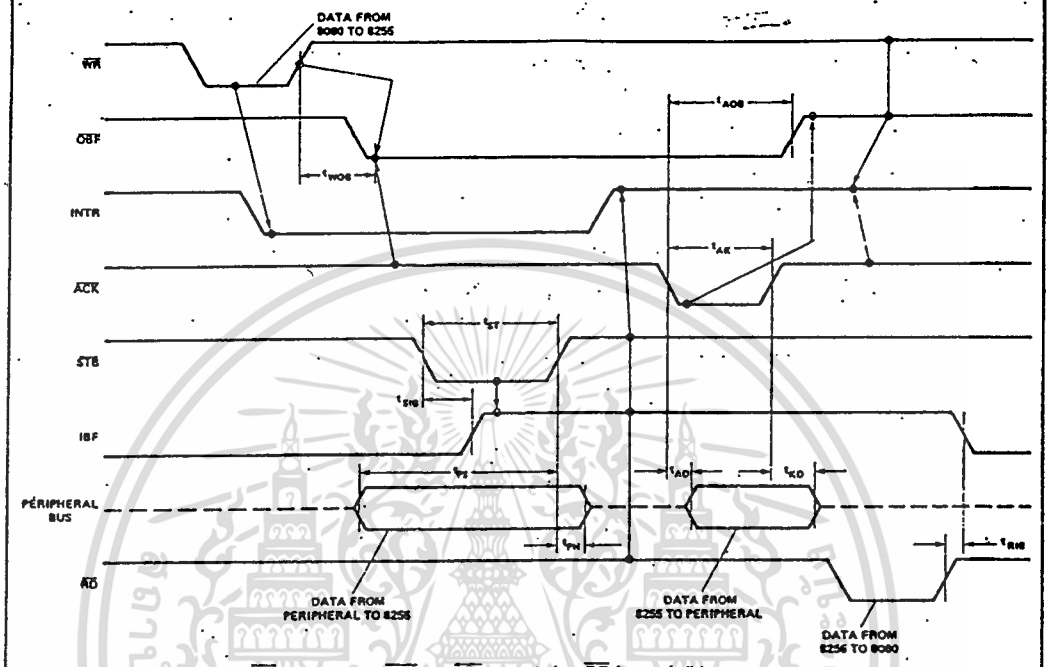
MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

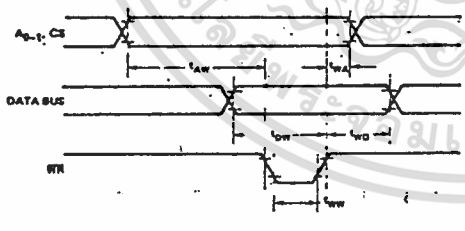
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)

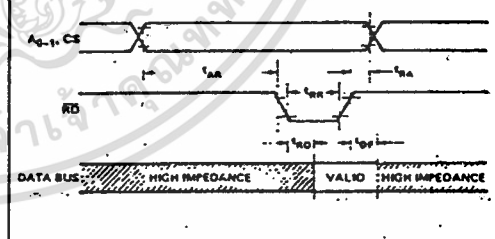


NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF • $\overline{MASK}$ • $\overline{STB}$ • $\overline{RD}$ + OBF • $\overline{MASK}$ • $\overline{ACK}$ • $\overline{WR}$)

WRITE TIMING



READ TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54138/74138 · 3-Line-to-8-Line Decoder

	Schottky TTL					...High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S138	J①			W①						SN54LS138	J①			W①										
	SN74S138	J①	N①								SN74LS138	J①	N①												
FAIRCHILD	/FN45138	R①									FN54LS138/FN74LS138	R①			F①										
	FC74S138/FC03S138	R①									FC74LS138/FC03LS138	R①	F①		F①										
MOTOROLA											SN74LS138		P①												
											DM74LS138		①												
N.S.C.	DM74S138		①								DM54LS138		①												
PHILIPS	N74S138		①								N74LS138		①												
SIGNETICS	S54S138	F①	B①		W①																				
	N74S138	F①	B①								N74LS138		A①												
SIEMENS																									
FUJITSU											74LS138		M①												
HITACHI											HD74LS138		P①												
MITSUBISHI	M74S138		P①								M74LS138		P①												
NEC											74LS138		C①												
TOSHIBA																									

Electrical Characteristics SN54LS138/SN74LS138

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operarating conditions

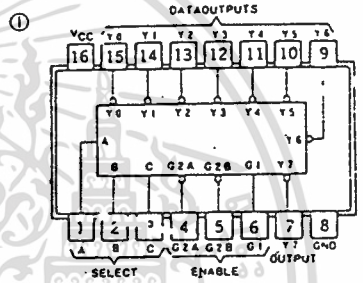
	SN54LS138			SN74LS138			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*		TEST CONDITIONS†			MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA					−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA	SN54LS		2.5	3.4		V
			SN74LS		2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA				0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V					0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V					20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V					−0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX			−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, Outputs enabled and open				6.3	10	mA
t_{PLH} / t_{PHL}	from Binary select to Any output	V_{CC} = 5 V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	levels of delay	2		13	20	ns
						27	41	
				3		18	27	ns
						26	39	
t_{PLH} / t_{PHL}	from Enable to Any output			2		12	18	ns
						21	32	
				3		17	26	ns
						25	38	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
◆ Not more than one output should be shorted at a time, and duration of the short-circuit test should not exceed one second.
* t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignment (Top View)



positive logic:
see function table

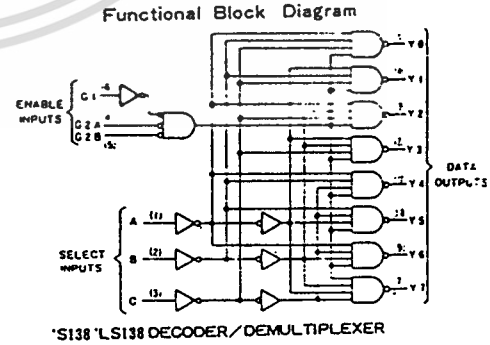
Function Table

'S138, 'LS138

INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

◆ G2 = G2A + G2B
H = high level, L = low level, X = irrelevant

Functional Block Diagram



'S138, 'LS138 DECODER/DEMULTIPLEXER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

เปรมจิตร วิสุทธิศิริ , "พื้นฐานวงจร อนาล็อกเป็นดิจิตอล ดิจิตอลเป็นอนาล็อก"
เซมิคอนดัคเตอร์,ฉบับที่ 102 ตุลาคม 2533 หน้า 272-279

WAI-KAI CHEN, "Passive and Active Filters Theory and Implementation"
หน้า 297-315

ร.ต.อ. สุชาติ กังวารจิตต์, "เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร"

บัณฑิต โรจน์อารยานนท์, "หลักการไฟฟ้าสื่อสาร"

กระทรวงศึกษาธิการ, "หนังสือเรียนวิชาฟิสิกส์ ม. 5 เล่ม 2"

วิบูลย์ ชื่นแขก "ไมโครโปรเซสเซอร์" สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ

casas and leung, " Simple digital fading simulator",IEEE Trans. on Vehicular Tech.,Vol. 39, No. 3, August 1990, pp. 205-212

Raymond Steele, "Mobile Radio Communication" , Pentech Press , NY, 1992, pp. 5-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้