สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบชุดเครื่องกำเนิดแรงดันตกชั่วขณะ

Voltage Sags Generator Design

โดย

นาย กิตติพงศ์ รัตนภา

นาย กิตติพัฒน์ สุรรณอัครเดชา

นาย กิติ กลิ่นสุคนธ์

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน 37007
วัน, เดือน, ปี 30 ส.ค. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปีการศึกษา 2542

การออกแบบชุดเครื่องกำเนิดแรงดันตกชั่วขณะ

Voltage Sags Generator Design

โดย

นาย กิตติพงศ์ รัตนภา

นาย กิตติพัฒน์ สุวรรณอัคระเดชา

นาย กิติ กลิ่นสุคนธ์

อาจารย์ที่ปรึกษา

ผศ. จงรักษ์ บุญเส็ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชา วิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบชุดเครื่องกำเนิดแรงดันตกชั่วขณะ

ผู้จัดทำ

1. นายกิตติพงศ์ รัตนภา
2. นายกิตติพัฒน์ สุวรรณอัครเดชา
3. นายกิติ กลิ่นสุคนธ์

จงรักษ์ อาจารย์ที่ปรึกษา

(ผศ. จงรักษ์ บุญเสิ่ง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบชุดเครื่องกำเนิด แรงดันตกชั่วขณะ

นาย กิตติพงศ์ รัตนกา
นาย กิตติพัฒน์ สุวรรณอัครเดชา
นาย กิติ กลิ่นสุคนธ์
ผศ. จงรักษ์ บุญเสิ่ง อาจารย์ที่ปรึกษา
ปีการศึกษา 2542

บทคัดย่อ

ในวงการอุตสาหกรรมปัจจุบันปัญหาของการเกิดแรงดันตกชั่วขณะนับเป็นปัญหาที่สำคัญ ซึ่งมีผลต่อความเชื่อมั่นของระบบไฟฟ้าและมีโอกาสเกิดขึ้นได้บ่อยครั้ง ส่งผลกระทบต่ออุปกรณ์ที่มีผลของการตอบสนองอย่างรวดเร็วต่อการตกชั่วขณะของแรงดัน เกิดผลกระทบต่อกระบวนการทางอุตสาหกรรม จากผลของการถูกขัดขวางการทำงานชั่วขณะ กระบวนการไม่สามารถทำงานต่อได้หรือหยุดการทำงานจากการตัดวงจร(trip)ของอุปกรณ์ป้องกันในระบบไฟฟ้า นำมาซึ่งความเสียหายทางเศรษฐกิจ ตอบสนองของการเกิดแรงดันตก(Voltage Dips)ซึ่งมีรูปแบบการเกิดที่แตกต่างกันหลายกรณีทั้งระบบไฟฟ้า 1 เฟส และ 3 เฟส ในปัจจุบัน

สำหรับโครงงานนี้เป็นการออกแบบสร้างชุดกำเนิดแรงดันตกชั่วขณะ (Voltage Sags) ซึ่งสามารถกำเนิดแรงดันตกชั่วขณะได้ในระบบไฟฟ้าสามเฟสโดยใช้ไมโครคอนโทรลเลอร์ควบคุมการทำงานและสามารถควบคุมช่วงเวลาในการเกิด(duration)เพื่อความถูกต้องและใกล้เคียงกับการเกิดขึ้นจริงตามธรรมชาติของการเกิดแรงดันตกชั่วขณะ ชุดกำเนิดที่ออกแบบขึ้นนี้ได้นำมาใช้ในการทดสอบกับอุปกรณ์ทางไฟฟ้าต่าง ๆ เพื่อนำมาวิเคราะห์ถึงผลกระทบที่เกิดจากแรงดันตกชั่วขณะแล้วนำผลที่ได้ไปหาทางแก้ไขในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
ABSTRACT	II
สารบัญรูป	III
สารบัญตาราง	VI
บทที่ 1 บทนำและวัตถุประสงค์	1
บทที่ 2 ทฤษฎี บทนิยามและคำจำกัดความของ Voltage Sags	3
2.1 คุณลักษณะของ Voltage Sags	3
2.2 แหล่งกำเนิดของ Voltage Sags	4
2.3 การคำนวณค่าแรงดันประสิทธิผลขณะเกิดแรงดันตกชั่วขณะ	5
2.4 ผลกระทบจาก Voltage Sags	9
บทที่ 3 ไทริสเตอร์ (SCR)	12
3.1 โครงสร้างของไทริสเตอร์	12
3.2 คุณสมบัติของไทริสเตอร์	12
3.3 การใช้ไทริสเตอร์ ในการควบคุมแรงดันไฟฟ้ากระแสสลับ	14
3.4 การควบคุมแบบเฟส (Phase Control)	15
บทที่ 4 ไมโครคอนโทรลเลอร์	20
4.1 คุณสมบัติของไมโครคอนโทรลเลอร์	20
4.2 โครงสร้างทางสถาปัตยกรรมของไมโครคอนโทรลเลอร์	21
4.3 การสื่อสารพอร์ตอนุกรม	23
บทที่ 5 การออกแบบและการสร้าง	27
5.1 แนวคิดเบื้องต้นและรูปแบบจำลอง	27
5.2 วงจรกำลัง	28
5.2.1 หม้อแปลงไฟฟ้า	28
5.2.2 วงจรไทริสเตอร์	29
5.2.3 วงจรสนับเบอร์ป้องกัน	30
5.3 วงจรควบคุมในส่วนของฮาร์ดแวร์	31
5.3.1 วงจรจุดชนวนไทริสเตอร์	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.2 วงจรควบคุมชุดจุดชนวนไทริสเตอร์ 32
5.3.3 วงจรเปรียบเทียบสัญญาณ 34
5.3.4 วงจรบัฟเฟอร์ 34
5.4 โปรแกรมควบคุมการทำงาน 35
บทที่ 6 การทดลองและผลการทดลอง 38
6.1 รูปแบบวิธีการทดลอง 38
6.2 รูปคลื่นสัญญาณของวงจรควบคุมที่สร้างขึ้น 40
6.3 ผลการทดลองและการเกิดแรงดันไฟฟ้าตกที่ 1 เฟส 41
6.4 ผลการทดลองและการเกิดแรงดันไฟฟ้าตกที่มากกว่า 1 เฟส 43
บทที่ 7 บทสรุปวิจารณ์ 46
7.1 สรุปและวิจารณ์ผลการทดลอง 46
7.2 ปัญหาและการแก้ไขในโครงงาน 46
7.3 เสนอแนวทางป้องกันและแก้ไขการเกิดแรงดันไฟฟ้าตกชั่วขณะ 47
7.4 แนวทางในการพัฒนาสำหรับการออกแบบชุดเครื่องกำเนิดแรงดันตกชั่วขณะ 48
ภาคผนวก
กิตติกรรมประกาศ
เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 2.1 ตัวอย่างระบบจำหน่ายของการไฟฟ้าส่วนภูมิภาค	5
รูปที่ 2.2 วงจรสมมูลเมื่อเกิดฟอลท์ในระบบจำหน่ายในรูปที่1	6
รูปที่ 2.3 ตัวอย่างระบบจำหน่ายที่เกิดฟอลต์	7
รูปที่ 2.4 ขนาดและช่วงเวลาของอุปกรณ์ไฟฟ้าที่ใช้ในโรงงานอุตสาหกรรม	9
รูปที่ 3.1 (ก) โครงสร้างภายใน	10
(ข) สัญลักษณ์ของ SCR	10
รูปที่ 3.2 ความสัมพันธ์ระหว่างกระแสและแรงดันอาโนด	13
รูปที่ 3.3 การควบคุมแรงดันไฟฟ้าชนิด 1 เฟส	15
(ก) ควบคุมแบบเต็มลูกคลื่น	15
(ข) ควบคุมแบบครึ่งคลื่น	15
รูปที่ 3.4 การควบคุมเฟสกับโหลดความต้านทานและตัวเหนียวนำ	17
รูปที่ 3.5 ความสัมพันธ์ระหว่างมุม β กับมุม θ เมื่อเทียบกับมุม α	18
รูปที่ 4.2 แสดงรูปแบบเวอร์ดข้อมูล –URAT มาตรฐาน	24
รูปที่ 4.3 แสดงรูปแบบเวอร์ดข้อมูลในโหมดมัลติโปรเซสเซอร์	25
รูปที่ 5.1 แบบจำลองของโครงสร้างชุดเครื่องกำเนิดแรงดันตก	27
รูปที่ 5.2 การต่อหม้อแปลงสำหรับปริญญานิพนธ์นี้	29
รูปที่ 5.3 วงจรไทริสเตอร์ในแต่และเฟส	29
รูปที่ 5.4 วงจรควบคุมที่ใช้ในการจุดชนวนขาเกตของไทริสเตอร์	32
รูปที่ 5.5 วงจรดีมัลติเพลกเซอร์	33
รูปที่ 5.6 วงจรแยกกราวน์โดยใช้ ไอซี เบอร์ 6N136 และ 6N137	33
รูปที่ 5.7 วงจรเปรียบเทียบสัญญาณที่ใช้สำหรับปริญญานิพนธ์นี้	34
รูปที่ 5.8 วงจรภายใน 7404 ที่นำมาอนุกรมกันในชุดเครื่องกำเนิดแรงดันตก	35
รูปที่ 5.9 ลำดับการเขียนและพัฒนาโปรแกรมภาษาแอสเซมบลี้	35
รูปที่ 5.10 ลำดับการทำงานของโปรแกรมที่ตัวไมโครคอนโทลเลอร์	35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.1 สัญญาณที่ขา 15 ของ TCA785 40
รูปที่ 6.2 สัญญาณที่ขา 14 ของ TCA785 40
รูปที่ 6.3 สัญญาณที่ขาออกจากหม้อแปลง ซึ่งพร้อม 40
ที่จะไปทริกเกตของเอสซีอาร์
รูปที่ 6.4 สัญญาณที่คร่อมขาเกตกับคาโทดของเอสซีอาร์ 40
รูปที่ 6.5 รูปคลื่นของแรงดันไฟฟ้า 1 เฟส ที่สภาวะปกติ ขณะทดสอบ 41
กับหลอดเผาไส้ 100 วัตต์
รูปที่ 6.6 รูปคลื่นของแรงดันไฟฟ้า 1 เฟส และกระแส ที่สภาวะปกติ 41
ขณะทดสอบกับ หลอดเผาไส้ 100 วัตต์
รูปที่ 6.7 รูปคลื่นของแรงดันตกและกระแส 1 เฟส ขณะทดสอบ 41
กับหลอดเผาไส้ 100 วัตต์ที่ 5ไซเคิล ขนาดแรงดัน 50 % Sags
รูปที่ 6.8 รูปคลื่นของแรงดันตกและกระแส 1 เฟส ขณะทดสอบ 41
กับหลอดเผาไส้ 100 วัตต์ที่ 9ไซเคิล ขนาดแรงดัน 50 % Sags
รูปที่ 6.9 รูปคลื่นของแรงดันตกและกระแส 1 เฟส ขณะทดสอบ 42
กับหลอดเผาไส้ 100 วัตต์ที่ 23ไซเคิล ขนาดแรงดัน 25 % Sags
รูปที่ 6.10 รูปคลื่นของแรงดันตกและกระแส 1 เฟส ขณะทดสอบ 42
กับหลอดเผาไส้ 100 วัตต์ที่ 20ไซเคิล ขนาดแรงดัน 100 % Sags
รูปที่ 6.11 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน 1 เฟส ขณะทดสอบกับหลอดเผาไส้ 42
100 วัตต์ ที่ 5 และ 4 ไซเคิล ขนาดแรงดัน 75 % และ 50 % ตามลำดับ
รูปที่ 6.12 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน 1 เฟส ขณะทดสอบกับหลอดเผาไส้ 42
100 วัตต์ ที่ 7,4 และ 6 ไซเคิล ขนาดแรงดัน 75 ,50 และ 75 % ตามลำดับ
รูปที่ 6.13 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน 2 เฟส(A B) ทดสอบกับหลอดเผาไส้ 43
100 วัตต์ ที่ 50 ไซเคิล ขนาดแรงดัน 75 % Sags
รูปที่ 6.14 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน2 เฟส(A B) ทดสอบกับหลอดเผาไส้ 43
100 วัตต์ที่เฟส A จำนวน 11, 5 ไซเคิล 75 %, 90 % Sags และที่เฟส B
จำนวน 11, 11 ไซเคิล 75 %, 90 % Sags
รูปที่ 6.15 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน 2 เฟส(A B) ทดสอบกับหลอดเผาไส้ 43
100 วัตต์ ที่เฟส A 14 ไซเคิล ขนาดแรงดัน 75 % Sags

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.16 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน2 เฟส(A B) แยกตำแหน่ง 43
การวัดจากรูปที่ 6.15 ที่เฟส B จำนวน 5, 14 ไซเคิล ขนาดแรงดัน 75 %
และ 90 % Sags ตามลำดับ
รูปที่ 6.17 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน 2 เฟส(A B) ทดสอบกับหลอดเผาไส้ 44
100 วัตต์ ที่เฟส A 14 ไซเคิล ขนาดแรงดัน 75 % Sags เฟส B จำนวน 5, 14
และ 4 ไซเคิล ขนาดของ แรงดันไฟฟ้า 75 %, 50 % และ 75 % ตามลำดับ
รูปที่ 6.18 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน2 เฟส(A B) ทดสอบกับหลอดเผาไส้ 44
100 วัตต์ ที่เฟส A 6, 25 และ 3 ไซเคิล ขนาดแรงดัน 75 %,50 % และ 75 %
ตามลำดับ ที่เฟส B 6, 25 และ 3 ไซเคิล ขนาดแรงดัน 75 %, และ 90 %
ตามลำดับ
รูปที่ 6.19 รูปคลื่นของแรงดันไฟฟ้าตก 2 เฟส (A C) ทดสอบกับหลอดเผาไส้ 44
100 วัตต์ ที่เฟส A 3,15 และ 2 ไซเคิล ขนาดแรงดัน 75,50 และ 75 % Sags
ที่เฟส C จำนวน 4, 9 และ 5 ไซเคิล 3 ไซเคิล ขนาดแรงดัน 75,50 และ
90 % Sags
รูปที่ 6.20 รูปคลื่นของแรงดันไฟฟ้าตก 2 เฟส(B C) ทดสอบกับหลอดเผาไส้ 44
100 วัตต์ ที่เฟส B 6 และ 10 ไซเคิล ขนาดแรงดัน 75 และ 50 % Sags
ที่เฟส C 6, 12 และ 3 ไซเคิล แรงดันไฟฟ้า 75 , 50 และ 75 % ตามลำดับ
รูปที่ 6.21 รูปคลื่นของแรงดันไฟฟ้าและกระแสขณะเกิดขณะเกิดแรงดันตกที่เฟส 45
A B และ C พร้อมกัน โดยวัดเฉพาะเฟส A และสายนิวตรอน
จากการต่อหลอดไฟเผาไส้ขนาด 100 วัตต์ แบบสตาร์
รูปที่ 6.22 รูปคลื่นของแรงดันไฟฟ้าและกระแสขณะเกิดขณะเกิดแรงดันตกที่เฟส 45
A B และ C พร้อมกัน โดยวัดเฉพาะเฟส A และสายไลน์
จากการต่อหลอดไฟเผาไส้ขนาด 100 วัตต์ แบบสตาร์
รูปที่ 6.23 รูปคลื่นของแรงดันไฟฟ้าและกระแสขณะเกิดขณะเกิดแรงดันตกที่เฟส 45
A B และ C พร้อมกัน โดยวัดเฉพาะเฟส B และสายนิวตรอน
จากการต่อหลอดไฟเผาไส้ขนาด 100 วัตต์ แบบสตาร์
รูปที่ 6.24 รูปคลื่นของแรงดันไฟฟ้าและกระแสขณะเกิดขณะเกิดแรงดันตกที่เฟส 45
A B และ C พร้อมกัน โดยวัดเฉพาะเฟส C และสายนิวตรอน
จากการต่อหลอดไฟเผาไส้ขนาด 100 วัตต์ แบบสตาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 ผลของแรงดันไฟฟ้าด้านทุติยภูมิจากการต่อหม้อแปลงไฟฟ้าภายหลังการเกิด SLGF ทางด้านปฐมภูมิ	8
ตารางที่ 2.2 ขนาดของแรงดันตกชั่วขณะและช่วงเวลาที่อุปกรณ์ต่างๆ ยังทำงานได้ปกติ	10
ตารางที่ 2.3 เวลาขจัดความผิดพร่องจากแรงดันตกของอุปกรณ์ขจัดความผิดพร่องชนิดต่างๆ	11
ตารางที่ 5.1 ค่าแรงดันที่แทปต่างๆของหม้อแปลงในชุดเครื่องกำเนิดแรงดันตกชั่วขณะ	28
ตารางที่ 5.2 ค่าตัวเก็บประจุที่ใช้ในการกำหนดค่าความกว้างของพัลส์ที่ขา 14 และ 15 ของ TCA 785	31
ตารางที่ 5.3 แสดงฟังก์ชั่นของวงจรดีมัลติเพลกเซอร์เบอร์ 74LS139	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำและวัตถุประสงค์

ในปัจจุบันนี้ได้มีการนำเอาคอมพิวเตอร์และอุปกรณ์ทางด้านเทคโนโลยีสารกึ่งตัวนำมาประยุกต์ใช้งานควบคุมในกระบวนการอุตสาหกรรมเป็นจำนวนมาก และมีการพัฒนาปรับปรุงประสิทธิภาพอยู่ตลอดเวลาอย่างรวดเร็ว อุปกรณ์เหล่านี้มีความไวต่อการตอบสนองมาก ซึ่งหากแม้นมีความผิดปกติเนื่องจากแหล่งจ่ายพลังงานไฟฟ้ามีการผิดเพี้ยนของขนาดและองค์ประกอบบางส่วนก็จะทำให้การทำงานของอุปกรณ์ทั้งหลายเหล่านี้ ให้ผลการทำงานที่ผิดพลาดจากสภาวะการทำงานปกติ และผลจากการเกิดแรงดันไฟฟ้าตกลงชั่วขณะ(Voltage Sags or Dips) ก็เป็นปัญหาหนึ่งที่พบได้บ่อยครั้ง ทำให้คุณภาพและความเชื่อมั่นของระบบไฟฟ้าลดลง ส่งผลโดยตรงต่อการทำงานในระบบที่มีอุปกรณ์เหล่านี้ปรากฏอยู่ก่อให้เกิดความผิดปกติจนกระทั่งความผิดปกติดังกล่าวจะได้การถูกกำจัดไปโดยอุปกรณ์ป้องกัน (protective devices) ซึ่งมักมีใช้กันในกลุ่มผู้ใช้งานประเภทโรงงานอุตสาหกรรมเสียเป็นส่วนใหญ่ ตัวอย่างเช่น ฟิวส์ เซอร์กิตเบรคเกอร์ คอนแทคเตอร์ และยิ่งถ้าเป็นพวกรีโคลสเซอร์ สภาวะความผิดปกตินี้ก็จะมีโอกาสเกิดได้หลายครั้ง ซึ่งขึ้นอยู่กับองค์ประกอบหลายส่วนดังที่กล่าวมาแล้วข้างต้น

วัตถุประสงค์

ปริญญานิพนธ์นี้มีวัตถุประสงค์เพื่อนำเสนอการออกแบบสร้างชุดจำลองการเกิดแรงดันไฟฟ้าตกชั่วขณะ เพื่อที่จะสามารถนำไปทดสอบกับอุปกรณ์ทั้งที่เป็นอุปกรณ์ป้องกันรวมถึงภาระทางไฟฟ้าที่เราสนใจและต้องการศึกษาถึงผลกระทบจากการเกิดแรงดันไฟฟ้าตกชั่วขณะ กับการทำงานที่ต่อเนื่องและถูกต้อง เป็นแนวทางในการหลีกเลี่ยงความเสียหายที่อาจจะเกิดขึ้นจากการที่อุปกรณ์ป้องกันต้องมาทำงานผิดพลาด ที่ยังผลให้เกิดการตัดต่อวงจร(fault clearing)ส่งผลเสียต่อกระบวนการควบคุมทางอุตสาหกรรม(process control) นอกจากนี้ยังต้องการชี้ให้เห็นถึงความจำเป็น ที่จะต้องมีการพิจารณาไว้ก่อนซึ่งการออกแบบระบบป้องกัน เพื่อการใช้งานอุปกรณ์และภาระทางไฟฟ้าที่มีประสิทธิภาพและความเชื่อมั่นสูงสุด

ประโยชน์ที่ได้รับ

ประโยชน์ที่ได้รับจากการทำปริญญานิพนธ์ชุดเครื่องกำเนิดแรงดันไฟฟ้าตก ที่สร้างในปริญญานิพนธ์นี้ คือการได้รับทราบถึงปัญหาของระบบไฟฟ้าอันเกิดมาจากแรงดันไฟฟ้าตกชั่วขณะ ได้รับประสบการณ์จากการออกแบบพัฒนาวงจรไฟฟ้าทางด้านอิเล็กทรอนิกส์กำลัง ได้ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานวงจรในส่วนของไมโครคอนโทรเลอร์และพัฒนาการใช้งานโปรแกรมภาษาแอสเซมบลี้ และการติดต่อกับอุปกรณ์ภายนอกผ่านเครื่องคอมพิวเตอร์ส่วนบุคคลโดยใช้ภาษาเดลไฟล์ ได้เรียนรู้การทำงานของวงจรการควบคุมเฟส ได้ออกแบบในส่วนการใช้งานไทริสเตอร์ ทราบถึงปัญหาและแนวทางการแก้ไขจากการทำงานจริงของการใช้งานวงจรควบคุมและวงจรกำลังที่สามารถนำไปปฏิบัติจริงได้ เรียนรู้หลักการเปลี่ยนขนาดของแรงดันที่แท็ปของหม้อแปลงทางด้านขดลวดทุติยภูมิ (secondary taps change)ที่ต่อเนื่องโดยไม่ให้ขาดช่วงของสัญญาณไฟฟ้าในขณะที่จะเกิดแรงดันไฟฟ้าตกชั่วขณะ ซึ่งใช้หลักการของการตรวจจับแรงดันที่ ศูนย์โวลต์(zero voltage detecting) ด้วยไอซีสำเร็จรูป(TCA 785) สามารถที่จะควบคุมกำลังไฟฟ้าที่จ่ายด้วยการปรับเลื่อนมุมจุดชนวน(firing angle) โดยการควบคุมด้วยไมโครคอนโทรลเลอร์ สามารถเลือกระยะเวลาและขนาดของแรงดัน (amplitude and duration-disturbance)ได้โดยการป้อนโปรแกรมคำสั่งการทำงาน(programming instruction)ผ่านไมโครคอนโทรลเลอร์ และโปรแกรมการใช้งานที่พัฒนาขึ้นมาใช้งานเอง

ขอบเขตของงานปริญญานิพนธ์

ขอบเขตของการทำปริญญานิพนธ์ชุดนี้ คือ การออกแบบสร้างชุดเครื่องกำเนิดแรงดันตกชั่วขณะ ที่ควบคุมการทำงานโดยไมโครคอนโทรลเลอร์ที่ สามารถที่จะควบคุมขนาดและจำนวนระยะเวลาที่ต้องการให้เกิดแรงดันไฟฟ้าตกชั่วขณะโดยการใช้งานผ่านเครื่องคอมพิวเตอร์ส่วนบุคคล ศึกษาและรับทราบถึงผลกระทบของแรงดันไฟฟ้าตกชั่วขณะต่อการใช้งานของอุปกรณ์ พร้อมเสนอและแนะนำแนวทางการแก้ไขปัญหานำไปสู่การเพิ่มความเชื่อมั่นและความมีเสถียรภาพของระบบไฟฟ้าให้มีมากขึ้น ทำการสร้างชุดทดลองการเกิดแรงดันตกชั่วขณะเพื่อจำลองการเกิดปรากฏการณ์นี้ขึ้นโดยให้มีการทำงานทั้งในระบบไฟฟ้าหนึ่งเฟส และ สามเฟส ที่ใช้งานกันอยู่ในปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎี และบทนิยามของ Voltage Sags

แรงดันไฟฟ้าตกชั่วขณะ รู้จักกันดีในชื่อของ Voltage Sags หรือ Voltage Dips เป็นความผิดปกติที่เกิดขึ้นกับแรงดันชนิดหนึ่งที่มีช่วงระยะเวลาสั้นๆ(short-duration-disturbance) ได้มีผู้พยายามที่จะให้นิยามและความหมายอยู่หลายแบบทั้งนี้ก็ขึ้นอยู่กับมาตราฐานของแต่ละประเทศที่เลือกใช้

2.1 คุณลักษณะของ Voltage Sags

คุณลักษณะของ Voltage Sags สามารถแบ่งออกได้ 2 มาตราฐานที่ยอมรับกันอย่างกว้างขวาง ได้แก่

1. มาตราฐานทางยุโรป (prEN50160-1993) แรงดันไฟฟ้าตกชั่วขณะ(Voltage Sags) คือ การลดลงอย่างทันทีทันใดของแรงดันจากแหล่งจ่าย อยู่ในช่วง 90% - 1% ของแรงดันที่ระบุ และมีช่วงเวลาการเกิด 10 ms - 60 s
2. มาตราฐานทางอเมริกา(IEEE standard 1159-1995) แรงดันไฟฟ้าตกชั่วขณะ (Voltage Dips) คือ การลดลงอย่างทันทีทันใดของแรงดันจากแหล่งจ่าย อยู่ในช่วง 1/2 ไซเคิล - 60 s ด้วยแรงดัน 10% - 90% ของแรงดันปกติ

จะเห็นได้ว่าแรงดันไฟฟ้าตกชั่วขณะ คือ การลดลงอย่างทันทีทันใดของแรงดันประสิทธิผล (rms)โดยทั่วไปจะถูกกำหนดในรูปแบบของ 3 องค์ประกอบด้วยกันดังนี้ คือ

1. ขนาดของแรงดันไฟฟ้าตกชั่วขณะ(amplitude of voltage sags) คือระดับของค่าแรงดันที่เกิดขึ้น ผลของขนาดที่ลดลงย่อมกระทบต่อความสามารถในการทำงานของกลุ่มอุปกรณ์ต่างๆในระบบไฟฟ้า

2. คาบเวลาของการเกิด(duration of voltage sags) คาบเวลาของการเกิด คือ ช่วงเวลาตั้งแต่เริ่มเกิดการลดลงของแรงดันจนกระทั่งกลับเข้าสู่สภาวะปกติ ซึ่งจะยาวนานเพียงใดนั้นก็ขึ้นอยู่กับชนิดของอุปกรณ์ที่มีอยู่ในส่วนต่างๆของระบบไฟฟ้าว่า บริเวณดังกล่าวมีความสำคัญต่อระบบโดยรวมมากน้อยเท่าใด

3. ตำแหน่งที่ลูกคลื่นขณะเริ่มเกิด(phase angle beginning of voltage sags) คือค่ามุมเฟสในการเกิดแรงดันไฟฟ้าตกชั่วขณะ จะมีผลต่ออุปกรณ์ในช่วงที่ยังไม่คงตัว(dynamic behavior) เนื่องจากเกิดในช่วงเวลาสั้นๆอย่างกะทันหัน ส่งผลให้เกิดความผิดปกติขึ้นในรูปแบบสภาวะชั่วครู่(transient response) แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 แหล่ง กำเนิดของ Voltage Sags

ปัญหาของการเกิดแรงดันไฟฟ้าตกชั่วขณะเป็นปัญหาทางด้านคุณภาพไฟฟ้าที่มีผลต่อผู้ใช้งานประเภทโรงงานอุตสาหกรรมเป็นส่วนมากเนื่องจากในปัจจุบันอุปกรณ์ที่ใช้ในโรงงานส่วนใหญ่เป็นประเภท ควบคุมกระบวนการผลิต(process control), ควบคุมโลจิก(programmable logic controller equipments),ปรับความเร็วมอเตอร์(adjustable speed drive),หุ่นยนต์อิเล็กทรอนิกส์ เป็นต้น

เราทราบว่า Voltage Sags มีผลต่อความเชื่อมั่นในระบบไฟฟ้ากำลัง (Reliability) โดยเฉพาะอย่างยิ่งอุปกรณ์ที่มีความไวต่อผลการตอบสนอง ที่เกิดจากการผิดปกติของแหล่งจ่ายอันเนื่องมาจากความไม่มั่นคงของแรงดันไฟฟ้า เช่น การเกิดการเปลี่ยนแปลงจากโหลดข้างเคียงต่างๆ เกิดการลัดวงจรทำให้แรงดันไฟฟ้าลดลงมา และกระแสเพิ่มขึ้นอย่างรวดเร็ว ซึ่งเป็นสิ่งที่เราไม่ปรารถนา ก่อให้เกิดความเสียหายต่อระบบและ วงจรต่างๆที่ใช้งานอยู่ขณะนั้น ในระบบไฟฟ้าการเกิดVoltages Sags มีอยู่หลายสาเหตุด้วยกัน ดังต่อไปนี้

1. เกิดการลัดวงจร (fault conditions)

Voltage Sags จากการเกิดลัดวงจรในระบบไฟฟ้าสามารถเกิดได้ทุกๆจุด เช่น การเกิดลัดวงจรที่หม้อแปลงจำหน่าย(distribution transformers) สภาพภูมิอากาศ ฝนตกฟ้าคะนอง กิ่งไม้แตะสายไฟ อุปกรณ์ชำรุดหรืออุบัติเหตุ เช่นรถชนเสาไฟฟ้าเป็นต้น การเกิดลัดวงจรที่ใดก็ตามในโครงข่ายไฟฟ้า(power system network) ย่อมส่งผลกระทบถึงบัสต่างๆที่ใกล้เคียงกันเกิดแรงดันตก(drop)จะกลับมาเหมือนเดิมหรือไม่นั้นก็ขึ้นอยู่กับตำแหน่งของการเกิดและความต้านทาน(impedances) และการเคลียร์ฟอลต์ของระบบ

2. การใช้งานโหลดที่มีพิกัดกำลังมากและใช้กระแสไฟฟ้าเริ่มต้นมาก เช่น มอเตอร์กำลัง

การใช้งานโหลดและสตาร์ทมอเตอร์ที่มีพิกัดกำลังมากจะทำให้เกิดการดึงกระแสขณะเริ่มต้นสูง เป็นสาเหตุหนึ่งของการเกิดแรงดันตก แต่ขนาดของแรงดันจะลดลงไปน้อยกว่าเมื่อเทียบกับการเกิดจากการลัดวงจร และถ้ามีการใช้งานมอเตอร์เป็นช่วงๆ อุปกรณ์ต่างๆซึ่งอยู่ใกล้เคียงจะได้รับผลจากแรงดันไฟฟ้าที่ลดลงและเพิ่มขึ้นเป็นช่วงเกิดการกระเพื่อม(voltage flunctuatation) ส่งผลให้การทำงานผิดเพี้ยนได้

3. การเกิดฟ้าผ่า(lightning)

กรณีของการเกิดฟ้าผ่าจะเกิด Voltage Sags ในช่วงเวลาสั้นๆและมีขนาดของกระแสต่ำ แต่เกิดแรงดันสูงและเป็นการ Sags เป็นช่วงๆที่มีการเปลี่ยนขนาดของแรงดันตลอดความต่อเนื่อง

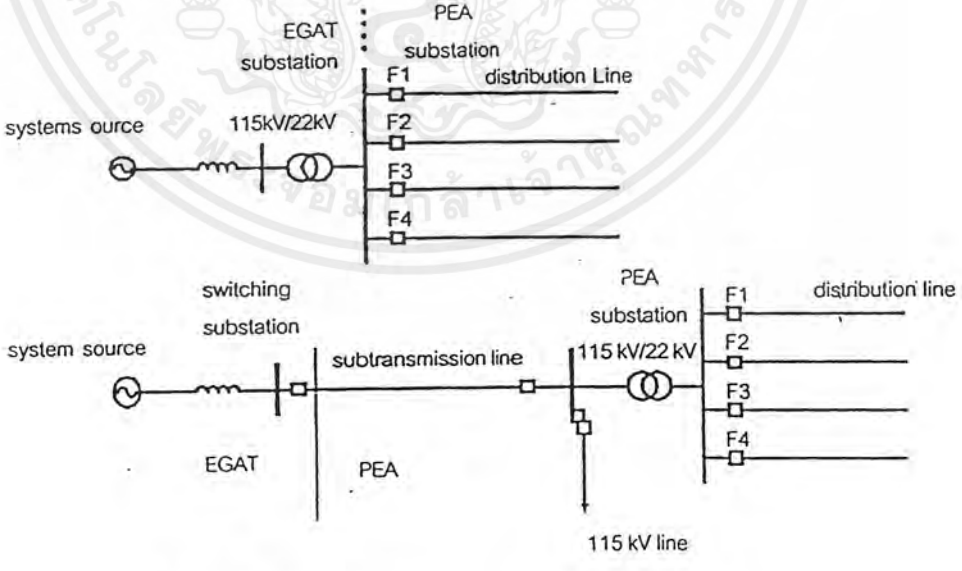
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบจำหน่ายของหน่วยงานการไฟฟ้าฯโดยทั่วไป สาเหตุของการเกิดแรงดันไฟฟ้าตกชั่วขณะส่วนใหญ่แล้วจะมาจากความผิดพร่องทางไฟฟ้าซึ่งจะถูกกำจัดโดย ฟิวส์ย่อย (branch fuses) หรือ เซอร์กิตเบรคเกอร์ที่สถานีย่อย ถ้าการไฟฟ้าใช้รีโคลสซิ่งรีเลย์ควบคุมการปิดเปิดของเซอร์กิตเบรคเกอร์ การเกิดแรงดันไฟฟ้าตกชั่วขณะจะเกิดขึ้นหลายครั้งตามการทำงานของรีโคลสซิ่งรีเลย์ สำหรับการไฟฟ้าจะตั้งไว้ให้มีการปิดกลับสามครั้ง ถ้าความผิดพร่องทางไฟฟ้ายังไม่ถูกกำจัดออกครั้งที่สามจะสั่งเปิดวงจร แล้ว lock out สำหรับเวลาที่ตั้งไว้ก่อนการปิดกลับในแต่ละครั้ง คือ 0.3, 5 และ 15 วินาที ตามลำดับ แต่ทั้งนี้การตั้งเวลาขึ้นอยู่กับลักษณะพื้นที่การจ่ายไฟฟ้าว่าต้องการให้หน่วงเวลาไว้นานเท่าใด

ปริญญานิพนธ์นี้จึงนำเสนอการออกแบบชุด Voltage Sags เพื่อที่จะใช้เป็นชุดทดลองสามารถนำไปใช้ศึกษาถึงผลกระทบที่ Voltage Sags ที่มีผลต่อระบบไฟฟ้าและอุปกรณ์ที่ใช้งานปั่นโหลดซึ่งต่อใช้งานอยู่แล้ว ว่ามีการเปลี่ยนแปลงของแรงดันและกระแสอย่างฉับพลันและต่อเนื่องเสมือนหนึ่งเกิดการผิดปกติของระบบจริงดังที่กล่าวมาแล้วข้างต้น

2.3 การคำนวณค่า แรงดัน ขณะเกิดแรงดันตก

จากสาเหตุส่วนใหญ่ของการเกิดแรงดันไฟฟ้าตกชั่วขณะมาจากการเกิดความผิดพร่องทางไฟฟ้า เมื่อเกิดความผิดพร่องทางไฟฟ้าเกิดขึ้น การพิจารณาหาค่าระดับของแรงดันตกที่เกิดขึ้น ในการวิเคราะห์จะใช้หลักการของวงจรสมมูล โดยจะขอยกตัวอย่างการพิจารณาตามรูปที่ 1



รูปที่ 2.1 ตัวอย่างระบบจำหน่ายของการไฟฟ้าส่วนภูมิภาค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

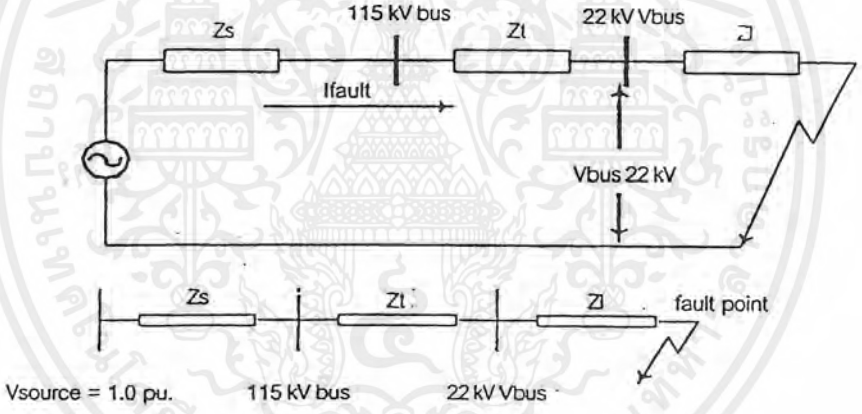
กรณีเกิดฟอลต์แบบสามเฟส (3 phase fault) การคำนวณจะตั้งอยู่บนสมมุติฐานที่ว่า แรงดันก่อนการเกิดฟอลต์จะอยู่ที่ระดับปกติ ไม่คิดผลของฟอลต์อิมพีแดนซ์(Z_f) และผลของโหลด แสดงตัวอย่างของระบบไฟฟ้าในรูปที่ 2 หากต้องการหาค่าแรงดันไฟฟ้าตกชั่วขณะที่สาย 22 kV ตอนเกิดฟอลต์คำนวณได้ดังสมการ

$$V_{sag(L-L)} = \frac{Z_l}{Z_s + Z_t + Z_l} pu. \qquad .....(2.1)$$

Z_s = อิมพีแดนซ์ของแหล่งจ่ายไฟในส่วนจำหน่าย ($Z_s = R_s + jX_s$)

Z_t = อิมพีแดนซ์ของหม้อแปลงจำหน่าย($Z_t = R_t + jX_t$)

Z_l = อิมพีแดนซ์ของสายจำหน่าย($Z_l = R_l + jX_l$)



รูปที่ 2.2 วงจรสมมูลเมื่อเกิดฟอลต์ในระบบจำหน่ายจากรูปที่ 1

กรณีเกิดฟอลต์แบบ 1 เฟส ลงกราวด์(single line to ground fault,SLGF) ในกรณีที่เกิดฟอลต์แบบ 1เฟสลงกราวด์ วงจรสมมูลจะไม่สมมาตร จึงใช้หลักการขององค์ประกอบแบบสมมาตร(symmetrical components) เข้ามาช่วยในการวิเคราะห์ ดังนั้นลักษณะการต่อของหม้อแปลงจะมีผลต่อการคำนวณ อย่างไรก็ตาม หลักการหาแรงดันไฟฟ้าตกชั่วขณะที่สาย ก็ยังใช้หลักการเช่นเดียวกันกับกรณีการเกิดฟอลต์แบบ 3 เฟส แต่จะเป็นผลรวมของแต่ละจุด ดังสมการที่ 1.2

$$V_{sag(L-N)} = \frac{Z_{l_{Total}}}{Z_{s_{Total}} + Z_{t_{Total}} + Z_{l_{Total}}} pu. \qquad .....(2.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

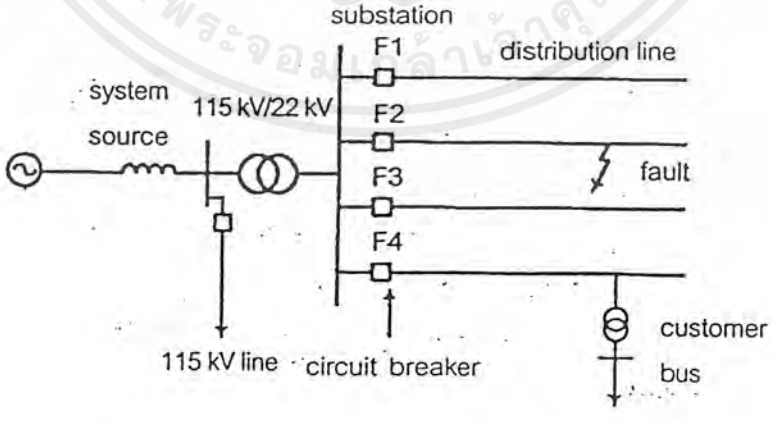
Zs_{Total}= อิมพีแดนซ์รวมของแหล่งจ่ายไฟในส่วนจำหน่าย(Zs_{Total}= (R_1s+ R_2s+ R_0s)+j(X_1s+ X_2s+ X_0s))

Zt_{Total}= อิมพีแดนซ์รวมของหม้อแปลงจำหน่าย(Zt_{Total}= (R_1t+ R_2t+ R_0t)+j(X_1t+ X_2t+ X_0t))

Zl_{Total}= อิมพีแดนซ์รวมของสายไฟจำหน่าย(Zl_{Total}= (R_1l+ R_2l+ R_0l)+j(X_1l+ X_2l+ X_0l))

ในกรณีที่ หน่วยงานการไฟฟ้าฯ หรือผู้บริโภคที่ใช้ไฟโดยตรงจาก หน่วยงานการไฟฟ้าฝ่ายผลิตฯ ก็สามารถใช้หลักการคำนวณเช่นเดียวกัน เพียงแต่วงจรสมมูลจะมีอิมพีแดนซ์ในส่วนของสายไฟฟ้าย่อย 115 kV เข้ามาเกี่ยวข้องด้วย

พิจารณารูปที่ 3 ถ้าสายป้อนชุด F2 เกิดฟอลต์ขึ้นที่สายป้อนชุดนี้ จะส่งกระทบโดยตรงต่อผู้ใช้ไฟฟ้าที่รับไฟฟ้าจากสายป้อนชุดนี้ เกิดไฟฟ้าดับในขณะที่เซอร์กิตเบรกเกอร์ของสายป้อนชุด F2 ที่สถานีเปิดวงจร ในขณะที่เกิดฟอลต์ ผู้ใช้ไฟฟ้าจากสายป้อน F1, F3, F4 (parallel feeder) จะเกิดแรงดันไฟฟ้าตกชั่วขณะด้วย เป็นจำนวนครั้งของการทำงานปิดกลับของเซอร์กิตเบรกเกอร์สายป้อน F2 ดังนั้นไม่ว่าจะเกิดฟอลต์ที่สายป้อนชุดใดก็ตาม ผู้ใช้ไฟฟ้าที่รับไฟจากสายป้อนชุดข้างเคียงจะได้รับผลกระทบด้วย เพราะรับไฟจากบัสเดียวกัน แรงดันเฟส ณ จุดที่เกิดฟอลต์ จะมีค่าเท่ากับศูนย์ ส่วนแรงดันที่สถานีย่อยจะมีค่าลดลงเท่าใดนั้นขึ้นอยู่กับระยะทางระหว่างสถานีย่อยกับตำแหน่งที่เกิดฟอลต์ หรือขึ้นอยู่กับค่าของอิมพีแดนซ์ของสายจำหน่ายนั่นเอง เพราะถ้าเกิด SLGF บนระบบสายส่ง ค่าของแรงดันไฟฟ้าตกชั่วขณะจะขึ้นอยู่กับอิมพีแดนซ์ ของระบบไฟฟ้าที่เชื่อมต่อกันอยู่



รูปที่ 2.3 ตัวอย่างระบบจำหน่ายที่เกิดฟอลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาขนาดของแรงดันไฟฟ้าตกชั่วขณะ ที่มีสาเหตุมาจากการเกิดฟอลต์ในระบบจำหน่าย จะพบว่ามีองค์ประกอบสำคัญที่จะต้องคำนึงถึงคือ ลักษณะการต่อหม้อแปลงทั้งส่วนของหน่วยงานการไฟฟ้าฯและหม้อแปลงส่วนของผู้ใช้ไฟรวมทั้งค่าอิมพีแดนซ์ของแหล่งจ่าย อิมพีแดนซ์ของสายไฟและอิมพีแดนซ์ที่หม้อแปลง ขนาดของแรงดันไฟฟ้าตกชั่วขณะเมื่อพิจารณาเป็นแรงดัน Phase to Phase(L-L) และ Phase to neutral(L-N) จะมีค่าแตกต่างกัน ดังนั้นผลกระทบต่อผู้ใช้ไฟฟ้าหรืออุปกรณ์ไฟฟ้า ย่อมแตกต่างกัน ขึ้นอยู่กับการต่อวงจรของอุปกรณ์นั้นๆว่ามีการต่อใช้งานแบบใด เป็นแบบ Phase to Phase(L-L)หรือ Phase to neutral(L-N)

ด้านหน่วยงานการไฟฟ้าฯ(utility side) ในส่วนของการไฟฟ้าเมื่อเกิด SLGF ขึ้นทางด้านระบบจำหน่าย ทางการไฟฟ้าฯจะสนใจแรงดันไฟฟ้าตกชั่วขณะที่สถานีย่อย ทั้งในแง่ของแรงดัน Phase to Phase(L-L) และ Phase to neutral(L-N) การหาระดับแรงดันไฟฟ้าตกชั่วขณะที่สถานีไฟฟ้าต้องอาศัยการคำนวณ เช่น วิธีการสมมาตร(symmetrical component method)

ด้านผู้ใช้ไฟฟ้า(customer side) ในขณะที่เกิดฟอลต์ แรงดันของเฟสที่เกิดฟอลต์จะมีค่าเป็นศูนย์ แต่เมื่อพิจารณาแรงดันไฟฟ้าตกชั่วขณะ ด้านผู้ใช้ไฟฟ้าก็หมายถึงทางด้านทุติยภูมิของหม้อแปลงผู้ใช้ไฟฟ้า แรงดันไฟฟ้าตกชั่วขณะเกิดฟอลต์จะไม่เป็นศูนย์ แต่แรงดันไฟฟ้าตกชั่วขณะนี้จะขึ้นอยู่กับการต่อหม้อแปลงของผู้ใช้ไฟฟ้า กรณีที่รุนแรงที่สุด(worst case) คือ เมื่อเกิดฟอลต์ที่ใกล้กับสถานย่อย ซึ่งจะให้ผลเสียหายต่อผู้ใช้ไฟฟ้า เช่นเดียวกันกับการเกิดฟอลต์ที่ใกล้กับหม้อแปลงของผู้ใช้ไฟฟ้าเอง

เนื่องจากแรงดันที่จะเกิดขึ้นทางด้านทุติยภูมิของหม้อแปลง จะขึ้นอยู่กับลักษณะการต่อหม้อแปลง สามารถสรุปได้ดังตารางที่ 1 เมื่อเกิด SLFG

การต่อหม้อแปลง	Phase to Phase(L-L) (pu.)			Phase to neutral(L-N) (pu.)		
	Vab	*Vbc*	*Vca*	*Van*	*Vbn*	*Vcn*
Star-Star	0.58	1.00	0.58	0.00	1.00	1.00
Delta-Delta	0.58	1.00	0.58	0.33	0.88	0.88
Star-Delta	0.33	0.88	0.88	-	-	-
Delta-Star	0.88	0.88	0.33	0.58	1.00	0.58

ตารางที่ 2.1 ผลของแรงดันไฟฟ้าด้านทุติยภูมิจากการต่อหม้อแปลงไฟฟ้าภายหลังจากเกิด SLGF ทางด้านปฐมภูมิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

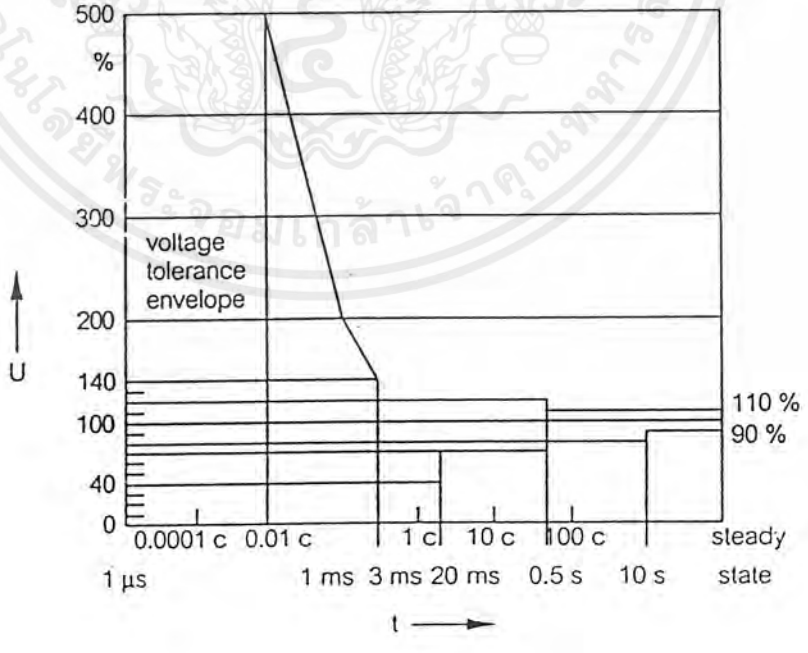
2.4 ผลกระทบจากการเกิด voltage sags

สำหรับอุปกรณ์ในโรงงานอุตสาหกรรม โดยทั่วไปแล้วจะเป็นระบบ 3 เฟส และมีบางส่วนที่เป็นระบบ 1 เฟส

ตัวอย่างของอุปกรณ์ ที่มักประสบปัญหาในการทำงานจากผลของแรงดันไฟฟ้าตกชั่วขณะ ได้แก่

1. กลุ่มอุปกรณ์คอมพิวเตอร์(computer equipments)
2. กลุ่มอุปกรณ์ที่ทำหน้าที่ควบคุม(process control equipments)
3. กลุ่มอุปกรณ์ทางด้านอิเล็กทรอนิกส์(consumer electronics)
4. กลุ่มอุปกรณ์ปรับความเร็ว(adjustable speed drive)
5. กลุ่มอุปกรณ์ประเภทมอเตอร์เหนี่ยวนำ(induction motor)
6. กลุ่มอุปกรณ์หลอดแก๊สดิสชาร์จ(gas discharges lamp)

กลุ่มอุปกรณ์เหล่านี้พบว่า เมื่อมีความผิดปกติจากแรงดันไฟฟ้าตกชั่วขณะ บ่อยครั้งที่จะเกิดความล้มเหลวในการทำงานได้ เนื่องจากความสามารถของการทนต่อความผิดปกตินี้ในอุปกรณ์แต่ละชนิดแตกต่างกันไป ดังนั้นการศึกษาความทนทานต่อความผิดปกติทางด้านแรงดันไฟฟ้า จึงนิยมทำการศึกษาในลักษณะต่างๆกันไป เช่น กลุ่มผู้ผลิตอุปกรณ์คอมพิวเตอร์เชิงธุรกิจ(CBEMA)ได้นำเสนอข้อมูลในรูปของกราฟขนาด และช่วงเวลา(amplitude and duration plot) การได้รับค่าความผิดปกติ



รูปที่ 2.4 ขนาดและช่วงเวลาของอุปกรณ์ไฟฟ้าที่ใช้ในโรงงานอุตสาหกรรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟรูปที่ 1 ซึ่งเป็นกราฟของอุปกรณ์ไฟฟ้าที่มีใช้ในโรงงานอุตสาหกรรม สามารถอธิบายได้ว่า หากอุปกรณ์ไฟฟ้าได้รับค่าขนาดแรงดันไฟฟ้าและช่วงเวลา การรับค่าดังกล่าวถ้าอยู่ระหว่างเส้นโค้งทั้งสองเส้น จะทำให้อุปกรณ์ยังสามารถทำงานได้อย่างปกติ ซึ่งเรียกว่าพื้นที่ที่ยอมรับได้(acceptable zone) แต่หากอุปกรณ์ไฟฟ้าดังกล่าวได้รับค่าแรงดันและช่วงเวลา ซึ่งอยู่เหนือเส้นบนหรือต่ำกว่าเส้นล่าง จะทำให้อุปกรณ์เกิดการทำงานที่ผิดพลาด เราเรียกว่าพื้นที่นี้ว่าพื้นที่อันตราย (dangerous zone) เส้นโค้งนี้ใช้ในการอ้างอิงเพื่อแสดงถึงความสามารถในการทน(withstand capability) ของโหลดต่างๆจากการรวบรวมคุณภาพไฟฟ้า

จะเห็นได้ว่าองค์ประกอบที่สำคัญที่มีผลต่อการทำงานของอุปกรณ์เนื่องมาจากการเกิดแรงดันไฟฟ้าตกชั่วขณะ คือ ขนาดของแรงดันไฟฟ้า และช่วงระยะเวลาของการเกิด ที่อุปกรณ์ต่างๆเหล่านั้นได้รับ มีบางเหตุการณ์ที่เครื่องจักรสามารถทำงานต่อไปได้แต่จะส่งผลถึงคุณภาพของการผลิตได้ ตัวอย่างขอบเขตความสามารถของอุปกรณ์ที่จะทำงานหรือทนได้ ในขณะเกิดแรงดันไฟฟ้าตกชั่วขณะแสดงในตารางที่ 2 และช่วงเวลาในการขจัดความผิดพร่องของอุปกรณ์ป้องกันชนิดต่างๆ ที่สำคัญแสดงในตารางที่ 3

ตัวอย่างอุปกรณ์	แรงดันต่ำสุดที่ทนได้	เวลาสูงสุดที่ยังทำงานได้ (ms)
Variable speed motor	85 %	10
Relays and Contactors	50-60 %	15-40
Ferro-resonant transformer	50 %	0.5
PLC I/O device	90 %	20
Process controller	70 %	8
Personal computer	50-70 %	60-100
ASD inverter	82 %	1.5
Contactors	60 %	20

ตารางที่ 2.2 ขนาดของแรงดันไฟฟ้าตกชั่วขณะและช่วงเวลาที่อุปกรณ์ต่างๆยังทำงานได้โดยปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดของอุปกรณ์ขจัดความผิดพร่อง	ช่วงเวลาในการขจัดความผิดพร่อง (Cycle)		
	ชนิดต่ำสุด	ชนิดหน่วงเวลา	จำนวนไซเคิลที่คืนตัว
Expansion fuse	0.5	0.5 ถึง 60	ไม่มี
Current limit fuse	น้อยกว่า 0.25	0.5 ถึง 60	ไม่มี
Electronic recloser	3	0.25 ถึง 6	0 ถึง 4
Oil circuit breaker	5	1 ถึง 60	0 ถึง 4
SF_6 vacuum breaker	3	1 ถึง 60	0 ถึง 4

ตารางที่ 2.3 เวลาขจัดความผิดพร่องจากแรงดันตกของอุปกรณ์ขจัดความผิดพร่องชนิดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ไทริสเตอร์ (SCR)

3.1 โครงสร้างของไทริสเตอร์

SCR เป็นสิ่งประดิษฐ์สารกึ่งตัวนำที่มีทั้งหมด 3 ขั้ว คือ มีขั้วกำลัง 2 ขั้วได้แก่ อาโนด (Anode) กับ คาโทด (Cathode) และมีขั้วควบคุมอีก 1 ขั้ว คือ เกต (Gate) ดังแสดงในรูปที่ 5 สำหรับโครงสร้างภายในนั้นจะประกอบด้วยชั้นของสารกึ่งตัวนำเรียงกัน 4 ชั้น คือ p_1-n_1-p_2-n_2 ซึ่งทำให้เกิดหัวต่อ pn ขึ้น 3 หัวต่อ คือ J_1,J_2 และ J_3 ดังแสดงในรูป 5 ก ส่วนในรูปที่ 5 ข เป็นลักษณะของ SCR

จากโครงสร้างของ SCR ในรูปที่ 5 ก จะเห็นได้ว่าถ้าอาโนดศักดาไฟฟ้าสูงกว่าคาโทด (ความต่างศักดาไฟฟ้าระหว่างอาโนดกับคาโทดซึ่งเราเรียกว่าแรงดันอาโนด V_A มีค่าเป็นบวกเมื่ออาโนดมีศักดาไฟฟ้าสูงกว่าคาโทด) J_1 และ J_2 จะถูกไบแอสตาม แต่ J_2 จะถูกไบแอสย้อนทำให้กระแสไม่อาจไหลผ่าน SCR ได้ และเมื่อคาโทดมีศักดาไฟฟ้าสูงกว่าอาโนด (V_A มีค่าเป็นลบ) J_2 จะถูกไบแอสตาม แต่ J_1 และ J_3 จะถูกไบแอสย้อนทำให้กระแสไม่อาจไหลผ่าน SCR ได้เช่นเดียว

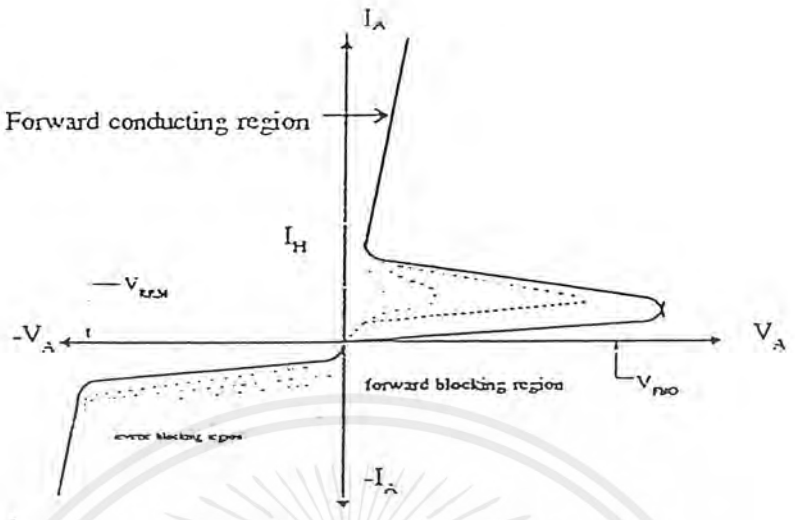
รูปที่ 3.1 (ก) โครงสร้างภายใน
(ข) สัญลักษณ์ของ SCR

การทำงานของ SCR จะยอมให้กระแสไหลผ่านได้ก็เมื่อแรงดันอาโนด(V_A)มีค่าเป็นบวก และ SCR ได้รับสัญญาณจุดฉนวนที่เกต เราเรียกกระแสที่ไหลผ่าน SCR จากอาโนดไปยังคาโทดว่า กระแสอาโนด (I_A)

3.2 ลักษณะสมบัติสถิตของไทริสเตอร์

รูปที่ 6 แสดงความสัมพันธ์ระหว่างกระแสอาโนดและแรงดันอาโนดสำหรับกระแสเกตต่าง ๆ กันซึ่งเราเรียกว่ากราฟลักษณะสมบัติกระแส-แรงดันของ SCR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 ความสัมพันธ์ระหว่างกระแสและแรงดันอาโนด

3.2.1 สถานะปิดกั้นย้อน (Reverse blocking state)

เป็นภาวะที่แรงดันอาโนด (V_A) มีค่าเป็นลบและ SCR ไม่สามารถนำกระแสแต่จะมีกระแสอิ่มตัว ย้อนกลับของขั้วต่อ pn ซึ่งจะมีค่าเล็กน้อยผ่าน SCR จะอยู่ในสถานะปิดกั้นย้อนจนกระทั่งขนาดของแรงดันอาโนด V_A มีค่าสูงกว่าแรงดัน พังทลายย้อน V_{RRM}ของ SCR กระแสจะสามารถไหลผ่าน SCR ได้ในภาวะเช่นนี้ ถ้าเราไม่จำกัดกระแสที่ไหลผ่าน SCR ความร้อนที่เกิดขึ้นจะทำให้ SCR เสียหายได้

3.2.2 สถานะปิดกั้นตาม (Forward blocking state)

เป็นภาวะที่แรงดันอาโนด (V_A) มีค่าเป็นบวกแต่ SCR ไม่นำกระแสแต่จะมีกระแสอิ่มตัวย้อนกลับของหัวต่อ pn ซึ่งมีค่าเล็กน้อยไหลผ่าน กระแสนี้จะเพิ่มขึ้นกับแรงดันอาโนดน้อยมากจนกระทั่งแรงดันอาโนดมีค่าสูงกว่าแรงดันพังทลายตาม V_{FBO} ของ SCR กระแสจะสามารถไหลผ่าน SCR ได้และ SCR จะเข้าสู่ถานะนำกระแสตาม

3.2.3 สถานะนำกระแสตาม(Forward conducting state)

เป็นภาวะที่ SCR นำกระแสโดยที่แรงดันตกคร่อม SCR มีค่าต่ำคือ มีค่าสูงกว่าแรงดันไบแอสตามของ ขั้วต่อ pn เพียงเล็กน้อย (1-2) โวลต์ SCR จะอยู่ในสถานะนำกระแสตราบเท่าที่กระแสอาโนดยังมีค่าสูงกว่า holding current (I_H)

จากลักษณะในรูปที่ 6 จะเห็นได้ว่าแรงดันพังทลายตามของ SCR จะมีค่าสูงสุดเมื่อกระแสเกตเป็นศูนย์และจะลดลงเมื่อกระแสเกตเพิ่มขึ้น จากคุณสมบัติอันนี้เราสามารถที่จะทำให้ SCR เข้าสู่สถานะนำกระแสได้โดยใช้กระแสเกตซึ่งมีค่าเล็กมากเมื่อเทียบกับกระแสอาโนดและเมื่อ SCR เข้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สู่สถานะนำกระแสตามแล้วมันจะสามารถคงอยู่ในสถานะนั้นได้โดยไม่ต้องมีกระแสเกตซึ่งเป็นคุณสมบัติของสวิตช์ที่มีหลักการที่เราจะทำให้ SCR เปลี่ยนจากสถานะนำกระแสตามไปสู่สถานะปิดกั้นตามนั้นเราจะต้องลดกระแสอาโนดของ SCR ลงให้ต่ำกว่า holding current ซึ่งมีได้หลายวิธี

3.3 การใช้ไทริสเตอร์ในการควบคุมแรงดันไฟฟ้ากระแสสลับ

ไทริสเตอร์สามารถใช้แทนสวิตช์เชิงกล(Mechanical switch) และสวิตช์เชิงกลไฟฟ้า (Electro-mechanical switch) ในวงจรไฟฟ้ากระแสสลับได้ทั้งนี้โดยมีข้อดีข้อเสียดังต่อไปนี้

ข้อดี

1. ไม่มีการขาด ๆ ติด ๆ ของหน้าสัมผัสอย่างในกรณีสวิตช์เชิงกลทำให้กระแสเข้าสู่สถานะอยู่ตัวได้เร็ว
2. การทำงานไม่มีเสียงดัง เพราะไม่มีชิ้นส่วนที่เคลื่อนไหว
3. การจุดฉนวนให้ไทริสเตอร์ทำงานในขณะที่แรงดันมีค่าเป็นศูนย์ และเนื่องจากไทริสเตอร์หยุดนำระแสไปเองในขณะที่กระแสมีค่าเป็นศูนย์กระแสในวงจรจะไม่มีการกระโดด ดังนั้นจึงไม่มีการรบกวน การสื่อสารในแถบความถี่วิทยุ (RFI)
4. ไม่ต้องมีการซ่อมบำรุงมากนัก ทั้งนี้ก็เพราะไทริสเตอร์ไม่มีหน้าสัมผัสและไม่มีส่วนที่เคลื่อนไหว
5. ใช้งานในบรรยากาศที่มีไอเชื้อเพลิง หรือมีวัตถุระเบิดได้อย่างปลอดภัย
6. คงทนต่อการสั่นสะเทือนและการกระแทก
7. ติดตั้งใช้งานในตำแหน่งใด ๆ หรือสถานที่ใด ๆ ก็ได้
8. มีขนาดเล็ก น้ำหนักเบาและราคาถูกกว่าสวิตช์เชิงกลไฟฟ้า

ข้อเสีย

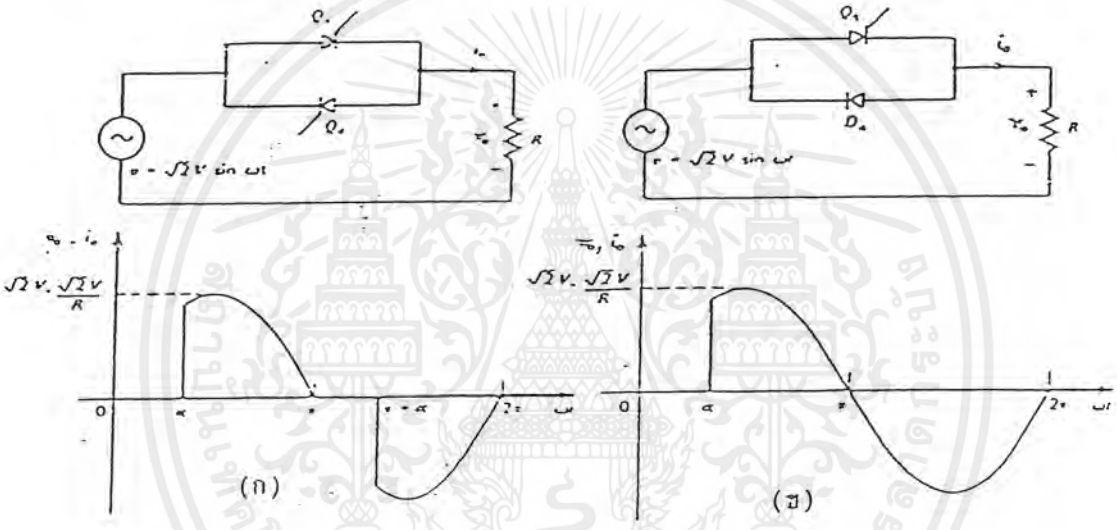
1. อาจจะทำงานผิดพลาดได้ ถ้าแรงดันหรือกระแสมีขนาดสูงเกินไปยกเว้นเมื่อมีการป้องกันมีเหมาะสม
2. ในสถานะที่ไทริสเตอร์ไม่นำกระแสโหลดจะไม่ขาดจากแหล่งจ่ายอย่างบริบูรณ์ ทั้งนี้ก็เพราะมีกระแสไหลผ่านไทริสเตอร์ได้
3. มีแรงดันตกคร่อมอยู่ในช่วง 0.5-1.5 โวลต์ซึ่งอาจสูงเกินไปสำหรับบางวงจร
4. ถ้าแรงดันเปลี่ยนแปลงเร็วเกินไปไทริสเตอร์อาจนำกระแสก่อนเวลาอันควร
5. ต้องมีการใส่วงจรป้องกันมิให้ไทริสเตอร์นำกระแสก่อนเวลาอันควร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การควบคุมแบบเฟส(Phase Control)

เป็นการทำให้ไทริสเตอร์นำกระแสที่มุมต่าง ๆ ของแต่ละวัฏจักร โดยมุมจุดชนวน(α) จะอยู่ห่างกัน 180 องศา วงจรและรูปคลื่นของแรงดัน หรือกระแสที่จ่ายให้แก่โหลดที่เป็นความต้านทานอย่างเดียวดังแสดงในรูปโดยที่รูป (ก) ควบคุมแบบเต็มลูกคลื่น และรูป (ข) ควบคุมแบบครึ่งคลื่น

ในวงจรรูป ก) รูปคลื่นของกระแสจะสมดุลย์ในแต่ละวัฏจักร จึงไม่มี DC Component ไหลในโหลดจึงนิยมใช้ควบคุมลักษณะเต็มลูกคลื่นส่วนในรูป ข) จะมี DC Component ไหลในโหลดเนื่องจากมีรูปคลื่นที่ไม่สมดุลย์ในแต่ละวัฏจักร



รูปที่ 3.3 การควบคุมแรงดันชนิด 1 เฟส
(ก) ควบคุมแบบเต็มลูกคลื่น
(ข) ควบคุมแบบครึ่งคลื่น

เมื่อมีแรงดันตกคร่อมไทริสเตอร์ และมีมุมจดชนวน $\omega t = T_1$ จะทำงานที่ $\omega t = \alpha$ และจะทำให้แรงดันที่โหลดเท่ากับแรงดันที่แหล่งจ่าย T_2 และจะนำกระแสตลอดช่วงไซเคิลบวกและจะหยุดนำกระแสเมื่อแรงดันตกลงเป็นศูนย์ ที่ $\omega t = 0$ T_2 จะถูกทริกที่มุม $\omega t = t+\alpha$ และจะนำกระแสต่อเนื่องจนถึง $\omega t = 2\pi$ แสดงดังลูกคลื่นในรูปที่ 7 แม้ว่าแรงดันที่โหลดจะสามารถทำให้ค่าเฉลี่ยแรงดันเป็นศูนย์ อย่างไรก็ตามค่าเฉลี่ยสำหรับคาบเวลา พิจารณาได้ค่าแรงดันเฉลี่ยออกมาคือ

$$E_{0av} = \frac{(\sqrt{2})E}{2\pi}(1+\cos\alpha) \qquad .....(3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแส ไทริสเตอร์เฉลี่ย

$$I_{SCR(av)} = \frac{(\sqrt{2})}{2\pi R_L}(1+\cos\alpha) \qquad .....(3.2)$$

ซึ่งค่า $I_{SCR(average)}$ สูงสุดที่มุม $\alpha = 0$

$$I_{SCR(\max)} = \frac{(\sqrt{2})}{2\pi R_2} \qquad .....(3.3)$$

ค่าแรงดันอาร์เอ็มเอส คำนวณได้โดย

$$E_{0_{rms}} = E\left[1-\frac{\alpha}{\pi}+\frac{\sin 2\alpha}{2\pi}\right]^{1/2} \qquad .....(3.4)$$

ดังนั้นกระแสอาร์เอ็มเอสที่โหลดจึงเท่ากับ

$$I_{SCR_{rms}} = \frac{E}{(\sqrt{2})R_L}\left[1-\frac{\alpha}{\pi}+\frac{\sin 2\alpha}{2\pi}\right]^{1/2} \qquad .....(3.5)$$

และค่ากระแสที่ผ่านไทริสเตอร์แต่ละตัว

$$I_{0_{rms}} = \frac{E}{R_L}\left[1-\frac{\alpha}{\pi}+\frac{\sin 2\alpha}{2\pi}\right]^{1/2} \qquad .....(3.6)$$

กำลังเอาท์พุทที่โหลดจึงเท่ากับ

$$P_0 = E_{0(rms)}I_{0(rms)} = \frac{E^2}{\pi R_L}\left[\pi-\alpha+\frac{1}{2}\sin 2\alpha\right]^{1/2} \qquad .....(3.7)$$

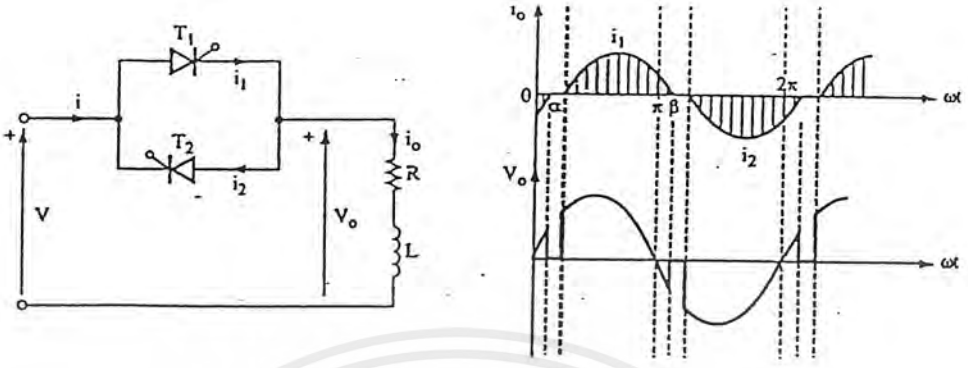
Power Factor

$$p.f. = \frac{E_{0(rms)}I_{0(rms)}}{EI_{0(rms)}} = \frac{P_0}{EI_{0(rms)}} = \left[1-\frac{\alpha}{\pi}+\frac{\sin 2\alpha}{2\pi}\right]^{1/2} \qquad .....(3.8)$$

กรณีที่โหลดเป็นค่าความต้านทานและตัวเหนี่ยวนำ ซึ่งเป็นโหลดโดยทั่วไปค่าของกระแสและแรงดันในกรณีนี้จะแสดงได้ด้วยรูปคลื่นดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 3.4 การควบคุมมุมเฟสกับโหลดความต้านทานและตัวเหนี่ยวนำ

ค่าของกระแสในกรณีจะเป็นไปตามสมการ Differential Equation

$$L\frac{di}{dt}+R_1 i=\left(\sqrt{2}\right)E\sin\omega t \qquad .....(3.9)$$

แก้สมการข้างต้นแล้วจะได้

$$i=\frac{\left(\sqrt{2}\right)}{Z_L}E\sin\left(\omega t-\Phi\right)+Ce^{-\omega t/\tan\Phi} \qquad .....(3.10)$$

แทนค่าด้วยเงื่อนไขเริ่มต้น $I=0$ ที่ $\omega t=\alpha$

$$i=\frac{\left(\sqrt{2}\right)}{Z_L}E\left[\sin\left(\omega t-\Phi\right)-\sin\left(\alpha-\Phi\right)e^{(\omega t-\Phi)(\tan\Phi)}\right] \qquad .....(3.11)$$

$$Z_L=\left(\sqrt{R^2{}_L+\omega^2L^2}\right)$$

$$\tan\Phi=\frac{\omega L}{R}$$

กระแสในไทริสเตอร์ เริ่มไหลเมื่อ $\omega t=\alpha$ และจะลดลงเป็นศูนย์ที่ $\omega t=\beta$ ตามสมการที่ 3.10

37007
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

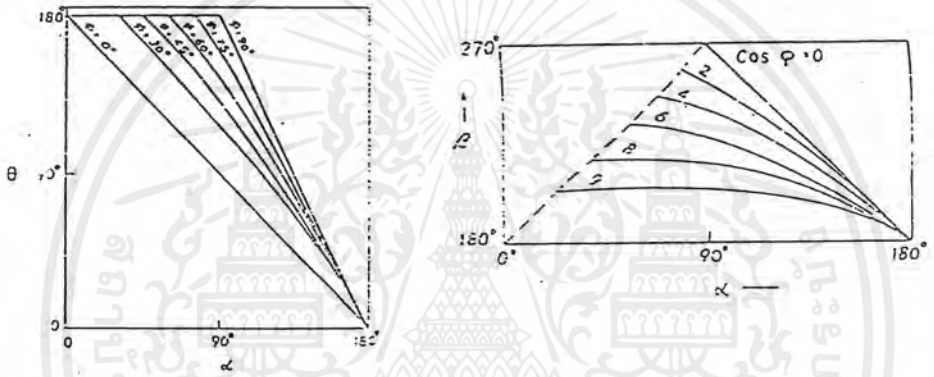
$$i = \left(\sqrt{2}\right)E\left[\sin\left(\omega t - \Phi\right) - \sin\left(\alpha - \Phi\right)e^{(\alpha t - \Phi)/\tan\Phi}\right] \qquad .....(3.12)$$

จัดรูปใหม่ได้เป็น

$$\sin\left(\beta - \Phi\right) = \sin\left(\alpha - \Phi\right)e^{(-\theta/\tan\Phi)} \qquad .....(3.13)$$

โดยที่ θ= มุมที่ไทริสเตอร์นำกระแสเท่ากับ β-α

ค่า β และ θ สามารถนำมาวาดกราฟแสดงความสัมพันธ์กับมุม α และ ได้ดังรูปที่ 9



รูปที่ 3.5 ความสัมพันธ์ระหว่างมุม β กับมุม θ เมื่อเทียบกับมุม α

จากสมการที่ 3.12 จะทำให้ทราบว่ากระแสเอาท์พุทจะไม่ต่อเนื่องที่ $\alpha > \Phi$ แรงดันและกระแสเอาท์พุทสูงสุดที่ $\alpha=\Phi$ และมีรูปคลื่นเป็น Sinusoidal มุมจุดชนวนไม่สามารถน้อยกว่ามุม Φ ได้ ซึ่งถ้าเป็นพัลส์เดี่ยว ไทริสเตอร์จะไม่ทำงานเพราะการนำกระแสที่ต่อเนื่องของอีกตัวหนึ่ง ทำให้มีคุณสมบัติคล้ายกับวงจรเรียงกระแส(rectifier circuit) ซึ่งสามารถป้องกันได้โดยการใช้สัญญาณการจุดชนวนที่ยาว เพื่อให้ไทริสเตอร์ ทำงานที่มุม Φ แม้ว่ามุมจุดชนวน $\omega t < \Phi$ ก็ตาม

ค่าแรงดันเฉลี่ยที่โหลด

$$E_{O(av)} = \frac{2\left(\sqrt{2}\right)E}{\pi}\left(\cos\alpha - \cos\beta\right) \qquad .....(3.14)$$

กระแสที่ไหลผ่านไทริสเตอร์เฉลี่ยเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{SCR(av)} = \frac{(\sqrt{2})E}{\pi R_L}\sin\frac{\Phi}{2}\sin\left(\alpha+\frac{\Phi}{2}\right) \qquad .....(3.15)$$

ได้ค่าแรงดันเอาท์พุท

$$E_{O(rms)} = E\left[\frac{\theta-\sin\theta\cos(2\alpha+\theta)}{\pi}\right]^{1/2} \qquad .....(3.16)$$

ค่าอาร์เอ็มเอสของกระแสโหลด

$$I_{O(rms)} = \frac{E}{Z_L}\left[\frac{\theta}{\pi}-\frac{\sin\theta}{\pi\cos\varphi}\cos(2\alpha+\theta+\varphi)\right]^{1/2} \qquad .....(3.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ไมโครคอนโทรลเลอร์

4.1 คุณสมบัติของไมโครคอนโทรลเลอร์

เพื่อความถูกต้องและแม่นยำของการทำงานในส่วนของวงจรภาคควบคุม ปริญญานิพนธ์นี้เลือกใช้ MCS-51 ในการควบคุมวงจรทางด้านฮาร์ดแวร์ เนื่องจากสามารถที่จะใช้ในการคำนวณช่วงเวลาที่เราต้องการผลิตแรงดันไฟฟ้าตกชั่วขณะ(generated sags voltage)ออกมา

คุณสมบัติที่สำคัญๆของ MCS-51 มีดังต่อไปนี้

1. ต้องการแหล่งจ่ายไฟกระแสตรง 5 โวลท์ เพียงชุดเดียว
2. มีหน่วยความจำที่ใช้เก็บโปรแกรมควบคุมการทำงานอยู่ภายในชิปจำนวน 4 กิโลไบต์ (เบอร์8031,8032 ไม่มีหน่วยความจำส่วนนี้ ส่วนเบอร์8052 มีหน่วยความจำส่วนนี้ 8 กิโลไบต์ และสำหรับเบอร์83C51FB มีหน่วยความจำส่วนนี้ 16 กิโลไบต์)
3. มีหน่วยความจำสำหรับเก็บข้อมูลทั่วไป(RAM)อยู่ภายในจำนวน 128ไบต์เท่ากับเบอร์ 8031(256 ไบต์ในเบอร์8032,8052)
4. ใช้หน่วยความจำสำหรับเก็บข้อมูลและโปรแกรมอยู่ภายในอย่างละ64 กิโลไบต์แยกออกจากกัน
5. คำสั่งส่วนใหญ่ใช้เวลา 1 ไมโครวินาที ใช้คริสตอลความถี่ 12 เมกะเฮิรตซ์เป็นสัญญาณนาฬิกา
6. มีพอร์ตที่รับส่งข้อมูลได้ทั้ง 2 ทิศทาง จำนวน 4 พอร์ตๆละ 8 บิต และสามารถรวมเป็นพอร์ตขนาด 1 บิต ให้เสมือนใช้งานได้ 32 บิต เช่นกัน
7. รับ-ส่งข้อมูลอนุกรมได้ในตัว สามารถกำหนดความเร็วในการรับ-ส่งข้อมูล(Baud Rate) ได้ตั้งแต่ 300-375 กิโลไบต์ต่อวินาที
8. จัดลำดับความสำคัญของการอินเทอร์รัพท์ได้ 2 ระดับ
9. มีรีจีสเตอร์ที่ใช้สำหรับเป็นตัวนับ(Counter)และนับสัญญาณนาฬิกา(Timer) เพื่อใช้ในการนับภายในหรือนับสัญญาณภายนอกขนาด 16 บิต จำนวน 2 ตัวเพื่อใช้ในการนับจำนวนพัลส์ วัดความกว้างของพัลส์หรือใช้ในการนับช่วงเวลา(เบอร์8052 มี 3 ตัว)
10. หน่วยความจำสำหรับเก็บข้อมูลภายใน บางส่วนสามารถเข้าถึงข้อมูลได้ทั้งระดับไบต์และระดับบิตเพื่อให้การออกแบบโปรแกรมในการควบคุมทำได้ง่ายขึ้น
11. มีคำสั่งคูณและหารขนาด 8 บิตในตัวเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12. สามารถประมวลผลแบบบูลีนเพื่อใช้ในงานควบคุมเฉพาะ

13. ใช้โปรแกรมของ MCS-48 (Upwardly Compatible)

14. เป็นเบอร์พื้นฐานที่ใช้ในตระกูลนี้ คือ 8051.8751 และ 8031 มี 40 ขาเท่ากันแตกต่างกันแค่เพียงขนาดของหน่วยความจำภายใน

4.2 โครงสร้างสถาปัตยกรรมของไมโครคอนโทรลเลอร์

สถาปัตยกรรมของไมโครคอนโทรลเลอร์ MCS-51 สามารถแบ่งออกเป็นส่วนๆได้ดังนี้

4.2.1 โครงสร้างภายนอก

MCS-51 มีการจัดวางตำแหน่งขาทั้งหมด 40 ขา โดยมี Vss เป็นขาที่ 20, Vcc เป็นขาที่ 40, ขาที่ 32-39 เป็นพอร์ต 0 ขนาด 8 บิต(open drain bidirectional) สามารถใช้ในการติดต่อกับหน่วยความจำที่เก็บโปรแกรมภายนอกสำหรับการส่งค่าแอดเดรสไบท์ต่ำ(A0-A7)และมัลติเพลกซ์กับการรับส่งข้อมูล(D0-D7)จากหน่วยความจำภายนอกระหว่างเขียนหรืออ่านข้อมูล, ขาที่ 1-8 เป็นพอร์ต 1 (ขาที่ 1และ 2 ในเบอร์ 8052 สามารถใช้งานอื่นได้), ขาที่ 21-28 เป็นพอร์ต 2 สามารถใช้ในการติดต่อกับหน่วยความจำที่เก็บโปรแกรมภายนอกสำหรับการส่งค่าแอดเดรส(open drain bidirectional), ขาที่ 10-17 เป็นพอร์ต 3 ทั้ง 4 พอร์ต สามารถใช้เป็นอินพุทพอร์ตได้โดยการโหลดค่า 1 ไปยังแต่ละบิตของแต่ละพอร์ต เพื่อให้มีสถานะที่อิมพีแดนซ์สูง โดยการใช้วงจรพูลอัพภายใน

นอกจากนี้ยังใช้งานพิเศษได้อีกคือ ขา10รับข้อมูลจากภายนอกแบบอนุกรม ขา11รับข้อมูลออกไปภายนอกแบบอนุกรม ขา12เป็นอินพุทของอินเทอร์รัพท์ที่0 ขา13เป็นอินพุทของอินเทอร์รัพท์ที่1 ขา14เป็นอินพุทของไทม์เมอร์0 ขา15เป็นอินพุทของไทม์เมอร์1 ขา16เป็นสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำภายนอก ขา16เป็นสัญญาณควบคุมการอ่านข้อมูลไปยังหน่วยความจำภายนอก ซึ่งการใช้งานพอร์ต3 นี้ต้องโหลดค่า 1 ให้แต่ละบิตก่อนทุกครั้ง ขาที่ 9 คือ RST ขาที่ 30 คือ ALE/PROG ใช้สำหรับการส่งข้อมูลออกไปข้างนอก เพื่อควบคุมการแลทซ์ค่าแอดเดรสไบท์ต่ำจากพอร์ต 0 ในการติดต่อหน่วยความจำที่เก็บโปรแกรมหรือหน่วยความจำภายนอก, ขาที่ 29 เป็น EA/Vpp ใช้ในการเลือกให้ MCS-51 ทำงานโปรแกรมภายในหรือภายนอกชิป, ขาที่ 19 และ 20 คือ XTAL ใช้ต่อกับคริสตอลภายนอกเป็นอิพุทให้กับวงจรออสซิเลเตอร์

4.2.2 โครงสร้างภายใน

โครงสร้างภายใน MCS-51 ใช้เทคโนโลยีในการผลิตเป็นแบบ NMOS และ CMOS เบอร์ 8032 และ 8052 จะมีรอมเบสิก อยู่ภายใน ซึ่งจะสะดวกสำหรับการเขียนโปรแกรมด้วยภาษาเบสิก สำหรับ 8051 จะแบ่งหน่วยความจะออกเป็น 2 ส่วน คือ หน่วยความจำสำหรับเก็บโปรแกรม (program memory) และหน่วยความจำสำหรับเก็บข้อมูล(data memory)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำสำหรับโปรแกรม ใช้สำหรับเก็บโปรแกรมภายในชิป มีขนาดตั้งแต่ 0,4,8,16 กิโลไบท์ขึ้นอยู่กับเบอร์ของชิป

หน่วยความจำสำหรับเก็บข้อมูลประกอบไปด้วยส่วนที่ใช้เก็บข้อมูลภายในชิปและภายนอกชิป โดยส่วนที่เก็บข้อมูลภายในยังแบ่งได้เป็นอีก 2 ส่วนได้แก่ ส่วนที่เก็บข้อมูลทั่วไป(internal ram) และส่วนที่ใช้เป็นรีจีสเตอร์ใช้งานเฉพาะ(special function register)

4.2.3 หน่วยความจำ

ดังที่กล่าวมาแล้ว 8051 จะแบ่งหน่วยความจำออกเป็นสองส่วน ได้แก่หน่วยความจำสำหรับโปรแกรมและหน่วยความจำสำหรับเก็บข้อมูล โดยมีขนาดของแต่ละส่วนเท่ากับ 64 Kbytes ในส่วนของหน่วยความจำโปรแกรมจะเป็นส่วนหน่วยความจำสำหรับอ่านอย่างเดียว โดยที่ 8051 จะใช้สัญญาณ PSEN ในการอ่านเท่านั้น แต่หน่วยความจำข้อมูลของ 8051 จะสามารถอ่านและเขียนได้โดยใช้สัญญาณ RD และ WR ตามลำดับ แต่อย่างไรก็ตาม ผู้ใช้สามารถรวมหน่วยความจำโปรแกรมและหน่วยความจำข้อมูลเข้าด้วยกันได้ โดยนำสัญญาณ RD และ PSEN มา AND กันสำหรับสร้างสัญญาณในการอ่านหน่วยความจำ นอกจากนี้หน่วยความจำดังกล่าวยังแบ่งออกเป็นภายนอกและภายในของ 8051 หน่วยความจำภายในของ 8051 แบ่งออกเป็นสองส่วนได้แก่ส่วนของหน่วยความจำข้อมูลที่สามารถอ้างอิงแบบ Direct และ Indirect ซึ่งมีขนาด 128 byte กับหน่วยความจำที่อ้างอิงได้เฉพาะแบบ Direct เท่านั้น หรือในส่วนนี้จะเรียกอีกแบบหนึ่งว่า SFR (Special Function Register)

4.2.4 พอร์ตอินพุทและเอาท์พุต

พอร์ต หมายถึง แอดเดรสหนึ่งที่ได้รับการกำหนดไว้เพื่อการโอนย้ายข้อมูลระหว่างไมโครคอนโทรลเลอร์กับอุปกรณ์ภายนอก การกำหนดประเภทของการติดต่อขึ้นอยู่กับทิศทางการไหลของข้อมูลเมื่อพิจารณาจากไมโครคอนโทรลเลอร์เป็นหลัก ดังนั้นการนำขอมูลเข้าจากวงจรภายนอกเรียกว่า การอินพุต(input) และในกรณีตรงกันข้ามเพื่อการส่งข้อมูลออกเรียกว่า การเอาท์พุต (output)

เมื่อพิจารณาจากวิธีการส่งข้อมูลภายในพอร์ตจะสามารถแยกประเภทของพอร์ตออกได้เป็นสองลักษณะคือ พอร์ตอนุกรม(serial port) ที่ทำการโอนย้ายข้อมูลออกมาทีละบิต และพอร์ตขนานทีส่งหรือรับข้อมูลคราวละมากๆจนครบจำนวน

4.2.5 ชุดคำสั่งของไมโครคอนโทรลเลอร์

ชุดคำสั่งของไมโครคอนโทรลเลอร์MCS-51 สามารถแบ่งออกได้ 5 ชุดคำสั่งดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ชุดคำสั่งการถ่ายเทข้อมูล สามารถแบ่งออกได้เป็น 2 ส่วนได้แก่ ชุดคำสั่งการถ่ายเทข้อมูลในแรม(Ram)ภายใน และชุดคำสั่งการถ่ายเทข้อมูลในแรม(Ram)ภายนอกกับหน่วยความจำโปรแกรม ตัวอย่าง เช่น MOV TL,0FAH ;นำค่า FA ฐาน 16 ไปเก็บไว้ที่รีจีสเตอร์ TL
2. ชุดคำสั่งทางคณิตศาสตร์ ใช้สำหรับการประมวลผลของข้อมูลที่สามารถกระทำตามสมการทางคณิตศาสตร์ ตัวอย่าง เช่น ADD A,@R ;บวกค่าที่ชี้โดยรีจีสเตอร์เข้ากับ A
3. ชุดคำสั่งทางตรรกศาสตร์ ใช้สำหรับการคำนวณทางลอจิก(logic) ตัวข้อมูลหรือรีจีสเตอร์ ตัวอย่าง เช่น CLR A ;เป็นการเคลียร์ค่าในแแอคคิวมูเลเตอร์
4. ชุดคำสั่งของบูลลีน ตัวอย่าง เช่น SETB C ;กำหนดค่าให้รีจีสเตอร์ C
5. ชุดคำสั่งการกระโดด ตัวอย่าง เช่น JMP @A+DTPR ;ให้กระโดดไปยังคำสั่งที่กำหนดค่า ค่าของตัวชี้คือส่วนที่เป็นเฉพาะภายใน

4.2.6 การอินเตอร์รัปต์ การอินเตอร์รัปต์มี ได้ 2 แบบคือ จากภายในและภายนอกระบบสำหรับปริญญานิพนธ์ใช้การอินเตอร์รัปต์ทั้ง 2 แบบ

4.2.7 สัญญาณนาฬิกาในไมโครคอนโทรลเลอร์ การทำงานของไมโครคอนโทรลเลอร์หรือตัวประมวลผล ต้องพึ่งสัญญาณนาฬิกา และสำหรับ MCS-51 มีวงจรผลิตสัญญาณหรือวงจรออสซิเลเตอร์อยู่ภายในชิปอยู่แล้ว(on chip oscillator)

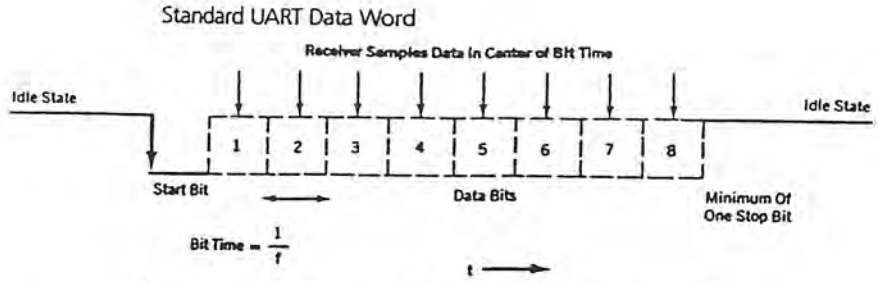
4.2.8 ไทเมอร์และเคาท์เตอร์ การควบคุมไทเมอร์และเคาท์เตอร์ในส่วนของไมโครคอนโทรลเลอร์ที่ใช้ในปริญญานิพนธ์นี้ถือว่าเป็นหัวใจของวงจร การผลิตสัญญาณแรงดันไฟฟ้าตกชั่วขณะ เพราะวงจรใช้การนับลูกคลื่นในการควบคุมการเกิด Sags

4.2.9 การจัดการเกี่ยวกับสแต็ก การควบคุมสแตกหรือหน่วยความจำส่วนหนึ่งที่จัดเตรียมไว้สำหรับการเก็บค่าตำแหน่งหรือแอดเดรส เมื่อมีการย้อนกลับ(return)

4.3 การสื่อสารพอร์ตอนุกรม

การสื่อสารพอร์ตอนุกรมของกรม เริ่มโดยข้อมูลถูกเขียนลงใน รีจีสเตอร์ชื่อ SBUF โดย TI จะถูกเซตเป็น 1 เมื่อข้อมูลส่งเรียบร้อยแล้ว ถ้าหากการทำงานทางด้านซอฟแวร์หรือโปรแกรมผิดพลาด ก็จะไม่ สามารถคาดเดาสิ่งที่จะเกิดขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 แสดงรูปแบบเวอร์ดข้อมูล -URAT มาตรฐาน

ข้อมูลที่รับจะมีลำดับเหมือนเดิม การรับจะถูกทริกที่ขอบขาลงของ Start bit และต่อไปเรื่อยๆ ถ้า Stop bit เป็น 0 ครึ่งหนึ่งของ Start bit นี่เป็นวิธีการวัดที่มีการรบกวนน้อยถ้าวงจรรับถูกทริกโดยสัญญาณรบกวนบนสายส่ง การตรวจสอบสภาวะ 0 หลังจากครึ่งบิทจะเป็นการกำจัดการรับข้อมูลที่ผิดพลาด

บิทข้อมูลถูกเลื่อนเข้ารับที่โปรแกรม Baud rate ไว้และ Word ข้อมูลจะถูกส่งไป SBUF ถ้าเงื่อนไขตามนี้เป็นจริง :Ri = 0, SM = 0 หรือ Stop bit = 0 RI = 1 เป็นการบอกว่าโปรแกรมได้อ่านไบต์ข้อมูลมาก่อน และพร้อมรับข้อมูลต่อไป โดยปกติ Stop bit จะทำให้ส่งข้อมูลไปยัง SBUF ได้สมบูรณ์ที่สภาวะ SM2 โดยที่ SM2 = 0 ทำให้สามารถรับไบต์และ Sopt bit ซึ่งเป็นข้อจำกัดการใช้โหมดนี้ แต่มีประโยชน์มากในโหมด 2 และ 3 ถ้า SM2 = 1 ทำให้รับเฉพาะ Stop bit ที่ถูกต้องเท่านั้น และป้องกันการรบกวน

ใน 10 บิทนี้ ที่ตำแหน่งสุดท้ายของการรับ เป็นการชี้ว่าข้อมูลที่รับมาก่อนยังไม่ถูกโปรแกรมอ่าน หรือถ้าเงื่อนไขอื่นไม่จริง ข้อมูลใหม่จะไม่ถูกโหลดและจะสูญหายไป

Baud rate โหมด 1

ไทม์เมอร์ 1 ถูกใช้สร้าง Baud ในโหมด 1 โดยใช้โอเวอร์โฟลแฟลกของไทม์เมอร์ เพื่อกำหนดความถี่ Baud rate ถ้าไทม์เมอร์ 1 ใช้ในโหมดเป็นไทม์เมอร์ 8 บิท ออโตโหลด (Autoload) จะสร้าง Baud rate ได้

$f_{baud} = (2^{SMOD} * \text{ความถี่ออสซิลเลเตอร์}) / (32*12*[256-TH1]$

SMOD เป็นบิทควบคุมใน PCON และอาจเป็น 0 หรือ 1

ถ้าไทม์เมอร์ 1 ไม่ได้ทำงานในโหมด 2 Baud rate จะเป็น

$f_{baud} = (2^{SMOD} * \text{Timer1 overflow flag}) / 32$

และไทม์เมอร์ 1 สามารถใช้สัญญาณนาฬิกาภายใน หรือเป็นเคาน์เตอร์ซึ่งรับพัลส์นาฬิกาจากภายนอกผ่านขา T1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ออสซิลเลเตอร์ที่เลือกจะช่วยสร้าง Baud rate ทั้งแบบมาตรฐานและไม่มาตรฐาน ถ้าต้องการ Baud rate มาตรฐาน คริสตอล 11.059 MHz ควรใช้ ซึ่งจะได้อัตรามาตรฐาน 9600 Hz และ TH1 จะมีค่าดังนี้

$TH1 = 256-[2^6*11.0592*10^6) / 32*12*9600)] = 0FDH = 253.0000d$

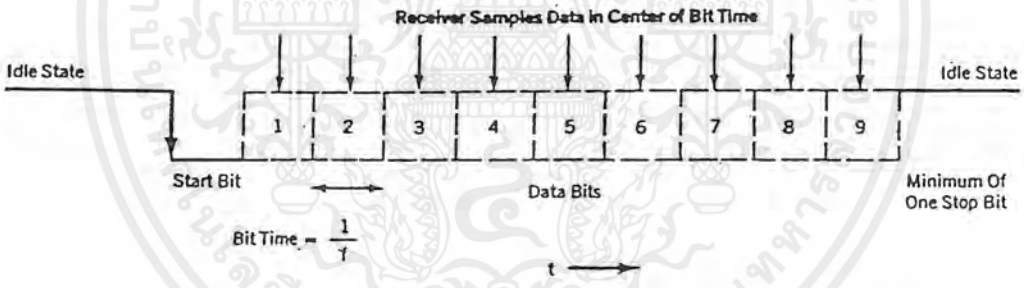
ถ้า SMOD ถูกเคลียร์เป็น 0

ข้อมูลอนุกรมโหมด 2 - โหมดมัลติโปรเซสเซอร์

โหมด 2 คล้ายกับโหมด 1 เว้นแต่ว่ามีการส่ง 11 บิท คือ Start bit 1 บิท, ข้อมูล 9 บิท, Stop bit 1 บิท ดังรูป 2.16 บิดข้อมูลที่ 9 ได้จาก TB8 ใน SCON ระหว่างการส่งและเก็บในบิท RB8 ของ SCON เมื่อรับข้อมูล ทั้ง Start bit และ Stop bit จะทิ้งไป

Baud rate กำหนดได้ด้วย

$f^{baud} = (2^{SMOD} *$ความถี่ออสซิลเลเตอร์$)/64$



รูปที่ 4.2 แสดงรูปแบบเวอร์ดข้อมูลในโหมดมิลติโปรเซสเซอร์

ในกรณีในโหมด 0 Baud rate จะมากกว่ามาตรฐานมาก อัตราข้อมูลที่สูงนี้เป็นที่ต้องการใน Application หลายๆ มัลติโปรเซสเซอร์ ข้อมูลสามารถรวบรวมได้อย่างรวดเร็วจากเครือข่ายของไมโครคอนโทรลเลอร์ที่ใช้สื่อสาร ถ้าใช้ Baud rate ที่สูง

เงื่อนไขการเซต RI ในโหมด 1 RI ต้องเป็น 0 ก่อนจะรับบิทสุดท้าย และ SM2 ต้องเป็น 0 หรือข้อมูลบิทที่ 9 ต้องเป็น 1 การเซต RI ขึ้นกับสภาวะของ SM2 ในการรับ 8051 และสภาวะบิทที่ 9 ซึ่งทำให้ Multiprocessing เป็นไปได้โดยให้ตัวรับถูกอินเทอร์รัพท์โดยข้อมูลบางตัว ในขณะที่ตัวรับอื่นๆ ไม่สนใจข้อมูลนี้ เฉพาะ 8051 เท่านั้นที่ SM2 เซตเป็น 0 จะถูกอินเทอร์รัพท์โดยข้อมูลที่รับ ซึ่งข้อมูลบิทที่ 9 เซตเป็น 1 จะไม่ถูกอินเทอร์รัพท์โดยข้อมูล พร้อมกับข้อมูลบิท 9 เป็น 0 ตัวรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งหมดจะถูกอินเทอร์รัพท์โดยข้อมูล และข้อมูลบิทที่ 9 เซตเป็น 1 ซึ่งสภาวะของ SM2 จะไม่ขัดขวางการรับข้อมูล

รายละเอียดเหล่านี้จะให้คอมพิวเตอร์ที่ทำการสั่ง ติดต่อกับคอมพิวเตอร์ตัวรับที่ถูกเลือกโดยไม่มีการอินเทอร์รัพท์คอมพิวเตอร์ตัวรับอื่นๆ คอมพิวเตอร์ตัวรับอาจถูกสั่งเป็นตัวรับ ตัวส่ง หรือ ไม่สนใจคำสั่ง โดยโค้ดไบต์ที่ส่งพร้อมกับข้อมูลบิท 9 เป็น 1 "1" ในข้อมูลบิท 9 จะอินเทอร์รัพท์ตัวรับทุกตัว คำสั่งนี้จะถูกโปรแกรมให้มีผลต่อโค้ดไบต์เพื่อโปรแกรมสภาวะของ SM2 ใน SCON ตัวรับที่ถูกเลือกจะทำให้บิท 9 เซตเป็น 0 ขณะที่ตัวรับอื่นๆ จะไม่สนใจตัวส่งสามารถเปลี่ยนตัวรับโดยส่งบิทที่เซตเป็น 1 ซึ่งจะสั่งตัวรับใหม่ให้เซต SM2 เป็น 0 ขณะที่ตัวอื่นๆ จะเซต SM2 เป็น 1

ข้อมูลอนุกรมโหมด 3

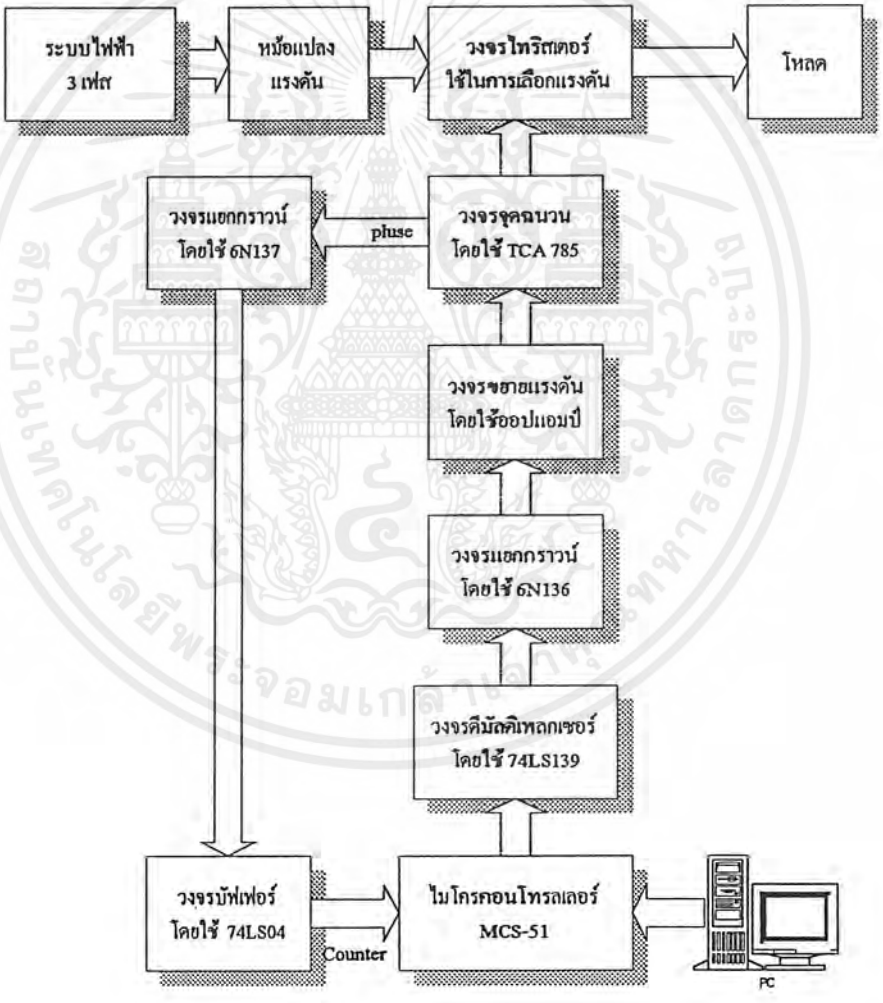
โหมด 3 เหมือนกับโหมด 2 ยกเว้น Baud rate ซึ่งเหมือนโหมด 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบและการสร้าง

5.1 แนวคิดเบื้องต้นและรูปแบบจำลอง

สำหรับรูปแบบของวงจรที่ออกแบบขึ้นนี้ เราสามารถที่จะแสดงให้เห็นว่า ได้ใช้หลักการเปลี่ยนระดับของแรงดันไฟฟ้าให้มีค่าของขนาดที่ลดลงจากระดับ 100 เปอร์เซ็นต์หรือ 220 โวลท์ จนถึงค่าต่ำสุดที่ออกแบบไว้คือ 25 เปอร์เซ็นต์หรือ 55 โวลท์ โดยอาศัยคุณสมบัติของ ไทริสเตอร์มาใช้ในการเลือก ขนาดของแรงดันต่าง ๆจากหม้อแปลง โดยจะขอแสดงจากรูปแบบจำลองต่อไปนี้



รูปที่ 5.1 แบบจำลองของโครงสร้างชุดเครื่องกำเนิดแรงดันตก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปแบบจำลองชุดเครื่องกำเนิดแรงดันตกจะแบ่งส่วนของวงจรหลัก ๆ ออกเป็น วงจรกำลัง และวงจรควบคุม โดยวงจรกำลังจะประกอบด้วยส่วนของหม้อแปลงแรงดันไฟฟ้าที่แปลงแรงดันไฟฟ้ามาเป็นแรงดันระดับต่าง ๆ และส่วนของวงจรไทริสเตอร์ที่ใช้ในการเลือกระดับแรงดัน สำหรับในส่วนของวงจรควบคุมจะแบ่งออกเป็นในส่วนของฮาร์ดแวร์กับส่วนของโปรแกรมควบคุมการทำงานซึ่งมีรายละเอียดทั้งหมดดังนี้

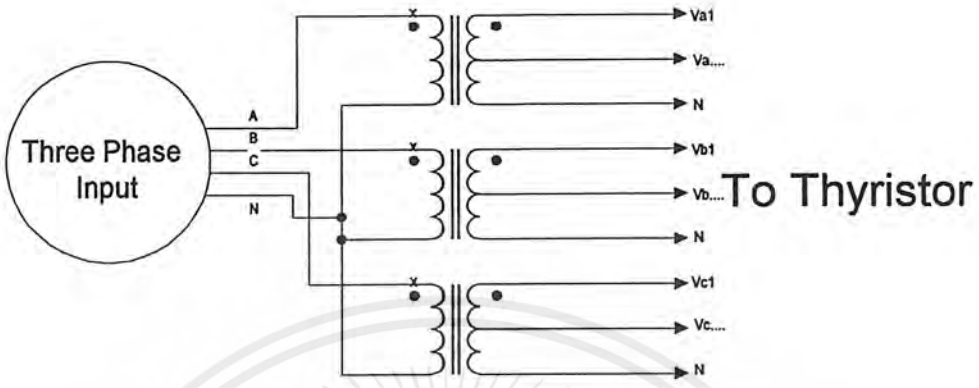
5.2 วงจรกำลัง ส่วนของวงจรกำลังที่ใช้ประกอบไปด้วยส่วนของหม้อแปลงไฟฟ้า 3 เฟส และ ส่วนของวงจรไทริสเตอร์โดยในส่วนของวงจรกำลังนี้ทางด้านอินพุทจะเป็นระบบไฟฟ้า 3 เฟสโดยมีเซอร์กิตเบรคเกอร์และฟิวส์เป็นตัวป้องกันระบบ

5.2.1 หม้อแปลงไฟฟ้า (Transformer tap change) รับไฟฟ้า 3 เฟสจากหม้อแปลงจำหน่าย (distribution transformer)ด้านเข้าต่อแบบสตาร์ขนาดพิกัด 380 V_{L-L}/ 220_{L-N} ขาออกเป็นแทปต่อแบบสตาร์เช่นกันซึ่งทำขึ้นมาพิเศษสำหรับปริญญานิพนธ์นี้โดยเฉพาะ โดยมีขนาดทนกระแสพิกัดได้ 15 แอมป์ และมีขนาดแรงดันสูงสุดทางด้านเอาท์พุทเท่ากับพิกัดขาเข้าคือ 380 V_{L-L} / 220_{L-N} และต่ำสุดที่ขนาดแรงดัน 25 เปอร์เซ็นต์คือ 95 V_{L-L} / 55 $_{L-N}$ ค่าของแรงดันเอาท์พุทที่หม้อแปลงแต่ละเฟสแสดงไว้ในตาราง

แทปหม้อแปลง	ระดับแรงดันของหม้อแปลงที่ใช้ (V_{L-N})		
	Phase A (โวลท์)	Phase B (โวลท์)	Phase C (โวลท์)
แทปที่ 1	55	55	55
แทปที่ 2	110	110	88
แทปที่ 3	165	165	110
แทปที่ 4	220	220	132
แทปที่ 5	-	-	165
แทปที่ 6	-	-	198
แทปที่ 7	-	-	220

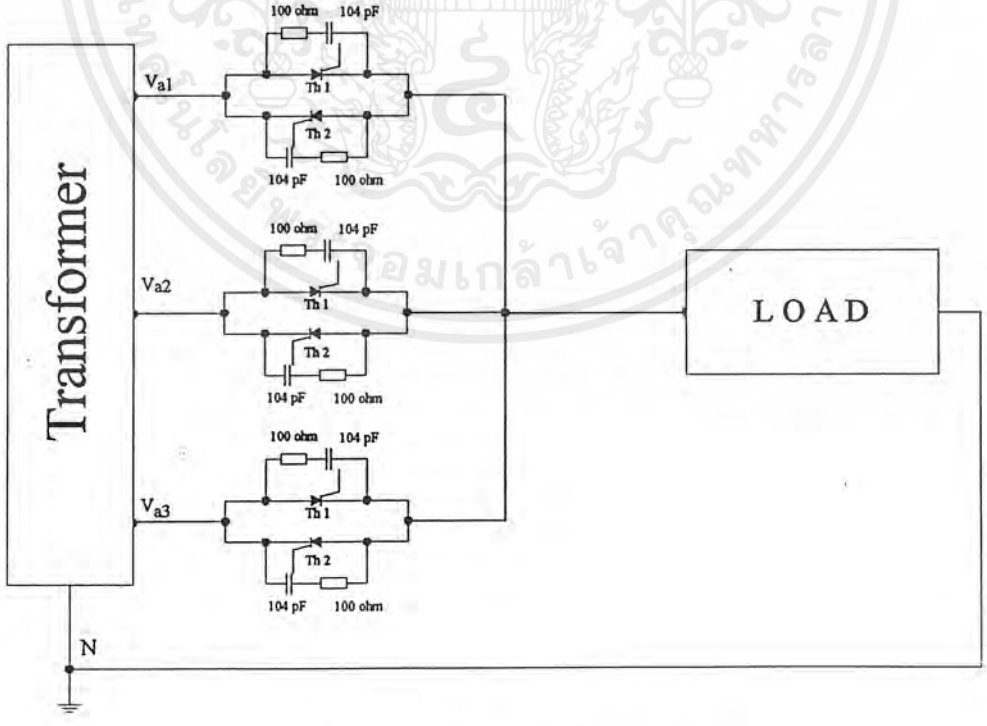
ตารางที่ 5.1 ค่าแรงดันที่แทปต่างๆ ของหม้อแปลงในชุดเครื่องกำเนิดแรงดันไฟฟ้าตกชั่วขณะที่ใช้ในปริญญานิพนธ์นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 การต่อหม้อแปลงสำหรับปริญญานิพนธ์นี้

5.2.2 วงจรไทริสเตอร์ ในปริญญานิพนธ์นี้เลือกใช้ไทริสเตอร์ที่ทนกระแสและแรงดันได้สูง โดยนำมาต่อแบบหัวต่อหางกลับกัน 2 ตัว (back to back) และมีอุปกรณ์ป้องกัน (snubber) เป็นตัวต้านทานและตัวเก็บประจุต่ออนุกรมกัน แล้วนำไปต่อคร่อมกับไทริสเตอร์ดังกล่าว



รูปที่ 5.3 วงจรไทริสเตอร์ในแต่ละเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.3 วงจรสนับเบอร์ป้องกัน วงจรป้องกัน(protection) หรือสนับเบอร์(snubber) เป็นส่วนที่เพิ่มเติมเข้าไปในวงจรเพื่อป้องกันความเสียหายที่อาจจะเกิดขึ้นกับไทริสเตอร์ในวงจรขณะที่ทำงาน

การป้องกันส่วนของวงจรกำลัง เลือกใช้ ตัวต้านทานและตัวเก็บประจุ ใช้ค่าที่ออกแบบดังต่อไปนี้ ตัวต้านทานมีค่าเท่ากับ 100 โอห์ม และตัวเก็บประจุมีค่าเท่ากับ 104 K 630 โวลต์นำมาต่ออนุกรมเข้าด้วยกัน ดังแสดงในส่วนของวงจรกำลังรูปที่ 14 ที่ผ่านมา

$$C_s = \frac{I_{P(pk)} * t_{OFF}}{2V_{in}} \qquad .....(5.1)$$

$$R_s = \frac{t_{ON(\min)}}{2.3C_s} \qquad .....(5.2)$$

การคำนวณค่าตัวต้านทานสนับเบอร์ (R_S) และ ตัวเก็บประจุสนับเบอร์(C_S)

โดยที่

$$P_D = \frac{C_s(2V_{IN})^2}{2T} \qquad .....(5.3)$$

C_S คือ ค่ากระแสสูงสุดขณะเริ่มหยุดการนำกระแส

V_{in} คือ ค่าแรงดันอินพุทของวงจร

t_{ON} คือ ช่วงเวลาการนำกระแสของไทริสเตอร์

t_{OFF} คือ ช่วงเวลาการหยุดนำกระแสของไทริสเตอร์

P_D คือ กำลังสูญเสียใน R_S

T คือ คาบเวลาการการทำงานของไทริสเตอร์

t_{OFF} ,t_{ON} ของไทริสเตอร์โดยทั่วไปเท่ากับ 10-20 us, 0.5-3 us ตามลำดับ สามารถคำนวณค่า C_S ได้

$$C_s = \frac{10 * 0.8us}{2\left(220\sqrt{2}\right)}$$

$$= \quad 0.012\ uF \qquad \text{เลือกใช้ } 0.01\ uF$$

$$R_s = \frac{2}{2.3(0.01)}$$

$$= \quad 86.95\ \Omega \qquad \text{เลือกใช้ } 100\ \Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 วงจรควบคุมในส่วนของฮาร์ดแวร์ วงจรควบคุมการทำงานของชุดเครื่องกำเนิดแรงดันตก สามารถแบ่งออกได้เป็นวงจรแต่ละส่วนดังต่อไปนี้ คือ

5.3.1 วงจรจุดชนวนไทริสเตอร์ วงจรควบคุมในปริญญานิพนธ์การออกแบบชุดเครื่องกำเนิดแรงดันไฟฟ้าตกชั่วขณะ เราเลือกใช้ไอซีสำหรับการจุดชนวนเป็นแบบสำเร็จรูปผลิตโดยซีเมนส์ มีชื่อว่า ทีซีเอ 785 (TCA-785 IC Synchronize) เลือกนำมาใช้ในปริญญานิพนธ์เนื่องจากหาได้ง่ายในตามท้องตลาด

หลักการทำงานของ TCA 785 สามารถสรุปได้ดังนี้คือ เราจะต้องป้อนแรงดันไฟฟ้ากระแสสลับเข้าที่ขาที่ 5 เพื่อให้วงจรตรวจจับแรงดันศูนย์(zero crossing detector) สัญญาณที่ป้อนให้นี้เรียกว่า สัญญาณซิงโครไนซ์(synchronization signal) เพื่อที่จะบังคับให้เกิดสัญญาณฟันเลื่อย(saw tooth) ที่ขา 10 โดยมีจุดเริ่มต้นของแต่ละคาบที่ค่าของแรงดันที่ตรวจจับเท่ากับศูนย์ การควบคุมสัญญาณที่จะไปจุดชนวน กระทำได้โดยการป้อนแรงดันที่ขา 11 ภายในวงจรรวมของ TCA 785 จะมีวงจรเปรียบเทียบสัญญาณระหว่างขา 11 กับ 10 ในหนึ่งรอบของสัญญาณกระแสสลับที่ตรวจจับ การตัดกันของสัญญาณที่ขา 10 และ 11 จะเป็นจุดเริ่มต้นของการสร้างพัลส์ออกมาที่ขา 14 และ 15 ตามลำดับ เราสามารถกำหนดให้สัญญาณที่ออกมา สามารถมีช่วงยาว ซึ่งจะนำไปใช้ประโยชน์เป็นสัญญาณที่นำไปจุดชนวนไทริสเตอร์ให้เกิดการนำกระแสได้

โดยทั่วไปแล้วสัญญาณพัลส์ที่เกิดขึ้น หากไปจุดชนวนไทริสเตอร์ทันทีทันใดนั้น ทำไม่ได้ เนื่องจากแรงดันที่ขาคาโทดของไทริสเตอร์ ไม่เท่ากันทุกตัว หากทำการจุดชนวนโดยตรงจะทำให้วงจรเกิดความเสียหายได้ การแยกโดยทางไฟฟ้าระหว่างชุดวงจรกำลัง กับชุดวงจรควบคุมถือว่าเป็นสิ่งที่จำเป็น แต่เพื่อให้วงจรทำงานร่วมกันได้ จึงมีการใช้หม้อแปลงเชื่อมโยงระหว่างวงจร และถือว่าเป็นวิธีที่นิยมกันมากที่สุด ขนาดของหม้อแปลงที่ใช้ในปริญญานิพนธ์นี้เป็นหม้อแปลงแกน EI ขนาดเล็กพันขดลวด แบบเข้า 2 ออก 4 สามารถหาหาซื้อได้ง่ายโดยทั่วไป วงจรที่ใช้ แสดงในรูปที่ 15

ตามคุณสมบัติของ TCA 785 เราสามารถกำหนดความกว้างของพัลส์ที่ออกมาจากขาที่ 14 และ 15 โดยการเปลี่ยนขนาดของตัวประจุซึ่งต่อที่ขา 12 กับกราวด์ตามตารางดังนี้

ค่าตัวเก็บประจุที่ใช้	0 f	150 f	220 pf	330 pf	680 pf	1000 pf
ค่าความกว้างของพัลส์	30 uS	93 uS	137 uS	205 uS	422 uS	620 uS

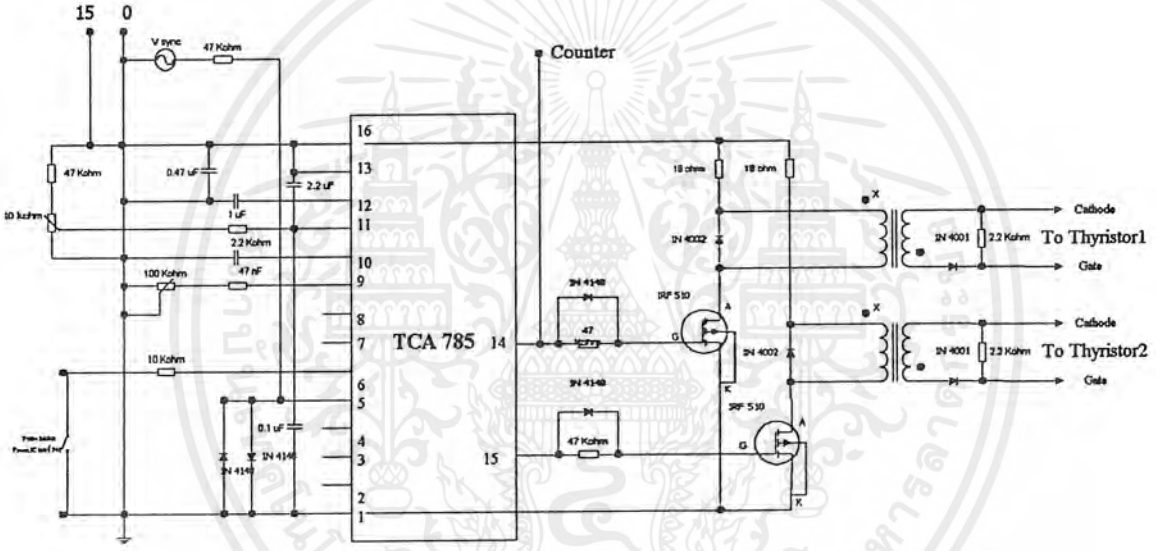
ตารางที่ 5.2 ค่าตัวเก็บประจุที่ใช้ในการกำหนดค่าความกว้างของพัลส์ที่ขา 14 และ15 ของTCA785

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งค่าความกว้างของพัลส์จะแบ่งออกตามความเหมาะสมของชนิดโหลด โดย

- Short pulse ; β = 30-200 uS เหมาะกับ Resistance load
- Long pulse ; β = 100 uS-1 mS เหมาะกับ Inductive load
- Continuous pulse ; β = 180-α เหมาะกับ Inductive load

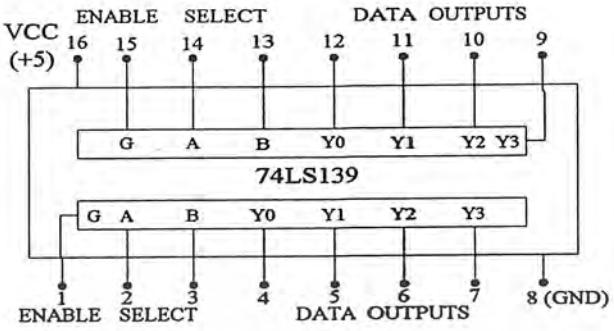
สำหรับ Continuous pulse ที่ต้องการกระแสของของสัญญาณจุดชนวนที่สูง โดยมี ค่า di/dt = 1-3 A/uS ก็สามารถใช้งานได้



รูปที่ 5.4 วงจรควบคุมที่ใช้ในการจุดชนวนขาเกตของไทริสเตอร์

5.3.2 วงจรควบคุมชุดจุดชนวนไทริสเตอร์ เป็นในส่วนของไมโครคอนโทรลเลอร์และวงจรดีมัลติเพลกเซอร์(demultiplexer)รับค่าจากไมโครคอนโทรลเลอร์ ไปต่อกับไอซีเบอร์ 74LS139 ซึ่งเป็นไอซีที่รับค่า 2 อินพุท แล้วดีมัลติเพลกซ์ออกเป็น 4 เอาท์พุท นำไปต่อเข้ากับวงจรแยกกราวด์โดยใช้ไอซีเบอร์ 6N136(opto-isolator) ได้แรงดันเอาท์พุท 5 โวลต์ ดีซี นำไปขยายสัญญาณโดยใช้วงจรเปรียบเทียบที่ใช้อปแอมป์เบอร์ 741

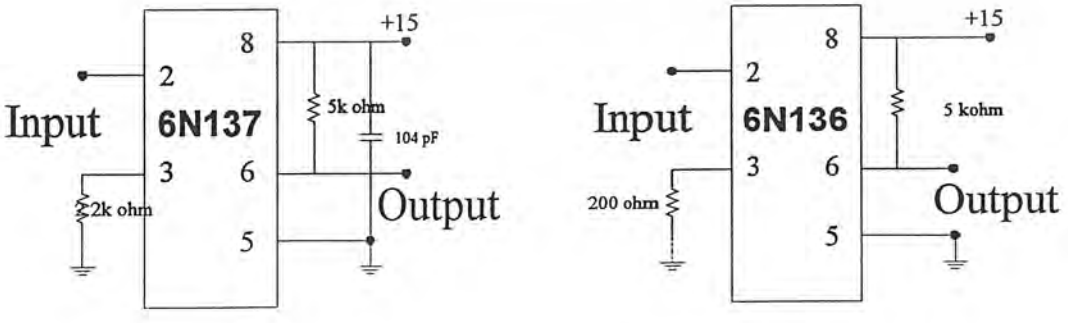
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 วงจรดีมัลติเพลกเซอร์

Inputs			Outputs			
Enable	Select					
G	A	B	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

ตารางที่ 5.3 ฟังก์ชันของวงจรดีมัลติเพลกเซอร์เบอร์ 74LS139

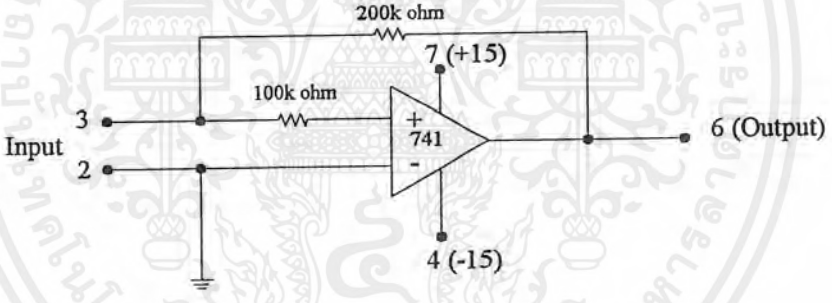


รูปที่ 5.6 วงจรแยกกราวน์โดยใช้ไอซีเบอร์ 6N137 และ 6N136

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรดีมัลติเพลกเซอร์เบอร์ 74LS139 ทำหน้าที่รับสัญญาณควมคุมจากไมโครคอนโทรลเลอร์ที่ผ่านการตรวจนับจำนวนลูกคลื่นที่ผู้ใช้ป้อนค่าเข้ามาทางโปรแกรม Sag Monitor ที่ออกแบบไว้ แล้วนำมาแยกกราวน์โดยใช้ไอซี 6N136 เพื่อป้องกันการทำงานของตัวไมโครคอนโทรลเลอร์ ก่อนที่จะนำไปเรียบเทียบสัญญาณเพื่อใช้ในการจุดชนวนขาเกตของเอสซีอาร์ต่อไป ตามฟังก์ชันการทำงานในตารางที่ 6

5.3.3 วงจรเปรียบเทียบสัญญาณ สัญญาณที่เกิดจากการแยกกราวด์โดย 6N136 ขนาดแรงดัน 5 โวลท์ ดีซี ไม่สามารถที่จะใช้ในการโดยตรงได้ จะต้องนำมาขยายสัญญาณให้มากขึ้นโดยจะต้องนำมาผ่านวงจรเปรียบเทียบ ทำให้ได้สัญญาณที่มีขนาด 15 โวลท์ ดีซี ซึ่งจะนำไปใช้ในการควบคุมการจุดชนวน ซึ่งสามารถที่ควบคุมการปิด-เปิด แทปแรงดันต่างๆของหม้อแปลง วงจรเปรียบเทียบสร้างจากออปแอมป์เบอร์ 741 มาต่อวงจรกับความต้านทาน ดังรูป

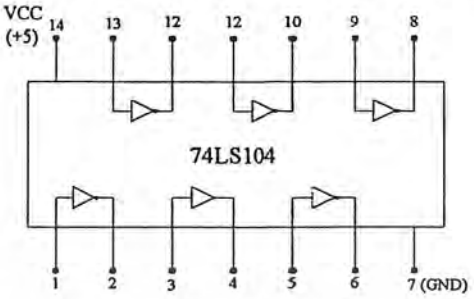


รูปที่ 5. 7 วงจรเปรียบเทียบสัญญาณที่ใช้สำหรับปริญญานิพนธ์นี้

5.3.4 วงจรบัฟเฟอร์ การกำหนดจำนวนลูกคลื่นที่ต้องการให้เกิดแรงดันตกนั้น เลือกใช้คุณสมบัติที่มีอยู่ในไมโครคอนโทรลเลอร์ที่เป็นตัวนับ(counter)จำนวน 3 ชุด ขนาด 16 บิท ที่สามารถนับได้ค่าสูงสุดถึง 255 ในส่วนของวงจรที่ใช้ในการป้อนให้กับตัวนับทั้ง 3 ตัวนี้ จำเป็นต้องแยกกราวด์และใช้หลักการเพิ่มความต้านทานโดยใช้ ไอซี ออปโต้ 6N137 และ TTL เบอร์ 74LS04 เพื่อลดกระแสที่จะป้อนพัลส์ให้แก่ไมโครคอลโทรเลอร์นำไปประมวลผลต่อไป การป้องกันในส่วนนี้ถือว่าสำคัญเพราะถ้าหากว่า ไมโครคอลโทรลเลอร์ได้รับค่ากระแสที่สูงจนเกินก็อาจจะทำให้เกิดการคำนวณค่าที่ผิดพลาดและทำให้เกิดความเสียหายในวงจรได้ รายละเอียดวงจรบัฟเฟอร์แสดง

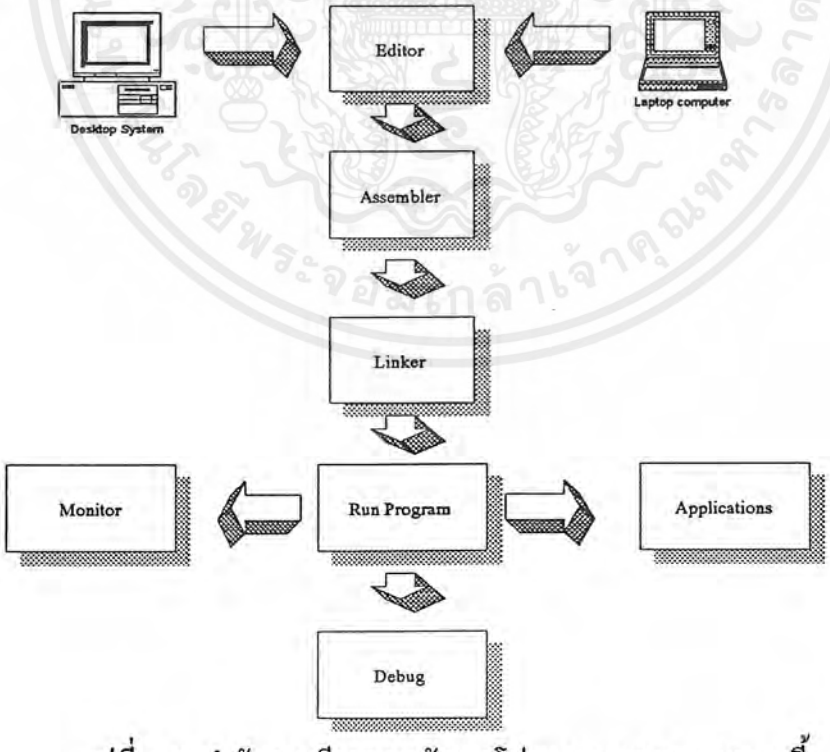
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้ในรูปที่ 19 โดยในการต่อวงจรบัฟเฟอร์ในแต่ละเฟสนั้นจะนำบัฟเฟอร์แต่ละตัวที่มีอยู่ในไอซี 74LS04 มาต่ออนุกรมกัน 5 ตัวเพื่อเพิ่มความต้านทานก่อนที่จะนำไปประมวลผล



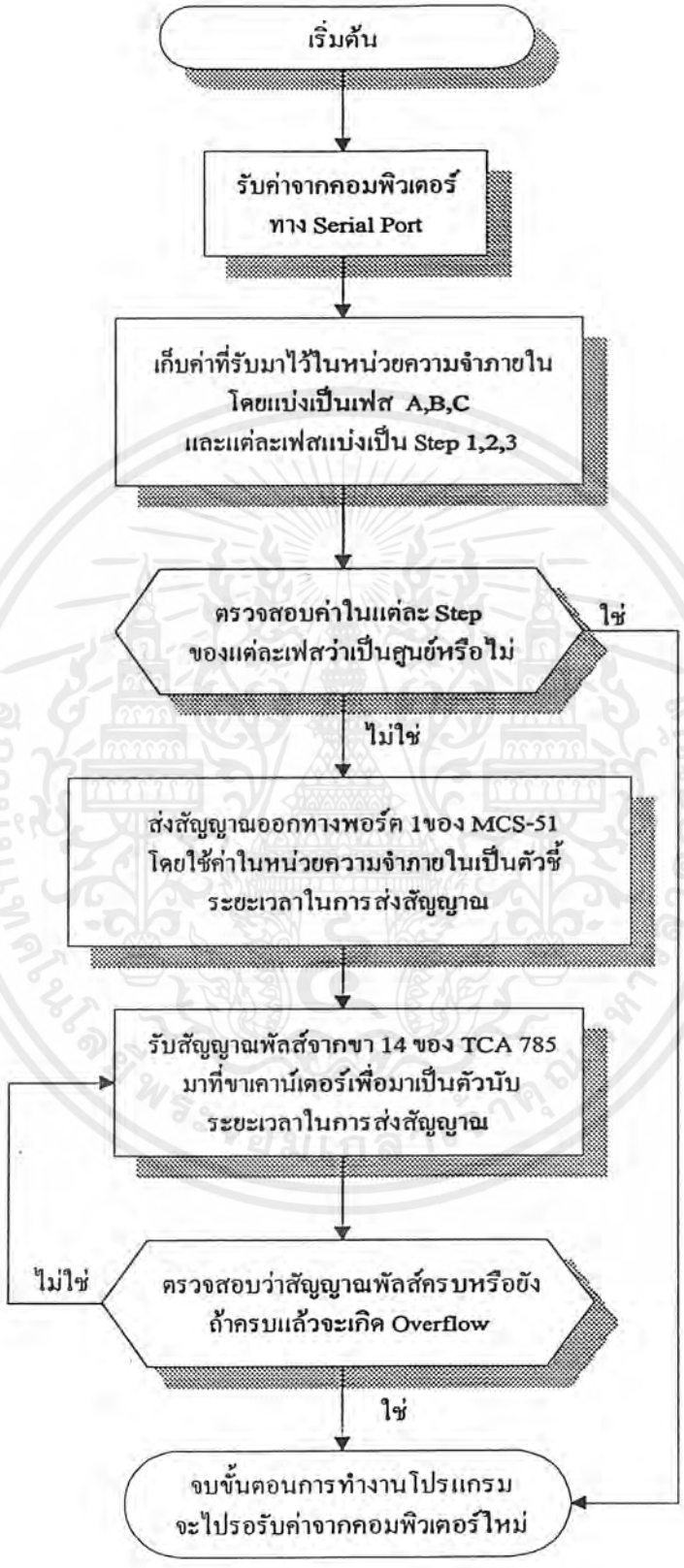
รูปที่ 5.8 วงจรภายใน 7404 ที่นำมาอนุกรมกันในชุดเครื่องกำเนิดแรงดันตก

5.4 โปรแกรมควบคุมการทำงาน โดยในส่วนของการควบคุมการทำงานของวงจรนั้นในปริญญานิพนธ์นี้ได้ใช้ไมโครคอนโทรลเลอร์ในการควบคุมเพื่อให้เกิดความถูกต้องและแม่นยำในการทำงานซึ่งไมโครคอนโทรลเลอร์จะทำงานได้นั้นต้องมีส่วนโปรแกรมเป็นตัวสั่งการทำงาน โดยในส่วนของโปรแกรมจะแบ่งออกเป็นส่วนของโปรแกรมภาษาแอสเซมบลี้ที่ใช้ในไมโครคอนโทรลเลอร์และในส่วนของโปรแกรมภาษาเคลไฟล์ที่ใช้ในการควบคุมจากเครื่องคอมพิวเตอร์ทาง Serial Port



รูปที่ 5.9 ลำดับการเขียนและพัฒนาโปรแกรมภาษาแอสเซมบลี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 ลำดับการทำงานของโปรแกรมที่ตัวไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับโปรแกรมที่ใช้งานในชุดเครื่องกำเนิดแรงดันไฟฟ้าตกชั่วขณะชุดนี้ ใช้คุณสมบัติของพอร์ตที่มีอยู่ภายในตัวไมโครคอนโทรลเลอร์มาพัฒนาเขียนเป็นตัวรับค่าจากพอร์ตสื่อสารของเครื่องคอมพิวเตอร์ส่วนบุคคลที่ใช้งานกันอยู่ทั่วไป โดยลำดับการทำงานของโปรแกรมที่ไมโครคอนโทรลเลอร์ใช้งานในการประมวลผลทั้งจากภายใน และจากวงจรภายนอก การทำงานในส่วนของซอฟแวร์เริ่มต้นที่การวนรอรับคำสั่งที่พอร์ตอนุกรมของคอมพิวเตอร์เมื่อมีการส่งค่ามาที่พอร์ตอนุกรม ขา TX และ RX รับเอาค่าไปเก็บไว้ที่รีจิสเตอร์ SBUF และทำการเพิ่มค่าตัวชี้ที่อ้างอิงแล้วเก็บค่าทั้งหมดจำนวน 9 ค่า ๆละ 8 บิท เพื่อการนำไปใช้ เป็นการกำหนดค่าของจำนวนลูกคลื่น การประมวลผลค่าของจำนวนลูกคลื่นจะถูกกำหนดค่าโดยรีจิสเตอร์ ที่เป็นตัวนับจำนวน 16 บิท ทั้ง 3 ชุดที่มีอยู่ในไมโครคอนโทรลเลอร์แล้ว การทำงานจะแบ่งออกเป็นส่วนของอินพุท คือส่วนของสัญญาณที่ใช้เป็นพัลส์ป้อนให้กับไมโครคอนโทรลเลอร์ และที่พอร์ทเอาท์พุท พอร์ท 1 ซึ่งจะทำหน้าที่หลักก็คือเป็นส่วนที่ใช้สำหรับการส่งค่าออกทางพอร์ทเพื่อควบคุมชุดดีมัลติเพลกเซอร์ ให้ทำการดีมัลติเพลกแล้วส่งสัญญาณไปใช้ในการจุดชนวนขาเกตในแต่ละแทปของแรงดันไฟฟ้าที่หม้อแปลง สำหรับส่วนของผู้ใช้งานและการใช้งานสามารถดูรายละเอียดที่รวบรวมไว้อยู่ในภาคผนวก ในส่วนของการใช้งานโปรแกรม Sag Monitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การทดลองและผลการทดลอง

ชุดเครื่องกำเนิดแรงดันไฟฟ้าตกชั่วขณะ ได้รับการออกแบบให้สามารถสร้างสัญญาณการเกิดแรงดันตกได้ที่แต่ละแทปแรงดันของหม้อแปลงที่ออกแบบไว้ สำหรับในภาคการศึกษานี้ ผู้จัดทำได้ทำการทดสอบภาระทางไฟฟ้า 3 เฟสสมดุล โดยใช้เครื่องกำเนิด Voltage Sags เฟสเดียวและ 3 เฟสที่ระดับแรงดันและจำนวนลูกคลื่นที่แตกต่างกัน

6.1 รูปแบบวิธีการทดลอง

ปริญญานิพนธ์นี้ชุดนี้ได้ทำการออกแบบสำหรับการประยุกต์ใช้งานได้หลายรูปแบบทั้งในระบบไฟฟ้า 1 เฟส และ 3 เฟส เพื่อทดสอบอุปกรณ์ต่าง ๆ ในระบบไฟฟ้าที่ต้องการศึกษา การใช้งานสำหรับการทดสอบอุปกรณ์ มีรูปแบบของการทดสอบที่สามารถนำไปประยุกต์ใช้งานกับการทดสอบ ผ่านการควบคุมด้วยคอมพิวเตอร์ รูปแบบของการทดลองใช้ชุดเครื่องกำเนิดมีดังต่อไปนี้

<u>วัตถุประสงค์ในการทดลอง</u>

-เพื่อศึกษาถึงผลกระทบที่เกิดขึ้นกับอุปกรณ์ต่าง ๆ เมื่อเกิดแรงดันไฟฟ้าตกชั่วขณะขึ้นในระบบไฟฟ้า

-เพื่อนำผลของการทดสอบมาวิเคราะห์ หาแนวทางการป้องกัน และการแก้ไขในอนาคต

-ศึกษาปรากฏการณ์ของระบบไฟฟ้าที่เกิดขึ้นจากการลดลงอย่างทันทีทันใดของแรงดัน

<u>คุณลักษณะของเครื่องกำเนิดแรงดันไฟฟ้าตกชั่วขณะที่ออกแบบขึ้น</u>

-สามารถกำหนดเฟส การเกิดแรงดันไฟฟ้าตกชั่วขณะได้ว่าต้องการจะให้เกิดที่เฟสใดหรือหลายเฟสพร้อม ๆ กันโดยแยกอิสระต่อกันได้

-สามารถกำหนดช่วงระยะเวลาของการเกิดแรงดันไฟฟ้าตกชั่วขณะได้ตั้งแต่ 1-255 ลูกคลื่น ซึ่งสอดคล้องกับคุณลักษณะที่เกิดขึ้นจริงในระบบไฟฟ้าโดยทั่วไปจริง

-สามารถกำหนดระดับของการเกิดแรงดันไฟฟ้าตกชั่วขณะได้มากสุดถึง 3 ระดับติดต่อกัน

-ใช้กับระบบไฟฟ้า 3 เฟส 380 V_{L-L} และ 220 V_{L-N}

-ทนกระแสสูงสุดที่พิกัดของหม้อแปลง 15 A. ตามพิกัดของหม้อแปลงที่สร้างขึ้น(โดยการต่อใช้งานเพื่อความปลอดภัย จะต้องมีอุปกรณ์ป้องกันทางด้านอินพุทและเอาท์พุทของหม้อแปลงต่อไว้ด้วย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-สามารถนำมาประยุกต์ใช้งานกับอุปกรณ์ต่าง ๆ ที่มีพิกัดของการใช้งานที่เหมาะสม ซึ่งจะต้องพิจารณาไปถึงความสามารถในการทนแรงดันและกระแสที่ไหลย้อนกลับขณะเกิดแรงดันตกของชุดไทริสเตอร์ที่ใช้ในวงจรกำลังด้วย

<u>อุปกรณ์ในการทดลอง</u>

1. ชุดเครื่องกำเนิดแรงดันไฟฟ้าตกชั่วขณะ
2. โปรแกรม Sag Monitor ที่ติดตั้งเรียบร้อยแล้วกับเครื่องคอมพิวเตอร์ส่วนบุคคล
3. สายเชื่อมต่อ RS-232 กับพอร์ตอนุกรมของคอมพิวเตอร์และบอร์ดไมโครคอนโทรลเลอร์
4. สายไฟสำหรับการเลือกแทปแรงดันไฟฟ้าของหม้อแปลง
5. อุปกรณ์ป้องกัน เช่น ฟิวส์
6. อุปกรณ์ที่ต้องการทดสอบ
7. เครื่องมือวัดต่างๆ เช่น Oscilloscope ,Probe x 100

<u>วิธีการทดลอง</u>

1. ผู้ใช้งานทำการติดต่อระหว่างชุดเครื่องกำเนิดแรงดันตกกับเครื่องคอมพิวเตอร์ส่วนบุคคลทางพอร์ตอนุกรม (หัวต่อ DB9 หรือ DB25) แล้วเรียกใช้งานโปรแกรม Sag Monitor เพื่อควบคุมการทำงานของเครื่องกำเนิดแรงดันตก

2. เริ่มทำการจ่ายไฟเลี้ยงให้แก่ชุดควบคุมและเลือกปุ่ม DISCONNECT ให้เปลี่ยนเป็น CONNECT เพื่อติดต่อกับบอร์ด ไมโครคอนโทรลเลอร์

3. เลือกระดับแรงดันที่แต่ละขั้นของการเกิดแรงดันตกแล้วทำการต่อภาระทางไฟฟ้าที่ต้องการทดสอบเข้ากับทางด้านเอาท์พุทชุดเครื่องกำเนิดแรงดันตก

4. ทำการจ่ายไฟฟ้าทั้ง 3 เฟสให้แก่ชุดเครื่องกำเนิดแรงดันตกทางด้านอินพุท

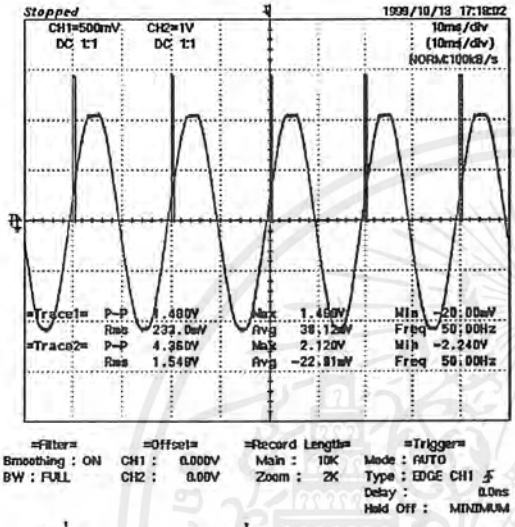
5. เริ่มทำการทดสอบตามรูปแบบที่ต้องการผ่านทางโปรแกรม Sag Monitor

6. บันทึกผลการทดลอง

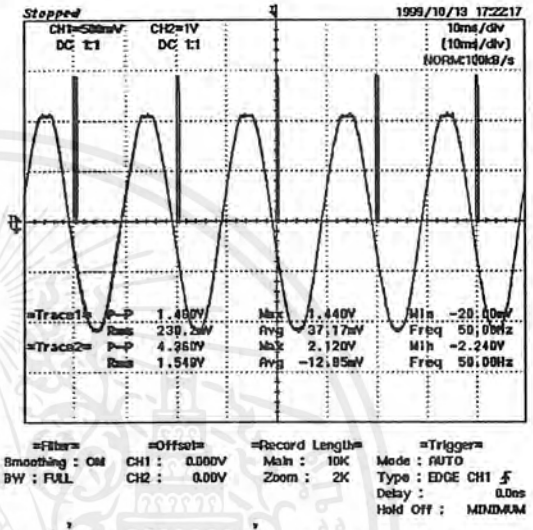
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 รูปคลื่นสัญญาณของส่วนวงจรควบคุมที่สร้างขึ้นได้

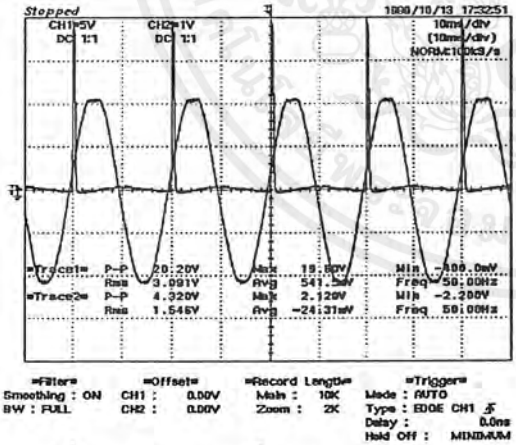
สัญญาณที่จุดต่างๆในวงจรชุดเครื่องกำเนิด Voltage Sags



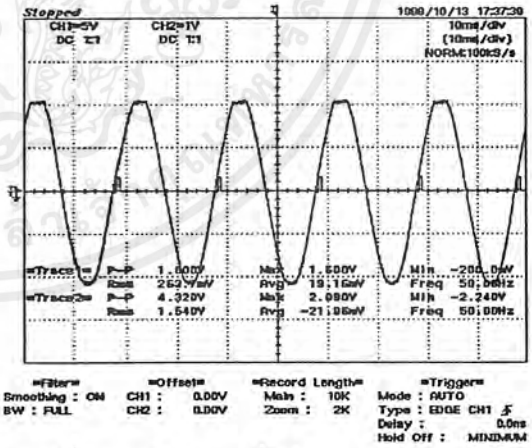
รูปที่ 6.1 สัญญาณที่ขา 15 ของ TCA785



รูปที่ 6.2 สัญญาณที่ขา 14 ของ TCA785



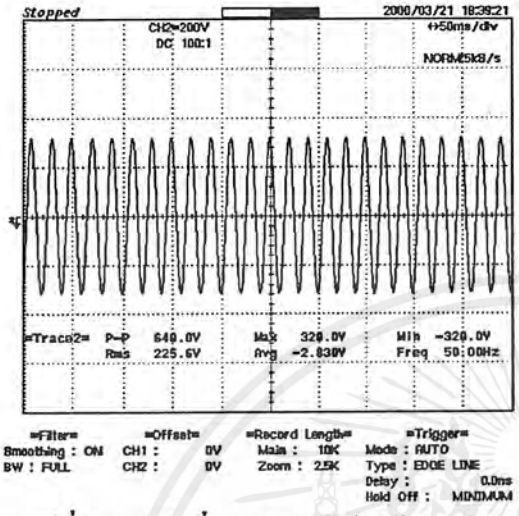
รูปที่ 6.3 สัญญาณที่ขาออกจากหม้อแปลงซึ่งพร้อมที่จะไปทริกเกตของเอสซีอาร์



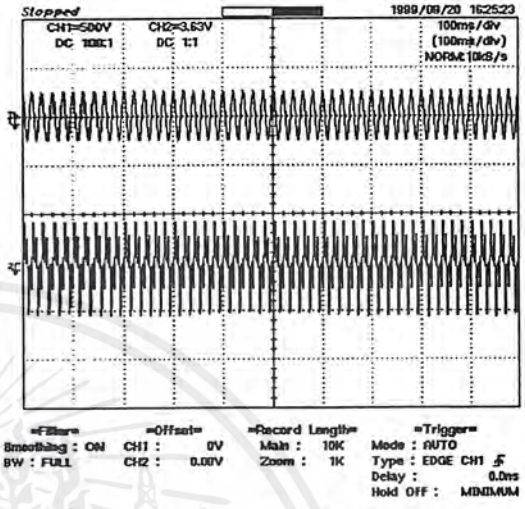
รูปที่ 6.4 สัญญาณที่คร่อมขาเกตกับคาโทดของเอสซีอาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

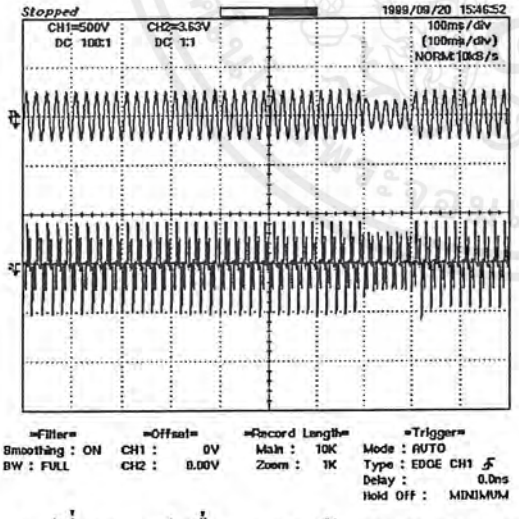
6.3 ผลการทดลองและการเกิดแรงดันไฟฟ้าตกที่ 1 เฟส



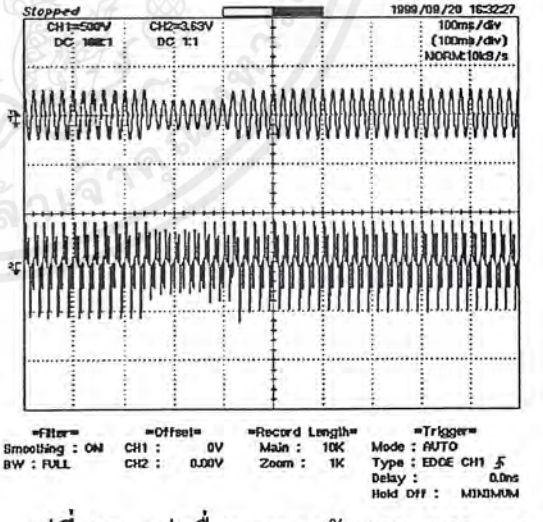
รูปที่ 6.5 รูปคลื่นของแรงดันไฟฟ้า 1 เฟส ที่สภาวะปกติ ขณะทดสอบกับหลอดเผาไส้ 100 วัตต์



รูปที่ 6.6 รูปคลื่นของแรงดันไฟฟ้า 1 เฟส และกระแส ที่สภาวะปกติขณะทดสอบกับหลอดเผาไส้ 100 วัตต์

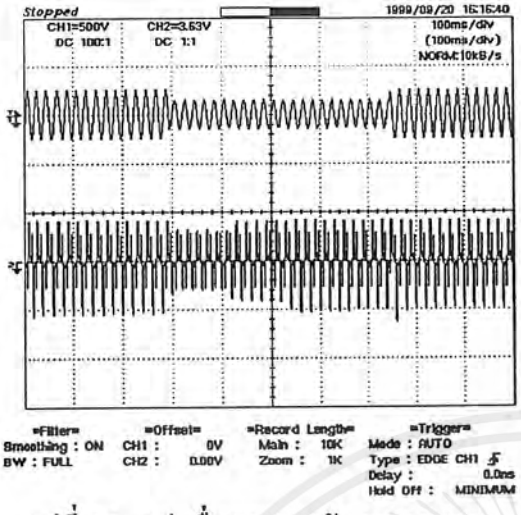


รูปที่ 6.7 รูปคลื่นของแรงดันตกและกระแส 1 เฟส ขณะทดสอบกับหลอดเผาไส้ 100 วัตต์ ที่ 5 ไซเคิล ขนาดแรงดัน 50 % Sags

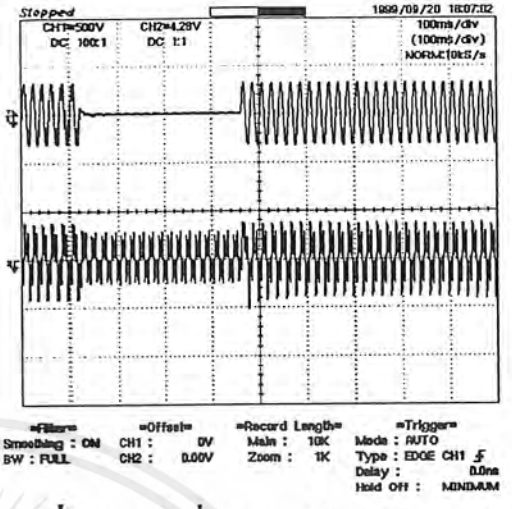


รูปที่ 6.8 รูปคลื่นของแรงดันตกและกระแส 1 เฟส ขณะทดสอบกับหลอดเผาไส้ 100 วัตต์ ที่ 9 ไซเคิล ขนาดแรงดัน 50 % Sags

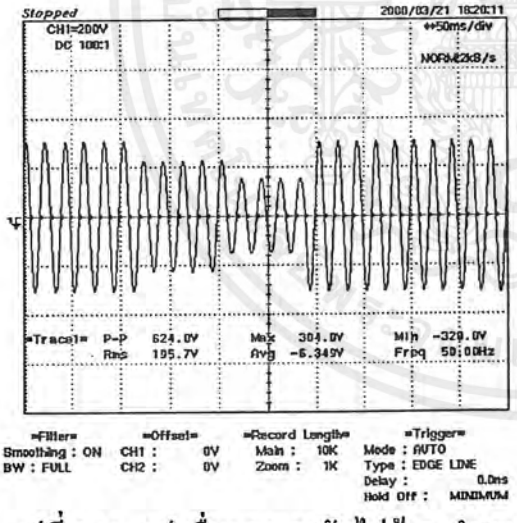
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



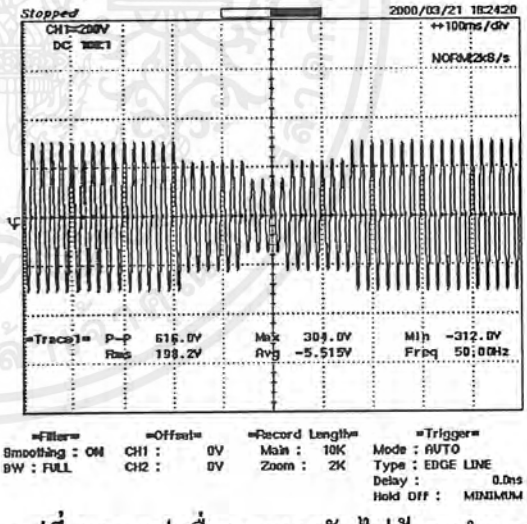
รูปที่ 6.9 รูปคลื่นของแรงดันและกระแส 1 เฟส ขณะทดสอบกับหลอดเผาไส้ 100 วัตต์ ที่ 23 ไซเคิล ขนาดแรงดัน 25 % Sags



รูปที่ 6.10 รูปคลื่นของแรงดันและกระแส 1 เฟส ขณะทดสอบกับหลอดเผาไส้ 100 วัตต์ ที่ 20 ไซเคิล ขนาดแรงดัน 100 % Sags



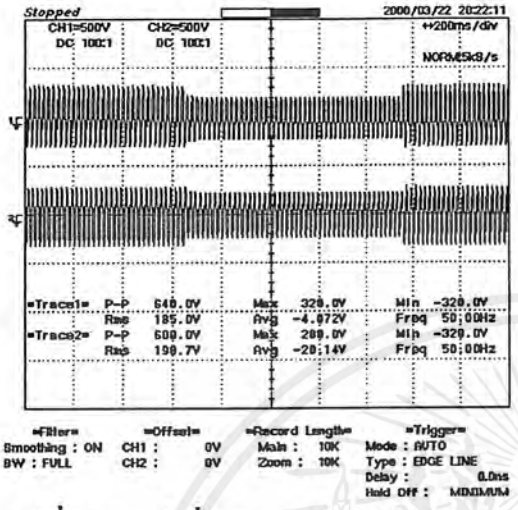
รูปที่ 6.11 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน 1 เฟส ขณะทดสอบกับหลอดเผาไส้ 100 วัตต์ ที่ 5 และ 4 ไซเคิล ขนาดแรงดัน 75 % และ 50 % Sags ตามลำดับ



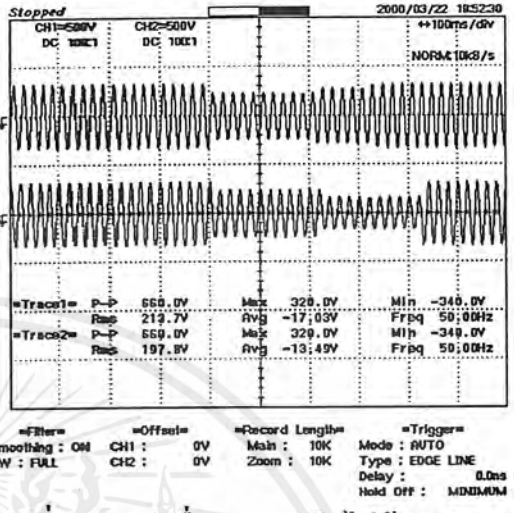
รูปที่ 6.12 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน 1 เฟส ขณะทดสอบกับหลอดเผาไส้ 100 วัตต์ ที่ 7, 4 และ 6 ไซเคิล ขนาดแรงดัน 75, 50 และ 75 % ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

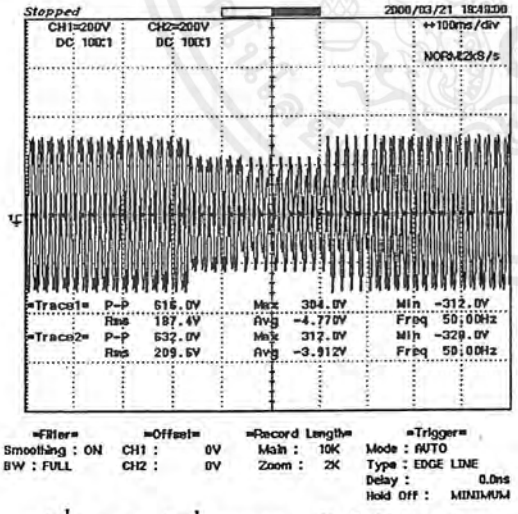
6.4 ผลการทดลองและการเกิดแรงดันไฟฟ้าตกที่มากกว่า 1 เฟส



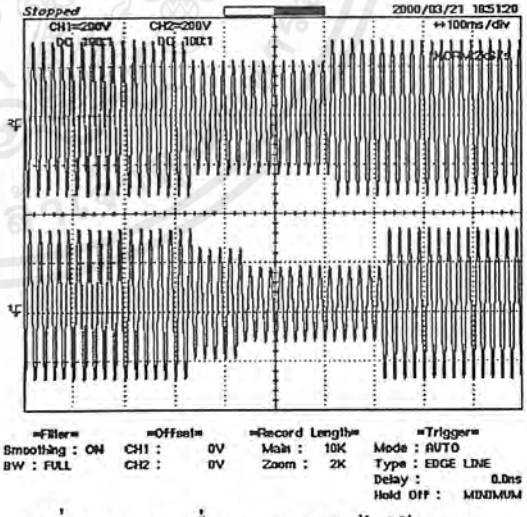
รูปที่ 6.13 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน 2 เฟส(A B) ทดสอบกับหลอดเผาไส้ 100 วัตต์ ที่ 50 ไซเคิล ขนาดแรงดัน 75 % Sags



รูปที่ 6.14 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน 2 เฟส(A B) ทดสอบกับหลอดเผาไส้ 100 วัตต์ ที่เฟส A จำนวน 11, 5 ไซเคิล 75 %, 90 % Sags และที่เฟส B จำนวน 11, 11 ไซเคิล 75 %, 90 % Sags

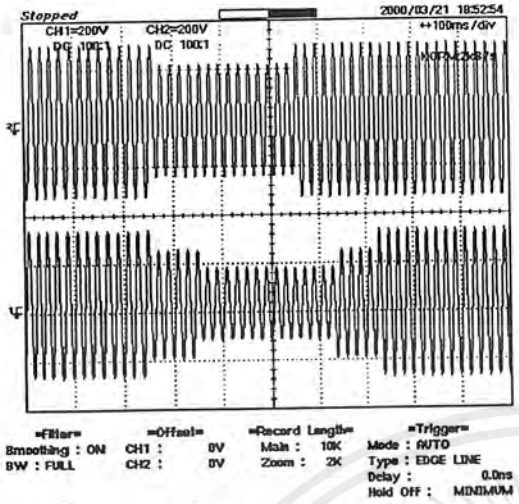


รูปที่ 6.15 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน 2 เฟส(A B) ทดสอบกับหลอดเผาไส้ 100 วัตต์ ที่เฟส A 14 ไซเคิล ขนาดแรงดัน 75 % Sags

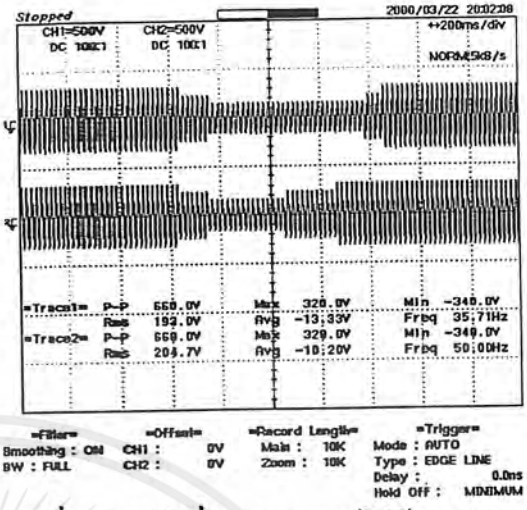


รูปที่ 6.16 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน 2 เฟส(A B) แยกตำแหน่งการวัดจากรูปที่ 6.15 ที่เฟส B จำนวน 5, 14 ไซเคิล ขนาดแรงดัน 75 % และ 90 % Sags ตามลำดับ

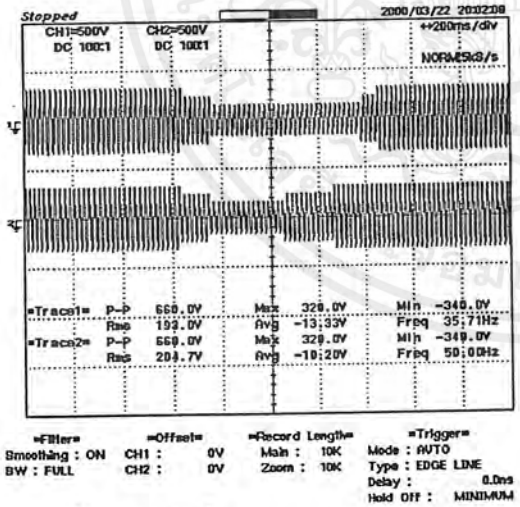
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



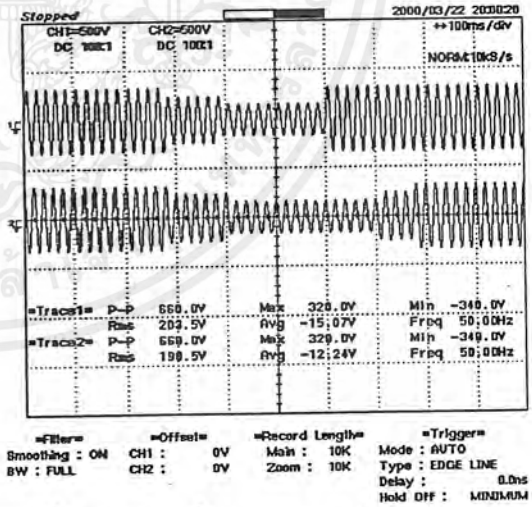
รูปที่ 6.17 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน 2 เฟส(A B) ทดสอบกับหลอดเผาไส้ 100 วัตต์ ที่เฟส A 14 ไซเคิล ขนาดแรงดัน 75 % Sags เฟส B จำนวน 5, 14 และ 4 ไซเคิล ขนาดของแรงดันไฟฟ้า 75 %, 50 % และ 75 % ตามลำดับ



รูปที่ 6.18 รูปคลื่นของแรงดันไฟฟ้าตกจำนวน 2 เฟส(A B) ทดสอบกับหลอดเผาไส้ 100 วัตต์ ที่เฟส A 6, 25 และ 3 ไซเคิล ขนาดแรงดัน 75 %, 50 % และ 75 % ตามลำดับ ที่เฟส B 6, 25 และ 3 ไซเคิล ขนาดแรงดัน 75 %, และ 90 % ตาม ตามลำดับ

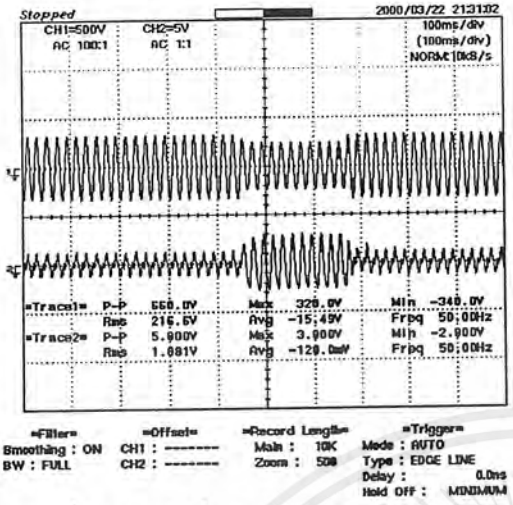


รูปที่ 6.19 รูปคลื่นของแรงดันไฟฟ้าตก 2 เฟส (A C) ทดสอบกับหลอดเผาไส้ 100 วัตต์ ที่เฟส A 3,15 และ 2 ไซเคิล ขนาดแรงดัน 75,50 และ 75 % Sags ที่เฟส C จำนวน 4, 9 และ 5 ไซเคิล 3 ไซเคิล ขนาดแรงดัน 75,50 และ 90 % Sags

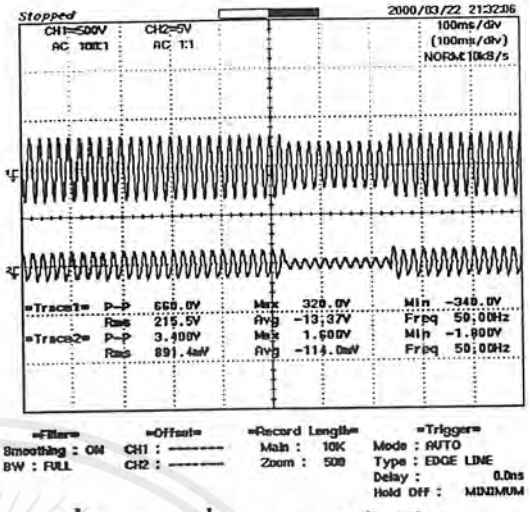


รูปที่ 6.20 รูปคลื่นของแรงดันไฟฟ้าตก 2 เฟส (B C) ทดสอบกับหลอดเผาไส้ 100 วัตต์ ที่เฟส B 6 และ 10 ไซเคิล ขนาดแรงดัน 75 และ 50 % Sags ที่เฟส C 6, 12 และ 3 ไซเคิล แรงดันไฟฟ้า 75 , 50 และ 75 % ตามลำดับ

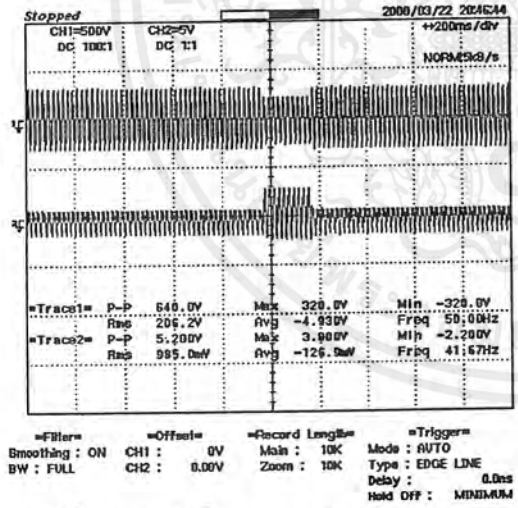
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



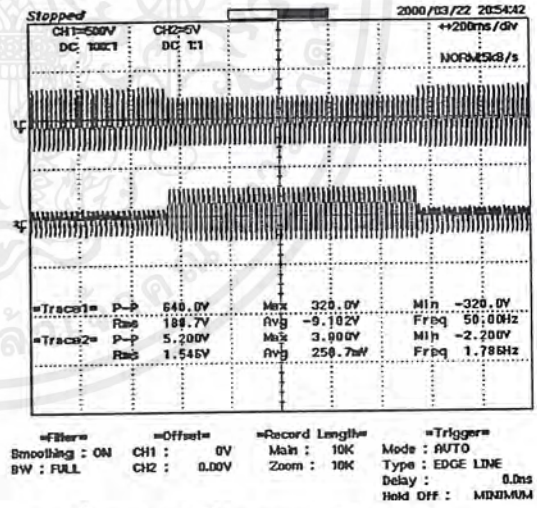
รูปที่ 6.21 รูปคลื่นของแรงดันไฟฟ้าและกระแสขณะเกิดขณะเกิดแรงดันตกที่เฟส A B และ C พร้อมกัน โดยวัดเฉพาะเฟส A และสายนิวนิวตรอน จากการต่อหลอดไฟเผาไส้ขนาด 100 วัตต์ แบบสตาร์



รูปที่ 6.22 รูปคลื่นของแรงดันไฟฟ้าและกระแสขณะเกิดขณะเกิดแรงดันตกที่เฟส A B และ C พร้อมกัน โดยวัดเฉพาะเฟส A และสายไลน์ จากการต่อหลอดไฟเผาไส้ขนาด 100 วัตต์ แบบสตาร์



รูปที่ 6.23 รูปคลื่นของแรงดันไฟฟ้าและกระแสขณะเกิดขณะเกิดแรงดันตกที่เฟส A B และ C พร้อมกัน โดยวัดเฉพาะเฟส B และสายนิวนิวตรอน จากการต่อหลอดไฟเผาไส้ขนาด 100 วัตต์ แบบสตาร์



รูปที่ 6.24 รูปคลื่นของแรงดันไฟฟ้าและกระแสขณะเกิดขณะเกิดแรงดันตกที่เฟส A B และ C พร้อมกัน โดยวัดเฉพาะเฟส C และสายนิวตรอน จากการต่อหลอดไฟเผาไส้ขนาด 100 วัตต์ แบบสตาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
บทสรุปวิจารณ์

7.1 สรุปและวิจารณ์ผลการทดลอง

สำหรับผลการทดลองที่ได้นั้น ผลการออกแบบและแนวทางการใช้งาน ชุดเครื่องกำเนิดแรงดันไฟฟ้าตกชั่วขณะชุดนี้มีความสามารถสร้างแรงดันตกได้ตามทฤษฎีและวัตถุประสงค์ที่วางไว้ ดังนี้ คือ

1. ผู้ใช้งานสามารถเลือกระดับแรงดันของการเกิดที่หลายระดับแรงดัน(step) โดยการออกแบบให้ผู้ใช้งานต้องเลือกการต่อระดับแรงดันที่แทปของหม้อแปลงไฟฟ้าก่อน

2. สามารถควบคุมระยะเวลาของการเกิดแรงดันตก โดยการโปรแกรมผ่านหน้าจอคอมพิวเตอร์ที่สะดวกแก่การนำใช้งาน

ผลการทดลองที่ได้ทำการศึกษาสามารถสรุปได้ว่าการเกิดแรงดันตกทั้งในระบบไฟฟ้า 1 เฟสและ 3 เฟส จะทำให้เกิดการลดลงของค่ากระอาร์เอ็มเอส โดยการลดลงของกระแสอาร์เอ็มเอสนี้ก็ขึ้นอยู่กับขนาดของแรงดันตกที่เกิด และแปรผันตรงตามระยะเวลาของการเกิด การลดลงของแรงดันในทันทีทันใดจะทำให้อุปกรณ์ที่ต่ออยู่กับระบบเกิดการทำงานที่ผิดพลาดเนื่องจากการได้รับแรงดันการใช้งานที่ลดลง โดยเฉพาะกับการทดสอบกับโหลดชนิดต่าง ๆ เช่น การทดสอบกับหลอดไฟแบบเผาไส้ เนื่องจากค่าอาร์เอ็มเอสของกระแสลดลง ความสว่างของหลอดไฟก็ลดลง

7.2 ปัญหาและการแก้ไขในโครงงาน ปัญหาที่พบโดยทั่วไป คือ การได้มาซึ่งข้อมูลที่จะนำมาใช้ในการเริ่มต้นออกแบบชุดกำเนิดชุดนี้ ซึ่งเป็นในส่วนของวงจรอิเล็กทรอนิกส์กำลังในส่วนของวงจรควบคุมที่ไม่สามารถทำให้เกิดการทริกที่มุมของกระแสหรือแรงดันเป็นศูนย์ ทำให้เกิดการสูญเสียของพลังงานที่ตัวเอสซีอาร์ และในส่วนที่สำคัญอีกส่วนหนึ่งได้แก่ส่วนของวงจรกำลังที่ต้องมีการพัฒนาการออกแบบต่อไปให้มีความสามารถในการทดสอบอุปกรณ์ ประเภทที่มีความเหนี่ยวนำเป็นองค์ประกอบด้วย เช่น มอเตอร์ไฟฟ้า ให้สามารถทดสอบที่ พิกัดความรุนแรงของการเกิดแรงดันตกให้มากขึ้น ส่วนของอุปกรณ์เครื่องมือวัด เนื่องจากปริญญานิพนธ์นี้ ทำการทดลองที่ระบบไฟฟ้า 3 เฟส แต่ไม่สามารถจัดหาอุปกรณ์วัด 3 เฟสได้ ผลการทดลองที่วัดได้จึงมีเพียง 2 ช่องสัญญาณเท่านั้น และในส่วนซอฟแวร์ของไมโครคอนโทรลเลอร์การได้มีประสบการณ์ใหม่ ในการพัฒนาภาษาของโปรแกรมทำให้การพัฒนาเป็นไปได้อย่างไม่เร็วเท่าที่ควร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.3 เสนอแนวทางป้องกันและแก้ไขการเกิดแรงดันไฟฟ้าตกชั่วขณะ

1. หน่วยงานการไฟฟ้า (Utility side)

แนวทางการแก้ปัญหาของการไฟฟ้า คือ

1.1 ป้องกันการเกิดฟอลต์ในระบบสายส่งและระบบจำหน่าย เช่น ออกทำการบำรุงรักษาสายจำหน่ายตามวาระอย่างเคร่งครัด หมั่นตัดค้นไม้ตามแนวสายไฟ โดยเฉพาะบริเวณใกล้สถานี เพราะถ้าหากเกิดฟอลต์ใกล้สถานี ขนาดของแรงดันไฟฟ้าตกชั่วขณะที่บัสสถานีจะมีมาก

1.2 ปรับปรุงวิธีการกำจัดฟอลต์ และตั้งค่าการทำงานของอุปกรณ์ ป้องกันให้เหมาะสมกับระบบ

1.3 ปรับปรุงระบบการจ่ายไฟ เช่นการใช้ NGR ก็เป็นอีกแนวทางหนึ่งที่สามารถแก้ไขปัญหาแรงดันไฟฟ้าตกชั่วขณะได้ เมื่อพิจารณาเป็นแรงดันระหว่างสาย จะเห็นได้ว่าระดับแรงดันไฟฟ้าตกชั่วขณะน้อยมาก ซึ่งผู้ใช้ส่วนใหญ่จะรับแรงดันเป็นแบบ L-L ดังนั้นจึงได้รับผลกระทบน้อย แต่ในขณะเดียวกัน เมื่อพิจารณาเป็นแบบแรงดันเฟสเมื่อเกิด SLGF ขึ้น ณ เฟสใดเฟสหนึ่ง แรงดันในเฟสที่เหลือจะเพิ่มขึ้นสูงมากถึงระดับแรงดันแบบ L-L อาจทำให้อุปกรณ์ป้องกันที่ต่อแบบแยกเฟสเกิดความเสียหายหรือทำงานบ่อยครั้งเกินไป ดังนั้นการเลือกใช้ NGR จะต้องพิจารณาเรื่อง การประสานการทำงานของอุปกรณ์ป้องกัน และระดับการฉนวน ซึ่งการใช้วิธีการดังกล่าวจะเหมาะสมกับระบบจ่ายไฟในนิคมอุตสาหกรรม

2. ผู้ใช้ไฟฟ้า (Customer Side)

แนวทางการแก้ปัญหาของผู้ใช้ไฟฟ้าคือ

1.1 ปรับปรุงระบบป้องกันภายในโรงงาน เช่น การตั้งค่า under voltage relay ควรตั้งให้เป็นแบบเวลาผกผัน (inverse time) และตั้งให้สัมพันธ์กับอุปกรณ์ป้องกันของการไฟฟ้า

1.2 ศึกษาข้อมูลรายละเอียดของอุปกรณ์ที่ไวต่อการเปลี่ยนแปลงของแรงดัน ว่ามีขีดความสามารถในการทำงานในสภาวะแรงดันไฟฟ้าตกชั่วขณะได้มากน้อยเพียงใด(ในแง่ของ magnitude and duration) เพื่อนำมาประกอบการออกแบบในระบบป้องกันอุปกรณ์นั้นๆ

1.3 พิจารณาเพิ่มอุปกรณ์ที่เรียกว่า power conditionerให้กับอุปกรณ์หรือกลุ่มโหลดที่สำคัญ และอุปกรณ์ที่ไวต่อการเปลี่ยนแปลงแรงดัน ได้แก่ UPS , Dynamic Voltage Restorer(DVR) , Ferroresonant Transformer or Constant Voltage Transformer (CVTs) แต่การเลือกใช้อุปกรณ์ดังกล่าวจะต้องพิจารณาความเหมาะสมและเงินที่ลงทุนด้วย เพราะในบางกรณีการแก้ไขปัญหาเฉพาะจุด เช่น หาทางป้องกันที่ตัวอุปกรณ์นั้นๆ จะคุ้มทุนกว่าการแก้ปัญหาโดยรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ผู้ผลิตอุปกรณ์ (Manufacturer)

แนวทางแก้ปัญหาในส่วนผู้ผลิตอุปกรณ์คือ

3.1 เพิ่มขีดความสามารถให้อุปกรณ์ทำงานได้ (Ride through) ในสภาวะแรงดันไฟฟ้าตกชั่วขณะให้ได้มากขึ้น (ทั้งในแง่ของขนาดและระยะเวลา)

3.2 ศึกษาสภาพการเกิดแรงดันไฟฟ้าตกชั่วขณะในบริเวณที่จะติดตั้งอุปกรณ์ใช้งาน เพื่อนำมาเป็นข้อมูลออกแบบระบบเพิ่มเติมเพื่อป้องกันสภาวะแรงดันไฟฟ้าตกชั่วขณะ

7.4 แนวทางในการพัฒนาสำหรับการออกแบบชุดเครื่องเกิดแรงดันไฟฟ้าตกชั่วขณะ

แนวการพัฒนาออกแบบชุดเครื่องกำเนิดแรงดันไฟฟ้าตกชั่วขณะ ในอนาคตควรที่จะสามารถสร้างสัญญาณที่ผู้ทดสอบต้องการจะใช้เพิ่มมากขึ้น ตัวอย่างเช่น

1 ใช้ควบคุมการเกิดระดับแรงดันไฟฟ้าที่มีหลายค่าสำหรับการใช้งาน
2 จำนวนลูกคลื่นที่สามารถทำให้เกิดการเลื่อนของมุมเฟส(phase shift)ภายหลังการเกิด
3 พัฒนาโปรแกรมให้สามารถสร้างมุมของการเกิดและมุมในการหยุดการเกิดแรงดันตกได้
4 พัฒนาการรับ-ส่งค่าเพื่อแสดงผลที่หน้าจอผู้ใช้งานแบบเวลาจริง (realtime)
5 พัฒนาการออกแบบให้สามารถใช้งานที่กระแสและแรงดันสูง ๆ ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

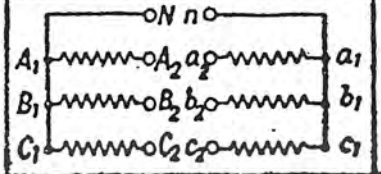
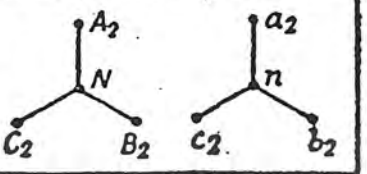
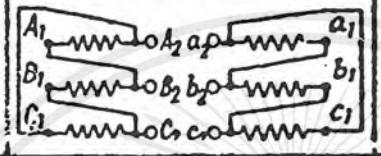
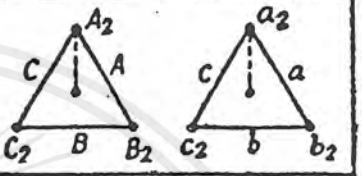
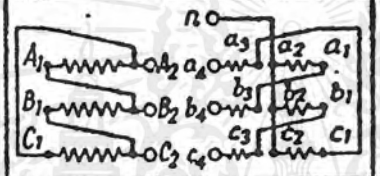
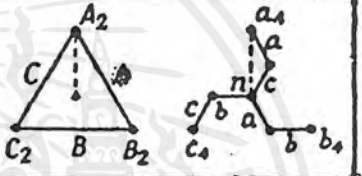
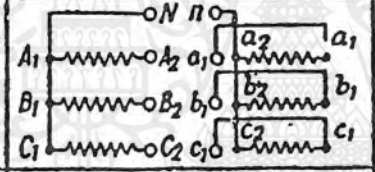
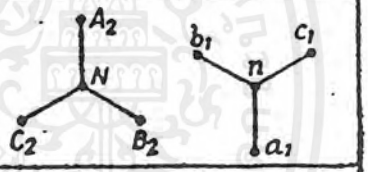
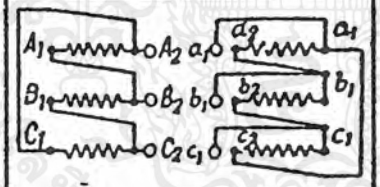
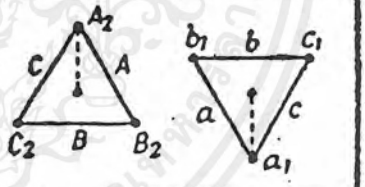
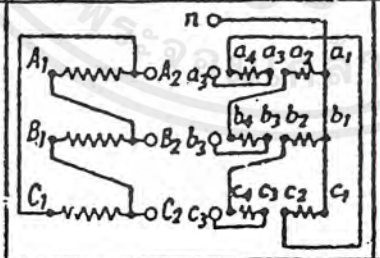
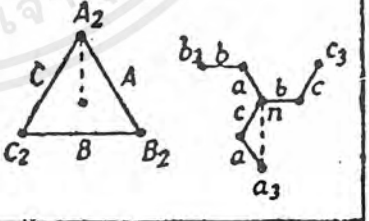
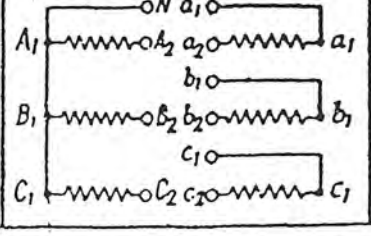
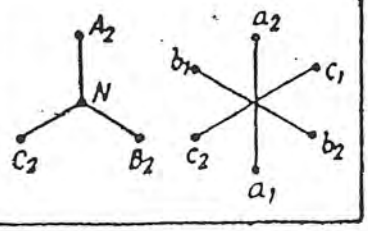
ภาคผนวก ก

การต่อหม้อแปลงไฟฟ้า 3 เฟสและการแบ่งกลุ่มเวคเตอร์
(3 PHASE TRANSFORMER CONNECTIONS AND VECTOR GROUP TYPES)

การต่อหม้อแปลงไฟฟ้า 3 เฟส สามารถแบ่งออกได้ 4 พวกใหญ่ๆ โดยการถือเอาหน้าปัดของนาฬิกาเป็นตัวเปรียบเทียบและอ้างอิง การเปรียบเทียบนี้ถือเป็นมาตราฐานการต่อทั่วโลก การเปรียบเทียบนี้ใช้ด้านไฟแรงสูงเป็นตัวหลัก โดยให้ เวคเตอร์ ของเฟส A ชี้อยู่ที่เลข 12 บนหน้าปัดเสมอ นั่นคือไม่มีการเคลื่อนย้าย(no phase replacement) เวคเตอร์ ของเฟส A ออกจากเลข 12 หรือพูดได้ว่า เวคเตอร์ ของเฟส A เป็นศูนย์ ซึ่งจะใช้เป็นตัวอ้างอิงเพื่อเปรียบเทียบกับ เวคเตอร์ ของเฟส A ทางด้านจ่ายไฟฟ้า มาตราฐานที่ใช้จะกำหนดขั้วที่ปลายของสายต่างๆ ทั้งทางด้านแรงดันสูงและแรงดันต่ำ กำหนดให้ขั้วต่างๆของทางด้านแรงดันสูง เรียงไว้เป็นลำดับทางด้านหนึ่ง ส่วนทางด้านแรงดันต่ำ นั้นก็ให้มีขั้วเรียงกันออกมาทางอีกด้านหนึ่งของหม้อแปลง โดยกำหนดทางด้านแรงสูง ให้เป็นอักษรตัวใหญ่ของแต่ละเฟส เป็น A B C ตามลำดับ โดยให้เริ่มต้นจากทางด้านซ้ายมือไปยังทางด้านขวามือของทางด้านแรงสูง ส่วนด้านแรงต่ำ นั้นให้ใช้อักษรตัวเล็ก a b c แทนแล้วให้มีเฟสที่คล้องจองกับทางด้านแรงสูงด้วย ส่วนขั้วสายนิวตรอนให้อยู่ก่อนหน้าที่จะถึงตำแหน่งขั้วต่างๆ ของสายที่มีไฟ เพราะขดลวดแต่ละชุดมี 2 ด้าน จึงใช้อักษร 1 และ 2 ตามลำดับ แต่ถ้าขดลวดนั้นมีแทป ก็ให้เรียงไปตามลำดับ เช่น ถ้ามี 4 แทป ก็จะได้อักษรเป็น A_1 ,....., A_5 และ A_6 ตามลำดับ

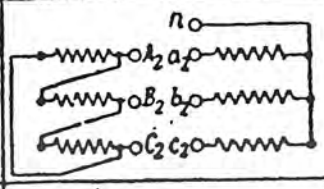
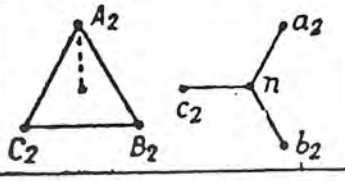
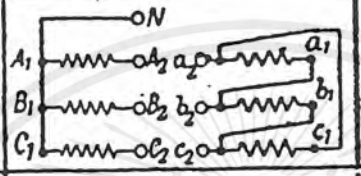
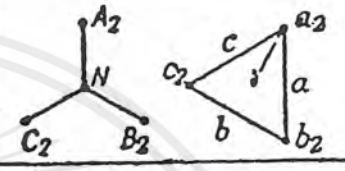
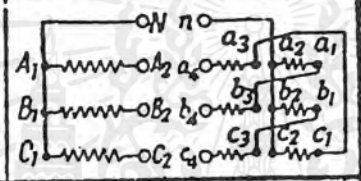
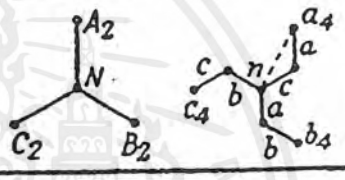
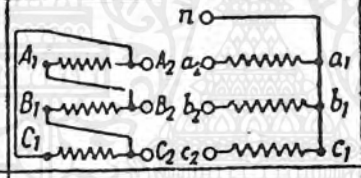
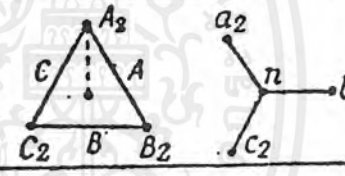
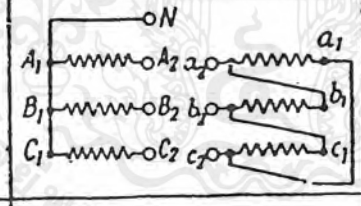
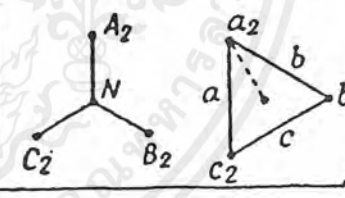
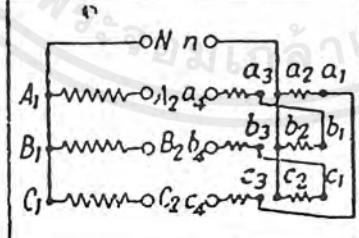
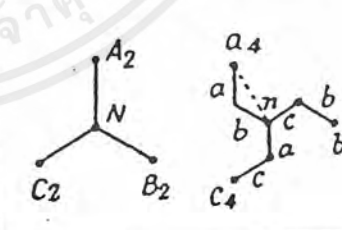
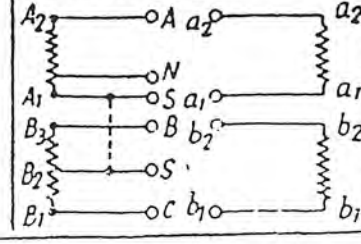
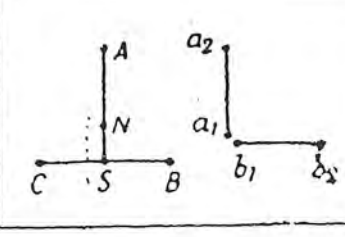
ถ้าแรงเคลื่อนไฟฟ้าที่ไปเหนี่ยวนำทางด้านแรงสูง เป็น A_1 และ A_2 และมีทิศทางจาก A_1 ไปA_2 ในขณะใดขณะหนึ่งแล้ว ก็จะทำให้การเหนี่ยวนำแรงเคลื่อนที่เกิดขึ้นทางด้านแรงต่ำ ที่ขณะนั้นมีทิศทางจาก a1 ไปยัง a2 ด้วย รูปต่างๆแสดงให้เห็นไว้แล้วในตาราง ก.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GROUP. NO. SYMBOL PHASE Δ	WINDINGS AND TERMINALS	E.M.F VECTOR DIAGRAMS
1_1 Yy 0 0°		
1_2 Dd 0 0°		
1_3 Dz 0 0°		
2_1 Yy 6 180°		
2_2 Dd 6 180°		
2_3 Dz 6 180°		
5_1 Yyy		

ตาราง ก.1 การแบ่งกลุ่มการต่อหม้อแปลงตามมาตราฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GROUP No. SYMBOL PHASE Δ	WINDINGS AND TERMINALS	E. M. F. VECTOR DIAGRAMS
3_1 Dy 1 -30°		
3_2 Yd 1 -30°		
3_3 Yz 1 -30°		
4_1 Dy 11 +30°		
4_2 Yd 11 +30°		
4_3 Yz 11 +30°		
3/2-Ph SCOTT		

ตาราง ก.2 การแบ่งกลุ่มการต่อหม้อแปลงตามมาตราฐาน (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแบ่งกลุ่มของการต่อหม้อแปลง 3 เฟส เท่าที่จะทำการต่อในแต่ละแบบ ทั้งหมดแล้วจะแบ่งได้ 4 กลุ่ม(Group) ใหญ่ๆ

- **Group ที่ 1** ความแตกต่างของเฟส ทางด้านรับไฟและจ่ายไฟเป็นศูนย์(zero phase displacement) การต่อพวกนี้ ได้แก่ Yy0, Dy0, Dz0
- **Group ที่ 2** ความแตกต่างของเฟส ทางด้านรับไฟและจ่ายไฟเท่ากับ 180 องศา(out of phase) ของเฟส ที่สอดคล้องกันระหว่างด้านรับไฟและด้านจ่ายไฟเท่ากับ 180 องศา การต่อพวกนี้ ได้แก่ Yy6, Dd6, Dz6
- **Group ที่ 3** กลุ่มนี้การต่อทำให้เฟส ทางด้านจ่ายไฟมาทีหลัง(lagging) กับเฟสที่ทางด้านรับไฟ 30 องศา การต่อพวกนี้ได้แก่ Dy1, Yd1, Yz1
- **Group ที่ 4** เป็นกลุ่มที่มีการต่อที่ทำให้เฟส ทางด้านจ่ายไฟมาก่อน(leading) หรือเกิดขึ้นก่อนเทียบกันทางด้านรับไฟเป็น 30 องศา การต่อพวกนี้ได้แก่ Dy11, Yd11, Yz11

การต่อที่ใช้กันโดยทั่วไปเป็นแบบสามัญนั้นพอแยกให้เห็นถึงรูปร่างของการต่อได้ดังนี้ คือ

1. STAR/star(Yy0 หรือ Yy6) การต่อหม้อแปลงไฟฟ้าแบบนี้เป็นแบบที่ประหยัดที่สุดสำหรับหม้อแปลงขนาดเล็กที่มีแรงเคลื่อนไฟฟ้าสูง โดยมีจำนวนของรอบต่อเฟสและใช้ฉนวนน้อยที่สุด นอกจากนั้นยังอาจใช้เป็นไฟ 4 เส้น ที่จุดรวมของทั้งสองด้านได้อีกด้วย ถ้าต่อแบบไม่มีสายนิวตรอน ก็จะไม่มี ฮาร์โมนิก ที่ 3 ในสายไฟ ฉะนั้นการต่อหม้อแปลงทำงานที่มีความหนาแน่นของเส้นแรงตามปกติแบบนี้ จึงทำให้ศักดาที่จุดนิวตรอนเกิดการสั่น และมีเฟสของแรงดันที่เป็น ฮาร์โมนิก ที่ 3 มีค่ามากถ้าหากว่าหม้อแปลงนั้นเป็นแบบคอร์ไทป์

2. DELTA/delta (Dd0 หรือ Dd6) การต่อหม้อแปลงไฟฟ้าแบบนี้เป็นแบบที่ประหยัดที่สุดสำหรับหม้อแปลงขนาดใหญ่ที่มีแรงเคลื่อนไฟฟ้าต่ำ โดยไม่ต้องห่วงเกี่ยวกับเรื่องฉนวนที่ใช้มากนัก เมื่อจำนวนรอบต่อเฟส เพิ่มขึ้นแลดลดขนาดพื้นที่หน้าตัดของลวดตัวนำลงไปด้วยการต่อแบบนี้สามารถที่จะรับโหลดที่ไม่สมดุล(unbalance voltage)ได้มาก โดยไม่ก่อให้เกิดความยากลำบากที่หม้อแปลงนัก โดยการต่อแบบ Delta นี้จะยังเป็นการช่วยลดฮาร์โมนิก ที่ 3 ให้หมดไปจากสายไฟได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. STAR/delta(DY1 หรือ Dy7) การต่อแบบนี้เป็นแบบธรรมดาสำหรับการต่อหม้อแปลงที่ใช้เป็นตัวจ่ายกำลังทางไฟฟ้า(power supply transformer) การมีจุดนิวตรอนนั้นทำให้การต่อโหลดทางไฟฟ้าเป็นแบบรวมได้ คือมีได้ทั้ง โหลด 1 เฟส และ 3 เฟส ได้ในขณะเดียวกันสำหรับขดลวดที่ต่อเป็นชุดแบบ delta นั้นจะช่วยลดกระแสฮาร์โมนิก ที่ 3 ที่เกิดขึ้นที่นิวตรอนได้ ซึ่งถ้าหากทางด้านแรงสูงต่อแบบ star ก็จะทำให้ประหยัดฉนวนได้(phase voltage = line voltage/1.732)

4. ZIGZAG/star (Yz1 หรือ Zy11) จากการต่อภายในระหว่าง เฟสด้วยกันนั้นทำให้สามารถลดฮาร์โมนิก ที่ 3 ลงไปได้และยังสามารถที่จะรับภาระไฟที่ไม่สมดุล(unbalance loading) การต่อแบบ Zigzag นี้ต้องทำการต่อหม้อแปลงชนิดที่ขดลวดในแต่ละเฟสมีค่าแรงดันไม่ควรสูงมากนัก เนื่องจากเฟสแรงดันของหม้อแปลง จะประกอบไปด้วย 2 เท่าของเฟสแรงดันจากการต่อแบบ Zigzag

5. THREE-PHASE/six-phase (Yyy) วิธีหนึ่งของการต่อที่เป็นธรรมดาที่สุด คือ การต่อแบบ star/duuble star โดยปกติการต่อแบบนี้ใช้สำหรับการต่อแบบจ่ายไฟฟ้าให้กับ six-ring synchronous converters โดยที่ armature มีการต่อเป็น MESH ซึ่งทำให้เกิด impedance path ที่มีค่าต่ำสำหรับแรงดันของฮาร์โมนิกที่ 3 ปกติแล้วไม่ปรารถนาที่จะให้มีเกิดขึ้นใน armature ถ้าหากว่าหลีกเลี่ยงได้ก็ต้องทำเพราะคำนึงถึงผลที่จะเกิดกับ commutator และ brush ด้วย

สิ่งที่น่าสนใจอีกอย่างหนึ่งของการต่อใช้งานหม้อแปลงไฟฟ้า 3 เฟสก็คือ ระหว่างการเลือกใช้งานหม้อแปลง 3 เฟสชนิดที่เป็น 3 เฟสในตัวเอง กับ การนำหม้อแปลงแบบ 1 เฟส จำนวน 3 ตัวมาต่อเป็น 3 เฟส จำนวน 1 ตัว การเลือกต่อแบบแรกจะสามารถประหยัดกว่าแบบหลังถึง 15 เปอร์เซ็นต์ เนื่องจากค่าใช้จ่ายในการก่อสร้างแบบแรกจะน้อยกว่าที่ค่าพิกัดการใช้งานเดียวกัน รวมถึงพื้นที่ในการติดตั้งใช้งานและค่าใช้จ่ายในการก่อสร้างสถานีไฟฟ้าก็ประหยัดกว่าด้วย เมื่อพิจารณาถึงความเชื่อมั่นหรือความแน่นอนในการใช้งาน ทั้ง 2 ประเภทนี้แทบจะไม่แตกต่างกันเลย แต่ถ้าพิจารณาถึงจำนวนตัวอะไหล่ที่จะต้องใช้ในการแทนที่ กรณีที่ต้องการแทนที่แบบที่เดียวซึ่งระหยัดกว่า ก็ต้องเลือกการต่อแบบที่ 2 เพราะว่า ถ้าใช้หม้อแปลงไฟฟ้าแบบตัวเดียวโดดๆ ก็ต้องมีตัวหม้อแปลงที่พิกัดเดียวกันไว้แทนที่การใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

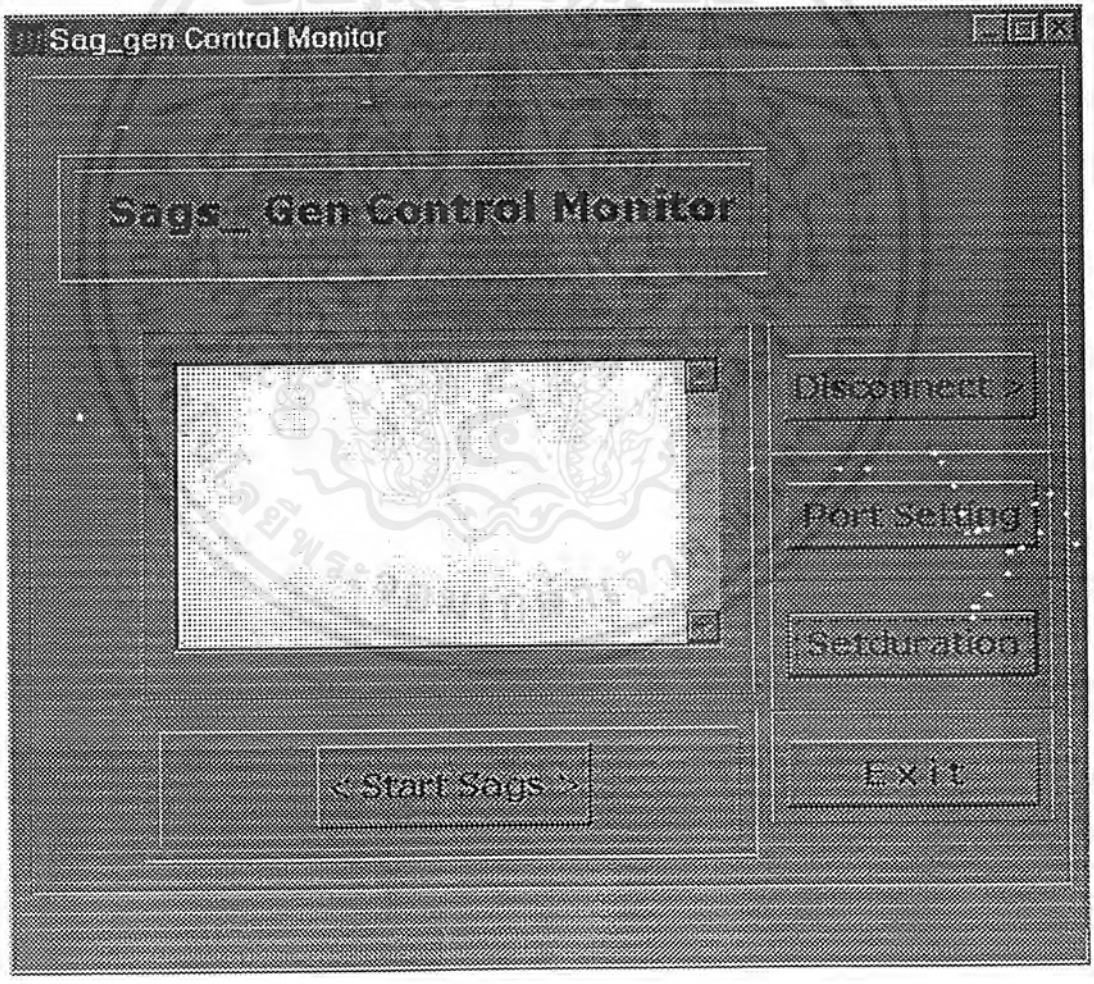
ภาคผนวก ข

การใช้งาน Sag Monitor และคอมโพแนนท์ที่คอมพอร์ท ในโปรแกรม DELPHI 4

1. การใช้งาน Sag Monitor

1.1 เริ่มต้นที่การเรียกโปรแกรม Sags Monitor

ผู้ใช้งานเรียกโปรแกรม Sags Monitor ที่ติดตั้งไว้แล้วจากเครื่องคอมพิวเตอร์จะปรากฏหน้าจอหลักของการใช้งาน ดังรูป

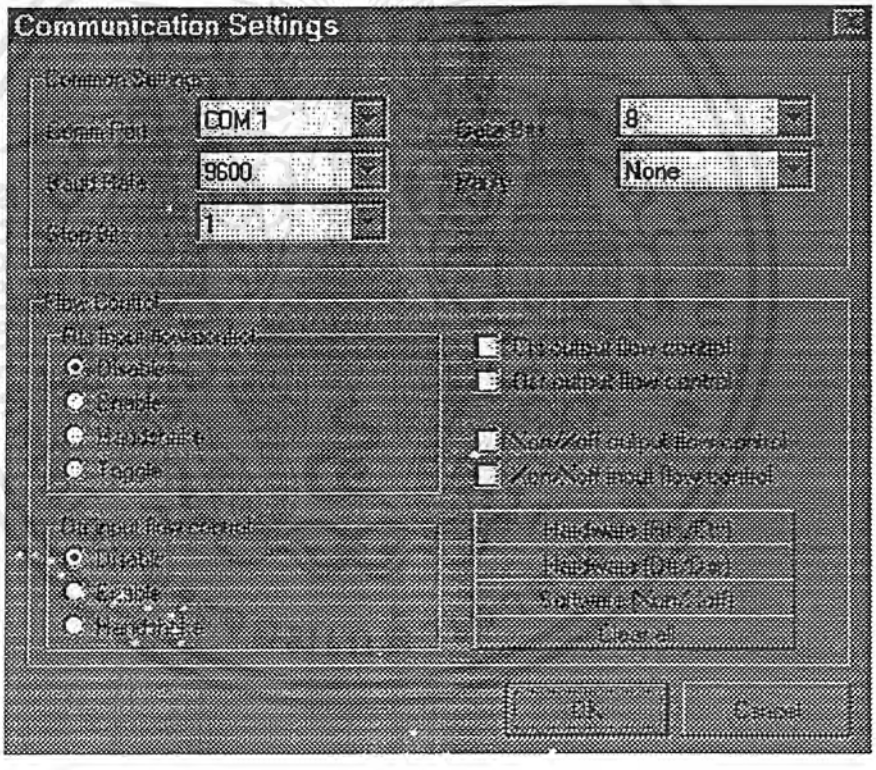


รูปที่ ข.1 หน้าจอหลักของการเรียกใช้งานโปรแกรม Sag Monitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 การติดต่อกับพอร์ตสื่อสารผ่าน โปรแกรม Sag Monitor

ให้ผู้ใช้ทำการติดตั้งค่าที่ใช้ติดต่อกับบอร์ดของไมโครคอนโทรลเลอร์ กับคอมพิวเตอร์ผ่านทาง RS-232 โดยการเลือกใช้พอร์ตคอม 1 (หัวต่อ DB9) หรืออาจจะเลือกใช้พอร์ตคอม 2 (หัวต่อ DB25) จากนั้นทำการเซตค่าประเภทของการติดต่อจากปุ่ม Port Setting ซึ่งจะปรากฏคุณสมบัติการติดต่อของพอร์ตใช้งานต่าง ๆ ดังรูปที่ ข.2

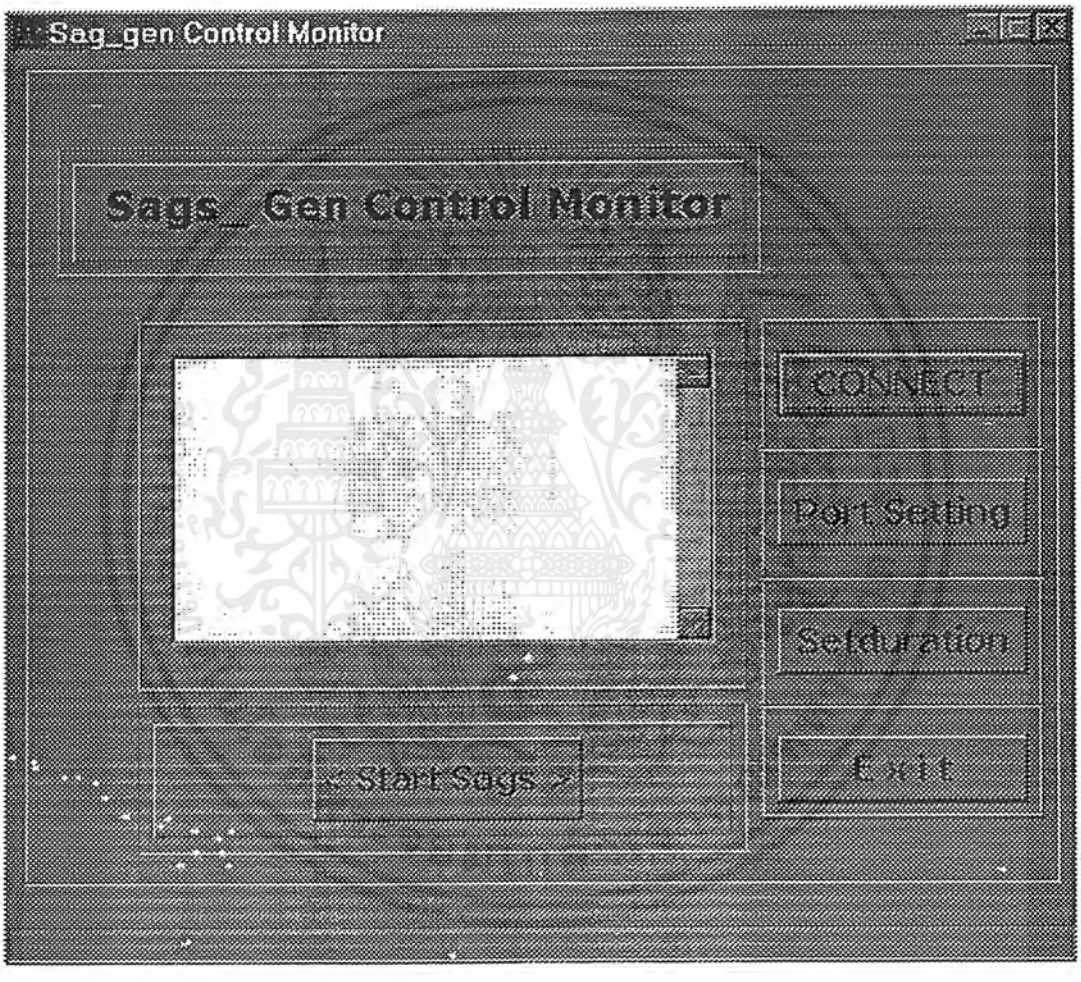


รูปที่ ข.2 หน้าจอการกำหนดค่าต่าง ๆ ของการติดต่อใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 สถานะการติดต่อของโปรแกรม Sags Monitor

เมื่อกำหนดค่าต่าง ๆ แล้วโปรแกรมจะกลับมาที่หน้าจอหลัก จากนั้นผู้ใช้งานเลือกที่ปุ่ม **DISCONNECT** ถ้าหากการกำหนดค่าถูกต้องปุ่ม **DISCONNECT** จะเปลี่ยนสถานะเป็น **CONNECT** ดังรูปที่ ข.3

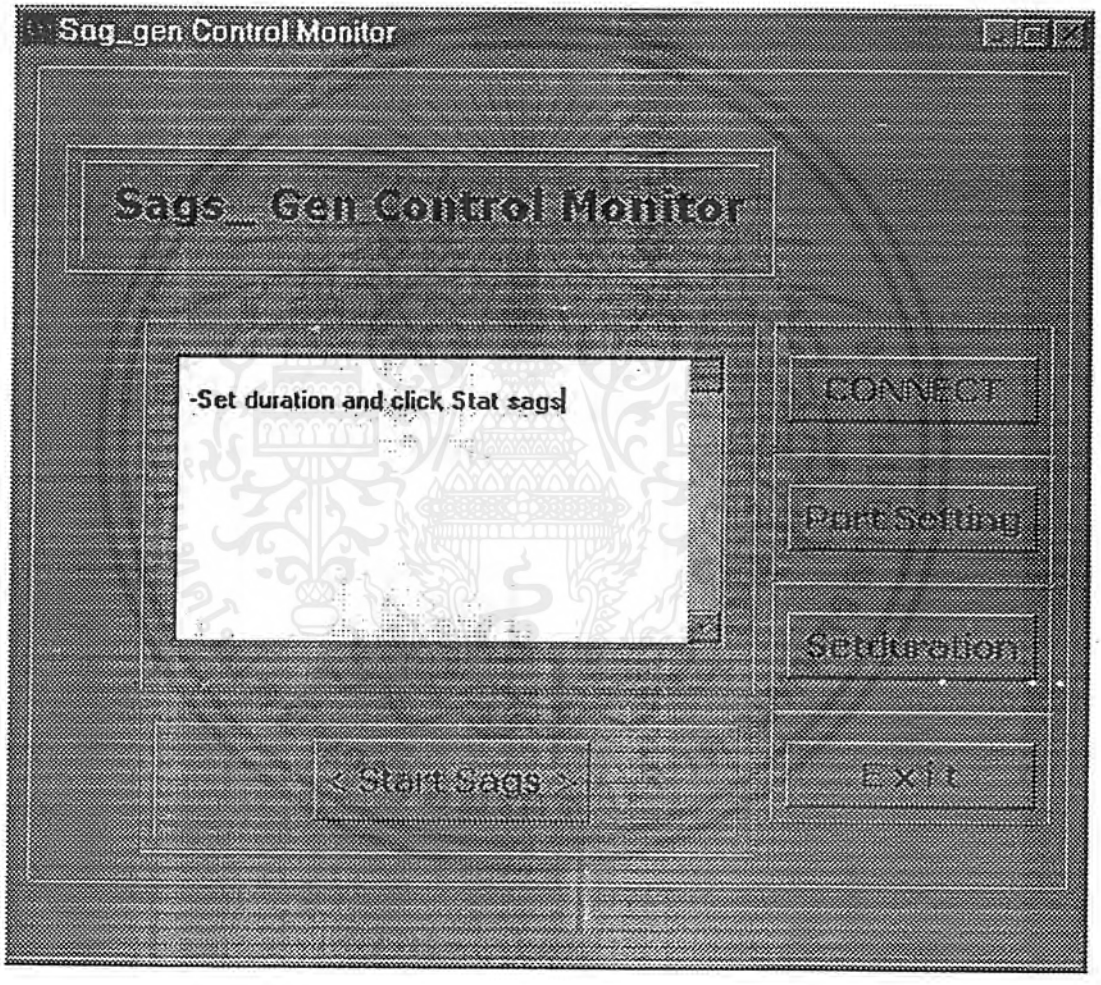


รูปที่ ข.3 หน้าจอสถานะขณะเริ่มการติดต่อกับพอร์ทอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 เริ่มจ่ายไฟเลี้ยงให้แก่ชุดควบคุมของบอร์ดไมโครคอนโทรลเลอร์

ต่อไปให้ผู้ใช้งานทำการจ่ายไฟเลี้ยงให้ชุดควบคุมการเกิดแรงดันตก เมื่อการใช้งานพร้อมและมีไฟเลี้ยงให้แก่ไมโครคอนโทรลเลอร์แล้ว จะปรากฏคำสั่งให้ผู้ใช้งานปฏิบัติตาม ดังรูปที่ ข.4

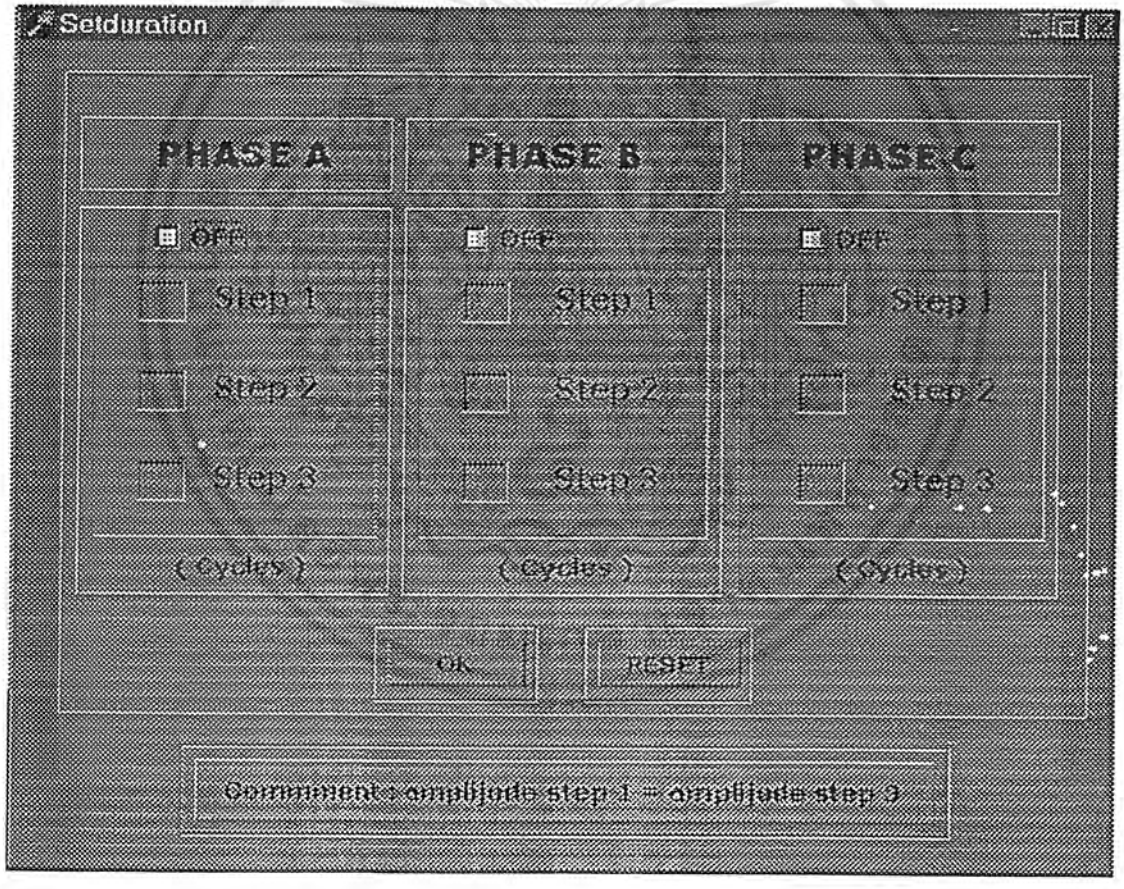


รูปที่ ข.4 หน้าแสดงสถานะการติดต่อกับพอร์ตอนุกรมของไมโครคอนโทรลเลอร์แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 การเซตค่าของขนาดแรงดัน(amplitudes) และช่วงเวลาการเกิด(durations)

มาถึงขั้นตอนนี้ โปรแกรม Sags Monitor พร้อมสำหรับการใช้งานแล้วให้ผู้ใช้งาน ทำการเลือกขนาดของแทปแรงดันที่ Step ต่าง ๆ ด้านหน้าของชุดเครื่องกำเนิดแรงดันตกชั่วขณะ แล้วทำการป้อนค่าต่าง ๆ ที่ Monitor ดังรูปที่ ข.5



รูปที่ ข.5 หน้าจอสถานะการเซตค่าคุณลักษณะต่าง ๆ ของการเกิดแรงดันตก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อผู้ใช้ทำการกำหนดค่าคุณลักษณะการเกิดแรงดันตกเรียบร้อยแล้ว ให้เลือกที่ OK โปรแกรมจะกลับมาที่หน้าจอหลัก และเมื่อผู้ใช้งานกดเลือกปุ่ม START SAGS เครื่องกำเนิดแรงดันตกก็จะทำงานตามที่ผู้ใช้งานได้โปรแกรมไว้

2. การใช้งานคอมโพแนนท์ทีคอมพอร์ท ในโปรแกรม DELPHI 4

รายละเอียดการใช้งานคอมโพแนนท์ Tcomport ในภาษาเดลไฟล์

TComPort component version 1.71 for Delphi 2, 3, 4

Written by Dejan Crnila, 1998-1999

e-mail: emilija.crnila@guest.arnes.si, dejan@macek.si

Dejan Crnila, Dolenja vas 111 ,3312 Prebold , SLOVENIA

TComPort is a component that encapsulates Win API serial communication. Serial communication programming is one of the most difficult and not very well documented area in windows programming. Use of TComPort component makes serial communication programming easier than ever. The knowledge of Win API needed.

1. Properties

1.1. BaudRate Baud rate is a speed at which computer communicates with a serial device.

1.2. DataBits Number of data bits sent in one step. This is usually set to 8 bits.

1.4. Events Set of events that serial device driver will monitor. Selecting only used events could gain some performance improvement.

1.5. Parity Set parity to desired value to check for data errors.

1.6. Port Com port number: 1, 2, 3 or 4.

1.7. StopBits Number of stop bits that are sent or recieved after data bits have arrived.

1.8. ReadBufSize Size of the input buffer.

1.9. WriteBufSize Size of the ouput buffer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.10. FlowControl FlowControl is type of control for buffer overflow checking. Check DCB structure in Win32.hlp for more information

1.11. Timeouts Timeouts object property handles timeout values for read/write operations. Check COMMTIMEOUTS structure in Win32.hlp for more information. (Note: a value of -1 is MAXDWORD)

1.12. Handle Handle property is used in WinAPI functions.

1.13. Connected A read-only property that detects whether com port is opened.

1.14. EventChar A charachter that triggers OnEvent event.

1.15. SyncMethod SyncMethod should be set to smSynchronize or smWindow in GUI application and smWindow in WinNT 4.0 Service application. If you don't want the events to be triggered in the context of primary thread, set SyncMethod to smNone, but then you're responsible for thread synchronization.

1.16. DiscardNull If set to true, TComPort discards all recieved null charachters. BaudRate, DataBits, StopBits, Parity, FlowControl should be synchronized with a serial device parameters.

2. Events

2.1. OnOpen OnOpen is triggered when com port is successfully opened with Open method

2.2. OnClose OnClose is triggered when com port is closed.

2.3. OnRxChar This is the most used event. It is launched when a charachter(s) arrives in input buffer. InQue parameter is number of bytes waiting in the input buffer.

2.4. OnRxFlag OnRxChar is triggered when event charachter arrives.

2.5. OnTxEmpty OnTxEmpty is Launched when ouput buffer is flushed.

2.6. OnCTS, OnDSR, OnRLSD These events detect a change on CTS, DSR, RLSD signals.

2.7. OnRing OnRing is triggered when a ring signal is detected. Used only with modems.

2.8. OnError OnError is triggered when a line error ocurs.

2.9. OnBreak OnBreak is triggered when a line break is detected. Input and output is suspended until break is cleared.

2.10. OnRx80Full OnRx80Full is triggered when the input buffer is 80% full. Application should read all data from input buffer.

3. Methods

Notes: Read/Write functions can be used in two modes: asynchronous or synchronous. If the function is called in synchronous mode (WaitFor parameter is set to True) the function waits until all data is transferred or an

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

error occurs. If the function is called in asynchronous mode (WaitFor set to False) function will probably end before all data is transfered. Application should call WaitForLastIO somewhere in code to get sure that all data is transfered and resources are cleaned. Example of synchronous write operation: ComPort1.WriteString('Hello', True); Example of asynchronous write operation:

```
ComPort1.WriteString('Hello', False);  // do some other processing here
ComPort1.WaitForLastIO; // Make sure that operation is completed
                        // and resources are freed.
```

3.1. procedure Open; Open method opens com port

3.2. procedure Close; Close method closes com port

3.3. function Write(var Buffer; Count: Integer; WaitFor: Boolean): Integer; Write method writes to com port ouput buffer. Buffer is data, which will be send to output buffer. Count is a number of bytes that will be send. Return value is number of actually written bytes.

3.4. function WriteString(Str: String; WaitFor: Boolean): Integer; Similar to Write, but it sends a string to ouput buffer.

3.5. function Read(var Buffer; Count: Integer; WaitFor: Boolean): Integer; Read method reads Count number of bytes and writes them do Buffer variable. Return value is number of actually read bytes.

3.6. function ReadString(var Str: String; Count: Integer; WaitFor: Boolean): Integer; Similar to Read, but bytes are read into a variable of type String

3.7. function WaitForLastIO: DWORD; Waits for last asynchronous opertaion do complete. Return value is number of bytes transfered

3.8. procedure AbortAllIO; Aborts all asynchrnous read/write operations

3.9. function PendingIO: Boolean; Returns true if there's any asnychonous operation in progress

3.8. procedure PurgeIn; PurgeIn clears input buffer and stops all input functions.

3.9. procedure PurgeOut; PurgeOut clears ouput buffer and stops all ouput functions

3.10. function InQue: Integer; InQue method returns number of bytes waiting in input buffer.

3.11. function OutQue: Integer; OutQue method returns number of bytes waiting in ouput buffer for transmission.

3.12. procedure HighCTS/DSR/RLSD; These methods return the state of CTS/DSR/RLSD signals. True for high state and False for low state.

3.13. procedure ShowPropForm; Shows ComPort setup form

3.14. procedure SetDTR(State: Boolean); Changes the state of Dtr signal State : True - On False - Off

3.15. procedure SetRTS(State: Boolean); Changes the state of Rts signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.16. procedure SetBreak(State: Boolean); Sets or clears break signal

3.17. procedure SetXonXoff(State: Boolean); State: True - transmission acts as Xon has been recieved False - transmission acts as Xoff has been recieved

4. Obsolote methods/properties

4.1. GetComHandle GetComHandle function is replaced with Handle property

4.2. EnableDTR EnableDTR property is now included in FlowControl property as ControlDTR property

4.3. PurgeIn and PurgeOut These methods are replace with AbortAllIO procedure

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

การอินเทอร์รัพท์เรียกใช้งานโปรแกรมย่อย และการใช้งานไทเมอร์ 2 ในMCS-51

การอินเทอร์รัพท์

โปรแกรมคอมพิวเตอร์มีเพียง 2 ทางเท่านั้น ที่จะหาเงื่อนไขที่เป็นจริงของวงจรภายในและภายนอก วิธีแรก คือใช้คำสั่งซอฟต์แวร์ กระโดดบนสภาวะแฟลกและพอร์ตพิน วิธีสอง คือ สัญญาณฮาร์ดแวร์ที่เรียกว่าอินเทอร์รัพท์ ซึ่งทำให้โปรแกรมไปเรียกซับรูทีน (Sub-routine) เทคนิคของซอฟต์แวร์ใช้เวลาของโปรเซสเซอร์ ซึ่งสามารถไปใช้งานอื่นๆ อินเทอร์รัพท์จะใช้เวลาของโปรเซสเซอร์เมื่อถูกทำเมื่อต้องการใช้โปรแกรม Application เกือบทั้งหมดของไมโครคอนโทรลเลอร์เกี่ยวข้องกับเหตุการณ์ ที่เร็วพอที่จะควบคุมภาวะแวดล้อมที่สร้างเหตุการณ์

อินเทอร์รัพท์อาจสร้างโดยการทำงานของชิพภายในหรือโดยแหล่งภายนอก อินเทอร์รัพท์บางตัวทำให้ 8051 ทำฮาร์ดแวร์ให้เรียกซับรูทีน ที่มีตำแหน่งที่กำหนดมาก่อน (โดยผู้ออกแบบ 8051) ในโปรแกรมเมมโมรี่

มีอินเทอร์รัพท์ 5 ชนิดใน 8051 3 ชนิดในนี้จะถูกสร้างโดยอัตโนมัติ โดยการทำงานภายในของไทม์เมอร์แฟลก 0 ไทม์เมอร์แฟลก 1 และอินเทอร์รัพท์พอร์ตอนุกรม (RI หรือ TI) อินเทอร์รัพท์อีก 2 ตัวถูกทริกโดยสัญญาณภายนอกโดยวงจรที่ต่อกับขา INT0 และ INT1 ($\overline{\text{ขาของพอร์ต}}$ P3.2 และ P3.3)

หน้าที่ของอินเทอร์รัพท์ จะอยู่ภายใต้การควบคุมของโปรแกรม โปรแกรมเมอร์สามารถเปลี่ยนบิทควบคุมในรีจิสเตอร์อินเทอร์รัพท์ (IE), Interrupt priority registor (IP) และ Timer control register (TCON) โปรแกรมสามารถสะกัดกั้นอินเทอร์รัพท์ทั้งหมดหรือบางตัวจากโปรแกรม โดยการเซตหรือเคลียร์บิทในรีจิสเตอร์เหล่านี้ IE, IP แสดงในรูป 2.17

หลังจากอินเทอร์รัพท์ถูกจัดการโดยซับรูทีน ซึ่งทำโดยโปรแกรมเมอร์ในโปรแกรมเมมโมรี่ โปรแกรมอินเทอร์รัพท์ต้องทำงานที่คำสั่งที่เกิดอินเทอร์รัพท์ โปรแกรมถูกทำโดยเก็บค่า PC ไปบนสแตคในแรมก่อนเปลี่ยน PC เป็นแอดเดรสของอินเทอร์รัพท์ในรอม ค่า PC จะได้จากสแตคหลังจากคำสั่ง RETI ได้ทำแล้วที่ส่วนท้ายของซับรูทีน

การกระโดดไปทำงานโปรแกรมย่อยของไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการเขียนโปรแกรมควบคุมการทำงาน จะต้องมีส่วนที่เป็นเงื่อนไขเพื่อให้การทำงานเป็นไปตามวัตถุประสงค์ของการใช้งาน ทำให้ส่วนของโปรแกรมย่อยจำเป็นที่จะต้องถูกเรียกมาใช้ เช่น อาจจะเป็นการตอบสนองต่อการอินเทอรัพท์ เป็นต้น ลักษณะการกระโดดไปทำงานย่อยของไมโครคอนโทรลเลอร์สามารถแบ่งออกได้ คือ

การกระโดดแบบไบต์ (Byte jumps)

คำสั่งกระโดดที่มีการทดสอบไบต์ของข้อมูล เหมือนคำสั่งกระโดยแบบบิท ถ้าเงื่อนไขที่ทดสอบเป็นจริง คำสั่งกระโดดก็จะถูกปฏิบัติการ แต่ถ้าเงื่อนไขเป็นเท็จคำสั่งถัดไปจากคำสั่งกระโดยจะถูกปฏิบัติการ ทุกๆ คำสั่งการกระโดดแบบไบต์สัมพัทธ์กับโปรแกรมเคาน์เตอร์

ตัวอย่างของคำสั่งกระโดยแบบไบต์

Mnemonic	Operation
CJNE A, add, radd	เปรียบเทียบค่าคงที่ของรีจิสเตอร์ A ด้วยค่าคงที่ของตำแหน่งโดยตรง (Direct address) ถ้ามีค่าไม่เท่ากับกระโดดไปที่ตำแหน่ง ; เซต Carry flag เป็น 1 ถ้า A น้อยกว่าค่าคงที่ของตำแหน่งโดยตรง กรณีอื่นๆ เซต Carry flag จะเป็น 0
CJNE A, #n, radd	เปรียบเทียบค่าคงที่ของรีจิสเตอร์ A ด้วยจำนวน n โดยตรง ถ้ามีค่าไม่เท่ากันให้กระโดดไปที่ตำแหน่งสัมพัทธ์ เซต Carry flag ให้ เป็น 1 ถ้า A น้อยกว่าจำนวน n กรณีอื่น เซต Carry flag เป็น 0
CJNE Rn, #n, radd	เปรียบเทียงค่าคงที่ของรีจิสเตอร์ Rn กับจำนวน n โดยตรง ถ้าไม่เท่ากันแล้วกระโดดไปที่ตำแหน่งสัมพัทธ์ เซต Carry flag เป็น 1 ถ้า Rn น้อยกว่าจำนวน n กรณีอื่น เซต Carry flag เป็น 0
CJNE @Rp, #n radd	เปรียบเทียบค่าคงที่ของค่าตำแหน่งในรีจิสเตอร์ Rp ด้วยจำนวน n ถ้ามีค่าไม่เท่ากันแล้ว กระโดยไปที่ตำแหน่งสัมพัทธ์ เซต Carry flag เป็น 1 ถ้าค่าคงที่ตำแหน่งใน Rp น้อยกว่าจำนวน n กรณีอื่นๆ เซต Carry flag เป็น 0

Mnemonic	Operation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DJNZ Rn, radd	ลดค่ารีจิสเตอร์ Rn ลง 1 และกระโดยไปที่ตำแหน่งสัมพัทธ์ ถ้าผลลัพธ์ไม่เท่ากับศูนย์ ไม่มีผลกระทบจาก Flag
DJNZ add, radd	ลดค่าตำแหน่งโดยตรง 1 และกระโดดไปที่ตำแหน่งสัมพัทธ์ ถ้าผลลัพธ์ไม่เท่ากับศูนย์
JZ radd	กระโดดไปที่ตำแหน่งสัมพัทธ์ ถ้า A คือ 0; Flag และรีจีสเตอร์ A ไม่มีการเปลี่ยนแปลง
JNZ radd	กระโดดไปที่ตำแหน่งสัมพัทธ์ ถ้า A ไม่เท่ากับ 0; Flag และรีจีสเตอร์ A ไม่มีการเปลี่ยนแปลง

การกระโดดโดยไม่มีเงื่อนไข

การกระโดดแบบนี้จะไม่มีการทดสอบบิทหรือไบต์ที่กำหนดโดยสามารถปฏิบัติการคำสั่งกระโดดได้เลย ช่วงการกระโดดทั้งหมดพบได้ในกลุ่มของคำสั่งกระโดด และจะมีเพียงคำสั่งกระโดดเท่านั้นที่สามารถกระโดดไปที่ไหนๆ ได้ภายในหน่วยความจำ

ตัวอย่างของคำสั่งกระโดยแบบไบต์

Mnemonic	Operation
JMP @A+DPTR	กระโดดไปที่ตำแหน่งที่เป็นผลรวมของค่า A กับ DPTR นี่เป็นการกระโดดโดยไม่มีเงื่อนไข และจะทำได้เสมอในทุกๆ ตำแหน่งในหน่วยความจำโดยที่ DPTR และ Flag จะไม่มีค่าเปลี่ยนแปลง
AJMP sadd	กระโดดไปที่ช่วงตำแหน่งสัมบูรณ์แบบสั้น Sadd นี้เป็นการกระโดดโดยไม่มีเงื่อนไข ไม่มีผลกระทบจาก Flag
LJMP ladd	กระโดดไปที่ช่วงตำแหน่งสัมบูรณ์แบบยาว Ladd นี้เป็นการกระโดดโดยไม่มีเงื่อนไข และปฏิบัติการได้เสมอ ไม่มีผลกระทบจาก Flag
SJMP radd	กระโดดไปที่ตำแหน่งสัมพัทธ์ Radd นี้เป็นการกระโดดโดยไม่มีเงื่อนไข และปฏิบัติการได้เสมอ โดยไม่มีผลกระทบจาก Flag
NOP	ไม่มีอะไรเกิดขึ้น และไม่ปฏิบัติการคำสั่งต่อไปด้วย

การเรียกและโปรแกรมย่อย (Calls and subroutines)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การโปรแกรมไมโครคอนโทรเลอร์จากภายนอก สามารถเขียนโดยใช้คำสั่งกระโดดเพื่อกำหนดการทำงานของโปรแกรมจากเงื่อนไขภายนอกที่เข้ามาตามความต้องการ

การเรียงลำดับโปรแกรมสามารถที่จะกำหนดเงื่อนไขจากภายนอกได้โดยการย้ายข้อมูลจากขาของพอร์ตไปยังตำแหน่งต่างๆ และกระโดดตามเงื่อนไขของข้อมูลที่เข้ามาตามขาของพอร์ตนั้น เรียกเทคนิคนี้ว่า Polling และโปรแกรมสามารถตอบสนองต่อเงื่อนไขภายนอกได้อย่างรวดเร็วด้วย

วิธีการอื่นๆ ที่ใช้ในการเปลี่ยนแปลงการทำงานของโปรแกรมคือ การอินเทอร์รัพท์ ซึ่งเป็นสัญญาณจากขาที่มาจากภายนอกหรือรีจิสเตอร์ภายในตัวเอง การอินเทอร์รัพท์สามารถเกิดขึ้นโดยการใช้คำสั่งทางด้าน Software ได้เรียก Calls

โปรแกรมย่อย

เป็นโปรแกรมที่อาจจะมีการใช้งานอยู่บ่อยๆ ในการปฏิบัติงานของโปรแกรมใหญ่ๆ โปรแกรมย่อยสามารถเขียนใส่ไว้ในตัวของโปรแกรมหลักได้ในทุกๆ ที่ที่มีความต้องการ การทำงานของโปรแกรมย่อยจะง่ายและมีความรวดเร็วมาก

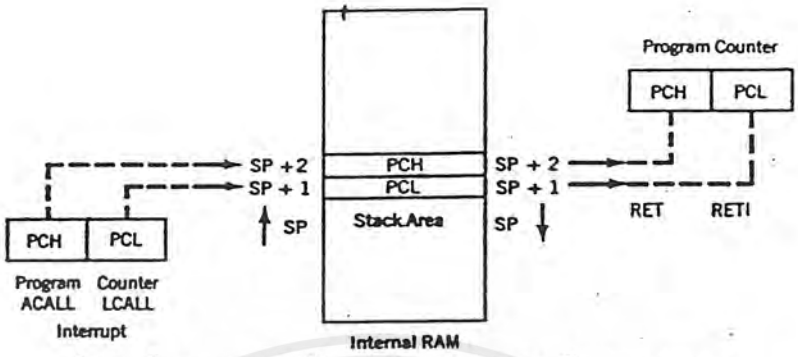
ในทางปฏิบัติแล้ว การเขียนโปรแกรมขนาดใหญ่ จะมีการแบ่งเป็นโปรแกรมย่อยๆ มากมายเป็นส่วนๆ ซึ่งแต่ละส่วนเรียกโปรแกรมย่อย ที่โปรแกรมหลักสามารถเรียกใช้ได้ทั้งหมด

การเรียกและสแตค (Calls and the stack)

การเริ่มต้นการเรียกเกิดขึ้นได้ทั้งด้านฮาร์ดแวร์หรือซอฟต์แวร์ เพื่อกระโดดไปยังตำแหน่งที่อยู่โปรแกรมที่เรียกนั้นและที่จุดสิ้นสุดการปฏิบัติคำสั่งของโปรแกรมย่อยจะมีการรวมค่าออฟโค้ดที่อยู่เข้าด้วยกัน การเรียกสามารถจะอยู่ในตำแหน่งใดๆ ก็ได้ของที่ว่างในโปรแกรมหน่วยความจำ และมีการใช้งานได้ตลอดเวลา นั่นก็คือทุกๆ โปรแกรมสามารถปฏิบัติงานได้อย่างต่อเนื่อง หลังจากการเรียกใช้โปรแกรมย่อย

พื้นที่ Stack ของ RAM ภายในจะถูกใช้เก็บค่าตำแหน่งโดยอัตโนมัติ การเรียกเพื่อส่งค่าตำแหน่งกลับของคำสั่งที่เจอ หลังจากมีการเรียกแล้ว ส่วน Stack pointer รีจิสเตอร์ จะมีค่าตำแหน่งที่ว่างสุดท้ายใช้บน Stack นั้น จะเก็บและส่งค่ากลับบริเวณที่ว่างนี้ Stack pointer จะถูกใช้ในการเปลี่ยนแปลงเพื่อออกแบบพื้นที่ของ RAM ในการกำหนดค่าตำแหน่งด้วย Stack pointer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป ค.1 ไดอะแกรมลำดับการทำงานของการเรียกและสแตค

1. ออฟโค้ดของการเรียกถูกส่งเข้าไปในโปรแกรม (ซอฟต์แวร์) หรือเกิดการอินเทอร์รัพท์ที่ด้านฮาร์แวร์

2. ค่าตำแหน่งของคำสั่งถัดไปถูกส่งค่ากลับ หลังจากคำสั่งเรียกหรือการอินเทอร์รัพท์ ค้นพบในโปรแกรมเคาน์เตอร์

3. ค่าตำแหน่งเป็นไบต์ถูกส่งกลับไปเก็บบน Stack ที่ไบต์ต่ำสุด

4. ค่าใน Stack pointer เพิ่มขึ้น เพื่อที่จะเก็บ Stack

5. ตำแหน่งของโปรแกรมย่อย ถูกใส่ไว้ในโปรแกรมเคาน์เตอร์

6. โปรแกรมย่อยถูกปฏิบัติการ

7. ออฟโค้ด RET ถูกนับถอยหลัง เมื่อสิ้นสุดการทำงานของโปรแกรมย่อย

8. นำค่าทั้งสองส่งกลับคืนที่อยู่ในรูปของตำแหน่งไปยัง PC จากพื้นที่ Stack ใน RAM ภายใน

9. Stack pointer มีค่าลดลง สำหรับแต่ละไบต์ตำแหน่งของ POP

ทุกขั้นตอนทั้งหมดคือขั้นตอนที่สามารถทำได้โดยอัตโนมัติในฮาร์ดแวร์ของ 8051 มันจึงตอบสนองความต้องการของโปรแกรมเมอร์ได้อย่างดีเยี่ยมในการนำไปใช้งาน

การเรียกเก็บและการส่งกลับ (Call and Returns)

การอินเทอร์รัพท์ถูกเรียกให้เกิดโดยฮาร์ดแวร์ซึ่งออฟโค้ดการเรียกนี้สามารถอยู่ในตำแหน่งภายในตัวโปรแกรมที่จะปฏิบัติการโปรแกรมย่อยได้โดยอัตโนมัติ ขาของ 8051 สามารถจะถูกเรียกเมื่อมีสัญญาณไฟฟ้าที่มีสถานะต่ำจากภายนอกเข้ามา หรือแม้แต่การปฏิบัติการภายในสามารถเกิดขึ้นได้ตลอดเวลา โดยผ่านทางพอร์ตอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเรียกโปรแกรมย่อยโดยการเรียกใช้อินเทอร์รัพท์ ที่มีตำแหน่งแน่นอนบนฮาร์ดแวร์ ได้กล่าวมาแล้วในบทที่ 2

ตำแหน่งการอินเทอร์รัพท์โปรแกรมย่อย

Interrupt	**Address (Hex) called**
IE0	0003
TF0	000B
IE1	0013
TF1	001B
SERIAL	0023

สรุปการใช้คำสั่งกระโดดของโปรแกรมจะทำให้เกิดการเปลี่ยนค่าภายในโปรแกรมเคาน์เตอร์ด้วยตำแหน่งของการกระโดดที่มีช่วงคือ

ช่วงสัมพัทธ์ ; มากกว่า PC+127 ไบต์, PC-128 ไบต์ ถัดจากค่าใน PC

ช่วงสัมบูรณ์แบบสั้น ; ทุกๆ ตำแหน่งบน Page 2K ไบต์

ช่วงสัมบูรณ์แบบยาว ; ทุกๆ ตำแหน่งในโปรแกรมหน่วยความจำ

ออฟโค้ด (Opcode) ของการกระโดดสามารถตรวจสอบได้เป็นบิทหรือไบต์ สำหรับตรวจสอบเงื่อนไขที่จะปฏิบัติคำสั่งกระโดดที่ตำแหน่งใหม่ในโปรแกรม

การใช้คำสั่งกระโดดแบบบิท

ชนิดของคำสั่ง	**ผลของการปฏิบัติการ**
JC radd	กระโดดถ้า Carry flag ถูกเซตเป็น 1
JNC radd	กระโดดถ้า Carry flag ถูกเคลียร์เป็น 0
JB 6, radd	กระโดดถ้าบิทตำแหน่งถูกเซตเป็น 1
JNB 6, radd	กระโดดถ้าบิทตำแหน่งถูกเคลียร์เป็น 0
JBC 6, radd	กระโดดถ้าบิทตำแหน่งถูกบิทเป็น 1 และบิทจุดเคลียร์เป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	การกระโดดแบบไบต์
ชนิดคำสั่ง	ผลการปฏิบัติการ
CJNE destination, source address	เปรียบเทียบค่าปลายทางและต้นทาง กระโดดไปที่ตำแหน่งถ้าไม่เท่ากัน
DJNZ destination, address	ลดค่าปลายทางลง 1 กระโดดไปที่ตำแหน่งถ้าผลลัพธ์ไม่เท่ากับศูนย์

4.5 การใช้งาน Timer 2 ในไมโครคอลโทรลเลอร์

ในคอนโทรลเลอร์รุ่นต่อๆ มาของ 8051 จะมีไทเมอร์อีกหนึ่งตัวเพิ่มขึ้นมา คือ Timer 2 มันสามารถถูกนำมาใช้งานได้ทั้งสองหน้าที่ คือ นับจำนวนพัลส์ หรือเป็นตัวกำหนดเวลา เช่นเดียวกับไทเมอร์อื่นๆ การเลือกเกิดขึ้นในบิต C/T2 ของ SFR T2CON ในรีจิสเตอร์ ตัวนี้ลักษณะของโหมดการทำงานก็จะรวมอยู่ด้วยโหมดสามโหมดที่ทำได้คือ

- Auto-Reload
- Baudrate-Generator
- Capture

← Timer 2 - Control - Register (T2CON) →

TF2	EXF2	RCLK	TCKL	EXEN2	TR2	C/T2	CP/RL2

ตารางต่อไปนี้จะแสดงถึงการเซ็ตบิตใน T2CON เพื่อให้ทำงานในโหมดต่างๆ

RCLK + TCLF	CP/RL2	TR2	โหมด
0	0	1	16-บิต-Auto-Reloads
0	1	1	16-บิต Capture
1	x	1	Baudrate Generator
x	x	0	หยุดการทำงาน

- **TF2** เมื่อเกิดโอเวอร์โฟล์วของ Timer 2 TF2 จะเซ็ต ทำให้เกิดสัญญาณอินเตอร์รัปต์ขึ้น TF2 จะต้องถูกลบด้วยซอฟต์แวร์ ถ้าทำงานในโหมด Baudrate Generator โดย RCLK หรือ TCLK เซ็ต TF2 จะไม่มีการเซ็ทเมื่อเกิดโอเวอร์โฟล์ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- **EXF2** กรณีที่ EXEN2=1 เกิดสัญญาณขึ้นโดย ขอบขาลงที่ขา T2EX ในโหมดการทำงาน Capture อินเตอร์รัปต์ โปรแกรมก็จะเรียกโปรแกรมบริการอินเตอร์รัปต์ EXF2 จะต้องถูกลงด้วยซอฟต์แวร์
- **RCLK** ถ้า RCLK เซ็ต พอร์ตอนุกรมจะอาศัย OVER FLOW Rate ของ Timer2 ในการรับข้อมูล ถ้า RCLK ถูกลบตัวกำหนด Baudrate จะใช้ Timer1 สำหรับการรับข้อมูล
- **TCLK** ถ้า TCLK เซ็ต พอร์ตอนุกรมจะอาศัย OVER FLOW Rate ของ Timer2 .ในการส่งข้อมูล ถ้า TCLK ถูกลบ ตัวกำหนด Baudrate จะใช้ Timer1 สำหรับการส่งข้อมูล
- **EXEN2** ถ้า EXEN2 เซ็ต ทำให้เกิดสัญญาณขอบขาลงที่ขา T2EX ในโหมด Capture ตรงจุดเวลานี้ ค่าที่อยู่ใน Timer2 จะถูกนำเข้าสู่ Capture-Register (RCAP2H,RCAP2L) จะเป็นอย่างนี้ก็ต่อเมื่อ CP หรือ RL2 เซ็ต สำหรับ CP หรือ RL2 = 0 (ลบ) ที่ขอบขาลงที่ขา T2EX จะถูกโหลดด้วยข้อมูลจาก Capture-Register RCAP2H และ RCAP2L นี้จึงเหมือนกับโหมดการทำงานแบบ Reload
- **TR2** ถ้าบิตนี้เซ็ต Timer2 จะทำงาน ถ้าเป็น 0 Timer 2 จะหยุดทำงาน
- **C/T2** บิตนี้เลือกลักษณะการทำงานสำหรับ Timer 2
  C/T2 = 0 ตัวกำหนดเวลาโดยสัญญาณนาฬิกาภายใน (fosc/12)
  C/T2 = 1 นับจำนวนสัญญาณพัลส์
- **CP/RRL2** ถ้า EXEN = 1 ด้วยการเซ็ตบิต CP/RL2 ของ Timer2 จะทำงานโหมด Capture ที่ขอบขาลบของพัลส์ที่ขา T2EX ขั้นตอนการทำงานในโหมด Auto-Reload สำหรับ Timer2 ด้วยรีจีสเตอร์ - Capture ขณะที่เกิดโอเวอร์โฟล์วของ Timer2 หรือเมื่อขอบขาลบของพัลส์ที่ขา T2FX ในกรณีที่ RCLK หรือ TCLK เซ็ต และขอบขาพัลส์ลงถูกปฏิเสธ โหมด Auto-Reload จะสำเร็จได้ด้วยเพียงเกิดโอเวอร์โฟล์วเท่านั้น

เราอาจใช้งานโหมด Capture เมื่อไทเมอร์ถูกทริกด้วยสัญญาณจากภายนอก ขอบขาลงของสัญญาณจากภายนอก ข้อมูลจากไทเมอร์ขนาด 16 จะเข้าสู่ Capture-Register 2 ตัว ซึ่งสามารถทำให้เกิดการเรียกโปรแกรมย่อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง

โปรแกรมควบคุมการทำงานส่วนของโปรแกรมภาษาแอสเซมบลี้

```
        ORG     0000h
        JMP     START
        ORG     100h
START:
        MOV     IE,#00h
        MOV     SP,#60H         ;set stack pointer = 60H
        CALL    TRANSMIT1
Begin:
        CLR     RI              ;clear ri bit
        MOV     R7,#09H         ;set var.
        MOV     R0,#30H         ;set pointer
        CALL    Polling
        CALL    Gensignal
        JMP     Begin
Polling:
        MOV     SCON,#50H       ;SET MODE1 (8 BIT UART)
        ANL     PCON,#01111111B ;SET SMOD TO 0
        SETB    REN             ;RECEIVER ENABLED
        MOV     TMOD,#00100010B ;SET MODE TIMER TO 8 BIT AUTO RELOAD
        MOV     TH1,#0FDH       ;9600 BAUD RATE
        SETB    TR1
        JNB     RI,$
        MOV     A,SBUF
        MOV     @R0,A
        INC     R0
        CLR     RI
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DJNZ    R7,Polling
        RET

GENSIGNAL:
        MOV     TCON,#00H
        MOV     TMOD,#55H
        MOV     R2,#00H         ;PHASE A
        MOV     R3,#00H         ;PHASE B
        MOV     R4,#00H         ;PHASE C
        MOV     P1,#0FFH
        MOV     TH0,#0FFH
        MOV     TH1,#0FFH
        MOV     TH2,#0FFH
INITA:
        MOV     R0,#30H     ;PHASE A
        MOV     A,@R0
        JNZ     INITA0
        INC     R2
        INC     R0
        MOV     A,@R0
        JNZ     INITA0
        INC     R2
        INC     R0
        MOV     A,@R0
        JNZ     INITA0
        INC     R2
        JMP     INITB
INITA0:
        CLR     CY
        MOV     A,#0FFH
        SUBB    A,@R0
        MOV     TL0,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
INITB:
        MOV     R0,#33H         ;PHASE B
        MOV     A,@R0
        JNZ     INITB0
        INC     R3
        INC     R0
        MOV     A,@R0
        JNZ     INITB0
        INC     R3
        INC     R0
        MOV     A,@R0
        JNZ     INITB0
        INC     R3
        JMP     INITC
INITB0:
        CLR     CY
        MOV     A,#0FFH
        SUBB    A,@R0
        MOV     TL1,A

INITC:
        MOV     R0,#36H         ;PHASE C
        MOV     A,@R0
        JNZ     INITC0
        INC     R4
        INC     R0
        MOV     A,@R0
        JNZ     INITC0
        INC     R4
        INC     R0
        MOV     A,@R0
        JNZ     INITC0
        INC     R4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        JMP     SET
INITC0:
        MOV     A,#0FFH
        CLR     CY
        SUBB    A,@R0
        MOV     TL2,A

SET:
        CJNE    R2,#02H,$+7
        CLR     P1.2
        SETB    P1.3
        CJNE    R2,#01H,$+7
        SETB    P1.2
        CLR     P1.3
        CJNE    R2,#00H,$+7
        CLR     P1.2
        SETB    P1.3

        CJNE    R3,#02H,$+7
        CLR     P1.4
        SETB    P1.5
        CJNE    R3,#01H,$+7
        CLR     P1.5
        SETB    P1.4
        CJNE    R3,#00H,$+7
        CLR     P1.4
        SETB    P1.5

        CJNE    R4,#02H,$+7
        CLR     P1.6
        SETB    P1.7
        CJNE    R4,#01H,$+7
        CLR     P1.7
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SETB    P1.6
        CJNE            R4,#00H,$+7
        CLR             P1.6
        SETB    P1.7
        CLR             TF0
        CLR             TF1
        SETB            TR0
        SETB            TR1
        MOV             T2CON,#07H
        CJNE            R2,#03H,$+5
        CLR             TR0
        CJNE            R3,#03H,$+5
        CLR             TR1
        CJNE            R4,#03H,$+6
        MOV             T2CON,#03H
LOOP:
        JNB             TF0,LOOP1
        ACALL           PHASEA
LOOP1:  JNB             TF1,LOOP2
        ACALL           PHASEB
LOOP2:
        MOV             A,T2CON
        JNB             ACC.7           LOOP3
        ACALL           PHASEC
LOOP3:  CJNE            R2,#03          ,LOOP
        CJNE            R3,#03          ,LOOP
        CJNE            R4,#03          ,LOOP
        RET

PHASEA:
        CLR             TR0
        CLR             TF0
        CJNE            R2,#02H         ,PHASEA0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        INC     R2
        SETB    P1.2
        SETB    P1.3
        RET
PHASEA0:
        CJNE    R2,#01H         ,PHASEA1
        INC     R2
        MOV     A,32H
        JZ      PHASEA
        CLR     CY
        MOV     A,#0FFH
        SUBB    A,32H
        MOV     TL0,A
        MOV     TH0,#0FFH
        CLR     P1.2
        SETB    P1.3
        SETB    TR0
        RET
PHASEA1:
        INC     R2
        MOV     A,31H
        JZ      PHASEA0
        CLR     CY
        MOV     A       ,#0FFH
        SUBB    A,31H
        MOV     TL0,A
        MOV     TH0     ,#0FFH
        CLR     P1.3
        SETB    P1.2
        SETB    TR0
        RET

PHASEB:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CLR     TR1
        CLR     TF1
        CJNE    R3,#02H     ,PHASEB0
        INC     R3
        SETB    P1.4
        SETB    P1.5
        RET
PHASEB0:
        CJNE    R3,#01H     ,PHASEB1
        INC     R3
        MOV     A,35H
        JZ      PHASEB
        CLR     CY
        MOV     A,#0FFH
        SUBB    A,35H
        MOV     TL1,A
        MOV     TH1,#0FFH
        CLR     P1.4
        SETB    P1.5
        SETB    TR1
        RET
PHASEB1:
        INC     R3
        MOV     A,34H
        JZ      PHASEB0
        CLR     CY
        MOV     A,#0FFH
        SUBB    A,34H
        MOV     TL1,A
        MOV     TH1,#0FFH
        CLR     P1.5
        SETB    P1.4
        SETB    TR1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        RET

PHASEC:
        MOV     T2CON,#03H
        CJNE    R4,#02H,PHASEC0
        INC     R4
        SETB    P1.6
        SETB    P1.7
        RET
PHASEC0:
        CJNE    R4,#01H,PHASEC1
        INC     R4
        MOV     A,38H
        JZ      PHASEC
        CLR     CY
        MOV     A,#0FFH
        SUBB    A,38H
        MOV     TL2,A
        MOV     TH2,#0FFH
        CLR     P1.6
        SETB    P1.7
        MOV     T2CON,#07H
        RET
PHASEC1:
        INC     R4
        MOV     A,37H
        JZ      PHASEC0
        CLR     CY
        MOV     A,#0FFH
        SUBB    A,37H
        MOV     TL2,A
        MOV     TH2,#0FFH
        CLR     P1.7
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SETB    P1.6
        MOV     T2CON,#07H
        RET
TRANSMIT1:
        CLR     TI
        MOV     SCON,#50H           ;SET MODE1 (8 BIT UART)
        ANL     PCON,#01111111B     ;SET SMOD TO 0
        MOV     TMOD,#00100010B     ;SET MODE TIMER TO 8 BIT AUTO RELOAD
        MOV     TH1,#0FDH           ;9600 BAUD RATE
        SETB    TR1
        MOV     A,#61H
        MOV     SBUF,A
        CLR     TI
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก จ

Microcontroller's Data sheet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Compatible with MCS-51™ Products
- 8K Bytes of In-System Reprogrammable Downloadable Flash Memory
  - SPI Serial Interface for Program Downloading
  - Endurance: 1,000 Write/Erase Cycles
- 2K Bytes EEPROM
  - Endurance: 100,000 Write/Erase Cycles
- 4V to 6V Operating Range
- Fully Static Operation: 0 Hz to 24 MHz
- Three-level Program Memory Lock
- 256 x 8-bit Internal RAM
- 32 Programmable I/O Lines
- Three 16-bit Timer/Counters
- Nine Interrupt Sources
- Programmable UART Serial Channel
- SPI Serial Interface
- Low-power Idle and Power-down Modes
- Interrupt Recovery From Power-down
- Programmable Watchdog Timer
- Dual Data Pointer
- Power-off Flag

Description

The AT89S8252 is a low-power, high-performance CMOS 8-bit microcomputer with 8K bytes of downloadable Flash programmable and erasable read only memory and 2K bytes of EEPROM. The device is manufactured using Atmel's high-density nonvolatile memory technology and is compatible with the industry-standard 80C51 instruction set and pinout. The on-chip downloadable Flash allows the program memory to be reprogrammed in-system through an SPI serial interface or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with downloadable Flash on a monolithic chip, the Atmel AT89S8252 is a powerful microcomputer which provides a highly-flexible and cost-effective solution to many embedded control applications.

The AT89S8252 provides the following standard features: 8K bytes of downloadable Flash, 2K bytes of EEPROM, 256 bytes of RAM, 32 I/O lines, programmable watchdog timer, two data pointers, three 16-bit timer/counters, a six-vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator, and clock circuitry. In addition, the AT89S8252 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port, and interrupt system to continue functioning. The Power-down mode saves the RAM contents but freezes the oscillator, disabling all other chip functions until the next interrupt or hardware reset.

The downloadable Flash can be changed a single byte at a time and is accessible through the SPI serial interface. Holding RESET active forces the SPI bus into a serial programming interface and allows the program memory to be written to or read from unless Lock Bit 2 has been activated.

8-bit Microcontroller with 8K Bytes Flash

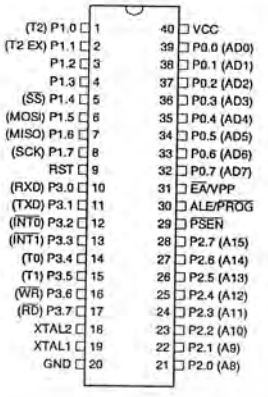
AT89S8252

Rev. 0401E–02/00

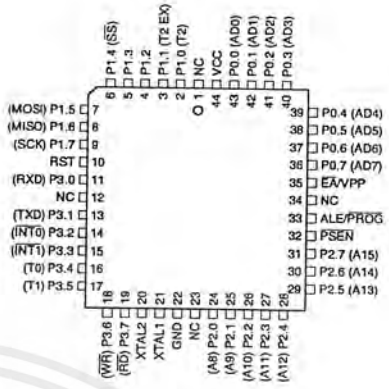
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Configurations

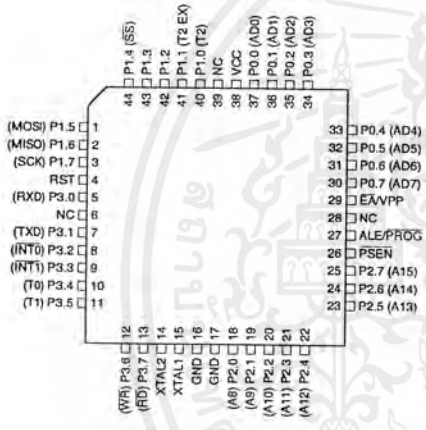
PDIP



PLCC



PQFP/TQFP



Pin Description

VCC

Supply voltage.

GND

Ground.

Port 0

Port 0 is an 8-bit open drain bbi-didirectional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 can also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode, P0 has internal pullups.

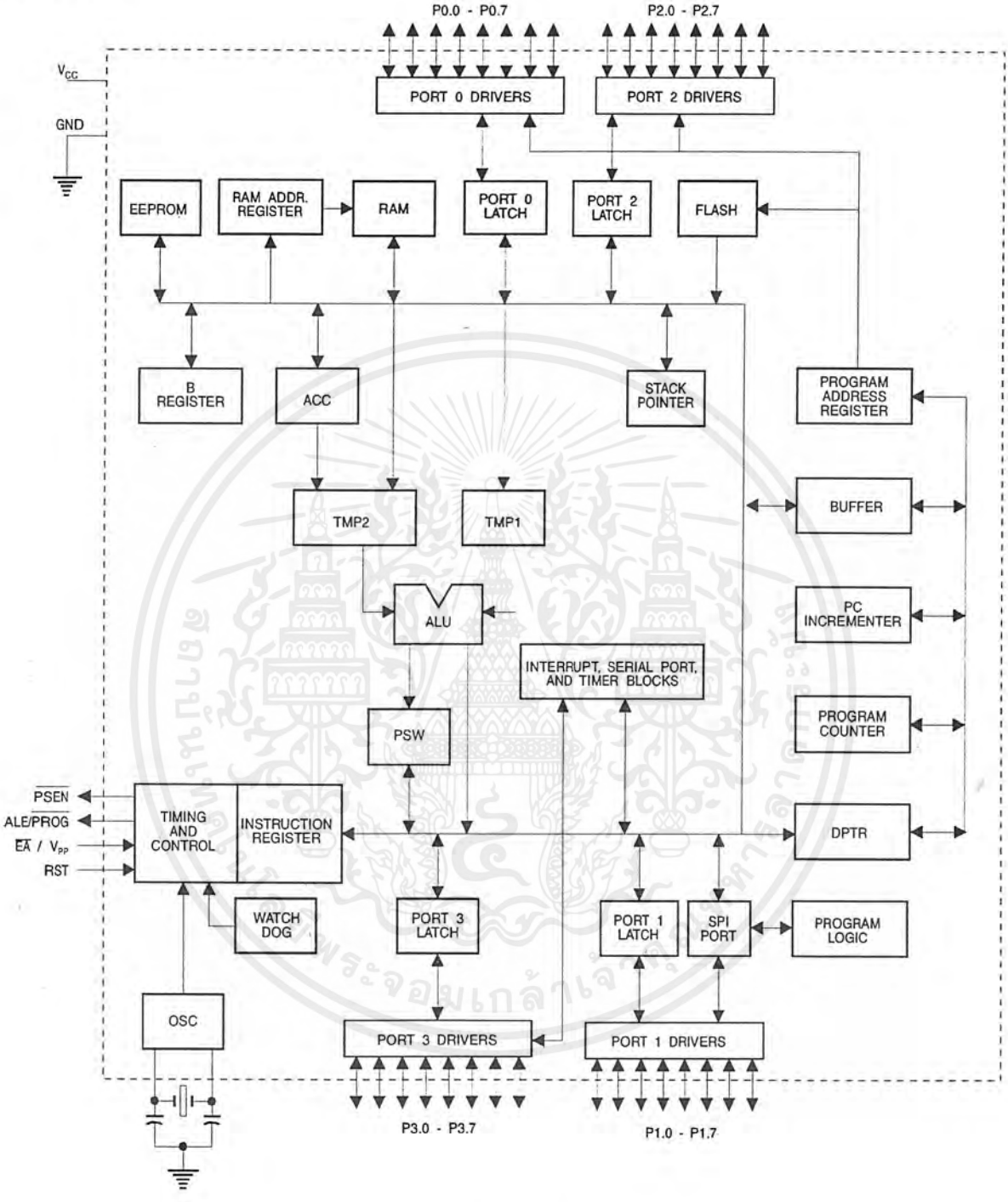
Port 0 also receives the code bytes during Flash programming and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1

Port 1 is an 8-bit bi-directional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Some Port 1 pins provide additional functions. P1.0 and P1.1 can be configured to be the timer/counter 2 external count input (P1.0/T2) and the timer/counter 2 trigger input (P1.1/T2EX), respectively.

Pin Description

Furthermore, P1.4, P1.5, P1.6, and P1.7 can be configured as the SPI slave port select, data input/output and shift clock input/output pins as shown in the following table.

Port Pin	Alternate Functions
P1.0	T2 (external count input to Timer/Counter 2), clock-out
P1.1	T2EX (Timer/Counter 2 capture/reload trigger and direction control)
P1.4	$\overline{SS}$ (Slave port select input)
P1.5	MOSI (Master data output, slave data input pin for SPI channel)
P1.6	MISO (Master data input, slave data output pin for SPI channel)
P1.7	SCK (Master clock output, slave clock input pin for SPI channel)

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port 2

Port 2 is an 8-bit bi-directional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application, Port 2 uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8 bit bi-directional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89S8252, as shown in the following table.

Port 3 also receives some control signals for Flash programming and verification.

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/$\overline{PROG}$

Address Latch Enable is an output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation, ALE is emitted at a constant rate of 1/6 the oscillator frequency and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external data memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

$\overline{PSEN}$

Program Store Enable is the read strobe to external program memory.

When the AT89S8252 is executing code from external program memory, $\overline{PSEN}$ is activated twice each machine cycle, except that two $\overline{PSEN}$ activations are skipped during each access to external data memory.

$\overline{EA}$/VPP

External Access Enable. $\overline{EA}$ must be strapped to GND in order to enable the device to fetch code from external pro-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

gram memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{EA}$ will be internally latched on reset.

$\overline{EA}$ should be strapped to V_{CC} for internal program executions. This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming when 12-volt programming is selected.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Table 1. AT89S8252 SFR Map and Reset Values

0F8H									0FFH
0F0H	B 00000000								0F7H
0E8H									0EFH
0E0H	ACC 00000000								0E7H
0D8H									0DFH
0D0H	PSW 00000000					SPCR 000001XX			0D7H
0C8H	T2CON 00000000	T2MOD XXXXXX00	RCAP2L 00000000	RCAP2H 00000000	TL2 00000000	TH2 00000000			0CFH
0C0H									0C7H
0B8H	IP XX000000								0BFH
0B0H	P3 11111111								0B7H
0A8H	IE 0X000000		SPSR 00XXXXXX						0AFH
0A0H	P2 11111111								0A7H
98H	SCON 00000000	SBUF XXXXXXXX							9FH
90H	P1 11111111						WMCON 00000010		97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000			8FH
80H	P0 11111111	SP 00000111	DP0L 00000000	DP0H 00000000	DP1L 00000000	DP1H 00000000	SPDR XXXXXXXX	PCON 0XXX0000	87H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in Table 1.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Timer 2 Registers Control and status bits are contained in registers T2CON (shown in Table 2) and T2MOD (shown in Table 9) for Timer 2. The register pair (RCAP2H, RCAP2L) are the Capture/Reload registers for Timer 2 in 16 bit capture mode or 16-bit auto-reload mode.

Table 2. T2CON—Timer/Counter 2 Control Register

T2CON Address = 0C8H — Reset Value = 0000 0000B

Bit Addressable

Bit	7	6	5	4	3	2	1	0
	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/$\overline{T2}$	CP/$\overline{RL2}$

Symbol	Function
TF2	Timer 2 overflow flag set by a Timer 2 overflow and must be cleared by software. TF2 will not be set when either RCLK = 1 or TCLK = 1.
EXF2	Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software. EXF2 does not cause an interrupt in up/down counter mode (DCEN = 1).
RCLK	Receive clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its receive clock in serial port Modes 1 and 3. RCLK = 0 causes Timer 1 overflows to be used for the receive clock.
TCLK	Transmit clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its transmit clock in serial port Modes 1 and 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit clock.
EXEN2	Timer 2 external enable. When set, allows a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.
TR2	Start/Stop control for Timer 2. TR2 = 1 starts the timer.
C/$\overline{T2}$	Timer or counter select for Timer 2. C/$\overline{T2}$ = 0 for timer function. C/$\overline{T2}$ = 1 for external event counter (falling edge triggered).
CP/$\overline{RL2}$	Capture/Reload select. CP/$\overline{RL2}$ = 1 causes captures to occur on negative transitions at T2EX if EXEN2 = 1. CP/$\overline{RL2}$ = 0 causes automatic reloads to occur when Timer 2 overflows or negative transitions occur at T2EX when EXEN2 = 1. When either RCLK or TCLK = 1, this bit is ignored and the timer is forced to auto-reload on Timer 2 overflow.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Watchdog and Memory Control Register The WMCON register contains control bits for the Watchdog Timer (shown in Table 3). The EEMEN and EEMWE bits are used to select the 2K bytes on-chip EEPROM, and to enable byte-write. The DPS bit selects one of two DPTR registers available.

Table 3. WMCON—Watchdog and Memory Control Register

WMCON Address = 96H — Reset Value = 0000 0010B

Bit	PS2	PS1	PS0	EEMWE	EEMEN	DPS	WDTRST	WDTEN
	7	6	5	4	3	2	1	0

Symbol	Function
PS2 PS1 PS0	Prescaler Bits for the Watchdog Timer. When all three bits are set to "0", the watchdog timer has a nominal period of 16 ms. When all three bits are set to "1", the nominal period is 2048 ms.
EEMWE	EEPROM Data Memory Write Enable Bit. Set this bit to "1" before initiating byte write to on-chip EEPROM with the MOVX instruction. User software should set this bit to "0" after EEPROM write is completed.
EEMEN	Internal EEPROM Access Enable. When EEMEN = 1, the MOVX instruction with DPTR will access on-chip EEPROM instead of external data memory. When EEMEN = 0, MOVX with DPTR accesses external data memory.
DPS	Data Pointer Register Select. DPS = 0 selects the first bank of Data Pointer Register, DP0, and DPS = 1 selects the second bank, DP1
WDTRST RDY/$\overline{BSY}$	Watchdog Timer Reset and EEPROM Ready/$\overline{Busy}$ Flag. Each time this bit is set to "1" by user software, a pulse is generated to reset the watchdog timer. The WDTRST bit is then automatically reset to "0" in the next instruction cycle. The WDTRST bit is Write-Only. This bit also serves as the RDY/$\overline{BSY}$ flag in a Read-Only mode during EEPROM write. RDY/$\overline{BSY}$ = 1 means that the EEPROM is ready to be programmed. While programming operations are being executed, the RDY/$\overline{BSY}$ bit equals "0" and is automatically reset to "1" when programming is completed.
WDTEN	Watchdog Timer Enable Bit. WDTEN = 1 enables the watchdog timer and WDTEN = 0 disables the watchdog timer.

SPI Registers Control and status bits for the Serial Peripheral Interface are contained in registers SPCR (shown in Table 4) and SPSR (shown in Table 5). The SPI data bits are contained in the SPDR register. Writing the SPI data register during serial data transfer sets the Write Collision bit, WCOL, in the SPSR register. The SPDR is double buffered for writing and the values in SPDR are not changed by Reset.

Interrupt Registers The global interrupt enable bit and the individual interrupt enable bits are in the IE register. In addition, the individual interrupt enable bit for the SPI is in the SPCR register. Two priorities can be set for each of the six interrupt sources in the IP register.

Dual Data Pointer Registers To facilitate accessing both internal EEPROM and external data memory, two banks of 16 bit Data Pointer Registers are provided: DP0 at SFR address locations 82H-83H and DP1 at 84H-85H. Bit DPS = 0 in SFR WMCON selects DP0 and DPS = 1 selects DP1. The user should always initialize the DPS bit to the appropriate value before accessing the respective Data Pointer Register.

Power Off Flag The Power Off Flag (POF) is located at bit_4 (PCON.4) in the PCON SFR. POF is set to "1" during power up. It can be set and reset under software control and is not affected by RESET.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 4. SPCR—SPI Control Register

SPCR Address = D5H — Reset Value = 0000 01XXB

Bit	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0
	7	6	5	4	3	2	1	0

Symbol	Function
SPIE	SPI Interrupt Enable. This bit, in conjunction with the ES bit in the IE register, enables SPI interrupts: SPIE = 1 and ES = 1 enable SPI interrupts. SPIE = 0 disables SPI interrupts.
SPE	SPI Enable. SPI = 1 enables the SPI channel and connects $\overline{SS}$, MOSI, MISO and SCK to pins P1.4, P1.5, P1.6, and P1.7. SPI = 0 disables the SPI channel.
DORD	Data Order. DORD = 1 selects LSB first data transmission. DORD = 0 selects MSB first data transmission.
MSTR	Master/Slave Select. MSTR = 1 selects Master SPI mode. MSTR = 0 selects Slave SPI mode.
CPOL	Clock Polarity. When CPOL = 1, SCK is high when idle. When CPOL = 0, SCK of the master device is low when not transmitting. Please refer to figure on SPI Clock Phase and Polarity Control.
CPHA	Clock Phase. The CPHA bit together with the CPOL bit controls the clock and data relationship between master and slave. Please refer to figure on SPI Clock Phase and Polarity Control.
SPR0 SPR1	SPI Clock Rate Select. These two bits control the SCK rate of the device configured as master. SPR1 and SPR0 have no effect on the slave. The relationship between SCK and the oscillator frequency, F_{osc}, is as follows: SPR1 SPR0 SCK = F_{osc} divided by 0 0 4 0 1 16 1 0 64 1 1 128

Table 5. SPSR – SPI Status Register

SPSR Address = AAH — Reset Value = 00XX XXXXB

Bit	SPIF	WCOL	–	–	–	–	–	–
	7	6	5	4	3	2	1	0

Symbol	Function
SPIF	SPI Interrupt Flag. When a serial transfer is complete, the SPIF bit is set and an interrupt is generated if SPIE = 1 and ES = 1. The SPIF bit is cleared by reading the SPI status register with SPIF and WCOL bits set, and then accessing the SPI data register.
WCOL	Write Collision Flag. The WCOL bit is set if the SPI data register is written during a data transfer. During data transfer, the result of reading the SPDR register may be incorrect, and writing to it has no effect. The WCOL bit (and the SPIF bit) are cleared by reading the SPI status register with SPIF and WCOL set, and then accessing the SPI data register.

Table 6. SPDR – SPI Data Register

SPDR Address = 86H — Reset Value = unchanged

Bit	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
	7	6	5	4	3	2	1	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data Memory – EEPROM and RAM

The AT89S8252 implements 2K bytes of on-chip EEPROM for data storage and 256 bytes of RAM. The upper 128 bytes of RAM occupy a parallel space to the Special Function Registers. That means the upper 128 bytes have the same addresses as the SFR space but are physically separate from SFR space.

When an instruction accesses an internal location above address 7FH, the address mode used in the instruction specifies whether the CPU accesses the upper 128 bytes of RAM or the SFR space. Instructions that use direct addressing access SFR space.

For example, the following direct addressing instruction accesses the SFR at location 0A0H (which is P2).

```
MOV 0A0H, #data
```

Instructions that use indirect addressing access the upper 128 bytes of RAM. For example, the following indirect addressing instruction, where R0 contains 0A0H, accesses the data byte at address 0A0H, rather than P2 (whose address is 0A0H).

```
MOV @R0, #data
```

Note that stack operations are examples of indirect addressing, so the upper 128 bytes of data RAM are available as stack space.

The on-chip EEPROM data memory is selected by setting the EEMEN bit in the WMCON register at SFR address location 96H. The EEPROM address range is from 000H to 7FFH. The MOVX instructions are used to access the EEPROM. To access off-chip data memory with the MOVX instructions, the EEMEN bit needs to be set to "0".

The EEMWE bit in the WMCON register needs to be set to "1" before any byte location in the EEPROM can be written. User software should reset EEMWE bit to "0" if no further EEPROM write is required. EEPROM write cycles in the serial programming mode are self-timed and typically take 2.5 ms. The progress of EEPROM write can be monitored by reading the RDY/$\overline{BSY}$ bit (read-only) in SFR WMCON. RDY/$\overline{BSY}$ = 0 means programming is still in progress and RDY/$\overline{BSY}$ = 1 means EEPROM write cycle is completed and another write cycle can be initiated.

In addition, during EEPROM programming, an attempted read from the EEPROM will fetch the byte being written with the MSB complemented. Once the write cycle is completed, true data are valid at all bit locations.

Programmable Watchdog Timer

The programmable Watchdog Timer (WDT) operates from an independent oscillator. The prescaler bits, PS0, PS1 and PS2 in SFR WMCON are used to set the period of the Watchdog Timer from 16 ms to 2048 ms. The available timer periods are shown in the following table and the actual timer periods (at V_{CC} = 5V) are within ±30% of the nominal.

The WDT is disabled by Power-on Reset and during Power-down. It is enabled by setting the WDTEN bit in SFR WMCON (address = 96H). The WDT is reset by setting the WDTRST bit in WMCON. When the WDT times out without being reset or disabled, an internal RST pulse is generated to reset the CPU.

Table 7. Watchdog Timer Period Selection

WDT Prescaler Bits			
PS2	PS1	PS0	Period (nominal)
0	0	0	16 ms
0	0	1	32 ms
0	1	0	64 ms
0	1	1	128 ms
1	0	0	256 ms
1	0	1	512 ms
1	1	0	1024 ms
1	1	1	2048 ms

Timer 0 and 1

Timer 0 and Timer 1 in the AT89S8252 operate the same way as Timer 0 and Timer 1 in the AT89C51, AT89C52 and AT89C55. For further information, see the October 1995 Microcontroller Data Book, page 2-45, section titled, "Timer/Counters."

Timer 2

Timer 2 is a 16 bit Timer/Counter that can operate as either a timer or an event counter. The type of operation is selected by bit C/$\overline{T2}$ in the SFR T2CON (shown in Table 2). Timer 2 has three operating modes: capture, auto-reload (up or down counting), and baud rate generator. The modes are selected by bits in T2CON, as shown in Table 8.

Timer 2 consists of two 8-bit registers, TH2 and TL2. In the Timer function, the TL2 register is incremented every machine cycle. Since a machine cycle consists of 12 oscillator periods, the count rate is 1/12 of the oscillator frequency.

In the Counter function, the register is incremented in response to a 1-to-0 transition at its corresponding external input pin, T2. In this function, the external input is sampled during S5P2 of every machine cycle. When the samples show a high in one cycle and a low in the next cycle, the count is incremented. The new count value appears in the register during S3P1 of the cycle following the one in which

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

the transition was detected. Since two machine cycles (24 oscillator periods) are required to recognize a 1-to-0 transition, the maximum count rate is 1/24 of the oscillator frequency. To ensure that a given level is sampled at least once before it changes, the level should be held for at least one full machine cycle.

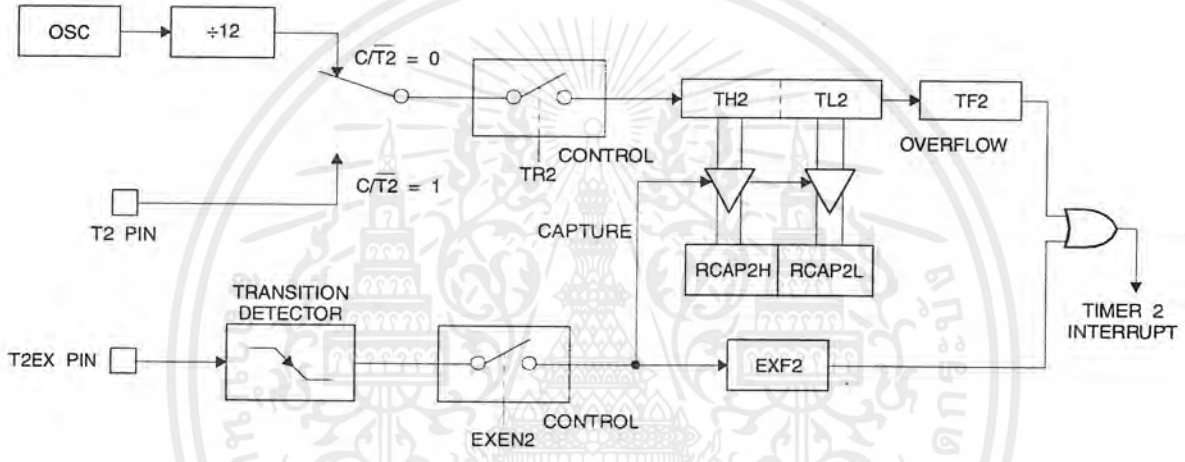
Table 8. Timer 2 Operating Modes

RCLK + TCLK	CP/$\overline{RL2}$	TR2	MODE
0	0	1	16-bit Auto-reload
0	1	1	16-bit Capture
1	X	1	Baud Rate Generator
X	X	0	(Off)

Capture Mode

In the capture mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 is a 16 bit timer or counter which upon overflow sets bit TF2 in T2CON. This bit can then be used to generate an interrupt. If EXEN2 = 1, Timer 2 performs the same operation, but a 1-to-0 transition at external input T2EX also causes the current value in TH2 and TL2 to be captured into RCAP2H and RCAP2L, respectively. In addition, the transition at T2EX causes bit EXF2 in T2CON to be set. The EXF2 bit, like TF2, can generate an interrupt. The capture mode is illustrated in Figure 1.

Figure 1. Timer 2 in Capture Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Auto-reload (Up or Down Counter)

Timer 2 can be programmed to count up or down when configured in its 16 bit auto-reload mode. This feature is invoked by the DCEN (Down Counter Enable) bit located in the SFR T2MOD (see Table 9). Upon reset, the DCEN bit is set to 0 so that timer 2 will default to count up. When DCEN is set, Timer 2 can count up or down, depending on the value of the T2EX pin.

Figure 2 shows Timer 2 automatically counting up when DCEN = 0. In this mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 counts up to 0FFFFH and then sets the TF2 bit upon overflow. The overflow also causes the timer registers to be reloaded with the 16 bit value in RCAP2H and RCAP2L. The values in RCAP2H and RCAP2L are preset by software. If EXEN2 = 1, a 16 bit reload can be triggered either by an overflow or by a 1-to-0 transition at external input T2EX. This transition also sets the EXF2 bit. Both the TF2 and EXF2 bits can generate an interrupt if enabled.

Setting the DCEN bit enables Timer 2 to count up or down, as shown in Figure 3. In this mode, the T2EX pin controls the direction of the count. A logic 1 at T2EX makes Timer 2 count up. The timer will overflow at 0FFFFH and set the TF2 bit. This overflow also causes the 16 bit value in RCAP2H and RCAP2L to be reloaded into the timer registers, TH2 and TL2, respectively.

A logic 0 at T2EX makes Timer 2 count down. The timer underflows when TH2 and TL2 equal the values stored in RCAP2H and RCAP2L. The underflow sets the TF2 bit and causes 0FFFFH to be reloaded into the timer registers.

The EXF2 bit toggles whenever Timer 2 overflows or underflows and can be used as a 17th bit of resolution. In this operating mode, EXF2 does not flag an interrupt.

Figure 2. Timer 2 in Auto Reload Mode (DCEN = 0)

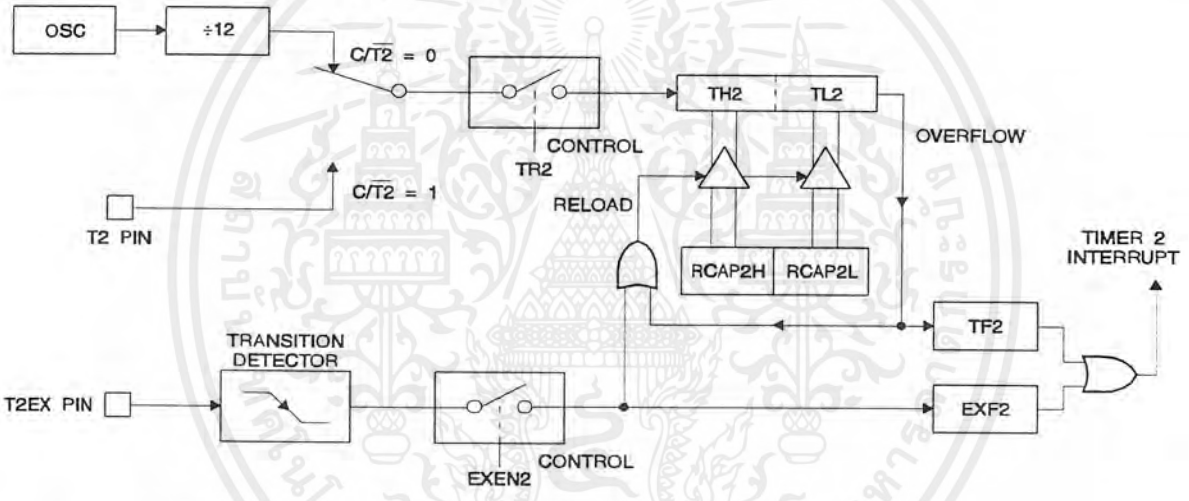


Table 9. T2MOD – Timer 2 Mode Control Register

T2MOD Address = 0C9H — Reset Value = XXXX XX00B

Not Bit Addressable

Bit	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	T2OE	DCEN

Symbol	Function
–	Not implemented, reserved for future use.
T2OE	Timer 2 Output Enable bit.
DCEN	When set, this bit allows Timer 2 to be configured as an up/down counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 3. Timer 2 Auto Reload Mode (DCEN = 1)

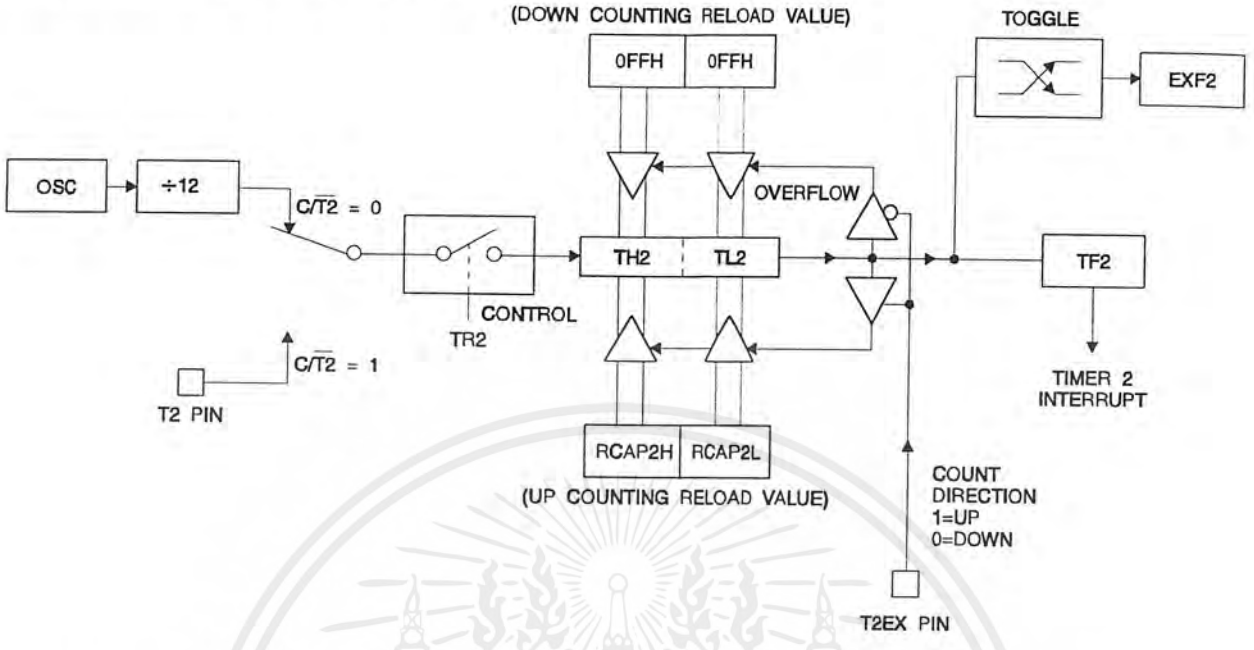
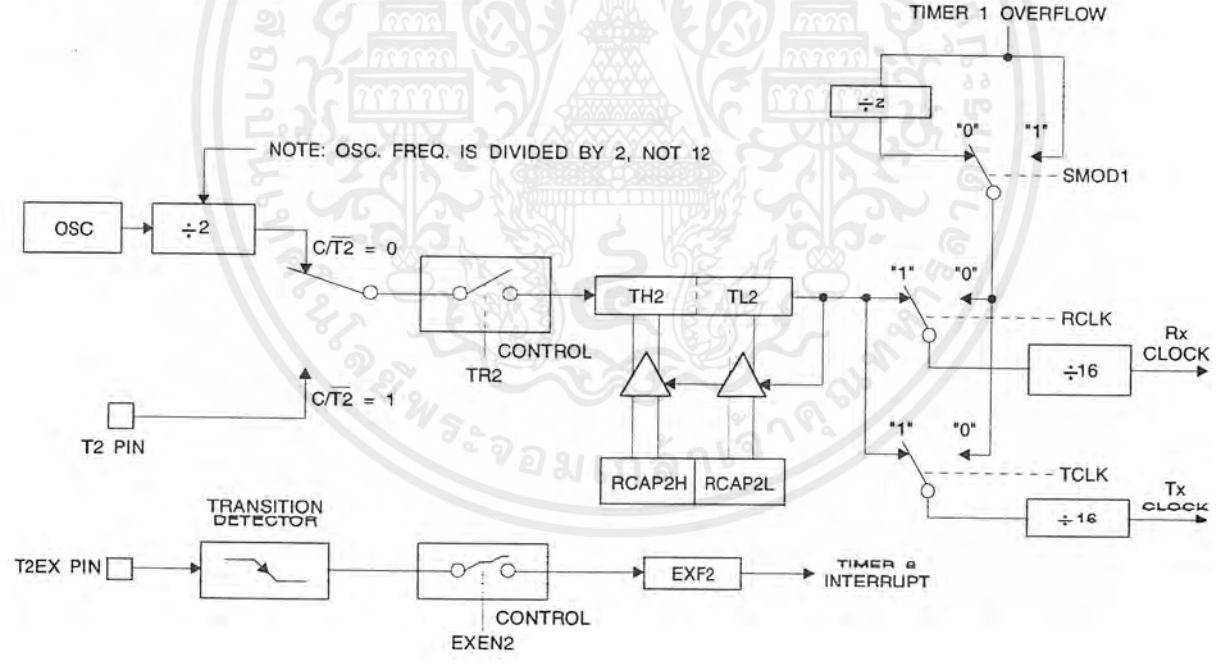


Figure 4. Timer 2 in Baud Rate Generator Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Baud Rate Generator

Timer 2 is selected as the baud rate generator by setting TCLK and/or RCLK in T2CON (Table 2). Note that the baud rates for transmit and receive can be different if Timer 2 is used for the receiver or transmitter and Timer 1 is used for the other function. Setting RCLK and/or TCLK puts Timer 2 into its baud rate generator mode, as shown in Figure 4.

The baud rate generator mode is similar to the auto-reload mode, in that a rollover in TH2 causes the Timer 2 registers to be reloaded with the 16 bit value in registers RCAP2H and RCAP2L, which are preset by software.

The baud rates in Modes 1 and 3 are determined by Timer 2's overflow rate according to the following equation.

$$\text{Modes 1 and 3 Baud Rates} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

The Timer can be configured for either timer or counter operation. In most applications, it is configured for timer operation ($C/\overline{T2} = 0$). The timer operation is different for Timer 2 when it is used as a baud rate generator. Normally, as a timer, it increments every machine cycle (at 1/12 the oscillator frequency). As a baud rate generator, however, it increments every state time (at 1/2 the oscillator frequency). The baud rate formula is given below.

$$\frac{\text{Modes 1 and 3}}{\text{Baud Rate}} = \frac{\text{Oscillator Frequency}}{32 \times [65536 - (\text{RCAP2H,RCAP2L})]}$$

where (RCAP2H, RCAP2L) is the content of RCAP2H and RCAP2L taken as a 16 bit unsigned integer.

Timer 2 as a baud rate generator is shown in Figure 4. This figure is valid only if RCLK or TCLK = 1 in T2CON. Note that a rollover in TH2 does not set TF2 and will not generate an interrupt. Note too, that if EXEN2 is set, a 1-to-0 transition in T2EX will set EXF2 but will not cause a reload from (RCAP2H, RCAP2L) to (TH2, TL2). Thus when Timer 2 is in use as a baud rate generator, T2EX can be used as an extra external interrupt.

Note that when Timer 2 is running (TR2 = 1) as a timer in the baud rate generator mode, TH2 or TL2 should not be read from or written to. Under these conditions, the Timer is incremented every state time, and the results of a read or write may not be accurate. The RCAP2 registers may be read but should not be written to, because a write might overlap a reload and cause write and/or reload errors. The timer should be turned off (clear TR2) before accessing the Timer 2 or RCAP2 registers.

Programmable Clock Out

A 50% duty cycle clock can be programmed to come out on P1.0, as shown in Figure 5. This pin, besides being a regular I/O pin, has two alternate functions. It can be programmed to input the external clock for Timer/Counter 2 or to output a 50% duty cycle clock ranging from 61 Hz to 4 MHz at a 16 MHz operating frequency.

To configure the Timer/Counter 2 as a clock generator, bit $C/\overline{T2}$ (T2CON.1) must be cleared and bit T2OE (T2MOD.1) must be set. Bit TR2 (T2CON.2) starts and stops the timer.

The clock-out frequency depends on the oscillator frequency and the reload value of Timer 2 capture registers (RCAP2H, RCAP2L), as shown in the following equation.

$$\text{Clock Out Frequency} = \frac{\text{Oscillator Frequency}}{4 \times [65536 - (\text{RCAP2H,RCAP2L})]}$$

In the clock-out mode, Timer 2 rollovers will not generate an interrupt. This behavior is similar to when Timer 2 is used as a baud-rate generator. It is possible to use Timer 2 as a baud-rate generator and a clock generator simultaneously. Note, however, that the baud-rate and clock-out frequencies cannot be determined independently from one another since they both use RCAP2H and RCAP2L.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 5. Timer 2 in Clock-out Mode

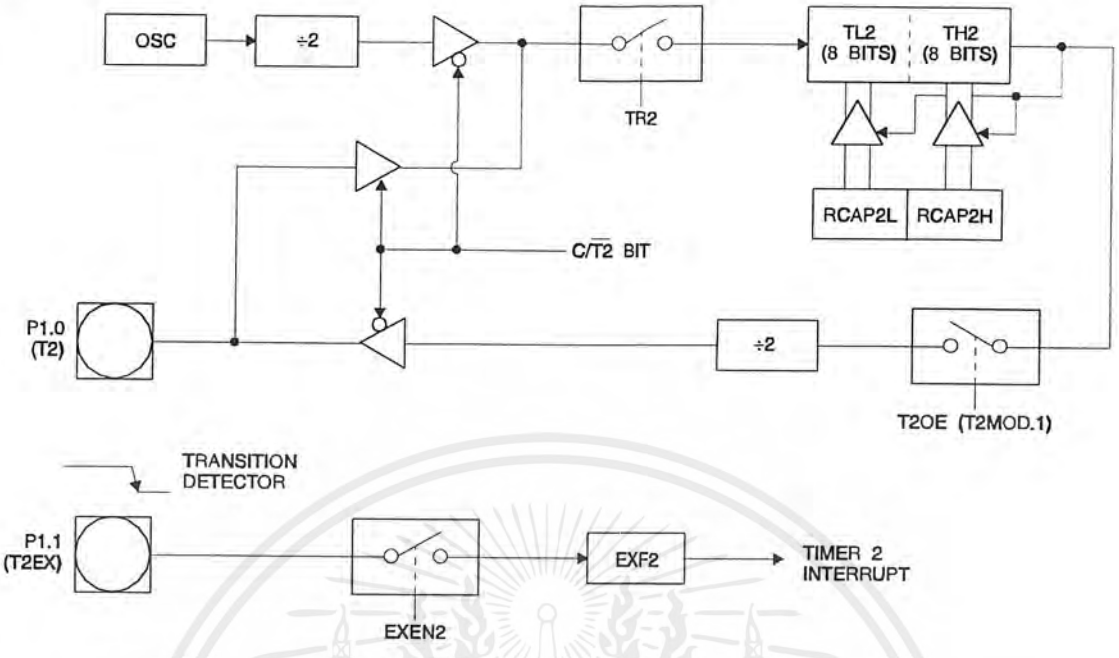
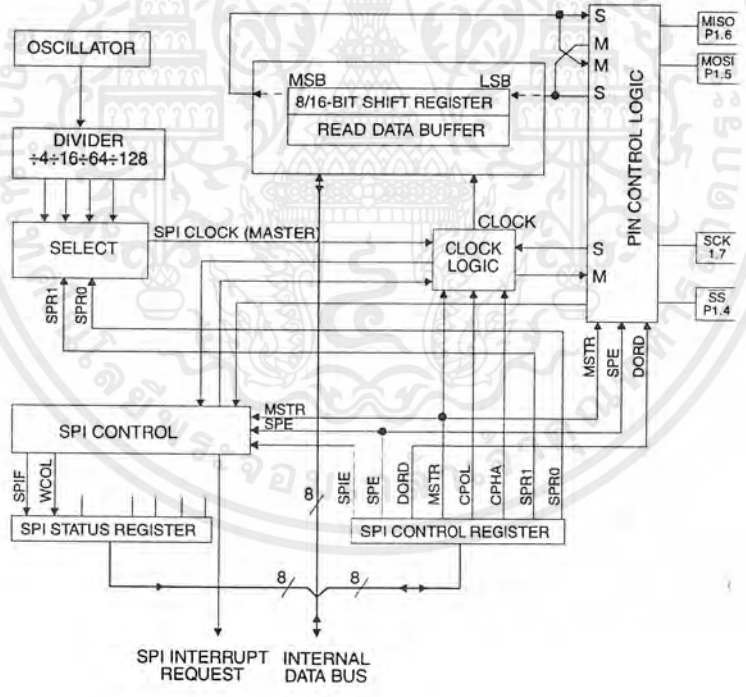


Figure 6. SPI Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UART

The UART in the AT89S8252 operates the same way as the UART in the AT89C51, AT89C52 and AT89C55. For further information, see the October 1995 Microcontroller Data Book, page 2-49, section titled, "Serial Interface."

Serial Peripheral Interface

The serial peripheral interface (SPI) allows high-speed synchronous data transfer between the AT89S8252 and peripheral devices or between several AT89S8252 devices. The AT89S8252 SPI features include the following:

- Full-Duplex, 3-Wire Synchronous Data Transfer
- Master or Slave Operation
- 1.5 MHz Bit Frequency (max.)
- LSB First or MSB First Data Transfer
- Four Programmable Bit Rates
- End of Transmission Interrupt Flag
- Write Collision Flag Protection
- Wakeup from Idle Mode (Slave Mode Only)

The interconnection between master and slave CPUs with SPI is shown in the following figure. The SCK pin is the clock output in the master mode but is the clock input in the slave mode. Writing to the SPI data register of the master CPU starts the SPI clock generator, and the data written shifts out of the MOSI pin and into the MOSI pin of the slave CPU. After shifting one byte, the SPI clock generator stops, setting the end of transmission flag (SPIF). If both the SPI interrupt enable bit (SPIE) and the serial port interrupt enable bit (ES) are set, an interrupt is requested.

The Slave Select input, $\overline{SS}$/P1.4, is set low to select an individual SPI device as a slave. When $\overline{SS}$/P1.4 is set high, the SPI port is deactivated and the MOSI/P1.5 pin can be used as an input.

There are four combinations of SCK phase and polarity with respect to serial data, which are determined by control bits CPHA and CPOL. The SPI data transfer formats are shown in Figure 8 and Figure 9.

Figure 7. SPI Master-slave Interconnection

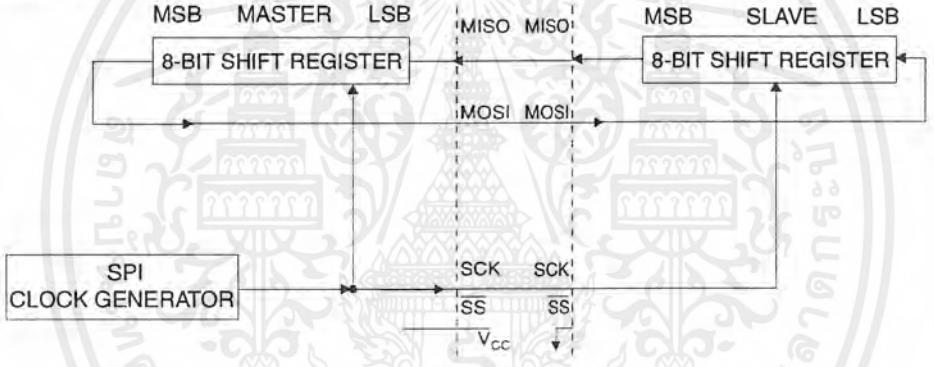
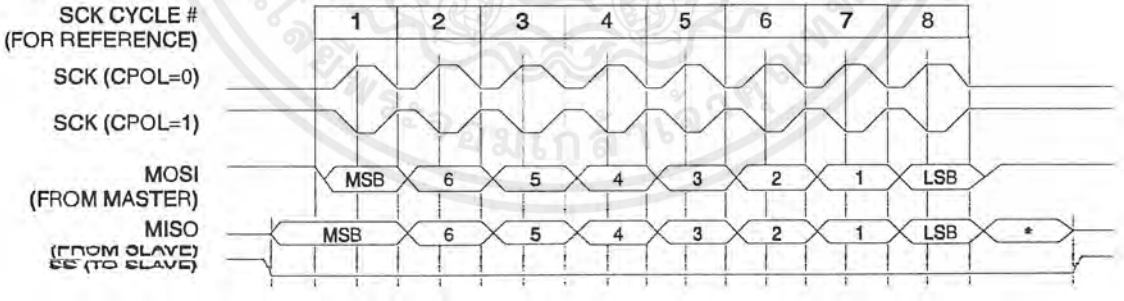


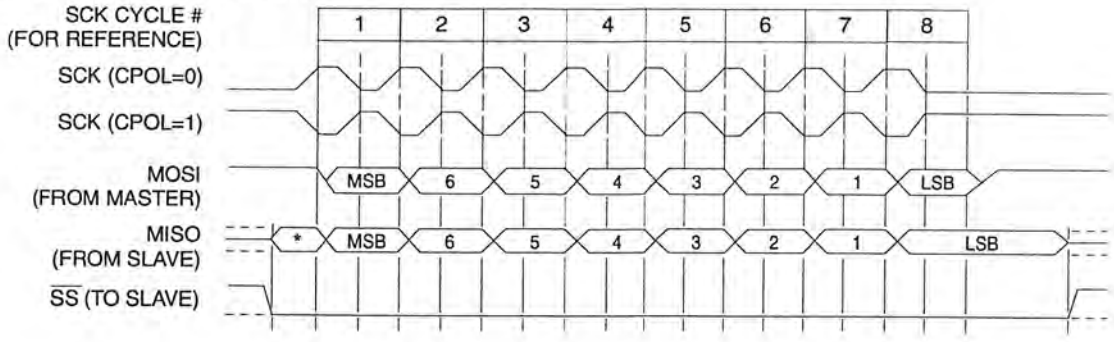
Figure 8. SPI transfer Format with CPHA = 0



*Not defined but normally MSB of character just received

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. SPI Transfer Format with CPHA = 1



*Not defined but normally LSB of previously transmitted character

Interrupts

The AT89S8252 has a total of six interrupt vectors: two external interrupts ($\overline{INT0}$ and $\overline{INT1}$), three timer interrupts (Timers 0, 1, and 2), and the serial port interrupt. These interrupts are all shown in Figure 10.

Each of these interrupt sources can be individually enabled or disabled by setting or clearing a bit in Special Function Register IE. IE also contains a global disable bit, EA, which disables all interrupts at once.

Note that Table 10 shows that bit position IE.6 is unimplemented. In the AT89C51, bit position IE.5 is also unimplemented. User software should not write 1s to these bit positions, since they may be used in future AT89 products.

Timer 2 interrupt is generated by the logical OR of bits TF2 and EXF2 in register T2CON. Neither of these flags is cleared by hardware when the service routine is vectored to. In fact, the service routine may have to determine whether it was TF2 or EXF2 that generated the interrupt, and that bit will have to be cleared in software.

The Timer 0 and Timer 1 flags, TF0 and TF1, are set at S5P2 of the cycle in which the timers overflow. The values are then polled by the circuitry in the next cycle. However, the Timer 2 flag, TF2, is set at S2P2 and is polled in the same cycle in which the timer overflows.

Table 10. Interrupt Enable (IE) Register

(MSB)(LSB)

EA	–	ET2	ES	ET1	EX1	ET0	EX0

Enable Bit = 1 enables the interrupt.

Enable Bit = 0 disables the interrupt.

Symbol	Position	Function
EA	IE.7	Disables all interrupts. If EA = 0, no interrupt is acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.
–	IE.6	Reserved.
ET2	IE.5	Timer 2 interrupt enable bit.
ES	IE.4	SPI and UART interrupt enable bit.
ET1	IE.3	Timer 1 interrupt enable bit.
EX1	IE.2	External interrupt 1 enable bit.
ET0	IE.1	Timer 0 interrupt enable bit.
EX0	IE.0	External interrupt 0 enable bit.

User software should never write 1s to unimplemented bits, because they may be used in future AT89 products.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 10. Interrupt Sources

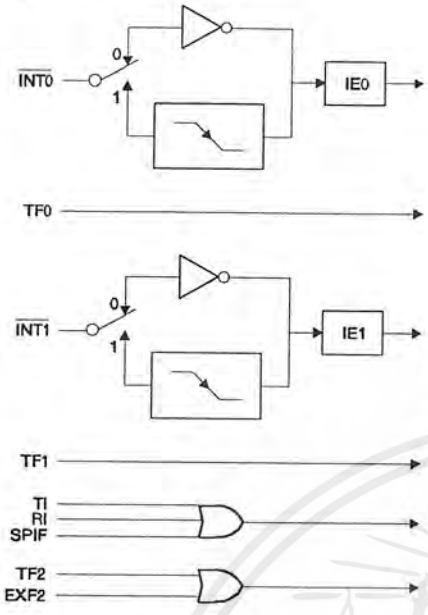
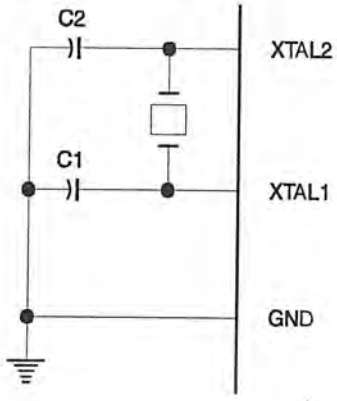
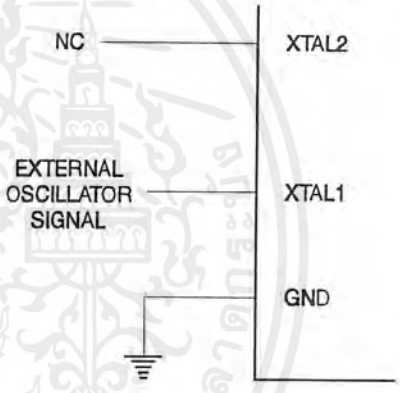


Figure 11. Oscillator Connections



Note: Note: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 12. External Clock Drive Configuration



Oscillator Characteristics

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier that can be configured for use as an on-chip oscillator, as shown in Figure 11. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven, as shown in Figure 12. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

Note that when idle mode is terminated by a hardware reset, the device normally resumes program execution from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when idle mode is terminated by a reset, the instruction following the one that invokes idle mode should not write to a port pin or to external memory.

Status of External Pins During Idle and Power-down Modes

Mode	Program Memory	ALE	$\overline{PSEN}$	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power-down	Internal	0	0	Data	Data	Data	Data
Power-down	External	0	0	Float	Data	Data	Data

Power-down Mode

In the power-down mode, the oscillator is stopped and the instruction that invokes power-down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power-down mode is terminated. Exit from power-down can be initiated either by a hardware reset or by an enabled external interrupt. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

To exit power-down via an interrupt, the external interrupt must be enabled as level sensitive before entering power-down. The interrupt service routine starts at 16 ms (nominal) after the enabled interrupt pin is activated.

Program Memory Lock Bits

The AT89S8252 has three lock bits that can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the following table.

When lock bit 1 is programmed, the logic level at the $\overline{EA}$ pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value and holds that value until reset is activated. The latched value of $\overline{EA}$ must agree with the current logic level at that pin in order for the device to function properly.

Once programmed, the lock bits can only be unprogrammed with the Chip Erase operations in either the parallel or serial modes.

Lock Bit Protection Modes[1][2]

Program Lock Bits				
	LB1	LB2	LB3	Protection Type
1	U	U	U	No internal memory lock feature.
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory. $\overline{EA}$ is sampled and latched on reset and further programming of the Flash memory (parallel or serial mode) is disabled.
3	P	P	U	Same as Mode 2, but parallel or serial verify are also disabled.
4	P	P	P	Same as Mode 3, but external execution is also disabled.

Notes: 1. U = Unprogrammed
2. P = Programmed

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programming the Flash and EEPROM

Atmel's AT89S8252 Flash Microcontroller offers 8K bytes of in-system reprogrammable Flash Code memory and 2K bytes of EEPROM Data memory.

The AT89S8252 is normally shipped with the on-chip Flash Code and EEPROM Data memory arrays in the erased state (i.e. contents = FFH) and ready to be programmed. This device supports a High-voltage (12V) Parallel programming mode and a Low-voltage (5V) Serial programming mode. The serial programming mode provides a convenient way to download the AT89S8252 inside the user's system. The parallel programming mode is compatible with conventional third party Flash or EPROM programmers.

The Code and Data memory arrays are mapped via separate address spaces in the serial programming mode. In the parallel programming mode, the two arrays occupy one contiguous address space: 0000H to 1FFFH for the Code array and 2000H to 27FFH for the Data array.

The Code and Data memory arrays on the AT89S8252 are programmed byte-by-byte in either programming mode. An auto-erase cycle is provided with the self-timed programming operation in the serial programming mode. There is no need to perform the Chip Erase operation to reprogram any memory location in the serial programming mode unless any of the lock bits have been programmed.

In the parallel programming mode, there is no auto-erase cycle. To reprogram any non-blank byte, the user needs to use the Chip Erase operation first to erase both arrays.

Parallel Programming Algorithm: To program and verify the AT89S8252 in the parallel programming mode, the following sequence is recommended:

1. Power-up sequence:

   Apply power between V_{CC} and GND pins.

   Set RST pin to "H".

   Apply a 3 MHz to 24 MHz clock to XTAL1 pin and wait for at least 10 milliseconds.
2. Set $\overline{PSEN}$ pin to "L"

   ALE pin to "H"

   $\overline{EA}$ pin to "H" and all other pins to "H".
3. Apply the appropriate combination of "H" or "L" logic levels to pins P2.6, P2.7, P3.6, P3.7 to select one of the programming operations shown in the Flash Programming Modes table.
4. Apply the desired byte address to pins P1.0 to P1.7 and P2.0 to P2.5.

   Apply data to pins P0.0 to P0.7 for Write Code operation.
5. Raise $\overline{EA}/V_{PP}$ to 12V to enable Flash programming, erase or verification.
6. Pulse ALE/$\overline{PROG}$ once to program a byte in the Code memory array, the Data memory array or the lock bits. The byte-write cycle is self-timed and typically takes 1.5 ms.
7. To verify the byte just programmed, bring pin P2.7 to "L" and read the programmed data at pins P0.0 to P0.7.
8. Repeat steps 3 through 7 changing the address and data for the entire 2K or 8K bytes array or until the end of the object file is reached.
9. Power-off sequence:

   Set XTAL1 to "L".

   Set RST and $\overline{EA}$ pins to "L".

   Turn V_{CC} power off.

In the parallel programming mode, there is no auto-erase cycle and to reprogram any non-blank byte, the user needs to use the Chip Erase operation first to erase both arrays.

Data Polling: The AT89S8252 features $\overline{DATA}$ Polling to indicate the end of a write cycle. During a write cycle in the parallel or serial programming mode, an attempted read of the last byte written will result in the complement of the written datum on P0.7 (parallel mode), and on the MSB of the serial output byte on MISO (serial mode). Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. $\overline{DATA}$ Polling may begin any time after a write cycle has been initiated.

Ready/$\overline{Busy}$: The progress of byte programming in the parallel programming mode can also be monitored by the RDY/$\overline{BSY}$ output signal. Pin P3.4 is pulled Low after ALE goes High during programming to indicate $\overline{BUSY}$. P3.4 is pulled High again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed Code or Data byte can be read back via the address and data lines for verification. The state of the lock bits can also be verified directly in the parallel programming mode. In the serial programming mode, the state of the lock bits can only be verified indirectly by observing that the lock bit features are enabled.

Chip Erase: Both Flash and EEPROM arrays are erased electrically at the same time. In the parallel programming mode, chip erase is initiated by using the proper combination of control signals and by holding ALE/$\overline{PROG}$ low for 10 ms. The Code and Data arrays are written with all "1"s in the Chip Erase operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

In the serial programming mode, a chip erase operation is initiated by issuing the Chip Erase instruction. In this mode, chip erase is self-timed and takes about 16 ms.

During chip erase, a serial read from any address location will return 00H at the data outputs.

Serial Programming Fuse: A programmable fuse is available to disable Serial Programming if the user needs maximum system security. The Serial Programming Fuse can only be programmed or erased in the Parallel Programming Mode.

The AT89S8252 is shipped with the Serial Programming Mode enabled.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 030H and 031H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows:

(030H) = 1EH indicates manufactured by Atmel
(031H) = 72H indicates 89S8252

Programming Interface

Every code byte in the Flash and EEPROM arrays can be written, and the entire array can be erased, by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Serial Downloading

Both the Code and Data memory arrays can be programmed using the serial SPI bus while RST is pulled to V_{CC}. The serial interface consists of pins SCK, MOSI (input) and MISO (output). After RST is set high, the Programming Enable instruction needs to be executed first before program/erase operations can be executed.

An auto-erase cycle is built into the self-timed programming operation (in the serial mode ONLY) and there is no need to first execute the Chip Erase instruction unless any of the lock bits have been programmed. The Chip Erase operation turns the content of every memory location in both the Code and Data arrays into FFH.

The Code and Data memory arrays have separate address spaces:

0000H to 1FFFH for Code memory and 000H to 7FFH for Data memory.

Either an external system clock is supplied at pin XTAL1 or a crystal needs to be connected across pins XTAL1 and XTAL2. The maximum serial clock (SCK) frequency should be less than 1/40 of the crystal frequency. With a 24 MHz oscillator clock, the maximum SCK frequency is 600 kHz.

Serial Programming Algorithm

To program and verify the AT89S8252 in the serial programming mode, the following sequence is recommended:

1. Power-up sequence:

   Apply power between VCC and GND pins.

   Set RST pin to "H".

   If a crystal is not connected across pins XTAL1 and XTAL2, apply a 3 MHz to 24 MHz clock to XTAL1 pin and wait for at least 10 milliseconds.
2. Enable serial programming by sending the Programming Enable serial instruction to pin MOSI/P1.5. The frequency of the shift clock supplied at pin SCK/P1.7 needs to be less than the CPU clock at XTAL1 divided by 40.
3. The Code or Data array is programmed one byte at a time by supplying the address and data together with the appropriate Write instruction. The selected memory location is first automatically erased before new data is written. The write cycle is self-timed and typically takes less than 2.5 ms at 5V.
4. Any memory location can be verified by using the Read instruction which returns the content at the selected address at serial output MISO/P1.6.
5. At the end of a programming session, RST can be set low to commence normal operation.

Power-off sequence (if needed):

Set XTAL1 to "L" (if a crystal is not used).

Set RST to "L".

Turn V_{CC} power off.

Serial Programming Instruction

The Instruction Set for Serial Programming follows a 3-byte protocol and is shown in the following table:

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Instruction Set

Instruction	Input Format			Operation
	Byte 1	Byte 2	Byte 3	
Programming Enable	1010 1100	0101 0011	xxxx xxxx	Enable serial programming interface after RST goes high.
Chip Erase	1010 1100	xxxx x100	xxxx xxxx	Chip erase both 8K & 2K memory arrays.
Read Code Memory	aaaa a001	low addr	xxxx xxxx	Read data from Code memory array at the selected address. The 5 MSBs of the first byte are the high order address bits. The low order address bits are in the second byte. Data are available at pin MISO during the third byte.
Write Code Memory	aaaa a010	low addr	data in	Write data to Code memory location at selected address. The address bits are the 5 MSBs of the first byte together with the second byte.
Read Data Memory	00aa a101	low addr	xxxx xxxx	Read data from Data memory array at selected address. Data are available at pin MISO during the third byte.
Write Data Memory	00aa a110	low addr	data in	Write data to Data memory location at selected address.
Write Lock Bits	1010 1100	x x111	xxxx xxxx	Write lock bits. Set LB1, LB2 or LB3 = "0" to program lock bits.

Note:
1. DATA polling is used to indicate the end of a write cycle which typically takes less than 2.5 ms at 5V.
2. "aaaaa" = high order address.
3. "x" = don't care.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash and EEPROM Parallel Programming Modes

Mode	RST	$\overline{PSEN}$	ALE/$\overline{PROG}$	$\overline{EA}$/V_{PP}	P2.6	P2.7	P3.6	P3.7	Data I/O P0.7:0	Address P2.5:0 P1.7:0
Serial Prog. Modes	H	h(1)	h(1)	x						
Chip Erase	H	L	(2)	12V	H	L	L	L	X	X
Write (10K bytes) Memory	H	L		12V	L	H	H	H	DIN	ADDR
Read (10K bytes) Memory	H	L	H	12V	L	L	H	H	DOUT	ADDR
Write Lock Bits:	H	L		12V	H	L	H	L	DIN	X
Bit - 1									P0.7 = 0	X
Bit - 2									P0.6 = 0	X
Bit - 3									P0.5 = 0	X
Read Lock Bits:	H	L	H	12V	H	H	L	L	DOUT	X
Bit - 1									@P0.2	X
Bit - 2									@P0.1	X
Bit - 3									@P0.0	X
Read Atmel Code	H	L	H	12V	L	L	L	L	DOUT	30H
Read Device Code	H	L	H	12V	L	L	L	L	DOUT	31H
Serial Prog. Enable	H	L	(2)	12V	L	H	L	H	P0.0 = 0	X
Serial Prog. Disable	H	L	(2)	12V	L	H	L	H	P0.0 = 1	X
Read Serial Prog. Fuse	H	L	H	12V	H	H	L	H	@P0.0	X

Notes:
1. "h" = weakly pulled "High" internally.
2. Chip Erase and Serial Programming Fuse require a 10 ms $\overline{PROG}$ pulse. Chip Erase needs to be performed first before reprogramming any byte with a content other than FFH.
3. P3.4 is pulled Low during programming to indicate RDY/$\overline{BSY}$.
4. "X" = don't care

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 13. Programming the Flash/EEPROM Memory

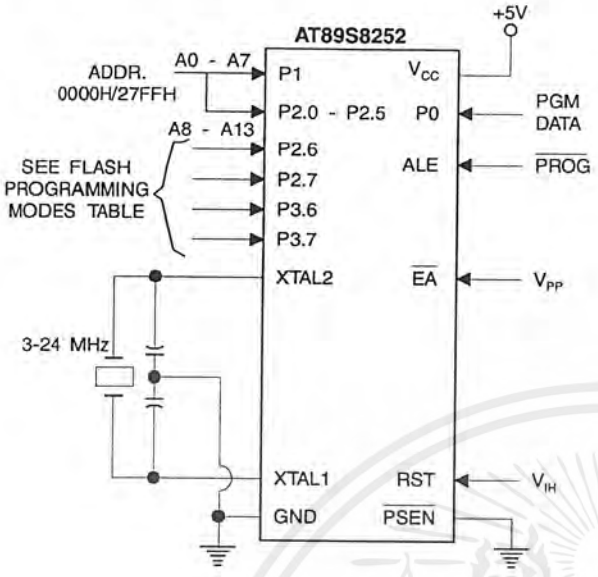


Figure 15. Flash/EEPROM Serial Downloading

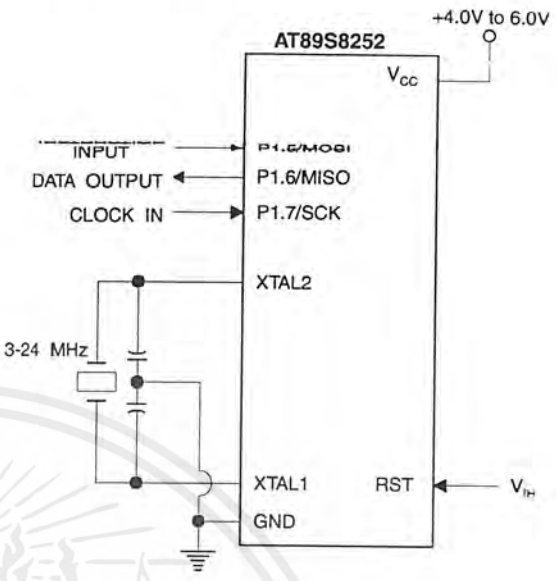
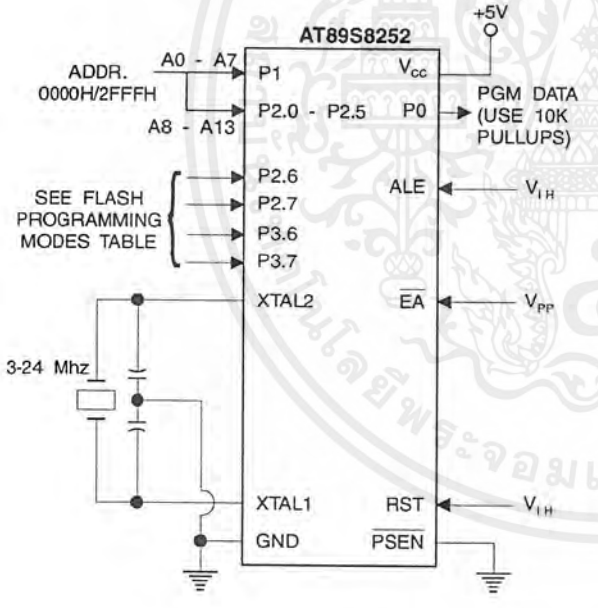


Figure 14. Verifying the Flash/EEPROM Memory



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

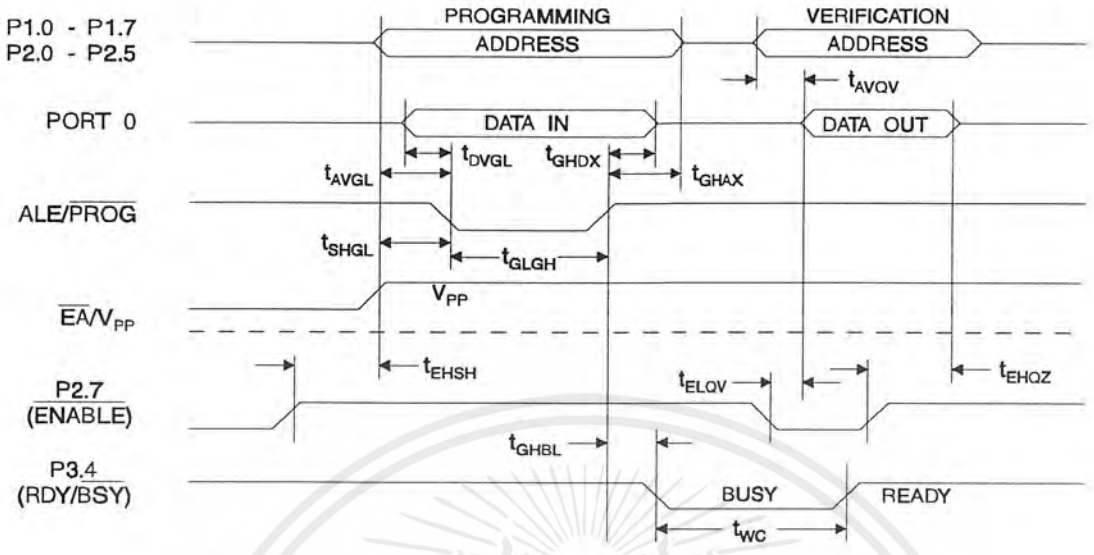
Flash Programming and Verification Characteristics – Parallel Mode

T_A = 0°C to 70°C, V_{CC} = 5.0V ± 10%

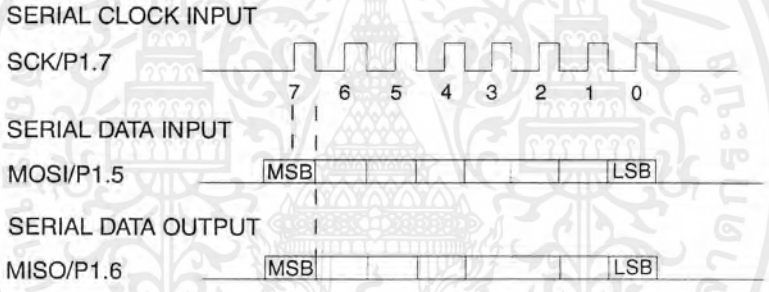
Symbol	Parameter	Min	Max	Units
V_{PP}	Programming Enable Voltage	11.5	12.5	V
I_{PP}	Programming Enable Current		1.0	mA
$1/t_{CLCL}$	Oscillator Frequency	3	24	MHz
t_{AVGL}	Address Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHAX}	Address Hold after $\overline{PROG}$	$48t_{CLCL}$		
t_{DVGL}	Data Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHDX}	Data Hold after $\overline{PROG}$	$48t_{CLCL}$		
t_{EHSH}	P2.7 ($\overline{ENABLE}$) High to V_{PP}	$48t_{CLCL}$		
t_{SHGL}	V_{PP} Setup to $\overline{PROG}$ Low	10		µs
t_{GLGH}	$\overline{PROG}$ Width	1	110	µs
t_{AVQV}	Address to Data Valid		$48t_{CLCL}$	
t_{ELQV}	$\overline{ENABLE}$ Low to Data Valid		$48t_{CLCL}$	
t_{EHQZ}	Data Float after $\overline{ENABLE}$	0	$48t_{CLCL}$	
t_{GHBL}	$\overline{PROG}$ High to $\overline{BUSY}$ Low		1.0	µs
t_{WC}	Byte Write Cycle Time		2.0	ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash/EEPROM Programming and Verification Waveforms – Parallel Mode



Serial Downloading Waveforms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0V to +7.0V
Maximum Operating Voltage	6.6V
DC Output Current	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

The values shown in this table are valid for T_A = -40°C to 85°C and V_{CC} = 5.0V ± 20%, unless otherwise noted.

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low-voltage	(Except $\overline{EA}$)	-0.5	0.2 V_{CC} - 0.1	V
V_{IL1}	Input Low-voltage ($\overline{EA}$)		-0.5	0.2 V_{CC} - 0.3	V
V_{IH}	Input Hifh-voltage	(Except XTAL1, RST)	0.2 V_{CC} + 0.9	V_{CC} + 0.5	V
V_{IH1}	Input Hifh-voltage	(XTAL1, RST)	0.7 V_{CC}	V_{CC} + 0.5	V
V_{OL}	Output Low-voltage (1) (Ports 1,2,3)	I_{OL} = 1.6 mA		0.5	V
V_{OL1}	Output Low-voltage (1) (Port 0, ALE, $\overline{PSEN}$)	I_{OL} = 3.2 mA		0.5	V
V_{OH}	Output Hifh-voltage (Ports 1,2,3, ALE, $\overline{PSEN}$)	I_{OH} = -60 µA, V_{CC} = 5V ± 10%	2.4		V
		I_{OH} = -25 µA	0.75 V_{CC}		V
		I_{OH} = -10 µA	0.9 V_{CC}		V
V_{OH1}	Output Hifh-voltage (Port 0 in External Bus Mode)	I_{OH} = -800 µA, V_{CC} = 5V ± 10%	2.4		V
		I_{OH} = -300 µA	0.75 V_{CC}		V
		I_{OH} = -80 µA	0.9 V_{CC}		V
I_{IL}	Logical 0 Input Current (Ports 1,2,3)	V_{IN} = 0.45V		-50	µA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	V_{IN} = 2V, V_{CC} = 5V ± 10%		-650	µA
I_{LI}	Input Leakage Current (Port 0, $\overline{EA}$)	0.45 < V_{IN} < V_{CC}		±10	µA
RRST	Reset Pull-down Resistor		50	300	KΩ
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, T_A = 25°C		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz		25	mA
		Idle Mode, 12 MHz		6.5	mA
	Power-down Mode (2)	V_{CC} = 6V		100	µA
		V_{CC} = 3V		40	µA

Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
Maximum I_{OL} per port pin: 10 mA
Maximum I_{OL} per 8-bit port:
Port 0: 26 mA
Ports 1, 2, 3: 15 mA
Maximum total I_{OL} for all output pins: 71 mA
If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum V_{CC} for Power-down is 2V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics

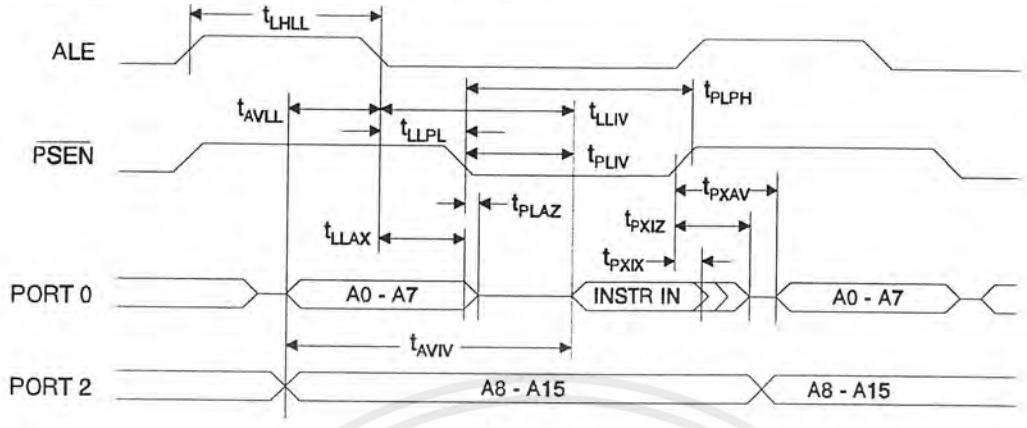
Under operating conditions, load capacitance for Port 0, ALE/$\overline{PROG}$, and $\overline{PSEN}$ = 100 pF; load capacitance for all other outputs = 80 pF.

External Program and Data Memory Characteristics

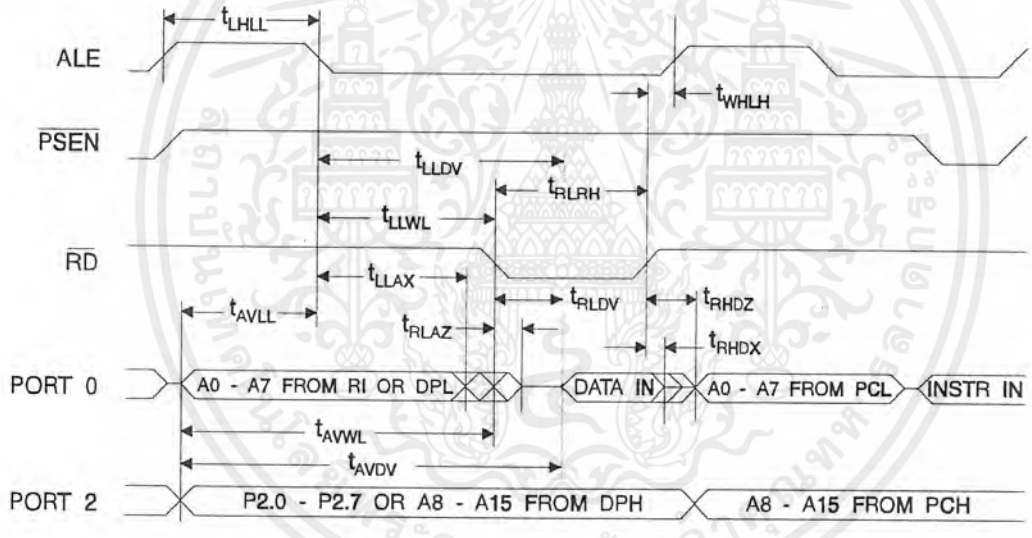
Symbol	Parameter	Variable Oscillator		Units
		Min	Max	
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
t_{LHLL}	ALE Pulse Width	$2t_{CLCL} - 40$		ns
t_{AVLL}	Address Valid to ALE Low	$t_{CLCL} - 13$		ns
t_{LLAX}	Address Hold after ALE Low	$t_{CLCL} - 20$		ns
t_{LLIV}	ALE Low to Valid Instruction In		$4t_{CLCL} - 65$	ns
t_{LLPL}	ALE Low to $\overline{PSEN}$ Low	$t_{CLCL} - 13$		ns
t_{PLPH}	$\overline{PSEN}$ Pulse Width	$3t_{CLCL} - 20$		ns
t_{PLIV}	$\overline{PSEN}$ Low to Valid Instruction In		$3t_{CLCL} - 45$	ns
t_{PXIX}	Input Instruction Hold after $\overline{PSEN}$	0		ns
t_{PXIZ}	Input Instruction Float after $\overline{PSEN}$		$t_{CLCL} - 10$	ns
t_{PXAV}	$\overline{PSEN}$ to Address Valid	$t_{CLCL} - 8$		ns
t_{AVIV}	Address to Valid Instruction In		$5t_{CLCL} - 55$	ns
t_{PLAZ}	$\overline{PSEN}$ Low to Address Float		10	ns
t_{RLRH}	$\overline{RD}$ Pulse Width	$6t_{CLCL} - 100$		ns
t_{WLWH}	$\overline{WR}$ Pulse Width	$6t_{CLCL} - 100$		ns
t_{RLDV}	$\overline{RD}$ Low to Valid Data In		$5t_{CLCL} - 90$	ns
t_{RHDX}	Data Hold after $\overline{RD}$	0		ns
t_{RHDZ}	Data Float after $\overline{RD}$		$2t_{CLCL} - 28$	ns
t_{LLDV}	ALE Low to Valid Data In		$8t_{CLCL} - 150$	ns
t_{AVDV}	Address to Valid Data In		$9t_{CLCL} - 165$	ns
t_{LLWL}	ALE Low to $\overline{RD}$ or $\overline{WR}$ Low	$3t_{CLCL} - 50$	$3t_{CLCL} + 50$	ns
t_{AVWL}	Address to $\overline{RD}$ or $\overline{WR}$ Low	$4t_{CLCL} - 75$		ns
t_{QVWX}	Data Valid to $\overline{WR}$ Transition	$t_{CLCL} - 20$		ns
t_{QVWH}	Data Valid to $\overline{WR}$ High	$7t_{CLCL} - 120$		ns
t_{WHQX}	Data Hold after $\overline{WR}$	$t_{CLCL} - 20$		ns
t_{RLAZ}	$\overline{RD}$ Low to Address Float		0	ns
t_{WHLH}	$\overline{RD}$ or $\overline{WR}$ High to ALE High	$t_{CLCL} - 20$	$t_{CLCL} + 25$	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Program Memory Read Cycle

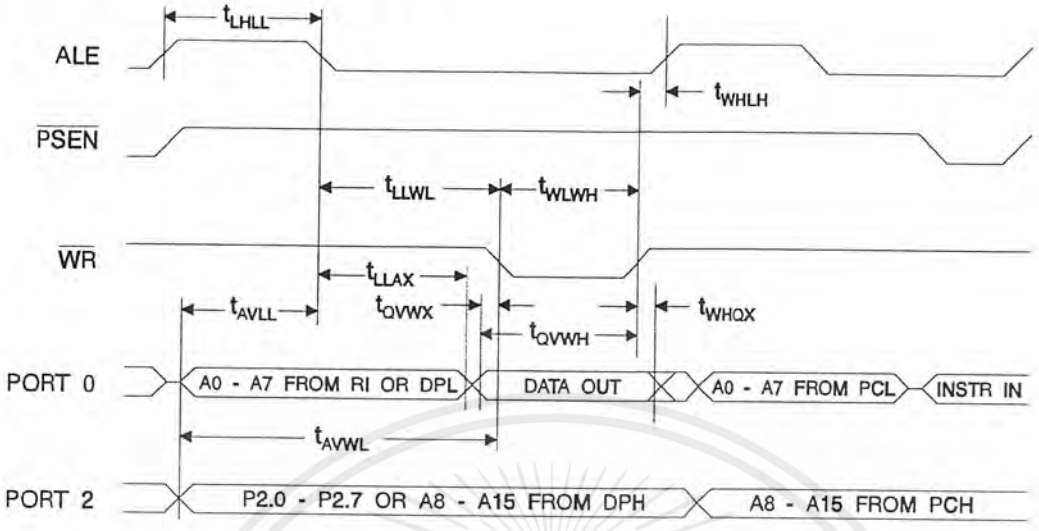


External Data Memory Read Cycle

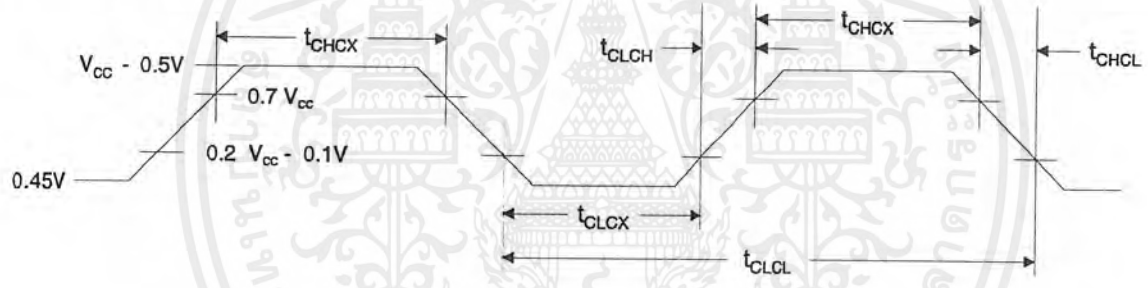


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Data Memory Write Cycle



External Clock Drive Waveforms



External Clock Drive

Symbol	Parameter	V_{CC} = 4.0V to 6.0V		Units
		Min	Max	
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
t_{CLCL}	Clock Period	41.6		ns
t_{CHCX}	High Time	15		ns
t_{CLCX}	Low Time	15		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns

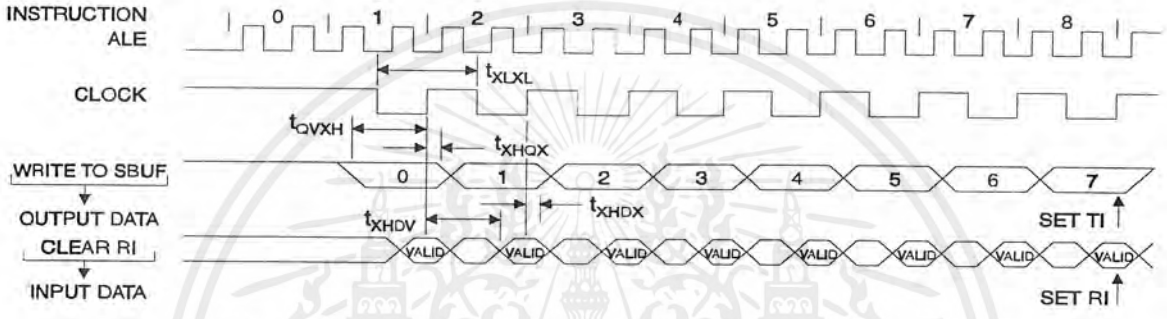
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Serial Port Timing: Shift Register Mode Test Conditions

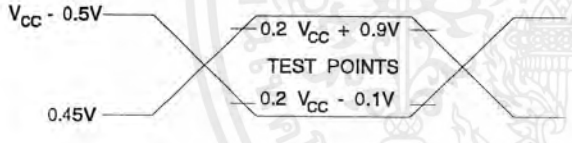
The values in this table are valid for V_{CC} = 4.0V to 6V and Load Capacitance = 80 pF.

Symbol	Parameter	Variable Oscillator		Units
		Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	$12t_{CLCL}$		µs
t_{QVXH}	Output Data Setup to Clock Rising Edge	$10t_{CLCL}$ - 133		ns
t_{XHQX}	Output Data Hold after Clock Rising Edge	$2t_{CLCL}$ - 117		ns
t_{XHDX}	Input Data Hold after Clock Rising Edge	0		ns
t_{XHDV}	Clock Rising Edge to Input Data Valid		$10t_{CLCL}$ - 133	ns

Shift Register Mode Timing Waveforms

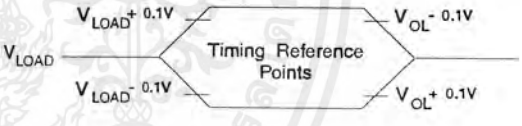


AC Testing Input/Output Waveforms[1]



Notes: 1. AC Inputs during testing are driven at V_{CC} - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms[1]

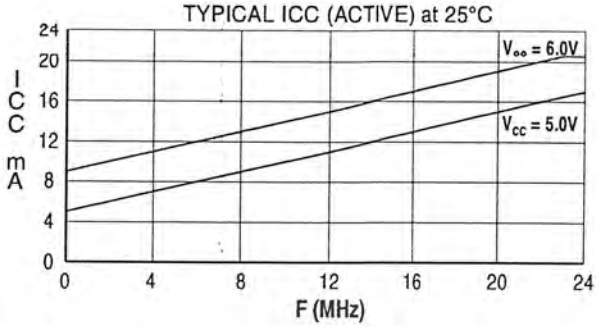


Notes: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

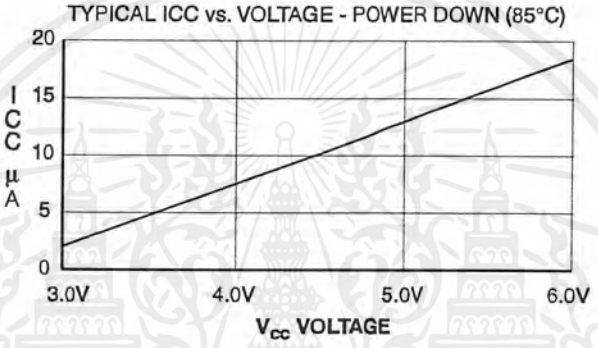
AT89S8252

TYPICAL ICC (ACTIVE) at 25°C



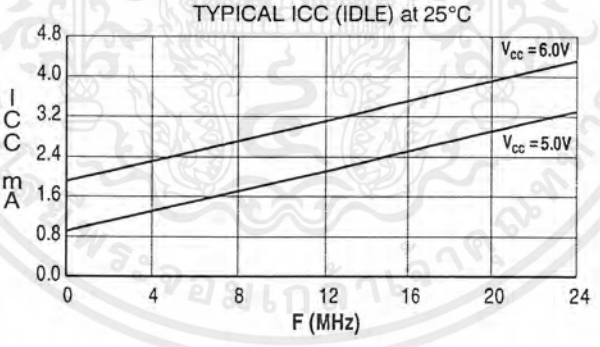
AT89S8252

TYPICAL ICC vs. VOLTAGE - POWER DOWN (85°C)



AT89S8252

TYPICAL ICC (IDLE) at 25°C



Notes: 1. XTAL1 tied to GND for Icc (power-down)
2. Lock bits programmed

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
24	4.0V to 6.0V	AT89S8252-24AC AT89S8252-24JC AT89S8252-24PC AT89S8252-24QC	44A 44J 40P6 44Q	Commercial (0°C to 70°C)
	4.0V to 6.0V	AT89S8252-24AI AT89S8252-24JI AT89S8252-24PI AT89S8252-24QI	44A 44J 40P6 44Q	Industrial (-40°C to 85°C)
33	4.5V to 5.5V	AT89S8252-33AC AT89S8252-33JC AT89S8252-33PC AT89S8252-33QC	44A 44J 40P6 44Q	Commercial (0°C to 70°C)

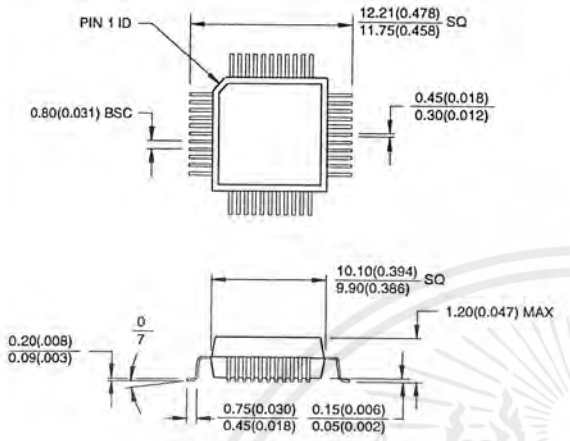
= Preliminary Information

Package Type	
44A	44-lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
44J	44-lead, Plastic J-leaded Chip Carrier (PLCC)
40P6	40-lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44Q	44-lead, Plastic Gull Wing Quad Flatpack (PQFP)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

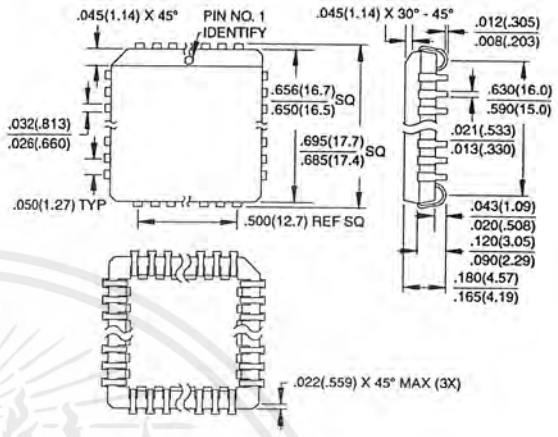
Packaging Information

44A, 44-lead, Thin (1.0 mm) Plastic Gull Wing Quad Flatpack (TQFP)
Dimensions in Millimeters and (Inches)*
JEDEC STANDARD MS-026 ACB

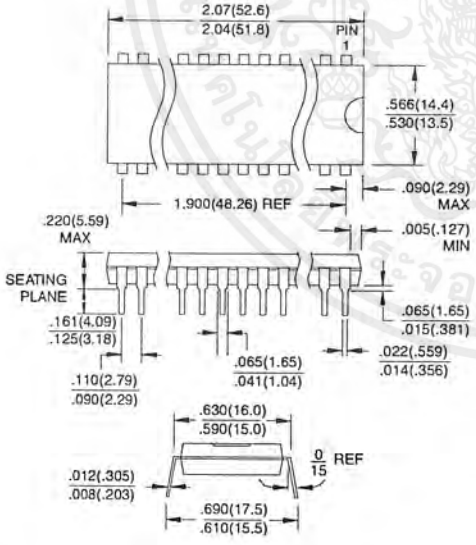


Controlling dimension: millimeters

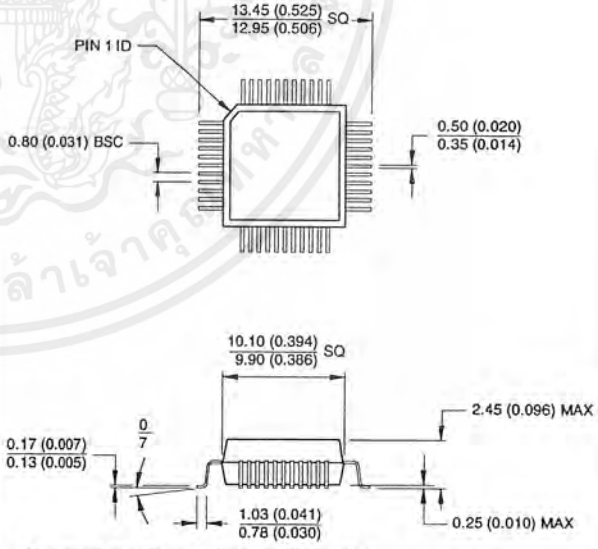
44J, 44-lead, Plastic J-leaded Chip Carrier (PLCC)
Dimensions in Inches and (Millimeters)
JEDEC STANDARD MS-018 AC



40P6, 40-lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
Dimensions in Inches and (Millimeters)



44Q, 44-lead, Plastic Quad Flat Package (PQFP)
Dimensions in Millimeters and (Inches)*
JEDEC STANDARD MS-022 AB



Controlling dimension: millimeters

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Atmel Headquarters

Corporate Headquarters
2325 Orchard Parkway
San Jose, CA 95131
TEL (408) 441-0311
FAX (408) 487-2600

Europe
Atmel U.K., Ltd.
Coliseum Business Centre
Riverside Way
Camberley, Surrey GU15 3YL
England
TEL (44) 1276-686-677
FAX (44) 1276-686-697

Asia
Atmel Asia, Ltd.
Room 1219
Chinachem Golden Plaza
77 Mody Road Tsimhatsui
East Kowloon
Hong Kong
TEL (852) 2721-9778
FAX (852) 2722-1369

Japan
Atmel Japan K.K.
9F, Tonetsu Shinkawa Bldg.
1-24-8 Shinkawa
Chuo-ku, Tokyo 104-0033
Japan
TEL (81) 3-3523-3551
FAX (81) 3-3523-7581

Atmel Operations

Atmel Colorado Springs
1150 E. Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906
TEL (719) 576-3300
FAX (719) 540-1759

Atmel Rousset
Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-4253-6000
FAX (33) 4-4253-6001

Fax-on-Demand
North America:
1-(800) 292-8635
International:
1-(408) 441-0732

e-mail
literature@atmel.com

Web Site
http://www.atmel.com

BBS
1-(408) 436-4309

© Atmel Corporation 2000.
Atmel Corporation makes no warranty for the use of its products, other than those expressly contained in the Company's standard warranty which is detailed in Atmel's Terms and Conditions located on the Company's web site. The Company assumes no responsibility for any errors which may appear in this document, reserves the right to change devices or specifications detailed herein at any time without notice, and does not make any commitment to update the information contained herein. No licenses to patents or other intellectual property of Atmel are granted by the Company in connection with the sale of Atmel products, expressly or by implication. Atmel's products are not authorized for use as critical components in life support devices or systems.

Marks bearing ® and/or ™ are registered trademarks and trademarks of Atmel Corporation.

Terms and product names in this document may be trademarks of others.

Printed on recycled paper.

0401E–02/00/xM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ คณะผู้จัดทำขอแสดงความขอบคุณ ผศ.จงรักษ์ บุญเส็ง อาจารย์ที่ปรึกษาโครงงานที่กรุณาให้คำปรึกษาในด้านวิชาการ รวมทั้งส่วนของอุปกรณ์เครื่องมือตลอดจนสถานที่ และความช่วยเหลือในด้านต่างๆเกี่ยวกับการทำโครงงานครั้งนี้ จนสารารถสำเร็จลุล่วงไปด้วยดี

ขอขอบคุณ ทางภาควิชาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง รวมทั้งเจ้าหน้าที่ของทางภาควิชาวิศวกรรมไฟฟ้าทุกท่านที่ช่วยเหลือทางด้านเครื่องมือและอุปกรณ์ ซึ่งได้รับความร่วมมือเป็นอย่างดี

ขอขอบคุณ คุณศรายุธ คำมูล ที่ให้คำปรึกษาและประสบการณ์ และให้ยืมอุปกรณ์ต่างๆ รวมทั้งให้การสนับสนุนมาโดยตลอด

ขอขอบคุณ คุณสบโชค ยุธวงศ์ คุณกิตติ กุณสิทธ์ ที่ให้คำปรึกษาด้านโปรแกรม

ขอขอบคุณ คุณสริตา ฐูปกระจ่าง ที่คอยช่วยเหลือและให้กำลังใจ

สุดท้าย ขอบคุณเพื่อนๆ นักศึกษาห้อง 4B ทุกๆคนที่คอยช่วยเหลือและให้กำลังใจพวกเรามาโดยตลอด และที่ลืมไม่ได้คือ คุณพ่อคุณแม่ของพวกเราที่สนับสนุนด้านการเงิน และให้กำลังใจพวกเรา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] MUHAMMATH H. RACHID, "Power Electronic Circuits , Devices and Application" New Jersey . Pentice-Hall International Edition, 2nd Edition, 1993

[2] MOHAN , UNDERLAND , ROBBINS , " Power Electronics" , New York John Wiley & Sons , Inc., 2nd Edition , 1993

[3] M.F. McGranaghan D.R. Mueller and M.J. Samotyj,"Voltage Sags in Industrial Syatems",IEEE Tran.Ind.Applicat.,Vol 29,No.,March/April 1993.

[4] C.J. Melhorn T.D. Davis and G.B. Beam,"Voltage Sags:Their Impact on the Utility and Industrial Customers",IEEE Tran.Ind.Applicat.Vol34.,No3.May/June,1998.

[5] R.C. Dugan,M.F. McGranaghan, H.W. Beaty.,"Electrical power system quality",New York,Mc-Graw Hill,1996.

[6] J.A. Dedad.,"Practical guide to quality power for sensitive electronic equipments",Overland Park,EC&CM,1992.

[7] E. Randondolpl Collins,Jr."Effects of Voltage Sags on AC Motor Drives", Dept. Electrical and Computer Engineering,Clemson University,Clemson,SC 29634-0915,1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้