สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การเพิ่มแรงดันไฟฟ้าใน Substation เนื่องมาจากสวิทช์ของคาปาซิเตอร์

Transient Capacitor Switching for H.V. Substation due to Voltage Magnification

T037000

โดย

นายสราวุธ ตั้งสุริยานนท์

นายสุรพงษ์ ธราพร

นายเสกศักดิ์ ช่อปลอด

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน 37000
วัน, เดือน, ปี 30 ส.ค. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปีการศึกษา 2542

การเพิ่มแรงดันไฟฟ้าใน Substation เนื่องมาจากสวิทซ์ของคาปาซิเตอร์

Transient Capacitor Switching for H.V. Substation due to Voltage Magnification

โดย

นายสราวุธ ตั้งสุริยานนท์

นายสุรพงษ์ ธราพร

นายเสกศักดิ์ ช่อปลอด

อาจารย์ที่ปรึกษา

ผศ.จงรักษ์ บุญเส็ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การเพิ่มแรงดันไฟฟ้าใน Substation เนื่องจากสวิทซ์ของคาปาซิเตอร์

ผู้จัดทำ

1. นายสราวุธ ตั้งสุริยานนท์
2. นายสุรพงษ์ ธราพร
3. นายเสกศักดิ์ ซ่อปลอด

จงรักษ์ อาจารย์ที่ปรึกษา

(ผศ.จงรักษ์ บุญเส็ง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเพิ่มแรงดันไฟฟ้าใน Substation เนื่องจากสวิทช์ของคาปาซิเตอร์

นายสราวุธ ตั้งสุริยานนท์
นายสุรพงษ์ ธราพร
นายเสกศักดิ์ ช่อปลอด
ผ.ศ.จงรักษ์ บุญเส็ง อาจารย์ที่ปรึกษา
ปีการศึกษา 2542

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นการศึกษาการเพิ่มแรงดันไฟฟ้าในสถานีไฟฟ้าย่อยเนื่องจากการสับคาปาซิเตอร์เข้ากับระบบไฟฟ้า โดยใช้โปรแกรม EMTP (The Electromagnetic Transients Program) ในการจำลองระบบสายส่งกำลังของสถานีไฟฟ้าย่อย เพื่อศึกษาปัจจัยที่มีผลกระทบต่อการเพิ่มแรงดันชั่วขณะ ซึ่งเป็นปัญหาของผู้ใช้ไฟฟ้ารายใหญ่อย่างโรงงานอุตสาหกรรม ปัจจัยที่ได้ทำการศึกษา ได้แก่ ขนาดของคาปาซิเตอร์ , ทำเลที่ตั้งของโรงงานอุตสาหกรรม , ผลของการเพิ่ม AC line choke และ DC bus choke และจากปัจจัยดังกล่าวเราสามารถนำข้อมูลที่ได้จากการวิเคราะห์ระบบไฟฟ้านั้นไปใช้ในการป้องกันความเสียหายที่จะเกิดกับอุปกรณ์ภายในโรงงานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Transient Capacitor Switching for H.V. Substation due to Voltage Magnification

Sarawut Tungsuriyanon
Surapong Taraporn
Seksak Choplod
Asst. Prof. Jongrak Boonseang Advisor
1999

ABSTRACT

The purpose of this thesis is to study the Transient Capacitor Switching for H.V. Substation due to Voltage Magnification. The Electromagnetic Transients Program (EMTP) was used to perform simulation studies to evaluate the mentioned devices for controlling the transient overvoltages during capacitor bank energization in power systems. An equivalent circuit is containing the essential power system parameters affecting the transient overvoltages magnification phenomenon which can occur at an industrial customer ' s utilization-voltage bus. The parameters for simulate are switched capacitor bank size , distribution line length etc. In addition The result of perform simulation can be used for discuss to protect the industrials.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
ABSTRACT	II
สารบัญภาพ	III
สารบัญตาราง	XVI
บทที่ 1 บทนำ	1
บทที่ 2 ระบบไฟฟ้ากำลัง	2
2.1 ระบบไฟฟ้ากำลัง	2
2.2 การคำนวณค่าของสายส่ง 3 เฟส	6
บทที่ 3 คาปาซิเตอร์	7
3.1 คาปาซิเตอร์แบงค์	7
3.2 หารสับสวิทช์คาปาซิเตอร์	10
3.3 ฮาร์โมนิค	14
บทที่ 4 Adjustable Speed Drive	18
4.1 โครงสร้าง ASD	18
4.2 ชนิดของ ASD	25
4.3 การป้องกันอินเวอร์เตอร์	27
4.4 การกำเนิดคลื่นฮาร์โมนิค	29
4.5 การปรับปรุงเพาเวอร์แฟคเตอร์และกระแสขาเข้าของ ASD	29
บทที่ 5 ATPDraw & EMTP	31
5.1 อะไรคือ ATPDraw ?	31
5.2 ประวัติการพัฒนา ATPDraw	32
5.3 ส่วนประกอบที่หาได้ใน ATPDraw	33
5.4 ชนิดของไฟล์ใน ATPDraw	35
5.5 การปฏิบัติการบน Windows	36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
บทที่ 6	การจำลองระบบสวิทช์ซิ่งคาปาซิเตอร์แบงค์	42
	6.1 การจำลองส่วนของระบบสายส่งไฟฟ้ากำลังที่มีการเพิ่มแรงดันโดยสับคาปาซิเตอร์แบงค์ให้กับระบบ	42
	6.2 ผลการจำลองระบบ	46
	การจำลองระบบโดยเปลี่ยนระยะทางที่ตำแหน่งต่างๆของโรงงาน	46
	6.3 วิเคราะห์โดยการเปลี่ยนค่าคาปาซิเตอร์	60
	สรุปผลการจำลองระบบ	72
บทที่ 7	ศึกษาผลกระทบที่เกิดขึ้นกับ ASD เนื่องมาจากสับสวิทช์คาปาซิเตอร์เมื่อใส่ AC line choke และ DC bus choke โดยการจำลองระบบ	73
	7.1 การจำลองระบบในส่วนของโหลดโรงงานซึ่งเป็นอินเวอร์เตอร์ใช้ควบคุมมอเตอร์ขนาด 75 kW	73
	7.2 ผลการจำลองระบบ	76
	- ผลการวิเคราะห์เมื่อไม่มีทั้ง AC line choke และ DC bus choke	76
	- ผลการวิเคราะห์เมื่อมี AC line choke เท่านั้น	78
	- ผลการวิเคราะห์เมื่อมี DC bus choke เท่านั้น	90
	- ผลการวิเคราะห์เมื่อมีทั้ง AC line choke และ DC bus choke	102
	สรุปผลการจำลองระบบ	174
บทที่ 8	สรุปและวิจารณ์ผลการจำลองระบบ	176
ภาคผนวก		
กิตติกรรมประกาศ		
เอกสารอ้างอิง		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

		หน้า
รูปที่ 2.1	แผนภูมิระบบส่งจ่ายไฟฟ้ากำลัง	5
รูปที่ 2.2	ภาพหน้าตัดสายตัวนำ 3 เฟสที่มีระยะห่างเท่ากัน	6
รูปที่ 3.1	การติดตั้งคาปาซิเตอร์แบงค์	7
รูปที่ 3.2	การตรวจสอบการทำงานของคาปาซิเตอร์โดยใช้ PT.	9
รูปที่ 3.3	การตรวจสอบการทำงานของคาปาซิเตอร์แบงค์โดยใช้ CT.	9
รูปที่ 3.4	แผนผังเส้นเดียวของระบบไฟฟ้ากำลัง	10
รูปที่ 3.5	รูปคลื่นแรงดันสูงและแรงดันต่ำเนื่องมาจากการสับสวิทช์คาปาซิเตอร์แบงค์	11
รูปที่ 3.6	คาปาซิเตอร์ตัวเดียวต่อเข้าหับหม้อแปลง	12
รูปที่ 3.7	รูปคลื่นแรงดันและกระแสเมื่อสับสวิทช์คาปาซิเตอร์	13
รูปที่ 3.8	รูปคลื่นแรงดันจากการสับสวิทช์คาปาซิเตอร์แบงค์	14
รูปที่ 3.9	ตัวอย่างแผนผังเส้นเดียวของโรงงานอุตสาหกรรม	15
รูปที่ 3.10	รูปคลื่นของ 6 พัลคอนเวอร์เตอร์ชนิดต่างๆ	15
รูปที่ 3.11	รูปคลื่นแรงดันเมื่อต่อคาปาซิเตอร์แบงค์เข้ากับระบบ	16
รูปที่ 3.12	วงจรสมมูลของโรงงานตัวอย่าง	16
รูปที่ 3.13	กราฟอิมพิแดนซ์ของระบบฮาร์โมนิคลำดับต่างๆ	17
รูปที่ 3.14	รูปคลื่นแรงดันและกระแสคาปาซิเตอร์แบงค์	17
รูปที่ 4.1	แสดงส่วนประกอบของ ASD	18
รูปที่ 4.2	รูปวงจรคอนเวอร์เตอร์	19
รูปที่ 4.3	กราฟการทำงานของวงจรคอนเวอร์เตอร์	19
รูปที่ 4.4	วงจรคอนเวอร์เตอร์แบบควบคุมรูปได้	20
รูปที่ 4.5	กราฟการทำงานของคอนเวอร์เตอร์แบบควบคุมได้	20
รูปที่ 4.6	รูปวงจรอิจเวอร์เตอร์	22
รูปที่ 4.7	การทำงานของสวิทช์และไฟกระแสสลับที่ไหลเข้าขั้วมอเตอร์	23
รูปที่ 4.8	การสร้างสัญญาณพีดับบลิวเอ็ม	24
รูปที่ 4.9	การสร้างสัญญาณทริกของคอนเวอร์เตอร์แบบควบคุมได้	24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
รูปที่ 4.10	วงจรกำลังของพีดับบลิวเอ็มอินเวอร์เตอร์	26
รูปที่ 4.11	รูปคลื่นสัญญาณของพีดับบลิวเอ็มอินเวอร์เตอร์	26
รูปที่ 4.12	วงจรกำลังของอินเวอร์เตอร์แบบแหล่งจ่ายกระแส	27
รูปที่ 4.13	รูปคลื่นของอินเวอร์เตอร์แบบแหล่งจ่ายกระแส	27
รูปที่ 4.14	วงจรที่เกี่ยวกับการป้องกัน	28
รูปที่ 5.1	หน้าต่างหลักของ ATPDraw	37
รูปที่ 5.2	วงจรเบื้องต้นของ ATPDraw ไฟล์ .cir	41
รูปที่ 5.3	file.atp เมื่อทำการ Make file.cir เสร็จ	41
รูปที่ 6.1	One line Diagram ของระบบสายส่งกำลังไฟฟ้า	42
รูปที่ 6.2	ระบบสายส่งกำลังไฟฟ้าเขียนด้วยโปรแกรม ATPDraw	43
รูปที่ 6.3	โหลดโรงงานและ ASD เขียนด้วยโปรแกรม ATPDraw	44
รูปที่ 6.4	การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย	46
รูปที่ 6.5	การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 20 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย	47
รูปที่ 6.6	การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 30 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย	48
รูปที่ 6.7	การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 40 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย	49
รูปที่ 6.8	การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 50 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย	50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.9 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 60 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 51

รูปที่ 6.10 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 70 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 52

รูปที่ 6.11 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 53

รูปที่ 6.12 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 20 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 54

รูปที่ 6.13 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 30 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 55

รูปที่ 6.14 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 40 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 56

รูปที่ 6.15 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 50 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 57

รูปที่ 6.16 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 60 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 58

รูปที่ 6.17 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 70 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.18 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 100 kvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 60

รูปที่ 6.19 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 500 kvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 61

รูปที่ 6.20 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 750 kvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 62

รูปที่ 6.21 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 1 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 63

รูปที่ 6.22 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 3 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 64

รูปที่ 6.23 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 65

รูปที่ 6.24 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 10 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 66

รูปที่ 6.25 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 15 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 67

รูปที่ 6.26 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 20 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.27 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 30 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 69

รูปที่ 6.28 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 70

รูปที่ 6.29 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับ คาปาซิเตอร์แบงค์ขนาด 48 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย 71

รูปที่ 7.1 อินเวอร์เตอร์แบบ PWM ที่ประกอบด้วย AC line choke และ DC line choke 73

รูปที่ 7.2 ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์เมื่อไม่มีทั้ง AC line choke และ DC bus choke ที่ ASD 76

รูปที่ 7.3 ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์เมื่อไม่มีทั้ง AC line choke และ DC bus choke ที่ไดโอดและ IGBT 77

รูปที่ 7.4 ผลของการเพิ่ม AC line choke ขนาด 0.5 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ ASD 78

รูปที่ 7.5 ผลของการเพิ่ม AC line choke ขนาด 0.5 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ไดโอดและ IGBT 79

รูปที่ 7.6 ผลของการเพิ่ม AC line choke ขนาด 0.8 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ ASD 80

รูปที่ 7.7 ผลของการเพิ่ม AC line choke ขนาด 0.8 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ไดโอดและ IGBT 81

รูปที่ 7.8 ผลของการเพิ่ม AC line choke ขนาด 1 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ ASD 82

รูปที่ 7.9 ผลของการเพิ่ม AC line choke ขนาด 1 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ไดโอดและ IGBT 83

รูปที่ 7.10 ผลของการเพิ่ม AC line choke ขนาด 2 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ ASD 84

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7.11 ผลของการเพิ่ม AC line choke ขนาด 2 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ไดโอดและ IGBT 85
รูปที่ 7.12 ผลของการเพิ่ม AC line choke ขนาด 5 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ ASD 86
รูปที่ 7.13 ผลของการเพิ่ม AC line choke ขนาด 5 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ไดโอดและ IGBT 87
รูปที่ 7.14 ผลของการเพิ่ม AC line choke ขนาด 10 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ ASD 88
รูปที่ 7.15 ผลของการเพิ่ม AC line choke ขนาด 10 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ไดโอดและ IGBT 89
รูปที่ 7.16 ผลของการเพิ่ม DC bus choke ขนาด 0.4 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ ASD 90
รูปที่ 7.17 ผลของการเพิ่ม DC bus choke ขนาด 0.4 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ไดโอดและ IGBT 91
รูปที่ 7.18 ผลของการเพิ่ม DC bus choke ขนาด 0.8 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ ASD 92
รูปที่ 7.19 ผลของการเพิ่ม DC bus choke ขนาด 0.8 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ไดโอดและ IGBT 93
รูปที่ 7.20 ผลของการเพิ่ม DC bus choke ขนาด 1 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ ASD 94
รูปที่ 7.21 ผลของการเพิ่ม DC bus choke ขนาด 1 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ไดโอดและ IGBT 95
รูปที่ 7.22 ผลของการเพิ่ม DC bus choke ขนาด 2 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ ASD 96
รูปที่ 7.23 ผลของการเพิ่ม DC bus choke ขนาด 2 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ไดโอดและ IGBT 97
รูปที่ 7.24 ผลของการเพิ่ม DC bus choke ขนาด 10 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ ASD 98

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7.25 ผลของการเพิ่ม DC bus choke ขนาด 10 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ไดโอดและ IGBT 99

รูปที่ 7.26 ผลของการเพิ่ม DC bus choke ขนาด 50 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ ASD 100

รูปที่ 7.27 ผลของการเพิ่ม DC bus choke ขนาด 50 mH เพื่อลด ทรานเซียนท์เนื่องจากการสับคาปาซิเตอร์แบงค์ที่ไดโอดและ IGBT 101

รูปที่ 7.28 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ที่ ASD 102

รูปที่ 7.29 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ ที่ไดโอดและ IGBT 103

รูปที่ 7.30 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ที่ ASD 104

รูปที่ 7.31 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ ที่ไดโอดและ IGBT 105

รูปที่ 7.32 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ที่ ASD 106

รูปที่ 7.33 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ ที่ไดโอดและ IGBT 107

รูปที่ 7.34 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ที่ ASD 108

รูปที่ 7.35 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ ที่ไดโอดและ IGBT 109

รูปที่ 7.36 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ที่ ASD 110

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7.37 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 111

รูปที่ 7.38 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ที่ ASD 112

รูปที่ 7.39 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 113

รูปที่ 7.40 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ที่ ASD 114

รูปที่ 7.41 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 115

รูปที่ 7.42 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ที่ ASD 116

รูปที่ 7.43 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 117

รูปที่ 7.44 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ที่ ASD 118

รูปที่ 7.45 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 119

รูปที่ 7.46 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ที่ ASD 120

รูปที่ 7.47 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 121

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7.48 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ที่ ASD 122

รูปที่ 7.49 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 123

รูปที่ 7.50 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ที่ ASD 124

รูปที่ 7.51 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 125

รูปที่ 7.52 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ที่ ASD 126

รูปที่ 7.53 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 127

รูปที่ 7.54 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ที่ ASD 128

รูปที่ 7.55 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 129

รูปที่ 7.56 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ที่ ASD 130

รูปที่ 7.57 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 131

รูปที่ 7.58 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ที่ ASD 132

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7.59 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 133
รูปที่ 7.60 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ที่ ASD 134
รูปที่ 7.61 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 135
รูปที่ 7.62 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ที่ ASD 136
รูปที่ 7.63 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 137
รูปที่ 7.64 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ที่ ASD 138
รูปที่ 7.65 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 139
รูปที่ 7.66 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ที่ ASD 140
รูปที่ 7.67 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 141
รูปที่ 7.68 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ที่ ASD 142
รูปที่ 7.69 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 143

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7.70 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ที่ ASD 144
รูปที่ 7.71 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 145
รูปที่ 7.72 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ที่ ASD 146
รูปที่ 7.73 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 147
รูปที่ 7.74 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ที่ ASD 148
รูปที่ 7.75 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 149
รูปที่ 7.76 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ที่ ASD 150
รูปที่ 7.77 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 151
รูปที่ 7.78 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ที่ ASD 152
รูปที่ 7.79 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 153
รูปที่ 7.80 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ที่ ASD 154

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7.81 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 155

รูปที่ 7.82 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ที่ ASD 156

รูปที่ 7.83 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 157

รูปที่ 7.84 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ที่ ASD 158

รูปที่ 7.85 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 159

รูปที่ 7.86 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ที่ ASD 160

รูปที่ 7.87 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 161

รูปที่ 7.88 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ที่ ASD 162

รูปที่ 7.89 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 163

รูปที่ 7.90 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ที่ ASD 164

รูปที่ 7.91 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 165

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7.92 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ที่ ASD 166

รูปที่ 7.93 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 167

รูปที่ 7.94 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ที่ ASD 168

รูปที่ 7.95 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 169

รูปที่ 7.96 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ที่ ASD 170

รูปที่ 7.97 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 171

รูปที่ 7.98 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ที่ ASD 172

รูปที่ 7.99 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ที่ไดโอดและ IGBT 173

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

		หน้า
ตารางที่ 6.1	ค่าอิมพิแดนซ์ที่ระยะทางต่างๆ	43
ตารางที่ 7.1	ค่าอินดัคแตนท์ของแบบที่มี AC line choke	74
ตารางที่ 7.2	ค่าอินดัคแตนท์แบบที่มี DC bus choke	74
ตารางที่ 7.3	ค่าอินดัคแตนท์แบบที่มีทั้ง AC line choke และ DC bus choke	75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและที่มาของปัญหา

ในช่วงเวลาที่มีความต้องการการใช้ไฟฟ้าสูง (Peak Load) ทำให้ระดับแรงดันไฟฟ้าในระบบลดลง จึงมีการสับสวิทช์คาปาซิเตอร์แบงค์เข้าสู่ระบบไฟฟ้าเพื่อเพิ่มระดับแรงดันและปรับปรุงค่าเพาเวอร์แฟคเตอร์ (Power Factor) การสับสวิทช์คาปาซิเตอร์นี้จะทำให้เกิดการเพิ่มแรงดันชั่วขณะ (Transient) หรือการรบกวนขึ้น กล่าวคือเกิดแรงดันไฟฟ้าเกินและกระแสไฟฟ้าเกินที่ความถี่สูงแม้ว่าแรงดันไฟฟ้าเกินและกระแสไฟฟ้าเกินจะเกิดขึ้นในระยะเวลาอันสั้นแต่ก็จะเกิดกระแสพุ่งเข้าซึ่งมีค่ายอดสูงมากและจะส่งผลกระทบต่อระบบไฟฟ้า ส่งผลให้อุปกรณ์เสียหายได้ ปัจจุบันในโรงงานอุตสาหกรรมอุปกรณ์ที่ได้รับความเสียหายอย่างมากเมื่อเกิดแรงดันไฟฟ้าเกินและกระแสไฟฟ้าเกินเนื่องจากการสับสวิทช์คาปาซิเตอร์แรงดันสูงที่สถานีจ่ายไฟฟ้าย่อยได้แก่ Adjustable-Speed Drives (ASDs)

1.2 จุดมุ่งหมายของโครงงาน

จุดมุ่งหมายเพื่อที่จะทราบแนวโน้มของปัจจัยที่คาดว่าจะมีผลต่อการเกิดแรงดันชั่วขณะอันเนื่องมาจากการสับสวิทช์คาปาซิเตอร์ที่สถานีจ่ายไฟฟ้าย่อย เพื่อนำผลที่ได้จากการศึกษาไปใช้ลดความเสียหายที่มีต่อโรงงานอุตสาหกรรม รวมไปถึงปัจจัยที่จะช่วยลดแรงดันชั่วขณะที่จะเกิดขึ้นและอาจทำให้เกิดความเสียหายกับ ASD ได้

1.3 ขอบเขตของโครงงาน

ขอบเขตของโครงงานเพื่อทำการทดลองและศึกษาถึงผลต่อปัจจัยต่างๆที่มีผลต่อการเพิ่ม-ลดของแรงดันชั่วขณะอันเนื่องมาจากการสับสวิทช์คาปาซิเตอร์ที่สถานีจ่ายไฟฟ้าย่อยที่จะเกิดขึ้นที่โรงงานอุตสาหกรรม แยกเป็นสองส่วน 1) ในส่วนการส่งจ่ายกำลังไฟฟ้า ศึกษาผลของระยะห่างระหว่างที่ตั้งโรงงานกับสถานีจ่ายไฟฟ้าย่อยและขนาดของคาปาซิเตอร์ที่จะต่อให้กับระบบ 2) ในส่วนของโรงงานอุตสาหกรรม ศึกษาถึงผลจาก AC Line Choke และ DC Bus Choke ที่มีต่อ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ระบบไฟฟ้ากำลัง

2.1 ระบบไฟฟ้ากำลัง

ระบบไฟฟ้าเราจำแนกออกเป็น 3 ส่วน คือ

2.1.1 ระบบผลิตพลังงานไฟฟ้า (Generating System) หรือ โรงจักรไฟฟ้า (Power Plant) เป็นแหล่งกำเนิดไฟฟ้า ที่จะจ่ายเข้าสู่ระบบสายส่งกำลังไฟฟ้า (Transmission System) โรงจักรไฟฟ้า (Power Plant) ประกอบด้วย

- ส่วนที่ผลิตไฟฟ้า
- ลานไกไฟฟ้า (Switchyard)
- ส่วนป้องกันการเดินเครื่อง
- ส่วนควบคุมเครื่อง

สำหรับระบบแรงดันไฟฟ้าที่จ่ายจากเครื่องกำเนิดไฟฟ้าของโรงจักรไฟฟ้าของการไฟฟ้าฝ่ายผลิตฯ มีทั้งที่จ่ายออกในระบบ 13.9 kV , 11 kV และ 3.5 kV แล้วเพิ่มแรงดันไฟฟ้าให้สูงขึ้น โดยมีลานไกไฟฟ้าเป็นส่วนที่เพิ่มแรงดันเพื่อจ่ายเข้าสู่ระบบสายส่งกำลังไฟฟ้า ซึ่งมีแรงดันไฟฟ้า 500 kV , 230 kV , 115 kV และ 69 kV โดยเชื่อมสายส่งแรงสูงนี้ต่อถึงกันเกือบทุกแหล่งผลิตทั่วประเทศ ทำให้ระบบการผลิตพลังงานไฟฟ้าเป็นไปอย่างประหยัดและมีประสิทธิภาพ

2.1.2 ระบบสายส่งกำลังไฟฟ้า (Transmission Sytem) ประกอบด้วย

1. สายส่งกำลังไฟฟ้า (Transmission Line) เป็นชุดของสายตัวนำสำหรับส่งพลังงานไฟฟ้าจากโรงจักรไฟฟ้าไปยังสถานีเปลี่ยนแรงดัน ซึ่งเป็นการส่งผ่านพลังงานไฟฟ้าจากแหล่งผลิตไปยังผู้ใช้หรือแหล่งจ่ายไฟฟ้าและเป็นการส่งพลังงานไฟฟ้าจากแหล่งผลิตต่างๆกันไปยังศูนย์กลางของโหลด (Load center) ในกรณีที่มีแหล่งผลิตหลายแห่งอย่างห่างๆกัน นอกจากนี้ยังเป็นการเชื่อมโยงระบบไฟฟ้า (Tie line) จากระบบหนึ่งไปยังอีกระบบหนึ่ง ในกรณีที่ระบบหนึ่งมีกำลังผลิตไม่เพียงพอก็สามารถรับจากอีกระบบหนึ่งได้

ประโยชน์ของการเชื่องโยงสายส่งกำลังไฟฟ้า

- สามารถถ่ายเทพลังงานไฟฟ้าจากระบบหนึ่งไปยังอีกระบบหนึ่งทำให้ช่วยลดกำลังผลิตไฟฟ้า ในขณะที่มีการใช้ไฟฟ้าไม่มากลงได้ ซึ่งช่วยให้ประหยัดพลังงานที่ใช้ในการผลิตไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สามารถเชื่อมโยงแหล่งผลิตพลังงานหลายๆชนิดถึงกันได้ ช่วยให้สามารถวางโปรแกรมการเดินเครื่องอย่างมีประสิทธิภาพ
- ช่วยให้ระบบมีความมั่นคงในการจ่ายพลังงานไฟฟ้าได้อย่างต่อเนื่อง เนื่องจากมีแหล่งผลิตไฟฟ้าหลายทาง

2. สถานีเปลี่ยนแรงดัน (Substation) เป็นแหล่งที่รับพลังงานไฟฟ้าจากสายส่งหรือจากแหล่งกำเนิดไฟฟ้าเพื่อถ่ายผ่านสู่ระบบจำหน่าย ประกอบด้วย

- ส่วนเปลี่ยนแรงดัน
- ส่วนตัดตอน
- ส่วนควบคุม
- ส่วนป้องกันระบบ

หน้าที่และจุดประสงค์ของสถานีเปลี่ยนแรงดัน

1. เป็นจุดเปลี่ยนระดับแรงดันไฟฟ้า
2. เป็นจุดปรับระดับแรงดันไฟฟ้าของระบบให้คงที่
3. เป็นจุดเชื่อมระบบสายส่งและระบบจำหน่ายไฟฟ้า ทำหน้าที่ในการตัดตอนออกจากระบบและนำเข้าสู่ระบบ
4. เป็นจุดวัดปริมาณทางไฟฟ้า เช่น แรงดัน กระแส และกำลังไฟฟ้า เป็นต้น
5. เป็นจุดเชื่อมโยงระบบสื่อสารและการป้องกันในระบบสายส่ง
6. เป็นตำแหน่งที่ติดตั้งอุปกรณ์ป้องกันฟ้าผ่า อุปกรณ์ตัดตอน อุปกรณ์ป้องกันกระแสเกินพิกัดและอุปกรณ์อื่นๆที่จำเป็น

2.1.3 ระบบจำหน่ายกระแสไฟฟ้า (Distribution System) ได้แก่

- สายจำหน่ายไฟฟ้าแรงสูงจ่ายจากสถานีเปลี่ยนแรงดันไฟฟ้า
- หม้อแปลงลดแรงดันไฟฟ้า
- สายจำหน่ายแรงดันต่ำที่จ่ายให้แก่โหลดหรือผู้ใช้ไฟฟ้า

ระบบย่อยทั้ง 3 ระบบแสดงไว้ในรูปที่ 3.1 เป็นรูปแสดงแผนผังเส้นเดียว (One-line diagram) ของระบบไฟฟ้ากำลัง

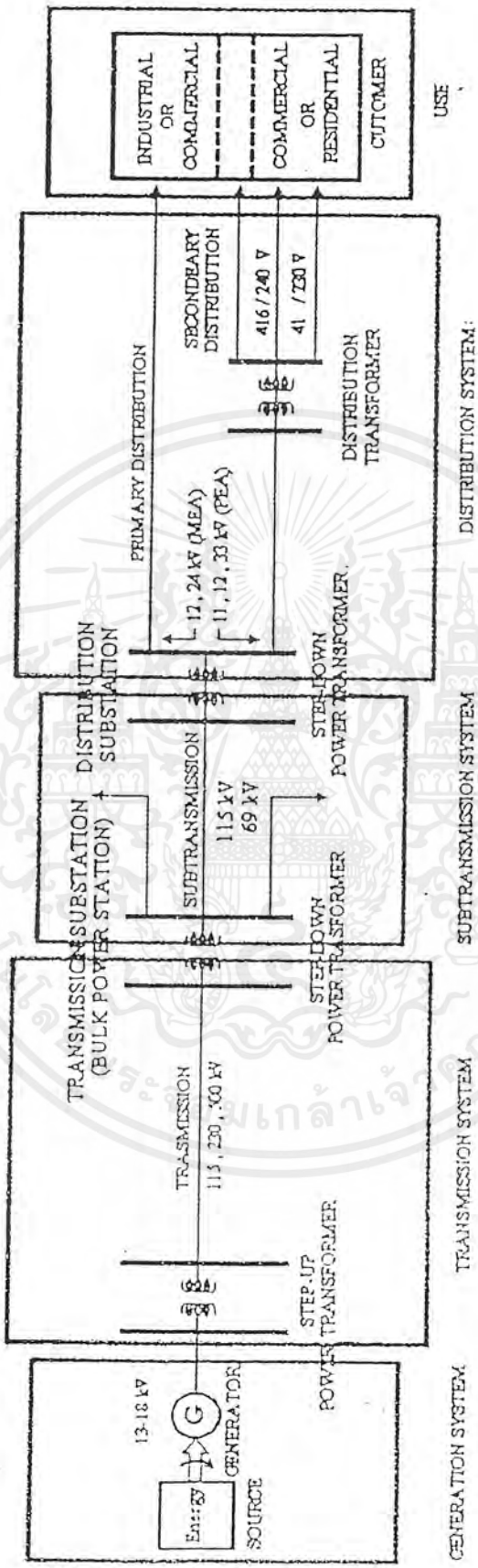
มีส่วนประกอบสำคัญ ดังนี้

1. ส่วนผลิตพลังงานไฟฟ้า (Generator Station) ในระบบจริงจะเป็นโรงจักรไฟฟ้าที่มีเครื่องกำเนิดไฟฟ้าขนาดพิกัดใหญ่มากๆ แต่ในระบบจำลองเราจะแทนด้วยแหล่งจ่ายไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ส่วนเพิ่มแรงดันไฟฟ้า (Step-up Transformer) เนื่องจากเราเลือกค่าแรงดันไฟฟ้าที่จะป้อนให้สายส่งไฟฟ้ามีขนาด 115 kV
3. ส่วนสายส่งกำลังไฟฟ้า (Transmission Line) ในส่วนนี้เราไม่สามารถหาสายส่งจริงๆมาทำการทดลองได้จึงต้องสร้างเป็นวงจรที่ประกอบด้วยตัวต้านทาน (R) , ตัวเหนี่ยวนำ (L) และตัวเก็บประจุ (C) แกนสายส่งที่มีความยาวต่างๆกันก็จะเปลี่ยนค่า RLC ให้มีค่าต่างๆกัน
4. ส่วนลดแรงดันไฟฟ้า (Step-down Transformer) เป็นหม้อแปลงที่ทำหน้าที่ลดแรงดันจากสายส่งให้มีค่าต่ำลงมาจ่ายให้กับโหลดที่ระดับ 3 ph 410 V
5. ส่วนของโหลด (Load) ในระบบจริงคือผู้ใช้ไฟฟ้า ซึ่งเราจะจำลองระบบแทนด้วยโหลดมอเตอร์และโหลดรวมของโรงงานอุตสาหกรรม
6. ส่วนของระบบป้องกัน (Protection)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

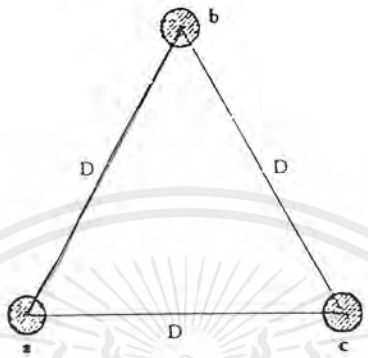


รูปที่ 2.1 แผนภูมิระบบส่งจ่ายไฟฟ้ากำลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การคำนวณค่าของสายส่ง 3 เฟส (Three Phase Overhead Line)

ในการศึกษาเราใช้สายส่ง 3 เฟสที่มีระยะห่างเท่ากันดังรูป



รูปที่ 2.2 ภาพหน้าตัดสายตัวนำ 3 เฟสที่มีระยะห่างเท่ากัน

กระแสไหลในสายทั้ง 3 เฟสสมดุลกัน นั่นคือ $I_a = I_b = I_c$

$$L = 2\times10^{-7}\ln\frac{D}{0.7788r}\ H/m$$

$$X_L = 2\pi fL\ \ \Omega/m$$

ดังนั้น จะได้ค่า $L = L_a = L_b = L_c$

เราสามารถหาค่า Z ได้จาก $Z = R+jX_L$ ค่า R หาจากตารางในภาคผนวก

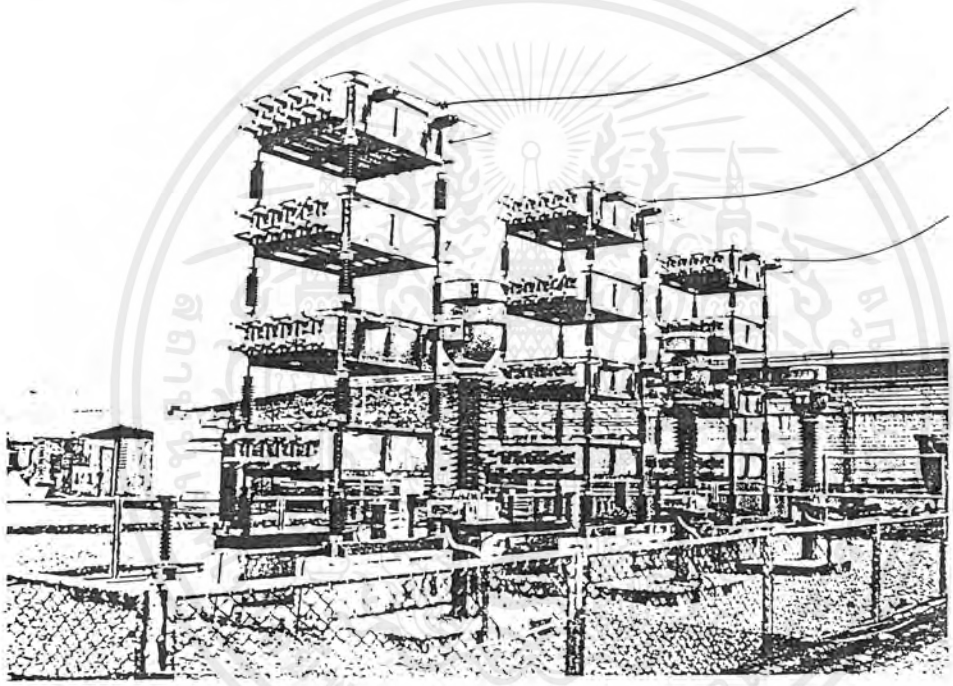
สายส่งที่ใช้แบ่งออกเป็น

1. 115 kV ใช้สาย ACSR
2. 24 kV ใช้สาย XLPE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
คาปาซิเตอร์

ในสถานีไฟฟ้าย่อยมีการติดตั้งคาปาซิเตอร์แบงค์อยู่หลายชุดตามความต้องการ โดยการติดตั้งอยู่บริเวณหลังหม้อแปลงภายในสถานีไฟฟ้าย่อยก่อนจ่ายโหลด ใช้กับระดับแรงดัน 22 , 33 , 69 และ 115 kV แต่ปัจจุบันมีถึง 230 kV การต่อจะขนานกับสายส่งที่ต่อไปยังโหลด



รูปที่ 3.1 การติดตั้งคาปาซิเตอร์แบงค์

3.1 คาปาซิเตอร์แบงค์

3.1.1 หน้าที่ของคาปาซิเตอร์แบงค์

มีหน้าที่หลักคือเป็นตัวจ่าย VAR ให้กับระบบในกรณีที่โหลดมีอินดัคแตนซ์มากๆทำให้แรงดันของระบบลดลง ซึ่งใช้คาปาซิเตอร์แบงค์เป็นตัวชดเชยให้สูงขึ้นมาอยู่ในระดับปกติที่ต้องการ ซึ่งมีผลที่ตามมาคือ

1. ช่วยเพิ่มแรงดันปลายสายให้ระบบไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ช่วยให้หม้อแปลงถึงค่า Full load ช้าลง
3. ช่วยลดค่าสูญเสียในสายส่ง
4. ช่วยเพิ่มค่าเพาเวอร์แฟคเตอร์
5. ในส่วนของภาคอุตสาหกรรมสามารถลดค่าไฟฟ้าลงได้เนื่องจากในการคิดค่าไฟฟ้าของการใช้ไฟฟ้าในภาคอุตสาหกรรมจะมีส่วนประกอบ 3 ส่วนคือ ค่าความต้องการพลังงานไฟฟ้า (Demand Charge) , ค่าพลังงานไฟฟ้า (Energy charge) เฉพาะส่วนที่เป็นพลังงานสูญเสียและค่าปรับเพาเวอร์แฟกเตอร์เมื่อมีค่าสูงกว่า 0.85 ทำให้ประหยัดค่าใช้จ่ายลงได้

3.1.2 ลักษณะโครงสร้างของคาปาซิเตอร์แบงค์ แยกออกเป็นส่วนๆคือ

1. คาปาซิเตอร์และอินดัคเตอร์ มีค่ามาตรฐานของแต่ละตัวโดยปกติในหนึ่งชุดประกอบไปด้วยคาปาซิตเตอร์หลายตัว ซึ่งรวมกันแล้วมีค่า 200 kvar / 1 ชุด เป็นมาตรฐาน เมื่อต้องการค่ามากขึ้นก็นำแต่ละชุดมาขนานกัน ทั้งนี้จะไม่ผลิตรวมอยู่ในตัวเดียวกันเพราะถ้าเกิดมีเหตุเสียขึ้นก็สามารถเปลี่ยนตัวที่เสียเพียงตัวเดียวเท่านั้น ในแต่ละเฟสจะนำมาต่อกันเป็นแบบวาย (Y) และแต่ละชุดจะมีอินดัคเตอร์อนุกรมอยู่กับคาปาซิเตอร์ โดยมีหน้าที่จำกัดกระแสที่สูงขึ้นอย่างรวดเร็วในขณะที่สับสวิทช์หรือปลดคาหาซิเตอร์แบงค์

2. เพาเวอร์ฟิวส์ เป็นฟิวส์ที่ต่ออนุกรมกับคาปาซิเตอร์แบงค์แต่ละชุด เพื่อทำหน้าที่ป้องกันความผิดปกติต่างๆที่ทำให้กระแสสูงเกินกว่าปกติ อาจเนื่องมาจากคาปาซิเตอร์รั่ว จึงตัดส่วนที่ชำรุดเสียไปเพื่อไม่ให้มีผลต่อชุดอื่นๆ

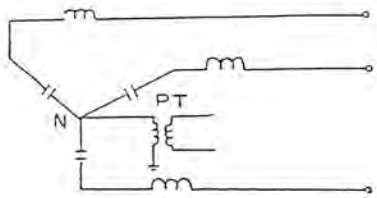
3. ถังหุ้ม เป็นถังหุ้มคาปาซิเตอร์แต่ละชุดเอาไว้และมีปลอกรองแกนต่อออกมาเพื่อให้ต่อกับชุดอื่นหรือต่อกับระบบได้

4. ตัวจับยึด เป็นโครงเหล็กยึดตัวคาปาซิเตอร์แบงค์และยังเป็นจุดวางของคาปาซิเตอร์แต่ละชุดบนตัวจับยึดนี้

3.1.3 ประเภทของคาปาซิเตอร์แบค์

1. กลุ่ม 22 และ 33 kV แต่ละชุดมีฟิวส์อยู่เพื่อป้องกันในกรณีเกิดการลัดวงจรที่ชุด ซึ่งให้ค่าคาปาซิเตอร์ 3.6 Mvar/3 เฟส ซึ่งแต่ละตัวทนได้ 200 kvar ดังนั้นต้องใช้ทั้งหมด 18 ชุดหรือเฟสละ 6 ชุด โดยในแต่ละเฟสจะต่อกันเป็นแบบวาย และมีหม้อแปลงแรงดันไฟฟ้าคอยตรวจสอบแรงดันไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



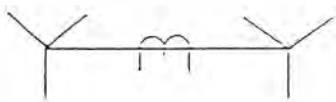
รูปที่ 3.2 การตรวจสอบการทำงานของคาปาซิเตอร์โดยใช้ PT.

หม้อแปลงแรงดันไฟฟ้าคอยจับแรงดันระหว่างนิวตรอนกับกราวน์ เมื่อคาปาซิเตอร์ในชุดใดฟิวส์ขาดไป ทำให้ค่าคาปาซิแตนซ์ไม่สมดุล (Unbalance) จุดนิวตอรอนจะเลื่อนไปทำให้มีแรงดันระหว่างนิวตรอนกับกราวด์ ซึ่งกำหนดไว้ไม่ให้เกิน 10% ของพิกัดแรงดันเฟส ต้องสั่งตัดวงจรออกทั้งหมดทั้งนี้เพราะจะเกิดแรงดันที่สูงขึ้น ทำให้อายุการใช้งานของคาปาซิเตอร์แบงค์น้อยลง

2. กลุ่ม 69 , 115 และ 230 kV มีฟิวส์อยู่ภายในถังและมีคาปาซิเตอร์หลายๆชุดในถังเดียวกันเพื่อให้ละเอียดยิ่งขึ้น เมื่อคาปาซิเตอร์เสียไปหนึ่งตัวก็จะขาดไปเพียงเล็กน้อย จึงไม่เป็นอันตรายต่อระบบมากเท่าไรนัก

ใช้หม้อแปลงกระแสไฟฟ้าเป็นตัวเซ็นเซอร์ เมื่อเกิดคาปาซิแตนซ์ไม่สมดุลจะมีกระแสไหลจากจุดนิวตรอนของชุดหนึ่งไปยังอีกชุดหนึ่ง ซึ่งกำหนดไว้ไม่เกิน 10 % เป็นกระแสไปสั่งตัดวงจร ในระบบ 115 kV ต้องการ 36 MVAR และ 230 kV ต้องการ 72 MVAR

ในระบบ 230 kV นั้นจะใช้การต่อแต่ละเฟสเป็นบริดจ์ (Bridge) ก่อนต่อลงกราวน์ ซึ่งเรียกว่า Bridge connection to ground แบบนี้สามารถตรวจสอบทีละเฟสได้ว่าเฟสไหนที่คาปาซิเตอร์ชำรุด เพราะมีหม้อแปลงกระแสไฟฟ้าติดอยู่ที่แต่ละเฟส ภายในคาปาซิเตอร์แบงค์มีความต้านทานทำหน้าที่คายประจุโดยที่ปลดเบรคเกอร์ออก คาปาซิเตอร์จะได้คายประจุออกทำให้แรงดันหมดไป



รูปที่ 3.3 การตรวจสอบการทำงานของคาปาซิเตอร์แบงค์โดยใช้ CT.

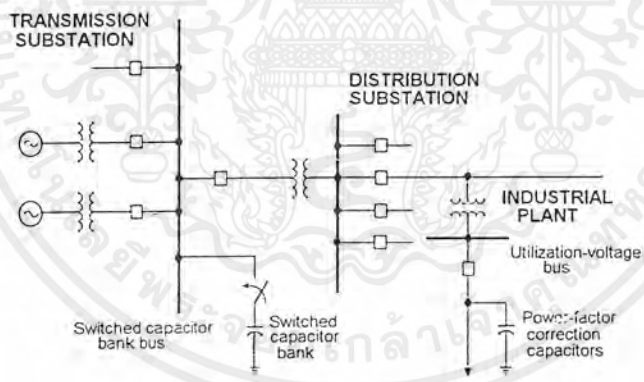
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.4 พิกัดของคาปาซิเตอร์แบงค์

1. พิกัดแรงดัน
2. พิกัดกระแส
3. ค่าคาปาซิแตนซ์ (μF)
4. พิกัดความถี่
5. Impulse withstand voltage

3.2 การสับสวิทช์คาปาซิเตอร์

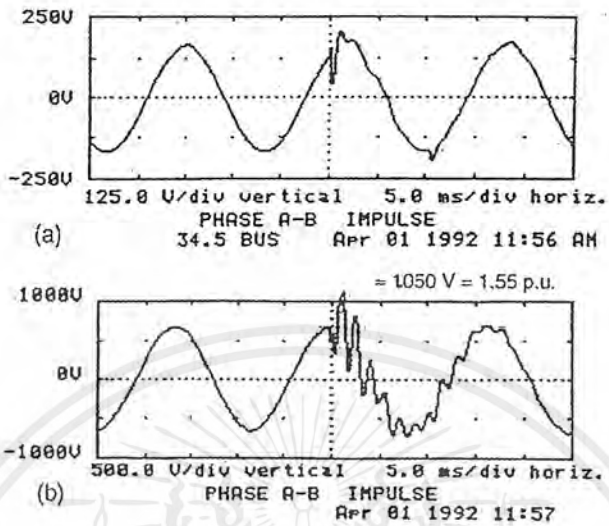
ทรานเซียนที่เกิดจากการสับสวิทช์คาปาซิเตอร์เป็นทรานเซียนท์ที่เกิดขึ้นกับระบบส่งจ่ายไฟฟ้ามากที่สุด ได้มีการศึกษามากว่า 50 ปีแล้ว รองลงมาคือทรานเซียนท์ที่เกิดจากฟ้าผ่า ทั้งนี้ก็เนื่องมาจากในหนึ่งวันจะมีการสับสวิทช์คาปาซิเตอร์ 2 ครั้งคือสับสวิทช์คาปาซิเตอร์เข้าไปในระบบในช่วงเช้าและสับสวิทช์ออกในช่วงเย็น



รูปที่ 3.4 แผนผังเส้นเดียวของระบบไฟฟ้ากำลัง

ปัญหา nuisance trip ที่เกิดกับ ASD เป็นผลมาจากทรานเซียนท์จากการสับสวิทช์คาปาซิเตอร์แบงค์ที่สถานีจ่ายไฟฟ้าย่อย ในรูปที่ 3.4 เป็นผลจากการสับสวิทช์คาปาซิเตอร์แบงค์ที่ระดับแรงดันสูงและแรงดันต่ำ โดยทำการสับสวิทช์ที่ตำแหน่งแรงดันสูงสุด ขนาดของทรานเซียนท์ที่เกิดจะมีผลมาจากอินดักแตนซ์ – คาปาซิแตนซ์ต่างๆในระบบไฟฟ้า แสดงได้ดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 รูปคลื่นแรงดันสูงและแรงดันต่ำเนื่องมาจากการสับสวิทช์คาปาซิเตอร์แบงค์

ขนาดของทรานเซียนท์สามารถพิจารณาได้จาก

1. ค่าเนเชอรัลฟรีเควนซี่ (Natural Frequency) ของทรานเซียนท์ที่ตำแหน่งที่สับสวิทช์คาปาซิเตอร์แบงค์มีค่าใกล้เคียงกับทรานเซียนท์ที่จุดสายส่งมากแค่ไหน

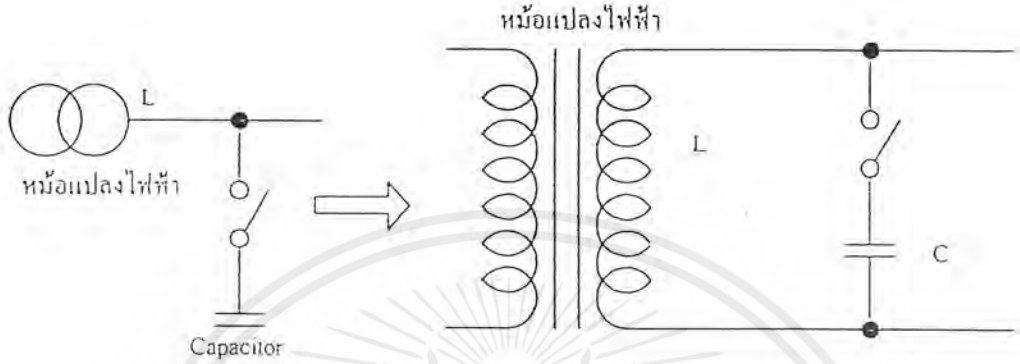
2. ค่าของโหลดและความสูญเสียที่เกิดในระบบ

3. ความเร็วในการเอนเนอร์ไจซ์ (Energization) ของสวิทช์คาปาซิเตอร์แบงค์

ทรานเซียนท์ที่เกิดขึ้นจะมีแรงดันเกินและกระแสเกินที่ความถี่สูง (5-15kHz) สภาพทรานเซียนท์นี้จะทำให้เกิดกระแสพุ่งเข้าซึ่งมีค่ายอดสูงมากอาจทำความเสียหายให้กับคาปาซิเตอร์ และอาจทำให้จุดสัมผัสของคอนแทกเตอร์หลอมติดกันได้ กระแสพุ่งเข้าขึ้นอยู่กับระบบไฟฟ้า เราสามารถหากระแสพุ่งเข้าได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 คาปาซิเตอร์ตัวเดียว



รูปที่ 3.6 คาปาซิเตอร์ตัวเดียวต่อเข้ากับหม้อแปลง

เมื่อสับสวิทช์คาปาซิเตอร์จะเกิดสภาพทรานเซียนท์ซึ่งสามารถคำนวณและเขียนรูปคลื่นแรงดันและกระแสได้ดังรูปที่ 3.7

ความถี่รูปคลื่น = $\frac{1}{2\pi\sqrt{LC}}$ ..... (3.1)

แรงดันเกิน = $2\sqrt{2}U$ ..... (3.2)

กระแสยอด (Ip) = $\frac{\sqrt{2}U}{\sqrt{3}}\sqrt{\frac{C}{L}}$ ..... (3.3)

K = $\frac{Ip}{Ic}$ ..... (3.4)

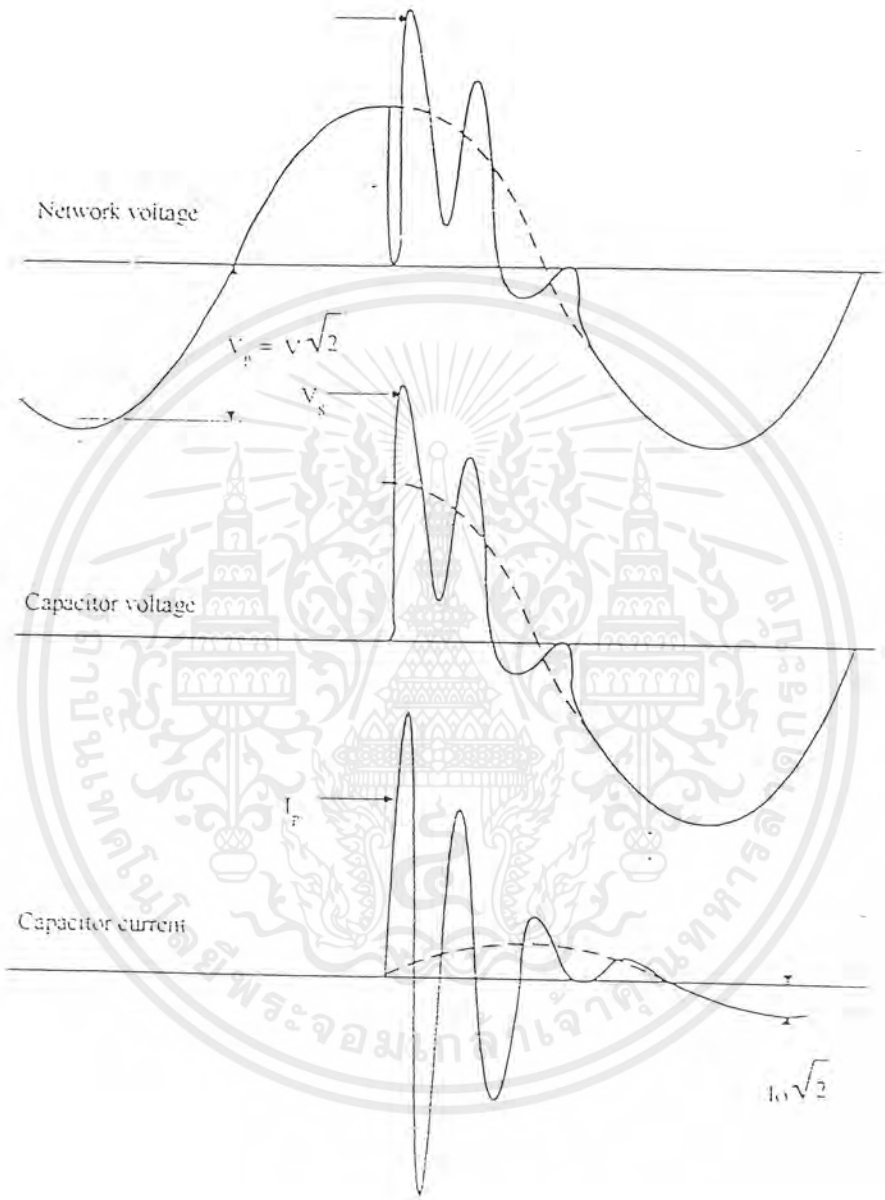
เมื่อ U = แรงดันระหว่างสาย (L-L Voltage)

L = ค่าความเหนี่ยวนำต่อเฟส

C = ค่าความจุไฟฟ้าต่อเฟส

K = จำนวนเท่าของกระแสยอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

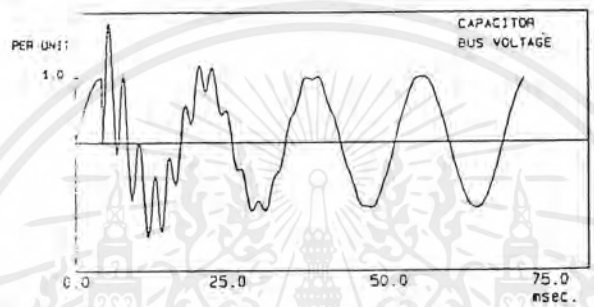


รูปที่ 3.7 รูปคลื่นแรงดันและกระแสเมื่อสับสวิทช์คาปาซิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 คาปาซิเตอร์แบบแบงค์

รูปที่ 3.8 แสดงแรงดันที่สายส่งจากการสับสวิทช์คาปาซิเตอร์แบบแบงค์ โดยทำการสับสวิทช์ที่จุดสูงสุดของรูปคลื่นแรงดัน ในสภาวะปกติคาปาซิเตอร์แบงค์จะถูกเอนเนอไจซ์จากค่าเป็นศูนย์ในเริ่มแรก แรงดันจะเปลี่ยนแปลงในช่วงเวลาไม่กี่ไมโครวินาที ขึ้นอยู่กับค่าอิมพีแดนซ์และค่าเสิร์ซอิมพีแดนซ์ที่จุดสับสวิทช์นั้น หลังจากเกิดการเปลี่ยนแปลงอย่างรวดเร็วเกิดขึ้นแรงดันก็จะปรับตัวเข้าสู่ความถี่ปกติต่อไป (50Hz หรือ 60Hz)



รูปที่ 3.8 รูปคลื่นแรงดันจากการสับสวิทช์คาปาซิเตอร์แบงค์

ในการสับสวิทช์คาปาซิเตอร์แบบแบงค์สามารถคำนวณค่ากระแสยอดได้ดังสมการ ดังนี้

$$Ip = \frac{n}{n+2}\frac{\sqrt{2}U}{\sqrt{3}}\sqrt{\frac{C}{l}} \quad \text{..... (3.5)}$$

$$Upeak = \frac{U\sqrt{2}}{n+1} \quad \text{..... (3.6)}$$

$$U_sL = \frac{(n+2)U\sqrt{2}}{n+1} \quad \text{..... (3.7)}$$

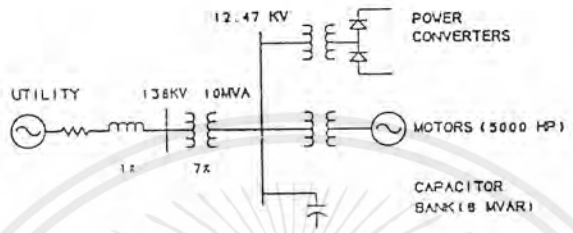
เมื่อ n = จำนวนขั้นตอนของคาปาซิเตอร์ที่ต่ออยู่กับระบบไฟฟ้า

3.3 ฮาร์โมนิค (Harmonic)

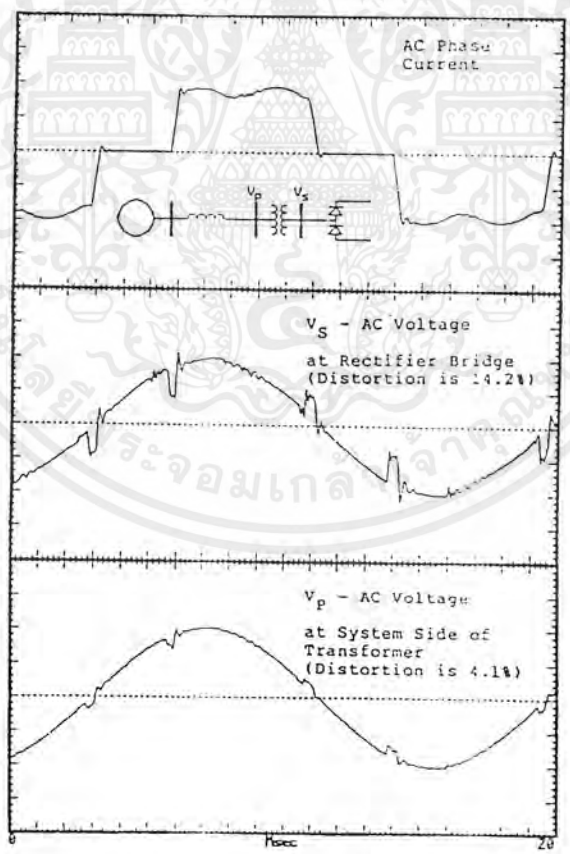
ปัจจุบันมีการใช้อุปกรณ์เพาเวอร์อิเล็คทรอนิกส์อย่างมากในอุตสาหกรรมทำให้เกิดรูปคลื่นแรงดันผิดเพี้ยน (Voltage Distortions) หรือฮาร์โมนิค มีการควบคุมฮาร์โมนิคโดยการใช้ฟิลเตอร์ (Filter) เช่น arc furneces , aluminum smelter และด้วยการใช้สารเคมี เป็นต้น สาเหตุให้รูปคลื่นผิดเพี้ยนไป สาเหตุหนึ่งที่เกิดขึ้นอย่างมากคือการใช้ 6-พัลไทริสเตอร์บริดจ์(6-Pulse Thyristor Controlled Bridge)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แผนผังเส้นเดียวของโรงงานอุตสาหกรรมที่ใช้เป็นตัวอย่างแสดงได้ดังรูปที่ 3.9 ประกอบด้วยเพาเวอร์คอนเวอร์เตอร์และซิงโครนัส ในรูปที่ 3.10 เป็นกระแสโหลดกระแสสลับและแรงดันของ 6-พัล เรคติไฟ-เออร์ (6-Pulse Rectifier) ในรูปที่ 3.11 แสดงผลของการสับสวิทช์คาปาซิเตอร์เข้าไปในระบบส่งจ่ายไฟฟ้า

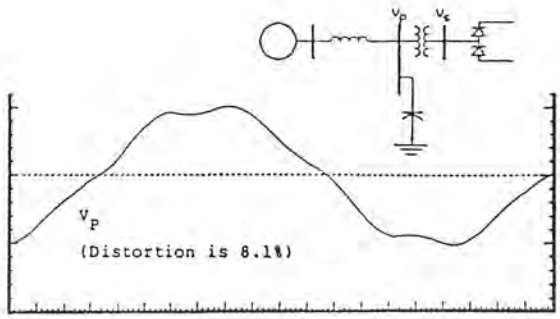


รูปที่ 3.9 ตัวอย่างแผนผังเส้นเดียวของโรงงานอุตสาหกรรม

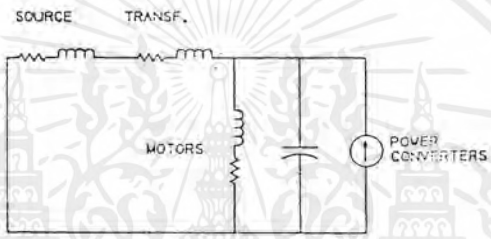


รูปที่ 3.10 รูปคลื่นของ 6 พัลคอนเวอร์เตอร์ชนิดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 รูปคลื่นแรงดันเมื่อต่อคาปาซิเตอร์แบงค์เข้ากับระบบ

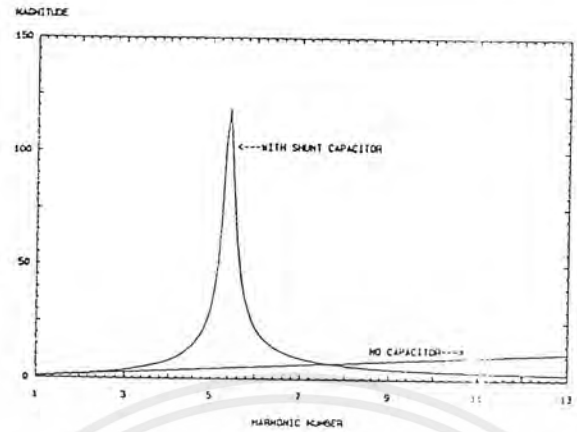


รูปที่ 3.12 วงจรสมมูลของโรงงานตัวอย่าง

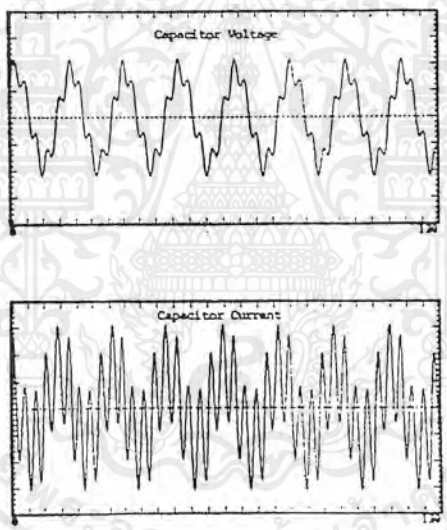
รูปที่ 3.12 แสดงวงจรสมมูล (Equivalent Circuit) ของรูปที่ 3.9 สำหรับระบบทั่วๆไปค่ากระแสและแรงดันฮาร์โมนิคในระบบสามารถหาได้จากสมการ V=I*Z โดยรูปคลื่นกระแสเป็นผลมาจากเพาเวอร์คอนเวอร์เตอร์และอิมพีแดนซ์ในส่วนของระบบ ในรูปที่ 3.13 แสดงถึงรูปแบบของอิมพีแดนซ์ (Impedance Scans) ที่ได้จากระบบตัวอย่าง ถ้าระบบไม่มีคาปาซิเตอร์คุณสมบัติต่างๆจะค่อนข้างเป็นไปอย่างเชิงเส้น แต่ถ้าหากระบบมีคาปาซิเตอร์ ณ จุดนั้นจะมีอิมพีแดนซ์สูง จะเกิดคลื่นความถี่เรโซแนนซ์ในตัวอย่างนี้จะเกิดคลื่นฮาร์โมนิคที่5 ในระบบ 6-พัล คอนเวอร์เตอร์จะสร้างกระแสฮาร์โมนิคที่ 5 อย่างมากซึ่งเป็นตัวก่อให้เกิดปัญหา แสดงในรูปที่ 3.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 3.13 กราฟอิมพีแดนซ์ของระบบฮาร์โมนิคลำดับต่างๆ



รูปที่ 3.15 รูปคลื่นแรงดันและกระแสคาปาซิเตอร์แบงค์

Harmonic Standards

จาก IEEE Std 519-1981,"IEEE Guide for Harmonic Control and Reactive Compensation of Static Power Converters" เป็นการจำกัดแรงดันฮาร์โมนิค มาตรฐานจำกัดแรงดันผิดเพี้ยนที่ 5% ใช้สำหรับระบบถึง 69 kV และจำกัด 1.5% ที่ระบบตั้งแต่ 115 kV ขึ้นไป มาตรฐานนี้ใช้ทั้งกระแสฮาร์โมนิคและแรงดันผิดเพี้ยนที่เกิดขึ้นในระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
37000

บทที่ 4

Adjustable Speed Drive

ASD (Adjustable Speed Drive) เป็นอุปกรณ์แปลงไฟชนิดหนึ่งที่แปลงไฟกระแสสลับที่มีความถี่และแรงดันคงที่ไปเป็นไฟกระแสสลับที่มีความถี่และแรงดันขนาดต่างๆ ซึ่งอาจเรียกว่าอินเวอร์-เตอร์ (Inverter) ได้ แหล่งจ่ายไฟที่ป้อนให้ ASD เป็นอินพุทจากแหล่งจ่ายไฟกระแสสลับทั่วๆ ไปที่มีรูปคลื่นซายน์ แต่เอาท์พุทของ ASD จะมีรูปคลื่นแตกต่างจากรูปซายน์

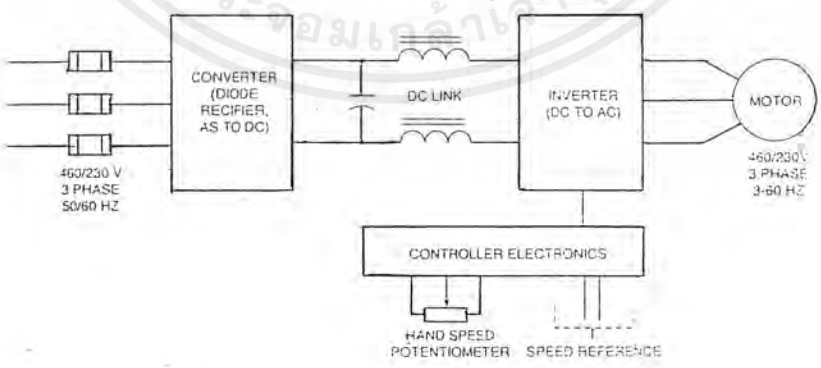
จากหลักการทำงานของ ASD ซึ่งจะผลิตรูปคลื่นขาออกที่ผิดปกตินี้ จะเกี่ยวพันไปถึงการเลือกมอเตอร์ อุปกรณ์รอบข้าง การวัดกระแสและแรงดัน ดังนั้นการทำความเข้าใจต่อการทำงานของวงจรต่างๆ ใน ASD จึงเป็นเรื่องสำคัญ ซึ่งหน้าที่หลักการ ASD คือ การควบคุมมอเตอร์นั้นเอง

4.1 โครงสร้างของ ASD

รูปที่ 4.1 แสดงโครงสร้างของ ASD ประกอบด้วย 3 ส่วนสำคัญ ดังนี้

1. วงจรคอนเวอร์เตอร์ (Converter)
2. วงจรอินเวอร์เตอร์ (Inverter)
3. วงจรควบคุม (Control)

นอกจากนี้ระหว่างวงจรคอนเวอร์เตอร์กับวงจรอินเวอร์เตอร์ยังมีวงจรกรองความถี่ LC Filter หรือเรียกว่าส่วน DC Link นั้นเอง

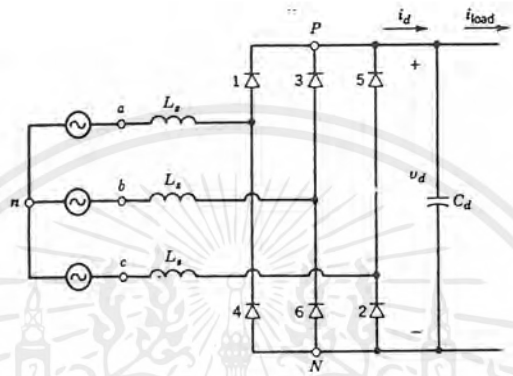


รูป 4.1 แสดงส่วนประกอบของ ASD

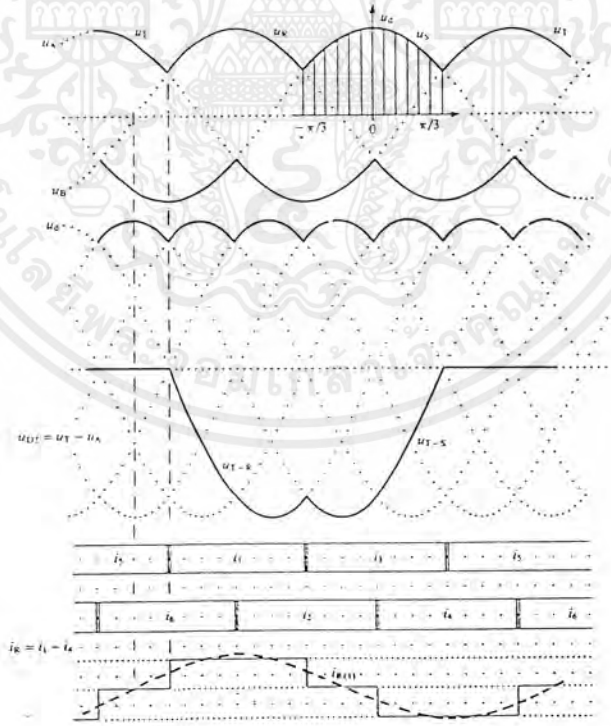
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.1 วงจรคอนเวอร์เตอร์

วงจรคอนเวอร์เตอร์ มีหน้าที่แปลงไฟสลับเป็นไฟตรง เพื่อป้อนให้กับวงจร อินเวอร์เตอร์ ซึ่งประกอบด้วยวงจร บริดจ์เรคติไฟด์ (Bridge Rectifier) กับวงจรกรองความถี่ LC Filter ดังรูป 4.2 ซึ่งค่าแรงดันกระแสตรงมีค่า U_d=1.35U



รูป 4.2 แสดงรูปวงจรคอนเวอร์เตอร์

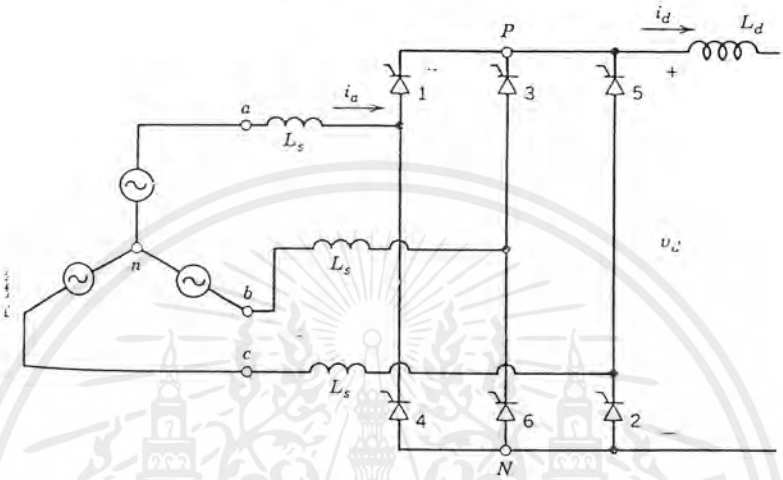


รูปที่ 4.3 กราฟการทำงานของวงจรคอนเวอร์เตอร์

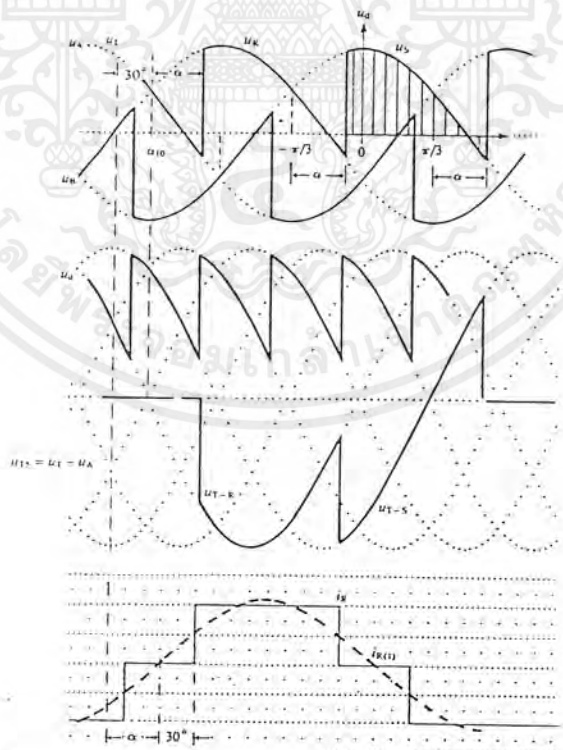
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้ยังมีการใช้ไทริสเตอร์แทนไดโอดในวงจรบริดจ์เรคติไฟด์ ดังรูป 4.4 ซึ่งวงจรคอนเวอร์เตอร์ชนิดนี้ เป็นวงจรคอนเวอร์เตอร์ที่ควบคุมได้ ซึ่งค่าแรงดันกระแสตรงที่ได้มีค่าดังนี้

$$U_d = 1.35U\cos\alpha$$



รูปที่ 4.4 วงจรคอนเวอร์เตอร์แบบควบคุมรูป ได้



รูปที่ 4.5 กราฟการทำงานของคอนเวอร์เตอร์แบบควบคุมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 วงจรกรองความถี่ (LC Filter)

ตัวเหนี่ยวนำ L จะป้องกันการกระชากของกระแส โดยไม่ให้มีการเปลี่ยนแปลงกระแสเร็วเกินไป ถ้าให้ค่า L มาก จะไม่มีริปเปิลของกระแส แต่จะทำให้แรงดันไฟตรงตกไป ในขณะที่ตัวเก็บประจุ C ถ้ามีค่ามากจะทำให้ โวลท์เตจเร็กกูเลชั่นดีขึ้นและการกระเพื่อมของแรงดันไฟตรงลดลง แต่ในการชาร์จประจุจะดึงกระแสมากในช่วงแรก ดังนั้นค่าที่เหมาะสมของ LC Filter ควรจะให้มีค่าตัวเหนี่ยวนำ L มีค่าน้อย ส่วนค่าตัวเก็บประจุ C มีค่ามาก เพื่อให้ค่าอิมพิแด็นซ์ Z ทางด้านอินพุทของอินเวอร์-เตอร์ต่ำ

4.1.2.1 การออกแบบตัวเก็บประจุ (C)

ในการออกแบบตัวเก็บประจุ C นั้นจะขึ้นอยู่กับชนิดของวงจรคอนเวอร์เตอร์ กระแสขณะปฏิบัติงานและความถี่ที่จะใช้ ซึ่งปัจจุบันจะนิยมใช้ตัวเก็บประจุ C ประเภท อิเล็กโตรไลติค (Electrolitic) กันเป็นส่วนมาก ซึ่งจะใช้สูตรในการหาค่าตัวเก็บประจุ C ดังนี้

$$C = \frac{I_{out}}{8 f \Delta V_{out}} \quad \text{.....(4.1)}$$

เมื่อ $I_{out} = 0.25 I_L$

I_L = กระแสโหลดขณะใช้งาน

ΔV_{out} = แรงดันริปเปิลเอาท์พุทสูงสุด

f = ความถี่ในขณะปฏิบัติงาน

4.1.2.2 การออกแบบตัวเหนี่ยวนำ (L)

ปกติโดยทั่วไปใน ASD มักมีการต่อตัวเหนี่ยวนำ (L) เพื่อป้องกันการกระชากของกระแสในขณะที่เกิดกระแสกระชากขึ้น ทั้งนี้เพราะตัวเหนี่ยวนำจะทำหน้าที่ต่อต้านการเปลี่ยนแปลงของกระแส ทำให้อุปกรณ์ที่ใช้ในการสวิทช์ซิ่ง เช่น ทรานซิสเตอร์หรือ IGBT สามารถทำงานอยู่ในพื้นที่ที่ปลอดภัย SOA ได้ ซึ่งสูตรในการค่าตัวเหนี่ยวนำ $L_{d,min}$ ได้ดังนี้

$$L_{d,min} = \frac{0.013 V_{LL}}{\omega I_d} \quad \text{..... (4.2)}$$

เมื่อ V_{LL} = แรงดัน Line to Line

ω = ความถี่ขณะปฏิบัติงาน

I_d = กระแสตรงในส่วนของดีซีลิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้จะมีการต่อตัวเหนี่ยวนำ L_d แล้ว ASD ยังมีอุปกรณ์เสริมคือ AC line choke ซึ่งจากมาตรฐานเยอรมัน VDE Standards กำหนดให้ L_s มีค่าต่ำสุด 5% ดังสมการ

$$\omega L_s I_a \geq 0.05 \frac{V_{LL}}{\sqrt{3}} \quad \text{..... (4.3)}$$

ซึ่งการต่อ AC line choke มีผลให้แรงดันตรงในส่วนดีซีลิงค์ (V_d) ลดลงดังสมการ

$$V_d = \frac{3\sqrt{2}V_{LL}}{\pi}\cos\alpha - \frac{3\omega L_s I_d}{\pi} \quad \text{..... (4.4)}$$

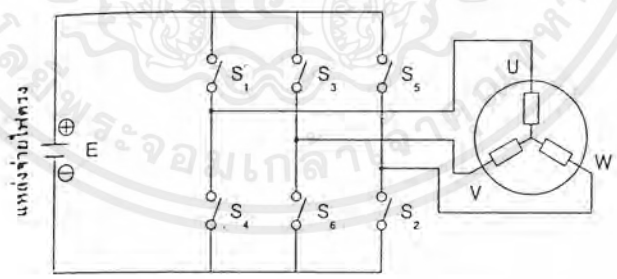
เมื่อ I_a = กระแสเข้าวงจรคอนเวอร์เตอร์

α = มุมทริก

L_s = AC line choke

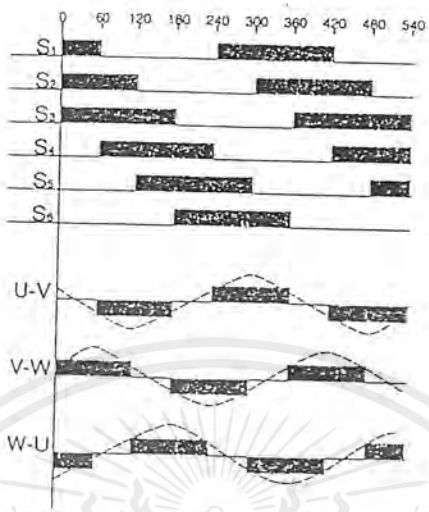
4.1.3 วงจรอินเวอร์เตอร์

ในขณะที่ส่วนของวงจรคอนเวอร์เตอร์ทำหน้าที่แปลงไฟกระแสสลับเป็นไฟกระแสตรง เพื่อป้องให้ส่วนของวงจรอินเวอร์เตอร์ซึ่งมีหน้าที่แปลงไฟตรงให้เป็นไฟกระแสสลับที่มีความถี่และแรงดันต่างๆ ดังรูปที่ 4.6 โดยการปิด-เปิดสวิทช์ S_1- S_6 ตามจังหวะที่แสดงดังรูปที่ 4.7 ก็จะมีกระแสไหลผ่านขั้ว U-V , V-W และ W-U ของมอเตอร์ ตามรูป 4.7 โดยถ้าต้องการเปลี่ยนความถี่ของไฟกระแสสลับ ก็ทำโดยการเปลี่ยนเวลาการปิด-เปิดสวิทช์ S_1-S_6



รูปที่ 4.6 รูปวงจรอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



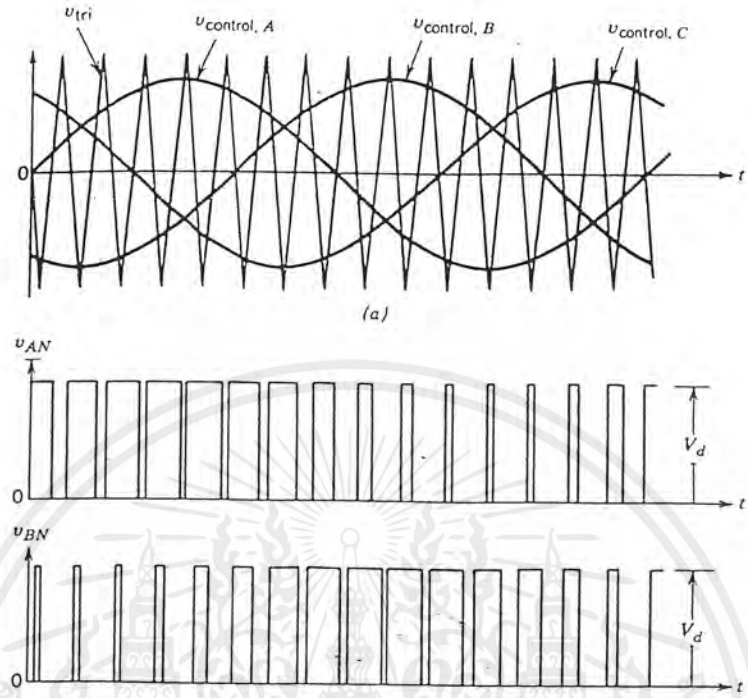
รูปที่ 4.7 การทำงานของสวิตช์และไฟกระแสสลับที่ไหลเข้าขั้วมอเตอร์

4.1.4 วงจรควบคุม

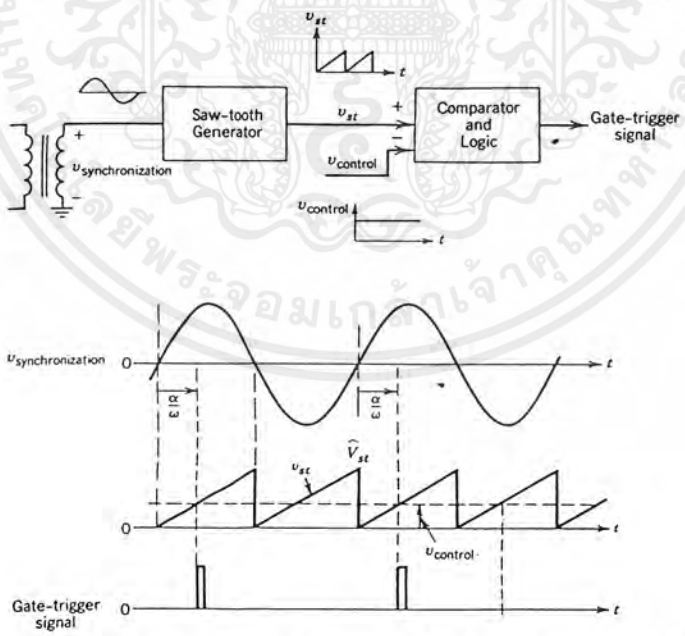
การควบคุมความเร็วของมอเตอร์เหนี่ยวนำจะทำโดยการปรับเปลี่ยนความถี่ให้แก่มอเตอร์ โดยสามารถควบคุมความถี่จากการเปลี่ยนมุมสวิตช์ชิ่งของอุปกรณ์ที่ใช้ในการสวิตช์ชิ่ง เช่น ทรานซิสเตอร์หรือ IGBT ในวงจรอินเวอร์เตอร์ซึ่งจะอาศัยหลักการม็อทดูเลท (Modulate) ในการสร้างสัญญาณอะแด็ปทีพีดับบลิวเอ็ม (PWM) สามารถสร้างโดยการสร้างสัญญาณซายน์และสัญญาณสามเหลี่ยม แล้วนำสัญญาณทั้งสองมารวมกันเพื่อให้เกิดสัญญาณสามเหลี่ยมขี่บนสัญญาณซายน์ จากนั้นจะนำสัญญาณที่รวมกันแล้วนี้มาเปรียบเทียบสัญญาณป้อนกลับที่ได้จากการอินทิเกรทสัญญาณเอาท์พุท เพื่อทำให้เกิดสัญญาณพีดับบลิวเอ็มหลังจากที่ได้สัญญาณพีดับบลิวเอ็มแล้ว จึงนำสัญญาณนี้ไปเป็นสัญญาณอินพุทให้แก่ทรานซิสเตอร์หรือ IGBT ต่อไป

นอกจากนั้นแล้ววงจรควบคุมอาจจะยังส่งสัญญาณมุมทริกให้กับคอนเวอร์เตอร์ที่สามารถควบคุมได้ ซึ่งใช้ไทริสเตอร์แทนไดโอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 การสร้างสัญญาณพีดับบลิวเอ็ม



รูปที่ 4.9 การสร้างสัญญาณทริกของคอนเวอร์เตอร์แบบควบคุมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ชนิดของ ASD

โดยทั่วไประบบของ ASD สามารถจำแนกออกตามชนิดของอินเวอร์เตอร์ได้เป็น 2 ประเภทคือ

1. อินเวอร์เตอร์แบบจ่ายแรงดัน (Voltage-Source Inverter : VSI)
2. อินเวอร์เตอรแบบจ่ายกระแส (Current-Source Inverter : CSI)

ซึ่งอินเวอร์เตอร์ทั้งสองแบบนี้จะให้คุณสมบัติ และลักษณะของรูปคลื่นของแรงดันและกระแสที่แตกต่างกัน เหมาะสมกับการใช้งานที่แตกต่างกันออกไปด้วย

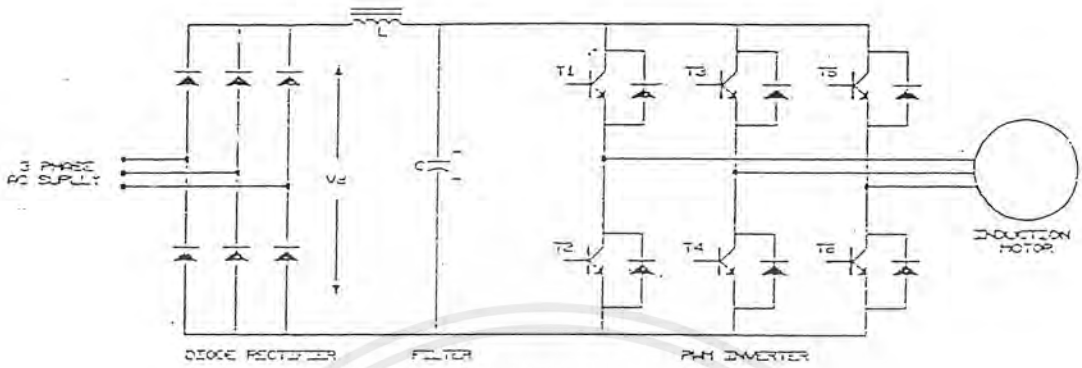
4.2.1 อินเวอร์เตอร์แบบจ่ายแรงดัน (Voltage-Source Inverter : VSI)

โครงสร้างแรงดันดีซีลิงค์มีขนาดตัวเก็บประจุที่มีค่ามาก อาจกล่าวได้ว่าแรงดันอินพุทของอินเวอร์เตอร์มีค่าคงที่ ทำให้แรงดันเอาท์พุทของอินเวอร์เตอร์คงที่ไม่ขึ้นอยู่กับภาระทางไฟฟ้า และโดยทั้งไปแบ่งออกเป็น 2 ชนิดด้วยกันคือ 6-Step อินเวอร์เตอร์ (6-Step Inverter) และ พีดับบลิวเอ็ม อินเวอร์เตอร์ (PWM Inverter) ข้อดีของโวลท์เตจซอร์สอินเวอร์เตอร์ (Voltage-Source Inverter) สามารถควบคุมแรงดันและความถี่ได้ง่าย ปรับความถี่ได้ในย่านกว้าง ส่วนข้อเสียมักมีปัญหาในเรื่องการลัดวงจรของอุปกรณ์สวิทช์ซึ่งในกิ่งเดียวกันของอินเวอร์เตอร์ ในการปฏิบัติใช้วงจรล็อกเอาท์ที่มีการสร้างเดดไทม์ (Dead Time) เป็นส่วนช่วยในการป้องกัน

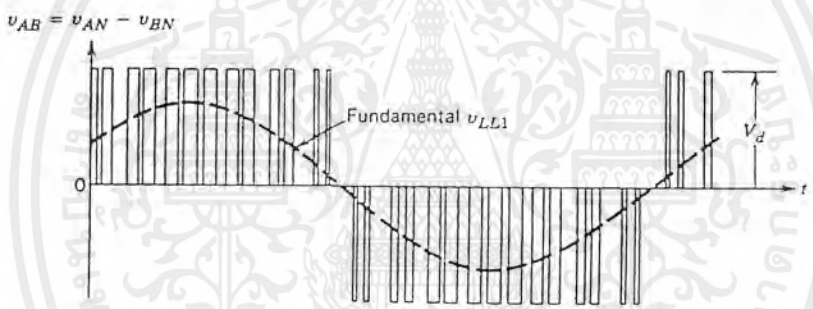
แต่ในที่นี่จะขอกล่าวถึงเพียงชนิดพีดับบลิวเอ็มอินเวอร์เตอร์เท่านั้น ทั้งนี้เพราะในการศึกษาครั้งนี้สร้างอินเวอร์เตอร์ที่อยู่บนพื้นฐานของพีดับบลิวเอ็มซึ่งส่วนมากจะเป็นที่นิยมใช้พีดับบลิว-เอ็มอินเวอร์เตอร์

โครงสร้างของพีดับบลิวเอ็มอินเวอร์เตอร์ซึ่งแสดงในรูปที่ 4.10 ในส่วนของแรงดันตรงที่ดีซีลิงค์ (V_{DC}) สามารถใช้เรคติฟายเออร์ที่เป็นไดโอดทำให้แรงดันตรงที่ดีซีลิงค์ มีค่าคงที่ซึ่งไม่อาจสามารถควบคุมแรงดันตรงที่ดีซีลิงค์ได้ และลดขนาดของวงจรกรองความถี่ให้เล็กลง ดังนั้นความถี่และแรงดันเอาท์พุทของแรงดันมูลฐานสามารถควบคุมโดยใช้เทคนิคของพีดับบลิวเอ็มจะอยู่ในส่วนของวงจรอินเวอร์เตอร์ ซึ่งได้กล่าวถึงการสร้างสัญญาณพีดับบลิวเอ็มไปแล้วในวงจรควบคุม ส่วนข้อดีของเทคนิคพีดับบลิวเอ็มนี้จะให้แรงดันเอาท์พุทที่มีองค์ประกอบฮาร์โมนิคอันดับต่ำน้อยลง ใช้งานได้ดีในย่านความถี่ต่ำ ทำให้ทอร์ค (Toque) เริ่มต้นสูงและลดปัญหาการกระเพื่อมของทอร์ค แต่จำนวนครั้งของการสวิทช์ซิ่งสูงขึ้น ดังนั้นจึงมีปัญญาของการสูญเสียของการสวิทช์ซิ่ง และอาจเกิดการกระโดดของความถี่ในการสวิทช์ซิ่งได้ เมื่อมีการเปลี่ยนแปลงความถี่เอาท์พุทของอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 วงจรกำลังของพีดับบลิวเอ็มอินเวอร์เตอร์



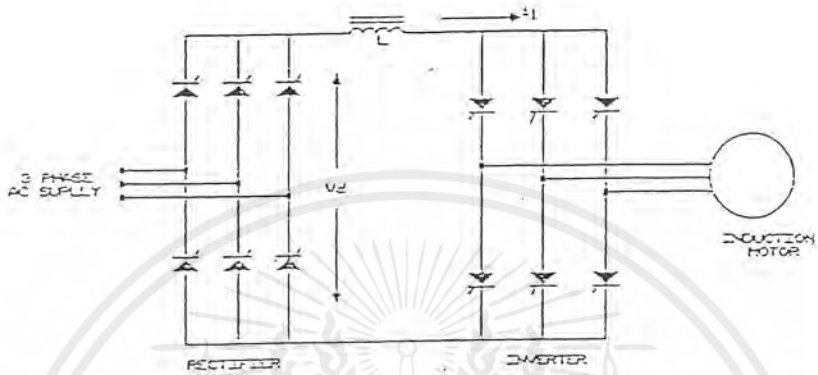
รูปที่ 4.11 รูปคลื่นสัญญาณของพีดับบลิวเอ็มอินเวอร์เตอร์

4.2.2 อินเวอร์เตอร์แบบแหล่งจ่ายกระแส (Current-Source Inverter)

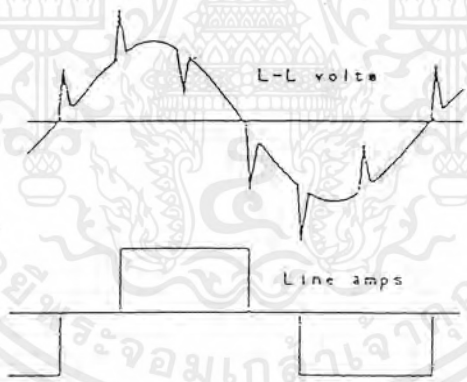
วงจรกำลังของอินเวอร์เตอร์แบบแหล่งจ่ายกระแสแสดงดังรูปที่ 4.12 จะประกอบไปด้วยไทรริสเตอร์เร็กติฟายเออร์ซึ่งเป็นแบบที่ควบคุมได้โดยการควบคุมเฟสของเอซีไลน์ (AC line) และยังมีตัวเหนี่ยวนำขนาดใหญ่ต่ออนุกรมอยู่ แต่ไม่มีตัวเก็บประจุต่อขนานอยู่ด้วยเพื่อสร้างแหล่งจ่ายกระแสให้กับวงจรอินเวอร์เตอร์ ซึ่งเป็นข้อแตกต่างทางโครงสร้างระหว่างอินเวอร์เตอร์แบบจ่ายแรงดันกับอินเวอร์เตอร์แบบแหล่งจ่ายกระแส และในส่วนวงจรอินเวอร์เตอร์จะมีไทริสเตอร์เพื่อทำหน้าที่ควบคุมกระแสที่สามารถเปลี่ยนความถี่ได้เพื่อจ่ายให้กับมอเตอร์ รูปคลื่นกระแสที่จ่ายออกทางเอาท์พุท จะขึ้นอยู่กับสัญญาณที่ใช้ในการสวิทช์ซิ่ง ซึ่งอาจจะเป็น 6-Step หรือเป็นแบบพีดับบลิวเอ็มก็ได้ แต่ลักษณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของแรงดันเอาท์พุทจะมีรูปร่างใกล้รูปคลื่นซายน์ ซึ่งจะตรงข้ามกับอินเวอร์เตอร์แบบจ่ายแรงดัน นอกจากนี้ แรงดันทางด้านเอาท์พุทยังเกิดสไปค์ เนื่องจากการคอมมิวเตจ ดังรูปที่ 4.13



รูปที่ 4.12 วงจรกำลังของอินเวอร์เตอร์แบบแหล่งจ่ายกระแส

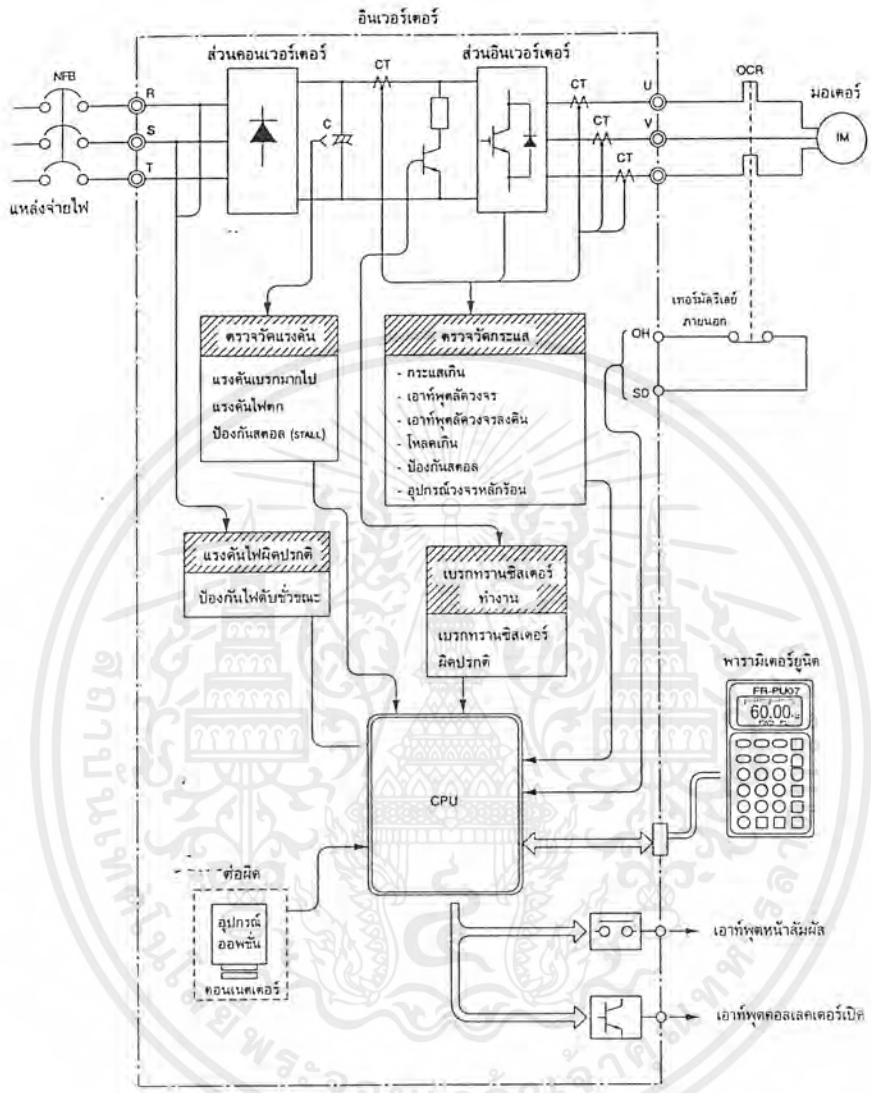


รูปที่ 4.13 รูปคลื่นของอินเวอร์เตอร์แบบแหล่งจ่ายกระแส

4.3 การป้องกันอินเวอร์เตอร์

ในอินเวอร์เตอร์มีฟังก์ชั่นการป้องกันอยู่หลายชนิด แบ่งตามจุดมุ่งหมายการป้องกันตัวอินเวอร์เตอร์เอง กับการป้องกันมอเตอร์นอกจากนั้นยังมีการแจ้งเตือนภัย ถึงสภาพที่ไม่เป็นผลดีต่อการเดินเครื่องอีก ซึ่งในที่นี้จะขอพูดถึงการป้องกันอินเวอร์เตอร์เท่านั้นโดยทั่วๆ ไปมีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 วงจรที่เกี่ยวกับการป้องกัน

- ตัดเนื่องจากกระแสเกิน
- ตัดเนื่องจากแรงดันเบรกสูงเกินไป
- เอาท์พุทลัดวงจร
- เอาท์พุทลัดวงจรลงดิน
- ไฟดับชั่วขณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- แรงดันไฟตก
- อุปกรณ์ในวงจรหลักร้อนมาก
- เบรกทรานซิสเตอร์ผิดปกติ
- โหลดเกิน

4.4 การกำเนิดคลื่นฮาร์โมนิค

แหล่งกำเนิดคลื่นฮาร์โมนิค มักจะเป็นวงจรเร็คติไฟเออร์ และอุปกรณ์ที่มีการปรับกำลังไฟฟ้าอื่นๆ สำหรับ ASD ส่วนคอนเวอร์เตอร์จะมีวงจรเร็คติไฟเออร์อยู่ภายใน จึงเป็นแหล่งกำเนิดฮาร์โมนิคที่สำคัญของ ASD

อันดับของคลื่นฮาร์โมนิคที่ผลิตจากวงจร สามารถคำนวณได้จากสูตร

$$n = PK \pm 1 \quad \text{.....(4.5)}$$

โดยที่ P = จำนวนพัลส์

K = 1,2,3,...

ในวงจรเร็คติไฟเออร์แบบบริดส์ 3 เฟสที่ใช้ในส่วนคอนเวอร์เตอร์นั้น จะกำเนิดคลื่นฮาร์โมนิคอันดับ 5,7,11,13,... ขนาดของฮาร์โมนิคอันดับต่างๆ จะมีขนาด 1/n ดังนั้นขนาดจึงลดลงเรื่อย ๆ เมื่ออันดับของคลื่นฮาร์โมนิคเพิ่มขึ้น ส่วนอินเวอร์เตอร์ที่ใช้วงจรเร็คติไฟเออร์แบบบริดส์เฟสเดียวจะกำเนิดคลื่นฮาร์โมนิคที่มีอันดับ 4K±1(K=3,5,7,9...)

4.5 การปรับปรุงเพาเวอร์แฟคเตอร์และกระแสขาเข้าของ ASD

เพาเวอร์แฟคเตอร์สามารถหาได้จากอัตราส่วนระหว่าง กำลังไฟเสมือกับกำลังไฟฟ้าจริง

$$\text{เพาเวอร์แฟคเตอร์} = \frac{P_{IN}}{\sqrt{3}VI} \quad \text{..... (4.6)}$$

จะเห็นได้ว่าเพาแฟคเตอร์จะแปรผกผันกันกระแสขาเข้าของอินเวอร์เตอร์ นั้นคือถ้ารีแอคแทนซ์ของแหล่งจ่ายไฟมีค่าสูงก็จะทำให้กระแสมีค่าลดลง และมีผลทำให้ค่าเพาเวอร์แฟคเตอร์มีค่าเพิ่มขึ้น ซึ่งเป็นการปรับปรุงเพาเวอร์แฟคเตอร์ให้ดีขึ้น ในทางกลับกันถ้าใช้แหล่งจ่ายไฟที่เป็นหม้อแปลงขนาดใหญ่ จะทำให้มีค่ารีแอคแทนซ์ของแหล่งจ่ายไฟต่ำ กระแสก็จะสูงและมีผลทำให้ค่าเพาแฟคเตอร์มีค่าต่ำไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การปรับปรุงเพาเวอร์แฟคเตอร์ของอินเวอร์เตอร์ จะนิยมใช้การต่อรีแอคเตอร์ภายนอกเพื่อเพิ่มค่ารีแอคแทนซ์ของแหล่งจ่ายไฟ มีทั้งการต่อรีแอคเตอร์ชนิด DC เข้ากับภาควงจรไฟตรงของอินเวอร์-เตอร์ ซึ่งสามารถปรับปรุงเพาเวอร์ให้ดีได้ถึง 95% และมีการต่อรีแอคเตอร์ชนิด AC ทางด้านขาเข้าของอินเวอร์เตอร์ก็สามารถปรับปรุงเพาเวอร์แฟคเตอร์ได้ถึง 90%

จากที่ได้กล่าวมานี้จะเห็นว่าเพาเวอร์แฟคเตอร์ของอินเวอร์เตอร์จะขึ้นอยู่กับรีแอคแทนซ์ของแหล่งจ่ายไฟทั่วไป มีค่าแปรในช่วงกว้างระหว่าง 0.6 - 0.9 เมื่อเปรียบเทียบการขับมอเตอร์ด้วยแหล่งจ่ายไฟโดยตรง เพาเวอร์แฟคเตอร์มีค่าระหว่าง 0.75 - 0.85 นอกจากนั้นกระแสและกำลังไฟจะไม่แปรตามกันเหมือนกับกรณีขับมอเตอร์ด้วยแหล่งจ่ายไฟด้วย บางครั้งกระแสขาเข้าของอินเวอร์เตอร์อาจน้อยกว่ากระแสที่จ่ายเข้ามอเตอร์ก็มี

ข้อดีของการติดตั้งรีแอคเตอร์เพื่อปรับปรุงเพาว์เวอร์แฟคเตอร์ นอกจากการลดค่ากระแสขาเข้าแล้วยังมี

1. สามารถเลือกอุปกรณ์ต่างๆ ทางด้านขาเข้าของอินเวอร์เตอร์ให้มีขนาดเล็กลงได้
2. องค์ประกอบฮาร์โมนิคของกระแสมีค่าลดลง
3. สามารถป้องกันอินเวอร์เตอร์จากแรงดันเซิร์จ (Surge Voltage) ที่เข้ามาทางแหล่งจ่ายไฟได้
4. ลดขนาดกระแสอินรัชของส่วนคอนเวอร์เตอร์ เมื่อเปิดสวิทช์อินเวอร์เตอร์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ATPDraw & EMTP

5.1 อะไรคือ ATPDraw ?

ATPDraw เป็นโปรแกรมกราฟฟิคสำหรับใช้งานบน Windows เป็นตัวปฏิบัติการซึ่งแสดงโดยเส้นที่ใช้ Mouse ลากใน ATP ซึ่งเป็นเวอร์ชั่นหนึ่งของ Electromagnetic Transients Program (EMTP) ATPDraw จะช่วยในการออกแบบและแก้ไขแบบจำลองระบบเครือข่างทางไฟฟ้า เพื่อใช้ในการ Simulate ในโปรแกรมนี้ผู้ใช้สามารถสร้างวงจรไฟฟ้า โดยกำหนดส่วนประกอบต่างๆจาก Extensive Palette แล้วสร้างไฟล์อินพุทของ ATP ที่มีความสัมพันธ์กันในรูปแบบที่เหมาะสม การเรียกชื่อ Node ของวงจรจะถูกจัดการโดย ATPDraw และผู้ใช้จำเป็นต้องตั้งชื่อเพื่อที่จะ Key node ATPDraw มีส่วนประกอบหลัก 70 ชิ้น และ 28 TAC ทำให้การใช้ MODELS ง่ายขึ้น นอกจากนั้นผู้ใช้สามารถสร้างวงจรขึ้นเองโดยใช้ Data Base Module และ $Include Option ของ ATP ทั้งแบบ Single Phase และ 3-phase นอกจากนี้ยังสามารถทำหน้าต่างวงจรอเนกประสงค์ หลายๆ วงจรพร้อมกันและสามารถ copy ข้อมูลระหว่างวงจรได้อีกด้วย ประเภทคำสั่งที่ใช้แก้ไข เช่น copy/paste rotate , import/export , group/ungroup , undo และ print คำสั่งอื่นๆที่ใช้ใน ATPDraw คือ built-in editor สำหรับการแก้ไข ไฟล์ของ ATP, Windows Clipboard สำหรับ bitmap/metafile , รูปแบบเอาท์พุทของ Windows Metafile/Bitmap file หรือ Postscript file

ATPDraw เป็นโปรแกรมที่เป็นประโยชน์สำหรับผู้ใช้ใหม่ และเป็นอุปกรณ์ที่ดีสำหรับใช้ในการศึกษา ระบบไฟฟ้า อย่างไรก็ตามหวังว่าผู้ที่มีประสบการณ์ในการใช้ ATP จะได้รับประโยชน์ สำหรับการค้นหาข้อมูลเกี่ยวกับวงจร และแลกเปลี่ยนข้อมูลกับผู้ใช้คนอื่น ความเป็นไปได้ในการสร้าง Library และ Sup-Circuit ของ วงจรทำให้ ATPDraw เป็นเครื่องมือที่มีความสามารถในการวิเคราห์ระบบไฟฟ้ากำลัง ชุดโปรแกรม ATPDraw ได้รวมโปรแกรม ATP_LCC ซึ่งใช้สำหรับหาค่าคงที่ของ Line/Cable และประโยชน์ ของมันทำให้สามารถใช้ไฟล์วงจรที่สร้างโดยเวอร์ชั่นก่อนๆ (DOS/GIGS) ภายใต้สิ่งแวดล้อมใหม่ๆ ได้

ATP (Alternative Transient Program) เป็นหนึ่งในซอฟท์แวร์ที่ใช้กันอย่างแพร่หลาย สำหรับ Digital Simulate ของ Transient Phenomena ของ Electromagnetic เหมือนกับ Electromagnetic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Nature ในระบบไฟฟ้ากำลัง มันถูกพัฒนาอย่างต่อเนื่องมามากกว่า 20 ปี โดยความร่วมมือของ Canadian/Amercan EMTP Users Group โดย Drs. W. Scott Meyer และ Tsu-huei Liu

โปรแกรม ATP จะคำนวณตัวแปรที่น่าสนใจในระบบไฟฟ้ากำลังให้อยู่ในรูปฟังก์ชั่นของเวลา ปกติจะเริ่มต้นโดยสัญญาณรบกวนบางอย่างในเบื้องต้น Trapezoidal Rule ของการ Integration ถูกนำมาใช้ในการแก้สมการ Differential ของส่วนประกอบของระบบใน Time Domain นั้นๆ ภาวะ Non-Zero สามารถกำหนดได้โดยอัตโนมัติทั้ง Steady State , Phasor Solution หรือสามารถป้อนข้อมูลโดยผู้ใช้สำหรับบางส่วนประกอบ ATP เป็นประโยชน์สำหรับ intel ที่มีพื้นฐานเป็น PC ภายใต้ DOS เกือบทั้งหมด, Windows3.x/95/NT , OS/2, LINUX และสำหรับคอมพิวเตอร์อื่นๆ ด้วย เช่น Digital Unix และ VMS, Apple Mac's เป็นต้น โปรแกรมนี้ให้ใช้ฟรีไม่คิดค่าธรรมเนียม แต่ต้องมีใบอนุญาตที่ได้รับการลงชื่อ โดยผู้ขอและ Canadian/American EMTP Users Group หรือผู้มีอำนาจเป็นตัวแทนของผู้ใช้ในเขตนั้น

5.2 ประวัติการพัฒนา ATPDraw

Graphical Processor รุ่นแรกได้พัฒนาขึ้นที่ Norwegin Institute of Technology ในปี 1991 โปรแกรมนี้มีจุดมุ่งหมายเพื่อใช้ในการศึกษา 2 รุ่นของ ATPDraw ถูกนำมาสาธิตที่ European EMTP Users Group ไม่ผ่านมติที่ประชุมใน Leuven ,Belgium ในปี 1991 และ 1992 Bonneville Power Administration (BPA) , USA ได้ติดต่อนักพัฒนาโปรแกรม เพื่อพัฒนาโปรแกรมนี้ต่อไป ขั้นแรกของโครงการเสร็จสมบูรณ์ในเดือนพฤษภาคมปี 1994 และ ATPDraw ถูกทำให้มีประโยชน์ทาง Internet ร่วมกับคู่มือ ขั้นที่สองของโครงการเสร็จสมบูรณ์ในเดือนธันวาคมปี 1995 ข้อจำกัดที่สำคัญบางอย่างของรุ่นก่อน ได้พัฒนาให้สามารถใช้งานได้กับ DOS Protected Mode Interface และสามารถใช้งานใน Windows,DOS ซึ่งจะดีเหมือนกับทำงานบนเครือข่าย ที่ติดต่อกับ PCs และความเร็วของโปรแกรมจะเพิ่มขึ้นด้วย โปรแกรมที่ออกใหม่ล่าสุดที่เขียนใน Broland Delphi มีประโยชน์สำหรับระบบการทำงานของ Windows ที่ใช้กันอย่างแพร่หลาย รุ่น 32-bit สำหรับ Windows 95/NT และ รุ่น 16 bit สำหรับ Window 3.x

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 ส่วนประกอบที่หาได้ใน ATPDraw

ATPDraw Support เป็นอุปกรณ์ที่ได้นำมาใช้เป็นส่วนประกอบใน ATP เป็นประจำมี รายการของส่วนประกอบที่ให้มานี้เป็นส่วนที่ยกตัวอย่างมาแต่ไม่ทั้งหมด

Standard Component

Linear branches:

Resistor, Inductor, Capacitor, RLC

RLC 3-phase, symmetric, and non symmetric

Non-linear branches:

Current dependent resistor, type 99

Current dependent inductor, type 98 and 93

Time dependent resistor, type 97

Current dependent, exponential resistor, type 92

TACS controlled resistor

Line models:

RLC pi-equivalent 1, 2 and 3-phase

RL coupled 2, 3 and 6-phase

RL symmetric, sequence input 1, 2, 3, 6 and 9-phase

Switches:

Time controlled 1 and 3-phase

Voltage controlled

Diode, type 11

Valve, type 11

TACS switch, type 13

Measuring

Double TACS switch, type 12

Statistic, independent

Systematic, independent

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sources:

DC, type 11

Ramp, type 12

Two-slope ramp, type 13

AC 1 and 3-phase, type 14

Double-exponential source, type 15

Heidler source, type 15

TACS source, type 60

Underground DC source, type 11+18

Underground AC source, type 14+18

Machines:

Synchronous machine type 59 with maximum 8 TACS control variable

Universal machine, Manual and automatic initialization

Induction machine Type 3

DC machine Type 8

Synchronous machine Type 1

Transformer:

Single phase ideal Type 18 source

Single phase with saturation

Saturable transformer, 3-phase Coupling: D/D, Y/Y, D/Y, Y/D, Y/Y/D Saturation

calculation from RMS values included

Transformer three phase, 3-leg type Coupling Y/Y preprocessing of standard measurement data

TACS

ทำหน้าที่ในการย้าย G(s) มี หรือ ไม่มีการจำกัด

Source DC, AC, PULSE, RAMP,EMTP node voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FORTRAN statement 1-phase Single line statement

Devices Type 50-54 and 58-66 initial condition

User specified object

ผู้ใช้สามารถสร้าง Object ใหม่ได้ใน ATPDraw แล้ว Object เหล่านี้จะถูกเขียนในไฟล์ของ ATP โดยการใช้ Data Base Modularization

Overhead line (PCH) object

ค่าคงที่ของ Line/Cable จะถูก format อย่างอัตโนมัติ

1-9-phase distributed, constant parameter transmission line

1-9-phase equivalent PI-circuit

1-9-phase frequency dependent Jmarti line model

MODELS

ใช้ MODELS สามารถใช้ได้ใน ATPDraw ผู้ใช้สามารถเพิ่ม MODELS ของตัวเองเข้าไปในโปรแกรมได้

5.4 ชนิดของไฟล์ใน ATPDraw

Circuit file : เป็นไฟล์ที่ ATPDraw เก็บเป็นคำแนะนำเกี่ยวกับการสร้างวงจร ATPDraw สามารถเรียกไฟล์วงจรขึ้นมาและแสดงภาพกราฟฟิกบนจอได้ ไฟล์วงจรเป็น Bimary File ใน Windows ซึ่งไม่สามารถแก้ไขได้โดย Text-Processor Default ของส่วนขยายของไฟล์วงจร คือ .CIR ไฟล์เหล่านี้ถูกเก็บไว้ใน ไดเร็คทอรีย่อย \CIR แต่ยังไม่สมบูรณ์ที่จะให้ผู้ใช้เลือกใช้ได้

ATP file : เป็นไฟล์ที่สร้างขึ้นโดย ATPDraw และสามารถใช้สำหรับการจำลองที่เป็นลำดับขั้นตอน เป็นอินพุทให้กับ ATP ไฟล์ .ATP จะอยู่ในไดเร็คทอรีย่อน \ATP และสามารถแก้ไข ได้ด้วย Text Edit ในเมนู Tools แต่ขอแนะนำให้ผู้มีประสบการณ์เท่านั้นที่ใช้ไฟล์นี้

Include file : เป็นไฟล์ที่สร้างโดย ATP ภายหลังจากกระบวนการ Data Base Module file ไฟล์มักจะได้ชื่อเป็น .LIB และเก็บไว้ในไดเร็คทอรีย่อย \USP .DBM punch file สามารถรวมอยู่ในไฟล์ของ ATP ร่วมกับ $Include และถูกใช้โดยผู้ใช้ที่กำหนดออบเจ็คใน ATPDraw

Support file : อุปกรณ์ทุกชนิดของ ATPDraw จะมีไฟล์สำรองอยู่ ไฟล์ไบนารีนี้จะกำหนดข้อมูลและ โนดสำหรับอุปกรณ์ด้วย Icon และ Help ไฟล์สำรองสามารถแก้ไขภายใน ATPDraw โดยเมนู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Object\Edit รูปภาพที่เป็นตัวแทนของอุปกรณ์บนจอสามารถแก้ไขได้โดย Built-in ของ ATPDraw อุปกรณ์ใหม่สามารถสร้างโดยการระบุไฟล์สำรองใหม่ ไฟล์สำรองจะมีชื่อเป็น .SUP Path ทั้งหมดจะถูกรวบรวมอยู่ในโครงสร้างข้อมูล ดังนั้นผู้ใช้สามารถเก็บไฟล์ได้ทุกๆที่ที่ต้องการ ภายหลังการติดตั้งไฟล์สำรองของส่วนประกอบมาตรฐาน จะถูกจัดเก็บในไดเร็คทอรี \SUP ผู้ใช้จะระบุ ออบเจ็คใน ไดเร็คทอรี \USP, TACS object ใน \TACS และ MODELS ในไดเร็คทอรี \MOD

Model file : อุปกรณ์ของ MODELS ทั้งหมด จะมีไฟล์ของโมเดล ซึ่งก็คือ Text file บรรจุลักษณะที่แท้จริงของ MODELS ไฟล์นี้จะถูกรวบรวมอยู่ในไฟล์ .ATP ซึ่งปราศจากการปรับเปลี่ยนโดย ATPDraw ไฟล์โมเดลจำเป็นต้องมีชื่อเป็น .MOD และถูกจัดเก็บไว้ในไดเร็คทอรีย่อย \MOD

5.5 การปฏิบัติการบน Windows

ATPDraw สำหรับ Windows จะมีหน้าที่คล้ายกับ DOS version Component selection menu จะถูกซ้อนไว้ อย่างไรก็ตามมันจะปรากฏทันทีถ้ามีการคลิกที่ด้านขวาของ mouse ในพื้นที่ว่างของ circuit window ดังรูป 5.1 แสดง main window ของ ATPDraw ซึ่งประกอบด้วย 2 circuit window ที่เปิดอยู่ ATPDraw สามารถรองรับหลายๆ เอกสารและสามารถให้ผู้ใช้ทำงานในหลายๆ วงจรได้โดยการคัดลอกข้อมูลระหว่างวงจรได้โดยสะดวก ขนาดของหน้าต่างวงจรจะมีขนาดมากกว่า actual screen ซึ่งชี้ให้เห็นโดยการใช้ scroll bar ของแต่ละ circuit window Main window ประกอบด้วยส่วนต่างๆ ดังต่อไปนี้

Header+Fram:

ส่วนประกอบของ Standard windows จะประกอบด้วย System menu ทางด้านซ้าย header text และปุ่ม minimize, maximize, edit จะอยู่ทางด้านขวาและสามารถขยาย main window ได้

System menu: ประกอบด้วยการทำงานของ window: Close, Resize, Restore, Move, Minimize, Maxzimize หรือ Resize, และ Next ถ้าเปิดหน้าต่างวงจรหลายๆ อัน system menu ของหน้าต่างสุดท้ายเท่านั้นที่ใช้งานได้

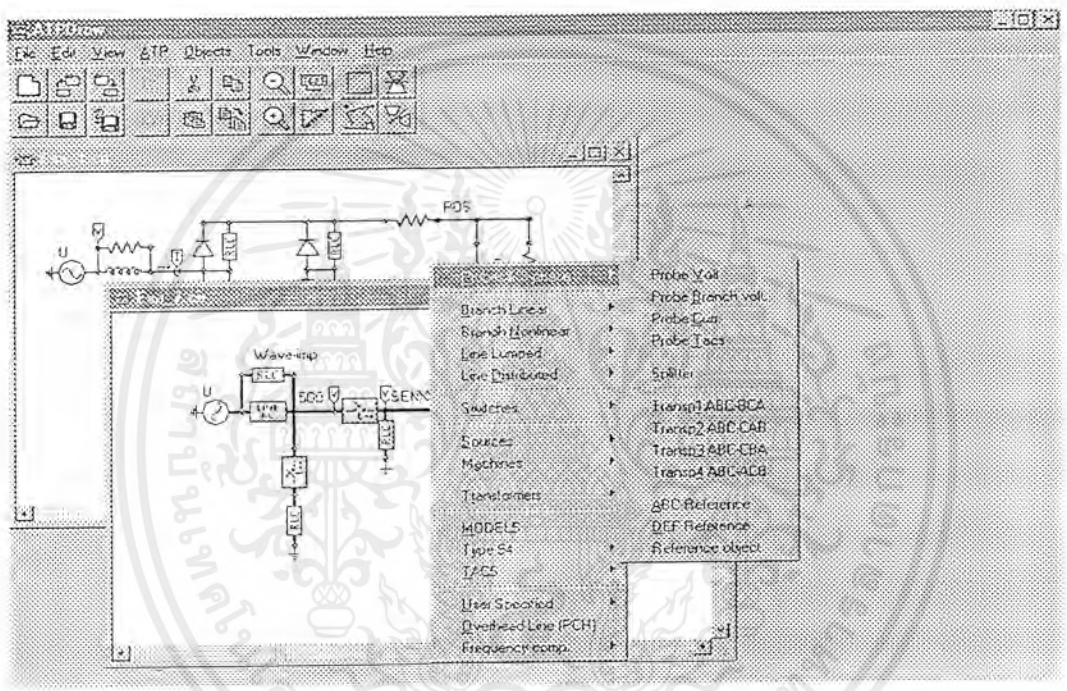
Header text: เป็นชื่อโปรแกรมในกรณีของ main window และเป็นชื่อไฟล์ของ current Circuit ในกรณีของ circuit window การเคลื่อนย้ายหน้าต่างทำได้โดยการคลิกที่ header text ค้างไว้แล้วลากไปยังตำแหน่งที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Minimize button: เมื่อคลิกปุ่มนี้จะสามารถ iconize main window

Maximize button: เมื่อคลิกปุ่มนี้จะสามารถขยายขนาด window ปุ่ม maximize อาจใช้แทนโดยปุ่ม resize ได้ ถ้ามีการคลิกปุ่มนี้มากกว่าหนึ่งครั้งจะทำให้ window กลับไปสู่ขนาดเดิม

Corners: การคลิกบน corner และค้างไว้แล้วลากเป็นการขยายขนาดของ window



รูปที่ 5.1 หน้าต่างหลักของ ATPDraw

Main menu:

จะทำให้สามารถใช้งานทั้งหมดของ ATPDraw ได้ หัวข้อของเมนูมีดังนี้

File: Load และ Save circuit file, เริ่มต้นใหม่, import/export circuit file, สร้าง

Postscript และ metafile/bitmap file, พิมพ์ current circuit, และexit

Edit: คัดลอก, วาง, ลบ, ทำซ้ำ, filp, rotate, เลือก, move lable, คัดลอก graphicsไปยัง clipboard และ undo/redo

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

View: Tool bar, status bar และ comment line เปิด, ปิด, zoom, refresh, และ view options

ATP: สร้างชื่อ node, ทำไฟล์ ATP, แก้ไขไฟล์ ATP, การติดตั้ง ATP file, running Batch jobs

Object: แก้ไข support file สร้างไฟล์ใหม่สำหรับ model และ User specified Objects

Tools: Icon edit, help file edit, text editer, setting ของหลายๆ โปรแกรม

Windows: การจัดของ window circuit, map window

Help: เกี่ยวกับ box และระบบการช่วยเหลือไฟล์ใน window

Circuit window:

วงจรจะถูกสร้างขึ้นใน window นี้ circuit window เป็นที่บรรจุส่วนประกอบต่างๆ ของวงจร จากไฟล์เมนูจะสามารถ load ส่วนต่างๆ ของวงจรจาก disk หรือจาก window เพื่อจะสร้างวงจรใหม่ Circuit Object รวมถึงส่วนประกอบมาตรฐานของ ATP, User Specific element, MODEL และ TACS การเชื่อมต่อและความสัมพันธ์กันในการเคลื่อนย้ายรอบๆ วงจร สามารถใช้ scollbar หรือลาก แท่งสี่เหลี่ยมของ Map window ไปยังตำแหน่งอื่นๆ

Component selection menu:

เมนูนี้ถูกซ้อนไว้ในตอนแรกและจะขึ้นมาหลังจากคลิกด้านขวาของ mouse ในตำแหน่งที่ว่าง ของ circuit window ในเมนูนี้ทุกๆ circuit object สามารถถูกเลือกใช้ได้ภายหลังจากการเลือก object หนึ่งในทั้งหมด ของเมนูที่ขึ้นมา object ที่ถูกเลือกในหน้าต่างวงจรจะชัดเจนและสามารถเคลื่อนที่ได้

Circuit comments:

Comment line อยู่ทางด้านล่างของหน้าต่างวงจรแสดงข้อความเกี่ยวกับวงจร

Map window:

Window นี้จะให้ Bird's eye view ของวงจรที่ใช้ทำงานอยู่ วงจรจะมีขนาด 5000*5000 pixels ซึ่งใหญ่มากกว่าที่จะแสดงให้เห็นในจอปกติ เนื่องจาก circuit window จะแสดงเพียงส่วนเล็กๆ ของวงจรเท่านั้น ดังนั้น circuit window ที่แท้จริงจะถูกแสดงแทนที่โดยสี่เหลี่ยมใน Map window กด mouse ข้างซ้ายค้างไว้ในแผนที่สี่เหลี่ยมเพื่อที่จะเคลื่อนที่ไปรอบๆ ภายในแผนที่ เมื่อปล่อยมือจาก mouse circuit window จะแสดงส่วนของวงจรอย่างชัดเจนขนาดและตำแหน่งใหม่ของแท่งสี่เหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

map window จะอยู่ด้านบนของ window หมายความว่า มันจะแสดงอยู่ด้านบนของ window อื่น เสมอจะแสดงหรือหลบซ่อน map นี้โดยการ option ของ Map window ใน Window Menu หรือกดตัว M

Status bar-Action mode field:

รูปแบบการทำงานของ circuit window จะแสดงอยู่ในส่วนล่างของ main window เมื่อ option ของ status bar ถูกเลือกใช้ใน View Menu ATPDraw สามารถทำงานในหลายรูปแบบ รูปแบบปกติของการเริ่มใช้คือ Mode: Edit ซึ่ง option ใหม่ถูกเลือกและให้ข้อมูลกับ object การวาดเชื่อมต่อกันทำให้นำ ATPDraw ไปยัง mode CONN.END

รูปแบบการทำงานของ ATPDraw คือ

EDIT: รูปแบบปกติ

CONN.END: หลังจากการคลิกบน node Action mode จะกลับไปสู่ CONN.END แสดงให้เห็นว่าโปรแกรมกำลังรอให้คลิกบนปุ่มทางด้านซ้ายของ mouse เพื่อ set จุดจบของการติดต่อใหม่ เพื่อยกเลิกการติดต่อ คลิกด้านขวาของ mouse เพื่อกลับสู่ mode: edit MOVE

LABLE: แสดงให้เห็นถึงการเคลื่อนย้าย text lable คลิกปุ่มซ้ายของ mouse บน text Label ค้างไว้แล้วลากมันไปในตำแหน่งใหม่ถ้า text label ไปซ้อนทับกับ Icon จะสามารถเคลื่อนย้าย text label โดยใช้ move label ใน EDIT MENU เมื่อรูปแบบการทำงานกลับไปสู่ Move Label ก็ปล่อย mouse ที่ตำแหน่งใหม่ text label จะทำให้ action mode กลับไปยัง MODE:EDIT

INFO.START: การเริ่มต้นของความสัมพันธ์ เมื่อ TACS/Draw relation ถูกกระตุ้นใน Selection menu click mouse บนด้านซ้ายของ ส่วนประกอบของ node หรือจุดสุดท้ายของ relation อื่น จะเริ่มวาด relation ใหม่ Relation จะนำมาใช้ เพื่อให้เห็นข้อมูลที่ยัง FORTRAN และวาดการเชื่อมต่อเป็นสีน้ำเงิน แต่ไม่มีอิทธิพลต่อ component ของส่วนประกอบอื่น ในการยกเลิกคลิกด้านขวาหรือกด ESC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INFO.END: เป็นการจบความสัมพันธ์ โปรแกรมจะรอให้กด mouse ด้านซ้ายเพื่อที่จะ set End-point ของความสัมพันธ์ใหม่ จะยกเลิกการวาด relation ทำได้โดยการกด Mouse ด้านขวา หรือ กด ESC

Status Bar-Modified and Hints field:

บริเวณตรงกลางของ Status Bar ถูกใช้เพื่อแสดงระยะการปรับของ active circuit และในไม่ช้า ก็จะเปลี่ยน circuit (เคลื่อนย้าย label, ลบ connection, เขียนส่วนประกอบใหม่ทับอันเดิม เป็นต้น) ข้อความ Modified จะปรากฏขึ้นชี้ให้เห็นว่า circuit ที่ทำงานอยู่นั้นจะต้องมีการจัดเก็บ ก่อนที่จะออกจาก circuit นี้ ทำให้ส่วนของ bar ว่างเปล่า เมื่อจัดเก็บ circuit หรือปรับปรุงทั้งใหม่หมด ด้านขวาสุดของ bar จะแสดง Menu option

ขั้นตอนการแสดงผลของ ATPDraw

เมื่อทำการเขียน circuit เสร็จแล้ว จะได้ไฟล์แบบ .Cir ออกมา ในการแสดงผลกราฟค่าต่างๆ ที่ต้องการวัดนั้น เราจำเป็นต้องทำการ Make file เสียก่อน ซึ่งหลังจาก Make file แล้ว จะมีไฟล์แบบ .ATP เกิดขึ้น จากนั้นจึงจะสามารถทำการ run โปรแกรมได้ โดยใช้ภาษา Fortran ในการ run ซึ่งเมื่อ run โปรแกรมเสร็จแล้ว ก็จะสามารถเขียนกราฟออกมาได้ ซึ่งทั้งหมดนี้เป็นการอธิบายการใช้ EMTP แบบย่อๆ ซึ่งจะเห็นว่า EMTP นั้นมีส่วนประกอบไปด้วย ส่วน ATPDraw และ ส่วน TPPLOT นั้นเอง

นอกจากจะมีคู่มือการใช้โปรแกรมนี้แล้วยังมี WWW สำหรับ EMTP Users Group ซึ่งเราสามารถลงทะเบียนเป็นสมาชิก โดยไม่ต้องเสียค่าสมัคร ใน WWW นี้เราสามารถปรึกษากับบุคคลที่มีความชำนาญในการใช้โปรแกรมนี้ได้ โดยผ่านทาง E-mail ซึ่ง WWW มีรายชื่อดังนี้

USA/CANADA: http://www.ee.mtu.edu/atp

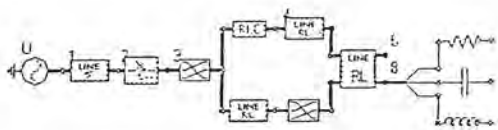
Argentina: http://iitree.ing.unlp.edu.ar/estudios/caue

Brazil: http://rrr.furnas.gov.br/atp

Europe: http://www.vmt.bme.hu/eeug

Japan: http:/www02.so-net.ne.jp/~m_kan/index-e.htm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 วงจรเบื้องต้นของ ATPDraw ไฟล์ .cir

```
BEGIN NEW DATA CASE
C ------------------------------------------------------
C Generated by ATPDRAW  Mon 4.May, 1998
C A Bonneville Power Administration program
C Programmed by H. K. Heidalen at EFI - NORWAY  1994-1997
C ------------------------------------------------------
C Miscellaneous Data Card ....
C  dT  >< Tmax >< Xopt >< Copt >
  .000001    .001
      500        1         1         1         1         0         0         1         0
C        1         2         3         4         5         6         7         8
C 345678901234567890123456789012345678901234567890123456789012345678901234567890123456789012345678901234567890
/BRANCH
C < n 1>< n 2><ref1><ref2>< R  >< L  >< C  >
C < n 1>< n 2><ref1><ref2>< R  >< A  >< B  ><Leng><><>0
1 1A     2A                   10. .0001    1.
2 1B     2B                   10. .0001    1.    10. .0001    1.
3 1C     2C                   10. .0001    1.    10. .0001    1.    10. .0001    1.
  3B     4B                    1. .001                                            0
  3C     4C                    1. .001                                            0
  3A     4A                    1. .001                                            0
S14B     5B                    2.          1.S
S24C     5C                    1.          1.
S34A     5A
S13B     7B                   10.          1.
S23C     7C                                1.    10.          1.
S33A     7A                                1.                 1.    10.          1.
S15B     6B                   10.          1.
S25C     6C                                1.    10.          1.
S35A     6A                                1.                 1.    10.          1.
S47C     8C                                1.                 1.                 1.
                              10.          1.
S57A     6A                                1.                 1.                 1.
                                           1.    10.          1.
S67B     8B                                1.                 1.                 1.
                                           1.                 1.    10.          1.
  8C     XX0021          1000.                                                     0
  8A     XX0023                       1.                                          0
  8B     XX0025                 10.                                               0
/SWITCH
C < n 1>< n 2>< Tclose ><Top/Tde ><   Ie   ><Vf/CLOP ><  type  >
  2A     3A             -1.      .001                                             0
  2B     3B             -1.      .001                                             0
  2C     3C             -1.      .001                                             0
/SOURCE
C < n 1><>< Ampl.  >< Freq.  ><Phase/T0><   A1   ><   T1   >< TSTART >< TSTOP  >
141A     0   150000.        60.                                    -1.         1.
141B     0   150000.        60.       -120.                        -1.         1.
141C     0   150000.        60.        120.                        -1.         1.
BLANK BRANCH
BLANK SWITCH
BLANK SOURCE
BLANK OUTPUT
BLANK PLOT
BEGIN NEW DATA CASE
BLANK
```

รูปที่ 5.3 file . atp เมื่อทำการ Make file .cir เสร็จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

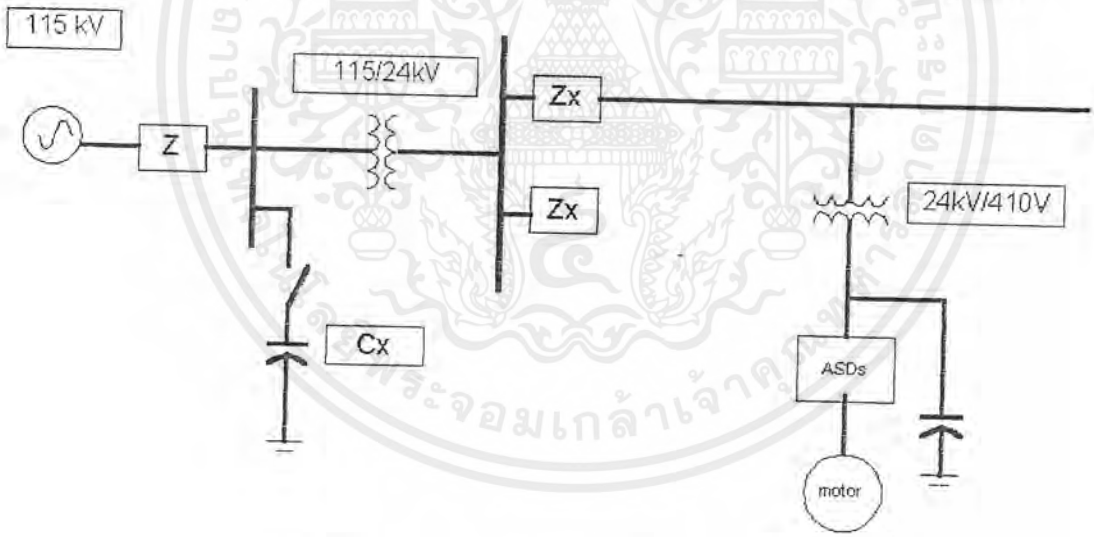
บทที่ 6
การจำลองระบบสวิทช์ชิ่งคาปาซิเตอร์แบงค์

ในการทำโครงการนี้เราได้ศึกษาและแบ่งการจำลองระบบ (Simuilate) ออกเป็น 2 ส่วนคือ ส่วนของระบบสายส่งไฟฟ้ากำลังและส่วนของโหลดในโรงงาน โครงการนี้เราจำลองระบบขึ้นโดยใช้โปรแกรม EMTP ผลการจำลองระบบจะออกมาในรูปกราฟทรานเซียนท์ของกระแสและแรงดัน แล้วนำข้อมูลที่ได้มาวิเคราะห์และสรุปผล

6.1 การจำลองส่วนของระบบของสายส่งไฟฟ้ากำลังที่มีการเพิ่งแรงดันโดยสับคาปาซิเตอร์แบงก์ให้กับระบบ

มีขั้นตอนในการทำการจำลองระบบดังต่อไปนี้

6.1.1 ออกแบบระบบจำลองสายส่งกำลังไฟฟ้าจาก One Line Diagram ดังรูปที่ 6.1



รูปที่ 6.1 One Line Diagram ของระบบสายส่งกำลังไฟฟ้า

6.1.2 เขียนระบบจำลองสายส่งกำลังไฟฟ้าและระบบไฟฟ้าในโรงงานอุตสาหกรรมดังรูปที่ 6.2 ภายในโรงงานอุตสาหกรรมเขียนแทนด้วย ASDs ที่ต่อกับมอเตอร์ ส่วนโหลดอื่นๆของโรงงานเขียนเป็นโหลดรวมแทนโดยใช้โปรแกรม ATPDraw

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.3 ใช้โปรแกรม EMTP จำลองสภาพทรานเซียนท์ที่เกิดขึ้นในระบบเมื่อสับสวิทช์คาปาซิเตอร์เพื่อวิเคราะห์กระแสและแรงดันทั้งทางด้านแรงดันสูงและแรงดันต่ำ

6.1.4 กำหนดเงื่อนไขในการจำลองระบบเพื่อศึกษาว่าระยะทางของโรงงานซึ่งแทนด้วยค่าอิมพิแดนซ์และค่าคาปาซิเตอร์ที่สับให้กับระบบโดยเปลี่ยนค่าหลายๆค่า มีผลต่อทรานเซียนท์ที่เกิดขึ้นอย่างไร ค่าที่ทำการบันทึกได้แก่

- ตำแหน่งต่างๆของโรงงานแทนด้วยค่าอิมพิแดนซ์ในสายส่งกำลังไฟฟ้า (Zx) ทำการจำลองระบบด้วยคาปาซิเตอร์ขนาด 0.5 Mvar และ 36 Mvar มีค่าอิมพิแดนซ์ต่างๆดัง ตารางที่ 6.1

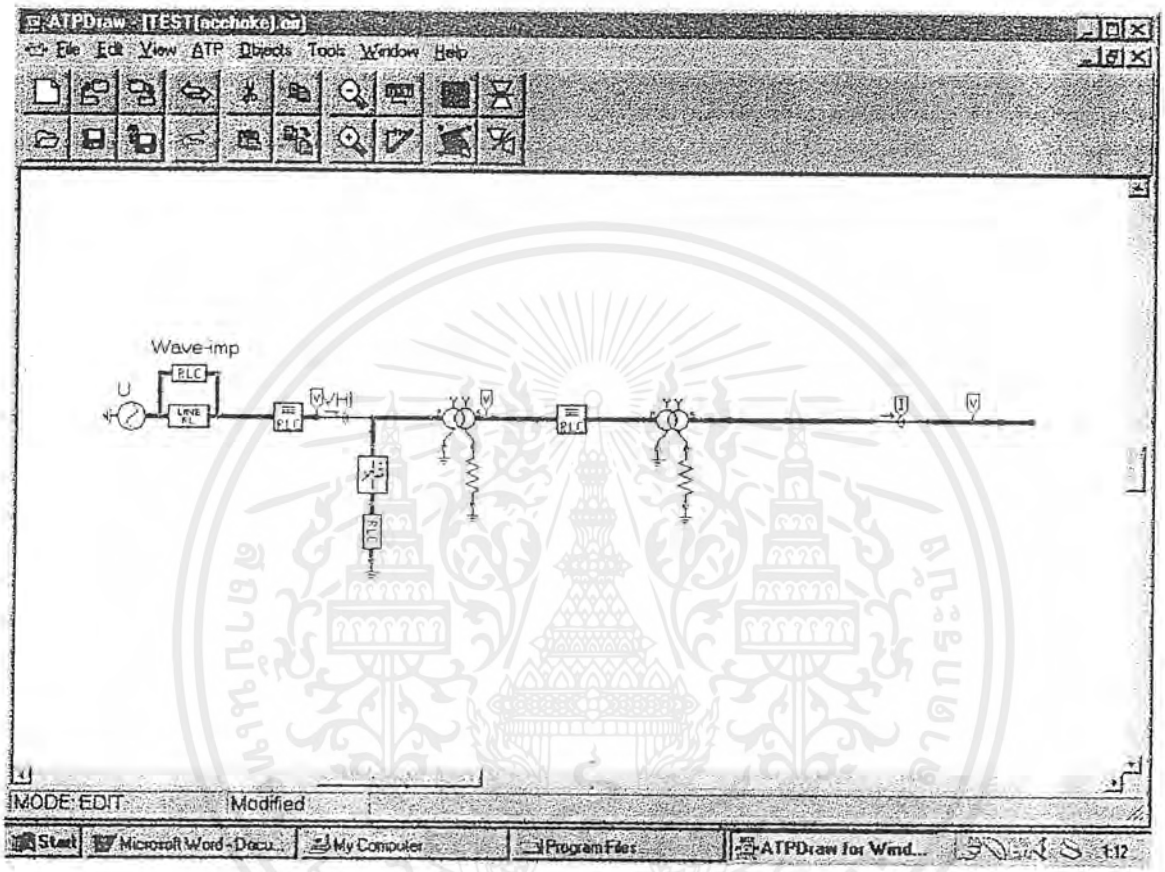
ตารางที่ 6.1 ค่าอิมพิแดนซ์ที่ระยะทางต่างๆ

ระยะห่าง (km)	10	20	30	40	50	60	70
ค่าอิมพิแดนซ์ (ohm)	9.4	18.8	56.4	75.2	94	112.8	131.6
ความต้านทาน (ohm)	8.68	17.36	26.04	34.72	43.4	52.08	60.76
อินดักแตนซ์ (mH)	11.7	23.4	35.1	46.8	58.5	70.2	81.9

- ทำการเปลี่ยนค่าของคาปาซิเตอร์ (Cx) ที่สับให้แก่ระบบแรงสูงซึ่งเราสมมติให้เป็นสถานีจ่ายไฟฟ้าย่อย ประกอบด้วยคาปาซิเตอร์ขนาด 0.1 , 0.5 , 0.75 , 1 , 3 , 5 , 10 , 15 , 20 , 30 , 36 และ 48 Mvar ที่ระยะทางของโรงงานเท่ากับ 10 km

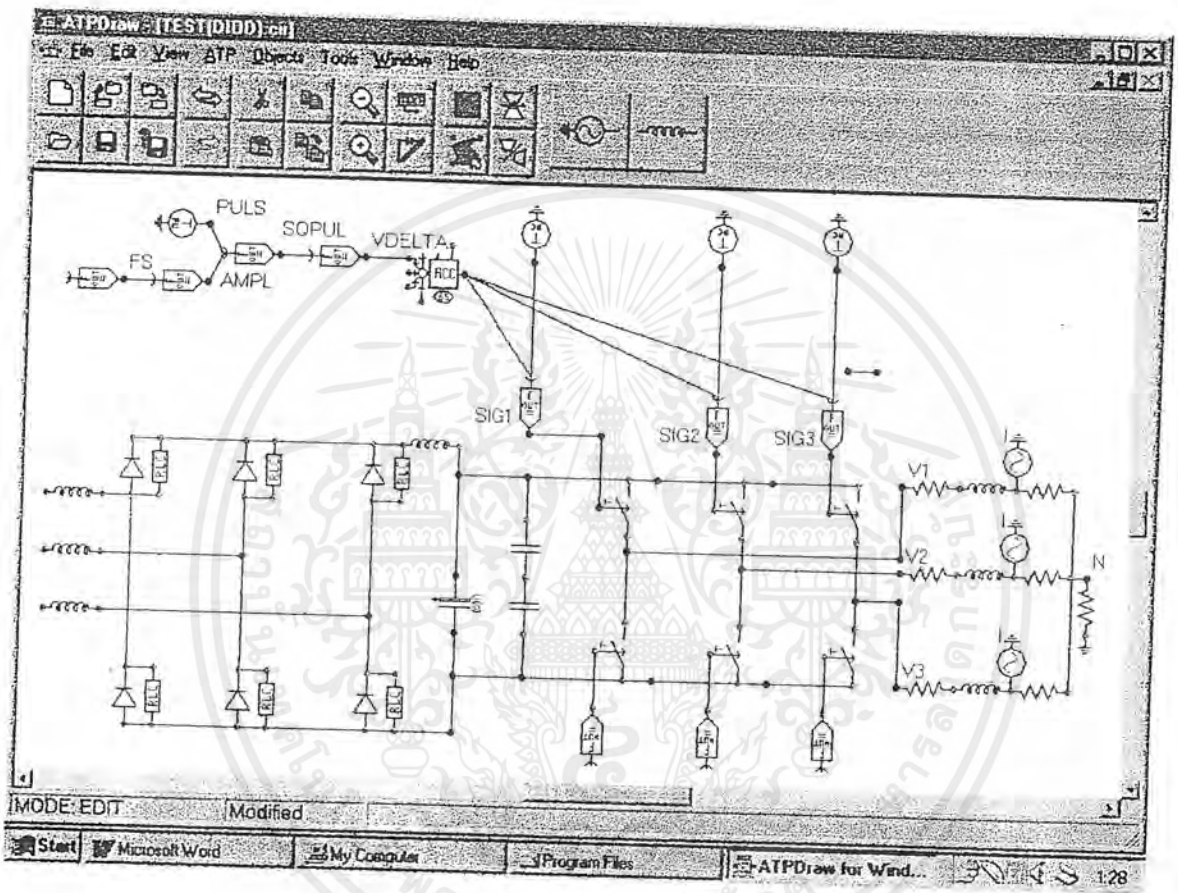
6.1.5 บันทึกผลการจำลองระบบในรูปคลื่นแรงดันและกระแส วิเคราะห์และสรุปผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 ระบบสายส่งกำลังไฟฟ้าเขียนด้วยโปรแกรม ATPDraw

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



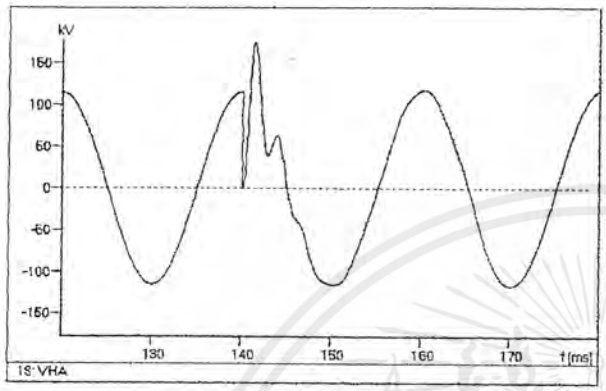
รูปที่ 6.3 โหลดโรงงานและ ASD เขียนด้วยโปรแกรม ATPDraw

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

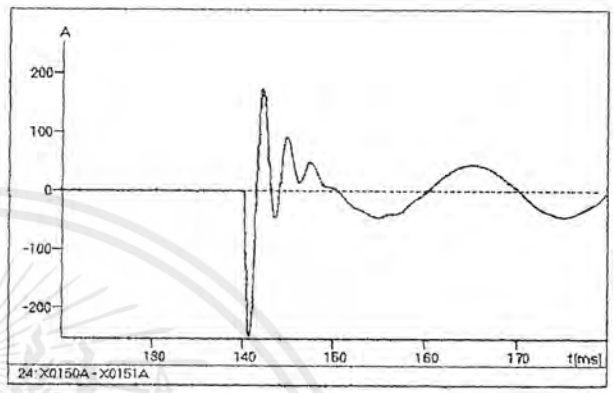
ผลการจำลองระบบ

- การจำลองระบบโดยเปลี่ยนระยะทางที่ตำแหน่งต่างๆของโรงงาน

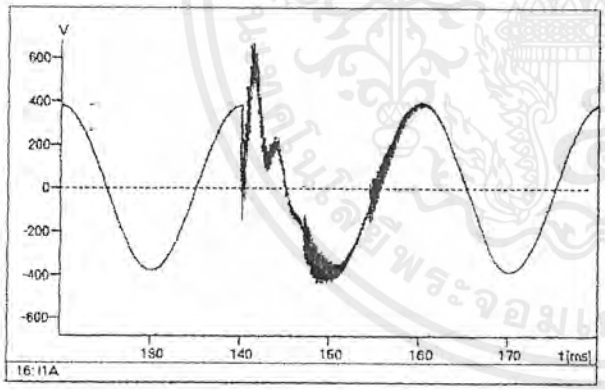
6.2.1 ค่า Cx = 5 MVAR, ระยะทาง 10 km



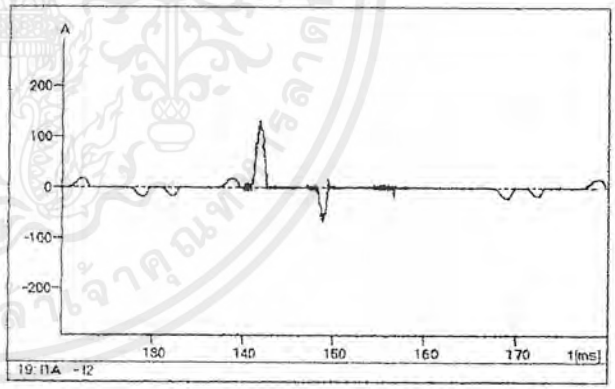
(a)



(b)



(c)

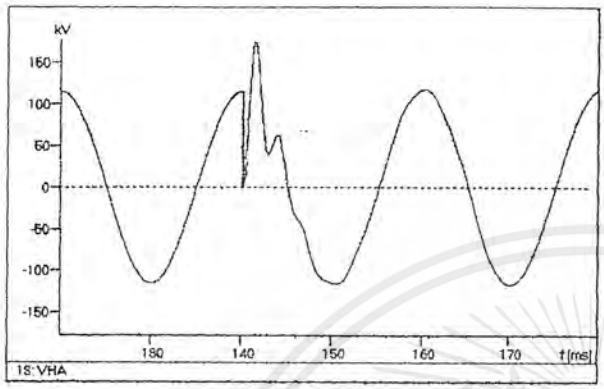


(d)

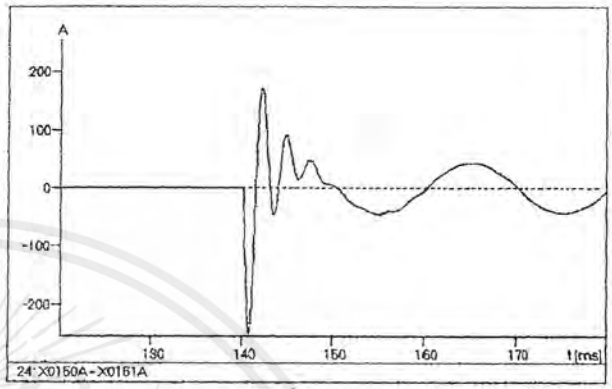
รูปที่ 6.4 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

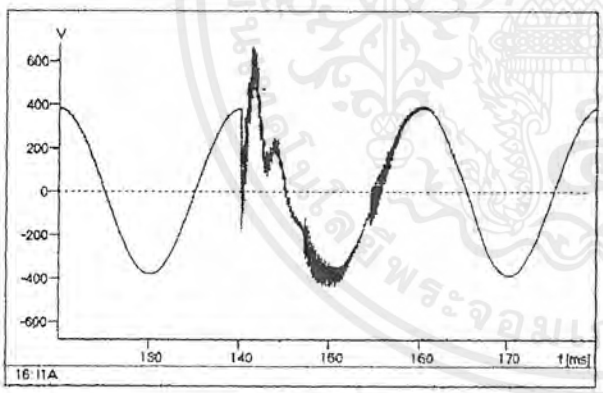
6.2.2 ค่า Cx = 5 MVAR, ระยะทาง 20 km



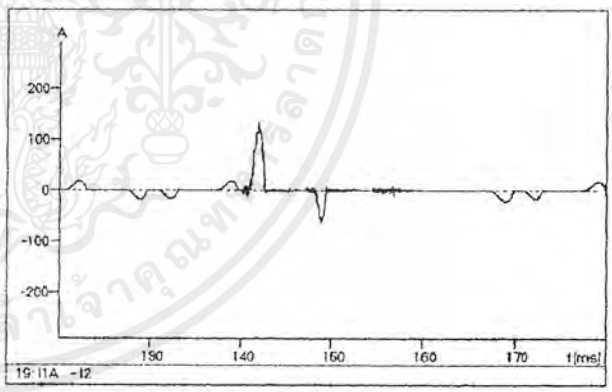
(a)



(b)



(c)

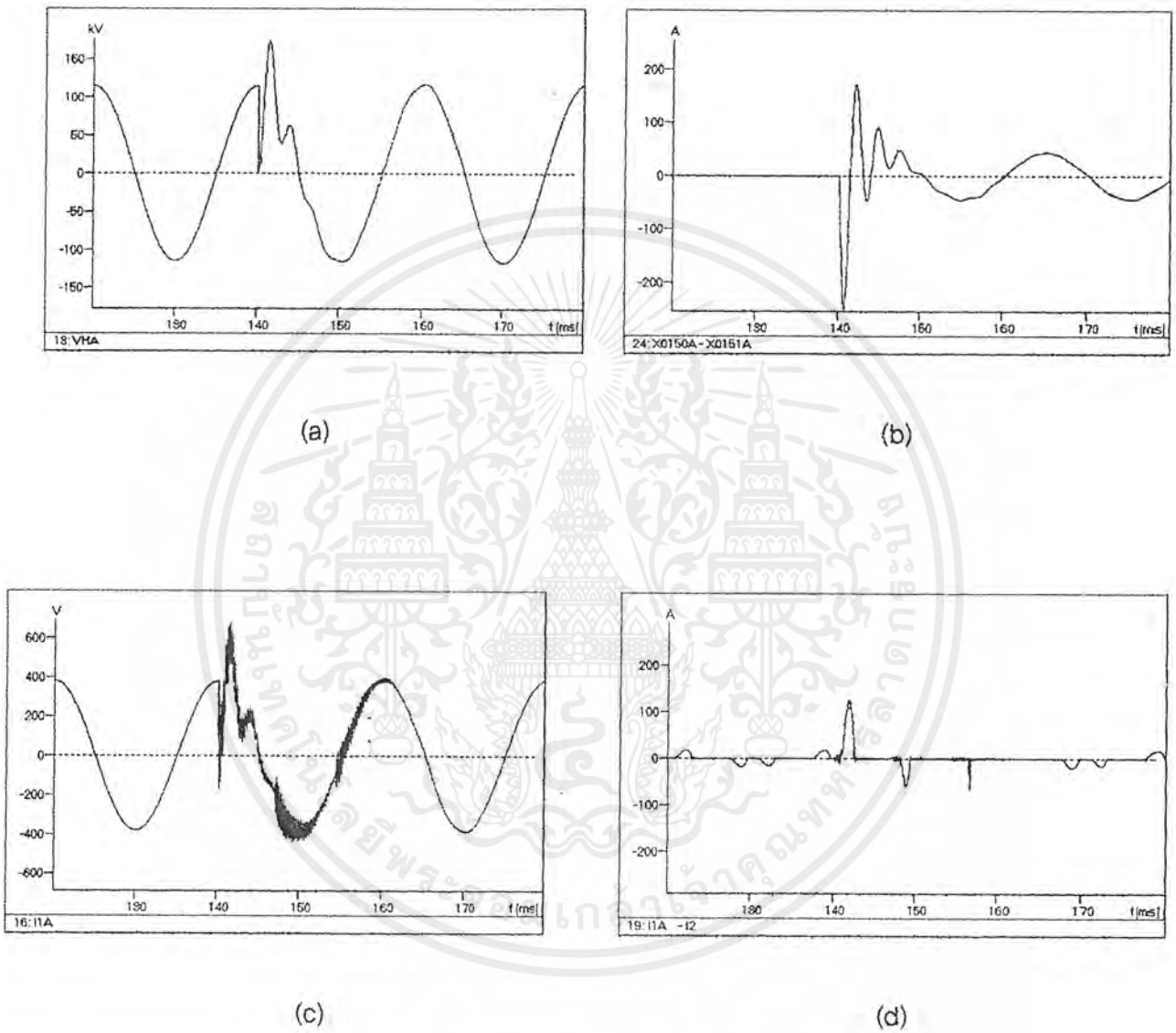


(d)

รูปที่ 6.5 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 20 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

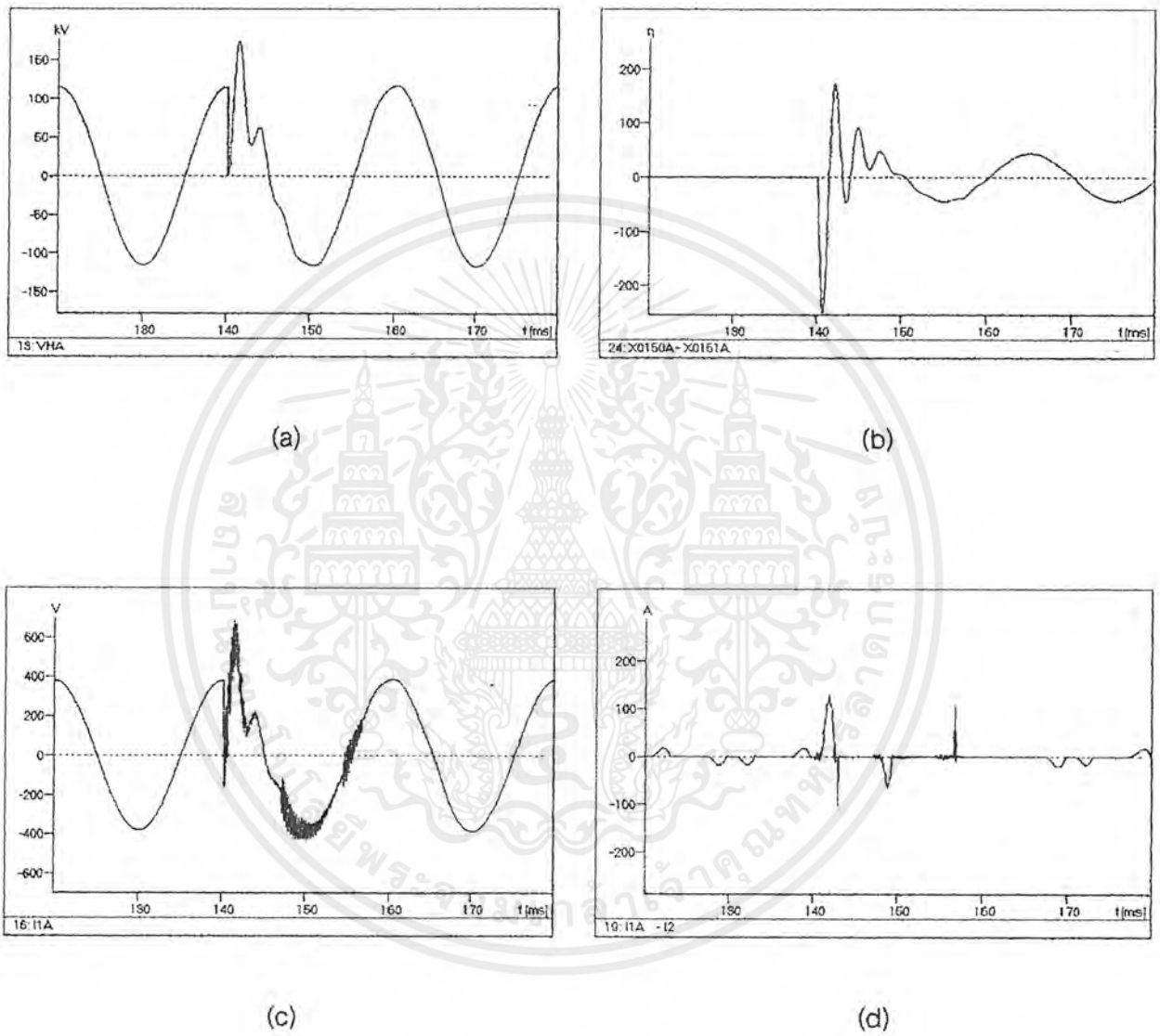
6.2.3 ค่า Cx = 5 MVAR, ระยะทาง 30 km



รูปที่ 6.6 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 30 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

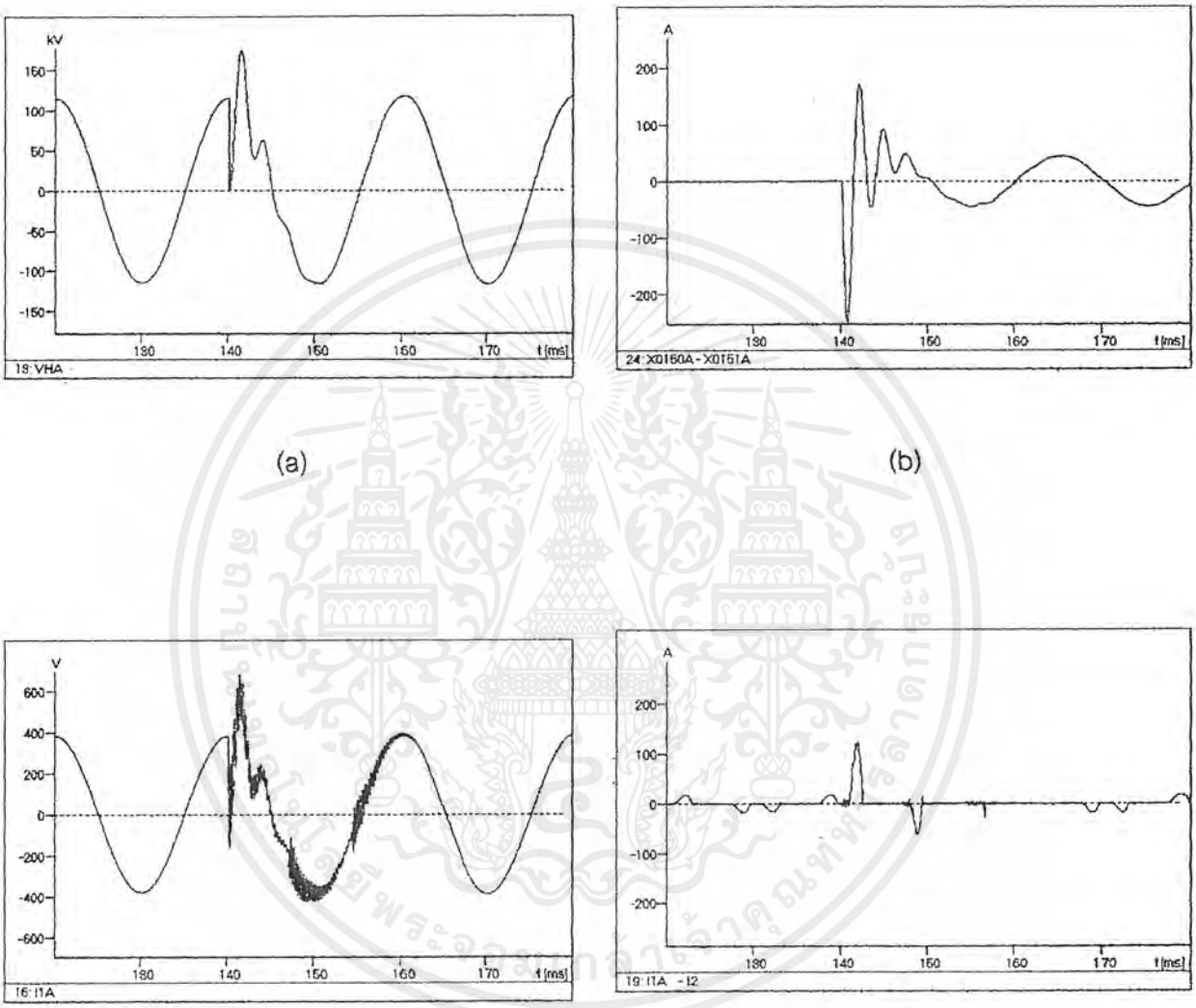
6.2.4 ค่า Cx = 5 MVAR, ระยะทาง 40 km



รูปที่ 6.7 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 40 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

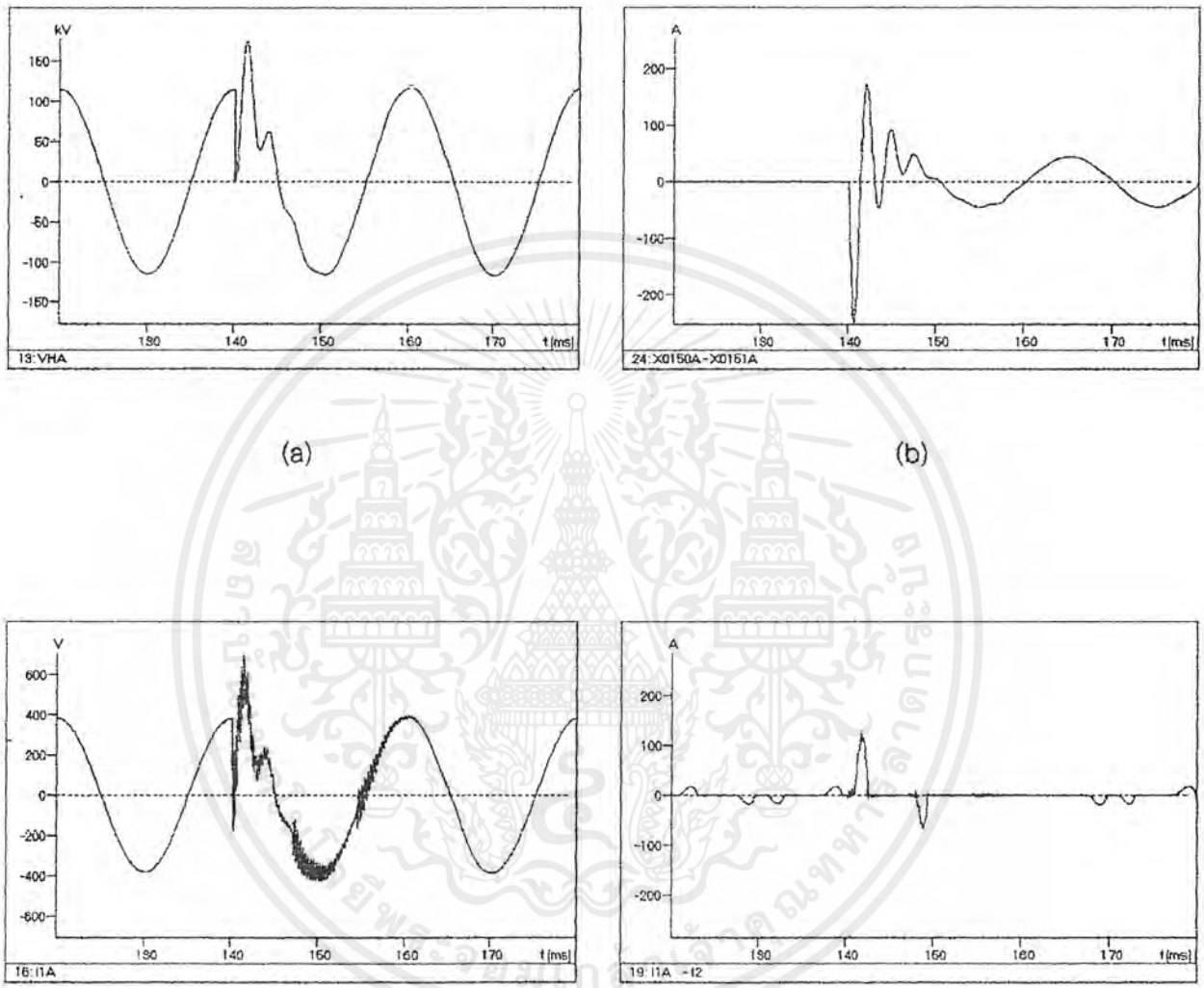
6.2.5 ค่า Cx = 5 MVAR, ระยะทาง 50 km



รูปที่ 6.8 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 50 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

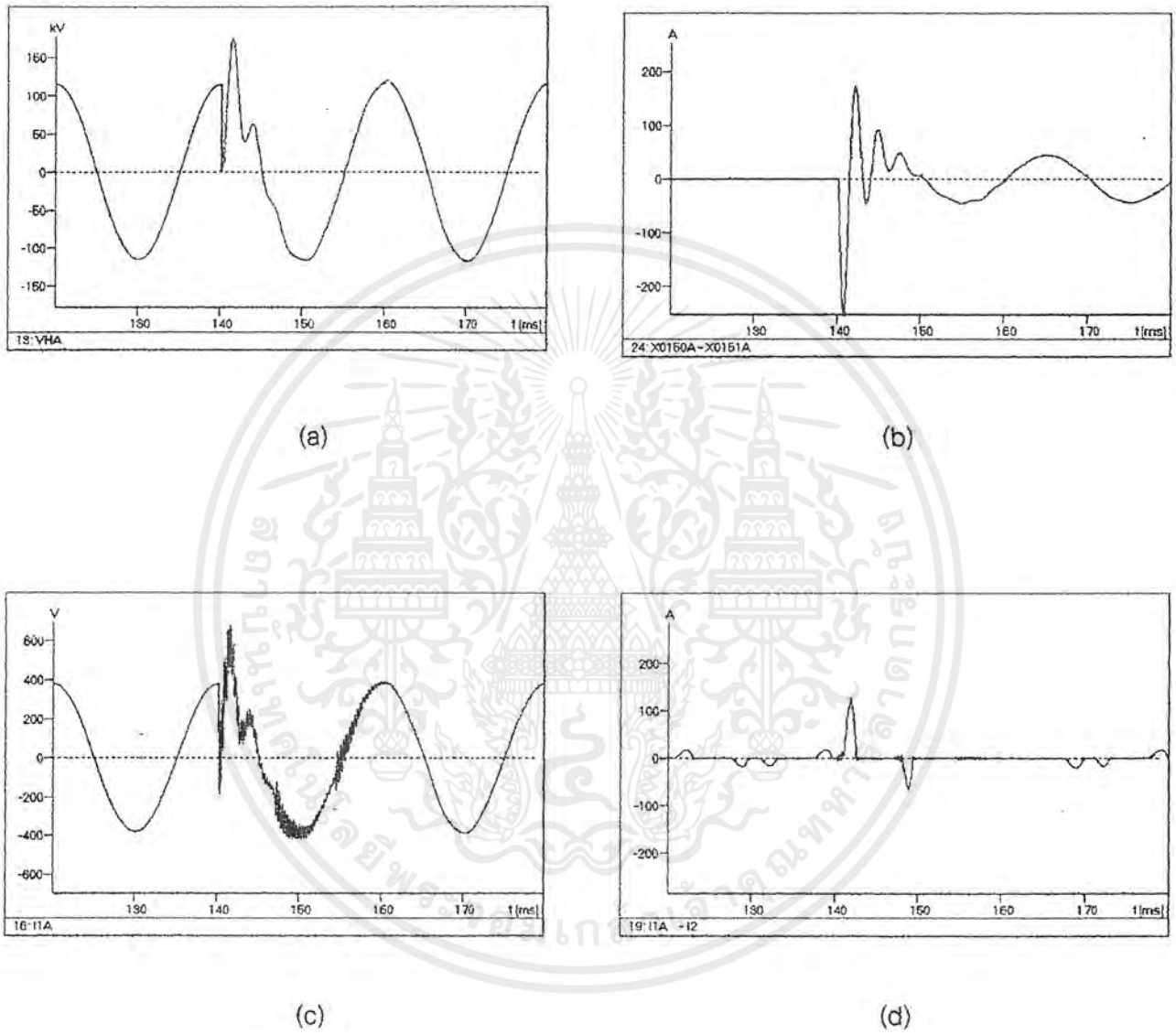
6.2.6 ค่า Cx = 5 MVAR, ระยะทาง 60 km



รูปที่ 6.9 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 60 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

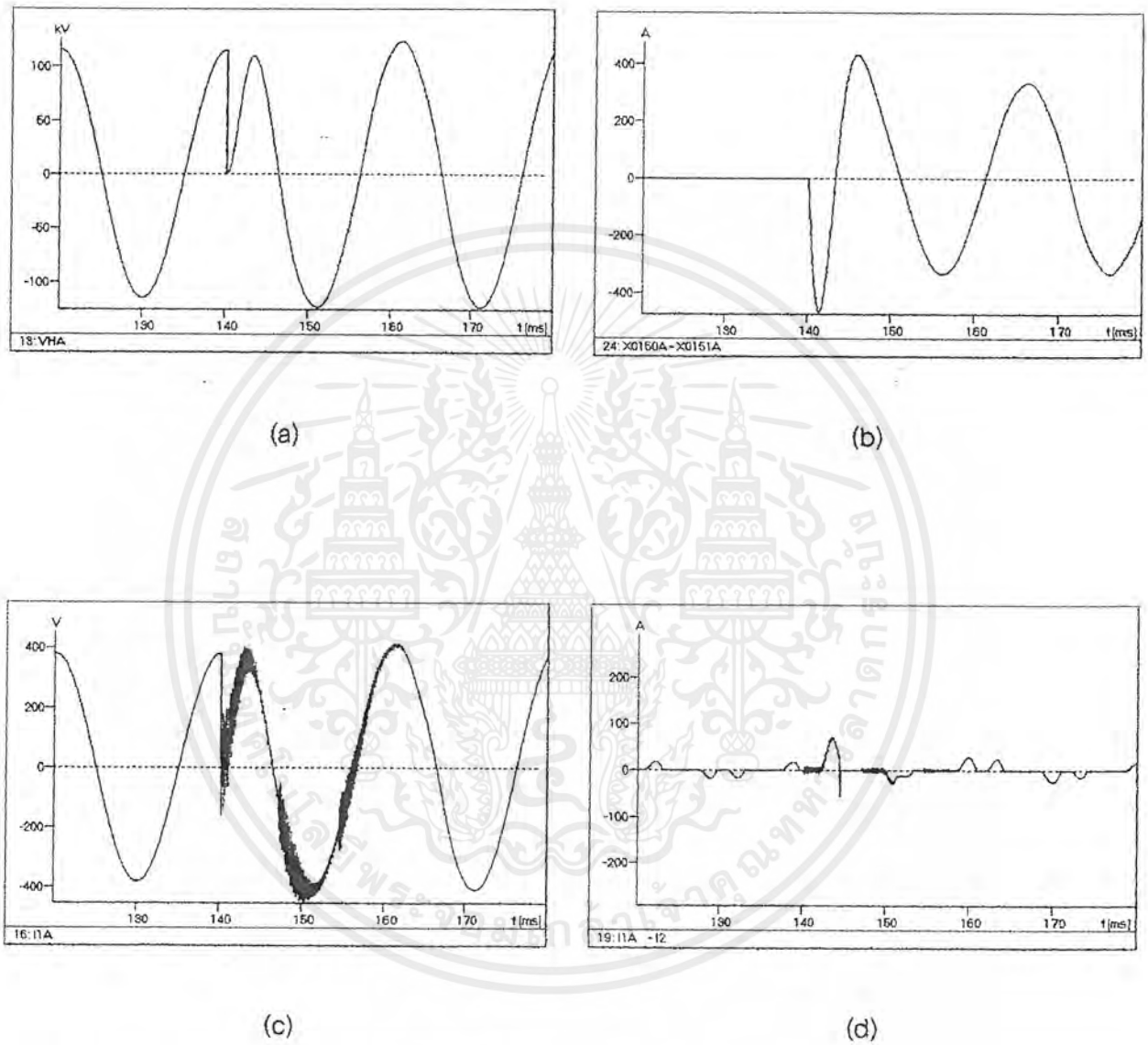
6.2.7 ค่า Cx = 5 MVAR, ระยะทาง 70 km



รูปที่ 6.10 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 70 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

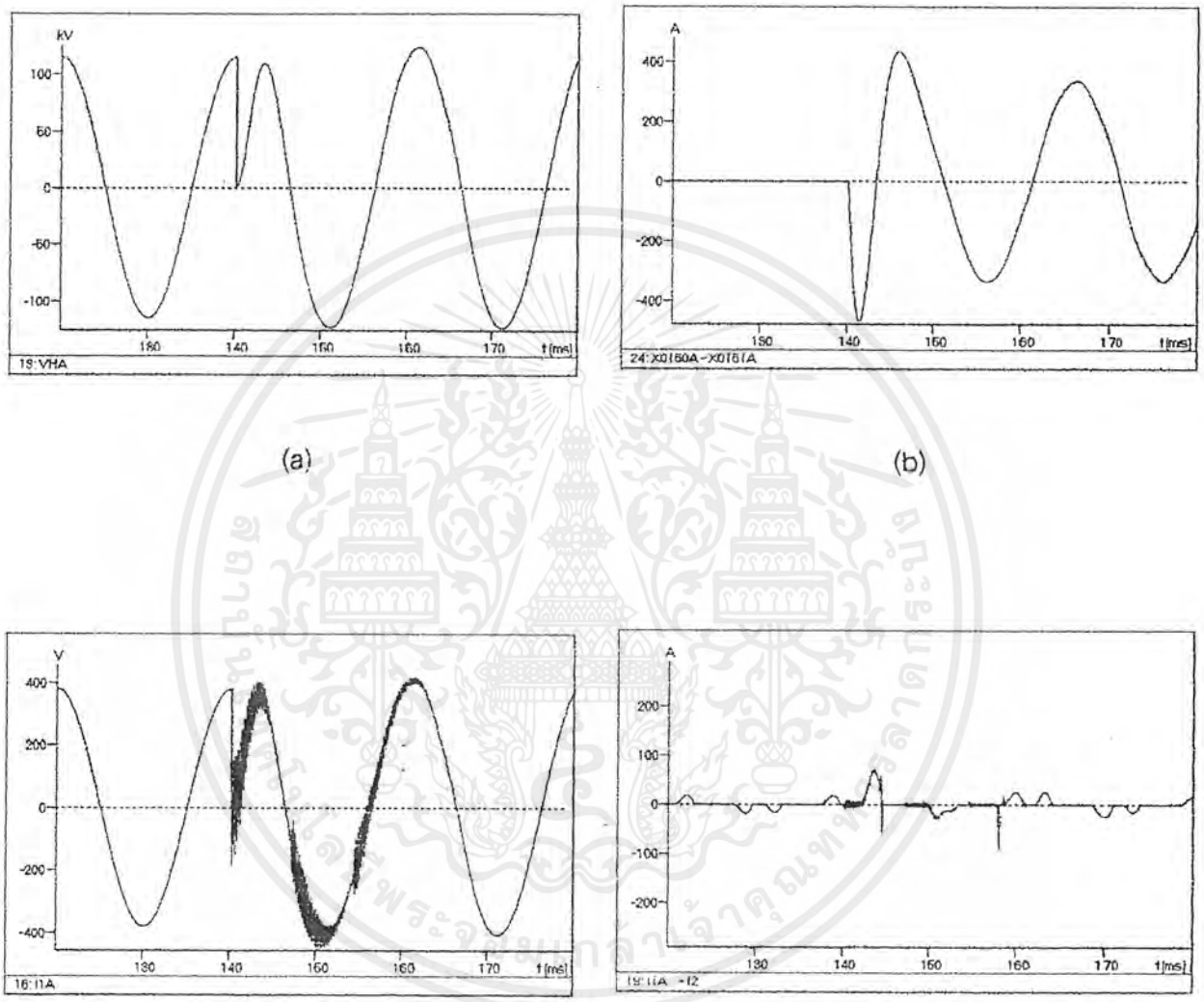
6.2.8 ค่า Cx = 36 MVAR, ระยะทาง 10 km



รูปที่ 6.11 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

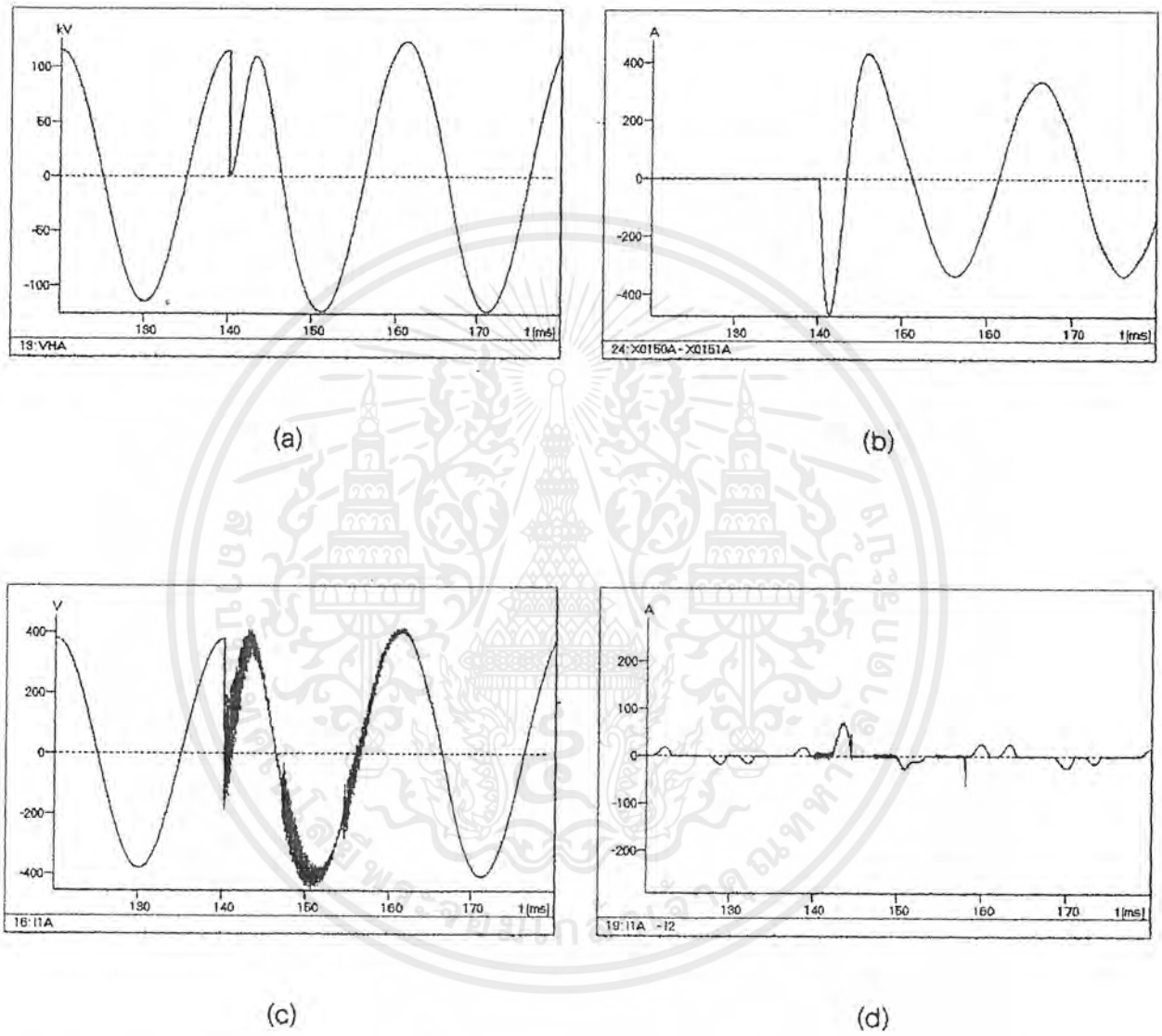
6.2.9 ค่า Cx = 36 MVAR, ระยะทาง 20 km



รูปที่ 6.12 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 20 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

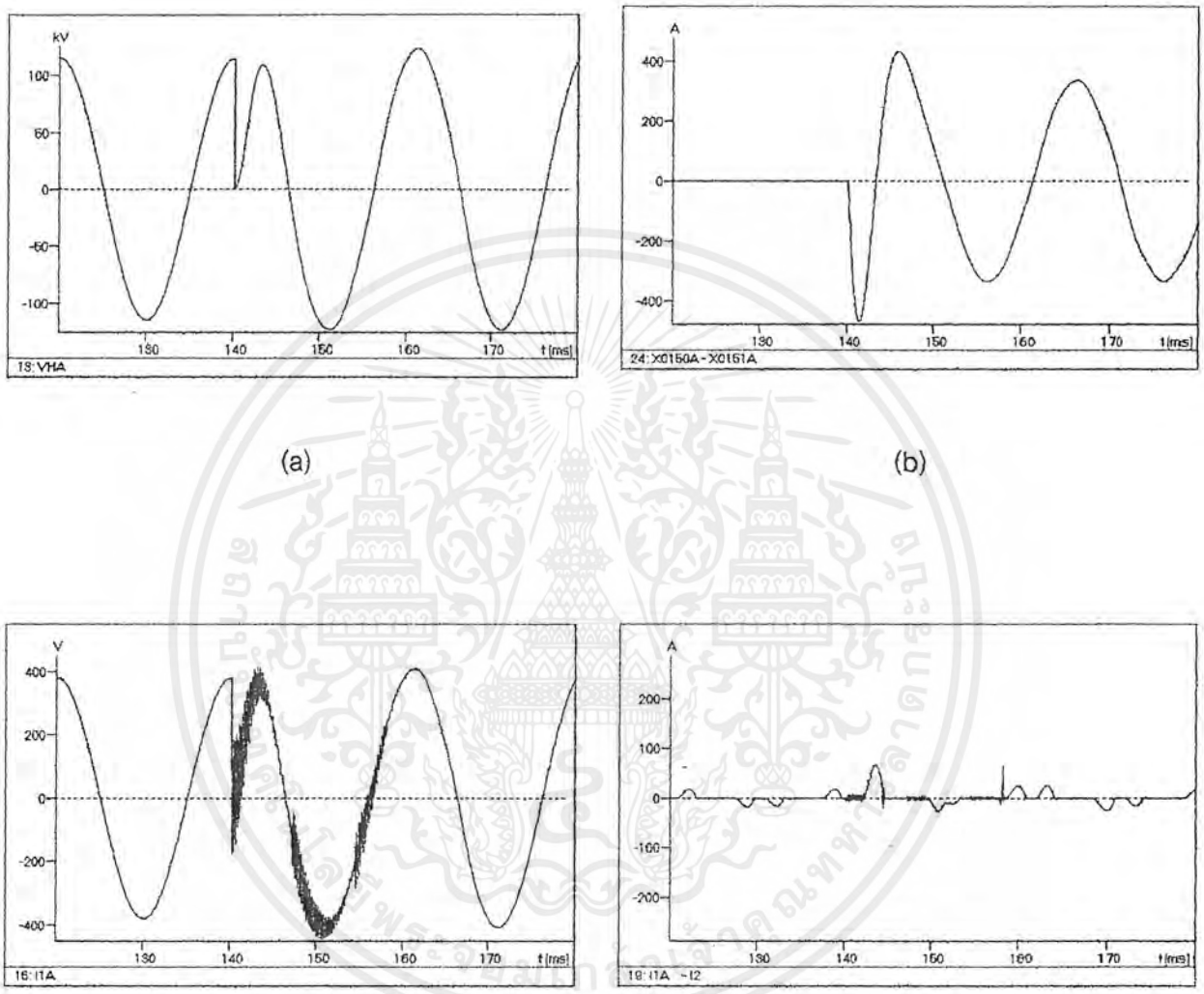
6.2.10 ค่า Cx =36 MVAR, ระยะทาง30km



รูปที่ 6.13 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 30 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

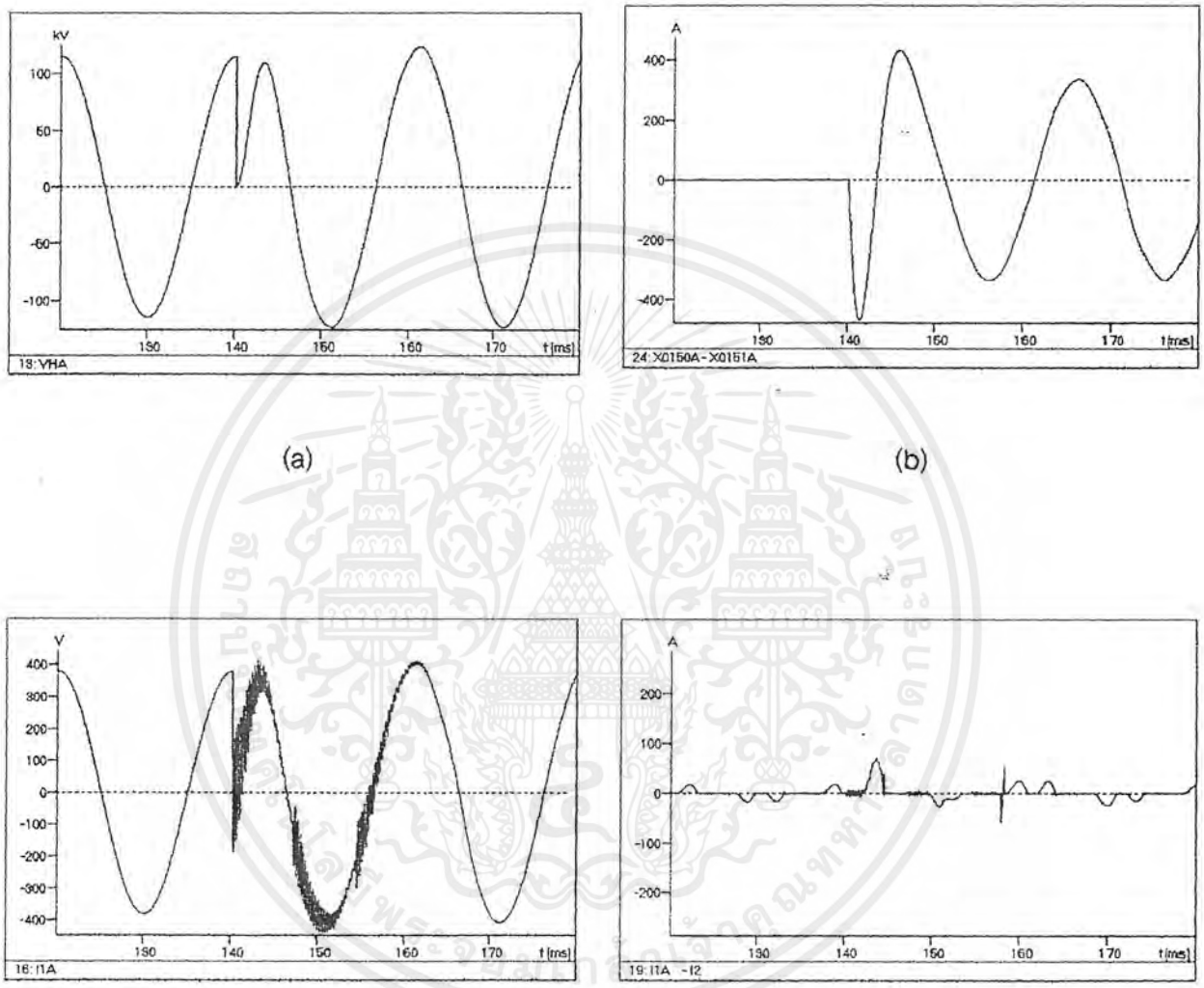
6.2.11 ค่า Cx = 36 MVAR, ระยะทาง 40 km



รูปที่ 6.14 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 40 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

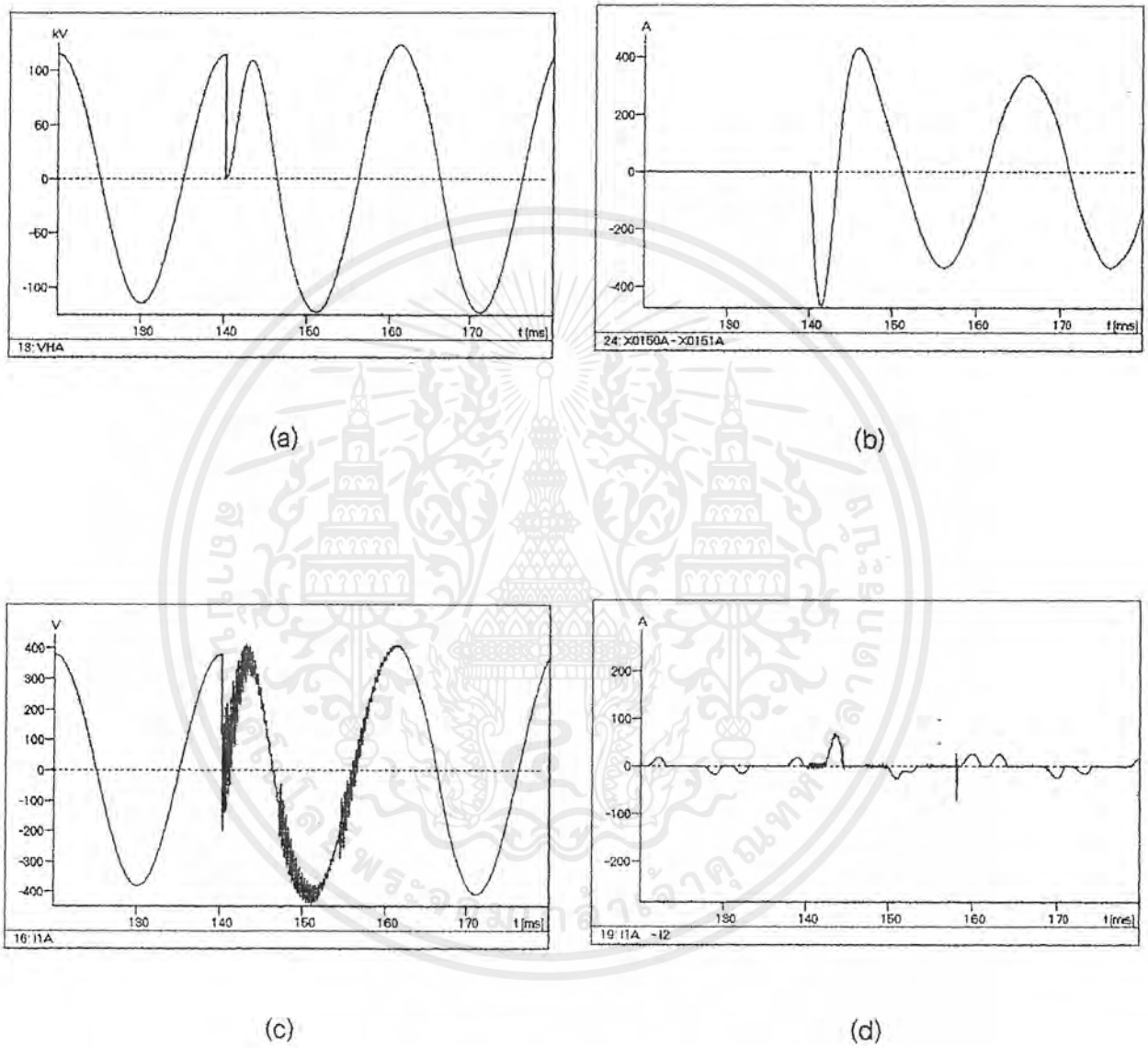
6.2.12 ค่า Cx = 36 MVAR, ระยะทาง 50 km



รูปที่ 6.15 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 50 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

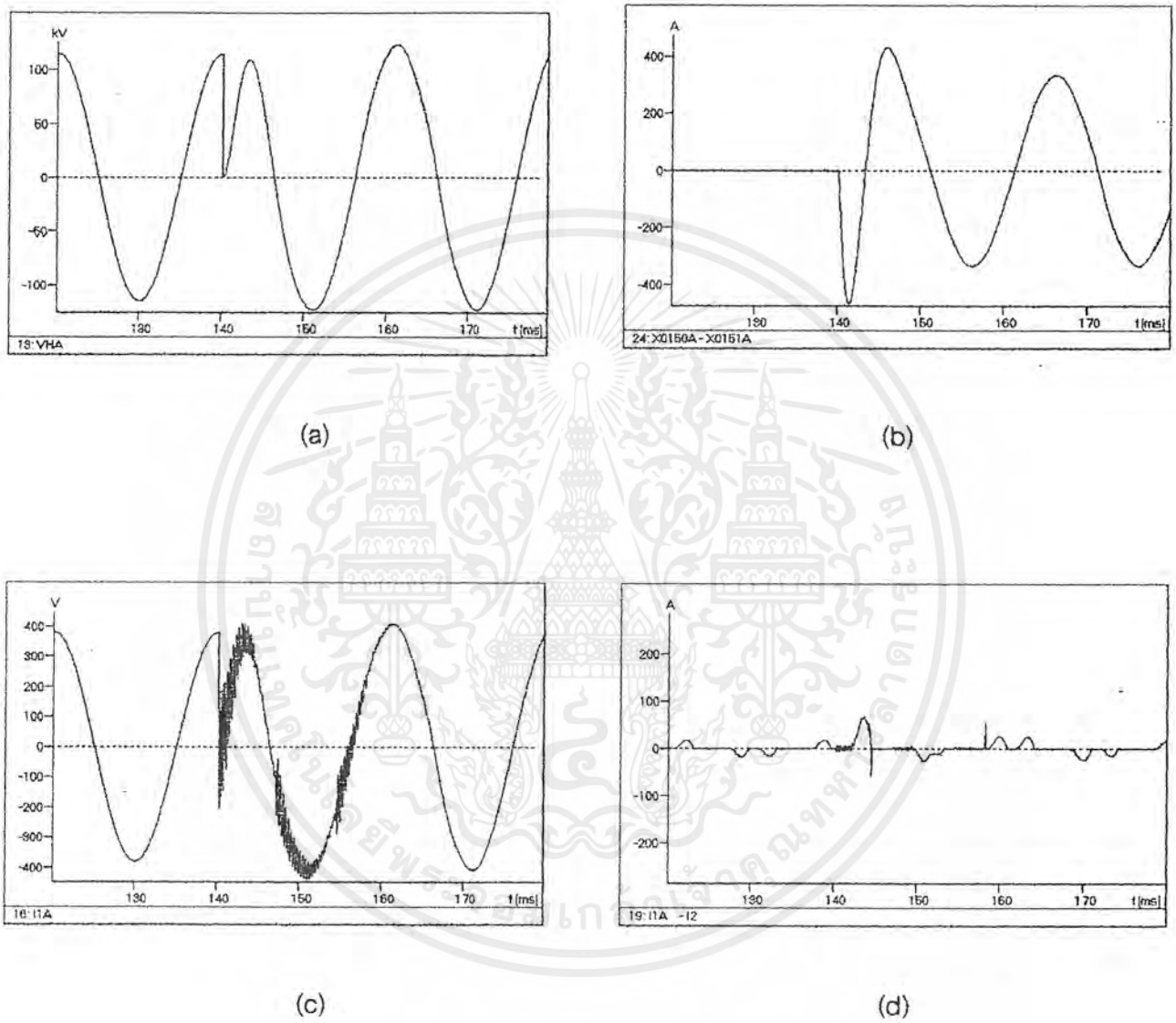
6.2.13 ค่า Cx = 36 MVAR, ระยะทาง 60 km



รูปที่ 6.16 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 60 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.14 ค่า Cx = 36 MVAR, ระยะทาง 70 km

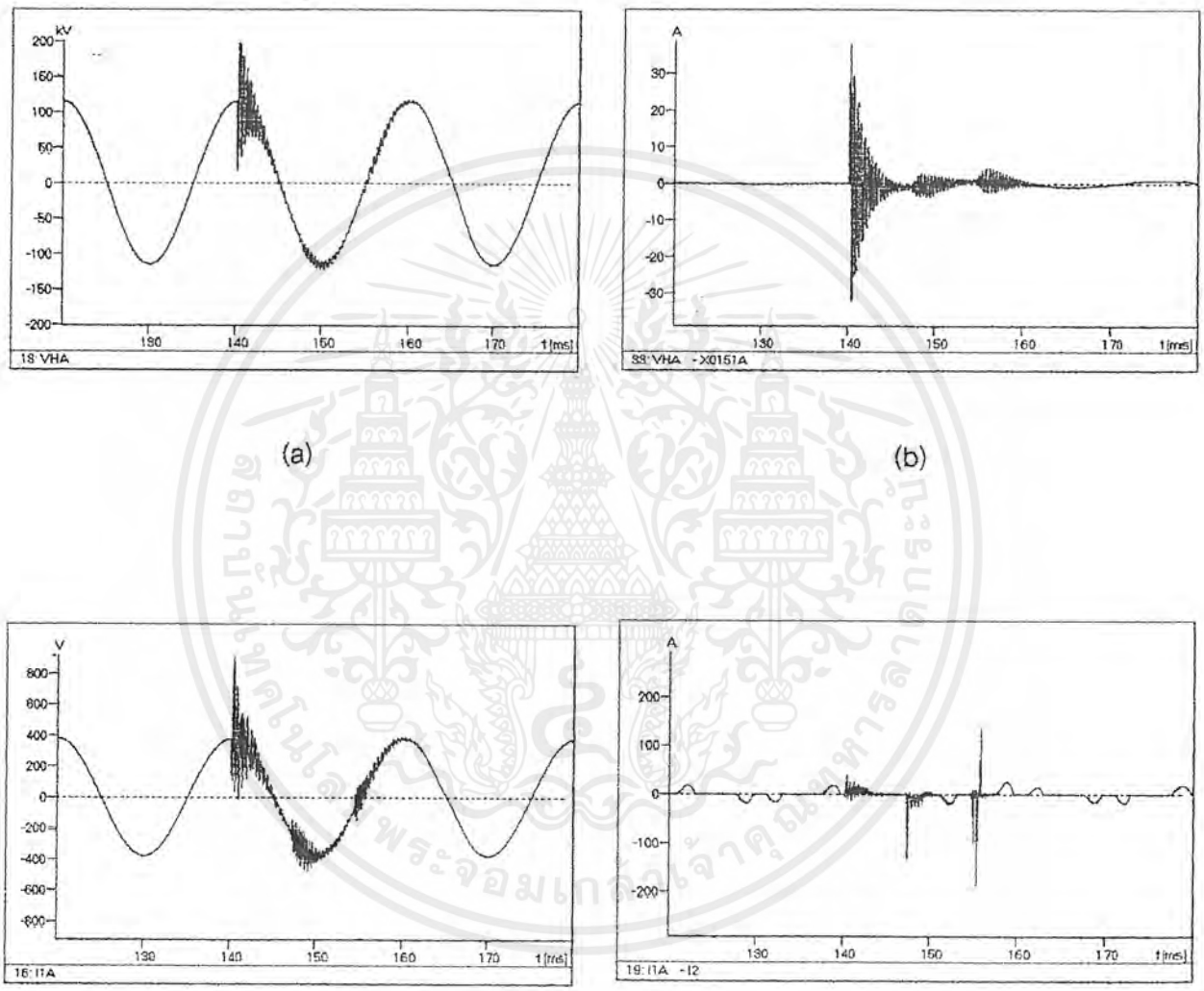


รูปที่ 6.17 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 70 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 วิเคราะห์โดยการเปลี่ยนค่าคาปาซิแตนซ์

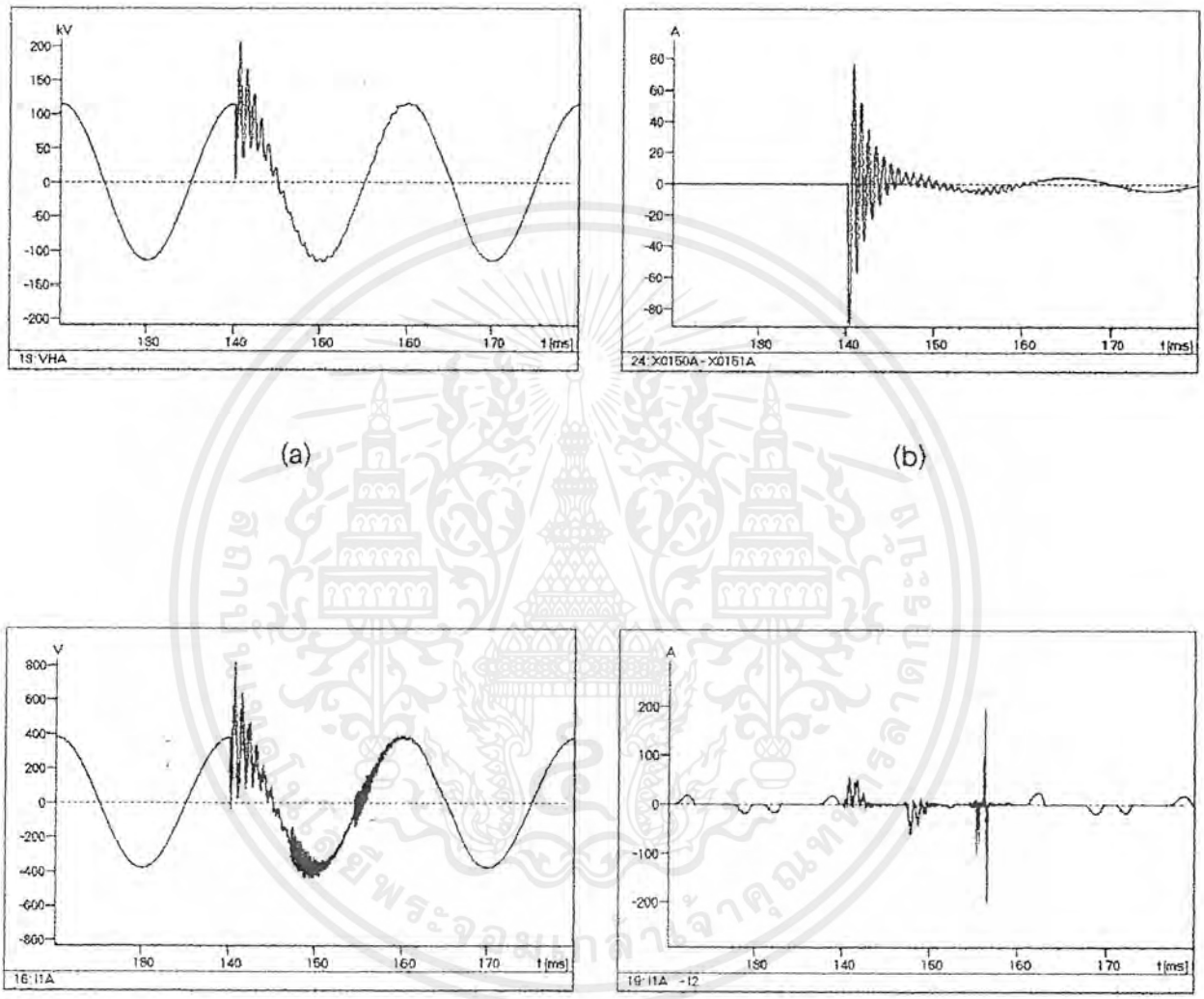
6.3.1 ค่า Cx = 100 kvar



รูปที่ 6.18 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 100 kvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

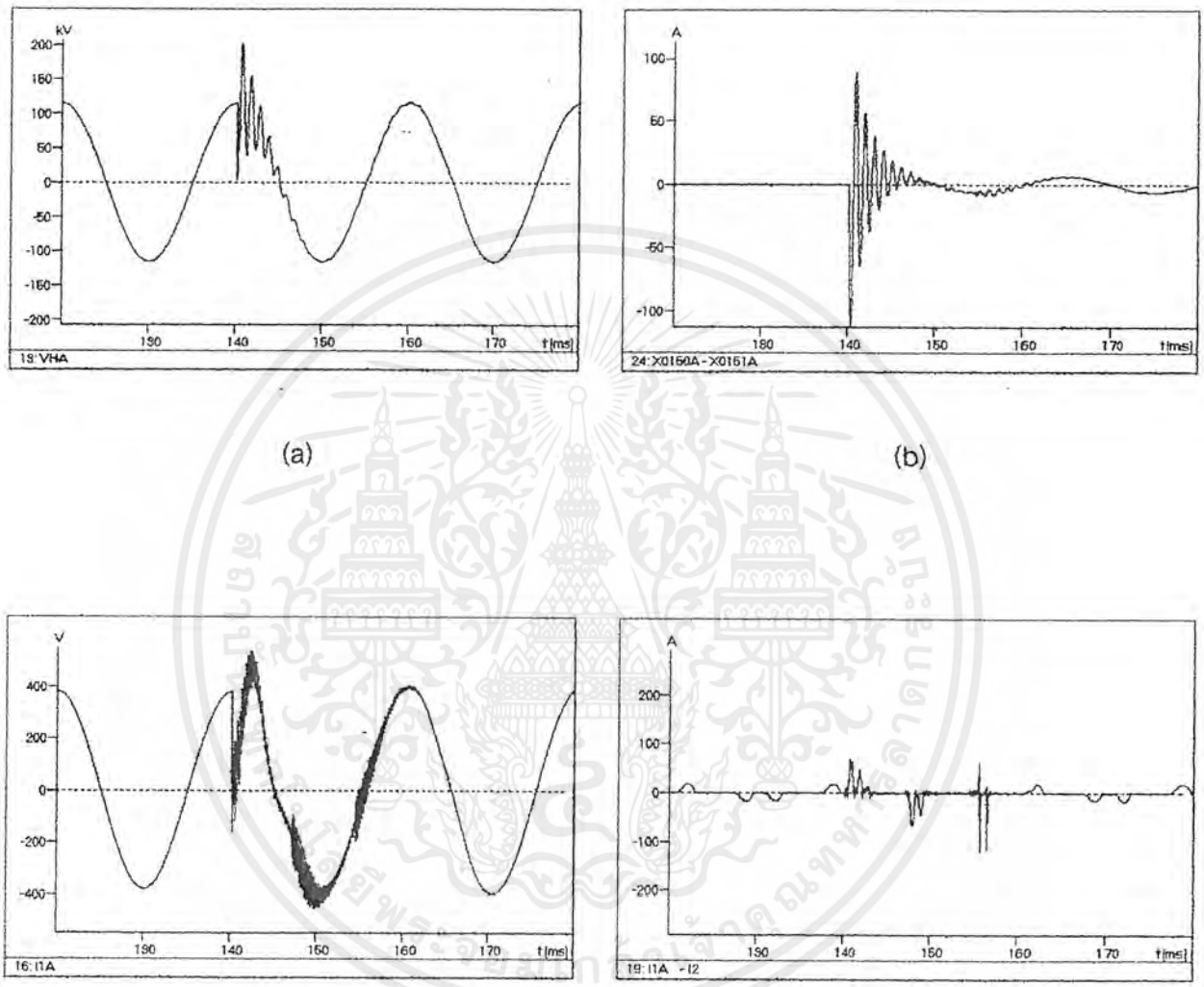
6.3.2 ค่า Cx = 500 kvar



รูปที่ 6.19 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 500 kvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

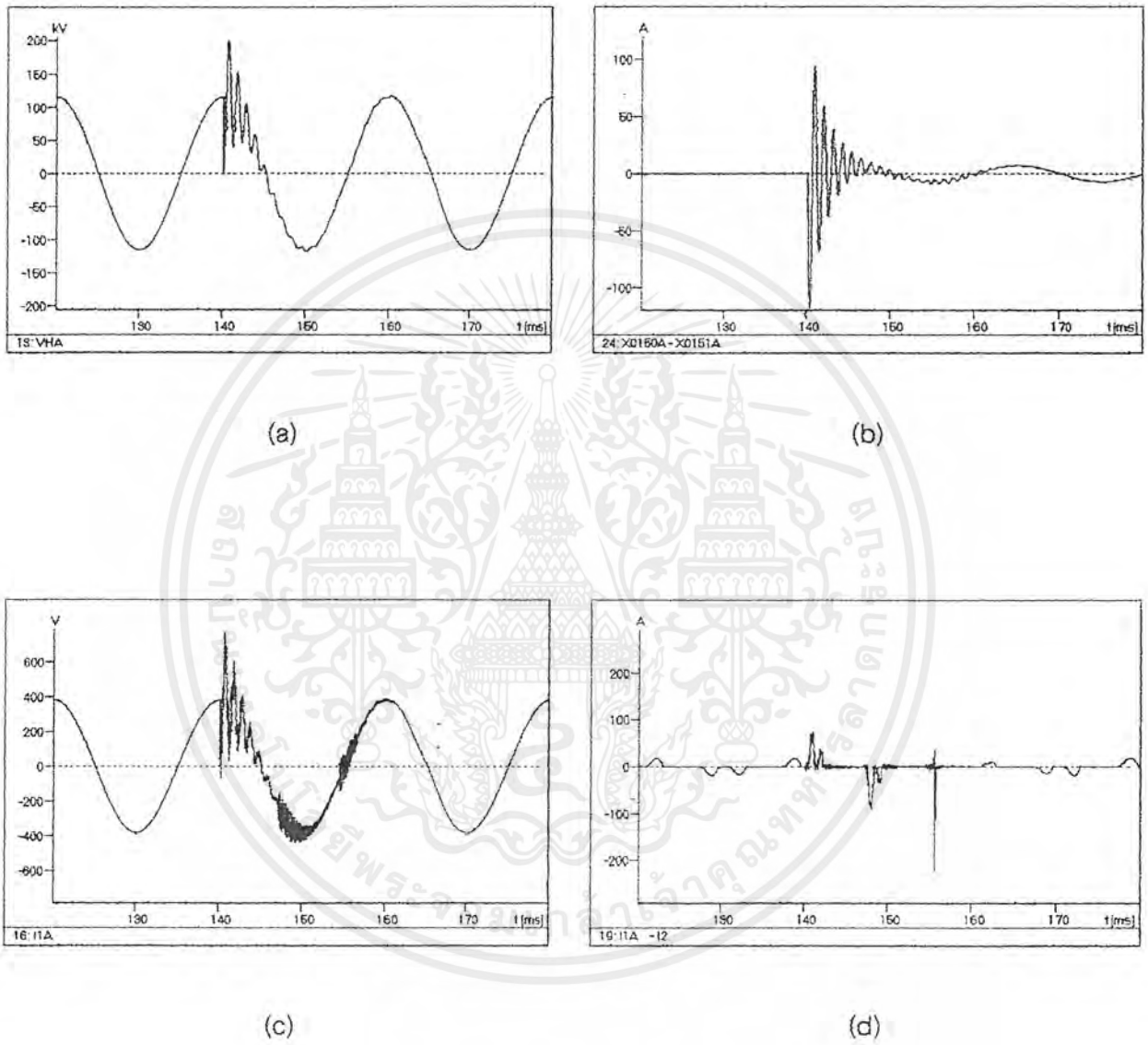
6.3.3 ค่า Cx = 750 kvar



รูปที่ 6.20 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 750 kvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

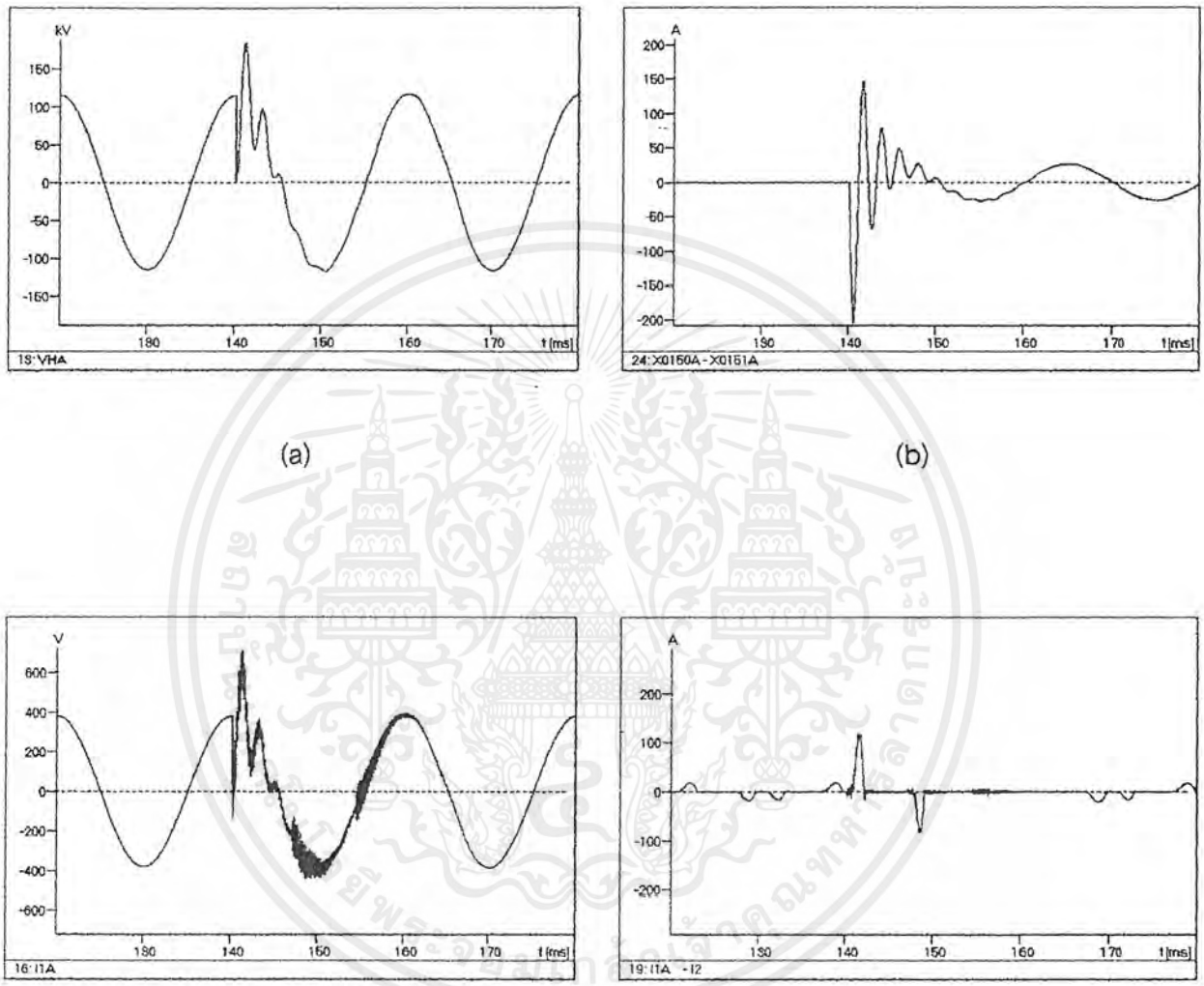
6.3.4 ค่า Cx = 1 Mvar



รูปที่ 6.21 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 1 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

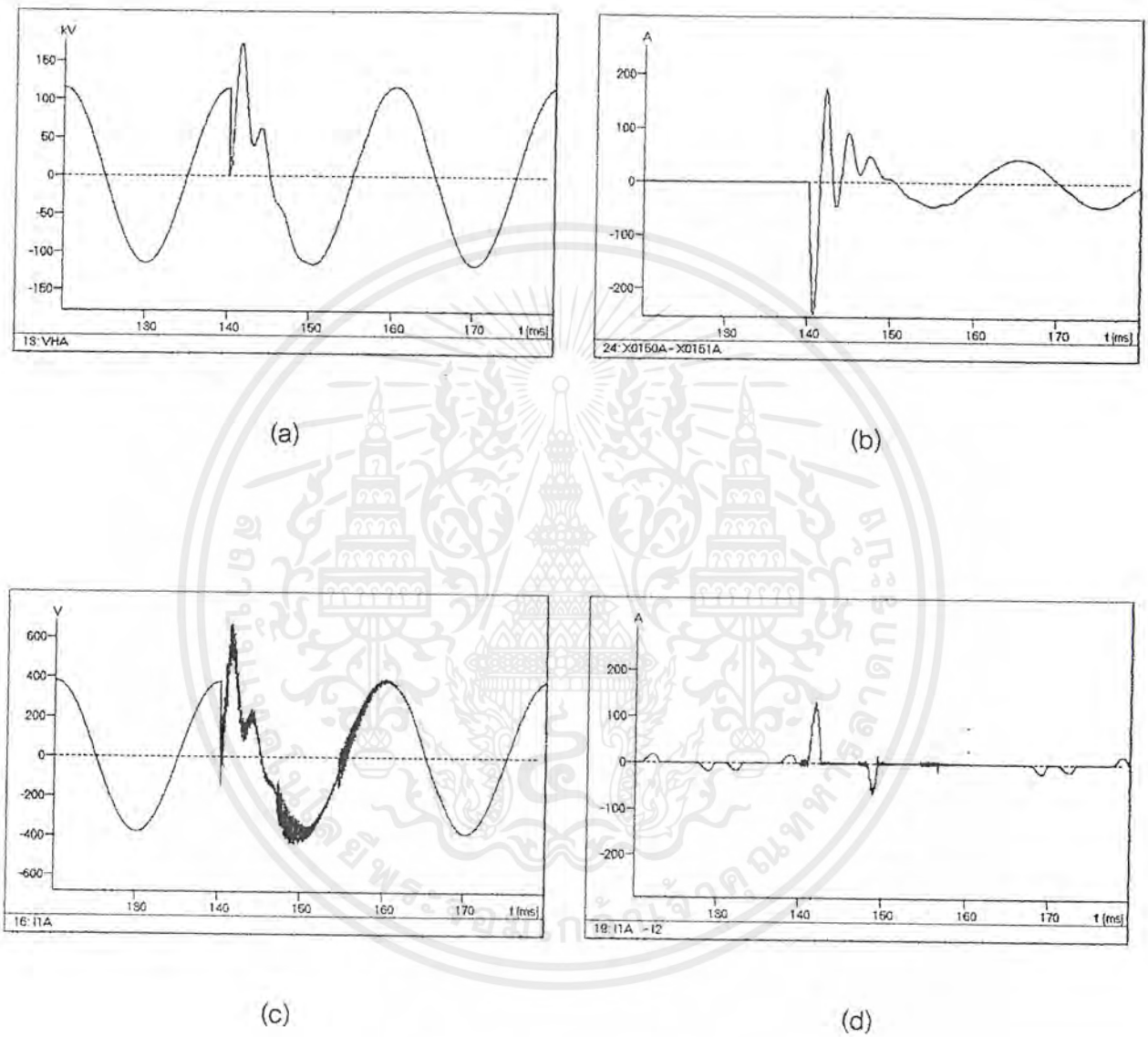
6.3.5 ค่า Cx = 3 Mvar



รูปที่ 6.22 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 3 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

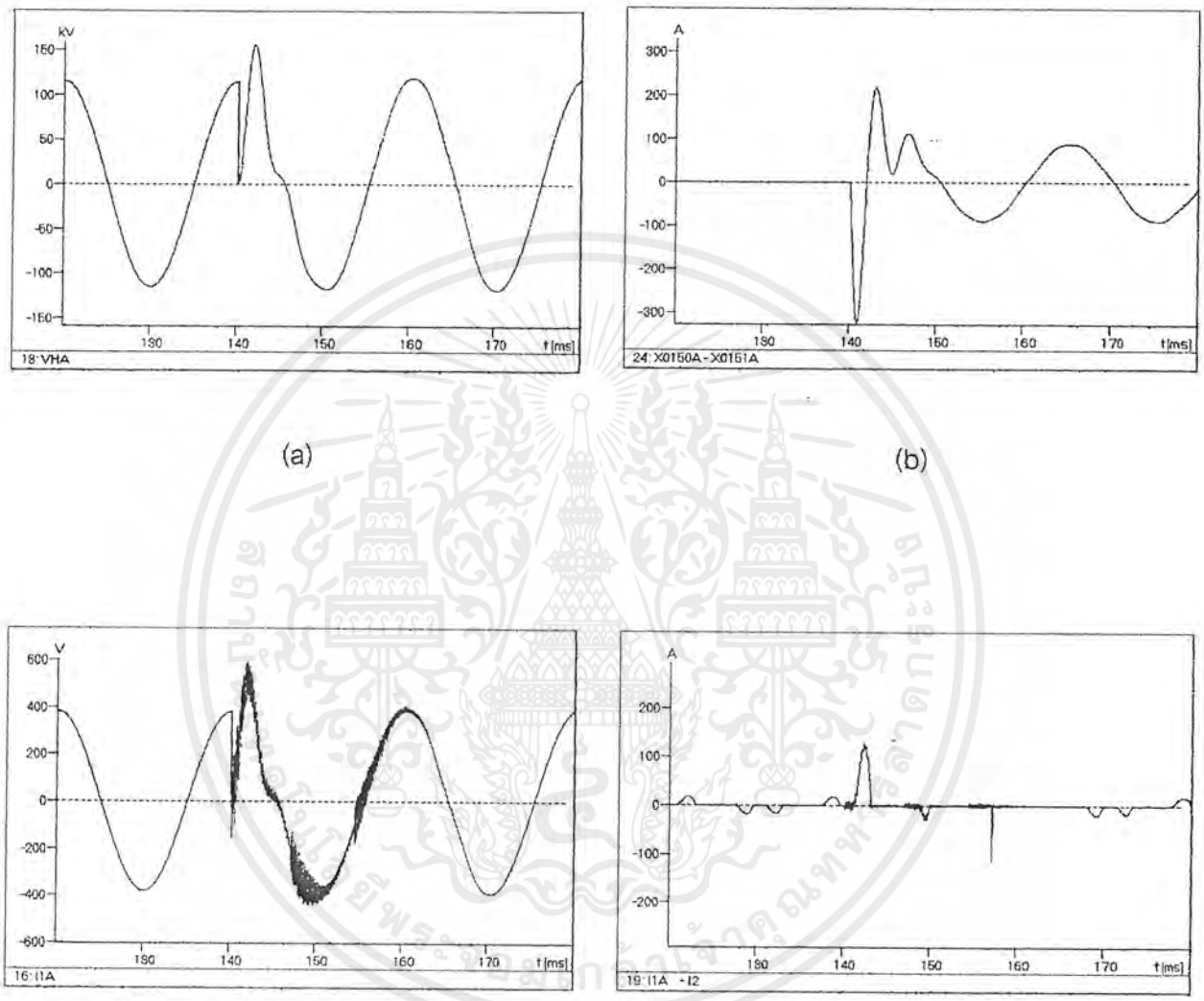
6.3.6 ค่า Cx = 5 Mvar



รูปที่ 6.23 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 5 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

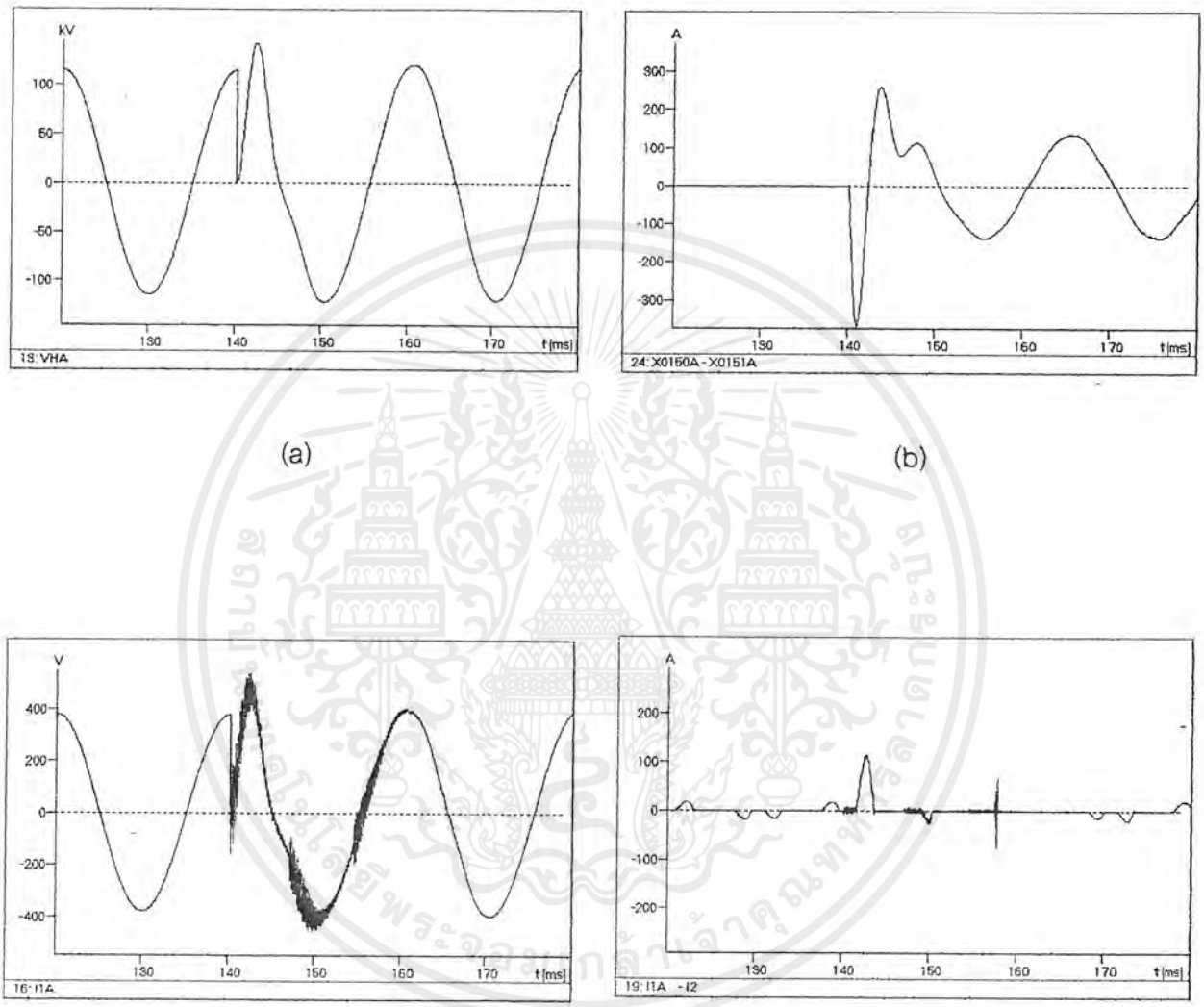
6.3.7 ค่า Cx = 10 Mvar



รูปที่ 6.24 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 10 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

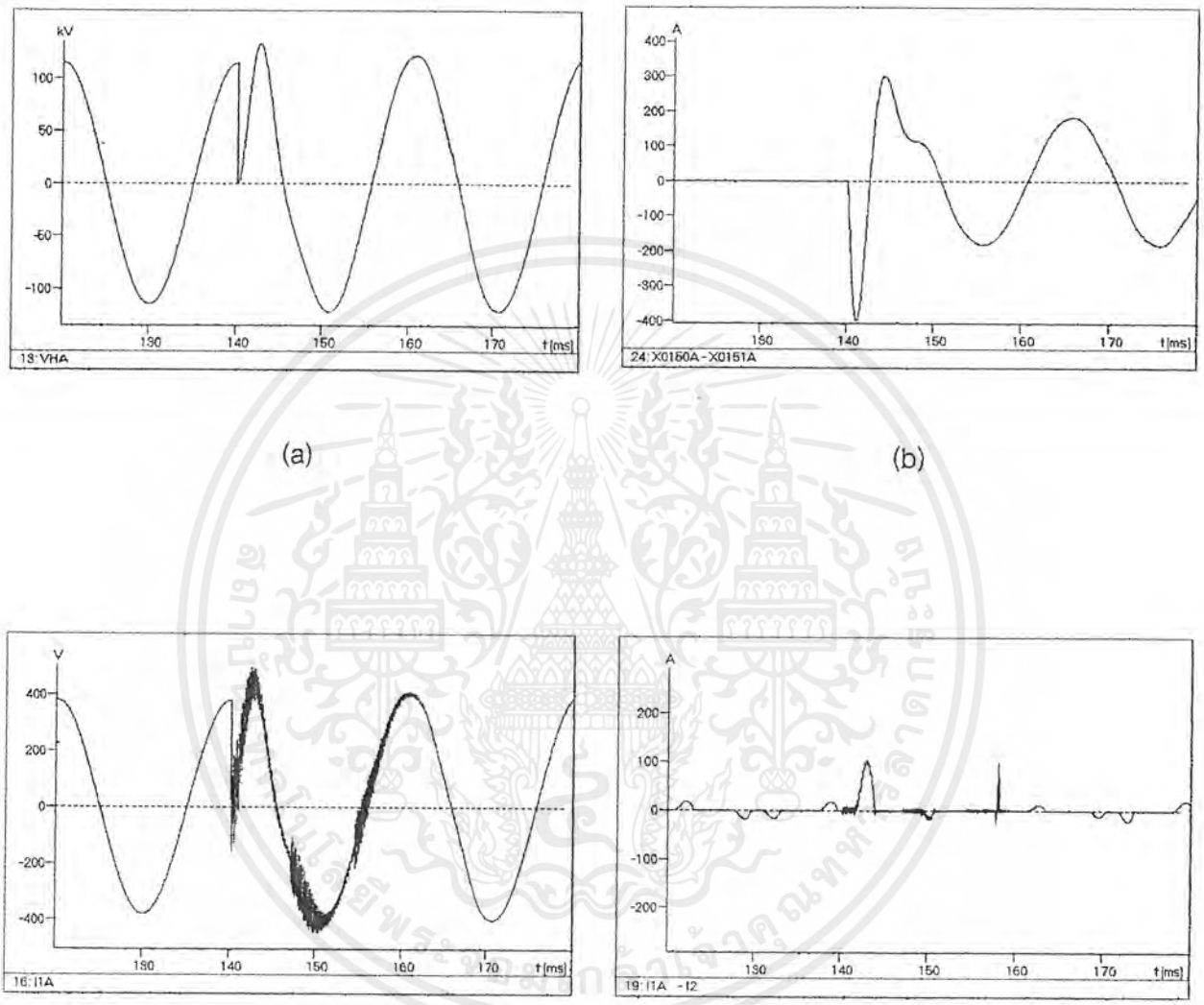
6.3.8 ค่า Cx = 15 Mvar



รูปที่ 6.25 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 15 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.9 ค่า Cx = 20 Mvar



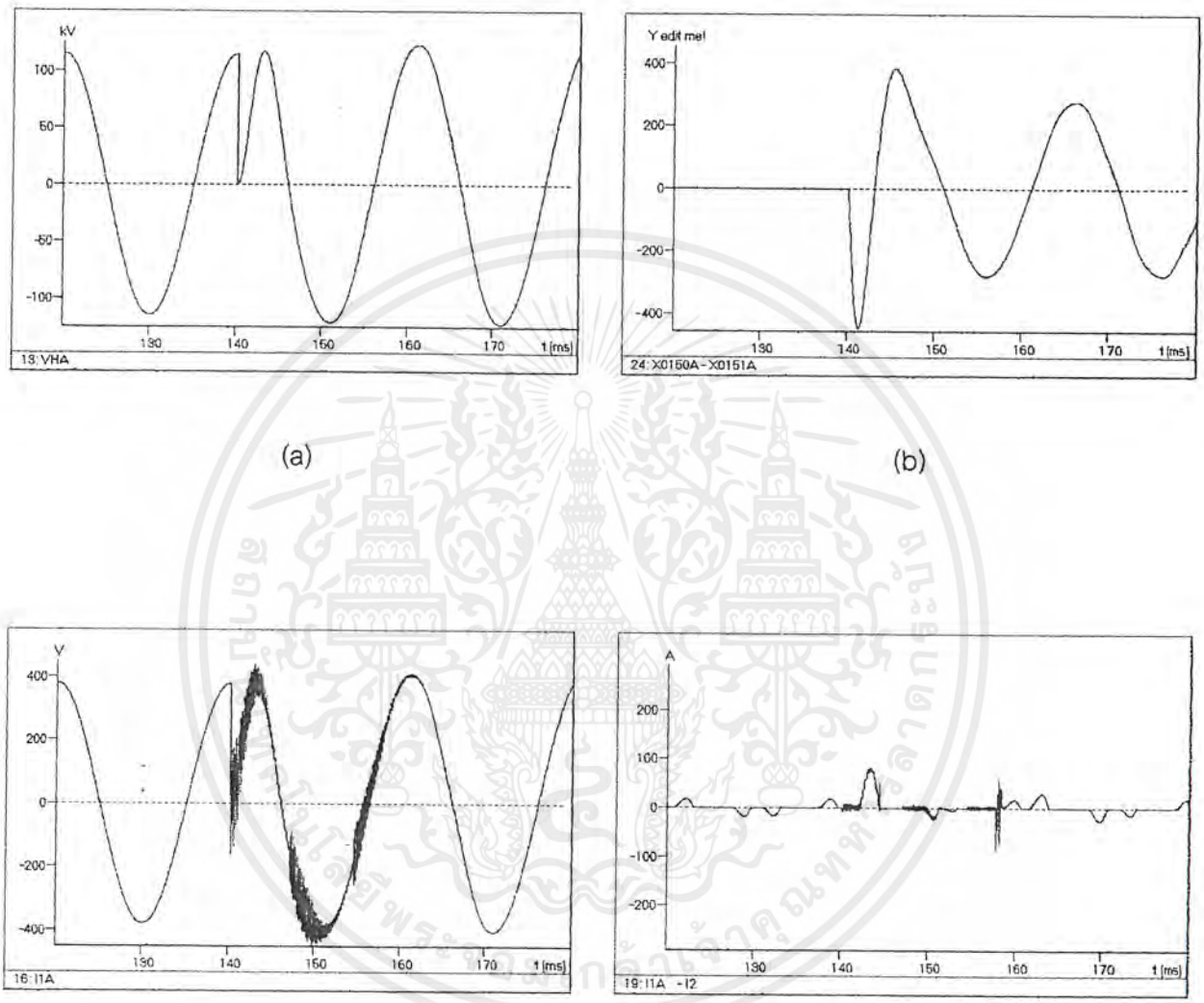
(a) (b)

(c) (d)

รูปที่ 6.26 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 20 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

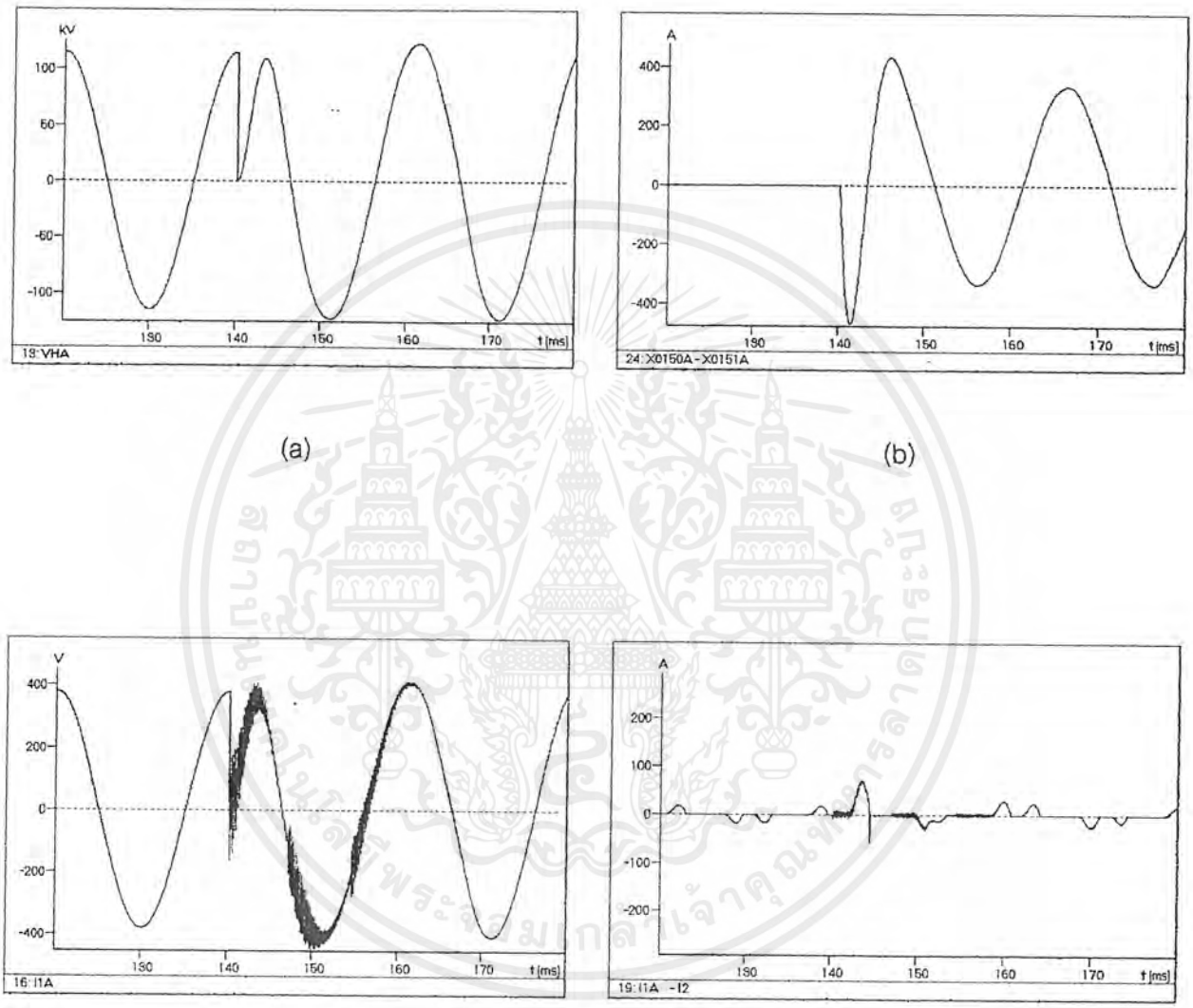
6.3.10 ค่า Cx =30 Mvar



รูปที่ 6.27 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 30 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

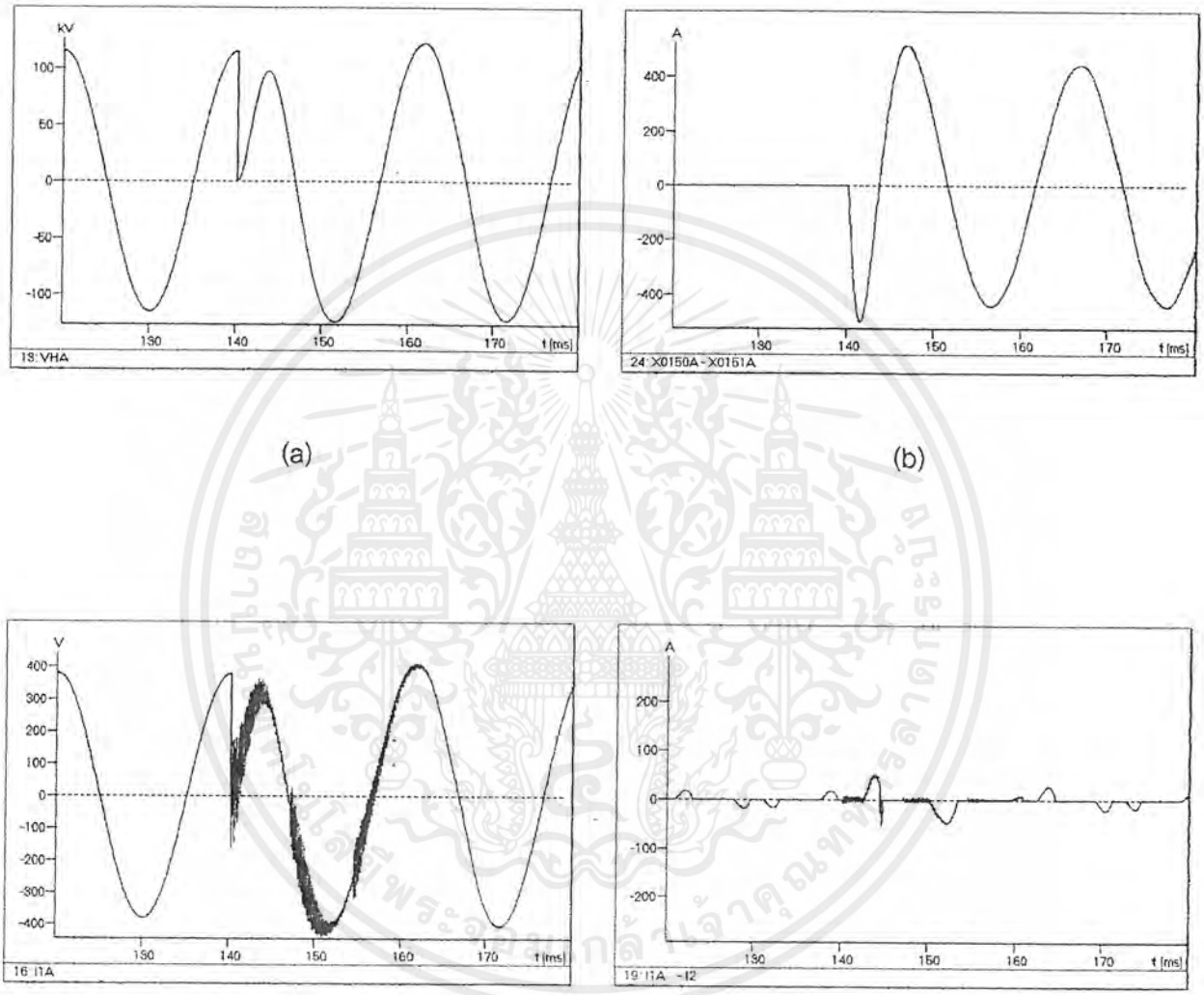
6.3.11 ค่า Cx = 36 Mvar



รูปที่ 6.28 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 36 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.12 ค่า Cx = 48 Mvar



รูปที่ 6.29 การเพิ่มแรงดันให้กับระบบที่ระยะห่าง 10 km โดยการสับคาปาซิเตอร์แบงค์ขนาด 48 Mvar , 115 kV แบบ wye ที่สถานีไฟฟ้าย่อย (a) แรงดัน 115 kV ที่สถานีไฟฟ้าย่อย , (b) กระแสพุ่งเข้าคาปาซิเตอร์แบงค์ที่สถานีย่อย , (c) แรงดัน 410 V ที่โรงงาน และ (d) กระแสเข้า ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการจำลองระบบ

1. การวิเคราะห์ทรานเซียนท์จากการสับสวิทช์คาปาซิเตอร์แบงค์ ระยะทางของโรงงานอุตสาหกรรมกับสถานีจ่ายไฟฟ้าย่อยมีผลต่อการลด-เพิ่ม ทรานเซียนท์ที่เกิดขึ้นจากการสับสวิทช์คาปาซิเตอร์แบงค์น้อยหรือแทบไม่มีผลเลย

2. การวิเคราะห์ทรานเซียนท์จารการสับสวิทช์คาปาซิเตอร์แบงค์พิจารณาจากขนาดของคาปาซิเตอร์แบงค์

- กระแสกระชากทางด้านแรงดันสูงและทางด้านแรงดันต่ำจะมีค่ามาก และความถี่ของกระแสทรานเซียนท์ที่เกิดขึ้นจะสูงที่ขนาดคาปาซิเตอร์น้อย
- ที่ขนาดคาปาซิเตอร์น้อย ขนาดของแรงดันเกินจะมีค่ามาก และความถี่ของทรานเซียนท์ที่เกิดขึ้นจะสูง ระยะเวลาที่เกิดสภาพทรานเซียนท์จะสั้นกว่าที่ขนาดคาปาซิ-เตอร์ที่มีค่ามาก ที่ด้านแรงดันต่ำจะสามารถเห็นสภาพทรานเซียนท์ที่เป็นผลมาจากการสับสวิทช์คาปาซิเตอร์ของเฟสอื่นได้อย่างชัดเจน
- ขนาดคาปาซิเตอร์แบงค์มากขึ้นจะมีผลให้ทรานเซียนท์ที่เกิดจากกับสับสวิทช์มีค่าลดลง

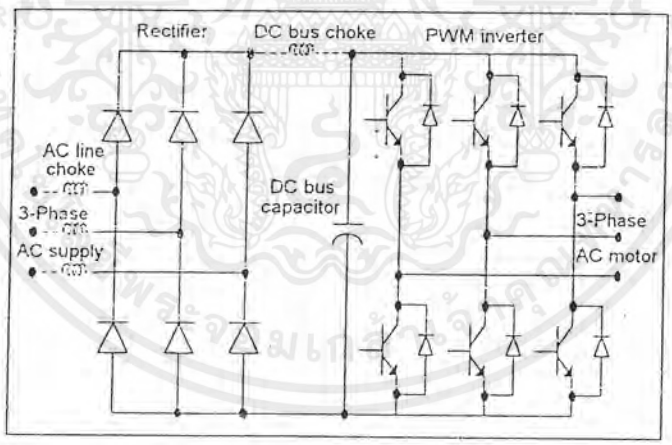
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
ศึกษาผลกระทบที่เกิดขึ้นกับ ASD เนื่องมาจากการสับสวิทช์คาปาซิเตอร์ เมื่อใส่ AC line choke และ DC bus choke โดยการจำลองระบบ

7.1 การจำลองระบบในส่วนของโหลดของโรงงานซึ่งเป็นอินเวอร์เตอร์ใช้ควบคุมมอเตอร์ขนาด 75 kW

การจำลองระบบนี้เป็นการศึกษาสภาวะทรานเซียนท์ที่เกิดขึ้นว่ามีผลกระทบอย่างไรกับส่นของอินเวอเตอร์และการลดทรานเซียนท์โดยการใส่ AC ine choke และ DC bus choke เพื่อป้องกันอันตรายของสภาวะทรานเซียนท์ที่จะเกิดขึ้นกับอินเวอเตอร์ ในส่วนต่างๆ มีขั้นตอนการจำลองระบบมีดังนี้

7.1.1 นำผลการจำลองระบบจากบทที่ 6 โดยเลือกค่า Cx ที่ทำให้เกิดทรานเซียนท์สูงที่สุดแล้วจ่ายให้กับ อินเวอร์เตอร์ ซึ่งมี 4 แบบ คือ แบบที่ไม่มีทั้ง AC line choke และ DC bus choke , แบบทีมี AC line choke เท่านั้น , แบบที่มี DC bus choke เท่านั้นและแบบที่มีทั้ง AC line choke และ DC bus choke ดังรูปที่ 7.1



รูปที่ 7.1 อินเวอร์เตอร์แบบ PWM ที่ประกอบด้วย AC line choke และ DC bus choke

7.1.2 แบบมี AC line choke และแบบที่มี DC bus choke ทดลองโดยเปลี่ยนค่าอินดัค-แตนท์(L) ในส่วนของ AC line choke และ DC bus choke ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 7.1 ค่าอินดัคแตนท์ของแบบที่มี AC line choke

ค่าอินดัคแตนซ์ (mH)					
L1	L2	L3	L4	L5	L6
0.5	0.8	1	2	5	10

ตารางที่ 7.2 ค่าอินดัคแตนท์แบบที่มี DC bus choke

ค่าอินดัคแตนซ์ (mH)					
L1	L2	L3	L4	L5	L6
0.4	0.8	1	2	10	50

4.2.3 แบบที่มีทั้ง AC line choke และ DC bus choke โดยการเปลี่ยนค่าอินดัคแตนซ์ (L) ในส่วนของ AC line choke และ DC bus choke

4.2.4 ทำการศึกษาและวิเคราะห์ค่าต่างๆที่ได้จากการจำลองระบบ โดยแบ่งการศึกษาออกเป็น 2 ส่วนคือ

- ส่วนของ ASD โดยทั่วไปได้แก่ ของแรงดันตรงที่ DC bus choke (Vdc) , กระแสขาเข้าอินเวอร์เตอร์ (Iin) , แรงดันขาออกของอินเวอร์เตอร์ (Vout) , กระแสขาออกของอินเวอร์เตอร์ (Iout) แล้วสรุปผล
- ส่วนที่เป็นอุปกรณ์ของ ASD ได้แก่ แรงดันคร่อม IGBT (Vs) , กระแสที่ไหลผ่าน IGBT (Is) , แรงดันคร่อมไดโอด (Vdi) , กระแสที่ไหลผ่านไดโอด (Idi)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

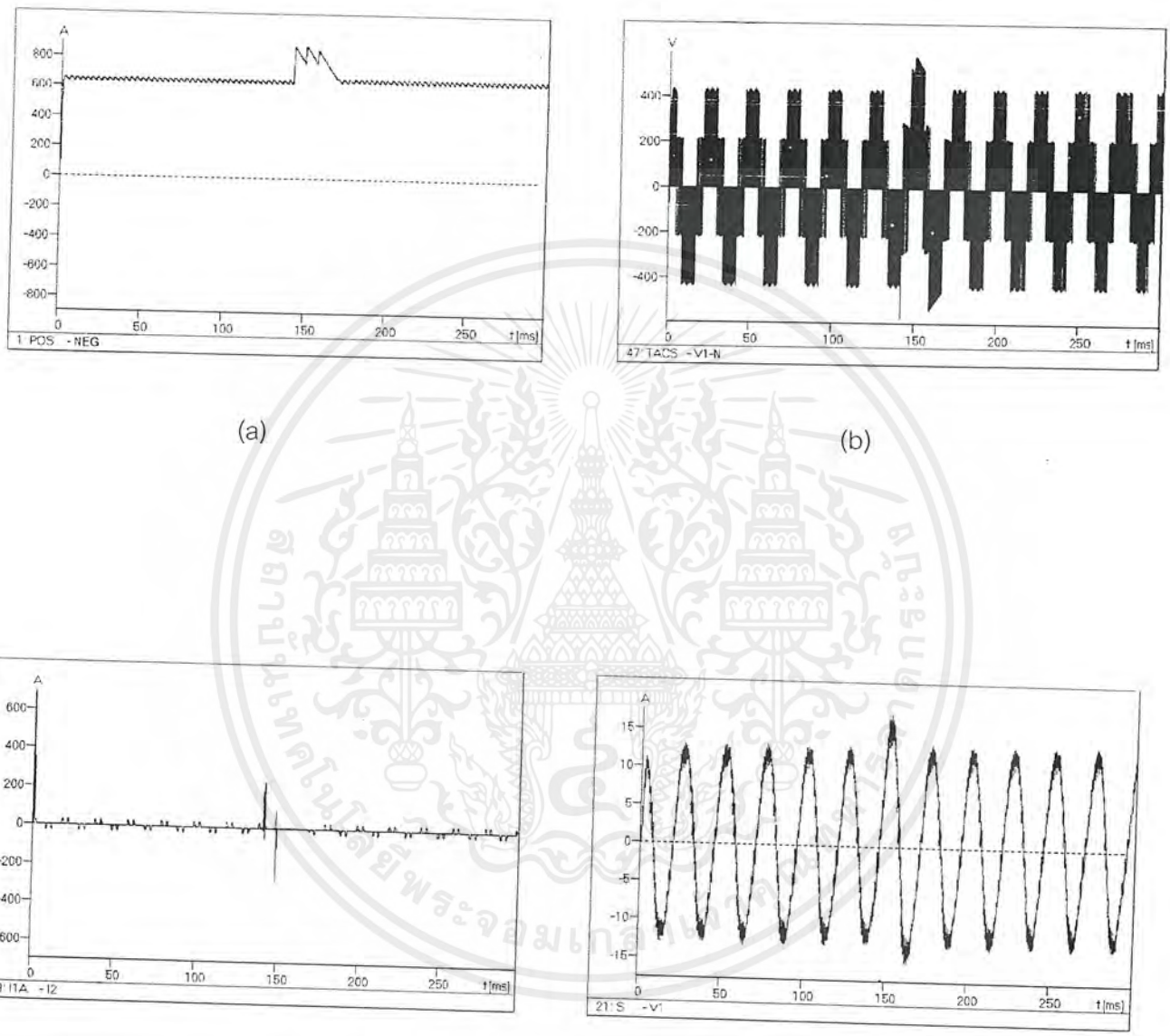
ตารางที่ 7.3 ค่าอินดัคแตนท์แบบที่มีทั้ง AC line chokec และ DC bus choke

ค่าอินดัคแตนท์ DC bus choke (mH)	ค่าอินดัคแตนท์ของ AC line choke(mH)					
	0.5	0.8	1	2	5	10
0.4	0.5	0.8	1	2	5	10
0.8	0.5	0.8	1	2	5	10
1	0.5	0.8	1	2	5	10
2	0.5	0.8	1	2	5	10
10	0.5	0.8	1	2	5	10
50	0.5	0.8	1	2	5	10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

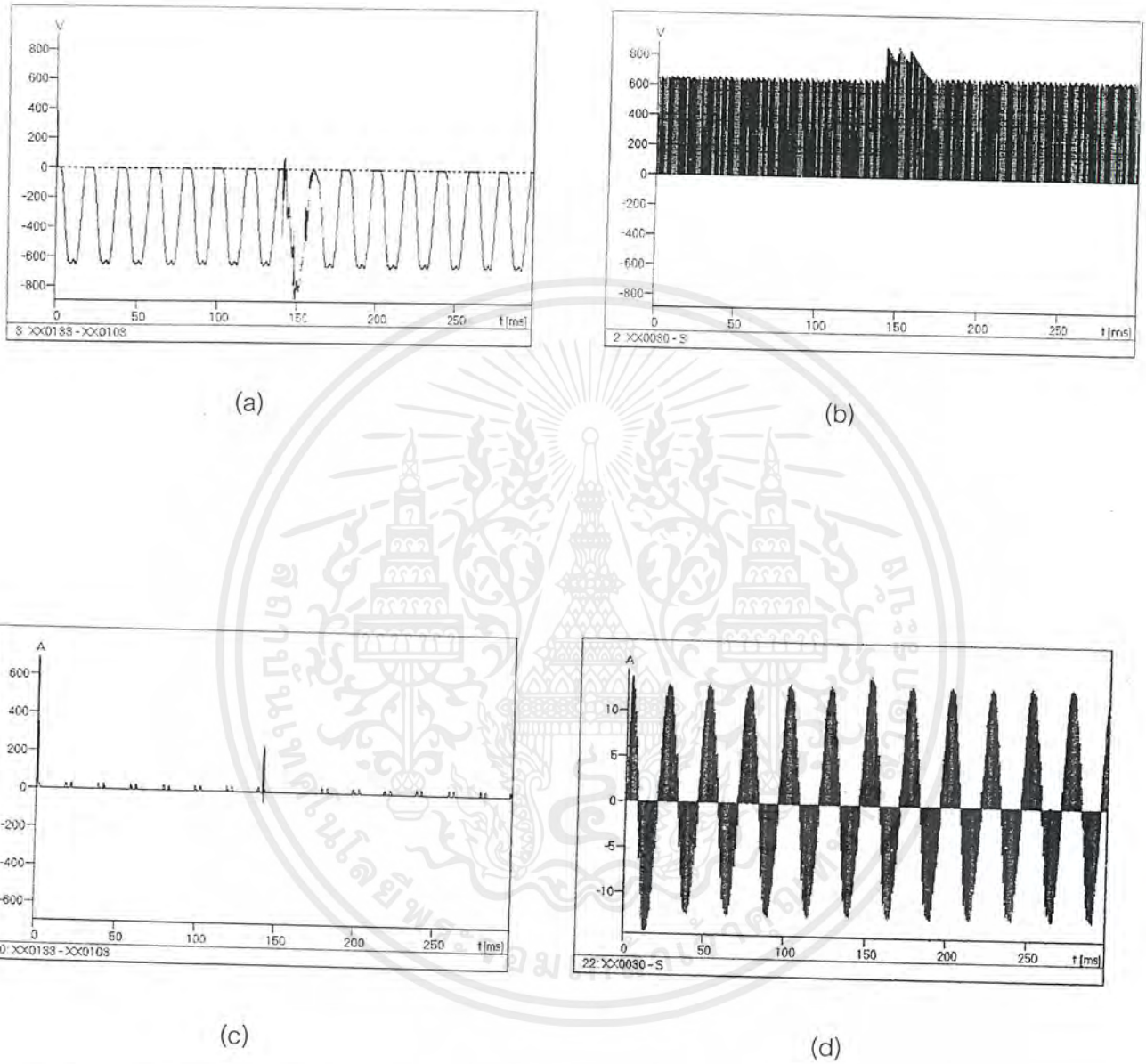
ผลการจำลองระบบ

- ผลการวิเคราะห์เมื่อไม่มีทั้ง AC line choke และ DC bus choke



รูปที่ 7.2 **ทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์เมื่อไม่มีทั้ง** AC line choke **และ** DC bus choke **ระบบ** 115-kV **ที่เกิดขึ้นกับ** ASD **ซึ่งขับโหลด** 410 V, 10 HP (a) **แรงดันที่** DC link , (b) **แรงดันขาออกของ** ASD , (c) **กระแสขาเข้าของ** ASD , (d) **กระแสขาออกของ** ASD

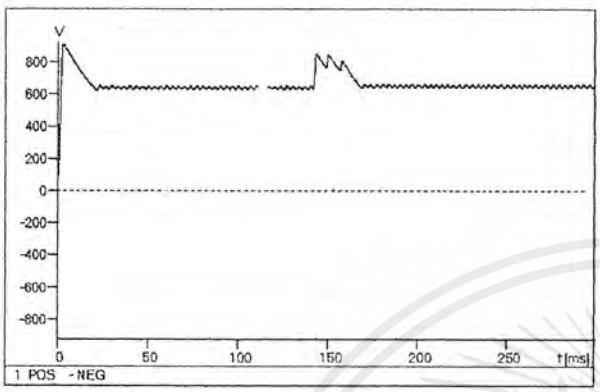
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



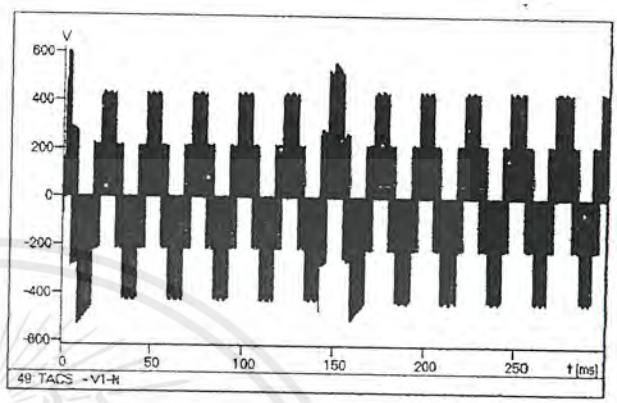
รูปที่ 7.3 **ทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์เมื่อไม่มีทั้ง** AC line choke **และ** DC bus choke **ระบบ** 115-kV **ที่เกิดขึ้นกับ** ASD **ซึ่งขับโหลด** 410 V, 10 HP (a) **แรงดันคร่อมไดโอด ,** (b) **แรงดันคร่อม** IGBT , (c) **กระแสไหลเข้าไดโอด ,** (d) **กระแสไหลเข้า** IGBT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

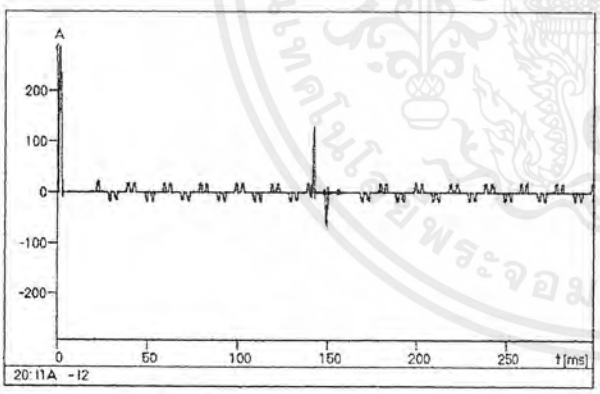
- ผลการวิเคราะห์เมื่อมี AC line choke เท่านั้น



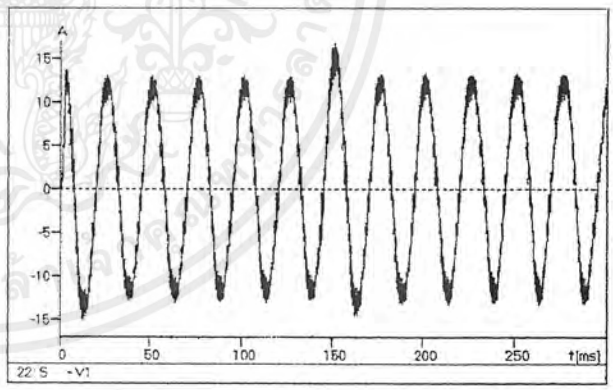
(a)



(b)



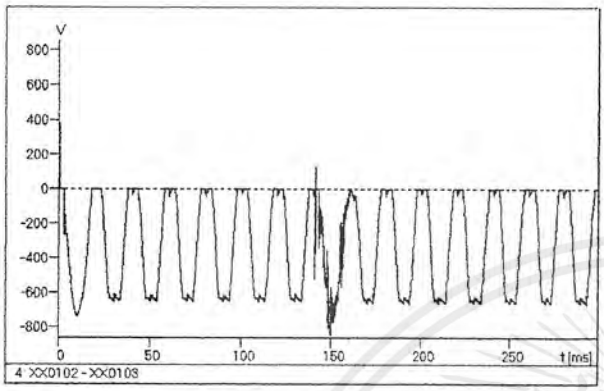
(c)



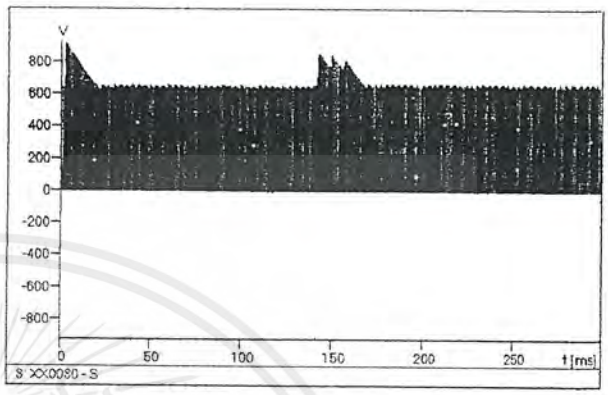
(d)

รูปที่ 7.4 ผลของการเพิ่ม AC line choke ขนาด 0.5 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

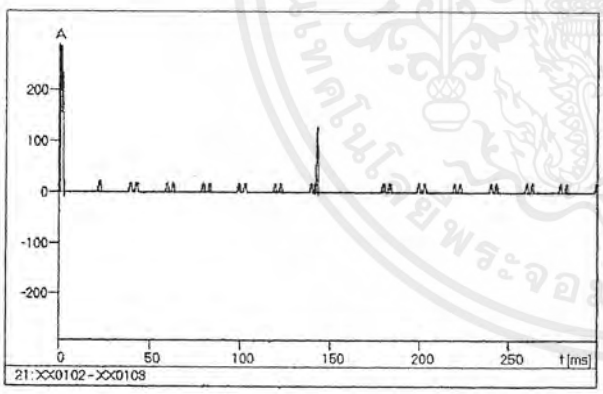
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



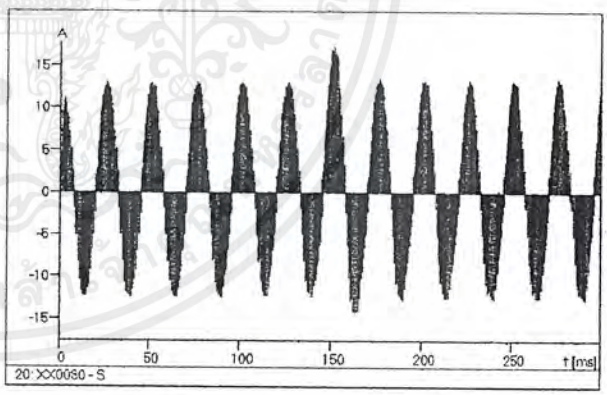
(a)



(b)



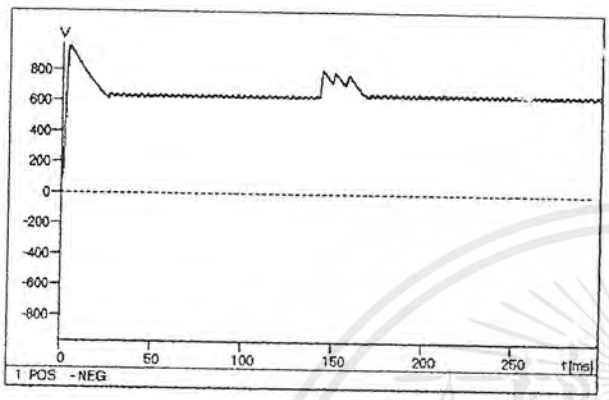
(c)



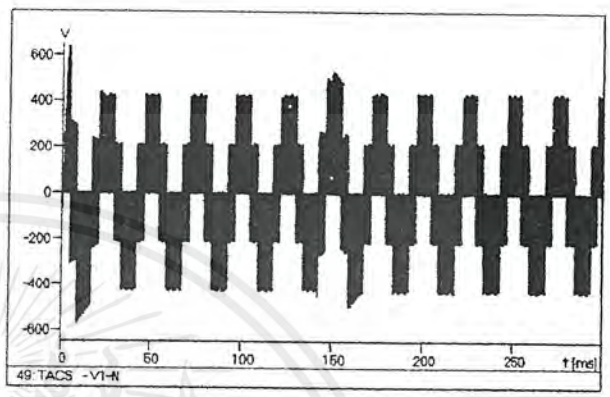
(d)

รูปที่ 7.5 ผลของการเพิ่ม AC line choke ขนาด 0.5 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

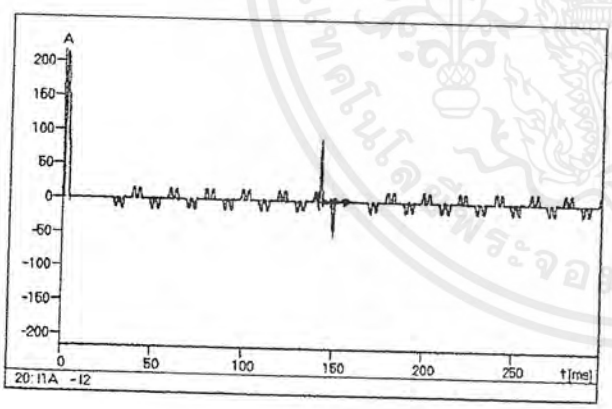
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



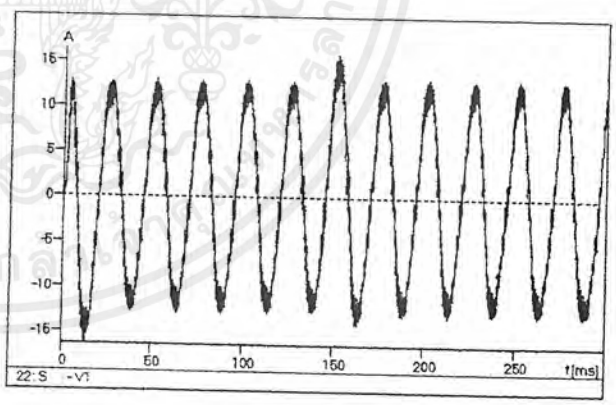
(a)



(b)



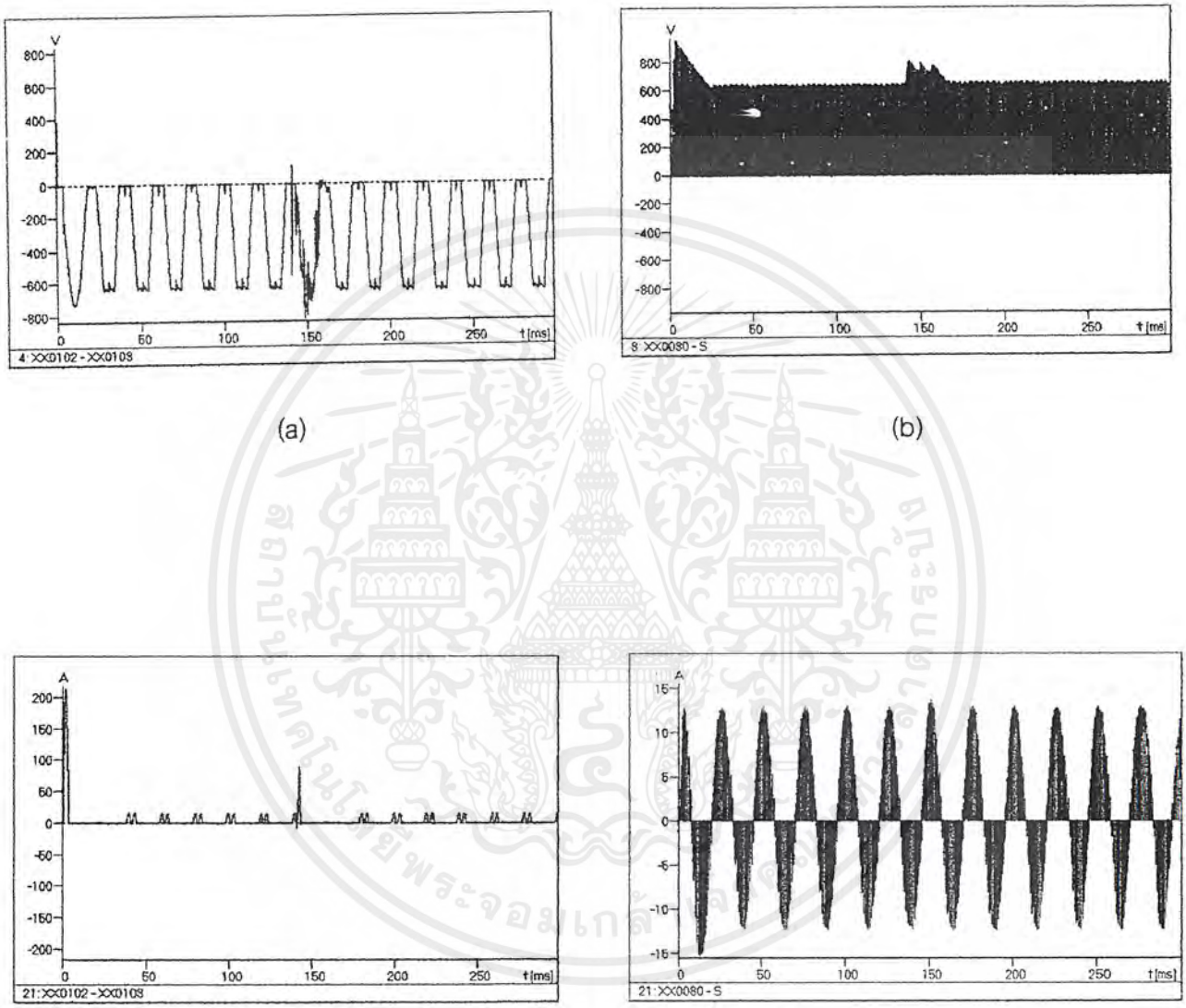
(c)



(d)

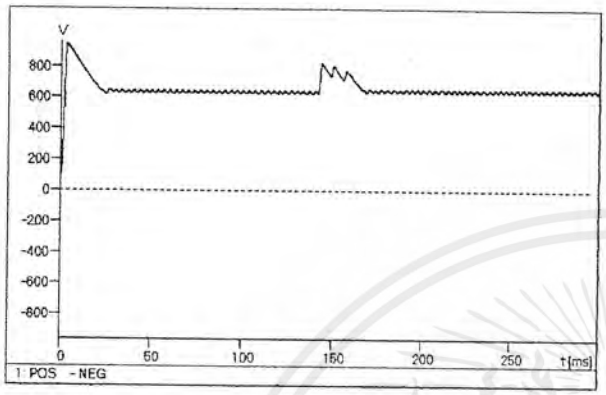
รูปที่ 7.6 ผลของการเพิ่ม AC line choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

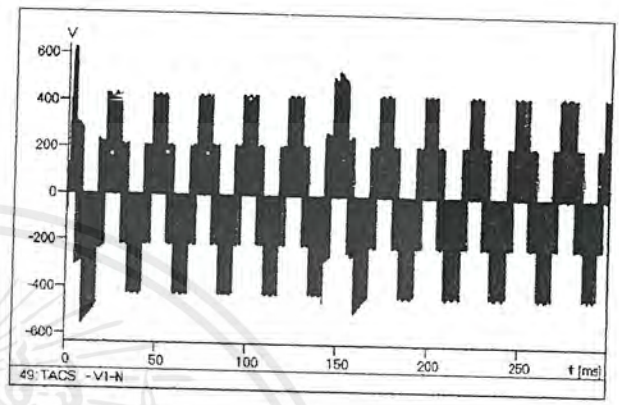


รูปที่ 7.7 ผลของการเพิ่ม AC line choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

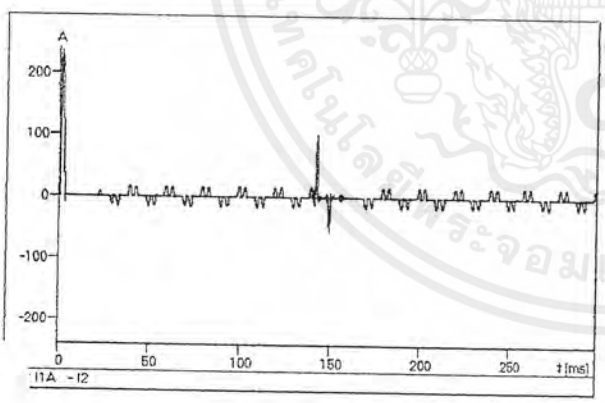
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



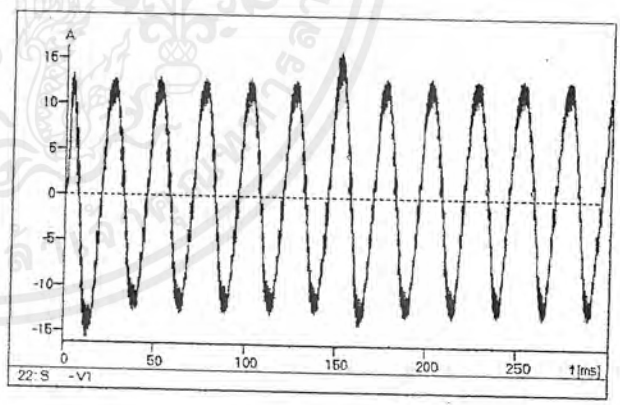
(a)



(b)



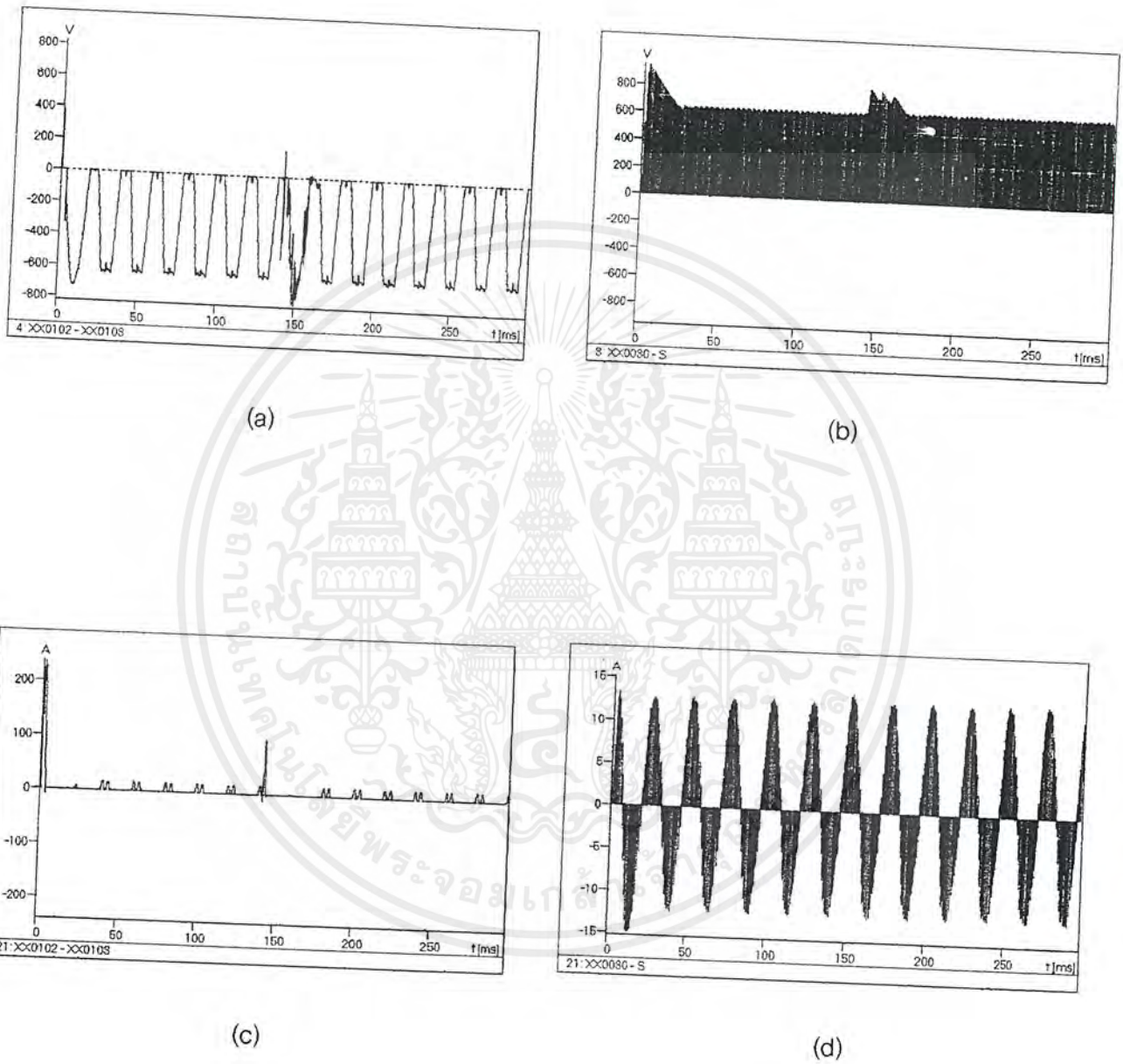
(c)



(d)

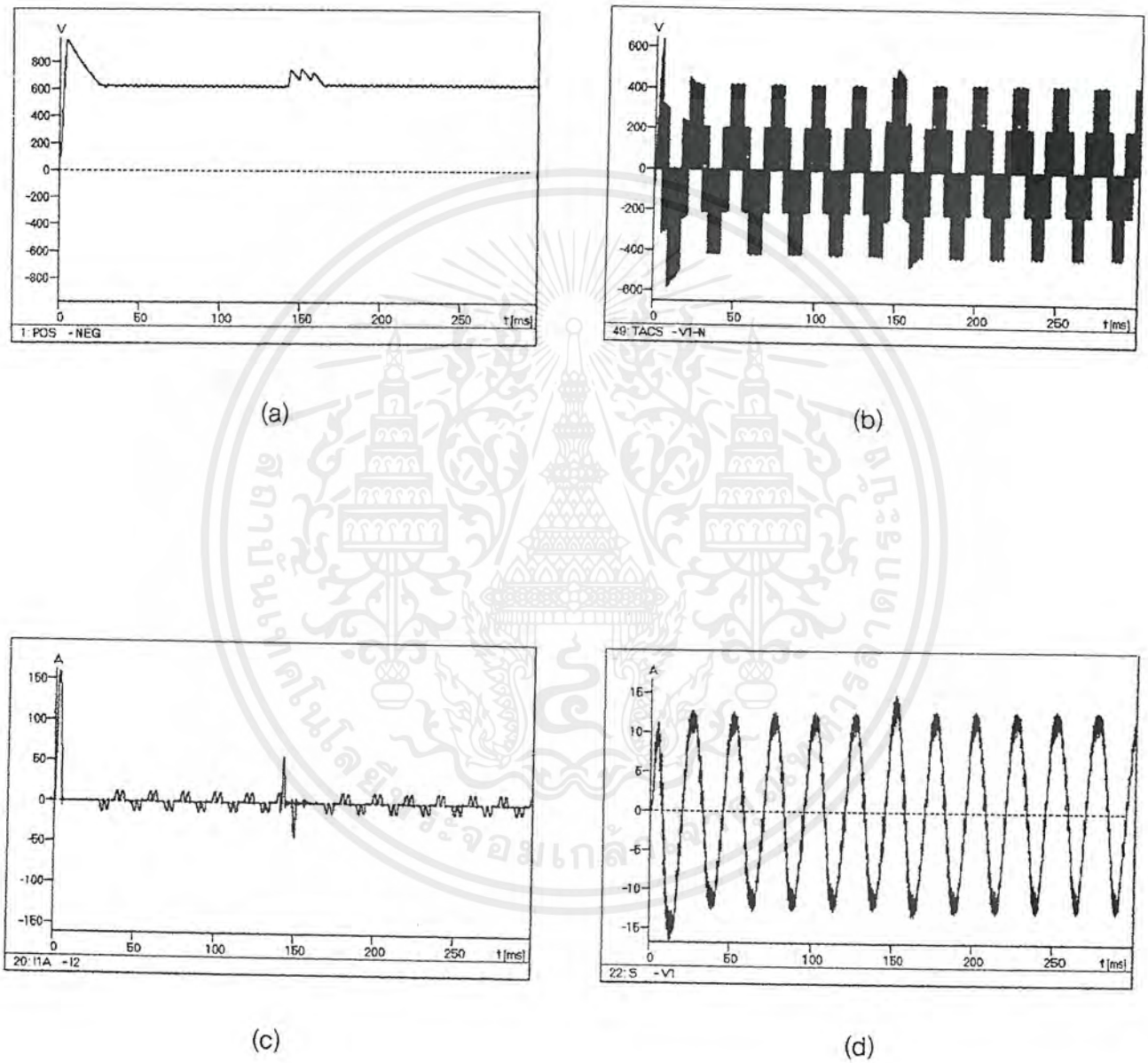
รูปที่ 7.8 ผลของการเพิ่ม AC line choke ขนาด 1 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



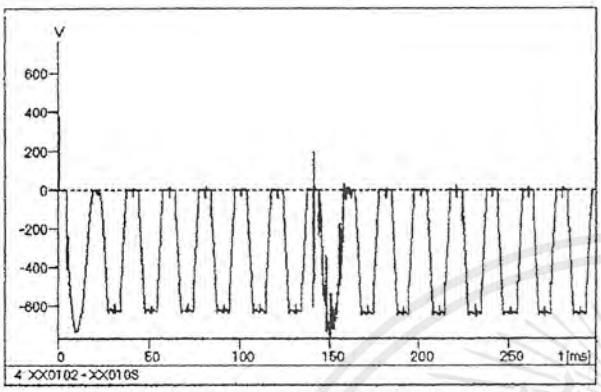
รูปที่ 7.9 ผลของการเพิ่ม AC line choke ขนาด 1 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

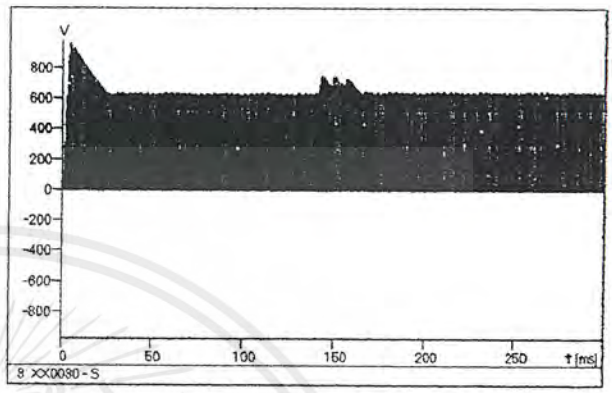


รูปที่ 7.10 ผลของการเพิ่ม AC line choke ขนาด 2 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

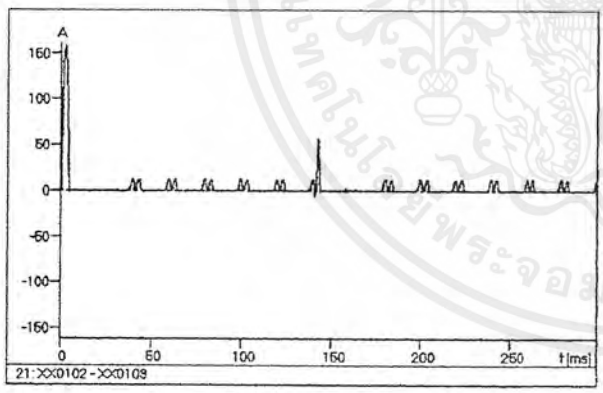
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



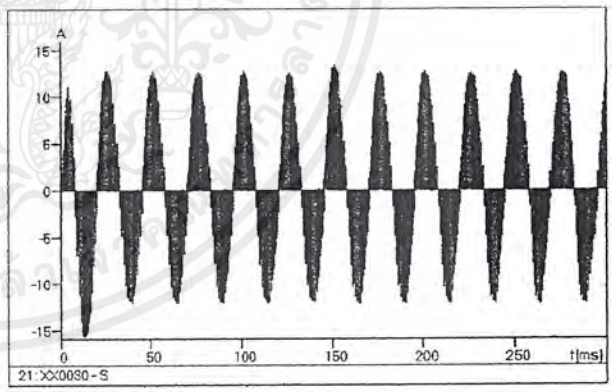
(a)



(b)



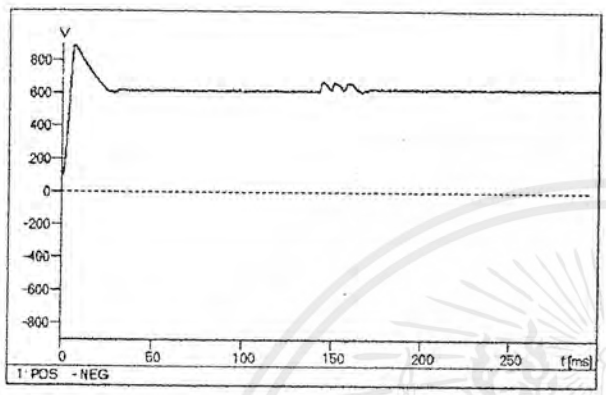
(c)



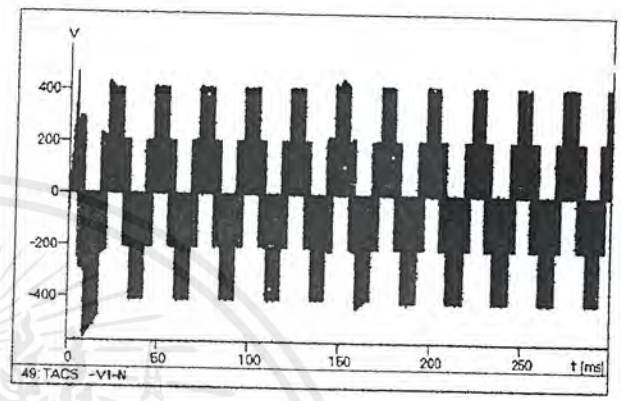
(d)

รูปที่ 7.11 ผลของการเพิ่ม AC line choke ขนาด 2 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

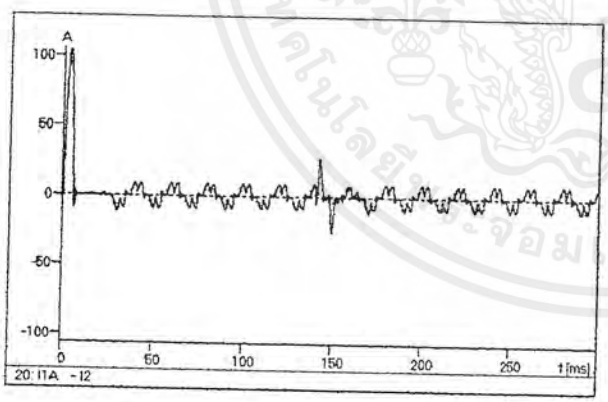
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



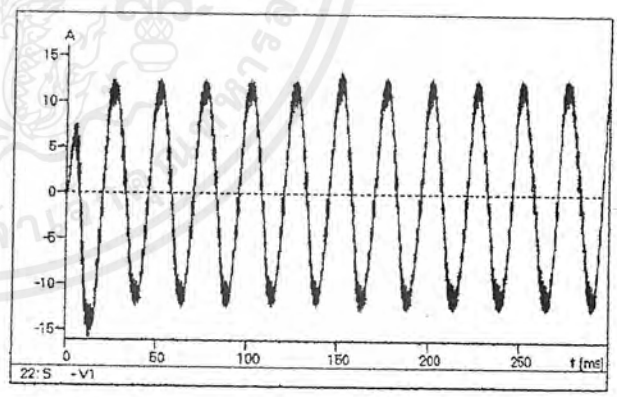
(a)



(b)



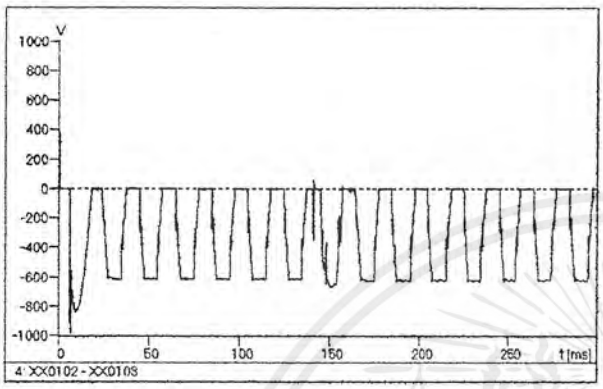
(c)



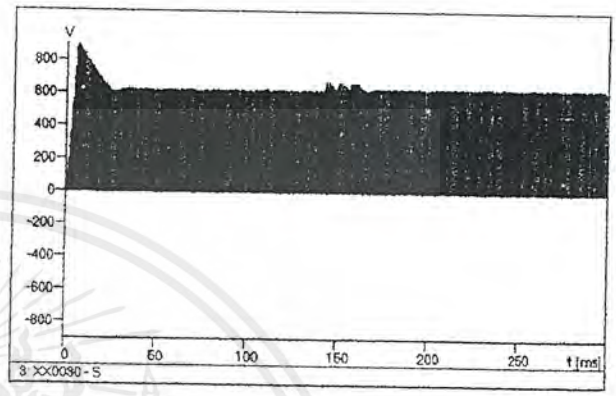
(d)

รูปที่ 7.12 ผลของการเพิ่ม AC line choke ขนาด 5 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

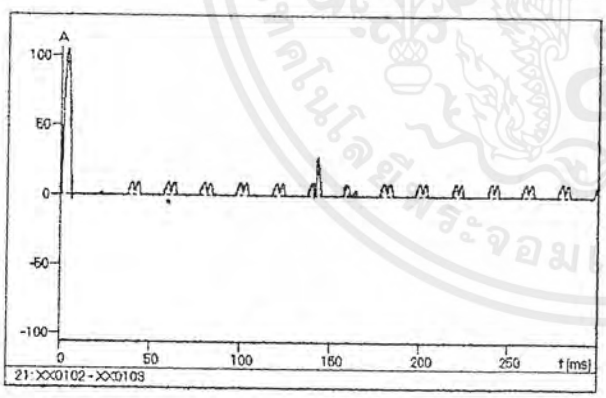
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



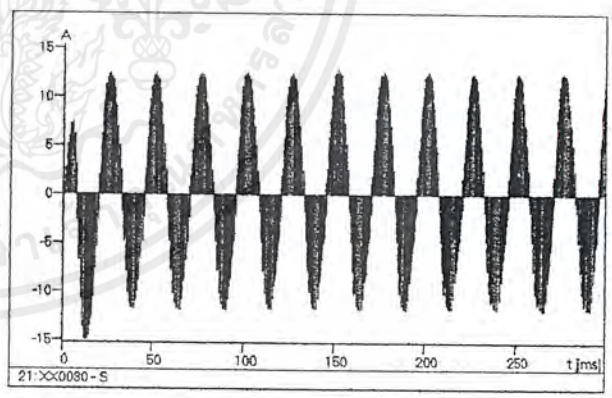
(a)



(b)



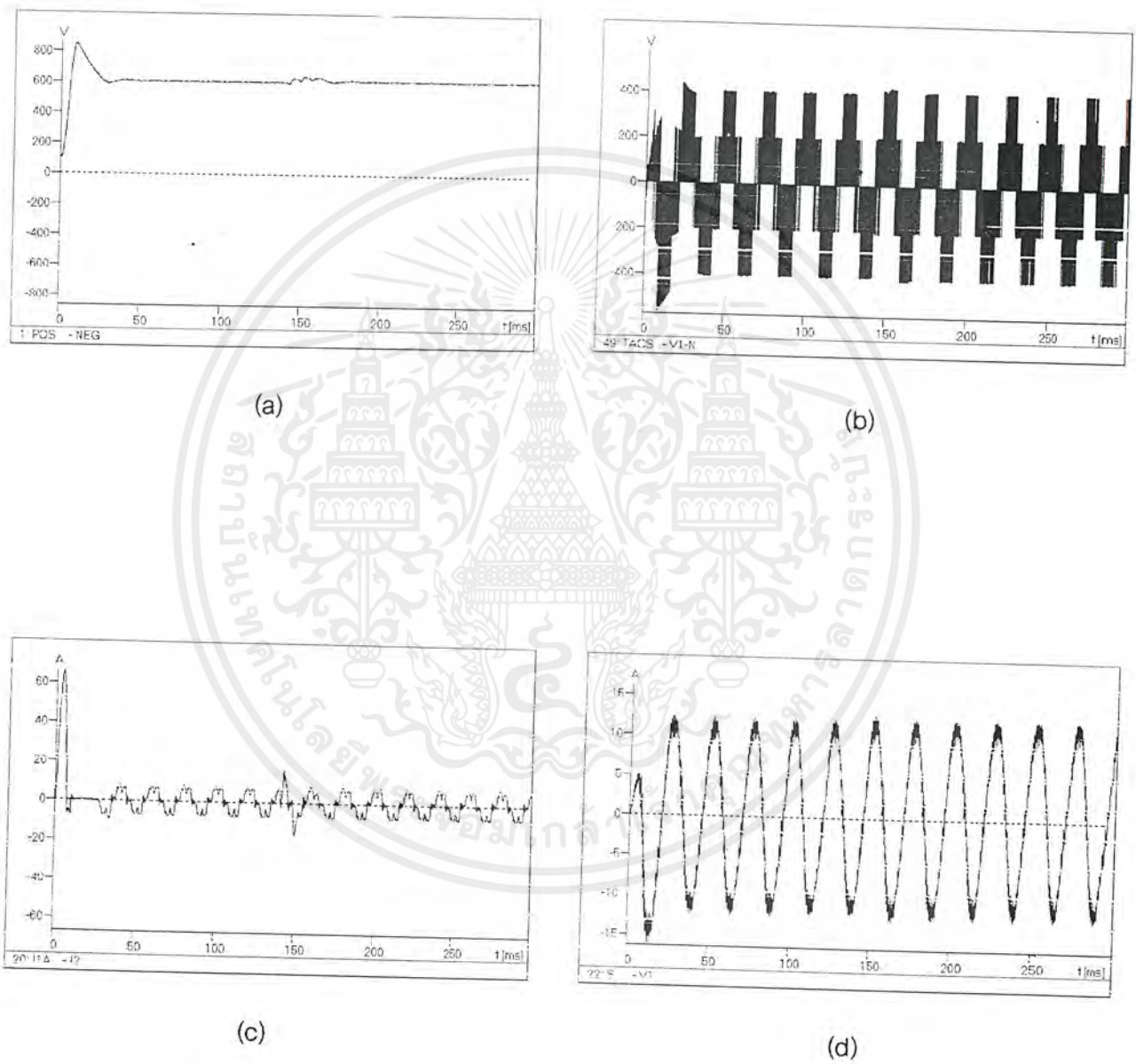
(c)



(d)

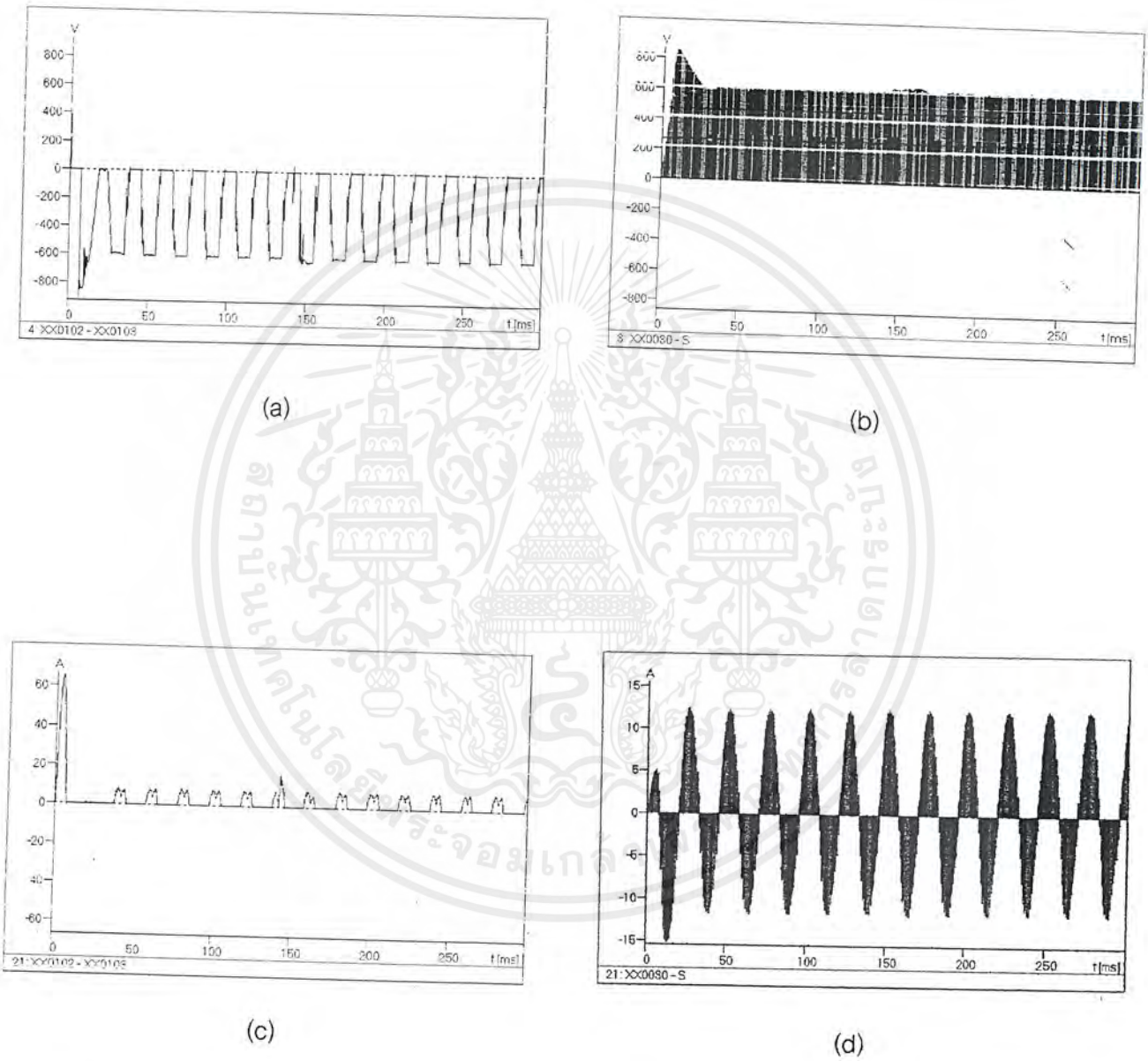
รูปที่ 7.13 ผลของการเพิ่ม AC line choke ขนาด 5 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.14 ผลของการเพิ่ม AC line choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

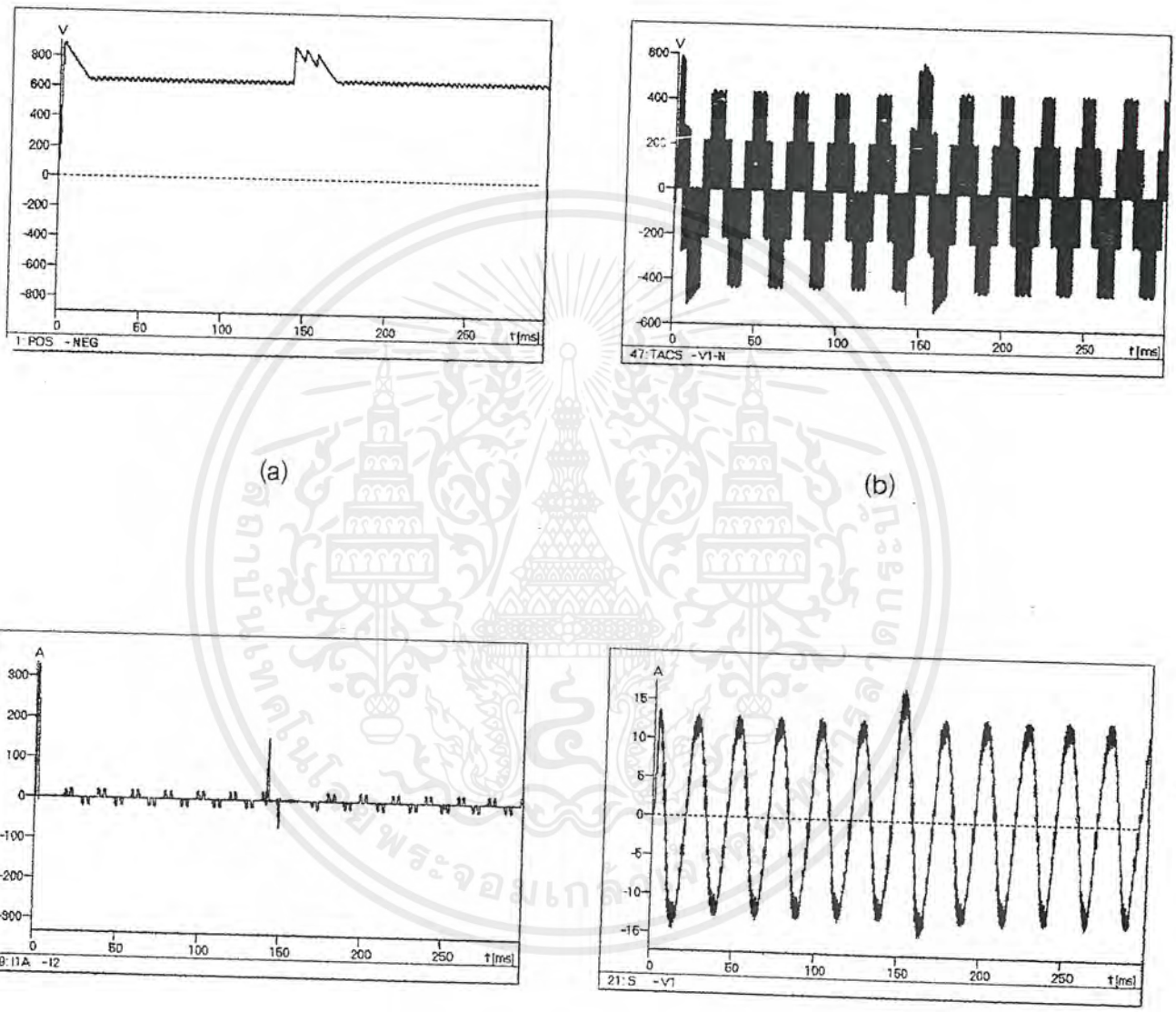
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.15 ผลของการเพิ่ม AC line choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

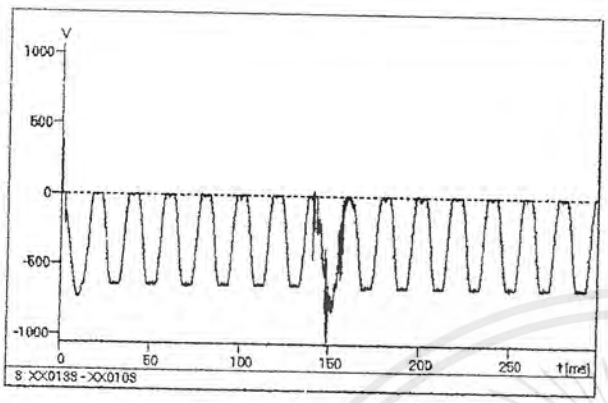
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

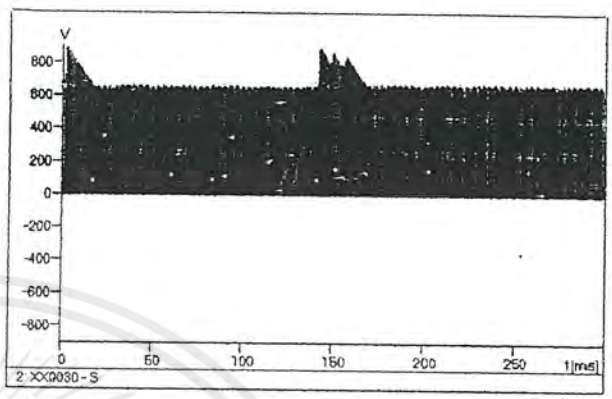
- ผลการวิเคราะห์เมื่อมี DC bus choke เท่านั้น



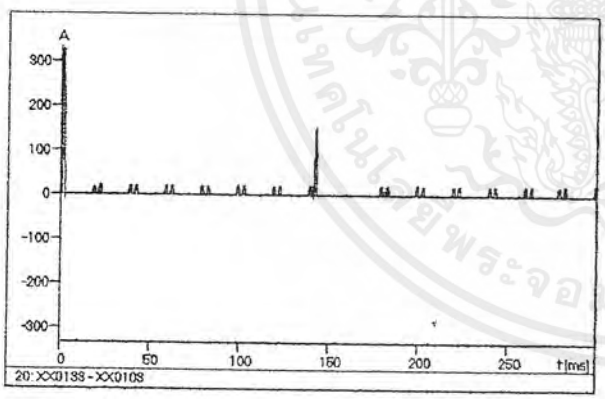
รูปที่ 7.16 ผลของการเพิ่ม DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

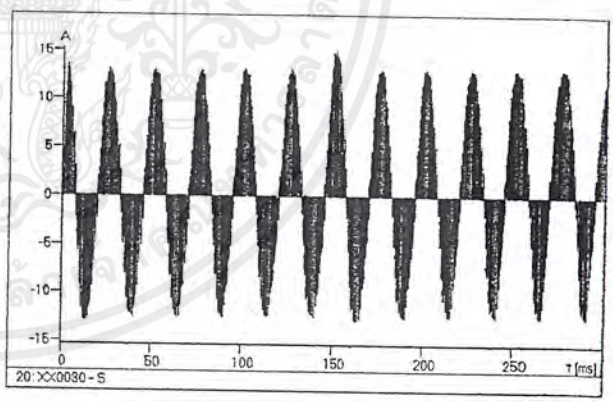
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





(a) (b)

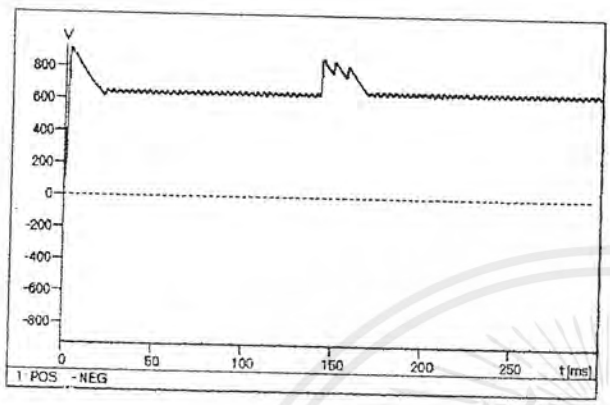




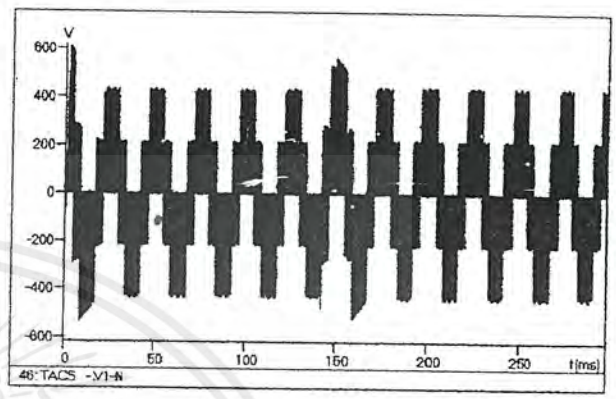
(c) (d)

รูปที่ 7.17 ผลของการเพิ่ม DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

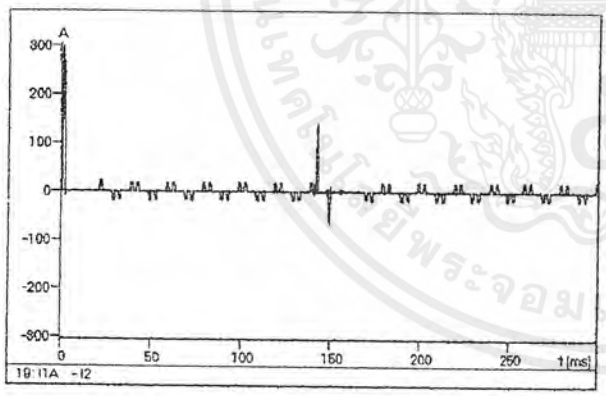
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



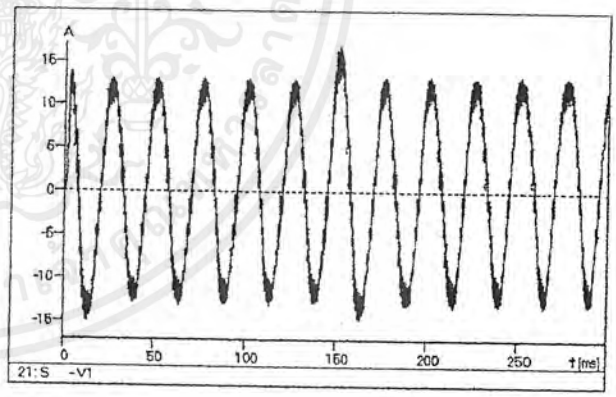
(a)



(b)



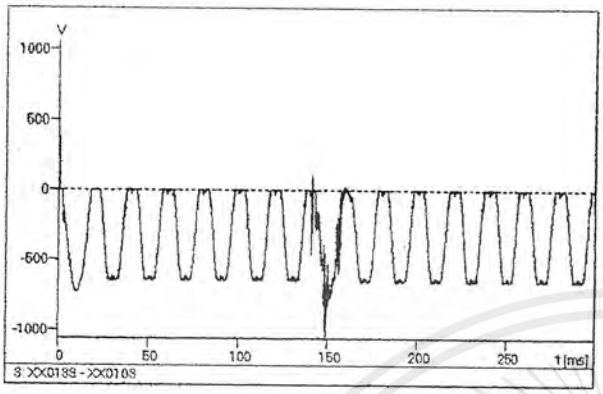
(c)



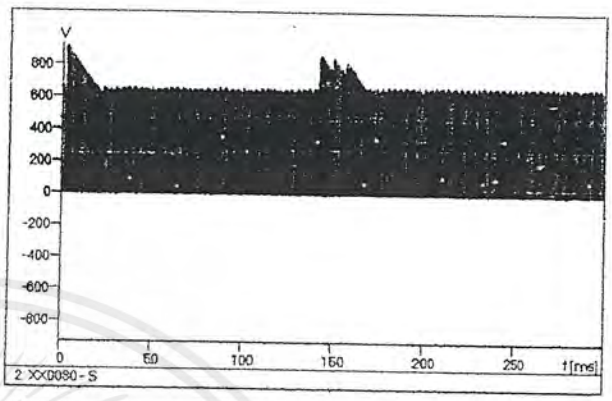
(d)

รูปที่ 7.18 ผลของการเพิ่ม DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

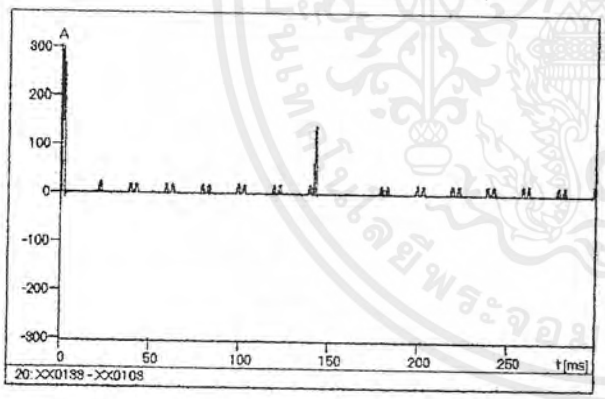
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



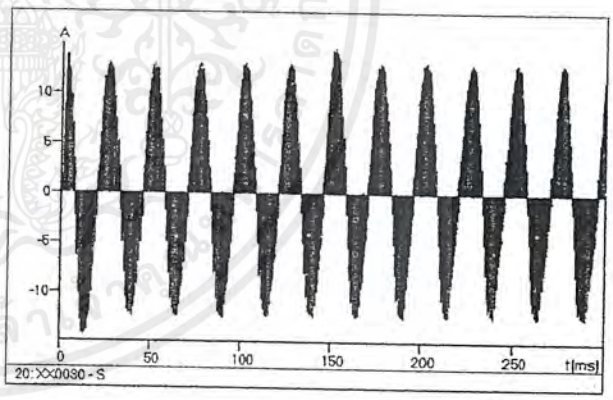
(a)



(b)



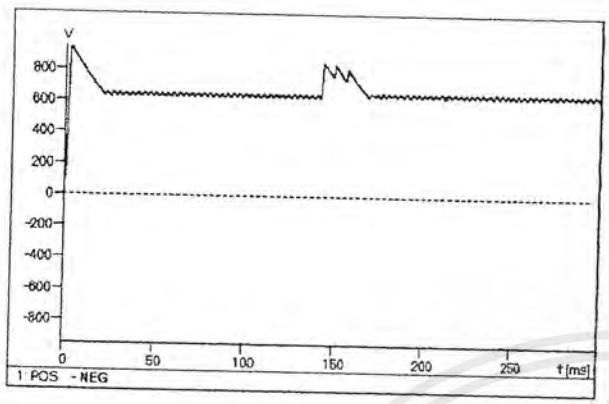
(c)



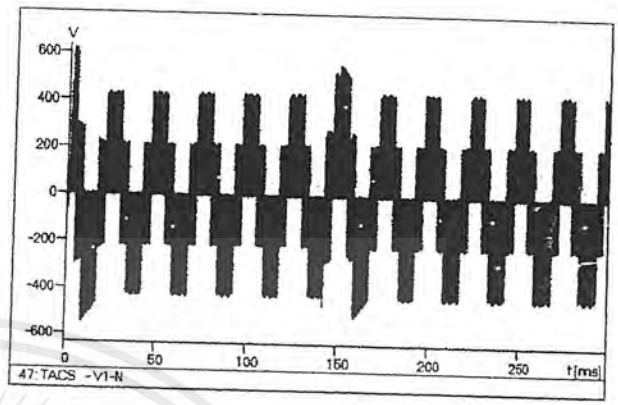
(d)

รูปที่ 7.19 ผลของการเพิ่ม DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

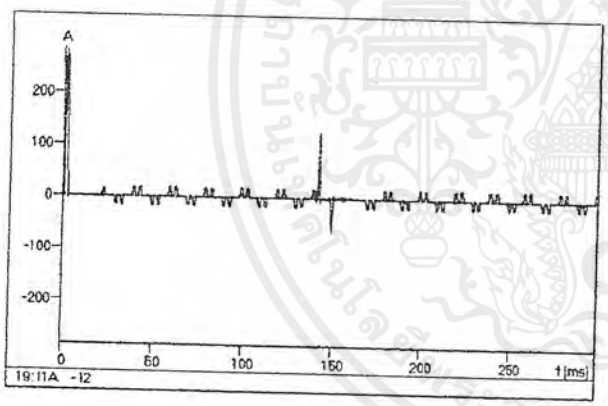
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



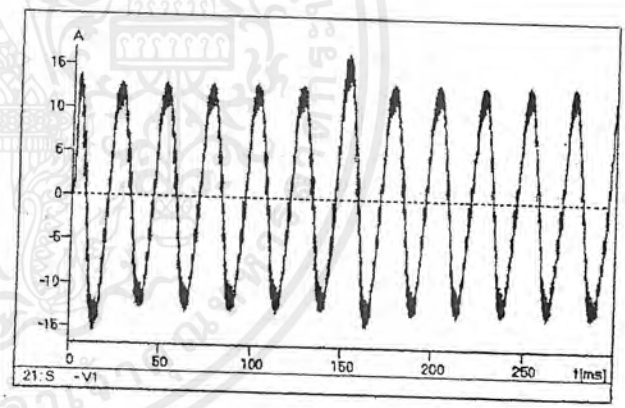
(a)



(b)



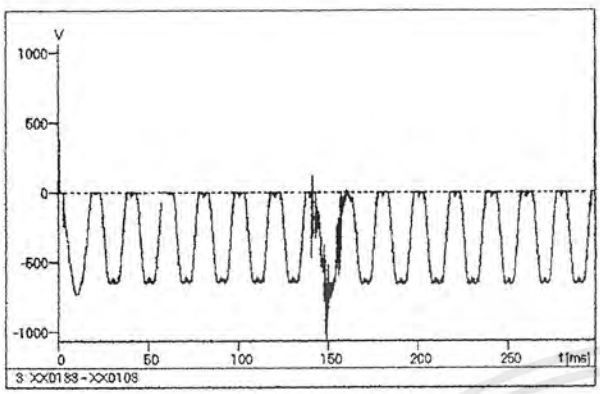
(c)

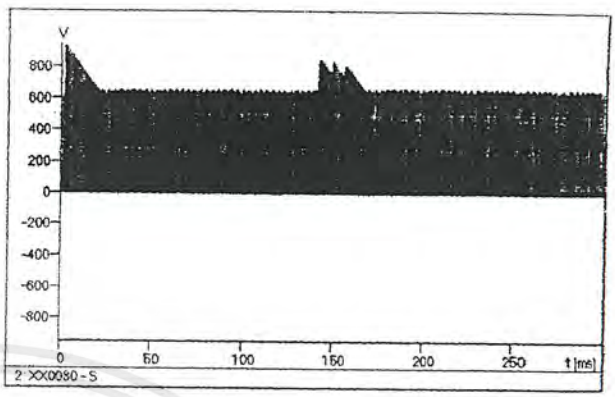


(d)

รูปที่ 7.20 ผลของการเพิ่ม DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

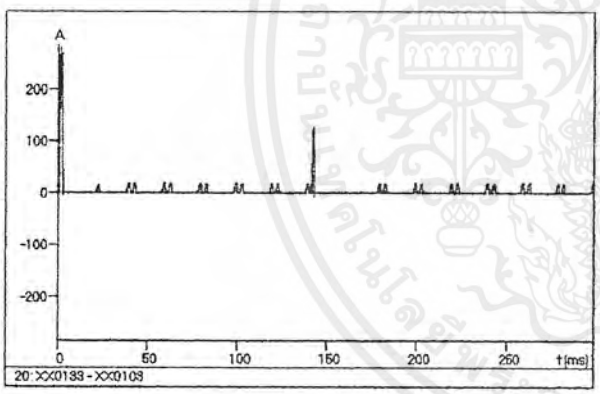
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

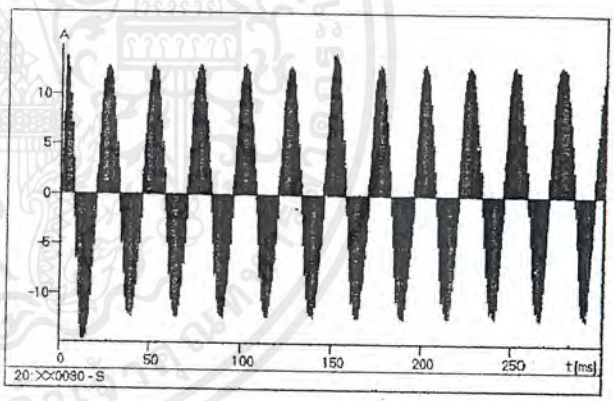




(a)

(b)



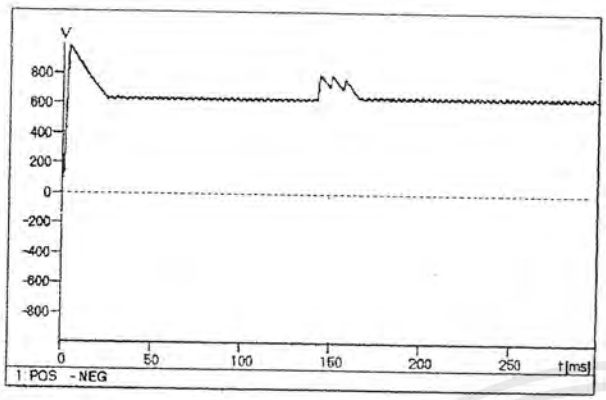


(c)

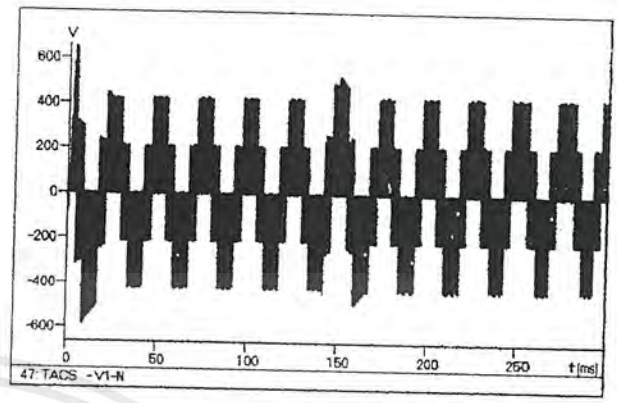
(d)

รูปที่ 7.21 ผลของการเพิ่ม DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

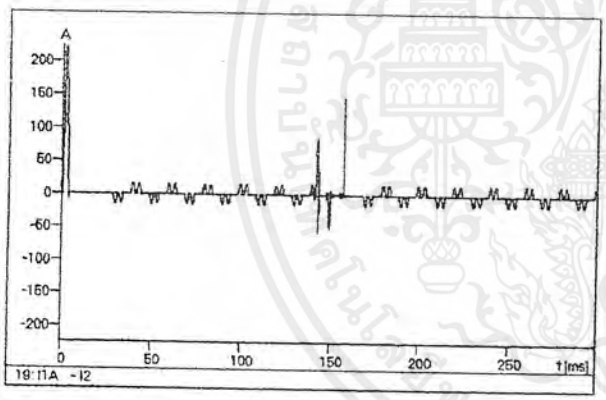
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



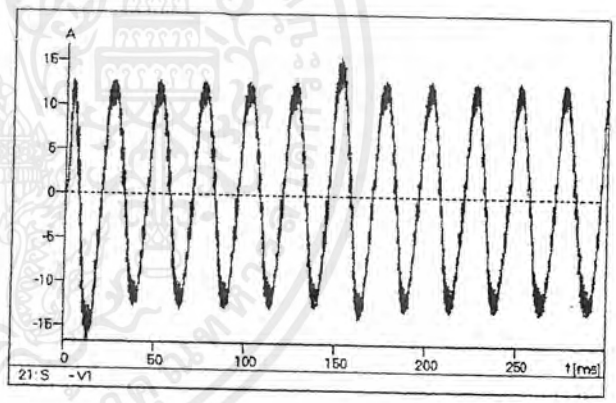
(a)



(b)



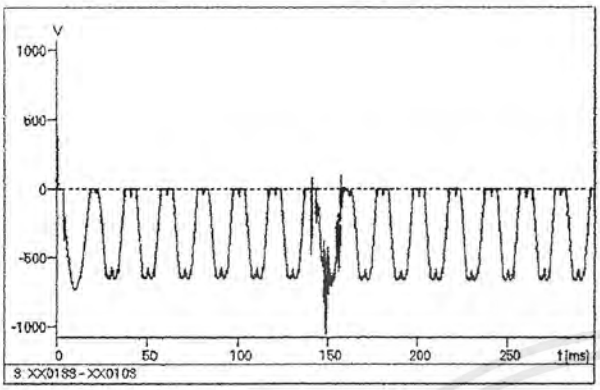
(c)

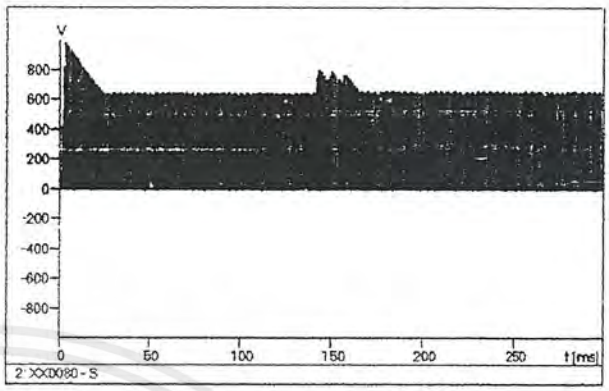


(d)

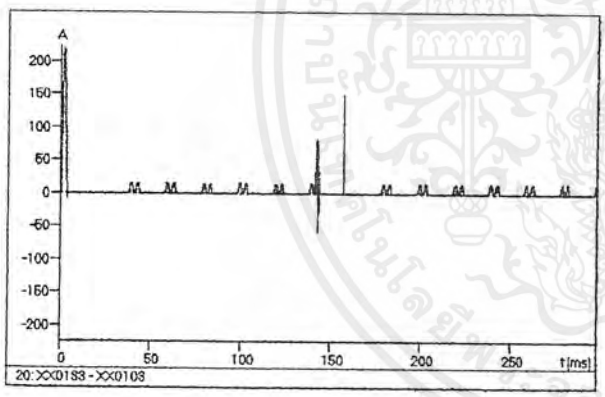
รูปที่ 7.22 ผลของการเพิ่ม DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

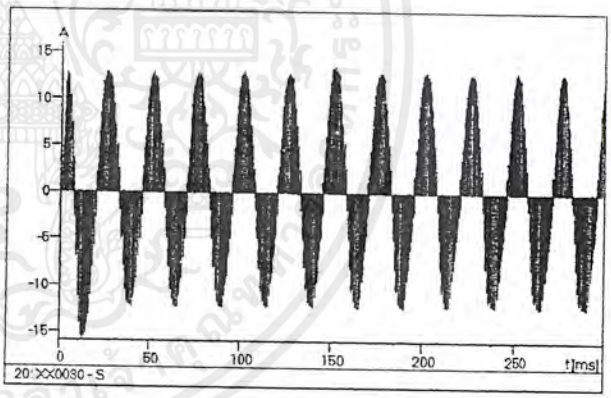
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





(a) (b)

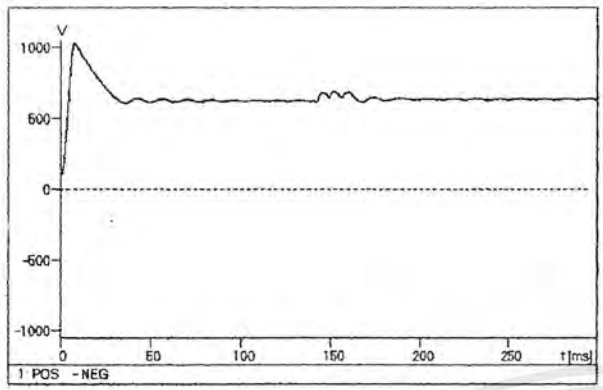




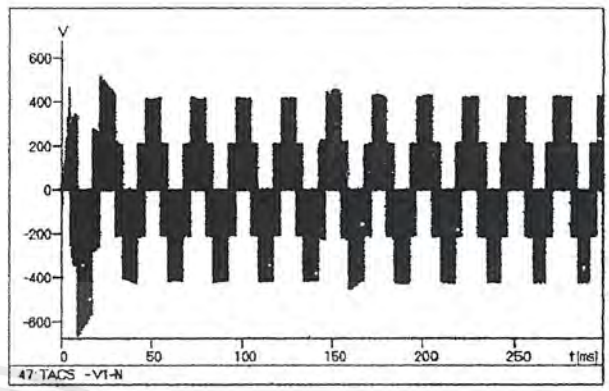
(c) (d)

รูปที่ 7.23 ผลของการเพิ่ม DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

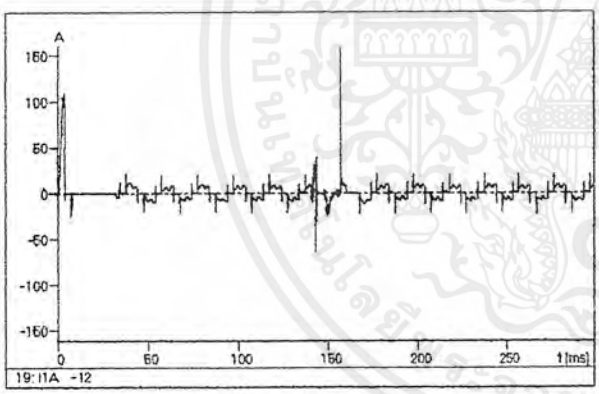
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



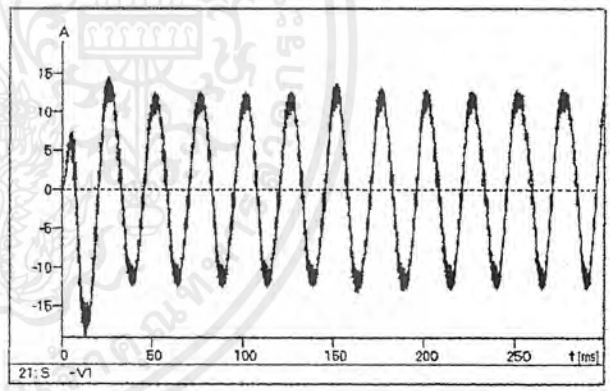
(a)



(b)



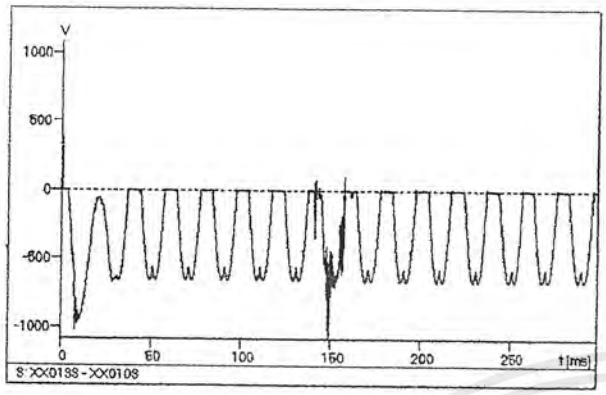
(c)

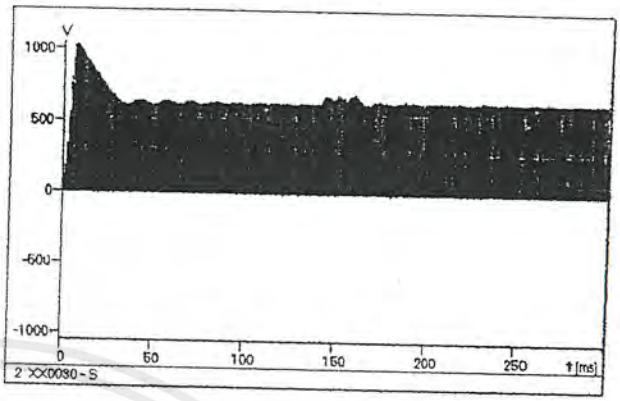


(d)

รูปที่ 7.24 ผลของการเพิ่ม DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

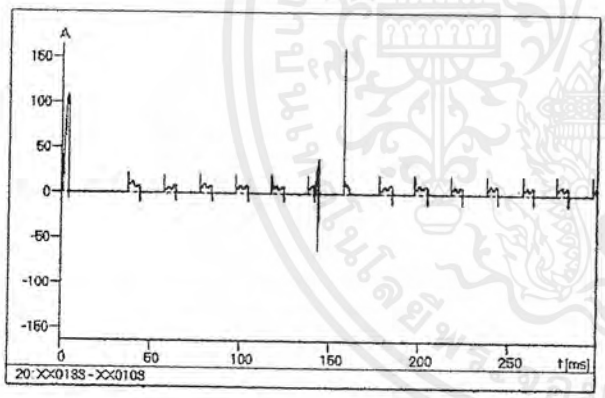
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

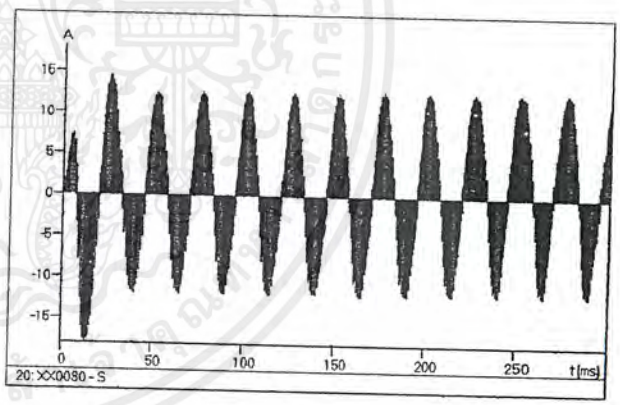




(a)

(b)



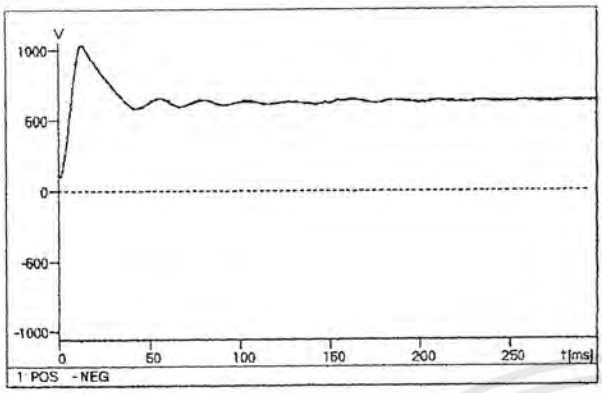


(c)

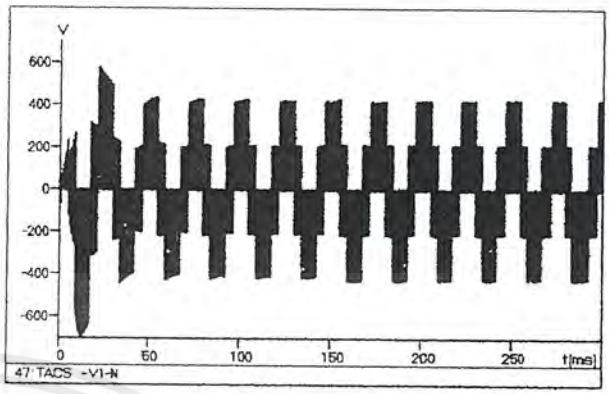
(d)

รูปที่ 7.25 ผลของการเพิ่ม DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

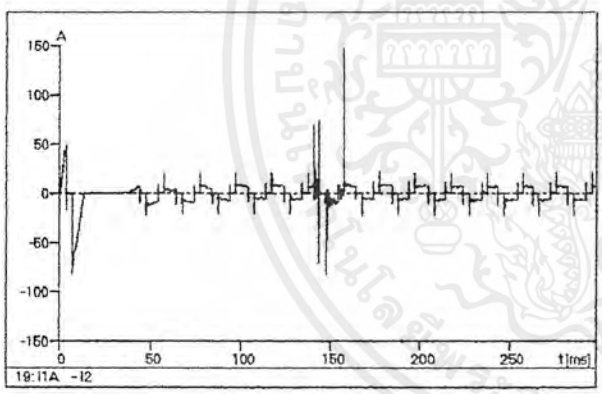
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรุใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



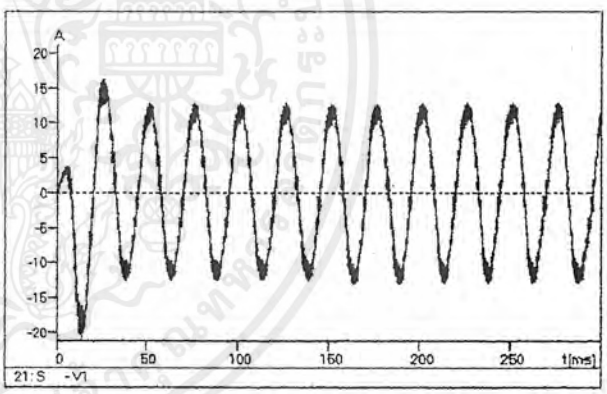
(a)



(b)



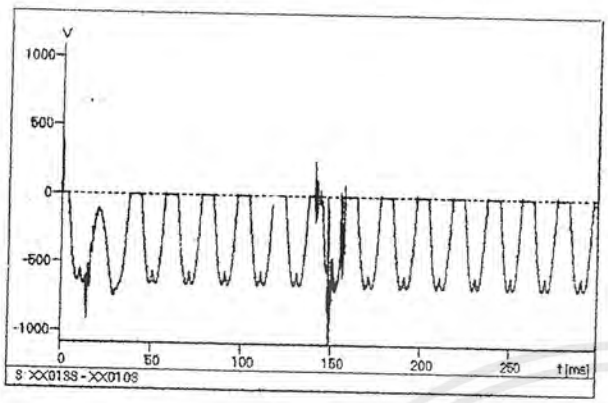
(c)



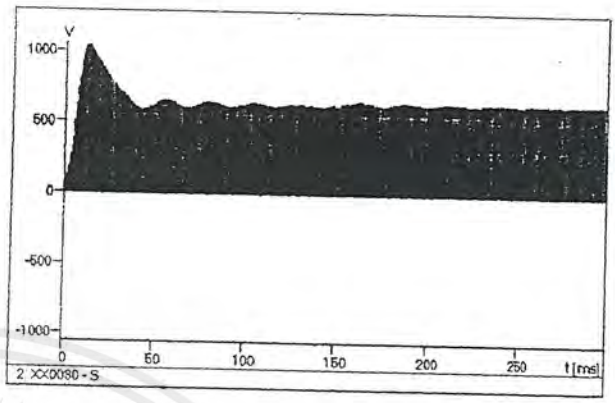
(d)

รูปที่ 7.26 ผลของการเพิ่ม DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

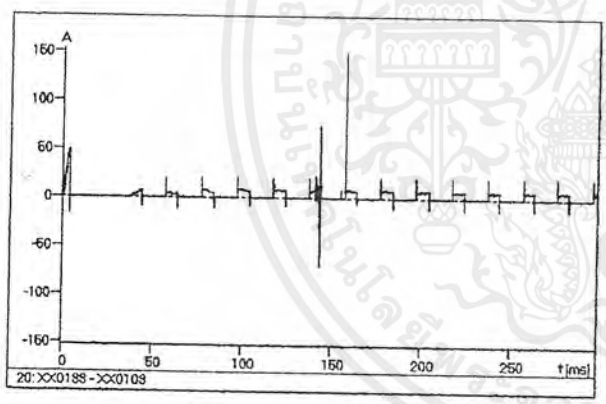
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



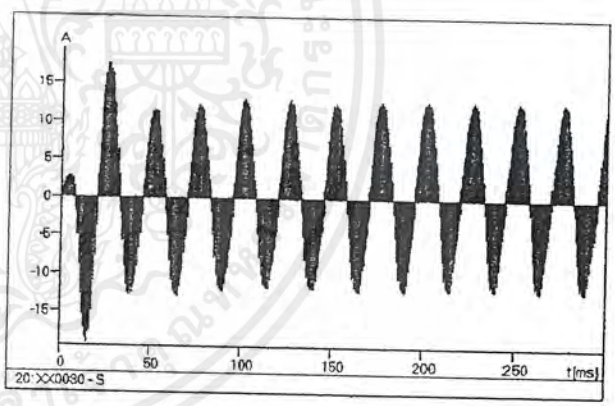
(a)



(b)



(c)

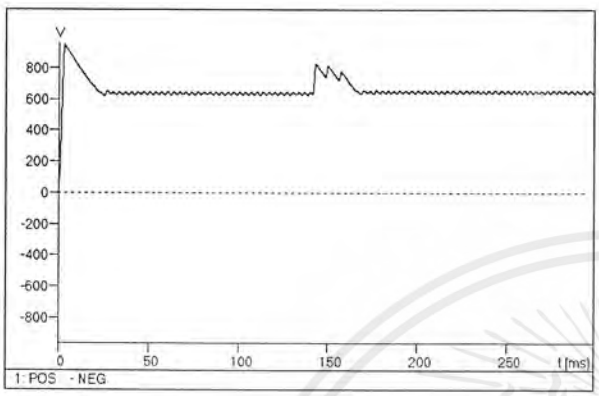


(d)

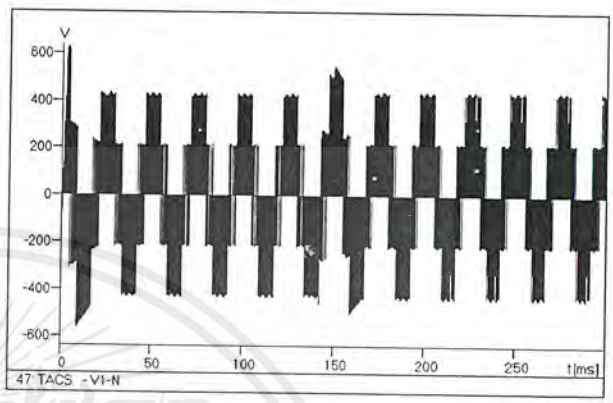
รูปที่ 7.27 ผลของการเพิ่ม DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

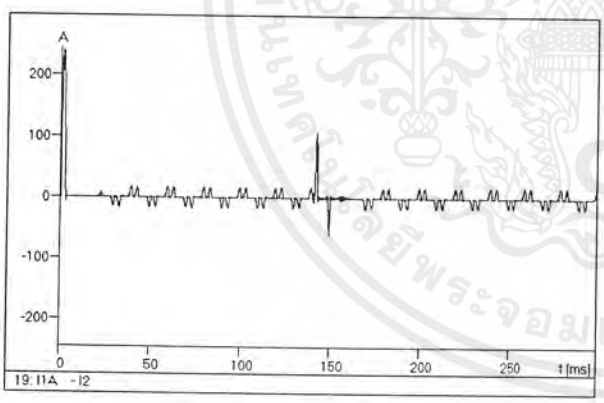
- ผลการวิเคราะห์เมื่อมีทั้ง AC line choke และ DC bus choke



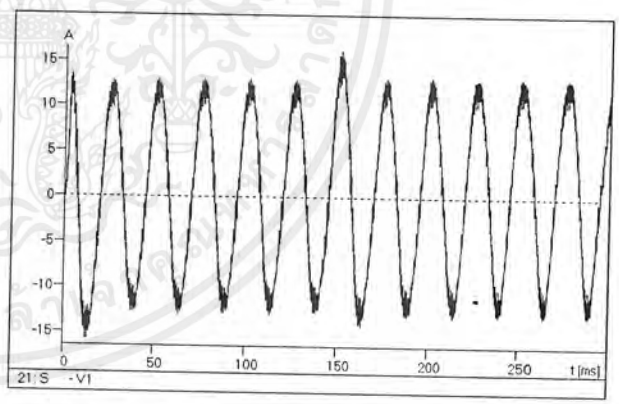
(a)



(b)



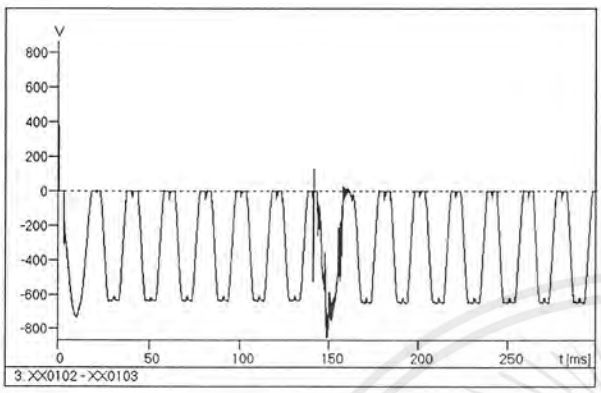
(c)



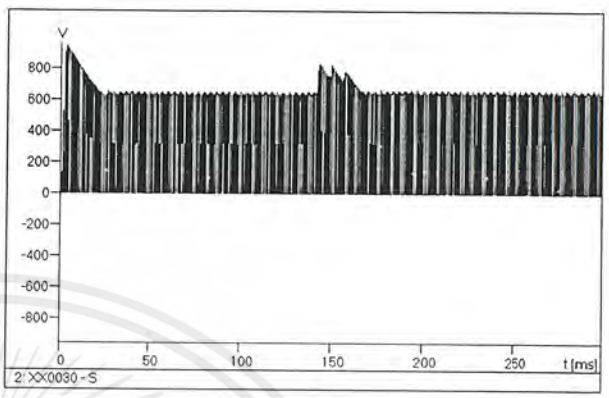
(d)

รูปที่ 7.28 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

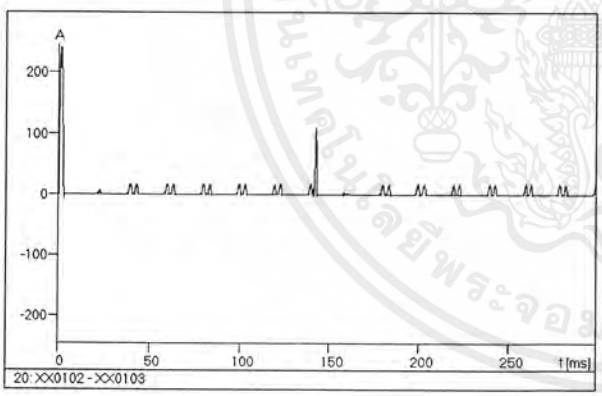
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



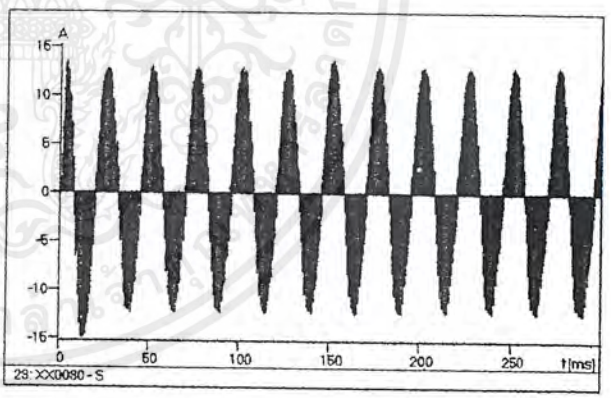
(a)



(b)



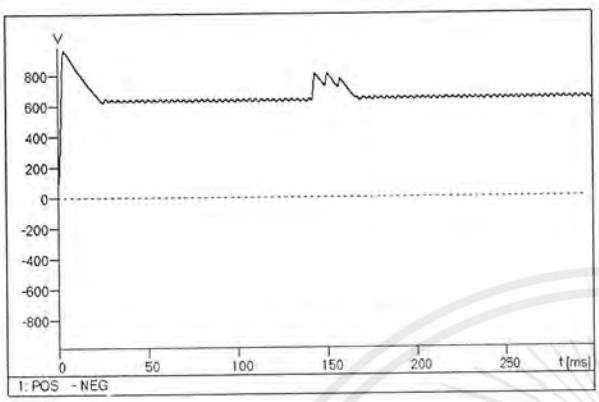
(c)



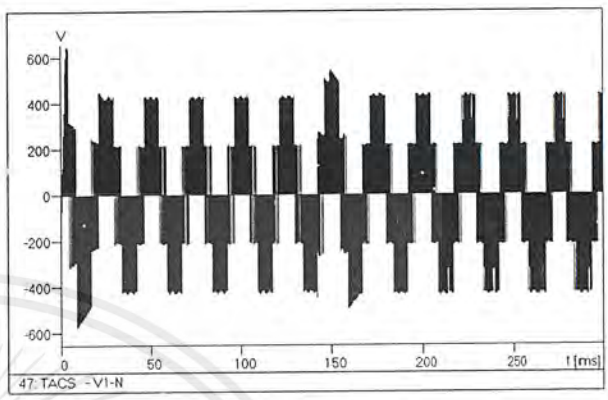
(d)

รูปที่ 7.29 **ผลของการเพิ่มทั้ง** AC line choke **ขนาด** 0.5 mH **และ** DC bus choke **ขนาด** 0.4 mH **เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ** 115-kV **ที่เกิดขึ้นกับ** ASD **ซึ่งขับโหลด** 410 V, 10 HP (a) **แรงดันคร่อมไดโอด** , (b) **แรงดันคร่อม** IGBT , (c) **กระแสไหลเข้าไดโอด** , (d) **กระแสไหลเข้า** IGBT

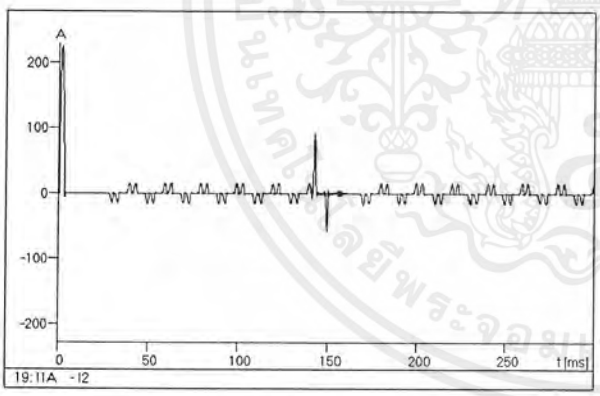
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



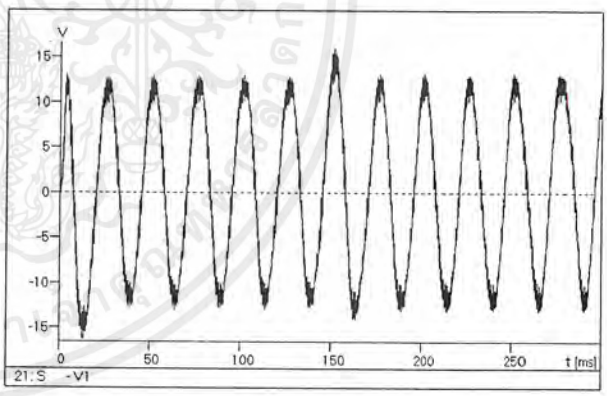
(a)



(b)



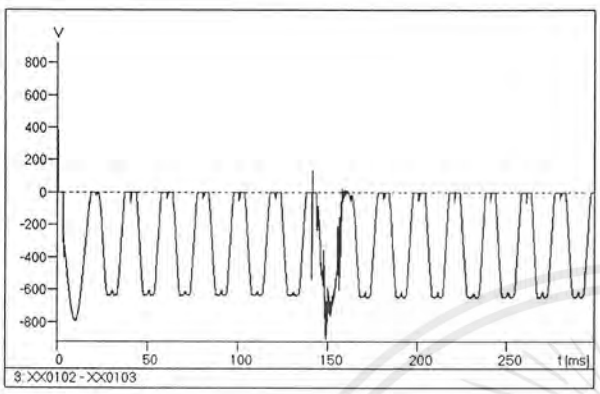
(c)



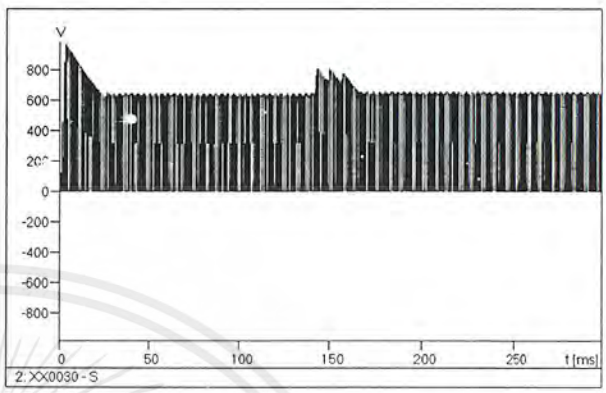
(d)

รูปที่ 7.30 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

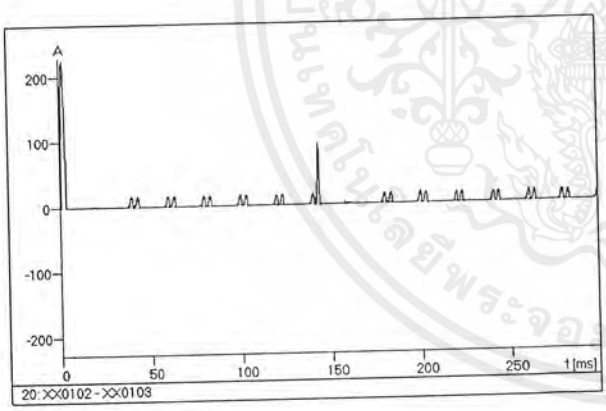
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



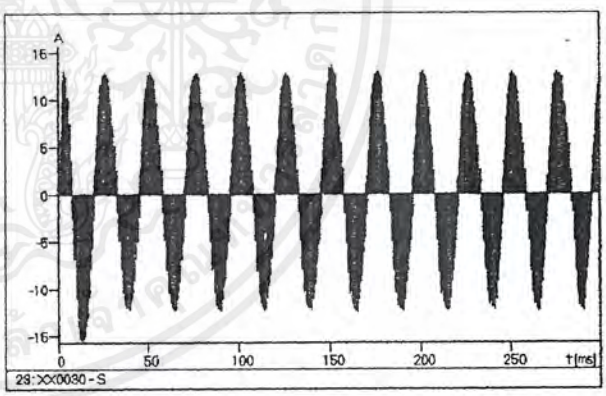
(a)



(b)



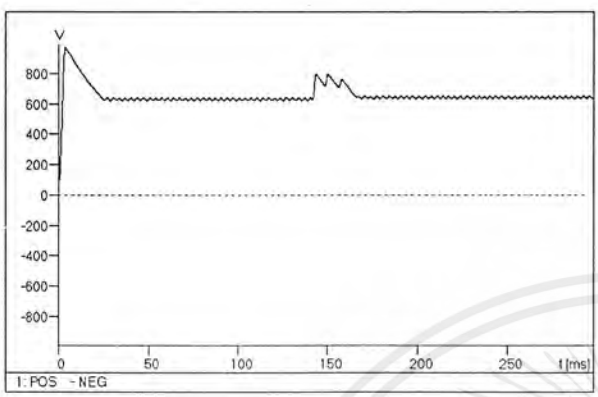
(c)



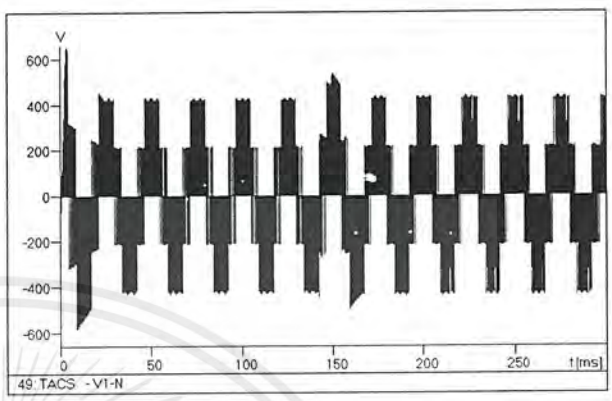
(d)

รูปที่ 7.31 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

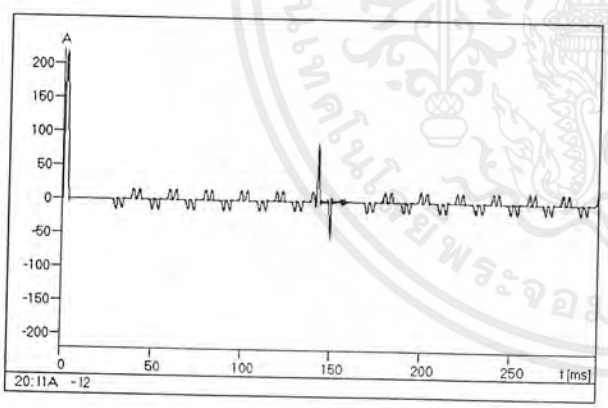
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



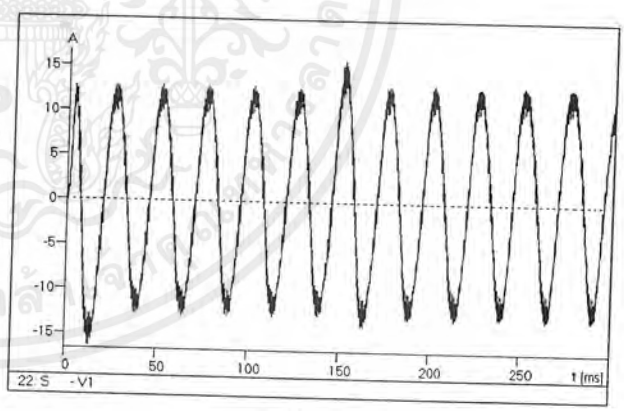
(a)



(b)



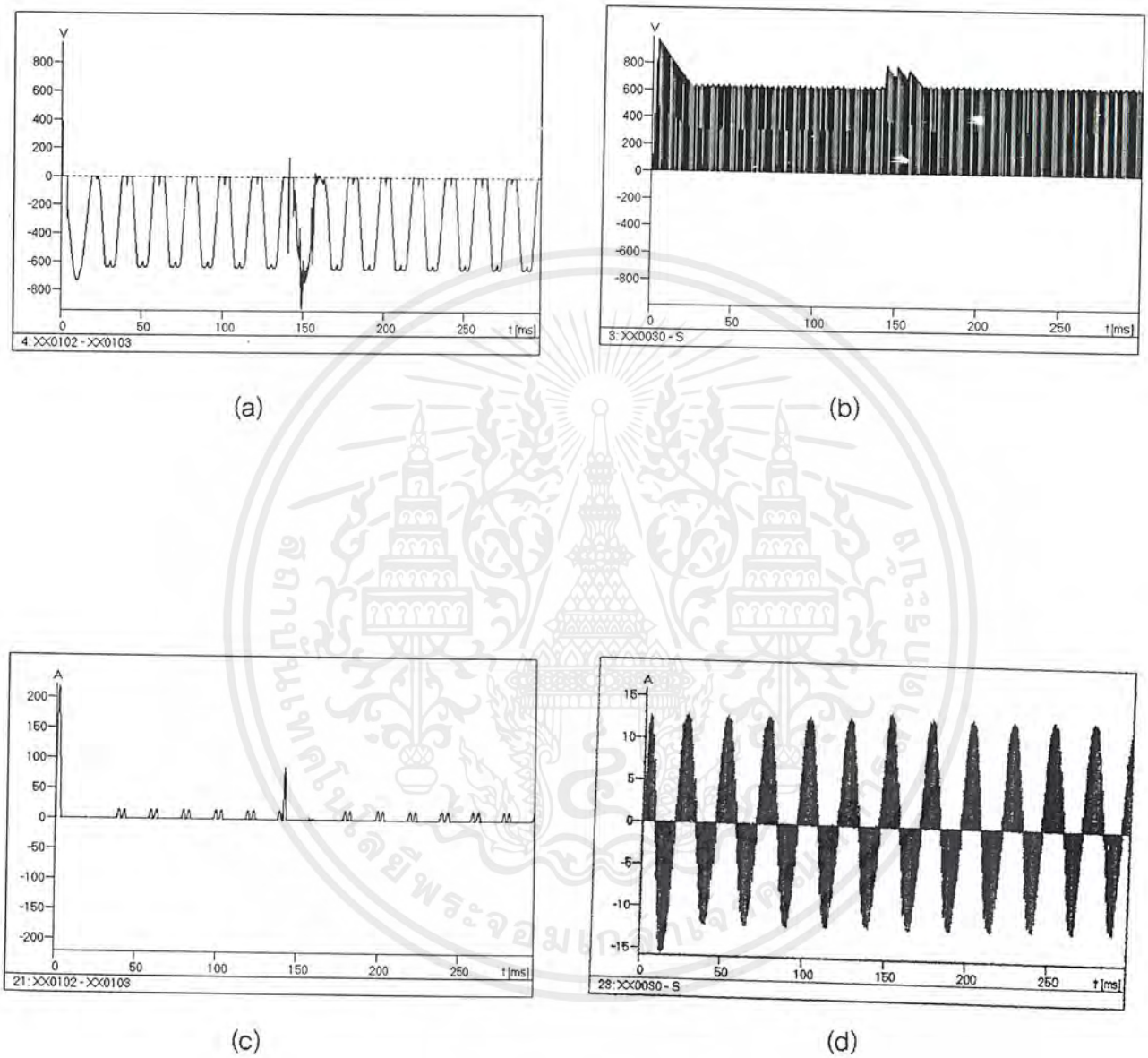
(c)



(d)

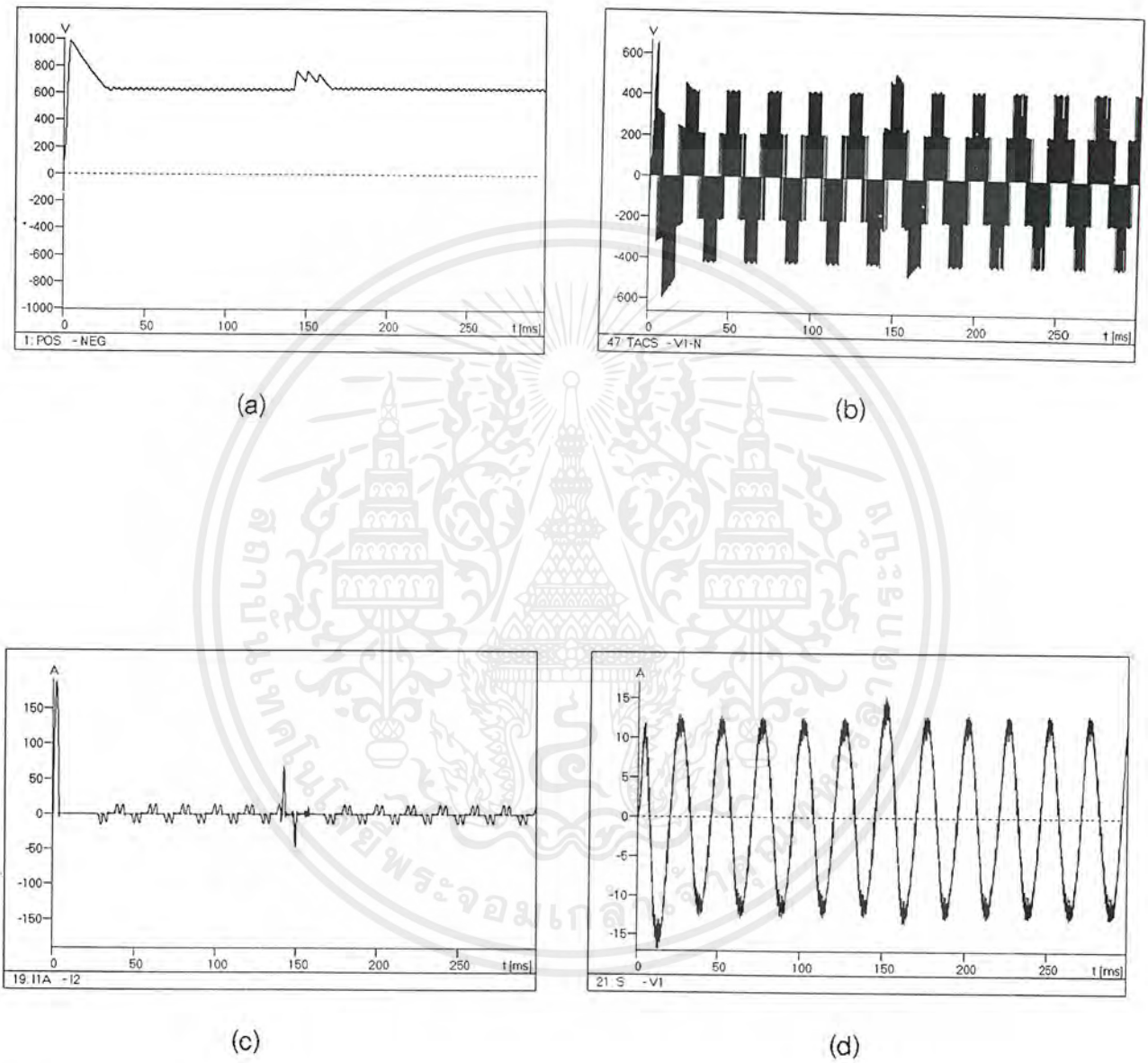
รูปที่ 7.32 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



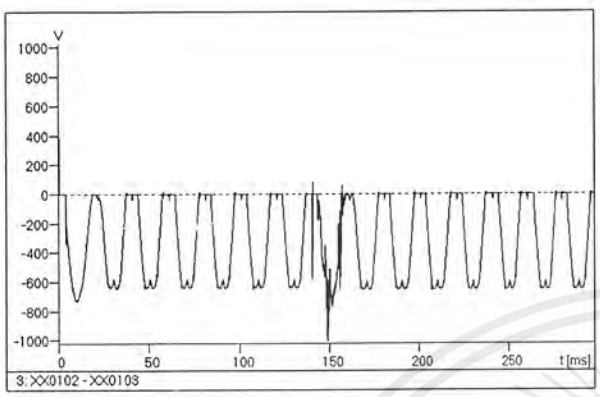
รูปที่ 7.33 **ผลของการเพิ่มทั้ง** AC line choke **ขนาด** 0.5 mH **และ** DC bus choke **ขนาด** 1 mH **เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ** 115-kV **ที่เกิดขึ้นกับ** ASD **ซึ่งขับโหลด** 410 V, 10 HP (a) **แรงดันคร่อมไดโอด** , (b) **แรงดันคร่อม** IGBT , (c) **กระแสไหลเข้าไดโอด** , (d) **กระแสไหลเข้า** IGBT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

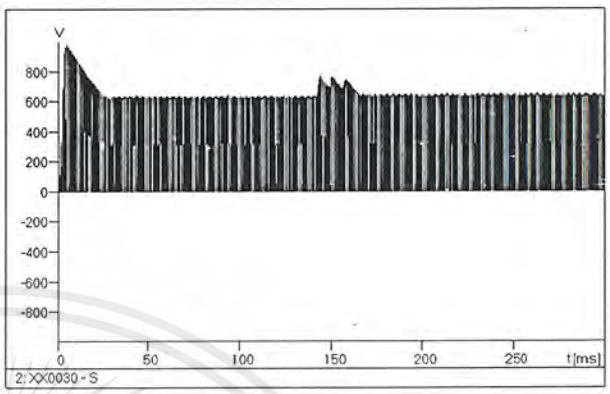


รูปที่ 7.34 **ผลของการเพิ่มทั้ง** AC line choke **ขนาด** 0.5 mH **และ** DC bus choke **ขนาด** 2 mH **เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ** 115-kV **ที่เกิดขึ้นกับ** ASD **ซึ่งขับโหลด** 410 V, 10 HP (a) **แรงดันที่** DC link , (b) **แรงดันขาออกของ** ASD , (c) **กระแสขาเข้าของ** ASD , (d) **กระแสขาออกของ** ASD

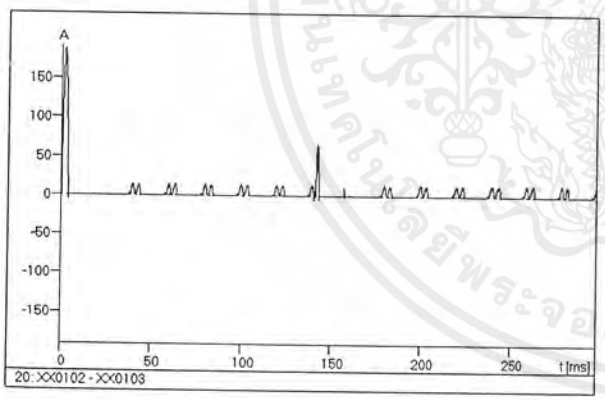
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



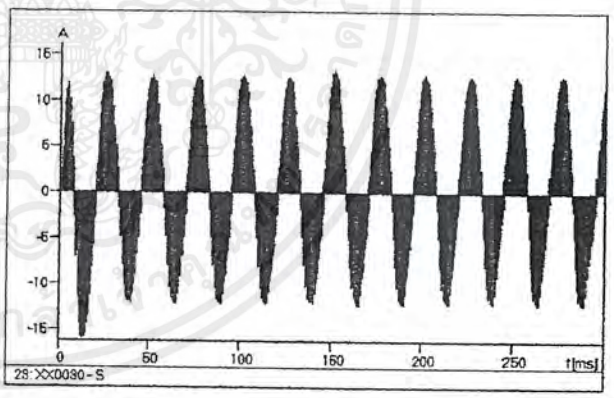
(a)



(b)



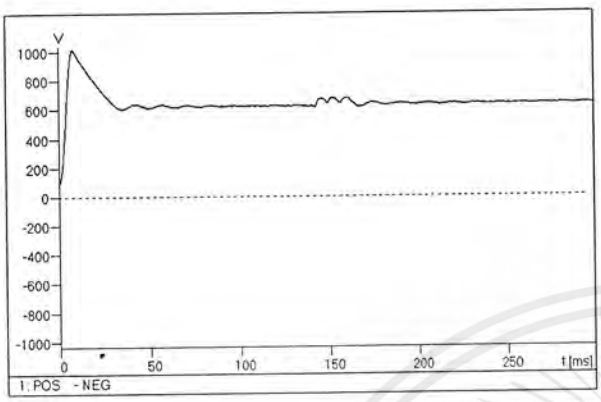
(c)



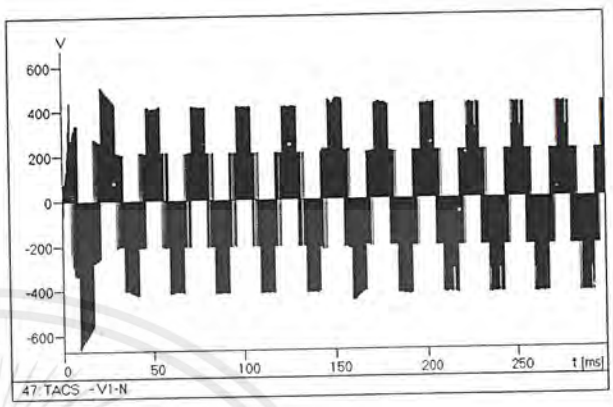
(d)

รูปที่ 7.35 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

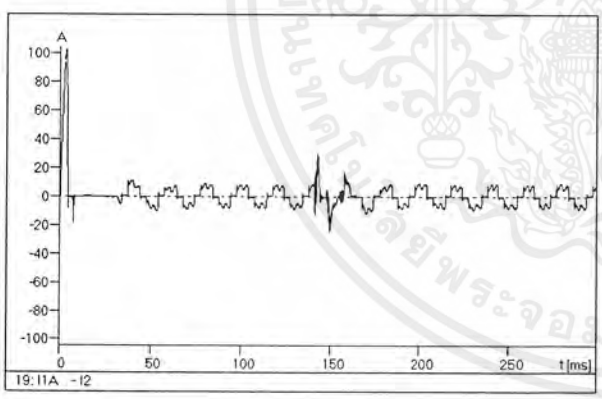
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



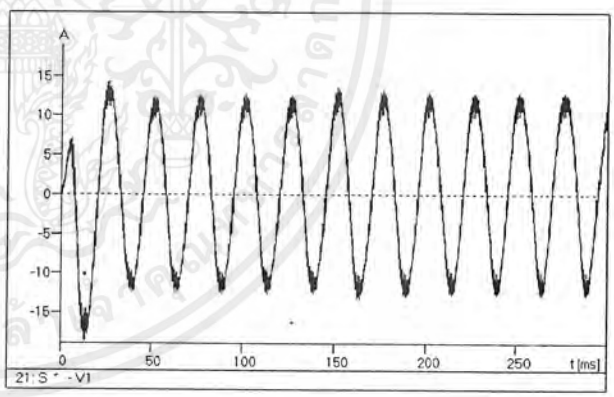
(a)



(b)



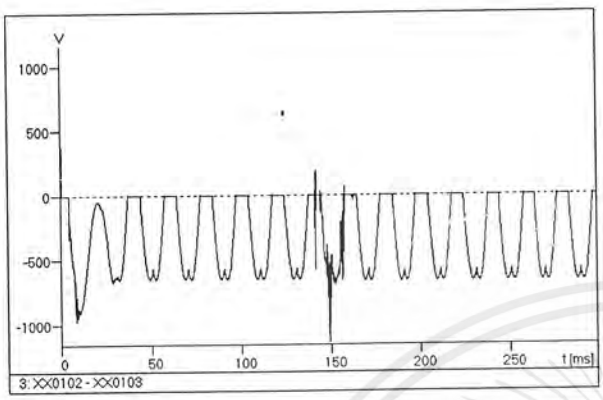
(c)



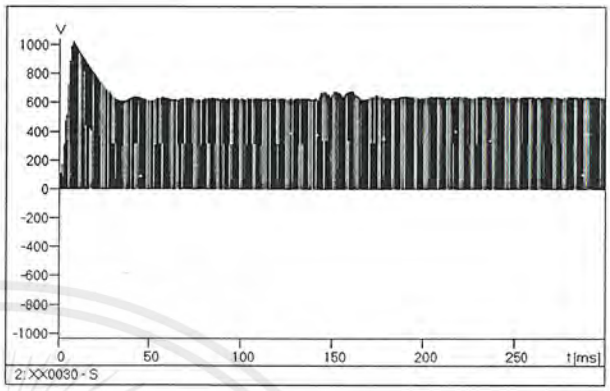
(d)

รูปที่ 7.36 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

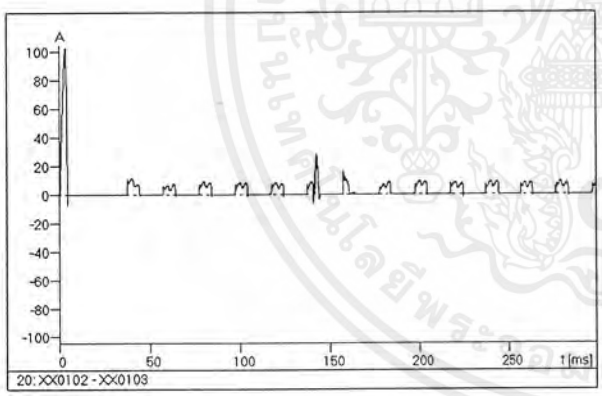
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



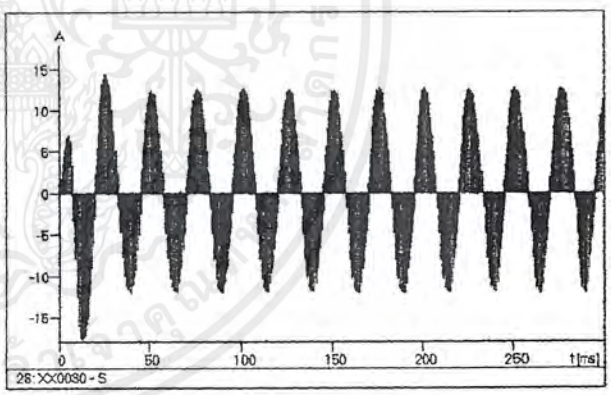
(a)



(b)



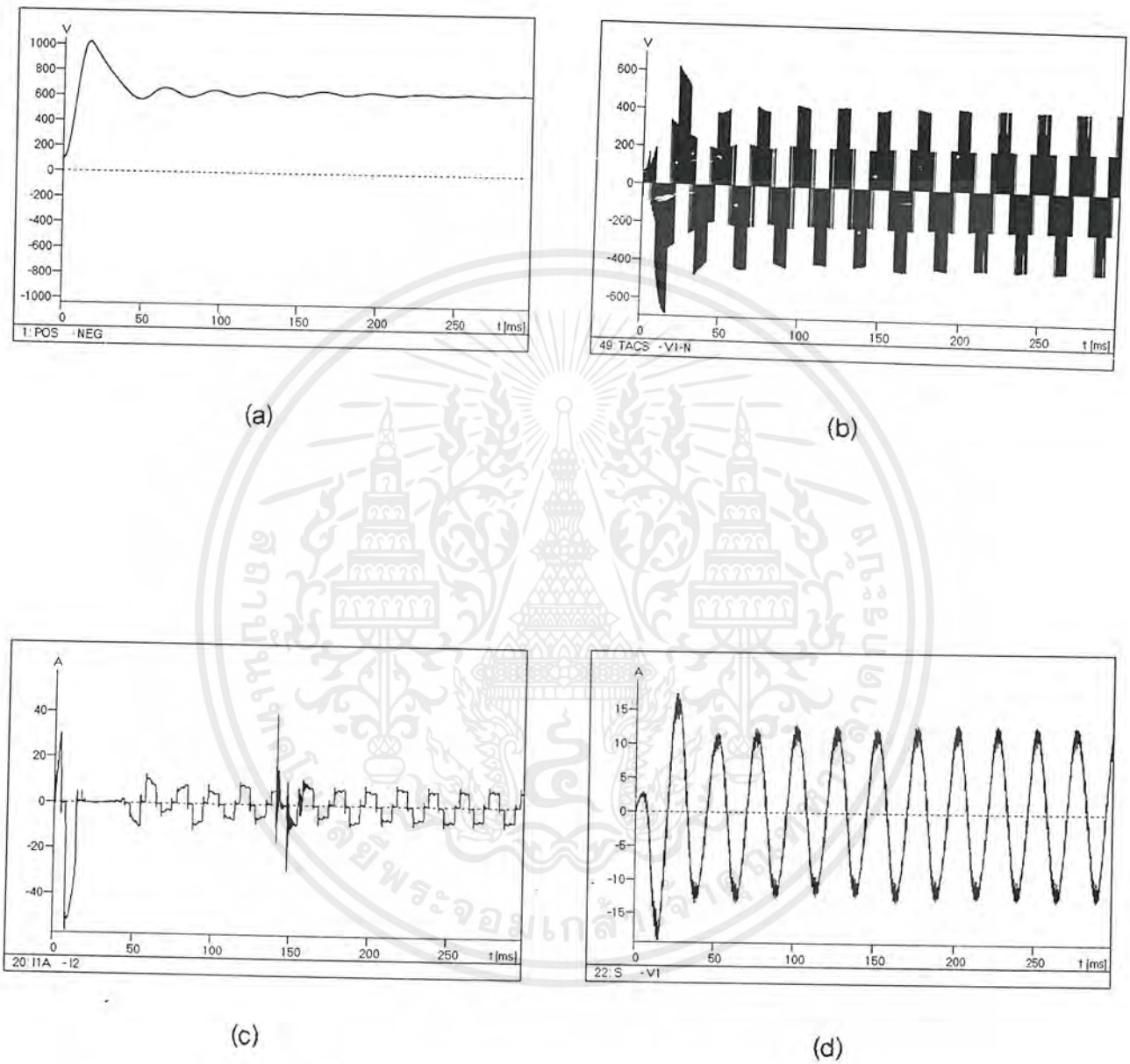
(c)



(d)

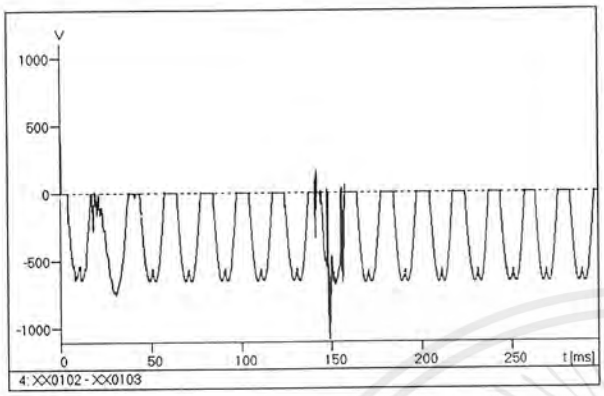
รูปที่ 7.37 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

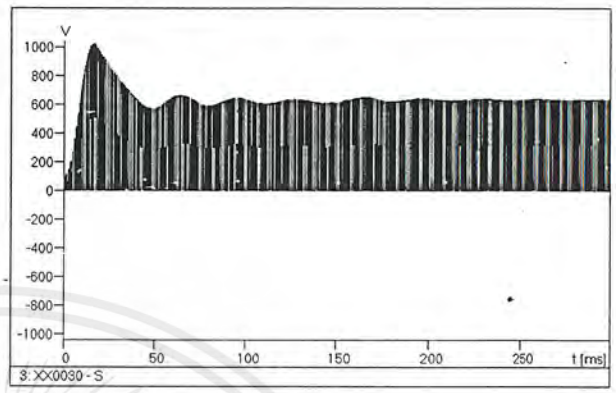


รูปที่ 7.38 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

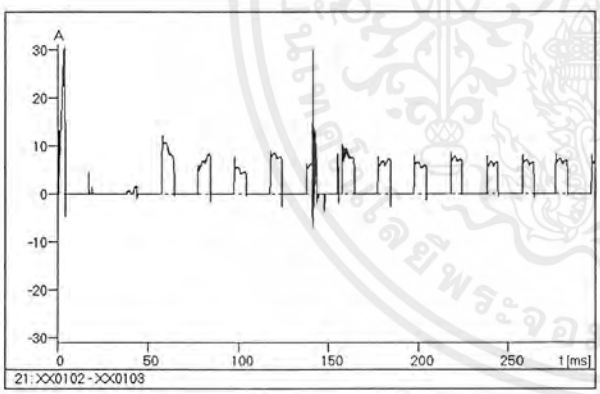
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



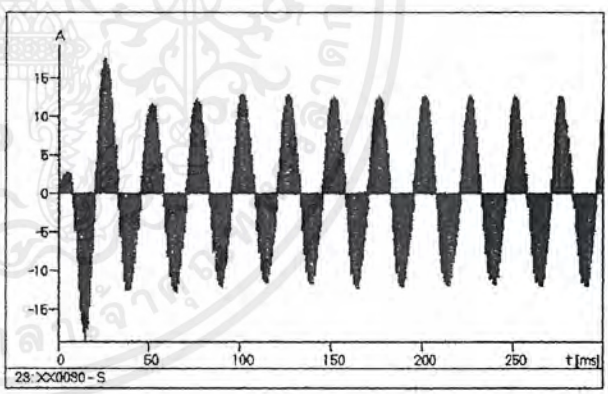
(a)



(b)



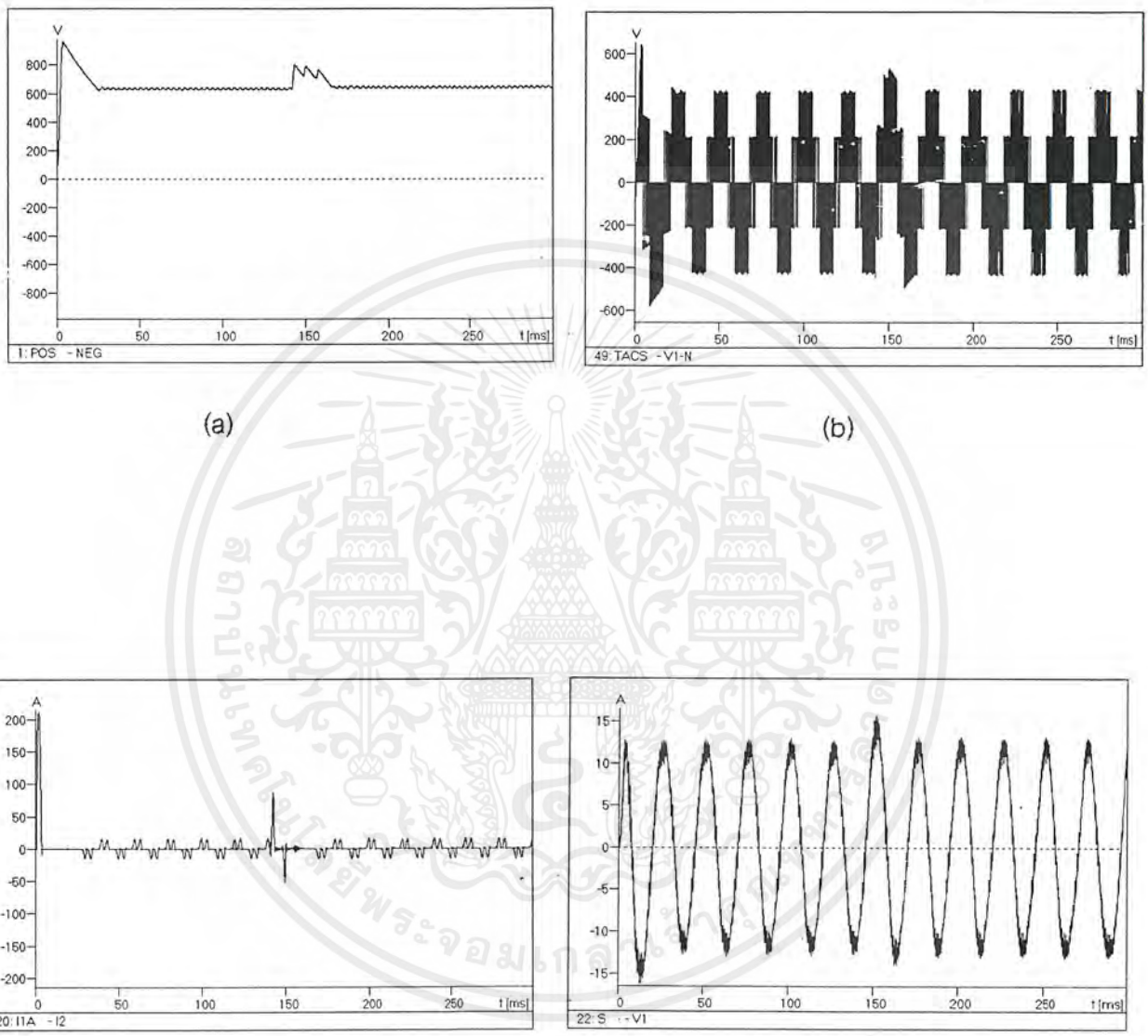
(c)



(d)

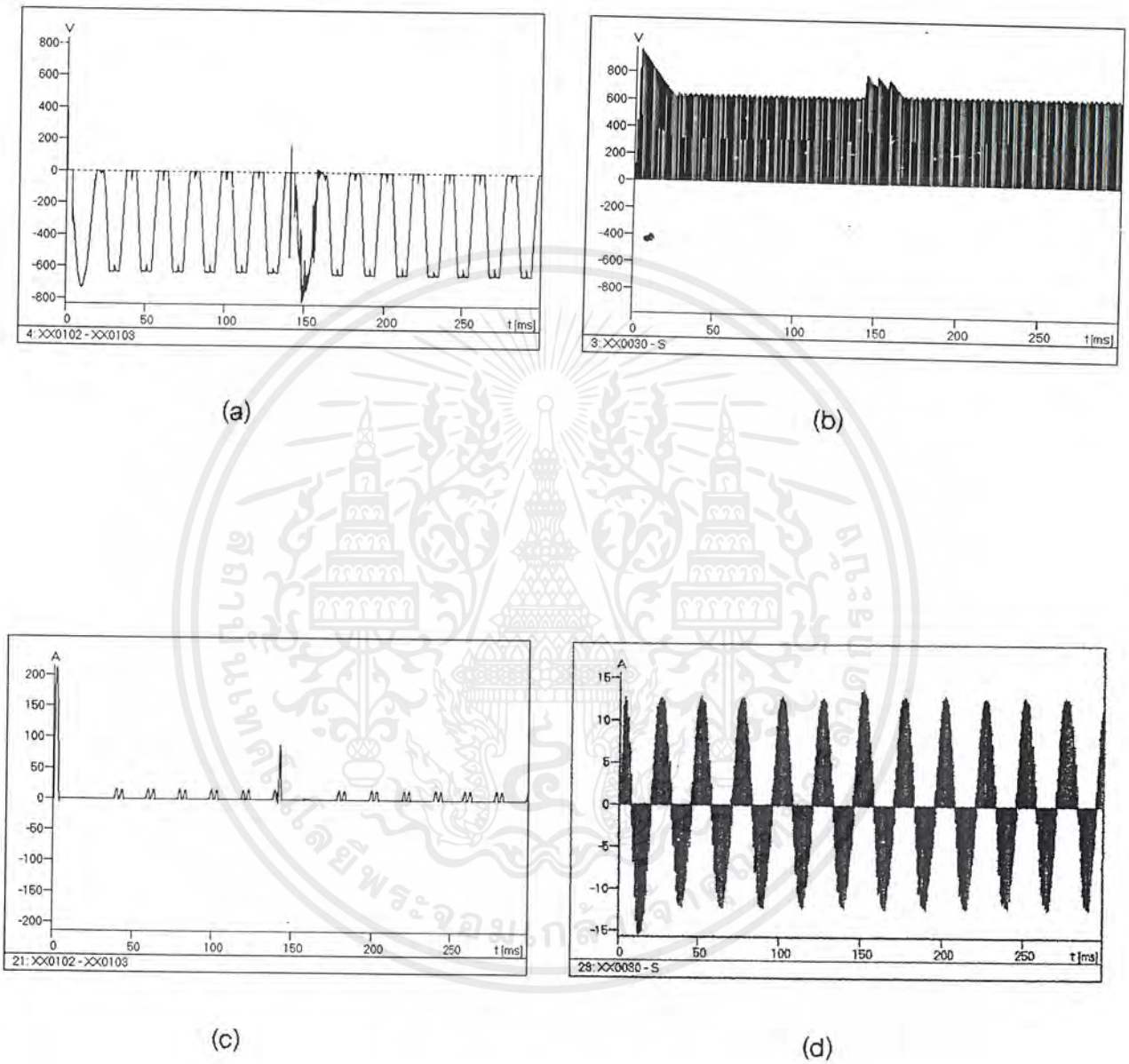
รูปที่ 7.39 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.5 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



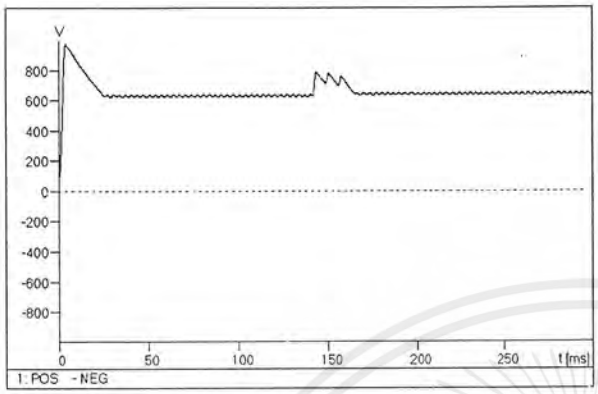
รูปที่ 7.40 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

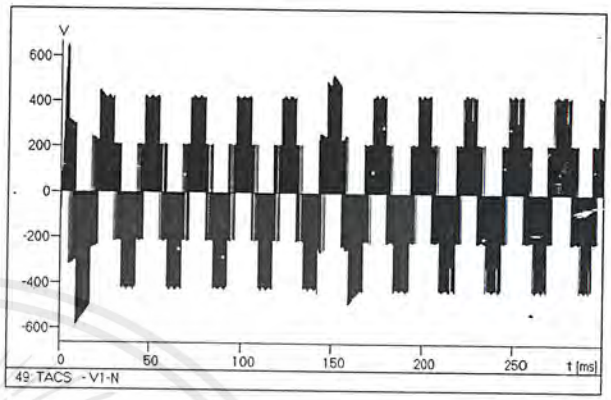


รูปที่ 7.41 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

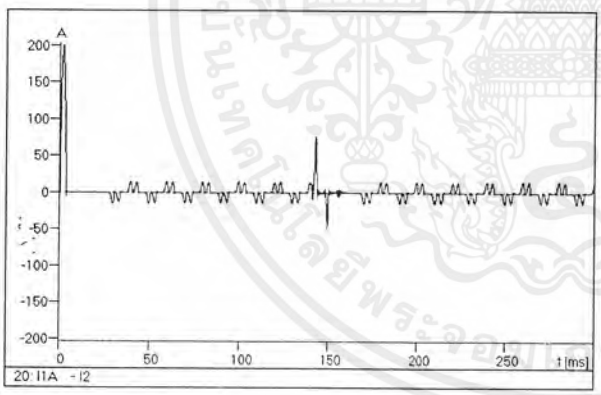
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



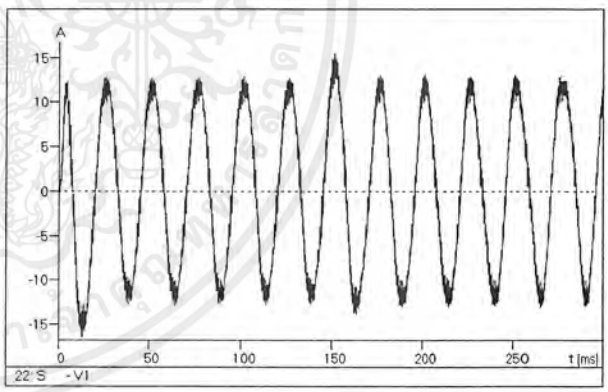
(a)



(b)



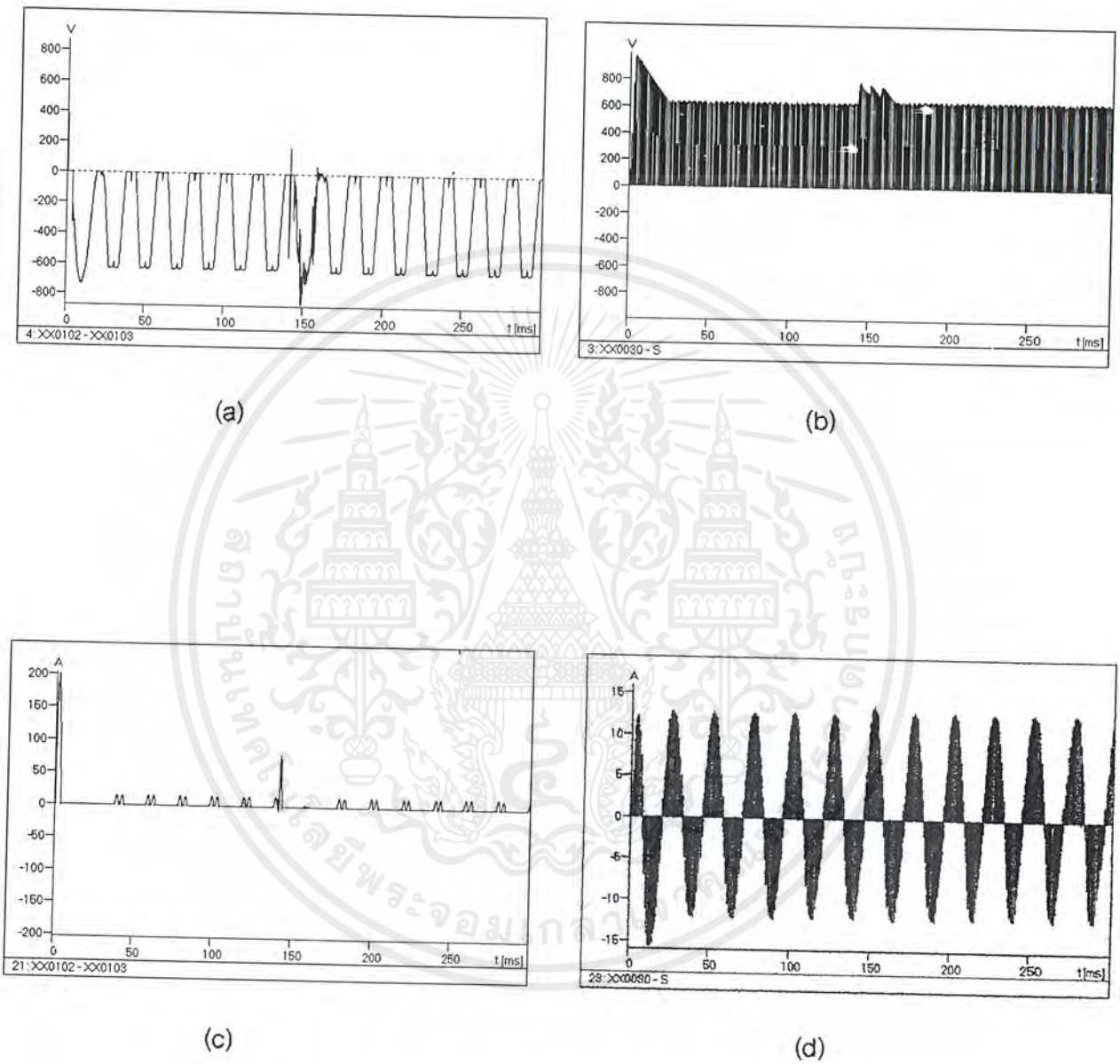
(c)



(d)

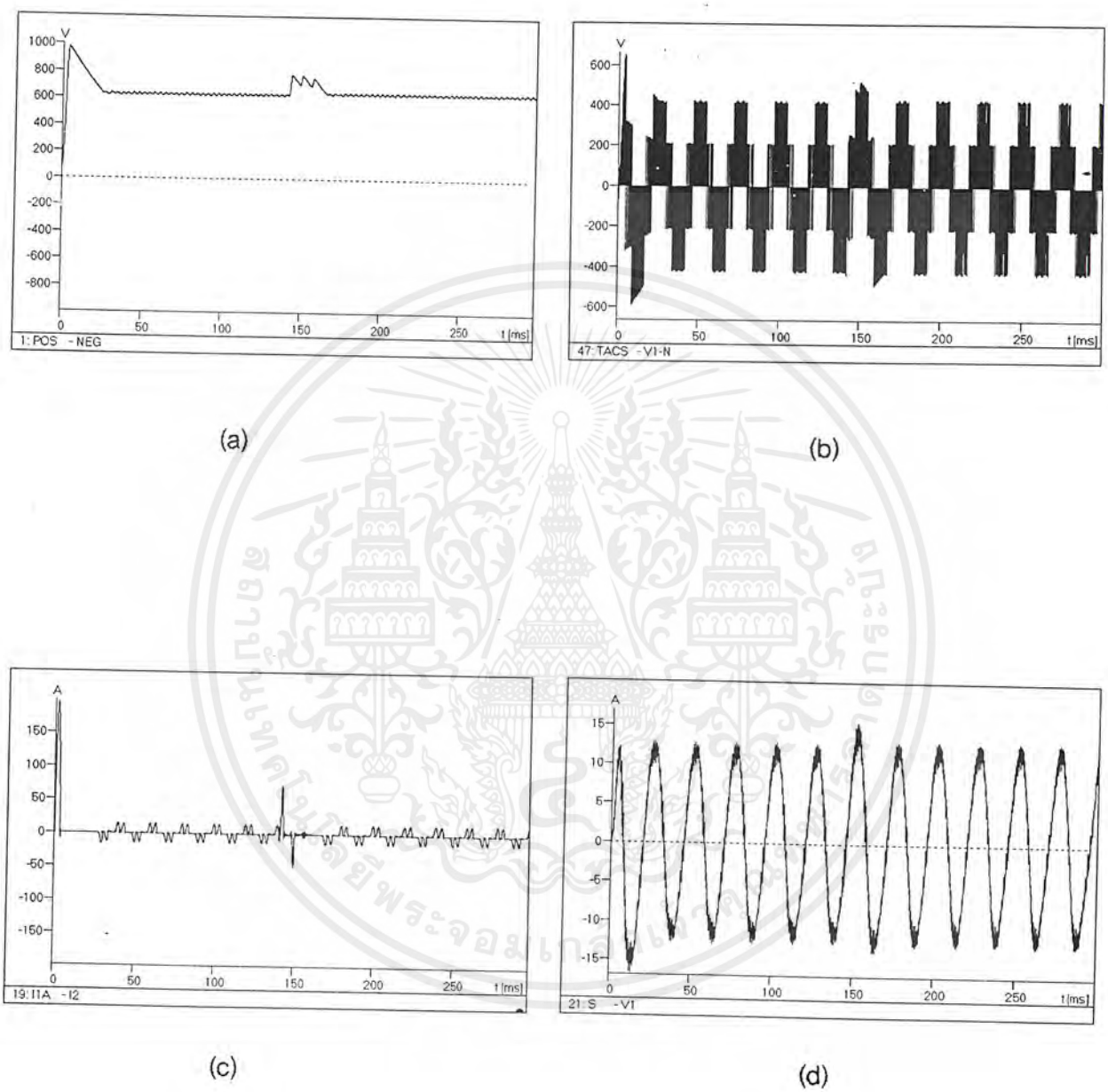
รูปที่ 7.42 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



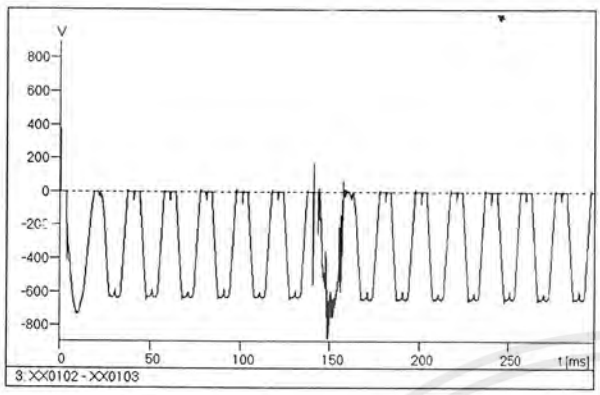
รูปที่ 7.43 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

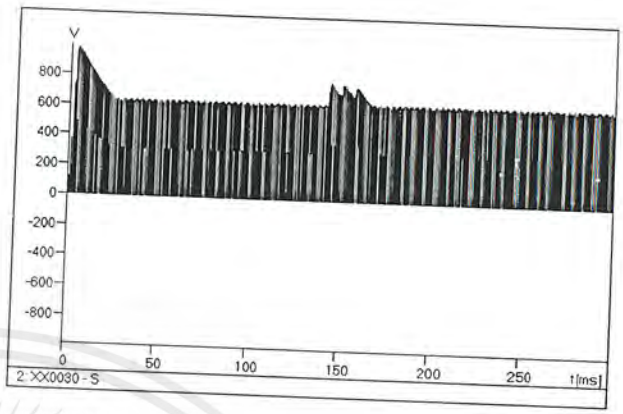


รูปที่ 7.44 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

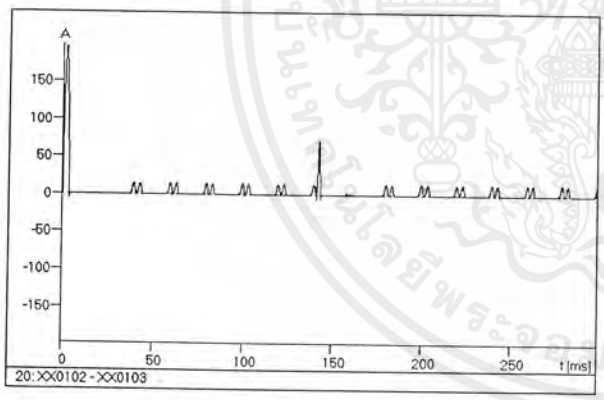
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



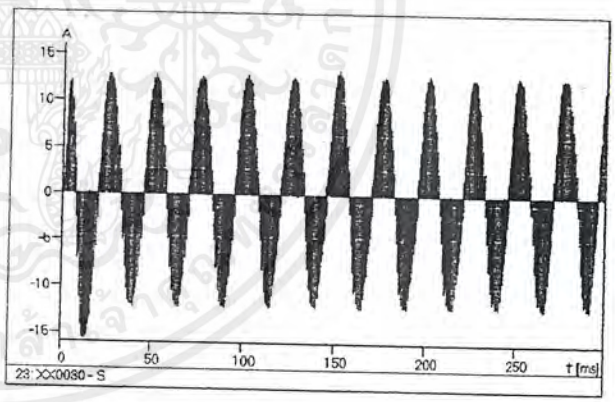
(a)



(b)



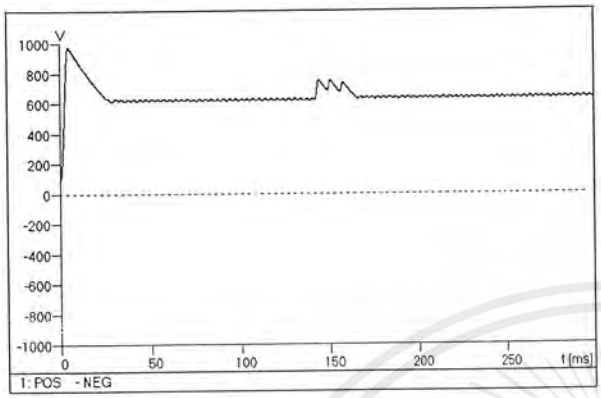
(c)



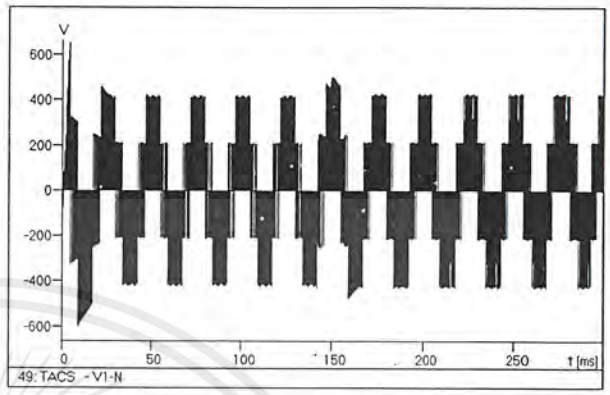
(d)

รูปที่ 7.45 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

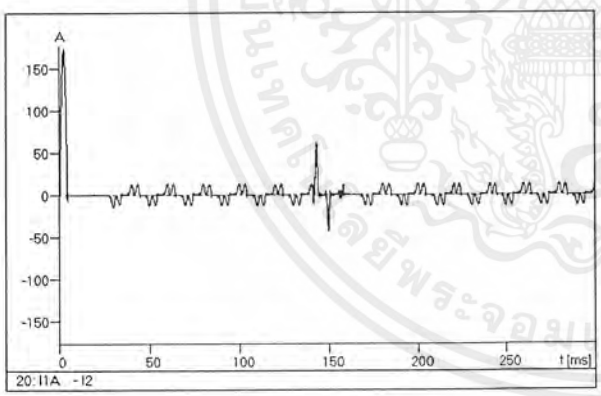
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



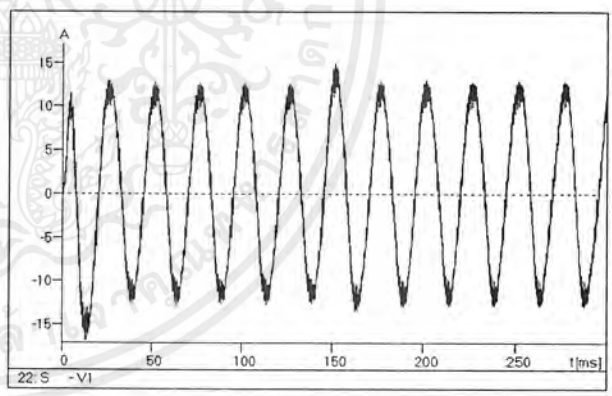
(a)



(b)



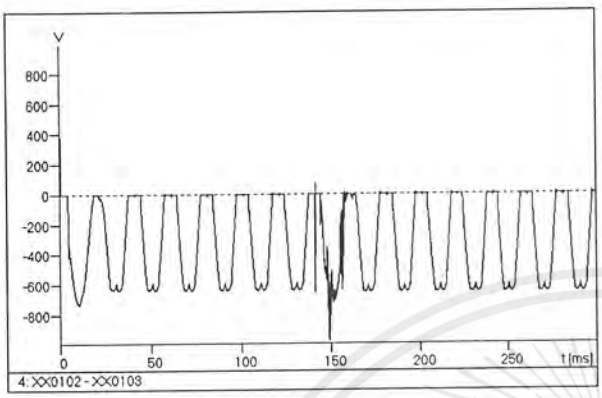
(c)



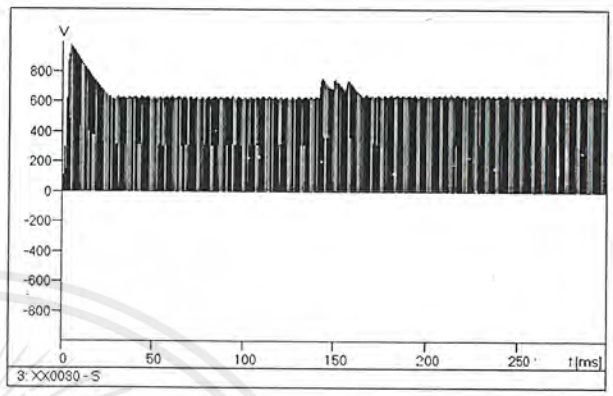
(d)

รูปที่ 7.46 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

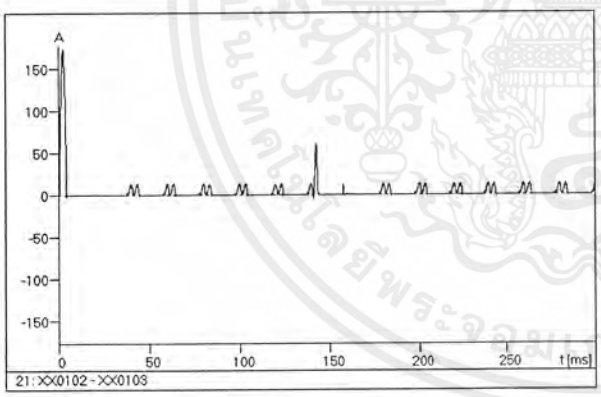
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



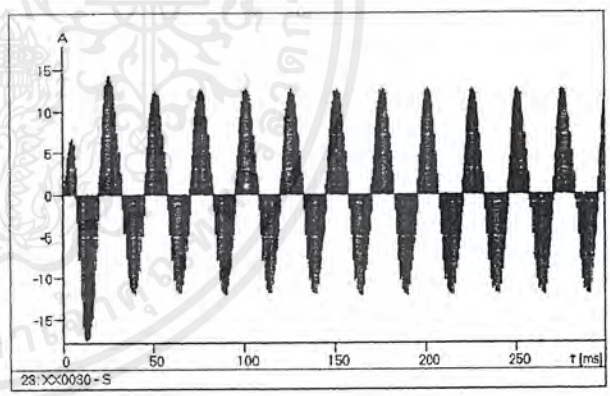
(a)



(b)



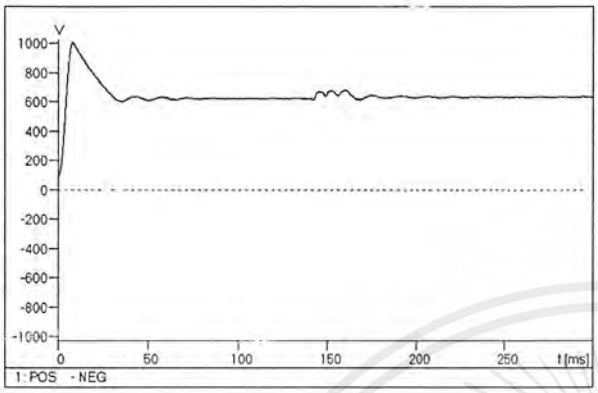
(c)



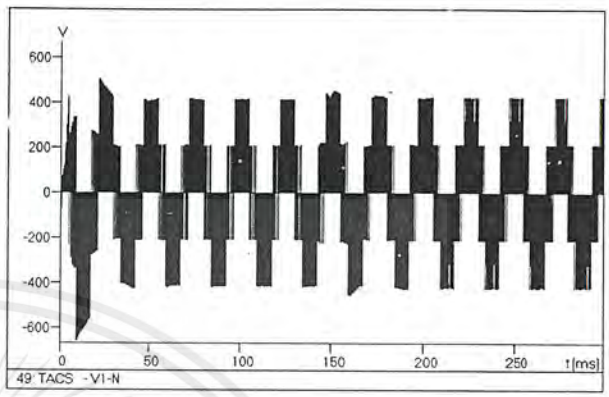
(d)

รูปที่ 7.47 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

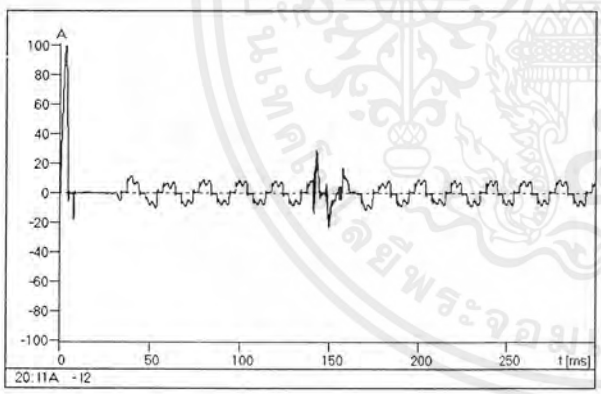
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



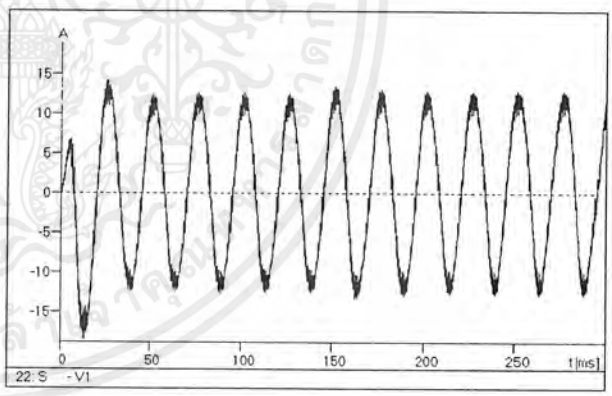
(a)



(b)



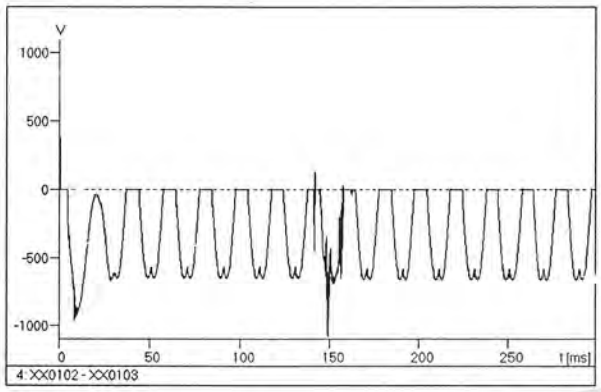
(c)

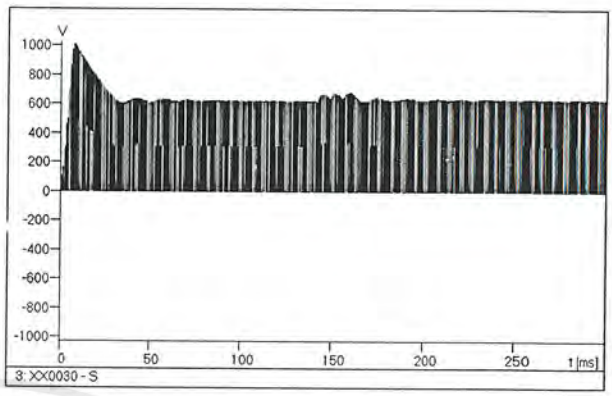


(d)

รูปที่ 7.48 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

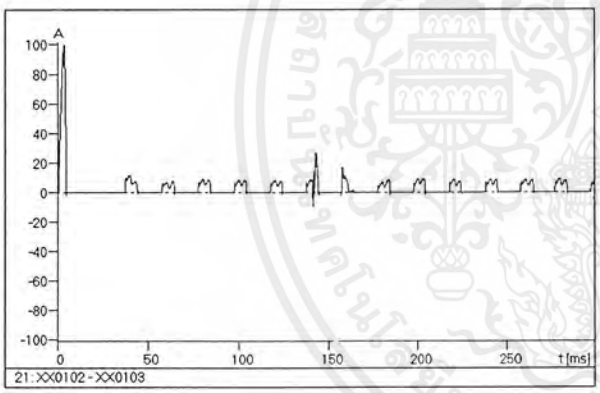
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

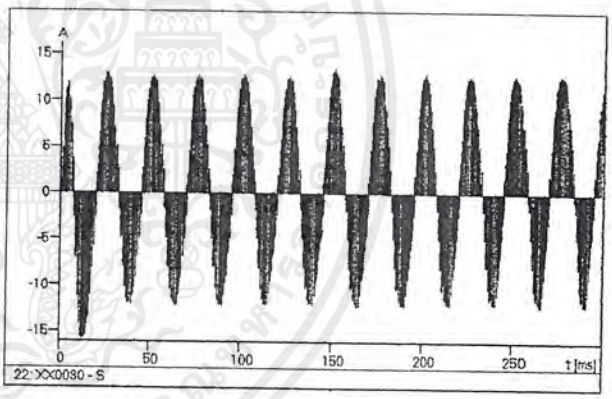




(a)

(b)



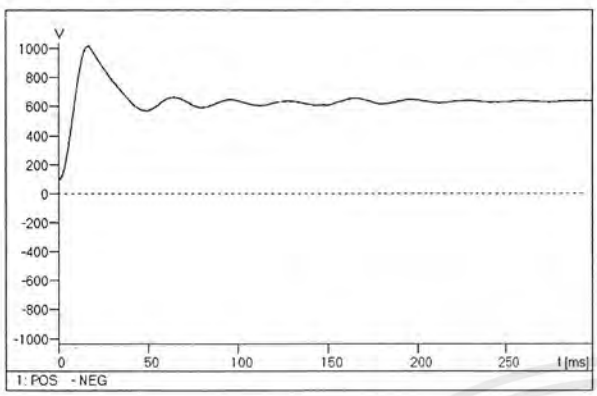


(c)

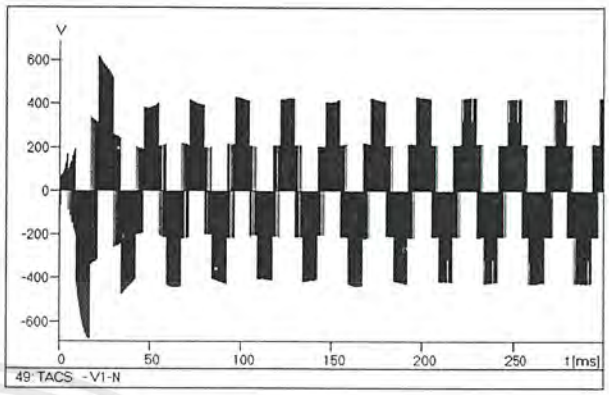
(d)

รูปที่ 7.49 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

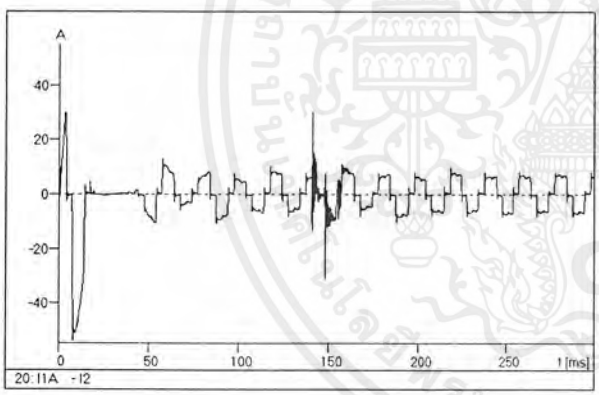
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



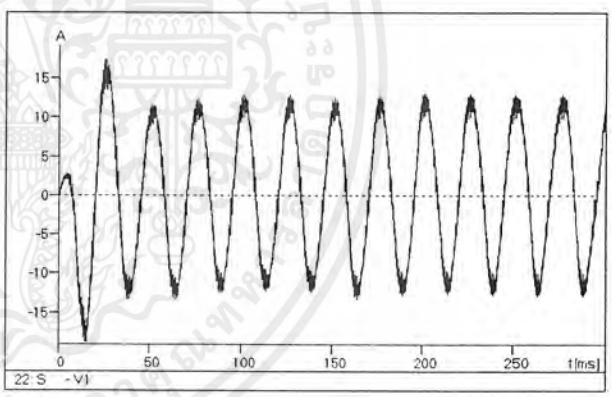
(a)



(b)



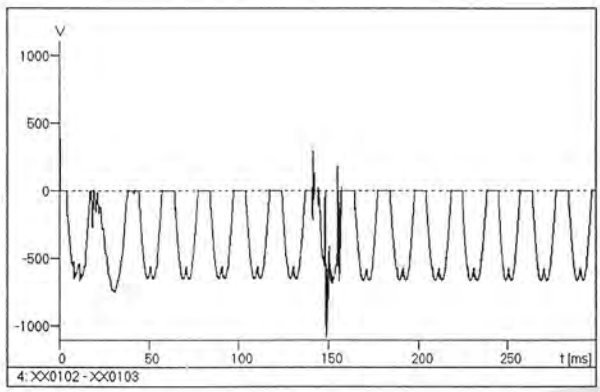
(c)



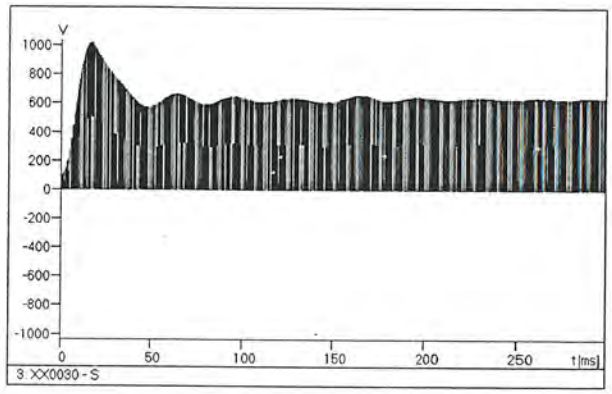
(d)

รูปที่ 7.50 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

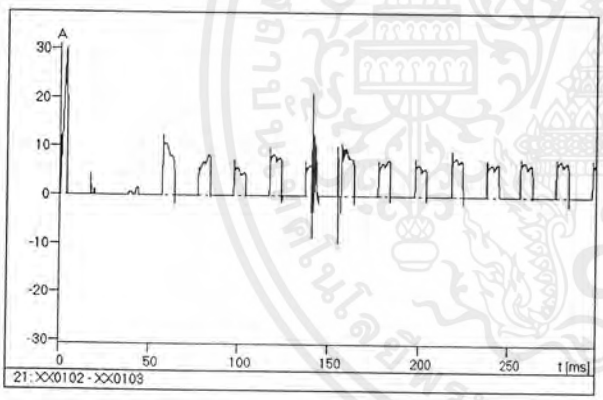
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



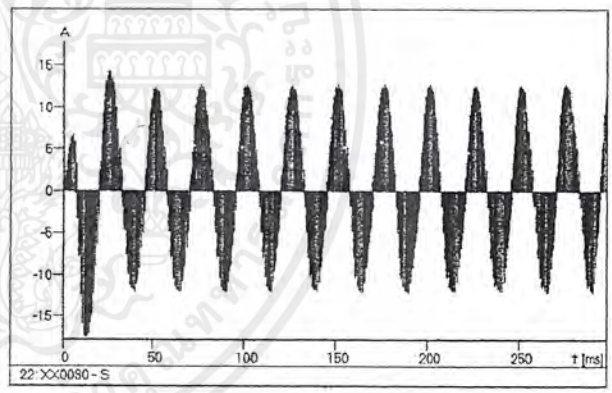
(a)



(b)



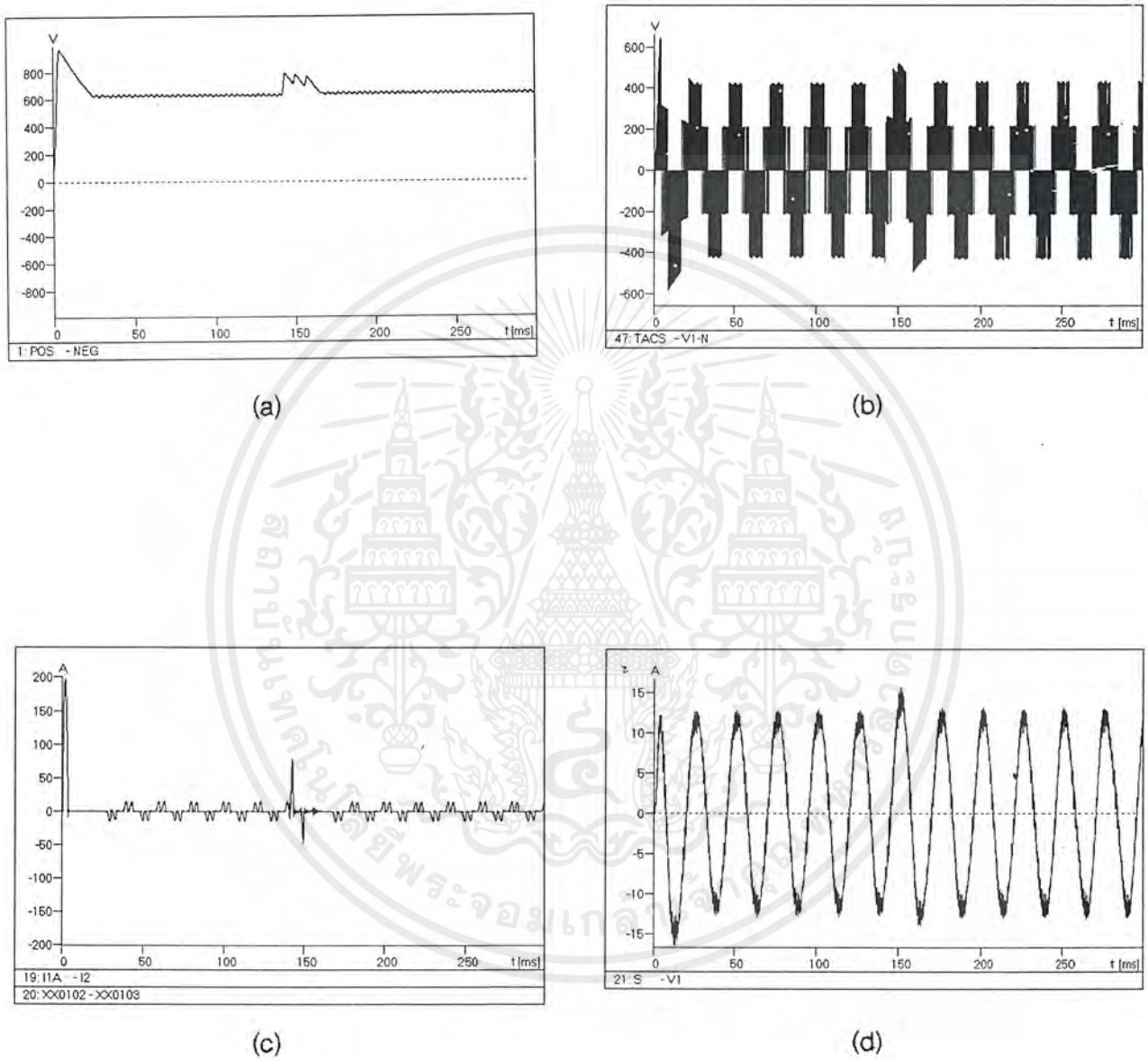
(c)



(d)

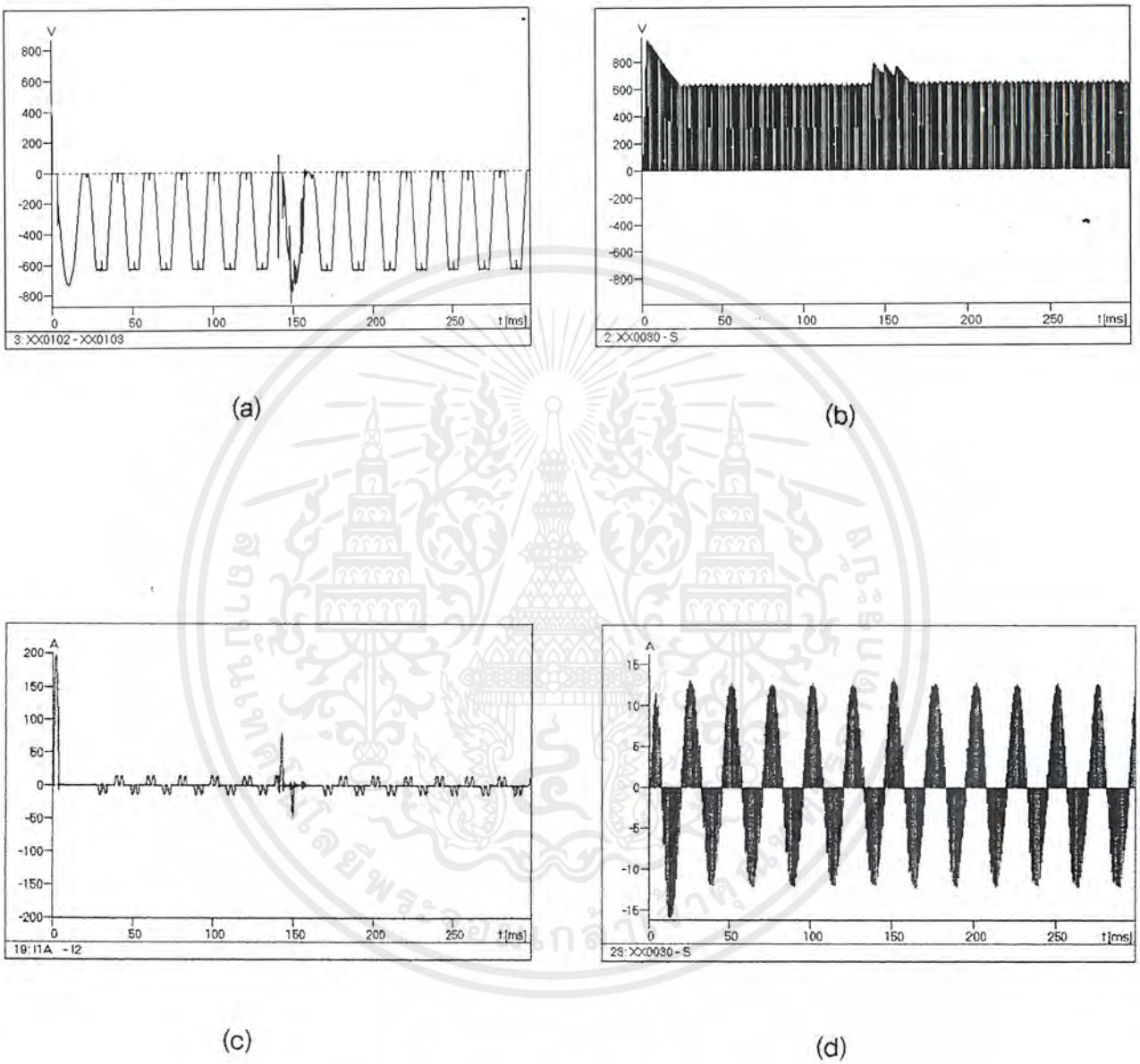
รูปที่ 7.51 ผลของการเพิ่มทั้ง AC line choke ขนาด 0.8 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



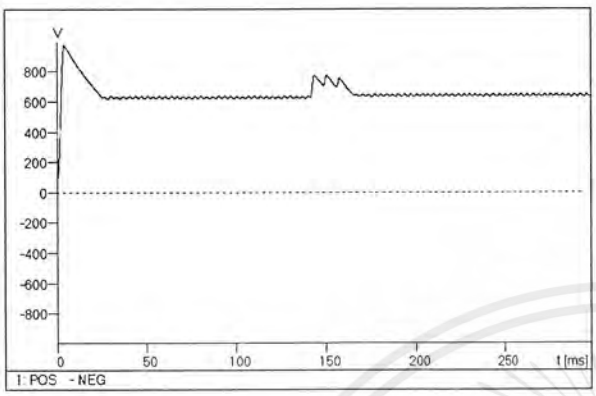
รูปที่ 7.52 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

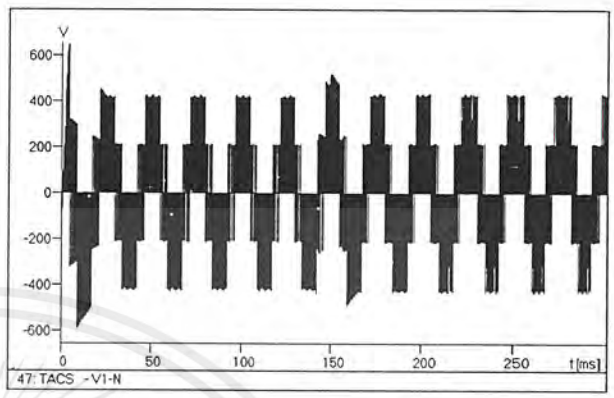


รูปที่ 7.53 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

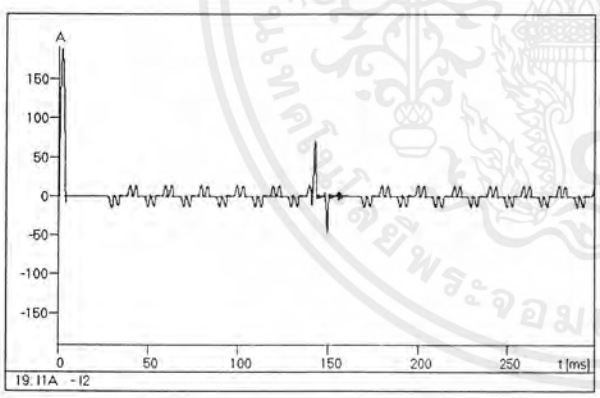
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



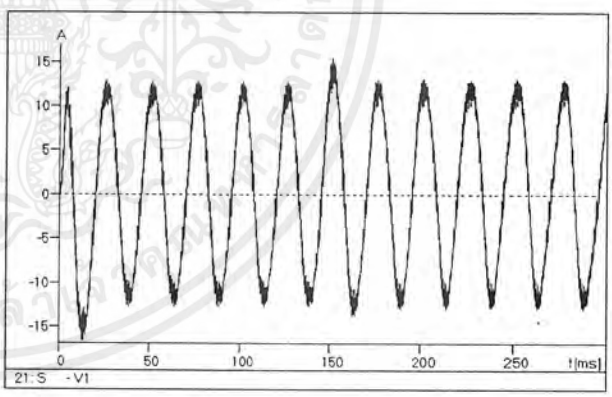
(a)



(b)



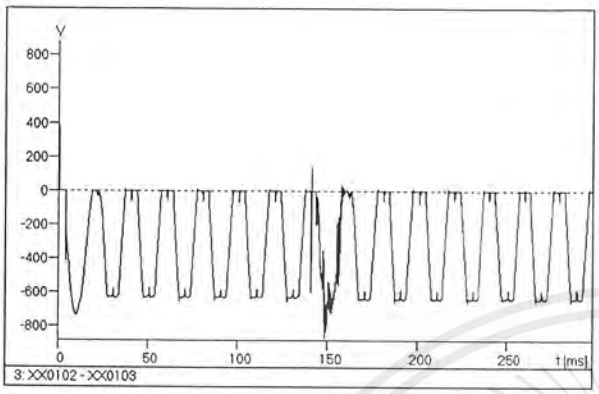
(c)



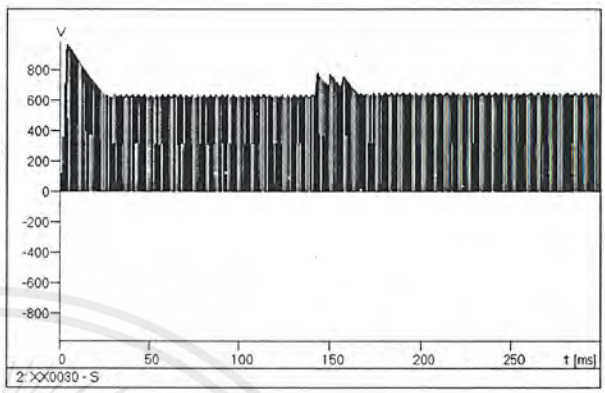
(d)

รูปที่ 7.54 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

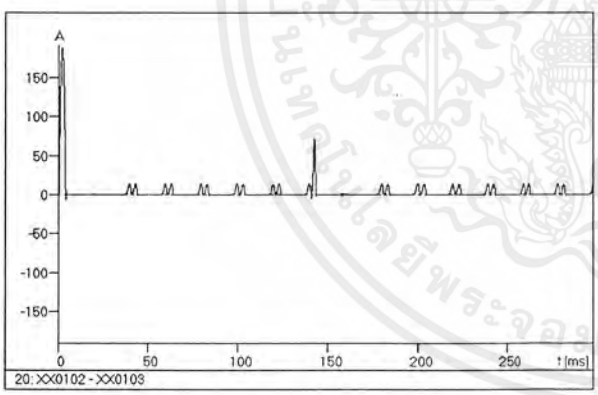
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



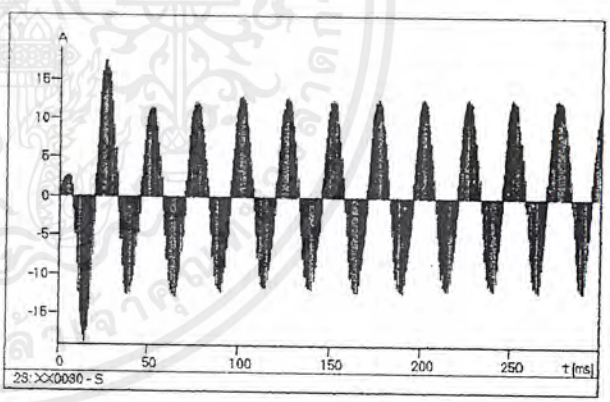
(a)



(b)



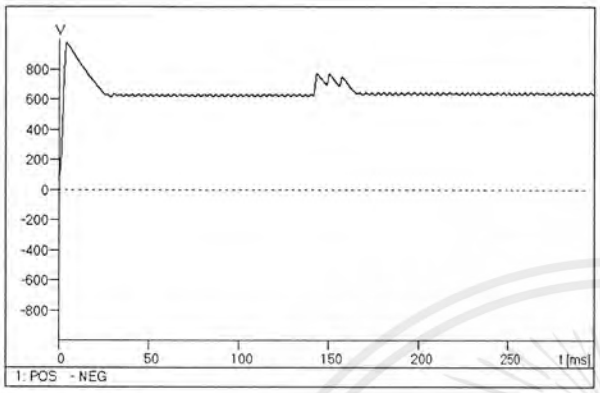
(c)



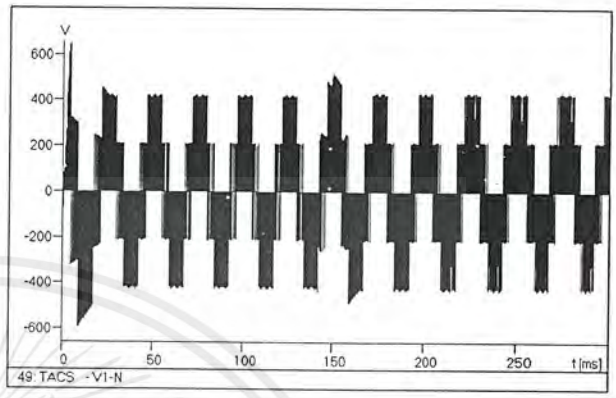
(d)

รูปที่ 7.55 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

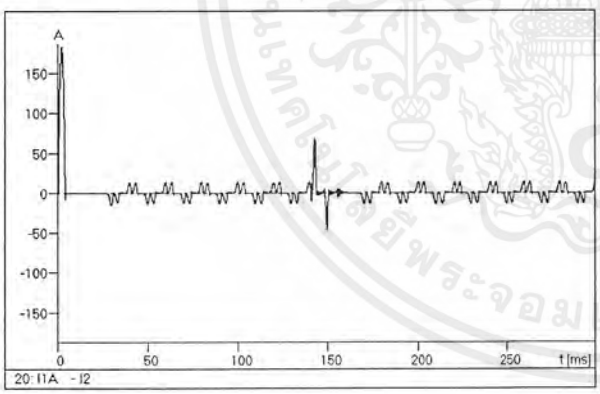
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



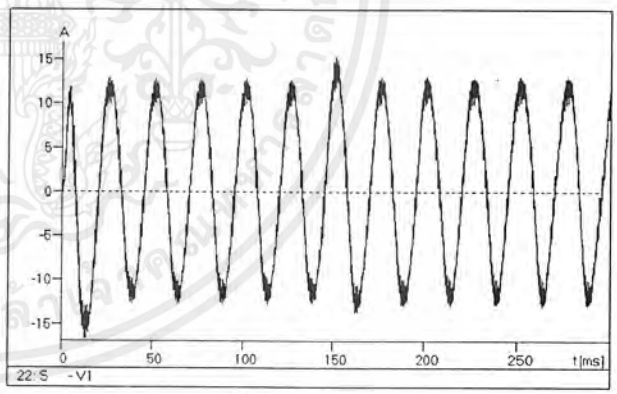
(a)



(b)



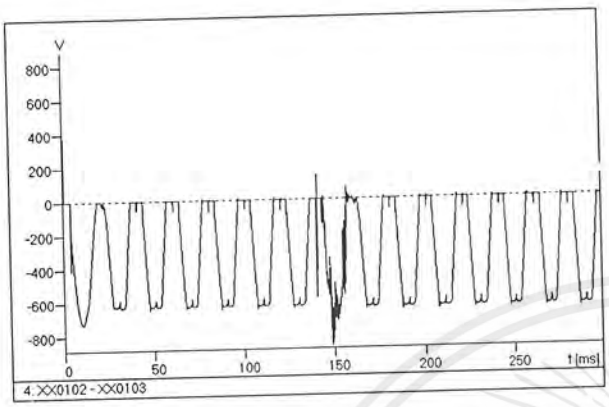
(c)



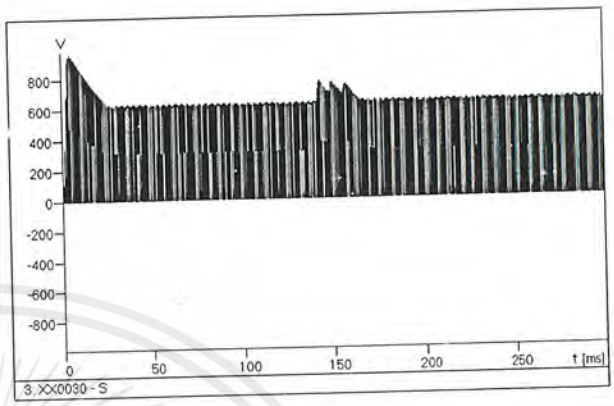
(d)

รูปที่ 7.56 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

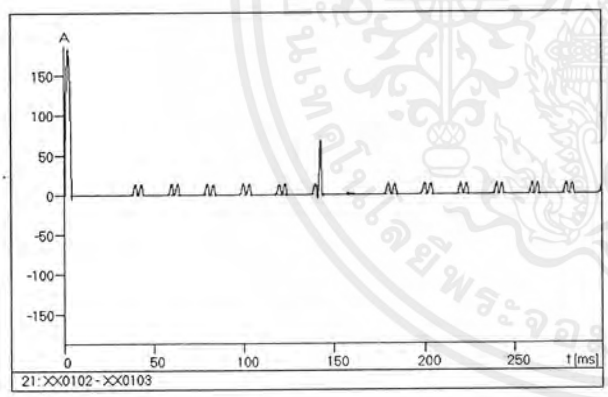
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



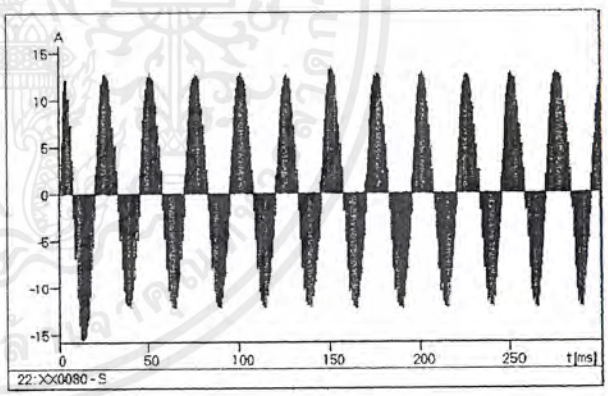
(a)



(b)



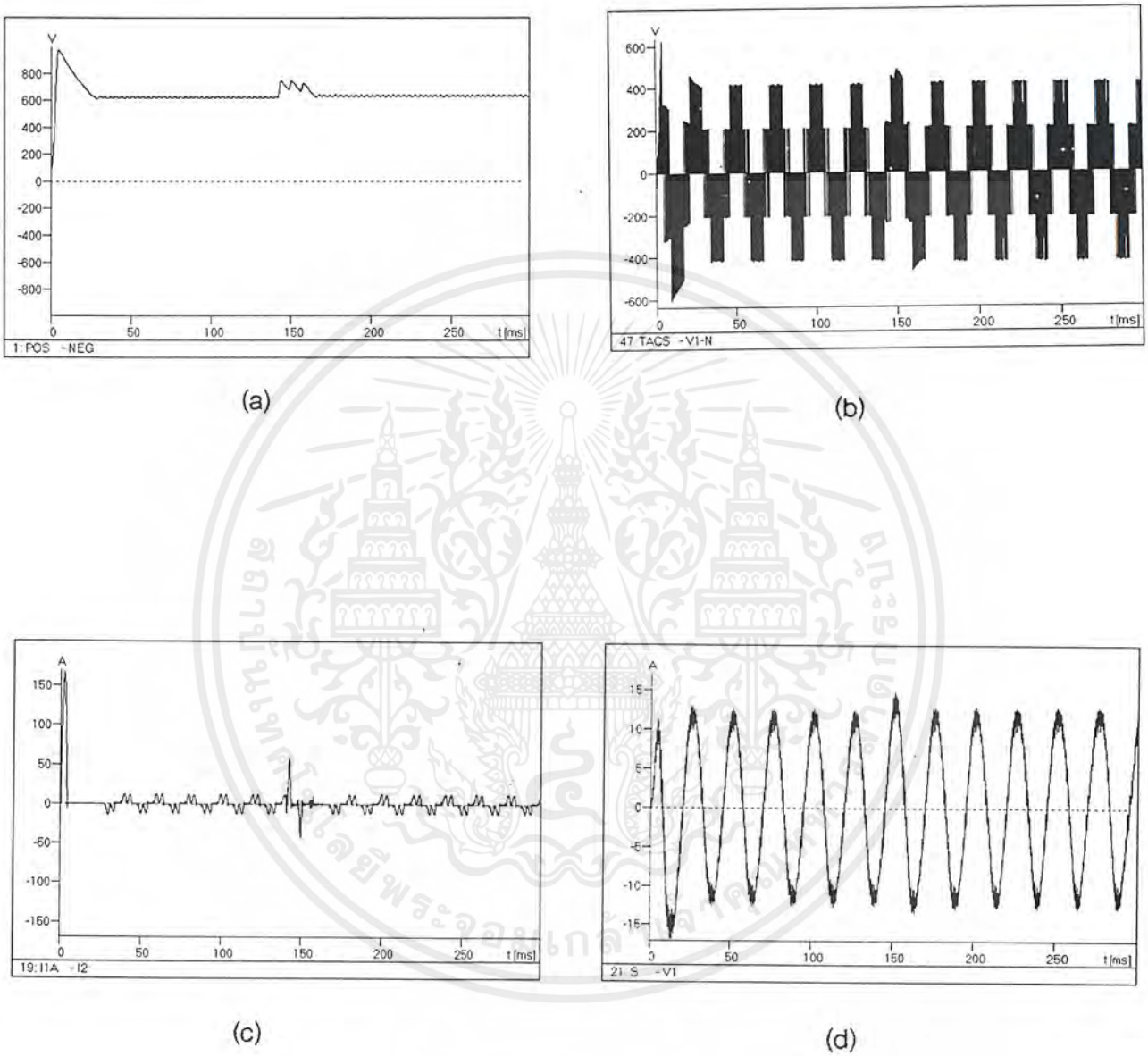
(c)



(d)

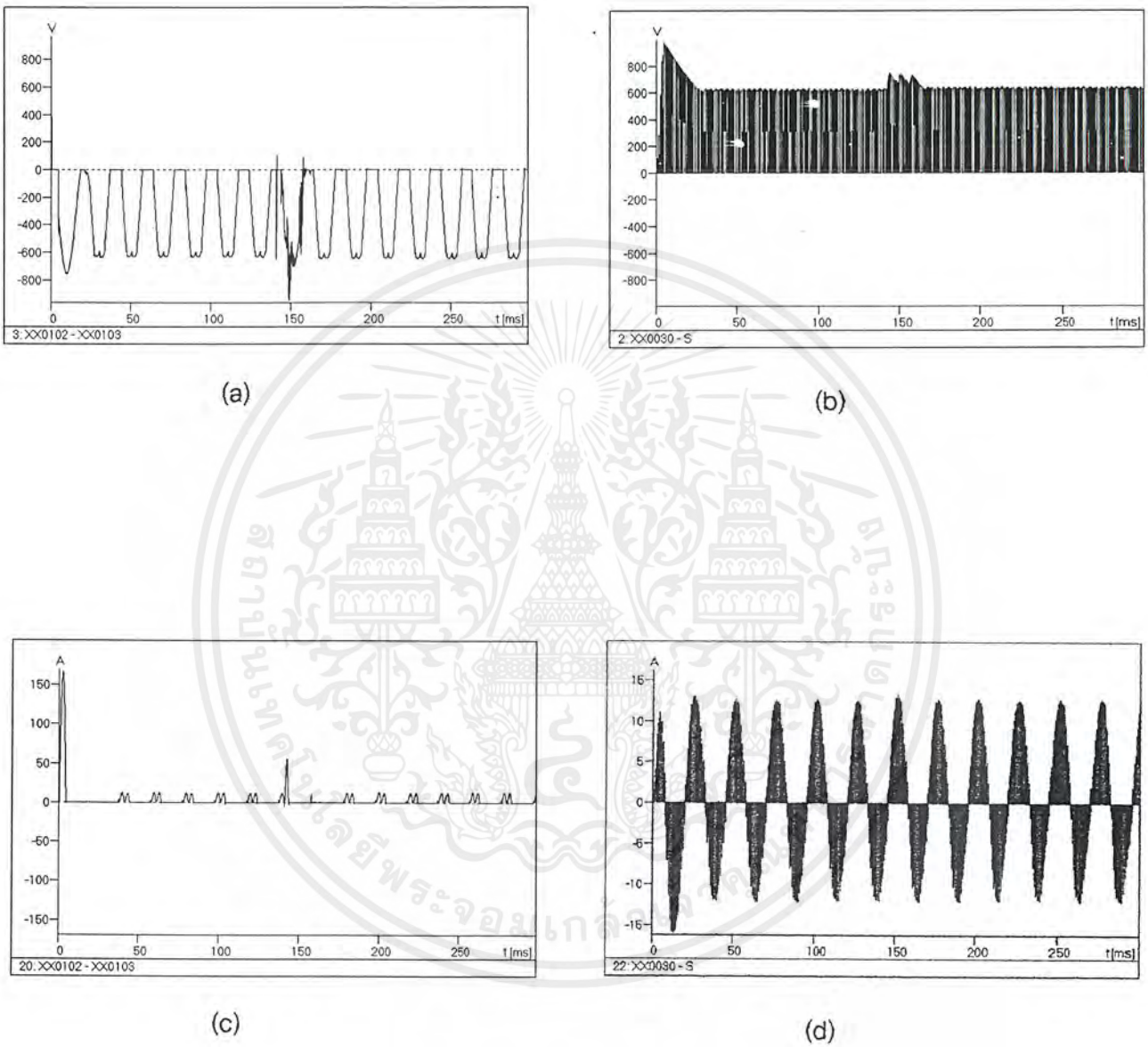
รูปที่ 7.57 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



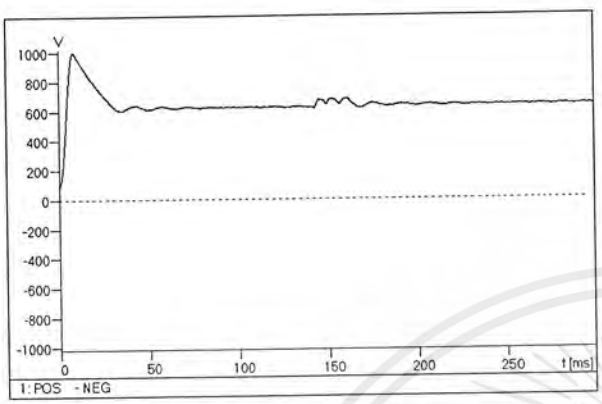
รูปที่ 7.58 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

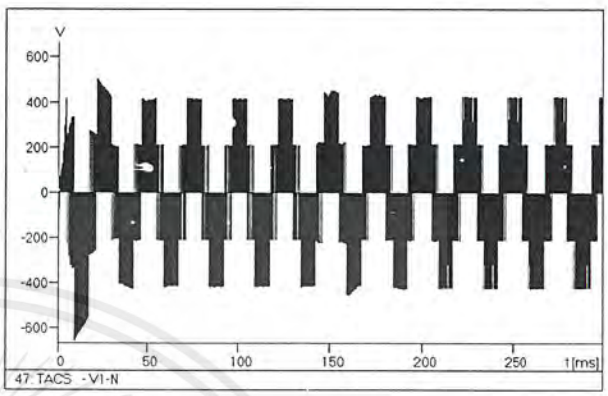


รูปที่ 7.59 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

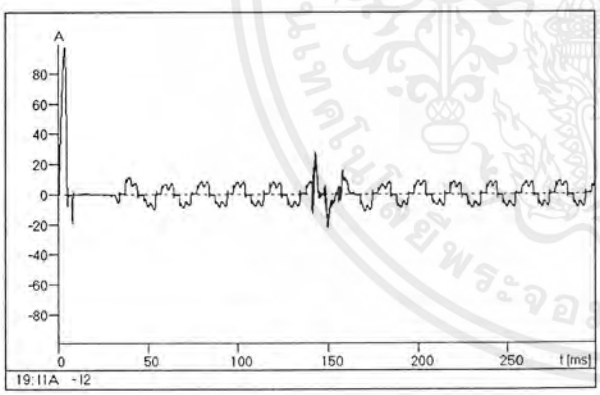
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



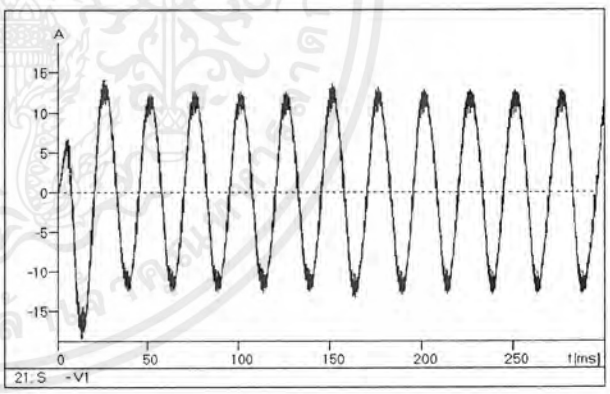
(a)



(b)



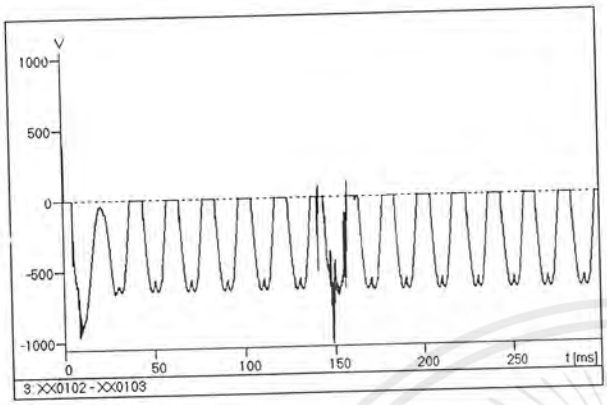
(c)



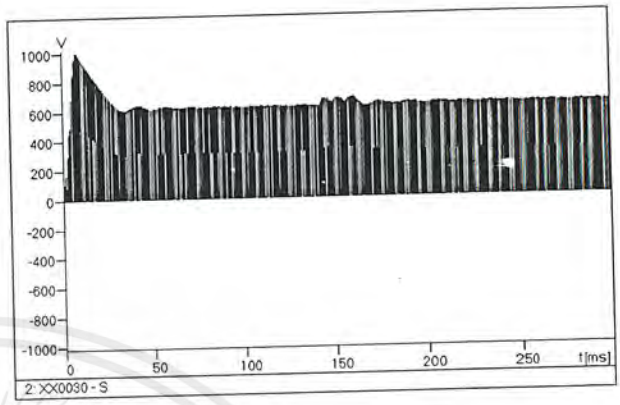
(d)

รูปที่ 7.60 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

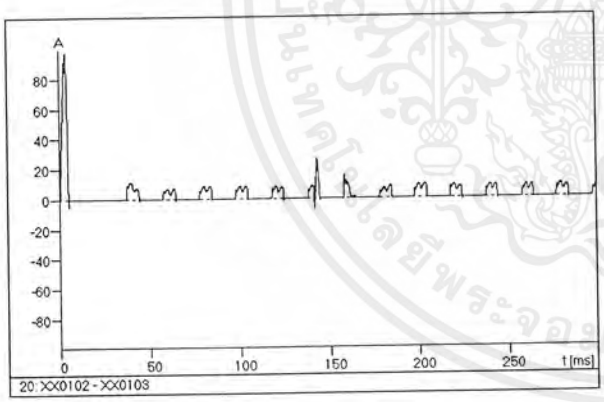
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



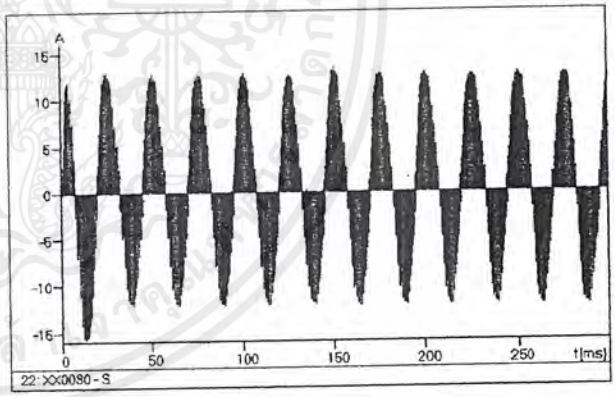
(a)



(b)



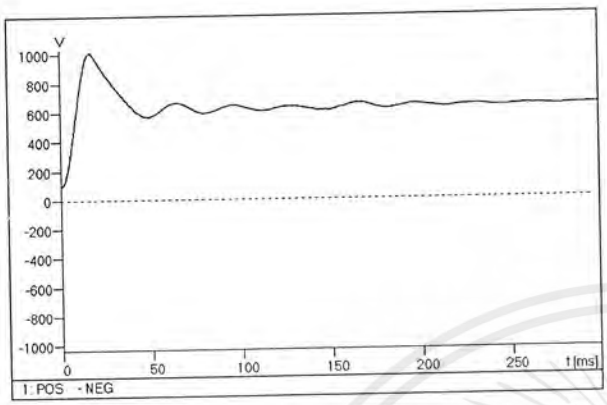
(c)



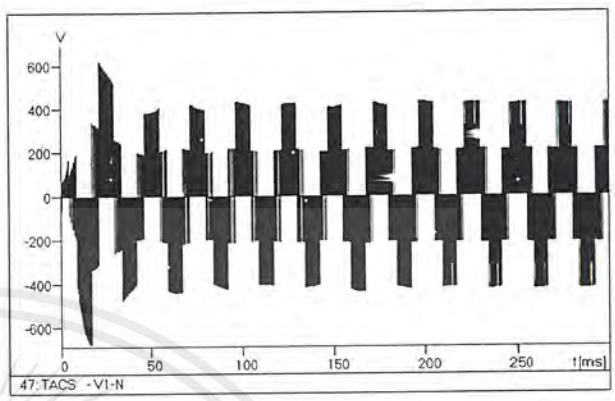
(d)

รูปที่ 7.61 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

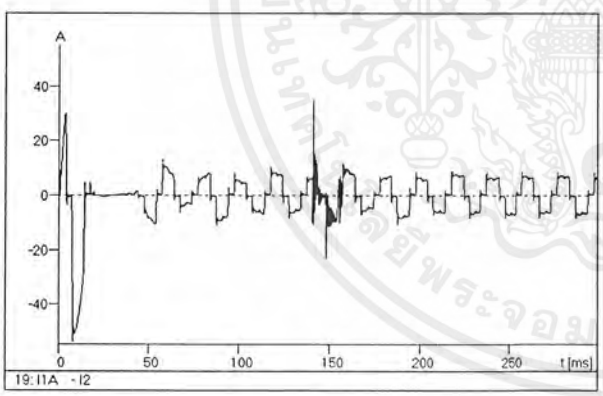
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



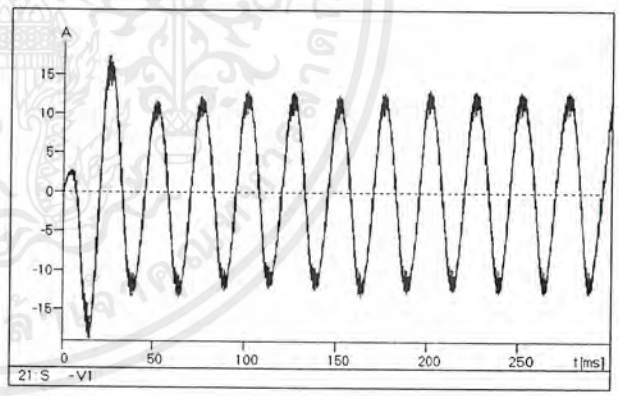
(a)



(b)



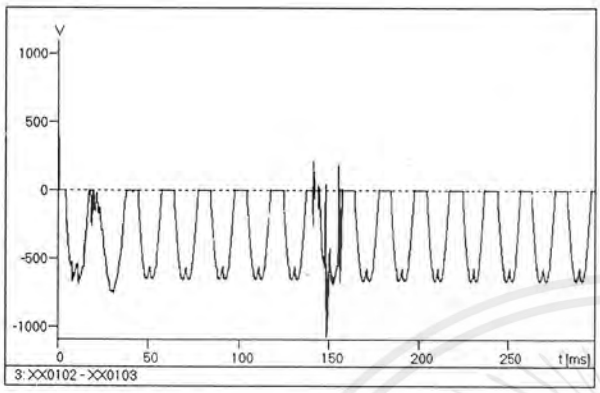
(c)



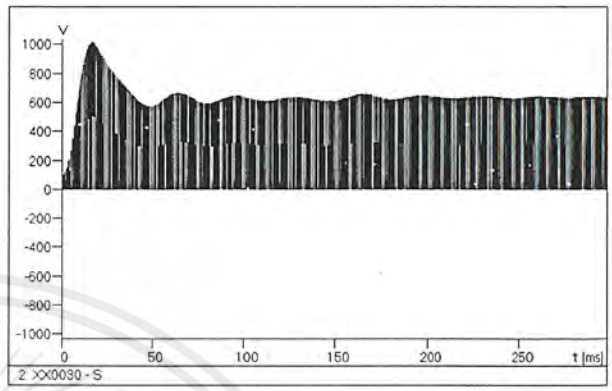
(d)

รูปที่ 7.62 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

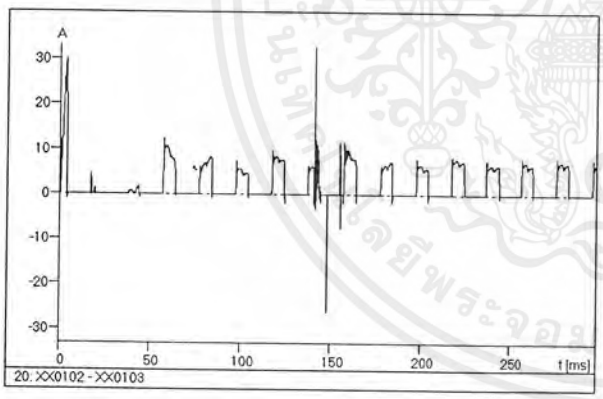
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



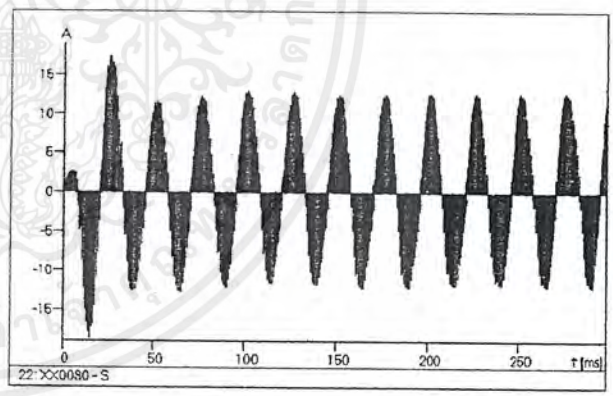
(a)



(b)



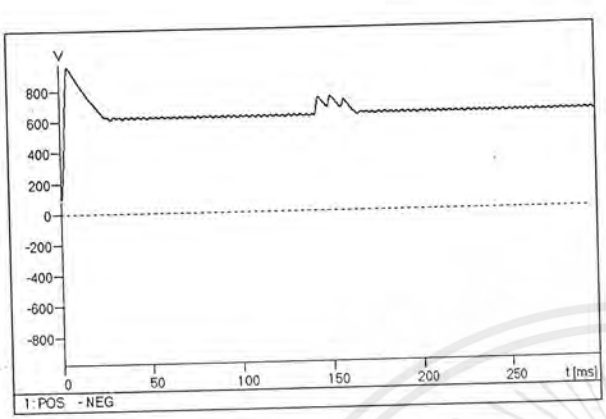
(c)



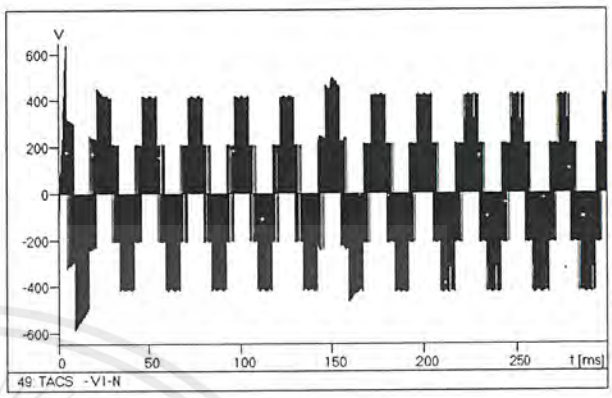
(d)

รูปที่ 7.63 ผลของการเพิ่มทั้ง AC line choke ขนาด 1 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

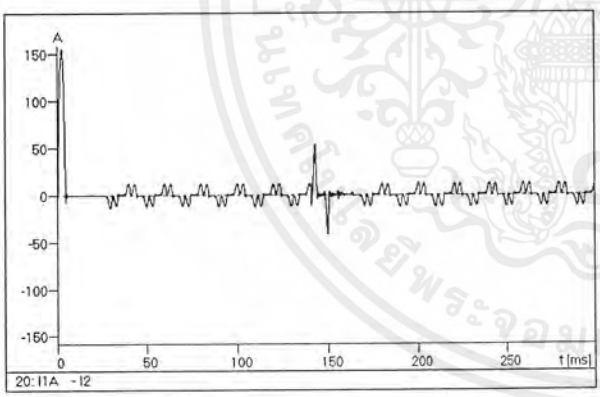
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



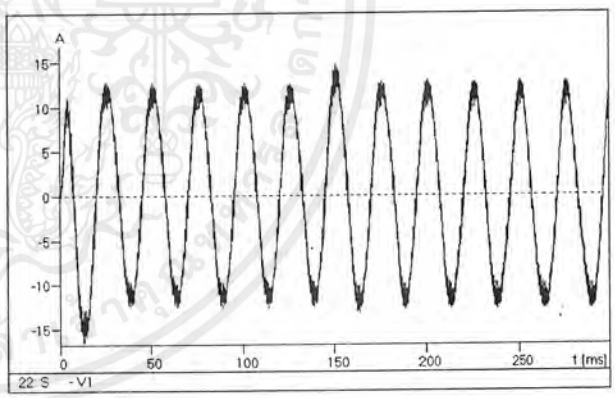
(a)



(b)



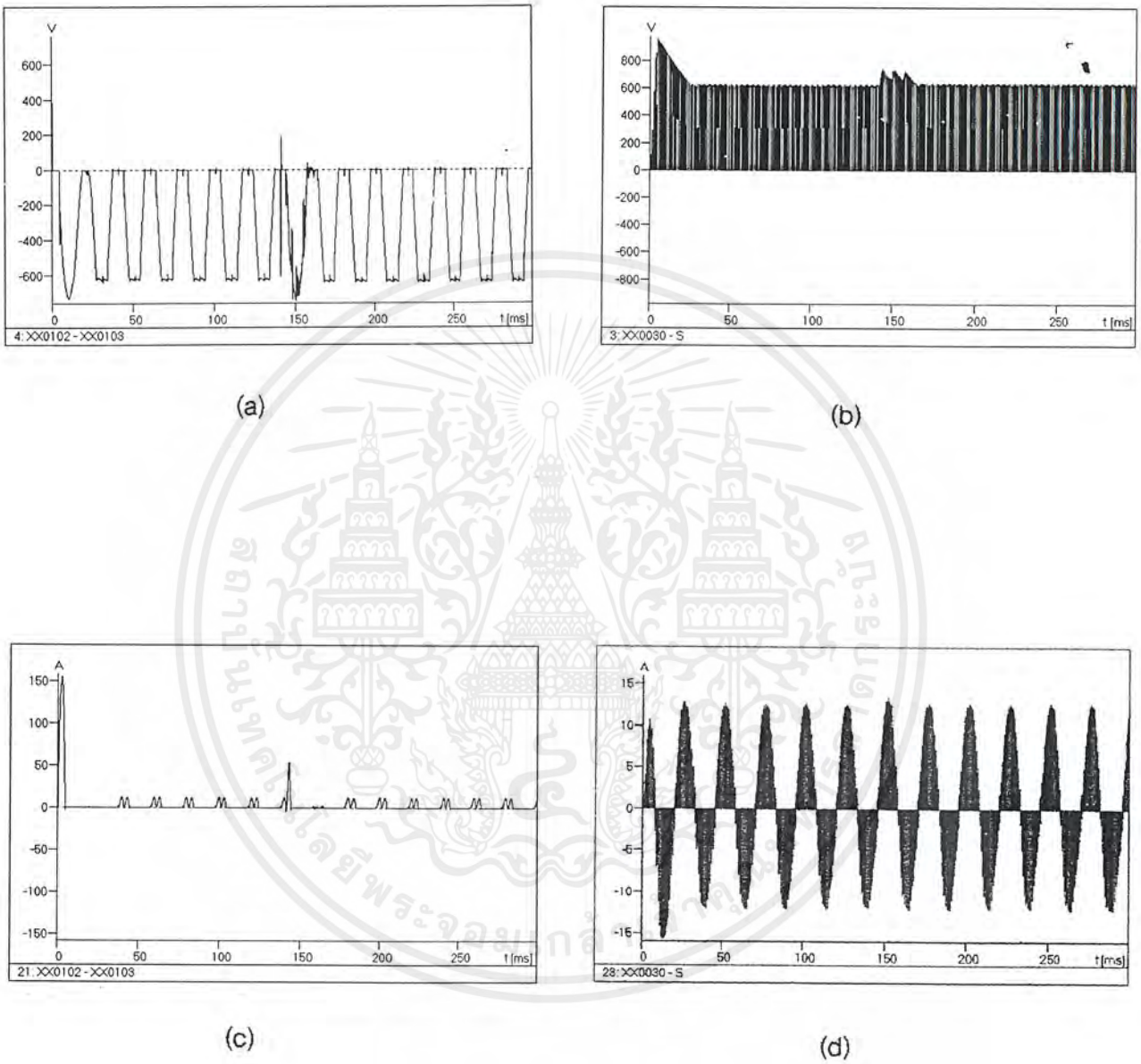
(c)



(d)

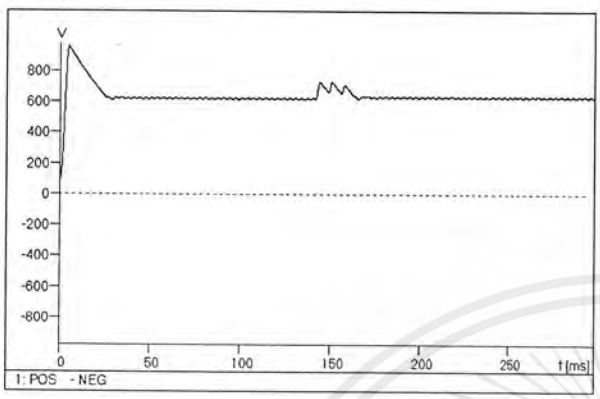
รูปที่ 7.64 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

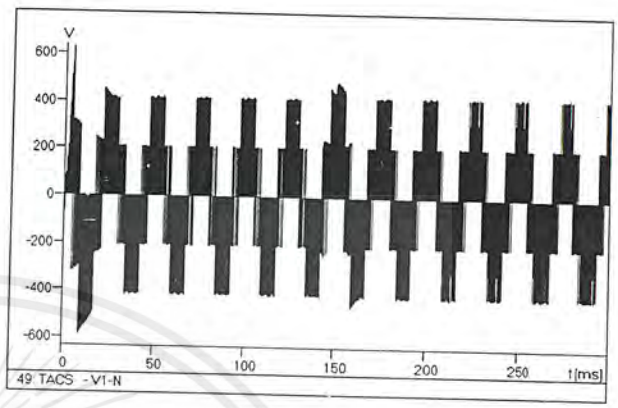


รูปที่ 7.65 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

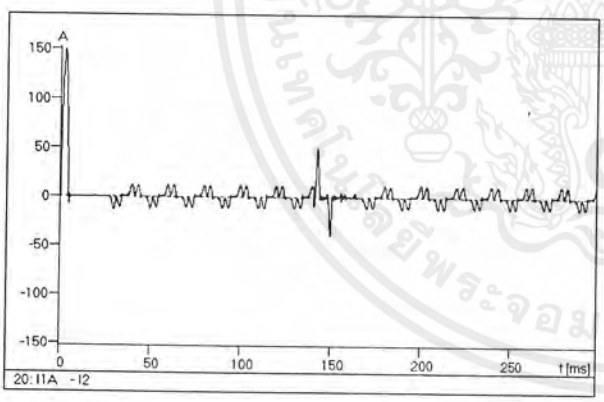
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



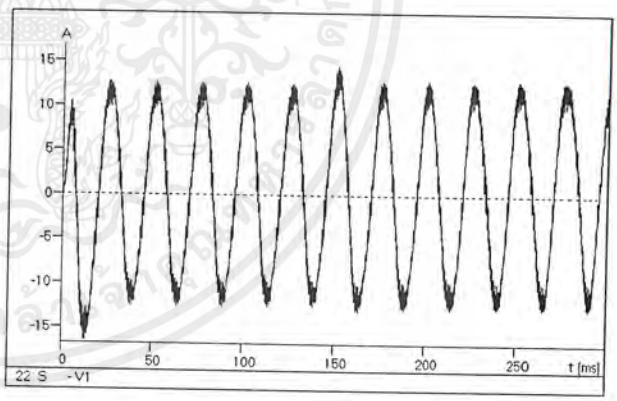
(a)



(b)



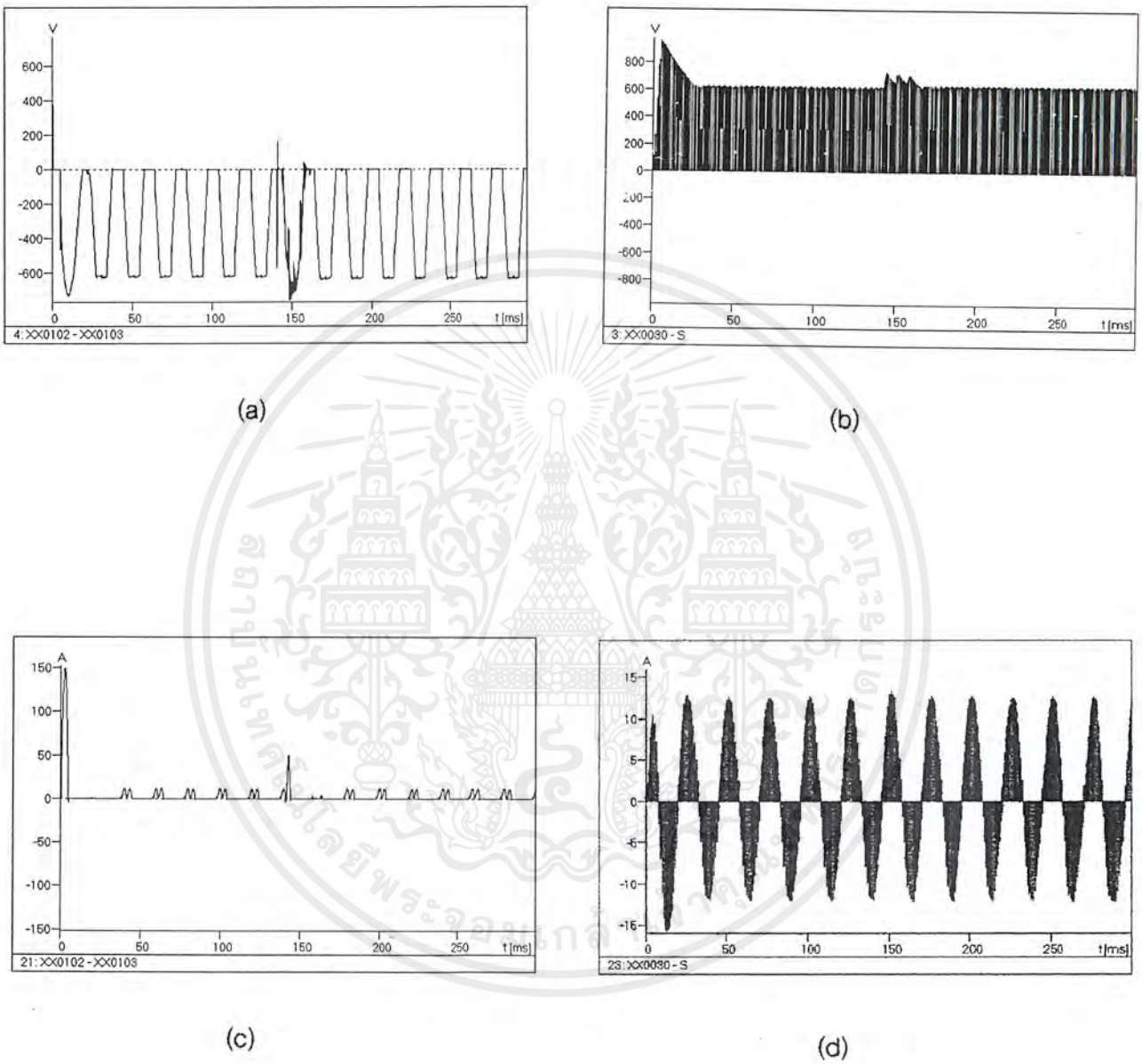
(c)



(d)

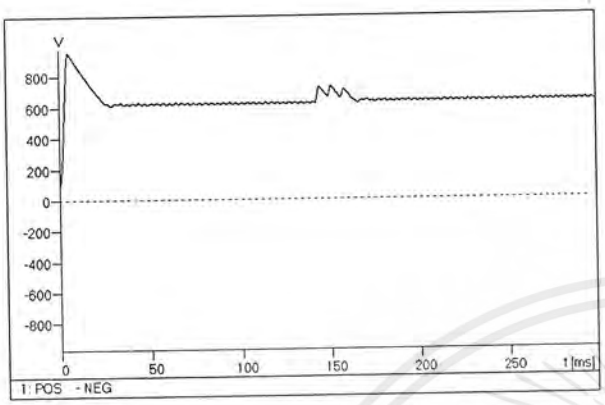
รูปที่ 7.66 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

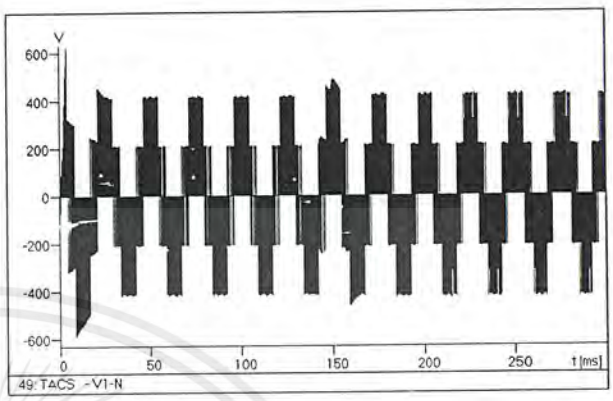


รูปที่ 7.67 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

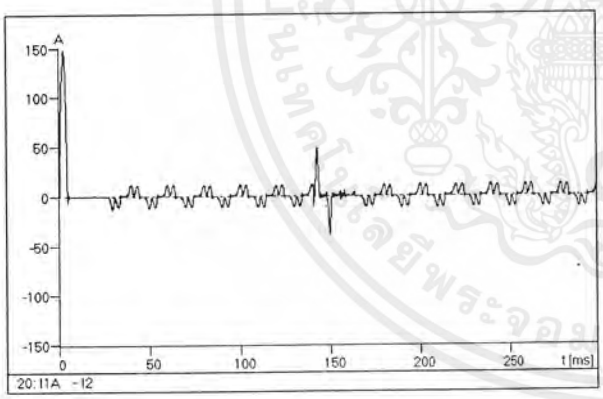
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



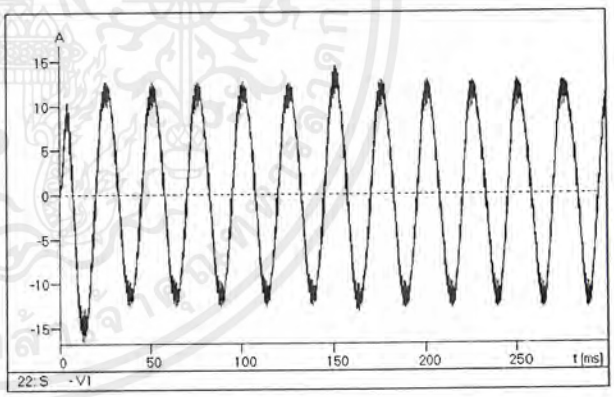
(a)



(b)



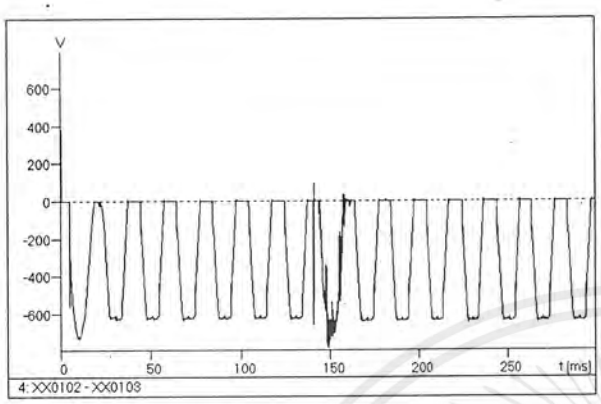
(c)



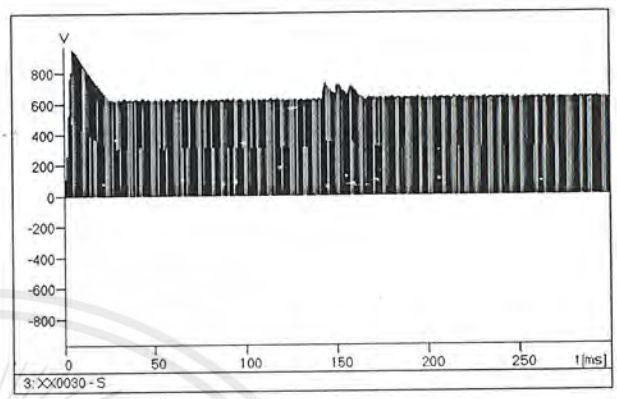
(d)

รูปที่ 7.68 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

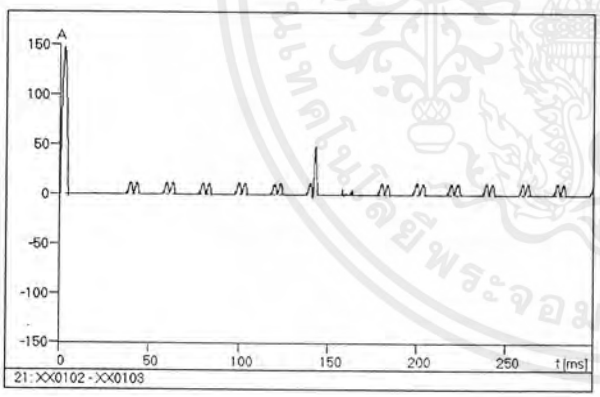
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



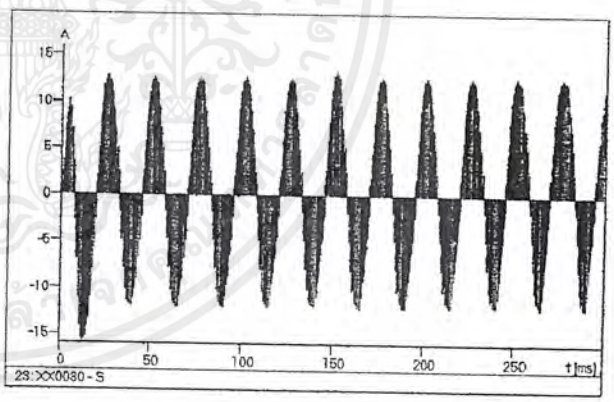
(a)



(b)



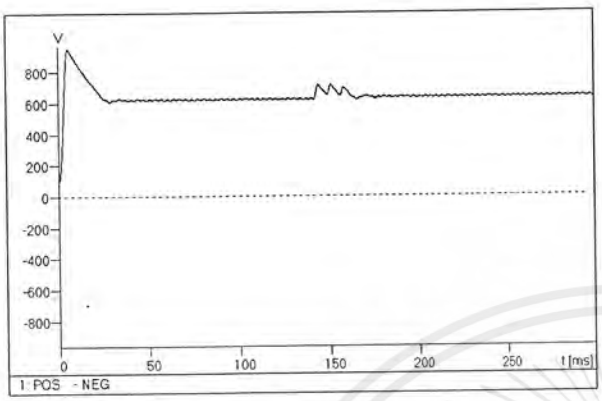
(c)



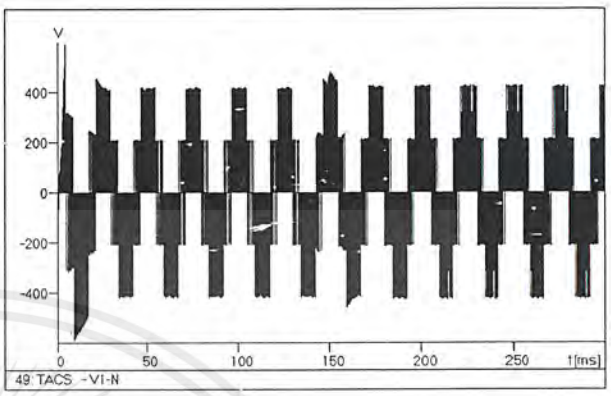
(d)

รูปที่ 7.69 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

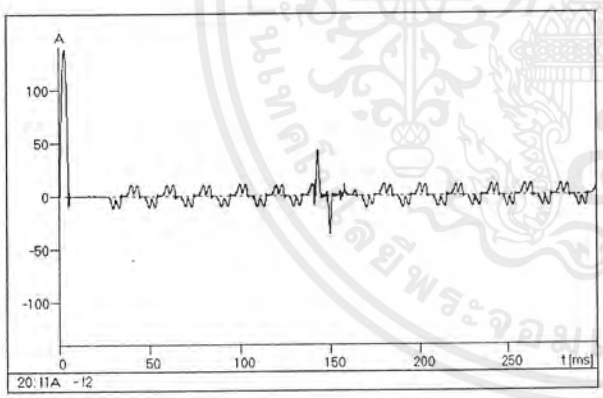
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



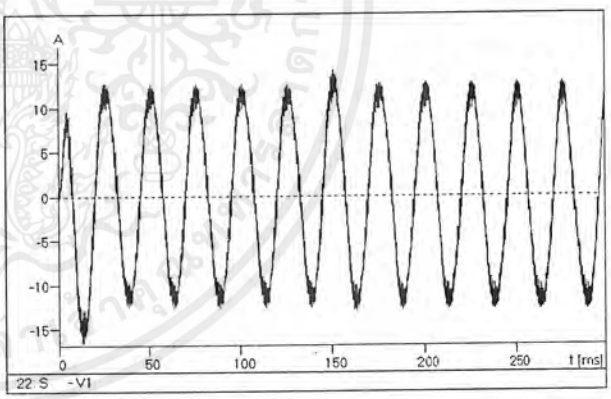
(a)



(b)



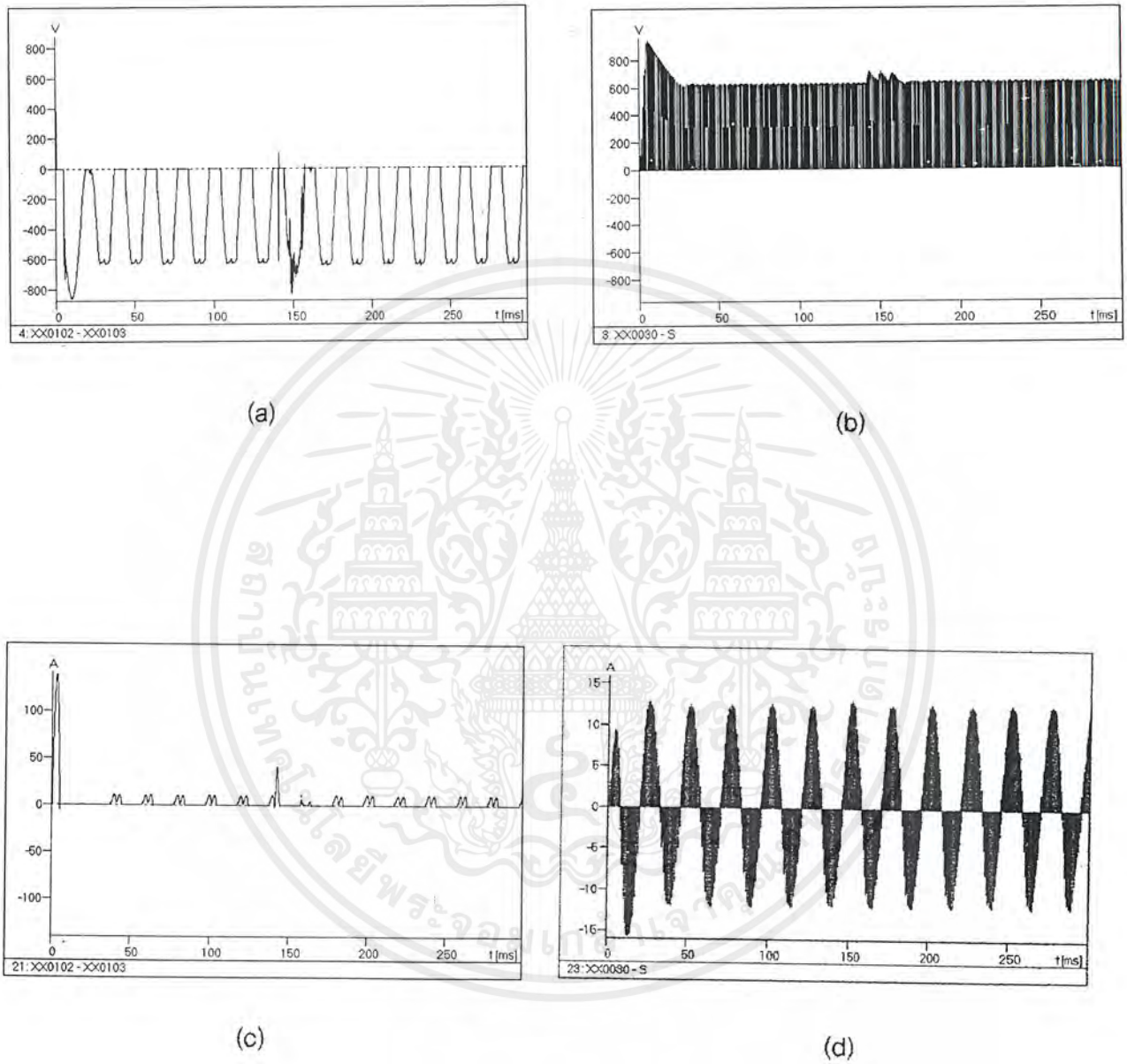
(c)



(d)

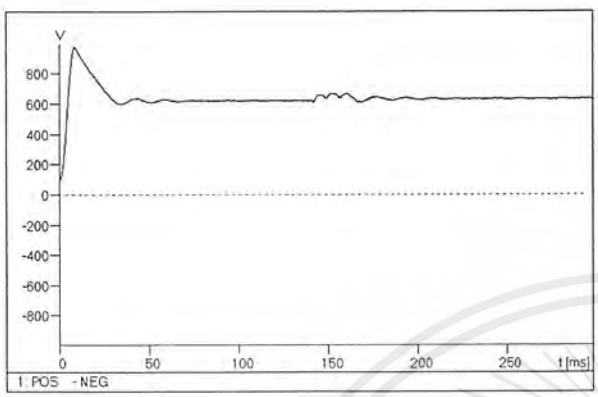
รูปที่ 7.70 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

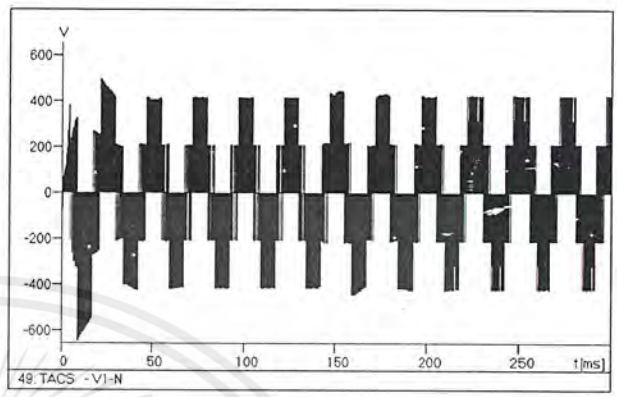


รูปที่ 7.71 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

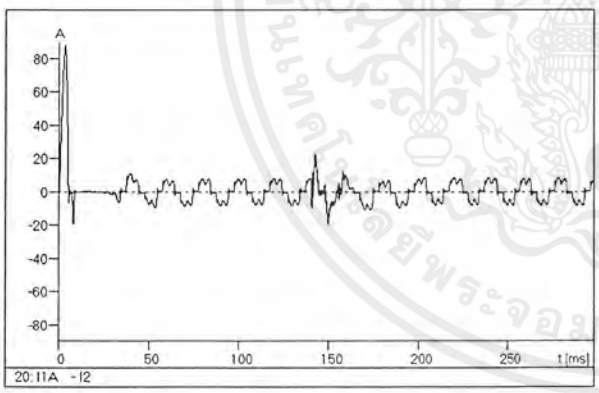
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



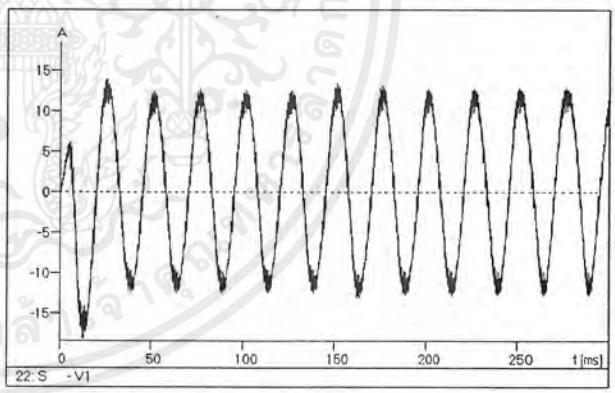
(a)



(b)



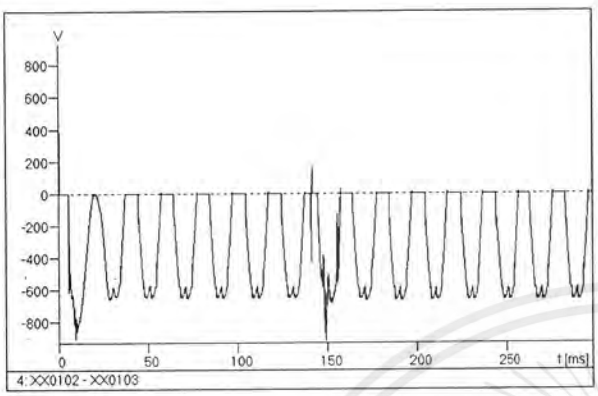
(c)



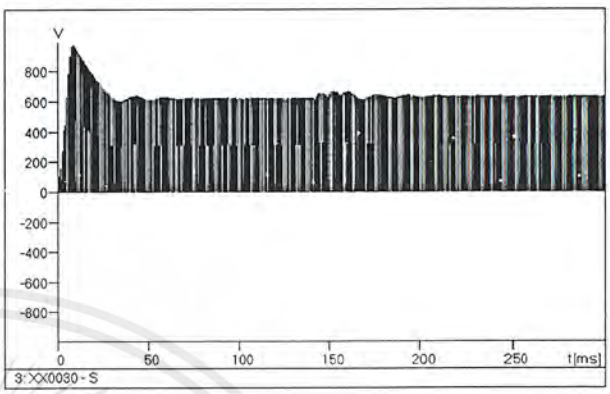
(d)

รูปที่ 7.72 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

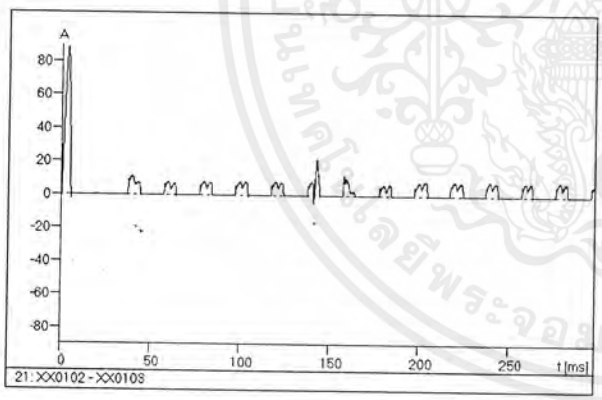
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



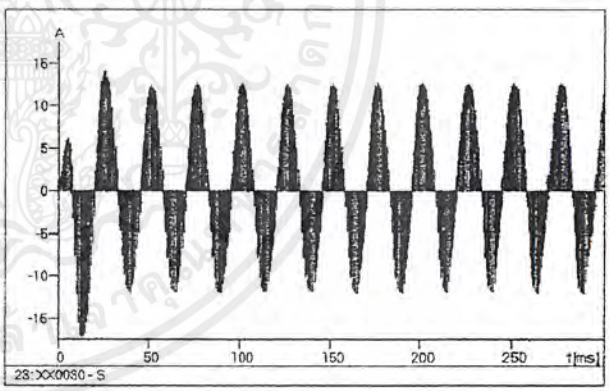
(a)



(b)



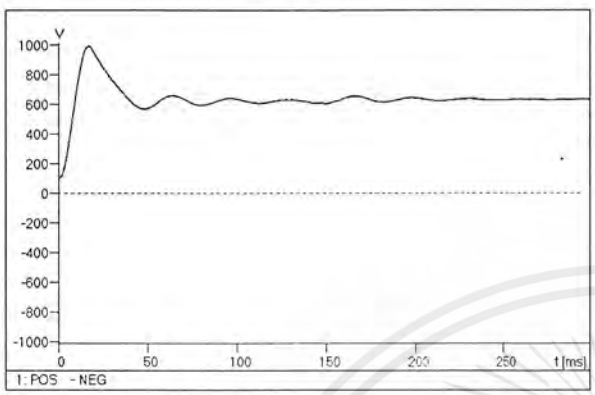
(c)



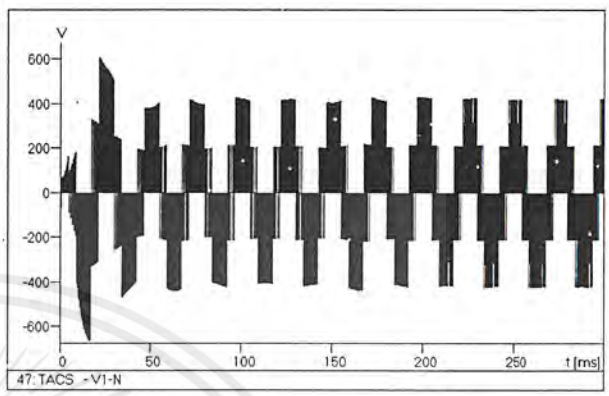
(d)

รูปที่ 7.73 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

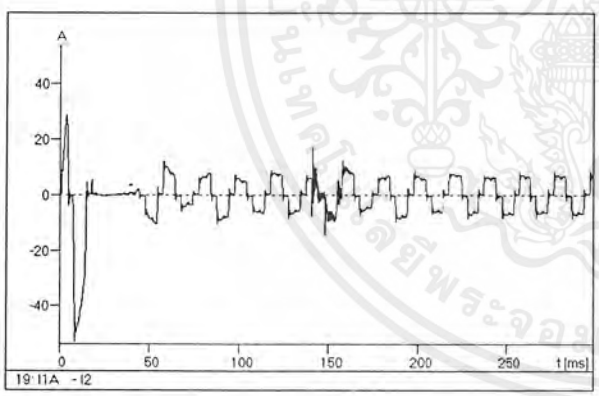
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



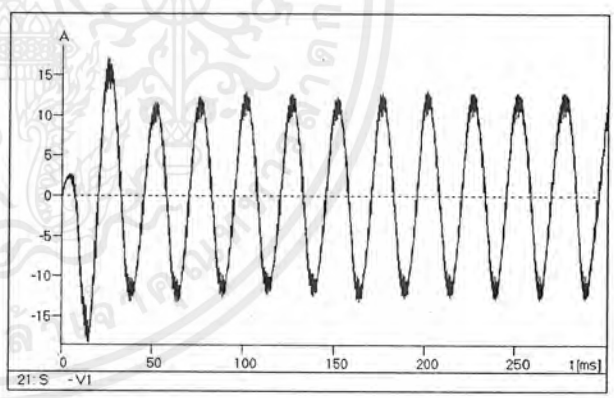
(a)



(b)



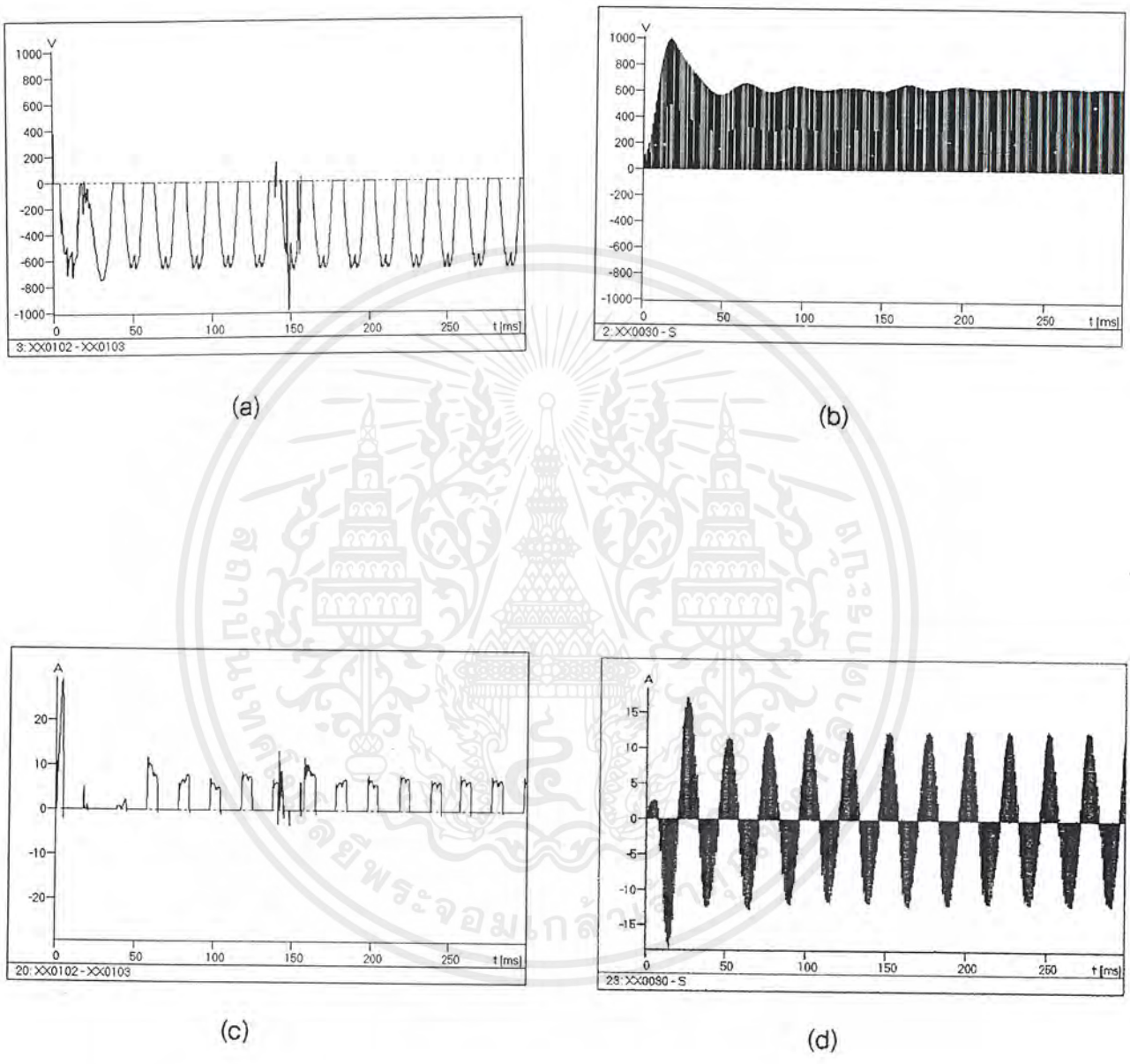
(c)



(d)

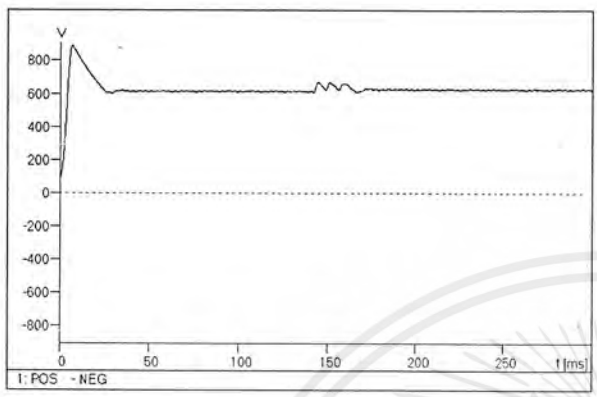
รูปที่ 7.74 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

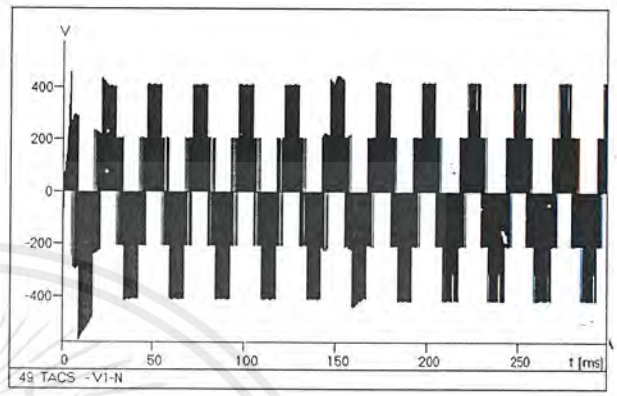


รูปที่ 7.75 ผลของการเพิ่มทั้ง AC line choke ขนาด 2 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

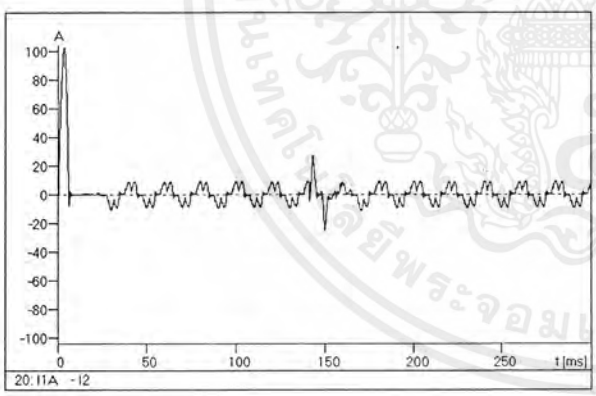
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



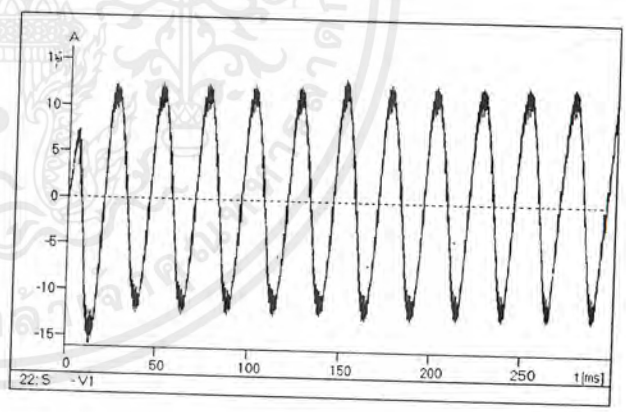
(a)



(b)



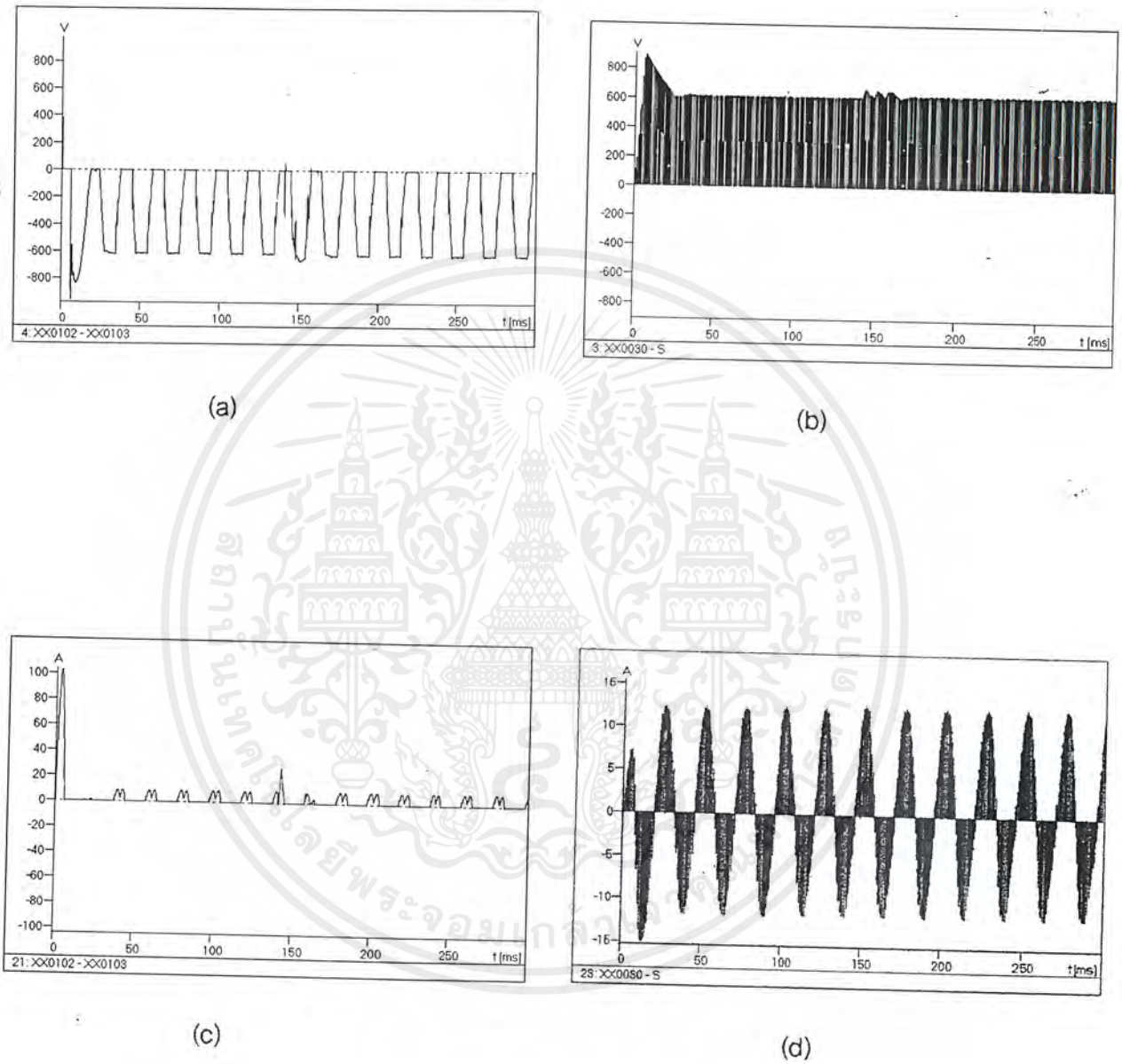
(c)



(d)

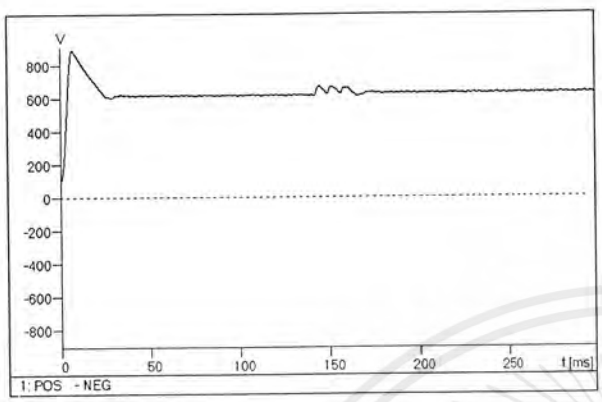
รูปที่ 7.76 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

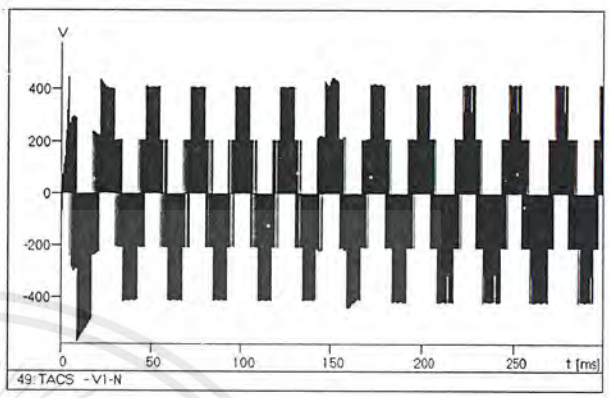


รูปที่ 7.77 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

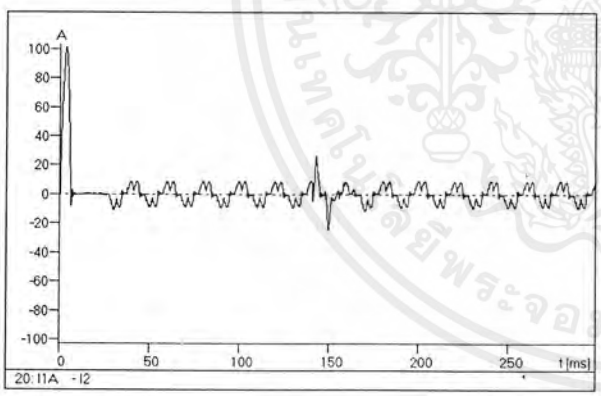
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



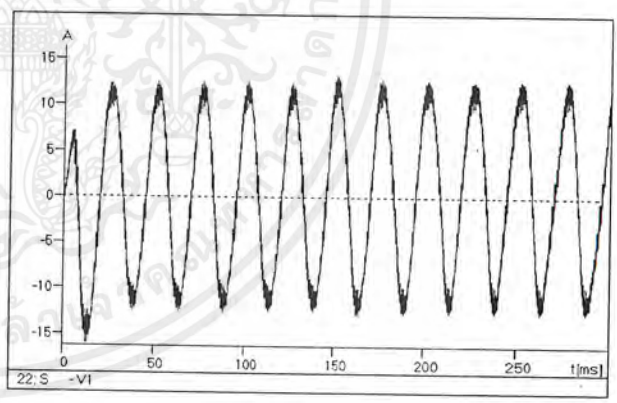
(a)



(b)



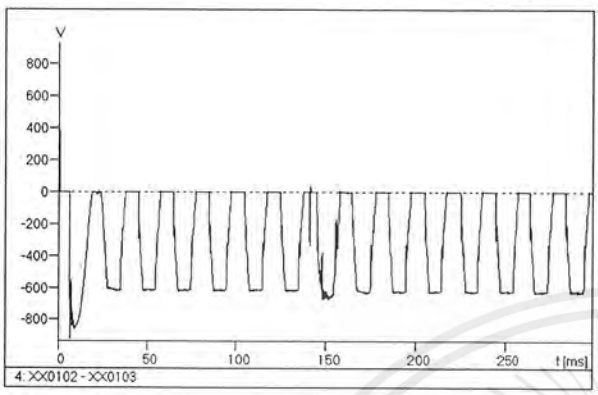
(c)



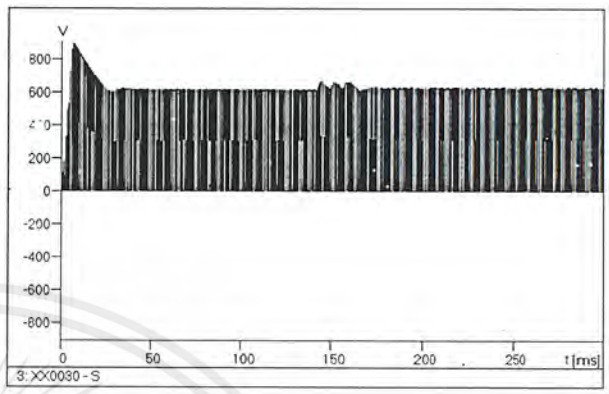
(d)

รูปที่ 7.78 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

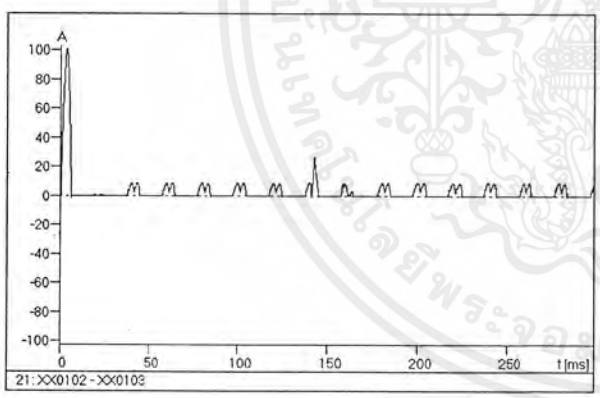
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



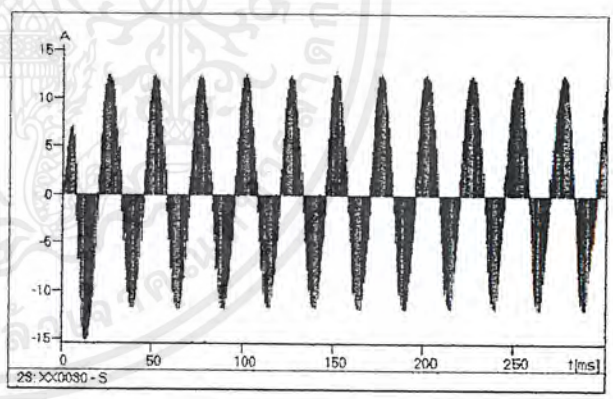
(a)



(b)



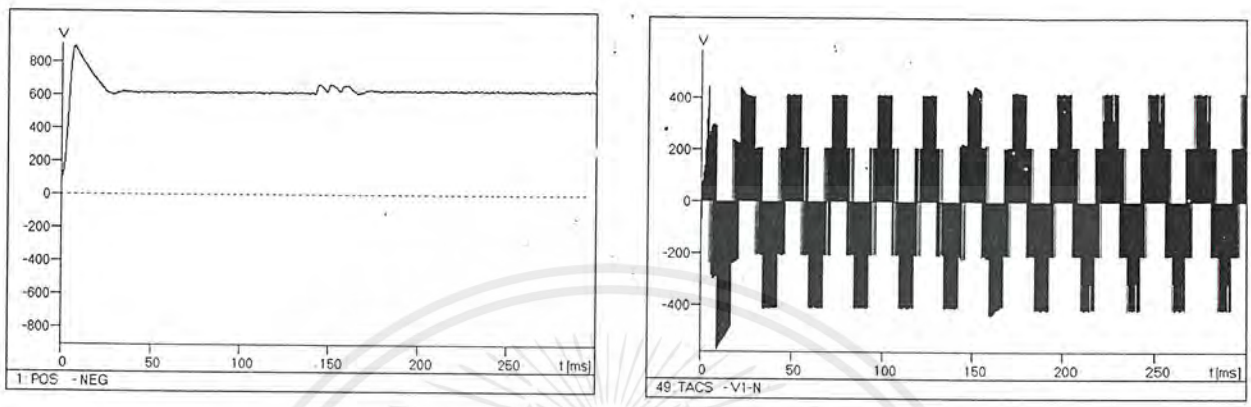
(c)



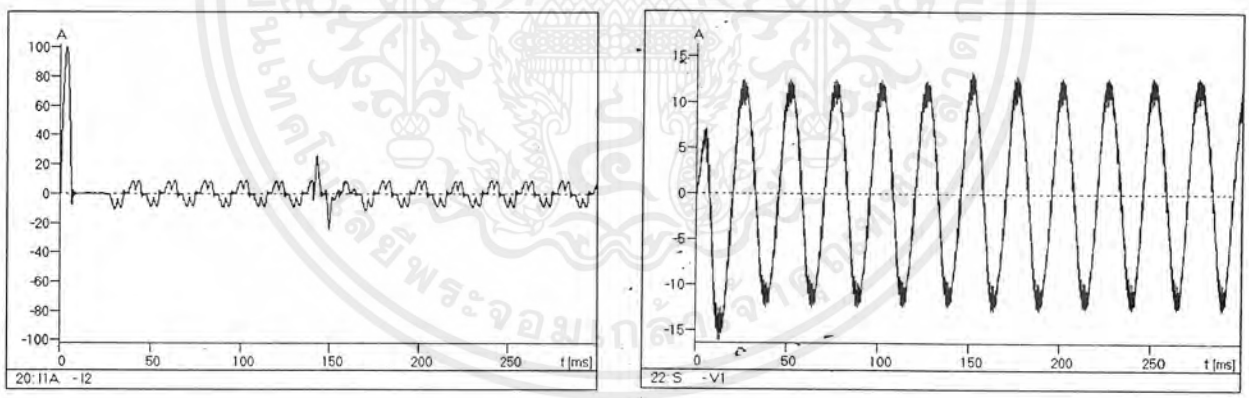
(d)

รูปที่ 7.79 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



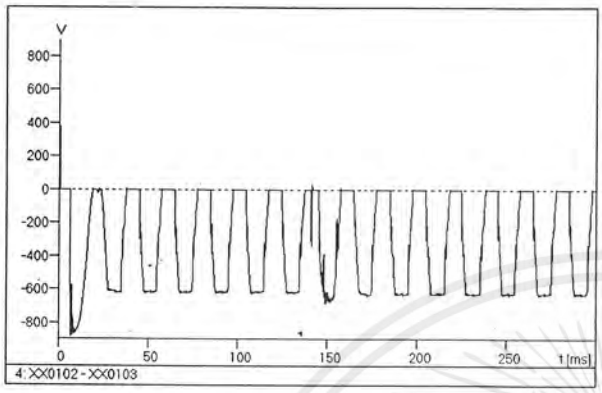
(a) (b)



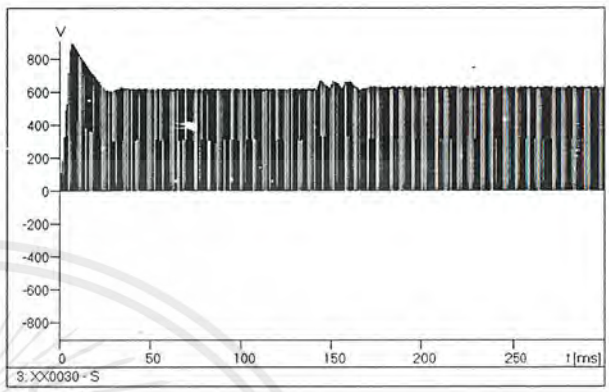
(c) (d)

รูปที่ 7.80 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

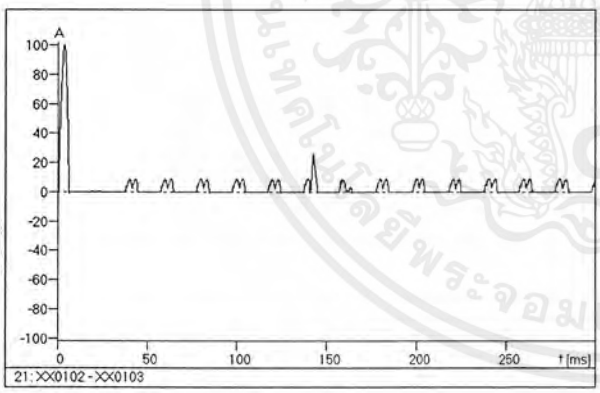
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



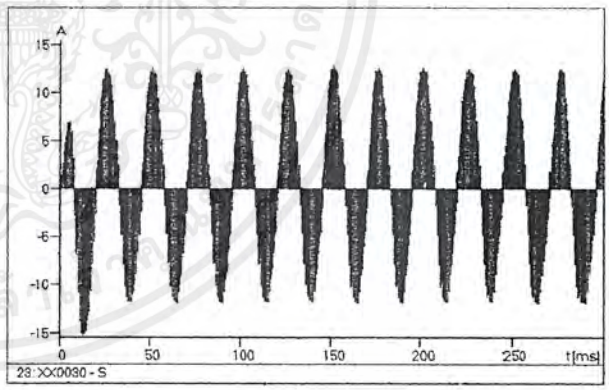
(a)



(b)



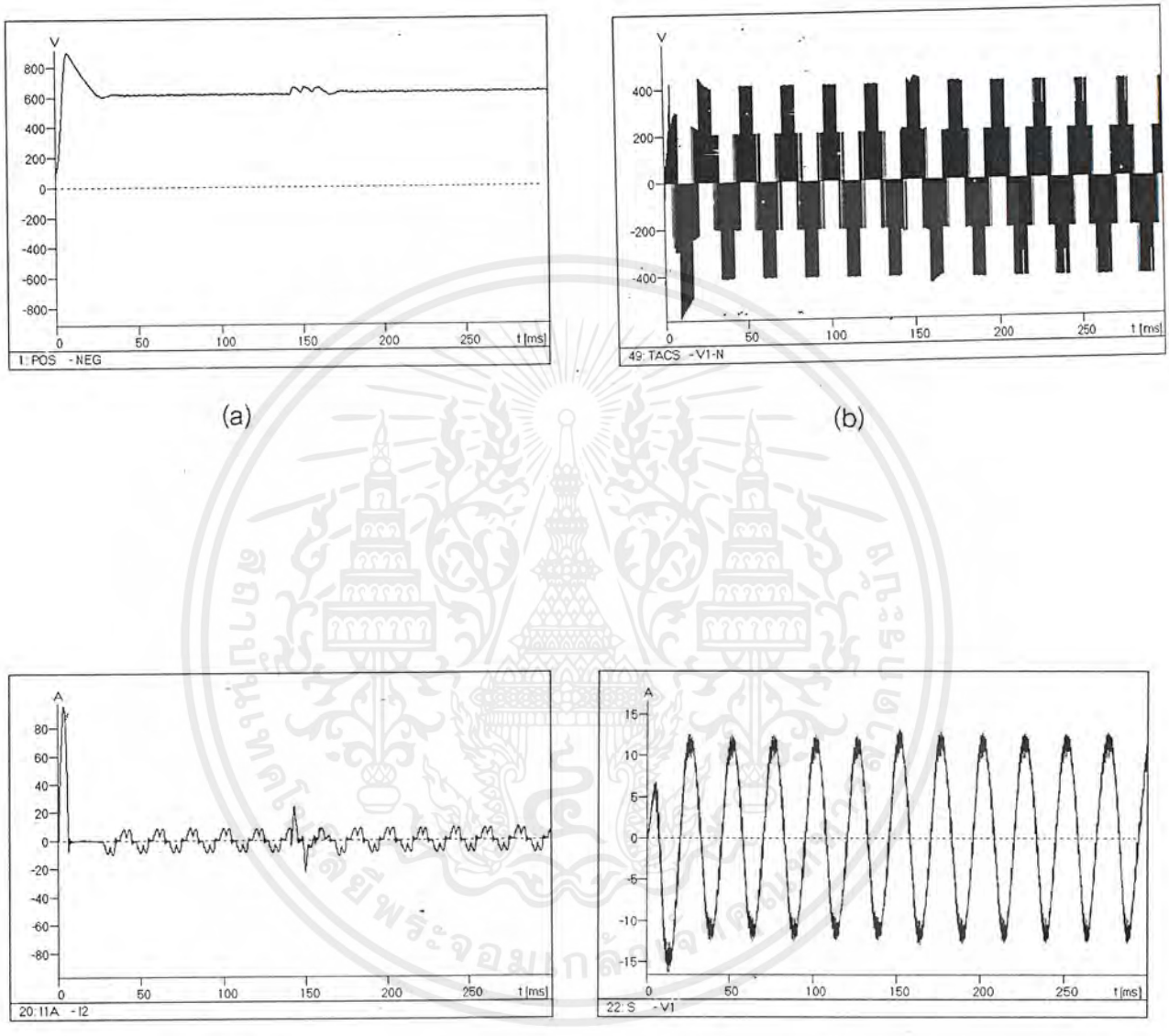
(c)



(d)

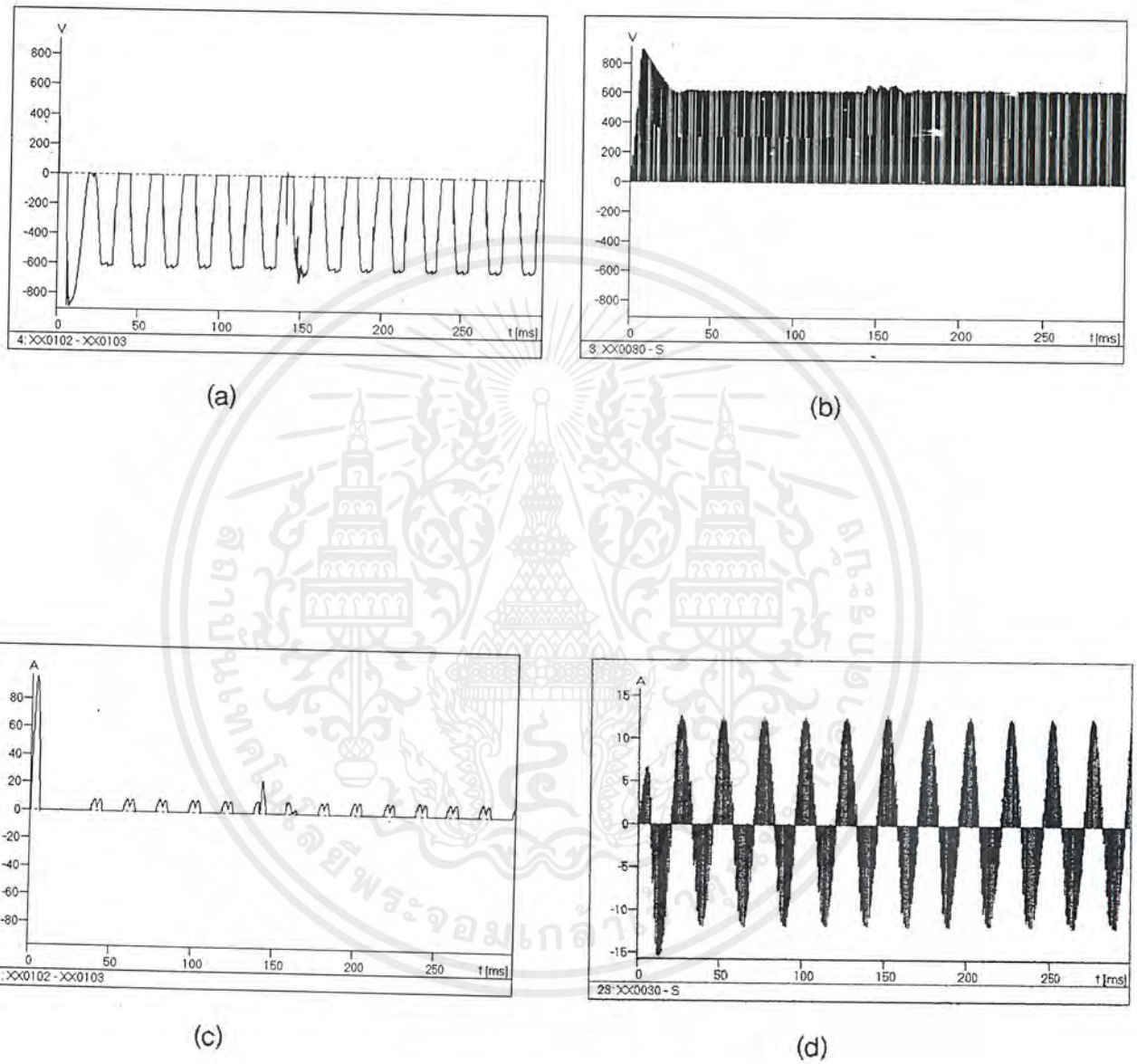
รูปที่ 7.81 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



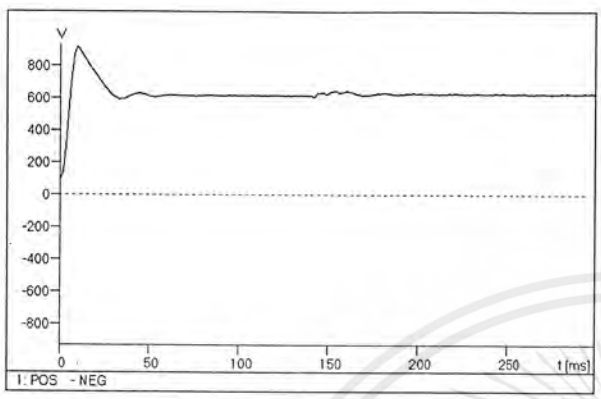
รูปที่ 7.82 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

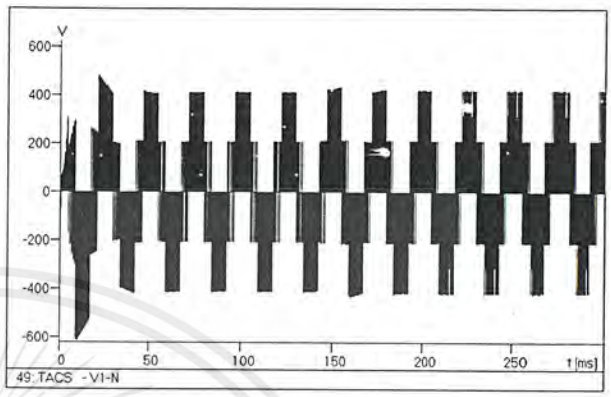


รูปที่ 7.83 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

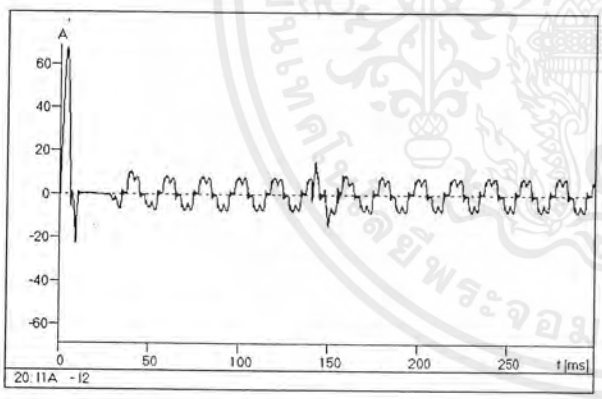
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



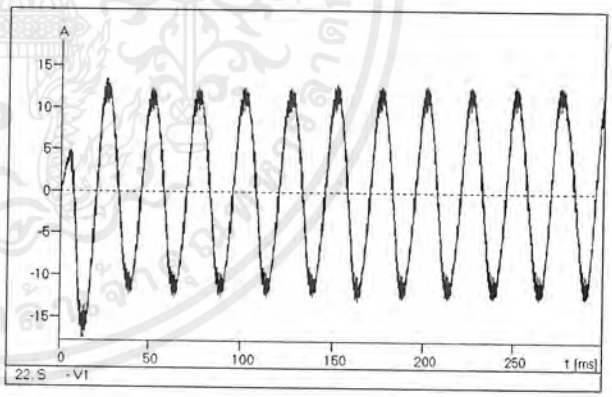
(a)



(b)



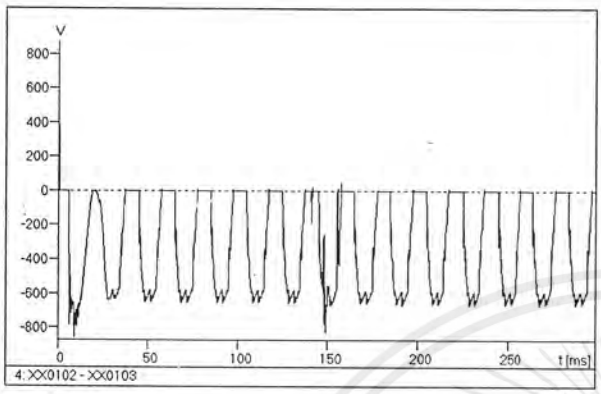
(c)



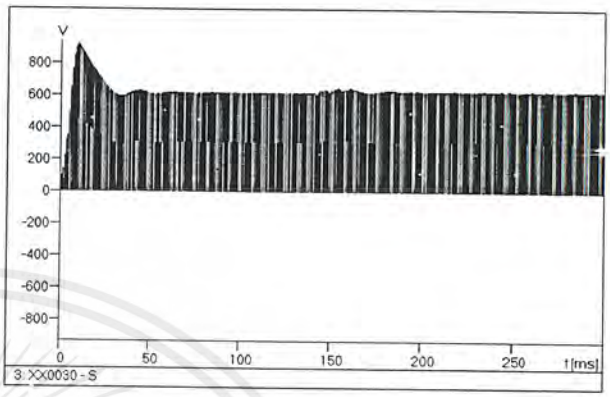
(d)

รูปที่ 7.84 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

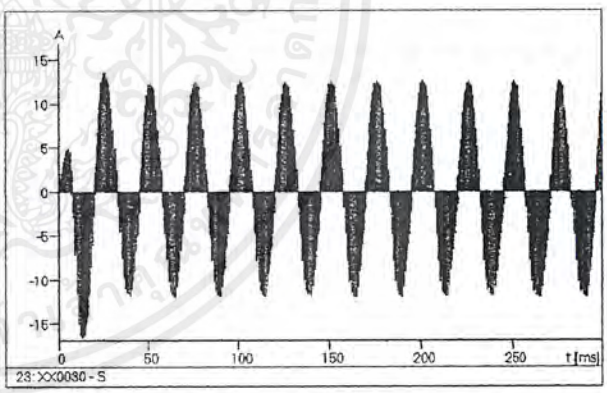


(a)



(b)

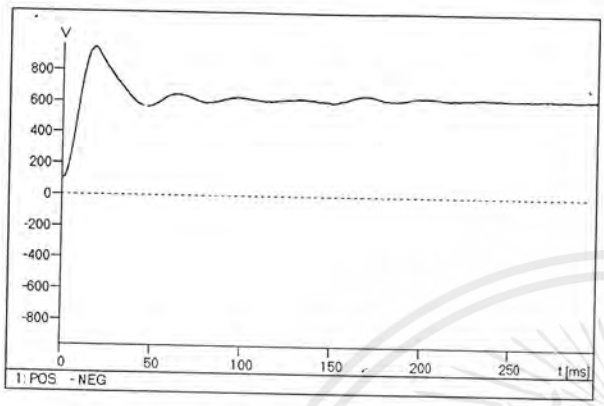
(c)



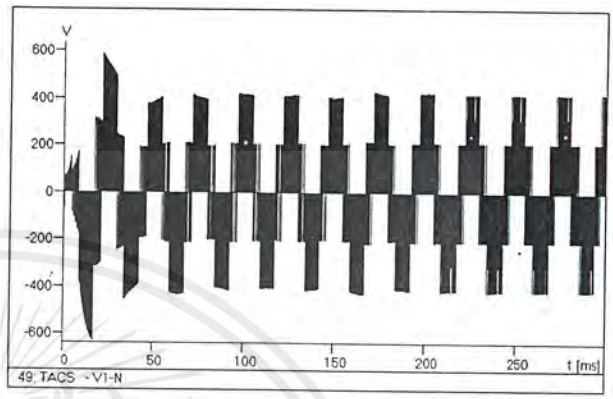
(d)

รูปที่ 7.85 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

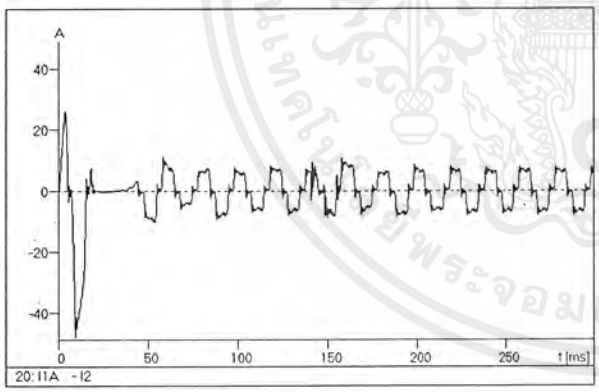
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



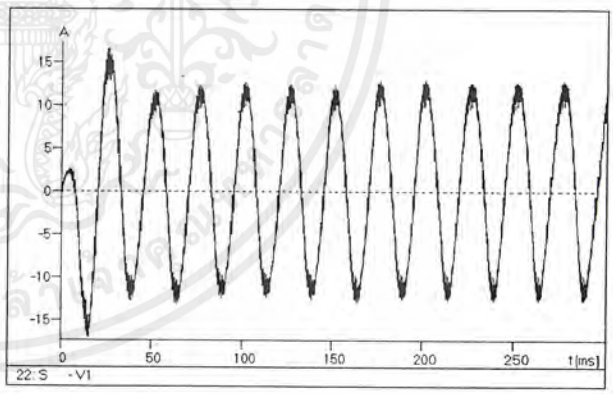
(a)



(b)



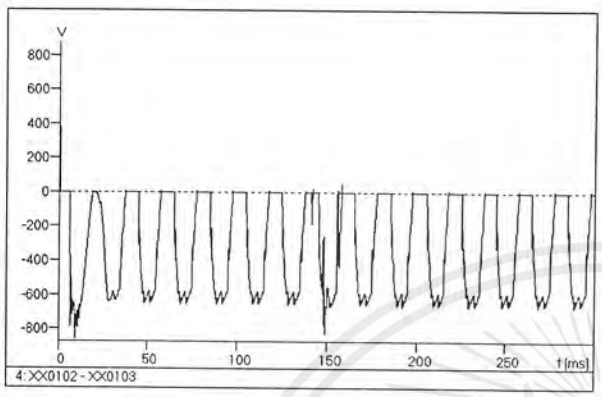
(c)



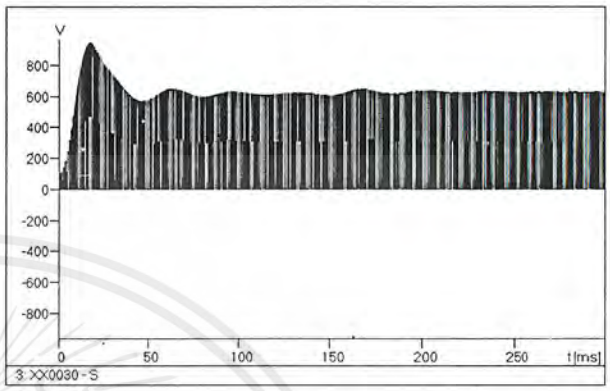
(d)

รูปที่ 7.86 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

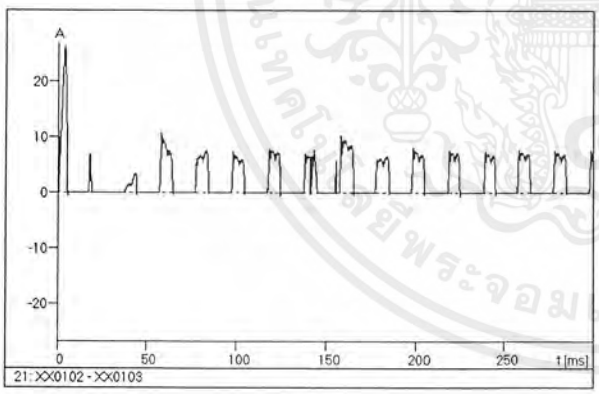
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



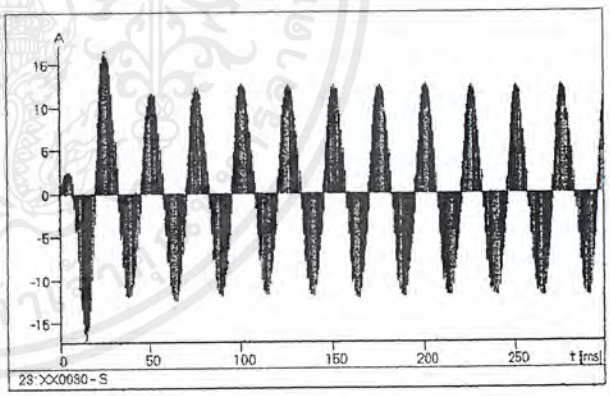
(a)



(b)



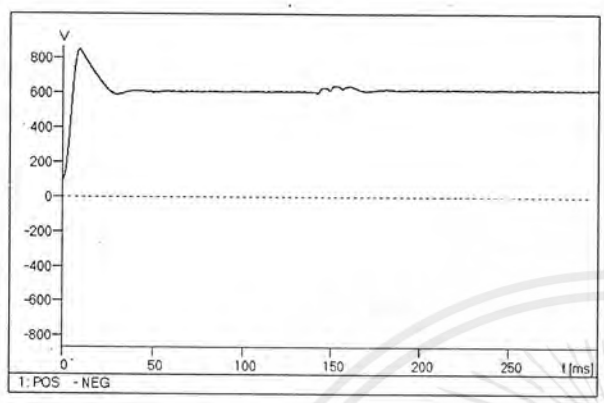
(c)



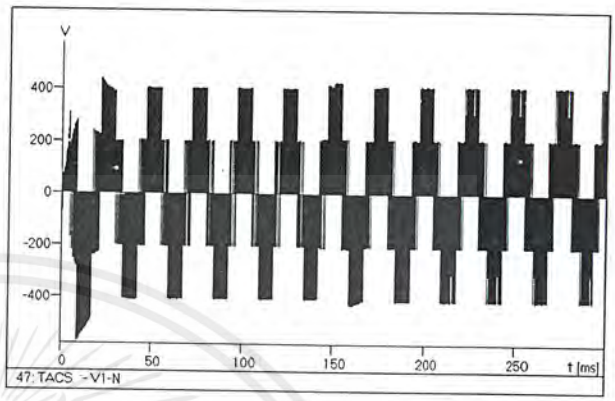
(d)

รูปที่ 7.87 ผลของการเพิ่มทั้ง AC line choke ขนาด 5 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

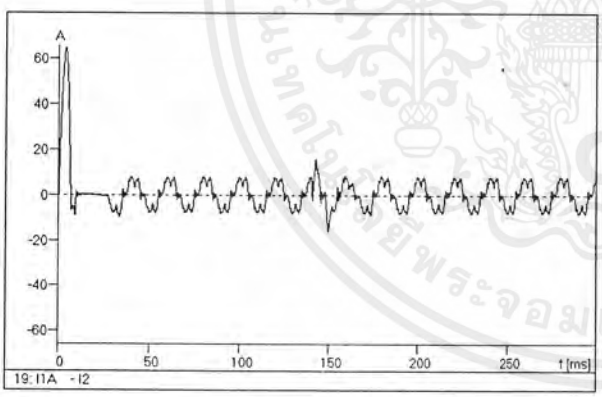
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



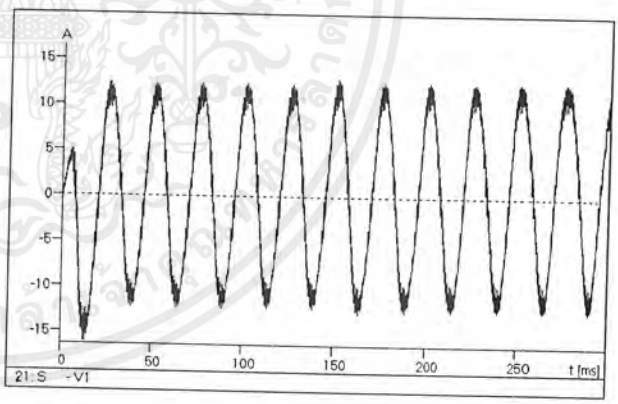
(a)



(b)



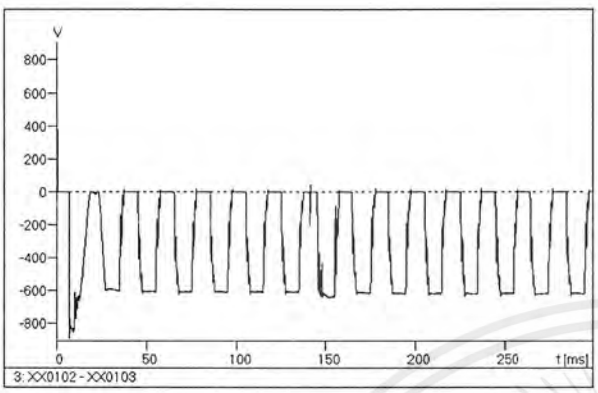
(c)



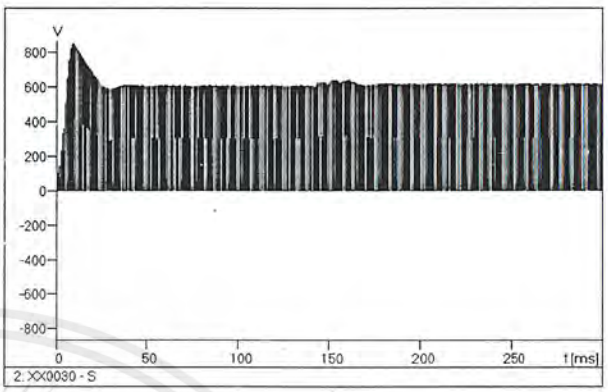
(d)

รูปที่ 7.88 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

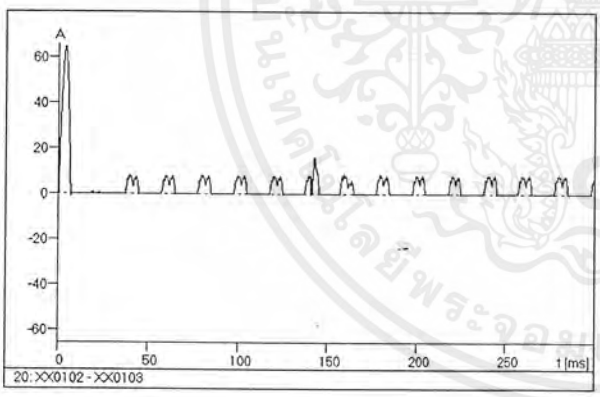
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



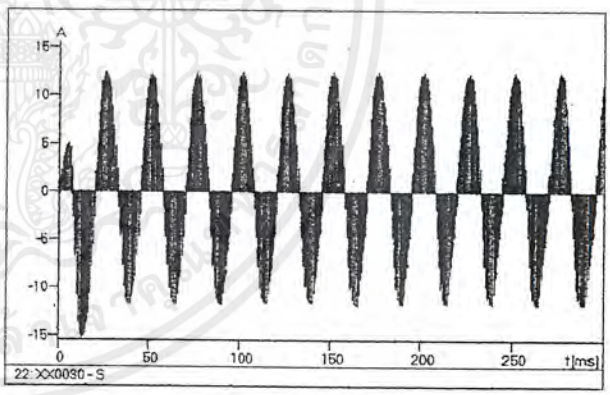
(a)



(b)



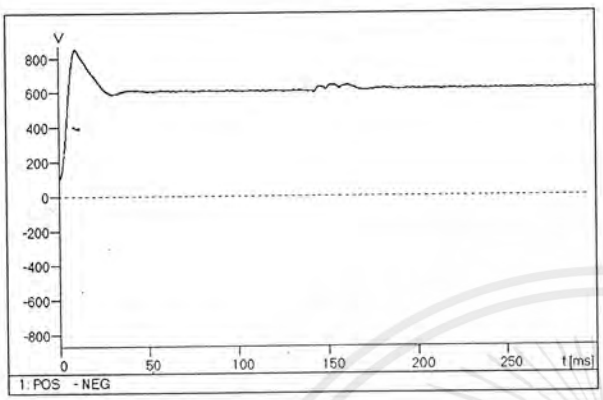
(c)



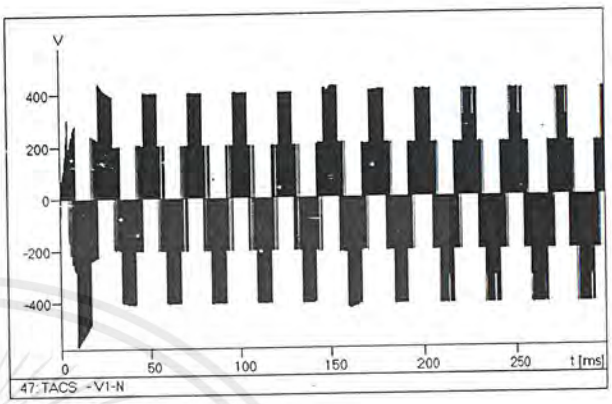
(d)

รูปที่ 7.89 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 0.4 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

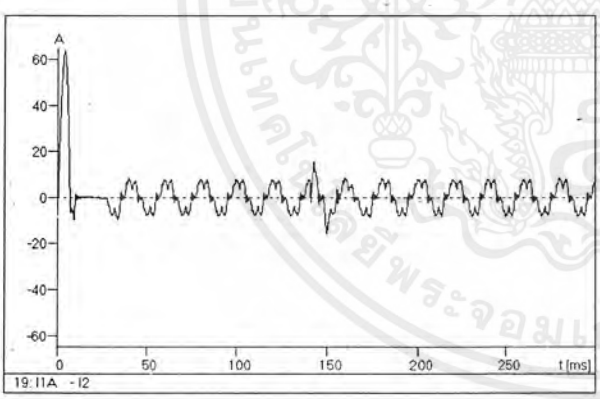
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



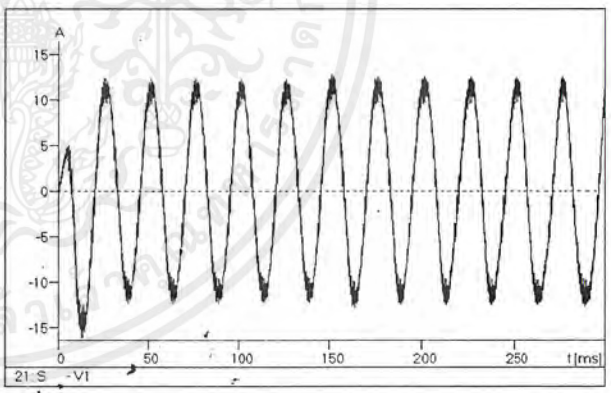
(a)



(b)



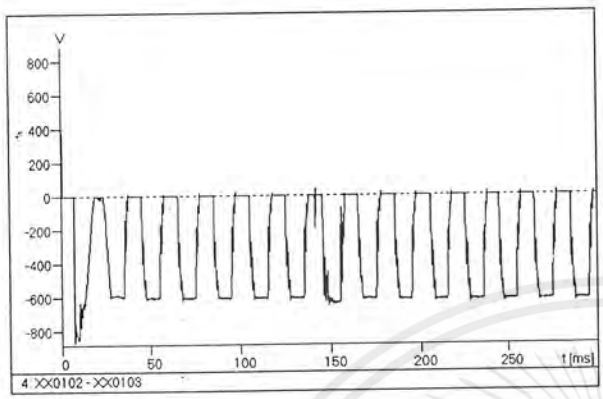
(c)



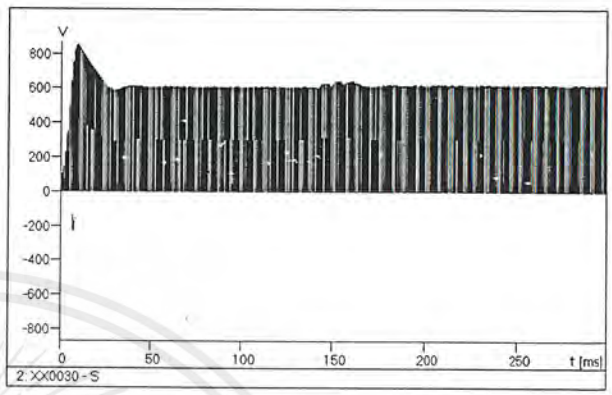
(d)

รูปที่ 7.90 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

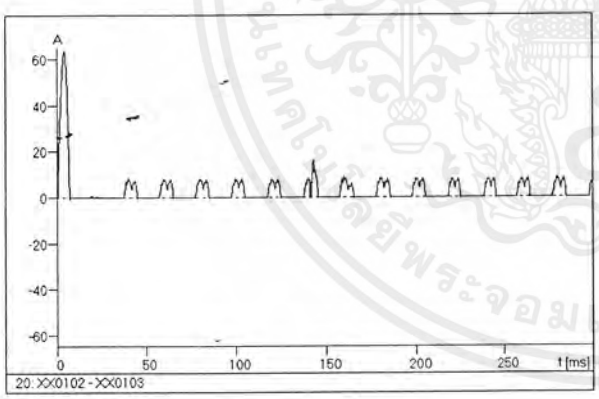
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



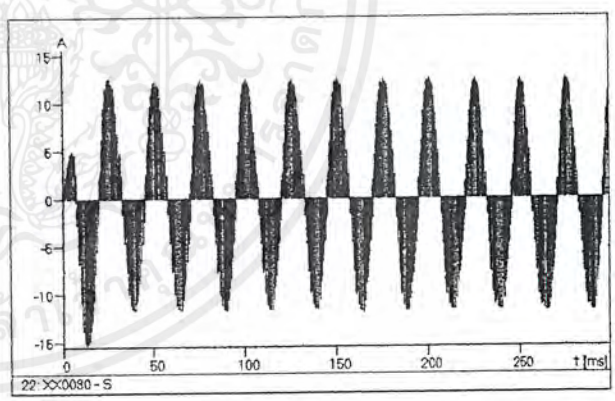
(a)



(b)



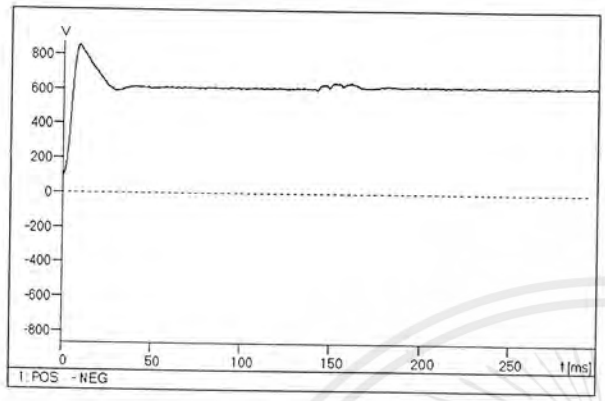
(c)



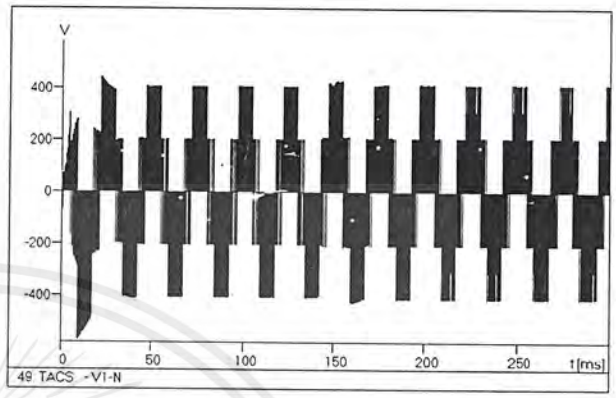
(d)

รูปที่ 7.91 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 0.8 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

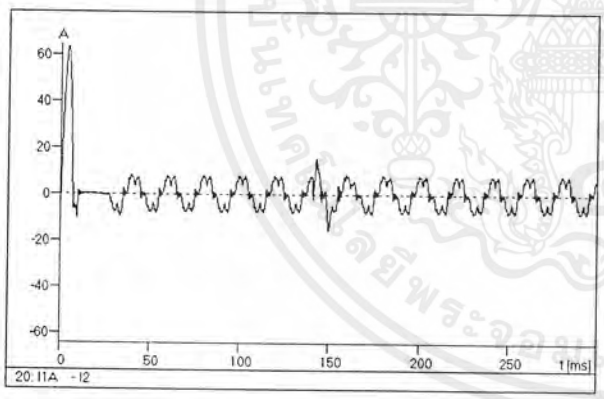
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



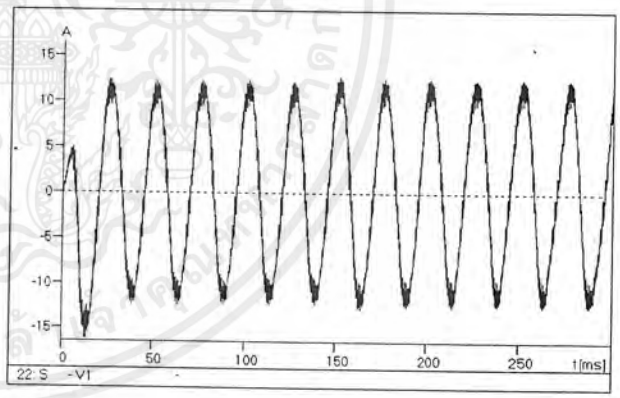
(a)



(b)



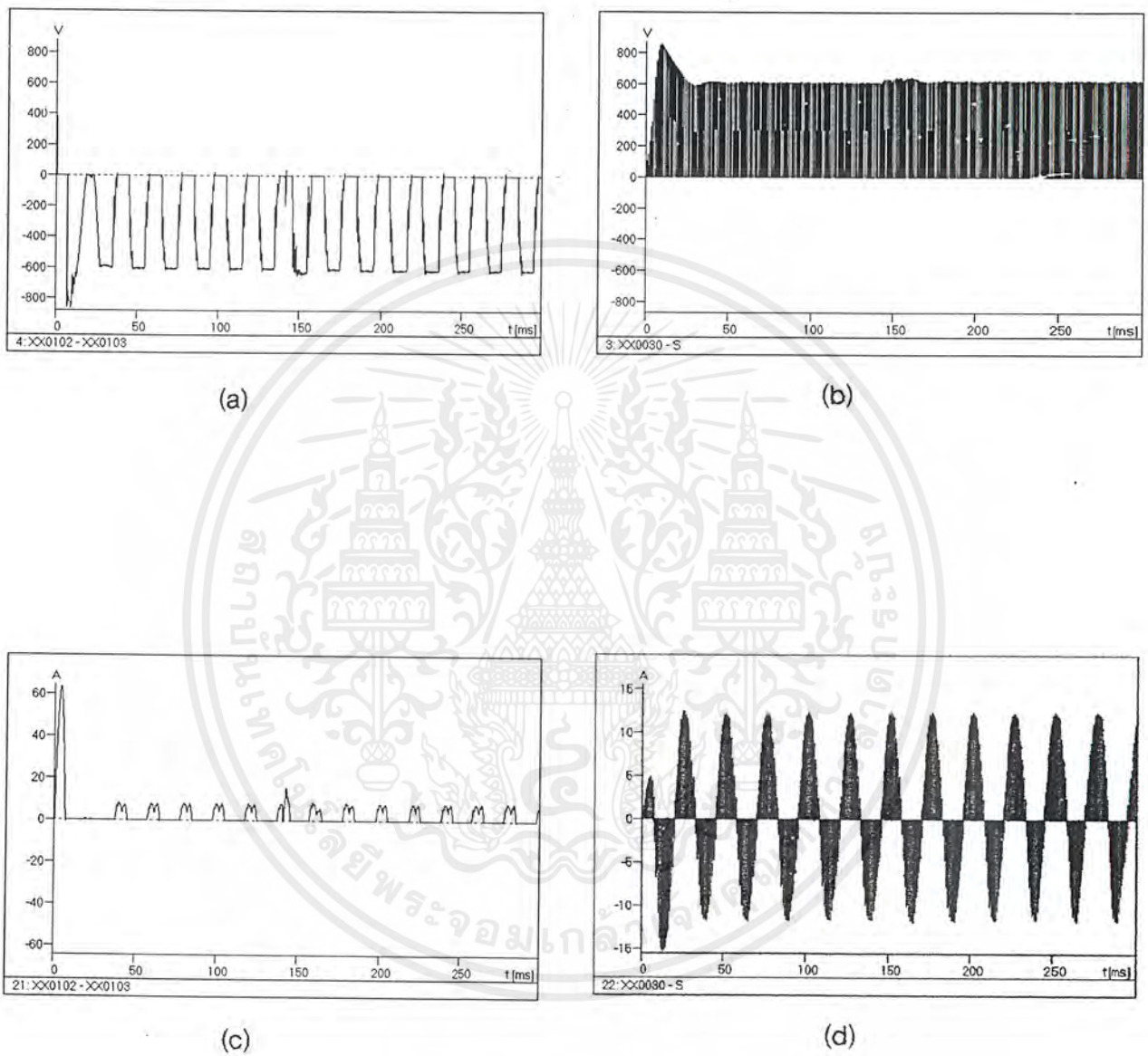
(c)



(d)

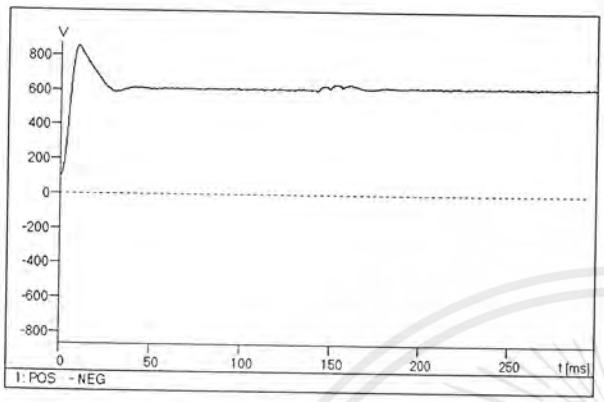
รูปที่ 7.92 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

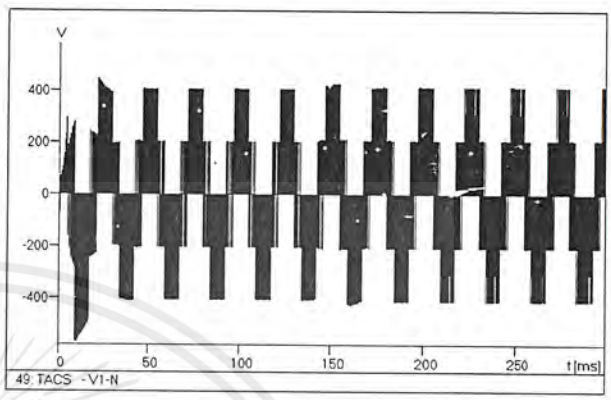


รูปที่ 7.93 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 1 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

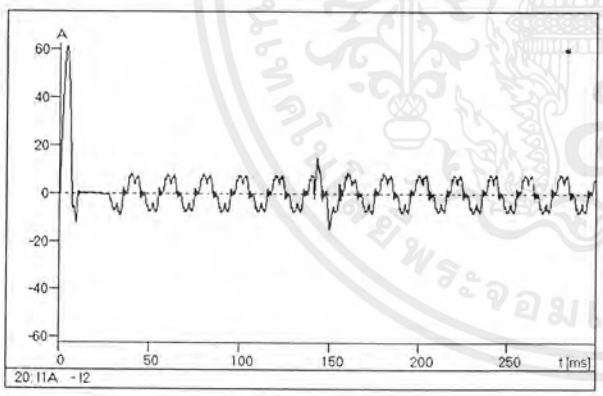
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



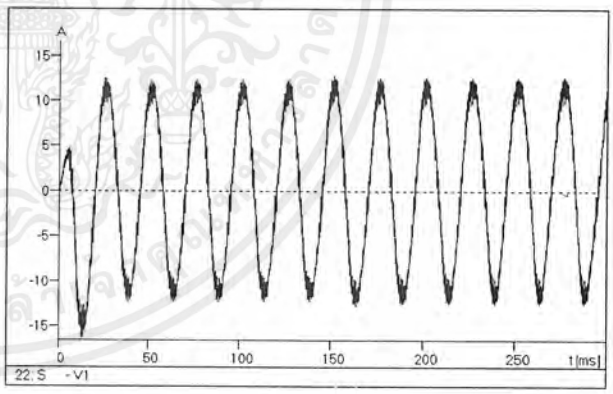
(a)



(b)



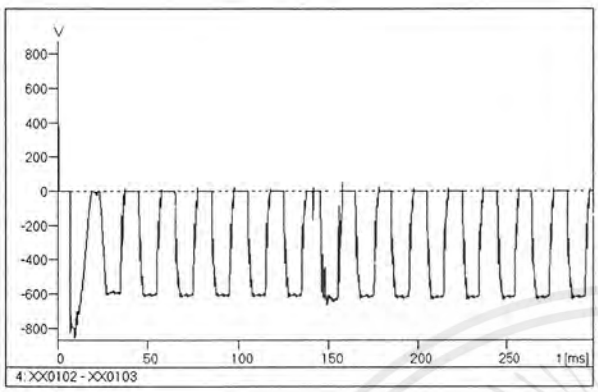
(c)



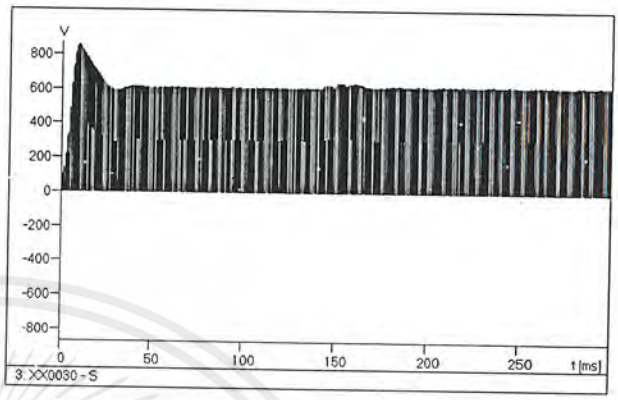
(d)

รูปที่ 7.94 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

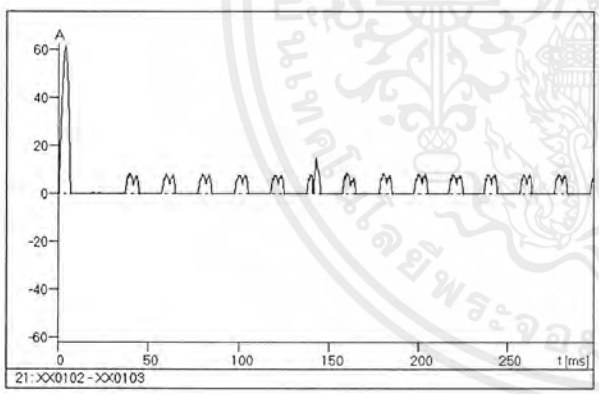
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



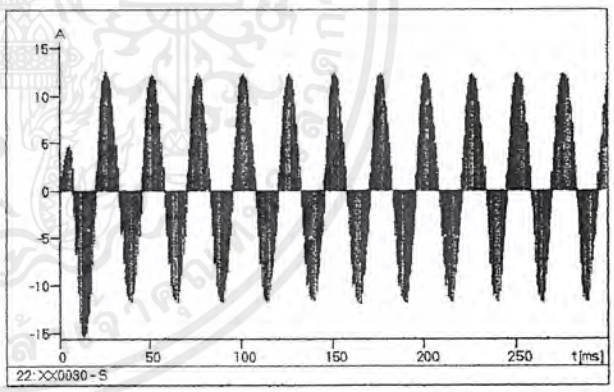
(a)



(b)



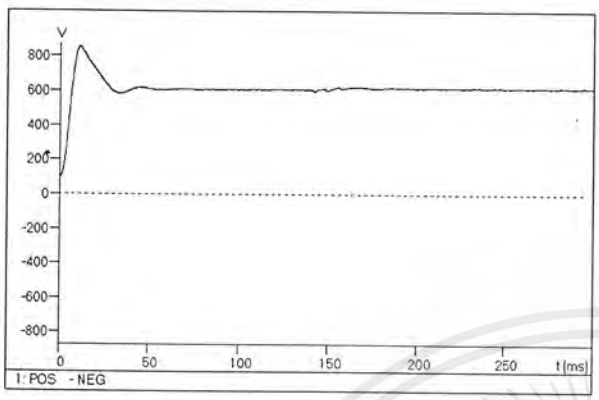
(c)



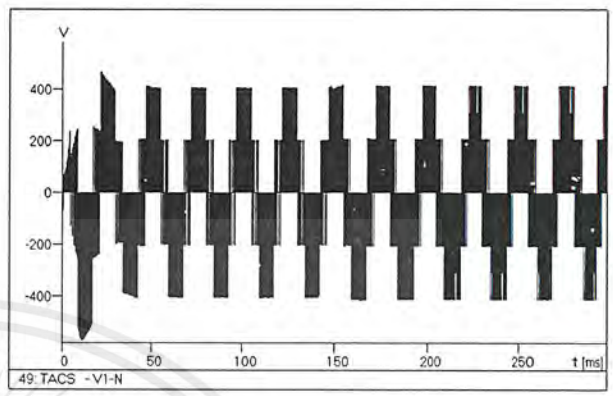
(d)

รูปที่ 7.95 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 2 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

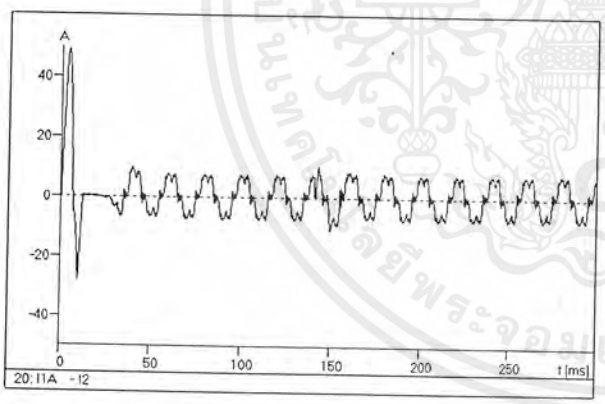
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



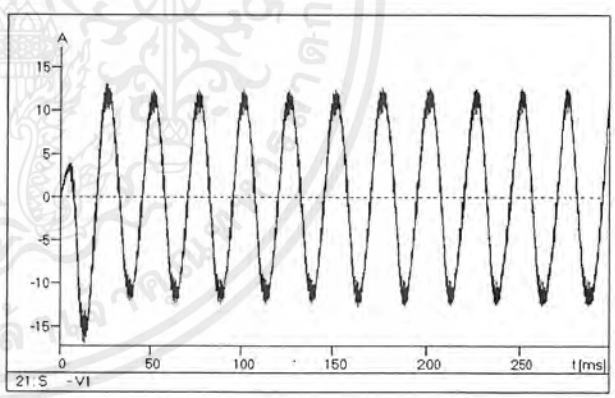
(a)



(b)



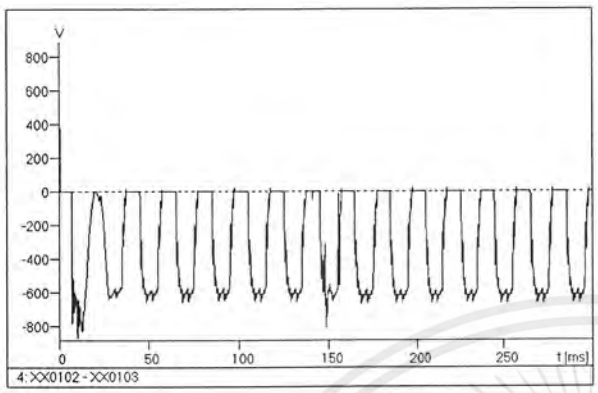
(c)



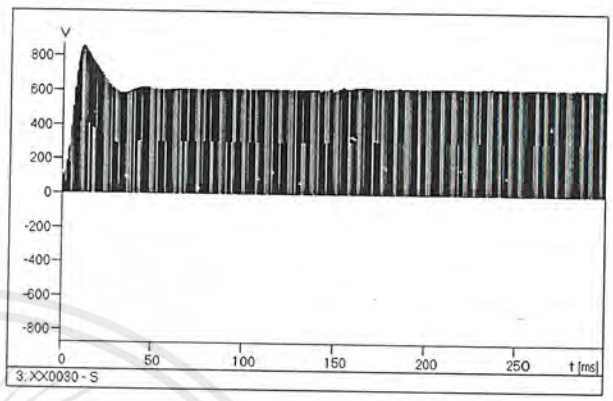
(d)

รูปที่ 7.96 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

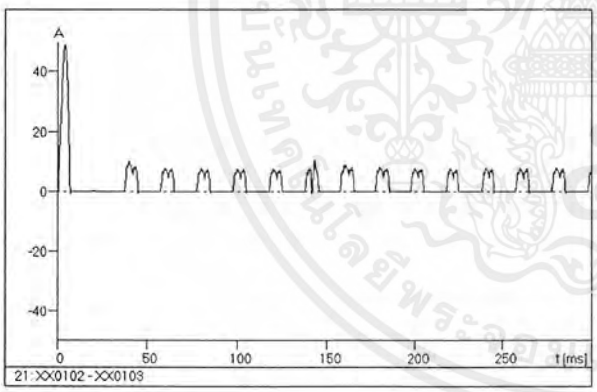
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



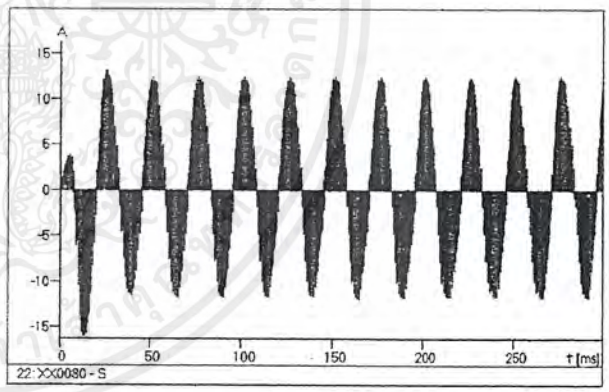
(a)



(b)



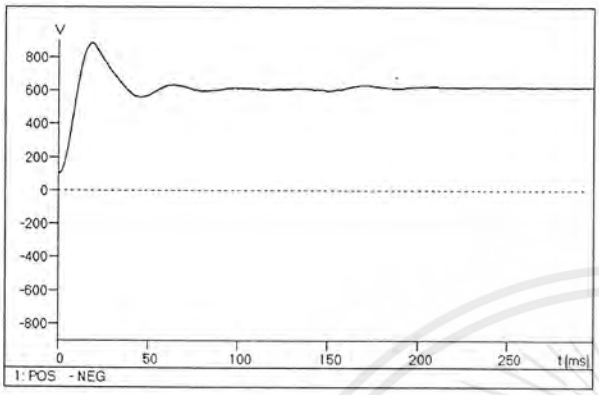
(c)



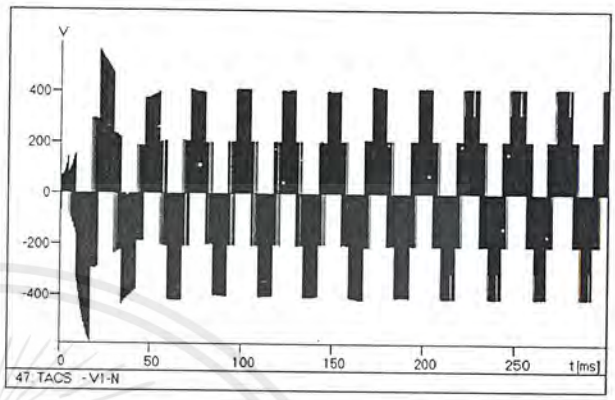
(d)

รูปที่ 7.97 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 10 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

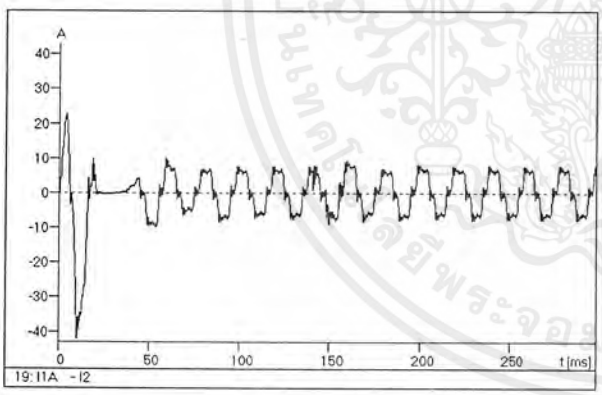
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



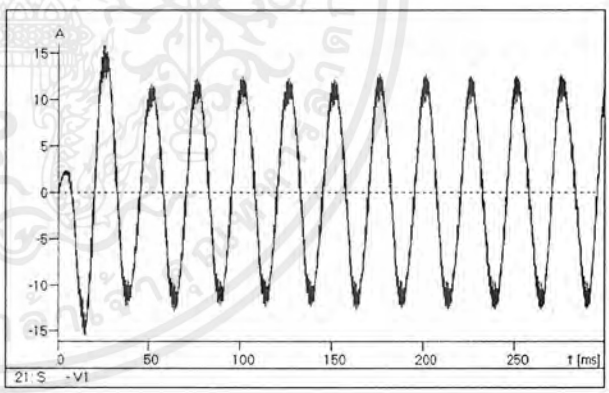
(a)



(b)



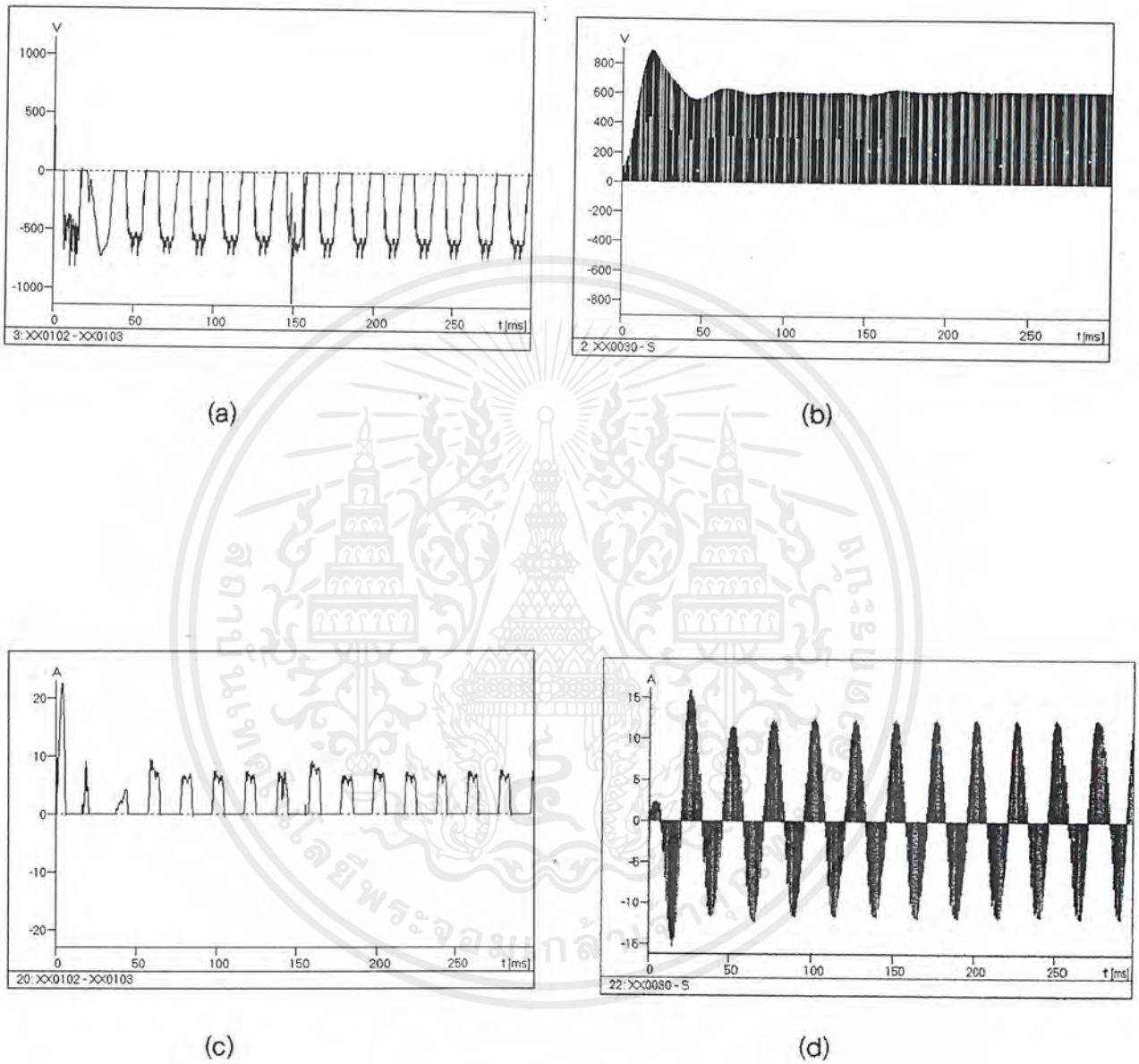
(c)



(d)

รูปที่ 7.98 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันที่ DC link , (b) แรงดันขาออกของ ASD , (c) กระแสขาเข้าของ ASD , (d) กระแสขาออกของ ASD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.99 ผลของการเพิ่มทั้ง AC line choke ขนาด 10 mH และ DC bus choke ขนาด 50 mH เพื่อลดทรานเซียนท์ เนื่องจากการสับคาปาซิเตอร์แบงค์ ระบบ 115-kV ที่เกิดขึ้นกับ ASD ซึ่งขับโหลด 410 V, 10 HP (a) แรงดันคร่อมไดโอด , (b) แรงดันคร่อม IGBT , (c) กระแสไหลเข้าไดโอด , (d) กระแสไหลเข้า IGBT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการจำลองระบบ

สรุปผลการวิเคราะห์ทรานเซียนจากการสับสวิทช์คาปาซิเตอร์แบงค์ที่ ASD เนื่องมาจาก AC line choke และ DC bus choke

1. พิจารณาที่ ASD เมื่อไม่มีทั้ง AC line choke และ DC bus choke
   - แรงดันตรงที่ DC link เกิดแรงดันเกิน
   - แรงดันขาออกของ ASD เกิดแรงดันเกิน
   - กระแสขาเข้า ASD เกิดกระแสกระชากสูงมาก
   - กระแสขาออก ASD เกิดกระแสกระชากเล็กน้อย
2. พิจารณาที่ ASD เมื่อมี AC line choke เท่านั้น
   - แรงดันตรงที่ DC link เมื่อใส่ AC line choke ขนาดแรงดันเกินจะลดลง เมื่อเพิ่มค่า AC line choke มากขึ้นแรงดันเกินและแรงดันกระเพื่อมจะลดลงและมีผลให้ขนาดแรงดันตรงลดลงด้วย
   - แรงดันขาออก ASD เมื่อใส่ AC line choke ขนาดแรงดันเกินจะลดลง เมื่อเพิ่มค่า AC line choke มากขึ้นแรงดันเกินและขนาดแรงดันขาออก ASD มีค่าลดลง
   - กระแสขาเข้า ASD เมื่อใส่ AC line choke ขนาดกระแสกระชากจะลดลง เมื่อเพิ่มค่า AC line choke กระแสกระชากจะลดลงอย่างมากและขนาดกระแสขาเข้า ASD มีค่าลดลงด้วย
   - กรแสขาออก ASD เมื่อใส่ AC line choke ขนาดกระแสกระชากจะลดลง เมื่อเพิ่มค่า AC line choke กระแสกระชากจะลดลงอย่างมากและขนาดกระแสขาออก ASD มีค่าลดลงด้วย
3. พิจารณาที่ ASD เมื่อมี DC bus choke เท่านั้น
   - แรงดันตรงที่ DC link เมื่อมี DC bus choke ขนาดแรงดันเกินจะลดลง เมื่อเพิ่มค่า DC bus choke แรงดันเกินและแรงดันกระเพื่อมจะลดลง
   - แรงดันขาออก ASD เมื่อมี DC bus choke ขนาดแรงดันเกินจะลดลง เมื่อเพิ่มค่า DC bus choke แรงดันเกินจะลดลง
   - กระแสขาเข้า ASD DC bus choke จะมีผลน้อยมากในการลดกรแสกระชาก แต่เมื่อเพิ่มค่า DC bus choke จะมีผลให้รูปคลื่นกระแสขาเข้า ASD เปลี่ยนไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กระแสขาออก ASD เมื่อมี DC bus choke ขนาดกระแสกระชาก ASD ลดลง เมื่อเพิ่มค่า DC bus choke กระแสกระชากจะลดลง

4. พิจารณาที่ ASD เมื่อมีทั้ง AC line choke และ DC line choke

เมื่อใช้ค่า AC line choke เดียวกันแล้วเปลี่ยนค่า DC bus choke เพิ่มขึ้นจะมีผลให้ทรานเซียนท์ที่เกิดขึ้นที่ DC link , แรงดันขาออก ASD , กระแสขาเข้า ASD และกระแสขาออก ASD ลดลง

เมื่อใช้ค่า DC bus choke เดียวกันแล้วเปลี่ยนค่า AC line choke เพิ่มขึ้นจะมีผลให้ทรานเซียนท์ที่เกิดขึ้นที่ DC link , แรงดันขาออก ASD , กระแสขาเข้า ASD และกระแสขาออก ASD ลดลงเปรียบเทียบทรานเซียนท์เมื่อมี AC line choke เท่านั้น 2 mH , เมื่อมี DC bus choke เท่านั้น 2 mH และเมื่อมีทั้ง AC line choke 1 mH และ DC bus choke 1 mH จะพบว่า ทรานเซียนท์แรงดันกระแสตรงที่ DC link , แรงดันขาออก ASD และกระแสขาออก ASD ลดลงได้ในค่าที่ไม่ต่างกันมากนัก ส่วนที่กระแสขาเข้าในกรณีเมื่อมี DC bus choke เท่านั้นกระแสกระชากจะมีค่าสูงกว่าในกรณีอื่นๆ ส่วนในกรณีมี AC line choke เท่านั้น

5. พิจารณาที่ไดโอดและ IGBT

- กรณีมี AC line choke อย่างเดียว เมื่อเพิ่มค่า AC line choke แรงดันเกินและกระแสกระชากที่ไดโอดและ IGBT ลดลง
- กรณีมี DC bus choke อย่างเดียว เมื่อเพิ่มค่า DC bus choke แรงดันเกินและกระแสกระชากที่ไดโอดจะไม่เปลี่ยนแปลง แต่ในส่วนแรงดันเกินและกระแสกระชากที่ IGBT จะมีผลลดลง
- กรณีที่มีทั้ง AC line choke และ DC bus choke ที่ AC line choke ค่าเดียวกัน แต่ค่า DC bus choke เพิ่มขึ้น ที่ไดโอดแรงดันเกินจะมีค่าเพิ่มมากขึ้นแต่กระแสกระชากจะมีขนาดลด ส่วนที่ IGBT แรงดันเกินและกระแสกระชากจะมีค่าลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8
สรุปและวิจารณ์ผลการจำลองระบบ

เมื่อสับสวิทช์คาปาซิเตอร์แบงค์เพื่อเพิ่มแรงดันให้กับระบบจะเกิดแรงดันเกินชั่วขณะและจะสร้างความเสียหายให้กับระบบ ซึ่งความเสียหายจะมากหรือน้อยขึ้นอยู่กับขนาดของแรงดันเกินชั่วขณะ

จากการศึกษาปัจจัยที่มีผลต่อขนาดของแรงดันเกินชั่วขณะ โดยได้ทำการศึกษาใน 2 ส่วน คือ

1) ระยะทางที่ตั้งของโรงงาน ณ ตำแหน่งต่างๆมีผลต่อขนาดของแรงดันเกินชั่วขณะน้อยมากจนเกือบจะไม่มีผลต่อขนาดของแรงดันเกิน แต่จะมีในแง่ของแรงดันตกเพราะเมื่อระยะทางเพิ่มขึ้นค่าของอิมพิแดนซ์ก็เพิ่มขึ้นด้วย
2) ขนาดของคาปาซิเตอร์แบงค์ที่สับเข้ากับระบบที่ค่าต่างๆจะมีผลต่อการเกิดแรงดันเกินชั่วขณะคือ ที่ค่าคาปาซิเตอร์น้อยจะเกิดแรงดันชั่วขณะสูงมาก แต่เมื่อเพิ่มค่าคาปาซิ-เตอร์แบงค์จะทำให้ขนาดของแรงดันเกินชั่วขณะลดลง รวมทั้งยังเพิ่มขนาดของแรงดันให้กับระบบด้วย

จากปัญหาที่เกิดขึ้นจะส่งผลการะทบต่อ ASD ในส่วนของแรงดันที่ DC link , แรงดันขาออกของ ASD , กระแสขาเข้าของ ASD , กระแสขาออกของ ASD , แรงดันคร่อมไดโอด , แรงดันคร่อม IGBT ซึ่งแรงดันเกินชั่วขณะจะทำให้ ASD เสียหายได้ หรือถ้าหาก ASD มีอุปกรณ์ป้องกันก็จะทำให้อุปกรณ์ป้องกันทริปทำให้เครื่องจักรหยุดการทำงาน ซึ่งจะเกิดผลเสียต่อผลผลิตที่มีสายการผลิตที่ต่อเนื่อง ดังนั้นเพื่อลดแรงดันชั่วขณะจึงทำการเพิ่ม AC line choke หรือ DC bus choke หรือทั้ง AC line choke และ DC bus choke ให้กับ ASD

ในกรณีของ ASD ที่มี AC line choke หรือ DC bus choke อย่างเดียว พบว่าทั้ง AC line choke และ DC bus choke ช่วยลดขนาดแรงดันเกินและกระแสกระชากได้ เป็นการช่วยลดการทริปของอุปกรณ์ป้องกันของ ASD ทั้งยังช่วยให้ ASD ทำงานในสภาวะทรานเซียนท์ได้สูงขึ้น ในค่าอินดัคแตนซ์เดียวกัน ASD ที่มี AC line choke จะช่วยลดทรานเซียนท์ได้มากกว่า ASD ที่มี DC bus choke และ ASD ที่มี DC bus choke อย่างเดียวจะมีผลในการลดทรานเซียนท์ของกระแสขาเข้า ASD น้อยมาก

จากการเพิ่มค่า AC line choke และ DC bus choke ทำให้แรงดันเกินและกระแสกระชากลดลง ที่ส่วนแรงดันตรงที่ DC link จะช่วยให้แรงดันตรงมีริปเปิลน้อยลง(แรงดันตรงเรียบมากขึ้น)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใน มาตรฐาน GERMAN VDE กำหนดให้ใช้ค่าอินดัคแตนซ์ต่ำสุดที่ 5 % AC line choke ถ้าหากใช้ค่าอินดัคแตนซ์มากยิ่งขึ้นจะทำให้เกิดข้อเสียคือ แรงดันและกระแสลดลงทำให้ประสิทธิภาพในการทำงานของ ASD ลดลง ดังนั้นในการพิจารณาเลือกค่าอินดัคแตนซ์จึงต้องควรคำนึงถึงแรงดันตกด้วย

ในกรณีที่ ASD มีทั้ง AC line choke และ DC bus choke จะมีส่วนช่วยในการลดทรานเซียนท์ได้ไม่แตกต่างจากกรณีที่มี AC line choke หรือ DC bus choke เพียงอย่างเดียว ดังนั้นใน ASD ตัวเดียวกันจึงไม่จำเป็นต้องมีทั้ง AC line choke และ DC line choke ในตัวเดียวกัน

อย่างไรก็ตามปัจจัยที่มีผลต่อขนาดของแรงดันเกินชั่วขณะไม่ได้มีแต่ระยะทางของโรงงานและขนาดของคาปาซิเตอร์เท่านั้น แต่ในความเป็นจริงนั้นยังขึ้นอยู่กับองค์ประกอบหลายประการด้วยกันได้แก่ อุปกรณ์ที่ใช้ในการสับคาปาซิเตอร์แบงค์ , เทคนิคการสับคาปาซิเตอร์แบงค์ เป็นต้น และในการใช้ AC line choke หรือ DC line choke เพียงอย่างเดียวในการป้องกันการทริปของอุปกรณ์ป้องกันของ ASD เพียงอย่างเดียวคงไม่เพียงพอ ทั้งนี้ขึ้นอยู่กับขนาดของแรงดันเกินชั่วขณะด้วย

บทวิจารณ์

1. จากผลการศึกษาระบบ ระยะทางไม่มีผลต่อการเพิ่ม-ลดทรานเซียนท์ แต่ในการใช้งานจริงอาจมีองค์ประกอบอื่นๆที่ทำให้ทรานเซียนท์ที่โรงงานอุตสาหกรรมมีค่าต่างจากทรานเซียนท์ที่สถานีจ่ายไฟฟ้าย่อยได้
2. ผลการทำโครงงานเป็นนี้ผลที่ได้จากการศึกษาด้วยโปรแกรมคอมพิวเตอร์ซึ่งเป็นเพียงการวิเคราะห์เบื้องต้นเพื่อจำลองระบบซึ่งช่วยในการตัดสินใจเพื่อนำไปสู่การทดสอบใช้งานจริงนั้น ดังนั้นค่าหรือผลที่ได้นั้นต้องมีการทดลองใช้จริงก่อนเพราะการวิเคราะห์ด้วยโปรแกรมคอมพิวเตอร์นั้นอาจไม่ตรงกับการใช้งานจริงก็ได้
3. ในปัจจุบันการใช้งาน ASD จริงในบางบริษัทอาจจะใช้ AC line choke และ DC line choke ที่ไม่ตรงกับที่วิเคราะห์ด้วยคอมพิวเตอร์ เช่น บริษัท TOSHIBA สำหรับ ASD ตั้งแต่ 25 HP ขึ้นไปจะประกอบ 3% AC line choke และ 3% DC bus choke เข้าไปด้วย หรือบางบริษัทอาจจะไม่ใช้ทั้ง AC line choke และ DC line choke เพื่อช่วยในการป้องกัน ASD เนื่องจากต้องคำนึงถึงความคุ้มค่าในทางเศรษฐศาสตร์ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. โปรแกรม ATP Draw และ EMTP เป็นโปรแกรมที่ยังมีการใช้งานไม่แพร่หลาย แหล่งข้อมูลที่ใช้ในการศึกษาโปรแกรมและผู้ที่มีความเชี่ยวชาญในการใช้โปรแกรม มีน้อย ดั้งนั้นการศึกษาและการใช้งานโปรแกรมจึงเป็นไปด้วยความยากลำบาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Evaluating Capacitor-Switching Devices for Preventing Nuisance Tripping of Adjustable-Speed Drives Due to Voltage Magnification

T. A. Bellei, Member R. P. O'Leary, Senior Member E. H. Camm, Member

S&C Electric Company
Chicago, IL USA

Abstract—Nuisance overvoltage tripping of pulse-width modulated adjustable-speed drives, due to switching of shunt capacitor banks at a utility's substation and the subsequent voltage magnification which can occur at an industrial customer's utilization-voltage bus, is discussed. Adjustable-speed drive design considerations affecting transient overvoltage ride-through capability are identified and discussed. A comparative evaluation of three switching devices equipped with transient overvoltage control, namely, circuit breakers with pre-insertion resistors, circuit switchers with highly damped pre-insertion inductors, and controlled closing devices, is presented.

I. INTRODUCTION

The occurrence of nuisance tripping of voltage source inverter (VSI) adjustable-speed drives (ASDs), particularly that of pulse-width modulated (PWM) drives, has been reported by a large number of utilities and has been addressed in a number of technical papers and publications [1-5]. In most instances, such nuisance tripping has been identified to be the result of a transient overvoltage on the DC bus of the ASD, caused by the switching transient associated with energizing of a shunt capacitor bank(s) at the utility's substation. The magnification of the transient overvoltage at an industrial customer's utilization-voltage bus, resulting from the application of power-factor correction capacitors, can exacerbate the ASD nuisance tripping problem. Fig. 1 depicts this phenomena as measured on an actual utility system. Voltage magnification of capacitor-switching-induced transient overvoltages has been experienced due to switching of distribution system power-factor correction capacitors.

Magnification occurs as a result of excitation of the L-C circuit, formed by the total inductance between the switched capacitor bank bus and the utilization-voltage bus and the capacitance of the power-factor correction capacitors. The inductance consists of the leakage inductance of step-down transformers and the inductance of lines and cables (Fig. 2).

The magnitude of the transient overvoltage at the utilization-voltage bus is determined by: 1) how closely the natural frequency of oscillation of the transient at the switched capacitor bank bus matches that of the transient at the utilization-voltage bus, 2) the amount of damping due to system loads and losses, and 3) the instant of energization of the switched bank. The natural frequency of oscillation of the switching transient at the switched capacitor bank bus is typically in the range of 300 to 800 Hz if the percent regulation (*differential capacitance voltage*) is in the range of 0.6 to 4 percent. The natural frequency of oscillation at

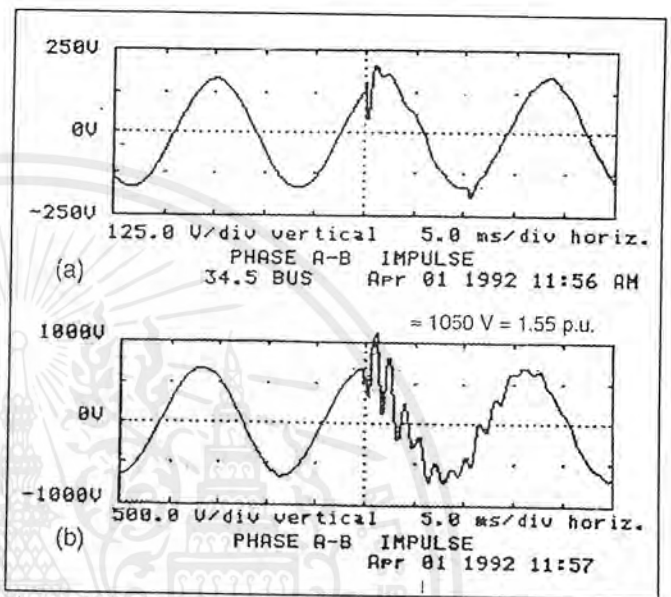


Fig. 1. Field measurement of voltage magnification at utilization voltage due to switching of a 12-Mvar, 34.5-kV ungrounded-wye connected shunt capacitor bank at the sub transmission substation. Line-to-line voltage at (a) the 34.5-kV switched capacitor bank bus and (b) 480-V bus are shown. Note that the voltage at the utilization-voltage bus is shifted by 30 degrees due to the delta-wye connection of the step-down transformer.

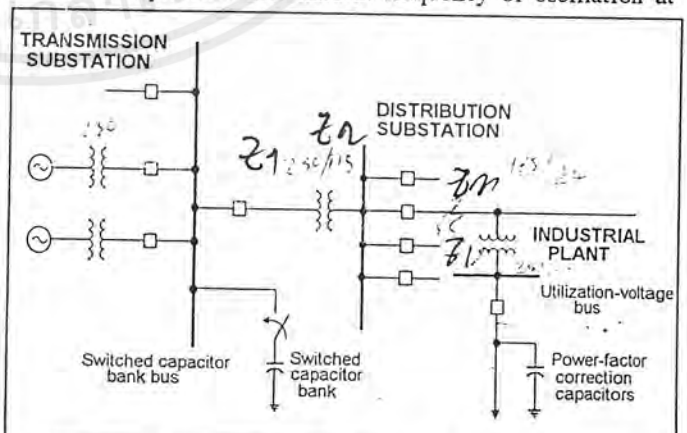


Fig. 2. One-line diagram of a typical power system. Switching of the substation capacitor bank excites the L-C circuit formed by the inductance of step-down transformers, lines and cables, and the capacitance of the power-factor correction capacitors at the industrial plant.

337-6 PWRD A paper recommended and approved by the IEEE r Committee of the IEEE Power Engineering Society for n at the 1996 IEEE/PES Winter Meeting, January 21-25, 1996, MD. Manuscript submitted July 25, 1995; made available for ember 5, 1995.

0885-8977/96/$05.00 © 1996 IEEE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

the utilization-voltage bus is typically in the range 400 to 800 Hz for low-voltage power-factor correction capacitor sizes ranging from 60 to 1000 kvar and step-down distribution transformer sizes in the range of 500 to 3750 kVA. Hence, voltage magnification can potentially occur in a large number of power systems.

ASDs are extensively used in industrial applications for improved energy efficiency, reduced noise levels, minimal space requirement, and reliability [4]. Since ASDs are often applied in critical process control environments, nuisance tripping can be very disruptive with potentially high downtime cost implications. Since utility capacitors are typically switched daily, any resulting nuisance tripping can potentially cause frequent disruptions. Overvoltage nuisance tripping of ASDs has only been identified as a problem in recent years. As a result, there are currently no industry standards or guidelines addressing transient overvoltages or other power quality considerations for ASDs. The curve for voltage sag and transient overvoltage ride-through of data processing equipment developed by the *Computer Business Equipment Manufacturers Association (CBEMA)* does not address the performance requirements of ASDs. Efforts are in progress to develop industry-wide recommendations and guidelines concerning ASD power quality considerations by the IEEE's *P1346 Working Group* and by the *Electric Power Research Institute (EPRI)* [5].

II. VSI PWM DRIVES — DESIGN CONSIDERATIONS AFFECTING OVERVOLTAGE RIDE-THROUGH CAPABILITY

A typical 3-phase voltage source inverter PWM ASD (Fig. 3) consists of a 3-phase AC input to an uncontrolled six-pulse bridge rectifier; a DC link which includes a large DC bus capacitor and, in some drives, a DC bus choke; and an inverter that converts the DC link voltage to a variable AC voltage.

The large DC bus capacitor provides a low-ripple voltage at the input of the inverter. The DC bus choke, if present, is used to improve the current waveform and minimize the ripple in the DC bus voltage [10]. Three important parameters determine the vulnerability of the drive to transient overvoltages: 1) the size of the DC bus capacitor, 2) the presence of a DC bus choke or an AC line choke, and 3) the overvoltage trip setting of the drive.

1) DC bus capacitor. The DC bus capacitor determines the amount of transient energy that can be absorbed by the ASD. Consequently, the largest economical DC bus capacitance value is preferred for improved transient overvoltage ride-through capability. The DC bus capacitor is sized so as to minimize the ripple current through the capacitor. It is also sized to provide acceptable momentary power loss or voltage sag ride-through capability, since it is utilized to supply energy to the load during these disturbances. With most PWM ASDs, a three-cycle or 50-ms power loss ride-through capability is common [3]. A survey of several representative drive manufacturers indicates that DC bus capacitance values ranging from 55 to 270 μF per horsepower are currently used, with capacitance values in excess of 100 μF per horsepower being most typical.

2) DC bus choke or equivalent AC line choke. If the ASD is equipped with a DC bus choke, the choke is normally sized to ensure continuous current conduction, and hence reduce harmonic currents. The minimum inductance value of the DC bus choke required for continuous current conduction, L_d, when calculated using the formula given in [10], results in an effective impedance of approximately 1.8 percent (based on drive kVA rating). In instances where a DC bus choke is not included in the drive design, an AC line choke with effective impedance at supply frequency of 3 to 5 percent is typically recommended (especially in applications where there may be voltage magnification concerns due to power-factor correction capacitors connected to the load side of the transformer supplying the drive).

Both the DC bus choke and AC line choke provide improved transient overvoltage ride-through capability by limiting the rate-of-rise of the transient inrush current to the DC bus capacitor, thus delaying the charging of the capacitor while some of the transient energy is removed by the load. However, since the drive responds to line-to-line voltages, the effective impedance of the AC line choke is based on *twice* its inductance value, whereas the effective impedance of the DC bus choke is based only on *one times* its inductance value. This, combined with its larger percentage impedance value, results in the 3 percent AC line choke being much more effective in mitigating transient overvoltages than a 1.8 percent DC bus choke (Fig. 4). The disadvantage of AC line chokes, especially the larger 5 percent chokes, is the increased voltage drop under steady-state conditions which may result in degradation of drive performance [2]. For ASDs not equipped with a DC bus choke, the use of AC line chokes for improved transient overvoltage mitigation is a necessity in applications where transient overvoltages may be of concern, since any transient overvoltage appearing at the drive input terminals will otherwise be transferred directly to the DC bus. However, the addition of AC line chokes alone may not be sufficient to prevent overvoltage tripping, even in the absence of voltage magnification.

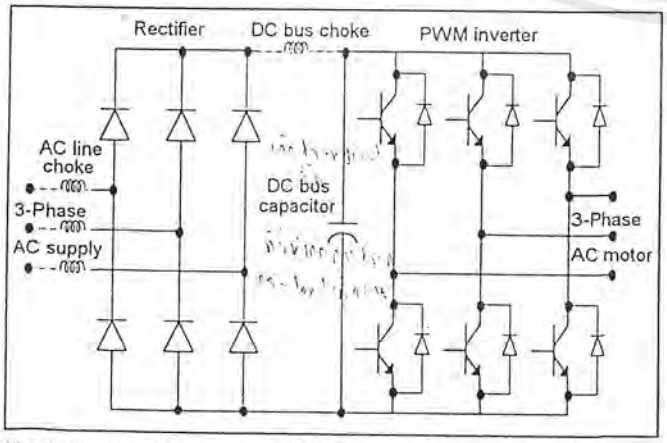


Fig. 3. Essential components of a PWM adjustable-speed drive.

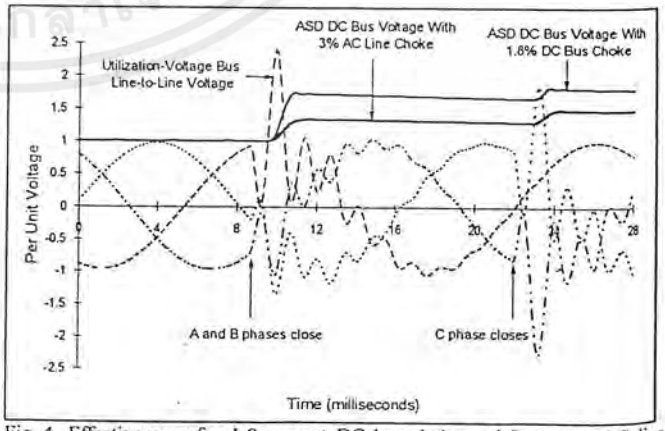


Fig. 4. Effectiveness of a 1.8 percent DC bus choke and 3 percent AC line choke in mitigating transients caused by switching a 26.2-Mvar, 138-kV ungrounded-wye capacitor bank with 87-kvar power factor correction capacitors at the utilization-voltage bus. ASD DC bus voltage response and utilization-voltage bus line-to-line voltages for a 460-V, 2-hp ASD are shown. Capacitor-switching device has no transient overvoltage control.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4) Drive overvoltage trip setting. The power transistors or insulated gate bipolar transistors (IGBTs) used in the ASD inverter are normally rated at 1000 V to 1200 V for 460-V drives [1]. Due to the possibility of damage to these transistors, 460-V drives typically have a DC bus overvoltage trip setting of about 760 V to 820 V (1.17 to 1.26 per unit), with trip settings exceeding 780 V (1.2 per unit) being most common. With a nominal DC bus voltage of 650 V, the overvoltage margin thus ranges from about 110 V to 170 V. In cases where utility practice will allow an AC supply voltage 5 percent above nominal, this margin is further reduced to between 80 V and 140 V. Line-to-line overvoltages of as little as 1.17 per unit at the utilization-voltage bus could cause the ASD to trip if it is *not* equipped with a AC line or DC bus choke. Switching a capacitor bank without transient overvoltage control can result in overvoltages at the utility's switched capacitor bus which are typically in the range from 1.2 to 1.6 per unit line-to-line (the latter value being attained with simultaneous pole closing). It is clear that nuisance tripping can occur, even without voltage magnification, due to low overvoltage trip settings on ASDs.

III. EVALUATION OF TRANSIENT OVERVOLTAGE CONTROL METHODS EMPLOYED AT THE UTILITY'S SWITCHED CAPACITOR BANK

To ameliorate transient phenomena during bank energization, three switching devices with transient overvoltage control are available:

1) Circuit breakers with pre-insertion resistors. Resistors are typically inserted into the capacitor-energizing circuit for 10 to 15 milliseconds prior to the closing of the main contacts, through the closing of an additional set of contacts. Synchronization between the resistor and main contacts is required and is usually achieved by connecting the resistor contact rod directly to the main contact control rod.

2) Circuit-Switchers with pre-insertion inductors. Inductors are inserted into the capacitor-energizing circuit for 7 to 12 cycles of the power frequency during closing of the high-speed disconnect blade. Insertion is effected through a sliding contact between the blade and the inductor on each pole of the switch; no additional switches are required. For limiting the effects of voltage magnification, highly damped pre-insertion inductors, with high inherent resistance, are typically recommended.

3) Controlled closing devices. These devices are typically high-speed vacuum switches or SF_6 circuit breakers with sophisticated electronic controls. The individual poles of the switch or breaker are usually controlled to close near voltage zero to minimize voltage and inrush current transients.

The magnitude of the magnified transient overvoltage at the utilization-voltage bus is directly influenced by the magnitude of the transient overvoltage at the switched capacitor bank bus. Since the magnitude of the transient overvoltage at the switched capacitor bank bus is affected by the instant on the source voltage waveform at which the bank is energized, the closing characteristics of the switching device are important. This consideration forms the basis of operation of the controlled closing device. The impedance offered by pre-insertion devices used for capacitor bank switching limits the magnitude of the switching transient by limiting the extent of the initial collapse of the bus voltage when the bank is energized. This reduces the magnitude of the initial step voltage change that excites the remote L-C circuit. The voltage across the pre-insertion device, however, produces a second transient when the pre-insertion impedance is bypassed. The magnitude of this bypass transient is proportional to the impedance of the pre-insertion device, for a given capacitor bank size. Because a pre-insertion inductor offers a higher impedance at the switching transient frequency (during insertion) and a lower impedance at power frequency (during bypass), it has a more ideal impedance characteristic than that of a pre-insertion resistor. Also, any intentional losses introduced by the switching device during energization play an important role in damping the initial transient overvoltage. Both the pre-insertion resistor and highly damped pre-insertion inductor provide such intentional losses during the insertion period. Furthermore, a pre-insertion inductor adds additional inductance to the source during energization, resulting in a lowering of the switching transient frequency which, in turn, generally results in a significant separation of the switching-transient and the coupled utilization-voltage system frequencies. This separation of the resonant frequencies results in a significant reduction in voltage magnification at the utilization-voltage bus.

Voltage magnification simulation study

The Electromagnetic Transients Program (EMTP) was used to perform simulation studies to comparatively evaluate the above mentioned devices for controlling transient overvoltages during capacitor bank energization in 138-kV systems. As a reference, the performance of a capacitor switching device without any transient overvoltage control was also evaluated.

Equivalent circuit model for simulation study

An equivalent circuit containing the essential power system parameters affecting the voltage magnification phenomenon was developed to simulate the DC bus transient voltage response of small-horsepower ASDs (Fig. 5). The equivalent circuit of the ASD shown in Fig. 3, for ASDs with and without a 3 percent AC line choke, was connected at the utilization-voltage bus of the equivalent circuit in Fig. 5.

The inductance and capacitance which determine the switching transient frequency are represented in the source impedance (as well as the inductance of the highly damped pre-insertion inductor when used for overvoltage control) and the switched capacitor bank. Long transmission lines connected to the substation bus are represented in terms of their lumped equivalent surge impedance. The substation load is lumped and represented in series with the leakage inductance of a properly sized equivalent transformer at the substation bus. The load and the equivalent surge impedance of the long lines serve to damp the energizing transient at the substation bus. The inductance and capacitance which determine the natural frequency of the coupled utilization-voltage system are represented in the impedance of the lines to the industrial customer's location, combined with the impedance of step-down transformer(s), and the customer's

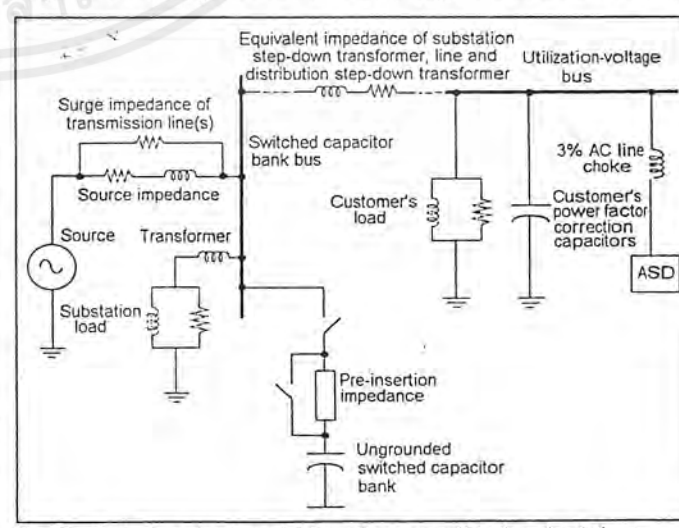


Fig. 5. Equivalent circuit model for voltage magnification simulations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

power-factor correction capacitors. The load at the customer's facility serves to damp the magnified switching transient voltage.

Selection of equivalent circuit parameters for simulation study

Since the parameters affecting the magnitude of the capacitor-switching-induced overvoltage at the customer's utilization-voltage bus can vary over a wide range in any given utility distribution system, the selection of equivalent circuit parameters was done on a statistical basis using known utility system data. For each of the equivalent circuit parameters shown in Fig. 5, a representative statistical distribution of values was derived. The values and statistical distributions of these parameters are summarized in Table 1. In addition to the parameters tabulated, the size of the substation transformer was based on 125 percent of the equivalent substation load. The impedance of this transformer was taken as 8 percent. One line per 5 kA of available fault current at the substation was assumed in determining the number of transmission lines connected to the substation bus. Random combinations of system and ASD parameters for low-voltage ASDs in the range 1 to 10 horsepower were then selected to create 200 EMTP simulation cases representing the behavior of small-horsepower drives applied on typical utility distribution systems.

TABLE 1. BASIS OF SELECTION OF DISTRIBUTION SYSTEM AND ASD PARAMETERS FOR SIMULATION STUDIES.

System or ASD Parameter	Statistical Distribution
Percent Regulation (Differential Capacitance Voltage)	Uniform Distribution to 1.4%. Normal Distribution Above 1.4% with Mean = 2.2 % and Standard Deviation = 0.75%. Minimum Available Fault Current ≥ 2 kA.
Switched Capacitor Bank Size	6 Preselected Bank Sizes of 13, 18, 26, 37, 53 and 75 Mvar.
Substation Load	Reactive Component of Load Equal to Bank Size. Normally Distributed Initial Power Factor with Mean = 0.90 and Standard Deviation = 0.04.
Substation Step-Down Transformer Size	20 to 36 MVA.
Distribution Line Length	Determined From Fault Current Profile; Profile is Normally Distributed With Mean = 5.8 kA and Standard Deviation = 2.1 kA.
Distribution Step-Down Transformer Size	Weighted Distribution of 500 (5%), 750 (10%), 1000 (30%), 1500 (20%), 2000 (20%), 2500 (10%) and 3750 kVA (5%) Transformers.
Utilization-Voltage Bus Load	35% of Cases at 25 % of Distribution Step-Down Transformer Size, and 65% of Cases Normally Distributed between 25 % and 75% of Transformer Size. Initial Power Factor = 0.707. Mean Corrected Power Factor = 0.90 with Standard Deviation = 0.04.
ASD Horsepower Rating	Equally Weighted Distribution of 1, 2, 3, 5, 7.5 and 10 HP.
ASD Load	Equally Weighted Distribution of 10% or 100% of ASD HP Rating.
Length of Cable to ASD	Normally Distributed *Equivalent* Cable Length with Mean = 300 ft and Standard Deviation = 140 ft.
ASD DC Bus Capacitance	Normally Distributed with Mean = 100 μF per HP and Standard Deviation = 20 μF per HP.

Selection of parameters of transient control methods for simulation study

1) The optimum size of the pre-insertion resistor for overvoltage control is selected equal to the characteristic impedance formed by the source inductance and the capacitance of the bank [6]. For capacitor banks rated up to 75 Mvar at 138 kV, the optimum resistor size ranges from 20 to 400 ohms, depending on the available fault current. In reality, the minimum value of resistance is determined by the close and latch rating of the associated circuit breaker, which dictates the energy dissipation requirement of the resistor. The magnitude of the bypass transient voltage determines the maximum value of resistance. Consequently, pre-insertion resistor values from 100 to 400 ohms are typical for application at 138 kV. A 150-ohm pre-insertion resistor was selected for the simulation study.

2) The optimum values of inductance and resistance for the highly damped pre-insertion inductor are determined by simulation and are limited by energy dissipation constraints, peak inrush current, bypass transient magnitude, physical size, and weight. For application at 138 kV, a commercially available pre-insertion inductor with inductance value of 40 mH and resistance of 81 ohms was selected.

3) The performance of the controlled closing device depends on its rate-of-change of dielectric strength upon closing, its contact-touch set-point, and its repeatability. In order to prevent high transients associated with early prestrikes due to timing drifts, contact-touch is normally set to occur after a voltage zero. Per Alexander [7], contact-touch of a vacuum device should be set for 1 to 2 ms after voltage zero, anticipating that the device will prestrike about 300 μs after voltage zero. In other devices, contact-touch may be set such that prestrike will occur about 600 μs after voltage zero. For the purposes of this study, the mean closing time of the controlled closing device was considered to be 300 μs after voltage zero.

Modeling the closing characteristics of switching devices

1) For circuit breakers equipped with pre-insertion resistors, the decrease in dielectric strength upon closing is quite rapid, and energization can occur at any point on the voltage waveform. Therefore, closing instants are uniformly distributed over one-half cycle of the source voltage. Bypass occurs within about one-half to one cycle after insertion.

2) Pre-insertion inductors are only used with circuit switchers, which close in air at relatively slow speeds. As a result, energization normally occurs slightly before peak voltage at a mean closing angle of 17 degrees before peak and with a standard deviation of approximately 17 degrees. Bypass occurs within about 7 to 12 cycles after insertion; at 138 kV, bypass occurs approximately 10 cycles after insertion.

3) Closing of the poles of the controlled closing device is assumed to be normally distributed. Alexander [7] reports a typical standard deviation in closing of 200 μs and an additional drift of 200 μs, due to a temperature deviation of 16 °C. Over a temperature range of -30°C to 40 °C, drift due to temperature deviation is expected to increase significantly. For this study, however, the total standard deviation was considered to be equal to 400 μs.

Slightly higher overvoltages result on the DC bus of the ASD when switching ungrounded capacitor banks. Therefore, only ungrounded banks were considered in this study. Since the closing of the first pole of the switching device does not establish bank current flow with ungrounded banks, the first two poles of the three switching devices were considered to close simultaneously.

EMTP simulation

For each of the 200 statistically selected utility systems, the performance of each transient overvoltage control device

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

evaluated by simulating the DC bus transient voltage response of the ASDs during statistically distributed pole-closing sequences characteristic of each device. Since shunt capacitor banks are typically switched about 250 times a year, 250 switching operations were simulated per system for each device. This resulted in a total of 50,000 simulations per switching device.

The frequent switching of capacitor banks, combined with the possible impact on industrial customers due to nuisance tripping of ASDs, suggests that the overvoltage trip setting of ASDs should not be reached during any switching operation. Therefore, the highest DC bus voltage of the ASD *during any switching operation* in each of the 200 systems can be considered indicative of the performance of the method of transient overvoltage control and the associated switching device. The performance can then be considered successful if the highest simulated DC bus voltage does not equal or exceed a specified overvoltage trip setting.

IV. SIMULATION RESULTS

Fig. 6 shows the percentile distribution of maximum ASD DC bus voltages for the 200 systems studied in cases where the ASDs are *not* equipped with transient mitigating devices, e.g., AC line chokes. This illustration indicates that, under the above-mentioned conditions, the methods of transient overvoltage control at the utility's switched capacitor bank bus are usually not effective in preventing the ASD DC bus voltage from exceeding the typical trip level of 1.2 per unit DC bus voltage. Also, without transient overvoltage control at the switched capacitor bank bus, the maximum ASD DC bus voltage exceeds the typical trip level of 1.2 per unit in all systems studied! For ASDs with higher overvoltage trip settings, the effectiveness of the methods of transient overvoltage control in preventing nuisance tripping of ASDs is improved; for example, a trip level of 1.4 per unit is *not* exceeded in 80 percent of the systems studied when utilizing a 40 mH - 81 ohm pre-insertion inductor.

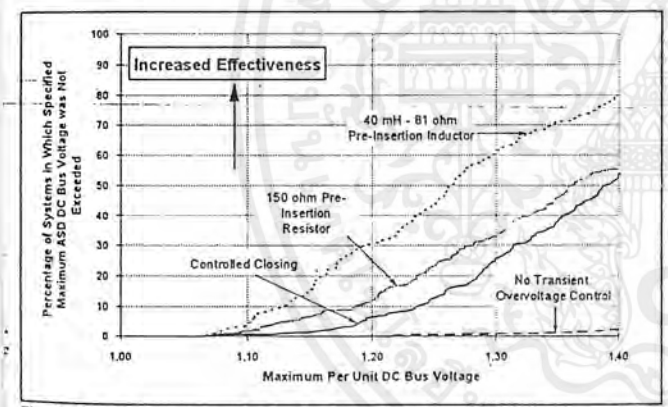


Fig. 6. Cumulative percentile distribution of maximum ASD DC bus voltages for the 200 systems studied when ASDs are not equipped with transient mitigating devices.

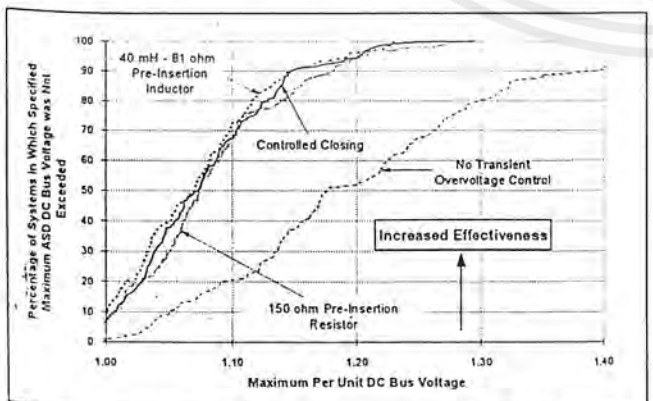


Fig. 7. Cumulative percentile distribution of maximum ASD DC bus voltages for the 200 systems studied when ASDs are equipped with 3 percent AC line chokes.

The effectiveness of control methods when ASDs are equipped with 3 percent AC line chokes is illustrated in Fig. 7. For a device not equipped with any means of transient overvoltage control, the typical overvoltage trip level setting of 1.2 per unit DC bus voltage is still exceeded in 48 percent of the systems simulated, indicating the need for transient overvoltage control at the utility's switched capacitor bank bus. The three methods of transient overvoltage control, however, are almost equally effective at limiting overvoltages on the DC bus of ASDs, with the 1.2 per unit trip level not exceeded in 94 to 96 percent of the systems simulated.

The performance of each of the three methods of transient overvoltage control at the switched capacitor bank is largely determined by the actual system parameters for the system in which these methods of control will be applied. Based on the results presented, it is clear that all three methods will generally be effective at addressing ASD nuisance tripping concerns when ASDs are equipped with 3 percent AC line chokes. However, the relative performance of the different methods of control for a specific installation is best determined by simulation based on the actual system parameters.

The effectiveness of the pre-insertion devices is expected not to change over the useful life of the bank. However, the effectiveness of the controlled closing device in addressing nuisance tripping of ASDs due to capacitor-switching transients depends on the timing accuracy of the device — effectiveness decreases dramatically if the timing accuracy is not maintained. Therefore, it is essential that the timing accuracy remains within the required limits for any particular installation.

V. OTHER CONSIDERATIONS AFFECTING METHOD OF TRANSIENT OVERVOLTAGE CONTROL

Switching of capacitor banks is probably the most common cause of transient overvoltages on many systems, second only to lightning in frequency of occurrence on most systems [8]. As a result, due consideration must be given to all transient phenomena associated with capacitor switching when selecting a method of transient overvoltage control. A summary of transient phenomena is presented in [8]. A comparative evaluation of methods for controlling overvoltages at radially fed transformers is presented in [9].

Overvoltages can also occur in systems — particularly where voltage magnification conditions exist — during *opening* of the capacitor bank switching device, if restrikes occur in the switching device. Restrikes can occur in certain capacitor switching devices due to the ability of these devices to interrupt relatively small capacitive currents at small contact separation. Restriking can result in a substantial collapse in bus voltage because the bus voltage attempts to change from a level close to peak voltage to that of the trapped charge voltage on the capacitor bank when current flow is reestablished (Fig. 8). This substantial collapse in bus voltage can excite remote L-C circuits and can produce phase-to-ground overvoltages as high as 3.2 per unit at remote capacitor locations. If the switching device can interrupt at an early high-frequency current zero following a restrike, this magnified overvoltage will be somewhat reduced. It is clear that if the switching device restrikes during interruption, then the benefits offered by the various methods of control during energizing of the bank — as evaluated in this paper — are nullified. In addition to the above considerations, the method for transient overvoltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

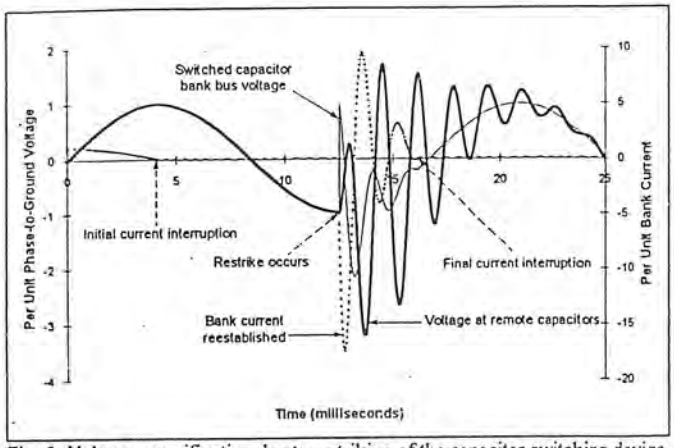


Fig. 8. Voltage magnification due to restriking of the capacitor switching device during current interruption.

control and associated switching device selected will be dictated by cost, reliability, and maintenance and installation requirements.

VI. CONCLUSIONS

The ASD nuisance tripping problem can be effectively addressed by the application of overvoltage control methods at the utility's switched capacitor bank. But in many systems, transient mitigating devices (e.g., AC line chokes) may be required to be fitted to sensitive ASDs. The results of simulations presented in this paper indicate that highly damped pre-insertion inductors, pre-insertion resistors, and controlled closing devices generally are very effective at limiting the overvoltages on the DC bus of ASDs resulting from capacitor-switching transients, if the ASDs are equipped with 3 percent AC line chokes. These methods of transient overvoltage control are less effective when ASDs are not equipped with transient mitigating devices. Since the parameters representative of any particular distribution system are unique, the relative effectiveness of each of the overvoltage control methods, in most instances, can only be established by simulation studies of that particular system.

The selection of the switching device and the associated method for transient overvoltage control will be determined by:

- The effectiveness of the control method in addressing ASD nuisance tripping concerns and concerns associated with other capacitor-switching transient phenomena;
- The ability of the device to interrupt without restrikes; and
- Cost, reliability, and maintenance and installation requirements.

With typically used ASD DC bus overvoltage trip levels, nuisance tripping due to transient overvoltages may be inevitable if sufficient inductance, in the form of a suitably-sized DC bus choke or series AC line choke, is not included in the drive design. Results presented in this paper indicate that the use of 3 percent AC line chokes for transient overvoltage mitigation will *not* always be sufficient to prevent nuisance tripping of ASDs, especially if transient overvoltage control is not applied at the switched capacitor bank.

VII. REFERENCES

[1] M. F. McGranaghan et al, "Impact of Utility Switched Capacitors on Customer Systems: Part II - Adjustable Speed Drive Concerns," Presented at the *1991 IEEE-PES Winter Meeting, New York, New York*, February 3 - 7, 1991.

[2]. J. A. Oliver, and R. A. Ferraro, "The Myths of ASD Power Quality," in *Proceedings of the Second International Conference on Power Quality: End-Use Applications and Perspectives*, September 28 - 30, 1992, Atlanta, Georgia.

[3]. H. G. Murphy, "Power Quality Issues with Adjustable-Frequency Drives: Coping with Power Loss and Voltage Transients," *Power Quality Assurance Magazine*, May/June 1993.

[4]. "Applications of AC Adjustable Speed Drives," *EPRI Brochure CU. 2018R.10.91*, 1991.

[5]. "SC-610: Adjustable Speed Drives Used in Low-Voltage AC Power Systems, Test Protocol for System Compatibility - Draft 1," *Power Quality Testing Network, EPRI*, December 1992.

[6]. J.F. Peggs et al, "Concerns for Switching Shunt Capacitor Banks on EHV Systems," presented at the *Southeast Electric Exchange Engineering and Operating Conference*, Kissimmee, Florida, April 9-11, 1986.

[7]. R. W. Alexander, "Synchronous Closing Control for Shunt Capacitors," *IEEE Transactions on Power Apparatus and Systems*, Vol. PAS-104, No. 9, September 1985.

[8]. W. E. Reid, "Capacitor Application Considerations - Utility/User Interface," presented at the *11th IEEE/PES Transmission and Distribution Conference and Exposition*, New Orleans, Louisiana, April 6, 1991.

[9]. R. P. O'Leary, and R. H. Harner, "Evaluation of Methods for Controlling the Overvoltages Produced by the Energization of a Shunt Capacitor Bank," *International Conference on Large High Voltage Electric Systems*, August/September 1988, Paris.

[10]. N. Mohan, T. M. Undeland, and W. P. Robbins, *Power Electronics: Converters, Applications and Design*, John Wiley and Sons, 1989.

Terrance A. Bellei received his BSEE from Marquette University in Milwaukee, Wisconsin. He has been with S&C Electric Company since 1974 and has held various positions in R&D and the Power Systems Services Division. He is currently Manager, Engineering Services, in the Power Systems Services Division.

Within IEEE, he is a member of the High Voltage Fuses Subcommittee, Working Group on External Fuses For Shunt Capacitors, and serves as secretary on the Working Group on Revision of Fuse Standards. He also serves as Chairman of a Task Force formed by the Working Group on Revision of Fuse Standards. He is also a representative of S&C in the North America Short-Circuit Testing Liaison (STLNA).

Raymond P. O'Leary (SM) received his BSEE degree from Northeastern University, Boston, MA, and his ME-Electric Power Engineering from Rensselaer Polytechnic Institute, Troy, NY. He has been with S&C Electric Company since 1975, and is currently Manager, Advance Technology.

Mr. O' Leary is a Registered Professional Engineer in the State of Illinois. He is a member of Eta Kappa Nu, Tau Beta Pi, and CIGRÉ and serves on CIGRÉ Working Group 13.04, Switching Test Methods.

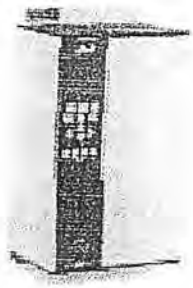
Within IEEE, he is a member of the Switchgear Committee, the High Voltage Switch Subcommittee and is Chairman of the Interrupter Switch Working Group. He is also a representative of S&C in the North America Short-Circuit Testing Liaison (STLNA).

Ernst H. Camm received his BSc(Eng) degree in Electrical and Electronic Engineering from the University of Cape Town, South Africa in 1984, and his MSEE degree from the Ohio State University in 1992. From 1984 to 1990, he was employed by CDM (Pty) Ltd, in Oranjemund, Namibia, in various positions in Plant and Project Engineering. He is currently an Electrical Engineer in the Engineering Services Department at S&C Electric Company.

Mr. Camm is a member of the Switching Transients Task Force of the IEEE's Modeling and Analysis of System Transients Working Group.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1 - 10 HP Compact
3Ø 380-500 VAC



			VLT 5001	VLT 5002	VLT 5003	VLT 5004	VLT 5005	VLT 5006	VLT 5008	VLT 5011
OUTPUT	Current									
	Continuous	(380-440) [A]	2.2	2.8	4.1	5.6	7.2	10.0	13.0	16.0
		(460-500) [A]	1.9	2.6	3.4	4.8	6.3	8.2	11.0	14.5
	Intermittent (60 sec)	(380-440) [A]	3.5	4.5	6.5	9.0	11.5	16.0	20.8	25.6
		(460-500) [A]	3.0	4.2	5.5	7.7	10.1	13.1	17.6	23.2
	Continuous	(380-440) [kVA]	1.7	2.1	3.1	4.3	5.5	7.6	9.9	12.2
		(460-500) [kVA]	1.6	2.3	2.9	4.2	5.5	7.1	9.5	12.6
	Typical shaft output High overload (160%)	[HP]	1	1.5	2	3	4	5	7.5	10
	Max. motor cable size	[AWG]	10	10	10	10	10	10	10	10
		[mm²]	4	4	4	4	4	4	4	4
	Max. motor cable length		500 feet (150 m) shielded, 1000 feet (300 m) unshielded							
	Output voltage	[%]	0-100% of the AC line voltage							
	Output frequency	[Hz]	0-132 or 0-1000							
	Rated motor voltage	[V]	380/400/415/440/460/480/500							
	Rated motor frequency	[Hz]	50/60							
	Thermal protection during operation		ETR for motor and VLT trip at 90°C							
	Switching on the output		Unlimited							
	Ramp times	[sec]	0.05 - 3600							
INPUT	Max. input current	(380-440) [A]	2.3	2.6	3.8	5.3	7.0	9.1	12.2	**15.0**
		(460-500) [A]	1.9	2.5	3.4	4.8	6.0	8.3	10.6	14.0
	Max. power cable size	[AWG]	10	10	10	10	10	10	10	10
		[mm²]	4	4	4	4	4	4	4	4
	Max. pre-fuses	[A]	6	6	10	10	15	20	25	
	Supply voltage	[V]	3Ø, 380/400/415/440/460/480/500 ±10%							
	Supply frequency	[Hz]	50/60							
	Power factor		0.90/1.0							
	Efficiency		0.96							
	Switching on input	times/min.	See page 14							
ENVIRONMENT	Estimated power loss at rated max. load (460V) High overload (160%)	[W]	55	67	92	110	139	198	250	295
	Enclosure		Protected Chassis (IP 20), NEMA 1 (IP 20), NEMA 12 (IP 54)							
	Vibration test	[g]	0.7							
	Relative humidity	[%]	93% +2%, -3% (IEC 68-2-3)							
	Ambient temperature	[°C]	-10°C – 40°C continuously, periodically at 45°C(35°C/40°C@110%) -25°C – 65/70°C for storage/transport							
	Adjustable frequency drive protection		Ground and short-circuit protection							
	Weight (est.)									
	Protected Chassis	[lbs.]	18	18	18	19	19	23	23	23
	NEMA 1	[lbs.]	18	18	18	19				
	NEMA 12	[lbs.]	25	25	25	26				

Use our FAX BACK SYSTEM: Request Document #5003 for additional specifications for these VLT 5000 Compact Drives.

PHONE: 1/800/432-8367 FAX BACK SYSTEM: 1/916/631/8543 WEBSITE: www.danfossdrives.com

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช

3-24 The drive shall have the ability to ignore run commands until a "dampers open" signal is received. In the event a "dampers open" signal is absent the drive shall be capable providing a "close damper" signal. Upon receipt of "drive stop" signal The ASD shall be capable of providing a close damper signal.

3-25 The drive shall be provided with "anti-windmilling" or "motor shaft stationary control"

3-26 The drive shall have the following user selectable contingencies in the event of loss of analog control signal while the drive is running before loss:

- Run at the user set lower frequency limit.
- Run at the user set upper frequency limit.
- Trip with a signal loss fault.
- Run at user selected percentage of the last valid frequency signal.

4 Operational Functions

4-1 The drive shall contain two separate acceleration/deceleration times with auto tuning for optimum setting (0.1 to 6000 seconds) with choice of linear, S, or C curves.

4-2 The drive shall be equipped with both local/remote and manual/auto keys on touchpad.

4-3 The drive shall be equipped with a quick setup key.

4-4 The drive shall contain fifteen preset speeds, which can be activated from the keypad, terminal inputs, and host computer.

4-5 The drive shall have the capability of storable special custom user setting.

4-6 The drive shall restart into a rotating motor operating in either the forward or reverse direction and match that frequency.

4-7 The drive shall have adjustable soft stall (10% - 150%) which reduces frequency and voltage of the inverter to sustain a run in an overload situation.

4-8 The drive shall be capable of performing a time base pattern run using 4 groups of 8 patterns each using the 15 preset speed values for a maximum of 32 different patterns.

4-9 The drive shall have adjustable UL listed electronic overload protection (10% - 100%).

4-10 The drive shall have a custom programmable volt/hertz pattern.

5 Protective Features

5-1 The drive shall be rated for 200,000 AIC. The use of input fuses to achieve this rating shall not be acceptable.

5-2 The all drives 25HP and above shall be equipped with either 3% impedance DC link reactors or 3% AC line reactors

5-3 The drive shall have external fault input.

5-4 The drive shall be capable of re-setting faults remotely and locally.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

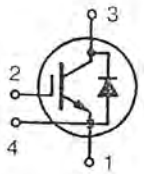
IXYS

IGBT with Diode

IXSN 35N100U1

V_{CES} = 1000 V
I_{C25} = 38 A
$V_{CE(sat)}$ = 3.5 V

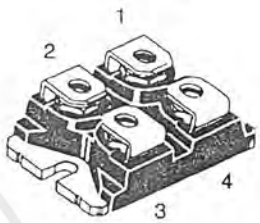
High Short Circuit SOA Capability



Symbol	Test Conditions	Maximum Ratings	
V_{CES}	T_J = 25°C to 150°C	1000	V
V_{CGR}	T_J = 25°C to 150°C; R_{GE} = 1 MΩ	1000	A
V_{GES}	Continuous	±20	V
V_{GEM}	Transient	±30	V
I_{C25}	T_C = 25°C	38	A
I_{C90}	T_C = 90°C	25	A
I_{CM}	T_C = 25°C, 1 ms	50	A
SSOA (RBSOA)	V_{GE}= 15 V, T_{VJ} = 125°C, R_G = 22 Ω Clamped inductive load, L = 30 µH	I_{CM} = 50 @ 0.8 V_{CES}	A
t_{SC} (SCSOA)	V_{GE}= 15 V, V_{CE} = 0.6 • V_{CES}, T_J = 125°C R_G = 22 Ω, non repetitive	10	µs
P_C	T_C = 25°C	205	W
V_{ISOL}	50/60 Hz t = 1 min I_{ISOL} ≤ 1 mA t = 1 s	2500 3000	V~ V~
T_J		-40 ... +150	°C
T_{JM}		150	°C
T_{stg}		-40 ... +150	°C
M_d	Mounting torque Terminal connection torque (M4)	1.5/13 1.5/13	Nm/lb.in. Nm/lb.in.
Weight		30	g

Symbol	Test Conditions		Characteristic Values (T_J = 25°C, unless otherwise specified) min.	typ.	max.	
BV_{CES}	I_C = 6 mA, V_{GE} = 0 V		1000			V
$V_{GE(th)}$	I_C = 10 mA, V_{CE} = V_{GE}		5		8	V
I_{CES}	V_{CE} = 0.8 • V_{CES} V_{GE} = 0 V	T_J = 25°C T_J = 125°C			750 15	µA mA
I_{GES}	V_{CE} = 0 V, V_{GE} = ±20 V				±500	nA
$V_{CE(sat)}$	I_C = I_{C90}, V_{GE} = 15 V				3.5	V

miniBLOC, SOT-227 B



1 = Emitter, 3 = Collector
2 = Gate, 4 = Kelvin Emitter

Features
- International standard package miniBLOC (ISOTOP) compatible
- Isolation voltage 3000 V~
- 2nd generation HDMOS™ process
  - for high short circuit SOA
- Low $V_{CE(sat)}$
  - for minimum on-state conduction losses
- MOS Gate turn-on
  - drive simplicity
- Fast Recovery Epitaxial Diode (FRED)
  - short t_{rr} and I_{RM}
- Low collector-to-case capacitance (< 50 pF)
  - reducesd RFI
- Low package inductance (< 10 nH)
  - easy to drive and to protect

Applications
- AC motor speed control
- DC servo and robot drives
- DC choppers
- Uninterruptible power supplies (UPS)
- Switch-mode and resonant-mode power supplies

Advantages
- Space savings
- Easy to mount with 2 screws
- High power density

YS reserves the right to change limits, test conditions and dimensions.
IXYS Corporation. All rights reserved.

93005C (7/94)

YS Corporation
40 Bassett Street, Santa Clara CA 95054
one: 408-982-0700, Fax: 408-496-0670

IXYS Semiconductor GmbH
Edisonstr. 15, D-68623 Lampertheim
Phone: +49-6206-503-0, Fax: +49-6206-503627

สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

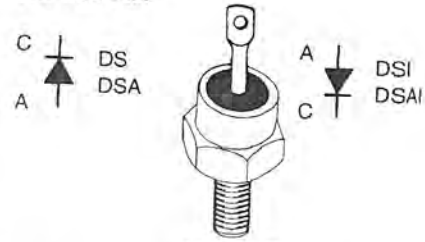
Rectifier Diodes
Avalanche Diodes

V_{RRM} = 800 - 1800 V
$I_{F(RMS)}$ = 40 A
$I_{F(AV)M}$ = 25 A

V_{RSM} V	$V_{(BR)min}$ ① V	V_{RRM} V	Anode on stud	Cathode on stud
900	-	800	DS 17-08A	DSI 17-08A
1300	-	1200	DS 17-12A	DSI 17-12A
1300	1300	1200	DSA 17-12A	DSAI 17-12A
1700	1750	1600	DSA 17-16A	DSAI 17-16A
1900	1950	1800	DSA 17-18A	DSAI 17-18A

① Only for Avalanche Diodes

DO-203 AA



A = Anode C = Cathode

Symbol	Test Conditions	Maximum Ratings	
$I_{F(RMS)}$	$T_{(vj)} = T_{(vj)m}$	40	A
$I_{F(AV)M}$	T_{case} = 125°C; 180° sine	25	A
P_{RSM}	DSA(I) types, $T_{(vj)} = T_{(vj)m}$, t_p = 10 µs	7	kW
I_{FSM}	$T_{(vj)}$ = 45°C; t = 10 ms (50 Hz), sine	370	A
	V_R = 0 t = 8.3 ms (60 Hz), sine	400	A
	$T_{(vj)} = T_{(vj)m}$ t = 10 ms (50 Hz), sine	300	A
	V_R = 0 t = 8.3 ms (60 Hz), sine	320	A
I^2t	$T_{(vj)}$ = 45°C t = 10 ms (50 Hz), sine	680	A^2s
	V_R = 0 t = 8.3 ms (60 Hz), sine	660	A^2s
	$T_{(vj)} = T_{(vj)m}$ t = 10 ms (50 Hz), sine	450	A^2s
	V_R = 0 t = 8.3 ms (60 Hz), sine	430	A^2s
$T_{(vj)}$		-40...+180	°C
$T_{(vj)m}$		180	°C
T_{stg}		-40...+180	°C
M_d	Mounting torque	2.2-2.8	Nm
		19-25	lb.in.
Weight		6	g

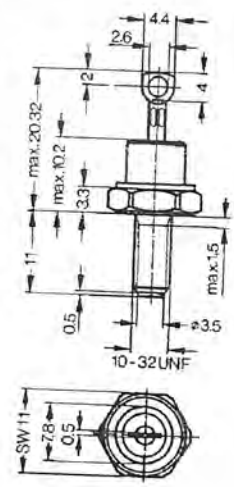
Features
- International standard package, JEDEC DO-203 AA (DO-4)
- Planar glassivated chips

Applications
- Supplies for DC power equipment
- DC supply for PWM inverter
- Field supply for DC motors
- Battery DC power supplies

Advantages
- Space and weight savings
- Simple mounting
- Improved temperature and power cycling
- Reduced protection circuits

Symbol	Test Conditions	Characteristic Values		
I_R	$T_{(vj)} = T_{(vj)m}$; $V_R = V_{RRM}$	≤	4	mA
V_F	I_F = 55 A; $T_{(vj)}$ = 25°C	≤	1.36	V
V_{T0}	For power-loss calculations only		0.85	V
r_T	$T_{(vj)} = T_{(vj)m}$		8	mΩ
R_{thJC}	DC current		1.5	K/W
R_{thJH}	DC current		2.1	K/W
d_S	Creepage distance on surface		2.05	mm
d_A	Strike distance through air		2.05	mm
a	Max. allowable acceleration		100	m/s^2

Dimensions in mm (1 mm = 0.0394")



Data according to IEC 747-2
IXYS reserves the right to change limits, test conditions and dimensions

IXYS reserves the right to change limits, test conditions, and dimensions.

IXYS Corporation
3540 Bassett Street, Santa Clara,CA 95054
Tel: 408-982-0700 Fax: 408-496-0670

IXYS Semiconductor
Edisonstr. 15, D-68623 Lampertheim, Germany
Tel: +49-6206-5030 Fax: +49-6206-503629

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สำเร็จลุล่วงได้ด้วยดีเนื่องจากได้รับความอนุเคราะห์จากกลุ่มบุคคลเหล่านี้ จึงขอขอบคุณมา ณ ที่นี้

1. ผศ.จงรักษ์ บุญเส็งและครอบครัวที่เคารพและนับถือที่ให้คำแนะนำต่างๆ
2. อาจารย์ภาควิชาวิศวกรรมไฟฟ้าทุกท่านที่ให้ความรู้และคำสั่งสอนที่มีค่า
3. คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังที่ให้โอกาสในการศึกษา
4. ชมรมบริดจ์และชุมนุมโทรคมนาคมที่เอื้อเฟื้อคอมพิวเตอร์และสถานที่ในการทำงาน
5. ชมรมรักบี้ที่เอื้อเฟื้อสถานที่พักผ่อน
6. น้องอู๋ , น้องเบิ้ม , เพื่อนแสงและน้องเซ็ง ที่เอื้อเฟื้อคอมพิวเตอร์ , โน๊ตบุ๊คและสแกนเนอร์
7. บิดามารดาและครอบครัวของสมาชิกในกลุ่มที่สนับสนุนการศึกษาของลูกๆ
8. เพื่อนๆคณะวิศวกรรมศาสตร์รุ่น 35 ทุกคน
9. สมาชิกในกลุ่มที่ตั้งใจทำงานจนสำเร็จลุล่วงได้ด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] IEEE ,"Capacitor Switching And Transformer Transients," IEEE Transactions on power Delivery, Vol. 3, No. 1, July 1996

[2] IEEE , "Evaluating Capacitor Devices for Preventing Nuisance Tripping of Adjustable-Speed Drives Due to Voltage Magnification ,"IEEE Transactions on Power Delivery, Vol.11, No. 3 July 1996

[3] Ned Mohan , Tore M. Undeland , William P. Robbins,"Power Electronics:Converter, Application, and Design",New York , John Wiley & Sons ,2nd Edition. 1995

[4] THAI YAZAKI TECHNICAL DATA, Thai Industrial Standard (TIS), Thai-Yazaki and IEC 502 Standard 1998

[5] ศิริวัฒน์ โพธิเวชกุล "ระบบส่งจ่ายกำลังไฟฟ้าแรงสูง 1 และ 2,"คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2537

[6] ผ.ศ.ประสิทธิ์ พิทยพัฒน์ "เทคนิคการปรับปรุงตัวประกอบกำลังสำหรับวิศวกรและช่างเทคนิค,"2529

[7] รศ.กฤษดา วิศวธีรานนท์ "หลักการทำงานและเทคนิคการใช้งานอินเวอร์เตอร์",คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย,"2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้