ระบบป้องกันการลอบดักฟังสัญญาณเสียงแบบดิจิตอล

VOICE SCRAMBLE & DESCRAMBLE

โดย

นางสาวรัตนาพร แขชัย

นายวุฒิชัย สุภวัฒนากูล

อาจารย์ที่ปรึกษา

อ.อุทัย ศรีธีระวิโรจน์

วัน เดือน ปี 1 ต.ค. 2539

เลขทะเบียน 038083

เลขเรียกหนังสือ T 39103 ร 819ป

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการ 038083

หัวข้อปริญญานิพนธ์ **"ระบบป้องกันการลอบดักฟังสัญญาณเสียงแบบดิจิตอล"**

"Voice scramble and Descramble"

โดย นางสาวรัตนาพร แขชัย 38012066

นายวุฒิชัย สุภวัฒนากูล 38012071

ภาควิชา เทคนิคอุตสาหกรรม

อ.ที่ปรึกษา **อ.อุทัย ศรีธีระวิโรจน์**

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....อ.ที่ปรึกษา

(อ.อุทัย ศรีธีระวิโรจน์)

.....กรรมการ

(.....)

.....กรรมการ

(.....)

.....กรรมการ

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบป้องกันการลอบดักฟังสัญญาณเสียงแบบดิจิตอล

ผู้จัดทำ
1.นางสาวรัตนาพร แขชัย 38012066
2.นายวุฒิชัย สุภวัฒนากูล 38012071

อาจารย์ที่ปรึกษา
อ. อุทัย ศรีธีระวิโรจน์
ปีการศึกษา 2539

บทคัดย่อ

โครงงานนี้กล่าวถึงระบบป้องกันการลอบดักฟังสัญญาณเสียงแบบดิจิตอล เพื่อใช้ในการรักษาความปลอดภัยของข้อมูลที่ใช้ในการติดต่อสื่อสาร ซึ่งจะศึกษาและออกแบบวงจรโดยใช้วงจรสแกรมเบิล(Scramble)

หลักการที่ใช้ในโครงงานนี้จะใช้การเปลี่ยนสัญญาณอนาลอกที่เป็นสัญญาณไฟฟ้าความถี่ต่ำให้เป็นสัญญาณดิจิตอล (Analog to digital conversion) แล้วจึงส่งเข้าตัวสแกรมเบิลโดยจะใช้การลำดับแบบกึ่งสุ่ม(Pseudorandom sequence) ส่วนทางด้านรับก็จะใช้หลักการเดียวกันในการดิสแกรมเบิลข้อมูล(Descarmble)แล้วจึงเปลี่ยนเป็นสัญญาณอนาลอก (Digital to analog conversion)แล้วกรองความถี่ต่ำเพื่อแปลงกลับมาเป็นสัญญาณเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VOICE SCRAMBLE & DESCRAMBLE

Produce by

Ms. Ratanaphorn Khaechai 38012066

Mr. Wuttichai Supawattanakul 38012071

Advisor

U-THAI SRITHEERAVIROJANA

ABSTRACT

This project describes system that uses to increase the security of data communication by scramble.

The procedure in this project will be converted low frequency signal from analog to digital , after that send to scramble circuit with consist of pseudorandom sequence. The receiver uses descramble circuit , digital to analog conversion and send to low pass filter. Finally go to amplifier circuit to recovering original signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้จัดทำขอขอบคุณ อ.อุทัย ศรีธีระวิโรจน์ ที่ให้คำปรึกษาในการทำงาน และพี่ๆ เพื่อนๆ ที่รัก ทุกคนที่ช่วยให้คำแนะนำ ช่วยทำ และช่วยเป็นกำลังใจจนงานชิ้นนี้สำเร็จลุล่วงไปได้ด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ ก

ABSTRACT ข

กิตติกรรมประกาศ ค

สารบัญรูปภาพ

บทนำ 1

บทที่ 1 หลักการพื้นฐานการเข้ารหัสสัญญาณ 2

1.1 หลักการของ PCM 2

1.1.1 การสุ่มสัญญาณ 2

1.1.2 การเทียบระดับแรงดัน 8

1.1.3 การเข้ารหัส 17

1.1.4 หลักการเบื้องต้นของ Regenerative Repeater 26

1.2 การแปลงสัญญาณอนาลอกและดิจิตอล 28

1.2.1 เดลต้ามอดูเลชั่น 28

1.2.2 CVSD 30

1.3 การกรองสัญญาณ 31

1.3.1 วงจรกรองความถี่ต่ำ 32

1.3.2 วงจรกรองความถี่สูง 32

1.3.3 วงจรกรองแถบความถี่ 33

1.3.4 วงจรกรองแถบตัดความถี่ 34

1.3.5 วงจรกรองแบบพาสซีฟ 37

1.3.6 วงจรกรองแบบแอคทีฟ 37

1.3.7 ข้อดีของวงจรกรองความถี่แบบแอคทีฟที่เหนือกว่าแบบพาสซีฟ 38

1.3.8 การเลือกใช้ชนิดวงจรกรอง 38

1.3.9 การออกแบบวงจรกรองความถี่แบบแอคทีฟ 42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 โครงสร้างของวงจร 50
2.1 โครงสร้างของวงจร 50
2.2 ข้อกำหนดการป้องกันการดักฟัง 51
2.3 การสแครมเบิลและดิสแครมเบิล 51
2.3.1 ลำดับแบบกึ่งสุ่ม 51
2.3.2 การสร้างลำดับแบบกึ่งสุ่ม 51
2.3.3 ความยาวของลำดับแบบกึ่งสุ่ม 54
บทที่ 3 การออกแบบวงจรใช้งาน 58
3.1 วงจรเคลต้ามอดูเลเตอร์ 58
3.2 วงจรสร้างสัญญาณนาฬิกา 64
3.3 การซิงโครไนซ์ระหว่างตัวรับและตัวส่ง 65
3.4 วงจรสแครมเบิลและดิสแครมเบิล 66
3.5 วงจรแหล่งจ่ายไฟ 68
บทที่ 4 การทดลองและผลการทดลอง 69
บทสรุปผลการทดลอง 72
หนังสืออ้างอิง
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

บทที่ 1 หลักการพื้นฐานการเข้ารหัสสัญญาณ 3

รูปที่ 1.1 ขบวนการเปลี่ยนสัญญาณในระบบ PCM 4

รูปที่ 1.2 สัญญาณที่ผ่านการสุ่มเทียบกับสัญญาณต้นฉบับ 6

รูปที่ 1.3 แสดงสเปคตรัมของสัญญาณ 6

รูปที่ 1.4 การพร่าเพี้ยนจากแถบคลื่นซ้อนกัน 7

รูปที่ 1.5 การพร่าเพี้ยนเกิดจากการสอดแทรก 8

รูปที่ 1.6 รายละเอียดและศัพท์ในการเทียบระดับแรงดัน 9

รูปที 1.7 การกำหนดระดับตัดสินของระบบทวนสัญญาณดิจิตอล 10

รูปที่ 1.8 การควอนไตซ์แบบระดับคงที่ 11

รูปที่ 1.9 การผิดเพี้ยนของสัญญาณเมื่อแทนค่ากลับที่เครื่องรับปลายทาง 12

รูปที่ 1.10 การควอนไตซ์และการควอนไตซิงนอยส์ 14

รูปที่ 1.11 คุณลักษณะการจัดระดับด้วยคอมเพรสเซอร์เอ็กซ์แพนเดอร์ 14

รูปที่ 1.12 กราฟแสดงคุณสมบัติของคอมแพนเดอร์ 15

รูปที่ 1.13 แสดงความสัมพันธ์ระหว่างการจัดระดับควอนไตซ์ที่ผ่านกระบวน
การบีบอัดข้อมูลตามมาตรฐาน CCITT 16

รูปที่ 1.14 แสดงผลหลังจากการบีบอัดและขยายสัญญาณ 17

รูปที่ 1.15 โครงสร้างระบบ ADPCM 22

รูปที่ 1.16 การเข้ารหัสแบบ ADM 22

รูปที่ 1.17 โครงร่างระบบ ADM 23

รูปที่ 1.18 หลักการเปลี่ยนสเต็บในการจัดระดับของ ADM 23

รูปที่ 1.19 บล็อกไดอะแกรมของระบบ ADM 24

รูปที่ 1.20 โครงร่างการเข้ารหัส ถอดรหัสแบบ APC-AB 25

รูปที่ 1.21 บล็อกไดอะแกรมของ Regenerative Repeater 27

รูปที่ 1.22 Wave Shave ใน Regenerative Repeater 27

รูปที่ 1.23 แสดงการทำงานของเคลต้ามอดูเลเตอร์ 29

รูปที่ 1.24 การทำงานของ CVSD ในการแปลงสัญญาณเสียงเป็นดิจิตอล 30

รูปที่ 1.25 การทำงานของ CVSD ในการแปลงกลับจากดิจิตอลเป็นอนา ลอก 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่1.26 วงจรกรองความถี่ต่ำ 32
รูปที่ 1.27 วงจรกรองความถี่สูง 33
รูปที่ 1.28 วงจรกรองแถบความถี่ 33
รูปที่ 1.29 วงจรกรองแถบตัดความถี่ 33
รูปที่ 1.30 การส่งผ่านของแถบความถี่ 34
รูปที่ 1.31 ความถี่คัทออฟที่กำหนดจุดลดทอนที่ -3dB 34
รูปที 1.32 การส่งผ่านของแถบความถี่ที่ค่าโรลออฟต่างๆ 35
รูปที่ 1.33 การเกิดการกระเพื่อมในแถบความถี่ 35
รูปที่ 1.34 การเกิดการกระเพื่อมในแถบตัดความถี่ 36
รูปที่ 1.35 การเกิดช่วงเวลาหน่วงของรูปคลื่นทางเอาท์พุท 36
รูปที่ 1.36 วงจรกรองแบบพาสซีฟ 37
รูปที่ 1.37 วงจรกรองแบบแอคทีฟ 37
รูปที 1.38 โครงสร้างภายในของ MOSFET 38
รูปที่ 1.39 การต่อร่วมกับตัวเก็บประจุ 40
รูปที่ 1.40 การทำงานของสวิทช์คาปาซิเตอร์ 40
รูปที 1.41 การแทนที่ตัวเก็บประจุด้วยตัวต้านทาน 40
รูปที่ 1.42 ความต้านทานสมมูลย์ของสวิทช์คาปาซิเตอร์ 41
รูปที่ 1.43 การใช้สวิทช์คาปาซิเตอร์กับวงจรกรองแบบพาสซีฟ 41
รูปที่ 1.44 การใช้สวิทช์คาปาซิเตอร์กับวงจรกรองแบบแอคทีฟ 42
รูปที่ 1.45 ผลตอบสนองเชิงขนาด 43
รูปที่ 1.46 จุดที่ค่าคัทออฟลดลงไป 3 dB 44
รูปที่ 1.47 วงจรกรองความถี่ต่ำอันดับที่สอง 44
รูปที่ 148 การตอบสนองเชิงขนาดค่า n ต่างๆ 45
รูปที่ 1.49 ผลตอบสนองของแบนด์พาสฟิลเตอร์ 48
รูปที่ 1.50 รูปแบนด์พาสฟิลเตอร์อันดับที่สอง 49
บทที่ 2 โครงสร้างของวงจร 50
รูปที่ 2.1 บล็อกไดอะแกรมของวงจร 50
รูปที่ 2.2 ตัวกำเนิดลำดับแบบสุ่ม 53
รูปที่ 2.3 ตัวอย่างการกำเนิดลำดับแบบ m-sequence 53
รูปที่ 2.4 การสแกรมเบิลและดิสแกรมเบิล 56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.5 การสแครมเบิลและดิสแครมเบิลโดยใช้ control code 56
บทที่ 3 การออกแบบวงจรใช้งาน 57
รูปที่ 3.1 วงจรเคลต้ามอดูเลเตอร์ 58
รูปที่ 3.2 วงจรกรองความถี่ 58
รูปที่ 3.3 วงจรไฮพาสฟิลเตอร์ 59
รูปที่ 3.4 วงจรโลว์พาสฟิลเตอร์ 60
รูปที่ 3.5 โครงสร้างภายในของ CVSD และการจัดขาภายนอก 62
รูปที่ 3.6 วงจรสร้างสัญญาณนาฬิกา 65
รูปที่ 3.7 การซิงโครไนซ์ตัวรับและตัวส่ง 66
บทที่ 4 การทดลองและผลการทดลอง
รูปที่ 4.1 รูปสัญญาณเอาท์พุท 67
รูปที่ 4.2 สัญญาณหลังผ่านการสแครมเบิล 68
รูปที่ 4.3 สัญญาณเมื่อตั้งสวิทช์โปรแกรมตรงกับการดิสแครมเบิล 69
รูปที่ 4.4 สัญญาณเมื่อผ่าน D/A converter 69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

ในปัจจุบันการติดต่อสื่อสารได้มีเทคโนโลยีเพื่ออำนวยความสะดวกระหว่างผู้ส่งและผู้รับสารที่อยู่ห่างไกลกันในหลายๆ รูปแบบ สิ่งสำคัญก็คือความรวดเร็ว ความถูกต้อง นอกจากนี้ความปลอดภัยก็เป็นสิ่งสำคัญอีกอย่างหนึ่งที่ต้องการและจากจุดประสงค์นี้เอง จึงได้มีการคิดค้นเพื่อสร้างวงจรป้องกันการดักฟังสัญญาณเสียงในหลายๆรูปแบบ ทั้งในระบบอนาลอก(Analog) และระบบดิจิตอล(Digital) สำหรับในโครงงานนี้จะใช้ระบบการป้องกันการดักฟังสัญญาณเสียงในระบบดิจิตอล โดยจะใช้หลักการลำดับแบบกึ่งสุ่ม(Pseudo random binary sequence) เพื่อเป็นการเปลี่ยนแปลงบิทข้อมูล(Scramble) ซึ่งโดยหลักการนี้สามารถนำมาสร้างวงจรทางด้านฮาร์ดแวร์(Hardware) โดยใช้ชิพรีจีสเตอร์(Shift register) แบบให้มีการป้อนกลับร่วมกับเอกซ์คลูซีพออร์เกท(Exclusive OR gate)เพื่อเป็นการรวมข้อมูล และจากหลักการดังกล่าวนี้ทำให้สามารถที่จะโปรแกรมการสุ่มได้ สำหรับในการใช้งานนั้นทางผู้ส่ง และผู้รับข่าวสาร จะต้องรู้ลักษณะการตั้งค่าที่โปรแกรมก่อน จึงทำให้รู้กันเฉพาะคู่ติดต่อเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
หลักการพื้นฐานของการเข้ารหัสสัญญาณ

1.1 หลักการของ PCM

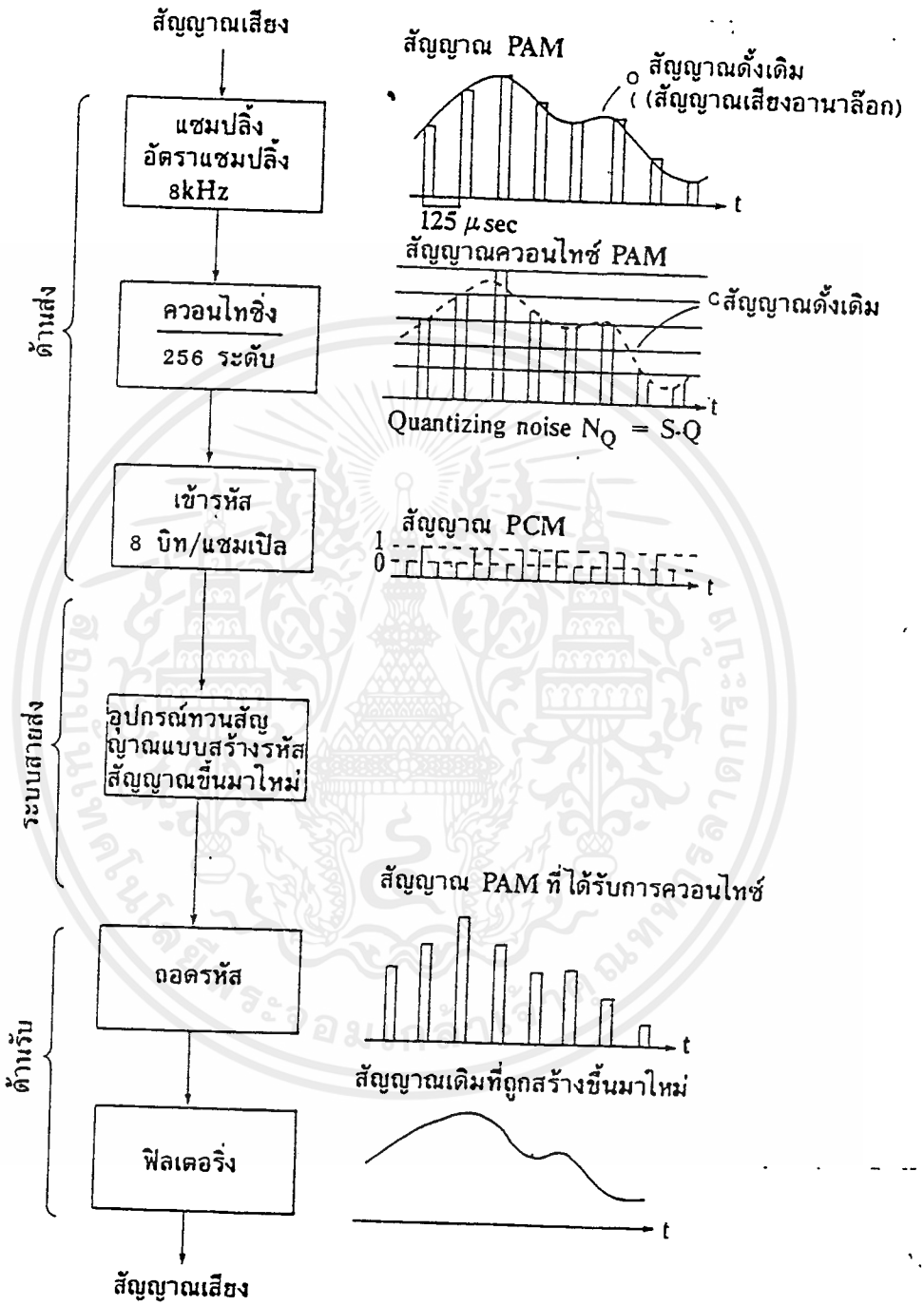
พีซีเอ็ม (PCM) เป็นชื่อย่อมาจาก Pulse Code Modulation ซึ่งเป็นการส่งสัญญาณอะนาลอกโดยเปลี่ยนให้อยู่ในรูปของข้อมูลดิจิตอลที่ถูกเข้ารหัสอยู่ผ่านเครือข่ายสื่อสารระบบดิจิตอล ข้อดีของการส่งข้อมูลในรูปดิจิตอล คือ การป้องกันการรบกวนจากสภาพแวดล้อม ทั้งนี้เนื่องจากสัญญาณดิจิตอลเป็นสัญญาณที่มีระดับของแรงดันเพียง 2 สถานะ คือ สูง (high) และต่ำ (low) เท่านั้น และยังสามารถลดปัญหาการผิดเพี้ยนของรูปร่างสัญญาณที่เกิดขึ้นระหว่างการส่งได้ทั้งนี้เกิดจากการลดทอนสัญญาณตามระยะทางและที่เกิดจากสัญญาณรบกวน ซึ่งจะถูกแก้ไขเมื่อถึงเครื่องรับปลายทาง โดยใช้หลักการเปรียบเทียบค่าระดับแรงดันของสัญญาณที่มาถึงปลายทางกับระดับแรงดันเทรชโฮลด์ (threshold voltage) หากแรงดันที่ได้รับมีค่าสูงกว่าแรงดันเทรชโฮลด์ เครื่องรับจะกำหนดให้เป็นลอจิกสูง และในทางตรงข้ามเครื่องรับก็จะกำหนดให้สัญญาณที่ได้รับเป็นลอจิกต่ำ หากมีระดับแรงดันต่ำกว่าแรงดันเทรชโฮลด์

การเปลี่ยนสัญญาณอะนาลอกให้เป็นข้อมูลพีซีเอ็มประกอบไปด้วย 3 กระบวนการหลัก ๆ คือ การสุ่มสัญญาณ (sampling) การเทียบระดับแรงดัน และการเข้ารหัสข้อมูล (encoding) หลังจากนั้นจึงทำการส่งข้อมูลผ่านเครือข่าย และเมื่อข้อมูลดังกล่าวถึงปลายทางก็จะผ่านกระบวนการย้อนกลับ คือการถอดรหัสข้อมูล (decoding) การเทียบระดับแรงดันย้อนกลับ และการแทนค่าสัญญาณกลับคืน (recovering) ซึ่งกระบวนการทั้งหมดแสดงดังในรูปที่ 1

1.1.1 การสุ่มสัญญาณ

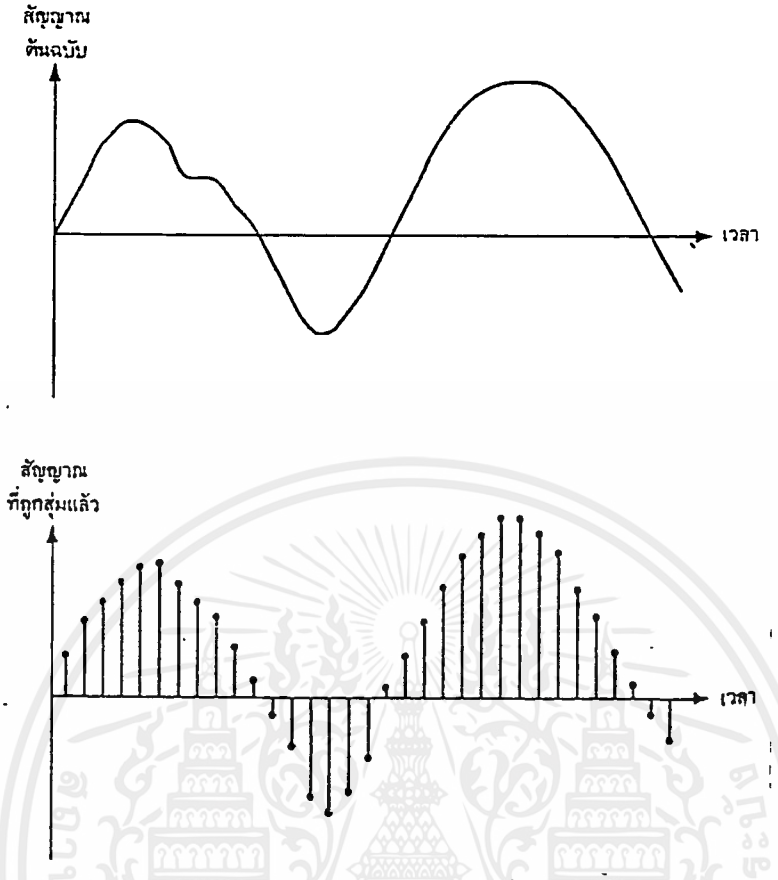
การสุ่มสัญญาณเป็นขั้นตอนแรกของการแปลงสัญญาณอะนาลอกให้เป็นสัญญาณดิจิตอล โดยวงจรสุ่มสัญญาณจะตรวจจับขนาดของสัญญาณอะนาลอกที่ถูกส่งตามช่วงเวลาที่กำหนด โดยทั่วไปมักจะวัดขนาดในรูปของแรงดันไฟฟ้า ซึ่งแท้จริงแล้วกระบวนการสุ่มสัญญาณเป็นกระบวนการตรวจวัดค่าแรงดันของสัญญาณที่ช่วงเวลาต่าง ๆ ซึ่งมีคาบการตรวจจับคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1. 1 แสดงพื้นฐานกระบวนการทำงานของการส่งข้อมูลแบบ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.2 สัญญาณที่ผ่านการสุ่มเทียบกับสัญญาณต้นฉบับ

อัตราหรือความถี่ของการสุ่มสัญญาณเป็นคาบนี้จะกำหนดให้อยู่ในหน่วยของจำนวนจุดสุ่มต่อหนึ่งหน่วยเวลา ยกตัวอย่างเช่น ในระบบโทรศัพท์อัตราการสุ่มดังกล่าวจะมีค่าเป็น 8,000 ครั้งต่อวินาที หรือ 8 กิโลเฮิรตซ์ หรืออาจกล่าวได้ว่าคาบของการสุ่ม (ช่วงเวลาระหว่างการสุ่มแต่ละครั้ง) มีค่าเป็น 1/8,000 หรือ 125 ไมโครวินาที สำหรับวิธีในการคำนวณหาค่าอัตราการสุ่มของระบบโทรศัพท์จะแยกอธิบายโดยละเอียดในหัวข้อการคำนวณ โดยเป็นไปตาม ข้อกำหนดในทฤษฎี ของการสุ่มสัญญาณ ซึ่งถูกกำหนดขึ้นโดย แชนนอน (Shannon) นักคณิตศาสตร์ชาวสหรัฐอเมริกากล่าวว่าอัตราการสุ่มจะต้องมีความถี่ไม่น้อยไปกว่า 2 เท่าของความถี่สูงสุดของสัญญาณอะนาลอกที่จะทำการส่งนั้น จึงจะสามารถสร้างสัญญาณต้นฉบับกลับคืนจากสัญญาณสุ่มได้

ในช่วงคาบเวลาระหว่างการสุ่มแต่ละจุดนั้น เราสามารถนำค่าแรงดันสุ่มของสัญญาณจากหลาย ๆ ช่องสัญญาณ (หลายคู่สาย) มาวางเรียงต่อกันได้ โดยเรียกกระบวนการนี้ว่าการมัลติเพล็กซ์ทางเวลา (Time Division Multiplex : TDM) ซึ่งเป็นวิธีการที่ใช้ในระบบพีซีเอ็มทุกระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ผ่านกระบวนการสุ่มแล้วจะเก็บรูปแบบของสัญญาณต้นฉบับก่อนที่จะถูกสุ่มได้อย่างสมบูรณ์เพียงใดขึ้นอยู่กับความถี่ที่ใช้ในการสุ่ม ซึ่งจะต้องมีค่าไม่น้อยไปกว่า 2 เท่าของความถี่สูงสุดของสัญญาณต้นฉบับ สมมติว่าความถี่ที่ใช้ในการสุ่มมีค่าเป็น f_s เฮิรตซ์ และความถี่สูงสุดของสัญญาณต้นฉบับมีค่าเป็น B ซึ่งมีสเปกตรัมของสัญญาณดังในรูปที่ 3 (ก) ตามหลักการทางคณิตศาสตร์ หากนำสัญญาณซึ่งมีแบนด์วิดธ์ B มาสุ่มด้วยสัญญาณซึ่งมีความถี่ f_s จะได้สัญญาณซึ่งมีสเปกตรัมดังในรูปที่ 3 (ข) สัญญาณนี้เองที่จะถูกส่งผ่านเครือข่ายสื่อสารเพื่อไปยังเครื่องรับปลายทาง หากพิจารณาสเปกตรัมของสัญญาณในรูปที่ 3 (ข) จะพบว่ามีส่วนประกอบของสเปกตรัมย่อย ๆ จำนวนมาก สเปกตรัมย่อยชุดแรก (หมายเลข 1) เป็นสเปกตรัมของสัญญาณอยู่ในช่วงความถี่ 0 ถึง B อันเป็นสเปกตรัมของสัญญาณก่อนที่จะถูกสุ่มนั่นเอง สเปกตรัมย่อยหมายเลข 3 มีรูปร่างคล้ายกับสเปกตรัมย่อยหมายเลข 1 แต่ถูกเลื่อนไปด้วยความถี่ f_s สเปกตรัมย่อยหมายเลข 2 มีรูปร่างเหมือนภาพกลับกับสเปกตรัมย่อยหมายเลข 3 โดยมีความถี่ f_s เป็นคล้ายกระจกเงาในการสะท้อน และนอกจากนี้จะพบคู่สเปกตรัมย่อย 4-5,6-7,... เรื่อยไปจนถึงอนันต์ โดยมีระยะห่างระหว่างกันเท่ากับ f_s

เนื่องจากสเปกตรัมของสัญญาณที่ถูกสุ่มแล้วประกอบด้วยส่วนประกอบของสัญญาณต้นฉบับในช่วงความถี่ทุก ๆ ค่า f_s ซึ่งไม่มีสเปกตรัมย่อยใดเกิดการทับกันตลอดย่านความถี่ จึงกล่าวได้ว่าสัญญาณที่ถูกสุ่มแล้วจะยังคงเก็บรายละเอียดของสัญญาณต้นฉบับไว้ได้ครบถ้วน ตราบใดที่อัตราการสุ่ม f_s มีค่ามากกว่า 2B ซึ่งสามารถใช้วงจรกรองความถี่ต่ำผ่านดึงสัญญาณต้นฉบับกลับคืนมาได้ที่เครื่องรับปลายทาง

ในทางกลับกัน หากอัตราการสุ่ม f_s มีค่าน้อยกว่า 2B จะเกิดเหตุการณ์ ดังแสดงในรูปที่ 3 (ค) จะพบว่าสเปกตรัมย่อยแต่ละตัวเกิดการซ้อนทับกันเป็นบางส่วน พื้นที่ของการซ้อนทับจะมากหรือน้อยขึ้นอยู่กับค่าความถี่ f_s ผลที่เกิดขึ้นทำให้เกิดการสูญเสียข้อมูลของสัญญาณต้นฉบับในส่วนที่เกิดการทับกัน ทั้งนี้เนื่องจากวงจรกรองความถี่ต่ำผ่านที่เครื่องรับปลายทางไม่สามารถแยกสัญญาณที่เกิดการซ้อนทับออกจากกันได้ ปรากฏการณ์ดังกล่าวมีชื่อเรียกว่า aliasing distoring

การคำนวณหาค่าอัตราการสุ่มของระบบโทรศัพท์โดยละเอียด

ตามทฤษฎีการสุ่มสัญญาณ ของไนควิส (Niquist) และทฤษฎีข่าวสารข้อมูล ของแชนนอล (Shannon) กล่าวไว้ว่า ในกรณีของการส่งข้อมูลที่เป็นสัญญาณอนาลอกผ่านเครือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข่ายดิจิตอลซึ่งจะต้องใช้การแปลงสัญญาณอะนาลอกเป็นดิจิตอลนั้น อัตราการสุ่มสัญญาณของวงจรสุ่มสัญญาณจะต้องมีความถี่สูงกว่าความถี่สูงสุดของสัญญาณอะนาลอกที่ต้องการจะส่งผ่านนั้นอย่างน้อย 2 เท่า จึงจะสามารถแปลงสัญญาณดิจิตอลให้กลับมาเป็นสัญญาณอะนาลอกได้เหมือนเดิมทุกประการที่เครื่องรับปลายทาง สำหรับระบบโทรศัพท์ทั่วไปกำหนดให้สามารถส่งผ่านเสียงพูดของผู้ใช้งานได้ในช่วงความถี่ตั้งแต่ 300 เฮิรตซ์ ถึง 3400 เฮิรตซ์ ซึ่งอาจกล่าวได้ว่าความถี่สูงสุดของการสนทนาตามปกติที่ส่งผ่านทางคู่สายโทรศัพท์มีค่าประมาณ 4 กิโลเฮิรตซ์ ดังนั้นการแปลงสัญญาณเสียงพูดในระบบโทรศัพท์เป็นสัญญาณดิจิตอลจึงต้องมีการสุ่มสัญญาณด้วยอัตราเท่ากับ

อัตราการสุ่มอย่างน้อยที่สุด = 2 x ความถี่สูงสุดของสัญญาณอะนาลอกที่จะถูกสุ่ม

= 2 x 4,000

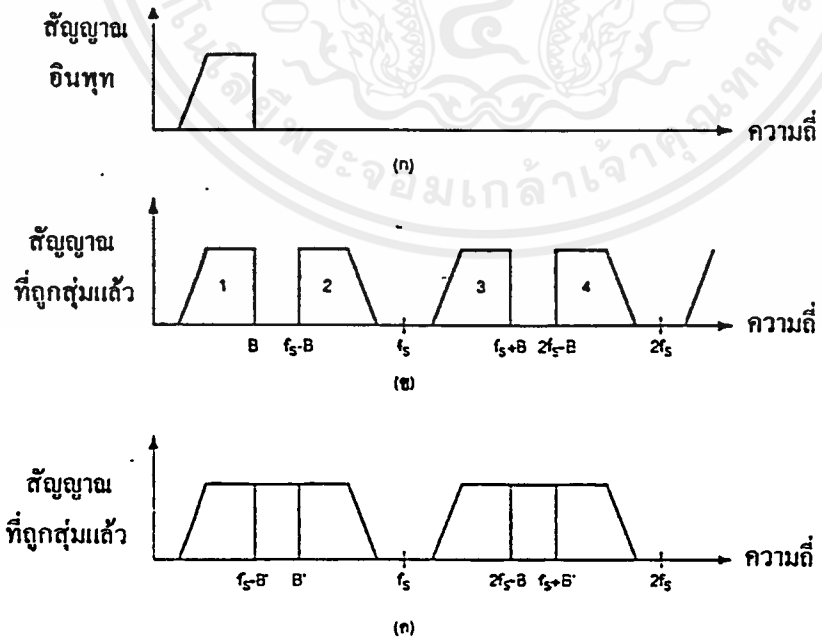
= 8,000 เฮิรตซ์

ตามข้อกำหนดของ CCITT หรือองค์การบริหารโทรคมนาคมนานาชาติ กำหนดให้ใช้ความถี่ในการสุ่มเป็น 8 กิโลเฮิรตซ์ ซึ่งหมายถึงมีการสุ่มสัญญาณจำนวน 8,000 ครั้งภายใน 1 วินาที คาบเวลาระหว่างการสุ่มแต่ละครั้งมีค่าเป็น

คาบเวลาระหว่างจุดสุ่ม = 1 / ความถี่ของการสุ่ม

= 1 / 8,000

= 125 ไมโครวินาที



รูปที่ 1.3 แสดงสเปกตรัมของสัญญาณ

(ก) สเปกตรัมของสัญญาณอะนาลอกก่อนผ่านการสุ่ม

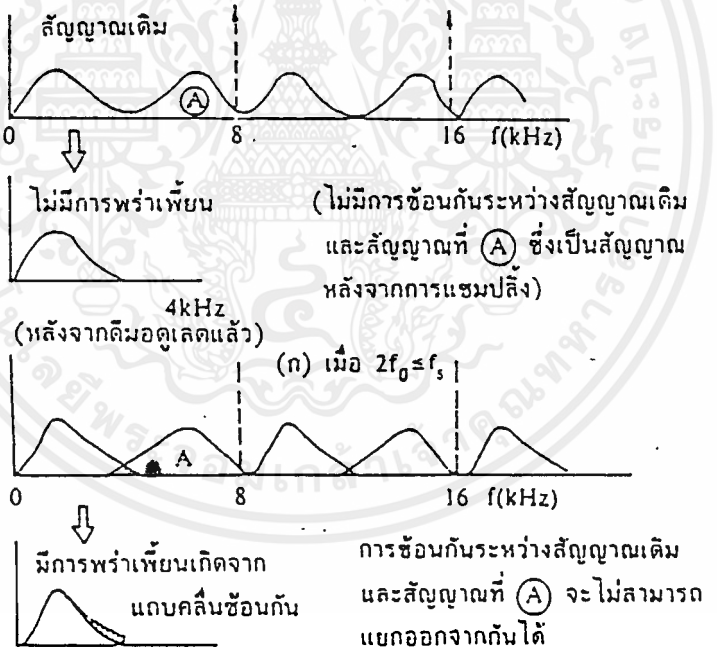
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ข) สเปกตรัมของสัญญาณที่ถูกสุ่มแล้วโดย $f_s > 2B$

(ค) สเปกตรัมของสัญญาณที่ถูกสุ่มแล้วโดย $f_s > 2B$

การพร่าเพี้ยนเกิดจากแถบคลื่นซ้อนกัน (Aliasing distortion)

ถ้าความถี่สูงสุดของสัญญาณอินพุทเป็น f0 และความถี่ที่ใช้แซมปลิ้งเป็น fs เมื่อ fs ≥ 2 fo วงจรกรองความถี่ต่ำทางด้านรับจะขจัดองค์ประกอบความถี่ที่มากกว่า fo ออกทำให้ง่ายต่อการทำสัญญาณเดิมให้กลับคืนมาได้ ตามรูป 1.4 (ก) แต่ถ้าสัญญาณอินพุท มีองค์ประกอบความถี่สูงกว่า fs/2 รวมอยู่ด้วยขบวนพัลส์ PAM ที่ได้รับจะมีสเปกตรัมเกิดขึ้น ดังแสดงไว้ในรูป (ข) จะเห็นได้ว่ามีความถี่สเปกตรัมซ้อนกันระหว่าง สัญญาณเดิมกับ LSB จึงเป็นการลำบากที่จะทำให้สัญญาณเดิมกลับคืนมาได้อย่างสมบูรณ์ แม้ว่าวงจรกรองความถี่จะกรองความถี่ที่สูงกว่า fo ออกแล้วก็ตามก็ยังคงเหลือนอยส์ปนอยู่กับสัญญาณที่ได้ดีมอดูเลตแล้ว ปรากฏการณ์เช่นนี้เรียกว่า Aliasing distortion



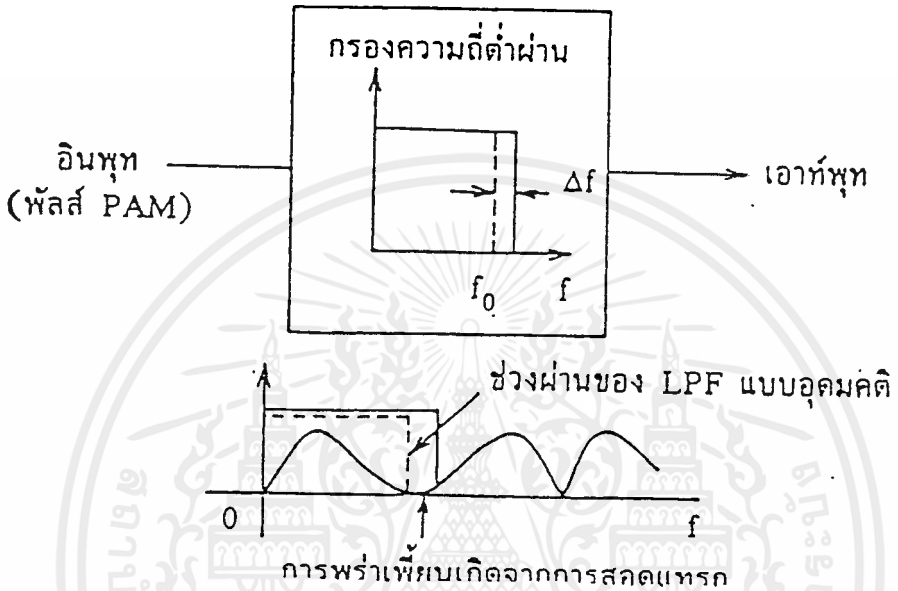
รูปที่ 1.4 การพร่าเพี้ยนเกิดจากแถบคลื่นซ้อนกัน

การพร่าเพี้ยนเกิดจากการสอดแทรก (Interpolation distortion)

การดีมอดูเลตพัลส์ PAM ทางด้านรับนั้นจะได้ LPF ตามอุดมคติ ดังที่ได้กล่าวมาแล้วข้างต้นว่า ในทางปฏิบัติไม่สามารถจะสร้างวงจรแบบนี้ได้ จึงเพียงแต่สร้างให้มีคุณลักษณะใกล้เคียงกันเท่านั้น ดังนั้นจึงไม่สามารถจะกำจัดความถี่ซึ่งสูงกว่า fo และฮาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมนิกส์ต่าง ๆ ออกไปได้ตามที่แสดงไว้ในรูป 5 สิ่งดังกล่าวเหล่านี้จะสอดแทรกเข้าไปปนกับสัญญาณที่ได้จากการดีมอดูเลต จึงเป็นผลทำให้เกิดการพร่าเพี้ยนซึ่งเรียกว่า Interpolating distortion



รูปที่ 1.5 การพร่าเพี้ยนเกิดจากการสอดแทรก

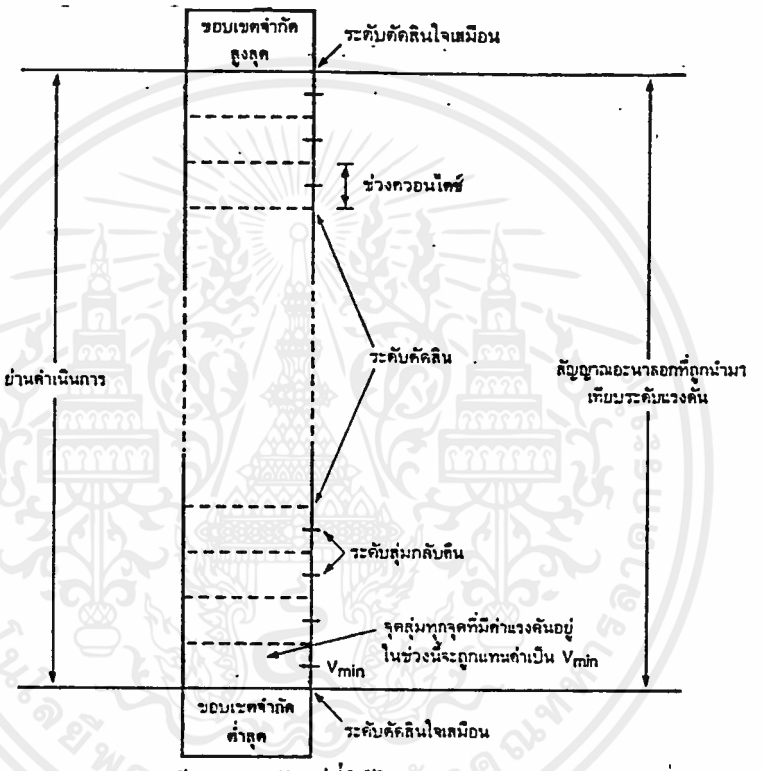
1.1.2 การเทียบระดับแรงดัน

การเทียบระดับแรงดันเป็นกระบวนการในการนำสัญญาณที่ถูกสุ่มแล้วมาจัดกลุ่มภายในระดับซึ่งเป็นช่วง ๆ เรียกว่า ช่วงควอนไตซ์ (quantizing interval) แต่ละช่วงจะถูกแทนค่าด้วยค่าคงที่มีชื่อเรียกว่าค่าควอนไตซ์ ซึ่งระดับค่าควอนไตซ์ในสถานีต้นทางและสถานีปลายทางจะเหมือนกันทุกประการ

โดยทั่วไปขั้นตอนการเทียบระดับแรงดันจะเกี่ยวข้องกับการเข้ารหัสสัญญาณอย่างมาก การจัดระดับควอนไตซ์มีจุดประสงค์หลักเพื่อปรับค่าแรงดันของสัญญาณที่ผ่านกระบวนการสุ่มสัญญาณมาแล้วให้ลงตัวกับค่าแรงดันมาตรฐานจำนวนหนึ่งที่ถูกกำหนดเตรียมไว้โดยต้องตรงกับระดับควอนไตซ์แต่ละค่า เพื่อทำการแปลงเป็นรหัสไบนารีนั่นเอง รูปที่ 6 แสดงรายละเอียดและศัพท์ที่ใช้ในกระบวนการเทียบระดับแรงดัน ซึ่งผู้อ่านควรจะทราบความหมายของศัพท์ต่าง ๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ย่านดำเนินการ เป็นย่านแรงดันซึ่งยอมให้มีการเทียบระดับแรงดันได้ สัญญาณที่ถูกสุ่มซึ่งมีระดับแรงดันอยู่ในย่านดังกล่าวจะสามารถผ่านกระบวนการนี้ไปได้โดยเกิดความคลาดเคลื่อนน้อยที่สุด ซึ่งจะกล่าวต่อไป ส่วนสัญญาณที่มีขนาดแรงดันสูงหรือต่ำกว่าย่านดำเนินการจะถูกแทนค่าด้วยระดับตัดสินใจ (จะกล่าวถึงต่อไป) สูงสุดหรือต่ำสุดที่มีได้ ภายในย่านดังกล่าวจะถูกแบ่งออกเป็นช่วงควอนไตซ์จำนวนมากในระบบโทรศัพท์ทั่วไปย่านดำเนินการจะถูกแบ่งออกเป็น 256 ช่วง

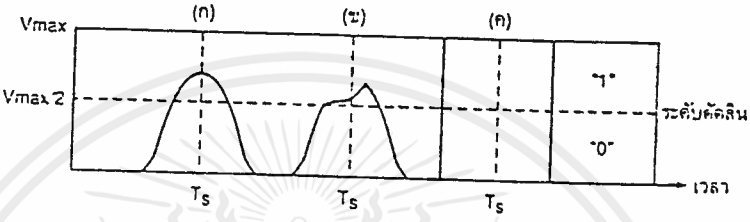


รูปที่ 1.6 แสดงรายละเอียดและศัพท์ที่ใช้ในกระบวนการเทียบระดับแรงดัน

ระดับตัดสิน เป็นค่าแรงดันอ้างอิงซึ่งถูกกำหนดโดยขอบเขตรอยต่อของช่วงควอนไตซ์คู่หนึ่ง ๆ หรือถ้าเป็นในระบบทวนสัญญาณดิจิตอล ค่าดังกล่าวจะเป็นค่าเทรชโฮลด์ระหว่างย่านแรงดัน 2 ย่าน ดังในรูปที่ 7 โดยรูปที่ 7 (ก) แสดงถึงพัลส์ที่ไม่ถูกสัญญาณรบกวน แต่เกิดการลดทอนของแรงดันอันเนื่องมาจากการลดทอนตามระยะทางของสายส่ง รูปที่ 7 (ข) แสดงถึงพัลส์ซึ่งถูกสัญญาณรบกวนในแง่ของแรงดัน ซึ่งแรงดันในขณะที่ถูกสุ่มสัญญาณมีค่ามากกว่า $V_{max}/2$ สัญญาณทั้งสองกรณีจะถูกป้อนเข้าวงจรทวนสัญญาณ ซึ่งจะทำการสุ่มสัญญาณทุก ๆ ช่วงเวลา T โดยกำหนดให้ตรงกับจุดกึ่งกลางของพัลส์ ถ้าระดับแรงดันของสัญญาณ ณ ช่วงการสุ่มมีค่ามากกว่าแรงดันระดับตัดสิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

($V_{max}/2$) วงจรทวนสัญญาณจะถือว่าตรวจพบลอจิก "1" ในทางกลับกันถ้าแรงดัน ณ จุดสุ่มมีค่าน้อยกว่าแรงดันตัดสิน วงจรทวนสัญญาณจะถือว่าตรวจพบลอจิก "0" จากตัวอย่างสัญญาณทั้งสองกรณี เมื่อผ่านเครื่องทวนสัญญาณแล้วจะถูกปรับปรุงรูปให้เป็นพัลส์สมบูรณ์แบบดังในรูปที่ 8 (ค) ในกรณีดังกล่าวค่าเทรชโฮลด์ซึ่งมีค่า $V_{max}/2$ ก็นับได้ว่าเป็นระดับตัดสินเช่นกัน



รูปที่ 1.7 แสดงการกำหนดระดับตัดสินของระบบทวนสัญญาณดิจิตอลซึ่งกำหนดย่านแรงดันตัดสินไว้ 2 ค่า

ก. แสดงพัลส์ที่ไม่ถูกสัญญาณรบกวน แต่เกิดการลดทอนสัญญาณอันเกิดจากระยะทางของสายส่ง

ข. แสดงพัลส์ที่ถูกรบกวนในแง่ของแรงดัน

ค. แสดงพัลส์ที่ถูกปรับรูปแล้วเป็นพัลส์ที่สมบูรณ์

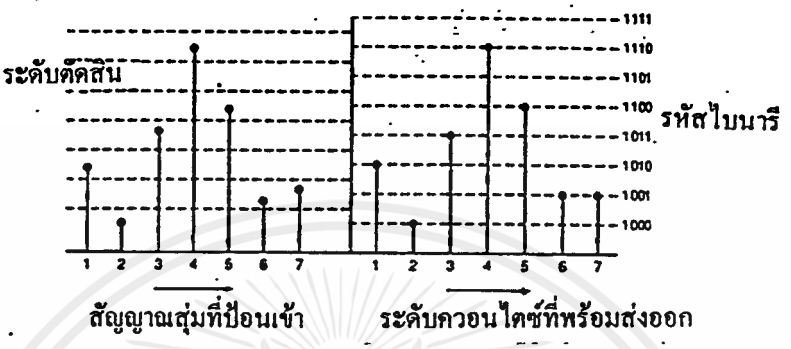
ระดับตัดสินใจเสมือน เป็นระดับตัดสินใจที่อยู่ ณ ตำแหน่งปลายสุดของย่านดำเนินการ ค่าดังกล่าวกำหนดขอบเขตขนาดของสัญญาณซึ่งสามารถผ่านการเทียบระดับไปได้โดยไม่เกิดการขลิบขนาดของสัญญาณ โดยจะเกิดขึ้นเมื่อสัญญาณที่ถูกสุ่มมีระดับเกินกว่าระดับตัดสินใจเสมือน

ระดับสุ่มกลับคืน เป็นระดับควอนไตซ์ซึ่งถูกสร้างขึ้นที่เอาต์พุตของวงจรถอดรหัสของเครื่องรับปลายทาง ค่าแรงดันดังกล่าวเกิดจากการป้อนรหัสไบนารีที่ส่งจากสถานีต้นทางไปยังเครื่องรับปลายทาง วงจรถอดรหัสจะทำการแทนค่ารหัสไบนารีซึ่งถูกป้อนเข้ามาด้วยระดับสุ่มกลับคืน แล้วทำการส่งไปเข้าวงจรกรองความถี่ต่ำผ่านเพื่อสร้างสัญญาณต้นฉบับกลับคืนมา

เมื่อสัญญาณที่ผ่านกระบวนการสุ่มถูกป้อนเข้าวงจรควอนไตซ์ ระดับแรงดัน ณ จุดสุ่มนั้นจะถูกนำมาจัดเข้าในช่วงควอนไตซ์ที่เหมาะสม สมมติว่าระดับดังกล่าวมีค่าแรงดันในช่วง V_q ถึง V_{q+1} วงจรจะถือว่าค่าควอนไตซ์ของสัญญาณ ณ จุดนั้นมีค่าเป็นค่าควอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไตซ์ภายในช่วงแรงดันนั้นไม่ว่าแรงดัน ณ จุดสุ่มใด ๆ ก็ตามที่อยู่ในช่วง V_n ถึง V_{n-1} ก็จะถูกแทนค่าด้วยค่าควอนไตซ์เดียวกัน



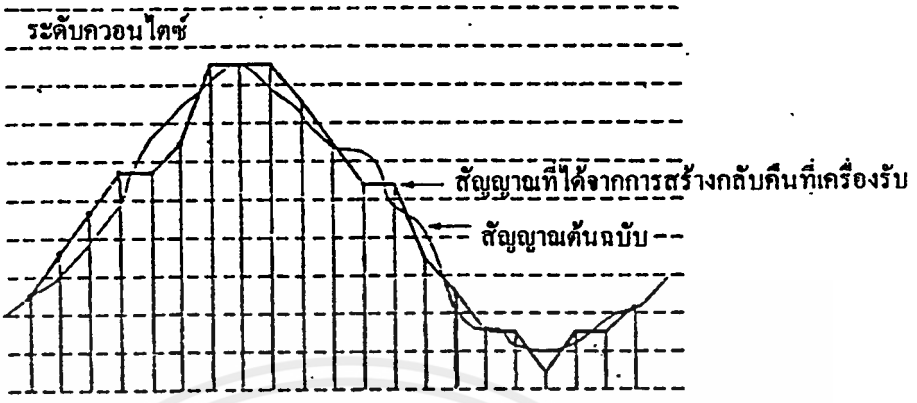
รูปที่ 1.8 การควอนไตซ์แบบระดับคงที่ พร้อมการแปลงค่าเป็นรหัสไบนารีขนาด 4 บิต

การจัดระดับควอนไตซ์ตามที่กล่าวมาเป็นรูปแบบที่ช่วงควอนไตซ์แต่ละช่วงมีค่าเท่ากัน รูปที่ 8 แสดงถึงลักษณะการแปลงสัญญาณที่ผ่านกระบวนการสุ่มมาแล้วให้อยู่ในระดับควอนไตซ์ ซึ่ งแทนค่าด้วยข้อมูลไบนารีขนาด 4 บิต ตามข้อกำหนดพีซีเอ็มของ CCITT และทวีปอเมริกาเหนือ กำหนดให้ขนาดของข้อมูลที่ใช้แทนแต่ละระดับควอนไตซ์มีขนาด 8 บิต โดยที่บิตแรก (บิตซ้ายสุด) กำหนดขั้วของสัญญาณอีก 7 บิตที่เหลือกำหนดขนาดของสัญญาณ ดังนั้นจึงสามารถสร้างระดับควอนไตซ์ได้ถึง $2^8 = 256$ ระดับ

การผิดเพี้ยนของสัญญาณที่เกิดจากการควอนไตซ์เป็นเรื่องที่หลีกเลี่ยงไม่ได้ทั้งนี้เนื่องจากหากพิจารณาถึงเครื่องรับปลายทาง สัญญาณอะนาลอกซึ่งถูกสร้างกลับมาจากกลุ่มของสัญญาณสุ่มจะมีรูปร่างผิดเพี้ยนไปจากสัญญาณอะนาลอกต้นฉบับซึ่งถูกส่งไปที่ต้นทาง อันเนื่องมาจากกระบวนการแทนค่าแรงดันของสัญญาณสุ่มให้เป็นระดับควอนไตซ์ ณ สถานีต้นทาง ซึ่งระดับควอนไตซ์ดังกล่าวมีอยู่เป็นจำนวนจำกัด สัญญาณที่ป้อนเข้าจึงถูกแทนค่าโดยการประมาณ ดังแสดงในรูปที่ 9

สมมติว่ามีระดับควอนไตซ์อยู่ 256 ระดับ และกำหนดย่านแรงดันป้อนเข้าให้อยู่ในช่วง 0-2.56 โวลท์ พบว่าระดับควอนไตซ์แต่ละขั้นจะอยู่ห่างกัน 10 มิลลิเมตรดังนั้นถ้าสัญญาณสุ่มที่ถูกป้อนเข้ากับสัญญาณสุ่มที่มีขนาดแรงดันอยู่ในช่วงแรงดันตัดสิน 140-150 โวลท์ จะถูกแทนค่าที่ระดับแรงดันควอนไตซ์ 145 มิลลิ โวลท์เหมือนกันทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.9 แสดงการผิดเพี้ยนของสัญญาณที่ถูกแทนค่ากลับที่เครื่องรับปลายทาง

สมมติว่ามีระดับควอนไตซ์อยู่ 256 ระดับ และกำหนดย่านแรงดันป้อนเข้าให้อยู่ในช่วง 0 ถึง 2.56 โวลต์ พบว่าระดับควอนไตซ์แต่ละขั้นจะอยู่ห่างกัน 10 มิลลิโวลต์ ดังนั้นถ้าสัญญาณสุ่มที่มีขนาดแรงดันอยู่ในช่วงแรงดันตัดสิน 140 ถึง 150 มิลลิโวลต์ จะถูกแทนค่าที่ระดับแรงดันควอนไตซ์ 145 มิลลิโวลต์เหมือนกันทั้งหมด ผลต่างระหว่างสัญญาณสุ่มที่ถูกป้อนเข้ากับสัญญาณที่ถูกแปลงกลับคืนที่เครื่องรับถูกเรียกว่า สัญญาณรบกวนควอนไตซ์ การลดผลของสัญญาณรบกวนควอนไตซ์ทำได้โดยเพิ่มจำนวนขั้นของระดับควอนไตซ์ให้มากขึ้น อย่างไรก็ตามการเพิ่มระดับควอนไตซ์ส่งผลให้มีการเพิ่มจำนวนของบิตที่แทนค่าระดับควอนไตซ์ซึ่งจะทำให้ความกว้างของพัลส์ของข้อมูลไบนารีที่จะถูกส่งผ่านเครือข่ายแคบลงในกรณีที่ต้องการส่งข้อมูลด้วยอัตราเร็วเท่าเดิม อันเป็นการลดจำนวนช่องสัญญาณที่จะสามารถส่งแบบมัลติเพล็กซ์ไปพร้อมกันได้

หากพิจารณาถึงอัตราส่วนสัญญาณต่อระดับแรงดันรบกวน (S/N Signal to noise ratio) ที่เกิดจากควอนไตซ์ในระบบพีซีเอ็ม จะสามารถคำนวณได้โดยมีค่าเท่ากับ

(S/N) เดซิเบล = (6 * N + 1.76)

โดยที่ N เป็นจำนวนบิตที่ใช้แทนระดับควอนไตซ์ ทั้งนี้สมการดังกล่าวใช้ได้ในกรณีที่ช่วงควอนไตซ์ถูกกำหนดให้มีระยะห่างเท่ากัน หรือเป็นการควอนไตซ์แบบคงที่ (uniform qualtization) พบว่าค่า S/N ในหน่วยเดซิเบลมีการแปรค่าไปตามจำนวนบิทแต่ละระดับควอนไตซ์ หรือตามแบนวิดธ์ของการส่งนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบสื่อสารโดยทั่วไป การส่งสัญญาณผ่านสื่อกลางประเภทต่างๆ จะต้องรักษาค่า S/N ของสัญญาณที่จะทำการส่งให้มีค่าไม่น้อยกว่า 60 เดซิเบล นั่นคือ อัตราส่วนระหว่างสัญญาณเสียงและสัญญาณรบกวนต้องมีค่ามากกว่า 1000 เท่า จะเห็นว่าสำหรับการจัดระดับควอนไตซ์แบบคงที่ จำนวนบิทที่จะใช้แทนแต่ละระดับควอนไตซ์ต้องมีอย่างน้อยที่สุด 10 บิท หรือมี 1024 ระดับควอนไตซ์ สำหรับการจัดระดับควอนไตซ์แบบคงที่ จะพบว่าเกิดปัญหาของสัญญาณรบกวนควอนไตซ์ขึ้นที่ระดับสัญญาณต่ำๆ มากกว่าควอนไตซ์ขึ้นที่ระดับสัญญาณที่มีค่าแรงดันสูง เนื่องจากมีการวิจัยพบว่าในระบบโทรศัพท์ทั่วๆ ไปนั้น โอกาสที่จะพบระดับเสียงต่ำๆ มีมากกว่าระดับเสียงค่อนข้างดัง ด้วยเหตุดังกล่าวจึงควรที่จะมีการขยายขนาดของสัญญาณที่มีระดับต่ำให้มากกว่าสัญญาณระดับสูง ทั้งนี้เพื่อควบคุมค่าS/N ให้เกิดขึ้นในระดับคงที่ตลอดทุกระดับสัญญาณ วิธีการสำหรับระบบสื่อสารแบบอนาลอกจะกระทำโดยการลดไดนามิกเรนจ์(compressing) ของสัญญาณเสียงที่ปลายด้านเครื่องส่ง และขยายไดนามิกเรนจ์ของสัญญาณเสียงที่ทางเข้าของเครื่องรับ (expanding) ซึ่งรวมเรียกว่า คอมแพนดิ้ง(companding)

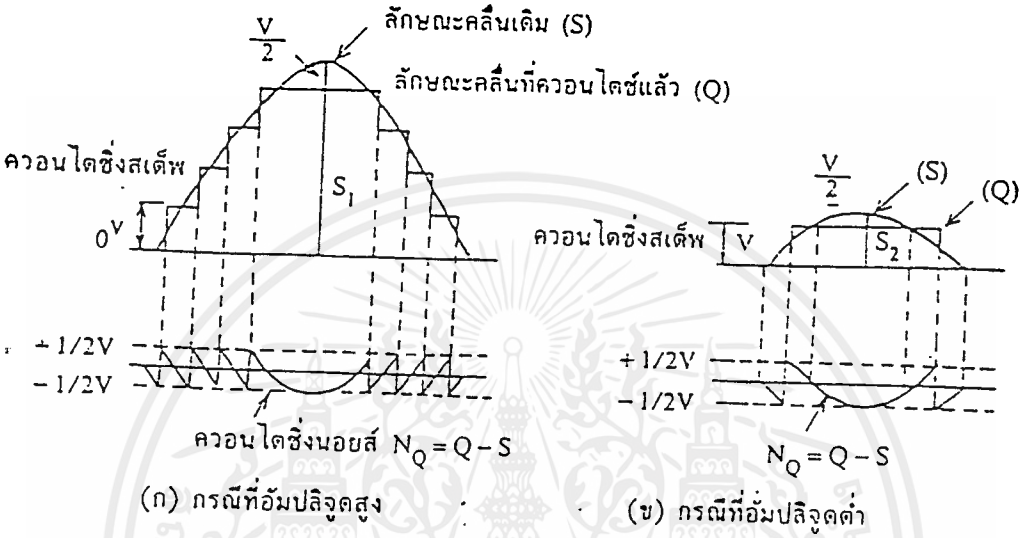
ในกรณีของการรับส่งแบบพีซีเอ็มก็จะใช้กระบวนการที่คล้ายคลึงโดยการเพิ่ มระยะห่างของระดับควอนไตซ์ที่ระดับสัญญาณสูงๆ และลดระยะห่างควอนไตซ์ที่ระดับสัญญาณต่ำๆ ให้แคบลง ในการนี้จำเป็นจะต้องใช้การจัดระดับควอนไตซ์แบบไม่คงที่เพื่อให้ได้คุณ ลักษณะเช่นเดียวกับวงจรคอมแพนดิ้ง

<u>คอมแพนดิ้ง(Companding)</u>

ตามที่กล่าวแล้วว่า เราไม่สามารถหลีกเลี่ยงควอนไตซิ่งนอยส์ที่เกิดขึ้นได้ แต่จะต้องทำให้ลดลง โดยการลดควอนไตซิงอินเทอร์วัล หรือการเพิ่มจำนวนระดับนั่นเอง แต่เมื่อเพิ่มระดับขึ้นแล้ว จำนวนบิทที่จะใช้เพิ่มขึ้นจึงจำเป็นที่จะต้องใช้ความเร็วในการส่ง สัญญาณดิจิตอลให้สูงขึ้น ตามปกติควอนไตซิ่งนอยส์จะเกิดขึ้นอย่างสม่ำเสมอในทุกอินเทอร์วัล โดยทุกแอมปลิจูดของสัญญาณเดิม หรือ กล่าวอีกนัยหนึ่งคือ พาวเวอร์ของควอนไตซิ่งนอยส์เกือบจะคงที่โดยไม่ขึ้นอยู่กับสัญญาณ และในการวัดคุณภาพของการเข้ารหัสของสัญญาณจะใช้อัตราส่วนของสัญญาณ S ต่อควอนไตซิงนอยส์ Nq เมื่อเป็นเช่นนี้จะเข้าใจได้ว่า ในกรณีที่สัญญาณมีระดับสูง S/Nq จะดีกว่ากรณีของสัญญาณมีระดับต่ำ ดังนั้นจึงจำเป็นต้องพิจารณาควอนไตซิงนอยส์ ในบริเวณที่สัญญาณมีระดับต่ำ กรณีที่เป็นการจัดระดับแบบยูนิฟอร์ม จะเห็นได้ว่าเมื่อสัญญาณมีพาวเวอร์ต่ำ นอยส์จะมีระดับสูงเมื่อเปรียบเทียบกับระดับของสัญญาณจึงทำให้ S/Nq เลวลง ด้วยเหตุนี้จึงใช้การจัดระดับโดยวิธีอื่น กล่าวคือแบบนอน

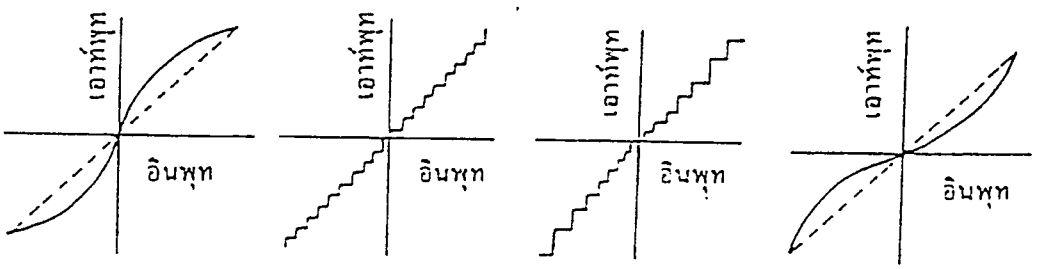
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยูนิฟอร์ม (Non-uniform Quantizing) **คือบริเวณที่สัญญาณมีแอมปลิจูดต่ำ จะใช้ควอนไต ซึ่งสเต็พแบบแคบ ๆ และในทางตรงกันข้าม บริเวณที่สัญญาณมีแอมปลิจูดสูง จะใช้ควอนไตซิงสเต็พกว้าง ๆ**



รูปที่ 1.10 การควอนไตซ์และควอนไตซิ่งนอยส์

Companding เป็นชื่อรวมของวงจรคอมเพรสเซอร์ซึ่งใช้สำหรับด้านส่งและวงจรเอ็กแพนเดอร์ซึ่งใช้สำหรับด้านรับ อย่างไรก็ตามตัวอย่างการจัดระดับควอนไตซ์แบบนอนยูนิฟอร์มได้แสดงดังรูปต่อไป ซึ่งมีขั้นตอนคือ ก่อนที่จะทำการจัดระดับจะผ่านสัญญาณไปยังวงจรคอมเพรสเซอร์ ซึ่งมีลักษณะอินพุท/เอาท์พุทตามรูป ก. แล้วทำการจัดระดับแบบยูนิฟอร์มตามรูป ข. แล้วทำการจัดระดับ แบบนอนยูนิฟอร์มตามรูป ค. สำหรับทางด้านรับนั้น เมื่อสัญญาณดิจิตอลผ่านขั้นตอนการถอดรหัสแล้ว จะผ่านไปยังวงจรเอ็กแพนเดอร์ ซึ่งมีลักษณะตรงข้ามกับคอมเพรสเซอร์



(ก) คอมเพรสชั่น (ข) ยูนิฟอร์มควอนไตซิ่ง (ค) นอนยูนิฟอร์มควอนไตซิ่ง (ง) เอ็กซ์แพ็นชั่น

รูปที่ 1.11 คุณลักษณะการจัดระดับด้วยคอมเพรสเซอร์และเอกซ์แพนเดอร์

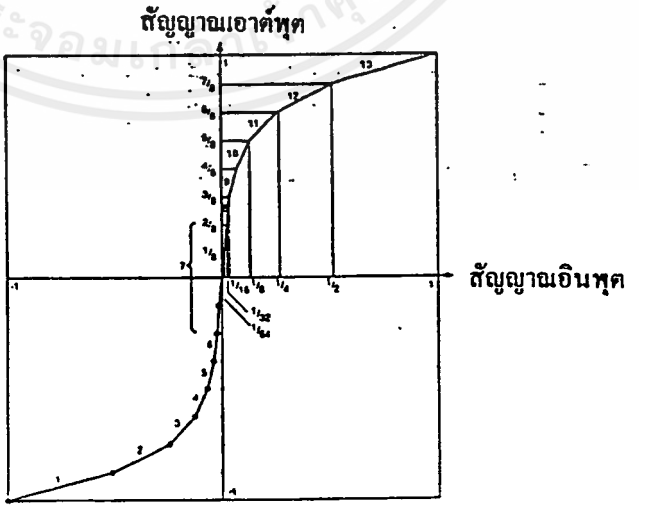
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควอนไตซ์แบบไม่คงที่

เป็นการจัดระดับควอนไตซ์โดยกำหนดให้ระยะห่างระหว่างระดับควอนไตซ์ที่ระดับสัญญาณต่ำๆ มีค่าน้อย และจะเพิ่มค่าขึ้นเรื่อยๆ เมื่อระดับสัญญาณมีขนาดสูงขึ้นเพื่อเป็นการควบคุมให้ค่าของ S/N มีค่าคงที่ไม่แปรผันไปตามขนาดของสัญญาณ ซึ่งจะพบวิธีการดังกล่าวในระบบโทรศัพท์ทั่วโลก ทั้งนี้ กระบวนการควอนไตซ์ในเครื่องรับจะต้องกระทำในลักษณะย้อนกลับกันกับเครื่องส่ง เพื่อให้สัญญาณที่ถูกส่งผ่านเครือข่ายไม่มีการผิดเพี้ยน เรียกกระบวนการจัดระดับในลักษณะดังกล่าวว่า คอมแพนดิ้ง

คอมแพนดิ้งกระทำโดยการบีบอัดสัญญาณก่อน แล้วจึงตามด้วยการขยายสัญญาณ การบีบอัดสัญญาณเป็นกระบวนการซึ่งควบคุมอัตราขยายสัญญาณให้มีการเปลี่ยนแปลงไปตามขนาดสัญญาณที่ถูกป้อนเข้า อัตราขยายจะมีค่ามากที่ระดับแรงดันอินพุตต่ำๆ และจะมีค่ น้อยที่ระดับแรงดันสูง ส่วนการขยายสัญญาณก็เป็นกระบวนการย้อนกลับกันกับการบีบอัดสัญญาณ

กระบวนการดังกล่าวได้ถูกนำมาใช้กับการจัดระดับควอนไตซ์เพื่อสร้างรูปแบบของการควอนไตซ์แบบไม่คงที่ ดังนั้น CCITT จึงวางข้อกำหนดรูปแบบของฟังก์ชันการบีบอัดให้มีลักษณะเป็นลอการิธึม (logarithm) และให้ผู้ผลิตอุปกรณ์แต่ละรายยึดถือรูปแบบตามข้อกำหนดเพื่อสร้างความเป็นมาตรฐาน ลักษณะกราฟความสัมพันธ์ของการบีบอัดแบบลอการิทึมที่ใช้กันอยู่เกิดจากการประมาณค่า โดยแบ่งส่วนของกราฟออกเป็นส่วนของเส้นตรงย่อยๆ 13 ส่วน ดังแสดงในรูปที่ 12



รูปที่ 1.12 กราฟแสดงคุณสมบัติของคอมแพนเดอร์ โดยแบ่งความสัมพันธ์ระหว่างระดับสัญญาณอินพุตและเอาต์พุตเป็น 13 ช่อง ตามมาตรฐาน A-law

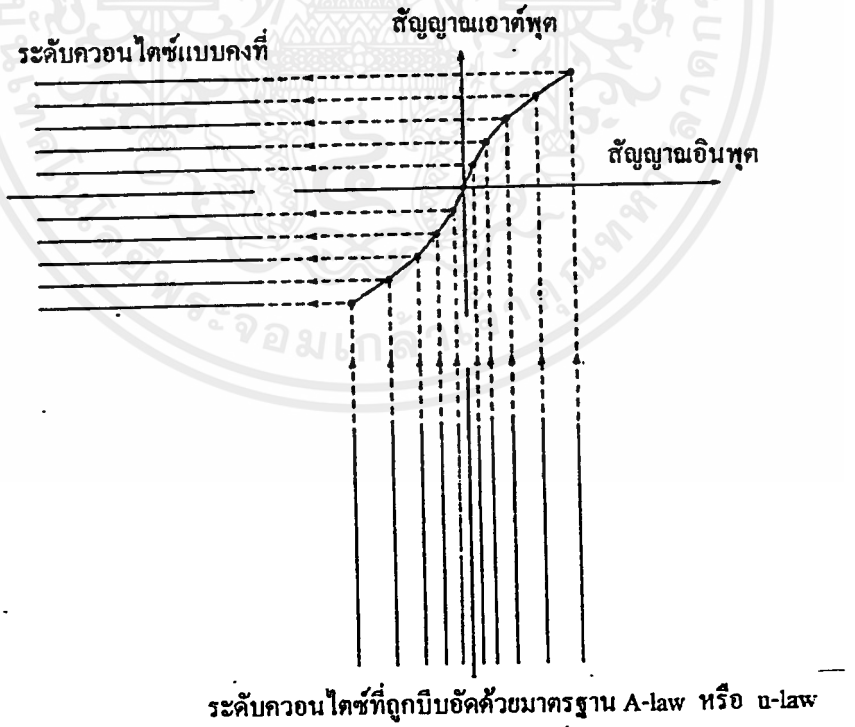
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป เป็นชนิด A-law โดยกำหนดค่า A เท่ากับ 87.6 การจัดระดับควอนไตซ์โดยยึดตามกราฟ A-law จะเพิ่มค่า S/N ขึ้นอีกถึง 26 เดซิบล ในกรณีที่ใช้การแทนค่า 8 บิต โดยสมการกำหนดคุณลักษณะของคอมแพนเดอร์แบบ A-law คือ

$$Y = 1+\ln Ax/1+\ln A \quad \text{เมื่อ } 1/A < x < 1$$

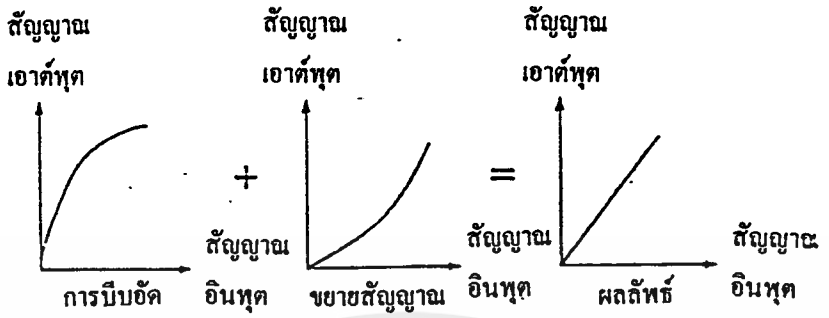
$$Y = Ax/1+\ln A \quad \text{เมื่อ } 0 < x < 1/A$$

โดยที่ x เป็นระดับสัญญาณก่อนเข้าสู่วงจรบีบอัดสัญญาณ Y เป็นระดับสัญญาณหลังจากผ่านวงจรบีบอัดสัญญาณแล้ว และ ln เป็นเครื่องหมายแสดงฟังก์ชันลอการิทึมธรรมชาติ ผลของการบีบอัดสามารถแสดงให้เห็นในรูปของการจัดระดับควอนไตซ์แบบไม่คงที่ ในรูปถัดมา



รูปที่ 1.13 แสดงความสัมพันธ์ระหว่างการจัดระดับควอนไตซ์ที่ผ่านกระบวนการบีบอัดข้อมูลตามมาตรฐาน CCITT กับระดับควอนไตซ์แบบคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.14 แสดงผลหลังจากผ่านการบีบอัดและขยายสัญญาณ

นอกจากรูปแบบการบีบอัดข้อมูลแบบ Alaw .ซึ่งใช้กันในวงการสื่อสารของทวีปอเมริกาหนือและประเทศญี่ปุ่นแล้วยังมีมาตรฐานแบบ u-law ซึ่งใช้กันอย่าง แพร่หลายในยุโรปและประเทศไทย สามารถเขียนเป็นสมการแทนการบีบอัดได้ดังนี้

$$Y = \text{sgn}(x) \frac{\ln(1+\mu x)}{\ln(1+\mu)}$$

ซึ่ง x เป็นระดับสัญญาณก่อนเข้าวงจรบีบอัดสัญญาณ. Y เป็นระดับสัญญาณ Y เป็นระดับสัญญาณหลังผ่านการบีบอัดแล้ว, sgn(x) เป็นฟังก์ชันแทนค่าเครื่องหมายแสดงขั้วของค่าแรงดันเข้า x และ μ เป็นค่าดรรชนีการบีบอัด ผลของการบีบอัดแบบ u-law มีลักษณะมีลักษณะคล้ายคลึงกับแบบA-law มาก รูปที่ 14 แสดงให้เห็นถึงผลลัพธ์ที่เกิดจากการบีบอัดสัญญาณที่ถูกป้อนเข้าเครื่องส่งและสัญญาณที่ออกจากเครื่องรับต่างก็ไม่มีส่วนใดส่วนหนึ่งผิดเพี้ยนกันไป ดังในรูปที่ 14 (ค) แสดงให้เห็นว่า ความสัมพันธ์ระหว่างสัญญาณเข้าที่เครื่องส่งกับสัญญาณออกที่เครื่องรับเป็นความสัมพันธ์แบบเชิงเส้น

1.1.3 การเข้ารหัส (Coding)

หลังจากขบวนพัลส์ PAM ได้ผ่านขั้น ตอน การจัดระดับมาแล้ว จะต้อง เปลี่ยนขนาดเหล่านั้นให้เป็นรหัสไบนารี (Binary Codes) กรณีที่เป็นสัญญาณเสียงสำหรับการส่งโทรศัพท์ จะถูกเปลี่ยนเป็น รหัส 8 บิท ซึ่งสามารถแสดงค่าแอมปลิจูดได้ 2^8 (=256) ระบบการเข้า รหัสจ ะมีหลาย ๆ แบบ แต่ส่วนมากจะใช้กัน 3 แบบ ดังแสดงไว้ในตารางที่ 1 ซึ่งแสดงไว้เพียง 3 บิท เพื่อง่ายต่อการเข้าใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับการควอนไตซ์	รหัสไบนารีธรรมดา	รหัสไบนารี แบบเกรย์	รหัสไบนารี แบบสมมาตร
0	000	000	011
1	001	001	010
2	010	011	001
3	011	010	000
4	100	110	100
5	101	111	101
6	110	101	110
7	111	100	111

ตารางที่ 1 รหัสไบนารีแบบต่าง ๆ

รหัสไบนารีแบบธรรมดา (Natural binary code) จะใช้สัมประสิทธิ์ $a_1, a_2, \ldots a_n$ จากสมการแสดงขนาดของแอมปลิจูดของสัญญาณ m เป็นรหัสโดยตรง คือ

$$m = a_1.2^{n-1} + a_2.2^{n-2} + \ldots\ldots + a_n.2^0$$

รหัสไบนารีแบบเกรย์ (Gray code) เป็นการเข้ารหัสโดยที่รหัสข้างเคียงซึ่งสอดคล้องกับระดับข้างเคียงจะมีบิทซึ่งแตกต่างกันเพียงตำแหน่งเดียวเท่านั้น

รหัสไบนารีแบบสมมาตร (Symmetrical binary code) ในรหัสนี้ บิทแรกจะชี้ว่าสัญญาณจะเป็นบวกหรือลบ บิทที่ 2 จนถึง บิทสุดท้าย จะแสดงค่าสมบูรณ์ของสัญญาณแล้วนำมาจัดเรียงใหม่อย่างสมมาตรจากกึ่งกลางของระดับควอนไตซ์ไปถึงระดับสูงสุดหรือระดับต่ำสุด ดังนั้น การเข้ารหัสแบบนี้จึงเหมาะสมที่จะใช้แสดงสัญญาณที่อยู่ในรูปของไบโพลาร์

ตามที่ได้กล่าวมาแล้วข้างต้น ไม่ว่ าจะเป็นการเข้ารหัสแบบใดก็ตามเมื่อบิทใด ๆ เกิดการผิดพลาด เนื่องจากนอยส์ในช่องสัญญาณแล้ว เมื่อสัญญาณอนาล็อกถูกสร้างกลับมาใหม่ ที่ ด้านรับ S/N ซึ่งเลวอยู่แล้ว มีค่าแตกต่างกันเป็นอย่างมาก เมื่อบิทที่ผิดพลาดมีตำแหน่งต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อนึ่ง ความสัมพันธ์ระหว่างอัตราการผิดพลาด (error rate) และ S/N จะแตกต่างกัน เมื่อโครงสร้างของสัญญาณต่างกัน และโดยทั่วไปแล้ว การผิดพลาดของรหัส จะมีน้อยส์อย่างพอเพียงและผลที่เกิดจากควอนไตซ์ซึ่งนอยส์จะมีมากกว่าผลที่เกิดจากบิทเออเรอร์

การเข้ารหัสของเสียงอย่างมีประสิทธิภาพสูง (High-Efficiency Voice Coding)

หลักการของ High-Efficiency Voice Coding (HEVC)

ระบบการเข้ารหัสของ PCM นั้น โดยทั่วไปจะนำไปใช้ กับโครงข่ายสื่อสาร ที่เกี่ยวกับการเข้ารหัสของสัญญาณเสียงในขั้นแรกจะถูกเปลี่ยนแปลงไปใน รูปของข่าวสารทางดิจิตอลด้วยความเร็ว 64 kb/s และเมื่อสัญญาณอนาลอกถูกเปลี่ยนให้เป็นดิจิตอลนั้นจะเกิดควอนไตซิ่งนอยส์ เสมอ เมื่อเป็นเช่นนี้ การเปลี่ยนสัญญาณเสียงที่มีแบนด์วิดธ์ 4 Khz จากอนาล็อกให้เป็นดิจิตอล ต้องใช้ความเร็วประมาณ 100 kb/s จึงจะทำให้ควอนไตซิ่งนอยส์ลดลงและเป็นผลทำให้คุณภาพของสัญญาณดีขึ้นมาได้แต่อย่างไรก็ตามก็จำเป็นต้องทำให้อัตราการส่งนั้น ต่ำพอที่จะรักษาคุณภาพที่ต้องการไว้ได้ ดังนั้น ตามที่ทราบมาแล้วว่าระบบการเข้ารหัสของ PCM ซึ่งใช้ในทางปฏิบัตินั้นได้นำคอมแพนเดอร์มาใช้ เพื่อรักษาคุณภาพของสัญญาณให้เหมือนกับการจัดระดับแบบยูนิฟอร์ม สิ่งนี้ก็เป็นหลักการหนึ่งในความคิดอย่างกว้าง ๆ ของ HEVC ซึ่งถูกนำมาใช้เป็นระบบมาตรฐานสากล

คุณสมบัติของสัญญาณเสียงและการกดส่วนเกิน

เนื่องจากมนุษย์เป็นแหล่งกำเนิดในการส่งและรับข่าวสารด้วยเสียงจึงพิจารณาได้ว่าสัญญาณเสียงจะมีส่วนเกิน (redundancy) ของปริมาณข่าวสารอยู่บ้าง ในการส่งหรือเก็บสัญญาณเสียงนั้น ถ้ าเป็นไปได้ก็ไม่จำเป็นต้องเก็บข้อมูลให้หมดอย่างสมบูรณ์ แต่ว่าในขณะเดียวกันต้องสามารถรับได้อย่างมีประสิทธิภาพสูงด้วย ถ้าข่าวสารที่เกินความจำเป็นถูกกดไว้ แม้ว่าจะใช้อัตราการส่งซึ่งต่ำกว่าอย่างเช่น 32 kb/s หรือ 16 kb/s ก็สามารถรักษาคุณภาพ ในการ ส่งสัญญาณได้ดีเท่ากับที่ส่งด้วยความเร็ว 64 kb/s หรือไม่อาจจะมีคุณภาพ ที่สูงกว่าความเร็ว 64 kb/s ก็ได้ ถ้าการ พัฒนาเป็นไปอย่างจริงจังแล้ว อาจเป็นไปได้ว่า ที่จะใช้เส้นทางการส่งสัญญาณและหน่วยความจำให้มีประสิทธิภาพยิ่งขึ้นได้ ดังนั้น การวิจัย และพัฒนา กระทำต่อเนื่องไปถึงการพัฒนาระบบ HEVC ให้เป็นมาตรฐาน ซึ่งจะลดส่วนเกินของเสียงมนุษย์และกดสัญญาณเสียงอย่างมีประสิทธิภาพ

ต่อไปนี้จะกล่าวถึงคุณลักษณะของสัญญาณเสียงและการได้ยินเสียงของมนุษย์ตลอดจนถึงเทคนิคการลดส่วนเกินของสัญญาณเสียงซึ่งได้พัฒนาขึ้นจากการใช้คุณลักษณะดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณลักษณะของสัญญาณเสียง

1) ระดับแอมปลิจูดของสัญญาณที่มีขนาดต่ำจะเกิดขึ้นบ่อย

2) ระดับของสัญญาณจะเปลี่ยนแปลงอย่างมากไปกับเวลา

3) สเปกตรัมความถี่จะไม่เป็นยูนิฟอร์ม และแนวโน้มของพาวเวอร์ของเสียงส่วนใหญ่อยู่ในบริเวณความถี่ต่ำ

4) เมื่อแซมปลิ้งสัญญาณเสียงเพื่อทำให้เป็นดิจิตอลนั้น แซมเปิ้ลระหว่างตัวข้างเคียงจะมีความคล้ายคลึงกันอย่างมาก

5) สัญญาณเสียงในขณะที่สนทนากันจะมีคาบเวลา (pitch)

คุณลักษณะของการได้ยินเสียงของมนุษย์

1) เมื่อสัญญาณมีพาวเวอร์สูง (เสียงดัง) ควอนไตซิ่งนอยส์จะถูกกดโดยสัญญาณไว้ ซึ่งความเป็นจริงแล้วจะไม่ได้ยินนอยส์นี้เลย

2) โดยการสังเกตอย่างแน่ชัดว่าจะได้ยินเสียงแตกต่างกันในแต่ละความถี่ แต่จะได้ยินชัดที่สุดในบริเวณใกล้กับความถี่ 0.8Khz ส่วนความถี่ที่อยู่นอกเหนือจากนี้จะมีผลการได้ยินน้อย

3) ถ้าข่าวสารที่มีหรือขาด คาบเวลาของเสียงก็ดี หรือ pitch ของสัญญาณเสียงและสเปกตรัมของเสียงก็ดี ถูกรักษาไว้อย่างแน่ชัดแล้ว เสียงที่ได้ยินนั้นจะมีลักษณะใกล้เคียงกับสัญญาณเดิม เทคนิคการกดส่วนเกินของเสียง โดยอาศัยคุณลักษณะของสัญญาณเสียงและการได้ยินดังกล่าวข้างต้นมีดังนี้

<u>การจัดระดับแบบอแดพทิฟว์ (Adaptive Quantizing)</u>

กระทำโดยการเปลี่ยนขนาดของควอนไตซิ่งสเต็พให้เป็นไปตามระดับของสัญญาณ อย่างเช่น ทำให้ขนาดของสเต็พห่างขึ้นเมื่อมีระดับสัญญาณสูงวิธีนี้จะหลีกเลี่ยงการเพิ่มของควอนไตซิ่งนอยส์อย่างมีประสิทธิภาพ อย่างเช่นทำให้ขนาดสเต็พห่างขึ้นเมื่อมีระดับสัญญาณสูง วิธีนี้จะหลีกเลี่ยงการเพิ่มของควอนไตซิ่งนอยส์อย่างมีประสิทธิภาพ และในขณะเดียวกันก็สามารถลดบิทเรทด้วย แต่ยังใช้ได้ผลดีและจะไม่ทำให้ S/N เพิ่มขึ้นแต่อย่างใด ดังนั้น วิธีนี้จึงนำไปใช้กับระบบ HEVC เกือบทุกชนิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเข้ารหัสโดยการคาดคะเน (Predictive Coding)

วิธีนี้เป็นการคาดคะเนสัญญาณอินพุทปัจจุบัน จากสัญญาณอินพุทตัวก่อนโดยการใช้ความคล้ายคลึง (Correlation) ระหว่างระยะห่างของแซมเปิ้ลข้างเคียงหรือ pitch เมื่อมีสัญญาณจริงเข้ามา จึงหาผลต่างระหว่างสัญญาณจริงนี้ กับสัญญาณที่คาดคะเนได้ แล้วทำรหัสส่งออกไปโดยอาศัยวิธีนี้ จะทำให้แอมปลิจูดของสัญญาณที่คาดคะเนได้มีขนาดน้อยกว่าแอมปลิจูดของสัญญาณอินพุท จึงสามารถกดปริมาณข่าวสารได้

การแบ่งตามแถบความถี่ (Band Division)

สัญญาณอินพุทจะถูกแบ่งให้เป็นหลายแถบความถี่ ขั้นตอนการเข้ารหัสและการจัดบิทต่าง ๆ ของส่วนที่มีความสำคัญของทุกแถบความถี่จะถูกกำหนดไว้เป็นอิสระแก่กัน จึงสามารถกดปริมาณข่าวสารทั้งหมดได้

การแบ่งตามเวลา (Time Division)

สัญญาณอินพุทจะถูกแบ่งเป็นช่วง ๆ ตามแกนเวลา และทำการจัดบิทตามเพาเวอร์ของสัญญาณในแต่ละช่วงเหล่านั้น

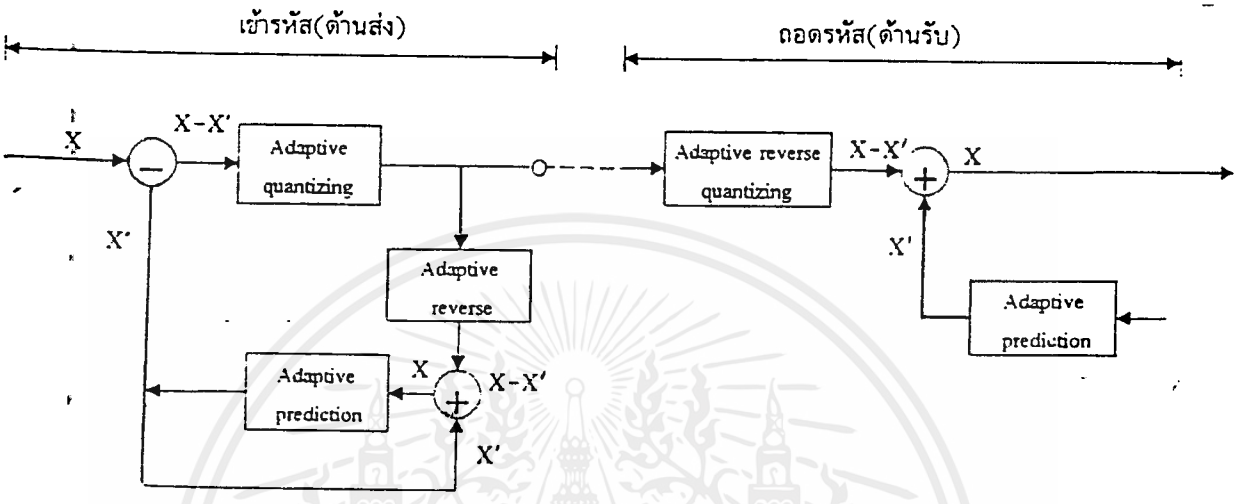
การเข้ารหัสแบบอแด็ฟทิฟดิฟเฟอเรนเชียลพีซีเอ็ม (Adaptive Differential Pulse Code Modulaion)

ในระบบ PCM ที่กล่าวมาแล้วนั้นจะจัดระดับของสัญญาณเสียงจากแซมเปิ้ลโดยตรงแต่สำหรับในระบบADPCM จะจัดระดับโดยใช้ผลต่างระหว่างค่าแซมเปิลเนื่องจากค่าแซมเปิลซึ่งอยู่ใกล้เคียงกันจะมีลักษณะคล้ายคลึงกัน ดังนั้นจึงคาดคะเนสัญญาณอินพุทที่เข้ามาก่อน แล้วจัดระดับโดยใช้ผลต่างระหว่างสัญญาณที่คาดคะเนและสัญญาณปัจจุบันเพื่อทำรหัสส่งออกไปและผลต่างนี้ค่าน้อย จึงทำให้จำนวนบิทในการเข้ารหัสลดลงได้

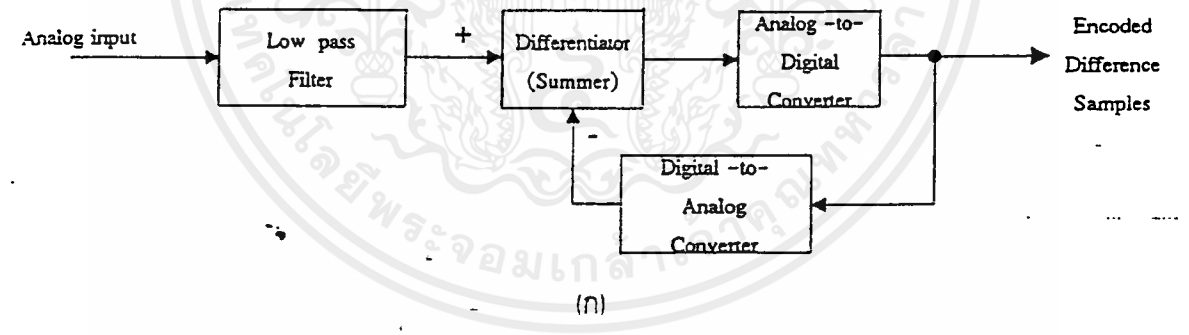
จากรูป ขั้นแรก ที่วงจรเข้ารหัส(ด้านส่ง) จะสร้างผลต่าง $x-x'$ ระหว่างสัญญาณอินพุท x และสัญญาณที่คาดคะเน x'จากอินพุทตัวก่อนๆ โดยวงจรดิฟเฟอร์เรนติเอเตอร์ ต่อจากนั้น จะนำผลต่าง $x-x'$ของสัญญาณไปจัดระดับ การที่จะทำให้สัญญาณซึ่งผิดพลาดนี้ มีการเปลี่ยนแปลงของระดับอย่างรวดเร็วนั้นจะไม่ใช้การจัดระดับแบบยูนิฟอร์ม แต่จะใช้วิธีจัดระดับเพื่อให้เพิ่มขึ้นหรือลดลงโดยอาศัยแซมเปิ้ลตัวก่อน (Adaptive Quantizing) วิธีนี้จะปรับปรุงคุณภาพให้ดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการเข้ารหัสแบบADPCM นี้จะไม่ใช้เพียง 4บิท ซึ่งมีคุณภาพใกล้เคียงกับระบบซึ่งใช้ 7 บิท



รูปที่ 1.15 โครงสร้างของระบบ ADPCM

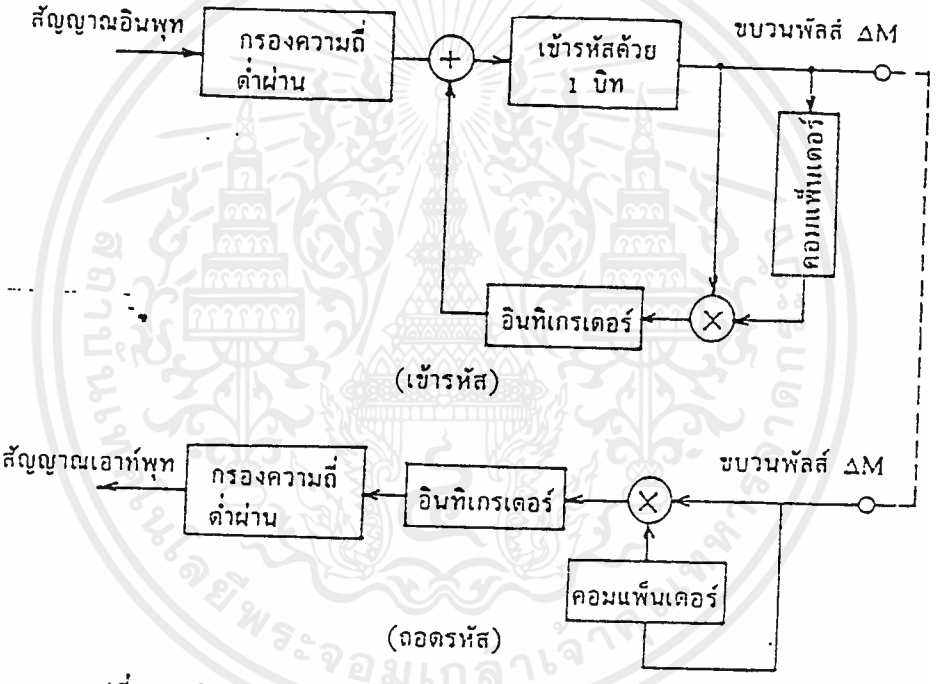


รูปที่ 1.16 การเข้ารหัสแบบ Adaptive Delta Modulation

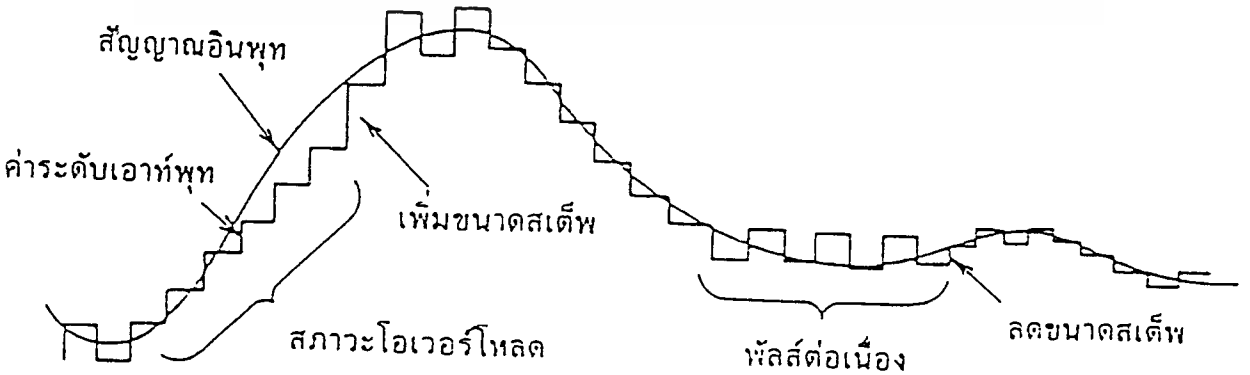
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเข้ารหัสแบบอแดพทิฟเดลต้ามอดดูเลชั่น

ในขณะที่ความถี่ในการแซมปลิ้งสูงขึ้น ผลต่างระหว่างค่าแซมเปิ้ลข้างเดียวจะน้อยลง ระบบการเข้ารหัสแบบ ADM จะพิจารณาจุดนี้ คือ การใช้ความถี่ในการแซมเปิ้ลให้สูงขึ้น และการเข้ารหัสของผลต่างของสัญญาณ เพื่อส่งออกไปด้วย 1 บิท ตามรูปต่อไปจะแสดงโครงสร้างของการเข้ารหัส/ถอดรหัส ประกอบด้วยคอมพาราเตอร์ อินทิเกรเตอร์ D/Aคอนเวอร์เตอร์ และวงจรลอจิกที่จำเป็นบางวงจร เนื่องจากมีขนาดเล็กและการสูญเสียพลังงานน้อย จึงสามารถสร้างได้โดยง่าย



รูปที่ 1.17 โครงร่างของระบบ ADM

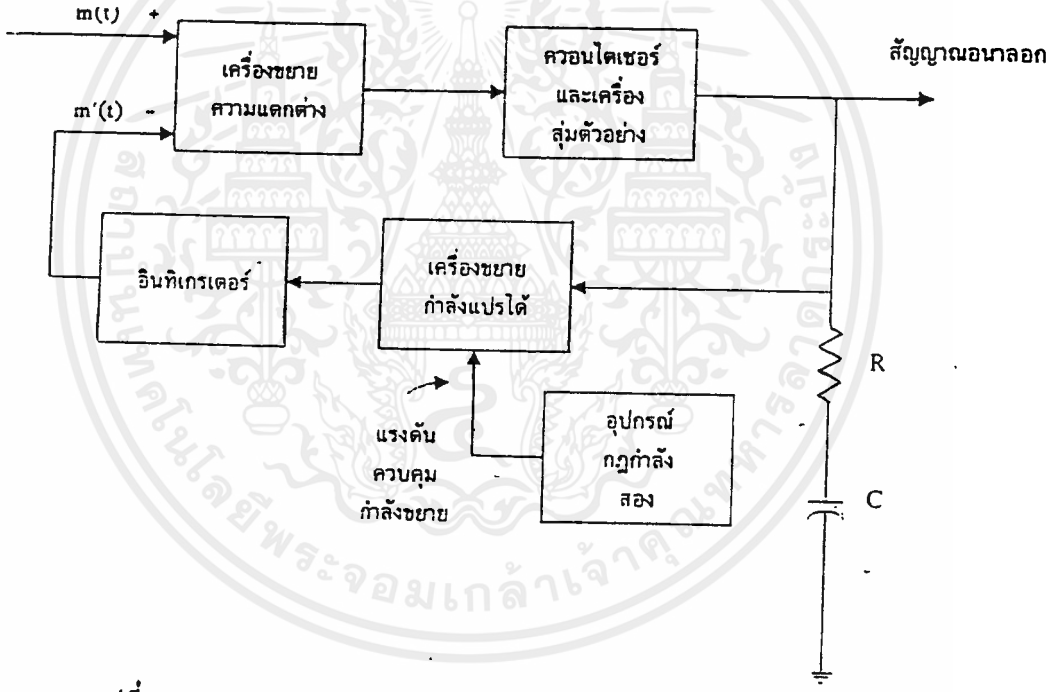


รูปที่ 1.18 หลักการของการเปลี่ยน Step ในการจัดระดับของ ADM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ได้จากหลังจากผ่านวงจรอินทิเกรเตอร์จะเป็นพัลส์ที่เปลี่ยนแปลงตามสัญญาณอนาลอก(อินพุท) อย่างใกล้ชิด และมีรูปร่างคล้ายสัญญาณอนาลอกมาก ยกเว้นในกรณีที่สัญญาณอนาลอกเปลี่ยนแปลงขนาดอย่างรวดเร็ว หรือกล่าวได้ว่า ความชันของสัญญาณสูงมากๆ ทำให้วงจรส่วนเดลต้ามอดดูเลชั่น ไม่สามารถสร้างพัลส์ไล่ทันสัญญาณอนาลอก ในกรณีนี้เราเรียกว่า เกิดการเกินภาระของความชัน (slope overload) การแก้ปัญหานี้สามารถทำได้โดย การปรับขนาดของ Step แต่จริงๆ แล้วขนาดของ step ควรจะให้เล็กเมื่อมีการเปลี่ยนแปลงของสัญญาณเกิดขึ้นช้าๆ และเพิ่มขนาดของ step เพื่อที่จะหลีกเลี่ยง slope overload เมื่อสัญญาณเปลี่ยนแปลงมาก

Block Diagram แบบหนึ่งของระบบ ADM ที่สามารถปรับขนาด step ตามลักษณะของสัญญาณ แสดงดังรูปถัดไป ขนาดของstep จะเปลี่ยนแปลงได้โดยการควบคุม gain ของอินทิเกรเตอร์ ซึ่ง gain จะมีค่าต่ำเมื่อโวลท์เตทเป็น 0 และgain จะเพิ่มขึ้นเมื่อโวลท์เตทควบคุมเพิ่มมากขึ้น



รูปที่ 1.19 Block Diagram ของระบบ ADM

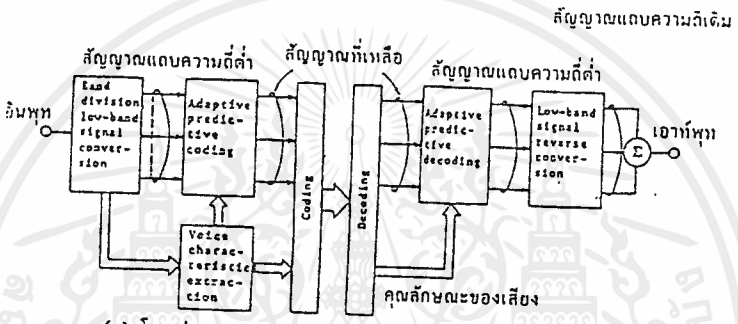
วงจรควบคุม gain ประกอบด้วย RC และอุปกรณ์ square law เมื่อสัญญาณอินพุทคงที่ หรือเปลี่ยนแปลงอย่างช้าๆ DM จะได้ตามทัน และเอาท์พุทของ modulator จะเป็นพัลส์บวกและลบสลับกันตลอดเวลา พัลส์เหล่านี้เมื่ออินทิเกรตโดย RC แล้วจะได้เอาท์พุทออกมาเฉลี่ยเป็น 0 โวลท์ จึงต่ำ ดังนั้น step ของ accumulator จึงต่ำด้วย

ในกรณีที่จะเกิด slope overload เอาท์พุทของ modulator จะเป็นบวกหรือลบตลอด ตอนนี้ที่อินทิเกรเตอร์ จะอินทิเกรเตอร์ให้เอาต์พุทโวลท์เตทออกมาจึงไปเพิ่ม gain ของ amplifier ทำให้มี

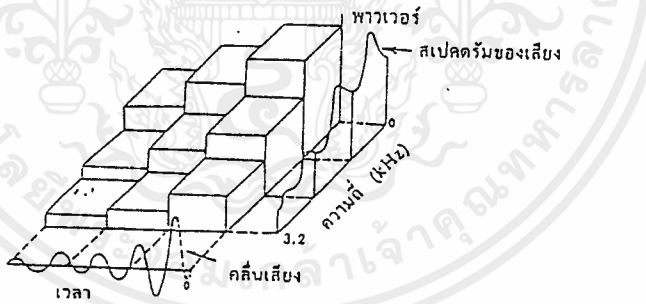
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่จะเกิด slope overload เอาท์พุทของ modulator จะเป็นบวกหรือลบตลอด ตอนนี้ที่อินทิเกรเตอร์ จะอินทิเกรเตอร์ให้เอาต์พุทโวลท์เตทออกมาจึงไปเพิ่ม gain ของ amplifier ทำให้มีขนาด step เพิ่มขึ้น จึงทำให้ไม่เกิด slope overload หรือเกิดเพียงเล็กน้อย สำหรับ demodulator ในระบบ ADM จะมีวงจรเหมือน adaptive encoder ทุกประการ

ระบบการเข้ารหัสแบบ APC-AB (Adaptive Predictive Coding with Adaptive Bit Allocation)



(ก) โครงร่างของระบบการเข้ารหัสแบบ APC-AB



(ข) ขนาดของพาวเวอร์ของสัญญาณเสียงต่อเวลาและความถี่

รูปที่ 1.20 โครงร่างการเข้ารหัสถอดรหัสแบบ APC-AB

(ก) โครงร่างระบบการเข้ารหัสแบบ APC-AB

(ข) ขนาดของเพาเวอร์สัญญาณเสียงต่อเวลาและความถี่

จากรูป แสดงโครงสร้างการเข้ารหัสแบบ APC-AB ซึ่งจะใช้ทั้งการแบ่งแถบความถี่และแบ่งช่วงเวลารวมกับเทคนิคเบื้องต้นการเข้ารหัสโดยการคาดคะเน การจัดระดับแบบอแด็ปทีฟและการจัดเรียงบิต เพื่อทำให้คุณภาพการเข้ารหัสดียิ่งขึ้น

ขั้นตอนการเข้ารหัสคือ ก่อนอื่นจะแบ่งสัญญาณเสียงออกเป็นหลาย ๆ ช่องความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วเคลื่อนย้ายแต่ละแถบความถี่เหล่านั้น ไปถึงกระแสตรง (DC) เพื่อเป็นสัญญาณให้เป็นความถี่ต่ำ ในขณะนี้คุณลักษณะเพาเวอร์และสเปกตรัมของสัญญาณเสียง จะแยกกันออกมาโดยอาศัย พื้นฐานของคุณลักษณะดังกล่าวในการเข้ารหัสจะกำจัดสัญญาณแถบความถี่ต่ำซึ่งมีเพาเวอร์สเปกตรัมน้อย และสัญญาณที่มีคาบเวลาออกไปโดยจะจัดระดับเฉพาะสัญญาณที่เหลือ จากการถูกกดส่วนเกินไว้แล้วเท่านั้น และจะไม่จัดระดับ แบบยูนิฟอร์ม แต่จะกำหนดจำนวนบิท ให้สอดคล้องกับขนาดของเพาเวอร์ของสัญญาณ

อนึ่งคุณลักษณะของสัญญาณเสียงที่ แยกออกมาได้นั้น ขณะเดียวกันจะถูกส่งออกไปยังด้านรับเพื่อใช้เป็นส่วนหนึ่งในการสร้างสัญญาณให้กลับคืนเป็นรูปแบบเดิม

การกำหนดจำนวนบิทขณะที่จัดระดับนั้น จะกำหนดให้เป็นสัดส่วนทาง ลอการิทึมของเพาเวอร์ในช่วงเวลาและความถี่ ถ้าในช่วงเวลาหนึ่ง มีเพาเวอร์สูงและช่วงนั้น มีเพาเวอร์สเปกตรัมมากแล้วจะใช้จำ านวนบิทมาก โดยวิธีนี้จะได้รับสัญญาณเสียงที่มีคุณภาพสูงจากข่าวสารที่มีปริมาณน้อย

การถอดรหัสทางด้านรับจะกระทำในทางกลับกัน และจะรวมสัญญาณส่วนเกินที่ไม่ได้เข้ารหัส จากทางด้านส่ง เข้า ไปด้วยกัน เพื่อสร้างสัญญาณแถบความถี่ต่ำจากนั้นก็จะเคลื่อนย้ายให้กลับไปสู่ แถบความถี่เดิม และเมื่อรวมแถบความถี่ทั้งหลายเข้าด้วยกันแล้ว ก็จะได้สัญญาณเสียงเดิมกลับคืนมา

จากที่กล่าวมาข้างต้น เนื่องจากระบบ การเข้ารหัสแบบ APC-AB จะรวมเทคโนโลยี การเข้ารหัสอย่างมีประสิทธิภาพสูง หลาย ๆ ชนิดเข้าด้วยกัน ดังนั้นปริมาณ การประมวลผลข้อมูลจะมีมาก อย่างไรก็ตามสามารถที่จะเข้ารหัสของสัญญาณเสียงให้มีคุณภาพดีได้โดยเฉพาะที่บิทเรท 16 kb/s จะให้ผลเป็นอย่างดี และเป็นที่คาดว่าปัญหาการคำนวณจะหมดไปเมื่อเทคโนโลยี VLSI และการประมวลผลสัญญาณดิจิตอลก้าวหน้าขึ้น จะทำให้วงจรมีขนาดเล็ก ระบบนี้จะถูกนำไปใช้กันอย่างกว้างขวาง

ในการเลือกระบบ HEVC ทั้ง 3 แบบ ต้องพิจารณาโครงสร้าง และความเหมาะสมในการนำไปใช้งานด้วย

1.1.4 หลักการเบื้องต้นของ Regenerative Repeater

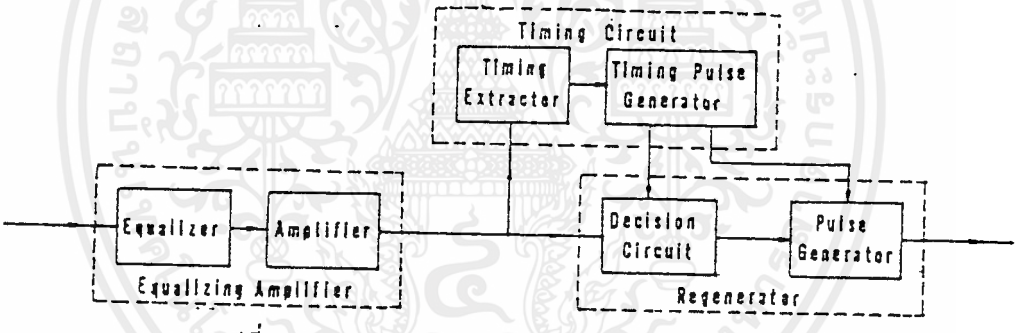
สัญญาณ PCM ที่ส่งออกไปจะถูกลดทอน (Attenuation) และเกิดความเพี้ยน (Distortion) ขึ้นในระหว่างการรับส่งสัญญาณ นอกจากนี้จะยังมีสิ่งรบกวน (Noise) แทรกซ้อนเข้ามา ดังนั้นในการรับส่งสัญญาณ PCM จึงต้องมีอุปกรณ์ในการทำให้สัญญาณ PCM กลับมาให้อยู่ในสภาพเดิม อุปกรณ์นี้เรียกว่า Regenerative Repeater ซึ่งมีหน้าที่ในการผลิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

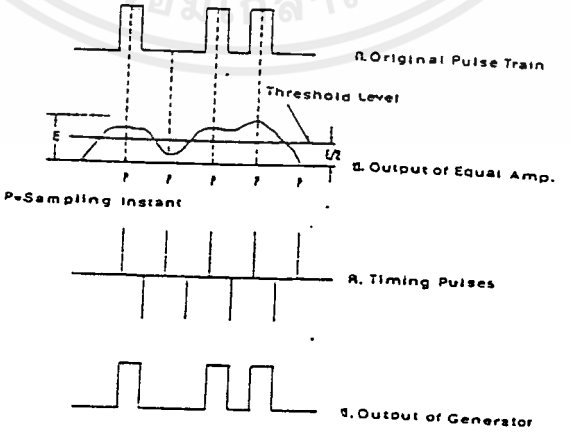
สัญญาณ PCM ขึ้นมาใหม่ โดยให้มีลักษณะเช่นเดียวกับสัญญาณที่ส่งมาจากต้นทาง โดยทั่วไปแล้วเราจะใส่ Regenerative Repeater ไว้ในเส้นทางการส่งสัญญาณ ณ จุด ที่ค่า Peak ของสิ่งรบกวนมีขนาดไม่เกินครึ่งหนึ่งของ Peak level ของ Pulse Train ที่เข้ามา

ในระบบ PCM Analog Speech Signal จะถูกแทนด้วย Binary code ซึ่งก็คือการมี Pulse หรือไม่มี ณ เวลาที่กำหนดให้ การเปลี่ยนแปลงนั้นมีไม่มากเกินไปที่จะทำให้เกิดความสับสนในการจำแนกว่ามี พัลส์หรือไม่มี และเมื่อตัดสินการมีพัลส์หรือไม่มีได้ถูกต้อง ที่รีเจนเนอเรทีพ รีพีทเตอร์ ก็ย่อมที่จะสามารถผลิตพัลส์ขึ้นมาใหม่ให้เหมือนเดิม

ในการตัดสินว่ามีพัลส์หรือไม่มีพัลส์นั้น สามารถทำได้โดยการเปรียบเทียบ แอมปลิจูดของสัญญาณที่รับเข้ามากับระดับอ้างอิง(Reference level หรือ Threshold level) ตามทฤษฎี ระดับอ้างอิงจะมีค่าเท่ากับครึ่งหนึ่งของ Pulse peak ที่รับ เข้ามา การเปรียบเทียบจะกระทำที่เวลาเมื่อ Pulse Peak เกิดขึ้นโดยปราศจากการรบกวนใดๆ และที่เวลานี้เรียกว่า (Decision หรือ Sampling Instant)



รูปที่ 1.21 Block diagram ของ Regenerative Repeater



รูปที่ 1.22 Wave shape ใน Regenerative Repeater

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block diagram ของ Regenerative Repeater แสดงตามรูปที่ 21ประกอบด้วยส่วนสำคัญ 3 ส่วนคือ Equalizing Amplifier , Timing circuit และ Regenerator สำหรับรูปร่างของสัญญาณทางด้านอินพุทและเอาท์พุท แสดงดังรูปต่อมา

Pulse Train ที่ส่งมาจากต้นทาง ย่อมจะเกิดความเพี้ยนขึ้น และมี Noise เสริมเข้ามาตลอดเส้นทางส่ง Pulse Train ดังกล่าวจะถูกส่งเข้ามายัง Regenerative Repeater ที่ภาค Equaling Amplifier ซึ่งภาคนี้จะทำการปรับปรุงรูปร่างของ Pulse Train ที่ได้รับ เพื่อให้พัลส์นั้น อยู่ใน Time slot ของมัน หลังจากการปรับปรุงรูปร่างแล้ว พัลส์ดังกล่าวจะได้รับการขยายถึงระดับที่สามารถตัดสินระหว่างการมีพัลส์หรือไม่มีได้ จากรูป เอาท์พุทหรือ Equalizing Amplifier ทางหนึ่งจะส่งไปยังภาค Regenerator และอีกทางหนึ่งส่งไปยัง ภาค Timing ซึ่งปรับตั้งความถี่ไว้เท่ากับ Bit rate ของระบบ ภาค Timing circuit นี้จะทำการผลิต Timings pulse ที่มีความถี่เดียวกับ Bit rate ตามรูป Timing pulse จาก Timing circuit และ Pulse train จากเอาท์พุทของ Equalizing Amplifier จะป้อนไปยังภาค Regenerator ที่ระดับตัดสิน ซึ่งเป็นแอนด์เกท โดยจะผลิตพัลส์ออกมาเมื่อ เอาท์พุทสูงกว่า Threshold level และมี Timing pulse พร้อมกันด้วย ช่วงเวลา ของพัลส์ที่ผลิตออกมาใหม่ก็จะถูกกำหนดด้วยช่องว่างของเวลาระหว่าง Timing pulse รูปร่างของ Pulse train ที่ ผลิตขึ้นมาใหม่ โดย Regenerati ve Repeater ก็จะเหมือนกับพัลส์ที่ส่งมาจากต้นทาง

1.2 การแปลงสัญญาณอนาลอกและดิจิตอล

ในการส่งสัญญาณแบบอนาลอก ข่าวสารเดิมจะถูกเปลี่ยนให้เป็นสัญญาณไฟฟ้าซึ่งมีลักษณะเหมือนเดิม แต่ในการส่งจะมีสัญญาณมารบกวนมาก ตลอดสายส่ง ทำให้สัญญาณเกิดการพร่าเพี้ยน (distortion) ซึ่งเป็นผลให้คุณภาพของสัญญาณเลวลง ดังนั้นจึงต้องมีการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลซึ่งช่วยแก้ปัญหาในการถูกรบกวนจากภายนอกได้

ระบบการแปลงสัญญาณนี้มีด้วยกันหลายแบบ เช่น Pulse Amplitude Modulation (PAM), Pulse code modulation (PCM), Delta modulation(DM) เป็นต้น ในแต่ละระบบก็มีข้อดีข้อเสียแตกต่างกันขึ้นอยู่กับความเหมาะสมในกา รนำระบบต่างๆ ไปใช้งานให้ถูกต้อง

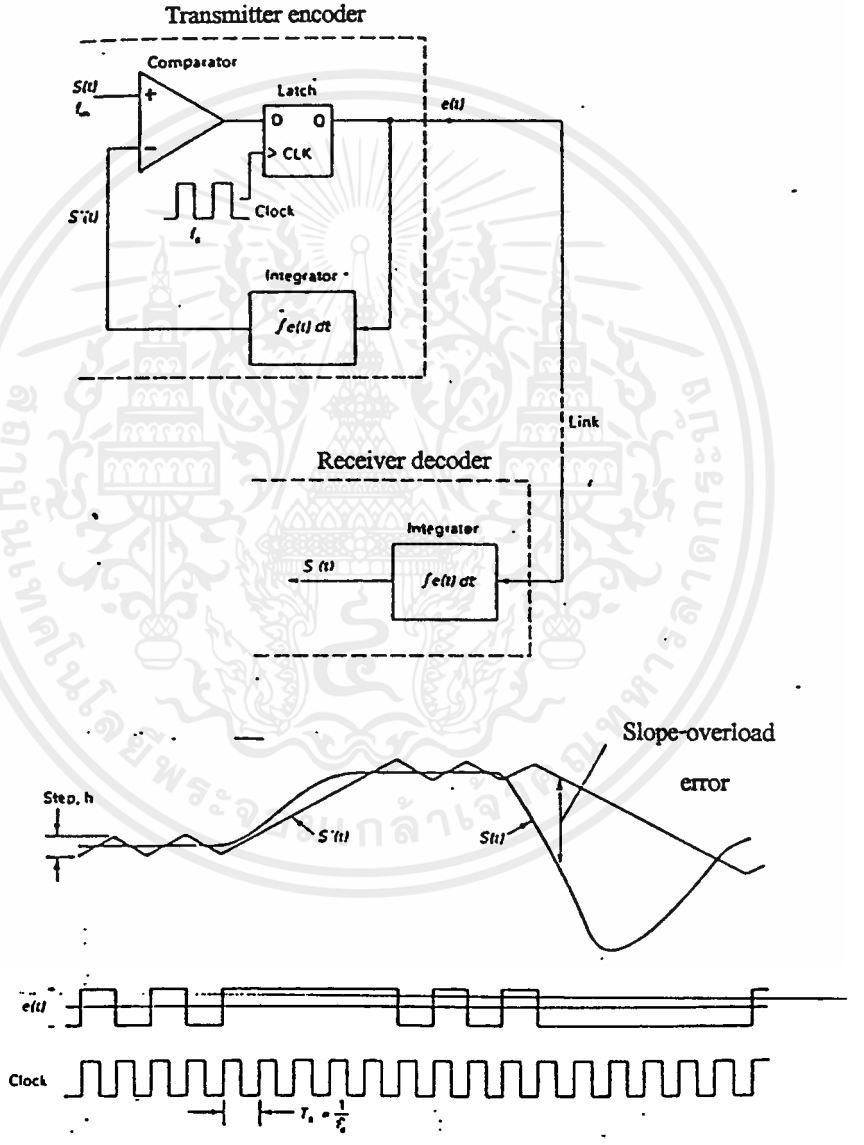
1.2.1 DM (Delta Modulation)

เดลต้ามอดูเลชั่นจะไม่ใช้การสุ่มสัญญาณหนึ่งแล้วแปลงเป็นข้อมูลดิจิตอลหนึ่งเวิร์ด ที่มีความละเอียดเป็นจำนวนบิตที่ต้องการ แต่จะใช้วิธีเปรียบเทียบความสูงหรือการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนแปลงของสัญญาณเสียงแทน ข้อมูลที่ได้ก็คือทิศทางของการเปลี่ยนแปลง ซึ่ง ก็มีเพียง ขึ้น หรือ ลง เท่านั้น ดังนั้นความกว้างของข้อมูลดิจิตอลจึงใช้เพียงบิตเดียวก็เพียงพอ ข้อดีของเดลต้ามอดดูเลชั่นก็คือการใช้หน่วยความจำน้อยกว่าวิธีการแบบอื่นๆ

การทำงานเบื้องต้นของเดลต้ามอดูเลชั่นแสดงได้ดังรูปที่ 1.23



รูปที่ 1.23 แสดงการทำงาน Delta modulation

จากรูปจะเป็นการแสดงการทำงานของเดลต้ามอดูเลชั่น คอมพาราเตอร์จะทำหน้าที่เปรียบเทียบสัญญาณอินพุตปัจจุบัน กับสัญญาณอินพุตก่อนหน้า ซึ่งได้จากการป้อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

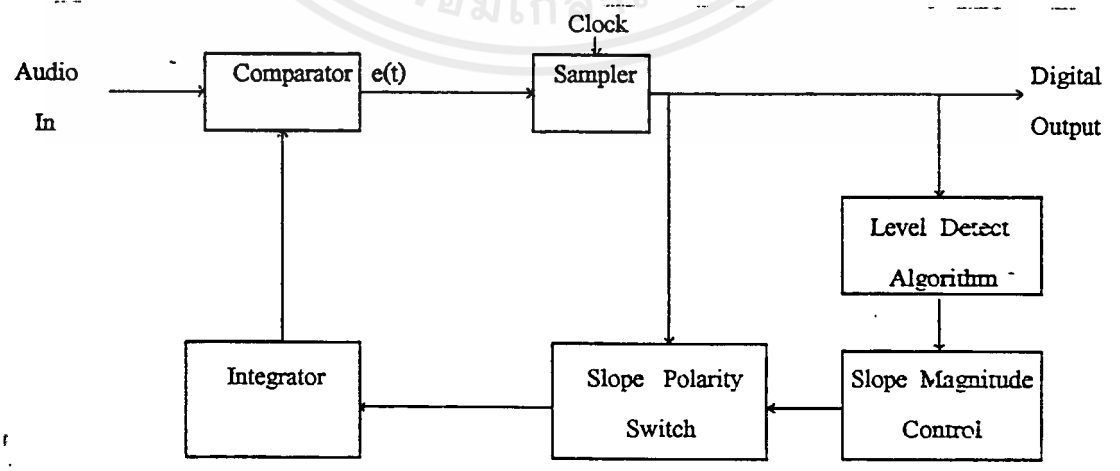
กลับมายังอินดิเกรเตอร์ เอาต์พุตจากการเปรียบเทียบถูกป้อนกลับผ่านพัลิบพัลอบที่ควบคุมด้วย สัญญาณนาฬิกาเพื่อให้ได้เป็นข้อมูลดิจิตอล ซึ่งก็คือการกำหนดอัตราการสุ่มสัญญาณนั่นเอง

สัญญาณที่ได้จากตัวเปรียบเทียบและจากอินทิเกรเตอร์ เปรียบเทียบกันสัญญาณอินพุต แสดงดังรูป ลักษณะเช่นนี้จะพบว่า ยิ่งความถี่ของสัญญาณนาฬิกามีค่าสูงก็ยิ่งสามารถบันทึกการเปลี่ยนแปลงที่แคบได้มากขึ้น ทำให้ได้คุณภาพเสียงที่ดีขึ้น แต่ก็สิ้นเปลืองหน่วยความจำมากขึ้นตามไปด้วย

1.2.2 CVSD (Continuously Variable Slope Delta Modulation)

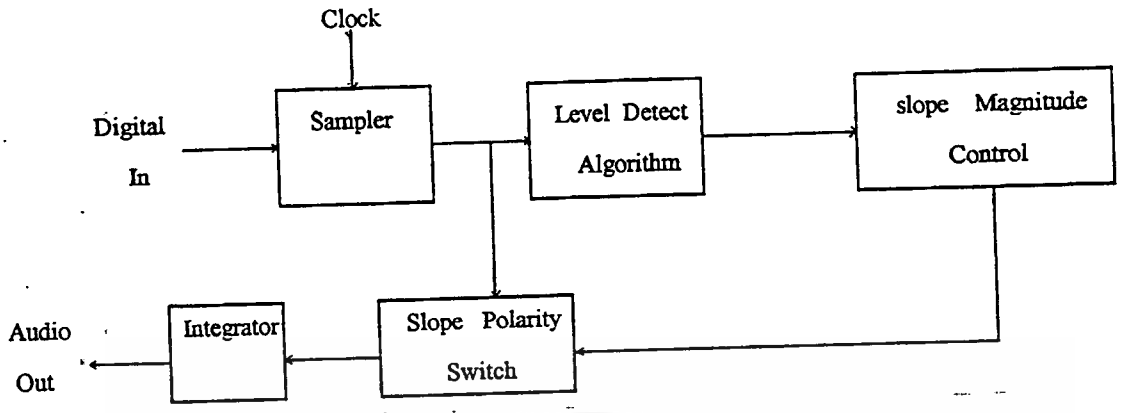
ข้อจำกัดของวิธีการเดลต้ามอดดูเลชั่นก็คือแถบกว้างความถี่ที่ใช้งาน ซึ่งถูกจำกัดโดยความถี่สัญญาณนาฬิกา และจะสูงกว่าความถี่สูงสุดของสัญญาณอินพุตมากกว่า 2 เท่าขึ้นไปอีกอันหนึ่ง คือ ความเร็วของ การเปลี่ยนแปลง ความสูงของสัญญาณ ซึ่งก็คือ ไดนามิกเรนจ์ ระบบเดลต้ามอดูเลชั่นธรรมดามีค่าไดนามิกเรนจ์ที่แคบ จำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยายไดนามิกเรนจ์ให้กว้าง โดยการควบคุมอัตราขยายของอินทิเกรเตอร์ เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมากๆ ได้ทัน ระบบนี้มีชื่อเรียกใหม่ว่า ระบบเดลต้ามอดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง หรือ CVSD (continuous variable slope delta modulation)

ระบบ CVSD ทั้งส่วนแปลงจากอนาลอกเป็นดิจิตอลและส่วนแปลงกลับจากดิจิตอลเป็นอนาลอก แสดงในรูปตามลำดับ



รูปที่ 1.24 การทำงานของ CVSD ในส่วนของการแปลงสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.25 การทำงานของระบบ CVSD ในส่วนแปลงกลับจากดิจิตอลเป็นอนาลอก

วิธีการของ CVSD ก็คือ มีการตรวจระดับสัญญาณ โดยอาจใช้วิธีการจัด ให้มีรีจิสเตอร์สำหรับเก็บข้อมูลดิจิตอลล่าสุด จำนวน 3-4 บิต แล้วตรวจดูว่าเป็น "0" หมด หรือ "1" หมดหรือไม่ ถ้าใช่แสดงว่าขณะนี้อัตราขยายของอินทิเกรเตอร์ต่ำเกินไป ตอบสนองต่อความชันของสัญญาณไม่ทัน ก็จะทำการเพิ่มอัตราขยายให้สูงขึ้นเฉพาะในช่วงนั้น

ส่วนของการแปลงกลับก็จะต้องมีการทำงานในลักษณะเดียวกัน คือมีรีจิสเตอร์ตรวจดูข้อมูลว่าเป็น "0" หรือ "1" หมดหรือไม่ แล้วจัดการควบคุมอัตราขยายของตัวอินทิเกรเตอร์ให้สอดคล้องกัน

1.3 การกรองสัญญาณ

การออกแบบวงจรกรองความถี่ที่ใช้ในวงจรโทรคมนาคมนั้น อาจแยกได้เป็นสองส่วนคือส่วนที่หนึ่งเป็นวงจรกรองความถี่ที่ใช้กับสัญญาณที่มีค่าต่ำ ๆ เช่นวงจรกรองความถี่ที่ใช้กับสัญญาณในย่านความถี่เสียง โดยได้ทำการวิเคราะห์และออกแบบวงจรกรองความถี่แบบแอคทีฟที่ใช้ตัวต้านทานและตัวเก็บประจุ (RC-Active filter) กล่าวคือ อาศัยตัวขยายสัญญาณจำพวกทรานซิสเตอร์หรือไอซีในรูปออปแอมป์ และตัวต้านทานกับตัวเก็บประจุทำงานร่วมกัน

โดยทั่วไป ถ้าคำนึงถึงชิ้นส่วนที่นำมาประกอบเป็นวงจรกรองความถี่ สามารถแบ่งออกเป็นประเภท Passive และ Active ชิ้นส่วนวงจรที่ในวงจรกรองความถี่แบบพาสซีฟ ได้แก่ ตัวต้านทาน,ตัวเก็บประจุ และตัวเหนี่ยวนำ การจะเลือกใช้ชิ้นส่วนชนิดใดนั้นย่อมขึ้นอยู่กับย่านความถี่ของสัญญาณที่ต้องการให้วงจรกรองความถี่นั้นทำงาน ยกตัวอย่างเช่น RC Filter ใช้กับย่านความถี่เสียง หรือใช้ในย่านความถี่ต่ำ ขณะที่ LC filter หรืออาจจะกล่าวไปถึง Crystal Filter เหมาะกับที่จะใช้ในย่านความถี่วิทยุหรือย่านความถี่สูง และโดยเฉพาะอย่างยิ่งค่า Q หรือ Figure of merit ที่สูงของตัวคริสตอลทำให้ Crystal Filter มีเสถียรภาพที่ความถี่สูงมาก ๆ ดีกว่า LC Filter อีกด้วย และในกรณีนี้เราไม่นำตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ดัดแปลง เผยแพร่ หรือจำหน่าย ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหนี่ยวนำมาใช้ในย่านความถี่เสียง เพราะย่านความถี่ต่ำเช่นนี้ ตัวเหนี่ยวนำมีขนาดใหญ่ จึงมีราคาแพง สิ้นเปลืองกำลังงานในตัวมาก และยังกระจายสนามแม่เหล็กไปรบกวนชิ้นส่วนหรืออุปกรณ์ข้างเคียง

ส่วนที่สองเป็นวงจรกรองความถี่ที่ใช้กับวงจรที่มีกระแสผ่านสูง เช่น วงจรความถี่ในวงจรขยายกำลังส่งออกของเครื่องส่งวิทยุ เป็นต้น ในวงจรกรองความถี่แบบนี้จำเป็นต้องใช้วงจรพาสซีฟ แม้ว่าจะเกิดการสูญเสียขึ้นก็ตาม

กล่าวโดยทั่วไป สามารถแบ่งวงจรกรองความถี่ออกได้เป็นหลายรูปแบบ ดังนี้

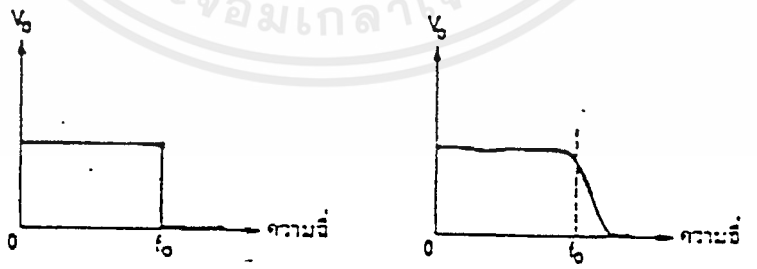
1. วงจรกรองความถี่ชนิดอนาลอกหรือชนิดดิจิตอล
2. วงจรกรองความถี่ชนิดพาสซีฟหรือชนิดแอคทีฟ
3. วงจรกรองความถี่ที่ใช้ในย่านความถี่เสียงหรือย่านวิทยุ

วงจรกรองความถี่แบบอนาลอกออกแบบมาเพื่อใช้กับสัญญาณอนาลอก ส่วนวงจรกรองความถี่แบบดิจิตอลใช้งานกับสัญญาณอนาลอกเช่นกัน แต่อาศัยเทคนิคทางดิจิตอลมาช่วย

เมื่อพิจารณาในด้านการใช้งานแล้ววงจรกรองจะถูกใช้งานใน 4 ลักษณะ ได้แก่

1.3.1 วงจรกรองความถี่ต่ำผ่าน (low pass filter)

จะยอมให้สัญญาณที่มีความถี่ตั้งแต่ 0 เฮิร์ต ไปจนถึงความถี่ที่กำหนด (f0) ผ่านวงจรกรองความถี่ไปได้ ส่วนความถี่ตั้งแต่ความถี่ที่กำหนดขึ้นไปจนถึงความถี่อนันต์จะไม่สามารถผ่านไปได้

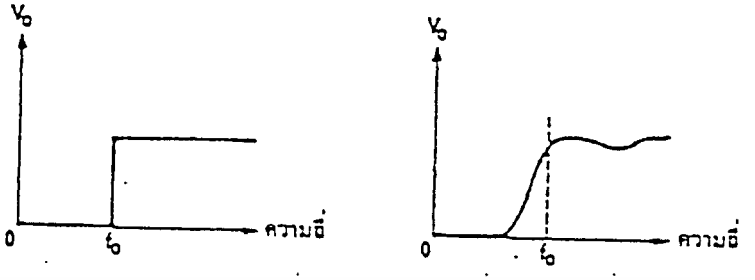


รูป 1.26 วงจรกรองความถี่ต่ำผ่าน

1.3.2 วงจรกรองความถี่สูงผ่าน (high pass filter)

วงจรกรองชนิดนี้จะให้ความถี่ผ่านได้ตั้งแต่ความถี่ที่กำหนด (f0) ไปจนถึงความถี่อนันต์ส่วนความถี่ที่ต่ำกว่าf0 ลงมาจะถูกตัดทิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 1.27 วงจรกรองความถี่สูงผ่าน

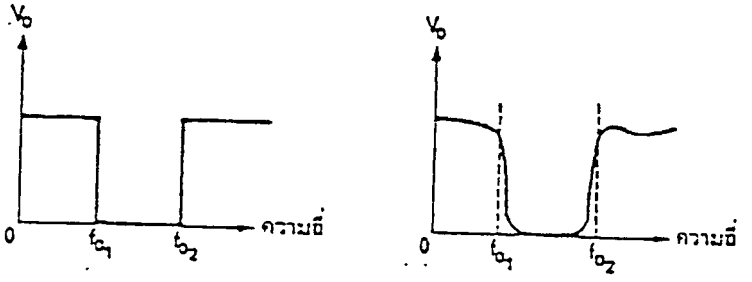
1.3.3 วงจรกรองแถบความถี่ผ่าน (band pass filter)

เปรียบเสมือนนำเอาวงจรกรองความถี่ต่ำผ่านมาอนุกรมกับวงจรกรองความถี่สูงผ่าน ความถี่ที่ผ่านได้ต้องมีค่ามากกว่า $f0_1$ แต่น้อยกว่า $f0_2$ ส่วนความถี่ที่ไม่อยู่ในย่านนี้จะถูกตัดทิ้ง

รูป 1.28 วงจรกรองแถบความถี่ผ่าน

1.3.4 วงจรกรองตัดแถบความถี่ (band-stop filter)

วงจรกรองลักษณะนี้จะตรงข้ามกับการใช้งานในลักษณะแถบความถี่ผ่าน ความถี่ในช่วงที่สูงกว่า $f0_1$ และต่ำกว่า $f0_2$ จะถูกตัดทิ้งไป แต่ความถี่ที่ต่ำกว่า $f0_1$ และสูงกว่า $f0_2$ จะสามารถผ่านไปได้



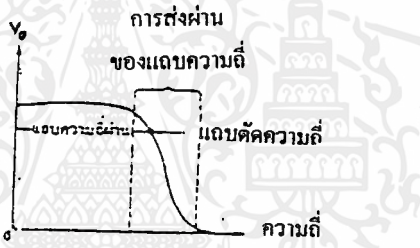
รูปที่ 1.29 วงจรกรองแถบตัดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปรียบเทียบคุณลักษณะในอุดมคติกับการใช้งานจริง จะเห็นได้ว่า ในการใช้งานจริงจะเกิดปัญหาอยู่ 2 ประการใหญ่ ๆ นั่นคือ เกิดการส่งผ่านของแถบความถี่ (transition) และเกิดช่วงการกระเพื่อม(ripple band) ในการใช้งาน

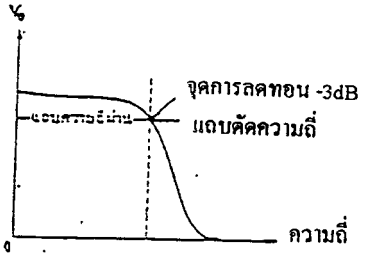
<u>การส่งผ่านของแถบความถี่</u>

ลักษณะการส่งผ่านความถี่ของแถบความถี่จะเป็นตัวบ่งบอกคุณสมบัติของวงจรกรอง กล่าวคือ ถ้าการส่งผ่านมีช่วงแคบและมีลักษณะชัน แสดงว่าวงจรกรองนั้นมีคุณภาพดี แต่ถ้าช่วงการส่งผ่านมีช่วงกว้างและลาดมาก แสดงว่าวงจรกรองมีลักษณะการเลือกความถี่ที่เลว ดังนั้นในการออกแบบจึงควรทำให้ช่วงการส่งผ่านชันและแคบให้ได้ใกล้เคียงกับในอุดมคติมากที่สุด



รูปที่ 1.30 การส่งผ่านของแถบความถี่

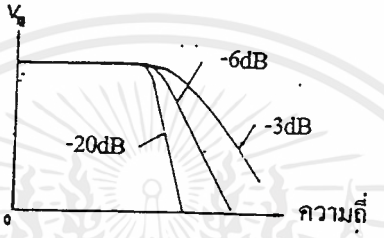
ความถี่คัทออฟ (cut off frequency: fc) คือความถี่ค่าแรกสุดที่อยู่ในแถบตัดความถี่ ความถี่คัทออฟจะเป็นตัวแบ่งแถบความถี่ผ่านและแถบความถี่ตัดออกจากกัน ดังรูปที่ 31 ซึ่งจะถูกกำหนดไว้ในช่วงการส่งผ่านที่มีค่าการลดทอน (attenuation) เท่ากับ -3 เดซิเบล (การลดทอน คือ อัตราการลดลงของสัญญาณจะมีค่าเท่ากับ 20log V0/V1 เช่นเมื่อสัญญาณเอาท์พุทลดลงเป็น 1 ใน 10 ของอินพุท การลดทอนจะมีค่าเป็น 20log 1/10 ก็คือ -20 เดซิเบล เป็นต้น)



รูปที่ 1.31 แสดงความถี่คัทออฟซึ่งกำหนดไว้ที่จุดลดทอน -3 DB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

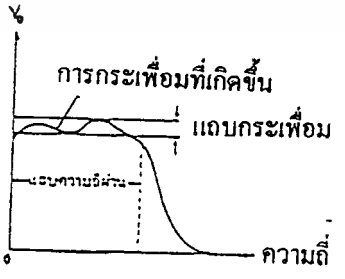
สำหรับค่าโรลออฟ (roll off) ซึ่งเป็นค่าที่แสดงลักษณะการส่งผ่านแถบความถี่ของวงจรกรอง คือ อัตราการลดทอนของสัญญาณต่อจำนวนความถี่ที่เปลี่ยนไป หรืออีกนัยหนึ่งก็คือ ความชันของการส่งผ่านนั่นเอง มีหน่วยเป็นเดซิเบลต่อดีเคด (decibel/decade) และแดซิเบลต่อออคเตฟ (decibael/octave)รูปที่ 32 แสดงการส่งผ่านที่โรลออฟต่าง ๆ กัน เพื่อให้เห็นว่าการส่ง...ที่ดีนั้นจะต้องมีค่าโรลออฟสูง ๆ



รูปที่ 1.32 แสดงการส่งผ่านความถี่ที่ค่าโรลออฟต่าง ๆ

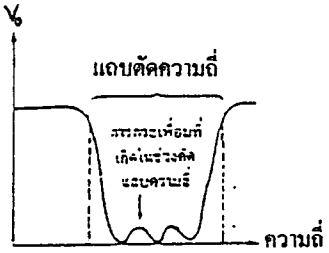
การเกิดการกระเพื่อมในแถบความถี่

เนื่องจากวงจรกรองในอุดมคตินั้น จะมีความแรงของสัญญาณเท่ากัน ตลอดทุก ๆ ความถี่ที่ยอมให้ผ่าน แต่ในทางปฏิบัติแล้ว จะให้วงจรกรองมีเอาท์พุทเท่ากันตลอดนั้นเป็นไปไม่ได้ เพราะในความถี่บางค่าอาจมีผลกระทบทำให้ค่าอิมพิแดนซ์ของวงจรเปลี่ยนไป การที่วงจรกรองมีความแรงไม่เท่ากันนั้น ทำให้เกิดความกระเพื่อมขึ้นในแถบความถี่ ในรูปที่ 33 การกระเพื่อมนั้นไม่ได้มีแต่เพียงในแถบความถี่เท่านั้น แต่ยังสามารถเกิดในช่วงตัดแถบความถี่ได้อีกด้วย ดังแสดงในรูปที่ 34 ซึ่งการกระเพื่อมในช่วงนี้ไม่ค่อยมีความสำคัญในงานใด ๆ นัก แต่จะเกิดปัญหาเมื่อใช้งานในลักษณะของวงจรตัดแถบความถี่



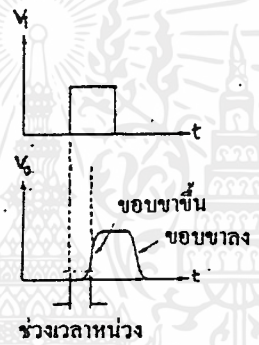
รูปที่ 1.33 ภาพแสดงการเกิดการกระเพื่อมในแถบความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.34 ภาพแสดงการเกิดการกระเพื่อมในแถบตัดความถี่

ปัญหาอย่างหนึ่งของวงจรกรองคือ การผิดเพี้ยนของสัญญาณเนื่องมาจากการเลื่อนเฟสและการหน่วง พิจารณารูปที่ 1.35 เปรียบเทียบสัญญาณที่เข้ามาทางอินพุท (V1) กับสัญญาณที่ออกไปยังเอาท์พุท (V0) ของวงจรกรอง



รูปที่ 1.35 ภาพแสดงการเกิดช่วงเวลาหน่วงของรูปคลื่นทางเอาท์พุท

จะเห็นได้ว่า ขณะที่สัญญาณเข้าไปทางอินพุท และออกไปยังเอาท์พุทจะเกิดช่วงเวลาหนึ่ง เรียกว่า ช่วงเวลาหน่วง ช่วงเวลานี้เองที่ทำให้เฟสของสัญญาณเอาท์พุทเลื่อนไป และเกิดความผิดเพี้ยนของรูปคลื่นทางเอาท์พุท สังเกตได้จากช่วงขอบขาขึ้นและขาลงของพัลส์ทางเอาท์พุทจะมีช่วงเวลาในการขึ้นลงไม่เท่ากับสัญญาณทางอินพุท ถ้าสัญญาณมีความถี่สูงการผิดเพี้ยนเนื่องจากการเลื่อนเฟสจะมีค่ามากขึ้นตามไปด้วย

ในการใช้งานกับความถี่ไม่สูงนัก เช่น ในย่านความถี่เสียง การผิดเพี้ยนของสัญญาณเนื่องจากการเลื่อนเฟสจะมีน้อย ถ้าการเลื่อนของเฟสนั้นมีช่วงที่เท่ากันตลอดทุกความถี่ ในการใช้งานจะไม่มีปัญหา แต่ถ้าการเลื่อนเฟสของวงจรมีช่วงที่ไม่เท่ากัน ก็จะเกิดการผิดเพี้ยนของสัญญาณเนื่องจากการหน่วง (delay distortion) ซึ่งจะเป็นปัญหาที่ใหญ่มากในระบบงานสื่อสารข้อมูลทางดิจิตอล เพราะจะทำให้ข้อมูลเกิดการผิดพลาดได้

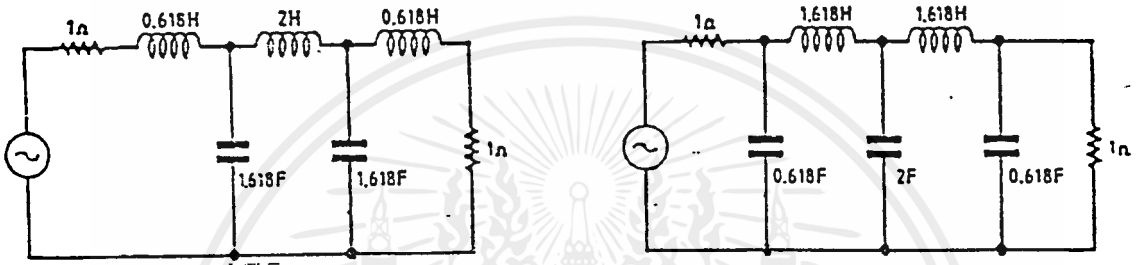
เราสามารถแบ่งวงจรกรองขั้นพื้นฐานตามอุปกรณ์ที่นำมาประกอบเป็นวงจรกรอง โดยแบ่งได้ 2 แบบด้วยกันคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- วงจรกรองแบบพาสซีฟ (Passive filter)
- วงจรกรองแบบแอกทีฟ (Active filter)

1.3.5 วงจรกรองแบบพาสซีฟ (Passive filter)

วงจรกรองแบบนี้จะประกอบด้วยอุปกรณ์พาสซีฟเป็นหลัก เช่น ตัวเก็บประจุและตัวเหนี่ยวนำ และอาจจะมีตัวต้านทานประกอบร่วมอยู่ด้วยดังแสดงในรูปที่ 1.36



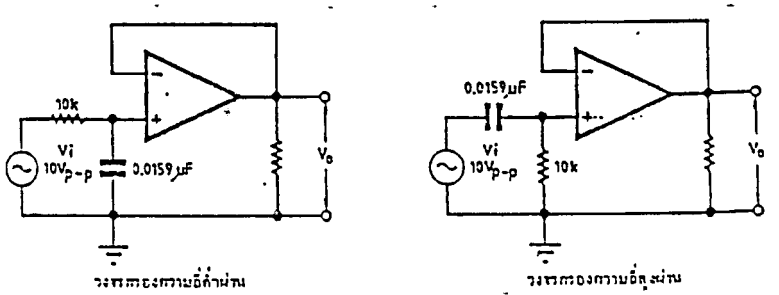
รูปที่ 1.36 แสดงวงจรกรองแบบพาสซีฟ

วงจรกรองแบบนี้จะมีราคาแพงและยากแก่การออกแบบ แต่จะสามารถตอบสนองความถี่ได้และสามารถใช้งานได้โดยไม่ต้องมีแหล่งจ่ายไฟใด ๆ ทั้งสิ้น แต่ในทางปฏิบัตินั้นเราไม่ค่อยนิยมใช้เท่าไร

1.3.6 วงจรกรองแบบแอกทีฟ (Active filter)

วงจรกรองแบบนี้จะใช้อุปกรณ์ active เช่น พวกทรานซิสเตอร์, ไดโอด หรือ ออปแอมป์ ทำงานร่วมกับตัวเก็บประจุ และตัวต้านทาน ซึ่งจะช่วย ให้ประสิทธิภาพ ของวงจรกรองดีขึ้น ดังแสดงในรูปที่ 1.37

วงจรกรองแบบนี้ ตอบสนองทางความถี่ได้ต่ำกว่าแบบพาสซีฟ และยังต้องใช้ไฟเลี้ยงในการทำงานด้วย แต่โดยส่วนรวมแล้วจะเห็นได้ว่า วงจรกรองแบบแอกทีฟ จะดีกว่าวงจรกรองแบบพาสซีฟ ดังนั้น เราจึงนิยมใช้วงจรกรองชนิดนี้มากกว่า



รูปที่ 1.37 วงจรกรองแบบแอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3.7 ข้อดีของวงจรกรองความถี่แบบแอคทีฟที่เหนือกว่าแบบพาสซีฟ

ข้อดีของวงจรกรองความถี่แบบแอคทีฟที่เหนือกว่าแบบพาสซีฟ มีดังนี้

1. การปรับอัตราขยายและปรับความถี่เป็นอิสระต่อกัน สามารถจัดค่าอัตราการขยายของออปแอมป์ชดเชยกับอัตราการลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราขยายของวงจรทั้งหมด ด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยายออปแอมป์ และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า RC เท่านั้น

2. ไม่มีปัญหา loading จากการที่ออปแอมป์มีอินพุทอิมพิแดนซ์สูงมากเป็นอนันต์และเอาท์พุทอิมพิแดนซ์ต่ำ วงจรกรองความถี่แบบแอคทีฟซึ่งอาศัยออปแอมป์จึงไม่เกิดปัญหา loading กับเอาท์พุทและอินพุทของวงจร ณ จุดที่นำวงจรกรองความถี่เข้าไปต่อ

3. มีราคาถูก วงจรกรองความถี่แบบแอคทีฟมีราคาถูกกว่า เพราะไม่ต้องอาศัยตัวเหนี่ยวนำที่มีราคาแพง และยังใช้ออปแอมป์ ซึ่งในปัจจุบันราคาถูก

1.3.8 การเลือกใช้ชนิดของวงจรกรอง

ในการเลือกใช้งานวงจรกรองนั้นเราจะต้องคำนึงถึงปัญหาต่าง ๆ ที่เกิดขึ้น และต้องให้เหมาะสม เช่น บางประเภทเราต้องการ ความราบเรียบของแถบความถี่มาก บางประเภทต้องการการส่งผ่านของแถบความถี่ที่ใช้เวลาสั้น เราก็จะใช้วงจรกรองแต่ละชนิดแตกต่างกันไป ดังนั้น เราจะกล่าวถึงวงจรกรองแต่ละชนิดที่เราจะเลือกใช้ให้เหมาะสมกับความต้องการของเราได้ โดยพิจารณาจากวงจรกรองเหล่านี้

<u>วงจรกรองชนิดบัตเตอร์เวิร์ธ</u> (Butter worth filter)

ลักษณะพิเศษของวงจรกรองชนิดนี้คือ ให้อัตราการขยายสัญญาณเท่ากันทุกความถี่ที่ผ่านได้ ดังนั้น ช่วงกระเพื่อมที่เกิดขึ้นจะมีค่าน้อยมากถือได้ว่า วงจรกรองชนิดนี้มีความราบเรียบของแถบความถี่สูงที่สุดในบรรดาวงจรกรองชนิดต่าง ๆ แต่ข้อเสียของวงจรชนิดนี้ก็คือ การส่งผ่านแถบความถี่ทำได้ไม่ดีนัก แต่แก้ไขได้โดยเพิ่มจำนวนอุปกรณ์เข้าไป แต่ก็จะทำให้การออกแบบยุ่งยากและซับซ้อนขึ้นไปอีก

<u>วงจรกรองชนิดชีบีชีฟ</u>(Chebyshev filter)

ลักษณะของวงจรกรองชนิดนี้ จะมีข้อดีตรงที่มีการส่งผ่านของแถบความถี่ความชันมากหรือมีค่า Roll off สูง แต่จะมีระดับของช่วงกระเพื่อมสูงกว่าวงจรกรองชนิดใด ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรกรองชนิดเบสเซล</u> (Bessel filter)

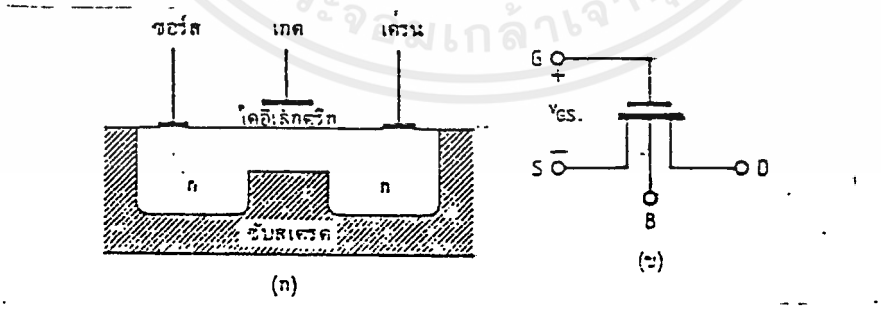
วงจรกรองชนิดนี้จะถูกนำมาใช้แก้ปัญหาความผิดเพี้ยนของสัญญาณ จากการหน่วง (delay distortion) ทำให้เฟสเลื่อนไป ทำให้ข้อมูลเกิดการผิดพลาดได้ วงจรกรองชนิดนี้จะมีช่วงเวลาหน่วงอย่างสม่ำเสมอ จึงทำให้การผิดเพี้ยนไม่เกิดขึ้น

<u>สวิทคาปาซิเตอร์ฟิลเตอร์</u> (Switch capacitor filter)

ในปัจจุบันวงจรกรองความถี่ที่เรานิยมใช้มาก คือวงจรกรองความถี่ที่ใช้ switch capacitor filter ซึ่งถือว่าเป็นวงจรกรองความถี่แบบแอกทีฟ

สวิทคาปาซิเตอร์ใช้เทคโนโลยีของ MOS (Metal Oxide Semiconductor) โดยใช้ความสัมพันธ์ของ ตัวเก็บประจุ กับสวิทช์ เพื่อสร้างตัวต้านทาน ให้มีค่าตามที่ต้องการ ซึ่งอุปกรณ์ทั้งสองตัวนี้จะเป็นส่วนสำคัญของวงจรชนิดนี้

ในที่นี้ เราจะใช้ MOSFET มาทำหน้าที่เป็นสวิทช์ ซึ่งโครงสร้างของMOSFET แสดงในรูปที่ 38 ทรานซิสเตอร์ ชนิดนี้ จะมีขา ดังนี้คือ เกต (Gate)ซอร์ส (Source) และเดรน (Drain) จากรูปที่ 38 Vgs คือแรงดันระหว่างเกตและซอร์ส แรงดันนี้จะเป็นตัวควบคุมให้ FET ตัวนี้ปิดหรือเปิด โดยส่วนที่เป็นสวิทช์ คือ ซอร์สและเดรน ซึ่งมีค่าความต้านทานเป็น R_{DS} เมื่อ MOS SW.อยู่ในสภาวะจาก (OFF mode) ความต้านทาน R_{DS} จะมีค่าสูงมากราว ๆ 100 - 1,000 เมกกะโอห์ม ในขณะที่อยู่ในสภาวะต่อ (ON mode) ค่าความต้านทาน จะลดลงมา มีค่าประมาณ 10 กิโลโอห์ม อัตราส่วนของความต้านทานทั้งสองสภาวะมีค่าประมาณ 10^5 เท่า

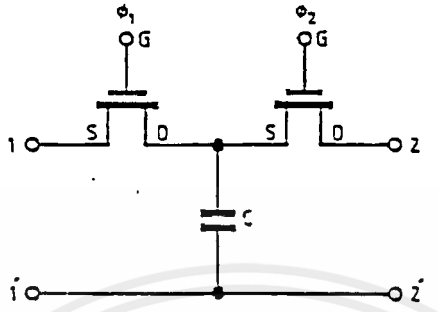


รูปที่ 1.38 แสดงโครงสร้างภายในของ MOSFET

จากหลักการนี้ เราจะนำตัวเก็บประจุมาต่อร่วม ดังรูปที่ 1.39 โดยเราจะใช้ MOSFET ทำหน้าที่แทนสวิทช์ 2 ตัวต่อกัน ทำหน้าที่เป็นสวิทช์ขั้วเดียวสองทาง โดยควบคุมการสวิทช์ด้วยสัญญาณนาฬิกา 2 สัญญาณคือ 01 และ 02 โดยมีความถี่เท่ากัน

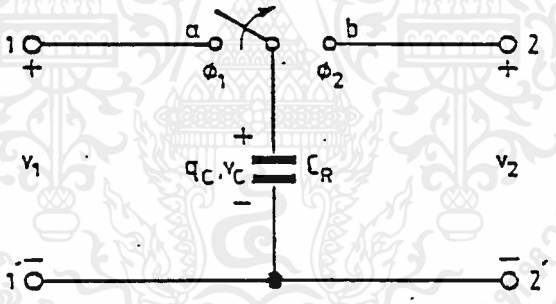
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่มีรูปคลื่นล้าหลังกันอยู่ครึ่งคาบ และไม่มีส่วนที่เหลื่อมล้ำกัน เมื่อ 01 อยู่ในสภาวะเปิด 02 จะอยู่ในสภาวะปิดสลับกันไปตลอด

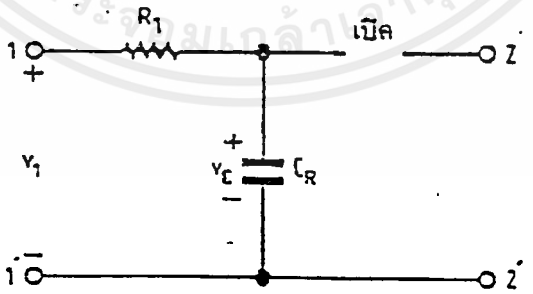


รูปที่ 1.39 การต่อ MOSFET ร่วมกับตัวเก็บประจุ

จากรูปต่อไป ให้แรงดัน V1 เปลี่ยนแปลงไปตามเวลาหรือเป็นไฟสลับเริ่มต้นให้สวิทช์โยกไปที่ตำแหน่ง a. เราสามารถแทนสภาวะนี้ดังรูปที่ 40



รูปที่ 1.40 แสดงการทำงานของสวิทช์คาปาซิเตอร์



รูปที่ 1.41 การทำงานของสวิทช์คาปาซิเตอร์แทนด้วยตัวต้านทาน

R คือความต้านทาน MOSFET ตัวที่ 1 ขณะอยู่ในสภาวะต่อ MOSFET ตัวที่ 2 อยู่ในสภาวะจากทำให้ความต้านทานสูงมากเสมือนกับเปิดวงจร ถ้า V เปลี่ยนแปลงช้ามาก ถือว่าลงที่ ตัวเก็บประจุ C จะประจุไฟตามสูตรคาบเวลา T = R C ค่าความต้านทาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

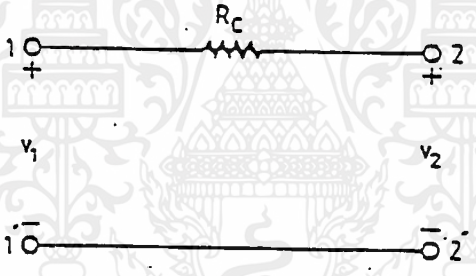
ประมาณ 10 KΩ ตัวเก็บประจุค่าประมาณ 10 PF ค่าแรงดันประจุได้ที่ 63% ดังนั้นใช้เวลา

$$T = R_1C_R = 10^{4} * 10^{-12} = 10^{-8} \text{ sec.}$$

โดยขณะที่ตัวเก็บประจุ ประจุไฟอยู่นั้น ให้ค่า V เปลี่ยนแปลง ขณะเดียวกันเมื่อสวิทช์โยกไป ตำแหน่ง b แรงดันคายประจุเป็น $\Delta qc = C(V_1-V_2)$ คาบเวลาที่คายประจุเป็น TC จะได้กระแสเฉลี่ยเป็น

$$i(t) = \Delta q / \Delta t = C_R(V_1-V_2) / T_C$$

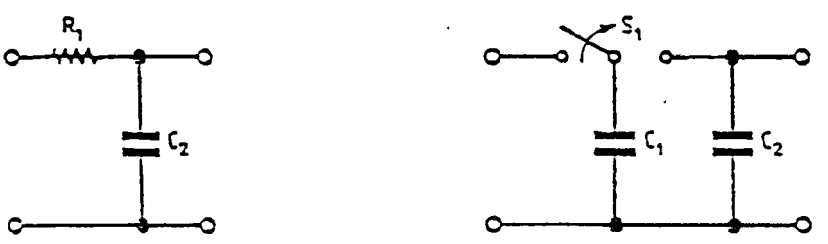
สวิทช์คาปาซิเตอร์ สามารถประมาณค่าด้วยความต้านทานสมมูลย์ดังรูป ที่ 42 สำหรับการประมาณค่า R จำเป็นที่จะต้องให้ค่าของความถี่นาฬิกามีค่าสูงกว่าความถี่ V_1 และ V_2 มาก ๆ แต่ค่าจะต้องอยู่ในช่วงที่ยอมรับได้คือ C_R มีค่าประมาณ 10^{-12} ฟาร์รัด และค่า Rc จะอยู่ในช่วง 10 เมกกะโอห์ม



รูปที่ 1.42 ความต้านทานสมมูลย์ของสวิทช์คาปาซิเตอร์

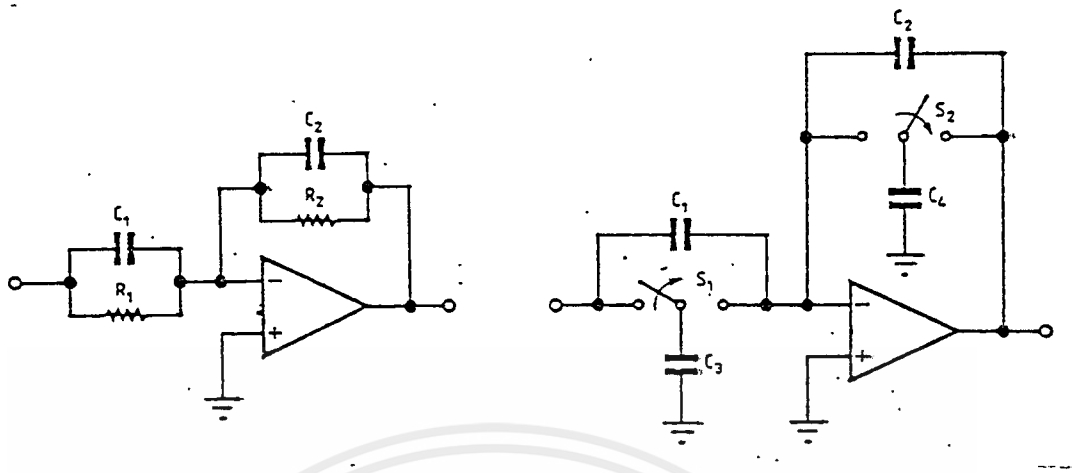
<u>วงจรกรองความถี่ที่ใช้สวิทช์คาปาซิเตอร์</u>

จากหลักการข้างต้น เราสามารถสร้างความต้านทาน ซึ่งจะนำไปใช้ในวงจรกรองความถี่ด้วยสวิทคาปาซิเตอร์โดยที่ค่าความต้านทานนี้จะเปลี่ยนแปลงตามค่าความถี่นาฬิกา จากรูปที่ 43,44 แสดงให้เห็นตัวอย่างในการใช้สวิทช์คาปาซิเตอร์แทนความต้านทาน



รูปที่ 1.43 การใช้สวิทช์คาปาซิเตอร์กับวงจรกรองความถี่ประเภทพาสซีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.44 การใช้สวิทช์ตาปาซิเตอร์กับวงจรกรองความถี่ประเภทแอกทีฟ

1.3.9 หลักการออกแบบวงจรกรองความถี่แบบแอคทีฟ

วงจรกรองความถี่หรือวงจรฟิลเตอร์ที่เรารู้จักกันดีนี้มีหน้าที่สำคัญคือ ยอมให้สัญญาณของความถี่ที่ต้องการผ่านไปได้ ในขณะเดียวกันก็จะกำจัดหรือลดทอนความถี่อื่นใดที่นอกเหนือจากความถี่ที่ต้องการ ส่วนใหญ่แล้วใ นตอนเริ่มแรกจะรู้จักกันมากในรูปแบบที่เรียกว่า พาสซีฟ ฟิลเตอร์ (Passive filter) ซึ่งวงจรกรองความถี่ในลักษณะนี้จะประกอบด้วยขดลวดเหนี่ยวนำ (Inductor) , ตัวเก็บประจุ(Capacitor) ,และตัวต้านทาน(Resister) ซึ่งเป็นวงจรกรองความถี่เริ่มแรกที่ใช้ กันมานาน แต่เนื่องจากการออกแบบวงจรกรองความถี่แบบพาสซีฟ ในบางความถี่มักประสบปัญหาในเรื่องขนาดของอุปกรณ์ คือไม่สามารถหาขดลวดเหนี่ยวนำได้ตามขนาดที่ต้องการจากการคำนวณออกแบบวงจร ทำให้มีข้อจำกัดในเรื่องความสามารถหรือประสิทธิภาพของวงจร ด้วยสาเหตุนี้จึงได้มีการคิดค้นกันมานานในอันที่จะหาวิธีนำอุปกรณ์มาใช้แทนขดลวดเหนี่ยวนำโดยได้นำอุปกรณ์ประเภทแอคทีฟ (Active type) เช่น ออปแอมป์ ทรานซิสเตอร์ มาทดลองออกแบบวงจรใช้งาน ปรากฏว่าสามารถใช้งานได้ดีเหมือนขดลวดเหนี่ยวนำทุกประการ ประกอบกับในขณะเดียวกันวิวัฒนาการทางด้านเทคโนโลยี ทำให้สามารถสร้างอุปกรณ์ประเภทแอคตีฟนี้ให้มีขนาดเล็กลง และราคาถูกลงด้วยเมื่อเทียบกับการใช้ขดลวดเหนี่ยวนำ ในการออกแบบวงจรกรองความถี่มีหลากหลายรูปแบบให้เลือก ตามคุณลักษณะเฉพาะที่ต้องการ โดยใช้อุปกรณ์ค่ามาตรฐานที่มีขายตามท้องตลาดทั่วไป และอุปกรณ์ประเภทแอคทีฟที่นิยมใช้กันคืออินทิเกรท โอเปอเรชั่นแนลแอมปลิไฟเออร์ หรือ ไอซีออปแอมป์นั่นเอง

ในการออกแบบวงจรกรองความถี่แต่ละแบบ ผู้ออกแบบจะต้องกำหนด คุณลักษณะเฉพาะที่ต้องการเสียก่อนเป็นอันดันแรก หลังจากนั้นจึงทำการเลือกรูปกราฟที่จะใช้งานอ่านค่าอุปกรณ์ประกอบที่ใช้ ลงมือประกอบวงจรตามรูปที่แสดงไว้ในแต่ละแบบได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรกรองความถี่ต่ำ

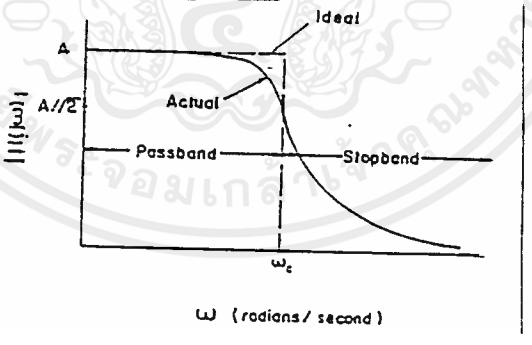
สมการและวงจรที่ใช้งาน

Low pass filter เป็นวงจรกรองความถี่แบบหนึ่ง ซึ่งจะส่งผ่านสัญญาณความถี่ที่ต่ำกว่าที่เลือกไว้ผ่านไปได้ทั้งหมด ในขณะที่จะกำจัด หรือ ลดทอนความถี่ ที่สูงกว่าค่าที่เลือกไว้ คุณสมบัติเช่นนี้ของวงจรกรองความถี่ต่ำ แสดงให้เห็นดังกราฟการตอบสนองเชิงขนาดของสัญลักษณ์ (Amplitude Responce) ซึ่งเป็นการพล็อตระหว่างขนาด $|H(j\omega)|$ ของสมการทรานสเฟอร์ ฟังก์ชัน H(s) กับความถี่เชิงมุม ω (เรเดียน/วินาที) ซึ่งเท่ากับ $2\pi f$ และทุกความถี่จะได้ว่า

$$H(s) = V_2(s)/ V_1(s)$$

โดยที่ V_2 เป็นเอาท์พุท ส่วน V_1 เป็นอินพุท

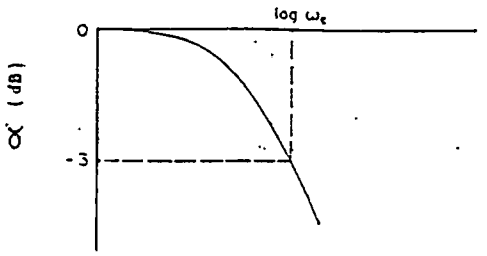
สำหรับเส้นกราฟที่แสดงดังรูป 45 นั้น เส้นประแสดงถึงการตอบสนองเชิงขนาดของสัญญาณในอุดมคติ ส่วนเส้นทึบแสดงถึงการตอบสนองเชิงขนาดของสัญญาณในการใช้งานจริง ซึ่งสามารถแสดงคุณลักษณะเฉพาะได้ใกล้เคียงผลตอบสนองทางอุดมคติมากที่สุด ค่า ωc เป็นความถี่คัทออฟ กำหนดที่จุด $|H(j\omega)|$ มีค่า $1/\sqrt{2}$ หรือ 0.707 เท่า ของค่าแอมปลิจูดสูงสุด ในที่นี้แสดงด้วยค่า A



รูปที่ 1.45 ผลตอบสนองเชิงขนาด

เราอาจจะพล็อตกราฟแสดงการตอบสนองเชิงขนาด ของสัญญาณอีกรูปแบบหนึ่ง คือ ระหว่าง แอมปลิจูดในหน่วยเดซิเบล ในที่นี้ แทนด้วย α กับค่าความถี่ ω หรือ f ซึ่งอาจจะใช้เป็น log และจากรูปกราฟที่พล็อตไว้ในรูป ต่อมา จะเห็นจุดคัทออฟ สัมพันธ์กับ α คิดจากจุดที่ค่า α ลดลงจากเดิมไป 3 เดซิเบล (dB)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



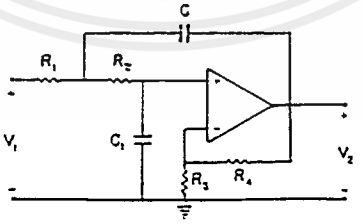
รูปที่ 1.46 จุดคัทออฟที่ลดลงไป 3 dB

สมการโพลีโนเมียลอันดับที่สอง (Second order Function) สามารถเทียบเคียงกับคุณลักษณะเฉพาะ ของวงจรกรองความถี่ต่ำทางอุดมคติ โดยการหาออกมา ในรูปสมการทรานสเฟอร์ฟังก์ชัน ดังนี้

$$V_2(s)/V_1(s) = K/ s^2+as+b$$

โดยที่ a และ b เป็นค่าคงที่ที่กำหนดขึ้น และ K เป็นค่าคงที่ ส่วนอันดับที่สอง (Second Order) ได้มาจากกำลังสูงสุดของสมการโพลีโนเมียลของตัวส่วนตัวหารนั่นเอง ในกรณีของสมการทรานเฟอร์ฟังก์ชันที่อันดับสูงกว่านี้หาได้จากสมการได้เช่นเดียวกัน

การใช้อุปกรณ์แอคทีฟแทนขดลวดเหนี่ยวนำในวงจรกรองความถี่ต่ำนั้นมีด้วยกันหลายวิธี แต่ในที่นี้จะใช้วิธีของ Sallen and Key แสดงดังรูปต่อไป โดยเลือกค่าตัวต้านทานและตัวเก็บประจุที่เหมาะสมเพื่อให้ได้ค่า a และ b ที่กำหนดขึ้นตามสมการ และR_3,R_4 ที่ต่อไว้ในวงจรร่วมกับออปแอมป์ประกอบกันขึ้นเป็นวงจรควบคุมแหล่งจ่ายแรงดันด้วยค่าแรงดัน (Voltage Control Voltage Sorce : VCVS)



รูปที่ 1.47 วงจรกรองความถี่ต่ำอันดับที่สอง

วงจรกรองความถี่อันดับที่สูงกว่านี้สามารถประกอบขึ้นได้โดยการนำวงจรกรองความถี่อันดับที่สองมาต่อกันหลายๆ ชุด ตัวอย่างเช่น วงจรกรองความถี่ต่ำอันดับที่สี่จะประกอบขึ้นโดยการนำวงจรกรองความถี่ต่ำอันดับที่สองจำนวน 2 ชุด ดังรูปด้านบนมาประกอบเข้าด้วยกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$K = \mu / R_1R_2CC_1$

$a = 1/R_2C_1(1-\mu) + 1/R_1C + 1/R_2C$

$b = 1/R_1R_2CC_1$

ค่า μ เป็นค่าอัตราขยายของวงจร VCVS ซึ่งจะเป็นอัตราขยายของวงจรกรองความถี่ด้วยเพราะว่า $K/b = \mu$

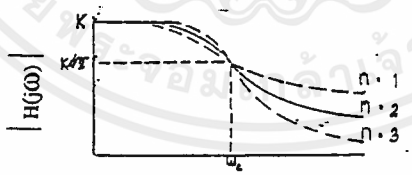
เป็นที่ทราบกันดีว่า มีวงจรกรองความถี่ต่ำอยู่หลายแบบ แต่มีเพียง 2 แบบที่นิยมใช้กันคือ แบบบัตเตอร์เวิร์ธ และแบบเชฟบีเชฟ

<u>วงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธ (Low pass Butterworth Filter)</u>

เป็นวงจรกรองความถี่ ที่มีคุณลักษณะเฉพาะ ใกล้เคียงกับวงจรกรองความถี่ต่ำทางอุดมคติโดยยอมให้ช่วงความถี่ผ่านได้ มีแอมปลิจูดเท่าเทียมตลอดย่านที่ยอมให้ผ่านได้ โดยที่การตอบสนองเชิงขนาดของสัญญาณมีค่าตามสมการดังนี้

$$|H(j\omega)| = K/\sqrt{1+(\omega/\omega_c)^{2n}}$$

โดยที่ n เป็นค่าอันดับ (order) ของวงจรกรองความถี่และตามรูปต่อไป แสดงให้เห็นว่า วงจรกรองความถี่สามารถที่จะปรับปรุงคุณลักษณะเฉพาะเกี่ยวกับการตอบสนองเชิงขนาดของสัญญาณให้ดีขึ้น โดยใช้การเพิ่มค่า n หรืออันดับของวงจรกรองความถี่



ω (radian / second)

รูปที่ 1.48 การตอบสนองเชิงขนาดที่ค่า n ต่างๆ

วงจรกรองความถี่ แบบบัตเตอร์เวิร์ธ มีข้อดีที่กล่าวไว้แล้ว คือสามารถให้ผลตอบสนองเชิงขนาดของสัญญาณได้เท่าเทียมกัน ตลอดย่านความถี่ที่ต้องการ เพียงแต่จุดคัทออฟของวงจรบัตเตอร์เวิร์ธนี้ จะอยู่ต่ำกว่าจุดต่ำกว่าจุดคัทออฟของวงจรกรองความถี่แบบเชพบี่เชฟไม่ว่าจะเป็นอันดับที่ n ใดๆ ก็ตาม และ จะกล่าวถึงวงจรกรองความถี่แบบเชบีเชฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อไป จากรูปด้านบนค่าแอมปลิจูดของสัญญาณจะถูกลดทอนลงด้วยอัตราประมาณ -20 n dB/decade ซึ่งเมื่อเปรียบเทียบกับวงจรกรองความถี่แบบชบีเชฟ อัตราการลดทอนของวงจรกรองความถี่แบบบัตเตอร์เวิร์ธจะน้อยกว่า (ความชันน้อ ยกว่า) โดยที่ 1decade เป็นช่วงห่างระหว่างความถี่ 2 ความถี่ และความถี่หนึ่ง จะมีค่า เท่า กับ 10 เท่าของความถี่อีกความถี่หนึ่ง

<u>วงจรกรองความถี่ต่ำอันดับสองแบบบัตเตอร์เวิร์ธ</u>

<u>(Second Order Low pass Filter)</u>

เราสามารถสร้างวงจรกรองความถี่ชนิดนี้ได้โดยการต่อวงจรตามรูป โดยเลือกค่าตัวเก็บประจุ C และ C1 ค่าตัวต้านทาน R1,R2,R3,R4 แทนลงในสมการ เพื่อให้ได้ตามค่าความถี่คัทออฟที่ออกแบบไว้

เพื่อให้สะดวกรวดเร็วในการออกแบบวงจร จึงได้มีการจัดทำเป็นกลุ่มของกราฟให้สามารถเลือกใช้ค่าตัวเก็บประจุและค่าตัวต้านทานได้ง่ าย วิธีการใช้กราฟเหล่านี้เริ่มต้นจากการกำหนดค่า fc หรื อความถี่คั ทออฟที่ต้องการขึ้นมาก่อนเป็นอันดับแรก หลังจากนั้นตรวจดูว่าค่า fc นี้ตกอยู่ในช่วงกราฟรูปใดคือรูป a ,b,c โดยที่กราฟรูป a ใช้สำหรับค่า fc ที่อยุ่ในช่วง 1-100 Hz รูป b สำหรับ fc ที่อยู่ในช่วง 100-10,000 Hz และรูป c มีค่าอยู่ช่วง 10Khz - 1 Mhz

เมื่อเรากำหนดค่า fc ขึ้นมาดูว่าค่าตกอยู่ในกราฟช่วงใด จากนั้นเราสามารถทำการเลือกค่าตัวเก็บประจุที่จะใช้งานได้หลายค่าด้วยกัน (ดูจากกราฟ) เมื่อเลือกค่าตัวเก็บประจุได้แล้ว ลากเส้นตั้งฉากจากแกน นอนไปตัดค่า C ที เลือ กไว้ จากจุดบนกราฟ C ที่ได้ลากเส้นขนานแกน fc ไปตัดแกนK พารามิเตอร์หรือแกนตั้งได้ค่า K นำค่า K ที่ได้ไปหาค่าC และตัวต้านทานต่างๆ ที่ใช้ในวงจร โดยหาได้จากกราฟที่อยู่ด้านหลัง ทั้งนี้ขึ้นกับอัตราขยายที่ต้องการ ตัวอย่างเช่น ถ้าต้องการ อั ตราขยายหรือ Gain =2 ก็ใช้กราฟที่มี Gain ตรงกัน หาค่าตัวต้านทานต่างๆ และตัวเก็บประจุ ค่า C1 ค่า จะเท่ากับ C หรือ 2C กรณีต้องการอัตราขยาสูงขึ้น ท้ายสุด ต้องทำการ ปรับค่าความต้านทานที่อ่านได้จากรูปกราฟให้ได้ค่าใกล้เคียงค่ามาตรฐานที่มีขายทั่วไป ก่อนที่จะนำไปประกอบวงจรต่อไป

โดยสรุปแล้ว ในการออกแบบวงจรกรองความถี่ต่ำอันดับทีสองแบบบัตเตอร์เวิร์ธ ผู้ออกแบบสามารถออกแบบ โดยเลือกค่า fc ที่อยู่ในช่วงตั้งแต่ 1Hz-1MHz ค่าตัวเก็บประจุ และค่าอัตราขยาย เป็น 2 , 4, 6 ,8 หรือ 10 หลังจากนั้น นำค่ า K ที่ได้จากกราฟไปหาค่า C1 ,R1,R2,R3 และ R4 แล้วทำการประกอบวงจรตามรูป ส่วนกรณีต้องการ เปลี่ยน จุดคัทออฟจากจุดหนึ่งไปอีกจุดหนึ่ง สามารถทำได้เพียงแต่เปลี่ยนค่าตัว C ในวงจรตามรูปเท่านั้น (ถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาจากกราฟจะเห็นว่า ถ้าลากเส้นขนานไปกับแกน fc หรือแกนนอน จะได้ว่า C และค่า fc ที่เปลี่ยนไปตลอดเส้นแกนนอน โดยที่ ค่า K ไม่เปลี่ยนแปลง) ดังนั้นการเปลี่ยนแปลงค่าตัวเก็บประจุจะได้จุดคัทออฟใหม่โดยไม่มีผลต่อค่า K ไม่ว่าในกราฟรูปใด ซึ่งกราฟเหล่านี้จะได้แสดงไว้ในภาคผนวกต่อไป

สรุปขั้นตอนการออกแบบวงจรกรองความถี่ต่ำอันดับที่สอง

เริ่มจากกำหนด fc ,Gain และแบบของวงจรกรองความถี่ (บัตเตอร์เวิร์ธหรือเชบีเชฟ) ตามต้องการ (ซึ่งในที่นี้ Gain ต้องไม่เกิน 10 เท่า ตามกราฟที่มีไว้ด้านหลัง) หลังจากนั้นปฏิบัติตามขั้นตอนต่อไปนี้

1 เลือกค่า ตัวเก็บประจุ C ทำการหาค่า K จากกราฟรูปที่ a กรณีที่ fc อยู่ระหว่าง 1 และ 100 Hz จากกราฟรูป b กรณีที่ fc อยู่ระหว่าง 100Hz และ 10 Khzและ 1 Mhz

2 ใช้ค่า K จากข้อที่ 1 หาค่าตัวอุปกรณ์อื่นๆ ที่ใช้ในวงจรโดยเลือกจากกราฟ ส่วนการจะใช้กราฟรูปใดนั้น ขึ้นอยู่กับอัตราขยายในกรณีที่เป็นเชบีเชฟ ต้องพิจารณาช่วง ดีบีริปเปิ้ล ที่ต้องการด้วย

3 จากข้อที่ 2 เลือกค่าตัวต้านทานที่ใช้งานจริงให้ใกล้เคียงกับ ค่าที่อ่านได้จากกราฟให้มากที่สุด และลงมือประกอบวงจรตามรูปต่อไป

การเลือกค่าออปแอมป์ที่ใช้ที่มีค่าความต้านทานอินพุทต่ำ (น้อยกว่า 250 KΩ) ค่า K ที่ควรใช้อยู่ในช่วง 1-10 จะได้ผลของวงจรที่ดีที่สุด สำหรับ ค่าความต้านทานด้านอินพุทที่สูงกว่า ค่า K สามารถขึ้นไปได้ถึง 25 และกรณี ใช้ตัวอุปกรณ์ ออปแอมป์ที่เป็น FET ใช้ค่า K ได้ถึง 100ค่า R3 และR4 ที่อ่านได้จากกราฟ ใช้ค่าดีซีออฟเซ็ท ของออปแอมป์ให้มีค่าน้อยที่สุด ถ้าต้องการใช้ค่า R3 และR4 อื่นใดนอกเหนือจากกราฟที่มีอยู่ก็สามารถเลือกใช้ได้ แต่ต้องเลือกใช้ค่าความต้านทานที่มีความถูกต้องสูง และใกล้เคียงกับที่อ่านจากกราฟให้มากที่สุด

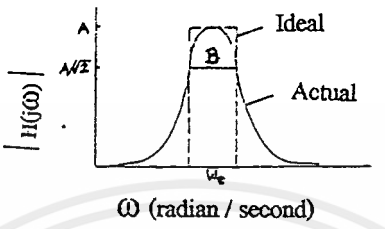
<u>การออกแบบวงจรกรองเฉพาะแถบความถี่ (Band Pass Filter)</u>

<u>สมการและวงจรใช้งาน</u>

Band pass Filter เป็นวงจรกรองความถี่แบบหนึ่ง ซึ่งจะยอมให้แถบความถี่ช่วงหนึ่งที่เลือกไว้ผ่านวงจรชนิดนี้ไปได้เท่านั้น โดยจะลดทอนความถี่อื่นใดนอกเหนือจากช่วงกว้างของแถบความถี่ที่เลือกไว้แล้ว ในที่นี้ดังรูป สมมติให้มีความกว้างเท่ากับ B และมีค่าความถี่ ที่จุดกึ่งกลางของแถบความถี่ เป็น ω_c สำหรับค่า B และ ω0 กำหนดให้อยู่ในหน่วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรเดียน/ วินาที คุณสมบัติที่กล่าวมาของวงจรแบนด์พาส ฟิลเตอร์ แสดงให้เห็นได้ดังรูป กราฟแสดงการตอบสนองเชิงขนาดของสัญญาณ เส้นประแสดงถึงการตอบสนองเชิงขนาดของสัญญาณในทางอุดมคติ ส่วนเส้นทึบเป็นการใช้งานจริง



รูป 1.49 แสดงผลตอบสนอง Band pass filter

สมการโพลิโนเมียลอันดับที่สอง สามารถเทียบเคียงคุณลักษณะเฉพาะของวงจรกรองเฉพาะแถบความถี่ ทางอุดมคติได้ โดยกำหนดค่า B และ ω_0^2 ให้เหมาะสม ซึ่งจะได้ออกมาในรูปสมการทรานสเฟอร์ฟังก์ชัน ดังนี้

$$H(s) = V2(s) / V1(s) = Ks / s^2 + Bs + \omega o^2$$

มีค่าพารามิเตอร์สำคัญที่ควรสนใจอยู่ค่าหนึ่งในการออกแบบวงจรกรองเฉพาะแถบความถี่ นี้ คือค่า Q หรือค่า ควอลิตี้ แฟคเตอร์ หาค่าได้จาก

$$Q = \omega_0/B$$

หรือ Q = f0/B เมื่อกำหนด B ในหน่วย Hz

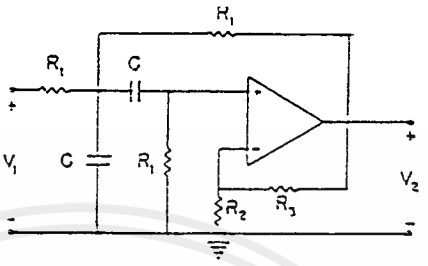
โดยค่า Q จะบ่งบอกให้ทราบถึงความกว้างของช่วงความถี่ จะยอมให้ผ่าน ถ้า Q ยิ่งมีค่ามาก วงจรที่ออกแบบนั้น จะทำการกรองแถบความถี่ ให้ผ่านไปได้ช่วงแคบมากขึ้น นั่นคือจะผ่านแถบความถี่ไปได้น้อยลง มีความชันมากขึ้น เมื่อเทียบกับความถี่กึ่งกลาง ω0 โดยที่ค่า Gain ของวงจรกรองเฉพาะแถบความถี่ นี้ กำหนดได้จากค่า แอมปลิจูดของ H(s) ในสมการ ที่จุดกึ่งกลางของแถบความถี่ซึ่งจะได้ค่า Gain = K/B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองเฉพาะแถบความถี่อันดับที่สองแบบ VCVS

(Second Order VCVS Band Pass Filter)

เป็นวงจรกรองเฉพาะแถบความถี่อันดับที่ส องรูปแบบหนึ่ง แสดงดังรูป 1.50



รูป 1.50 แสดงวงจร band pass filter อันดับที่สอง

วงจรตามรูป จะทำงานได้ดีเมื่อค่า Q ต่ำๆ ซึ่ง 4- μ = R1Cω_0/Q จะได้ว่าถ้าต้องการค่า Q ที่สูงขึ้นเท่าใด μ ก็จะมีค่าเข้าใกล้ 4 เท่านั้นเมื่อเป็นเช่นนี้ แล้วจะเห็นว่า การเปลี่ยนแปลงค่า R2 และR3 จะมีผลกระทบต่อค่า Q ด้วยเหตุนี้เส้นกราฟต่างๆ ที่จะกำหนดให้ใช้ในทางปฏิบัติจริงจึงถูกกำจัดอยู่ที่ Q <=4 ดังนั้นเพื่อความสะดวกในการปรับเปลี่ยนค่า Q จึงควรใช้ โพเทนชิโอมิเตอร์ แทนค่า R2 และ R3

สรุปขั้นตอนการออกแบบวงจรเฉพาะแถบความถี่อันดับที่สองแบบ VCVS

เริ่มจากการกำหนด f0,Q หลังจากนั้นปฏิบัติดังนี้

1. เลือกค่าตัวเก็บประจุ C ที่จะใช้ เพื่อจะได้ค่า K ต่อไป วิธีการก็เช่นเดียวกับในก่อนหน้า โดยจะมีกราฟให้เลือกใช้ตามค่า f0 ที่กำหนด

2.ใช้ค่า K ที่ได้จากข้อที่ 1 หาค่าตัวต้านทานจากกราฟ ทั้งนี้จะใช้รูปใดก็ขึ้นอยู่กับค่า Q หรือ แบนวิดธ์ที่กำหนด

3.จากข้อที่แล้ว หาค่าตัวต้านทานให้ใกล้เคียงมากที่สุด แล้วต่อวงจรตามรูปโดยที่ใช้ R2 , R3 ปรับดีซีออฟเซ็ท ของออปแอมป์ ให้มีค่าน้อยที่สุด และให้ R1 เป็นตัวนำดีซีลงกราวด์

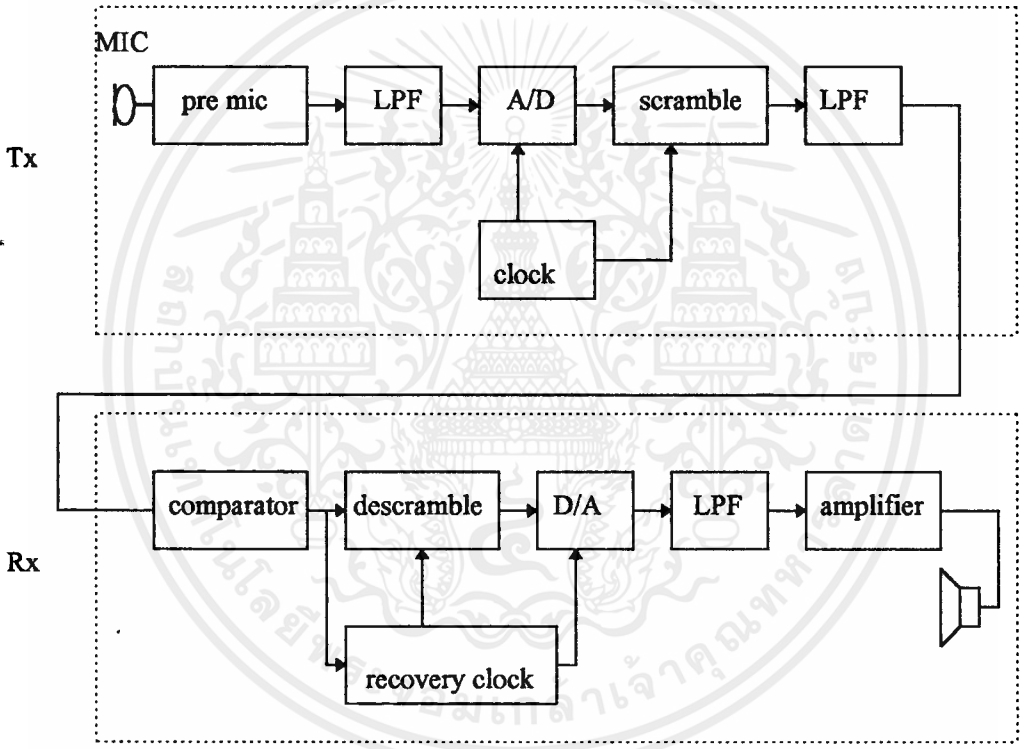
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

โครงสร้างของวงจร

2.1 โครงสร้างของวงจร

การทำงานโดยทั่วไปของวงจรป้องกันการดักฟังสัญญาณเสียงแบบดิจิตอล (Digital voice scramble and descramble) แสดงได้ดังบล็อกไดอะแกรมตามรูป 2.1



หลักการทั่วไปของวงจรป้องกันการดักฟังสัญญาณเสียงแบบดิจิตอลนี้ ทางด้านส่งจะนำเอาสัญญาณเสียงซึ่งได้มีการขยายกำลังไปผ่านวงจรกรองความถี่ต่ำ แล้วไปเข้าขบวนการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล คือ ให้อยู่ในรูปสัญญาณเลขฐานสอง เทคนิคที่นิยมใช้ ได้แก่ PCM,ADPCM,DM จากนั้นนำไปทำการ Scrambling เป็นการเปลี่ยนแปลงบิทข้อมูล เพื่อจุดประสงค์ในการหลีกเลี่ยงการเกิดสัญญาณ "0" ติดต่อกันเป็นเวลานาน ซึ่งอาจทำให้สัญญาณนาฬิกาทางด้านรับผิดพลาด และป้องกันการดักฟังจากผู้ไม่อยู่ในระบบแล้วส่งไปให้ด้านรับต่อไป

ทางด้านรับจะมีวงจรเปรียบเทียบสัญญาณและเข้าสู่วงจร Descramble แล้วผ่านไปยังวงจรกรองความถี่ต่ำ วงจรขยายเพื่อให้ได้สัญญาณเสียงเดิมกลับคืนมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ข้อกำหนดของการป้องกันการดักฟัง

การสร้างสัญญาณรบกวนเสียง (scrambling voice signal) สามารถทำได้หลายวิธี แต่ที่สำคัญก็คือ เงื่อนไขของระบบป้องกันการดักฟังจะต้องประกอบด้วย

1. สัญญาณที่ถูกใส่รหัส (encode) หรือสลับความถี่ (frequency inversion) จะต้องเพี้ยนไปจากเดิมเพราะว่าสมองของมนุษย์ มีความสามารถในการคาดคะเนข้อความเดิมจากเสียงที่ได้ยินไม่ชัด

2. สัญญาณที่ถูกถอดรหัส (decode) หรือสลับความถี่กลับจะต้องเหมือนหรือใกล้เคียงกับของเดิมมากที่สุด เพื่อไม่ให้เกิดความรำคาญ

3. สัญญาณที่ถูกถอดรหัส หรือสลับความถี่จะต้องมี (band width)ที่มีขนาดใกล้เคียงกับของเดิม และสามารถผ่านช่องสัญญาณเสียงที่มีแบนด์วิทธ์ไม่เกิน 4KHz

2.3 การสแครมเบิล (Scramble)

การสแครมเบิลสัญญาณเพื่อรักษาความปลอดภัยให้สัญญาณ ป้องกันไม่ให้ผู้ที่อยู่นอกระบบรับรู้และเข้าใจข้อมูลที่เราส่งไปในสัญญาณได้ อีกทั้งเป็นการป้องกันความผิดพลาดที่จะเกิดเนื่องจากมีข้อมูลบิท "0" ติดต่อกันเป็นเวลานาน การสแครมเบิลอาจทำได้โดยการรวมลำดับแบบกึ่งสุ่ม (psudorandom sequence หรือ pseudonoise) เข้ากับขบวนข้อมูล หรืออาจทำการรวมทางตรรกศาสตร์กับขบวนข้อมูลที่หน่วงไว้

การสแครมเบิลที่ใช้ในระบบยุโรป จะใช้การกลับบิท(จาก "1" เป็น "0" หรือจาก "0" เป็น "1")บิทเว้นบิท เทคนิคอื่นๆ อาจทำการกลับบิท "1" เป็น "0" ในขบวนข้อมูลที่มี "0" ปรากฏเป็นส่วนใหญ่

การรวมขบวนบิทข้อมูลเข้ากับขบวนลำดับแบบกึ่งสุ่มนั้น ถ้าตัวกำเนิดลำดับแบบกึ่งสุ่ม 2 ตัว ที่มีโครงสร้างเดียวกัน เริ่มต้นด้วยสภาวะเดียวกัน มีสัญญาณนาฬิกาอัตราเดียวกัน ย่อมให้เอาท์พุทที่เหมือนกัน วงจรกำเนิดลำดับแบบกึ่งสุ่มเป็นวงจรที่ไม่ยุ่งยากซับซ้อน แต่ให้ลักษณะลำดับที่ดูคล้ายกับมีการสุ่มจริงๆ

2.3.1 ลำดับแบบกึ่งสุ่ม (pseudorandom sequence)

ลำดับแบบกึ่งสุ่ม เป็นลำดับที่มีคุณลักษณะ (characteristic) ใกล้เคียงกับลำดับที่มีการสุ่มอย่างสมบูรณ์หรือลำดับที่มีรูปแบบของข้อมูลอิสระ เราสามารถนำลำดับแบบกึ่งสุ่มมาประยุกต์ใช้ได้หลายอย่างในระบบการส่งสัญญาณแบบดิจิตอลเช่นการเข้ารหัส(coding)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจำลองระบบ(simulation) การวัด (measurement) และการป้องกันการดักฟังข้อมูล(Scrambling)

หลักการสร้างและคุณลักษณะของลำดับแบบกึ่งสุ่มนี้ มีพื้นฐานจากทฤษฎี Galois field และพหุนามพีชคณิตของ Galois fields

2.3.2 การสร้างลำดับแบบกึ่งสุ่ม

ในการสเตรมเบิลนี้เราจะเลือกใช้โครงสร้างของลำดับแบบกึ่งสุ่มแบบ maximum-length linear feedback shiht register (m-sequence) ซึ่งเป็นลำดับที่มีคุณลักษณะใกล้เคียงกับลำดับที่มีการสุ่มอย่างสมบูรณ์

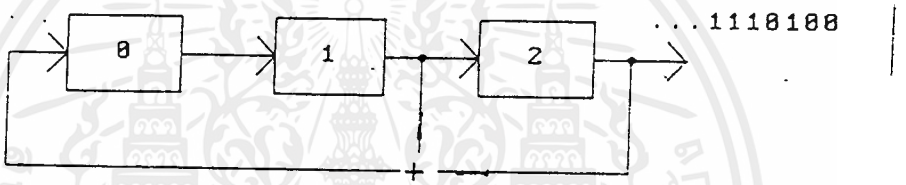
m-sequence คือลำดับแบบวนรอบโดยมีช่วงระยะ 2^m-1 ที่สร้างโดยใช้หลักการของ Galois field ซึ่งสร้างจากพหุนามที่ไม่สามารถถอดตัวประกอบได้อีก (inreducible polynomial) p(x) ของกำลังสองของ GF(2) ถ้า p(x)มีคุณสมบัติพิเศษคือ พจน์ x มีลำดับ 2^m-1 ใน GF (2m) แล้วจะเรียก p(x) ว่า primitive polynomial และเรียกพจน์ x ว่า primitive element ของ (2m)

แต่ละพจน์ของ GF(2m) ที่ไม่เป็นศูนย์ สามารถแสดงเป็น m-bit word หรือในรูปเลขยกกำลังของ x m-bit binary word มีลักษณะเฉพาะขึ้นกับ x สำหรับแต่ละ 1 จาก 0 ถึง 2^{m-2} ใช้บิทที่มีลำดับสูง (high order) สอดคล้องกับ x^1 สำหรับแต่ละ1 ดังกล่าวมาสร้างเป็นลำดับที่มีขนาด 2^{m-1} บิท ลำดับที่ได้นี้ แต่ละวงรอบการเลื่อนของมัน คือ m-sequence ถึงแม้ว่าลำดับแบบนี้จะมีโครงสร้างที่ตายตัว แต่ก็แสดงลักษณะที่เราต้องการจากในลำดับแบบกึ่งสุ่มได้

ฮาร์ดแวร์ที่นิยมนำมาใช้ สร้างลำดับแบบกึ่งสุ่มแสดงดังรูปที่ 2.2 ประกอบไปด้วยชิฟรีจิสเตอร์ (shift register) เราเลือกใช้ดีฟลิปฟลอบ (D-flipflop) และจัดเรียงให้อินพุทของแต่ละตัวยกเว้น D0 คือเอาท์พุท Q ของฟลิบฟลอบตัวที่อยู่ก่อนหน้ามัน อินพุทของ D0 คือเอาท์พุทของพาริตี้เจนเนอเรเตอร์ (parity generater) พาริตี้เจนเนอเรเตอร์ (โดยทั่ว ๆ ไป สร้างจากลอจิกเกท XOR) จะให้เอาท์พุทเป็นลอจิก "0" เมื่อมีอินพุท "0" เป็นจำนวนคู่ และให้เอาท์พุทเป็นลอจิก "1" เมื่ออินพุท "1" มีจำนวนเป็นเลขคี่ อินพุทของพาริตี้เจนเนอเรเตอร์คือเอาท์พุทของฟลิบฟลอบจากรูป 2.2 แสดงการต่ออินพุทของพาริตี้เจนเนอเรเตอร์ด้วยเส้นประ เพื่อแสดงว่า เอาท์พุท Q ของฟลิบฟลอบแต่ละตัวไม่จำเป็นต้องต่อเป็นอินพุทของพาริตี้เจนเนอเรเตอร์ ทั้งหมด คุณลักษณะของลำดับแบบกึ่งสุ่ม ขึ้นอยู่กับจำนวนฟลิบฟลอบ m และการเลือกว่าจะต่อเอาท์พุท Q ของฟลิบฟลอบตัวใดบ้างเป็นอินพุทของพาริตี้เจนเนอเรเตอร์

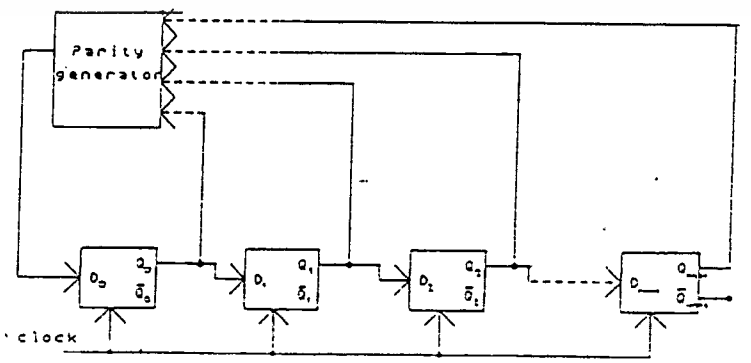
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สภาวะของลำดับจะถูกกำหนดโดยสภาวะลอจิกของเอาท์พุท Q ของฟลิบฟลอบทั้งหมดตลอดช่วงหนึ่งสัญญาณนาฬิกา สถานะของชิฟรีจิสเตอร์จะคงที่ โดยทั่ว ๆ ไปแล้วสถานะจะเปลี่ยนขณะมีการเปลี่ยนจากรอบสัญญาณนาฬิกาหนึ่งไปยังรอบถัดไป รีจิสเตอร์ที่มีฟลิบฟลอบ m ตัวมี 2^m สถานะ จาก $Q0Q1Q2...Q_{m-1} = 000...0$ ถึง $Q0Q1Q2...Q_{m-1} = 111...1$ แน่นอนว่าฮาร์ดแวร์ตามรูป 2.2 ไม่สามารถสร้างลำดับที่มีการสุ่มอย่างแท้จริงได้ เนื่องจากเป็นโครงสร้างที่เราสามารถคาดเดาผลที่จะตามมาได้ และค่อนข้างจะชัดเจนว่าลำดับใด ๆ ที่สร้างขึ้นจากวงจรนี้ เมื่อมีการสร้างขบวนบิทไปเรื่อย ๆ จะเกิดลำดับซ้ำ นั่นคือมันจะวนรอบกลับมาซ้ำรูปแบบเดิม



รูปที่ 2.2 ตัวกำเนิดลำดับแบบกึ่งสุ่ม

ขณะที่ไม่สามารถสร้างลำดับที่มีการสุ่มตัวอย่างแท้จริงได้ เราจะถือว่าลำดับที่มีช่วงระยะวนซ้ำที่ยาวพอ เป็นลำดับที่มีคุณลักษณะแบบสุ่ม วิธีที่ง่ายที่สุดที่จะทำให้ได้ลำดับดังกล่าวคือใช้ฟลิบฟลอบจำนวนมาก ปัจจุบันจากเทคโนโลยี MOS-LSI มีความเป็นไปได้ที่จะสร้างชิพ (chip) ที่มีฟลิบฟลอบรีจิสเตอร์ถึง 200 ตัวได้ จะทำให้ได้ลำดับที่มีความยาวสูงสุด 2^m-1 โดยไม่รวมถึงสภาวะ 000...0 เนื่องจากถ้าสถานะของรีจิสเตอร์เป็น "0" หมด จะทำให้สภาวะของชิฟรีจิสเตอร์ไม่เกิดการเปลี่ยนแปลงใด ๆ อีก



รูปที่ 2.3 ตัวอย่างการกำเนิดลำดับแบบ m-sequence

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างของ linear feedback shift register ในรูป 2.2 มี $p(x) = x^3+x+1$ เป็น primitive polynomial เราจะได้ m-sequence ความยาว 7 บิท โดยใช้ feedback shift register ในรูป 2.2 เป็นวงจรที่จะทำการคูณพหุนามที่กำหนดด้วย x และหารด้วย x^3+x+1 เมื่อเริ่มสภาวะเริ่มแรกของชิฟรีจิสเตอร์ด้วย x^0 จากซ้ายมาขวาด้วย 100 ลำดับของบิทป้อนกลับคือ

0010111.....

ซึ่งจะวนซ้ำไปเรื่อย ๆ นี่คือ m-sequence ขนาด 7 บิท สังเกตว่าจำนวนของ "0" ต่างจาก "1" อยู่หนึ่ง ซึ่งก็เป็นจำนวนที่ใกล้เคียงกันที่สุดเท่าที่จะเป็นไปได้ในลำดับที่มีความยาวเป็นจำนวนคี่ ถ้าหากพิจารณาลำดับในลักษณะวนเป็นวงแล้ว จะพบว่าลำดับย่อย (subsequence) 2 บิท เป็นดังนี้

00,01,10,01,11,11,10

แต่ละแบบจะปรากฏ 2 ครั้ง ยกเว้น 00 ซึ่งก็ใกล้เคียงที่สุดเท่าที่จะเป็นไปได้ สำหรับลำดับที่มีความยาวเป็นจำนวนคี่ ในลำดับย่อย 3 บิทแต่ละแบบจะปรากฏหนึ่งครั้งเท่านั้น ยกเว้น 000 ลักษณะเช่นนี้จะปรากฏในทุก ๆ m-sequence สมมุติว่าใช้ primitive polynomial p(x) ยกกำลัง 30 จะได้ m-sequence ความยาว 2^{30}-1 หรือประมาณ 10^9 บิท และทุกลำดับย่อยขนาด r บิท ยกเว้นแบบ "0" หมดจะปรากฏเป็นจำนวนเท่า ๆ กัน โดย r ต้องไม่เกิน 30

2.3.3 ความยาวของลำดับแบบกึ่งสุ่ม

พิจารณารูป 2.3 แสดงภาพตัวกำเนิดลำดับแบบกึ่งสุ่ม ชิฟรีจิสเตอร์ประกอบด้วยฟลิบฟลอบ m ตัว ซึ่งสามารถมีได้ 2^m สภาวะ แต่สภาวะ "0" หมดทุกตัวจะถูกยกเว้น เพราะมันจะทำให้สภาวะของชิฟรีจิสเตอร์ไม่เกิดการเปลี่ยนแปลงใด ๆ อีกเลย ดังนั้นจึงมีสภาวะที่เป็นไปได้ 2^m-1 สภาวะ

ถ้าพหุนาม p(x) เป็น primitive polynomial รีจิสเตอร์จะสามารถสร้างสภาวะที่เป็นไปได้ทั้งหมด 2^m-1 สภาวะ ไม่ว่าสภาวะเริ่มต้นจะเป็นอย่างไร (ยกเว้นสภาวะศูนย์หมด) สภาวะของรีจิสเตอร์จะวนซ้ำด้วยคาบ 2^m-1 และลำดับที่ได้ {ai} ก็จะวนรอบด้วยคาบ 2^m-1 ด้วย ซึ่งเป็นระยะที่ยาวที่สุดที่รีจิสเตอร์จากฟลิบฟลอบ m ตัวจะสร้างได้

เราสามารถกำหนดได้ว่าจะต่อเอาท์พุทของฟลิบฟลอบตัวใดบ้าง เป็นอินพุทของพาริตี้เจนเนอเรเตอร์ เพื่อให้ได้ลำดับที่มีความยาวสูงสุด (2^m-1) ในทางปฏิบัติ เพื่อให้สะดวกในการใช้งาน สำหรับเลขยกกำลัง m เราจะเลือกใช้ primitive polynomial

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

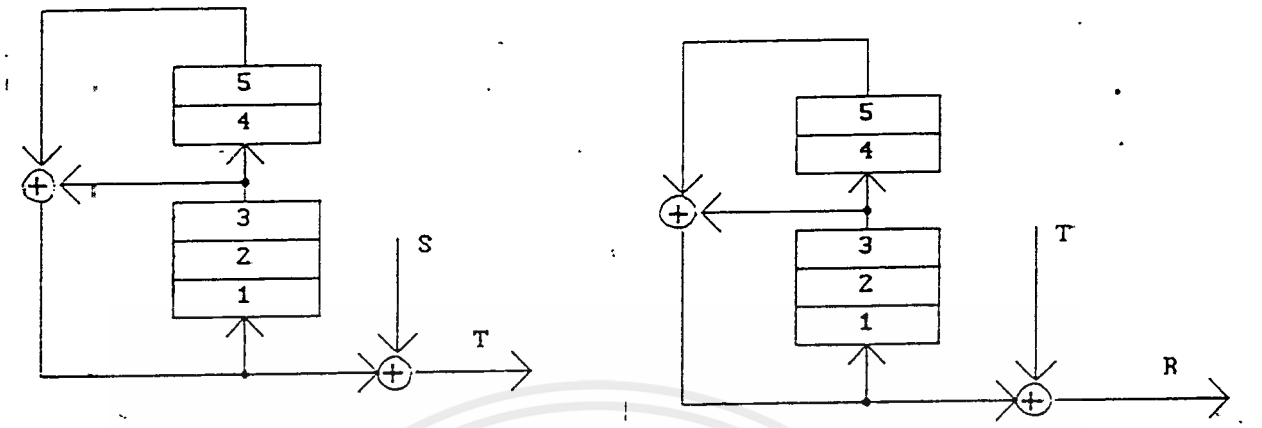
polynomial ที่มีจำนวนสัมประสิทธิ์เป็น 1 ให้น้อยที่สุด (อย่างน้อย 3 ตัว) หรือกล่าวคือใช้เอาท์พุท Q ของฟลิบฟลอบที่เป็นอินพุทของพาริตี้เจนเนอเรเตอร์ให้น้อยที่สุด กรณี m=1 ถึง m=15 การออกแบบรีจิสเตอร์ก็เพื่อที่จะให้ได้ความยาวสูงสุด แสดงได้ดังต่อไปนี้

จำนวนชิฟรีจิสเตอร์	Feedback Tap
1	1
2	1,2
3	1,3
4	1,4
5	2,5
6	1,6
7	1,7
8	1,5,6,8
9	4,9
10	3,10
11	2,11
12	3,4,7,12
13	1,3,4,13
14	1,11,13,14
15	1,15

จากหลักการทำงานของข้อมูลลำดับแบบกึ่งสุ่ม (pseudorandom sequences) ซึ่งจะสามารถสร้างได้โดยใช้ชิฟรีจิสเตอร์ (shift register) ต่อให้มีการป้อนกลับ(feed back) แบบมอดูโลแอดเดอร์ (modulo 2 adders) ชิฟรีจิสเตอร์ประกอบขึ้นจากฟลิบฟลอบต่ออนุกรมกัน เมื่อชิฟรีจิสเตอร์ได้รับสัญญาณนาฬิกา สภาวะของฟลิบฟลอบแต่ละตัวจะถูกส่งไปที่ฟลิบฟลอปตัวถัดไป สัญญาณที่ถูก tab ออกมาจะผ่านมอดูโลแอดเดอร์ และป้อนกลับไปที่ฟลิบฟลอบตัวแรก

จากรูป 2.4 เป็นบล็อกไดอะแกรมของสแครมเบิลและดิสแครมเบิล โดยที่วงจรกำเนิดลำดับแบบกึ่งสุ่มที่ใช้จะเหมือนกันทั้งสแครมเบิลและดิสแครมเบิล

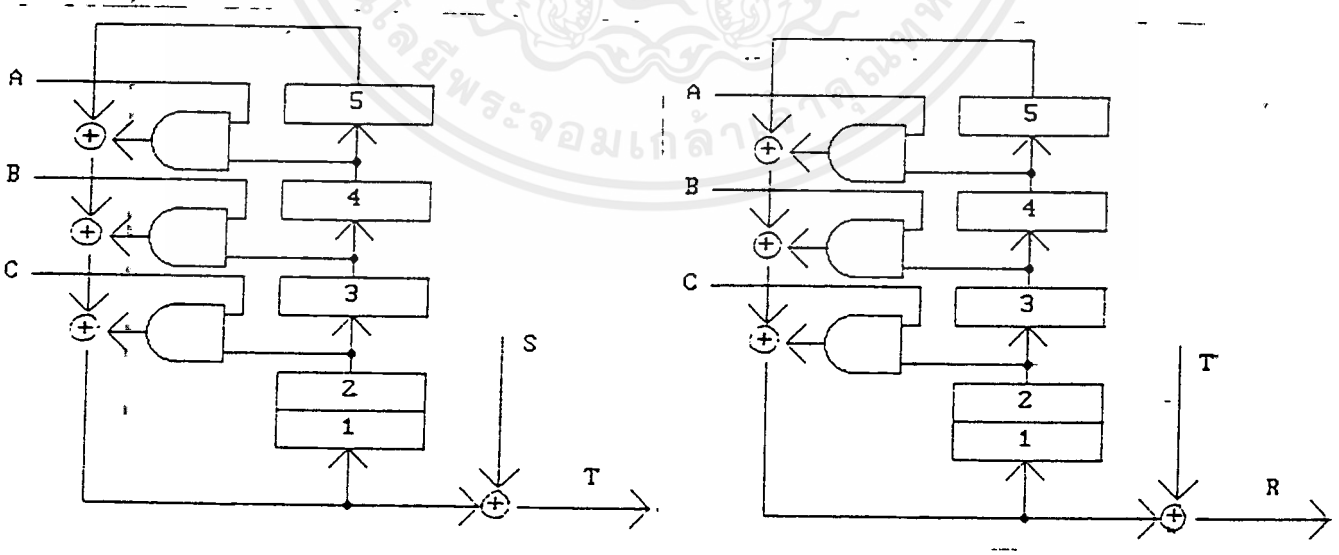
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 การสแกรมเบิลและ ดีสแกรมเบิล

จะเห็นได้ว่า สัญญาณอินพุท S ที่เข้าตัวสแครมเบิล จะได้สัญญาณเอาท์พุท R ที่เหมือนกับ S นอกจากนี้ เรายังสามารถเพิ่มจุด feed สัญญาณให้มากขึ้นและทำให้จำนวนลำดับมากขึ้น โดยใช้แนนท์เกท และเอกคลูซีฟออร์เกท มาช่วยในการรวมสัญญาณอินพุทกับลำดับแบบกึ่งสุ่มที่สร้างขึ้น

โดยอาศัยหลักการนี้ จะทำให้สามารถสแครมเบิลข้อมูลได้มากยิ่งขึ้น เพราะฉะนั้น สแครมเบิลและดิสแครมเบิล จะต้องมี control code A,B,C ตรงกัน ซึ่งจะทำให้ข้อมูลที่อินพุทของสแครมเบิลและข้อมูลทางเอาท์พุทของดิสแครมเบิลเหมือนกัน



รูปที่ 2.5 การสแกรมเบิลและดีสแกรมเบิล โดยใช้ control code

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

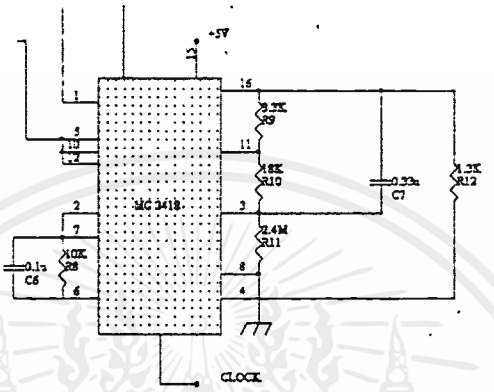
โครงงานนี้ได้เลือกใช้วงจรสแครมเบิลและดิสแครมเบิล แบบโปรแกรมได้ โดยใช้ชิฟรีจิสเตอร์ (D Flip Flop) 8 ตัว มีจุดรวมสัญญาณให้เลือก 4 จุด สามารถผลิตลำดับได้ยาวสูงสุด 255บิท และเซทสภาวะเริ่มต้นของชิฟรีจิสเตอร์เป็น "1" ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

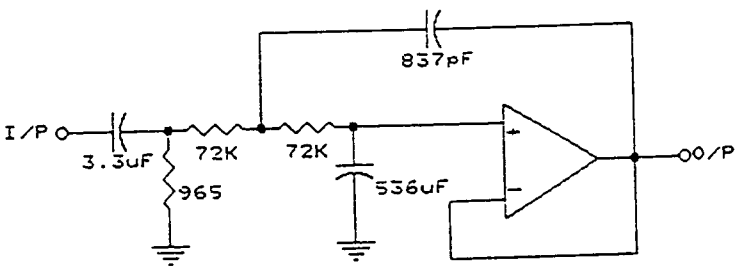
การออกแบบวงจรใช้งาน

3.1 วงจรเดลต้ามอดูเลเตอร์



รูปที่ 3.1 วงจรเดลต้ามอดูเลเตอร์

วงจรเดลต้ามอดูเลเตอร์ ใช้สำหรับการแปลงสัญญาณระหว่างสัญญาณเสียงและสัญญาณดิจิตอล โดยที่ขั้นตอนแรกจะเป็นสัญญาณเสียงจะถูกส่งเข้าสู่วงจรปรีไมค์ ซึ่งใช้ออปแอมป์เบอร์ μA741 ต่อภายในวงจรขยายสัญญาณแบบกลับเฟส (inverting amplifier) ซึ่งมีอัตราขยายแรงดันประมาณ 22 เท่า เพื่อทำการขยายสัญญาณให้แรงขึ้น หลังจากนั้นจะทำการกรองสัญญาณเพื่อกำจัดสิ่งที่ไม่ต้องการออกโดยใช้วงจรกรองความถี่แบนด์พาสแบบแอคทีฟ (Active bandpass filter) ซึ่งมีความถี่คัทออฟที่ 50 Hz (ซึ่งเป็นความถี่ของสัญญาณไฟบ้าน) และ 3.3 KHz(ซึ่งเป็นความถี่สูงสุดที่ในการส่งสัญญาณเสียง) ซึ่ง แสดงรูปวงจรกรองความถี่ดังรูปที่ 3.2



รูปที่3.2 วงจรกรองความถี่สัญญาณทางภาคอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรกรองความถี่สัญญาณ ดังรูป เราจะต่อกันแบบคาสเคดและ สามารถแยกวงจรออกได้เป็น 2 ส่วน

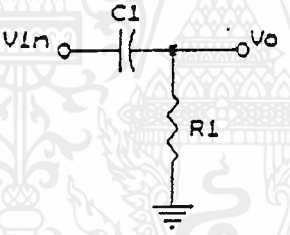
วงจรไฮพาสฟิลเตอร์

เป็นวงจรกรองความถี่แบบพาสซีพอันดับที่ 1 ประกอบด้วย ตัวเก็บประจุไฟฟ้า C_1และ ตัวต้านทาน R_1 ซึ่งต่อขนานอยู่กับค่าความต้านทานทางด้านอินพุทของวงจรในส่วนที่ 2 ซึ่งมีค่ามากกว่าตัวต้านทานมาก จะไม่นำมาคิดจึงจะได้ว่า

สมการโหนด (Node Equation)

$$Vo(SC_1+(1/R_1))-Vin\,(SC_1)=1$$

ทรานสเฟอร์ฟังก์ชั่น $Vo = SC_1 = S$



รูปที่ 3.3 วงจรกรองความถี่ไฮพาส

$$Vin = (SC_1+(1/R_1))/C_1 = S+(1/C_1R_1)$$

ซึ่งจะได้ความถี่คัทออฟที่ $f_H = 1/2\pi(\sqrt{C_1R_1})$

แทนค่า $= 1/2\,\pi(\sqrt{(3.3*10^{-6})*965})$

$= 49.98 = 50$ Hz

วงจรโลว์พาสฟิลเตอร์

เป็นวงจรกรองความถี่สัญญาณแบบอันดับที่ 2 ประกอบด้วยออปแอมป์ และวงจร RC ดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจะได้ว่า

$$T_V = \frac{k / R_1R_2C_1C_2}{S^2 + S(1 / R_1C_1) + (1 / R_2C_1) + ((1 - k) / R_2C_2) + (1 / R_1R_2C_1C_2)}$$

จากฟังก์ชันของอัตราการขยายแรงดันอันดับ 2 ของวงจรกรองความถี่แบบโลว์พาส

$$Vo/Vin = \frac{W_p^2}{S^2 + S(W_p / Q_p) + W_p^2}$$

ซึ่งความถี่คัทออฟมีค่าเท่ากับความถี่โพล

$$W_L = Wp = 1 / \sqrt{R_1R_2C_1C_2}$$

$$f_L = 1/2\pi (\sqrt{R_1R_2C_1C_2})$$

แทนค่า

$$= 1/2\pi \sqrt{(72 * 10^3)(72 * 10^3)(837 * 10^{-12})(536 * 10^{-6})}$$

$$= 3.3 \text{ KHz}$$

หลังจากสัญญาณเสียงถูกกรองความถี่เรียบร้อยแล้วก็จะถูกมอดดูเลทโดยไอซีเบอร์ MC3418 จะทำให้ได้สัญญาณเอาท์พุทในลักษณะของสัญญาณดิจิตอลแบบอนุกรมออก

MC3417 และ MC3418 มีชื่อเรียกเต็มๆ ว่า CONTINUOS VARIABLE SLOPE DELTA MODULATOR /DEMODULATOR เป็นไอซีที่ทำหน้าแปลงสัญญาณอะนาลอกเป็นดิจิตอลขนาดกว้าง 1 บิต และแปลงกลับสัญญาณนี้กลับไปตามเดิม ข้อมูลดิจิตอลขนาด 1 บิต สามารถส่งไปได้แบบอนุกรมโดยใช้แชนแนลของระบบสื่อสารทั่วไปได้เช่น ระบบวิทยุ และโทรศัพท์ โดยมีข้อดีคือประสิทธิภาพและความชัดเจนของสัญญาณดีกว่า ทั้งยังป้องกันข่าวสารได้ด้วย

การทำงานของไอซี MC3417 ก็จะใช้หลักการของ CVSD โครงสร้างภายในมีชิพรีจิสเตอร์อยู่ 1ชุด สำหรับตรวจระดับสัญญาณและควบคุมอัตราขยายเพื่อเพิ่มไดนามิกเรนจ์ โดย MC3417 ใช้รีจิสเตอร์ขนาด 3 บิต ส่วน MC3418 ใช้รีจิสเตอร์ขนาด 4 บิต ซึ่งให้คุณภาพของสัญญาณดีกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดและหน้าที่ขาใช้งานของ MC3417 , MC3418

ขา 1 Analog input

เป็นขาอินพุตของคอมพาราเตอร์สำหรับสัญญาณอนาลอกเชื่อมต่อได้ทั้งแบบเอซีและดีซีถ้าต้องการเลื่อนระดับดีซีของสัญญาณให้เท่ากับแรงดันอ้างอิงภายใน ต้องมีตัวต้านทานไบแอสต่อระหว่างขา 1 กับขา 10

ขา 2 Analog feedback

เป็นขาอินพุตไม่กลับเฟสของคอมพาราเตอร์ตัวเดียวกัน สำหรับป้อนกลับสัญญาณอนาลอกที่สร้างขึ้นเพื่อเปรียบเทียบกับสัญญาณอนาลอกที่เข้ามาใหม่ ซึ่งจะใช้เฉพาะในตอนแปลงกลับอนาลอกเป็นดิจิตอล โดยต่อขา 2 เข้ากับขา 7 แต่ในการแปลงกลับจากดิจิตอลเป็นอนาลอกนี้ ขา 2 ไม่ใช้

ขา 3 Syllable filter

เป็นขาสำหรับต่อแรงดันที่ได้จากการตรวจระดับสัญญาณแล้วผ่านวงจรกรองป้อนกลับเข้าไอซีเพื่อควบคุมอัตราขยายของอินทิเกรเตอร์ ให้ตอบสนองสัญญาณได้ทัน โดยจะมีวงจร RC ต่อระหว่างขา 11 และขา 3 ซึ่งมีค่าไทม์คอนสแตนท์ 6-50 mS

ขา 4 Gain Control input

ใช้กำหนดอัตราขยายคงที่ของอินทิเกรเตอร์โดยใช้งานร่วมกับขา 3 ซึ่งเป็นขาปรับอัตราขยายตามระดับสัญญาณ ค่าความต้านทานที่ใช้กำหนดอัตราขยายลูปของระบบ แต่จะมีค่าได้ไม่เกิน 5 กิโลโอห์ม เพื่อรักษาเสถียรภาพของวงจร

ขา 5 Reference input

ขาอินพุตไม่กลับเฟสของอินทิเกรเตอร์ใช้เลื่อนระดับดีซีของเอาต์พุต ในโหมดการแปลงจากอนาลอกเป็นดิจิตอลจะจัดให้เท่ากับขา 1 โดยต่อเข้ากับขา 10

ขา 6 Filter input

ขาอินพุตกลับเฟสของอินทิเกรเตอร์สำหรับต่อกับอุปกรณ์ภายนอก คือ ตัวเก็บประจุอินทิเกรเตอร์ และตัวต้านทานค่าระหว่าง 8-13 กิโลโอห์ม

ขา 7 Analog output

เป็นเอาท์พุตของอินทิเกรเตอร์ สามารถจ่ายกระแสได้สูงสุด 30mA ทั้ง 2 ทิศทาง ออปแอมป์ที่เป็นอินทิเกรเตอร์ตัวนี้มีสลูว์เรต 0.5 โวลท์ต่อไมโครเซค

ขา 8 Vee

MC3417,MC3418 สามารถออกแบบใช้งานได้ทั้งกับไฟเลี้ยงเดี่ยว (single supply) และไฟคู่บวกลบ (dual supply) ซึ่งขา 8 นี้จะต้องต่อกับขั้วไฟลบเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 9 Digital Output

ขาเอาต์พุตสัญญาณดิจิตอลที่ได้จากการแปลงมีค่าสวิงอยู่ระหว่าง Vee กับ Vcc คอมแพตทั้ง CMOS และ TTL ข้อมูลเลื่อนที่ขอบขาลงของสัญญาณนาฬิกาที่ขา 14

ขา 10 Vcc/2 Output

ขาแรงดันอ้างอิงครึ่งหนึ่งของแรงดันไฟเลี้ยง เมื่อใช้งานไฟเลี้ยงเดี่ยว จ่ายกระแสสูงสุด 10 mA ต้องมีตัวเก็บประจุบายพาส 0.1 ไมโครฟารัด ต่อจากขา 10 กับ Vee

ขา 11 Coincidence Output

ให้เอาต์พุตที่มีค่าดิวตี้ไซเคิลแปรตามสัญญาณดิจิตอลที่ได้จากการแปลง ซึ่งจะเป็นศูนย์เมื่อชิพรีจิสเตอร์ภายในเป็น "0" หรือ "1" หมด เป็นสัญญาณตรวจวัดระดับอินพุตเพื่อควบคุมอัตราขยายของอินทิเกรเตอร์

ขา 12 Digital Threshold

ใช้กำหนดระดับเทรชโฮลดของขา 13 ,14,15 เพื่อให้สอดคล้องกับการใช้งานกับลอจิกตระกูลต่างๆ ถ้าเป็น CMOS จะต่อกับ Vcc/2 หรือไบแอสด้วยไดโอด 2 ตัวเหนือ Vee เมื่อใช้กับ TTL

ขา 13 Digital data input

ขาอินพุตของสัญญาณดิจิตอลในโหมดของการแปลงกลับจากดิจิตอลเป็นอนาลอก ข้อมูลอินพุตต้องคงที่เป็นเวลาอย่างน้อย 0.5 ไมโครเซค ก่อนและหลังการทริกของสัญญาณนาฬิกา (ขอบขาลง)

ขา 14 Clock input

สำหรับกำหนดบิตเรตของข้อมูล ซึ่งก็คืออัตราเร็วของการแปลงสัญญาณ บิตเรต 32 K ก็เท่ากับความถี่สัญญาณนาฬิกา 32 KHz ระดับเทรชโฮลดของขานี้กำหนดโดยขา 12 ความกว้างพัลส์ ชีกบวกต่ำสุด 300 nS ชีกลบต่ำสุด 900 nS

ขา 15 Encode/Decode

ขานี้เป็นตัวควบคุมว่าจะเลือกคอมพาราเตอร์ที่จะต่อไปยังชิฟรีจิสเตอร์ ถ้าเป็น "1" เลือกคอมพาราเตอร์ด้านอนาลอกที่รับอินพุตเข้ามา ถ้าเป็น "0" ก็เลือกคอมพาราเตอร์ด้านดิจิตอลสำหรับการแปลงกลับเป็นการกำหนดโหมดการทำงาน นอกจากนี้ยังสามารถรับสัญญาณอินพุตที่เป็นดิจิตอลได้โดยป้อนกลับเข้าทางขาที่ 13

ขา 16 Vcc

ขาแรงดันไฟเลี้ยง มีค่าระหว่าง 4.75-16.5 โวลท์ เทียบกับ Vee

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรชุดเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล และวงจรเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาลอกที่อยู่ในเคลต้ามอดูเลเตอร์นั้นจะใช้การต่อวงจร MC3418 ที่ต่อเป็นแบบลักษณะ Full Duplex ซึ่งจะใช้ความถี่นาฬิกา 16 K

3.2 วงจรสร้างสัญญาณนาฬิกา (clock generator)

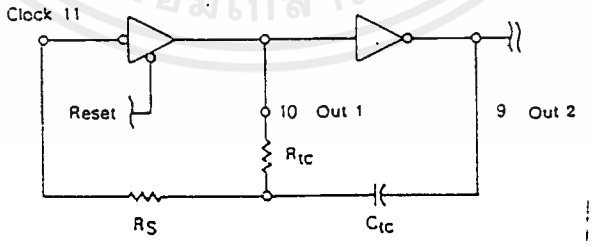
วงจรสร้างสัญญาณนาฬิกาใช้คุณสมบัติของตัวเก็บประจุกับตัวต้านทานเพื่อสร้างค่าคงที่ของเวลา โดยใช้เวลาในการประจุเป็นตัวกำหนด และเนื่องจากการผลิตความถี่สูงๆ หรือคาบเวลาสั้นทำได้เสถียรภาพดีกว่าความถี่ต่ำหรือคาบเวลายาว จึงมีแนวความคิดในการผลิตความถี่สูงขึ้นมาความถี่หนึ่งแล้วป้อนให้ไอซีที่ทำหน้าที่นับและหาร ระยะเวลาในการตั้งก็เปลี่ยนได้โดยค่าความถี่ฐานเวลา หรือจำนวนที่นำมาหารความถี่ ซึ่งถ้าตัวหารมากความถี่ก็จะลดลงและคาบเวลาจะนานขึ้น

ในโครงงานนี้จะใช้ไอซี MC14060 ซึ่งเป็นแบบซีมอส ซึ่งมีทั้งการผลิตความถี่และหารความถี่อยู่ภายใน เวลาใช้งานต่อร่วมกับตัวต้านทานและตัวเก็บประจุหรือคริสตอล วิธีการหาค่าอุปกรณ์ภายนอกได้ดังนี้

$$f = \frac{1}{2.3} R_T C_T$$

โดยที่ $1\ KHz < f < 100\ KHz$

$$2R_T < R_S < 10R_T$$

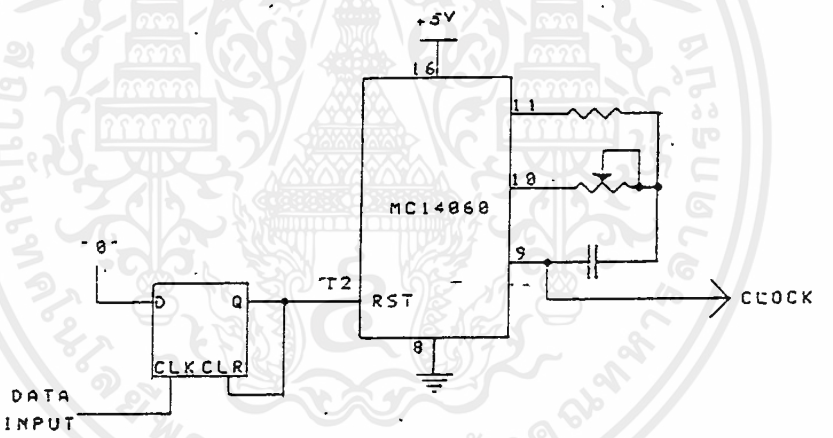


รูปที่ 3.5 แสดงวงจรสร้างสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การซิงโครไนซ์ระหว่างตัวรับและตัวส่ง

ในโครงงานนี้จะมีการส่งสัญญาณข้อมูล ที่เป็นการเปลี่ยนแปลงสัญญาณอนาลอก ไปสู่สัญญาณที่เป็นดิจิตอล การซิงโครไนซ์กันของสัญญาณ clock ระหว่างตัวรับและตัวส่ง จึงเป็นสิ่งสำคัญในการที่จะให้ทางด้านรับ รับสัญญาณเดิมกลับคืนมา ได้อย่างถูกต้องและในที่นี้ การซิงโครไนซ์จะสร้างขึ้นเอง จากสัญญาณที่รับได้จากที่ตัวรับ (recovery clock) โดยที่ตัวรับจะทำการแปลงสัญญาณที่รับมาได้ให้เป็นสัญญาณดิจิตอล แล้วก็จะมีการนำเอาขอบสัญญาณมาเป็นตัวรีเซททางตัวรับ ให้ซิงโครไนซ์กับสัญญาณ clock ของตัวที่ส่งมา ซึ่งในที่นี้ จะต้องมีการใช้ฟลิปฟลอบ เป็นตัวกระตุ้นทุก ๆ ขอบของสัญญาณ ให้กับไอซีเบอร์MC14060 ที่ให้กำเนิดสัญญาณนาฬิกา ที่ใช้ภายในวงจร เพื่อให้ใช้ในส่วนของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

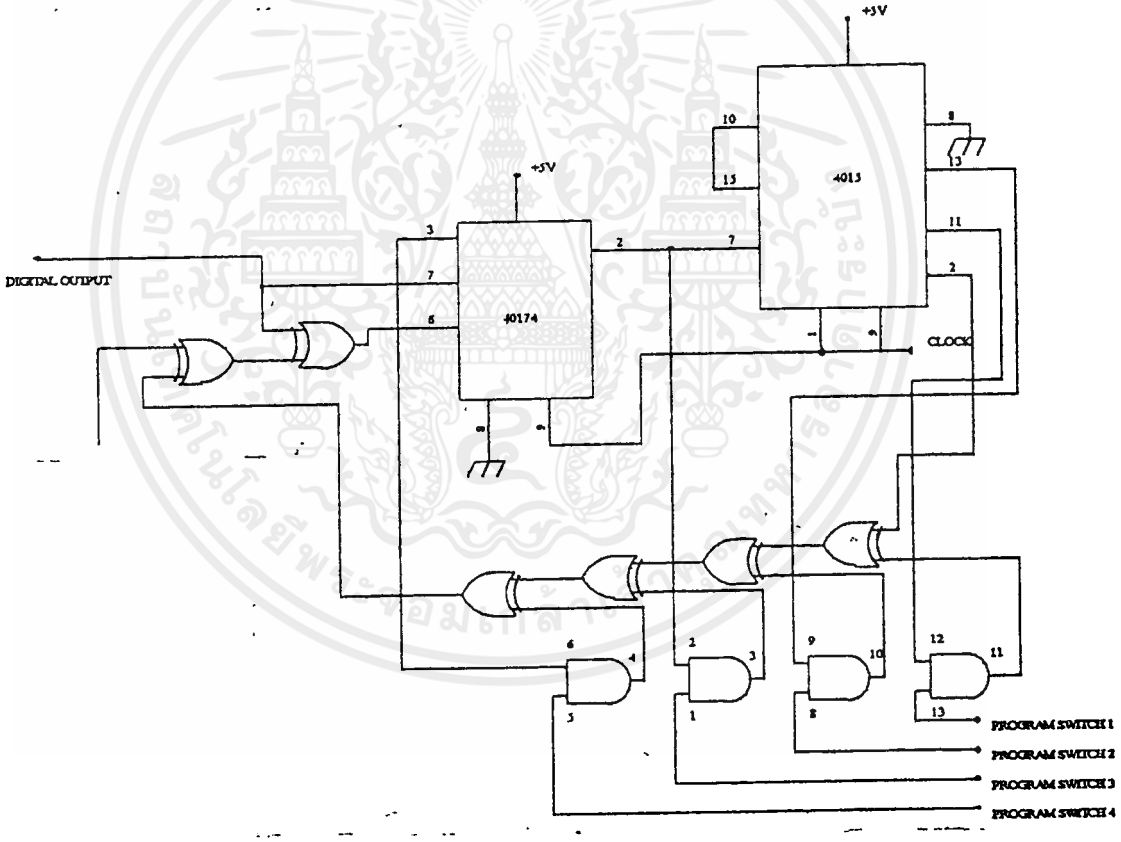


รูปที่ 3.6 การซิงโครไนซ์ของทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

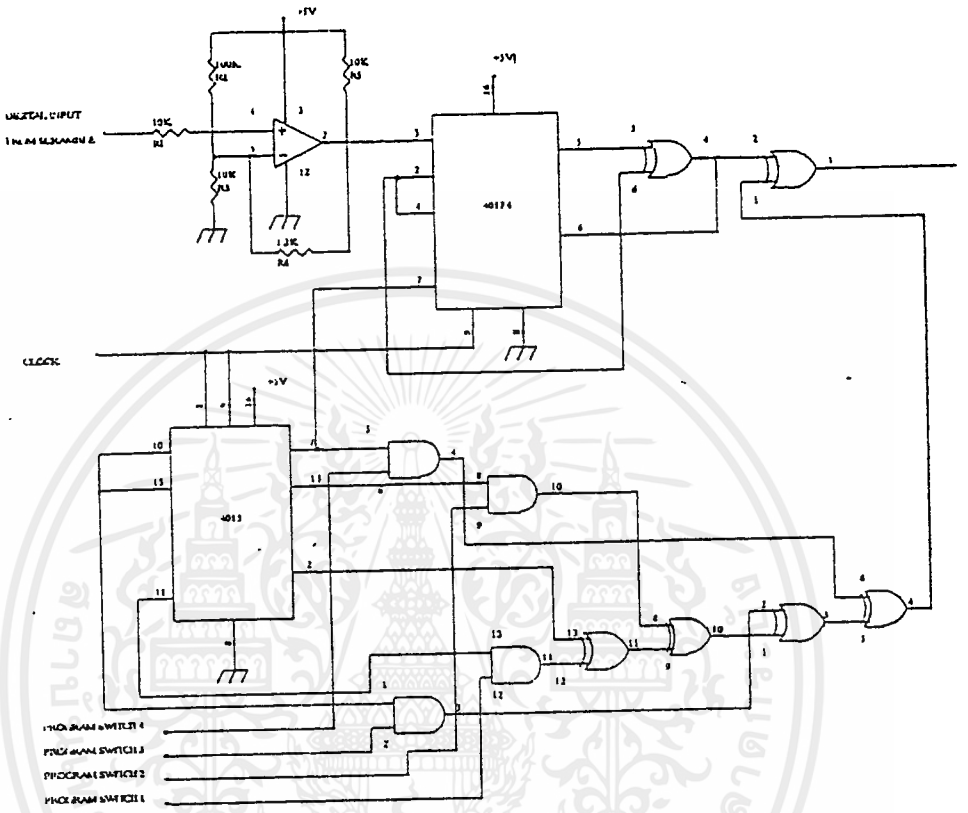
3.4 วงจรสแครมเบิลและดิสแครมเบิล

ในโครงงานนี้จะใช้หลักการของ PRBS โดยนำสัญญาณที่ได้จากเอาท์พุทของชิฟรีจิสเตอร์มารวมกัน โดยใช้เอ็กซ์คลูซีฟออร์เกต ใช้เป็นชิฟรีจิสเตอร์จำนวน 9 บิต ในการทำงาน และใช้สวิทช์ สำหรับการโปรแกรมจากภายนอก 4 ตัว ซึ่งจากจำนวนชิฟรีจิสเตอร์จำนวน 9 บิตนี้ จะทำให้ได้จำนวนของการ Random เท่ากับ $2^9 = 512$ โดยวงจรใช้งานจะใช้ไอซี 40174 และ 4015 ในการสร้างเป็นชิฟรีจิสเตอร์ 9 บิตนี้ เพื่อนำไปต่อกับ แอนด์เกท และเอ็กซ์คลูซีฟออร์เกท จะทำให้ได้วงจรตามหลักการ PRBS ซึ่งจะได้วงจรใช้งานดังรูป



รูปที่ 3.7 วงจรสแครมเบิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



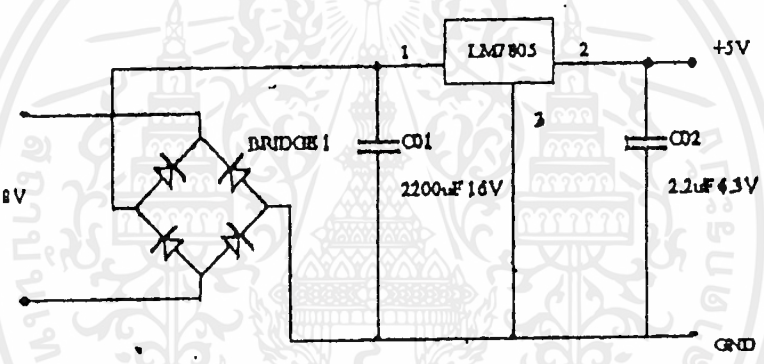
รูปที่ 3.8 วงจรดิสแครมเบิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรแหล่งจ่ายไฟ

โครงงานนี้จะใช้ไอซีตระกูล ซีมอสทั้งหมด ซึ่งต้องการแรงดัน 3-16 โวลท์ ดังนั้น ชุดของแหล่งจ่ายไฟจึงใช้ แรงดัน 5 โวลท์ ค่าผิดพลาดไม่เกิน 5 % หรือ 0.25 โวลท์

หลักการทำงานของวงจรคือ ใช้หม้อแปลง แปลงไฟ 220 โวลท์ เป็นไฟแรงดันต่ำ ขนาด 8 โวลท์ จากนั้นเรกติฟายต์ไฟสลับนี้ด้วยบริดจ์เรกติไฟต์ซึ่งประกอบด้วยไดโอด 4 ตัว เพื่อแปลงไฟสลับเป็นไฟตรง และผ่านการกรองให้เรียบด้วยคอนเดนเซอร์ จากนั้นป้อนเข้าสู่ไอซีเรกูเลเตอร์ลดแรงดันไฟลงมาเหลือ 5 โวลท์ และที่ขาออกของแหล่งจ่ายไฟจะต่อด้วยตัวเก็บประจุแทนทาลัมไว้เพื่อกำจัดสัญญาณรบกวนความถี่สูง ซึ่ง อาจจะเกิดจากตัวเรกูเลเตอร์ หรือจากไอซีซีมอสภายในวงจร



รูปที่ 3.9 วงจรแหล่งจ่ายไฟ

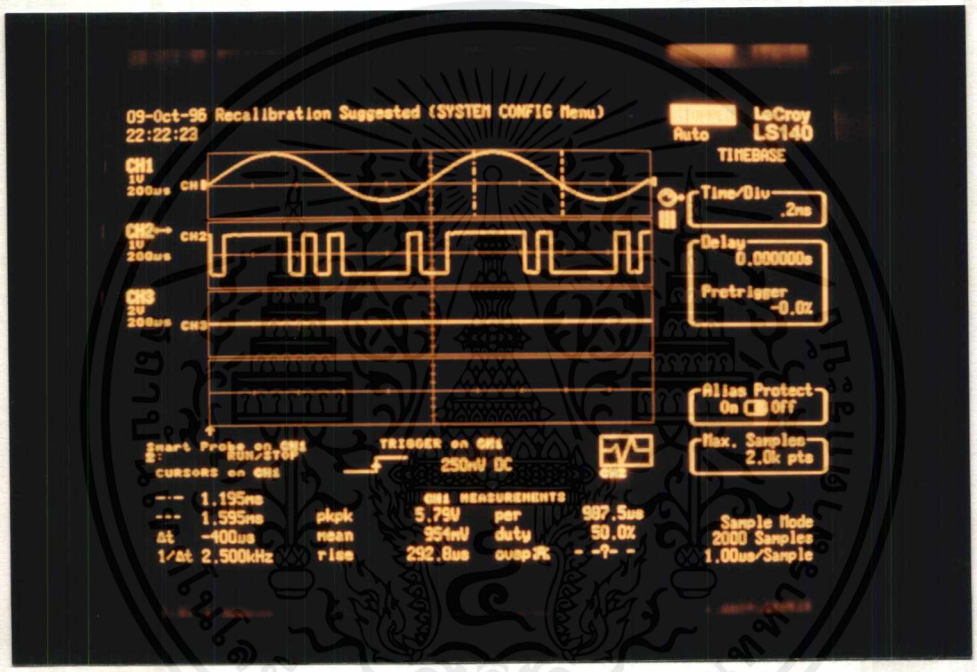
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

การทดสอบการทำงานของวงจร ได้ผลดังนี้

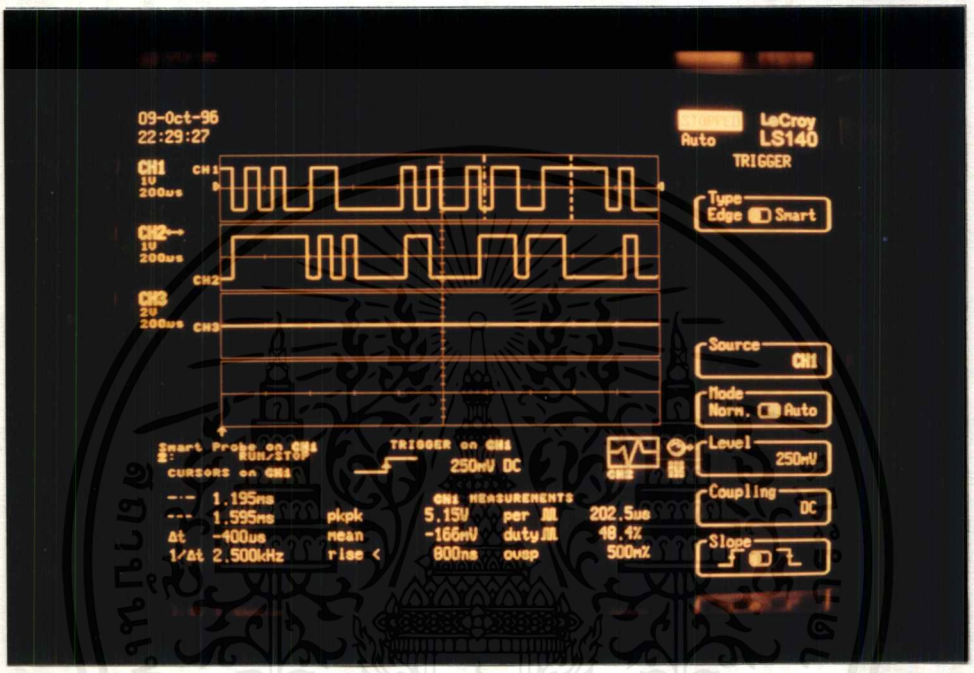
ขั้นแรก ทำการทดลองเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล จะได้รูปสัญญาณเป็น Digital series ออกมา ดังรูปที่ 4.1



รูปที่ 4.1 รูปสัญญาณเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

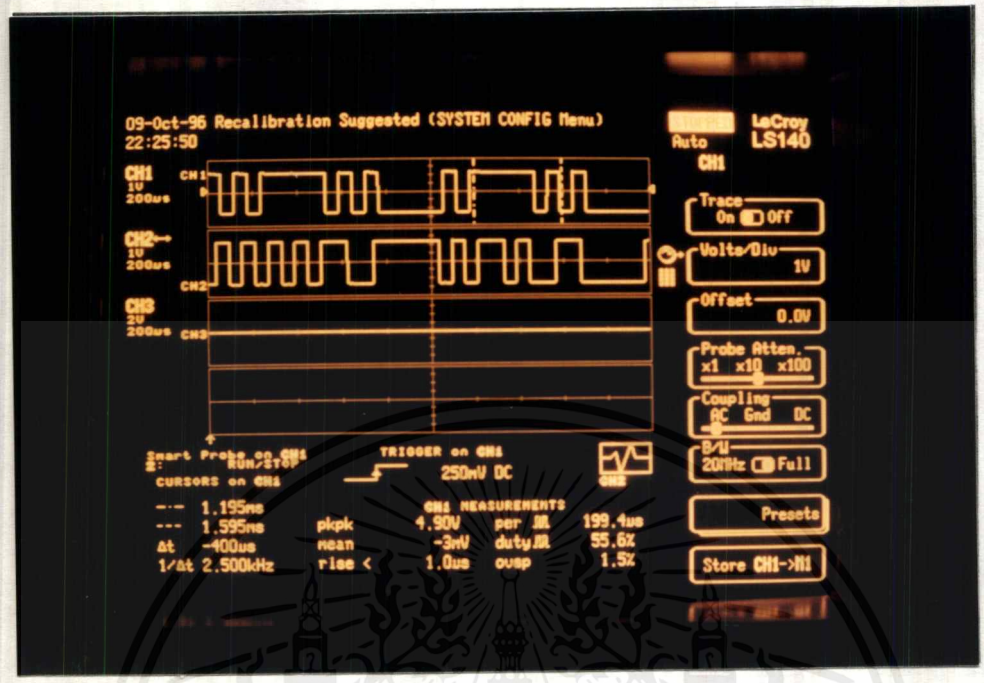
เมื่อนำสัญญาณดิจิตอลดังรูปที่ 4.1 ผ่านเข้าไปในวงจร Scramble ลักษณะของสัญญาณจะเปลี่ยนไปจากเดิม แสดงได้ดังรูปที่ 4.2



รูปที่ 4.2 สัญญาณหลังจากผ่านการสแครมเบิล

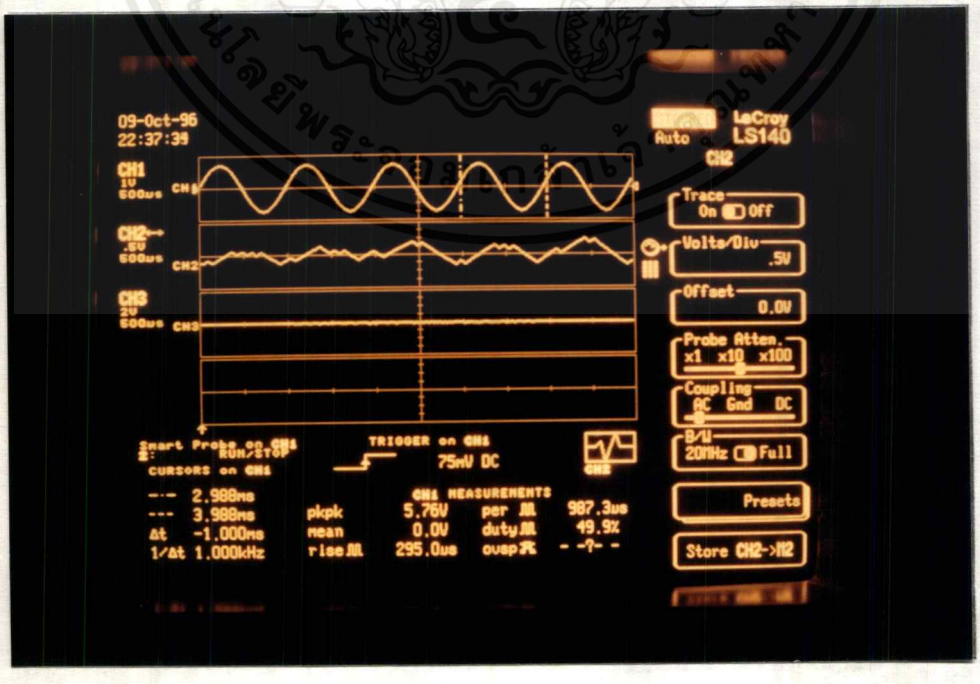
ที่ทางด้านการดิสแครมเบิล เมื่อตั้งสวิทช์โปรแกรมตรงกับการดิสแครมเบิล จะได้สัญญาณดังรูปที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 รูปสัญญาณเมื่อตั้งสวิทช์โปรแกรมตรงกับการดิสแครมเบิล

เมื่อนำสัญญาณดิจิตอลมาผ่านวงจร D/A converter จะได้ลักษณะของสัญญาณเป็นดังรูปที่ 4.4 ซึ่งจะมีลักษณะสัญญาณใกล้เคียงกับสัญญาณอินพุท



รูปที่ 4.4 สัญญาณหลังจากผ่าน D/A Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทสรุปผลการทดลอง

โครงงานนี้ได้ทำการสแครมเบิลสัญญาณ และดิสแครมเบิลสัญญาณเสียงที่ใช้ในการติดต่อสื่อสารทั่วๆ ไป โดยที่จะนำสัญญาณเสียงมาผ่านการแปลงสัญญาณจากอนาลอกให้กลายเป็นสัญญาณดิจิตอล แล้วนำไปเข้าสู่ การสแครมเบิลสัญญาณนั้น เพื่อส่งออกไปทางด้วนรับก็จะเข้าสู่การดิสแครมเบิล และแปลงสัญญาณจากดิจิตอลให้กลับมาสู่สัญญาณอนาลอก ที่เป็นสัญญาณเสียงตามเดิม ซึ่งในการดิสแครมเบิล ก็ต้องมีการตั้งค่าโปรแกรม การสวิทช์ให้ตรงกับ ทางด้านที่ส่งมา ถ้าหากไม่ตรงกับทางด้านส่งแล้วนั้น ก็จะทำให้ไม่สามารถรับสัญญาณเดิมกลับคืนมาได้ ซึ่งจากการทดลองจะประสบปัญหาในเรื่องของการพบสัญญาณรบกวน และเฟสของตัวส่งและตัวรับไม่ตรงกัน เป็นเหตุให้เกิดการเพี้ยนของสัญญาณ หากผู้สนใจจะนำไปใช้งานให้ได้มีประสิทธิภาพดียิ่งขึ้น ควรจะมีการแก้ไขและปรับปรุงในส่วนนี้ และนอกจากนี้อาจนำไปใช้ ประยุกต์กับซอฟต์แวร์ควบคุมสวิทช์เพื่อที่จะให้ได้สัญญาณเสียงที่มีคุณภาพใกล้เคียงกับของเดิมมากที่สุดกลับคืนมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] ชูชัย ธนสารตั้งเจริญ & AEG ,"การออกแบบโดยใช้ออปแอมป์"ฟิสิกส์เซ็นเตอร์ : กรุงเทพ.

[2] ถวิล กิ่งทอง ,"เทคโนโลยีการส่งสัญญาณดิจิตอล",สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กทม., 2534.

[3] ณรงค์ เหมกรณ์ ,"การสื่อสารดาวเทียม",สถาบันเทคโนโลยีพระจอมเกล้า ฯ เจ้าคุณทหารลาดกระบัง กทม., 2533.

[4] ไพโรจน์ ไววานิชกิจ,"มาตรฐานการส่งข้อมูลแบบ PCM " วารสารเซมิคอนดัคเตอร์อิเล็คทรอนิคส์ ฉบับที่ 155 , 2539, หน้า 68-77

[5] Henry J.Baker , "Secure Speech Commmunication"Academic Press Inc.(London), 1985.

[6] J.L. Hilburn & D.E. Johnson , "Manual of active filter design" McGraw Hill,1983.

[7] John G.Proakis , "Digital Communication"Mcgaw Hill , 1983.

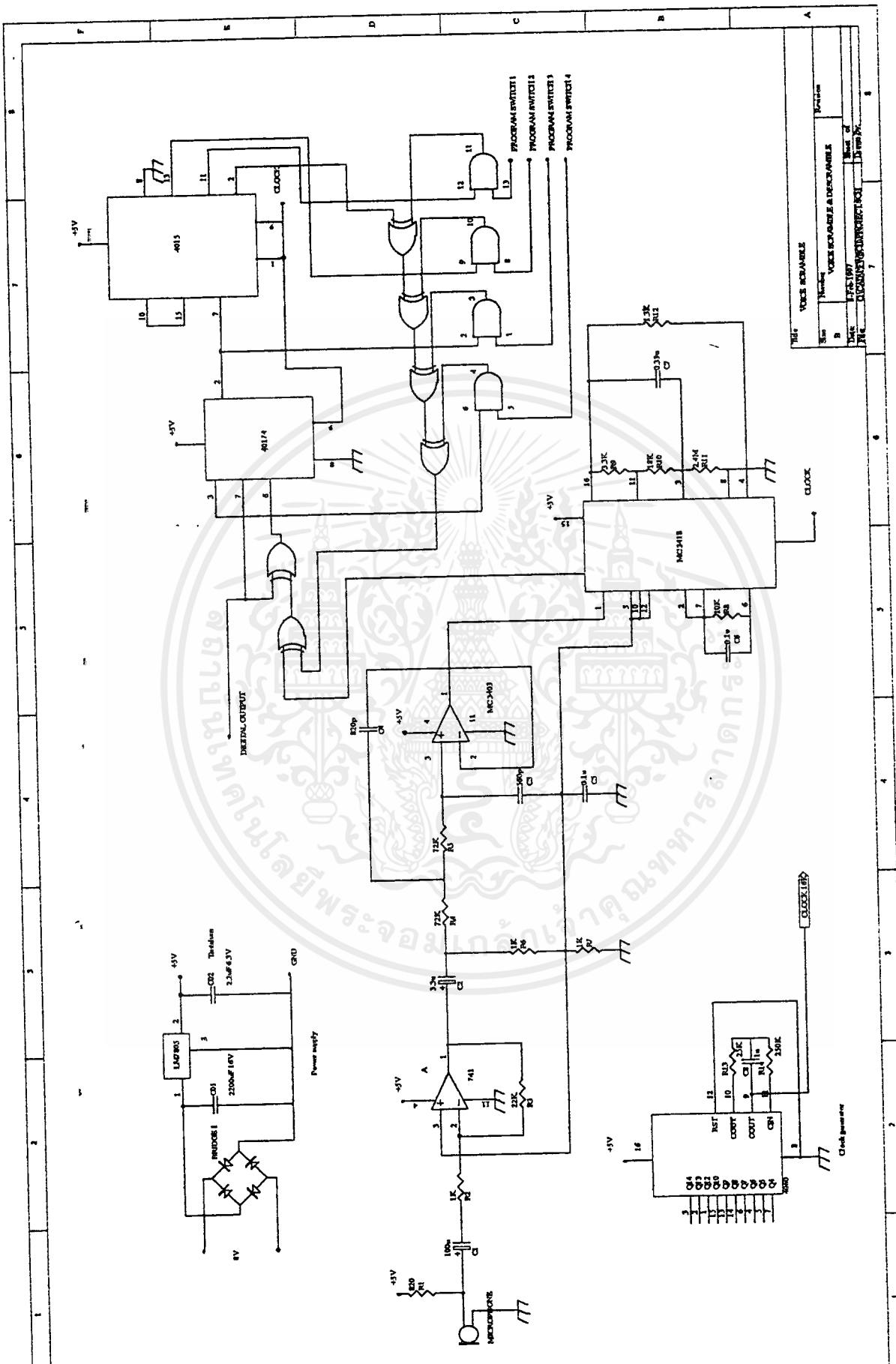
[8] Paul Bates ,P.ENG ; "Practical Digital and Data communication with LSI Application" ,Prentice ,Inc.,Engle wood Cliffs , New jersey .

[9] Richard E.Blahkt , "Digital Transmission of information",Adison-Weslet Publishing Company.

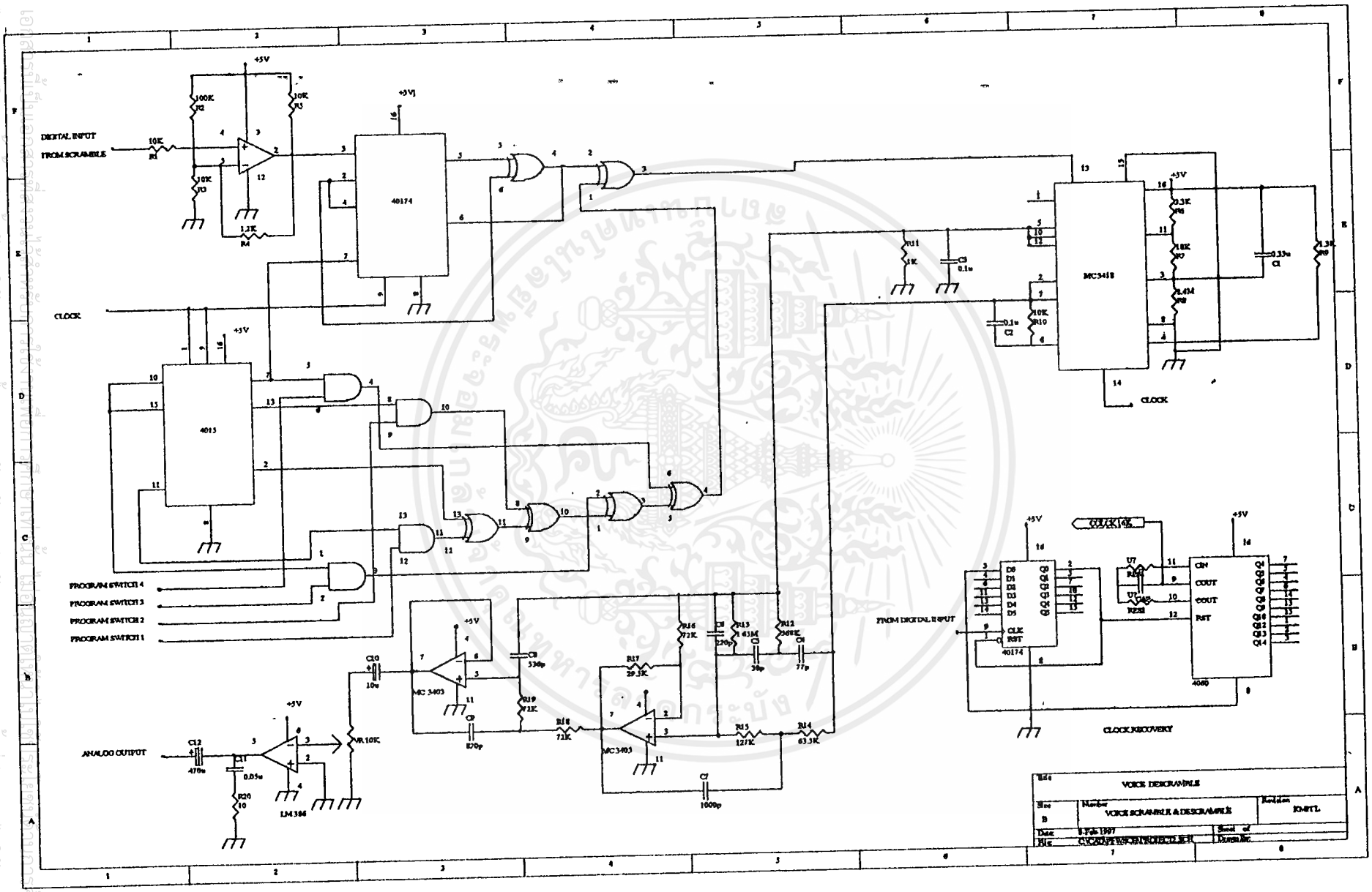
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

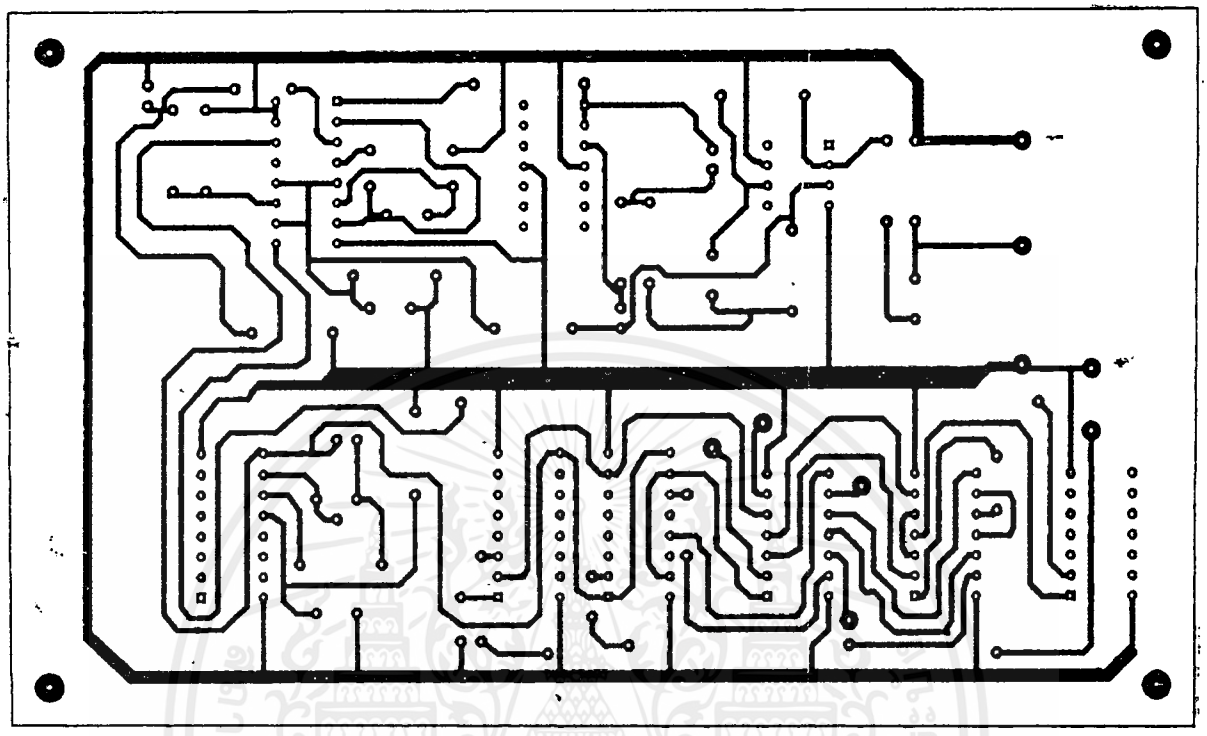
ภาคผนวก

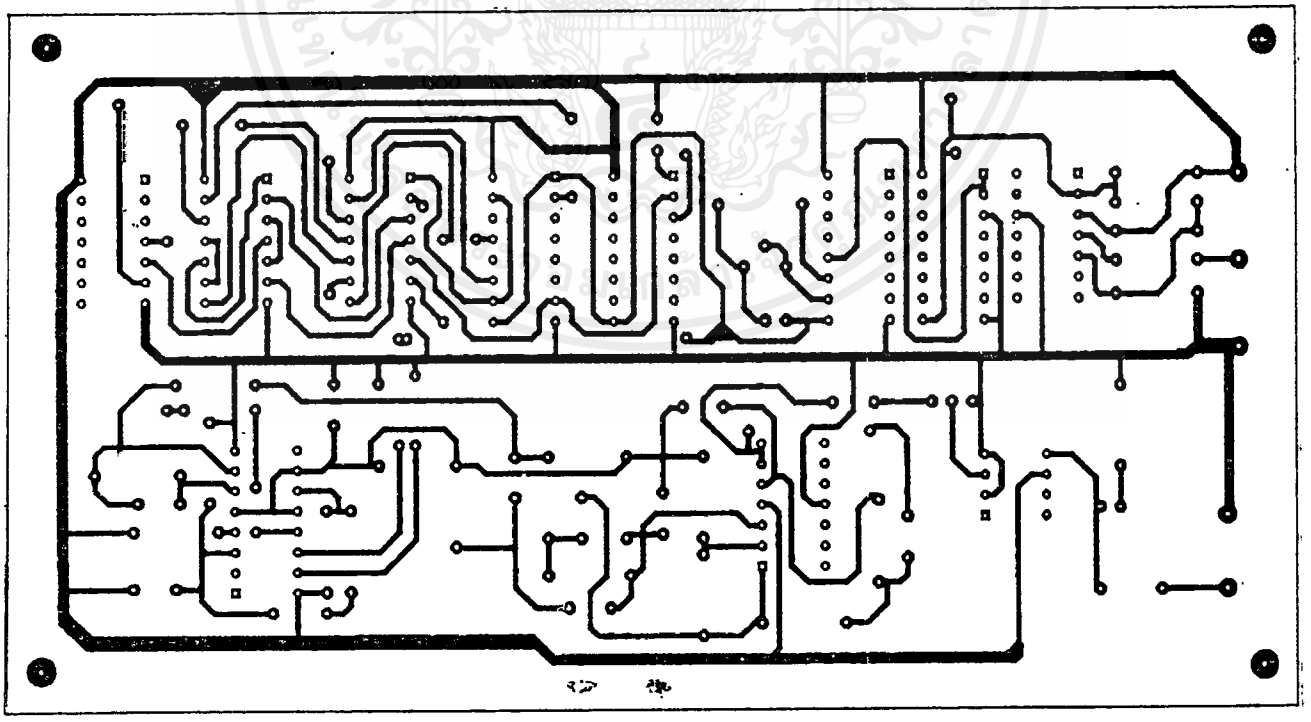
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


DIGITAL INPUT
FROM SCRAMBLE
CLOCK
PROGRAM SWITCH 4
PROGRAM SWITCH 3
PROGRAM SWITCH 2
PROGRAM SWITCH 1
ANALOG OUTPUT
FROM DIGITAL INPUT
CLOCK/RECOVERY
40174
4015
MC3403
LM386
MC3418
4040
VOICE DESCRAMPLE
VOICE SCRAMBLE & DESCRAMBLE
8-Feb-1997





รูป ลายวงจรสแครมเบิลและดิสแครมเบิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC3417, MC3517
MC3418, MC3518

Specifications and Applications Information

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

LASER-TRIMMED INTEGRATED CIRCUIT

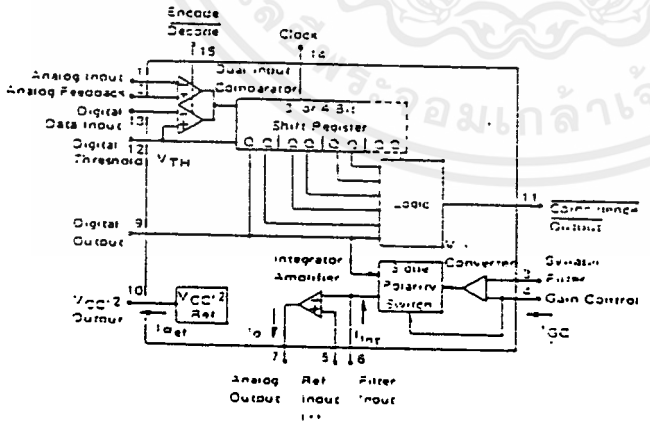
CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

Providing a simplified approach to digital speech encoding/decoding, the MC3517/18 series of CVSDs is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

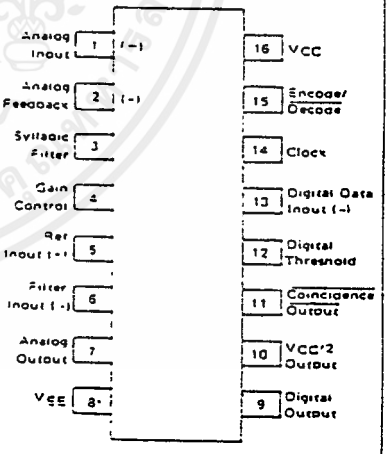
- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ reference provided on chip)
- MC3417/MC3517 has a 3-Bit Algorithm (General Communications)
- MC3418/MC3518 has a 4-Bit Algorithm (Commercial Telephone)

L SUFFIX
CERAMIC PACKAGE
CASE 620

CVSD BLOCK DIAGRAM



PIN CONNECTIONS



ORDERING INFORMATION

Device	Package	Temperature Range
MC3417L	Ceramic DIP	0°C to +70°C
MC3418L	Ceramic DIP	0°C to +70°C
MC3517L	Ceramic DIP	-55°C to +125°C
MC3518L	Ceramic DIP	-55°C to +125°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

(All voltages referenced to V_{EE}, T_A = 25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	−0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{TH}	−0.4 to V_{CC}	Vdc
Logic Input Voltage (Clock, Digital Data, Encode/$\overline{\text{Decode}}$)	V_{Logic}	−0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	−0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	−0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	−0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(Ref)}$	$V_{CC}/2$ − 1.0 to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{Ref}	−25	mA

ELECTRICAL CHARACTERISTICS

(V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0°C to +70°C for MC3417/18, T_A = −55°C to +125°C for MC3517/18 unless otherwise noted.)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) (Idle Channel)	I_{CC}							mA
(V_{CC} = 5.0 V)		–	3.7	5.0	–	3.7	5.0	
(V_{CC} = 15 V)		–	6.0	10	–	6.0	10	
Clock Rate	SR	–	16 k	–	–	32 k	–	Samples/s
Gain Control Current Range (Figure 2)	I_{GCR}	0.001	–	3.0	0.001	–	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) (4.75 V ≤ V_{CC} ≤ 16.5 V)	V_I	1.3	–	V_{CC} − 1.3	1.3	–	V_{CC} − 1.3	Vdc
Analog Output Range (Pin 7) (4.75 V ≤ V_{CC} ≤ 16.5 V, I_O = ± 5.0 mA)	V_O	1.3	–	V_{CC} − 1.3	1.3	–	V_{CC} − 1.3	Vdc
Input Bias Currents (Figure 3) (Comparator in Active Region)	I_{IB}							µA
Analog Input (I1)		–	0.5	1.5	–	0.25	1.0	
Analog Feedback (I2)		–	0.5	1.5	–	0.25	1.0	
Syllabic Filter Input (I3)		–	0.06	0.5	–	0.06	0.3	
Reference Input (I5)		–	−0.06	−0.5	–	−0.06	−0.3	
Input Offset Current (Comparator in Active Region)	I_{IO}							µA
Analog Input/Analog Feedback (I1 − I2) — Figure 3		–	0.15	0.6	–	0.05	0.4	
Integrator Amplifier (I5 − I6) — Figure 4		–	0.02	0.2	–	0.01	0.1	
Input Offset Voltage V/I Converter (Pins 3 and 4) — Figure 5	V_{IO}	–	2.0	6.0	–	2.0	6.0	mV
Transconductance	g_m							mA/mV
V/I Converter, 0 to 3.0 mA		0.1	0.3	–	0.1	0.3	–	
Integrator Amplifier, 0 to ± 5.0 mA Load		1.0	10	–	1.0	10	–	
Propagation Delay Times (Note 1)								µs
Clock Trigger to Digital Output	t_{PLH}	–	1.0	2.5	–	1.0	2.5	
(C_L = 25 pF to Gnd)	t_{PHL}	–	0.8	2.5	–	0.8	2.5	
Clock Trigger to Coincidence Output	t_{PLH}	–	1.0	3.0	–	1.0	3.0	
(C_L = 25 pF to Gnd) (R_L = 4 kΩ to V_{CC})	t_{PHL}	–	0.8	2.0	–	0.8	2.0	
Coincidence Output Voltage — Low Logic State ($I_{OL(Con)}$ = 3.0 mA)	$V_{OL(Con)}$	–	0.12	0.25	–	0.12	0.25	Vdc
Coincidence Output Leakage Current — High Logic State (V_{OH} = 15.0 V, 0°C ≤ T_A ≤ 70°C)	$I_{OH(Con)}$	–	0.01	0.5	–	0.01	0.5	µA

NOTE 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

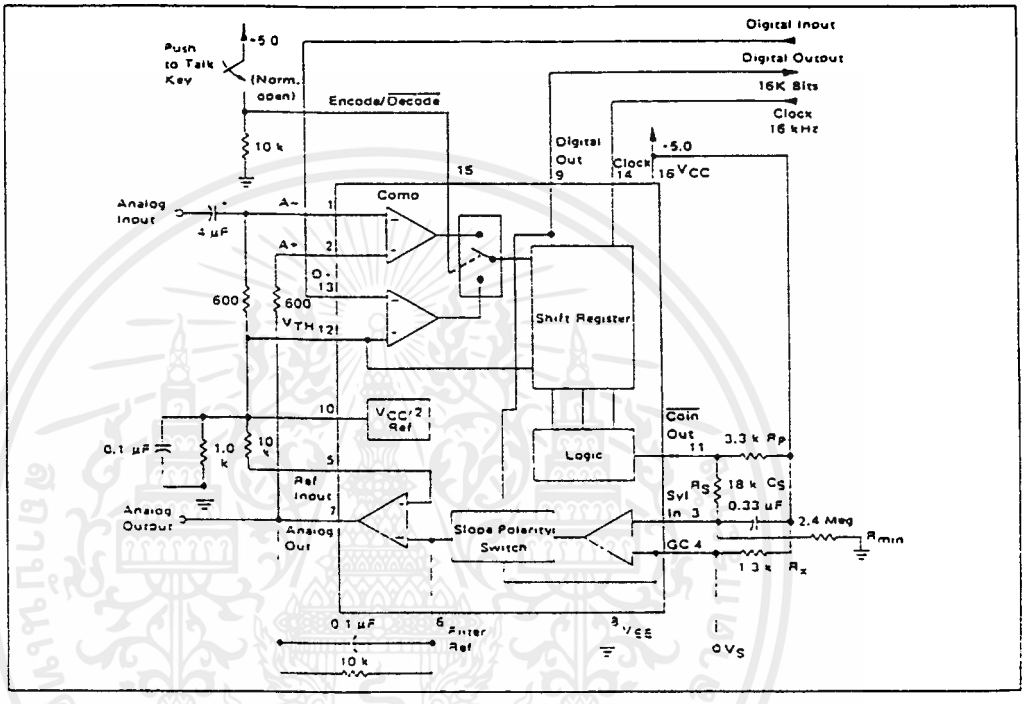
ELECTRICAL CHARACTERISTICS (continued)

Characteristic	Symbol	MC3417/MC3517 Min	Typ	Max	MC3418/MC3518 Min	Typ	Max	Unit
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	+1.2	–	V_{CC} – 2.0	+1.2	–	V_{CC} – 2.0	Vdc
Digital Threshold Input Current (1.2 V ≤ V_{th} ≤ V_{CC} – 2.0 V)	$I_{I(th)}$							µA
(V_{IL} applied to Pins 13, 14 and 15)		–	–	5.0	–	–	5.0	
(V_{IH} applied to Pins 13, 14 and 15)		–	–10	–50	–	–10	–50	
Maximum Integrator Amplifier Output Current	I_O	±5.0	–	–	±5.0	–	–	mA
V_{CC}/2 Generator Maximum Output Current (Source only)	I_{Ref}	+10	–	–	+10	–	–	mA
V_{CC}/2 Generator Output Impedance (0 to +10 mA)	z_{Ref}	–	3.0	6.0	–	3.0	6.0	Ω
V_{CC}/2 Generator Tolerance (4.75 V ≤ V_{CC} ≤ 16.5 V)	e_r	–	–	±3.5	–	–	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15)								Vdc
Low Logic State	V_{IL}	Gnd	–	V_{th} – 0.4	Gnd	–	V_{th} – 0.4	
High Logic State	V_{IH}	V_{th} + 0.4	–	18.0	V_{th} – 0.4	–	18.0	
Dynamic Total Loop Offset Voltage (Note 2) – Figures 3, 4 and 5	ΣV_{offset}							mV
I_{GC} = 12.0 µA, V_{CC} = 12 V								
T_A = 25°C		–	–	–	–	±0.5	±1.5	
0°C ≤ T_A ≤ +70°C MC3417/18		–	–	–	–	±0.75	±2.3	
–55°C ≤ T_A ≤ +125°C MC3517/18		–	–	–	–	±1.5	±4.0	
I_{GC} = 33.0 µA, V_{CC} = 12 V								
T_A = 25°C		–	±2.5	±5.0	–	–	–	
0°C ≤ T_A ≤ +70°C MC3417/18		–	±3.0	±7.5	–	–	–	
–55°C ≤ T_A ≤ +125°C MC3517/18		–	±4.5	±10	–	–	–	
I_{GC} = 12.0 µA, V_{CC} = 5.0 V								
T_A = 25°C		–	–	–	–	±1.0	±2.0	
0°C ≤ T_A ≤ +70°C MC3417/18		–	–	–	–	±1.3	±2.8	
–55°C ≤ T_A ≤ +125°C MC3517/18		–	–	–	–	±2.5	±5.0	
I_{GC} = 33.0 µA, V_{CC} = 5.0 V								
T_A = 25°C		–	±4.0	±6.0	–	–	–	
0°C ≤ T_A ≤ +70°C MC3417/18		–	±4.5	±8.0	–	–	–	
–55°C ≤ T_A ≤ +125°C MC3517/18		–	±5.5	±10	–	–	–	
Digital Output Voltage								Vdc
(I_{OL} = 3.6 mA)	V_{OL}	–	0.1	0.4	–	0.1	0.4	
(I_{OH} = –0.35 mA)	V_{OH}	V_{CC} – 1.0	V_{CC} – 0.2	–	V_{CC} – 1.0	V_{CC} – 0.2	–	
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{f(Syl)}$	+3.2	–	V_{CC}	+3.2	–	V_{CC}	Vdc
Integrating Current (Figure 2)	I_{int}							
(I_{GC} = 12.0 µA)		8.0	10	12	8.0	10	12	µA
(I_{GC} = 1.5 mA)		1.45	1.50	1.55	1.45	1.50	1.55	mA
(I_{GC} = 3.0 mA)		2.75	3.0	3.25	2.75	3.0	3.25	mA
Dynamic Integrating Current Match (I_{GC} = 1.5 mA) Figure 6	$V_{O(Ave)}$	–	±100	±250	–	±100	±250	mV
Input Current – High Logic State (V_{IH} = 18 V)	I_{IH}							µA
Digital Data Input		–	–	+5.0	–	–	+5.0	
Clock Input		–	–	+5.0	–	–	+5.0	
$\overline{\text{Encode/Decode}}$ Input		–	–	+5.0	–	–	+5.0	
Input Current – Low Logic State (V_{IL} = 0 V)	I_{IL}							µA
Digital Data Input		–	–	–10	–	–	–10	
Clock Input		–	–	–360	–	–	–360	
$\overline{\text{Encode/Decode}}$ Input		–	–	–36	–	–	–36	
Clock Input, V_{IL} = 0.4 V		–	–	–72	–	–	–72	

NOTE 2. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. For the MC3417/MC3517, the clock frequency is 16.0 kHz. For the MC3418/MC3518, the clock frequency is 32.0 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (tramp step size). Laser trimming is used to insure good idle channel performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 14 — 16 kHz SIMPLEX VOICE CODEC
(Using MC3417, Single Pole Companding and Single Integration)



CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting locations tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4 kHz and clock rates from 8 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION (continued)

zero and receive restart begins without framing when the receiver reacquires. Similarly a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise-level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 3 or 4 bits long depending on the application. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all ones, all zeros algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm only operates on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communciations requirements.

APPLICATIONS INFORMATION

CVSD DESIGN CONSIDERATIONS

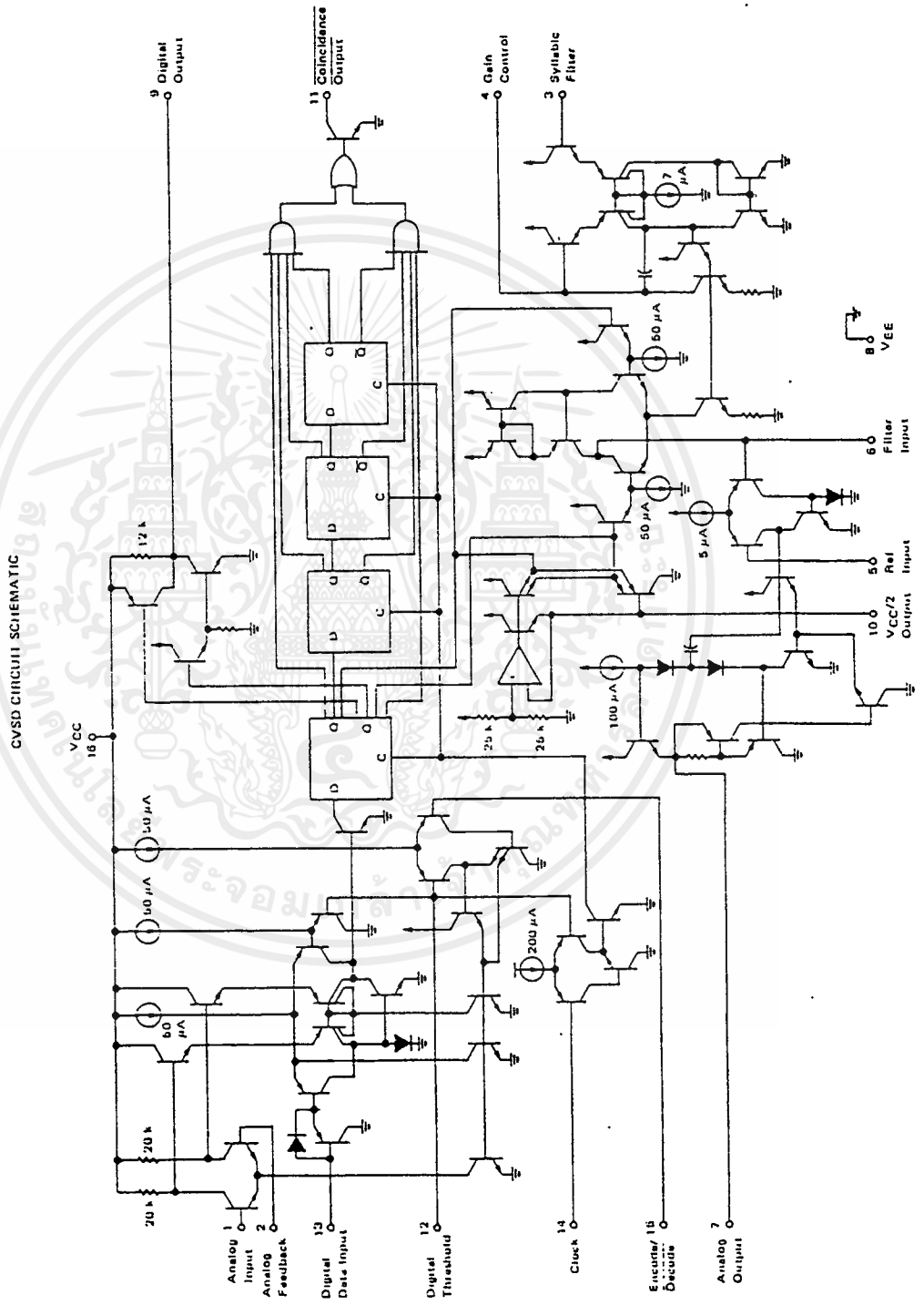
A simple CVSD encoder using the MC3417 or MC3418 is shown in Figure 14. These ICs are general purpose CVSD building blocks which allow the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3417 and MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application.

These are listed below:

1. Selection of clock rate
2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single pole networks. The selection of items 1 through 4 govern the codec performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CVSD DESIGN CONSIDERATIONS (continued)

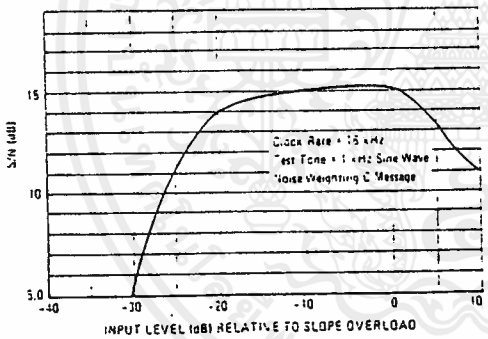
Layout Considerations

Care should be exercised to isolate all digital signal paths (pins 9, 11, 13, and 14) from analog signal paths (pins 1-7 and 10) in order to achieve proper idle channel performance.

Clock Rate

With minor modifications the circuit in Figure 14 may be operated anywhere from 9.6 kHz to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 14 typically produces the S/N performance shown in Figure 15. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4-wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32K bits and above. Other codecs may use bit rates up to 200K bits/sec.

FIGURE 15 – SIGNAL-TO-NOISE PERFORMANCE OF MC3417 WITH SINGLE INTEGRATION, SINGLE-POLE AND COMPANDING AT 16K BITS – TYPICAL



Shift Register Length (Algorithm)

The MC3417 has a three-bit algorithm and the MC3418 has a four-bit algorithm. For clock rates of 16 kHz and below, the 3-bit algorithm is well suited. For 32 kHz and higher clock rates, the 4-bit system is preferred. Since the algorithm records a fixed past history of the input signal, a longer shift register is required to obtain the same internal hsitory. At 16 bits and below, the 4-bit algorithm will produce a slightly wider dynamic range at the expense of level change response. Basically the MC3417 is designed for low bit rate systems and the MC3418 is intended for high performance, high bit rate system. At bit rates above 64K bits either part will work well.

Selection of Loop Gain

The gain of the circuit in Figure 14 is set by resistor R_X. R_X must be selected to provide the proper integrator step size for high level signals such that the companding ratio does not exceed about 25%. The companding ratio is the active low duty cycle of the coincidence output on pin 11 of the codec circuit. Thus the system gain is dependent on:

1. The maximum level and frequency of the input signal.
2. The transfer function of the integration filter.

For voice codecs the typical input signal is taken to be a sine wave at 1 kHz of 0 dBmo level. In practice, the useful dynamic range extends about 6 dB above the design level. In any system the companding ratio should not exceed 30%.

To calculate the required step size current, we must describe the transfer characteristics of the integration filter. In the basic circuit of Figure 14, a single pole of 160 Hz is used.

$$R = 10\ k\Omega,\ C = 0.1\ \mu F$$

$$\frac{V_o}{I_i} = \frac{1}{C(S + 1/RC)} \equiv \frac{K}{S + \omega_o}$$

$$\omega_o = 2\pi f$$

$$10^3 = \omega_o = 2\pi f$$

$$f = 159.2\ Hz$$

Note that the integration filter produces a single-pole response from 300 to 3 kHz. The current required to move the integrator output a specific voltage from zero is simply:

$$I_i = \frac{V_o}{R} + \frac{C_d V_o}{dt}$$

Now a 0 dBmo sine wave has a peak value of 1.0954 volts. In 1/8 of a cycle of a sine wave centered around the zero crossing, the sine wave changes by approximately its peak value. The CVSD step should trace that change. The required current for a 0 dBm 1 kHz sine wave is:

$$I_i = \frac{1.1\ V}{*2(10\ k\Omega)} + \frac{0.1\ \mu F(1.1)}{0.125\ ms} = 0.935\ mA$$

*The maximum voltage across RI when maximum slew is required is:

$$\frac{1.1\ V}{2}$$

Now the voltage range of the syllabic filter is the power supply voltage, thus:

$$R_X = 0.25(V_{CC})\ \frac{1}{0.935\ mA}$$

A similar procedure can be followed to establish the proper gain for any input level and integration filter type.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CVSD DESIGN CONSIDERATIONS (continued)

Minimum Step Size

The final parameter to be selected for the simple codec in Figure 14 is idle channel step size. With no input signal, the digital output becomes a one-zero alternating pattern and the analog output becomes a small triangle wave. Mismatches of internal currents and offsets limit the minimum step size which will produce a perfect idle channel pattern. The MC3417 is tested to ensure that a 20 mVp-p minimum step size at 16 kHz will attain a proper idle channel. The idle channel step size must be twice the specified total loop offset if a one-zero idle pattern is desired. In some applications a much smaller minimum step size (e.g., 0.1 mV) can produce quiet performance without providing a 1-0 pattern.

To set the idle channel step size, the value of R_{min} must be selected. With no input signal, the slope control algorithm is inactive. A long series of ones or zeros never occurs. Thus, the voltage across the syllabic filter capacitor (C_S) would decay to zero. However, the voltage divider of R_S and R_{min} (see Figure 14) sets the minimum allowed voltage across the syllabic filter capacitor. That voltage must produce the desired ramps at the analog output. Again we write the filter input current equation:

$$I_i = \frac{V_o}{R} + C\frac{dV_o}{dt}$$

For values of V_o near $V_{CC}/2$ the V_o/R term is negligible; thus

$$I_i = C_S\frac{\Delta V_o}{\Delta T}$$

where ΔT is the clock period and ΔV_o is the desired peak-to-peak value of the idle output. For a 16K-bit system using the circuit in Figure 14

$$I_i = \frac{0.1\ \mu F\ \ 20\ mV}{62.5\ \mu s} = 33\ \mu A$$

The voltage on C_S which produces a 33 μA current is determined by the value of R_X.

$I_i R_X = V_S min$; for 33 μA, $V_S min = 41.6$ mV

In Figure 14 R_S is 18 kΩ. That selection is discussed with the syllabic filter considerations. The voltage divider of R_S and R_{min} must produce an output of 41.6 mV.

$$V_{CC}\frac{R_S}{R_S + R_{min}} = V_S min \qquad R_{min} \simeq 2.4\ M\Omega$$

Having established these four parameters — clock rate, number of shift register bits, loop gain and minimum step size — the encoder circuit in Figure 14 will function at near optimum performance for input levels around 0 dBm.

INCREASING CVSD PERFORMANCE

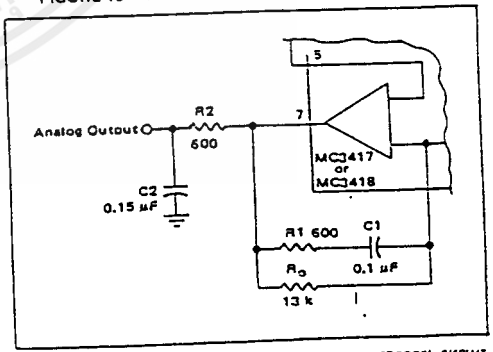
Integration Filter Design

The circuit in Figure 14 uses a single-pole integration network formed with a 0.1 μF capacitor and a 10 kΩ resistor. It is possible to improve the performance of the circuit in Figure 14 by 1 or 2 dB by using a two-pole integration network. The improved circuit is shown.

The first pole is still placed below 300 Hz to provide the 1/S voice content curve and a second pole is placed somewhere above the 1 kHz frequency. For telephony circuits, the second pole can be placed above 1.8 kHz to exceed the 1633 touchtone frequency. In other communication systems, values as low as 1 kHz may be selected. In general, the lower in frequency the second pole is placed, the greater the noise improvement. Then, to ensure the encoder loop stability, a zero is added to keep the phase shift less than 180°. This zero should be placed slightly above the low-pass output filter break frequency so as not to reduce the effectiveness of the second pole. A network of 235 Hz, 2 kHz and 5.2 kHz is typical for telephone applications while 160 Hz, 1.2 kHz and 2.8 kHz might be used in voice only channels. (Voice only channels can use an output low-pass filter which breaks at about 2.5 kHz.) The two-pole network in Figure 16 has a transfer function of:

$$\frac{V_o}{I_i} = \frac{R_0R_1\left(S + \frac{1}{R_1C_1}\right)}{R_2C_2(R_0 + R_1)\left(S + \frac{1}{(R_0 + R_1)C_1}\right)S + \left(\frac{1}{R_2C_2}\right)}$$

FIGURE 16 — IMPROVED FILTER CONFIGURATION



These component values are for the teleonone channel circuit poles described in the text. The R2, C2 product can be provided with different values of R and C. R2 should be chosen to be equal to the termination resistor on pin 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INCREASING CVSD PERFORMANCE (continued)

Thus the two poles and the zero can be selected arbitrarily as long as the zero is at a higher frequency than the first pole. The values in Figure 16 represent one implementation of the telephony filter requirement.

The selection of the two-pole filter network effects the selection of the loop gain value and the minimum step size resistor. The required integrator current for a given change in voltage now becomes:

$$I_I = \frac{V_O}{R_O} + \left(\frac{R_2C_2}{R_O} + \frac{R_1C_1}{R_O} + C_1\right)\frac{\Delta V_O}{\Delta T} + \left(R_2C_2C_1 + \frac{R_1C_1R_2C_2}{R_O}\right)\frac{\Delta V_O{}^2}{\Delta T^2}.$$

The calculation of desired gain resistor R_X then proceeds exactly as previously described.

Syllabic Filter Design

The syllabic filter in Figure 14 is a simple single-pole network of 18 kΩ and 0.33 μF. This produces a 6.0 ms time constant for the averaging of the coincidence output signal. The voltage across the capacitor determines the integrator current which in turn establishes the step size. The integrator current and the resulting step size determine the companding ratio and the S/N performance. The companding ratio is defined as the voltage across C_S/V_{CC}.

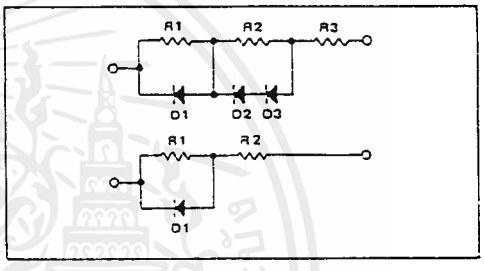
The S/N performance may be improved by modifying the voltage to current transformation produced by R_X. If different portions of the total R_X are shunted by diodes, the integrator current can be other than $(V_{CC} - V_S)/R_X$. These breakpoint curves must be designed experimentally for the particular system application. In general, one would wish that the current would double with input level. To design the desired curve, supply current to pin 4 of the codec from an external source. Input a signal level and adjust the current until the S/N performance is optimum. Then record the syllabic filter voltage and the current. Repeat this for all desired signal levels. Then derive the resistor diode network which produces that curve on a curve tracer.

Once the network is designed with the curve tracer, it is then inserted in place of R_X in the circuit and the forced optimum noise performance will be achieved from the active syllabic algorithm.

Diode breakpoint networks may be very simple or moderately complex and can improve the usable dynamic range of any codec. In the past they have been used in high performance telephone codecs.

Typical resistor-diode networks are shown in Figure 17.

FIGURE 17 – RESISTOR-DIODE NETWORKS



If the performance of more complex diode networks is desired, the circuit in Figure 18 should be used. It simulates the companding characteristics of nonlinear R_X elements in a different manner.

Output Low Pass Filter

A low pass filter is required at the receiving circuit output to eliminate quantizing noise. In general, the lower the bit rate, the better the filter must be. The filter in Figure 20 provides excellent performance for 12 kHz to 40 kHz systems.

TELEPHONE CARRIER QUALITY CODEC USING MC3418

Two specifications of the integrated circuit are specifically intended to meet the performance requirements of commercial telephone systems. First, slope polarity switch current matching is laser trimmed to guarantee proper idle channel performance with 5 mV minimum step size and a typical 1% current match from 15 μA to 3 mA. Thus a 300 to 1 range of step size variation is possible. Second, the MC3418 provides the four-bit algorithm currently used in subscriber loop telephone systems. With these specifications and the circuit of Figure 18, a telephone quality codec can be mass produced.

The circuit in Figure 18 provides a 30 dB S/Nc ratio over 50 dB of dynamic range for a 1 kHz test tone at a 37.7K bit rate. At 37.7K bits, 40 voice channels may be multiplexed on a standard 1.544 megabit T1 facility. This codec has also been tested for 10^{-7} error rates with asynchronous and synchronous data up to 2400 baud and for reliable performance with DTMF signaling. Thus, the design is applicable in telephone quality subscriber loop carrier systems, subscriber loop concentrators and small PABX installations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

The Active Companding Network

The unique feature of the codec in Figure 18 is the step size control circuit which uses a companding ratio reference, the present step size, and the present syllabic filter output to establish the optimum companding ratios and step sizes for any given input level. The companding ratio of a CVSD codec is defined as the duty cycle of the coincidence output. It is the parameter measured by the syllabic filter and is the voltage across C_S divided by the voltage swing of the coincidence output. In Figure 18, the voltage swing of pin 11 is 6 volts. The operating companding ratio is analoged by the voltage between pins 10 and 4 by means of the virtual short across pins 3 and 4 of the V to I op amp within the integrated circuit. Thus, the instantaneous companding ratio of the codec is always available at the negative input of A1.

The diode D1 and the gain of A1 and A2 provide a companding ratio reference for any input level. If the output of A2 is more than 0.7 volts below $V_{CC}/2$, then the positive input of A1 is ($V_{CC}/2$ – 0.7). The on diode drop at the input of A1 represents a 12% companding ratio (12% = 0.7 V/6 V).

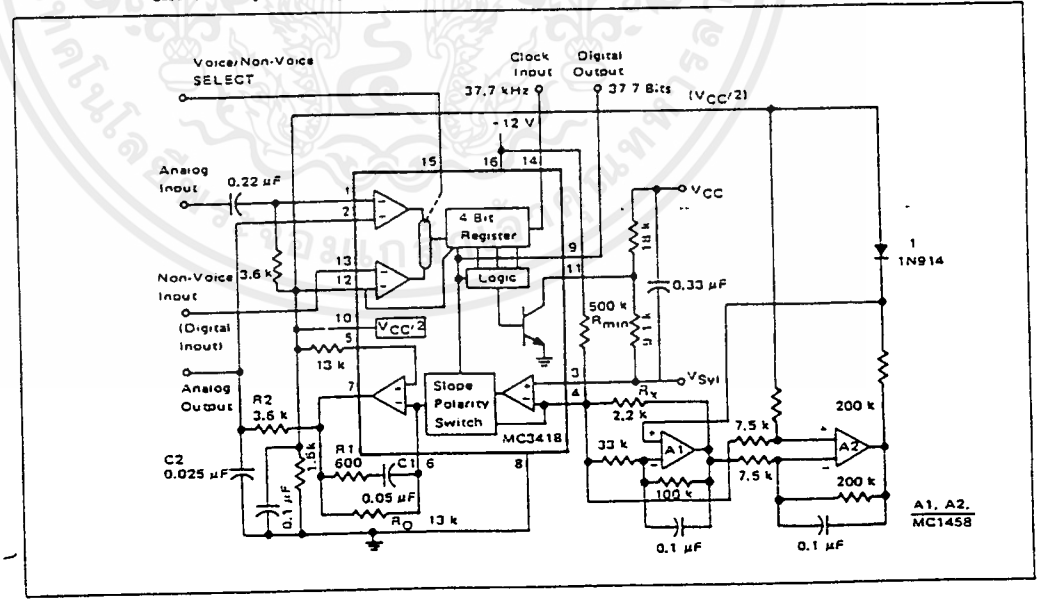
The present step size of the operating codec is directly related to the voltage across R_X, which established the integrator current. In Figure 18, the voltage across R_X is amplified by the differential amplifier A2 whose output is single ended with respect to pin 10 of the IC.

For large signal inputs, the step size is large and the output of A2 is lower than 0.7 volts. Thus D1 is fully on. The present step size is not a factor in the step size control. However, the difference between 12% companding ratio and the instantaneous companding ratio at pin 4 is amplified by A1. The output of A1 changes the voltage across R_X in a direction which reduces the difference between the companding reference and the operating ratio by changing the step size. The ratio of R4 and R3 determines how closely the voltage at pin 4 will be forced to 12%. The selection of R3 and R4 is initially experimental. However, the resulting companding control is dependent on R_X, R3, R4, and the full diode drop D1. These values are easy to reproduce from codec to codec.

For small input levels, the companding ratio reference becomes the output of A2 rather than the diode drop. The operating companding ratio on pin 4 is then compared to a companding ratio smaller than 12% which is determined by the voltage drop across R_X and the gain of A2

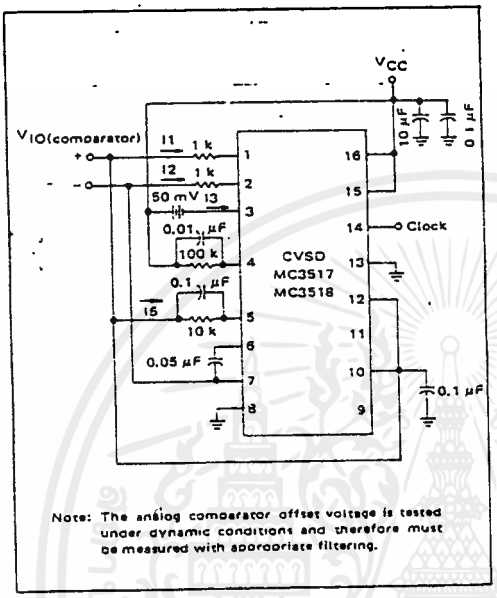
FIGURE 18 – TELEPHONE QUALITY DELTAMOD CODER

(Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3 – INPUT BIAS CURRENTS, ANALOG COMPARATOR OFFSET VOLTAGE AND CURRENT



Note: The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering.

FIGURE 4 – INTEGRATOR AMPLIFIER OFFSET VOLTAGE AND CURRENT

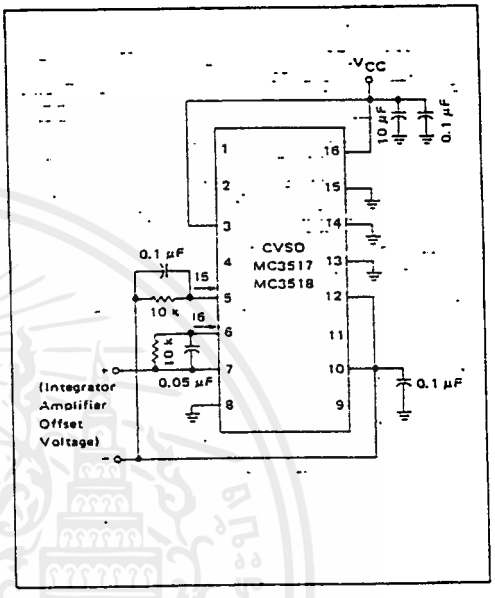
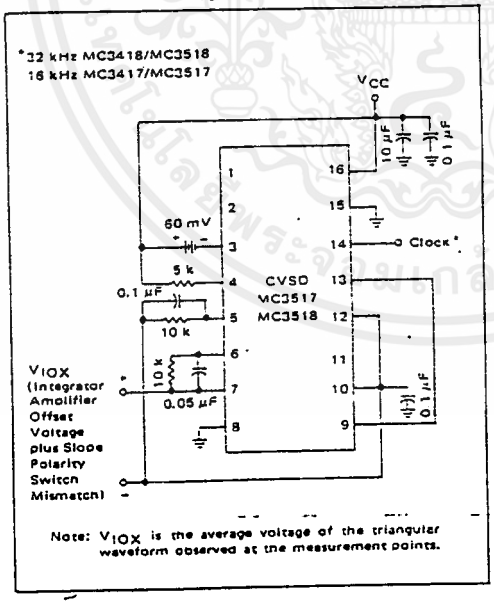
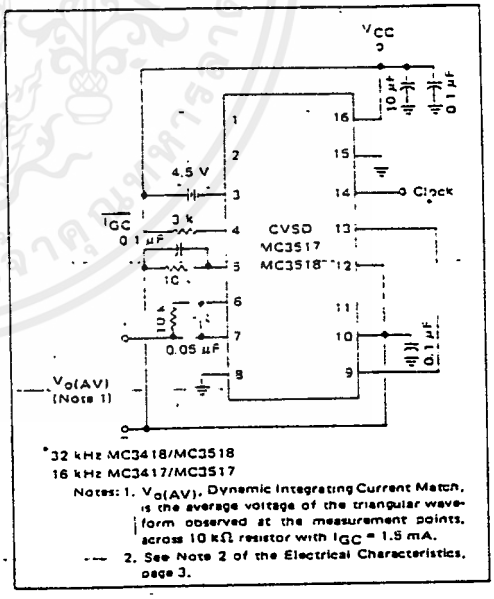


FIGURE 5 – V/I CONVERTER OFFSET VOLTAGE, V_{IO} and V_{IOX}



Note: V_{IOX} is the average voltage of the triangular waveform observed at the measurement points.

FIGURE 6 – DYNAMIC INTEGRATING CURRENT MATCH



*32 kHz MC3418/MC3518
16 kHz MC3417/MC3517

Notes: 1. $V_{o(AV)}$, Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at the measurement points, across 10 kΩ resistor with I_{GC} = 1.5 mA.

2. See Note 2 of the Electrical Characteristics, page 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CURVES

FIGURE 7 – TYPICAL I_{Int} versus I_{GC} (Mean ± 2σ)

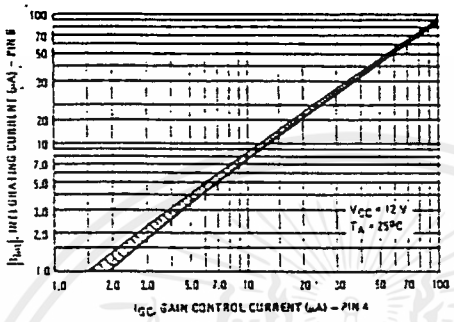


FIGURE 8 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus V_{CC}

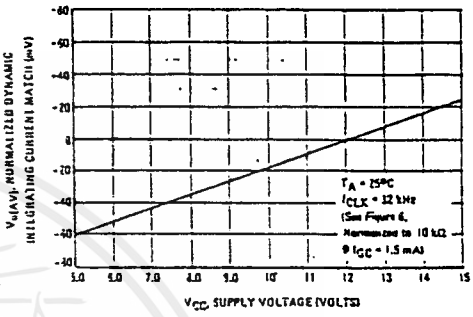


FIGURE 9 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus CLOCK FREQUENCY

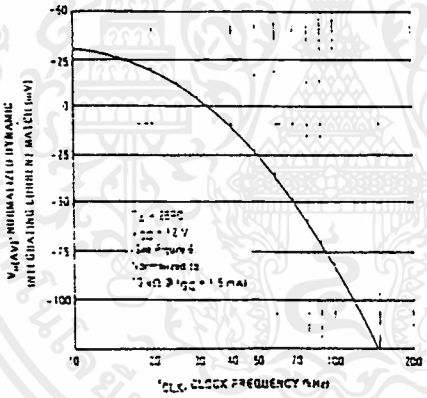


FIGURE 10 – DYNAMIC TOTAL LOOP OFFSET versus CLOCK FREQUENCY

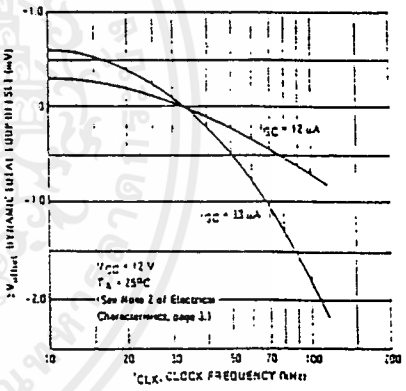
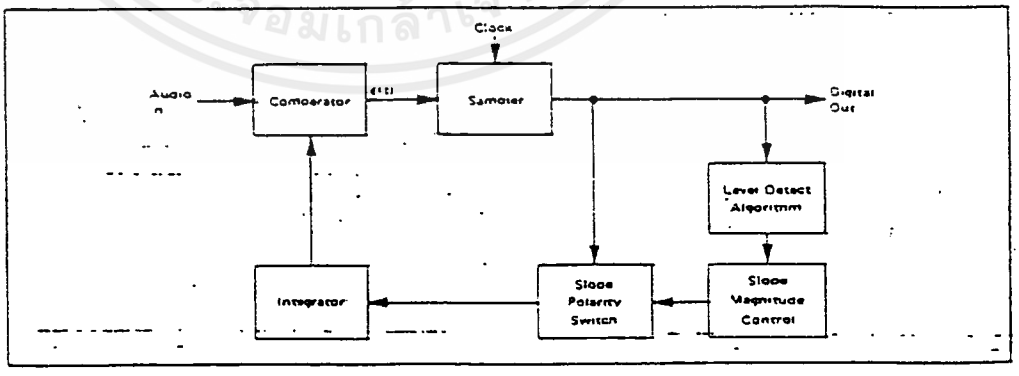


FIGURE 11 – BLOCK DIAGRAM OF THE CVSD ENCODER

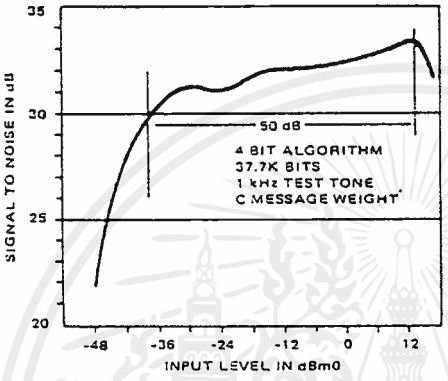


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

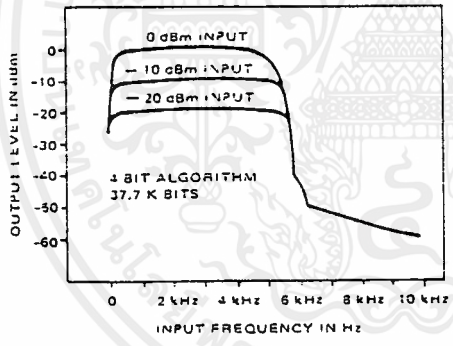
TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

FIGURE 19 – SIGNAL-TO-NOISE PERFORMANCE AND FREQUENCY RESPONSE
(Showing the improvement realized with the circuit in Figure 18.)

a. SIGNAL-TO-NOISE PERFORMANCE OF TELEPHONY QUALITY DELTAMODULATOR



b. FREQUENCY RESPONSE versus INPUT LEVEL (SLOPE OVERLOAD CHARACTERISTIC)



and A1. The gain of A2 is also experimentally determined, but once determined, the circuitry is easily repeated.

With no input signal, the companding ratio at pin 4 goes to zero and the voltage across R_X goes to zero. The voltage at the output of A2 becomes zero since there is no drop across R_X. With no signal input, the actively controlled step size vanished.

The minimum step size is established by the 500 k resistor between V_{CC} and $V_{CC}/2$ and is therefore independently selectable.

The signal to noise results of the active companding network are shown in Figure 19. A smooth 2 dB drop is realized from +12 dBm to –24 under the control of A1. At –24 dBm, A2 begins to degenerate the companding reference and the resulting step size is reduced so as to extend the dynamic range of the codec by 20 dBm.

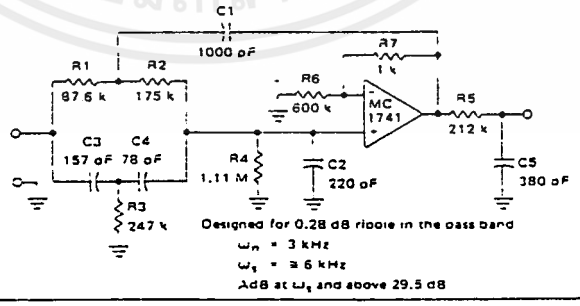
The slope overload characteristic is also shown. The active companding network produces improved performance with frequency. The 0 dBm slope overload point is raised to 4.8 kHz because of the gain available in controlling the voltage across R_X. The curves demonstrate that the level linearity has been maintained or improved.*

The codec in Figure 18 is designed specifically for 37.7K bit systems. However, the benefits of the active companding network are not limited to high bit rate systems. By modifying the crossover region (changing the gain of A2), the active technique may be used to improve the performance of lower bit rate systems.

The performance and repeatability of the codec in Figure 18 represents a significant step forward in the art and cost of CVSD codec designs.

*A larger value for C2 is required in the decoder circuit than in the encoder to adjust the level linearity with frequency. In Figure 18, 0.050 µF would work well.

FIGURE 20 – HIGH PERFORMANCE ELLIPTIC FILTER FOR CVSD OUTPUT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3302 For Specifications, See LM139 D

MOTOROLA

MC3403
MC3503
MC3303

Specifications and Aications Informatic

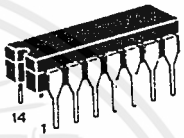
QUAD LOW POWER OPERATIAMPLIFIERS

The MC3503 is a low-cost, quad ope amplifier with true differential inputs. The device has elect aracteristics similar to the popular MC1741. However, the M has several distinct advantages over standard operationa ifier types in single supply applications. The quad ampli n operate at supply voltages as low as 3.0 Volts or as hig Volts with quiescent currents about one third of those ass with the MC1741 (on a per amplifier basis). The common input range includes the negative supply, thereby eliminat necessity for external biasing components in many appli . The output voltage range also includes the negative po pply voltage.

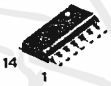
- Short Circuit Protected Outputs
- Class AB Output Stage for Mini ssover Distortion
- True Differential Input Stage
- Single Supply Operation: 3.0 to ts
- Split Supply Operation: ±1.5 to Volts
- Low Input Bias Currents: 500 n
- Four Amplifiers Per Package
- Internally Compensated
- Similar Performance to Popul 741
- Industry Standard Pinouts

QUAD DIFFERENTIAL INPUT OPERATIONAL AMPLIFIERS

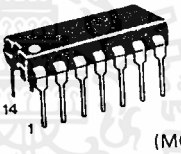
SILICON MONOLITHIC INTEGRATED CIRCUIT



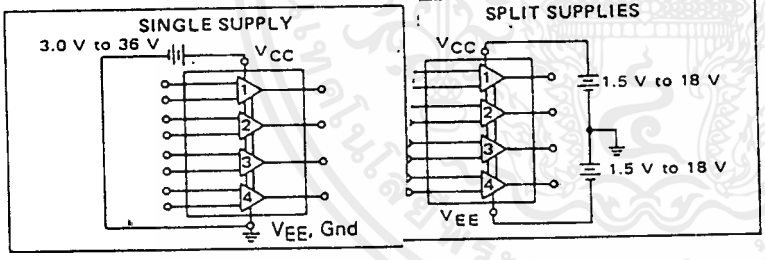
L SUFFIX
CERAMIC PACKAGE
CASE 632-08

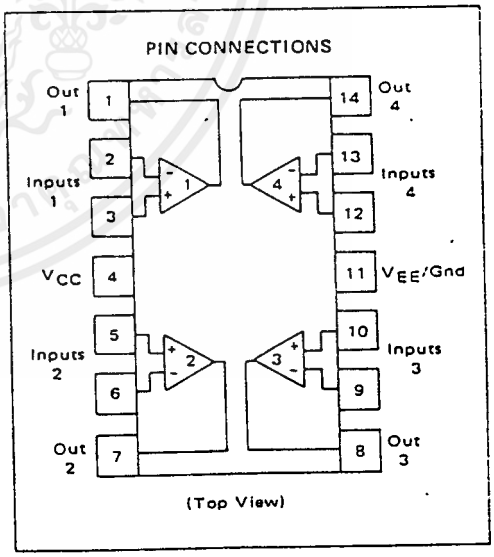


D SUFFIX
PLASTIC PACKAGE
CASE 751A-02
SO-14



P SUFFIX
PLASTIC PACKAGE
CASE 646-06
(MC3403 and MC3303 Only)





MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Power Supply Voltages Single Supply Split Supplies	 V_{CC} V_{CC} V_{EE}	 36 +18 -18	Vdc
Input Differential Voltage Range (1)	V_{IDR}	±36	Vdc
Input Common Mode Voltage Range (1) (2)	V_{ICR}	±18	Vdc
Storage Temperature Range Ceramic Package Plastic Package	T_{stg}	 -65 to +150 -55 to +125	°C
Operating Ambient Temperature Range MC3503 MC3403 MC3303	T_A	 -55 to +125 0 to +70 -40 to +85	°C
Junction Temperature Ceramic Package Plastic Package	T_J	 175 150	°C

(1) Split Power Supplies.
(2) For Supply Voltages less than ±15 bsolute maximum input voltage is equal to the supply voltage.

ORDERING INFORMATION

Type	Temperature Range	Package
MC3303L	-40°C to +85°C	Ceramic DIP
MC3303P	-40°C to +85°C	Plastic DIP
MC3403D	0°C to +70°C	SO-14
MC3403L	0°C to +70°C	Ceramic DIP
MC3403P	0°C to +70°C	Plastic DIP
MC3503L	-55°C to +125°C	Ceramic DIP

เอกสารนี้เป็นเอกสารที่สงวนไ ตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อห ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V, V_{EE} = -15 V for MC3503, MC3403; V_{CC} = +14 V, V_{EE} = Gnd for MCC3303, T_A = 25°C unless otherwise noted.)

Characteristic	Symbol	MC3503			MC3403			MC3303			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage $T_A = T_{high}$ to T_{low} (1)	V_{IO}	– –	2.0 –	5.0 6.0	– –	2.0 –	10 12	– –	2.0 –	8.0 10	mV
Input Offset Current $T_A = T_{high}$ to T_{low}	I_{IO}	– –	30 –	50 200	– –	30 –	50 200	– –	30 –	75 250	nA
Large Signal Open-Loop Voltage Gain V_O = ±10 V, R_L = 2.0 kΩ, $T_A = T_{high}$ to T_{low}	A_{VOL}	50 25	200 –	– –	20 15	200 –	– –	20 15	200 –	– –	V/mV
Input Bias Current $T_A = T_{high}$ to T_{low}	I_{IB}	– –	-200 -300	-500 -1500	– –	-200 –	-500 -800	– –	-200 –	-500 -1000	nA
Output Impedance f = 20 Hz	z_o	–	75	–	–	75	–	–	75	–	Ω
Input Impedance f = 20 Hz	z_i	0.3	1.0	–	0.3	1.0	–	0.3	1.0	–	MΩ
Output Voltage Range R_L = 10 kΩ R_L = 2.0 kΩ R_L = 2.0 kΩ, $T_A = T_{high}$ to T_{low}	V_{OR}	±12 ±10 ±10	±13.5 ±13 –	– – –	±12 ±10 ±10	±13.5 ±13 –	– – –	+12 +10 +10	+12.5 +12 –	– – –	V
Input Common-Mode Voltage Range	V_{ICR}	+13 V -V_{EE}	+13.5 V -V_{EE}	–	+13 V -V_{EE}	+13.5 V -V_{EE}	–	+12 V -V_{EE}	+12.5 V -V_{EE}	–	V
Common-Mode Rejection Ratio $R_S \leq$ 10 kΩ	CMRR	70	90	–	70	90	–	70	90	–	dB
Power Supply Current (V_O = 0) R_L = ∞	I_{CC},I_{EE}	–	2.8	4.0	–	2.8	7.0	–	2.8	7.0	mA
Individual Output Short-Circuit Current (2)	$I_{OS\pm}$	±10	±30	±45	±10	±30	±45	±10	±30	±45	mA
Positive Power Supply Rejection Ratio	PSRR+	–	30	150	–	30	150	–	30	150	μV/V
Negative Power Supply Rejection Ratio	PSRR-	–	30	150	–	30	150	–	–	–	μV/V
Average Temperature Coefficient of Input Offset Current $T_A = T_{high}$ to T_{low}	$\Delta I_{IO}/\Delta T$	–	50	–	–	50	–	–	50	–	pA/°C
Average Temperature Coefficient of Input Offset Voltage $T_A = T_{high}$ to T_{low}	$\Delta V_{IO}/\Delta T$	–	10	–	–	10	–	–	10	–	μV/°C
Power Bandwidth A_V = 1, R_L = 2.0 kΩ, V_o = 20 Vp-p, THD = 5%	BWp	–	9.0	–	–	9.0	–	–	9.0	–	kHz
Small-Signal Bandwidth A_V = 1, R_L = 10 kΩ, V_o = 50 mV	BW	–	1.0	–	–	1.0	–	–	1.0	–	MHz
Slew Rate A_V = 1, V_i = -10 V to +10 V	SR	–	0.6	–	–	0.6	–	–	0.6	–	V/μs
Rise Time A_V = 1, R_L = 10 kΩ, V_o = 50 mV	t_{TLH}	–	0.35	–	–	0.35	–	–	0.35	–	μs
Fall Time A_V = 1, R_L = 10 kΩ, V_o = 50 mV	t_{THL}	–	0.35	–	–	0.35	–	–	0.35	–	μs
Overshoot A_V = 1, R_L = 10 kΩ, V_o = 50 mV	OS	–	20	–	–	20	–	–	20	–	%
Phase Margin A_V = 1, R_L = 2.0 kΩ, C_L = 200 pF	ϕ_m	–	60	–	–	60	–	–	60	–	Degrees
Crossover Distortion (V_{in} = 30 mVp-p, V_{out} = 2.0 Vp-p, f = 10 kHz)	–	–	1.0	–	–	1.0	–	–	1.0	–	%

(1) T_{high} = 125°C for MC3503, 70°C for MC3403, 85°C for MC3303
T_{low} = -55°C for MC3503, 0°C for MC3403, -40°C for MC3303

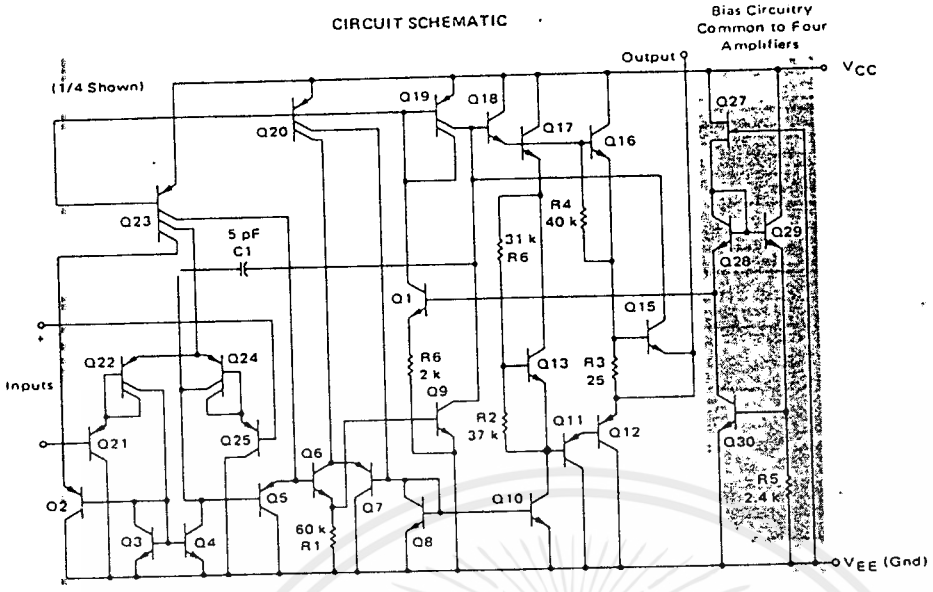
ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 V, V_{EE} = Gnd, T_A = 25°C unless otherwise noted.)

Characteristic	Symbol	MC3503			MC3403			MC3303			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	V_{IO}	–	2.0	5.0	–	2.0	10	–	–	10	mV
Input Offset Current	I_{IO}	–	30	50	–	30	50	–	–	75	nA
Input Bias Current	I_{IB}	–	-200	-500	–	-200	-500	–	–	-500	nA
Large-Signal Open-Loop Voltage Gain R_L = 2.0 kΩ	A_{VOL}	10	200	–	10	200	–	10	200	–	V/mV
Power Supply Rejection Ratio	PSRR	–	–	150	–	–	150	–	–	150	μV/V
Output Voltage Range (3) R_L = 10 kΩ, V_{CC} = 5.0 V R_L = 10 kΩ, 5.0 V < V_{CC} < 30 V	V_{OR}	3.3 V_{CC} - 2.0	3.5 V_{CC} - 1.7	– –	3.3 V_{CC} - 2.0	3.5 V_{CC} - 1.7	– –	3.3 V_{CC} - 2.0	3.5 V_{CC} - 1.7	– –	Vp-p
Power Supply Current	I_{CC}	–	2.5	4.0	–	2.5	7.0	–	2.5	7.0	mA
Channel Separation f = 1.0 kHz to 20 kHz (Input Referenced)	–	–	-120	–	–	-120	–	–	-120	–	dB

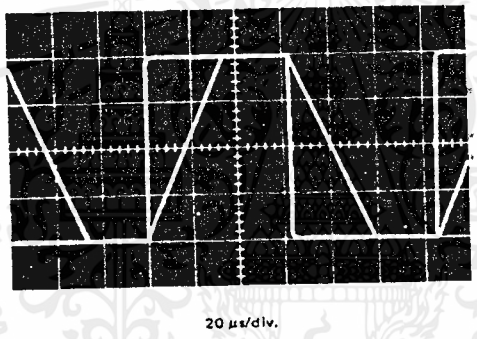
(2) Not to exceed maximum package power dissipation.
(3) Output will swing to ground

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT SCHEMATIC



INVERTER PULSE RESPONSE



CIRCUIT DESCRIPTION

The MC3503/3403/3303 is made using four internally compensated, two-stage operational amplifiers. The first stage of each consists of differential input devices Q24 and Q22 with input buffer transistors Q25 and Q21 and the differential to single ended converter Q3 and Q4. The first stage performs not only the first stage gain function but also performs the level shifting and transconductance reduction functions. By reducing the transconductance a smaller compensation capacitor (only 5 pF) can be employed, thus saving chip area. The transconductance reduction is accomplished by splitting the collectors of Q24 and Q22. Another feature of this input stage is that the input common-mode range can include the negative supply or ground, in single supply operation, without saturating either the input devices or the differential to single-ended converter. The second stage consists of a standard current source load amplifier stage.

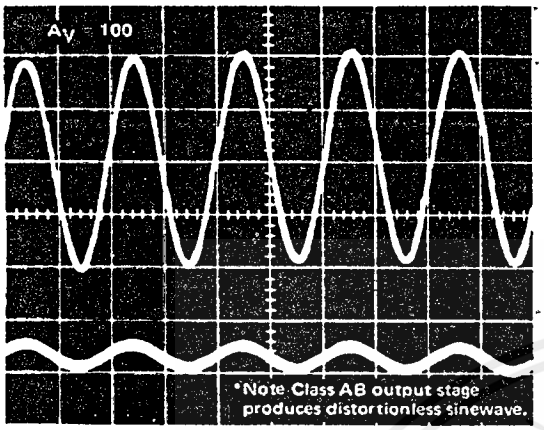
The output stage is unique because it allows the output to swing to ground in single supply operation and yet does not exhibit any crossover distortion in split supply operation. This is possible because class AB operation is utilized.

Each amplifier is biased from an internal-voltage regulator which has a low temperature coefficient thus giving each amplifier good temperature characteristics as well as excellent power supply rejection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CURVES

FIGURE 1 – SINE WAVE RESPONSE



50 μs/div.

FIGURE 2 – OPEN LOOP FREQUENCY RESPONSE

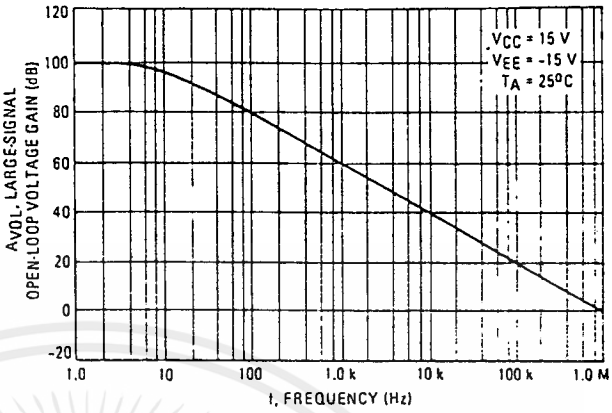


FIGURE 3 – POWER BANDWIDTH

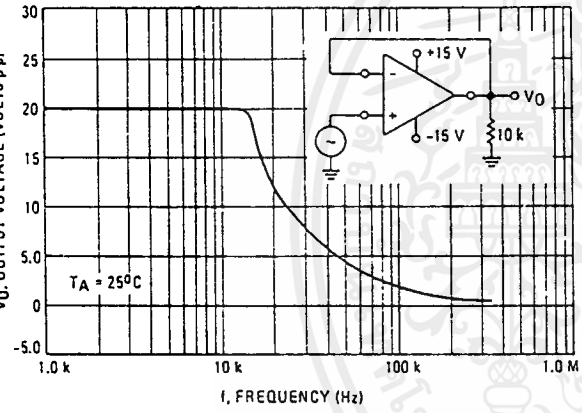


FIGURE 4 – OUTPUT SWING versus SUPPLY VOLTAGE

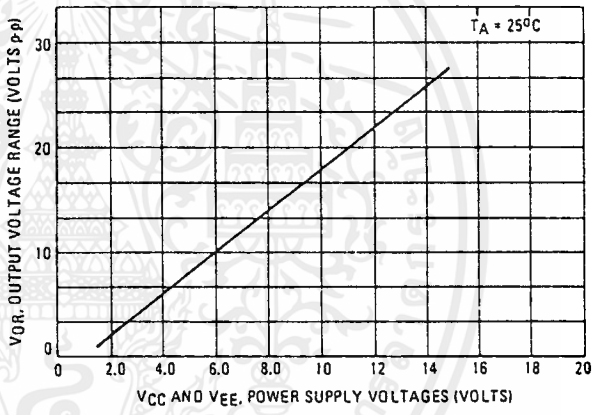


FIGURE 5 – INPUT BIAS CURRENT versus TEMPERATURE

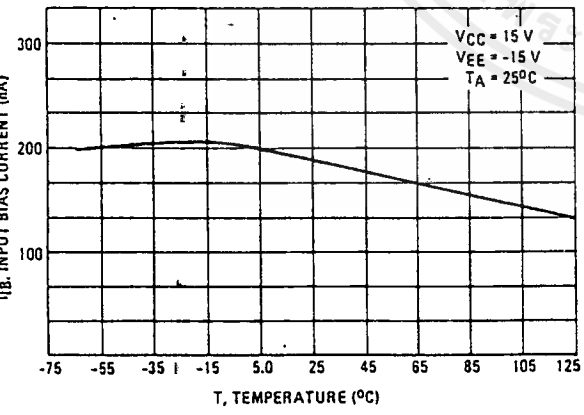
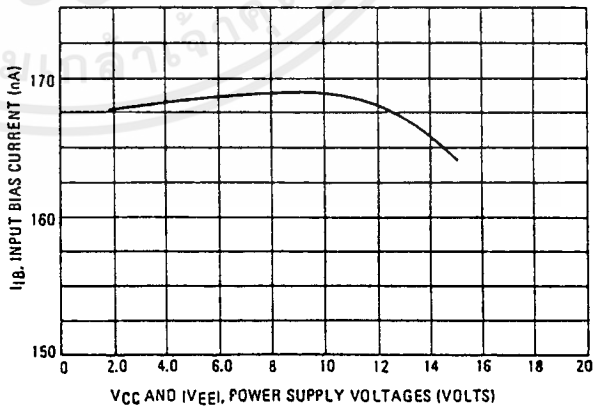


FIGURE 6 – INPUT BIAS CURRENT versus SUPPLY VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

FIGURE 7 – VOLTAGE REFERENCE

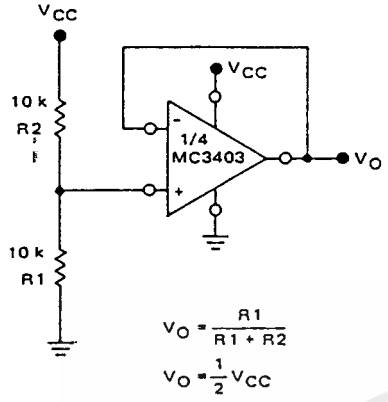


FIGURE 8 — WIEN BRIDGE OSCILLATOR

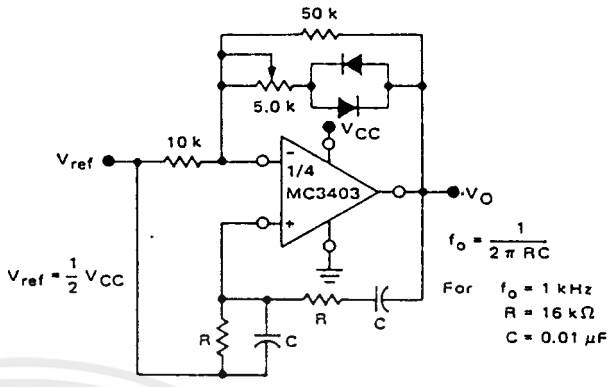


FIGURE 9 – HIGH IMPEDANCE DIFFERENTIAL AMPLIFIER

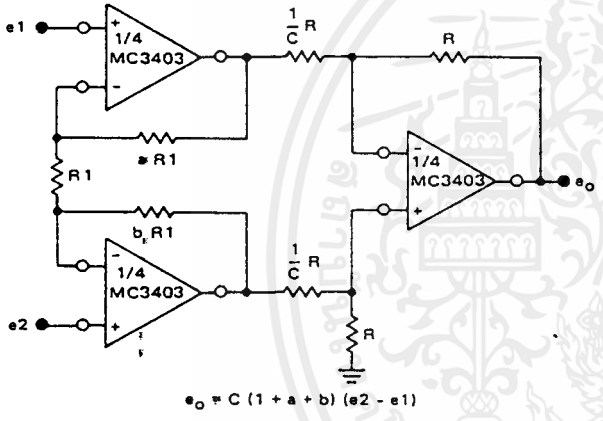


FIGURE 10 – COMPARATOR WITH HYSTERESIS

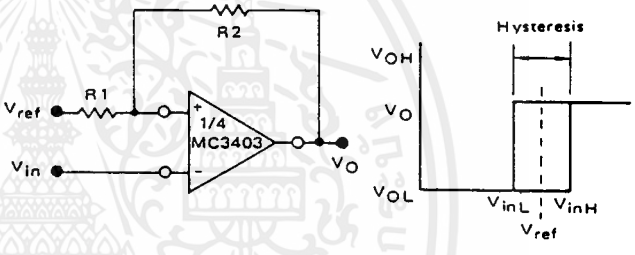
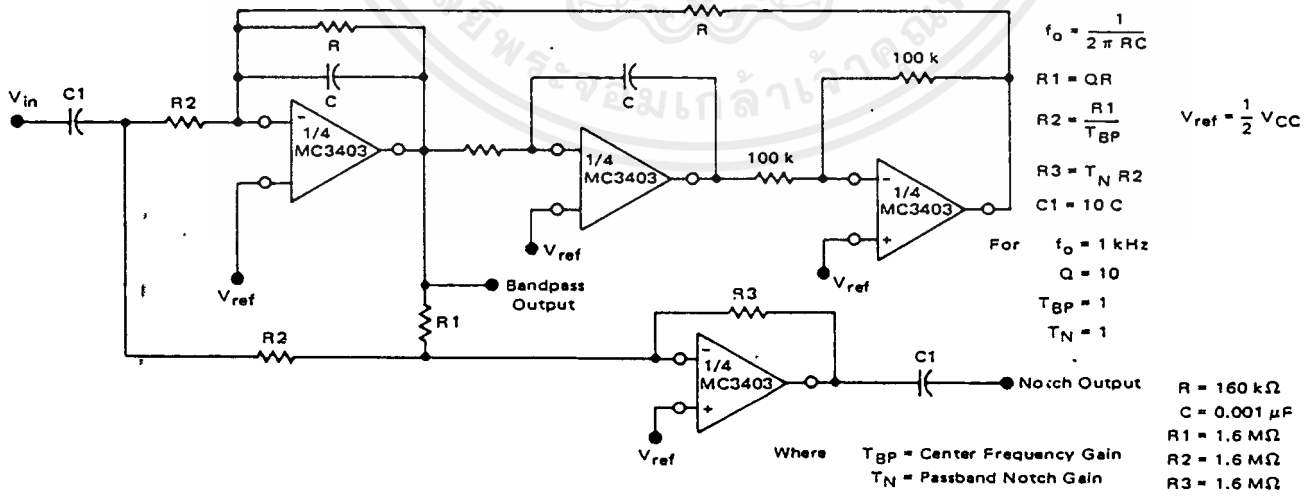
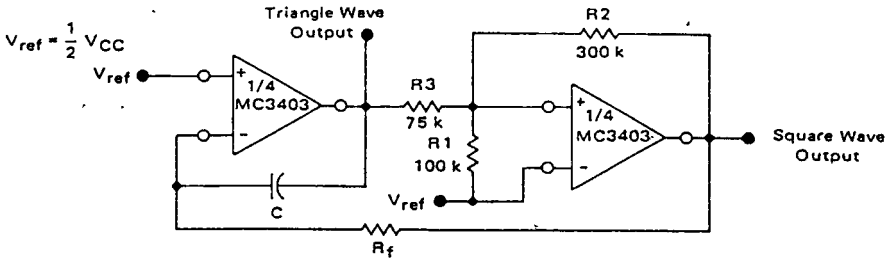


FIGURE 11 – BI-QUAD FILTER



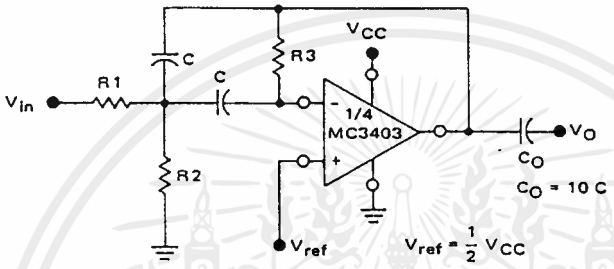
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 12 – FUNCTION GENERATOR



$$f = \frac{R1 + R_C}{4 C R_f R1} \quad \text{if} \quad R3 = \frac{R2\ R1}{R2 + R1}$$

FIGURE 13 – MULTIPLE FEEDBACK BANDPASS FILTER



Given f_o = Center Frequency
$A(f_o)$ = Gain at Center Frequency

Choose Value f_o, C
Then:

$$R3 = \frac{Q}{\pi f_o C}$$

$$R1 = \frac{R3}{2 A(f_o)}$$

$$R2 = \frac{R1\ R5}{4Q^2\ R1 - R5}$$

For less than 10% error from operational amplifier

$$\frac{Q_o f_o}{BW} < 0.1$$ Where f_o and BW are expressed in Hz.

If source impedance varies, filter may be preceded with voltage follower buffer to stabilize filter parameters.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14060B

CMOS MSI

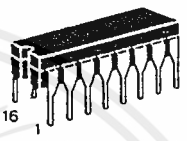
(LOW POWER COMPLEMENTARY MOS)

14-BIT BINARY COUNTER AND OSCILLATOR

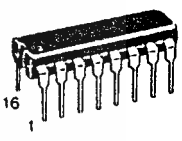
14-BIT BINARY COUNTER AND OSCILLATOR

The MC14060B is a 14-stage binary ripple counter with an on-chip oscillator buffer. The oscillator configuration allows design of either RC or crystal oscillator circuits. Also included on the chip is a reset function which places all outputs into the zero state and disables the oscillator. A negative transition on Clock will advance the counter to the next state. Schmitt trigger action on the input line permits very slow input rise and fall times. Applications include time delay circuits, counter controls, and frequency dividing circuits.

- Fully static operation
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 V to 18 V
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range
- Buffered Outputs Available from Stages 4 Through 10 and 12 Through 14
- Common Reset Line
- Pin-for-Pin Replacement for CD4060B



L SUFFIX
CERAMIC PACKAGE
CASE 620



P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

A Series: −55°C to +125°C
MC14XXXBAL (Ceramic Package Only)

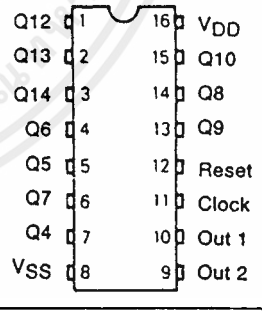
C Series: −40°C to +85°C
MC14XXXBCP (Plastic Package)
MC14XXXBCL (Ceramic Package)

TRUTH TABLE

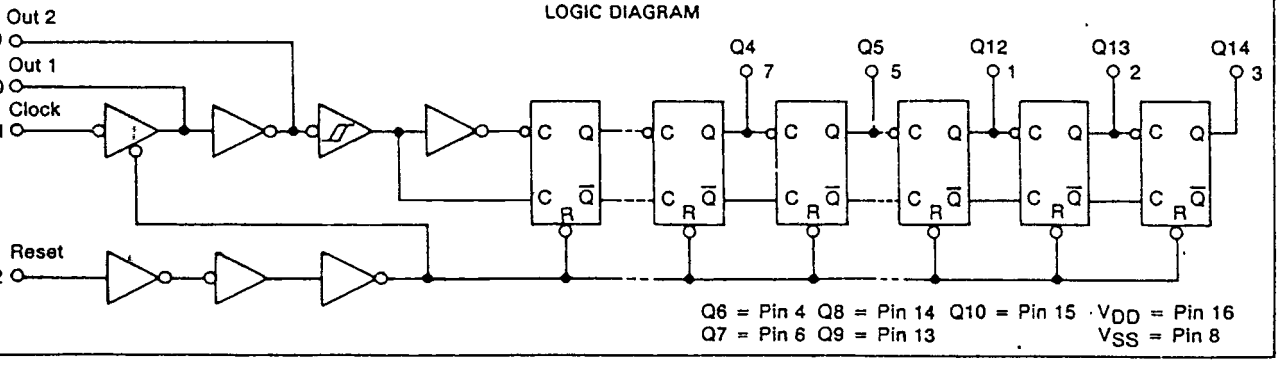
Clock	RESET	Output State
⌐¯	L	No Change
¯⌐	L	Advance to next state
X	H	All Outputs are low

X = Don't Care

PIN ASSIGNMENT



LOGIC DIAGRAM



Q6 = Pin 4 Q8 = Pin 14 Q10 = Pin 15 V_{DD} = Pin 16
Q7 = Pin 6 Q9 = Pin 13 V_{SS} = Pin 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	−0.5 to +18.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient)	−0.5 to V_{DD} +0.5	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	±10	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature (8-Second Soldering)	260	°C

*Maximum Ratings are those values beyond which damage to the device may occur.
†Temperature Derating: Plastic "P" Package: −12mW/°C from 65°C to 85°C
Ceramic "L" Package: −12mW/°C from 100°C to 125°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \leq (V_{in}$ or $V_{out}) \leq V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} V	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ #	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	V
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	V
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage "0" Level (V_O = 4.5 or 0.5 V)	V_{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	V
(V_O = 9.0 or 1.0 V)		10	—	3.0	—	4.50	3.0	—	3.0	
(V_O = 13.5 or 1.5 V)		15	—	4.0	—	6.75	4.0	—	4.0	
(V_O = 0.5 or 4.5 V) "1" Level	V_{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	V
(V_O = 1.0 or 9.0 V)		10	7.0	—	7.0	5.50	—	7.0	—	
(V_O = 1.5 or 13.5 V)		15	11.0	—	11.0	8.25	—	11.0	—	
Input Voltage "0" Level (V_O = 4.5 Vdc) (For Input 11	V_{IL}	5.0	—	1.0	—	2.25	1.0	—	1.0	Vdc
(V_O = 9.0 Vdc) and Output 10)		10	—	2.0	—	4.50	2.0	—	2.0	
(V_O = 13.5 Vdc)		15	—	2.5	—	6.75	2.5	—	2.5	
(V_O = 0.5 Vdc) "1" Level	V_{IH}	5.0	4.0	—	4.0	2.75	—	4.0	—	Vdc
(V_O = 1.0 Vdc)		10	8.0	—	8.0	5.50	—	8.0	—	
(V_O = 1.5 Vdc)		15	12.5	—	12.5	8.25	—	12.5	—	
Output Drive Current (AL Device) (V_{OH} = 2.5 V) (Except Source	I_{OH}	5.0	−3.0	—	−2.4	−4.2	—	−1.7	—	mA
(V_{OH} = 4.6 V) Pins 9 and 10)		5.0	−0.64	—	−0.51	−0.88	—	−0.36	—	
(V_{OH} = 9.5 V)		10	−1.6	—	−1.3	−2.25	—	−0.9	—	
(V_{OH} = 13.5 V)		15	−4.2	—	−3.4	−8.8	—	−2.4	—	
(V_{OL} = 0.4 V) Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mA
(V_{OL} = 0.5 V)		10	1.6	—	1.3	2.25	—	0.9	—	
(V_{OL} = 1.5 V)		15	4.2	—	3.4	8.8	—	2.4	—	
Output Drive Current (CL/CP Device) (V_{OH} = 2.5 V) (Except Source	I_{OH}	5.0	−2.5	—	−2.1	−4.2	—	−1.7	—	mA
(V_{OH} = 4.6 V) Pins 9 and 10)		5.0	−0.52	—	−0.44	−0.88	—	−0.36	—	
(V_{OH} = 9.5 V)		10	−1.3	—	−1.1	−2.25	—	−0.9	—	
(V_{OH} = 13.5 V)		15	−3.6	—	−3.0	−8.8	—	−2.4	—	
(V_{OL} = 0.4 V) Sink	I_{OL}	5.0	0.52	—	0.44	0.88	—	0.36	—	mA
(V_{OL} = 0.5 V)		10	1.3	—	1.1	2.25	—	0.9	—	
(V_{OL} = 1.5 V)		15	3.6	—	3.0	8.8	—	2.4	—	
Input Current (AL Device)	I_{in}	15	—	±0.1	—	±0.0001	±0.1	—	±1.0	μA
Input Current (CL/CP Device)	I_{in}	15	—	±0.3	—	±0.0001	±0.3	—	±1.0	μA
Input Capacitance (V_{in} = 0)	C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (AL Device) (Per Package)	I_{DD}	5.0	—	5.0	—	0.005	5.0	—	150	μA
		10	—	10	—	0.010	10	—	300	
		15	—	20	—	0.015	20	—	600	
Quiescent Current (CL/CP Device) (Per Package)	I_{DD}	5.0	—	20	—	0.005	20	—	150	μA
		10	—	40	—	0.010	40	—	300	
		15	—	80	—	0.015	80	—	600	
Total Supply Current** (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	I_T = (0.25 μA/kHz) f + I_{DD}							μA
		10	I_T = (0.54 μA/kHz) f + I_{DD}							
		15	I_T = (0.85 μA/kHz) f + I_{DD}							

*T_{low} = −55°C for AL Device, −40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

**The formulas given are for the typical characteristics only at 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ #	Max	Unit
Output Rise Time (Counter Outputs)	t_{TLH}	5.0	—	40	200	ns
		10	—	25	100	
		15	—	20	80	
Output Fall Time (Counter Outputs)	t_{THL}	5.0	—	50	200	ns
		10	—	30	100	
		15	—	20	80	
Propagation Delay Time Clock to Q4	t_{PLH} t_{PHL}	5.0	—	415	740	ns
		10	—	175	300	
		15	—	125	200	
Clock to Q14		5.0	—	1.5	2.7	μs
		10	—	0.7	1.3	
		15	—	0 4	1.0	
Clock Pulse Width	t_{WH}	5.0	100	65	—	ns
		10	40	30	—	
		15	30	20	—	
Clock Pulse Frequency	f_ϕ	5.0	—	5	3.5	MHz
		10	—	14	8	
		15	—	17	12	
Clock Rise and Fall Time	t_{TLH} t_{THL}	5.0 10 15	No Limit			ns
Reset Pulse Width	t_w	5.0	120	40	—	ns
		10	60	15	—	
		15	40	10	—	
Propagation Delay Time Reset to Qn	t_{PHL}	5.0	—	170	360	ns
		10	—	80	160	
		15	—	60	100	

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

FIGURE 1 — POWER DISSIPATION TEST CIRCUIT AND WAVEFORM

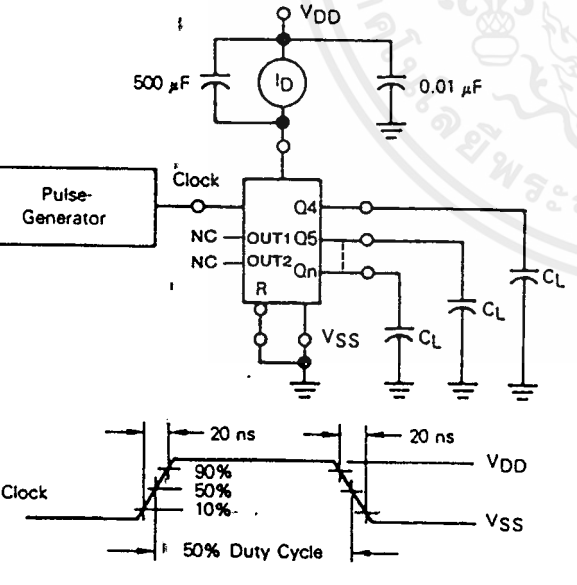
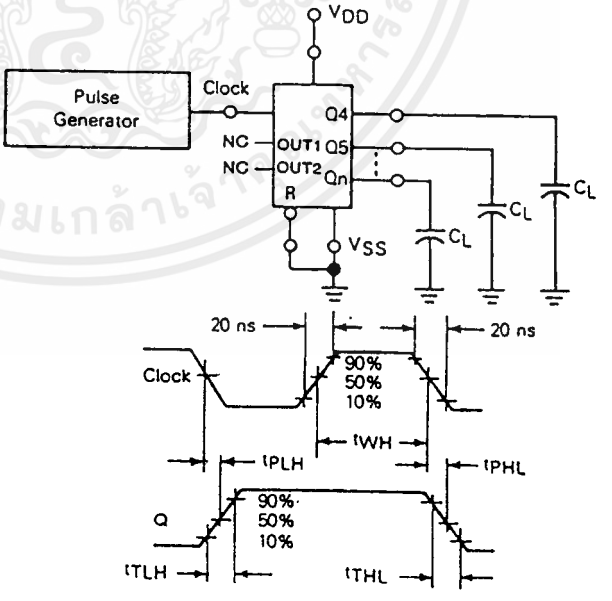
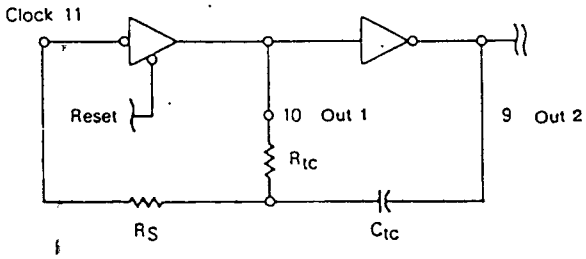


FIGURE 2 — SWITCHING TIME TEST CIRCUIT AND WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3 — OSCILLATOR CIRCUIT USING RC CONFIGURATION



$$f \approx \frac{1}{2.3\,R_{tc}C_{tc}}$$

if $1kHz \le f \le 100\ kHz$
and $2R_{tc} < R_s < 10R_{tc}$
(f in Hz, R in ohms, C in farads)

The formual may vary for other frequencies. Recommende maximum value for the resistors is 1 MΩ.

TYPICAL RC OSCILLATOR CHARACTERISTICS

FIGURE 4 — RC OSCILLATOR STABILITY

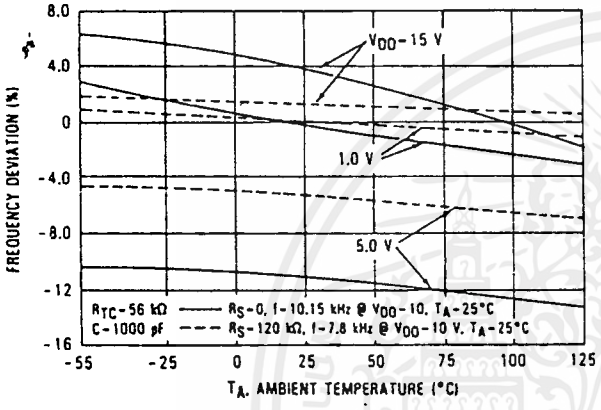


FIGURE 5 — RC OSCILLATOR FREQUENCY AS A FUNCTION OF R_{TC} AND C

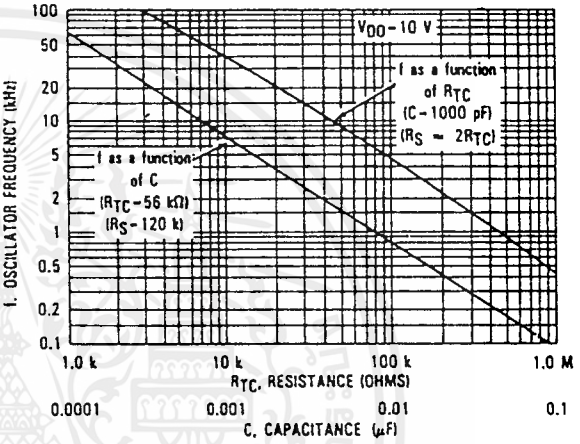


FIGURE 6 — TYPICAL CRYSTAL OSCILLATOR CIRCUIT

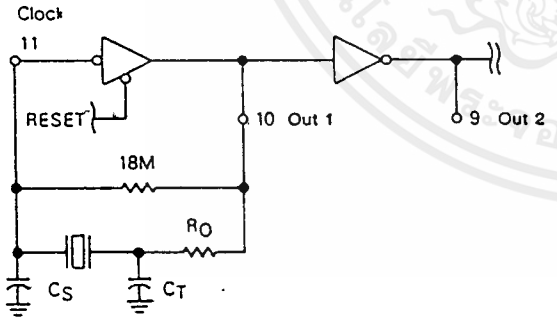


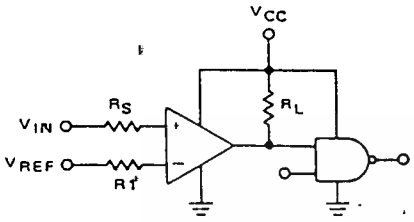
FIGURE 7 — TYPICAL DATA FOR CRYSTAL OSCILLATOR CIRCUIT

Characteristic	500 kHz Circuit	32 kHz Circuit	Unit
Crystal Characteristics			
Resonant Frequency	500	32	kHz
Equivalent Resistance, R_S	1.0	6.2	kΩ
External Resistor/Capacitor Values			
R_O	47	750	kΩ
C_T	82	82	pF
C_S	20	20	pF
Frequency Stability			
Frequency Changes as a Function of V_{DD} (T_A = 25°C)			
V_{DD} Change from 5.0 V to 10 V	+6.0	+2.0	ppm
V_{DD} Change from 10 V to 15 V	+2.0	+2.0	ppm
Frequency Change as a Function of Temperature (V_{DD} = 10 V)			
T_A Change from −55°C to +25°C Complete Oscillator*	+100	+120	ppm
T_A Change from +25°C to +125°C Complete Oscillator*	−160	−560	ppm

*Complete oscillator includes crystal, capacitors, and resistors.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

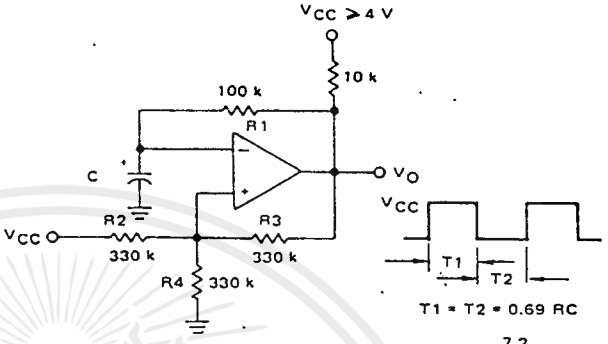
FIGURE 7 — DRIVING LOGIC



R_S = Source Resistance
$R1 \geq R_S$

LOGIC	DEVICE	V_{CC} Volts	R_L kΩ
CMOS	1/4 MC14001	+15	100
TTL	1/4 MC7400	+5	10

FIGURE 8 — SQUAREWAVE OSCILLATOR



$T1 = T2 = 0.69\ RC$

$f \approx \frac{7.2}{C(\mu F)}$

$R2 = R3 = R4$

$R1 \approx R2//R3//R4$

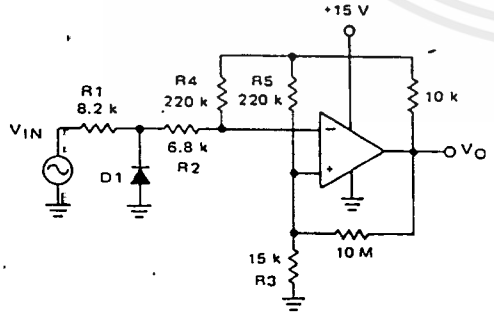
APPLICATIONS INFORMATION

These quad comparators feature high gain, wide bandwidth characteristics. This gives the device oscillation tendencies if the outputs are capacitively coupled to the inputs via stray capacitance. This oscillation manifests itself during output transistions (V_{OL} to V_{OH}). To alleviate this situation input resistors < 10 kΩ should be used. The addition of positive feedback (<10 mV) is also recommended.

It is good design practice to ground all unused input pins.

Differential input voltages may be larger than supply voltages without damaging the comparator's inputs. Voltages more negative than −300 mV should not be used.

FIGURE 9 — ZERO CROSSING DETECTOR
(Single Supply)



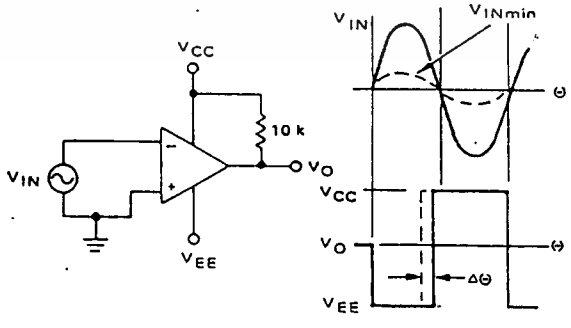
D1 prevents input from going negative by more than 0.6 V.

$R1 + R2 = R3$

$R3 \leq \frac{R5}{10}$ for small error in zero crossing

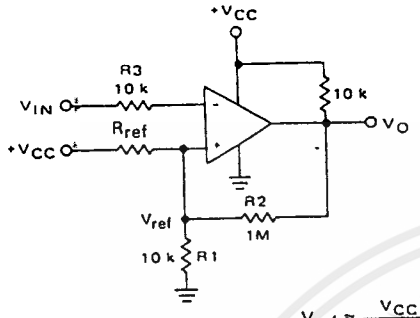
FIGURE 10 — ZERO CROSSING DETECTOR
(Split Supplies)

$V_{INmin} \approx 0.4$ V peak for 1% phase distortion (Δθ).



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 2 — INVERTING COMPARATOR WITH HYSTERESIS



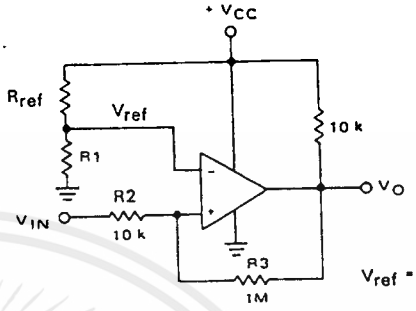
$$V_{ref} \approx \frac{V_{CC}\,R1}{R_{ref} + R1}$$

$$R3 \simeq R1 \,//\, R_{ref}//R2$$

$$V_H = \frac{R1//R_{ref}}{R1//R_{ref} + R2}\,(V_{Omax} - V_{Omin})$$

$$R2 >> R_{ref}//R1$$

FIGURE 3 — NON-INVERTING COMPARATOR WITH HYSTERESIS



$$V_{ref} = \frac{V_{CC}\,R1}{R_{ref} + R1}$$

$$R2 \approx R1//R_{ref}$$

Amount of Hysteresis V_H

$$V_H = \frac{R2}{R2 + R3}\,(V_{Omax} - V_{Omin})$$

TYPICAL CHARACTERISTICS

(V_{CC} = +15 Vdc, T_A = +25°C (each comparator) unless otherwise noted.)

FIGURE 4 — NORMALIZED INPUT OFFSET VOLTAGE

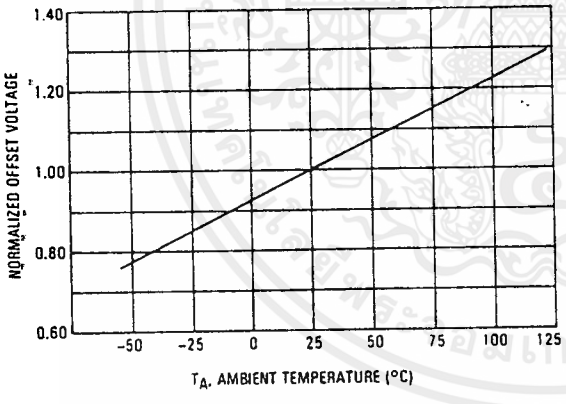


FIGURE 5 — INPUT BIAS CURRENT

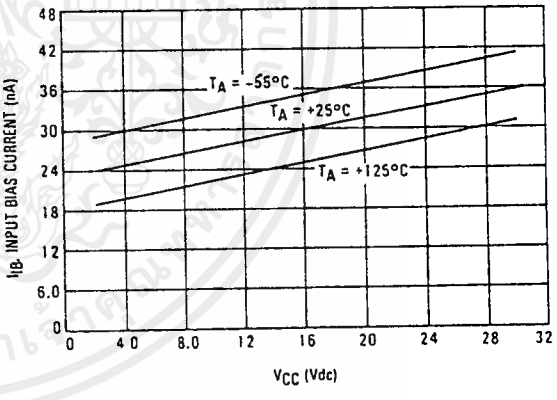
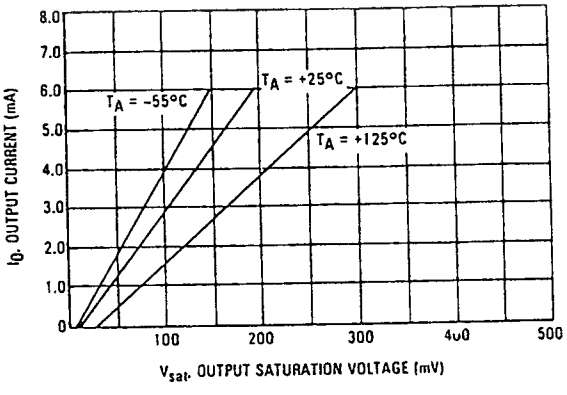


FIGURE 6 — OUTPUT SINK CURRENT versus OUTPUT SATURATION VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = +5.0 Vdc, T_A = 25°C unless otherwise noted)

Characteristic	Symbol	LM139A			LM239A/339A			LM139			LM239/339			LM2901			MC3302			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (Note 4)	V_{IO}	—	±1.0	±2.0	—	±1.0	±2.0	—	±2.0	±5.0	—	±2.0	±5.0	—	±2.0	±7.0	—	±3.0	±20	mVdc
Input Bias Current (Notes 4, 5) (Output in Linear Range)	I_{IB}	—	25	100	—	25	250	—	25	100	—	25	250	—	25	250	—	25	500	nA
Input Offset Current (Note 4)	I_{IO}	—	±3.0	±25	—	±5.0	±50	—	±3.0	±25	—	±5.0	±50	—	±5.0	±50	—	±3.0	±100	nA
Input Common-Mode Voltage Range (Note 7)	V_{ICR}	0	—	V_{CC} -1.5	0	—	V_{CC} -1.5	0	—	V_{CC} -1.5	0	—	V_{CC} -1.5	0	—	V_{CC} -1.5	0	—	V_{CC} -1.5	V
Supply Current R_L = ∞ (For All Comparators) R_L = ∞, V_{CC} = 30 Vdc	I_{CC}	— —	0.8 —	2.0 —	— —	0.8 —	2.0 —	— —	0.8 —	2.0 —	— —	0.8 —	2.0 —	— —	0.8 1.0	2.0 2.5	— —	0.8 —	2.0 —	mA
Voltage Gain R_L ≥ 15 kΩ, V_{CC} = 15 Vdc	A_V	50	200	—	50	200	—	—	200	—	—	200	—	25	100	—	2	30	—	V/mV
Large Signal Response Time V_I = TTL Logic Swing, V_{ref} = 1.4 Vdc, V_{RL} = 5.0 Vdc, R_L = 5.1 kΩ	—	—	300	—	—	300	—	—	300	—	—	300	—	—	300	—	—	300	—	ns
Response Time (Note 6) V_{RL} = 5.0 Vdc, R_L = 5.1 kΩ	—	—	1.3	—	—	1.3	—	—	1.3	—	—	1.3	—	—	1.3	—	—	1.3	—	μs
Output Sink Current $V_I(-)$ ≥ +1.0 Vdc, $V_I(+)$ = 0, V_O ≤ 1.5 Vdc	I_{sink}	6.0	16	—	6.0	16	—	6.0	16	—	6.0	16	—	6.0	16	—	6.0	16	—	mA
Saturation Voltage $V_I(-)$ ≥ +1.0 Vdc, $V_I(+)$ = 0, I_{sink} ≤ 4.0 mA	V_{sat}	—	130	400	—	130	400	—	130	400	—	130	400	—	130	400	—	130	500	mV
Output Leakage Current $V_I(+)$ ≥ +1.0 Vdc, $V_I(-)$ = 0, V_O = +5.0 Vdc	I_{OL}	—	0.1	—	—	0.1	—	—	0.1	—	—	0.1	—	—	0.1	—	—	0.1	—	nA

PERFORMANCE CHARACTERISTICS (V_{CC} = +5.0 Vdc, T_A = T_{low} to T_{high} [Note 3])

Characteristic	Symbol	LM139A			LM239A/339A			LM139			LM239/339			LM2901			MC3302			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (Note 4)	V_{IO}	—	—	±4.0	—	—	±4.0	—	—	±9.0	—	—	+9.0	—	—	±15	—	—	±40	mVdc
Input Bias Current (Notes 4, 5) (Output in Linear Range)	I_{IB}	—	—	300	—	—	400	—	—	300	—	—	400	—	—	500	—	—	1000	nA
Input Offset Current (Note 4)	I_{IO}	—	—	±100	—	—	±150	—	—	±100	—	—	±150	—	—	±200	—	—	±300	nA
Input Common-Mode Voltage Range	V_{ICR}	0	—	V_{CC} -2.0	0	—	V_{CC} -2.0	0	—	V_{CC} -2.0	0	—	V_{CC} -2.0	0	—	V_{CC} -2.0	0	—	V_{CC} -2.0	V
Saturation Voltage $V_I(-)$ ≥ +1.0 Vdc, $V_I(+)$ = 0, I_{sink} ≤ 4.0 mA	V_{sat}	—	—	700	—	—	700	—	—	700	—	—	700	—	—	700	—	—	700	mV
Output Leakage Current $V_I(+)$ ≥ +1.0 Vdc, $V_I(-)$ = 0, V_O = 30 Vdc	I_{OL}	—	—	1.0	—	—	1.0	—	—	1.0	—	—	1.0	—	—	1.0	—	—	1.0	μA
Differential Input Voltage All V_I ≥ 0 Vdc (Note 7)	V_{ID}	—	—	V_{CC}	—	—	V_{CC}	—	—	V_{CC}	—	—	V_{CC}	—	—	V_{CC}	—	—	V_{CC}	Vdc

NOTES:

1. The maximum output current may be as high as 20 mA, independent of the magnitude of V_{CC}. Output short circuits to V_{CC} can cause excessive heating and eventual destruction.
2. This magnitude of input current will only occur if the leads are driven more negative than ground or the negative supply voltage. This is due to the input PNP collector-base junction becoming forward biased, acting as an input clamp diode. There is also a lateral PNP parasitic transistor action which can cause the output voltage of the comparators to go to the V_{CC} voltage level (or ground if overdrive is large) during the time that an input is driven negative. This will not destroy the device when limited to the max rating and normal output states will recover when the inputs become ≥ ground or negative supply.
3. LM139/139A — T_{low} = -55°C, T_{high} = +125°C
   LM239/239A — T_{low} = -25°C, T_{high} = +85°C
   LM339/339A — T_{low} = 0°C, T_{high} = +70°C
   LM2901/MC3302 — T_{low} = -40°C, T_{high} = +85°C
4. At the output switch point, V_O ≈ 1.4 Vdc, R_S ≤ 100 Ω, 5.0 Vdc ≤ V_{CC} ≤ 30 Vdc, with the inputs over the full common-mode range (0 Vdc to V_{CC} - 1.5 Vdc).
5. The bias current flows out of the inputs due to the PNP input stage. This current is virtually constant, independent of the output state.
6. The response time specified is for a 100 mV input step with 5.0 mV overdrive. For larger signals, 300 ns is typical.
7. Positive excursions of input voltage may exceed the power supply level. As long as one of the inputs remain within the common-mode range, the comparator will provide the proper output state.

MOTOROLA

LM139, A
LM239, A LM2901
LM339, A MC3302

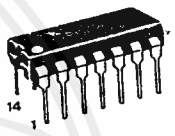
QUAD SINGLE SUPPLY COMPARATORS

These comparators are designed for use in level detection, low-level sensing and memory applications in Consumer Automotive and Industrial electronic applications.

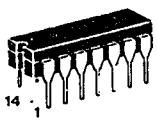
- Single or Split Supply Operation
- Low Input Bias Current — 25 nA (Typ)
- Low Input Offset Current — ±5.0 nA (Typ)
- Low Input Offset Voltage — ±1.0 mV (Typ LM139A Series)
- Input Common-Mode Voltage Range to Gnd
- Low Output Saturation Voltage — 130 mV (Typ) @ 4.0 mA
- TTL and CMOS Compatible

QUAD COMPARATORS

SILICON MONOLITHIC INTEGRATED CIRCUIT



N, P SUFFIX
PLASTIC PACKAGE
CASE 646-06



J, L SUFFIX
CERAMIC PACKAGE
CASE 632-08

D SUFFIX
PLASTIC PACKAGE
CASE 751A-02
SO-14

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Power Supply Voltage LM139, A/LM239, A/ LM339A/LM2901 MC3302	V_{CC}	+36 or ±18 . +30 or ±15	Vdc
Input Differential Voltage Range LM139, A/LM239, A/LM339, A/LM2901 MC3302	V_{IDR}	36 30	Vdc
Input Common Mode Voltage Range	V_{ICR}	-0.3 to V_{CC}	Vdc
Output Short-Circuit to Gnd (Note 1)	I_{SC}	Continuous	
Input Current (V_{in} < -0.3 Vdc) (Note 2)	I_{in}	50	mA
Power Dissipation @ T_A = 25°C Ceramic Package Derate above 25°C Plastic Package Derate above 25°C	P_D	1.0 8.0 1.0 8.0	Watts mW/°C Watts mW/°C
Operating Ambient Temperature Range LM139, A LM239, A LM2901/MC3302 LM339, A	T_A	−55 to +125 −25 to +85 −40 to +85 0 to +70	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

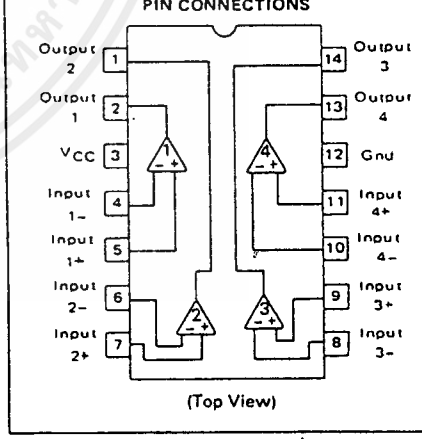
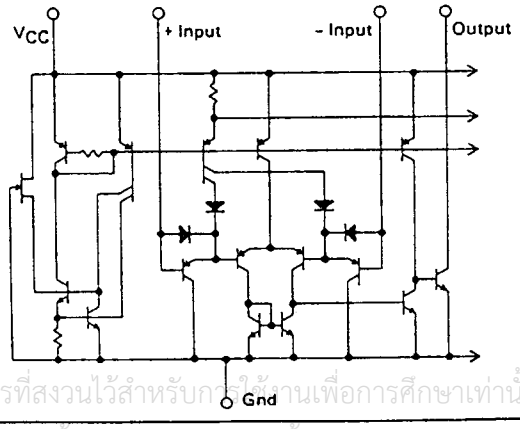


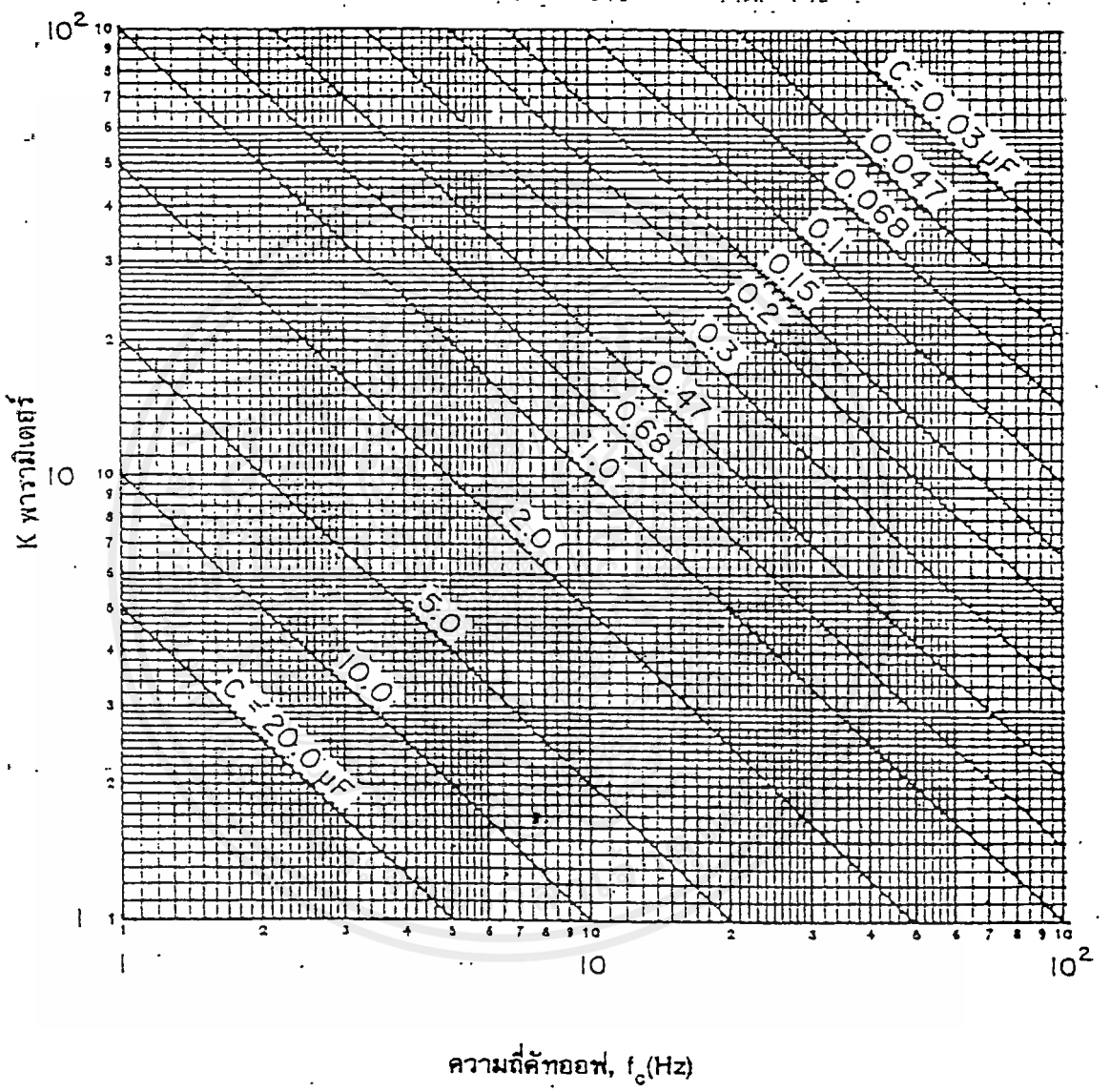
FIGURE 1 — CIRCUIT SCHEMATIC (Diagram shown is for 1 comparator)



ORDERING INFORMATION

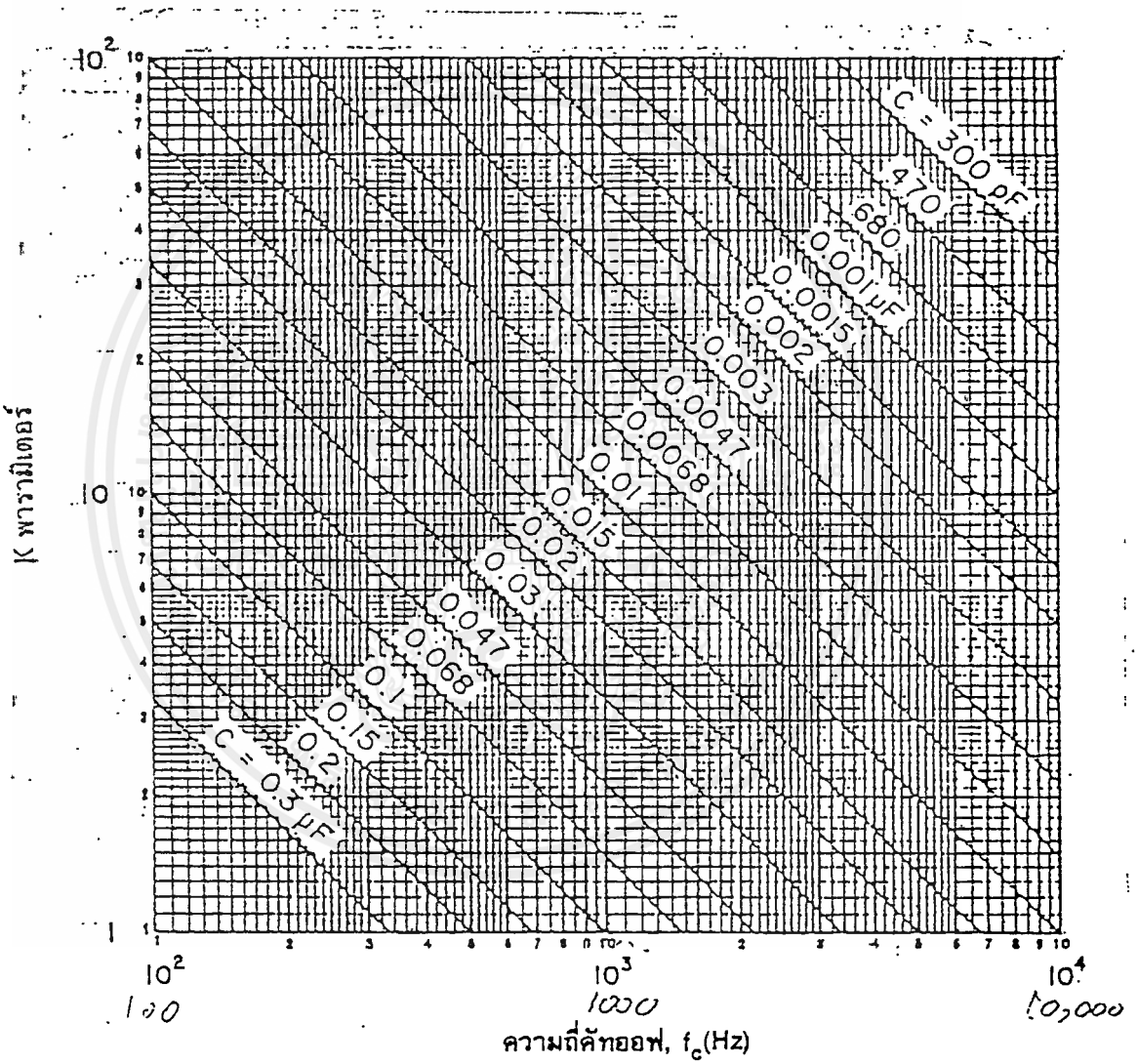
Device	Temperature Range	Package
LM139J, AJ	−55°C to +125°C	Ceramic DIP
LM239D, AD LM239J, AJ LM239N, AN	−25°C to +85°C	SO-14 Ceramic DIP Plastic DIP
LM339D, AD LM339J, AJ LM339N, AN	0°C to +70°C	SO-14 Ceramic DIP Plastic DIP
LM2901D LM2901N MC3302L MC3302P	−40°C to +85°C	SO-14 Plastic DIP Ceramic DIP Plastic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



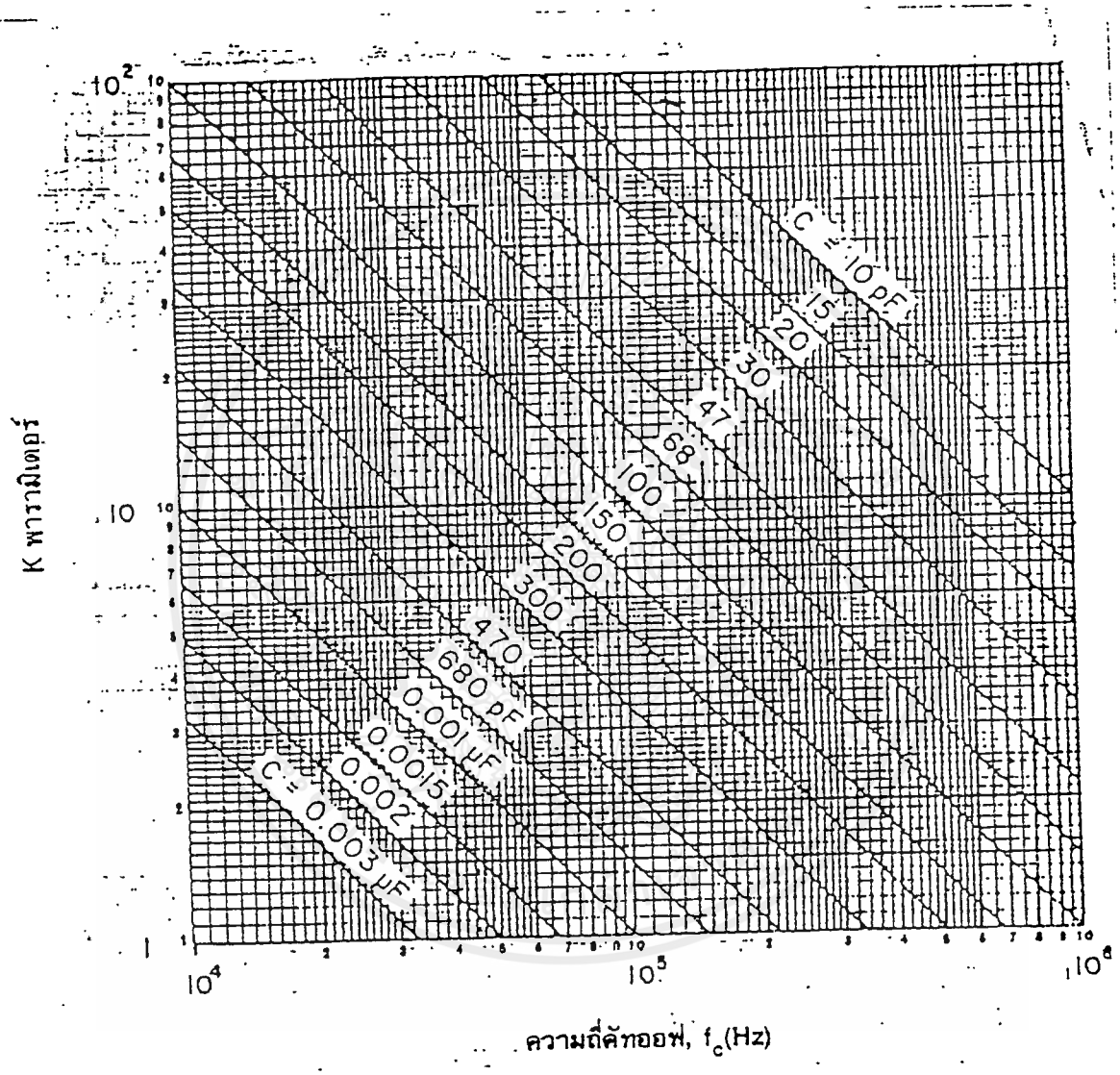
กราฟระหว่าง K พารามิเตอร์กับความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



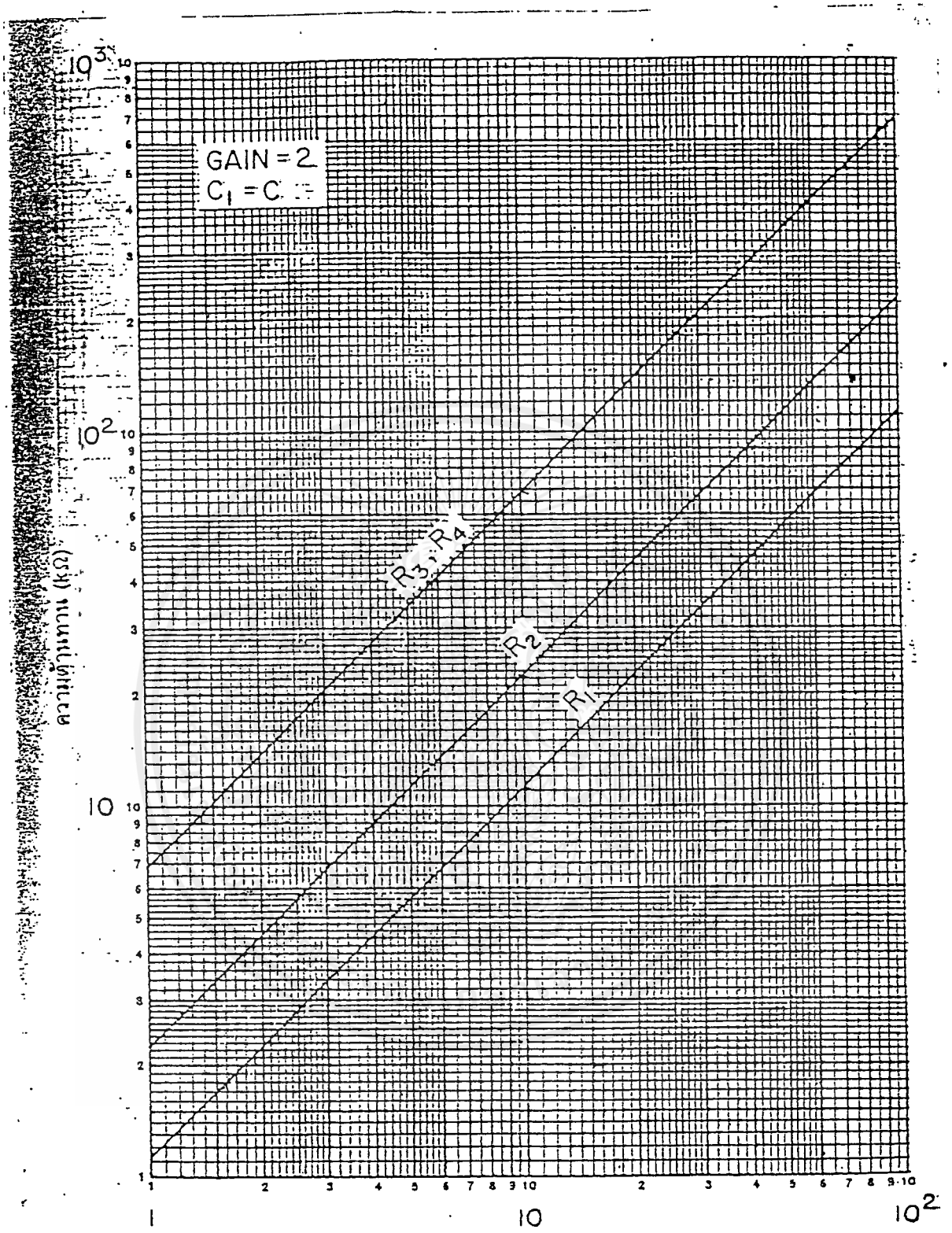
กราฟระหว่าง K พารามิเตอร์กับความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



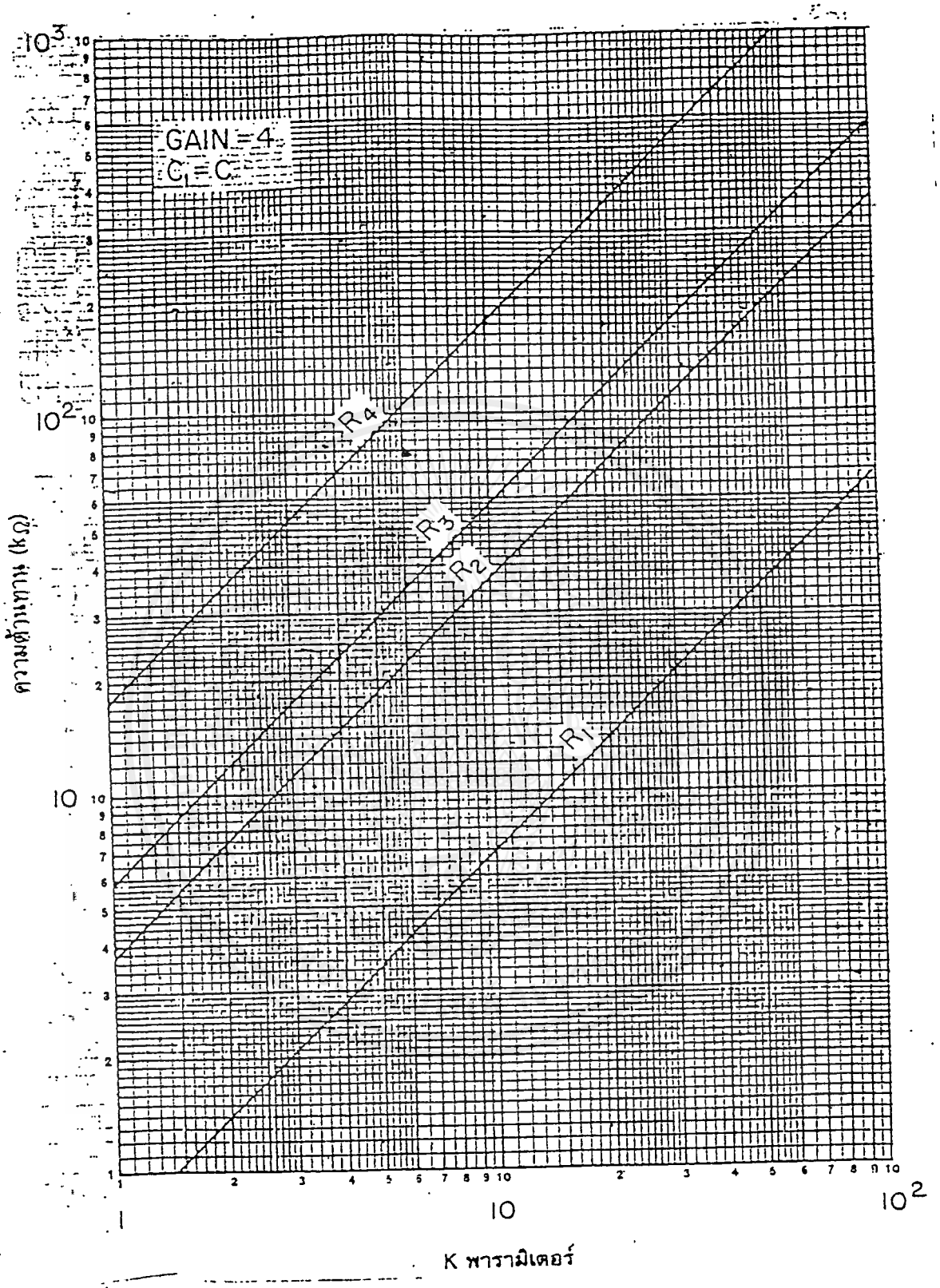
กราฟระหว่าง K พารามิเตอร์กับความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



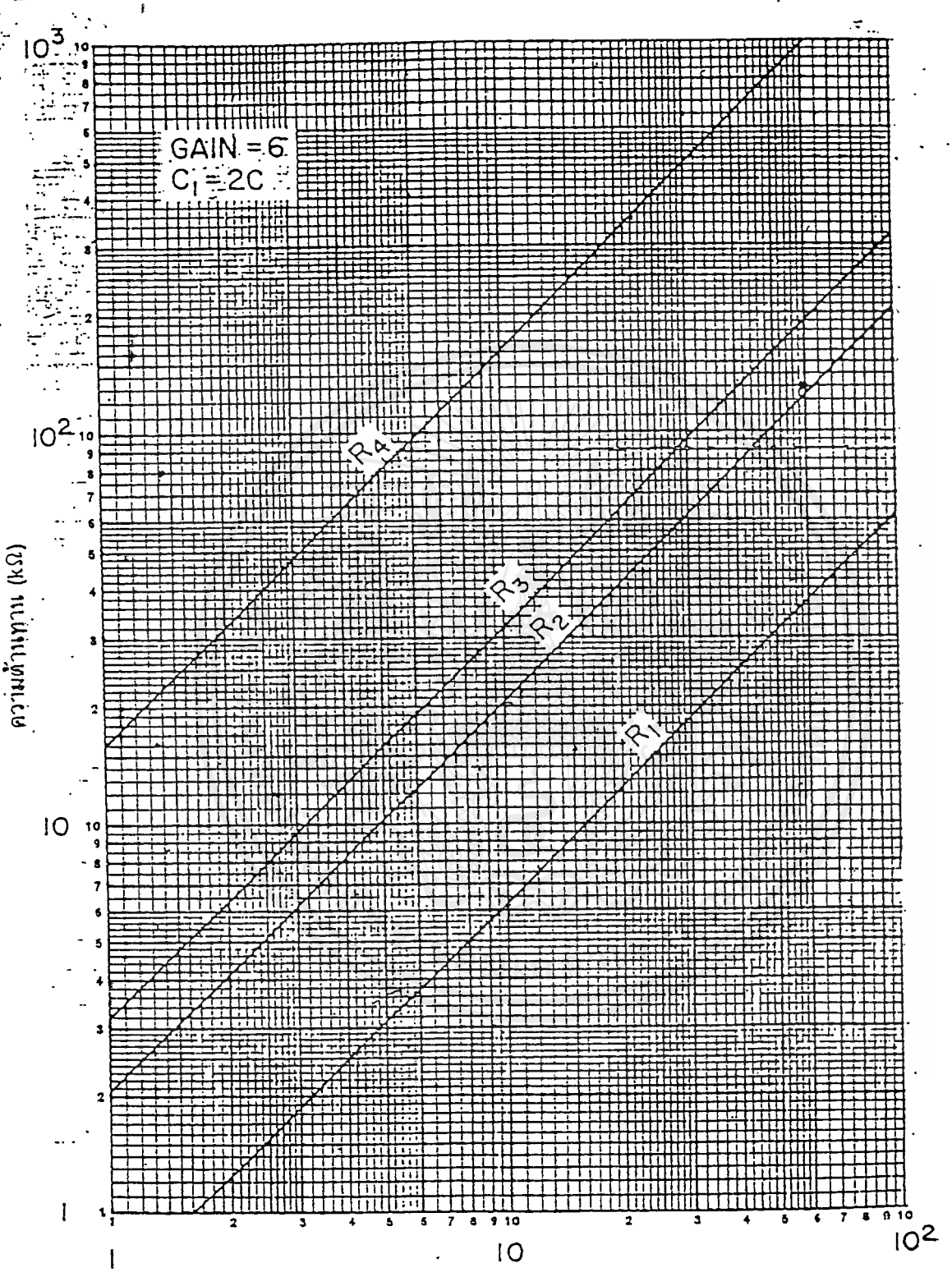
วงจรกรองความถี่ต่ำอันดับที่สองแบบบัตเตอร์เวิร์ธ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



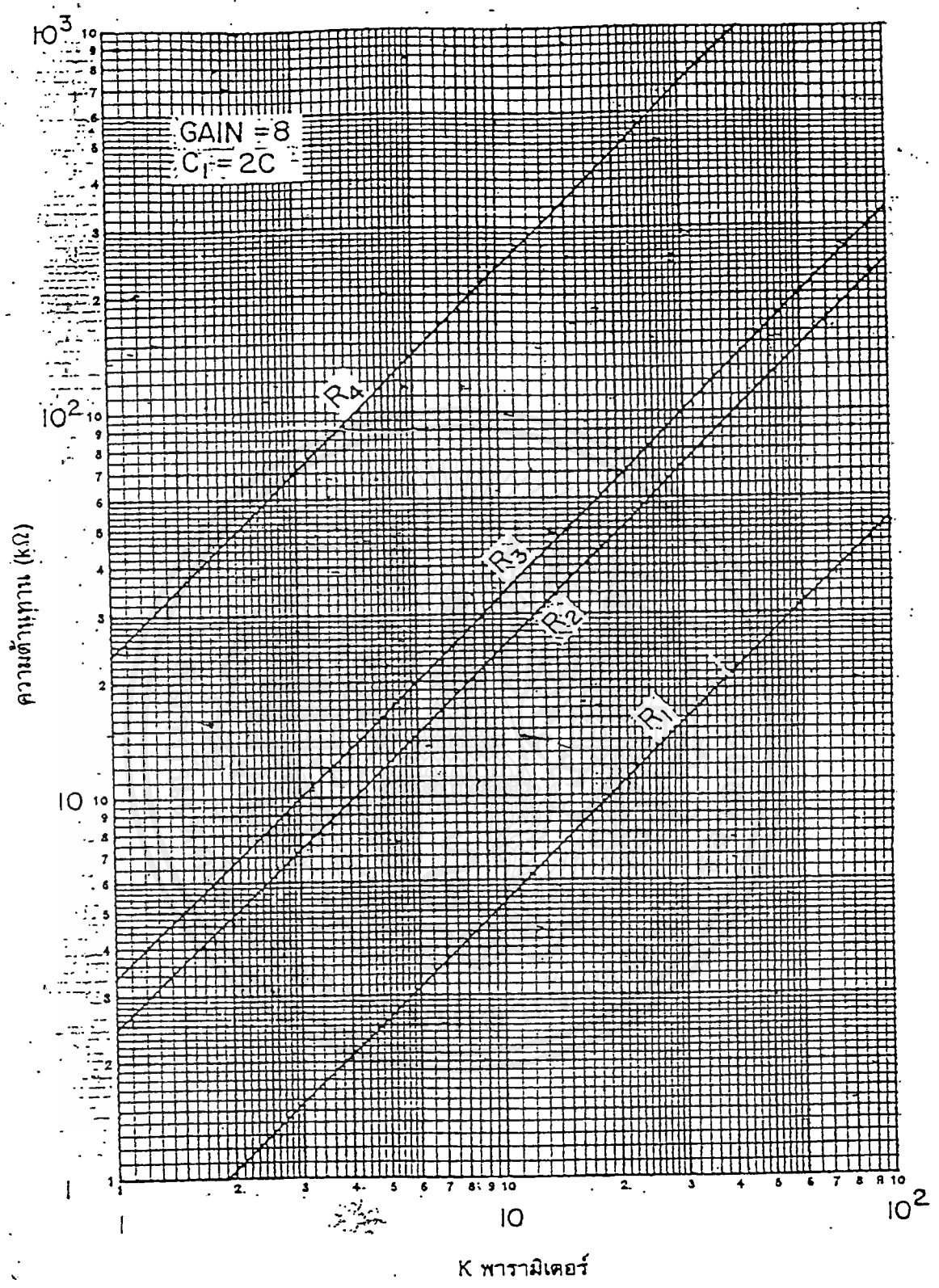
วงจรกรองความถี่ต่ำอันดับที่สองแบบบัตเตอร์เวิร์ธ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



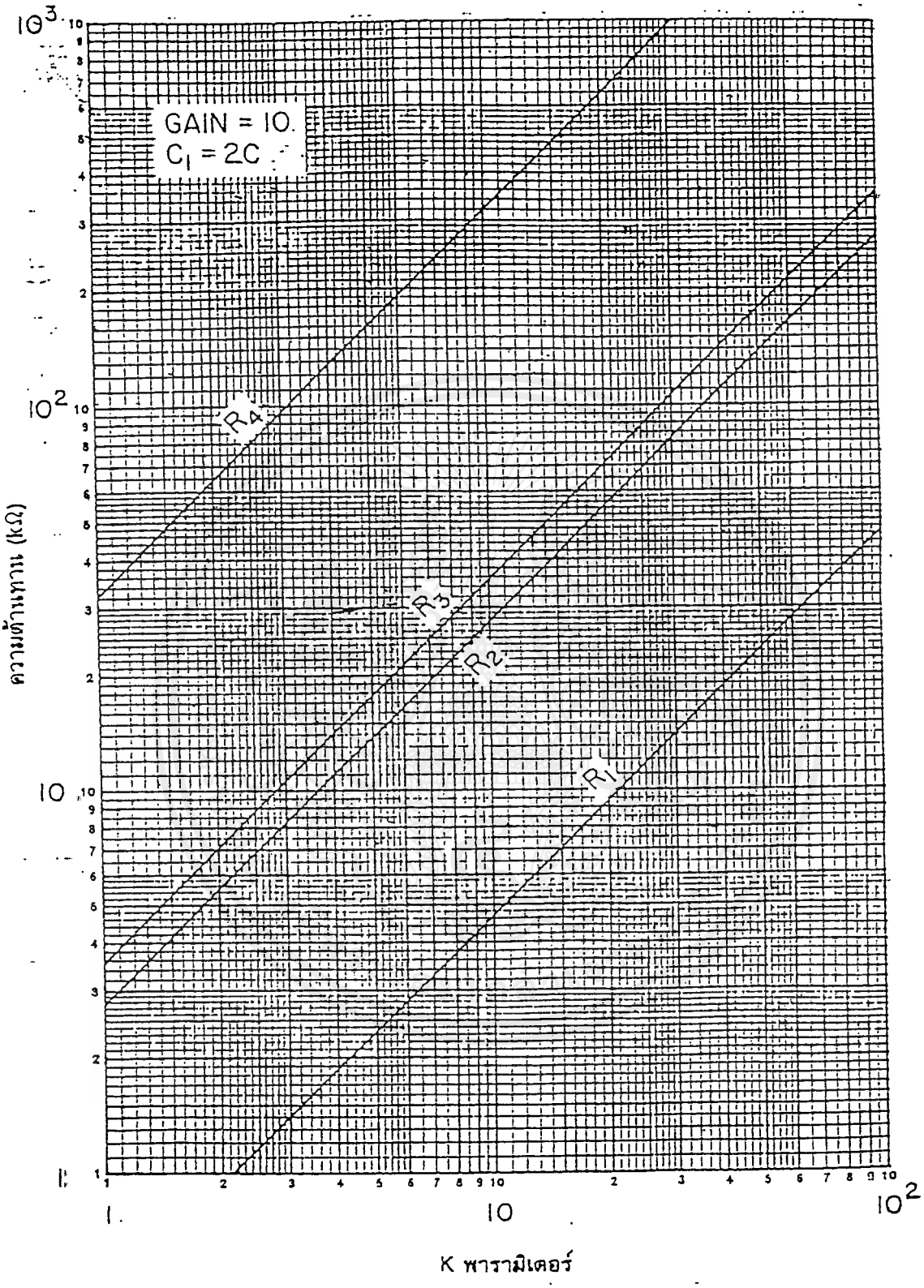
วงจรกรองความถี่ต่ำอันดับที่สองแบบบัตเตอร์เวิร์ธ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



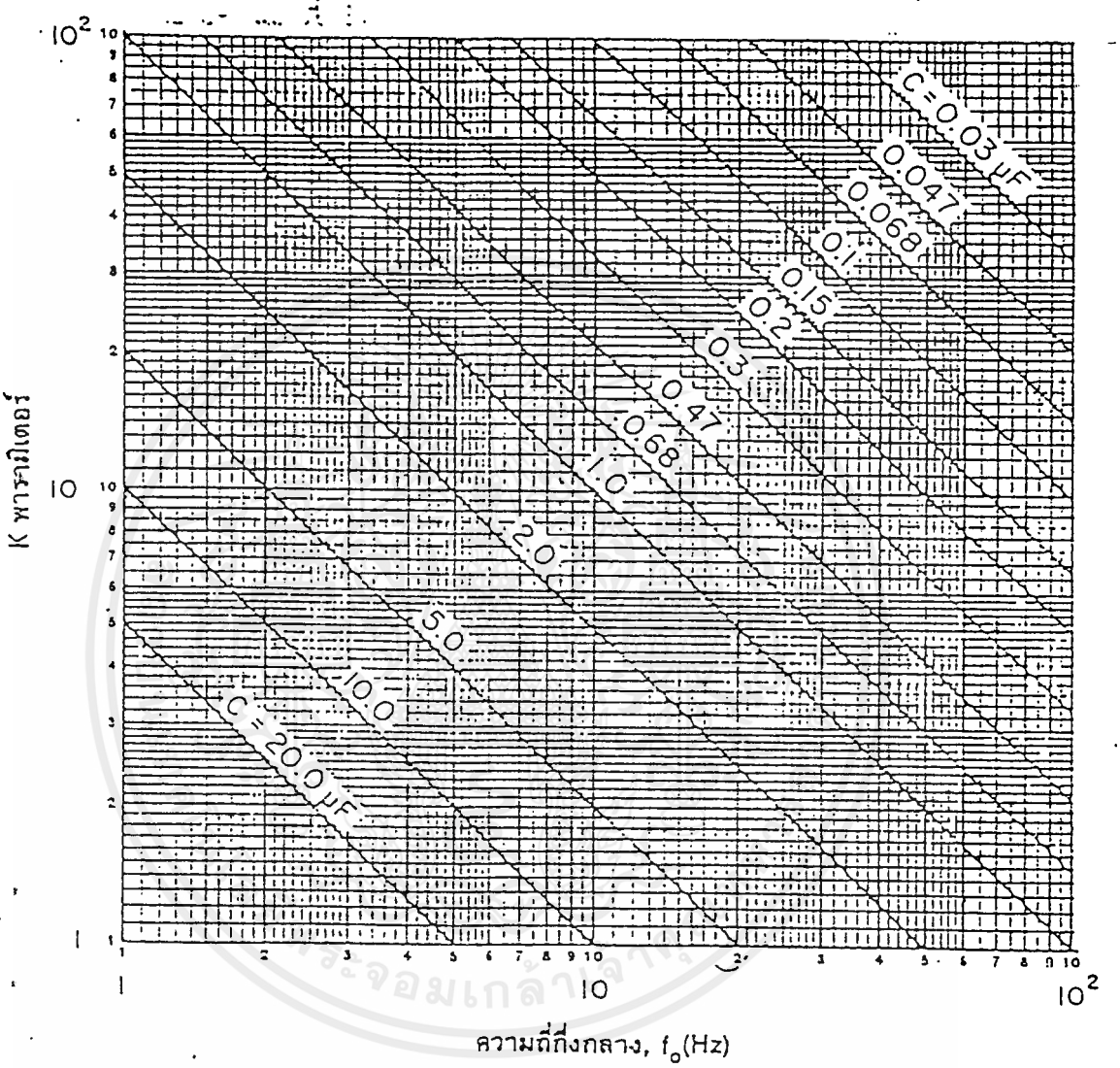
วงจรกรองความถี่ต่ำอันดับที่สองแบบบัตเตอร์เวิร์ธ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



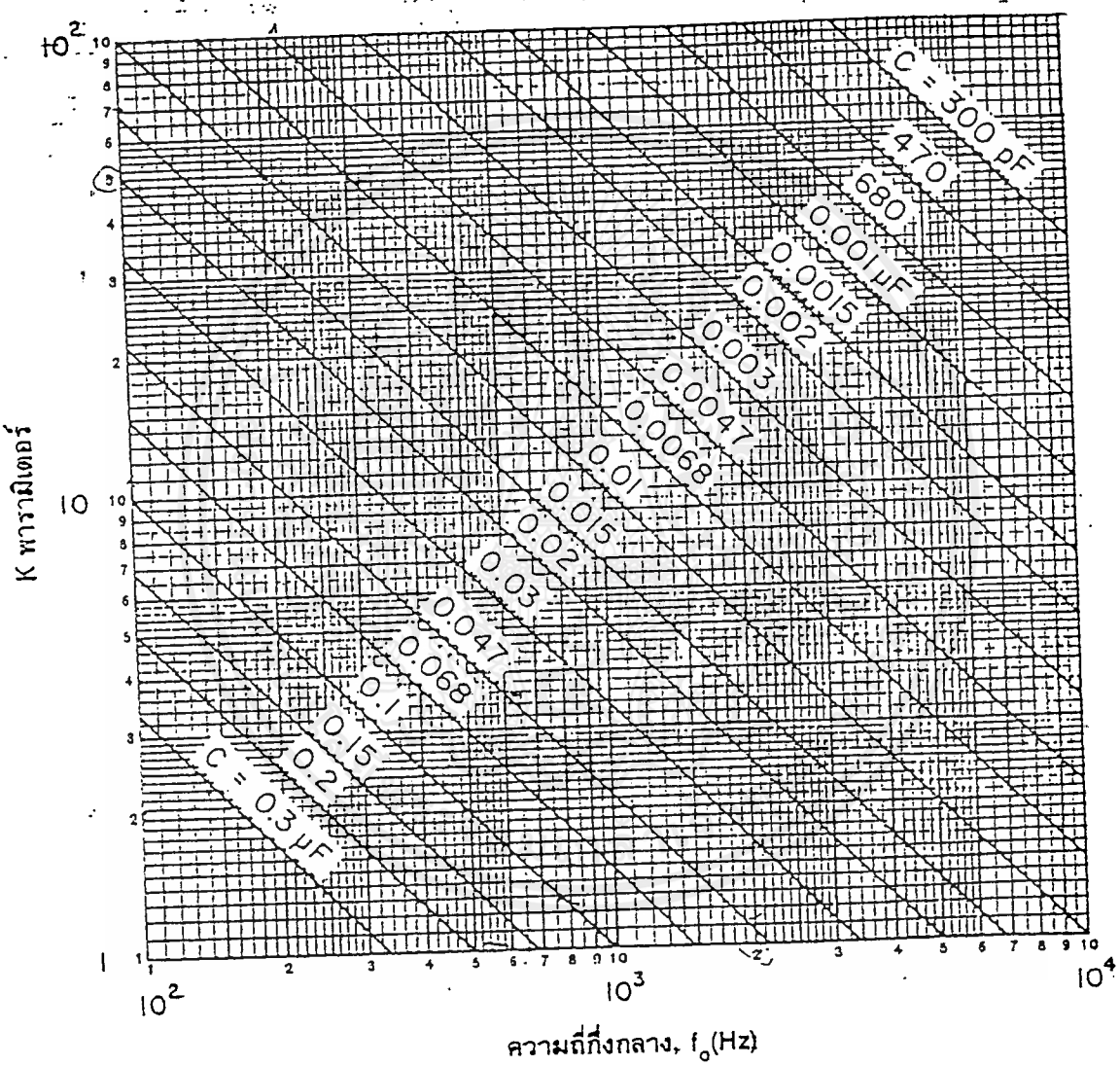
วงจรกรองความถี่ต่ำอันดับที่สองแบบบัตเตอร์เวิร์ธ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



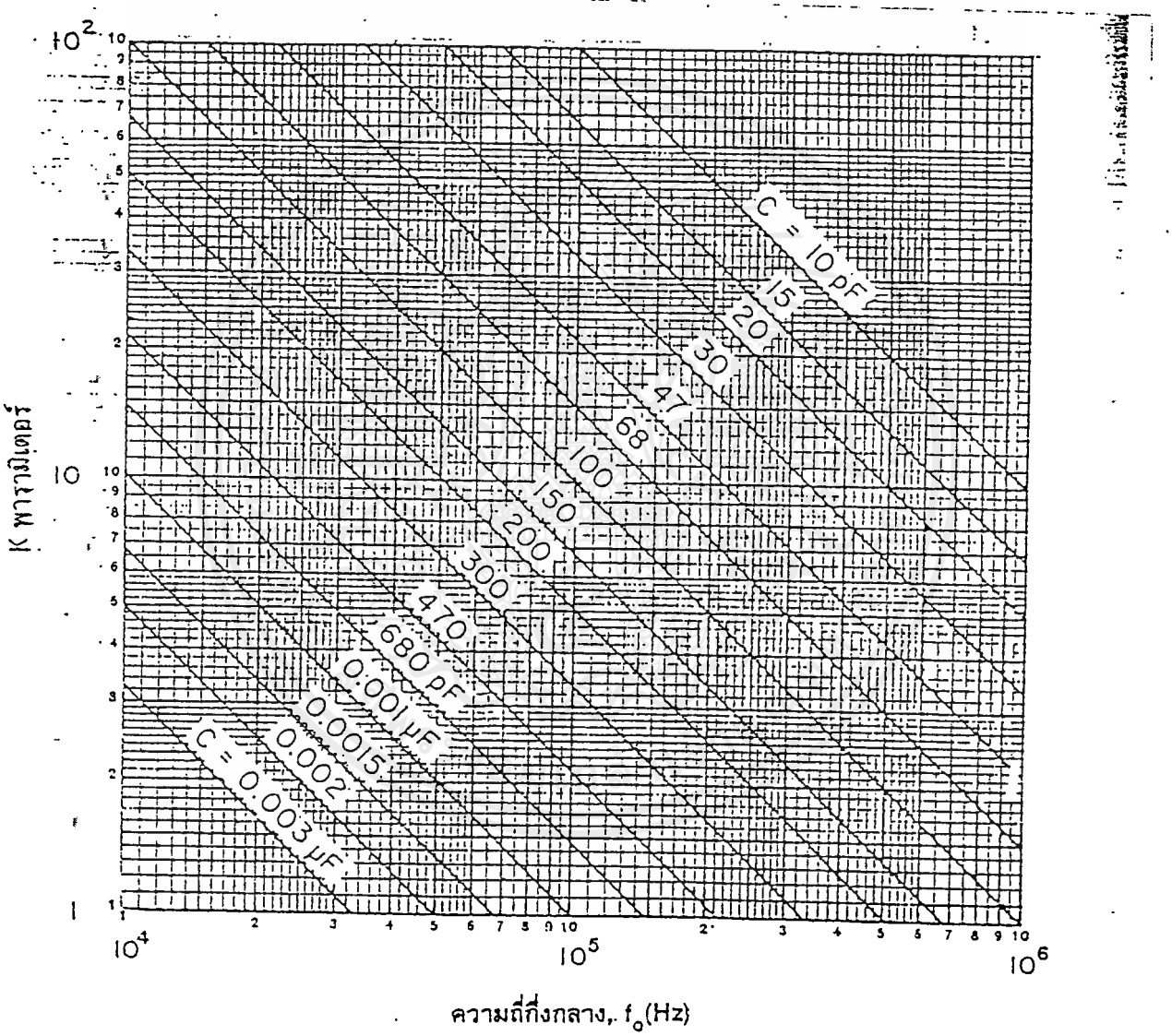
กราฟระหว่าง K พารามิเตอร์กับความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



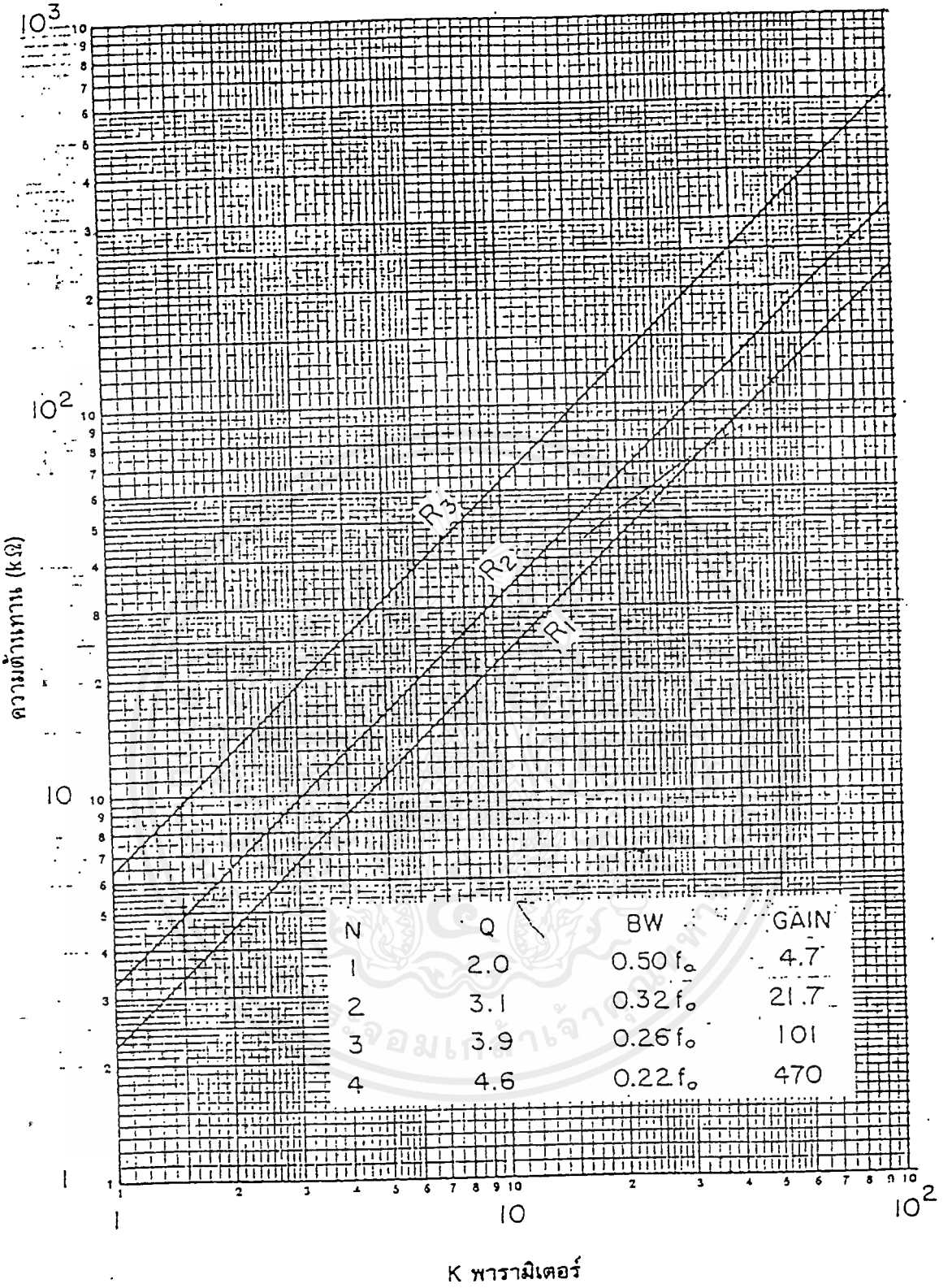
กราฟระหว่าง K พารามิเตอร์กับความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



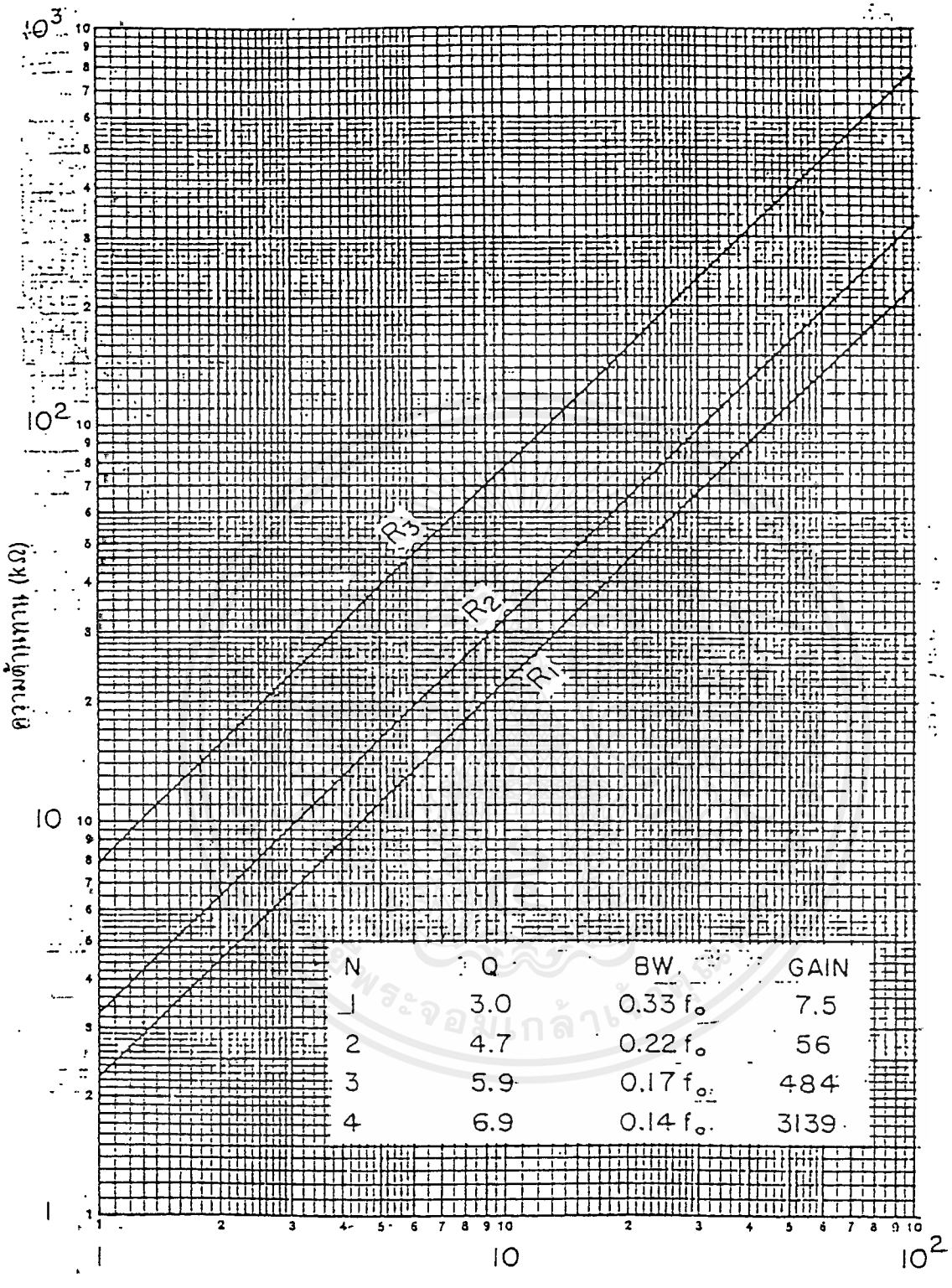
กราฟระหว่าง K พารามิเตอร์กับความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรกรองเฉพาะแถบความถี่แบบ VCVS

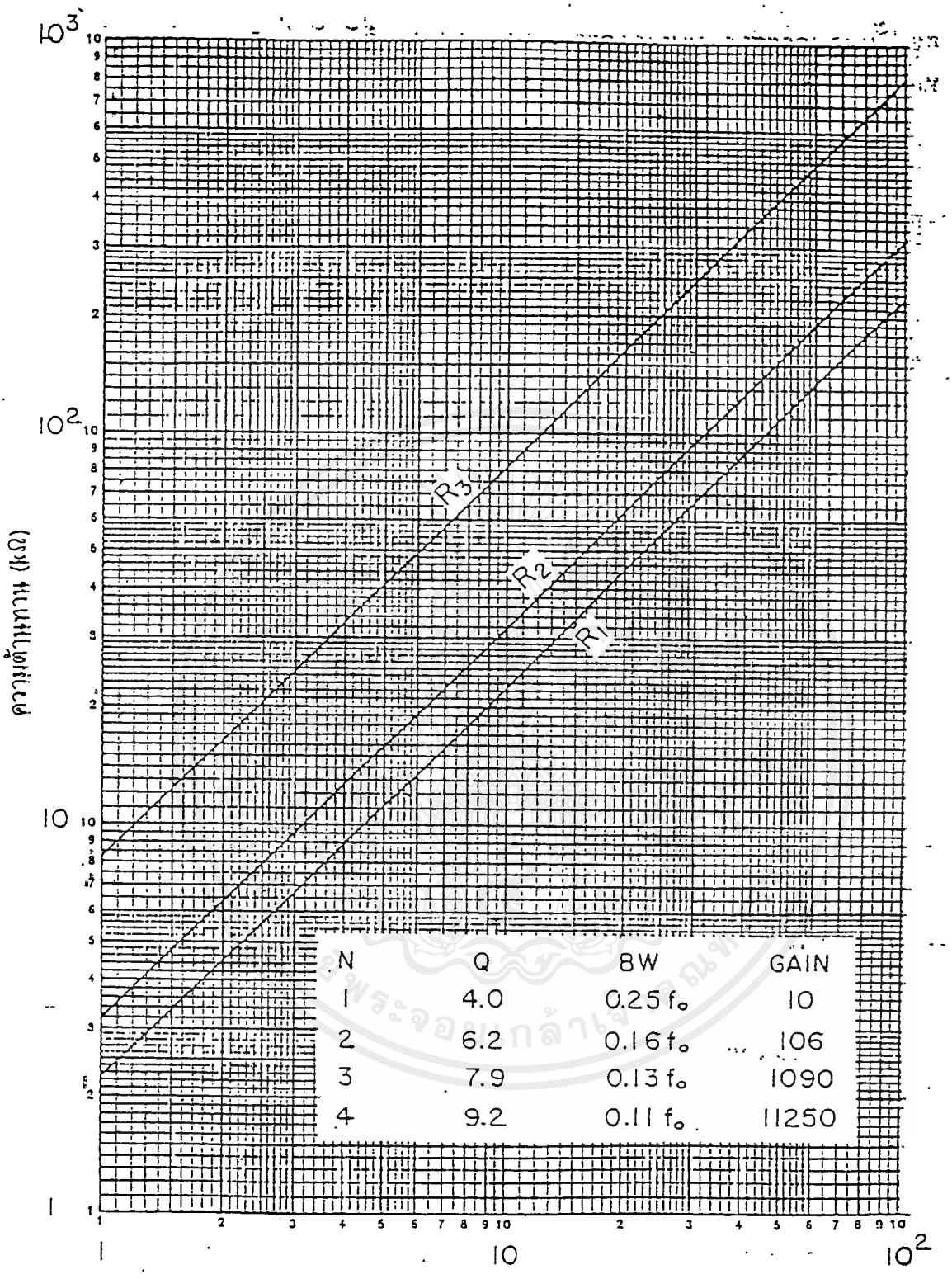
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	Q	BW	GAIN
1	3.0	0.33 f_o	7.5
2	4.7	0.22 f_o	56
3	5.9	0.17 f_o	484
4	6.9	0.14 f_o	3139

วงจรกรองเฉพาะแถบความถี่แบบ VCVS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรกรองเฉพาะแถบความถี่แบบ VCVS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้