ระบบสื่อสารข้อมูลภาพแบบดิจิตอล

DIGITAL IMAGE COMMUNICATION SYSTEM

โดย

นางสาว นภาพันธ์	รักษ์ไชยวรรณ	36014209
นางสาว มลฤดี	โชคสกุลวงษ์	36014329
นาย วิษณุ	ชุติมาชูทิศ	36014417

อาจารย์ที่ปรึกษา

อ. สมศักดิ์ เชียร์ศิริกุล

วัน เดือน ปี 1 ต.ค. 2541
เลขทะเบียน 038405
เลขเรียกหนังสือ T391.4 ร

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

038405

ชื่อโครงงาน ระบบส่งรับข้อมูลภาพแบบดิจิตอล

DIGITAL IMAGE COMMUNICATION SYSTEM

ผู้จัดทำ

1. นางสาว นภาพันธ์	รักษ์ไชยวรรณ	4C	36014209
2. นางสาว มลฤดี	โชคสกุลวงษ์	4C	36014329
3. นาย วิษณุ	ชุติมาชูทิศ	4C	36014417

โครงงานนี้ได้รับการตรวจสอบแล้วพร้อมที่จะรับการสอบได้

อาจารย์ที่ปรึกษา

(อ. สมศักดิ์ เชียร์ศิริกุล)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปริญญานิพนธ์ ปีการศึกษา 2539

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบส่งรับข้อมูลภาพแบบดิจิตอล

ผู้จัดทำ

1. นางสาว นภาพันธ์	รักษ์ไชยวรรณ	4C	36014209
2. นางสาว มลฤดี	โชคสกุลวงษ์	4C	36014329
3. นาย วิษณุ	ชุติมาชูทิศ	4C	36014417

อาจารย์ที่ปรึกษา

(อ. สมศักดิ์ เชียร์ศิริกุล)

ระบบส่งรับข้อมูลภาพแบบดิจิตอล

นางสาว นภาพันธ์ รักษ์ไชยวรรณ
นางสาว มลฤดี โชคสกุลวงษ์
นาย วิษณุ ชูติมาชูทิศ
อาจารย์ที่ปรึกษา อ.สมศักดิ์ เชียร์ศิริกุล
ปีการศึกษา 2539

บทคัดย่อ

ปัจจุบันระบบการสื่อสารได้พัฒนาอย่างรวดเร็ว โดยเฉพาะการสื่อสารในระบบดิจิตอลซึ่งมีข้อดีหลายอย่าง เช่น ความเที่ยงตรงในการรับข้อมูล ความสามารถในการเข้ารหัสและสะดวกในการมัลติเพล็กซ์ดังนั้นระบบนี้จึงเป็นระบบที่น่าสนใจ ซึ่งจะปฏิวัติเทคโนโลยีการสื่อสารในปัจจุบันและอนาคต

รายงานนี้เป็นการนำเสนอการสื่อสารระบบดิจิตอลผ่านสายโคแอกเชียล โดยใช้เทคนิคการมัลติเพล็กซ์แบบแบ่งเวลา มีความเร็วในการส่งสัญญาณ 10 Mbit/s ระบบรับทำการแยกสัญญาณนาฬิกา โดยใช้ LC ring circuit ร่วมกับ Narrow band PLL

Digital Image Communications

Napapan Rukchaiwan
Monlaedee Choksakulwong
Wisanu Chutimachootis
Somsak Cheersirigoon Advisor
1996

Abstract

Nowadays communication systems are growing up rapidly especially digital communication system because of its advantages such as its accuracy, the ability to encode and multiplex. Therfore Digital Communication become an very interesting system which caused a revolution in communication technology.

This report presents the Coaxial Communication by time division multiplex (TDM) at the rate of 10 Mbit/s. The clock sinal extracted at the receiving end by using an LC ringing circuit and narrow band phase locked loop.

สารบัญ

	หน้า
บทคัดย่อ	i
Abstract	ii
บทที่ 1 บทนำ	1
บทที่ 2 การแปลงสัญญาณดิจิตอลเป็นอนาลอกและอนาลอกเป็นดิจิตอล	2
2.1 D/A (Digital to Analog converter)	2
2.1.1 Binary-weight resistor D/A	4
2.1.2 Ladder network D/A	5
2.2 A/D (Analog to Digital converter)	7
2.2.1 ทฤษฎีการสุ่มตัวอย่าง (Sampling Theory)	8
2.2.2 วิธีแปลงสัญญาณอนาลอกเป็นดิจิตอล	9
2.2.2.1 Basic conversion method	9
2.2.2.2 Counter Type ADC	10
2.2.2.3 Tracking ADC	11
2.2.2.4 Integrating ADC	11
2.2.2.5 Successive Approximation ADC	14
2.2.2.6 A/D แบบแฟลช	15
บทที่ 3 การสื่อสารข้อมูลระบบมัลติเพล็กซ์แบบแบ่งเวลา	17
3.1 หลักการเบื้องต้นในการสื่อสารข้อมูลระบบมัลติเพล็กซ์แบบแบ่งเวลา	17
3.2 การซิงโครไนซ์เฟรมข้อมูล	19
3.3 การซิงโครไนซ์บิทข้อมูล	22
3.3.1 จิทเตอร์	22
3.3.2 การเข้ารหัสสัญญาณดิจิตอล	24
3.3.3 การแยกสัญญาณนาฬิกา	27
บทที่ 4 ระบบส่งข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลา	35
4.1 สัญญาณโทรทัศน์ระบบ PAL	35
4.2 การแปลงสัญญาณภาพอนาลอกเป็นสัญญาณดิจิตอล	37
4.3 ระบบส่งข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลา	38
4.3.1 ข้อกำหนดและการจัดเฟรมข้อมูลของระบบ	38

หน้า

4.3.2 ระบบส่งข้อมูลภาพและเสียงแบบ TDM 38

4.4 ระบบรับข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลา 40

บทที่ 5 การออกแบบและการทำงานของวงจร 42

5.1 ระบบส่งข้อมูล 42

5.1.1 ส่วนมัลติเพล็กซ์ข้อมูล 42

5.1.2 ส่วนวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล 43

5.2 ระบบรับข้อมูล 43

5.2.1 ส่วนควบคุมสถานะการซิงโครไนซ์ 44

5.2.2 วงจรแสดงส่วน Receiver Synchronize State Control 45

5.2.3 วงจรแปลงสัญญาณอนุกรมเป็นขนาน 46

บทที่ 6 ผลการทดลอง

6.1 ระบบส่งข้อมูล 48

6.2 ระบบรับข้อมูล 50

บทที่ 7 บทสรุป 52

เอกสารอ้างอิง

ภาคผนวก

กิตติกรรมประกาศ

สารบัญภาพ

	หน้า
รูปที่ 1.1.1 Block Diagram การทำงานของระบบ	1
รูปที่ 2.1.1 แสดงรายละเอียดของแรงดันเอาท์พุท	3
รูปที่ 2.1.2 วงจร Binary-weighted resistor DAC และกราฟเอาท์พุทของ DAC	4
รูปที่ 2.1.3 วงจร Binary Ladder DAC	5
รูปที่ 2.1.4 Monotonic DAC	6
รูปที่ 2.2.1 ความละเอียดของ DAC จะแปรผันตรงกับจำนวนบิททางเอาท์พุท	7
รูปที่ 2.2.2 การสุ่มหลายๆ ช่วงจะมีลักษณะใกล้เคียงกับสัญญาณเดิม	8
รูปที่ 2.2.3 แสดงวิธีการพื้นฐานของ DAC	9
รูปที่ 2.2.4 แสดงทรานสเฟอร์ฟังก์ชั่นของคอมพาราเตอร์	9
รูปที่ 2.2.5 ก. บล็อคไดอะแกรมของ Counter Type ADC	10
รูปที่ 2.2.5 ข. Timing Diagram ของ Counter Type ADC	10
รูปที่ 2.2.6 วงจร Ramp Voltage Gennerator อย่างง่ายและลักษณะของเอาท์พุท	12
รูปที่ 2.2.7 บล็อคไดอะแกรมของ Dual Slope ADC	13
รูปที่ 2.2.8 บล็อคไดอะแกรมของ Successive Approximation ADC	14
รูปที่ 2.2.9 แฟลช A/D	15
รูปที่ 3.1.1 ภาพสมมูลแสดงตัวส่ง (Multiplexer) และตัวรับ (Demultiplexer)	17
รูปที่ 3.1.2 โครงสร้างของเฟรมระบบมัลติเพล็กซ์แบบแบ่งเวลา	19
รูปที่ 3.2.1 ไดอะแกรมแสดงสถานะการอไลเมนต์	20
รูปที่ 3.2.2 ตัวอย่างการซิงโครไนซ์เฟรม	21
รูปที่ 3.3.1 แสดงนิยามของจิทเตอร์	22
รูปที่ 3.3.2 การเข้ารหัสข้อมูลดิจิตอลเป็นสัญญาณดิจิตอล	25
รูปที่ 3.3.3 แสดงลักษณะของสัญญาณดิจิตอลแบบต่างๆ	25
รูปที่ 3.3.4 เส้นโค้งแสดงความหนาแน่นพลังงานในแถบความถี่ของรหัส NRZ และแมนเชสเตอร์	26
รูปที่ 3.3.5 ไดอะแกรมของระบบการแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC	28
รูปที่ 3.3.6 แสดงสัญญาณจุดต่างๆในระบบแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC	28
รูปที่ 3.3.7 สมมูลวงจรจูน LC	31
รูปที่ 3.3.8 ไดอะแกรมของระบบเฟสล็อคลูป	31

หน้า

รูปที่ 3.3.9 เซลฟ์ซิงโครไนซิ่งสแครมเบลอร์ 33
รูปที่ 3.3.10 ไดอะแกรมแสดงการนำระบบการสแครมเบลอร์และดีสแครมเบลอร์ ขนาด 5 สเตต มาใช้กับระบบสื่อสารข้อมูล 34
รูปที่ 4.1.1 แสดงรายละเอียดของสัญญาณภาพมาตรฐาน PAL 36
รูปที่ 4.2.1 แสดงรายละเอียดใน 1 เส้นกวาดแนวนอน ซึ่งประกอบด้วยสัญญาณ สัญญาณ แบลงกิ้ง และสัญญาณลูมิแนนซ์ 36
รูปที่ 4.3.1 ไดอะแกรมแสดงระบบส่งข้อมูลภาพและเสียง 39
รูปที่ 4.4.1 ไดอะแกรมแสดงระบบรับข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบ แบ่งเวลาความเร็ว 10 Mbps 41
รูปที่ 5.1.1 ไดอะแกรมแสดงระบบส่งข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบ แบ่งเวลา 43
รูปที่ 5.2.1 ไดอะแกรมของระบบรับข้อมูล 44
รูปที่ 5.2.2 แสดงไดอะแกรมส่วนแยกสัญญาณนาฬิกา 47
รูปที่ 6.1.1 ไทมมิ่งไดอะแกรมของสัญญาณที่ส่วนมัลติเพล็กซ์ 48
รูปที่ 6.1.2 สัญญาณ V. blank 49
รูปที่ 6.1.3 สัญญาณอนุกรม 49
รูปที่ 6.1.4 สัญญาณที่ผ่านการสแครมเบลอร์ 49
รูปที่ 6.2.1 แสดงสัญญาณภาพที่ได้จาก Pattern Generator และสัญญาณภาพที่ได้จาก วงจรทางภาครับเมื่อต่อแบบขนาน 50
รูปที่ 6.2.2 ช่วงอิควอไลซิ่งพัลซ์ของสัญญาณภาพที่ได้เมื่อต่อแบบขนา น 51
รูปที่ 6.2.3 สัญญาณภาพที่ได้จากการส่งแบบอนุกรม 51

บทที่ 1
บทนำ

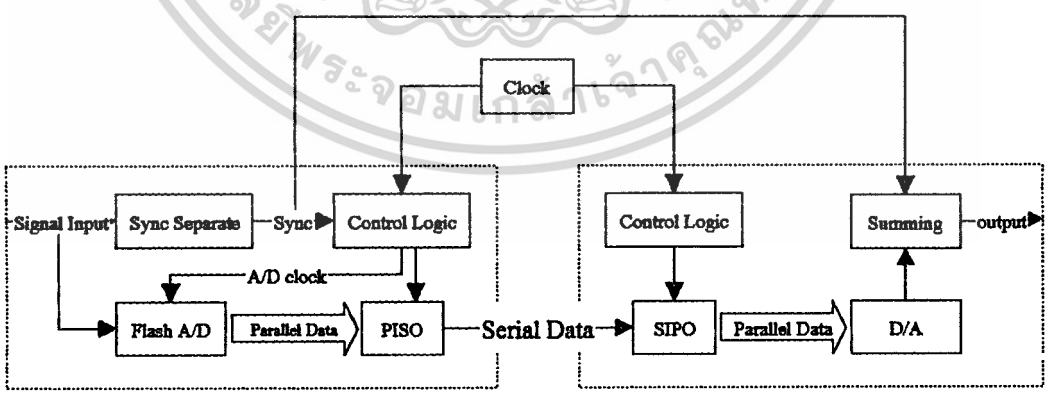
ปัจจุบันการสื่อสารข้อมูลสัญญาณเสียงและสัญญาณภาพในระบบอนาลอก พบว่ามีข้อจำกัดคือสัญญาณมีความเพี้ยนไม่คมชัด ต่างกับสื่อสารในระบบดิจิตอลซึ่งมีข้อดีหลายอย่าง เช่น ความเที่ยงตรงในการรับข้อมูล ความสามารถในการเข้ารหัสและสะดวกในการมัลติเพล็กซ์รวมทั้งเหมาะสมกับการสื่อสารโดยใช้เส้นใยนำแสงซึ่งมีแบนด์วิธกว้างสามารถส่งสัญญาณเสียง สัญญาณภาพ หรือสัญญาณคอมพิวเตอร์ร่วมกันได้และมีความเพี้ยนน้อย

สำหรับปริญญานิพนธ์ฉบับนี้เป็นการศึกษาการสื่อสารในระบบดิจิตอลซึ่งเป็นระบบที่เหมาะสมสำหรับสายใยแก้วนำแสง โดยการทดลองส่งผ่านสายโคแอกเชียล ด้วยระบบมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplexing : TDM) ด้วยความถี่ 10 MHz อันเป็นความถี่ที่ไม่สูงมากนัก

วัตถุประสงค์ของปริญญานิพนธ์

1.ศึกษาการสื่อสารระบบดิจิตอลและการมัลติเพล็กซ์แบบแบ่งเวลา

2.ศึกษาคุณลักษณะพิเศษของสัญญาณภาพและการส่งรับสัญญาณภาพ



รูปที่ 1.1.1 Block Diagram การทำงานของระบบ

บทที่ 2

การแปลงสัญญาณดิจิตอลเป็นอนาลอกและอนาลอกเป็นดิจิตอล

(Digital to Analog Converter และ Analog to Digital Converter)

ในปัจจุบันสัญญาณต่างๆที่เราคุ้นเคยมักเป็นสัญญาณที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง หรือที่เราเรียกว่า สัญญาณอนาลอก นั้นเป็นสัญญาณที่เราเห็นหรือรู้สึกหรือสัมผัสได้ในชีวิตประจำวัน เช่น แสง สี เสียง อุณหภูมิ ตลอดจนแรงเคลื่อนไฟฟ้าหรือกระแสไฟฟ้า เราเห็นหรือเข้าใจในรูปแบบของฟังก์ชั่นที่มีการเปลี่ยนแปลงอย่างต่อเนื่องที่ไม่มีสิ้นสุด จึงเป็นการยากที่จะควบคุมสัญญาณอนาลอกให้ทำงานตามที่เราต้องการ แต่ในทางตรงกันข้าม เราจะพบว่าสัญญาณอีกรูปแบบหนึ่งซึ่งไม่เป็นฟังก์ชั่นของเวลา หรือที่เราเรียกว่า สัญญาณดิจิตอล นั้นสามารถควบคุมและทำความเข้าใจ และควบคุมได้ง่ายกว่าสัญญาณอนาลอก โดยเราอาจจะใช้วงจรลอจิกอย่างง่ายๆ หรือไมโครโปรเซสเซอร์ควบคุมได้

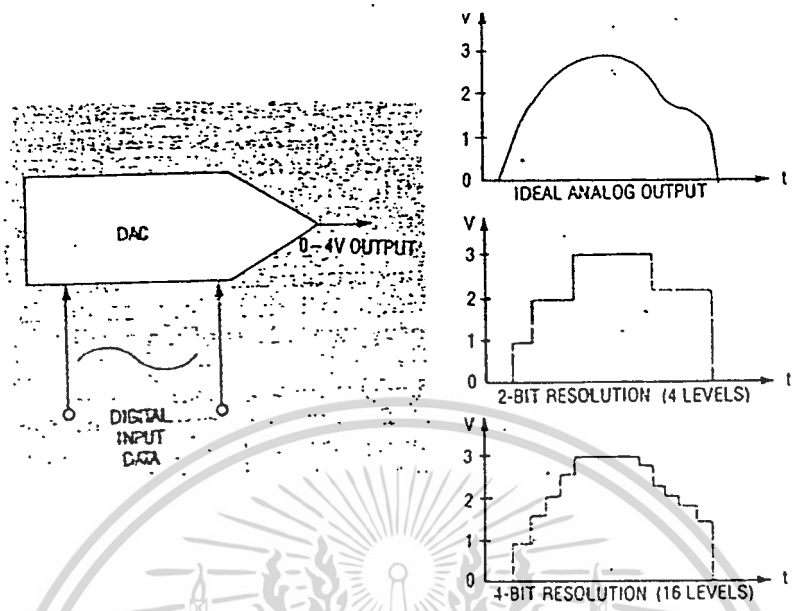
แต่เมื่อวงจรดิจิตอลต้องการรับสัญญาณอินพุทที่เป็นสัญญาณอนาลอก หรือต้องการส่งสัญญาณเอาท์พุทเป็นสัญญาณอนาลอก ในทางปฏิบัติเราจะนำสัญญาณหรือวงจรทั้งสองมาเชื่อมต่อโดยตรงไม่ได้ จำเป็นต้องนำเอาสัญญาณอนาลอกนั้นมาผ่านอุปกรณ์เชื่อมต่อที่เรียกว่า ตัวแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล(Analog to Digital converter) เรียกย่อๆว่า A/D converter หรือผ่านตัวแปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาลอก (Digital to Analog converter) เรียกย่อๆว่า D/A converter ดังนั้น D/A และ A/D converter จึงกลายเป็นหัวใจสำคัญของการเชื่อมโลกของดิจิตอลเข้ากับโลกของอนาลอก

เทคนิคขั้นพื้นฐานบางประการของ D/A และ A/D converter มีดังนี้

2.1. D/A (Digital to Analog converter)

D/A คอนเวอร์ทเตอร์ หรือเรียกย่อว่า DAC เป็นตัวแปลงรหัสเลขฐานสองจากคอมพิวเตอร์ หรือจากวงจรดิจิตอลใดๆให้กลายเป็นระดับแรงดันอนาลอกที่มีความสัมพันธ์กับระบบเลขฐานสอง ตัว DAC สามารถนำไปใช้ขับอุปกรณ์ที่เป็นอนาลอกได้ เช่น เครื่องรับโทรทัศน์ เครื่องเล่นคอมแพ็คดิสก์ ซึ่งข้อมูลที่ได้จากการแปลงจะกลายเป็นสัญญาณที่มีคุณภาพสูง คมชัดขึ้น

DAC ขนาด 8 บิทสามารถให้สัญญาณอนาลอกทางด้านเอาท์พุทที่เป็นระดับแรงดันได้ 2^8 หรือ 256 ระดับ DAC ขนาด 12 บิท สามารถให้ระดับแรงดันได้ 2^{12} หรือ 4096 ระดับ อย่างที่เราได้เห็นแล้วว่า DAC มีขนาดอินพุทบิทมากเท่าไรความละเอียดและความถูกต้องของระดับแรงดันอนาลอกทางเอาท์พุทที่ DAC สามารถผลิตได้จะมากขึ้นตามดังแสดงในรูปที่ 2.1



รูปที่ 2.1.1 แสดงความละเอียดของแรงดันเอาท์พุท

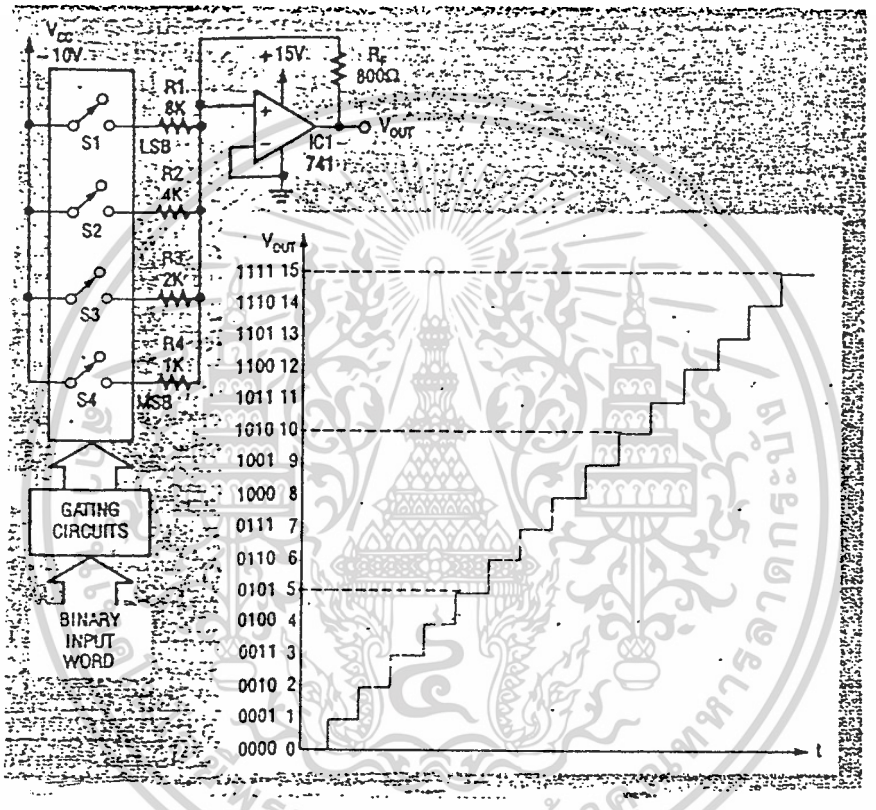
ความละเอียดของ DAC ขึ้นอยู่กับเวลาเข้าสู่สภาวะคงตัวของตัว DAC เอง (Settling time) เป็นค่าของเวลาที่ระดับแรงดันเอาท์พุทเข้าสู่สภาวะคงที่ เมื่อรหัสไบนารีทางอินพุทเปลี่ยนแปลงไป โดยปกติจะคิดที่สัญญาณทางเอาท์พุทคงที่ ในช่วงของ LSB (Least Significant Bit) ของค่าที่คาดว่าจะเป็นหลังจากรหัสไบนารีทางอินพุทเปลี่ยนไปนั้น หมายความว่าในเงื่อนไขของการปฏิบัติงานจริงๆ มีความสัมพันธ์กับค่าซึ่งเป็นอยู่ขณะนั้นต่อ LSB ของมันเอง ถ้า DAC ขนาด 8 บิท มีช่วงแรงดันทางเอาท์พุทอยู่ในช่วง 0-10 โวลท์ ดังนั้น LSB มีค่าเท่ากับ $10/2^8$ หรือ 0.039 โวลท์ ครึ่งหนึ่งเท่ากับ 0.0195 โวลท์ ดังนั้นค่าเวลาที่ระดับแรงดันเอาท์พุทเข้าสู่สภาวะคงที่ควรจะเป็นค่าเวลาที่เอาท์พุทเพิ่มขึ้นถึง 0.0195 โวลท์ ของค่าระดับที่คาดหมายไว้ตามปกติ ค่าเวลาเข้าสู่สภาวะคงตัวมีค่าน้อยกว่า 10

ค่าความแม่นยำเป็นแฟกเตอร์ที่สำคัญอีกตัวหนึ่งของ DAC ในเงื่อนไขปกติ ค่าความแม่นยำของ DAC ในสภาวะ กล่าวคือ ทุกๆตำแหน่งจาก 1/2 ถึง 2 ค่าของ LSB สำหรับ DAC ที่มีความแม่นยำ 1 ค่า LSB แรงดันเอาท์พุทสามารถเปลี่ยนแปลงไปในทาง + หรือ - ค่าของ 1 บิท ถ้า DAC มีแรงดันเอาท์พุทอยู่ในช่วง 0 ถึง 5 โวลท์ มีความละเอียดเท่า 12 บิท LSB ควรจะเป็น $5/2^{12}$ หรือ 0.00122 โวลท์ สำหรับทุกๆค่าของรหัสไบนารีทางด้านเอาท์พุทแรงดันอาจจะสูงหรือต่ำกว่าค่าที่คาดหมายไว้ ถ้า DAC ตัวเดียวกันมีค่าความแม่นยำเท่ากับ 1/2 ค่าความถูกต้อง LSB จะสามารถผิดพลาดไปได้ 0.00122/2 ยิ่งค่าความแม่นยำน้อยเท่าไร ค่าความละเอียดก็จะมากขึ้นตาม และจะมีค่าใกล้เคียงกับค่าเอาท์พุทที่คาดไว้

วิธีการของการเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณอนาลอก มีหลายวิธีแต่จะขอกล่าวถึงเพียง 2 วิธี คือ Binary-weighted และ Binaryladder DAC

2.1.1 Binary-weight resister D/A

เทคนิคการจัดน้ำหนักของรหัสไบนารีเป็นวิธีที่ง่ายที่สุดและเก่าที่สุดของการแปลงดิจิตอลบิทให้กลายเป็นสัญญาณอนาลอก วงจรของ Binary-weighted resister D/A แสดงไว้ในรูปที่ 2.2



รูปที่ 2.1.2 วงจร Binary-weighted resister DAC และกราฟเอาท์พุทของ DAC

รหัสไบนารีจะถูกป้อนให้ขาเกทของอนาลอกสวิทช์ เมื่อรหัสไบนารีเป็น 0000 ถูกป้อนให้ที่เกท อนาลอกสวิทช์ทั้งหมดจะเปิดวงจร ดังนั้นจึงไม่มีแรงดันเอาท์พุทจ่ายไปให้ออปแอมป์ เอาท์พุทจากออปแอมป์จึงเป็นศูนย์ เมื่อรหัสไบนารีเป็น 0001 สวิทช์ S_1 จะปิดลง และแรงดัน 10 โวลท์จะจ่ายให้กับ R_1 เพราะว่าอินพุทของออปแอมป์จะมองได้ว่าเป็นกราวน์เสมือน (Virtual Ground) เป็นผลให้แรงดัน 10 โวลท์ ตกคร่อมตัวต้านทาน 8 KΩ (R_1) ซึ่งเป็นเหตุให้เกิดกระแส 1.25 mA ไหลผ่านความต้านทานป้อนกลับ (R_f) ค่า 800 Ω แรงดันตกคร่อม R_f ควรจะมีค่า 800 * 1.25mA หรือเท่ากับ 1 โวลท์

เมื่อรหัสไบนารีเปลี่ยนไปเป็น 0010 S_1 จะเปิดและ S_2 ปิดวงจร เป็นเหตุให้กระแส 2.5 mA (10 V/4000) ไหลผ่าน R_2 แรงดันตกคร่อม R_f มีค่าเท่ากับ 800 * 2.5 mA หรือ 2 โวลท์ รหัส

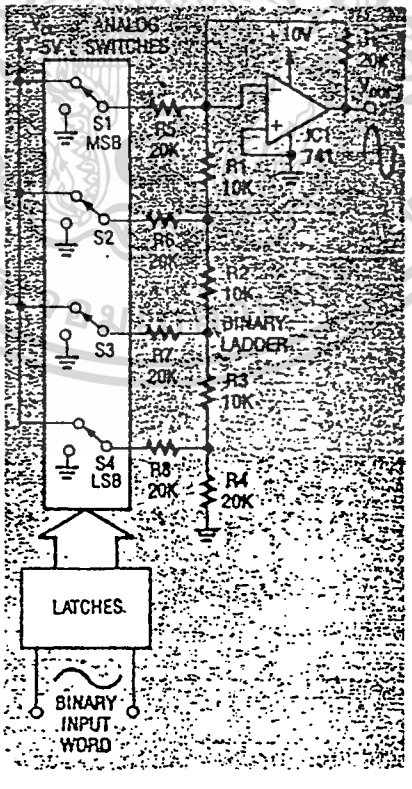
ไบนารี 0100 จะให้แรงดันเอาท์พุทเท่ากับ 4 โวลท์ และถ้ารหัสไบนารีเป็น 1000 แรงดันเอาท์พุทจะเป็น 8 โวลท์ จะสังเกตได้ว่ารหัสทางอินพุทและค่าของ R_f มีผลต่อระดับแรงดันทางเอาท์พุท

สวิทช์แต่ละตัวสามารถปิดวงจรพร้อมกันได้เมื่อทำการรวมกันเพื่อสร้างสัญญาณอนาลอกทางเอาท์พุทที่มีค่าจาก 0 ถึง 15 โวลท์ (0000=0 โวลท์,0111=7 โวลท์ และ 1111=15 โวลท์)ในการเพิ่มขึ้น 1 โวลท์ต่อ 1 ขั้น

ถึงแม้ว่า Binary-weighed resistor DAC มีลักษณะวงจรที่ง่ายๆตรงไปตรงมา แต่ไม่สะดวกในการนำไปใช้งาน ถ้าต้องการความละเอียดของ DAC มากกว่า 4 บิท เพราะว่าค่าของความต้านทานที่ใช้มากมายหลายค่าเกินไป ซึ่งต่างจาก Ladder network ที่ต้องการใช้ตัวต้านทานเพียง 2 ค่า เท่านั้น

2.1.2 Ladder network D/A

เทคนิคเลดเดอร์เน็ทเวิร์ค สามารถสร้างแรงดันตามน้ำหนักของรหัสไบนารี โดยอาศัยความต้านทานเพียง 2 ค่าเท่านั้น ที่จัดในลักษณะวงจรแบ่งแรงดัน หรือที่เรียกว่าไบนารี เลดเดอร์ (Binary ladder) ดังแสดงในรูปที่ 2.1.3



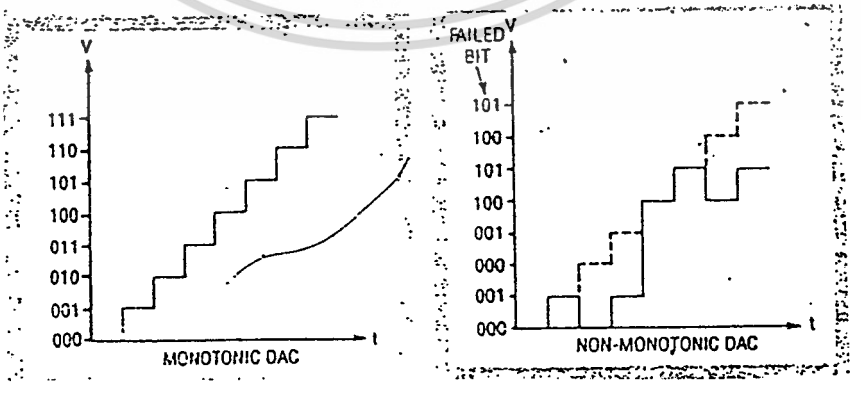
รูปที่ 2.1.3 วงจร Binary Ladder DAC

ถึงแม้ว่าวงจร DAC แบบเลดเดอร์เน็ทเวิร์คนั้นดูผ่านๆแล้วค่อนข้างจะยาก แต่การทำงานของวงจรก็ยังคล้ายกับการทำงานของวงจร Binary weighed DAC (รูปที่ 2.1.3) เคทที่ต่ออยู่ในลักษณะอนุกรมถูกใช้สำหรับขับอนาลอกสวิทซ์เมื่อรหัสไบนารีเป็น 0000 ถูกส่งมายังอนาลอกสวิทซ์ทั้งหมดจะเปิดออก ดังนั้นแรงดันเอาท์พุทที่ได้จากออปแอมป์จึงมีค่าเป็นศูนย์ สวิทซ์ S_1 จะปิดลงเมื่อเคทได้รับรหัสไบนารีเป็น 1000 เป็นผลให้เกิดแรงดันเอาท์พุท 5 โวลท์ ออกมาจากออปแอมป์ ถ้ารหัสไบนารีเป็น 0010 สวิทซ์ S_3 ก็จะปิด และทำให้เกิดแรงดัน 1.25 โวลท์ที่เอาท์พุท และสุดท้ายถ้าอินพุทเป็น 0001 สวิทซ์ S_4 จะปิดลงออปแอมป์จะให้แรงดันเอาท์พุทออกมา 0.625 โวลท์ จะสังเกตได้ว่าแต่ละแรงดันเอาท์พุทอยู่ในรูปอันดับของไบนารีคือเอาท์พุทสามารถเปลี่ยนจาก 0 ถึง 10 โวลท์ เพิ่มขึ้นขั้นละ 0.625 โวลท์ (24 หรือ 16 ขั้น)

ข้อดีของเลดเดอร์เน็ทเวิร์ค DAC คือสามารถออกแบบได้ง่าย เนื่องจากใช้ความต้านทานเพียง 2 ค่าเท่านั้น และในทุกวันนี้บริษัทผู้ผลิต DAC เกือบทั้งหมดจะใช้เทคนิคแบบเลดเดอร์เน็ทเวิร์คในการผลิต DAC

วงจรไบนารีเลดเดอร์ มักจะมีความถูกต้องแม่นยำมากกว่าวงจร Binary-weighted เพราะว่าเราจะหาค่าความต้านทานที่ถูกต้อง 2 ค่า (เช่น 10K หรือ 20K) ได้ง่ายกว่าค่าความต้านทานหลายๆค่าที่ใช้ในวงจร Binary-weighted DAC ไอซี DAC สำเร็จรูปที่นิยมใช้อยู่คือเบอร์ DAC0800

หลักการเริ่มทำงานของ DAC เราสามารถพิจารณารายละเอียดที่สำคัญสุดท้ายของ monotonicity แรงดันเอาท์พุทที่เป็นสัญญาณอนาลอกของ DAC จะเพิ่มขึ้นเป็นลำดับคล้ายกับการเพิ่มของรหัสไบนารีทางอินพุท ดังแสดงในรูปที่ 2.1.4



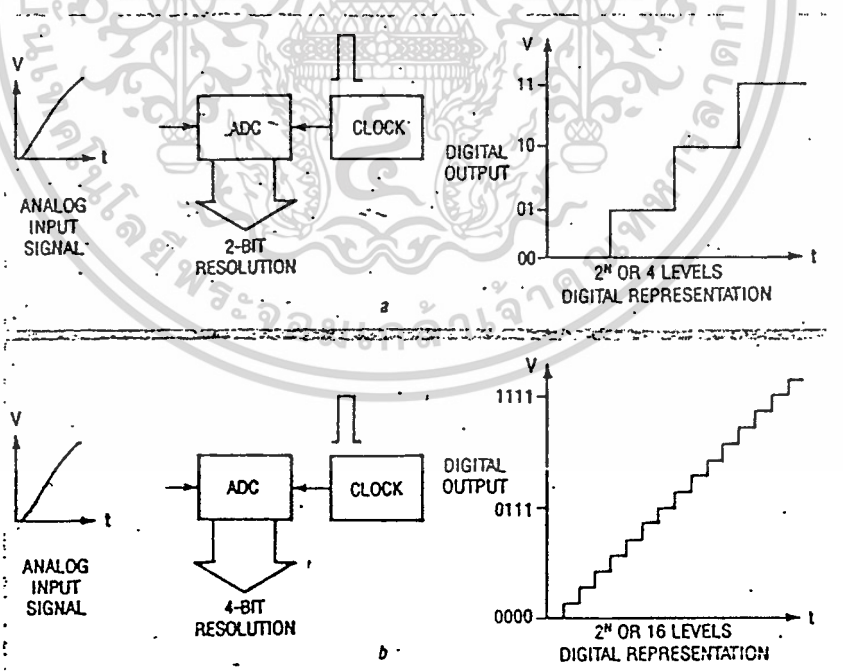
รูปที่ 2.1.4 Monotonic DAC จะมากขึ้นทุกๆ ค่าของสัญญาณอนาลอกที่ถูกต้อง

ในทางอุดมคติ การเพิ่มขึ้นของสัญญาณอินพุทที่เป็นรหัสไบนารีจะเป็นเหตุให้เราสามารถทายและรู้ถึงแรงดันเอาท์พุทได้ ในอุปกรณ์บางตัว ส่วนของการสวิทชิ่งและส่วนขยายสัญญาณไม่สามารถจ่ายกระแสไฟฟ้าภายในเงื่อนไขเหล่านั้นได้อย่างเพียงพอ จึงเป็นสาเหตุที่ทำให้ DAC เกิดการ skip หรือการกระโดดข้ามขั้นนั่นเอง การเกิด skip นี้จะมีปัญหาน้อยในบิทนัยต่ำๆ แต่จะมีมากขึ้นเมื่อน้ำหนักของบิทเพิ่มขึ้น

2.2. A/D (Analog to Digital converters)

A/D converter หรือ ADC ใช้สำหรับการแปลงสัญญาณอินพุทที่เป็นอนาลอกให้เป็นจำนวนจำกัดของดิจิตอลบิท ผลลัพธ์ที่ได้จะอยู่ในรูปของ "WORD" ทางดิจิตอลซึ่งจะกลายเป็นรหัสเลขฐานสองที่แทนระดับ แต่ละระดับของสัญญาณอนาลอกในขณะที่ ADC กำลังแปลงสัญญาณอยู่

ความละเอียดของ ADC จะคล้ายกับความละเอียดของ DAC อย่างมากๆคล่าวคือจำนวนบิททางเอาท์พุทมีหลายๆบิท ความละเอียดของ ADC ตัวนั้นก็จะมีมากขึ้น เช่น ADC ขนาด 12 บิทก็จะมีความละเอียดเท่ากับ 12 เป็นต้น ดังแสดงในรูปที่ 2.2.1



รูปที่ 2.2.1 ความละเอียดของ ADC จะแปรผันตรงกับจำนวนบิททางเอาท์พุท

ค่าเวลาการแปรผัน (Conversion time) เป็นเกณฑ์ที่สำคัญอีกตัวหนึ่งของ ADC ตามที่ได้เห็นมาว่า การแปลงสัญญาณอนาลอกให้กลายเป็นสัญญาณดิจิตอลไม่ได้เกิดขึ้นโดยทันทีทันใด

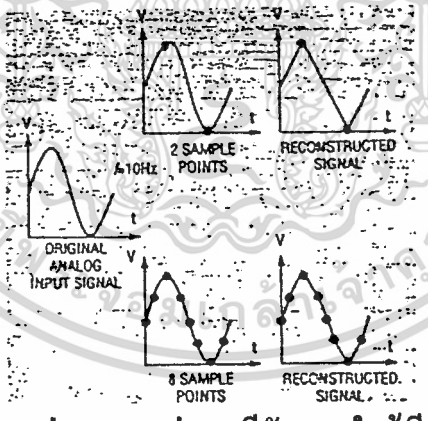
แต่ต้องมีการผ่านกระบวนการต่างๆ ด้วย เหตุที่ผลลัพธ์ต้องการเวลาค่าเวลาขณะหนึ่งที่จะทำการสุ่ม (Sample) สัญญาณอินพุทและให้สัญญาณดิจิตอลที่เป็นรหัสไบนารีออกมาที่เอาท์พุท ดังนั้นค่าเวลาการแปลงผัน คือ ช่วงเวลาที่ต้องการกระทำกระบวนการให้เสร็จสิ้น ซึ่งจะมีค่าประมาณ μs สำหรับ DAC ความเร็วสูง และเป็น ms สำหรับ DAC แบบธรรมดา เนื่องจากการเปลี่ยน ADC นั้นต้องการกระบวนการซิงโครไนส์ที่แน่นอนและแม่นยำ แหล่งกำเนิดสัญญาณนาฬิกาจึงจำเป็นต้องมีในวงจร

2.2.1.ทฤษฎีการสุ่มตัวอย่าง (Sampling Theory)

เนื่องจาก ADC ต้องการค่าเวลาขณะหนึ่งที่ใช้ในกระบวนการแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอล ช่วงเวลาช่วงหนึ่งจะใช้สำหรับการสุ่มตัวอย่าง (Sampling) ของสัญญาณ เช่น ADC สามารถเปลี่ยนสัญญาณเสร็จสมบูรณ์ได้ภายใน 1 ms ดังนั้นมันจึงสามารถเปลี่ยนสัญญาณได้ 1,000 ครั้งใน 1 วินาที อัตราการเปลี่ยนสัญญาณสูงสุดมีค่าเท่ากับส่วนกลับของค่าเวลาการเปลี่ยน

ตัวคอนเวอร์ทเตอร์จะสุ่มตัวอย่างของสัญญาณด้วยอัตราต่ำสุดเป็น 2 เท่าของความถี่สูงสุดของสัญญาณอินพุทที่เข้ามา อัตราการสุ่มนี้เรียกว่า Nyquist rate

พิจารณาสัญญาณอนาลอกที่เป็นคลื่นรูปซายน์ 10 Hz จ่ายให้กับตัว ADC ตามรูปที่ 2.2.2



รูปที่ 2.2.2 การสุ่มหลายๆ ช่วงจะมีลักษณะใกล้เคียงกับสัญญาณเดิม

อัตราต่ำสุดของการสุ่มตัวอย่างเป็น 2f หรือ 20 Hz ซึ่งจะให้ข้อมูลดิจิตอลขนาด 2 บิทออกมาในแต่ละไซเคิ้ล เมื่อข้อมูลดิจุตอลถูกนำมาสร้างเป็นสัญญาณอนาลอกขึ้นมาใหม่ โดย DAC สัญญาณอนาลอกตัวใหม่มีลักษณะคล้ายคลึงกับสัญญาณเดิม ถ้าความถี่ 10 Hz เป็นความถี่สูงสุดที่เข้ามายังตัว ADC ค่าเวลาที่ใช้ในการเปลี่ยนสัญญาณสูงสุดเป็น 1/20 Hz หรือ 50 ms เป็นต้น

การที่เราจะปรับปรุงประสิทธิภาพของ ADC ในแง่ความเหมือนจริงของสัญญาณการแปลงให้อยู่ในดิจิตอล เราจะต้องเพิ่มอัตราการสุ่มขึ้นในขณะที่คาบเวลาเท่าเดิม อัตราการสุ่ม 8 จุดต่อไซเคิ้ล ต้องการอัตราการสุ่มของส่วนประกอบความถี่สูงสุดอินพุท 8 ครั้งเช่นความถี่อินพุท

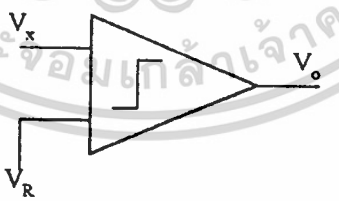
10 Hz จะต้องสุ่มตัวอย่างที่ 80 Hz ดังนั้นตัวคอนเวอร์ทเตอร์ควรจะมีค่าเวลาการเปลี่ยนเป็น 1/80 Hz หรือ 12.5 ms ถ้าตัว ADC ไม่สามารถสุ่มตัวอย่างได้เร็วพอต่อสัญญาณอินพุทที่เปลี่ยนแปลงไป ข่าวสารข้อมูลที่บรรจุในสัญญาณอนาลอกทางอินพุทจะสูญหายไป

ความสัมพันธ์ระหว่างความถี่ทางอินพุท ค่าเวลาในการเปลี่ยนสัญญาณและอัตราการสุ่มเป็นพารามิเตอร์ของ ADC ที่สำคัญตัวหนึ่ง วิธีการหลายๆ วิธีได้ถูกพัฒนาในช่วงหลายปีที่ผ่านมาเพื่อที่จะทำการแปลงสัญญาณอนาลอกให้อยู่ในรูปของสัญญาณดิจิตอล วิธีที่ยังใช้จนถึงปัจจุบันมีอยู่ด้วยกัน 6 วิธี

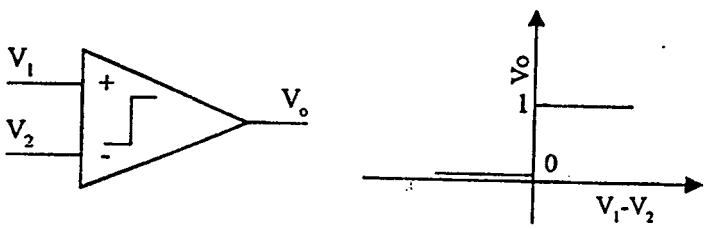
2.2.2.วิธีแปลงสัญญาณอนาลอกเป็นดิจิตอล

2.2.2.1. Basic conversion method

วิธีการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบง่ายๆแสดงในรูป 2.2.3 แรงดันอินพุทที่ไม่ทราบค่า V_x จะต่อเข้ากับขาอินพุทขาหนึ่งของอนาลอกคอมพาราเตอร์ และแรงดันอ้างอิงที่ขนาดแปรตามเวลา V_R ต่อเข้ากับอินพุทอีกขาหนึ่งของคอมพาราเตอร์ ลักษณะของทรานเฟอร์ฟังก์ชั่นของคอมพาราเตอร์แสดงในรูปที่ 2.2.4 ถ้าแรงดันอินพุท V_1 มากกว่าอินพุท V_2 แล้วแรงดันเอาท์พุทจะเป็นลอจิก 1 ถ้าอินพุท V_1 น้อยกว่า V_2 แล้วเอาท์พุทจะเป็นศูนย์ วิธีในการแปลงข้อมูลคือ แรงดันอ้างอิงจะถูกแปรค่าจนกระทั่งรู้ค่าแรงดันอินพุทที่ผิดพลาดไม่เกิน Quantization error ของคอนเวอร์ทเตอร์ ในแนวความคิดแล้วตรรกะของ ADC คือพยายามเลือกกลุ่มของสัมประสิทธิ์ไบนารี a_i เพื่อให้ผลต่างระหว่างแรงดันอินพุท V_x และค่าที่ Quantize ได้ครั้งสุดท้ายน้อยกว่า 0.5 LSB



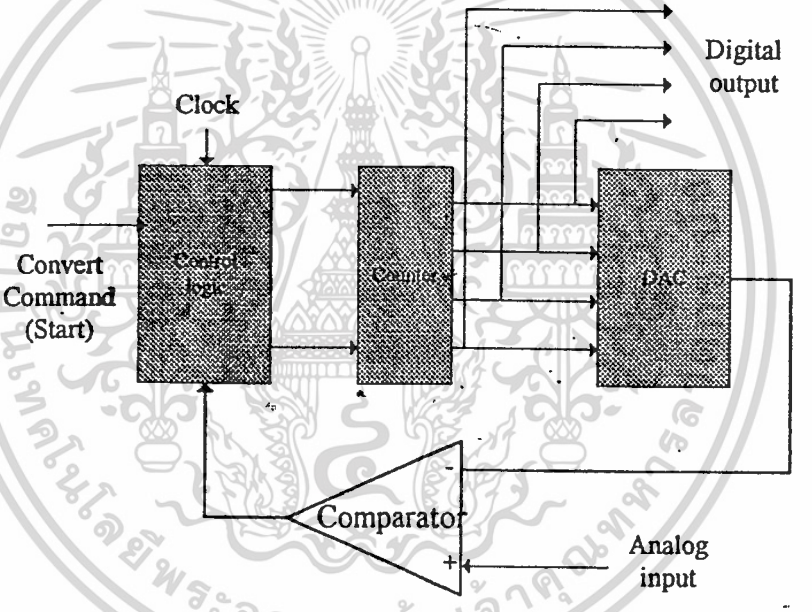
รูปที่ 2.2.3 แสดงวิธีการพื้นฐานของ ADC



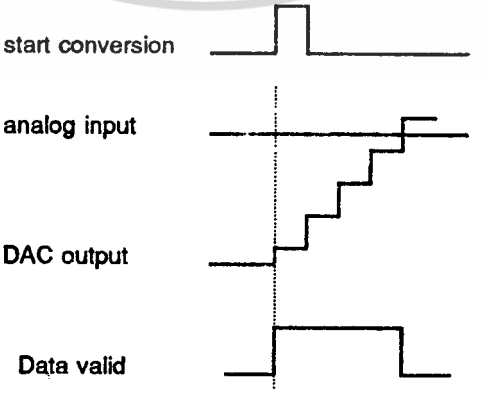
รูปที่ 2.2.4 แสดงทรานสเฟอร์ฟังก์ชั่นของคอมพาราเตอร์

2.2.2.2. Counter Type ADC

การจัดวงจร ADC ลักษณะนี้เป็นแบบที่ง่ายที่สุด หลักการทำงานของวงจรคือ การเปรียบเทียบขนาดของแรงดันที่เอาท์พุทของ DAC กับสัญญาณอนาลอกที่ไม่ทราบค่า V_{in} การทำงานจะเริ่มโดยสัญญาณ start conversion ลอจิกคอลโทรลจะรีเซทเคาน์เตอร์ให้เป็นศูนย์ แล้วเริ่มนับขึ้นจากศูนย์ เอาท์พุทของเคาน์เตอร์จะป้อนให้ DAC เพื่อแปลงเป็นสัญญาณอนาลอกลักษณะเป็นขั้นบันได จำมาเปรียบเทียบกับสัญญาณอนาลอกอินพุทที่คอมพาราเตอร์ โดยเคาน์เตอร์จะยังนับจนกระทั่งเอาท์พุทเท่ากับสัญญาณอนาลอกอินพุทหรือต่างกันไม่เกิน 1 LSB แล้ว คอมพาราเตอร์จะเปลี่ยนสถานะไปหยุดการนับของเคาน์เตอร์และ latch ค่าจากเคาน์เตอร์เพื่อรอการประมวลต่อไป และรอสัญญาณ start ใหม่



รูปที่ 2.2.5 ก. บล็อคไดอะแกรมของ Counter type ADC



รูปที่ 2.2.5 ข. Timing Diagram ของ Counter Type ADC

วงจรนี้มีข้อเสียที่ทำงานได้ช้าเพราะการ conversion แต่ละครั้งเคาท์เตอร์จะต้องถูกรีเซทและเริ่มนับจากศูนย์ทุกครั้ง ดังนั้นในการ conversion เป็นดิจิตอล n บิท จะใช้จำนวน clock ถึง 2^n เพื่อเปลี่ยนให้ได้ค่าสูงสุดเต็มสเกล ส่วนข้อดีคือ สร้างได้ง่ายรวดเร็วราคาถูกแต่ความแม่นยำขึ้นอยู่กับ DAC ที่ใช้

2.2.2.3 Tracking ADC

Tracking ADC จะปรับปรุงวงจรแบบ counter type ทางด้านความเร็ว โดยใช้เคาน์เตอร์แบบนับขึ้นลงได้ไม่จำเป็นต้องเริ่มนับจากศูนย์ทุกครั้ง แต่จะเริ่มนับจากค่าที่ได้ Latch ไว้จากการเปลี่ยนสัญญาณครั้งหลังสุด ดังนั้นส่วนควบคุมทางลอจิกจึงซับซ้อนมากกว่า โดยการทำงานจะเป็นดังนี้ เอาท์พุทจาก DAC จะถูกเปรียบเทียบกับสัญญาณอินพุท (Vin) หาก Vin มากกว่า ลักษณะลอจิกของคอมพาราเตอร์จะควบคุมให้เคาน์เตอร์นับขึ้น แต่ถ้า Vin น้อยกว่าเคาน์เตอร์จะนับลงจนกว่าค่าหลังสุดของเคาน์เตอร์จะต่างจากสัญญาณอนาลอกอินพุทไม่เกิน 1 LSB และค่าของเคาน์เตอร์จะถูก latch ไว้จากนั้นเคาน์เตอร์จะทำงานแบบติดตาม (track) สัญญาณอินพุทจนได้ค่าเท่าคันอีกก็จะ latch ค่าใหม่ไว้

จากลักษณะการทำงานดังกล่าว Vin จะต้องไม่เปลี่ยนแปลงเร็วมากกว่าการทำงานของเคาน์เตอร์ มิฉะนั้นค่าเอาท์พุทที่ได้จะไม่สอดคล้องกับสัญญาณอินพุท ตัวอย่างในกรณีสัญญาณรูปซายน์ซึ่งเปลี่ยนแปลงขนาดได้มากที่สุดเท่ากับค่าเต็มเสกล อัตราการเปลี่ยนแปลงจะเท่ากับอัตราการเปลี่ยนแปลงของเอาท์พุทของเคาน์เตอร์ คือ 1 LSB/clock period ดังนั้นถ้าต้องการให้ adc ตามอินพุทได้จะต้องให้ f_0 น้อยกว่า $1/\pi 2^n$ เท่าของ f_0

2.2.2.4 Integrating ADC

หัวใจสำคัญของวงจร ADC ชนิดนี้คือ วงจร integrator เทคนิคของ ADC แบบ integration คือจะใช้สัญญาณ ramp ต่อเนื่องแทนสัญญาณขั้นบันไดจาก DAC ซึ่งแบ่งตามลักษณะการทำงานได้สองแบบคือ Single Slope Converter และ dual Slope Converter

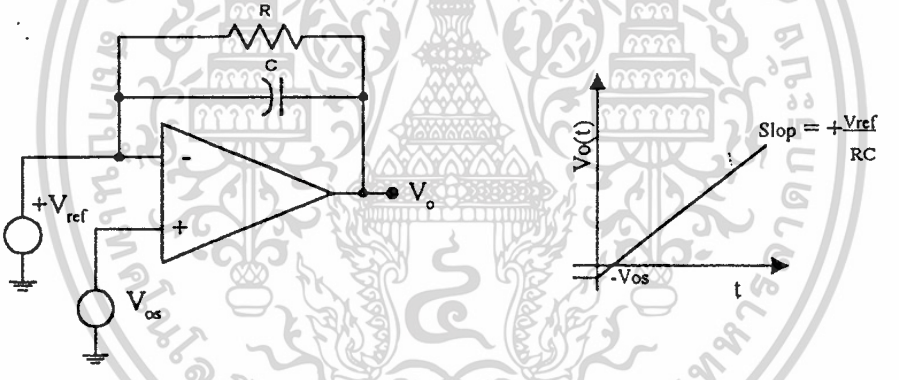
1) Single Slope Converter

สัญญาณอนาลอกแบบ ramp จะใช้เป็นแรงดันอ้างอิงที่เพิ่มขึ้นอย่างคงที่จากค่าต่ำกว่าศูนย์เล็กน้อยจนถึงค่าที่สูงกว่าค่าเต็มสเกลเล็กน้อย ซึ่งเวลาที่ขะใช้จากการสแกนของสัญญาณ ramp จากศูนย์ถึงค่าแรงดันอินพุทจะเป็นสัดส่วนกับแรงดันอินพุท

การ convertion จะเริ่มด้วยสัญญาณ start convertion ทำการรีเซ็ทไบนารีเคาน์เตอร์ และเริ่มสร้างสัญญาณ ramp จากแรงดันที่ต่ำกว่าศูนย์โวลท์ เมื่อสัญญาณ ramp ผ่านศูนย์โวลท์ เอาท์พุทจากคอมพาราเตอร์ 2 จะ high และเปิดเกทปล่อยพัลส์เข้าสู่เคาน์เตอร์ เคาน์เตอร์จะเริ่มนับจนกระทั่งสัญญาณ ramp มีขนาดเท่าแรงดันอนาลอก อินพุท Vin ในเวลานี้เอาท์พุทจากคอมพารา

เตอร์ 1 จะ high และปิดเกทไม่ให้ clock เข้าสู่เคาน์เตอร์ จำนวนพัลส์จากเคาน์เตอร์จะเป็นสัดส่วนแรงดันกับอินพุท เนื่องจาก VR = KT โดย R เป็นสโลปของ ramp (ซึ่งคงที่) ในหน่วยโวลท์/วินาที และ T เป็นจำนวนในการเคาน์เตอร์ หารด้วย f_oซึ่งเป็นความถี่สัญญาณ clock ถ้าเลือกให้สโลปของramp เป็น $V_{FSR}\ f_o/2^n$ จำนวนที่เคาน์เตอร์นับได้จะเท่ากับอัตราส่วนทางไบนารีหรือ V_{in}/V_{FSR} เวลาในการเปลี่ยน T_C ของ ADC แบบนี้จะแปรเป็นสัดส่วนกับแรงดันที่อินพุท V_{in} เวลามากที่สุด

เมื่อ $V_{in} = V_{FSR}$ คือ $T_{MAX} = 2^n/f_o$ และเช่นเดียวกับใน ADC แบบเคาน์เตอร์ ramp ค่าของรหัสเอาท์พุทสุดท้ายจะต่างจากค่าของ V_{in} ไม่เกิน 0.5 LSB ในรูปที่ 2.2.6 แสดงวงจรกำเนิดแรงดัน ramp อย่างง่าย โดยการต่อแรงดันอ้างอิงกับอินติเกรเตอร์เมื่อสวิทซ์เปิด C จะทำการประจุและเพิ่มขนาดแรงดันเอาท์พุท ข้อเสียประการหนึ่งคือหากใช้งานไปนานๆการเปลี่ยนแปลงค่า RC ตามอุณหภูมิจะทำให้สโลปคลาดเคลื่อนด้วยเหตุนี้ ADC ชนิดนี้จึงไม่เป็นที่นิยมใช้ในปัจจุบัน



รูปที่ 2.2.6 วงจร Ramp voltage generator อย่างง่าย และลักษณะของเอาท์พุท

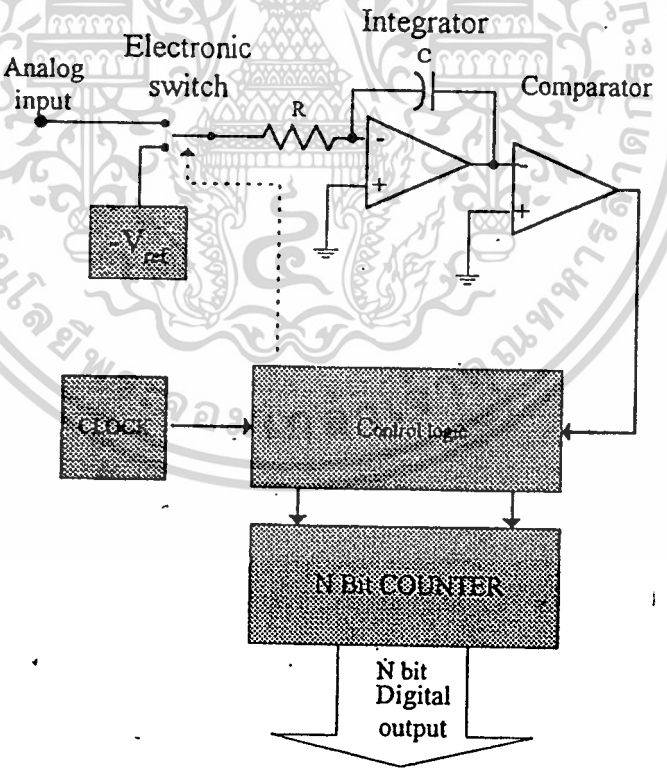
2) Dual Slope Converter

ADC แบบ dual slope ได้รับการพัฒนาขึ้นมาเพื่อแก้ไขจุดบกพร่องของ single slope ADC การจัดวงจรแสดงในรูปที่ 2.2.7 ในแต่ละวัฏจักรของการทำงานของวงจร จะมีสองช่วงคือ T_1 T_2 ในเวลา T_1 จะเป็นช่วงที่ได้รับการออกแบบให้มีค่าแน่นอนคงที่ในช่วงเวลานี้สัญญาณอินพุทจะต่อเข้ากับอินทิเกรเตอร์ผ่านสวิทช์ S ซึ่งทำให้เอาท์พุทที่ถูกอินทิเกรท V_{int} เป็นสัญญาณ ramp ที่ขนาดเพิ่มขึ้นทางบวกและสโลปขึ้นกันขนาดของ V_{in} จนกระทั่ง V_{int} ถึงค่าๆหนึ่งเมื่อสิ้นสุด T_1 ในช่วงเวลา T_2 อินพุทจะถูกตัดออกจากอินทิเกรเตอร์และต่อกับแรงดันอ้างอิงซึ่งมีค่าลบเข้ากับอินพุทของอินทิเกรเตอร์ โดยการควบคุมทางลอจิก ในลักษณะเช่นนี้จะทำให้ V_{int} ลดลงด้วยสโลปคงที่จากการคายประจุผ่านลง $-V_{ref}$ เมื่อเริ่มต้นเวลา T_2 เคาน์เตอร์จะรีเซ็ทและเริ่มนับ จนเมื่อ V_{int} มีค่าลดถึงศูนย์ คอมพาราเตอร์จะเปลี่ยนสถานะไปบอกส่วนควบคุมลอจิกให้หยุดนับ และเอาท์พุทของ

เคาน์เตอร์จะถูกแปลงเป็นรหัสดิจิตอล ความสัมพันธ์ระหว่างช่วงเวลากับแรงดันอินพุทจะเป็นไปตามสมการ

$$T_2 = T_1 V_{in}/V_{ref}$$

ดังนั้นรหัสดิจิตอลที่แสดงค่า T_2 จะแสดงค่าอัตราส่วนของกรงดันอินพุทต่อแรงดันอ้างอิงด้วย คุณลักษณะสำคัญของ dual slope มีหลายประการคือ ประการแรกความแม่นยำของมันไม่ขึ้นอยู่กับเสถียรภาพของสัญญาณ clock และตัวเก็บประจุ แต่จะขึ้นอยู่กับค่าความเที่ยงตรงของแรงดันอ้างอิงและความเป็นเชิงเส้นของอินทิเกรเตอร์ ประการที่สองการจำกัดสัญญาณรบกวนด้วยตัวเองของวงจรสามารถทำได้ ถ้าเซ็ทให้ T_1 มีขนาดเท่ากับคาบเวลาของสัญญาณรบกวน เช่น ในการจำกัดสัญญาณ 50 เฮิร์ท T_1 จะให้มีค่า 20 ms ส่วนข้อเสียที่สำคัญของ ADC นี้คือความเร็วในการ conversion ค่อนข้างต่ำจึงมักนิยมใช้กับเครื่องมือวัดที่ไม่ต้องความเร็วเช่น ดิจิตอลมิเตอร์เป็นต้น



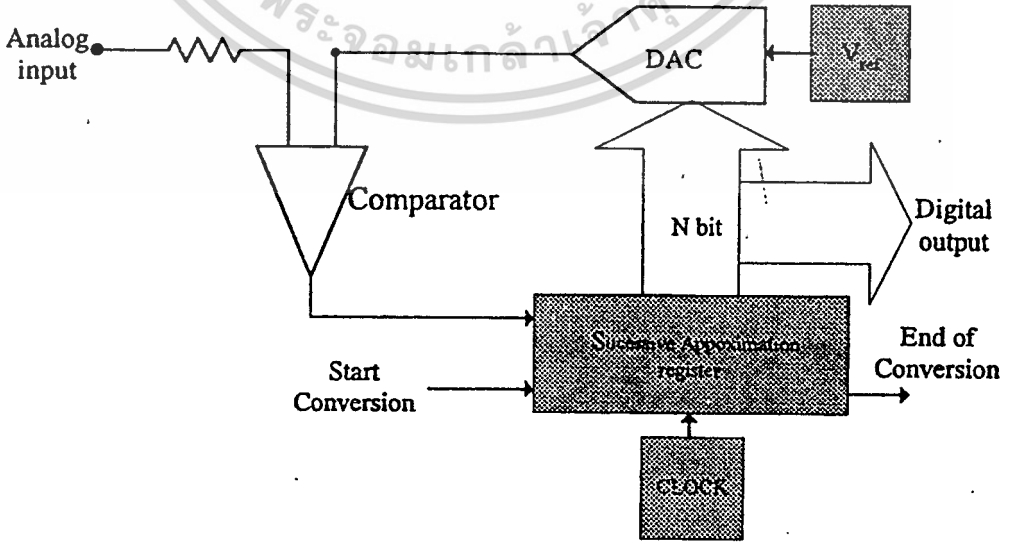
รูปที่ 2.2.7 บล็อกไดอะแกรมของ Dual Slope ADC

2.2.2.5. Successive Approximation ADC

วงจร ADC ชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วปานกลางและค่อนข้างสูง การจัดวงจรจะคล้ายกันกับแบบเคาน์เตอร์ ที่ทำงานในลักษณะการป้อนกลับ ซึ่งบล็อกไดอะแกรมในรูปที่ 2.2.8 แสดงฟังก์ชั่นต่างๆใน ADC ชนิดนี้ คอมพาราเตอร์จะคอยเปรียบเทียบเอาท์พุทจาก DAC กับอนาลอกอินพุท V_{in} เอาท์พุทจะไปควบคุม Successive Approximation resister (SAR) ซึ่งเป็นไอซี MSI (Medium Scale Integrated circuit) ที่ได้รับการออกแบบเป็นพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ

การทำงานของ ADC แบบนี้เปรียบเทียบได้กับการใช้งานของตาชั่งสองแขน เมื่อวัตถุที่ต้องการทราบน้ำหนักเสมือนเป็นอินพุทของ ADC และเอาท์พุทที่เป็นดิจิตอลบิท เสมือนเป็นตุ้มน้ำหนักมาตรฐานที่จะวางบนจานอีกข้างหนึ่งเมื่อตาชั่งยังไม่สมดุลย์ จะต้องมีการปรับตุ้มน้ำหนักมาตรฐานจนกว่าจะเกิดสมดุลย์ ในรูปที่ 2.2.8 คอมพาเรเตอร์จะเป็นตังตรวจสอบการสมดุลย์ดังกล่าว และSAR จะทำหน้าที่ปรับแต่งดิจิตอลบิท(ตุ้มน้ำหนักมาตรฐาน)

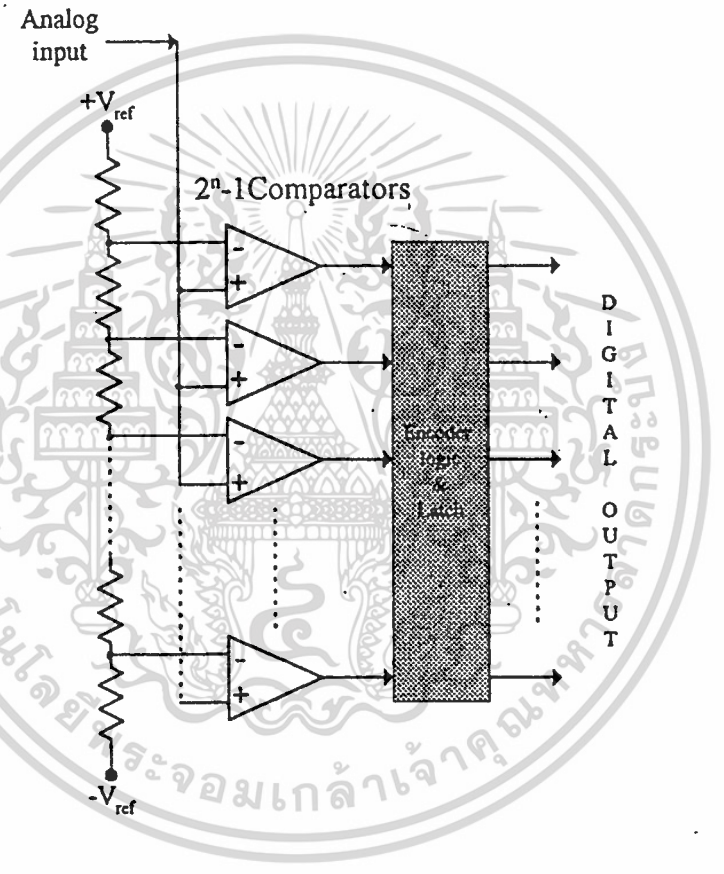
มีข้อจำกัดประการหนึ่งสำหรับการ conversion คือสัญญาณอนาลอกอินพุท จะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณโดยเปลี่ยนได้ไม่เกิน 1/2 LSB ในช่วงสุดท้ายของการเปลี่ยนสัญญาณดิจิตอลเอาท์พุทจะออกมาขนานกันทุกบิท แต่บางแบบจะให้เอาท์พุทออกมาในลักษณะอนุกรม วงจร ADC แบบนี้สามารถทำงานได้สองโหมด คือ โหมดที่ทำงานโดยอิสระ (Free run) และโหมดที่รอคำสั่ง start conversion จากภายนอก เวลาที่ใช้ในการเปลี่ยนสัญญาณใช้(n+1)ลูกของพัลซ์ clock โดย clock ลูกแรกจะใช้ในการรีเซ็ทรีจิสเตอร์ภายใน สุดท้ายคุณภาพของระบบจะขึ้นอยู่กับคุณภาพของ DAC ในระบบเป็นอย่างยิ่ง



รูปที่ 2.2.8 บล็อกไดอะแกรมของ Successive Approximation ADC

2.2.2.6 A/D แบบแฟลช (Flash A/D)

แฟลชคอนเวอร์ทเตอร์เป็น ADC ที่เร็วที่สุดในบรรดา ADC ที่ใช้เทคนิคแบบอื่นๆ ลักษณะวงจรของแฟลชคอนเวอร์ทเตอร์จะใช้ชุดของตัวเปรียบเทียบ (Comparator) ที่ต่อขนานกัน เพื่อจะทำการแปลงสัญญาณอนาลอกทางอินพุทให้เป็นรหัสดิจิตอล ดังนั้น แฟลชคอนเวอร์ทเตอร์จึงเป็นคอนเวอร์ทเตอร์แบบขนาน



รูปที่ 2.2.9 แฟลช A/D มีความเร็วในการเปลี่ยนแปลงสัญญาณสูง วงจรง่ายแต่รายละเอียดต่ำ

พิจารณาวงจรในรูปที่ 2.2.9 ตัวต้านทานที่ต่ออนุกรมกันจะอยู่ในรูปวงจรแบ่งแรงดันที่ตกคร่อมตัวเปรียบเทียบแต่ละตัว แรงดันอินพุทสูงสุดจะขึ้นอยู่กับค่าของ V_{cc} สัญญาณเอาท์พุทจากตัวเปรียบเทียบแต่ละตัวจะเป็น 1 หรือ 0 ซึ่งเป็นระดับสัญญาณลอจิกของวงจรดิจิตอล

เมื่อไม่มีแรงดันอินพุทเข้า เอาท์พุทของตัวเปรียบเทียบแต่ละตัวจะเป็นลอจิก 0 ต่อมาแรงดันอินพุทเพิ่มขึ้น เอาท์พุทของตัวเปรียบเทียบแต่ละตัวจะเป็นลอจิก 1 ไล่ตามลำดับขึ้นไป เมื่อแรงดันอินพุทมีมากกว่าแรงดันอ้างอิงแต่ละค่าที่ถูกเซ็ทโดยวงจรแบ่งแรงดัน เน็ทเวอร์คของ

ดิจิตอลเกทถูกใช้ในการเรียงลำดับของสัญญาณจากตัวเปรียบเทียบให้อยู่ในรูปรหัสเลขฐานสอง ซึ่งเป็นการสร้างรหัสที่เอาท์พุทของคอนเวอร์ทเตอร์

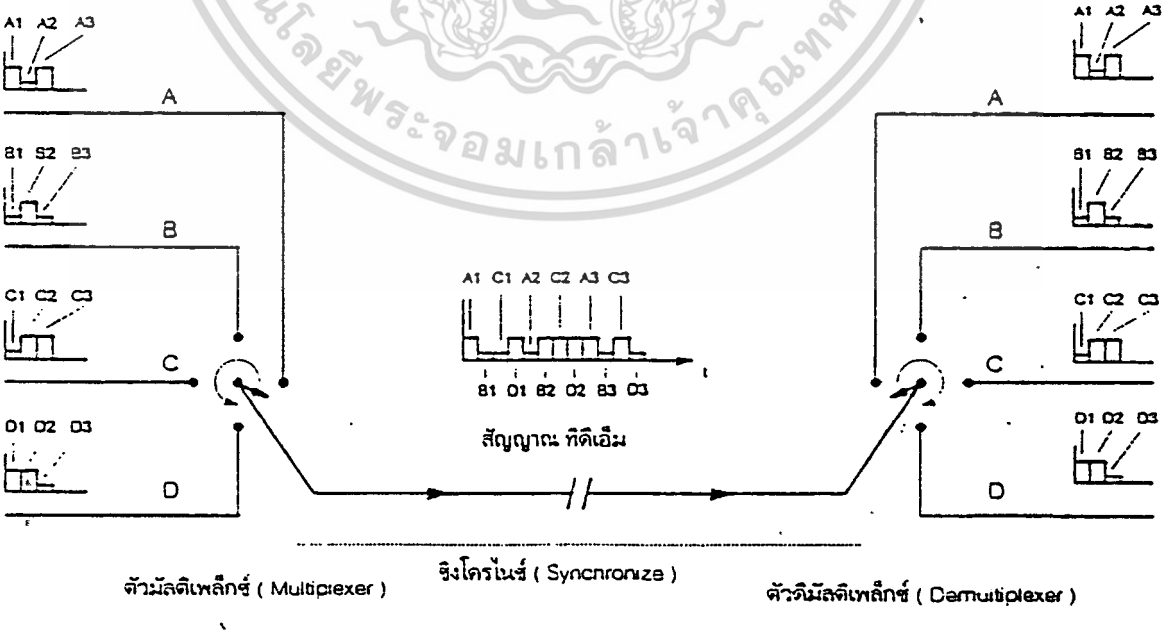
จากตัวอย่างในรูปที่ 2.2.9 เป็น ADC ขนาด 2 บิท ซึ่งไม่สามารถนำไปใช้งานจริงๆ ได้ เนื่องจากความละเอียดต่ำเกินไป จะพบว่าวงจรจะใช้ตัวเปรียบเทียบ 2-1 ตัว เป็นการแสดงถึงความละเอียดของคอนเวอร์ทเตอร์ จากตัวอย่างคอนเวอร์ทเตอร์ขนาด 2 บิท ต้องการ $2^2-1=3$ ตัวเปรียบเทียบคอนเวอร์ทเตอร์ขนาด 4 บิทต้องการตัวเปรียบเทียบ $2^4-1=15$ ตัว และคอนเวอร์ทเตอร์ขนาด 8 บิทต้องการตัวเปรียบเทียบถึง $2^8-1=255$ ตัว จะเห็นได้ว่าขนาดคอนเวอร์ทเตอร์ยิ่งมากขึ้นเท่าไร ตัวเปรียบเทียบที่ใช้ก็ยิ่งมากขึ้นเป็นทวีคูณ จึงทำให้เกิดความยุ่งยากซับซ้อนในการสร้างวงจรแฟลชคอนเวอร์ทเตอร์ขึ้นมาใช้ ซึ่งเป็นข้อเสียของวงจร ADC ชนิดนี้ ข้อเสียอีกประการคือ เมื่อใช้ตัวเปรียบเทียบมากขึ้น วงจรก็จะมีขนาดใหญ่เกินกว่าจะนำไปใช้งานจริงได้ แต่วงจรแฟลชคอนเวอร์ทเตอร์มีข้อดีด้านความเร็ว เพราะสัญญาณอนาลอกทางอันพุทถูกจ่ายให้กับตัวเปรียบเทียบแต่ละตัวพร้อมๆ กัน ช่วงเวลาในการเปลี่ยน (conversion time) นั้นจึงมีค่าเท่ากัน เวลาหน่วงในตัวเปรียบเทียบแต่ละตัวและวงจรเกทในวงจรเท่ากัน ซึ่งใช้เวลาน้อยมาก

บทที่ 3
การสื่อสารข้อมูลระบบมัลติเพล็กซ์แบบแบ่งเวลา

การแปลงสัญญาณอนาลอกให้อยู่ในรูปของดิจิตอลทำให้เราสามารถรวมสัญญาณจากหลายๆแหล่งเข้าด้วยกันได้โดยง่าย โดยวิธีการมัลติเพล็กซ์ข้อมูลดิจิตอลเข้าด้วยกันในกรอบของเวลา เรียกวิธีการมัลติเพล็กซ์แบบนี้ว่า การมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplexing : TDM) ซึ่งในบทนี้จะกล่าวถึงหลักการเบื้องต้น, วิธีการซิงโครไนซ์เฟรม , การซิงโครไนซ์บิท

3.1 หลักการเบื้องต้นในการสื่อสารข้อมูลระบบมัลติเพล็กซ์แบบแบ่งเวลา
(Introduction of TDM Communication System)

ระบบมัลติเพล็กซ์แบบแบ่งเวลาเป็นระบบสื่อสารดิจิตอลที่ใช้รับส่งสัญญาณจากหลายๆช่องสัญญาณให้เป็นสัญญาณดิจิตอลเดียวโดยใช้วิธีการแบ่งช่วงเวลาที่แน่นอนค่าหนึ่ง ให้แต่ละช่องสัญญาณเรียงลำดับกันไปดังรูป 3.1.1 ถ้าในแต่ละช่องสัญญาณประกอบด้วยข้อมูลเพียง 1 บิทจะเรียกว่าเป็นการมัลติเพล็กซ์ข้อมูลแบบ บิทอินเตอร์ลีฟ (Bit Interleaved) แต่ถ้าประกอบด้วยกลุ่มของบิทหรือเวอร์ดจะเรียกว่าการมัลติเพล็กซ์ข้อมูลแบบ เวอร์ดอินเตอร์ลีฟ (Word Interleaved)



รูปที่ 3.1.1 ภาพสมมูลแสดงตัวส่ง (Multiplexer) และตัวรับ (Demultiplexer)

การสื่อสารข้อมูลระบบมัลติเพล็กซ์แบบแบ่งเวลาสามารถแบ่งออกเป็น 2 แบบใหญ่ ๆ คือ

1. ซิงโครนัสทีดีเอ็ม (Synchromous TDM) เป็นระบบที่แหล่งกำเนิดข้อมูลและตัวมัลติเพล็กซ์ทำงานที่สัญญาณนาฬิกาเดียวกันทำให้การส่งและรับข้อมูลระหว่างแหล่งข้อมูลและตัวมัลติเพล็กซ์เป็นไปในจังหวะเดียวกันหรือกล่าวได้ว่าทุกครั้งที่ตัวมัลติเพล็กซ์เข้ามาอ่านข้อมูลแหล่งข้อมูลจะมีข้อมูลพร้อมที่จะส่งออกไปเสมอ

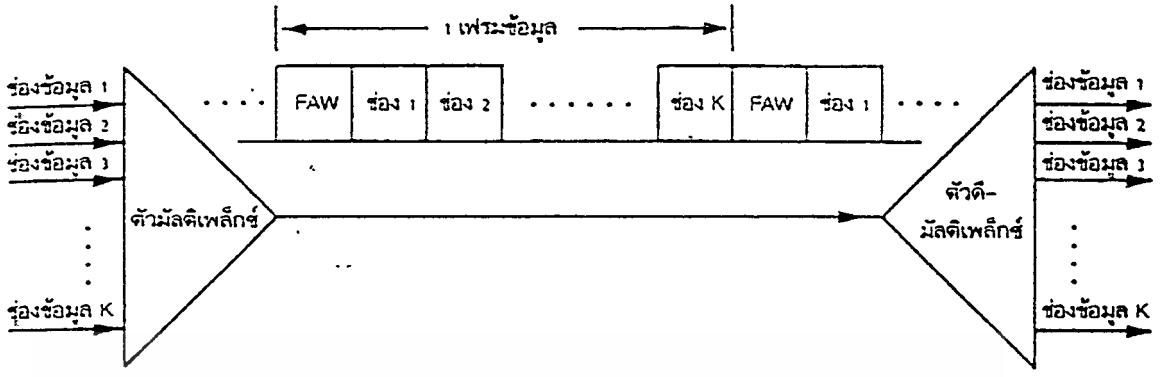
2. อซิงโครนัสทีดีเอ็ม (Asynchronous TDM) เป็นระบบที่แหล่งกำเนิดข้อมูลและตัวมัลติเพล็กซ์ทำงานที่สัญญาณนาฬิกาต่างกันทำให้การส่งและรับข้อมูลระหว่างแหล่งข้อมูลและตัวมัลติเพล็กซ์ไม่เป็นไปในจังหวะเดียวกันเช่น จังหวะที่ตัวมัลติเพล็กซ์เข้ามาอ่านข้อมูล แหล่งข้อมูลอาจไม่พร้อมที่จะให้ข้อมูล เป็นผลให้ข้อมูลนั้น ๆ มักจะไม่ค่อยมีความต่อเนื่องจึงทำให้การสื่อสารระบบนี้จะต้องมีกระบวนการจัสติฟีเคชั่น (Justification) หรือ พัลซ์สตัฟฟิ่ง (Pulse Stuffing) เพื่อทำการซิงโครไนซ์สัญญาณนาฬิกาของแหล่งข้อมูลเข้ากับสัญญาณนาฬิกาของตัวมัลติเพล็กซ์ การสื่อสารแบบนี้จึงมีความยุ่งยากซับซ้อนกว่าแบบซิงโครนัสทีดีเอ็ม แต่ก็เป็นระบบที่มีความยืดหยุ่นมากกว่าในการเชื่อมต่อแหล่งข้อมูลที่มีอัตราข้อมูลต่าง ๆ กัน

สำหรับงานวิ จัยนี้ใช้ระบบ ซิงโครนัสทีดีเอ็ม เนื่องจากง่ายต่อการออกแบบและมีความซับซ้อนน้อยกว่า

ในการสื่อสารระบบมัลติเพล็กซ์แบบแบ่งเวลา สิ่งที่สำคัญที่สุดคือการซิงโครนัสระหว่างตัวมัลติเพล็กซ์และตัวดีมัลติเพล็กซ์ วิธีการที่ใช้กันในทางปฏิบัติคือ การกำหนดช่องเวลาขึ้น 1 ช่อง (หรือ 2 ช่อง) ซึ่งบรรจุเวอร์ดที่มีลักษณะจำเพาะ ช่องเวลานี้กำหนดขึ้นเพื่อใช้เป็นช่องเวลาอ้างอิงเพื่อใช้ระบุตำแหน่งของช่องเวลาอื่น ดังนั้นถ้าตัวดีมัลติเพล็กซ์สามารถตรวจพบเวอร์ดนี้ได้ตัวดีมัลติเพล็กซ์ก็สามารถทราบตำแหน่งของช่องเวลาอื่น ๆ ทำให้สามารถแยกข้อมูลสนช่องเวลาต่าง ๆ ออกมาได้เรียกเวอร์ดที่บรรจุอยู่ในช่องเวลานี้ว่า เฟรมอไลเมนต์เวอร์ด (Frame Alignment Word : FAW) ดังรูป 3.1.2

สำหรับอัตราเร็วสามารถคำนวนได้คือ ถ้าให้ระบบมีช่องข้อมูลที่ต้องการส่ง K ช่องเฟรมอไลเมนต์เวอร์ด 1 ช่องเวลาดังนั้น 1 เฟรมข้อมูลจะประกอบด้วยช่องเวลา $K+1$ ช่องเวลาและกำหนดให้ข้อมูลในแต่ละช่องได้จากการสุ่มสัญญาณอนาลอกด้วยความถี่ f_s ความละเอียด m บิทต่อการสุ่ม 1 ครั้ง ดังนั้นอัตราเร็วบิทของสัญญาณมัลติเพล็กซ์ f_o เป็น

$$f_o = m f_s (K+1)$$



รูปที่ 3.1.2 โครงสร้างของเฟรมระบบมัลติเพล็กซ์แบบแบ่งเวลา

3.2 การซิงโครนัสเฟรมข้อมูล (Frame Synchronization)

เนื่องจากข้อมูลที่ส่งมาในช่องข้อมูลต่างนั้นมีลักษณะเป็น แรนดอม (Random) อาจมีรูปแบบข้อมูลเป็นลักษณะใด ๆ ก็ได้ ดงนั้นจึงเป็นไปได้ที่จะเกิดเวอร์ดข้อมูลที่มีลักษณะเหมือนกับ FAW ได้เราเรียกเวอร์ดข้อมูลที่มีลักษณะเหมือน FAW นี้ว่า เฟรมอไลเมนต์เวอร์ดเทียม ดังนั้นจึงจำเป็นต้องมีกระบวนการหรือขั้นตอนที่ใช้ในการตัดสินใจว่า FAW ที่ตรวจพบนั้นเป็น FAW ที่แท้จริงหรือไม่ และเมื่อใดที่จะถือว่าระบบอยู่ในสภาวะซิงโครไนซ์แล้ว กระบวนการที่ใช้ในการตัดสินใจและดำเนินการในสิ่งเหล่านี้เรียกว่า การอไลเมนต์เฟรม (Frame Alignment)

เทคนิคการอไลเมนต์มีหลายวิธีได้แก่ การอไลเมนต์เฟรมแบบอนุกรม (Serial Frame Alignment) และการอไลเมนต์เฟรมแบบขนาน (Parallel Frame Alignment) ซึ่งอไลเมนต์เฟรมได้รวดเร็วกว่าแบบอนุกรมแต่วิธีการอไลเมนต์เฟรมแบบอนุกรม เป็นวิธีการที่ง่ายที่สุดและใช้กันมากที่สุดและเป็นวิธีที่ใช้ในงานวิจัยนี้

การอไลเมนต์เฟรมจำเป็นต้องกำหนดสถานะต่าง ๆ ในการทำงานดังรูป 3.2.1 ซึ่งสามารถแบ่งโหมดการทำงานออกเป็น 2 โหมดใหญ่ ๆ คือ

1) โหมดซิงโครไนซ์ ประกอบขึ้นจาก 4 สถานะย่อยคือ

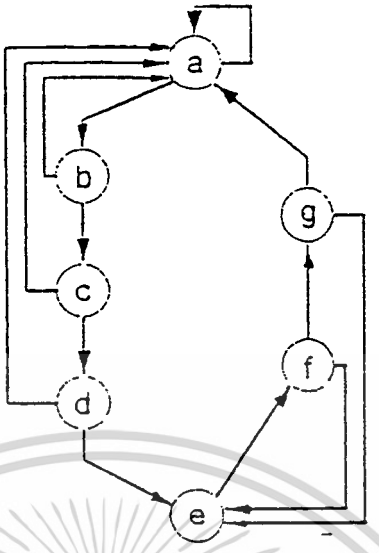
สถานะ a เป็นสถานะที่ระบบอยู่ในสภาพการอไลเมนต์สมบูรณ์

สถานะ b เป็นสถานะที่ระบบตรวจไม่พบ FAW ในเฟรมที่ n

สถานะ c เป็นสถานะที่ระบบตรวจไม่พบ FAW ในเฟรมที่ n+1

สถานะ d เป็นสถานะที่ระบบตรวจไม่พบ FAW ในเฟรมที่ n+2

038405



รูปที่ 3.2.1 ไดอะแกรมแสดงสถานะการอไลเมนต์

กล่าวโดยสรุปสำหรับในโหมดซิงโครนัสคือ เมื่อระบบอยู่ในสภาพซิงโครไนซ์แล้ว (สถานะ a) ถ้ามีการตรวจไม่พบ FAW ในจุดที่กำหนดไว้ 4 เฟรมติดต่อกัน ระบบจะเข้าสู่โหมดค้นหา (สถานะ e) แต่ถ้ามีการตรวจพบ FAW เพียงเฟรมใดเฟรมหนึ่ง ระบบก็จะเข้าสู่สถานะ a ใหม่การกำหนดให้มีสถานะ b,c,d ทำให้เสถียรภาพในการซิงโครไนซ์ของระบบมีความมั่นคงขึ้น ผลของความผิดพลาดของข้อมูลที่มีต่อสภาพการซิงโครไนซ์ลดลง และยังทำให้ระบบไม่หลุดจากสภาพการซิงโครไนซ์ง่าย ๆ

2) โหมดการค้นหา ประกอบขึ้นจาก 3 สถานะย่อย คือ

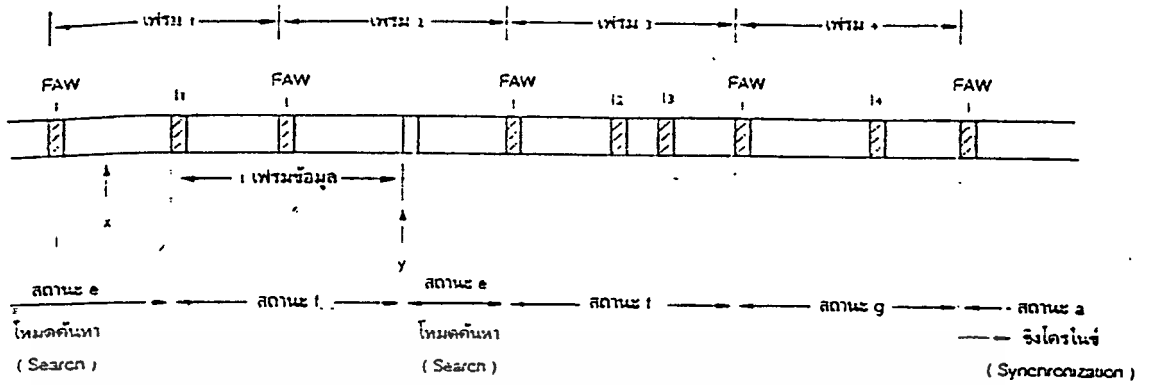
สถานะ e เป็นสถานะที่ระบบอยู่ในสภาพค้นหา FAW

สถานะ f เป็นสถานะที่ระบบตรวจพบ FAW ในเฟรมที่ 0

สถานะ g เป็นสถานะที่ระบบตรวจพบ FAW ในเฟรมที่ 1

กล่าวโดยสรุปสำหรับในโหมดค้นหาคือ เมื่อระบบอยู่ในสภาพการค้นหา (สถานะ e) ถ้ามีการพบ FAW ติดต่อกัน 3 เฟรม ระบบจะเข้าสู่โหมดการซิงโครไนซ์ เป็นการน่าเชื่อได้ว่า FAW ที่พบนั้นเป็น FAW ที่แท้จริง แต่ถ้ามีเฟรมใดเฟรมหนึ่งที่ตรวจไม่พบ FAW ระบบจะเข้าสู่สถานะ e เพื่อค้นหา FAW ใหม่ ซึ่งแสดงว่า FAW ตัวแรกที่พบนั้นไม่ใช่ FAW ที่แท้จริง

สามารถอธิบายการอไลเมนต์โดยอาศัยรูปที่ 3.2.1 และ 3.2.2 ประกอบดังนี้



รูปที่ 3.2.2 ตัวอย่างการซิงโครไนซ์เฟรม

จากรูปที่ 3.2.2 I1, I2, I3 และ I4 เป็น FAW เทียม จุด x เป็นจุดเริ่มต้นทำงานและกำหนดให้สภาวะเริ่มต้นของตัวมัลติเพล็กซ์อยู่ที่สถานะ e คือสถานะการไม่อไลเมนต์เฟรม (เช่นตอนเริ่มต้นเปิดเครื่อง) วิธีการอไลเมนต์เฟรมใช้หลักการที่ว่า FAW แท้จริงจะปรากฏที่ตำแหน่งเดิมของทุก ๆ เฟรมส่วน FAW เทียมนั้นจะไม่ปรากฏที่ตำแหน่งใด ๆ อย่างถาวรดังนั้นเมื่อตรวจพบ FAW ที่ตำแหน่งใด ๆ แล้ว ระบบจะต้องไปตรวจสอบอีกครั้งหนึ่งที่ตำแหน่งเดิมของเฟรมต่อไป

กระบวนการอไลเมนต์เฟรมจะเริ่มที่จุด x โดยการเริ่มตรวจสอบ F บิทแรกถ้าไม่ตรงกับ FAW ที่ตั้งค่าไว้ก็จะทำการตรวจสอบเวิร์ดต่อไปโดยการเลื่อนไป 1 บิทจากเวิร์ดหลังสุดที่ทดสอบ และกระบวนการจะเป็นเช่นนี้ไปเรื่อย ๆ จนกว่าจะพบเวิร์ดที่เหมือน FAW

จากจุด x เป็นต้นไป เวิร์ดแรกที่เหมือน FAW คือ I1 ซึ่งเป็น FAW เทียม เมื่อระบบพบ I1 ระบบจะเปลี่ยนจากสถานะจากสถานะ e เป็นสถานะ f (ดูรูป 3.2.1 ประกอบ) จากนั้นจะกระโดดไปตรวจสอบ FAW อีกครั้งที่จุด y เพื่อตรวจสอบว่า I1 ที่พบนั้นเป็น FAW จริงหรือไม่ และระหว่างช่วงจุด x และ y จะไม่มีการตรวจสอบใด ๆ ทั้งสิ้น เมื่อตรวจสอบแล้วปรากฏว่าไม่พบ FAW จึงสรุปว่า I1 ที่พบนั้นเป็นไม่ใช่ FAW ที่แท้จริงระบบก็จะเปลี่ยนสถานะจาก f กลับมาที่ e ใหม่เพื่อเริ่มต้นค้นหา FAW ใหม่

จากจุด y FAW ที่พบตัวต่อไปคือ FAW ของเฟรมที่ 3 ซึ่งเป็น FAW ที่แท้จริง ระบบจะเปลี่ยนสถานะจาก e เป็น f ใหม่ เช่นเดียวกันระบบจะกระโดดไปตรวจสอบอีกครั้งในเฟรมต่อไปซึ่งจะพบ FAW ของเฟรม 4 และ 5 ทำให้สถานะของระบบเปลี่ยนจาก f เป็น g และเข้าสู่สภาพซิงโครไนซ์ในสถานะ a ตามลำดับจะเห็นว่าเพียงเริ่มต้นพบ FAW ที่แท้จริงเท่านั้นระบบจะเข้าสู่สถานะซิงโครไนซ์ในที่สุด ข้อสังเกตุคือเพียงเมื่อระบบค้นพบ FAW ที่แท้จริงเท่านั้น FAW เทียมที่เกิดขึ้นภายในเฟรม (I2, I3, I4) จะไม่มีผลต่อระบบ

ส่วนในการเลือกใช้ FAW ในที่นี้โดยจะนำค่า FAW 10001011 ซึ่งเป็นค่าที่ถูกเลียนแบบได้ยาก ทำให้มีโอกาสพบ FAW เทียมได้น้อย การซิงโครไนซ์เฟรมก็จะเร็วขึ้นเป็นผลให้สมรรถนะของระบบซิงโครไนซ์เฟรมดีขึ้น

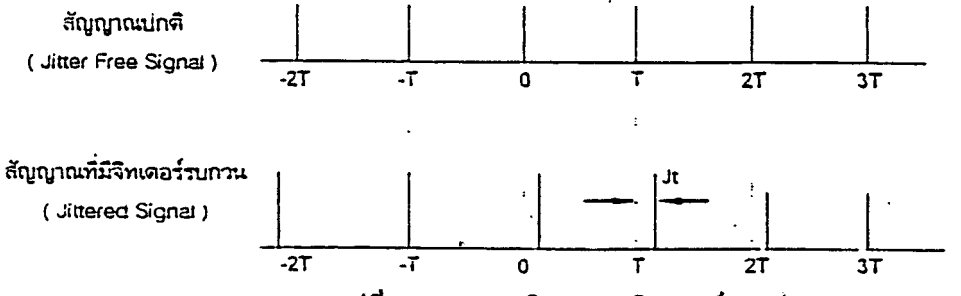
3.3 การซิงโครไนซ์บิท (Bit Synchronization)

จากบทที่ผ่าน ๆ มาได้ทราบแล้วว่า ส่วนที่สำคัญที่สุดของระบบสื่อสารแบบทีดีเอ็มคือการซิงโครไนซ์เฟรมข้อมูล ซึ่งทำการอไลเมนต์เฟรมโดยวิธีการตรวจสอบเฟรมอไลเมนต์เวอร์ด เมื่อพิจรณาให้ลึกลงไปอีกจะพบว่าภายในเวิร์ดที่ทำการตรวจสอบนั้น ประกอบขึ้นจากกลุ่มของบิทข้อมูลต่าง ๆ จึงเห็นได้ว่าถ้าระบบรับไม่สามารถอ่านบิทข้อมูลต่าง ๆ ได้อย่างถูกต้อง แล้วกระบวนการอไลเมนต์เฟรมข้อมูลก็จะไม่สามารถดำเนินต่อไปได้อย่างถูกต้อง ดังนั้นจึงอาจกล่าวได้ว่าส่วนที่สำคัญที่สุดของการสื่อสารข้อมูลดิจิตอลระบบมัลติเพล็กซ์แบบแบ่งเวลาคือการซิงโครไนซ์บิท

การที่ระบบสื่อสารจะสามารถอ่านข้อมูลต่าง ๆ ได้อย่างถูกต้องนั้น จำเป็นอย่างยิ่งที่ระบบรับจะต้องทราบว่าบิทข้อมูลนั้นเริ่มต้นและจบลงที่ใด หรือกล่าวให้ง่ายคือ ระบบจะต้องสามารถสร้างสัญญาณนาฬิกาที่ซิงโครไนซ์บิทกับขบวนข้อมูลที่รับได้นั้น การเข้ารหัสสัญญาณดิจิตอล (Digital Signal) เป็นอีกวิธีหนึ่งที่ช่วยปรับปรุงสมรรถนะในการแยกสัญญาณนาฬิกาของเครื่องรับโดยการแปลงขบวนบิทข้อมูลให้เป็นสัญญาณรูปแบบใหม่ที่มีข้อมูลเชิงเวลา (Timing Information) ของเครื่องส่งปนอยู่ด้วย ทั้งนี้ขึ้นอยู่กับการใช้รหัสที่เหมาะสม

3.3.1 จิทเตอร์ (Jitter)

ในระบบการส่งสัญญาณดิจิตอลเชิงอุดมคตินั้นพัลซ์ต่าง ๆ ของขบวนสัญญาณดิจิตอลที่มาถึงเครื่องรับจะเกิดขึ้นที่ตำแหน่งเวลาที่เป็นจำนวนเต็มเท่าของคาบสัญญาณนาฬิกา , T ที่ใช้ แต่อย่างไรก็ดีสำหรับในระบบจริงนั้น พัลซ์เหล่านี้มาถึงเครื่องรับในตำแหน่งเวลาที่ต่างไปจากจำนวนเต็มเท่าของ T เรียกปรากฏการณ์ที่พัลซ์ถูกเบี่ยงเบนไปจากตำแหน่งปกตินี้ว่า จิทเตอร์ ดังรูป 3.3.1



รูปที่ 3.3.1 แสดงนิยามของจิทเตอร์

จิทเตอร์มีการจำแนกออกเป็นหลายชนิดซึ่งมักจำแนกตามสาเหตุที่เกิด จิทเตอร์แต่ละแบบล้วนก่อให้เกิดการเบี่ยงเบนทางเฟสของสัญญาณ ซึ่งเป็นสาเหตุให้เกิดการผิดพลาดบิท (Bit Error Rate : BER) ขึ้นจำแนกได้ดังนี้

จำแนกโดยเทียบกับเวลาอ้างอิง (Time Reference)

(a) ไทมมิ่งจิทเตอร์ (Timing Jitter)

(b) อไลเมนต์จิทเตอร์(Alignment Jitter)

จำแนกโดยแหล่งกำเนิดจิทเตอร์

(a) แรมดอมจิทเตอร์ (Random Jitter) เป็นจิทเตอร์ที่ขึ้นอยู่กับสัญญาณรบกวน

(b) ซิสเต็มเมติกจิทเตอร์ (Systematic Jitter) เป็นจิทเตอร์ที่ขึ้นอยู่กับแพทเทิร์นของข้อมูล

(i) แบบ A

จิทเตอร์ที่มีสาเหตุจากค่า Q ของวงจรจูนมีค่าไม่สูงพอ

จิทเตอร์ที่มีสาเหตุจากพัลซ์กระตุ้นไม่แคบพอ

จิทเตอร์ที่มีสาเหตุจากการจูนความถี่คลาดเคลื่อน

(ii) แบบ B

จิทเตอร์ที่มีสาเหตุจากความผิดเพี้ยนของรูปคลื่น

จิทเตอร์ที่มีสาเหตุจากแอมปลิจูดของสัญญาณ

แหล่งกำเนิดจิทเตอร์เบื้องต้นที่เห็นได้ชัด ๆ คือ ตัวทวนสัญญาณใหม่ (Regenerator) เนื่องจากการส่งข้อมูลดิจิตอลที่ระยะทางไกลมาก ๆ นั้น จำเป็นต้องใช้ตัวทวนสัญญาณใหม่เป็นระยะ ๆ เพื่อทำให้ข้อมูลที่ไปถึงปลายทางมีความสมบูรณ์ที่สุด ในส่วนของตัวทวนสัญญาณใหม่ภายในจะประกอบด้วยตัวแยกสัญญาณเวลา (Timing Extraction) ซึ่งในทางปฏิบัติส่วนนี้ยังไม่มีความสมบูรณ์ทำให้สัญญาณเวลาที่แยกได้มีจิทเตอร์ที่เรียกว่า ซิสเต็มเมติกจิทเตอร์ ปนอยู่ด้วย เป็นผลให้สัญญาณข้อมูลที่กำเนิดขึ้นใหม่มีจิทเตอร์ประเภทนี้ปนอยู่ด้วยเช่นกัน และที่สำคัญคือถ้าตลอดการสื่อสารใช้ตัวทวนสัญญาณใหม่หลายตัวแล้ว จิทเตอร์เหล่านี้จะมีค่าสะสมเพิ่มขึ้นเรื่อย ๆ ตามจำนวนของตัวทวนสัญญาณที่ใช้ จะเห็นว่าถ้าไม่มีการควบคุมจิทเตอร์ประเภทนี้แล้ว สัญญาณเมื่อไปถึงปลายทางก็อาจจะผิดเพี้ยนไปมากจนไม่อาจจะใช้ประโยชน์จากข้อมูลข่าวสารเหล่านั้นได้

สำหรับในงานวิจัยนี้จะได้กล่าวถึงเฉพาะ ซิสเต็มเมติกจิทเตอร์ เท่านั้นเนื่องจากมีความเกี่ยวข้องอยู่มากกับการออกแบบวงจรแยกสัญญาณนาฬิกา (Clock Recovery)

สำหรับ ซิสเต็มเมติกจิทเตอร์ นั้นสาเหตุใหญ่เกิดจากแพทเทิร์นของขบวนสัญญาณดิจิตอล เนื่องจากข้อมูลที่มาจากขบวนสัญญาณดิจิตอลนั้นมีการเปลี่ยนแปลงตลอด ดังนั้นช่วงห่างทางเวลาของสัญญาณกระตุ้นวงจรจูนความถี่ในกระบวนการแยกสัญญาณนาฬิกาจึงมีการเปลี่ยนแปลงด้วย ผลจากการเปลี่ยนแปลงนี้ทำให้ทั้งขนาดและความถี่ของสัญญาณที่ได้จากวงจรจูนเปลี่ยนแปลง ซึ่งการเปลี่ยนแปลงองค์ประกอบทั้งสองนี้ทำให้เฟสของสัญญาณนาฬิกาที่แยกได้ถูกเบี่ยงเบนไปด้วย เนื่องจากการที่จะเข้าใจเรื่องนี้ได้ชัดเจนนั้นจำเป็นต่องทราบถึงขั้นตอนกระบวนการในการแยกสัญญาณนาฬิกาดังนั้นสำหรับเรื่องนี้จะกล่าวถึงอีกครั้งในหัวข้อการแยกสัญญาณนาฬิกา

3.3.2 การเข้ารหัสสัญญาณดิจิตอล (Digital Signaling or Encoder)

ตัวอย่างนิยามลักษณะของรหัสแบบต่าง ๆ ที่รู้จักกันดีดังแสดงในรูปที่ 3.3.3

รหัส เอ็นอาร์แซด-แอล (NRZ-L : Nonreturn to zero-level)

1 = ระดับแรงดันสูง

0 = ระดับแรงดันต่ำ

รหัส เอ็นอาร์แซด-เอ็ม (NRZ-M : Nonreturn to zero-mark)

1 = มีการเปลี่ยนแปลงสถานะที่จุดเริ่มต้นของช่วงบิทเสมอ

0 = ไม่มีการเปลี่ยนสถานะ

รหัส เอ็นอาร์แซด-เอส (NRZ-S : Nonreturn to zero space)

1 = ไม่มีการเปลี่ยนสถานะ

0 = มีการเปลี่ยนแปลงสถานะที่จุดเริ่มต้นของช่วงบิทเสมอ

รหัส อาร์แซด (RZ : Return to zero)

1 = มีพัลซ์กว้างครึ่งคาบบิทที่ตำแหน่งครึ่งแรกของช่วงบิทเสมอ

0 = ไม่มีพัลซ์

รหัส ไบเฟส-แอล (Biphase-L : Biphase-Level) หรือแมนเชสเตอร์ (Manchester)

1 = มีการเปลี่ยนสถานะจากระดับสูงมาระดับต่ำที่ตำแหน่งช่วงกลางบิทเสมอ

0 = มีการเปลี่ยนสถานะจากระดับต่ำมาระดับสูงที่ตำแหน่งช่วงกลางบิทเสมอ

รหัส ไบเฟส-เอ็ม (Biphase-M : Biphase-mark)

มีการเปลี่ยนสถานะที่จุดเริ่มต้นของช่วงบิทเสมอ

1 = ไม่มีการเปลี่ยนสถานะที่ตำแหน่งกลางช่วงบิท

0 = มีการเปลี่ยนสถานะที่ตำแหน่งกลางช่วงบิทเสมอ

รหัส ไบเฟส-เอส (Biphase-S : Biphase-space)

มีการเปลี่ยนสถานะที่จุดเริ่มต้นของช่วงบิทเสมอ

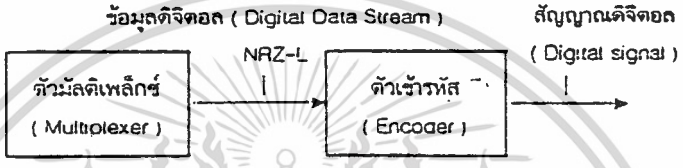
1 = มีการเปลี่ยนสถานะที่ตำแหน่งกลางช่วงบิทเสมอ

0 = ไม่มีการเปลี่ยนสถานะที่ตำแหน่งกลางช่วงบิท

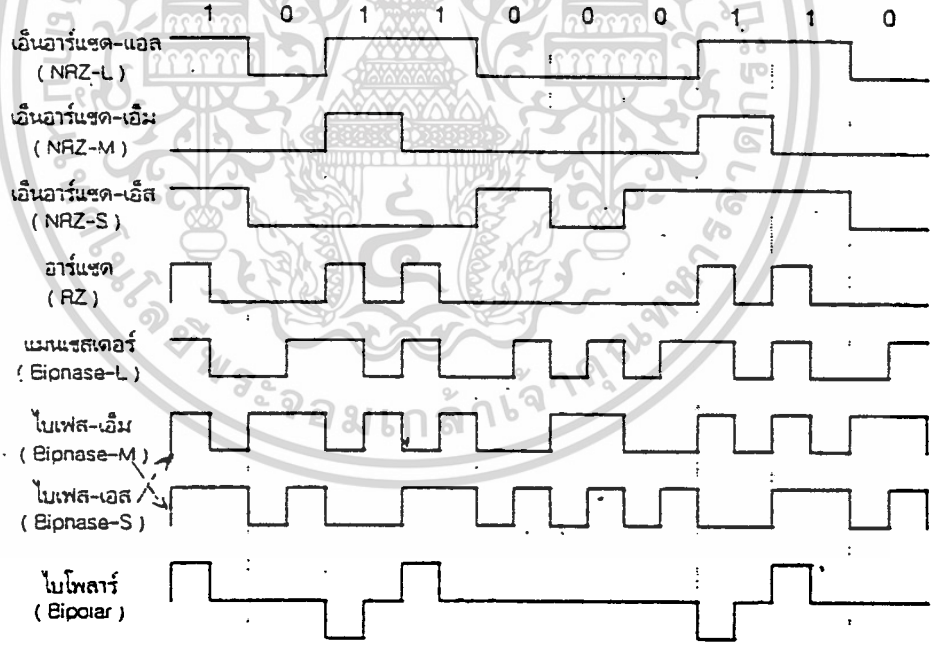
รหัสไบโพลาร์ (Bipolar)

1 = มีพัลซ์กว้างครึ่งคาบบิทที่ตำแหน่งครึ่งแรกของช่วงบิทและสลับขั้วในพัลซ์ต่อ ๆ ไป

0 = ไม่มีพัลซ์



รูปที่ 3.3.2 การเข้ารหัสข้อมูลดิจิตอลเป็นสัญญาณดิจิตอล



รูปที่ 3.3.3 แสดงลักษณะของสัญญาณดิจิตอลแบบต่าง ๆ

การเข้ารหัสสัญญาณที่ต่างกันย่อมให้สมรรถนะและความเหมาะสมกับตัวกลางที่ต่างกันและข้อมูลมีข้อเสียที่ต่างกัน การที่จะตัดสินใจเลือกใช้รหัสแบบใดนั้นมีสิ่งควรพิจรณาดังนี้

1) แถบความถี่ของรหัสสัญญาณ

2) ความสามารถในการซิงโครไนซ์

3) ความต้านทานต่อสัญญาณรบกวนและสัญญาณแทรกสอด

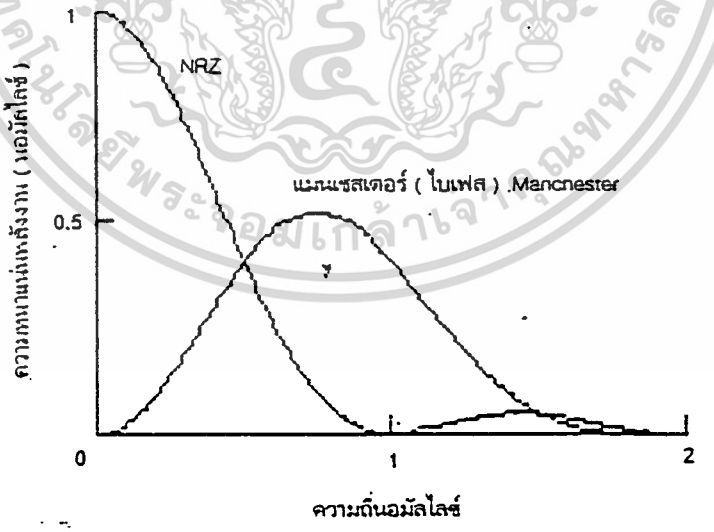
4) ความซับซ้อนและราคา

สำหรับในงานวิจัยนี้จะใช้การเข้ารหัสแบบ NRZ-L โดยมีสาเหตุดังนี้

1) เป็นรหัสที่มีความซับซ้อนน้อยและง่ายที่สุด ซึ่งเป็นรหัสพื้นฐานที่ใช้ในอุปกรณ์ทั่วไป เป็นผลทำให้ง่ายต่อการออกแบบและมีราคาถูก

2) เมื่อพิจรณาในเรื่องของการใช้แถบความถี่แล้ว จากรูป 3.3.4 ซึ่งแสดงการกระจายของพลังงานในแถบความถี่ของรหัส จะเห็นว่ารหัส NRZ เป็นรหัสที่มีประสิทธิภาพที่สุดในการใช้แถบความถี่ของตัวกลางโดยพลังเกือบทั้งหมดของสัญญาณจะตกอยู่ในช่วงดีซี ถึงประมาณครึ่งหนึ่งของอัตราบิท ดังนั้นจะเห็นได้ว่ารหัสแบบนี้จะใช้แถบความถี่ของตัวกลางอย่างน้อยที่สุดเพียงครึ่งเดียวของอัตราการส่งข้อมูล

3) เมื่อพิจรณาความสามารถในการซิงโครไนซ์ จะเห็นว่ารหัสแบบนี้ไม่มีองค์ประกอบความถี่ที่เป็นอัตราส่งข้อมูลในแถบความถี่หรือกล่าวได้ว่าเป็นรหัสที่ไม่มีคุณสมบัติเซลฟ์-ซิงโครไนซ์ (Self-Synchronization) แต่อย่างไรก็ดีการแยกสัญญาณนาฬิกาก็ยังสามารถใช้เทคนิควิธีอื่นได้อีก



รูปที่ 3.3.4 เส้นโค้งแสดงความหนาแน่นพลังงานในแถบความถี่ของรหัส เอ็นอาร์แซด และ แมนเชสเตอร์

3.3.3 การแยกสัญญาณนาฬิกา (Clock Extraction)

การส่งสัญญาณนาฬิกาสามารถแบ่งเป็นแบบใหญ่ๆ ได้ 2 แบบคือ

- เอ็กเทอร์นอลไทม์มิ่ง(External Timing)

  การส่งแบบซูเปอร์โพส (Superposed Transmission)

  การส่งแบบแยกเฉพาะ (Separate Transmission)

- เซลฟ์ไทมมิ่ง (Self Timing)

  การแยกสัญญาณนาฬิกาแบบเชิงเส้น (Linear Extraction)

  การแยกสัญญาณนาฬิกาแบบไม่เป็นเชิงเส้น (Nonlinear Extraction)

การส่งสัญญาณนาฬิกาแบบเอ็กเทอร์นอลไทมมิ่งเป็นการส่งสัญญาณนาฬิกาแยกผ่านสายส่งต่างหากไม่เหมาะสำหรับการส่งระยะทางไกล ๆ เนื่องจากค่าใช้จ่ายสูงและมีปัญหาเรื่องเวลาหน่วงของสัญญาณนาฬิกาจึงเป็นวิธีที่เหมาะอย่างมากสำหรับการส่งในระยะใกล้ ๆ

ส่วนแบบที่ 2 คือ เซลฟ์ไทมมิ่ง เป็นแบบที่รวมข้อมูลเชิงเวลาเข้าไว้กับสัญญาณข้อมูลโดยวิธีการเข้ารหัสสัญญาณดิจิตอลดังที่ได้กล่าวมาแล้วสัญญาณนาฬิกาจะถูกแยกออกมาทางเครื่องรับ ซึ่งมี 2 วิธีการใหญ่ ๆ คือ

1) การแยกสัญญาณนาฬิกาแบบเชิงเส้น

เป็นวิธีการแยกสัญญาณนาฬิกาที่ใช้กับสัญญาณดิจิตอลที่มีแถบความถี่ครอบคลุมความถี่ที่เป็นอัตราส่งข้อมูลซึ่งสัญญาณนี้จะผ่านการเข้ารหัสสัญญาณดิจิตอลมาแล้วเช่น รหัสแมนเชสเตอร์ เป็นต้นซึ่งได้กล่าวมาแล้ว

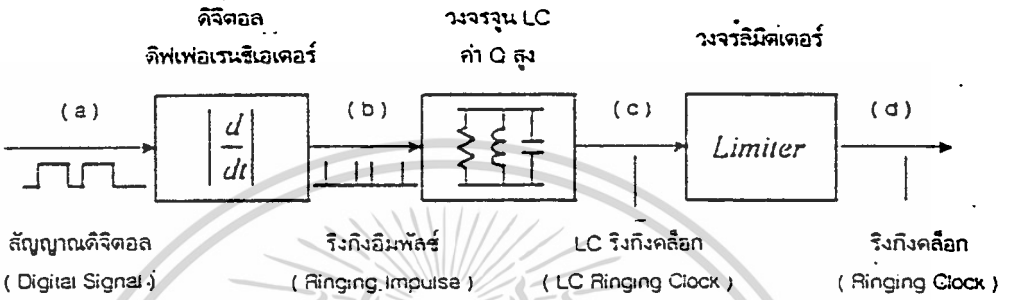
2) การแยกสัญญาณนาฬิกาแบบไม่เป็นเชิงเส้น

เป็นวิธีการแยกสัญญาณนาฬิกาที่ใช้กับสัญญาณดิจิตอลที่แถบความถี่ไม่ปรากฏความถี่ที่เป็นอัตราส่งข้อมูลอยู่กระบวนการที่ใช้คือการนำสัญญาณดิจิตอลที่รับได้แยกไปทำกระบวนการที่ประกอบด้วยขั้นตอนตามลำดับดังนี้ การดิฟเฟอเรนชิเอท การเรียงคลื่นแบบเต็มคลื่น การคลิปป์สัญญาณ จากนั้นทำการยกกำลังสองสัญญาณแถบความถี่ของสัญญาณใหม่ที่ได้จะประกอบด้วยความถี่ที่เป็นอัตราส่งข้อมูลอยู่ด้วยสุดท้ายจะนำสัญญาณใหม่นี้ไปผ่านวงจรกรองความถี่ที่มีแถบความถี่แคบเพื่อแยกสัญญาณนาฬิกาที่ต้องการออกมา

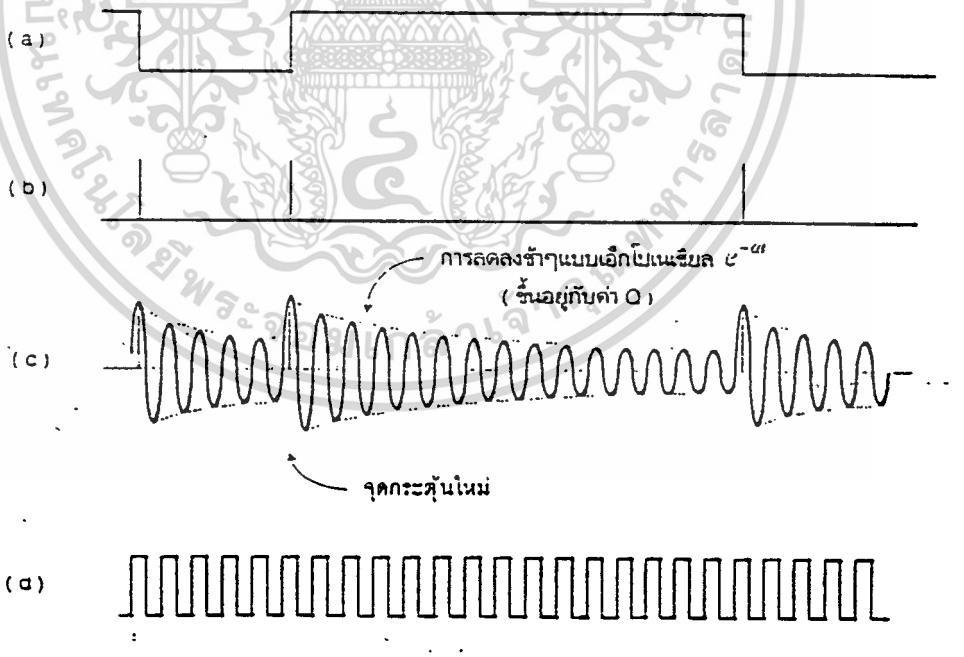
การแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC

(Clock Extraction by LC tune circuit or LC ringing circuit)

ไดอะแกรมของระบบการแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC แสดงดังรูป 3.3.5 และสัญญาณตามจุดต่าง ๆ แสดงในรูป 3.3.6



รูปที่ 3.3.5 ไดอะแกรมของระบบการแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC



รูปที่ 3.3.6 แสดงสัญญาณจุดต่าง ๆ ในระบบแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC

จากรูป 3.3.5 สามารถอธิบายกระบวนการได้ดังนี้ ขบวนสัญญาณดิจิตอลที่รับได้ดังรูป 3.3.5(a) จะผ่านเข้าสู่ส่วนดิจิตอลดิฟเฟอเรนชิเอเตอร์ (Digital Differentiator) เพื่อสร้างสัญญาณริงกิงอิมพัลซ์ (Ringing Impulse) ขึ้นตรงตำแหน่งที่มีการเปลี่ยนสถานะของสัญญาณดิจิตอล (ซึ่งเป็นตำแหน่งที่สอดคล้องกับการเปลี่ยนสถานะของสัญญาณนาฬิกาเดิมของระบบ) ดังรูปที่ 3.3.5 (b) จากนั้นจะนำสัญญาณริงกิงอิมพัลซ์ไปกระตุ้นวงจรจูน LC ซึ่งจูนความถี่เรโซแน่นซ์ ขณะเดียวกันเมื่อเวลาผ่านไปแอมปลิจูดของสัญญาณจะลดลงไปเรื่อย ๆ แบบเอ็กโปแนนเชียลดังรูป 3.3.5 (c) จนกว่าจะถูกกระตุ้นด้วยอิมพัลซ์ใหม่เรียกสัญญาณในจุดนี้ว่า LC ริงกิงคล็อก (LC ringing clock) จากนั้นจะนำสัญญาณที่ได้เข้าสู่วงจรลิมิตเตอร์เพื่อปรับแอมปลิจูดให้เสมอกันและเปลี่ยนให้เป็นสัญญาณสี่เหลี่ยมดังรูป 3.3.5 (d) เรียกสัญญาณนี้ว่าริงกิงคล็อก (Ringing clock) ซึ่งจะใช้เป็นสัญญาณนาฬิกาของระบบต่อไป

ปัญหาในระบบการแยกสัญญาณนาฬิกาที่ใช้วงจรจูน LC

ปัญหาที่เกิดขึ้นสำหรับการใช้วงจรจูน LC คือ ซิสเต็มเมติกซ์จิทเตอร์ซึ่งมีสาเหตุใหญ่ ๆ 3 ประการคือ

1) ความไม่สมบูรณ์ของวงจรจูน LC จากรูป 3.3.5 (c) เมื่อวงจรจูนถูกกระตุ้นด้วยอิมพัลซ์วงจรจะออสซิเลตที่ความถี่ที่อัตราส่งข้อมูล f_o เมื่อเวลาผ่านไปหลังจากถูกกระตุ้นแล้วความถี่เดิม f_o จะเลื่อนออกไปเป็น f_T พร้อมกับแอมปลิจูดลดลงแบบเอ็กโปแนนเชียลซึ่งเป็นธรรมชาติของวงจรจูน LC ในทางปฏิบัติความถี่ของวงจรจูนจะกลับมาเป็น f_o อีกครั้งเมื่อวงจรถูกกระตุ้นด้วยอิมพัลซ์ตัวใหม่ผลของการเลื่อนออกไปของความถี่จาก f_o เป็น f_T ทำให้เกิดการเลื่อนออกไปของเฟสของสัญญาณนาฬิกาที่แยกออกมาได้ยิ่งถ้าอิมพัลซ์ทิ้งช่วงห่างกันมากยิ่งขึ้นการเลื่อนออกไปของความถี่ก็จะมากยิ่งขึ้น เฟสก็จะเลื่อนมากขึ้นตามไปด้วย ผลจากการทิ้งช่วงห่างของอิมพัลซ์แดงให้เห็นว่าแพทเทิร์นข้อมูลมีส่วนอย่างมากต่อการเกิดจิทเตอร์ประเภทนี้เรียกจิทเตอร์ที่เกิดจากสาเหตุนี้ว่าแพทเทิร์นอินดิวซ์จิทเตอร์ (Pattern-induced Jitter) การเปลี่ยนแปลงของแอมปลิจูดสัญญาณจากเล็กมาใหญ่ทันทีที่ถูกกระตุ้นด้วยอิมพัลซ์ก็ทำให้เกิดการเลื่อนของเฟสเช่นเดียวกัน (จิทเตอร์แบบ B)

2) การอิควอไลซ์รูปทรงของสัญญาณ สัญญาณที่ถูกอิควอไลซ์อย่างไม่เหมาะสมและสัญญาณรบกวน ทำให้รูปคลื่นสัญญาณเกิดการผิดเพี้ยนเลยเข้าไปในช่องเวลาข้างเคียงก่อให้เกิดการรบกวนที่เรียกว่า ISI (Intersymbol Interference) เป็นผลให้เกิดจิทเตอร์ (แบบ B) เช่นกัน

3) รูปแบบของพัลซ์แพทเทิร์นซึ่งเกี่ยวพันกับสาเหตุที่ 1 แพทเทิร์าบางรูปแบบมีความหนาแน่นของการเปลี่ยนแปลงสถานะของพัลซ์มากทำให้เกิดอิมพัลซ์มากการเลื่อนออกไปของความถี่วงจรจูนจึงน้อย แต่แพทเทิร์นบางแบบมีความหนาแน่นของการเปลี่ยนสถานะของพัลซ์น้อยจึงทำให้การเลื่อนออกไปของความถี่มีมาก ซึ่งการเปลี่ยนแปลงที่กล่าวมานี้ย่อมมีผลต่อปริมาณจิทเตอร์ด้วนเช่นกัน

แนวทางการแก้ปัญหาจะกล่าวตามสาเหตุที่ได้แจกแจงมาแล้ว (ยกเว้นสาเหตุที่ 2) ดังนี้

1) ปัญหาจากความไม่สมบูรณ์ของวงจรจูนและการแก้ไข

พิจรณาความสัมพันธ์ระหว่างปริมาณจิทเตอร์และความถี่ที่เลื่อนออกไปคือ

$$J_A \alpha \sqrt{Q} * (\Delta f/f_o) \qquad (3.2)$$

โดย J_A = ขนาดของจิทเตอร์

Q = ตัวประกอบคุณภาพ Q (Quality Factor) ของวงจรจูน

$\Delta f = | f_o - f_T |$

f_o = ความถี่กลางที่ไม่มีจิทเตอร์

จากสมการ (3.2) การเพิ่มค่า Q ของวงจรจูนให้มีค่าสูงที่สุดที่จะทำให้ Δf มีค่าเล็กที่สุด ได้นอกจากนี้การเพิ่มค่า Q ยังทำให้การลดลงแบบเอ็กโปเนนเชียลของแอมปลิจูดสัญญาณช้าลง ด้วยซึ่งเทคนิควิธีนี้เป็ นวิธีที่ใช้ในปัจจุบันแนวทางในการที่จะเพิ่มค่า Q นั้นสามารถทำได้โดยพิจรณาสมมูลวงจรจูน LC ดังรูป 3.11 ซึ่งมีฟังก์ชันถ่ายโอน (Transfer Function) ในกรอบของลาปลาซเป็น

$$H(s) = (1/C) * (s/(s2 + 2 \alpha s + \omega_o^2)) \qquad (3.3)$$

เมื่อแปลงลาปลาซผกผันจะได้แรงดันเอาท์พุทเชิงเวลาเป็น

$$V(t) = u(t) * (1/c) * e^{-\alpha t} \cos (\omega t + \phi) \qquad (3.4)$$

$$\phi = \sin^{-1} (\alpha/\omega_o) \qquad (3.5a)$$

$$\omega_d = \sqrt{ (\omega_o^2 + \alpha^2) }, \omega_o > \alpha \qquad (3.5b)$$

$$\omega_d = \alpha \sqrt{ (4Q^2 - 1) }, Q > 1/2 \qquad (3.5c)$$

$$Q = \omega_d/2 \qquad (3.5d)$$

$$\omega_o = 1/\sqrt{(LC)} \qquad (3.5e)$$

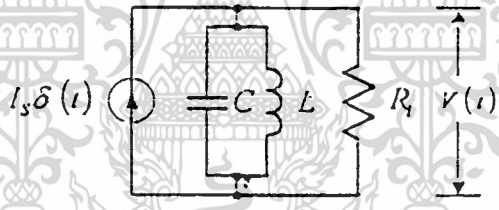
$$\alpha = 1/2R_iC \qquad (3.5f)$$

โดย ω_d = ความถี่เรโซแนนซ์ของวงจรจูนซึ่งปรับไว้ที่อัตราส่งข้อมูล

Q = ตัวประกอบคุณภาพของวงจรจูน LC

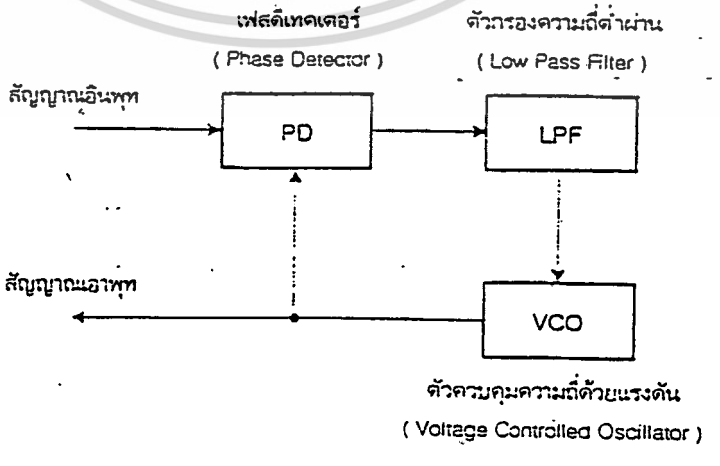
R_i = อิมพีแดนซ์โหลด

ดังนั้นเมื่อพิจรณาจากสมการ (3.5d) และ (3.5f) แล้วการที่จะทำให้ค่า Q ของวงจรจูนมีค่ามากที่สุดคือ การพยายามทำให้ α มีค่าเล็กที่สุดซึ่งก็คือการเลือกให้ C มีค่ามากที่สุดที่จะเป็นได้และพยายามทำให้ R_i มีค่ามากที่สุดซึ่งสำหรับ R_i อาจเลือกใช้บัฟเฟอร์ที่อินพุทเป็นชิ้นส่วนจำพวกเฟ็ต เป็นต้น การเลือกใช้ค่า C มาก ๆ นอกจากจุทำให้ค่า Q มีค่าสูงขึ้นแล้วยังทำให้การลดค่าลงตามเวลาของเทอม $e^{-\alpha t}$ ในสมการ (3.4) ช้าลงด้วยหมายความว่า แอมปลิจูดของสัญญาณจะลดค่าช้าลงทำให้ผลกระทบจากพัลซ์แพทเทิร์นน้อยลงด้วย



R_i = อิมพีแดนซ์โหลด

รูปที่ 3.3.7 สมมูลวงจรจูน LC



รูปที่ 3.3.8 ไดอะแกรมของระบบเฟสล็อคลูป

แต่อย่างไรก็ดี ในทางปฏิบัติการพยายามเพิ่มค่า Q ของวงจรจูนมักจะทำได้ไม่สูงมากนัก เนื่องจากเกี่ยวข้องกับปัจจัยทางกายภาพเช่น วัสดุที่ใช้ประกอบเป็นตัวเก็บประจุและตัวเหนี่ยวนำ และยังเกี่ยวข้องกับอิมพีแดนซ์ของโหลดด้วย เทคนิคอย่างหนึ่งที่สามารถเพิ่มค่า Q ของระบบให้สูงขึ้นอย่างมากคือ การใช้วงจรกรองเสมือนที่มีค่า Q สูง ๆ มาต่อเพิ่ม วงจรกรองที่ใช้ในงานประเภทนี้จะใช้ระบบเฟสล็อคลูป (Phase Locked Loop : PLL) ซึ่งจะเป็นระบบที่สร้างง่ายและช่วงความถี่สอดคล้องกับข้อกำหนดในงานวิจัยนี้คือ อัตราส่งข้อมูลเป็น 16 Mbit/s ไดอะแกรมแสดงในรูป 3.12 ระบบ PLL ที่นำมาประยุกต์ใช้ในการแยกสัญญาณนาฬิกาจะต่องเป็น PLL ที่มีแถบความถี่แคบเป็นพิเศษ ซึ่งทำได้โดยการกำหนดให้ภาคควบคุมความถี่ด้วยแรงดัน (Voltage Controled Oscillator : VCO) กำเนิดความถี่ด้วยผลึกแร่ (Crystal Oscillator) ซึ่งนะเรียก VCO แบบใหม่นี้ว่า VCXO (Voltage Controled X'tal Oscillator) ด้วยคุณสมบัติเด่นของผลึกแร่คือ มีค่า Q สูงมากดังนั้นการเบี่ยงเบนความถี่ธรรมชาติของผลึกแร่จึงทำได้น้อยมากเป็นผลให้แถบความถี่ในการทำงานของ PLL แคบมาก

2) ปัญหาเกี่ยวดับรูปแบบของพัลซ์แพทเทิร์นและแก้ไข

ถ้าสามารถทำให้ขบสนพัลซ์ข้อมูลที่ส่งออกไปมีลักษณะเป็นค่าเชิงสุ่ม หรือ แรมดอมไม่เป็นแพทเทิร์นที่มีลักษณะซ้ำ ๆ เป็นชุด ๆ ซึ่งถือเป็นลักษณะแพทเทิร์นที่สร้างเงื่อนไขที่แย่ที่สุดในการแยกสัญญาณนาฬิกาแล้ว จิทเตอร์ต่าง ๆ ก็สามารถจะถูกเฉลี่ยเข้าสู่ค่าแน่นอนเล็ก ๆ ค่าหนึ่ง วิธีที่ใช้ในทางปฏิบัติคือการใช้ตัว สแครมเบลอร์ (Scrambler) ประมวลผลขบวนข้อมูลใหม่ก่อนถูกส่งออก ขบวนข้อมูลใหม่ที่ได้จะมีลักษณะเข้าใกล้เชิงสุ่มมาก หลักการของการสแครมเบิลคือการสร้างขบวนสัญญาณที่มีค่าเชิงสุ่มเรียกว่า ลำดับฐานสองเชิงสุ่มเทียม (Pseudorandom Binary Sequence) มาทำการเอ็กซ์คลูซีฟ-ออร์ (XOR) กับขบวนข้อมูลผลที่ได้คือขบวนข้อมูลใหม่ที่มีข้อมูลข่าวสารอยู่ด้วยและมีลักษณะเป็นเชิงสุ่ม ไดอะแกรมของตัวสแครมเบลอร์แสดงในรูปที่ 3.3.9 ซึ่งมีอยู่ 2 แบบคือ เซลฟ์ซิงโครไนซิ่งสแครมเบลอร์ (Self - Synchronizing Screambler) และเซ็ต-รีเซ็ต สแครมเบลอร์ (Set - Reset Screambler) สแครมเบลอร์ทั้ง 2 แบบให้ฟังก์ชันการทำงานที่เหมือนกันแต่ในทางปฏิบัติมักจะเลือกใช้แบบเซลฟ์ซิงโครไนซ์ เนื่องจากแบบเซ็ต - รีเซ็ต จะเกิดปัญหาในการซิงโครไนซ์ระหว่างตัวสแครมเบลอร์ทางด้านส่งและตัวดีสแครมเบลอร์ทางด้านรับ แต่สแครมเบลอร์แบบเซลฟ์ซิงโครไนซ์ก็มีข้อเสียเช่นเดียวกันคือ เกิดความผิดพลาดขยาย (Error expansion)

อย่างไรก็ดีถึงแม้ว่าการใช้ตัวสแครมเบลอร์จะให้ข้อดีหลายๆ อย่างโดยเฉพาะการลดทอนซิสเต็มเมติกจิทเตอร์ และการแยกสัญญาณนาฬิกา แต่ต้องมีความระมัดระวังในการเลือกใช้เนื่อง

จากว่าถ้ามีการผิดพลาดของข้อมูลเกิดขึ้นหลังจากที่ข้อมูลถูกส่งออกไปแล้ว (เกิดขึ้นขณะข้อมูลกำลังเดินทางไปยังเครื่องรับ) ตัวดีสแครมเบลอร์ที่เครื่องรับ (Descrambler) ซึ่งทำหน้าที่แปลงข้อมูลที่ถูกสแครมบลิ้งให้กลับมาอยู่ในรูปปกติ (NRZ-L) จะทำให้ข้อมูลมีความผิดพลาดมากยิ่งขึ้นอีก w+1 เท่าโดย w คือจำนวนจุดที่ถูกแทปออกมาจากชุดชีฟท์รีจีสเตอร์ ซึ่งอธิบายกลไกการเกิดการผิดพลาดที่เพิ่มขึ้นได้ดังนี้

จากรูป 3.3.10 ซึ่งเป็นไดอะแกรมแสดงการนำระบบการสแครมเบลอร์และดีสแครมเบลอร์ขนาด 5 สแตคมาใช้กับระบบสื่อสารข้อมูล จะเห็นว่าเมื่อเกิดการผิดพลาดขึ้น 1 บิทระหว่างการส่งเมื่อบิทข้อมูลที่ผิดพลาดเดินทางมาถึงตัวดีสแครมเบลอร์ที่เครื่องรับ ส่วนหนึ่งจะไปปรากฏที่เอาท์พุททันทีโดยผ่านตัว XOR อีกส่วนหนึ่งถูกเก็บเข้าชีฟท์รีจีสเตอร์ เนื่องจากชุดชีฟท์รีจีสเตอร์มีจุดแทปออกมา 2 ครั้งโดยผ่านทางจุดแทปทั้งสองจึงรวมบิทผิดพลาดเป็น 3 บิทดังนั้นถ้าระหว่างทางเกิดการผิดพลาดขึ้น m บิทเมื่อผ่านตัวดีสแครมเบลอร์แล้วความผิดพลาดจะเป็น m(w+1) บิทโดย w เป็นจำนวนแทป

จากที่กล่าวมาจะเห็นว่า ความผิดพลาดจะเกิดเพิ่มมากขึ้นตามจำนวนแทป ดังนั้นหลักเกณฑ์ในการเลือกตัวสแครมเบลอร์คือ

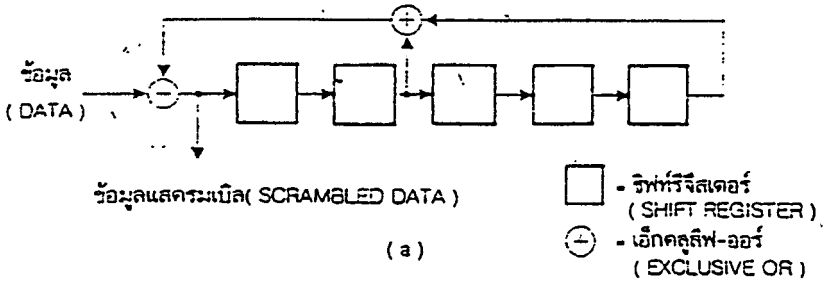
1) สำหรับสแครมเบลอร์ที่มีจำนวนสแตค n เท่ากันควรเลือกตัวที่การแทปออกน้อยที่สุด

2) สำหรับสแครมเบลอร์ที่มีจำนวนแทปเท่ากันแล้วควรเลือกตัวที่มีจำนวนสแตคมากกว่า

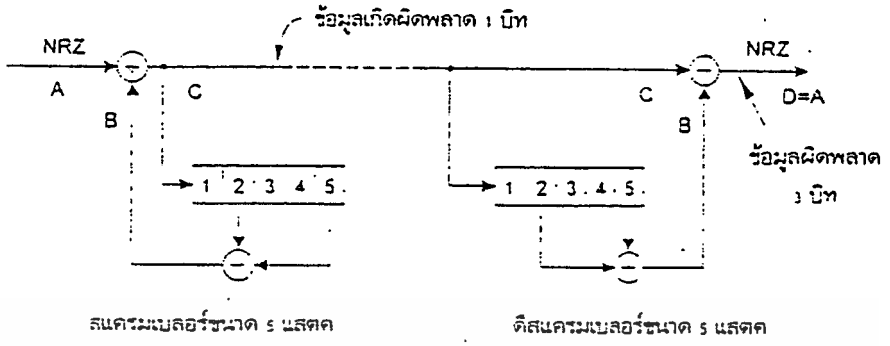
ส่วนการดีสแครมเบลอร์สามารถพิสูจน์ได้ด้วยสมการสั้นๆ ง่าย ๆ จากรูป 3.3.10 ดังนี้

$$D = C + B = (A + B) + B = A \quad \text{ในกรอบ GF(2)}$$

สำหรับในงานวิจัยนี้เลือกใช้เซลฟ์ซิงโครไนซ์สแครมเบลอร์ ขนาด 5 สแตคดังรูปที่ 3.3.10 มีแทปโพลิโนเมียลเป็น $\phi(x) = X^5 + X^2 + 1$



รูปที่ 3.3.9 เซลฟ์ซิงโครไนซิ่งสแครมเบลอร์ (Self - Synchronizing Scrambler)



รูปที่ 3.3.10 ไดอะแกรมแสดงการนำระบบการสแครมเบลอร์และดีสแครมเบลอร์ขนาด 5 สแตคมาใช้กับระบบสื่อสารข้อมูล

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทที่ 4

ระบบส่งข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลา

(TDM Video and Voice Data Transmission System)

ระบบการส่งข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลาที่จัดทำขึ้นนี้เป็นกระบวนการแปลงสัญญาณภาพและเสียงซึ่งเป็นสัญญาณอนาลอกให้เป็นข้อมูลดิจิตอลก่อนเพื่อคำจัดสิ่งรบกวน เนื่องจากคุณภาพของสัญญาณดิจิตอลในสายส่ง เกือบจะไม่ขึ้นอยู่กับระยะทางเลย โดยกระบวนการต่างๆจะถูกควบคุมการทำงานแบบ Real time ไม่มีการเก็บข้อมูลลงในหน่วยความจำ ดังนั้นความแม่นยำของสัญญาณควบคุมจึงเป็นสิ่งสำคัญ หากมีความผิดพลาดก็อาจทำให้ข้อมูลเกิดความผิดพลาดได้ง่าย

4.1 สัญญาณโทรทัศน์ระบบ PAL

สัญญาณโทรทัศน์ระบบ PAL ที่ใช้ในประเทศไทยมีรายละเอียดดังนี้

จำนวนเส้นต่อเฟรมภาพ	625	เส้น
จำนวนเฟรมภาพต่อวินาที	25	ภาพ
จำนวนฟิลด์ภาพต่อวินาที	50	ฟิลด์
ความถี่หักเหแนวนอน	15,625	เฮิร์ท

สัญญาณภาพระบบ PAL เป็นระบบภาพ 625 เส้น อัตราภาพ 25 เฟรมภาพต่อวินาทีโดยในหนึ่งเฟรมภาพประกอบด้วย 2 ฟิลด์ภาพ เป็นฟิลด์ภาพคี่และฟิลด์ภาพคู่

มาตรฐานรูปคลื่นของสัญญาณภาพระบบ PAL แสดงดังรูปที่ 4.1.1 ซึ่งประกอบด้วยส่วนสำคัญ 3 ส่วนคือ

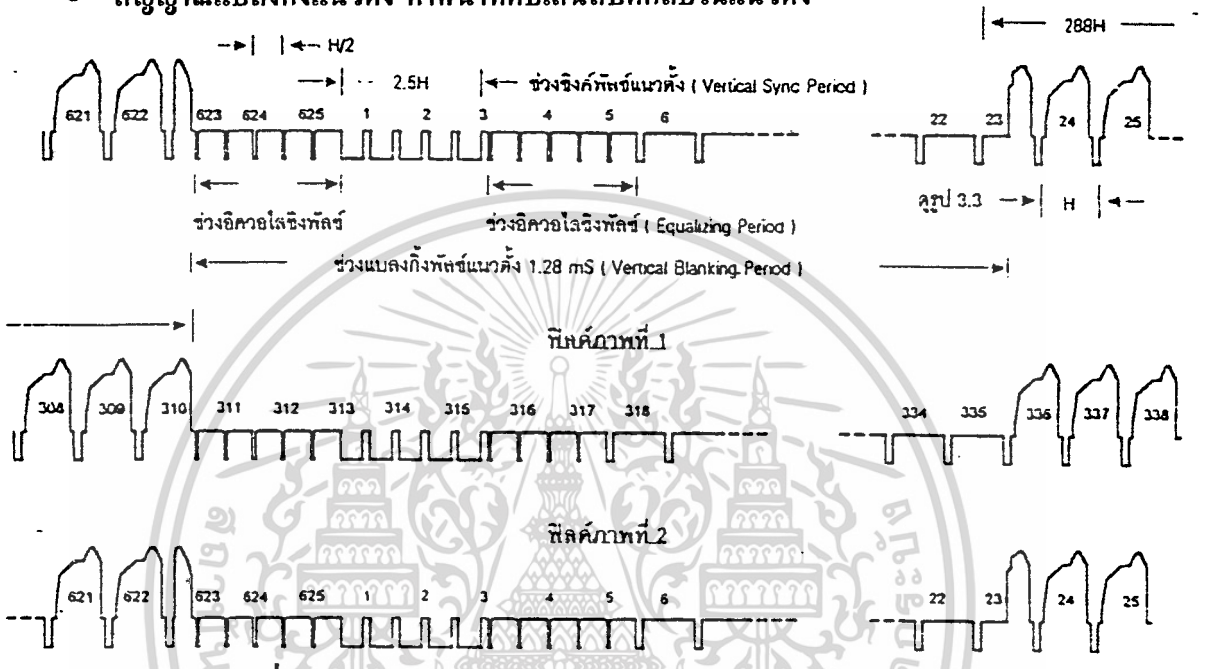
1.สัญญาณลูมิแนนซ์ เป็นสัญญาณส่วนที่นำไปแสดงบนจอภาพจริงๆซึ่งส่วนนี้เองที่จะถูกแปลงเป็นข้อมูลดิจิตอลเพื่อนำไปเก็บในหน่วยความจำ คาบของสัญญาณมีค่าประมาณ 53.1 uS

2.สัญญาณซิงค์พัลซ์ เป็นสัญญาณที่กระตุ้นให้วงจรภายในเครื่องรับโทรทัศน์สบัดเส้นกลับ มี 2 สัญญาณคือ

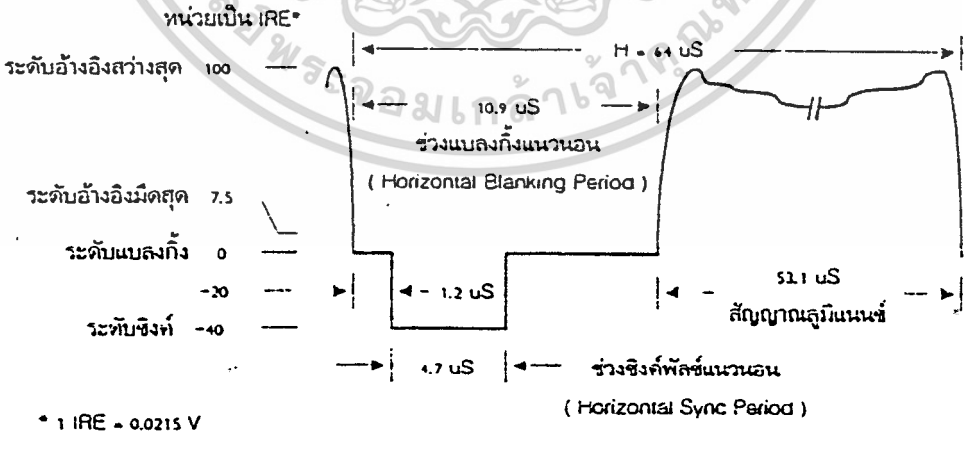
- สัญญาณซิงค์แนวนอน เป็นสัญญาณที่กระตุ้นให้มีการสบัดเส้นกวาดกลับมาด้านซ้ายของจอภาพ
- สัญญาณซิงค์แนวตั้ง เป็นสัญญาณที่กระตุ้นให้มีการสบัดเส้นกลับขึ้นไปด้านบนของจอภาพ

3.สัญญาณแบลงกิ้ง เป็นสัญญาณที่กระตุ้นให้เกิดการดับเส้นกวาดบนจอภาพในขณะกำลังสบัดเส้นกลับ มี 2 สัญญาณคือ

- สัญญาณแบลงกิ้งแนวนอน ทำหน้าที่ดับเส้นสบัดกลับในแนวนอน
- สัญญาณแบลงกิ้งแนวตั้ง ทำหน้าที่ดับเส้นสบัดกลับในแนวตั้ง



รูปที่ 4.1.1 แสดงรายละเอียดของสัญญาณภาพมาตรฐาน PAL



รูปที่ 4.2.1 แสดงรายละเอียดใน 1 เส้นกวาดแนวนอนซึ่งประกอบด้วยสัญญาณซิงค์ สัญญาณแบลงกิ้ง และสัญญาณลูมิแนนซ์

4.2 การแปลงสัญญาณภาพอนาลอกเป็นสัญญาณดิจิตอล

จากรูป 4.2.1 สัญญาณลูมิแนนซ์ใน 1 เส้นแนวนอนมีคาบเป็น 53.1 uS โดยในคาบเวลานี้จะเก็บข้อมูลจำนวน 66 ค่า ดังนั้นคาบการสุ่มสัญญาณจะเป็น

$$53.1/66 = 0.805\ \mu s$$

หรืออัตราการสุ่มสัญญาณ

$$1/0.805 = 1.24\ MHz$$

หรือประมาณ 1.25 MHz

การเริ่มต้นทำการแปลงทำได้โดยการตรวจสอบสัญญาณแบลงกิ้งแนวตั้ง เนื่องจากส่วนที่ตามหลังสัญญาณนี้มาก็คือจุดเริ่มต้นของฟิลด์ภาพ เมื่อเริ่มต้นทำการแปลงจะต้องคอยนับจำนวนจุดภาพ คือ 66 จุดภาพ หมายความว่าในแต่ละเส้นแนวนอนของสัญญาณภาพ (เฉพาะสัญญาณลูมิแนนซ์) จะทำการสุ่มเพื่อแปลงเป็นข้อมูลดิจิตอล 66 ครั้ง และจะทำการแปลงไปเรื่อยๆ จนกระทั่งครบทั้งภาพหรือเมื่อตรวจพบสัญญาณแบลงกิ้งแนวตั้งครั้งต่อไป

หลักการแปลงสัญญาณภาพที่เป็นอนาลอกให้เป็นข้อมูลดิจิตอลมีส่วนประกอบและสัญญาณต่างๆ ดังนี้

1. ส่วนแยกสัญญาณซิงค์ (Sync Separator) ทำหน้าที่แยกสัญญาณซิงค์และแบลงกิ้งทั้งแนวนอนและแนวตั้งของสัญญาณภาพ

2. ส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเฟลช (Flash A/D) ซึ่งเป็นระบบแปลงความเร็วสูงสามารถแปลงค่าดิจิตอลเสร็จภายใน 1 คาบสัญญาณนาฬิกาเอาท์พุทที่ได้เป็นข้อมูลขนาด 8 บิท

3. ส่วนนับจำนวนจุดต่อเส้น (Pels/Line Counter) เป็นวงจรนับขนาด 8 บิท ทำหน้าที่นับจำนวนจุดในแต่ละเส้นกวาดแนวนอน

4. ส่วนกำเนิดสัญญาณเวลา (Timing Generator) ส่วนกำเนิดสัญญาณเวลาทำหน้าที่สร้างสัญญาณเวลาต่างๆเช่น สัญญาณนาฬิกาสำหรับ Flash A/D โดยจะทำงานเมื่อได้รับสัญญาณอินาเบิลจากวงจรควบคุม

5. สัญญาณ CLK เป็นสัญญาณนาฬิกาสำหรับวงจรนับ เมื่อมีสัญญาณนี้เกิดขึ้นวงจรนับจะมีค่าเพิ่มขึ้นหนึ่ง

6. สัญญาณ CLR เป็นสัญญาณเคลียร์วงจรนับ

7. สัญญาณอินาเบิล เป็นสัญญาณที่สั่งให้วงจรกำเนิดสัญญาณเวลาเริ่มทำงาน

การทำงานของระบบจะเริ่มจากการตรวจหาสัญญาณแบลงกิ้งแนวตั้ง หรือ V.blank เนื่องจากส่วนที่ตามหลัง V.blank จะเป็นจุดเริ่มต้นของฟิลด์ภาพ เมื่อได้รับสัญญาณ V.blank แล้ว

ระบบควบคุมก็จะส่งสัญญาณอินาเบิลไปยังส่วนกำเนิดสัญญาณเวลาให้เริ่มทำงานระบบจึงเริ่มทำการแปลง โดยสัญญาณลูมิแนนซ์แรกจะถูกแปลงเป็นสัญญาณดิจิตอลโดย Flash A/D

เมื่อเส้นกวาดเส้นแรกถูกแปลงเรียบร้อยแล้ว ในขณะเวลาที่ใกล้เคียงกันก็จะเกิดสัญญาณ H.blank เคลียร์วงจรนับจำนวนจุดให้เป็น 0 เพื่อเริ่มต้นนับจำนวนจุดในการแปลงค่าเส้นกวาดเส้นต่อไป กระบวนการนี้จะเกิดซ้ำไปเรื่อยๆจนกระทั่งเส้นกวาดเส้นสุดท้ายของภาพเสร็จสิ้น

4.3 ระบบส่งข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลา

4.3.1 ข้อกำหนดและการจัดเฟรมข้อมูลของระบบ

ในการสื่อสารระบบมัลติเพล็กซ์แบบแบ่งเวลามีส่วนที่ต้องสื่อสารถึงกันคือ

1. ข้อมูลข่าวสาร
2. เฟรมอไลเมนต์เวอร์ด

ในระบบที่ได้ออกแบบสร้างนี้ส่วนของข้อมูลข่าวสารประกอบด้วยข้อมูลภาพขาวดำ ความเข้ม 8 บิทต่อจุดภาพ ดังนั้นในหนึ่งเฟรมข้อมูลจะประกอบด้วยส่วนต่างๆดังนี้

ข้อมูลภาพ	66	ช่องเวลา
ข้อมูลเสียง	13	ช่องเวลา
FAW	1	ช่องเวลา

รวมแล้วในหนึ่งเฟรมข้อมูลจะประกอบด้วย 80 ช่องเวลา ช่องเวลาละ 8 บิท ประกอบด้วยเวอร์ดต่างๆดังนี้

ช่องเวลา 0 เป็น FAW สำหรับการซิงโครไนซ์เฟรมกำหนดรหัสไว้เป็น 01001101

ช่องเวลา 1-14 เป็นส่วนเก็บข้อมูลเสียง

ช่องเวลา 15-79 เป็นส่วนเก็บข้อมูลภาพ

ส่วนอัตราความเร็วข้อมูลพิจารณาความเร็วจากช่องข้อมูลภาพเป็นหลักซึ่งช่องข้อมูลภาพได้จากการสุ่มสัญญาณภาพด้วยความถี่ f_s = 1.25 MHz ความละเอียด m=8 ดังนั้นอัตราความเร็วข้อมูลเป็น

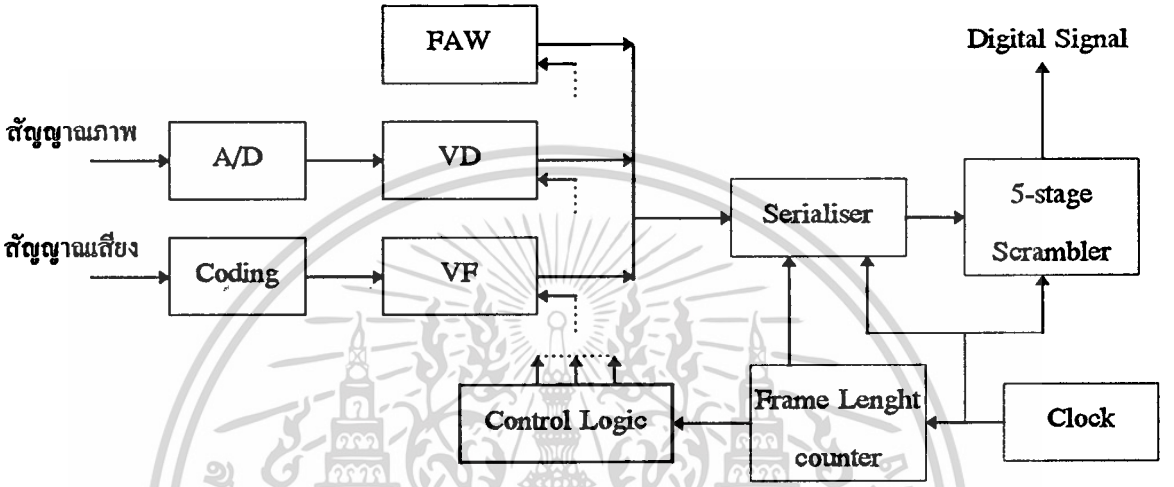
$$f_b = 8*1.25 = 10Mbps$$

$$f_b = 10\ Mbps$$

4.3.2 ระบบส่งข้อมูลภาพและเสียงแบบ TDM (Transmitter System)

ในระบบส่งข้อมูลพอจะแบ่งเป็นส่วนต่างๆได้ดังนี้

1. ส่วนมัลติเพล็กซ์ข้อมูล, MUX (Data Multiplexer) ซึ่งประกอบด้วยส่วนนับจุดภาพ ส่วนกำเนิดสัญญาณควบคุมต่างๆเช่น สัญญาณแลทช์ สัญญาณอินาเบิล เป็นต้น และส่วนสร้างสัญญาณเวลาที่ใช้ในวงจร



รูปที่ 4.3.1 ไดอะแกรมแสดงระบบรับข้อมูลภาพและเสียง
แบบมัลติเพล็กซ์แบบแบ่งเวลาความเร็ว 10 Mbps

2.ส่วนแปลงสัญญาณภาพซึ่งประกอบด้วยส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบแฟลช

3.. ส่วนแปลงข้อมูลขนานเป็นอนุกรม ส่วนสแครมเบลอร์ขนาด 5 สเตค

การทำงานเริ่มจากตัวมัลติเพล็กซ์จะมัลติเพล็กซ์ข้อมูลจากบัฟเฟอร์ 2 ชุดเข้าด้วยกันแบบขนานซึ่งที่จุดนี้จะมีอัตราเร็วข้อมูลเป็น 10/8 =1.25 Mbps จากนั้นข้อมูลจะถูกแปลงเป็นอนุกรมแล้วทำการสแครมเบลอร์ก่อนถูกส่งออกไป ขณะที่ขบวนการมัลติเพล็กซ์ดำเนินการอยู่ส่วนลอจิกควบคุมจะทำการอินาเบิลให้เกิดการแปลงสัญญาณภาพเป็นข้อมูลดิจิตอลควบคู่กันไป ดังนั้นข้อมูลที่เกิดขึ้นทั้งหมดจึงเกิดแบบ real time และจะแปลงต่อเนื่องไปเรื่อยๆตลอดช่วงเวลาที่ใช้งาน เนื่องจากระบบการส่งข้อมูลที่สร้างขึ้นยังเป็นแบบการส่งข้อมูลทางเดียว (simplex communication) ดังนั้นทางด้านรับจึงไม่สามารถตอบกลับมาได้

ในส่วนของตัวเข้ารหัสของสัญญาณเสียงจะได้รับสัญญาณนาฬิกาเพื่อเป็นความถี่สุ่มและซิงโครไนซ์ข้อมูลกับตัวมัลติเพล็กซ์

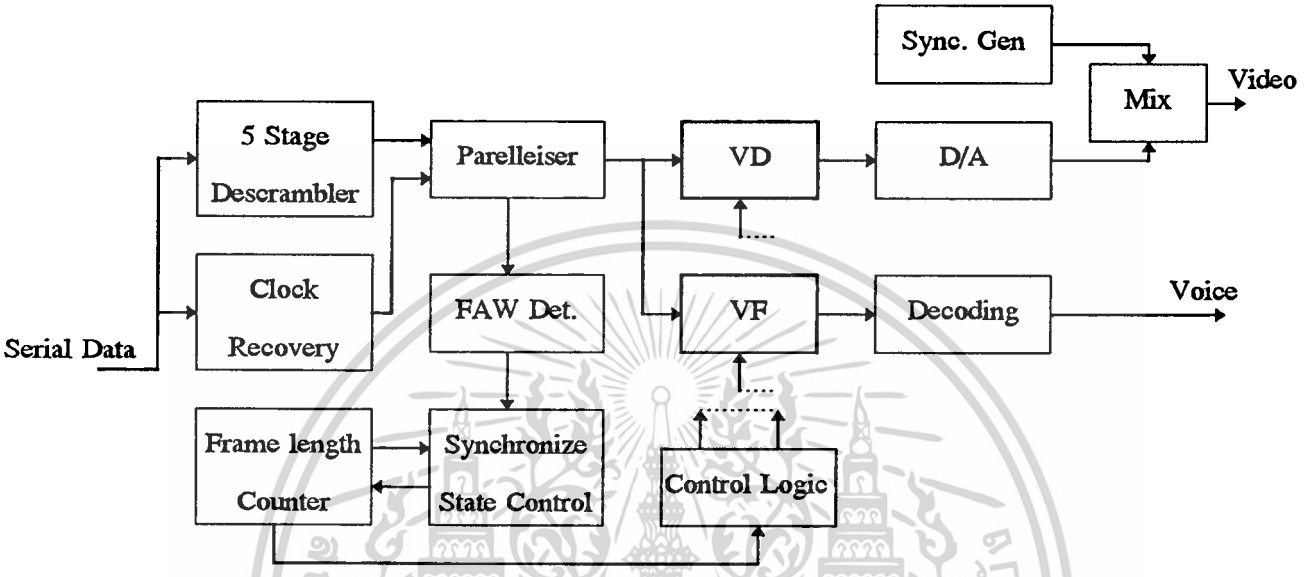
4.4 ระบบรับข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลา(Recieve System)

ระบบรับข้อมูลแสดงดังรูป 4.4.1 สามารถแบ่งเป็นส่วนใหญ่ๆได้ 5 ส่วนคือ

1. ส่วนดีมัลติเพล็กซ์ (Demultiplexer) ประกอบด้วยบัฟเฟอร์ข้อมูลทั้ง 3 ชุด ส่วนนับความยาวเฟรมข้อมูลและลอจิกควบคุม ซึ่งส่วนนับความยาวเฟรมข้อมูลถูกควบคุมด้วยส่วนควบคุมสถานะการซิงโครไนซ์
2. ส่วนควบคุมสถานะการซิงโครไนซ์, SSC (Synchronize State Control) มีหน้าที่ในการทำกระบวนการอไลเมนต์เฟรม ประกอบด้วยส่วนควบคุมสถานะการซิงโครไนซ์และส่วนตรวจหาเฟรมอไลเมนต์เวอร์ด
3. ส่วนดำเนินการข้อมูลอนุกรม ประกอบด้วยตัวดีสแครมเบลอร์ขนาด 5 สแตคและตัวแปลงข้อมูลอนุกรมเป็นขนาน
4. ส่วนแยกสัญญาณนาฬิกา ทำหน้าที่แยกสัญญาณนาฬิกาจากสัญญาณดิจิตอลที่รับได้เพื่อการซิงโครไนซ์บิท
5. ส่วนประมวนผลข้อมูล แยกเป็น 2 ส่วนคือ ส่วนของข้อมูลเสียงและส่วนของข้อมูลภาพ ส่วนของข้อมูลเสียงประกอบด้วยส่วนถอดรหัสเสียง ส่วนของข้อมูลภาพ ซึ่งทำงานร่วมกับส่วนกำเนิดสัญญาณซิงค์ภาพ,ส่วนแปลงสัญญาณดิจิตอลเป็นอนาลอกและส่วนผสมข้อมูลภาพกับสัญญาณซิงค์เพื่อสร้างสัญญาณภาพขึ้นมาใหม่

การทำงานจะเริ่มจากการกำหนดให้ส่วนแยกสัญญาณนาฬิกาทำงานได้อย่างปกติ ดังนั้นสัญญาณนาฬิกาที่ได้จะซิงโครไนซ์กับข้อมูลเป็นอย่างดี เมื่อเริ่มต้นสัญญาณดิจิตอลที่รับได้ส่วนหนึ่งจะเข้าสู่ส่วนแยกสัญญาณนาฬิกาใช้ในระบบอีกส่วนหนึ่งเข้าสู่ตัวดีสแครมเบลอร์ขนาด 5 สแตค เพื่อแปลงให้เป็นขบวนข้อมูลปรกติจากนั้นจะถูกแปลงให้เป็นข้อมูลในรูปขนานขนาด 8 บิท ถึงจุดนี้ข้อมูลขนาด 8 บิทซึ่งถูกเลื่อนออกไป 1 บิทตลอดเวลาจะรออยู่ที่อินพุทของบัฟเฟอร์ทั้ง 3 ชุดเพื่อรอการแลทช์ต่อไป อีกส่วนหนึ่งจะเข้าสู่ตัวตรวจหา FAW ซึ่งทำงานร่วมกับส่วนควบคุมการซิงโครไนซ์และส่วนนับความยาวเฟรม การอไลเมนต์จะเริ่มต้นเมื่อมีการตรวจพบ FAW โดยตัวตรวจหา FAW ซึ่งจะส่งพัลซ์ไปให้ส่วนควบคุมการซิงโครไนซ์ จากนั้นส่วนควบคุมการซิงโครไนซ์จะส่งสัญญาณควบคุมไปให้ส่วนนับความยาวเฟรมให้เริ่มต้นนับเพื่อกำหนดตำแหน่งเวลาที่จะตรวจสอบ FAW ครั้งต่อไป คือสัญญาณ FAW-Chack pulse ส่งกลับไปให้กับส่วนควบคุมการซิงโครไนซ์ซึ่งจะตรวจสอบสัญญาณตรวจหา FAW พร้อมกันไปด้วย ถ้าพบก็จะดำเนินการอไลเ

มนต์เฟรมต่อไป ถ้าไม่พบก็จะเริ่มต้นค้นหา FAW ตัวต่อไป เมื่อการอไลเมนต์เฟรมสมบูรณ์ส่วนควบคุมการซิงโครไนซ์จะส่งสัญญาณควบคุมไปให้ส่วนนับความยาวเฟรม ซึ่งควบคุมให้ส่วนลอจิกควบคุมสร้างสัญญาณแลทช์ไปให้กับบัฟเฟอร์ทั้ง 3 ชุดเพื่อเก็บข้อมูลของมันไว้



รูปที่ 4.4.1 ไดอะแกรมแสดงระบบรับข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลาความเร็ว 10 Mbps

ข้อมูลที่ถูกเก็บไว้ในบัฟเฟอร์เสียงจะถูกส่งไปยังตัวถอดรหัสเสียงเพื่อถอดรหัสและคลายกลับมาเป็นสัญญาณเสียงตามเดิม

ส่วนข้อมูลที่เก็บในบัฟเฟอร์ภาพ ซึ่งข้อมูลภาพจะทำงานร่วมกับส่วนกำเนิดสัญญาณซิงค์เพื่อทำการแปลงเป็นสัญญาณภาพที่สอดคล้องกับสัญญาณซิงค์ ข้อมูลภาพที่อ่านได้ถูกแปลงเป็นสัญญาณอนาลอกและทำการผสมกับสัญญาณซิงค์เพื่อสร้างสัญญาณภาพกลับมาใหม่และนำไปแสดงบนจอภาพ

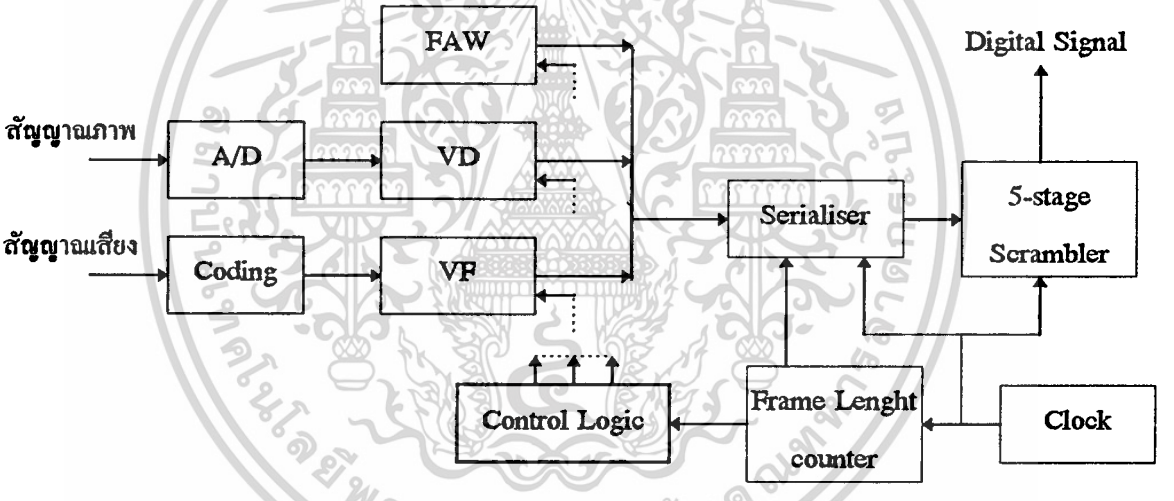
บทที่ 5
การออกแบบและการทำงานของวงจร

5.1 ระบบส่งข้อมูล

ประกอบด้วยส่วนต่างๆ ดังต่อไปนี้

- ส่วนมัลติเพล็กซ์ข้อมูล (Data Multiplexer) ซึ่งประกอบด้วยส่วนนับจุดภาพ ส่วนกำเนิดสัญญาณควบคุม ส่วนสร้างสัญญาณเวลาที่ใช้ในวงจร
- ส่วนแปลงสัญญาณภาพเป็นข้อมูลดิจิตอล
- ส่วนแปลงข้อมูลขนานเป็นอนุกรม และส่วนสแครมเบลอร์

ไดอะแกรมของระบบส่งข้อมูลแสดงดังรูปที่ 5.1.1



รูปที่ 5.1.1 ไดอะแกรมแสดงระบบส่งข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลา

5.1.1 ส่วนมัลติเพล็กซ์ข้อมูล

เป็นวงจรที่สร้างสัญญาณควบคุม เพื่อนำไปใช้ในส่วนอื่นต่อไป เช่น ส่วนแปลงสัญญาณภาพเป็นข้อมูลดิจิตอล สร้างสัญญาณในการอินาเบิลเพื่อปล่อย FAW ซึ่งสามารถอธิบายการทำงานของส่วนต่างได้ดังนี้

- ส่วนแยกสัญญาณซิงค์ (Sync Seperater)

ทำหน้าที่แยกสัญญาณภาพจากกล้องวีดีโอ เพื่อให้ได้สัญญาณซิงค์แนวนอนและสัญญาณซิงค์แนวตั้ง โดยใช้ไอซีเบอร์ LM 1881

- ส่วนวงจรนับ (Counter)

ส่วนนับจุดภาพ ว่าครบ 1 เส้นแนวนอนหรือยัง ซึ่งสัญญาณที่ได้จากวงจรนับนี้จะทำหน้าที่ในการปล่อยเฟรม FAW

- ส่วนสร้างสัญญาณเวลา (Timing Gen)

สร้างสัญญาณ Clock เพื่อกำหนดความถี่ของการสุ่มสัญญาณของวงจร A/D

สำหรับการทำงานของวงจรเมื่อเริ่มเปิดเครื่อง สัญญาณ PWR จะเป็น 0 ชั่วขณะหนึ่งส่งผลให้เกิดการ clear ค่าในส่วนต่างๆของวงจร ซึ่งเสมือนกับเป็นการ reset ระบบตอนเปิดเครื่อง

เมื่อตรวจพบสัญญาณ V.blank ที่ขา select ของ U4(74LS157) จะทำให้ สวิทช์เลือกไปที่ A ทำให้สัญญาณ /H.blank ถูกปล่อยออกไปที่ขา 4 ของ U4 สำหรับนำไปเลือกการปล่อยสัญญาณของ U5 เพื่อทำการอินาเบิล U7 เพื่อสร้างสัญญาณ SCLK ให้กับส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลต่อไป

ที่ขา 7 ของ U4 สัญญาณจะถูกปล่อยพร้อมกับสัญญาณที่ขา 4 เพื่อนำไปเป็น CLK ให้กับ U3B เพื่อปล่อยสัญญาณอินาเบิลให้เคาน์เตอร์ (U9,U12) เพื่อนับจำนวนจุดภาพ 80จุดภาพสำหรับนำไปสร้างสัญญาณอินาเบิลเพื่อปล่อย FAW ออกจากบัฟเฟอร์ U14

ที่ขา 12 ของ U8 เป็นเคาน์เตอร์สำหรับสร้างสัญญาณ CLK จาก 10MHz เป็น 1.25 MHz เพื่อเป็น CLK ของ U9,U12

ที่ขา 12,13,14 ของ U12 จะถูกต่อเข้ากับ Decoder เพื่อปล่อยสัญญาณ shift /load ของ U15 เพื่อปล่อยข้อมูลอนุกรมที่ได้จากแปลงเข้าสู่สายส่ง

ส่วนข้อมูลดิจิตอลจากการแปลงของ Flash A/D จะนำมาต่อเข้ากับ U16 โดยจังหวะการปล่อยข้อมูลเข้าสู่ U15 จะเป็นจังหวะเดียวกับการแปลงข้อมูลของ Flash A/D

5.1.2 ส่วนวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Flash A/D)

เป็นส่วนของการแปลงสัญญาณอนาลอกเป็นสัญญาณทางดิจิตอล ในโครงงานนี้ใช้ไอซีขนาด 7 บิท ซึ่งสามารถแยกความแตกต่างของภาพได้ 128 ระดับ โดยการนำไอซีเบอร์ CA3306 ซึ่งเป็น Flash A/D ที่มีความเร็วในการทำงานสูงมาต่อขนานกันเพื่อจำนวนบิทจาก 6 บิท เป็น 7 บิท

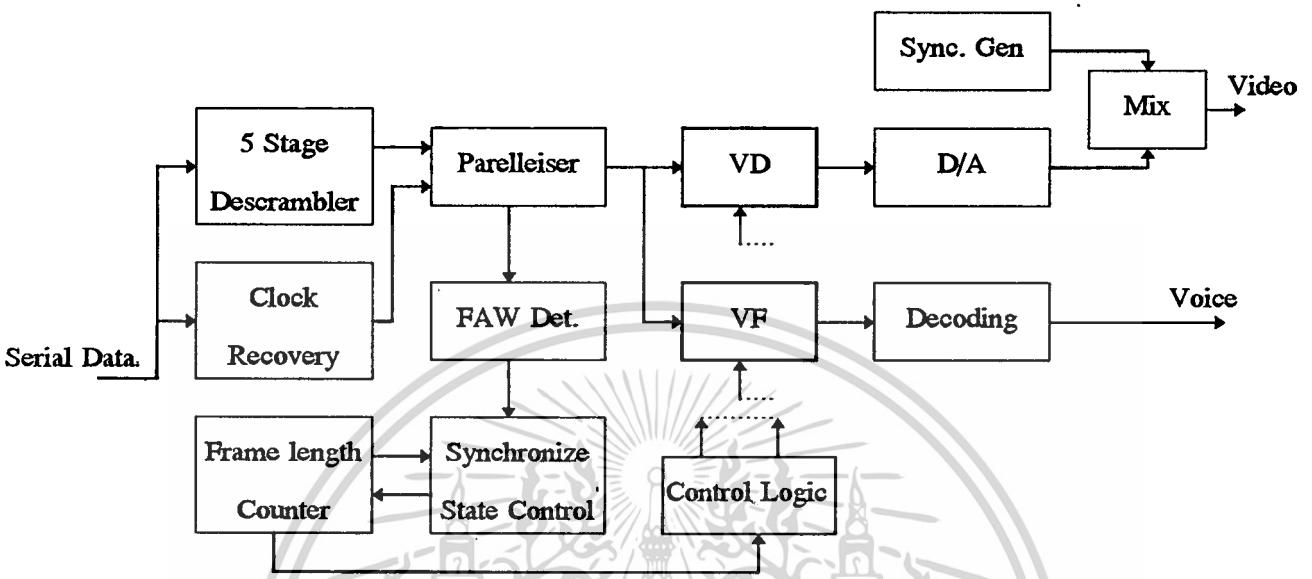
5.2 ระบบรับข้อมูล

ประกอบด้วยส่วนต่างๆดังต่อไปนี้

- ส่วนดีสแครมเบลอร์,ส่วนแปลงข้อมูลอนุกรมเป็นขนาน และส่วนตรวจหาเฟรมอไลเมนต์เวอร์ด

- ส่วนดีมัลติเพล็กซ์ข้อมูล (Data Mutiplexer)

- ส่วนควบคุมสถานะการซิงโครไนซ์ SSC (Synchronize State Control)
- ส่วนแยกสัญญาณนาฬิกา



รูปที่ 5.2.1 ไดอะแกรมของระบบรับข้อมูล

สัญญาณที่มาจากการส่งเป็นขบวนข้อมูลที่ถูกสแกรมเบลอร์แล้วจะถูกแยกเป็น 2 ส่วน ส่วนหนึ่งเข้าสู่ตัวแยกสัญญาณนาฬิกา (Clock Recovery) เพื่อซิงโครไนซ์บิทข้อมูล และกำหนดการทำงานให้ส่วนอื่น อีกส่วนหนึ่งเข้าสู่ตัวดีสแกรมเบลอร์เพื่อแปลงขบวนข้อมูลให้อยู่ในรูปปกติ จากนั้นข้อมูลส่วนนี้จะถูกแปลงให้อยู่ในรูปขนาน 8 บิท (ซึ่งจะถูกเลื่อนไป 1 บิทตลอดเวลาตามสัญญาณนาฬิกา) จากจุดนี้ข้อมูลจะถูกนำไปเก็บในบัฟเฟอร์ข้อมูล 2 ชุด คือ เสียงและภาพ อีกส่วนหนึ่งจะเข้าสู่ส่วนตรวจหาเฟรมอไลเมนต์เวอร์ดเพื่อการซิงโครไนซ์เฟรม

ส่วนของข้อมูลภาพที่อยู่ในบัฟเฟอร์ข้อมูลภาพจะถูกแปลงเป็นสัญญาณอนาลอกเพื่อนำไปผสมกับสัญญาณซิงค์ระบบ PAL เพื่อส่งออกไปแสดงที่จอภาพต่อไป

การทำงานของส่วนต่างๆในระบบรับข้อมูลมีดังนี้

5.2.1 ส่วนควบคุมสถานะการซิงโครไนซ์ (Synchronization State Control)

เนื่องจากข้อมูลที่ส่งมาในช่องข้อมูลต่างๆนั้น สามารถที่จะมีรูปแบบเป็นลักษณะใดๆก็ได้ ดังนั้นจึงเป็นไปได้ที่จะเกิดเวอร์ดข้อมูลซึ่งมีลักษณะเหมือนกับ FAW (เวอร์ดข้อมูลที่มีลักษณะเหมือน FAW นี้เรียกว่า FAW เทียม) ประกอบกับข้อมูลที่ส่งจากต้นทางถึงปลายทางนั้นมีโอกาสเกิดการผิดขึ้นได้เสมอ ซึ่งบ่อยครั้งมักจะเป็นการผิดพลาดในช่วงเวลาสั้นๆไม่กี่มิลลิวินาที เช่น ฟ้าผ่าหรือเกิดจากการจุดระเบิดในเครื่องยนต์ ดังนั้นจึงจำเป็นต้องมีกระบวนการหรือขั้นตอนที่ใช้ในการตัดสินใจว่า FAW ที่ตรวจพบนั้นเป็น FAW ที่แท้จริงหรือไม่ และเมื่อใดที่ถือว่าระบบอยู่ใน

สภาวะการซิงโครไนซ์แล้ว กระบวนการที่ใช้ในการตัดสินใจในสิ่งที่เรียกว่า การอไลเมนต์เฟรม (Frame Alighment)

จากปัญหาต่างๆที่กล่าวมาแล้ว การอไลเมนต์จึงจำเป็นจะต้องกำหนดสถานะย่อยต่างๆซึ่งมีรายละเอียดดังนี้

สถานะ a : การอไลเมนต์สมบูรณ์,ระบบอยู่ในสภาวะล็อค (synchronize)

สถานะ b : ตรวจไม่พบ FAW ในเฟรม n

สถานะ c : ตรวจไม่พบ FAW ในเฟรม n+1

สถานะ d : ตรวจไม่พบ FAW ในเฟรม n+2

: สถานะ b,c,d เป็นสภาวะการอไลเมนต์ชั่วคราว,ระบบอยู่ในโหมดตรวจสอบ (check mode)

สถานะ e : สูญเสียการซิงโครไนซ์เฟรม,เป็นภาวะการไม่อไลเมนต์,ระบบอยู่ในโหมดค้นหา FAW (search mode)

สถานะ f : ตรวจพบ FAW ในเฟรมหมายเลข 0

สถานะ g : ตรวจพบ FAW ในเฟรมหมายเลข 1

: สถานะ f, g เป็นสถานะรอ ระบบอยู่ในโหมดค้นหา / ตรวจสอบ โดยเฟรมแรกที่พบ FAW นับเป็นเฟรมหมายเลข 0

วิธีการอไลเมนต์เฟรมใช้หลักการที่ว่า FAW ที่แท้จริงจะปรากฏที่ตำแหน่งเดิมของทุกๆ เฟรม ส่วน FAW เทียมนั้น จะไม่ปรากฏอยู่ที่ตำแหน่งใดๆ อย่างถาวร ดังนั้นเมื่อตรวจพบ FAW ที่ตำแหน่งใดๆ แล้ว ระบบจะต้องไปตรวจสอบอีกครั้งหนึ่งที่ตำแหน่งเดิมของเฟรมต่อไป ดังนั้นจะพบว่า เริ่มต้นระบบจะอยู่ที่สถานะ e เมื่อพบเวอร์ดตัวแรกที่เหมือน FAW ระบบจะเปลี่ยนไปที่สถานะ f (จากสถานะ f ถึง d ตำแหน่งเวลาการตรวจสอบ FAW จะมาจากส่วนนับความยาวเฟรม) ถ้าตรวจสอบเวอร์ดที่เหมือน FAW ติดต่อกัน 2 เฟรม จะถือว่าเวอร์ดที่พบนั้นเป็นเวอร์ดที่แท้จริง ระบบก็จะเข้าสู่สถานะซิงโครไนซ์เฟรม คือสถานะ a แต่ถ้าใน 2 เฟรมนั้นมีเพียงเฟรมเดียวที่ไม่พบเวอร์ดดังกล่าว ระบบจะกลับไปเริ่มต้นที่สถานะ e เพื่อเริ่มต้นหา FAW ใหม่ ในทำนองเดียวกันเมื่อระบบอยู่ในสถานะ a คือ ซิงโครไนซ์เฟรมแล้ว ถ้ามีการตรวจไม่พบ FAW 4 เฟรมติดๆ กันระบบก็จะเปลี่ยนสถานะจาก a ไป b จนถึง e ตามลำดับ เรียกการอไลเมนต์เฟรมด้วยวิธีนี้ว่า การอไลเมนต์เฟรมแบบอนุกรม

5.2.2.วงจรแสดงส่วน Receiver Synchronize State Control

JK - Flipflop จะเป็นตัวนับ state เริ่มต้นขา PWR จะเคลียร์ฟลิปฟลอปทุกตัว ดังนั้นตอนเริ่มต้นฟลิปฟลอปนับ 0 เมื่อมี FAW เข้ามาฟลิปฟลอปจะนับ 1 และถ้าตำแหน่งเดียวกันนี้

ที่เฟรมต่อไป จะมีสัญญาณ FAW chk.p เป็นตัวเช็คว่า FAW เป็น 1 หรือ 0 ถ้าตรวจพบว่ายังคงเป็น 1 ฟลิปฟลอปจะนับ 2 และเมื่อ FAW ยังคงเป็น 1 ติดต่อกันเกิน 3 ครั้ง JK Flipflop จะนับ 4 เอาขา Q ของฟลิปฟลอปที่เป็น MSB มาคำเนิดให้เป็นขา Sync ซึ่งเริ่มเป็น 1 เริ่มเข้าสู่ภาวะการ Sync (สังเกตว่าที่ state 4 ถึง 7 ที่บิท MSB ของ JK Flopflop จะเป็น 1 เสมอ) แต่ถ้า FAW ต่อมาเป็น 0 เกิน 3 ครั้ง ระบบก็จะหลุดจาก state 4 โดยสังเกตที่ชุดฟลิปฟลอปจะนับ 5,6 และ 7 ตามลำดับและจะกลับไปนับ 0 ใหม่อีกครั้ง กลับสู่สภาวะ search ใหม่

5.2.3.วงจรแปลงสัญญาณอนุกรมเป็นขนาน (Serial Input Parallel Output)

เป็นส่วนที่แปลงสัญญาณอนุกรมเป็นสัญญาณขนาน ขนาด 8 บิท โดยใช้ไอซีเบอร์ 74LS164 เป็นตัวทำหน้าที่นี้

ในวงจรส่วนนี้ยังมีส่วนที่ใช้ตรวจสอบ FAW ด้วย ซึ่งประกอบด้วยไอซีเบอร์ 74LS521 เพื่อใช้ตรวจสอบค่าของ FAW ขนาด 8 บิทได้ ซึ่งสามารถตั้งค่าให้กับ FAW ที่ Dip-Switch เมื่อตรวจสอบ FAW ได้จะให้พัลซ์ 1 ออกไป 1 ลูก มีขนาดความกว้างเท่ากับ 1 สัญญาณนาฬิกา เรียกว่า FAW Det. ออกมา

ส่วนแยกสัญญาณนาฬิกา (Clock Recovery)

ส่วนแยกสัญญาณนาฬิกาถือเป็นส่วนหนึ่งของระบบที่มีความสำคัญมาก มีหน้าที่ในการนำข้อมูลเชิงเวลาของขบวนเชิงข้อมูลที่ได้รับไปสร้างสัญญาณนาฬิกาที่มีเสถียรภาพและซิงโครไนซ์กับขบวนข้อมูลที่รับได้ เพื่อใช้ในการอไลเมนต์เฟรมข้อมูลและการดีมัลติเพล็กซ์ข้อมูลซึ่งจะเห็นได้ว่าถ้าสัญญาณนาฬิกาที่ได้ไม่มีเสถียรภาพแล้วระบบการอไลเมนต์เฟรมย่อมไม่สามารถที่จะทำงานได้ ดังนั้นกระบวนการดีมัลติเพล็กซ์ข้อมูลย่อมดำเนินไปไม่ได้เช่นกัน ระบบสื่อสารจึงไม่สามารถดำเนินต่อไปได้ด้วย

ประกอบด้วย 2 ส่วนใหญ่ๆคือ

- ส่วนจูนความถี่ LC (ส่วนนอกเส้นประ)
- ส่วนเฟสล็อกลูป (Phase Locked Loop)

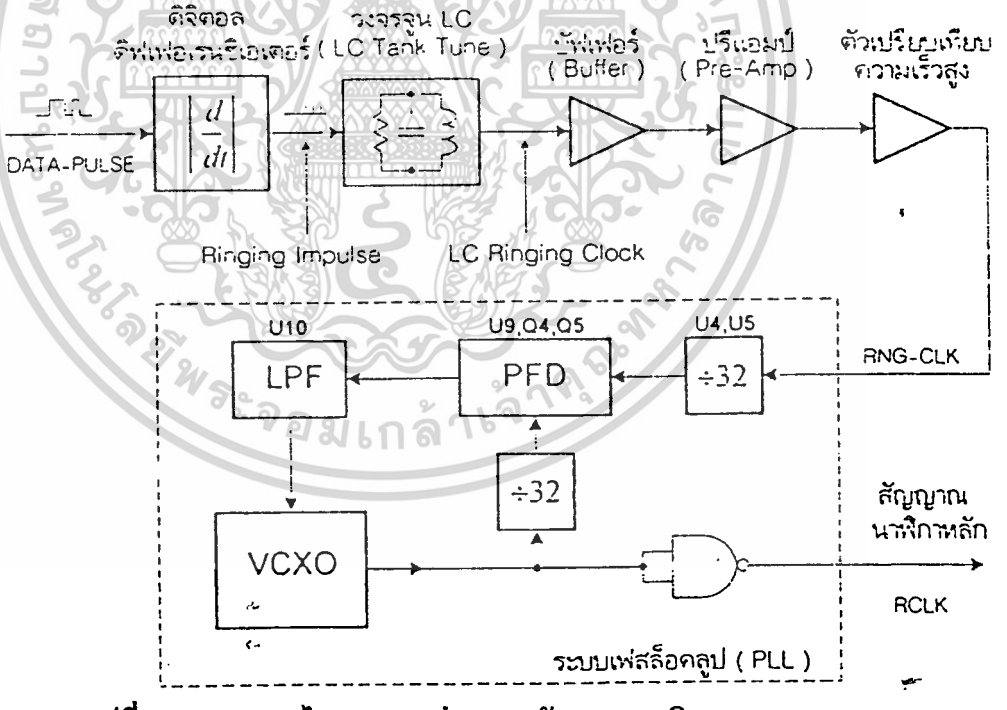
ส่วนจูนความถี่ LC

ส่วนนี้ทำหน้าที่ในการคำเนิดสัญญาณนาฬิกาซึ่งซิงโครไนซ์กับขบวนข้อมูลที่รับได้โดยเริ่มจากการนับขบวนข้อมูลที่รับได้ซึ่งถูกสแครมเบลอร์มาแล้วมาทำการดิฟเฟอเรนชิเอท (Differentiate) เพื่อสร้างสัญญาณอิมพัลซ์ ตรงจุดที่มีการเปลี่ยนสถานะของขบวนข้อมูลที่รับได้ เรียกสัญญาณอิมพัลซ์นี้ว่า ริงกิ้งอิมพัลซ์ (Ringing Impulse) จากนั้นนำสัญญาณอิมพัลซ์นี้ไปกระตุ้นวงจรจูน LC ซึ่งจูนความถี่ไว้ที่อัตราส่งข้อมูล ผลจากการกระตุ้นนี้จะทำให้วงจรจูน LC

เกิดการออซซิลเลตที่ความถี่เรโซแนนซ์แต่แอมปลิจูดของสัญญาณที่ได้จะมีขนาดลดลงตามเวลาแบบเอ็คโปเนนเชียลจนกว่าจะมีอิมพัลซ์มากระตุ้นใหม่ เรียกสัญญาณที่จุดนี้ว่า LC ริงกิ้งคล็อก ซึ่งในทางปฏิบัติจะพยายามทำให้การลดลงของแอมปลิจูดนี้ช้าที่สุด โดยการพยายามทำให้วงจรจูนมีค่า Q สูงที่สุด สัญญาณ LC ริงกิ้งคล็อกที่ได้จะนำไปผ่านบัฟเฟอร์ที่มีอินพุทอิมพีแดนซ์สูง ในการทดลองใช้เฟ็ตเป็นอุปกรณ์ทางอินพุท เพื่อให้โหลดวงจรจูนน้อยที่สุด จากนั้นจึงนำไปขยายด้วยปรีแอมป์เพื่อให้แอมปลิจูดสม่ำเสมอแล้วจึงแปลงสัญญาณเป็นรูปสี่เหลี่ยมด้วยตัวเปรียบเทียบความเร็วสูง สัญญาณใหม่ที่ได้จะเรียกว่า ริงกิ้งคล็อก (Ringing Clock) ซึ่งจะนำไปเข้าส่วนเฟสล็อคลูปต่อไป

ส่วนเฟสล็อคลูป (Phase Locked Loop)

เนื่องจากสัญญาณริงกิ้งคล็อกที่ได้จากส่วนจูนความถี่ LC ยังไม่มีเสถียรภาพเพียงพอที่จะนำไปใช้งานได้เนื่องจากยังมีจิทเตอร์ปะปนอยู่ ดังนั้นจึงจะนำสัญญาณนาฬิกานี้ผ่านเข้าระบบเฟสล็อคลูปที่มีแถบความถี่แคบมาก เพื่อสร้างสัญญาณนาฬิคาใหม่ที่มีเสถียรภาพและปราศจากจิทเตอร์



รูปที่ 5.2.2 แสดงไดอะแกรมส่วนแยกสัญญาณนาฬิกา

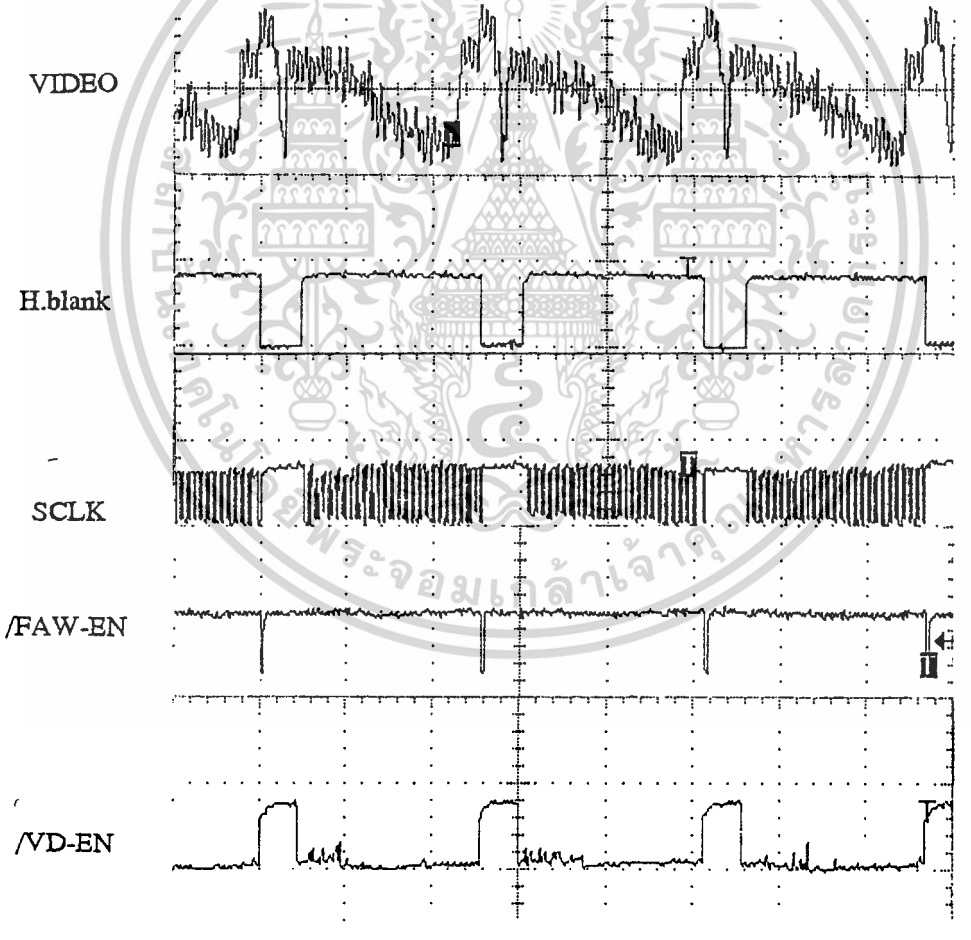
บทที่ 6

ผลการทดลอง

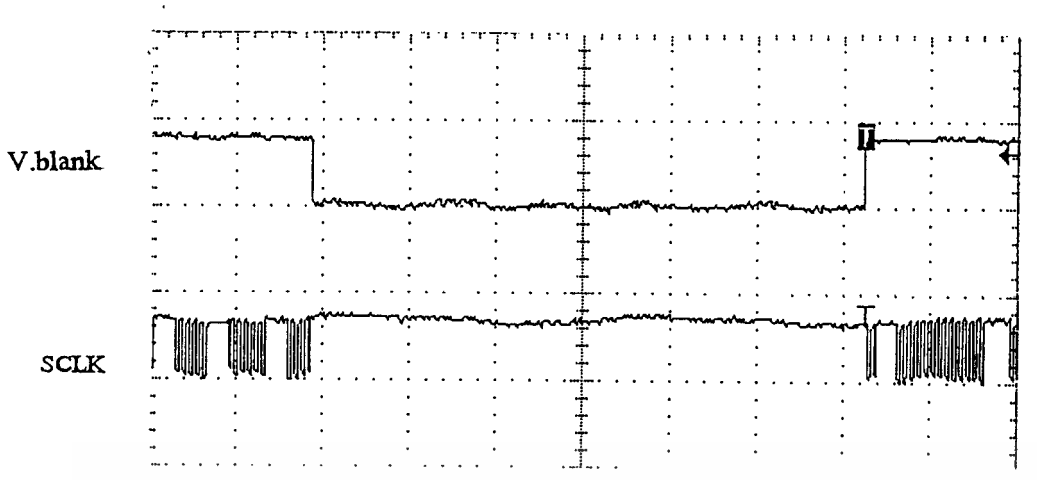
6.1 ระบบส่งข้อมูล

ในการทดลองระบบส่งข้อมูล จะทำโดยแบ่งการทดลองออกเป็นส่วนๆดังนี้

1. ส่วนมัลติเพล็กซ์ข้อมูล จะเป็นตัวกำเนิดสัญญาณ /FAW-EN , /VD-EN ซึ่งสัญญาณเหล่านี้เป็นสัญญาณอินาเบิลข้อมูลโดยจะมีการเลื่อนเฟสไปตามรูปแบบของข้อมูลทีดีเอ็ม และส่วนมัลติเพล็กซ์มีการสร้างสัญญาณนาฬิกาต่างเพื่อไปใช้ในการแปลงสัญญาณอนาลอกเป็นดิจิตอล XCLK ,SCLK และส่วนแยกสัญญาณซิงค์ V.blank , H.blank สามารถแสดงไทมิ่งไดอะแกรมของสัญญาณต่างๆดังนี้



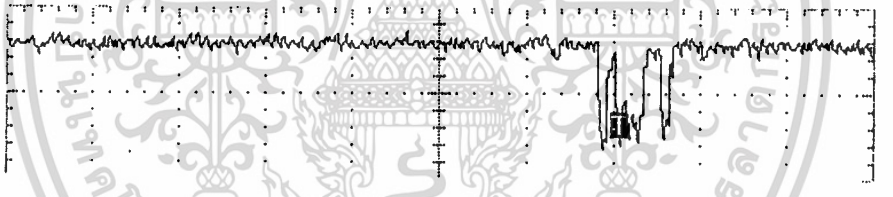
รูปที่ 6.1.1 ไทมิ่งไดอะแกรมของสัญญาณที่ส่วนมัลติเพล็กซ์



รูปที่ 6.1.2 สัญญาณ V.blank

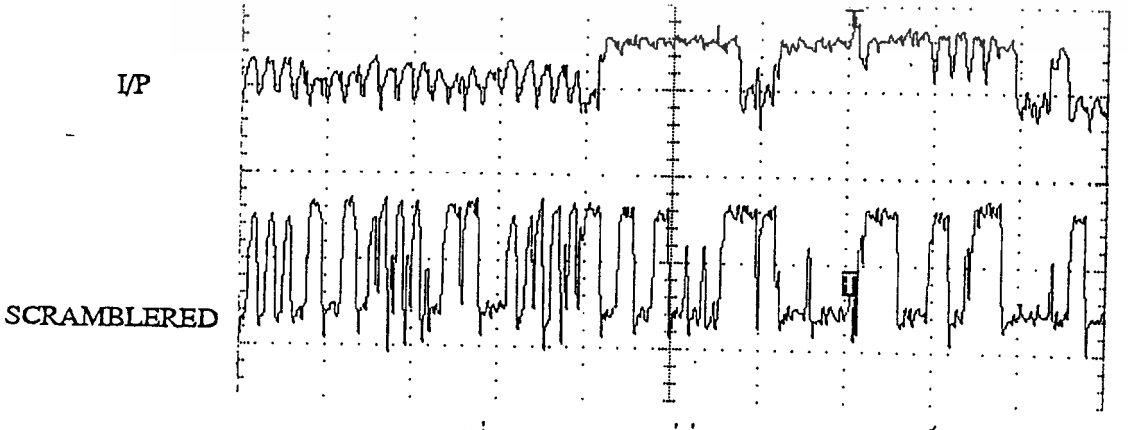
2. ส่วนแปลงสัญญาณสัญญาณอนาลอกเป็นดิจิตอล เมื่อมีการแปลงสัญญาณดิจิตอลที่ได้จากส่วนนี้กลับเป็นสัญญาณอนาลอก โดยสร้างวงจรแปลงสัญญาณดิจิตอลกลับเป็นอนาลอกแล้วปรากฏว่าสามารถแปลงกลับได้อย่างถูกต้อง

3. ส่วนแปลงข้อมูลขนานเป็นอนุกรม การทดลองนี้ทดลองตอนที่มีแต่เฟรมอไลเมนต์เวอร์ดเท่านั้น แล้วทำวัดการสัญญาณอนุกรมนั้นแสดงได้ดังนี้



รูปที่ 6.1.3 สัญญาณอนุกรม

4.ส่วนสแครมเบลอร์ การทดลองส่วนนี้ตรวจสอบโดยการต่อทั้งส่วนสแครมเบลอร์และส่วนดีสแครมเบลอร์ เพื่อดูว่าการสแครมเบลอร์นั้นถูกต้องหรือไม่ เมื่อมีการทดลองแล้วปรากฏว่าถูกต้อง แสดงรูปสัญญาณสแครมเบลอร์ได้ดังนี้



รูปที่ 6.1.4 สัญญาณที่ผ่านการสแครมเบลอร์

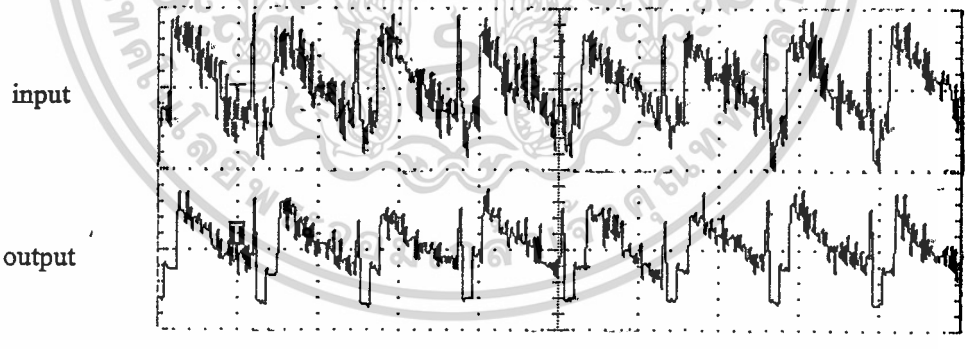
6.2 ระบบรับข้อมูล

เนื่องจากการทดลองพบว่าที่ภาครับ วงจร PLL (Phase Lock Loop) ไม่สามารถกำเนิดความถี่ที่มีความถี่และเฟสตรงกับด้านรับได้ระบบจึงไม่สามารถแปลงสัญญาณภาพกลับคืนมาได้ และสัญญาณซิงค์ภาพที่ทำการ Mix เข้าไปกับสัญญาณภาพที่ได้จาก D/A นั้นเกิดการเลื่อนเฟสทำให้สัญญาณไม่สามารถส่งออกทาง monitor ได้ อีกทั้งการตรวจจับ FAW ก็พบ FAW เทียมมากทำให้ระบบไม่สามารถซิงโครไนซ์ได้

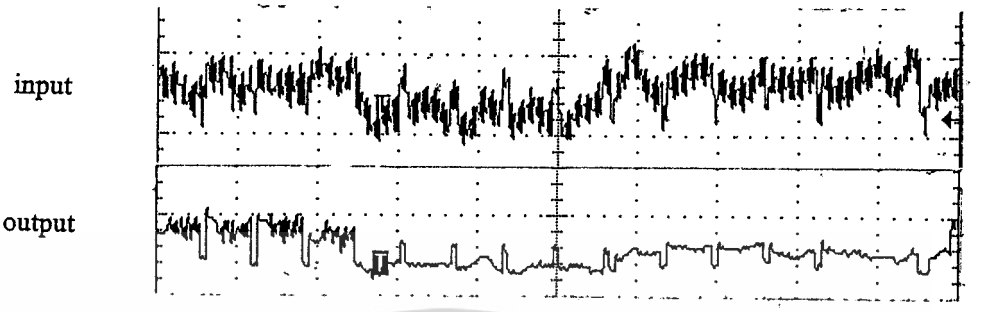
จากสาเหตุดังกล่าวข้างต้นทำให้ไม่สามารถทดสอบได้ว่าสัญญาณ Serial ที่ส่งมานั้นถูกต้อง จึงได้ทำการทดลองโดยใช้สัญญาณต่างๆจากภาคส่ง ส่งมายังด้านรับโดยตรงซึ่งสัญญาณที่ส่งมามีดังนี้

1. สัญญาณ Serial
2. สัญญาณ ซิงค์ภาพ
3. สัญญาณ นาฬิกา 10 Mh_z
4. สัญญาณ ควบคุม Counter

ซึ่งจากสัญญาณทั้งหมดที่ส่งมาสามารถรับสัญญาณและแปลงกลับมาได้ โดยสัญญาณที่ได้แสดงดังรูปที่ 6.2.1 และ รูปที่ 6.2.2 ตามลำดับ

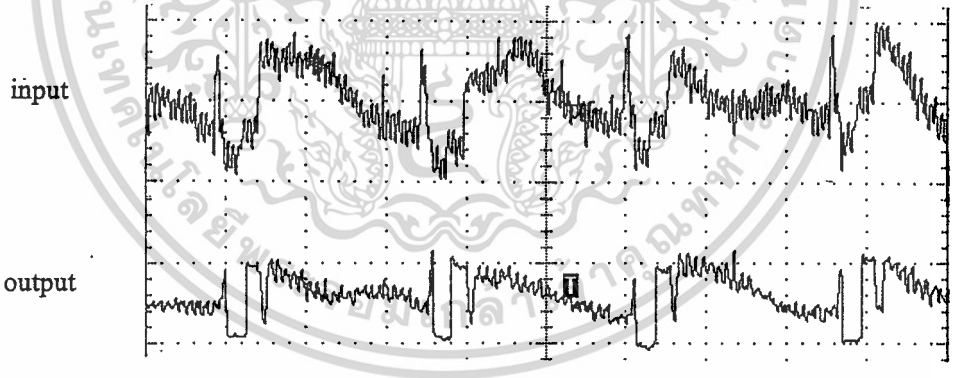


รูปที่ 6.2.1แสดงสัญญาณภาพที่ได้จาก Pattern Generator และสัญญาณที่ได้จากวงจรทางภาครับเมื่อต่อแบบขนาน



รูปที่ 6.2.2 ช่วง อิควอไลซิ่งพัลซ์ของสัญญาณภาพที่ได้เมื่อต่อแบบขนาน

เมื่อทำการส่งสัญญาณดิจิตอลแบบอนุกรมที่ได้จากวงจรทางภาคส่งสัญญาณภาพที่ได้ทางภาครับมีลักษณะดังรูปที่ 6.2.3



รูปที่ 6.2.3 สัญญาณภาพที่ได้จากการส่งแบบอนุกรม

เมื่อนำสัญญาณภาพต่อเข้ากับมอนิเตอร์ลักษณะภาพที่ได้ไม่คมชัดดังอินพุทเนื่องจากความถี่ในการสุ่มสัญญาณภาพมีค่าต่ำคือ 1.25 Mhz และมีสัญญาณรบกวนเกิดขึ้นแต่ยังสามารถมองเห็นเป็นภาพ ตามแพทเทิร์นที่ออกมาจาก Pattern Generator

บทที่ 7
บทสรุป

ระบบที่ได้ศึกษาและทำการทดลองได้นี้เป็นระบบรับส่งข้อมูลภาพแบบซิงโครนัสทีดีเอ็ม ด้วยความเร็ว 10 Mbps โดยมีความละเอียด 8 บิทต่อจุดภาพ

จากการทดลองในบทที่ 5 จะเห็นว่า ในส่วนของระบบส่งข้อมูลนั้น สัญญาณควบคุมต่างๆ ที่วัดได้นั้นถูกต้องเป็นไปตามการทำงานของวงจร และในส่วนของระบบรับนั้นจากการทดลองพบว่า จะมีปัญหาเกิดขึ้นที่ส่วนแยกสัญญาณนาฬิกาและเฟสล็อคลูป คือสัญญาณริงกิงค์คล็อกที่ได้จากวงจรจูน LC Tank Circuit มีการเลื่อนเฟสมาก ทำให้เมื่อผ่านเข้าวงจรเฟสล็อคลูป สัญญาณริงกิงค์คล็อกไม่สามารถล็อคกับคล็อกที่ได้จากวงจร VCO ที่ใช้ เป็นวงจรที่ใช้คริสตอลเป็นตังผลิตสัญญาณ ซึ่งมีข้อเสียคือ ความถี่เบี่ยงเบนน้อย ดังนั้นถ้าความถี่สัญญาณนาฬิกาได้จากวงจร VCO ไม่ใกล้เคียงกับความถี่สัญญาณนาฬิกาจากภาคส่ง วงจรเฟสล็อคลูปก็ไม่สามารถเข้าสู่สภาวะล็อคได้

ปัญหาที่พบขณะทำการทดลองคือ

1. ระบบที่ทำการศึกษาและทดลองนั้น เป็นฮาร์ดแวร์จึงขาดความยืดหยุ่น ถ้าคิดที่จะดัดแปลงแก้ไขทำได้ลำบาก

2. ระบบจะใช้อุปกรณ์ค่อนข้างมากซึ่งส่วนใหญ่เป็นไอซีประเภท TTL ทำให้ระบบมีการดึงกระแสค่อนข้างสูง

3. ในการออกแบบระบบกราวน์และไฟของวงจรนั้นทำได้ยุ่งยากและลำบากมากเนื่องจากเป็นระบบดิจิตอลที่ใช้ความถี่ถึง 10 MHz ทำให้เป็นตัวกำเนิดสัญญาณรบกวนอันเป็นผลเกิดจากข้อ 2 ที่สวิทช์ด้วยความเร็วสูง ซึ่งปัญหานี้เป็นปัญหาสำคัญที่ทำให้ระบบต่างๆ ไม่สามารถทำงานได้

ข้อเสนอแนะแนวทางในการแก้ไข โดยการพยายามนำไมโครโปรเซสเซอร์หรือไมโครคอนโทรเลอร์เข้ามาควบคุมระบบซึ่งจะทำให้มีข้อดีดังนี้

1. ระบบนั้นมีขนาดเล็กลงเนื่องจากไม่ต้องใช้อุปกรณ์จำนวนมากเช่นนี้

2. ระบบนั้นมีความยืดหยุ่นมากขึ้น ซึ่งสามารถทำการแก้ไขปรับปรุงเปลี่ยนแปลงได้ง่าย

3. ลดสัญญาณรบกวนเนื่องจากการสวิทช์ด้วยความเร็วสูงของไอซี TTL จำนวนมาก

แต่อย่างไรก็ดีในปัจจุบันไมโครโปรเซสเซอร์ที่มีความเร็วสูงนั้นยังมีราคาแพง นอกจากจะนำการประมวลผลเชิงเลข (Digital Signal Processing) มาใช้แต่ต้องใช้เวลาในการศึกษาให้เข้าใจก่อน

เอกสารอ้างอิง

1. ณรงค์ ย่างสกุล , "เทคนิคการออกแบบวงจรดิจิตอล การสร้างภาพบนจอโทรทัศน์ " , วารสารเซมิคอนดักเตอร์อิเล็กทรอนิคส์ , ฉบับที่ 143 , 2537 , หน้า 65-71.

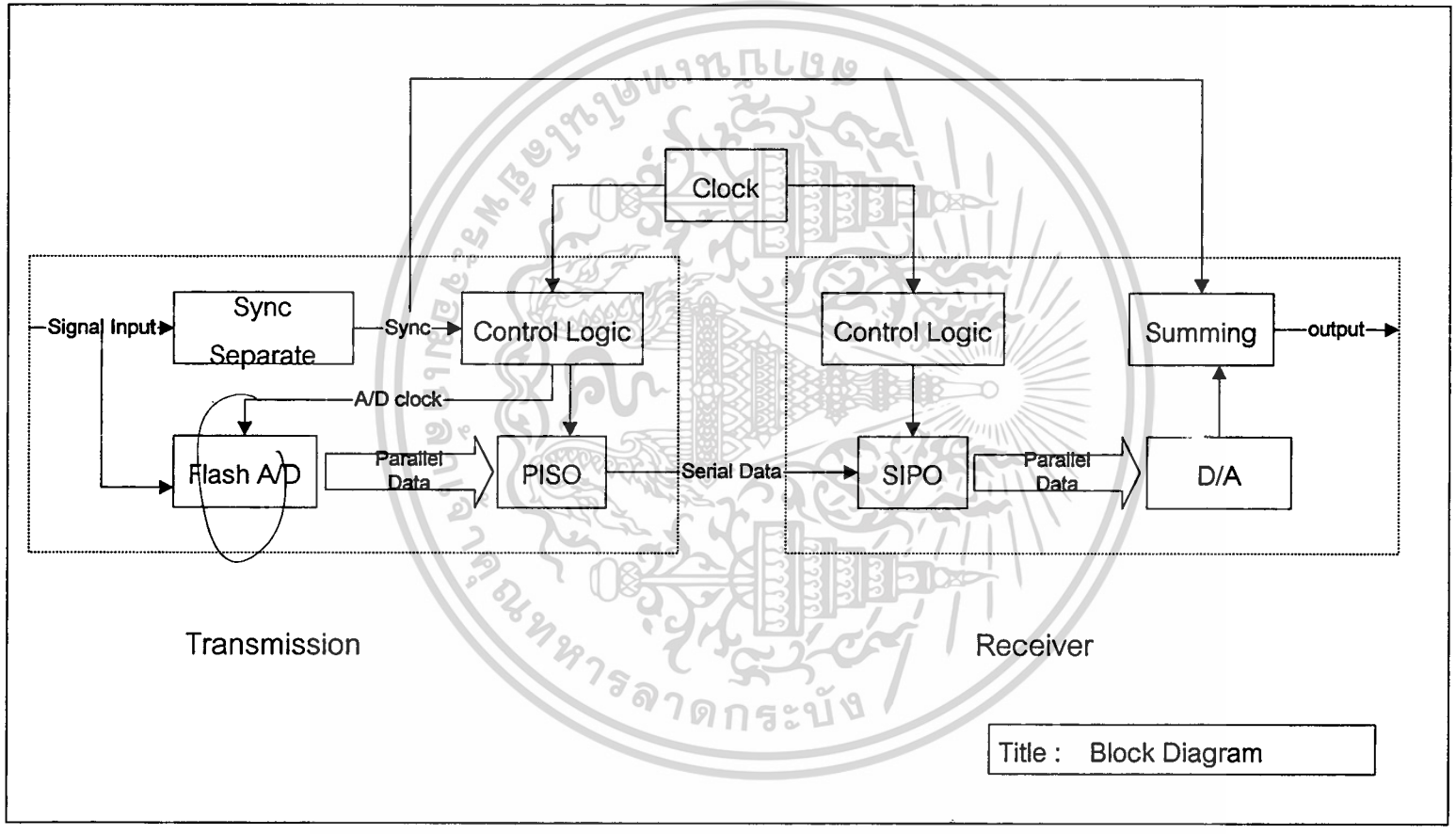
2. สมศักดิ์ เตชะเศรษฐ์ธนะ , " ทฤษฎีและปฏิบัติ VCR ระบบดิจิตอล " , ซีเอ็ด , 117หน้า , 2532

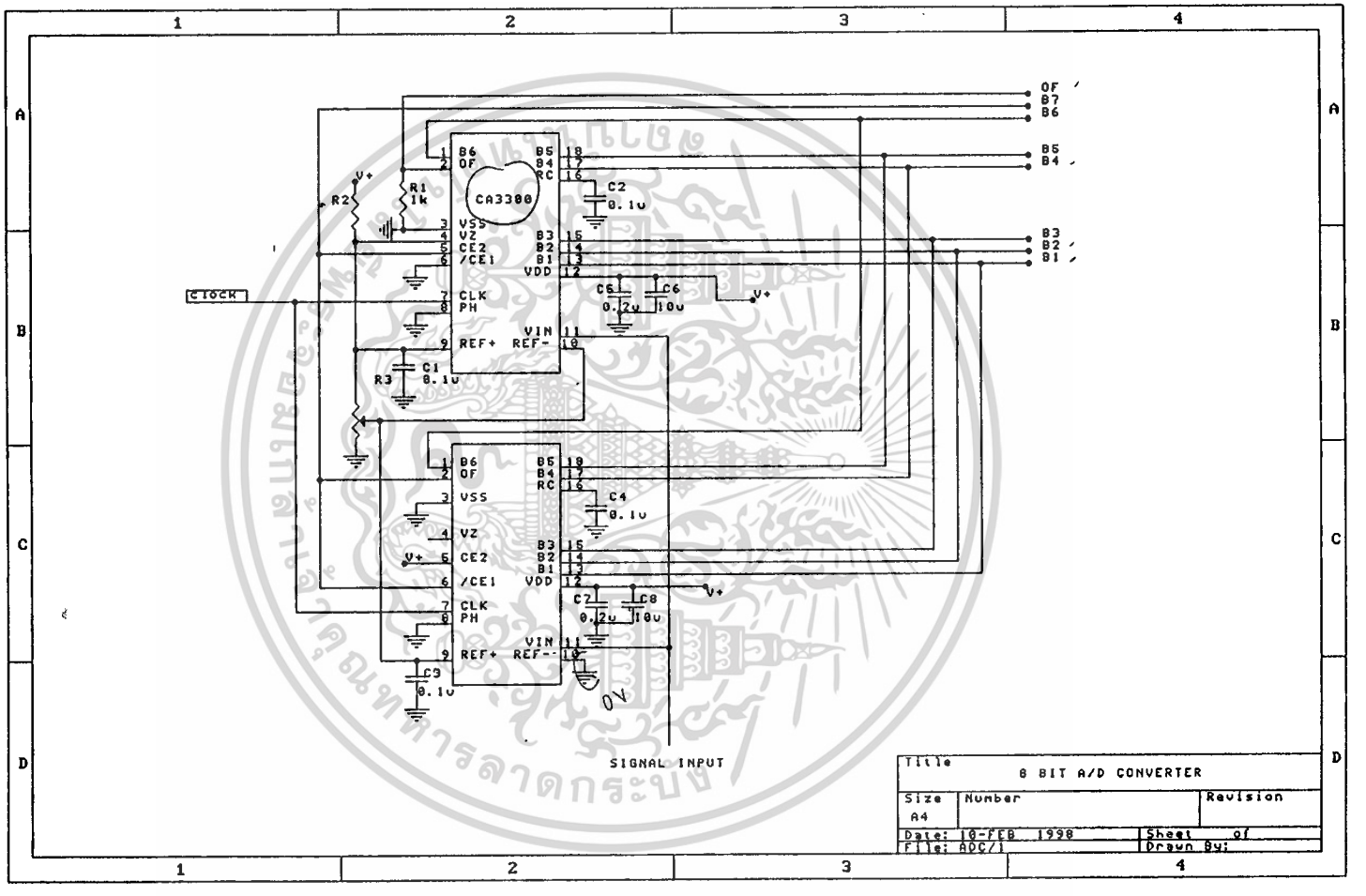
3. สมศักดิ์ อภิรักษ์สมบัติ , " ระบบส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม " , การประชุมวิชาการทางวิศวกรรมไฟฟ้า , หน้า 460-465.

4. สมศักดิ์ อภิรักษ์สมบัติ , " วิทยานิพนธ์เรื่องระบบส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม ", ปีการศึกษา2535

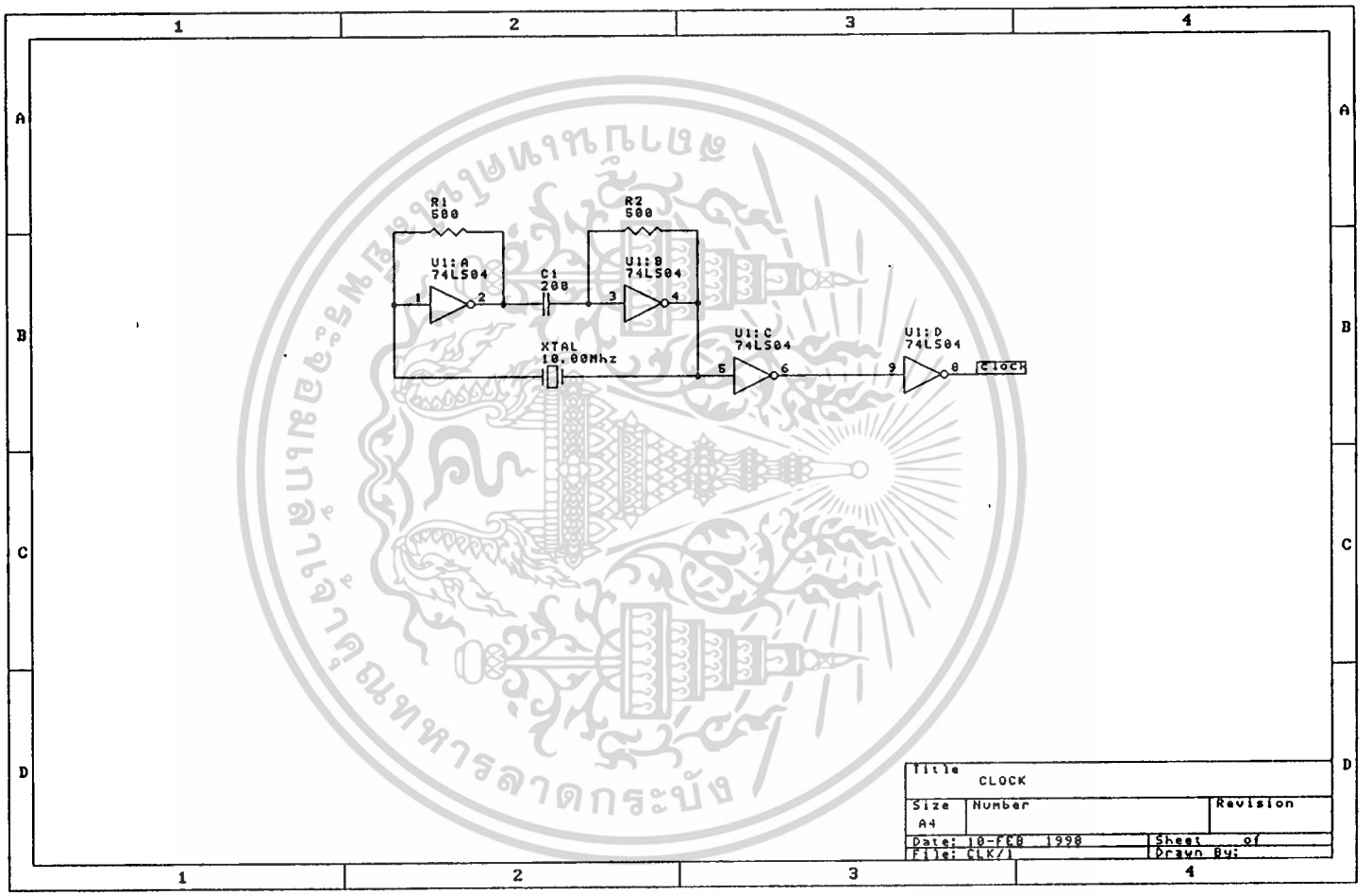
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ภาคผนวก

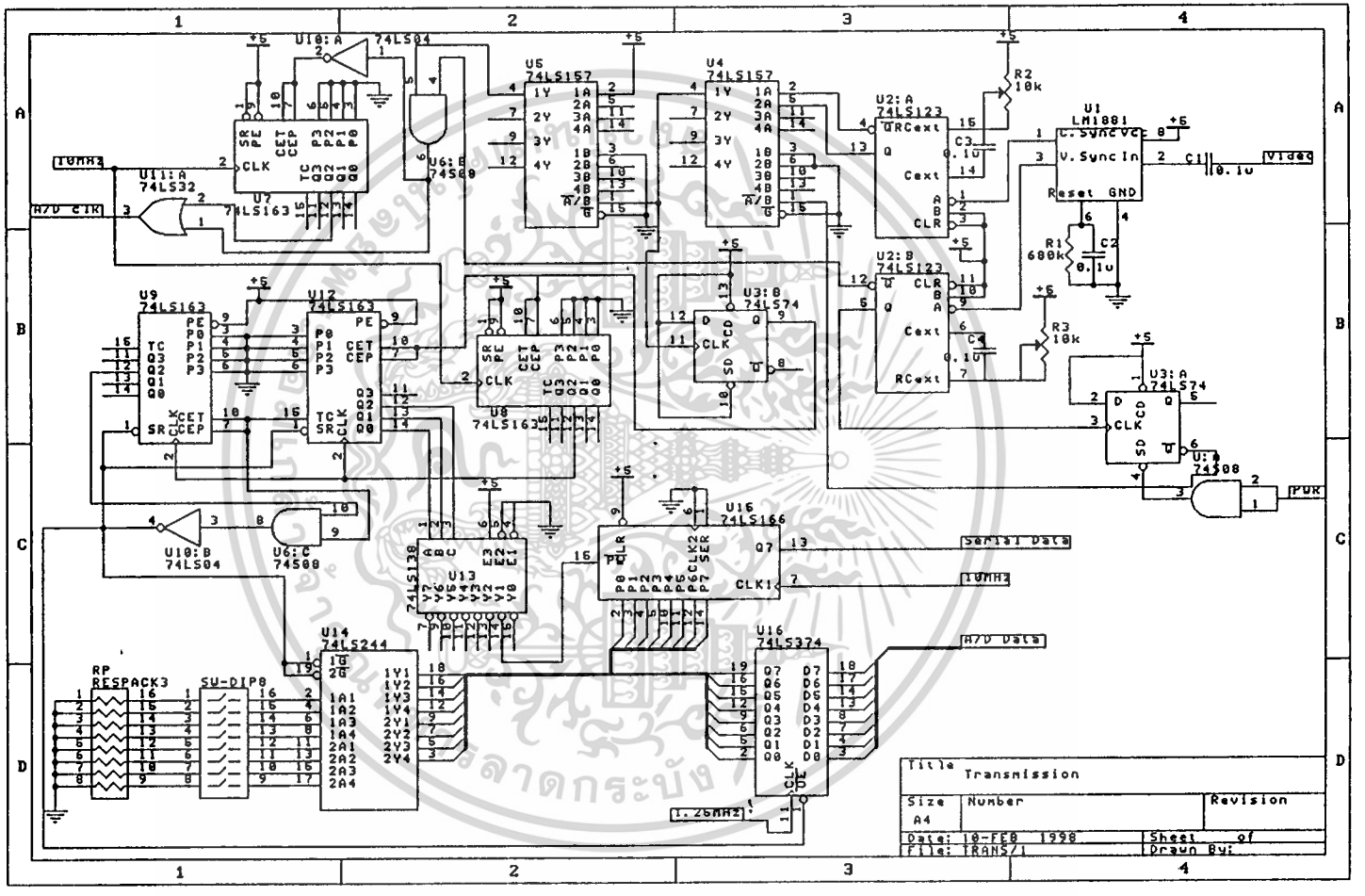

Clock
Signal Input
Sync Separate
Sync
Control Logic
A/D clock
Flash A/D
Parallel Data
PISO
Serial Data
Control Logic
SIPO
Parallel Data
Summing
output
D/A
Transmission
Receiver
Title : Block Diagram



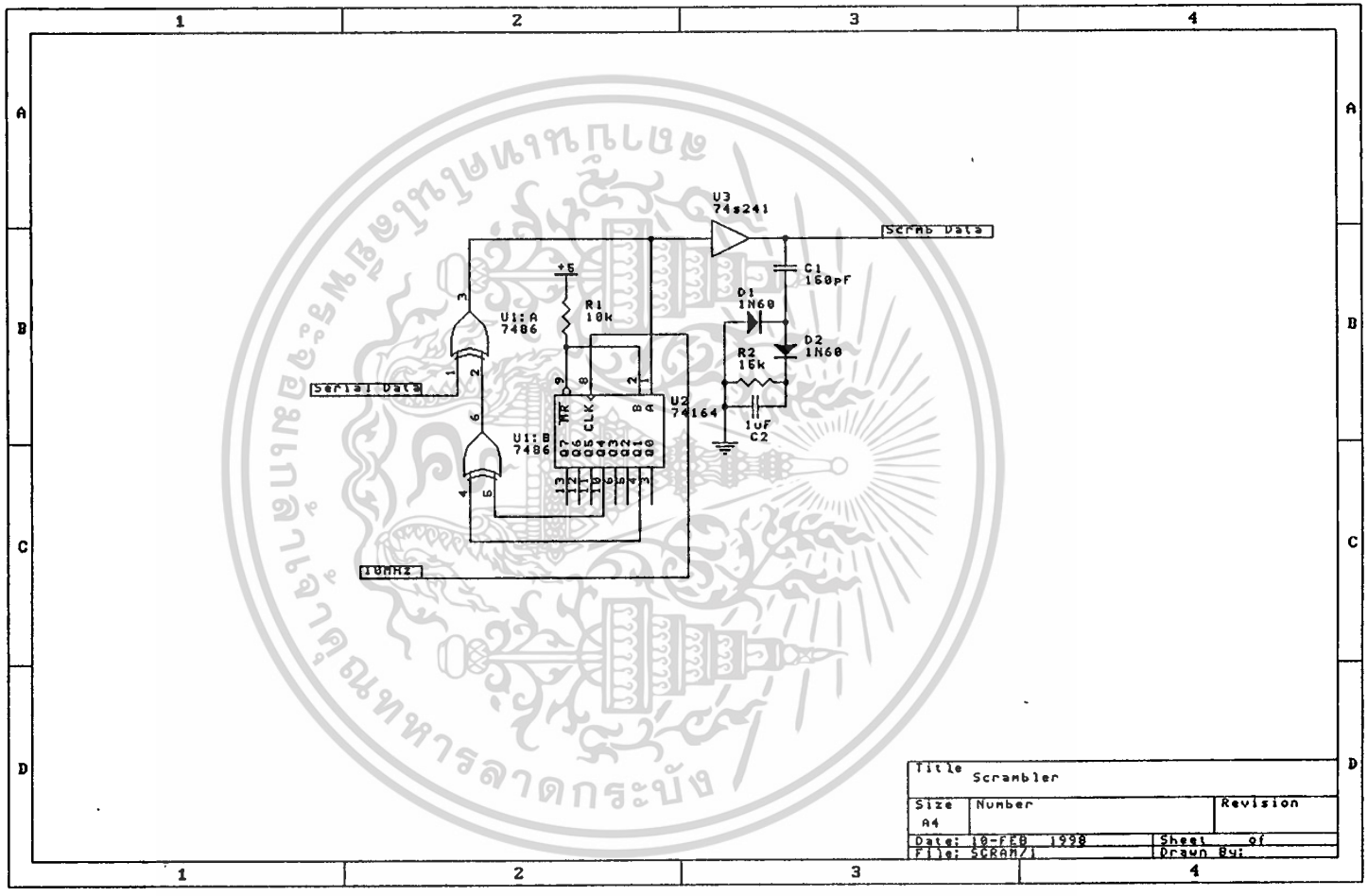
รูปที่ ผ .1 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท



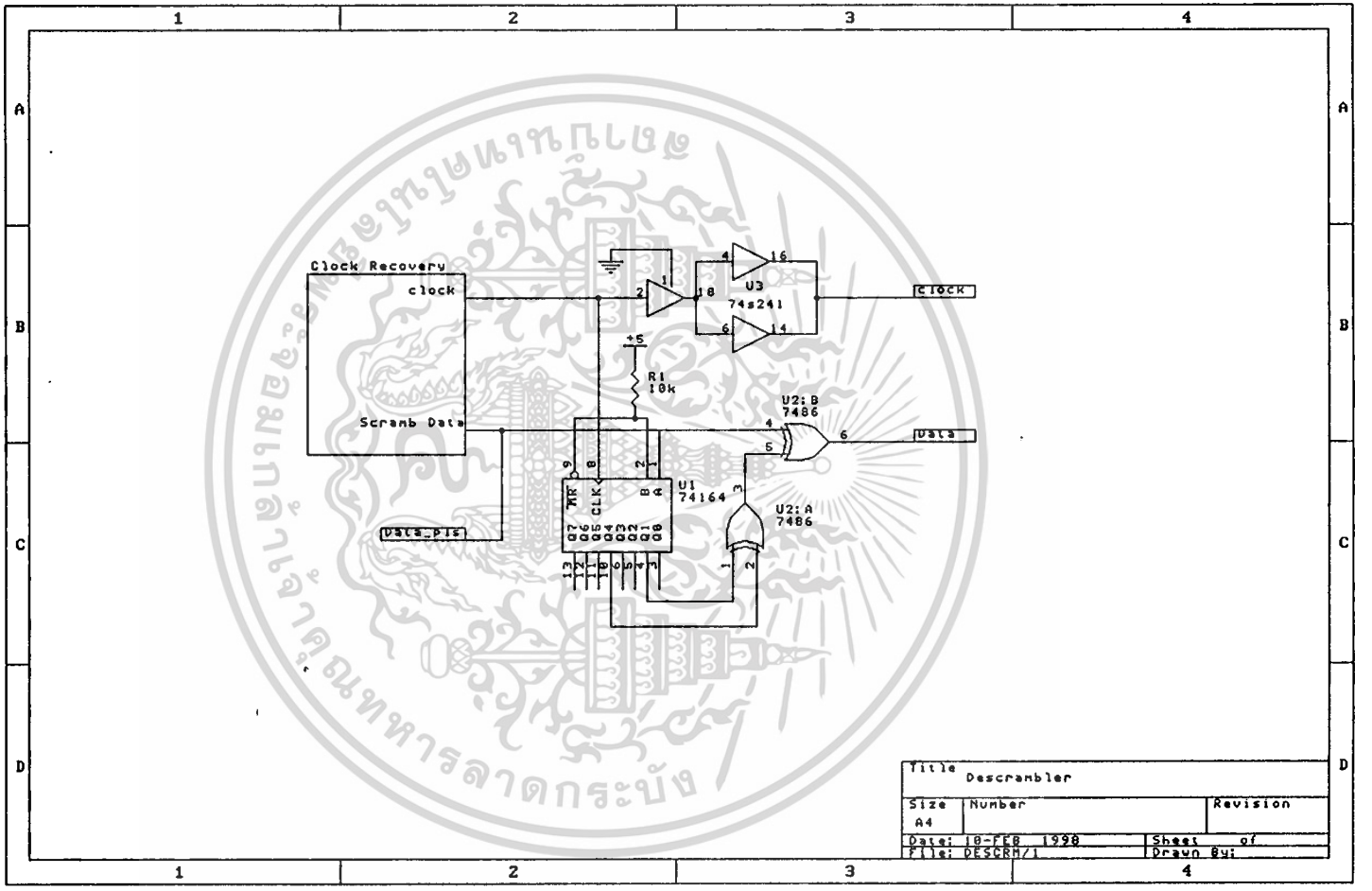
รูปที่ ผ .2 วงจรสร้างสัญญาณนาฬิกา



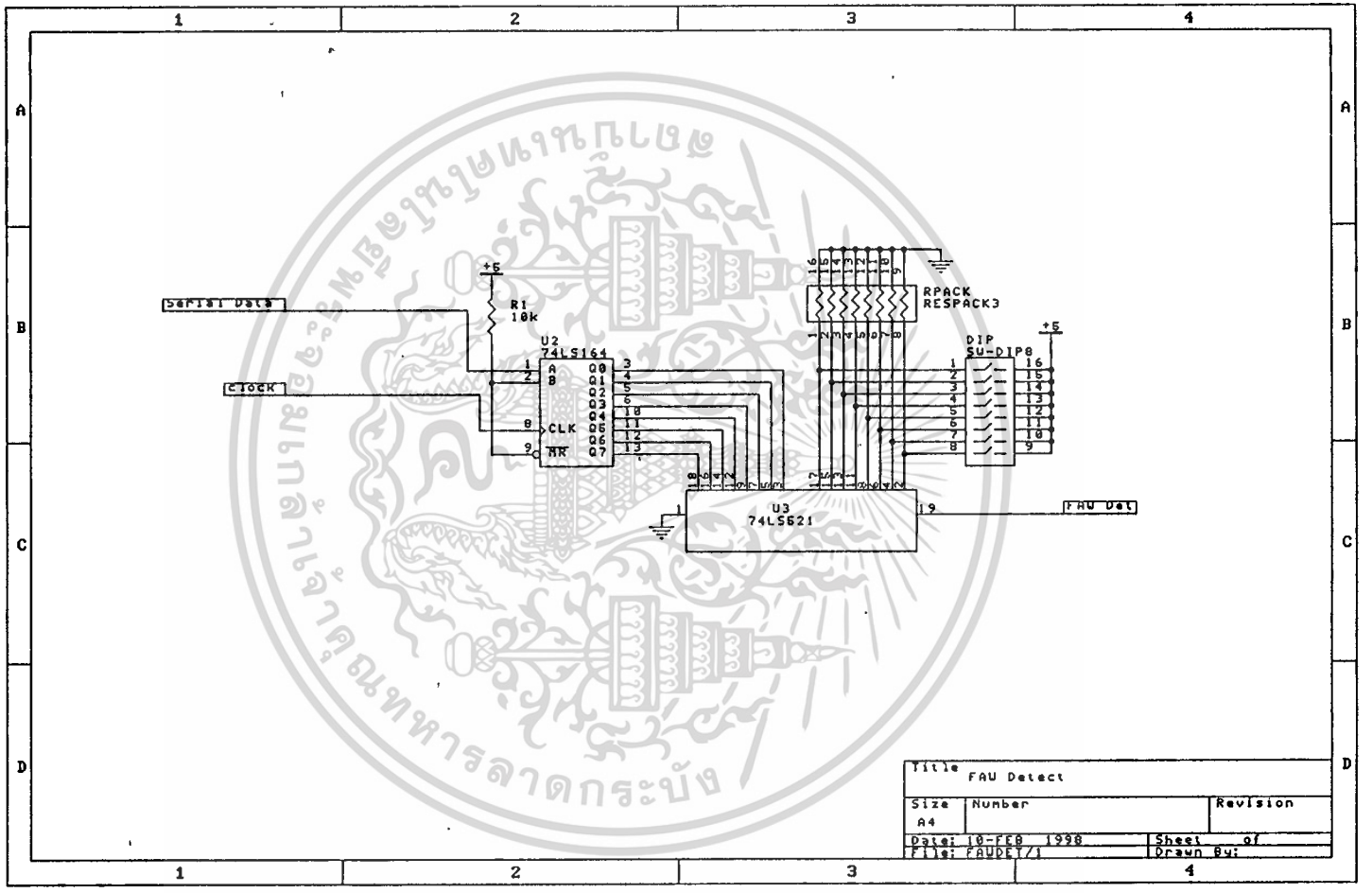
รูปที่ ผ .3 วงจรภาคส่ง



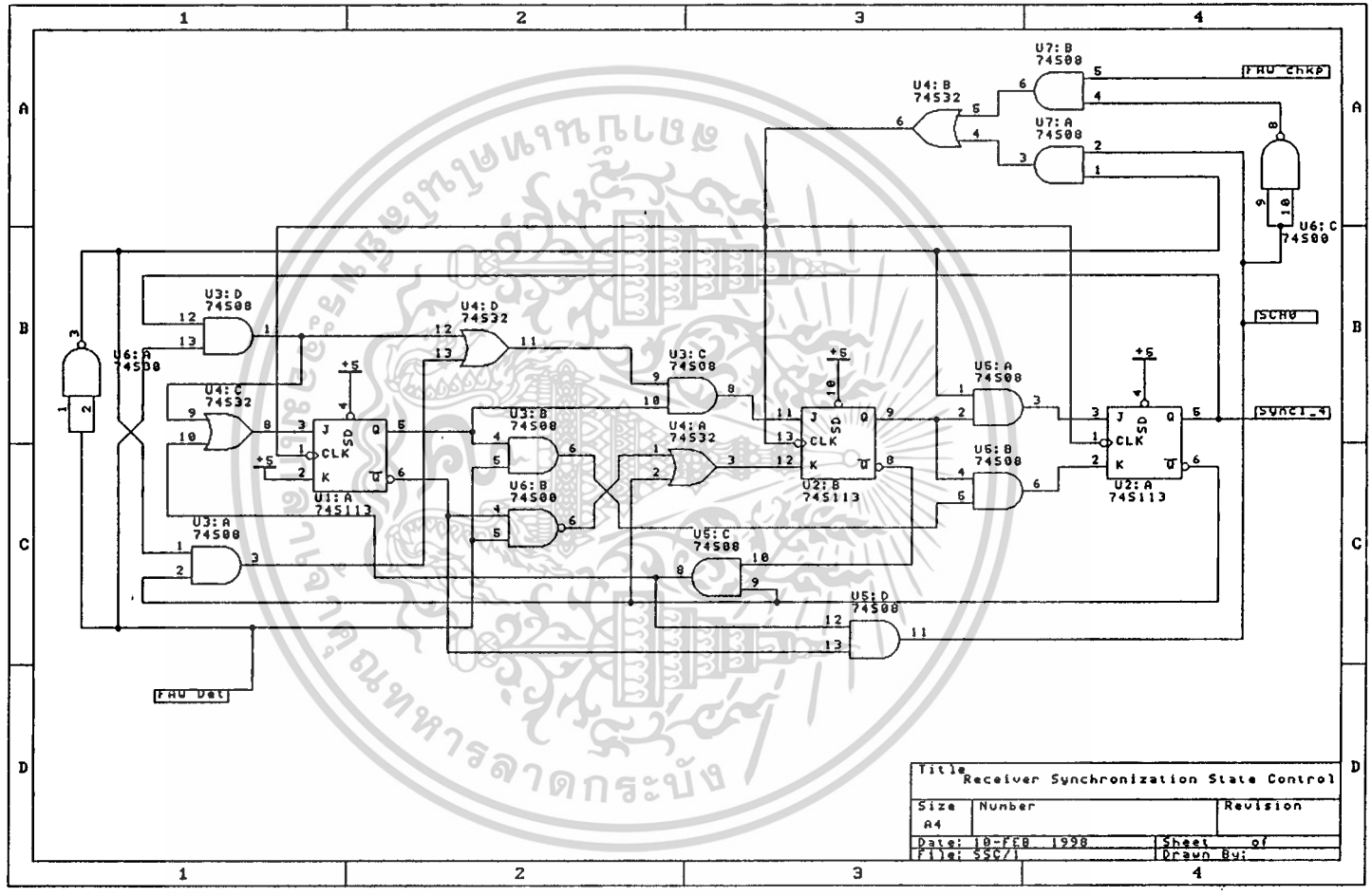
รูปที่ ผ .4 วงจรสแครมเบลอร์



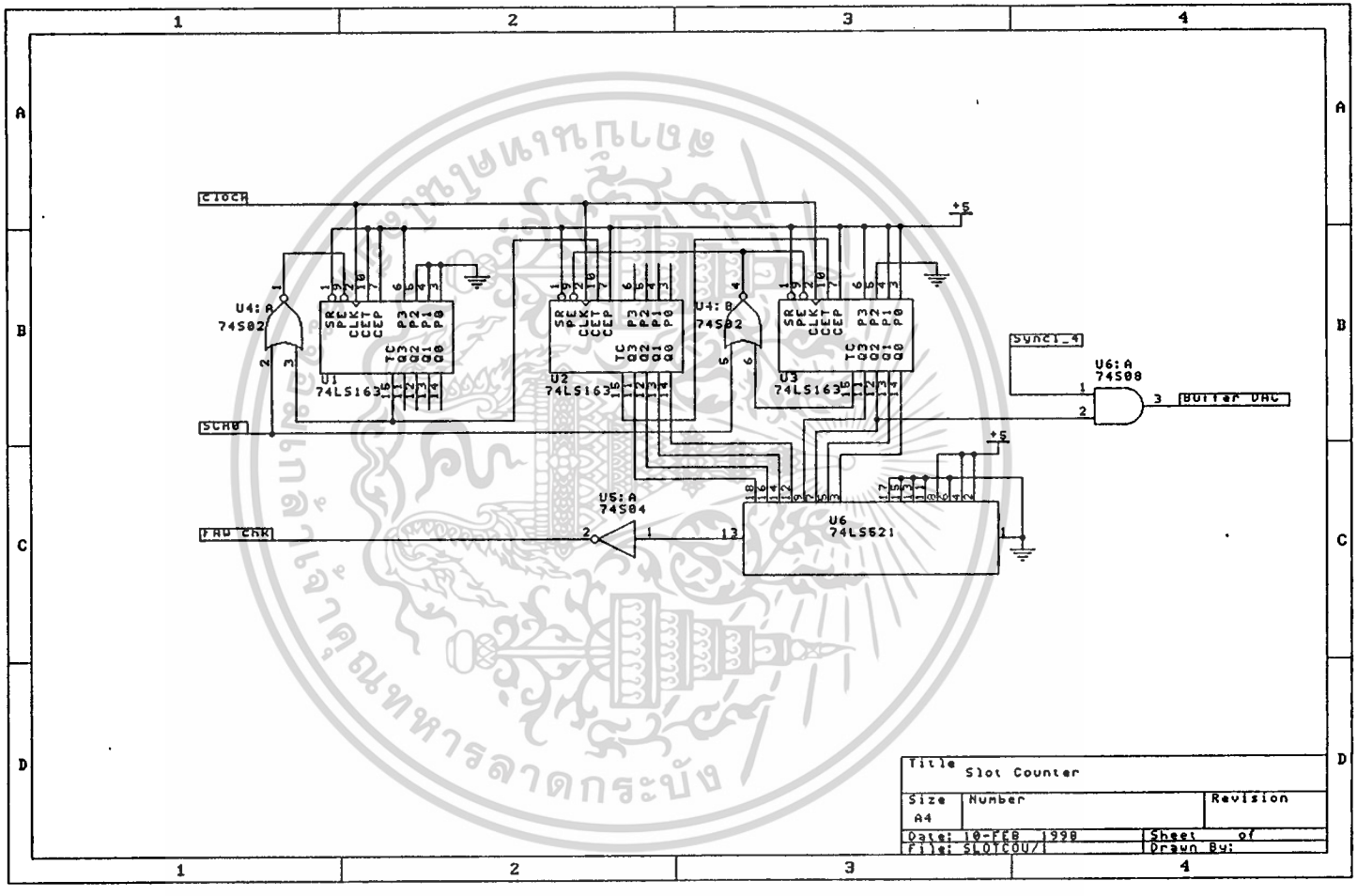
รูปที่ ผ .5 วงจรดีสแครมเบลอร์



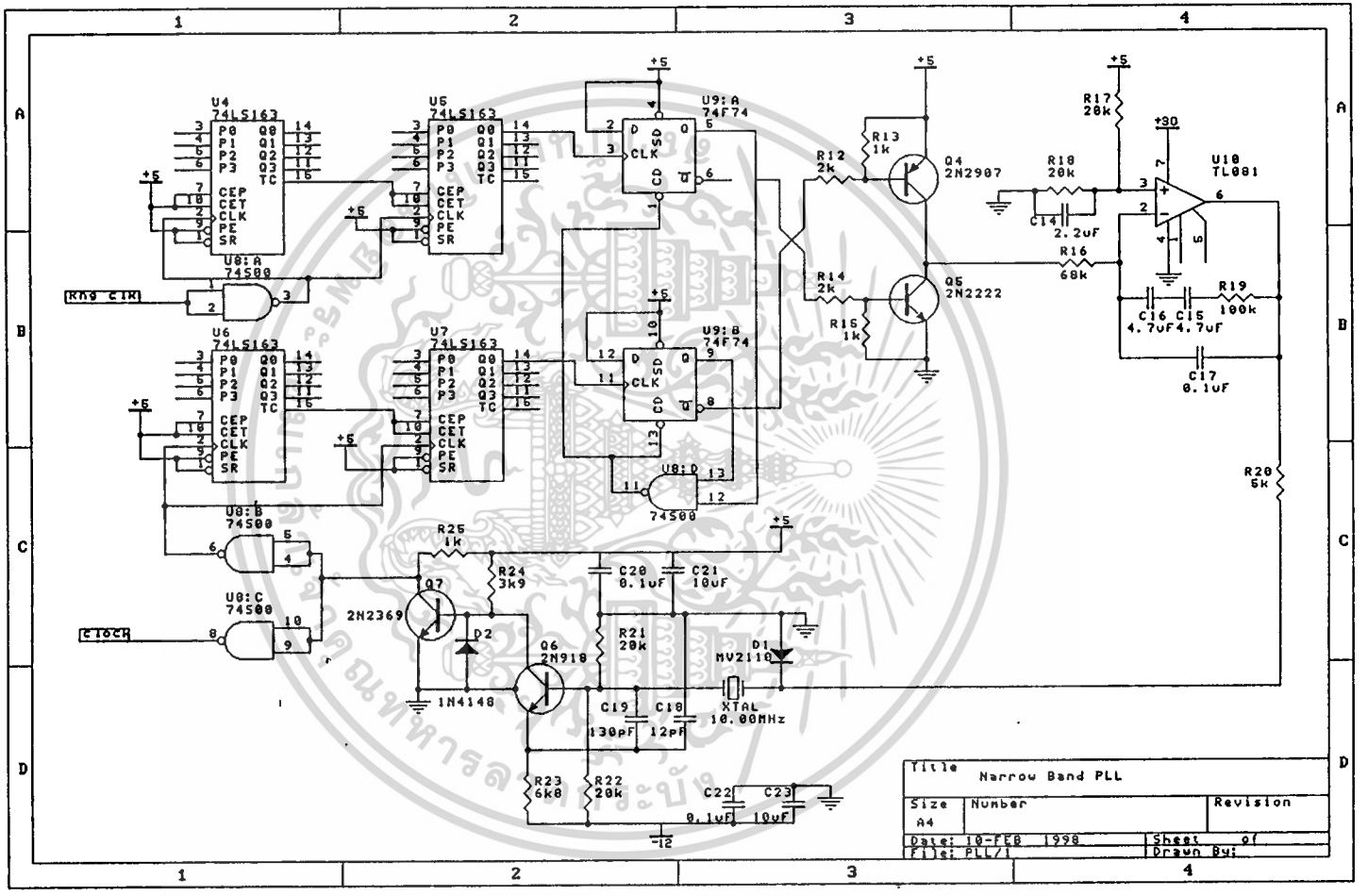
รูปที่ ผ .6 วงจรตรวจจับ FAW



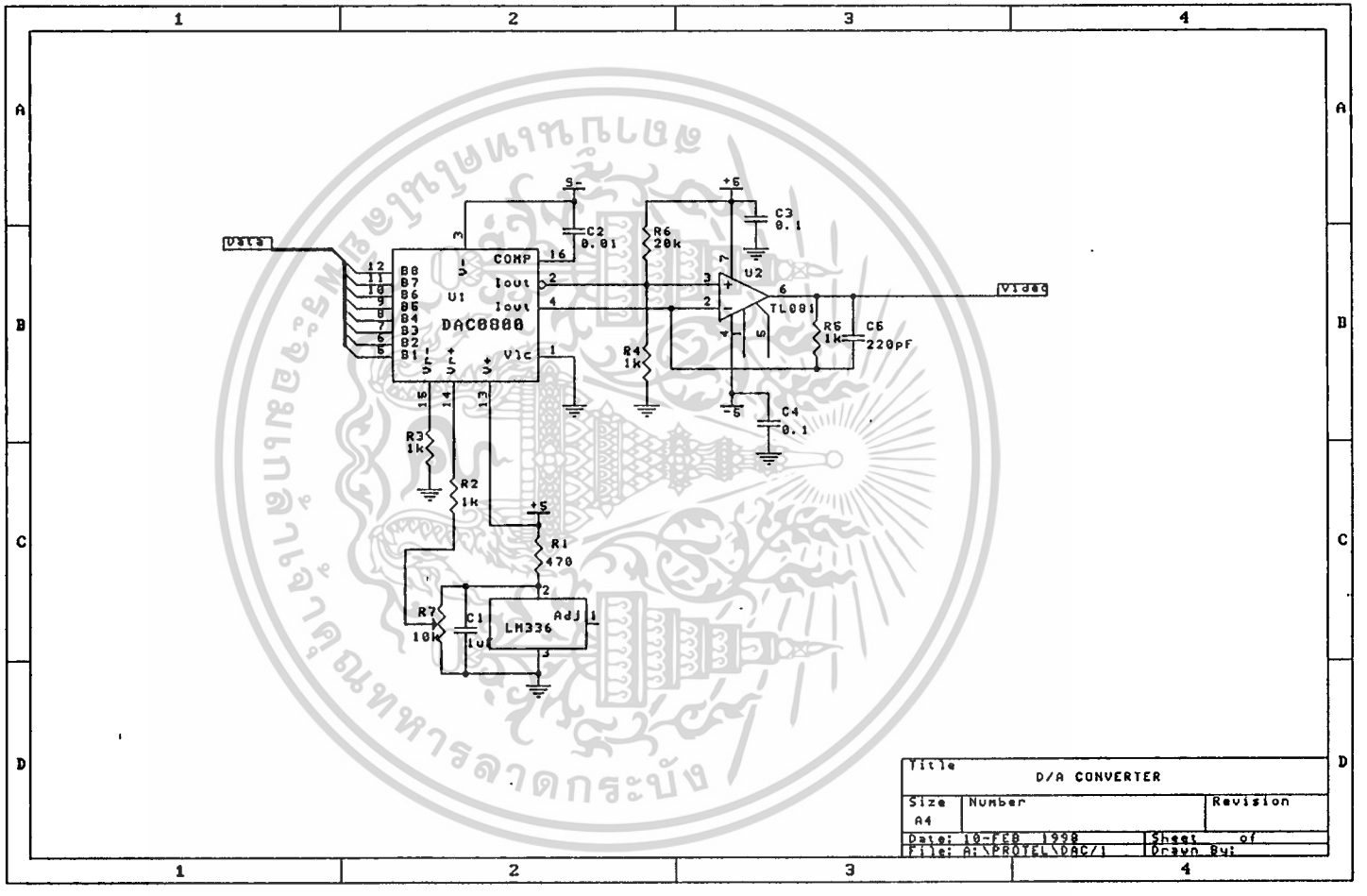
รูปที่ ผ .7 วงจรซิงโครนัสสเตจคอนโทรล



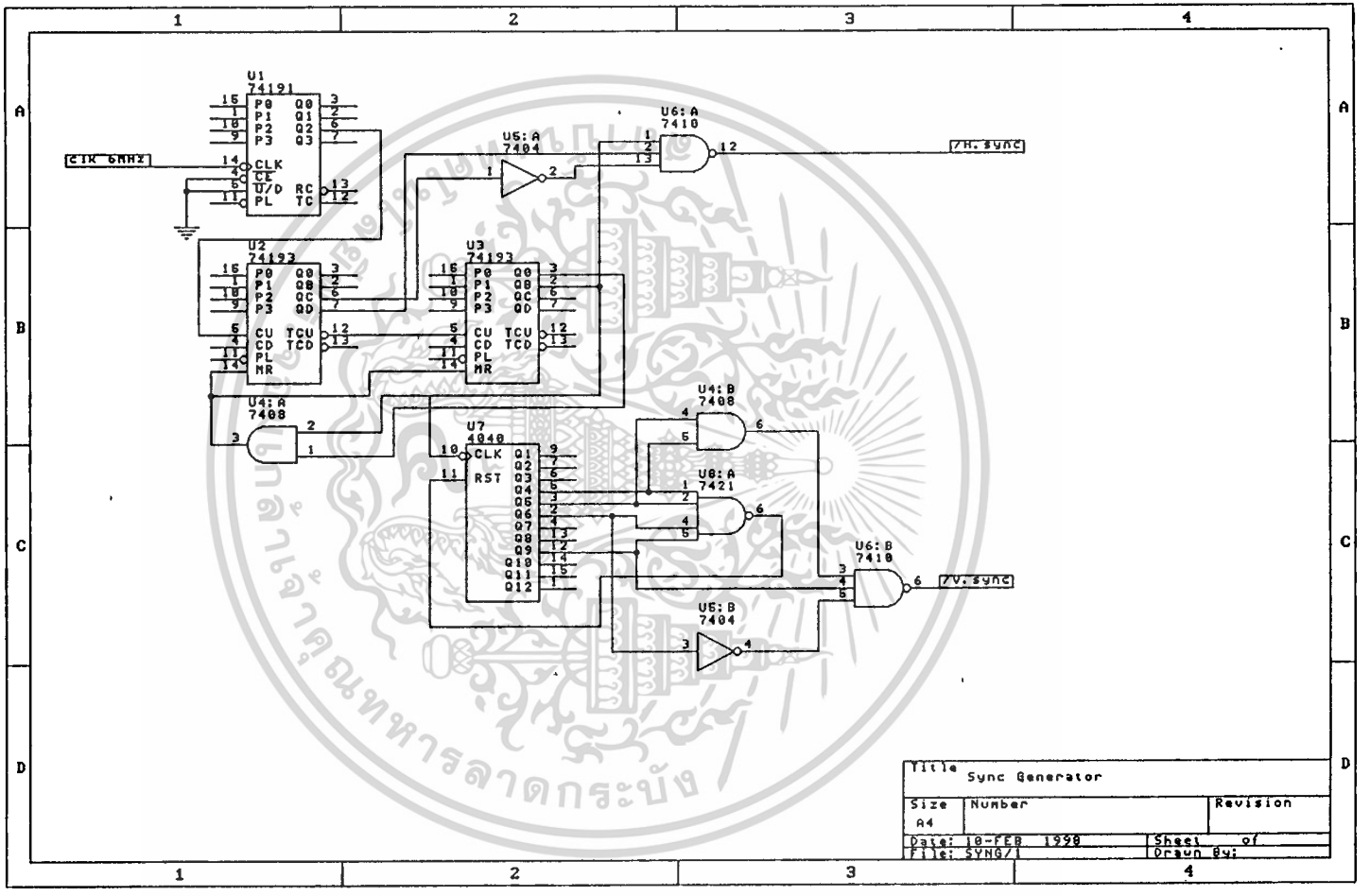
รูปที่ ผ .8 วงจรนับเฟรมข้อมูล



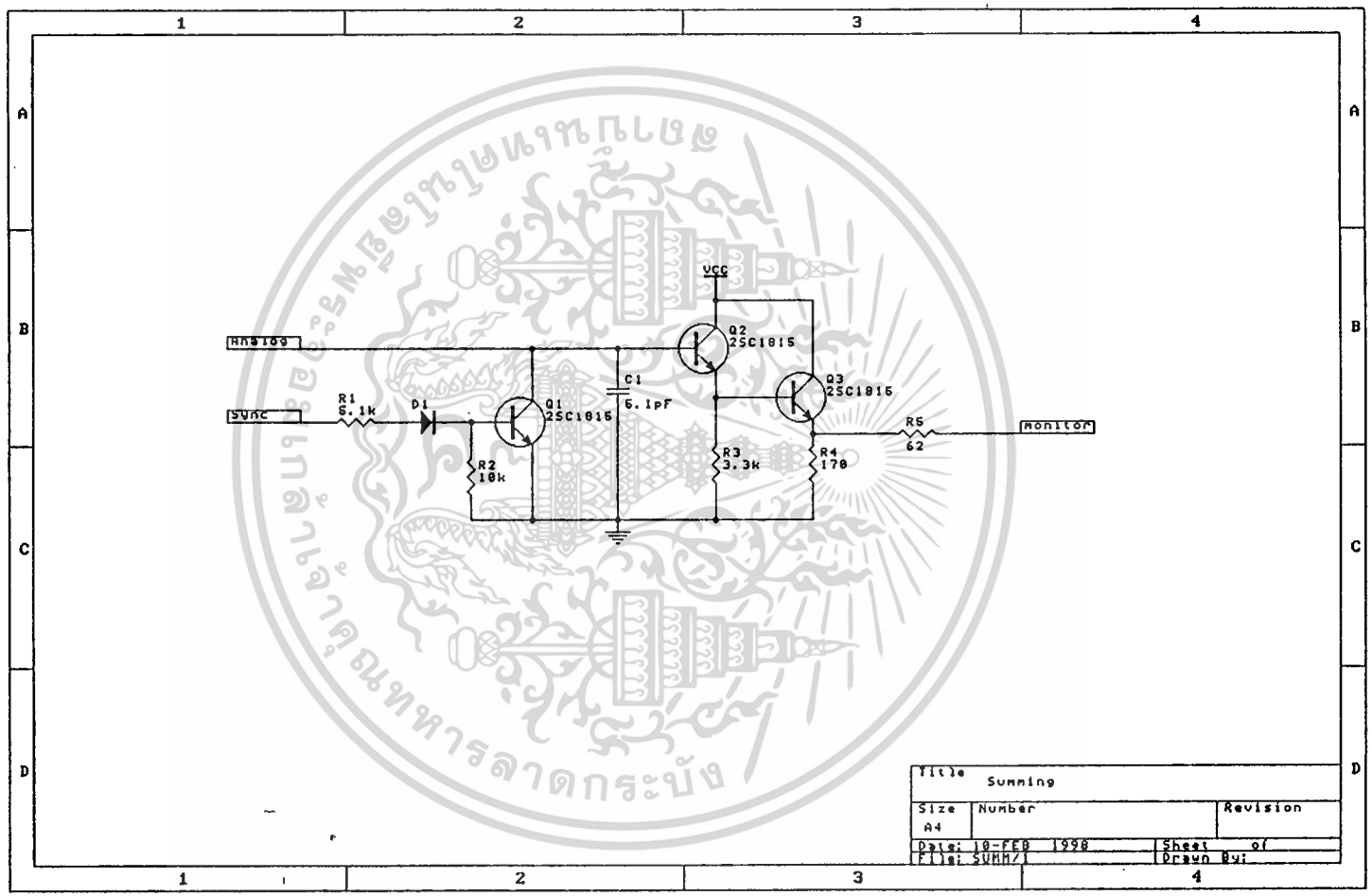
รูปที่ ผ .9 วงจรเฟสล็อคลูป



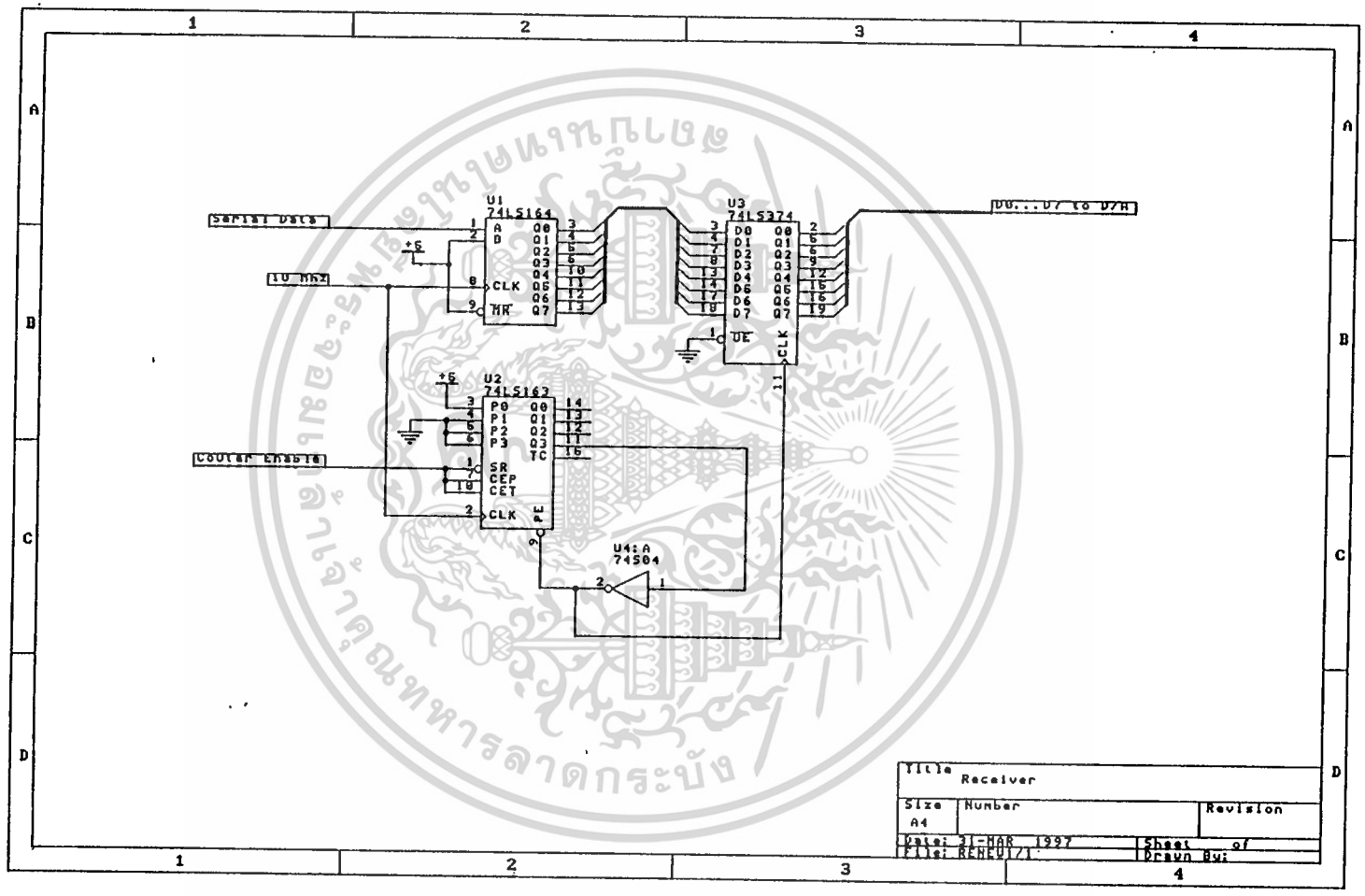
รูปที่ ผ .10 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก



รูปที่ ผ.11 วงจรสร้างสัญญาณซิงค์ภาพ



รูปที่ ผ .12 วงจรรวมสัญญาณซิงค์ภาพกับสัญญาณภาพจาก D/A



รูปที่ ผ .13 วงจรภาครับที่สร้างขึ้นเพื่อทดสอบวงจรทางภาคส่ง

กิตติกรรมประกาศ

ขอขอบคุณ อ. สมศักดิ์ เชียร์ศิริกุล และ อ. สุรพันธุ์ เอื้อไพบูลย์ ที่ได้ให้คำแนะนำและช่วยเหลือในการทำวิทยานิพนธ์

ขอขอบคุณท่านอาจารย์ทุกท่านที่ถ่ายทอดความรู้และประสบการณ์

ขอขอบคุณ พี่ ๆ ห้อง B 407 ที่ช่วยอำนวยความสะดวกในเรื่องอุปกรณ์และสถานที่ทำงาน

ขอขอบคุณ คุณพ่อ คุณแม่ ที่คอยห่วงใยและให้กำลังใจเสมอมา

ขอขอบคุณเพื่อน ๆ ทุกคนที่ให้กำลังใจ