QPSK โมเด็มโดยวิธีสังเคราะห์สัญญาณ

QPSK MODEM with direct digital synthesis method

โดย

นาย สุกิจ บุญกาญจน์	เลขประจำตัว	37013403
นาย สุวณิชช์ จำนงไทย	เลขประจำตัว	37013405
นาย อนุวัฒนา เอียดขลิก	เลขประจำตัว	37013408

วัน เดือน ปี 1 ตค 2541
เลขทะเบียน 038071
เลขเรียกหนังสือ T 39091 สุกิจ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ QPSK โมเด็มโดยวิธีสังเคราะห์สัญญาณ

QPSK MODEM with direct digital synthesis method

ชื่อนักศึกษา นาย สุกิจ บุญกาญจน์ เลขประจำตัว 37013403

นาย สุวณิชช์ จำนงไทย เลขประจำตัว 37013405

นาย อนุวัฒนา เอียดขลิก เลขประจำตัว 37013408

อาจารย์ที่ปรึกษา อาจารย์ดลชัย สุขเจริญผล

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2539

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรม-ศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

QPSK โมเด็มโดยวิธีสังเคราะห์สัญญาณ

โดย	นาย สุกิจ บุญกาญจน์	เลขประจำตัว	37013403
	นาย สุวณิชช์ จำนงไทย	เลขประจำตัว	37013405
	นาย อนุวัฒนา เอียดขลิก	เลขประจำตัว	37013408

อาจารย์ที่ปรึกษา อาจารย์ดลชัย สุขเจริญผล

ปีการศึกษา 2539

บทคัดย่อ

ในระบบสื่อสารข้อมูล การมอดดูเลทสามารถทำได้หลายวิธี โดยคำนึงถึงการใช้ความถี่อย่างมีประสิทธิภาพสูงสุด รวมทั้ง มีความเที่ยงตรง แม่นยำ หรือมีความเพี้ยนน้อยที่สุด ในเงื่อนไขที่ยอมรับได้

ปริญญานิพนธ์นี้เสนอ การมอดดูเลทแบบ QPSK โดยใช้วิธีสังเคราะห์โดยตรงจากตารางข้อมูลดิจิตอลผ่านวงจรแปลงดิจิตอลเป็นอนาล็อกที่ความเร็ว 9,600 บิทต่อวินาที โดยการใช้ EPROM 27256 ในการกำหนดเฟส OUTPUT ซึ่งจะทำให้อุปกรณ์ของภาคส่งมีขนาดเล็กลง ซึ่งเป็นอีกวิธีหนึ่งสำหรับการมอดดูเลทแบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

QPSK MODEM WITH DIRECT DIGITAL SYNTHESIS METHOD

By	Mr. Sukit Boonkarn	No. 37013403
	Mr. Suwanit Chumnonthai	No. 37013405
	Mr. Anuwattana Iatkhlig	No. 37013408

Advisor Mr. Dolchai Sukchareonphol

Year 2539

ABSTRACT

There are several methods of modulation in data communication system which using the most efficient frequency including the most accuracy or at least error under acceptable conditions.

This thesis presents the QPSK modulation by the direct synthesis from digital table pass to the D/A circuit at speed 9600 bps. By using EPROM 27256 to select the output phase. Which this method can reduce the size of the transmitter. This is another method of digital modulation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ด้วยดี อนึ่งเกิดจากปัจจัยหลาย ๆ ด้าน อย่างแรก คือ ต้องขอกราบขอบพระคุณ คุณพ่อ คุณแม่ ที่มีความรักความเข้าใจให้โอกาสและสนับสนุน จนทำให้ผู้จัดทำมีกำลังใจ ทั้งนี้ก็ด้วยความอิสระในการทำงาน จากการไว้วางใจจาก อาจารย์ ดลชัย สุขเจริญผล และคำชี้แนะ อีกทั้งให้ใช้เครื่องมือจนโครงงานสำเร็จ

คณะผู้จัดทำ

1. นายสุกิจ บุญกาญจน์
2. นายสุวณิชช์ จำนงไทย
3. นายอนุวัฒนา เอียดขลิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการเบื้องต้น	2
2.1 การมอดดูเลทสัญญาณคลื่นพาห์	3
2.2 ระบบโคฮีเรนท์และดิฟเฟอร์เรนท์เชียล	6
2.3 ทฤษฎีเฟสล็อกลูป	31
บทที่ 3 หลักการสังเคราะห์สัญญาณเบื้องต้น	38
3.1 พื้นฐาน D/A คอนเวอร์ทเตอร์	42
3.2 การประยุกต์ DAC เบื้องต้น	47
3.3 BCD - ANALOG CONVERTER	49
บทที่ 4 หลักการของภาครับ	50
4.1 การซิงโครไนซ์สัญญาณภาครับ	50
4.2 SUPPRESSED CARRIER LOOPS	52
4.3 ภาคซิงโคร์ไนซ์ข้อมูล	55
4.4 ภาคซิงโคร์ไนซ์ข้อมูลสัญญาณแคเรีย	56
4.5 BIT SYNCHRONIZER (CLOCK RECOVERY)	57
4.6 CORRELATION RECEIVER :	62
บทที่ 5 การออกแบบวงจรภาคส่ง	64
5.1 หลักการออกแบบวงจร	66
5.2 วงจรกู้สัญญาณนาฬิกา	67
5.3 การออกแบบหน่วยความจำเก็บตารางข้อมูลเฟส	68
5.4 วงจรกำหนดตำแหน่ง	79
บทที่ 6 การออกแบบวงจรภาครับ	82
6.1 วงจรกรองความถี่ผ่านย่าน	82
6.2 วงจรสัญญาณคลื่นพาห์	86
6.3 วงจรยกกำลังสองและยกกำลังสี่สัญญาณ	86

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4 วงจรกู้สัญญาณนาฬิกา 87
6.5 วงจรบาลานซ์ดีมอดูเลเตอร์ 88
6.6 วงจรอินทิเกรทแอนด์ ดัมท์ 89
6.7 วงจรรวมบิท 91
บทที่ 7 ผลการทดลอง 93
บทที่ 8 สรุปผลการทดลอง 105
ภาคผนวก
ก - วงจรรวมภาคส่ง - ภาครับ
ข - เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันการใช้สายโทรศัพท์เป็นตัวกลางเพื่อการสื่อสารข้อมูลภายในประเทศยังมีขีดจำกัดอยู่มากโดยเฉพาะด้านความเร็ว เพราะผลที่เกิดจากแถบความถี่ของระบบเสียงโทรศัพท์ การสั่นทางเฟส (jitter) ที่ก่อให้เกิดปัญหาในการสื่อสารข้อมูลในสายโทรศัพท์โดยเฉพาะการผสมคลื่นทางเฟส ดังนั้นในการทดลองนี้จึงเสนอโมเด็มแบบ คิวพีเอสเค ด้วยอัตราข้อมูล 9,600 บิทต่อวินาที รับส่งผ่านทางสายโคแอ็คเชียร 50 โอหม์ ทำการทดลองโดยใช้เทคนิคการมอดดูเลททางเฟส ซึ่งรายละเอียดในปริญญานิพนธ์เล่มนี้ มีดังต่อไปนี้

บทที่ 2 หลักการเบื้องต้นการมอดดูเลทสัญญาณเชิงเลขแบบการเปลี่ยนเฟสตามสัญญาณเชิงเลข และ ทฤษฎีเฟสล็อกลูป

บทที่ 3 หลักการสังเคราะห์สัญญาณเบื้องต้น

บทที่ 4 หลักการทำงานของวงจรภาครับ

บทที่ 5 การออกแบบและการส่งของวงจรภาคส่ง

บทที่ 6 การออกแบบและสร้างวงจรภาครับ

บทที่ 7 ผลการทดลอง

บทที่ 8 สรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการทั่วไป

2.0 กล่าวนำ

การสื่อสารในปัจจุบันได้นิยมนำเอาการมอดดูเลทสัญญาณแบบมอดดูเลทชั่นเชิงเลข (Digital Modulation) มาใช้อย่างแพร่หลาย เพราะว่าระบบเชิงเลขให้ค่าความแน่นอนน่าเชื่อถือสูงกว่าระบบเชิงอุปทาน (Analog System) และมีการรบกวนอันเนื่องมาจากสัญญาณรบกวน (Noise) ต่ำ ซึ่งในปัจจุบันนี้ อุปกรณ์ต่างด้านระบบเชิงเลขได้มีการพัฒนาก้าวหน้าไปมาก ทำให้ต้นทุนการผลิตอุปกรณ์ลดต่ำลง และนอกจากนี้แล้วการมอดดูเลทเชิงเลขยังสามารถทำการเข้ารหัส (Encode) ก่อนทำการมอดดูเลทแล้วทำการถอดรหัส (Decode) หลังการมอดดูเลท ทำให้การส่งข้อมูลมีการผิดพลาดน้อยลง ในการมอดดูเลทสัญญาณเชิงเลขมีอยู่ด้วยกัน 3 วิธีใหญ่ ๆ คือ

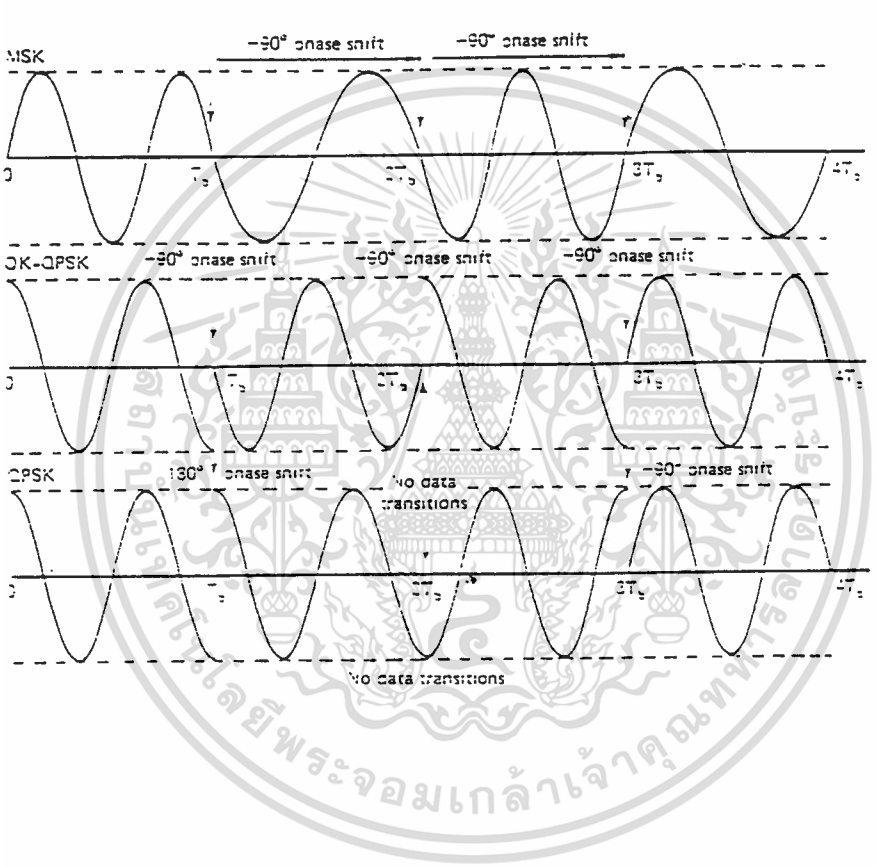
1. การเปลี่ยนขนาดสัญญาณเชิงเลขหรือวิธีการกล้ำขนาดสัญญาณ (Amplitud Shift Keying ; ASK) รูปคลื่นสัญญาณที่ได้จากการมอดูเลทแบบสัญญาณเชิงเลขเปลี่ยนแปลงขนาดสัญญาณที่ได้ตามระดับสัญญาณเชิงเลขที่เปลี่ยนแปลงไป จากรูปที่ 2.1 ที่ระดับสัญญาณเชิงเลขมีสถานะลอจิก “0” สัญญาณที่ได้จะมีขนาดเป็น “0” และจะมีขนาดเปลี่ยนแปลงไปตามคลื่นพาห์ (Carrier) เมื่อระดับลอจิกมีสถานะเป็น “1” วิธีการนี้มีข้อดีทั้งภาคมอดดูเลทและมอดดูเลทมีส่วนประกอบวงจรง่าย ราคาถูก แต่มีข้อเสียคือข้อมูลที่รับเข้ามาภาคปลายทางผิดพลาดได้ง่ายอันเนื่องมาจากสัญญาณรบกวนที่จะมีผลต่อขนาดของสัญญาณ และทางภาครับมีวงจรชดเชยการลดทอนสัญญาณในสายอัตโนมัติ อีกทั้งยังมีอัตราการส่งข้อมูลได้ไม่สูงมากนัก

2. การเปลี่ยนความถี่ตามสัญญาณเชิงเลข (Frequency Shift Keying ; FSK) รูปคลื่นสัญญาณที่ได้จากวิธีการมอดดูเลทชนิดนี้ สัญญาณเชิงเลขจะควบคุมความถี่ของสัญญาณที่จะส่งออกจากวงจรมอดดูเลทชั่น โดยให้รูปคลื่นที่ที่ได้มีความถี่สูง เมื่อระดับสัญญาณเชิงเลขเป็น “1” และ มีความถี่ต่ำเป็น “0” ซึ่งมีอัตราส่งข้อมูลต่ำพอ ๆ กับวิธีการ ASK สำหรับกรณีใช้ส่งทางสายที่มีแบนด์วิดธ์ (Bandwidth) ไม่เกิน 3.4 กิโลเฮิตซ์ อัตราการส่งข้อมูลสูงสุดจะไม่เกิน 1200 บิทต่อวินาที และวิธีการนี้มีข้อดีเหมือนกับวิธีการมอดดูเลทแบบ ASK แต่ทนทานต่อสัญญาณ รบกวน ได้สูงกว่า

3. การเปลี่ยนเฟสตามสัญญาณเชิงเลข (Phase Shift Keying ; PSK) รูปคลื่นของสัญญาณที่ได้จากการมอดดูเลทสัญญาณเชิงเลขควบคุมการเปลี่ยนเฟสของสัญญาณ จะเห็นได้ว่าเมื่อใช้ความถี่ในการส่งสัญญาณตามระดับสัญญาณเชิงเลขด้วยความถี่เดียวกันตลอด แต่เมื่อมีการเปลี่ยนแปลงระดับของสัญญาณเชิงเลข ก็จะมีการเปลี่ยนแปลงเฟสของสัญญาณคลื่นพาห์เป็นตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้าม (180 องศา) วงจรภาครับและส่งมีความยุ่งยากมาก ราคาสูง แต่สามารถส่งข้อมูลได้สูงกว่า 1200 บิท ต่อวินาที



รูปที่ 2.1 แสดงรูปคลื่นของการมอดดูเลทสัญญาณแบบมอดดูเลทชั้นเชิงเลข

2.1 การมอดดูเลทแบบเปลี่ยนเฟสของสัญญาณคลื่นพาห์

การมอดดูเลทแบบเปลี่ยนเฟสของคลื่นพาห์ (PSK) นั้นเป็นการนำเอาสัญญาณเชิงเลขมาเปลี่ยนเฟสของสัญญาณคลื่นพาห์ในกรณีสัญญาณเชิงเลขแบบ M ระดับ เฟสของสัญญาณคลื่นพาห์ก็จะถูกแบ่งออกเป็น M ค่า เพื่อใช้แทนสัญญาณในแต่ละระดับ สัญญาณที่ถูกมอดดูเลทแล้วจะเขียนได้ในรูป

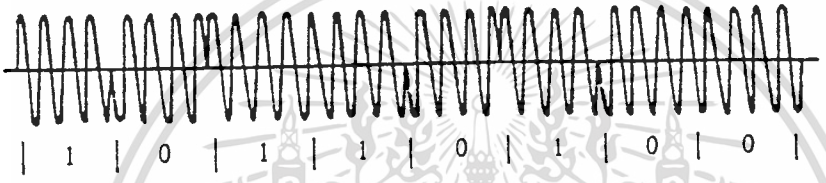
$$X_c(t) = A_c \sum_k \cos (\omega_c t + \phi_k) \; p (t - kD) \qquad [2.1]$$

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามมิให้ทำซ้ำ ดัดแปลง หรือนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่

$$\phi_k = \frac{\pi (2a_k + 1)}{M} \qquad a_k = 0,1,2,....,M - 1 \qquad [2.2]$$

และ p (t-kD) แสดงสัญญาณพัลส์ที่มีค่าเป็น "1" และกว้างเท่ากับ D สัญญาณของสัญญาณ PSK ในสมการ (2.1) แสดงว่าเฟสของสัญญาณจะเปลี่ยนแปลงไปตามระดับของสัญญาณเชิงเลขและขนาดของสัญญาณคลื่นพาห์จะไม่เปลี่ยนแปลงในกรณีที่เป็นสัญญาณ 2 ระดับ เฟสของสัญญาณ 0 กับสัญญาณ 1 ก็อยู่ตรงข้ามกัน รูปที่ 2.2 แสดงลักษณะของรูปคลื่นกรณีนี้

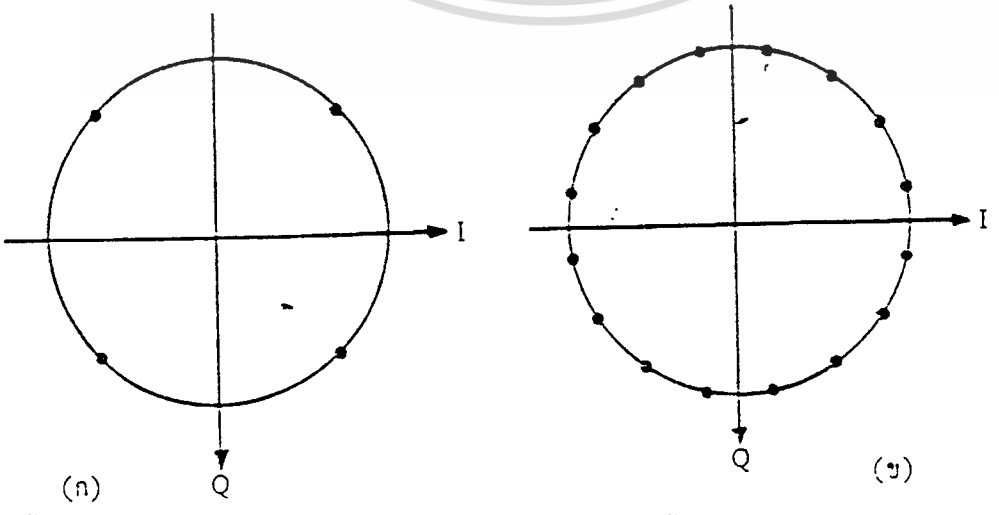


รูปที่ 2.2 รูปคลื่นของกรณีสัญญาณ PSK แบบ 2 ระดับ

อันที่จริงถ้าเราทำการกระจาย $\cos (\omega_c t + \phi_k)$ ในสมการ (2.1) จะพบว่าสมการ 2.1 นี้สามารถเขียนได้ในรูปของสัญญาณอินเฟสและควอดราเจอร์เฟสดังนี้

$$X_c(t) = A_c \sum_k p (t - kD) \cos\phi_k \cos \omega_c t - A_c \sum_k p (t - kD) \sin\phi_k \sin\omega_c t \qquad [2.3]$$

ในกรณีของสัญญาณ 4 ระดับนั้น การจัดตำแหน่งของสัญญาณนี้จะเป็นดังที่แสดงไว้ในรูปที่ 2.3 (ก) และกรณี 16 ระดับ แสดงไว้ในรูป 2.3(ข)



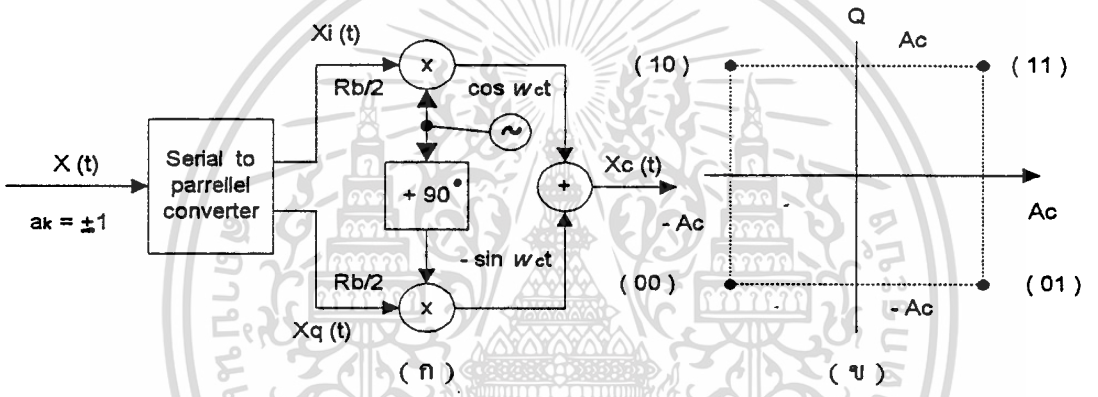
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.3 การจัดตำแหน่งสัญญาณของสัญญาณ 4-PSK และ 16-PSK

ในการพิจารณาแบนด์วิดธ์ที่ต้องการนั้น เราทราบว่าในระบบของ PSK และ QAM มีลักษณะที่คล้ายคลึง คือสัญญาณเชิงเลขที่เข้ามาเป็นอนุกรมจะถูกแปลงให้เป็นสัญญาณขนานที่ละ 2 บิท บิทแรกจะถูกส่งไปมอดดูเลทกับสัญญาณคลื่นพาห์อินเฟส บิทที่สองจะถูกส่งไปมอดดูเลทสัญญาณคลื่นพาห์ควอดราเจอร์เฟส ดังนั้นถ้าอัตราข้อมูลที่เข้ามาเป็น R_B bps อัตราข้อมูลที่ไปมอดดูเลทคลื่นพาห์แต่ละด้านก็จะเป็น R_B / 2 bps และสัญญาณที่ไปมอดดูเลทคลื่นพาห์อินเฟสและคลื่นพาห์ควอดราเจอร์เฟสจะเขียนได้ตามลำดับในรูปต่อไปนี้

$$X_i(t) = \sum_k a_{2k} p(t - kD) \qquad [2.4 ก.]$$

$$X_q = \sum_k a_{2k+1} p(t - kD) \qquad [2.4 ข.]$$



รูปที่ 2.4 บล็อกไดอะแกรมของการมอดดูเลทแบบ QAM และการจัดตำแหน่งของสัญญาณ

ซึ่งสามารถสร้างสัญญาณได้ว่า

$$X_c(t) = A_c [X_i(t) \cos\omega_c t + X_q(t) \cos(\omega_c t + 90^\circ)]$$
$$= A_c [X_i(t) \cos\omega_c t - X_q(t) \sin\omega_c t] \qquad [2.5]$$

และจากการเปรียบเทียบสมการ [2.3] กับสมการ [2.5] แล้ว จะเห็นได้ว่า เราสามารถเขียน $X_i(t)$ และ $X_q(t)$ ในรูปต่อไปนี้

$$X_i(t) = \sum_k \cos\phi_k p(t - kD) \qquad [2.6 ก.]$$

$$X_q(t) = \sum_k \sin\phi_k p(t - kD) \qquad [2.6 ข.]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเมื่อพิจารณาค่าเฉลี่ยเชิงสถิติของสัญญาณทั้งสองนี้จะได้ผลดังนี้คือ

$$\overline{\cos\phi_k} = \overline{\sin\phi_k} = 0 \qquad [2.7 \text{ ก.}]$$

$$\overline{\cos^2\phi_k} = \overline{\sin^2\phi_k} = 1/2 \qquad [2.7 \text{ ข.}]$$

$$\overline{\cos\phi_k \sin\phi_k} = 0 \qquad [2.7 \text{ ค.}]$$

จากผลของสมการ [2.7] นี้ เราจะสามารถหาความหนาแน่นสเปกตรัมกำลังของ $X_i(t)$ และ $X_q(t)$ ได้ในรูปต่อไปนี้

$$\left|X_i(f)\right|^2 = \left|X_q(f)\right|^2 = \frac{1}{2R} \sin c^2 \left(\frac{\pi f}{R}\right) \qquad [2.8]$$

และเมื่อทำการเขียนความหนาแน่นสเปกตรัมกำลังของสัญญาณ PSK ก็จะได้ผลดังนี้

$$G(f) = \frac{A_c^2}{4R}\left[\sin c^2 \left\{\frac{\pi(f - f_c)}{R}\right\} + \sin c^2 \left\{\frac{\pi(f + f_c)}{R}\right\}\right] \qquad [2.9]$$

ถ้าหากเราสังเกตในสมการ (2.8) จะเห็นว่าไม่มีส่วนประกอบกระแสตรงที่อยู่ในรูปของ (f) ซึ่งหมายถึงสัญญาณ PSK จะไม่มีสเปกตรัมคลื่นพาห์ เมื่อพิจารณาในด้านแบนด์วิดธ์ที่ต้องการในกรณีของสัญญาณ M ระดับ เนื่องจากความหนาแน่นสเปกตรัมกำลังมีลักษณะคล้ายคลึงกับสัญญาณ 2 ระดับมาก ดังนั้นแบนด์วิดธ์ที่ต้องการจึงเป็น $B_T \approx R$ ด้วย สำหรับประสิทธิภาพในการใช้แบนด์วิดธ์นั้น เนื่องจากกรณี M ระดับเป็นการใช้ 1 สัญญาณแทน $\log_2 M$ บิท ดังนั้นประสิทธิภาพของการใช้แบนด์วิดธ์จึงเป็น $\log_2 M$ bps / Hz ซึ่งสูงกว่าของกรณีสัญญาณ 2 ระดับ อย่างไรก็ตามสัญญาณ PSK นี้ ถ้าจำนวนระดับสัญญาณ M มีค่ามากขึ้น จะทำให้ระยะห่างระหว่างสัญญาณลดลงซึ่งจะเป็นปัญหาในด้านการดีเทคสัญญาณเมื่อมีสัญญาณรบกวนปะปนอยู่ด้วย

2.2 ระบบโคฮีเรนท์และดิฟฟอร์เนท์เชียลโคฮีเรนท์ควอดไดรเฟส PSK (QPSK)

คำบรรยายฟังค์ชั่นของการใช้โมเด็ม QPSK ที่สำคัญเป็นการศึกษาเรื่องของประสิทธิภาพสเปกตรัมของระบบ การวิเคราะห์ความน่าจะเป็นของสมรรถนะความผิดพลาด ในช่องสัญญาณรบกวนแบบไวท์เกาส์เซียนของไนควิสต์ในอุดมคติ จะทำการกล่าวในที่นี้

รายละเอียดของ QPSK,DEQPSK,DQPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวย่อที่ใช้ในส่วนนี้เป็นเพียงส่วนย่อยซึ่งยังไม่สมบูรณ์ ถ้าทำการเปรียบเทียบกันระหว่าง PSK สามารถแสดงได้ดังนี้

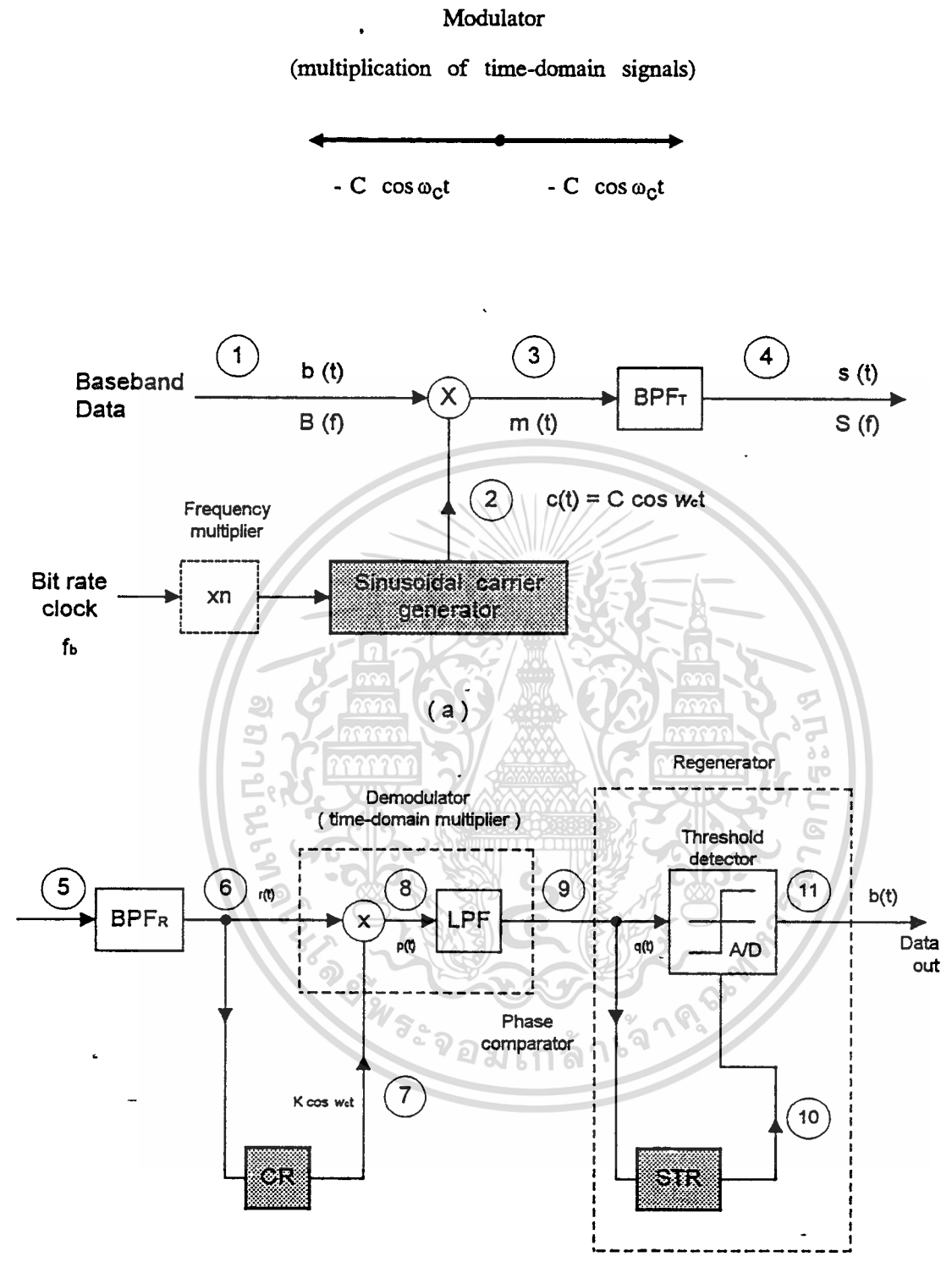
Binary PSK	Quadriphase PSK
PSK	QPSK
DEBPSK	DEQPSK
DBPSK	DQPSK
---------	OKQPSK

เราเรียก BQPSK เป็นระบบไบนารี่โคฮีเรนท์ (binary coherent) ซึ่งต้องการวงจรกู้คลื่นพาห์ (carrier recovery) เพื่อไม่ให้เกิดการคลุมเครือทางเฟส (phase ambiguous) การเข้ารหัสแบบดิฟเฟอร์เรนท์เชียลถูกนำมาใช้ในระบบ DEBPSK การทำงานด้วยวงจรกู้คลื่นพาห์เพื่อป้องกันการผิดพลาดทางเฟส 180 องศา ในระบบ DBPSK มีวิธีการดีมอดูเลทซึ่งไม่จำเป็นต้องใช้ วงจรกู้คลื่นพาห์ (ดูรูป 2.5 และ 2.6)

โมเด็มแบบควอดไดรเฟส (QPSK) ใช้ในระบบซึ่งมีประสิทธิภาพของสเปกตรัมทางทฤษฎีเท่ากับ 1h /s / Hz ถ้าเป็นโมเด็มแบบ BPSK ยังไม่เพียงพอสำหรับแบนด์วิดธ์ที่มีอยู่ เทคนิคการดีมอดูเลชั่นต่าง ๆ ที่ใช้ในระบบ BPSK นำมาใช้ในระบบ QPSK ได้ นอกจากนี้เทคนิคของโมเด็มไบนารี่จะถูกใช้อย่างแพร่หลาย เทคนิคการออฟเซท-คีย์ หรือการมอดดูเลทแบบสเตกเกอร์ควอดไดรเฟส (offset - keyed or staggered quadriphase modulation (OKQPSK) ก็ถูกนำมาใช้

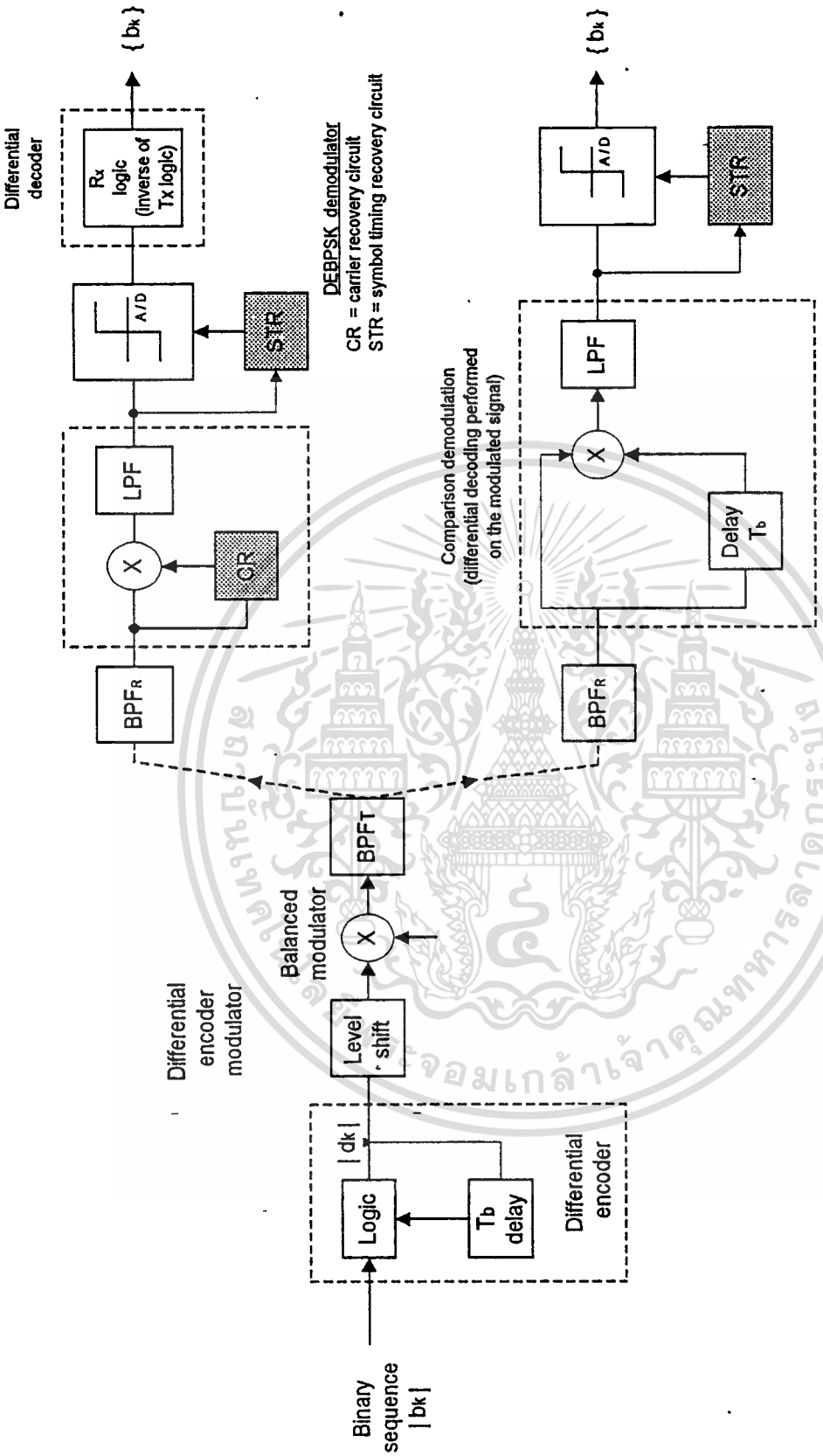
ในระบบ QPSK สัญญาณที่ถูกมอดดูเลทมีสภาวะของเฟสที่แตกต่างกัน 4 สภาวะ ซึ่งสภาวะเหล่านี้จะทำให้เกิดการรวมกันของบิทที่ติดต่อกันเป็นรูปแบบของไดบิท (dibit) สภาวะของเฟสที่สอดคล้องกันจะช่วยรักษาระยะห่างของสัญญาณ Tm ช่วงเวลาระหว่างบิทจะเป็น 2 บิทดูเลชั่น (Tm = 2Tb) ค่าไดบิทที่เป็นไปได้ 4 ค่า ถูกกำหนดตามรหัสเกย์โค้ด (Gray code) เป็นส่วนที่เหมาะสมของรหัสนี้ซึ่งแสดงสัญลักษณ์ที่ติดกันจะมีบิทแตกต่างกันเพียง 1 บิท เห็นได้ในรูปที่ 2.7 (c) ในระบบการส่งจะแย่ลงเนื่องจากสัญญาณรบกวนและการรบกวนจากนอกระบบ ความผิดพลาดที่มาก ๆ จะถูกนำมาทำการตัดสินความผิดพลาดระหว่างสภาวะที่ใกล้ชิดกัน ในกรณีรหัสเกย์โค้ดจะถูกเปรียบเทียบรหัสไบนารี่โค้ด รหัสดีซิมอลโค้ด รหัสเกย์โค้ดถูกนำไปใช้ในระบบQPSK ซึ่งเป็นระบบการถอดรหัสที่แก้ความผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



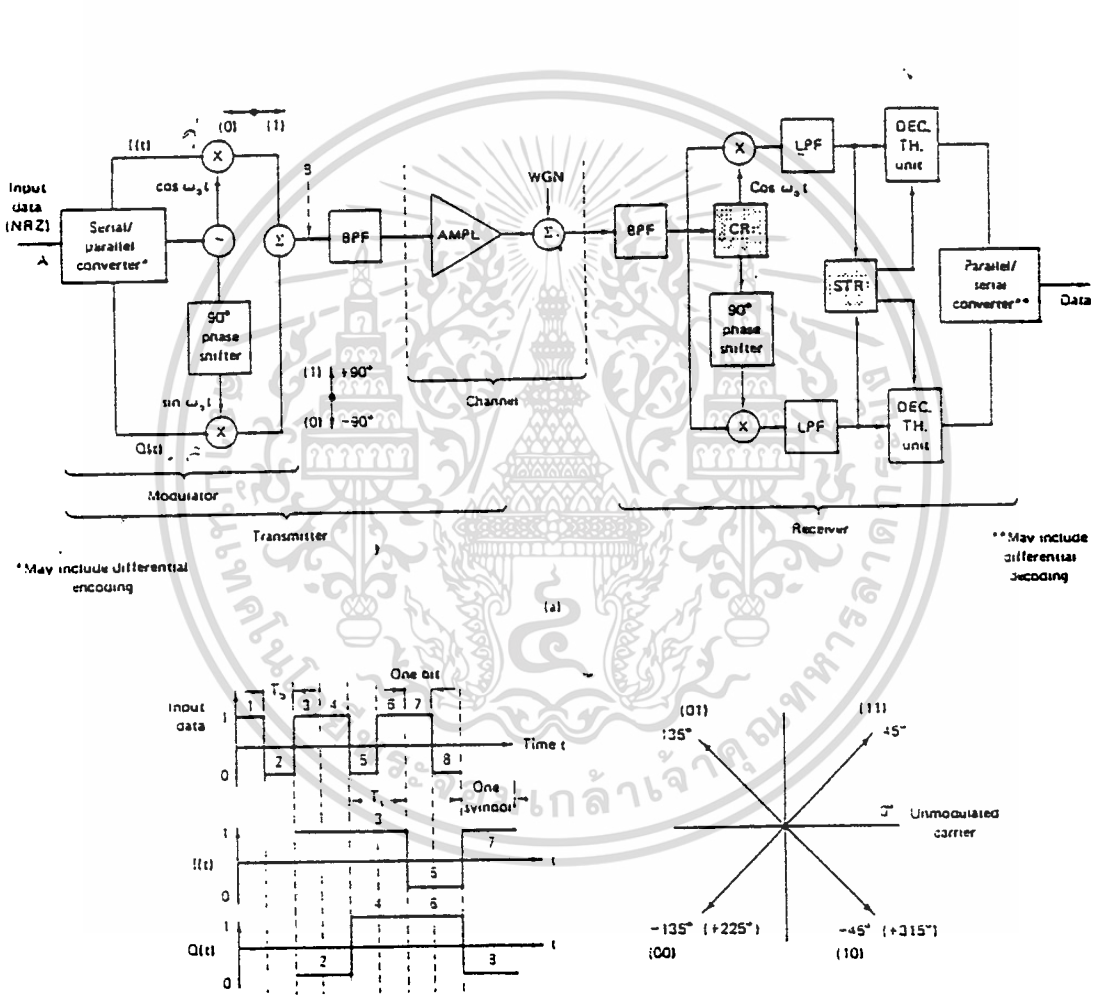
รูปที่ 2.5 แสดงลักษณะของบล็อกไดอะแกรมของโคฮีเรนท์ BPSK
(a) มอดดูเลเตอร์ และ (b) ดีมอดดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงการเข้ารหัสดิฟเฟอร์เรนท์เชียล BPSK ของ DEBPSK และ DBPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงระบบ QPSK (a) บล็อกไดอะแกรมของวงจรกู้คลื่นพาห์ (CR) และวงจรกู้เวลาสัญลักษณ์ (STR) (b) แสดงอัตราความเร็วของข้อมูล (c) แสดงเว็กเตอร์ไดอะแกรม ของเกรย์โค้ดของสภาวะสัญญาณต่าง ๆ

สภาวะสัญญาณเกรย์ โค้ด 4 สภาวะมีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_{11}(t) = A\cos(2\pi f_0 t + 45^\circ)$$
$$S_{01}(t) = A\cos(2\pi f_0 t + 135^\circ)$$
$$S_{00}(t) = A\cos(2\pi f_0 t + 225^\circ) \quad [2.10]$$
$$S_{10}(t) = A\cos(2\pi f_0 t + 315^\circ)$$

สมการนี้แทนสภาวะสัญญาณรหัสเกรย์และความถี่ของคลื่นพาห์ตามมา

บล็อคไดอะแกรมของโมเด็มคอนเวนชั่นแนล QPSK แสดงในรูปที่ 2.7 ข้อมูลแบบ NRZ เข้ามาที่ตัวมอดดูเลชั่นจะเปลี่ยนโดยการเปลี่ยนจากอนุกรมเป็นขนานแยกเป็น NRZ 2 ชุด โดยชุดแรกจะมีเฟสเดียวกัน I(t) และ อีกชุดจะมีเฟสต่างกัน 90 องศา Q(t) ซึ่งมีซิมบอลเรท เป็น 1/2 ของบิทเรทที่รับเข้ามา ความสัมพันธ์ระหว่างข้อมูลอินพุท I และ Q สตรีม แสดงในรูปที่ 2.39 (b) ทั้ง I และ Q สตรีมถูกแยกและป้อนเข้าสู่ส่วนการคูณ (เทอมของบาลานซ์มิกเซอร์และการสร้างมอดดูเลชั่นก็ถูกนำมาใช้) อินพุทที่หนึ่งเข้า I คูณเป็นสัญญาณคลื่นพาห์ cos t และอินพุทที่สองเข้าสู่ Q จะเป็นคลื่นพาห์ที่มีการเลื่อนเฟสไป 90 องศา (คือเป็น sin t) เอาท์พุทที่ได้จากวงจรคูณทั้งสองจะเป็นสัญญาณ BPSK เอาท์พุทที่ได้จากวงจรคูณ I สัญญาณจะมีเฟสเป็น 0 องศา หรือ 180 องศา เทียบกับคลื่นพาห์และสัญญาณที่ได้จากเอาท์พุทของวงจรคูณ Q จะมีเฟสเป็น 90 องศา หรือ 270 องศา เทียบกับคลื่นพาห์ ดังนั้น QPSK สามารถพิจารณาในรูปของ BPSK 2 ชุด ทำงานรวมกันได้ 4 เฟส

ตำแหน่งเอาท์พุททั้งสี่ ที่ได้จากการมอดดูเลทจะสอดคล้องกับแกน IQ และถูกรวมเข้าด้วยกัน แสดงเป็นไดอะแกรมของสัญญาณในรูป 2.7 (c) หมายเหตุในตำแหน่งของเฟสที่ 90 องศา หรือ 180 องศา ตัวอย่าง การเปลี่ยนเฟส 180 องศา จะเกิดขึ้นเมื่อมีการรวมที่แกน IQ ซึ่งเปลี่ยนจาก 11 เป็น 00 สำหรับสัญญาณที่ไม่ถูกฟิลเตอร์ การเปลี่ยนเฟสจะเกิดขึ้นชั่วขณะ และขนาดของสัญญาณเอนวิโลบจะคงที่ เมื่อสัญญาณ QPSK ที่ผ่านการกรองแล้วเกิดเปลี่ยนเฟส ทำให้ขนาดเอนวิโลบของสัญญาณเปลี่ยนแปลงไปด้วย โดยเฉพาะการเปลี่ยนเฟส 180 องศา เป็นผลทำให้ขนาดเอนวิโลบของสัญญาณเป็นศูนย์

สัญญาณเอาท์พุทของ QPSK ที่ได้จากการมอดดูเลทจะถูกฟิลเตอร์เพื่อขจัดการแตกกระจายของสเป็กตรัม แล้วถูกขยายส่งผ่านช่องสัญญาณไปยังอินพุทของเครื่องรับ เพราะสัญญาณมอดดูเลท I และ Q ทั้ง 4 (เชิงอุดมคติ) สามารถที่จะมอดดูเลทและสร้างสัญญาณขึ้นใหม่ได้อย่างมีประสิทธิภาพ

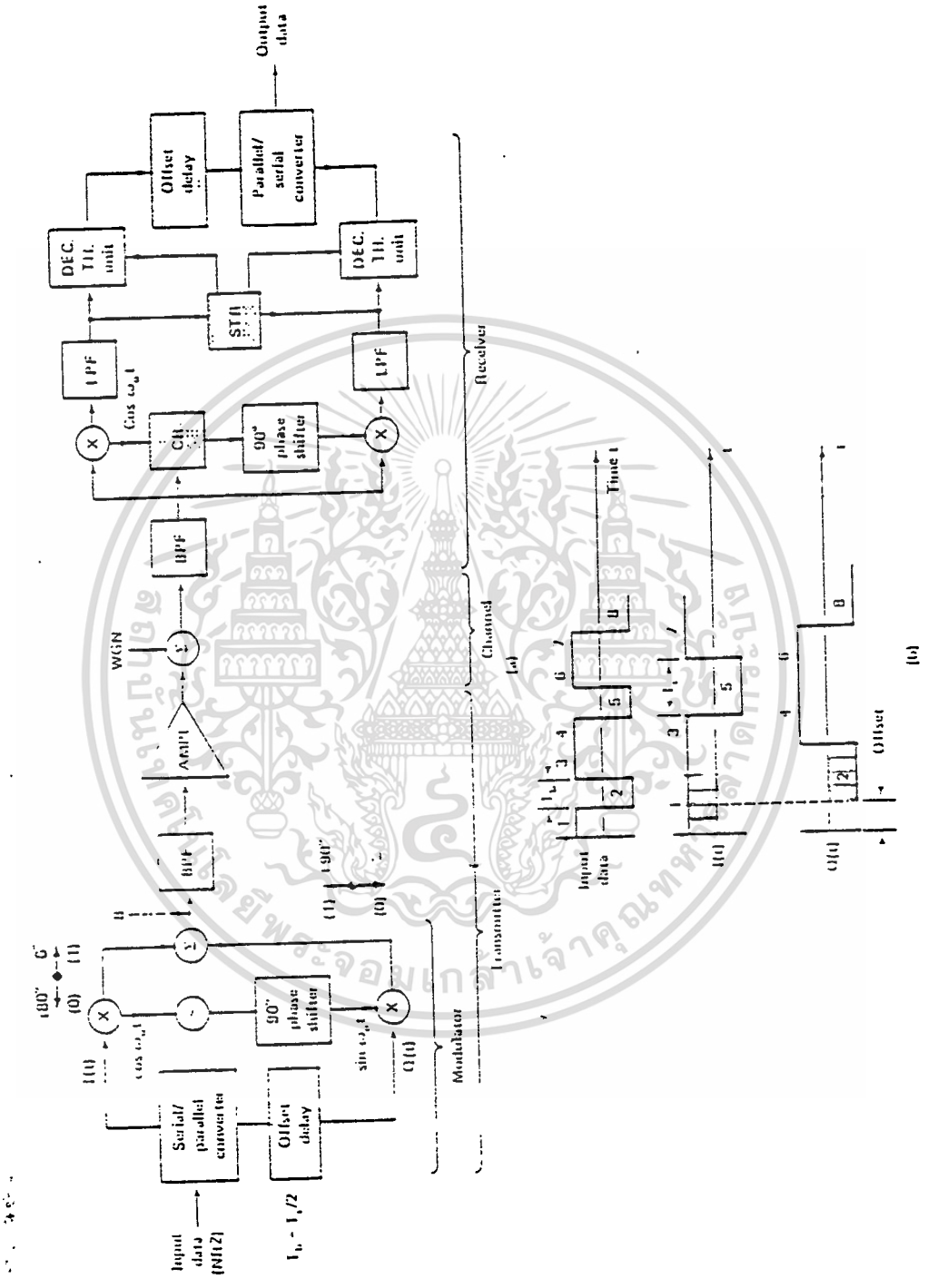
การสร้างสัญญาณ I และ Q สตรีมขึ้นมาใหม่จะถูกรวมกันที่ parallel - to - serial covertor ในรูปแบบของสัญญาณข้อมูลสตรีมดังเดิม อย่างไรก็ตามสัญญาณก็ยังมีความผิดพลาด เนื่องจากสัญญาณรบกวนและจากการฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บล็อคไดอะแกรมของ ออฟเซ็ท คีย์ ควอนเทนารี เฟสชิฟคีย์อิ้ง (OK-QPSK) ที่แสดงในรูป 2.8 (a) คล้ายกับ ควอนเนชั่นแนล QPSK มาก แตกต่างกันเพียงในการเปลี่ยนแปลงข้อมูลระหว่างสัญญาณ I และ Q สตรีมที่เข้าที่วงจรคูณข้อมูลที่รับมาจะผ่านไปยังวงจร serial to paralel convertor ส่วนของ Q สตรีม แสดงในรูปที่ 2.8 (a) จะถูกออฟเซทด้วยการหน่วงเวลาเป็นจำนวนเท่ากับ ระยะระหว่างบิทของสัญญาณที่รับเข้า Tm = Tm/2 ผลของความสัมพันธ์ระหว่างสัญญาณ I และ Q สตรีม และข้อมูลอินพุทแสดงในรูปที่ 2.8 (b) ผลของการเปลี่ยนเฟสทันทีทันใดที่เอาท์พุทของการมอดดูเลทจะเหมือนกับ QPSK อย่างไรก็ตามเนื่องจากบิทสตรีมทั้งคู่ที่ป้อนเข้าวงจรคูณจะเปลี่ยนแปลงสถานะไม่พร้อมกัน ส่วนหนึ่งของการมอดดูเลทประกอบด้วยมอดดูเลเตอร์แบบควอดไดเฟส สัญญาณที่เอาท์พุทจะเปลี่ยนที่เวลาหนึ่งเท่านั้นผลที่ได้คือ เฟสสัญญาณที่เอาท์พุทเป็น 90 องศา เหมือนกับ QPSK สัญญาณ offset QPSK จะมีขนาดของเอนวิโลบสูงสุด 3db (70%) เปรียบเทียบกับขนาดของเอนวิโลบ 100% ของระบบคอนเวนชั่นแนล QPSK เป็นการแสดงให้เห็นว่าความแตกต่างของขนาดเอนวิโลบที่ต่ำกว่า ให้เห็นประโยชน์ที่แน่นอนของ offset QPSK เปรียบเทียบกับ QPSK ในระบบดาวเทียมที่ไม่เป็นเชิงเส้นและระบบไมโครเวฟไลน์ออฟไซด์ เช่นในการส่งสัญญาณ offset QPSK แบบจำกัดแถบถูกส่งผ่านไปด้วยอุปกรณ์จำกัดขนาดจะมีเพียงส่วนย่อย ๆ ที่สร้างขึ้นมาใหม่ของสเป็กตรัมระดับของสัญญาณที่ยังไม่ฟิลเตอร์สำหรับ QPSK มีลักษณะเหมือนกัน อย่างไรก็ตามสัญญาณที่สร้างขึ้นมาใหม่ในระดับที่ยังไม่ฟิลเตอร์ เกือบจะสมบูรณ์

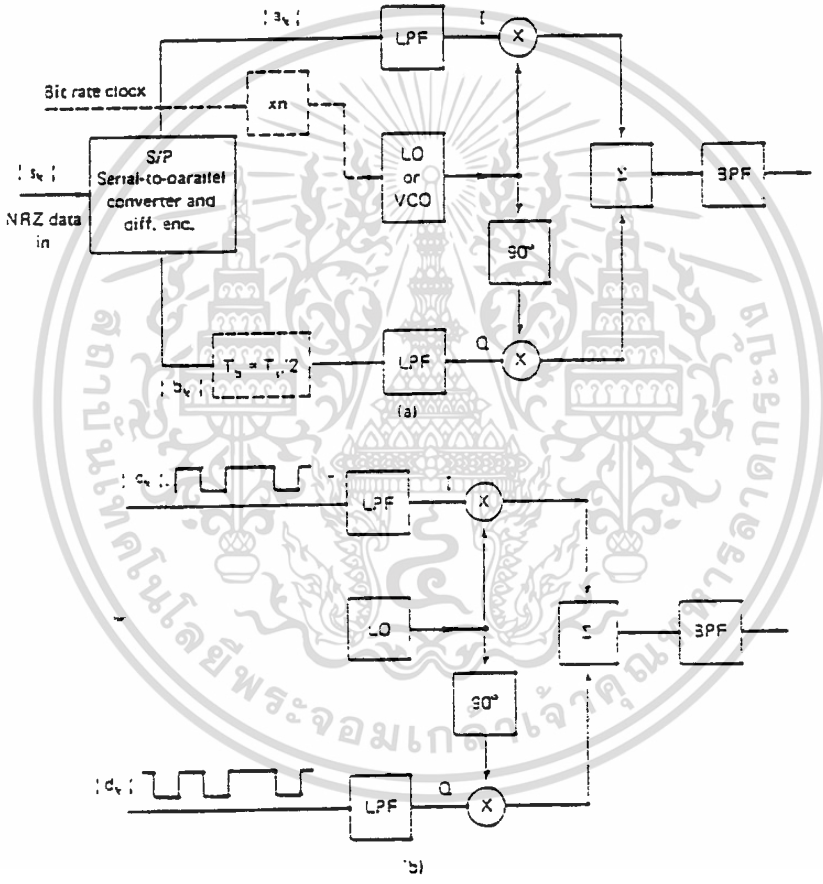
เครื่องรับ QPSK แสดงในรูป 2.8 (a) ลักษณะเดียวกับแสดงในรูป 2.7 (a) ยกเว้นการสร้างข้อมูล I สตรีมขึ้นมาใหม่ถูกหน่วงเวลาเท่ากับช่วงเวลาระหว่างบท Tb = Tb/2 เพื่อที่ว่าเมื่อรวมกับ Q สตรีมที่สร้างขึ้นมาใหม่จะได้เป็นข้อมูลอินพุทเดิม แต่ก็ยังมีความผิดพลาดเนื่องจากผลของสัญญาณรบกวนและฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงบล็อกไดอะแกรมทางด้านภาครับของ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 บล็อกไดอะแกรมแสดงการมอดดูเลทแบบ QPSK และ OKQPSK ในระบบซิงโครนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.9 (a) บล็อคไดอะแกรมของการมอดดูเลทแบบ QPSK และ OKQPSK ในระบบซิงโครนัส (Sk) เป็นข้อมูล NRZ แบบอนุกรมจะถูกเปลี่ยนจากอนุกรมไปเป็นขนานกลายเป็นข้อมูลสตรีม 2 ชุด คือ (ak) และ (bk) ตัวเข้ารหัสแบบดิฟเฟอร์เรนท์เชียลจะแทรกในตัวมอดดูเลเตอร์ส่วนเข้ารหัสนี้จะใช้เครื่องรับที่ถอดรหัสแบบดีฟเฟอร์เรนท์เชียลที่ต้องการวงจรกู้คลื่นพาห์ในการแก้ความผิดพลาดของเฟส ถ้าเป็นการดีมอดดูเลทแบบ DQPSK จะไม่ต้องการวงจรกู้คลื่นพาห์ การเปลี่ยนจากอนุกรมไปเป็นขนานข้อมูล I และ Q จะซิงโครนัส การหน่วงเวลาที่ต้องการในการมอดูเลทแบบ OKQPSK คือ Tb = Tm/2 ส่วนหน่วงเวลานั้นจะไม่ทำให้การซิ้งที่ช่องสัญญาณ I และ Q เกิดการเปลี่ยนแปลงเหมือนกับกรณีของ BPSK ที่ โลคอล-ออสซิลเตอร์ (local osillator) จะล็อคที่จำนวน การคูณของอัตราข้อมูลจะทำให้เกิดการล็อคของ VCO ตามต้องการ VCO โดยทั่วไปจะเป็นวงจรเฟสล็อกลูป ถ้าโลคอลออสซิลเลเตอร์ไม่ล็อคที่จำนวนการคูณของอัตราข้อมูลระบบดาวเทียมจะมีสมรรถนะแย่ลง (ที่ 0. 1 dB หรือน้อยกว่า) รูปร่างของสเป็กตรัมได้จากการกระทำของปรีมอดดูเลท LPF และ โพสท์มอดดูเลชั่น BPF การนำไปใช้งานสามารถนำฟิลเตอร์มาต่อคาสเคดกันได้

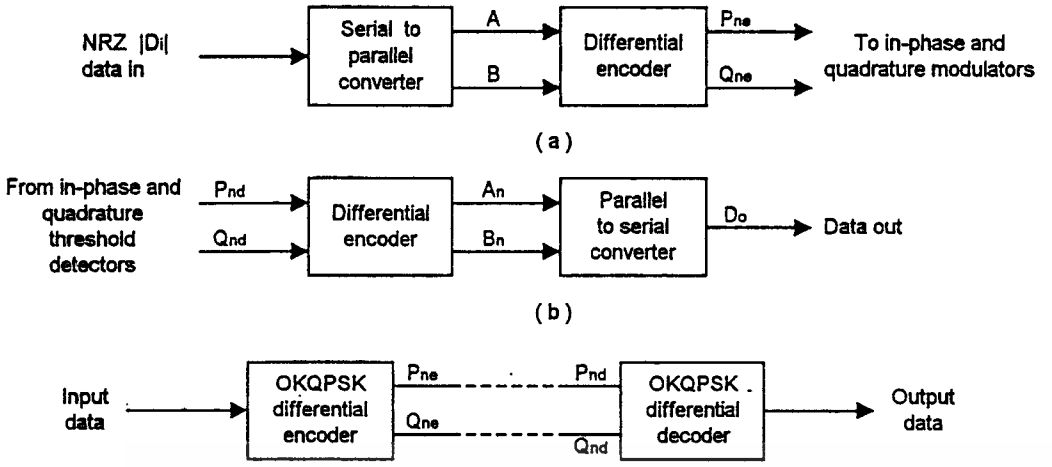
ถ้าอัตราของข้อมูลที่รับได้เป็นอะซิงโครนัสดังแสดงในรูป 2.9 (b) จะเป็นประโยชน์ในการมอดดูเลทโดยตรงของข้อมูล I และ Q สตรีม เราสมมุติว่า {Ck} และ {Dk} เป็นอัตราข้อมูลซึ่งเป็นอิสระกันไม่เกี่ยวกับส่วนอื่นและจะเปลี่ยนแปลงไปมารอบ ๆ อัตราเร็วข้อมูลในการมอดูเลทแบบ QPSK จะจัดเป็นการมัลติเพล็กซ์แบบอะซิงโคนัสถ้าข้อมูลถูกจำกัดแถบด้วย LPF ก่อนการมอดดูเลท จะเรียกว่า 2L-QAM ประสิทธิภาพของสเป็กตรัมและ Pe ของระบบ QAM จะเหมือนกับระบบ QPSK

บล็อคไดอะแกรมการดีมอดดูเลทของระบบโคฮีเรนท์ QPSK และ OKQPSK ดังแสดงในรูป 2.8 และ 2.9 วงจรกู้คลื่นพาห์เป็นส่วนสำคัญในการแก้เฟสผิดพลาดและเป็นเหตุผลในการเข้ารหัสแบบดิฟเฟอร์เรนท์เชียลและการถอดรหัสตามความต้องการ เช่น เดียวกับในส่วนของ DEQPSK และ DEOK-QPSK

2.2.1 การเข้ารหัสและการถอดรหัสแบบดิฟเฟอร์เรนท์เชียล - QPSK/OK-QPSK

วงจรกู้คลื่นพาห์แบบ ควอดรัฟเปลอร์ (quadrupler) ถูกนำมาใช้เพื่อการล็อคที่ฮาร์โมนิคที่ 4 ของความถี่คลื่นพาห์ที่ไม่ได้มอดูเลท ผลของเฟสทั้ง 4 ที่ส่งไปคือ $\cos(\omega t + n\pi/2)$ ซึ่ง $n = 1,2,3$ ที่ให้เทอม $\cos 4\omega t$ เป็นค่าที่เฟสล็อกลูปทำการล็อค ดังนั้นเฟสที่ส่งจะแน่นอนที่ไม่ใช่เฟสอ้างอิงขึ้นอยู่กับเฟสของการกู้คลื่นพาห์ ส่วนข้อมูล (P,Q) ที่อินพุทของมอดดูเลทจะเป็นค่า (P,Q) ,$(\overline{P}, \overline{Q})$, (Q,$\overline{P}$) หรือ ($\overline{Q}$,P) ที่เอาท์พุทของดีมอดดูเลเตอร์ ยกเว้นค่าแรกจะไม่ให้ เอาท์พุทเหมือนอินพุทอาจแก้ปัญหา โดยการเข้ารหัสในตัวมอดดูเลท และการถอดรหัสที่ตัวมอดดูเลเตอร์ (ดูรูปที่ 2.10)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงการเข้ารหัสที่มอดดูเลเตอร์ และการถอดรหัสที่ดีมอดดูเลเตอร์

การเข้ารหัสดิฟเฟอร์เรนท์เชียลเป็นคู่ ๆ เพื่อเป็นการเปลี่ยนเฟสของ QPSK ที่แทนข้อมูลที่มีเฟสไม่สมบูรณ์ ดังนั้นจำเป็นที่จะต้องกำจัดเฟสอ้างอิง สมการการเข้ารหัสและถอดรหัสของสัญญาณ QPSK คือ

การเข้ารหัส QPSK

$$P_{ne} = (\overline{A_n \oplus B_n})(A_n \oplus P_{(n-1)e}) + (A_n \oplus B_n)(B_n \oplus Q_{(n-1)e})$$
$$Q_{ne} = (A_n \oplus B_n)(B_n \oplus Q_{(n-1)e}) + (A_n \oplus B_n)(A_n \oplus P_{(n-1)e}) \qquad [2.11]$$

ซึ่ง $\oplus$ แสดงสัญลักษณ์ของ Ex-OR

การถอดรหัส QPSK

$$A = (\overline{P_{nd} \oplus Q_{nd}})(P_{nd} \oplus P_{n-1d}) + (P_{nd} \oplus Q_{nd})(Q_{nd} \oplus Q_{n-1d})$$
$$B = (\overline{P_{nd} \oplus Q_{nd}})(Q_{nd} \oplus Q_{(n-1)d}) + (P_{nd} \oplus Q_{nd})(P_{nd} \oplus P_{(n-1)d}) \qquad [2.12]$$

ซึ่งการเข้ารหัส (P_{nd}, Q_{nd}) และ $(P_{(n-1)e}, Q_{(n-1)e})$ แสดงสภาวะของเอาท์พุทในก่อนหน้านี้ส่วน (A_n, B_n) แสดงสภาวะอินพุทปัจจุบันและ (A_n, B_n) แสดงการถอดรหัสของเอาท์พุท (P_{nd}, Q_{nd}) และ $(P_{(n-1)d}, Q_{(n-1)d})$ แทนสภาวะอินพุทปัจจุบันและก่อนหน้านี้ จากตัวสร้างสัญญาณขึ้นมาใหม่กรณีสภาพขึ้นมาใหม่ กรณีสภาพที่ไม่มีสัญญาณรบกวน $\{D_i\}$ คือลำดับข้อมูลอินพุทเท่ากับ $\{D_0\}$ คือลำดับข้อมูลเอาท์พุทแต่ลำดับ (P_{ne}, Q_{ne}) ไม่จำเป็นต้องเหมือนกับลำดับ $\{P_{nd}, Q_{nd}\}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลอินพุทจะถูกแยกเป็น 2 ส่วน โดยการเปลี่ยนจากอนุกรมไปเป็นขนานบิทคู่จะไปที่ช่องสัญญาณ A บิทคี่จะไปช่องสัญญาณ B (ดูรูปที่ 2.11) บิท P_{ne} และ Q_{ne} เป็นเอาท์พุท ของการเข้ารหัสแบบดิฟเฟอร์เรนท์เชียลตามคู่อินพุทปัจจุบันและคู่อินพุทก่อน ตัวถอดรหัสดูที่เอาท์พุทของตัสดีมอดดูเลเตอร์ในปัจจุบันและก่อนหน้านี้และคู่ (A,B) ซึ่งเป็นค่าเริ่มแรกในการสร้างขึ้นใหม่ คู่นี้จะผ่านเข้าไปที่ตัวแปลงข้อมูลจากขนานไปเป็นอนุกรม ซึ่งข้อมุลอินพุทจะถูกสร้างขึ้นมาใหม่

ออฟเซ็ท QPSK (offset QPSK) จะมีปัญหาต่างกันเพียงเล็กน้อย ถ้าเราใช้ OQPSK ที่ถูกสร้างโดยช่องสัญญาณหน่วงเวลาค่าหนึ่งอย่างง่าย ของคู่ (P,Q) ที่เข้ารหัสแบบดิฟเฟอร์เรนท์เชียลมีคาบเวลาเท่ากันเท่ากับครึ่งหนึ่งของคาบเวลาสัญลักษณ์ก่อนที่จะมอดดูเลทและหลังจากดีมอดดูเลท อย่างไรก็ตามเมื่อการกู้คลื่นพาห์มีเฟสตรงกันข้าม คือ $\pi/2$ หรือ $3\pi/2$ P และ Q จะถูกเปลี่ยนกลายเป็น $(Q,\overline{P})$ หรือ $(\overline{Q},P)$ ที่เอาท์พุทดีมอดดูเลทและช่องสัญญาณที่ถูกหน่วงเวลาโดยไม่ตั้งใจทำให้บิทผิดพลาดทั้งที่เป็นการเข้ารหัสแบบดิฟเฟอร์เรนท์เชียลเอาท์พุทในกรณีนั้นจะไม่ถูกต้อง ดังนั้นรูปแบบการเข้าโค้ดแบบดิฟเฟอร์เรนท์เชียลจะแก้ปัญหาเวลาผิดพลาดได้ ซึ่งการเข้ารหัส OKQPSK

$$P_{ne} = D_{even} \oplus Q_{ne}$$
$$Q_{ne} = D_{ood} \oplus \overline{P}_{ne} \qquad [2.13]$$

การถอดรหัส OKQPSK

$$D_{EVEN} = P_n \oplus Q_n$$
$$D_{ood} = \overline{P}_n \oplus Q_n \qquad [2.14]$$

ซึ่ง Deven และ Dodd แสดงบิทคู่และบิทคี่ของข้อมูลอนุกรมที่อินพุทและเอาท์พุท Pn และ Qn แสดงอินพุทและเอาท์พุทของการเข้ารหัสและถอดรหัสที่เวลาเดียวกัน

การเข้ารหัสของ OKQPSK จะยุ่งยากน้อยกว่า QPSK ซึ่งเป็นประโยชน์ที่ไม่คาดมาก่อนของ OKQPSK

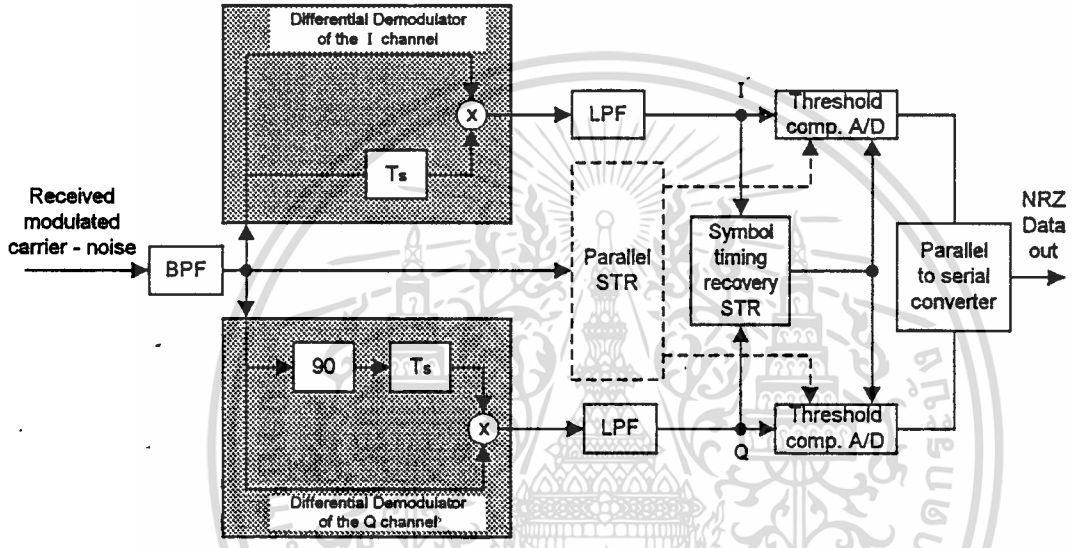
การดีมอดดูเลชั่นแบบ DQPSK การออกแบบวงจรกู้คลื่นพาห์เป็นเรื่องยาก โดยเฉพาะโมเด็มที่มีการซิงโครไนซ์อย่างรวดเร็ว เพื่อหลีกเลี่ยงวงจรกู้คลื่นพาห์ที่ยุ่งยากและการปรับปรุงความเร็วของการซิงโครไนซ์เซชั่นของการดีมอดดูเลชั่น ฉะนั้นดิฟเฟอร์เรนท์เชียลดีมอดดูเลชั่นอาจจะถูกแทนด้วยโครฮีเรนท์ดีมอดดูเลชั่น

ชนิดของการดีมอดดูเลเตอร์แบบควอดไดรเฟส ซึ่งใช้หลักการดีมอดดูเลชั่นแบบดิฟเฟอร์เรนท์เชียลดังแสดงในรูป 2.12 คลื่นพาห์ที่ถูกมอดดูเลทของสัญญาณ BPF ถูกแยกและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่งเป็น 2 ค่า โดยดีมอดดูเลชั่นแบบดิฟเฟอร์เรนท์เชียล BPSK ดีมอดดูเลเตอร์นี้จะแตกต่างจากรูปที่ 2.6 ด้วยค่าหน่วงเวลาที่แตกต่างกัน (ตอนนี้เรามี Ts = 2Tb แต่รูปที่ 2.6 Ts = Tb)

ดีมอดดูเลชั่นแบบควอดดราเจอร์การเลื่อนเฟส 90 องศา ต้องเพิ่มเข้าไปในช่องสัญญาณควอดดราเจอร์ วงจรกู้ช่วงเวลาของสัญลักษณ์ (symbol timing recovery , STR) ต้องการแซมปลิ้งของเทรสโฮลคอมแพเรเตอร์ (A/D converter) จะถูกต่อเพื่อการดีมอดูเลทของช่องสัญญาณ I และ Q ที่เอ้าท์พุทของ BPF ระบบ STR นี้เป็นที่รู้จัก คือ STR แบบขนานถูกใช้เมื่อต้องการซิงโครไนซ์ที่ความเร็วสูง



รูปที่ 2.11 แสดงหลักการดีมอดดูเลชั่นแบบดิฟเฟอร์เรนท์เชียล

2.2.2 สเป็กตรัมและประสิทธภาพสเป็กตรัมของโมเด็มแบบ QPSK

บล็อคไดอะแกรมของการมอดดูเลเตอร์แบบ QPSK ในรูปที่ 2.7 ที่แสงสัญญาณ QPSK ที่ถูกสร้างโดยการเพิ่มของสัญญาณ BPSK ทั้ง 2 ชุด สัญญาณเบสแบนด์อินเฟสและควอดดราเจอร์ จะขับสัญญาณ I(t) และ Q(t) ไม่ขึ้นอยู่กับการซิงโครนัสของข้อมูลนั่นคือ ขั้วของช่องสัญญาณ I(t) ไม่ขึ้นอยู่กับขั้วของช่องสัญญาณ Q(t) ซึ่งอัตราสัญลักษณ์ของช่องสัญญาณ I และ Q เท่ากับครึ่งหนึ่งของอัตราข้อมูล (fs = fb/2)

ถ้าข้อมูลที่อินพุทเป็นแรงดันและอิควิปพรอบะเบิล กำลังสเป็กตรัมของคลื่นพาห์ BPSK ที่ยังไม่ถูกฟิลเตอร์ คือ

$$S_{BPSK}' = KA^2T_b \left[\frac{\sin \pi (f - f_c) T_b}{\pi (f - f_c) T_b}\right]^2 \qquad [2.15]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สเปกตรัม QPSK สร้างได้จากผลรวมซ้อนของสเปกตรัม BPSK ที่เป็นอิสระ 2 สเปกตรัม ดังนั้นรูปร่างกำลังของสเปกตรัมจากสมการ 2.14 จะไม่เปลี่ยน อย่างไรก็ตามสังเกตว่าสัญญาณเบสแบนด์ I และ Q แบบ NRZ มีค่า fm = fb/2 ดังนั้นผลที่ได้ของสเปกตรัม QPSK คือ

$$S_{QPSK}(f) = CA^2 T_s \left[\frac{\sin \pi (f - f_c)T_b}{\pi (f - f_c)T_b}\right]^2 \qquad [2.16]$$

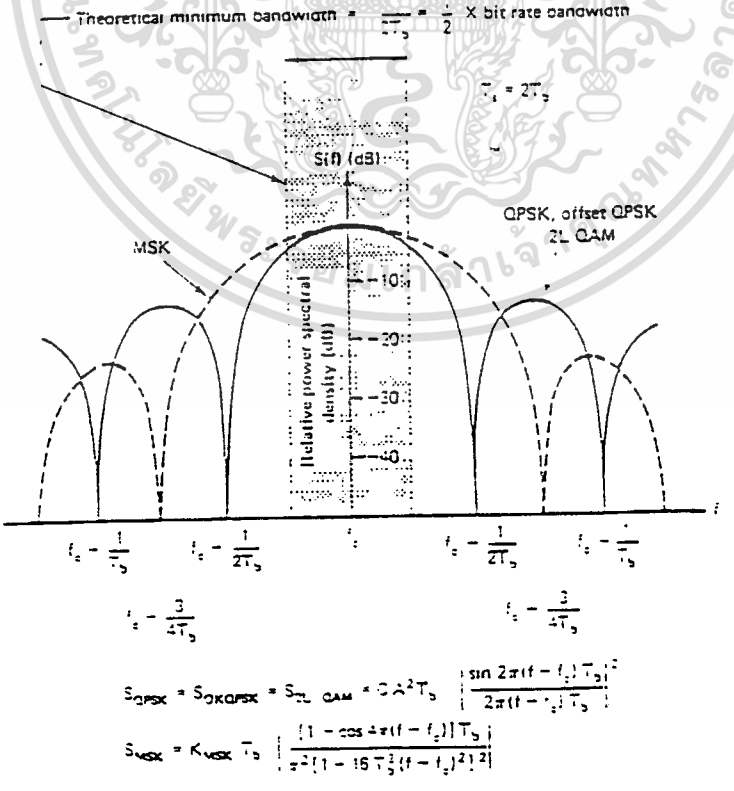
รูปแบบสมมูลของสมการนี้

$$S_{QPSK}(f) = CA^2 T_b \left[\frac{\sin \pi (f - f_c)T_b}{\pi (f - f_c)T_b}\right]^2$$

ซึ่ง CA^2 = กำลังสัญญาณของแบนด์วิททั้งหมดที่ไม่จำกัดนอร์มอลไลซ์ด้วยค่าความต้านทาน 1Ω

Tb = 1/fb = ช่วงเวลาระหว่างบิท

Ts = 1/fs = ช่วงเวลาระหว่างสัญลักษณ์ ของช่องสัญญาณ I และ Q

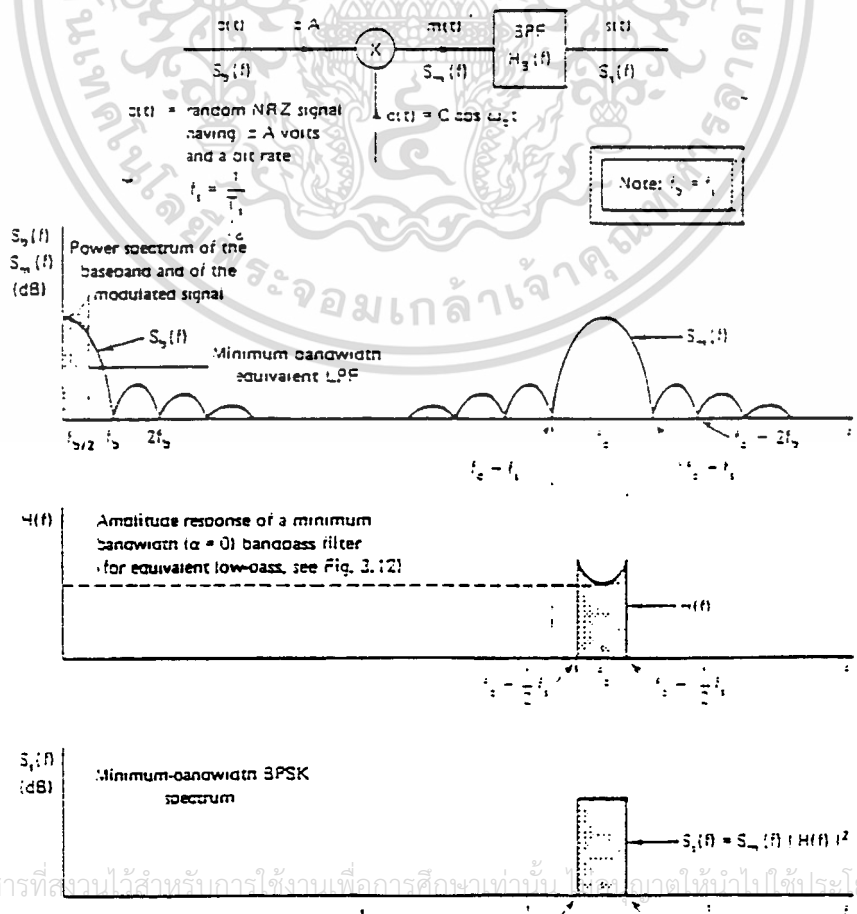


รูปที่ 2.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
038071

การเข้ารหัสของดิฟเฟอร์เรนท์เชียล และการทำงานของ ออฟเซทคีย์อิ้ง (การหน่วงเวลาช่องสัญญาณ Q โดย Tb วินาที) จะไม่เปลี่ยนแปลงความหนาแน่นของสเป็กตรัมกำลัง ดังนั้นสำหรับอินพุทของข้อมูลที่มีความน่าจะเป็นของการเกิดบิท 1 และ บิท 0 สมการ 2.15 แทนกำลังของสเป็กตรัมของระบบการมอดูเลทแบบ QPSK OKQPSK และ DEQPSK ที่ยังไม่ถูกฟิลเตอร์ สมการนี้นำไปใช้ร่วมกับ 2 ระดับ QAM (2L-QAM) ได้ด้วย

ความหนาแน่นของสเป็กตรัมกำลัง ที่ยังไม่ฟิลเตอร์ในระบบการมอดูเลทแบบ QPSK OKQPSK และ 2L-QAM แสดงในรูปที่ 2.13 สังเกตว่าสเป็กตรัมแรกที่ตกลงสู่ศูนย์ที่ fc $\pm$ 1/(2Tb)และความต้องการแบนด์วิทความถี่วิทยุแบบคัปเปิลไซด์ต่ำสุดคือ 1/(2Tb) ความหนาแน่นของสเป็กตรัมกำลังของระบบ MSK จะนำมาแสดงเป็นการอ้างอิงด้วย ความต้องการฟิลเตอร์ของช่องสัญญาณอิสระจากการรบกวนระหว่างสัญลักษณ์ที่ใช้ทฤษฎี การส่งสัญญาณเบสแบนด์ของไนท์ควิสต์ การสมมูลของโมเดลสัญญาณโลว์พาสและแบนด์พาส และทฤษฎีการวางซ้อน ระบบBPSKที่จำกัดแถบมีประสิทธิภาพสเป็กตรัมเท่ากับ 1-b/s Hz และในระบบ QPSK มีค่าประสิทธิภาพสเป็กตรัมเท่ากับ 2-b/s รูปการฟิลเตอร์ของสเป็กตรัมและการสำหรับมอดดูเลท BPSK แสดงในรูปที่ 2.14 นำไปใช้ในกรณี QPSK ได้ด้วย ในกรณี BPSK ช่วงเวลาระหว่างสัญลักษณ์เท่ากับครึ่งหนึ่งของอัตราข้อมูล fs = fb/2



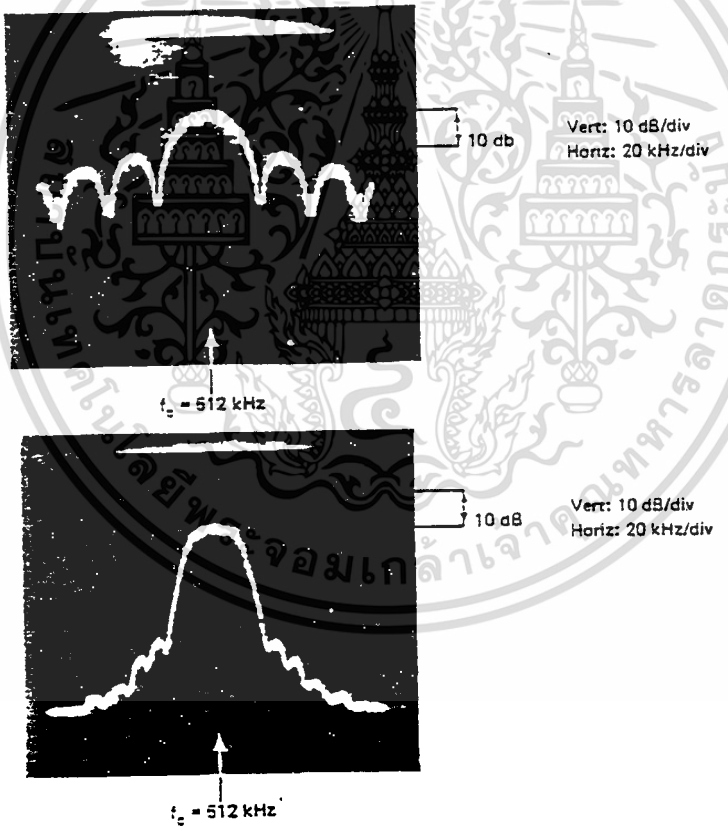
รูปที่ 2.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3 ความน่าจะเป็นของความผิดพลาดสมรรถะของเครื่องแบบ QPSK

Pe เป็นความน่าจะเป็นของความผิดพลาด สมรรถนะของระบบโคฮีเรนท์ QPSK , OKQPSK , DEQPSK และ DQPSK จะพิสูจน์ได้จากวงจรสมมูลย์ของระบบโคฮีเรนท์ QPSK ด้วยวงจรสมมูลย์ 2 ระดับ QAM (2L-QAM) ผลที่ได้นำไปใช้งานกับระบบ QAM ด้วย

Pe = f(Eb/No) ของระบบโคฮีเรนท์ QPSK สมรรถนะของ Pm ถูกแยกเป็น 2 ส่วน ทั้งคู่เป็นพื้นฐานของทฤษฎีโมเดล การดีมอดดูเลทแบบโคฮีเรนท์แสดงในรูป 2.7 และ 2.18 ในส่วนแรกเราใช้ผลของโมเด็ม BPSK มีความสัมพันธ์กันระหว่าง Pe ซึ่งเป็นความน่าจะเป็นของบิทผิดพลาดและ PE เป็นความน่าจะเป็นของอัตราผิดพลาดสัญลักษณ์จะถูกพิสูจน์ด้วย ส่วนที่ 2 เป็นสวนที่ยุ่งยากมากในการนำไปใช้งาน โดยหลักการของออร์โธโกนอล (orthogonal) และทฤษฎีทางคณิตศาสตร์ในการทำงานของดีมอดดูเลเตอร์แบบควอดดราเจอร์



รูปที่ 2.15

1. ที่มาของฮิวริสติค ในระบบโคฮีเรนท์ QPSK พิจารณาจากบล็อกไดอะแกรมของดีมอดดูเลเตอร์แบบโคฮีเรนท์ QPSK (รูป 2.7 และ 2.18) เราสรุปว่า P_e เป็นสมรรถนะของช่วงสัญญาณอินเฟส I และควอดดราเจอร์ Q เป็นอิสระต่อกันและเป็นช่องสัญญาณแบนด์พาสที่สมมาตรกัน สมรรถนะของช่องสัญญาณเป็นออร์โธโกนอลเหมือนกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราออกแบบความน่าจะเป็นของความผิดพลาดในการดีมอดดูเลทแบบ BPSK ที่มีเฟสเดียวกัน (in - phase) (ส่วนบน) ที่แทนด้วย P_{ei} และ ควอดดราเจอร์ (ส่วนล่าง) แทนด้วย P_{eq} P_c เป็นความน่าจะเป็นเฉลี่ยของการแก้สัญลักษณ์ที่เครื่องรับ ที่เอาท์พุทของเครื่องรับ QPSK เท่ากับการคูณของ P_{ci} , P_{cq} ซึ่ง P_{ci} และ P_{cq} แทนความน่าจะเป็นของการตัดสินใจในการแก้ไขของดีมอดดูเลทแบบไบนารี่ PSK ของช่องสัญญาณ I และ Q ตามลำดับ ดังนั้นเราจะได้

$$P_c = (1 - P_{ei})(1 - P_{eq}) \qquad [2.17]$$

อัตราการผิดพลาดสัญลักษณ์ของ QPSK คือ

$$P_e = 1 - P_c = P_{ei} + P_{eq} - P_{ei} P_{eq} \qquad [2.18]$$

เนื่องจาก $P_{ei} = P_{eq}$ และ P_{ei} , P_{eq} มีปริมาณน้อยกว่า ($< 10^{-2}$) เราจะได้ค่าประมาณที่ดีสำหรับความน่าจะเป็นของความผิดพลาดสัญลักษณ์ของดีมอดดูเลทแบบ QPSK คือ

$$P_E \approx P_{ei} + P_{eq} = 2P_{ei} = 2P_{eq} \qquad [2.19]$$

ความน่าจะเป็นของความผิดพลาดของ BPSK ดีมอดดูเลทที่เป็นอิสระต่อกัน

$$P_{ei} = P_{eq} = 1/2 \text{ erfc } \sqrt{E_b / N_o} = P_{eBPSK} \qquad [2.20]$$

ความน่าจะเป็นของความผิดพลาดสัญลักษณ์ PE QPSK ของเครื่องรับโคฮีเรนท์ QPSK คือ

$$P_{EQPSK} = 2P_{ei} = 2 \cdot 1/2 \text{ erfc } \sqrt{E_b / N_o} \qquad [2.21]$$

$$P_{EQPSK} = \text{erfc } \sqrt{E_b / N_o}$$

ซึ่ง

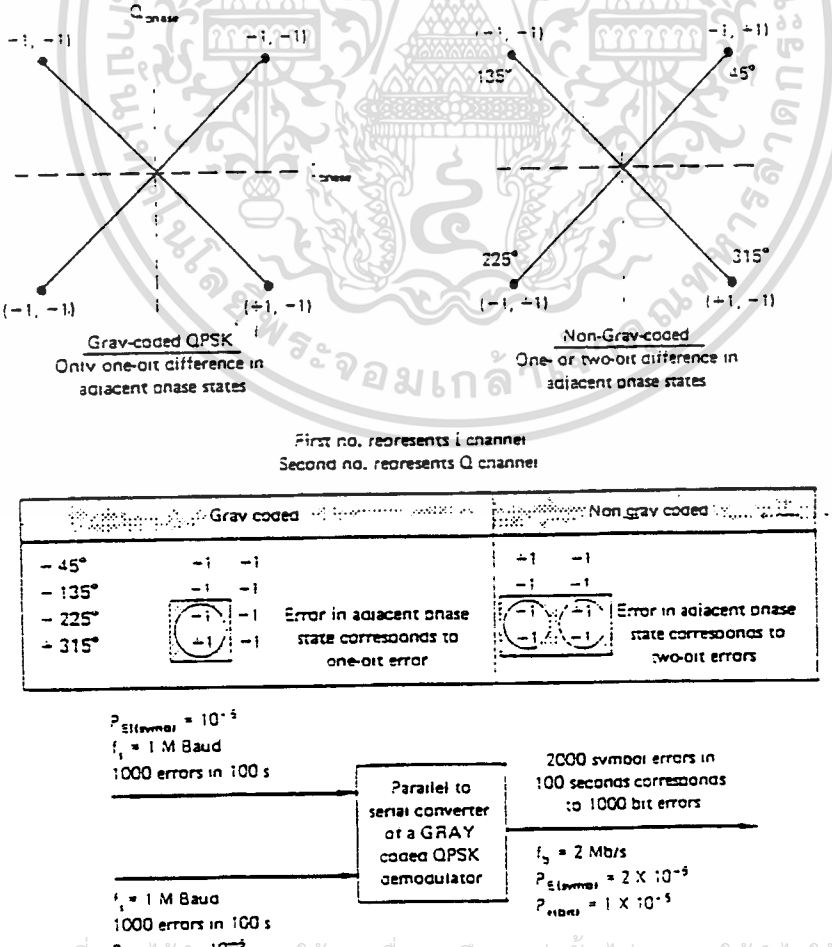
$$\text{erfc}(y) \cong 2 / \sqrt{\pi} \int_y^{\infty} e^{-Z2} dz \quad \text{เมื่อ } y > 0 \qquad [2.22]$$

สมมุติว่าพารามิเตอร์ E_b / N_o ของระบบเป็นค่าเฉพาะ ความน่าจะเป็นของความผิดพลาดสัญลักษณ์ในระบบ QPSK เป็น 2 เท่า ของระบบ BPSK ในลักษณะเดียวกันความต้องการ E_b / N_o เพิ่มขึ้นประมาณ 0.3 dB ถ้าอัตราความผิดพลาดสัญลักษณ์เหมือนกันใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ BPSK จากจุดนี้อัตราการผิดพลาดสัญลักษณ์ PE QPSK เป็นพารามิเตอร์ที่สำคัญของระบบเป็นส่วนสำคัญในการวิเคราะห์ระบบ ซึ่งในการทำงานของโมเด็มระบบ QPSK ในการเชื่อมต่อกับอุปกรณ์ของถอดรหัสที่แก้ไขความผิดพลาด (FEC) ในการนำไปใช้งานเราต้องรู้ค่าอัตราบิทผิดพลาดในระบบ QPSK (P_{eQPSK}) และอัตราความผิดพลาดนี้สัมพันธ์กับอัตราการผิดพลาดของสัญลักษณ์ (P_{eQPSK})

ความสัมพันธ์ของอัตราบิทผิดพลาด (P_{eQPSK}) ต่ออัตราผิดพลาดสัญลักษณ์ (P_{eQPSK}) สำหรับรหัสเกรย์โค้ด และกรณีที่ไม่ใช่รหัสเกรย์โค้ด แสดงในรูปที่ 2.16 กรณีรหัสเกย์โค้ดสภาวะของเฟสที่ติดกัน หรือสัญลักษณ์ที่แตกต่างกันมีค่าเพียง1บิทรหัสที่ไม่ใช่รหัสเกย์โค้ดสภาวะของเฟสที่ติดกันจะมีบิทแตกต่างกัน 1-2 บิท การตัดสินใจจากสภาวะของเฟสที่ติดกัน จะมีการเปลี่ยนซึ่งกันและกันเป็นการผิดพลาด ความน่าจะเป็นของสัญญาณที่เลื่อนเฟส 180 องศา ที่เปลี่ยนซึ่งกันและกันสามารถละทิ้งได้เมื่อเปรียบเทียบกับความน่าจะเป็นของความผิดพลาดของการเลื่อนเฟส 90 องศา ดังนั้นในกรณีสัญญาณรหัสเกรย์โค้ดความผิดพลาด 1 สัญลักษณ์จะมีความผิดพลาด 1 บิทส่วนในรหัสที่ไม่ใช่เกรย์โค้ดการเปลี่ยนซึ่งกันและกันของสภาวะเฟสติดกันมีความผิดพลาด 2 บิท



รูปที่ 2.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

P_e เป็นอัตราบิทผิดพลาด และ P_E เป็นอัตราผิดพลาดสัญลักษณ์ ความสัมพันธ์แสดงในรูปที่ 2.47 สมมติว่าโมเด็ม QPSK มีอัตราเร็วข้อมูล f_b = 2 Mb/s ดังนั้นอัตราสัญลักษณ์ f_b = 1 Mbauad (1 เมกกะซิมบอล / วินาที) อัตราความผิดพลาดสัญลักษณ์ของช่องสัญญาณ I และ Q $P_{EI} = P_{EQ} = 2*10^{-5}$ กรณีที่เอาท์พุทเปลี่ยนจากขนานเป็นอนุกรมมีอัตราบิทผิดพลาดเฉลี่ย 2000 ในช่วงเวลา 100 วินาที (เป็นรหัสเกรย์โค้ด) อัตราบิทผิดพลาดของโมเด็มสามารถคำนวณ ตามความสัมพันธ์ดังนี้

P_e = จำนวนของอัตราบิทผิดพลาด / จำนวนทั้งหมดของบิท $= \frac{2000}{2Mb/s \,.\, 100s} = 10^{-5}$

ดังนั้น อัตราบิทผิดพลาดของรหัสเกรย์โค้ดในโมเด็ม QPSK = 1/2 ของอัตราผิดพลาดสัญลักษณ์ อัตราบิทผิดพลาดของโมเด็ม QPSK ที่เข้ารหัสแบบเกรย์โค้ด คือ

$$P_{eQPSK} = 1/2\ P_{EQPSK} = 1/2 \,.\, \mathrm{erfc}\ \sqrt{E_b / N_o} \qquad [2.23]$$

ทฤษฎีอัตราบิทผิดพลาด แสดงสมรรถนะของระบบโคฮีเรนท์ QPSK P_{eQPSK} เท่ากับ f (Eb/No) แสดงในรูปที่ 2.17 สมรรถนะของโมเด็มอื่น ๆ แสดงในรูปนี้ด้วย สังเกตว่าอัตราบิทผิดพลาดที่แสดงสมรรถนะตามรหัสเกรย์โค้ดของโมเด็มแบบ QPSK เป็นลักษณะเดียวกับโมเด็มโคฮีเรนท์ BPSK

2. รายละเอียดของ P_e = f(Eb/No) ในระบบโคฮีเรนท์ QPSK

เราสมมติว่าสัญญาณ QPSK ที่ยังไม่ฟิลเตอร์และสัญญาณที่มีแบนด์วิทด์ไม่จำกัด (รูปที่ 2.18) ช่องสัญญาณซึ่งมีแบนด์วิทด์เป็น 3 เท่า ซึ่งมากกว่าอัตราข้อมูลเป็นจุดประสงค์ในทางปฏิบัติของช่องสัญญาณที่แบนด์วิทด์ไม่จำกัด เราสรุปว่า สามารถนำไปใช้งานในระบบ QPSK ที่อิสระจาก ISI และถูกจำกัดแถบได้ด้วย ก่อนการฟิลเตอร์การรับสัญญาณ QPSK จะลดลงจนเป็น 0 หมายถึง สัญญาณรบกวนแบบไวท์เกาส์เซียน แสดงเป็น

$$y(t) = A\sqrt{2}\ \cos(2\pi f_c t + \theta_m) + n(t) \qquad [2.24]$$

ที่ θ_m = 45,135,225 หรือ 315 องศา (ดูสมการ (2.10)) หรือสมการ

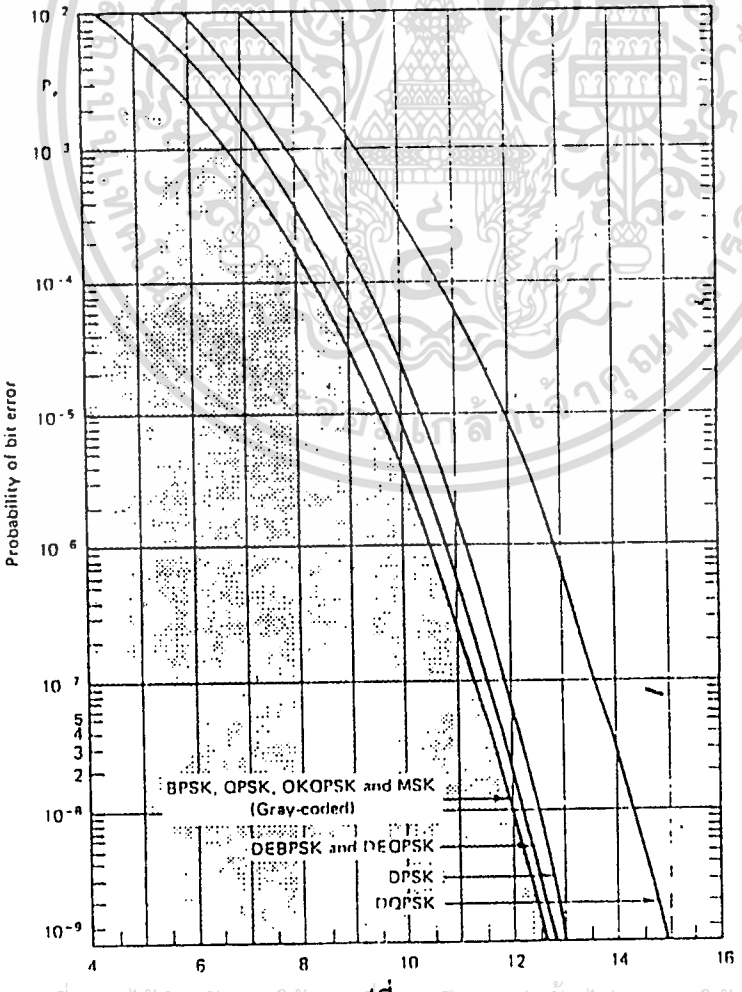
$$y(t) = \pm A \cos(2\pi f_c t) \pm A \sin(2\pi f_c t) + n(t) \quad \text{for } 0 \le t \le T_s \qquad [2.25]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้วของสัมประสิทธิ cos(.) และ sin (.) ขึ้นอยู่กับค่าสัญลักษณ์เฉพาะที่ส่งไปในระบบ QPSK ที่มีสัญลักษณ์แตกต่างกัน 4 ค่า และแต่สัญลักษณ์แสดงคุณลักษณะตามเฟส เฟสที่ถูกส่งแสดงไดอะแกรมช่องว่างของสภาวะสัญญาณในรูปที่ 2.18 ขึ้นอยู่กับคู่ของบิทเฉพาะที่ส่งไปช่วงท้ายสุดของเวลาระหว่างสัญลักษณ์ T_s (การตัดสินใจหรือการแซมปลิ้งชั่วขณะของเครื่องรับที่แบนด์วิดท์ไม่จำกัด) เอาท์พุทสัญญาณเบสแบนด์ที่ดีมอดดูเลทของอินเฟสคอรีเลเตอร์ คือ

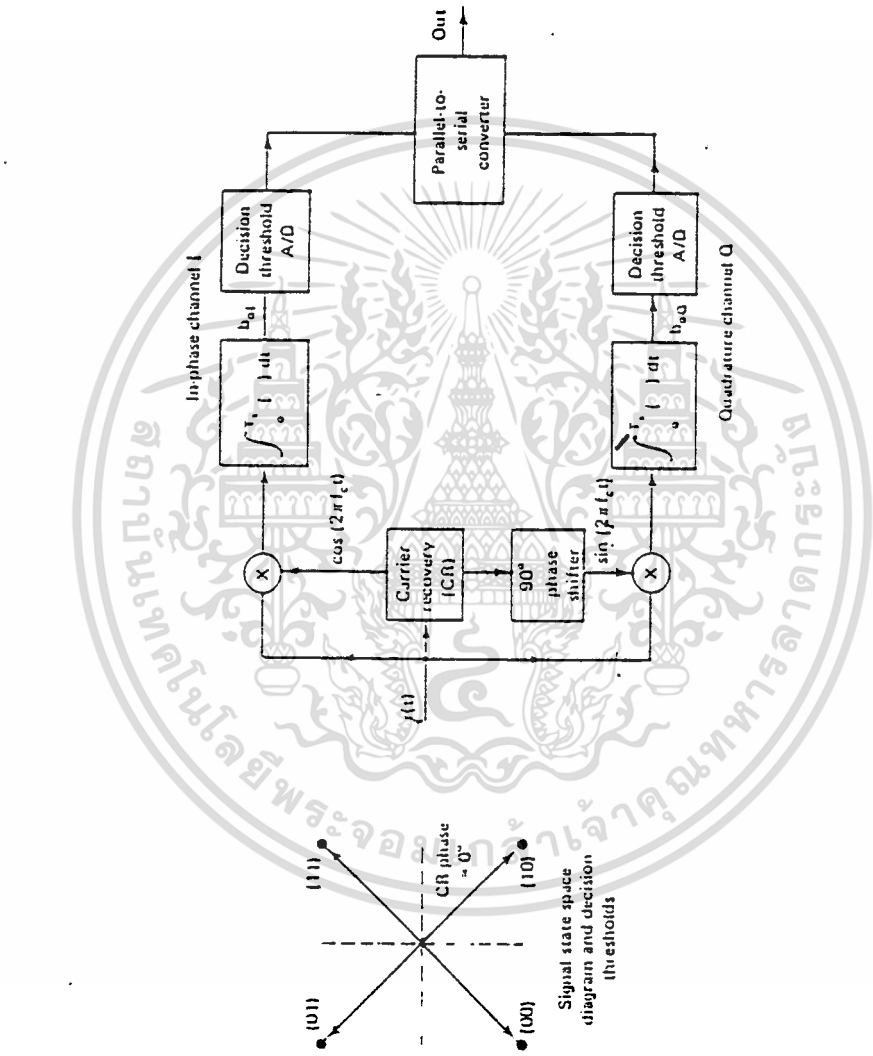
$$
\begin{aligned}
b_{OI} &= \int_0^T \left[A\sqrt{2} \cdot \cos (2\pi f_c t + \theta_m) \cos 2\pi f_c t + n(t) \cos 2\pi f_c t \right] dt \\
&= \int_0^T \left\{ \left[\pm A\cos (2\pi f_c t) \pm A\sin (2\pi f_c t) + n(t) \right] \cos 2\pi f_c t \right\} dt \\
&= \pm 1/2\, AT_s + 0 + \int_0^T n(t) \cos (2\pi f_c t) \quad dt \qquad [2.26]
\end{aligned}
$$

การอินทิกรัลเทอมที่ 2 เท่ากับศูนย์ เนื่องจาก cos (.) และ sin (.) เป็นออร์โธโกนอล ช่วงเวลาสัญลักษณ์ 0 ถึง T_s โดยยึดเงื่อนไขออร์โธโกนอล ถ้าความถี่ของคลื่นพาห์เป็น การคูณของจำนวนเต็มกับอัตราสัญลักษณ์ ($f_c = kf_c$ (k : จำนวนเต็ม > 0)



รูปที่ 2.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปว่า เอาท์พุทของสัญญาณเบสแบนด์ที่ถูกมอดดูเลทแบบควอดดราเจอร์คอรีเลเตอร์คือ

$$b_{oQ} = \pm 1/2\ AT_s + \int_0^T n(t)\ \sin(2\pi f_c t)\ dt \qquad [2.27]$$

ซึ่ง B_{OI} และ B_{OQ} คือตัวแปรแรนดัม เป็นตัวแปรที่ยังไม่คอรีเลท (uncorrellate) ถ้า $f_c = kf_c$ ตัวแปรเกาส์เซียนจะเป็นอิสระต่อกัน

$$E[\ B_{OI}\ ] = E\ [\ B_{OQ}\ ] = \pm AT_s\ /\ 2 \qquad [2.28]$$

แวรเรียนท์ของ boI และ boQ แทนกำลังสัญญาณรบกวน ac กำลังนี้คือ

$$\begin{aligned} ar[b_{oI}] &= E\{[\ \int_0^T n(t)\cos(2\pi f_c t)dt\ ]^2\ \} \\ &= E\{\ \int_0^T\int_0^T n(t)n(\sigma)\cos(2\pi f_c t)\cos(2\pi f_c \sigma)dtd\sigma\ \} \\ &= \int_0^T\int_0^T \frac{N_0}{2}\delta(t-\sigma)\cos(2\pi f_c t)\cos(2\pi f_c \sigma)dtd\sigma \\ &= \frac{N_0}{2}\int_0^T \cos^2(2\pi f_c t)dt = \frac{N_0 T_s}{4} \end{aligned} \qquad [2.29]$$

(สังเกตว่า No/2 ทางสเปกตรัมกำลังของสัญญาณรบกวนไวท์เกาส์เซียนแวเรียนคอรีเลเตอร์ต่ำกว่า (lower correlator) คือ

$$ar\ [b_{oQ}\ ] = (\ N_o T_s\ )\ /\ 4 \qquad [2.30]$$

จากสมการเหล่านี้ เราได้

$$P_{el} = P_{eq} = 1/2\ .\ erfc\ \sqrt{A^2 T_s\ /\ 2N_o} \qquad [2.31]$$

ช่วงเวลาสัญลักษณ์ คือ $T_s = 2T_b$ พลังงานของสัญญาณคือ $E_s = A^2 T_s$ และพลังงานบิท คือ $E_b = A^2 T_s$ ดังนั้นเราได้

$$P_{el} = P_{eq} = 1/2\ .\ erfc.\sqrt{E_s\ /\ 2N_o} = 1/2\ \ erfc\ \sqrt{E_b\ /\ N_o} \qquad [2.32]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหมือนสมการโคฮีเรนท์ BPSK ซึ่งความน่าจะเป็นของความผิดพลาดของระบบโคฮีเรนท์ BPSK ความน่าจะเป็นของสัญลักษณ์ที่ผิดพลาดที่เครื่องรับ QPSK เป็น 2 เท่าของเครื่องรับ BPSK ที่เป็นอิสระต่อกัน

$$P_{E(QPSK)} = \text{erfc} \sqrt{E_b / N_o} \qquad [2.33]$$

ความน่าจะเป็นของบิทผิดพลาดของรหัสเกรย์โค้ดในระบบ QPSK = 1/2 ของความน่าจะเป็นของสัญลักษณ์ที่ผิดพลาด

$$P_{e(QPSK)} = 1/2 \text{ erfc } \sqrt{E_b / N_o} \qquad [2.34]$$

P_e เป็นสมรรถนะของระบบ OK-QPSK และ DEQPSK พื้นฐานที่แตกต่างกันระหว่างโมเด็มโคฮีเรนท์ QPSK และ OK-QPSK โดยฮาร์ดแวร์ของ QPSK ไม่มีส่วนของอิลิเมนท์ออฟเซทดีเลย์ (ดูรูปที่ 2.7 และ 2.8) เนื่องจากช่องสัญญาณอินเฟสและควอดดราเจอร์ BPSK เป็นออร์โธโกนอลและไม่ขึ้นกับการแซมปลิ้งชั่วขณะ การเพิ่มส่วนอิลิเมนท์ดีเลย์ในระบบ OK-QPSK ไม่มีผลต่อสมรรถนะของโมเด็มโคฮีเรนท์แบบ QPSK ดังนั้น P_e ของโมเด็ม OK-QPSK คือ

$$P_{E(OK-QPSK)} = 1/2 \text{ erfc } \sqrt{E_b / N_o} \qquad [2.35]$$

สมการความน่าจะเป็นของบิทผิดพลาดเหมือนกับระบบ QPSK (ดูสมการ 2.33)

ข้อจำกัด สมรรถนะทางทฤษฎีของโมเด็มที่อิสระจากสัญญาณรบกวนระหว่างสัญลักษณ์เป็นลักษณะเดียวกันกับระบบที่มีสัญญาณรบกวนไวท์เกาส์เซียนแบบเชิงเส้น

ระบบการเข้ารหัสแบบดิฟเฟอร์เรนท์เชียลโคฮีเรนท์ QPSK (DEQPSK) ขบวนการถอดรหัสอยู่ในรูปแบบของสัญญาณที่สร้างขึ้นใหม่ ความผิดพลาดของการถอดรหัสคูณด้วยแฟคเตอร์สอง

ดังนั้น P_e เป็นสมรรถนะของโมเด็ม DEQPSK ที่เข้ารหัสแบบเกรย์โค้ด คือ

$$P_{e(DEQPSK)} = 2P_{e(QPSK)} = \text{erfc} \sqrt{E_b / N_o} \qquad [2.36]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟแสดงอัตราผิดพลาดของบิท $P_e = f(E_b / N_o)$ ของระบบ DQPSK ในรูปที่ 2.17 ความน่าจะเป็นของบิทผิดพลาดประมาณ

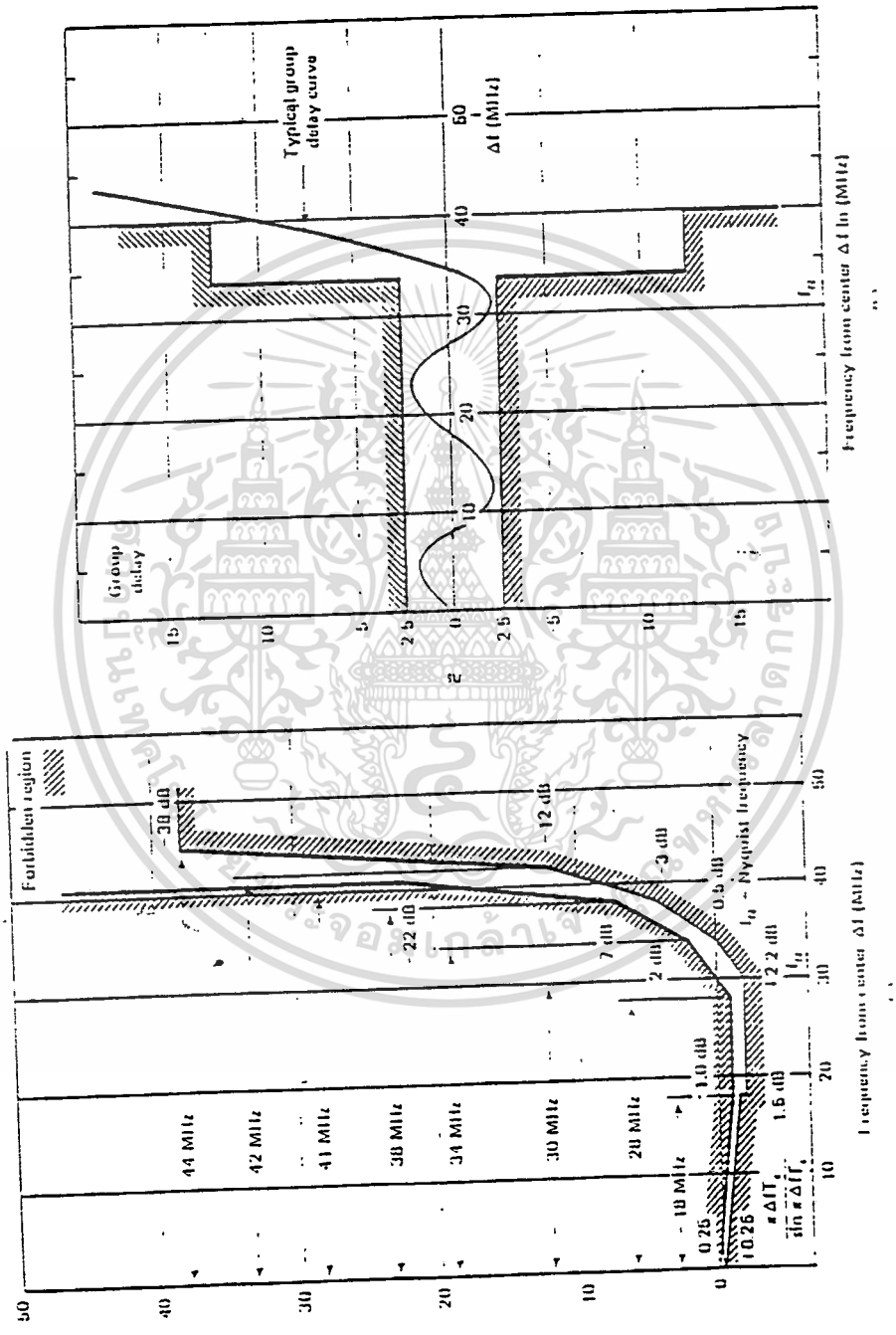
$$P_{e(DQPSK)} \approx e^{(-A2 / 2\sigma 2)(1-1/\sqrt{2})} \qquad [2.37]$$

ซึ่ง $A^2 / 2\sigma^2$ คือ อัตราส่วนคลื่นพาห์ต่อสัญญาณรบกวน

ระบบ DQPSK ในรูปที่ 2.19 มีระดับของ Eb/No = 2dB สูงกว่า ระบบโคฮีเรนท์ QPSK การนำไปใช้งาน ค่า Eb / No ที่เพิ่มจะถูกออฟเซทโดยฮาร์ดแวร์ง่าย ๆ นั่นคือ ไม่มีวงจรกู้คลื่นพาห์ที่จำเป็นในโครงสร้างดีมอดดูเลทแบบ DQPSK

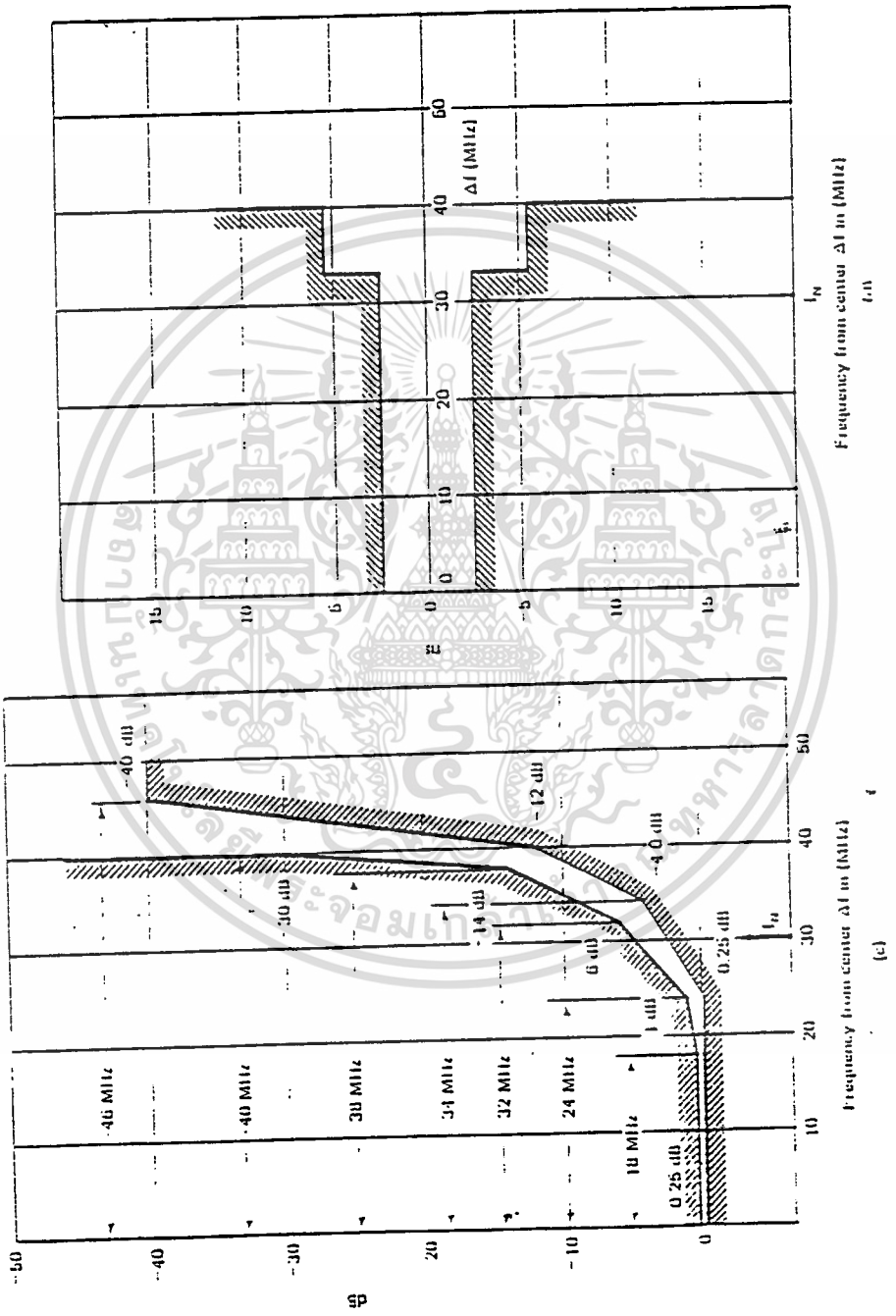
เหตุผลในทางฟิสิกส์ โมเด็ม QPSK ที่ต้องการ Eb / No สูงกว่า อธิบายได้ดังนี้ ในดีมอดดูเลทเตอร์แบบ DQPSK คลื่นพาห์ที่มอดดูเลทจะลดลงเนื่องจากสัญญาณรบกวนคูณด้วย 1 สัญลักษณ์ " ดีเลย์ เรปปลิกา" (delayed replica) ของคลื่นพาห์และสัญญาณรบกวนดีมอดดูเลเตอร์แบบโคฮีเรนท์ QPSK ค่าดีเลย์ เรปปริกา แทนสัญญาณที่เป็นอิสระจากสัญญาณรบกวนที่สร้างโดยวงจรกู้คลื่นพาห์ ดังนั้นดีมอดดูเลตเตอร์ (ตัวเปรียบเทียบเฟส) ที่มีในโคฮีเรนท์ QPSK เป็นสัญญาณที่อิสระจากสัญญาณรบกวน ซึ่งในกรณี DQPSK สัญญาณอ้างอิงจะลดลงเป็นจำนวนมากเนื่องจากสัญญาณรบกวนในคลื่นพาห์ที่มอดดูเลทมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

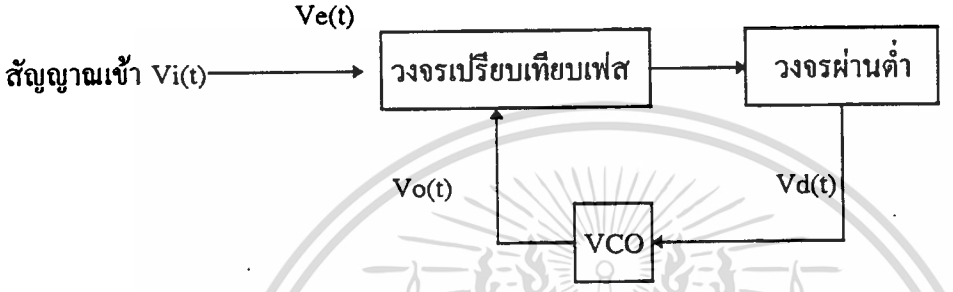


รูปที่ 2.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ทฤษฎีเฟสล็อกลูป (Phase Lock Loop ; PLL)

วงจรเฟสล็อกลูปประกอบด้วยวงจรเปรียบเทียบเฟส วงจรผ่านต่ำ วงจรขยาย และวงจรผลิตความถี่ควบคุมโดยแรงดัน (Voltage Control Oscillator ; VCO) ต่อเป็นวงรอบ (LOOP) อย่างเช่น วงจรป้อนกลับทั่ว ๆ ไป (ดูรูปที่ 2.21)



รูปที่ 2.21 วงจรพื้นฐานของเฟสล็อกลูป

วงจรเปรียบเทียบเฟส คือ วงจรที่ให้แรงดันออกเป็นปฏิภาคกับผลต่างระหว่างเฟสสัญญาณเข้าสองสัญญาณ วงจรนี้อาจเป็นวงจรคูณถ้าสัญญาณเข้า $V_i(t)$ มีความถี่ ω_i และเฟส θ_i

$$v_i = V_i \sin(\omega_i t + \theta_i) \qquad [2.38]$$

และสัญญาณออกจาก VCO มีความถี่ ω_i และเฟส θ_0

$$v_0 = V_0 \cos(\omega_i t + \theta_0) \qquad [2.39]$$

ถ้าป้อน v_i และ v_0 เข้าที่วงจรเปรียบเทียบเฟส จะได้สัญญาณคือ

$$v_e(t) = K_m v_i v_o \qquad [2.40]$$

ถ้าเราไม่สนใจเทอมความถี่ $2\omega_i$ ซึ่งถูกกำจัดโดยวงจรผ่านต่ำ จะได้

$$v_e = K_m v_i v_o / 2 \sin(\theta_i - \theta_0) \qquad [2.41]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากให้ผลต่าง $\theta_i - \theta_0$ มีค่าน้อย ๆ จะได้

$$v_e = K_d (\theta_i - \theta_0) \qquad [2.42]$$

โดย K_d เป็นค่าแกนของเฟสดีเทคเตอร์มีขนาดเป็น V / rad และในกรณีที่ให้ระบบเป็นเชิงเส้นเราจะได้ความถี่ด้านออกจากวงจร VCO ที่เบี่ยงเบนออกจากความถี่ศูนย์กลางคือ

$$\Delta\omega = K_o V_c \qquad [2.43]$$

โดย V_c เป็นแรงดันด้านเข้าของวงจร

K_d เป็นแกนของ VCO มีขนาดเป็น rad / v

ดังนั้นความถี่ด้านออกของ VCO คือ

$$f_o = \omega_c + \Delta\omega = \omega_c + K_o V_c \qquad [2.44]$$

โดยที่ c เป็นความถี่อิสระ (Free Rning) ของ VCO และจากความถี่เป็นการอนุพันธ์ของเฟสเทียบกับเวลาหรือเขียนได้เป็น

$$\Delta\omega = d\theta_0 / dt = K_o V_c \qquad [2.45]$$

หรือเขียนเฟสด้านออกของลูปได้ว่า

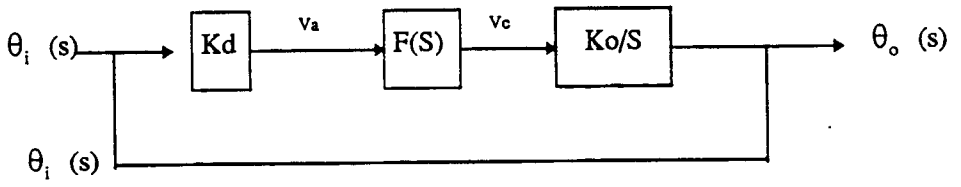
$$\theta_0 (s) = \int_o^t \Delta\omega \, dt \qquad [2.46]$$

กรณีในระบบเฟสล็อกลูป ถ้าทำการวิเคราะห์ด้วยลาปลาซทรานส์ฟอร์ม สามารถแสดงเฟสด้านออกได้ว่า

$$\theta_0 (s) = K_o V_c / S \qquad [2.47]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น ระบบเฟสล็อกลูปสามารถแสดงแบบจำลองได้ดังรูป



รูปที่ 2.22 แบบจำลองของเฟสล็อกลูป

ซึ่งจากแบบจำลองเราสามารถเขียนทรานส์เฟอร์ฟังก์ชั่นได้คือ

$$\theta_o(S) \;/\; \theta_i(S) = \frac{K_d K_o \;(\; F(S) \;/S\;)}{1 + K_o K_d \;(\; F(S) \;/S\;)} \qquad [2.48]$$

แรงดัน v_e นี้จะได้รับการขยายและใช้เป็นแรงดันควบคุมความถี่ของ VCO ซึ่งในการทำงานปกติ การควบคุมนี้จะมีผลให้สัญญาณ v_o จาก VCO มีความถี่ตรงกับสัญญาณด้านเข้า v_i และถ้าอัตราขยายของลูปมีค่าสูง v_e จะมีค่าต่ำและเฟส ω_o กับ ω_i จะมีค่าใกล้เคียงกัน

การทำงานของวงจรเฟสล็อกลูปสามารถอธิบายได้อย่างคร่าว ๆ คือ เมื่อไม่มีสัญญาณเข้า (v_i) แรงดัน v_e และ v_d (ที่ใช้ควบคุม VCO) จะเป็นศูนย์ VCO จะกำเนิดสัญญาณความถี่หนึ่งเรียกว่าความถี่อิสระ f_{oo} เมื่อใส่สัญญาณเข้า v_i ที่ความถี่ f_i ถ้า f_i ต่างจาก f_{oo} มาก สัญญาณ v_e ซึ่งมีความถี่เท่ากับ $f_{oo} - f_i$ จะไม่สามารถผ่านวงจรผ่านต่ำ แรงดัน v_d ที่ใช้ควบคุม VCO จะยังคงเป็นศูนย์ และ VCO ยังคงทำงานที่ความถี่ f_{oo} และถ้าหากว่า f_i มีค่าไม่ต่างจาก f_{oo} มากนัก นั่นคือ

$|f_i - f_{oo}| < \Delta f_p \; (2\Delta f_p)$ มีชื่อว่าช่วงดึงเข้า หรือ pull - in range สัญญาณ v_e จะมีลักษณะไม่สมมาตร กล่าวคือมีองค์ประกอบไฟตรงไม่เท่ากับศูนย์ v_d จะค่อย ๆ เพิ่มค่าขึ้น และหลังจากช่วงหนึ่งเรียกว่า เวลาดึงเข้า (pull - in time) ความถี่ f_0 ซึ่งค่อย ๆ แปรค่าไปยังค่า f_i จะต่างจากเพียง f_i เพียง $|f_i - f_0| = \Delta f_c \; (2\Delta f_c)$ มีชื่อว่าช่วงเวลาจับหรือ capture range ถึงตอนนี้ f_0 จะแปรเข้าสู่ค่า f_i อย่างรวดเร็วฉับพลัน เรียกว่าเกิดการล็อก (lock) v_d ก็จะเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างฉับพลันเช่นกัน ทั้งนี้สำหรับ VCO โดยทั่วไปความถี่ f_0 เป็นปฏิภาคกับการบ่ายเบนจากความถี่อิสระ นั่นคือ

$$\omega_0 - \omega_{00} = K_o v_d \qquad [2.49]$$

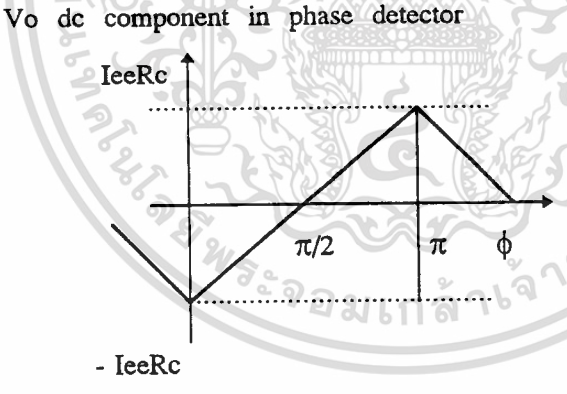
โดยที่ K_o เรียกว่าความไวของ VCO มีหน่วยเป็น (rad / sec) / V

การได้มา (acquisition) ซึ่งการล็อกอาจใช้วิธีดังนี้

(ก) ณ . ขณะหนึ่ง ความถี่ของ VCO ต่างจากความถี่ขาเข้า f_i น้อยกว่า Δf_c จะเกิดการล็อกอย่างฉับพลัน เรียกว่า "เกิดการจับ (capture)"

(ข) ณ. ขณะหนึ่ง ความถี่ของ VCO ต่างจากความถี่ขาเข้า f_i มากกว่า Δf_c แต่น้อยกว่า Δf_p ความถี่ของ VCO จะค่อย ๆ เลื่อนเข้าหาความถี่ f_i เรียกว่า "เกิดการดึงเข้า (pull - in)"

(ค) นอกช่วงเวลาดึงเข้าหรือในกรณีดึงเข้าใช้เวลานานเกินไปอาจเพิ่มวงจรเพื่อควบคุมให้ความถี่ของ VCO กวาด (sweep) ของลูป ซึ่งจะเพิ่มช่วงการจับและการดึงเข้า หรืออาจเพิ่มเติมวงจรจำแนกความถี่ (Frequency discriminator) ซึ่งจะปรับ VCO เข้าสู่ช่วงการจับได้อย่างรวดเร็ว



รูปที่ 2.23 คุณสมบัติโอนย้ายของอนาล็อกเฟสดีเทคเตอร์

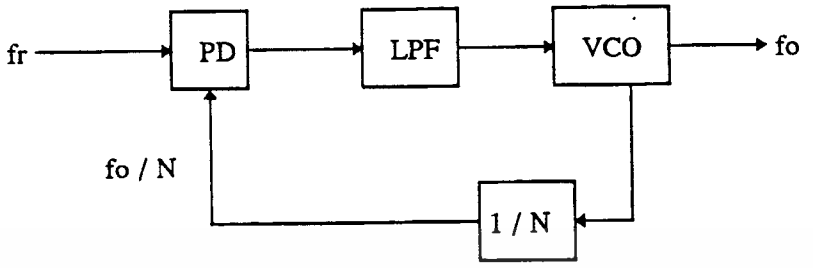
เมื่อเกิดการล็อคแล้วถ้าความถี่ของสัญญาณแปรไป ความถี่ของ VCO จะแปรตามไปด้วยเรียกว่า เกิดการตามรอย (tracking) ความถี่ของ VCO จะสามารถตามรอยความถี่ f_i ได้ตราบใดที่ $|f_i - f_{00}| = \Delta f_H$ ($2\Delta f_H$ มีชื่อว่าช่วงคงที่ไว้ หรือ hold - in rang บางทีก็เรียกว่าช่วงตามรอยช่วงล็อค)

สรุปแล้วถ้าเพิ่มหรือลดความถี่ f_i จะได้การเปลี่ยนแปลงของ v_d (ซึ่งควบคุม VCO และเป็นปฏิภาคกับ $(f_0 - f_{00})$ ดังแสดงในรูป 2.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสังเคราะห์ความถี่ด้วยเฟสล็อกลูป

การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปเป็นการสร้างความถี่ขึ้นใหม่ ด้วยสัญญาณความถี่อ้างอิงที่มาตรฐาน โดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงได้ดังรูป 2.24



รูปที่ 2.24 แสดงโครงสร้างเฟสล็อกลูปสำหรับการสังเคราะห์ความถี่

จากรูป ส่วนที่เพิ่มเข้าไปจากโครงสร้างของเฟสล็อกลูปที่ได้กล่าวมาแล้วคือ วงจรหาร N (1/N) โดยถ้า f_r เป็นสัญญาณอ้างอิงที่มีความถี่ที่คงที่แล้ว ความถี่เอาท์พุทของ VCO จะเท่ากับขนาดของความถี่อ้างอิง (Freqorncy reference : fr) คูณกับจำนวนหาร N หรือเขียนได้

$$f_o = f_r * N \qquad [2.50]$$

หรือกล่าวได้ว่าความถี่เอาท์พุท (f_o จะเป็นจำนวนเท่าของความถี่อ้างอิง) ความถี่ที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์ (PD) หารด้วยจำนวน N ให้เท่ากับความถี่อ้างอิง สำหรับการทรานเฟอร์ฟังก์ชั่นของ PLL ที่มีวงจรหารในส่วนป้อนกลับเขียนทรานเฟอร์ฟังก์ชั่นได้คือ

$$\frac{\theta_o(S)}{\theta_r(S)} = \frac{K_o K_d\ (F(s)\ /S)}{1 + K_o K_d\ (F(s)\ /NS)} \qquad [2.51]$$

สำหรับทรานเฟอร์ฟังก์ชั่นของลูปใด ๆ เขียนได้

$$f_o = \frac{G(s)}{1 + G(s)\,H(s)} \qquad [2.52]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

G (s) = ฟอร์เวิร์ดเกน (forword gain)

H (s) = เกนป้อนกลับ (feedback gain)

G (s)H(s) = เกนลูปปิด (open loop gain)

จากสมการ 2.52 เราได้ฟอร์เวิร์ดเกนคือ

$$G(s) = \frac{K_o K_d F(s)}{S} \qquad [2.53]$$

และเกนของลูปเปิดของเฟสล็อกลูปคือ

$$G(s)\,H(s) = \frac{K_o K_d F(s)}{S * N} \qquad [2.54]$$

สำหรับในการสังเคราะห์ความถี่วงจรกรองความถี่ต่ำ (LPF) ในลูปจะเลือกใช้วงจรกรองแบบแอคตีฟ เนื่องจากดึงกระแสอินพุทน้อย ทำให้ค่าความผิดพลาดในสภาวะสงบของเฟสดีเทคเตอร์เอ้าท์พุทมีค่าน้อย แทนลงในสมการที่ 2.41 จะได้

$$\frac{\theta_o}{\theta_o} = \frac{K_o K_d (ST_2 + 1) / T_1}{S^2 + \underbrace{SK_o K_d T_2}_{NT_1} + \underbrace{K_o K_d}_{NT_1}} \qquad [2.55]$$

จะได้ความถี่ธรรมชาติของลูปและค่าแดมปิ้งแฟคเตอร์คือ

$$fn = \frac{\sqrt{(K_o K_d)}}{NT1}$$

$$= \frac{T_2}{2}\ \omega_n \qquad [2.56]$$

ค่าความถี่ธรรมชาติ , อัตราแดมปิ้งของลูป จะเป็นพารามิเตอร์ที่เราสามารถกำหนดได้โดยกำหนดค่าพารามิเตอร์ดังกล่าว เราจะกำหนดโดยพิจารณาจากความต้องการต่อการตอบสนองของลูปในสภาวะทรานส์เซี้ยน ความสามารถมอดดูเลทความถี่ที่ต้องการในกรณีลูปถูกมอดดูเลทด้วยสัญญาณเบสแบนด์และเสถียรภาพของลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการสังเคราะห์สัญญาณเบื้องต้น

สัญญาณซึ่งเป็นสิ่งพื้นฐานทางอิเล็คทรอนิคส์ และระบบ DSP อาจสร้างขึ้นได้โดยหลายวิธีแตกต่างกันออกไป ตามความต้องการใช้งาน แต่การสร้างสัญญาณที่มีความถูกต้องเที่ยงตรงโดยเฉพาะสัญญาณคลื่นรูปไซน์นั้น ค่อนข้างจะมีความซับซ้อน

ในระบบ DSP เราสามารถสร้างสัญญาณได้หลายวิธี ในที่นี้เราจะกล่าวถึงเพียงบางวิธีเท่านั้น โดยจะยกตัวอย่างการสร้างคลื่นรูปไซน์

3.1 วิธีมองค่าจากตารางโดยตรง โดยที่เราจะกำหนดค่า Sine ของมุมต่าง ๆ รอบวงกลมหนึ่งหน่วยทั้งหมด N มุม ห่างเท่า ๆ กัน ซึ่งถูกเก็บเป็นค่าในตาราง และ อยู่ในรูปแบบนี้

$$S(n) = Sin (n * 360 \text{ องศา} / N) : = 0,1,2,3,...,(N-1)$$

เมื่อค่า

S(n) = ค่าที่เก็บในตาราง

n = ค่าของตัวชี้

N = จำนวนของ S(n)

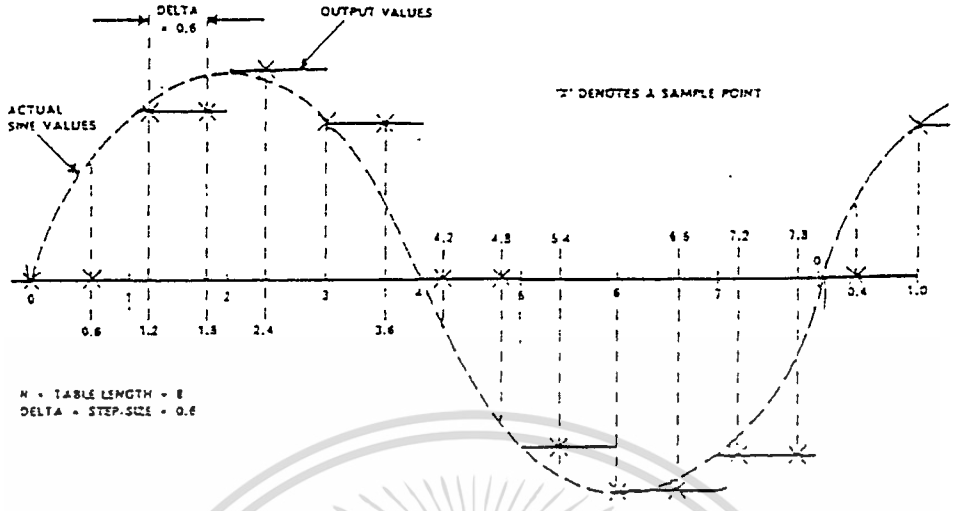
สัญญาณ Sine จะสร้างขึ้นโดยกวาดค่าต่าง ๆ ในตาราง S(n) ออกมาโดยตัวชี้ n ที่มีค่าเพิ่มขึ้นเรื่อย ๆ อย่างคงที่ และเมื่อเกิน 360 องศา ก็จะกลับไปเริ่มต้นใหม่ ซึ่งการเพิ่มขึ้นนี้ เราจะกำหนดด้วยค่า delta ซึ่งเป็นจำนวนจริง

ดังนั้นเราจะได้เอาท์พุท (S(n)) คือ

$$S (mod (k * Delta , N)) \quad k = 1,2,3,4,...$$

เมื่อ mod (a,b) กำหนดโดยมีค่าเท่ากับค่าที่เหลืออยู่ของ a/b เพื่อที่จะได้ผลลัพธ์เป็นเลขจำนวนเต็ม การมอดดูเลทนั้นก็จะทำให้เกิดการวนไปรอบ ๆ ตาราง และ จะได้สัญญาณเอาท์พุทดังรูป เมื่อค่า N = 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 สัญญาณเอาท์พุทจากการใช้วิธี direct table lookup

จะเห็นได้ว่าสัญญาณเอาท์พุทที่ได้มีค่าประมาณใกล้เคียงสัญญาณไซน์ ซึ่งหากเราต้องการค่าที่แม่นยำมากขึ้นก็จะทำด้วยการเพิ่มค่า N ในตาราง ยิ่งเพิ่มค่ามากขึ้นก็จะทำให้ได้เอาท์พุทที่ใกล้เคียง สัญญาณไซน์มากขึ้น

ความถี่ของสัญญาณเอาท์พุทที่ได้จะขึ้นอยู่กับตัวแปร 2 ตัวคือ

1. ค่าช่วงเวลาการสุ่ม
2. ค่าการกระโดด Delta

จะได้สมการของ f คือ

$$f = Delta / t * N \quad Hz$$

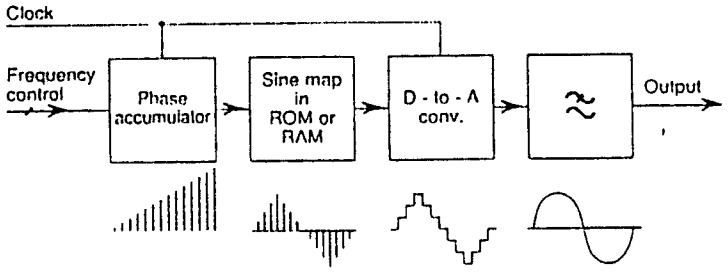
และจากทฤษฎีของ Nyguist จะได้ว่าอย่างน้อยจะมีข้อมูล 2 ค่าเกิดขึ้นในแต่ละคาบเวลาของสัญญาณไซน์ ดังนี้

$$Delta < N / 2$$

จากตัวอย่างรูป ให้ค่า N เท่ากับ 8 ค่า ค่า Delta = 0.6 ถ้าการสุ่ม 8 ครั้งเกิดขึ้นใน 1 ms ดังนั้นค่าของ t = 0.000125 s

จะได้ $f = 0.6 / (8 * 0.000125) = 600$ Hz

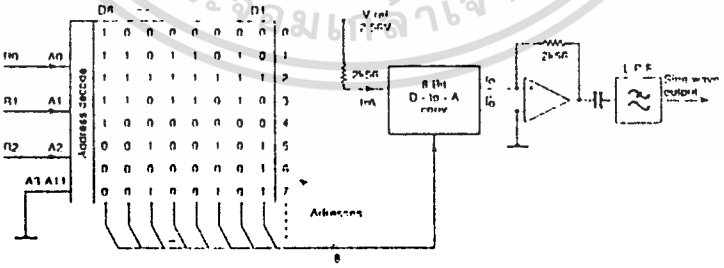
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Principle of the direct digital synthesiser. A frequency control number is added into the phase accumulator on every clock cycle. The most significant bits of the accumulator address a sine look-up table in ROM or RAM. The output of this is passed to a DAC, whose output is a stepwise approximation to a sinewave. Lowpass filtering exerts a flywheel effect, smoothing the waveform and suppressing harmonics

รูปที่ 3.2 หลักการสังเคราะห์สัญญาณ

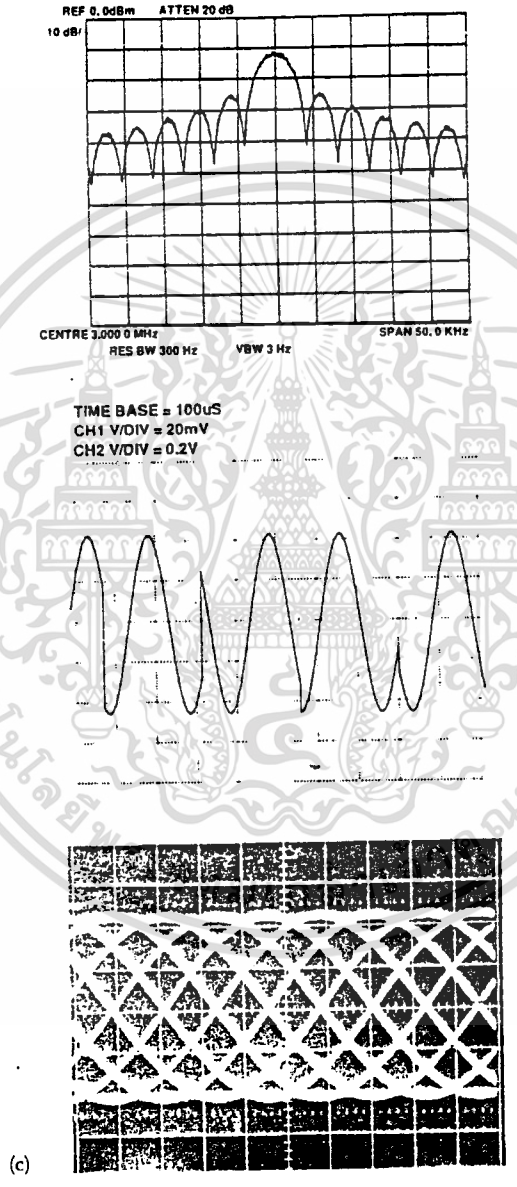
หลักการสังเคราะห์สัญญาณด้วยวิธีมองค่าโดยตรงจากตาราง ที่เรากำหนดค่าความถี่จะควบคุมค่าของตัวชี้ และจะเพิ่มขึ้นอย่างคงที่ทุก ๆ สัญญาณนาฬิกาซึ่งค่ามุมของสัญญาณไซน์ที่ถูกเก็บไว้ในหน่วยความจำชนิดรอม จะถูกอ่านออกมาผ่านไปยังภาค DAC ทำการแปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาลอก ซึ่งสัญญาณที่ออกจาก DAC นี้อาจจะมีสัญญาณรบกวนปะปนอยู่ สามารถทำให้ได้สัญญาณไซน์ที่เรียบโดยผ่านวงจรกรองความถี่ต่ำอีกครั้งหนึ่ง



The rest of the rudimentary DDS. After 64 clock cycles, one complete cycle of (stepwise) sinewave has been delivered from the DAC, dwelling for eight clock periods at each step. In practice, an 8 bit latch would probably be interposed in the line between the ROM and the DAC, loaded by the other edge of the clock waveform from that which increments the accumulator. This would benefit very high speed operation, by preventing any glitches, as the ROM output settles, from reaching the DAC

รูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



8-PSK produced by the Q2334 DDS chip operating at 4096 baud (12.288 kbit/s). (a) Spectrum; (b) waveform showing phase changes modulo 45°, (c) time exposure showing all eight phases

รูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

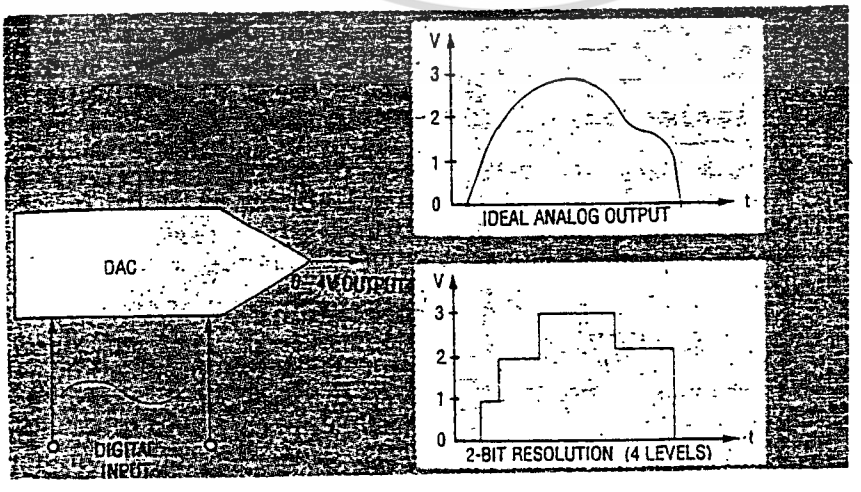
3.1 พื้นฐาน D/A คอนเวอร์ทเตอร์

D/A คอนเวอร์ทเตอร์ (Digital to - Analog converters)

D/A คอนเวอร์ทเตอร์ หรือเรียกย่อ ๆ ว่า ตัว DA C เป็นตัวแปลงรหัสเลขฐานสองจากคอมพิวเตอร์ หรือจากวงจรดิจิตอลใด ๆ ให้กลายเป็นระดับแรงดันอะนาล็อกที่มีความสัมพันธ์กับระบบเลขฐานสองตัว DAC สามารถนำไปใช้ขับอุปกรณ์เป็นอะนาล็อกได้ เช่น มิเตอร์ , มอเตอร์ อุปกรณ์ควบคุม หรือวงจรที่เกี่ยวข้องสัญญาณเสียง เช่น เครื่องเล่นคอมแพ็คดิสก์ ตัวDACในเครื่องเล่นคอมแพ็คดิสก์นั้นถูกใช้สำหรับการเปลี่ยนข้อมูลที่บันทึกเป็นสัญญาณดิจิตอลบนแผ่น CD ให้กลับเป็นสัญญาณเสียงที่มีคุณภาพสูง ออกให้เราได้ยิน

ต่อไปเราจะพิจารณาแนวความคิดที่สำคัญของ D/A เริ่มจากความละเอียดของ DAC เราจะนิยามไว้เป็น ระดับแรงในแต่ละขั้น ที่เอาท์พุทสามารถจะผลิตออกมาได้ ซึ่งมีความสัมพันธ์โดยตรงจำนวนของบิททางด้านอินพุทที่อยู่ในรูปของรหัสไบนารี่ DAC ขนาด 4 บิท จะมีอินพุทอยู่ 4 อินพุท ซึ่งจะมีความละเอียดเท่ากับ 4 จำนวนของระยะและความแตกต่างของระดับสัญญาณอะนาล็อกทางด้านเอาท์พุท ที่ DAC ขนาด 4 บิท สามารถผลิตได้จะมีค่าเท่ากับ 2^n (2^4) 16 ระดับ นั้นย่อมหมายถึง สัญญาณอะนาล็อกทางเอาท์พุทสามารถถูกแทนได้ด้วยระดับแรงดัน 16 ขั้นด้วยกัน

ที่นี้มาดู DAC ขนาด 8 บิท ๆ สามารถให้สัญญาณอะนาล็อกทางด้านเอาท์พุทที่เป็นระดับแรงดันได้ 2^8 หรือ 256 ระดับ DAC ขนาด 12 บิท สามารถในระดับแรงดันทางเอาท์พุทได้ 2^{12} หรือ 4096 ระดับ อย่างที่เราเห็นแล้วว่า ADC มีขนาดอินพุทบิทมากเท่าไร ความละเอียดและความถูกต้องของระดับแรงดันอะนาล็อกทางเอาท์พุท DAC สามารถผลิตได้จะมากขึ้นตามดังแสดงในรูปที่ 3.5



รูปที่ 3.5 แสดงความละเอียดของแรงดันทางเอาท์พุทตัว DAC ยิ่งมีอินพุทมากเท่าไรความละเอียดทางเอาท์พุทจะมากขึ้นก็ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถัดมาจากความละเอียดของ DAC เราจะมาพิจารณาถึง เวลาเข้าสู่สภาวะของตัว (Setting time) เวลาเข้าสู่สภาวะคงตัว เป็นค่าของเวลาที่ระดับแรงดันเอาท์พุทเข้าสู่สภาวะคงที่เมื่อรหัสไบนารี่ทางอินพุทเปลี่ยนแปลงไป โดยปกติจะติดที่สัญญาณทางเอาท์พุทคงที่ ในช่วง ± 1/2 ของ LSB (Least significant bit) ของค่าที่คาดว่าจะเป็นหลังจากรหัสไบนารี่ทางด้านอินพุทเปลี่ยนไป นั้นหมายความว่าในเงื่อนไขของการปฏิบัติงานจริง ๆ มีความสัมพันธ์กับค่าซึ่งเป็นอยู่ในขณะนั้นต่อ LSB ของมันเอง ถ้า DAC ขนาด 8 บิท มีช่วงแรงดันทางเอาท์พุทอยู่ในช่วง 0 - 10 โวลท์ ดังนั้น LSB มีค่าเท่ากับ $10 / 2^8$ หรือ 0.039 โวลท์ ครึ่งหนึ่งของค่า $10 / 2^8$ เป็น 0.0195 โวลท์ ดังนั้น ค่าเวลาที่ระดับแรงดันเอ้าท์พุทเข้าสู่ภาวะคงที่ควรจะเป็นค่าเวลาที่เอ้าท์พุทเพิ่มขึ้นถึง 0.0195 โวลท์ ของค่าระดับที่คาดหมายไว้ ตามปกติค่าเวลาเข้าสู่ภาวะคงตัวมีค่าน้อยกว่า 10μS

ค่าความแม่นยำเป็นแฟกเตอร์ที่สำคัญอีกตัวหนึ่งของ DAC ในเงื่อนไขปกติ ค่าความแม่นยำของ DAC คือ ± ทุก ๆ ตำแหน่งจาก 1/2 ถึง 2 ค่าของ LSB สำหรับ DAC ซึ่งมีค่าความแม่นยำ ±1 ค่า LSB แรงดันเอ้าท์พุทสามารถเปลี่ยนแปลงไปในทาง + หรือ - ค่าของ 1 บิท ถ้า DAC มีแรงดันเอ้าท์พุทอยู่ในช่วง 0 ถึง 5 โวลท์ มีความละเอียดเท่ากับ 12 บิท LSB ควรจะเป็น $5/2^{12}$ หรือ 0.00122 โวลท์ สำหรับทุก ๆ ค่าของรหัสไบนารีทางด้านเอ้าท์พุทแรงดันอาจจะสูงหรือต่ำกว่าค่าที่คาดหมายไว้ 0.00122 โวลท์ ถ้า DAC ตัวเดียวกันมีค่าความแม่นยำเท่ากับ 1/2 ค่าความถูกต้อง LSB ค่าเอ้าท์พุทจะสามารถผิดพลาดไปได้ ±0.00122/2 หรือ ±0.00061 โวลท์ ยิ่งค่าความแม่นยำน้อยเท่าไร ค่าความละเอียดก็จะมากขึ้นตาม และจะมีค่าใกล้เคียงกับค่าเอ้าท์พุทที่คาดไว้

หลายปีที่ผ่านมาได้มีการค้นคิดพัฒนาวิธีการของการเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณอะนาล็อก ในบทความนี้เราจะพูดหลักการใหญ่ของวิธีเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณอะนาล็อก 2 วิธีด้วยกัน Binary weighted และ Binary ladder D/A

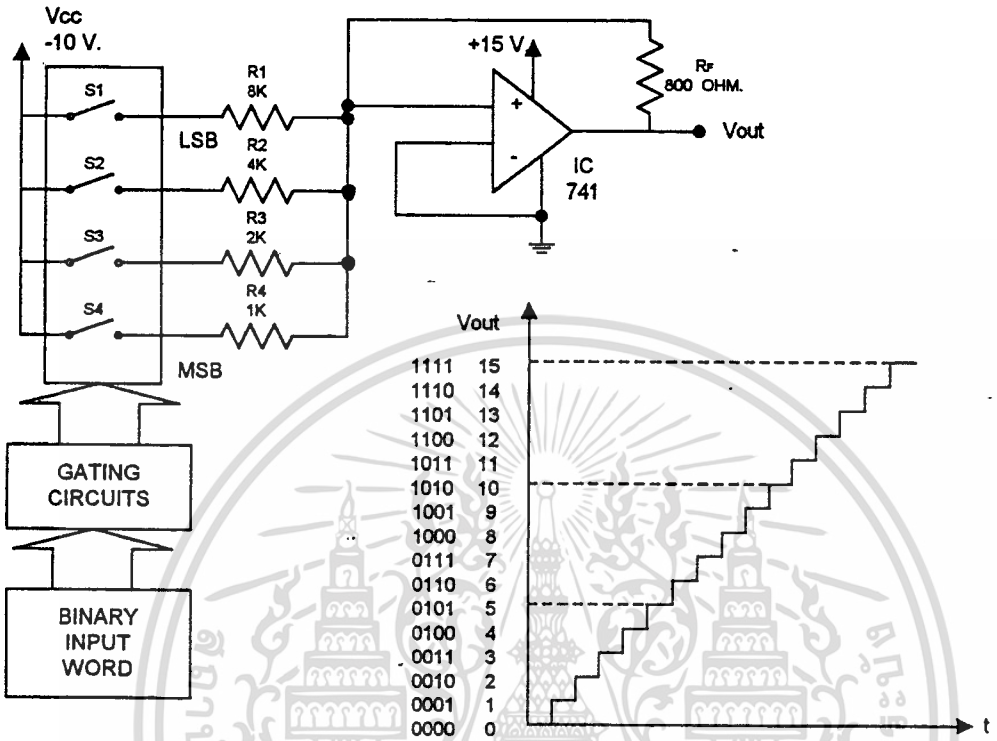
3.1.1 Binary - weighted resistor D/A

เทคนิคจัดน้ำหนักของรหัสไบนารี่เป็นวิธีที่ง่ายที่สุดและเก่าที่สุดของการแปลงดิจิตอลบิทให้กลายเป็นสัญญาณอะนาล็อก วงจรของ Binary - weighted resistor D/A แสดงไว้ในรูปที่ 3.6

รหัสไบนารี่จะถูกป้อนให้ขาเกตุของอะนาล็อกสวิทช์ เมื่อรหัสไบนารี่เป็น 0000 ถูกป้อนให้ที่เกทอะนาล็อกสวิทช์ทั้งหมดจะเปิดวงจรดังนั้น จึงไม่มีแรงดันเอ้าท์พุทจ่ายไปให้ออปแอมป์ เอ้าท์พุทจากออปแอมป์จึงเป็นศูนย์ เมื่อรหัสไบนารี่เป็น 0001 สวิทช์ S_1 จะปิดลง และแรงดัน 10 โวลท์ จะจ่ายให้กับ R_1 เพราะว่าอินพุทของออปแอมป์จะมองได้ว่าเป็นกราวด์เสมือน (Virtral Ground) เป็นผลให้แรงดัน 10 โวลท์ ตกคร่อมตัวต้านทาน 8 kΩ (R_1) ซึ่งเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหตุให้เกิดกระแส 1.25 mA (10 V/ 8000 Ω) ไหลผ่านความต้านทานป้อนกลับ (R_F) ค่า 800Ω แรงดันตกคร่อม R_F ควรจะมีค่า 800Ω * 1.25 mA หรือเท่ากับ 1 โวลท์



รูปที่ 3.6 แสดงวงจร Binary weighted DAC และ กราฟแสดงเอาท์พุทของ DAC ต่อสัญญาณดิจิตอล

เมื่อรหัสไบนารี่เปลี่ยนไปเป็น 0010 S_1 จะเปิด และ S_2 ปิดวงจร เป็นเหตุให้กระแส 2.5 mA (10 V / 4000 Ω) ไหลผ่าน R_2 แรงดันตกคร่อม R_F มีค่าเท่ากับ 800 Ω * 2.5 mA หรือ 2 โวลท์ รหัสไบนารี่ 0100 จะให้แรงดันเอาท์พุทเท่ากับ 4 โวลท์ และถ้ารหัสไบนารี่เป็น 1000 แรงดันเอาท์พุทจะมีค่าเป็น 8 โวลท์ จะสังเกตได้ว่า รหัสทางอินพุทและค่าของ R_F มีผลต่อระดับแรงดันทางเอาท์พุท

สวิทช์แต่ละตัวสามารถปิดวงจรพร้อมกันได้เมื่อทำการรวมกันเพื่อสร้างสัญญาณอะนาล็อกทางเอาท์พุทที่มีค่าจาก 0 ถึง 15 โวลท์ (0000 = 0 โวลท์ , 0111 = 7 โวลท์ และ 1111 = 15 โวลท์) ในการเพิ่มขึ้น 1 โวลท์ต่อ 1 ขั้น

ถึงแม้ว่า Binary - weighed resistor DAC มีลักษณะวงจรที่ง่าย ๆ ตรงไปตรงมา แต่ไม่สะดวกในการนำไปใช้งาน ถ้าต้องการความละเอียดของ DAC มากกว่า 4 บิท เพราะว่าค่าของตัวต้านทานที่ใช้มากมายหลายค่าเกินไป ซึ่งต่างจาก Ladder network ที่ต้องการใช้ตัวต้านทานเพียง 2 ค่าเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 Ladder network D/A

เทคนิคเลดเดอร์เน็ทเวิร์ค สามารถสร้างแรงดันตามน้ำหนักของรหัสไบนารี่โดยอาศัยความต้านทานเพียง 2 ค่าเท่านั้นที่จัดในลักษณะวงจรแบ่งแรงดัน หรือที่เรียกว่าไบนารี่ เลดเดอร์ ดังแสดงในรูปที่ 3.7

ถึงแม้ว่าวงจร DAC แบบเลดเดอร์เน็ทเวิร์คนั้นดูผ่าน ๆ แล้วค่อนข้างจะยาก แต่การทำงานของวงจรก็ยังคล้ายกับการทำงานของวงจร Binary eighted DAC (รูปที่ 3.6) เกทที่ต่ออยู่ในลักษณะอนุกรมถูกใช้สำหรับขับอะนาล็อกสวิทซ์ เมื่อรหัสไบนารี่ 0000 ถูกส่งมายังเกทอะนาล็อกสวิทซ์ทั้งหมดจะเปิดออก ดังนั้น แรงดันเอาท์พุทที่ได้จากออปแอมป์จึงมีค่าเป็นศูนย์ สวิทซ์ S_1 จะปิดลงเมื่อเกทได้รหัสไบนารี่เป็น 1000 เป็นผลให้เกิดแรงดันเอาท์พุท 5 โวลท์ออกมาจากออปแอมป์ถ้ารหัสไบนารี่เป็น 0010 สวิทซ์ S_3 ก็จะปิด และทำให้เกิดแรงดัน 1.25 โวลท์ จึงเกิดเอาท์พุท และสุดท้ายถ้าอินพุทเป็น 0000 สวิทซ์ S_4 จะปิดลงออปแอมป์จะได้แรงดันเอาท์พุทออกมา 0.0625 โวลท์ จะสังเกตได้ว่า แต่ละแรงดันเอาท์พุทอยู่ในรูปอันดับของไบนารี่ คือเอาท์พุทสามารถเปลี่ยนจาก 0 ถึง 10 โวลท์ เพิ่มขึ้นขั้นละ 0.625 โวลท์ (24 หรือ 16 ขั้น)

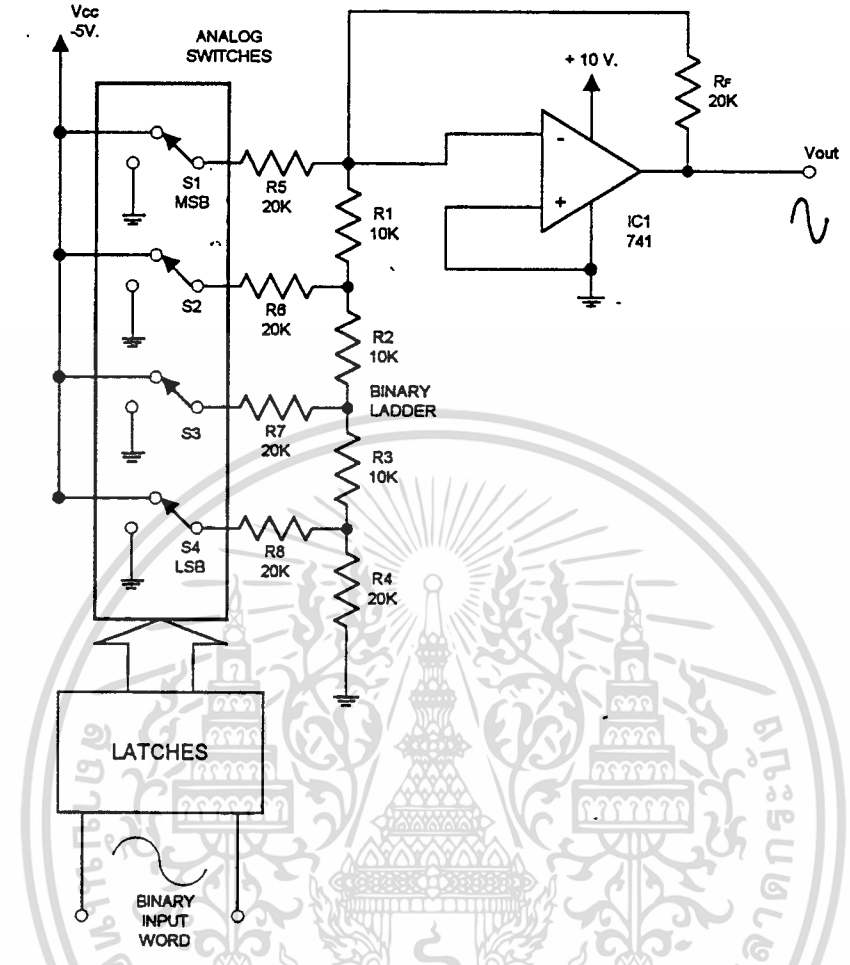
ข้อดีของเลดเดอร์ เน็ทเวิร์ค DAC คือ สามารถออกแบบได้ง่าย เนื่องจากใช้ความต้านทานเพียง 2 ค่าเท่านั้น และในทุกวันนี้ บริษัทผู้ผลิต DAC เกือบทั้งหมดจะใช้เทคนิคแบบเลดเดอร์เน็ทเวิร์คในการผลิตDAC

วงจรไบนารี่ เลดเดอร์มักจะมีความถูกต้องแม่นยำมากกว่าวงจร binary wighted เพราะว่าเราจะหาค่าความต้านทานที่ถูกต้อง 2 ค่า (เช่น 10K หรือ 20K) ได้ง่ายกว่าค่าความต้านทานหลาย ๆ ค่าที่ใช้ในวงจร Binary wighted DAC ไอซี DAC สำเร็จรูปที่นิยมใช้อยู่คือเบอร์ DAC-08

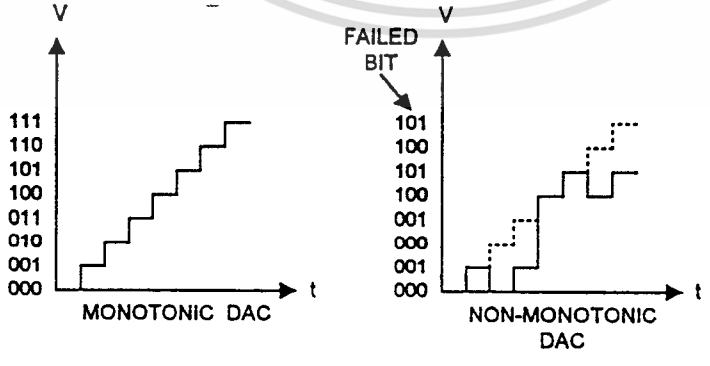
ที่นี้เราจะอธิบายหลักการเริ่มทำงานของ DAC เราสามารถพิจารณารายละเอียดที่สำคัญของ monotonicity (ดูความหมายในเทอมนิยาม) ตามที่คุณได้รู้มา แรงดันเอาท์พุทที่เป็นสัญญาณอะนาล็อกของ DAC จะเพิ่มขึ้นเป็นลำดับคล้ายกับการเพิ่มของรหัสไบนารี่ทางอินพุทดังแสดงอยู่ในรูปที่ 3.8

ในทางอุดมคติแล้ว การเพิ่มขึ้นของสัญญาณอินพุทที่เป็นรหัสไบนารี่จะเป็นเหตุให้เราสามารถทายและรู้ถึงแรงดันเอาท์พุทได้ ในอุปกรณ์บางตัว ส่วนของการสวิทซ์ และส่วนขยายสัญญาณไม่สามารถจ่ายกระแสไฟฟ้าภายในเงื่อนไขเหล่านั้นได้อย่างเพียงพอ จึงเป็นสาเหตุที่ทำให้ DAC เกิดการ “Skip” หรือการกระโดดข้ามนั้นเอง การเกิด Skip นี้จะมีปัญหาน้อยในบิทนัยต่ำ ๆ แต่จะมีมากขึ้นเมื่อน้ำหนักของบิทเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงวงจรของวงจร Binary Ladder

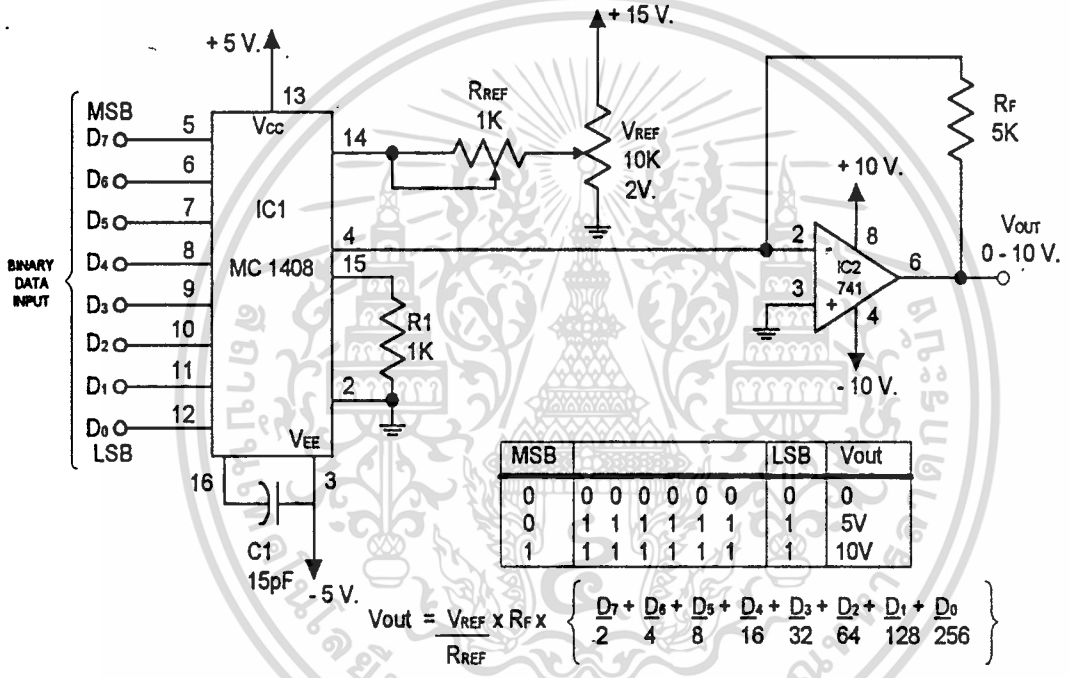


รูปที่ 3.8 Monotonic DAC จะมากขึ้น ทุก ๆค่า ของสัญญาณอะนาล็อกที่ถูกต้องต่อค่าของรหัสไบนารี่ทางอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การประยุกต์ DAC เบื้องต้น

รูปที่ 3.9 แสดงวงจรที่ประยุกต์เอา DAC ไปใช้งานอย่างง่าย ๆ โดยที่ใช้เป็นของบริษัทโมโตโลร่า แบบ MC 1408 DAC การทำงานของวงจรจะเป็นไปอย่างตรงไปตรงมาไม่ซับซ้อน ระดับสัญญาณ TTL ขนาด 8 บิท ซึ่งเป็นเลขฐานสอง ถูกป้อนให้กับอินพุท DAC ขา D_0 ถึง D_7 เนื่องจากไม่มีสัญญาณนาฬิกาหรือวงจรนาฬิกาภายนอกใด ๆ ที่การใช้ในวงจรการแปลงสัญญาณจึงใช้เวลาไปประมาณ 300 ns ซึ่งเป็นเวลาของ "Settle time" ของ MC 1408 ใช้เทคนิคแบบไบนารี่เลดเดอร์ในการสวิทซ์และแปลงสัญญาณได้กลายเป็นกระแสไฟฟ้าออกไปทางเอาท์พุท (ขา 4) และเราใช้ไอซี LM 741 ไปเป็นไอซีออปแอมป์แปลงจากกระแสให้เป็นแรงดันทางเอาท์พุทตามต้องการ



MSB							LSB	Vout
0	0	0	0	0	0	0	0	0
0	1	1	1	1	1	1	1	5V
1	1	1	1	1	1	1	1	10V

รูปที่ 3.9 วงจร Uniopolar D/A รหัสเลขฐานสองขนาด 8 บิท ถูกป้อนให้กับอินพุทของ DAC เอ้าท์พุทที่ได้จากไอซี MC 1408 จะเป็นกระแสไฟฟ้าออกมาทางขา 4 ดังนั้น เราจึงต้องใช้ออปแอมป์มาเปลี่ยนกระแสไฟฟ้าที่ได้ให้อยู่ในรูปสัญญาณแรงดันไฟฟ้า

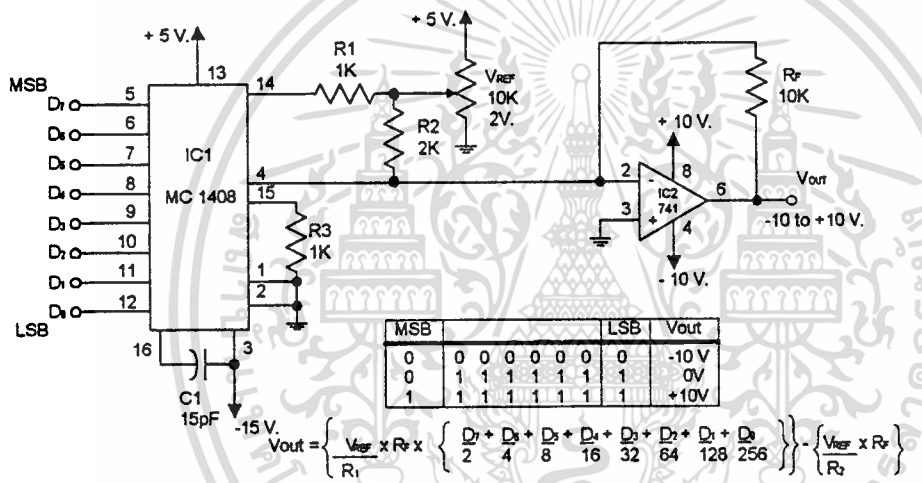
ความละเอียดของวงจรนี้มีขนาด 8 บิท ซึ่งหมายถึง แรงดันเอาท์พุทที่ได้สามารถเปลี่ยนแปลงได้ตั้งแต่ 0 จนถึง 30 โวลท์ โดยมีการเปลี่ยนแปลงได้ 256 ขั้น ๆ ละประมาณ 0.039 โวลท์ รหัสเลขฐาน 16 ที่เป็น OOh จะทำให้เอ้าท์พุทที่ได้เป็น 0 โวลท์ ครึ่งหนึ่งของอินพุท คือ FFh จะทำให้แรงดัน 5 โวลท์ ออกมาที่เอ้าท์พุท เมื่ออินพุทเป็น FFh แรงดันที่ปรากฏทางเอ้าท์พุทจะมีค่าเท่ากับ 10 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรในรูปที่ 3.9 นั้น สามารถนำไปใช้ได้ทุก ๆ วงจรที่ต้องการใช้ตัว DAC เพื่ออินเตอร์-เฟสสัญญาณดิจิตอลเข้ากับวงจรอะนาล็อก รหัสดิจิตอลอาจจะได้มาจากพอร์ตของคอมพิวเตอร์, วงจรนับดิจิตอล หรือวงจร TTL ใด ๆ สัญญาณอะนาล็อกที่ได้ทางเอาท์พุทอาจจะนำไปใช้ขับมิเตอร์,ภาคแสดงผล,แอมปลิฟายเออร์ หรือวงจรอะนาล็อกอื่น ๆ

3.2.1 การประยุกต์ Bipolar D/A

จากตัวอย่างที่ผ่านมาเป็นวงจร Unipolar (รูปที่ 3.9) ซึ่งหมายถึง เอ้าท์พุทของวงจรเป็นได้เพียงบวกหรือลบอย่างใดอย่างหนึ่งเท่านั้น ถ้าเราต้องการเอาท์พุทที่สามารถเปลี่ยนแปลงได้จากค่าที่เป็นบวกไปถึงค่าที่เป็นลบ วงจรที่ใช้จึงเปลี่ยนมาเป็นวงจรในรูปที่ 3.10 แทน



รูปที่ 3.10 วงจร D/A แบบ Bipolar เอ้าท์พุทของวงจร สามารถเปลี่ยนแปลงจากแรงดันลบจนถึงแรงดันบวกได้

การต่ออินพุทของออปแอมป์เข้ากับตัวต้านทานอ้างอิง R2 เป็นการเปลี่ยนลักษณะของวงจรในส่วนอ้างอิง ทำให้เอ้าท์พุทของภาคขยายจะสวิงจาก -10 โวลท์จนถึง +10 โวลท์ เมื่อรหัสเลขฐานสองทางอินพุทเพิ่มขึ้นถึง 7Fh สัญญาณอะนาล็อกทางเอ้าท์พุทจะเพิ่มขึ้นจนถึง 0โวลท์ และเมื่อรหัสเลขฐานสองทางอินพุทเป็น FFh เอ้าท์พุทจะเพิ่มขึ้นจนถึง +10 โวลท์

วงจรในรูป 3.10 เป็น DAC ที่มีความละเอียดขนาด 8 บิท และมี setting time ประมาณ 300 ns และมีแรงดันทางเอ้าท์พุทเปลี่ยนแปลงได้จากลบ → บวก หรือ บวก → ลบ ได้ดังนั้น ในการใช้งานใด ๆ ที่ต้องการคุณสมบัติของวงจร DAC ตามนี้ก็สามารถนำเอาวงจรในรูปที่ 3.10 ไปใช้งานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 BCD-analog converter

สัญญาณอินพุทที่ป้อนให้กับ MC 1408 นั้น ไม่จำเป็นต้องเป็นรหัสเลขฐานสองอย่างเดียว การจัดวงจรของ DAC สามารถทำใช้ MC 1408 เปลี่ยนรหัส BCD ขนาด 2 หลัก ที่เป็นอินพุทของวงจรให้กลายเป็นสัญญาณแรงดันอะนาล็อกทางเอ้าทพุทได้ รูปที่ 3.11 แสดงวงจร DAC ซึ่งสามารถแปลงรหัส BCD ให้เป็นสัญญาณอะนาล็อกได้

จะสังเกตได้ว่า 4 บิทล่างของแต่ละ DAC เท่านั้นที่ถูกใช้รับสัญญาณ BCD ส่วน 4 บิทบนนั้นถูกต่อลงกราวด์ไปสัญญาณ TTL ที่เป็นอินพุทของวงจรอาจได้มาจากวงจรนับแบบ BCD หรือวงจรไบนารี่ใด ๆ ก็ได้ หลักนัยสำคัญสูงสุดของ DAC จะต่อไปขับออปแอมป์โดยตรงเอ้าท์พุทจากหลักนัยสำคัญต่ำสุดของ DAC ถูกหารด้วย 10 โดยชุดของตัวต้านทาน และนำไปบวกกับสัญญาณจากหลักนัยสำคัญสูงสุด เพื่อที่จะผลักแรงดันเอ้าท์พุทให้ได้จาก 0 จนถึง 10 โวลท์ ค่าของตัวต้านทานป้อนกลับ R_F สามารถปรับได้ เพื่อเปลี่ยนแปลงช่วงของแรงดันเอ้าท์พุทให้ได้จาก 0 ถึง 10 โวลท์

อินพุท BCD เป็น 00 จะให้แรงดัน 0 โวลท์ออกมา เช่นเดียวกัน ถ้าอินพุท BCD เพิ่มขึ้นเป็น 50 แรงดันเอ้าท์พุทเพิ่มขึ้นเป็น 5 โวลท์ และถ้าอินพุทเป็น 99 แรงดันเอ้าท์พุทที่ได้จะเป็น 10 โวลท์เพราะช่วงของอินพุทในวงจรนี้มีเพียง 100 ขั้นเท่านั้น (00 ถึง 99) สัญญาณอะนาล็อกทางเอ้าท์พุทจะเปลี่ยนจาก 0 ถึง 10 โวลท์ ได้ภายใน 100 ขั้น แทนที่จะเป็น 256 ขั้น เหมือนปกติถ้าแม้ว่า BCD-to-analog converter จะมีการสูญเสียด้านความละเอียดไปบ้าง แต่มันก็มีข้อดีที่น่าสนใจ เมื่อสัญญาณอินพุทเป็นรหัสแบบอื่น ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

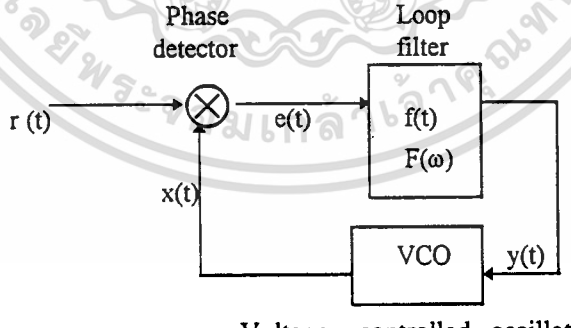
บทที่ 4

หลักการของภาครับ

4.1 การซิงโครไนซ์สัญญาณภาครับ (Receiver Synchronization)

ระบบโคฮีเรนท์ (Coherent Synchronization : Phase - Locked Loops)

หัวใจสำคัญของวงจรเฟสซิงโครไนซ์เซชั่นคือ เฟสล็อกลูป (PLL) บล็อกไดอะแกรมของ PLL แบบพื้นฐานแสดงได้ดังรูป 4.1 PLL เป็นเซอร์โว - คอนโทรลลูป คอยควบคุมพารามิเตอร์ (เฟสของภาคกำเนิดสัญญาณภายใน) ให้เป็นไปตามสัญญาณแคเรียที่รับเข้ามา PLL ประกอบด้วย 3 ส่วนสำคัญ คือ เฟสดีเทคเตอร์ ลูปฟิลเตอร์ และโวลท์เตจคอนโทรลออสซิลเลเตอร์ (VCO) เฟสดีเทคเตอร์เป็นอุปกรณ์ที่ให้ค่าความต่างเฟสระหว่างสัญญาณที่รับเข้ามากับสัญญาณที่ผลิตขึ้น สัญญาณที่รับเข้ามากับสัญญาณที่ผลิตขึ้น จะมีการเปลี่ยนแปลงที่สัมพันธ์กัน ความแตกต่างทางเฟสหรือ เฟสเออเรอร์จะเป็นสัญญาณที่ผ่านไปภาคลูปฟิลเตอร์ ลูปฟิลเตอร์จะควบคุมเรสปอนส์ของ PLL ที่เปลี่ยนแปลงจากสัญญาณเออเรอร์นี้ การออกแบบลูปที่ดีนั้นต้อง สามารถติดตาม (Track) การเปลี่ยนแปลงในเฟสของสัญญาณที่รับเข้ามาได้ แต่ต้องไม่มีเรสปอนส์ที่กว้างจนรับสัญญาณนอยส์เข้ามาด้วย VCO เป็นอุปกรณ์ที่ผลิตสัญญาณแคเรียที่ภาครับขึ้นมา VCO ก็คือออสซิลเลเตอร์กำเนิดสัญญาณไซน์ ที่ถูกควบคุมความถี่โดยระดับแรงดันที่อินพุต ในรูป 4.1 เฟส-ดีเทคเตอร์แสดงเป็นสัญลักษณ์มัลติไฟร์เออร์ ลูปฟิลเตอร์แสดงได้โดยฟังก์ชั่นอิมพัลซ์เรสปอนส์ f(t) หรือ ฟูเรียทรานสฟอร์ม F(ω)



Voltage - controlled oscillator

Schematic of the basic phase-locked loop

รูปที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO เป็นออสซิลเลเตอร์ที่ความถี่ O/P เป็นฟังก์ชั่นแบบลิเนียร์กับสัญญาณ I/P โดยกำหนดอยู่ในระยะหนึ่ง แรงดันอินพุตเป็นบวกจะทำให้ VCO ผลิตความถี่ที่มีมากกว่า ขณะที่ยังไม่ควบคุม (ω_0) ในขณะที่แรงดันอินพุตเป็นลบจะทำให้ความถี่เฟส-ล็อกจะเกิดขึ้นโดยการป้อนค่าจากเฟสเออเรอร์ที่ผ่านฟิลเตอร์ระหว่างสัญญาณที่รับเข้ามา r(t) และ O/P ของ VCO [x(t)] ป้อนกลับไปที่อินพุตและอินพุตของ VCO คือ y(t)

พิจารณาสมการนอร์มัลไรซ์ของสัญญาณ I/P ได้

$$r(t) = \sin [\omega_0 t + \theta(t)] \qquad [4.1]$$

โดยที่ ω_0 เป็นความถี่แคเรีย และ $\theta(t)$ เป็นเฟสที่เปลี่ยนแปลงไปและพิจารณาสมการเอาต์พุต นอร์มัลไรซ์ของ VCO ได้

$$x(t) = 2\cos [\omega_0 t + \theta'(t)] \qquad [4.2]$$

สัญญาณที่ O/P ของเฟสดีเทคเตอร์เป็นสมการเอาท์พุตเออเรอร์ คือ

$$\begin{aligned} e(t) = x(t)r(t) &= 2\cos [\omega_0 t + \theta'(t)] \sin [\omega_0 t + \theta(t)] \\ &= \sin [\theta(t) - \theta'(t)] + \sin [2\omega_0 t + \theta(t) + \theta'(t)] \end{aligned} \qquad [4.3]$$

กำหนดให้ลูปฟิลเตอร์เป็นแบบ LOWPASS ทำให้เทอมที่ 2 ของสมการ (4.3) หายไปการกำหนดฟิลเตอร์แบบ LOWPASS นี้เป็นกรณีปกติที่ใช้ในการออกแบบลูป LPF ทำให้สัญญาณเออเรอร์เป็นฟังก์ชัน ของเฟสที่แตกต่างระหว่างอินพุต (สมการ 4.1) กับเอาท์พุต VCO (สมการ 4.2) เป็นค่าที่แน่นอนแม่นยำของ สัญญาณเออเรอร์ ที่ต้องการในระบบความถี่ O/P ของ VCO เป็นคาบเวลาที่สัมพันธ์กับ (เป็นอนุพันธ์) อาร์กิวเมนต์ ของฟังก์ชั่นไซน์ในสมการ (4.2) ถ้าเรากำหนด ω_0 เป็นความถี่ที่ยังไม่ได้ควบคุมของ VCO (ความถี่ O/P เมื่อแรงดัน I/P เป็นศูนย์) เราจะรู้ค่าความแตกต่างของความถี่ O/P VCO จาก ω_0 ที่เป็นความแตกต่างของคาบเวลาของเทอมเฟส $\theta'(t)$ ความถี่ O/P ของ VCO เป็นลิเนียร์ฟังก์ชั่น ของแรงดันอินพุต เมื่อแรงดันอินพุตเป็นศูนย์ก็จะผลิตความถี่ ω_0 ซึ่งการผลิตความถี่จะเป็นอัตราส่วนกับค่าจากแรงดันอินพุต y(t) หรือ

$$\begin{aligned} \Delta\omega(t) &= \frac{d}{dt} [\theta'(t)] = K_o y(t) \\ &= K_o \theta(t) * f(t) \\ &= K_o [\theta(t) - \theta'(t)] * f(t) \end{aligned} \qquad [4.4]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $\Delta\omega$ (t) เป็นความแตกต่างของความถี่ เครื่องหมาย * เป็น convolution operation ค่าโดยประมาณจะแม่นยำขึ้นถ้า O/P ของเฟสเออเรอร์แคบที่สภาวะลูปปกติ แฟคเตอร์ K_0 คือ เกนของ VCO และ f(t) เป็นลูปฟิลเตอร์อิมพัลซ์เรสปอนส์ สมการความแตกต่างทางลิเนียร์ใน$\theta'(t)$ เรียกว่า linearized loop equation ที่แสดงความสัมพันธ์ในการกำหนดลักษณะของลูประหว่างการทำงานปกติ (กรณีแสดงเฟสเออเรอร์มีค่าน้อย)

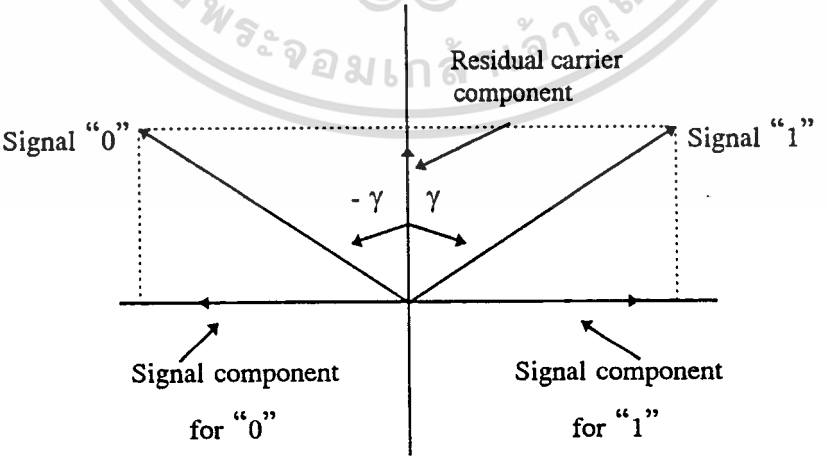
4.2 Suppressed Carrier loops

(Squaring loop carrier recovery)

PLL ที่ใช้เพื่อจุดประสงค์นี้ถูกกำหนดโดย แคเรียอินพุตแบบที่เป็นไซน์ที่คงที่ เรียกว่า positive average energy ในกรณีของระบบสื่อสารแบบมอดูเลททางเฟส ถ้าแคเรียเฟสเปลี่ยนแปลงจากการมอดูเลทน้อยกว่า $\pi/2$ red จะเกิดพลังงานบวกที่ความถี่แคเรียเรียกว่า ระบบที่ออกแบบนี้มีส่วนประกอบแคเรีย residual (residual carrier component) และในการพัฒนา PLL ในที่นี้จะใช้โดยตรงกับส่วนประกอยแคเรียนี้ ไดอะแกรมของสัญญาณ สำหรับระบบไบนารีเฟสมอดูเลทที่แสดงส่วนประกอบ แคเรีย residual ดังในรูปที่ 4.2 มุมของการมอดูเลทเป็น $\gamma < \pi/2$ ในช่วงหนึ่งระบบมอดูเลททางเฟสมักจะถูกออกแบบในลักษณะนี้ สำหรับ residual carrier component มีทั้งใน sense และ wasted energy ใน sense energy นั้นจะไม่ใช้ residual carrier component ส่งข่าวสารข้อมูลจะส่งเฉพาะแคเรียเท่านั้น ในระบบเฟสมอดูเลทสมัยใหม่ส่วนมาก จะเป็นระบบซับเพรสแคเรีย จะส่งพลังงานไปในสัญญาณมอดูเลชั่น

พิจารณาจากตัวอย่างของสัญญาณ BPSK คือ

$$r(t) = m(t) \sin(\omega_0 t + \theta) + n(t) \qquad [4.5]$$



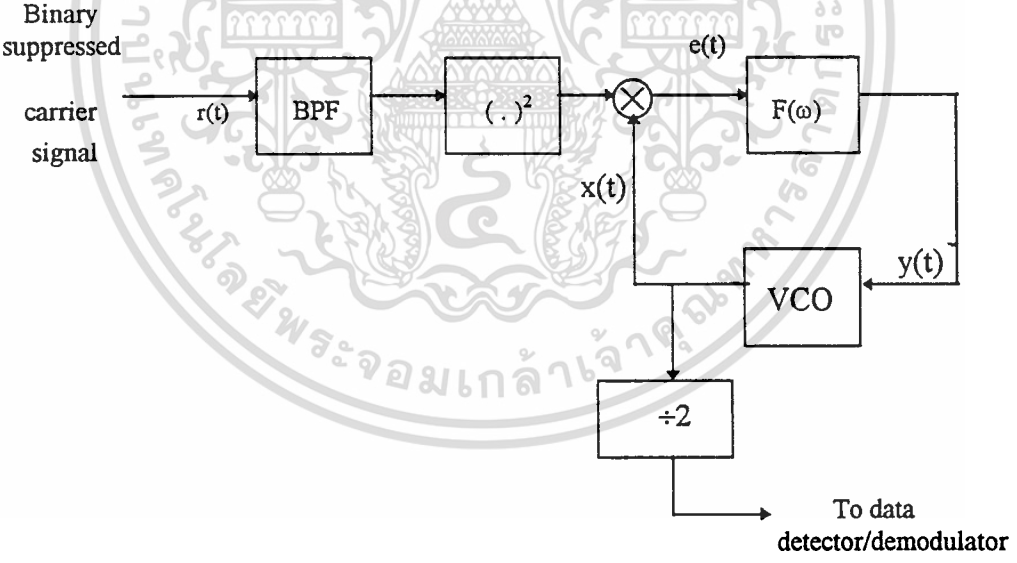
รูปที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ m(t) = +1 ที่เท่ากับ Probability นี่คือการส่งแบบซับเพรสแคเรีย พลังงาน เฉลี่ยที่ความถี่ $\omega_0 = 0$ red. ในรูปที่ 4.2 สัญญาณนี่เป็นสภาวะที่ $r = \pi / 2$ รูปที่แสดงในกรณีนี้ส่วนประกอบแคเรียทางแนวตั้งจะหายไป เพื่อหา (acquire) และติดตาม (Track) เฟสของแคเรียผลของการมอดูเลทจะถูกตัด (กำจัด) ออกไป อีกกรณีหนึ่งที่กำจัดการมอดูเลทออกไปคือการยกกำลังของสองสัญญาณ นั่นคือ

$$r^2(t) = m^2(t) \sin^2 (\omega_0 t + \theta) + n^2 (t) + 2n(t)m(t) \sin (\omega_0 t + \theta)$$
$$= 1/2 - 1/2 \{\cos(2\omega_0 t + 2\theta)\} + n^2 (t) + 2n(t)m(t)\sin (\omega_0 t + \theta) \quad [4.6]$$

โดยที่ $m^2(t) = 1$ เทอมที่ 2 ของสมการ (4.6) เป็นเทอม carrier - related (ที่ 2 เท่า ของความถี่แคเรียเดิม) ดังนั้นสามารถ acquired และ tracked ที่ PLL ได้เช่น การจัดวงจรในรูปที่ 4.3 เมื่อสัญญาณเข้ามาเป็นแบบซับเพรสแคเรียถูกยกกำลังสอง ส่วนประกอบความถี่สองเท่าที่จะได้ถูก acquired และ tracked กับ PLL



Basic squaring loop schematic

รูปที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาบางอย่างที่ขั้นตอนนี้เปรียบเทียบจากสมการ (4.6) กรณีแรกทำให้มุมเฟสทั้งหมดเป็น 2 เท่า เฟสนอยส์และเฟสจิตเตอร์จึงเพิ่มเป็น 2 เท่าด้วย และเฟสเออเรอร์ที่เปลี่ยนแปลงไป (สัมพันธ์กับเฟสนอยส์ยกกำลังสอง) คือจะเพิ่มขึ้นโดยแฟคเตอร์ 4 เท่า ของสัญญาณเดิม มุมที่ doubling นี้จะปรับ (offset) โดยวงจรหาร 2 ที่เอาท์พุตของ VCO และกรณีนี้จะไม่เกิดผลโดยตรงที่สัญญาณเอาท์พุตของลูปที่ถูกใช้โดย data demodulator แต่การเปลี่ยนแปลงภายในอย่างมากจะเกิด PLL ที่ต้องการอัตราส่วนแคเรียต่อนอยส์มากกว่า 6 dB และมากกว่าระบบ residual carrier ในลำดับที่รักษาสภาพเฟสล็อกของ effective noise เทอมที่เกี่ยวข้องกับลูปโอเปอเรชันเพราะเทอม cross - correlation ระหว่างนอยส์กับสัญญาณในสมการ (4.6) สำหรับกรณีของลูป S/N ratio ขนาดกลาง หรือ เล็ก เทอมนอยส์ทั้งสองจะลดลงได้ถ้า S/N ratio เพิ่มขึ้นสัมพันธ์กับสัญญาณแคเรียเดิมที่ยังไม่มอดูเลท loss ที่เกิดจากเทอม signal - times - noise และ noise - times - noise เรียกว่า loop squaring loss (SL) Gardner แสดงไว้ว่าถ้า I/P นอยส์ process [n(t)] เป็น narrowband Gaussian noise ของแบนด์วิดท์ (B_i) Sqauring loss ที่เกิดขึ้นกำหนดโดย

$$SL = 1 + N_o B_i \qquad [4.7]$$

โดยที่ N_0 คือ ซิงเกิลไซด์ PSD ของ prefiltered นอร์มัลไรซ์ White Gaussian noise process สมการ [4.7] เป็น upper bound เพราะแบนด์วิดท์ฟิลเตอร์ (B_i) เป็นที่รู้กันว่าต้องกว้างเพียงพอที่สัญญาณผ่านได้โดยไม่เกิด distortion ในการออกแบบจริงสัญญาณ distortion จะถูก traded (กำหนดไว้) สำหรับ Squaring loss

เมื่อนอร์มัลไรซ์ในสมการ (4.7) เกี่ยวกับกำลัง (power) ของสัญญาณเทอมที่สองเป็นอัตราส่วนกับ S/N ratio คือ

$$P_i = \frac{1}{2N_o B_i} \qquad [4.8]$$

โดยที่ P_i เป็น S/N ratio ในอินพุตฟิลเตอร์แบนด์วิดท์ สำหรับค่า S/N ratio ขนาดใหญ่ เฟส O/P จะเปลี่ยนแปลงมากสามารถกำหนดได้ดังนี้

$$S^2\theta' = 2N_o B_L S_L$$
$$= 2N_o B_L \left(1 + \frac{1}{2Pi}\right) \qquad [4.9]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทอมนำหน้าของสมการนี้เป็นเอกลักษณ์ของสมการ $S^2\theta = 2N_oB_L$ แสดงเฟสที่เปลี่ยนแปลงของ PLL สามารถเห็นได้จากอินพุตขนาดใหญ่ ของ S/N ratio เทอมที่สองใน Squaring loss จะหายไปส่วนที่เหลือเท่านั้นที่เป็น phase variance ของ PLL อีกปัญหาหนึ่งที่ยุ่งยากเกี่ยวกับลูปซับเพรสแคเรีย คือ false lock ปัญหานี้เฉพาะระหว่าง acquisition หรือ reacquisition ของเฟสแคเรียอินเตอร์แอคชั่นของ data stream ที่เป็นลูปแบบไม่มีลิเนียร์(เฉพาะวงจร squaring) และลูปฟิลเตอร์จะเกิดไซด์แบนด์ในสเปคตรัมเป็นอินพุตที่เฟสดีเทคเตอร์ ไซด์แบนด์นี้มีส่วนประกอบความถี่ที่คงที่ส่วนประกอบที่คงที่นี้ จะไม่ยินยอมให้ลูปเกินย่าน capture lock ถ้าลูปถูก capture จึงจะเกิดการทำงานที่ถูกต้อง สัญญาณควบคุม VCO y(t) จะเล็ก แต่ O/P ของ VCO จะปรับในความถี่จากส่วนประกอบแคเรียที่ถูกต้อง ส่วน false lock ลูปจะ tracking ตามส่วนประกอบความถี่ไซด์แบนด์ และแคเรียจริงจะถูกฟิลเตอร์ออก โดยลูปฟิลเตอร์ลูปแคเรียส่วนที่เหลือมีส่วนประกอบที่ไม่ลิเนียร์เพียงเล็กน้อยเท่านั้นไม่ทำให้เกิด false locking ขึ้นได้

4.3 ภาคซิงโครไนซ์ข้อมูล (Data Synchronizers)

ข่าวสารที่ส่งในระบบดิจิตอล จำเป็นต้องมีการส่งสัญญาณ แบบซิงโครนัสที่มีความถี่ต่อเนื่องและมีรูปแบบการดีเทคสัญญาณให้ได้ผลดีนั้น ต้องมีตัวสร้างสัญญาณ clock ขึ้นมา ซึ่งสัมพันธ์กับสัญญาณพัลซ์เทรนที่รับมา

ข้อมูลจะถูกมอดูเลทกับสัญญาณแคเรียก่อนที่จะส่งออกทางช่องสัญญาณหลักการที่ใช้มอดูเลชันแบบมีประสิทธิภาพสูงเรียกว่า แบบโคฮีเรนท์ โดยใช้เฟสของข้อมูลที่ส่งมากับแคเรีย การดีมอดูเลทต้องสร้างแคเรียที่ภาครับขึ้น ซึ่งเฟสจะต้องสัมพันธ์กับสัญญาณที่รับมา

วงจรทางภาครับต้องสร้างสัญญาณ carrier และสัญญาณ clock ขึ้นมาเรียกว่า carrier clock synchronizer PLL ถูกนำไปใช้ในภาคซิงโครไนซ์อย่างมาก

หลักการโดยทั่ว ๆ ไป (General Principle)

เทคนิคการมอดูเลทแบบซับเพรสแคเรียจะส่งแถบพลังงานเฉพาะไซด์แบนด์และไม่เกิดการสิ้นเปลืองบนส่วนประกอบแคเรียที่แยกกัน

พัลซ์ข้อมูลจะเป็นแบบต่อเนื่อง (ส่วนประกอบไม่ discrete) ที่ความถี่ clock ตัวอย่างเช่น สัญญาณมาตรฐาน สัญญาณสี่เหลี่ยม สัญญาณ random สัญญาณ NRZ สัญญาณเหล่านี้มี spectral null ที่ความถี่ clock

PLL แบบย่านแคบ จะต้องสร้างสัญญาณส่วนประกอบขึ้นที่ความถี่ที่ track ได้ เมื่อส่วนประกอบขาดจาก efficient ของสัญญาณข้อมูล PLL แบบธรรมดา ๆ จะ fail to track และไม่สามารถที่จะสร้าง data synchronizer ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรไม่ลิเนียร์เหมาะสมใช้ในการสร้าง carrier หรือ clock ขึ้นมาใหม่ อุปกรณ์ regenerator เป็นส่วนหนึ่งของ (integral portion) data synchronizer ลักษณะของความไม่ลิเนียร์ไม่ปรากฏใน PLL จนปัจจุบัน

Regenerator ทั้ง 2 แบบ

a) รีเจนเนอเรเตอร์แยกจากวงจร จะสร้างแคเรีย หรือ clock ที่ต้องการ ซึ่งถูก track ในลักษณะธรรมดาโย PLL ทั่วไป

b) การใช้เฟสดีเทคเตอร์ในตัวเองประกอบกับอุปกรณ์ non linear จะผลิตแรงดัน ค่าคลาดเคลื่อนจากสัญญาณข้อมูลโดย clocking carrier หรือ clock component

ขั้นตอนในการออกแบบ synchronizer

- ออกแบบอุปกรณ์ non linear ที่เหมาะสมกับงาน
- แยกแยะสัญญาณรบกวน และวิเคราะห์ performance
- เลือกพารามิเตอร์ ของ PLL ให้เหมาะสม

4.4 ภาคซิงโครไนเซอร์สัญญาณแคเรีย (carrier synchronizer)

ในการส่งสัญญาณแบบ BPSK ถ้าบิตข้อมูลส่งเป็น 1 สัญญาณจะมีเฟส +90 องศาถ้าบิตข้อมูลเป็น 0 สัญญาณจะมีเฟส -90 องศา พัลซ์จะมีระยะเวลา T วินาที ต่อบิตที่แน่นอนถ้าจำนวนบิต 1 และ 0 ถูกส่งไปเท่า ๆ กัน จะ suppressed carrier ถ้าสัญญาณเบสแบนด์เป็น m(t) สัญญาณที่ส่งออกจะเป็น

$$V_s(t) = m(t) \sin(\omega_i t + \theta_i) \qquad [4.10]$$

โดยที่ ω_i เป็นความถี่แคเรีย และ θ_i เป็นเฟสของสัญญาณ

รูปแบบของวงจร

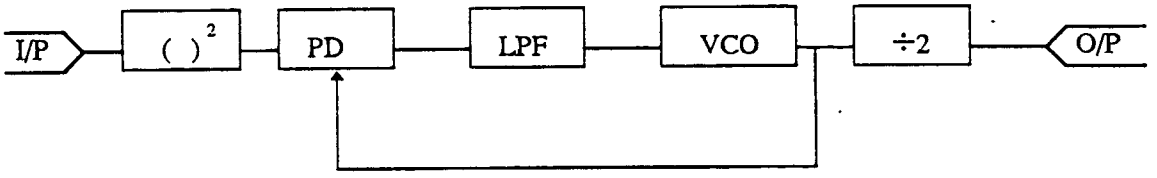
ในขณะที่ใช้กันมี 3 แบบ คือ squaring loop , costas loop และ remodulator (inverse modulator หรือ ummodulator)

ในรูปที่ 4.4 Squaring loop มีอุปกรณ์ไม่ลิเนียร์เป็นส่วนประกอบและ model เป็นอุปกรณ์ square - law เอาท์พุตของอุปกรณ์ไม่ลิเนียร์คือ

$$V_x(t) = m^2(t) \sin^2(\omega_i t + \theta_i)$$

$$= 0.5\, m^2(t) [\, 1 - \cos(2\omega_i t + 2\theta_i) \,] \qquad [4.11]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4

PLL แบบธรรมดาทำงานที่ความถี่แคเรีย 2 เท่า ของคล็อกสู่ฮาร์โมนิกที่ 2 และเอาท์พุต ของ VCO ถูกหาร 2 เพื่อให้ได้สัญญาณเปรียบเทียบที่ความถี่สัญญาณ อุปกรณ์ฮาร์โมนิกที่ 2 exists สำหรับรูปแบบข่าวสารต่าง ๆ ซึ่ง avg $(m^2) = 0$

พิจารณาที่ภาคความถี่ 2 เท่า อินพุตประกอบด้วยเฟส + 90 องศา ความถี่จะเป็นสองเท่า ของเฟสแต่ละเฟสเซอร์ fall ontop ที่ + 180 องศา ที่เอาท์พุต doubler เฟสเซอร์อินพุตเฉลี่ยถูก จำกัดออกไปและไม่มีส่วนประกอบ carrier ที่อินพุต/เอาท์พุตเฟสเซอร์เพิ่มขึ้นเป็นสัญญาณที่แรง ฮาร์โมนิก ที่ 2

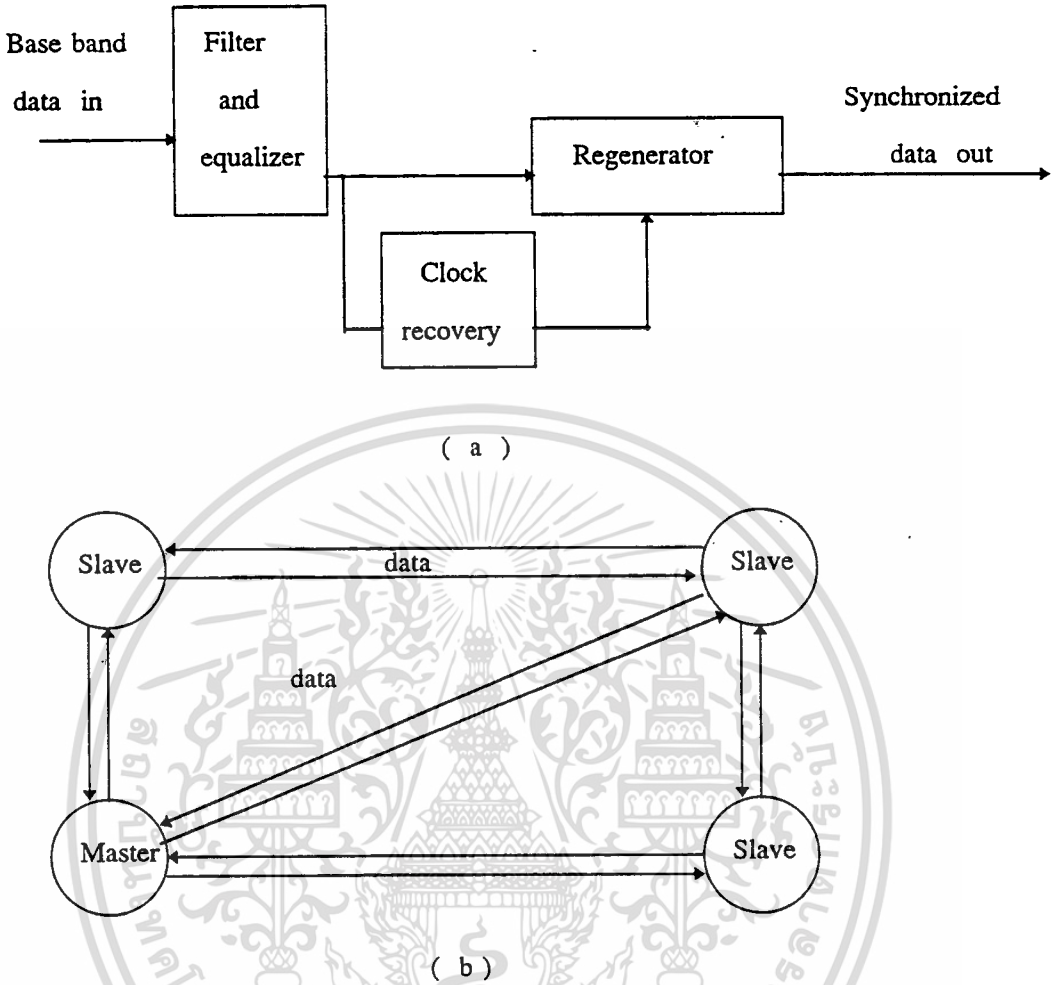
ภาคหาร 2 ต่อจาก VCO นั้นทำงานทั้ง 2 เฟสเซอร์ กำหนดจากค่า random เริ่มต้นสภาวะ ของภาคหารความถี่ เพราะเฟสไม่ถูกกำหนดไว้ เป็นไปได้ที่จะเกิดการตัดสินให้บิทเป็น 1 หรือ 0 โดยปราศจากสัญญาณข้อมูล เรียกว่า เกิด ambiguity

การเกิด ambiguity ของเทคนิคการมอดูเลทแบบเฟสชิฟ ถ้าข่าวสารส่งมาในความต่างเฟส =N จะมี N - fold ambiguity เกิดขึ้นในภาคกู้สัญญาณข้อมูล ความผิดพลาดนี้ไม่ใช่ข้อผิดพลาด ของ $( )^2$ loop หรือ carrier synchronizer แต่เกิดจากวิธีซับเพรสแคเรีย แต่สามารถแก้ไขได้โดย การเข้ารหัสสัญญาณแบบพิเศษหรือการส่งแบบอัดข้อมูล การแก้ปัญหา Ambiguity สามารถแก้ไข ได้ดังจะพบได้จากภาคเข้ารหัสสัญญาณ (Differential Encoding)

4.5 Bit Synchronizer (Clock Recovery)

เราใช้เฟส-ล็อกลูปในวงจร carrier และ clock recovery ของระบบสื่อสารแบบซิงโครนัส ทำให้ปัญหาบางอย่างเกี่ยวกับการซิงโครไนซ์บิต หมดไป รูปที่ 4.5 แสดงความสำคัญของวงจร clock recovery ในระบบสื่อสารแบบดิจิตอล ในรูป (a) clock ที่กู้คืนมาได้นำไปใช้ regenerate ข้อมูลที่รับมาได้ รูป (b) แสดงเครือข่ายดิจิตอลแบบ master-slave โดย clock ที่ใช้แยกไปแต่ละ โหมดจะเป็นลูกข่ายของ clock ในโหมดหลัก (master-station)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5

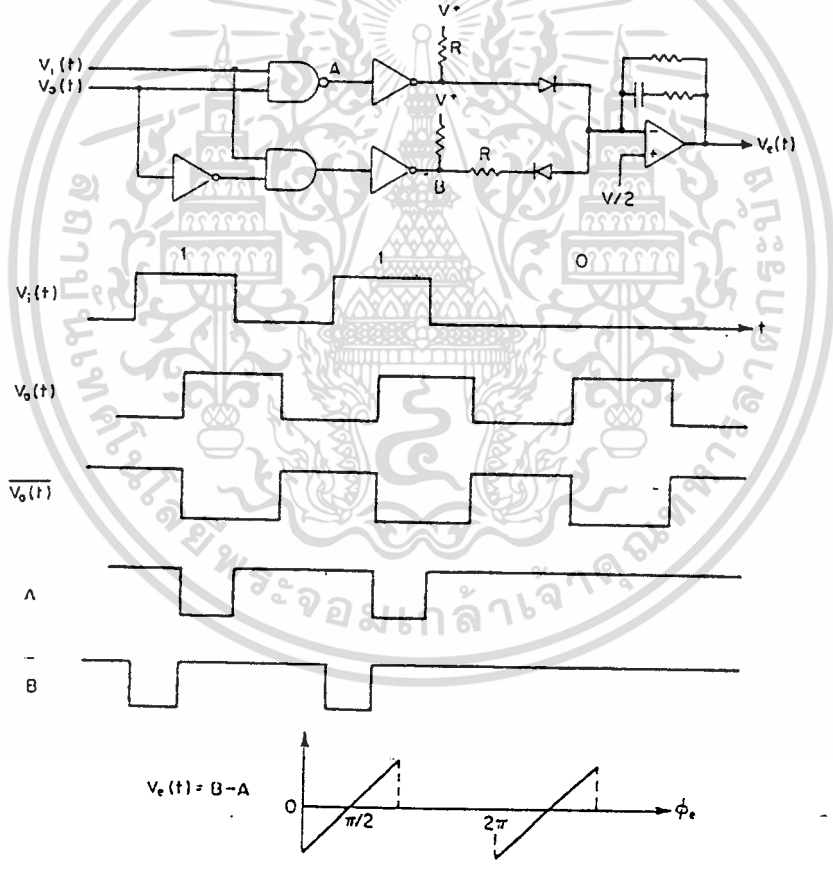
จากรูป 4.6 คริสตอลที่มีย่านความถี่แคบมากของ PLL จะใช้ดึงสัญญาณ clock มาจากข้อมูลที่เข้ามา อินพุตที่ลูปถูกกำหนดให้เป็นสัญญาณ clock แบบต่อเนื่อง แต่ถ้าใช้เฟสดีเทคเตอร์แบบรูป 4.7 สัญญาณข้อมูลที่รับมาเป็นแบบ RZ ข้อมูลจะถูกใช้เป็นอินพุตที่ลูปโดยตรง

แต่เพื่อประสิทธิภาพในการสื่อสารข้อมูลส่วนมากจะไม่ใช้แบบ RZ ของสเปคตรัมจะไม่ตัดเส้นความถี่ clock จึงจำเป็นที่ต้องใช้อุปกรณ์ non-linear เพื่อแปลงสัญญาณ RZ ก่อนใช้ลูป รูป 4.8 แสดงเทคนิคแบบหนึ่งที่ใช้แปลงสัญญาณ RZ เป็น NRZ และให้ได้สเปคตรัมตามกำหนดจะสังเกตเห็นเส้นประที่ความถี่ clock ใน RZ สเปคตรัม ซึ่งจะยอมรับการแปลง process เกี่ยวกับ differentiating ,squaring และ limiting

ข้อมูล RZ จะใช้กับ lock ของลูป หรือจะใช้กระตุ้นของวงจร LC เพื่อกู้สัญญาณ Clock Q ที่คงที่ของวงจรจูน LC ปกติลำดับของ magnitude ต่ำกว่าจากการออกแบบ PLL Clock ที่กู้ได้ที่

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

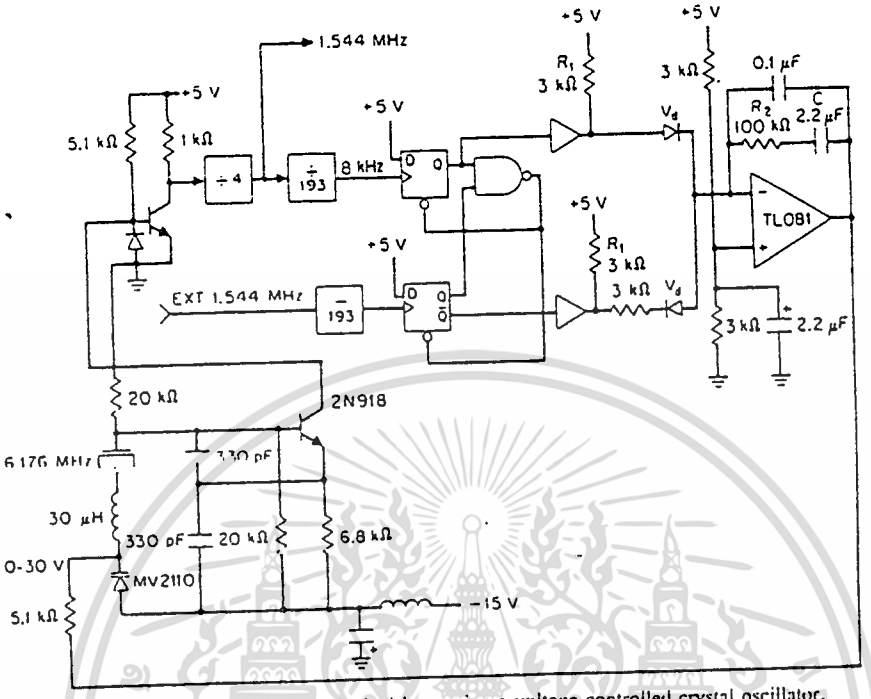
PLL โดยปกติจะคุณภาพดีกว่าวงจรแบบพาสซีฟ โดยเฉพาะในสภาวะที่เกิด jitter ในการใช้งานบางกรณีที่สัญญาณ clock ที่กู้ได้มีความสัมพันธ์ตาม low-Q ของวงจรจูน และ Clock นี้ถูกใช้เป็นอินพุทของ PLL เพื่อให้ได้ clock ที่มีความคงที่สูงรูป 4.9 แสดงการใช้เทคนิคเพื่อลด jitter ของข้อมูลอินพุตที่ดีที่สุด ข้อมูลอินพุตถูกบันทึกลงในแอดเดรส 8 บิต latch ที่ clock ติดตามอินพุต jitter (ถูก derived โดยวงจรแบบ low-Q) แต่ละบิตถูกเก็บลงใน latch - clock 8 คาบ บิตข้อมูลออกจาก jitter-free clock อย่างน้อย ที่สุด 4 clock (คาบ) หลังจากถูกบันทึกการจัดวงจรแบบนี้จะ absorb แมกนิจูดของ jitter ประมาณ ± 4 time slots การ clear ขนาดของบัฟเฟอร์จะกำหนดจำนวนของ jitter ที่จะ absorb ได้โดยวิธีการนี้



A digital phase detector for use with random input data (RZ, pulse-width = T/2).

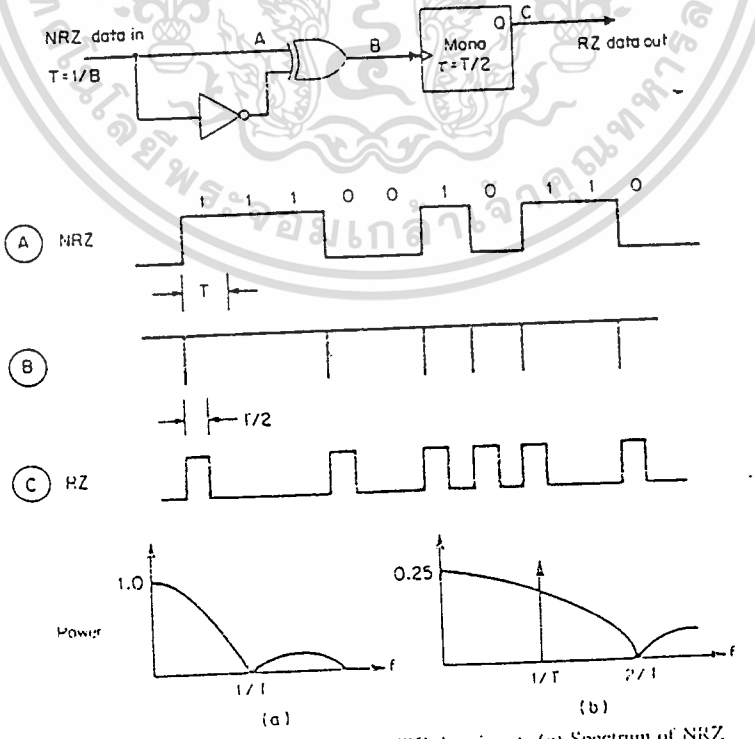
รูปที่ 4.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



A carrier-tracking phase-locked loop using a voltage-controlled crystal oscillator.

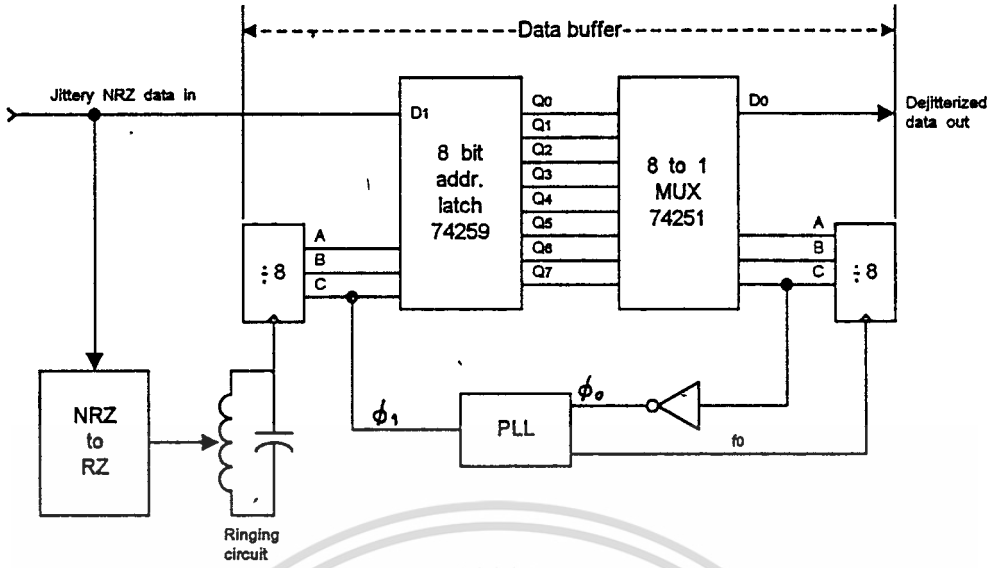
รูปที่ 4.7



Derivation of RZ data from NRZ data input. (*a*) Spectrum of NRZ data; (*b*) spectrum of RZ data (width = *T*/2).

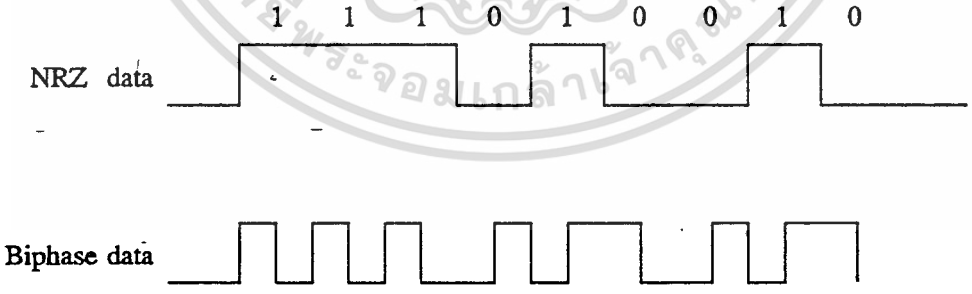
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.8



รูปที่ 4.9 Principle of operation of a dejitterizer circuit

วงจรจูน LC หรือ PLL ทำงานได้ผลดีพอที่ทำให้ข้อมูล NRZ มีจำนวนของ transitions เพียงพอในช่วงระยะเวลาหนึ่ง สำหรับข้อมูลที่ไม่กำหนดหรือไม่ควบคุมจำนวนของ 1 หรือ 0 ในข้อความจะก่อให้เกิดปัญหาในวงจรกู้สัญญาณ clock ดังนั้นจึงต้องทำการ scramble สัญญาณ NRZ ก่อนส่ง เพื่อลด probability ของ transition และจะใช้วงจร encoding ต่อที่ clock extraction ทางภาครับตัวอย่าง วงจรเฟสเอ็นโค้ด ถึงจะใช้กับการส่งหรือเก็บข้อมูลแบบ low-speed (เรียกว่าเป็น biphase-encoding) ดังแสดงในรูปที่ 4.10 การเข้ารหัสข้อมูลมี 2 transitions (1 0 หรือ 0 1) ทุก ๆ อินพุตที่แตกต่างกันจะเกิดการเปลี่ยนแปลงขึ้นที่ความถี่สูงของข้อมูล transition



รูปที่ 4.10 Phase - encoded data has a higher rate of transitions than NRZ data thus facilitating clock recovery

จะต้องทำให้ clock recovery สัมพันธ์กัน พลังงานในสเปคตรัมของข้อมูล เฟส-เอ็นโค้ด จะเลื่อนไปข้างหน้าที่ย่านความถี่สูงขึ้น จากกรณีเช่นนี้หรือกรณีอื่นในการเข้ารหัสจะทำให้แบนด์-วิดท์ขยายออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 Correlation receiver : Integrate and dump

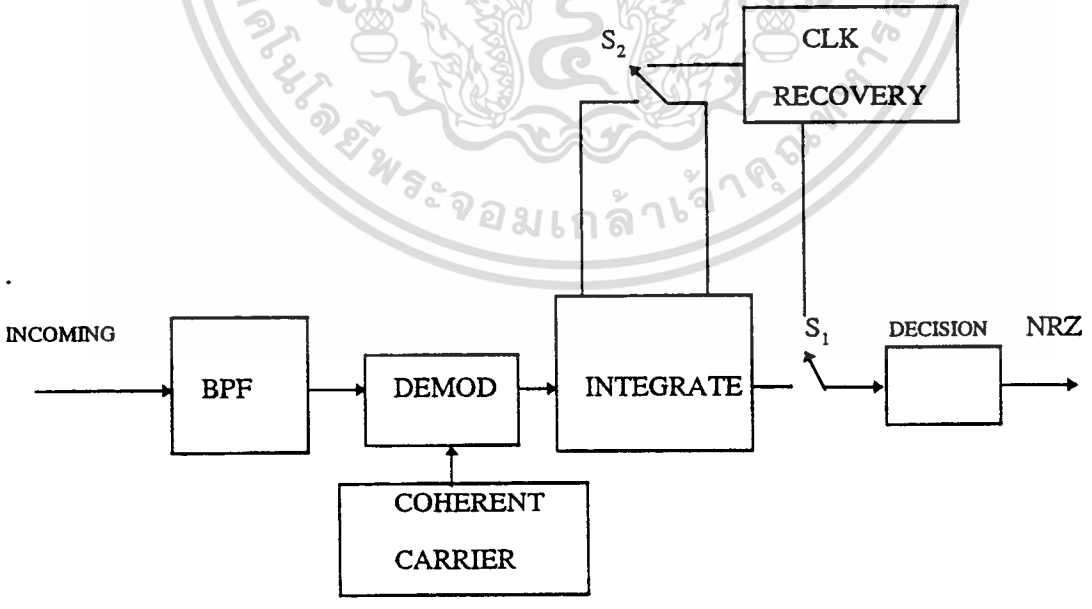
เครื่องรับที่ใช้วิธีการเปรียบเทียบสัญญาณระหว่างสัญญาณที่สร้างขึ้นมาที่ภาครับกับสัญญาณ incoming นั้น การปฏิบัติเกี่ยวกับเปรียบเทียบสัญญาณ 2 สัญญาณเรียกว่า correlation จะทำการ correlate ของสัญญาณ คือ สัญญาณ x (t) และ y(t) สัญญาณทั้งสองนี้ต้องคูณเข้าด้วยกัน แล้วผลลัพธ์จะถูกบวกเข้าด้วยกันหรือถูก integrate ตลอดย่าน time interval ที่เปรียบเทียบสัญญาณทั้งสองนี้ ดังแสดงสมการได้คือ

$$\text{correlation } (x,y) = \int_0^t x(t) \cdot y(t)dt \qquad [4.12]$$

โดยที่ T_b คือ time interval หรือระยะเวลาของหนึ่ง bit time interval

เมื่อสัญญาณทั้งสองเหมือนกันผลของการ correlation จะได้ high (positive) แต่ถ้าไม่เหมือนกัน ผลลัพธ์จะได้ low (0) ถ้าสัญญาณตรงกันข้าม ผลลัพธ์จะได้ negative

สัญญาณ incoming carrier ที่มี noise ปนมาด้วย จะผ่านแบนด์พาสฟิลเตอร์โดย ฟิลเตอร์ยอมให้สัญญาณในย่านใช้งานผ่านออกไปได้ ยกเว้นนอยส์ที่ปะปนออกมา เครื่องรับจะผลิตสัญญาณ carrier ใหม่ขึ้นมาจากภาค carrier recovery โดยที่มีความถี่และเฟสเดียวกันกับ carrier ในเครื่องส่ง จึงเรียกว่า carrier นี่ว่า coherent carrier



รูปที่ 4.11

สัญญาณ incoming คูณเข้ากับ coherent carrier ผลลัพธ์จากการคูณจะนำไปอินทิเกรท (บวกกัน) ตลอด bit period โดยวงจร integrator ที่ปลายสุดของ bit period เอาต์พุตของอินทิเกรเตอร์จะให้ positive หรือ Negative ตามแต่สัญญาณที่ทำการ correlation ได้ ส่วนปลายของ bit

period สวิตซ์ S_2 ถูกทำให้ close และจากนั้นอุปกรณ์ Threshold ของภาค Decision จะทำการตัดสินอย่างรวดเร็ว ว่าผลลัพธ์ของ correlation นี้จะเป็นบวก หรือลบ และจะให้บิต 1 หรือ 0 ออกที่เอาท์พุต

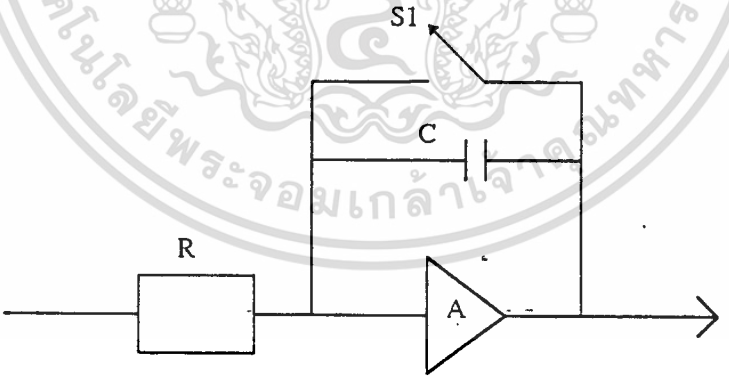
หลังจากทำการตัดสินบิตไปแล้ว S_2 จะเปิดอีก ส่วนสวิตซ์ S_1 จะปิดชั่วขณะเพื่อทำให้ผลลัพธ์ของ correlation ในวงจรอินทิเกรเตอร์ถูก reset ให้เป็นศูนย์ก่อสนเพื่อให้ขบวนการ correlation ของบิตต่อไปเป็นไปอย่างถูกต้องไม่มีอิทธิพลจากบิตก่อนหน้ามารบกวน ดังนั้นสัญญาณที่ผ่านการ multiply แล้วจะถูกอินทิเกรทตลอดย่าน bit period และผลของการอินทิเกรทจะถูก clear หรือ dumped ทุก ๆ บิต period เครื่องรับชนิดนี้อาจเรียกได้ว่า integrat and dump receiver

เพื่อให้การทำงานของภาคนี้ถูกต้อง จำเป็นต้องมีองค์ประกอบที่สำคัญดังนี้

1. carrier ทางด้านรับจะต้อง coherent กับทางด้านส่ง

2. การ regenerator bit - clock หรือ bit time ในเครื่องรับต้องถูกต้อง เพื่อให้สวิตซ์ต่าง ๆ ทำงานในชั่วขณะเวลาที่ถูกต้องที่สุด

รูปที่ 4.12 หลักการเบื้องต้นของอินทิเกรท RC Network โดยมี ideal Amplifier ทำหน้าที่เป็น ideal integration circuit ส่วนสวิทซ์ S_1 จะ close ทุก ๆ T_0 วินาที ในการใช้งานจริงจะใช้สวิทซ์อิเล็กทรอนิกส์แทน

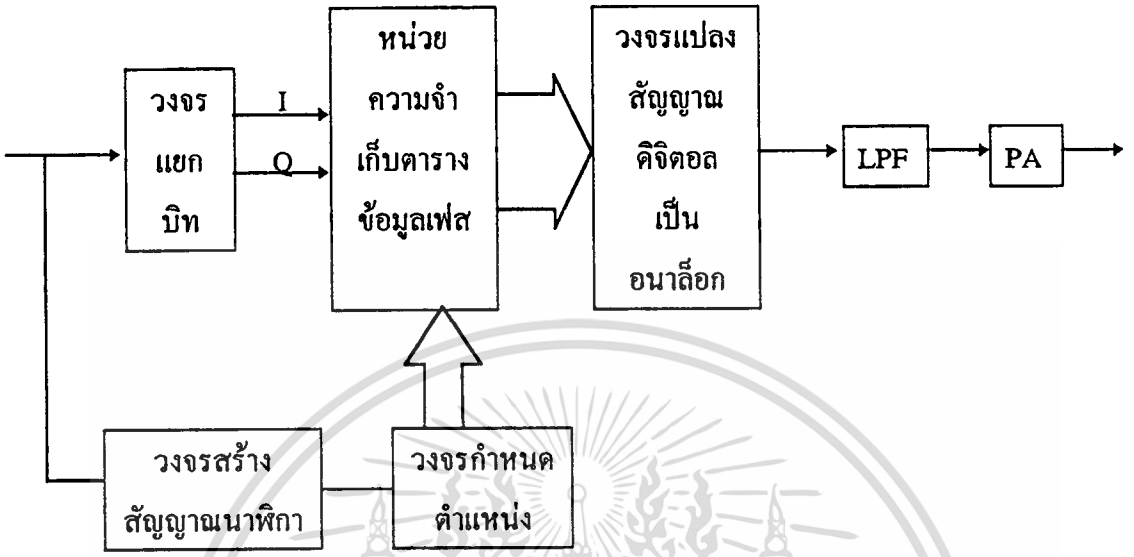


รูปที่ 4.12 หลักการเบื้องต้นของอินทิเกรท RC Network

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การออกแบบวงจรภาคส่ง

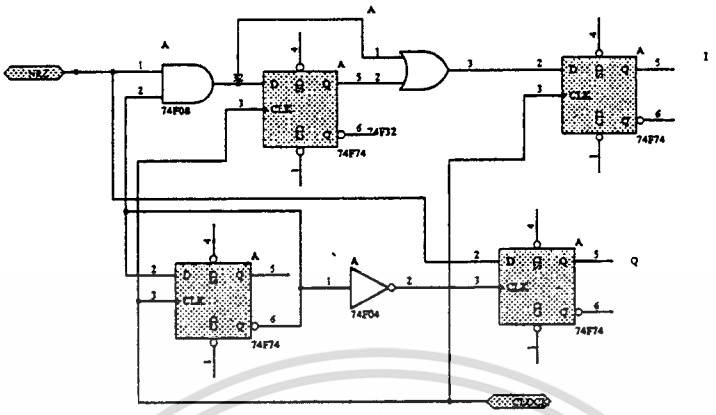


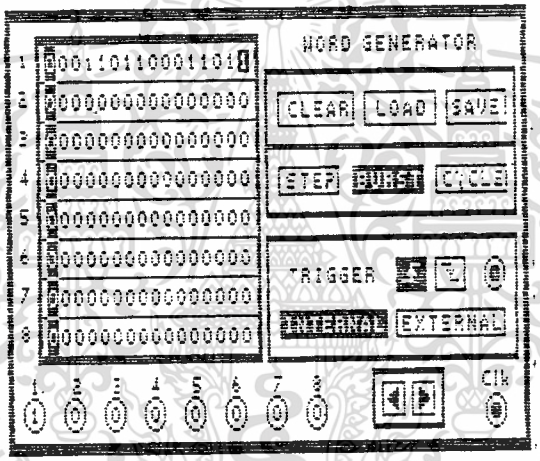
รูป 5.1 บล็อกไดอะแกรมภาคส่ง

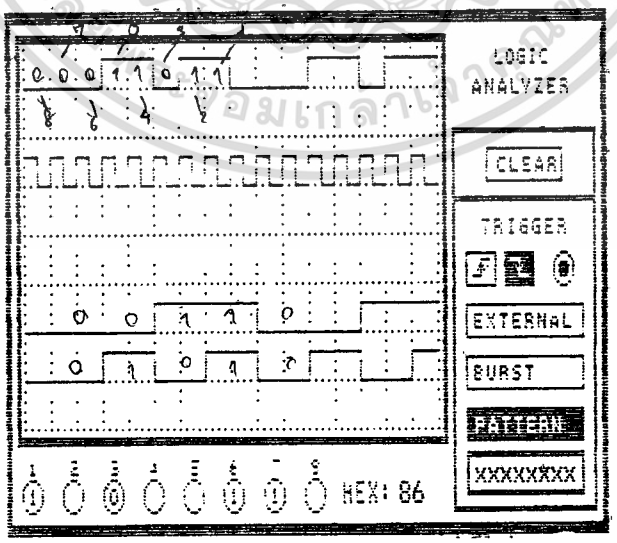
จากบล็อกไดอะแกรมสามารถอธิบายการทำงานของภาคส่งได้คือ ข้อมูลที่รับเข้ามาจะถูกแยกเป็นสัญญาณ I และ Q เพื่อจะนำไปควบคุมเฟส โดยค่าของเฟสที่จะถูกอ่านจากหน่วยความจำจะถูกกำหนดตามลักษณะของข้อมูลที่เข้ามา จากนั้นข้อมูลที่ถูกกำหนดให้จะถูกแปลงเป็นสัญญาณอะนาล็อกได้สัญญาณ QPSK ออกมา ส่วนประกอบของภาคส่ง มีรายละเอียดดังนี้

1. วงจรแยกบิท
2. วงจรสร้างสัญญาณนาฬิกา
3. หน่วยความจำเก็บตารางข้อมูลเฟส
4. วงจรกำหนดตำแหน่ง
5. วงจรแปลงสัญญาณดิจิตอลเป็นอะนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

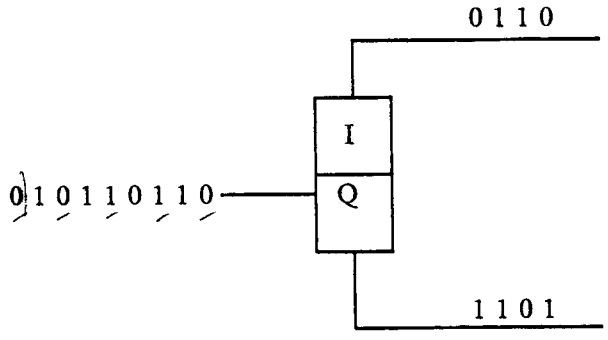




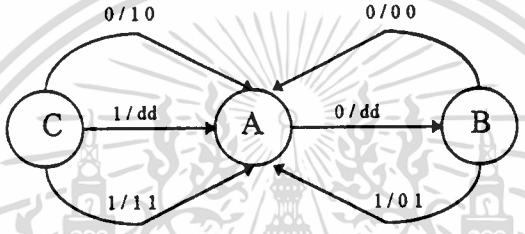


รูป 5.2 วงจรแยกบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5.3 หลักการวงจรแยกบิท



รูป 5.4 State diagram

จากหลักการแยกบิทข้างต้นสามารถเขียนเป็น State Diagram ได้ดังรูปซึ่งสามารถนำไปออกแบบวงจรในลักษณะ Synchronous Sequential ได้

5.1 หลักการออกแบบวงจร Synchronous Sequential

ในการออกแบบวงจร Synchronous Sequential การทำตามลำดับขั้นตอนดังต่อไปนี้

- ขั้นที่ 1 จากวัตถุประสงค์ของวงจรที่ต้องการออกแบบให้สร้าง State Diagram และ State Table ขึ้น

- ขั้นที่ 2 ให้ตรวจดูว่า State Table ที่สร้างขึ้นนั้นมี Rodundant State หรือไม่ ถ้ามีก็ให้ทำการ Reduce State Table เสียก่อน

- ขั้นที่ 3 กำหนด State Assignment ที่กำหนดให้เหมาะสมกับแต่ละ State ใน State Table แล้วแทนค่า State Assignment นั้นในวงจร State Table จึงทำให้ได้เป็น Transition Table ขึ้นมา

- ขั้นที่ 4 กำหนดหน่วยความจำ (Flip Flop) ที่ใช้ในวงจร จากนั้นให้หา Excitation Table ของวงจรที่ต้องการออกแบบ จาก Transition Table ที่ได้ในขั้นที่ 3 โดยพิจารณาจาก Excition Table ของ Flip Flop นั้น ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขั้นที่ 5 ข้อมูลใน Excition Table ที่หาได้จะเป็นข้อมูลความต้องการของ Input ของ Flip Flop นั้น ๆ ดังนั้นให้สร้าง Excitation Map หรือ Karnaugh Map ขึ้นเพื่อหา Logic Equation ของแต่ละ Input ของ Flip Flop รวมทั้ง Output (Z) ด้วย

- ขั้นที่ 6 เมื่อเราทราบ Logic Equation ของแต่ละ Input ของ Flip Flop และ Output (Z) จึงสามารถเขียนลอจิก Diagram ของวงจรที่ต้องการออกแบบได้

จาก 6 ขั้นตอนที่กล่าวมา เราได้สมการลอจิก คือ

$$D_1 = \overline{X} + Y_2$$

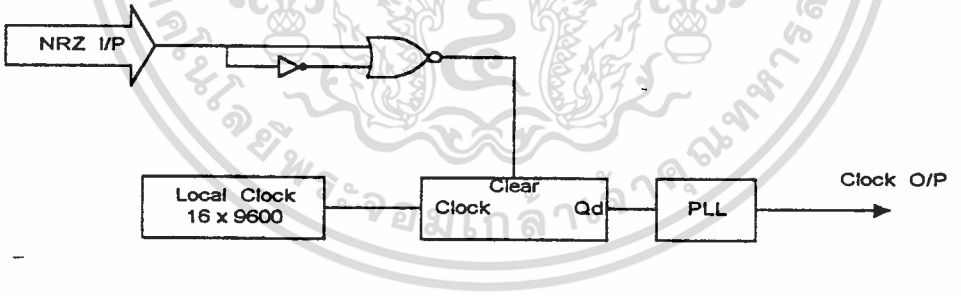
$$D_2 = X$$

$$Z_1 = Y_1 + X\overline{Y_2}$$

$$Z_2 = X$$

5.2 วงจรกู้สัญญาณนาฬิกา

สำหรับการสร้างสัญญาณนาฬิกา ขนาด 9600 bps สามารถซิงโครไนซ์กับสัญญาณ NRZ

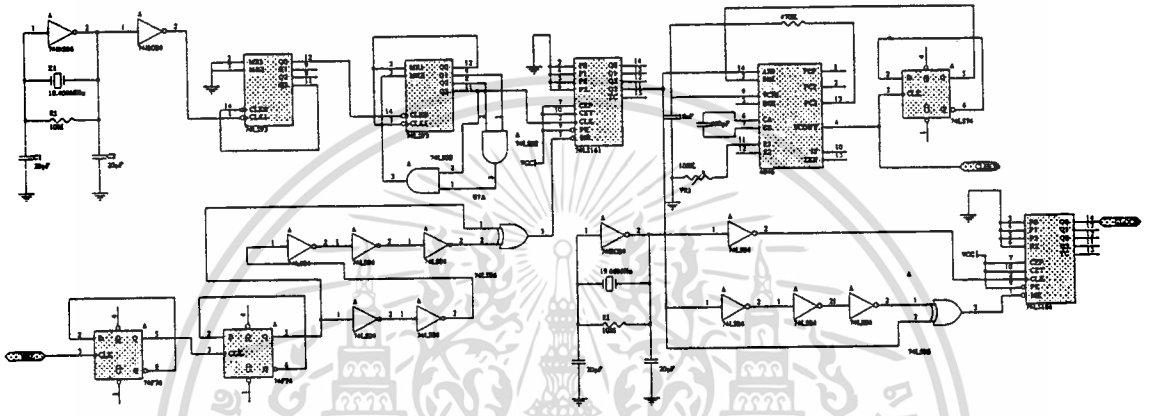


รูป 5.5 วงจรสร้างสัญญาณนาฬิกา ขนาด 9600 bps

จากรูปวงจรประกอบด้วยวงจรสร้างความถี่อ้างอิง (local clock) ซึ่งสร้างความถี่ขนาด 16 เท่าของ 9600 Hz , วงจรหาร 16 , วงจรการเปลี่ยนแปลงของขอบสัญญาณ,วงจร PLL โดยสัญญาณ NRZ จะถูกมาหาขอบสัญญาณ โดยใช้วงจรนอทเกทหน่วงสัญญาณ NRZ เดิม แล้วทำการเอ็กซ์คลูซีฟอลกับสัญญาณ NRZ เดิม ซึ่งจะทำให้ที่เอ้าท์พุทของเอ็กซ์คลูซีฟออเกทได้สัญญาณพัลซ์แคบ ๆ ซึ่งเกิดขึ้นทุกการเปลี่ยนแปลงสัญญาณอินพุทโดยสัญญาณพัลซ์นี้จะเป็นสัญญาณเคลียร์ (clear) ให้กับวงจรหาร 16 โดยที่อินพุทเป็นความถี่ขนาด 16 เท่าของ ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิทเรท ดังนั้นความถี่ของสัญญาณนาฬิกาที่เอ้าท์พุทวงจรหาร 16 จะเป็นความถี่ของสัญญาณนาฬิกาที่ซิงโครไนซ์กับสัญญาณเบสแบนด์ที่รับเข้ามา โดยเอ้าท์พุทของวงจรหาร 16 จะเป็นความถี่ขนาด 9600 Hz แต่ยังมีการสั่น (jitter) ดังนั้นจึงใช้วงจร PLL ซึ่งทำหน้าที่คล้ายวงจรกรองความถี่ผ่านย่านที่ทำการสร้างเฉพาะ ความถี่นาฬิกาที่ไม่มีการสั่นผ่านไปเป็นสัญญาณนาฬิกาเอ้าท์พุท สำหรับวงจรในทางปฏิบัติแสดงดังรูป 5.5



รูป 5.6 แสดงวงจรกู้สัญญาณนาฬิกา

จากรูป 5.6 วงจรสร้างความถี่อ้างอิง (local clock) สร้างความถี่ 16 เท่าของ 9600 Hz ประกอบด้วย วงจรรวม 74LS92 เป็นวงจรหาร 10 และ 12 ซึ่งรวมกันก็จะหาร 120 โดยเกทออสซิเลทสร้างความถี่อ้างอิง ซึ่งกำหนดโดยคริสตอลขนาด 18.432 Mhz ทำการหาร 120 จะได้ ความถี่ 16 เท่าของ 9600 Hz ที่เอ้าท์พุท QD ของวงจรหาร 16 74LS161 โดยที่ ขา 1 ของวงจรรวม 74LS161 จะเป็นขาเคลียร์ (clear) ที่ได้จากวงจรหาการเปลี่ยนแปลงของขอบซึ่งได้กล่าวมาแล้วข้างต้น

สำหรับวงจร PLL ประกอบด้วยวงจรรวม CD4046 ประกอบด้วยส่วนวงจรเฟสดีเทคเตอร์และ VCO ทำการกำหนดสัญญาณนาฬิกาที่ปราสจากจิคเตอร์สำหรับวงจรกรองลูปของ PLL ซึ่งต่อที่ขา 13 และ 9 ของวงจร 4046 ทดลอง เลือกจากการปฏิบัติใช้ขนาด 470 kΩ และ 10μF ตามลำดับ

5.3 การออกแบบหน่วยความจำเก็บตารางข้อมูลเฟส

ข้อมูลที่จะเข้ามายัง QPSK โมเด็มจะถูกเข้ามาคราวละ 2 บิท จะเป็น 00, 01, 10 และ 11 ค่าเหล่านี้จะเป็นตัวกำหนดบิทสำคัญค่ามากที่จะกำหนดตำแหน่งตารางเก็บข้อมูลเฟส ค่าของข้อมูลเฟสจะถูกจัดเรียงอย่างเป็นระเบียบจาก 00 , 01, 10 ไปจนถึง 11 ตามลำดับ จากสมการของแต่ละเฟสที่กำหนด

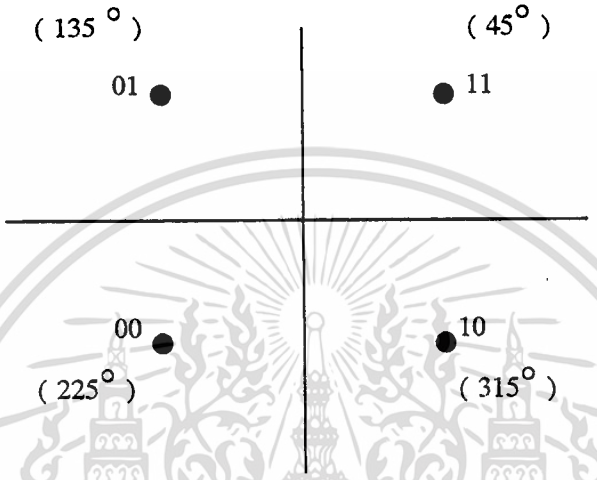
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$11 = \text{Sin}(\omega_c t + 45^\circ)$

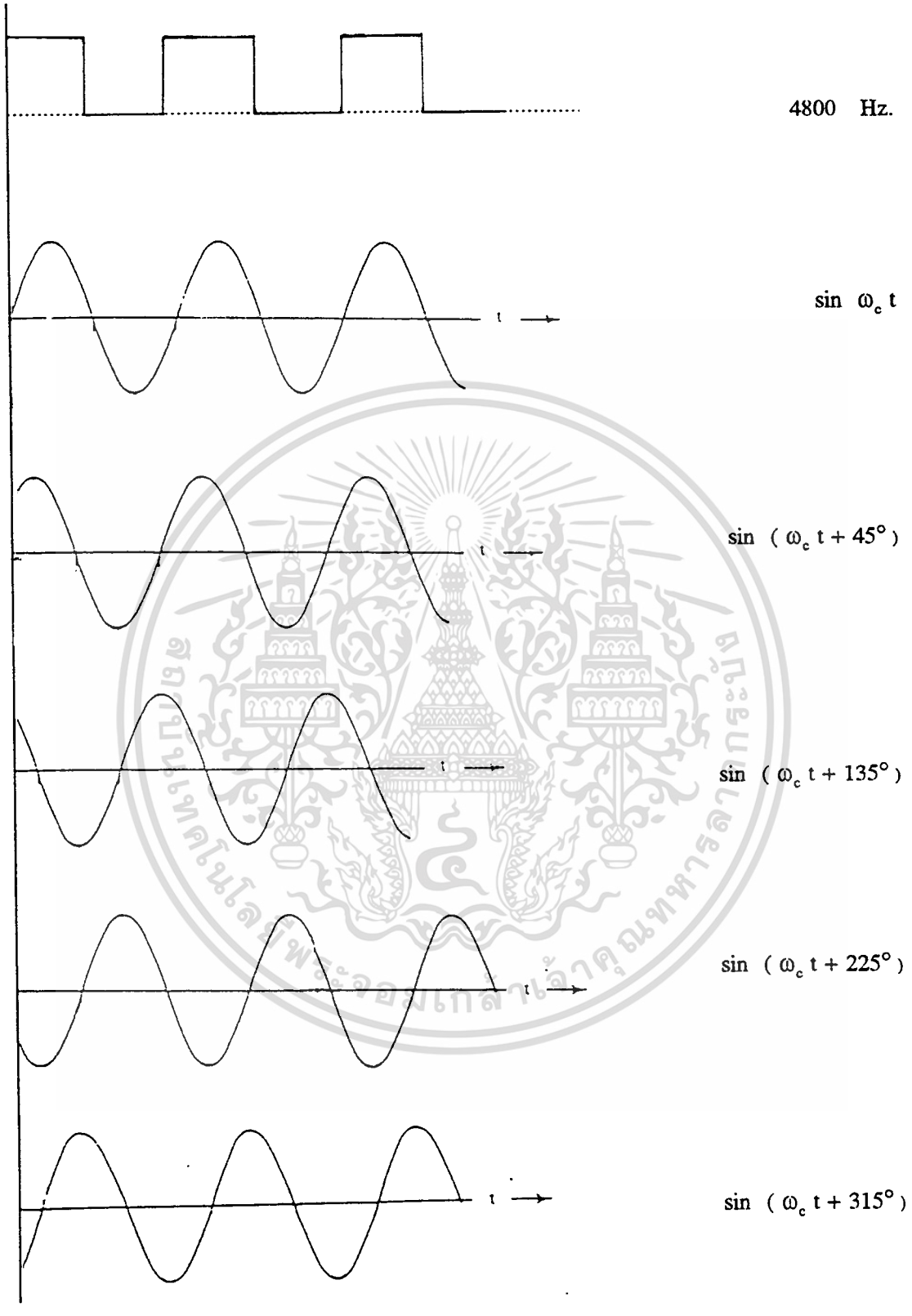
$01 = \text{Sin}(\omega_c t + 135^\circ)$

$00 = \text{Sin}(\omega_c t + 225^\circ)$

$10 = \text{Sin}(\omega_c t + 315^\circ)$



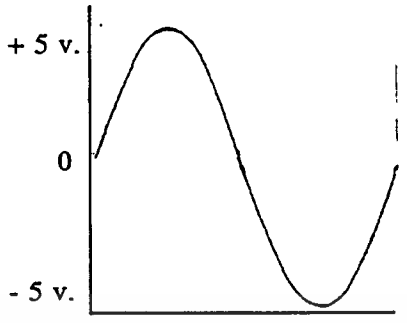
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5.7 เมื่อเทียบกับสัญญาณนาฬิกา แสดงเฟสของแต่ละสัญลักษณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อที่จะให้ได้สัญญาณรูปไซน์ที่มีค่าใกล้เคียงในทางปฏิบัติโครงงานใช้ความละเอียด 2048 จุด ต่อ 1 สัญญาณ



2048 จุด

รูป 5.8

โครงงานนี้ใช้หน่วยความจำแบบรอมเป็น ERROM วงจรรวม 27256 ซึ่งเป็นหน่วยความจำที่มีขนาด 8 * 16 กิโลบิท ในการเกิดสัญญาณที่มีความละเอียด 2048 โดยข้อมูลทั้งหมดมีค่า 4 * 2048 นำมาสร้างตารางข้อมูลได้ดังนี้

DB 128,128,129,129,130,130,130,131,131,131

DB 132,132,133,133,133,134,134,135,135,135

DB 136,136,137,137,137,138,138,139,139,139

DB 140,140,140,141,141,142,142,142,143,143

DB 144,144,144,145,145,146,146,146,147,147

DB 147,148,148,149,149,149,150,150,151,151

DB 151,152,152,152,153,153,154,154,154,155

DB 155,156,156,156,157,157,157,158,158,159

DB 159,159,160,160,160,161,161,162,162,162

DB 163,163,163,164,164,165,165,165,166,166

DB 166,167,167,168,168,168,169,169,169,170

DB 170,171,171,171,172,172,172,173,173,173

DB 174,174,175,175,175,176,176,176,177,177

DB 177,178,178,179,179,179,180,180,180,181

DB 181,181,182,182,182,183,183,184,184,184

DB 185,185,185,186,186,186,187,187,187,188

DB 188,188,189,189,189,190,190,190,191,191

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB 192,192,192,193,193,193,194,194,194,195
DB 195,195,196,196,196,197,197,197,198,198
DB 198,198,199,199,199,200,200,200,201,201
DB 201,202,202,202,203,203,203,204,204,204
DB 205,205,205,205,206,206,206,207,207,207
DB 208,208,208,209,209,209,209,210,210,210
DB 211,211,211,212,212,212,212,213,213,213
DB 214,214,214,214,215,215,215,216,216,216
DB 216,217,217,217,218,218,218,218,219,219
DB 219,220,220,220,220,221,221,221,221,222
DB 222,222,222,223,223,223,224,224,224,224
DB 225,225,225,225,226,226,226,226,227,227
DB 227,227,228,228,228,228,228,229,229,229
DB 229,230,230,230,230,231,231,231,231,232
DB 232,232,232,232,233,233,233,233,234,234
DB 234,234,234,235,235,235,235,235,236,236
DB 236,236,237,237,237,237,237,238,238,238
DB 238,238,239,239,239,239,239,239,240,240
DB 240,240,240,241,241,241,241,241,242,242
DB 242,242,242,242,243,243,243,243,243,243
DB 244,244,244,244,244,244,245,245,245,245
DB 245,245,245,246,246,246,246,246,246,247
DB 247,247,247,247,247,247,247,248,248,248
DB 248,248,248,248,249,249,249,249,249,249
DB 249,249,250,250,250,250,250,250,250,250
DB 250,251,251,251,251,251,251,251,251,251
DB 251,252,252,252,252,252,252,252,252,252
DB 252,252,253,253,253,253,253,253,253,253
DB 253,253,253,253,253,254,254,254,254,254
DB 254,254,254,254,254,254,254,254,254,254
DB 254,254,255,255,255,255,255,255,255,255
DB 255,255,255,255,255,255,255,255,255,255
```

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB 255,255,255,255,255,255,255,255,255,255
DB 255,255,255,255,255,255,255,255,255,255
DB 255,255,255,255,255,255,255,255,255,255
DB 255,255,255,255,255,255,255,255,255,255
DB 255,255,255,255,255,255,255,255,255,255
DB 255,255,255,255,255,255,255,255,255,255
DB 255,255,254,254,254,254,254,254,254,254
DB 254,254,254,254,254,254,254,254,254,254
DB 253,253,253,253,253,253,253,253,253,253
DB 253,253,253,252,252,252,252,252,252,252
DB 252,252,252,252,251,251,251,251,251,251
DB 251,251,251,251,250,250,250,250,250,250
DB 250,250,249,249,249,249,249,249,249,249
DB 248,248,248,248,248,248,248,248,247,247
DB 247,247,247,247,247,246,246,246,246,246
DB 246,246,245,245,245,245,245,245,244,244
DB 244,244,244,244,244,243,243,243,243,243
DB 243,242,242,242,242,242,241,241,241,241
DB 241,241,240,240,240,240,240,239,239,239
DB 239,239,238,238,238,238,238,237,237,237
DB 237,237,236,236,236,236,236,235,235,235
DB 235,235,234,234,234,234,233,233,233,233
DB 233,232,232,232,232,231,231,231,231,231
DB 230,230,230,230,229,229,229,229,228,228
DB 228,228,227,227,227,227,226,226,226,226
DB 225,225,225,225,224,224,224,224,223,223
DB 223,223,222,222,222,222,221,221,221,221
DB 220,220,220,219,219,219,219,218,218,218
DB 217,217,217,217,216,216,216,216,215,215
DB 215,214,214,214,214,213,213,213,212,212
DB 212,211,211,211,211,210,210,210,209,209
DB 209,208,208,208,208,207,207,207,206,206
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 206,205,205,205,204,204,204,204,203,203

DB 203,202,202,202,201,201,201,200,200,200

DB 199,199,199,198,198,198,197,197,197,196

DB 196,196,195,195,195,194,194,194,193,193

DB 193,192,192,192,191,191,191,190,190,190

DB 189,189,189,188,188,188,187,187,187,186

DB 186,186,185,185,184,184,184,183,183,183

DB 182,182,182,181,181,181,180,180,180,179

DB 179,178,178,178,177,177,177,176,176,176

DB 175,175,174,174,174,173,173,173,172,172

DB 172,171,171,170,170,170,169,169,169,168

DB 168,167,167,167,166,166,166,165,165,164

DB 164,164,163,163,163,162,162,161,161,161

DB 160,160,160,159,159,158,158,158,157,157

DB 157,156,156,155,155,155,154,154,153,153

DB 153,152,152,152,151,151,150,150,150,149

DB 149,148,148,148,147,147,147,146,146,145

DB 145,145,144,144,143,143,143,142,142,141

DB 141,141,140,140,140,139,139,138,138,138

DB 137,137,136,136,136,135,135,134,134,134

DB 133,133,133,132,132,131,131,131,130,130

DB 129,129,129,128,128,127,127,127,126,126

DB 125,125,125,124,124,124,123,123,122,122

DB 122,121,121,120,120,120,119,119,118,118

DB 118,117,117,116,116,116,115,115,115,114

DB 114,113,113,113,112,112,111,111,111,110

DB 110,110,109,109,108,108,108,107,107,106

DB 106,106,105,105,104,104,104,103,103,103

DB 102,102,101,101,101,100,100,100,99,99

DB 98,98,98,97,97,96,96,96,95,95

DB 95,94,94,93,93,93,92,92,92,91

DB 91,90,90,90,89,89,89,88,88,87

เอกสารนี้มีไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 87,87,86,86,86,85,85,85,84,84

DB 83,83,83,82,82,82,81,81,80,80

DB 80,79,79,79,78,78,78,77,77,77

DB 76,76,75,75,75,74,74,74,73,73

DB 73,72,72,72,71,71,70,70,70,69

DB 69,69,68,68,68,67,67,67,66,66

DB 66,65,65,65,64,64,64,63,63,63

DB 62,62,62,61,61,61,60,60,60,59

DB 59,59,58,58,58,57,57,57,56,56

DB 56,55,55,55,54,54,54,53,53,53

DB 53,52,52,52,51,51,51,50,50,50

DB 49,49,49,48,48,48,48,47,47,47

DB 46,46,46,45,45,45,45,44,44,44

DB 43,43,43,43,42,42,42,41,41,41

DB 40,40,40,40,39,39,39,39,38,38

DB 38,37,37,37,37,36,36,36,36,35

DB 35,35,34,34,34,34,33,33,33,33

DB 32,32,32,32,31,31,31,31,30,30

DB 30,30,29,29,29,29,28,28,28,28

DB 27,27,27,27,26,26,26,26,25,25

DB 25,25,25,24,24,24,24,23,23,23

DB 23,23,22,22,22,22,21,21,21,21

DB 21,20,20,20,20,20,19,19,19,19

DB 19,18,18,18,18,18,17,17,17,17

DB 17,16,16,16,16,16,15,15,15,15

DB 15,15,14,14,14,14,14,13,13,13

DB 13,13,13,12,12,12,12,12,12,11

DB 11,11,11,11,11,11,10,10,10,10

DB 10,10,10,9,9,9,9,9,9,9

DB 8,8,8,8,8,8,8,7,7,7

DB 7,7,7,7,7,6,6,6,6,6

DB 6,6,6,6,5,5,5,5,5,5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB 5,5,5,5,4,4,4,4,4,4
DB 4,4,4,4,4,4,3,3,3,3,3
DB 3,3,3,3,3,3,3,3,3,2,2
DB 2,2,2,2,2,2,2,2,2,2
DB 2,2,2,2,1,1,1,1,1,1
DB 1,1,1,1,1,1,1,1,1,1
DB 1,1,1,1,1,1,1,1,1,1
DB 1,1,1,1,1,1,1,1,0,0
DB 0,0,0,0,0,0,0,0,0,0
DB 0,0,0,0,1,1,1,1,1,1
DB 1,1,1,1,1,1,1,1,1,1
DB 1,1,1,1,1,1,1,1,1,1
DB 1,1,1,1,1,1,1,1,2,2
DB 2,2,2,2,2,2,2,2,2,2
DB 2,2,2,3,3,3,3,3,3,3
DB 3,3,3,3,3,3,4,4,4,4
DB 4,4,4,4,4,4,4,5,5,5
DB 5,5,5,5,5,5,5,6,6,6
DB 6,6,6,6,6,6,7,7,7,7
DB 7,7,7,7,8,8,8,8,8,8
DB 8,9,9,9,9,9,9,9,10,10
DB 10,10,10,10,10,11,11,11,11,11
DB 11,11,12,12,12,12,12,12,13,13
DB 13,13,13,13,14,14,14,14,14,15
DB 15,15,15,15,15,16,16,16,16,16
DB 17,17,17,17,17,18,18,18,18,18
DB 19,19,19,19,19,20,20,20,20,20
DB 21,21,21,21,21,22,22,22,22,23
DB 23,23,23,23,24,24,24,24,25,25
DB 25,25,25,26,26,26,26,27,27,27
DB 27,28,28,28,28,29,29,29,29,30
DB 30,30,30,31,31,31,31,32,32,32
```

เอกสารนี้มีไว้เพื่อใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 32,33,33,33,33,34,34,34,34,35

DB 35,35,36,36,36,36,37,37,37,37

DB 38,38,38,39,39,39,39,40,40,40

DB 40,41,41,41,42,42,42,43,43,43

DB 43,44,44,44,45,45,45,45,46,46

DB 46,47,47,47,48,48,48,48,49,49

DB 49,50,50,50,51,51,51,52,52,52

DB 53,53,53,53,54,54,54,55,55,55

DB 56,56,56,57,57,57,58,58,58,59

DB 59,59,60,60,60,61,61,61,62,62

DB 62,63,63,63,64,64,64,65,65,65

DB D66,66,66,67,67,67,68,68,68,69

DB 69,69,70,70,71,71,71,72,72,72

DB 73,73,74,74,74,75,75,75,76,76

DB 77,77,77,78,78,78,79,79,79,80

DB 80,80,81,81,82,82,82,83,83,83

DB 84,84,85,85,85,86,86,86,87,87

DB 87,88,88,89,89,89,90,90,90,91

DB 91,92,92,92,93,93,93,94,94,95

DB 95,95,96,96,96,97,97,98,98,98

DB 99,99,100,100,100,101,101,101,102,102

DB 103,103,103,104,104,104,105,105,106,106

DB 106,107,107,108,108,108,109,109,110,110

DB 110,111,111,111,112,112,113,113,113,114

DB 114,115,115,115,116,116,116,117,117,118

DB 118,118,119,119,120,120,120,121,121,122

DB 122,122,123,123,124,124,124,125,125,125

DB 126,126,126,127,127,127,128,128

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกำหนดตำแหน่งในการเก็บข้อมูลลงหน่วยความจำชนิดรอม

ตำแหน่ง	ข้อมูล
0 - 2047	00
2048 - 4095	01
4096 - 6143	10
6144 - 8192	11

ตาราง แสดงตำแหน่งการจัดข้อมูลในหน่วยความจำ

จากลักษณะข้อมูลที่กำหนดเป็นตัวเลขฐานสิบ โดยมีค่าจากยอดถึงยอด (peak to peak) สัญญาณเฟส 256 ค่า (0 - 255) จากข้อมูลที่ได้กำหนดใช้ทั้งหมด ทำให้เป็นข้อมูลเลขฐาน 2 แล้วนำไปเก็บไว้ในหน่วยความจำ โดยกำหนดตำแหน่งเริ่มต้น ตามค่าของข้อมูลที่เข้ามา ซึ่งเป็นตัวกำหนดค่าตำแหน่งสำคัญทางด้านสูง (MSB)

ตัวอย่างโปรแกรมหาค่า ข้อมูลสัญญาณ Sine 2048 ค่า

```
# include (stdio .h)
# include (math .h)
# include (process .h)
# define TOPI 6.285714

    main ( )
     {
          float a,b,c,d;
          int   e,f;
          FILE *fp;
               if ( (fp = fopen ( "datgen", "W") ) = =NULL) {
               printf ("cannot open file \ n") ;
               exit (1) ;
               }
               for (a = 0.00000 ; a < TOPI ; a + = 0.003069)
               {
               b  = (10 * sin (a) ) + 10 ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
c = b/0.078431;
e = b/0.078431;
d = c-e;
 if  (d > 0.04)
  f  =  e+1 ;
else
  f  =  e ;
fprintf (fp ,"DB % d\n" , f );
}
fclose (fp) ;
}
```

5.4 วงจรกำหนดตำแหน่ง

จากที่หน่วยความจำชนิดรอบถูกบรรจุข้อมูลตามตำแหน่งที่กำหนด ซึ่งค่าที่จะบอกตำแหน่ง n เป็นข้อมูลฐาน 2 พิจารณาจากข้อมูล 00 จะเก็บค่าข้อมูลไว้ที่ตำแหน่ง 0 - 2047 เมื่อแปลงเป็นเลขฐานสองขนาด 13 บิท จะได้ 0000000000000 - 0011111111111111

ข้อมูล	ตำแหน่ง
00	0000000000000 - 0011111111111
01	0100000000000 - 0111111111111
10	1000000000000 - 1011111111111
11	1100000000000 - 1111111111111

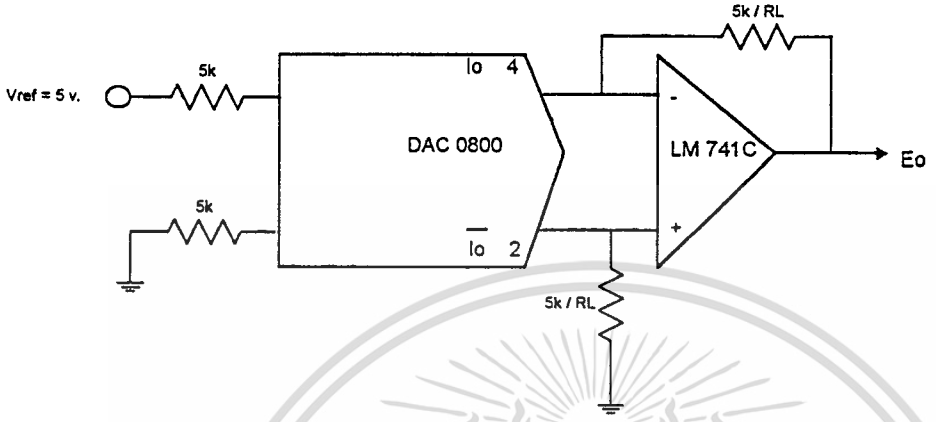
ตาราง แสดงการกำหนดตำแหน่งของข้อมูล

จากตารางเราได้ข้อสังเกตของแต่ละตำแหน่งจะขึ้นต้นด้วยค่าของข้อมูลที่ได้รับเข้ามา และจะมีส่วนที่ซ้ำกัน จะสังเกตได้ว่าเป็นวงจรนับไบนารี่ที่เพิ่มค่าขึ้นเรื่อย ๆ ขนาด 11 บิท และวนซ้ำกันอยู่เรื่อย ๆ ในโครงงานนี้ใช้วงจรนับขนาด 12 บิท ซึ่งสร้างจากวงจรรวม 4040 ซึ่งค่าที่ได้จากวงจรนับนี้ จะใช้เป็นตำแหน่งที่ใช้อ่านจากหน่วยความจำชนิดรอม

สำหรับความถี่ที่ใช้สำหรับวงจรนับ คำนวณจากค่าเวลาที่ใช้กำหนดสัญญาณ ต่อ 1 สัญญาณ สัญญาณ 1 บิท จะใช้ความถี่ 2048 Hz โดยหาจากที่ได้กำหนดค่าความละเอียด 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ ต่อ 2048 จุด ดังนั้นที่ความเร็วข้อมูล 4800 บิท จะต้องใช้ความถี่ป้อนให้กับเวลานับแบบไบนารี่ 4040 ที่ความถี่ 9.83 MHz



if $R_L = \overline{R_L}$ within ± 0.05 % , output is symmetrical about ground

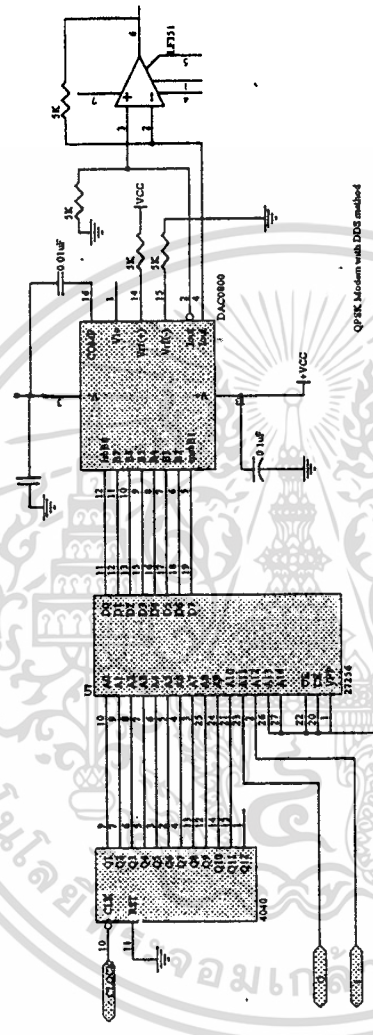
จากคู่มือไอซี ทำให้ทราบข้อมูลตามตาราง

	B1	B2	B3	B4	B5	B6	B7	B8	E_o
Pos.Full Scale	1	1	1	1	1	1	1	1	+ 9.920
Pos.Full Scale - LSB	1	1	1	1	1	1	1	0	+ 9.840
(+) Zero Scale	1	0	0	0	0	0	0	0	+ 0.040
(-) Zero Scale	0	1	1	1	1	1	1	1	- 0.040
Neg.Full Scale + LSB	0	0	0	0	0	0	0	1	- 9.840
Neg.Full Scale	0	0	0	0	0	0	0	0	- 9.920

Symmetrical Offset Binary Operation

รูป 5.9 วงจรแปลงสัญญาณดิจิตอลเป็นอะนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



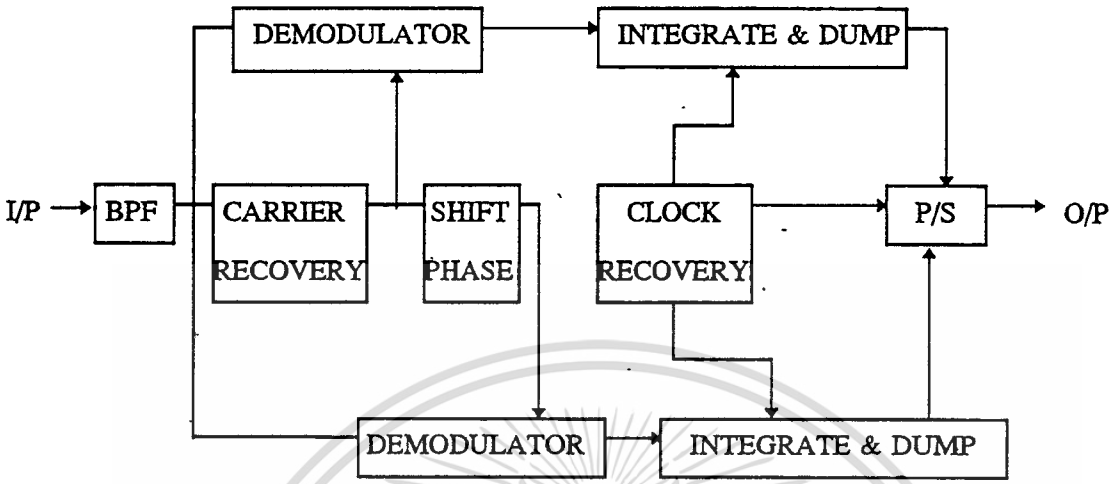
รูป 5.10 วงจรที่ใช้ในโครงงานนี้

(กำเนิด แอดเดรส EPROM และ DAC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

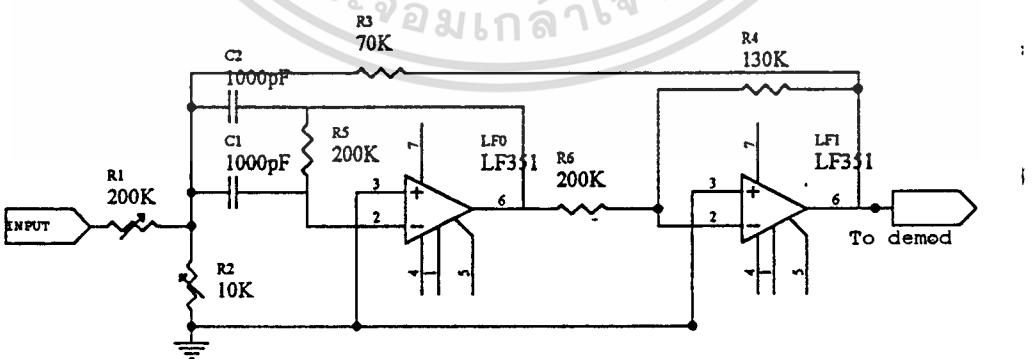
การออกแบบและการสร้างวงจรภาครับ



รูปที่ 6.1 บล็อกไดอะแกรมวงจรภาครับ

6.1 วงจรกรองความถี่ผ่านย่าน

ในการกรองแถบความถี่ผ่านย่าน (BPF) เป็นการกำหนดให้ย่านความถี่ใดความถี่หนึ่งผ่าน ซึ่งสามารถกำหนดแถบความถี่ได้จากความถี่ต่ำ (f_L) จนถึงความถี่สูง (f_H) ซึ่งใช้วงจร Positive Feedback band - pass filter



รูปที่ 6.2 แสดงวงจร Positive - feedback band - pass filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองแถบความถี่ผ่าน แบ่งออกได้ 2 ชนิด คือ Wide Band - pass filter และ Narrow Band - pass filter ความแตกต่างอยู่ที่ Quality Factor (Q) ถ้าหากค่า Q มีค่าน้อยกว่า 10 จะเป็น Wide Band ถ้าหาก Q มีค่ามากกว่า 10 จะเป็น Narrow Band ค่าของ Q จะมีความสัมพันธ์กับความถี่และแบนด์วิทด์ (Bw) ดังสมการข้างล่าง

$$Q = f_C / Bw = fc / (f_H - f_L)$$

$$f_C = \sqrt{f_H f_L}$$

f_H = ความถี่ Cut off ที่ความถี่สูง

f_L = ความถี่ Cut off ที่ความถี่ต่ำ

สำหรับการออกแบบเราจะกำหนดความถี่ที่ต้องการ กำหนดค่า Q = 40 BW = 0.025 fo และ เกน = 4 ขั้นตอนในการออกแบบมีดังนี้

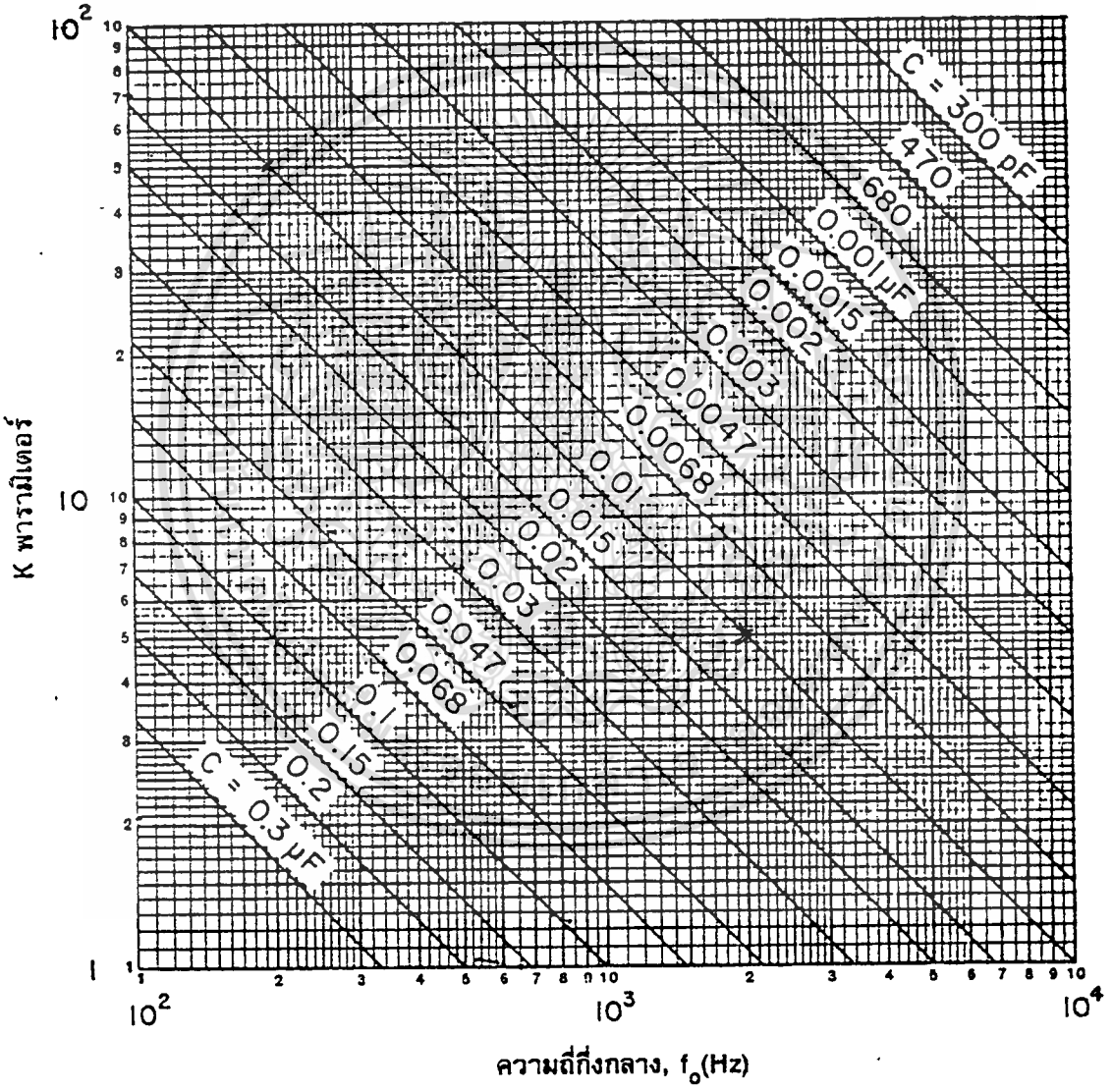
1) เลือกค่าคาปาซิเตอร์ และความถีที่ต้องการBand pass filter จะได้ค่า K parameter จากรูปที่ 6.3

2) ใช้ค่า K ที่หาได้จากข้อ (1) มาหาค่าความต้านทานค่าต่าง ๆ

3) เลือกค่าความต้านทานให้ตรงตามกราฟที่ได้และทำการสร้างวงจร

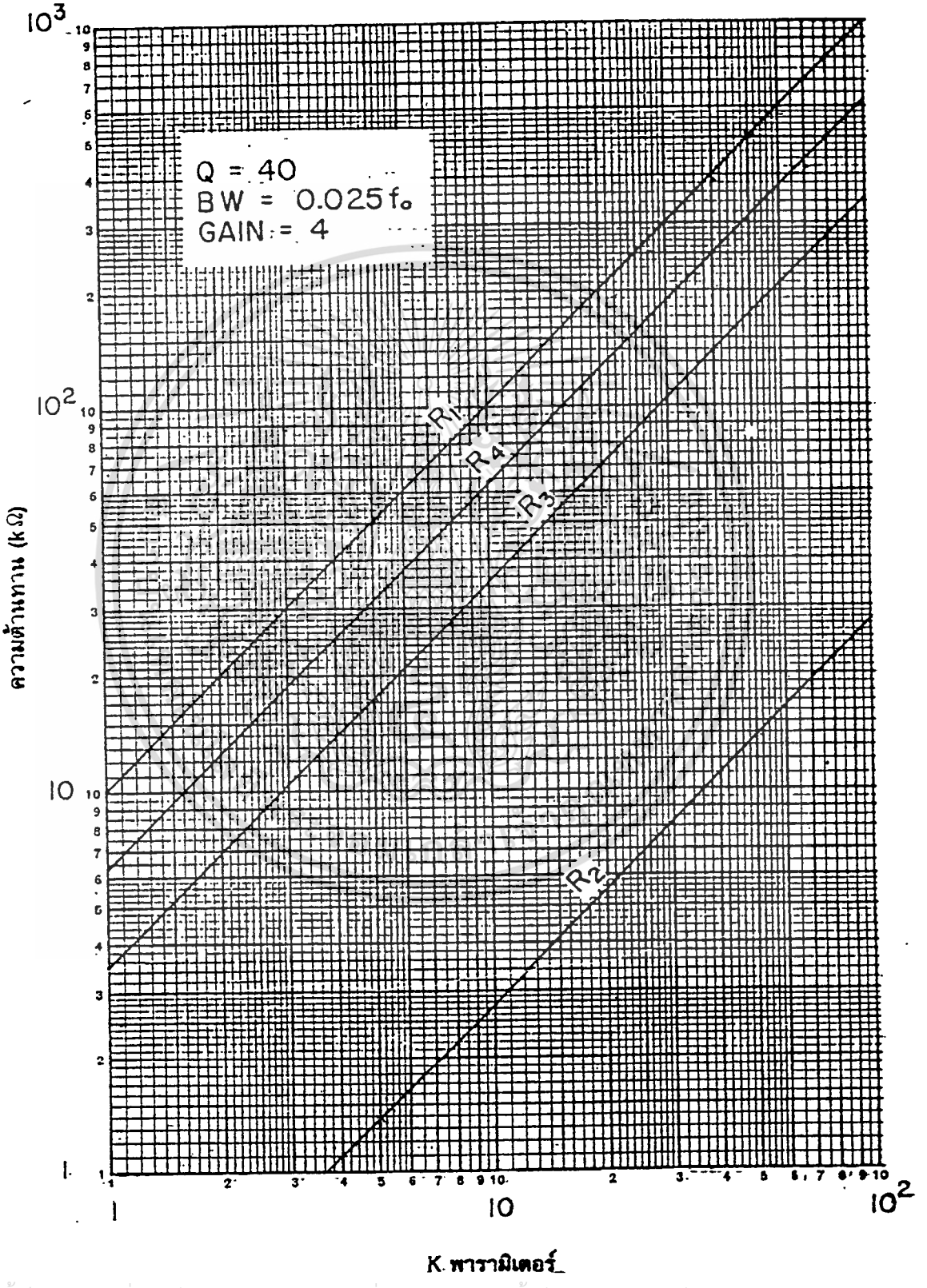
จากการออกแบบวงจรกรองความถี่ผ่านย่าน 48 kHz เลือกใช้ค่าคาปาซิเตอร์เท่ากับ 100 pF จากราฟได้ค่า R_1 เท่ากับ 200 Kohm , R_2 เท่ากับ 5.8 Kohm , R_3 เท่ากับ 70 Kohm และ R_4 เท่ากับ 130 Kohm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.3 แสดงกราฟระหว่าง K parameter เทียบกับความถี่

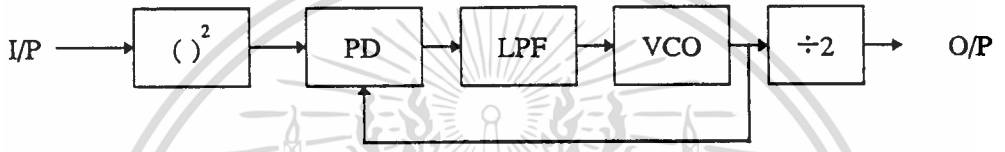


รูปที่ 6.4 กราฟแสดงการหาค่าความต้านทานเมื่อเทียบกับค่า K parameter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 วงจรสัญญาณคลื่นพาห์

เป็นวงจรที่สร้างสัญญาณคลื่นพาห์ขึ้นที่ภาครับของ วงจรดีมอดูเลชั่น DDS - QPSK โดยสัญญาณที่สร้างขึ้นมาจะมีคุณสมบัติซิงโครไนซ์ทางเฟสคลื่นพาห์ ที่ภาคส่งโดยวงจรกู้สัญญาณคลื่นพาห์ หรือวงจรสร้างสัญญาณ $Cos\omega_c t$ ขึ้นที่ภาครับมีหลายชนิด เช่น squaringloop costasloop แต่ในการทดลองนี้จะเป็นแบบ squaringloop costasloop หรือ ลูปยกกำลังสอง สำหรับการกู้คลื่นพาห์ โดยสามารถแสดงดังหลักการต่อไปนี้ ดังรูปที่ 6.5



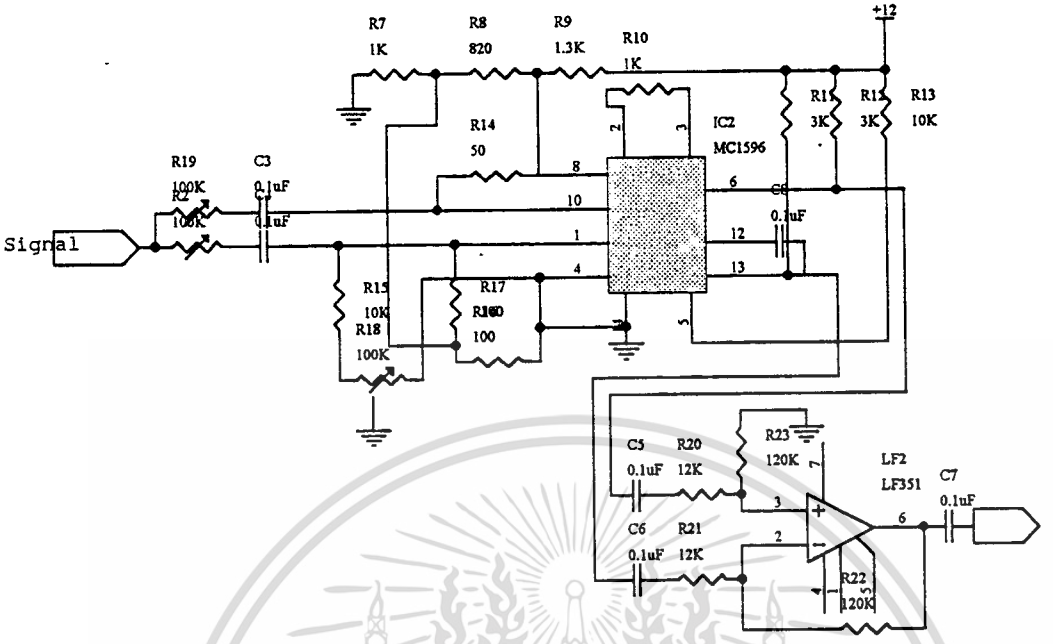
รูปที่ 6.5 โครงสร้างลูปยกกำลังสอง

ลูปยกกำลังสองจะประกอบด้วยภาคยกกำลังสองของสัญญาณและวงจร PLL วงจรหารสองการทำงานของวงจรลูปยกกำลังสองเมื่อรับสัญญาณอินพุต DDS - QPSK ขึ้นอยู่กับสัญญาณเบสแบนด์ วงจรยกกำลังสองทำหน้าที่ ยกกำลังสองสัญญาณคลื่นพาห์ โดยเอาท์พุทของวงจรยกกำลังสองจะได้ฮาร์โทนิคที่สองของ $Cos\omega_c t$ หรือ $Cos2\omega_c t$ จะเป็นอินพุตหรือสัญญาณอ้างอิงของ PLL โดย PLL จะล็อกเฉพาะสัญญาณ $Cos2\omega_c t$ สำหรับด้าน I และ $Sin2\omega_c t$ ทางด้าน Q ซึ่ง PLL จะถูกหน่วงเวลาไป 90 องศา

6.3 วงจรยกกำลังสองและยกกำลังสี่สัญญาณ

เป็นวงจรคูณสัญญาณที่นำสัญญาณชนิดเดียวกันป้อนที่ขา 1 และ ขา 10 ของ IC MC 1596 ซึ่งเป็นการสร้างฮาร์โมนิคส์นั่นเอง ที่ขา 6 และ ขา 12 จะเป็นเอาท์พุตของวงจรยกกำลังสอง ความถี่ที่ได้จะเป็นสองเท่าของความถี่อินพุต จากนั้นก็นำสัญญาณที่เป็นสองเท่าป้อนให้กับ วงจรยกกำลังสองอีกชุดหนึ่งจะได้ความถี่เป็นสี่เท่าออกมา

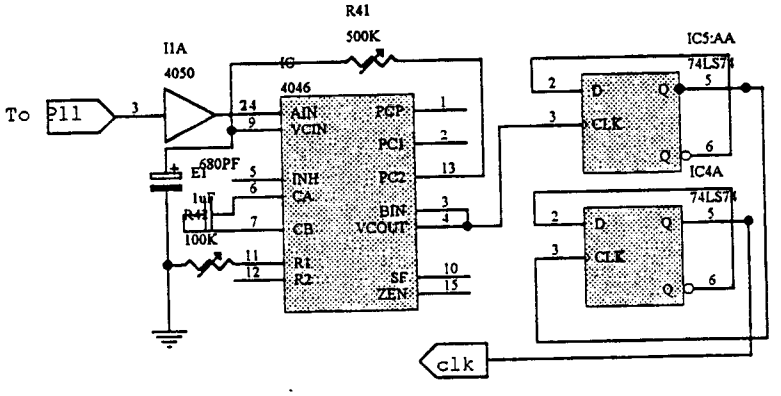
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.6 วงจรยกกำลังสองสัญญาณ

6.4 วงจรกู้สัญญาณนาฬิกา

ใช้วงจรเฟสล็อกรูปทำหน้าที่ล็อกสัญญาณความถี่ ที่ส่งมาจากวงจรยกกำลังสี่ความถี่ที่ล็อกจะเป็น 4 เท่า ของความถี่ 48 KHz คือความถี่ 192 KHz สัญญาณความถี่ที่ส่งมาจากวงจรยกกำลังสี่จะมีสัญญาณฮาร์โมนิคส์ปนอยู่มาก วงจรเฟสล็อกลูปจึงต้องล็อกเฉพาะช่วงความถี่ที่ต้องการเท่านั้น จากนั้นนำไปหาร 2 ความถี่ที่ได้นี้จะใช้เป็นสัญญาณนาฬิกา นำไปใช้ในวงจรอินทริเกรท & ดัมพ์ และวงจรรวมบิทสัญญาณ อีกส่วนหนึ่งความถี่จะถูกหาร 2 อีกครั้งหนึ่งเพื่อ จะเข้าวงจรเลื่อนเฟส 90 องศา

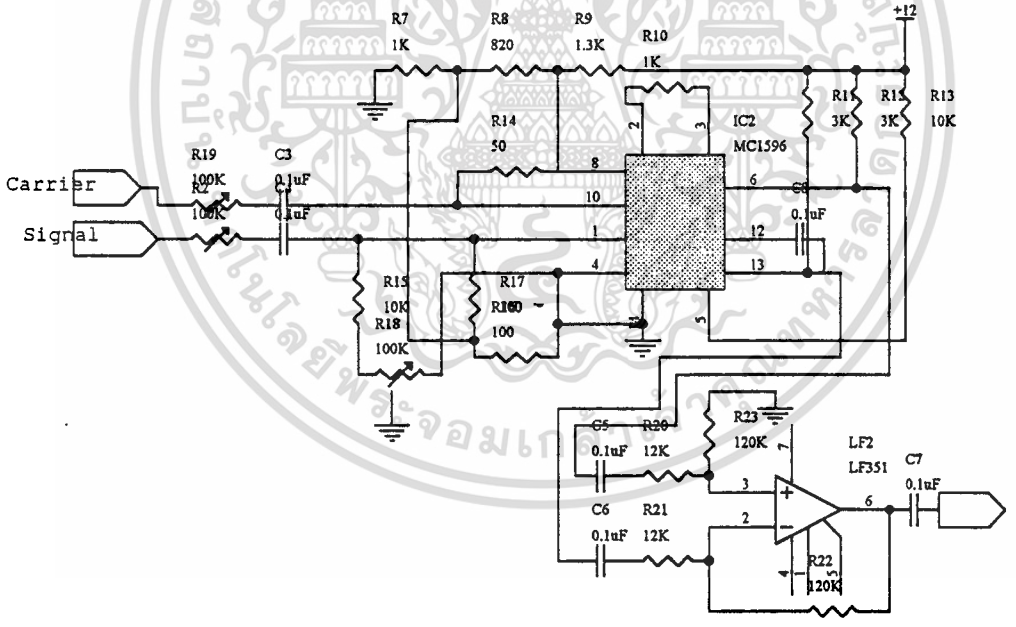


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.7 วงจรกู้สัญญาณนาฬิกา

6.5 วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรบาลานซ์ดีมอดูเลเตอร์ (Balance Demodulator) ที่ใช้ในภาครับนี้ จะเป็นวงจรที่เหมือนกันเกือบทุกประการ กับวงจรยกกำลังสองสัญญาณ แต่ต่างกันตรงที่ ขา 10 และ ขา 11 ของวงจรดีมอดจะไม่ต่อรวมกัน ที่ขา 11 ของวงจรดีมอดจะได้รับสัญญาณ QPSK ส่วนขา 10 จะได้รับสัญญาณคลื่นพาห์และด้วยเหตุที่ว่าข้อมูลถูกส่งมา 2 ส่วน ดังนั้นในทางด้านภาครับนี้ ก็ต้องมีวงจรดีมอด 2 วงจร เพื่อที่จะทำหน้าที่ในการดีมอดสัญญาณ ทางด้าน Inphase และ Quadrature Phase โดยอาศัยสัญญาณพาหะจากวงจรกู้สัญญาณพาหะโดยตรง (Sine Wave) คูณกับสัญญาณ มอดูเลทที่วงจรบาลานซ์ดีมอดูเลเตอร์ทางด้าน Inphase และสัญญาณพาหะจากวงจรเลื่อนเฟส 90 องศา คูณกับสัญญาณมอดูเลทที่วงจรบาลานซ์ดีมอทางด้าน Quadrature Phase

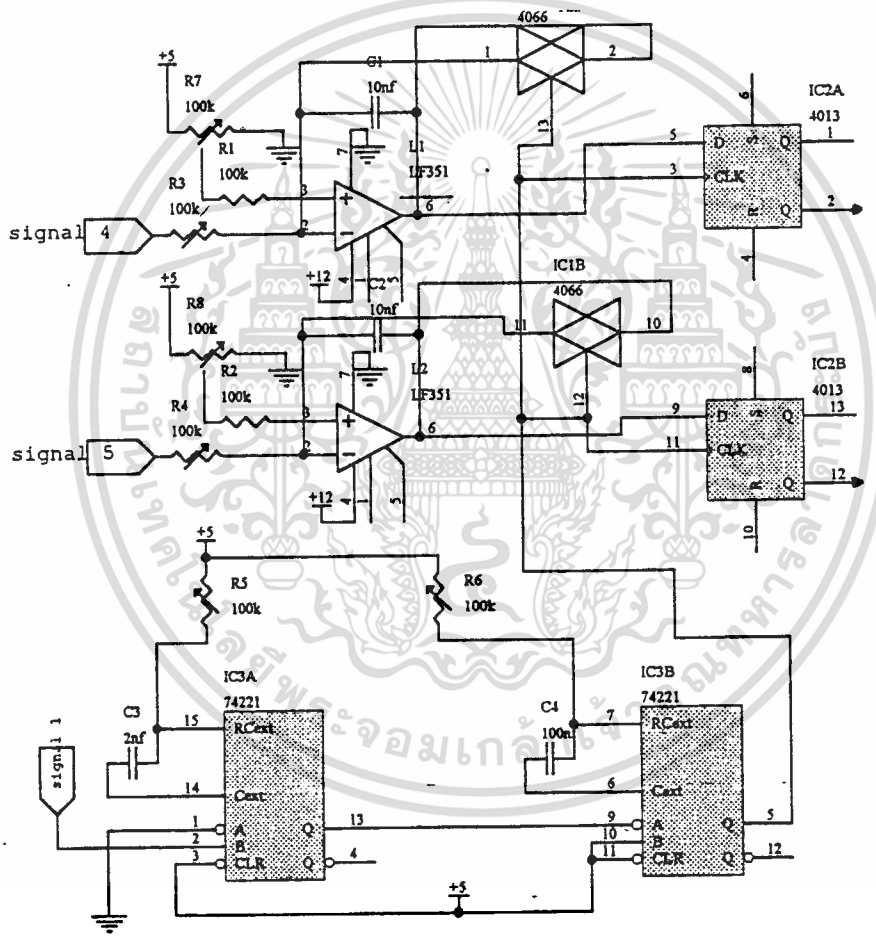


รูปที่ 6.8 วงจรบาลานซ์ดีมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.6 วงจรอินทิเกรทแอนด์ดัมท์ (integrate and dump)

ถึงแม้ว่าเอาท์พุตของวงจรคูณจะเป็นสัญญาณ NRZ แล้วก็ตามแต่สัญญาณจะเกิดการสั่น เนื่องจากสัญญาณรบกวน เพื่อให้ได้สัญญาณ NRZ ที่แน่นอนทางภาครับจึงต้องทำการอินทิเกรทสัญญาณไปในช่วง 1 บิท เพื่อพิจารณาเบสแบนด์จะมีระดับที่แน่นอนไปในทางทิศใด แล้วทำการตัดสินระดับที่ปลายที่ช่วงเวลา 1 บิท และก่อนที่จะทำการอินทิเกรทสัญญาณลูกต่อไปต้องทำการรีเซต (reset) หรือ ดัมพ์ (dump) ให้วงจรอินทิเกรทมีค่า 0 ก่อนทุกครั้ง วงจรอินทิเกรทแอนด์ดัมพ์ จะประกอบด้วย วงจรอินทิเกรท ,ฟลิปฟลอบ,อิเลคโทรนิคส์สวิทซ์ และวงจรสร้างซิงค์พัลซ์ (sync pulse) โดยแสดงวงจรได้ดังรูปข่างล่างนี้



รูปที่ 6.9 วงจรอินทิเกรทแอนด์ดัมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปอินพุทของวงจรสัญญาณ NRZ_{in} ที่มาจากเอาท์พุทของวงจรสัญญาณคลื่นพาห์กับสัญญาณ PSK โดยสัญญาณอินพุทนี้จะมีการสั่น (jilter) เกิดขึ้นโดยขึ้นอยู่กับขนาด SNR ของสัญญาณ ที่อินพุทของวงจรดีมอดูเลท PSK โดยสัญญาณเบสแบนด์ที่อินทิเกรทแสดงดังรูปข้างล่างซึ่งเป็นเอาท์พุทของวงจรอินเวอร์ติ้งอินทิเกรท (inverting integrate) จากรูปปลายช่วงสัญญาณแต่ละช่วงจะถูกรีเซตโดยซิงค์พัลท์ซึ่งสัญญาณ sync pulse จะได้จากวงจรกู้สัญญาณนาฬิกา (clock recovery) สำหรับเอาท์พุทของวงจรอินเวอร์ติ้งอินทิเกรทเตอร์ จะป้อนให้กับฟลิปฟลอฟเพื่อให้ตัดสินค่าระดับของลอจิก โดยเอาท์พุทของฟลิปฟลอปจะให้สัญญาณเบสแบนด์ NRZ ที่ถูกหน่วงเวลาไป 1 บิทดังแสดงในรูป โดยขนาดของการสั่งของเบสแบนด์จะลดลง

สำหรับสมการแสดงเอาท์พุทของวงจรอินทิเกรทเขียนได้ดังนี้

$$V_o(t) = \frac{1}{RC} \int_0^t V_{in}\, 0\ (t)\, dt$$

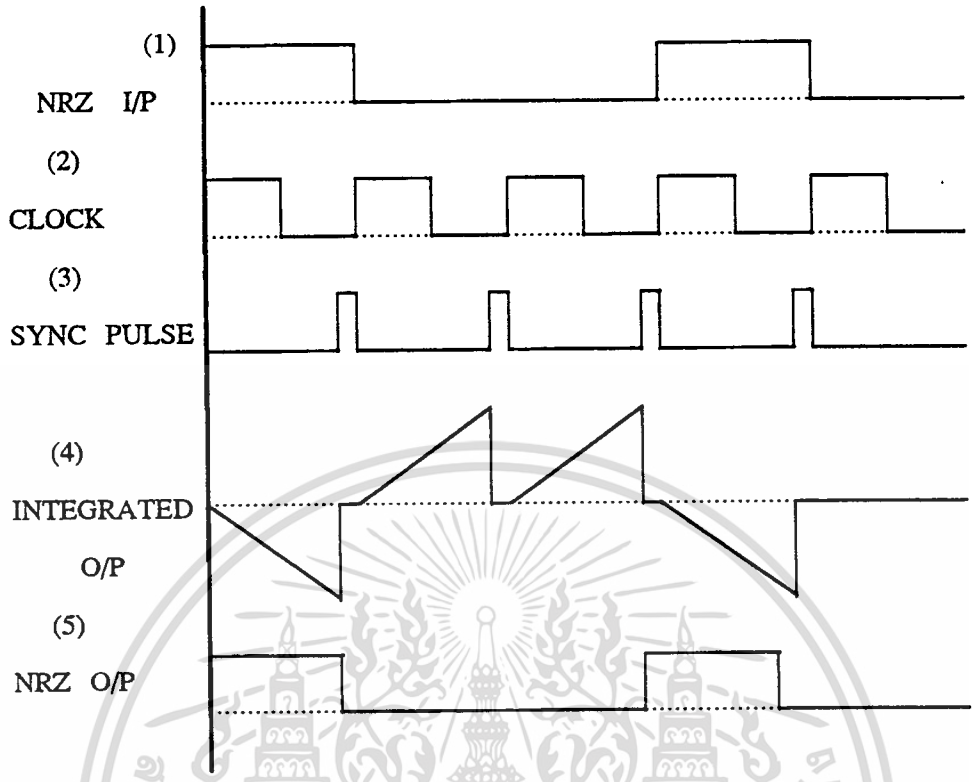
โดยค่า RC เป็นค่าเวลาคงตัวของวงจรอินทิเกรท เพื่อให้ค่าแรงดันที่เอาท์พุทของวงจรอินทิเกรทมีค่าสูงสุดในช่วงเวลา 1 บิท ค่า RC กำหนดให้เท่ากับช่วงเวลา 1 บิท ซึ่งเท่ากับ 10 μS สำหรับบิทเรทขนาด 100 Kbit / sec จากสมการข้างต้น ถ้ากำหนดค่า C เท่ากับ 1 nF จะได้ค่า R เท่ากับ 10 Kohm สำหรับวงจรสร้างซิงค์พัลซ์ที่ใช้สำหรับสุ่มเพื่อตัดสินค่าระดับสัญญาณลอจิกและทำการรีเซตวงจรอินทิเกรท สัญญาณซิงค์พัลซ์สร้างจากการหน่วงสัญญาณนาฬิกาที่ได้จาก วงจรกู้สัญญาณนาฬิกา โดย sync pulse จะเกิดในช่วงปลายของสัญญาณ NRZ แต่ละลูก โดยเป็นพัลซ์ขนาดแคบ ๆ การหน่วงเวลาและทำการพัลซ์ให้มีขนาดแคบ ใช้โมโนสเตเบิ้ลจำนวน 2 ชุด โดยใช้วงจรรวม 74LS221 ซึ่งมีโมโนสเตเบิ้ล 2 ชุดในตัวเดียวกัน โดยอินพุทของสัญญาณนาฬิกาเป็นอินพุทของวงจรโมโนสเตเบิ้ลตัวหนึ่ง กำหนดให้ทำงานที่อินพุทขอบขาขึ้น โดยตั้งเวลาให้หน่วงเวลาเท่ากับ 200 μs โดยช่วงเวลากำหนดได้ดังสมการ

$$T_w = 0.7R_TC_T$$

T_w เป็นช่วงเวลาอินพุทของโมโนสเตเบิ้ล

R_TC_T เป็นความต้านทานและคาปาซิเตอร์ต่อที่ขา RC_{ext} ของโมโนสเตเบิ้ล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



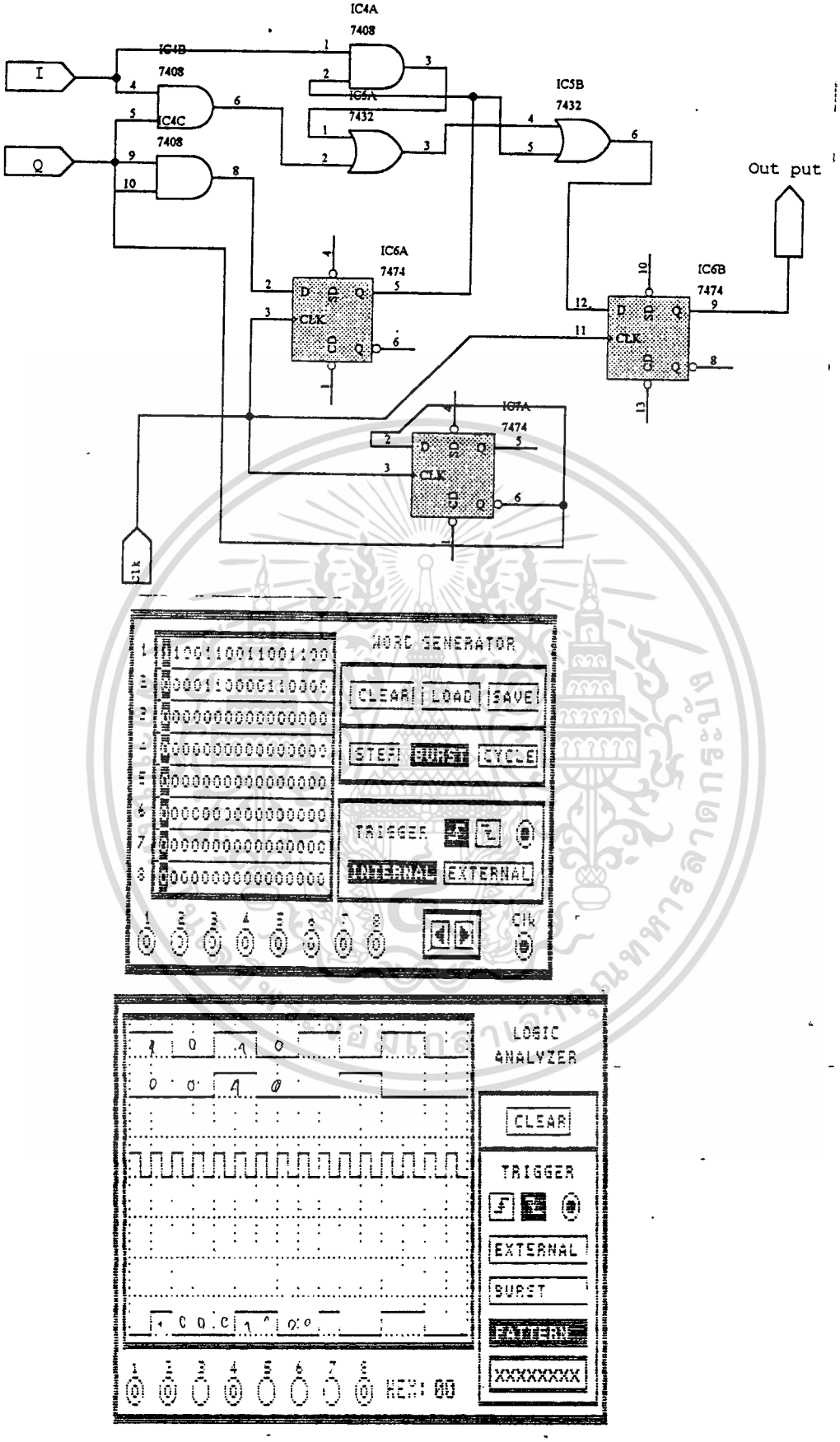
รูปที่ 6.10 แสดงสัญญาณที่จุดต่างๆ ของวงจรอินทิเกรทแอนดัมพ์

สำหรับโมโนสเตเบิ้ลตัวที่ 2 สร้าง sync pulse กำหนดให้อินพุททำงานที่ขอบขาลง โดยช่วงเวลาจะมีขนาดประมาณ 10 μs ถ้าหากกำหนด CT สำหรับโมโนสเตเบิ้ลตัวแรกให้มีค่าเท่าเท่ากับ 0.01 μF แล้วค่า RT มีค่าเท่ากับ 28.5 Kohm และ CT สำหรับโมโนสเตเบิ้ลตัวที่ 2 เท่ากับ 0.001 μF แล้วค่า RT มีค่าเท่ากับ 11.4 Kohm โดยในทางปฏิบัติให้ความต้านทานค่า 27 Kohm และ 12 Kohm ตามลำดับ

6.7 วงจรรวมบิท

เป็นวงจรที่ทำหน้าที่ในการรวมสัญญาณบิทคี่และบิทคู่ (Inphase และ Quadrature - phase) จากสัญญาณเชิงเลขแบบขนาน ไปเป็นสัญญาณเชิงเลขแบบอนุกรม โดยอาศัยการควบคุมจังหวะการทำงานของตัวฟลิปฟลอปจากสัญญาณนาฬิกา ที่ได้มาจากวงจรกู้สัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.11 วงจรรวมบิทที่ใช้ในโครงงานนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

การทดลอง และ ผลการทดลอง

เครื่องมือ และ อุปกรณ์

1. ออสซิโลสโคป
2. เครื่องกำเนิดสัญญาณดิจิตอล
3. เครื่องกำเนิดความถี่
4. QPSK โมเด็ม
5. แหล่งจ่ายไฟตรง

ขั้นตอนการทดลอง

1. การทดลองภาคส่ง

ต่ออุปกรณ์ตามรูป

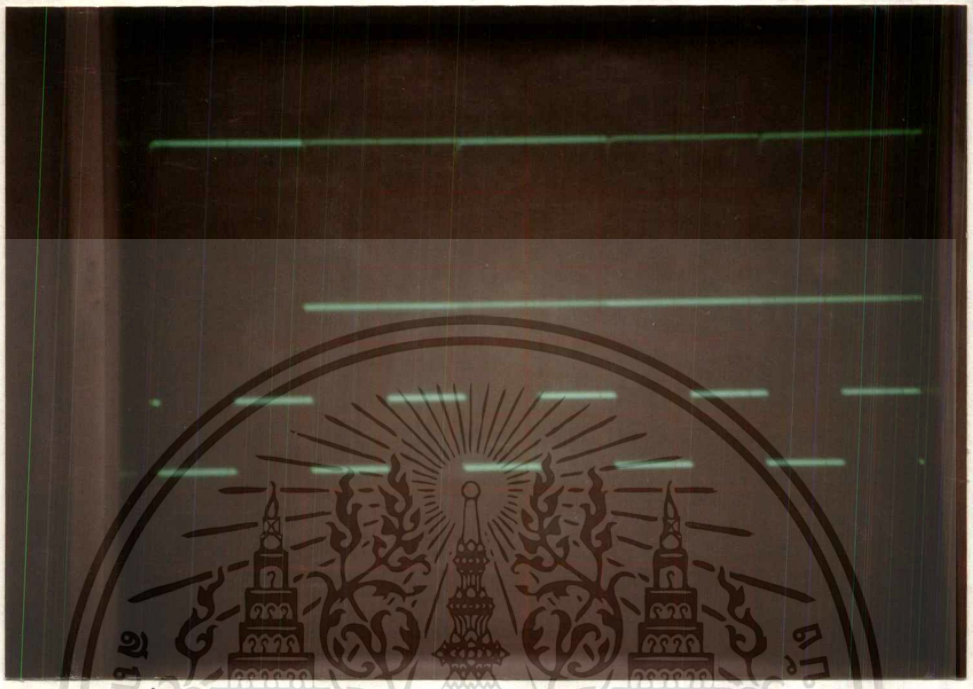
รูปที่ 7.1 แสดงการต่ออุปกรณ์ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองภาคส่ง

1. สัญญาณดิจิตอล NRZ . ก่อนผ่านวงจรแยกบิท

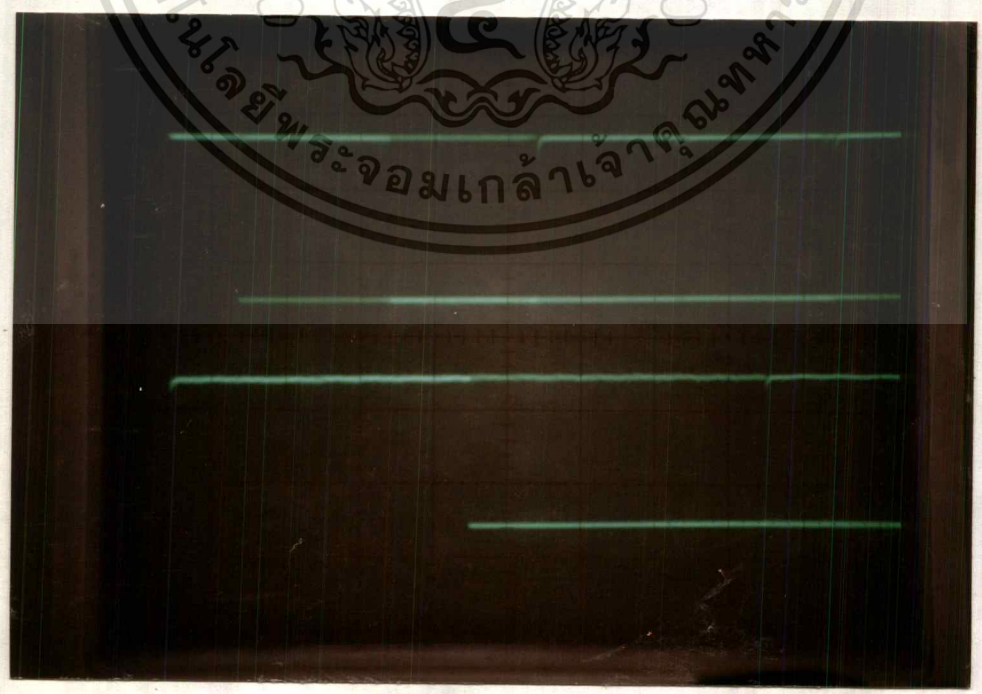
2 Volt / div , 50 µS



รูปที่ 7.2 แสดงสัญญาณดิจิตอล NRZ . 9800 Hz.

2. สัญญาณ NRZ ที่ถูกแยกบิท ทางด้าน I และ Q

2 Volt / div , 50 µS

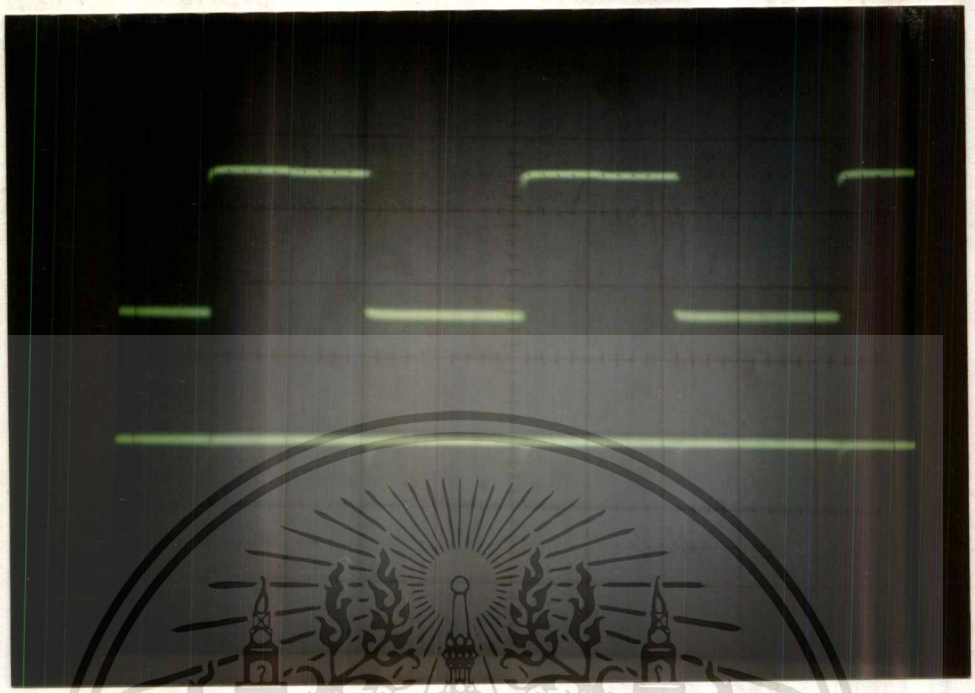


รูปที่ 7.3 แสดงสัญญาณ แยกบิท I และ Q 4800 Hz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. สัญญาณกู้สัญญาณนาฬิกา 9600 Hz

2 Volt / div , 50 µS



รูปที่ 7.4 แสดงสัญญาณนาฬิกา

4. สัญญาณนาฬิกาที่จ่ายให้กับ วงจรกำหนดค่าชี้ตำแหน่ง 9.83 MHz

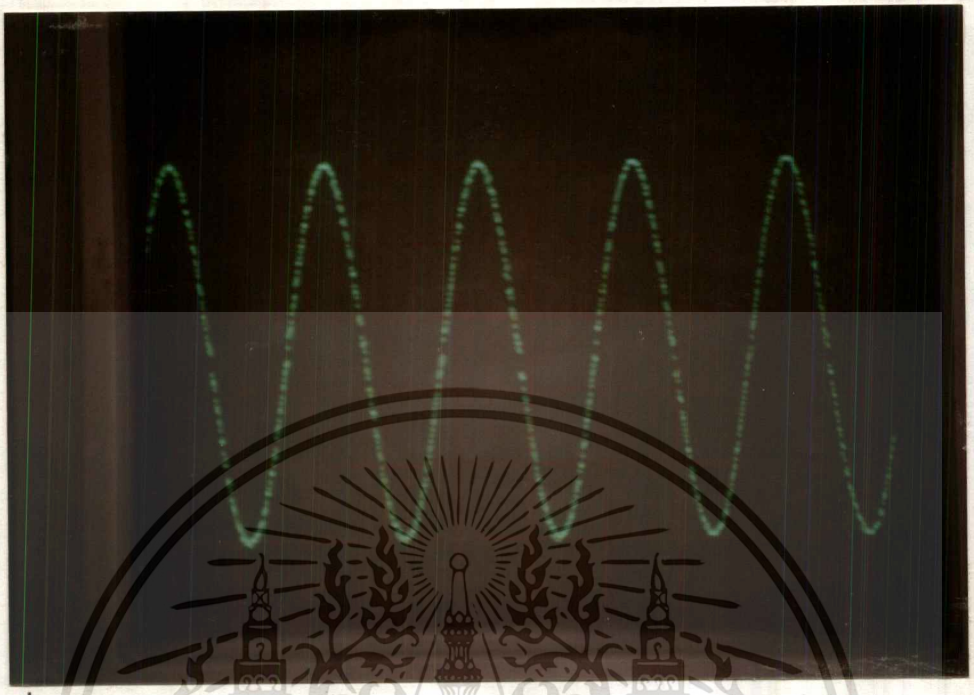
1 Volt / div , 0.2 µS

รูปที่ 7.5 แสดงสัญญาณนาฬิกาที่จ่ายให้วงจรกำหนดค่าชี้ตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. สัญญาณเอาท์พุท จากวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

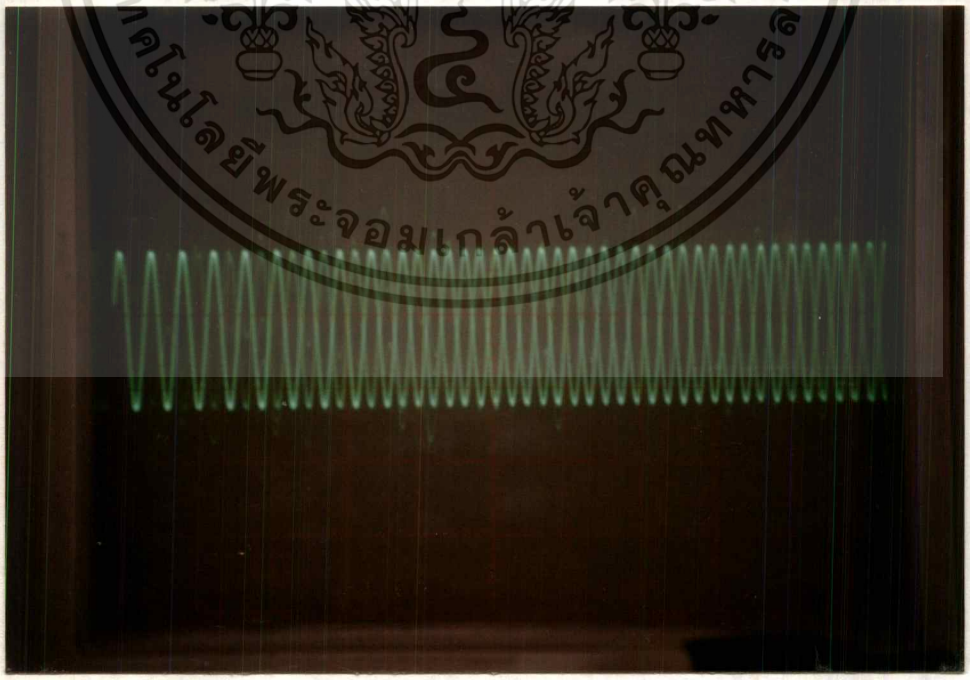
2 Volt / div , 50 μS



รูปที่ 7.6 แสดงสัญญาณเอาท์พุทจากวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

6. สัญญาณ QPSK ผ่านวงจรกรองความถี่ต่ำ

2 Volt / div , 50 μS

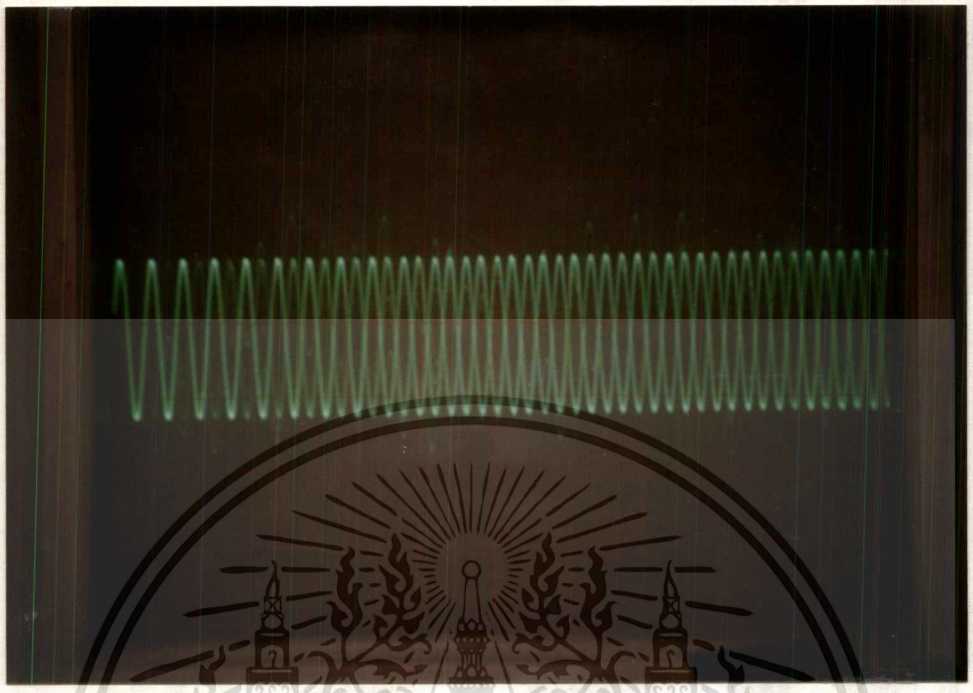


รูปที่ 7.7 แสดงสัญญาณ QPSK ผ่านวงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

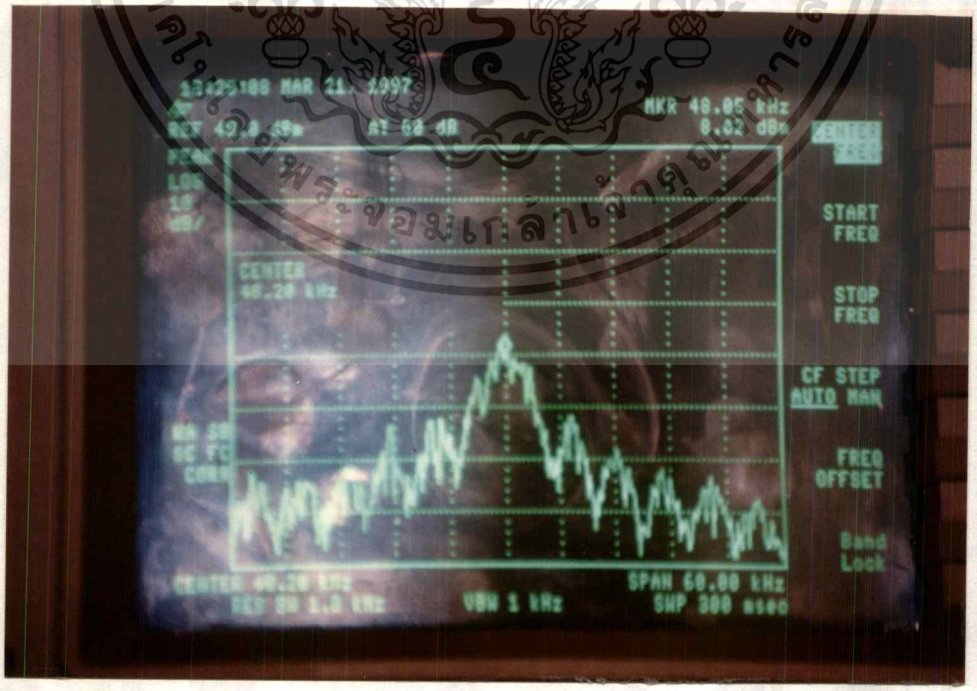
7. สัญญาณเอาท์พุทผ่านวงจรขยายกำลัง

2 Volt / div , 50 μS



รูปที่ 7.8 แสดงสัญญาณ QPSK ผ่านวงจรขยายกำลัง

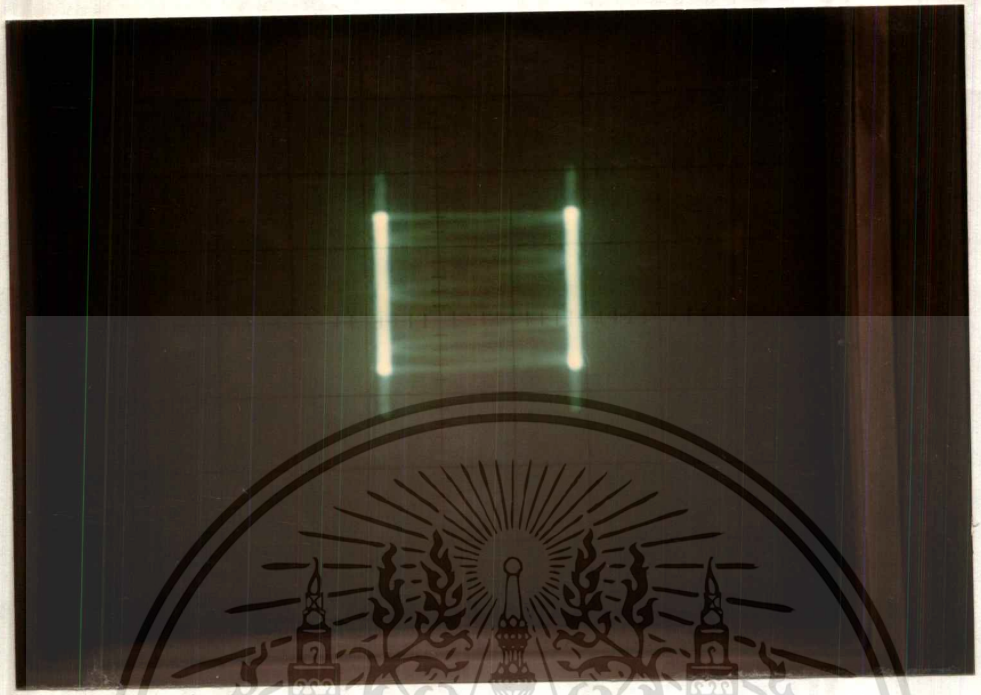
8. สัญญาณเอาท์พุทจากภาคส่ง วัดโดยสเปคตรัม



รูปที่ 7.9 แสดงสเปคตรัมสัญญาณ QPSK ของโครงงานนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. แสดงการวัด เวคเตอร์ ของ สัญญาณ QPSK



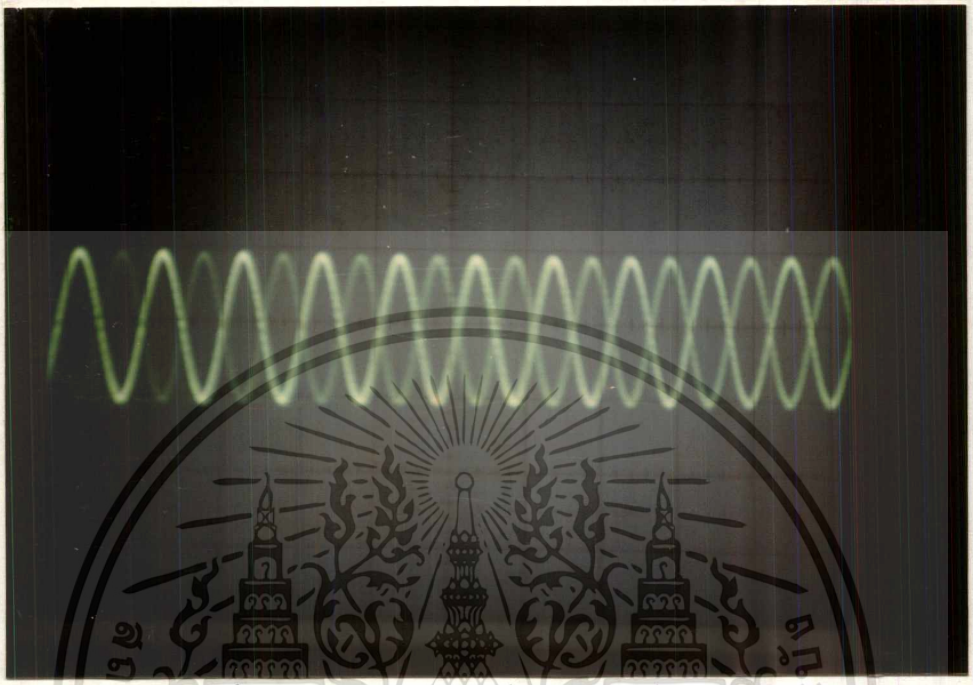
รูปที่ 7.10 แสดง Vector Diagram ที่วัดได้จากวงจรจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองทางด้านภาครับ

1. รูปสัญญาณที่รับได้จากเครื่องส่ง

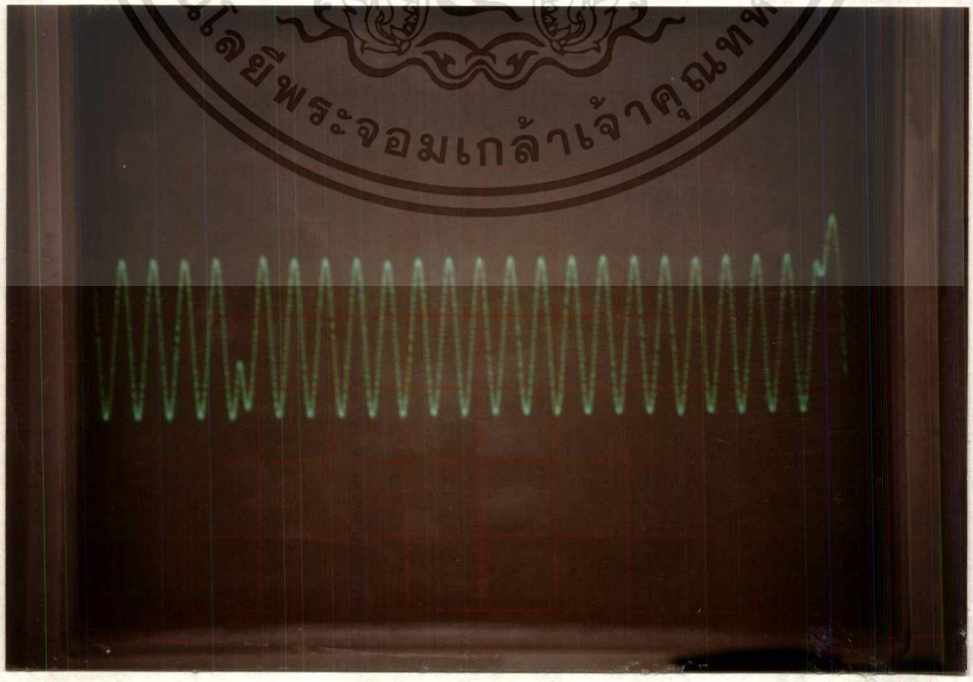
สเกล 2 volt/div , 50uS.



รูปที่ 7.11 แสดงสัญญาณที่ได้จากภาคส่ง

2.รูปสัญญาณที่ผ่านวงจรกรองความถี่

สเกล 2 volt/div , 5 uS.

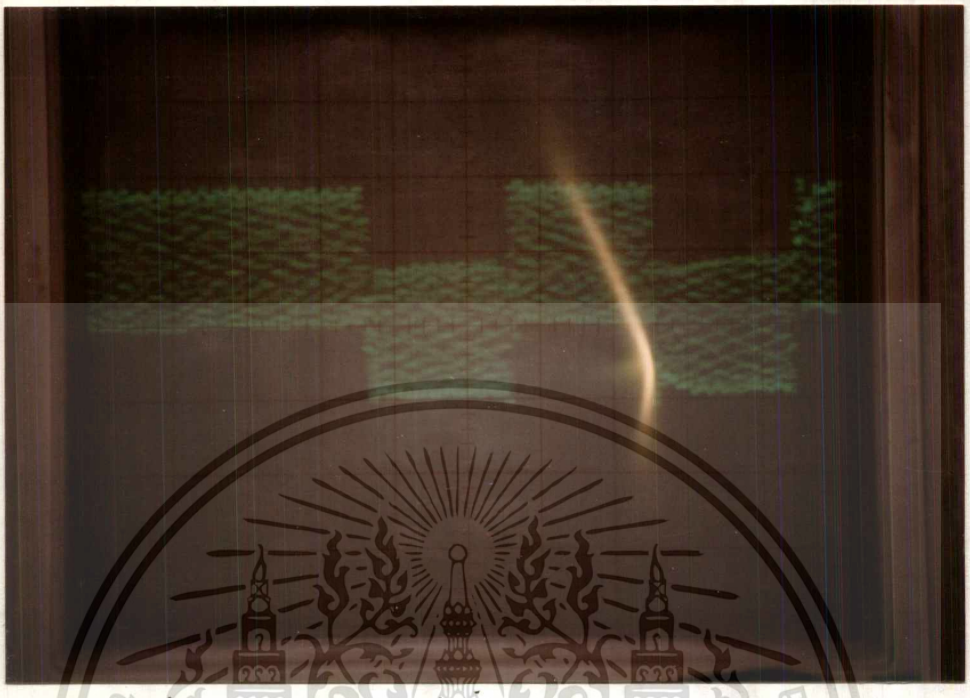


รูปที่ 7.12 แสดงสัญญาณที่ผ่านวงจรกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.รูปสัญญาณที่ผ่านวงจรดีมอดทางด้าน I

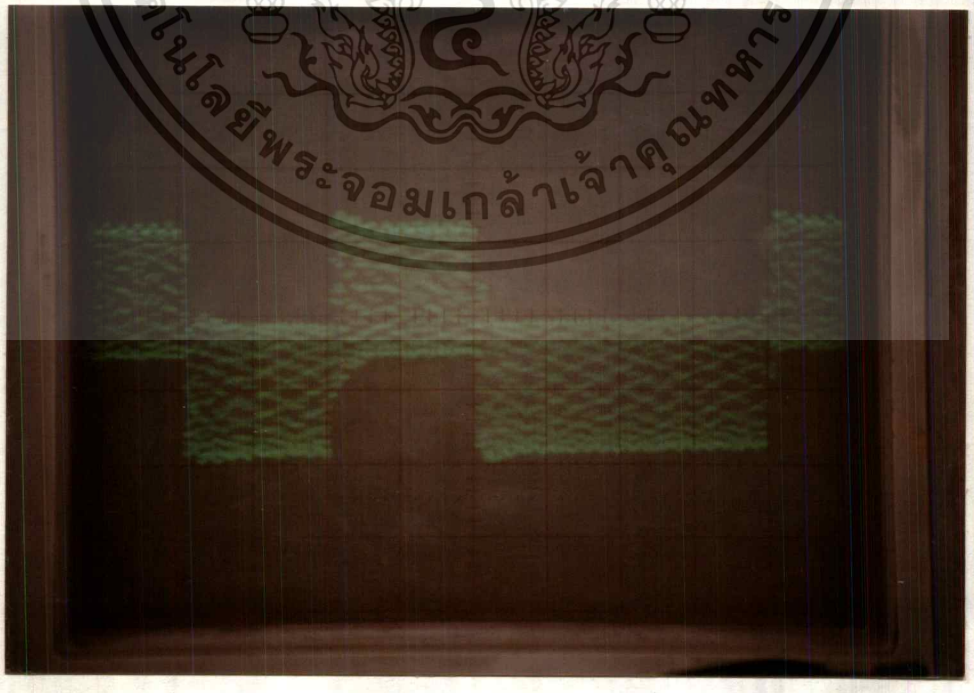
สเกล 2 volt/div , 50 uS.



รูปที่ 7.13 แสดงสัญญาณที่ผ่านวงจรดีมอดทางด้าน I

4.รูปสัญญาณที่ดีมอดได้ทางด้าน Q

สเกล 2 volt/div , 50uS.

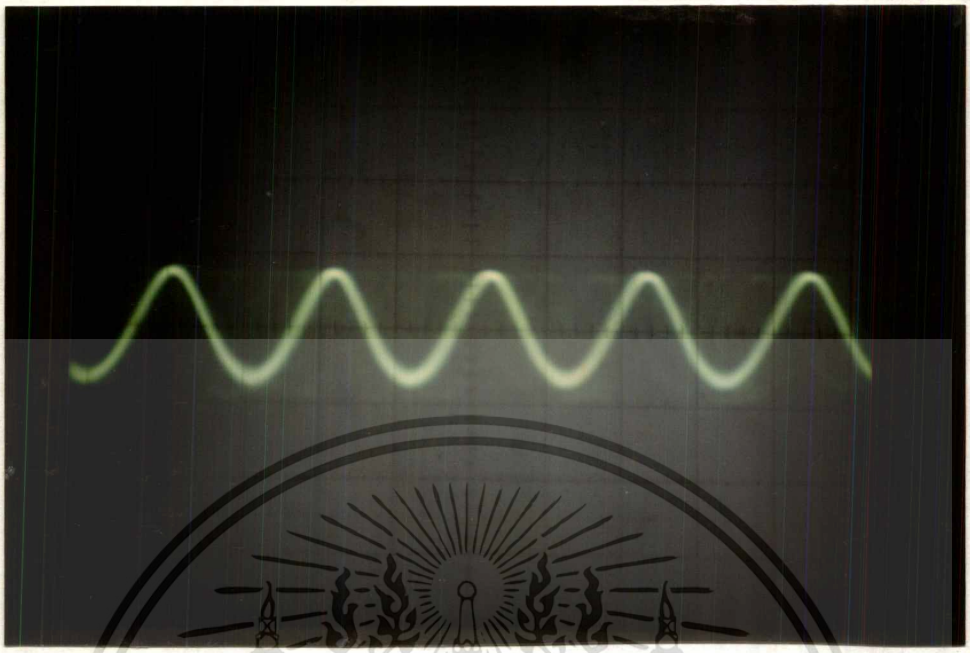


รูปที่ 7.14 แสดงสัญญาณที่ผ่านวงจรดีมอดทางด้าน Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.รูปสัญญาณที่ได้จากการกู้สัญญาณ carrier ที่ผ่านวงจรยกกำลังสอง

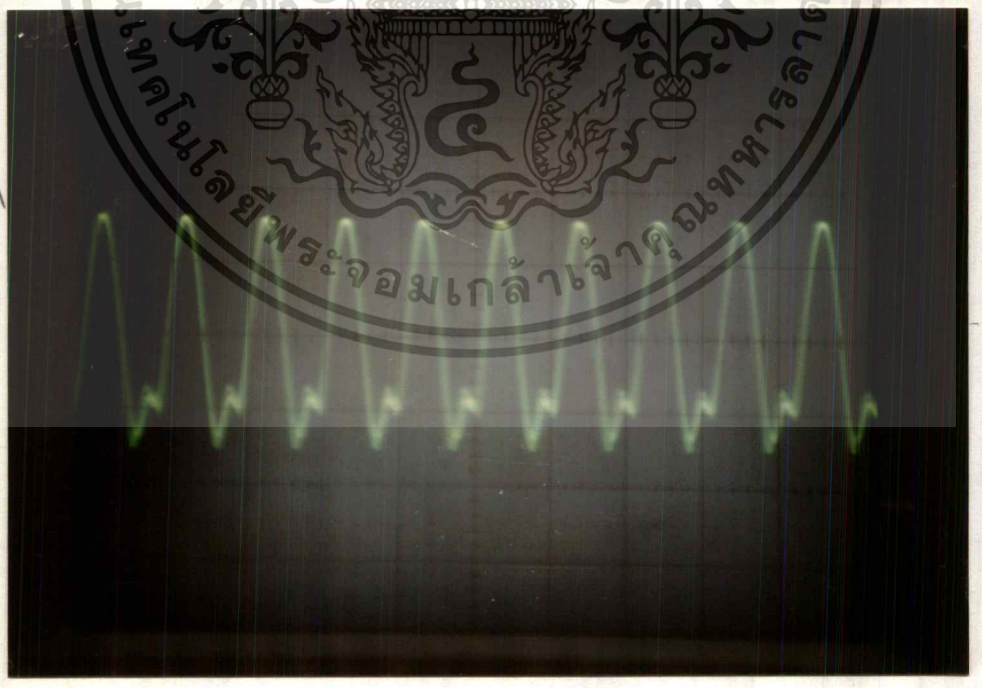
สเกล 2 volt/div , 5uS.



รูปที่ 7.15 แสดงสัญญาณที่ได้จากการกู้ carrier ที่ผ่านวงจรยกกำลังสอง

6.รูปสัญญาณ carrier ที่ผ่านวงจรยกกำลังสี่

สเกล 1 volt/div , 5uS.

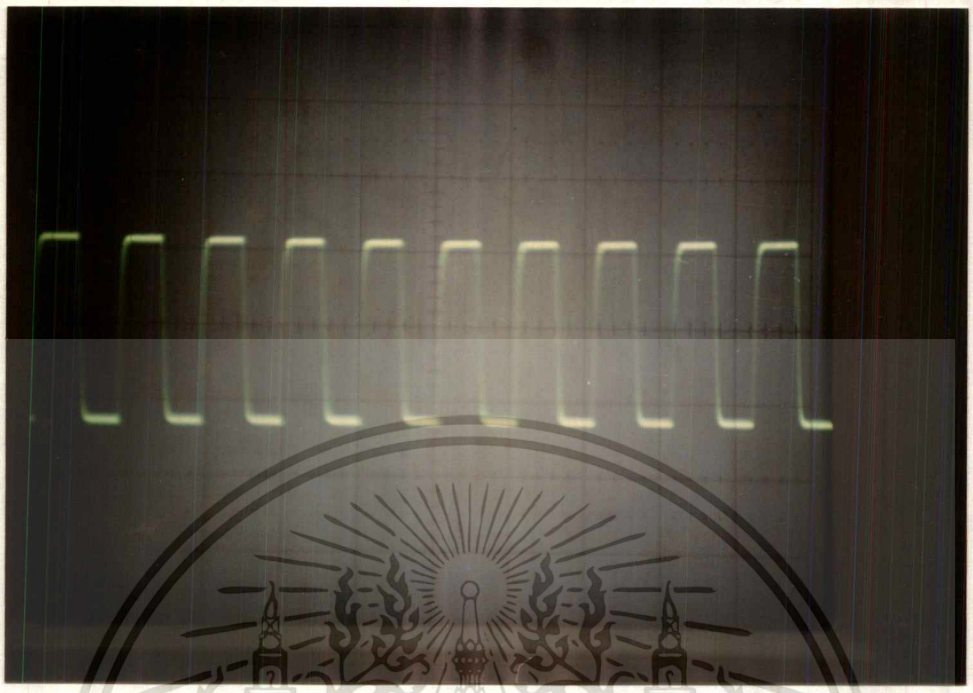


รูปที่ 7.16 แสดงสัญญาณที่ได้จากวงจรยกกำลังสี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.รูปสัญญาณ carrier ที่ผ่านวงจรเฟสล็อกลูปแล้ว

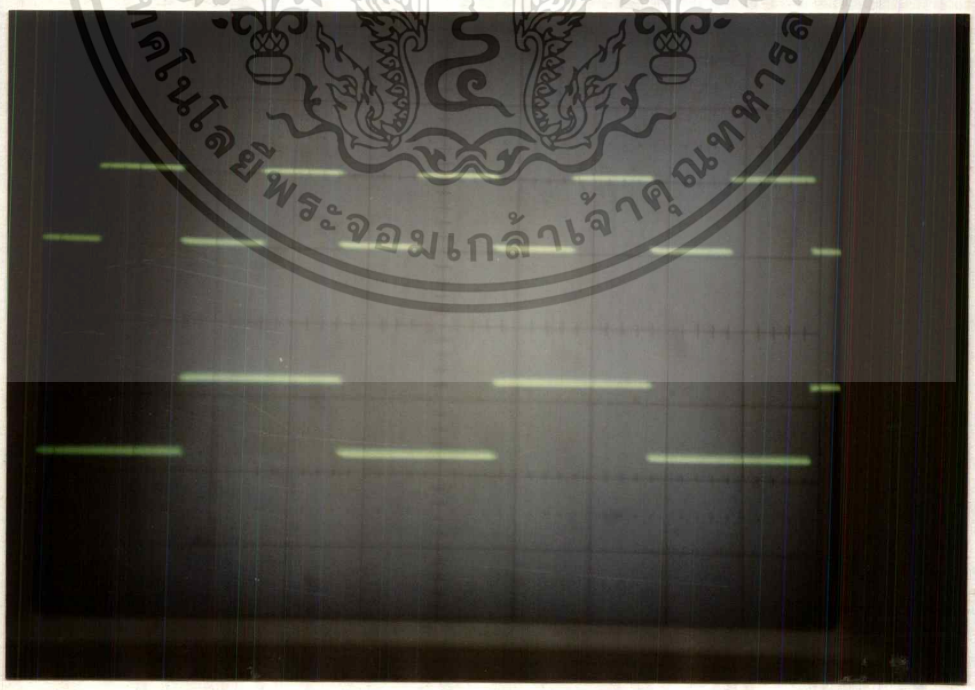
สเกล 2 volt/div , 20uS.



รูปที่ 7.17 แสดงสัญญาณ carrier ที่ผ่านวงจรเฟสล็อกลูปแล้ว

8.รูปสัญญาณ clock ของวงจรอินทิเกรทแอนด์ดัมพ์และวงจรรวมบิทที่กู้มาได้

สเกล 5 volt/div , 50uS.

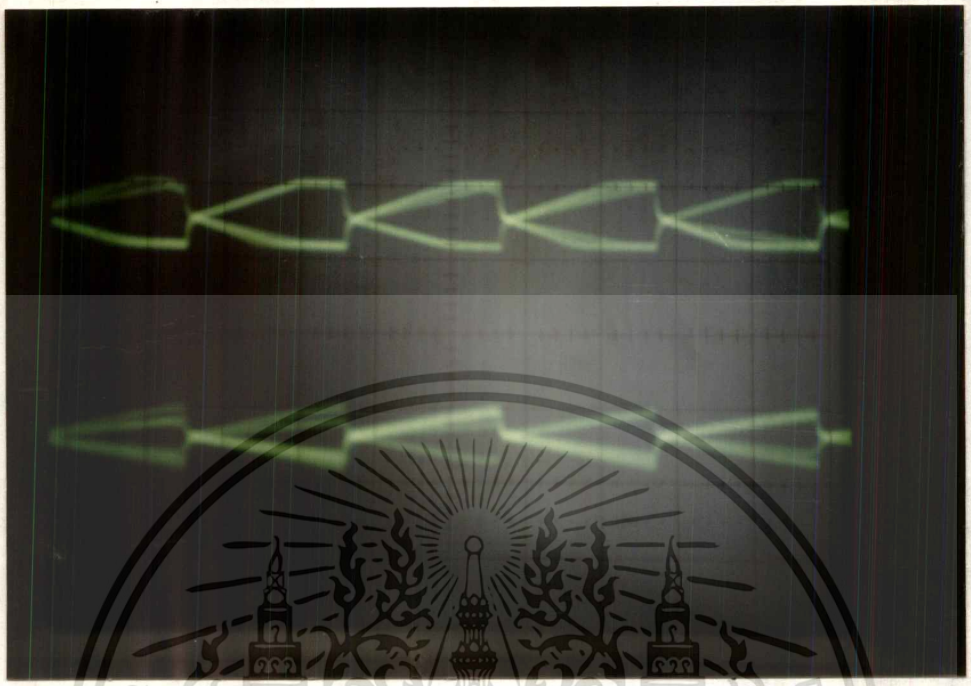


รูปที่ 7.18 แสดงสัญญาณนาฬิกาของวงจรอินทิเกรทแอนด์ดัมพ์และวงจรรวมบิทที่กู้มาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9.รูปสัญญาณที่ผ่านวงจรอินทิเกรทแอนด์ดัมพ์

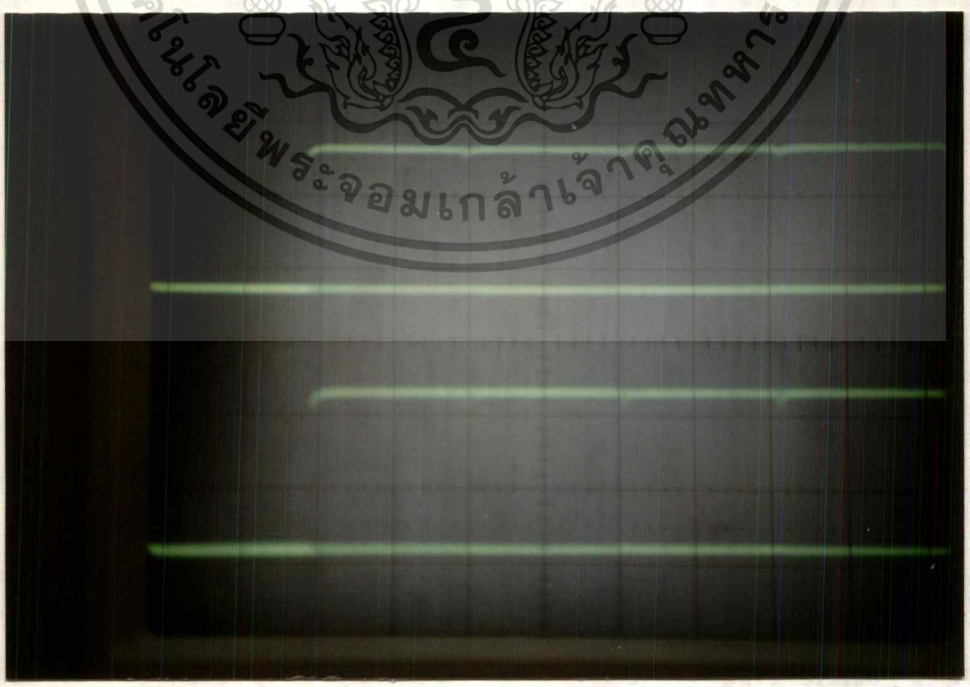
สเกล 5 volt/div , 50uS.



รูปที่ 7.19 แสดงสัญญาณที่ผ่านวงจรอินทิเกรทแอนด์ดัมพ์

10.รูปสัญญาณก่อนจะเข้าวงจรรวมบิท

สเกล 2 volt/div , 50uS.

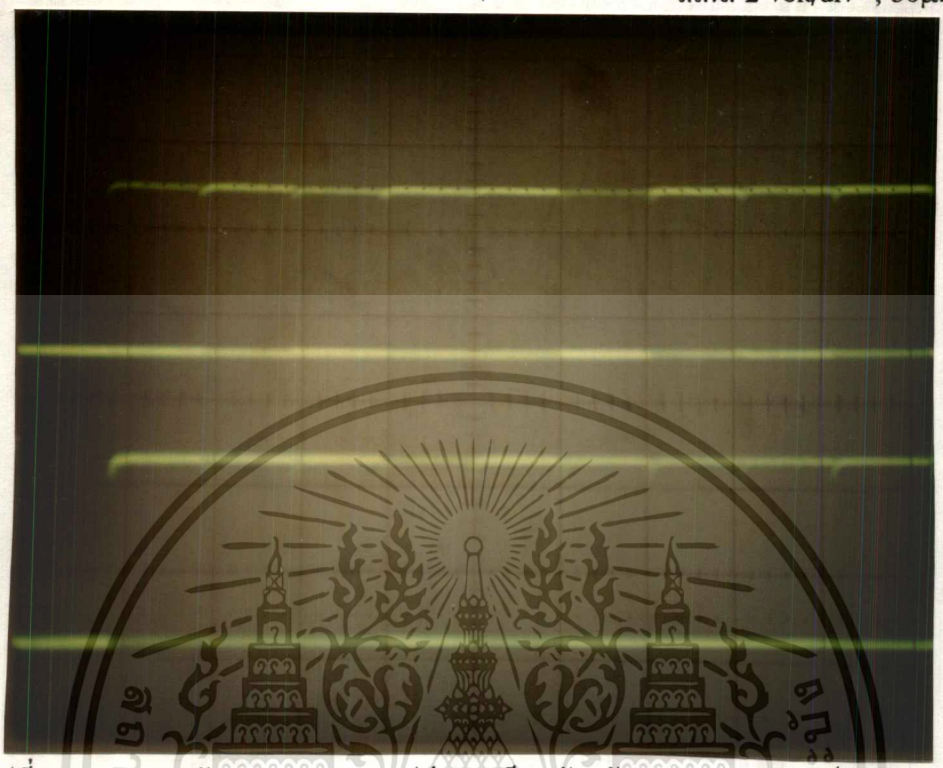


รูปที่ 7.20 แสดงสัญญาณก่อนจะเข้าวงจรรวมบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11.รูปสัญญาณเปรียบเทียบระหว่าง สัญญาณ input รูปล่างและสัญญาณ output รูปบน

สเกล 2 volt/div , 50μS.



รูปที่ 7.21 แสดงสัญญาณ input (รูปล่าง) เทียบกับ สัญญาณ output (รูปบน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

สรุปผลการทดลอง และข้อเสนอแนะ

ผลการทดลองที่ได้จากโครงงานนี้ สัญญาณ QPSK ที่ได้ ไม่อาจจะสมบูรณ์ 100% แต่ก็พอที่ยอมรับและภาครับสามารถดีเทคได้สำหรับการสร้าง CARRIER โดยวิธีสังเคราะห์สัญญาณดิจิตอลนี้ จำเป็นที่จะต้องมีสัญญาณสุ่มค่าซึ่งเป็นความที่สูงอาจจะสร้างได้จากคริสตอล ซึ่งให้ค่าที่คงที่และค่อนข้างเที่ยงตรงสูง

ตัวอย่างเช่นโครงงานนี้ใช้ความถี่ 9.83 MHz ได้สัญญาณ CARRIER ที่ 48 KHz ซึ่งอาจจะทำให้สูงขึ้นได้โดยการลดค่าความละเอียดของสัญญาณลง แต่ขณะเดียวกันก็ต้องคำนวณค่าไม่ให้สัญญาณผิดเพี้ยนไปได้จากการสร้างโครงงานพบว่าตัวเครื่องของโมเด็มเองจะยังมีขนาดใหญ่จุดประสงค์ของเราคือต้องการลดอุปกรณ์ให้มีขนาดเล็กลงเท่าที่จะทำได้ซึ่งต้องอาศัยความรู้เพิ่มเติมเพื่อทำการออกแบบวงจรให้มีขนาดเล็กลงอย่างไรก็ตามโครงงานนี้เป็นการนำเสนออีกวิธีหนึ่งในการสร้างสัญญาณ QPSK

ข้อเสนอแนะ

สำหรับการออกแบบ QPSK โมเด็ม 64 Kbps ที่ carrier 27 MHz โดยใช้ความละเอียด 16 จุด ต่อ 1สัญญาณ carrier ดังนั้นเราจำเป็นต้องใช้สัญญาณสุ่มที่ 16 * 27 MHz ซึ่งเท่ากับ 432 MHzแล้วกำหนดค่า Lookup table ใหม่ เราก็จะได้ QPSK MODEM 64 Kbps ที่ carrier ที่ 27 MHz เป็นผลให้อุปกรณ์ที่ใช้มีขนาดเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

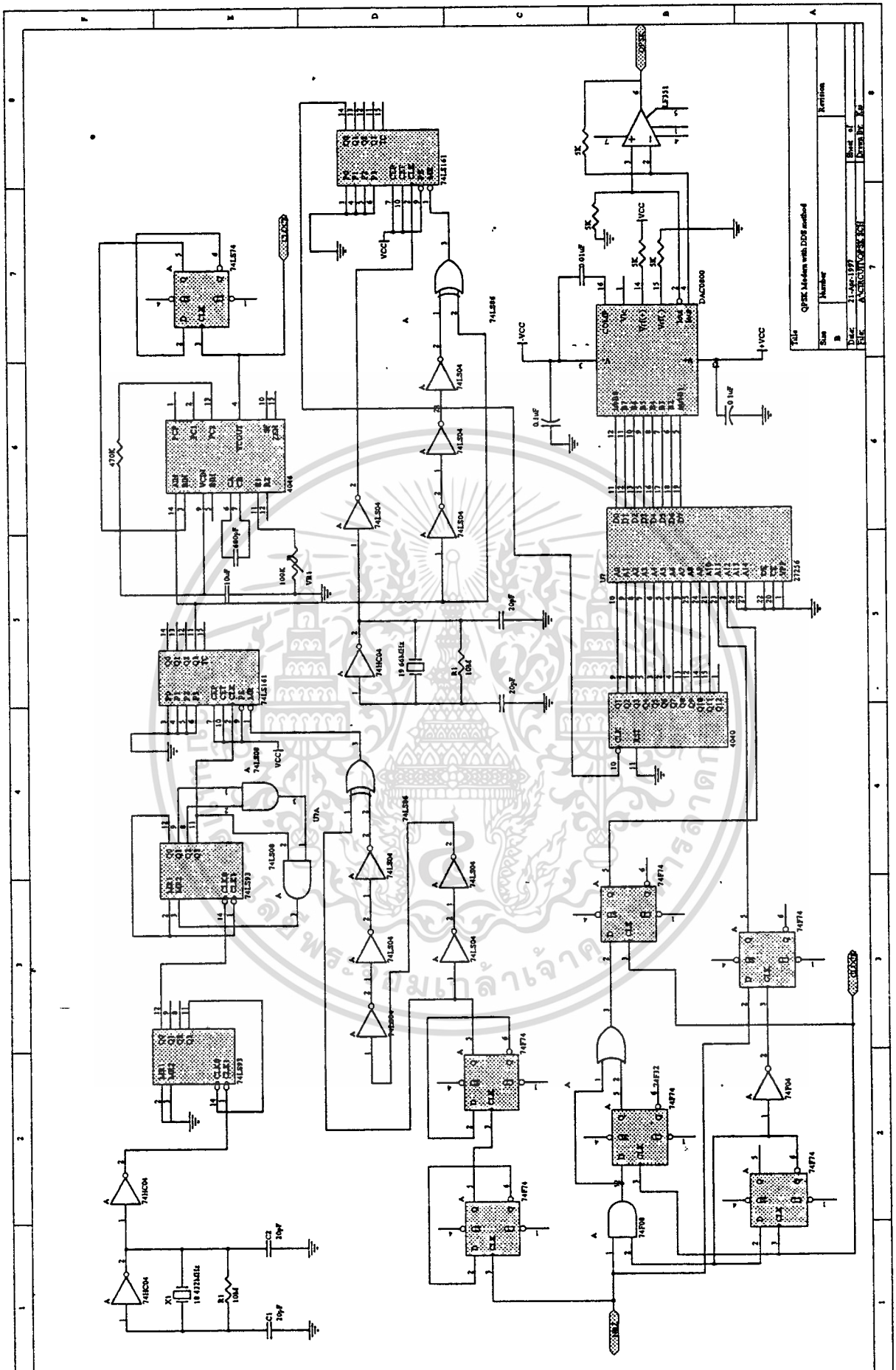
1. JACK SMITH ., "modern Communication Circuit" , McGraw - Hill , 1982
2. JOHN L. Hilburn and DAVID E.JOHNSON ., "MANUAL OF ACTIVE FILTER DESIGN" , McGraw - HILL, inc., 1973
3. KAMILO FEHER., "DIGITAL COMMUNICATIONS" , Prentice - Hall,1992.
4. RAMAKANT A. GAYAKWAD., "OP - AMP AND LINEAR INTEGRATE CIRCUIT' Prentice - Hall, 1988.
5. กฤดากร กล่อมการ ., "การออกแบบระบบส่งข้อมูลในช่องสัญญาณการกระจายเสียงแบบ FM",วิทยานิพนธ์วิศวกรรมศาสตร์มหาบัณฑิต สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , พ.ศ. 2536
6. โคทม อารียา ., "วงจรอิเล็คทรอนิกส์ เล่ม 2" , ซีเอ็ดยูเคชั่น , พ.ศ. 2532.
7. บัณฑิต โรจน์อารยานนท์ ., "หลักการไฟฟ้าสื่อสาร" , สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย , พ.ศ. 2532

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

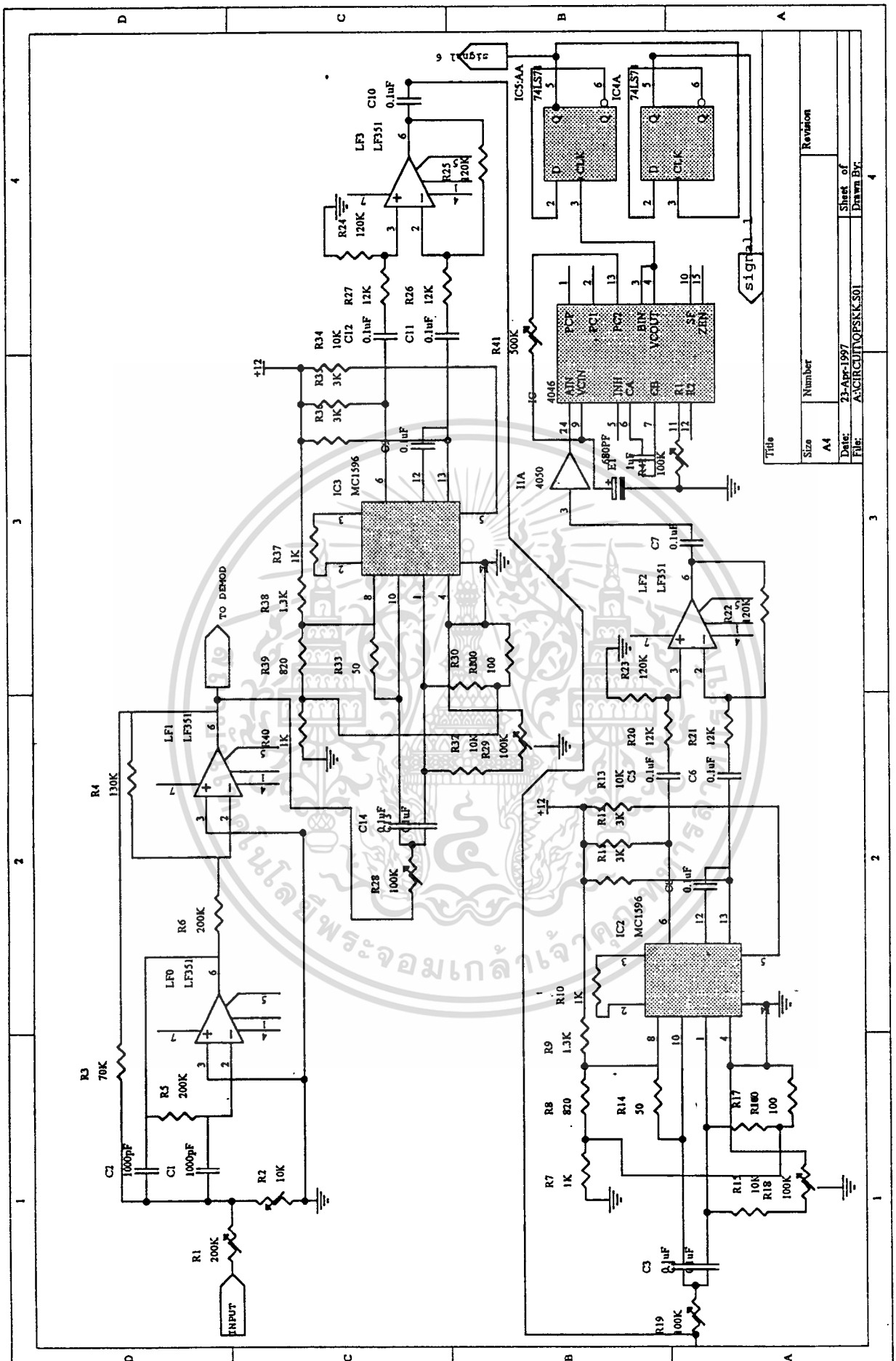
วงจรรวมภาคส่งและภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



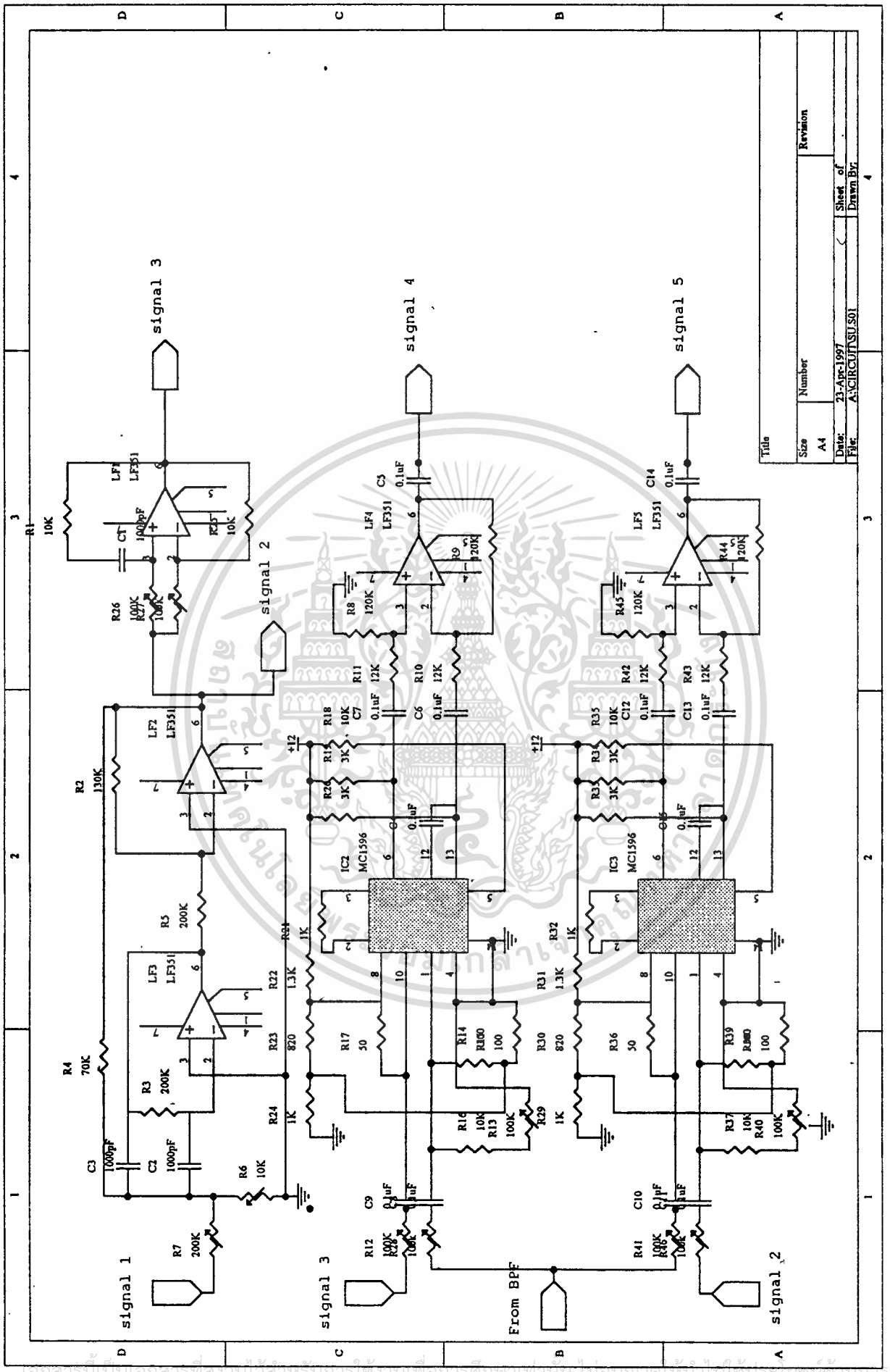
วงจรรวมภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



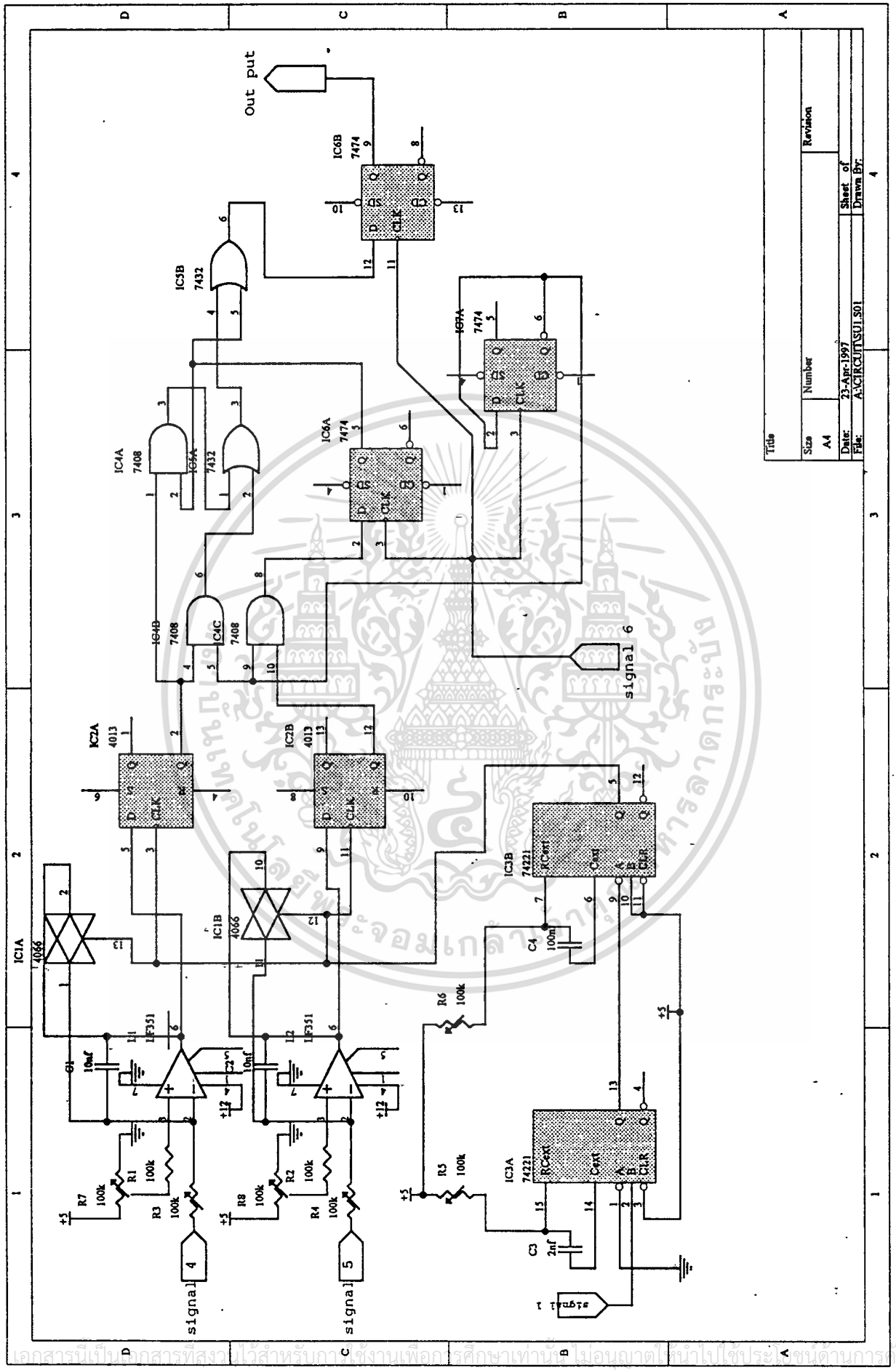
วงจรรวมภาครับ ส่วนที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



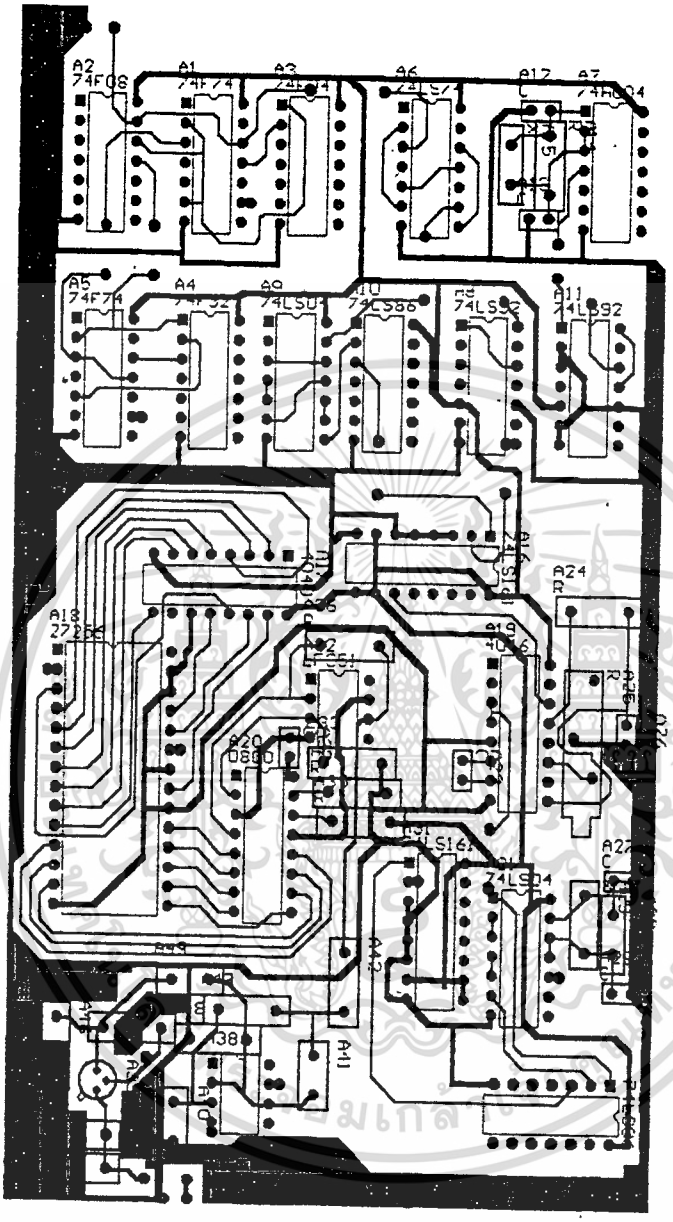
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรวมภาครับ ส่วนที่ 2



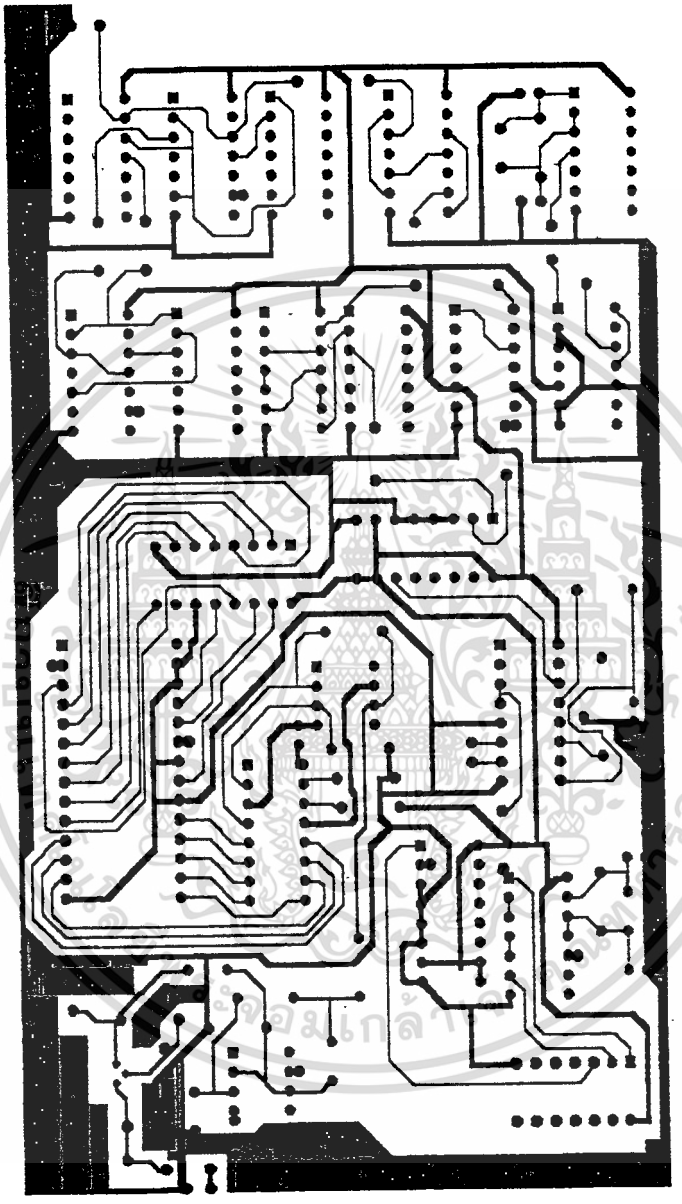
วงจรรวมภาครับ ส่วนที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



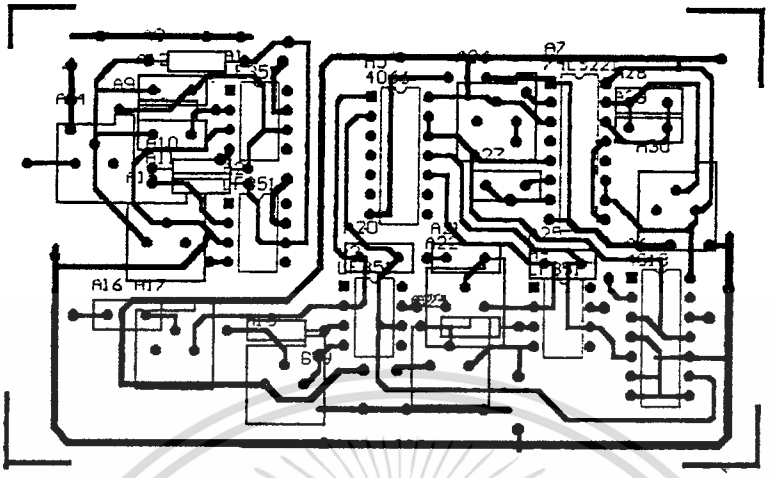
รูป การวางอุปกรณ์ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

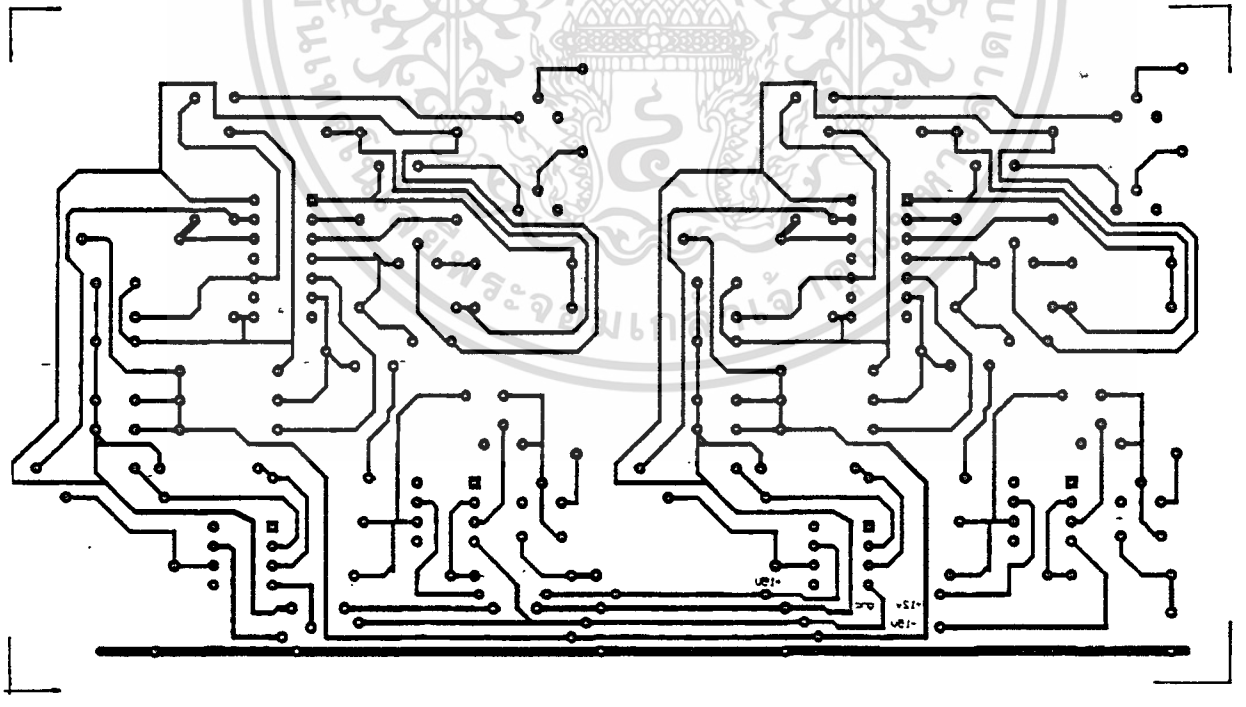


รูปลายปรินส์ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

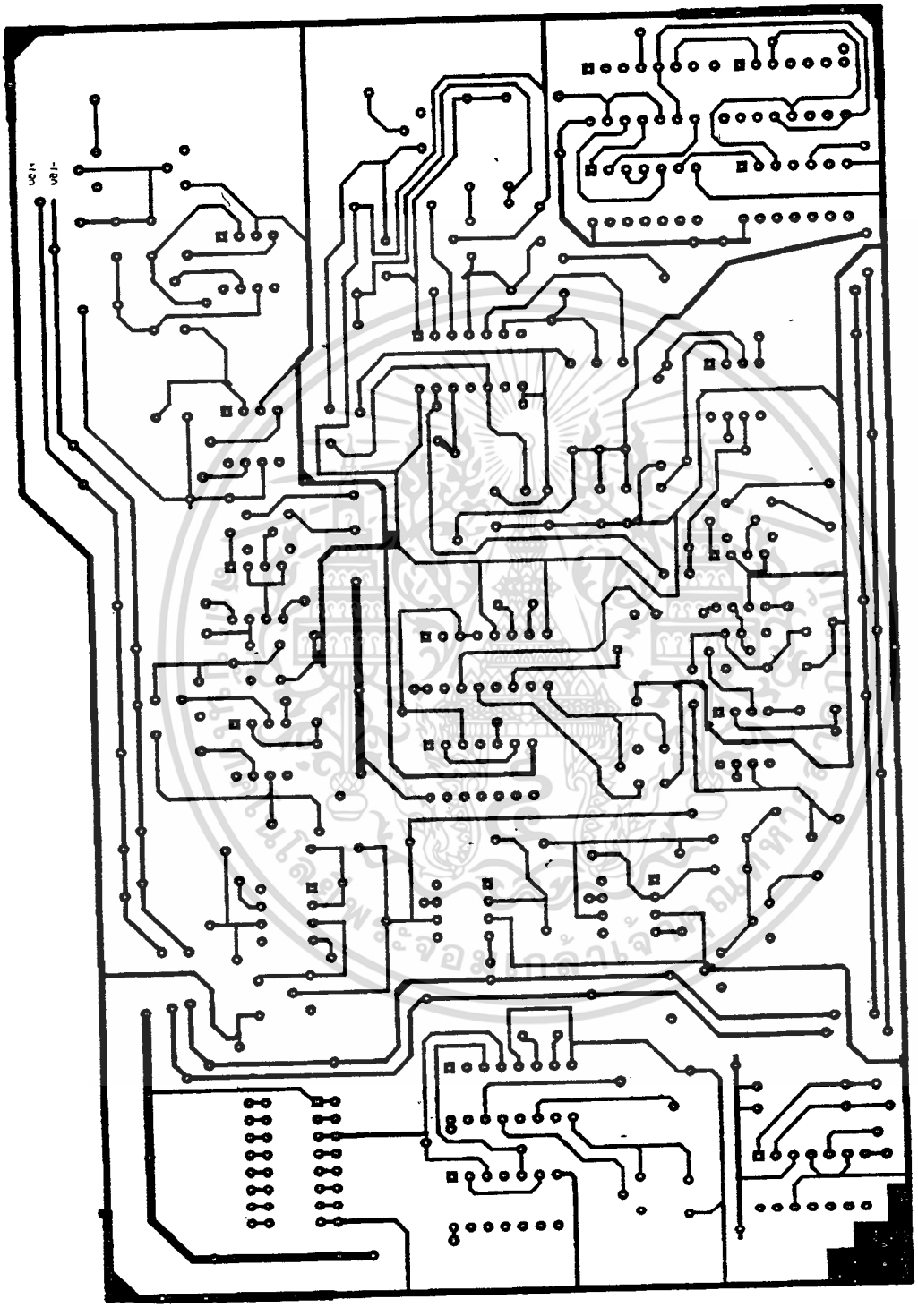


รูปลายปรินส์วงจรอินทิเกรทแอนด์คัมพ์



รูปลายปรินส์วงจรดีมอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปลายปรินส์ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.
เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

November 1995

CD4046BM/CD4046BC Micropower Phase-Locked Loop

General Description

The CD4046B micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin $C1_A$, $C1_B$, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

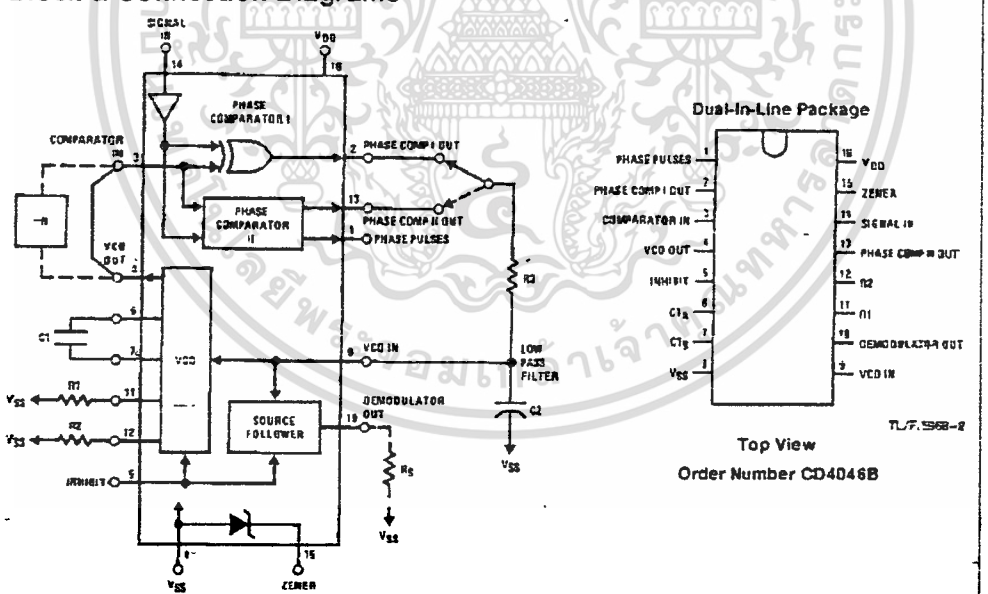
Features

■ Wide supply voltage range	3.0V to 18V
■ Low dynamic power consumption	70 μW (typ.) at f_o = 10 kHz, V_{DD} = 5V
■ VCO frequency	1.3 MHz (typ.) at V_{DD} = 10V
■ Low frequency drift with temperature	0.06%/°C at V_{DD} = 10V
■ High VCO linearity	1% (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

Block & Connection Diagrams



TL/F/5968–1

FIGURE 1

©1995 National Semiconductor Corporation TL/F/5968

RRD-B30M115/Printed in U.S.A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

DC Supply Voltage (V_{DD})	-0.5 to ∓ 18 V_{DC}
Input Voltage (V_{IN})	-0.5 to V_{DD} ∓ 0.5 V_{DC}
Storage Temperature Range (T_S)	$-65°C$ to $+150°C$
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	3 to 15 V_{DC}
Input Voltage (V_{IN})	0 to V_{DD} V_{DC}
Operating Temperature Range (T_A)	
CD4046BM	$-55°C$ to $\mp 125°C$
CD4046BC	$-40°C$ to $\mp 85°C$

DC Electrical Characteristics CD4046BM (Note 2)

Symbol	Parameter	Conditions	−55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	Pin 5 = V_{DD}, Pin 14 = V_{DD}, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		5		0.005	5		150	μA
		V_{DD} = 10V		10		0.01	10		300	μA
		V_{DD} = 15V		20		0.015	20		600	μA
		Pin 5 = V_{DD}, Pin 14 = Open, Pin 3, 2 = V_{SS}								
		V_{DD} = 5V		45		5	35		185	μA
		V_{DD} = 10V		450		20	350		650	μA
		V_{DD} = 15V		1200		50	900		1500	μA
V_{OL}	Low Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	V
V_{IH}	High Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	Low Level Output Current (Note 4)	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 4)	V_{DD} = 5V, V_O = 4.6V	−0.64		−0.51	−0.88		−0.36		mA
		V_{DD} = 10V, V_O = 9.5V	−1.6		−1.3	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−4.2		−3.4	−8.8		−2.4		mA
I_{IN}	Input Current	All Inputs Except Signal Input								
		V_{DD} = 14V, V_{IN} = 0V		−0.1		-10^{-5}	−0.1		−1.0	μA
		V_{DD} = 15V, V_{IN} = 15V		0.1		10^{-5}	0.1		1.0	μA
C_{IN}	Input Capacitance	Any Input (Note 3)							7.5	pF
P_T	Total Power Dissipation	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, VCO_{IN} = $V_{DD}/2$								
		V_{DD} = 5V				0.07				mW
		V_{DD} = 10V				0.6				mW
		V_{DD} = 15V				2.4				mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics CD4046BC (Note 2)

Symbol	Parameter	Conditions	−40°C		∓25°C			∓85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	Pin 5 = V_{DD}, Pin 14 = V_{DD}, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		20		0.005	20		150	µA
		V_{DD} = 10V		40		0.01	40		300	µA
		V_{DD} = 15V		80		0.015	80		600	µA
		Pin 5 = V_{DD}, Pin 14 = Open, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		70		5	55		205	µA
		V_{DD} = 10V		530		20	410		710	µA
		V_{DD} = 15V		1500		50	1200		1800	µA
V_{OL}	Low Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	V
V_{IH}	High Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	Low Level Output Current (Note 4)	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 4)	V_{DD} = 5V, V_O = 4.6V	−0.52		−0.44	−0.88		−0.36		mA
		V_{DD} = 10V, V_O = 9.5V	−1.3		−1.1	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−3.6		−3.0	−8.8		−2.4		mA
I_{IN}	Input Current	All Inputs Except Signal Input								
		V_{DD} = 15V, V_{IN} = 0V		−0.3		-10^{-5}	−0.3		−1.0	µA
		V_{DD} = 15V, V_{IN} = 15V		0.3		10^{-5}	0.3		1.0	µA
C_{IN}	Input Capacitance	Any Input (Note 3)					7.5			pF
P_T	Total Power Dissipation	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, VCO_{IN} = V_{DD}/2								
		V_{DD} = 5V				0.07				mW
		V_{DD} = 10V				0.6				mW
		V_{DD} = 15V				2.4				mW

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

Note 3: Capacitance is guaranteed by periodic testing.

Note 4: I_{OH} and I_{OL} are tested one output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics* CD4046BM/CD4046BC T_A = 25°C, C_L = 50 pF

Symbol	Parameter	Conditions	Min	Typ	Max	Units
VCO SECTION						
I_{DD}	Operating Current	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, VCO_{IN} = V_{DD}/2				
		V_{DD} = 5V		20		μA
		V_{DD} = 10V		90		μA
		V_{DD} = 15V		200		μA
f_{MAX}	Maximum Operating Frequency	C1 = 50 pF, R1 = 10 kΩ, R2 = ∞, VCO_{IN} = V_{DD}				
		V_{DD} = 5V	0.4	0.8		MHz
		V_{DD} = 10V	0.6	1.2		MHz
		V_{DD} = 15V	1.0	1.6		MHz
	Linearity	VCO_{IN} = 2.5V ±0.3V, R1 > 10 kΩ, V_{DD} = 5V		1		%
		VCO_{IN} = 5V ±2.5V, R1 > 400 kΩ, V_{DD} = 10V		1		%
		VCO_{IN} = 7.5V ±5V, R1 > 1 MΩ, V_{DD} = 15V		1		%
	Temperature-Frequency Stability No Frequency Offset, f_{MIN} = 0	%/°C = 1/f, V_{DD} R2 = ∞				
		V_{DD} = 5V		0.12–0.24		%/°C
		V_{DD} = 10V		0.04–0.08		%/°C
		V_{DD} = 15V		0.015–0.03		%/°C
	Frequency Offset, $f_{MIN} \neq 0$	V_{DD} = 5V		0.06–0.12		%/°C
		V_{DD} = 10V		0.05–0.1		%/°C
		V_{DD} = 15V		0.03–0.06		%/°C
VCO_{IN}	Input Resistance	V_{DD} = 5V		10^6		MΩ
		V_{DD} = 10V		10^6		MΩ
		V_{DD} = 15V		10^6		MΩ
VCO	Output Duty Cycle	V_{DD} = 5V		50		%
		V_{DD} = 10V		50		%
		V_{DD} = 15V		50		%
t_{THL}	VCO Output Transition Time	V_{DD} = 5V		90	200	ns
t_{THL}		V_{DD} = 10V		50	100	ns
		V_{DD} = 15V		45	80	ns

*AC Parameters are guaranteed by DC correlated testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

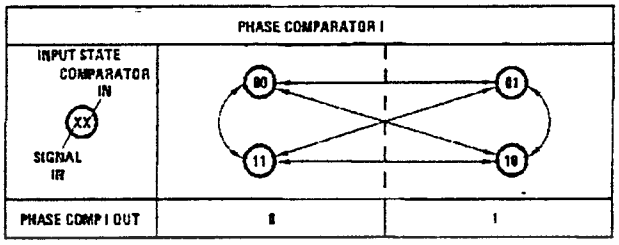
AC Electrical Characteristics* CD4046BM/CD4046BC T_A = 25°C, C_L = 50 pF (Continued)

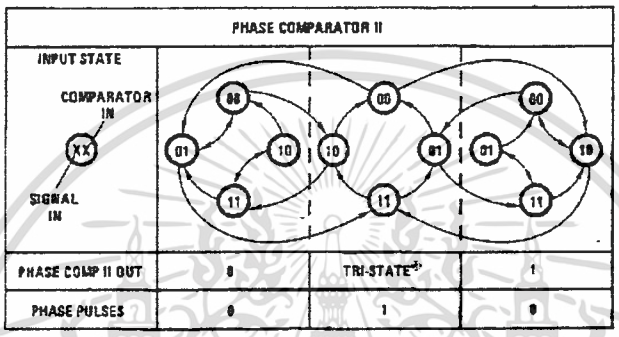
Symbol	Parameter	Conditions	Min	Typ	Max	Units
PHASE COMPARATORS SECTION						
R_{IN}	Input Resistance					
	Signal Input	V_{DD} = 5V	1	3		MΩ
		V_{DD} = 10V	0.2	0.7		MΩ
		V_{DD} = 15V	0.1	0.3		MΩ
	Comparator Input	V_{DD} = 5V		10^6		MΩ
		V_{DD} = 10V		10^6		MΩ
		V_{DD} = 15V		10^6		MΩ
	AC-Coupled Signal Input Voltage Sensitivity	C_{SERIES} = 1000 pF f = 50 kHz				
		V_{DD} = 5V		200	400	mV
		V_{DD} = 10V		400	800	mV
		V_{DD} = 15V		700	1400	mV
DEMODULATOR OUTPUT						
VCO_{IN} − V_{DEM}	Offset Voltage	RS > 10 kΩ, V_{DD} = 5V		1.50	2.2	V
		RS ≥ 10 kΩ, V_{DD} = 10V		1.50	2.2	V
		RS ≥ 50 kΩ, V_{DD} = 15V		1.50	2.2	V
	Linearity	RS ≤ 50 kΩ				
		VCO_{IN} = 2.5V ±0.3V, V_{DD} = 5V		0.1		%
		VCO_{IN} = 5V ±2.5V, V_{DD} = 10V		0.6		%
		VCO_{IN} = 7.5V ±5V, V_{DD} = 15V		0.8		%
ZENER DIODE						
V_Z	Zener Diode Voltage	I_Z = 50 μA	6.3	7.0	7.7	V
R_Z	Zener Dynamic Resistance	I_Z = 1 mA		100		Ω

*AC Parameters are guaranteed by DC correlated testing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase Comparator State Diagrams

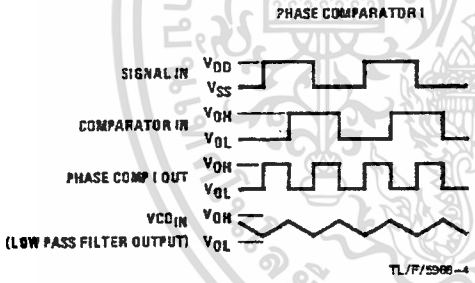




TL/F/5988–3

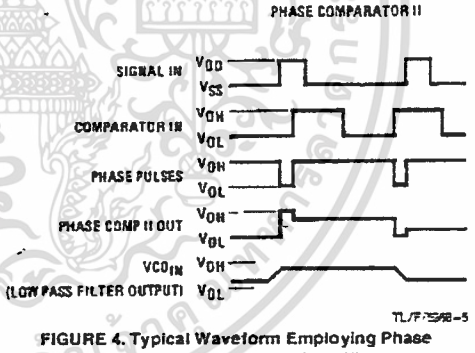
FIGURE 2

Typical Waveforms



TL/F/5988–4

FIGURE 3. Typical Waveform Employing Phase Comparator I in Locked Condition



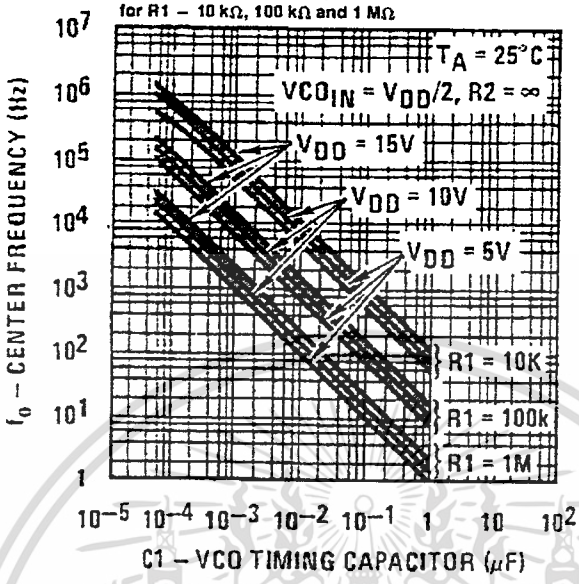
TL/F/5988–5

FIGURE 4. Typical Waveform Employing Phase Comparator II in Locked Condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

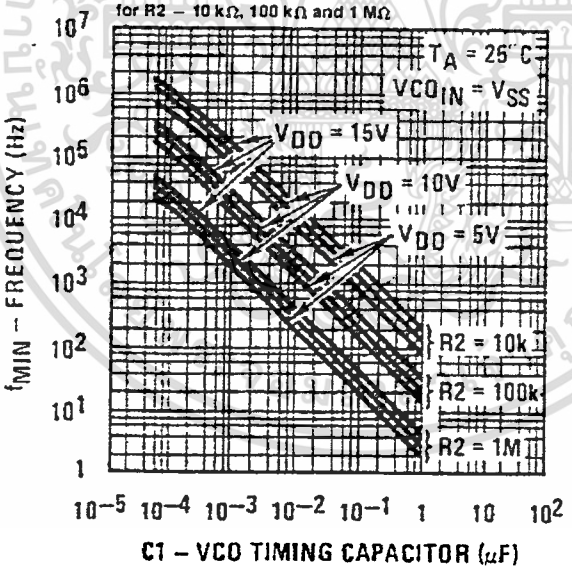
Typical Center Frequency vs C1
for R1 = 10 kΩ, 100 kΩ and 1 MΩ



TL/F/5968–5

FIGURE 5a

Typical Frequency vs C1
for R2 = 10 kΩ, 100 kΩ and 1 MΩ



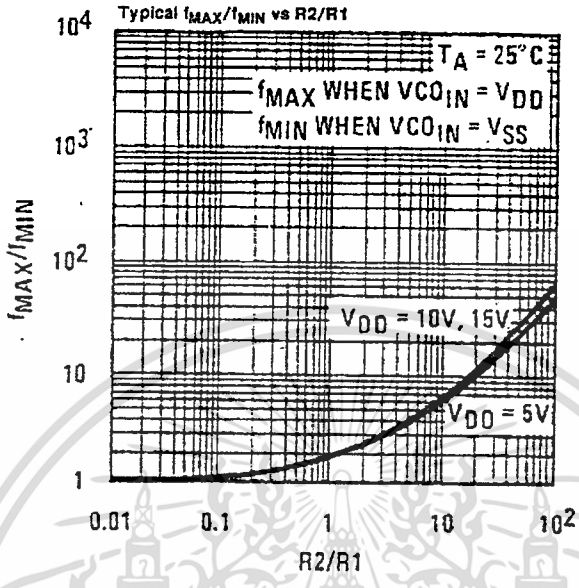
TL/F/5968–13

FIGURE 5b

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN})

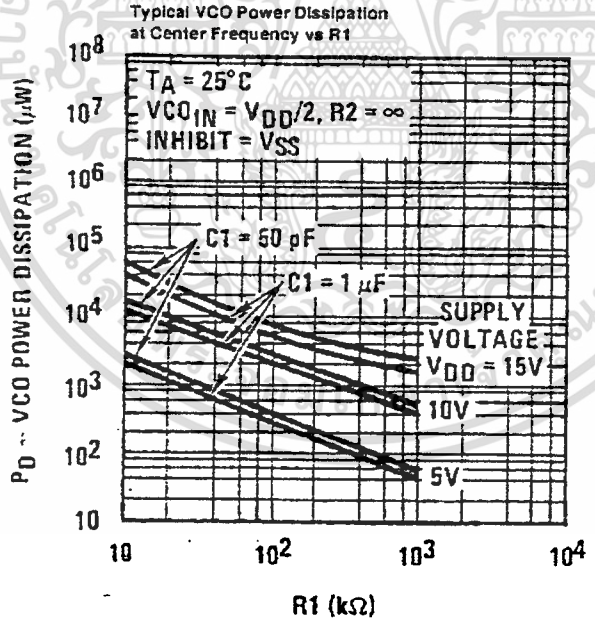
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)



TL/F/5968–14

FIGURE 5C



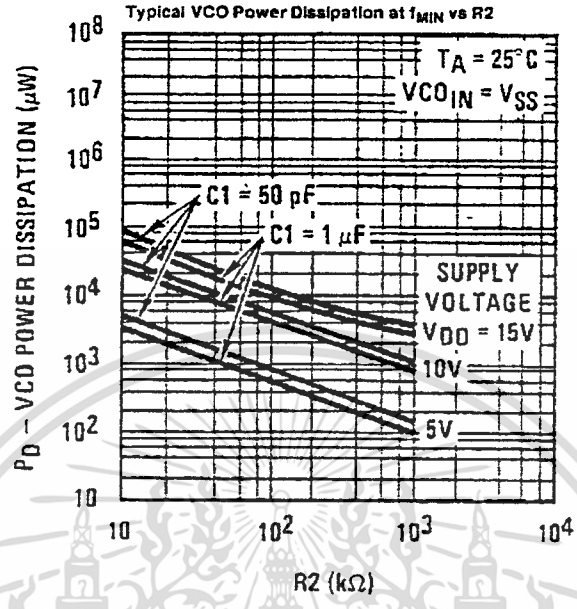
TL/F/5968–15

FIGURE 6a

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MAX}).

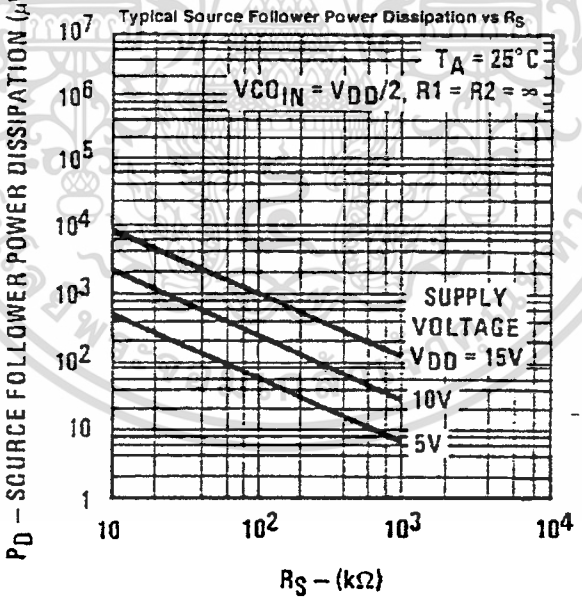
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)



TL/F/5968–16

FIGURE 6b



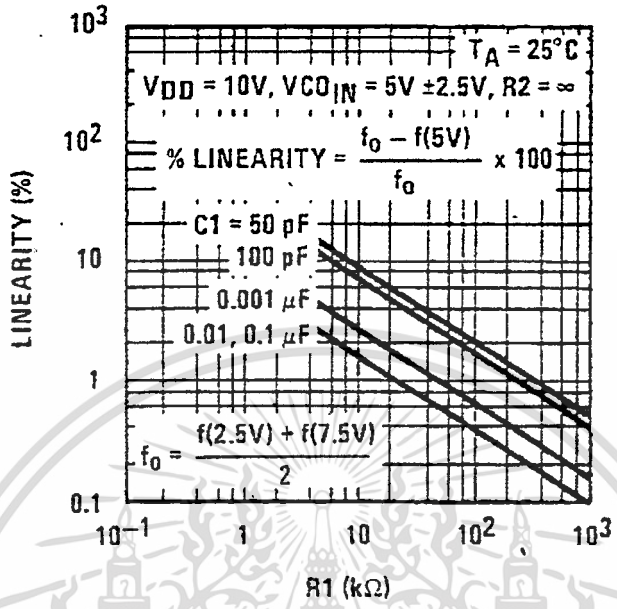
TL/F/5968–17

FIGURE 6c

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S), Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)



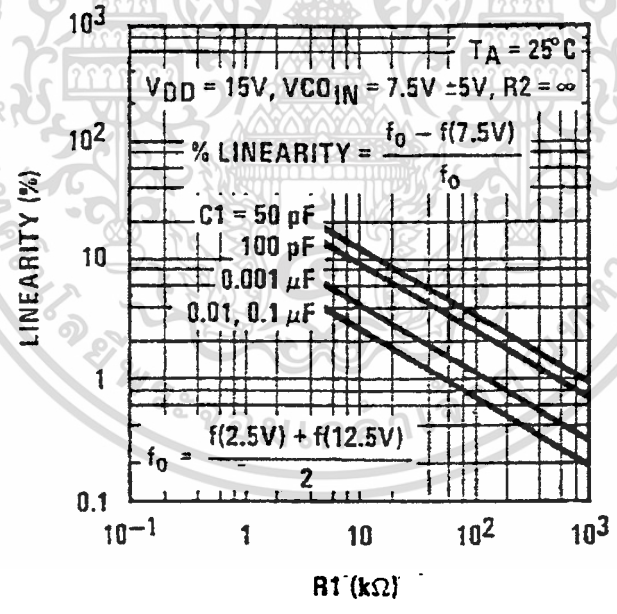


FIGURE 7. Typical VCO Linearity vs R1 and C1

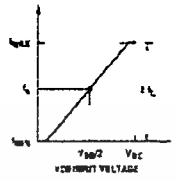
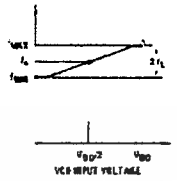
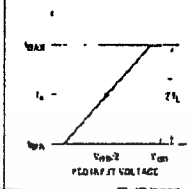
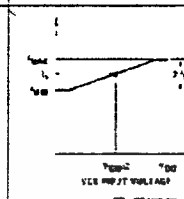
Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D First Phase Comparator II, P_D (Total) P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Information

This information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components must be within the following ranges: R1, R2 > 10 kΩ, R_S > 10 kΩ, C1 > 50 pF.

In addition to the given design information, refer to *Figure 5* for R1, R2 and C1 component selections.

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset R2 = ∞	VCO With Offset	VCO Without Offset R2 = ∞	VCO With Offset
VCO Frequency	 TL/F/5968–7	 TL/F/5968–8	 TL/F/5968–9	 TL/F/5968–10
For No Signal Input	VCO in PLL system will adjust to center frequency, f_o		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	TL/F/5968–11 $2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{r1}}$			
Loop Filter Component Selection	TL/F/5968–12 For $2f_C$ see Ref.		$f_C = f_L$	
Phase Angle Between Single and Comparator	90° at center frequency (f_o), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	Given: f_o. Use f_o with *Figure 5a* to determine R1 and C1.	Given: f_o and f_L. Calculate f_{min} from the equation $f_{min} = f_o - f_L$. Use f_{min} with *Figure 5b* to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o + f_L}{f_o - f_L}$. Use $\frac{f_{max}}{f_{min}}$ with *Figure 5c* to determine ratio R2/R1 to obtain R1.	Given: f_{max}. Calculate f_o from the equation $f_o = \frac{f_{max}}{2}$. Use f_o with *Figure 5a* to determine R1 and C1.	Given: f_{min} and f_{max}. Use f_{min} with *Figure 5b* to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$. Use $\frac{f_{max}}{f_{min}}$ with *Figure 5c* to determine ratio R2/R1 to obtain R1.

References

G.S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

Floyd Gardner, "Phaselock Techniques", John Wiley & Sons, 1966.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC1496/D

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

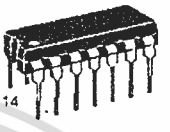
These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

This device contains 8 active transistors.

BALANCED MODULATORS/DEMODULATORS

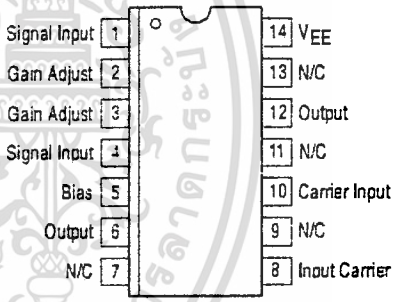
SEMICONDUCTOR TECHNICAL DATA



D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

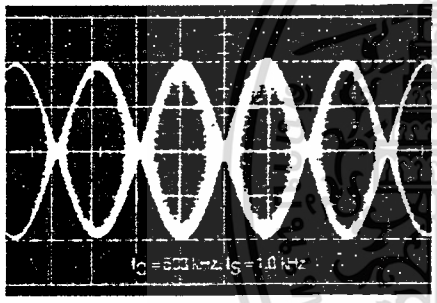


Figure 1. Suppressed Carrier Output Waveform

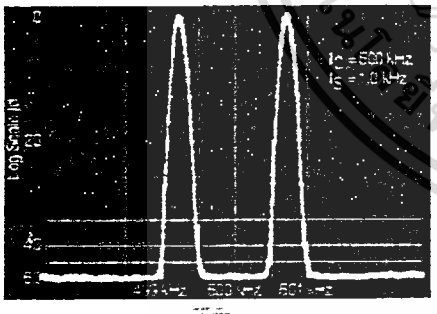


Figure 2. Suppressed Carrier Spectrum

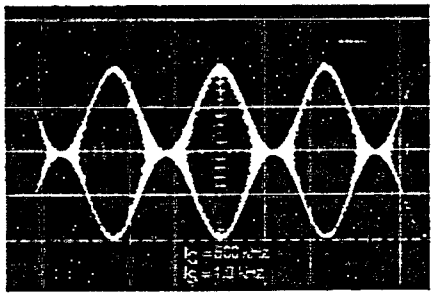
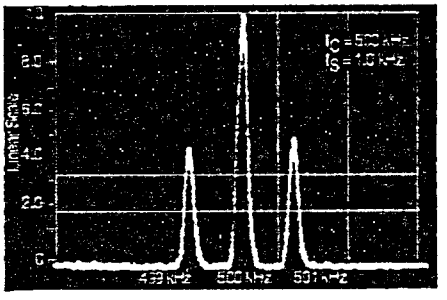


Figure 3. Amplitude Modulation Output Waveform

Figure 4. Amplitude–Modulation Spectrum



© Motorola, Inc. 1996

Rev 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5)	ΔV	30	Vdc
Differential Input Signal	V8 – V10 V4 – V1	+5.0 ±(5+I5R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction–to–Air Plastic Dual In–Line Package	$R_{\theta JA}$	100	°C/W
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = T_{low} to T_{high}, all input and output characteristics are single–ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough	5	1	V_{CFT}				μVrms
V_C = 60 mVrms sine wave and f_C = 1.0 kHz				–	40	–	
offset adjusted to zero f_C = 10 MHz				–	140	–	
V_C = 300 mVpp square wave:							mVrms
offset adjusted to zero f_C = 1.0 kHz				–	0.04	0.4	
offset not adjusted f_C = 1.0 kHz				–	20	200	
Carrier Suppression	5	2	V_{CS}				dB
f_S = 10 kHz, 300 mVrms							
f_C = 500 kHz, 60 mVrms sine wave				40	65	–	
f_C = 10 MHz, 60 mVrms sine wave				–	50	–	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 Ω)	8	8	BW_{3dB}				MHz
Carrier Input Port, V_C = 60 mVrms sine wave				–	300	–	
f_S = 1.0 kHz, 300 mVrms sine wave							
Signal Input Port, V_S = 300 mVrms sine wave				–	80	–	
$\|V_C\|$ = 0.5 Vdc							
Signal Gain (V_S = 100 mVrms, f = 1.0 kHz; $\|V_C\|$ = 0.5 Vdc)	10	3	A_{VS}	2.5	3.5	–	V/V
Single–Ended Input Impedance, Signal Port, f = 5.0 MHz	6	–					
Parallel Input Resistance			r_{ip}	–	200	–	kΩ
Parallel Input Capacitance			c_{ip}	–	2.0	–	pF
Single–Ended Output Impedance, f = 10 MHz	6	–					
Parallel Output Resistance			r_{op}	–	40	–	kΩ
Parallel Output Capacitance			c_{oo}	–	5.0	–	pF
Input Bias Current	7	–					μA
$I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$			I_{bS} I_{bC}	– –	12 12	30 30	
Input Offset Current	7	–					μA
I_{ioS} = I1–I4; I_{ioC} = I8–I10			$\|I_{ioS}\|$ $\|I_{ioC}\|$	– –	0.7 0.7	7.0 7.0	
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Iio}\|$	–	2.0	–	nA/°C
Output Offset Current (I6–I9)	7	–	$\|I_{oo}\|$	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Ioo}\|$	–	90	–	nA/°C
Common–Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	Vpp
Common–Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_C\|$ = 0.5 Vdc	9	–	ACM	–	–65	–	dB
Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_{out}	–	8.0	–	Vpp
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	Vpp
Power Supply Current I6 +I12	7	6	I_{CC}	–	2.0	4.0	mAdc
I14			I_{EE}	–	3.0	5.0	
DC Power Dissipation	7	5	P_D	–	33	–	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal–input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input–signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive couping between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single–ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \quad \text{where } r_e = \frac{26\ mV}{I5(mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I5.

$$V_S \leq I5\ R_E\ \text{(Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common–mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage–current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, P_D = 2 I5 (V6 – V14) + I5) V5 – V14 where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$$I5 = I6 = I12,$$
$$I_B << I_C \text{ for all transistors}$$

then :

$$R5 = \frac{V - -\phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground
ϕ = 0.75 at T_A = +25°C

The MC1496 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common–Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector–base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table:

30 Vdc ≥ [(V6, V12) – (V8, V10)] ≥ 2 Vdc
30 Vdc ≥ [(V8, V10) – (V1, V4)] ≥ 2.7 Vdc
30 Vdc ≥ [(V1, V4) – (V5)] ≥ 2.7 Vdc

The foregoing conditions are based on the following approximations:

$$V6 = V12,\ V8 = V10,\ V1 = V4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21C = \left.\frac{i_o\ \text{(each sideband)}}{v_s\ \text{(signal)}}\right| V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21S = \left.\frac{i_o\ \text{(signal)}}{v_s\ \text{(signal)}}\right| V_c = 0.5\ \text{Vdc},\ V_o = 0$$

สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

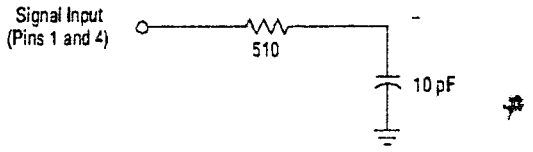
The output signal is taken from Pins 6 and 12 either balanced or single–ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single–ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source–tuned circuits that cause the oscillation.



An alternate method for low–frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

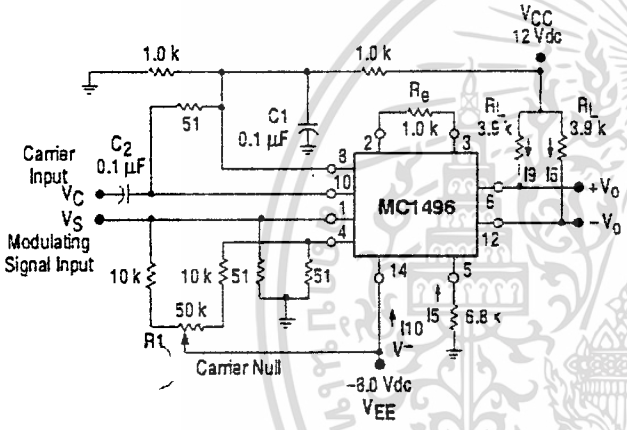
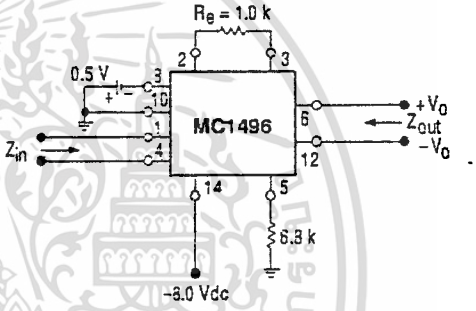


Figure 6. Input–Output Impedance



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

Figure 7. Bias and Offset Currents

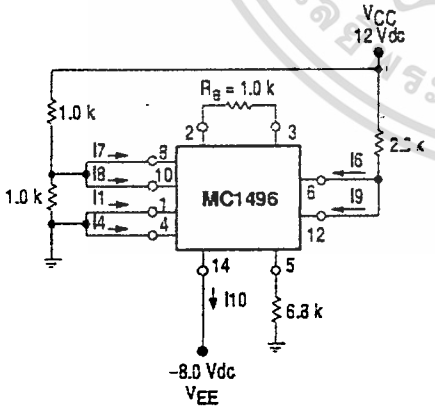
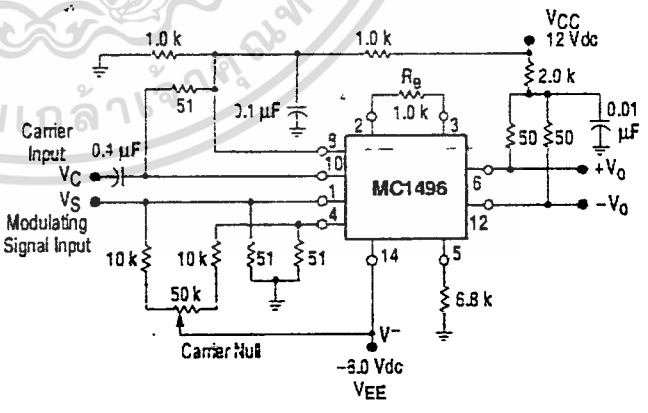


Figure 8. Transconductance Bandwidth



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Common Mode Gain

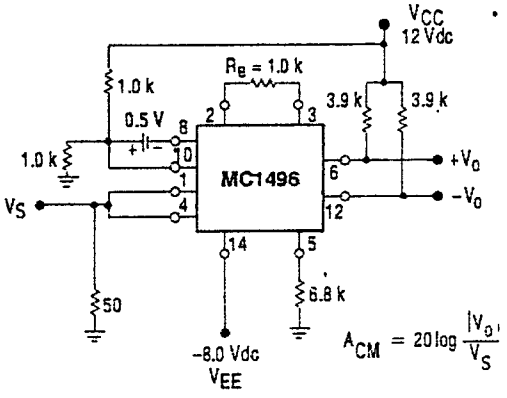
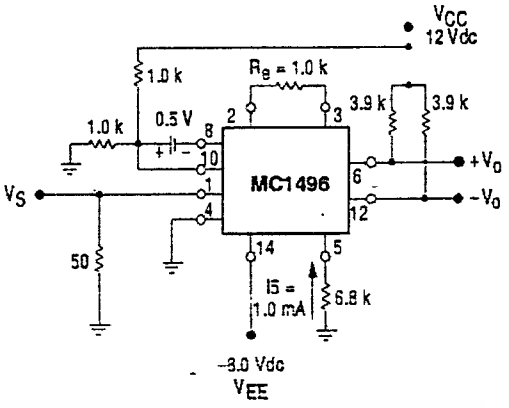


Figure 10. Signal Gain and Output Swing



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 11. Sideband Output versus Carrier Levels

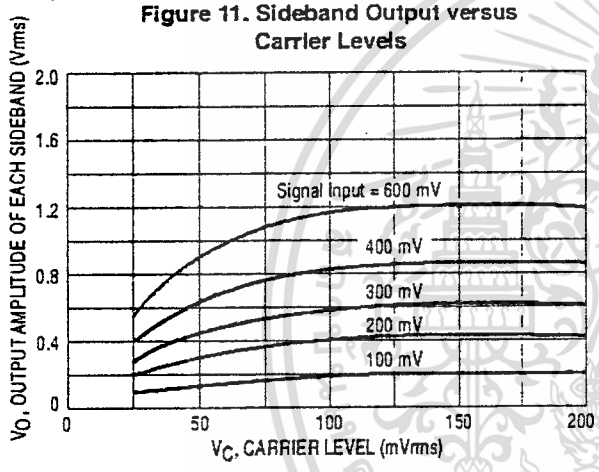


Figure 12. Signal–Port Parallel–Equivalent Input Resistance versus Frequency

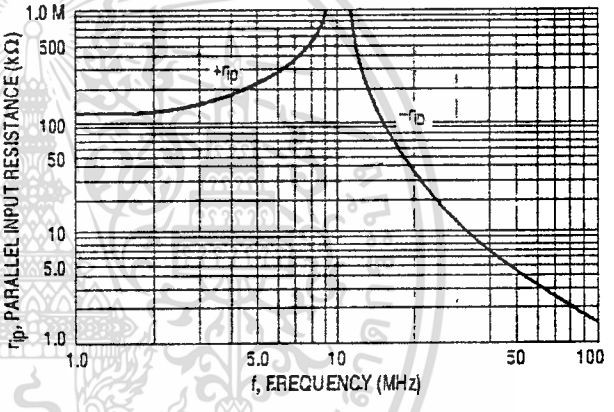


Figure 13. Signal–Port Parallel–Equivalent Input Capacitance versus Frequency

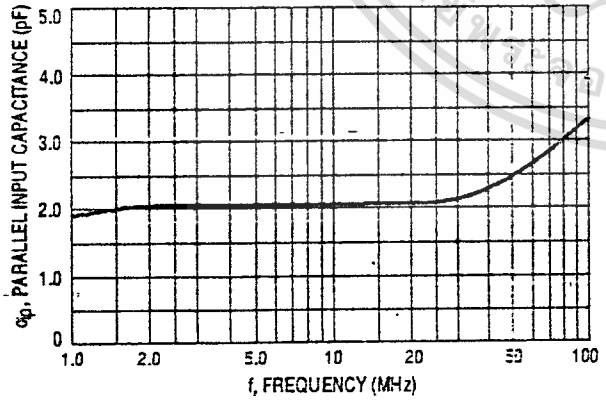
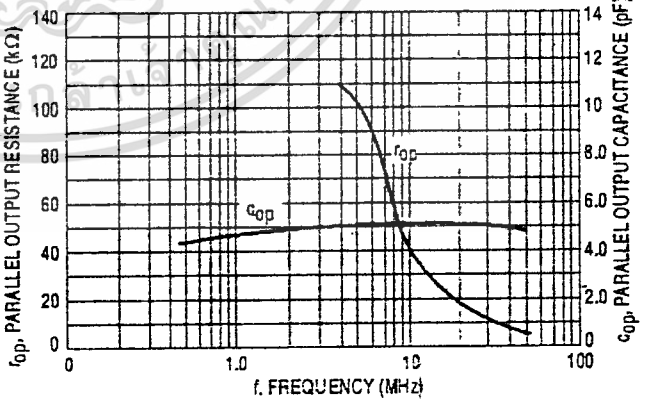


Figure 14. Single–Ended Output Impedance versus Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 15. Sideband and Signal Port Transadmittances versus Frequency

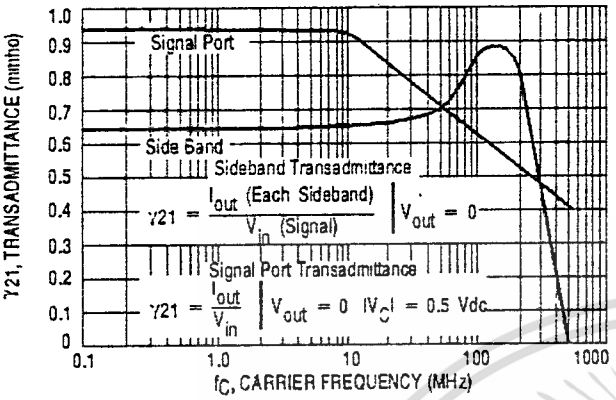


Figure 16. Carrier Suppression versus Temperature

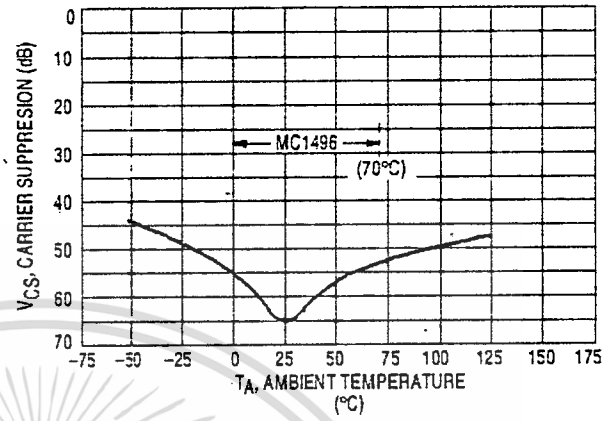


Figure 17. Signal–Port Frequency Response

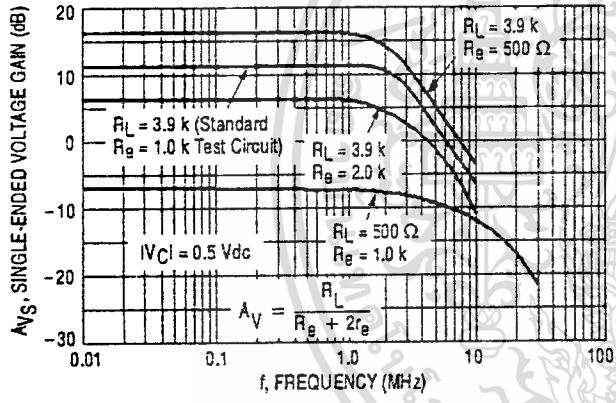


Figure 18. Carrier Suppression versus Frequency

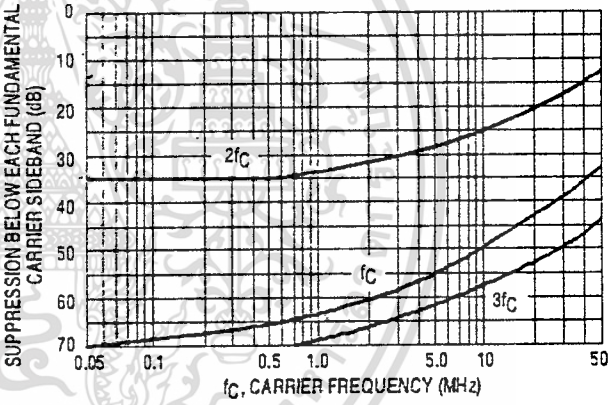


Figure 19. Carrier Feedthrough versus Frequency

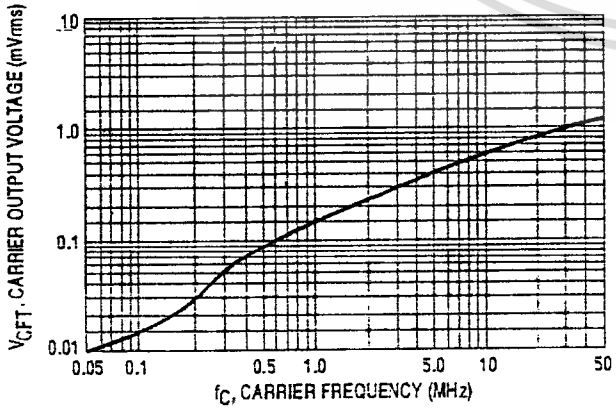
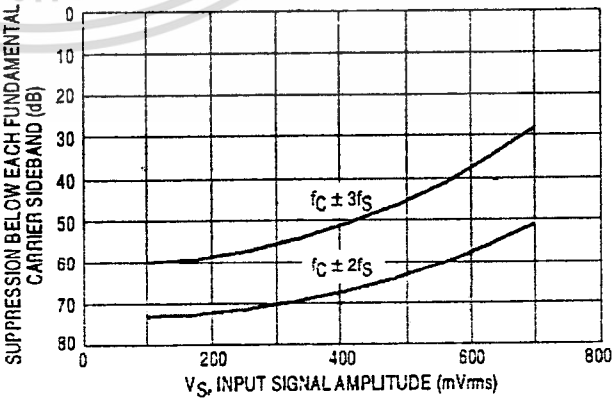


Figure 20. Sideband Harmonic Suppression versus Input Signal Level



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

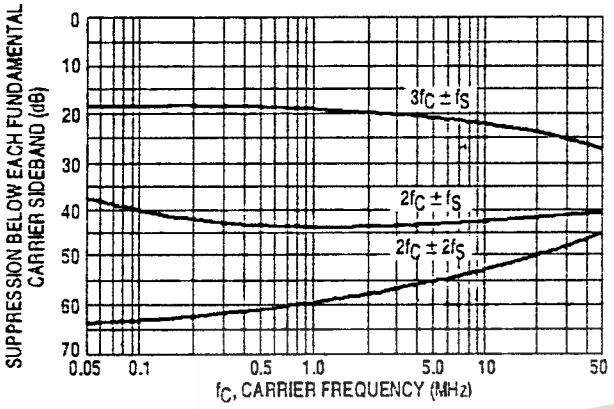
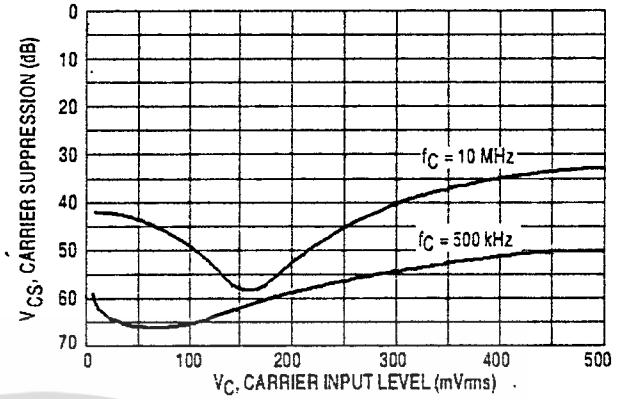


Figure 22. Carrier Suppression versus Carrier Input Level



OPERATIONS INFORMATION

The MC1496, a monolithic balanced moculator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross–coupled so that full–wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low–level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high–level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal handling capabilities of a differential amplifier are well cefined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (15)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

Figure 23. Circuit Schematic

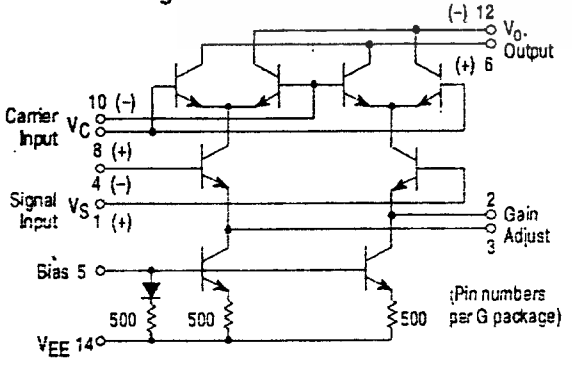
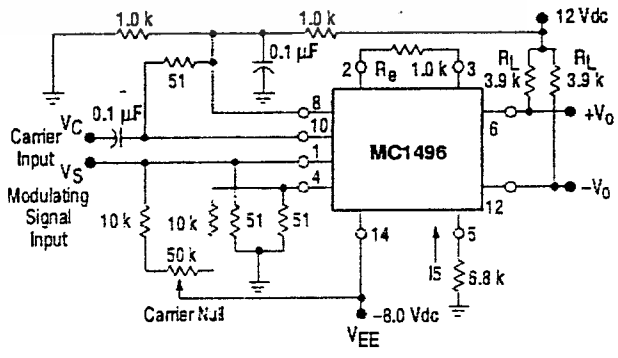


Figure 24. Typical Modulator Circuit



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 25. Voltage Gain and Output Frequencies

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low–level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High–level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low–level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High–level ac	$\frac{0.637\ R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \ldots$

NOTES: 1. Low–level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single–ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between Pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at 25°C;
$$r_e = \frac{26\ mV}{I_5\ (mA)}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} = 26\ mV \text{ at room temperature}$$

The gain from the modulating signal input port to the output is the MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1496 for a low–level modulating signal input and the following carrier input conditions:

1) Low–level dc
2) High–level dc
3) Low–level ac
4) High–level ac

These gains are summarized in Figure 25, along with the frequency components contained in the output signal.

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single 12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to acjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient acjustment range. Therefore, the moculator may be modifiec for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9.0 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate–frequencies down to 50 kHz the 0.1 µF capacitors on Pins 8 and 10 should be increasec to 1.0 µF. Also, the output filter at Pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impecance.

As in all applications of the MC1496, the emitter resistance between Pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

amplifier. If the carrier signal is modulated, a 300 mVrms input level is recommended.

Doubly Balanced Mixer

The MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mVrms.

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1496 will function as a phase detector. High–level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is addec at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1496 will then provice an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Figure 26. Balanced Modulator (12 Vdc Single Supply)

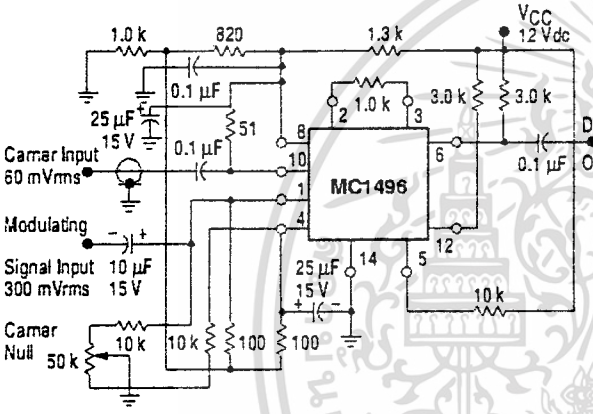


Figure 27. Balanced Modulator–Demodulator

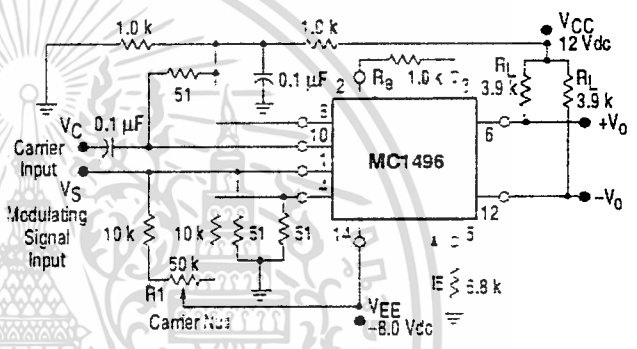


Figure 28. AM Modulator Circuit

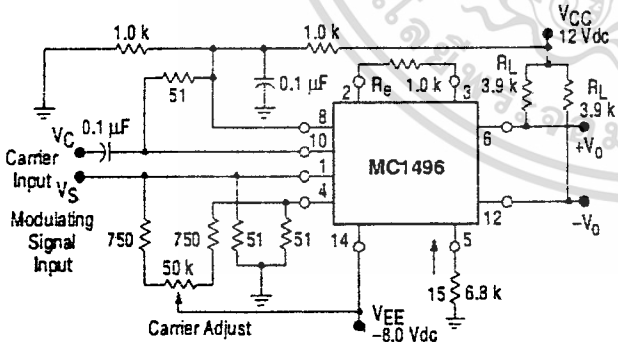
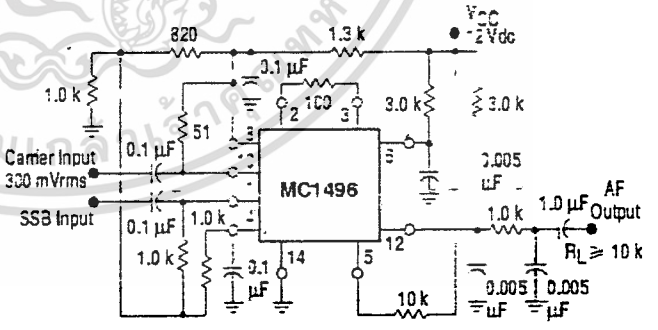
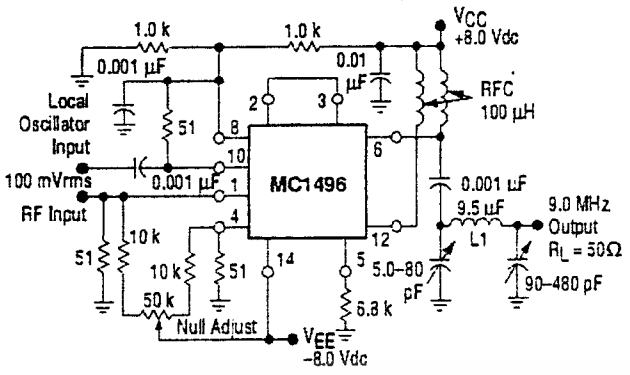


Figure 29. Product Detector (12 Vdc Single Supply)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 30. Doubly Balanced Mixer (Broadband Inputs, 9.0 MHz Tuned Output)



L1 = 44 Turns AWG No. 28 Enameled Wire, Wound on Micrometals Type 44–6 Toroid Core.

Figure 31. Low–Frequency Doubler

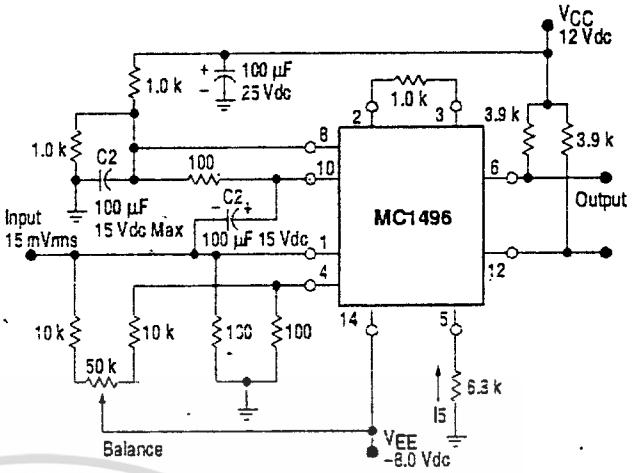
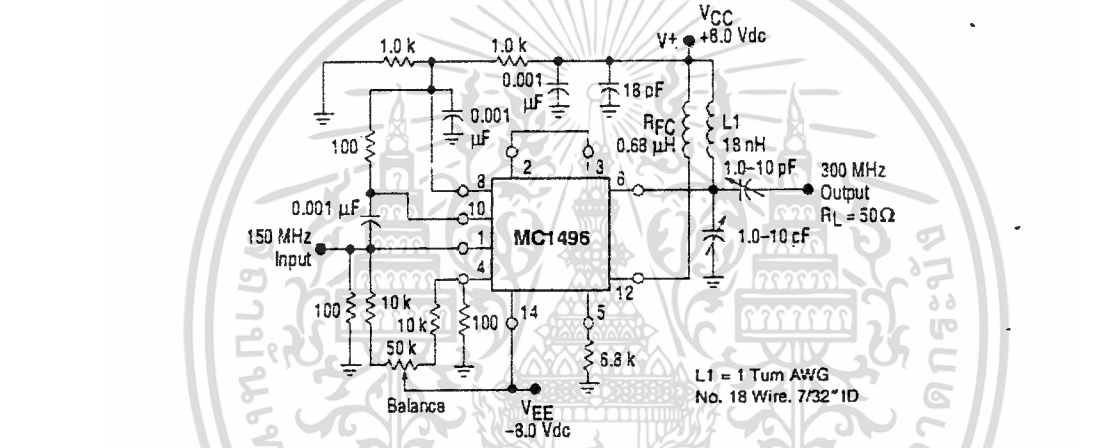
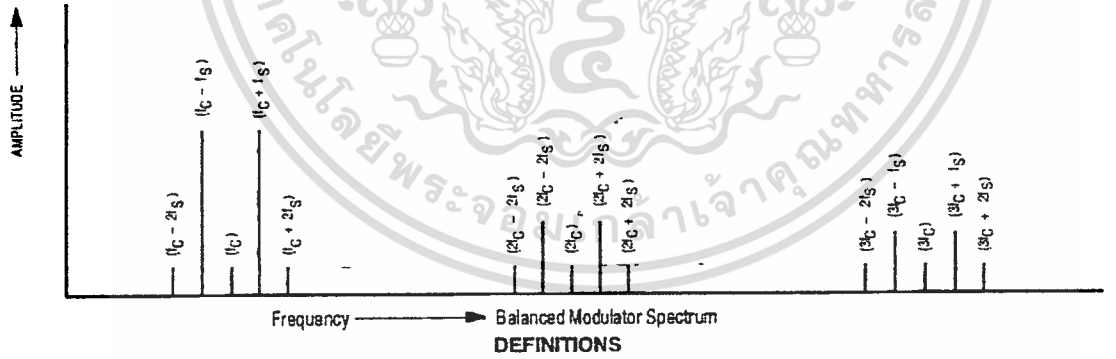


Figure 32. 150 to 300 MHz Doubler





DEFINITIONS

f_C	Carrier Fundamental	$f_C \pm nf_S$	Fundamental Carrier Sideband Harmonics
f_S	Modulating Signal	nf_C	Carrier Harmonics
$f_C \pm f_S$	Fundamental Carrier Sidebands	$nf_C \pm nf_S$	Carrier Harmonic Sidebands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

January 1995

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

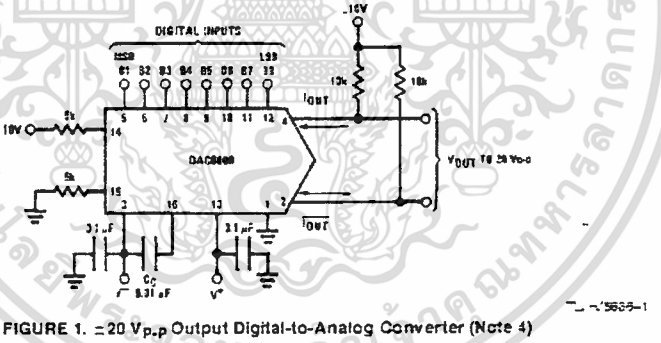
The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to −18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications



TL/H/5688–1

FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C			DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number

©1995 National Semiconductor Corporation RRD-B30M115/Printed in U.S.A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S^- = -15V$)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
t_S	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", $T_A = 25°C$		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
tPLH, tPHL	Propagation Delay	$T_A = 25°C$										
	Each Bit			35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TC_{IFS}	Full Scale Tempco			±10	±50		±10	±50		±10	±50	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change <½ LSB, R_{OUT} > 20 MΩ Typ	10		18	10		18	10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10.000V$, R14 = 5.000 kΩ, R15 = 5.000 kΩ, $T_A = 25°C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	µA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	µA
I_{FSR}	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -8V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	$V_{LC} = 0V$			0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	$V_{LC} = 0V$										
I_{IL}	Logic "0"	$-10V \le V_{IN} \le +0.8V$		2.0	10		2.0	10		2.0	10	µA
I_{IH}	Logic "1"	$2V \le V_{IN} \le +18V$		0.002	10		0.002	10		0.002	10	µA
V_{IS}	Logic Input Swing	$V^- = -15V$	10		18	10		18	10		18	V
V_{THR}	Logic Threshold Range	$V_S = \pm 15V$	10		13.5	10		13.5	10		13.5	V
I_{15}	Reference Bias Current			1.0	3.0		1.0	3.0		1.0	3.0	µA
dI/dt	Reference Input Slew Rate	(Figure 12)	4.0	8.0		4.0	8.0		4.0	8.0		mA/µs
$PSSI_{FS+}$	Power Supply Sensitivity	$4.5V \le V^+ \le 18V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		$4.5V \le V^- \le 18V$, $I_{REF} = 1$ mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1$ mA										
I^+				2.3	3.8		2.3	3.8		2.3	3.8	mA
I^-				4.3	5.8		4.3	5.8		4.3	5.8	mA
		$V_S = 5V$, 15V, $I_{REF} = 2$ mA										
I^+				2.4	3.8		2.4	3.8		2.4	3.8	mA
I^-				5.4	7.8		5.4	7.8		5.4	7.8	mA
		$V_S = \pm 15V$, $I_{REF} = 2$ mA										
I^+				2.5	3.8		2.5	3.8		2.5	3.8	mA
I^-				5.5	7.8		5.5	7.8		5.5	7.8	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1$ mA		33	48		33	48		33	48	mW
		5V, 15V, $I_{REF} = 2$ mA		108	136		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2$ mA		135	174		135	174		135	174	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

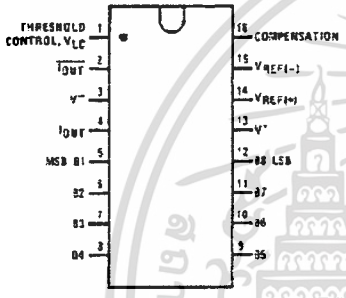
Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient. 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

Dual-In-Line Package

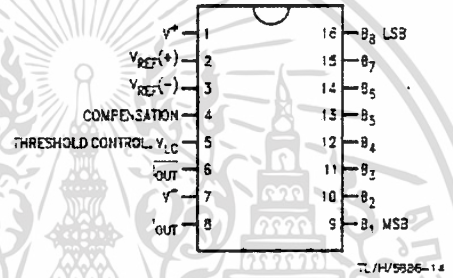


TL/H/5686–13

Top View

See Ordering Information

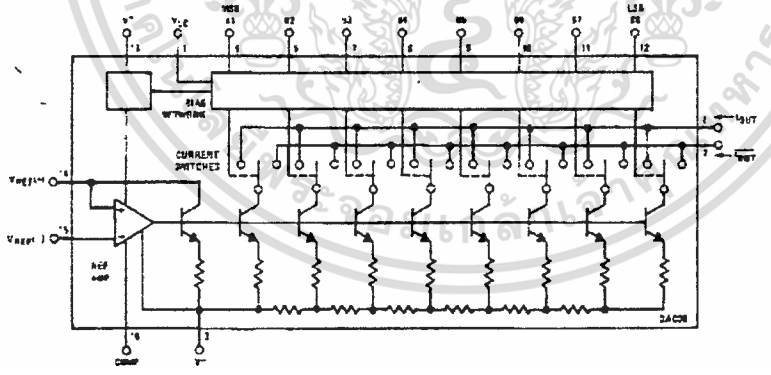
Small Outline Package



TL/H/5686–14

Top View

Block Diagram (Note 4)

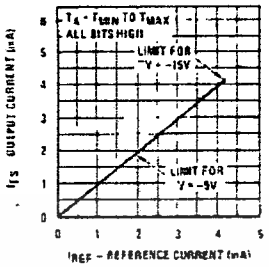


TL/H/5686–2

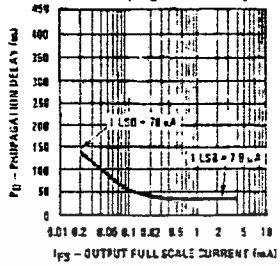
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

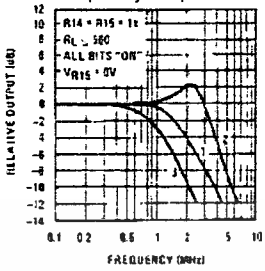
Full Scale Current vs Reference Current



LSB Propagation Delay Vs I_{FS}



Reference Input Frequency Response

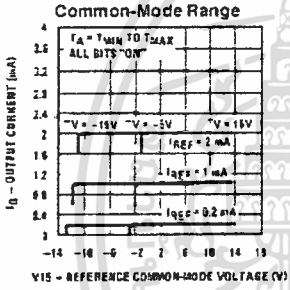


Curve 1: $C_C = 15$ pF $V_{IN} = 2$ Vp-p centered at 1V

Curve 2: $C_C = 15$ pF, $V_{IN} = 50$ mVp-p centered at 200 mV.

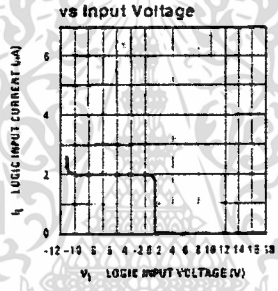
Curve 3: $C_C = 0$ pF $V_{IN} = 100$ mVp-p at 0V and applied through 50 Ω connected to pin 14 2V applied to R14

Reference Amp Common-Mode Range

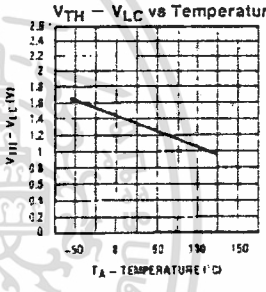


Note. Positive common-mode range is always $(V-) - 1.5V$

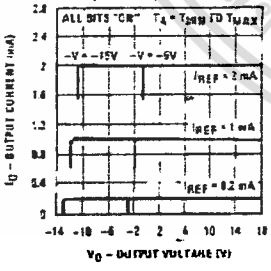
Logic Input Current vs Input Voltage



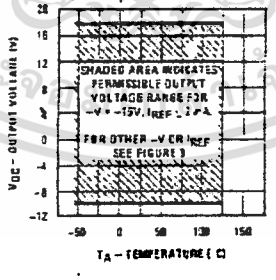
$V_{TH} - V_{LC}$ vs Temperature



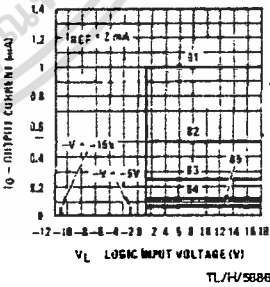
Output Current vs Output Voltage (Output Voltage Compliance)



Output Voltage Compliance vs Temperature



Bit Transfer Characteristics



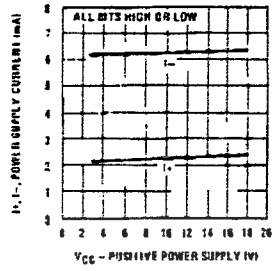
TL/H/5686–3

Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error at less than ± 100 mV from actual threshold. These switching points are guaranteed to be between 0.8 and 2V over the operating temperature range ($V_{LC} = 0V$)

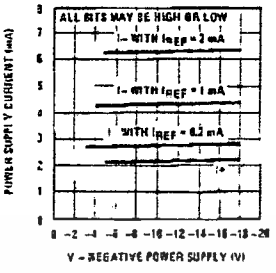
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

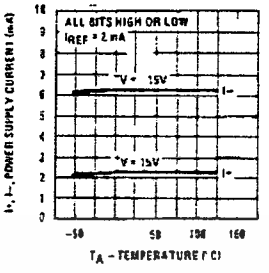
Power Supply Current vs I_{FS}



Power Supply Current vs $-V$

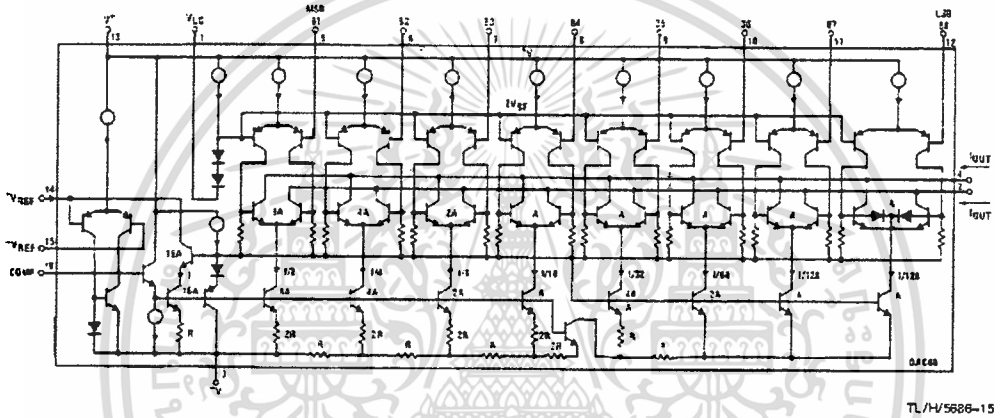


Power Supply Current vs Temperature



TL/H/5686–4

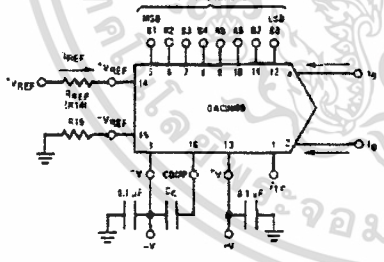
Equivalent Circuit



TL/H/5686–15

FIGURE 2

Typical Applications (Continued)



$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O = \overline{I_S}$ – I_{FS} for all logic states

For fixed reference TTL operation, typical values are:

V_{REF} = 10.000V

R_{REF} = 5.000k

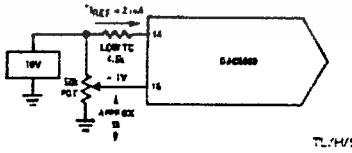
$R15 \approx R_{REF}$

C_C = 0.01 µF

V_{LC} = 0V (Ground)

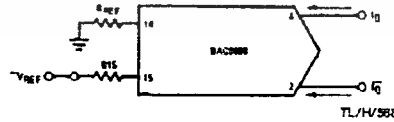
TL/H/5686–5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TL/H/5686–21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)



TL/H/5686–16

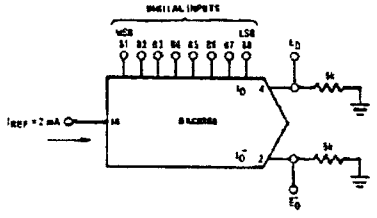
$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



TL/H/5686–17

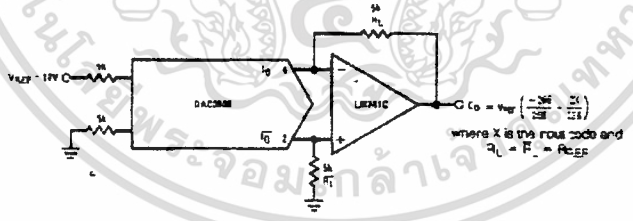
	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I_O}$ mA	E_O	$\overline{E_O}$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale − LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale + LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale − LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale + LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 4)

TL/H/5686–6

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E_O}$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	−9.840	−9.920
Zero Scale + LSB	1	0	0	0	0	0	0	1	−0.080	−0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	−0.080
Zero Scale − LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



TL/H/5686–18

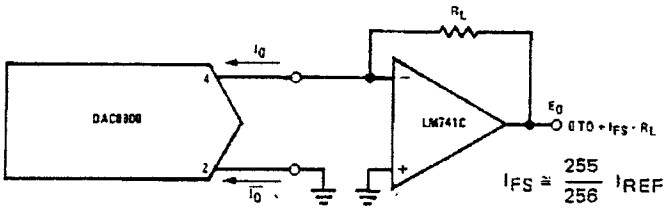
If $R_L = \overline{R_L}$ within ±0.05% output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	+9.920
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	−9.920
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

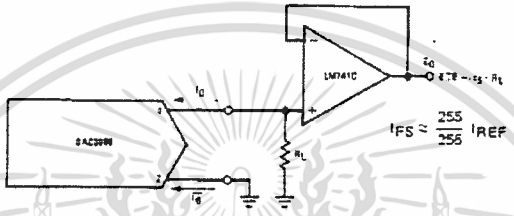
Typical Applications (Continued)



TL/H/5686-19

For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

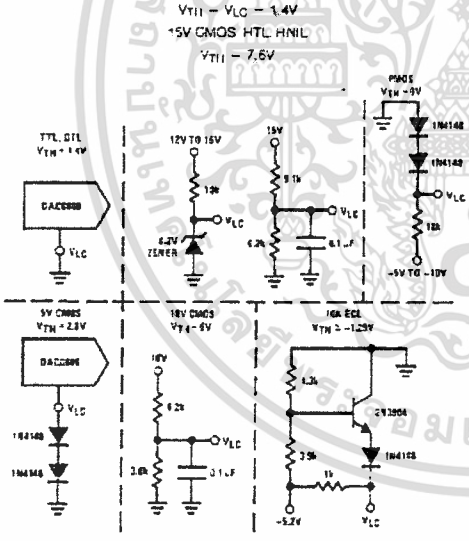
FIGURE 9. Positive Low Impedance Output Operation (Note 4)



TL/H/5686-20

For complementary output (operation as a negative logic DAC) connect inverting input of op amp to $\overline{I_O}$ (pin 2); connect I_O (pin 4) to ground.

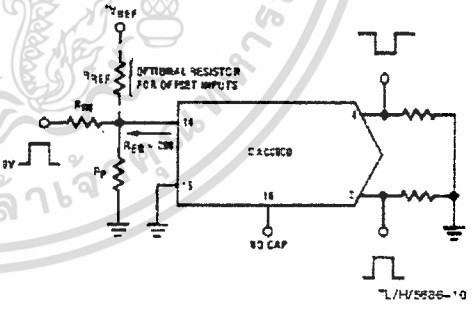
FIGURE 10. Negative Low Impedance Output Operation (Note 4)



TL/H/5686-9

Note: Do not exceed negative logic input range of DAC

FIGURE 11. Interfacing with Various Logic Families



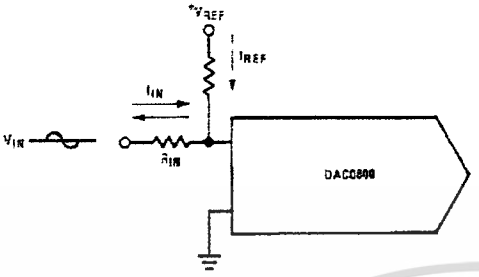
Typical values: $R_{IN} = 5k$, $V_{IN} = 10V$

FIGURE 12. Pulsed Reference Operation (Note 4)

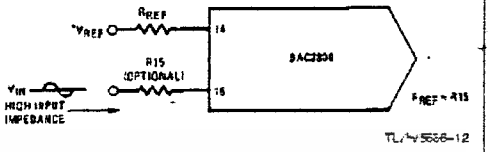
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

(a) I_{REF} > peak negative swing of I_{IN}



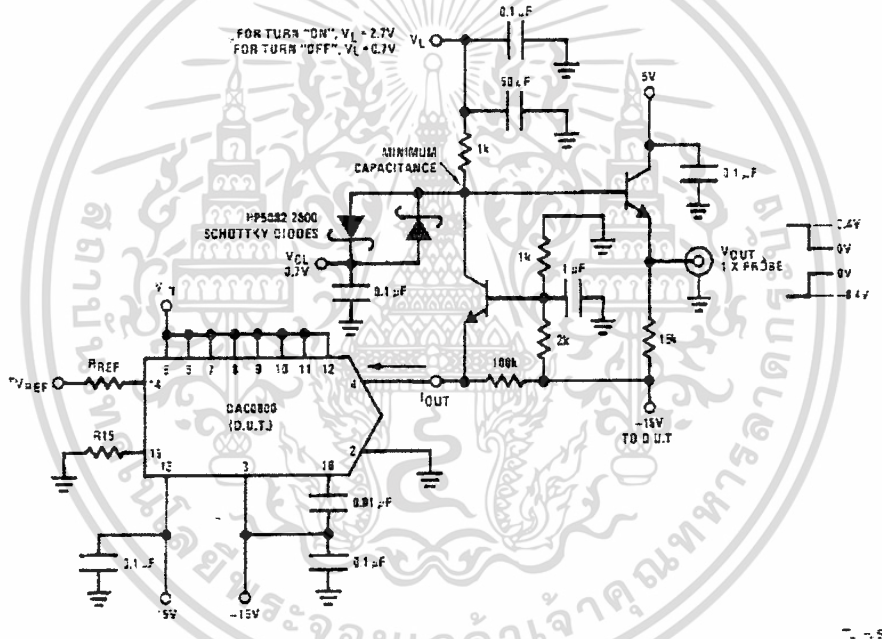
(b) + V_{REF} must be above peak positive swing of V_{IN}



TL/H/5686–12

TL/H/5686–11

FIGURE 13. Accommodating Bipolar References (Note 4)

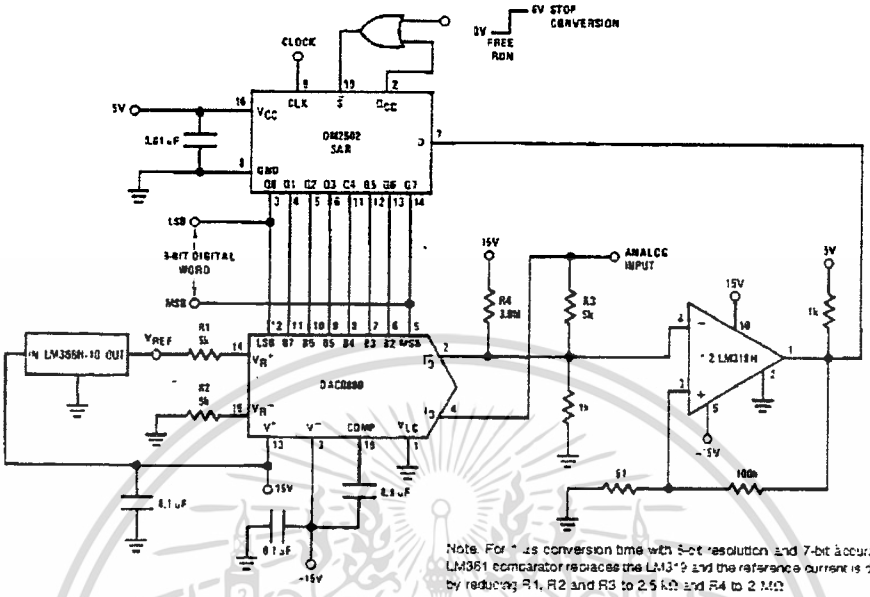


TL/H/5686–7

FIGURE 14. Settling Time Measurement (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

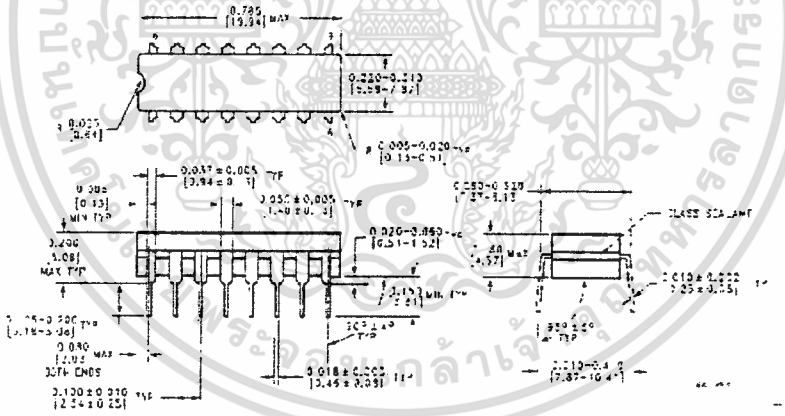


Note. For 1 μs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

TL/H/5686–8

FIGURE 15. A Complete 2 μs Conversion Time, 8-Bit A/D Converter (Note 4)

Physical Dimensions inches (millimeters)



Molded Dual-In-Line Package
Order Numbers DAC0800 or DAC0802
NS Package Number J16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1995

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

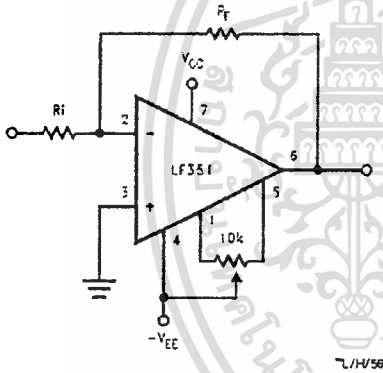
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

Features

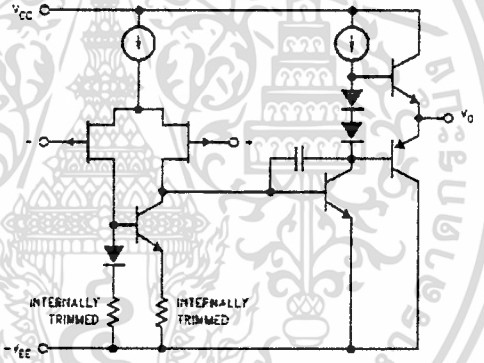
■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/$\sqrt{Hz}$
■ Low input noise current	0.01 pA/$\sqrt{Hz}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ V_{p-p}, BW = 20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



TL/H/5648–11

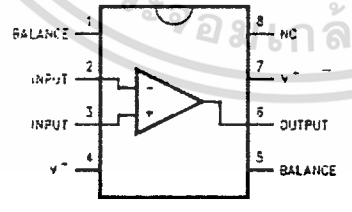
Simplified Schematic



TL/H/5648–12

Connection Diagrams

Dual-In-Line Package



TL/H/5648–13

Order Number LF351M or LF351N
See NS Package Number M08A or N08E

© 1995 National Semiconductor Corporation TL/H/5648

PRO-B3GM125 Printed in U.S.A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C

θ_{jA}	
N Package	120°C/W
M Package	TBD
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 10\ k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10\ k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4) $T_j = 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4) $T_j = +70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2\ k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10\ k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S = 10\ k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		nV/$\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, $f = 1000$ Hz		0.01		pA/$\sqrt{Hz}$

Note 1: For operating at elevated temperature the device must be derated based on the thermal resistance θ_{jA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \le T_A \le +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

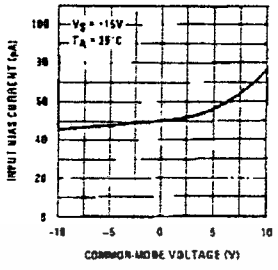
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From $\pm 15V$ to $\pm 5V$.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

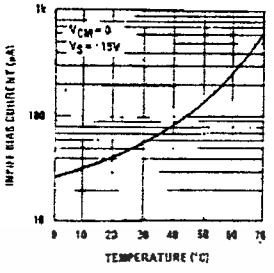
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

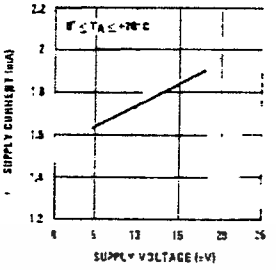
Input Bias Current



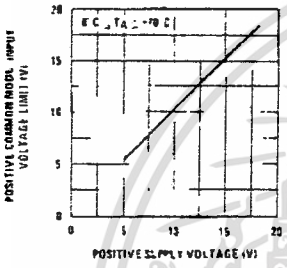
Input Bias Current



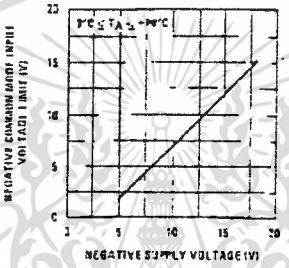
Supply Current



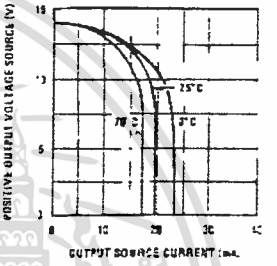
Positive Common-Mode Input Voltage Limit



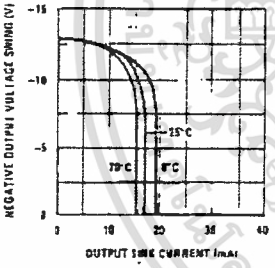
Negative Common-Mode Input Voltage Limit



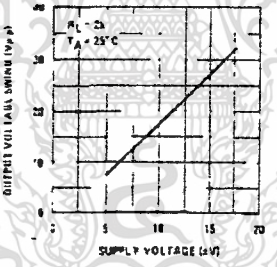
Positive Current Limit



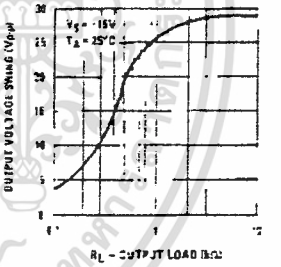
Negative Current Limit



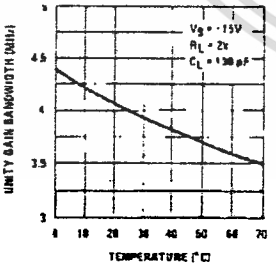
Voltage Swing



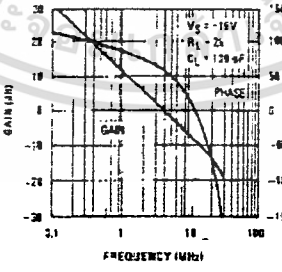
Output Voltage Swing



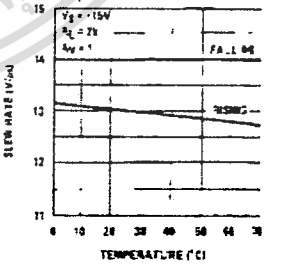
Gain Bandwidth



Bode Plot



Slew Rate

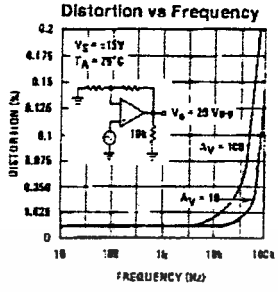


TL/H/5543–2

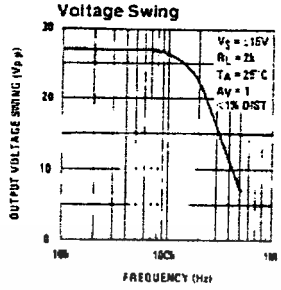
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

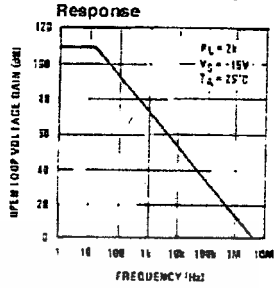
Distortion vs Frequency



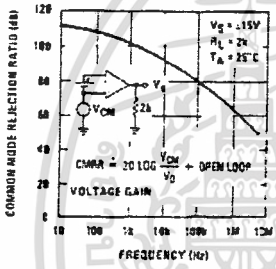
Undistorted Output Voltage Swing



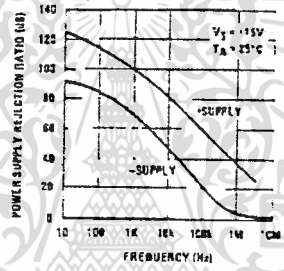
Open Loop Frequency Response



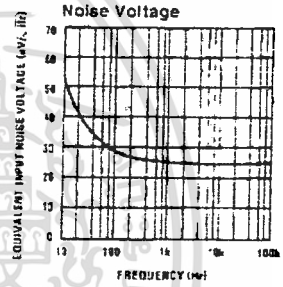
Common-Mode Rejection Ratio



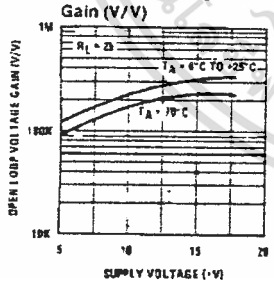
Power Supply Rejection Ratio



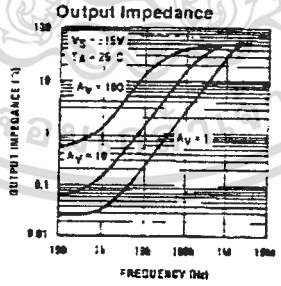
Equivalent Input Noise Voltage



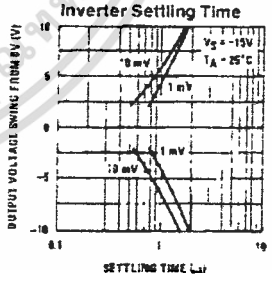
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

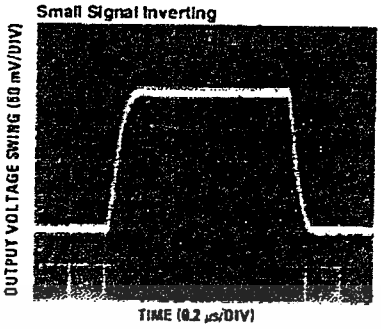


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

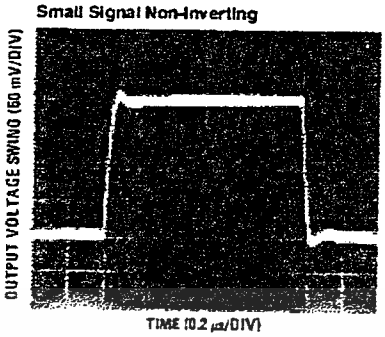
Pulse Response

Small Signal Inverting



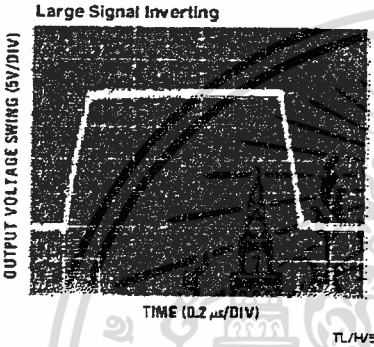
TL/H/5648–4

Small Signal Non-Inverting



TL/H/5648–5

Large Signal Inverting

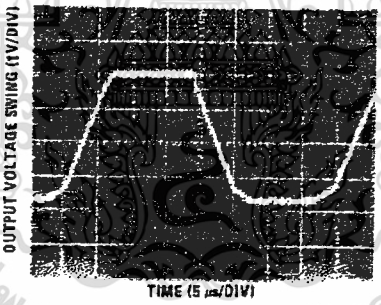


TL/H/5648–6

Large Signal Non-Inverting

TL/H/5648–7

Current Limit ($R_L = 100\Omega$)



TL/H/5648–8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

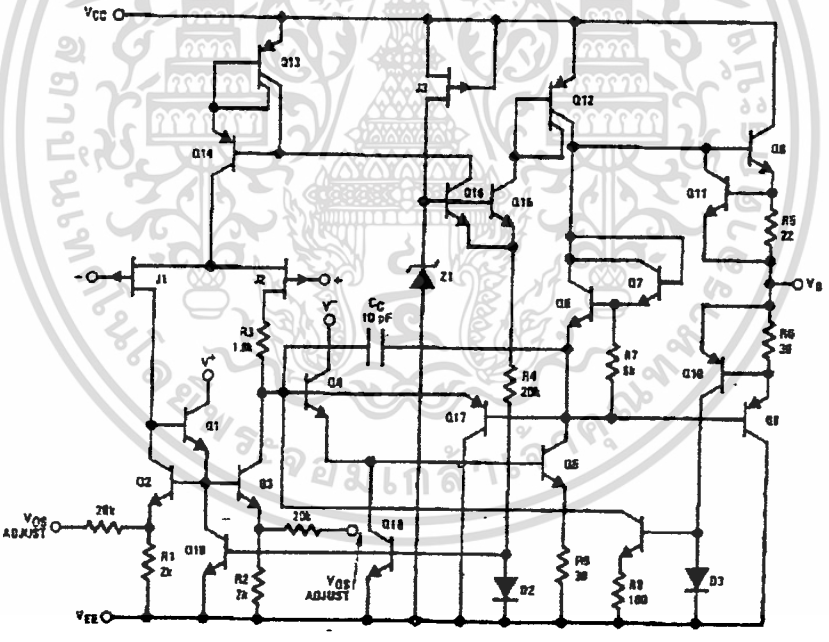
The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

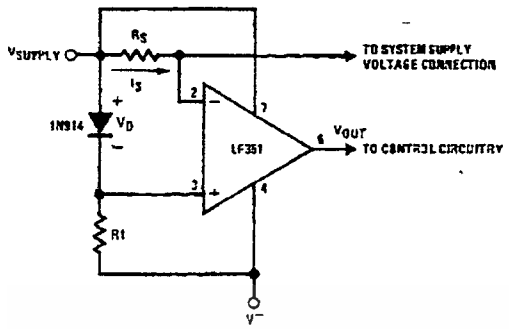


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

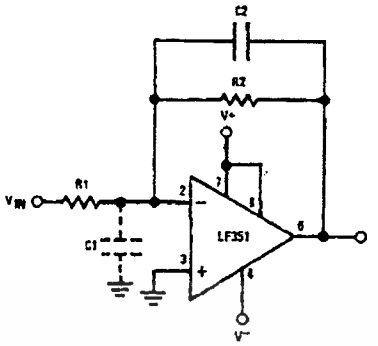
Typical Applications

Supply Current Indicator/Limiter



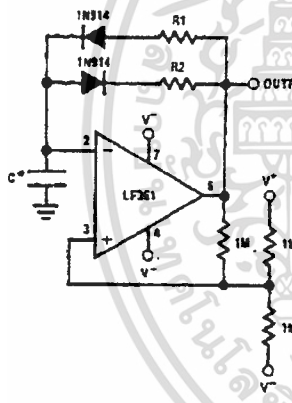
* V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that R2C2 ≈ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



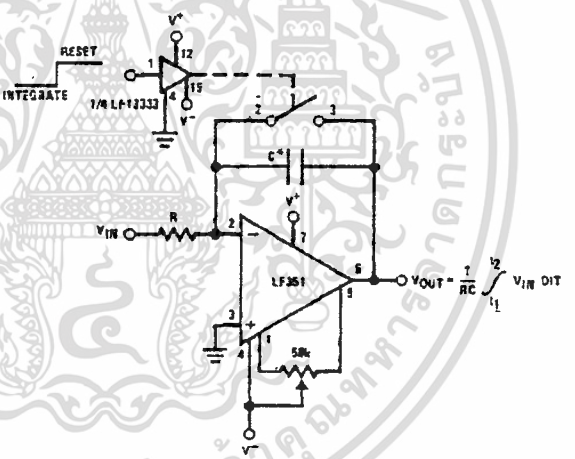
* $t_{OUTPUT\ HIGH} \approx R1C \ln \frac{4.8 - 2V_S}{4.8 - V_S}$

* $t_{OUTPUT\ LOW} \approx R2C \ln \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^- + |V^+|$

*low leakage capacitor

Long Time Integrator



*Low leakage capacitor

* 50k pot used for less sensitive V_{OS} adjust

TL/H/5848–10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1993

NM27C256
262,144-Bit (32K x 8) High Performance CMOS EPROM

General Description

The NM27C256 is a 256K Electrically Programmable Read Only Memory. It is manufactured in National's latest CMOS split gate EPROM technology which enables it to operate at speeds as fast as 120 ns access time over the full operating range.

The NM27C256 provides microprocessor-based systems extensive storage capacity for large portions of operating system and application software. Its 120 ns access time provides high speed operation with high-performance CPUs. The NM27C256 offers a single chip solution for the code storage requirements of 100% firmware-based equipment. Frequently-used software routines are quickly executed from EPROM storage, greatly enhancing system utility.

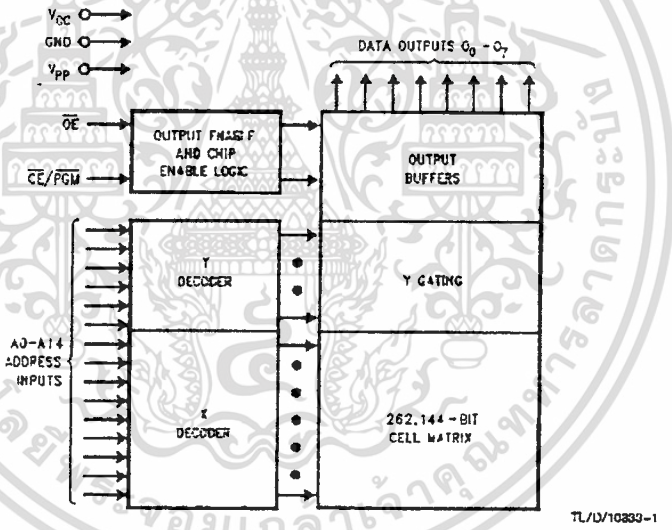
The NM27C256, is configured in the standard EPROM cut-out which provides an easy upgrade path for systems which are currently using standard EPROMs.

The NM27C256 is one member of a high density EPROM Family which range in densities up to 4 Mb.

Features

- High performance CMOS
  - 120 ns access time
- JEDEC standard pin configuration
  - 28-pin DIP package
  - 32-pin chip carrier
- Drop-in replacement for 27C256 or 27256
- Manufacturer's identification code

Block Diagram



TL/D/10833-1

TRI-STATE® is a registered trademark of National Semiconductor Corporation.
TRI-STATE® is a trademark of National Semiconductor Corporation.

©1995 National Semiconductor Corporation TL/D/10833

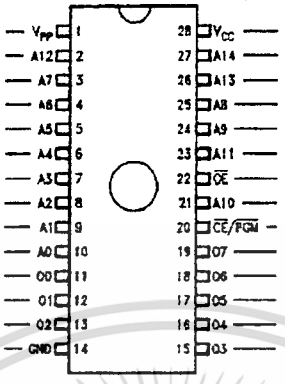
RRD-B30M65/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Connection Diagrams

27C080	27C040	27C020	27C010	27C512
A19	XX/V_{PP}	XX/V_{PP}	XX/V_{PP}	
A18	A18	A18	A18	
A15	A15	A15	A15	A15
A12	A12	A12	A12	A12
A7	A7	A7	A7	A7
A6	A6	A6	A6	A6
A5	A5	A5	A5	A5
A4	A4	A4	A4	A4
A3	A3	A3	A3	A3
A2	A2	A2	A2	A2
A1	A1	A1	A1	A1
A0	A0	A0	A0	A0
O0	O0	O0	O0	O0
O1	O1	O1	O1	O1
O2	O2	O2	O2	O2
GND	GND	GND	GND	GND

DIP
NM27C256



TL/D/10833–2

27C512	27C010	27C020	27C040	27C080
	V_{CC} XX/PGM	V_{CC} XX/PGM	V_{CC} A18	V_{CC} A18
V_{CC}	XX	A17	A17	A17
A14	A14	A14	A14	A14
A13	A13	A13	A13	A13
A8	A8	A8	A8	A8
A9	A9	A9	A9	A9
A11	A11	A11	A11	A11
$\overline{OE}/V_{PP}$	$\overline{OE}$	$\overline{OE}$	$\overline{OE}$	$\overline{OE}/V_{PP}$
A10	A10	A10	A10	A10
$\overline{CE}/PGM$	$\overline{CE}$	$\overline{CE}$	CE/PGM	CE/PGM
O7	O7	O7	O7	O7
O6	O6	O6	O6	O6
O5	O5	O5	O5	O5
O4	O4	O4	O4	O4
O3	O3	O3	O3	O3

Note: Compatible EPROM pin configurations are shown in the blocks adjacent to the NM27C256 pins.

Commercial Temp. Range (0°C to +70°C)
V_{CC} 5V ±10%

Parameter/Order Number	Access Time (ns)
NM27C256 Q, N, V 120	120
NM27C256 Q, N, V 150	150
NM27C256 Q, N, V 200	200

Extended Temp. Range (−40°C to +85°C)
V_{CC} 5V ±10%

Parameter/Order Number	Access Time (ns)
NM27C256 QE, NE, VE 120	120
NM27C256 QE, NE, VE 150	150
NM27C256 QE, NE, VE 200	200

Note: Surface mount PLCC package available for commercial and extended temperature ranges only.

Military Temp. Range (−55°C to +125°C)
V_{CC} 5V ±10%

Parameter/Order Number	Access Time (ns)
NM27C256 QM 150	150
NM27C256 QM 250	250

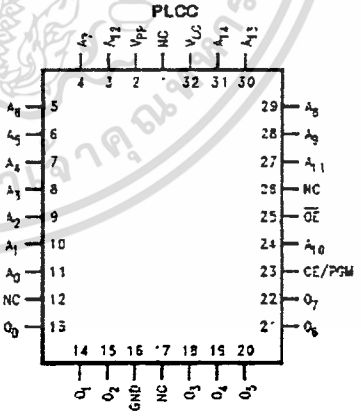
Package Types: NM27C256 Q, N, V XXX
- Q — Quartz-Windowed Ceramic DIP
- N — Plastic OTP DIP
- V — Surface-Mount PLCC

- All packages conform to the JEDEC standard.
- All versions are guaranteed to function for slower speeds.

Pin Names

Symbol	Description
A0–A14	Addresses
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
O0–O7	Outputs
$\overline{PGM}$	Program
XX	Don't Care (during Read)

PLCC



Top

TL/D/10833–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Storage Temperature	−65°C to ∓150°C
All Input Voltages except A9 with Respect to Ground	−0.6V to +7V
V_{PP} and A9 with Respect to Ground	−0.7V to +14V
V_{CC} Supply Voltage with Respect to Ground	− 0.6V to +7V
ESD Protection	+ 2000V
All Output Voltages with Respect to Ground	V_{CC} + 1.0V to GND 0.6V

Operating Range

Range	Temperature	V_{CC}
Comm'l	0°C to +70°C	∓5V ±10%
Industrial	−40°C to ∓85°C	+5V ±10%
Military	−55°C to + 125°C	∓5V ±10%

Read Operation

DC Electrical Characteristics Over Operating Range with $V_{PP} = V_{CC}$

Symbol	Parameter	Test Conditions	Min	Max	Units
V_{IL}	Input Low Level		−0.5	0.8	V
V_{IH}	Input High Level		2.0	V_{CC} ∓ 1	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1 mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = −2.5 mA	3.5		V
I_{SB1} (Note 11)	V_{CC} Standby Current (CMOS)	$\overline{CE} = V_{CC} \pm 0.3V$		100	µA
I_{SB2}	V_{CC} Standby Current (TTL)	$\overline{CE} = V_{IH}$		1	mA
I_{CC1}	V_{CC} Active Current TTL Inputs	$\overline{CE} = \overline{OE} = V_{IL}$, f = 5 MHz Inputs = V_{IH} or V_{IL}, I/O = 0 mA		35	mA
I_{PP}	V_{PP} Supply Current	$V_{PP} = V_{CC}$		10	µA
V_{PP}	V_{PP} Read Voltage		V_{CC} − 0.7	V_{CC}	V
I_{LI}	Input Load Current	V_{IN} = 5.5V or GND	−1	1	µA
I_{LO}	Output Leakage Current	V_{OUT} = 5.5V or GND	−10	10	µA

AC Electrical Characteristics Over Operating Range with $V_{PP} = V_{CC}$

Symbol	Parameter	100		120		150		200		Units
		Min	Max	Min	Max	Min	Max	Min	Max	
t_{ACC}	Address to Output Delay		100		120		150		200	ns
t_{CE}	$\overline{CE}$ to Output Delay		100		120		150		200	
t_{OE}	$\overline{OE}$ to Output Delay		50		50		50		50	
t_{DF} (Note 2)	Output Disable to Output Float		30		35		45		55	
t_{OH} (Note 2)	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$, Whichever Occurred First	0		0		0		0		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

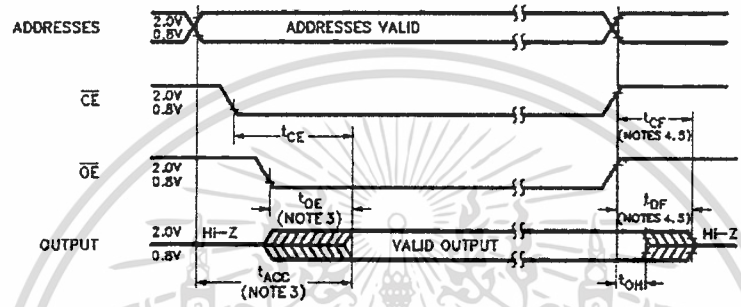
Capacitance T_A = +25°C, f = 1 MHz (Note 2)

Symbol	Parameter	Conditions	Typ	Max	Units
C_{IN}	Input Capacitance	V_{IN} = 0V	6	12	pF
C_{OUT}	Output Capacitance	V_{OUT} = 0V	9	12	pF

AC Test Conditions

Output Load	1 TTL Gate and C_L = 100 pF (Note 8)
Input Rise and Fall Times	≤ 5 ns
Input Pulse Levels	0.45 to 2.4V
Timing Measurement Reference Level	(Note 10)
Inputs	0.8V and 2.0V
Outputs	0.8V and 2.0V

AC Waveforms (Notes 6, 7 and 9)



TL/D/10833–4

Note 1: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Note 2: This parameter is only sampled and is not 100% tested.

Note 3: $\overline{OE}$ may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of $\overline{CE}$ without impacting t_{ACC}.

Note 4: The t_{DF} and t_{CF} compare level is determined as follows:
High to TRI-STATE®, the measured V_{OH1} (DC) − 0.10V;
Low to TRI-STATE, the measured V_{OL1} (DC) + 0.10V.

Note 5: TRI-STATE may be attained using $\overline{OE}$ or $\overline{CE}$.

Note 6: The power switching characteristics of EPROMs require careful device decoupling. It is recommended that at least a 0.1 μF ceramic capacitor be used on every device between V_{CC} and GND.

Note 7: The outputs must be restricted to V_{CC} + 1.0V to avoid latch-up and device damage.

Note 8: TTL Gate: I_{OL} = 1.6 mA, I_{OH} = −400 μA.
C_L = 100 pF includes fixture capacitance.

Note 9: V_{PP} may be connected to V_{CC} except during programming.

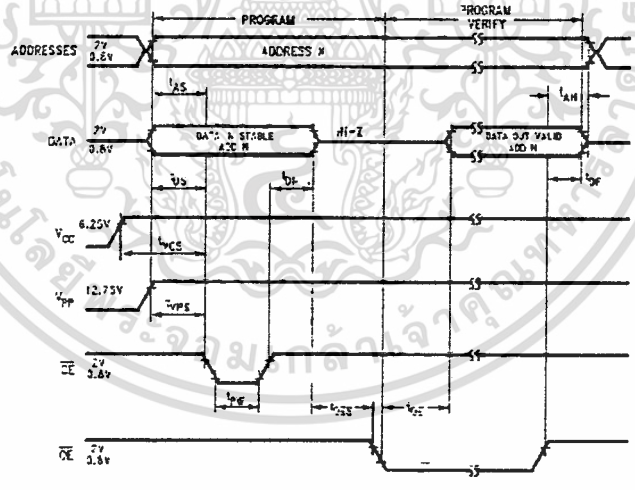
Note 10: Inputs and outputs can undershoot to −2.0V for 20 ns Max.

Note 11: CMOS inputs: V_{IL} = GND ±0.3V, V_{IH} = V_{CC} ±0.3V.

Programming Characteristics (Notes 1, 2, 3, 4 and 5)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{AS}	Address Setup Time		1			µs
t_{OES}	$\overline{OE}$ Setup Time		1			µs
t_{VPS}	V_{PP} Setup Time		1			µs
t_{VCS}	V_{CC} Setup Time		1			µs
t_{DS}	Data Setup Time		1			µs
t_{AH}	Address Hold Time		0			µs
t_{DH}	Data Hold Time		1			µs
t_{DF}	Output Enable to Output Float Delay	$\overline{CE}$ – V_{IL}	0		60	ns
t_{PW}	Program Pulse Width		95	100	105	µs
t_{OE}	Data Valid from $\overline{OE}$	$\overline{CE}$ – V_{IL}			100	ns
I_{PP}	V_{PP} Supply Current during Programming Pulse	$\overline{CE}$ - V_{IL}			30	mA
I_{CC}	V_{CC} Supply Current				50	mA
T_A	Temperature Ambient		20	25	30	°C
V_{CC}	Power Supply Voltage		6.0	6.25	6.5	V
V_{PP}	Programming Supply Voltage		12.5	12.75	13.0	V
t_{FR}	Input Rise, Fall Time		5			ns
V_{IL}	Input Low Voltage			0.0	0.45	V
V_{IH}	Input High Voltage		2.4	4.0		V
t_{IN}	Input Timing Reference Voltage		0.8		2.0	V
t_{OUT}	Output Timing Reference Voltage		0.8		2.0	V

Programming Waveforms (Note 3)



TL/LV/10333–5

Note 1: National's standard product warranty applies to devices programmed to specifications described herein.

Note 2: V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}. The EPROM must not be inserted into or removed from a board with voltage applied to V_{PP} or V_{CC}.

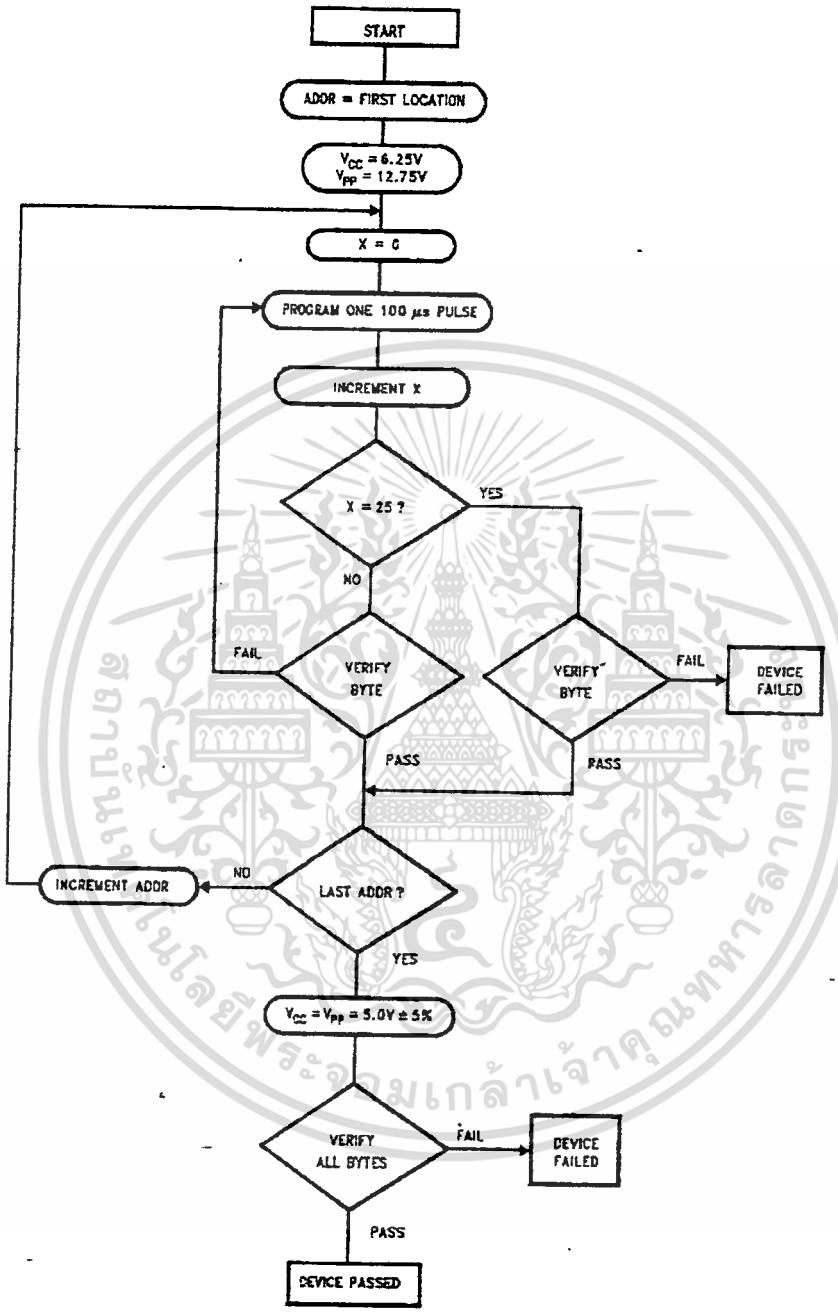
Note 3: The maximum absolute allowable voltage which may be applied to the V_{PP} pin during programming is 14V. Care must be taken when switching the V_{PP} supply to prevent any overshoot from exceeding this 14V maximum specification. At least a 0.1 µF capacitor is required across V_{PP}, V_{CC} to GND to suppress spurious voltage transients which may damage the device.

Note 4: Programming and program verify are tested with the Fast Program Algorithm, at typical power supply voltages and timings.

Note 5: During power up the $\overline{PGM}$ pin must be brought high ($\geq V_{IH}$) either coincident with or before power is applied to V_{PP}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fast Programming Algorithm Flow Chart



TL/LV10853–6

FIGURE 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Functional Description

DEVICE OPERATION

The six modes of operation of the EPROM are listed in Table I. It should be noted that all inputs for the six modes are at TTL levels. The power supplies required are V_{CC} and V_{PP}. The V_{PP} power supply must be at 12.75V during the three programming modes, and must be at 5V in the other three modes. The V_{CC} power supply must be at 6.25V during the three programming modes, and at 5V in the other three modes.

Read Mode

The EPROM has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable (CE/PGM) is the power control and should be used for device selection. Output Enable (OE) is the output control and should be used to gate data to the output pins, independent of device selection. Assuming that addresses are stable, address access time (t_{ACC}) is equal to the delay from CE to output (t_{CE}). Data is available at the outputs t_{OE} after the falling edge of OE, assuming that CE/PGM has been low and addresses have been stable for at least $t_{ACC}-t_{OE}$.

Standby Mode

The EPROM has a standby mode which reduces the active power dissipation by over 99%, from 385 mW to 0.55 mW. The EPROM is placed in the standby mode by applying a CMOS high signal to the CE/PGM input. When in standby mode, the outputs are in a high impedance state, independent of the OE input.

Output Disable

The EPROM is placed in output disable by applying a TTL high signal to the OE input. When in output disable all circuitry is enabled, except the outputs are in a high impedance state (TRI-STATE).

Output OR-Typing

Because the EPROM is usually used in larger memory arrays, National has provided a 2-line control function that accommodates this use of multiple memory connections. The 2-line control function allows for:

a) the lowest possible memory power dissipation, and

b) complete assurance that output bus contention will not occur.

To most efficiently use these two control lines, it is recommended that CE/PGM be decoded and used as the primary device selecting function, while OE be made a common connection to all devices in the array and connected to the READ line from the system control bus. This assures that all deselected memory devices are in their low power standby modes and that the output pins are active only when data is desired from a particular memory device.

Programming

CAUTION: Exceeding 14V on pin 1 (V_{PP}) will damage the EPROM.

Initially, and after each erasure, all bits of the EPROM are in the "1's" state. Data is introduced by selectively programming "0's" into the desired bit locations. Although only "0's" will be programmed, both "1's" and "0's" can be presented in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The EPROM is in the programming mode when the V_{PP} power supply is at 12.75V and OE is at V_{IH}. It is required that at least a 0.1 μF capacitor be placed across V_{PP}, V_{CC} to ground to suppress spurious voltage transients which may damage the device. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

When the address and data are stable, an active low, TTL program pulse is applied to the CE/PGM input. A program pulse must be applied at each address location to be programmed. The EPROM is programmed with the Fast Programming Algorithm shown in *Figure 1*. Each Address is programmed with a series of 100 μs pulses until it verifies good, up to a maximum of 25 pulses. Most memory cells will program with a single 100 μs pulse.

The EPROM must not be programmed with a DC signal applied to the CE/PGM input.

Programming multiple EPROM in parallel with the same data can be easily accomplished due to the simplicity of the programming requirments. Like inputs of the parallel EPROM may be connected together when they are programmed with the same data. A low level TTL pulse applied to the CE/PGM input programs the paralleled EPROM.

Program Inhibit

Programming multiple EPROMs in parallel with different data is also easily accomplished. Except for CE/PGM, all like inputs (including OE) of the parallel EPROMs may be common. A TTL low level program pulse applied to an EPROM's CE/PGM input with V_{PP} at 12.75V will program that EPROM. A TTL high level CE/PGM input inhibits the other EPROMs from being programmed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Functional Description (Continued)

Program Verify

A verify should be performed on the programmed bits to determine whether they were correctly programmed. The verify may be performed with V_{PP} at 12.75V. V_{PP} must be at V_{CC} except during programming and program verify.

AFTER PROGRAMMING

Opaque labels should be placed over the EPROM window to prevent unintentional erasure. Covering the window will also prevent temporary functional failure due to the generation of photo currents.

MANUFACTURER'S IDENTIFICATION CODE

The EPROM has a manufacturer's identification code to aid in programming. When the device is inserted in an EPROM programmer socket, the programmer reads the code and then automatically calls up the specific programming algorithm for the part. This automatic programming control is only possible with programmers which have the capability of reading the code.

The Manufacturer's Identification code, shown in Table II, specifically identifies the manufacturer and device type. The code for NM27C256 is "8F04", where "8F" designates that it is made by National Semiconductor, and "04" designates a 256K part.

The code is accessed by applying 12V ±0.5V to address pin A9. Addresses A1–A8, A10–A16, and all control pins are held at V_{IL}. Address pin A0 is held at V_{IL} for the manufacturer's code, and held at V_{IH} for the device code. The code is read on the eight data pins, O_0–O_7. Proper code access is only guaranteed at 25°C ± 5°C.

ERASURE CHARACTERISTICS

The erasure characteristics of the device are such that erasure begins to occur when exposed to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000Å–4000Å range.

The recommended erasure procedure for the EPROM is exposure to short wave ultraviolet light which has a wavelength of 2537Å. The integrated dose (i.e., UV intensity × exposure time) for erasure should be a minimum of 15W-sec/cm^2.

The EPROM should be placed within 1 inch of the lamp tubes during erasure. Some lamps have a filter on their tubes which should be removed before erasure. Table III shows the minimum EPROM erasure time for various light intensities.

An erasure system should be calibrated periodically. The distance from lamp to device should be maintained at one inch. The erasure time increases as the square of the distance from the lamp (if distance is doubled the erasure time increases by factor of 4). Lamps lose intensity as they age. When a lamp is changed, the distance has changed, or the lamp has aged, the system should be checked to make certain full erasure is occurring. Incomplete erasure will cause symptoms that can be misleading. Programmers, components, and even system designs have been erroneously suspected when incomplete erasure was the problem.

SYSTEM CONSIDERATION

The power switching characteristics of EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer: the standby current level, the active current level, and the transient current peaks that are produced by voltage transitions on input pins. The magnitude of these transient current peaks is dependent of the output capacitance loading of the device. The associated V_{CC} transient voltage peaks can be suppressed by properly selected decoupling capacitors. It is recommended that at least a 0.1 µF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance. In addition, at least a 4.7 µF bulk electrolytic capacitor should be used between V_{CC} and GND for each eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage drop caused by the inductive effects of the PC board traces.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้