สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วิดีโอดิจิไตเซอร์

VIDEO DIGITIZER

โดย

นางสาว พิมพรรณ ธรรมไทย เลขประจำตัว 38014346

นางสาว พิสินี จันทราธรรมชาติ เลขประจำตัว 38014352

นาย ภาณุพงศ์ สัมมาวรกิจ เลขประจำตัว 38014371

เลขหมู่.....
เลขทะเบียน 34062
วัน, เดือน, ปี - 1 ต.ค. 2542

ปริญญานิพนธ์เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิดีโอดิจิไตเซอร์

VIDEO DIGITISER

โดย

นางสาว พิมพรรณ ธรรมไทย เลขประจำตัว 38014346

นางสาว พิสินี จันทราธรรมชาติ เลขประจำตัว 38014352

นาย ภาณุพงศ์ สัมมาวรกิจ เลขประจำตัว 38014371

อาจารย์ที่ปรึกษา

อ. สุรพันธ์ เอื้อไพบูลย์

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2541

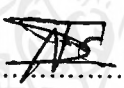
ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วิดีโอดิจิไตเซอร์

ผู้จัดทำ

1. นางสาว พิมพรรณ ธรรมไทย เลขประจำตัว 38014346
2. นางสาว พิสินี จันทราธรรมชาติ เลขประจำตัว 38014352
3. นาย ภาณุพงศ์ สัมมาวรกิจ เลขประจำตัว 38014371



.....อาจารย์ที่ปรึกษา

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงงานเรื่อง วิดีโอดิจิไตเซ่อร์

VIDEO DIGITISER

จัดทำโดย

นางสาว พิมพรรณ ธรรมไทย เลขประจำตัว 38014346

นางสาว พิสินี จันทราธรรมชาติ เลขประจำตัว 38014352

นาย ภาณุพงศ์ สัมมาวรกิจ เลขประจำตัว 38014371

โครงงานนี้ได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

ลงชื่อ .....

(.....)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วีดีโอ ดิจิไตเซอร์

นางสาวพิมพรรณ ธรรมไทย
นางสาวพิสินี จันทราธรรมชาติ
นายภาณุพงศ์ สัมมาวรกิจ
ดร. สุรพันธุ์ เอื้อไพบูลย์ (อาจารย์ที่ปรึกษา)
ภาคการเรียนที่ 2 ปีการศึกษา 2541

บทคัดย่อ

ในรายงานนี้จะเสนอเทคนิคการเก็บภาพขนาด 256X256 จุดจากกล้องวีดีโอ โดยใช้ไอซีแปลงสัญญาณอนาลอกไปเป็นดิจิตอลชนิดที่มีความเร็วสูง แล้วนำภาพไปเก็บในหน่วยความจำ และสามารถนำออกแสดงบนจอมอนิเตอร์ได้ รายงานนี้สามารถนำไปประยุกต์ใช้งานทางด้านคอมพิวเตอร์ต่อได้ ส่วนขอบข่ายของโครงงานนี้มีอยู่หลักๆ คือ การแซมปลิ้ง (Sampling) , การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล , การบันทึกข้อมูลลงแรม (RAM) , การแปลงสัญญาณดิจิตอลเป็นอนาลอกเพื่อแสดงผลทางจอมอนิเตอร์ ซึ่งสัญญาณที่จะแสดงที่จอมอนิเตอร์สามารถแสดงภาพนิ่งที่ได้จากการอ่านข้อมูลที่เก็บในแรม (RAM)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Video Digitizer

Miss. Pimpun Thumthai
Miss. Pisinee Chantrathammachart
Mr. Panupong Summavorakij
Mr. Surapan Aerpaiboon (Advisor)
2nd Semester, Educational Year 1998

Abstract

This report presents a technique of Frame Grabber of 256X256 pixel by using high speed ADC required a RAM capable of being written and can view on the monitor. This project can be applied for interface data from RAM to microcomputer. But limits of this report is enough sampling video signal, transform analog signal to digital signal, record data to memory, convert digital signal to analog and show video signal to monitor. The signal to show at monitor can show standard picture from read data in RAM.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ	I
Abstract	II
สารบัญ	III
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีการแสดงและการจัดเก็บภาพ	2
2.1 สัญญาณโทรทัศน์ขาวดำ	2
2.2 การแสดงสัญญาณ A/D แบบขนาน	10
2.3 การแปลงสัญญาณดิจิตอลเป็นอนาลอก	11
2.4 วิธีและลักษณะการจัดเก็บภาพ	13
2.5 การอินเทอร์เฟสกับการ์ด PARALLEL PRINTER PORT	15
บทที่ 3 การทำงานของวงจร	19
3.1 บทนำ	19
3.2 ภาควงจรสร้างสัญญาณนาฬิกาขนาด 5 เมกะเฮิร์ต	21
3.3 ภาควงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	23
3.4 ภาควงจรแยกสัญญาณซิ้งค์	24
3.5 ภาควงจรนับ	26
3.6 ภาคหน่วยความจำ	27
3.7 ภาควงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก	29
3.8 ภาควงจรไมโครคอนโทรลเลอร์	30
3.9 ภาคโปรแกรมการแสดงภาพ	31
บทที่ 4 ผลการทดลอง	34
4.1 บทนำ	34
4.2 การทดลองวัดสัญญาณที่จุดต่าง ๆ ของวงจร	34
4.3 การทดลองส่งข้อมูลจากไมโครคอนโทรลเลอร์มายังคอมพิวเตอร์ และแสดงผล	45
4.4 การทดลองการแสดงภาพที่ได้รับข้อมูลมาจากวงจร	47
บทที่ 5 สรุปผล	48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

เอกสารอ้างอิง

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันระบบดิจิตอลเข้ามามีบทบาทในสังคมปัจจุบันเป็นอย่างมาก เนื่องมาจากการประมวลผลเชิงดิจิตอลสามารถทำได้โดยง่าย และยังสามารถพลิกแพลงได้หลากหลาย เช่นเดียวกับระบบวิดีโอ ซึ่งในปัจจุบันมีการนำระบบวิดีโอดิจิตอลเข้ามาใช้งานอย่างกว้างขวางเนื่องจากความง่ายในการปรับแต่งและปรับปรุงภาพ

สำหรับโครงงานวิดีโอดิจิไตเซอร์ที่ได้จัดทำขึ้นเป็นโครงงานที่นำเอาระบบวิดีโอแบบอนาลอกมาแปลงเป็นดิจิตอลเพื่อนำไปประมวลผลบนคอมพิวเตอร์ส่วนบุคคล(Personal Computer)

วัตถุประสงค์

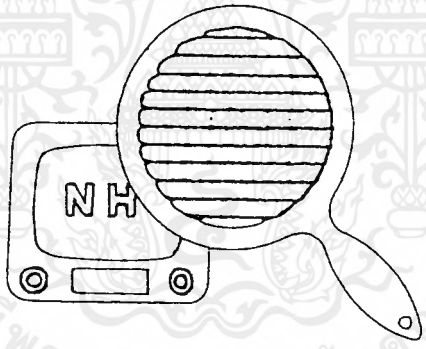
- เพื่อศึกษาเกี่ยวกับการแปลงสัญญาณอนาลอกเป็นดิจิตอล
- เพื่อศึกษาการนำสัญญาณดิจิตอลที่ได้เก็บลงสู่หน่วยความจำและสามารถนำมาใช้ได้
- เพื่อศึกษาการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีการแสดงและการจัดเก็บภาพ

2.1 สัญญาณโทรทัศน์ขาวดำ

ภาพที่ปรากฏบนจอหลอดภาพของเครื่องรับโทรทัศน์ จะประกอบขึ้นด้วยเส้นขวางเล็ก ๆ ในแนวนอนเป็นจำนวนมาก ซึ่งแต่ละเส้นนี้ก็มีทั้งส่วนที่ดำสนิท ดำจาง และสว่างมากรวมกันอยู่ เส้นขวางเล็ก ๆ ตามแนวนอนเหล่านี้ มีชื่อเรียกว่า เส้นสะแกน ซึ่งประกอบไปด้วยจุดเล็ก ๆ ที่มีทั้งมืดและสว่างปะปนอยู่ตามรูปที่ 2.1 ฉะนั้นภาพที่ปรากฏบนจอจึงประกอบขึ้นด้วยจุดเล็ก ๆ ซึ่งมีระดับของความสว่างแตกต่างกันเป็นจำนวนมากมาย จุดเล็ก ๆ เหล่านี้มีชื่อเรียกว่า ส่วนประกอบของภาพ (picture elements) ซึ่งภาพที่เห็นบนจอหลอดภาพจะมองดูละเอียด หยาบ ยังขึ้นอยู่กับความสว่างของภาพ และระยะที่มองดู



รูปที่ 2.1 ภาพบนจอเครื่องรับโทรทัศน์จะประกอบด้วยเส้นสะแกนแนวนอนจำนวนมาก

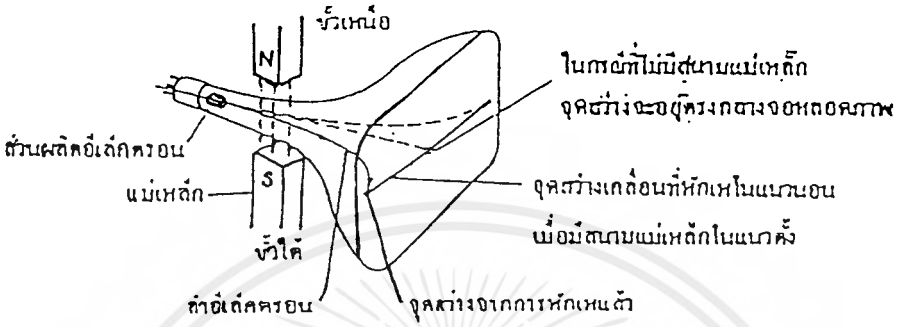
2.1.1 วิธีการสะแกนภาพและการหักเหของลำอิเลคตรอน

ภายในหลอดภาพของเครื่องรับโทรทัศน์ อิเลคตรอนที่หลุดออกมาจากแคโทด จะถูกดึงดูดให้วิ่งเป็นลำไปกระทบแอโนด หรือจอหลอดภาพซึ่งฉาบวัสดุเรืองแสงบางชนิดเอาไว้ ทำให้มองเห็นเป็นจุดสว่างขึ้นที่จอโดยอาศัยความเข้มของสนามแม่เหล็กเข้าช่วยเหลือ

เพื่อช่วยในการหักเหลำอิเลคตรอนในทิศทางที่ต้องการ จึงนิยมใช้สนามแม่เหล็กทั้งแนวตั้งและแนวนอนร่วมกันทั้งสองสนาม แม่เหล็กไฟฟ้านี้เกิดจากการปล่อยกระแสไฟฟ้าผ่านขดลวดที่พันอยู่รอบ ๆ คอหลอดภาพ รูปร่างของกระแสไฟฟ้ามักเป็นรูปฟันเลื่อย โดยปกติการสะแกนจะเริ่มต้นโดยการทำให้จุดสว่างเคลื่อนที่จากซ้ายมือด้านบนของจอไปทางขวามือในแนวนอน ซึ่งเมื่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถึงตำแหน่งขวาสุด ก็จะถูกเบนต่ำลงเล็กน้อย แล้วก็จะกลับไปตั้งต้นใหม่ทางซ้ายมือเพื่อเคลื่อนที่ไปทางขวามือในแนวนอนอีก จนกระทั่งจุดสว่างไปถึงตำแหน่งขวามือข้างล่างสุดเป็นอันเสร็จสิ้นการสะแกนภาพนิ่งภาพหนึ่ง ซึ่งเรียกกันว่าเฟรมหนึ่ง แล้วลำอิเลคตรอนจะกลับไปตั้งต้นใหม่ทางด้าน



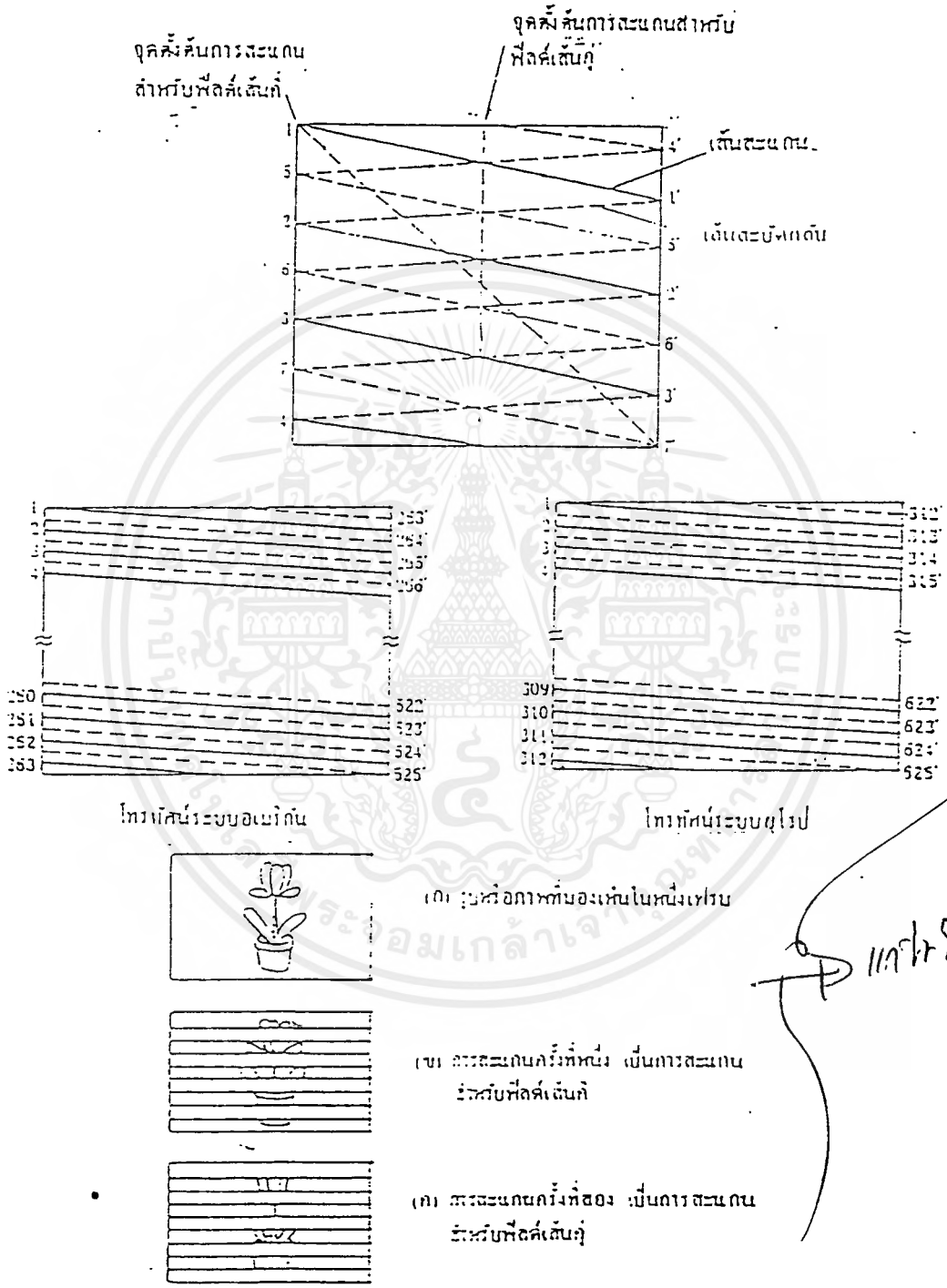
รูปที่ 2.2 การหักเหของลำอิเลคตรอนโดยอาศัยสนามแม่เหล็กเข้าช่วยเหลือ

ซ้ายมือบนสุดของจอหลอดภาพอีก เพื่อสะแกนภาพนิ่งอันดับต่อไป อย่างไรก็ตามการสะแกนภาพนิ่งแต่ละภาพจึงมักนิยมจัดทำสองครั้ง ในแบบของการสะแกนไขว้กันโดยกำหนดให้ภาพนิ่งหนึ่งเฟรมประกอบด้วยภาพนิ่งสองฟิลด์ และเริ่มต้นด้วยการสะแกนภาพนิ่งฟิลด์เส้นคี่ก่อนแล้วจึงสะแกนฟิลด์เส้นคู่ต่อไป ฉะนั้นการสะแกนภาพนิ่งหนึ่งเฟรมจึงประกอบด้วยการสะแกนภาพนิ่งฟิลด์คี่และฟิลด์คู่ สำหรับโทรทัศน์ระบบอเมริกันจะใช้เส้นสะแกน 525 เส้นต่อภาพ และ 30 ภาพต่อวินาที สำหรับโทรทัศน์ระบบยุโรปจะใช้เส้นสะแกน 625 เส้นต่อภาพ และ 25 ภาพต่อวินาที ความถี่ของกระแสไฟฟ้าที่ทำให้เกิดการหักเหทางแนวนอนและหักเหทางแนวตั้ง ก็จะมีค่าเป็น 625 X 25 หรือ 15,625 เฮิร์ต และ 50 เฮิร์ต ตามลำดับ

เมื่อคิดเปรียบเทียบกับช่วงเวลาที่มีเส้นสะแกน จุดสว่างที่มองเห็นเส้นสะบัดกลับไปในช่วงเวลาดังกล่าวแล้วนี้ไม่ก่อให้เกิดประโยชน์อันใดเลยจึงใช้สัญญาณแบล้งค์กิ้งลบเส้นสะบัดกลับ

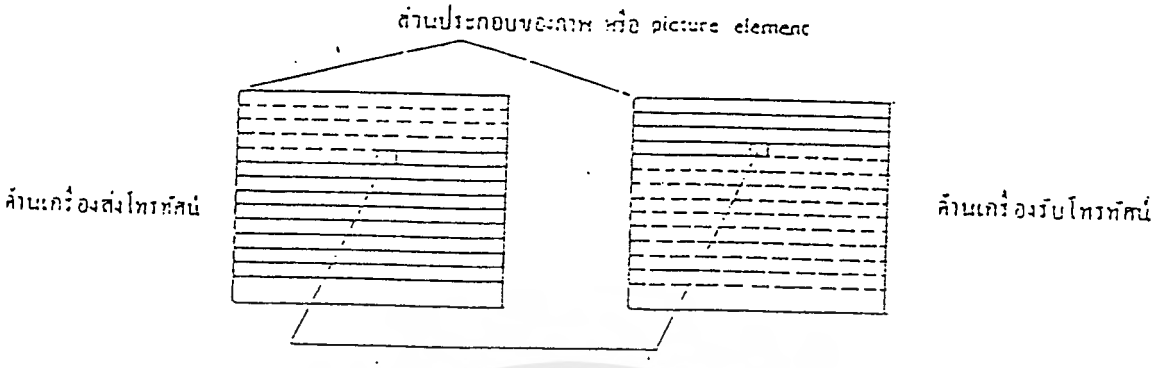
ความถี่ของกระแสรูปฟันเลื่อยในวงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้ง ทางด้านเครื่องส่ง และทางด้านเครื่องรับโทรทัศน์ต้องเท่ากันตลอดเวลาจึงจะทำให้เกิดภาพขึ้นที่จอหลอดภาพของเครื่องรับโทรทัศน์ การทำให้ความถี่ของกระแสทางด้านเครื่องส่งกับทางด้านเครื่องรับเท่ากันตลอดเวลานี้จำเป็นต้องใช้สัญญาณซิ้งค์เข้าช่วยเหลือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 การสะแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพโดยแบ่ง 1 เฟรมออกเป็น 2 ฟิลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 ความถี่การสะแกนทางด้านเครื่องส่งและเครื่องรับต้องเท่ากันตลอด

2.1.2 สัญญาณของสถานีโทรทัศน์ที่จำเป็นต้องส่ง

เพื่อให้เกิดผลสมความมุ่งหมาย สถานีโทรทัศน์ที่ส่งภาพขาวดำ จำเป็นต้องส่งสัญญาณหลายอย่างคือ

ก) สัญญาณภาพและสัญญาณเสียง เป็นสัญญาณที่ใช้เพื่อทำให้เกิดภาพ และเสียงทางเครื่องรับโทรทัศน์

ข) สัญญาณแบล้งค์กิ้ง เป็นสัญญาณที่ใช้ลบเส้นสะบัดกลับทั้งในแนวนอนและแนวตั้งเพื่อมิให้สังเกตเห็นได้ชัดในจอหลอดภาพ

ค) สัญญาณซิ้งค์ เป็นสัญญาณที่ใช้เพื่อช่วยทำให้วงจรของการหักเหทางแนวนอนและวงจรของการหักเหทางแนวตั้งในเครื่องส่งกับเครื่องรับโทรทัศน์มีความถี่ตรงกันตลอดเวลา สัญญาณซิ้งค์ทางแนวนอนมีความถี่ 15,625 เฮิร์ต และสัญญาณซิ้งค์ทางแนวตั้งก็มีความถี่ 50 เฮิร์ต

ง) สัญญาณอีควอไลซิ่ง เป็นสัญญาณที่ช่วยให้สัญญาณซิ้งค์ทางแนวตั้งยังมีรูปร่างเหมือนเดิมหลังจากแยกออกมาจากสัญญาณซิ้งค์ทางแนวนอนแล้ว นอกจากนี้ยังช่วยทำให้การสะบัดกลับแบบไขว้กันเป็นไปโดยเรียบร้อยสม่ำเสมอ

สัญญาณโทรทัศน์ที่มีสัญญาณภาพรวมกับสัญญาณอื่น ๆ หลายอย่างมีชื่อเรียกว่า สัญญาณ-ภาพรวม รูปที่ 2.5 แสดงภาพขาวสลับดำซึ่งเริ่มจากสีขาว สีจาง ๆ และสีดำสนิทเป็นแถบ ๆ กล้องโทรทัศน์จะเปลี่ยนภาพนี้เป็นสัญญาณทางไฟฟ้าชนิดหนึ่ง ซึ่งเมื่อรวมกับสัญญาณแบล้งค์กิ้ง และสัญญาณซิ้งค์แล้วก็จะได้สัญญาณภาพรวมตามที่แสดงไว้ ภาพแต่ละชนิดจะให้สัญญาณทางไฟฟ้าที่มีความถี่สูงแตกต่างกัน

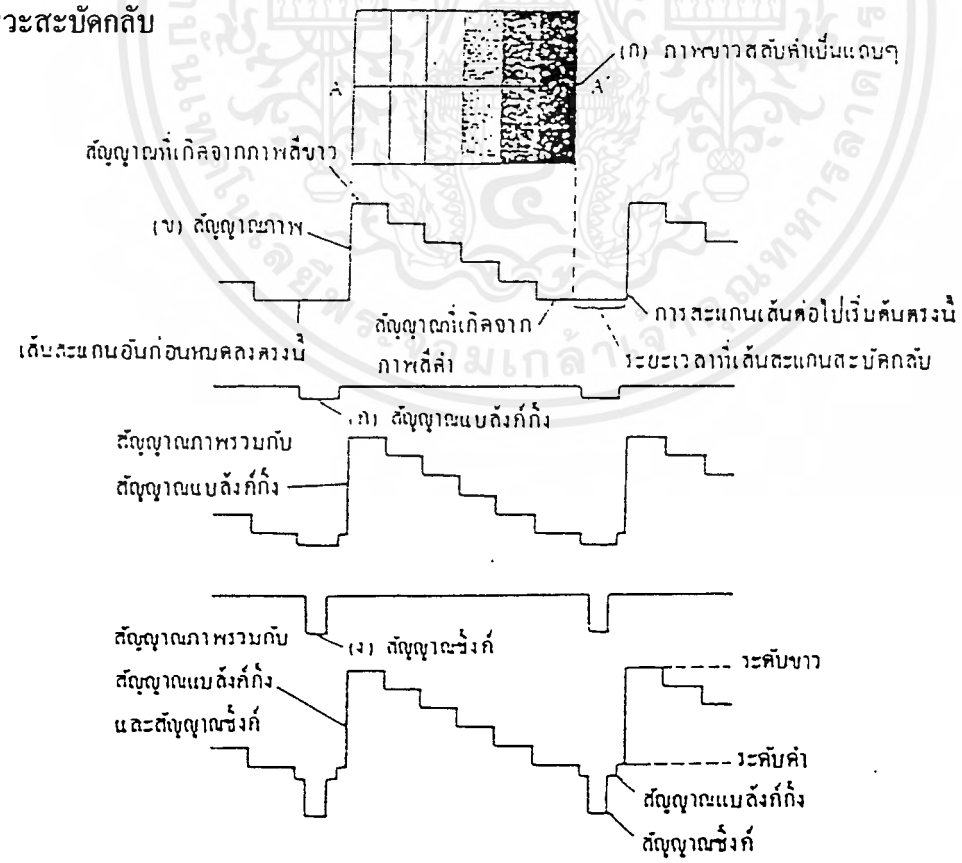
เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนสัญญาณซิ้งค์เมื่อแยกออกจากสัญญาณภาพรวมแล้ว ก็จะผ่านไปยังวงจรแยกซิ้งค์วงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้ง

สัญญาณต่าง ๆ ตามรูปที่ 2.6 จะรวมกันอยู่เป็นรูปร่างเดียวกันซึ่งเรียกว่า สัญญาณภาพรวม (composite video signal) คือในแต่ละเส้นสะแกนจะประกอบด้วย

สัญญาณรายละเอียดภาพ สัญญาณซิ้งค์ และสัญญาณแบล้งค์กิ้ง สัญญาณรายละเอียดภาพนั้น เป็นแรงดันกระแสสลับที่แปรเปลี่ยนค่าไปตามความสว่างของภาพ ซึ่งสัญญาณเหล่านี้มีทั้งเส้นสะแกนทางแนวตั้งและแนวนอน นอกจากนี้ยังมีสัญญาณอีควอไลซิ่งพัลส์ในเส้นสะแกนทางแนวนอนอีกด้วยโดยที่แต่ละสัญญาณมีหน้าที่คือ

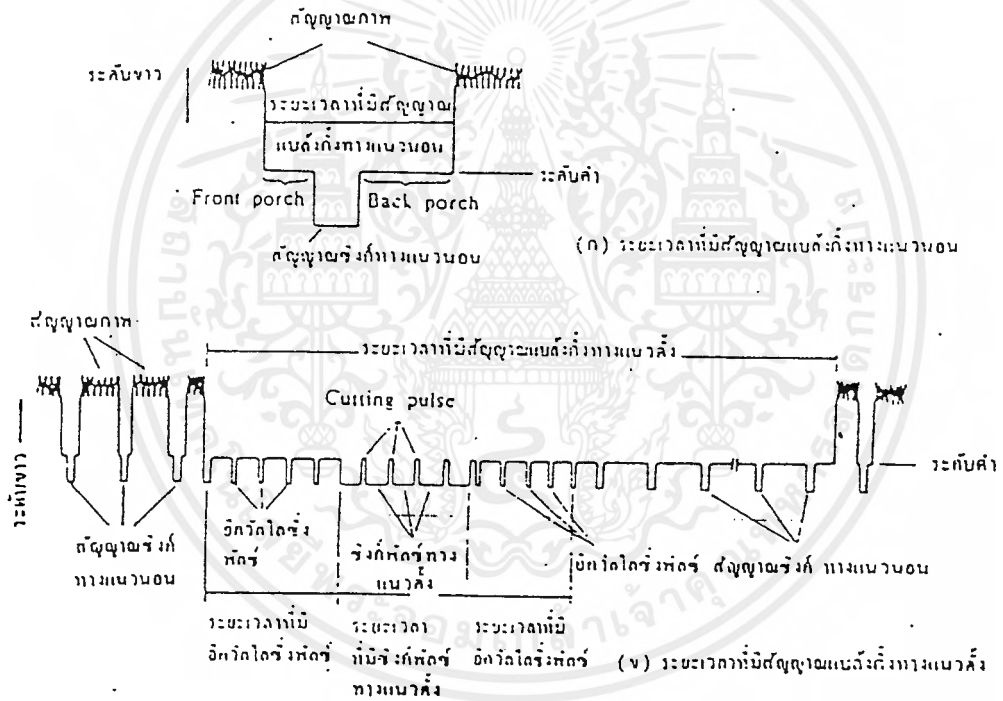
สัญญาณฮอริซอนตัลซิ้งค์(horizontal sync signal) คือแรงดันช่วงสั้น(pulse) ประมาณ 4.7 ไมโครวินาที เป็นสัญญาณที่มีระดับความแรงต่ำที่สุด(ต่ำกว่าจุดคัทออฟของหลอดภาพ) ส่งไปยังเครื่องรับเพื่อเป็นสัญญาณอ้างอิงในการสร้างความถี่ของวงจรสร้างสัญญาณเบี่ยงเบนทางแนวนอนในเครื่องรับ เพื่อให้เกิดการทำงานที่ได้จังหวะกับสัญญาณทางแนวนอนที่สร้างขึ้นทีสถานีส่ง ตำแหน่งภาพที่เกิดขึ้นบนจอเครื่องรับ จึงถูกต้องกับตำแหน่งของภาพ ที่ปรากฏที่เครื่องส่งทางแนวนอน สัญญาณนี้จะส่งรวมกับสัญญาณฮอริซอนตัลแบล้งค์กิ้งโดยส่งรวมกับสัญญาณภาพไปในช่วงจังหวะสะบัดกลับ



รูปที่ 2.5 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบ ๆ

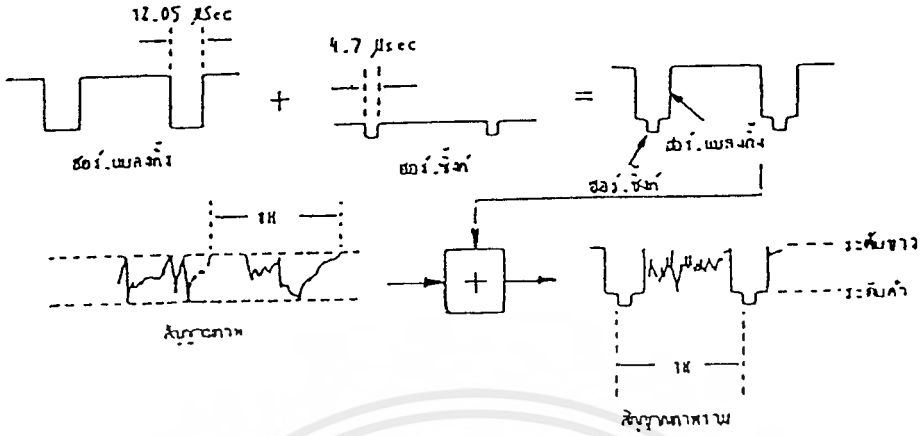
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณฮอริซอนตัลแบล้งค์กิ้ง(horizontal blanking signal) คือค่าแรงดันที่มีขนาดสูงกว่าฮอริซอนตัลซิ้งค์ประมาณ 20-30 %มีช่วงเวลาประมาณ 12.05 ไมโครวินาที โดยค่าแรงดันนี้จะอยู่ในระดับคัทออฟของหลอดภาพ ส่งไปยังเครื่องรับเพื่อทำให้หลอดภาพคัทออฟ ในจังหวะสะบัดกลับทางแนวนอนจึงไม่เห็นแสงของเส้นสะบัดกลับทางแนวนอนปรากฏที่จอ สัญญาณนี้จะส่งรวมกับฮอริซอนตัลซิ้งค์เดิมลงไปในสัญญาณภาพตรงช่วงสะบัดกลับทางแนวนอนซึ่งไม่มีสัญญาณภาพ



รูปที่ 2.6 สัญญาณภาพรวม แสดงให้เห็นรายละเอียดของสัญญาณแต่ละชนิด เช่นสัญญาณแบล้งค์กิ้ง สัญญาณซิ้งค์ และสัญญาณอีควอไลซิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

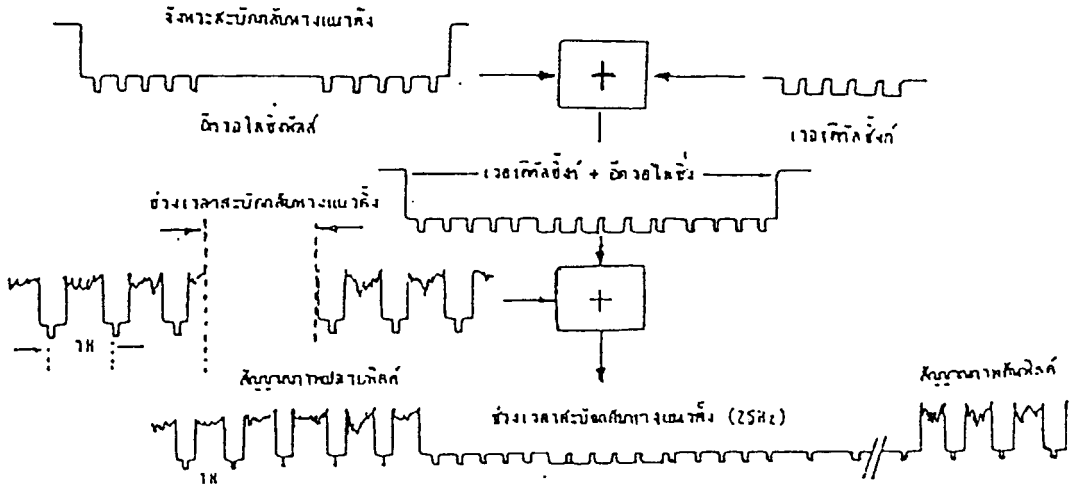


รูปที่ 2.7 แสดงการรวมสัญญาณฮอริซอนตัลซิ้งค์ และฮอริซอนตัลแบล้งค์กิ้งลงไปในสัญญาณภาพแต่ละเส้น

สัญญาณเวอร์ติคัลซิ้งค์(vertical sync signal) คือสัญญาณที่มีระดับแรงดันเท่ากันกับสัญญาณฮอริซอนตัลซิ้งค์ แต่ช่วงเวลาในการเกิดแรงดันจะนานกว่าฮอริซอนตัลซิ้งค์คือแบ่งออกเป็นช่วง 5 ช่วง(5 พัลส์)แต่ละช่วงจะเกิดนานประมาณ 29 ไมโครวินาที และเว้นระยะห่างกัน 4.7 ไมโครวินาที ส่งไปยังเครื่องรับเพื่อเป็นสัญญาณอ้างอิงสำหรับวงจรเบี่ยงเบนทางแนวตั้ง สัญญาณภาพนี้จะส่งรวมกับสัญญาณภาพมาในจังหวะสะบัดกลับทางแนวตั้งซึ่งเป็นจังหวะที่ไม่มีสัญญาณภาพ

สัญญาณอีควอไลซิ่งพัลส์ (equalizing pulse) คือช่วงพัลส์เวลาสั้น ๆ ประมาณ 2.35 ไมโครวินาทีจำนวน 2 ชุด ชุดละ 5 พัลส์ เติมลงไปนำหน้าและตามหลังสัญญาณเวอร์ติคัลซิ้งค์ เพื่อรักษารูปร่างและช่วงเวลาของเวอร์ติคัลซิ้งค์ให้สมบูรณ์ และที่แยกออกจากสัญญาณฮอริซอนตัลซิ้งค์อันจะทำให้การสอดแทรกสัญญาณลงไปเปลี่ยนแปลงความสว่างของราสเตอร์แต่ละพัลส์ให้เป็นไปอย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

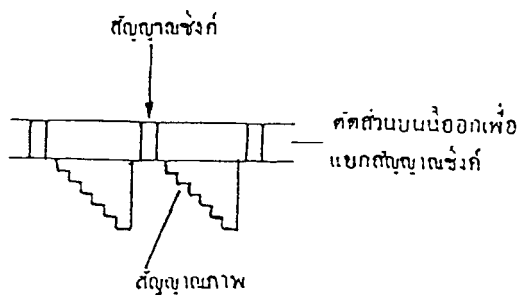


รูปที่ 2.8 แสดงการรวมสัญญาณเวอร์ติคัลซิ้งค์และเวอร์ติคัลแบล้งค์กิ้งลงไปในสัญญาณแต่ละฟิลด์

สัญญาณเวอร์ติคัลแบล้งค์กิ้ง(vertical blanking signal)เป็นแรงดันที่ส่งไปทำให้หลอดภาพดับออฟในช่วงระยะเวลาสะบัดกลับทางแนวตั้งเพื่อทำให้โน้มลงไม่เห็นแสงที่เกิดจากขอบจอด้านล่างขึ้นไปยังขอบจอด้านบนในจังหวะสะบัดกลับทางแนวตั้งซึ่งมีช่วงเวลาประมาณ 25 เส้นสะแกนทางแนวนอนด้วยเหตุนี้สัญญาณเวอร์ติคัลแบล้งค์กิ้งจึงส่งรวมกับสัญญาณภาพ โดยเติมลงไปตรงกับจังหวะสะบัดกลับทางแนวตั้งของสัญญาณซึ่งเป็นจังหวะที่ไม่มีสัญญาณรายละเอียดภาพ

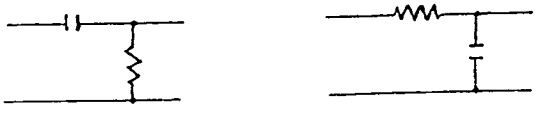
2.1.3 วงจรแยกสัญญาณซิ้งค์

สัญญาณซิ้งค์ที่สถานีโทรทัศน์ส่งออกมาพร้อมกับสัญญาณภาพและสัญญาณแบล้งค์กิ้งในรูปของสัญญาณภาพรวมนี้จะมีทั้งสัญญาณซิ้งค์ทางแนวนอนและแนวตั้งซึ่งจะแยกออกจากกันโดยความจริงที่ว่าขนาดคลื่นของสัญญาณซิ้งค์สูงกว่าระดับของสัญญาณภาพที่กำหนดไว้ตามรูปที่ 2.9 สัญญาณซิ้งค์นี้ยังเป็นสัญญาณซิ้งค์รวมจึงต้องแยกสัญญาณซิ้งค์ทางแนวนอนออกจากสัญญาณซิ้งค์ทางแนวตั้งอีกโดยถือหลักว่าสัญญาณซิ้งค์ทางแนวนอนมีความถี่ 15,625 เฮิร์ต ซึ่งสูงมากจึงสามารถผ่านฟิลเตอร์ชนิดความถี่สูงผ่านได้ง่าย ส่วนสัญญาณซิ้งค์ทางแนวตั้งนั้นมีความถี่เพียง 50 เฮิร์ต ซึ่งเป็นความถี่ต่ำจึงควรผ่านฟิลเตอร์ชนิดที่มีความถี่ต่ำผ่านได้ง่าย



รูปที่ 2.9 วิธีการแยกสัญญาณซิ้งค์ออกจากสัญญาณภาพโดยเปรียบขนาดของสัญญาณทั้งสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) ฟิลเทอร์ชนิดความถี่สูงผ่านได้ง่าย (ข) ฟิลเทอร์ชนิดความถี่ต่ำผ่านได้ง่าย

รูปที่ 2.10 วงจรที่แยกสัญญาณซิ้งค์แนวนอนออกจากสัญญาณซิ้งค์ทางแนวตั้ง

2.2 การแปลงสัญญาณ A/D แบบขนาน(แฟลช)

การแปลงสัญญาณอนาลอกเป็นดิจิตอล(Analog to Digital) ที่ใช้ในโครงงานนี้ มีทฤษฎีพื้นฐานมาจากวงจร A/D แบบใช้วงจรเปรียบเทียบขนาน (Flash) ซึ่งวงจรเอทูดีแบบนี้ใช้หลักการง่าย ๆและเป็นวิธีที่รวดเร็วที่สุดคือใช้วงจรเปรียบเทียบที่ต่อขนานกันดังรูปที่ 2.11ประกอบด้วยออปแอมป์ที่ต่อเป็นวงจรเปรียบเทียบและตัวต้านทานต่อไว้เพื่อแบ่งแรงดันที่ขาอินพุตแบบกลับ(inverting)ให้มีขนาดต่างทางกันและจากหลักการของวงจรเปรียบเทียบทั่วไป เมื่อแรงดันอินพุตที่ขาอินพุตแบบไม่กลับสัญญาณ(non-inverting) มีค่าสูงกว่าอินพุตที่ขากลับสัญญาณเอาต์พุตจะได้แรงดันค่าสูงสุดตจากตารางที่ 2.1 จะเข้าใจยิ่งขึ้นว่าแรงดันที่ค่าต่าง ๆ มีผลต่อเอาต์พุตของวงจรเปรียบเทียบแต่ละตัวอย่างไรเอาต์พุตที่ได้จากวงจรเปรียบเทียบนี้จะนำเข้ารหัสเป็นเลขฐานสองต่อไป

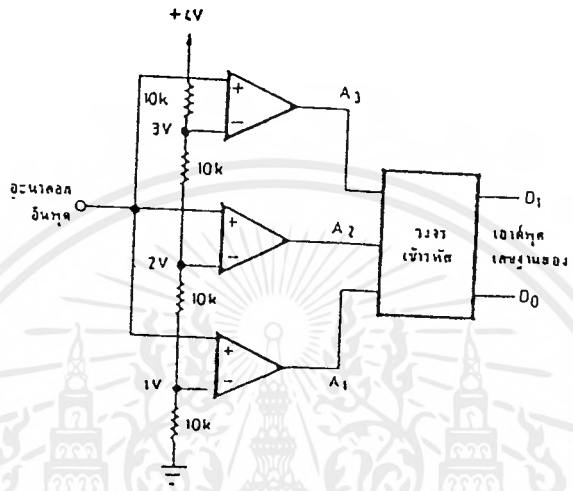
จำนวนของวงจรเปรียบเทียบที่ต้องใช้ในวงจรนี้ขึ้นอยู่กับขนาดของสัญญาณอนาลอกที่อินพุตจากวงจรในรูปที่ 2.11 ถ้าแรงดันเอาต์พุตมีการ 1 โวลต์ไม่เพียงพอที่จะทำให้วงจรเปรียบเทียบตัวใดให้เอาต์พุตเป็น “HIGH” วงจรเปรียบเทียบทั้งA_1 และA_2 ให้เอาต์พุตเป็น “HIGH” ถ้าแรงดันอินพุตมากกว่า 3 โวลต์ วงจรเปรียบเทียบก็จะให้เอาต์พุต “HIGH” ทั้งหมด

เมื่อต้องการวงจรที่มีความละเอียดสูงขึ้นจำเป็นต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น เช่น ถ้าต้องการความละเอียด 3 บิต ต้องใช้วงจรเปรียบเทียบถึง 7 ตัว ความละเอียด 4 บิตใช้วงจรเปรียบเทียบ 15 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อะนาลอกอินพุต (โวลต์)	เอาต์พุตตัวเปรียบเทียบ			เอาต์พุตเลขฐานสอง	
	A_1	A_2	A_3	D_1	D_0
0-1	0	0	0	0	0
1-2	1	0	0	0	1
2-3	1	1	0	1	0
3-4	1	1	1	1	1

ตารางที่ 2.1



รูปที่ 2.11 แสดงวงจร A/D แบบแฟลช

2.3 การแปลงสัญญาณดิจิตอลเป็นอนาลอก

จะมีด้วยกันหลายวิธีดังนี้

2.3.1 วงจร D/A แบบใช้ความต้านทานหลายค่า

วงจรD/Aแบบนี้ใช้ตัวต้านทานและออปแอมป์เพื่อเปลี่ยนระดับสัญญาณลอจิก 2 ระดับเป็นแรงดันที่ได้สัดส่วนกันดังรูปที่ 2.12 แสดงวงจรเปลี่ยนสัญญาณดิจิตอลขนาด 4 บิตออปแอมปที่ใช้มีเกณฑ์สูงมาก มีความต้านทานเอาต์พุตต่ำ ความต้านทานอินพุตสูงมาก สิ่งสำคัญที่สุดคือสัญญาณที่เอาต์พุตถูกป้อนกลับมายังอินพุตแบบไม่กลับเฟส เอาต์พุตของออปแอมป์จะเป็นตัวจ่ายเหลือรับกระแสเพื่อให้แรงดันที่เปรียบเทียบนั้นมีค่าเดียว วงจรในรูปที่ 2.12 ต่อขาไม่กลับเฟสลงกราวน์ดังนั้นที่ขากลับเฟสก็จะมีแรงดัน 0 โวลต์ด้วย โดยไม่ได้ต่อลงกราวน์โดยตรง เรียกว่า กราวน์เสมือน (vertual ground)

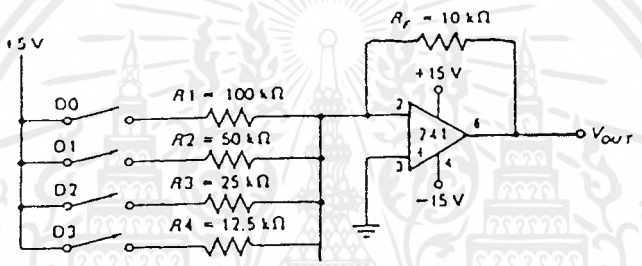
มาดูที่สวิทช์D0ปิดตัวต้านทาน R1 ค่า 100K จะมีแรงดัน 5 โวลต์ที่ปลายข้างหนึ่งอีกข้างหนึ่งเป็น 0 โวลต์ จากกฎของโอห์มจะมีแรงดันตกคร่อม 5 โวลต์ กระแสไหลผ่าน 0.05 มิลลิแอมป์ กระแสนี้ไม่อาจเข้าไปยังอินพุตของออปแอมป์ได้ ดังนั้นจึงไหลผ่านไปยังเอาต์พุตโดยผ่านความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้านทานป้อนกลับ R_f เท่ากับ 10K จะได้รับแรงดันอินพุตเท่ากับ 10K x (-0.05)มิลลิแอมป์เท่ากับ –0.5 โวลต์

เมื่อเปิดวงจรสวิทช์ที่D0และปิดวงจรที่D1(R2เป็นครึ่งหนึ่งของR1)กระแสจะเพิ่มเป็น 2 เท่าหรือ 0.5 มิลลิแอมป์ ไหลผ่าน R_f และ R2 ให้มีแรงดันเอาต์พุตเป็น –1 โวลต์ ต่อไปก็ปิดวงจรD0,D1 จะได้กระแส 0.05มิลลิแอมป์ผ่าน R1 และ0.1 มิลลิแอมป์ผ่าน R2 รวมกระแสเป็น 0.15 มิลลิแอมป์ ได้แรงดันเอาต์พุต –1.5 โวลต์

แรงดันเอาต์พุตจะเพิ่มขึ้นเรื่อย ๆ เหมือนขั้นบันไดดังนั้น 4 บิตได้ถึง 15 ระดับ แต่ละระดับต่างกัน –0.5 โวลต์



รูปที่ 2.12 แสดงวงจร A/D แบบใช้ความต้านทานหลายค่า

2.3.2 แบบใช้ไอซี (Monolotic and Hybride D/A Converters)

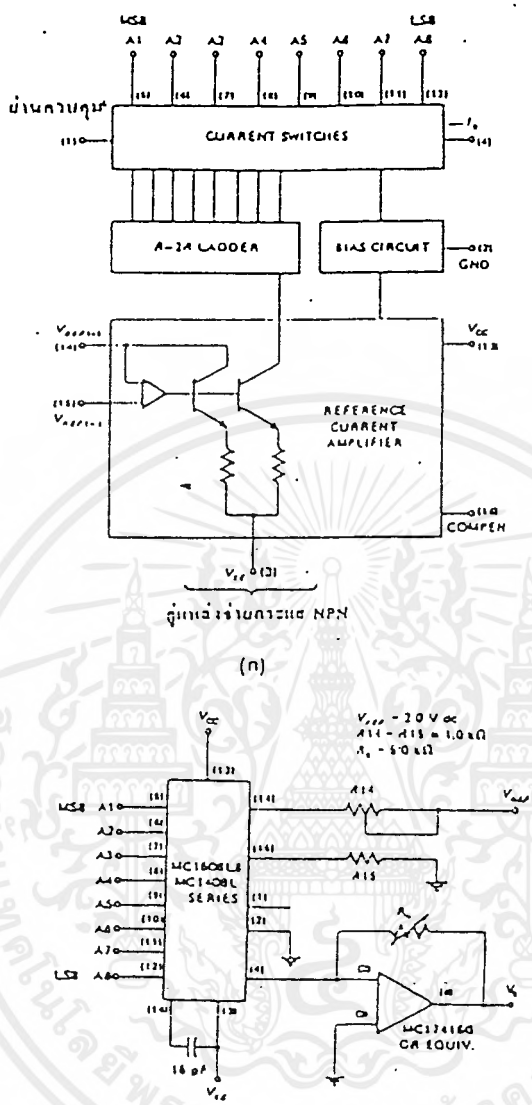
โมโนโลทิค หมายถึง หินก้อนเดียว เมื่อนำมาใช้ในวงจรรวมจะเป็นการชี้บอกว่า วงจรหนึ่ง ๆ ถูกบรรจุอยู่ในสารกึ่งตัวนำเพียงตัวเดียว

ไฮบริด บรรจุสารกึ่งตัวนำที่เรียกว่า ชิพ เพียงตัวเดียว หรือมากกว่ามีตัวต้านทานหรือตัวประกอบวงจรอื่น ๆ อยู่ในกรอบของไอซีตัวเดียว

ตัวอย่างของไอซีเปลี่ยนสัญญาณดิจิทอโมโนลิทิคขนาด 8 บิทคือ MC1408 มีผังการทำงานดังรูป 2.13 1408L เป็นDIP (Dual Inline Package)16ขาใช้ Vcc+5V และ V_{EE}-5Vถึง-15V ใน1408L R/2R แลดเดอร์แบ่งกระแสที่ได้จากภาคขยายเป็น 8 ระดับขึ้นอยู่กับค่าทางเลขฐานสอง(binary) ทรานซิสเตอร์แบบไบโพลาร์จะสวิทช์ให้กระแสที่สอดคล้องกับอินพุต A1ถึงA8 การเรียงจากบิตที่มีนัยสำคัญต่ำสุดจะกลับกันกับของวงจรทั่ว ๆ ไปแต่วงจรเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอกบางตัวก็ไม่ได้เรียงอย่างนี้ควรอ่านคู่มือให้ดีเสียก่อน MC1408L มีกระแสเอาต์พุตที่สามารถเปลี่ยนแปลงแรงดันได้ด้วยออปแอมป์และตัวต้านทานดังในรูปที่ 2.13 แรงดันนี้คำนวณโดยใช้สูตร

$$V_{out} = Vref/R14 * Ro(A1/2 – A2/4 + ..A6/64 + A7/128 + A8/256)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 แสดงวงจรดีทูเอ MC1408 ของโมโตโรลา

2.4 วิธีและลักษณะการจัดเก็บภาพ

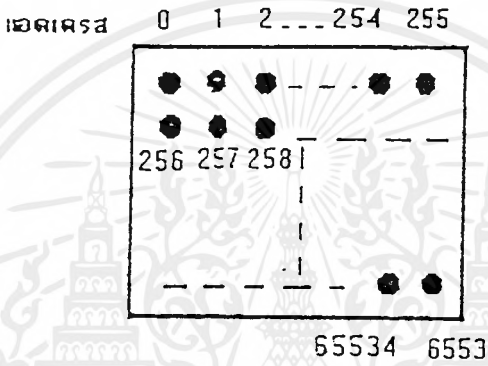
ในการจัดเก็บภาพนั้นสัญญาณภาพจะถูกเปลี่ยนเป็นสัญญาณดิจิตอล เพื่อที่จะเก็บในหน่วยความจำแรม สัญญาณภาพที่ได้จากโทรทัศน์วงจรปิดหรือเครื่องส่งโทรทัศน์นั้นเวลาที่สะแกนภาพ (Scan) เสร็จสิ้นในแต่ละภาพนั้นจะมีระยะเวลาสั้นมาก แม้จะมีการสะแกน 2 ฟิลด์ต่อภาพ(1 เฟรม) ก็ตาม ในการสะแกนแต่ละฟิลด์จะใช้เวลาประมาณ 20 มิลลิวินาที จะเห็นได้ว่าเวลาสั้นมาก เพราะฉะนั้นไอซีที่ทำหน้าที่แปลงสัญญาณภาพจากอนาลอกไปเป็นดิจิตอลจะต้องทำงานด้วยความเร็วสูง นั่นคือต้องทำงานที่ความถี่สูงได้ดี ซึ่งไอซีชนิดนี้เรียกว่า IC แบบ Flash A/D ในโครงงานจะใช้ไอซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เบอร์ TDA8708A ขนาด 8 บิต ซึ่งจะทำการสุ่มสัญญาณ(sampling signal) ภาพให้มีความละเอียดขนาด 2^8 เท่ากับ 256 จุดต่อ1เส้นสะแกนทางแนวนอน

ระบบเก็บภาพขนาด 256 x 256 จุดต่อภาพ

การเก็บภาพขนาด 256 x256 จุดต่อภาพและในแต่ละจุดจะมีระดับความแตกต่างของสี(ขาว-ดำ)ได้256ระดับจะต้องใช้หน่วยความจำแรมในการบันทึกภาพเท่ากับ 64 กิโลไบท์ เราจึงจัดให้มีการเก็บภาพแบบแอดเดรสในหน่วยความจำแรมต่อเนื่องกันดังรูปที่ 4.14



รูปที่ 2.14 การจัดเก็บหน่วยความจำแรมของระบบเก็บภาพ

จากรูปเป็นลักษณะการจัดแอดเดรสดังนี้ จุดแรกมุมซ้ายบนสุดคือแอดเดรสที่ 0 และนับไปทางขวามือจนถึงมุมขวามือบนสุดเป็นแอดเดรสที่ 255 (ครบเส้นสะแกน 1 เส้น)ในบรรทัดต่อมาเป็นแอดเดรสที่ 256 และนับไปทางขวาต่อเนื่องกันเช่นนี้จนถึงมุมขวาล่างสุดเป็นแอดเดรสที่ 65535(การสะแกนครบ 1 ภาพ) ซึ่งจะต้องใช้หน่วยความจำแรมทั้งหมด 64 กิโลไบท์

ในลักษณะเช่นนี้เราสามารถเขียนข้อมูลภาพที่ถูกเปลี่ยนเป็นสัญญาณดิจิตอลจากไอซี TDA 8708A ได้ทันเวลาเนื่องจากใน 1 เส้นสะแกนทางแนวนอนจะมีระยะเวลาประมาณ 64 ไมโครวินาที และระยะแสดงภาพที่ต้องเปลี่ยนสัญญาณดิจิตอลจะมีประมาณ 80 % ของสัญญาณทั้งหมด ฉะนั้นจะได้ 64 ไมโครวินาที x 0.8 เท่ากับ 51.2 ไมโครวินาที (สัญญาณภาพ) ส่วนที่เหลือเป็นของฮอริซอนตัลซิ้งค์(Hor Sync) และฮอริซอนตัลแบล้งค์กิ้ง(Hor blank)ดังนั้นเมื่อต้องการเก็บภาพแต่ละเส้นด้วยขนาด 256 จุดต่อเส้นก็จะมีเวลาในการเขียนภาพแต่ละจุดลงสู่หน่วยความจำแรมเท่ากับ (51.2ไมโครวินาที)/256 เท่ากับ 200 นาโนวินาที ก็สามารถที่จะทำวงจรเก็บภาพลงสู่หน่วยความจำแรมได้ทัน ในการสะแกนภาพในแต่ละฟิลด์เนื่องจากค่าแอคเซสไทม์(Access time) ซึ่งก็คือเวลาที่ใช้ในการอ่านเขียนหน่วยความจำให้เสร็จสิ้นโดยทั่วไปแล้วมักจะใช้หน่วยความจำแบบสแตติกแรม (Static RAM) และไดนามิกแรม(Dynamic RAM) จะมีค่าประมาณ 200 นาโนวินาทีซึ่งก็คือความถี่ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้ในการแซมปลิ้ง(sampling) เท่ากับ 5 เมกะเฮิร์ต ในระบบเก็บภาพนั้นนอกจากภาพจะถูกเปลี่ยนเป็นสัญญาณดิจิตอลและเก็บลงสู่หน่วยความจำแล้วภาพที่เราเก็บนี้ยังสามารถนำออกมาแสดงที่จอมอนิเตอร์ได้

2.5 การอินเทอร์เฟสกับการ์ดPARALLEL PRINTER PORT

เราสามารถใช้การ์ดParallel Printer Port เป็นตัวรับสัญญาณอินพุทและเอาท์พุทแบบดิจิตอลเพื่อใช้ในการอินเทอร์เฟสกับอุปกรณ์อื่น การ์ดนี้มีรีจิสเตอร์อยู่หลายแบบ ได้แก่ รีจิสเตอร์เอาท์พุทขนาด 8 บิท ซึ่งเราสามารถอ่านข้อมูลที่ส่งออกไปกลับเข้ามาตรวจสอบได้ , รีจิสเตอร์เอาท์พุทขนาด 4 บิท ซึ่งสามารถอ่านข้อมูลกลับมาตรวจสอบและใช้เป็นริจิสเตอร์อินพุทได้ , รีจิสเตอร์อินพุทขนาด 5 บิท และสุดท้ายรีจิสเตอร์เอาท์พุทขนาด 1 บิท ซึ่งสามารถใช้สั่งให้ส่งสัญญาณอินเทอร์รัพท์ระดับที่ 7 ได้ (อยู่ที่พอร์ทแอดเดรสเดียวกับรีจิสเตอร์อินพุท/เอาท์พุทขนาด 4 บิท) นอกจากนี้ค่าแอดเดรสของรีจิสเตอร์แต่ละตัวในการ์ดParallel Printer Port มีค่าแอดเดรสกำกับอยู่ 2 ค่า ดังนั้นสมมติว่าถ้าในระบบของเรามีการ์ด Parallel Printer Port อยู่ 2 แผ่น เราสามารถกำหนดค่าแอดเดรสที่ต่างกันให้แก่รีจิสเตอร์แต่ละตัวในการ์ดแต่ละแผ่น เพื่อกันไม่ให้รีจิสเตอร์ชนิดเดียวกันในการ์ดทั้ง 2 แผ่นทำงานขึ้นพร้อมกัน ซึ่งก่อให้เกิด conflict ขึ้น ซึ่งอาจทำให้ข้อมูลที่ส่งผิดพลาดไป เอาท์พุทและอินพุทของรีจิสเตอร์ที่กล่าวมาข้างต้นจะต่อเข้ากับขาของคอนเน็คเตอร์ 25 ขา แบบ D ที่อยู่ด้านหลังของการ์ดทำให้การใช้งานทำได้สะดวก

2.5.1วิธีการแก้ไขค่าแอดเดรสของการ์ด

ค่าแอดเดรสของรีจิสเตอร์ต่าง ๆ ในการ์ด Parallel Printer Port มีค่าเท่ากับ 0378 ,0379 และ 037a (ทั้งหมดเป็นเลขฐาน 16) เราสามารถแก้ไขค่าแอดเดรสนี้ให้มีค่าเป็น 0278 , 0279 และ 027a (ทั้งหมดเป็นเลขฐาน 16 เช่นกัน) การแก้ไขค่าแอดเดรสให้เป็นค่าใหม่ทำได้โดยตัดทางเดินสัญญาณออก 1 เส้น ตำแหน่งของทางเดินสัญญาณนี้อยู่ระหว่างขา jump 2 ขา ซึ่งบนการ์ดระบุไว้ด้วยตัวอักษร J1 เมื่อเราตัดทางเดินระหว่างขาทั้งสองนี้ ในการถอดรหัสการเลือกใช้งานรีจิสเตอร์ต่าง ๆ ต้องใช้ค่าแอดเดรสใหม่ทั้งหมด

2.5.2 พอร์ทเอาท์พุทขนาด 8 บิท

รีจิสเตอร์เอาท์พุทขนาด 8 บิทบนการ์ด Parallel Printer Port มีค่าพอร์ทแอดเดรสเท่ากับ 0378 หรือ 0278 (เลขฐาน 16) ในกรณีที่เราแก้ไขการ์ดแล้ว เอาท์พุทของรีจิสเตอร์ตัวนี้ถูกต่อเข้ากับขาต่าง ๆ ของคอนเน็คเตอร์ 25 ขา แบบ D ดังแสดงในรูปที่2.15 ด้วยเหตุนี้เราสามารถส่งข้อมูลมาที่ขาของคอนเน็คเตอร์ได้โดยตรงโดยการใช้คำสั่ง OUT เขียนข้อมูลมาที่พอร์ทแอดเดรสนี้ ข้อมูลที่ส่งมาที่พอร์ทแอดเดรสนี้จะมีค่าเหมือนเดิม คือถ้าส่ง 1 มาที่บิทใด ๆ ของพอร์ทนี้ข้อมูลที่ขาของคอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เน็คเตอร์จะมีระดับสัญญาณแบบ TTL เป็น high (ในกรณีของรีจิสเตอร์ตัวอื่นข้อมูลที่ส่งมาบางบิทจะถูกคอมพลีเมนต์) เราสามารถอ่านข้อมูลที่เราเอาท์พุทออกไปที่คอนเน็คเตอร์กลับเข้ามาทางรีจิสเตอร์อินพุทซึ่งมีค่าพอร์ทแอดเดรสค่าเดียวกัน จุดประสงค์ของการอ่านข้อมูลกลับเข้ามานี้ก็เพื่อตรวจสอบว่า ข้อมูลเอาท์พุทที่ส่งออกไปจะถูกทำให้เปลี่ยนแปลงไปโดยอุปกรณ์ภายนอกหรือไม่ ในกรณีที่อุปกรณ์ภายนอกส่งข้อมูลออกมาขณะที่เราอ่านข้อมูลกลับเข้าไปตรวจสอบ ข้อมูลทั้งสองชุดจะ OR กัน

BASIC ADDRESS HEX 0378
MODIFIED CARD HEX ADDRESS 0278

TTL LEVEL WITH "ONE" WRITTEN TO PORT BIT
TTL LEVEL OF READ DATA WITH A "ONE" READ
PIN POSITION OF 25 PIN "D"TYPE CONNECTOR

Bit			
0	HIGH	HIGH	2
1	HIGH	HIGH	3
2	HIGH	HIGH	4
3	HIGH	HIGH	5
4	HIGH	HIGH	6
5	HIGH	HIGH	7
6	HIGH	HIGH	8
7	HIGH	HIGH	9

รูปที่ 2.15 พอร์ทเอาท์พุทขนาด 8 บิท

2.5.3 พอร์ตอินพุท/เอาท์พุทขนาด 4 บิท

รีจิสเตอร์ขนาด 5 บิทมีค่าพอร์ตแอดเดรสเท่ากับ 037a หรือ 027a (เลขฐาน 16) ในกรณีที่เราแก้ไขการ์ดแล้ว บิทเอาท์พุท 4 บิทจะถูกต่อเข้ากับคอนเน็คเตอร์ 25 ขา แบบ D ส่วนบิทที่เหลือคือบิทที่ 4 จะใช้ในการ enable และ disable การขอทำการอินเทอร์รัพท์ระดับที่ 7 เอาท์พุทของรีจิสเตอร์เอาท์พุทที่ส่งออกไปที่คอนเน็คเตอร์สามารถอ่านกลับเข้ามาได้โดยใช้คำสั่ง IN กับพอร์ทแอดเดรสเดียวกันสำหรับพอร์ทนี้สัญญาณเอาท์พุทจะต่างไปจากพอร์ทอื่นคือ ในบิทที่ 0,1,3 สัญญาณเอาท์พุทจะถูก complement จากสัญญาณเดิม ลักษณะของขาของคอนเน็คเตอร์ที่กำกับบิทต่างๆ และลักษณะของสัญญาณเอาท์พุทแสดงไว้ในรูปที่ 2.16 โดยอาศัยการใช้คำสั่ง IN เราสามารถอ่านข้อมูลที่ปรากฏที่ขา 1,14,16,17 และบิท IRQ กลับเข้ามาได้ ในกรณีที่วงจรภายนอกไม่ได้ขับสัญญาณใดๆ กับขาเหล่านี้ ข้อมูลที่อ่านกลับเข้ามาจะเหมือนกับข้อมูลที่ส่งออกไป เนื่องจากบิทเอาท์พุททั้ง 4 บิทที่ถูกต่อเข้ากับขาของคอนเน็คเตอร์เป็นแบบ open-collecter ดังนั้นเราสามารถใช้มันเป็นอินพุทได้ ถ้าเอาท์พุทรีจิสเตอร์ถูกกำหนดให้ส่งระดับสัญญาณ TTL เป็น high ที่ทุกๆ บิท บิทเหล่านี้อาจเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

low ได้ ถ้ามีสัญญาณป้อนเข้ามาที่บิทเหล่านี้ ดังนั้นวงจรภายนอกสามารถควบคุมระดับแรงดันที่บิทเหล่านี้ได้ เมื่อเราใช้คำสั่ง IN เราจะทราบข้อมูลของวงจรภายนอกจากบิทเหล่านี้

BASIC ADDRESS HEX 037A
MODIFIED CARD HEX ADDRESS 027A

TTL LEVEL WITH "ONE" WRITTEN TO PORT BIT
TTL LEVEL OF READ DATA WITH A "ONE" READ
PIN POSITION OF 25 PIN "D"TYPE CONNECTOR

Bit			
0	LOW	LOW	1
1	LOW	LOW	14
2	HIGH	HIGH	16
3	LOW	LOW	17
4	ENABLED IRQ7	ENABLED IRQ7 BIT	
5	NOT USED		
6	NOT USED		
7	NOT USED		

รูปที่ 2.16 ลักษณะของพอร์ทอินพุท/เอาท์พุท และขากำกับบิทต่างๆ

2.5.4 พอร์ทอินพุทขนาด 5 บิท

รีจิสเตอร์อินพุทขนาด 5 บิทที่พอร์ทนี้มีค่าแอดเดรสเท่ากับ 0379 และ 0279 (เลขฐาน 16) ในกรณีที่แก้ไขการ์ดแล้ว สำหรับลักษณะสัญญาณและขากำกับบิทต่างๆแสดงไว้ในรูปที่ 2.17 เราใช้พอร์ทนี้ในการอ่าน realtime status ของอุปกรณ์เพื่อส่งไปให้ตัวประเมินผล (processor)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

34062

BASIC ADDRESS HEX 379
MODIFIED CARD HEX ADDRESS 279

TTL LEVEL OF READ DATA WITH A "ONE" READ
PIN POSITION OF 25 PIN "D"TYPE CONNECTOR

Bit		
0 NOT USED	-	-
1 NOT USED	-	-
2 NOT USED	-	-
3	HIGH	15
4	HIGH	13
5	HIGH	12
6	HIGH	10
7	LOW	11

รูปที่2.17 ลักษณะของพอร์ทอินพุทขนาด 5 บิทและขากำกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การทำงานของวงจรและโปรแกรมแสดงภาพ

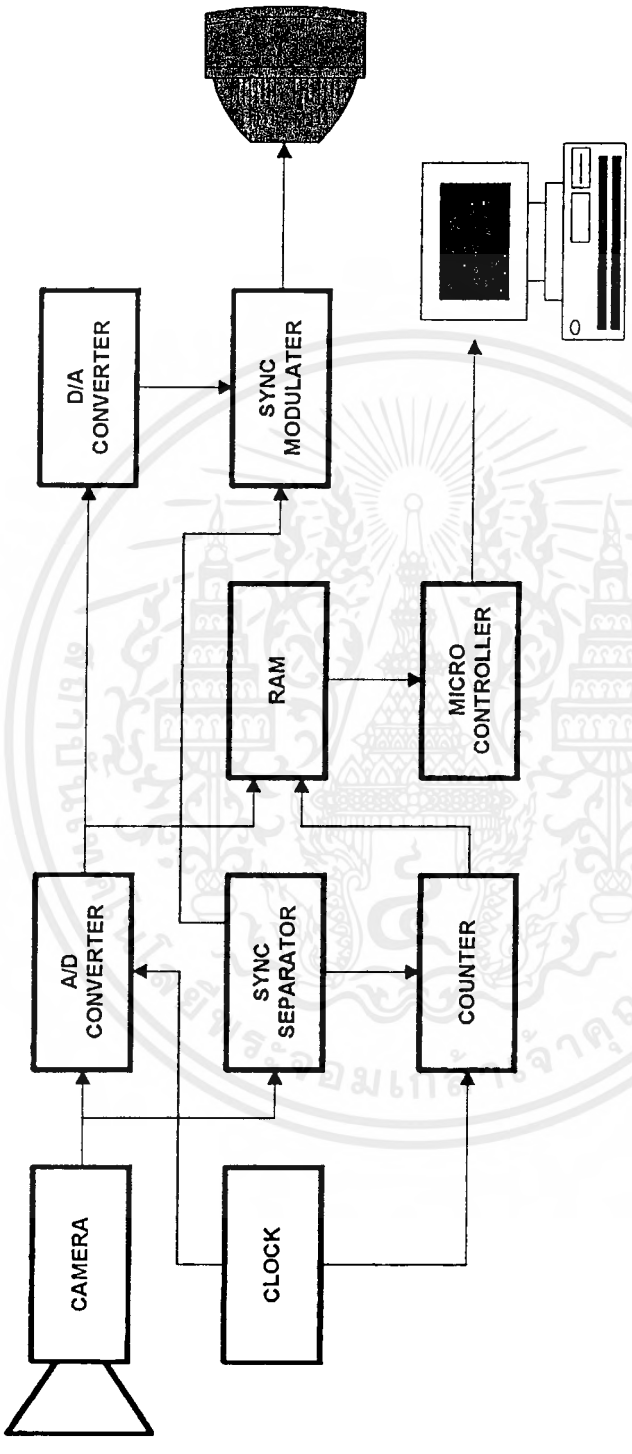
3.1 บทนำ

สำหรับหลักการทำงานคร่าว ๆ คือ การนำสัญญาณที่ได้จากกล้องวีดีโอซึ่งเป็นสัญญาณอนาลอก นำมาแปลงเป็นข้อมูลแบบ ดิจิตอลโดยใช้อัตราการสุ่ม 5 MHz โดยจะแปลงเป็นข้อมูลภาพที่มีความละเอียดขนาด 256 x 256 จุด โดยแต่ละจุดจะมี 256 ระดับความสว่าง ซึ่งเมื่อนำข้อมูลภาพแต่ละจุดมารวมกันก็จะได้ภาพออกมา โดยข้อมูลที่ได้มาจะถูกเก็บในหน่วยความจำขนาด 64Kx8 bit ซึ่งจะสามารถเก็บข้อมูลได้ 1 ภาพพอดี หลังจากนั้นไมโครคอนโทรลเลอร์จะนำข้อมูลจากหน่วยความจำส่งมายังคอมพิวเตอร์โดยผ่านพอร์ทขนาน เมื่อโปรแกรมได้รับข้อมูลจากไมโครคอนโทรลเลอร์จะทำการประมวลผลและแสดงภาพที่มอนิเตอร์ จากที่ได้กล่าวมาสามารถจะแบ่งภาคการทำงานได้ดังนี้

1. ภาคสร้างสัญญาณนาฬิกา ความถี่ 5 MHz
2. ภาควงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล
3. ภาควงจรแยกซิงค์ของสัญญาณวีดีโอ
4. ภาควงจรนับ
5. ภาควงจรหน่วยความจำภาพ
6. ภาคแปลงสัญญาณดิจิตอลเป็นอนาลอก
7. ภาคไมโครคอนโทรลเลอร์
8. ภาคโปรแกรมการแสดงภาพ

ซึ่งวงจรทั้งหมดจะทำงานสัมพันธ์กันดังรูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



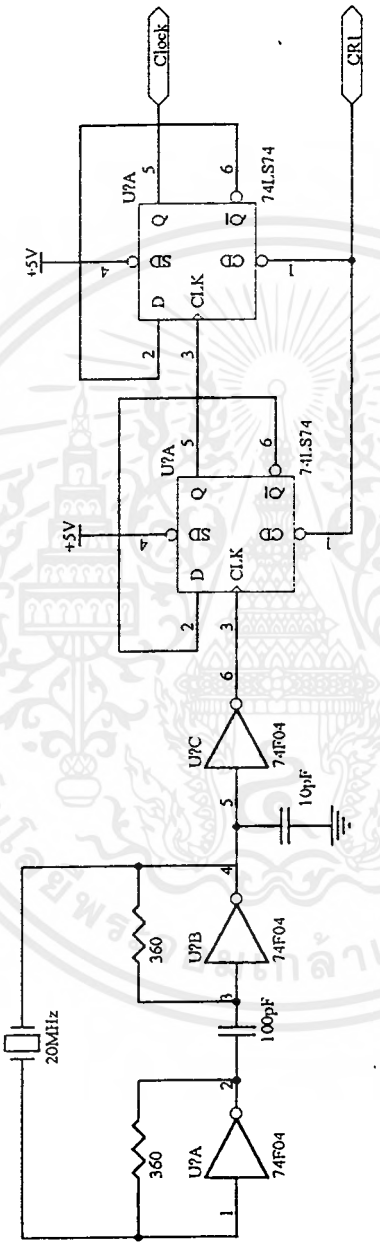
รูปที่ 3.1 บล็อกไดอะแกรมของวงจรภาคต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ภาควงจรสร้างสัญญาณนาฬิกาขนาด 5 MHz

ในการสร้างสร้างสัญญาณนาฬิกาขนาด 5 MHz จะใช้คริสตอลขนาด 20 MHz ต่อร่วมกับ Inverter 3 ตัว ในลักษณะของวงจรออสซิลเลส ก็จะได้สัญญาณนาฬิกาขนาด 20 MHz จากนั้น สัญญาณที่ได้จะถูกหารความถี่ลงสองเท่า ด้วย D Flip-Flop ครั้ง ซึ่งจะทำให้ได้ความถี่ขนาด 5 MHz โดย D Flip-Flop ทั้งสองจะถูกควบคุม โดยสัญญาณ /CR1 เพื่อที่จะให้การสุ่มข้อมูลของ A/D Converter เกิดขึ้น ณ . ตำแหน่งแรกของภาพเพื่อให้การเก็บข้อมูลลงใน RAM ไม่ผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงวงจรสร้างสัญญาณนาฬิกาขนาด 5 เมกะเฮิร์ต

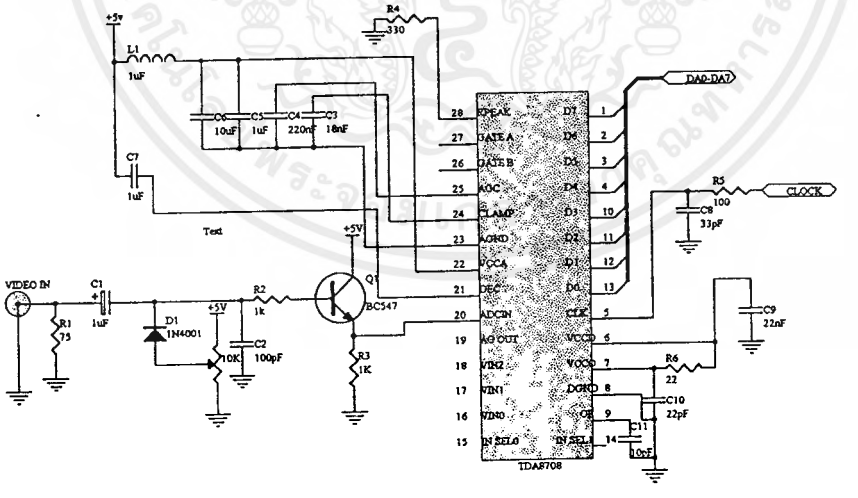
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3ภาควงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter)

จากรูปวงจรในรูปที่ 3.3 จะเห็นว่าสัญญาณวีดีโอจะผ่าน วงจร Buffer ซึ่งจะต้องผ่านความต้านทานขนาด 75 ohm เพื่อปรับอิมพีแดนซ์ของวงจรกับกล้องให้เหมาะสมกันจากนั้นสัญญาณจะถูกคัปปลิ้ง ผ่าน C1 ขนาด 1 uF เพื่อตัดสัญญาณ DC ที่มาพร้อมกับ สัญญาณภาพ และสัญญาณจะถูกยกระดับ ด้วย D1 และ VR1 เพื่อลดสัญญาณรบกวนและปรับแรงดันให้เหมาะสมกับ A/D จากนั้นสัญญาณจะถูกผ่านไปยัง Q1 เพื่อส่ง ผ่านไปยัง A/D อีกที่

ในส่วนของวงจร A/D Converter ซึ่งจะทำหน้าที่ในการแปลงสัญญาณอนาลอกให้เป็นสัญญาณ ดิจิตอลโดยจะใช้ IC เบอร์ TDA8708A ซึ่ง โดยการสัญญาณวีดีโอที่ได้จะถูกนำมาเข้าที่ ขา 20 (ADCIN) เพื่อนำข้อมูลเข้าไปใน IC โดยจะป้อนสัญญาณ Clock เข้าที่ขา 5 ของ IC เพื่อเป็นสัญญาณในการ Sampling ข้อมูล ในส่วนขา 24 (Clamp) และ 25 (AGC) จะไม่ได้ใช้งานจึงต่อ ตัวเก็บประจุลงกราวน์ เพื่อลดสัญญาณรบกวนที่อาจเกิดขึ้นได้

ในการแปลงข้อมูลของ IC ตัวนี้จะได้ข้อมูลขนาด 8 บิต ซึ่งจะทำให้ได้ความแตกต่างของข้อมูลขนาด 256 ระดับ โดยสัญญาณที่จะใช้ในการ Sampling ควรจะมีขนาดอยู่ระหว่าง VCCA –2.41 (2.59) ถึง VCCA-1.41 (3.59) ซึ่งสัญญาณที่ได้จะถูกส่งไปยังส่วนอื่นต่อไป



รูปที่3.3 แสดงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

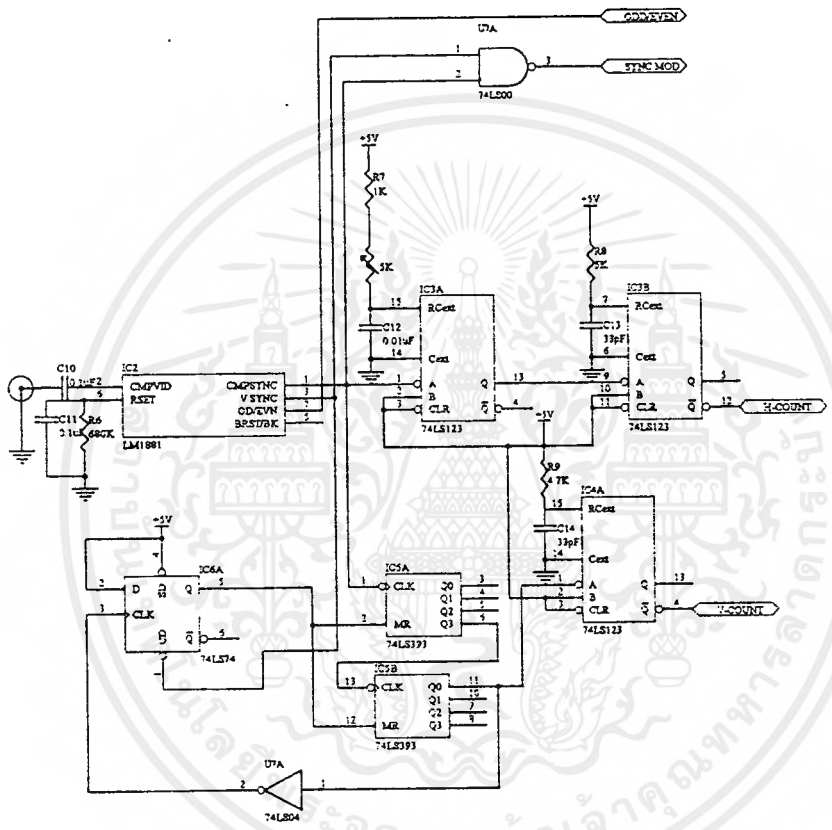
3.4 ภาควงจรแยกสัญญาณซิ้งค์ (Sync Separate Circuit)

วงจรในส่วนนี้จะทำหน้าที่ในการแยกสัญญาณซิ้งค์ออกจากสัญญาณภาพ เพื่อนำไปควบคุมการทำงานของวงจรในส่วนอื่นๆ โดยจะใช้ IC เบอร์ LM 1881 ซึ่งจะรับข้อมูลภาพจากกล้อง มาเข้าที่ ขา2 (Vin) ของ IC โดยจะคัปปลิ้งผ่าน C ขนาด 0.1 uF เพื่อจะลดสัญญาณ DC จากกล้อง นอกจากนี้จะต้องทำการต่อ R ขนาด 680 Kohm และ C ขนาด 0.1 uF เพื่อเป็นการกำหนดเวลาของวงจรผลิตความถี่ภายใน สำหรับเอาพุทที่ได้จาก ขา 1 ของ IC จะได้สัญญาณซิ้งค์ทางแนวนอน ส่วนสัญญาณที่ได้จาก ขา 3 ของวงจรคือสัญญาณซิ้งค์ทางแนวตั้ง และสัญญาณที่ได้จาก ขา 7 วงจรจะได้สัญญาณฟิลด์คี่ฟิลด์คู่

สัญญาณซิ้งค์รวมของวงจรจะถูกส่งไปยังชุดหน่วงเวลา โดย ผ่าน 74LS123 2 ตัวซึ่งจะทำการหน่วงเวลา ของสัญญาณซิ้งค์ไป 9 ไมโครวินาที เพื่อที่จะให้การเริ่มนับของแอดเดรสของ RAM เริ่มต้นที่ ตำแหน่งของสัญญาณภาพไม่ใช่สัญญาณ Sync ซึ่งจะได้สัญญาณ H-COUNT ซึ่งจะถูกส่งไปยังวงจร Counter เพื่อเป็นการรีเซตการนับแอดเดรส

นอกจากนี้สัญญาณซิ้งค์รวมจะถูกส่งไปยังวงจรนับซิ้งค์ ที่ IC5 เพื่อหน่วงเวลาให้กับสัญญาณซิ้งค์ทางแนวตั้ง คือเมื่อมีสัญญาณซิ้งค์ทางแนวตั้งเข้ามาจะทำให้เกิดการรีเซตชุดควบคุมการนับสัญญาณซิ้งค์รวมทำให้เอาท์พุท Qของ IC5 เป็น “0” ผลที่ได้คือ วงจรการนับเริ่มการนับ ซึ่งเมื่อนับได้ 32 ครั้ง จะเกิดพัลส์ขนาด 140 nS ที่ IC4 ซึ่งจะถูกส่งไปควบคุมการรีเซตวงจรทางแนวตั้งต่อไป ซึ่งการนับสัญญาณซิ้งค์รวมนี้จะเริ่มการนับอีกครั้งภายหลังจากมีสัญญาณซิ้งค์ทางแนวตั้งลูกใหม่เข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



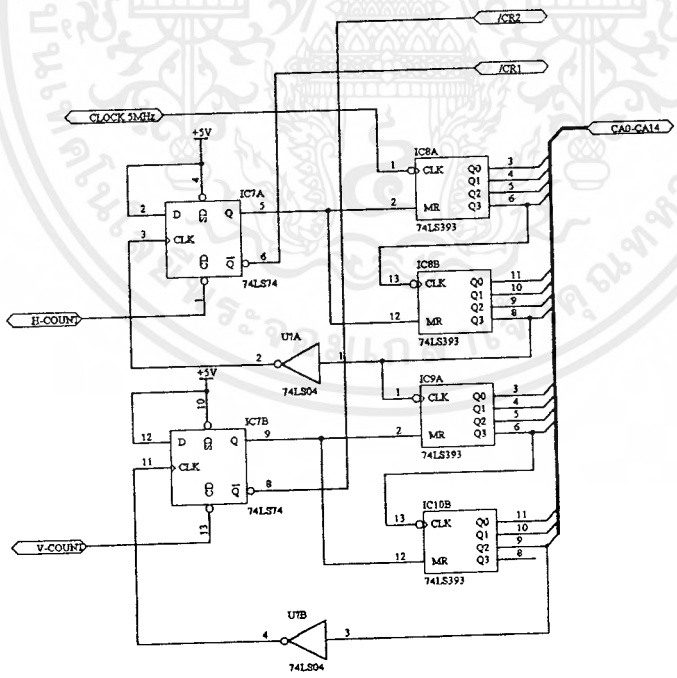
รูปที่ 3.4 แสดงวงจรแยกสัญญาณซิ้งค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 ภาควงจรนับ (Counter Circuit)

การทำงานในภาคนี้คือเมื่อมีสัญญาณ นาฬิกาขนาด 5 MHz มาเข้าที่ขา Clk ของ IC8A (74LS393) ซึ่งเป็น Counter ขนาด 4 bit จากนั้นนำ Q 3 ของ IC8A ไปเป็น Clock ของ IC8B และ Q3 ของ IC8B ไปเป็น Clock ให้ IC9A และเช่นเดียวกันคือนำ Q3 ของ IC9A ไปเป็น Clock ให้กับ IC9B ซึ่งจะทำให้ได้ขาสัญญาณขนาด 15 เส้นซึ่งจะนำไปเป็นสัญญาณ แอดเดรส ให้กับหน่วยความจำขนาด 32 KByte โดยจะแบ่งขาสัญญาณออกเป็น 2 ส่วน คือ 8 เส้นแรก จะใช้อ้างอิงหน่วยความจำทางแนวนอน (เก็บข้อมูลภาพหนึ่งเส้น) และอีก 7 เส้นหลัง จะเป็นการกำหนดตำแหน่งของหน่วยความจำแนวตั้ง ซึ่งจะทำให้สามารถอ้างสัญญาณภาพได้ 128 เส้น

ในส่วนวงจรนับทั้งสองส่วน จะได้รับการควบคุมจากวงจรควบคุมการนับทางแนวนอน (IC 7A) คือ เมื่อมีสัญญาณ H-COUNT เข้ามา วงจรจะส่งสัญญาณไปทำการรีเซตวงจรนับทางแนวนอน เช่นเดียวกับวงจรควบคุมทางแนวตั้ง คือเมื่อมีสัญญาณ V-COUNT เข้ามายังวงจรควบคุมการนับทางแนวตั้ง (IC 7B) วงจรจะส่งสัญญาณทำการรีเซตวงจรนับทางแนวตั้ง ซึ่งจะทำให้การนับ address ของ RAM ตรงกับสัญญาณภาพที่ได้



รูป 3.5 แสดงวงจรนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

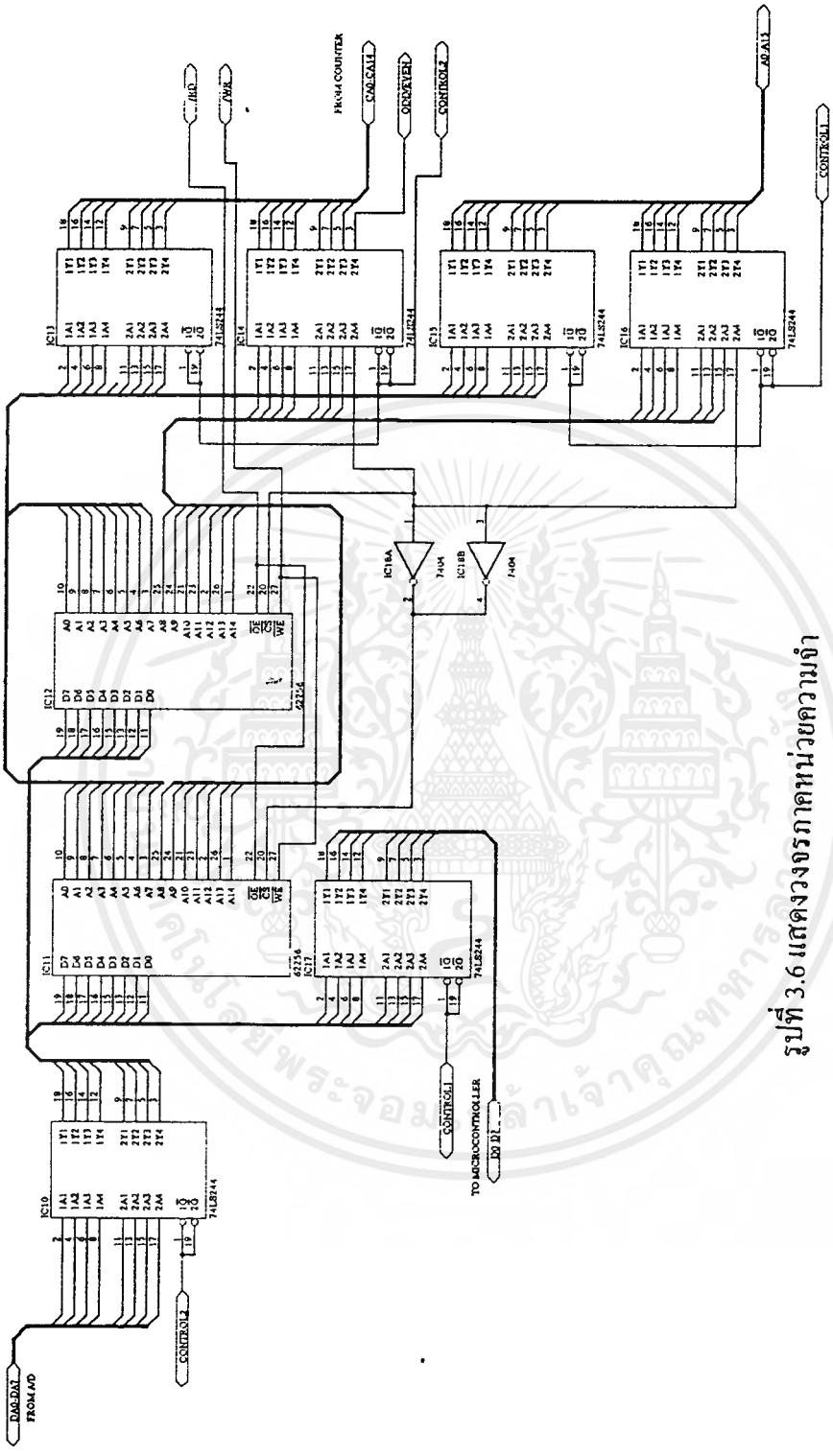
3.6 ภาคหน่วยความจำ (RAM)

ในภาคหน่วยความจำจะใช้ IC11 และ IC12 ซึ่งเป็นหน่วยความจำภาพขนาด 32 กิโลไบท์ โดย IC11 จะใช้เก็บสัญญาณภาพฟิลด์คี่ และ IC12 จะใช้เก็บสัญญาณฟิลด์คู่โดยการเขียนข้อมูลใน RAM ทั้งสองจะรับข้อมูลจากวงจร Analog to Digital โดยข้อมูลจะถูกควบคุมผ่าน Buffer IC10 ซึ่งใช้สัญญาณ Control2 ในการควบคุมเปิดปิดdataให้เข้าหรือไม่เข้าไปยัง RAM โดย Control2 จะถูกสั่งงานมาจากไมโครคอนโทรลเลอร์8051 สำหรับสัญญาณเลือกแอดเดรสจากวงจร Counter ก็จะถูกผ่าน Buffer IC13 และ IC14 เช่นเดียวกัน ซึ่งจะถูกควบคุมการผ่านของข้อมูลโดยสัญญาณ Control2 เช่นเดียวกับสัญญาณข้อมูลจาก Analog to Digital โดยเมื่อต้องการเขียนข้อมูลใน RAM ก็ทำการสั่งให้สัญญาณ Control2 เป็น "0" และเมื่อไม่ต้องการให้เขียนข้อมูลลงใน RAM ก็ทำการส่งสัญญาณข้อมูลให้เป็น "1" สำหรับสัญญาณ /WR ก็ถูกควบคุมโดยไมโครคอนโทรลเลอร์เช่นเดียวกัน

เมื่อต้องการอ่านข้อมูลจาก RAM ไมโครคอนโทรลเลอร์ก็จะทำการส่งค่าแอดเดรสและ data ผ่านทาง IC15 , IC16 และ IC17 ไปยัง RAM ซึ่งจะถูกควบคุมโดยสัญญาณ Control1 ซึ่งส่งมาจากไมโครคอนโทรลเลอร์เช่นเดียวกัน

จากวิธีการข้างต้นจะพบว่าเราสามารถควบคุมการไหลเข้าออกของข้อมูลโดยที่ไม่การรบกวนกันของสัญญาณระหว่างไมโครคอนโทรลเลอร์และ Analog to Digital

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

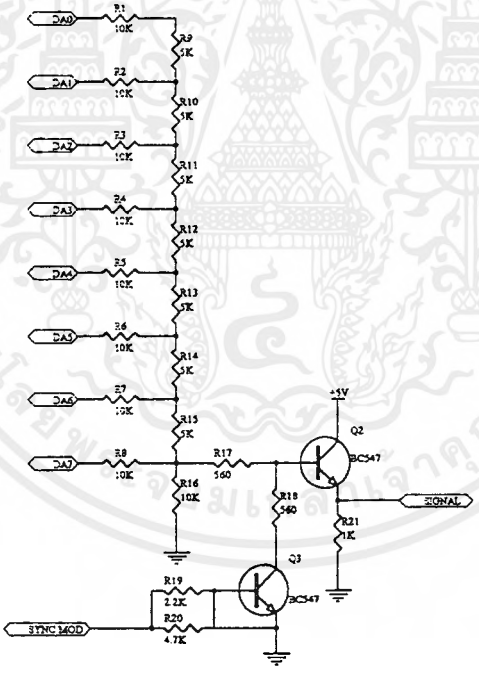


รูปที่ 3.6 แสดงวงจรภาคหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 ภาควงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

ในส่วนวงจร Digital to Analog เป็นวงจรที่ใช้ในการทดสอบข้อมูลรหัสดิจิตอลที่แปลงออกมาว่าแปลงข้อมูลได้ถูกต้องหรือไม่ โดยใช้วงจร D/A แบบ R to 2R เนื่องจากเป็นวงจรที่สามารถทำได้ง่ายและรับความถี่ได้ค่อนข้างสูง โดยสัญญาณที่แปลงได้จะถูกนำมา mod กับสัญญาณ Sync mod ซึ่งได้มาจากวงจรภาคแยกซิ้งค์โดย mod ผ่าน Q_2 และ Q_3 โดยสัญญาณเอาท์พุทที่ได้จากขาอีมิตเตอร์ของ Q_2 จะเป็นสัญญาณวิดีโอที่แปลงมาจากรหัสดิจิตอลแล้วนำไปรวมกับสัญญาณ Sync mod ซึ่งเป็นสัญญาณที่เกิดจากการรวมกันระหว่างสัญญาณ Sync ทางแนวตั้งและสัญญาณ Sync ทางแนวนอน



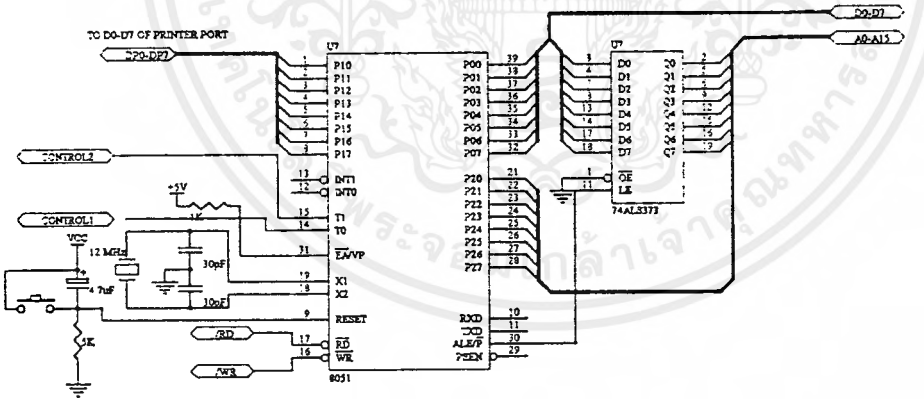
รูปที่ 3.7 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 ภาควงจรไมโครคอนโทรลเลอร์

ในวงจรส่วนนี้จะใช้ไมโครคอนโทรลเลอร์เบอร์ 89C51 ในการควบคุมวงจรส่วนต่างๆ ได้แก่ วงจรภาคหน่วยความจำ (RAM) โดยไมโครคอนโทรลเลอร์จะส่งสัญญาณ Control 1 หรือ Control 2 โดยเมื่อต้องการให้มีการเขียนข้อมูลจากวงจร Analog to Digital Converter ก็จะทำการส่งลอจิก "0" ไปยัง Control 2 ซึ่งจะทำให้วงจรบัฟเฟอร์ ซึ่งควบคุมการไหลของสัญญาณจาก Analog to Digital Converter และวงจรนับ (Counter) ให้แอคทีฟ ในกรณีที่ต้องการอ่านข้อมูลจากหน่วยความจำออกมา แล้วทำการส่งลอจิก "0" ไปที่ Control 1 จะทำให้วงจรบัฟเฟอร์ ที่เชื่อมต่อระหว่างขาแอดเดรสและขาดาต้าของไมโครคอนโทรลเลอร์กับหน่วยความจำทำงาน ดังนั้นจึงสามารถอ่านข้อมูลออกมาได้

นอกจากนี้ไมโครคอนโทรลเลอร์ยังทำหน้าที่ในการเชื่อมต่อกับ Printer Port ของไมโครคอนโทรลเลอร์ โดยเมื่อต้องการจะส่งข้อมูลภาพไปยังไมโครคอมพิวเตอร์ ไมโครคอนโทรลเลอร์จะทำการอ่านข้อมูลจากหน่วยความจำออกมา แล้วส่งออกไปยัง Port ที่ 1 ซึ่งเชื่อมต่อกับ D0-D7 ของ Printer Port ทำให้สามารถส่งข้อมูลจากไมโครคอนโทรลเลอร์ไปยังไมโครคอมพิวเตอร์



รูปที่ 3.8 แสดงวงจรภาคไมโครคอนโทรลเลอร์

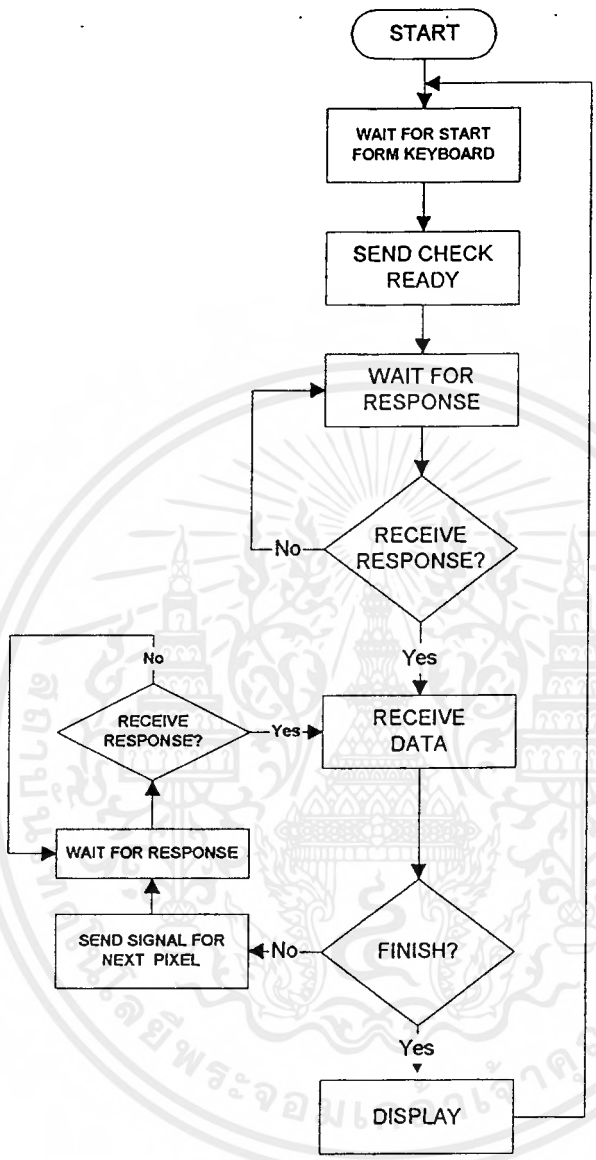
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9 ภาคโปรแกรมการแสดงภาพ

การแสดงภาพที่มอนิเตอร์จะถูกควบคุมโดยโปรแกรมซึ่งในโครงงานนี้ใช้โปรแกรม Delphi ภาพที่แสดงนี้เป็นภาพขาว-ดำ 256 ระดับ ขนาด 256 x 256 จุด

ลำดับการทำงานของโปรแกรมเริ่มจากการส่งคำสั่งให้ไมโครคอนโทรลเลอร์เก็บภาพที่ต้องการจากกล้องวิดีโอเข้าสู่หน่วยความจำ RAM โดยสั่งให้พอร์ทขนานทำหน้าที่เป็นเอาท์พุทพอร์ทด้วยการส่งสัญญาณออกไปด้วยโพรซีเยอร์ PortOut($37a,$ff) และส่งสัญญาณออกไปยังไมโครคอนโทรลเลอร์ด้วยโพรซีเยอร์ PortOut($378,$0f) หลังจากนั้นโปรแกรมจะรอรับสัญญาณตอบรับจากไมโครคอนโทรลเลอร์โดยใช้โพรซีเยอร์ PortOut($37a,00) เพื่อสั่งให้พอร์ทขนานทำหน้าที่เป็นอินพุทพอร์ทและรอรับสัญญาณตอบรับด้วยฟังค์ชั่น PortIn($378) ($37a , $378 เป็นแอดเดรสของรีจิสเตอร์ของพอร์ทขนาน และ $ff ,$0f ,00 เป็นค่าที่ต้องการจะส่งออกไปที่รีจิสเตอร์นั้น) เมื่อโปรแกรมได้รับสัญญาณตอบรับแล้วจะเริ่มทำการรับข้อมูล โดยข้อมูลที่ถูกส่งมาจะเป็นระดับสีขาว-ดำของแต่ละพิกเซลมีขนาด 8 บิท โปรแกรมจะทำการเก็บข้อมูลไว้ใน Byte Array 2 มิติ ขนาด 256 x 256 หลังจากนั้นจะนำข้อมูลนั้นไปเก็บในรูปแบบของภาพบิทแมปและแสดงภาพนั้น

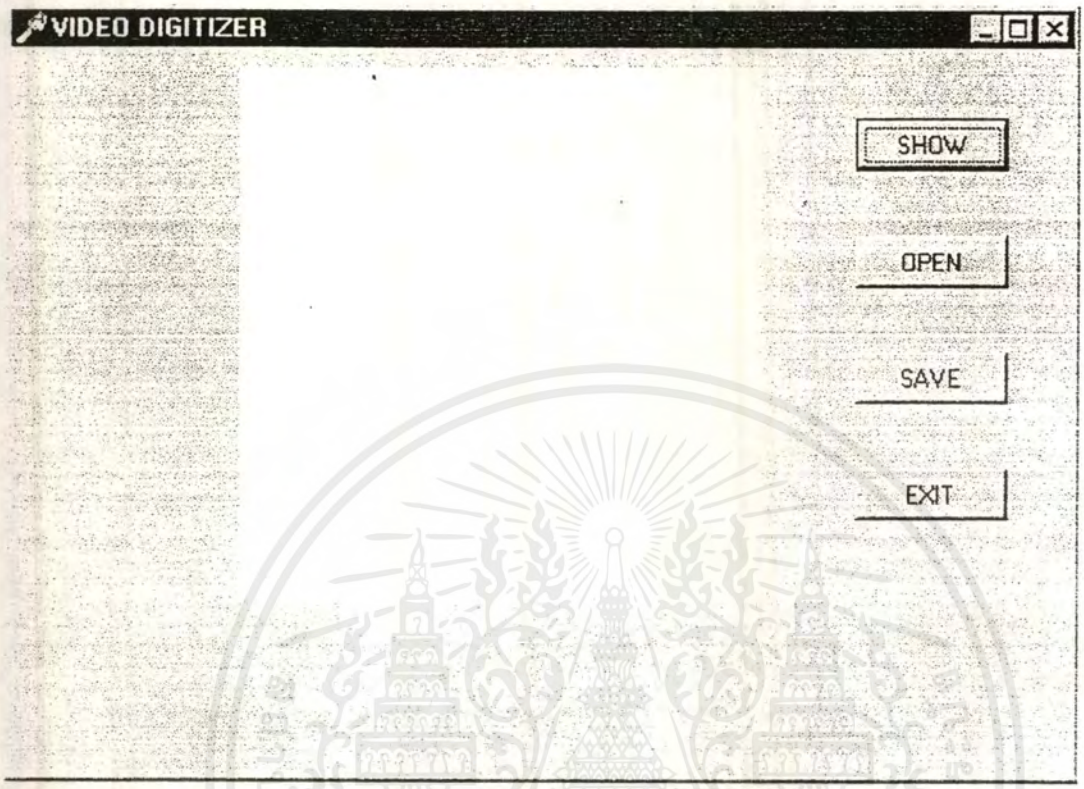
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 Flowchart แสดงการทำงานของโปรแกรมแสดงภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้โปรแกรมระบบเก็บภาพดิจิตอลสามารถทำได้โดยการเลือกใช้งานจากปุ่มต่าง ๆ ดังนี้



รูปที่ 3.10 แสดงรูปแบบของโปรแกรมแสดงภาพ

SHOW : รับข้อมูลจากไมโครคอนโทรลเลอร์และแสดงผล

OPEN : โหลดภาพที่เก็บไว้

SAVE : จัดเก็บภาพลงแฟ้มข้อมูลในดิสค์

EXIT : เลิกการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการทดลอง

4.1 บทนำ

จากการทำงานของวงจรภาคต่าง ๆ ที่ได้กล่าวไว้ในบทที่ 3 เป็นการอธิบายถึงทฤษฎีการทำงานของวงจร ซึ่งไม่สามารถทำให้เข้าใจและมีความชัดเจนถึงการทำงานได้ดีพอ ฉะนั้นจึงจำเป็นจะต้องปฏิบัติทำการทดลองวงจรภาคต่าง ๆ

สำหรับการทดลองจะแบ่งออกเป็น 3 ส่วนได้แก่

1. การทดลองวัดสัญญาณที่จุดต่าง ๆ ของวงจร
2. การทดลองส่งข้อมูลจากไมโครคอนโทรลเลอร์มายังคอมพิวเตอร์และแสดงผล
3. การทดลองการแสดงภาพที่ได้รับข้อมูลมาจากวงจร

4.2 การทดลองวัดสัญญาณที่จุดต่าง ๆ ของวงจร

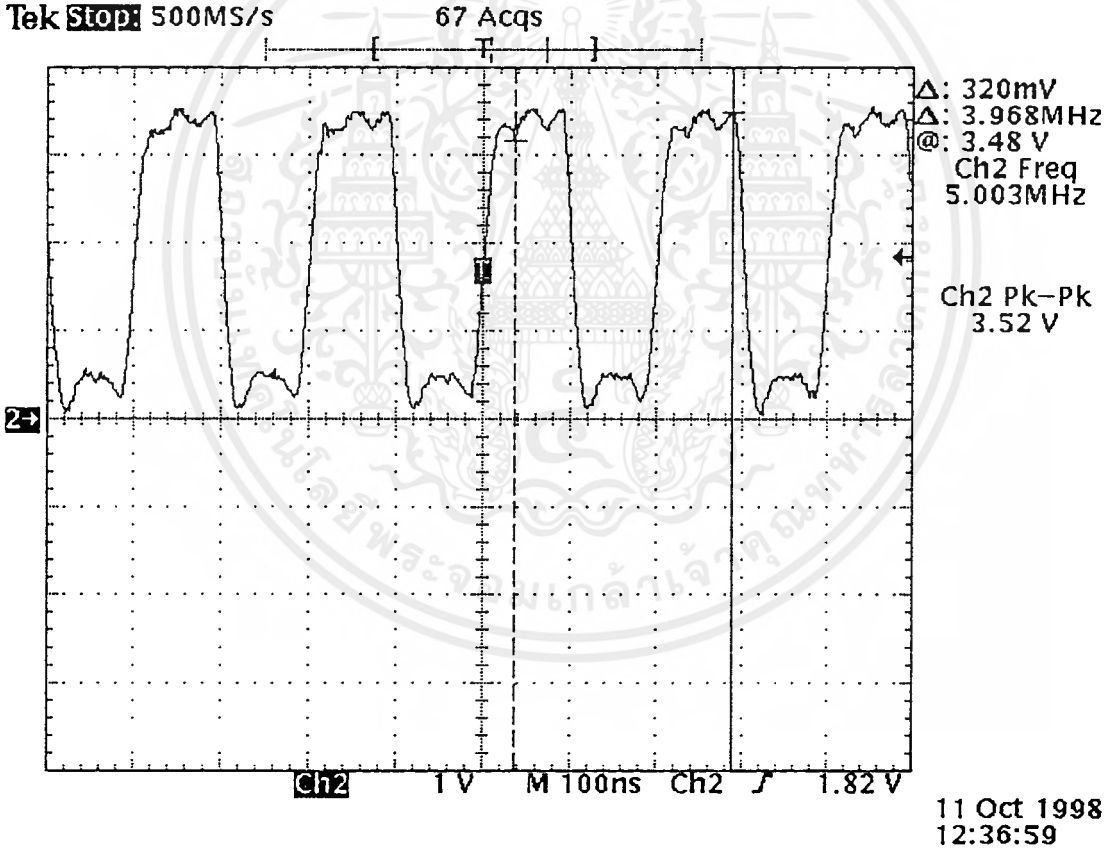
การทดลองในส่วนนี้ประกอบด้วยการวัดสัญญาณของภาควงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล(Analog to Digital Circuit) , วงจรแยกสัญญาณซิ้งค์ (Sync Separator Circuit) , วงจรหน่วยความจำ (RAM) ,วงจรส่วนแสดงผล(Output Circuit) แล้วนำผลการทดลองที่ได้ไปทำการเปรียบเทียบกับทฤษฎีการทำงานในบทที่ 3 เพื่อวิเคราะห์ผลการทดลองที่เกิดขึ้นมีลักษณะเป็นอย่างไร เราสามารถแสดงผลการทดลองวงจรดังกล่าวต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.1 ผลการทดลองของวงจรสัญญาณนาฬิกา(Clock Circuit)

การทำงานของวงจรสัญญาณนาฬิกาในรูปที่ 4.1 เราได้ทำการวัดสัญญาณนาฬิกาที่ผลิตได้ อธิบายได้ดังนี้

เป็นสัญญาณนาฬิกาความถี่ 5 เมกะเฮิร์ตซึ่งได้จากการนำดีฟลิปฟลอป(D flip-flop)ไปหารความถี่จากคริสตัลจากรูปจะเห็นว่าสัญญาณไม่เป็นSquare Waveที่สมบูรณ์มากนักอาจสืบเนื่องมาจากสัญญาณรบกวนที่เกิดจากระบบการต่อแหล่งจ่ายไฟและกราวด์ไม่ดี แต่อย่างไรก็ตามเราก็สามารถนำไปใช้ประโยชน์ได้

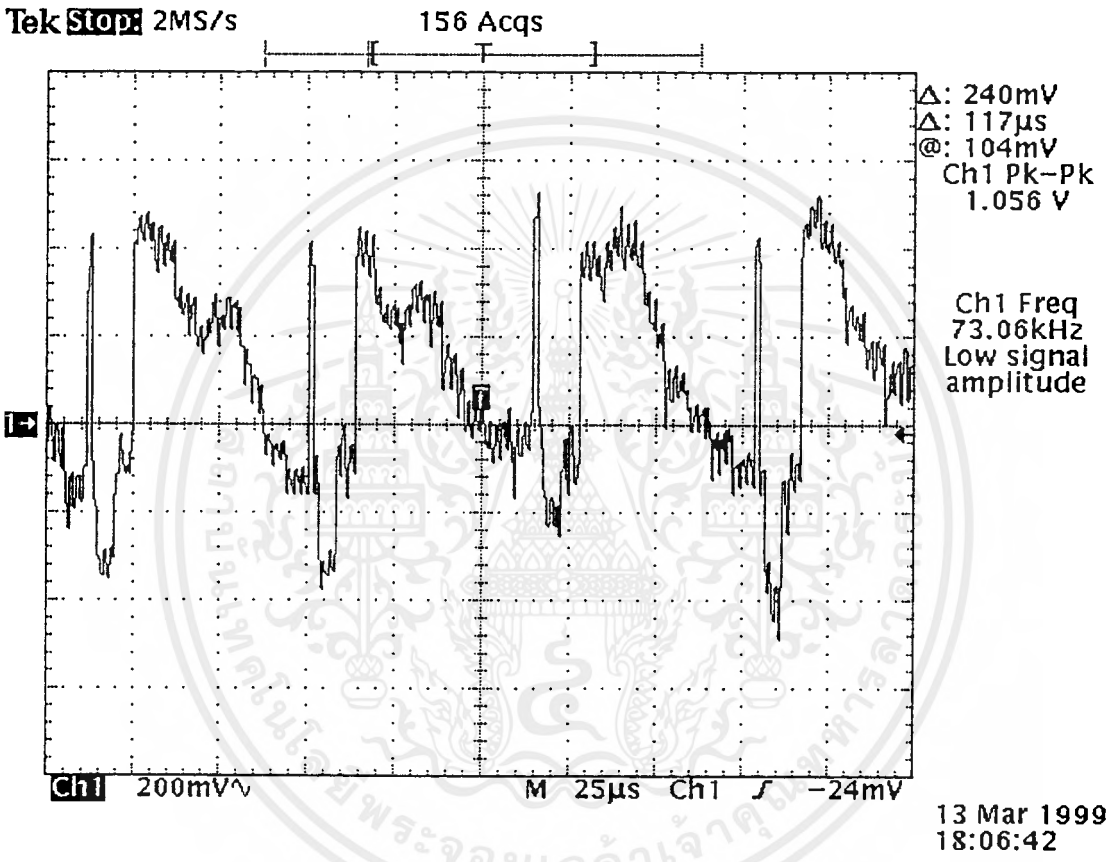


รูปที่ 4.1 แสดงสัญญาณนาฬิกาความถี่ 5 เมกะเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 สัญญาณวิดีโออินพุท

จากรูปที่ 4.2 เป็นรูปสัญญาณวิดีโออินพุตที่ป้อนเข้าวงจรเพื่อใช้ในการทดลอง ซึ่งเป็นสัญญาณของภาพที่มีลักษณะเป็นแถบสีขาว ดำจาง และดำเข้ม



รูปที่ 4.2 แสดงสัญญาณวิดีโออินพุต

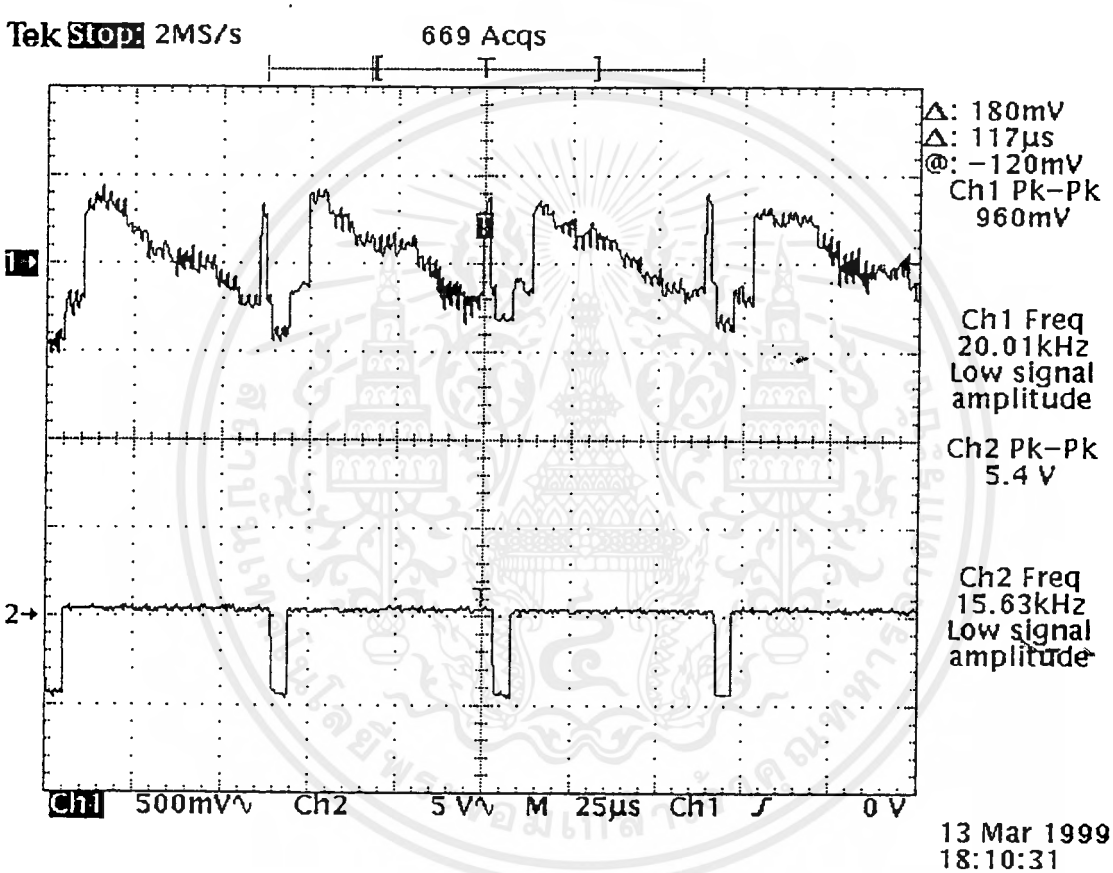
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 ผลการทดลองของวงจรแยกซิ้งค์ (Sync Separator Circuit)

การทำงานของวงจรแยกสัญญาณซิ้งค์ เราได้ทำการวัดสัญญาณภาพขาวดำเทียบกับสัญญาณ H-Sync ที่ได้จากขา 1 ของLM1881 อธิบายได้ดังนี้

CH1 คือสัญญาณวิดีโออินพุต

CH2 คือสัญญาณH-Sync ที่วัดจากขา 1 ของ LM 1881 ที่แยกออกจากสัญญาณวิดีโออินพุต



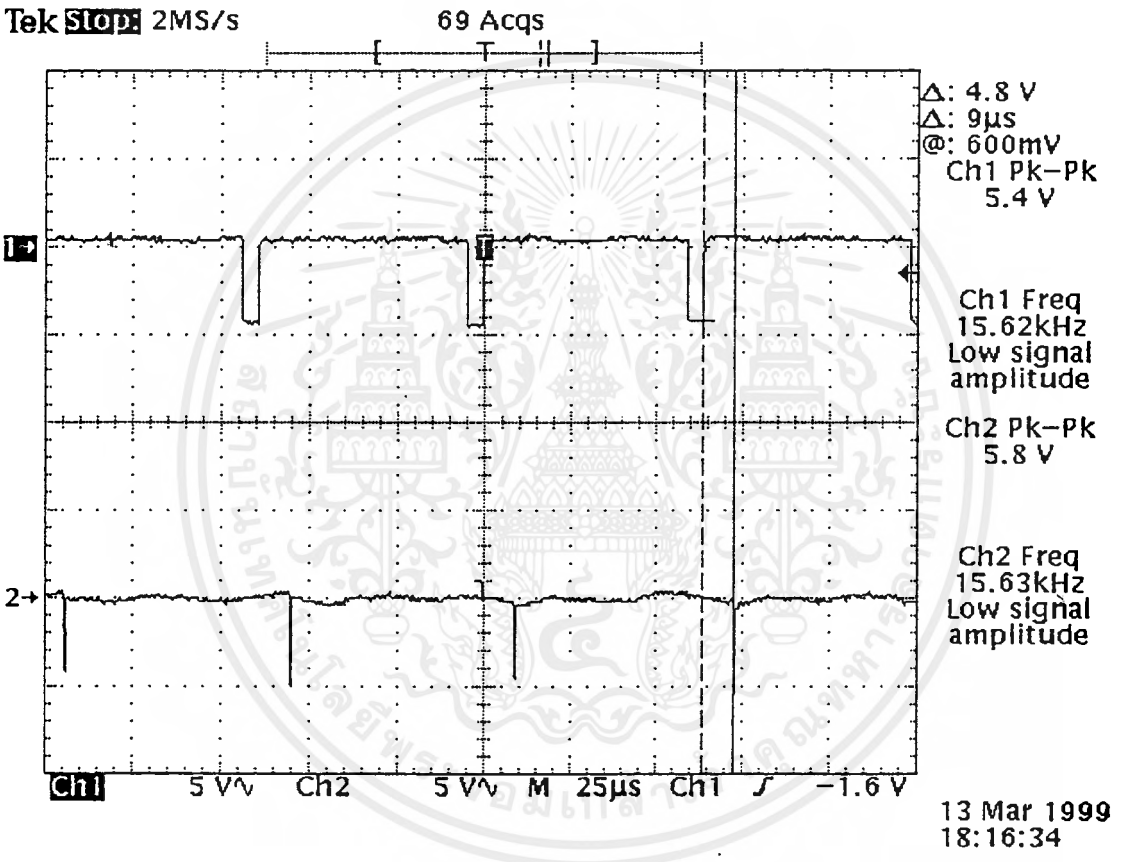
รูปที่ 4.3 แสดงการเปรียบเทียบกับภาพกับสัญญาณซิ้งค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และได้มีการหน่วงเวลาให้กับ H-Sync ทำให้ได้สัญญาณ H-Count ขึ้นมา ได้ผลดังรูปที่ 4.4 ซึ่งอธิบายได้ดังนี้

CH1 คือสัญญาณ H-Sync ที่ได้จากขา 1 ของ LM1881

CH2 คือสัญญาณ H-Count ที่ได้จากการหน่วงเวลาสัญญาณ H-Sync ซึ่งจะถูกหน่วงไป 9 ไมโครวินาที



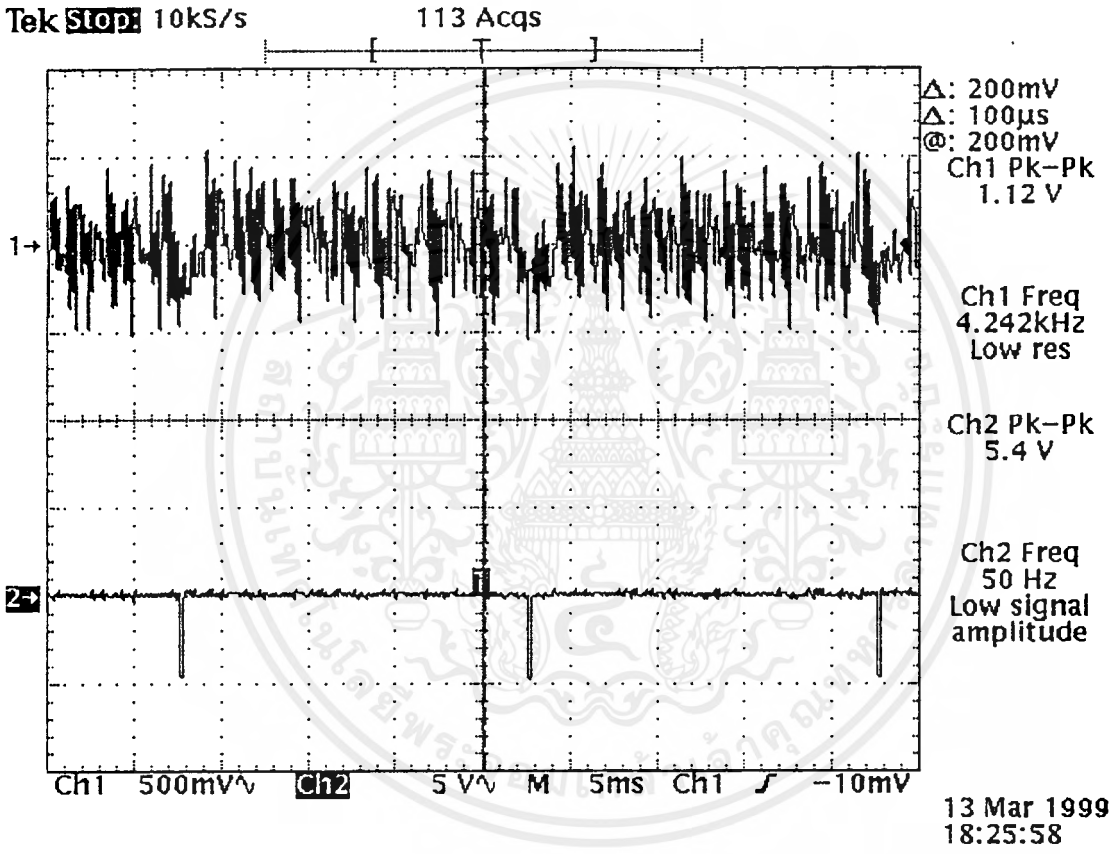
รูปที่ 4.4 แสดงการเปรียบเทียบสัญญาณH-Sync กับสัญญาณ H-Count

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรแยกสัญญาณซิ้งค์เราได้ทำการวัดสัญญาณภาพเปรียบกับสัญญาณ V -Sync ที่ขา 3 ของ LM1881 ได้ผลดังรูปที่ 4.5 ซึ่งอธิบายได้ดังนี้

CH1 คือสัญญาณภาพขาวดำที่ยังไม่ได้ทำการแยกสัญญาณซิ้งค์

CH2 คือสัญญาณ V-Sync ที่วัดที่ขา 3 ของ LM1881 ที่แยกออกจากสัญญาณภาพขาวดำ



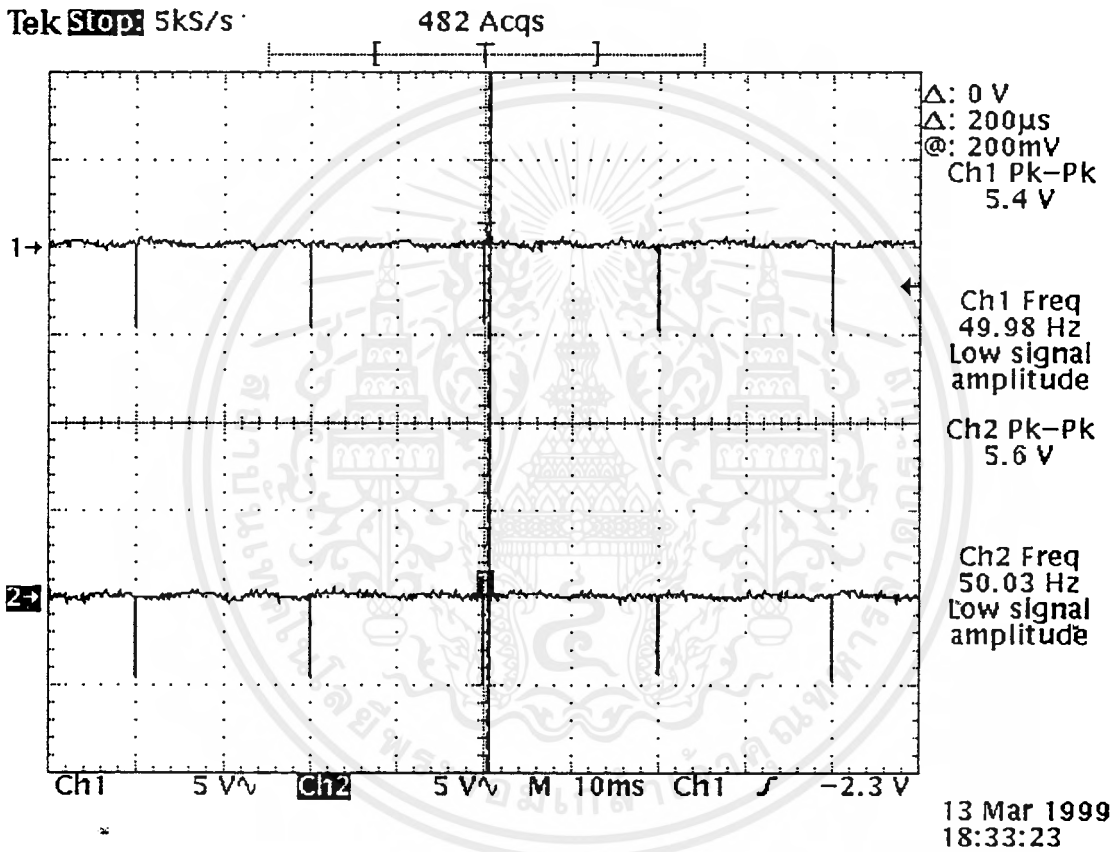
รูปที่ 4.5 แสดงการเปรียบเทียบสัญญาณภาพกับสัญญาณ V-Sync

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และได้มีการหน่วงเวลาให้กับ V-Sync ทำให้ได้สัญญาณ V-Count ได้ผลดังรูปที่ 4.6 ซึ่งอธิบายได้ดังนี้

CH1 คือสัญญาณV-Sync ที่ได้จากขา 3 ของ LM1881

CH2 คือสัญญาณ V-Count ที่ได้จากการหน่วงเวลาสัญญาณ H-Sync ซึ่งจะถูกหน่วงไป 1.7 มิลลิวินาที



รูปที่ 4.6 แสดงการเปรียบเทียบสัญญาณ V-Sync และสัญญาณ V-Count

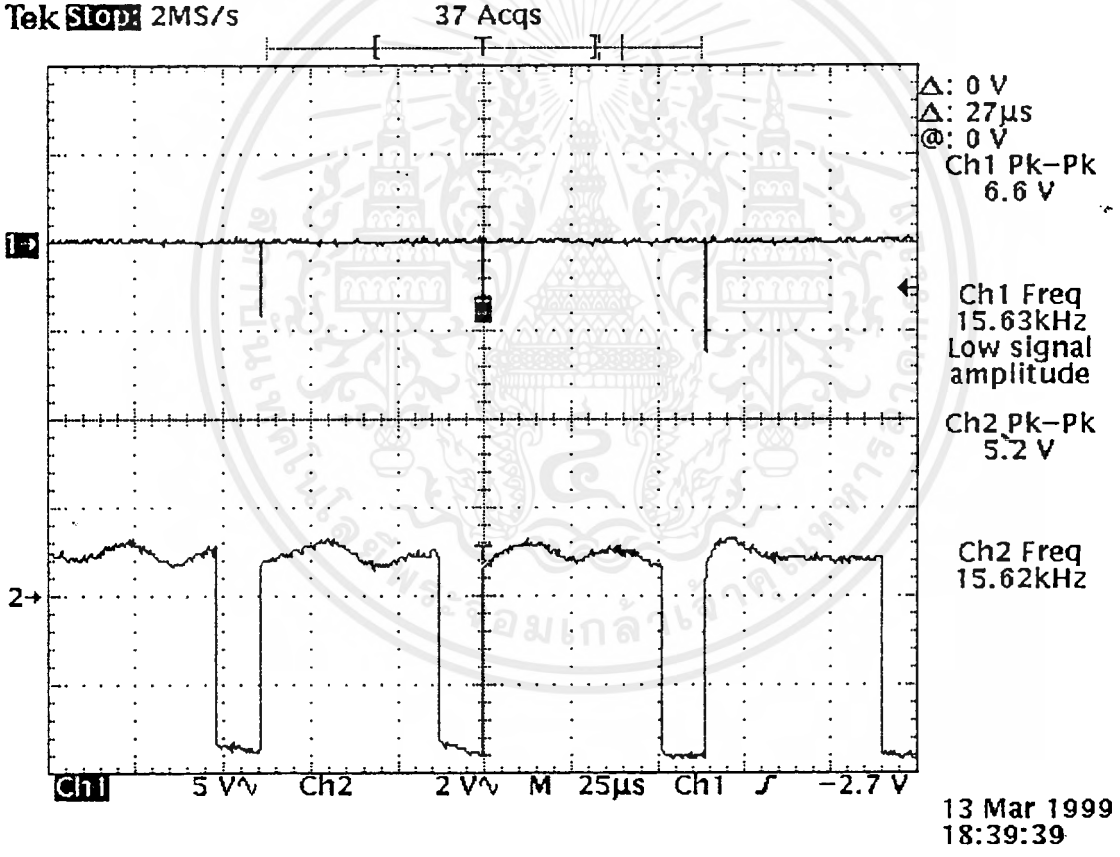
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 ผลการทดลองของวงจรนับ (Counter Circuit)

การทำงานของวงจรนับได้ทำการทดลองวัดสัญญาณ H-Count เปรียบเทียบกับสัญญาณ /CR1 ได้ผลดังรูปที่ 4.7 ซึ่งอธิบายได้ดังนี้

CH1 คือสัญญาณH-Count ที่ได้จากภาคแยกซิ้งค์

CH2 คือสัญญาณ/Cr1 เมื่อมีสถานะต่ำแล้วCounter แนวนอนจะถูกรีเซตซึ่งจะเกิดเมื่อ Counterแนวนอนนับครบ 256 จุดภาพ และจะมีสถานะสูงเมื่อมีสัญญาณH-Count เป็นสถานะต่ำเข้ามา



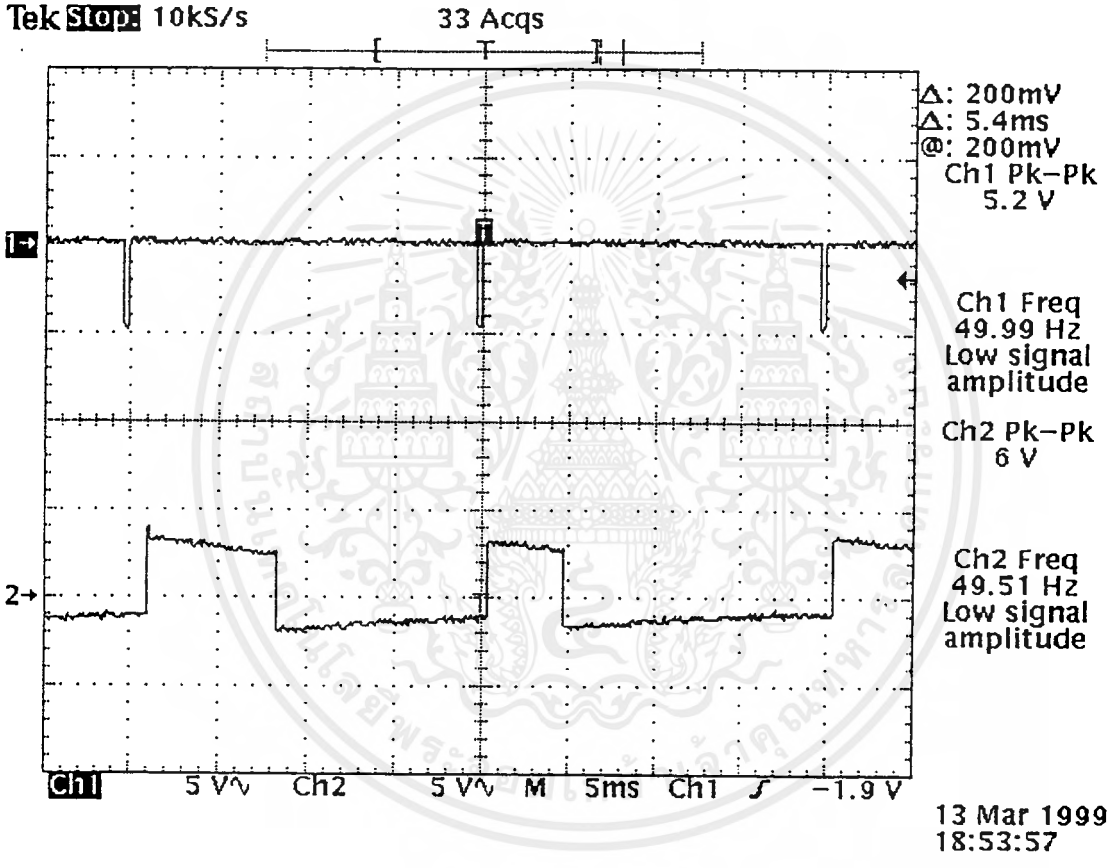
รูปที่ 4.7 แสดงการเปรียบเทียบสัญญาณ H-Count กับสัญญาณ /CR1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้ได้ทำการทดลองวัดสัญญาณ V-Count เปรียบเทียบกับสัญญาณ /CR2 ได้ผลดังรูป4.8 ซึ่งอธิบายได้ดังนี้

CH1 คือสัญญาณ V-Count ที่ได้จากภาคแยกซิ้งค์

CH2 คือสัญญาณ /CR2 เมื่อมีสถานะต่ำแล้วCounter แนวตั้งจะถูกรีเซตซึ่งจะเกิดเมื่อ Counter แนวนอนนับครบ 128 เส้น และจะมีสถานะสูงเมื่อมีสัญญาณ V-Count มีสถานะต่ำเข้ามา



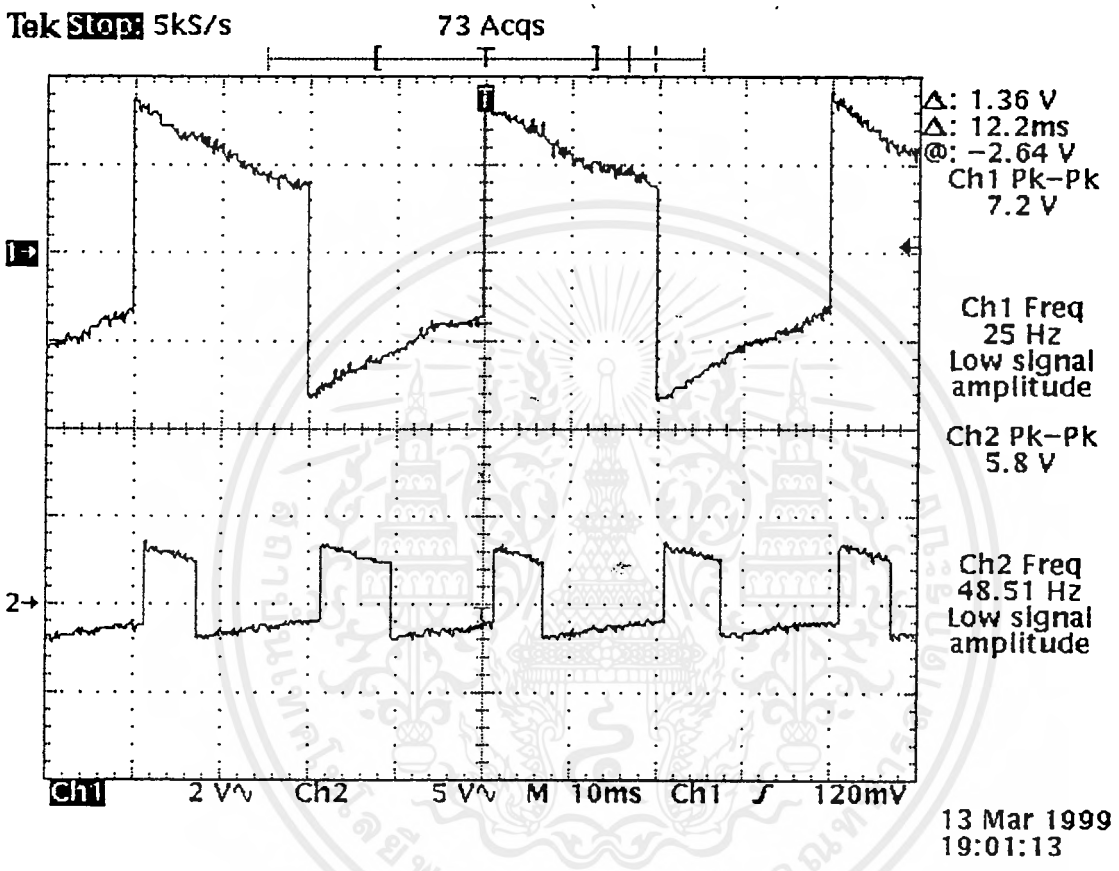
รูปที่ 4.8 แสดงการเปรียบเทียบสัญญาณV-Count กับสัญญาณ /CR2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และได้ทำการวัดเปรียบเทียบสัญญาณ O/E กับสัญญาณ /CR2 ได้ผลดังรูป 4.9 ซึ่งอธิบายได้ดังนี้

CH1 คือสัญญาณ O/E ซึ่งได้จากการแยกสัญญาณภาพเป็นฟิลด์คู่กับฟิลด์คี่

CH2 คือสัญญาณ /CR2 ซึ่งจะเห็นว่ามีความถี่เป็น 2 เท่าของสัญญาณ O/E



รูปที่ 4.9 แสดงการเปรียบเทียบสัญญาณ O/E กับสัญญาณ /CR2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

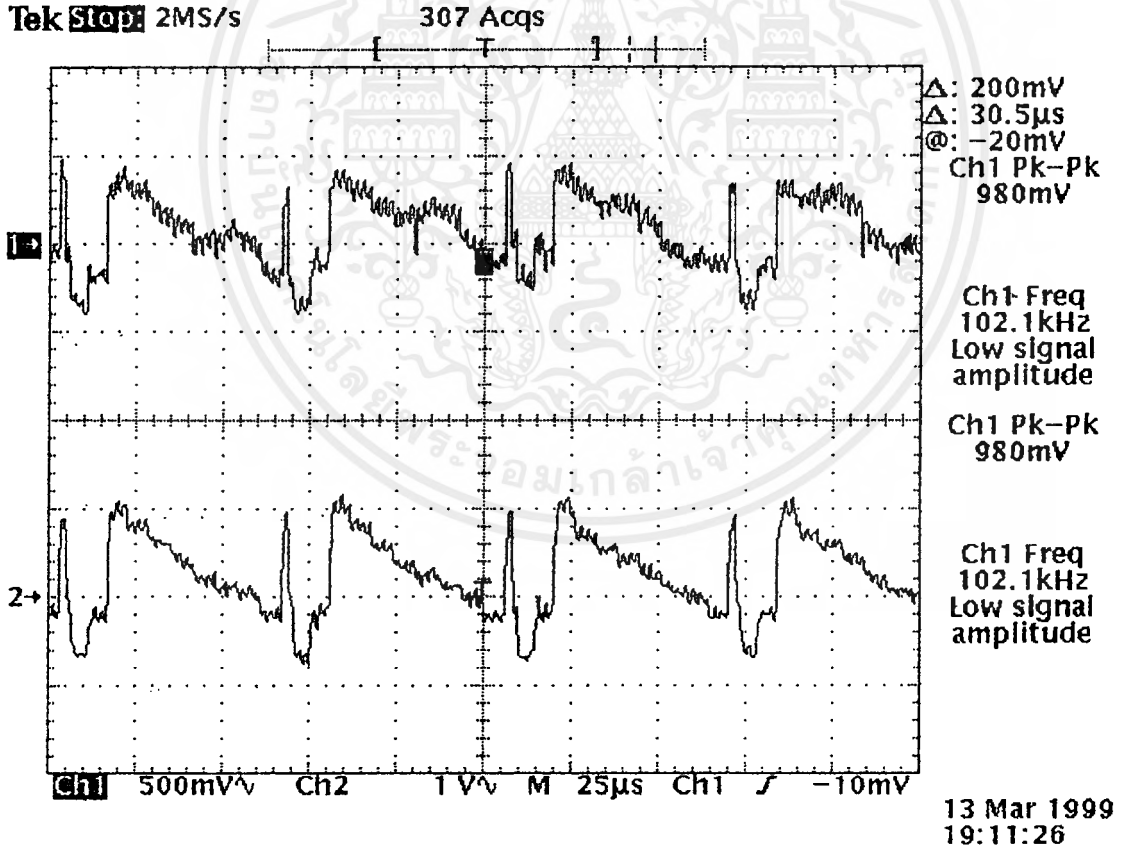
4.2.5 ผลการทดลองของวงจรภาคแสดงผล(Output Circuit)

สัญญาณภาพที่เป็นดิจิตอลจะถูกแปลงกลับให้เป็นสัญญาณอนาลอกอีกครั้งเพื่อจะได้นำไปรวมกับสัญญาณซิ้งค์แล้วนำไปแสดงออกทางจอมอนิเตอร์ต่อไป โดยผลการทดลองที่ได้จะเป็นการเปรียบเทียบระหว่างสัญญาณภาพดั้งเดิมทางอินพุตที่เป็นอนาลอกกับสัญญาณภาพที่ได้จากการแปลงดิจิตอลเป็นอนาลอก

ได้ทำการทดลองวัดเปรียบเทียบสัญญาณภาพกับสัญญาณเอาท์พุทที่ได้จากวงจร D/A แบบ R to 2R เมื่อรวมกับสัญญาณ Sync mod แล้ว ได้ผลดังรูปที่ 4.10 ซึ่งอธิบายได้ดังนี้

CH1 คือสัญญาณภาพอินพุท

CH2 คือสัญญาณเอาท์พุทที่ได้จากวงจร D/A แบบ R to 2R เมื่อรวมกับสัญญาณSync mod แล้ว



รูปที่ 4.10 แสดงการเปรียบเทียบสัญญาณภาพกับสัญญาณเอาท์พุทที่ได้จากวงจร D/A แบบ R to 2R เมื่อรวมกับสัญญาณSync mod แล้ว

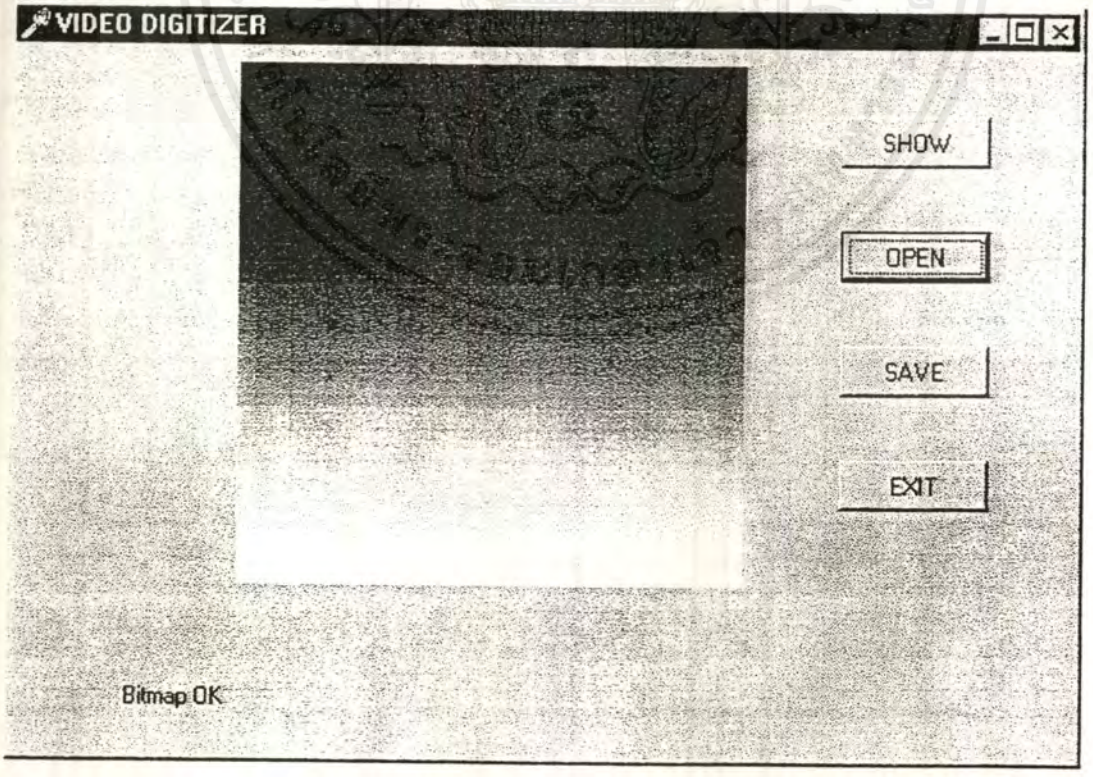
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดลองส่งข้อมูลจากไมโครคอนโทรลเลอร์มายังคอมพิวเตอร์และแสดงผล

ในการทดลองขั้นตอนนี้เราจะจำลองการส่งภาพจากหน่วยความจำ โดยจะให้ไมโครคอนโทรลเลอร์ ทำการเขียนข้อมูลลงในหน่วยความจำเองโดยกำหนดข้อมูลดังนี้

ADDRESS	DATA
0000H-00FFH	00H
0100H-01FFH	01H
0200H-02FFH	02H
.....	...
FF00H-FFFFH	FFH

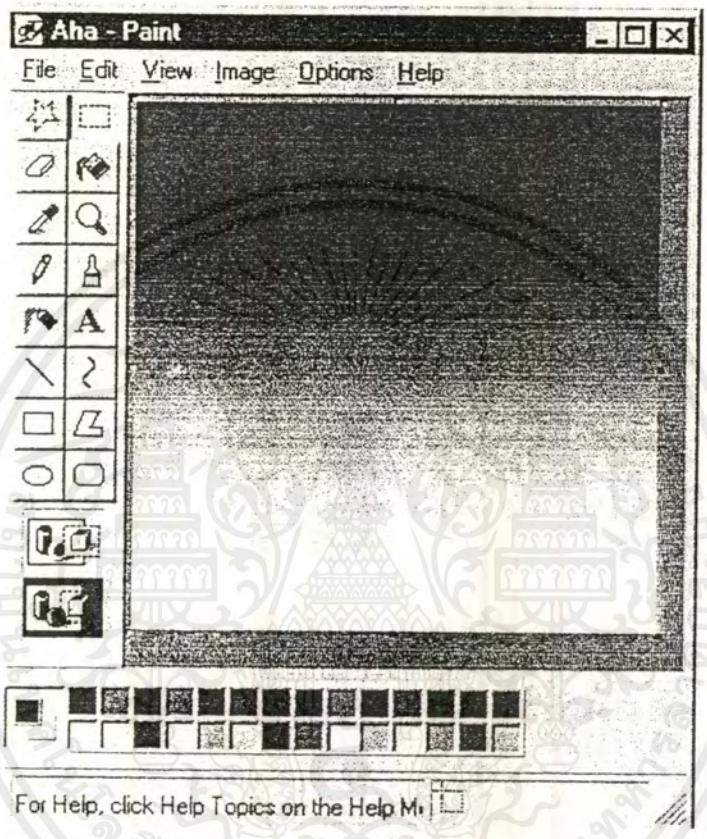
เมื่อโปรแกรมได้รับข้อมูลจากไมโครคอนโทรลเลอร์ โปรแกรมจะทำการประมวลและแสดงภาพดังรูปที่ 4.11



รูปที่ 4.11 แสดงผลการแสดงภาพของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากแสดงภาพแล้วเราสามารถเก็บภาพเป็นไฟล์รูปภาพชนิดบิทแมปได้ดังแสดงในรูปที่ 4.12

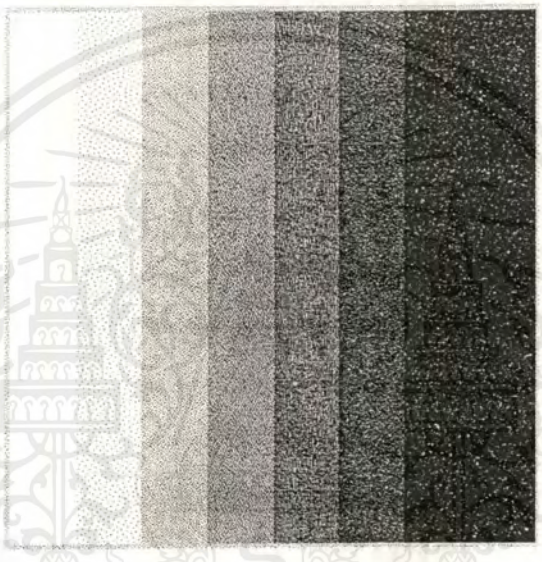


รูปที่ 4.12 แสดงภาพที่เก็บเป็นไฟล์ชนิดบิทแมป

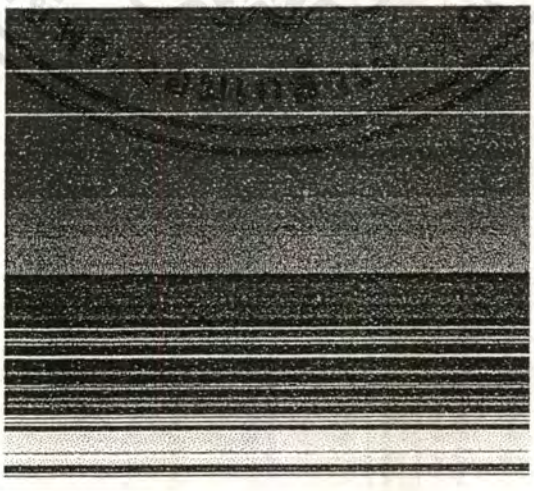
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การทดลองการแสดงภาพที่ได้รับข้อมูลมาจากวงจร

ในการทดลองขั้นตอนนี้เราจะทำการใส่ รูปแบบของภาพดังรูปที่ 4.13 ลงในหน่วยความจำ โดยนำข้อมูลมาจากวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแล้วลองส่งข้อมูลไปยังไมโครคอมพิวเตอร์ ซึ่งได้ผลดังรูปที่ 4.14 ซึ่งจากการทดลองพบว่าผลที่ได้นั้นยังไม่ได้สัญญาณที่ถูกต้อง โดยเหตุที่เป็นเช่นนี้อาจเนื่องมาจากสัญญาณที่จะนำมากำหนดเป็นสัญญาณ /WR ของหน่วยความจำยังไม่ตรงกับสัญญาณข้อมูลทำให้ข้อมูลที่เก็บลงในหน่วยความจำผิดพลาด



รูปที่ 4.13 ข้อมูลภาพที่ส่งเข้าไป



รูปที่ 4.14 สัญญาณภาพที่ได้ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผล

5.1 สรุปผลโครงงาน

จากการทดลองพบว่าเราสามารถนำสัญญาณวิดีโอซึ่งเป็นสัญญาณอนาลอกนำมาแปลงเป็นสัญญาณดิจิตอล ซึ่งเมื่อนำเอาข้อมูลที่แปลงได้มาแปลงกลับเป็นสัญญาณอนาลอกโดยการรวมกับสัญญาณซิ้งค์ที่แยกออกมา พบว่าจะได้ภาพที่เกิดจากการแปลงดิจิตอลเป็นอนาลอกใกล้เคียงกับสัญญาณจริงซึ่งแสดงว่า วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลสามารถทำงานได้เป็นอย่างดี

ส่วนในการทดลองวัดสัญญาณที่วงจรในภาคอื่นพบว่า สัญญาณที่ได้เป็นไปตามที่ออกแบบไว้คือได้สัญญาณที่ถูกต้อง แสดงว่าวงจรทำงานได้เป็นอย่างดี

ในการทดลองติดต่อกับไมโครคอมพิวเตอร์ได้ทำการทดลองเขียนข้อมูลลงไปในหน่วยความจำเองแล้วทดลองส่งไปยัง ไมโครคอมพิวเตอร์พบว่าสามารถติดต่อกันได้และนำเอาข้อมูลที่ส่งให้ไปแสดงเป็นภาพได้ถูกต้อง

ในขั้นการทดลองสุดท้ายเป็นการทดลองป้อนสัญญาณภาพเข้าไป แล้วทำการส่งข้อมูลภาพที่ถูกเก็บในหน่วยความจำออกไป ยังไมโครคอมพิวเตอร์ ในขั้นตอนนี้พบว่าสัญญาณภาพที่ถูกเก็บลงในหน่วยความจำนั้นไม่ถูกต้อง โดยสาเหตุเนื่องมาจากการกำหนดสัญญาณการเขียนข้อมูลลงในหน่วยความจำยังไม่ถูกต้อง

5.2 ปัญหาและแนวทางแก้ไข

จากการทดลองพบว่าส่วนที่ยังผิดพลาดอยู่คือวงจรในส่วนเก็บสัญญาณภาพไว้ในหน่วยความจำนั้นยังเก็บข้อมูลไม่ถูกต้องซึ่งเนื่องมาจากไทม์มิ่งของการจัดเก็บยังไม่ถูกต้อง โดยในการปรับหาสัญญาณที่จะนำมาเป็นสัญญาณในการเขียนภาพนั้นค่อนข้างที่จะทำได้ยาก เนื่องจากข้อมูลที่ส่งเข้ามานั้นส่งมาด้วยความเร็วที่ค่อนข้างสูง ดังนั้นสัญญาณที่จะนำมาเป็นสัญญาณที่จะเป็นการเขียนข้อมูลภาพนั้นอาจจะนำมาจากสัญญาณนาฬิกาที่ป้อนให้วงจรแปลงอนาลอกเป็นดิจิตอล แต่จะต้องมีหน่วงเวลา ให้เหมาะสมเพื่อให้การเขียนข้อมูลเป็นไปอย่างถูกต้อง

5.3 แนวทางในการพัฒนา

โครงงานระบบเก็บภาพดิจิตอล นี้จะแปลงสัญญาณภาพขาวดำ มาเป็นสัญญาณภาพดิจิตอลขนาด 256x256 จุด โดยเก็บภาพลงในหน่วยความจำชั่วคราวซึ่งสามารถที่จะดัดแปลง เช่น เพิ่ม

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดการเก็บภาพ เป็น 512x512 หรือใหญ่กว่านี้โดยการเพิ่มหน่วยความจำและ อัตราการแซมปลิ้ง ข้อมูลให้สูงขึ้น หรืออาจจะทำการเก็บภาพสี โดยการเปลี่ยนแปลงให้มีการเก็บสัญญาณภาพสีเป็น สามส่วนเพื่อใช้เก็บสัญญาณ RGB ของสัญญาณภาพสี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณภาควิชาอิเล็กทรอนิกส์ได้ให้ความรู้ในการทำปริญญานิพนธ์ในภาคการศึกษานี้ ขอขอบคุณ ดร.สุรพันธ์ เอื้อไพบูลย์ อาจารย์ที่ปรึกษาที่ให้คำแนะนำต่าง ๆ และช่วยแก้ไขปัญหาต่าง ๆ ในการทำโครงงาน และให้ใช้ห้องตลอดจนอุปกรณ์ต่าง ๆ และขอขอบคุณทุก ๆ คนที่ให้กำลังใจในการทำโครงงานนี้

พิมพรรณ ธรรมไทย

(นางสาวพิมพรรณ ธรรมไทย)

พิสินี จันทราธรรมชาติ

(นางสาวพิสินี จันทราธรรมชาติ)

ภาณุพงศ์ สัมมาวรกิจ

(นายภาณุพงศ์ สัมมาวรกิจ)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. สมศักดิ์ เตชะเศรษฐ์ธนะ และ ร.ต.อ. สุชาติ กังวารจิตต์, "ทฤษฎีและปฏิบัติโทรทัศน์สีระบบPAL" ,ซีเอ็ดยูเคชั่น,2531

2. ธานินทร์ ถาวรศาสนวงศ์ และ ทินกร คุ๊ก , " การอินเตอร์เฟส IBM/PC ",ฟิสิกส์เซ็นเตอร์ , 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมแสดงภาพภาษา Delphi

```
unit Au9;

interface

uses
  Windows, Messages, SysUtils, Classes, Graphics, Controls, Forms, Dialogs,
  ExtCtrls, StdCtrls, ExtDlgs;

type
  TForm1 = class(TForm)
    Button1: TButton;
    Button2: TButton;
    Button3: TButton;
    Image1: TImage;
    Label1: TLabel;
    Button4: TButton;
    SavePictureDialog1: TSavePictureDialog;
    OpenPictureDialog1: TOpenPictureDialog;
    procedure Button1Click(Sender: TObject);
    procedure Button3Click(Sender: TObject);
    procedure FormCreate(Sender: TObject);
    procedure FormDestroy(Sender: TObject);
    procedure Button2Click(Sender: TObject);
    procedure Button4Click(Sender: TObject);
  private
     Bitmap:  TBitmap;
    { Private declarations }
  public
    { Public declarations }
  end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
var
 Form1: TForm1;

implementation

{$R *.DFM}

function PortIn(IOport:word):byte;stdcall;
asm
  MOV   DX,[IOport]
  IN    AX,DX
end;

procedure PortOut(IOport:word;Value:byte);stdcall;
asm
  MOV   DX,[IOport]
  MOV   AL,[Value]
  OUT   DX,AL
end;

procedure TForm1.Button1Click(Sender: TObject);
 VAR
   i   : INTEGER;
   j,n,m,w    : INTEGER;
   Row   : pByteArray;
   Pixel :  array[0..255,0..255] of Byte;
begin
Label1.Caption := 'Start!';
PortOut($37a,$00);
PortOut($378,$0f);
PortOut($37a,$ff);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    Row[m] := Pixel[i,j] ;
    end;
  END;

 END;
Image1.Picture.Graphic := Bitmap;
Label1.Caption := 'Bitmap OK ';
end;


procedure TForm1.Button3Click(Sender: TObject);
begin
Close();
end;

procedure TForm1.FormCreate(Sender: TObject);
begin
 Bitmap := TBitmap.Create;
 WITH Bitmap DO
 BEGIN
  Width  := 256;
  Height := 256;
  PixelFormat := pf24bit
 END;
 Image1.Picture.Graphic := Bitmap
end;

procedure TForm1.FormDestroy(Sender: TObject);
begin
Bitmap.Free
end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
procedure TForm1.Button2Click(Sender: TObject);
begin
Label1.Caption := 'Open file';
OpenPictureDialog1.Execute;
Image1.Picture.LoadFromFile(OpenPictureDialog1.FileName);
end;

procedure TForm1.Button4Click(Sender: TObject);
begin
Label1.Caption := 'Save file';
SavePictureDialog1.execute;
Image1.Picture.SaveToFile(SavePictureDialog1.FileName);
end;

end.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LOOP:   MOV DPTR,#0000H
SEND1:  MOV R1,#00H
SEND2:  MOVX A,@DPTR
        JB P3.1,$
        MOV P1,A
        CLR P3.0
        JNB P3.1,$
        SETB P3.0
        INC DPTR
        DJNZ R1,SEND2
        DJNZ R0,SEND1
        SJMP LOOP

ADMODE: JNB P3.3,$
        CLR P3.2
        CLR P3.5
        CLR P3.6
        MOV R1,#00H
        MOV R0,#00H

ADCHECK:MOV A,P1
        CJNE A,#0FH,ADCHECK

        SETB P3.5
        SETB P3.6
        CLR P3.3
        SETB P3.2
        CLR P3.4

ADLOOP:MOV DPTR,#0000H
ADSEND1:MOV R1,#00H
ADSEND2:MOVX A,@DPTR
        JB P3.1,$
        MOV P1,A
        CLR P3.0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
JNB P3.1,$
SETB P3.0
INC DPTR
DJNZ R1,ADSEND2
DJNZ R0,ADSEND1
SJMP ADLOOP

END
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM1881 Video Sync Separator

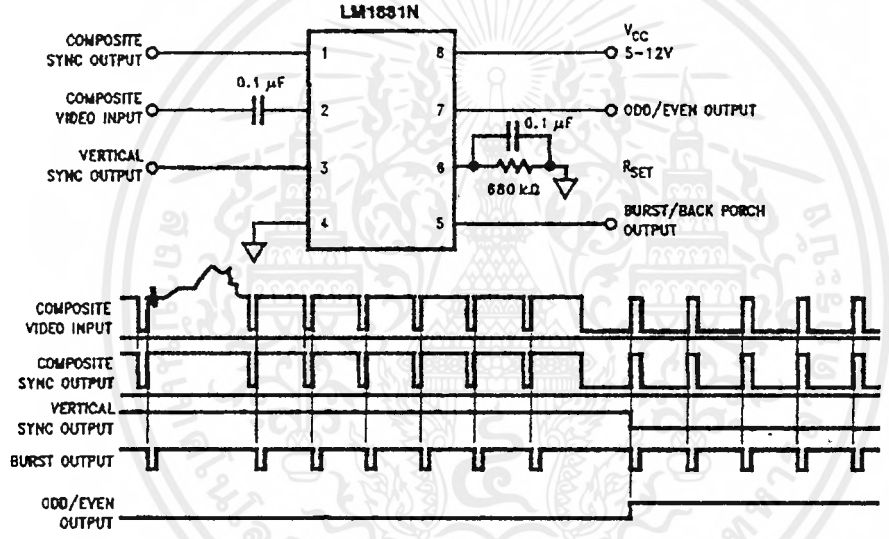
General Description

The LM1881 video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL*, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



TL/H/9150–1

Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

©1995 National Semiconductor Corporation RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vpp (V_{CC} = 5V) 6 Vpp (V_{CC} ≥ 8V)
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C − 70°C
Storage Temperature Range	−65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; Rset = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions		Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	Outputs at Logic 1	V_{CC} = 5V	5.2	10		mAmax
		V_{CC} = 12V	5.5	12		mAmax
DC Input Voltage	Pin 2		1.5	1.3		Vmin
				1.8		Vmax
Input Threshold Voltage	Note 5		70	55		mVmin
				85		mVmax
Input Discharge Current	Pin 2; V_{IN} = 2V		11	6		μAmin
				16		μAmax
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; Note 6		1.22	1.10		Vmin
				1.35		Vmax
Composite Sync. & Vertical Outputs	I_{OUT} = 40 μA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V	3.6	2.4		Vmin
		V_{CC} = 12V		10.0		Vmin
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 μA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1		0.2	0.8		Vmax
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3		0.2	0.8		Vmax
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5		0.2	0.8		Vmax
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7		0.2	0.8		Vmax
Vertical Sync Width			230	190		μsmin
				300		μsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		4	2.5		μsmin
				4.7		μsmax
Vertical Default Time	Note 7		65	32		μsmin
				90		μsmax

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 3: Typicals are at T_J = 25°C and represent the most likely parametric norm.

Note 4: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

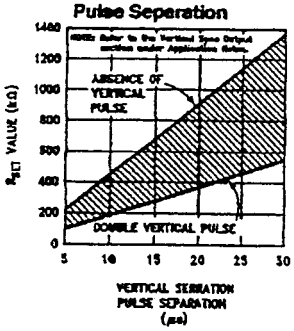
Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the R_{SET} pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

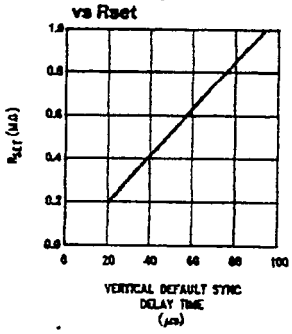
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

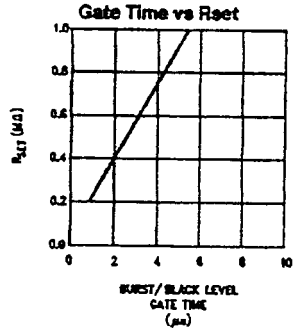
R_{set} Value Selection vs Vertical Serration Pulse Seperation



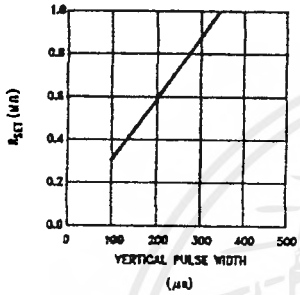
Vertical Default Sync Delay Time vs Rset



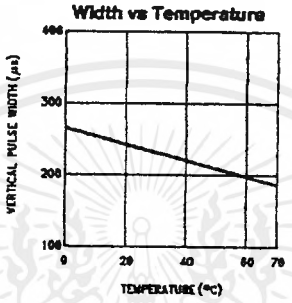
Burst/Black Level Gate Time vs Rset



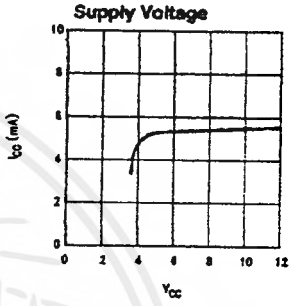
Vertical Pulse Width vs Rset



Vertical Pulse Width vs Temperature



Supply Current vs Supply Voltage



TL/H/9150–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C: composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a–e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11 μA, typically. This allows relatively small capacitor values to be used—0.1 μF is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75Ω, a 620Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

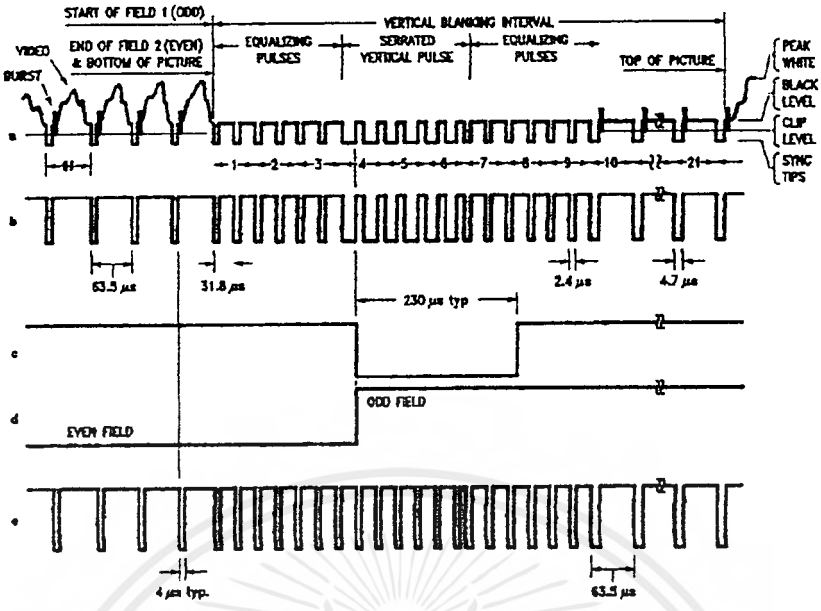
VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform *(Figure 3)*. To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 3*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 going to one of its inputs. The other comparator has an internally generated voltage reference called V_2 going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are positive going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{set}. The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1. During the vertical sync period the narrow going positive pulses shown in *Figure 2* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2. This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{set}. The "$\overline{Q}$" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 2*.

How R_{set} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{set} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal

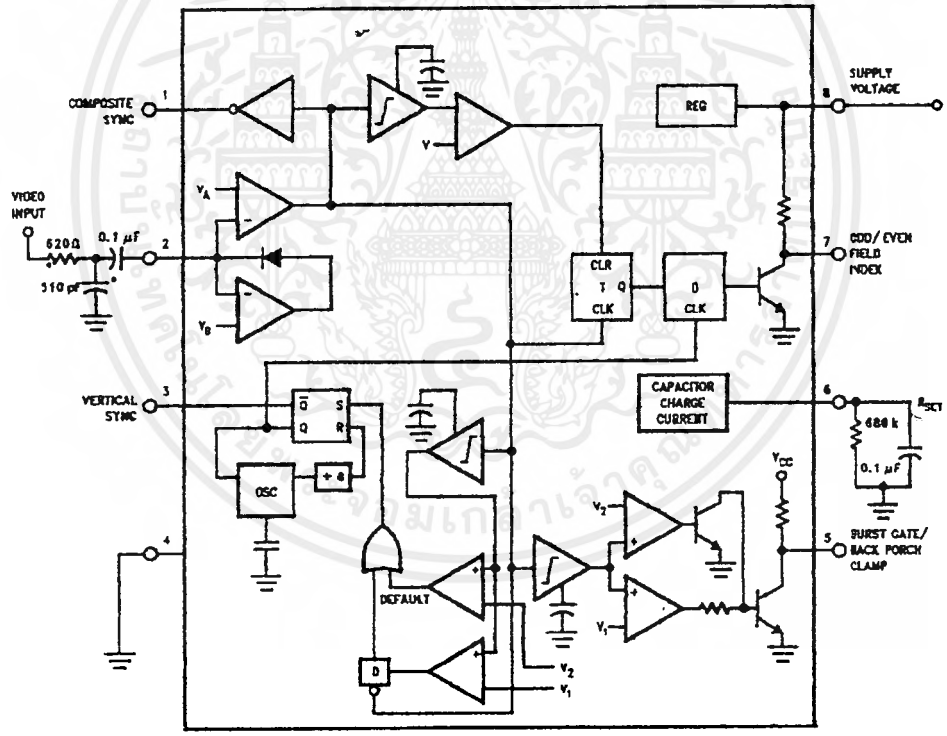
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)



TL/H/9150–3

FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp



*Components Optional. See Text

TL/H/9150–4

FIGURE 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 2*. This graph shows how long it takes the integrator to charge its internal capacitor above V_1.

WITH R_{set} too large the charging current of the integrator will be too small to charge the capacitor above V_1, thus there will be no vertical synch output pulse. As mentioned above, R_{set} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulses after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{set} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{set}" graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64 μs long, or 32 μs for a horizontal half line. Now round this off to 30 μs. In the "R_{set} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 μs serration pulse separation is about 550 kΩ. Going to the "Vertical Pulse Width vs R_{set}" graph one can see that 550 kΩ gives a vertical pulse width of about 180 μs, the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 kΩ will set the internal oscillator to a frequency such that eight cycles gives a time of 180 μs, just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2. Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2. At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{set}" graph shows the relationship between the R_{set} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for R_{set} is 500 kΩ. The vertical default time delay is about 50 μs, much longer than the 30 μs serration pulse spacing.

A common question is how can one calculate the required R_{set} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default Sync Delay Time vs R_{set}" graph to select the necessary R_{set} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{set}" graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 μs long. The vertical sync period is two horizontal lines long, or 64 μs. The vertical default sync delay time must be longer than the vertical sync period of 64 μs. In this case R_{set} must be larger than 680 kΩ. R_{set} must still be small enough for the output of the integrator to reach V_1 before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{set} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 μs in this example. This graph is linear, meaning that a value as large as 2.7 MΩ can be used for R_{set} (twice the value as the maximum at 90 μs). Due to leakage currents it is advisable to keep the value of R_{set} under 2.0 MΩ. In this example a value of 1.0 MΩ is selected, well above the minimum of 680 kΩ. With this value for R_{set} the pulse width of the vertical sync output pulse of the LM1881 is about 340 μs.

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform *(Figure 3)*. A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 μs long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 μs later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60–120 Hz) vertical scan rates.

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 4* puts out a single video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

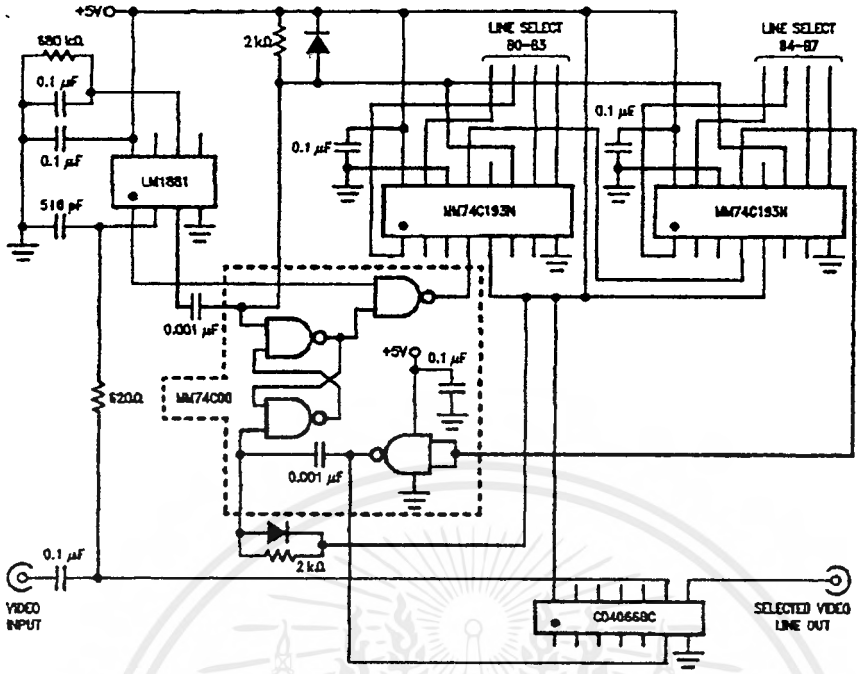
The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 5* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 kΩ, 10 μF) providing black level restoration at the video output when the output selected line(s) is not being gated through.

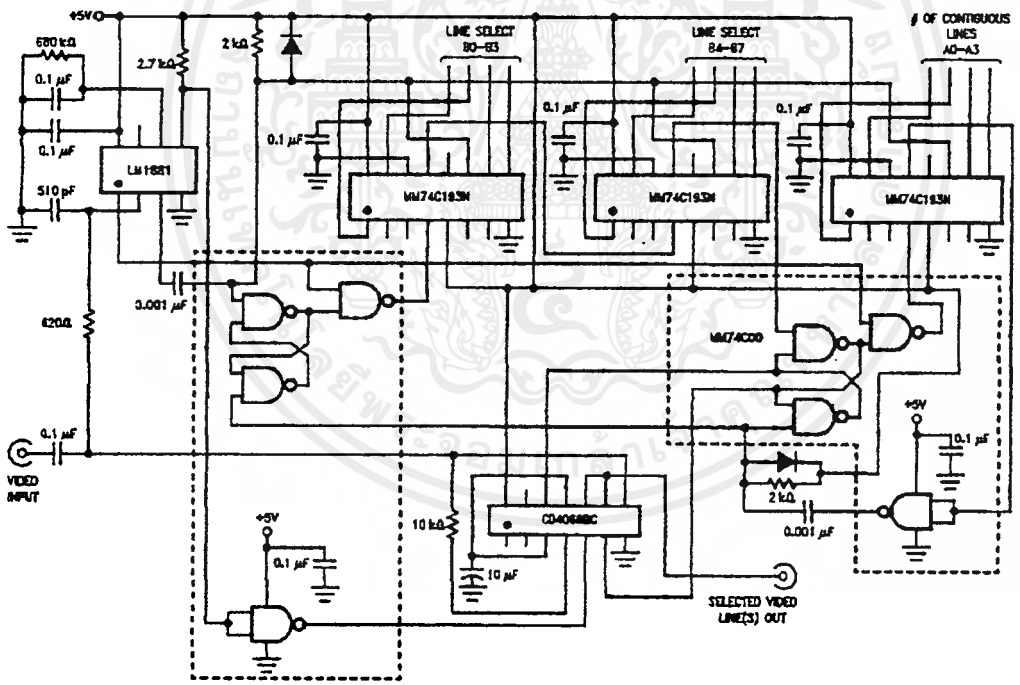
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications



TL/H/9150–5

FIGURE 4. Video Line Selector



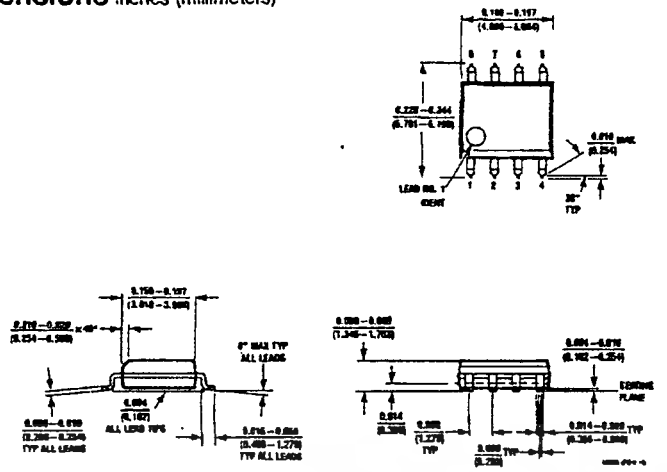
TL/H/9150–6

FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

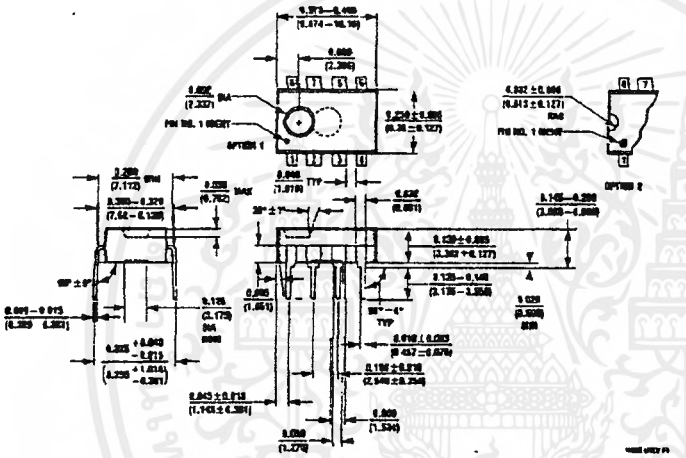
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)

Lit. # 107636



Molded Small Outline Package (M)
Order Number LM1881M
NS Package Number M08A



Molded Dual-In-Line Package (N)
Order Number LM1881N
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.

2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

TDA8708A
Video analog input interface

Product specification
Supersedes data of April 1993
File under Integrated Circuits, IC02

June 1994

Philips Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OCK DIAGRAM

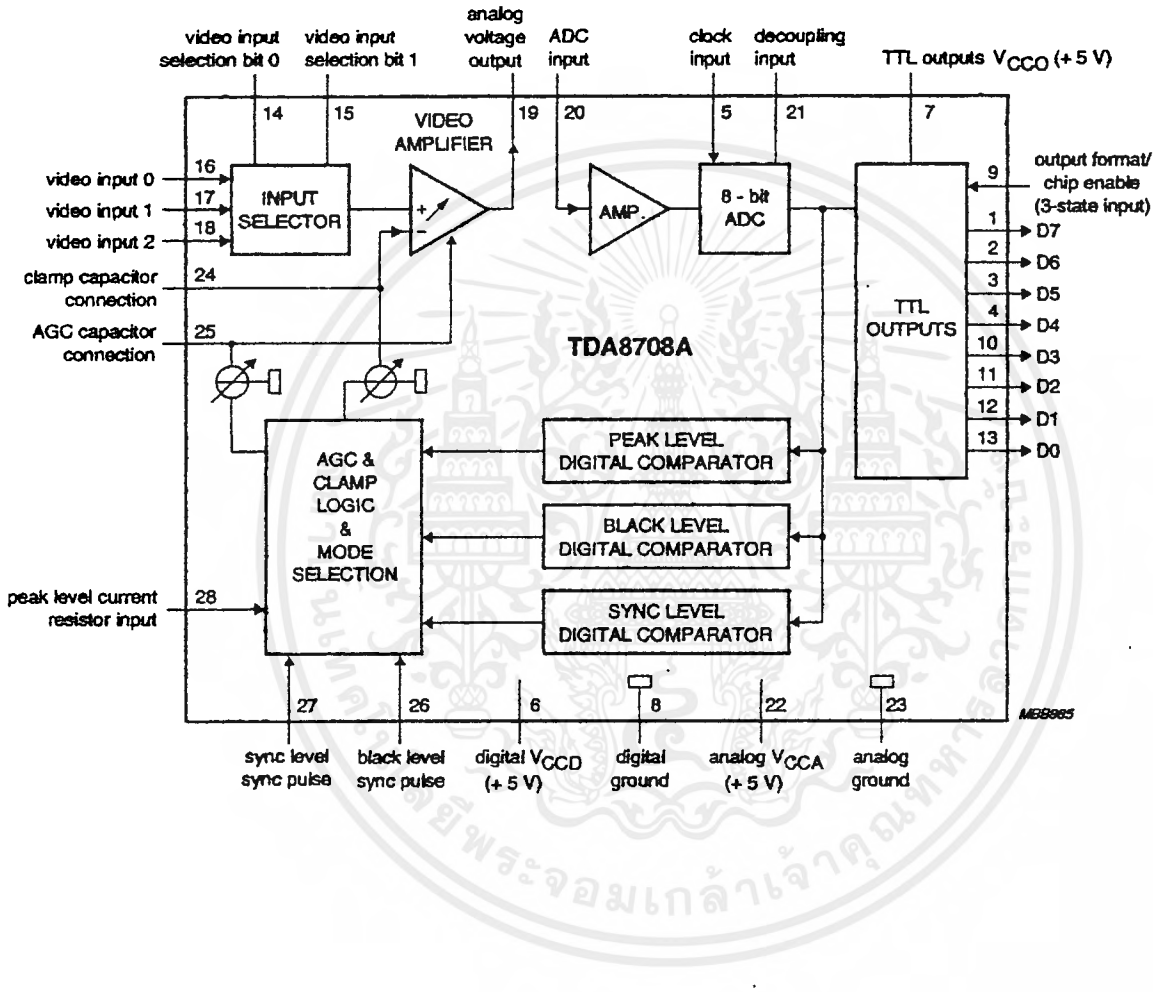


Fig.1 Block diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PINNING

SYMBOL	PIN	DESCRIPTION
D7	1	data output; bit 7 (MSB)
D6	2	data output; bit 6
D5	3	data output; bit 5
D4	4	data output; bit 4
CLK	5	clock input
V_{CCD}	6	digital supply voltage (+5 V)
V_{CCO}	7	TTL outputs supply voltage (+5 V)
DGND	8	digital ground
OF	9	output format/chip enable (3-state input)
D3	10	data output; bit 3
D2	11	data output; bit 2
D1	12	data output; bit 1
D0	13	data output; bit 0 (LSB)
I0	14	video input selection bit 0
I1	15	video input selection bit 1
VIN0	16	video input 0
VIN1	17	video input 1
VIN2	18	video input 2
ANOUT	19	analog voltage output
ADCIN	20	analog-to-digital converter input
DEC	21	decoupling input
V_{CCA}	22	analog supply voltage (+5 V)
AGND	23	analog ground
CLAMP	24	clamp capacitor connection
AGC	25	AGC capacitor connection
GATE B	26	black level synchronization pulse
GATE A	27	sync level synchronization pulse
RPEAK	28	peak level current resistor input

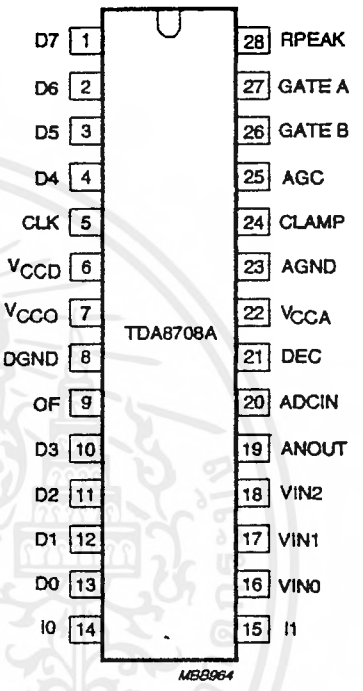


Fig.2 Pin configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The TDA8708A provides a simple interface for decoding video signals.

The TDA8708A operates in configuration mode 1 (see Fig.4) when the video signals are weak (i.e. when the gain of the AGC amplifier has not yet reached its optimum value). This enables a fast recovery of the synchronization pulses in the decoder circuit. When the pulses at the GATE A and GATE B inputs become distinct (GATE A and GATE B pulses are synchronization pulses occurring during the sync period and rear porch respectively) the TDA8708A automatically switches to configuration mode 2 (see Fig.5).

When the TDA8708A is in configuration mode 1, the gain of the AGC amplifier will be roughly adjusted (sync level to a digital output level of 0 and the peak level to a digital output level of 255).

In configuration mode 2 the digital output of the ADC is compared to internal digital reference levels. The resultant outputs control the charge or discharge current of a capacitor connected to the AGC pin. The voltage across this capacitor controls the gain of the video amplifier. This is the gain control loop.

The sync level comparator is active during a positive-going pulse at the GATE A input. This means that the sync pulse of the composite video signal is used as an amplitude reference. The bottom of the sync pulse is adjusted to obtain a digital output of logic 0 at the converter output. As the black level is at digital level 64, the sync pulse will have a digital amplitude of 64 LSBs.

The peak-white control loop is always active. If the video signal tends to exceed the digital code of 248, the gain will be limited to avoid any over-range of the converter.

The use of nominal signals will prevent the output from exceeding a digital code of 213 and the peak-white control loop will be non-active.

The clamp level control is accomplished by using the same techniques as used for the gain control. The black-level digital comparator is active during a positive-going pulse at the GATE B input. The clamp capacitor will be charged or discharged to adjust the digital output to code 64.

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
V_{CCA}	analog supply voltage	−0.3	+7.0	V
V_{CCD}	digital supply voltage	−0.3	+7.0	V
V_{CCO}	output supply voltage	−0.3	+7.0	V
ΔV_{CC}	supply voltage difference between V_{CCA} and V_{CCD}	−1.0	+1.0	V
	supply voltage difference between V_{CCO} and V_{CCD}	−1.0	+1.0	V
	supply voltage difference between V_{CCA} and V_{CCO}	−1.0	+1.0	V
V_I	input voltage	−0.3	V_{CCA}	V
I_O	output current	0	+10	mA
T_{stg}	storage temperature	−55	+150	°C
T_{amb}	operating ambient temperature	0	+70	°C
T_j	junction temperature	0	+125	°C

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	VALUE	UNIT
$R_{th\ j-a}$	thermal resistance from junction to ambient in free air		
	SOT117-1	55	K/W
	SOT136-1	70	K/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTICS

V_{CCA} = V_{22} to V_{23} = 4.5 to 5.5 V; V_{CCD} = V_6 to V_8 = 4.5 to 5.5 V; V_{CCO} = V_7 to V_8 = 4.2 to 5.5 V; AGND and DGND shorted together; V_{CCA} to V_{CCD} = −0.5 to +0.5 V; V_{CCO} to V_{CCD} = −0.5 to +0.5 V; V_{CCA} to V_{CCO} = −0.5 to +0.5 V; T_{amb} = 0 to +70 °C; typical readings taken at V_{CCA} = V_{CCD} = V_{CCO} = 5 V and T_{amb} = 25 °C; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Supplies						
V_{CCA}	analog supply voltage		4.5	5.0	5.5	V
V_{CCD}	digital supply voltage		4.5	5.0	5.5	V
V_{CCO}	TTL output supply voltage		4.2	5.0	5.5	V
I_{CCA}	analog supply current		–	37	45	mA
I_{CCD}	digital supply current		–	24	30	mA
I_{CCO}	TTL output supply current	TTL load (see Fig.8)	–	12	16	mA
Video amplifier inputs						
VIN(0 TO 2) INPUTS						
$V_{I(p-p)}$	input voltage (peak-to-peak value)	AGC load with external capacitor; note 1	0.6	–	1.5	V
$\|Z_i\|$	input impedance	f_i = 6 MHz	10	20	–	kΩ
C_I	input capacitance	f_i = 6 MHz	–	1	–	pF
I0 AND I1 TTL INPUTS (SEE TABLE 1)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	−400	–	–	µA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	µA
GATE A AND GATE B TTL INPUTS (SEE FIGS 4 AND 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	−400	–	–	µA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	µA
t_W	pulse width	see Fig.5	2	–	–	µs
RPEAK INPUT (PIN 28)						
$I_{28(min)}$	minimum peak level current	R_{28} = 0 Ω	–	80	150	µA
AGC INPUT (PIN 25)						
$V_{25(min)}$	AGC voltage for minimum gain		–	2.8	–	V
$V_{25(max)}$	AGC voltage for maximum gain		–	4.0	–	V
	AGC output current		see Table 2			
CLAMP INPUT (PIN 24)						
V_{24}	clamp voltage for code 128 output		–	3.5	–	V
I_{24}	clamp output current		see Table 3			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Video amplifier outputs						
ANOUT OUTPUT (PIN 19)						
$V_{19(p-p)}$	AC output voltage (peak-to-peak value)	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	1.33	–	V
I_{19}	internal current source	$R_L = \infty$	2.0	2.5	–	mA
$I_{O(p-p)}$	output current driven by the load	V_{ANOUT} = 1.33 V (p-p); note 2	–	–	1.0	mA
V_{19}	DC output voltage for black level	note 3	–	V_{CCA} – 2.24	–	V
Z_{19}	output impedance		–	20	–	Ω
Video amplifier dynamic characteristics						
α_{ct}	crosstalk between VIN inputs	V_{CCA} = 4.75 to 5.25 V	–	–50	–45	dB
G_{diff}	differential gain	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	2	–	%
φ_{diff}	differential phase	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	0.8	–	deg
B	–3 dB bandwidth		12	–	–	MHz
S/N	signal-to-noise ratio	note 4	60	–	–	dB
SVRR1	supply voltage ripple rejection	note 5	–	45	–	dB
ΔG	gain range	see Fig.10	–4.5	–	+6.0	dB
G_{stab}	gain stability as a function of supply voltage and temperature	see Fig.10	–	–	5	%
Analog-to-digital converter inputs						
CLK INPUT (PIN 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_{clk} = 0.4 V	–400	–	–	μA
I_{IH}	HIGH level input current	V_{clk} = 2.7 V	–	–	100	μA
$\|Z_i\|$	input impedance	f_{clk} = 10 MHz	–	4	–	kΩ
C_I	input capacitance	f_{clk} = 10 MHz	–	4.5	–	pF
OF INPUT (3-STATE; SEE TABLE 4)						
V_{IL}	LOW level input voltage		0	–	0.2	V
V_{IH}	HIGH level input voltage		2.6	–	V_{CCD}	V
V_9	input voltage in high impedance state		–	1.15	–	V
I_{IL}	LOW level input current		–370	–300	–	μA
I_{IH}	HIGH level input current		–	300	450	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
ADCIN INPUT (PIN 20; SEE TABLE 5)						
V_{20}	input voltage	digital output = 00	–	$V_{CCA} - 2.42$	–	V
V_{20}	input voltage	digital output = 255	–	$V_{CCA} - 1.41$	–	V
$V_{20(p-p)}$	input voltage amplitude (peak-to-peak value)		–	1.0	–	V
I_{20}	input current		–	1.0	10	µA
$\|Z_i\|$	input impedance	f_i = 6 MHz	–	50	–	MΩ
C_I	input capacitance	f_i = 6 MHz	–	1	–	pF
Analog-to-digital converter outputs						
DIGITAL OUTPUTS D0 TO D7						
V_{OL}	LOW level output voltage	I_{OL} = 2 mA	0	–	0.6	V
V_{OH}	HIGH level output voltage	I_{OL} = –0.4 mA	2.4	–	V_{CCD}	V
I_{OZ}	output current in 3-state mode	0.4 V < V_O < V_{CCD}	–20	–	+20	µA
Switching characteristics						
$f_{clk(max)}$	maximum clock input frequency	see Fig.6; note 6	30	32	–	MHz
Analog signal processing (f_{clk} = 32 MHz; see Fig.8)						
G_{diff}	differential gain	V_{20} = 1.0 V (p-p); see Fig.3; note 7	–	2	–	%
φ_{diff}	differential phase	see Fig.3; note 7	–	2	–	deg
f_1	fundamental harmonics (full-scale)	f_i = 4.43 MHz; note 7	–	–	0	dB
f_{all}	harmonics (full-scale); all components	f_i = 4.43 MHz; note 7	–	–55	–	dB
SVRR2	supply voltage ripple rejection	note 8	–	1	5	%/V
Transfer function (see Fig.8)						
ILE	DC integral linearity error		–	–	±1	LSB
DLE	DC differential linearity error		–	–	±0.5	LSB
ILE	AC integral linearity error	note 9	–	–	±2	LSB
Timing (f_{clk} = 32 MHz; see Figs 6, 7 and 8)						
DIGITAL OUTPUTS (C_L = 15 pF; I_{OL} = 2 mA; R_L = 2 kΩ)						
t_{ds}	sampling delay time		–	2	–	ns
t_h	output hold time		6	8	–	ns
t_d	output delay time		–	16	20	ns
t_{dEZ}	3-state delay time; output enable		–	19	25	ns
t_{dDZ}	3-state delay time; output disable		–	14	20	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

1. 0 dB is obtained at the AGC amplifier when applying $V_{i(p-p)}$ = 1.33 V.
2. The output current at pin 19 should not exceed 1 mA. The load impedance R_L should be referenced to V_{CCA} and defined as:
   a) AC impedance ≥1 kΩ and the DC impedance >2.7 kΩ.
   b) The load impedance should be coupled directly to the output of the amplifier so that the DC voltage supplied by the clamp is not disturbed.
3. Control mode 2 is selected.
4. Signal-to-noise ratio measured with 5 MHz bandwidth:

   $$\frac{S}{N} = 20 \log \frac{V_{ANOUTC(p-p)}}{V_{ANOUTY\ (RMS\ noise)}}$$ at B = 5 MHz.

5. The voltage ratio is expressed as:

   $$SVRR1 = 20 \log \frac{\Delta V_{CCA}}{V_{CCA}} \times \frac{G}{\Delta G}$$ for V_i = 1 V (p-p), gain at 100 kHz = 1 and 1 V supply variation.

6. It is recommended that the rise and fall times of the clock are ≥2 ns. In addition, a 'good layout' for the digital and analog grounds is recommended.
7. These measurements are realized on analog signals after a digital-to-analog conversion (TDA8702 is used).
8. The supply voltage rejection is the relative variation of the analog signal (full-scale signal at input) for 1 V of supply variation:

   $$SVRR2 = \frac{\Delta (V_{I(00)} - V_{I(FF)}) + (V_{I(00)} - V_{I(FF)})}{\Delta V_{CCA}}$$

9. Full-scale sine wave (f_i = 4.4 MHz; f_{clk} = 27 MHz).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ble 1 Video input selection (CVBS).

I1	I0	SELECTED INPUT
0	0	VIN0
0	1	VIN1
1	0	VIN2
1	1	VIN2

ble 2 AGC output current.

ATE A	GATE B	DIGITAL OUTPUT	I_{AGC}	MODE(2)
1	1	output < 255	−2.5 μA	1
		output > 255	I_{AGCM}	1
0	X(1)	output < 248	0 μA	2
		output > 248	I_{AGCM}	2
1	0	output < 0	+2.5 μA	2
		0 < output < 248	−2.5 μA	2
		output > 248	I_{AGCM}	2

te

X = don't care.

Mode 2 can only be initialized with successive pulses on GATE A and GATE B (see Fig.5).

ble 5 Output coding and input voltage (typical values).

STEP	V_{ADCIN}	BINARY OUTPUTS								TWO'S COMPLEMENT							
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
Underflow	–	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	V_{CCA} − 2.41 V	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	–	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1
.	–	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	–	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
254	–	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0
255	V_{CCA} − 1.41 V	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Overflow	–	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1

Table 3 CLAMP output current.

GATE A	GATE B	DIGITAL OUTPUT	I_{CLAMP}	MODE
1	1	output < 0	I_{CLAMPM}	1
		output > 0	−2.5 μA	1
X(1)	0	X(1)	0 μA	2
0	1	output < 64	+50 μA	2
		64 < output	−50 μA	2

Note

1. X = don't care.

Table 4 OF input coding.

OF	D0 TO D7
0	active, two's complement
1	high impedance
open circuit(1)	active, binary

Note

1. Use C ≥ 10 pF to DGND.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

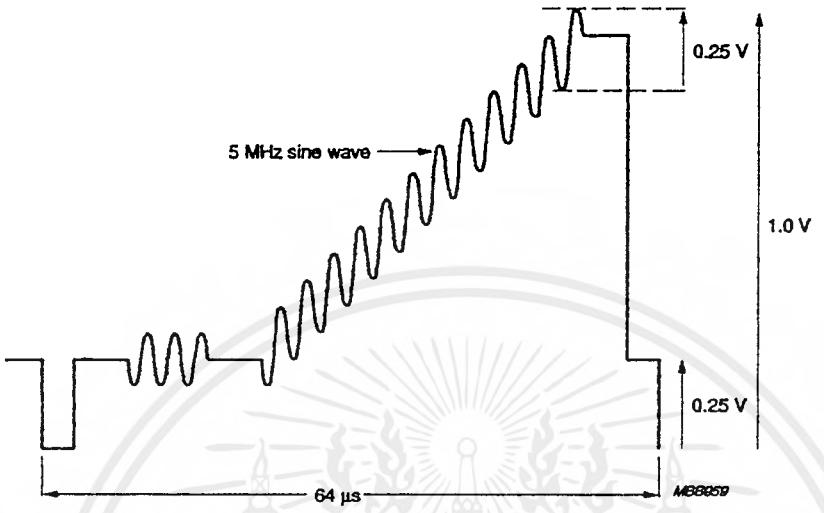


Fig.3 Test signal on the ADCIN pin for differential gain and phase measurements.

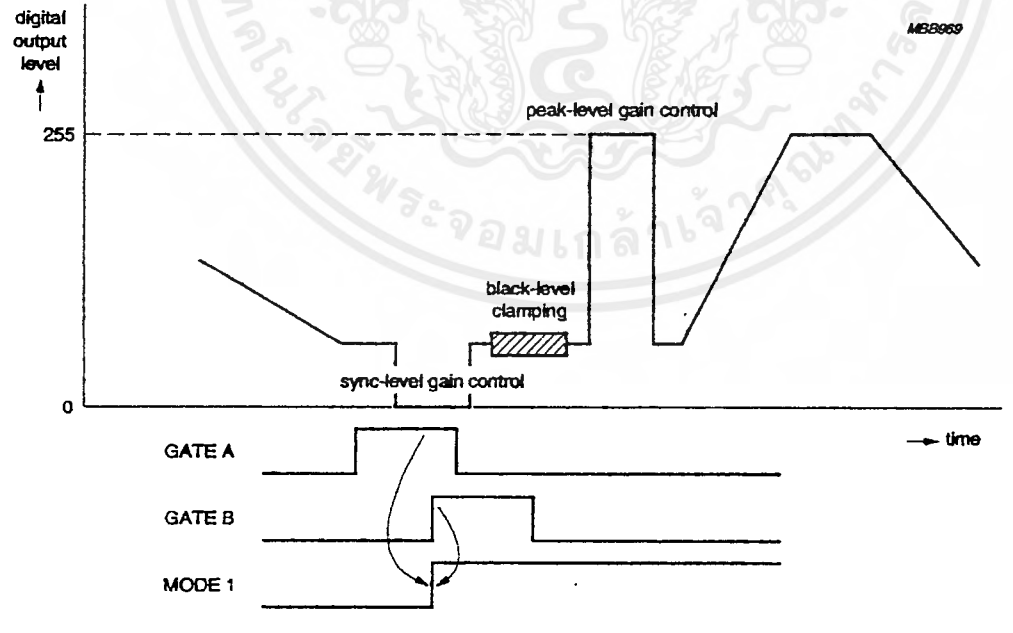


Fig.4 Control mode 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

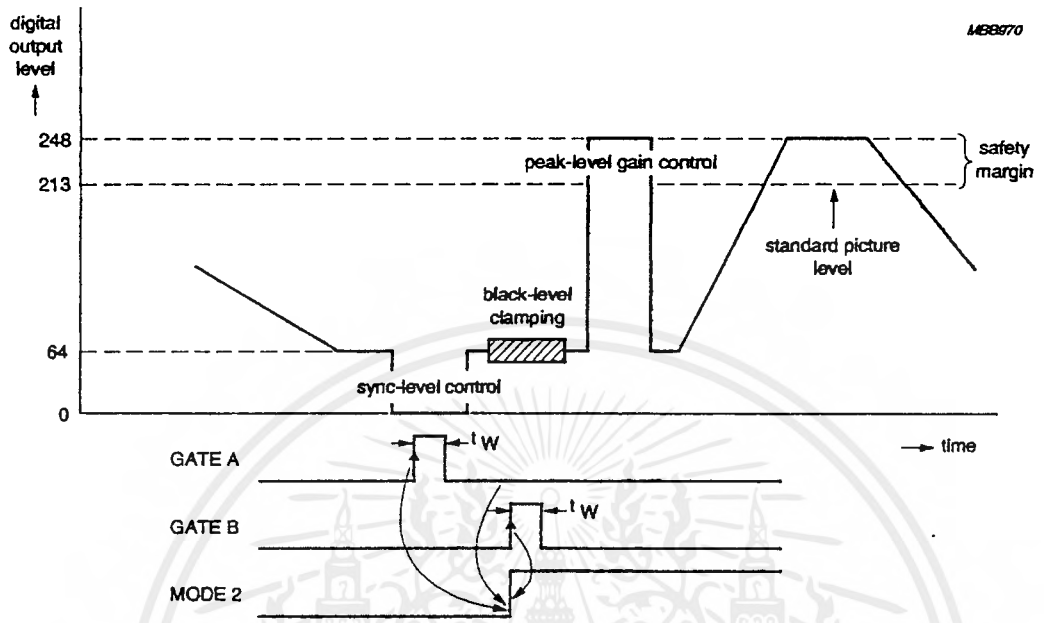


Fig.5 Control mode 2.

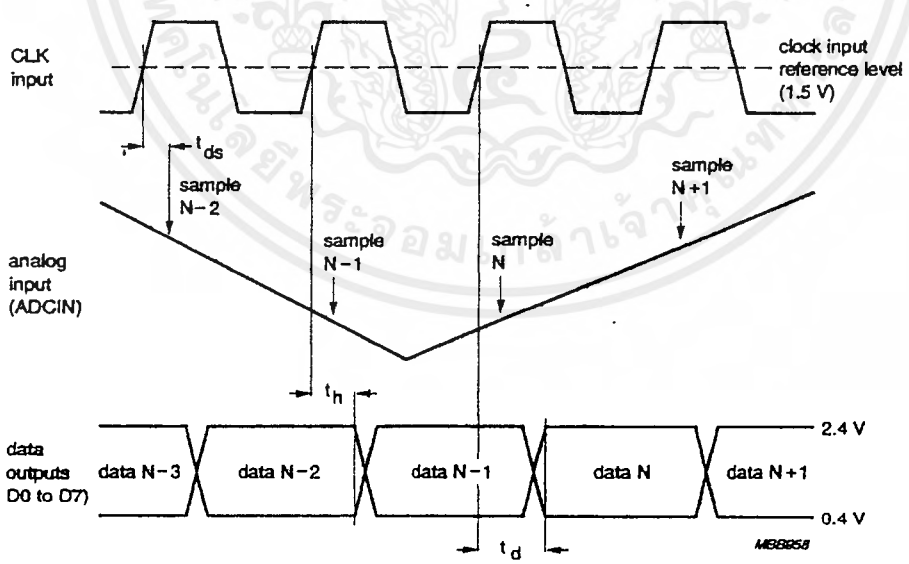


Fig.6 Timing diagram for data output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

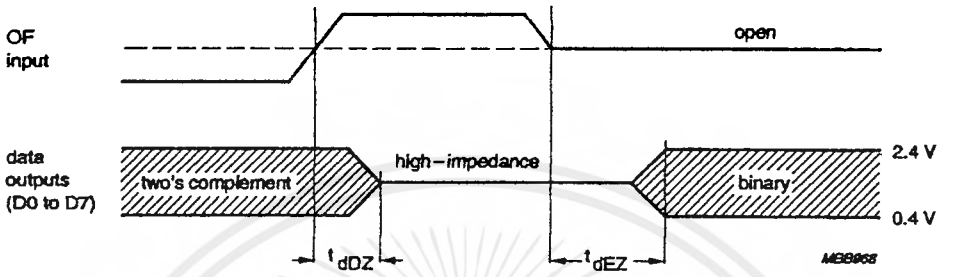


Fig.7 Output format timing diagram.

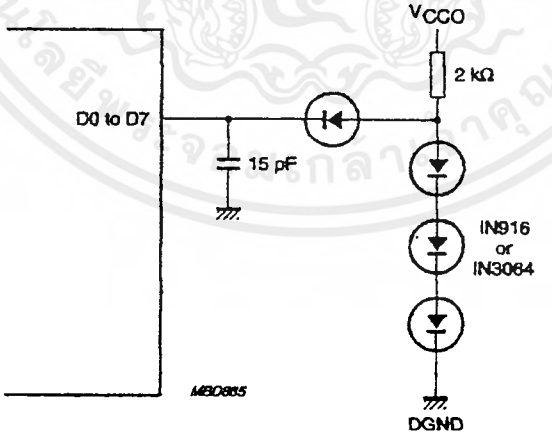


Fig.8 Load circuit for timing measurement; data outputs (OF = LOW or open-circuit).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

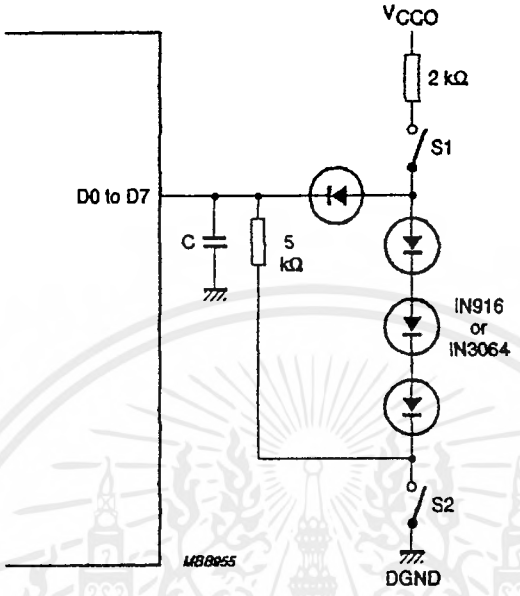
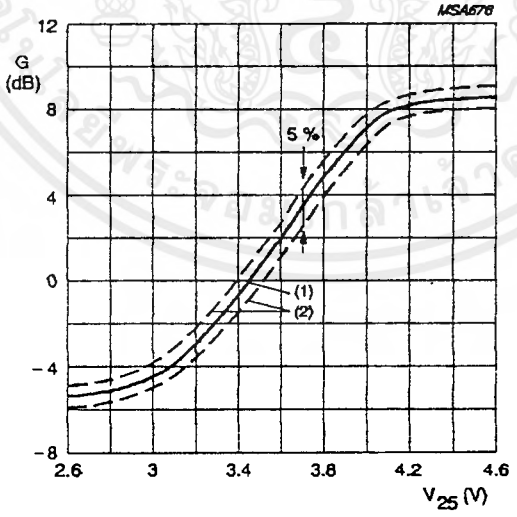


Fig.9 Load circuit for timing measurement; 3-state outputs (OF: f_i = 1 MHz; V_{OF} = 3 V).



(1) Typical value (V_{CCA} = V_{CCD} = 5 V; T_{amb} = 25 °C).
(2) Minimum and maximum values (temperature and supply).

Fig.10 Gain control curve.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERNAL PIN CIRCUITRY

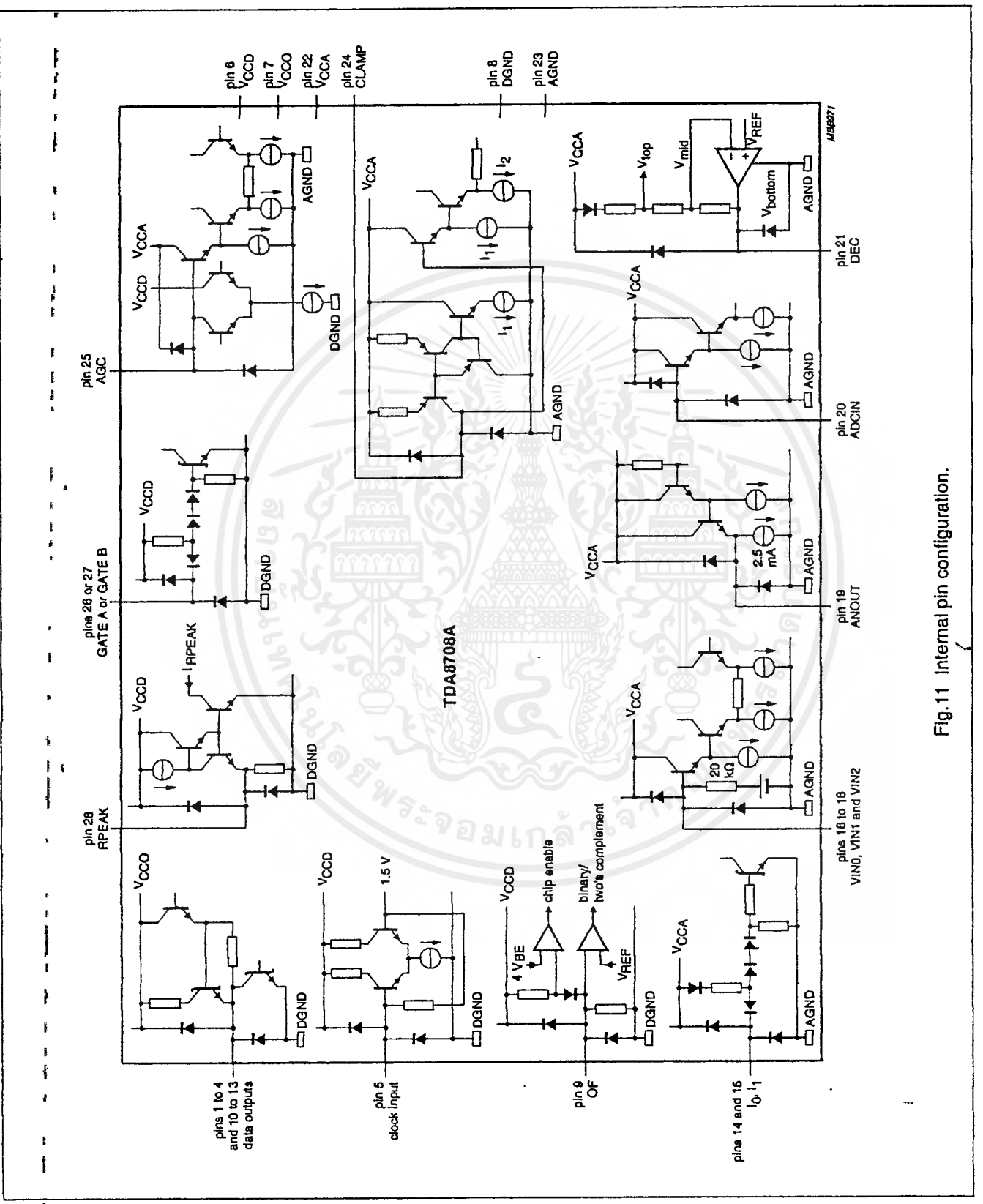
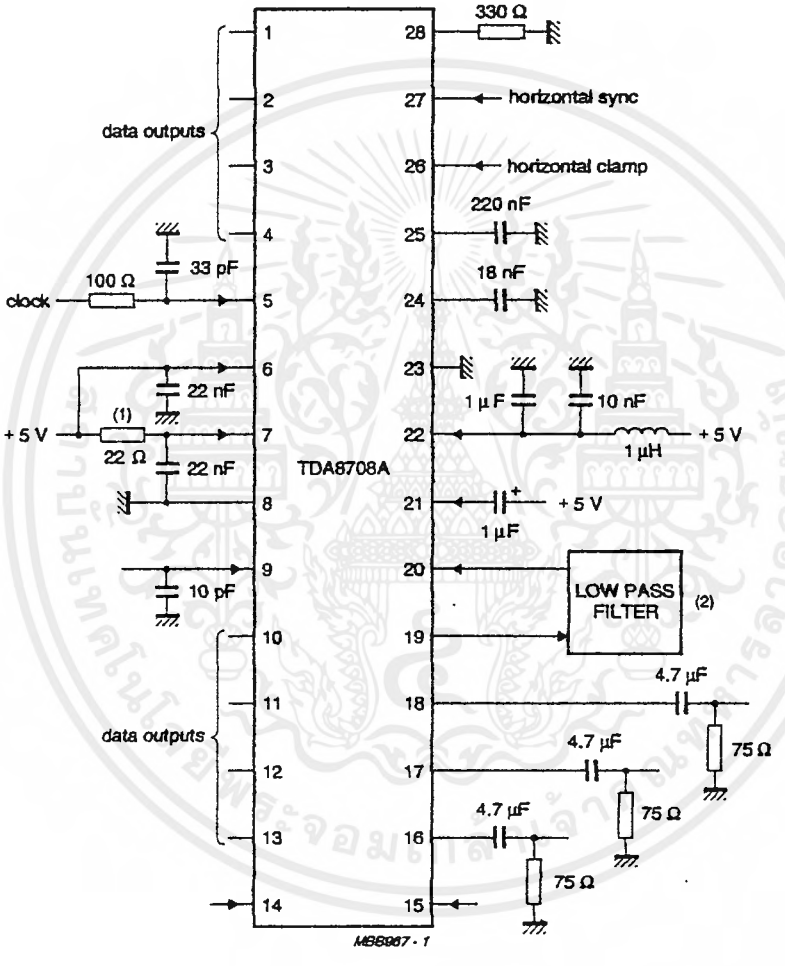


Fig.11 Internal pin configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

Additional information can be found in the laboratory report *"FBL/AN9308"*.

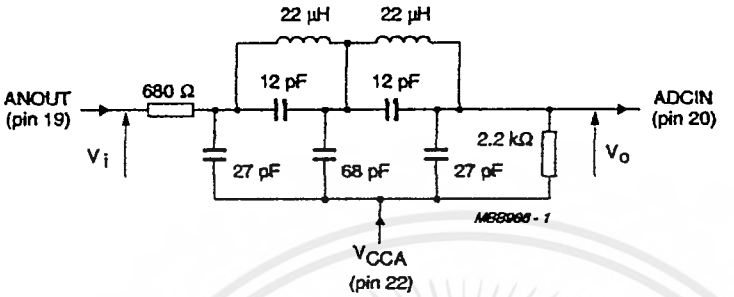


(1) It is recommended to decouple V_{CCO} through a 22 Ω resistor especially when the output data of TDA8708A interfaces with a capacitive CMOS load device.

(2) See Figs 13 and 15 for examples of the low-pass filters.

Fig.12 Application diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



This filter can be adapted to various applications with respect to performance requirements. An input and output impedance of at least 680 Ω and 2.2 kΩ must in any event be applied.

Fig.13 Example of a low-pass filter for CVBS and Y signals.

Characteristics of Fig. 13

- Order 5; adapted CHEBYSHEV
- Ripple $\rho \leq 0.4$ dB
- f = 6.5 MHz at −3 dB
- f_{notch} = 9.75 MHz.

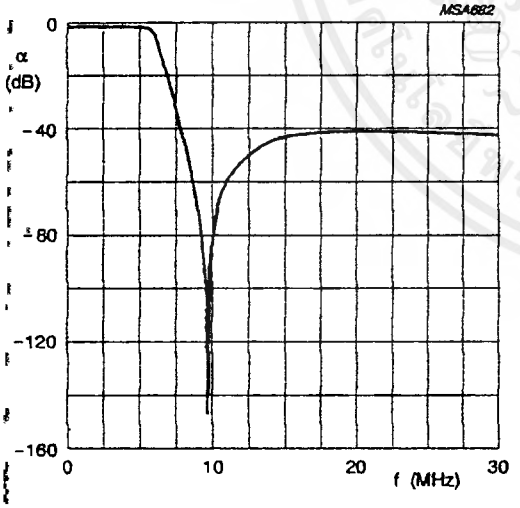
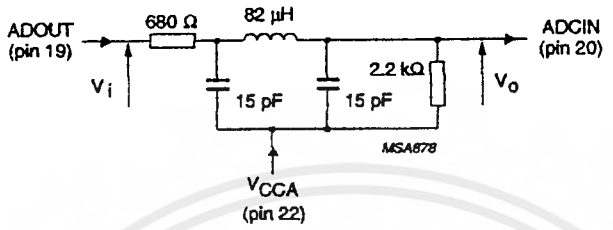


Fig.14 Frequency response for filter shown in Fig.13.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



This filter can be adapted to various applications with respect to performance requirements. An input and output impedance of at least 680 Ω and 2.2 kΩ must in any event be applied.

Fig.15 Example of an economical low-pass filter for CVBS and Y signals.

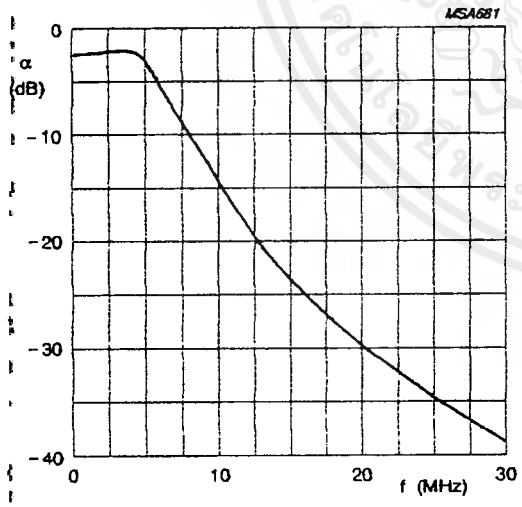


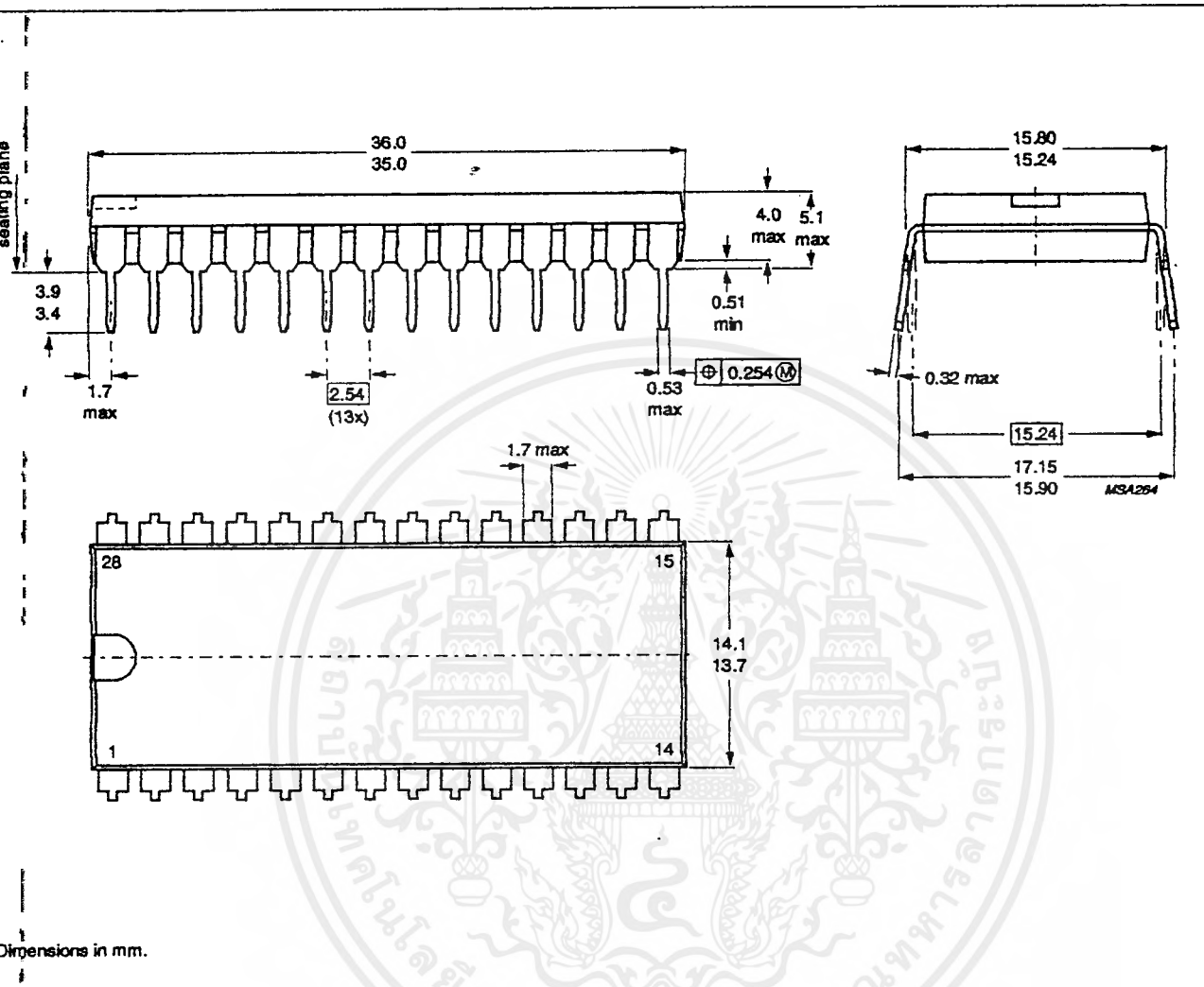
Fig.16 Frequency response for filter shown in Fig.15.

Characteristics of Fig. 15

- Order 5; adapted CHEBYSHEV
- Ripple $\rho \leq 0.4$ dB
- f = 6.5 MHz at −3 dB.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

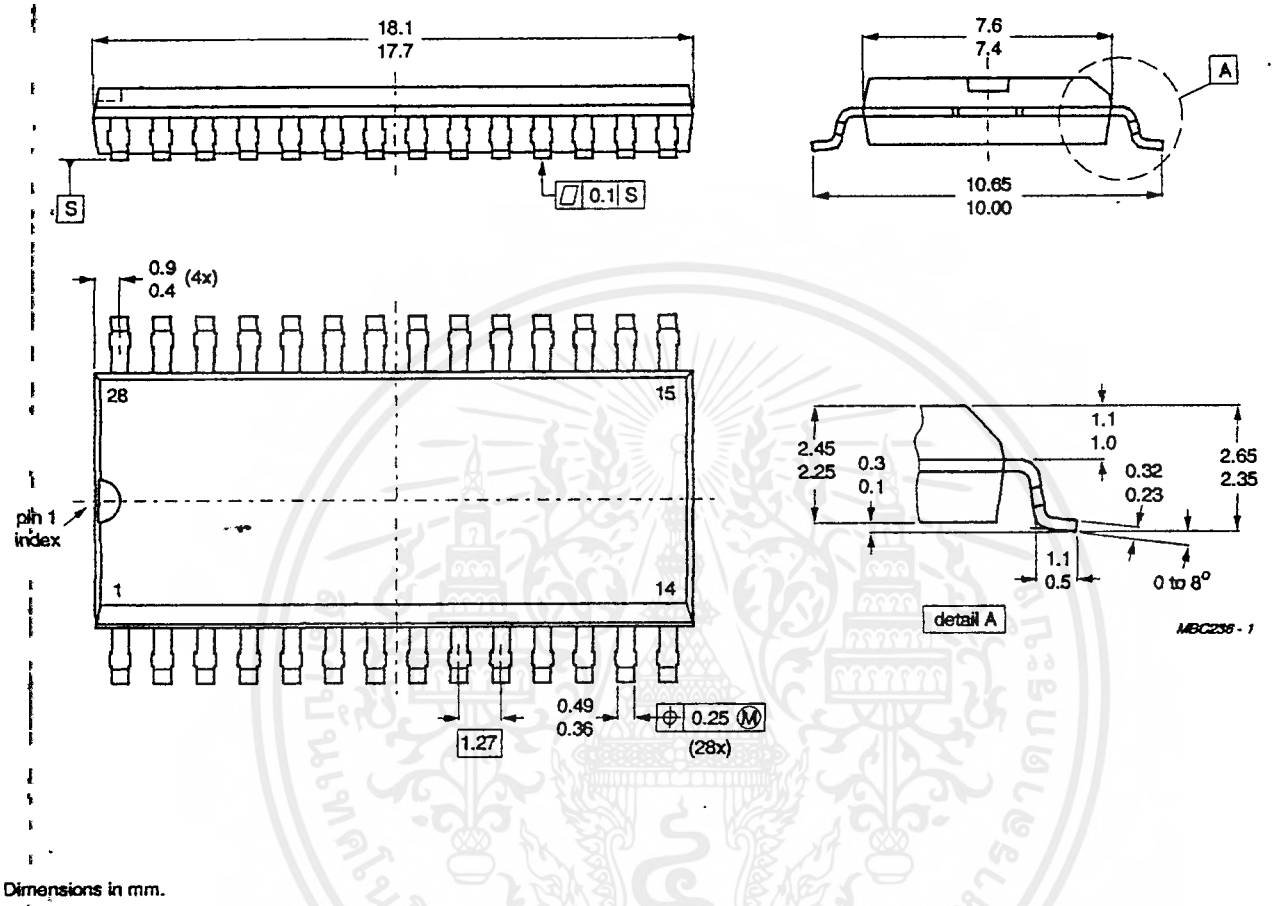
CKAGE OUTLINES



Dimensions in mm.

Fig.17 Plastic dual in-line package; 28 leads (600 mil) with internal heat spreader (SOT117-1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Dimensions in mm.

Fig.18 Plastic small outline package; 28 leads; large body (SOT136-1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SOLDERING

Plastic dual in-line packages

BY DIP OR WAVE

The maximum permissible temperature of the solder is 260 °C; this temperature must not be in contact with the joint for more than 5 s. The total contact time of successive solder waves must not exceed 5 s.

The device may be mounted up to the seating plane, but the temperature of the plastic body must not exceed the specified storage maximum. If the printed-circuit board has been pre-heated, forced cooling may be necessary immediately after soldering to keep the temperature within the permissible limit.

REPAIRING SOLDERED JOINTS

Apply a low voltage soldering iron below the seating plane (or not more than 2 mm above it). If its temperature is below 300 °C, it must not be in contact for more than 10 s; if between 300 and 400 °C, for not more than 5 s.

Plastic small-outline packages

BY WAVE

During placement and before soldering, the component must be fixed with a droplet of adhesive. After curing the adhesive, the component can be soldered. The adhesive can be applied by screen printing, pin transfer or syringe dispensing.

Maximum permissible solder temperature is 260 °C, and maximum duration of package immersion in solder bath is 10 s, if allowed to cool to less than 150 °C within 6 s. Typical dwell time is 4 s at 250 °C.

A modified wave soldering technique is recommended using two solder waves (dual-wave), in which a turbulent wave with high upward pressure is followed by a smooth laminar wave. Using a mildly-activated flux eliminates the need for removal of corrosive residues in most applications.

BY SOLDER PASTE REFLOW

Reflow soldering requires the solder paste (a suspension of fine solder particles, flux and binding agent) to be applied to the substrate by screen printing, stencilling or pressure-syringe dispensing before device placement.

Several techniques exist for reflowing; for example, thermal conduction by heated belt, infrared, and vapour-phase reflow. Dwell times vary between 50 and 300 s according to method. Typical reflow temperatures range from 215 to 250 °C.

Preheating is necessary to dry the paste and evaporate the binding agent. Preheating duration: 45 min at 45 °C.

REPAIRING SOLDERED JOINTS (BY HAND-HELD SOLDERING IRON OR PULSE-HEATED SOLDER TOOL)

Fix the component by first soldering two, diagonally opposite, end pins. Apply the heating tool to the flat part of the pin only. Contact time must be limited to 10 s at up to 300 °C. When using proper tools, all other pins can be soldered in one operation within 2 to 5 s at between 270 and 320 °C. (Pulse-heated soldering is not recommended for SO packages.)

For pulse-heated solder tool (resistance) soldering of VSO packages, solder is applied to the substrate by dipping or by an extra thick tin/lead plating before package placement.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM62256B Series

256k SRAM (32-kword × 8-bit)

HITACHI

ADE-203-135F (Z)
Rev. 6.0
Nov. 13, 1997

Description

The Hitachi HM62256B Series is a CMOS static RAM organized 32,768-word × 8-bit. It realizes higher performance and low power consumption by employing 0.8 µm Hi-CMOS process technology. The device, packaged in 8 × 14 mm TSOP, 8 × 13.4 mm TSOP with thickness of 1.2 mm, 450 mil SOP (foot print pitch width), 600 mil plastic DIP, or 300 mil plastic DIP, is available for high density mounting. It offers low power standby power dissipation; therefore, it is suitable for battery backup systems.

Features

- Single 5.0 V supply: 5.0 V ± 10%
- Access time: 55 ns/70 ns/85 ns (max)
- Power dissipation:
  - — Active: 25 mW (typ) (f = 1 MHz)
  - — Standby: 1.0 µW (typ)
- Completely static memory
  - — No clock or timing strobe required
- Equal access and cycle times
- Common data input and output
  - — Three state output
- Directly TTL compatible all inputs and outputs
- Battery backup operation

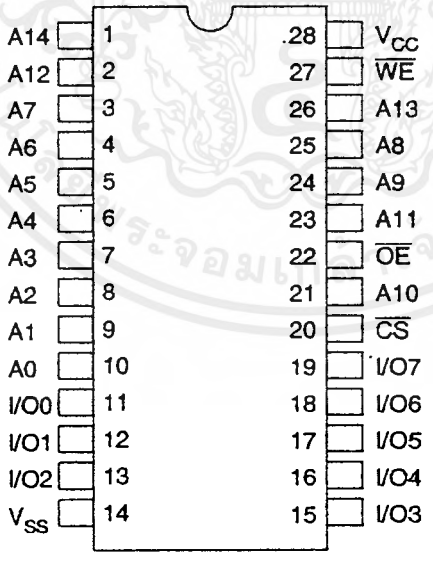
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Type No.	Access time	Package
HM62256BLP-7	70 ns	600-mil 28-pin plastic DIP (DP-28)
HM62256BLP-7SL	70 ns	
HM62256BLSP-7	70 ns	300-mil 28-pin plastic DIP (DP-28NA)
HM62256BLSP-7SL	70 ns	
HM62256BLFP-7T	70 ns	450-mil 28-pin plastic SOP (FP-28DA)
HM62256BLFP-5SLT	55 ns	
HM62256BLFP-7SLT	70 ns	
HM62256BLFP-7ULT	70 ns	
HM62256BLT-8	85 ns	8 mm × 14 mm 32-pin TSOP (TFP-32DA)
HM62256BLT-7SL	70 ns	
HM62256BLTM-8	85 ns	8 mm × 13.4 mm 28-pin TSOP (TFP-28DA)
HM62256BLTM-5SL	55 ns	
HM62256BLTM-7SL	70 ns	
HM62256BLTM-7UL	70 ns	

Pin Arrangement

HM62256BLP/BLFP/BLSP Series

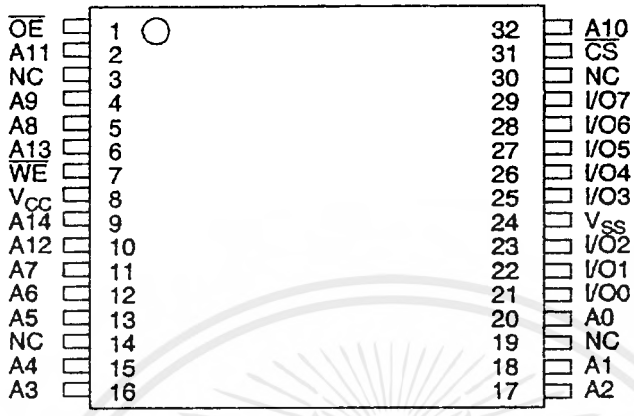


(Top view)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

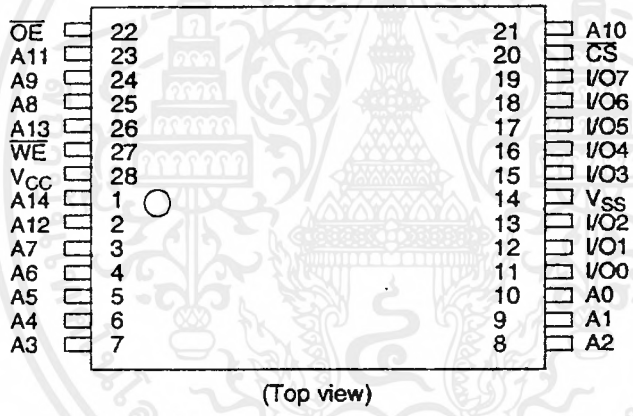
Pin Arrangement (cont.)

HM62256BLT Series



(Top view)

HM62256BLTM Series



(Top view)

Pin Description

Pin Name	Function
A0 to A14	Address input
I/O0 to I/O7	Data input/output
$\overline{CS}$	Chip select
$\overline{WE}$	Write enable
$\overline{OE}$	Output enable
V_{CC}	Power supply
V_{SS}	Ground
NC	No connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operation Table

$\overline{WE}$	$\overline{CS}$	$\overline{OE}$	Mode	V_{CC} current	I/O pin	Ref. cycle
×	H	×	Standby	I_{SB}, I_{SB1}	High-Z	—
H	L	H	Output disable	I_{CC}	High-Z	—
H	L	L	Read	I_{CC}	Dout	Read cycle (1)to (3)
L	L	H	Write	I_{CC}	Din	Write cycle (1)
L	L	L	Write	I_{CC}	Din	Write cycle (2)

Note: ×: H or L

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Power supply voltage relative to V_{SS}	V_{CC}	–0.5 to +7.0	V
Terminal voltage on any pin relative to V_{SS}	V_T	–0.5[*1] to V_{CC}+0.3[*2]	V
Power dissipation	P_T	1.0	W
Operating temperature range	Topr	0 to +70	°C
Storage temperature range	Tstg	–55 to +125	°C
Storage temperature range under bias	Tbias	–10 to +85	°C

Notes: 1. V_T min: –3.0 V for pulse half-width ≤ 50 ns
2. Maximum voltage is 7.0 V

DC Operating Conditions (Ta = 0 to +70°C)

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Supply voltage	V_{CC}	4.5	5.0	5.5	V	
	V_{SS}	0	0	0	V	
Input high voltage	V_{IH}	2.2	—	V_{CC} + 0.3	V	
Input low voltage	V_{IL}	–0.5[*1]	—	0.8	V	

Note: 1. V_{IL} min: –3.0 V for pulse half-width ≤ 50 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Characteristics (Ta = 0 to +70°C, V_{CC} = 5 V ± 10%, V_{SS} = 0 V)

Parameter		Symbol	Min	Typ*1	Max	Unit	Test conditions
Input leakage current		$\|I_{LI}\|$	—	—	1	µA	Vin = V_{SS} to V_{CC}
Output leakage current		$\|I_{LO}\|$	—	—	1	µA	$\overline{CS}$ = V_{IH} or $\overline{OE}$ = V_{IH} or $\overline{WE}$ = V_{IL}, $V_{I/O}$ = V_{SS} to V_{CC}
Operating current		I_{CC}	—	6	15	mA	$\overline{CS}$ = V_{IL}, Others = V_{IH}/V_{IL}, $I_{I/O}$ = 0 mA
Average operating current	HM62256B-5	I_{CC1}	—	—	60	mA	Min cycle, duty = 100%, $I_{I/O}$ = 0 mA, $\overline{CS}$ = V_{IL}, Others = V_{IH}/V_{IL}
	HM62256B-7	I_{CC1}	—	33	60	mA	
	HM62256B-8	I_{CC1}	—	29	50	mA	
		I_{CC2}	—	5	15	mA	Cycle time = 1 µs, $I_{I/O}$ = 0 mA, $\overline{CS}$ = V_{IL}, V_{IH} = V_{CC}, V_{IL} = 0
Standby current		I_{SB}	—	0.3	2	mA	$\overline{CS}$ = V_{IH}
		I_{SB1}	—	0.2	100	µA	Vin ≥ 0 V, $\overline{CS}$ ≥ V_{CC} − 0.2 V
		I_{SB1}	—	0.2*2	50*2	µA	
		I_{SB1}	—	0.2*3	10*3	µA	
Output low voltage		V_{OL}	—	—	0.4	V	I_{OL} = 2.1 mA
Output high voltage		V_{OH}	2.4	—	—	V	I_{OH} = −1.0 mA

Notes: 1. Typical values are at V_{CC} = 5.0 V, Ta = +25°C and not guaranteed.
2. This characteristic is guaranteed only for L-SL version.
3. This characteristic is guaranteed only for L-UL version.

Capacitance (Ta = 25°C, f = 1.0 MHz)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Input capacitance*1	Cin	—	—	8	pF	Vin = 0 V
Input/output capacitance*1	$C_{I/O}$	—	—	10	pF	$V_{I/O}$ = 0 V

Note: 1. This parameter is sampled and not 100% tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics (Ta = 0 to +70°C, V_{CC} = 5.0 V ± 10%)

Test Conditions

- Input pulse levels: 0.8 V to 2.4 V
- Input rise and fall time: 5 ns
- Input and output timing reference levels: 1.5 V
- Output load: 1 TTL Gate + C_L (50 pF) (HM62256B-5)
  1 TTL Gate + C_L (100 pF) (HM62256B-7/8)
  (Including scope & jig)

Read Cycle

		HM62256B							
		-5		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Read cycle time	t_{RC}	55	—	70	—	85	—	ns	
Address access time	t_{AA}	—	55	—	70	—	85	ns	
Chip select to access time	t_{ACS}	—	55	—	70	—	85	ns	
Output enable to output valid	t_{OE}	—	35	—	40	—	45	ns	
Chip select to output in low-Z	t_{CLZ}	5	—	10	—	10	—	ns	2
Output enable to output in low-Z	t_{OLZ}	5	—	5	—	5	—	ns	2
Chip deselect to output in high-Z	t_{CHZ}	0	20	0	25	0	30	ns	1, 2
Output disable to output in high-Z	t_{OHZ}	0	20	0	25	0	30	ns	1, 2
Output hold from address change	t_{OH}	5	—	5	—	5	—	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Cycle

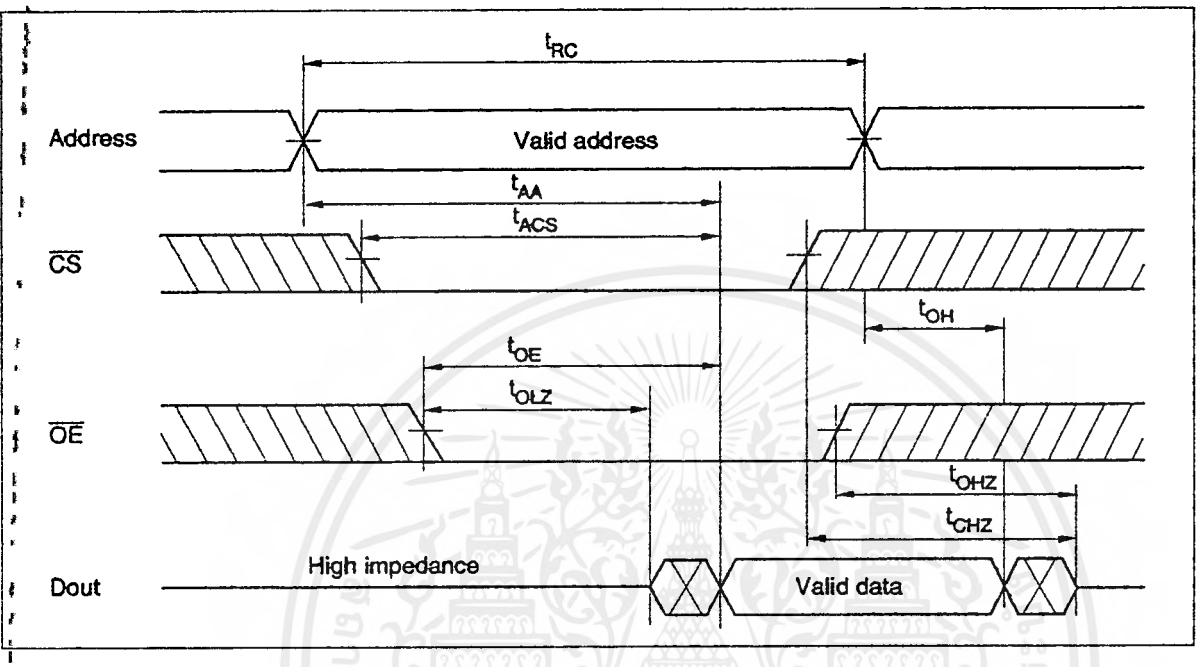
		HM62256B							
		-5		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Write cycle time	t_{WC}	55	—	70	—	85	—	ns	
Chip selection to end of write	t_{CW}	40	—	60	—	75	—	ns	5
Address setup time	t_{AS}	0	—	0	—	0	—	ns	6
Address valid to end of write	t_{AW}	40	—	60	—	75	—	ns	
Write pulse width	t_{WP}	35	—	50	—	55	—	ns	4, 13
Write recovery time	t_{WR}	0	—	0	—	0	—	ns	7
Write to output in high-Z	t_{WHZ}	0	20	0	25	0	30	ns	1, 2, 8
Data to write time overlap	t_{DW}	25	—	30	—	35	—	ns	
Data hold from write time	t_{DH}	0	—	0	—	0	—	ns	
Output active from end of write	t_{OW}	5	—	5	—	5	—	ns	2
Output disable to output in High-Z	t_{OHZ}	0	20	0	25	0	30	ns	1, 2, 8

Notes:
1. t_{CHZ}, t_{OHZ} and t_{WHZ} are defined as the time at which the outputs achieve the open circuit conditions and are not referred to output voltage levels.
2. This parameter is sampled and not 100% tested.
3. Address must be valid prior to or simultaneously with $\overline{CS}$ going low.
4. A write occurs during the overlap of a low $\overline{CS}$ and a low $\overline{WE}$. A write begins at the latest transition of $\overline{CS}$ going low or $\overline{WE}$ going low. A write ends at the earliest transition of $\overline{CS}$ going high or $\overline{WE}$ going high. t_{WP} is measured from the beginning of write to the end of write.
5. t_{CW} is measured from $\overline{CS}$ going low to the end of write.
6. t_{AS} is measured from the address valid to the beginning of write.
7. t_{WR} is measured from the earliest of $\overline{CS}$ or $\overline{WE}$ going high to the end of write cycle.
8. During this period, I/O pins are in the output state; therefore, the input signals of the opposite phase to the outputs must not be applied.
9. If $\overline{CS}$ goes low simultaneously with $\overline{WE}$ going low or after $\overline{WE}$ going low, the outputs remain in the high impedance state.
10. Dout is the same phase of the latest written data in this write cycle.
11. Dout is the read data of next address.
12. If $\overline{CS}$ is low during this period, I/O pins are in the output state. Therefore, the input signals of the opposite phase to the outputs must not be applied to them.
13. In the write cycle with $\overline{OE}$ low fixed, t_{WP} must satisfy the following equation to avoid a problem of data bus contention.
    $t_{WP} \geq t_{DW}$ min + t_{WHZ} max

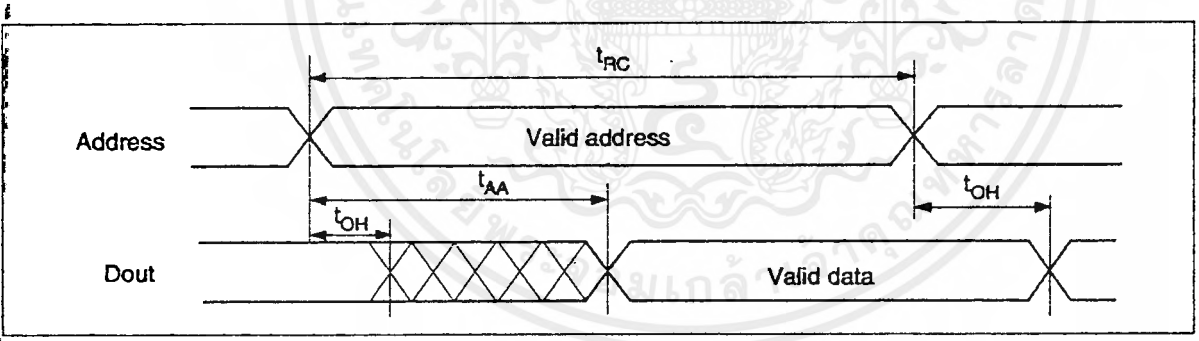
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveform

Read Timing Waveform (1) ($\overline{WE}$ = V_{IH})

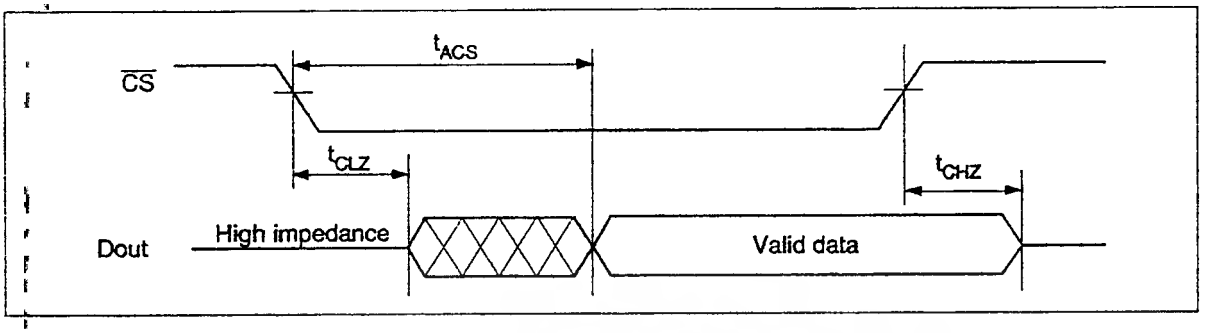


Read Timing Waveform (2) ($\overline{WE}$ = V_{IH}, $\overline{CS}$ = V_{IL}, $\overline{OE}$ = V_{IL})

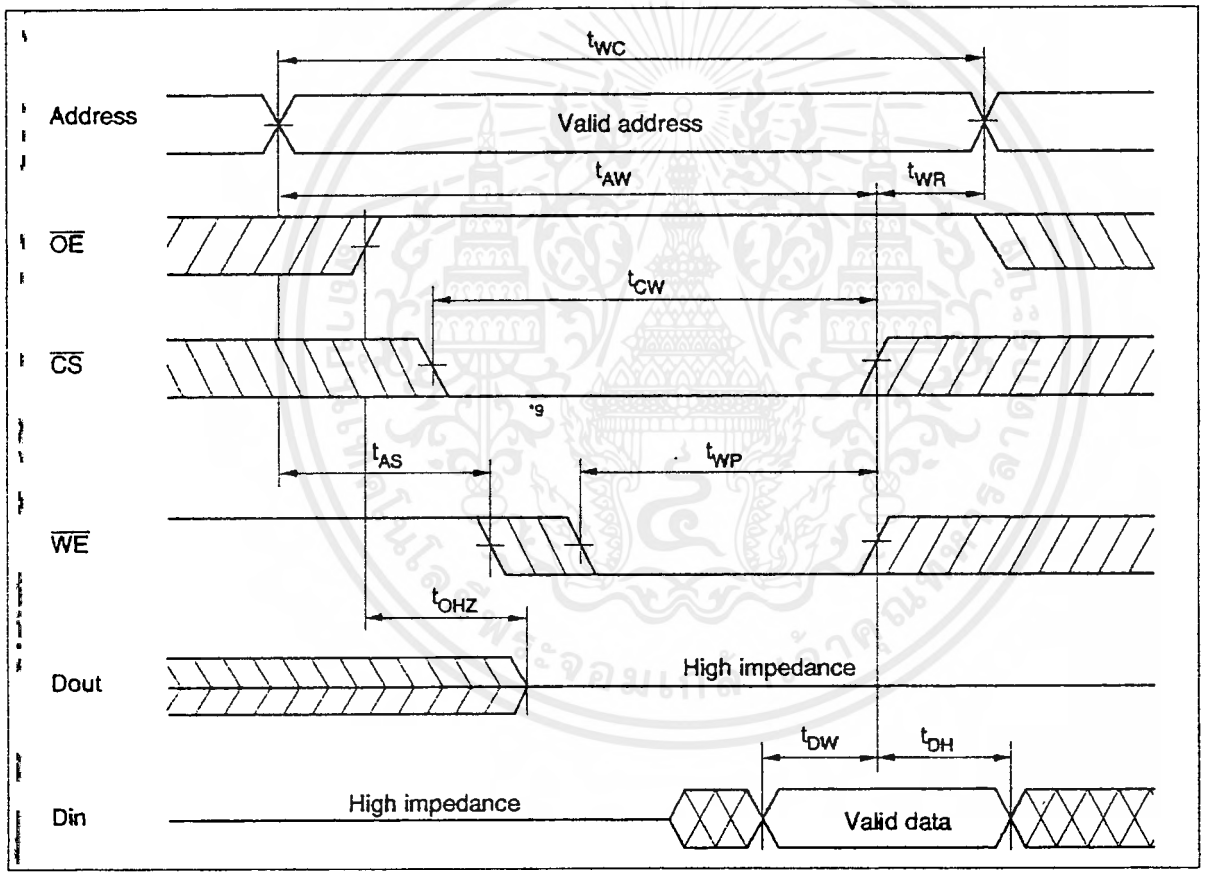


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Read Timing Waveform (3) ($\overline{WE}$ = V_{IH}, $\overline{OE}$ = V_{IL})*3

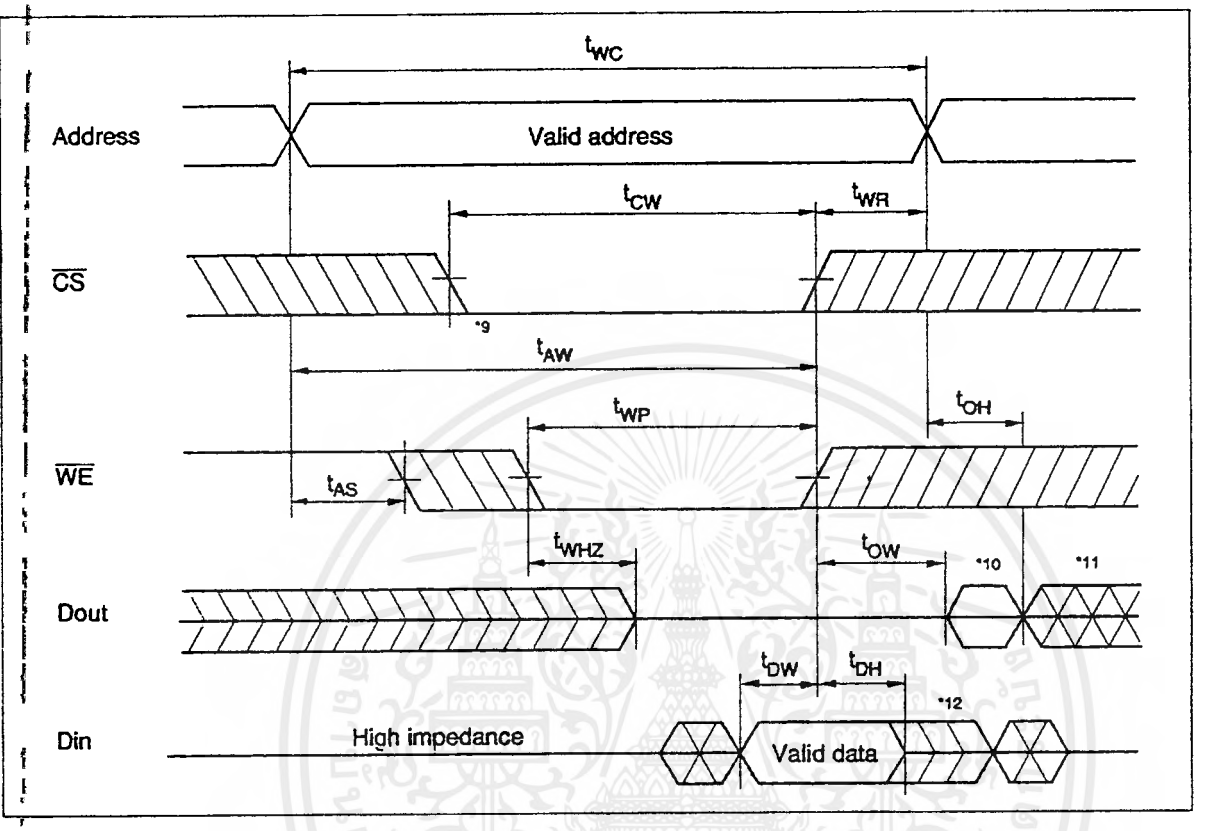


Write Timing Waveform (1) ($\overline{OE}$ Clock)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Timing Waveform (2) ($\overline{OE}$ Low Fixed)

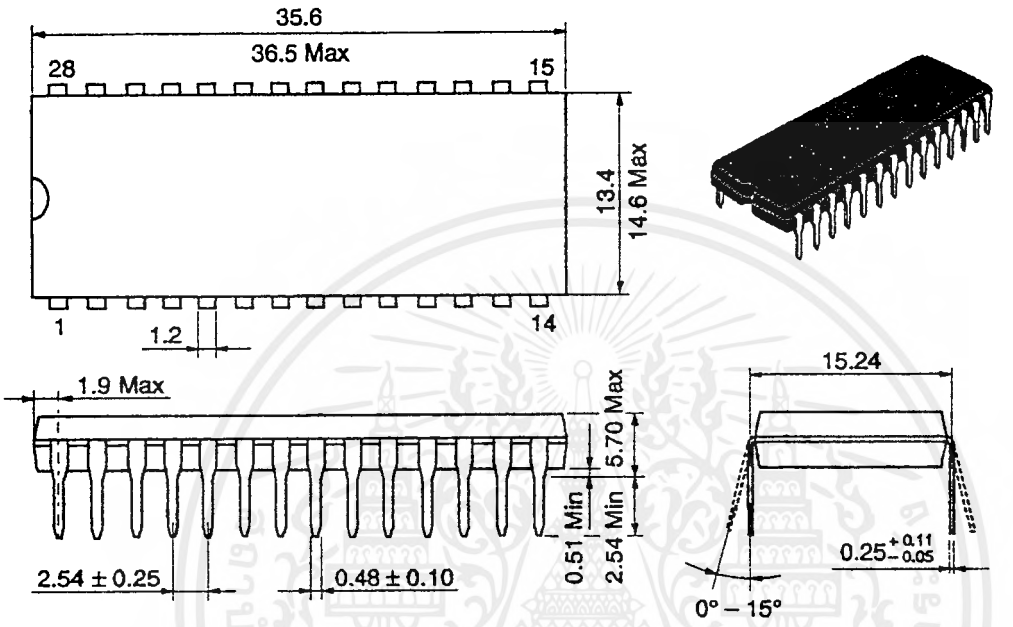


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions

HM62256BLP Series (DP-28)

Unit: mm



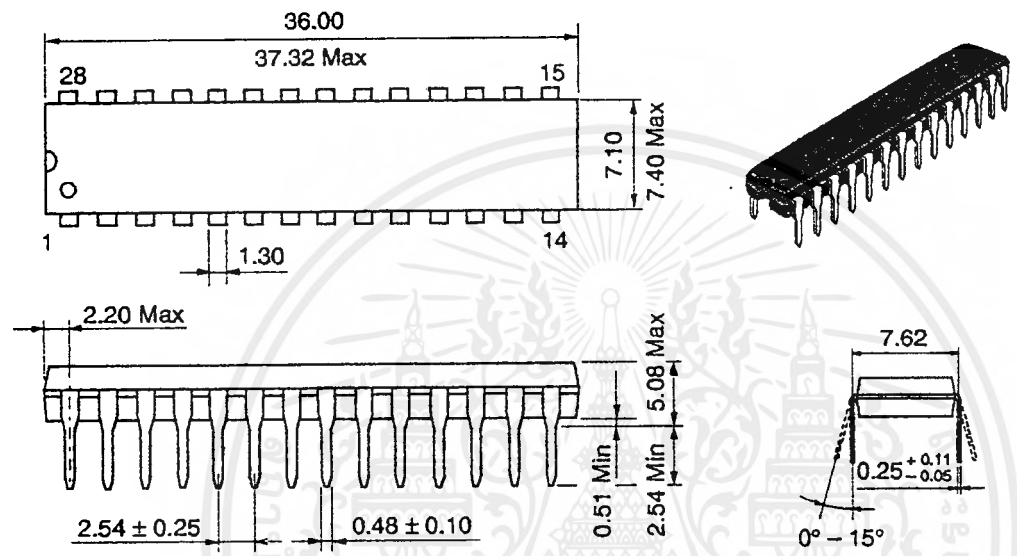
Hitachi Code	DP-28
JEDEC	—
EIAJ	Conforms
Weight (reference value)	4.6 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions (cont.)

HM62256BLSP Series (DP-28NA)

Unit: mm



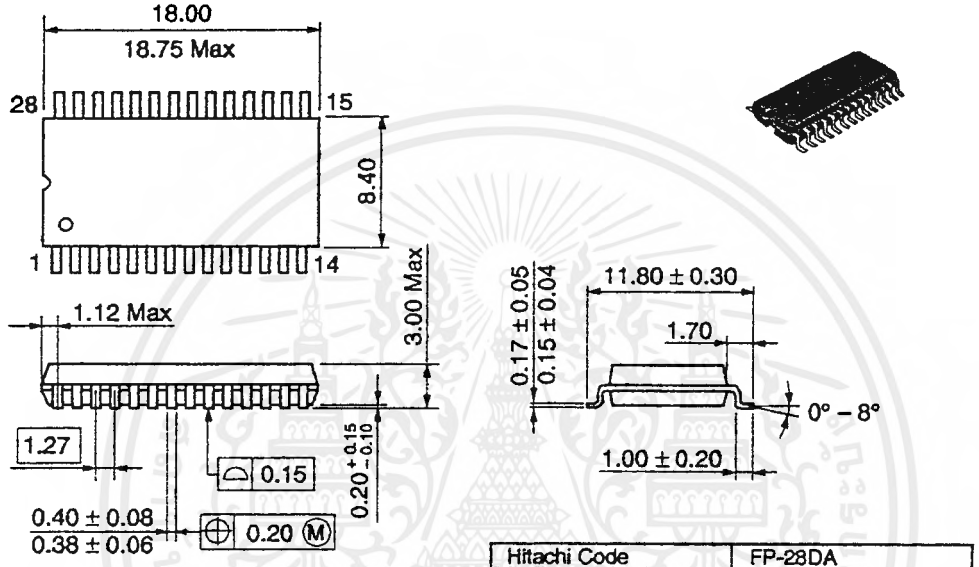
Hitachi Code	DP-28NA
JEDEC	—
EIAJ	Conforms
Weight (reference value)	2.2 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions (cont.)

HM62256BLFP Series (FP-28DA)

Unit: mm



Dimension including the plating thickness
Base material dimension

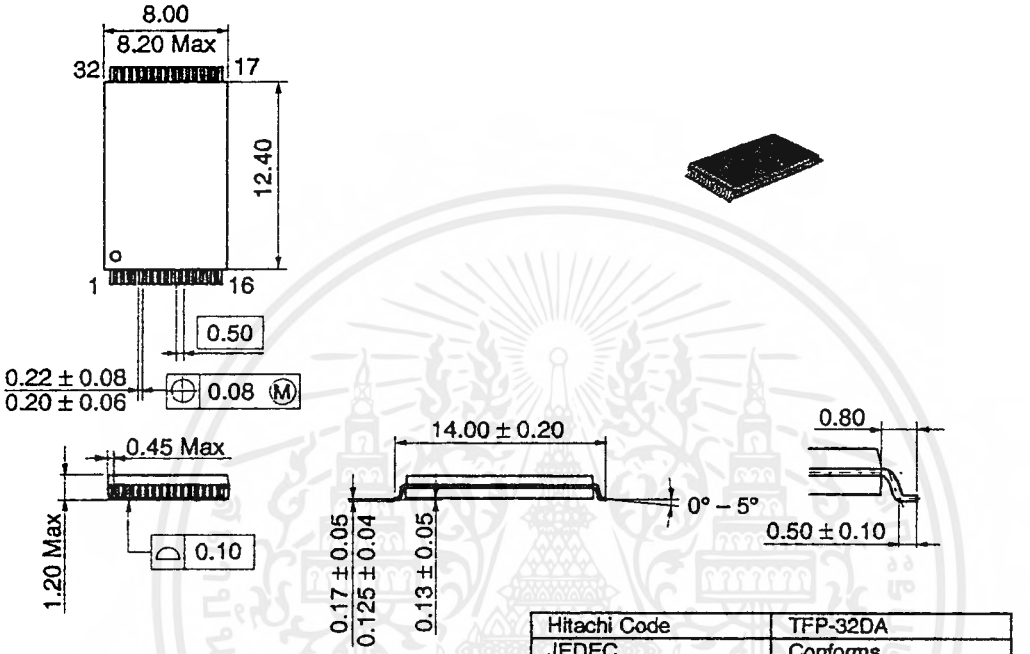
Hitachi Code	FP-28DA
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.82 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions (cont.)

HM62256BLT Series (TFP-32DA)

Unit: mm



Dimension including the plating thickness
Base material dimension

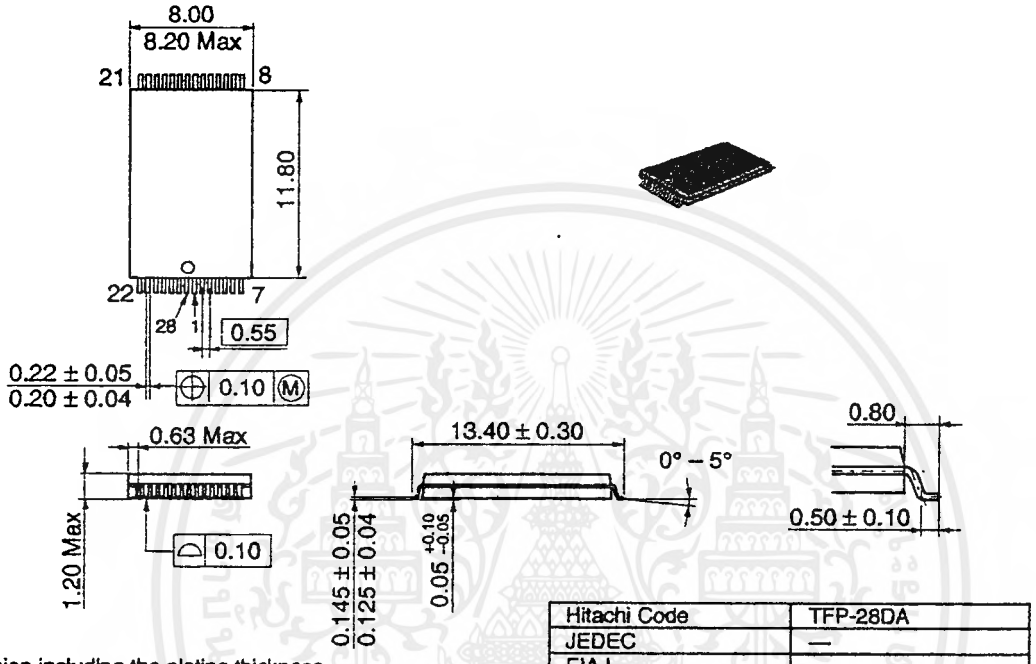
Hitachi Code	TFP-32DA
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.26 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions (cont.)

HM62256BLTM Series (TFP-28DA)

Unit: mm



Dimension including the plating thickness
Base material dimension

Hitachi Code	TFP-28DA
JEDEC	—
EIAJ	—
Weight (reference value)	0.22 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When using this document, keep the following in mind:

1. This document may, wholly or partially, be subject to change without notice.
2. All rights are reserved: No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without Hitachi's permission.
3. Hitachi will not be held responsible for any damage to the user that may result from accidents or any other reasons during operation of the user's unit according to this document.
4. Circuitry and other examples described herein are meant merely to indicate the characteristics and performance of Hitachi's semiconductor products. Hitachi assumes no responsibility for any intellectual property claims or other problems that may result from applications based on the examples described herein.
5. No license is granted by implication or otherwise under any patents or other rights of any third party or Hitachi, Ltd.
6. MEDICAL APPLICATIONS: Hitachi's products are not authorized for use in MEDICAL APPLICATIONS without the written consent of the appropriate officer of Hitachi's sales company. Such use includes, but is not limited to, use in life support systems. Buyers of Hitachi's products are requested to notify the relevant Hitachi sales offices when planning to use the products in MEDICAL APPLICATIONS.

HITACHI

Hitachi, Ltd.
Semiconductor & IC Div.
Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100, Japan
Tel: Tokyo (03) 3270-2111
Fax: (03) 3270-5109

For further information write to:

Hitachi America, Ltd.
Semiconductor & IC Div.
2000 Sierra Point Parkway
Brisbane, CA. 94005-1835
U S A
Tel: 415-589-8300
Fax: 415-583-4207

Hitachi Europe GmbH
Continental Europe
Domacher Straße 3
D-85622 Feldkirchen
München
Tel: 089-9 91 80-0
Fax: 089-9 29 30-00

Hitachi Europe Ltd.
Electronic Components Div.
Northern Europe Headquarters
Whitebrook Park
Lower Cookham Road
Maidenhead
Berkshire SL6 8YA
United Kingdom
Tel: 01628-585000
Fax: 01628-585160

Hitachi Asia Pte. Ltd.
16 Collyer Quay #20-00
Hitachi Tower
Singapore 049318
Tel: 535-2100
Fax: 535-1533

Hitachi Asia (Hong Kong) Ltd.
Unit 706, North Tower,
World Finance Centre,
Harbour City, Canton Road
Tsim Sha Tsui, Kowloon
Hong Kong
Tel: 27359218
Fax: 27306071

Copyright © Hitachi, Ltd., 1997. All rights reserved. Printed in Japan.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Revision Record

Rev.	Date	Contents of Modification	Drawn by	Approved by
0.0	Sep. 10, 1993	Initial Issue	Y. Saito	K. Yoshizaki
1.0	Mar. 23, 1994	DC Characteristics I_{CC1} Typ: —/—/—/— mA to 33/29/26/24 mA	Y. Saito	K. Yoshizaki
2.0	Oct. 31, 1994	Deletion of HM62256BLT-7/10SL/12SL Addition of HM62256BLTM-8/7SL/8SL(TFP-28DA) AC Characteristics Addition of note 12 Low V_{CC} data retention characteristics V_{DR} max: — to 5.5 V Note 2: 20 µA max at Ta = 0 to +40°C to 10 µA max at Ta = 0 to +40°C Deletion of description; (only for L-version)	Y. Saito	K. Yoshizaki
3.0	Jun. 19, 1995	Change of format Deletion of HM62256BLP-8/10/12/8SL/10SL/12SL Deletion of HM62256BLSP-8/10/12/8SL/10SL/12SL Deletion of HM62256BLFP-8T/10T/12T Deletion of HM62256BLFP-8SLT/10SLT/12SLT Deletion of HM62256BLT-10/12/8SL Deletion of HM62256BLTM-8SL Addition of HM62256BLFP-4SLT/5SLT/7ULT Addition of HM62256BLTM-4SLT/5SLT/7ULT Features Fast access time: 70/85/100/120 ns to 45/55/70/85 ns DC Characteristics I_{CC1} typ: 33/29/26/24 mA to —/—/33/29 mA max: 60/50/50/45 mA to 70/60/60/50 mA I_{SB1} typ: 0.3/0.3 µA to 0.2/0.2/0.2 µA max: 100/50 µA to 100/50/10 µA Addition of note 3 AC Characteristics Change order of notes. Test Condition Addition of HM62256B-4: 1TTL Gate + C_L (100pF) (Including scope & jig) t_{RC} min: 70/85/100/120 ns to 45/55/70/85 ns t_{AA} max: 70/85/100/120 ns to 45/55/70/85 ns t_{ACS} max: 70/85/100/120 ns to 45/55/70/85 ns t_{OE} max: 40/45/50/60 ns to 30/35/40/45 ns t_{CLZ} min: 10/10/10/10 ns to 5/5/10/10 ns t_{OHZ} max: 25/30/35/40 ns to 20/20/25/30 ns t_{OH} min: 5/5/10/10 ns 5/5/5/5 ns t_{WC} min: 70/85/100/120 ns to 45/55/70/85 ns t_{CW} min: 60/75/80/85 ns to 35/40/60/75 ns t_{AW} min: 60/75/80/85 ns to 35/40/60/75 ns t_{WP} min: 50/55/60/70 ns to 30/35/50/55 ns. t_{WHZ} max: 25/30/35/40 ns to 20/20/25/30 ns	M. Higuchi	K. Yoshizaki

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Revision Record (cont.)

Rev.	Date	Contents of Modification	Drawn by	Approved by
3.0	Jun. 19, 1995	AC Characteristics t_{PW} min: 30/35/40/50 ns to 20/25/30/35 ns t_{OHZ} max: 25/30/35/40 ns to 20/20/25/30 ns Low V_{CC} Data Retention Characteristics Addition of note 4. t_{CCDR} typ: 0.2/0.2 µA to 0.05/0.05/0.05 µA max: 30/10 µA to 30/10/3 µA	M. Higuchi	K. Yoshizaki
4.0	Nov. 29, 1995	Ordering Information (HM62256BLFP-4 Series) Addition of note (Under development) AC Characteristics Test Conditions HM62256-5/7/8:1TTL Gate + C_L (100pF) to HM62256-5:1TTL Gate + C_L (50pF) and HM62256-7/8:1TTL Gate + C_L (100pF)	M. Higuchi	K. Yoshizaki
5.0	Jul. 9, 1997	Change of format Deletion of HM62256B-4 Series	M. Higuchi	K. Imato
6.0	Nov. 13,1997	Operation Table Correct Error DC Operating Conditions Correct Error DC Characteristics Correct Error		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

eatures

- Compatible with MCS-51™ Products
- K Bytes of In-System Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 28 x 8-Bit Internal RAM
- 2 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial Channel
- Low Power Idle and Power Down Modes

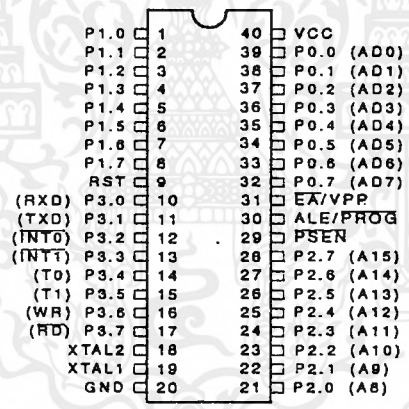
escription

e AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4K tes of Flash Programmable and Erasable Read Only Memory (PEROM). The vice is manufactured using Atmel's high density nonvolatile memory technology d is compatible with the industry standard MCS-51™ instruction set and pinout. The -chip Flash allows the program memory to be reprogrammed in-system or by a con- ntional nonvolatile memory programmer. By combining a versatile 8-bit CPU with ash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which ovides a highly flexible and cost effective solution to many embedded control appli- tions.

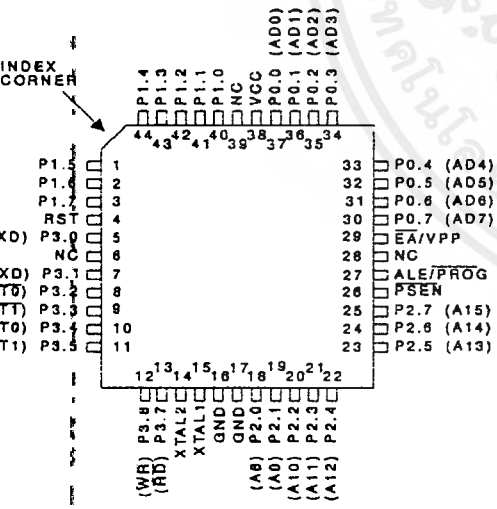
(continued)

n Configurations

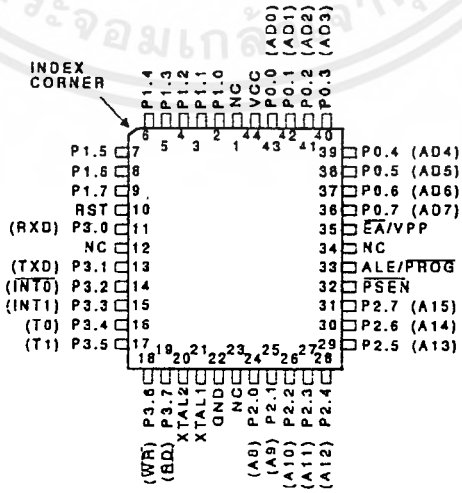
PDIP



PQFP/TQFP



PLCC



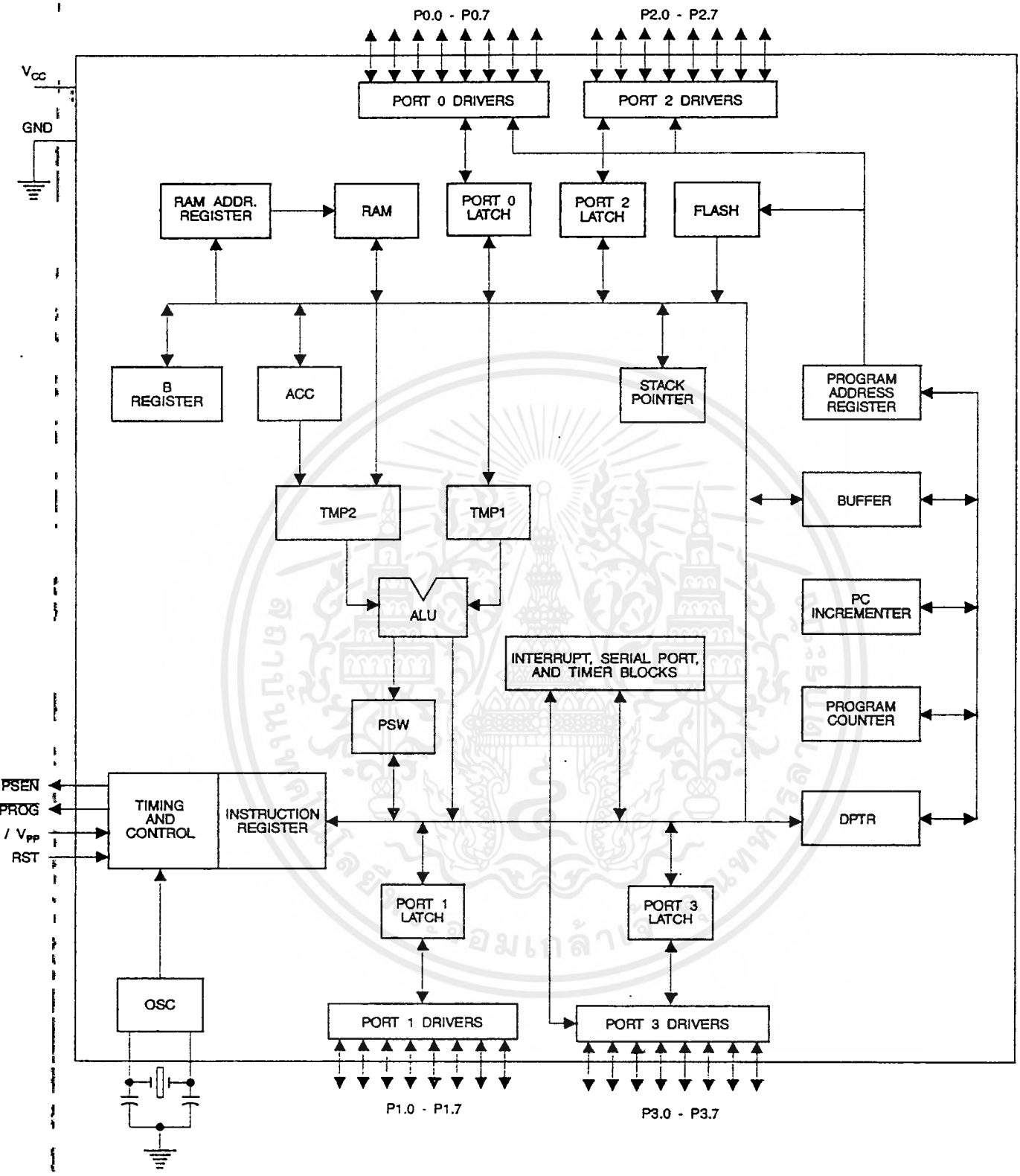
8-Bit Microcontroller with 4K Bytes Flash

AT89C51

0265F-A-12/97

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

k Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

e AT89C51 provides the following standard features: 4K es of Flash, 128 bytes of RAM, 32 I/O lines, two 16-bit er/counters, a five vector two-level interrupt architecture, ull duplex serial port, on-chip oscillator and clock cir- ry. In addition, the AT89C51 is designed with static logic operation down to zero frequency and supports two tware selectable power saving modes. The Idle Mode ps the CPU while allowing the RAM, timer/counters, ial port and interrupt system to continue functioning. The wer Down Mode saves the RAM contents but freezes oscillator disabling all other chip functions until the next dware reset.

n Description

C
pply voltage.

D
ound.

rt 0
rt 0 is an 8-bit open drain bidirectional I/O port. As an put port each pin can sink eight TTL inputs. When 1s written to port 0 pins, the pins can be used as high- pedance inputs.

rt 0 may also be configured to be the multiplexed low- er address/data bus during accesses to external pro- m and data memory. In this mode P0 has internal pul- s.

rt 0 also receives the code bytes during Flash program- ng, and outputs the code bytes during program verifica- n. External pullups are required during program verifica- n.

rt 1
rt 1 is an 8-bit bidirectional I/O port with internal pullups. e Port 1 output buffers can sink/source four TTL inputs. en 1s are written to Port 1 pins they are pulled high by internal pullups and can be used as inputs. As inputs, rt 1 pins that are externally being pulled low will source rent (I_{IL}) because of the internal pullups.

rt 1 also receives the low-order address bytes during sh programming and verification.

rt 2
rt 2 is an 8-bit bidirectional I/O port with internal pullups. e Port 2 output buffers can sink/source four TTL inputs. en 1s are written to Port 2 pins they are pulled high by internal pullups and can be used as inputs. As inputs, rt 2 pins that are externally being pulled low will source rent (I_{IL}) because of the internal pullups.

rt 2 emits the high-order address byte during fetches m external program memory and during accesses to ernal data memory that use 16-bit addresses (MOVX @ TR). In this application it uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and verification.

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/$\overline{PROG}$

Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

$\overline{PSEN}$

Program Store Enable is the read strobe to external program memory.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

the AT89C51 is executing code from external pro-
nemory, $\overline{PSEN}$ is activated twice each machine
except that two $\overline{PSEN}$ activations are skipped during
ccess to external data memory.

P
al Access Enable. $\overline{EA}$ must be strapped to GND in
o enable the device to fetch code from external pro-
memory locations starting at 0000H up to FFFFH.
nowever, that if lock bit 1 is programmed, $\overline{EA}$ will be
lly latched on reset.
ould be strapped to V_{CC} for internal program execu-

n also receives the 12-volt programming enable volt-
$_{PP}$) during Flash programming, for parts that require
V_{PP}.

o the inverting oscillator amplifier and input to the
l clock operating circuit.

from the inverting oscillator amplifier.

illator Characteristics

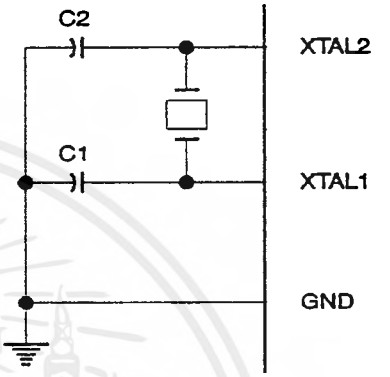
and XTAL2 are the input and output, respectively,
nverting amplifier which can be configured for use as
chip oscillator, as shown in Figure 1. Either a quartz
l or ceramic resonator may be used. To drive the
from an external clock source, XTAL2 should be left
nected while XTAL1 is driven as shown in Figure 2.
are no requirements on the duty cycle of the external
signal, since the input to the internal clocking circuitry
ugh a divide-by-two flip-flop, but minimum and maxi-
voltage high and low time specifications must be
ved.

Mode

mode, the CPU puts itself to sleep while all the on-
eripherals remain active. The mode is invoked by
re. The content of the on-chip RAM and all the spe-
nctions registers remain unchanged during this
The idle mode can be terminated by any enabled
pt or by a hardware reset.

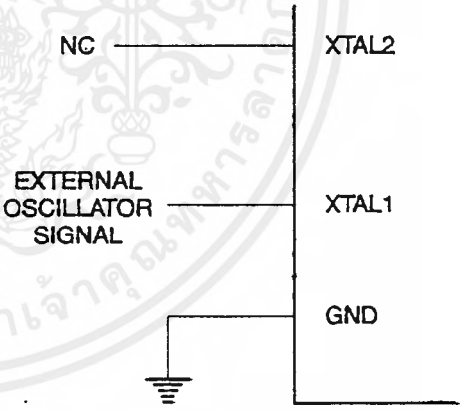
It should be noted that when idle is terminated by a hard ware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Figure 1. Oscillator Connections



Note: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration



us of External Pins During Idle and Power Down Modes

	Program Memory	ALE	$\overline{PSEN}$	PORT0	PORT1	PORT2	PORT3
	Internal	1	1	Data	Data	Data	Data
	External	1	1	Float	Data	Address	Data
r Down	Internal	0	0	Data	Data	Data	Data
r Down	External	0	0	Float	Data	Data	Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ower Down Mode

the power down mode the oscillator is stopped, and the struction that invokes power down is the last instruction ecuted. The on-chip RAM and Special Function Regis- s retain their values until the power down mode is termi- ted. The only exit from power down is a hardware reset. eset redefines the SFRs but does not change the on-chip AM. The reset should not be activated before V_{CC} is stored to its normal operating level and must be held tive long enough to allow the oscillator to restart and sta- ze.

Program Memory Lock Bits

On the chip are three lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

When lock bit 1 is programmed, the logic level at the $\overline{EA}$ pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value, and holds that value until reset is activated. It is necessary that the latched value of $\overline{EA}$ be in agreement with the current logic level at that pin in order for the device to function properly.

ock Bit Protection Modes

Program Lock Bits				Protection Type
	LB1	LB2	LB3	
1	U	U	U	No program lock features.
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory, $\overline{EA}$ is sampled and latched on reset, and further programming of the Flash is disabled.
3	P	P	U	Same as mode 2, also verify is disabled.
4	P	P	P	Same as mode 3, also external execution is disabled.

rogramming the Flash

e AT89C51 is normally shipped with the on-chip Flash emory array in the erased state (that is, contents = FFH) d ready to be programmed. The programming interface cepts either a high-voltage (12-volt) or a low-voltage cc) program enable signal. The low voltage programng mode provides a convenient way to program the 89C51 inside the user's system, while the high-voltage ogramming mode is compatible with conventional third rty Flash or EPROM programmers.

e AT89C51 is shipped with either the high-voltage or w-voltage programming mode enabled. The respective p-side marking and device signature codes are listed in e following table.

	V_{PP} = 12V	V_{PP} = 5V
op-Side Mark	AT89C51 xxxx yyww	AT89C51 xxxx-5 yyww
ignature	(030H)=1EH (031H)=51H (032H)=FFH	(030H)=1EH (031H)=51H (032H)=05H

e AT89C51 code memory array is programmed byte-byte in either programming mode. *To program any nonank byte in the on-chip Flash Memory, the entire memory ust be erased using the Chip Erase Mode.*

Programming Algorithm: Before programming the AT89C51, the address, data and control signals should be set up according to the Flash programming mode table and Figures 3 and 4. To program the AT89C51, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise $\overline{EA}/V_{PP}$ to 12V for the high-voltage programming mode.
5. Pulse ALE/$\overline{PROG}$ once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

$\overline{Data}$ Polling: The AT89C51 features $\overline{Data}$ Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written datum on PO.7. Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. $\overline{Data}$ Polling may begin any time after a write cycle has been initiated.

Ready/$\overline{Busy}$: The progress of byte programming can also be monitored by the RDY/$\overline{BSY}$ output signal. P3.4 is pulled low after ALE goes high during programming to indicate BUSY. P3.4 is pulled high again when programming is done to indicate READY.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ogram Verify: If lock bits LB1 and LB2 have not been ogrammed, the programmed code data can be read back the address and data lines for verification. The lock bits nnot be verified directly. Verification of the lock bits is nieved by observing that their features are enabled.

ip Erase: The entire Flash array is erased electrically using the proper combination of control signals and by ding ALE/$\overline{PROG}$ low for 10 ms. The code array is written h all "1"s. The chip erase operation must be executed fore the code memory can be re-programmed.

eading the Signature Bytes: The signature bytes are ad by the same procedure as a normal verification of ations 030H,

1H, and 032H, except that P3.6 and P3.7 must be pulled a logic low. The values returned are as follows.

(030H) = 1EH indicates manufactured by Atmel
(031H) = 51H indicates 89C51
(032H) = FFH indicates 12V programming
(032H) = 05H indicates 5V programming

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Flash Programming Modes

ode		RST	$\overline{PSEN}$	ALE/$\overline{PROG}$	$\overline{EA}$/V_{PP}	P2.6	P2.7	P3.6	P3.7
rite Code Data		H	L		H/12V	L	H	H	H
ead Code Data		H	L	H	H	L	L	H	H
rite Lock	Bit - 1	H	L		H/12V	H	H	H	H
	Bit - 2	H	L		H/12V	H	H	L	L
	Bit - 3	H	L		H/12V	H	L	H	L
hip Erase		H	L	(1)	H/12V	H	L	L	L
ead Signature Byte		H	L	H	H	L	L	L	L

te: 1. Chip Erase requires a 10-ms PROG pulse.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ure 3. Programming the Flash

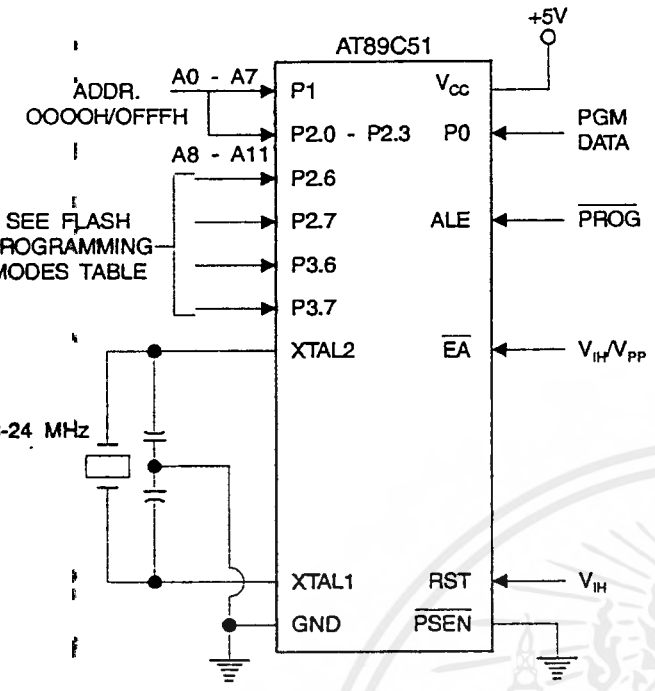
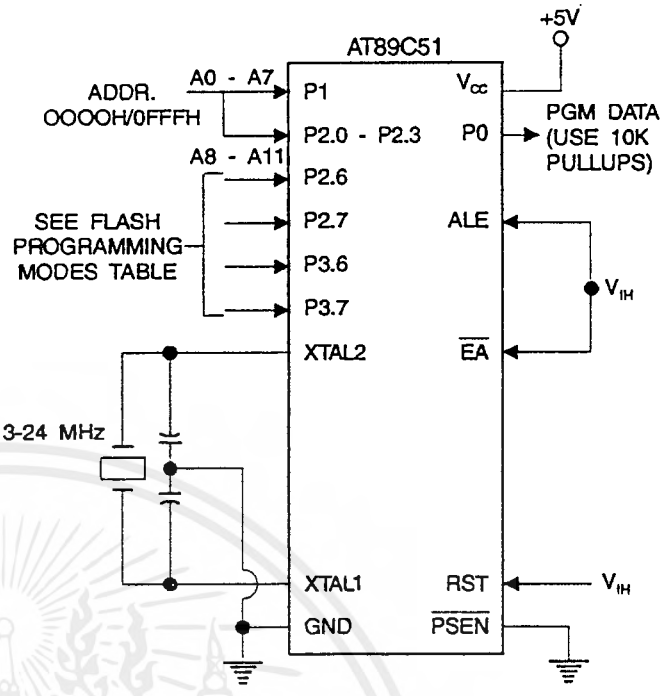


Figure 4. Verifying the Flash



ash Programming and Verification Characteristics

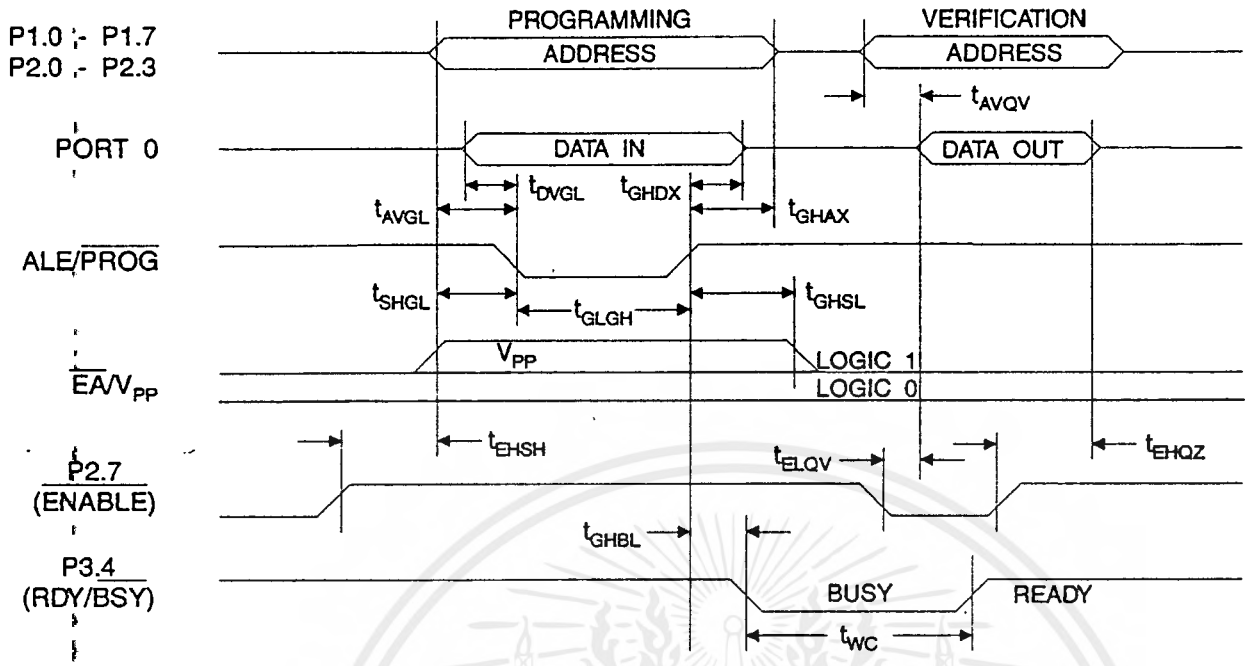
= 0°C to 70°C, V_{CC} = 5.0 ± 10%

ymbol	Parameter	Min	Max	Units
$_{PP}$(1)	Programming Enable Voltage	11.5	12.5	V
$_{P}$(1)	Programming Enable Current		1.0	mA
$/t_{CLCL}$	Oscillator Frequency	3	24	MHz
VGL	Address Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
GHAX	Address Hold After $\overline{PROG}$	$48t_{CLCL}$		
DVGL	Data Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
GHDX	Data Hold After $\overline{PROG}$	$48t_{CLCL}$		
EHSH	P2.7 ($\overline{ENABLE}$) High to V_{PP}	$48t_{CLCL}$		
SHGL	V_{PP} Setup to $\overline{PROG}$ Low	10		µs
GHSL(1)	V_{PP} Hold After $\overline{PROG}$	10		µs
GLGH	$\overline{PROG}$ Width	1	110	µs
AVQV	Address to Data Valid		$48t_{CLCL}$	
ELQV	$\overline{ENABLE}$ Low to Data Valid		$48t_{CLCL}$	
EHQZ	Data Float After $\overline{ENABLE}$	0	$48t_{CLCL}$	
GHBL	$\overline{PROG}$ High to $\overline{BUSY}$ Low		1.0	µs
WC	Byte Write Cycle Time		2.0	ms

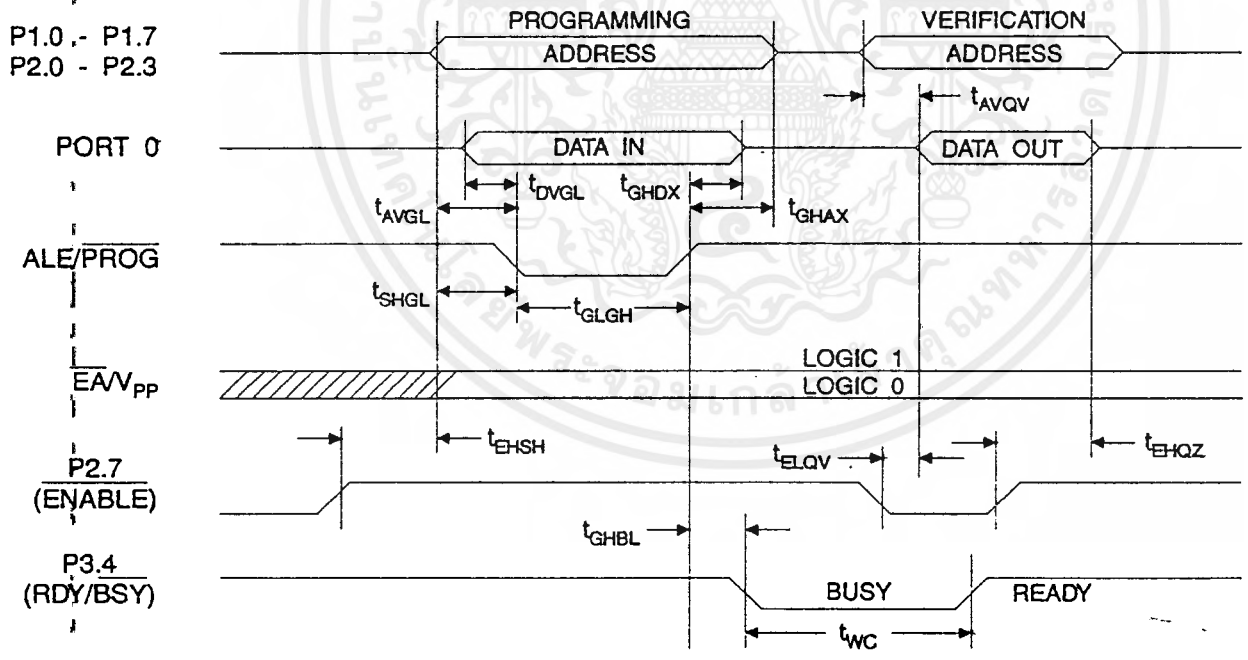
te: 1. Only used in 12-volt programming mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ash Programming and Verification Waveforms - High Voltage Mode (V_{PP} = 12V)



ash Programming and Verification Waveforms - Low Voltage Mode (V_{PP} = 5V)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

bsolute Maximum Ratings*

perating Temperature	-55°C to +125°C
torage Temperature	-65°C to +150°C
oltage on Any Pin ith Respect to Ground	-1.0V to +7.0V
laximum Operating Voltage	6.6V
C Output Current	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

C Characteristics

= -40°C to 85°C, V_{CC} = 5.0V ± 20% (unless otherwise noted)

ymbol	Parameter	Condition	Min	Max	Units
L	Input Low Voltage	(Except $\overline{EA}$)	-0.5	0.2 V_{CC} - 0.1	V
IL1	Input Low Voltage ($\overline{EA}$)		-0.5	0.2 V_{CC} - 0.3	V
H	Input High Voltage	(Except XTAL1, RST)	0.2 V_{CC} + 0.9	V_{CC} + 0.5	V
IH1	Input High Voltage	(XTAL1, RST)	0.7 V_{CC}	V_{CC} + 0.5	V
OL	Output Low Voltage(1) (Ports 1,2,3)	I_{OL} = 1.6 mA		0.45	V
OL1	Output Low Voltage(1) (Port 0, ALE, $\overline{PSEN}$)	I_{OL} = 3.2 mA		0.45	V
OH	Output High Voltage (Ports 1,2,3, ALE, $\overline{PSEN}$)	I_{OH} = -60 µA, V_{CC} = 5V ± 10%	2.4		V
		I_{OH} = -25 µA	0.75 V_{CC}		V
		I_{OH} = -10 µA	0.9 V_{CC}		V
OH1	Output High Voltage (Port 0 in External Bus Mode)	I_{OH} = -800 µA, V_{CC} = 5V ± 10%	2.4		V
		I_{OH} = -300 µA	0.75 V_{CC}		V
		I_{OH} = -80 µA	0.9 V_{CC}		V
	Logical 0 Input Current (Ports 1,2,3)	V_{IN} = 0.45V		-50	µA
L	Logical 1 to 0 Transition Current (Ports 1,2,3)	V_{IN} = 2V, VCC = 5V ± 10%		-650	µA
I	Input Leakage Current (Port 0, $\overline{EA}$)	0.45 < V_{IN} < V_{CC}		±10	µA
RST	Reset Pulldown Resistor		50	300	KΩ
IO	Pin Capacitance	Test Freq. = 1 MHz, T_A = 25°C		10	pF
C	Power Supply Current	Active Mode, 12 MHz		20	mA
		Idle Mode, 12 MHz		5	mA
	Power Down Mode(2)	V_{CC} = 6V		100	µA
		V_{CC} = 3V		40	µA

tes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
Maximum I_{OL} per port pin: 10 mA
Maximum I_{OL} per 8-bit port: Port 0: 26 mA
Ports 1, 2, 3: 15 mA
Maximum total I_{OL} for all output pins: 71 mA
If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.

2. Minimum V_{CC} for Power Down is 2V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C Characteristics

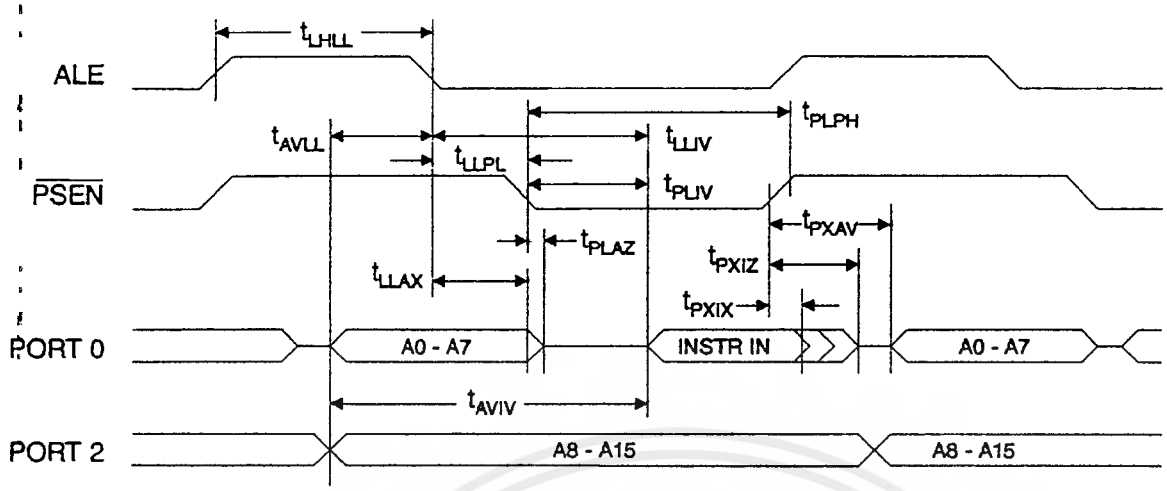
der Operating Conditions; Load Capacitance for Port 0, ALE/$\overline{PROG}$, and $\overline{PSEN}$ = 100 pF; Load Capacitance for all other puts = 80 pF)

xternal Program and Data Memory Characteristics

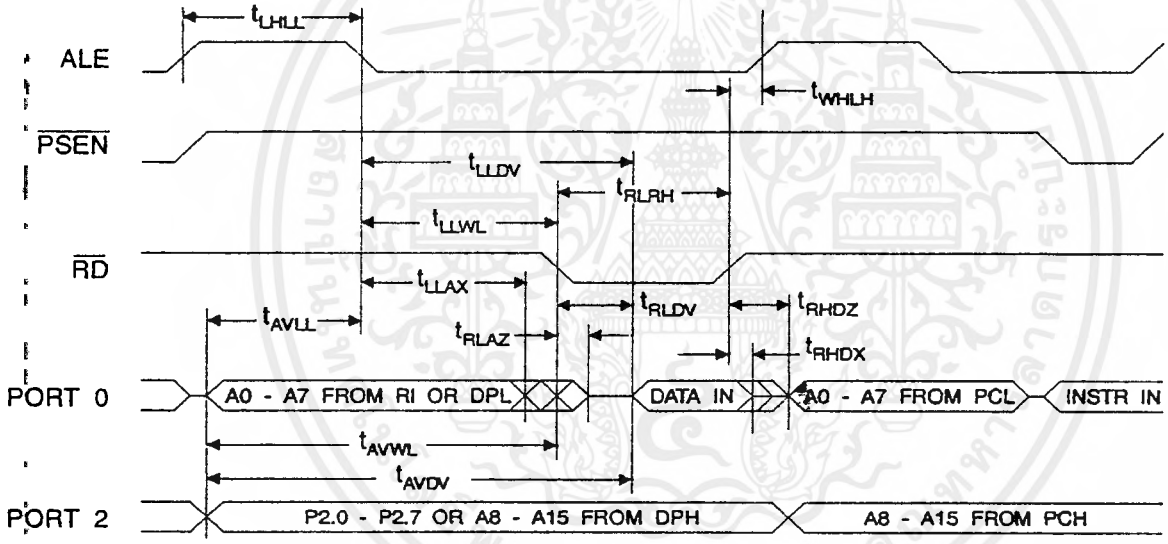
ymbol	Parameter	12 MHz Oscillator		16 to 24 MHz Oscillator		Units
		Min	Max	Min	Max	
CLCL	Oscillator Frequency			0	24	MHz
HLL	ALE Pulse Width	127		$2t_{CLCL}$-40		ns
VLL	Address Valid to ALE Low	43		t_{CLCL}-13		ns
LAX	Address Hold After ALE Low	48		t_{CLCL}-20		ns
LIV	ALE Low to Valid Instruction In		233		$4t_{CLCL}$-65	ns
LPL	ALE Low to $\overline{PSEN}$ Low	43		t_{CLCL}-13		ns
PLPH	$\overline{PSEN}$ Pulse Width	205		$3t_{CLCL}$-20		ns
PLIV	$\overline{PSEN}$ Low to Valid Instruction In		145		$3t_{CLCL}$-45	ns
PXIX	Input Instruction Hold After $\overline{PSEN}$	0		0		ns
PXIZ	Input Instruction Float After $\overline{PSEN}$		59		t_{CLCL}-10	ns
PXAV	$\overline{PSEN}$ to Address Valid	75		t_{CLCL}-8		ns
AVIV	Address to Valid Instruction In		312		$5t_{CLCL}$-55	ns
PLAZ	$\overline{PSEN}$ Low to Address Float		10		10	ns
RLRH	$\overline{RD}$ Pulse Width	400		$6t_{CLCL}$-100		ns
WLWH	$\overline{WR}$ Pulse Width	400		$6t_{CLCL}$-100		ns
RLDV	$\overline{RD}$ Low to Valid Data In		252		$5t_{CLCL}$-90	ns
RHDX	Data Hold After $\overline{RD}$	0		0		ns
RHDZ	Data Float After $\overline{RD}$		97		$2t_{CLCL}$-28	ns
LDV	ALE Low to Valid Data In		517		$8t_{CLCL}$-150	ns
AVDV	Address to Valid Data In		585		$9t_{CLCL}$-165	ns
LWL	ALE Low to $\overline{RD}$ or $\overline{WR}$ Low	200	300	$3t_{CLCL}$-50	$3t_{CLCL}$+50	ns
AVWL	Address to $\overline{RD}$ or $\overline{WR}$ Low	203		$4t_{CLCL}$-75		ns
QVWX	Data Valid to $\overline{WR}$ Transition	23		t_{CLCL}-20		ns
QVWH	Data Valid to $\overline{WR}$ High	433		$7t_{CLCL}$-120		ns
WHQX	Data Hold After $\overline{WR}$	33		t_{CLCL}-20		ns
RLAZ	$\overline{RD}$ Low to Address Float		0		0	ns
WHLH	$\overline{RD}$ or $\overline{WR}$ High to ALE High	43	123	t_{CLCL}-20	t_{CLCL}+25	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

xternal Program Memory Read Cycle

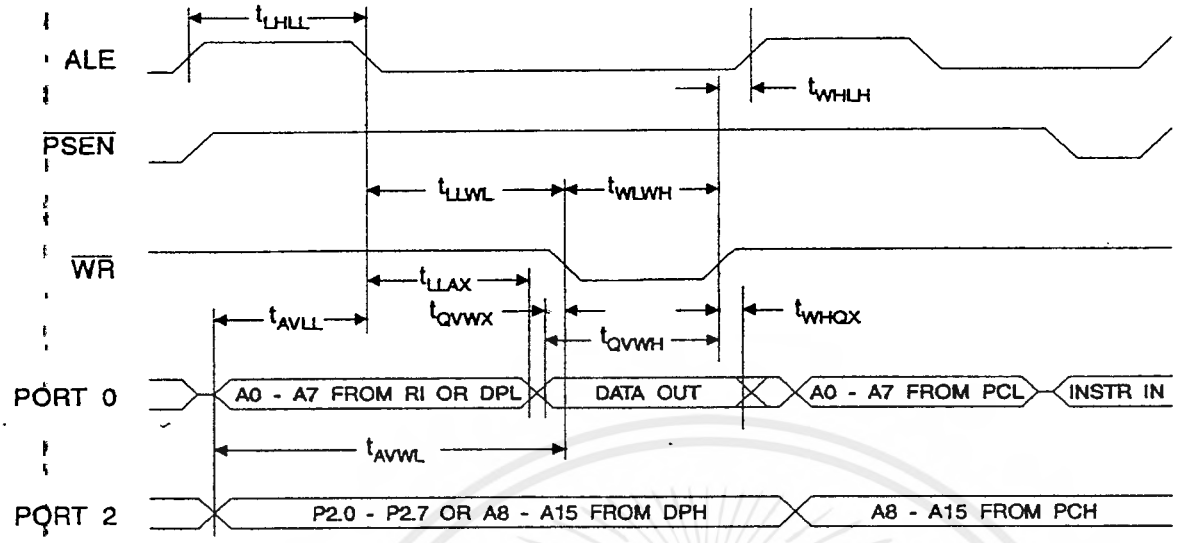


xternal Data Memory Read Cycle

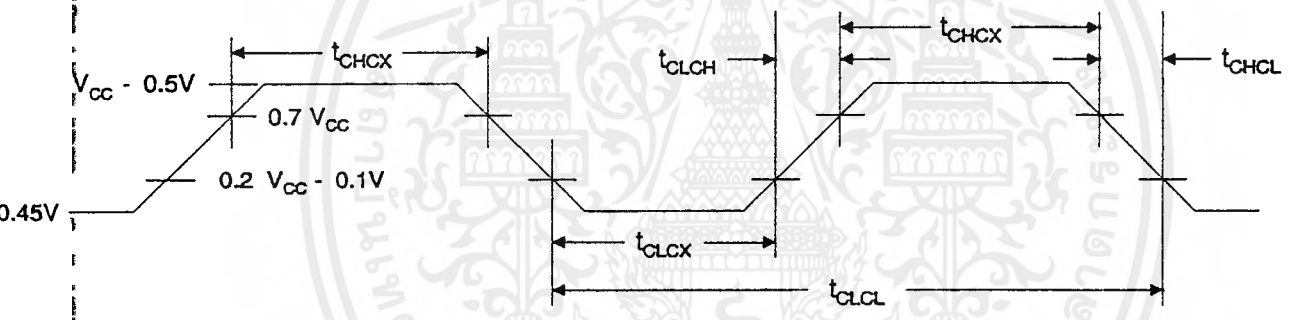


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ternal Data Memory Write Cycle



ternal Clock Drive Waveforms



ternal Clock Drive

mbol	Parameter	Min	Max	Units
CLCL	Oscillator Frequency	0	24	MHz
CL	Clock Period	41.6		ns
CX	High Time	15		ns
CX	Low Time	15		ns
CH	Rise Time		20	ns
CL	Fall Time		20	ns

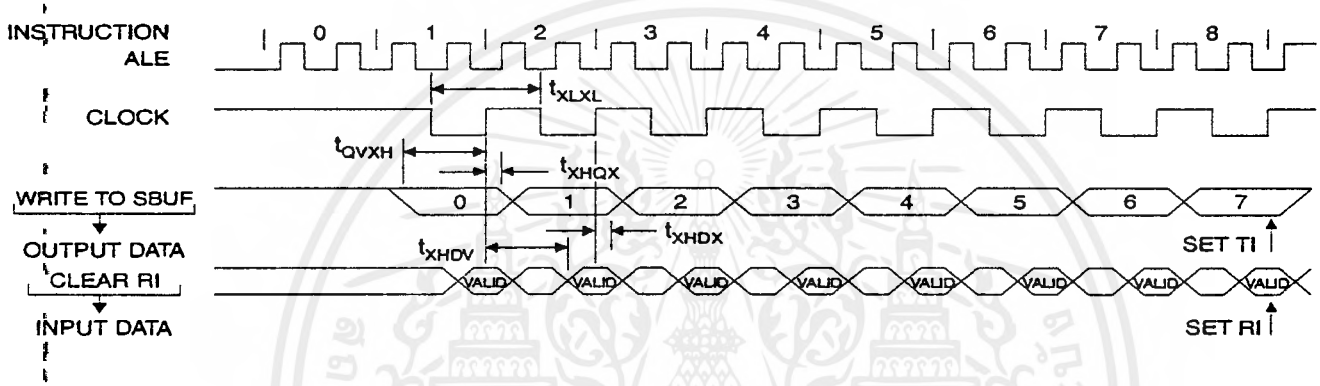
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

erial Port Timing: Shift Register Mode Test Conditions

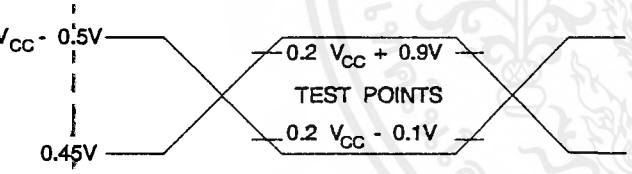
$_{CC}$ = 5.0 V ± 20%; Load Capacitance = 80 pF)

ymbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
LXL	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		µs
QVXH	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}$-133		ns
XHQX	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}$-117		ns
XHDX	Input Data Hold After Clock Rising Edge	0		0		ns
XHDV	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}$-133	ns

hift Register Mode Timing Waveforms

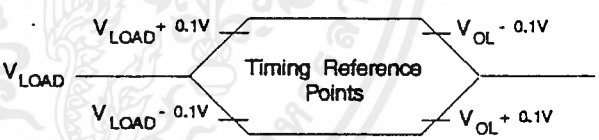


C Testing Input/Output Waveforms(1)



te: 1. AC Inputs during testing are driven at V_{CC} - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms(1)



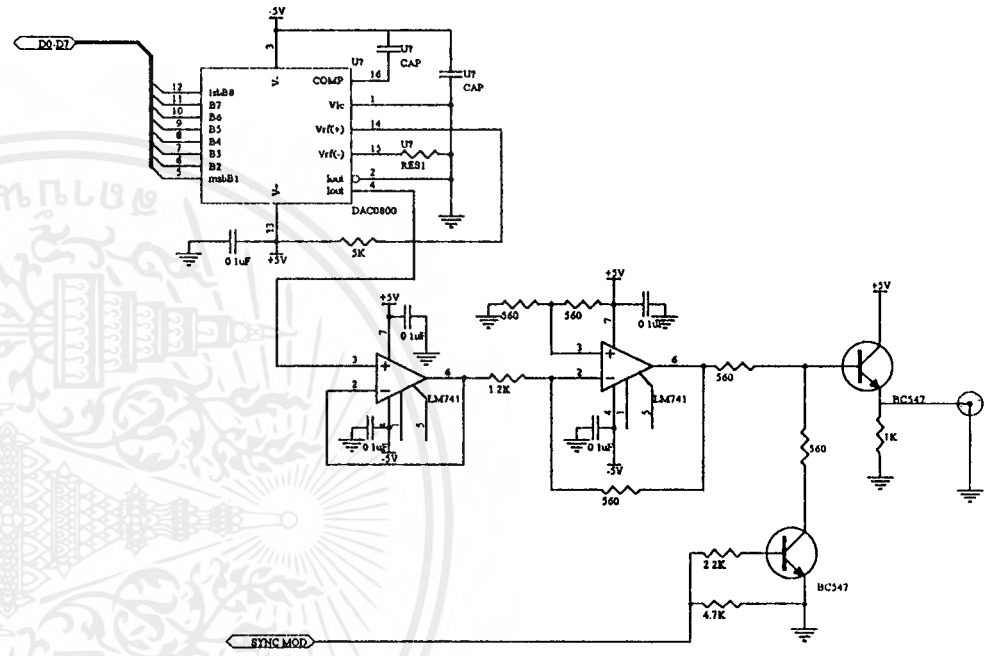
Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ring Information

ed z)	Power Supply	Ordering Code	Package	Operation Range
	5V ± 20%	AT89C51-12AC	44A	Commercial
		AT89C51-12JC	44J	(0°C to 70°C)
		AT89C51-12PC	40P6	
		AT89C51-12QC	44Q	
		AT89C51-12AI	44A	Industrial
		AT89C51-12JI	44J	(-40°C to 85°C)
		AT89C51-12PI	40P6	
		AT89C51-12QI	44Q	
		AT89C51-12AA	44A	Automotive
		AT89C51-12JA	44J	(-40°C to 105°C)
		AT89C51-12PA	40P6	
		AT89C51-12QA	44Q	
	5V ± 20%	AT89C51-16AC	44A	Commercial
		AT89C51-16JC	44J	(0°C to 70°C)
		AT89C51-16PC	40P6	
		AT89C51-16QC	44Q	
		AT89C51-16AI	44A	Industrial
		AT89C51-16JI	44J	(-40°C to 85°C)
		AT89C51-16PI	40P6	
		AT89C51-16QI	44Q	
		AT89C51-16AA	44A	Automotive
		AT89C51-16JA	44J	(-40°C to 105°C)
		AT89C51-16PA	40P6	
		AT89C51-16QA	44Q	
	5V ± 20%	AT89C51-20AC	44A	Commercial
		AT89C51-20JC	44J	(0°C to 70°C)
		AT89C51-20PC	40P6	
		AT89C51-20QC	44Q	
		AT89C51-20AI	44A	Industrial
		AT89C51-20JI	44J	(-40°C to 85°C)
		AT89C51-20PI	40P6	
		AT89C51-20QI	44Q	

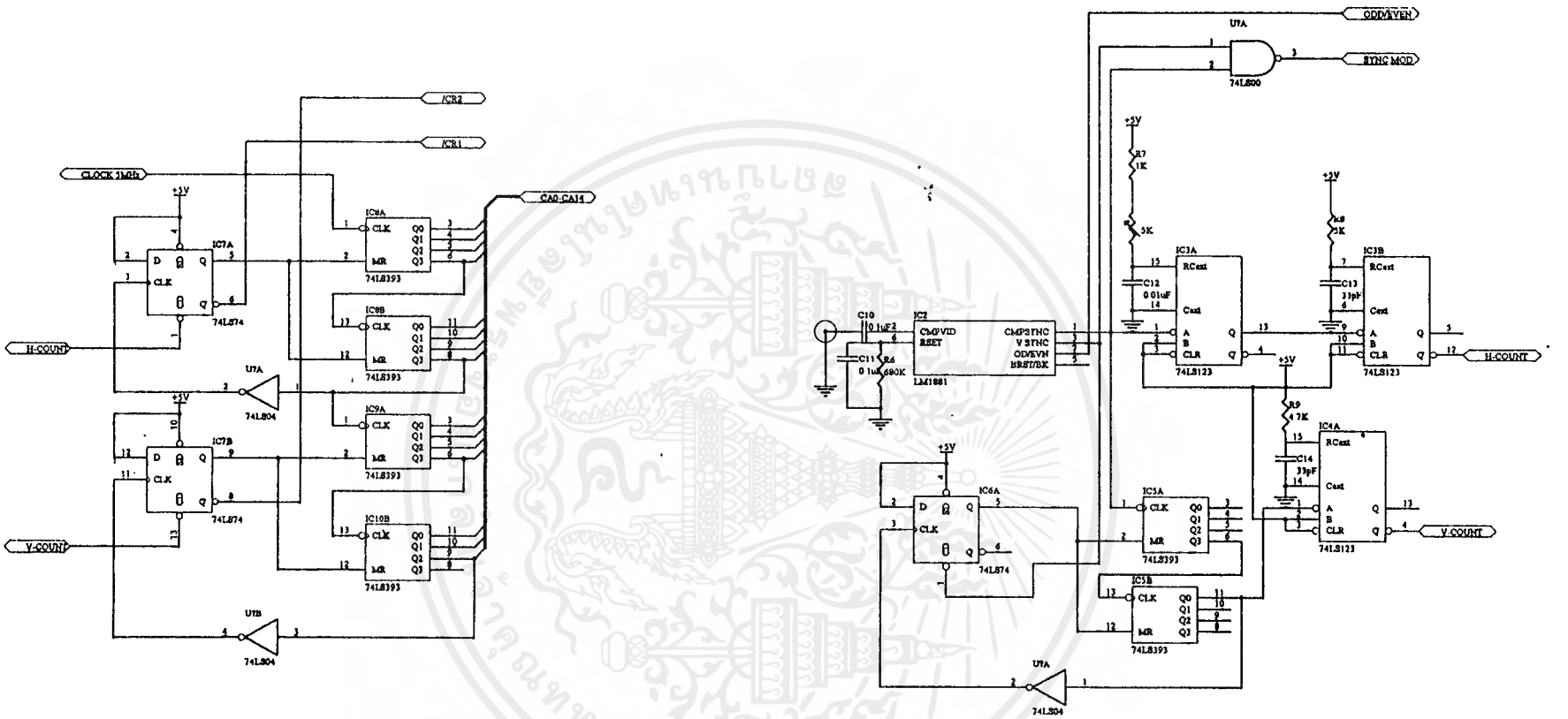
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.7 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

รูปที่ 3.6 แสดงวงจรการทำงานของหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


/CR2
/CR1
CLOCK 1MHz
CA0-CA14
H-COUNT
V-COUNT
+5V
IC7A
IC7B
74LS74
U7A
74LS04
U7B
IC8A
IC8B
IC9A
IC10B
74LS393
C10
0.1uF
C11
0.1uF
R6
680K
IC2
CMPVID
RSET
CMPSTNC
V STNC
ODVEVN
BRST/BX
LM1881
ODD/EVEN
SYNC MOD
74LS00
R7
1K
5K
IC3A
IC3B
C12
0.01uF
C13
33pF
74LS123
R9
4.7K
IC4A
C14
33pF
IC5A
IC5B
IC6A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้