

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองปริญญาโท



ชื่อหัวข้อ การสร้างวงจรกรองความถี่แบบดิจิทัลชนิด IIR

Implementation of IIR Digital Filter

ชื่อนักศึกษา

- 1. นางสาวศวีศกร ไชยสุนทร รหัสประจำตัว 41031225
- 2. นายสุเมธี สุนทะโรจน์ รหัสประจำตัว 41031232
- 3. นายสุรศักดิ์ พิมพิ้งษ์ รหัสประจำตัว 41031233
- 4. นายสุวัฒน์ เชื่อมวงศา รหัสประจำตัว 41031234

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชา วิศวกรรมโทรคมนาคม

อาจารย์ที่ปรึกษา อาจารย์ขั้ววิทย์ สมหา

อาจารย์ที่ปรึกษา อาจารย์กิติพงศ์ มะโน

คณะกรรมการสอบปริญญาโท	ลายมือชื่อ
1. อาจารย์ขั้ววิทย์ สมหา	
2. อาจารย์พีระวุฒิ สุวรรณจันทร์	
3. ผศ.วิสุทธิ อธิพรธรรม	
4. อาจารย์ปิยะ ศุภวราสุวัฒน์	
5. อาจารย์อมรชัย ชัยชนะ	

วัน/เดือน/ปีที่สอบ วันเสาร์ที่ 13 พฤษภาคม พ.ศ. 2543 เวลา 13.00 น.

สถานที่สอบ ห้อง ค.310 คณะครุศาสตร์อุตสาหกรรม สจล.

ภาควิชารับรองแล้ว

ลงนาม.....

(ผศ.วิสุทธิ อธิพรธรรม)

หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

วันที่ 14 เดือน พ.ค. พ.ศ. 2543



เลขที่.....
เลขทะเบียน 37213
วัน, เดือน, ปี 5 ก.ย. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

การสร้างวงจรกรองความถี่แบบดิจิทัลชนิด IIR

IMPLEMENTATION OF IIR DIGITAL FILTER



ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง การสร้างวงจรกรองความถี่แบบดิจิทัลชนิด IIR

IMPLEMENTATION OF IIR DIGITAL FILTER

วัตถุประสงค์

1. เพื่อศึกษาการทำงานและหลักการของวงจรกรองความถี่แบบดิจิทัลชนิด IIR
2. เพื่อวิเคราะห์และออกแบบวงจรกรองความถี่แบบดิจิทัลชนิด IIR
3. เพื่อสร้างวงจรกรองความถี่แบบดิจิทัลชนิด IIR
4. เพื่อนำวงจรกรองความถี่แบบดิจิทัลชนิด IIR ไปใช้งานในด้านต่างๆ

ประโยชน์ที่คาดว่าจะได้รับ

1. มีความรู้ ความเข้าใจ หลักการทำงานของวงจรกรองความถี่แบบดิจิทัลชนิด IIR
2. สามารถออกแบบวงจรกรองความถี่แบบดิจิทัลชนิด IIR ได้
3. สามารถนำวงจรกรองความถี่แบบดิจิทัลชนิด IIR ไปใช้งานได้
4. สามารถนำมาใช้เพื่อการศึกษาในด้านต่างๆ ได้
5. สามารถนำไปประยุกต์ และพัฒนาอย่างต่อเนื่องได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I

ชื่อหัวข้อ	การสร้างวงจรกรองความถี่แบบดิจิตอลชนิด IIR
นักศึกษา	นางสาวศวัสกร ไชยสุนทร นายสุเมธิ์ สุนทะโรจน์ นายสุรศักดิ์ พิมพวงษ์ นายสุวัฒน์ เชื้อมวงศา
อาจารย์ที่ปรึกษา	อาจารย์วรวิทย์ สมหา
อาจารย์ที่ปรึกษาร่วม	อาจารย์กิตติพงศ์ มะโน
หลักสูตร	ครุศาสตรบัณฑิต สาขาวิศวกรรมบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
ปีการศึกษา	2542

บทคัดย่อ

ปฏิญานิพนธ์ฉบับนี้ เป็นการออกแบบและการสร้างของระบบการประมวลผลสัญญาณเชิงเลข โดยนำมาสร้างเป็นวงจรกรองแบบดิจิตอลชนิด IIR แบบจำกัดผลตอบสนองอันดับ 6 โดยใช้อุปกรณ์ทางด้านฮาร์ดแวร์ ได้แก่ การแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอล, การแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะล็อก, ไอซีตระกูล TTL, EPROM ประกอบขึ้นเป็นวงจรกรอง ซึ่งการกรองจะเป็นประเภทวงจรกรองความถี่ต่ำผ่านตอบสนองที่ความถี่ตั้งแต่ 0-4 กิโลเฮิร์ตซ์

Thesis Titel	Implementation of IIR digital filter
Students	Miss Sawatsakorn Chaiyasoonthorn
	Mr.Sumatee Suntaroj
	Mr.Surasak Phimwong
	Mr.Suwat Chuamwong
Advisor	Mr.Worawit Somha
Co-Advisor	Mr.Kitipong Mano
Education Level	Bachelor of Science in Industrial Education
Program in	Telecommunication Engineering
Academic Year	1999

ABSTRACT

This thesis is present design and implementation of sixth (6th) order IIR digital filter. The system considered ADC, DAC, TTL family and EPROM. The specification of filter, respond in lowpass filter, operate frequency less than 0-4 KHz.

กิตติกรรมประกาศ

โครงการนี้สำเร็จลุล่วงไปได้ด้วยดี ด้วยความพยายาม ความอดทน ความตั้งใจ รวมทั้งความรัก ความสมัครสมานสามัคคีของคณะผู้จัดทำ ซึ่งร่วมมือร่วมใจกันต่อสู้แก้ไขปัญหาที่เกิดขึ้นมากมายในการทำโครงการครั้งนี้ อีกทั้งยังมีผู้ให้ความช่วยเหลือในการทำโครงการนี้อีกมากมาย อาทิเช่น ครูอาจารย์ที่ช่วยอบรมสั่งสอน บิдамารดาผู้ให้กำเนิด เพื่อนๆ ทุกคนที่คอยช่วยเหลือให้คำปรึกษา และคนรอบข้างที่คอยให้กำลังใจ

ขอขอบพระคุณท่านอาจารย์ผู้ควบคุมปริญญาโท และอาจารย์ประจำภาควิชาครุศาสตร์ วิศวกรรมทุกท่านที่ให้คำแนะนำ คำปรึกษาที่เป็นประโยชน์ต่อการทำโครงการครั้งนี้

คณะผู้จัดทำขอขอบคุณความดีทั้งหมดที่ได้กล่าวมานี้ มอบให้แก่ผู้มีพระคุณทุกท่านด้วยความเคารพและเทิดทูน



สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VIII
สารบัญรูป	IX
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปริญญาโท	1
1.2 จิตความสามารถของโครงการ	1
1.3 เนื้อหาโดยสังเขป	2
บทที่ 2 หลักการและทฤษฎี	3
2.1 บทนำ	3
2.2 การประมวลผลสัญญาณแบบดิจิทัล	3
2.3 วงจรกรองความถี่	5
2.3.1 ความหมายของวงจรกรองความถี่	5
2.3.2 ประเภทของวงจรกรองความถี่	7
2.4 วงจรกรองความถี่แบบบัตเตอร์เวิร์ท	11
2.4.1 วงจรกรองความถี่แบบบัตเตอร์เวิร์ท	12
2.4.2 สมการถ่ายโอนของวงจรกรองความถี่แบบบัตเตอร์เวิร์ท	13
2.5 วงจรกรองความถี่แบบดิจิทัล	15
2.5.1 ความหมายของวงจรกรองความถี่แบบดิจิทัล	15
2.5.2 โครงสร้างของวงจรกรองความถี่แบบดิจิทัล	17
2.5.3 วงจรกรองความถี่แบบดิจิทัลชนิด FIR	18
2.5.4 วงจรกรองความถี่แบบดิจิทัลชนิด IIR	20
2.6 การแปลงแซด	21
2.6.1 นิยามของการแปลงแซด	22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
2.6.2 คุณสมบัติของการแปลงแซด	22
2.7 การแปลงจากระนาบเอสสู่ระนาบแซด	23
2.8 การออกแบบวงจรกรองความถี่แบบดิจิทัลชนิด IIR จากวงจรกรองความถี่แบบแอนะล็อก	26
2.8.1 การออกแบบวงจรกรองความถี่แบบดิจิทัลชนิด IIR โดยวิธีการประมาณค่าตัวประกอบ	27
2.8.2 การออกแบบวงจรกรองความถี่แบบดิจิทัลชนิด IIR โดยวิธีการอิมพัลส์อินวาเรียนซ์	32
2.8.3 การออกแบบวงจรกรองความถี่แบบดิจิทัลชนิด IIR โดยวิธีการแปลงเชิงเส้นคู่	37
2.9 โครงสร้างของวงจรกรองความถี่แบบดิจิทัลชนิด IIR	44
2.9.1 โครงสร้างแบบโดยตรง 1	45
2.9.2 โครงสร้างแบบโดยตรง 2	46
2.9.3 โครงสร้างแบบต่ออนุกรมและโครงสร้างแบบต่อขนาน	49
2.9.4 โครงสร้างแบบเศษส่วนต่อเนื่อง	51
2.9.5 โครงสร้างแบบไบควอทเดรติก	53
บทที่ 3 การออกแบบ การสร้าง และการทำงาน	56
3.1 บทนำ	56
3.2 ดิจิตอลฟิลเตอร์แบบเลขคณิตแจกแจง	57
3.2.1 การสร้าง Distributed Arithmetic Digital Filter	57
3.2.2 หลักการของโครงสร้างแบบเลขคณิตแจกแจง	58
3.3 การสร้างตารางเปิดดูจากฟังก์ชัน $F_i\{z\}$ สำหรับวงจรกรองความถี่อันดับที่ 2	60
3.4 การคำนวณหา $y(n)$ ในกรณีของวงจรกรองความถี่อันดับที่ 2	62
3.5 การคำนวณหา $y(n)$ ของวงจรกรองความถี่อันดับที่ 6	63
3.6 การออกแบบสร้าง และการคำนวณของวงจรกรองความถี่เชิงเลขอันดับที่ 6	65
3.6.1 การออกแบบสร้าง	65

สารบัญ (ต่อ)

เรื่อง	หน้า
3.6.2 ภาคอินพุต	68
3.6.3 ภาคควบคุม	70
3.6.4 ภาครีจิสเตอร์	73
3.6.5 ภาคประมวลผล	74
3.6.6 ภาคเอาต์พุต	75
บทที่ 4 การทดลอง และผลการทดลอง	77
4.1 การทดลองวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล	77
4.1.1 ลำดับขั้นตอนการทดลอง	77
4.1.2 ผลการทดลอง	78
4.2 การทดลองวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก	78
4.2.1 ลำดับขั้นตอนการทดลอง	78
4.2.2 ผลการทดลอง	79
4.3 การทดลองวงจรภาคควบคุม	79
4.3.1 ลำดับขั้นตอนการทดลอง	79
4.3.2 ผลการทดลอง	80
4.4 การทดลองวงจรชิพรีจิสเตอร์	81
4.4.1 ลำดับขั้นตอนการทดลอง	81
4.4.2 ผลการทดลอง	83
4.5 การทดลองวงจรชิพรีจิสเตอร์ ภาคควบคุม และภาคประมวลผล	85
4.5.1 ลำดับขั้นตอนการทดลอง	85
4.5.2 ผลการทดลอง	85
4.6 การทดลองการทำงานของบอร์ดวงจรรองความถี่แบบดิจิทัล	85
4.6.1 ลำดับขั้นตอนการทดลอง	85
4.6.2 ผลการทดลอง	86
บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และการพัฒนา	90
5.1 บทสรุป	90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
5.2 ปัญหา และแนวทางแก้ไข	91
5.3 แนวทางการพัฒนา	91
ภาคผนวก ก เครื่องต้นแบบ	92
ภาคผนวก ข วงจร และแผ่นวงจรพิมพ์	94
ภาคผนวก ค คำสัมประสิทธิ์ในรูปของเลขฐานสองและฐานสิบหกของ EPROM	99
ภาคผนวก ง รายละเอียดและคุณสมบัติของอุปกรณ์	103
บรรณานุกรม	123
ประวัติผู้แต่ง	124

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 ตารางของ Routh Array	52
ตารางที่ 3.1 ค่าสัมประสิทธิ์	60
ตารางที่ 4.1 ผลการทดลองวงจร A/D	78
ตารางที่ 4.2 ผลการทดลองวงจร D/A	79
ตารางที่ 4.3 ผลการทดลองวงจรรวมภาคซีพทีรีจิสเตอร์ ภาคควบคุม และภาคประมวลผล	85



สารบัญรูป

รูป	หน้า
รูปที่ 2.1 ระบบการประมวลผลสัญญาณแบบแอนะล็อก	3
รูปที่ 2.2 ระบบการประมวลผลสัญญาณแบบดิจิทัล	4
รูปที่ 2.3 ลักษณะของวงจรรองความถี่	5
รูปที่ 2.4 วงจรรองผ่านความถี่ต่ำ	7
รูปที่ 2.5 วงจรรองผ่านความถี่สูง	8
รูปที่ 2.6 วงจรรองผ่านแถบความถี่	8
รูปที่ 2.7 วงจรรองจำกัดแถบความถี่	9
รูปที่ 2.8 ผลตอบสนองของวงจรรองความถี่และทางปฏิบัติ	10
รูปที่ 2.9 ผลตอบสนองทางปฏิบัติของวงจรรองความถี่ประเภทต่างๆ	11
รูปที่ 2.10 ลักษณะวงจรรองความถี่แบบดิจิทัล	16
รูปที่ 2.11 โครงสร้างของวงจรรองความถี่แบบดิจิทัล	17
รูปที่ 2.12 ตัวอย่างของวงจรรองความถี่แบบดิจิทัล	18
รูปที่ 2.13 โครงสร้างของวงจรรองความถี่แบบดิจิทัลชนิด FIR	19
รูปที่ 2.14 โครงสร้างของวงจรรองความถี่แบบดิจิทัลชนิด IIR	21
รูปที่ 2.15 สัญญาณสุ่มตัวอย่างอิมพัลส์	23
รูปที่ 2.16 การส่งผ่านค่าของระนาบเอสไปสู่อะนาบแซด	25
รูปที่ 2.17 ความแตกต่างระหว่างวงจรรองความถี่แบบแอนะล็อกกับวงจรรองความถี่แบบดิจิทัล	28
รูปที่ 2.18 การแปลงจุดจากระนาบเอสไปสู่อะนาบแซด $1/2$ ในระนาบแซด	30
รูปที่ 2.19 ผลตอบสนองทางความถี่ $H_d(\Omega)$ ของวงจรรองความถี่แบบแอนะล็อกและผลตอบสนองทางความถี่ของวงจรรองความถี่แบบดิจิทัลที่เกิดปรากฏการณ์เอลิซซิง	33
รูปที่ 2.20 การแปลงสมการ $z = E^{j\omega T}$ จากระนาบเอสไปสู่อะนาบแซด	35
รูปที่ 2.21 การแปลงระหว่างความถี่ ω และ Ω ตามวิธีการแปลงเชิงเส้นคู่	41
รูปที่ 2.22 ปรากฏการณ์หาคแถบที่มีผลต่อวงจรรองความถี่แบบดิจิทัล	41
รูปที่ 2.23 ความสัมพันธ์ระหว่าง Ω กับ Ω'	43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 2.24 โครงสร้างของวงจรกรองความถี่ป้อนกลับแบบดิจิทัลแบบโดยตรง 1	45
รูปที่ 2.25 โครงสร้างแบบโดยตรง 2	48
รูปที่ 2.26 โครงสร้างแบบต่ออนุกรม	49
รูปที่ 2.27 โครงสร้างของวงจรกรองความถี่แบบดิจิทัลแบบต่อขนาน	50
รูปที่ 2.28 (ก) โครงสร้าง $H(z)$ ตามสมการที่ 2.107	
(ข) โครงสร้าง $H(z)$ ตามสมการที่ 2.108	53
รูปที่ 2.29 บริเวณตำแหน่งโพลของระบบที่มีเสถียรภาพ	54
รูปที่ 2.30 โครงสร้างวงจรกรองความถี่แบบดิจิทัลอันดับที่ 2	55
รูปที่ 3.1 โครงสร้างวงจรกรองความถี่แบบดิจิทัลอันดับที่ 2	56
รูปที่ 3.2 โครงสร้างของวงจรกรองความถี่แบบป้อนกลับเชิงเลขอันดับที่ 2	64
รูปที่ 3.3 โครงสร้างของวงจรกรองความถี่แบบป้อนกลับเชิงเลขแบบบัตเตอร์เวิร์ทอันดับที่ 6	66
รูปที่ 3.4 วงจรภาคอินพุต	69
รูปที่ 3.5 วงจรภาคควบคุม	70
รูปที่ 3.6 แผนผังเวลาของภาคควบคุม	72
รูปที่ 3.7 วงจรภาคชิพที่รีจิสเตอร์	73
รูปที่ 3.8 วงจรภาคประมวลผล	75
รูปที่ 3.9 วงจรภาคเอาต์พุต	76
รูปที่ 4.1 วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล	77
รูปที่ 4.2 วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก	78
รูปที่ 4.3 วงจรภาคควบคุม	80
รูปที่ 4.4 สัญญาณที่ได้จากภาคควบคุม	80
รูปที่ 4.5 (ต่อ) สัญญาณที่ได้จากภาคควบคุม	81
รูปที่ 4.6 วงจรชิพที่รีจิสเตอร์	82
รูปที่ 4.7 รูปสัญญาณชิพที่รีจิสเตอร์	83
รูปที่ 4.8 สัญญาณของ EPROM 1	83
รูปที่ 4.9 สัญญาณของ EPROM 2	84

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 4.10 สัญญาณของ EPROM 3	84
รูปที่ 4.11 สัญญาณที่ความถี่ 100 Hz	86
รูปที่ 4.12 สัญญาณที่ความถี่ 500 Hz	86
รูปที่ 4.13 สัญญาณที่ความถี่ 1 KHz	87
รูปที่ 4.14 สัญญาณที่ความถี่ 1.5 KHz	87
รูปที่ 4.15 สัญญาณที่ความถี่ 2 KHz	88
รูปที่ 4.16 สัญญาณที่ความถี่ 2.5 KHz	88
รูปที่ 4.17 สัญญาณที่ความถี่ 3 KHz	89
รูปที่ 4.18 สัญญาณที่ความถี่ 4 KHz	89
รูปที่ ก.1 เครื่องต้นแบบด้านหน้า	93
รูปที่ ก.2 เครื่องต้นแบบภายใน	93
รูปที่ ข.1 วงจรกรองความถี่แบบดิจิทัลชนิด IIR	95
รูปที่ ข.2 ลายวงจรพิมพ์ด้านหน้า	96
รูปที่ ข.3 ลายวงจรพิมพ์ด้านหลัง	97
รูปที่ ข.4 การวางอุปกรณ์	98

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปรัชญานิพนธ์

ในปัจจุบันจะเห็นได้ว่าระบบดิจิทัลได้เข้ามามีบทบาทในชีวิตประจำวัน และได้เข้ามาแทนที่ระบบเดิมที่มีอยู่ คือ ระบบแอนะล็อก ระบบดิจิทัลได้มีการพัฒนาอย่างรวดเร็วมาก ซึ่งการพัฒนาอย่างรวดเร็วนี้เป็นผลมาจากความก้าวหน้าทางเทคโนโลยีของดิจิทัลคอมพิวเตอร์ และเทคโนโลยีของการผลิตวงจรรวม ดิจิทัลสามารถนำมาใช้ในงานต่างๆ ได้หลายๆ ด้าน เช่น งานทางด้านอิเล็กทรอนิกส์คอมพิวเตอร์ การสื่อสารโทรคมนาคม การควบคุม เป็นต้น และยังสามารถลดความผิดพลาดของค่าต่างๆ ที่เกิดขึ้นจากระบบแอนะล็อกเดิม

วัตถุประสงค์ของการทำปรัชญานิพนธ์ เพื่อศึกษาถึงการทำงานของวงจรรองความถี่แบบดิจิทัลชนิด IIR เนื่องจากวงจรรองความถี่ที่ใช้กันอยู่ในปัจจุบัน เป็นวงจรรองความถี่แบบแอนะล็อก อุปกรณ์ที่ใช้ คือ อุปกรณ์อิเล็กทรอนิกส์จำพวก R-L-C หรือ Op-Amp เป็นส่วนประกอบหลัก จากคุณสมบัติของอุปกรณ์ดังกล่าวเป็นผลให้สัญญาณที่ได้มีความคลาดเคลื่อนจากสภาพแวดล้อมต่างๆ เช่น จากผลของอุณหภูมิ และความคลาดเคลื่อนของตัวอุปกรณ์เอง วงจรรองความถี่แบบดิจิทัลชนิด IIR นี้ เป็นวงจรรองความถี่ที่สามารถแก้ปัญหาเหล่านี้ได้ เนื่องจากความคลาดเคลื่อนมีน้อย และมีความเที่ยงตรงสูง เพราะอุปกรณ์ที่ใช้จะเป็นการประมวลผลในลักษณะของตัวเลข นอกจากนี้ยังสามารถเปลี่ยนประเภทของวงจรรองความถี่ไม่ว่าจะเป็นวงจรรองความถี่สูงผ่าน (High pass filter) หรือวงจรรองความถี่ต่ำผ่าน (Low pass filter) ได้ง่ายกว่าแบบแอนะล็อก

1.2 ขีดความสามารถของโครงการ

ขีดความสามารถของการสร้างวงจรรองความถี่แบบดิจิทัลชนิด IIR นี้ เป็นวงจรรองความถี่แบบดิจิทัลชนิด IIR ซึ่งใช้วงจรลอจิกในการสร้าง และเป็นวงจรรองความถี่ประเภทกรองผ่านความถี่ต่ำ มีลักษณะการกรองที่อันดับ 6 และเป็นวงจรที่มีขนาดเล็ก สะดวกต่อการใช้งาน

1.3 เนื้อหาโดยสังเขป

เนื้อหาภายในปฏิญญาฉบับนี้จะแบ่งออกเป็นบทต่างๆ เพื่อความสะดวกและเข้าใจต่อการศึกษา ในแต่ละบทจะประกอบด้วยเนื้อหาสำคัญดังนี้

บทที่ 2 หลักการและทฤษฎี กล่าวถึงทฤษฎีเกี่ยวกับความหมายของการประมวลผลเชิงเลข ความหมายของวงจรรองความถี่แบบแบตเตอรี่เวอร์ซ, การออกแบบวงจรรองความถี่แบบดิจิทัลชนิด IIR จากวงจรรองความถี่แบบแอนะล็อก, ความหมายของวงจรรองความถี่แบบดิจิทัล, การแปลงแซด (Z-transfrom), การแปลงจากระนาบเอสไปสู่อะนาบแซด, โครงสร้างของวงจรรองความถี่แบบดิจิทัล

บทที่ 3 การออกแบบการสร้าง กล่าวถึงการออกแบบวงจร และการสร้างวงจรรองความถี่แบบดิจิทัลชนิด IIR เป็นการออกแบบวงจรรองความถี่เชิงเลข แบบแบตเตอรี่เวอร์ซอันดับที่ 6

บทที่ 4 การทดลองและผลการทดลอง กล่าวถึงการทดลองการสร้างวงจรรองความถี่แบบดิจิทัลชนิด IIR การทำงานของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล การทำงานของวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก การทำงานของวงจรซิมพลิฟายด์ การทำงานของวงจรสร้างสัญญาณควบคุม วงจรภาคประมวลผล และวงจรรองความถี่เชิงเลขแบบแบตเตอรี่เวอร์ซอันดับที่ 6

บทที่ 5 สรุป ปัญหา แนวทางการแก้ไข และพัฒนา ตลอดจนทั้งข้อบกพร่องที่พบ ในการทำงานของการสร้างวงจรรองความถี่แบบดิจิทัลชนิด IIR นี้ พร้อมทั้งแนวความคิดที่จะพัฒนาการสร้างวงจรรองความถี่แบบดิจิทัลชนิด IIR ให้มีประสิทธิภาพการใช้งานที่สะดวก และสูงกว่าเดิม

ภาคผนวก ก เครื่องต้นแบบ

ภาคผนวก ข วงจร และแผ่นวงจรพิมพ์

ภาคผนวก ค ค่าสัมประสิทธิ์ในรูปของเลขฐานสองและฐานสิบหกของ EPROM

ภาคผนวก ง รายละเอียด และคุณสมบัติของอุปกรณ์

บทที่ 2

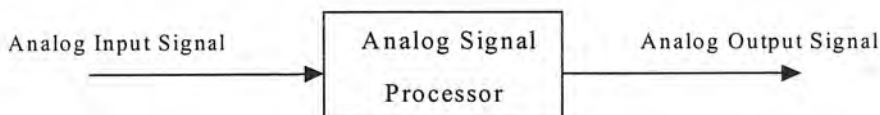
หลักการและทฤษฎี

2.1 บทนำ

วงจรกรองความถี่แบบดิจิทัลจะใช้วิธีการของการประมวลผลสัญญาณแบบดิจิทัล (Digital Signal Processing) ซึ่งการสร้างวงจรกรองความถี่แบบดิจิทัลจะใช้วิธีการออกแบบในระบบของวงจรกรองความถี่แบบแอนะล็อกก่อน จากนั้นจึงใช้วิธีการแปลงจากวงจรกรองความถี่แบบแอนะล็อก ไปสู่วงจรกรองความถี่แบบดิจิทัล การที่จะสร้างวงจรกรองความถี่แบบดิจิทัลให้ได้ นั้น จำเป็นต้องศึกษาถึงการประมวลผลสัญญาณแบบดิจิทัล ความหมาย คุณสมบัติของวงจรกรองความถี่ทั้งในแบบแอนะล็อก และแบบดิจิทัล ตลอดจน โครงสร้างของวงจรกรองความถี่แบบต่างๆ นอกจากนี้ยังจำเป็นต้องศึกษาถึงคณิตศาสตร์ ที่จะต้องใช้ในการออกแบบซึ่งได้แก่ การแปลงแซด (Z-transform) ความสัมพันธ์ระหว่างระนาบเอส (S-plane) กับระนาบแซด (Z-plane) และเรื่องที่สำคัญคือ วิธีการแปลงจากวงจรกรองความถี่แบบแอนะล็อก ไปสู่วงจรกรองความถี่แบบดิจิทัล ซึ่งเรื่องที่กำลังกล่าวมามีรายละเอียดดังนี้

2.2 การประมวลผลสัญญาณแบบดิจิทัล

สัญญาณที่มักจะประสบบ่อยๆ ในการเดินทางวิทยาศาสตร์ คือ สัญญาณแอนะล็อก ซึ่งสัญญาณจะเป็นฟังก์ชันของตัวแปรแบบต่อเนื่อง เช่น เวลา เป็นต้น และสัญญาณที่ได้จะถูกประมวลผลโดยตรงจากระบบที่เป็นแอนะล็อก เช่น การกรองความถี่ หรือการวิเคราะห์ความถี่ โดยวัตถุประสงค์หลักเพื่อทำการเปลี่ยนคุณสมบัติ หรือการให้ได้มาซึ่งข้อมูล ในกรณีนี้อาจกล่าวได้ว่าสัญญาณถูกประมวลผลจากระบบแอนะล็อกโดยตรง ซึ่งแสดงดังรูปที่ 2.1 โดยที่สัญญาณอินพุตและสัญญาณเอาต์พุตจะเป็นแอนะล็อก

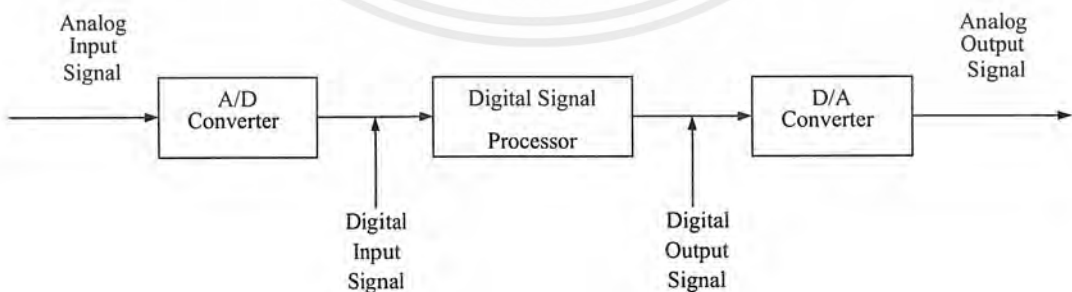


รูปที่ 2.1 ระบบการประมวลผลสัญญาณแบบแอนะล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบการประมวลผลสัญญาณดิจิทัลเป็นทางเลือกอีกอย่างหนึ่งของระบบการประมวลผลสัญญาณแอนะล็อก ซึ่งแสดงได้ดังรูปที่ 2.2 รูปแบบของการประมวลผลสัญญาณดิจิทัลมีความจำเป็นที่จะต้องมีส่วนเชื่อมต่อ (Interface) ระหว่างสัญญาณแอนะล็อกและตัวประมวลผลสัญญาณดิจิทัล (Digital Signal Processor) ซึ่งเรียกการเชื่อมต่อนี้ว่าการแปลงสัญญาณจากแอนะล็อกเป็นสัญญาณดิจิทัล (Analog to Digital Converter) หรือ A/D ซึ่งสัญญาณที่ได้จาก A/D จะเป็นสัญญาณดิจิทัล และเป็นอินพุตให้กับตัวประมวลผลสัญญาณดิจิทัลต่อไป

ตัวประมวลผลสัญญาณดิจิทัลอาจเป็นไปได้ทั้งระบบคอมพิวเตอร์ขนาดใหญ่ หรือไมโครโปรเซสเซอร์ขนาดเล็กที่สามารถโปรแกรมการทำงานได้ ซึ่งเรียกว่า โปรแกรมเมเบิลดิจิทัลคอมพิวเตอร์ (Programmable Digital Computer) หรืออาจเป็นวงจรดิจิทัลที่กำหนดให้มีคุณสมบัติในการประมวลผลที่ตอบสนองต่อสัญญาณอินพุต ซึ่งเรียกว่า ฮาร์ดแวร์ดิจิทัลโปรเซสเซอร์ (Hardware Digital Processor) ตัวประมวลผลที่เป็นแบบโปรแกรมได้จะมีความยืดหยุ่นในการเปลี่ยนลักษณะการทำงานโดยทำการเปลี่ยนที่ซอฟต์แวร์ ซึ่งตัวประมวลผลที่เป็นฮาร์ดแวร์ล้วนจะทำการปรับเปลี่ยนได้ยากกว่า โดยทั่วไปในทางปฏิบัติมักจะใช้ตัวประมวลผลแบบโปรแกรมได้ในการทดลอง และทดสอบหาจุดการทำงานที่ดีที่สุด แล้วทำการสร้างเป็นฮาร์ดแวร์โปรเซสเซอร์ ซึ่งจะได้วงจรที่มีราคาถูกลง และมีความเร็วในการประมวลผลแบบโปรแกรมได้ ในบางระบบมีความจำเป็นที่จะต้องทำการเปลี่ยนสัญญาณดิจิทัลเอาต์พุตกลับคืนเป็นสัญญาณแอนะล็อก เช่นระบบการส่งสัญญาณเสียง เป็นต้น ตัวที่ทำหน้าที่เชื่อมต่อสัญญาณดิจิทัลไปเป็นสัญญาณแอนะล็อกเรียกว่า ตัวแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (Digital to Analog Converter) หรือ D/A ในบางระบบอาจไม่จำเป็นต้องมี D/A เช่น ในระบบการประมวลผลเรดาร์ที่ต้องการหาตำแหน่งและความเร็ว ซึ่งจะแสดงผล หรือพิมพ์ออกทางเครื่องพิมพ์ เป็นต้น



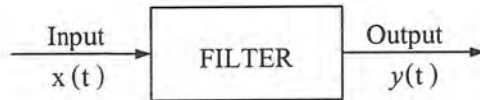
รูปที่ 2.2 ระบบการประมวลผลสัญญาณดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 วงจรกรองความถี่

2.3.1 ความหมายของวงจรกรองความถี่

วงจรกรองความถี่เป็นวงจรที่ประกอบด้วยหนึ่งอินพุต และเอาต์พุตสามารถแสดงได้ดังรูปที่ 2.3



รูปที่ 2.3 ลักษณะของวงจรกรองความถี่

ซึ่ง $x(t)$ เป็นสัญญาณอินพุต และ $y(t)$ เป็นสัญญาณเอาต์พุต โดย t เป็นเวลาที่ต่อเนื่องซึ่งสามารถแสดงในรูปแบบของสมการลาปลาซ

$$y(s) = H(s)X(s) \quad (2.1)$$

ซึ่ง $s = \sigma + j\omega$ คือ ค่าความถี่เชิงซ้อน โดย $Y(s)$ และ $X(s)$ ได้มาจากการแปลงลาปลาซของ $y(t)$ และ $x(t)$ และ $H(s)$ เป็นสมการของระบบซึ่งเป็นอัตราส่วนการเปลี่ยนแปลงของเอาต์พุตต่ออินพุต เมื่อ $s = j\omega$ (ω วัดเป็น rad/s) สามารถเขียนในรูปสมการเชิงซ้อนได้

$$H(j\omega) = |H(j\omega)|e^{j\phi(\omega)} \quad (2.2)$$

ซึ่ง $|H(j\omega)|$ คือ ขนาด และ $\phi(\omega)$ คือ เฟสโดยที่ผลตอบสนองทั้งทางขนาด และเฟสจะเกี่ยวข้องกับการพล็อตของ $|H(j\omega)|$ และ $\phi(\omega)$ โดย ω คือ คุณลักษณะที่สำคัญของวงจรกรองความถี่ ตัวอย่างเช่น ω_1 เป็นช่วงความถี่ที่วงจรกรองความถี่สามารถให้ผ่านไปได้ เรียกว่า $|H(j\omega_1)|$ ซึ่งมีขนาดใหญ่ และ ω_2 เป็นช่วงความถี่ที่ถูกกั้นไม่ให้ออกไป เรียกว่า $|H(j\omega_2)|$ ซึ่งมีขนาดเล็ก

นอกจากนี้สามารถเขียนสมการของระบบให้อยู่ในรูปของเอ็กโปเนนเชียล (Exponential form) ได้ คือ

$$H(j\omega) = e^{-y(j\omega)} \quad (2.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่ง

$$y(j\omega) = \alpha(\omega) + j\beta(\omega) \quad (2.4)$$

ในที่นี้ให้

$$\begin{aligned} \alpha(\omega) + j\beta(\omega) &= -\ln H(j\omega) \\ &= -\ln |H(j\omega)| - j\phi(\omega) \end{aligned}$$

หรือ

$$\begin{aligned} \alpha(\omega) &= -\ln |H(j\omega)| \\ \beta(\omega) &= -\phi(\omega) \end{aligned} \quad (2.5)$$

ค่าของ y, α และ β ทั้งหมดจะไม่มีขนาด โดย α มีหน่วยเป็นเนเปอร์ (neper) และ β วัดเป็น เรเดียน หรือ องศา และที่สำคัญ α ยังใช้ในการหาการสูญเสียโดยวิธีการแปลงอยู่ในหน่วย เดซิเบล (decibels : dB) โดยการคูณกับค่า $20 \log_{10} e$ ดังนั้น ค่าการสูญเสียในหน่วย dB สามารถหาได้โดย

$$\begin{aligned} \alpha_{dB} &= (20 \log_{10} e) \alpha \\ &= -20 \log_{10} e^{-\alpha} \\ &= -20 \log_{10} |H(j\omega)| \end{aligned} \quad (2.6)$$

ค่าอื่นๆ ที่น่าสนใจในทฤษฎีของการกรอง คือ ค่าของเวลาหน่วง ซึ่งหาได้จาก

$$T(\omega) = \frac{dB(\omega)}{d\omega} = -\frac{d\phi(\omega)}{d\omega} \text{sec} \quad (2.7)$$

ผลตอบสนองทางเฟส และเวลาหน่วงเป็นส่วนที่สำคัญในการออกแบบวงจรกรองความถี่ ให้มีการสูญเสียน้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 ประเภทของวงจรกรองความถี่

ความถี่ที่ถูกล่งผ่านโดยวงจรกรองความถี่ออกไปได้อาจเป็นหนึ่งความถี่ หรือย่านความถี่ หรือแถบความถี่ จะเรียกว่า แถบผ่าน (pass bands) และแถบความถี่ที่ถูกจำกัดโดยวงจรกรองความถี่เรียกว่า แถบหยุด (stop bands) สมการของวงจรกรองความถี่ไม่ว่าจะเป็นสมการทางขนาด $|H(j\omega)|$ หรือ สมการการสูญเสีย $\alpha(\omega)$ จะเป็นตัวกำหนดตำแหน่งของแถบผ่าน และแถบหยุด ดังกล่าว ซึ่งวงจรกรองในทางอุดมคติจะถือว่าผลตอบสนองทางเฟสจะมีลักษณะเป็นเชิงเส้นในแถบผ่าน ไม่มีการสูญเสียในแถบผ่าน และสูญเสียทั้งหมดในแถบหยุด

จากคุณสมบัติดังกล่าว สามารถแบ่งประเภทของวงจรกรองความถี่ได้ 5 ประเภทดังนี้

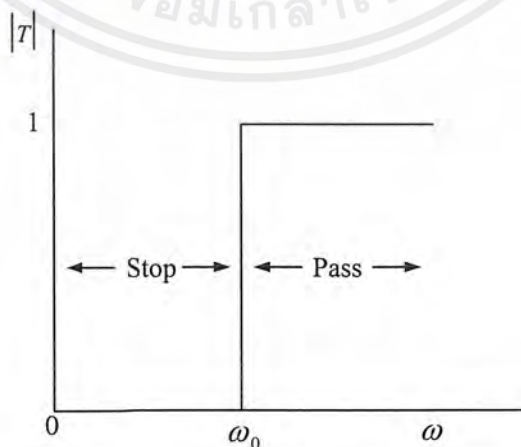
1) วงจรกรองความถี่ผ่านความถี่ต่ำ (Low-pass filter) ประกอบด้วย หนึ่งช่วงแถบผ่านระหว่าง ศูนย์ ถึง ความถี่คัทออฟ (ω_c) ความถี่ที่สูงกว่าความถี่คัทออฟทั้งหมดจะอยู่ในช่วงแถบหยุดแบนด์วิดท์ จะหาได้จาก $B = \omega_c$ แสดงดังรูปที่ 2.4

2) วงจรกรองความถี่ผ่านความถี่สูง (High-pass filter) ประกอบด้วย แถบหยุดในช่วง $0 < \omega < \omega_c$ และแถบผ่านในช่วงความถี่สูงกว่าความถี่คัทออฟ แสดงดังรูปที่ 2.5

3) วงจรกรองความถี่ผ่านแถบความถี่ (Bandpass filter) ประกอบด้วย แถบผ่านซึ่งอยู่ระหว่างความถี่คัทออฟสองความถี่ ω_L และ $\omega_U > \omega_L$ และมีสองแถบหยุดในช่วง $0 < \omega < \omega_L$ และ $\omega > \omega_U$ แบนด์วิดท์หาได้จาก $\beta = \omega_U - \omega_L$ แสดงดังรูปที่ 2.6

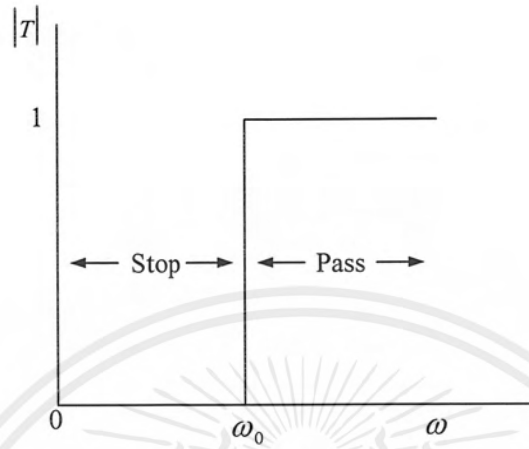
4) วงจรกรองความถี่จำกัดแถบความถี่ (Band-reject หรือ Band-stop) จะมีแถบหยุดอยู่ในช่วง $\omega_L < \omega < \omega_U$ และสองแถบผ่าน คือ $0 < \omega < \omega_L$ และ $\omega > \omega_U$ แสดงดังรูปที่ 2.7

5) วงจรกรองความถี่ผ่านทุกความถี่ (All-pass filter) เป็นวงจรกรองความถี่ที่ส่งผ่านในทุกความถี่ โดย $|H(j\omega)|$ จะมีค่าคงที่ในทุกความถี่ และเฟส $\phi(\omega)$ มีลักษณะตามความถี่

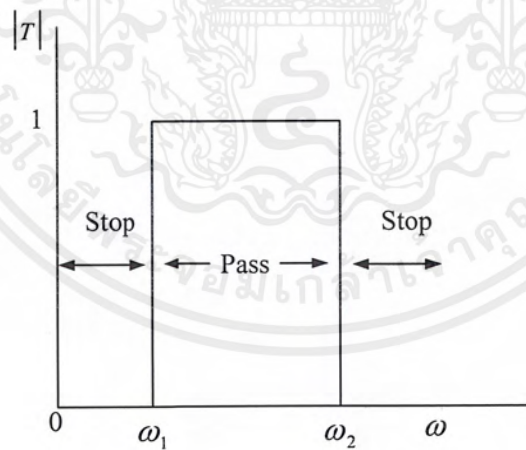


รูปที่ 2.4 วงจรกรองความถี่ผ่านความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

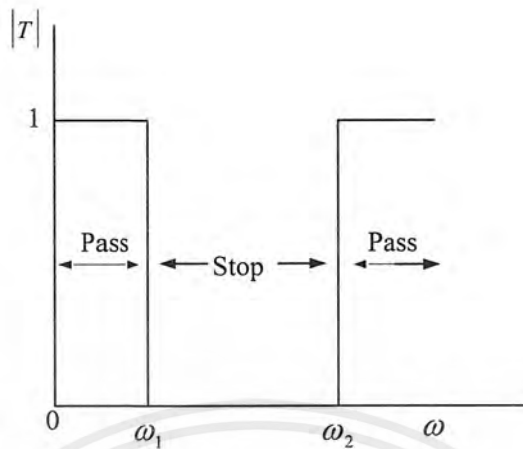


รูปที่ 2.5 วงจรกรองความถี่ผ่านความถี่สูง



รูปที่ 2.6 วงจรกรองความถี่ผ่านแถบความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



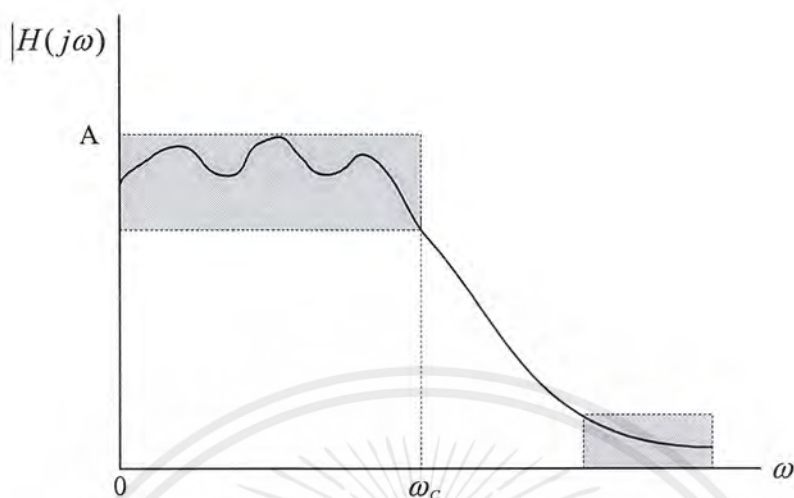
รูปที่ 2.7 วงจรกรองความถี่จำกัดแถบความถี่

จากหลักการของวงจรกรองความถี่ในทางอุดมคติ ในความเป็นจริงหรือทางปฏิบัติวงจรกรองไม่สามารถทำงานได้ตามอุดมคติได้ ซึ่งเป็นผลมาจากค่า $H(s)$ ซึ่งเป็นอัตราส่วนของการกระจาย ซึ่งอาจคลาดเคลื่อนได้ และ $|H(j\omega)|$ ไม่สามารถควบคุมให้คงที่อย่างต่อเนื่องได้ จากเหตุผลดังกล่าวจึงต้องมีการกำหนดขอบเขตระหว่างแถบผ่าน และแถบหยุดอย่างชัดเจน การออกแบบวงจรกรองความถี่จึงต้องกำหนดให้อยู่ในย่านทำงานที่ยอมรับได้มากที่สุด คือ ให้ใกล้เคียงกับทางอุดมคติในระดับหนึ่ง

ตัวอย่างเช่น ผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่านในทางอุดมคติหาได้จาก

$$\begin{aligned} |H(j\omega)| &= A, & 0 < \omega < \omega_c \\ &= 0, & \omega > \omega_c \end{aligned}$$

จากที่ผ่านมาได้แสดงถึงผลตอบสนองทางอุดมคติ แต่ในความเป็นจริงที่ได้ สามารถแสดงได้ดังนี้

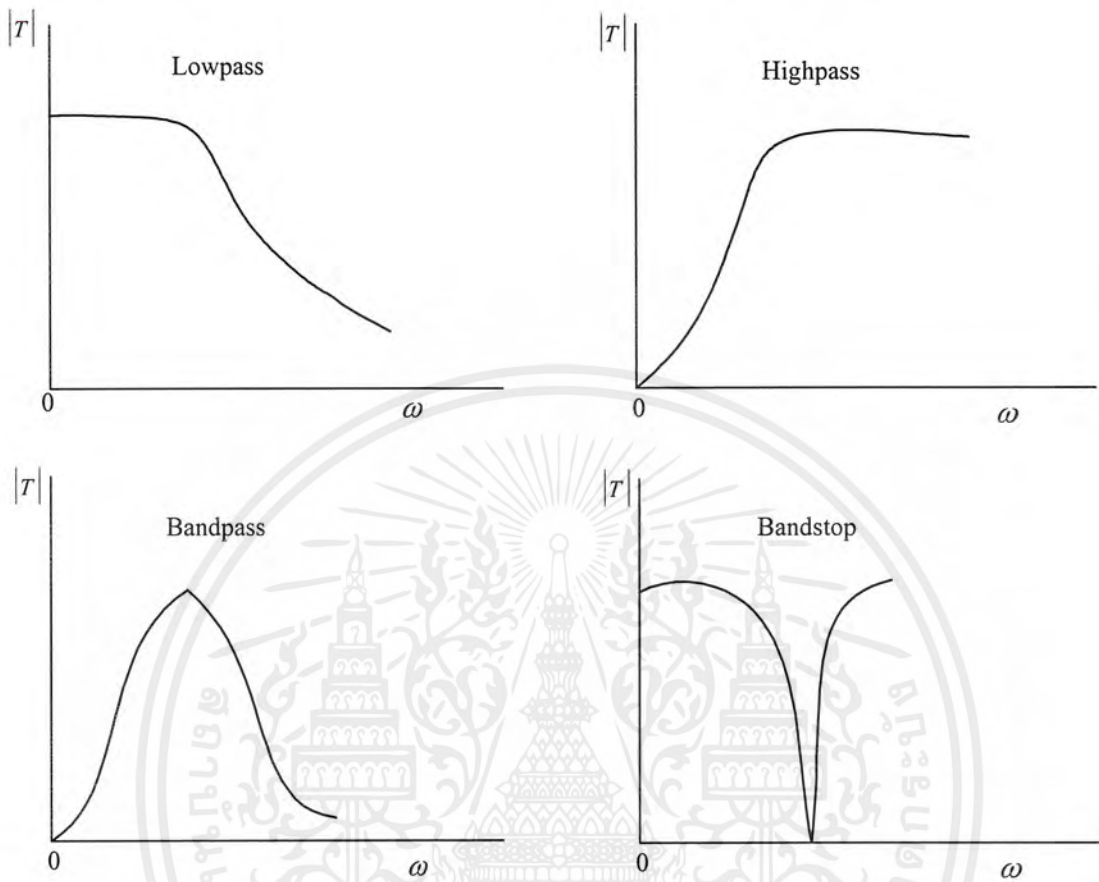


รูปที่ 2.8 ผลตอบสนองของวงจรกรองความถี่ทางอุดมคติ และทางปฏิบัติ

จากรูปที่ 2.8 ในส่วนของเส้นประจะเป็นผลตอบสนองทางอุดมคติ ส่วนเส้นทึบจะเป็นผลตอบสนองในทางปฏิบัติ ซึ่งสามารถอธิบายได้ว่า ทางอุดมคติแถบผ่านจะมีช่วง $0 < \omega < \omega_c$ และแถบหยุด $\omega > \omega_c$ จะทำงานโดยไม่มีการสูญเสีย แต่ในทางปฏิบัติจุดคutoff จะอยู่ในตำแหน่ง $|H(j\omega)|$ มีค่าเท่ากับ $\frac{1}{\sqrt{2}} = 0.707$ จากค่าสูงสุด โดยที่ความถี่คutoff ค่าการสูญเสียจะหาได้จาก

$$\begin{aligned} \alpha_{dB}(\omega_c) &= -20 \log_{10} \frac{A}{\sqrt{2}} \\ &= 3 - 20 \log_{10} A \\ &= 3 + \alpha_{dB_{min}} \end{aligned} \quad (2.8)$$

ดังนั้น ที่ตำแหน่งความถี่คutoff การสูญเสีย 3 dB จะเป็นค่าต่ำสุด ซึ่งเป็นจุดที่สามารถยอมรับได้ บางครั้งจึงเรียกจุดนี้ว่า จุด 3 dB นอกจากนี้ ในทางปฏิบัติในช่วงแถบหยุดวงจรกรองความถี่จะไม่สามารถคutoff การทำงานได้ทันที จึงทำให้มีความถี่ที่ถูกส่งผ่านออกไปได้เล็กน้อย ซึ่งจะลดค่าลงมาเรื่อยๆ มีช่วงอยู่ระหว่าง $\omega_c < \omega < \omega_1$ ซึ่งช่วงนี้เรียกว่า แถบเปลี่ยน (Transition band) ดังนั้น วงจรกรองความถี่ประเภทแถบความถี่ผ่านจะมีแถบเปลี่ยน 2 แถบ ผลตอบสนองของวงจรกรองความถี่ประเภทต่างๆ ในทางปฏิบัติสามารถแสดงได้ดังรูปที่ 2.9



รูปที่ 2.9 ผลตอบสนองทางปฏิบัติของวงจรกรองความถี่ประเภทต่างๆ

2.4 วงจรกรองความถี่แบบบัตเตอร์เวอร์ธ

วงจรกรองความถี่แบบบัตเตอร์เวอร์ธเป็นวงจรกรองความถี่ที่ถูกคิดค้นขึ้นครั้งแรกโดยวิศวกรชาวอังกฤษชื่อ S. Butterworth ในปีคริสต์ศักราช 1930 และได้รับการพัฒนาเป็นเวลายาวนาน จากอดีตจนได้ต้นแบบฟังก์ชันถ่ายโอนที่ให้คุณสมบัติต่อการตอบสนองความถี่ และมีเสถียรภาพดี หากเราแปลงฟังก์ชันถ่ายโอนของวงจรกรองความถี่แบบแอนะล็อกซึ่งอยู่ในระนาบเอส ไปสู่ระนาบแซด ด้วยวิธีการแปลงที่ดีแล้ว ฟังก์ชันถ่ายโอนที่ได้ย่อมมีคุณสมบัติที่ดีตามต้นแบบ

2.4.1 วงจรกรองความถี่แบบบัตเตอร์เวิร์ธ

สมการของวงจรกรองความถี่แบบบัตเตอร์เวิร์ธ คือ

$$|H(j\omega)|^2 = \frac{1}{1+f(\omega^2)} \quad (2.9)$$

ซึ่ง

$$\begin{aligned} f(\omega^2) &\gg 1, & \omega > 1 \\ 0 \leq f(\omega^2) &\ll 1, & 0 \leq \omega < 1 \end{aligned} \quad (2.10)$$

และ

$$f(\omega^2) = \omega^{2n}; \quad n=1, 2, 3, \dots \quad (2.11)$$

ดังนั้น

$$|H(j\omega)| = \frac{1}{\sqrt{1+\omega^{2n}}}; \quad n=1, 2, 3, \dots \quad (2.12)$$

จากสมการดังกล่าว สามารถหาผลตอบสนองทางขนาดของวงจรกรองความถี่แบบบัตเตอร์เวิร์ธที่อันดับความต้องการต่างๆ ได้ ผลตอบสนองของวงจรกรองความถี่จะมีค่าสูงสุด $|H(j\omega)|_{\max} = 1$ ที่ $\omega = 0$ จุดคัทออฟพลาซมอโรมอลไลซ์ $\omega_c = 1$ ดังนั้น

$$|H(j1)| = \frac{1}{\sqrt{2}} = \frac{1}{\sqrt{2}}|H(j\omega)|_{\max} \quad (2.13)$$

การประมาณค่าจากสมการที่ (2.13) เมื่อเทียบอันดับ n ขึ้นเรื่อยๆ โดยให้ $n_1 \gg n_2$ และ $\omega^{2n_1} \ll \omega^{2n_2}$ ที่ $0 < \omega < 1$ และให้ $\omega^{2n_1} \gg \omega^{2n_2}$ ที่ $\omega > 1$ โดยจะเป็นผลดีถ้า $\omega = 0$ จึงสามารถแยกพจน์การกระจายได้เป็น

$$|H(j\omega)| = 1 - \frac{1}{2}\omega^{2n} + \frac{3}{8}\omega^{4n} - \frac{5}{16}\omega^{6n} + \frac{35}{128}\omega^{8n} - \dots \quad (2.14)$$

ดังนั้น เหตุผลสำหรับ ω เข้าใกล้ 0 จะได้ $2n-1$ ของ $|H(j\omega)|$ ในสมการดังกล่าว โดยจะเป็นการจำกัดส่วนประกอบของ ω สำหรับการกระจายต้องการในอันดับสูงๆ สมการ $|H(j\omega)|$ ที่ $\omega = 0$ จะมีพจน์การกระจายมากมาย

สำหรับ $\omega \gg 1$ สมการทางขนาดของวงจรรองความถี่แบบบัตเตอร์เวิร์ธสามารถประมาณได้ดังนี้

$$|H(j\omega)| \approx \frac{1}{\omega^n} \quad (2.15)$$

การสูญเสียในหน่วย dB หาได้จาก

$$\alpha_{dB} \approx 20 \log_{10} \omega^n = 20n \log_{10} \omega \quad (2.16)$$

ดังนั้น การสูญเสียในรอบสิบค่า การสูญเสียสำหรับค่า ที่มีค่ามากๆ การสูญเสียจะมีความชันเป็น $20n$ dB/decade การสูญเสียจะเพิ่มขึ้นอย่างรวดเร็วที่อันดับความต้องการสูงๆ ซึ่งจะทำให้การทำงานของวงจรมีลักษณะใกล้เคียงกับทางอุดมคติมากที่สุด

2.4.2 สมการถ่ายโอนของวงจรรองความถี่แบบบัตเตอร์เวิร์ธ

จากสมการของวงจรรองความถี่แบบบัตเตอร์เวิร์ธ

$$|H(j\omega)| = \frac{1}{\sqrt{1 + \omega^{2n}}} \quad (2.17)$$

แทนค่า ω^2 ด้วย $-s^2$ แล้วเขียนในรูป $|H(j\omega)|^2$ จะได้

$$\begin{aligned} H(s)H(-s) &= \frac{1}{1 + (-s^2)^n} \\ H(s) &= \frac{1}{Q(s)} \end{aligned} \quad (2.18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่ง $Q(s)$ คือ พจน์การกระจายของเฮอริวิทซ์

$$Q(s)Q(-s) = 1 + (-s^2)^n \quad (2.19)$$

ตัวอย่างเช่น ถ้าเป็นความต้องการอันดับ 2 ($n = 2$) จะได้ว่า

$$Q(s)Q(-s) = 1 + s^4 \quad (2.20)$$

สามารถเขียนได้

$$\begin{aligned} Q(s)Q(-s) &= s^4 + 2s^2 + 1 - 2s^2 \\ &= (s^2 + 1)^2 - (\sqrt{2}s)^2 \\ &= (s^2 + \sqrt{2}s + 1)(s^2 - \sqrt{2}s + 1) \end{aligned} \quad (2.20)$$

จากผลที่ได้จะได้พจน์แรกเป็นค่าของ $Q(s)$ ดังนั้นจะได้สมการถ่ายโอน

$$H(s) = \frac{K}{s^2 + \sqrt{2}s + 1} \quad (2.21)$$

ค่าคงที่ K เป็นค่านอร์มอลไลซ์เป็น 1 ในสมการที่ 2.21 แต่อาจจะเป็นค่าจริงค่าอื่นๆ ก็ได้ สำหรับซีโร (Zeros) ของ $Q(s)$ ในระนาบครึ่งซ้าย จะได้

$$1 + (-s^2)^n = 0 \quad (2.22)$$

หรือ

$$(-1)^n s^{2n} = -1 = e^{j(2k-1)\pi}; \quad k = 0, 1, \dots, 2n-1 \quad (2.23)$$

โดย

$$\begin{aligned} s_k &= \sigma_k + j\omega_k \\ s_k^{2n} &= e^{j(2k-1)\pi + jm} \end{aligned}$$

ดังนั้น

$$s_k = \sigma_k + j\omega_k = e^{j(2k+n-1)\pi/2n} \quad (2.24)$$

ดังนั้น ส่วนจริงและส่วนจินตภาพในรูปของ s_k จะได้จาก

$$\begin{aligned} \sigma_k &= \cos \frac{(2k+n-1)\pi}{2n} = -\sin \frac{(2k-1)\pi}{2n} \\ \omega_k &= \sin \frac{(2k+n-1)\pi}{2n} = \cos \frac{(2k-1)\pi}{2n} \end{aligned} \quad (2.25)$$

2.5 วงจรกรองความถี่แบบดิจิทัล

2.5.1 ความหมายของวงจรกรองความถี่แบบดิจิทัล

คำจำกัดความกว้างๆ ของวงจรกรองความถี่แบบดิจิทัล (digital filter) คือ เป็นกระบวนการที่ไปตัดแปลงสเปกตรัมของสัญญาณ ให้มีสเปกตรัมเป็นไปตามข้อกำหนดที่ต้องการ ซึ่งอาจเป็นการเพิ่มค่า หรือลดทอนค่าขนาดของสัญญาณในแถบความถี่ที่กำหนดให้

จากที่กล่าวมาแล้วว่า การกรองเชิงเลขเป็นกระบวนการ ที่ไปตัดแปลงสเปกตรัมของสัญญาณให้มีสเปกตรัมเป็นไปตามข้อกำหนดที่ต้องการ หรือกำหนดให้ ซึ่งอาจเป็นการเพิ่มค่า หรือลดทอนค่าขนาดของสัญญาณในแถบความถี่ที่กำหนดให้ หรือทำการตัดสัญญาณในแถบความถี่ที่กำหนดให้ออกไป หรือทำการแยกสัญญาณในแถบความถี่ที่ต้องการออกมาใช้งานก็ได้ ซึ่งกระบวนการเหล่านี้จุดประสงค์หลักเพื่อต้องการ

1) ลดความผิดเพี้ยนของสัญญาณ หรือ ลดสิ่งรบกวน ที่อาจเป็นผลมาจากการส่งสัญญาณไปในสายส่ง หรือตัวกลางที่มีคุณภาพไม่สมบูรณ์ หรือมีสิ่งรบกวนมาก

2) ต้องการแยกสัญญาณออกจากสัญญาณผสมกันมาหลายสัญญาณที่ถูกส่งมาพร้อมกันบนสายส่งเส้นเดียวกัน

3) ใช้ในการแยกแยะในโดเมนเวลาออกเป็นองค์ประกอบของสัญญาณในโดเมนความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 4) ใช้ในการคิ่มอดูเลตสัญญาณ (demodulation)
- 5) ใช้ในการแปลงสัญญาณเชิงเต็มหน่วยออกเป็นองค์ประกอบทางความถี่

ลักษณะของวงจรกรองความถี่แบบดิจิทัลแสดงได้ในรูปที่ 2.10



รูปที่ 2.10 ลักษณะวงจรกรองความถี่แบบดิจิทัล

การที่วงจรกรองความถี่เชิงเลขมีการนำไปประยุกต์ใช้งานกันอย่างกว้างขวางนั้น อาจมาจากข้อได้เปรียบเทียบหลายประการดังต่อไปนี้

1) ผลตอบสนองความถี่ของวงจรกรองความถี่ สามารถออกแบบให้มีความใกล้เคียงกับผลตอบสนองความถี่ที่กำหนดให้ หรือ ผลตอบสนองความถี่ที่ต้องการได้ นอกจากนี้การออกแบบวงจรกรองให้มึผลตอบสนองเฟสเชิงเส้น ทำได้ง่าย

2) คุณสมบัติของวงจรกรองความถี่ที่ออกแบบและสร้างแล้วจะไม่ขยับเลื่อน (drift) ไปตามสถานะแวดล้อม หรือตามอุณหภูมิ หรือตามระยะเวลาการใช้งาน นอกจากนี้ยังสามารถใช้งานในย่านความถี่ต่ำได้เป็นอย่างดี

3) การประยุกต์ใช้งานเป็นวงจรกรองความถี่แบบปรับตัวได้ (adaptive) ทำได้ง่าย

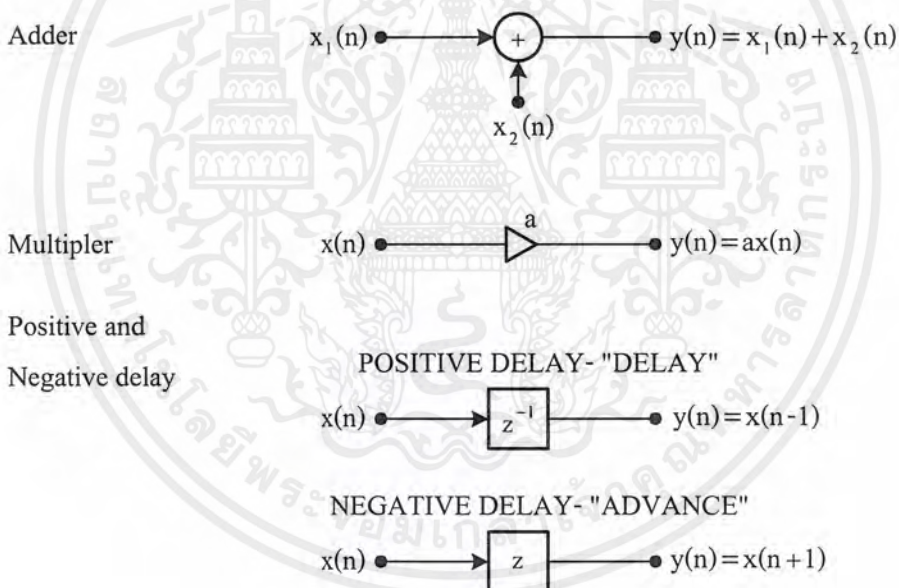
4) ผู้ออกแบบสามารถออกแบบโดยคำนึงถึงความยาวของคำ (wordlength) ของตัวเลขฐานสองที่ต้องการใช้ และยังสามารถออกแบบให้มึผลตอบสนองความถี่ตามที่ต้องการได้

5) ในปัจจุบัน ถ้าพิจารณาในแง่มุมมองของเสถียรภาพของวงจรกรองความถี่ ความเชื่อถือได้ ราคา หรือขนาดของวงจรกรองความถี่เชิงเลข สิ่งเหล่านี้กำลังได้รับการพัฒนา และปรับปรุง และมีแนวโน้มว่าจะให้ผลลัพธ์ที่ดีกว่าของวงจรกรองความถี่เชิงอุปมานมาก

2.5.2 โครงสร้างของวงจรกรองความถี่แบบดิจิทัล

วงจรกรองความถี่แบบดิจิทัล จะประกอบด้วยส่วนที่สำคัญ 3 ส่วน คือ การบวก การคูณ และการหน่วง (Delay) ดังแสดงในรูปที่ 2.11 การบวกและการคูณจะใช้แนวความคิดมาจากตัวเลขในหน่วยคอมพิวเตอร์ ส่วนการหน่วงจะทำให้การเข้าถึงข้อมูลในอนาคตมีค่าอย่างต่อเนื่อง Open-headed จะชี้ถึงทิศทางของสัญญาณที่ไหลไปที่กว้างๆ Close-headed จะแสดงถึงการคูณ

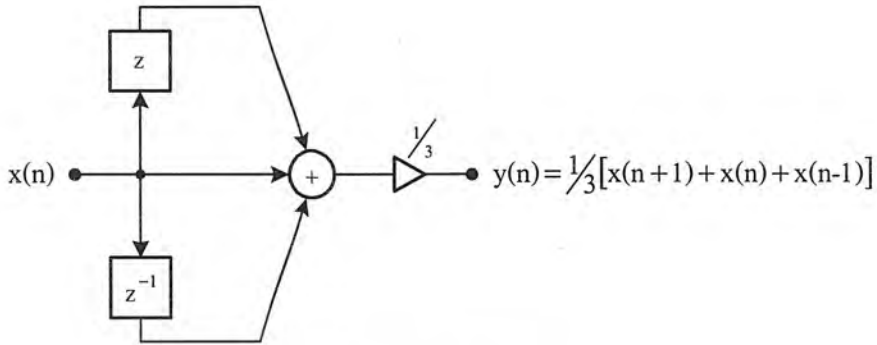
การหน่วง (Delay) จะแบ่งเป็น 2 ส่วน คือ Positive และ Negative Positive delay หรือ Simply delay นี้ เป็นอุปกรณ์ที่ทำหน้าที่บันทึกความจำของ register จะเก็บค่าได้ตามระยะเวลาที่กำหนดสำหรับการคำนวณครั้งต่อไป Positive delay จะแทนค่าด้วย Z^{-1} และสามารถอธิบายความสำคัญได้ด้วย Z-transform Negative delay หรือ advance ใช้แทนค่าต่อไปในลำดับสัญญาณแทนด้วย Z จะมีชนิดและการใช้งานที่เหมาะสมอย่างไรก็ตามการใช้งานก็ไม่สามารถใช้งานได้เสมอไป



รูปที่ 2.11 โครงสร้างของวงจรกรองความถี่แบบดิจิทัล

วงจรกรองความถี่แบบดิจิทัล สามารถออกแบบให้มีค่าของการคูณที่แน่นอน และมีหลักเกณฑ์ในการพิจารณาที่ไม่ยุ่งยากซับซ้อน

ในรูปที่ 2.12 กระแส Output $y(n)$ จะมีค่าเท่ากับค่าของกระแสตัวถัดไป การเพิ่มขึ้นของค่าตัวต่อไปสามารถเก็บไว้ใน delay ได้



รูปที่ 2.12 ตัวอย่างของวงจรกรองความถี่แบบดิจิทัล

2.5.3 วงจรกรองความถี่แบบดิจิทัลชนิด FIR

FIR มาจากคำว่า Finite Impulse Responce ซึ่งแปลว่าผลตอบสนองอิมพัลส์จำกัด ดังนั้น วงจรกรองความถี่แบบดิจิทัลชนิด FIR จึงหมายถึง วงจรกรองความถี่ที่ทำงานแบบเป็นวงจรกรองความถี่ไม่ป้อนกลับเชิงเลข ซึ่งสามารถเขียนคุณสมบัติเป็นสมการของวงจรกรองความถี่ไม่ป้อนกลับเชิงเลข ในกรณีทั่วๆ ไปได้คือ

$$y(n) = \sum_{k=-\infty}^{\infty} C_k x(n-k) \quad (2.26)$$

โดยที่ C_k เป็นค่าคงที่ใดๆ ที่แทนค่าสัมประสิทธิ์ (coefficient) ของวงจรกรองความถี่และในทางปฏิบัติค่า k จะมีค่าคงที่ ไม่ถึงกับมีค่าอนันต์ ขึ้นกับอันดับของวงจรกรองความถี่ที่ต้องการใช้

คุณสมบัติที่สำคัญประการหนึ่งของวงจรกรองความถี่แบบนี้ ถ้าทำการหาผลตอบสนองอิมพัลส์ของสมการที่ 2.26 ซึ่งทำได้โดยให้ลำดับ $x(n)$ เป็นลำดับอิมพัลส์ และเมื่อประยุกต์ใช้ผลการแปลงแซคจะได้

$$H(z) = \sum_{k=-\infty}^{\infty} C_k \cdot z^{-k} \quad (2.27)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และสามารถเขียนผลตอบสนองอิมพัลส์ของวงจรรองความถี่เชิงเลขได้ คือ

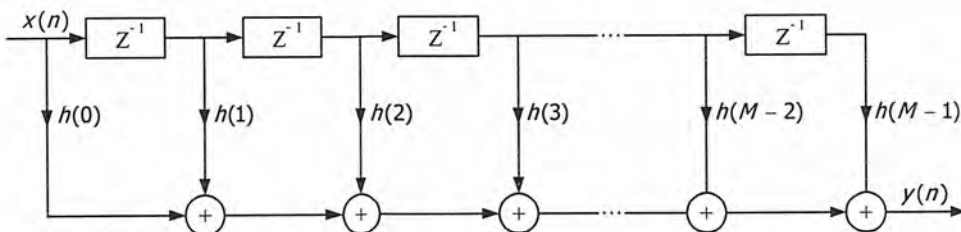
$$H(z) = \sum_{k=-\infty}^{\infty} h_k \cdot z^{-k} \quad (2.28)$$

เมื่อเปรียบเทียบสมการทั้งสองจะได้รับความสัมพันธ์ว่าสัมประสิทธิ์ของวงจรรองความถี่ไม่ป้อนกลับเชิงเลข จะเท่ากับลำดับของผลตอบสนองอิมพัลส์ของระบบ หรือ

$$C_k = h_k \quad (2.29)$$

ผลจากสมการที่ 2.29 นี้จะเป็นประโยชน์ต่อการออกแบบวงจรรองความถี่ไม่ป้อนกลับเชิงเลขเป็นอย่างมาก

จากสมการที่ 2.26 ถ้าหากสัมประสิทธิ์ $C_k = C_{-k}$ โดยที่ $k > \phi$ แล้ว วงจรรองความถี่แบบนี้จะมีชื่อเรียกว่าวงจรรองความถี่ไม่ป้อนกลับเชิงเลขแบบสมมาตร (Symmetric filter) และถ้าหากสัมประสิทธิ์ $C_k = -C_{-k}$ เมื่อ $k > \phi$ และ $C_0 > \phi$ จะเรียกว่าวงจรรองความถี่ปฏิสมมาตร (Anti-symmetric filter) วงจรรองความถี่แบบนี้บางที่อาจเรียกว่าวงจรรองสมมาตรคู่ (Even symmetric) และวงจรรองความถี่สมมาตรคี่ (Odd symmetric filter) ตามลำดับ ทั้งนี้ เนื่องจากฟังก์ชันถ่ายโอนของมันเป็นแบบสมมาตรคู่ และสมมาตรคี่ ตามลำดับ ในทั้งสองแบบนี้วงจรรองความถี่ที่มีประโยชน์ใช้งานมาก คือ วงจรรองความถี่แบบสมมาตรคู่ ทั้งนี้ เพราะค่าของฟังก์ชันถ่ายโอนของมันมีเฉพาะค่าจริง ทำให้ผลตอบสนองเฟส อาจเป็นค่าคงที่ หรือค่าศูนย์ หรือเรียกว่าเป็นวงจรรองความถี่ที่มีผลตอบสนองเฟสที่แปรเป็นเชิงเส้นกับความถี่ได้ ผลลัพธ์ คือ ไม่เกิดความผิดพลาดในทางด้านเฟสของสัญญาณ



รูปที่ 2.13 โครงสร้างของวงจรรองความถี่แบบดิจิทัลชนิด FIR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.4 วงจรกรองความถี่แบบดิจิทัลชนิด IIR

IIR ย่อมาจากคำว่า Infinite Impulse Responce ซึ่งแปลว่าการตอบสนองสัญญาณอิมพัลส์ถึงอนันต์ ทั้งนี้ เพราะวงจรกรองความถี่สัญญาณดิจิทัลประเภทนี้มีคุณสมบัติประจำตัวที่สำคัญ คือ หากเราป้อนสัญญาณอิมพัลส์ให้แก่วงจรนี้แล้ว สัญญาณตอบสนองจะไม่สิ้นสุด แต่จะมีไปจนถึงอนันต์ โดยทั่วไปถ้าให้สัมประสิทธิ์ของวงจรกรองความถี่เชิงเลขมีจำนวนจำกัด อาจเขียนสมการผลต่างสืบเนื่องอันดับที่ M (M^{th} order difference equation) สำหรับวงจรกรองความถี่ระบบเวลาจริงได้

$$y(n) = \sum_{k=0}^N a_k x(nT - kT) - \sum_{k=1}^M b_k y(nT - kT) \quad (2.30)$$

โดยในที่นี้เขียนให้ $b_0 = 1$ และเมื่อทำการแปลงแซดทั้งสองข้างจะได้

$$\{y(nT)\} + \left\{ \sum_{k=1}^M b_k y(nT - kT) \right\} = \left\{ \sum_{k=0}^N a_k x(nT - kT) \right\} \quad (2.31)$$

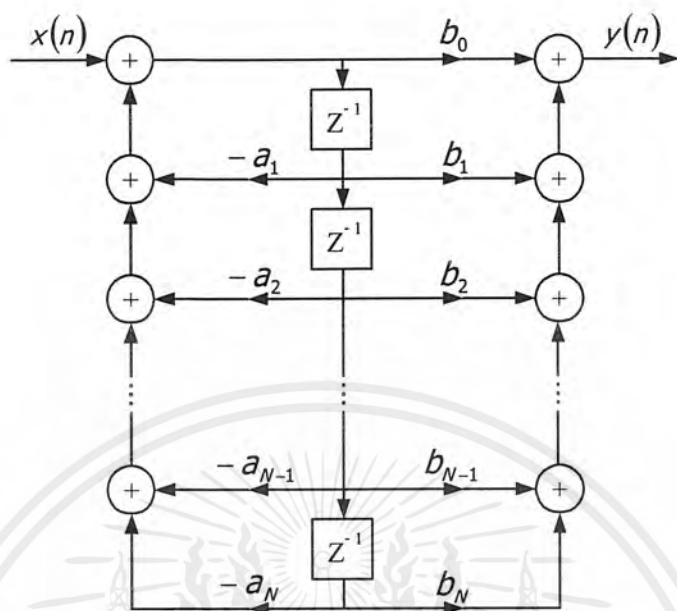
หรือฟังก์ชันถ่ายโอนเป็น

$$H(z) = \frac{Y(z)}{X(z)} = \frac{\sum_{k=0}^N a_k z^{-k}}{\left\{ 1 + \sum_{k=1}^M b_k z^{-k} \right\}} \quad (2.32)$$

โดยที่ให้ $b_0 = 1$ และโดยการแทนค่าให้ $z = \exp(j\omega)$ เราจะได้ผลตอบสนองความถี่ของวงจรกรองความถี่ป้อนกลับเชิงเลขแบบทั่วไป คือ

$$H(e^{j\pi T}) = H(\omega) = \frac{\sum_{k=0}^N a_k e^{-jk\pi T}}{\left\{ 1 + \sum_{k=1}^M b_k e^{jk\pi T} \right\}} \quad (2.33)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 โครงสร้างของวงจรกรองความถี่แบบดิจิทัลชนิด IIR

2.6 การแปลงแซด (Z-Transform)

การแปลงแซดเป็นเครื่องมือพื้นฐานทางคณิตศาสตร์ที่ใช้ในการวิเคราะห์ และสังเคราะห์ วงจรกรองความถี่แบบดิจิทัล ซึ่งจะใช้ในการอธิบายฟังก์ชันระบบ (System function) ที่มีความสัมพันธ์กับผลตอบสนองของวงจรต่อสัญญาณหนึ่งหน่วย (Unit sample response) ในระนาบเชิงซ้อนของแซด (Complex Z plane) จะแสดงให้เห็นถึงตำแหน่งของโพล (Pole) และ ซีโร่ (Zero) ของฟังก์ชันระบบ และจะมีวงกลมซึ่งมีจุดศูนย์กลางอยู่ที่จุดเริ่มต้น โดยมีรัศมีเท่ากับหนึ่งหน่วย ซึ่งเรียกว่าวงกลมหนึ่งหน่วย (Unit circle) ในส่วนของขอบเขตของการลู่อู่เข้า (Region of Convergence) หรือที่เรียกว่า ROC จะปรากฏอยู่ในระนาบแซด ซึ่งถูกกำหนดจากผลของการแปลงแซด โดยที่ ROC จะเป็นตัวกำหนดความสัมพันธ์ระหว่างการแปลงแซดกับคุณสมบัติของ สัญญาณลำดับ Discrete ที่อยู่ใน โดเมนของเวลา

ตำแหน่งของฟังก์ชันระบบที่ปรากฏอยู่ในระนาบแซด จะเป็นตัวกำหนดคุณสมบัติต่างๆ เช่น สามารถตรวจสอบความมีเสถียรภาพระบบ ถ้าระบบที่มีเสถียรภาพ และเป็น Causal ตำแหน่งของ โพลทุกตัวจะอยู่ในวงกลมหนึ่งหน่วย และถ้าระบบที่มีเสถียรภาพแต่เป็น Non-causal ตำแหน่งของ โพล ทุกตัวจะอยู่ที่อนันต์ เป็นต้น และสัมประสิทธิ์ของวงจรกรองความถี่สามารถกำหนดได้จาก ตำแหน่ง ของโพลและซีโร่ และยังจะได้กล่าวถึงความสัมพันธ์ระหว่างการแปลงแซด การแปลงฟูเรียร์รวมถึงการแปลงกลับแซดด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.1 นิยามของการแปลงแซด

การแปลงแซดของสัญญาณลำดับ $\{h(n)\}$ คือ $H(z)$ ซึ่งกำหนดได้ดังนี้

$$H(z) = \sum_{n=-\infty}^{\infty} h(n)z^{-n} \quad (2.34)$$

โดยที่ z เป็นตัวแปรเชิงซ้อน ถ้าหากสัญญาณลำดับที่นำมาผ่านการแปลงแซดเป็นผลตอบสนองของวงจรกรองความถี่แบบดิจิทัล หรือสัญญาณลำดับ $\{h(n)\}$ เราเรียกผลที่ได้จากการแปลงแซดว่าฟังก์ชันระบบ ในทำนองเดียวกัน ถ้าสัญญาณลำดับ $\{x(n)\}$ เมื่อผ่านการแปลงแซดจะได้เป็น

$$X(z) = \sum_{n=-\infty}^{\infty} x(n)z^{-n} \quad (2.35)$$

ซึ่งจะมีความคล้ายกับการแปลงฟูเรียร์ ยกตัวอย่างเช่น ถ้าสัญญาณที่อยู่ในโดเมนของเวลา Convolution กัน เมื่อเปลี่ยนไปอยู่ในโดเมนของแซดจะเปรียบเสมือนการคูณกัน โดยที่การแปลงแซดมีความสำคัญเป็นอย่างมากในการวิเคราะห์ และสร้างวงจรกรองความถี่แบบดิจิทัล

2.6.2 คุณสมบัติของการแปลงแซด

1) นิยาม

$$H(z) = \sum_{n=-\infty}^{\infty} h(n)z^{-n}$$

2) Region of convergence

$$\sum_{n=-\infty}^{\infty} |h(n)z^{-n}| < \infty$$

3) ความเป็นเชิงเส้น

$$\text{ถ้าหากสัญญาณลำดับ } \{x(n)\} = \{ah_1(n) + bh_2(n)\}$$

$$\text{ดังนั้น จะได้ } X(z) = aH_1(z) + bH_2(z)$$

4) การแปลงแซดของสัญญาณลำดับที่ถุกหน่วง

ถ้าหาก $\{y(n)\} = \{x(n - n_0)\}$ และจะได้

$$Y(z) = z^{-n_0} X(z)$$

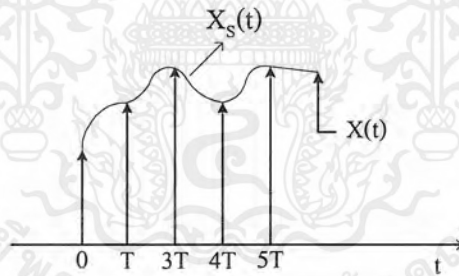
5) Fourier transform of the convolution of two sequence

ถ้าหาก $\{y(n)\} = \{h(n)\} * \{x(n)\}$ และจะได้

$$Y(z) = H(z)X(z)$$

2.7 การแปลงจากระนาบเอสไปสู่อะนาบแซด

การแก้ปัญหา หรือการวิเคราะห์ระบบในเชิงวิศวกรรมบนระนาบไคระนาบหนึ่งอาจเกิดปัญหายุ่งยากแก่การวิเคราะห์ จึงมีการใช้คณิตศาสตร์แขนงหนึ่งที่เรียกว่า Conformal Mapping มาช่วยแก้ปัญหาให้ง่ายแก่การวิเคราะห์ โดยการส่งค่าจากระนาบหนึ่งไปสู่อีกระนาบหนึ่งหรือกล่าวอีกนัยหนึ่ง คือ การย้ายแกนนั่นเอง ตัวอย่างการส่งผ่านค่าในระนาบเอสไปสู่อะนาบแซด มีดังนี้



รูปที่ 2.15 สัญญาณสุ่มตัวอย่างอิมพัลส์

จากรูปที่ 2.17 เอาต์พุตของการสุ่มในอุดมคติของสัญญาณ $x(t)$ คือ $x_s(t)$ เขียนเป็นสมการทางคณิตศาสตร์ได้ดังนี้

$$x_s(t) = x(t)\delta_T(t) \quad (2.36)$$

$$\delta_T(t) = \sum_{k=-\infty}^{\infty} \delta(t - kT) \quad (2.37)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการที่ 2.36 สามารถเขียนใหม่โดยอาศัยสมการที่ 2.37 ได้ ดังนี้

$$x_s(t) = \sum_{k=-\infty}^{\infty} x(kT)\delta(t-kT) \quad (2.38)$$

แปลงลาปลาซได้ดังนี้

$$X_s(s) = \sum_{k=0}^{\infty} x(kT)e^{-kTs} \quad (2.39)$$

อนุกรม $X_s(s)$ ขึ้นอยู่กับค่าของ $x(kT)$ และอยู่ในรูปปิด (Closed Form) เขียนในรูปการแปลงแซดได้ ดังนี้

$$X(z) = \sum_{k=0}^{\infty} x(kT)z^{-k} \quad (2.40)$$

เพื่อให้เห็นความสัมพันธ์ระหว่างระนาบเอส และระนาบแซดอย่างชัดเจนจึงยกตัวอย่างการแปลงแซด ของ e^{-aT} โดยอาศัยสมการที่ 2.40 เขียนได้ ดังนี้

$$\begin{aligned} X(z) &= \sum_{k=0}^{\infty} e^{-akT} z^{-k} \\ &= 1 + e^{-aT} z^{-1} + e^{-2aT} z^{-2} + \dots \\ &= \frac{1}{(1 - e^{-aT} z^{-1})} \\ &= \frac{z}{(z - e^{-aT})} \end{aligned}$$

สำหรับ $|e^{-aT} z^{-1}| < 1$, นั่นคือ $|z| > e^{-aT}$

ถ้าให้ $a=0$ จะได้ว่า

$$x(t) = u(t) \text{ เป็น Unit Step}$$

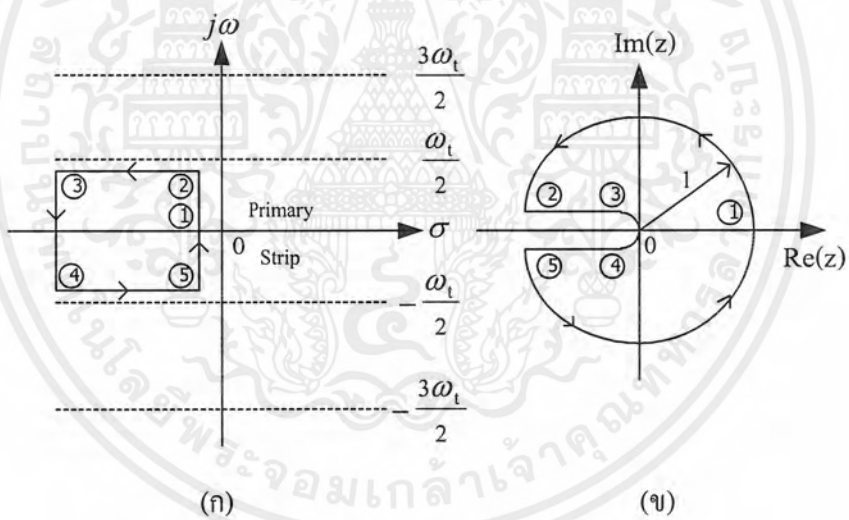
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ

$$X(z) = \frac{z}{(z-1)} \text{ สำหรับ } |z| > 1$$

นั่นคือ อนุกรม $X(z)$ จะลู่ออกในบริเวณนอกวงกลมรัศมี 1 หน่วย ที่มีจุดศูนย์กลางอยู่ที่จุดกำเนิดของระนาบแซด ให้ $z = e^{ST}$ เราแยกการพิจารณา 2 กรณี

กรณีที่ 1 ได้ว่า $e^{(S-jn\omega_s)T} = e^{ST} e^{jn\omega_s T} = e^{ST} e^{jn2\pi} = e^{ST}$ นั่นคือ ทุกจุดในระนาบเอส ซึ่งมี n เป็นเลขจำนวนเต็มถูกส่งไปเป็นจุดเดียวกัน กับ e^{ST} ในระนาบแซด ในรูปที่ 2.16 (ก) แสดงให้เห็นว่าค่าที่อยู่ในบริเวณที่เรียกว่า “Primary Strip” ของระนาบเอส ถูกส่งไปในระนาบแซดทั้งหมด



รูปที่ 2.16 การส่งผ่านค่าของระนาบเอสไปสู่ระนาบแซด

กรณีที่ 2 เส้นรอบปี่เหลี่ยมในด้านซ้ายมือของ “Primary Strip” ของระนาบเอส ถูกส่งเข้าไปในวงกลมรัศมี 1 หน่วยบนระนาบแซด แสดงดังรูปที่ 2.16 (ข)

2.8 การออกแบบวงจรกรองความถี่ดิจิทัลชนิด IIR จากวงจรกรองความถี่แบบแอนะล็อก

การออกแบบวงจรกรองความถี่แบบดิจิทัลชนิด IIR นั้นมีอยู่ด้วยกันหลายวิธี โดยใช้วิธีการออกแบบวงจรกรองความถี่ในแบบแอนะล็อกก่อน จากนั้นจึงใช้วิธีการเปลี่ยนจากแบบแอนะล็อกไปสู่วงจรกรองความถี่แบบดิจิทัล เพราะว่า การออกแบบในแบบแอนะล็อกนั้นจะออกแบบได้ง่ายกว่า และมีความรอบคอบมากกว่า ซึ่งวงจรกรองความถี่แบบแอนะล็อกสามารถแสดงฟังก์ชันระบบได้ ดังนี้

$$H_a(s) = \frac{B(s)}{A(s)} = \frac{\sum_{k=0}^M \beta_k s^k}{\sum_{k=0}^N \alpha_k s^k} \quad (2.41)$$

โดย $\{\alpha_k\}$ และ $\{\beta_k\}$ เป็นค่าสัมประสิทธิ์ของวงจรกรองความถี่ หรือผลตอบสนองอิมพัลส์ ซึ่งเกี่ยวข้องกับ $H_a(s)$ โดยได้มาจากการแปลงลาปลาซ (Laplace transform)

$$H_a(s) = \int_{-\infty}^{\infty} h(t)e^{-st} dt \quad (2.42)$$

และยังสามารถแสดงในรูปแบบของสมการอนุพันธ์ (differential equation) ได้ดังนี้

$$\sum_{k=0}^N \alpha_k \frac{d^k y(t)}{dt^k} = \sum_{k=0}^M \beta_k \frac{d^k x(t)}{dt^k} \quad (2.43)$$

โดย $x(t)$ เป็นสัญญาณอินพุต

$y(t)$ เป็นสัญญาณเอาต์พุต

สมการทั้งสามสมการเป็นสมการคุณสมบัติที่สำคัญของวงจรกรองความถี่แบบแอนะล็อกที่จะใช้ในการแปลงวงจรกรองความถี่จากแบบแอนะล็อกไปสู่วงจรกรองความถี่แบบดิจิทัล วงจรกรองความถี่ในระบบแอนะล็อกนั้นจะมีเสถียรรูปต่อเมื่อโพลอยู่ในระนาบครึ่งซ้าย (left-half plane:LHP) ของระนาบเอส (s-plane) ดังนั้น เพื่อให้การแปลงวงจรกรองความถี่แบบแอนะล็อกไปสู่วงจรกรองความถี่แบบดิจิทัลมีเสถียรรูปจึงควรอยู่ในเงื่อนไข ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) เงื่อนไขนี้ทำให้การส่งจากโดเมนเอสไปยังโดเมนแซด ทำได้โดยที่ยังรักษาคุณสมบัติเชิงความถี่ของวงจรกรองความถี่แบบแอนะล็อกไว้ เงื่อนไขนี้มีว่าค่าบนแกนจินตภาพ ($j\Omega$) ในระนาบเอสจะถูกส่งไปยังค่าบนเส้นรอบวงกลมหนึ่งหน่วยในระนาบแซด (z -plane)

2) เงื่อนไขนี้เป็นเงื่อนไขที่รักษาเสถียรรูปของวงจรกรองความถี่ไว้ มีอยู่ว่าค่าทั้งหมดในระนาบครึ่งซ้ายของระนาบเอส จะถูกส่งเข้าไปยังบริเวณในวงกลมหนึ่งหน่วยในระนาบแซด

เสถียรรูปวงจรกรองความถี่แบบดิจิตอลชนิด IIR จะไม่มีความเป็นเชิงเส้นทางเฟส ดังนั้น ความเชิงเส้นทางเฟสมีฟังก์ชันระบบจะต้องเป็นไปตามเงื่อนไข

$$H(z) = \pm z^{-N} H(z^{-1}) \quad (2.44)$$

โดย z^{-1} เป็นการหน่วงของเวลา แต่ในกรณีนี้วงจรกรองความถี่จะมีโพลงาเกิดขึ้นที่นอกวงกลมหนึ่งหน่วยสำหรับทุกโพลที่เกิดขึ้นภายในวงกลมหนึ่งหน่วย ดังนั้น วงจรกรองความถี่จะไม่เสถียรภาพ เนื่องจากวงจรกรองความถี่แบบดิจิตอลชนิด IIR ไม่มีความเป็นเชิงเส้นทางเฟส

ในความเป็นจริง ข้อจำกัดทางกายภาพที่เอาออกไป อาจทำให้วงจรกรองความถี่ทำงานอยู่ได้ แต่เป็นไปได้น้อยมาก ในทางกลับกันคุณสมบัติทั้งหมดจะสัมพันธ์กับสัญญาณเข้า $x(n)$ สัญญาณส่งผ่าน $x(-n)$ ไปจนถึงคุณสมบัติในวงกรองแบบดิจิตอล $H(z)$ ตลอดจนถึงเวลาในการแปลงกลับทางเอาต์พุตของ $H(z)$ ดังนั้น ในการออกแบบวงจรกรองความถี่แบบดิจิตอลชนิด IIR จึงต้องระบุคุณสมบัติเพื่อผลตอบแทนทางขนาดเพียงอย่างเดียว ทั้งนี้ไม่ได้หมายความว่าผลตอบแทนทางเฟสจะไม่มีผลสำคัญ เมื่อคุณสมบัติทางขนาด และเฟสมีความสัมพันธ์กัน

2.8.1 การออกแบบวงจรกรองความถี่แบบดิจิตอลชนิด IIR โดยวิธีการประมาณค่า

ตัวประกอบ

วิธีการง่ายๆ วิธีหนึ่งในการแปลงวงจรกรองความถี่แบบแอนะล็อกไปสู่วงจรกรองความถี่แบบดิจิตอล คือ การประมาณค่าจากสมการเชิงอนุพันธ์ ด้วยวิธีการใช้สมการผลต่างสืบเนื่อง (Difference equation)

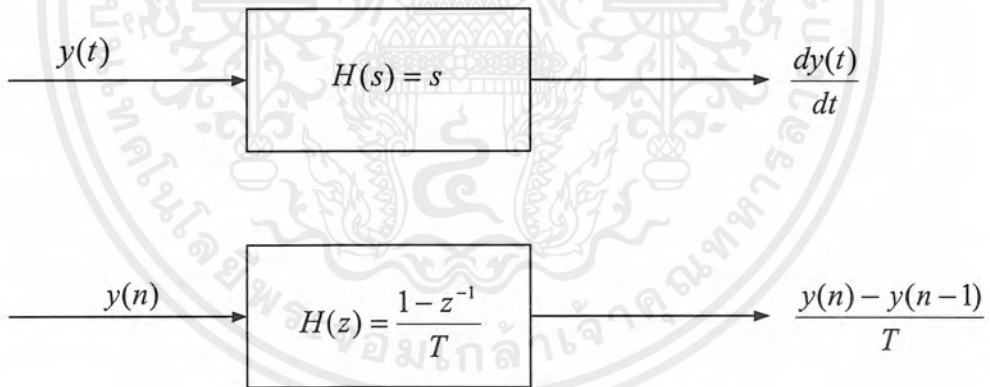
$$\sum_{k=0}^N \alpha_k \frac{d^k y(t)}{dt^k} = \sum_{k=0}^M \beta_k \frac{d^k x(t)}{dt^k}$$

ตัวประกอบ $dy(t)/dt$ ที่เวลา $t = nT$ นั้นจะแทนด้วยสมการผลต่างสืบเนื่องย้อนหลัง (Backward difference) ที่ว่า $[y(nT) - y(nT - 1)/T]$ ดังนี้

$$\begin{aligned} \left. \frac{dy(t)}{dt} \right|_{t=nT} &= \frac{y(nT) - y(nT - T)}{T} \\ &= \frac{y(n) - y(n-1)}{T} \end{aligned} \quad (2.45)$$

เมื่อ T คือ ช่วงเวลาการสุ่มสัญญาณ (sampling) และ $y(n) \equiv y(nT)$

ความแตกต่างระหว่างวงจรรองความถี่แบบแอนะล็อกกับวงจรรองความถี่แบบดิจิทัล คือ แบบแอนะล็อกเอาต์พุต $dy(t)/dt$ จะให้ $H(s) = s$ ในขณะที่แบบดิจิทัลเอาต์พุตของ $[y(nT) - y(nT - 1)/T]$ จะใช้ $H(z) = (1 - z^{-1})/T$ ซึ่งสามารถแสดงความแตกต่างได้ดังรูปที่ 2.17



รูปที่ 2.17 ความแตกต่างระหว่างวงจรรองความถี่แบบแอนะล็อกกับวงจรรองความถี่แบบดิจิทัล

สมการสำหรับความสัมพันธ์ระหว่างกันจะได้

$$s = \frac{1 - z^{-1}}{T} \quad (2.46)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวประกอบอันดับสอง $d^2 y(t)/dt^2$ ที่ถูกแทนด้วยผลต่างอันดับสองสามารถแสดงได้ดังนี้

$$\begin{aligned} \left. \frac{d^2 y(t)}{dt^2} \right|_{t=nT} &= \frac{d}{dt} \left[\left. \frac{dy(t)}{dt} \right]_{t=nT} \\ &= \frac{[y(nT) - y(nT - T)]/T - [y(nT - T) - y(nT - 2T)]/T}{T} \\ &= \frac{y(n) - 2y(n-1) + y(n-2)}{T^2} \end{aligned} \quad (2.47)$$

จากสมการที่ 2.47 ในโดเมนความถี่จะได้สมการ

$$s^2 = \frac{1 - 2z^{-1} + z^2}{T^2} = \left(\frac{1 - z^{-1}}{T} \right)^2 \quad (2.48)$$

ดังนั้น ที่ความต้องการอันดับอื่นๆ จะสามารถเขียนสมการในรูปแบบทั่วไป ได้ดังนี้

$$s^k = \left(\frac{1 - z^{-1}}{T} \right)^k \quad (2.49)$$

เนื่องจากฟังก์ชันของระบบสำหรับวงจรกรองความถี่แบบดิจิทัลชนิด IIR จะหาได้จากการประมาณค่าของตัวประกอบ โดยการจำกัดผลต่าง ซึ่งจะได้

$$H(z) = H_a(s) \Big|_{s=(1-z^{-1})/T} \quad (2.50)$$

$H_a(s)$ เป็นสมการในแบบแอนะล็อกซึ่งหาได้จากสมการที่ 2.50

สำหรับการแปลงค่าจากระนาบเอสไปสู่อานาเบส จะให้ความสัมพันธ์ซึ่งเขียนรูปใหม่ได้เป็น

$$z = \frac{1}{1 - sT} \quad (2.51)$$

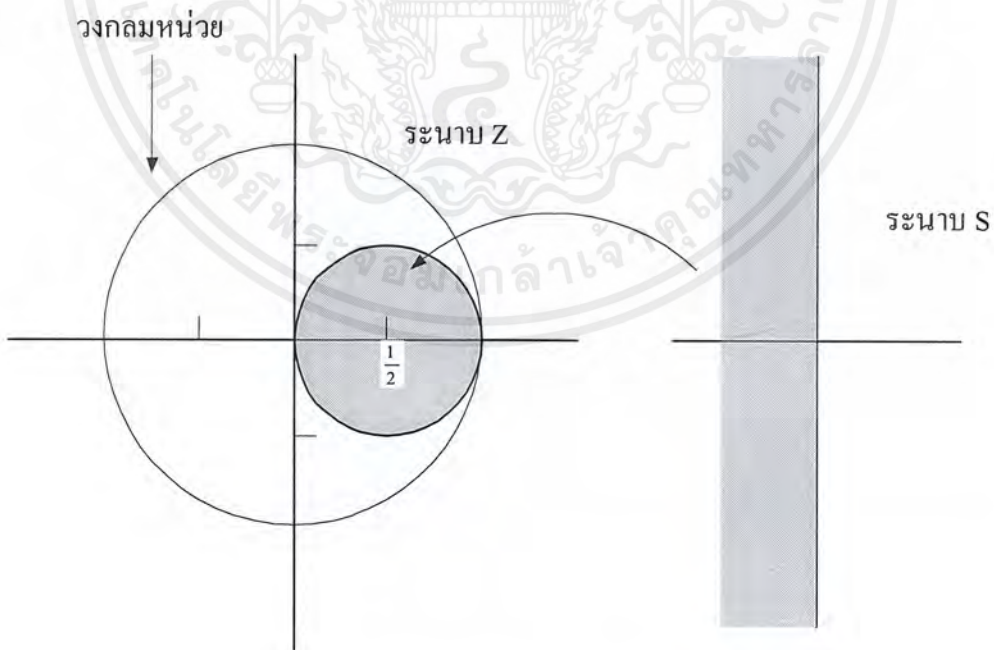
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่า $s = j\Omega$ จะได้

$$\begin{aligned} z &= \frac{1}{1 - j\Omega T} \\ &= \frac{1}{1 + \Omega^2 T^2} + j \frac{\Omega T}{1 + \Omega^2 T^2} \end{aligned} \quad (2.52)$$

โดย Ω จะเปลี่ยนค่าอยู่ในช่วง $-\infty$ ถึง ∞ ตำแหน่งของการแปลงในระนาบแซคอยู่ภายในวงกลมหนึ่งหน่วย ซึ่งมีรัศมี $\frac{1}{2}$ และมีจุดศูนย์กลางอยู่ที่จุด $\frac{1}{2}$ ซึ่งแสดงในรูปที่ 2.18

สำหรับการแปลงจุดจากระนาบเอสไปสู่ระนาบแซคนั้น หากว่าสามารถแปลงทุกจุดในระนาบครึ่งซ้ายลงภายในวงกลมหนึ่งหน่วย และแปลงทุกจุดในระนาบครึ่งขวาออกนอกของวงกลมหนึ่งหน่วยได้จะทำให้ได้วงจรรองความถี่แบบแอนะล็อกที่มีเสถียรรูป ซึ่งจะนำไปสู่การแปลงเป็นวงจรรองแบบดิจิทัลที่มีเสถียรรูปได้ อย่างไรก็ตาม ตำแหน่งของโพลสำหรับวงจรรองความถี่แบบดิจิทัลจะถูกจำกัดให้มีค่าความถี่น้อยๆ ด้วยเหตุนี้เอง วิธีการนี้จึงเหมาะสำหรับการออกแบบวงจรรองความถี่ผ่านความถี่ต่ำ และวงจรรองความถี่แถบความถี่ผ่าน ซึ่งวงจรรองความถี่ทั้งสองประเภทมีความถี่เรโซแนนซ์ต่ำ



รูปที่ 2.18 การแปลงจุดจากระนาบเอสไปสู่วงกลมรัศมี 1/2 ในระนาบแซค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพยายามที่เอาชนะข้อจำกัดการแปลงระนาบดังกล่าว จึงมีการคิดด้วยการแปลงที่ส่วนประกอบที่แน่นอน ทำให้ได้สมการที่อยู่ในรูปของ

$$\left. \frac{dy(t)}{dt} \right|_{t=nT} = \frac{1}{T} \sum_{k=1}^L \alpha_k \frac{y(nT+kT) - y(nT-kT)}{T} \quad (2.53)$$

โดย $\{\alpha_k\}$ คือ ส่วนประกอบที่สามารถเลือกประมาณค่าได้ดีที่สุด

ผลลัพธ์การแปลงระหว่างระนาบเอสกับระนาบแซด แสดงได้ดังนี้

$$s = \frac{1}{T} \sum_{k=1}^L \alpha_k (z^k - z^{-k}) \quad (2.54)$$

เมื่อ $z = e^{j\omega}$ จะได้

$$s = j \frac{2}{T} \sum_{k=1}^L \alpha_k \sin \omega k \quad (2.55)$$

สมการที่ 2.54 เป็นส่วนของจินตภาพ และจะได้รับความสัมพันธ์ระหว่างแปลงความถี่ระหว่างทั้งสองแบบเป็น

$$\Omega = \frac{2}{T} \sum_{k=1}^L \alpha_k \sin \omega k \quad (2.56)$$

สำหรับการเลือกสัมประสิทธิ์ $\{\alpha_k\}$ นั้น ต้องเป็นค่าที่ทำให้สามารถแปลงแกนจินตภาพ $j\Omega$ ไปสู่วงกลมหนึ่งหน่วยได้ ยิ่งไปกว่านั้น จุดในระนาบระนาบครึ่งซ้ายของระนาบเอส ต้องสามารถแปลงไปอยู่ภายในวงกลมหนึ่งหน่วยในระนาบแซดได้

2.8.2 การออกแบบวงจรกรองความถี่แบบดิจิทัลชนิด IIR โดยวิธีการอิมพัลส์อินวาเรียนซ์

วิธีการอิมพัลส์อินวาเรียนซ์ (Impulse invariance) เป็นวิธีการออกแบบวงจรกรองความถี่แบบดิจิทัลชนิด IIR โดยการให้ผลตอบสนองอิมพัลส์ของวงจรกรองความถี่แบบดิจิทัล $h(n)$ มีค่าเท่ากับหรือใกล้เคียงกับผลตอบสนองอิมพัลส์ของวงจรกรองความถี่แบบอนาล็อก ซึ่งใช้วิธีการสุ่มตัวอย่างด้วยสมการที่ 2.57

$$h(n) \equiv h(nT) \quad n = 0, 1, 2, 3, \dots \quad (2.57)$$

โดยที่ T เป็นระยะห่างของการสุ่ม

สัญญาณแอนะล็อกต่อเนื่อง $x_a(t)$ เมื่อถูกสุ่มด้วยอัตราสุ่มเท่ากับ $F_s = 1/T$ ครั้งต่อวินาที จะได้สเปกตรัมเป็น $x_a(F)$ สเปกตรัมของสัญญาณการสุ่มจะเป็นลักษณะของสัญญาณซ้ำที่มีความห่างเท่ากับ $F_s x_a(F)$ โดยมีคาบเท่ากับ F_s ซึ่งสามารถแสดงความสัมพันธ์ได้เป็น

$$x(f) = F_s \sum_{k=-\infty}^{\infty} x_a[(f - k)F_s] \quad (2.58)$$

โดยที่ $f = F/F_s$ เป็นการนอร์มอลไลซ์ความถี่

วงจรกรองความถี่แบบแอนะล็อกจะมีผลตอบสนองอิมพัลส์ด้วยผลตอบสนองทางความถี่เป็น $H_a(F)$ สำหรับวงจรกรองความถี่แบบดิจิทัลกับผลตอบสนองต่อหน่วยการสุ่ม $h(n) = h_a(nT)$ จะมีผลตอบสนองทางความถี่ ดังนี้

$$H(f) = F_s \sum_{k=-\infty}^{\infty} H_a[(f - k)F_s] \quad (2.59)$$

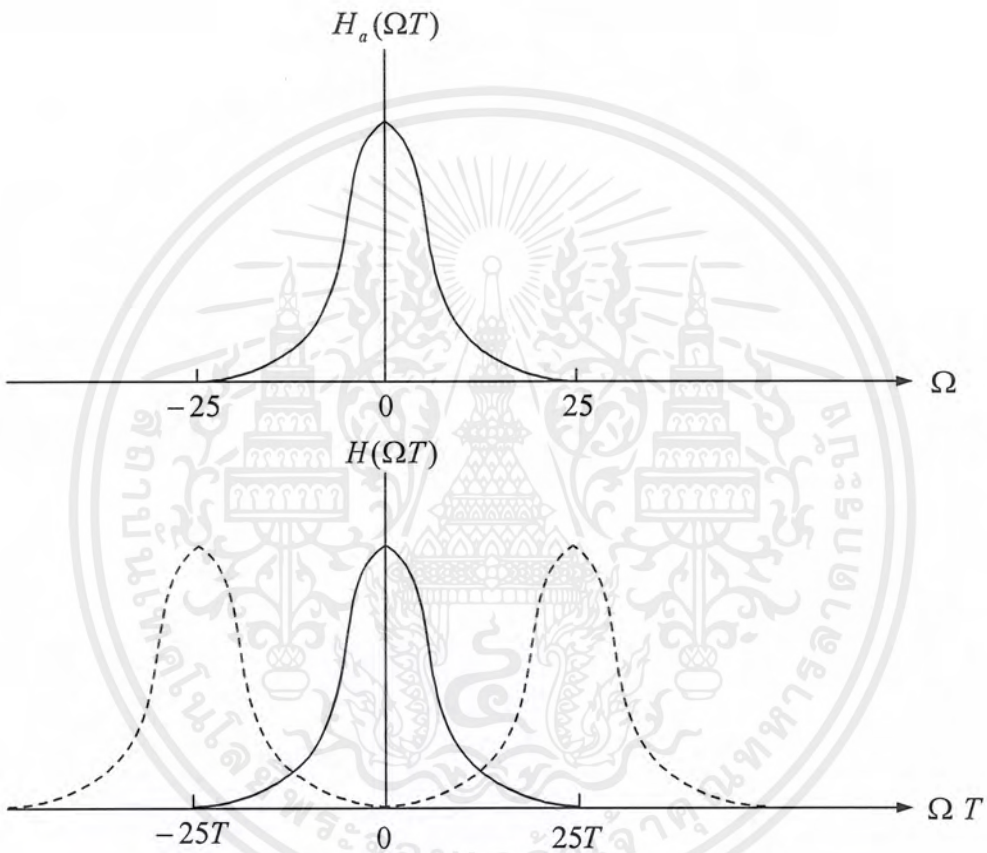
เขียนในรูปของ $H(\omega)$ ได้เป็น

$$H(\omega) = F_s \sum_{k=-\infty}^{\infty} H_a[(\omega - 2\pi k)F_s] \quad (2.60)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเขียนอยู่ในรูปของ $H(\Omega T)$ ได้เป็น

$$H(\Omega T) = \frac{1}{T} \sum_{k=-\infty}^{\infty} H_a \left[\left(\Omega - \frac{2\pi k}{T} \right) \right] \quad (2.61)$$



รูปที่ 2.19 ผลตอบสนองทางความถี่ $H_a(\Omega)$ ของวงจรกรองความถี่แบบแอนะล็อกและผลตอบสนองทางความถี่ของวงจรกรองความถี่แบบดิจิทัลที่เกิดปรากฏการณ์เอเลียซซิง

จากรูปที่ 2.19 แสดงให้เห็นถึงผลตอบสนองของวงจรกรองความถี่ผ่านความถี่ต่ำในแบบแอนะล็อกกับผลตอบสนองทางความถี่ในระบบดิจิทัล จะเห็นได้ว่าวงจรกรองความถี่แบบดิจิทัลจะให้ผลตอบสนองทางความถี่ $H(\omega)$ ที่มีคุณสมบัติของผลตอบสนองทางความถี่ตรงกับวงจรกรองความถี่แบบแอนะล็อก ถ้าอัตราการสุ่มเล็กลงให้มีขนาดเล็กเพียงพอที่จะทำให้ผลตอบสนองสมบูรณ์หากค่า T มีค่าน้อยไม่เพียงพอที่จะเกิดปรากฏการณ์เอเลียซซิง (aliasing effect) คือเป็นการ

ทับซ้อนของสเปกตรัมทำให้สเปกตรัมของสัญญาณเพิ่มขึ้น ยิ่งในย่านความถี่สูงความผิดเพี้ยนก็จะยิ่งมาก ดังนั้น วิธีการอิมพัลส์อินวาเรียนซ์จึงไม่เหมาะที่จะใช้ในการออกแบบวงจรกรองความถี่ย่านความถี่สูง

วิธีการแปลงจกระหว่างระนาบเอสไปสู่อะนาบแซด ด้วยประมวลผลการสุ่ม ดังนั้น การแปลงสมการที่ 2.61 จากแซดทรานส์ฟอร์มของ $h(n)$ ไปสู่รูปแบบการแปลงลาปลาซของ $h(t)$ จะมีความสัมพันธ์กันดังนี้

$$H(z)|_{z=e^{sT}} = \frac{1}{T} \sum_{k=-\infty}^{\infty} H_a(s - j\frac{2\pi k}{T}) \quad (2.62)$$

โดยที่

$$H(z) = \sum_{n=0}^{\infty} h(n)z^{-n}$$

$$H(z)|_{z=e^{sT}} = \sum_{n=0}^{\infty} h(n)e^{-sTn} \quad (2.63)$$

โดย $s = j\Omega$

ดังนั้น เงื่อนไขการแปลงจกระนาบเอสไปสู่อะนาบแซดจะเป็นไปตามความสัมพันธ์ที่ว่า

$$z = e^{sT} \quad (2.64)$$

ถ้าแทน $s = \sigma + j\Omega$ จากนั้นแปลงค่า z เป็นรูปเชิงขั้วจาก $z = re^{j\omega}$ จะแสดงได้เป็น

$$re^{j\omega} = e^{\sigma T} e^{j\Omega T}$$

จะได้

$$r = e^{\sigma T}$$

$$\omega = \Omega T \quad (2.65)$$

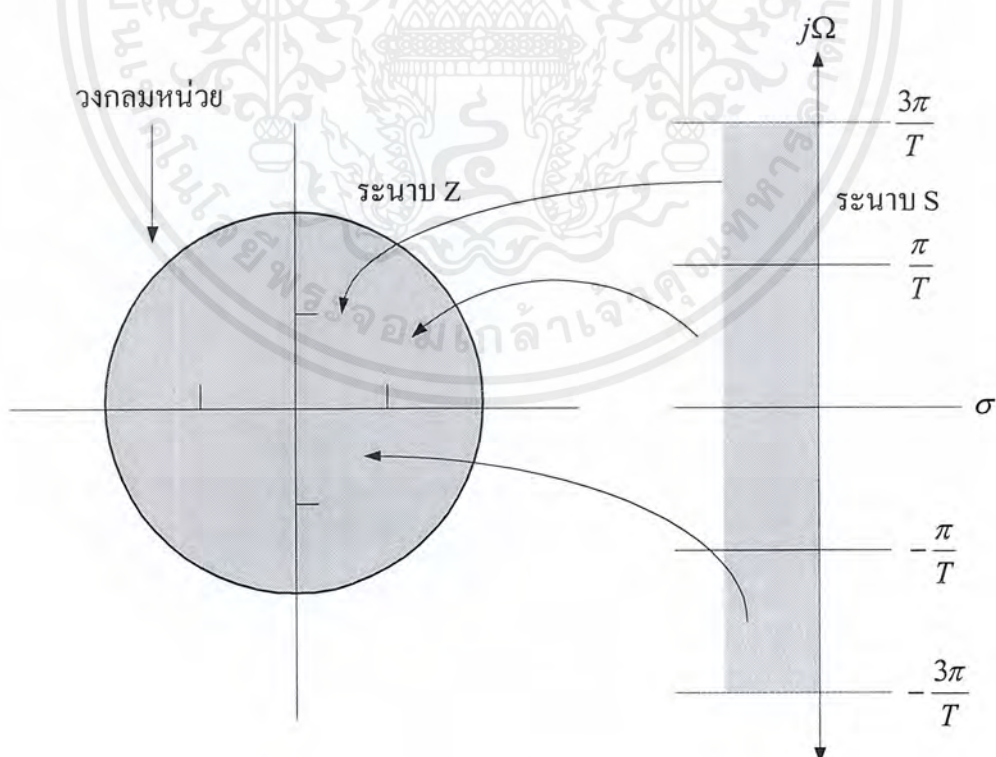
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการนี้ผลที่ได้คือ $\sigma < 0$ เมื่อ $0 < r < 1$ และ $\sigma > 0$ เมื่อ $r > 1$ และเมื่อ $\sigma = 0$ จะได้ $r = 1$ ดังนั้น จุดในระนาบครึ่งซ้ายจะแปลงสู่ภายในวงกลมหนึ่งหน่วยในระนาบแซด และจุดในระนาบครึ่งขวาจะแปลงอยู่ภายนอกของวงกลมหนึ่งหน่วยในระนาบแซด

สำหรับการแปลงแกน $j\Omega$ ลงในวงกลมหนึ่งหน่วยของระนาบจะไม่ใช้การแปลงแบบจุดต่อจุด เนื่องจาก ω มีค่าที่ต่างจากตัวอื่น คือ มีค่าเกินกว่าช่วง $-\pi$ ถึง π และการแปลง $\omega = \Omega T$ ที่มีช่วงระหว่าง $-\pi/T \leq \Omega \leq \pi/T$ แปลงลงในลักษณะเดียวกันกับค่าของ $-\pi \leq \omega \leq \pi$ ยิ่งกว่านั้น ความถี่ในช่วง $\pi/T \leq \Omega \leq 3\pi/T$ ก็ทำเช่นเดียวกัน ดังนั้น ถ้าเขียนอยู่ในรูปทั่วไปได้ว่า

$$(2k-1)\pi/T \leq \Omega \leq (2K+1)\pi/T \quad \text{เมื่อ } k \text{ เป็นจำนวนเต็ม}$$

ดังนั้น การแปลงจากความถี่แบบแอนะล็อก Ω ไปสู่การแปลงความถี่ ω ในโดเมนดิจิทัล จะเป็นการแปลงในลักษณะหลายจุดต่อหนึ่งจุด ซึ่งจะทำให้เกิดปรากฏการณ์เอลิซซิงระหว่างการสุ่มได้ ดังรูปที่ 2.18 แสดงถึงการแปลงจากระนาบเอสไปสู่ระนาบแซดที่มีความสัมพันธ์ตามสมการที่ 2.64



รูปที่ 2.20 การแปลงจากสมการ $z = e^{sT}$ จากระนาบเอสไปสู่ระนาบแซด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การศึกษาผลจากวิธีการออกแบบด้วยวิธีอิมพัลส์อินวาเรียนซ์บนคุณสมบัติที่เป็นจริงของ วงจรกรองความถี่จะใช้ การให้ฟังก์ชันระบบของวงจรกรองความถี่แบบแอนะล็อกให้อยู่ในรูปของ เศษส่วนย่อย (partial-fraction form) ด้วยการสมมติว่าโพลของวงจรกรองความถี่แบบแอนะล็อกนั้น แยกออกมาต่างหากซึ่งหาได้จากสมการที่ 2.66

$$H_a(s) = \sum_{k=1}^N \frac{c_k}{s - \rho_k} \quad (2.66)$$

โดยที่ $\{\rho_k\}$ เป็นโพลของวงจรกรองความถี่แบบแอนะล็อก
 $\{c_k\}$ เป็นสัมประสิทธิ์ในฟังก์ชันเศษส่วนย่อย

ทำให้เกิดผลคือ

$$h_a(t) = \sum_{k=1}^N c_k e^{\rho_k t} \quad t \geq 0 \quad (2.67)$$

ถ้าทดลองสุ่ม $h_a(t)$ ที่เวลา $t = nT$ จะได้

$$\begin{aligned} h(n) &= h_a(nT) \\ &= \sum_{k=1}^N c_k e^{\rho_k nT} \end{aligned} \quad (2.68)$$

จากนั้นแทนค่าจากสมการที่ 2.68 ในฟังก์ชันระบบจะได้

$$\begin{aligned} H(z) &= \sum_{n=0}^{\infty} h(n) z^{-n} \\ &= \sum_{n=0}^{\infty} \left(\sum_{k=1}^N c_k e^{\rho_k nT} \right) z^{-n} \\ &= \sum_{n=0}^{\infty} c_k \sum_{k=1}^N (e^{\rho_k T} z^{-1})^n \end{aligned} \quad (2.69)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลรวมของสมการที่ 2.69 เมื่อ $\rho k < 0$ จะได้ว่า

$$\sum_{n=0}^{\infty} (e^{\rho k T} z^{-1})^n = \frac{1}{1 - e^{\rho k T} z^{-1}} \quad (2.70)$$

ดังนั้น ฟังก์ชันระบบของวงจรกรองความถี่แบบดิจิทัลชนิด IIR จะได้ว่า

$$H(z) = \sum_{k=1}^N \frac{c_k}{1 - e^{\rho k T} z^{-1}} \quad (2.71)$$

จะสังเกตได้ว่าโพลของวงจรกรองความถี่แบบดิจิทัลจะอยู่ที่

$$z_k = e^{\rho k T} \quad k = 1, 2, 3, \dots, N \quad (2.72)$$

2.8.3 การออกแบบวงจรกรองความถี่แบบดิจิทัลชนิด IIR โดยวิธีการแปลงเชิงเส้นคู่

การแปลงจากระนาบเอสไปสู่อานาโลก สำหรับวิธีการที่ได้กล่าวก่อนหน้านี้นี้มีคุณสมบัติไม่ครอบคลุมตามเงื่อนไข การออกแบบโดยวิธีการอิมพัลส์อินวาเรียนซ์ก็มีปัญหาเรื่องปรากฏการณ์เอเลียสซิงอันเนื่องมาจากการส่งไม่เป็นแบบหนึ่งต่อหนึ่ง จึงเกิดวิธีการแปลงใหม่คือการประมาณค่าอินทิเกรตด้วย กฎการอินทิเกรตแบบสี่เหลี่ยมคางหมู (Trapezoidal formular) และทำการประมาณสมการเชิงอนุพันธ์ด้วยการใช้ผลต่างสี่เหลี่ยมคางหมู ผลของการที่ได้จากการประมาณค่านี้เรียกว่า การแปลงเชิงเส้นคู่ (Bilinear transform) ซึ่งสามารถแสดงให้เห็นได้จากตัวอย่างต่อไปนี้

สมมติให้วงจรกรองความถี่แบบแอนะล็อกมีฟังก์ชันระบบเป็น

$$H(s) = \frac{b}{s + a} \quad (2.73)$$

ซึ่งเขียนสมการเชิงอนุพันธ์ได้เป็น

$$\frac{dy(t)}{dt} + ay(t) = bx(t) \quad (2.74)$$

ทำการอินทิเกรต และประมาณค่าด้วยกฎการอินทิเกรตแบบสี่เหลี่ยมคางหมูจะได้

$$y(t) = \int_0^t y'(\tau) d\tau + y(t_0) \quad (2.75)$$

โดย $y'(t)$ เป็นส่วนประกอบของ $y(t)$

อินทิเกรตด้วยกฎการอินทิเกรตแบบสี่เหลี่ยมคางหมู โดยให้ $t = nT$ และ $t_0 = nT - T$ จะ
ได้

$$y(nT) = \frac{T}{2} [y'(nT) + y'(nT - T)] + y(nT - T) \quad (2.76)$$

ดังนั้น สมการอนุพันธ์ที่ 2.76 ที่ $t = nT$ จะได้

$$y'(nT) = -ay(nT) + bx(nT) \quad (2.77)$$

แทนสมการที่ 2.76 ในสมการที่ 2.77 และหาสมการผลต่างสำหรับระบบเวลา discrete โดย
ให้ $y(n) \equiv y(nT)$ และให้ $x(n) \equiv x(nT)$ จะได้

$$\left(1 + \frac{aT}{2}\right)y(n) - \left(1 - \frac{aT}{2}\right)y(n-1) = \frac{bT}{2}[x(n) + x(n-1)] \quad (2.78)$$

แปลงให้อยู่ในรูปของแซดทรานส์ฟอร์มได้เป็น

$$\left(1 + \frac{aT}{2}\right)Y(z) - \left(1 - \frac{aT}{2}\right)z^{-1}Y(z) = \frac{bT}{2}(1 + z^{-1})X(z)$$

ดังนั้น จะได้ฟังก์ชันระบบสำหรับวงจรรองความถี่แบบดิจิทัลเป็น

$$H(z) = \frac{Y(z)}{X(z)} = \frac{(bT/2)(1 + z^{-1})}{1 + aT/2 - (1 - aT/2)z^{-1}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จัดรูปได้เป็น

$$H(z) = \frac{b}{\frac{2}{T} \left(\frac{1-z^{-1}}{1+z^{-1}} \right) + a} \quad (2.79)$$

สำหรับการแปลงจากระนาบเอสไปสู่อะนาบแซด จะได้

$$s = \frac{2}{T} \left(\frac{1-z^{-1}}{1+z^{-1}} \right) \quad (2.80)$$

ซึ่งสมการที่ได้นี้เรียกว่าการแปลงเชิงเส้นคู่ ซึ่งสมการเป็นรูปแบบทั่วไปสามารถใช้ได้กับความถี่ทุกอันดับ แม้ว่ารูปแบบที่ได้เป็นการได้มาจากสมการเชิงอนุพันธ์อันดับหนึ่งก็ตาม จากที่กล่าวมาคุณสมบัติของการแปลงเชิงเส้นคู่ทำให้ทราบอีกว่า

$$z = re^{j\omega}$$

$$s = \sigma + j\Omega$$

ดังนั้น สมการที่ 2.80 สามารถเขียนได้เป็น

$$\begin{aligned} s &= \frac{2}{T} \frac{z-1}{z+1} \\ &= \frac{2}{T} \frac{re^{j\omega} - 1}{re^{j\omega} + 1} \\ &= \frac{2}{T} \left(\frac{r^2 - 1}{1+r+2r \cos \omega} + j \frac{2r \sin \omega}{1+r+2r \cos \omega} \right) \end{aligned}$$

ทำให้ได้

$$\sigma = \frac{2}{T} \frac{r^2 - 1}{1+r+2r \cos \omega} \quad (2.81)$$

$$\Omega = \frac{2}{T} \frac{2r \sin \omega}{1+r+2r \cos \omega} \quad (2.82)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

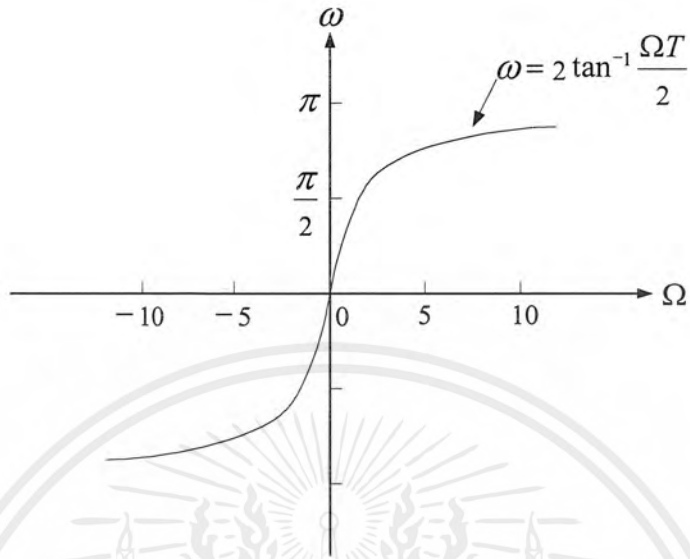
จากสมการดังกล่าว ทำให้เกิดผลคือ $r < 1$ เมื่อ $\sigma < 0$ และ $r > 1$ เมื่อ $\sigma > 0$ เงื่อนไขนี้ จะทำให้ทุกจุดในระนาบครึ่งซ้ายในระนาบเอส แปลงไปสู่ภายในวงกลมหนึ่งหน่วยในระนาบแซด และจุดในระนาบครึ่งขวาแปลงไปสู่ภายนอกของวงกลมหนึ่งหน่วยในระนาบแซด และที่ $r = 1$ เมื่อ $\sigma = 0$ และ

$$\begin{aligned}\Omega &= \frac{2 \sin \omega}{T(1 + \cos \omega)} \\ &= \frac{2}{T} \tan \frac{\omega}{2}\end{aligned}\quad (2.83)$$

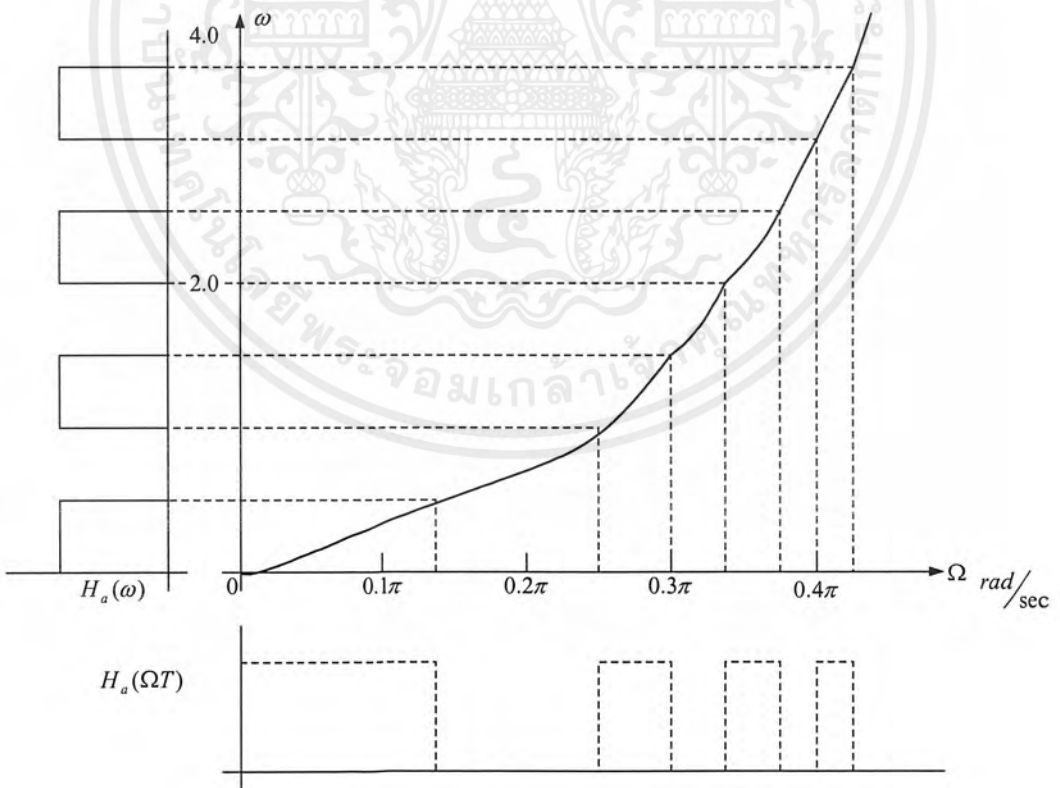
หรือ

$$\omega = 2 \tan^{-1} \frac{\Omega T}{2}\quad (2.84)$$

ความสัมพันธ์ในสมการที่ 2.84 ระหว่างการเปลี่ยนความถี่ในสองโดเมนแสดงดังรูปที่ 2.21 การทำงานตลอดช่วงของ Ω จะถูกแปลงอยู่ในช่วง $-\pi \leq \omega \leq \pi$ อย่างไรก็ตาม การแปลงนี้เป็นการแปลงลักษณะไม่เป็นเชิงเส้น เนื่องจากเป็นฟังก์ชันแบบอาร์คแทนเจนต์ ซึ่งช่วงความถี่สูงที่ได้จากการแปลงจะหดแคบลงไป ความถี่สูงมากขึ้นการหดแคบก็มากขึ้น เรียกผลที่เกิดขึ้นนี้ว่าปรากฏการณ์หดรแคบ (wrapping effect) ดังแสดงในรูปที่ 2.22 บริเวณที่ถือว่าการแปลงถือว่าเสมือนเป็นเชิงเส้นจะอยู่ในช่วงเฉพาะความถี่ $\Omega < 0.3\pi$



รูปที่ 2.21 การแปลงระหว่างความถี่ ω และ Ω ตามวิธีการแปลงเชิงเส้นคู่



รูปที่ 2.22 ปรากฏการณ์หัดแคบ ที่มีผลต่อวงจรกรองความถี่แบบดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 2.84 สามารถเขียนได้อีกรูปแบบหนึ่งได้ดังนี้

$$\Omega = \frac{2}{T} \tan\left(\frac{\omega}{2}\right) \quad (2.85)$$

สมการที่ 2.85 ใช้สำหรับการหา Ω จาก ω สำหรับความถี่ต่ำ ๆ เรากระจายสมการที่ 2.85 ได้ ดังนี้

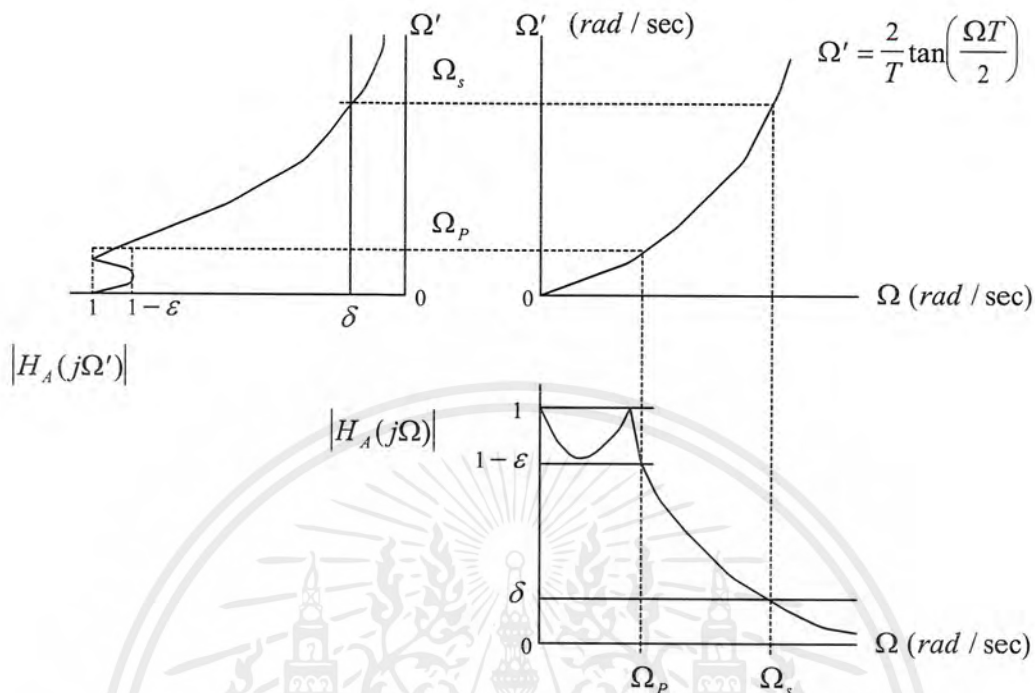
$$\Omega = \frac{2 \sin(\omega / 2)}{T \cos(\omega / 2)} = \frac{2 \left(\frac{\omega}{2} - \frac{\omega^3}{8} + \dots \right)}{T \left(1 - \frac{\omega^2}{4} + \dots \right)} = \frac{\omega}{T}$$

$$\omega = \Omega T \quad (2.86)$$

จากสมการที่ 2.86 เป็นการแสดงให้เห็นว่าในช่องความถี่ต่ำๆ ความสัมพันธ์ระหว่าง Ω กับ ω เป็นไปลักษณะเชิงเส้น แต่ที่ความถี่สูงขึ้นไป ความสัมพันธ์ระหว่าง Ω กับ ω จะไม่เป็นเชิงเส้นอันเกิดจากสมการที่ 2.86 ก็ไม่เป็นเชิงเส้นอยู่แล้ว ผลกระทบจากความไม่เป็นเชิงเส้นนี้ทำให้ผลการตอบสนองความถี่ทั้งขนาดและเฟสที่บริเวณ Ω สูง ๆ จะเพี้ยนไปเมื่อถูกแปลงไปเป็นฟังก์ชัน ω ดังแสดงในรูปที่ 2.20 ความเพี้ยนนี้มีลักษณะหดตัว (Compression) กล่าวคือ Ω มีค่าได้ถึง $\pm\infty$ แต่จะหดตัวมาเป็น $-\omega$ ซึ่งมีค่าสูงสุดเพียง $\pm\pi$ เท่านั้น อย่างไรก็ตามสามารถชดเชยการหดตัวของ Ω ที่ความถี่สูงได้ โดยการชดเชยความถี่ Ω ไว้ล่วงหน้าก่อนโดยการแทนด้วย Ω' และใช้ความสัมพันธ์

$$\Omega' = \frac{2}{T} \tan\left(\frac{\Omega T}{2}\right) \quad (2.87)$$

กราฟแสดงความสัมพันธ์ระหว่าง Ω' และ Ω แสดงดังรูปที่ 2.21



รูปที่ 2.23 ความสัมพันธ์ระหว่าง Ω กับ Ω'

เรียกสมการที่ 2.87 ว่า “Prewarping Procedure” การชดเชยความไม่เป็นเชิงเส้นตามที่กล่าวมาเบื้องต้นจะเป็นจริงหรือไม่ ทำได้โดยการแทน Ω' ในสมการที่ 2.109 ได้ดังนี้

$$\omega = 2 \tan^{-1} \left[\frac{\Omega' T}{2} \right] = \Omega T \quad (2.88)$$

เปรียบเทียบสมการที่ 2.86 กับสมการที่ 2.88 จะเห็นได้ว่ามีลักษณะความเป็นเชิงเส้นเหมือนกัน สามารถหาสูตรทั่วไปสำหรับหาความสัมพันธ์ระหว่าง ω กับ Ω ได้ดังนี้

$$\omega_i = \Omega_i T \quad (2.89)$$

และจากสมการที่ 2.85 เขียนเป็นสูตรทั่วไปได้ดังนี้

$$\Omega_i = \frac{2}{T} \tan\left(\frac{\omega_i}{2}\right) \quad (2.90)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $i = 1, 2$

ω = คือ ความถี่เชิงมุมของผลตอบสนองความถี่ของตัวกรองแบบดิจิทัลที่ได้จากการแปลง

Ω = คือ ความถี่เชิงมุมของผลตอบสนองความถี่ของตัวกรองแบบแอนะล็อก

T = คือ คาบเวลาในการสุ่ม

2.9 โครงสร้างของวงจรกรองความถี่แบบดิจิทัลชนิด IIR

การออกแบบสร้างวงจรกรองความถี่แบบดิจิทัล ให้มีข้อกำหนดและคุณสมบัติตามที่ต้องการกระทำได้หลายวิธี อย่างไรก็ตามทุกวิธีการออกแบบ จะได้ผลลัพธ์ออกมาเป็นฟังก์ชันทางคณิตศาสตร์ซึ่งมีชื่อเรียกว่าฟังก์ชันถ่ายโอน (Transfer Function) และให้คุณสมบัติตามที่ต้องการโดยทั่วไปแล้วสำหรับฟังก์ชันถ่ายโอนฟังก์ชันหนึ่ง สามารถนำไปสร้างเป็นวงจรกรองความถี่แบบดิจิทัลได้หลายรูปแบบขึ้นอยู่กับความจำเป็นในการใช้งาน

วงจรกรองความถี่ป้อนกลับแบบดิจิทัลสามารถเขียนอธิบายการทำงานได้ด้วยสมการผลต่างสืบเนื่องดังนี้

$$y(n) = \sum_{i=0}^M a_i x(n-i) + \sum_{i=1}^N b_i y(n-i) \quad (2.91)$$

โดยที่ $x(n)$; $y(n)$ เป็นลำดับสัญญาณเข้าและออกตามลำดับ
 a_i, b_i เป็นสัมประสิทธิ์ของลำดับสัญญาณเข้าและออก

ทำการแปลงแซด ทั้งสองข้าง ได้ฟังก์ชันถ่ายโอนดังนี้

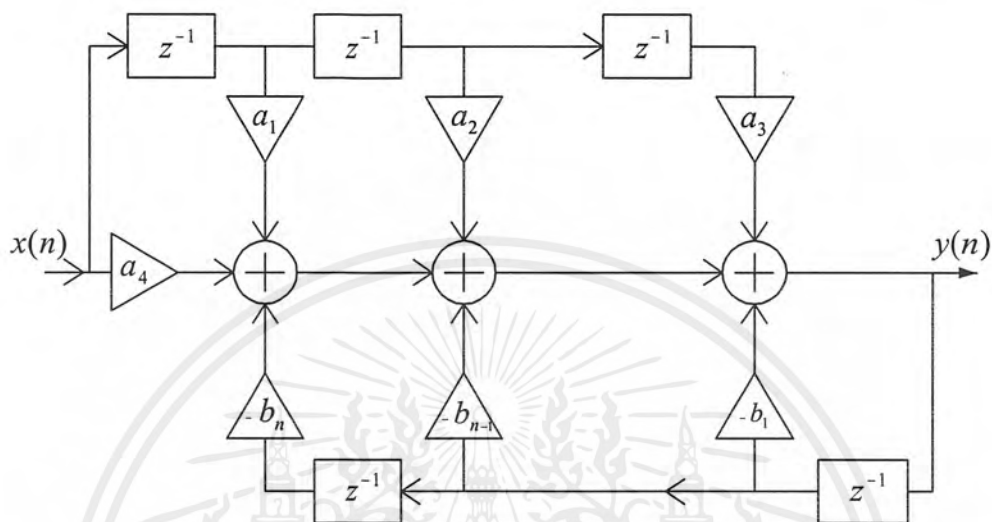
$$H(z) = \frac{Y(z)}{X(z)} = \frac{\sum_{i=0}^M a_i z^{-i}}{\sum_{i=0}^N b_i z^{-i}} \quad (2.92)$$

สมการที่ 2.92 สามารถนำไปสร้างวงจรกรองความถี่ป้อนกลับแบบดิจิทัลได้ 5 แบบ ดังนี้

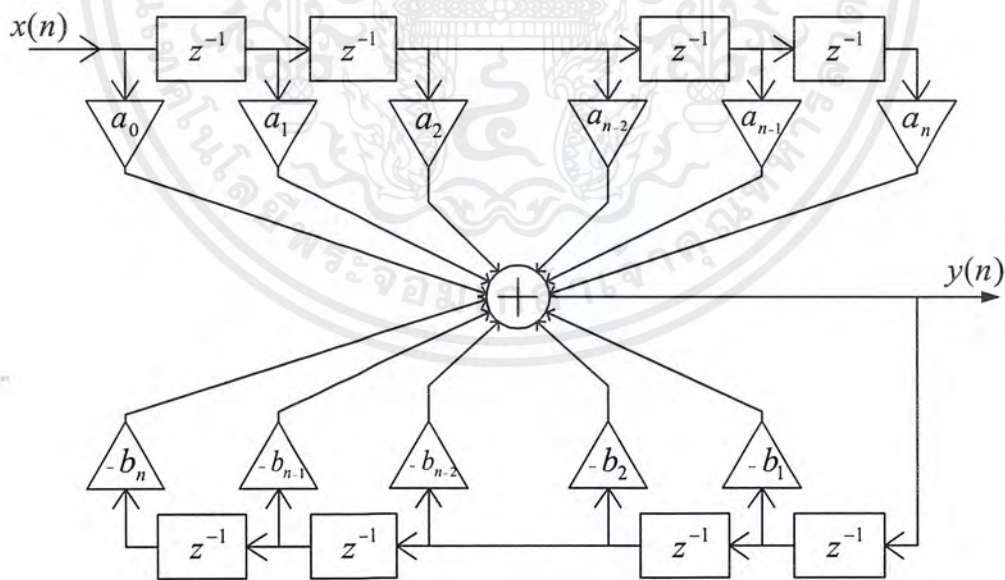
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9.1 โครงสร้างแบบโดยตรง 1 (Direct Form 1 หรือ DF1)

จากสมการที่ 2.114 ให้ $b_0 = 1$ จากนั้นนำมาสร้างเป็นโครงสร้างแสดงดังรูปที่ 2.26



(ก) เขียนแยกตัวบวกสัญญาณ



(ข) รวมตัวบวกสัญญาณตัวเดียว

รูปที่ 2.24 โครงสร้างของวงจรกรองความถี่ป้อนกลับแบบดิจิทัลแบบโดยตรง 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างแบบนี้ใช้อุปกรณ์หน่วยสัญญาณ หรือชิพที่รีจิสเตอร์ถึงสองชุด ชุดหนึ่งสำหรับบรรจุลำดับสัญญาณเข้า $x(n-i)$ อีกชุดหนึ่งสำหรับบรรจุลำดับสัญญาณออก $y(n-i)$ โดยที่ $i = 0, 1, 2 \dots n$ โครงสร้างของวงจรกรองความถี่แบบนี้ไม่เหมาะสำหรับวงจรกรองความถี่ที่มีโพลวางตัวอยู่ใกล้เส้นรอบวงกลมรัศมี 1 หน่วย ทั้งนี้เนื่องจากปรากฏการณ์ไม่เป็นเชิงเส้น เช่น สิ่งรบกวนจากผลการคูณ (Product Quantization Noise) และความไวของสัมประสิทธิ์ (Coefficient Sensitivity) ของวงจรสูง นิยมสร้างเฉพาะกับวงจรที่มีอันดับต่ำ เช่น อันดับหนึ่ง หรืออันดับสอง

2.9.2 โครงสร้างแบบโดยตรง 2 หรือ DF2

โครงสร้างแบบนี้เริ่มด้วยการแยกฟังก์ชันถ่ายโอน หรือ $H(z)$ ออกเป็น 2 วงจรคูณแล้วต่ออนุกรมกันดังนี้

$$H(z) = \frac{Y(z)}{X(z)} = \frac{1}{\sum_{i=0}^N b_i z^{-i}} \left[\sum_{i=0}^M a_i z^{-i} \right] = H_1(z) \cdot H_2(z) \quad (2.93)$$

โดยที่ $H_1(z)$ เป็นวงจรกรองความถี่แบบดิจิทัลที่มีโพลเดี่ยว
 $H_2(z)$ เป็นวงจรกรองความถี่แบบดิจิทัลที่มีซีโรเพียงอย่างเดียว
 $i = 0, 1, 2 \dots M$

ให้

$$H_1(z) = \frac{W(z)}{X(z)} = \frac{1}{\sum_{i=0}^N b_i z^{-i}} \quad (2.94)$$

และ

$$H_2(z) = \frac{W(z)}{X(z)} = \sum_{i=0}^M a_i z^{-i} \quad (2.95)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

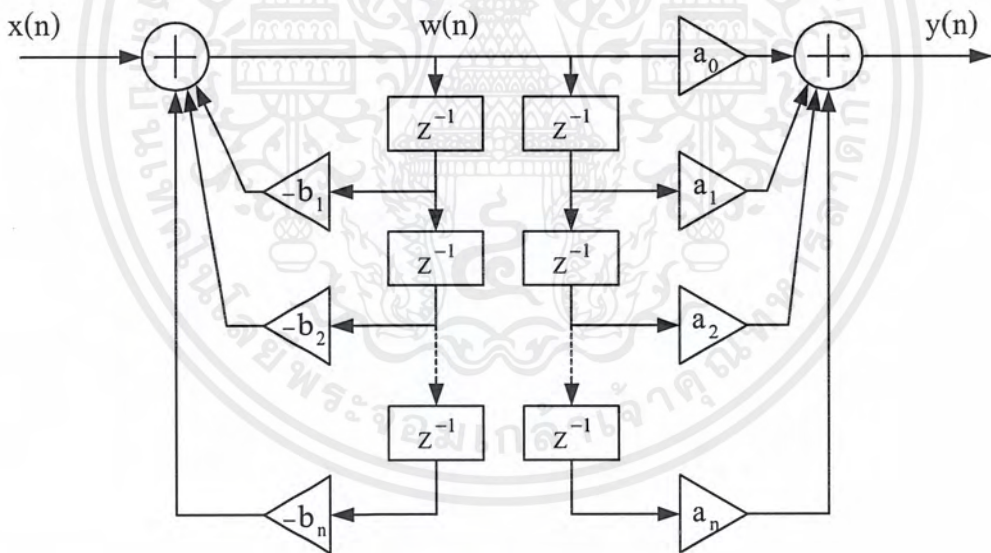
นำสมการที่ 2.94 และสมการที่ 2.95 มาเขียนในรูปสมการผลต่างสืบเนื่องได้ดังนี้

$$w(n) = x(n) - \sum_{i=1}^N b_i w(n-i) \quad (2.96)$$

และ

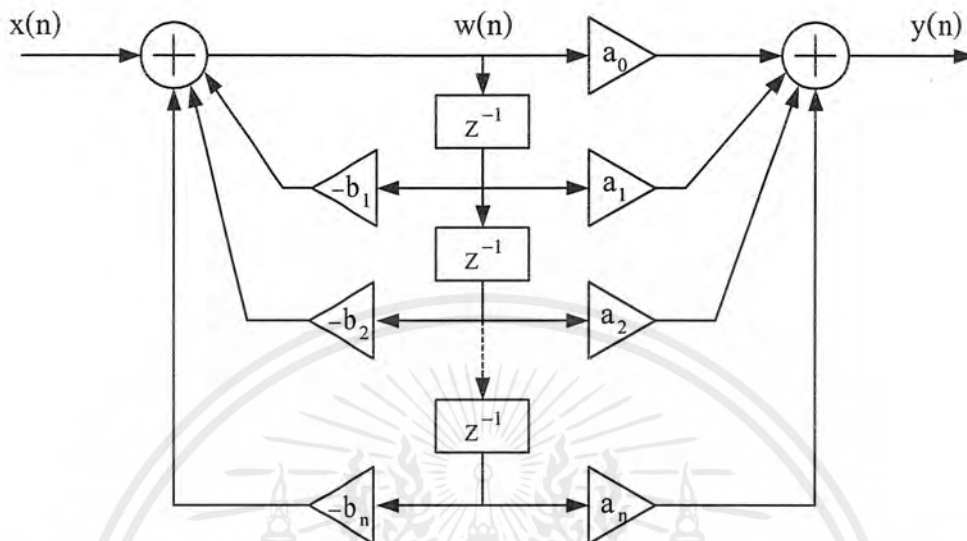
$$y(n) = \sum_{i=0}^N a_i w(n-i) \quad (2.97)$$

นำสมการที่ 2.96 และ 2.97 นำไปเขียนเป็นรูปได้ดังรูปที่ 2.25 โดยให้ $b_0 = 1$



(ก) เขียนแยกอุปกรณ์หน่วยสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) ใช้อุปกรณ์หน่วยสัญญาณร่วมกัน

รูปที่ 2.25 โครงสร้างของวงจรกรองความถี่ป้อนกลับแบบดิจิทัลแบบ โดยตรง 2

จากรูปที่ 2.25 การคำนวณสัญญาณออก $y(n)$ ในครั้งแรกต้องคำนวณหาลำดับสัญญาณออก $w(n)$ ก่อน ซึ่งเป็นสัญญาณระหว่างกลาง (Intermediate Signal) ตามสมการที่ 2.97 แล้วจึงใช้ผลลัพธ์นี้ไปแทนในสมการที่ 2.98 เพื่อคำนวณหา $y(n)$ ซึ่งเป็นลำดับสัญญาณออกตามต้องการ โครงสร้างแบบโดยตรง 2 มีข้อเสีย คือ ให้คุณสมบัติความไม่เป็นเชิงเส้น เช่น สิ่งรบกวนจากผลการคูณ หรือความไวของสัมประสิทธิ์ เหมือนกับโครงสร้างแบบโดยตรง 1 และมีโอกาสเกิดการล้น (Overflow) ได้มากกว่าแบบโดยตรง 1 ส่วนข้อดีของโครงสร้างแบบโดยตรง 1 และโดยตรง 2 นิยมนำไปสร้างตัวกรองกันมาก สืบเนื่องจากลำดับสัญญาณเข้าของตัวคูณทุกตัว ดังแสดงดังรูปที่ 2.24 และรูปที่ 2.25 ลำดับสัญญาณเข้านี้ไม่ได้ขึ้นกับสัญญาณที่เพิ่งคำนวณไปเลย ด้วยเหตุนี้ ทำให้สามารถสร้างวงจรที่สามารถทำการคูณพร้อมๆ กันได้ อันเป็นผลให้การประมวลผลหรือการคำนวณของวงจรมีความเร็วสูง ทำให้แถบความถี่ปฏิบัติงานของวงจรสูงขึ้น

2.9.3 โครงสร้างแบบต่ออนุกรม และโครงสร้างแบบต่อขนาน

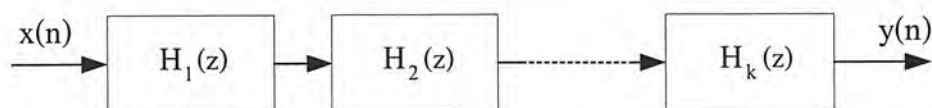
โครงสร้างของวงจรกรองความถี่แบบดิจิทัลที่กล่าวมาข้างต้น คือ แบบโดยตรง 1 และแบบโดยตรง 2 นั้นจะมีปัญหาในการควบคุมปรากฏการณ์ความไม่เป็นเชิงเส้นได้ยาก เมื่อค่าของ M และ N มีค่ามากๆ (นั่นคืออันดับสูงๆ) ดังนั้น จึงนิยมแบ่งย่อยวงจรกรองความถี่แบบดิจิทัลออกเป็นส่วนย่อยๆ อันดับต่ำมาต่ออนุกรมกัน (Cascade Form) หรือต่อขนานกัน วิธีการ คือ นำฟังก์ชันถ่ายโอนมาเขียนในรูปผลคูณย่อยๆ ดังแสดงในสมการที่ 2.98

$$H(z) = \frac{Y(z)}{X(z)} = a_0 \sum_{i=1}^K H_i(z) \quad (2.98)$$

โดยที่ $H_i(z)$ คือ ฟังก์ชันถ่ายโอนของวงจรกรองความถี่แบบดิจิทัลอันดับหนึ่งหรืออันดับสองตามลำดับ
ดังนั้น

$$\left. \begin{aligned} H_i(z) &= \frac{1 + a_{1i} z^{-1}}{1 + b_{1i} z^{-1}} \\ H_i(z) &= \frac{1 + a_{1i} z^{-1} + a_{2i} z^{-2}}{1 + b_{1i} z^{-1} + b_{2i} z^{-2}} \end{aligned} \right\} \quad (2.99)$$

รูปของวงจรกรองความถี่แบบดิจิทัลแบบต่ออนุกรมเขียนได้ดังรูปที่ 2.26 โดยที่ $H_i(z)$ อาจสร้างได้ โดยใช้โครงสร้างแบบโดยตรง 1 หรือแบบโดยตรง 2 โครงสร้างแบบนี้ทำให้ความไวต่อสัมประสิทธิ์ต่ำกว่าแบบโดยตรง 1 และโดยตรง 2 มาก สำหรับสิ่งรบกวนนั้น ถ้าหากทำการ Scaling สัมประสิทธิ์แต่ละภาคให้ดีแล้วสามารถกำจัดสิ่งรบกวนได้



รูปที่ 2.26 โครงสร้างแบบต่ออนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

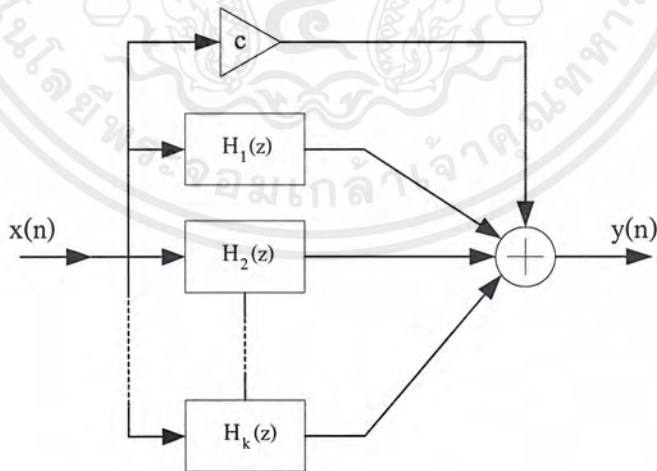
สำหรับโครงสร้างแบบต่อขนาน (Parallel Form) หาได้จากการนำฟังก์ชันถ่ายโอน $H(z)$ มาแยกเป็นเศษส่วนย่อย ดังแสดงในสมการที่ 2.100

$$H(z) = C + \sum_{i=1}^K H_i(z) \quad (2.100)$$

โดยที่ $H_i(z)$ อาจอยู่ในรูปวงจรรองความถี่สัญญาณแบบดิจิทัลอันดับหนึ่ง หรือ อันดับสอง ดังนี้

$$\left. \begin{aligned} H_i(z) &= \frac{a_{0i}}{1 + b_{1i} z^{-1}} \\ H_i(z) &= \frac{a_{0i} + a_{1i} z^{-1}}{1 + b_{1i} z^{-1} + b_{2i} z^{-2}} \end{aligned} \right\} \quad (2.101)$$

โครงสร้างแบบต่อขนาน โดยทั่วไปแล้วให้ระดับของสิ่งรบกวนน้อยกว่าแบบต่ออนุกรม $H_i(z)$ สามารถนำโครงสร้างแบบโดยตรง 1 หรือแบบโดยตรง 2 มาสร้างแบบขนานแสดงดังรูปที่ 2.27



รูปที่ 2.27 โครงสร้างของวงจรรองความถี่แบบดิจิทัลแบบต่อขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9.4 โครงสร้างแบบเศษส่วนต่อเนื่อง

โครงสร้างแบบนี้กระทำได้โดยการหาเศษส่วนต่อเนื่อง (Continuous Fraction) ของฟังก์ชันถ่ายโอน $H(z)$ รูปแบบทั่วไปของฟังก์ชันถ่ายโอนเขียนได้ดังนี้

$$H(z) = \frac{a_n z^{-n} + a_{n-1} z^{-n+1} + \dots + a_1 z^{-1} + a_0}{b_n z^{-n} + b_{n-1} z^{-n+1} + \dots + b_1 z^{-1} + b_0} \quad (2.102)$$

$H(z)$ ในรูปแบบของเศษส่วนต่อเนื่อง เป็นดังนี้

$$H(z) = \alpha_0 + \frac{1}{\beta_1 z^{-1} + \frac{1}{\alpha_1 + \frac{1}{\beta_2 z^{-1} + \dots + \frac{1}{\alpha_n}}}} \quad (2.103)$$

ความสัมพันธ์สัมประสิทธิ์ระหว่างสมการที่ 2.102 และสมการที่ 2.103 หาได้จากตารางของ Routh Array

$$\alpha_0 = \frac{a_n}{b_n}, \beta_1 = \frac{b_n}{c_{n-1}}, \alpha_1 = \frac{c_{n-1}}{d_{n-1}}, \dots \quad (2.104)$$

ตารางที่ 2.1 ตารางของ Routh Array

z^{-n}	a_n	a_{n-1}	a_{n-2}	a_1	a_0
z^{-n}	b_n	b_{n-1}	b_{n-2}	b_1	b_0
z^{-n+1}	c_{n-1}	c_{n-2}	c_{n-3}	c_0	
z^{-n+1}	d_{n-1}	d_{n-2}	d_{n-3}	d_0	
z^{-n+2}	e_{n-1}	e_{n-3}	e_{n-4}		
z^{-n+2}	f_{n-2}	f_{n-3}	f_{n-4}		
....					
....					
....					
1			g_0			
1			H_0			

เวลานี้เราได้ทราบถึงการกระจายเศษส่วนต่อเนื่องแล้ว ต่อไปจะได้ทราบรูปแบบที่เป็นจริงของ $H(z)$ ได้ดังนี้

$$\begin{aligned}
 Y(z) &= H(z) X(z) \\
 &= \left[\alpha_0 + \frac{1}{\beta_1 z^{-1} + \frac{1}{T_1(z)}} \right] X(z) \quad (2.105)
 \end{aligned}$$

$$= \alpha_0 X(z) + H_1(z) X(z) \quad (2.106)$$

โดยที่

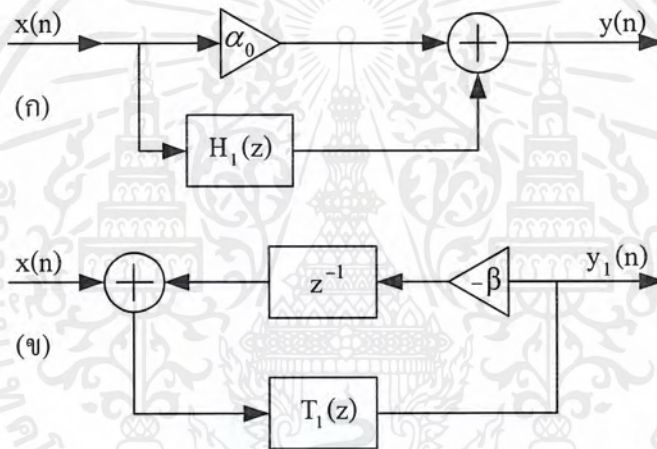
$$H_1(z) = \frac{1}{\beta_1 z^{-1} + \frac{1}{T_1(z)}} \quad (2.107)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ

$$T_1(z) = \alpha_0 + \frac{1}{\beta_1 z^{-1} + \alpha_2 + \frac{1}{\beta_3 z^{-1} + \dots + \frac{1}{\alpha_n}}} \quad (2.108)$$

จากสมการที่ 2.108 มีโครงสร้างแบบต่อขนาน ดังแสดงในรูปที่ 2.28



รูปที่ 2.28 (ก) โครงสร้าง $H(z)$ ตามสมการที่ 2.107

(จ) โครงสร้าง $H(z)$ ตามสมการที่ 2.108

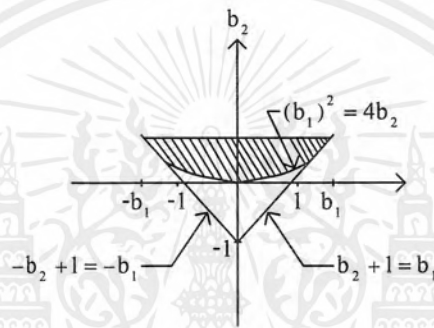
2.9.5 โครงสร้างแบบไบควอดเรติก

ในทางปฏิบัติในการสร้างวงจรกรองความถี่แบบดิจิทัล เพื่อให้ได้อันดับสูงๆ หรืออันดับที่ N นั้น เรานิยมสร้างวงจรกรองความถี่อันดับต่ำๆ มาต่อแบบอนุกรม หรือแบบขนานกัน ทั้งนี้จากผลการควบคุมปรากฏการณ์ไม่เป็นเชิงเส้นให้น้อยทำได้ง่ายกว่า ถ้าหากว่ามีโครงสร้างของวงจรกรองความถี่แบบดิจิทัลภาคย่อยที่มีปรากฏการณ์ที่ไม่เป็นเชิงเส้นต่ำแล้ว การนำวงจรเหล่านี้มาต่อกัน เพื่อให้ได้อันดับที่ N แล้ว ค่อนข้างแน่ใจได้ว่ามีปรากฏการณ์ความไม่เป็นเชิงเส้นต่ำด้วยเหตุผลนี้จึงมีผู้คิดค้นโครงสร้างของวงจรกรองความถี่แบบดิจิทัลอันดับที่ 2 ที่มีปรากฏการณ์

ไม่เป็นเชิงเส้นค่าขึ้นมาหลายรูปแบบ แต่จะกล่าวเฉพาะแบบไบควอดเรติก สมมติว่าเรามีฟังก์ชันแบบไบควอดเรติก (Biquadratic Function) ดังนี้

$$H(z) = \frac{a_0 + a_1 z^{-1} + a_2 z^{-2}}{1 + b_1 z^{-1} + b_2 z^{-2}} \quad (2.109)$$

เงื่อนไขที่ทำให้ฟังก์ชันมีเสถียรภาพ แสดงได้ดังรูปที่ 2.29



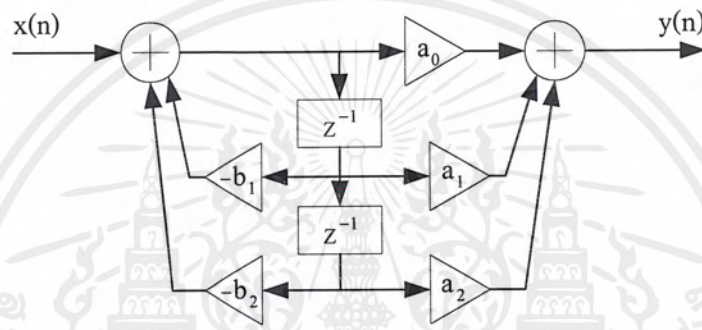
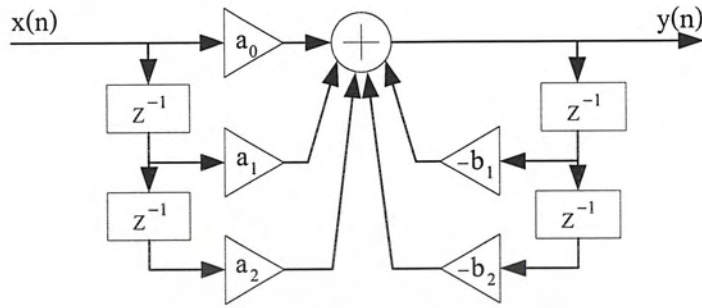
รูปที่ 2.29 บริเวณตำแหน่งโพลของระบบที่มีเสถียรภาพ

จากรูปที่ 2.29 เรียกบริเวณแลเงาในสามเหลี่ยมว่า “สามเหลี่ยมเสถียรภาพ” (Stability Triangle) โดยที่บริเวณที่วงจรวงความถี่มีเสถียรภาพ คือ

$$\left. \begin{array}{l} (b_2 + 1) > \pm b_1 \\ |b_2| < 1 \end{array} \right] \quad (2.110)$$

รูปแสดงโครงสร้างแบบไบควอดเรติก แสดงดังรูปที่ 2.30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.30 โครงสร้างตัวกรองแบบคิิตอลอันดับที่ 2

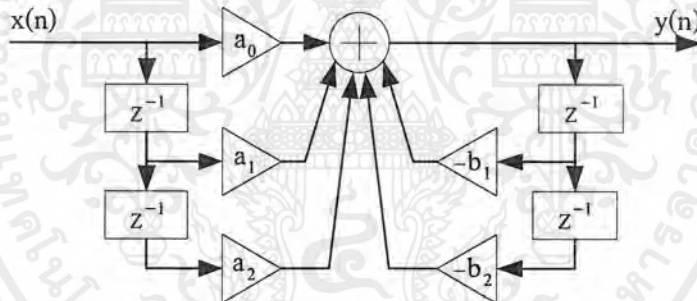
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

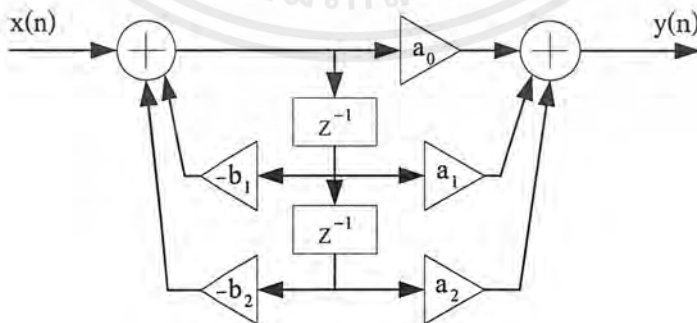
การออกแบบ การสร้าง และการทำงาน

3.1 บทนำ

เนื้อหาในบทนี้เป็นกรกล่าวถึงการออกแบบวงจรกรองความถี่เชิงเลขแบบบัตเตอร์เวิร์ท อันดับที่ 6 เป็นการกล่าวถึงวิธีการออกแบบ ซึ่งมีแนวทางการออกแบบค่อนข้างซับซ้อน ทั้งนี้เนื่องจากมีการนำเอาสัญญาณออกมาใช้ในการคำนวณหาสัญญาณออกลำดับถัดไป หรือมีการป้อนกลับสัญญาณ ซึ่งต้องคำนึงถึงเสถียรภาพของวงจรกรองความถี่ด้วย การสร้างวงจรกรองความถี่สามารถสร้างได้ทั้งแบบฮาร์ดแวร์เพียงอย่างเดียว หรือสร้างจากซอฟต์แวร์เพียงอย่างเดียว หรือสร้างจากฮาร์ดแวร์ร่วมกับซอฟต์แวร์ก็ได้ ซึ่งการสร้างวงจรกรองความถี่ทั้งสามแบบจะมีโครงสร้างดังรูปที่ 3.1



(ก) โครงสร้างแบบโดยตรงหรือ DF1



(ข) โครงสร้างแบบโดยตรง 2 หรือ DF2

รูปที่ 3.1 โครงสร้างของวงจรกรองความถี่แบบดิจิตอลอันดับที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณแอนะล็อกอินพุตจะถูกแปลงเป็นสัญญาณดิจิทัลโดย A/D (Analog to Digital Converter) สัญญาณดิจิทัลที่ได้จะถูกชิพที่แบบขนานเข้าไปในชิพที่รีจิสเตอร์ $x(n)$ โดยค่าเริ่มต้นของ $X(n)$, $X(n-1)$, $X(n-2)$, $Y(n-1)$, $Y(n-2)$ ควรมีค่าเป็นศูนย์ และโน้มเข้าสู่ค่าจริงๆ ของมัน ในเวลาต่อมา $x(n)$ แล้ว บิตขวาสุดของ $X(n)$, $X(n-1)$, $X(n-2)$, $Y(n-1)$, $Y(n-2)$ จะเป็นอินพุตของหน่วยคำนวณ หน่วยคำนวณจะคำนวณค่า $Y(n)$ ได้จากสมการที่ 3.1

$$Y(n) = a_0 X(n) + a_1 X(n-1) + a_2 X(n-2) - b_1 Y(n-1) - b_2 Y(n-2) \quad (3.1)$$

ค่าสัมประสิทธิ์ $a_0, a_1, a_2, -b_1, -b_2$ จะถูกเก็บไว้ในหน่วยความจำในรูปของเลขฐานสองพร้อมกันดังนี้

$X(n)$ จะถูกชิพที่ออกทางขวา 1 บิต เข้าสู่ $X(n-1)$
 $X(n-1)$ จะถูกชิพที่ออกทางขวา 1 บิต เข้าสู่ $X(n-2)$
 $X(n-2)$ จะถูกชิพที่ออกทางขวาทิ้ง 1 บิต

เป็นผลให้บิตขวาสุดของชิพที่รีจิสเตอร์ถูกเลื่อนมาอีก 1 ตำแหน่ง ตำแหน่งใหม่ที่เลื่อนมาจะเป็นอินพุตเข้าสู่หน่วยคำนวณต่อไป ทำเช่นนี้เรื่อยไปจนครบทุกบิตของชิพที่รีจิสเตอร์ เมื่อครบแล้วหน่วยความจำจะให้ค่าเอาต์พุต $Y(n)$ ออกมา $Y(n)$ ที่คำนวณได้จะถูกแปลงเป็นสัญญาณแอนะล็อกโดยวงจร D/A (Digital to Analog Converter) และในขณะเดียวกัน $Y(n)$ ที่ได้พร้อมกับ $X(n)$ ค่าใหม่ก็จะถูกชิพที่แบบขนานเข้าไปในชิพที่รีจิสเตอร์ $X(n)$ กับ $Y(n)$ พร้อมกัน จากนั้นเริ่มทำการคำนวณค่า $Y(n)$ ค่าใหม่ต่อไปด้วยวิธีการดังกล่าว

3.2 ดิจิตอลฟิลเตอร์แบบเลขคณิตแจกแจง

3.2.1 การสร้าง Distributed Arithmetic Digital Filter

จากสมการที่ 3.1 Second-Order Digital Filter

$$Y(n) = a_0 X(n) + a_1 X(n-1) + a_2 X(n-2) - b_1 Y(n-1) - b_2 Y(n-2)$$

จะเห็นว่าในการคำนวณ $Y(n)$ จะต้องทำการคูณและบวก

จากที่ได้ทราบกันแล้วว่า การคูณในคอมพิวเตอร์นี้ใช้เวลามาก ทำให้การทำงานไม่สามารถเป็นเวลาจริงได้ ซึ่งโครงสร้างแบบเลขคณิตแจกแจง (Distributed Arithmetic Structure) หรือโครงสร้างแบบ Rom/Acc (ROM-Accumulator) สามารถเปลี่ยนการคูณเป็นการบวก และการเลื่อน (Shifting) โดยนำหน่วยความจำประเภท ROM หรือ RAM มาประยุกต์ใช้

3.2.2 หลักการของโครงสร้างแบบเลขคณิตแจกแจง

พิจารณาวงจรกรองอันดับสองที่มีฟังก์ชันถ่ายโอนเป็น

$$H(z) = \frac{a_0 + a_1(z-1) + a_2(z-2)}{1 + b_1(z-1) + b_2(z-2)} \quad (3.2)$$

เขียนแบบสมการผลต่างสลับเนื่องได้ คือ

$$Y(n) = a_0 X(n) + a_1 X(n-1) + a_2 X(n-2) - b_1 Y(n-1) - b_2 Y(n-2)$$

โดยให้

$X(n)$, $X(n-1)$ และ $X(n-2)$ เป็นลำดับสัญญาณเข้า
 $Y(n)$, $Y(n-1)$ และ $Y(n-2)$ เป็นลำดับสัญญาณออก
 a_0 , a_1 , a_2 , $-b_1$ และ $-b_2$ เป็นค่าสัมประสิทธิ์ของตัวกรอง

วิธีการของโครงสร้างเลขคณิตแจกแจงทำโดยการเขียนแทนลำดับสัญญาณเข้า และลำดับสัญญาณออกด้วยตัวเลขแบบเติมเต็มสอง (2's complement) ที่มีจำนวนบิตรวมทั้งเครื่องหมายด้วยเป็น B บิต หรือเขียนกระจายเป็นเลขฐานสอง คือ

$$X(n) = X_0(n)X_1(n)X_2(n)\dots X_{B-1}(n) \quad (3.3)$$

$$Y(n) = Y_0(n)Y_1(n)Y_2(n)\dots Y_{B-1}(n) \quad (3.4)$$

โดยที่ $X_0(n)$ และ $Y_0(n)$ เป็นบิตที่แสดงเครื่องหมายของตัวเลข ส่วน $X_i(n)$ และ $Y_i(n)$ [$i = 1, 2, \dots, B-1$] เป็นบิตที่ i ของลำดับสัญญาณ และมีค่าเป็น 0 หรือ 1 เท่านั้น

จากสมการที่ 3.3 อาจเขียนรวมได้ในรูปแบบของ 2's Complement คือ

$$X(n) = X_0(n) + \sum_{i=1}^{B-1} X_i(n)2^{-i} \quad (3.5)$$

$$Y(n) = -Y_0(n) + \sum_{i=1}^{B-1} Y_i(n)2^{-i} \quad (3.6)$$

เมื่อแทนสมการที่ 3.5 และสมการที่ 3.6 ลงในสมการผลต่างสืบเนื่อง

$$Y(n) = a_0 X(n) + a_1 X(n-1) + a_2 X(n-2) - b_1 Y(n-1) - b_2 Y(n-2)$$

จะได้

$$\begin{aligned} Y(n) = & a_0 \left[-X_0(n) + \sum_{i=1}^{B-1} X_i(n)2^{-i} \right] + a_1 \left[-X_0(n-1) + \sum_{i=1}^{B-1} X_i(n-1)2^{-i} \right] \\ & + a_2 \left[-X_0(n-2) + \sum_{i=1}^{B-1} X_i(n-2)2^{-i} \right] - b_1 \left[-Y_0(n-1) + \sum_{i=1}^{B-1} Y_i(n-1)2^{-i} \right] \\ & - b_2 \left[-Y_0(n-2) + \sum_{i=1}^{B-1} Y_i(n-2)2^{-i} \right] \end{aligned} \quad (3.7)$$

เมื่อทำการจัดพจน์ใหม่โดยเอาบิตที่สมนัยกันมาเขียนรวมกันจะได้

$$\begin{aligned} Y(n) = & - \left[a_0 x_0(n) + a_1 x_0(n-1) + a_2 x_0(n-2) - b_1 y_0(n-1) - b_2 y_0(n-2) \right] \\ & + \sum_{i=1}^{B-1} 2^{-i} \left[a_0 x_i(n) + a_1 x_i(n-1) + a_2 x_i(n-2) - b_1 y_i(n-1) \right. \\ & \left. - b_2 y_i(n-2) \right] \end{aligned} \quad (3.8)$$

ให้

$$a_0 x_i(n) + a_1 x_i(n-1) + a_2 x_i(n-2) - b_1 y_i(n-1) - b_2 y_i(n-2) = F_i \{ \cdot \} \quad (3.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้

$$Y(n) = \sum_{i=1}^{n-1} 2^{-i} F_i\{.\} - F_0\{.\} \quad (3.10)$$

ผลจากสมการที่ 3.9 และสมการที่ 3.10 จะได้โครงสร้างแบบเลขคณิตแจกแจง โดยนำค่าฟังก์ชันทั้งหมดของ $F_i\{.\}$ มาทำเป็นตารางเปิดดู (Look up table) โดยค่าในตารางเปิดดูคิดคำนวณจากสมการที่ 3.9 และเนื่องจาก $F_i\{.\}$ มีตัวแปรอยู่ 5 ตัว คือ $X_i(n), X_i(n-1), X_i(n-2), Y_i(n-1), Y_i(n-2)$ ทำให้ตารางเปิดดูมีค่าฟังก์ชันของ $F_i\{.\}$ อยู่ 2^5 ค่า ค่าของฟังก์ชัน $F_i\{.\}$ ทั้ง 32 ค่านี้จะถูกคำนวณแล้วทำการปิดเศษให้เหลือ B บิต แล้วเก็บไว้ใน ROM หรือ RAM เพื่อนำไปสร้างวงจรองความถี่ต่อไป

3.3 การสร้างตารางเปิดดูจากฟังก์ชัน $F_i\{.\}$ สำหรับวงจรองอันดับ 2

เมื่อได้สมการผลต่างสืบเนื่องอันดับ 2 แล้ว นำค่าสัมประสิทธิ์คูณกับบิตที่ 1 ของข้อมูลแต่ละตัวแล้วบวกกันเก็บไว้ในที่แอดเดรสที่ชี้โดยค่า $X_i(n), X_i(n-1), X_i(n-2), Y_i(n-1), Y_i(n-2)$ ดังแสดงในตารางที่ 3.1

ตารางที่ 3.1 ค่าสัมประสิทธิ์

ตำแหน่งที่	แอดเดรสของรอม					ค่าของ $F_i\{.\}$ ภายใน ROM
	$X_i(n)$	$X_i(n-1)$	$X_i(n-2)$	$Y_i(n-1)$	$Y_i(n-2)$	
0	0	0	0	0	0	0
1	0	0	0	0	1	$-b_2$
2	0	0	0	1	0	$-b_1$
3	0	0	0	1	1	$-b_1-b_2$
4	0	0	1	0	0	a_2
5	0	0	1	0	1	a_2-b_2
6	0	0	1	1	0	a_2-b_1
7	0	0	1	1	1	$a_2-b_1-b_2$
8	0	1	0	0	0	a_1
9	0	1	0	0	1	a_1-b_2
10	0	1	0	1	0	a_1-b_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 (ต่อ) ค่าสัมประสิทธิ์

ตำแหน่งที่	แอดเดรสของรอม					ค่าของ $F_i\{.\}$ ภายใน ROM
	$X_i(n)$	$X_i(n-1)$	$X_i(n-2)$	$Y_i(n-1)$	$Y_i(n-2)$	
11	0	1	0	1	1	$a_1-b_1-b_2$
12	0	1	1	0	0	a_1+b_2
13	0	1	1	0	1	$a_1+a_2-b_2$
14	0	1	1	1	0	$a_1+a_2-b_1$
15	0	1	1	1	1	$a_1+a_2-b_1-b_2$
16	1	0	0	0	0	A_0
17	1	0	0	0	1	a_0-b_2
18	1	0	0	1	0	a_0-b_1
19	1	0	0	1	1	$a_0-b_1-b_2$
20	1	0	1	0	0	a_0+a_2
21	1	0	1	0	1	$a_0+a_2-b_2$
22	1	0	1	1	0	$a_0+a_2-b_1$
23	1	0	1	1	1	$a_0+a_2-b_1-b_2$
24	1	1	0	0	0	a_0+a_1
25	1	1	0	0	1	$a_0+a_1-b_2$
26	1	1	0	1	0	$a_0+a_1-b_1$
27	1	1	0	1	1	$a_0+a_2-b_1-b_2$
28	1	1	1	0	0	$a_0+a_1+a_2$
29	1	1	1	0	1	$a_0+a_1+a_2-b_2$
30	1	1	1	1	0	$a_0+a_1+a_2-b_1$
31	1	1	1	1	1	$a_0+a_1+a_2-b_1-b_2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การคำนวณหา $Y(n)$ ในกรณีวงจรกรองความถี่อันดับที่ 2

จากสมการที่ 3.10

$$Y(n) = \sum_{i=1}^{B-1} 2^{-i} F_i\{.\} - F_0\{.\}$$

จะเห็นว่าในการคำนวณหา $Y(n)$ จะต้องทำการบวกค่าฟังก์ชัน $F_i\{.\}$ และพร้อมกับการเลื่อน $B-1$ ครั้ง (B =จำนวนบิต) แล้วทำการลบอีก 1 ครั้ง รวมแล้วทำการคำนวณหาค่าจะกระทำ B ครั้ง

แต่จากการทดลองนั้นได้ทำวงจรกรองอันดับ 6 โดยใช้วงจรกรองอันดับสอง 3 ชุดมาคาสเคด (Cascade) กัน ดังนั้นจึงมีการคำนวณเอาต์พุต 3 ขั้นตอน เป็นไปตามสมการ

$$V(n) = a_{01}X(n) + a_{11}X(n-1) + a_{21}X(n-2) - b_{11}V(n-1) - b_{21}V(n-2) \quad (3.11)$$

$$W(n) = a_{02}V(n) + a_{12}V(n-1) + a_{22}V(n-2) - b_{12}W(n-1) - b_{22}W(n-2) \quad (3.12)$$

$$Y(n) = a_{03}W(n) + a_{13}W(n-1) + a_{23}W(n-2) - b_{13}Y(n-1) - b_{23}Y(n-2) \quad (3.13)$$

โดย

$a_{01}, a_{11}, a_{21}, b_{11}, b_{21}$ เป็นค่าสัมประสิทธิ์ของวงจรกรองในขั้นตอนที่ 1

$a_{02}, a_{12}, a_{22}, b_{12}, b_{22}$ เป็นค่าสัมประสิทธิ์ของวงจรกรองในขั้นตอนที่ 2

$a_{03}, a_{13}, a_{23}, b_{13}, b_{23}$ เป็นค่าสัมประสิทธิ์ของวงจรกรองในขั้นตอนที่ 3

ในส่วนของตารางเปิดดูจะมี 3 ตาราง โดยค่าฟังก์ชัน $F_i\{.\}$ ที่เก็บในตารางที่ 3.1 ดังนี้

$$TABLE 1 \quad F_{i1} \left\{ X(n), X(n-1), X(n-2), V(n-1), V(n-2) \right\}$$

$$TABLE 2 \quad F_{i2} \left\{ V(n), V(n-1), V(n-2), W(n-1), W(n-2) \right\}$$

$$TABLE 3 \quad F_{i3} \left\{ W(n), W(n-1), W(n-2), Y(n-1), Y(n-2) \right\}$$

3.5 การคำนวณหา $Y(n)$ ของวงจรรองอันดับที่ 6

$$V(n) = \sum_{i=1}^{s-1} 2^{-i} F_{i1} \{.\} - F_{o1} \{.\} \quad (3.14)$$

$$W(n) = \sum_{i=1}^{s-1} 2^{-i} F_{i2} \{.\} - F_{o2} \{.\} \quad (3.15)$$

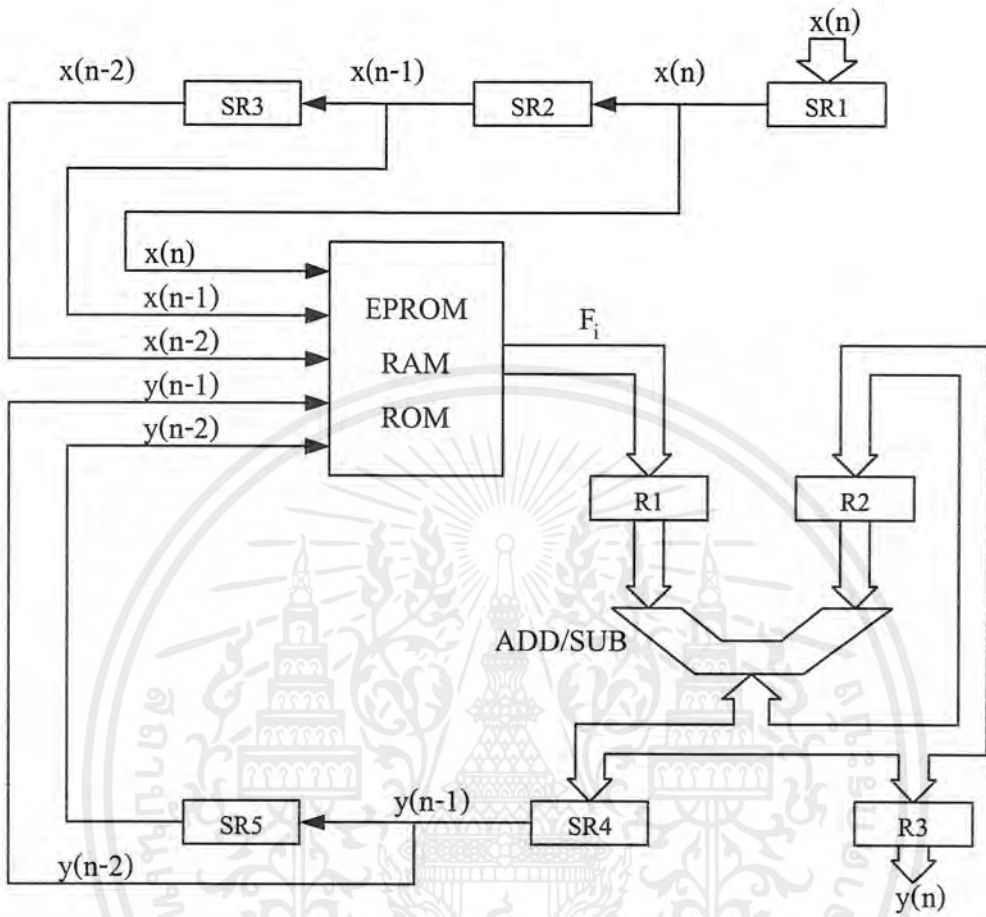
$$Y(n) = \sum_{i=1}^{s-1} 2^{-i} F_{i3} \{.\} - F_{o3} \{.\} \quad (3.16)$$

โดย

$$\begin{aligned} F_{i1} \{.\} &= F_{i1} \{X_i(n), X_i(n-1), X_i(n-2), V_i(n-1), V_i(n-2)\} \\ F_{o1} \{.\} &= F_{o1} \{X_o(n), X_o(n-1), X_o(n-2), V_o(n-1), V_o(n-2)\} \\ F_{i2} \{.\} &= F_{i2} \{V_i(n), V_i(n-1), V_i(n-2), W_i(n-1), W_i(n-2)\} \\ F_{o2} \{.\} &= F_{o2} \{V_o(n), V_o(n-1), V_o(n-2), W_o(n-1), W_o(n-2)\} \\ F_{i3} \{.\} &= F_{i3} \{W_i(n), W_i(n-1), W_i(n-2), Y_i(n-1), Y_i(n-2)\} \\ F_{o3} \{.\} &= F_{o3} \{W_o(n), W_o(n-1), W_o(n-2), Y_o(n-1), Y_o(n-2)\} \end{aligned}$$

และทำการคำนวณเช่นเดียวกับในกรณีวงจรรองอันดับ 2 แต่ทำวิธีการซ้ำเดิม 3 ครั้ง

โครงสร้างของวงจรรองสัญญาณแบบป้อนกลับเชิงเลขอันดับ 2 โดยใช้สมการที่ 3.14 3.15 และ 3.16 นำมาสร้างเป็นวงจรทางอิเล็กทรอนิกส์ หรือฮาร์ดแวร์ดังแสดงในรูปที่ 3.2 SR1 และ SR4 เป็นรีจิสเตอร์ที่เลื่อนข้อมูลขนาด L บิต เข้าแบบขนานออกแบบอนุกรม SR2, SR3 และ SR5 เป็นรีจิสเตอร์ที่เลื่อนข้อมูลเข้าออกแบบอนุกรม R1, R2, R3 เป็นรีจิสเตอร์เก็บข้อมูลแบบชั่วคราว (ข้อมูลเข้าออกแบบขนาน) ส่วน ADD/SUB เป็นวงจรวกเลขแบบส่วนเติมเต็มสอง มีขั้นตอนการทำงานดังนี้



รูปที่ 3.2 โครงสร้างของวงจรกรองความถี่ป้อนกลับเชิงเลขอันดับที่ 2

- 1) ทำการลบข้อมูลภายในรีจิสเตอร์ R1, R2, และ R3 จากนั้นทำการโหลดข้อมูล $X(n)$ เข้าไปเก็บในรีจิสเตอร์ SR1
- 2) เอาต์พุตของรีจิสเตอร์ SR1, SR2, SR3, SR4, SR5 คือ ลำดับสัญญาณ $x(n), x(n-1), x(n-2), y(n-1), y(n-2)$ ตามลำดับ ถูกใช้เป็นแอดเดรสของ ROM เพื่อหาค่าของ F_i เมื่อ $i = L$ (หมายถึงบิตที่ L) นำค่าของ F_i ที่ได้เก็บไว้ในรีจิสเตอร์ R1 จากนั้น นำค่าใน R1 บวกกับค่าใน R2 ด้วยวงจรบวก ADD/SUB ผลลัพธ์ที่ได้ถูกเก็บไว้ใน R2 พร้อมกับเลื่อนค่าหรือข้อมูลใน R2 ไปทางขวา 1 บิต

3) ทำการเลื่อนข้อมูลในรีจิสเตอร์ SR1, SR2, SR3, SR4, SR5 ไป 1 บิต เพื่อกำหนดค่าแอดเดรสของ ROM ใหม่ ได้ค่าของ F_i เมื่อ $i =$ บิตที่ $L-1$ นำค่าของ F_i ที่เป็นไว้ในรีจิสเตอร์ R1 จากนั้นนำค่าใน R1 บวกกับค่าใน R2 ด้วยวงจร ADD/SUB ผลลัพธ์ที่ได้ถูกเก็บไว้ใน R2 พร้อมกับเลื่อนค่าหรือข้อมูลใน R2 ไปทางขวา 1 บิต

4) ในทำนองเดียวกันกระทำซ้ำตามขั้นตอนที่ 3 สำหรับ $i =$ บิตที่ $L-2, L-3, \dots, 1$ ตามลำดับ

5) ขั้นตอนนี้จะแตกต่างกับขั้นตอนที่ 3 และ 4 คือ เมื่อเลื่อนข้อมูลในรีจิสเตอร์ SR1, SR2, SR3, SR4, SR5 ต่อจากขั้นตอนที่ 4 ไปอีก 1 บิต สำหรับหาค่า F_0 และนำค่าไปเก็บไว้ใน R1 จากนั้น นำค่าหรือข้อมูลใน R1 ไปลบออกจากค่าใน R2 ผลลัพธ์ที่ได้คือลำดับสัญญาณ $y(n)$ และถูกเก็บไว้ในรีจิสเตอร์ R3 เพื่อรอการแปลงเป็นสัญญาณเชิงอุปมานต่อไป

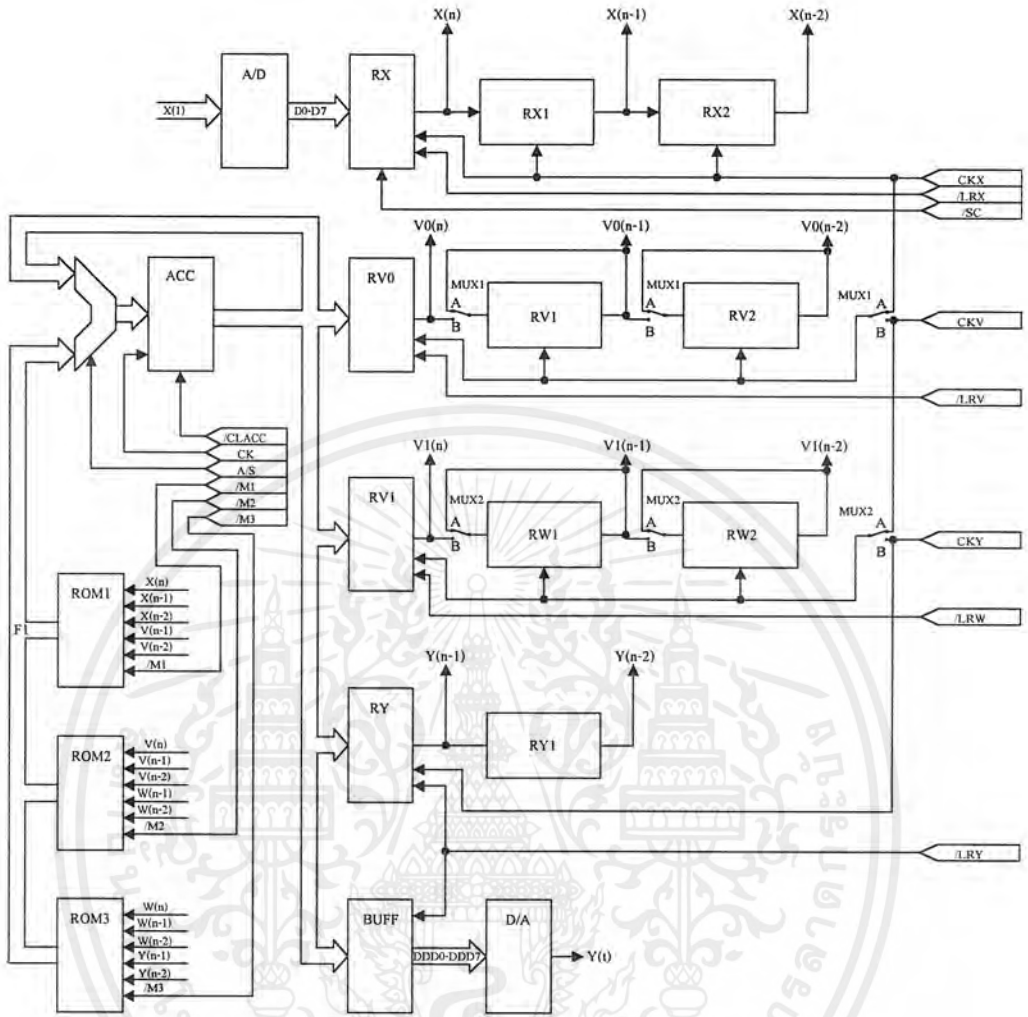
6) กระทำซ้ำตามขั้นตอน 1-5 ใหม่อีกเรื่อยๆ สำหรับหาค่า $y(n)$ ในลำดับถัดไป

3.6 การออกแบบสร้างและการทำงานของวงจรองความถี่เชิงเลขอันดับที่ 6

เป็นการแสดงวิธีการสร้างวงจรองความถี่ป้อนกลับเชิงเลขแบบบิตเตอร์เวอร์อันดับที่ 6 โดยอาศัยฟังก์ชันถ่ายโอนที่ได้จากการคำนวณ มาทำการแปลงเป็นวงจรทางอิเล็กทรอนิกส์ อุปกรณ์ที่ใช้สร้างเป็นวงจรรวมประเภท TTL

3.6.1 การออกแบบสร้าง

เพื่อเป็นการประหยัดฮาร์ดแวร์ และลดความยุ่งยากซับซ้อนของวงจรให้ง่ายต่อการสร้างอาศัยโครงสร้างของวงจรองสัญญาณป้อนกลับเชิงเลขอันดับที่ 2 ดังที่กล่าวมาแล้วมาต่ออนุกรมกัน (Cascade) 3 วงจร โดยใช้ภาคคำนวณ D/A เพียงตัวเดียวสลับกันใช้งาน



รูปที่ 3.3 โครงสร้างของวงจรความถี่ป้อนกลับเชิงเลขแบบบิตเตอร์เวอร์ธอันดับที่ 6

เพื่อให้ง่ายต่อการเข้าใจกับวงจรความถี่ที่ได้ออกแบบสร้างจะแยกอธิบายการทำงานตามลำดับขั้นตอนดังนี้

ขั้นตอนที่ 1 ตำแหน่ง MUX1, MUX2 อยู่ในตำแหน่ง A โดย A/D, RX0, RX1, RX2, RV1, RV2, ROM1 ประกอบกันเป็นโครงสร้างวงจรองเชิงเลขอันดับที่ 2 ส่วนแรกใช้ภาคประมวลผล D/A (ประกอบด้วยวงจรวกและลบเลข ADD/SUB และรีจิสเตอร์ ACC ร่วมกัน สัญญาณที่ใช้ควบคุม คือ สัญญาณ SC, L/RX, CKX, A/S, CLACC CK และ M1

1) A/D (Analog to Digital Converter) ถูกควบคุมด้วยสัญญาณ ให้ทำการแปลงสัญญาณที่ได้จากการสุ่มให้เป็นลำดับสัญญาณเชิงเลข ขนาด 8 บิต (มีวงจร Sampling อยู่ในตัว)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) สัญญาณควบคุม \overline{LRX} ควบคุมให้รีจิสเตอร์ $RX0$ ทำการโหลด $x(n)$ เข้าไปเก็บไว้ใน $RX0$ สัญญาณนี้จะเกิดขึ้นทุกครั้ง เมื่อการประมวลผลของวงจรองความถี่เชิงเลขครบอันดับที่ 6 เพื่อทำการโหลดลำดับสัญญาณเชิงเลข $x(n)$ เข้ามาประมวลผลใหม่

3) สัญญาณนาฬิกา CKX จะทำการเลื่อนข้อมูล $x(n)$ ในรีจิสเตอร์ $RX0, RX1, RX2, RV1, RV2$ ไปครั้งละ 1 บิต โดยบิตที่มีนัยสำคัญต่ำสุดถูกเลื่อนออกไปก่อน (คือ บิตที่ 7) เอาต์พุตของแต่ละรีจิสเตอร์ คือ $x(n), x(n-1), x(n-2), v_0(n-1), v_0(n-2)$ จะเป็นแอดเดรสกำหนดค่า F_i ของวงจรองความถี่เชิงเลขใน $ROM1$ ($ROM1$ ถูกเลือกด้วยสัญญาณ $\overline{M1}$) เอาต์พุตของ $ROM1(F_i)$ จะถูกส่งไปบวกกับข้อมูลที่อยู่ในรีจิสเตอร์ ACC ด้วยวงจรบวกเลข ADD/SUB (เป็นการบวกเลขแบบส่วนเติมเต็มสองและควบคุมการบวกด้วยสัญญาณ A/S) ผลลัพธ์ที่ได้ถูกโหลดเข้าไปเก็บไว้ใน ACC ด้วยสัญญาณ CK

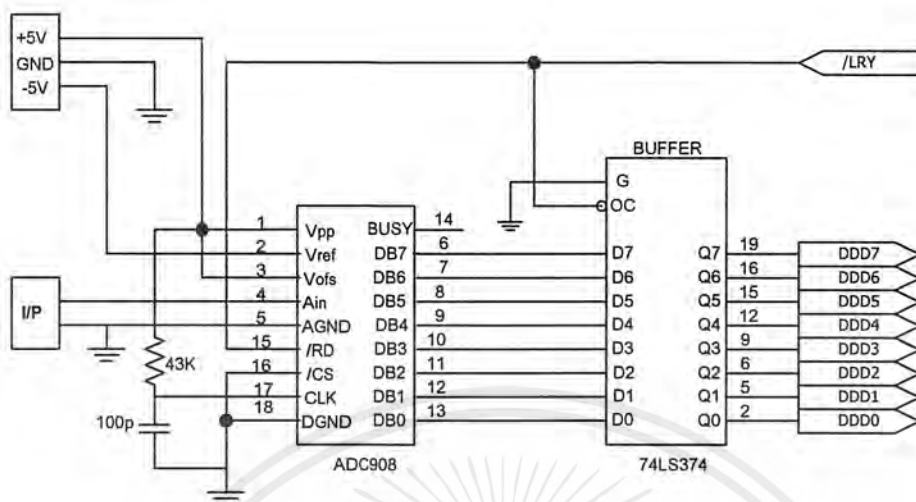
4) สัญญาณนาฬิกา CKX ทำการเลื่อนข้อมูล $x(n)$ ไปอีก 1 บิต แล้วทำการบวกข้อมูลเหมือนข้อที่ 3 จนกระทั่ง CKX ทำการเลื่อนข้อมูลไปถึงบิตที่ 0 จึงนำค่าที่ได้จากเอาต์พุตของ $ROM1$ ไปลบออกจากข้อมูลที่อยู่ใน ACC (ข้อมูล คือ ค่าที่ได้จากการบวกของการเลื่อนข้อมูล 7 ครั้ง) ผลลัพธ์ที่ได้ถูกโหลดเข้าไปเก็บไว้ในรีจิสเตอร์ $RV0$ ด้วยสัญญาณควบคุม \overline{LRV} จากนั้นลบข้อมูลในรีจิสเตอร์ ACC ด้วยสัญญาณควบคุม \overline{CLACC} สิ้นสุดการทำงานขั้นตอนที่ 1

ขั้นตอนที่ 2 ตำแหน่ง MUX 1 อยู่ในตำแหน่ง B. MUX 2 อยู่ในตำแหน่ง A (ตำแหน่งเดิม) โดยมีรีจิสเตอร์ $RV0, RV1, RV2, RV11, RV12, ROM2$ ประกอบกันเป็นโครงสร้างวงจรองความถี่เชิงเลขอันดับที่ 2 ส่วนที่สอง โดยใช้ภาคประมวลผลแบบ D/A ร่วมกันเหมือนขั้นตอนที่หนึ่ง จะเห็นได้ว่าขั้นตอนนี้ คือ การประมวลผลของตัวกรองในอันดับที่ 4 นั่นเอง ส่วนสัญญาณควบคุมคือ $\overline{LRV}, \overline{CKV}, \overline{A/S}, \overline{M2}, \overline{CK}, \overline{CLACC}, \overline{LRW}$ การทำงานเหมือนกับขั้นตอนที่ 1 ข้อที่ 1 ถึง 3 โดยเปลี่ยนรีจิสเตอร์และสัญญาณควบคุมใหม่ตามลำดับดังนี้

รีจิสเตอร์ $RX0, RX1, RX2, RV1, RV2 \Rightarrow RV0, RV1, RV2, RV11, RV12$

แอดเดรส $x(n), x(n-1), x(n-2), v_0(n-1), v_0(n-2) \Rightarrow v_0(n), v_0(n-1),$
 $v_0(n-2), v_1(n-1),$
 $v_1(n-2)$

สัญญาณควบคุม $\overline{M1}, \overline{LRX}, \overline{LRV}, \overline{CKX} \Rightarrow \overline{M2}, \overline{LRV}, \overline{LRW}, \overline{CKV}$



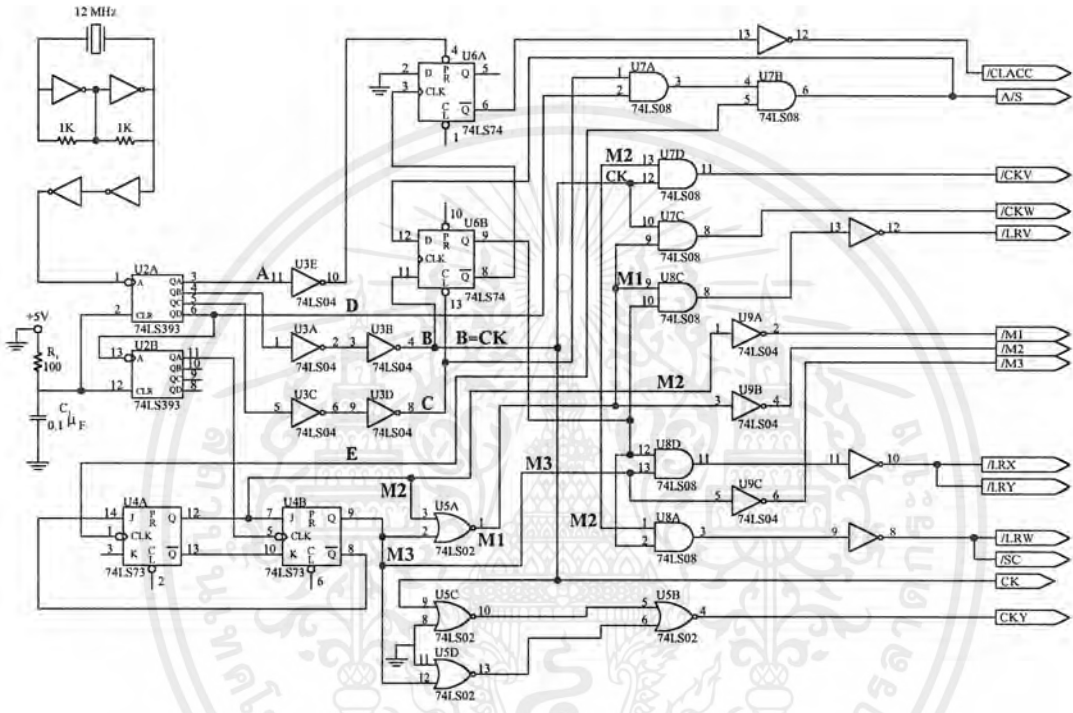
รูปที่ 3.4 วงจรภาคอินพุต

จากรูปสามารถอธิบายการทำงานของวงจร ได้ดังนี้

- 1) การสุ่มตัวอย่าง (Sampling) จะแปลงสัญญาณเวลาต่อเนื่องเป็นสัญญาณเวลาช่วง โดยดึงตัวอย่าง (Sample) ของสัญญาณเวลาเป็นช่วงที่ช่วงเวลาเท่ากัน ถ้า $x_c(t)$ เป็นอินพุตสู่ Sample เอาต์พุตจะได้เป็น $x_s(nT) = x(n)$ โดย T เป็นคาบการสุ่มตัวอย่าง
- 2) การควอนไทซ์ (Quantization) จะเปลี่ยนสัญญาณจากสัญญาณเวลาต่อเนื่องขนาดต่อเนื่อง ซึ่งเป็นสัญญาณสุ่ม (Sample signal) เป็นสัญญาณเวลาเป็นช่วง ขนาดเป็นช่วง (ดิจิตอล) ค่าของแต่ละตัวอย่างของสัญญาณจะถูกแทน โดยค่าที่เลือกจากเซตของค่าที่เป็นไปได้ที่จำกัด ความแตกต่างระหว่างตัวอย่างที่ยังไม่ถูกควอนไทซ์ $x(n)$ กับเอาต์พุตที่ถูกควอนไทซ์แล้ว $x_q(n)$
- 3) การทำเป็นรหัส (Coding) ของแต่ละค่าของ $x_q(n)$ จะถูกแทนโดยซีเคเวนของเลขฐานสองจำนวน n บิต

3.6.3 ภาคควบคุม

ภาคควบคุมเป็นภาคที่สำคัญที่สุดในการออกแบบสร้างวงจรองความถี่เชิงเลขแบบดิจิทัล คอยควบคุมการทำงานให้ได้ผลเป็นไปตามการคำนวณวงจรจริงของภาคควบคุมแสดงไว้ดังรูปที่ 3.5



รูปที่ 3.5 วงจรของภาคควบคุม

จากรูปที่ 3.5 U1A-U1D ถูกออกแบบให้ทำหน้าที่ผลิตสัญญาณนาฬิกาของวงจร (System Clock) มีความถี่ 5 MHz จากนั้นทำการหาร System Clock ด้วย 32 โดย U2 (Dual 4-bit and Binary Converter) ให้สัญญาณเอาต์พุต 5 เอาต์พุต คือ A, B, C, D, E แต่ละเอาต์พุตให้ความถี่ 5, 2.5, 1.25, 0.625, 0.3125 MHz ตามลำดับ ต่อไปจะนำสัญญาณหลัก A, B, C, D, E มาสร้างสัญญาณควบคุมต่างๆ ดังนี้ (ดูแผนผังเวลาที่แสดงในรูปที่ 3.6 ประกอบ) โดยวงจรจะมีการทำงานดังนี้

- เอาต์พุต A จะหารความถี่ด้วย 2^1
- เอาต์พุต B จะหารความถี่ด้วย 2^2
- เอาต์พุต C จะหารความถี่ด้วย 2^3
- เอาต์พุต D จะหารความถี่ด้วย 2^4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาต์พุต E จะหารความถี่ด้วย 2^5

สัญญาณ $\overline{M1}, \overline{M2}, \overline{M3}$ ได้จากการนำสัญญาณ E ผ่านวงจรมอดุโล 3 (U4A, U4B, U5A) ได้สัญญาณ $\overline{M1}, \overline{M2}, \overline{M3}$ นำไปผ่านวงจรมอดุโล 3 ตัวต่อกัน จะได้สัญญาณ $\overline{M1}, \overline{M2}, \overline{M3}$

สัญญาณ CKX, CKV, CKY ได้จากการนำสัญญาณ $\overline{M1}, \overline{M2}, \overline{M3}$ ไปควบคุมการเปิด Gate ของ AND Gates U7C, U7D, U5D (เป็น AND Gate ที่ใช้ NOR Gate 3 ตัวต่อกัน) เวลาที่ใช้ในการเปิด Gate มีค่าเป็น 8 เท่าของสัญญาณ B หรือ CK ดังนั้น สัญญาณ CKX, CKV, CKY จะมีความถี่เท่ากับ B หรือ CK จำนวน 8 Clocks สำหรับใช้ในการเลื่อนข้อมูลในรีจิสเตอร์ต่างๆ ที่กล่าวมาแล้ว

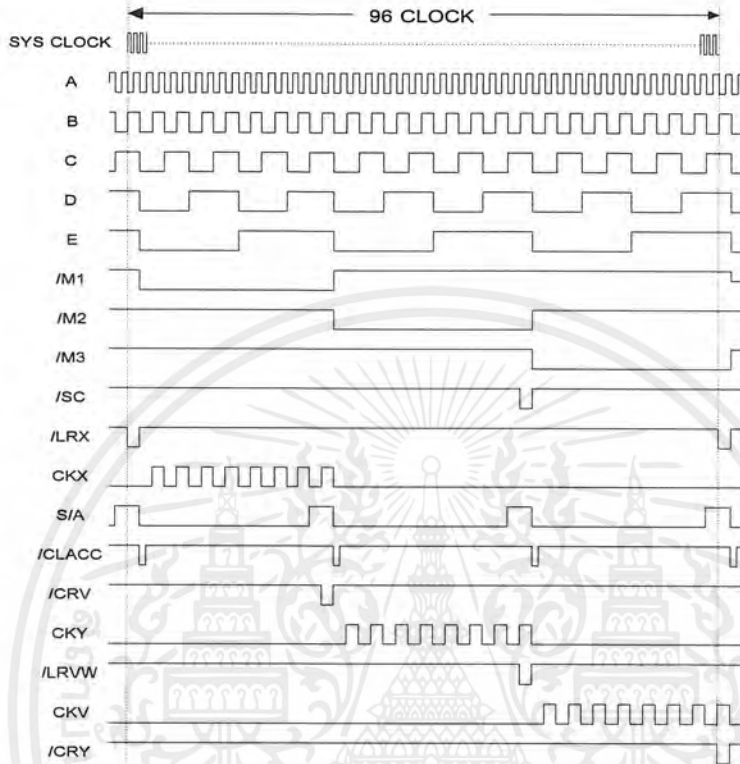
สัญญาณ A/S ได้จากการนำสัญญาณ C, D, E มาทำการ AND กันด้วย U7A และ U7B สัญญาณนี้ใช้ควบคุมการบวกเมื่อ CKX, CKV เลื่อนไป 0-6 Clock และทำการลบเมื่อถึง Clock ที่ 7

สัญญาณ \overline{CLACC} ได้จากการนำสัญญาณ A, B (CK), C, A/S มาควบคุม D-Type Flip-Flops U6A และ U6B สัญญาณนี้จะเกิดขึ้นเพื่อลบข้อมูลออกจากภาคคำนวณ (รีจิสเตอร์ ACC) หลังจากเสร็จสิ้นขบวนการบวกและลบเลขในแต่ละครั้ง หรือกล่าวอีกนัยหนึ่งว่าสัญญาณนี้จะเกิดขึ้นทุกครั้งเมื่อสิ้นสุดการเลื่อนข้อมูลบิตสุดท้ายคือบิตที่ 8 ในรีจิสเตอร์หน่วยสัญญาณ (ดูรูปที่ 3.6 ประกอบ)

สัญญาณ \overline{LRX} ได้จากการนำสัญญาณ $\overline{M3}$ และเอาต์พุตของ U6B มาทำการ AND กันด้วย U8D สัญญาณนี้จะเกิดขึ้นครั้งแรกเพื่อทำการโหลดข้อมูลที่ได้จาก A/D เข้าสู่รีจิสเตอร์ $RX0$ หลังจากนั้นจะเกิดขึ้นอีกเมื่อสิ้นสุดขบวนการประมวลผลทั้ง 6 อันดับ ของวงจรมอดุโลความถี่เชิงเลขเพื่อทำการโหลดลำดับสัญญาณ $x(n)$ เข้าสู่รีจิสเตอร์ $RX0$ ใหม่

สัญญาณ \overline{LRV} ได้จากการนำสัญญาณ $\overline{M1}$ และเอาต์พุตของ U6B มาทำการ AND กันด้วย U8C ต่อเมื่อสิ้นสุดของการประมวลผลของวงจรมอดุโลความถี่เชิงเลขอันดับที่ 2 ส่วนแรก เพื่อทำการโหลดข้อมูลจากส่วนแรกเข้าสู่รีจิสเตอร์ $RX0$ สำหรับการประมวลผลในส่วนที่ 2 (อันดับที่ 4)

สัญญาณ \overline{LRW} ได้จากการนำ $\overline{M2}$ และเอาต์พุตของ U6B มาทำการ AND กัน ด้วย U8A สัญญาณนี้จะเกิดขึ้นก็ต่อเมื่อสิ้นสุดการประมวลผลของวงจรมอดุโลความถี่อันดับที่ 4 ส่วนที่สองเพื่อทำการโหลดข้อมูลจาก ACC เข้าสู่รีจิสเตอร์ $RX1$ สำหรับการประมวลผลของวงจรมอดุโลความถี่ในอันดับที่ 6 Timing Diagram ของสัญญาณที่ใช้ในการควบคุมการทำงานของวงจรมอดุโลความถี่ป้อนกลับเชิงเลขทั้งหมด แสดงไว้ดังรูปที่ 3.6



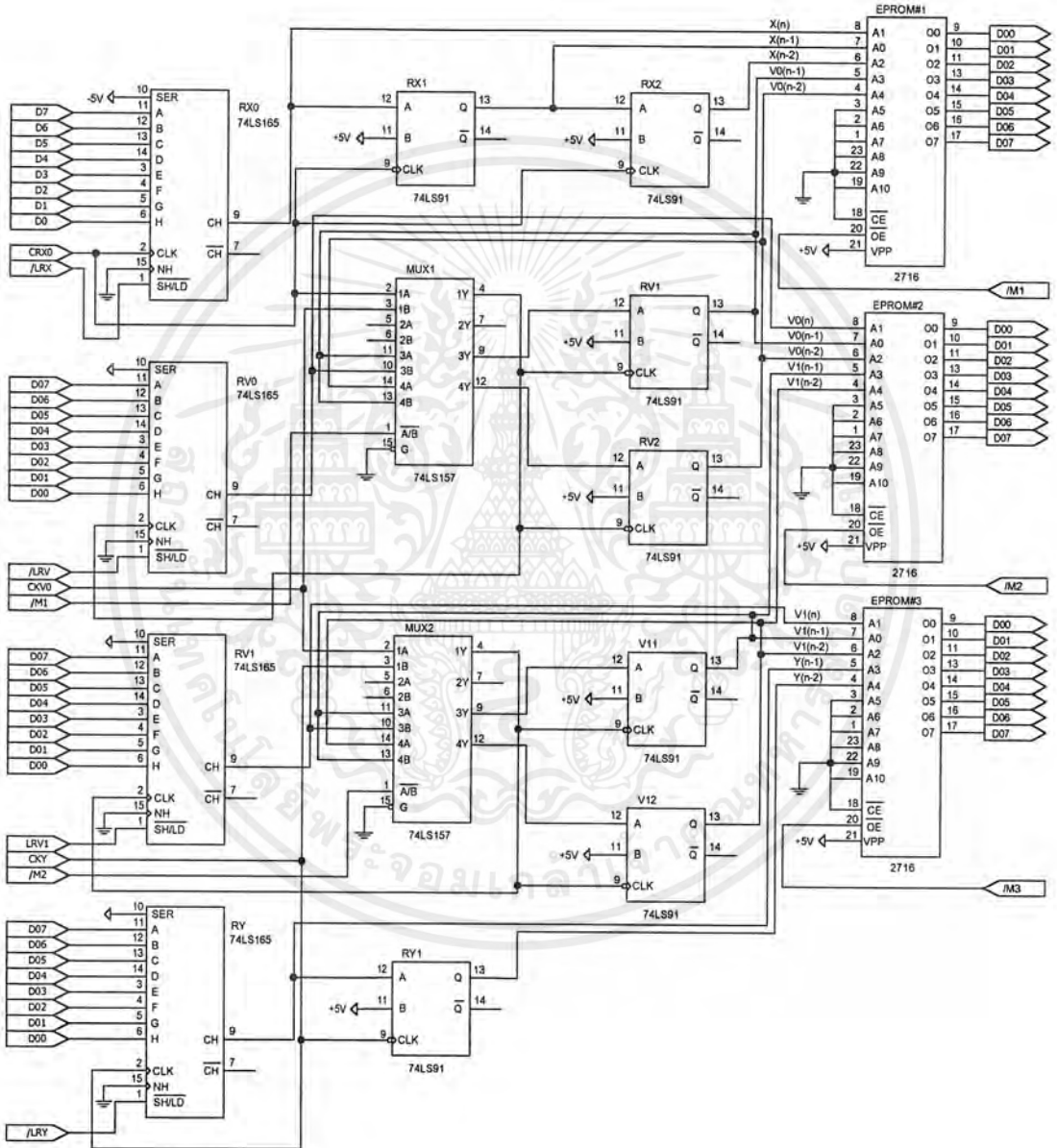
รูปที่ 3.6 แผนผังเวลาของภาคควบคุม

จากรูปที่ 3.6 จะเห็นได้ว่าการประมวลผลทั้ง 6 อันดับ ใช้นาฬิกาของระบบ (System Clock) ทั้งสิ้นจำนวน 96 Clock

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.4 ภาครีจิสเตอร์

วงจรของภาครีจิสเตอร์ ถูกออกแบบไว้สำหรับเคลื่อนข้อมูลหรือสัญญาณเชิงเลขในรีจิสเตอร์ขนาด 8 บิต ผลที่ได้จากการเคลื่อนข้อมูลแต่ละบิตจะเป็นตัวกำหนด แอดเดรสของ Eprom



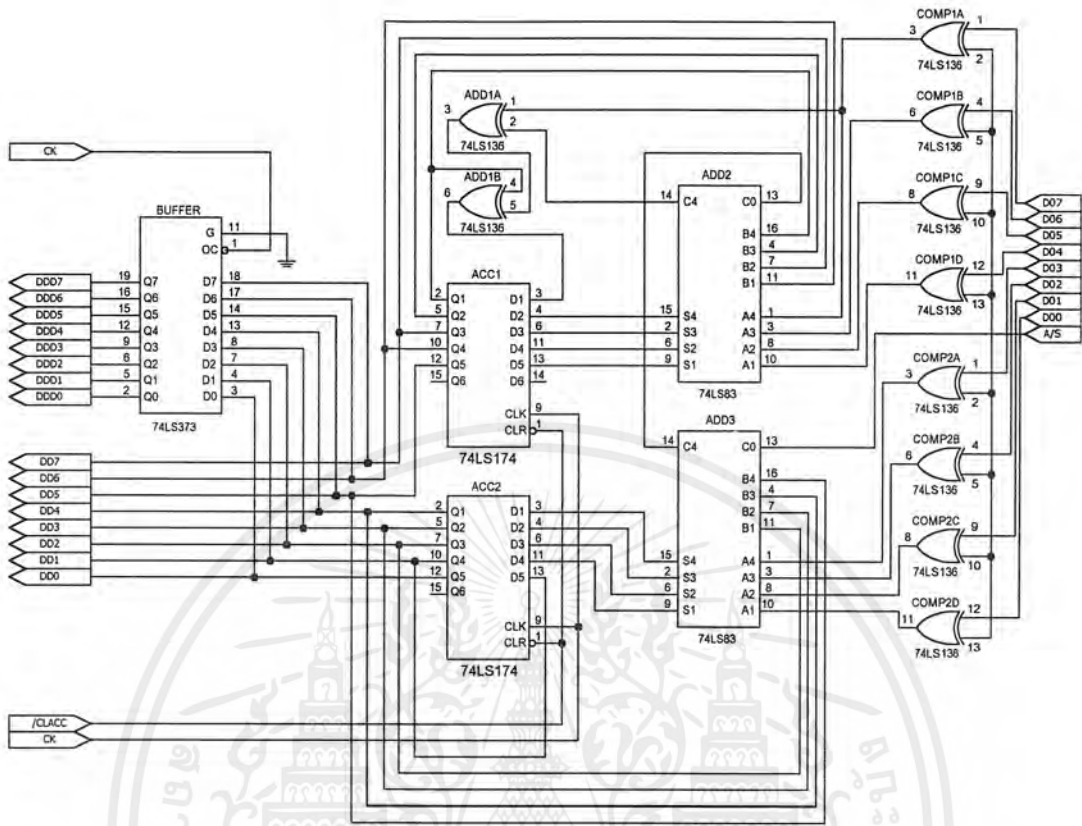
รูปที่ 3.7 วงจรภาครีจิสเตอร์

ส่วนของวงจรเลื่อนบิต จะประกอบด้วยขาอินพุต Clock , ขาข้อมูลอินพุตที่ต่ออยู่กับวงจรฟลิปฟล็อปวงจแรก (ในรูปคือวงจรซ้ายสุด) และเอาต์พุตที่นำออกจากวงจรฟลิปฟล็อปวงจสุดท้าย ส่วนเอาต์พุตของวงจรฟลิปฟล็อปอื่นๆ ที่ประกอบขึ้นเป็นวงจรเลื่อนบิตในรูป ขาอินพุตและเอาต์พุตจะเป็นแบบเส้นทางเดียว (ในที่นี้ใช้ 74LS91) เป็นวงจรเลื่อนบิตขนาด 8 บิต มีโครงสร้างทางอินพุตเป็นแบบเส้นทางเดียว และข้อมูลอินพุตจะถูกส่งเข้ามาทางอินพุต A และ B ผ่านวงจร NAND GATE ส่วนอินพุต Clock ที่ป้อนเข้ามาทางอินพุต \overline{CP} จะถูกส่งผ่านวงจรอินเวอร์เตอร์ ก่อนที่จะส่งให้กับวงจรฟลิปฟล็อป ดังนั้น วงจรจึงทำการเลื่อนบิตของข้อมูลทางอินพุตในช่วงขอบขาขึ้นของวงจร Clock และทำให้ข้อมูลที่ป้อนเข้าทางอินพุต A และ B ถูกส่งออกทางเอาต์พุตหลังจากที่สัญญาณ Clock ผ่านไป 8 ลูก สำหรับเพื่อการจัดเรียงขา

ผลจากการเลื่อนบิต จะสามารถกำหนดแอดเดรสของ Eprom ได้ โดย Eprom จะมีหน้าที่เก็บสัมประสิทธิ์ต่างๆ ที่รับเข้ามาเก็บไว้ แล้วจึงส่งต่อไปยังภาคประมวลผล

3.6.5 ภาคประมวลผล

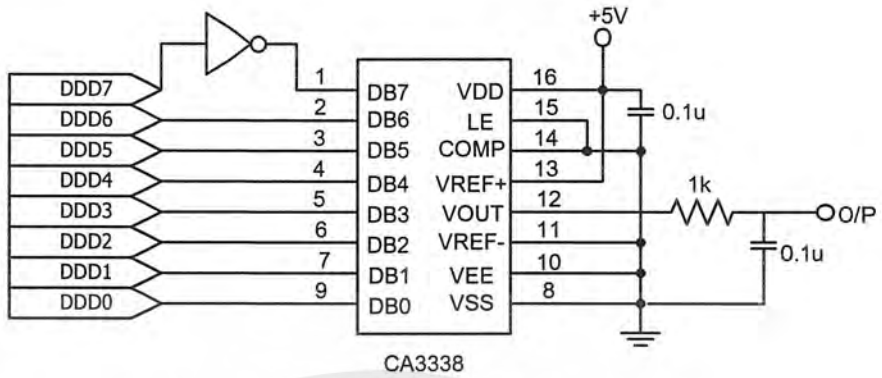
วงจรภาคประมวลผลใช้โครงสร้างแบบเลขคณิตกระจาย โดยอาศัยคุณสมบัติการบวกเลขเลขส่วนเต็มเต็มสอง แทนการคูณเลขโดยตรง ประกอบด้วยวงจรวกและลบเลข (ADD1, ADD2) และ D-Type Flip-Flop 2 ตัว (ACC1, ACC2) ขนาด 10 บิต เอาต์พุตของ ACC1, ACC2 ถูกออกแบบให้เป็นฮาร์ดแวร์สเกล (Hardware Scaling) ด้วย 2^1 ก่อนจะป้อนกลับไปที่ B1-B4 ของวงจ ADD1, ADD2 เพื่อบวกกับข้อมูลใหม่ที่ A1-A4 วิธีการเช่นนี้เพื่อป้องกันการเกิด Overflow ของผลลัพธ์วงจ ADD1A, ADD1B สำหรับตรวจสอบบิตเครื่องหมาย ส่วนรีจิสเตอร์ BUFFER จะทำการเก็บผลลัพธ์ที่ได้ไว้ เพื่อรอการแปลงเป็นสัญญาณเชิงอุปมานจากภาคเอาต์พุต วงจรแสดงดังรูปที่ 3.8



รูปที่ 3.8 วงจรภาคประมวลผล

3.6.6 ภาคเอาต์พุต

วงจรภาคเอาต์พุตออกแบบโดยใช้ D/A เบอร์ DAC0800 ให้ทำงานใน Bipolar Mode ให้เอาต์พุตมีขนาด $\pm 15\text{ V}$. ส่วนอินพุตของ DAC 0800 ต้องการอินพุตแบบ Offset Binary Code แต่ผลลัพธ์ที่ได้จากการประมวลผล เป็นเลข Two's Complement Code ดังนั้น ต้องทำการแปลงให้เป็น Offset Binary Code โดยใช้วงจร NOT Gate ที่บิตที่มีนัยสำคัญสูงสุด วงจร D/A จึงจะแปลงผลลัพธ์ไปเป็นสัญญาณเชิงอุปมานได้อย่างถูกต้อง วงจรแสดงดังรูปที่ 3.9



รูปที่ 3.9 วงจรภาคเอาต์พุต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

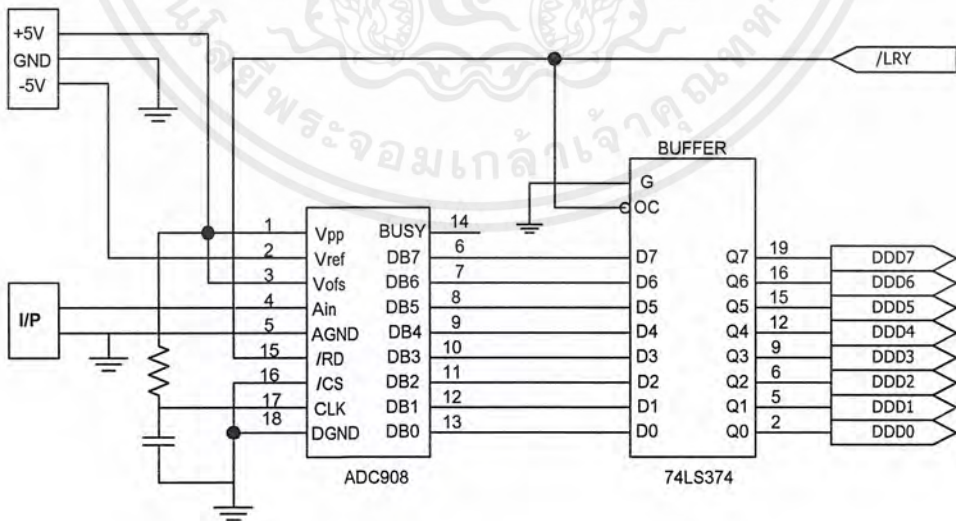
การทดลอง และผลการทดลอง

ในบทนี้จะกล่าวถึงการทดลองและผลการทดลองการทำงานของวงจรรองความถี่แบบดิจิตอลชนิด IIR การทำงานของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอล การทำงานของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะล็อก การทำงานของวงจรรีพีทรีจิสเตอร์ การทำงานของวงจรสร้างสัญญาณควบคุม วงจรภาคประมวลผล และวงจรรองความถี่เชิงเลขแบบผลตอบสนองอันดับ 6 โดยใช้อุปกรณ์จำพวกไอซี TTL

4.1 การทดลองวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอล

4.1.1 ลำดับขั้นตอนการทดลอง

1. ต่อวงจรตามรูปที่ 4.1
2. ต่อแหล่งจ่ายไฟที่สามารถปรับค่าได้ตั้งแต่ -5 โวลต์ จนถึง $+5$ โวลต์
3. ทำการปรับแหล่งจ่ายไฟ ตามค่าที่กำหนดลงในตารางที่ 4.1
4. วัดค่าเอาต์พุตที่ได้จากผลการทดลอง



รูปที่ 4.1 วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 ผลการทดลอง

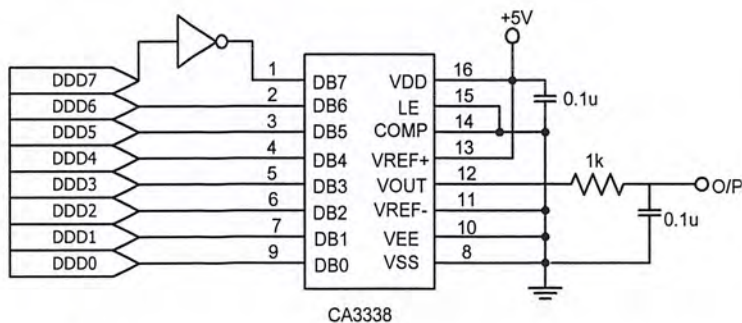
ตารางที่ 4.1 ผลการทดลองวงจร A/D

อินพุต (โวลต์)	เอาต์พุต (LED)
-5	00
-4	0F
-3	1F
-2	22
-1	2F
0	3F
1	87
2	QF
3	LO
4	E0
5	FF

4.2 การทดลองวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก

4.2.1 ลำดับขั้นตอนการทดลอง

1. ต่อวงจรตามรูปที่ 4.2
2. ป้อนแหล่งจ่ายไฟ ± 5 โวลต์ให้กับวงจร D/A
3. ปรับค่าอินพุตที่ป้อนให้วงจร D/A ตามตารางที่ 4.2
4. วัดค่าเอาต์พุตจากขา 12 ของไอซี DAC 3338



รูปที่ 4.2 วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 ผลการทดลอง

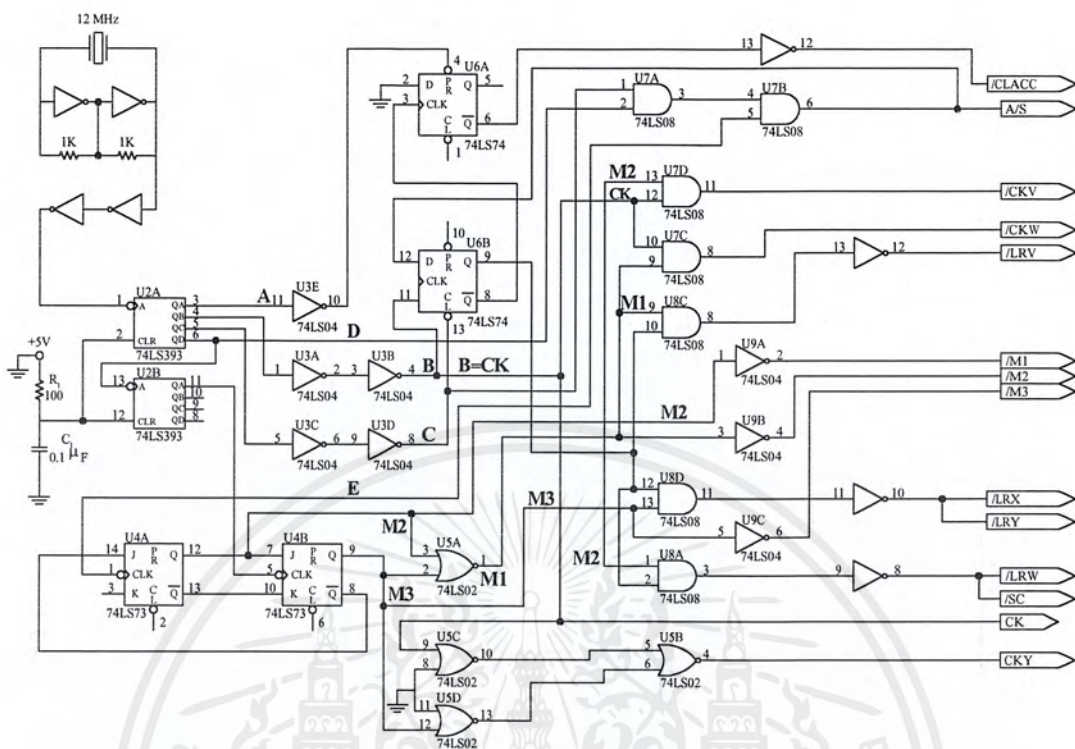
ตารางที่ 4.2 ผลการทดลองวงจร D/A

อินพุต	เอาต์พุต (โวลต์)
00	2.5
2F	3.4
4F	4.0
6F	4.6
8F	0.3
AF	0.6
CF	2.2
FF	2.6

4.3 การทดลองวงจรภาคควบคุม

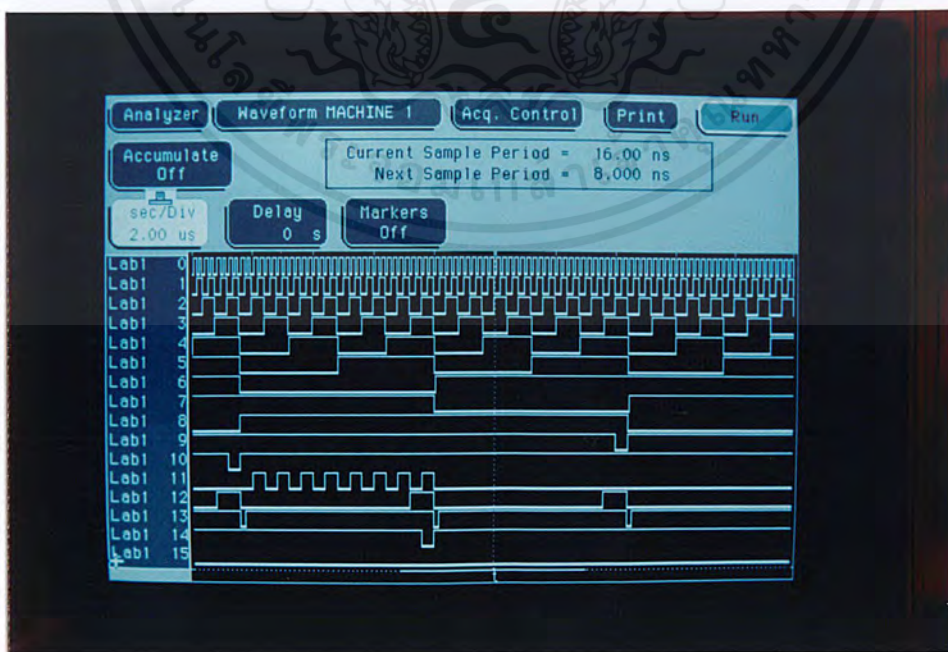
4.3.1 ลำดับขั้นการทดลอง

1. ต่อวงจรภาคควบคุมตามรูปที่ 4.3
2. ป้อนแหล่งจ่ายไฟ +5 โวลต์
3. ใช้ Logic Analyzer ตรวจสอบสัญญาณควบคุมที่ภาคควบคุม



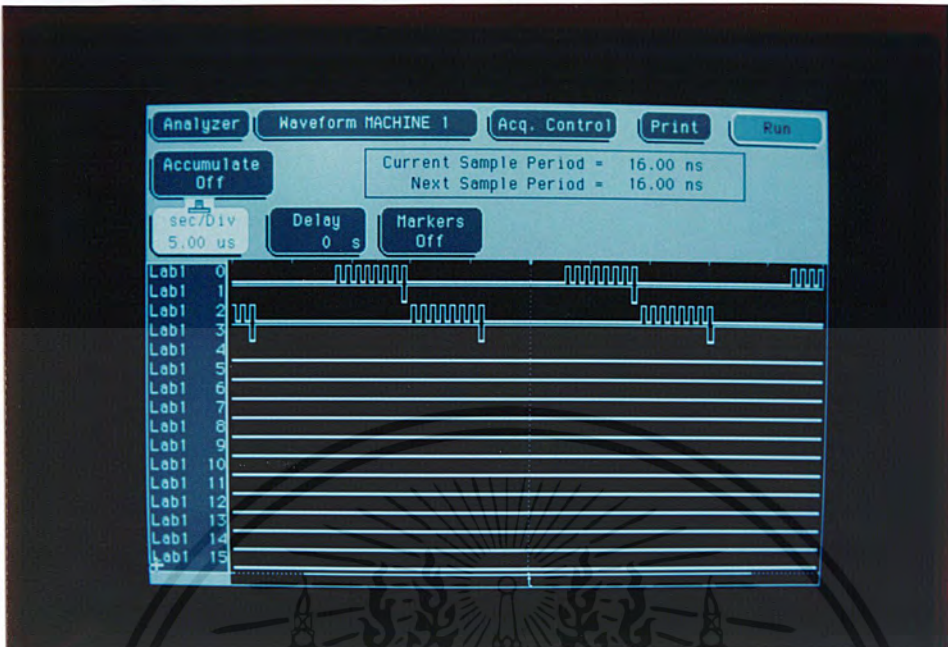
รูปที่ 4.3 วงจรภาคควบคุม

4.3.2 ผลการทดลอง



รูปที่ 4.4 สัญญาณที่ได้จากภาคควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



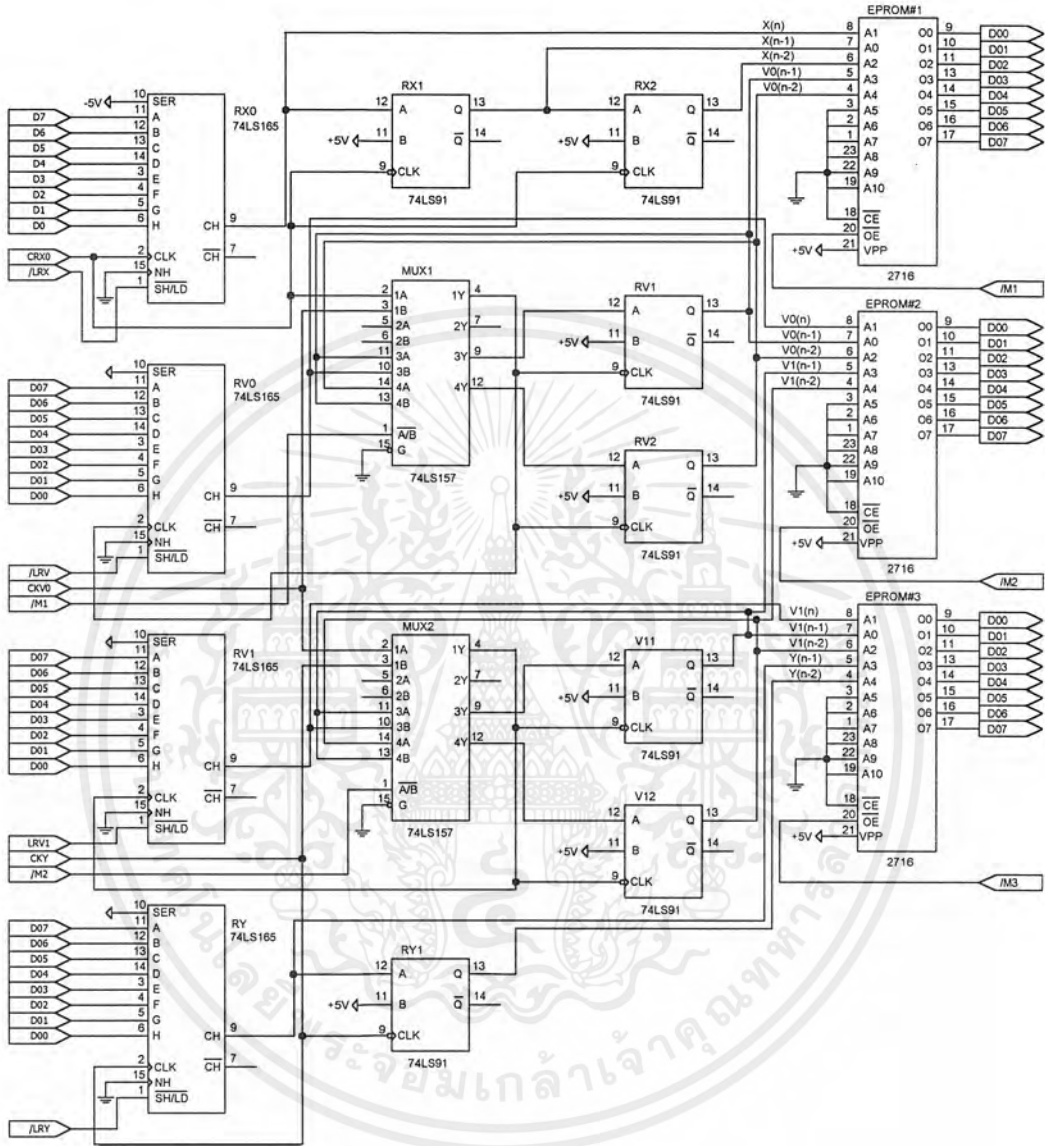
รูปที่ 4.5 (ต่อ) สัญญาณที่ได้จากภาคควบคุม

4.4 การทดลองวงจรชิพที่รีจิสเตอร์

4.4.1 ลำดับขั้นการทดลอง

1. การทดลองวงจรชิพที่รีจิสเตอร์ ต่อวงจรตามรูปที่ 4.6
2. ป้อนลอจิกค่าคงที่ 01010101 เข้าที่อินพุต
3. วัดสัญญาณของวงจรชิพที่รีจิสเตอร์ ซึ่งเป็นสัญญาณกำหนดแอดเดรสของ EPROM แต่ละตัว
4. บันทึกผลการทดลอง

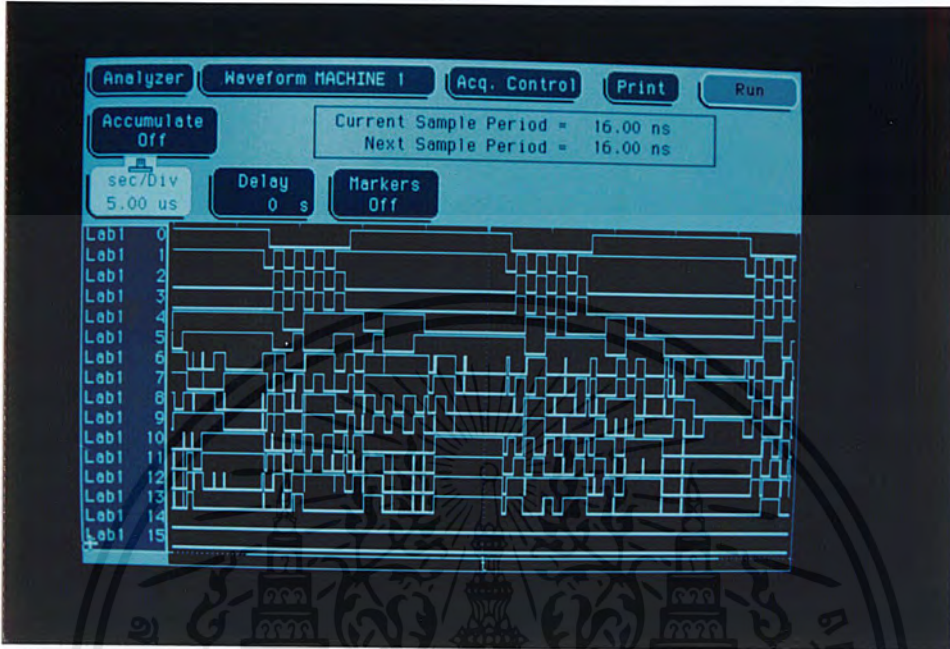
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



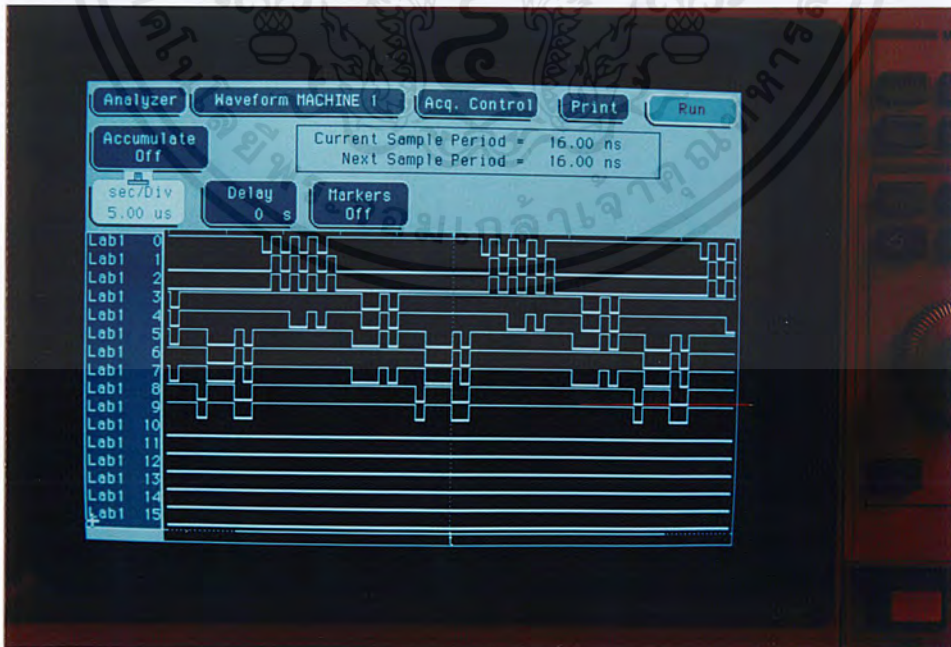
รูปที่ 4.6 วงจรชิพที่รีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.2 ผลการทดลอง

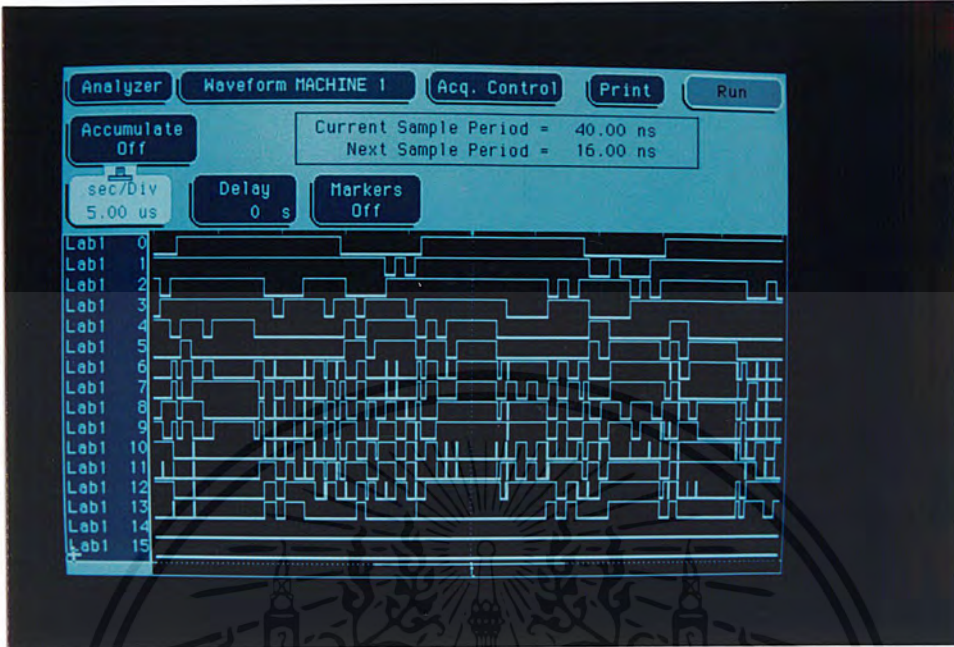


รูปที่ 4.7 รูปสัญญาณชีพรีจิสเตอร์

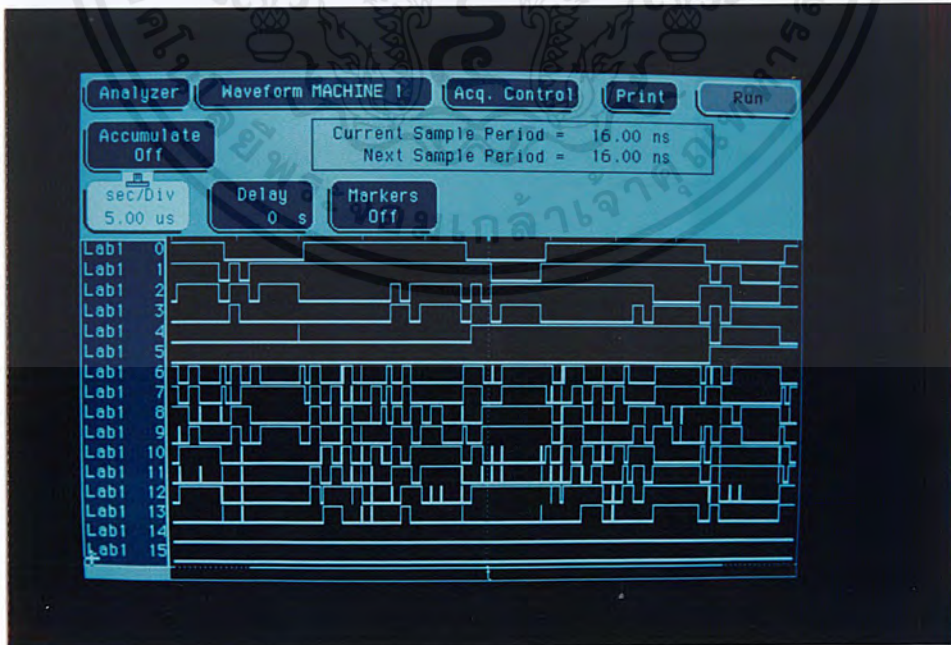


รูปที่ 4.8 สัญญาณของ EPROM1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 สัญญาณของ EPROM 2



รูปที่ 4.10 สัญญาณของ EPROM 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การทดลองรวมภาคชิพรีจิสเตอร์ ภาคควบคุม และภาคประมวลผล

4.5.1 ลำดับขั้นการทดลอง

1. ต่อวงจรทั้ง 3 วงจรเข้าด้วยกัน
2. ป้อนสัญญาณอินพุตด้วยลอจิกค่าคงที่ค่าต่างๆ
3. ทางด้านเอาต์พุตต่อกับไดโอดเปล่งแสง 8 หลัก
4. บันทึกผลการทดลอง

4.5.2 ผลการทดลอง

ตารางที่ 4.3 ผลการทดลอง

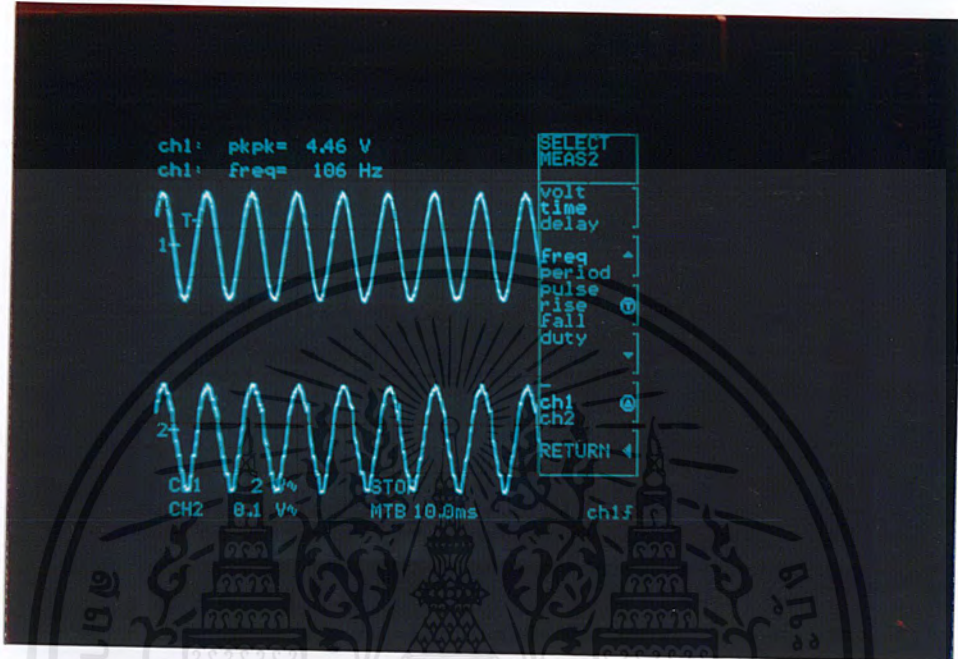
อินพุต (สัญญาณลอจิก)	เอาต์พุต (LED)
00	DF
20	98
40	EC
60	9A
80	FF
A0	F8
C0	1D
E0	9C
FF	5F

4.6 การทดลอง การทำงานของบอร์ดวงจรกรองความถี่แบบดิจิทัล

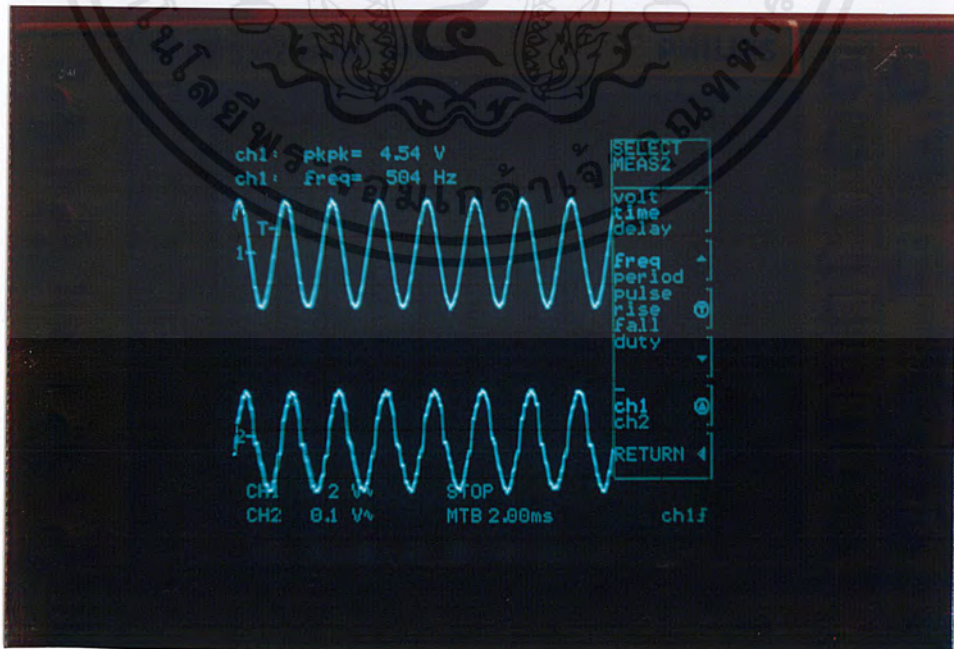
4.6.1 ลำดับขั้นการทดลอง

1. ต่อวงจรทั้งหมดเข้าด้วยกัน
2. ป้อนสัญญาณทางอินพุตที่ความถี่ต่างๆ กัน
3. ใช้ออสซิลโลสโคปวัดสัญญาณอินพุตและเอาต์พุต

4.6.2 ผลการทดลอง

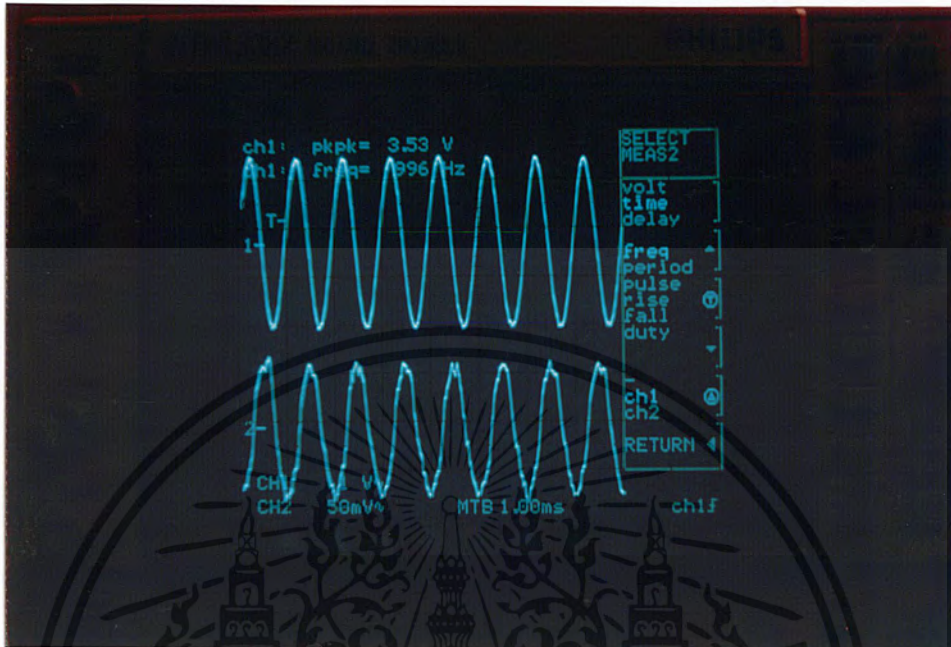


รูปที่ 4.11 สัญญาณที่ความถี่ 100 Hz

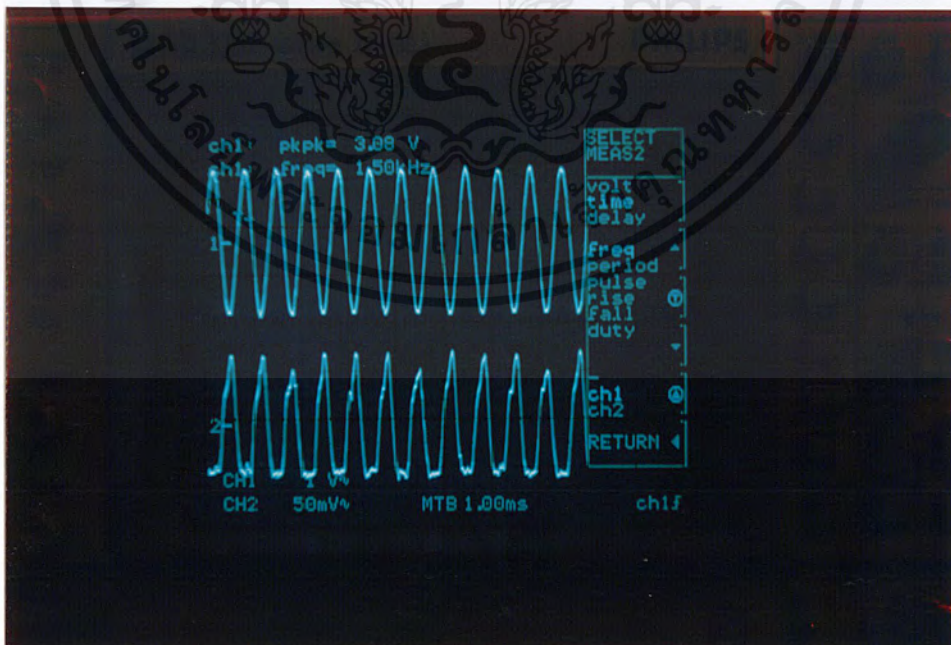


รูปที่ 4.12 สัญญาณที่ความถี่ 500 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

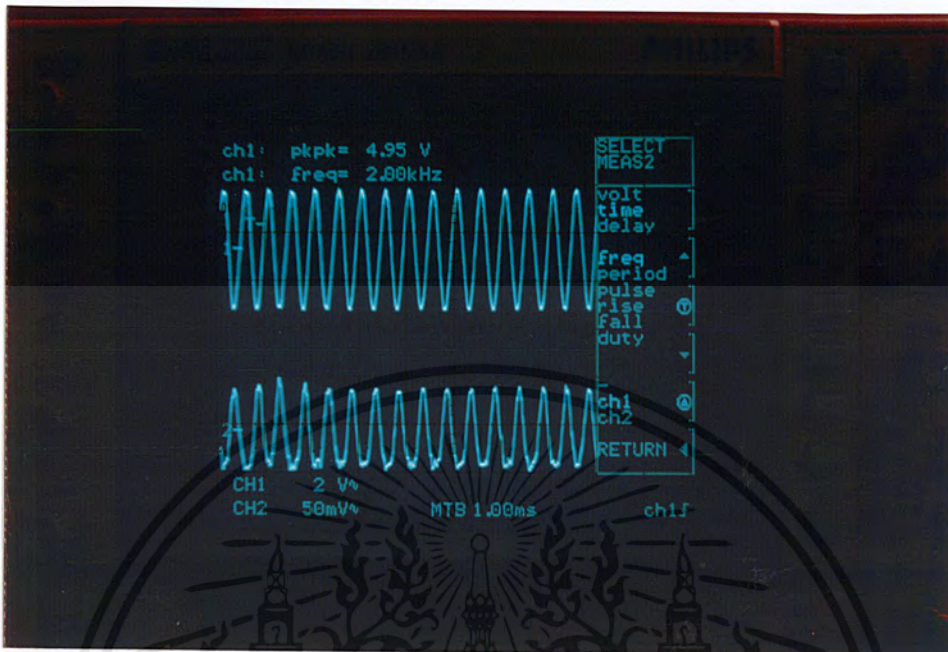


รูปที่ 4.13 สัญญาณที่ความถี่ 1 kHz

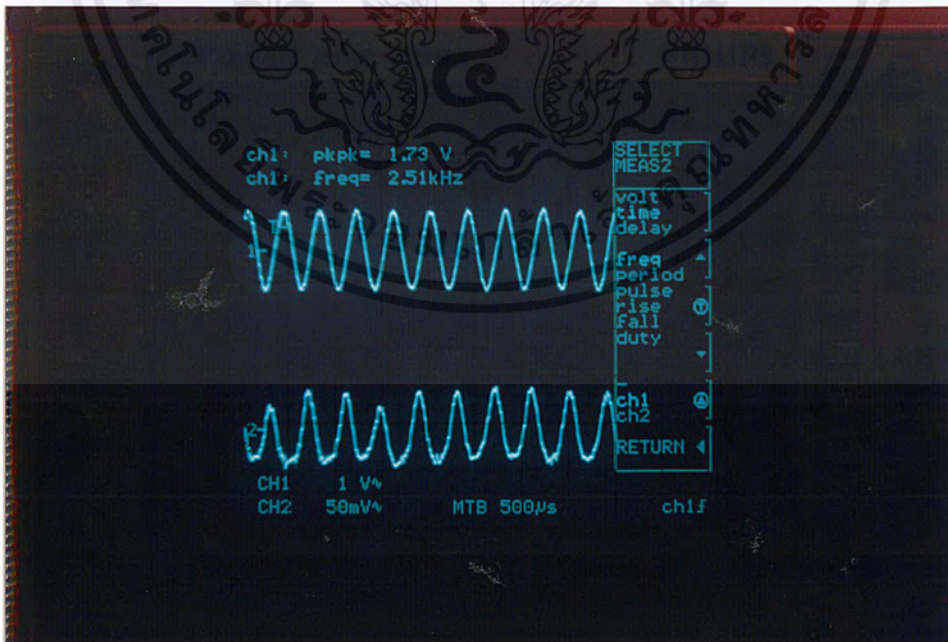


รูปที่ 4.14 สัญญาณที่ความถี่ 1.5 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

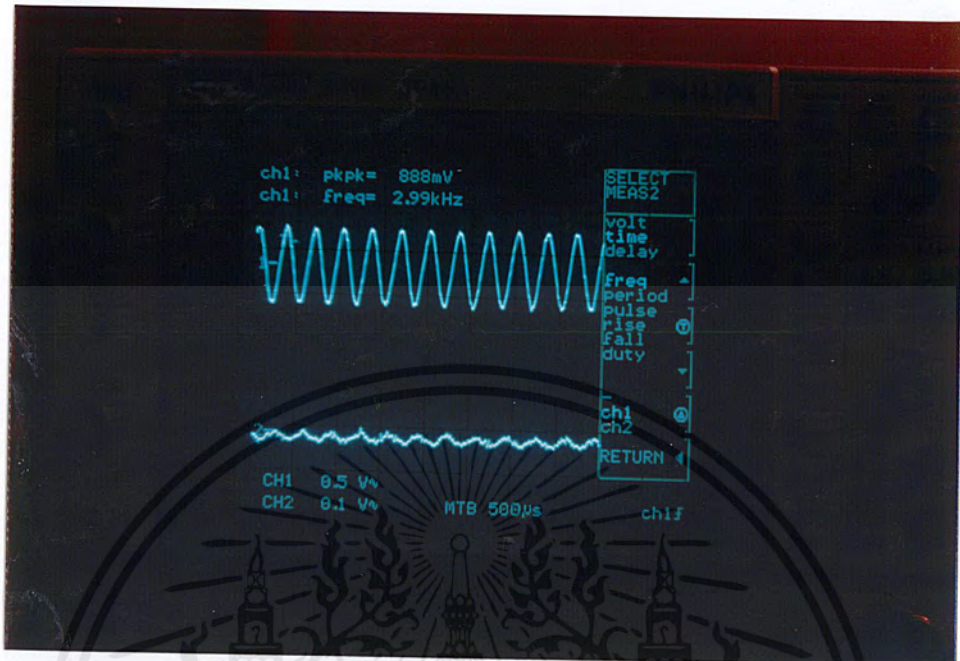


รูปที่ 4.15 สัญญาณที่ความถี่ 2 kHz

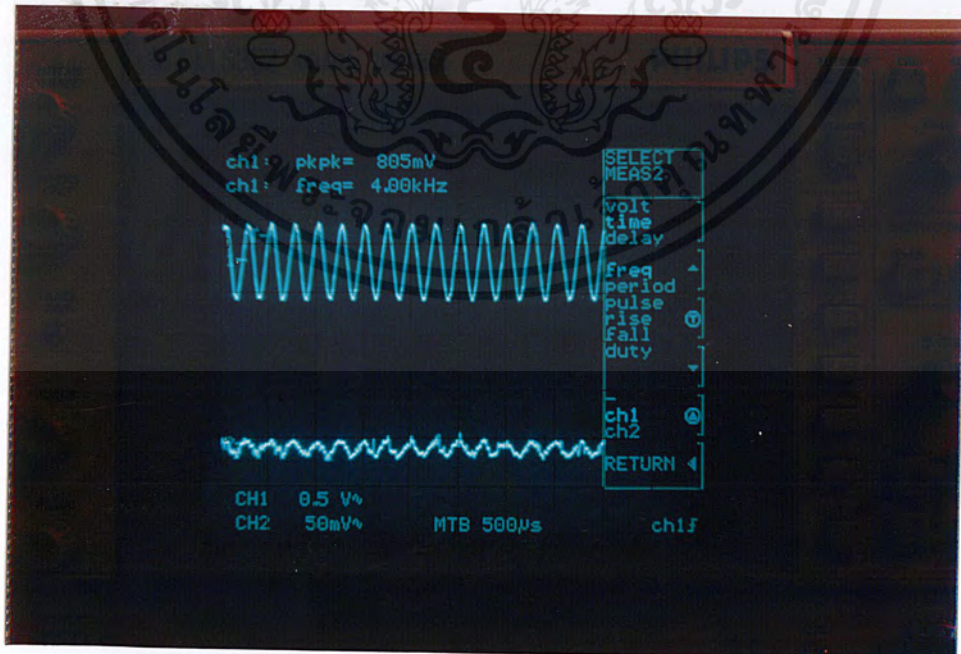


รูปที่ 4.16 สัญญาณที่ความถี่ 2.5 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 สัญญาณที่ความถี่ 3 kHz



รูปที่ 4.18 สัญญาณที่ความถี่ 4 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา

5.1 บทสรุป

วงจรกรองความถี่แบบดิจิทัลชนิด IIR ได้นำหลักการของการประมวลผลเชิงเลขมาใช้ในการออกแบบ ลักษณะของวงจรใช้ฟังก์ชันถ่ายโอนที่ได้จากการคำนวณมาทำการแปลงเป็นวงจรทางอิเล็กทรอนิกส์ โดยใช้อุปกรณ์จำพวกไอซี TTL ซึ่งมีวิธีการประหยัดฮาร์ดแวร์ และลดความยุ่งยากซับซ้อนของวงจร โดยอาศัยโครงสร้างของวงจรกรองสัญญาณป้อนกลับเชิงเลขอันดับ 2 มาต่ออนุกรมกัน 3 วงจร มีภาค A/D และ D/A เพียง 1 ชุด

การทำงานของวงจร จะนำสัญญาณที่ได้จากการสุ่มมาแปลงเป็นลำดับสัญญาณเชิงเลขขนาด 8 บิต ที่ภาค A/D ในการทำงานมีสัญญาณควบคุมไปทำการควบคุมภาคต่างๆ ภาครีจิสเตอร์ จะทำการจัดเก็บค่าสัญญาณที่ได้จากการแซมปลิงมาจัดเลื่อนสัญญาณ โดยจัดเก็บค่าสัมประสิทธิ์ในตัว EPROM แล้วส่งผ่านไปยังภาคประมวลผล ที่มีโครงสร้างคุณสมบัติการบวกลบเลขส่วนเติมเต็มสอง มาใช้แทนการคูณเลข โดยตรง ซึ่งมี Buffer ทำการเก็บผลลัพธ์เพื่อรอการแปลงเป็นสัญญาณเชิงอุปมานจากภาคเอาต์พุต ภาคเอาต์พุตจะทำการเปลี่ยนสัญญาณจากสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก

ผลการทดสอบการทำงานของวงจร ได้ทำการทดสอบการทำงานของแต่ละภาคภายในวงจรให้ได้ผลการทดสอบที่ถูกต้อง เสร็จแล้วจึงนำวงจรทุกภาคมาทดลองรวมกัน ป้อนสัญญาณจากฟังก์ชันเจนเนอเรเตอร์ แล้วจึงทำการตรวจวัดสัญญาณภายในวงจรโดยใช้ Logic Analyzer และสัญญาณเอาต์พุตโดยออสซิลโลสโคป

ผลการทดลองที่ได้ วงจรจะตอบสนองได้ดีในช่วงความถี่ 0-4 กิโลเฮิร์ตซ์ นอกจากนี้แอมพลิจูดของสัญญาณอินพุตยังมีส่วนสำคัญต่อการคัทออฟของวงจรกรองความถี่แบบดิจิทัลนี้ด้วย โดยถ้าแอมพลิจูดต่ำจะทำให้ความถี่คัทออฟสูงขึ้น

5.2 ปัญหาและแนวทางแก้ไข

ปัญหาที่เกิดขึ้นจากการทำโครงการมี ดังนี้

1. ปัญหา วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล ไม่สามารถตอบสนองความถี่สุ่มที่สูงประมาณ 120 กิโลเฮิร์ตซ์ได้
แนวทางแก้ไข ลด Clock ของวงจรให้ต่ำลง โดยให้มีความถี่สุ่ม 50 กิโลเฮิร์ตซ์
2. ปัญหา สัญญาณนาฬิกาที่ใช้ในวงจรมีความถี่สูง ทำให้เกิดสัญญาณรบกวนได้ง่าย
แนวทางแก้ไข ทำการชิลด์สัญญาณต่างๆ ให้ดี โดยใช้วิธีกราวด์เพลนและการต่อตัวเก็บประจุ

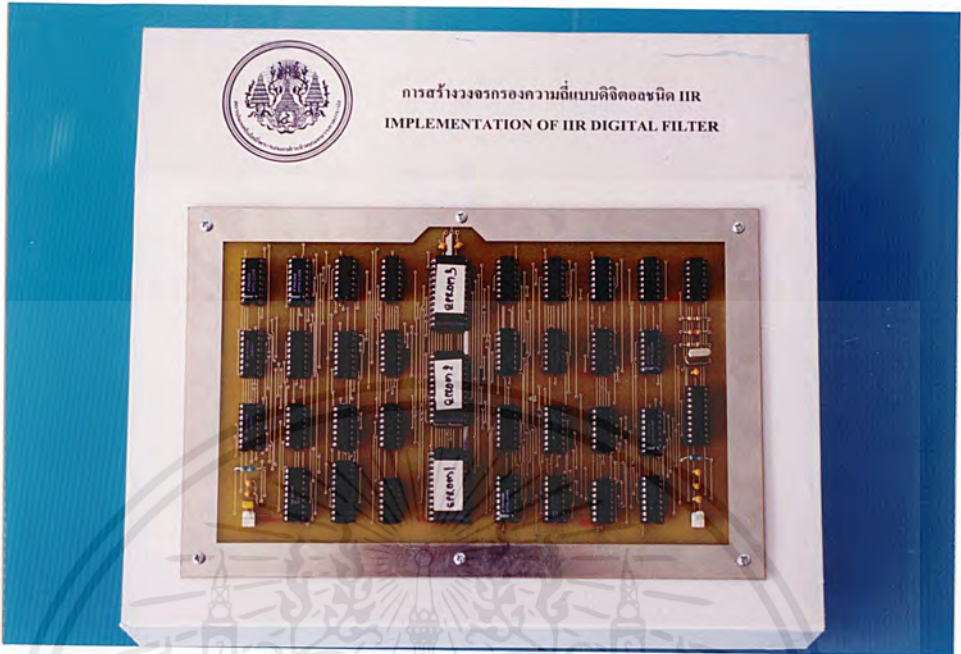
5.3 แนวทางการพัฒนา

แนวทางในการพัฒนาโครงการให้มีประสิทธิภาพสูงขึ้น มีดังนี้

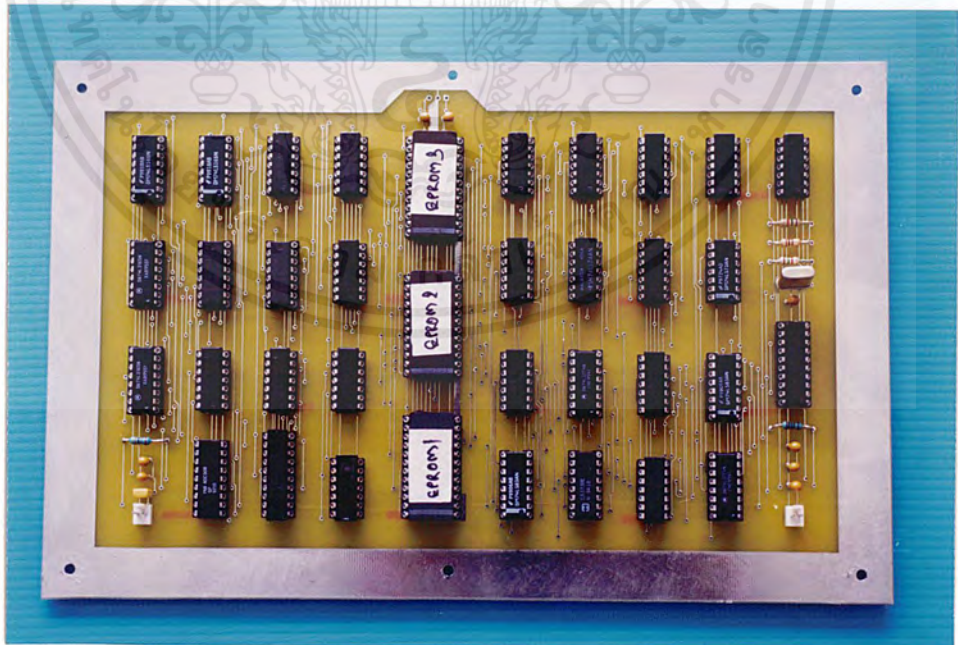
1. ทำการออกแบบวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลให้สามารถทำงานที่ความถี่สุ่มสูงๆ เพื่อให้วงจรทำงานในย่านความถี่ที่สูงขึ้นได้
2. สามารถออกแบบเพื่อลดความซับซ้อนของวงจรในการ โปรแกรมลงในอุปกรณ์ FPGAs แทนอุปกรณ์จำพวกไอซี
3. นำโครงสร้างของวงจรที่ออกแบบไปเขียนเป็น โปรแกรมคอมพิวเตอร์ได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.1 เครื่องต้นแบบด้านหน้า

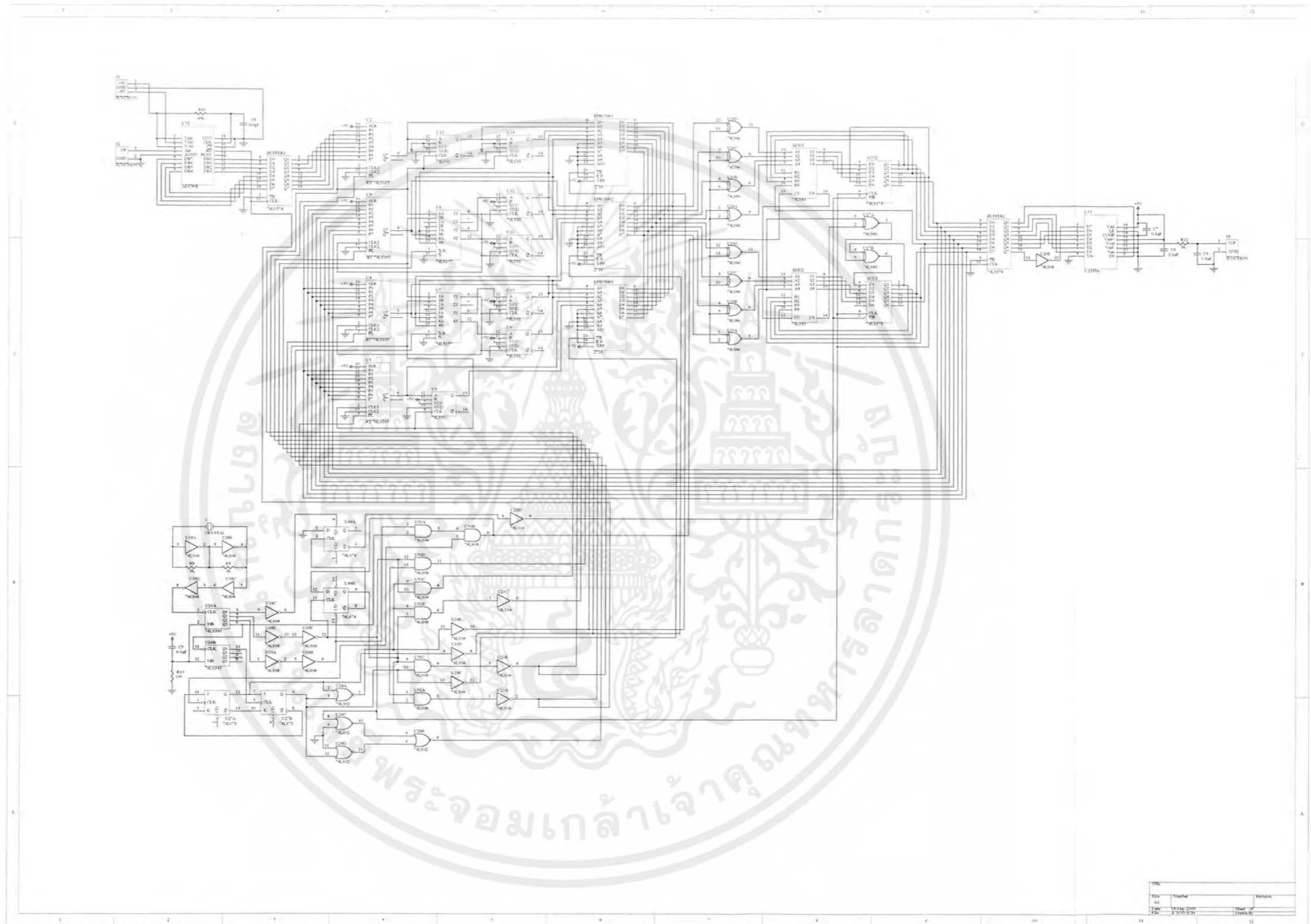


รูปที่ ก.2 เครื่องต้นแบบภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

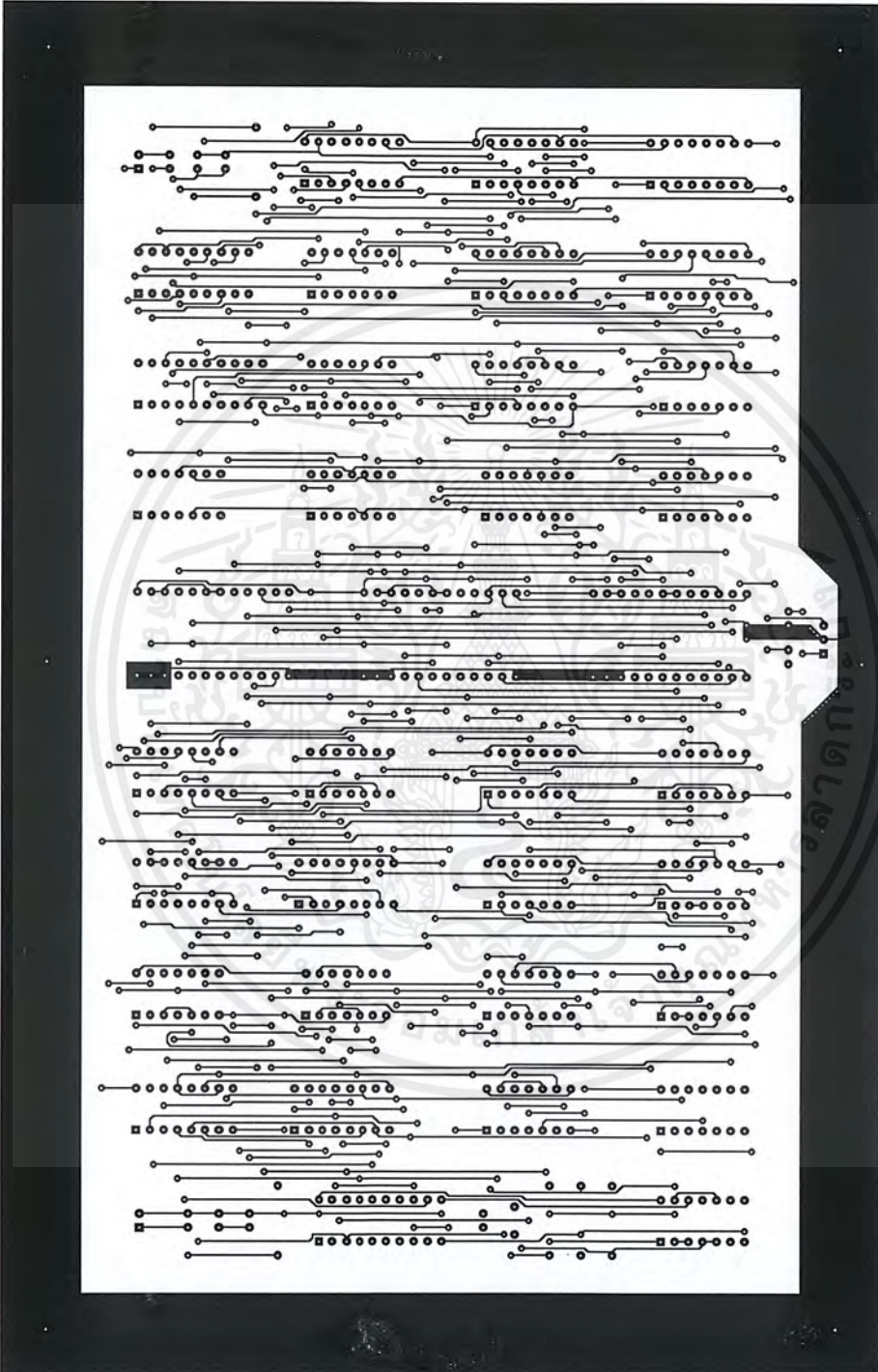


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



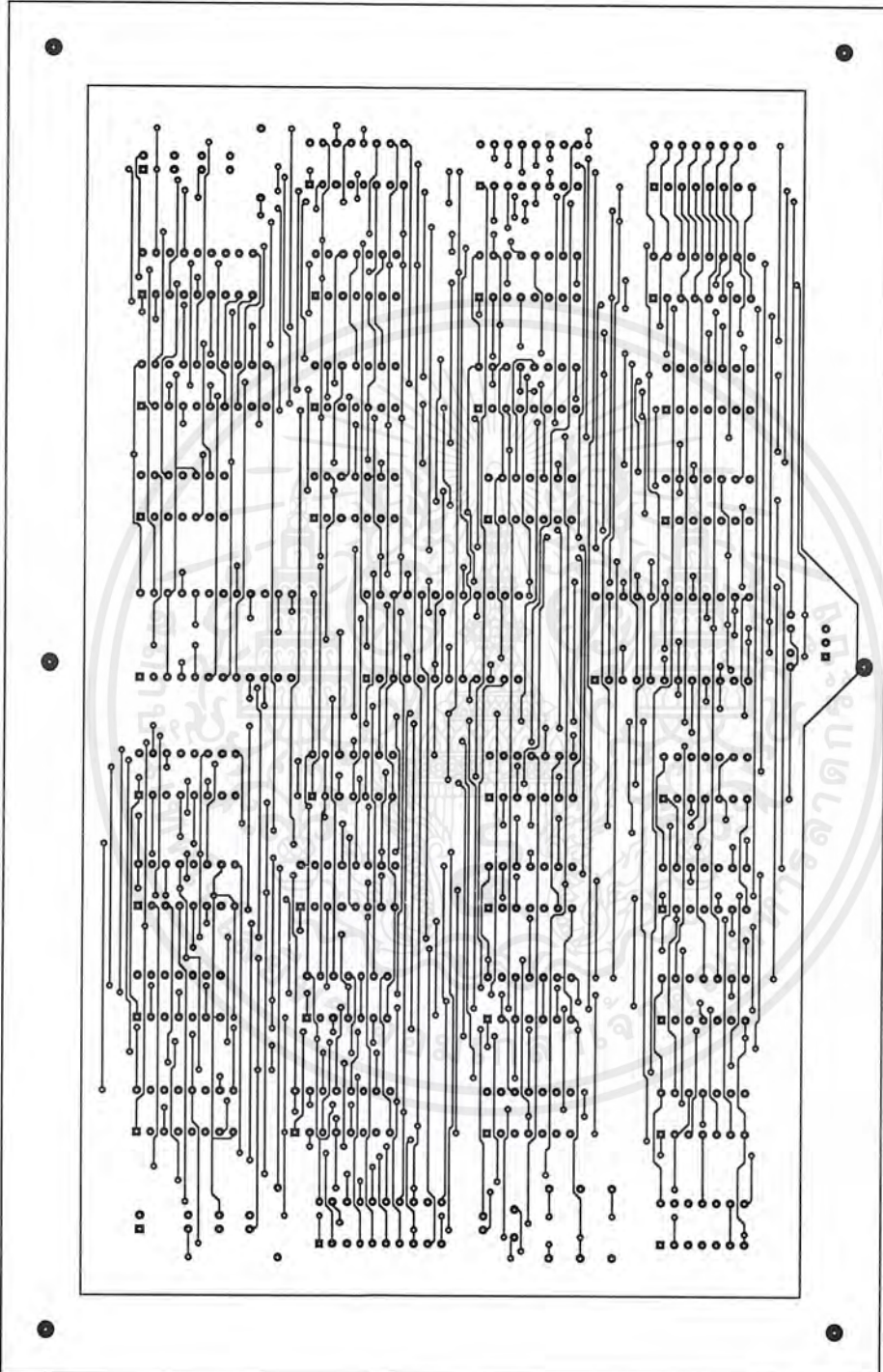
รูปที่ ข.1 วงจรกรองความถี่แบบดิจิทัลชนิด IIR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



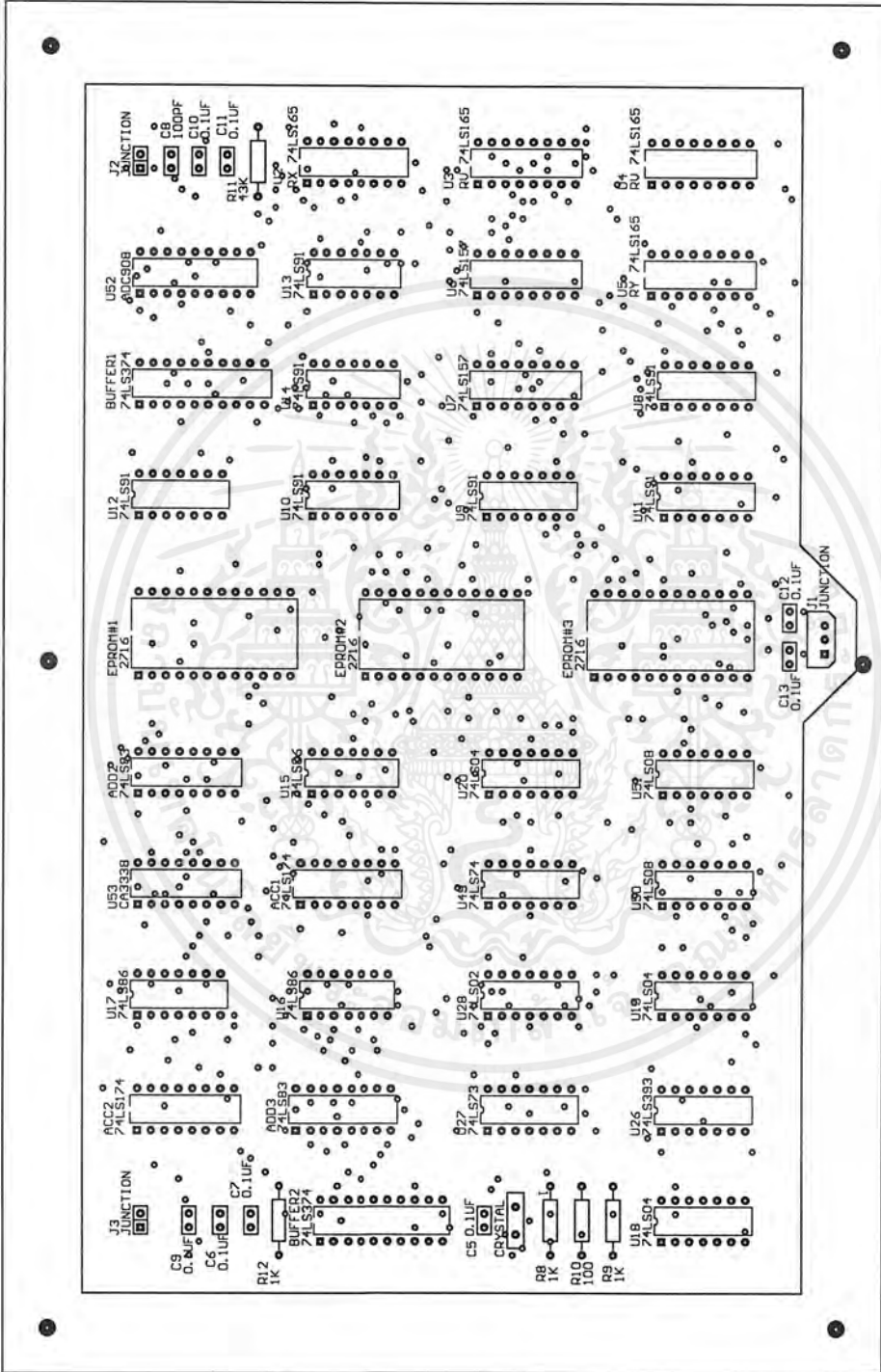
รูปที่ ข.2 ถายวงจรพิมพ์ด้านหน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.3 ถายวงจรมพิมพ์ด้านหลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ๗.๔ การวางอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ค
คำสัมประสิทธิ์ในรูปของเลขฐานสอง
และฐานสิบหกของ EPROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1

แสดงการแปลงสัมประสิทธิ์ในรูปของเลขฐานสองและสิบหกของ EPROM # 1

$a_0 = 0.07320499$ $a_1 = 0.14641$ $b_1 = -1.456456$ $b_2 = 0.7492581$

$$H(z) = \frac{a_0 z^2 + a_1 z + a_2}{b_0 z^2 + b_1 z + b_2}$$

Scaling Factor n = 2

x(n)	x(n-1)	x(n-2)	y(n-1)	y(n-2)	Memory Map F	F	F/n	HEX
0	0	0	0	0	0000 0000	0.0000000	0.00000000	00
0	0	0	0	1	1101 0000	-0.7492581	-0.37462910	D0
0	0	0	1	0	0101 1101	1.4564560	0.72822800	5D
0	0	0	1	1	0010 1101	0.7071979	0.35359900	2D
0	0	1	0	0	0000 0100	0.0732050	0.03660250	04
0	0	1	0	1	1101 0100	-0.6760531	0.33802660	D4
0	0	1	1	0	0110 0001	1.5296610	0.76483050	61
0	0	1	1	1	0011 0001	0.7804029	0.39020140	31
0	1	0	0	0	0000 1001	0.1464100	0.07320500	09
0	1	0	0	1	1101 1001	-0.6028481	-0.30142410	D9
0	1	0	1	0	0110 0110	1.6028660	0.80143300	66
0	1	0	1	1	0011 0110	0.8536079	0.42680400	36
0	1	1	0	0	0000 1110	0.2196150	0.10980750	0E
0	1	1	0	1	1101 1110	-0.5296431	-0.26482160	DE
0	1	1	1	0	0110 1011	1.6760710	0.83803550	6B
0	1	1	1	1	0011 1011	0.9268129	0.46340640	3B
1	0	0	0	0	0000 0100	0.0732050	0.03660250	04
1	0	0	0	1	1101 0100	-0.6760531	-0.33802260	D4
1	0	0	1	0	0110 0001	1.5296610	0.76483050	61
1	0	0	1	1	0011 0001	0.7804029	0.39020140	31
1	0	1	0	0	0000 1001	0.1464100	0.07320500	09
1	0	1	0	1	1101 1001	-0.6028481	-0.30142410	D9
1	0	1	1	0	0110 0110	1.6028660	0.80143300	66
1	0	1	1	1	0011 0110	0.8536079	0.42680390	36
1	1	0	0	0	0000 1110	0.2196150	0.10980750	0E
1	1	0	0	1	1101 1110	-0.5296431	-0.26482160	DE
1	1	0	1	0	0110 1011	1.6760710	0.83803550	6B
1	1	0	1	1	0011 1011	0.9268129	0.46340640	3B
1	1	1	0	0	0001 0010	0.2928200	0.14641000	12
1	1	1	0	1	1110 0010	-0.4564381	-0.22821910	E2
1	1	1	1	0	0110 1111	1.7492760	0.87463800	6F
1	1	1	1	1	0100 0000	1.0000179	0.50000890	40

ตารางที่ 2

แสดงการแปลงสัมประสิทธิ์ในรูปของเลขฐานสองและสิบหกของ EPROM # 2

$$a_0 = 0.06014342 \quad a_1 = 0.1202868 \quad a_2 = 0.06014342 \quad b_1 = 1.196583$$

$$b_2 = 0.4371522 \quad H(z) = \frac{a_0 z^2 + a_1 z + a_2}{b_0 z^2 + b_1 z + b_2}$$

Scaling Factor n = 2

x(n)	x(n-1)	x(n-2)	y(n-1)	y(n-2)	Memory Map F	F	F/n	HEX
0	0	0	0	0	0000 0000	0.0000000	0.0000000	00
0	0	0	0	1	1110 0000	-0.4371522	-0.2185761	E4
0	0	0	1	0	0100 1100	1.1965830	0.5982915	4C
0	0	0	1	1	0011 0000	0.7594308	0.3797154	30
0	0	1	0	0	0000 0011	0.0601434	0.0300717	03
0	0	1	0	1	1110 0111	-0.3770088	-0.1885044	E7
0	0	1	1	0	0101 0000	1.2567246	0.6283632	50
0	0	1	1	1	0011 0100	0.8195742	0.4097871	34
0	1	0	0	0	0000 0111	0.1202868	0.0601434	07
0	1	0	0	1	1110 1011	-0.3168654	-0.1584327	EB
0	1	0	1	0	0101 0100	1.3168698	0.6584349	54
0	1	0	1	1	0011 1000	0.8797876	0.4398588	38
0	1	1	0	0	0000 1011	0.1804302	0.0902151	0B
0	1	1	0	1	1110 1111	-0.2567220	-0.1283610	EF
0	1	1	1	0	0101 1000	1.3770132	0.6885066	58
0	1	1	1	1	0011 1100	0.9398610	0.4699305	3C
1	0	0	0	0	0000 0011	0.0601434	0.0300717	03
1	0	0	0	1	1110 0111	-0.3770088	-0.1885044	E7
1	0	0	1	0	0101 0000	1.2567264	0.6283632	50
1	0	0	1	1	0011 0100	0.8195742	0.4097871	34
1	0	1	0	0	0000 0111	0.1202868	0.0601434	07
1	0	1	0	1	1110 1011	-0.3168654	-0.1584327	EB
1	0	1	1	0	0101 0100	1.3168698	0.6584349	54
1	0	1	1	1	0011 1000	0.8797176	0.4398588	38
1	1	0	0	0	0000 1011	0.1804302	0.0902151	0B
1	1	0	0	1	1110 1111	-0.2567220	-0.1283610	EF
1	1	0	1	0	0101 1000	1.3770132	0.6885066	58
1	1	0	1	1	0011 1100	0.9398610	0.4699305	3C
1	1	1	0	0	0000 1111	0.2405736	0.1202868	0F
1	1	1	0	1	1111 0011	-0.1965789	-0.0982893	F3
1	1	1	1	0	0101 1011	1.4371566	0.7185783	5B
1	1	1	1	1	0100 0000	1.0000044	0.5000022	40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3

แสดงการแปลงสัมประสิทธิ์ในรูปของเลขฐานสองและสิบหกของ EPROM # 3

$$a_0 = 0.05452716 \quad a_1 = 0.1090543 \quad a_2 = 0.05452716 \quad b_1 = 1.084849$$

$$b_2 = 0.302945 \quad H(z) = \frac{a_0 z^2 + a_1 z + a_2}{b_0 z^2 + b_1 z + b_2}$$

Scaling Factor n = 2

x(n)	x(n-1)	x(n-2)	y(n-1)	y(n-2)	Memory Map F	F	F/n	HEX
0	0	0	0	0	0000 0000	0.0000000	0.0000000	00
0	0	0	0	1	1110 1100	-0.3029450	-0.1514725	EC
0	0	0	1	0	0100 0101	1.0848490	0.5424245	45
0	0	0	1	1	0011 0010	0.7819040	0.3909520	32
0	0	1	0	0	0000 0011	0.0542720	0.0272636	03
0	0	1	0	1	1111 0000	-0.2484178	-0.1242089	F0
0	0	1	1	0	0100 1000	1.1393762	0.5696881	48
0	0	1	1	1	0011 0101	0.8364312	0.4182156	35
0	1	0	0	0	0000 0110	0.1090543	0.0545272	06
0	1	0	0	1	1111 0011	-0.1938907	-0.9694540	F3
0	1	0	1	0	0100 1100	1.1939033	0.5969517	4C
0	1	0	1	1	0011 1001	0.8909583	0.4454792	39
0	1	1	0	0	0000 1010	0.1635815	0.0817907	0A
0	1	1	0	1	1111 0111	-0.1393635	-0.0696818	F7
0	1	1	1	0	0100 1111	1.2484305	0.6242152	4F
0	1	1	1	1	0011 1100	0.9454855	0.4727427	3C
1	0	0	0	0	0000 0011	0.0545272	0.0272636	03
1	0	0	0	1	1111 0000	-0.2484178	-0.124289	F0
1	0	0	1	0	0100 1000	1.1393762	0.5696881	48
1	0	0	1	1	0011 0101	0.8364312	0.4182156	35
1	0	1	0	0	0000 0110	0.1090543	0.0545272	06
1	0	1	0	1	1111 0011	-0.1938907	-0.0969453	F3
1	0	1	1	0	0100 1100	1.1939033	0.5969517	4C
1	0	1	1	1	0011 1001	0.8909583	0.4454792	39
1	1	0	0	0	0000 1010	0.1635815	0.0817907	0A
1	1	0	0	1	1111 0111	-0.1393635	-0.0698180	F7
1	1	0	1	0	0100 1111	1.2484305	0.6242152	4F
1	1	0	1	1	0011 1100	0.9454855	0.4727427	3C
1	1	1	0	0	0000 1101	0.2181086	0.1090543	0D
1	1	1	0	1	1111 1010	-0.0848364	-0.0424182	FA
1	1	1	1	0	0101 0011	1.3029576	0.6514788	53
1	1	1	1	1	0100 0000	1.0000126	0.5000063	40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ง
รายละเอียด และคุณสมบัติของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



CA3338, CA3338A

CMOS Video Speed, 8-Bit,
50 MSPS, R2R D/A Converters

August 1997

Features

- CMOS/SOS Low Power
- R2R Output, Segmented for Low "Glitch"
- CMOS/TTL Compatible Inputs
- Fast Settling: (Typ) to $\frac{1}{2}$ LSB 20ns
- Feedthrough Latch for Clocked or Unclocked Use
- Accuracy (Typ) ± 0.5 LSB
- Data Complement Control
- High Update Rate (Typ) 50MHz
- Unipolar or Bipolar Operation

Applications

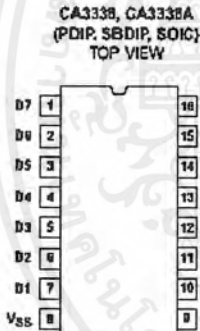
- TV/Video Display
- High Speed Oscilloscope Display
- Digital Waveform Generator
- Direct Digital Synthesis

Description

The CA3338 family are CMOS/SOS high speed R2R voltage output digital-to-analog converters. They can operate from a single +5V supply, at video speeds, and can produce "rail-to-rail" output swings. Internal level shifters and a pin for an optional second supply provide for an output range below digital ground. The data complement control allows the inversion of input data while the latch enable control provides either feedthrough or latched operation. Both ends of the R2R ladder network are available externally and may be modulated for gain or offset adjustments. In addition, "glitch" energy has been kept very low by segmenting and thermometer encoding of the upper 3 bits.

The CA3338 is manufactured on a sapphire substrate to give low dynamic power dissipation, low output capacitance, and inherent latch-up resistance.

Pinout



Ordering Information

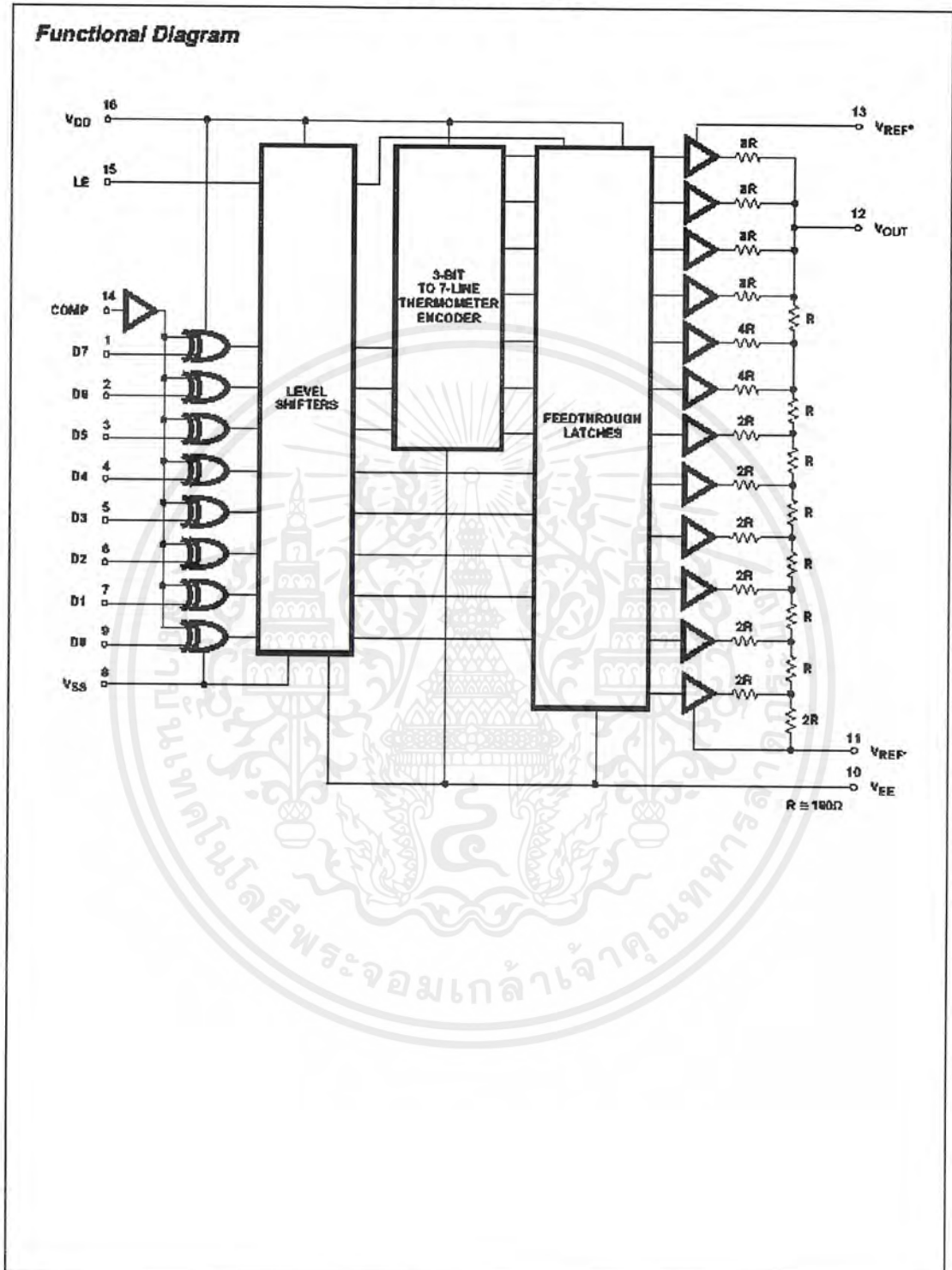
PART NUMBER	LINEARITY (INL, DNL)	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3338E	± 1.0 LSB	-40 to 85	16 Ld PDIP	E16.3
CA3338AE	± 0.75 LSB	-40 to 85	16 Ld PDIP	E16.3
CA3338D	± 1.0 LSB	-55 to 125	16 Ld SBDIP	D16.3
CA3338AD	± 0.75 LSB	-55 to 125	16 Ld SBDIP	D16.3
CA3338M	± 1.0 LSB	-40 to 85	16 Ld SOIC	M16.3
CA3338AM	± 0.75 LSB	-40 to 85	16 Ld SOIC	M16.3

CAUTION: These devices are sensitive to electrostatic discharge, follow proper IC Handling Procedures.
<http://www.intersil.com> or 407-727-9207 | Copyright © Intersil Corporation 1999

File Number **1850.2**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3338, CA3338A



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3338, CA3338A

Absolute Maximum Ratings

DC Supply-Voltage Range ($V_{DD} - V_{SS}$ or $V_{DD} - V_{EE}$, Whichever is Greater)	-0.5V to +8V
Input Voltage Range	
Digital Inputs (LE, COMP D0 - D7)	$V_{SS} - 0.5V$ to $V_{DD} + 0.5V$
Analog Pins (V_{REF+} , V_{REF-} , V_{OUT})	$V_{DD} - 8V$ to $V_{DD} + 0.5V$
DC Input Current	
Digital Inputs (LE, COMP, D0 - D7)	$\pm 20mA$
Recommended Supply Voltage Range	4.5V to 7.5V

Operating Conditions

Temperature Range (T_A)	
Ceramic Package, D suffix	-55°C to 125°C
Plastic Package, E suffix, M suffix	-40°C to 85°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

- θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
SBDIP Package	75	24
PDIP Package	100	N/A
SOIC Package	100	N/A
Maximum Junction Temperature		
Ceramic Package		175°C
Plastic Packages		150°C
Maximum Storage Temperature Range, T_{STG}		-65°C to 150°C
Maximum Lead Temperature (Soldering 10s)		300°C (SOIC - Lead Tips Only)

Electrical Specifications $T_A = 25^\circ C$, $V_{DD} = 5V$, $V_{REF+} = 4.608V$, $V_{SS} = V_{EE} = V_{REF-} = GND$, LE Clocked at 20MHz, $R_L \geq 1k\Omega$, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS	
ACCURACY						
Resolution		8	-	-	Bits	
Integral Linearity Error	See Figure 4					
						CA3338
CA3338A					± 0.75	LSB
Differential Linearity Error	See Figure 4					
						CA3338
CA3338A					± 0.5	LSB
Gain Error	Input Code = FF _{HEX} ; See Figure 3					
						CA3338
CA3338A					± 0.5	LSB
Offset Error	Input Code = 00 _{HEX} ; See Figure 3	-	-	± 0.25	LSB	
DIGITAL INPUT TIMING						
Update Rate	To Maintain $1/2$ LSB Settling	DC	50	-	MHz	
Update Rate	$V_{REF-} = V_{EE} = -2.5V$, $V_{REF+} = +2.5V$	DC	20	-	MHz	
Set Up Time t_{SU1}	For Low Glitch	-	-2	-	ns	
Set Up Time t_{SU2}	For Data Store	-	8	-	ns	
Hold Time t_H	For Data Store	-	5	-	ns	
Latch Pulse Width t_W	For Data Store	-	5	-	ns	
Latch Pulse Width t_W	$V_{REF-} = V_{EE} = -2.5V$, $V_{REF+} = +2.5V$	-	25	-	ns	
OUTPUT PARAMETERS R_L Adjusted for 1V _{pp} Output						
Output Delay t_{D1}	From LE Edge	-	25	-	ns	
Output Delay t_{D2}	From Data Changing	-	22	-	ns	
Rise Time t_r	10% to 90% of Output	-	4	-	ns	
Settling Time t_s	10% to Settling to $1/2$ LSB	-	20	-	ns	
Output Impedance	$V_{REF+} = 8V$, $V_{DD} = 6V$	120	180	200	Ω	
Glitch Area		-	150	-	pV/s	
Glitch Area	$V_{REF-} = V_{EE} = -2.5V$, $V_{REF+} = +2.5V$	-	250	-	pV/s	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3338, CA3338A

Electrical Specifications $T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $V_{REF+} = 4.608\text{V}$, $V_{SS} = V_{EE} = V_{REF-} = \text{GND}$. LE Clocked at 20MHz, $R_L \geq 1\text{M}\Omega$. Unless Otherwise Specified (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE VOLTAGE					
V_{REF+} Range	(+) Full Scale, Note 1	$V_{REF-} + 3$	-	V_{DD}	V
V_{REF-} Range	(-) Full Scale, Note 1	V_{EE}	-	$V_{REF+} - 3$	V
V_{REF+} Input Current	$V_{REF+} = 6\text{V}$, $V_{DD} = 6\text{V}$	-	40	50	mA
SUPPLY VOLTAGE					
Static I_{DD} or I_{EE}	LE = Low, D0 - D7 = High	-	100	220	μA
	LE = Low, D0 - D7 = Low	-	-	100	μA
Dynamic I_{DD} or I_{EE}	$V_{OUT} = 10\text{MHz}$, 0V to 5V Square Wave	-	20	-	mA
Dynamic I_{DD} or I_{EE}	$V_{OUT} = 10\text{MHz}$, $\pm 2.5\text{V}$ Square Wave	-	25	-	mA
V_{DD} Rejection	50kHz Sine Wave Applied	-	3	-	mV/V
V_{EE} Rejection	50kHz Sine Wave Applied	-	1	-	mV/V
DIGITAL INPUTS D0 - D7, LE, COMP					
High Level Input Voltage	Note 1	2	-	-	V
Low Level Input Voltage	Note 1	-	-	0.8	V
Leakage Current		-	± 1	± 5	μA
Capacitance		-	5	-	pF
TEMPERATURE COEFFICIENTS					
Output Impedance		-	200	-	ppm/ $^\circ\text{C}$

NOTE:

- Parameter not tested, but guaranteed by design or characterization.

Pin Descriptions

PIN	NAME	DESCRIPTION
1	D7	Most Significant Bit Input Data Bits (High = True)
2	D6	
3	D5	
4	D4	
5	D3	
6	D2	
7	D1	
8	V_{SS}	Digital Ground
9	D0	Least Significant Bit. Input Data Bit
10	V_{EE}	Analog Ground
11	V_{REF-}	Reference Voltage Negative Input
12	V_{OUT}	Analog Output
13	V_{REF+}	Reference Voltage Positive Input
14	COMP	Data Complement Control Input. Active High
15	LE	Latch Enable Input. Active Low
16	V_{DD}	Digital Power Supply, +5V

Digital Signal Path

The digital inputs (LE, COMP, and D0 - D7) are of TTL compatible HCT High Speed CMOS design: the loading is essentially capacitive and the logic threshold is typically 1.5V.

The 8 data bits, D0 (weighted 2^0) through D7 (weighted 2^7), are applied to Exclusive OR gates (see Functional Diagram). The COMP (data complement) control provides the second input to the gates: if COMP is high, the data bits will be inverted as they pass through.

The input data and the LE (latch enable) signals are next applied to a level shifter. The inputs, operating between the levels of V_{DD} and V_{SS} , are shifted to operate between V_{DD} and V_{EE} . V_{EE} optionally at ground or at a negative voltage, will be discussed under bipolar operation. All further logic elements except the output drivers operate from the V_{DD} and V_{EE} supplies.

The upper 3 bits of data, D5 through D7, are input to a 3-to-7 line bar graph encoder. The encoder outputs and D0 through D4 are applied to a feedthrough latch, which is controlled by LE (latch enable).

CA3338, CA3338A

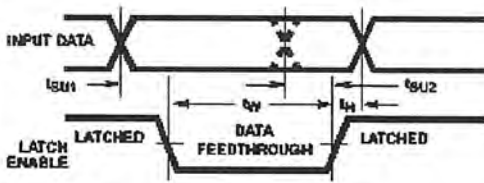


FIGURE 1. DATA TO LATCH ENABLE TIMING

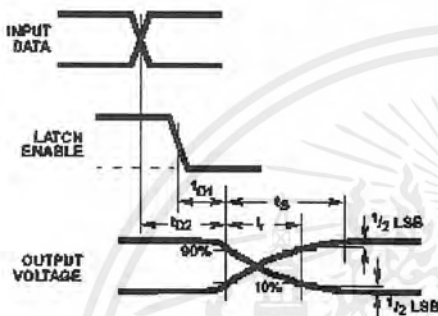


FIGURE 2. DATA AND LATCH ENABLE TO OUTPUT TIMING

Latch Operation

Data is fed from input to output while LE is low. LE should be fed low for non-clocked operation.

Non-clocked operation or changing data while LE is low is not recommended for applications requiring low output "glitch" energy; there is no guarantee of the simultaneous changing of input data or the equal propagation delay of all bits through the converter. Several parameters are given if the converter is to be used in either of these modes: t_{D2} gives the delay from the input changing to the output changing (10%), while t_{SU2} and t_H give the set up and hold times (referred to LE rising edge) needed to latch data. See Figures 1 and 2.

Clocked operation is needed for low "glitch" energy use. Data must meet the given t_{SU1} set up time to the LE falling edge, and the t_H hold time from the LE rising edge. The delay to the output changing, t_{D1} , is now referred to the LE falling edge.

There is no need for a square wave LE clock; LE must only meet the minimum t_W pulse width for successful latch operation. Generally, output timing (desired accuracy of settling) sets the upper limit of usable clock frequency.

Output Structure

The latches feed data to a row of high current CMOS drivers, which in turn feed a modified R2R ladder network.

The "N" channel (pull down) transistor of each driver plus the bottom "2R" resistor are returned to V_{REF-} this is the (-) full-scale reference. The "P" channel (pull up) transistor of each driver is returned to V_{REF+} , the (+) full-scale reference.

In unipolar operation, V_{REF-} would typically be returned to analog ground, but may be raised above ground (see specifications). There is substantial code dependent current that flows from V_{REF+} to V_{REF-} (see V_{REF+} input current in specifications), so V_{REF-} should have a low impedance path to ground.

In bipolar operation, V_{REF-} would be returned to a negative voltage (the maximum voltage rating to V_{DD} must be observed). V_{EE} , which supplies the gate potential for the output drivers, must be returned to a point at least as negative as V_{REF-} . Note that the maximum clocking speed decreases when the bipolar mode is used.

Static Characteristics

The ideal 8-bit D/A would have an output equal to V_{REF-} with an input code of 00_{HEX} (zero scale output), and an output equal to 255/256 of V_{REF+} (referred to V_{REF-}) with an input code of FF_{HEX} (full scale output). The difference between the ideal and actual values of these two parameters are the OFFSET and GAIN errors, respectively; see Figure 3.

If the code into an 8-bit D/A is changed by 1 count, the output should change by 1/255 (full scale output - zero scale output). A deviation from this step size is a differential linearity error, see Figure 4. Note that the error is expressed in fractions of the ideal step size (usually called an LSB). Also note that if the (-) differential linearity error is less (in absolute numbers) than 1 LSB, the device is monotonic. (The output will always increase for increasing code or decrease for decreasing code).

If the code into an 8-bit D/A is at any value, say "N", the output voltage should be N/255 of the full scale output (referred to the zero scale output). Any deviation from that output is an integral linearity error, usually expressed in LSBs. See Figure 4.

Note that OFFSET and GAIN errors do not affect integral linearity, as the linearity is referenced to actual zero and full scale outputs, not ideal. Absolute accuracy would have to also take these errors into account.

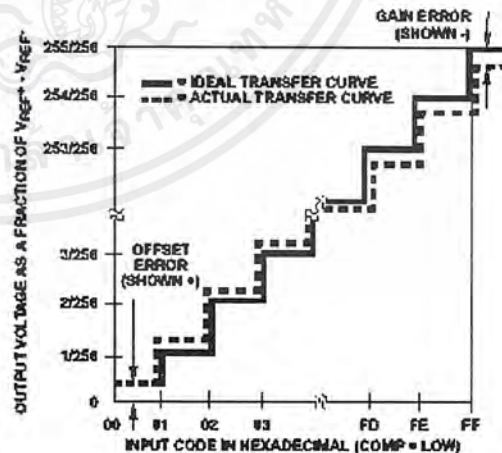


FIGURE 3. D/A OFFSET AND GAIN ERROR

CA3338, CA3338A

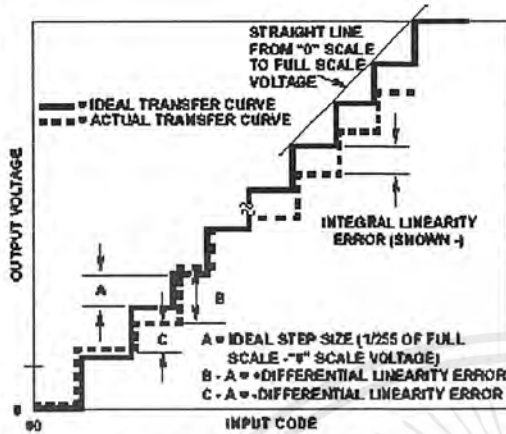


FIGURE 4. D/A INTEGRAL AND DIFFERENTIAL LINEARITY ERROR

Dynamic Characteristics

Keeping the full-scale range ($V_{REF+} - V_{REF-}$) as high as possible gives the best linearity and lowest "glitch" energy (referred to 1V). This provides the best "P" and "N" channel gate drives (hence saturation resistance) and propagation

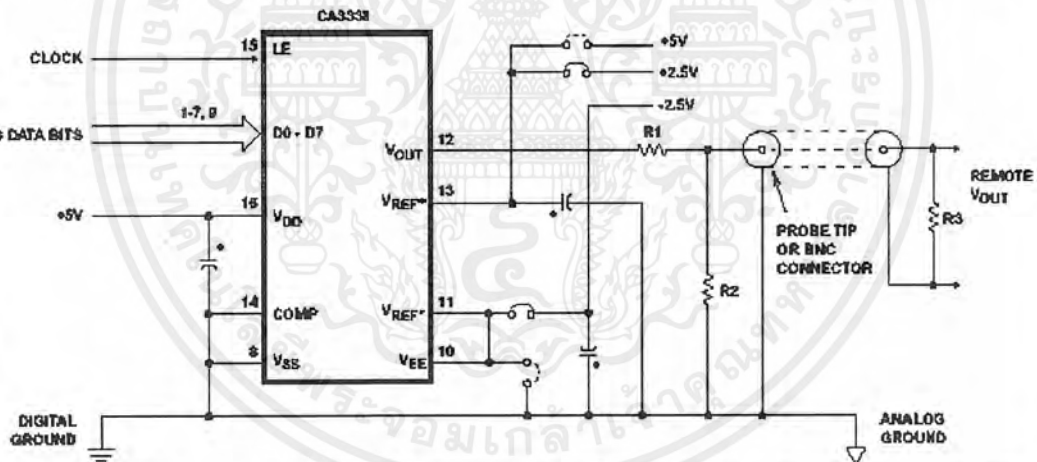
delays. The V_{REF+} (and V_{REF-} if bipolar) terminal should be well bypassed as near the chip as possible.

"Glitch" energy is defined as a spurious voltage that occurs as the output is changed from one voltage to another. In a binary input converter, it is usually highest at the most significant bit transition (7F_{HEX} to 80_{HEX} for an 8 bit device), and can be measured by displaying the output as the input code alternates around that point. The "glitch" energy is the area between the actual output display and an ideal one LSB step voltage (subtracting negative area from positive), at either the positive or negative-going step. It is usually expressed in pV/s.

The CA3338 uses a modified R2R ladder, where the 3 most significant bits drive a bar graph decoder and 7 equally weighted resistors. This makes the "glitch" energy at each $1/8$ scale transition (1F_{HEX} to 20_{HEX}, 3F_{HEX} to 40_{HEX}, etc.) essentially equal, and far less than the MSB transition would otherwise display.

For the purpose of comparison to other converters, the output should be resistively divided to 1V full scale. Figure 5 shows a typical hook-up for checking "glitch" energy or settling time.

The settling time of the A/D is mainly a function of the output resistance (approximately 160Ω in parallel with the load resistance) and the load plus internal chip capacitance. Both "glitch" energy and settling time measurements require very good circuit and probe grounding: a probe tip connector such as Tektronix part number 131-0258-00 is recommended.



FUNCTION	CONNECTOR	R1	R2	R3	V _{OUT} (P-P)
Oscilloscope Display	Probe Tip	82Ω	82Ω	N/C	1V
Match 93Ω Cable	BNC	75	160	93	1V
Match 75Ω Cable	BNC	18	130	75	1V
Match 50Ω Cable	BNC	Short	75	50	0.79V

NOTES:

- V_{OUT}(P-P) is approximate, and will vary as R_{OUT} of D/A varies.
- All drawn capacitors are 0.1μF multilayer ceramic/4.7μF tantalum.
- Dashed connections are for unipolar operation. Solid connection are for bipolar operation.

FIGURE 5. CA3338 DYNAMIC TEST CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3338, CA3338A

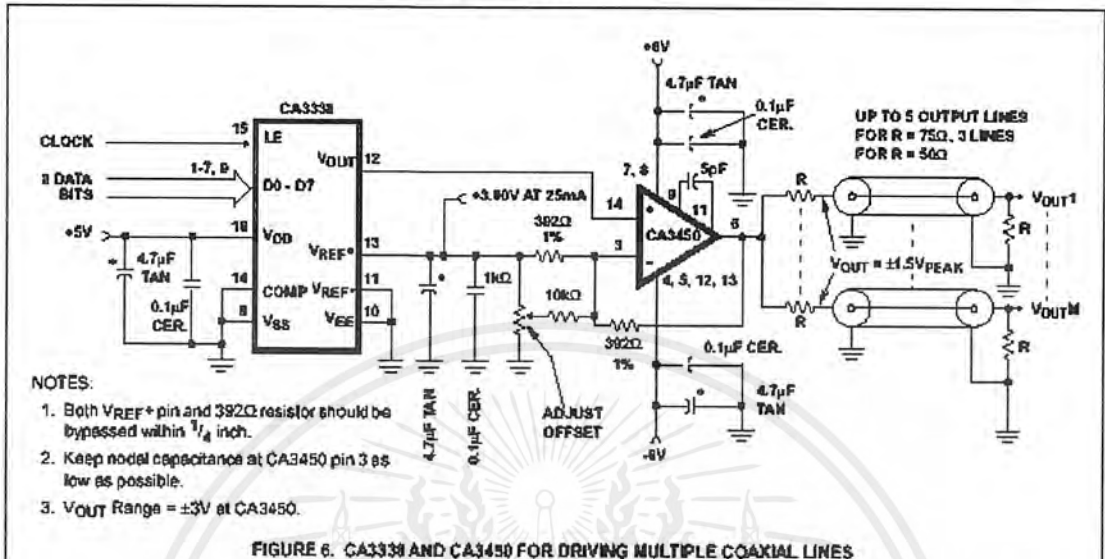


FIGURE 6. CA3338 AND CA3450 FOR DRIVING MULTIPLE COAXIAL LINES

TABLE 1. OUTPUT VOLTAGE vs INPUT CODE AND VREF

VREF+ VREF- STEP SIZE	5.12V 0 0.0200V	5.00V 0 0.0195V	4.808V 0 0.0180V	2.56V -2.56V 0.0200V	2.50V -2.50V 0.0195V
Input Code					
11111112 = FF _{HEX}	5.1000V	4.9805V	4.5900V	2.5400V	2.4805V
11111102 = FE _{HEX}	5.0800	4.9610	4.5720	2.5200	2.4610
•					
•					
10000012 = 81 _{HEX}	2.5800	2.5195	2.3220	0.0200	0.0195
10000002 = 80 _{HEX}	2.5800	2.5000	2.3040	0.0000	0.0000
01111112 = 7F _{HEX}	2.5400	2.4805	2.2880	-0.0200	-0.0195
•					
•					
00000012 = 01 _{HEX}	0.0200	0.0195	0.0180	-2.5400	-2.4805
00000002 = 00 _{HEX}	0.0000	0.0000	0.0000	-2.5800	-2.5000

Applications

The output of the CA3338 can be resistively divided to match a doubly terminated 50Ω or 75Ω line, although peak-to-peak swings of less than 1V may result. The output magnitude will also vary with the converter's output impedance. Figure 5 shows such an application. Note that because of the HCT input structure, the CA3338 could be operated up to +7.5V VDD and VREF+ supplies and still accept 0V to 5V CMOS input voltages.

If larger voltage swings or better accuracy is desired, a high speed output buffer, such as the HA-5033, HA-2542, or CA3450, can be employed. Figure 6 shows a typical application, with the output capable of driving ±2V into multiple 50Ω terminated lines.

Operating and Handling Considerations

HANDLING

All inputs and outputs of CMOS devices have a network for electrostatic protection during handling. Recommended handling practices for CMOS devices are described in AN6525, "Guide to Better Handling and Operation of CMOS Integrated Circuits."

OPERATING

Operating Voltage

During operation near the maximum supply voltage limit, care should be taken to avoid or suppress power supply turn-on and turn-off transients, power supply ripple, or ground noise; any of these conditions must not cause the absolute maximum ratings to be exceeded.

Input Signals

To prevent damage to the input protection circuit, input signals should never be greater than VDD nor less than VSS. Input currents must not exceed 20mA even when the power supply is off.

Unused Inputs

A connection must be provided at every input terminal. All unused input terminals must be connected to either VCC or GND, whichever is appropriate.



ADC-908

CMOS MICROPROCESSOR-COMPATIBLE
FAST 8-BIT A/D CONVERTER

Precision Monolithics Inc.

FEATURES

- 8-Bit Resolution and Accuracy
- No Missing Codes over Full Temperature Range
- 6 μ s Conversion Time
- Flexible μ P Interface
- 2.5mA Maximum Standby Current
- Replaces AD7574 with Improved Speed
- Available in Die Form

ORDERING INFORMATION [†]

PACKAGE: 18-PIN DIP AND SO				
INL (LSB)	DNL (LSB)	MILITARY* TEMPERATURE -55°C TO +125°C	EXTENDED INDUSTRIAL TEMPERATURE -40°C TO +85°C	COMMERCIAL TEMPERATURE 0°C TO +70°C
$\pm 1/2$	$\pm 3/4$	ADC908AX	ADC908EX	ADC908GP
$\pm 3/4$	$\pm 7/8$	ADC908BX	ADC908FX	—
$\pm 3/4$	$\pm 7/8$	—	ADC908FP	—
$\pm 3/4$	$\pm 7/8$	—	ADC908FS	—

* For devices processed in total compliance to MIL-STD-883, add /883 after part number. Consult factory for 883 data sheet.

[†] Burn-in is available on commercial and industrial temperature range parts in CerDIP, plastic DIP, and TO-can packages. For ordering information, see PMI's Data Book, Section 2.

GENERAL DESCRIPTION

The ADC-908 is a monolithic CMOS successive-approximation analog-to-digital converter. When used with a 1.35MHz clock, a conversion time of 6 μ s is achieved, with full accuracy over the operating temperature range.

The ADC-908 outputs use 3-state logic, allowing direct connection to the data bus or system input port. Active-LOW chip select (CS) and read/write (RD) inputs are used to control all

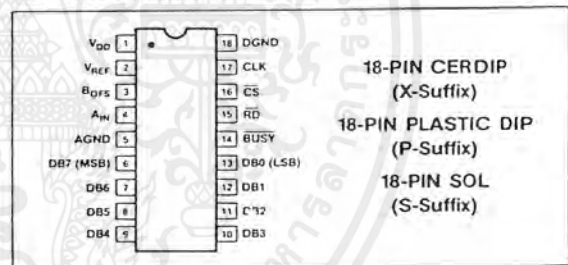
operations. This input structure permits the ADC-908 to be used as a memory-mapped input device. Depending on the control timing waveforms, the ADC-908 is interfaced like static RAM, ROM, or slow memory.

The low power consumption of the ADC-908 is derived from a single +5V supply. A negative reference voltage must also be supplied. Optimum accuracy is achieved when the reference is at -10.00V with a low output resistance. For a low-cost precision -10V/-10.24V reference, ask your PMI sales representative about the REF-08.

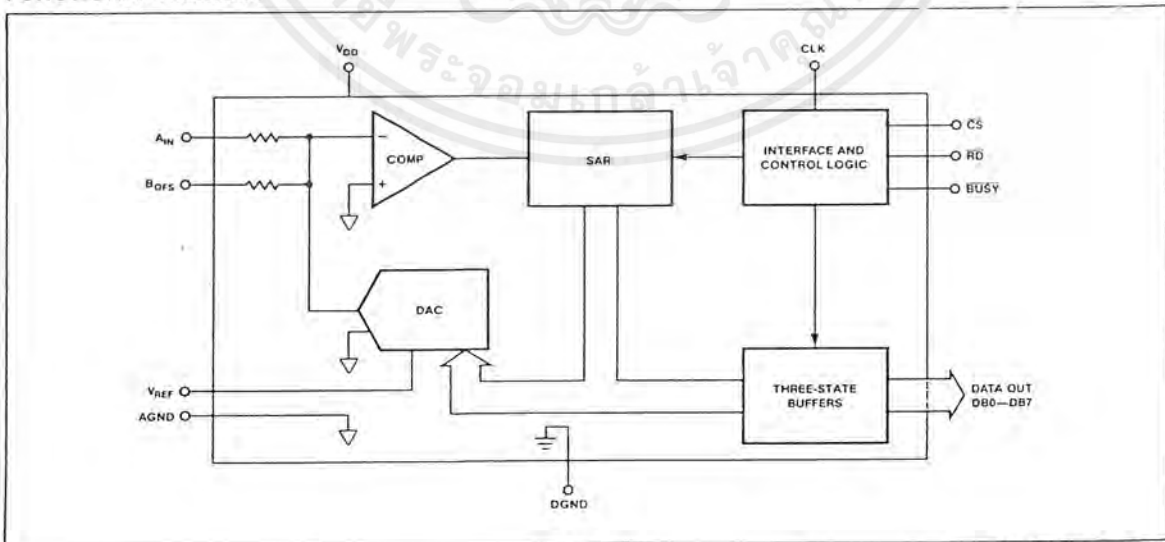
With its on-board comparator, interface logic, optional internal clock, and +5V operation, the ADC-908 is the ideal low-cost solution for microprocessor-based 8-bit A/D systems.

PMI's ADC-908 is pin-and-function compatible with the PM-7574, but offers faster conversion time and faster microprocessor bus interface timing. Conversion time has been reduced by 60% and most key timing specifications, including data access time, START command propagation delay (t_{WBPP}), and reset time, have been improved.

PIN CONNECTIONS



FUNCTIONAL DIAGRAM



12-10

10/89, Rev. B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ADC-908 CMOS MICROPROCESSOR-COMPATIBLE FAST 8-BIT A/D CONVERTER

ABSOLUTE MAXIMUM RATINGS ($T_A = +25^\circ\text{C}$, unless otherwise noted)

V_{DD} to AGND	0V, +7.0V
V_{DD} to DGND	0V, +7.0V
AGND to DGND	-0.3V, V_{DD}
CS, RD to DGND	-0.3V, $V_{DD} + .3\text{V}$
DB ₀ -DB ₇ to DGND	-0.3V, V_{DD}
CLK, BUSY to DGND	-0.3, V_{DD}
B _{OFS} , A _{IN}	$\pm 20\text{V}$
V_{REF}	0V, -20V
Operating Temperature Range	
ADC-908AX, BX	-55°C to +125°C
ADC-908EX, FX, FP, FS	-40°C to +85°C
ADC-908GP	0°C to +70°C

Storage Temperature -65°C to +150°C
 Lead Temperature (Soldering, 10 sec) +300°C

PACKAGE TYPE	θ_{JA} (Note 2)	θ_{JC}	UNITS
18-Pin Hermetic DIP (X)	79	11	*C/W
18-Pin Plastic DIP (P)	70	30	*C/W
18-Pin SOL (S)	88	25	*C/W

- NOTES:**
- Digital pins are zener protected. However, proper ESD handling precautions are recommended.
 - θ_{JA} is specified for worst case mounting conditions, i.e., θ_{JA} is specified for device in socket for TO, CerDIP, P-DIP, and LCC packages; θ_{JA} is specified for device soldered to printed circuit board for SO and PLCC packages.

ELECTRICAL CHARACTERISTICS at $V_{DD} = +5\text{V}$, $V_{REF} = -10\text{V}$, Unipolar Configuration, $R_{CLK} = 43\text{k}\Omega$, $C_{CLK} = 100\text{pF}$; $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ for ADC-908E/F, $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$ for ADC-908G, $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ for ADC-908A/B, unless otherwise noted.

PARAMETER	SYMBOL	CONDITIONS	ADC-908			UNITS
			MIN	TYP	MAX	
ACCURACY						
Resolution	N		8	-	-	Bits
Integral Nonlinearity	INL	A/E/G Grades	-1/2	-	+1/2	LSB
		B/F Grades	-3/4	-	+3/4	
Differential Nonlinearity	DNL	A/E/G Grades	-3/4	-	+3/4	LSB
		B/F Grades	-7/8	-	+7/8	
Gain Error	G_{FSE}	A/E/G Grades	-3	-	+3	LSB
		$T_A = +25^\circ\text{C}$	-4.5	-	+4.5	
		$T_A = \text{Full Temp Range}$	-5	-	+5	
		B/F Grades	-6.5	-	+6.5	
Offset Error	V_{ZSE}	A/E/G Grades	-30	-	+30	mV
		$T_A = +25^\circ\text{C}$	-50	-	+50	
		$T_A = \text{Full Temp Range}$	-60	-	+60	
		B/F Grades	-80	-	+80	

ANALOG INPUTS

Resistance Mismatch B _{OFS} to A _{IN}	ΔR_{AB}		-	-	+1	$\%$
Input Resistance at V_{REF} (Note 1)	R_{REF}		5	-	15	k Ω
Input Resistance at B _{OFS} , A _{IN}	R_{B0FS} R_{AIN}		10	-	30	k Ω
Reference Voltage Range	V_{REF}	Specified Conversion Accuracy	-	-10	-	V
Reference Voltage Range	V_{REF}	Degraded Conversion Accuracy	-5	-	-15	V
Reference Current (Note 6)	I_{REF}	Conversion Complete Prior to Reset	-	-	2.4	mA
Nominal Analog Input Range						
Unipolar Mode	V_{INU}		-	0 to $+ V_{REF} $	-	V
Bipolar Mode	V_{INB}		-	$- V_{REF} $ to $+ V_{REF} $	-	V



ANALOG-TO-DIGITAL CONVERTERS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS at $V_{DD} = +5V$, $V_{REF} = -10V$, Unipolar Configuration, $R_{CLK} = 43k\Omega$, $C_{CLK} = 100pF$; $-40^\circ C \leq T_A \leq +85^\circ C$ for ADC-908E/F, $0^\circ C \leq T_A \leq +70^\circ C$ for ADC-908G, $-55^\circ C \leq T_A \leq +125^\circ C$ for ADC-908A/B, unless otherwise noted.
Continued

PARAMETER	SYMBOL	CONDITIONS	MIN	ADC-908 TYP	MAX	UNITS
LOGIC INPUTS						
Input HIGH Voltage RD, CS Inputs	V_{IH}		2.4	—	—	V
Input LOW Voltage RD, CS Inputs	V_{IL}		—	—	0.8	V
Input Current RD, CS Inputs	I_{IN}	$T_A = +25^\circ C$ $T_A = \text{Full Temp Range}$	—	—	1	μA
Input Capacitance RD, CS Inputs (Note 6)	C_{IN}		—	—	5	pF
Input HIGH Voltage, Clock Input	V_{IH}		2.4	—	—	V
Input LOW Voltage, Clock Input	V_{IL}		—	—	0.8	V
Input HIGH Current, Clock Input	I_{IH}		—	—	2	mA
Input LOW Current, Clock Input	I_{IL}	$T_A = +25^\circ C$ $T_A = \text{Full Temp Range}$	—	—	10	μA
LOGIC OUTPUTS						
Output HIGH Voltage BUSY, DB0-7	V_{OH}	$I_{SOURCE} = 40\mu A$	4.0	—	—	V
Output LOW Voltage BUSY, DB0-7	V_{OL}	$I_{SINK} = 1.6mA$	—	—	0.4	V
Floating Leakage Current, DB0-7	I_{LKG}	$T_A = +25^\circ C$ $T_A = \text{Full Temp Range}$	—	—	10	μA
Floating State Output Capacitance	C_{OZ}	(Note 6)	—	—	7	pF
POWER REQUIREMENTS						
Standby Current	I_{DD}	$V_{DD} = +4.75V \text{ to } +5.25V$	—	—	2.5	mA
DIGITAL INTERFACE TIMING						
CS Minimum Pulse Width (Note 6)	t_{CS}	$T_A = +25^\circ C$ $T_A = T_{MIN}$ $T_A = T_{MAX}$	60 50 90	—	—	ns
RD to CS Setup Time (Note 6)	t_{wscs}		0	—	—	ns
CS to BUSY Propagation Delay (Note 6)	t_{CBPD}	BUSY Load = 20pF $T_A = +25^\circ C$ $T_A = T_{MIN}$ $T_A = T_{MAX}$ BUSY Load = 100pF $T_A = +25^\circ C$ $T_A = T_{MIN}$ $T_A = T_{MAX}$	— — — — — — —	— — — — — — —	120 100 150 150 120 200	ns
BUSY to RD Setup Time (Notes 2, 6)	t_{BSR}		0	—	—	ns
BUSY to CS Setup Time (Note 6)	t_{BSCS}		0	—	—	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



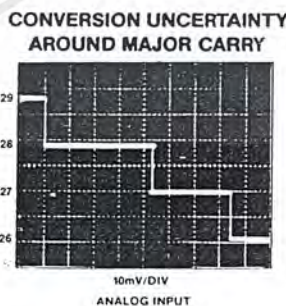
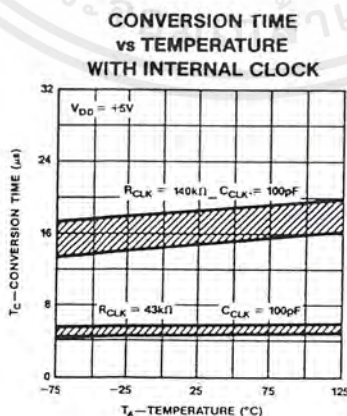
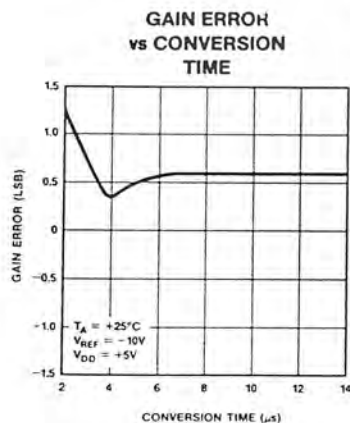
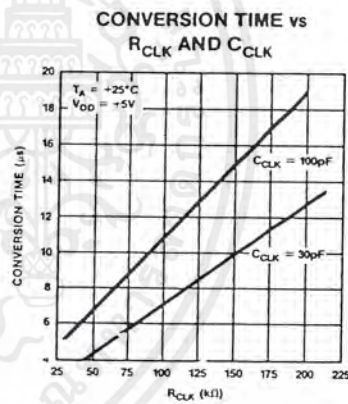
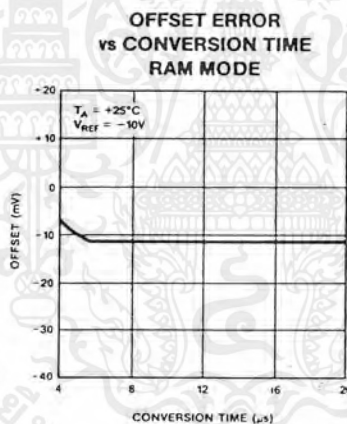
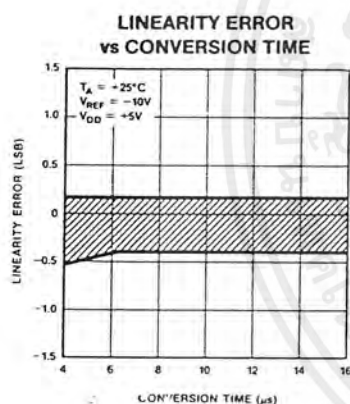
ADC-908 CMOS MICROPROCESSOR-COMPATIBLE FAST 8-BIT A/D CONVERTER

WAFER TEST LIMITS at $V_{DD} = +5V$, $V_{REF} = -10.000V$, $AGND = DGND = 0V$, $T_A = +25^\circ C$, unless otherwise noted. (Continued)

PARAMETER	SYMBOL	CONDITIONS	ADC-908 LIMIT	UNITS
DIGITAL OUTPUTS				
Output HIGH Voltage BUSY, DB0-7	V_{OH}	$I_{SOURCE} = 40\mu A$	4	V MIN
Output LOW Voltage BUSY, DB0-7	V_{OL}	$I_{SINK} = 1.6mA$	0.4	V MAX
Floating Leakage Current	I_{LKG}		1	μA
POWER REQUIREMENTS				
Standby Current	I_{DD}	$V_{DD} = +4.75V$ to $5.25V$	2.5	mA MAX
TIMING				
Conversion Time	$t_{CONVERT}$	Static RAM Mode, External Clock, $f = 1.35MHz$	6	μs MAX

NOTE:
Electrical tests are performed at wafer probe to the limits shown. Due to variations in assembly methods and normal yield loss, yield after packaging is not guaranteed for standard product dice. Consult factory to negotiate specifications based on dice lot qualification through sample lot assembly and testing.

TYPICAL PERFORMANCE CHARACTERISTICS



12

ANALOG-TO-DIGITAL CONVERTERS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL CIRCUIT INFORMATION

The ADC-908 is an 8-bit analog-to-digital converter which uses a successive approximation technique to convert an unknown analog input into a digital code output. The control logic inputs allow easy interface to most microprocessors while three-state outputs allow direct connection to the data bus. Most applications require only passive RC clock components, a -10V reference, and a +5V power supply. The RC-timed internal clock may be used, or an external clock may be applied to the ADC to maximize performance.

When a Start Conversion command is applied to the \overline{CS} or \overline{RD} inputs (see Operating Descriptions for details), \overline{BUSY} goes LOW indicating a conversion in progress. \overline{BUSY} may be used as an interrupt to halt the controlling microprocessor during conversion or may be polled to prevent premature data reads.

Starting with the most significant bit (MSB), each successive bit in the DAC is turned on (see Figure 1). The comparator then decides if the DAC output is less than or greater than the signal being converted, and that bit is latched on or off, respectively, before proceeding to the next lower bit and repeating the cycle. When all eight bits have been tested, \overline{BUSY} goes HIGH, signaling a completed conversion.

Under control of the \overline{RD} input, the three-state data outputs (D0-D7) change from high-impedance to presenting the new conversion results to the data bus. Following the data read, \overline{RD} returns HIGH resetting the SAR to 1000 0000 and preparing the ADC for its next conversion.

PIN FUNCTIONS

NOTE: For greater detail on digital input functions, consult Truth Tables and Timing Diagrams.

- Pin 1. V_{DD} Power Supply input, +5V.
- Pin 2. V_{REF} Voltage Reference input, nominal -10V.
- Pin 3. B_{OFS} Bipolar Offset input. +10V input for bipolar mode operation, tie to V_{IN} for unipolar mode operation.
- Pin 4. A_{IN} Analog Input. 0V to +10V in unipolar mode, -10V to +10V in bipolar mode.

- Pin 14. \overline{BUSY} Conversion status output. \overline{BUSY} indicates conversion in progress by going LOW at start of conversion and returning HIGH at end of conversion. May be used to interrupt controlling microprocessor or to gate control inputs.
- Pin 15. \overline{RD} READ input. Used to read data (on falling edge) and to reset converter (on rising edge).
- Pin 16. \overline{CS} Chip Select input. Asserted to allow ADC operation. Starts conversion when converter is in reset condition. Note: Holding \overline{CS} HIGH will not prevent a rising edge on \overline{RD} from resetting the converter.
- Pin 17. CLK External clock input/internal clock RC timing input.

APPLICATIONS INFORMATION

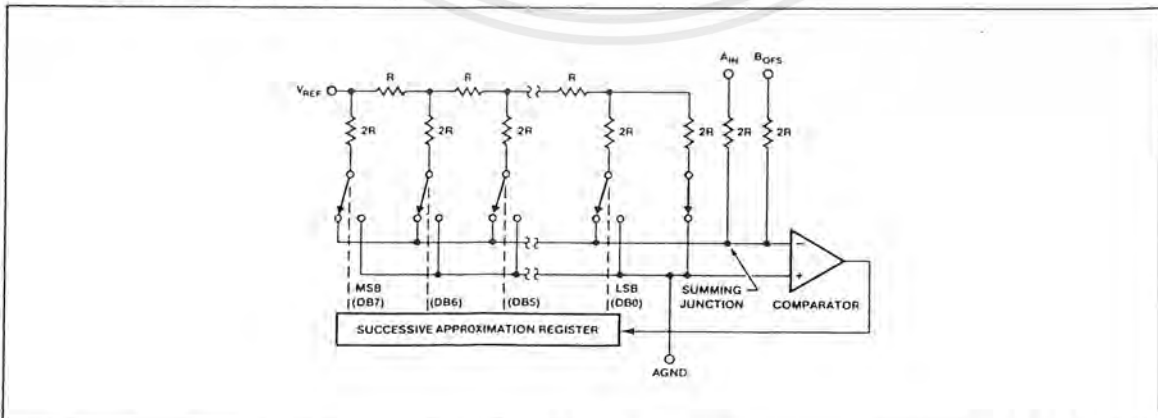
The ADC-908 may be interfaced as if it were a static RAM, a ROM, or a slow-memory device. Each of these interface modes has its own timing and software requirements as described below. These requirements must be rigidly met, as improper timing may cause the ADC-908 to change modes.

HOW TO CHOOSE AN OPERATING MODE

The static-RAM interface mode offers advantages in a tightly controlled hardware and software environment, where the relationship between WRITE and READ instruction pairs is certain. As long as minimum timing is satisfied, converted data may be read at any convenient time after conversion. The use of separate commands to start a conversion, and then read the results, is conceptually easy. However, if the software is subject to uncontrolled modifications, then the paired relationship between WRITE and READ instructions may be lost. Resulting software bugs may result in converted data of unknown age, or altogether invalid data being read.

By contrast, the ROM mode may be more resistant to software bugs. As long as minimum timing is satisfied, each READ instruction obtains new, valid data. However, since the data

FIGURE 1: D/A Converter Used in ADC-908





output at any previous READ instruction is obtained from a conversion performed just after the previous READ instruction, data may be out-of-date. To be sure of obtaining up-to-date data, READ instructions may be coded in pairs (with some NOPs between them); use only the data from the second READ in each pair. The first READ starts the conversion, acting as a substitute for the static-RAM mode WRITE command; the second READ gets the results. The advantage of the ROM mode is the use of a single command, rather than the alternating READ-WRITE required by static-RAM mode.

The slow-memory mode is the simplest mode of all. It is the method of choice where compact coding is essential, or where software bugs are a hazard. In this mode, a single READ instruction will initiate a data conversion, interrupt the microprocessor until completion (WAIT states are introduced), then read the results. If the system throughput tolerates WAIT states, and the hardware is correct, then the slow-memory mode is virtually immune to subsequent software modifications.

OPERATING DESCRIPTION: STATIC-RAM MODE

In this mode, input CS is derived from the ADC-908 address decoder, and input RD is derived from an active-LOW memory READ signal. (See Figure 2.)

To start a conversion, execute a memory WRITE to the ADC-908. The completed conversion data is obtained by executing a memory READ to the ADC-908. During conversion, output BUSY will be LOW. Do not attempt to read data until BUSY returns HIGH. The required minimum time between WRITE and READ is usually obtained by including one or more NOP or other program instructions. The use of branch or conditional commands between the WRITE and READ instructions is not recommended due to the possibility of software bugs.

It is important that the WRITE and READ commands be alternately executed. A WRITE instruction has no effect unless the results of the previous WRITE have already been read. Once data has been read, the ADC-908 is internally reset. In other words, two or more READ operations cannot be used in

succession, since only the first READ will produce valid data. A new conversion must be started using WRITE, and the conversion must be completed, before a new READ will produce valid data.

TABLE 1: Truth Table, Static RAM Mode

INPUTS		OUTPUTS		ADC-908 OPERATION
CS	RD	BUSY	DB7-DB0	
L	H	H	HIGH-Z	Start Convert (Write Cycle)
L	\downarrow	H	HIGH-Z to DATA	Read Data (Read Cycle)
L	\uparrow	H	DATA to HIGH-Z	Reset Converter
H	X (Note 1)	X	HIGH-Z	No Effect (Not Selected)
L	H	L	HIGH-Z	No Effect (Converter Busy)
L	\downarrow	L	HIGH-Z	No Effect (Converter Busy)
L	\uparrow (Note 1)	L	HIGH-Z	Conversion Error Not Allowed

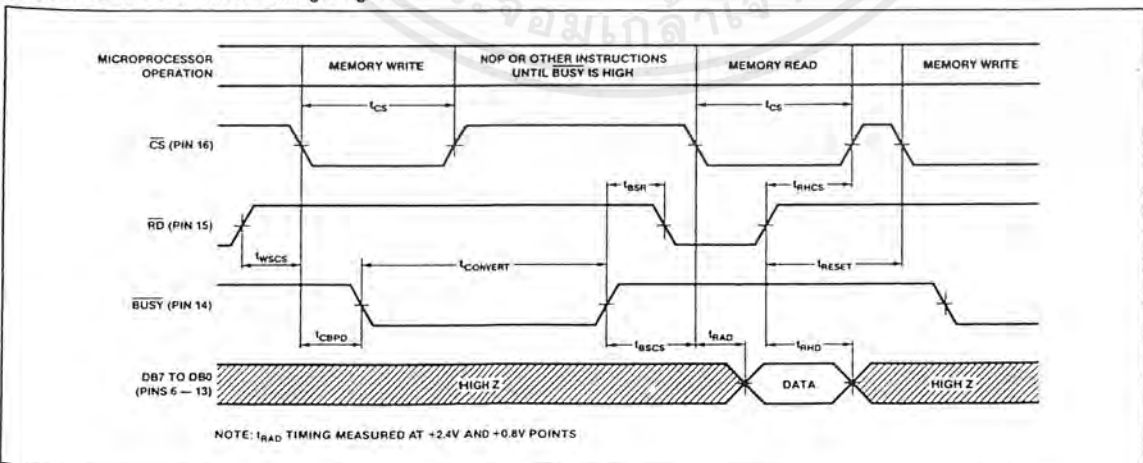
NOTE 1: If RD goes LOW to HIGH, the ADC is internally reset, regardless of the states of CS or BUSY.

OPERATING DESCRIPTION: ROM MODE

In ROM mode, input CS is tied LOW, and input RD is derived from the ADC-908 address decoder. To satisfy timing, it is recommended that the decoder be enabled by a system MEMRD (8080), VMA (6800), or similar strobe. (See Figure 3.)

In ROM mode, data is read by executing a READ instruction to the ADC-908 address. At the conclusion of the READ instruction, the ADC-908 automatically resets itself and then proceeds to perform a new data conversion. Output BUSY is LOW during conversion. A new READ instruction to the ADC-908 must not be executed until BUSY returns HIGH.

FIGURE 2: Static RAM Mode Timing Diagram



NOTE: t_{RAD} TIMING MEASURED AT +2.4V AND +0.8V POINTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This requirement may be met by inserting NOP or other program instructions between consecutive READ operations. Conditional or branch instructions may be used, but keep in mind that data may become out-of-date if excessive time elapses between consecutive READ instructions.

TABLE 2: Truth Table, ROM Mode

INPUTS		OUTPUTS		ADC-908 OPERATION
CS	RD	BUSY	DB7-DB0	
L		H	HIGH-Z to DATA	Read Data
L			DATA to HIGH-Z	Reset and Start New Conversion
L		L	HIGH-Z	No Effect (Converter Busy)
L		L	HIGH-Z	Conversion Error Not Allowed

NOTE 1: If RD goes LOW to HIGH, the ADC is internally reset, regardless of the states of CS or BUSY.

OPERATING DESCRIPTION: SLOW-MEMORY MODE

The slow-memory mode is intended for systems in which the ADC-908 BUSY output is used as an interrupt to force the

microprocessor into WAIT states during data conversion.

In slow-memory mode, inputs CS and RD are tied together. The common RD and CS signal is derived from the ADC-908 address decoder. To satisfy the timing requirements, it is advisable to latch the address using ALE (8085) or SYNC (8080). For 8080 or 8085-based systems, connect the microprocessor READY input to the ADC-908 BUSY output. (See Figure 4.)

TABLE 3: Truth Table, Slow-Memory Mode

INPUTS		OUTPUTS		ADC-908 OPERATION
CS & RD	BUSY	DB7-DB0		
H	H	HIGH-Z		No Effect (Not Selected)
		HIGH-Z		Start Conversion
L	L	HIGH-Z		Conversion in Progress. μ P in WAIT State
L		HIGH-Z to DATA		Conversion Complete. Read Data
	H	DATA to HIGH-Z		Reset and Deselect Converter

FIGURE 3: ROM Mode Timing Diagram (CS Held LOW)

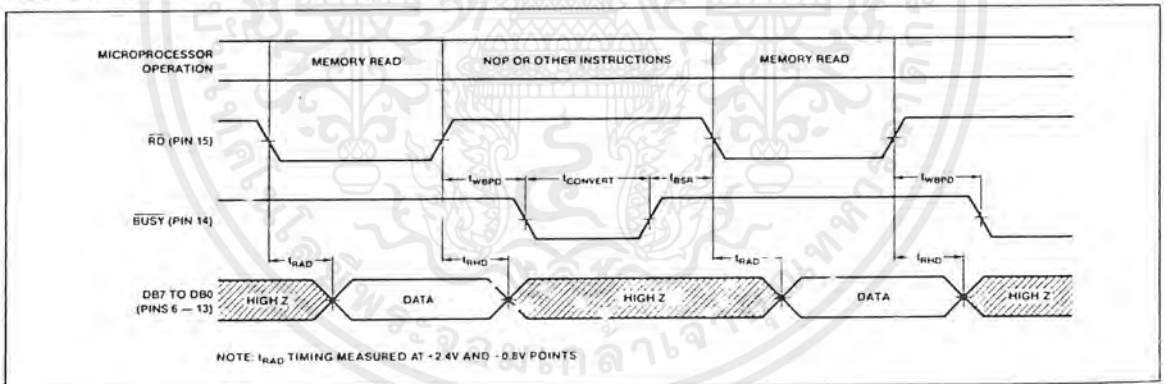
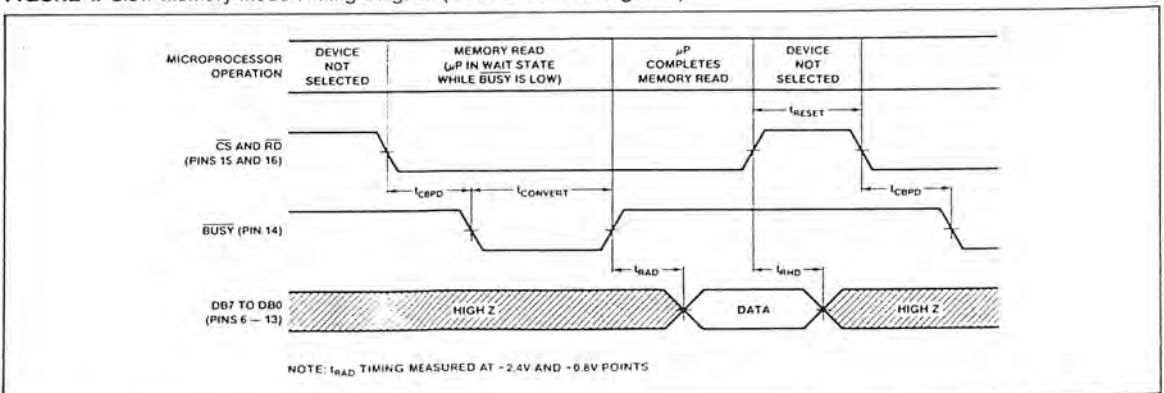


FIGURE 4: Slow-Memory Mode Timing Diagram (CS and RD Tied Together)





Do not execute a WRITE instruction at the ADC-908 address when in slow-memory mode, since bus conflicts will arise. In some architectures, an accidental WRITE instruction may be locked out in hardware, by proper strobing of the ADC-908 address decoder.

INITIALIZATION

In all operating modes, the ADC-908 is initialized by executing a READ instruction to the ADC-908 address. The data obtained should be ignored.

CLOCK OSCILLATOR

The ADC-908 may be used with its internal asynchronous clock oscillator. An external resistor and capacitor are required. Typical values are $R = 43k\Omega$ and $C = 100pF$, for conversion times in the $6\mu s$ range. For applications in which the fastest conversion times are required, an external clock is recommended. The external clock must be gated by the use of a 74125-type three-state buffer, with an output pullup resistor. Optimum conversion accuracy is obtained when CS goes LOW on a positive clock edge. The maximum external clock frequency is 1.35MHz (See Figure 5 and 6.)

REFERENCE VOLTAGE

A negative reference voltage must be applied to the ADC-908 V_{REF} input. Optimum full-scale accuracy is obtained using $-10.00V$, although V_{REF} may be $-5.00V$, $-10.24V$, or other voltages within its specified range.

Over the full temperature range, optimum gain accuracy is obtained when the input to the V_{REF} pin is from a low-impedance source. A resistor or trimmer may be used in series with the V_{REF} pin, but this trim technique is not as accurate as a low-impedance source. (See Figure 7.)

For a cost-effective $-10.00V$ or $-10.24V$ reference with excellent accuracy and low temperature coefficient, ask for PMI's REF-08. Consult your sales representative for availability.

FIGURE 5: Using the Internal Clock Oscillator

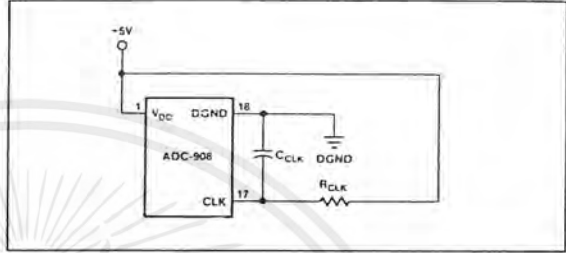


FIGURE 6: Using an External Clock

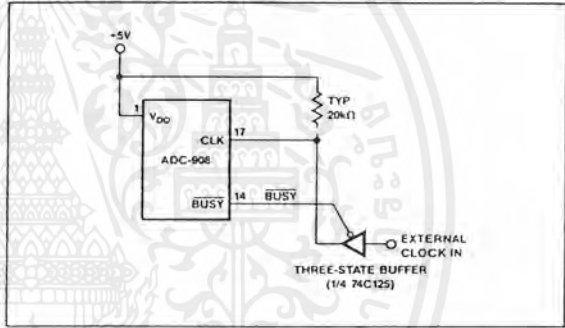
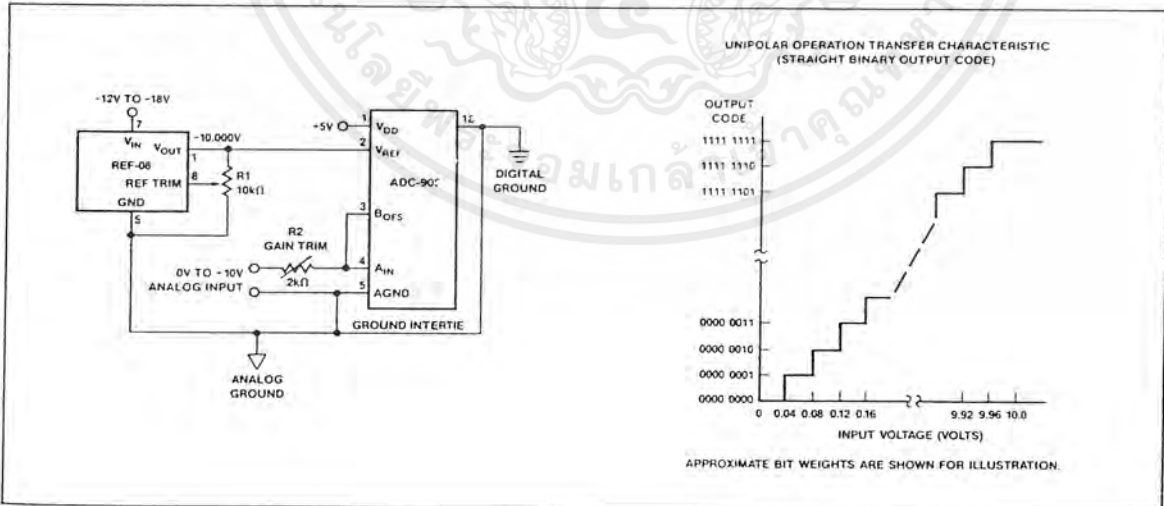


FIGURE 7: Unipolar Operation



12

ANALOG-TO-DIGITAL CONVERTERS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ANALOG INPUT VOLTAGE

The ADC-908 unipolar operation is obtained when the analog input voltage is between 0V and $|V_{REF}|$. With the A_{IN} and B_{OFS} pins tied together, input 0V will correspond to code 0000 0000, and input full-scale will correspond to code 1111 1111.

Bipolar operation is obtained by using the B_{OFS} input to offset the A_{IN} input voltage. For example, with $V_{REF} = -10V$, an offset voltage of +10V may be applied to B_{OFS} . The analog signal range will then be $-10V$ to $+10V$ at A_{IN} . Code 0000 0000 will correspond to $-10V$, and positive full scale will be code 1111 1111. Calibration may be performed using trimmers in series with A_{IN} and B_{OFS} . (See Figure 8).

Another method of obtaining bipolar operation is to use an op-amp with gain = $-1/2$, to sum the analog signal with the reference voltage. With a $-10V$ reference and $-10V$ to $+10V$ analog signal, the op amp output will then be 0V to $+10V$. This signal is then treated as an ordinary unipolar input to the ADC-908. With this arrangement, input $+10V$ corresponds to code 0000 0000, and negative full-scale corresponds to code 1111 1111.

UNIPOLAR BINARY OPERATION

Figure 7 shows the analog circuit connections for unipolar operation. The REF-08 supplies the necessary $-10V$ reference input.

Calibration for offset should be made before gain calibration is attempted.

Offset calibration must be performed in the signal conditioning circuitry which drives the A_{IN} input.

To adjust offset:

- 1) Apply $-39.1mV$ (1 LSB) to the input of the buffer amplifier driving A_{IN} .
- 2) While performing continuous conversions, adjust the buffer amplifier's offset adjustment potentiometer until DB7 to DB1 are LOW and DB0 (LSB) flickers.

Following offset calibration, full scale gain can be calibrated:

- 1) Apply $-9.961V$ to the input of the buffer amplifier.

- 2) While performing continuous conversions, adjust the reference trim pot until DB7 to DB1 are HIGH, and DB0 (LSB) flickers.

BIPOLAR OPERATION

Offset Binary—Figure 8 shows a circuit for offset binary bipolar operation. Offset correction should be made at the buffer amplifier driving A_{IN} . Gain error correction should be accomplished by adjusting V_{REF} .

To calibrate this circuit:

- 1) Adjust R1 until $V_{REF} = -10.00V$.
- 2) Adjust R2 and R3 to their mid-points.
- 3) Apply $+10.000V$ to the input buffer amplifier.
- 4) While performing continuous conversions, adjust R2 until DB7 to DB1 are LOW and DB0 (LSB) flickers.
- 5) Ground the input of the input buffer circuit.
- 6) While performing continuous conversions, adjust R3 until the ADC's output code flickers between 0111 1111 and 1000 0000.
- 7) Apply $-10.000V$ to the signal input.
- 8) While performing continuous conversions, adjust R1 until DB7 to DB1 are LOW and the DB0 (LSB) flickers.
- 9) Apply $+9.922V$ to the signal input.
- 10) If the ADC output code is not $1111 1110 \pm 1$ bit, repeat the calibration procedure, omitting step 1.

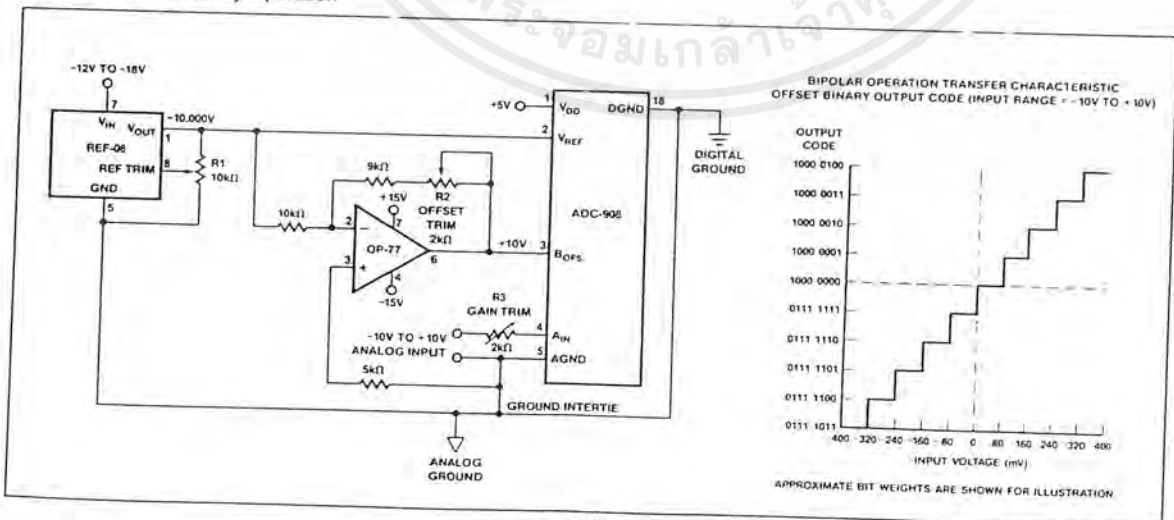
Complementary Offset Binary—Figure 9 shows a complementary offset binary circuit. In this bipolar mode, the $+10V$ to $-10V$ analog input is conditioned to a 0 to $+10V$ signal range for normal unipolar conversion.

In calibrating this circuit, adjust offset before gain.

Offset Adjustment:

- 1) Adjust R1 until $V_{REF} = -10.000V$.
- 2) Adjust R3 to its mid-point.
- 3) Adjust R2 until its tap is at 0V.
- 4) Ground the analog input.
- 5) While performing continuous conversions, adjust R2 until the ADC output flickers between 0111 1111 and 1000 0000.

FIGURE 8: Offset Binary Operation





Gain Adjustment:

- 1) Apply +9.922V across the analog input.
- 2) While performing continuous conversions, adjust R3 until DB7 to DB1 are HIGH and DB0 (LSB) flickers.

DIGITAL CONSIDERATIONS

Control Timing—Fresh data from a recent conversion must be read before beginning a new conversion. Following the data READ, as RD goes HIGH, it resets the SAR and clears the data from the previous conversion.

The timing restrictions detailed in the interface timing diagrams must be observed to prevent the ADC-908 from changing interface modes. For example, if CS is held LOW too long while in RAM mode, the converter will change to ROM mode and initiate a new conversion.

Logic Deglitching—Unrelated activity on the address bus may cause unexpected glitch inputs to the ADC. The glitches may cause unwanted READs, resets, or conversions. In ROM or RAM modes, these may be avoided by gating the address decode logic with RD or WR (8080) or VMA (6800). In slow-memory mode, ALE (8085) or SYNC (8080) may be used to latch the address.

Initialization—Following power-up, the SAR is in an unknown state. Executing a memory READ (disregard the data) will reset the ADC.

ANALOG CONSIDERATIONS

Analog Input Impedances—Low impedance sources must be used to drive the V_{REF} , A_{IN} , and B_{OFS} inputs. Excessive source

impedances may cause errors due to the loading effects of the inputs' finite impedances.

Ground Management—AGND and DGND pins should be connected at or near the ADC to minimize noise effects. If the two grounds cannot be connected near the ADC, the grounds should be clamped with back-to-back Schottky diodes between the AGND and DGND pins.

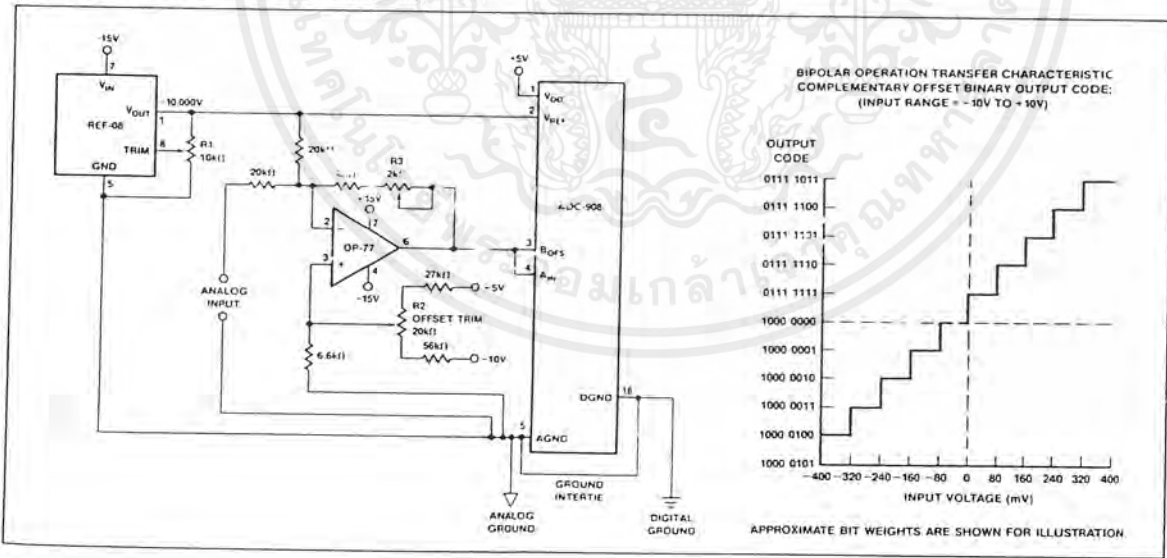
Offset Correction—Conversion offset errors may be corrected by counter-offsetting the buffer amplifier driving A_{IN} . This offset correction may be accomplished by applying a correction current to the buffer's summing junction or by tapping a voltage divider sitting between V_{DD} and V_{REF} , and applying this tap voltage to the noninverting input of the buffer.

Ratiometric Operation—The R-2R type DAC in the ADC-908 permits ratiometric operation of the ADC. Performance degradation may, however, occur as V_{REF} varies from $-10.000V$. This decrease in performance is due to comparator limitations including offset-voltage, gain, and input noise.

The ADC-908 uses the reference as a power supply for the comparator to increase speed and accuracy. Reference voltages of a magnitude less than $-9V$ must be avoided for accurate comparator operation. For best accuracy, the use of a $0.1\mu F$ bypass capacitor from V_{REF} (Pin 2 to AGND) is recommended.

Power Supply Bypassing—For best accuracy, V_{DD} (Pin 1) should be bypassed to AGND with a $0.1\mu F$ capacitor.

FIGURE 9: Complementary Offset Bipolar Operation



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ไพรัช รัชชพงษ์. การประมวลผลสัญญาณดิจิทัล. กรุงเทพฯ : สถาบันเทคโนโลยีพระจอมเกล้าเจ้า
คุณทหารลาดกระบัง. 2535.

วัลลภ สุระกำพลธร. การประมวลผลสัญญาณเชิงเลข. กรุงเทพฯ : สถาบันเทคโนโลยีพระจอมเกล้า
เจ้าคุณทหารลาดกระบัง. 2533.

David E. Johnson, **Introduction to Filter Theory**. New Jersey : 1976

Gordon , B. and Barry , M. **Basic Digital Signal Processing**. London : Butterworth. 1989

John , G.P and dimitis , G.M. **Digital Signal Processing**. New york : Maxwell Macmillan
International.1988

Leland B. Jackson, **Digital Filter and Signal Processing**. : 1986

Roman Kvc, **Introduction to Digital Signal Processing**. Singapore : 1982

ประวัติผู้แต่ง



ชื่อ	นางสาวศวีศกร ไชยสุนทร
วัน เดือน ปี	27 กรกฎาคม พ.ศ. 2521
สถานที่เกิด	กรุงเทพฯ
ภูมิลำเนาเดิม	55 หมู่ 4 ถนนรามอินทรา แขวงบางชัน เขตมีนบุรี กรุงเทพฯ 10510
โทรศัพท์	02-517-3845
ที่อยู่ปัจจุบัน	55 หมู่ 4 ถนนรามอินทรา แขวงบางชัน เขตมีนบุรี กรุงเทพฯ 10510
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนทรงวิทย์ศึกษา จ.กรุงเทพฯ
มัธยมศึกษา	โรงเรียนเตรียมอุดมศึกษาน้อมเกล้า จ.กรุงเทพฯ
ประกาศนียบัตรวิชาชีพ	วิทยาลัยเทคนิคมีนบุรี จ.กรุงเทพฯ
ประกาศนียบัตรวิชาชีพชั้นสูง	วิทยาลัยเทคนิคมีนบุรี จ.กรุงเทพฯ
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ผลงาน	-
คติพจน์	ทำทุกสิ่งของเราให้ดีที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อ	นายสุเมธี สุนทะโรจน์
วัน เดือน ปี	13 กุมภาพันธ์ พ.ศ. 2519
สถานที่เกิด	ขอนแก่น
ภูมิลำเนาเดิม	5/11 ถนนกสิกรรม ตำบลเมืองพล อำเภอพล จังหวัดขอนแก่น
โทรศัพท์	043-415746
ที่อยู่ปัจจุบัน	12/7 หอพักทองสุธิ แขวงลาดกระบัง เขตลาดกระบัง กรุงเทพฯ 10520
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนพลประชานุกูล จ.ขอนแก่น
มัธยมศึกษา	โรงเรียนขามแก่นนคร จ.ขอนแก่น
ประกาศนียบัตรวิชาชีพ	สถาบันเทคโนโลยีราชมงคลวิทยาเขตขอนแก่น จ.ขอนแก่น
ประกาศนียบัตรวิชาชีพชั้นสูง	สถาบันเทคโนโลยีราชมงคลวิทยาเขตขอนแก่น จ.ขอนแก่น
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ผลงาน	-
คติพจน์	ตนเป็นที่พึ่งแห่งตน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อ	นายสุรศักดิ์ พิมพวงษ์
วัน เดือน ปี	15 มีนาคม พ.ศ. 2519
สถานที่เกิด	กรุงเทพฯ
ภูมิลำเนาเดิม	270 ซอยพัฒนาการ 28 ถนนพัฒนาการ แขวงสวนหลวง เขตสวนหลวง กรุงเทพฯ 10250
โทรศัพท์	02-719-4687
ที่อยู่ปัจจุบัน	270 ซอยพัฒนาการ 28 ถนนพัฒนาการ แขวงสวนหลวง เขตสวนหลวง กรุงเทพฯ 10250
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนนาคนาวาอุปถัมภ์ จ.กรุงเทพฯ
มัธยมศึกษา	โรงเรียนเทพศิลา จ.กรุงเทพฯ
ประกาศนียบัตรวิชาชีพ	วิทยาลัยเทคนิคมีนบุรี จ.กรุงเทพฯ
ประกาศนียบัตรวิชาชีพชั้นสูง	สถาบันเทคโนโลยีราชมงคลวิทยาเขตเทคนิคกรุงเทพฯ จ.กรุงเทพฯ
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ผลงาน	-
คติพจน์	ทำวันนี้ให้ดีที่สุด เพื่อวันพรุ่งนี้ที่ดีกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อ	นายสุวัฒน์ เชื่อมวงศา
วัน เดือน ปี	1 ธันวาคม พ.ศ. 2520
สถานที่เกิด	กรุงเทพฯ
ภูมิลำเนาเดิม	587/8 ซอยพหลโยธิน58 ถนนพหลโยธิน แขวงสายไหม เขตสายไหม กรุงเทพฯ 10220
โทรศัพท์	02-531-1261
ที่อยู่ปัจจุบัน	587/8 ซอยพหลโยธิน58 ถนนพหลโยธิน แขวงสายไหม เขตสายไหม กรุงเทพฯ 10220
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนศรีจิตรา จ.กรุงเทพฯ
มัธยมศึกษา	โรงเรียนฤทธิยะวรรณาลัย จ.กรุงเทพฯ
ประกาศนียบัตรวิชาชีพ	วิทยาลัยเทคนิคดอนเมือง จ.กรุงเทพฯ
ประกาศนียบัตรวิชาชีพชั้นสูง	วิทยาลัยเทคนิคดอนเมือง จ.กรุงเทพฯ
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ผลงาน	-
คติพจน์	ความพยายามอยู่ที่ไหน ความสำเร็จอยู่ที่นั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้