การจัดรูปรางสัญญาณดิจิตอล

Digital Signal Pulse Shaping Circuit

โดย

นางสาวนภวรรณ กองศรีมา

นายนเรศน์ วงศ์วณิชย์รัตน์

นายวิฑูรย์ อินบางยาง

วัน เดือน ปี -1 ตค 2541

เลขทะเบียน 038056

เลขเรียกหนังสือ T 39076 น195ก

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาเทคโนโลยีโทรคมนาคม ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ การจัดรูปร่างสัญญาณดิจิตอล

Digital Signal Pulse Shaping Circuit

ชื่อนักศึกษา นางสาวนภวรรณ กองศรีมา

นายนเรศน์ วงศ์วณิชย์รัตน์

นายวิฑูรย์ อินบางยาง

อาจารย์ที่ปรึกษา อาจารย์คลชัย สุขเจริญผล

อาจารย์กฤดากร กลอมการ

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2539

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

ลิขสิทธิ์คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้ผลิตขึ้นเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจัดรูปร่างสัญญาณดิจิตอล

โดย 1. นางสาวนภวรรณ กองศรีมา รหัส 38012052

2. นายนเรศน์ วงศ์วณิชย์รัตน์ รหัส 38012053

3. นายวิฑูรย์ อินบางยาง รหัส 38012069

อาจารย์ที่ปรึกษา อาจารย์ดลชัย สุขเจริญผล

อาจารย์กฤดากร กล่อมการ

ปีการศึกษา 2539

บทคัดย่อ

สัญญาณข้อมูลที่ใช้ในการส่งข้อมูลส่วนใหญ่นั้น จะเป็นสัญญาณรูปสี่เหลี่ยมหรือพัลซ์ ไม่ว่าจะเป็นการเข้ารหัสใดๆ ก็ตามเช่น NRZ, RZ, AMI ต่างก็มีรูปคลื่นเป็นแบบพัลซ์ สัญญาณพัลซ์นี้ เมื่อนำมาทำการฟูเรียร์เพื่อหาสเปกตรัมของรูปคลื่น จะพบว่ามี Main Lobe Spectrum และ Side Lobe Spectrum ที่มีขนาดใหญ่จึงเป็นสาเหตุที่สำคัญในการส่งข้อมูลที่ใช้รูปคลื่นพัลซ์มีแบนด์วิดธ์ของแต่ละช่องสัญญาณกว้าง และการที่ Side Lobe Spectrum ของรูปคลื่นพัลซ์มีขนาดใหญ่ จึงทำให้มีการรบกวนระหว่างช่องสัญญาณข้างเคียงได้ง่าย ถ้าสามารถทำการลด Side Lobe Spectrum ทางสเปกตรัมของรูปคลื่นสัญญาณพัลซ์ลงได้ หรือสามารถกำจัดออกได้ก็จะสามารถแก้ปัญหาการรบกวนระหว่างช่องสัญญาณลงได้ และยังสามารถลดขนาดแบนด์วิดธ์ของช่องสัญญาณลงได้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital Signal Pulse Shaping Circuit

BY	1. MISS NOPPAWAN	KONGSRIMA	38012052
	2. MR. NARED	WONGWANIRUT	38012053
	3. MR. WITOON	INBANGYANG	38012069
ADVISER	MR. DOLCHAI	SUKCHAROENPHOL	
	MR. KITDAKORN	KLOMKAN	
YEAR	2539		

ABTRACT

Signal From data sourse is transmitted mainly in the from of Squar wave or pulse. Regardless of the encode such as NRZ, RZ, AMI they all have the wave shape as pulse. This pulse signal can be brought to process as Fourier to find spectrum of wave. We shall find that the Main lobe spectrum and Side lobe spectrum will be large. This is the important reason for selecting pulse signal is that pulse has large band width between each signal range. Furthermore the side slobe has large wave spectrum that will prevent interference between channals which are next to each others. If we can reduce the side slope of spectrum of pulse wave,then, we can eliminate the interference from nearly channals.This eradicate the problem of undersirable signal that occur. And we can reduce thd band width of signal transmission.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ด้วยดี โดยต้องขอขอบพระคุณอาจารย์ดลชัย สุขเจริญผล และอาจารย์กฤดากร กลอมการ ที่ได้ให้ใช้เครื่องมือต่างๆ พร้อมทั้งสถานที่ อีกทั้งยังให้คำแนะนำและดูแลตรวจสอบงาน

ที่ขาดเสียไม่ได้ในการทำโครงงานนี้คือ ปัจจัยด้านทุนทรัพย์ ต้องขอกราบขอบพระคุณคุณพ่อ คุณแม่ และพี่ๆ ที่อุปการะสนับสนุนทั้งทางด้านการเงินและกำลังใจด้วยดีตลอดมา และต้องขอขอบคุณเพื่อนๆ ทุกคนไว้ ณ โอกาสนี้ด้วย

นางสาวนภวรรณ กองศรีมา

นายนเรศน์ วงศ์วณิชย์รัตน์

นายวิฑูรย์ อินบางยาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	
บทคัดย่อภาษาอังกฤษ	
กิตติกรรมประกาศ	
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการทั่วไป	2
- รูปร่างและลักษณะเฉพาะของสัญญาณดิจิตอลแบบต่าง ๆ	2
- ผลกระทบต่าง ๆ ของสัญญาณ (ISI)	11
- ผลกระทบต่าง ๆ ของสัญญาณ (ACI)	17
- แพทเทินรูปดวงตา (Eye Diagram)	20
- ฟิลเตอร์ (Filter)	22
- เฟสล็อกลูป (Phase Lock Loop ;PLL)	27
บทที่ 3 การออกแบบและการทำงานของวงจร	
- วงจรจัดระดับสัญญาณ (Pluse Shapingr)	33
- วงจรฟิลเตอร์ (Filter)	37
- วงจรอินทีเกรทและดัมพ์ (Intregate & Dump)	40
- วงจรบาลานซ์มอดูเลชั่น (Balance Modulation)	44
- วงจรรวมสัญญาณ (Summing Amplifier)	45
- วงจรกรองผ่านความถี่ (Band Pass Filter)	46
- วงจรดีมอดูเลชั่น (Demodulation)	46
- วงจรเฟสล็อกลูป (Phase Lock Look ;PLL)	47
บทที่ 4 การทดลองและผลการทดลอง	54
เอกสารอ้างอิง	
ภาคผนวก	
- โปรแกรมคำนวณหาค่าความต้านทานในการสร้างวงจรจัดระดับสัญญาณ	
- Data	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การทำให้แบนด์วิดของช่องสัญญาณเล็กลงโดยที่ประสิทธิภาพของการส่งข้อมูลไม่ลดลง วิธีหนึ่งที่ทำได้คือ การลดสเปกตรัมของรูปคลื่นให้แคบลง โดยเฉพาะการออกแบบสเปกตรัมโดยให้มีเฉพาะ Main Lobe Spectrum เพียงอย่างเดียว และให้ Main Lobe Spectrum มีแบนด์วิดแคบที่สุดเท่าที่จะทำได้ซึ่งสามารถทำได้โดยการกำหนดรูปสเปกตรัม แล้วทำการอินเวอร์สฟูเรียส์เพื่อหารูปคลื่นที่สอดคล้องกับสเปกตรัมที่กำหนดไว้ โดยรูปคลื่นที่สร้างใหม่นี้จะต้องไม่เกิดการรบกวนกันระหว่างสัญญลักษณ์ และต้องไม่ทำให้ประสิทธิภาพการรับ-ส่งข้อมูลลดลง แล้วทำการสร้างรูปสัญญาณใหม่นี้ตามข้อมูลที่จะส่งโดยแทนที่สอจิก "1" จะส่งสัญญาณรูปสี่เหลี่ยม ก็ให้ส่งสัญญาณรูปคลื่นใหม่นี้ไปแทน

และอีกวิธีหนึ่งที่ช่วยให้ลดแบนด์วิดของช่องสัญญาณลง และลดการรบกวนกันระหว่างช่องสัญญาณได้คือ การลดขนาดของ Side Lobe Spectrum ให้เล็กลง ซึ่งสามารถทำได้โดยการเปลี่ยนรูปคลื่นจากรูปสี่เหลี่ยมเป็นรูปคลื่นชนิดต่างๆ เช่น RaiseCosine, รูปสามเหลี่ยม ฯลฯ ซึ่งรูปคลื่นเหล่านี้จะต้องมีขนาดของ Side Lobe Spectrum เล็กมากๆ เมื่อเทียบกับ Main Lobe Spectrum ของมันและจะต้องเป็นรูปคลื่นที่ไม่เกิดการรบกวนกันทางเครื่องหมาย และที่สำคัญต้องไม่ทำให้ประสิทธิภาพการรับและการส่งข้อมูลของระบบลดลง

เมื่อทำการส่งข้อมูลจริงจะมีการกวนกันของช่องสัญญาณข้างเคียงในรูปของ ACI เพื่อแสดงให้เห็นโดยทำการมอดดูเลท 3 ช่องสัญญาณที่ใกล้กัน โดยใช้วงจร 3 ชุดสัญญาณที่ทำให้เกิดการกวนกันและใช้สเปกตรัมแสดงผลการกวนกันทาง ACI ซึ่งสามารถลดลงได้โดยการเปลี่ยนรูปคลื่นตามผลของการแปลงฟูเรียส์ โดยทางทฤษฎีแล้วจะสามารถลด Side Lobe Spectrum ลงได้ เป็นผลทำให้ใช้ช่วงสัญญาณได้แคบลงและ Guard Bandwidth แคบลง ทำให้ช่องสัญญาณสามารถใช้แบนด์วิดรวมแคบลงได้

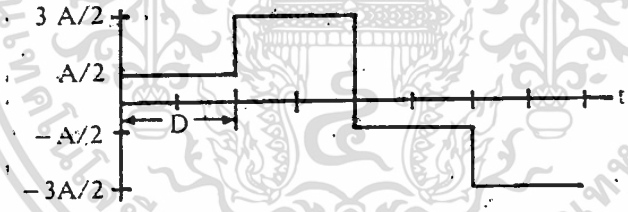
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการทั่วไป

2.1 รูปร่างและลักษณะเฉพาะของสัญญาณดิจิตอลแบบต่างๆ

2.1.1 ไลน์โค้ดดิง

การสร้างสัญญาณดิจิตอลเพื่อที่จะทำการส่งออกทางสายนำสัญญาณในระบบเบสแบนด์นี้ โดยทั่วไปเรียกว่า "ไลน์โค้ดดิง"(Line Coding) การทำไลน์โค้ดดิงอาจแบ่งกว้างๆ ออกเป็น 2 แบบด้วยกัน คือ แบบที่ใช้ 1 สัญลักษณ์ ต่อ 1 บิต และแบบที่ใช้ 1 สัญลักษณ์ต่อหลายบิต คำว่าสัญลักษณ์ (Symbol) ที่ใช้ในระบบสื่อสารดิจิตอลนั้น หมายถึง สัญญาณที่มีค่าคงที่ ในช่วงเวลาช่วงหนึ่ง และอัตราการเปลี่ยนแปลงของสัญญาณนี้จะถูกเรียกว่า "บอดเรท" (baud rate) ในกรณีที่ใช้ 1สัญลักษณ์ ต่อ 1 บิตนั้น บอดเรทนี้อาจจะเท่ากับอัตราข้อมูลหรือบิตเรท (bit rate) ได้ แต่ถ้าไลน์โค้ดดิงนั้นใช้ 1 สัญลักษณ์ต่อหลายบิต บอดเรทจะต่ำกว่าบิตเรทเสมอ ในกรณีที่ใช้ 1 สัญลักษณ์ต่อหลายบิตนั้นจะใช้ระดับของสัญญาณหลายระดับ รูปที่ 2.1 แสดงตัวอย่างสัญญาณดิจิตอลแบบ 4 ระดับ ซึ่งสามารถใช้แต่ละสัญลักษณ์แทน



รูปที่ 2.1 ไลน์โค้ดดิงแบบสัญญาณ 4 ระดับ

สัญญาณไบนารีได้ 2 บิต โดยทั่วไปถ้าใช้สัญญาณที่มี L ระดับ ก็จะแทนสัญญาณไบนารีได้เท่ากับ $\log_2(L)$ บิต และถ้าให้ D เป็นช่วงกว้างของแต่ละสัญลักษณ์ บอดเรทก็จะเป็น 1/D และความสัมพันธ์ระหว่างบิตเรท R_B กับ บอดเรทจเขียนได้เป็น

$$R_B = 1/D \log_2(L) = R \log_2(L)$$

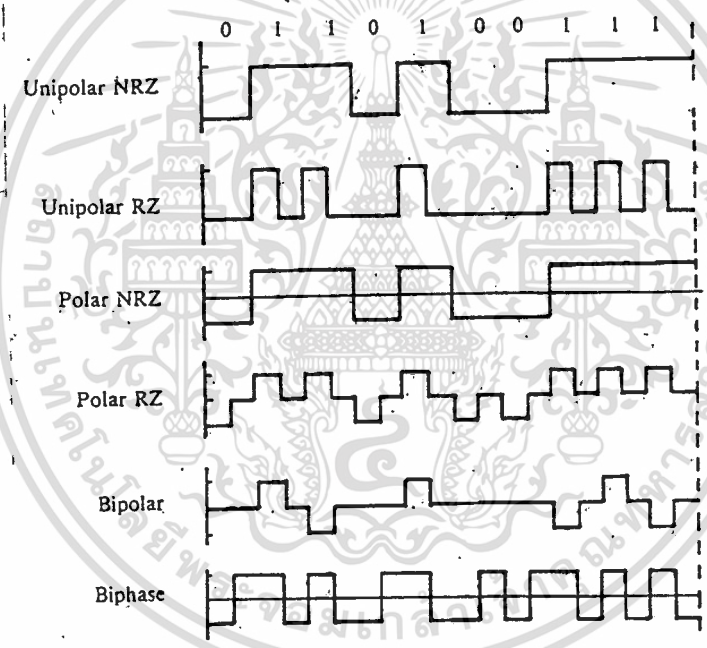
โดยที่ R เป็นบอดเรทไลน์โค้ดดิงแบบที่ใช้ 1 สัญลักษณ์ แทนหลายบิทในระบบโทรศัพท์ที่ส่งแบบ PCM จะไม่สู้มีที่ใช้มากนัก แต่ในระยะหลัง CCITT ได้กำหนดให้ใช้สัญลักษณ์ประเภทนี้แล้วใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ ISDN (Integrated Service Digital Network) ในช่วงของบ้านผู้เช่าถึงทั่วไปกับชุมสายโทรศัพท์ และสัญญาณนั้นคือ 2B1Q (2-binary 1-quarternary) ซึ่งเป็นการใช้ 1 สัญลักษณ์แทน 2 บิต รูปที่ 2.1 เป็นตัวอย่างของสัญญาณ 2B1Q นี้

2.1.2 รูปร่างและลักษณะพิเศษของสัญญาณดิจิตอลแบบ 1สัญลักษณ์ต่อ 1 บิต

เนื่องจากไลน์โค้ดดิงที่ใช้กันโดยทั่วไปโดยเฉพาะในระบบ PCM เป็นแบบที่ใช้ 1 สัญลักษณ์แทน 1 บิต ดังนั้นจะขอกล่าวถึงรายละเอียดในส่วนนี้ เพิ่มเติมคือในไลน์โค้ดดิงแบบที่ใช้ 1 สัญลักษณ์แทน 1 บิตนี้ ก็ยังแบ่งออกได้เป็นแบบที่ใช้ระดับสัญญาณ 2 ระดับ กับแบบที่ใช้สัญญาณ 3 ระดับ รูปที่ 2.2 แสดงตัวอย่างไลน์โค้ดดิงที่มีใช้โดยทั่วไปในระบบสัญญาณดิจิตอลแบบเบสแบนด์



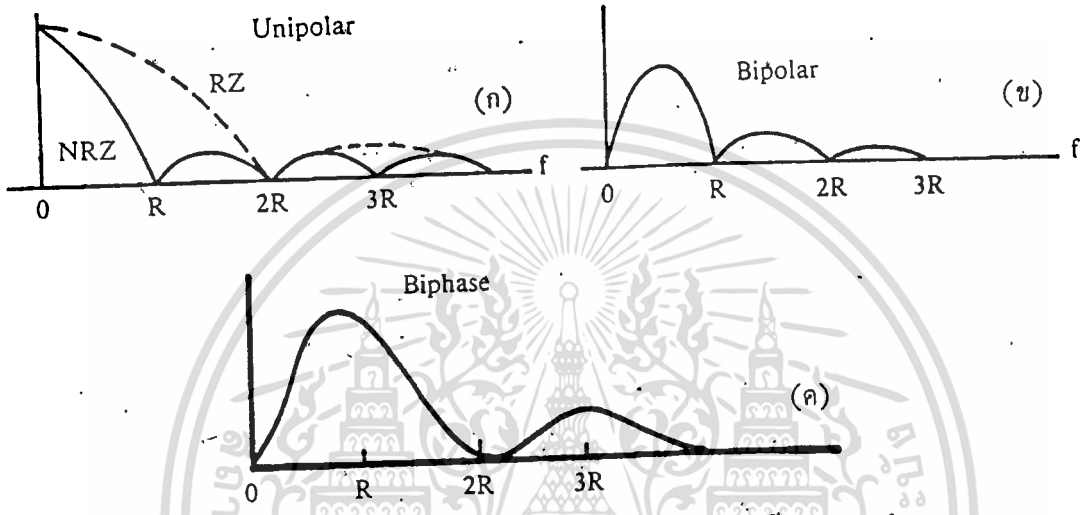
รูปที่ 2.2 ตัวอย่างไลน์โค้ดดิงที่ใช้ในระบบส่งสัญญาณดิจิตอลแบบเบสแบนด์

แบบที่ใช้สัญญาณ 3 ระดับ นั้นได้แก่ แบบไบโพลาร์ (bipolar) ซึ่งสัญญาณ "1" ที่อยู่ติดกันจะมีขั้วตรงกันข้ามเสมอ บางครั้งจึงถูกเรียกว่าแบบ AMI (Alternate mark inversion) ไลน์โค้ดดิงแบบนี้เป็นแบบที่ใช้งานกันมากที่สุดในระบบ PCM โดยใช้สัญญาณไบโพลาร์ที่มีดิวตีไซเคิล 50%

จากรูปร่างของสัญญาณตามรูปที่ 2.2 นี้ จะสามารถหาฟูเรียร์สเปกตรัมของสัญญาณต่างๆ เหล่านี้ได้ โดยการวิเคราะห์สเปกตรัมของสัญญาณแรนดัม และเมื่อทำการวิเคราะห์ตามหลักการของสัญญาณแรนดัมโดยใช้สมมุติฐานที่สัญญาณ "1"และ "0" มีพรอบบะบิลิตีที่เกิดได้เท่าๆ กัน ผลที่ได้แสดงไว้ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.3 จากรูปของสเปกตรัมสามารถเปรียบเทียบได้คร่าวๆ ว่าสัญญาณแบบไหนต้องการแบนด์วิดท์ที่กว้างกว่าและมีส่วนประกอบกระแสตรงและความถี่ต่ำแตกต่างกันอย่างไร และเมื่อพิจารณาจากความต้องการของระบบ ก็จะเห็นได้ว่าสัญญาณแบบไหนที่ไม่เหมาะสมและไม่เหมาะที่จะใช้กับระบบ PCM ตารางที่ 1 แสดงการเปรียบเทียบไลน์โค้ดดิงแบบต่างๆ ซึ่งจะเห็นได้ว่าสัญญาณแบบไบโพลาร์เป็นสัญญาณที่เหมาะสมที่สุดในการนำมาใช้งาน



รูปที่ 2.3 ฟูเรียร์สเปกตรัมของสัญญาณดิจิตอลที่มีไลน์โค้ดดิงแบบต่างๆ

ตารางที่ 1 การเปรียบเทียบลักษณะเฉพาะของไลน์โค้ดดิงแบบต่างๆ

ชนิดของไลน์โค้ดดิง	ข่าวสารของสัญญาณนาฬิกา	แบนด์วิดท์ที่ต้องการ	ส่วนประกอบกระแสตรง	กำลังไฟฟ้าที่ต้องการ
ยูนิโพลาร์ NRZ	น้อย	ต่ำ	สูง	สูง
ยูนิโพลาร์ RZ	น้อย	สูง	สูง	สูง
โพลาร์ NRZ	น้อย	ต่ำ	ปานกลาง	ปานกลาง
โพลาร์ RZ	น้อย	สูง	ปานกลาง	ปานกลาง
ไบเฟส	มาก	ปานกลาง	ไม่มี	ปานกลาง
ไบโพลาร์	มาก	ปานกลาง	ไม่มี	ต่ำ

2.1.3 การวิเคราะห์สเปกตรัมของสัญญาณดิจิตอล

การวิเคราะห์สเปกตรัมของสัญญาณดิจิตอลนั้นและเพื่อให้ครอบครุมสัญญาณดิจิตอลแบบต่างๆ ก่อนอื่นจะพิจารณากรณีที่สัญญาณดิจิตอลเป็นแบบ NRZ ที่มี M ระดับ ถ้าช่วงกว้างของแต่ละสัญญาณเป็น D โดยทั่วไปสัญญาณดิจิตอลจะเขียนได้ดังสมการ

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$x(t) = \sum_k a_k p(t - kD) \qquad (1)$$

โดยที่ a_k เป็นระดับของสัญญาณดิจิตอล M ระดับ และ p(t) เป็นพัลซ์สี่เหลี่ยมที่มีขนาดเป็น 1 หน่วย และกว้าง D

เมื่อให้ a_k ซึ่งเป็นสัญญาณแรนดัมนี้มีโอกาสเกิดในระดับต่างๆ เท่าๆ กัน ก็จะสามารถใช้หลักการวิเคราะห์สเปกตรัมของสัญญาณแรนดัม ในการคำนวณความหนาแน่นสเปกตรัมกำลังระยะยาวของสัญญาณนี้ได้ ขั้นตอนในการคำนวณจะเป็นดังนี้คือ ทำการหาฟูเรียร์สเปกตรัม $X_T(f)$ ในช่วงเวลาจำกัดของสัญญาณแรนดัมนี้ จากนั้นจึงนำฟูเรียร์สเปกตรัมที่ได้ไปหาค่าเฉลี่ยเอ็นเซมเบิลของความหนาแน่นสเปกตรัมกำลัง แล้วจึงทำการคำนวณความหนาแน่นสเปกตรัมกำลังโดยใช้สมการ

$$G_X(f) = \lim_{T\to\infty} \frac{1}{T} E\left[\left|X_T(f)\right|^2\right] \qquad (2)$$

ในการหาค่าฟูเรียร์สเปกตรัมของสัญญาณ x(t) ในช่วงเวลาจำกัดนั้น ให้ $x_T(t) = x(t)$ ในช่วง $-T/2 \le t \le T/2$ และให้ $T = (2K+1)D$ $x_T(t)$ เขียนได้ดังนี้

$$x_T(t) = \sum_{k=-K}^{K} a_k p(t - kD) \qquad (3)$$

และฟูเรียร์สเปกตรัมของ $x_T(t)$ ได้ดังสมการ

$$X_T(t) = \sum_{k=-K}^{K} a_k p(f) e^{-j\omega kD} \qquad (4)$$

โดยที่ P(f) เป็นฟูเรียร์ทรานสฟอร์มของ p(t) เมื่อทำการคำนวณหาค่าความหนาแน่นสเปกตรัมกำลังของ $X_T(f)$ จะได้

$$\left|X_T(f)\right|^2 = \left|P(f)\right|^2 \left(\sum_{k=-K}^{K} a_k e^{-j\omega kD}\right)\left(\sum_{i=-K}^{K} a_i e^{j\omega iD}\right)$$

$$= \left|P(f)\right|^2 \sum_{k=-K}^{K}\sum_{i=-K}^{K} a_k a_i e^{-j\omega(k-i)D} \qquad (5)$$

ทั้งนี้เพราะ $a_i^* = a_i$ เนื่องจาก a_i เป็นค่าจริง เมื่อทำการหาค่าเฉลี่ยเอ็นเซมเบิลของสมการที่ 5 จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$E\left[\left|X_T(f)\right|^2\right] = \left|P(f)\right|^2 \sum_{k=-K}^{K}\sum_{i=-K}^{K} E[a_k a_i] e^{-j\omega(k-i)D} \qquad (6)$$

ค่า $E[a_k a_i]$ ในสมการข้างบนนี้ถ้าพิจารณาให้ดีแล้วจะเห็นได้ว่าเป็นค่าออโตคอร์รีเลชันของสัญญาณดิจิตอลที่กำลังพิจารณาอยู่ กล่าวคือออโตคอร์รีเลชันของสัญญาณสามารถเขียนได้เป็น $R_x(\tau) = E[x(t)x(t+\tau)]$ ในกรณีที่ x(t) เป็นสัญญาณดิจิตอลตามสมการ (1) ออโตคอร์รีเลชันของสัญญาณที่ห่างกัน n คาบเวลาจะเขียนได้ในรูปต่อไปนี้

$$R_a(n) = E[a_k a_{k+n}] \qquad (7)$$

ดังนั้น $E[a_k a_i]$ ก็เป็นออโตคอร์รีเลชันของสัญญาณที่ห่างกัน k-i คาบเวลา หรือ

$$E(a_k a_i) = R_a(k-i) \qquad (8)$$

เมื่อแทนค่าในสมการที่ (8) ลงในสมการที่ (6) แล้วเปลี่ยน (k-i) ให้เป็น n พร้อมทั้งแปลง $\sum_k \sum_i$ ให้เป็น $\sum_x$ จะได้ผลดังนี้

$$E\left[\left|X_T(f)\right|\right]^2 = \left|P(f)\right|^2 \sum_{k=-K}^{K}\sum_{n=k-K}^{k+K} R_a(n) e^{-j\omega nD}$$

$$= \left|P(f)\right|^2 \sum_{n=-2K}^{2K} (2K+1-|n|) R_a(n) e^{-j\omega nD} \qquad (9)$$

เมื่อแทนสมการที่ (9) ลงในสมการ (2) โดยพิจารณาว่า T = (2K + 1)D จะได้ผลดังนี้

$$G_x(f) = \lim_{K\to\infty} \frac{1}{(2K+1)D} \left|P(f)\right|^2 \sum_{n=-2K}^{2K} (2K+1-|n|) R_a(n) e^{-j\omega nd}$$

$$= \frac{1}{D}\left|P(f)\right|^2 \sum_{n=-\infty}^{\infty} R_a(n) e^{-j\omega nD} \qquad (10)$$

ค่าออโตคอร์รีเลชัน $R_a(n)$ ของสัญญาณ M ระดับ ที่พิจารณาอยู่นี้ ในกรณีที่ n = 0 ก็จะเป็นกำลังเฉลี่ยของสัญญาณในคาบเวลาเดียวกัน ซึ่งจะมีค่าเป็น

$$R_a(0) = E[a_k a_k] = \sigma_a^2 + m_a^2 \qquad (11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่ σ_a^2 และ m_a เป็นค่าแวเรียนซ์และค่าเฉลี่ยของ a_k ตามลำดับ ในกรณีที่ $n \neq 0$ นั้น เนื่องจาก a_k และ a_{k-n} เป็นอิสระจากกัน $R_a(n)$ ก็จะเขียนได้ดังนี้

$$R_a(n) = E[a_k a_{k-n}] = E[a_k]E[a_{k-n}] = m_a^2 \tag{12}$$

เมื่อแทนค่าสมการ (11) และสมการ (12) ลงในสมการ (10) ก็จะได้ความหนาแน่นของสเปกตรัมกำลังของสัญญาณในรูปต่อไปนี้

$$G_x(f) = \frac{1}{D}\left|P(f)\right|^2\left[\sigma_a^2 + m_a^2\sum_{n=-\infty}^{\infty} e^{-jonD}\right] \tag{13}$$

เนื่องจากเทอมที่สองในวงเล็บมีรูปร่างเหมือนกับผลของการกระจายอนุกรมฟูเรียร์ของขบวนอิมพัลส์ที่ห่างกัน 1/D ก็จะได้ดังสมการ

$$D\sum_{n=-\infty}^{\infty} e^{-jonD} = \sum_{n=-\infty}^{\infty}\delta\left(f - \frac{n}{D}\right) \tag{14}$$

ดังสมการที่ (13) จะเขียนได้ดังรูปต่อไปนี้

$$G_x(f) = \frac{\sigma_a^2}{D}\left|P(f)\right|^2 + \frac{m_a^2}{D^2}\sum_{n=-\infty}^{\infty}\delta\left(f - \frac{n}{D}\right) \tag{15}$$

ในกรณีที่สัญญาณดิจิตอลมีระดับเฉลี่ยเป็น 0 คือ $m_a = 0$ สมการ (15) ก็จะลดรูปลงเหลือ

$$G_x(f) = \frac{\sigma_a^2}{D}\left|P(f)\right|^2 \tag{16}$$

จากสมการ (15) สมการ (16) นี้จะเห็นได้ว่าถึงแม้ระดับสัญญาณจะเป็นแบบ M ระดับ การกระจายของความหนาแน่นสเปกตรัมกำลังจะเหมือนกับกรณีของสัญญาณ 2 ระดับ เพราะฉนั้นถ้าเราหา P(f) ของสัญญาณดิจิตอลแต่ละชนิดได้ ก็จะหาความหนาแน่นสเปกตรัมกำลังของสัญญาณดิจิตอลชนิดนั้นๆ ได้ ในกรณีของสัญญาณแบบยูนิโพลาร์นั้นเนื่องจาก $m_a \neq 0$ จึงต้องใช้สมการ (15) ในการคำนวณสำหรับกรณีของสัญญาณโพลาร์ NRZ นั้น $m_a = 0$ ความหนาแน่นกำลังเป็นไปตามสมการ (16)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การหา P(f) ของสัญญาณดิจิตอลแต่ละชนิดนั้นก็เป็นการหาฟูเรียร์ทรานสฟอร์มของรูปคลื่นของสัญญาณดิจิตอลนั้น ยกตัวอย่างเช่นสัญญาณแบบยูนิโพลาร์ NRZ 2 ระดับและแบบยูนิโพลาร์ RZ 2 ระดับ ที่มีความกว้างของพัลส์เป็น D และ D/2 ตามลำดับ จะมี P(f) ในรูปต่อไปนี้

$$P(f)=\begin{cases} D\sin c(\pi fD) & NRZ \\ \dfrac{D}{2}\sin c\left(\dfrac{\pi fD}{2}\right) & RZ \end{cases} \tag{17}$$

สำหรับค่า m_a และ σ_a นั้นถ้าให้ระดับของสัญญาณเป็น A จะหาได้โดยใช้สมการ (11) และสมการ (12) ดังนี้คือ เนื่องจาก $E[a_k]=A/2$ และ $E[a_k^2]=A^2/2$ ดังนั้นจะได้

$$m_a^2=\left(\frac{A}{2}\right)^2=\frac{A^2}{4} \tag{18}$$

และจากสมการ (11) จะได้

$$\sigma_a^2=E[a_k^2]-m_a^2=\frac{A^2}{2}-\frac{A^2}{4}=\frac{A^2}{4} \tag{19}$$

เมื่อนำสมการ (17) สมการ (18) และสมการ (19) แทนลงในสมการ (15)จะหา $G_x(f)$ ของกรณีสัญญาณยูนิโพลาร์ NRZ ได้โดยคำนึงว่า R = 1/D ดังต่อไปนี้

$$G_x(f)=\frac{A^2}{4D}\frac{1}{R^2}\sin c^2\left(\frac{\pi f}{R}\right)+\frac{A^2}{4D^2}\frac{1}{R^2}\sum_{n=-\infty}^{\infty}\sin c^2\left(\frac{\pi n}{RD}\right)\delta\left(f-\frac{n}{D}\right)$$

$$=\frac{A^2}{4R}\sin c^2\left(\frac{\pi f}{R}\right)+\frac{A^2}{4}\delta(f) \tag{20}$$

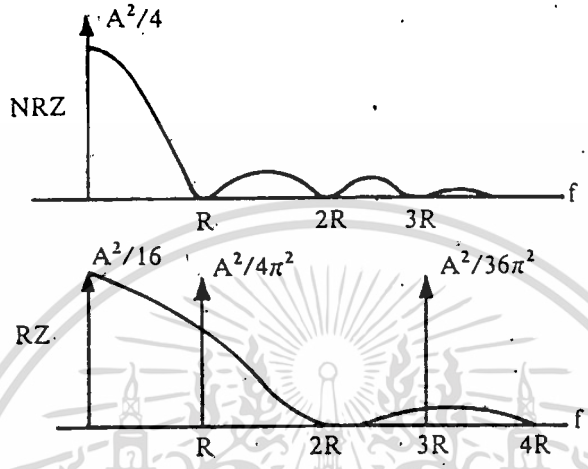
ในกรณีสัญญาณยูนิโพลาร์ RZ นั้น จะหา $G_x(f)$ ของกรณีนี้ได้ดังต่อไปนี้

$$G_x(f)=\frac{A^2}{4D}\frac{1}{4R^2}\sin c^2\left(\frac{\pi f}{2R}\right)+\frac{A^2}{4D^2}\frac{1}{4R^2}\sum_{n=-\infty}^{\infty}\sin c^2\left(\frac{n\pi}{2}\right)\delta\left(f-\frac{n}{D}\right)$$

$$=\frac{A^2}{16R}\sin c^2\left(\frac{\pi f}{2R}\right)+\frac{A^2}{16}\sum_{n=-\infty}^{\infty}\sin c^2\left(\frac{n\pi}{2}\right)\delta(f-nR) \tag{21}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

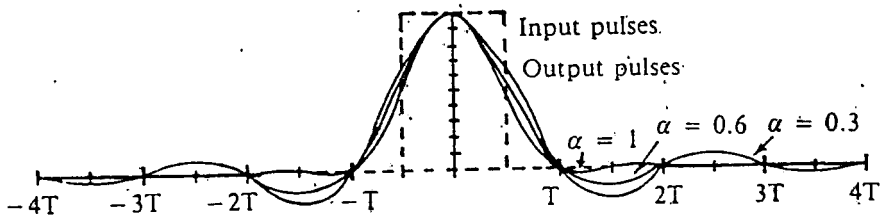
เมื่อนำสมการ (20) และสมการ (21) ไปพล็อตกราฟจะได้ผลตามรูปที่ 2.4 ข้อแตกต่างของสัญญาณทั้งสองแบบนี้คือ $G_x(f)$ ของยูนิโพลาร์ NRZ จะมีการกระจายแคบกว่า และมีไลน์สเปกตรัมอยู่ที่ความถี่ f = 0 เท่านั้น ในขณะที่แบบ RZ มีไลน์สเปตรัมอยู่ที่ความถี่ f = 0, ±R, ±3R,..... โดยที่ขนาดของไลน์สเปกตรัมนั้นจะเล็กลงตามค่าของ $\text{sinc}^2(n\,\pi/2)$



รูปที่ 2.4 ความหนาแน่นสเปกตรัมกำลังของสัญญาณยูนิโพลาร์ NRZ และยูนิโพลาร์ RZ

การผิดเพี้ยนของสัญญาณเป็นสิ่งที่หลีกเลี่ยงไม่ได้ในระบบส่งสัญญาณดิจิตอล แต่อย่างไรก็ตาม การรบกวนข้ามสัญลักษณ์นั้นมีโอกาสที่จะลดความรุนแรงลง หรือทำไม่ให้เกิดขึ้นได้ จากการศึกษาในทางทฤษฎีพบว่า รูปแบบหนึ่งของสัญญาณขาออกตรงตำแหน่งก่อนเข้าวงจรตัดสินระดับที่ไม่ทำให้เกิดการรบกวนระหว่างสัญลักษณ์จะเขียนได้ดังรูปต่อไปนี้

$$y_r(t) = \frac{\sin(\pi t/T)}{\pi t/T}\,\frac{\cos(\alpha\pi t/T)}{1-(2\alpha t/T)^2} \qquad (22)$$



รูปที่ 2.5 สัญญาณพัลส์ขาออกที่ไม่เกิดการรบกวนระหว่างสัญลักษณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำสัญญาณในสมการที่ (22) นี้ไปเขียนเป็นรูปออกมาจะเป็นดังที่แสดงในรูปที่ 2.5 จากรูปจะเห็นได้ว่าที่ตำแหน่งกึ่งกลางของสัญลักษณ์ข้างเคียงสัญญาณตามสมการ (22) จะมีค่าเป็นศูนย์ ซึ่งหมายถึงจะไม่เกิดการรบกวนระหว่างช่องสัญลักษณ์ขึ้น ถ้าการสุ่มตัวอย่างมีจังหวะที่ถูกต้อง เมื่อทำการฟูเรียร์ทราน-สฟอร์มเพื่อดูสเปกตรัมของสัญญาณในสมการ (22) นี้ จะพบว่ามีการกระจายของสเปกตรัมดังนี้

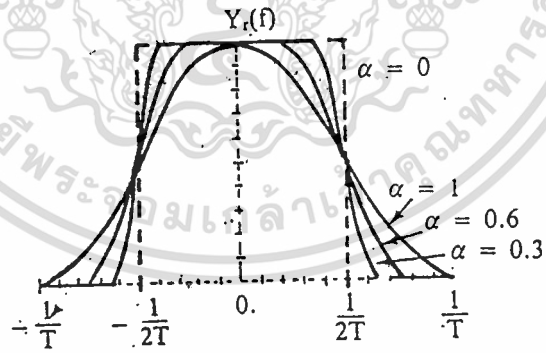
$$Y_r(t) = 1 \qquad ,|f| \le \frac{(1-\alpha)}{2T}$$

$$= \frac{1}{2}\left[1+\cos\left\{\frac{\pi|f|T}{\alpha}-\frac{\pi(1-\alpha)}{2\alpha}\right\}\right] \frac{(1-\alpha)}{2T} \le |f| \le \frac{1+\alpha}{2T}$$

$$= \cos^2\left[\frac{\pi|f|T}{2\alpha}-\frac{\pi(1-\alpha)}{4\alpha}\right]$$

$$= 0 \qquad , f : \text{ค่าอื่นๆ} \tag{23}$$

รูปสเปกตรัมตามสมการ (23) นี้ เมื่อนำไปเขียนกราฟจะได้ตามรูปที่ 2.6



รูปที่ 2.6 ฟูเรียร์สเปกตรัมของสัญญาณพัลส์ในรูปที่ 2.5

ช่องสัญญาณที่ให้สัญญาณขาออกในรูปสมการ (22) ซึ่งมีผลตอบสนองความถี่ตามต้องการ (23) นี้ เรียกว่าช่องสัญญาณแบบ "ไรส์โคไซน์"(raised Cosine) ซึ่งหมายถึงรูปร่างของโคไซน์กำลังสองที่ปรากฏอยู่ในฟูเรียร์สเปกตรัม ช่วงที่ $(1-\alpha)/2T \le |f| \le (1+\alpha)/2T$ ค่าα นั้นจะอยู่ระหว่าง 0 ถึง 1 ถ้าเท่ากับ 0 ช่องสัญญาณนั้นก็จะเป็นฟิลเตอร์ผ่านความถี่ต่ำแบบอุดมคติที่มีแบนด์วิดท์ เท่ากับ 1/2T หมายความว่าเราสามารถใช้ช่องสัญญาณแบบอุดมคติที่มีแบนด์วิดท์เป็น 1/2 ของอัตราการส่งสัญญาณโดยไม่ทำให้

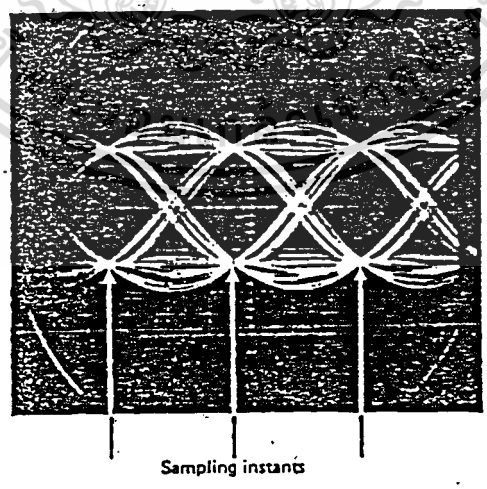
เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปเผยแพร่ ทำซ้ำ ดัดแปลง เพื่อประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดการรบกวนระหว่างสัญลักษณ์ได้ ในกรณีที่ α มีค่ามากกว่า 0 จากรูปที่ 2.6 จะเห็นได้ว่าช่องสัญญาณจะต้องมีแบนด์วิทด์กว้างออกและไม่เป็นแบบอุดมคติ ในกรณีที่เป็นแบบช่องสัญญาณเป็นแบบผ่านความถี่ต่ำแบบอุดมคตินั้น ไนควิสต์เป็นผู้แสดงให้เห็นว่าแบนด์วิดท์ที่แคบที่สุดที่จะไม่ทำให้เกิดการรบกวนระหว่างสัญลักษณ์ก็คือ 1/2T ถ้าแบนด์วิดท์แคบกว่านี้จะทำให้เกิดการรบกวนระหว่างสัญลักษณ์ขึ้น ในกรณีแบนด์วิดท์กว้างกว่า 1/2T และจำนวนเท่าลงตัวของ 1/2T ก็สามารถให้สัญญาณขาออกที่ไม่มีการรบกวนระหว่างสัญลักษณ์ได้เช่นเดียวกัน

2.2 การส่งสัญญาณที่ปราศจากจิตเตอร์และการรบกวนระหว่างสัญลักษณ์

(Nyquist's Intersymbol-Interference (ISI) and Jitter Free Transmission Theorem)

จากรูปที่ 2.7 เป็นการวัด Eye Diagram ของฟิลเตอร์บัตเตอร์เวอร์ธอันดับที่ 5 ในช่องสัญญาณ Rise cosine ที่ Equalized แล้วมีค่า $\alpha = 0.6$ ในการแซมปลิ้งชั่วขณะของ ISI ที่ศูนย์แรงดันที่จุดตัดศูนย์ของเส้นที่ทับกัน ซึ่งรูปแบบของ Eye Diagram จะไม่ทับกันสนิทมีค่าชั่วขณะครึ่งทางระหว่างพัลส์ที่ติดกัน 2 พัลส์ ISI ไม่อาจตัดทิ้งได้ค่าเบี่ยงเบน Peak to Peak ระหว่างจุดตัดศูนย์คือข้อมูลที่เปลี่ยนแปลงเนื่องจาก Jitter (JPP) ค่า JPP ที่มากเกินไปก็จะมีผลอย่างมากต่อประสิทธิภาพของวงจรกู้ Clock และรวมทั้งประสิทธิภาพของระบบ ข้อมูลที่เปลี่ยนแปลงนั้นเนื่องมาจาก Jitter มีแนวโน้มที่จะนำ Jitter เข้าไปในวงจรกู้สัญญาณนาฬิกา เมื่อนำส่วนที่สร้างใหม่ต่อกับ Clock Jitter ตามทฤษฎีเงื่อนไขสำหรับการส่งที่มี ISI ชั่วขณะ และข้อมูลที่ปราศจากการเปลี่ยนแปลงเนื่องจาก Jitter สามารถกำหนดเงื่อนไขได้ว่า



รูปที่ 2.7 การวัด Eye Diagram ของ ฟิลเตอร์บัตเตอร์เวอร์ธอันดับที่ 5
ในช่องสัญญาณ Rise cosine ที่ Equalized แล้วมีค่า $\alpha = 0.6$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งที่ปราศจาก ISI ที่จุดศูนย์ของการตอบสนองของ Impulse ของวงจรกรองความถี่ต่ำ ในทางอุดมคติจะต้องเก็บค่าไว้เพื่อการหลีกเลี่ยงของข้อมูลที่มีการเปลี่ยนแปลงเนื่องจาก Jitter โดยการเพิ่มค่าศูนย์ที่ตำแหน่งครึ่งทางระหว่างจุดศูนย์ที่ติดกัน

เงื่อนไขการตัดศูนยชั่วขณะจะเป็นที่น่าพอใจ เมื่อ $\alpha = 1$ ของช่องสัญญาณ Rise cosine

$$H(\omega) = \frac{1}{2}\left(1 + coc\frac{\pi\omega}{2\omega_n}\right) \qquad 0 \angle \omega \angle 2\omega_n$$

ซึ่ง f_n คือความถี่ Nyquist $\omega_n = 2\pi f_n$ และความถี่สัญญาณ

เราจะสังเกตุเห็นว่า Equalized X/sin X จะต้องเพิ่มเข้าไปในช่องสัญญาณด้วย อย่างไรก็ตามผลของข้อมูลที่มีการเปลี่ยนแปลง เนื่องจาก Jitter ทำให้ความน่าจะเป็นของความผิดพลาดมีประสิทธิภาพแย่ลง

การส่งที่มี ISI ชั่วขณะ และ Impulse ที่ปราศจาก Jitter ของช่องสัญญาณที่มี Phase เชิงเส้นมีแบนด์วิดท์ 2 เท่าของช่องสัญญาณต่ำสุด ซึ่งผลของ Jitter จะขึ้นอยู่กับค่า roll of factor ของการกรองแบบ Rise cosine แสดงเป็น Eye Diagram ทางคอมพิวเตอร์ในรูปที่ 2.7 สำหรับค่าข้อมูลที่มี JPP แย่ที่สุดคือ

$$J_{PP} = (X2 - X1) \times 100\%$$

ซึ่ง X2 และ XI ได้จากการคำนวนรากของ

$$s(x) - s(x-1) + [s(x+1) + s(x-2)] - s[(x+2) + s(s-3)] + [s(s+3) + s(s-4)]$$
$$-[s(x+4) + s(x-5)] + \ldots\ldots\ldots\ldots = 0$$

และ

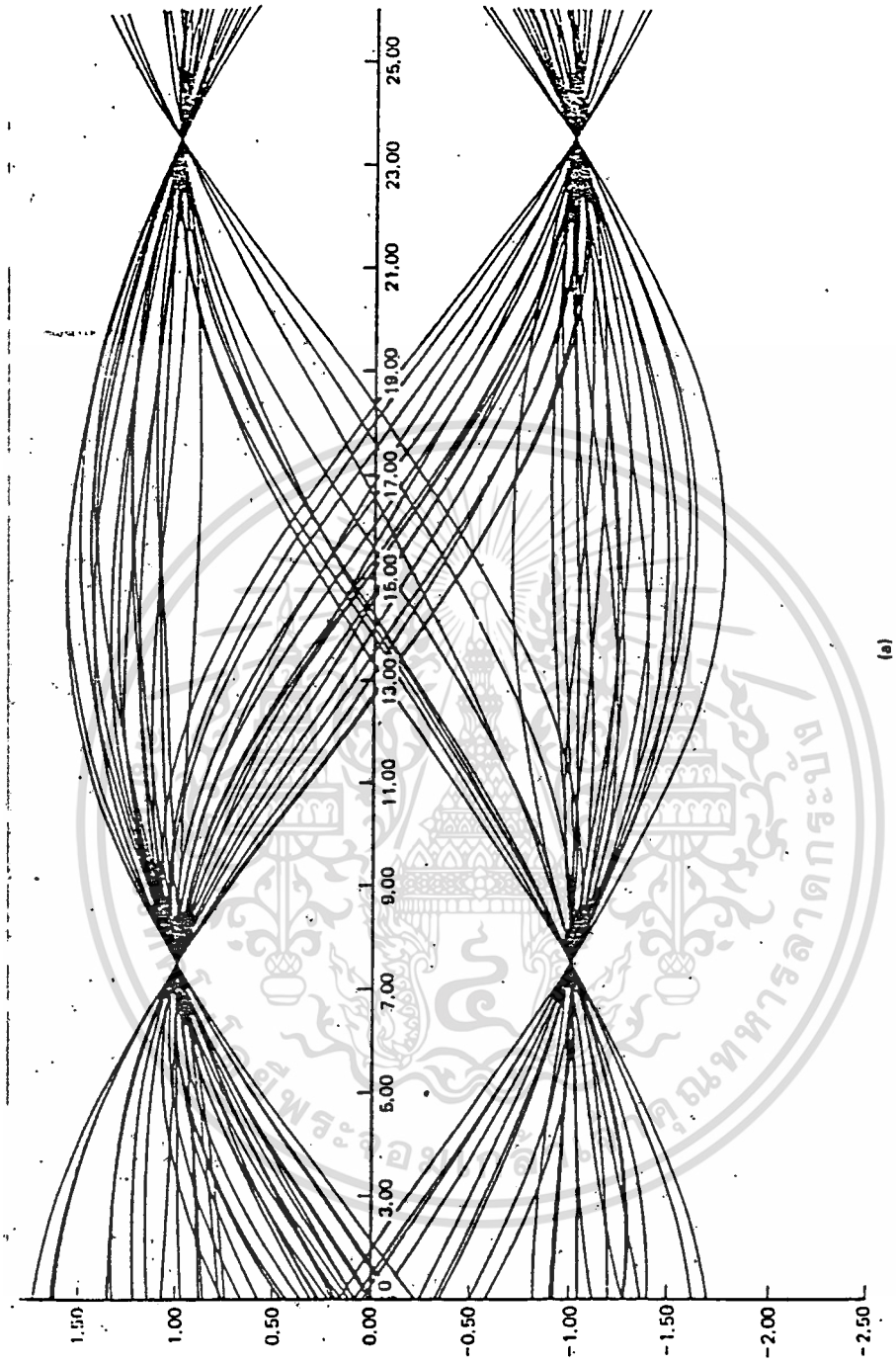
$$s(x) - s(x-1) - [s(x+1) + s(x-2)] + [s(x+2) + s(s-3)] - [s(s+3) + s(s-4)]$$
$$+[s(x+4) + s(x-5)] + \ldots\ldots\ldots\ldots = 0$$

ที่ค่า $0 \leq X \leq 1$ ซึ่ง S(x) คือการตอบสนอง Impulse ของการกรองแบบ Rise cosine คือ

$$s(x) = \frac{\sin(\pi x)}{\pi x}\left[\frac{\cos(\alpha\pi x)}{1 - 4\alpha^2 x^2}\right]$$

ซึ่ง $X = t / T$ คือเวลาที่ นอร์มอลไลซ์ และ T เป็นช่วงห่างระหว่างบิท กรณี J_{PP} แย่ที่สุดคือ $E\omega = 1 - J_{PP}$ เมื่อ $E\omega$ คือควากว้างของ Eye Diagam ที่แสดงในรูปที่ 2.8 ตามค่าของ α ต่างๆ กัน

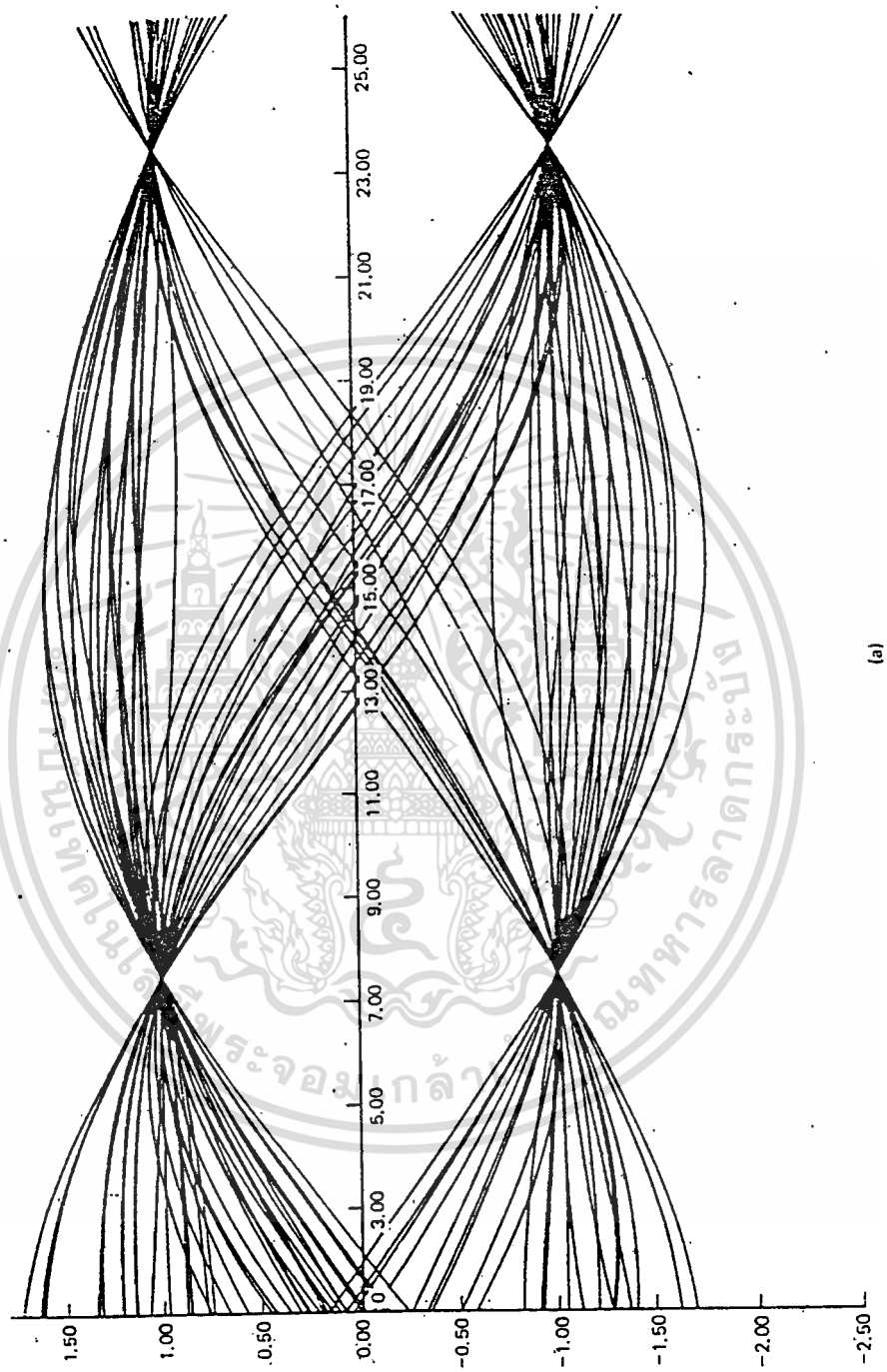
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 Computer Generated eye diagram for different values of the roll-off factor α

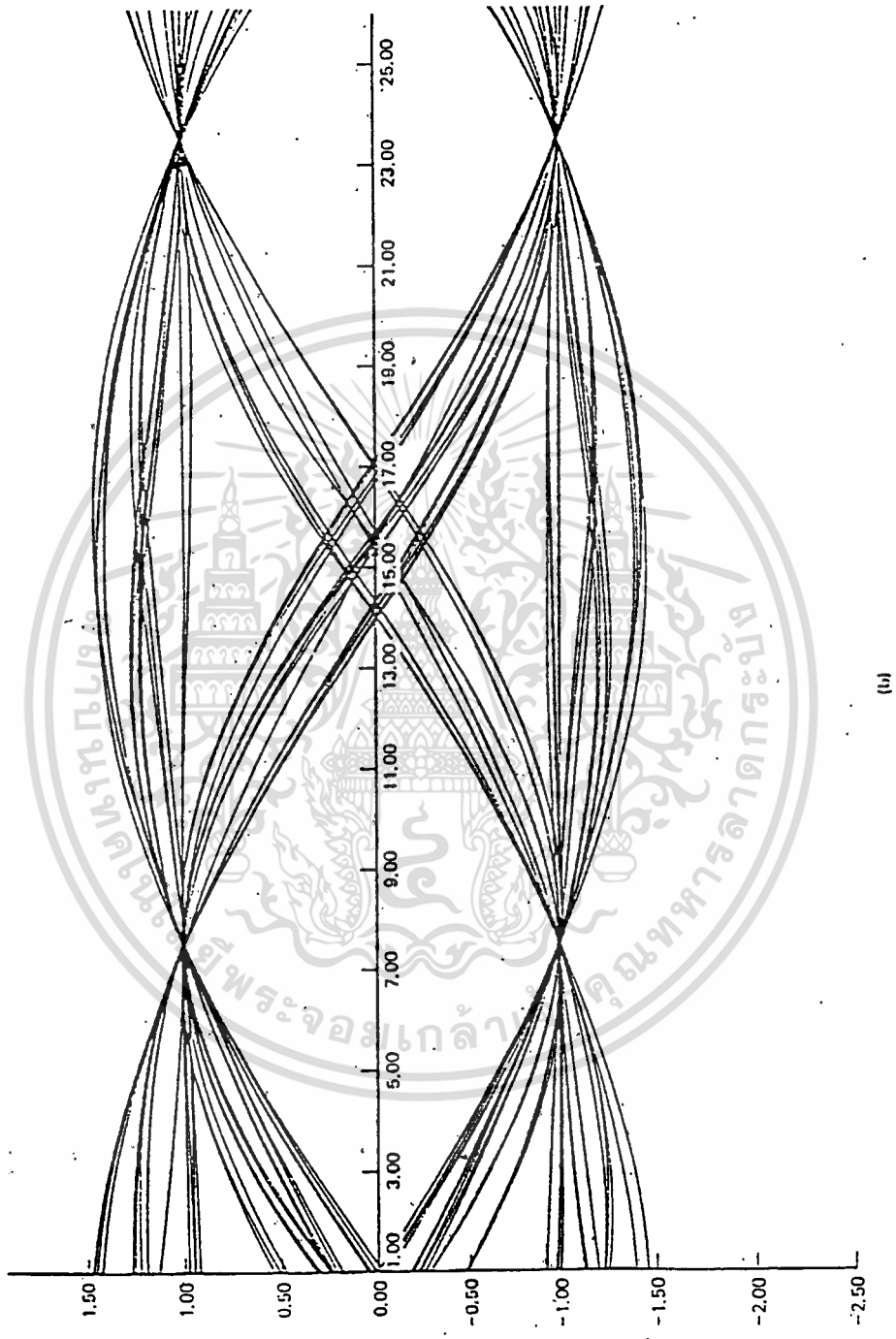
Eye diagram is obtained at the output of the receive filter. The cascaded channel filtering for the NRZ data stream consists of an x/sin x amplitude equalizer, a transmit, and a receive filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



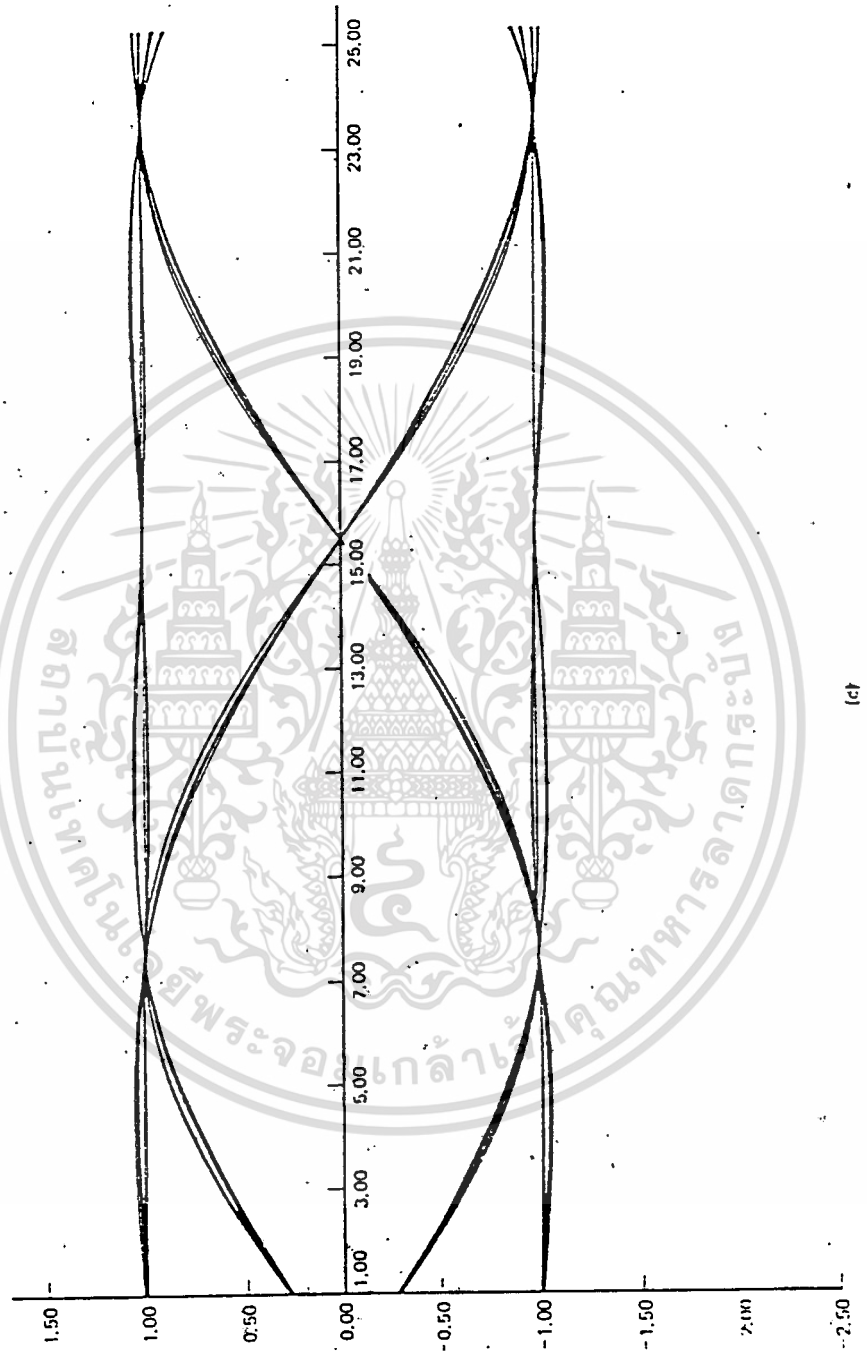
รูปที่ 2.8 (a) $\alpha = 0.3$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 (b) $\alpha = 0.5$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 (c) $\alpha = 1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การรบกวนระหว่างช่องสัญญาณ

Adjacent Channal Interferance

การรบกวนระหว่างช่องสัญญาณ (Adjacent Channal Interferance : ACI) เป็นต้นเหตุที่มีอยู่ในการ Modulation, ในการกรองความถี่, และการออกแบบในการส่งคลื่นวิทยุที่ไม่สมบูรณ์

ในการส่งสัญญาณคือ การส่งสัญญาณที่ไม่มีการจำกัด brick wall spectrum ดังนั้นในการแพร่กระจายกำลังของคลื่น (Power Spectrum) บางส่วน จะเป็นการแพร่กระจายเข้าไปในช่องสัญญาณที่อยู่ใกล้กัน ดังแสดงในรูปที่ 2.9 ถ้าออกแบบให้ C_D เป็นกำลังของสัญญาณ (Signal Power) เมื่อแสดงให้เห็นพื้นที่ที่เป็นเงาของ ACI Power ทำให้ในการออกแบบค่าของแบนด์วิดท์จะลดน้อยลงทำให้สามารถสันนิษฐานได้ว่าช่องสัญญาณทั้งสองที่อยู่ใกล้กันจะมีสาเหตุมาจากการรบกวนกันในแต่ละช่องสัญญาณ ช่องห่างระหว่างช่องสัญญาณกับถึงกลางความถี่เป็น

$$\Delta f = fc2 - fc1$$

และ brick wall ในทางอุดคติ การกรองความถี่ทางด้านภาครับจะมี Bandwidth ของ W_R

Note $W_R > \Delta f$

กำลังของสัญญาณรบกวน (Power Interferance) จะเกิดขึ้นโดยการรบกวนของสัญญาณที่ออกแบบที่สูงขึ้นและต่ำลงกว่า W_R ซึ่งทางด้านส่งมีช่องความถี่ที่ใหญ่กว่าอีกด้วย แสดงให้เห็นและอธิบายเป็นตัวอย่างดังรูปที่ 2.10

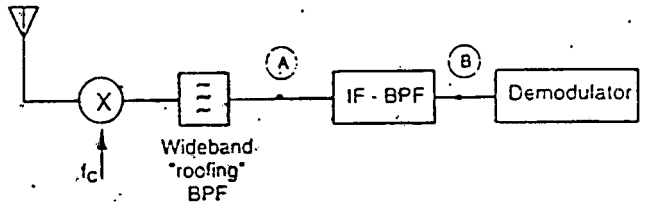
ในระบบหลายๆ ครั้ง โดยเฉพาะการกรองความถี่ทางด้านภาครับจะสมมุติให้เป็น brick wall filter

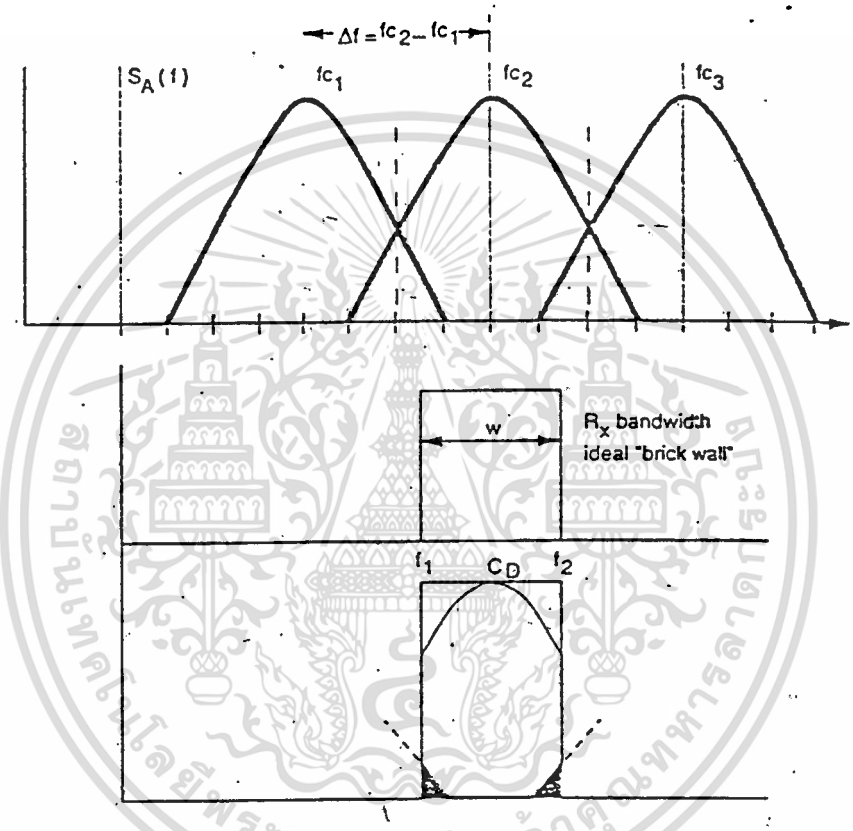
สำหรับตัวอย่างในระบบ U.S. Digital Callular (IS-54) ACI จะเป็น -26 dB ต่ำกว่าการออกแบบกำลังของคลื่นพาห์ (Carrier Power) ซึ่งจะมีค่าเป็น ACI = -26 dB ใน W_R = 30 KHz ของสัญญาณ brick wall ช่องความถี่ในระบบนี้เป็น Δf = 30 KHz และจะมี W = Δf

ในระบบ Digital European Cordless Telephon (DECT) มีช่องห่างของสัญญาณประมาณ Δf = 1.8 KHz ด้วยเหตุนี้ ACI จึงให้เป็นเกณฑ์ Bandwidth เท่ากับ W เท่ากับ 1.1 MHz

เมื่อรวบรวม ACI Power หรือ อัตราส่วน C/I ในทางปฏิบัติการ Demodulation ก่อนที่จะเข้าสู่การกำหนดทางด้าน Detector สำหรับเหตุผลนี้ ขอเสนอให้ใช้ตามนิยามของ ACI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 2.9 การรบกวนกันระหว่างช่องสัญญาณสองช่องสัญญาณ

$$ACI = \frac{\int_{-\infty}^{\infty} G(f)\left|H(f-\Delta f)\right|^2 df}{\int_{-\infty}^{\infty} G(f)\left|H(f)\right|^2 df}$$

เมื่อ G(f) เป็น PSD ของสัญญาณ

H(f) เป็น BPF Transfer Function ทางด้านรับ

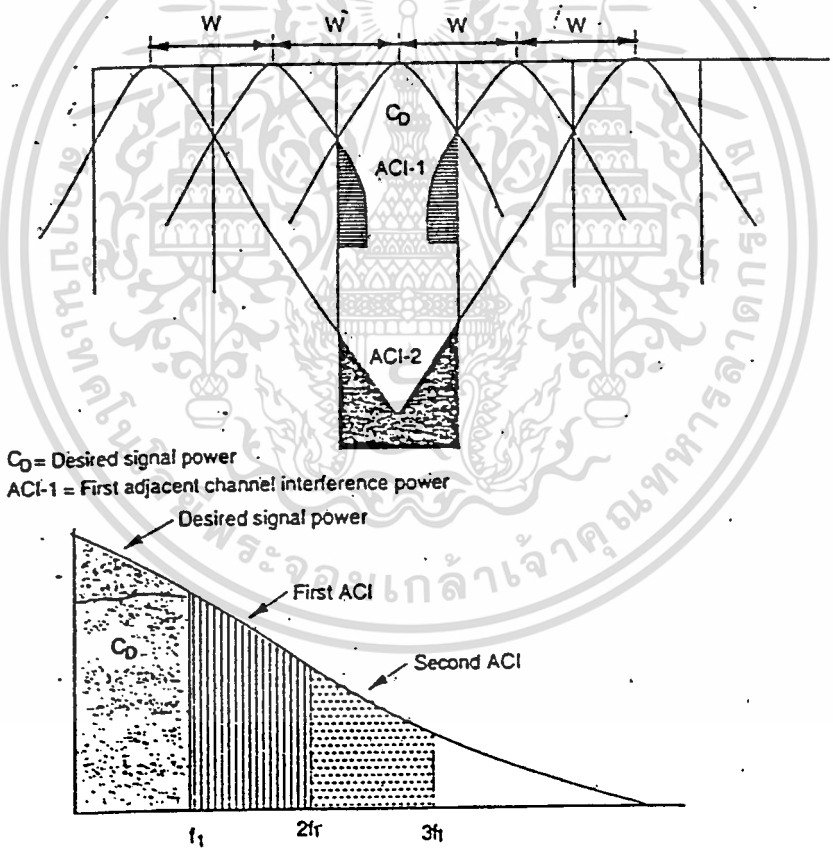
Δf เป็น ช่องห่างระหว่างช่องสัญญาณคลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าแต่ก่อนจะหา ACI จากสมการ

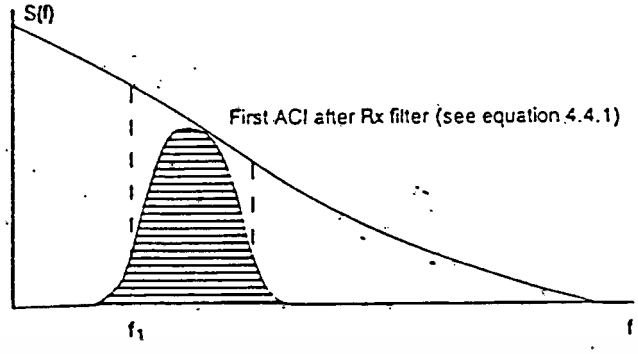
$$ACI = \frac{\int_{-\alpha}^{\alpha} G\left(f\left|H(f-\Delta f)\right|^2\right)df}{\int_{-\alpha}^{\alpha} G(f)\left|H(f)\right|^2 df}$$

พื้นฐานที่แท้จริงของ ACI Power แสดงด้านดีมอดดูเลชั่นในเครื่องคำนวน brick wall การกรองความถี่ทางด้านภาครับสามารถกำหนดและใช้งานได้หลายต่อหลายครั้ง ทางด้านผู้นำคณะกรรมการมาตราฐานกำหนดให้มีการคำนวนค่อนข้างที่จะง่ายขึ้น แต่ก็มีความลำบากที่จะวัดค่าของ ACI ในสมการที่ 2 จะไม่ทำตามเหตุผลของ brick wall filter



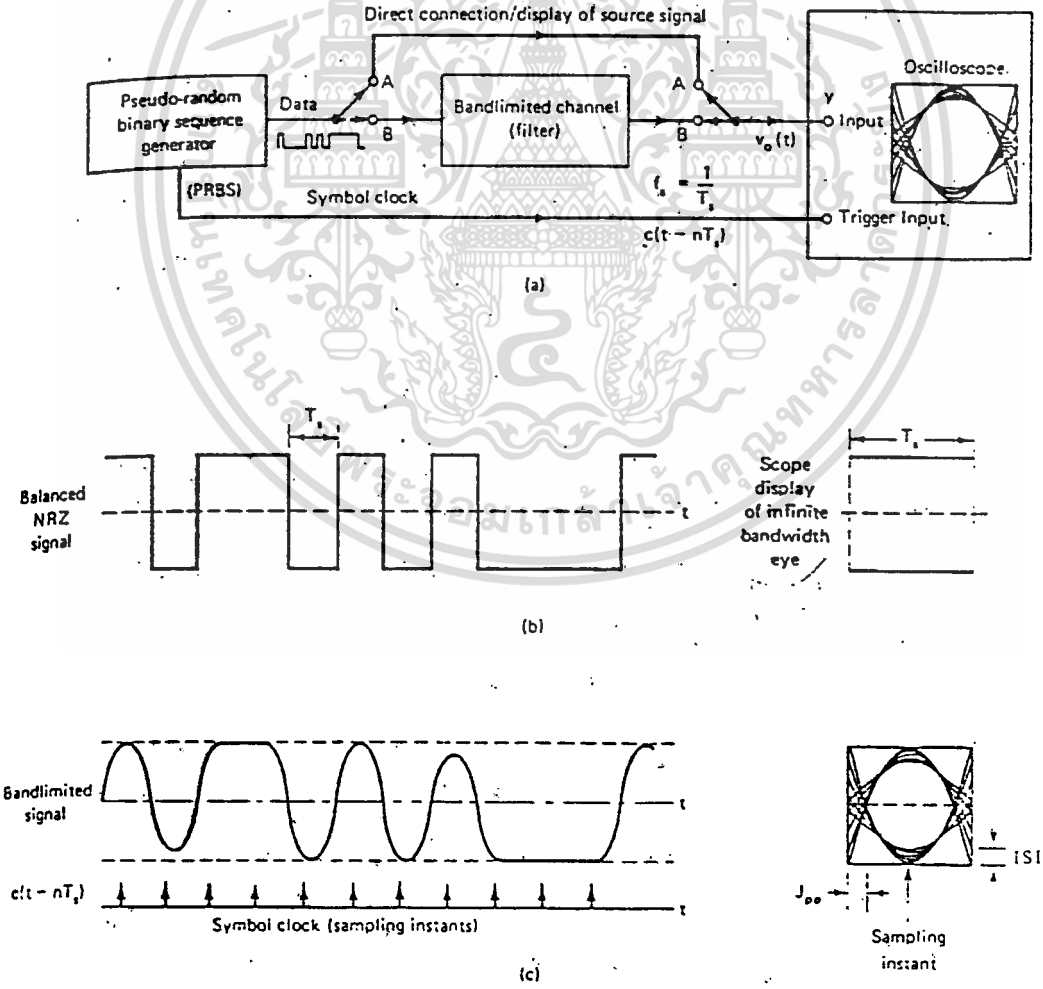
รูปที่ 2.10 การรบกวนระหว่างช่องสัญญาณที่คลื่นความถี่วิทยุ, และความถี่ที่ใช้ในสถานีฐาน (a) และ (b) นิยามของ ACI เมื่อรวมเป็น brick wall

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
038056



รูปที่ 2.10 (c) เมื่อผ่านวงจรกรองความถี่ทางด้านภาครับ

2.4 พื้นฐานของ Eye Diagram



รูปที่ 2.11 แสดงการวัด Eye Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่องสัญญาณที่ไม่เหมาะสมกับความถี่ Input เป็นสาเหตุที่ทำให้เกิด Eye Diagram ซึ่งจะต้องทำการพิจารณาหาค่าของ Eye Diagram หรือ Eye Pattern ที่เกิดขึ้นโดยการพิจารณาจากรูปคลื่นบนจอ Osilloscope โดยให้สัญญาณเป็นดังรูปที่ 2.11

การวัดสัญญาณ Eye Diagram จากสัญญาณ Input Vo(t) ให้ป้อนสัญญาณ Vo(t) เข้าทาง Vertical Input ของ Osilloscope และป้อน Clock ของสัญญาณเข้าทาง External Trigger ของ Osilloscope ส่วนการปรับแต่งให้เริ่มจากการปรับให้ Eye Diagram อยู่ตรงกลางจอภาพและปรับทางด้านแกนนอน (Horizontal Time-base) ซึ่งเป็นทางแกนของเวลาให้ตั้งค่าของเวลาให้ใกล้เคียงกับค่าความกว้างของ Clock Pulse

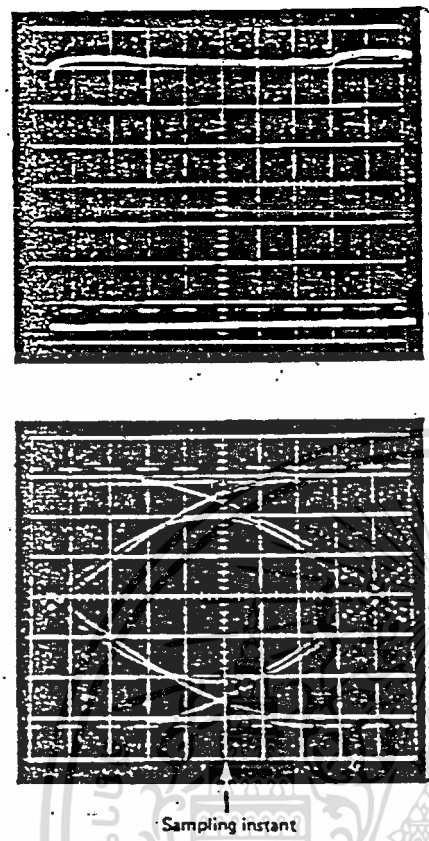
ในการวัดสัญญาณ PRBS โดยไม่ผ่านวงจร Band limited Channel ให้ทำการต่อสัญญาณเข้าทาง Vertical Input ของ Osilloscope โดยตรงซึ่งภาพของสัญญาณที่ปรากฏบนจอ Osilloscope จะเป็นรูป Eye Diagram รูปสี่เหลี่ยมที่มีขนาดของ Vo(t) ดังในรูปที่ 2.11

ถ้านำสัญญาณ PRBS นี้ ผ่านเข้าวงจร Butterworth filter fourth order ที่เป็นแบบ Non Phase Equalize และมีความถี่ Cutoff ที่ 3 dB ที่ 26 KHz โดยให้สัญญาณ PRBS มี Bitrate fs = 64 Kbit/sec แล้ววัดรูปสัญญาณทางด้าน Output ที่ได้จะเกิดเป็น Eye Diagram เกิด Intersymbol Interference (ISI) ขึ้นดังรูปที่ 2.11 จะเห็นได้ว่าขนาดของ Eye Diagram จะลดลงเป็น 1 : 2 = 3.52 dB สำหรับในระบบสื่อสารนั้น ISI ที่เกิดขึ้นเป็นอุปสรรคที่ทำให้เกิดความเสียหายของข้อมูล ซึ่งเราควรที่จะพิจารณาถึงการเกิด ISI และควรจะหาข้อกำหนดขนาดของการเกิดการรบกวนกันของระดับสัญญาณว่าควรจะมีขนาดเท่าไรจึงจะไม่ทำให้ข้อมูลนั้นเสียหาย หรือสามารถทำการแก้ไขข้อมูลได้

การวัดหาค่า ISI จะวัดตรงช่องสัญญาณที่เพี้ยนไป ซึ่งอยู่ทางด้านบนสุดของ Eye Diagram ดังรูปที่ 2.11 และจากรูปสามารถทราบค่าสูงสุด ISI สามารถบอกเป็นค่า rms Eye Closure ซึ่งใช้เป็น Parameter ตัวสำคัญที่ใช้ในการวัดค่า ISI การวัดค่าของ Parameter มีความยุ่งยากมากกว่าการหาค่าของ Peak Closure

สำหรับรูป Eye Diagram จะสังเกตุเห็นตรงส่วนที่ Overlap ของสัญญาณที่เป็นจุดตัดที่กากบาทที่ไม่อยู่บนเส้น Horizontal ซึ่งเป็นผลมาจากความไม่แน่นอนทางเครื่องหมาย โดยให้ชื่อที่จุดนี้ว่า Peak to Peak Data Transmition Jitter (JPP) ซึ่ง Jitter นี้จะมีผลอย่างมากในการกู้สัญญาณของวงจรทางภาครับสัญญาณ และ Jitter นี้สามารถใช้เป็นตัวบอกถึงการ Casecade กันของวงจรได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Measured eye diagram of an unequalized filter. A conventional fourth-order, unequalized-phase Butterworth filter having a 3-dB corner frequency at 26 kHz is used as channel simulator. The applied symbol rate is f_s = 64 kb/s. (a) Infinite-bandwidth eye diagram; (b) bandlimited eye diagram.

รูปที่ 2.12 แสดงการวัด Eye Diagram

2.5 วงจรกรองความถี่สัญญาณ (Filter)

Active Filter ทำหน้าที่กรองความถี่ของสัญญาณ เป็นวงจรที่ประกอบด้วยวงจรภาคขยายเช่น Transistor หรือ IC และ Network เลือกความถี่ (Frequency Selective network) จำพวก Resister กับ Capacitor วงจรจะให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนดในขณะเดียวกันจะขวางกั้นหรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าวมิให้ปรากฏที่ Output โดยทั่วไป Filter แบ่งออกเป็นหลายรูปแบบคือ

1. Filter ชนิด Analog หรือ ชนิด Digital
2. Filter ประเภท Passive หรือ Active
3. Filter ย่านความถี่เสียง (Audio Frequency) หรือ ย่านวิทยุ (Radio Frequency)

Analog Filter ออกแบบมาเพื่อใช้กับสัญญาณ Analog ส่วน Digital Filter ใช้งานกับสัญญาณ Analog โดยอาศัยเทคนิคทาง Digital มาช่วย ถ้าคำนึงถึงชิ้นส่วนที่นำมาประกอบกันเป็นวงจร Filter แบ่งออกเป็นประเภท Passive และ Active ชิ้นส่วนที่ใช้ในวงจร Passive Filter ได้แก่ตัว Resister,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Capacitor และ Inductor ส่วน Active Filter ประกอบด้วยตัวขยายสัญญาณจำพวก Transistor หรือ IC ในรูปแบบของ Op-Amp และ Resistor และ Capacitor ทำงานร่วมกัน Resister, Capacitor และ Inductor ถือว่าเป็นชิ้นส่วนประเภท Passive element การจะเลือกใช้ชิ้นส่วนชนิดใดนั้น ขึ้นอยู่กับย่านความถี่สัญญาณที่ต้องการให้กับวงจร Filter ทำงาน ยกตัวอย่างเช่น RC Filter ใช้กับย่านความถี่เสียง (Audio Frequency) หรือใช้กับย่านความถี่ต่ำ (Low Frequency) ขณะที่ LC Filter หรืออาจจะกล่าวไปถึง Crystal Filter เหมาะที่จะใช้ในย่านความถี่วิทยุ (Radio Frequency) หรือย่านความถี่สูง (High Frequency) และโดยเฉพาะอย่างยิ่งเนื่องจากค่า Q หรือ Figure of merit ที่สูงของตัว Crytal ทำให้ Crytal Filter มีเสถียรภาพที่ความถี่สูงมากๆ ดีกว่า LC Filter อีกด้วย

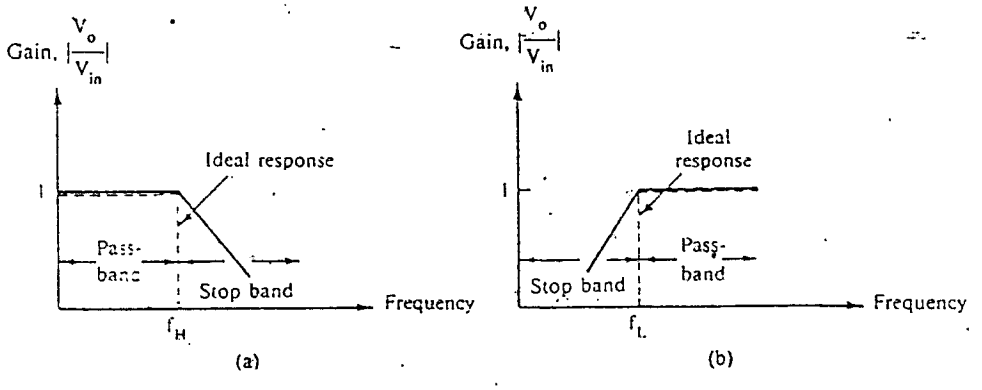
Active Filter ตามลักษณะการทำงาน

เราสามารถแบ่ง Active Filter ตามลักษณะการทำงานเป็น 5 ชนิด

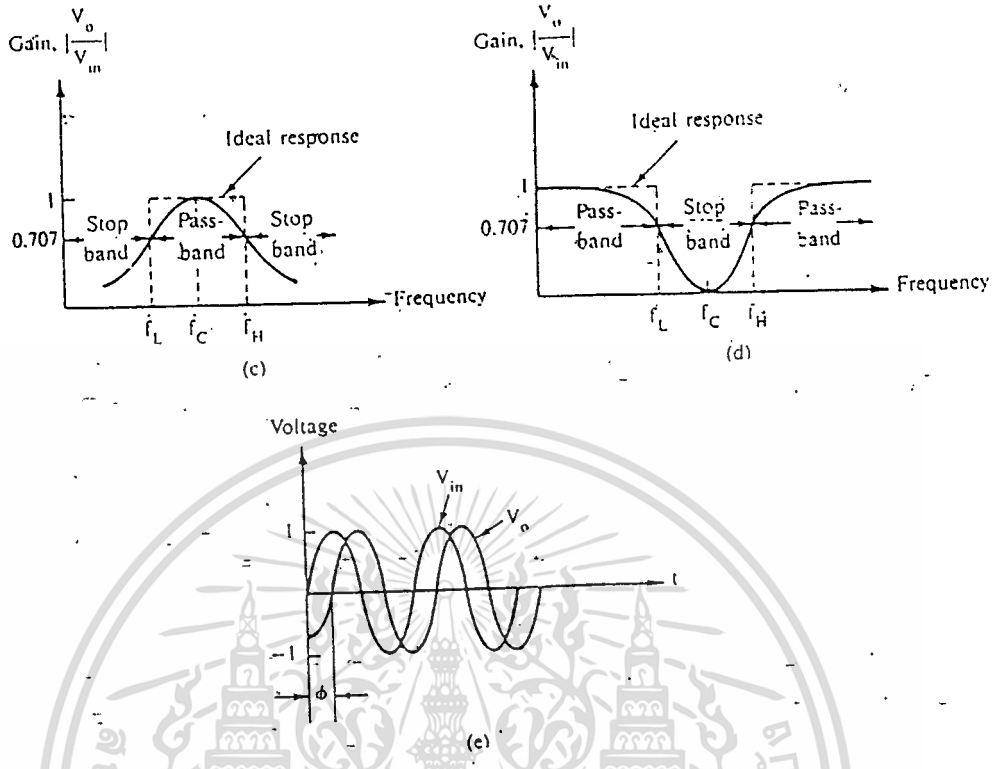
1. Low Pass Filter (LPF)
2. High Pass Filter (HPF)
3. Band Pass Filter (BPF)
4. Band Reject หรือ Band Stop Filter (BSF)
5. All Pass Filter

Filter เหล่านี้อาศัย Resistor และ Capacitor เป็น Passive element ทำงานร่วมกับ Active Element จำพวก Op Amp อาศัย IC ที่มีคุณสมบัติ High Speed ที่มี Slow Rate สูง และ Unity Gain Bandwidth สูงๆ เช่น LM318 หรือ ICL8017 จะช่วยให้ด้านความถี่และด้านอัตราการขยายของ Filter ดีขึ้น

Frequency Response ของ Filter ทั้ง 5 ชนิด แสดงในรูปที่ 2.13 เส้นทึบแสดง Response ที่เป็น Ideal ในทางทฤษฎี ส่วน Response Curve ในทางปฏิบัติแสดงด้วยเส้นทึบ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 Frequency Response ของวงจร Filter

รูปที่ 2.13 (a) แสดง Frequency Response ของวงจร Low Pass Filter มีขนาดของ Gain คงที่จากความถี่ 0 Hz ถึงความถี่ High Cutoff f_H ค่าของ Bandwidth จึงเท่ากับ f_H ที่ f_H หรือ ตำแหน่งความถี่ Cutoff นั้น Gain จะลดลง 3 dB และที่ความถี่มากกว่า f_H นั้นคือที่ $f > f_H$ อัตราการขยายหรือ Gain ของวงจรก็ลดลงทุกขณะอย่างต่อเนื่องตามความถี่สัญญาณ Input ที่เพิ่มขึ้น นัยของ Filter ช่วงความถี่ระหว่าง 0 Hz ถึง High Cutoff Frequency ซึ่ง Gain ของวงจรลดลง 3 dB เรียกว่า"Pass Band" และช่วงความถี่ที่สูงกว่า f_H ขึ้นไป ซึ่งเกิดการลดทอนของสัญญาณลงทุกขณะเรียกว่า " Stop Band" จาก Response ที่เป็น Ideal ในเส้นประ แสดงให้เห็นว่า Filter ที่เป็น Ideal จะมี Loss เป็นศูนย์ตลอดช่วง Pass Band และมี Loss เป็นอนันต์ในช่วง Stop Band แต่สภาพความเป็นจริงในทางปฏิบัติมิได้เป็นเช่นนั้น เพราะเน็ทเวิร์คชนิดเชิงเส้น (Linear Network) ไม่สามารถสร้างคุณสมบัติของความไม่ต่อเนื่อง (discontinuitties) ขึ้นได้ อย่างไรก็ตามเราอาจสร้าง Response Curve ในทางปฏิบัติตามเส้นทึบให้ใกล้เคียงกับ Response ที่เป็น Ideal ตามเส้นประได้เช่นกัน โดยอาศัยเทคนิคการออกแบบวงจรเป็นพิเศษเข้าช่วย ประกอบด้วยชิ้นส่วนอุปกรณ์ เช่น Resister กับ Capacitor ที่มีค่าถูกต้องแม่นยำ หรือเกิดความผิดพลาดน้อยที่สุดและใช้ Op Amp ชนิด High Speed

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบของ Filter ที่นิยมนำมาใช้กันมากในทางปฏิบัติ ซึ่งให้ Response Curve ประมาณใกล้เคียงทางทฤษฎี ได้แก่รูปแบบ **Butterworth,** รูปแบบ **Chebyshev** และรูปแบบ **Cauer** แต่ละรูปแบบมีคุณลักษณะประจำตัวที่แตกต่างกันออกไป Butterworth Filter ให้คุณลักษณะของทั้ง Pass Band และ Stop Band ที่ Flat บางโอกาสจึงเรียกว่า Flat Flat Filter สำหรับ Chebyshev Filter, มีคุณลักษณะ Pass Band เป็น Ripple และ Stop Band มีลักษณะ Flat ส่วน Cuaer Filter ให้ทั้ง Pass Band และ Stop Band มีคุณลักษณะเป็น Ripple หากกล่าวโดยรวมๆ ระหว่าง Filter ทั้ง 3 แบบ Cauer Filter จะให้ Response ของ Stop Band ที่ดีที่สุด แต่เพื่อความสะดวกของการออกแบบวงจร เราจะใช้ Butterworth Filter

รูปที่ 2.13 (b) เป็น Response Curve ของ High Pass Filter เมื่อให้ f เป็นความถี่ใดๆ และ f_L เป็น Low Cutoff Frequency แล้วช่วง Stop Band จะอยู่ที่ $0 < f < f_L$ และช่วง Pass Band อยู่ที่ $f < f_L$

รูปที่ 2.13 (c) แสดง Frequency Response ของวงจร Band Pass Filter ช่วง Pass Band อยู่ระหว่างความถี่ Cutoff สองจุดได้แก่ High Cutoff Frequency (f_H) และ Low Cutoff Frequency (f_L) ซึ่งเป็นตำแหน่งที่ Gain ของวงจรลดลง 3 dB และช่วง Stop Band มีสองช่วงที่ $0 < f < f_L$ กับ $f < f_H$ โดย $f_H > f_L$ ค่า Bansd width ของ Band Pass Filter เท่ากับ $f_H - f_L$ และ Center Frequency อยู่ที่ความถี่ f_C ปรากฏที่ตำแหน่งกึ่งกลางช่วง Pass Band พอดี

รูปที่ 2.13 (d) แสดง Response ของ Band Reject Filter จะมี Curve คุณลักษณะจะตรงกันข้ามกับ Band Pass Filter กล่าวคือในช่วง Band Stop อยู่ระหว่างความถี่ Cutoff สองจุดคือ f_H กับ f_L และมีช่วง Pass Band อยู่สองช่วงอยู่ระหว่างความถี่ $f > f_H$ และ $0 < f < f_L$ อาจเรียก Band RejectFilter ว่า Band Stop Filter หรือ Band Elimination Filter ก็ได้ ค่า Bandwidth ของ Stop Band เท่ากับ $f_H - f_L$ และตำหน่งกึ่งกลางของช่วง Stop Band เป็นความถี่ Center Frequency หรือ f_C

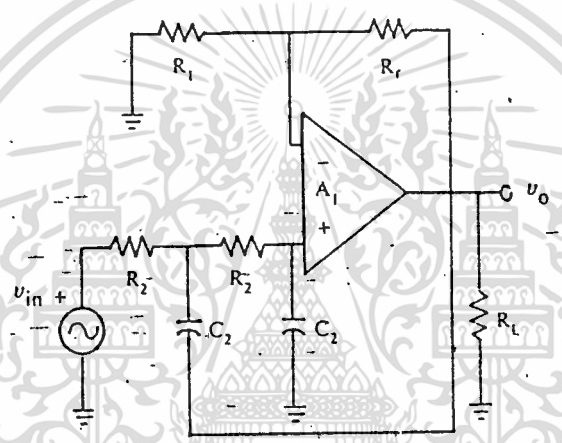
รูปที่ 2.13 (e) แสดง Phase Shift ระหว่าง Input Voltage (v_{in}) กับ Output Voltage (v_o) ของ All Pass Filter มีคุณสมบัติให้สัญญาณทุกๆ ความถี่ผ่านได้เท่าๆ กัน กล่าวคือ ให้ v_o เท่ากับ v_{in} ในทุกความถี่โดยปรากฏ Phase Shift ขึ้นระหว่าง v_o กับ v_{in} ในบางความถี่ แต่ค่าความถี่สูงสุดซึ่ง v_o กับ v_{in} ยังคงมีขนาดที่เท่ากันขึ้นอยู่กับ Unity Gain Bandwidth ของ Op Amp ที่ความถี่นี้ Phase Shift จะเกิดขึ้นระหว่าง v_o กับ v_{in} จะมีค่าสูงที่สุด

ในการพิจารณาคุณลักษณะของ Filter โดยเฉพาะอย่างยิ่งในช่วง Stop Band ตามรูป 2.13 (a) ถึง 2.13 (d) รูปร่างของ Response Curve ในช่วง Stop Band มีทั้งลดลงหรือเพิ่มขึ้น หรือทั้งลดลง และเพิ่มขึ้นด้วยอัตราการเปลี่ยนแปลงที่คงที่ตามความถี่ที่เพิ่มขึ้นหมายถึง อัตรา (rate) ซึ่ง Gain ของ Filter เปลี่ยนแปลงในช่วงของ Stop Band อัตราการเปลี่ยนแปลงนี้แสดงด้วย Slope ของ Curve ในบริเวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Stop Band ถูกกำหนดโดยจำนวน Order ของ Filter ยกตัวอย่างเช่น Low Pass Filter ชนิด Order หนึ่ง การลดลงของ Gain ในช่วง Stop Band จากความถี่ $f < f_H$ อยู่ในอัตรา 20 dB/decade ส่วน Low Pass Filter ชนิด Order สอง มีการลดลงของ Gain ในช่วงความถี่เดียวกันในอัตรา 40 dB/decade แต่สำหรับ High Pass Filter ชนิด Order หนึ่ง จะมีการเพิ่มขึ้นของ Gain ในช่วง Stop Band จากความถี่ $0 < f < f_L$ ในอัตรา 20 dB/decade และ High Pass Filter ชนิด Order สอง ก็มีการเพิ่มขึ้นของ Gain ในช่วงความถี่เดียวกันในอัตราเท่ากับ 40 dB/decade

Low Pass Filter ชนิด Order สอง



รูปที่ 2.14 Second Order Low Pass Butterworth Filter

$$\left|\frac{v_o}{v_{in}}\right| = \frac{A_F}{\sqrt{1+\left(f/f_H\right)^4}}$$

เมื่อ v_o / v_{in} = Gain ของวงจร

A_F = $1 + R_F/R_1$

f = Frequency ของ Input Signal

f_H = $1/(2\pi R_2 C_2)$ = Hihg Cutoff Frequency

การออกแบบ

1. เลือกค่า High Cutoff Frequency f_H
2. เลือกค่า $C_2 = 10/f_H$ μFarad
3. คำนวณ $R_2 = 1/(2\pi f_H C_2)$

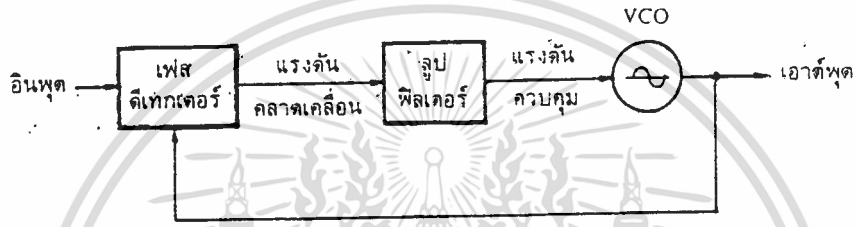
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. คำนวณหาค่า R_F และ R_I ตาค่า Pass Band Gain

$$A_F = 1 + R_F/R_I$$

2.6 เฟสล็อคลูป (Phase Lock Loop)

เฟสล็อคลูปประกอบด้วย ตัวเปรียบเทียบเฟส ตัวกรองผ่านความถี่ต่ำ และ VCO ประกอบกัน แสดงดังบล็อกไดอะแกรม



รูปที่ 2.15 แสดงเฟสล็อคลูป

จากรูปจะเห็นว่า ส่วนประกอบทั้งสามอยู่ในส่วนฟีดฟอร์เวอร์ด ขณะที่ในส่วนป้อนกลับเป็นเพียงการเชื่อมต่อกันระหว่าง VCO และตัวเปรียบเทียบเฟส

VCO เป็นออสซิลเลเตอร์ โดยที่ความถี่จะถูกกำหนดด้วย ความต้านทานหรือตัวเก็บประจุภายนอกความถี่ VCO (fo) จะถูกป้อนกลับไปยังตัวเปรียบเทียบเฟส ซึ่งมันจะถูกเปรียบเทียบกับความถี่อินพุท (fi) เอาท์พุทของตัวเปรียบเทียบเฟสคือค่าแรงดันไฟฟ้าที่ผิดพลาด (Error Voltage) ซึ่งก็คือแรงดันไฟฟ้ากระแสตรงเฉลี่ยที่เป็นสัดส่วนโดยตรงกับความต่างของความถี่ (fi-fo) และเฟส($\Delta\phi$) ของอินพุท และ VCO

ค่าแรงดันไฟฟ้าที่ผิดพลาดจะถูกกรองเพื่อกำจัดสัญญาณรบกวน และป้อนสู่ VCO ค่าแรงดันไฟฟ้าที่ผิดพลาดจะทำการบังคับความถี่ของ VCO ให้เป็นไปในทางที่จะลดความแตกต่างของความถี่ระหว่าง fi และ fo เมื่อ VCO เริ่มเปลี่ยนความถี่ ลูปก็จะอยู่ในสภาวะจับ (Capture State) กระบวนการนี้จะดำเนินต่อไปเรื่อยๆ จนกระทั่งความถี่ VCO และ ความถี่อินพุทมีค่าเท่ากันพอดีที่จุดนี้ ลูปจะอยู่ในสภาวะล็อค (Phase-Locked) ระหว่างภาวะล็อค ความถี่ VCO จะเท่ากับความถี่อินพุทของลูปแต่จะต้องมีความต่างเฟสอยู่บ้าง ซึ่งจำเป็นสำหรับการสร้างศักดาผิดพลาด เพื่อทำให้ลูปยังคงล็อคอยู่

จะเห็นว่า ระบบเฟสล็อคลูป มี 3 สภาวะ ที่แตกต่างกัน ดังนี้

1. สภาวะวิ่งโดยอิสระ (Free - running)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. สภาวะจับ (Capture)

3. สภาวะล็อค (Phase - lock)

ระบบจะถูกควบคุมด้วยตัวกรอง ถ้าความถี่แตกต่างระหว่างความถี่ VCO กับความถี่อินพุทมีค่ามากเกินไป ผลของสัญญาณผิดพลาดอาจสูงเกินไปที่จะผ่านตัวกรองไปได้ สิ่งที่ตามมาก็คือ สัญญาณจะไม่อยู่ในช่วงพิสัยการล็อค

ตัวเปรียบเทียบเฟส (Phase Detector)

ตัวเปรียบเทียบเฟส สร้างค่าแรงดันไฟฟ้ากระแสตรง ที่เป็นสัดส่วนโดยตรงกับความต่างเฟสระหว่างสัญญาณอินพุทของระบบ PLL กับสัญญาณจาก VCO ค่าศักดานี้มักจะเรียกกันในนามของค่าแรงดันไฟฟ้าที่ผิดพลาด

$$V_D = K_o \Delta\phi$$

V_D = ค่าเฉลี่ยศักดาเอาท์พุทของตัวเปรียบเทียบเฟส (โวลต์)

K_o = เกนของตัวเปรียบเทียบเฟส (โวลต์/เรเดียน)

$\Delta\phi$ = ความต่างเฟส (เรเดียน)

VCO (Voltage Control Oscillator)

VCO ทำหน้าที่สร้างความถี่อินพุท ซึ่งมีสัดส่วนโดยตรงกับค่าแรงดันที่อินพุท VCO เรียกอีกอย่างได้ว่า ตัวเปลี่ยนค่าแรงดันไฟฟ้าเป็นความถี่ (Voltage to Frequency Convertor)

$$W_o = K_o V_f$$

W_o = ความถี่เอาท์พุทของ VCO (เรเดียน/วินาที)

V_f = ศักดาอินพุทจากตัวกรองผ่านความถี่ต่ำ (โวลต์)

K_o = เกนของ VCO (เรเดียน/วินาที/โวลต์)

ตัวกรองผ่านความถี่ต่ำ (Low Pass Filter)

ตัวกรองผ่านความถี่ต่ำ ทำหน้าที่กำจัดสัญญาณรบกวน และส่วนประกอบความถี่สูง (High Frequency Component) จากศักดาเอาท์พุทของตัวเปรียบเทียบเฟสและให้ศักดาไฟฟ้ากระแสตรงเฉลี่ย (dc) นอกจากนี้ ตัวกรองผ่านความถี่ต่ำยังเป็นตัวกำหนดระบบ ซึ่งรวมทั้งแฟคเตอร์ต่อไปนี้

- การเข้าสู่สภาวะล็อค และการล็อค (Capture & Lock Range)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

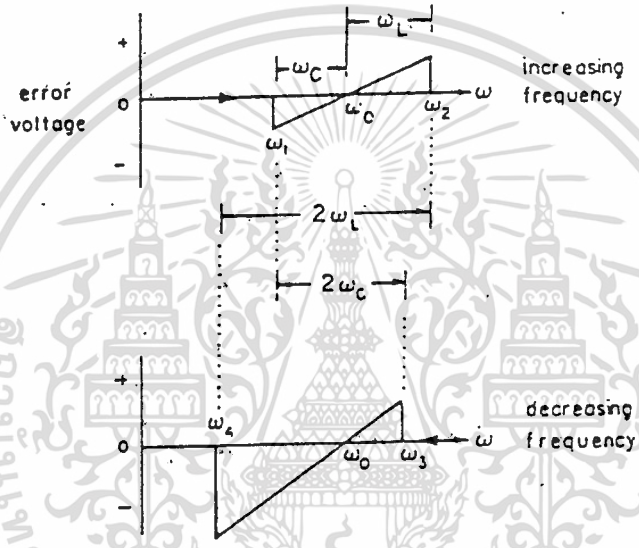
- แบนวิทซ์ (Bandwidth)

- ผลตอบสนองชั่วคราว (Transient Response)

การเข้าสู่สภาวะล็อค และสภาวะล็อค (Capture & Lock Range)

การล็อค ($2W_L$) ของระบบเฟสล็อคลูป คือช่วงความถี่ของระบบ ที่จะตามการเปลี่ยนแปลงของความถี่อินพุท

การเข้าสู่สภาวะล็อค ($2W_C$) คือช่วงที่เฟสล็อคลูปเข้าสู่สภาวะล็อค



รูปที่ 2.16 การเข้าสู่สภาวะล็อค และการล็อค

Lock range : $(2W_L) \doteq W_2 - W_4$

Capture range : $(2W_C) = W_3 - W_4$

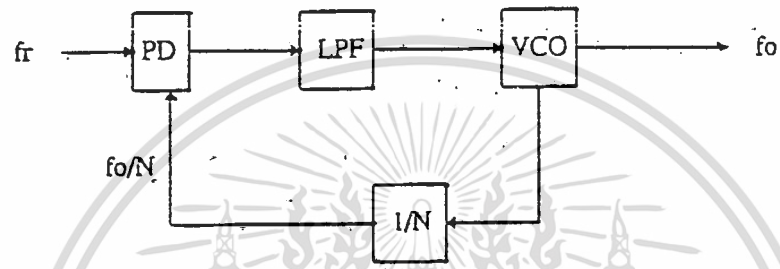
จากรูปบน ความถี่อินพุท (W_i) จะค่อยๆ เพิ่มขึ้นจนกระทั่ง W_i มีค่าเท่ากับ W_1 ซึ่งเป็นค่าต่ำสุดของการเข้าสู่สภาวะล็อค ลูปจะอยู่ในภาวะล็อคกับความถี่อินพุท ทำให้ค่าแรงดันไฟฟ้าที่ผิดพลาดของลูปเป็นค่าลบ เมื่อความถี่อินพุทมีค่าเพิ่มขึ้น ค่าแรงดันไฟฟ้าที่ผิดพลาดก็จะค่อยเพิ่มขึ้นอย่างเป็นเชิงเส้นกับส่วนกลับของเกนของ VCO หรือ $1/K_o$ เมื่อความถี่อินพุทเท่ากับความถี่ VCO ศูนย์กลาง (VCO free - running frequency) ค่าแรงดันไฟฟ้าที่ผิดพลาดจะเป็นศูนย์ ลูปก็ยังแทร็คตามความถี่อินพุทจนกระทั่งถึงความถี่ W_2 ซึ่งเป็นค่าสูงสุดของการล็อค เมื่อความถี่อินพุทมีค่ามากกว่า W_2 ลูปจะหลุดภาวะการล็อค ค่าแรงดันไฟฟ้าที่ผิดพลาดจะกลับเป็นศูนย์ VCO ก็จะกลับไปอยู่ที่ความถี่ศูนย์กลาง เมื่อความถี่อินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลดลงกระบวนการเดิมก็จะเกิดขึ้นอีก ต่างกันเพียงแต่ว่าค่าแรงดันไฟฟ้าผิดพลาดจะเป็นบวกที่ w_3 ซึ่งก็คือค่าสูงสุดของการเข้าสู่สภาวะล็อค

การสังเคราะห์ความถี่ด้วยเฟสล็อคลูป

การสังเคราะห์ความถี่ด้วยเฟสล็อคลูปเป็นการสร้างความถี่ขึ้นมาใหม่ด้วยความถี่อ้างอิงที่มาตราฐาน โดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงได้ดังรูปที่ 2.17



รูปที่ 2.17 แสดงโครงสร้างเฟสล็อคลูปสำหรับการสังเคราะห์ความถี่

จากรูปส่วนที่เพิ่มจากโครงสร้างของเฟสล็อคลูปที่ได้กล่าวมาแล้วคือ วงจรหารความถี่ N (1/N) โดนถ้า f_r เป็นสัญญาณอ้างอิงที่มีความถี่คงที่แล้ว ความถี่เอาท์พุทของ VCO จะเท่ากับขนาดของความถี่อ้างอิง (Frequency Reference : f_r) คูณกับจำนวนหาร N หรือเขียนได้

$$f_o = f_r \times N$$

หรือกล่าวได้ว่าความถี่เอาท์พุท (f_o เป็นจำนวนเท่าของความถี่อ้างอิง) ความถี่ที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์ (PD) หารด้วยจำนวน N ให้เท่ากับความถี่ที่อ้างอิง สำหรับการทรานเฟอร์ฟังก์ชั่นของ PLL ที่มีวงจรหารในส่วนป้อนกลับเขียนทรานเฟอร์ฟังก์ชั่นได้คือ

$$\frac{\theta_c(s)}{\theta_r(s)} = \frac{K_o K_d \dfrac{F(s)}{S}}{1 + K_o K_d \dfrac{F(s)}{NS}}$$

สำหรับทรานเฟอร์ฟังก์ชั่นของลูปใดๆ เขียนได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_o = \frac{G(s)}{1 + G(s)H(s)}$$

G(s) = ฟอร์เวิร์ดเกน (Forword Gain)

H(s) = เกนป้อนกลับ (Feedback Gain)

G(s)H(s)= เกนลูปปิด (Open Loop Gain)

จากสมการเราสามารถหาฟอร์เวิร์ดเกนคือ

$$G(s) = \frac{K_o K_d F(s)}{S}$$

และเกนของลูปปิดของเฟสล็อคลูปคือ

$$G(s)H(s) = \frac{K_o K_d F(s)}{N \times S}$$

สำหรับในการสังเคราะห์ความถี่วงจรกรองความถี่ต่ำ (LPF) ในลูปจะเลือกใช้วงจรกรองความถี่แบบแอคตีฟ เนื่องจากใช้กระแสอินพุทน้อยทำให้เกิดค่าความผิดพลาดในสภาวะสงบของเฟสดีเทคเตอร์เอาท์พุทมีค่าน้อย จะได้สมการ

$$\frac{\theta_o}{\theta r} = \frac{\dfrac{K_o K_d (ST_2 + 1)}{T_1}}{S^2 + \dfrac{SK_o K_d T_2}{NT_1} + \dfrac{K_o Kd}{NT_1}}$$

จะได้ความถี่ธรรมชาติของลูปและค่าแดมปิ้งแฟคเตอร์คือ

$$f_n = \sqrt{\left(\frac{K_o K_d}{NT_1}\right)}$$

$$= \frac{T_2}{2}\omega_n$$

ค่าความถี่ธรรมชาติ, อัตราแดมปิ้งของลูป จะเป็นพารามิเตอร์ที่สามารถกำหนดได้โดยกำหนดค่าพารามิเตอร์ดังกล่าว เราจะกำหนดโดยพิจารณาจากความต้องการต่อการตอบสนองของลูปในสภาวะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

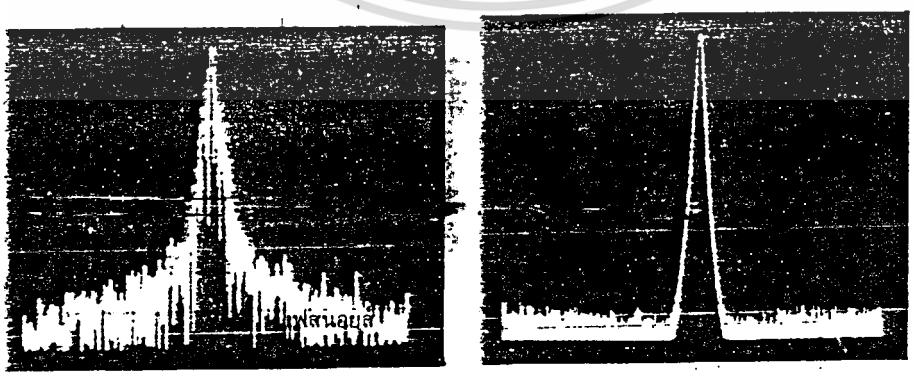
ทรานเซ้ียน ความสามารถมอดูเลทความถี่ที่ต้องการในกรณีลูปถูกมอดูเลทด้วยสัญญาณเบสแบนด์และเสถียรภาพของลูป

คุณสมบัติของวงจรสังเคราะห์ความถี่

นอกจากวงจรสังเคราะห์ความถี่จะต้องมีคุณสมบัติเกี่ยวกับช่วงความถี่ (frequency range) ที่ต้องผลิตและเรโซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่นๆ ของวงจรสังเคราะห์ความถี่ก็มีความสำคัญต่อเครื่องรับส่งวิทยุอีกด้วย

โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำหนดสัญญาณเพียงสัญญาณเดียว แต่เลือกความถี่ได้หลายค่า (ในช่วงความถี่ใช้งาน) และมีความละเอียดของความถี่ขึ้นอยู่กับเรโซลูชั่น ในกรณีที่เปลี่ยนความถี่จากค่าหนึ่งไปยังอีกค่าหนึ่ง วงจรสังเคราะห์ความถี่ต้องเปลี่ยนตามได้เร็วทันที กล่าวอีกนัยหนึ่งคือล็อกความถี่ได้ในเวลาที่รวดเร็ว นั่นคือ ช่วงเวลาล็อก (lock-up time) สั้นคุณสมบัติการล็อกความถี่ใหม่ได้รวดเร็วนั้นมีความจำเป็นอย่างยิ่งสำหรับเครื่องรับส่งวิทยุ โดยเฉพาะในระหว่างการเปลี่ยนจากสภาวะส่ง(รับ) มาเป็นสภาวะรับ(ส่ง) หรือในกรณีสแกนความถี่ วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณความถี่เดียว โดยปราศจากความถี่แปลกปลอมต่างๆ คุณสมบัตินี้เรียกว่า ความบริสุทธิ์ของสเปกตรัม (spectrum purity) นั่นคือความถี่ ฮาร์มอนิก และสปิวเรียสต่างๆ จะต้องถูกกำจัดให้เหลือน้อยที่สุด นอกจากนี้นอยส์จากวงจรออสซิลเลเตอร์ทำให้วงจรสังเคราะห์ความถี่มีความถี่ไม่บริสุทธิ์ไม่ใช่เพียงความถี่เดียวดังรูป ในช่วงใกล้เคียงกับความถี่ที่ต้องการ นอยส์ดังกล่าวเรียกว่า เฟสนอยส์ (phase noise)

ความเที่ยงตรง (accuracy) และเสถียรภาพ (stability) ทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิง ฉะนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพและความเที่ยงตรงทางความถี่เทียบกับคริสตอลออสซิลเลเตอร์



(ก) เอาต์พุตมีเฟสนอยส์ (ข) เอาต์พุตที่บริสุทธิ์

รูปที่ 2.18 เฟสนอยส์ปรากฏเป็นความถี่แปลกปลอมในบริเวณใกล้ๆ กับความถี่เอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

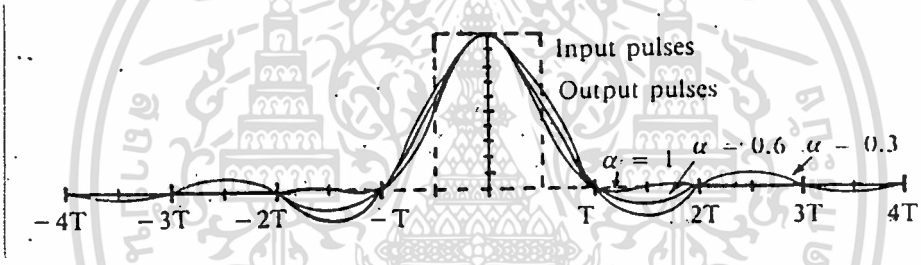
การออกแบบและการทำงานของวงจร

3.1 วงจรจัดระดับสัญญาณ

จากรูปแบบของสัญญาณที่จะไม่ทำให้เกิดการรบกวนกันระหว่างสัญลักษณ์

$$y_r(t) = \frac{\sin(\pi t/T)}{\pi t/T} \frac{\cos(\alpha \pi t/T)}{1-(2\alpha t/T)^2} \qquad (1)$$

เมื่อนำสมการที่ 1 มาเขียนรูปสัญญาณจะได้ดังนี้



รูปที่ 3.1 สัญญาณพัลซ์ที่ไม่เกิดการรบกวนระหว่างช่องสัญญาณ

จากรูปจะเห็นว่าสัญญาณที่ไม่ทำให้เกิดการรบกวนทางสัญลักษณ์ที่ได้จากสมการนั้นมีคาบเวลากว้างมากเป็น α แต่ที่เวลา $-T\rangle t\rangle T$ นั้นจะเห็นว่า Amplitude มีขนาดเล็กลงซึ่งสามารถตัดทิ้งได้เพราะเป็นส่วนที่มีพลังงานส่วนน้อย พลังงานส่วนใหญ่ของสัญญาณจะอยู่ที่ Main Lobe Specturm ของ Output ซึ่งมีคาบเวลาตั้งแต่ -T ถึง T ซึ่งมีคาบเวลากว้างกว่า Tb ของสัญญาณของข้อมูล Input อยู่ 2 เท่า

ในการออกแบบจึงต้องเพิ่มคาบเวลาที่ Output ให้ครอบคลุมถึงคาบเวลาที่กำหนด จึงใช้วงจรหน่วยความจำทำหน้าที่เพิ่มคาบเวลา ซึ่งก็คือการนำ D flip-flop นำมาต่ออนุกรมกันเป็น shift-register โดยที่จำนวนของ D flip-flop และความถี่ clock ที่ใช้ป้อนเข้า D flip-flop สามารถหาได้จากสมการที่ 1 สามารถกำหนดเป็นตัวแปรต้นได้ ส่วน Amplitude ที่มีขนาดเปลี่ยนแปลงไปตามตัวแปรต้นซึ่งค่าของ Amplitude นี้ สามารถใช้ความต้านทานกำหนด Amplifier ของแต่ละช่วงเวลาให้เป็นไปตามสมการค่าความต้านทานนี้จะต่อที่ Output ของ shift-register ทุกๆ D flip-flop

ในเรื่องการออกแบบวงจรพบว่ามีตัวแปรอยู่ 3 ตัว ที่ต้องมีความสัมพันธ์กับสมการที่ 1 คือ

1. จำนวน D flip-flop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ความถี่ clock ที่ป้อนให้แก่ D flip-flop

3. ค่าความต้านทานที่ต่อที่ Output ของ D flip-flop

โดยกำหนดให้จำนวน D flip-flop (i) และความถี่ clock (ΔT) เป็นตัวแปรต้น ส่วนค่าความต้านทานที่ต่อที่ Output ของ D flip-flop แต่ละตัวสามารถหาได้จากสัมประสิทธิ์ที่เวลาต่างๆ กันของ Output โดยกำหนดค่าสัมประสิทธิ์นี้ให้เป็นตัวแปรตาม ดังนั้นจากสมการที่ 1 เมื่อนำตัวแปร t และ T มาเทียบเป็นตัวแปร i และΔT ได้ดังสมการต่อไปนี้

$$[a_i]_{nk} = \frac{2\Delta t}{T} \frac{\sin \Omega 1 \Delta t i}{\Omega 1 \Delta t i} \frac{\cos \Omega x \Delta t i}{1 - \left(\frac{2\Omega x \Delta t i}{\pi}\right)} \qquad (2)$$

ถ้ากำหนดให้เป็น filter แบบ Blick wall-Filter ค่า α x = 0 จึงทำให้สมการ 2 กลายเป็น

$$[a_i]_n = \frac{2\Delta t}{T} \frac{\sin \frac{\Delta t}{T} i\pi}{\frac{\Delta t}{T} i\pi} \qquad (3)$$

เมื่อให้ $\Omega 1 = \pi / T$

จากสมการที่ 3 จะมีตัวแปรต้นที่พิจารณาคือ i กับ Δt โดยที่ค่า Δt จะกำหนดเป็นจำนวน n เท่าของ Bitrate (R_B = 1/Tb) โดยที่ n เป็นจำนวนเต็มบวกจึงได้ Δt = T/7 ในที่นี้คือ T/n เช่น T/2, T/3, T/4 ..... T/n และค่า i เป็นตำแหน่ง flip-flop ตัวที่ทำงานตรงกับเวลาที่กำลังพิจารณาอยู่ เพื่อนำไปหาค่าสัมประสิทธิ์ที่เวลานั้นๆ

จากในเวลาที่สร้างนี้กำหนดให้ Δt = 7/T และต้องการลูกคลื่นมีจำนวน 3 lope คือ main lope และ side lope 2 ข้างซึ่งจะกินคาบเวลาตั้งแต่ -2T ถึง 2T ดังในตารางที่ 1 เมื่อได้ค่าสัมประสิทธิ์ที่เวลาต่างๆ ก็นำค่าสัมประสิทธิ์ [ai]n มาคำนวนหาค่าความต้านทาน (R) เพื่อนำมา weight ที่ Output ของ D flip-flop เพื่อให้ได้ผลรวมของ Voltage ของ output ทุกๆ D flip-flop เป็นไปตามรูปสัญญาณรูปที่ 3.1

การหาค่า R ที่นำมา weight ค่า Voltage จะต้องทราบ

1. Voltage ที่ output ของ D flip-flop ของแต่ละตัว (A)

2. กระแสที่ D flip-flop สามารถจ่ายออกมาให้แก่ Load (Imax) ได้โดยไม่ทำให้ Voltage เปลี่ยนไปมากนัก ซึ่งค่า Voltage และกระแสสูงสุดที่ Output สามารถหาได้จาก Data ของ D flip-flop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ weight ความต้านทานจะใช้วิธีจำกัดให้กระแสไฟฟ้าที่ไหลผ่านความต้านทานเป็นอัตราส่วนโดยตรงกับสัมประสิทธิ์ [ai]n จึงต้องกำหนดค่า normal right ของกระแส (Inor) เพื่อนำมาคูณกับค่าสัมประสิทธิ์ เพื่อให้ได้ค่ากระแสไฟฟ้าที่ไหลผ่านตัวความต้านทานแต่ละตัว (Ci) โดยที่เพื่อรักษาระดับ voltage ที่ออกมาจาก D flip-flop ให้คงที่จึงต้องกำหนดให้ค่า

$$Imax \geq Ci \tag{4}$$

โดยที่ $Ci = [a_i]_n \times Inop$ (5)

และค่าความต้านทาน weight สามารถหาได้จากสมการ

$$Ri = A/Ci \tag{6}$$

โดยที่ A เป็นค่า voltage ที่ออกจาก output ของ D flip-flop ซึ่งจะต้องกำหนดให้คงที่จากสมการที่ 4

ค่าสัมประสิทธิ์ [ai]n และค่าความต้านทานที่ D flip-flop ต่างๆ ที่ใช้ในวงจรเมื่อใช้ Δt = T/7 และต้องการสัญญาณ Output ขนาด 3 lope เป็นไปตามตารางที่ 1 นี้

i =0	1	2	3	4	5	6	7	8	9	10	11	12	13	14
ai=	0.27	0.24	0.20	0.15	0.09	0.46	0.00	-0.03	-0.05	-0.06	-0.05	-0.04	-0.02	0
Ri=	1.1K	1.2K	1.5K	2K	3K	6.6K	0	8.9K	5.5K	5K	5.4K	7.3K	14.4K	0

Δt = T/7

ตารางที่ 1

จากสมการที่ 1, 2, 3 จะเห็นว่าสัมประสิทธิ์ ai = a-i ซึ่งเป็นรูปที่สมมาตรกันดังนั้น

Ri = R-i

จากคุณสมบัติของ D flip-flop คือสัญญาณ logic ทาง Output ของ D flip-flop แต่ละตัวจะมีคาบเวลาเท่ากับคาบเวลาของ logic input และจากค่า R ที่คำนวนได้จากตารางที่ 1 ค่าความต้านทานแต่ละตัวจะกำหนด Voltage ที่มีช่วงเวลา Samping = T/7. ในกรณี Δt = T/7 ซึ่งใช้ความถี่ clock (f_{clk}) = 7 Rb

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta t = 1/f_{CLK}$$

$$\Delta t = 1/7Rb = Tb/7 \qquad \left(Tb = 1/Rb\right)$$

ดังนั้นจึงต้องกำหนดความกว้างของ logic input ของวงจร shift register ให้เท่ากับ Tb/7 การกำหนดความกว้างของ logic input ให้ได้ขนาดตามต้องการจะใช้วงจร Monosatble Multivibrator ซึ่งทำงานที่ขอบขาขึ้นของ logic และความกว้างกำหนดโดยค่า R, C ที่ถูกกำหนดโดย data sheet ของ IC Monostable Multivibrator คือ

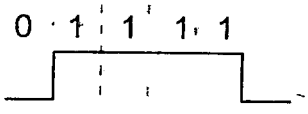
$$T_{in} = 0.7Rb$$

ค่า Tin < Δt

ถ้าค่า Tin > Δt จะเกิดการรบกวนกันระหว่าง Samping ดังรูปที่ 2

รูปที่ 3.2 แสดงการรบกวนระหว่าง Samping ที่ Tin > Δt

ค่า Tin ไม่ควรจะน้อยกว่า Δt มากเกินไปเพราะจะทำให้สัญญาณ output ไม่เรียบได้ ดังนั้นค่า Tin ที่ใช้คำนวนหาค่า R, C ในวงจร Monostable จึงใช้ค่า Tin = Δt โดยกำหนดให้ค่า C คงที่ และหาค่า R มาใส่ ถ้าหาค่า R ได้ไม่ตรงกับค่าที่คำนวนได้ให้ใช้ค่าที่คำนวน เพราะ Tin น้อยกว่า Δt ได้เล็กน้อย Input ของวงจร Monostable ต้องการขอบขาขึ้นของ logic ทุกๆ Bit ที่เป็น logic "1" แต่ในรหัส NRZ ถ้ามี logix "1" ติดกันมากกว่า 1 bit จะมีขอบขาขึ้นเฉพาะ 1 ใน bit แรกเท่านั้น ส่วนในบิทที่เป็น logic"1" ในบิทต่อไปจะไม่เกิดขอบขาขึ้น ดังรูป

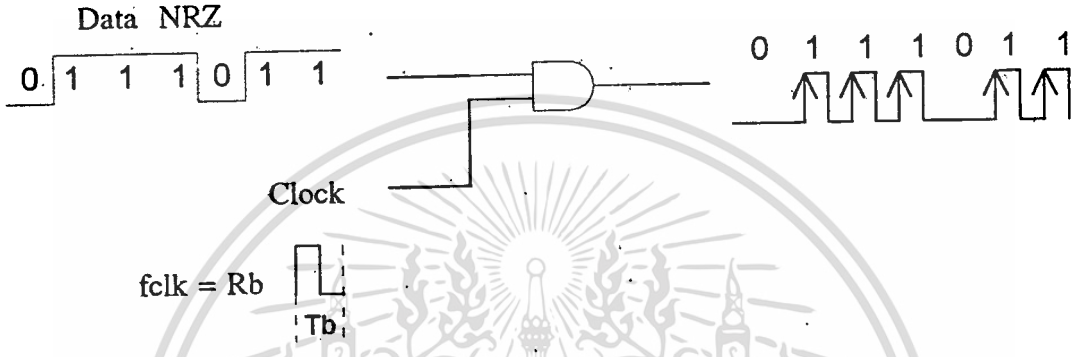


ขอบขาขึ้น ที่ Logic"1"ในบิทที่ 2
ที่ Logic"1"ในบิทแรก จะไม่เกิดขอบขาขึ้น(รหัส NRZ)

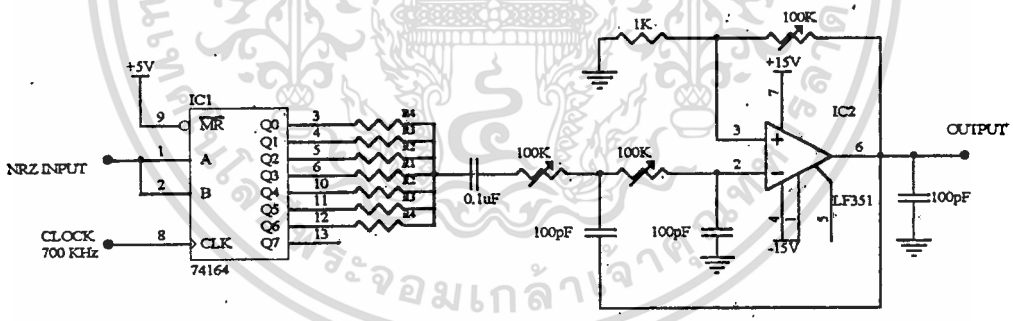
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งตัวป้อนรหัส NRZ เข้าวงจร Monostable จะได้ Output ของสัญญาณที่ได้เป็นรหัส NRZ-M คือจะเป็น logic"1" ที่สัญญาณ logic NRZ input เปลี่ยนจาก "0" เป็น "1" เท่านั้น

ดังนั้นเพื่อให้ได้รหัสทาง Output เป็นรหัส NRZ เช่นเดียวกับที่ป้อนทาง input จึงต้องมีวงจรสร้างขอบขาขึ้นของ logic"1" ทุกๆ บิท โดยใช้วงจรแปลงรหัส NRZ เป็นรหัส RZ แล้วป้อนรหัส RZ เข้าวงจร Monostable ซึ่งจะทำให้ได้ Output ของวงจรทั้งหมดเป็นรหัส NRZ ที่มีรูปคลื่นตามสมการที่ 1



รูปที่ 3.3 วงจรสร้างขอบขาขึ้นให้กับ logic"1" ทุกบิท



รูปที่ 3.4 วงจร Pulse Shaping

3.2 filter และการ samping Amplifier

เมื่อได้รับสัญญาณที่ช่วงเวลาต่างๆ จาก output ของ shift register แล้วก็นำค่า voltage ที่ได้มารวมกันและทำการ felter ให้ได้ระดับสัญญาณที่เรียบและตรงตามค่าของสมการที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจร filter

จากสมการที่ 1 สามารถนำมาหารูปคลื่นได้ซึ่งเป็นไปตามรูปที่ 1 ในทางกลับกันถ้านำสมการที่ 1 มาทำการฟูเรียร์เพื่อหา spectrum ของรูปคลื่นรูปที่ 1 จะได้สมการ spectrum ดังนี้

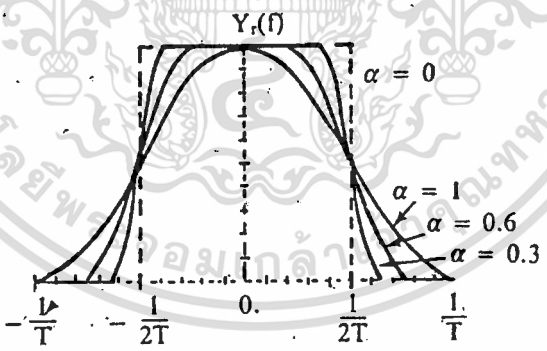
$$Y_r(t) = 1 \qquad ,|f| \le \frac{(1-\alpha)}{2T}$$

$$= \frac{1}{2}\left[1+\cos\left\{\frac{\pi|f|T}{\alpha} - \frac{\pi(1-\alpha)}{2\alpha}\right\}\right], \frac{(1-\alpha)}{2T} \le |f| \le \frac{1+\alpha}{2T}$$

$$= \cos^2\left[\frac{\pi|f|T}{2\alpha} - \frac{\pi(1-\alpha)}{4\alpha}\right]$$

$$= 0 \qquad ,\text{f : ค่าอื่นๆ}$$

ซึ่งสามารถนำมาเขียนเป็นรูป Spectrum ของสัญญาณได้ดังนี้

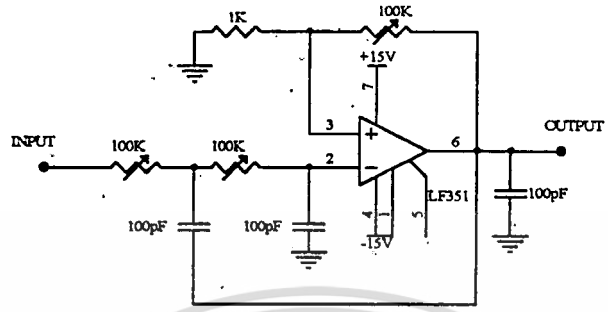


รูปที่ 3.5 ฟูเรียร์สเปกตรัมของสัญญาณพัลซ์

จากรูป spectrum จะเห็นว่าที่จุด $|1/2T|$ จะเป็นจุดตัดของ spectrum ของสัญญาณที่มีค่า α เป็นค่าใดๆ ก็ตาม $(0<\alpha<1)$ ดังนั้นในการออกแบบ filter ควรใช้จุดที่ 1/2T เป็นจุด cutoff ของ filter เพื่อกรองให้รูปสัญญาเรียบตามสมการที่ 1 จึงต้องรักษา spectrum ของสัญญาณให้คงรูปเดิมมากที่สุด ดังนั้นจึงต้องออกแบบวงจร filter ให้ตอบสนองต่อสัญญาณที่เข้ามาทาง input ให้ได้ตลอดช่วง spectrum

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกรองวงจร filter โดยใช้ filer แบบ low-pass butterwoth filter สามารถนำจุด cutoff (f_H) ที่กำหนดไว้คือ 1/2Tb หรือ 1/2Rb มาหาค่า R2, R3 และ C2, C3 ในวงจร lowpass filter order 2 ได้



รูปที่ 3.6 แสดงวงจร Low Pass Filter Order สอง

โดยกำหนดค่า C2 = C3 ขึ้นมาก่อน ในวงจรนี้ใช้ 100pF = C และเพื่อให้การออกแบบวงจรง่ายขึ้นจึงให้ R1=R3=R และใช้สูตร

$$f_H = \frac{1}{2\pi\sqrt{R_2 R_3 C_2 C_3}}$$

แต่ R2=R3, C2=C3 จึงได้สมการ

$$f_H = \frac{1}{2\pi RC}$$

และกำหนดให้ C=100pF และในกรณี Rb = 64Kbit/sec

$$\therefore f_H = \frac{64Kbit/\sec}{2} = 32KHz$$

แทนค่า

$$32KHz = \frac{1}{2\pi \times Rx \times 100pF}$$

$$R_2 = R_3 = R = 49.7K\Omega \approx 50K\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน Gain การขยายสัญญาณที่ช่วง pass band สามารถหาได้จากสูตร

$$A_F = 1 + R_F / R_1$$

โดยกำหนดค่าให้ R1 ก่อน ในวงจรนี้ใช้ 1 $K\Omega$ ส่วน A_F ใช้เพียง 2 เท่าก็เพียงพอเพราะถ้ามากกว่านี้อาจจะทำให้ Op-Amp saturate ได้ จึงสามารถหาค่า R_F ได้ดังนี้

$$2 = 1 + \frac{R_F}{1K\Omega}$$

$$R_F = 1K\Omega$$

3.3 วงจรอินทีเกรทและดัมพ์ (Integrate & Dump)

เครื่องรับที่ใช้วิธีการเปรียบเทียบระหว่างสัญญาณที่สร้างขึ้นที่ภาครับสัญญาณอินคัมมิ่ง (incoming) นั้น การปฏิบัติเกี่ยวกับการเปรียบเทียบสัญญาณทั้งสองเรียกว่าคอร์รีเลชั่น (correlation) จะทำการคอร์รีเลท
(correlate)สัญญาณ x(t) และ y(t) สัญญาณทั้งสองนี้จะถูกคูณเข้าด้วยกัน ซึ่งผลลัพธ์ที่ได้จะถูกบวกเข้าด้วยหรือเรียกว่า อินทีเกรตตลอดย่าน time interval ที่เปรียบเทียบสัญญาณทั้งสอง ซึ่งสามารถแสดงเป็นสมการได้ว่า

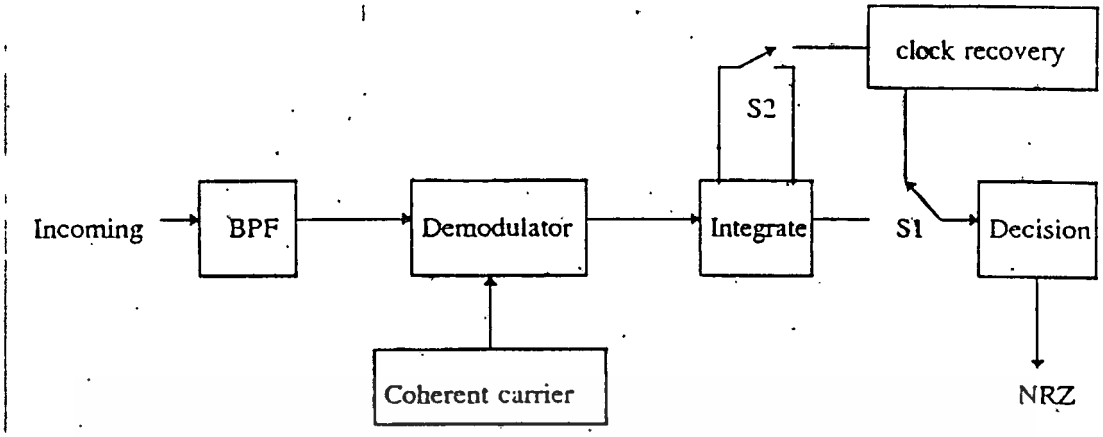
$$(x,y) = \int_0^{t_b} x(t)y(t)dt$$

โดยที่ t_b คือ time interval หรือ ระยะเวลาของหนึ่งบิท time interval

เมื่อสัญญาณทั้งสองเหมือนกันผลของการคอร์รีเลชั่นจะได้สูง (positive) หากว่าสัญญาณทั้งสองไม่เหมือนกัน ผลลัพธ์ที่ได้จะต่ำ (0) ถ้าสัญญาณทั้งสองมีลักษณะตรงข้ามกันผลลัพธ์ที่ได้จะเป็นลบ (negative)

สัญญาณคลื่นพาห์แบบ incoming ที่มีสัญญาณรบกวนปนมา เครื่องจะผลิตสัญญาณคลื่นพาห์ขึ้นใหม่บวกวงจรกู้สัญญาณคลื่นพาห์ โดยที่จะมีความถี่และเฟสเดียวกันกับสัญญาณคลื่นพาห์ที่วงจรภาคส่งจึงเรียกคลื่นพาห์นี้ว่า "โคฮีเรนท์คลื่นพาห์ (Coherent Carrier)""
สัญญาณอินคัมมิ่งคูณเข้ากับโคฮีเรนท์คลื่นพาห์ ผลลัพธ์ที่ได้จะนำไปบวกกันตลอดคาบบิท (bit period) โดยวงจรอินทีเกรท ที่ด้านปลายของคาบบิทเอาท์พุทของวงจรอินทีเกรทจะได้ผลบวก (positive) หรือผลลบ (negative) ตามแต่สัญญาณที่ทำการคอร์รีเลชั่นได้จากส่วนปลายของคาบบิท สวิทช์ S2 จะถูกทำให้ปิดและจากนั้นอุปกรณ์เทรสโอลด์ (Threshold) ของภาคดีซิสชั่น (decision) จะทำการตัดสินอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงโครงสร้างของโคฮีเรนท์คลื่นพาห์

รวดเร็วว่าผลลัพธ์ของการคอร์รีเลชั่นนี้จะเป็นผลบวกหนือผลลบ และจะให้บิท 1 หรือ 0 ออกที่เอาท์พุท

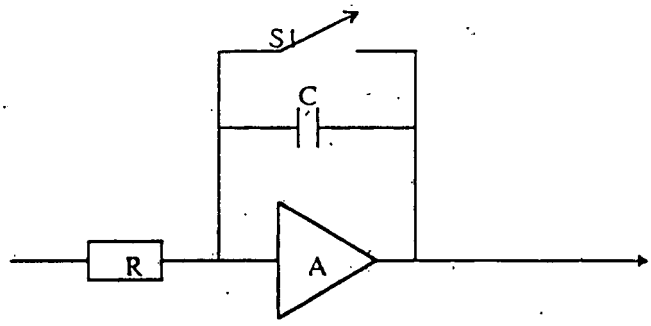
หลังจากทำการตัดสินบิทไปแล้ว S2 จะเปิดอีก สวนสวิทซ์ S1 จะปิดชั่วขณะเพื่อที่จะทำให้ผลลัพธ์ของคอร์รีเลชั่นในวงจรอินทีเกรทเตอร์ถูกรีเซ็ท (reset) ให้เป็นศูนย์เสียก่อน เพื่อให้ขบวนการคอร์รีเลชั่นของบิทต่อไปอย่างถูกต้องไม่มีอิทธิพลจากบิทก่อนหน้านี้มารบกวน ดังนั้นสัญญาณที่ผ่านการคูณ (multiply) แล้วจะถูกอินทีเกรทตลอดผ่านคาบบิท แล้วผลจากการอินทีเกรทจะถูกเคลียร์ (clear) หรือดัมพ์ (dump) ทุกๆ คาบบิท

1. องค์ประกอบที่สำคัญของภาคอินทรีเกรทและดัมพ์คือ สัญญาณคลื่นพาห์ทางด้านรับจะต้องโคฮีเรนท์กับด้านส่ง

2. การรีเจนเนอร์เรชั่นไทม์บิท (time bit) ในเครื่องรับต้องถูกต้องเพื่อจะให้สวิทซ์ต่างๆทำงานในชั่วขณะเวลาที่ถูกต้องที่สุด

ในรูปที่ 3.8 แสดงถึงหลักการเบื้องต้นของการอินทีเกรท โดยเป็นวงจรขยายในอุดมคติ (Idel Amplifier) ทำหน้าที่เป็นวงจรอินทีเกรทเชิงอุดมคติ สวนสวิทซ์ S1 จะเปิดทุกๆ T_b วินาที ซึ่งในทางปฏิบัติเราจะใช้วงจรอิเลคทรอนิกส์สวิทซ์แทน เนื่องจากสัญญาณเบสแบนด์หลังจากการดีมอดดูเลทสัญญาณเบสแบนด์จะเกิดการสั่นทางเฟส เนื่องจากสัญญาณรบกวน เพื่อที่จะได้สัญญาณเบสแบนด์ที่แน่นอนทางภาครับจึงต้องทำการอินทีเกรทสัญญาณไปในช่วง 1 บิท เพื่อพิจารณาสัญญาณเบสแบนด์จะมีระดับที่แน่นอนไปในทิศทางใด แล้วทำการตัดสินระดับที่ปลายช่วงเวลา 1 บิท และก่อนที่จะทำการอินทีเกรทสัญญาณลูกต่อไปจึงต้องทำการรีเซ็ท หรือดัมพ์ให้วงจรอินทีเกรทมีค่าศูนย์ทุกครั้งวงจรอินทีเกรทและดัมพ์จะประกอบด้วย วงจรอินทีเกรเตอร์, ฟลิปฟลอป, อิเลคทรอนิกส์สวิทซ์ และวงจรสร้างซิงค์พัลซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงถึงหลักการวงจรอินทีเกรท

สัญญาณเบสแบนด์ที่เกิดจากการสั่นเกิดขึ้น โดยขนาดของ SNR ของสัญญาณที่อินพุทของวงจรอินเวอร์ติ้งอินทีเกรเตอร์ จากรูปจะเห็นว่าที่ปลายช่วงสัญญาณแต่ละช่วงจะถูกรีเซ็ทโดยสัญญาณซิงค์พัลซ์ สำหรับเอาต์พุท ของวงจรอินเวอร์ติ้งอินทีเกรเตอร์ จะป้อนให้วงจรฟลิปฟลอปเพื่อเป็นตัวตัดสินระดับ โดยเอาท์พุทของฟลิปฟลอปจะให้สัญญาณเบสแบนด์ที่ถูกหน่วงเวลาไป 1 บิทดังรูปโดยขนาดของการสั่นของสัญญาณเบสแบนด์จะลดลง

โดยสมการแสดงเอาท์พุทของวงจรอินทีเกรเตอร์แสดงได้ว่า

$$V_o(t) = \frac{1}{RC}\int_0 V_{in}(t)dt$$

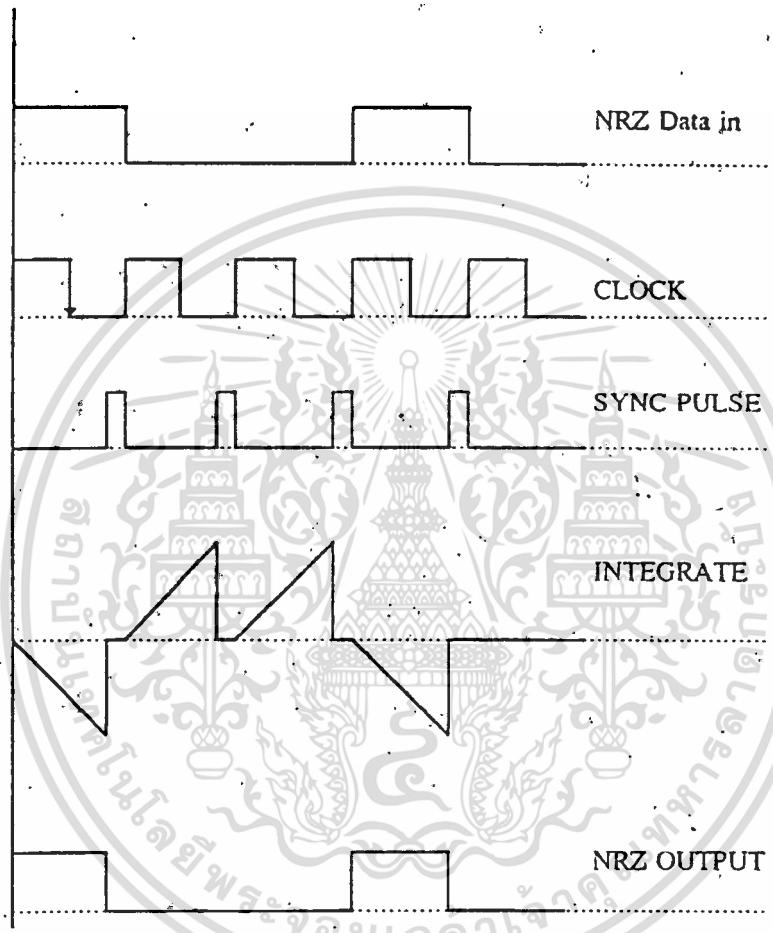
โดย RC เป็นค่าเวลาคงตัวของวงจรอินทีเกรเตอร์ เพื่อให้ค่าแรงดันที่เอาท์พุตของวงจรอินทีเกรเตอร์มีค่าสูงสุดที่ช่วงเวลา 1 บิท ค่า RC กำหนดให้เท่ากับช่วงเวลา 1 บิท ซึ่งเท่ากับ 10 msสำหรับบิทแรกขนาด 100 Kbit/sec จากสมการที่2 ถ้ากำหนดค่า C เท่ากับ 1 nF จะได้ค่า R เท่ากับ 10 KΩ สำหรับวงจรสร้างซิงค์พัลซ์ที่ใช้สำหรับสุ่มเพื่อตัดสินค่าระดับลอจิกของสัญญาณและทำการรีเซ็ทวงจรอินทีเกรเตอร์ สำหรับซิงค์พัลซ์สร้างจากการหน่วงสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกา โดยซิงค์พัลซ์จะเกิดในช่วงปลายของสัญญาณ NRZ แต่ละลูก โดยเป็นพัลซ์ขนาดแคบๆ การหน่วงเวลาและทำการให้พัลซ์มีขนาดแคบ ใช้วงจรโมโนสเตเบิ้ลจำนวน 2 ชุด โดยใช้วงจรรวม 74221 โดยอินพุทของสัญญาณนาฬิกาเป็นอินพุทของวงจรโมโนสเตเบิ้ลตัวหนึ่ง กำหนดให้ทำงานที่อินพุทขอบขาขึ้น โดยตั้งเวลาให้หน่วงเวลาเท่ากับ 200 ms โดยช่วงเวลากำหนดได้จากสมการ

$$T_w = 0.7R_TC_T$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

T_W เป็นช่วงเวลาอินพุทของวงจรโมโนสเตเบิ้ล

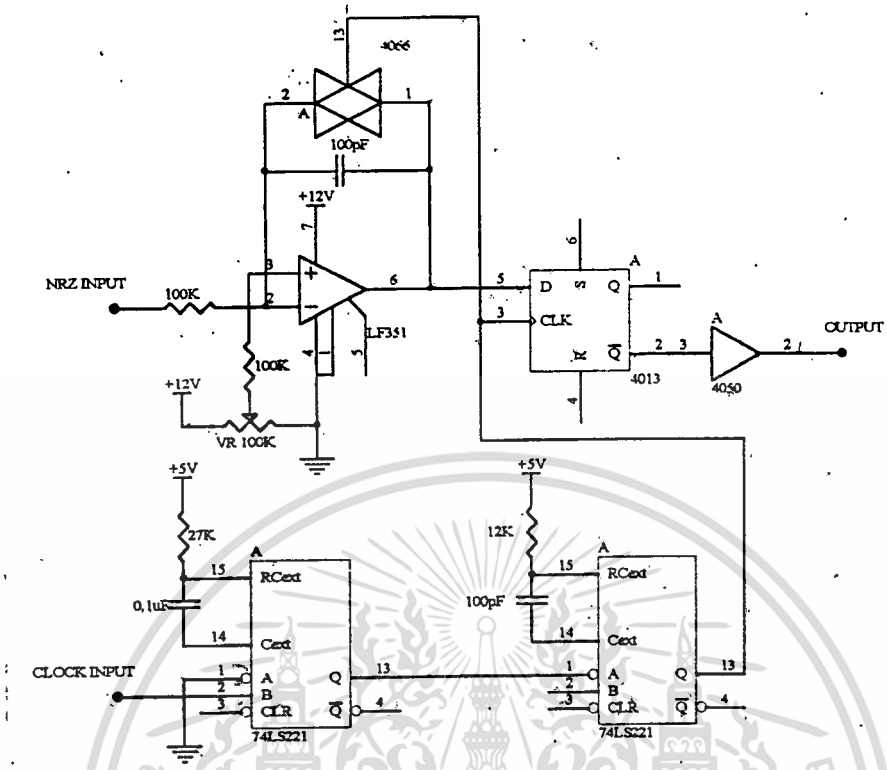
R_TC_T เป็นค่าความต้านทานและค่าเก็บประจุต่อที่ขา RC_{EXT} ของวงจรโมโนสเตเบิ้ล



รูปที่ 3.9 แสดงสัญญาณที่จุดต่างๆ ของวงจรอินทีเกรทและดัมพ์

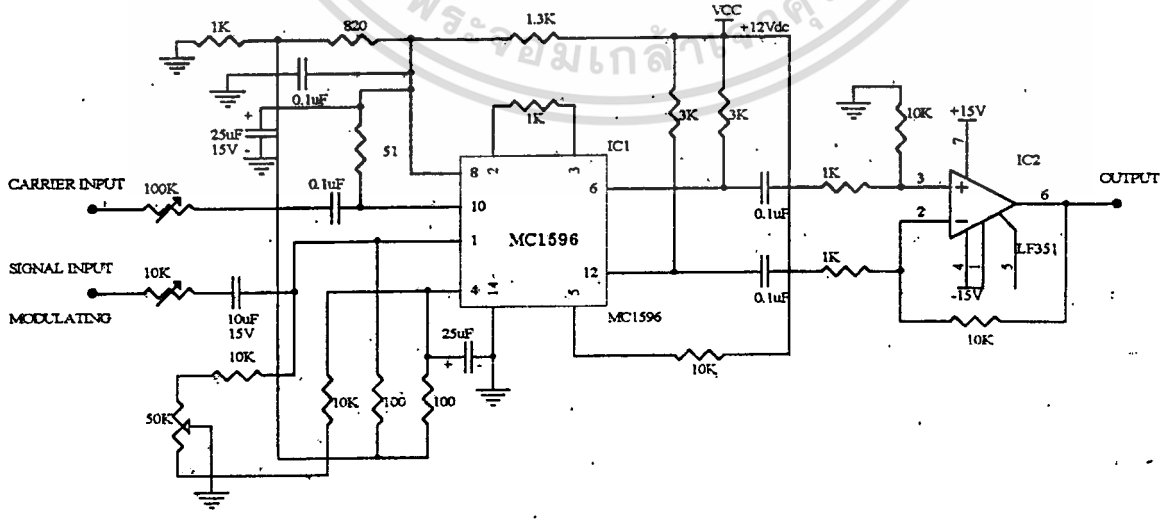
โดยวงจรโมโนสเตเบิ้ลตัวที่ 2 จะสร้างซิงค์พัลซ์ ซึ่งกำหนดให้อินพุททำงานที่ขอบขาลงโดยช่วงเวลาจะมีขนาดประมาณ 10 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงวงจรอินทีเกรทและดัมพ์

3.4 วงจร BALANCE MODULATOR



รูปที่ 3.11 วงจร Balanced Modulator (+12V signal supply)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Balance Modulator หรือที่เรียกย่อๆ ว่า BM นี้ จะทำหน้าที่ผสมสัญญาณเบสแบนด์กับสัญญาณพาห์ โดยผลลัพธ์ที่ได้จากการผสมจะมีเฉพาะไซด์แบนด์ทั้งสองข้างเท่านั้น โดยสัญญาณพาห์จะถูกกำจัดออกไป การออกแบบวงจร BM นี้จะใช้ IC MC 1596 ทำหน้าที่เป็นตัว Balance Modulator โดยในวงจรจะมีความต้านทานปรับค่า 50KΩ เป็นตัวปรับสมดุลย์ การกำจัดคลื่นพาห์ขึ้นอยู่กับระดับสัญญาณพาห์ที่เหมาะสมอยู่ในช่วง 300 ถึง 500 mV ซึ่งวงจรที่ใช้งานแสดงดังรูปที่ 3.11

การทำงานของวงจร Balance Modulator เหมือนกับวงจรคูณสัญญาณ สมมุติให้สัญญาณคลื่นพาห์ $f_c = \sin\omega_c t$ และสัญญาณเบสแบนด์ $f_m = \sin\omega_m t$ และจะได้เอาท์พุทคือ

$$V_o = A_c \sin\omega_c t \times A_m \sin\omega_m t = \frac{A_c A_m}{2}\cos(\omega_c - \omega_m)t + \cos(\omega_c + \omega_m)t$$

3.5 วงจรรวมสัญญาณ (SUMMING AMP)

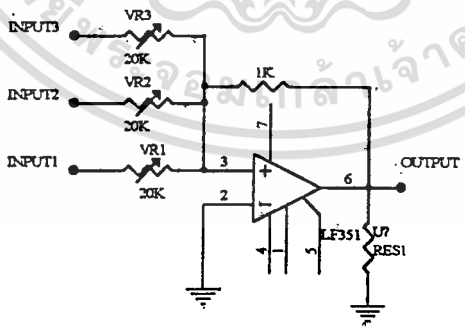
วงจรรวมสัญญาณใช้สำหรับการรวมสัญญาณหลายๆ ชุดเข้าด้วยกันเพื่อให้เป็นสัญญาณที่ถูกขยายแล้วเพียงชุดเดียว ซึ่งแรงดันที่เอาท์พุทเราสามารถหาได้จาก

$$V_o = -\left(\frac{R_F V_1}{R_1} + \frac{R_F V_2}{R2}\right)$$

โดยที่ V_1 คือสัญญาณเอาท์พุทจากวงจร balance modulator

V_2 คือสัญญาณเอาท์พุทของวงจร pilot tone

ในการออกแบบวงจรเราเลือกใช้ $R_F = 1K\Omega$ และ R_1 , R_2 ใช้ V_R 20 KΩ เพื่อที่สามารถปรับเกนได้



รูปที่ 3.12 วงจรรวมสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจรกรองผ่านความถี่ BAND-PASS FILTER

เป็นวงจรกรองความถี่ที่ยอมให้ความถี่อยู่ในช่วง low frequency cutoff กับ high frequency cutoff ผ่านไปได้เท่านั้นโดยที่ส่วนความถี่นอกเหนือจากนี้ไปจะไม่สามารถผ่านได้

สำหรับการออกแบบเราจะกำหนดความถี่ที่ต้องการ โดยกำหนดค่าแบนด์วิดธ์หรือค่า Q เกนที่ต้องการ ค่าความถี่ด้านต่ำและค่าความถี่ด้านสูงที่ต้องการ ซึ่งขั้นตอนการออกแบบมีดังนี้

1.เลือกค่าความถี่ด้านต่ำเท่ากับ 540 KHz และค่าความถี่ด้านสูงเท่ากับ 660 KHz

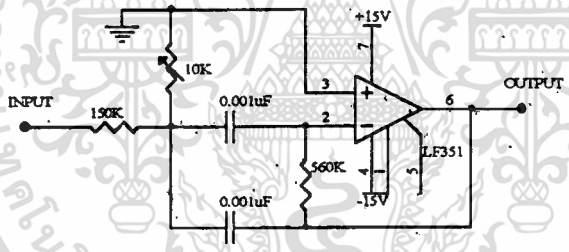
2.เลือกค่าตัวเก็บประจุ ในที่นี้ใช้ค่า 680 pF เกนที่ต้องการเท่ากับ 4 ค่า Q เท่ากับ 5

3.แทนค่าที่ต้องการลงในสูตร

$R_1 = Q/(2\pi f_c CAF) = 5/(2\pi*600*10\text{^}3*680*10\text{^}-12*4) = 487.8\Omega$

$R_2 = Q/(2\pi f_c C[2QQ-AF]) = 5/(2\pi*600*10\text{^}3*680*10\text{^}-12[\{2*25\}-4]) = 42\Omega$

$R_3 = Q/(\pi f_c C) = 5/(\pi*600*10\text{^}3*680*10\text{^}-12) = 3.9\ K\Omega$

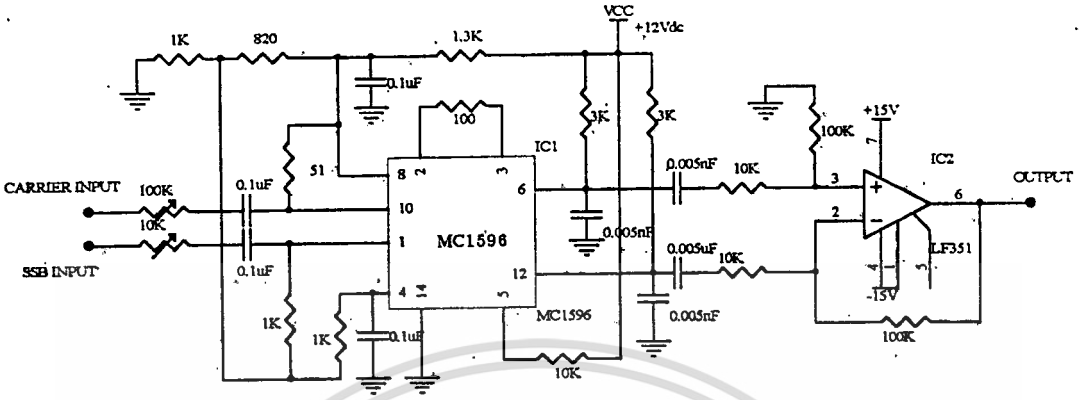


รูปที่ 3.13 แสดงวงจรกรองความถี่ผ่านย่านที่ใช้ในวงจรภาคส่งและภาครับ

3.7 วงจร DEMODULATOR

โดยมีลักษณะของวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ Signal ซึ่งแสดงไว้ในรูปที่ 3.14 โดยที่ขาเอาท์พุทคือขา 6 และ 12 จะให้สัญญาณที่กลับเฟสกัน โดยสัญญาณเอาท์พุทความถี่สูงจะถูกคัปปลิ้งลงกราวด์ คงเหลือเพียงแต่สัญญาณเบสแบนด์ ซึ่งจะใช้อินพุทคอนเวอร์เตอร์และนอนอินเวอร์ติ้งออปแอมป์เพื่อเป็นการขยายสัญญาณเบสแบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 แสดงวงจร Demodulator

3.8 การเพิ่มความถี่ของ clock โดยใช้ Phase Lock Loop

ภายใน IC ของ Phase Lock Loop จะประกอบด้วยส่วนสำคัญ 2 ส่วนคือ

1) Phase Detector ทำหน้าที่เปรียบเทียบเฟสของอินพุท และเฟสของเอาท์พุทของ VCO ถ้าเฟสของทั้งสองต่างกันจะเกิดพัลซ์ที่เอาท์พุทของเฟสดีเทคเตอร์

2) Voltage Control Oscilator ทำหน้าที่ผลิตความถี่ตามระดับของโวลต์เตจที่ป้อนเข้ามา ในการต่อเฟสล็อกลูปให้เป็นวงจรเพิ่มความถี่จะต้องมีวงจรภายนอกเพิ่มเติมอีก 2 วงจรคือ

1. Low Pass Filter ทำหน้าที่เปลี่ยนจากพัลซ์ที่เอาท์พุทของเฟสดีเทคเตอร์ ให้เป็นระดับโวลต์เตจ เพื่อป้อนให้กับ VCO โดยใช้หลักการกรองความถี่

2. วงจรหารความถี่เป็นวงจรหลักที่สำคัญที่เปลี่ยนจากเฟสล็อคลูปให้เป็นวงจรเพิ่มความถี่

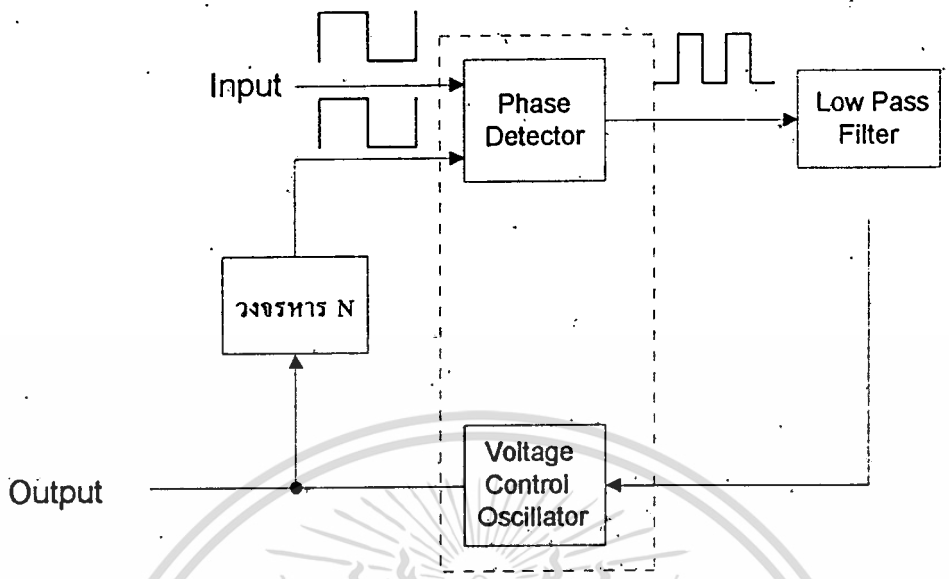
การทำงาน

เมื่อมีสัญญาณพัลซ์เข้ามา วงจรเฟสจะทำการเปรียบเทียบความแตกต่างของพัลซ์กับพัลซ์อีกด้านหนึ่งของพัลซ์ดีเทคเตอร์ จะได้ความแตกต่างพัลซ์ออกมาค่าหนึ่ง เกิดเป็นพัลซ์เล็กๆ ที่เอาต์พุทของเฟสดีเทคเตอร์

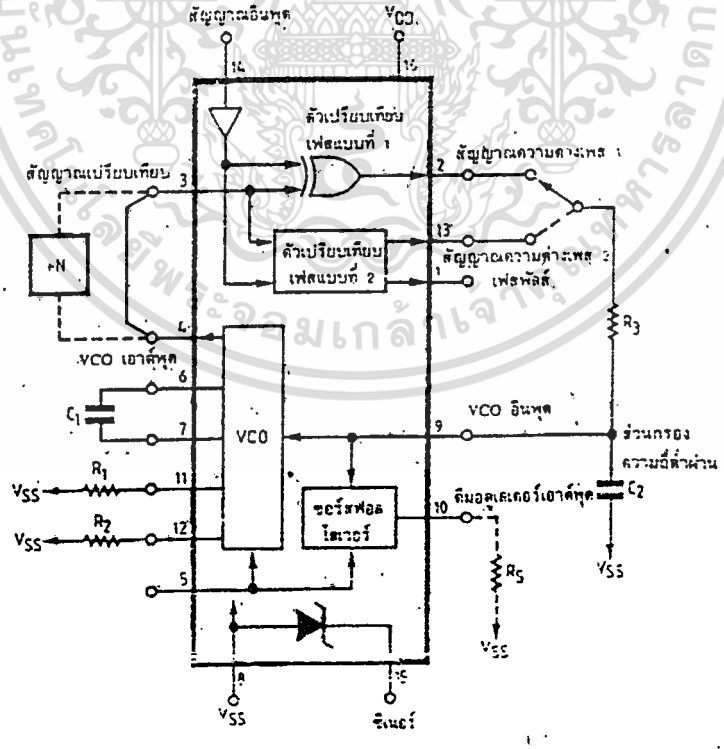
วงจรกรองความถี่ต่ำจะทำหน้าที่กรองความถี่ของพัลซ์จากวงจรดีเทคเตอร์ ให้เป็นระดับโวลต์เตจค่าหนึ่ง เพื่อนำไปสร้างความถี่โดยใช้ VCO

Voltage Control Oscilator จะทำหน้าที่สร้างความถี่ขึ้นมาจากระดับแรงดันที่ได้จากวงจรกรองความถี่ต่ำ ซึ่งโวลต์เตจนี้จะแปรผันตามพัลซ์เอาท์พุทของพัลซ์ดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 บล็อคไดอะแกรมของวงจรเพิ่มความถี่โดยใช้ Phase Lock Loop

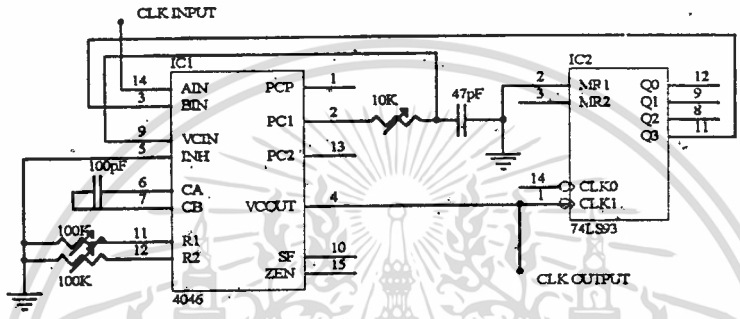


รูปที่ 3.16 บล็อกไดอะแกรม แสดงวงจรภายในและการใช้งานของไอซี 4046 PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

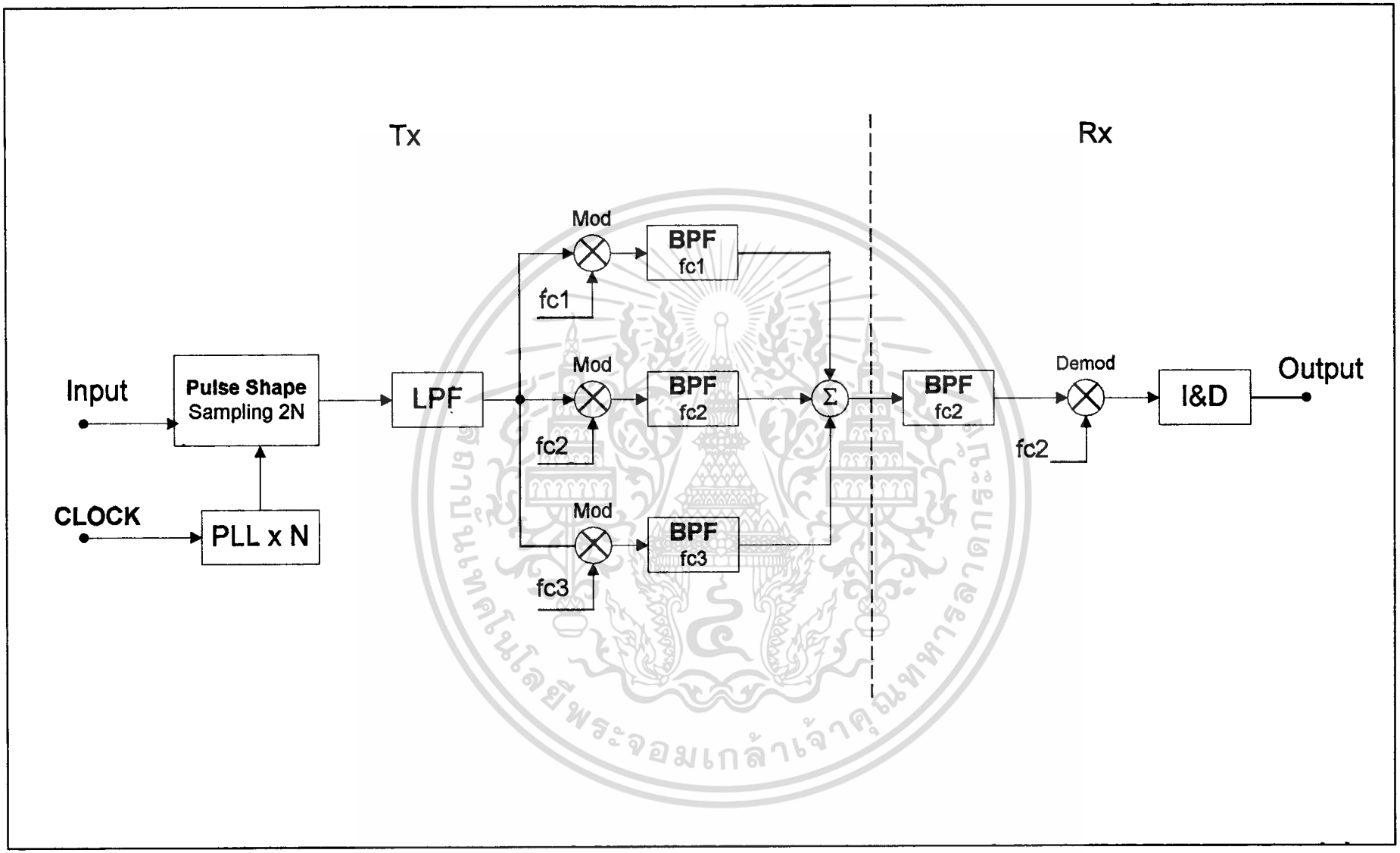
วงจรหาร N ทำหน้าที่หารความถี่ที่ Voltage Control Oscilator ผลิตออกมา เพื่อให้ได้ความถี่ออกมาให้เท่ากับความถี่ที่เข้ามาที่อินพุทของวงจร เพื่อทำการเปรียบเทียบเฟสกัน

จากที่เอาท์พุทของวงจรหาร N จะต้องมีความถี่เท่ากับอินพุทของวงจร ดังนั้น Voltage Control Oscilator จึงต้องผลิตความถี่ที่สูงกว่าความถี่ที่ป้อนเข้ามาที่อินพุทของเฟสดีเทคเตอร์จำนวน N เท่า จึงเปรียบเสมือนว่าวงจรเฟสล็อคลูปสามารถสร้างความถี่ได้สูงขึ้นกว่าความถี่อินพุทเป็นจำนวน N เท่า

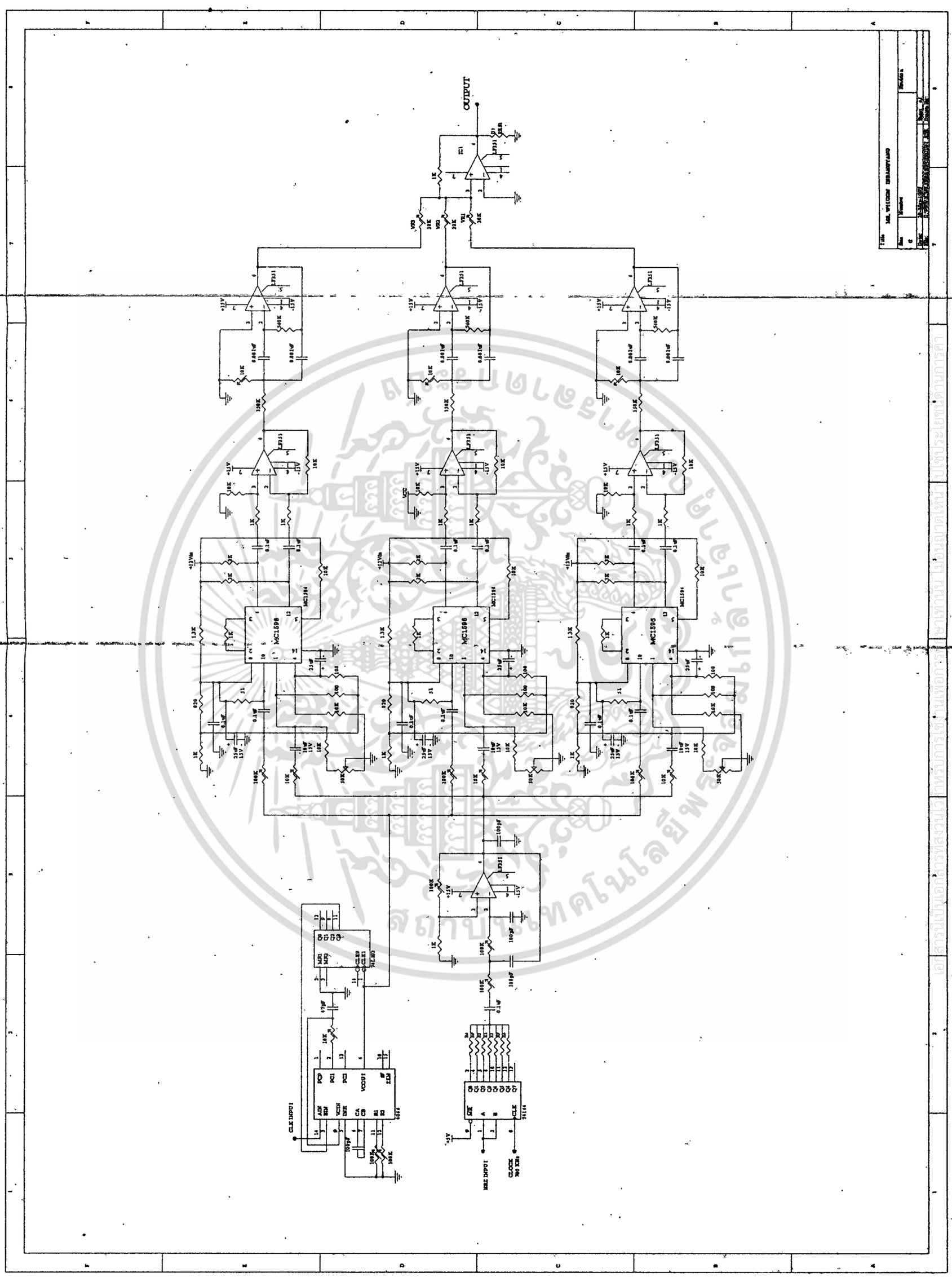


รูปที่ 3.17 วงจร Phase Lock Loop ที่ใช้ในโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

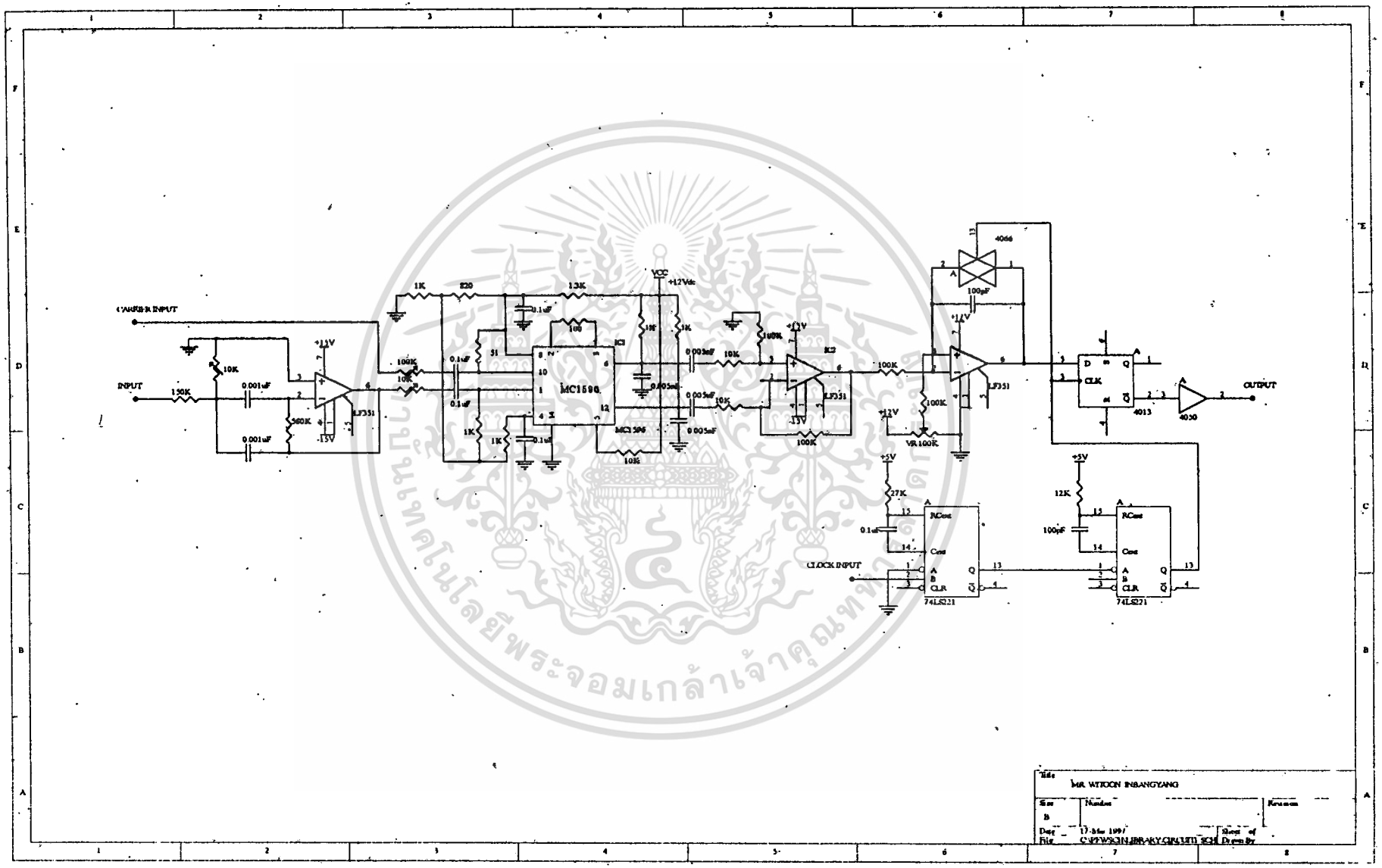


รูปที่ 3.18 แสดง BLOCK DIAGRAM

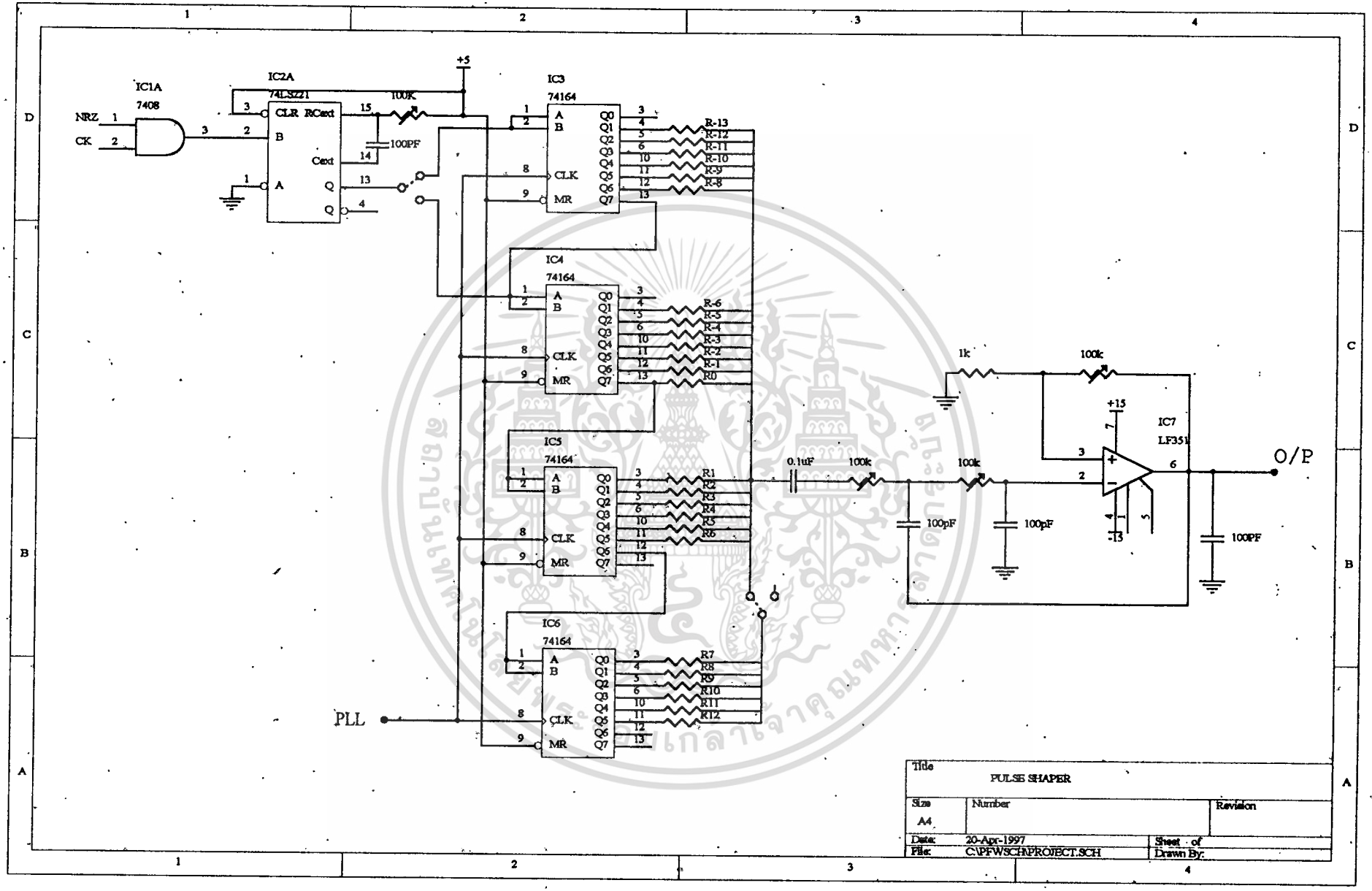


รูปที่ 3.19 แสดงวงจรภาคส่งทั้งหมด

ลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.20 แสดงวงจรแกลง

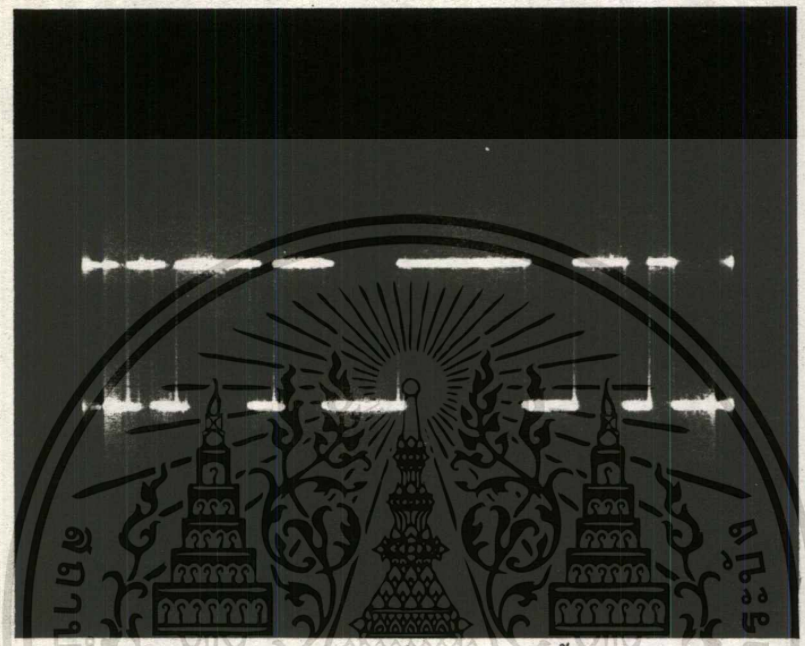


รูปที่ 3.21 แสดงวงจรชั้นรูปสัญญาณ (pulse shaping)

บทที่ 4

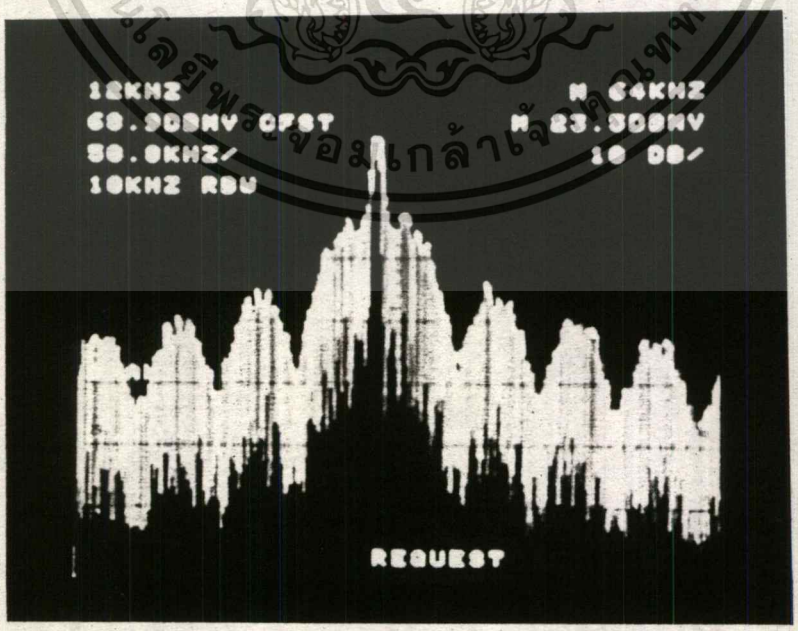
ผลการทดลอง

1. สัญญาณ NRZ ที่เป็น Data ให้กับวงจร 64 Kbs



รูปที่ 4.1 แสดงสัญญาณ NRZ ที่เป็น Data ให้กับวงจร 64 Kbs

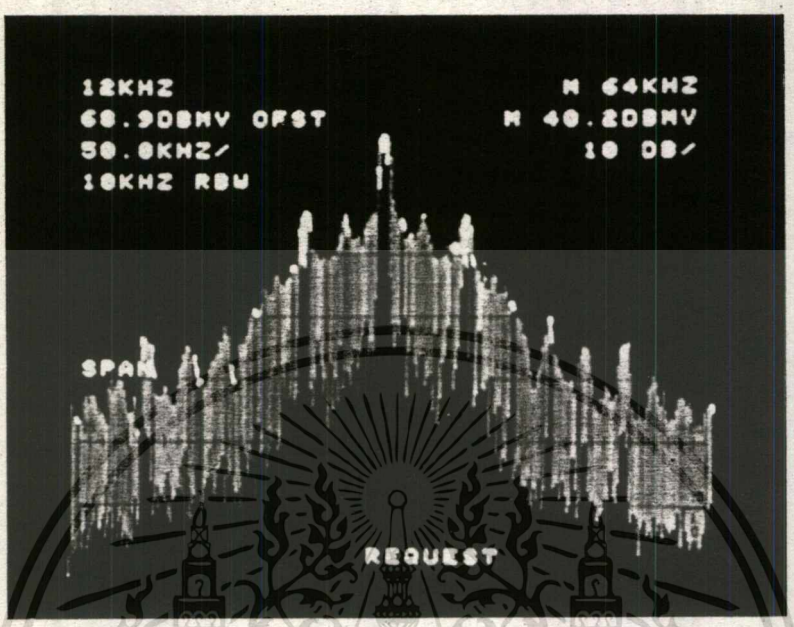
2. สเปกตรัมของสัญญาณ NRZ



รูปที่ 4.2 แสดงสเปกตรัมของสัญญาณ NRZ

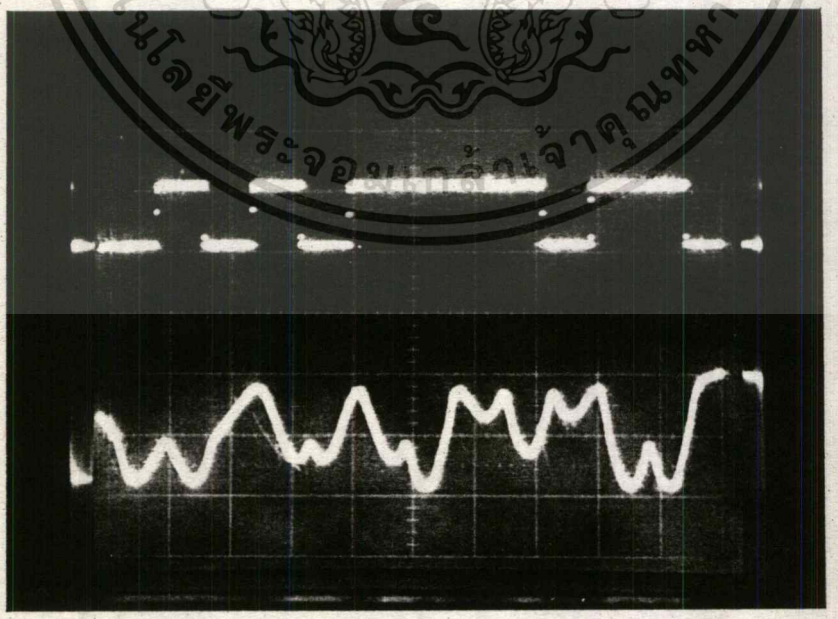
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. สเปกตรัมของสัญญาณที่ผ่านวงจรจัดรูปคลื่น (pulse shaping) 3 Lobe spectrum



รูปที่ 4.3 แสดงสเปกตรัมของสัญญาณที่ผ่านวงจรจัดรูปคลื่น (pulse shaping) 3 Lobe spectrum

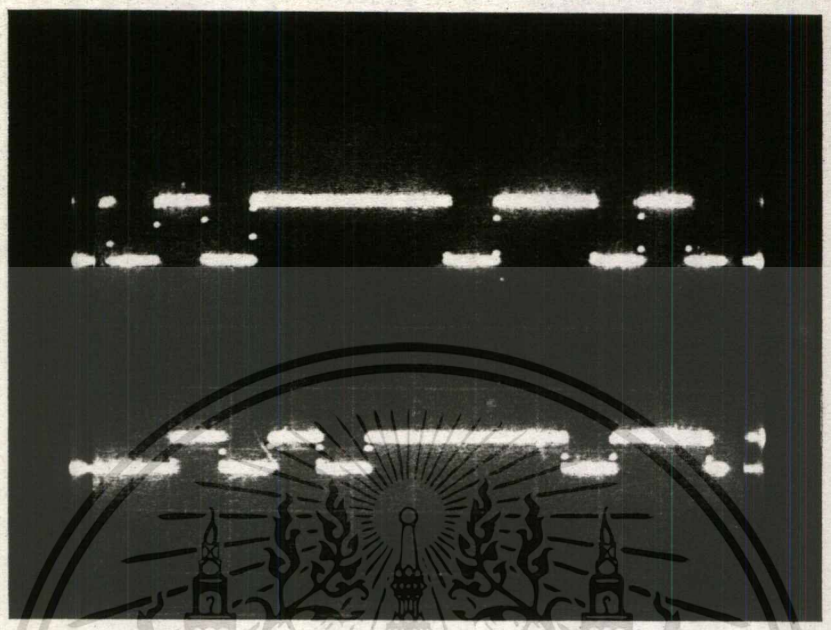
4. รูปสัญญาณ NRZ และรูปสัญญาณที่ผ่านวงจรจัดรูปคลื่น (pulse shaping) 3 Lobe spectrum



รูปที่ 4.4 แสดงรูปสัญญาณ NRZ และสัญญาณที่ผ่านวงจร pulse shaping 3 Lobe spectrum

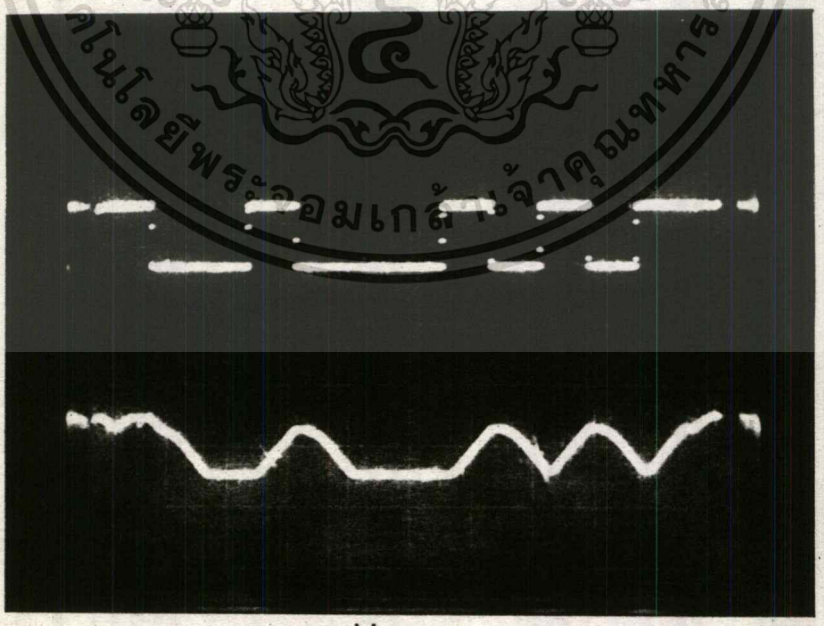
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. รูปสัญญาณอินพุทของ NRZ และรูปสัญญาณเอาท์พุทที่ได้ของ 3 Lobe spectrum



รูปที่ 4.5 แสดงรูปสัญญาณอินพุทของ NRZ และรูปสัญญาณเอาท์พุทที่ได้ของ 3 Lobe spectrum

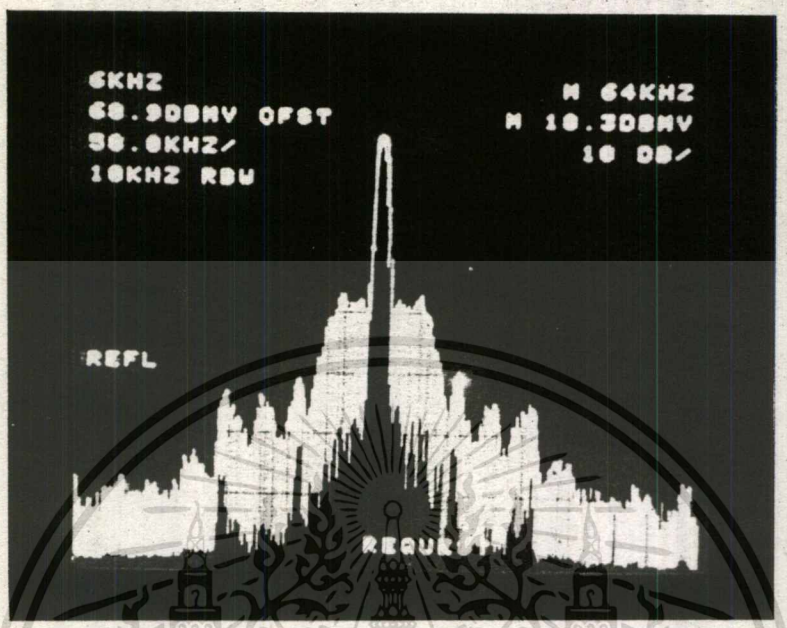
6. รูปสัญญาณ NRZ และรูปสัญญาณที่ผ่านวงจรจัดรูปคลื่น (pulse shaping) 1 Lobe spectrum



รูปที่ 4.6 แสดงรูปสัญญาณ NRZ และสัญญาณที่ผ่านวงจร pulse shaping 1 Lobe spectrum

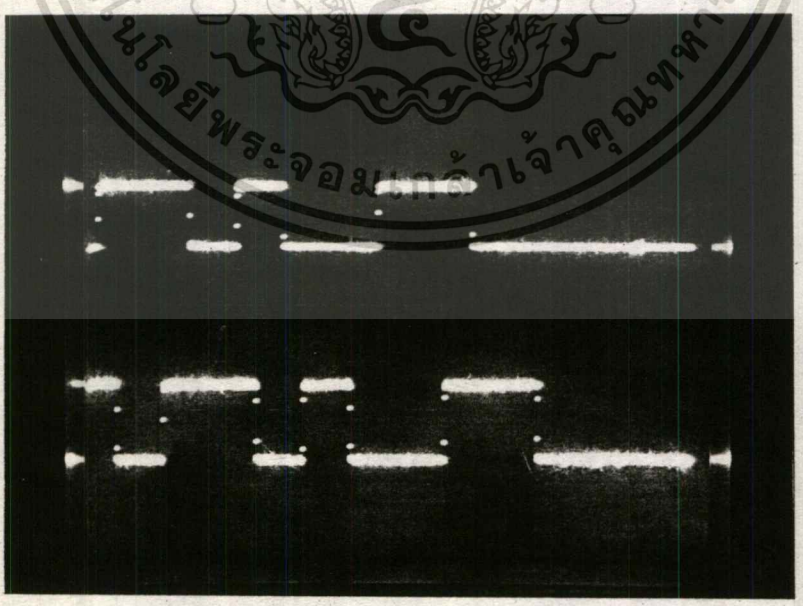
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. สเป็กตรัมของสัญญาณที่ผ่านวงจรจัดรูปคลื่น (pulse shaping) 1 Lobe spectrum



รูปที่ 4.7 แสดงสเป็กตรัมของสัญญาณที่ผ่านวงจรจัดรูปคลื่น (pulse shaping) 1 Lobe spectrum

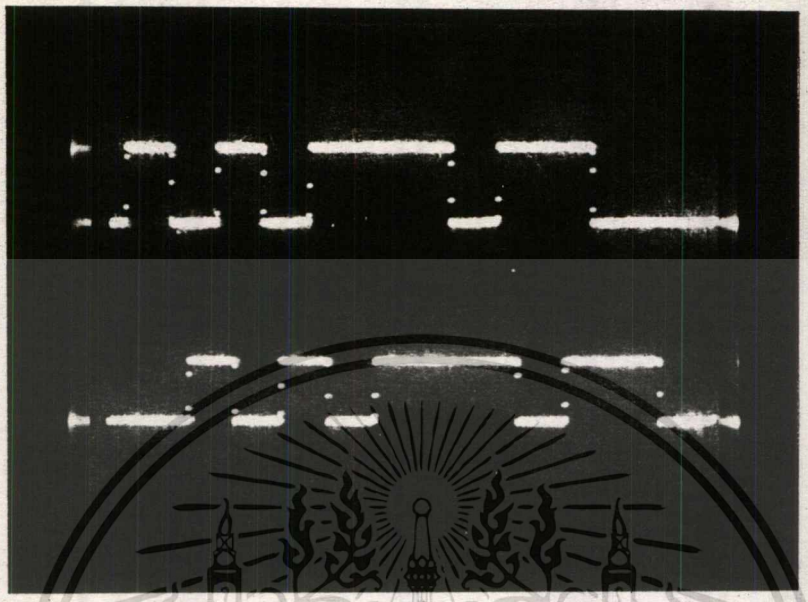
8. รูปสัญญาณอินพุทของ NRZ และรูปสัญญาณเอาท์พุทที่ได้ของ 1 Lobe spectrum



รูปที่ 4.8 แสดงรูปสัญญาณอินพุทของ NRZ และรูปสัญญาณเอาท์พุทที่ได้ของ 1 Lobe spectrum

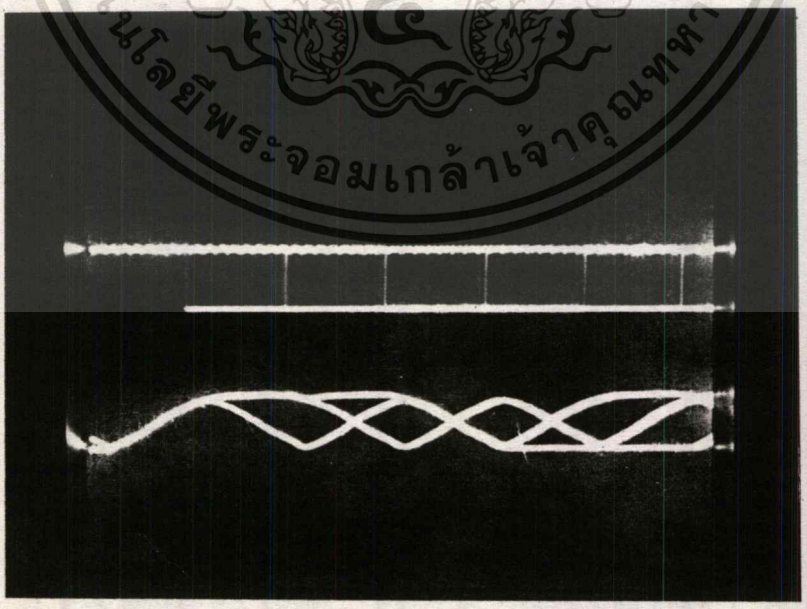
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. รูปสัญญาณอินพุทของ NRZ และรูปสัญญาณเอาท์พุทที่ได้ของ Raise Cosine



รูปที่ 4.9 แสดงรูปสัญญาณอินพุทของ NRZ และรูปสัญญาณเอาท์พุทที่ได้ของ Raise Cosine

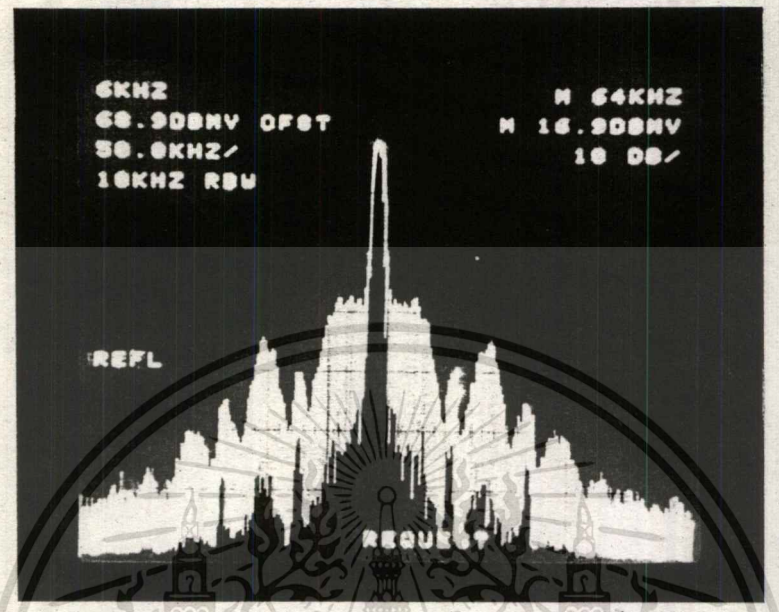
10. รูปสัญญาณ NRZ และรูปคลื่นสัญญาณสามเหลี่ยมที่ผ่านวงจรจัดรูปคลื่น (pulse shaping)



รูปที่ 4.10 แสดงรูปสัญญาณ NRZ และรูปคลื่นสัญญาณสามเหลี่ยมที่ผ่านวงจร pulse shaping

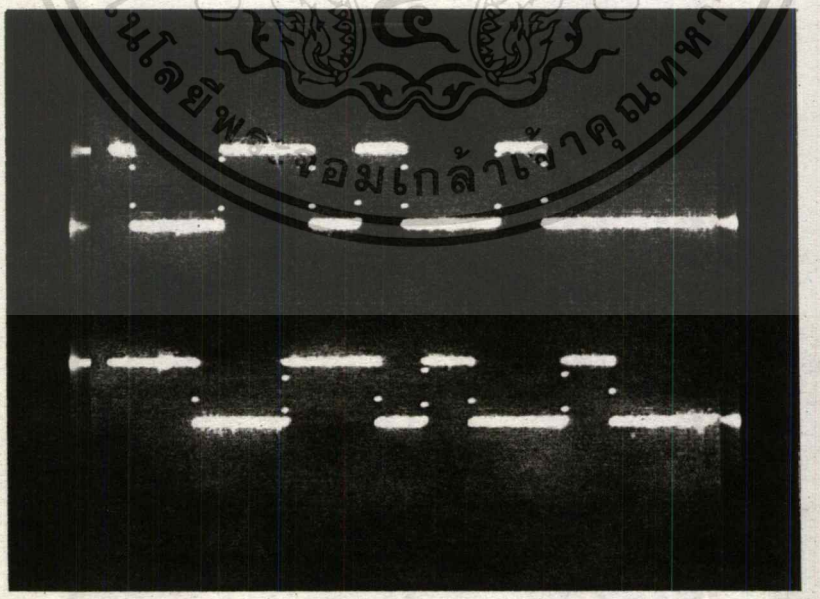
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11. สเป็กตรัมของสัญญาณรูปคลื่นสามเหลี่ยม



รูปที่ 4.11 แสดงสเป็กตรัมของสัญญาณรูปคลื่นสามเหลี่ยม

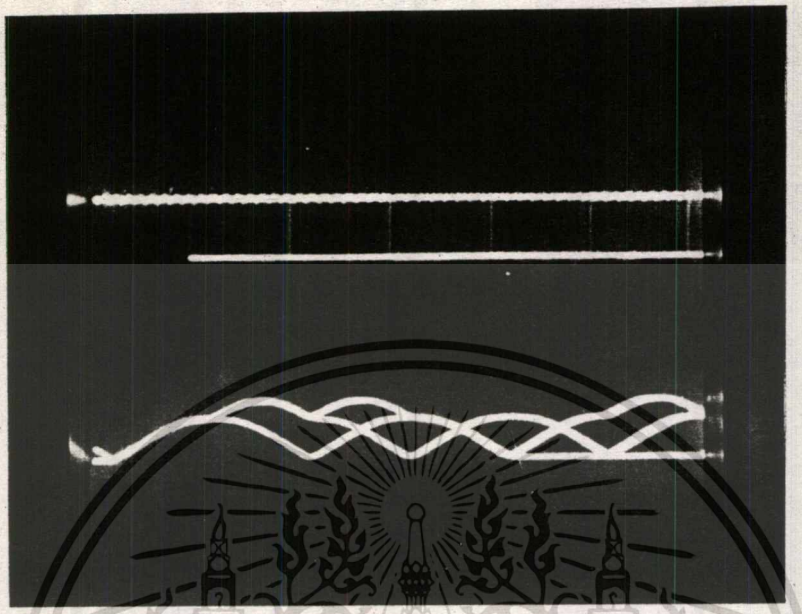
12. รูปสัญญาณอินพุทของ NRZ และรูปสัญญาณเอาท์พุทที่ได้ของรูปคลื่นสามเหลี่ยม



รูปที่ 4.12 แสดงรูปสัญญาณอินพุทของ NRZ และรูปสัญญาณเอาท์พุทที่ได้ของรูปคลื่นสามเหลี่ยม

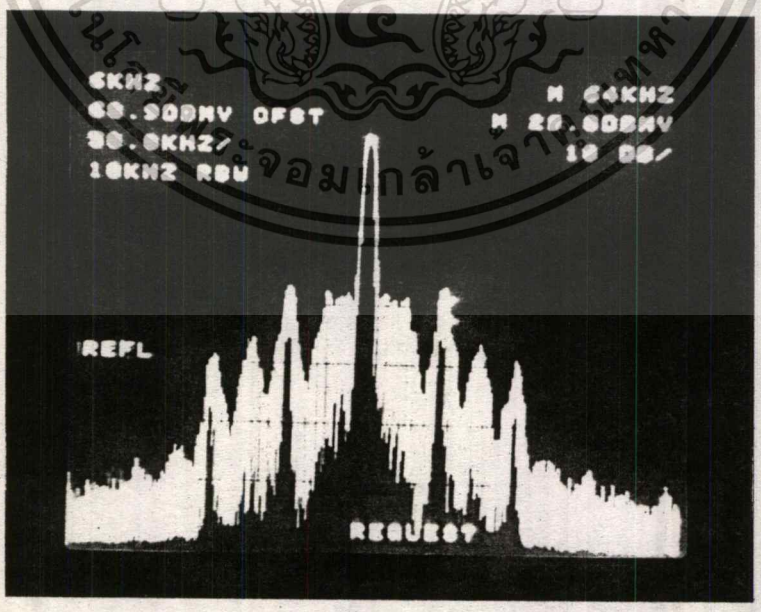
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

13. รูปสัญญาณ NRZ และรูปคลื่นไซน์ที่ผ่านวงจรจัดรูปคลื่น (pulse shaping)



รูปที่ 4.14 แสดงรูปสัญญาณ NRZ และรูปคลื่นไซน์ที่ผ่านวงจรจัดรูปคลื่น (pulse shaping)

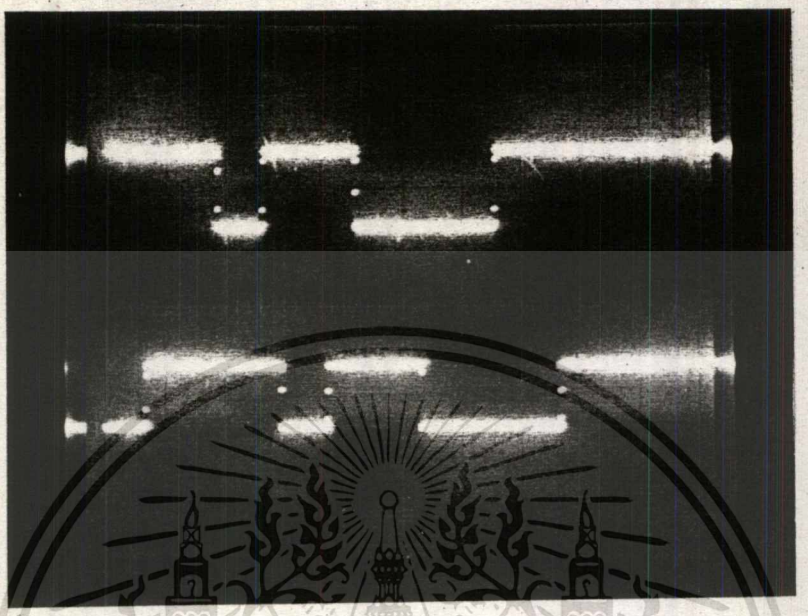
14. สเปกตรัมของสัญญาณรูปคลื่นไซน์



รูปที่ 4.14 แสดงสเปกตรัมของสัญญาณรูปคลื่นไซน์

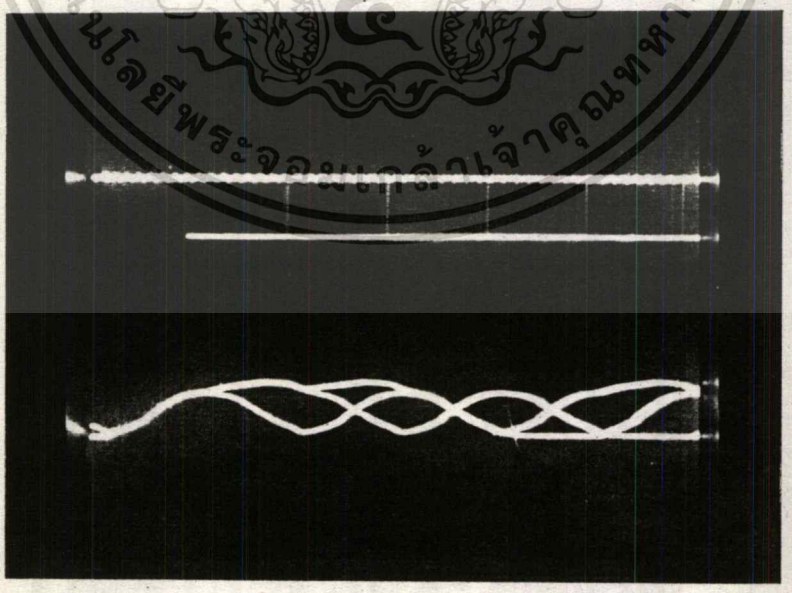
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

15. รูปสัญญาณอินพุทของ NRZ และรูปสัญญาณเอาท์พุทที่ได้ของรูปคลื่นไซน์



รูปที่ 4.15 แสดงรูปสัญญาณอินพุทของ NRZ และรูปสัญญาณเอาท์พุทที่ได้ของรูปคลื่นไซน์

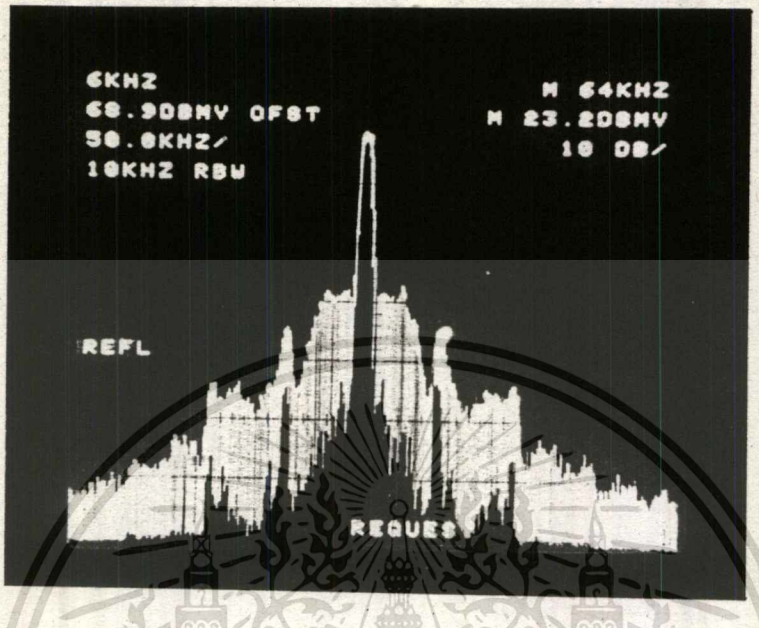
16. รูปสัญญาณ NRZ และรูปคลื่นเกาส์เชี่ยนที่ผ่านวงจรจัดรูปคลื่น (pulse shaping)



รูปที่ 4.16 แสดงรูปสัญญาณอินพุทของ NRZ และรูปสัญญาณเอาท์พุทที่ได้ของรูปคลื่นไซน์

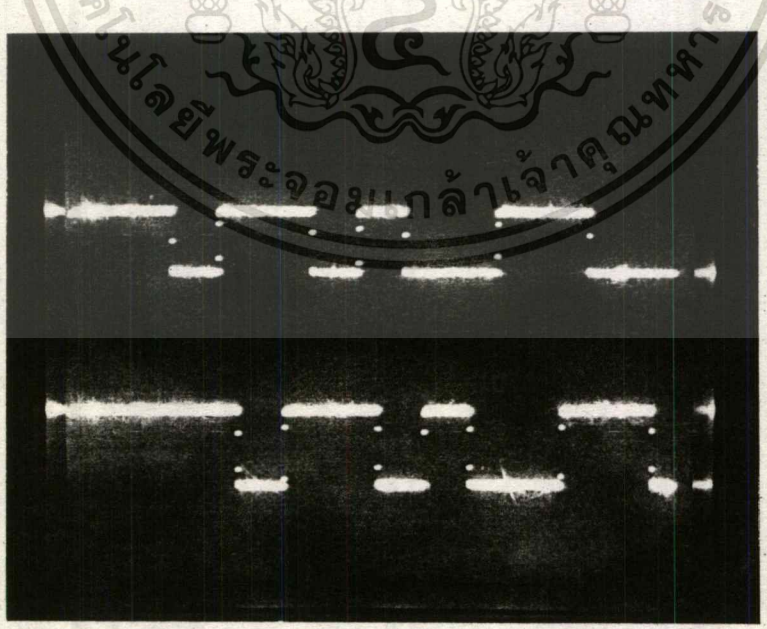
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

17. สเป็กตรัมของสัญญาณรูปคลื่นเกาส์เชี่ยน



รูปที่ 4.17 แสดงสเป็กตรัมของสัญญาณรูปคลื่นเกาส์เชี่ยน

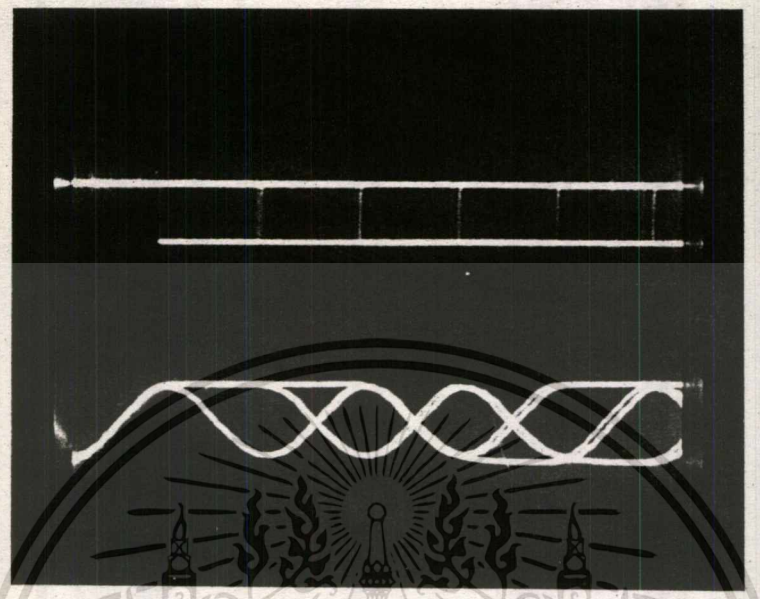
18. รูปสัญญาณอินพุทของ NRZ และรูปสัญญาณเอาท์พุทที่ได้ของรูปคลื่นเกาส์เชี่ยน



รูปที่ 4.18 แสดงรูปสัญญาณอินพุทของ NRZ และรูปสัญญาณเอาท์พุทที่ได้ของรูปคลื่นเกาส์เชี่ยน

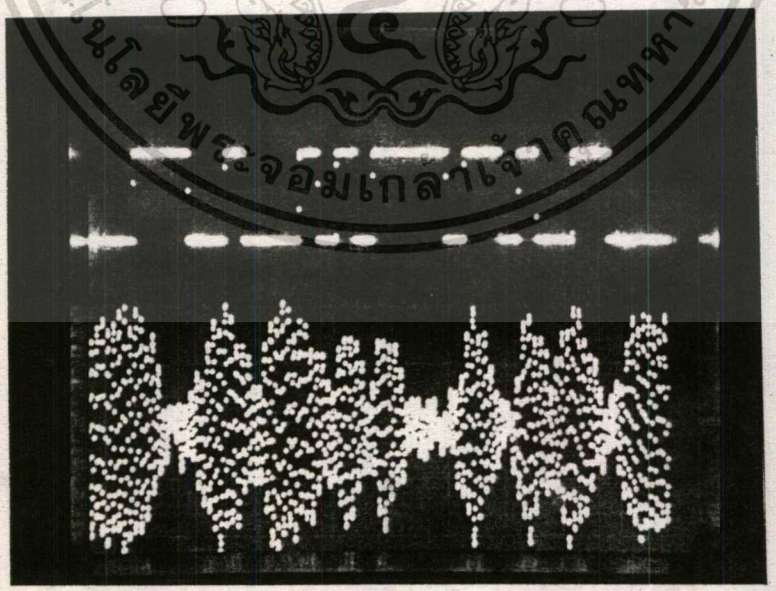
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19. สัญญาณเบสแบนด์ที่ผ่านการกรองความถี่ต่ำผ่าน



รูปที่ 4.19 แสดงสัญญาณเบสแบนด์ที่ผ่านการกรองความถี่ต่ำผ่าน

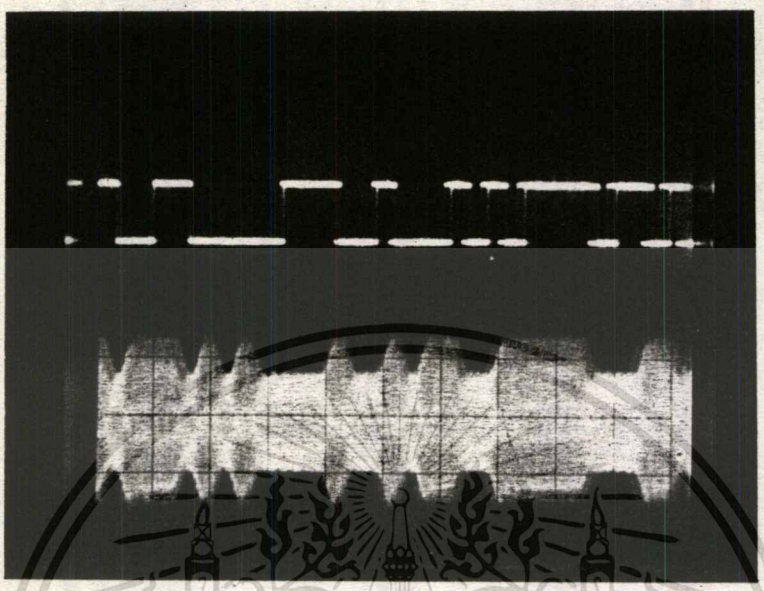
20. สัญญาณที่ผ่านวงจรบาลานซ์มอดูเลเตอร์



รูปที่ 4.20 แสดงสัญญาณที่ผ่านวงจรบาลานซ์มอดูเลเตอร์

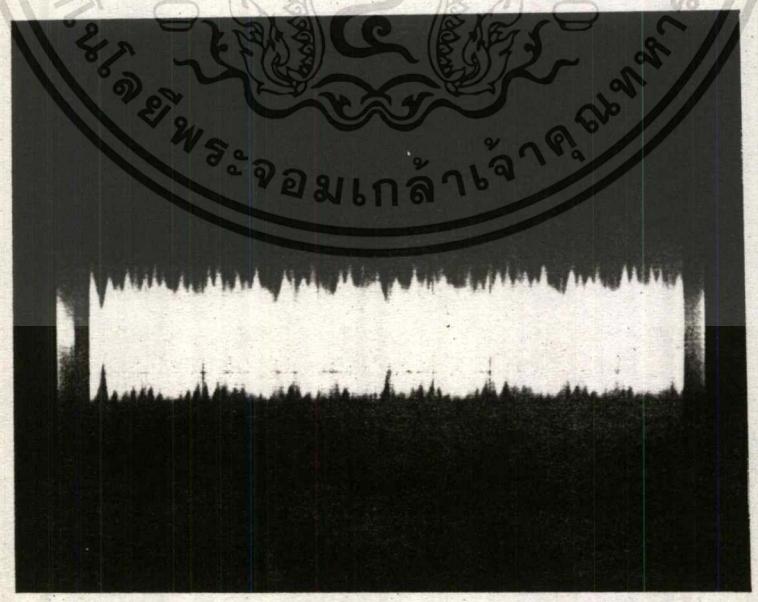
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

21. สัญญาณหลังจากวงจรบาลานซ์มอดูเลชั่นที่ผ่านการรวมสัญญาณ



รูปที่ 4.21 แสดงสัญญาณหลังจากวงจรบาลานซ์มอดูเลชั่นที่ผ่านการรวมสัญญาณ

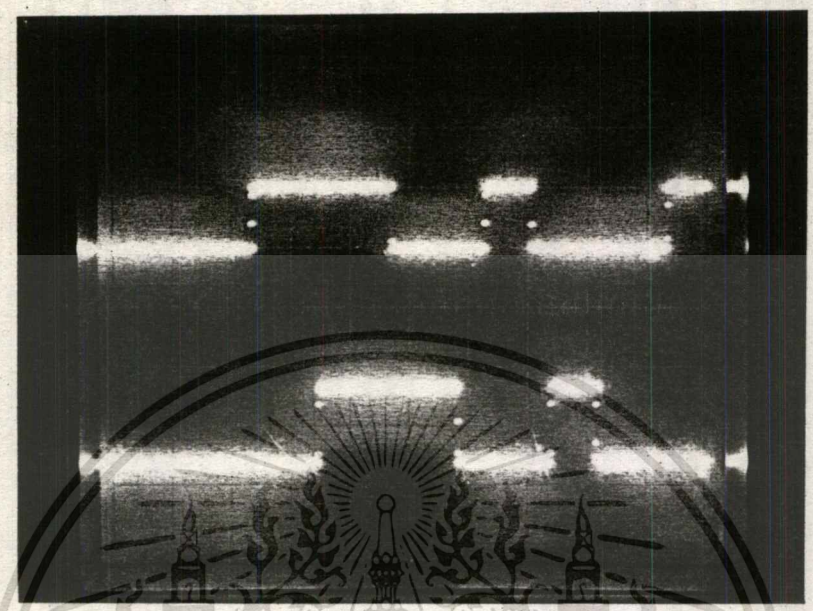
22. สัญญาณที่ได้หลังจากผ่านวงจรดีมอดูเลเตอร์



รูปที่ 4.22 แสดงสัญญาณที่ได้หลังจากผ่านวงจรดีมอดูเลเตอร์

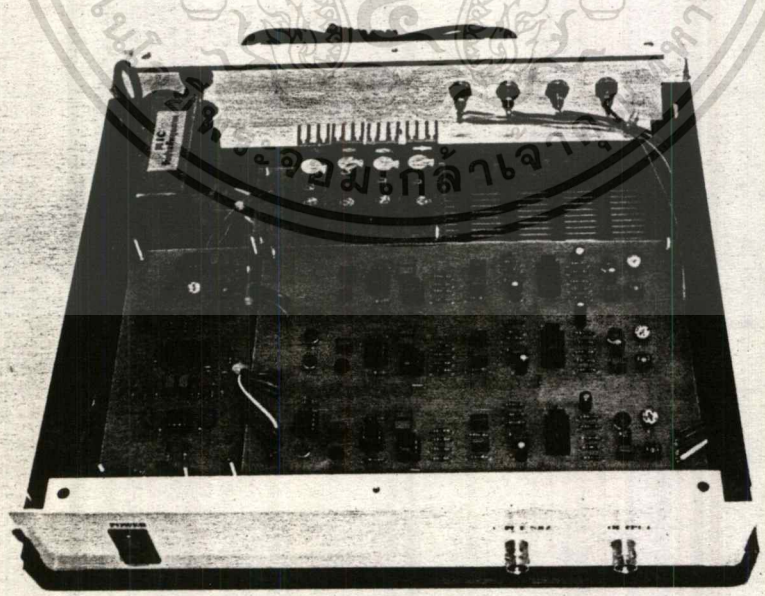
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

23. เปรียบเทียบสัญญาณทางด้านรับและสัญญาณทางด้านส่ง (NRZ)



รูปที่ 4.23 แสดงเปรียบเทียบสัญญาณทางด้านรับและสัญญาณทางด้านส่ง (NRZ)

24. แสดงเครื่องต้นแบบของโครงงาน



รูปที่ 4.24 แสดงเครื่องต้นแบบของโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลอง

การเปลี่ยนสัญญาณลอจิกที่มีรูปเป็นสี่เหลี่ยมหรือพัลซ์ เป็นสัญญาณรูปสามเหลี่ยม, โคไซน์, ไรส์โคไซน์ หรือเกาส์เซี่ยน เพื่อทำการลด Side Lobe Spectrum จะพบว่ารูปคลื่นที่เปลี่ยนใหม่นี้ จะมีความกว้างกว่า Tb ซึ่งจะทำให้มีการไปรบกวนบิทข้างเคียง ดังนั้นในภาครับไม่สามารถอินทีเกรทรวมพื้นที่ได้ตลอดย่านของรูปคลื่นได้จึงเกิดเป็นแพทเทินรูปดวงตาขึ้น

จาก Eye Diagram (แพทเทินรูปดวงตา) พบว่า ส่วนที่เหมาะสมที่ใช้ในการเก็บพลังงานเพื่อที่จะใช้ตัดสินระดับสัญญาณลอจิกในภาครับคือ ส่วนตรงกลางของแพทเทินรูปดวงตา ซึ่งในทางทฤษฎีจะมีความกว้างเท่ากับ Tb แต่ในทางปฏิบัติมีค่าน้อยกว่า Tb เพราะมี ช่วงเวลาของ Zero Crossing Jitter มารบกวนแพทเทินรูปดวงตา

เมื่อพิจารณาบริเวณส่วนตรงกลางแพทเทินรูปดวงตาที่ใช้ในการตัดสินระดับลอจิก จะเห็นว่าพลังงานที่ภาครับ อินทีเกรทได้จากรูปคลื่นในแต่ละแบบไม่เท่ากันซึ่งจากรูปคลื่นจะเห็นว่ารูปโคไซน์และเกาส์เซี่ยน เป็นรูปคลื่นที่ไม่สมมาตรระหว่างครึ่งคลื่นบนและครึ่งคลื่นล่าง จึงทำให้ระดับของ Noise Margin ของลอจิก "0" และลอจิก "1" ไม่เท่ากัน เป็นผลให้พรอบอะบิลิตี้ของการเอิดลอจิก "0" และลอจิก "1" ไม่เท่ากัน

การวัดการรบกวนทางด้านความถี่ จากการส่งสัญญาณข้อมูลพัลซ์สี่เหลี่ยมจะเห็นว่า Side Lobe Spectrum ของแต่ละช่องสัญญาณมีขนาดสูงและส่งผลไปรบกวนยังช่องสัญญาณข้างเคียงมากทำให้ต้องมี Guard Band ของช่องสัญญาณกว้างมาก แต่ถ้ามีการเปลี่ยนรูปคลื่นสัญญาณเบสแบนด์พบว่าจะมี Side Lobe Spectrum ขนาดเล็ก ในขณะที่ Main Lobe Spectrum ยังมีขนาดกว้างอยู่ เมื่อนำสัญญาณที่เบสแบนด์รูป ไรส์โคไซน์ ไปทำการ Modulation กับ Carrier จะเห็นว่า Side Lobe Spectrum ของสัญญาณมีขนาดเล็กเช่นเดียวกับสเปกตรัมของเบสแบนด์ จึงสามารถลด Guard Band ของช่องสัญญาณลงได้ ทำให้สามารถเพิ่มช่องสัญญาณได้มากขึ้น และใช้วงจร Band Pass Filter ที่มีแบนด์วิดแคบจะทำให้สัญญาณรบกวนเข้ามาได้ยาก และ Noise ที่เกิดขึ้นในวงจรก็เกิดขึ้นได้น้อย จึงส่งผลให้ Noise ทางด้านภาครับมีน้อยลง ซึ่งจะง่ายต่อการถอดรหัสของสัญญาณ และในการจัดรูปคลื่นแบบนี้ยังคงมีส่วนที่สูงที่สุดอยู่ ซึ่งมีค่าท่ากับค่าของสัญญาณ NRZ

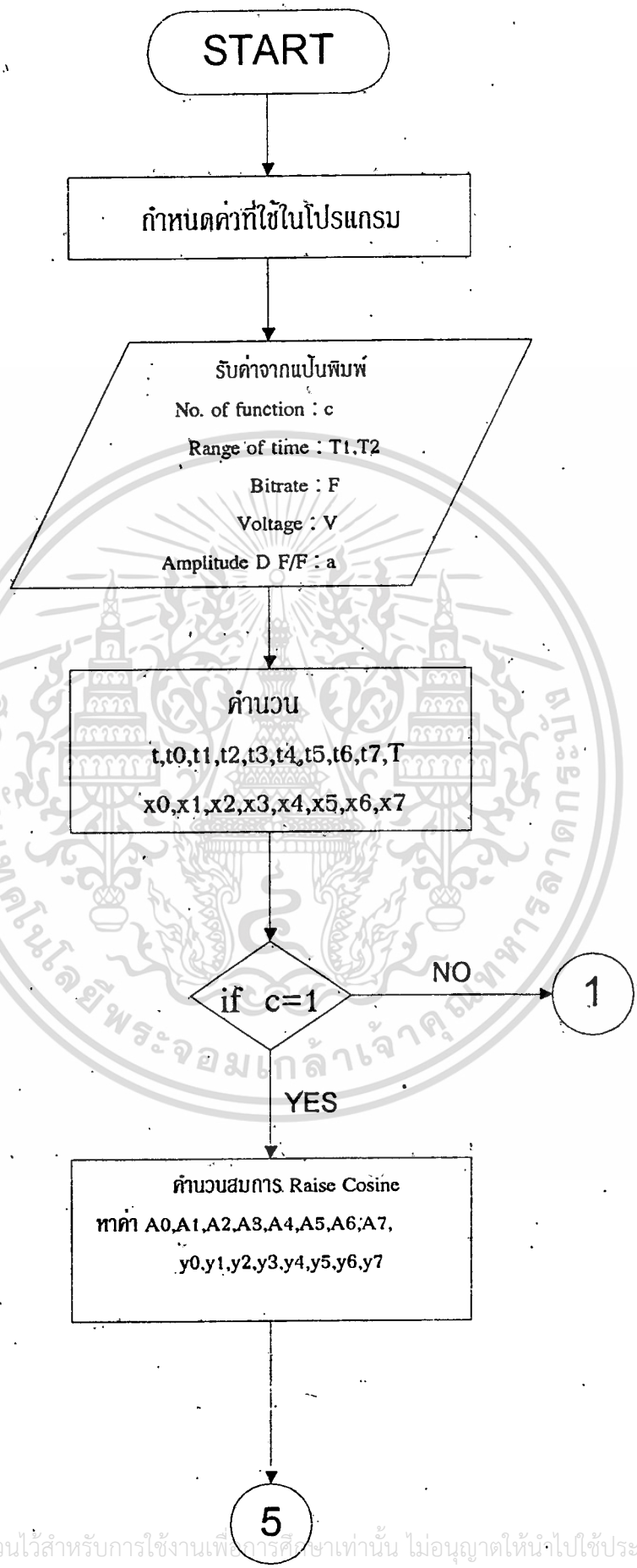
เมื่อทำการส่งสัญญาณในหลายๆ ช่องสัญญาณพร้อมกับในเวลาเดียวกัน จะมีการรบกวนของช่องสัญญาณข้างเคียงน้อยมาก เพราะ Side Lobe Spectrum ของแต่ละช่องสัญญาณมีขนาดเล็กมาก จึงสามารถใช้แบนด์วิดของแต่ละช่องสัญญาณมีแบนด์วิดเพียงเท่ากับ Main Lobe Spectrum ก็เพียงพอที่จะใช้ในการส่งสัญญาณข้อมูลในแต่ละช่องสัญญาณซึ่งแบนด์วิดของ Main Lobe Spectrum มีจุด Null อยู่ที่ความถี่ของบิทเรท ซึ่งเป็นค่าแบนด์วิดสูงสุดที่เพียงพอกับแบนด์วิดของแต่ละช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

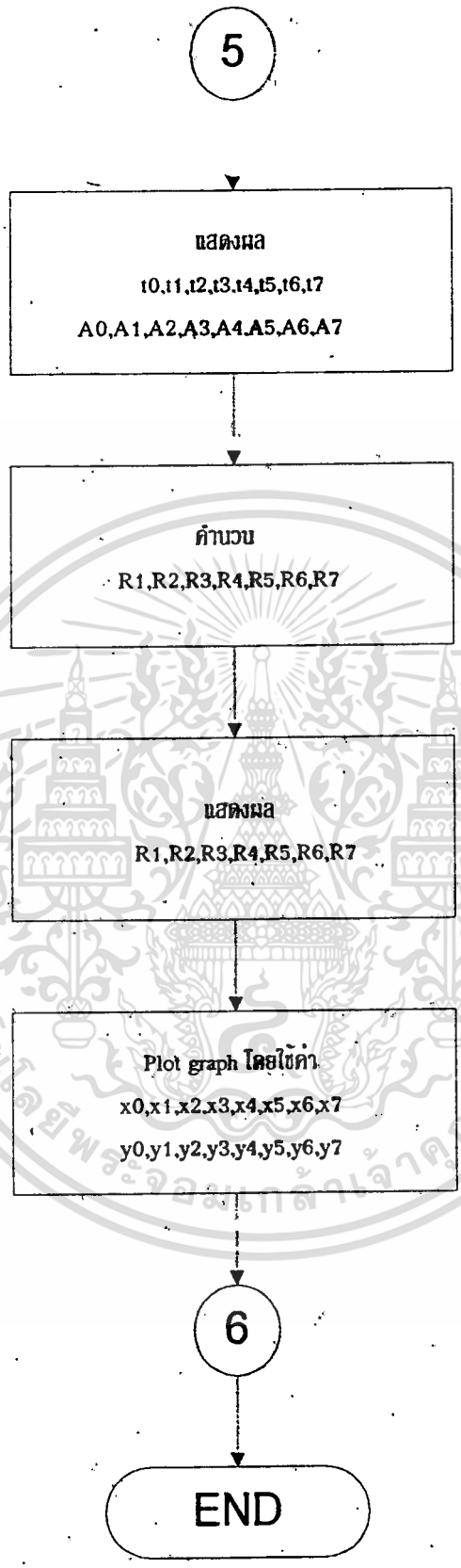
เอกสารอ้างอิง

1. DAVID R. SMITCH. Digital Transmission System. Vannostrand Reinhold Company Newyork 1945.
2. GAYAKWAD, RAMAKANT A; "Op-Amp and Linear Integrated Circuit", Prentice-Hall ; PP.269-296; 1988
3. ROGER E. ZIEMER and ROGER L. PETERSON "Introduction to Disital Communication"
4. KAMILO FEHER. "Digital Communication", Prentice-Hall, 1992
5. EVE L. VARMA & PATRICK R. TRISCHITTA, "Jitter in Digital Transmission System", Artch House. 1984
6. นิกร สุขุตมตันติ. "การออกแบบวงจรอิเล็กทรอนิคส์" Japan Internationnal Coorperation Agercy (JICA) พิมพ์ครั้งที่ 1 พ.ศ. 2533
7. กฤดากร กลอมการ " การออกแบบระบบการส่งข้อมูลในช่องสัญญาณกระจายเสียงแบบ FM" วิทยานิพนธ์วิศวกรรมศาสตร์มหาบัณฑิต. สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง, พ.ศ. 2536
8. บัณฑิต โรจน์อารยานนท์ "หลักการไฟฟ้าสื่อสาร" สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย; พ.ศ. 2539
9. สุชาติ กังวารจิตต์ "เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร" ซีเอ็ดยูเคชั่น, พ.ศ. 2536

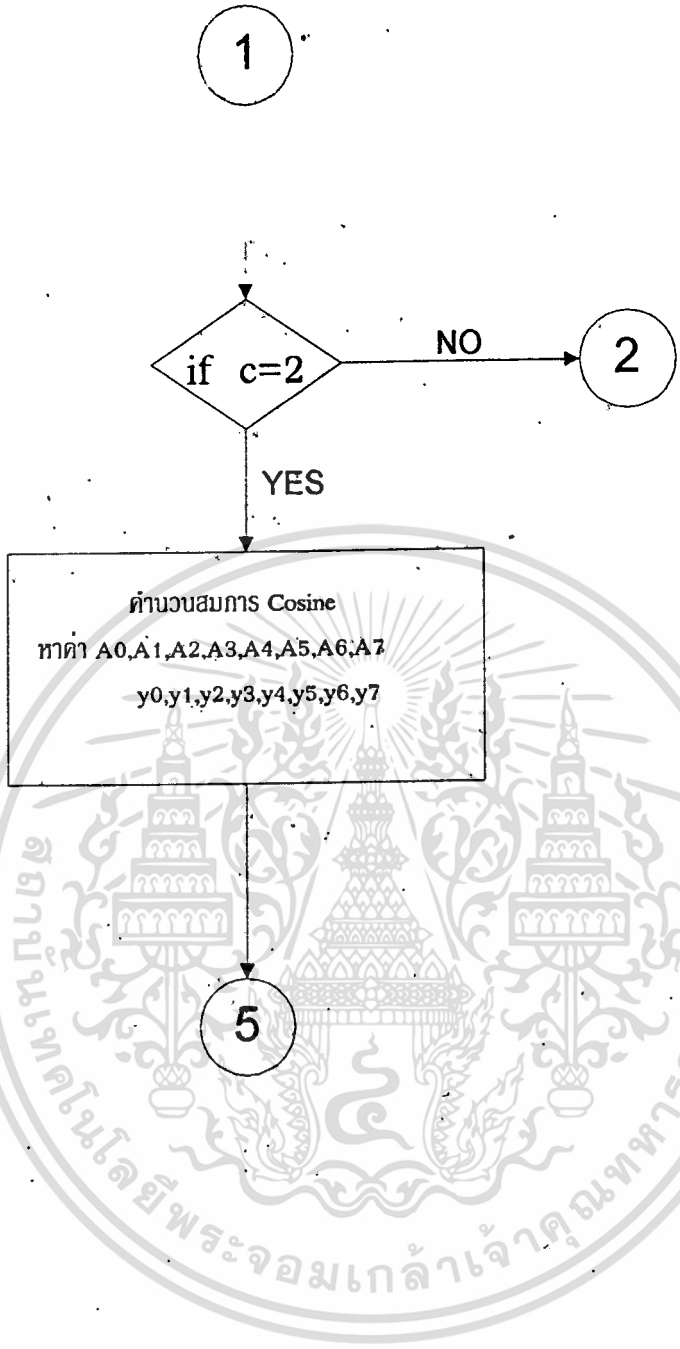
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



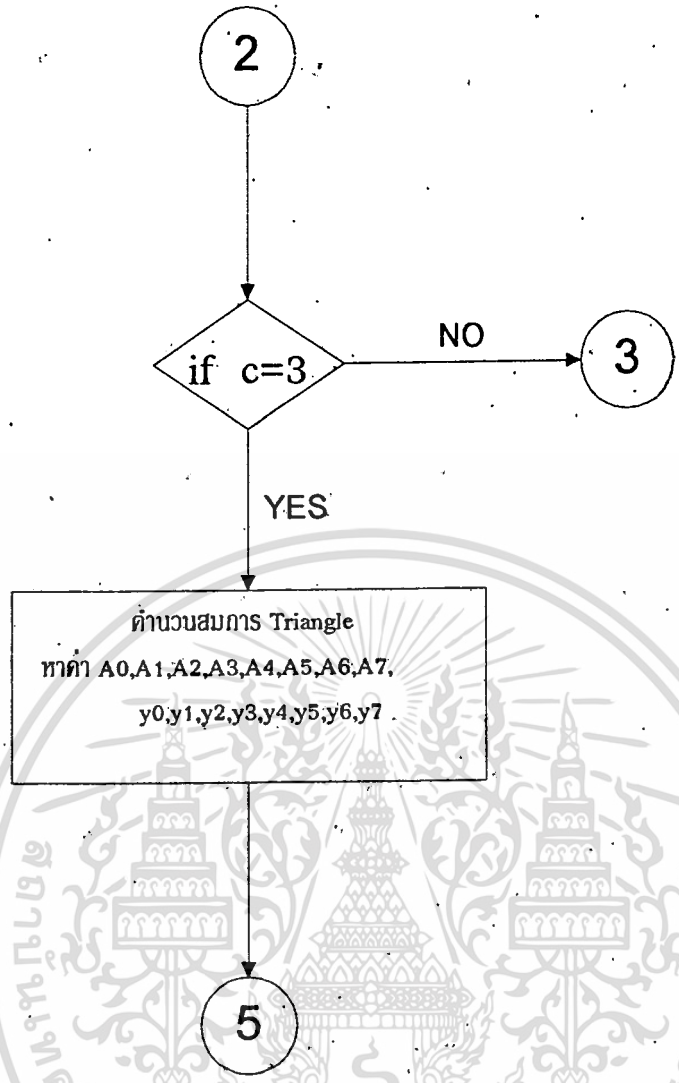
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



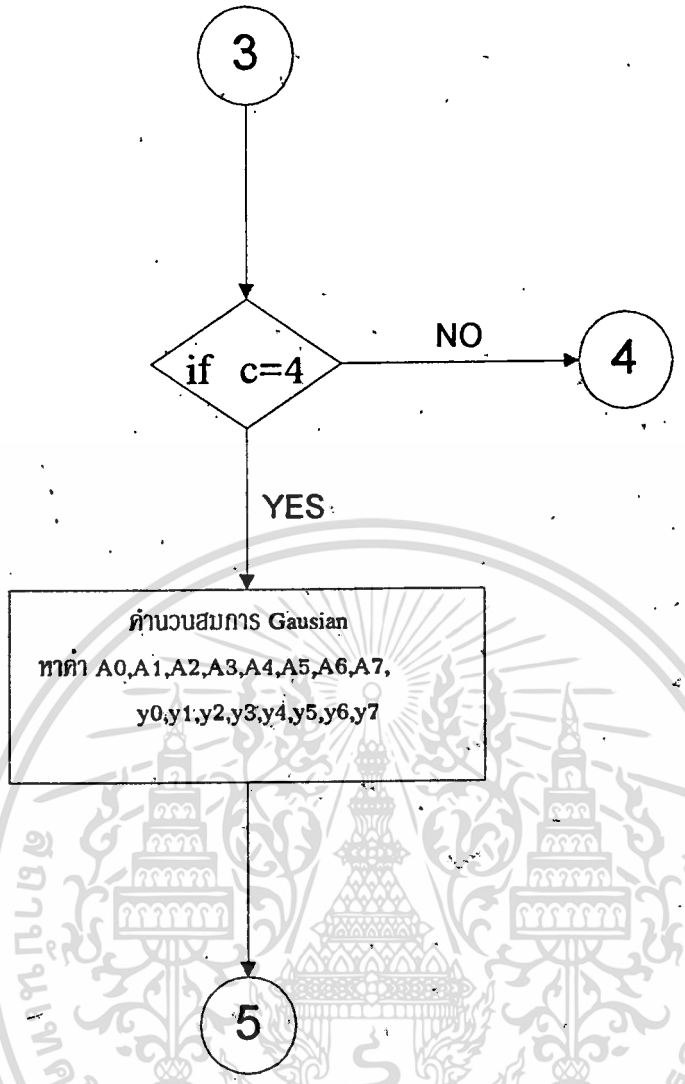
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



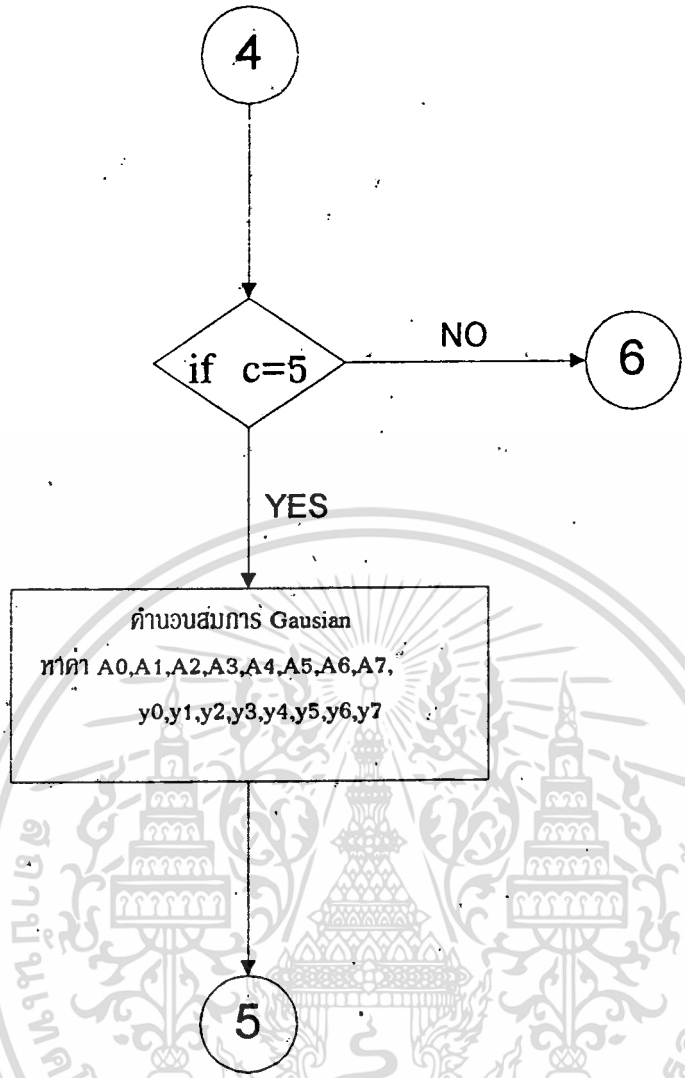
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#include <math.h>
#include <stdio.h>
#include <conio.h>
#include <graphics.h>

#define PI 3.14159265

main()
{

  float  T1,T2,t,T,F,V,
         t0,t1,t2,t3,t4,t5,t6,t7,
         A0,A1,A2,A3,A4,A5,A6,A7,
         y0,y1,y2,y3,y4,y5,y6,y7,
         x0,x1,x2,x3,x4,x5,x6,x7,
         R1,R2,R3,R4,R5,R6,R7,R8,RF,a;
  int    c;
  int gd=DETECT,gm=0;

  clrscr();
  printf ("Program for 5 function. \n");
  printf ("1.Raise cosine function. \n");
  printf ("2.Cosine function. \n");
  printf ("3.Isoscales triangle function. \n");
  printf ("4.Gausian function. \n");
  printf ("5.Gausian function. \n");
  printf ("\n");
  printf ("Select function : ");
  scanf  ("%d",&c);
  printf ("\n");
  printf ("Input range of time T1,T2. \n");
  printf ("Enter T1 : ");
  scanf  ("%f",&T1);
  printf ("Enter T2 : ");
  scanf  ("%f",&T2);
  printf ("Input bitrate : ");
  scanf  ("%f",&F);
  printf ("Input voltage : ");
  scanf  ("%f",&V);
  printf ("Input amplitude of o/p D flip-flop : ");
  scanf  ("%f",&a);
  printf ("\n");

  t = (T2-T1)/7 ;
  t0=T1; t1=T1+t; t2=t1+t; t3=t2+t; t4=t3+t;
  t5=t4+t; t6=t5+t; t7=t6+t;

  T = 1/F;
  x0=0; x1=x0+T; x2=x1+T; x3=x2+T; x4=x3+T;
  x5=x4+T; x6=x5+T; x7=x6+T;



  if(c==1)

       {
        A0=cos(PI*t0/4)*cos(PI*t0/4);
        A1=cos(PI*t1/4)*cos(PI*t1/4);
        A2=cos(PI*t2/4)*cos(PI*t2/4);
        A3=cos(PI*t3/4)*cos(PI*t3/4);
        A4=cos(PI*t4/4)*cos(PI*t4/4);
        A5=cos(PI*t5/4)*cos(PI*t5/4);
```

เอกสารนี้เป็นเอกสารที่ [illegible] อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น [illegible] ของเอกสารทุกครั้งที่มีการนำไปใช้

```
    A6=cos(PI*t6/4)*cos(PI*t6/4);
    A7=cos(PI*t7/4)*cos(PI*t7/4);

    y0=V*A0; y1=V*A1; y2=V*A2; y3=V*A3; y4=V*A4;
    y5=V*A5; y6=V*A6; y7=V*A7;
   }

else

   {if(c==2)

        {
         A0=cos(PI*t0/4);
         A1=cos(PI*t1/4);
         A2=cos(PI*t2/4);
         A3=cos(PI*t3/4);
         A4=cos(PI*t4/4);
         A5=cos(PI*t5/4);
         A6=cos(PI*t6/4);
         A7=cos(PI*t7/4);

         y0=V*A0; y1=V*A1; y2=V*A2; y3=V*A3;
         y4=V*A4; y5=V*A5; y6=V*A6; y7=V*A7;
        }

    else

        { if(c==3)

            {
             A0=1-t0;
             A1=1-t1;
             A2=1-t2;
             A3=1-t3;
             A4=1-t4;
             A5=1-t5;
             A6=1-t6;
             A7=1-t7;

             y0=V*A0; y1=V*A1; y2=V*A2;
             y3=V*A3; y4=V*A4; y5=V*A5;
             y6=V*A6; y7=V*A7;
            }

          else

             {if(c==4)

                 {
                  A0=((sin(PI*t0/T))/(PI*t0/T))*
                     ((sin(PI*t0/T))/(PI*t0/T));
                  A1=((sin(PI*t1/T))/(PI*t1/T))*
                     ((sin(PI*t1/T))/(PI*t1/T));
                  A2=((sin(PI*t2/T))/(PI*t2/T))*
                     ((sin(PI*t2/T))/(PI*t2/T));
                  A3=((sin(PI*t3/T))/(PI*t3/T))*
                     ((sin(PI*t3/T))/(PI*t3/T));
                  A4=((sin(PI*t4/T))/(PI*t4/T))*
                     ((sin(PI*t4/T))/(PI*t4/T));
                  A5=((sin(PI*t5/T))/(PI*t5/T))*
                     ((sin(PI*t5/T))/(PI*t5/T));
                  A6=((sin(PI*t6/T))/(PI*t6/T))*
                     ((sin(PI*t6/T))/(PI*t6/T));
                  A7=((sin(PI*t7/T))/(PI*t7/T))*
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของผลงานนำไปใช้

```
                    ((sin(PI*t7/T))/(PI*t7/T));

                y0=V*A0; y1=V*A1; y2=V*A2; y3=V*A3;
                y4=V*A4; y5=V*A5; y6=V*A6; y7=V*A7;
               }

            else

               {if(c==5)

                    {
                     A0=(sin(PI*t0/T))/(PI*t0/T);
                     A1=(sin(PI*t1/T))/(PI*t1/T);
                     A2=(sin(PI*t2/T))/(PI*t2/T);
                     A3=(sin(PI*t3/T))/(PI*t3/T);
                     A4=(sin(PI*t4/T))/(PI*t4/T);
                     A5=(sin(PI*t5/T))/(PI*t5/T);
                     A6=(sin(PI*t6/T))/(PI*t6/T);
                     A7=(sin(PI*t7/T))/(PI*t7/T);

                     y0=V*A0; y1=V*A1; y2=V*A2;
                     y3=V*A3; y4=V*A4; y5=V*A5;
                     y6=V*A6; y7=V*A7;
                    }

                else

                    { printf ("exit");}

               }

          }

     }

clrscr();
printf ("Function No.  %d\n",c);
printf ("Rang of time % .2f<t<% .2f\n",T1,T2);
printf ("Bitrate = % .2f\n",F);
printf ("Voltage = % .2f V.\n",V);
printf ("Amplitude of O/P D Flip-Flop = % .2f\n\n",a);
printf ("Coefficient of time and coefficient of amplitude \n'

printf ("t=% .3f \t amplitude=% .3f\n",t0,A0);
printf ("t=% .3f \t amplitude=% .3f\n",t1,A1);
printf ("t=% .3f \t amplitude=% .3f\n",t2,A2);
printf ("t=% .3f \t amplitude=% .3f\n",t3,A3);
printf ("t=% .3f \t amplitude=% .3f\n",t4,A4);
printf ("t=% .3f \t amplitude=% .3f\n",t5,A5);
printf ("t=% .3f \t amplitude=% .3f\n",t6,A6);
printf ("t=% .3f \t amplitude=% .3f\n",t7,A7);
printf ("\n");

R1 = a/(A6*0.004);
R2 = a/(A5*0.004);
R3 = a/(A4*0.004);
R4 = a/(A3*0.004);
R5 = a/(A2*0.004);
R6 = a/(A1*0.004);
R7 = a/(A0*0.004);

printf ("R1 =% .3f\n",R1);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    printf ("R2 =% .3f\n",R2);
    printf ("R3 =% .3f\n",R3);
    printf ("R4 =% .3f\n",R4);
    printf ("R5 =% .3f\n",R5);
    printf ("R6 =% .3f\n",R6);
    printf ("R7 =% .3f\n\n",R7);

    printf("Press any key to see graph : ");
    getch();

    initgraph (&gd,&gm,"");
    line (20,350,600,350);
    line (300,50,300,450);


    putpixel(300+(int)(x0*500000),350-(int)(y0*50),15);
    putpixel(300+(int)(x1*500000),350-(int)(y1*50),15);
    putpixel(300+(int)(x2*500000),350-(int)(y2*50),15);
    putpixel(300+(int)(x3*500000),350-(int)(y3*50),15);
    putpixel(300+(int)(x4*500000),350-(int)(y4*50),15);
    putpixel(300+(int)(x5*500000),350-(int)(y5*50),15);
    putpixel(300+(int)(x6*500000),350-(int)(y6*50),15);
    putpixel(300+(int)(x7*500000),350-(int)(y7*50),15);

    putpixel(300-(int)(x0*500000),350-(int)(y0*50),15);
    putpixel(300-(int)(x1*500000),350-(int)(y1*50),15);
    putpixel(300-(int)(x2*500000),350-(int)(y2*50),15);
    putpixel(300-(int)(x3*500000),350-(int)(y3*50),15);
    putpixel(300-(int)(x4*500000),350-(int)(y4*50),15);
    putpixel(300-(int)(x5*500000),350-(int)(y5*50),15);
    putpixel(300-(int)(x6*500000),350-(int)(y6*50),15);
    putpixel(300-(int)(x7*500000),350-(int)(y7*50),15);

    printf("Press any key to EXIT :");
    getch();
    closegraph();
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Program for 5 function.
1.Raise cosine function.
2.Cosine function.
3.Isoscales triangle function.
4.Gausian function.
5.Gausian function.

Select function : 1

Input range of time T1,T2.
Enter T1 : 0
Enter T2 : 2
Input bitrate : 64000
Input voltage : 5
Input amplitude of o/p D flip-flop : 3.98



Function No.  1
Rang of time  0.00<t< 2.00
Bitrate =  64000.00
Voltage =  5.00 V.
Amplitude of O/P D Flip-Flop =  3.98

Coefficient of time and coefficient of amplitude
t= 0.000          amplitude= 1.000
t= 0.286          amplitude= 0.950
t= 0.571          amplitude= 0.812
t= 0.857          amplitude= 0.611
t= 1.143          amplitude= 0.389
t= 1.429          amplitude= 0.188
t= 1.714          amplitude= 0.050
t= 2.000          amplitude= 0.000

R1 = 20094.693
R2 = 5285.382
R3 = 2559.555
R4 = 1627.784
R5 = 1225.755
R6 = 1046.835
R7 = 995.000

Press any key to see graph :
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Program for 5 function.
1.Raise cosine function.
2.Cosine function.
3.Isoscales triangle function.
4.Gausian function.
5.Gausian function.

Select function : 2

Input range of time T1,T2.
Enter T1 : 0
Enter T2 : 2
Input bitrate : 64000
Input voltage : 5
Input amplitude of o/p D flip-flop : 3.98




Function No.  2
Rang of time  0.00<t< 2.00
Bitrate =  64000.00
Voltage =  5.00 V.
Amplitude of O/P D Flip-Flop =  3.98

Coefficient of time and coefficient of amplitude
t= 0.000          amplitude= 1.000
t= 0.286          amplitude= 0.975
t= 0.571          amplitude= 0.901
t= 0.857          amplitude= 0.782
t= 1.143          amplitude= 0.623
t= 1.429          amplitude= 0.434
t= 1.714          amplitude= 0.223
t= 2.000          amplitude= 0.000

R1 = 4471.490
R2 = 2293.241
R3 = 1595.856
R4 = 1272.653
R5 = 1104.367
R6 = 1020.588
R7 = 995.000

Press any key to see graph :
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Program for 5 function.
1.Raise cosine function.
2.Cosine function.
3.Isoscales triangle function.
4.Gausian function.
5.Gausian function.

Select function : 3

Input range of time T1,T2.
Enter T1 : 0
Enter T2 : 2
Input bitrate : 64000
Input voltage : 5
Input amplitude of o/p D flip-flop : 3.98




Function No.  3
Rang of time  0.00<t< 2.00
Bitrate =  64000.00
Voltage =  5.00 V.
Amplitude of O/P D Flip-Flop =  3.98

Coefficient of time and coefficient of amplitude
t= 0.000          amplitude= 1.000
t= 0.286          amplitude= 0.714
t= 0.571          amplitude= 0.429
t= 0.857          amplitude= 0.143
t= 1.143          amplitude=-0.143
t= 1.429          amplitude=-0.429
t= 1.714          amplitude=-0.714
t= 2.000          amplitude=-1.000

R1 =-1393.000
R2 =-2321.667
R3 =-6964.998
R4 = 6965.003
R5 = 2321.667
R6 = 1393.000
R7 = 995.000

Press any key to see graph :
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

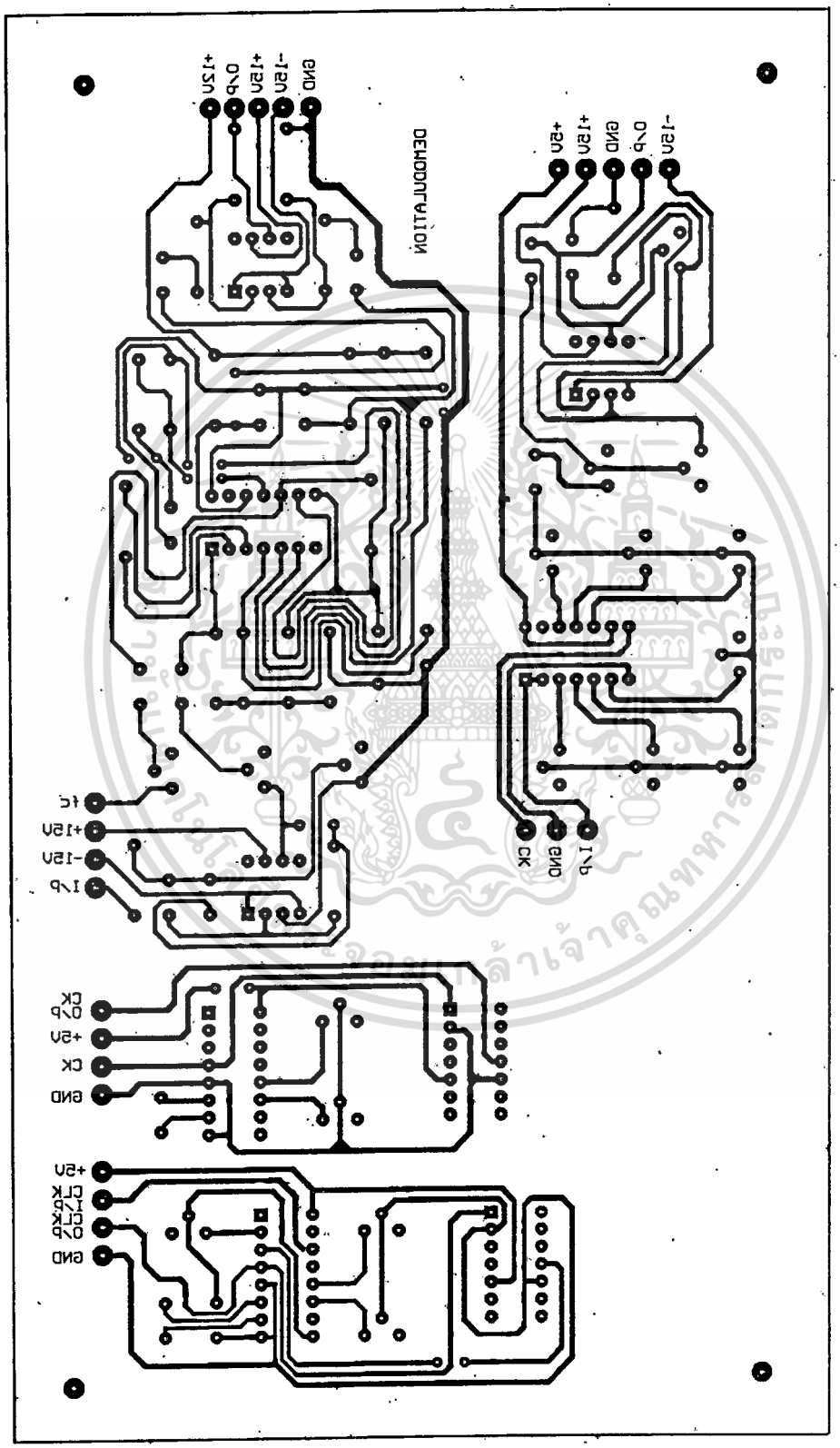
```
Program for 5 function.
1.Raise cosine function.
2.Cosine function.
3.Isoscales triangle function.
4.Gausian function.
5.Gausian function.

Select function : 4

Input range of time T1,T2.
Enter T1 : 1
Enter T2 : 3
Input bitrate : 1000
Input voltage : 5
Input amplitude of o/p D flip-flop : 3.98




Function No.  4
Rang of time  1.00<t< 3.00
Bitrate =  1000.00
Voltage =  5.00 V.
Amplitude of O/P D Flip-Flop =  3.98

Coefficient of time and coefficient of amplitude
t= 1.000          amplitude= 0.000
t= 1.286          amplitude= 0.000
t= 1.571          amplitude= 0.000
t= 1.857          amplitude= 0.000
t= 2.143          amplitude= 0.000
t= 2.429          amplitude= 0.000
t= 2.714          amplitude= 0.000
t= 3.000          amplitude= 0.000

R1 = 118358237184.000
R2 = 60929449984.000
R3 = 238993752064.000
R4 = 180247150592.000
R5 = 25517369344.000
R6 = 26546808832.000
R7 = 420565705885220864.000

Press any key to see graph :
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Program for 5 function.
1.Raise cosine function.
2.Cosine function.
3.Isoscales triangle function.
4.Gausian function.
5:Gausian function.

Select function : 5

Input range of time T1,T2.
Enter T1 : 1
Enter T2 : 3
Input bitrate : 1000
Input voltage : 5
Input amplitude of o/p D flip-flop : 3.98




Function No.  5
Rang of time  1.00<t< 3.00
Bitrate =  1000.00
Voltage =  5.00 V.
Amplitude of O/P D Flip-Flop =  3.98

Coefficient of time and coefficient of amplitude
t= 1.000          amplitude=-0.000
t= 1.286          amplitude=-0.000
t= 1.571          amplitude=-0.000
t= 1.857          amplitude=-0.000
t= 2.143          amplitude= 0.000
t= 2.429          amplitude= 0.000
t= 2.714          amplitude= 0.000
t= 3.000          amplitude= 0.000

R1 = 10852025.000
R2 = 7786193.000
R3 = 15420725.000
R4 =-13392010.000
R5 =-5038827.500
R6 =-5139462.500
R7 =-20456366080.000

Press any key to see graph :
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14049UB
MC14050B

CMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

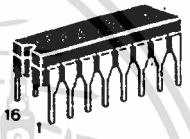
HEX BUFFERS

Inverting – MC14049UB
Noninverting – MC14050B

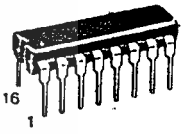
HEX BUFFERS

The MC14049UB hex inverter/buffer and MC14050B non-inverting hex buffer are constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. These complementary MOS devices find primary use where low power dissipation and/or high noise immunity is desired. These devices provide logic-level conversion using only one supply voltage, V_{DD}. The input-signal high level (V_{IH}) can exceed the V_{DD} supply voltage for logic-level conversions. Two TTL/DTL Loads can be driven when the devices are used as CMOS-to-TTL/DTL converters (V_{DD} = 5.0 V, $V_{OL} \leqslant$ 0.4 V, $I_{OL} \geqslant$ 3.2 mA). Note that pins 13 and 16 are not connected internally on these devices; consequently connections to these terminals will not affect circuit operation.

- High Source and Sink Currents
- High-to-Low Level Converter
- Supply Voltage Range = 3.0 V to 18 V
- Meets JEDEC UB Specifications—MC14049UB
  Meets JEDEC B Specification—MC14050B
- V_{IN} can exceed V_{DD}



L SUFFIX
CERAMIC PACKAGE
CASE 620



P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

A Series: – 55°C to + 125°C
MC14XXXBAL or UBAL (Ceramic Package Only)

C Series: – 40°C to + 85°C
MC14XXXBCP or UBCP (Plastic Package)
MC14XXXBCL or UBCL (Ceramic Package)

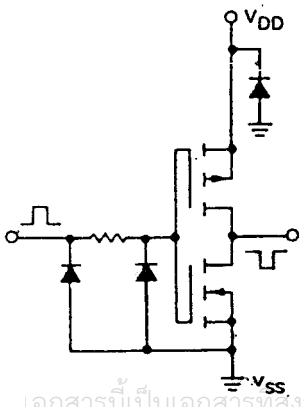
MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 18.0	V
V_{in}	Input Voltage (DC or Transient)	– 0.5 to + 18.0	V
V_{out}	Output Voltage (DC or Transient)	– 0.5 to V_{DD} + 0.5	V
I_{in}	Input Current (DC or Transient), per Pin	± 10	mA
I_{out}	Output Current (DC or Transient), per Pin	+ 45	mA
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature (8-Second Soldering)	260	°C

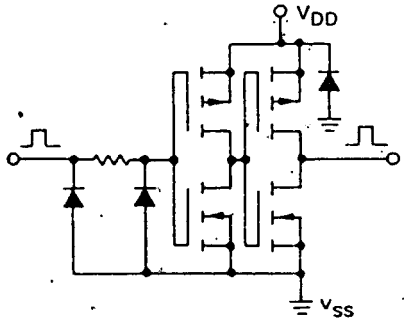
*Maximum Ratings are those values beyond which damage to the device may occur.

CIRCUIT SCHEMATIC
(1/6 OF CIRCUIT SHOWN)

MC14049UB

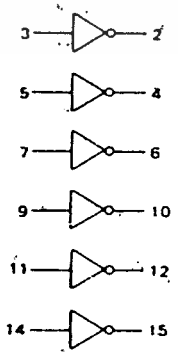


MC14050B



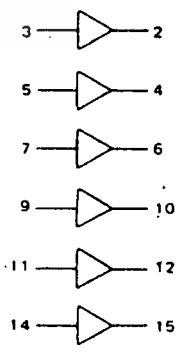
LOGIC DIAGRAMS

MC14049UB



NC = Pin 13, 16
V_{SS} = Pin 8
V_{DD} = Pin 1

MC14050B



NC = Pin 13, 16
V_{SS} = Pin 8
V_{DD} = Pin 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic		Symbol	V_{DD} Vdc.	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ #	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage V_{in} = V_{DD} or 0	"0" Level	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
			10	–	0.05	–	0	0.05	–	0.05	
			15	–	0.05	–	0	0.05	–	0.05	
V_{in} = 0 or V_{DD}	"1" Level	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
			10	9.95	–	9.95	10	–	9.95	–	
			15	14.95	–	14.95	15	–	14.95	–	
Input Voltage MC14049UB	"0" Level	V_{IL}									Vdc
(V_O = 4.5 Vdc)			5.0	–	1.0	–	2.25	1.0	–	1.0	
(V_O = 9.0 Vdc)			10	–	2.0	–	4.50	2.0	–	2.0	
(V_O = 13.5 Vdc)			15	–	2.5	–	6.75	2.5	–	2.5	
	"1" Level	V_{IH}									Vdc
(V_O = 0.5 Vdc)			5.0	4.0	–	4.0	2.75	–	4.0	–	
(V_O = 1.0 Vdc)			10	8.0	–	8.0	5.50	–	8.0	–	
(V_O = 1.5 Vdc)			15	12.5	–	12.5	8.25	–	12.5	–	
Input Voltage MC14050B	"0" Level	V_{IL}									Vdc
(V_O = 0.5 Vdc)			5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 1.0 Vdc)			10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 1.5 Vdc)			15	–	4.0	–	6.75	4.0	–	4.0	
	"1" Level	V_{IH}									Vdc
(V_O = 4.5 Vdc)			5.0	3.5	–	3.5	2.75	–	3.5	–	
(V_O = 9.0 Vdc)			10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 13.5 Vdc)			15	11	–	11	8.25	–	11	–	
Output Drive Current (AL Device)		I_{OH}									mAdc
(V_{OH} = 2.5 Vdc)	Source		5.0	-1.6	–	-1.25	-2.5	–	-0.9	–	
(V_{OH} = 9.5 Vdc)			10	-1.6	–	-1.3	-2.6	–	-0.9	–	
(V_{OH} = 13.5 Vdc)			15	-4.7	–	-3.75	-10	–	-2.7	–	
(V_{OL} = 0.4 Vdc)	Sink	I_{OL}	5.0	3.75	–	3.2	6.0	–	2.2	–	mAdc
(V_{OL} = 0.5 Vdc)			10	10	–	8.0	16	–	5.6	–	
(V_{OL} = 1.5 Vdc)			15	30	–	24	40	–	17.0	–	
Output Drive Current (CL/CP Device)		I_{OH}									mAdc
(V_{OH} = 2.5 Vdc)	Source		5.0	-1.5	–	-1.25	-2.5	–	-1.0	–	
(V_{OH} = 9.5 Vdc)			10	-1.5	–	-1.3	-2.6	–	-1.0	–	
(V_{OH} = 13.5 Vdc)			15	-4.5	–	-3.75	-10	–	-3.0	–	
(V_{OL} = 0.4 Vdc)	Sink	I_{OL}	5.0	3.6	–	3.2	6.0	–	2.6	–	mAdc
(V_{OL} = 0.5 Vdc)			10	9.6	–	8.0	16	–	6.6	–	
(V_{OL} = 1.5 Vdc)			15	28	–	24	40	–	19	–	
Input Current (AL Device)		I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	μAdc
Input Current (CL/CP Device)		I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	μAdc
Input Capacitance (V_{in} = 0)		C_{in}	–	–	–	–	10	20	–	–	pF
Quiescent Current (AL Device) (Per Package)		I_{DD}	5.0	–	1.0	–	0.002	1.0	–	30	μAdc
			10	–	2.0	–	0.004	2.0	–	60	
			15	–	4.0	–	0.006	4.0	–	120	
Quiescent Current (CL/CP Device) (Per Package)		I_{DD}	5.0	–	4.0	–	0.002	4.0	–	30	μAdc
			10	–	8.0	–	0.004	8.0	–	60	
			15	–	16	–	0.006	16	–	120	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L 50 pF on all outputs, all buffers switching)		I_T	5.0	I_T = (1.8 μA/kHz) f + I_{DD}							μAdc
			10	I_T = (3.5 μA/kHz) f + I_{DD}							
			15	I_T = (5.3 μA/kHz) f + I_{DD}							

*T_{low} = −55°C for AL Device, −40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

**The formulas given are for the typical characteristics only at 25°C.

†To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50\ pF) + (C_L - 50)\ Vfk$$

where: I_T is in μA (per package), C_L in pF, V = (V_{DD} − V_{SS}) in volts, f in kHz is input frequency, and k = 0.002.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

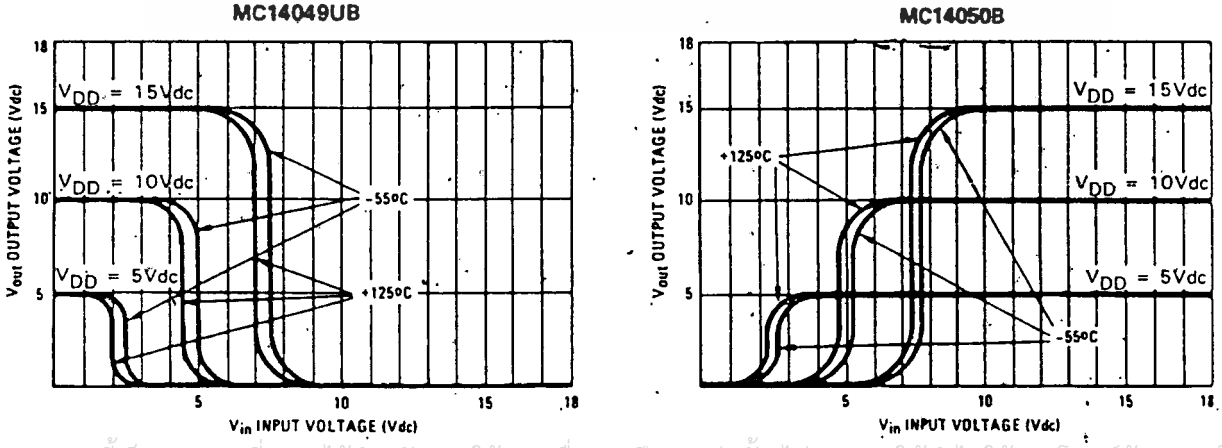
SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ #	Max	Unit
MC14049UB						
Output Rise Time	t_{TLH}					ns
t_{TLH} = (0.8 ns/pF) C_L + 60 ns		5.0	–	100	160	
t_{TLH} = (0.3 ns/pF) C_L + 35 ns		10	–	50	100	
t_{TLH} = (0.27 ns/pF) C_L + 26.5 ns		15	–	40	60	
Output Fall Time	t_{THL}					ns
t_{THL} = (0.3 ns/pF) C_L + 25 ns		5.0	–	40	60	
t_{THL} = (0.12 ns/pF) C_L + 14 ns		10	–	20	40	
t_{THL} = (0.1 ns/pF) C_L + 10 ns		15	–	15	30	
Propagation Delay Time	t_{PLH}					ns
t_{PLH} = (0.38 ns/pF) C_L + 61 ns		5.0	–	80	120	
t_{PLH} = (0.20 ns/pF) C_L + 30 ns		10	–	40	65	
t_{PLH} = (0.11 ns/pF) C_L + 24.5 ns		15	–	30	50	
Propagation Delay Time	t_{PHL}					ns
t_{PHL} = (0.38 ns/pF) C_L + 11 ns		5.0	–	30	60	
t_{PHL} = (0.12 ns/pF) C_L + 9 ns		10	–	15	30	
t_{PHL} = (0.11 ns/pF) C_L + 4.5 ns		15	–	10	20	
MC14050B						
Output Rise Time	t_{TLH}					ns
t_{TLH} = (0.7 ns/pF) C_L + 65 ns		5.0	–	100	160	
t_{TLH} = (0.25 ns/pF) C_L + 37.5 ns		10	–	50	80	
t_{TLH} = (0.2 ns/pF) C_L + 30 ns		15	–	40	60	
Output Fall Time	t_{THL}					ns
t_{THL} = (0.2 ns/pF) C_L + 30 ns		5.0	–	40	60	
t_{THL} = (0.06 ns/pF) C_L +17 ns		10	–	20	40	
t_{THL} = (0.04 ns/pF) C_L + 13 ns		15	–	15	30	
Propagation Delay Time	t_{PLH}					ns
t_{PLH} = (0.33 ns/pF) C_L + 63.5 ns		5.0	–	80	140	
t_{PLH} = (0.19 ns/pF) C_L + 30.5 ns		10	–	40	80	
t_{PLH} = (0.06 ns/pF) C_L + 27 ns		15	–	30	60	
Propagation Delay Time	t_{PHL}					ns
t_{PHL} = (0.2 ns/pF) C_L + 30 ns		5.0	–	40	80	
t_{PHL} = (0.1 ns/pF) C_L + 15 ns		10	–	20	40	
t_{PHL} = (0.05 ns/pF) C_L + 12.5 ns		15	–	15	30	

*The formulas given are for the typical characteristics only at 25°C.

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

FIGURE 1 – TYPICAL VOLTAGE TRANSFER CHARACTERISTICS versus TEMPERATURE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 2 – TYPICAL OUTPUT SOURCE CHARACTERISTICS

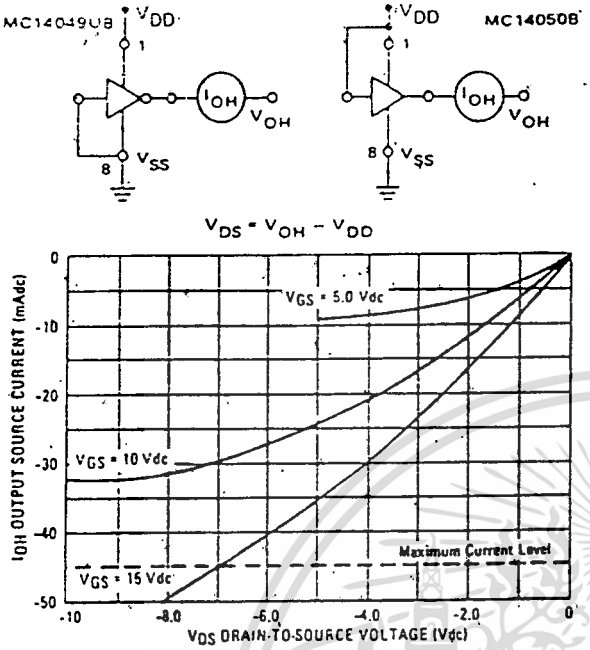


FIGURE 3 – TYPICAL OUTPUT SINK CHARACTERISTICS

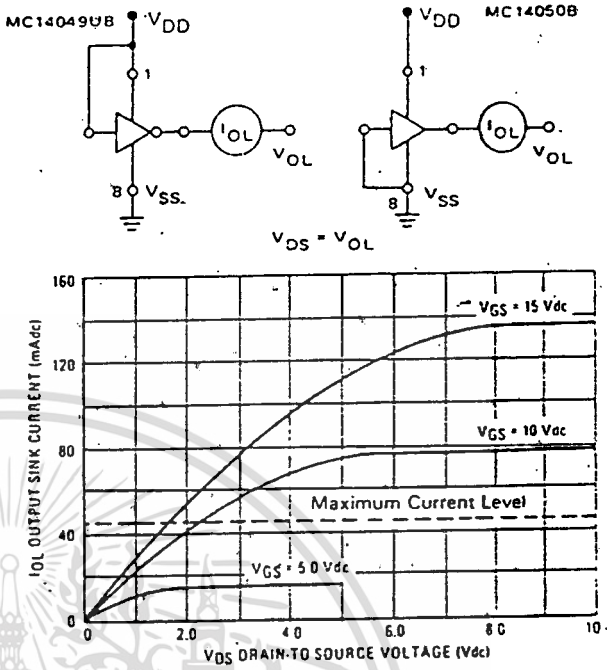


FIGURE 4 – AMBIENT TEMPERATURE POWER DERATING

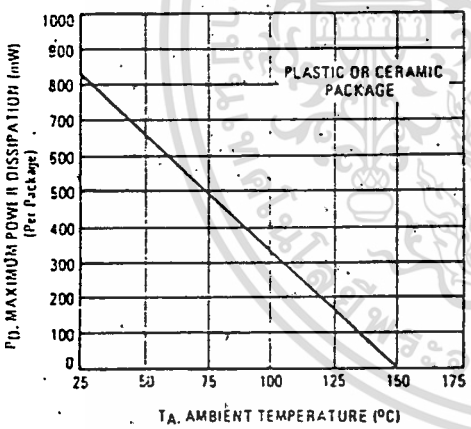
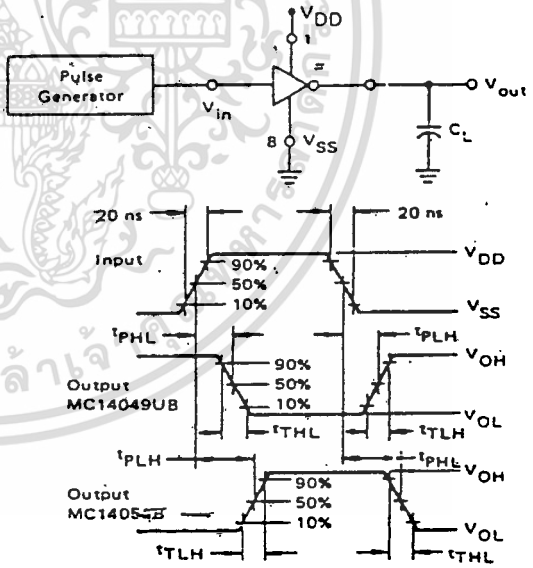


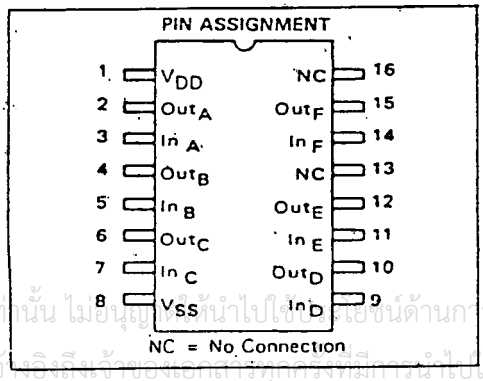
FIGURE 5 – SWITCHING TIME TEST CIRCUIT AND WAVEFORMS



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields **referenced to the V_{SS} pin, only.** Extra precautions must be taken to avoid applications of any voltage higher than the maximum rated voltages to this high-impedance circuit. For proper operation, the ranges $V_{SS} \leq V_{in} \leq 18$ V and $V_{SS} \leq V_{out} \leq V_{DD}$ are recommended.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14011B, MC14012B
See Page 6-5

MC14011UB, MC14012UB
See Page 6-14

MC14013B

CMOS SSI

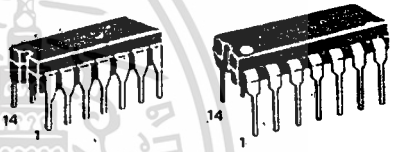
(LOW-POWER COMPLEMENTARY MOS)

DUAL TYPE D FLIP-FLOP

DUAL TYPE D FLIP-FLOP

The MC14013B dual type D flip-flop is constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. Each flip-flop has independent Data (D), Direct Set (S), Direct Reset (R), and Clock (C) inputs and complementary outputs (Q and $\bar{Q}$). These devices may be used as shift register elements or as type T flip-flops for counter and toggle applications.

- Static Operation
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Logic Edge-Clocked Flip-Flop Design – Logic state is retained indefinitely with clock level either high or low; information is transferred to the output only on the positive-going edge of the clock pulse
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4013B



L SUFFIX
CERAMIC PACKAGE
CASE 632

P SUFFIX
PLASTIC PACKAGE
CASE 646

ORDERING INFORMATION

A Series: –55°C to +125°C
MC14XXXBAL (Ceramic Package Only)

C Series: –40°C to +85°C
MC14XXXBCP (Plastic Package)
MC14XXXBCL (Ceramic Package)

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	–0.5 to +18.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient)	–0.5 to V_{DD} +0.5	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	±10	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	–65 to +150	°C
T_L	Lead Temperature (8-Second Soldering)	260	°C

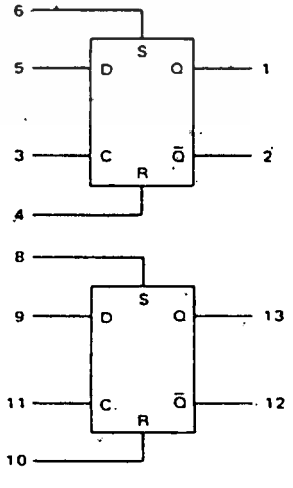
*Maximum Ratings are those values beyond which damage to the device may occur.
†Temperature Derating: Plastic "P" Package: –12mW/°C from 65°C to 85°C
Ceramic "L" Package: –12mW/°C from 100°C to 125°C

TRUTH TABLE

INPUTS				OUTPUTS		
CLOCK†	DATA	RESET	SET	Q	$\bar{Q}$	
⌐⌐	0	0	0	0	1	
⌐⌐	1	0	0	1	0	
⌐⌐	X	0	0	Q	$\bar{Q}$	No Change
X	X	1	0	0	1	
X	X	0	1	1	0	
X	X	1	1	1	1	

X = Don't Care
† = Level Change

BLOCK DIAGRAM



V_{DD} = Pin 14
V_{SS} = Pin 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ #	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
Input Voltage "0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)		5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 9.0 or 1.0 Vdc)		10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	–	4.0	–	6.75	4.0	–	4.0	
"1" Level	V_{IH}									Vdc
(V_O = 0.5 or 4.5 Vdc)		5.0	3.5	–	3.5	2.75	–	3.5	–	
(V_O = 1.0 or 9.0 Vdc)		10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)		15	11.0	–	11.0	8.25	–	11.0	–	
Output Drive Current (AL Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	-3.0	–	-2.4	-4.2	–	-1.7	–	
(V_{OH} = 4.6 Vdc)		5.0	-0.64	–	-0.51	-0.88	–	-0.36	–	
(V_{OH} = 9.5 Vdc)		10	-1.6	–	-1.3	-2.25	–	-0.9	–	
(V_{OH} = 13.5 Vdc)		15	-4.2	–	-3.1	-8.8	–	-2.4	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	–	0.51	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	–	1.3	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	-2.5	–	-2.1	-4.2	–	-1.7	–	
(V_{OH} = 4.6 Vdc)		5.0	-0.52	–	-0.44	-0.88	–	-0.36	–	
(V_{OH} = 9.5 Vdc)		10	-1.3	–	-1.1	-2.25	–	-0.9	–	
(V_{OH} = 13.5 Vdc)		15	-3.6	–	-3.0	-8.8	–	-2.4	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.52	–	0.44	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.3	–	1.1	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	μAdc
Input Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	μAdc
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device) (Per Package)	I_{DD}	5.0	–	1.0	–	0.002	1.0	–	30	μAdc
		10	–	2.0	–	0.004	2.0	–	60	
		15	–	4.0	–	0.006	4.0	–	120	
Quiescent Current (CL/CP Device) (Per Package)	I_{DD}	5.0	–	4.0	–	0.002	4.0	–	30	μAdc
		10	–	8.0	–	0.004	8.0	–	60	
		15	–	16	–	0.006	16	–	120	
Total Supply Current** † (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	I_T = (0.75 μA/kHz) f + I_{DD}							μAdc
		10	I_T = (1.5 μA/kHz) f + I_{DD}							
		15	I_T = (2.3 μA/kHz) f + I_{DD}							

*T_{low} = – 55°C for AL Device, – 40°C for CL/CP Device
T_{high} = + 125°C for AL Device, + 85°C for CL/CP Device.

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance

**The formulas given are for the typical characteristics only at 25°C.

†To calculate total supply current at loads other than 50 pF:

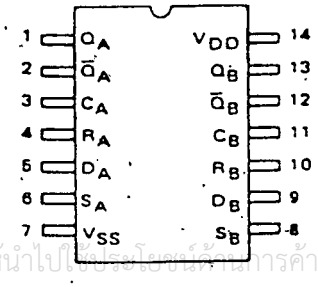
$$I_T(C_L) = I_T(50\ pF) + (C_L - 50)\ Vfk$$

where: I_T is in μA (per package), C_L in pF, V = (V_{DD} – V_{SS}) in volts, f in kHz is input frequency, and k = 0.002.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

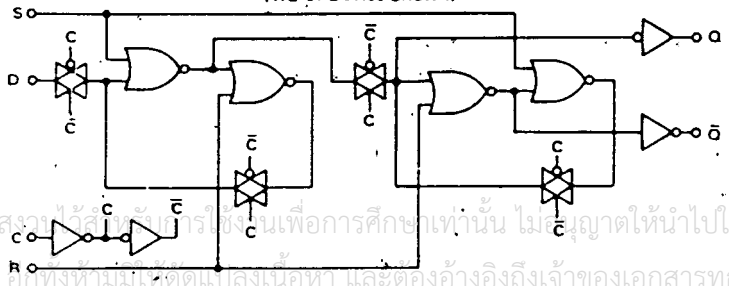
Characteristic	Symbol	V_{DD}	Min	Typ #	Max	Unit
Output Rise and Fall Time	t_{TLH}					ns
t_{TLH}, t_{THL} = (1.5 ns/pF) C_L + 25 ns	t_{THL}	5.0	–	100	200	
t_{TLH}, t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	–	50	100	
t_{TLH}, t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	–	40	80	
Propagation Delay Time	t_{PLH}					ns
	t_{PHL}					
Clock to Q, $\overline{Q}$						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 90 ns		5.0	–	175	350	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 42 ns		10	–	75	150	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 25 ns		15	–	50	100	
Set to Q, $\overline{Q}$						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 90 ns		5.0	–	175	350	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 42 ns		10	–	75	150	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 25 ns		15	–	50	100	
Reset to Q, $\overline{Q}$						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 265 ns		5.0	–	350	450	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 67 ns		10	–	100	200	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 50 ns		15	–	75	150	
Setup Times**	t_{su}	5.0	40	20	–	ns
		10	20	10	–	
		15	15	7.5	–	
Hold Times**	t_h	5.0	40	20	–	ns
		10	20	10	–	
		15	15	7.5	–	
Clock Pulse Width	t_{WL}, t_{WH}	5.0	250	125	–	ns
		10	100	50	–	
		15	70	35	–	
Clock Pulse Frequency	f_{cl}	5.0	–	4.0	2.0	MHz
		10	–	10	5.0	
		15	–	14	7.0	
Clock Pulse Rise and Fall Time	t_{TLH}	5.0	–	–	15	μs
	t_{THL}	10	–	–	5.0	
		15	–	–	4.0	
Set and Reset Pulse Width	t_{WL}, t_{WH}	5.0	250	125	–	ns
		10	100	50	–	
		15	70	35	–	
Removal Times	t_{rem}					ns
Set		5	80	0	–	
		10	45	5	–	
		15	35	5	–	
Reset		5	50	−35	–	
		10	30	−10	–	
		15	25	−5	–	

*The formulas given are for the typical characteristics only at 25°C.

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

**Data must be valid for 250 ns with a 5 V supply, 100 ns with 10 V, and 70 ns with 15 V.

LOGIC DIAGRAM
(1/2 of Device Shown)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 – DYNAMIC SIGNAL WAVEFORMS
(Data, Clock, and Output)

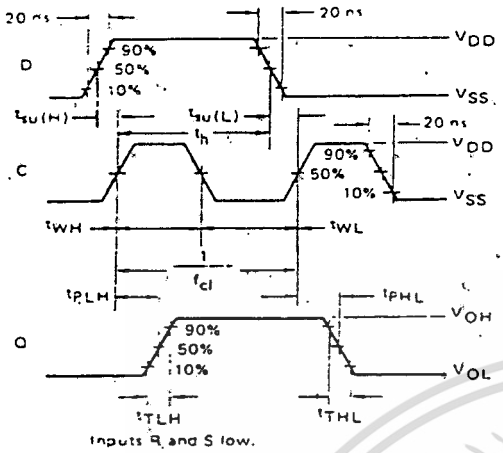
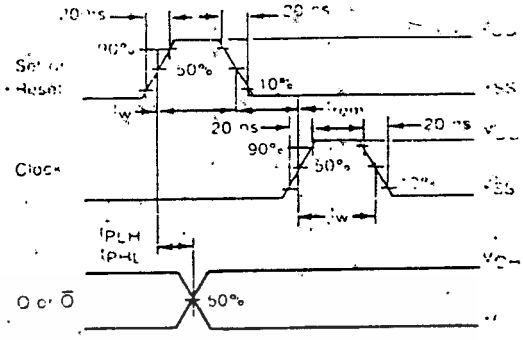
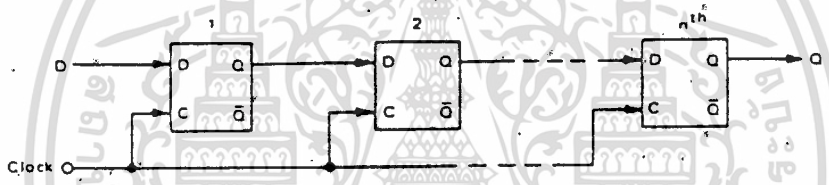


FIGURE 2 — DYNAMIC SIGNAL WAVEFORMS
(Set, Reset, Clock, and Output)

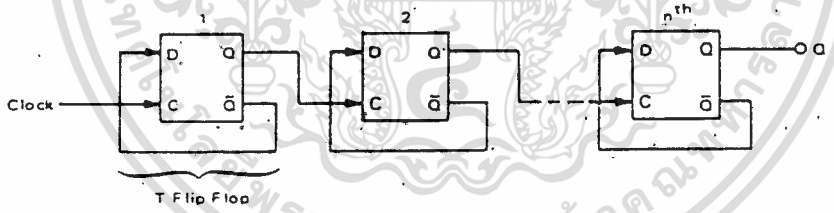


TYPICAL APPLICATIONS

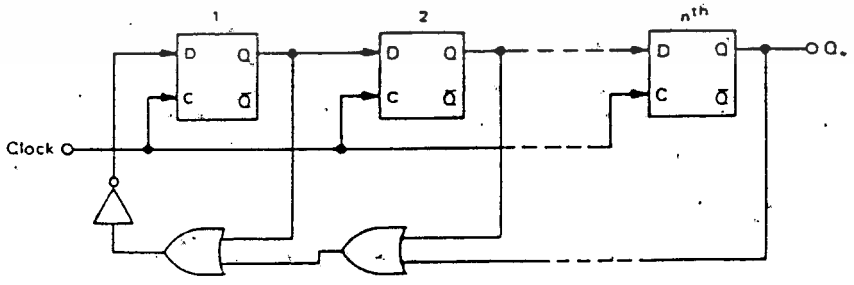
n-STAGE SHIFT REGISTER



BINARY RIPPLE UP-COUNTER (Divide-by-2^n)



MODIFIED RING COUNTER (Divide-by-(n + 1))



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14066B

QUAD ANALOG SWITCH/QUAD MULTIPLEXER

The MC14066B consists of four independent switches capable of controlling either digital or analog signals. This quad bilateral switch is useful in signal gating, chopper, modulator, demodulator and CMOS logic implementation.

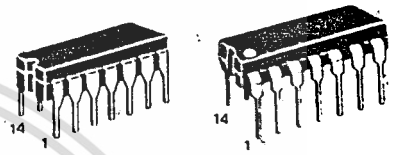
The MC14066B is designed to be pin-for-pin compatible with the MC14016B, but has much lower ON resistance. Input voltage swings as large as the full supply voltage can be controlled via each independent control input.

- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Linearized Transfer Characteristics
- Low Noise – 12 nV/$\sqrt{\text{Cycle}}$, f ≥ 1 kHz typical
- Pin-for-Pin Replacement for CD4016, CD4066, MC14016B
- For Lower R_{ON}, Use The HC4066 High-Speed CMOS Device

CMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

QUAD ANALOG SWITCH
QUAD MULTIPLEXER



L SUFFIX
CERAMIC PACKAGE
CASE 632

P SUFFIX
PLASTIC PACKAGE
CASE 646

ORDERING INFORMATION

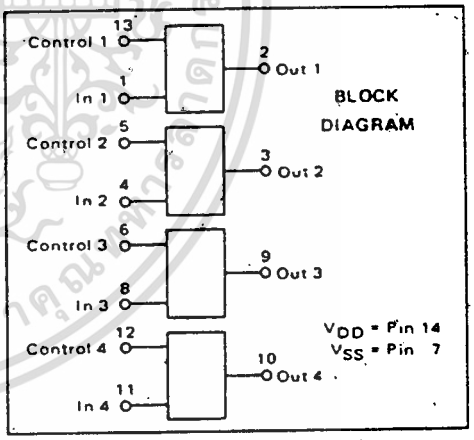
A Series: – 55°C to + 125°C
MC14XXXBAL (Ceramic Package Only)

C Series: – 40°C to + 85°C
MC14XXXBCP (Plastic Package)
MC14XXXBCL (Ceramic Package)

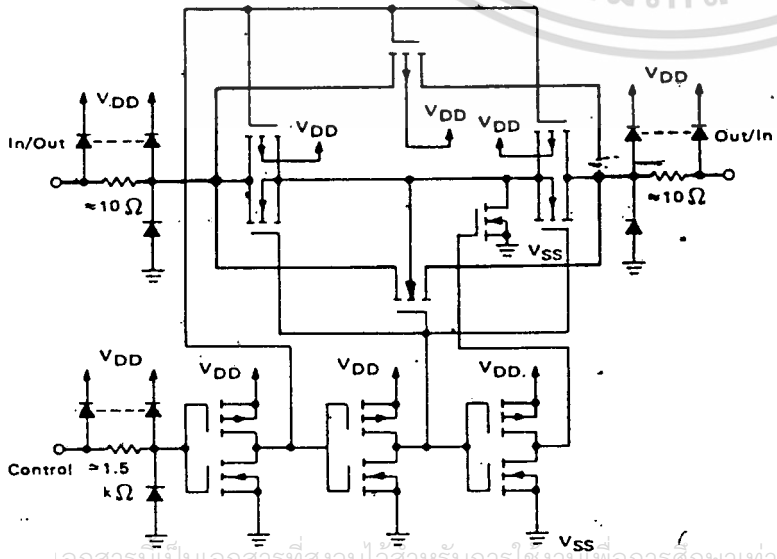
MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 18.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient)	– 0.5 to V_{DD} + 0.5	V
I_{in}	Input Current (DC or Transient), per Control Pin	± 10	mA
I_{sw}	Switch Through Current	± 25	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature (8-Second Soldering)	260	°C

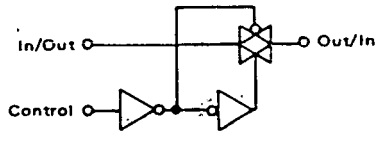
*Maximum Ratings are those values beyond which damage to the device may occur.
†Temperature Derating: Plastic "P" Package: – 12mW/°C from 65°C to 85°C
Ceramic "L" Package: – 12mW/°C from 100°C to 125°C



CIRCUIT SCHEMATIC
(1/4 OF DEVICE SHOWN)



LOGIC DIAGRAM AND TRUTH TABLE
(1/4 OF DEVICE SHOWN)



Control	Switch
0 = V_{SS}	OFF
1 = V_{DD}	ON

*Logic Diagram Restrictions
$V_{SS} \leq V_{in} \leq V_{DD}$
$V_{SS} \leq V_{out} \leq V_{DD}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD}	Test Conditions	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ#	25°C Max	T_{high}* Min	T_{high}* Max	Unit
SUPPLY REQUIREMENTS (Voltages Referenced to V_{SS})											
Power Supply Voltage Range	V_{DD}	—		3	18	3	—	18	3	18	V
Quiescent Current Per Package (AL Device)	I_{DD}	5	Control Inputs: V_{in} = V_{SS} or V_{DD}, Switch I/O: V_{SS} ≤ $V_{I/O}$ ≤ V_{DD}, and ΔV_{switch} ≤ 500 mV**	—	0.25	—	0.005	0.25	—	7.5	μA
		10		—	0.50	—	0.010	0.50	—	15	
		15		—	1.00	—	0.015	1.00	—	30	
Quiescent Current Per Package (CL/CP Device)	I_{DD}	5	Control Inputs: V_{in} = V_{SS} or V_{DD}, Switch I/O: V_{SS} ≤ $V_{I/O}$ ≤ V_{DD}, and ΔV_{switch} ≤ 500 mV**	—	1.0	—	0.005	1.0	—	7.5	μA
		10		—	2.0	—	0.010	2.0	—	15	
		15		—	4.0	—	0.015	4.0	—	30	
Total Supply Current (Dynamic Plus Quiescent, Per Package)	$I_{D(AV)}$	5	T_A = 25°C only (The channel component, $(V_{in} - V_{out})/R_{on}$, is not included.)	Typical: (0.07 μA/kHz)f + I_{DD}							μA
		10		Typical: (0.20 μA/kHz)f + I_{DD}							
		15		Typical: (0.36 μA/kHz)f + I_{DD}							
CONTROL INPUTS (Voltages Referenced to V_{SS})											
Low-Level Input Voltage	V_{IL}	5	R_{on} = per spec, I_{off} = per spec	—	1.5	—	2.25	1.5	—	1.5	V
		10		—	3.0	—	4.50	3.0	—	3.0	
		15		—	4.0	—	6.75	4.0	—	4.0	
High-Level Input Voltage	V_{IH}	5	R_{on} = per spec, I_{off} = per spec	3.5	—	3.5	2.75	—	3.5	—	V
		10		7.0	—	7.0	5.50	—	7.0	—	
		15		11.0	—	11.0	8.25	—	11.0	—	
Input Leakage Current (AL Device)	I_{in}	15	V_{in} = 0 or V_{DD}	—	±0.1	—	±0.00001	±0.1	—	±1.0	μA
Input Leakage Current (CL/CP Device)	I_{in}	15	V_{in} = 0 or V_{DD}	—	±0.3	—	±0.00001	±0.3	—	±1.0	μA
Input Capacitance	C_{in}	—		—	—	—	5.0	7.5	—	—	pF
SWITCHES IN AND OUT (Voltages Referenced to V_{SS})											
Recommended Peak-to-Peak Voltage Into or Out of the Switch	$V_{I/O}$	—	Channel On or Off	0	V_{DD}	0	—	V_{DD}	0	V_{DD}	V_{p-p}
Recommended Static or Dynamic Voltage Across the Switch** (Figure 1)	ΔV_{switch}	—	Channel On	0	600	0	—	600	0	300	mV
Output Offset Voltage	V_{OO}	—	V_{in} = 0 V, No load	—	—	—	10	—	—	—	μV
ON Resistance (AL Device)	R_{on}	5	ΔV_{switch} ≤ 500 mV**, V_{in} = V_{IL} or V_{IH} (Control), and V_{in} = 0 to V_{DD} (Switch)	—	800	—	250	1050	—	1300	Ω
		10		—	400	—	120	500	—	550	
		15		—	220	—	80	280	—	320	
ON Resistance (CL/CP Device)	R_{on}	5	ΔV_{switch} ≤ 500 mV**, V_{in} = V_{IL} or V_{IH} (Control), and V_{in} = 0 to V_{DD} (Switch)	—	880	—	250	1050	—	1200	Ω
		10		—	450	—	120	500	—	520	
		15		—	250	—	80	280	—	300	
Δ ON Resistance Between Any Two Channels in the Same Package	ΔR_{on}	5		—	70	—	25	70	—	135	Ω
		10		—	50	—	10	50	—	95	
		15		—	45	—	10	45	—	65	
Off-Channel Leakage Current (AL Device) (Figure 6)	I_{off}	15	V_{in} = V_{IL} or V_{IH} (Control) Channel to Channel or Any One Channel	—	±100	—	±0.05	±100	—	±1000	nA
Off-Channel Leakage Current (CL/CP Device) (Figure 6)	I_{off}	15	V_{in} = V_{IL} or V_{IH} (Control) Channel to Channel or Any One Channel	—	±300	—	±0.05	±300	—	±1000	nA
Capacitance, Switch I/O	$C_{I/O}$	—	Switch Off	—	—	—	10	15	—	—	pF
Capacitance, Feedthrough (Switch Off)	$C_{I/O}$	—		—	—	—	0.47	—	—	—	pF

* T_{low} = −55°C for AL Device, −40° for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device

\# Data labeled "Typ" is not to be used for design purposes, but is intended as an indication of the IC's potential performance

** For voltage drops across the switch (ΔV_{switch}) >600 mV (>300 mV at high temperature), excessive V_{DD} current may be drawn; i.e., the current out of the switch may contain both V_{DD} and switch input components. The reliability of the device will be unaffected unless the Maximum Ratings are exceeded. (See first page of this data sheet.)

เอกสารนี้ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

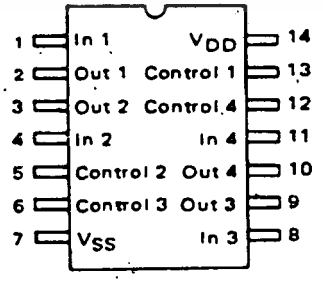
ELECTRICAL CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C unless otherwise noted.)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ #	Max	Unit
Propagation Delay Times (V_{SS} = 0 Vdc)						
Input to Output (R_L = 10 kΩ)	t_{PLH}, t_{PHL}					ns
t_{PLH}, t_{PHL} = (0.17 ns/pF) C_L + 15.5 ns		5.0	—	20	40	
t_{PLH}, t_{PHL} = (0.08 ns/pF) C_L + 6.0 ns		10	—	10	20	
t_{PLH}, t_{PHL} = (0.06 ns/pF) C_L + 4.0 ns		15	—	7.0	15	
Control to Output (R_L = 1 kΩ) (Figure 2)						
Output "1" to High Impedance	t_{PHZ}	5.0	—	40	80	ns
		10	—	35	70	
		15	—	30	60	
Output "0" to High Impedance	t_{PLZ}	5.0	—	40	80	ns
		10	—	35	70	
		15	—	30	60	
High Impedance to Output "1"	t_{PZH}	5.0	—	60	120	ns
		10	—	20	40	
		15	—	15	30	
High Impedance to Output "0"	t_{PZL}	5.0	—	60	120	ns
		10	—	20	40	
		15	—	15	30	
Second Harmonic Distortion (V_{SS} = −5 Vdc) (V_{in} = 1.77 Vdc, RMS Centered @ 0.0 Vdc, R_L = 10 kΩ, f = 1.0 kHz)	—	5.0	—	0.1	—	%
Bandwidth (Switch ON) (Figure 3) (V_{SS} = −5 Vdc) (R_L = 1 kΩ, 20 Log $\frac{V_{out}}{V_{in}}$ = −3 dB, C_L = 50 pF, V_{in} = 5 V_{p-p})	—	5.0	—	65	—	MHz
Feedthrough Attenuation (Switch OFF) (V_{SS} = −5 Vdc) (V_{in} = 5 V_{p-p}, R_L = 1 kΩ, f_{in} = 1.0 MHz) (Figure 3)	—	5.0	—	−50	—	dB
Channel Separation (Figure 4) (V_{SS} = −5 Vdc) (V_{in} = 5 V_{p-p}, R_L = 1 kΩ, f_{in} = 8.0 MHz) (Switch A ON, Switch B OFF)	—	5.0	—	−50	—	dB
Crosstalk, Control Input to Signal Output (Figure 5) (V_{SS} = −5 Vdc) (R_1 = 1 kΩ, R_L = 10 kΩ, Control t_{TLH} = t_{THL} = 20 ns)	—	5.0	—	300	—	mV_{p-p}

*The formulas given are for the typical characteristics only at 25°C.
#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS

FIGURE 1 — ΔV ACROSS SWITCH

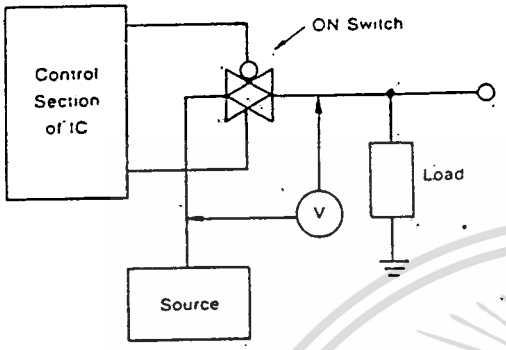


FIGURE 2 — TURN-ON DELAY TIME TEST CIRCUIT AND WAVEFORMS

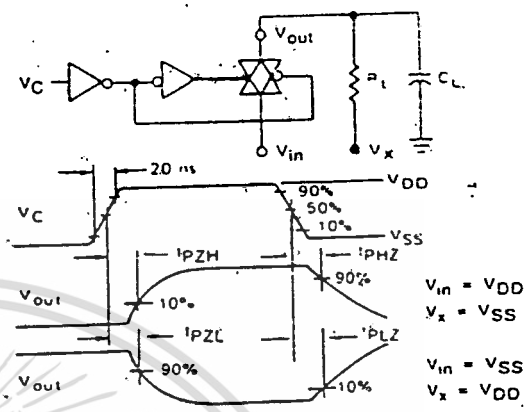


FIGURE 3 — BANDWIDTH AND FEEDTHROUGH ATTENUATION

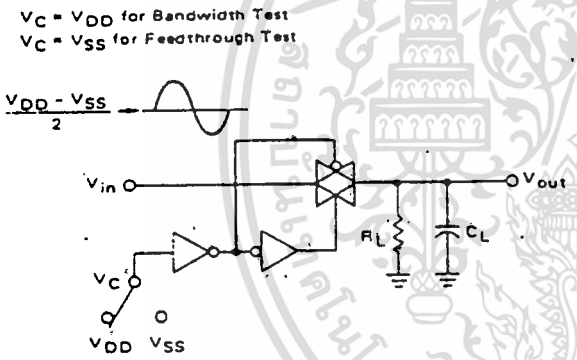


FIGURE 4 — CHANNEL SEPARATION

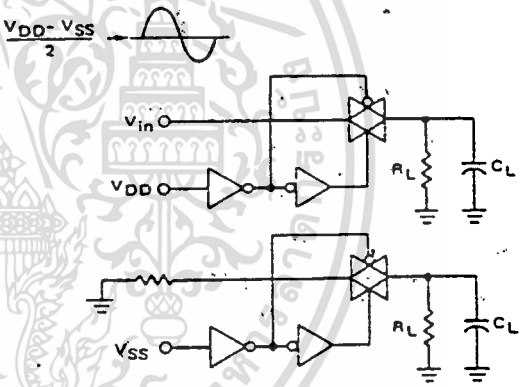


FIGURE 5 — CROSSTALK, CONTROL TO OUTPUT

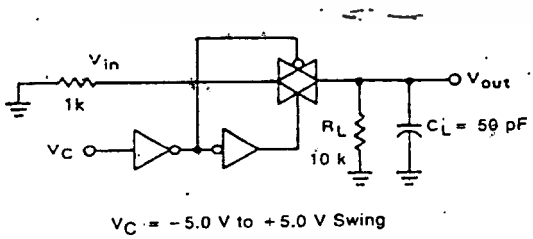
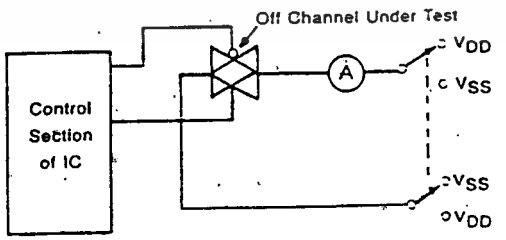
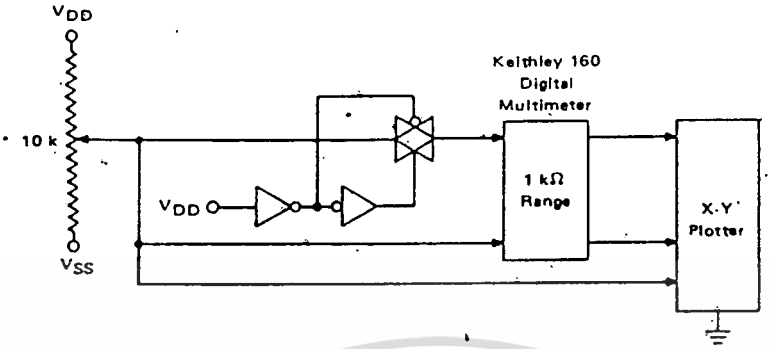


FIGURE 6 — OFF CHANNEL LEAKAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 7 – CHANNEL RESISTANCE (R_{ON}) TEST CIRCUIT



TYPICAL RESISTANCE CHARACTERISTICS

FIGURE 8 – V_{DD} = 7.5 V, V_{SS} = -7.5 V

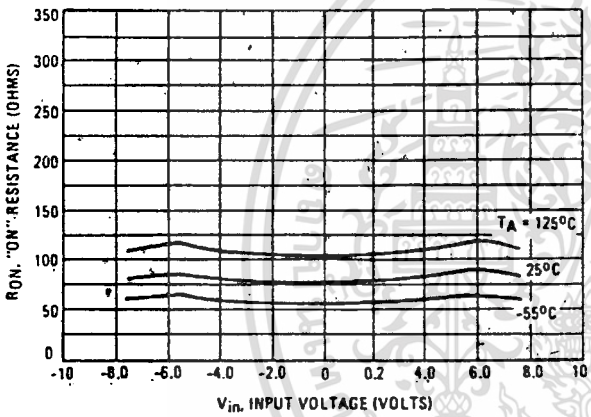


FIGURE 9 – V_{DD} = 5.0 V, V_{SS} = -5.0 V

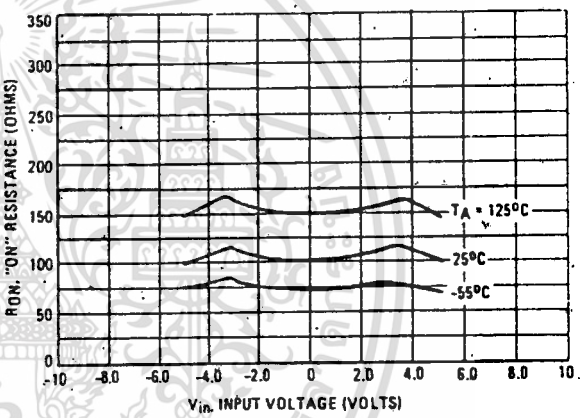


FIGURE 10 – V_{DD} = 2.5 V, V_{SS} = -2.5 V

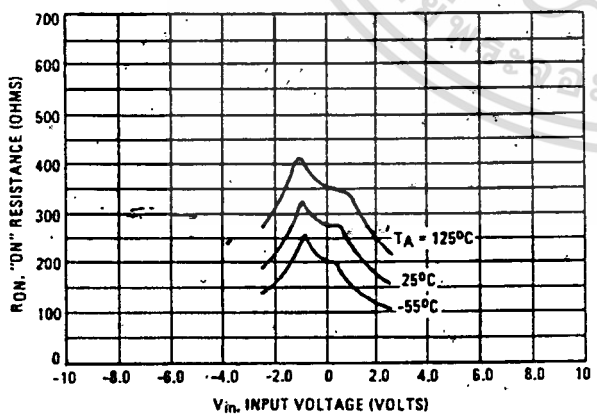
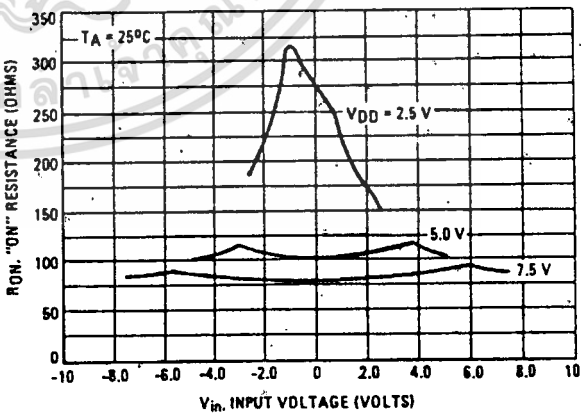


FIGURE 11 – COMPARISON AT 25°C, V_{DD} = -V_{SS}



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

Figure A illustrates use of the Analog Switch. The 0-to-5 volt digital control signal is used to directly control a 5 volt peak-to-peak analog signal.

The digital control logic levels are determined by V_{DD} and V_{SS}. The V_{DD} voltage is the logic high voltage; the V_{SS} voltage is logic low. For the example, V_{DD} = +5 V = logic high at the control inputs; V_{SS} = GND = 0 V = logic low.

The maximum analog signal level is determined by V_{DD} and V_{SS}. The analog voltage must not swing higher than V_{DD} or lower than V_{SS}.

The example shows a 5 volt peak-to-peak signal which allows no margin at either peak. If voltage transients above V_{DD} and/or below V_{SS} are anticipated on the analog channels, external diodes (D_X) are recommended as shown in Figure B. These diodes should be small signal types able to absorb the maximum anticipated current surges during clipping.

The *absolute* maximum potential difference between V_{DD} and V_{SS} is 18.0 volts. Most parameters are specified up to 15 volts which is the *recommended* maximum difference between V_{DD} and V_{SS}.

FIGURE A — APPLICATION EXAMPLE

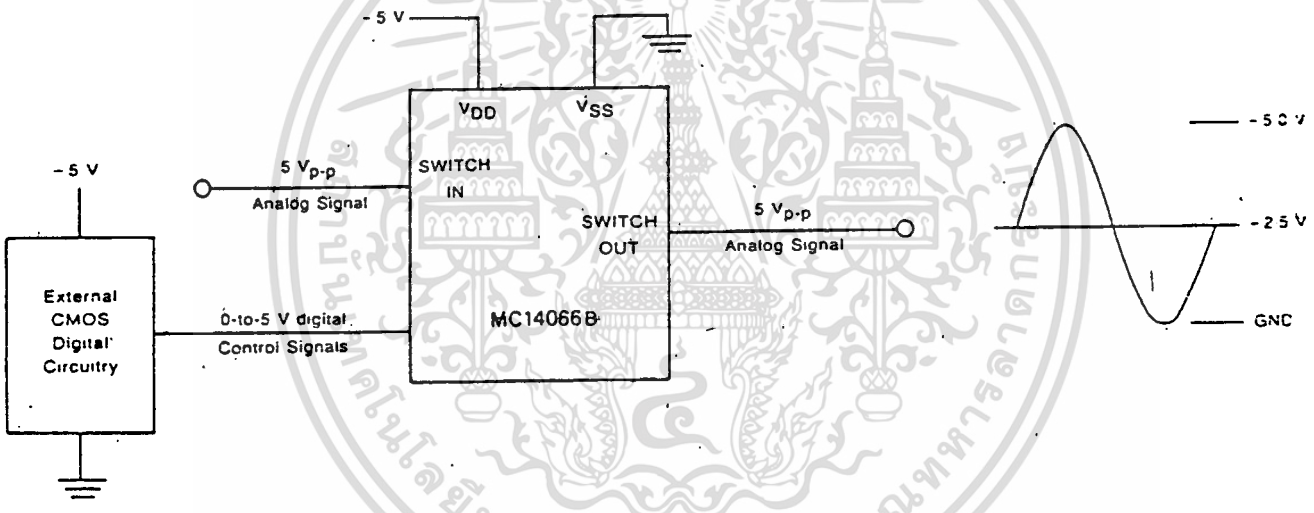
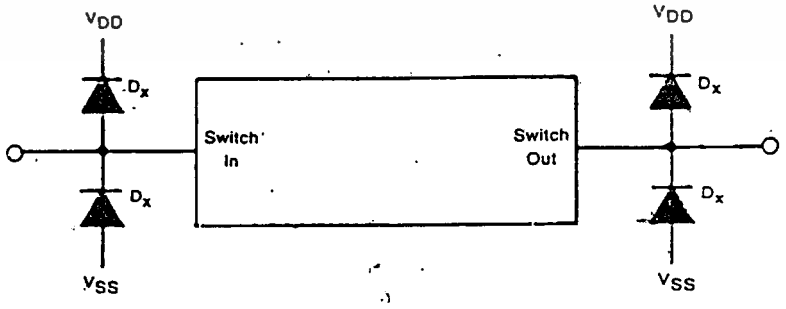


FIGURE B — EXTERNAL GERMANIUM OR SCHOTTKY CLIPPING DIODES



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

DM74LS221 Dual Non-Retriggerable One-Shot with Clear and Complementary Outputs

General Description

The DM74LS221 is a dual monostable multivibrator with Schmitt-trigger input. Each device has three inputs permitting the choice of either leading-edge or trailing-edge triggering. Pin (A) is an active-low trigger transition input and pin (B) is an active-high transition Schmitt-trigger input that allows jitter free triggering for inputs with transition rates as slow as 1 volt/second. This provides the input with excellent noise immunity. Additionally an internal latching circuit at the input stage also provides a high immunity to V_{CC} noise. The clear (CLR) input can terminate the output pulse at a predetermined time independent of the timing components. This (CLR) input also serves as a trigger input when it is pulsed with a low level pulse transition (⊓⊔). To obtain the best and trouble free operation from this device please read operating rules as well as the NSC one-shot application notes carefully and observe recommendations.

Features

- A dual, highly stable one-shot
- Compensated for V_{CC} and temperature variations
- Pin-out identical to 'LS123 (Note 1)
- Output pulse width range from 30 ns to 70 seconds
- Hysteresis provided at (B) input for added noise immunity
- Direct reset terminates output pulse
- Triggerable from CLEAR input
- DTL, TTL compatible
- Input clamp diodes

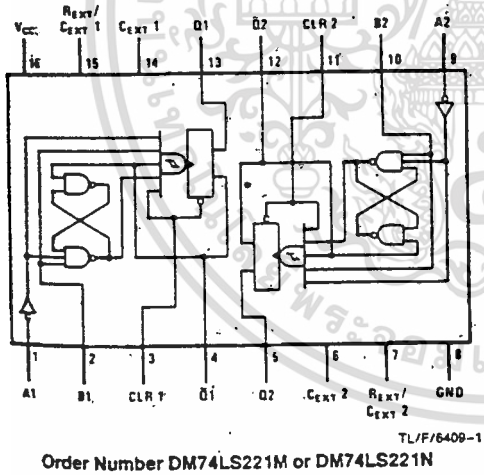
Note 1: The pin-out is identical to 'LS123 but, functionally it is not; refer to Operating Rules # 10 in this datasheet.

Functional Description

The basic output pulse width is determined by selection of an external resistor (R_X) and capacitor (C_X). Once triggered, the basic pulse width is independent of further input transitions and is a function of the timing components, or it may be reduced or terminated by use of the active low CLEAR input. Stable output pulse width ranging from 30 ns to 70 seconds is readily obtainable.

Connection Diagram

Dual-In-Line Package



TL/F/6409–1

Order Number DM74LS221M or DM74LS221N
See NS Package Number M16A or N16A

Function Table

Inputs			Outputs	
CLEAR	A	B	Q	$\overline{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⊓⊔	⊔⊓
H	↓	H	⊓⊔	⊔⊓
↑	L	H	⊓⊔	⊔⊓

H = High Logic Level

L = Low Logic Level

X = Can Be Either Low or High

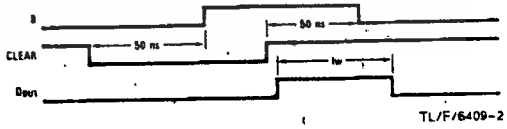
↑ = Positive Going Transition

↓ = Negative Going Transition

⊓⊔ = A Positive Pulse

⊔⊓ = A Negative Pulse

*This mode of triggering requires first the B input be set from a low to high level while the CLEAR input is maintained at logic low level. Then with the B input at logic high level, the CLEAR input whose positive transition from low to high will trigger an output pulse.



TL/F/6409–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter		DM74LS221 Min	DM74LS221 Nom	DM74LS221 Max	Units
V_{CC}	Supply Voltage		4.75	5	5.25	V
V_{T+}	Positive-Going Input Threshold Voltage at the A Input (V_{CC} = Min)			1	2	V
V_{T-}	Negative-Going Input Threshold Voltage at the A Input (V_{CC} = Min)		0.8	1		V
V_{T+}	Positive-Going Input Threshold Voltage at the B Input (V_{CC} = Min)			1	2	V
V_{T-}	Negative-Going Input Threshold Voltage at the B Input (V_{CC} = Min)		0.8	0.9		V
I_{OH}	High Level Output Current				−0.4	mA
I_{OL}	Low Level Output Current				8	mA
t_W	Pulse Width (Note 1)	Data	40			ns
		Clear	40			
t_{REL}	Clear Release Time (Note 1)		15			ns
$\frac{dV}{dt}$	Rate of Rise or Fall of Schmitt Input (B) (Note 1)				1	$\frac{V}{s}$
$\frac{dV}{dt}$	Rate of Rise or Fall of Logic Input (A) (Note 1)				1	$\frac{V}{\mu s}$
R_{EXT}	External Timing Resistor (Note 1)		1.4		100	kΩ
C_{EXT}	External Timing Capacitance (Note 1)		0		1000	μF
DC	Duty Cycle (Note 1)	R_T = 2 kΩ			50	%
		$R_T = R_{EXT}$ (Max)			60	
T_A	Free Air Operating Temperature		0		70	°C

Note 1: T_A = 25°C and V_{CC} = 5V.

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA			−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	2.7	3.4		V
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min		0.35	0.5	V
		V_{CC} = Min, I_{OL} = 4 mA			0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V			0.1	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted) (Continued)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V	A1, A2			−0.4	mA
			B			−0.8	
			Clear			−0.8	
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)		−20		−100	mA
I_{CC}	Supply Current	V_{CC} = Max	Quiescent		4.7	11	mA
			Triggered		19	27	

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	Conditions	Min	Max	Units
t_{PLH}	Propagation Delay Time Low to High Level Output	A1, A2 to Q	C_{EXT} = 80 pF, R_{EXT} = 2 kΩ, C_L = 15 pF, R_L = 2 kΩ		70	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q			55	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A1, A2 to Q			80	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to $\overline{Q}$			65	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	Clear to $\overline{Q}$			65	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	Clear to Q			55	ns
$t_{W(out)}$	Output Pulse Width Using Zero Timing Capacitance	A1, A2 to Q, $\overline{Q}$	C_{EXT} = 0, R_{EXT} = 2 kΩ, R_L = 2 kΩ, C_L = 15 pF	20	70	ns
$t_{W(out)}$	Output Pulse Width Using External Timing Resistor	A1, A2 to Q, $\overline{Q}$	C_{EXT} = 100 pF, R_{EXT} = 10 kΩ, R_L = 2 kΩ, C_L = 15 pF	600	750	ns
			C_{EXT} = 1 μF, R_{EXT} = 10 kΩ, R_L = 2 kΩ, C_L = 15 pF	6	7.5	ms
			C_{EXT} = 80 pF, R_{EXT} = 2 kΩ, R_L = 2 kΩ, C_L = 15 pF	70	150	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Rules

1. An external resistor (R_X) and an external capacitor (C_X) are required for proper operation. The value of C_X may vary from 0 to approximately 1000 μF. For small time constants high-grade mica, glass, polypropylene, polycarbonate, or polystyrene material capacitor may be used. For large time constants use tantalum or special aluminum capacitors. If timing capacitor has leakages approaching 100 nA or if stray capacitance from either terminal to ground is greater than 50 pF the timing equations may not represent the pulse width the device generates.
2. When an electrolytic capacitor is used for C_X a switching diode is often required for standard TTL one-shots to prevent high inverse leakage current. This switching diode is not needed for the 'LS221 one-shot and should not be used.
3. For $C_X >> 1000$ pF, the output pulse width (T_W) is defined as follows:

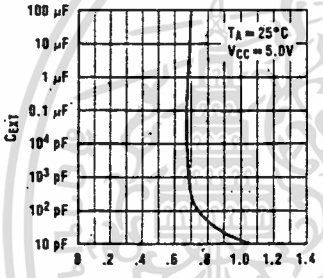
   $T_W = KR_X C_X$

   where [R_X is in kΩ]

   [C_X is in pF]

   [T_W is in ns]

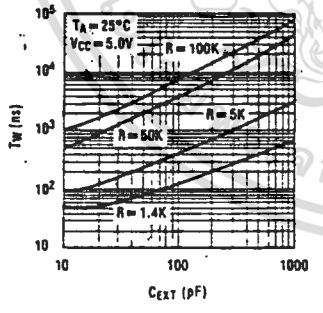
   $K \approx Ln2 = 0.70$
4. The multiplicative factor K is plotted as a function of C_X below for design considerations:



TL/F/6409–3

FIGURE 1

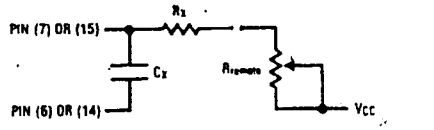
5. For $C_X < 1000$ pF see *Figure 2* for T_W vs C_X family curves with R_X as a parameter:



TL/F/6409–4

FIGURE 2

6. To obtain variable pulse widths by remote trimming, the following circuit is recommended:

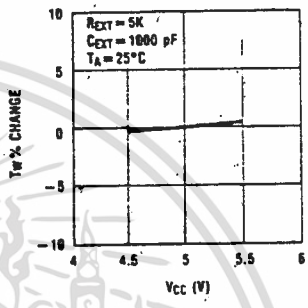


TL/F/6409–5

Note: "R_{remote}" should be as close to the one-shot as possible.

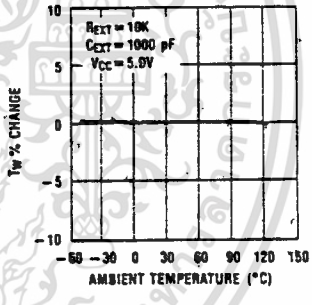
FIGURE 3

7. Output pulse width versus V_{CC} and temperatures: *Figure 4* depicts the relationship between pulse width variation versus V_{CC}. *Figure 5* depicts pulse width variation versus temperatures.



TL/F/6409–6

FIGURE 4



TL/F/6409–7

FIGURE 5

8. Duty cycle is defined as $T_W/T \times 100$ in percentage, if it goes above 50% the output pulse width will become shorter. If the duty cycle varies between low and high values, this causes output pulse width to vary, or jitter (a function of the R_{EXT} only). To reduce jitter, R_{EXT} should be as large as possible, for example, with $R_{EXT} = 100k$ jitter is not appreciable until the duty cycle approaches 90%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Rules (Continued)

9. Under any operating condition C_X and R_X must be kept as close to the one-shot device pins as possible to minimize stray capacitance, to reduce noise pick-up, and to reduce I-R and Ldi/dt voltage developed along their connecting paths. If the lead length from C_X to pins (6) and (7) or pins (14) and (15) is greater than 3 cm, for example, the output pulse width might be quite different from values predicted from the appropriate equations. A non-inductive and low capacitive path is necessary to ensure complete discharge of C_X in each cycle of its operation so that the output pulse width will be accurate.
10. Although the 'LS221's pin-out is identical to the 'LS123 it should be remembered that they are not functionally identical. The 'LS123 is a retriggerable device such that the output is dependent upon the input transitions when its output "Q" is at the "High" state. Furthermore, it is recommended for the 'LS123 to externally ground the C_{EXT} pin for improved system performance. However, this pin on the 'LS221 is not an internal connection to the device ground. Hence, if substitution of an 'LS221 onto an 'LS123 design layout where the C_{EXT} pin is wired to the ground, the device will not function.
11. V_{CC} and ground wiring should conform to good high-frequency standards and practices so that switching transients on the V_{CC} and ground return leads do not cause interaction between one-shots. A 0.01 μF to 0.10 μF bypass capacitor (disk ceramic or monolithic type) from V_{CC} to ground is necessary on each device. Furthermore, the bypass capacitor should be located as close to the V_{CC} pin as space permits.

For further detailed device characteristics and output performance, please refer to the NSC one-shot application note AN-366.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

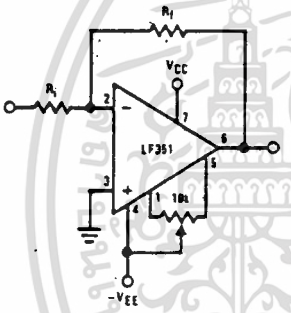
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

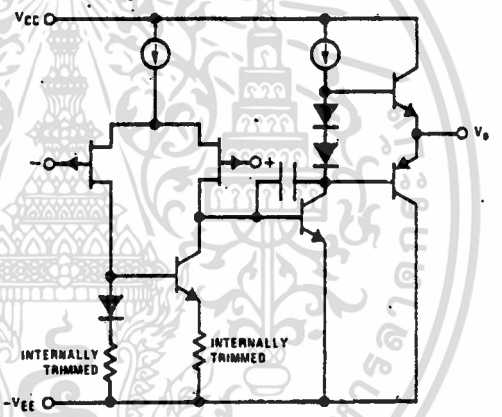
Features

■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/$\sqrt{Hz}$
■ Low input noise current	0.01 pA/$\sqrt{Hz}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection

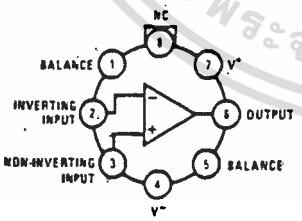


Simplified Schematic



Connection Diagrams (Top Views)

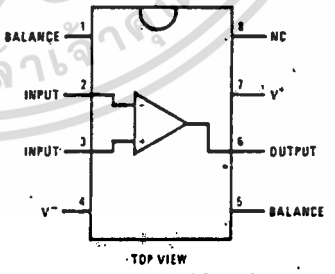
Metal Can Package



Note. Pin 4 connected to case.

Order Number LF351H
See NS Package Number H08C

Dual-In-Line Package



TOP VIEW

Order Number LF351J, LF351M or LF351N
See NS Package Number J08A, M08A or N08E

TL/H/5648-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C

	H Package	N Package
θ_{jA}	164°C/W (Still Air)	120°C/W
	66°C/W (400 LF/min Air Flow)	
θ_{jC}	21°C/W	

Soldering Information

Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 10\ k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10\ k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2\ k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10\ k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10\ k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		nV/$\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, $f = 1000$ Hz		0.01		pA/$\sqrt{Hz}$

Note 1: For operating at elevated temperature, this device must be derated based on the thermal resistance, θ_{JA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq -70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A - \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

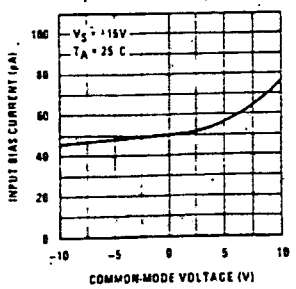
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From $\pm 15V$ to $\pm 5V$.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

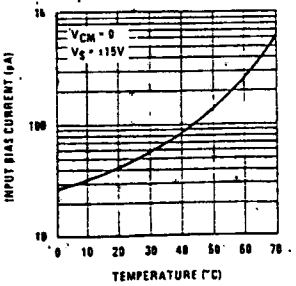
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

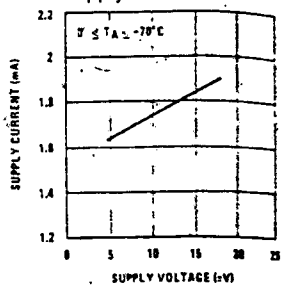
Input Bias Current



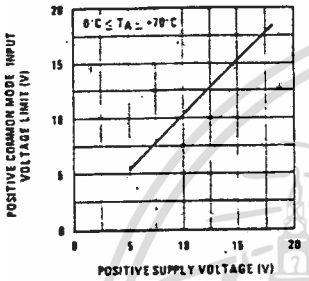
Input Bias Current



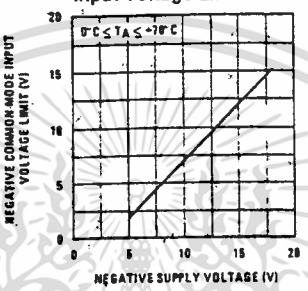
Supply Current



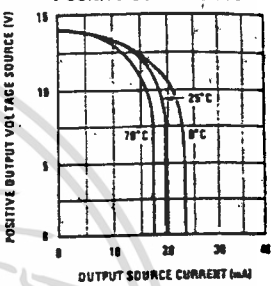
Positive Common-Mode Input Voltage Limit



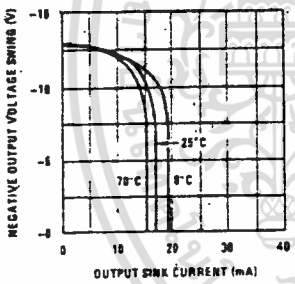
Negative Common-Mode Input Voltage Limit



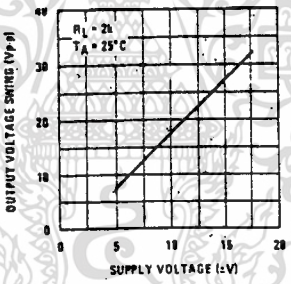
Positive Current Limit



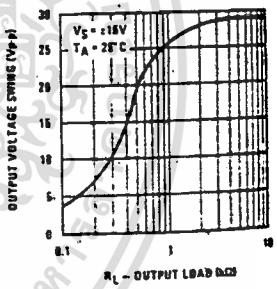
Negative Current Limit



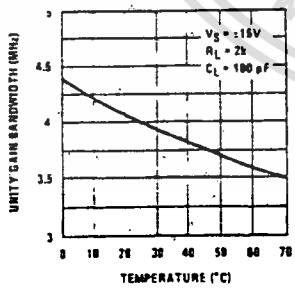
Voltage Swing



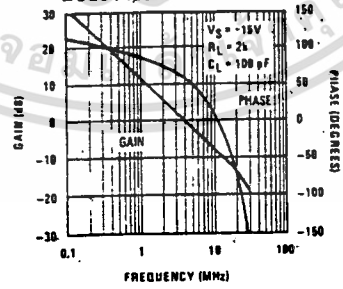
Output Voltage Swing



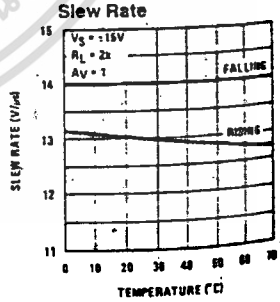
Gain Bandwidth



Bode Plot



Slew Rate

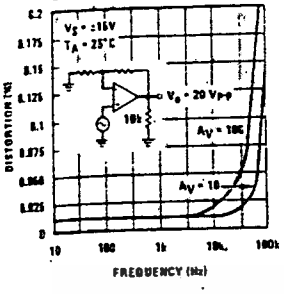


TL/H/5

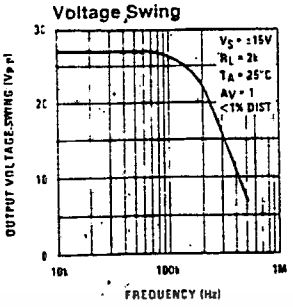
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

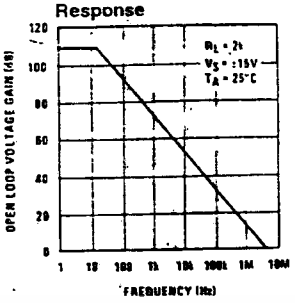
Distortion vs Frequency



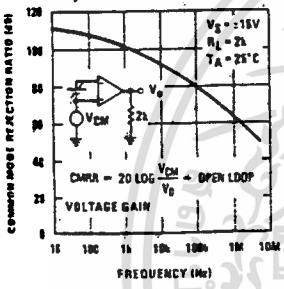
Undistorted Output Voltage Swing



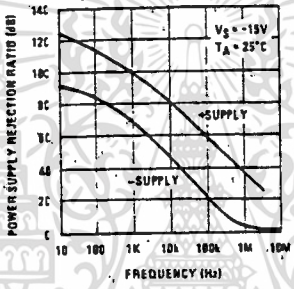
Open Loop Frequency Response



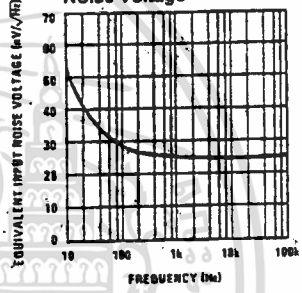
Common-Mode Rejection Ratio



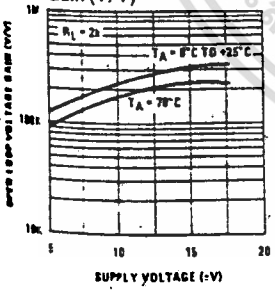
Power Supply Rejection Ratio



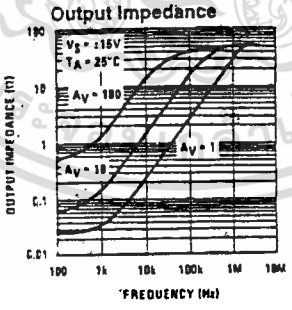
Equivalent Input Noise Voltage



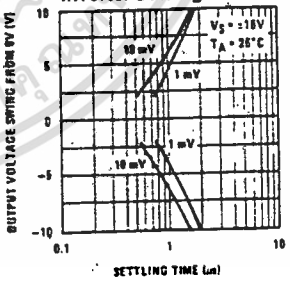
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

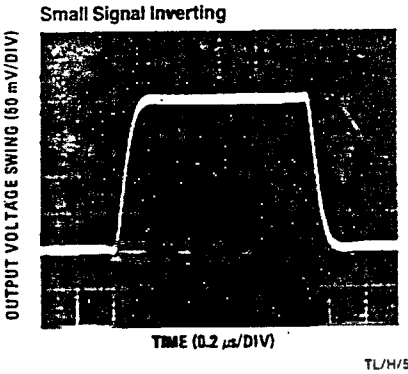


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

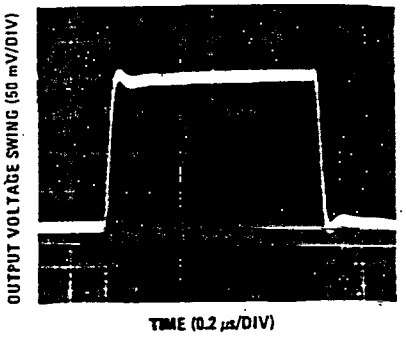
Pulse Response

Small Signal Inverting



TL/H/5648–4

Small Signal Non-Inverting



TL/H/5648–5

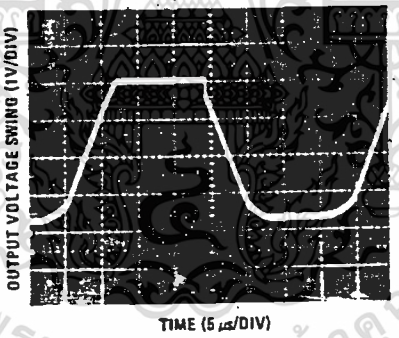
Large Signal Inverting

TL/H/5648–6

Large Signal Non-Inverting

TL/H/5648–7

Current Limit (R_L = 100Ω)



TL/H/5648–8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

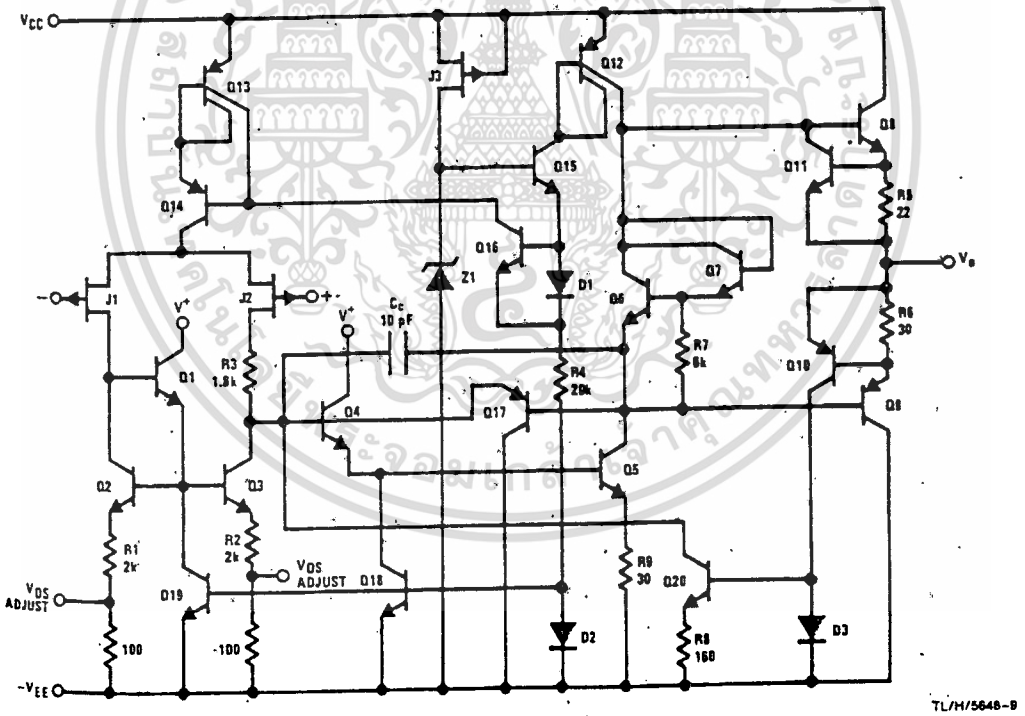
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity, or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

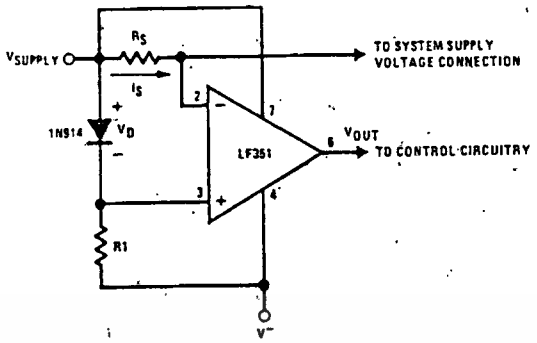


TL/H/5648–9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

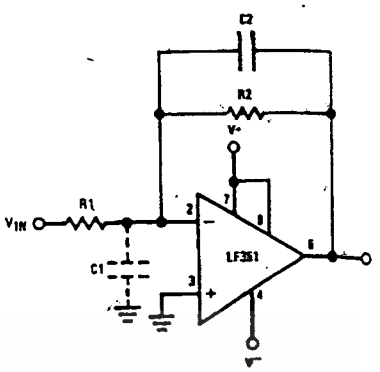
Typical Applications

Supply Current Indicator/Limiter



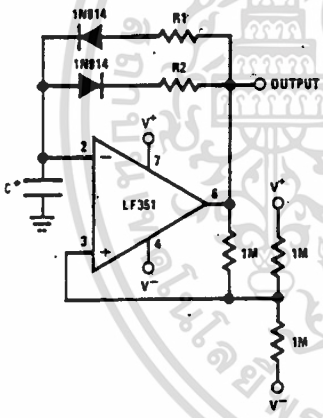
• V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that: R2C2 = R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



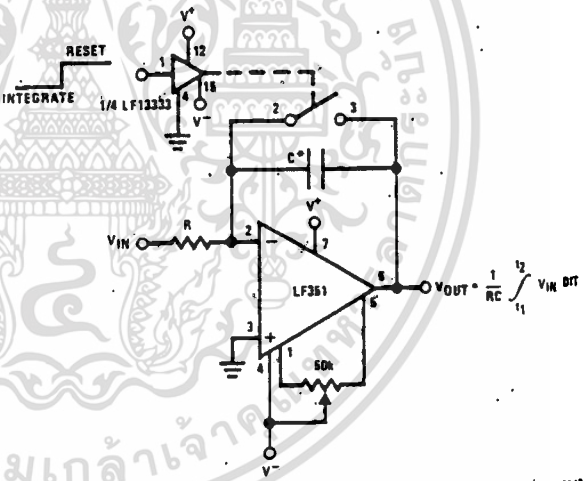
• $t_{OUTPUT\ HIGH} \approx R1C\ \ell n \frac{4.8 - 2V_S}{4.8 - V_S}$

• $t_{OUTPUT\ LOW} \approx R2C\ \ell n \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



TL/H/5648-8

*Low leakage capacitor

• 50k pot used for less sensitive V_{OS} adjust

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC54/74HC164

8-Bit Serial-Input/Parallel-Output Shift Register

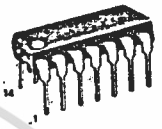
High-Performance Silicon-Gate CMOS

The MC54/74HC164 is identical in pinout to the LS164. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The MC54/74HC164 is an 8-bit, serial-input to parallel-output shift register. Two serial data inputs, A1 and A2, are provided so that one input may be used as a data enable. Data is entered on each rising edge of the clock. The active-low asynchronous Reset overrides the Clock and Serial Data inputs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 244 FETs or 61 Equivalent Gates

J SUFFIX
CERAMIC
CASE 632-08



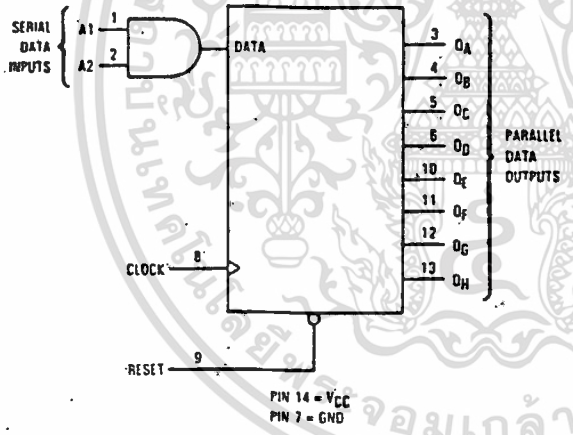
N SUFFIX
PLASTIC
CASE 646-06

ORDERING INFORMATION

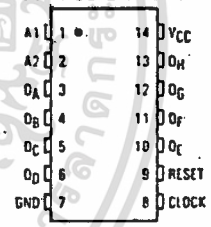
MC74HCXXXN	Plastic
MC54HCXXXJ	Ceramic

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 6.

LOGIC DIAGRAM



PIN ASSIGNMENT



FUNCTION TABLE

Inputs				Outputs
Reset	Clock	A1	A2	Q_A Q_B . . . Q_H
L	X	X	X	L L . . . L
H	⌇	X	X	no change
H	⌇	H	D	D Q_{An} . . . Q_{Gn}
H	⌇	D	H	D Q_{An} . . . Q_{Gn}

D = data input
Q_{An} - Q_{Gn} = data shifted from the previous stage on a rising edge at the clock input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1.mm from Case for 10 Seconds (Plastic DIP) (Ceramic DIP)	260 300	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C

For high frequency or heavy load considerations, see Chapter 4.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit 25°C to –55°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\| \le 20$ μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\| \le 20$ μA	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20$ μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 4.0$ mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\| \le 5.2$ mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20$ μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 4.0$ mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\| \le 5.2$ mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 4)	2.0	6.0	4.8	4.0	MHz
		4.5	30	24	20	
		6.0	35	28	24	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q (Figures 1 and 4)	2.0	175	220	265	ns
		4.5	35	44	53	
		6.0	30	37	45	
t_{PHL}	Maximum Propagation Delay, Reset to Q (Figures 2 and 4)	2.0	205	255	310	ns
		4.5	41	51	62	
		6.0	35	43	53	
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 4)	2.0	75	95	110	ns
		4.5	15	19	22	
		6.0	13	16	19	
C_{in}	Maximum Input Capacitance	–	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Package) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ For load considerations, see Chapter 4.	Typical @ 25°C, V_{CC} = 5.0 V	pF
		140	

TIMING REQUIREMENTS (Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{su}	Minimum Setup Time, A1 or A2 to Clock (Figure 3)	2.0	50	65	75	ns
		4.5	10	13	15	
		6.0	9	11	13	
t_h	Minimum Hold Time, Clock to A1 or A2 (Figure 3)	2.0	5	5	5	ns
		4.5	5	5	5	
		6.0	5	5	5	
t_{rec}	Minimum Recovery Time, Reset Inactive to Clock (Figure 2)	2.0	5	5	5	ns
		4.5	5	5	5	
		6.0	5	5	5	
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0	80	100	120	ns
		4.5	16	20	24	
		6.0	14	17	20	
t_w	Minimum Pulse Width, Reset (Figure 2)	2.0	80	100	120	ns
		4.5	16	20	24	
		6.0	14	17	20	
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0	1000	1000	1000	ns
		4.5	500	500	500	
		6.0	400	400	400	

NOTE: Information on typical parametric values can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

INPUTS

A1, A2 (PINS 1, 2) — Serial Data Inputs. Data at these inputs determine the data to be entered into the first stage of the shift register. For a high level to be entered into the shift register, both A1 and A2 inputs must be high, thereby allowing one input to be used as a data-enable input. When only one serial input is used, the other must be connected to V_{CC}.

CLOCK (PIN 8) — Shift Register Clock. A positive-going transition on this pin shifts the data at each stage to the next stage. The shift register is completely static, allowing clock rates down to DC in a continuous or intermittent mode.

OUTPUTS

Q_A — Q_H (PINS 3, 4, 5, 6, 10, 11, 12, 13) — Parallel Shift Register Outputs. The shifted data is presented at these outputs in true, or noninverted, form.

CONTROL INPUT

RESET (PIN 9) — Active-Low, Asynchronous Reset Input. A low voltage applied to this input resets all internal flip-flops and sets outputs Q_A — Q_H to the low level state.

SWITCHING WAVEFORMS

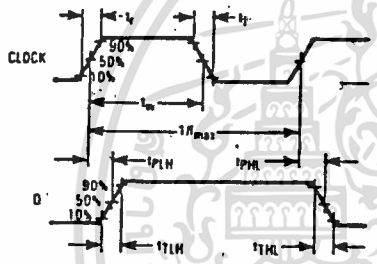


Figure 1

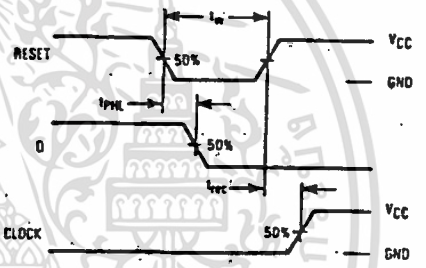


Figure 2

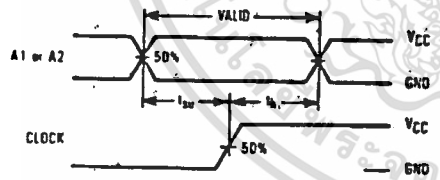
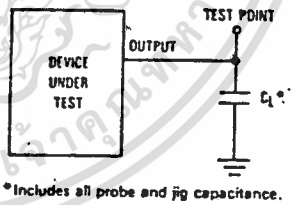


Figure 3

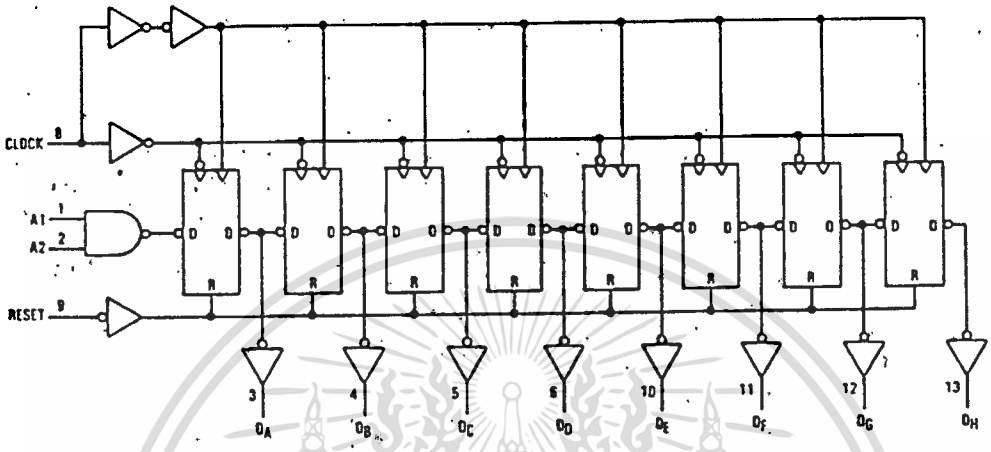


*Includes all probe and jig capacitance.

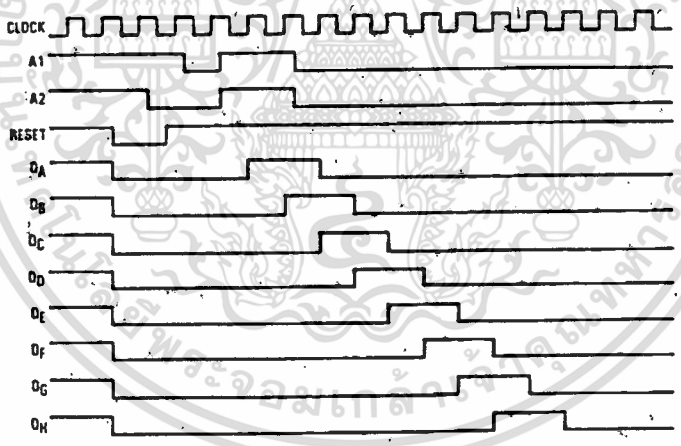
Figure 4. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPANDED LOGIC DIAGRAM



TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

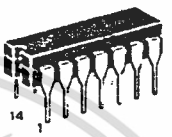
MC1496
MC1596

BALANCED MODULATOR/DEMODULATOR

BALANCED MODULATOR/ DEMODULATOR

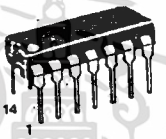
These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression — 65 dB typ @ 0.5 MHz
  — 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection — 85 dB typ



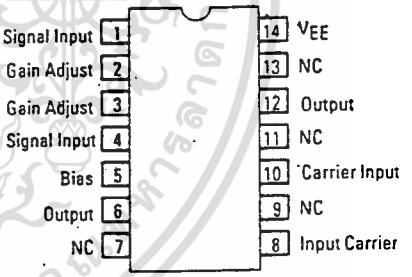
L SUFFIX
CERAMIC PACKAGE
CASE 632

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)



P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN ASSIGNMENTS



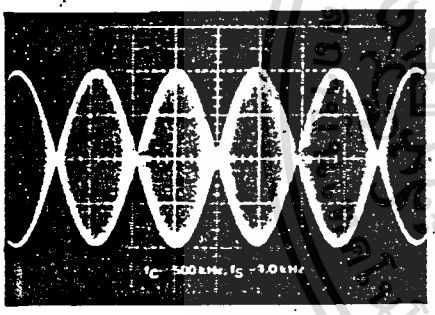


FIGURE 1 – SUPPRESSED CARRIER OUTPUT WAVEFORM

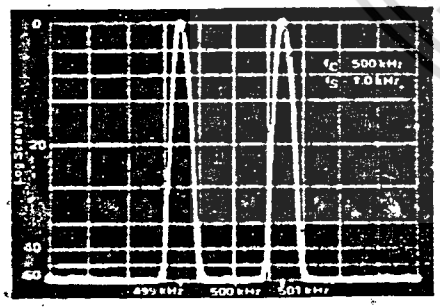


FIGURE 2 – SUPPRESSED CARRIER SPECTRUM

ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596L	–55°C to +125°C	Ceramic DIP

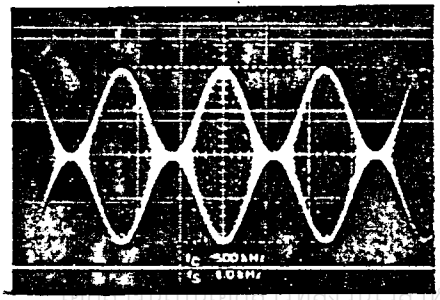


FIGURE 3 – AMPLITUDE-MODULATION OUTPUT WAVEFORM

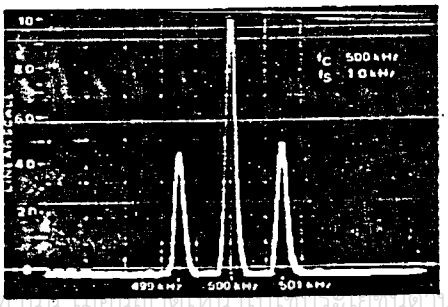


FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_6 - V_8$, $V_{10} - V_1$, $V_{12} - V_8$, $V_{12} - V_{10}$, $V_8 - V_4$, $V_8 - V_1$, $V_{10} - V_4$, $V_6 - V_{10}$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_8 - V_{10}$ $V_4 - V_1$	+5.0 $\pm(5 + I_5R_e)$	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C, all input and output characteristics are single-ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough	5	1	V_{CFT}							μV(rms)
V_C = 60 mV(rms) sine wave and f_C = 1.0 kHz				—	40	—	—	40	—	
offset adjusted to zero f_C = 10 MHz				—	140	—	—	140	—	
V_C = 300 mVp-p square wave:										mV(rms)
offset adjusted to zero f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	
offset not adjusted f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression	5	2	V_{CS}							dB
f_S = 10 kHz, 300 mV(rms)										
f_C = 500 kHz, 60 mV(rms) sine wave				50	65	—	40	65	—	
f_C = 10 MHz, 60 mV(rms) sine wave				—	50	—	—	50	—	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms)	8	8	BW_{3dB}							MHz
Carrier Input Port, V_C = 60 mV(rms) sine wave				—	300	—	—	300	—	
f_S = 1.0 kHz, 300 mV(rms) sine wave										
Signal Input Port, V_S = 300 mV(rms) sine wave				—	80	—	—	80	—	
$\|V_C\|$ = 0.5 Vdc										
Signal Gain	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
V_S = 100 mV(rms), f = 1.0 kHz; $\|V_C\|$ = 0.5 Vdc										
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz	6	—								
Parallel Input Resistance			r_{ip}	—	200	—	—	200	—	kΩ
Parallel Input Capacitance			c_{ip}	—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz	6	—								
Parallel Output Resistance			r_{op}	—	40	—	—	40	—	kΩ
Parallel Output Capacitance			c_{oo}	—	5.0	—	—	5.0	—	pF
Input Bias Current	7	—								μA
$I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_8 + I_{10}}{2}$			I_{bS} I_{bC}	— —	12 12	25 25	— —	12 12	30 30	
Input Offset Current	7	—								μA
$I_{ioS} = I_1 - I_4$; $I_{ioC} = I_8 - I_{10}$			$\|I_{ioS}\|$ $\|I_{ioC}\|$	— —	0.7 0.7	5.0 5.0	— —	0.7 0.7	7.0 7.0	
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)	7	—	$\|TC_{Iio}\|$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_6 - I_9$)	7	—	$\|I_{oo}\|$	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)	7	—	$\|TC_{Ioo}\|$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_C\|$ = 0.5 Vdc	9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current	7	6								mAdc
$I_6 + I_{12}$			I_{CC}	—	2.0	3.0	—	2.0	4.0	
I_{14}			I_{EE}	—	3.0	4.0	—	3.0	5.0	
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5.

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_{12} \approx V_6$, $I_5 = I_6 = I_{12}$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{14}) + I_5 V_5 - V_{14}$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_{12}.$$

$$I_B << I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V^- - \phi}{I_5} - 500\ \Omega$$ where: R_5 is the resistor between pin 5 and ground

ϕ = 0.75 V at T_A = +25°C

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_{12} = V^+ - I_5 R_L$$

Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table:

$$30 \text{ Vdc} \geq [(V_6, V_{12}) - (V_8, V_{10})] \geq 2 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_8, V_{10}) - (V_1, V_4)] \geq 2.7 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7 \text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_{12},\ V_8 = V_{10},\ V_1 = V_4$$

Bias currents flowing into pins 1, 4, 8, and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21C} = \left. \frac{i_o \text{ (each sideband)}}{v_s \text{ (signal)}} \right| V_o = 0$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21S} = \left. \frac{i_o \text{ (signal)}}{v_s \text{ (signal)}} \right| V_C = 0.5 \text{ Vdc}, V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

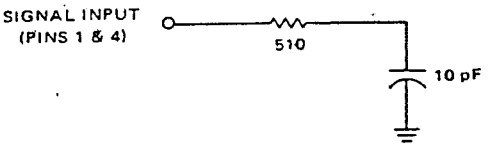
The output signal is taken from Pins 6 and 12 either balanced or single-ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION

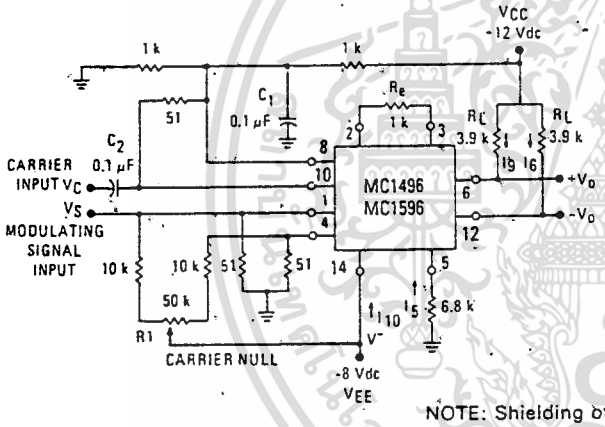
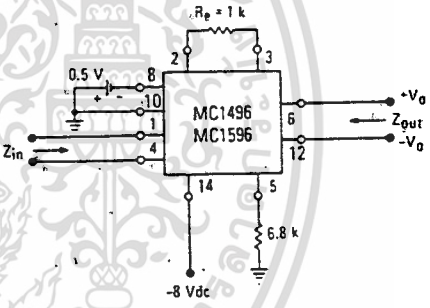


FIGURE 6 – INPUT-OUTPUT IMPEDANCE



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 7 – BIAS AND OFFSET CURRENTS

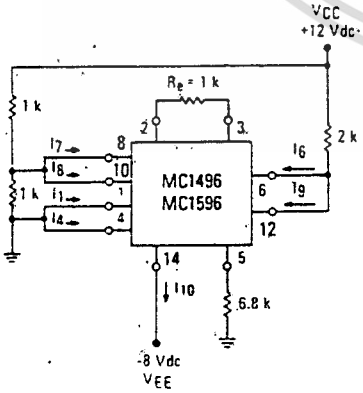
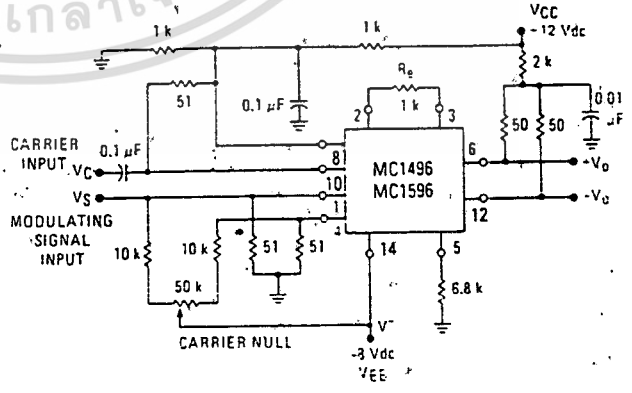


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 9 – COMMON MODE GAIN

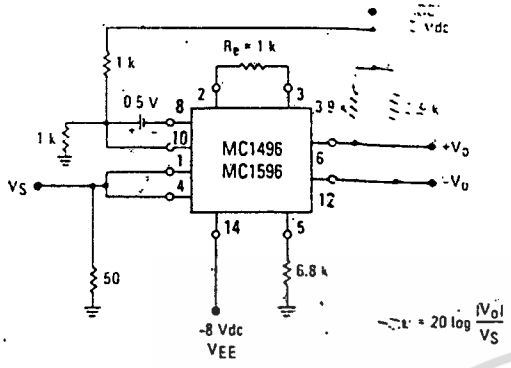
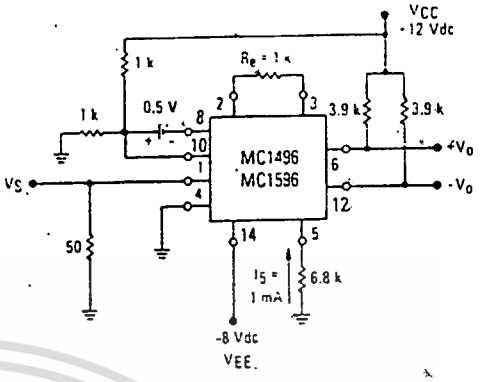


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

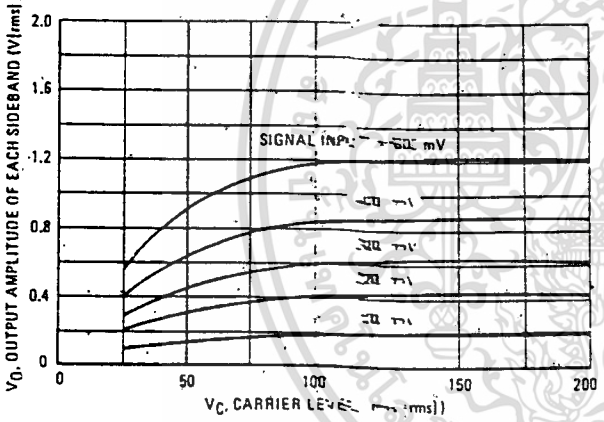


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

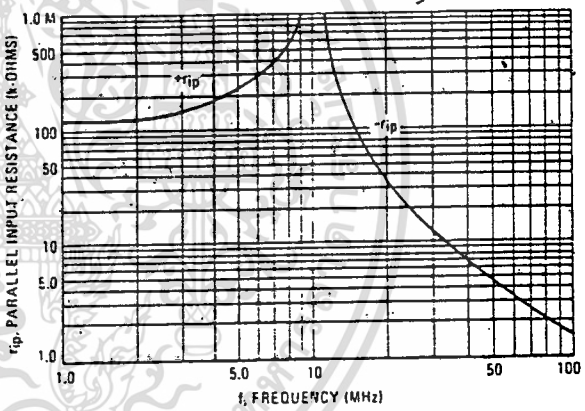


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

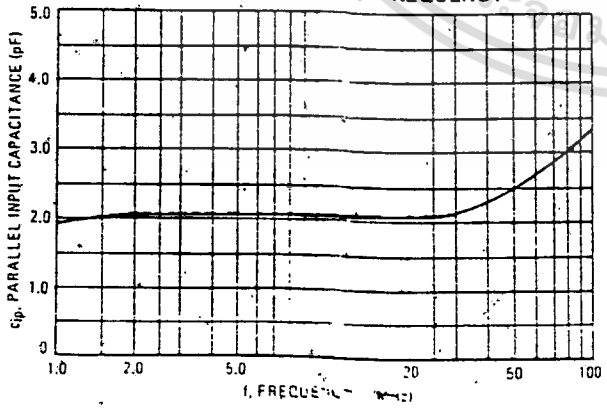
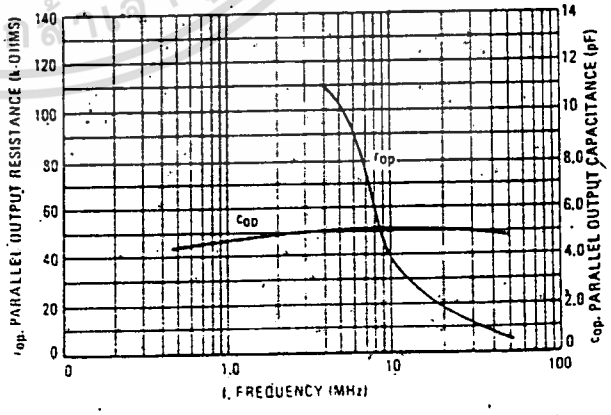


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5 f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

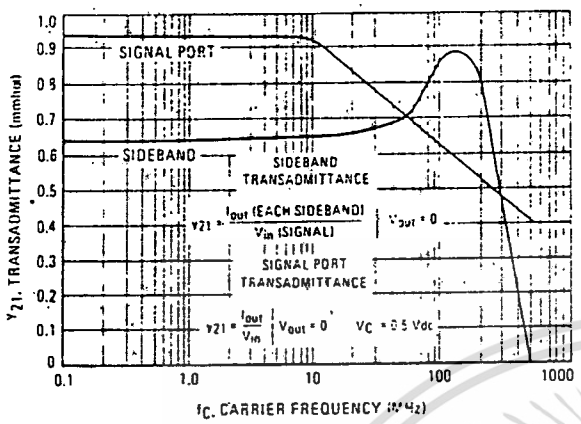


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

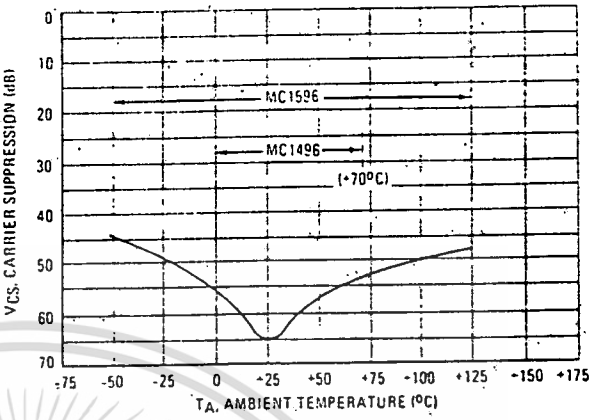


FIGURE 17 – SIGNAL-PORT FREQUENCY RESPONSE

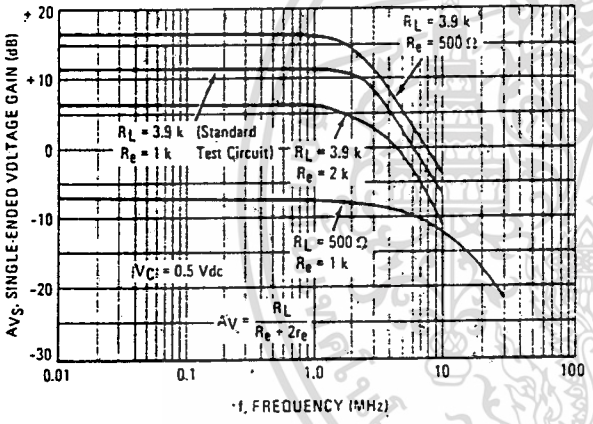


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

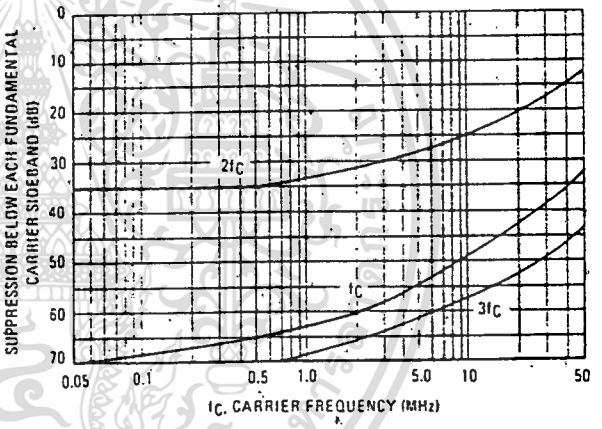


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

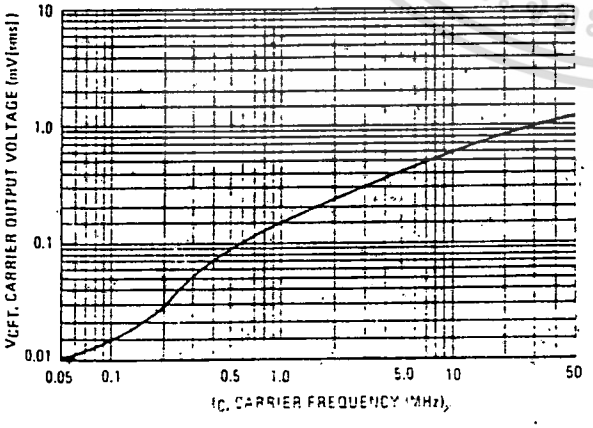
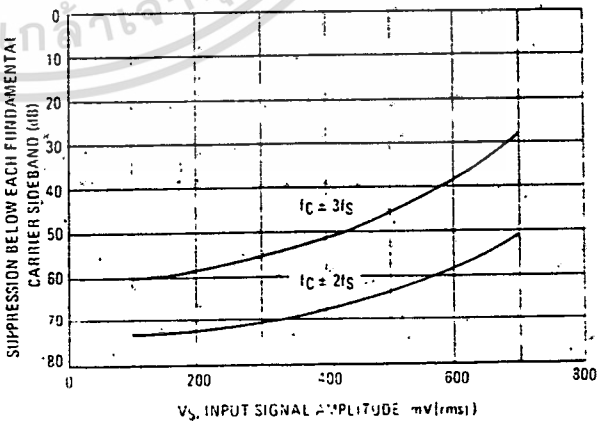


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

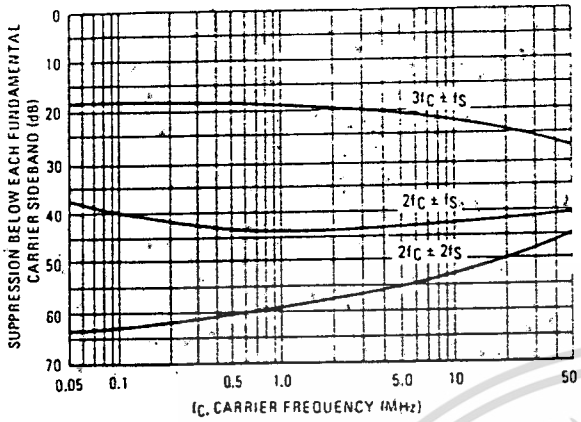
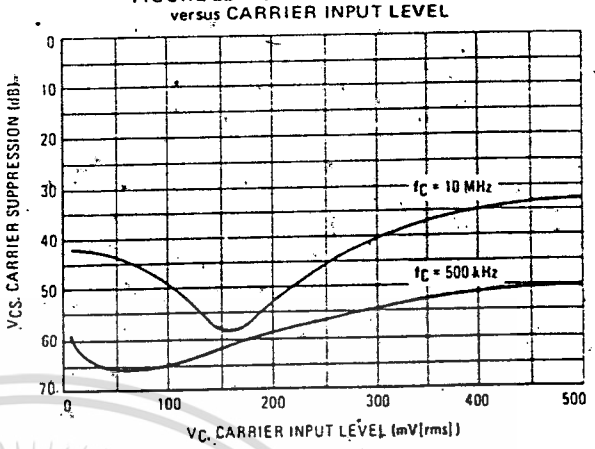


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

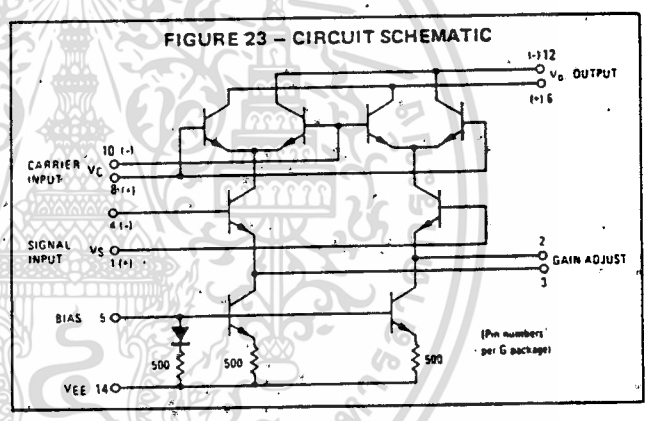
The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

FIGURE 23 – CIRCUIT SCHEMATIC



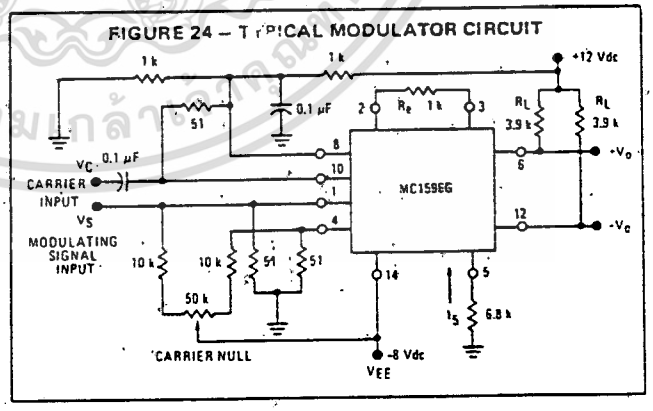
Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 24 – TYPICAL MODULATOR CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637\, R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \ldots$

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C:
$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 8 and 10 should be increased to 1.0 μF. Also the output filter at pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

FIGURE 26 – BALANCED MODULATOR
(+12 Vdc SINGLE SUPPLY)

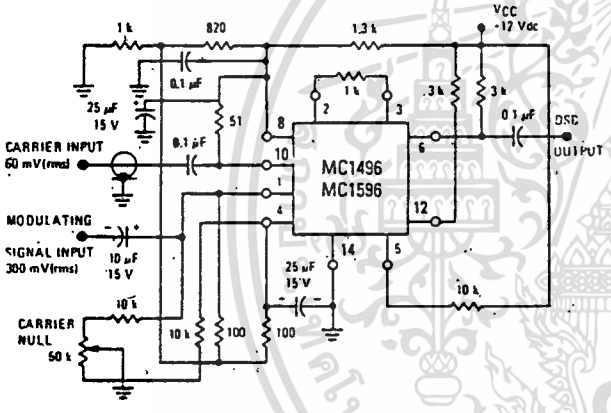


FIGURE 27 – BALANCED MODULATOR-DEMODULATOR

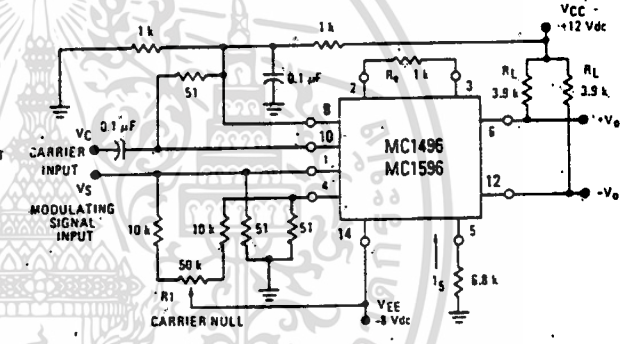


FIGURE 28 – AM MODULATOR CIRCUIT

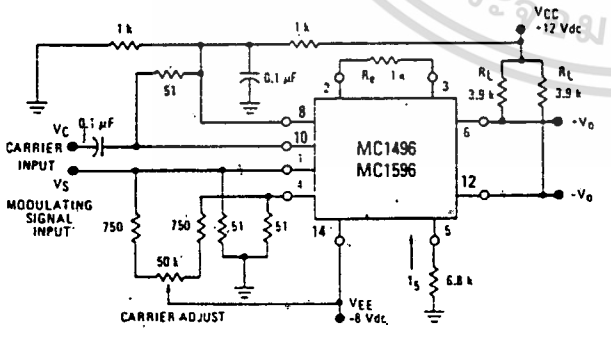
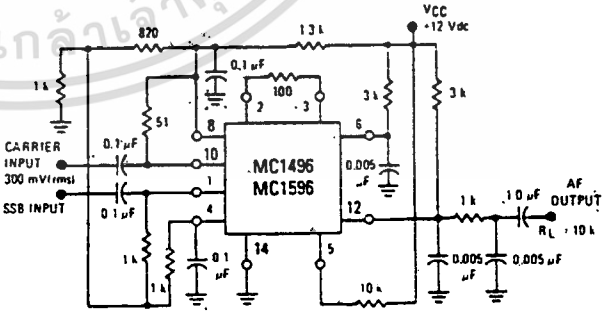
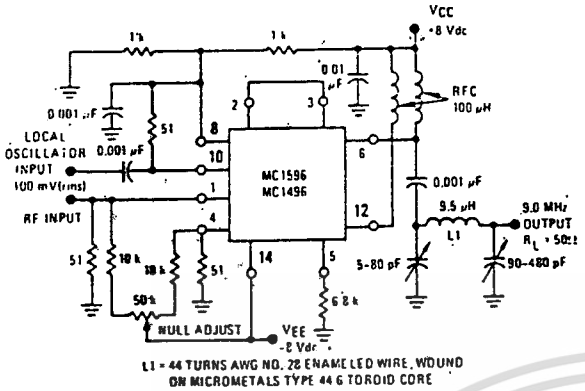


FIGURE 29 – PRODUCT DETECTOR
(+12 Vdc SINGLE SUPPLY)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 30 – DOUBLY BALANCED MIXER
(BROADBAND INPUTS, 9.0 MHz TUNED OUTPUT)



L1 = 44 TURNS AWG NO. 28 ENAMELED WIRE, WOUND ON MICROMETALS TYPE 44 6 TOROID CORE

FIGURE 31 – LOW-FREQUENCY DOUBLER

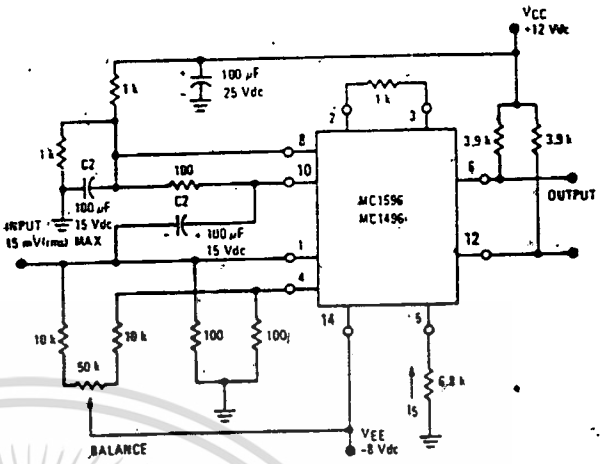
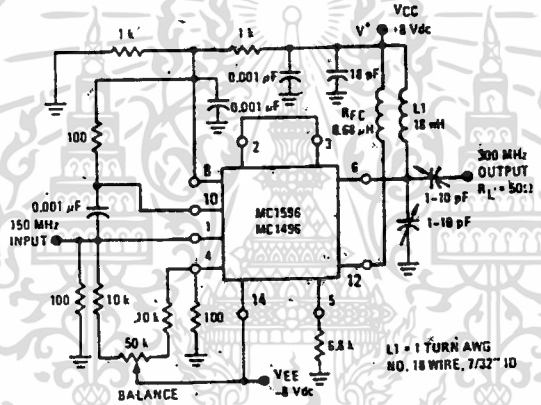
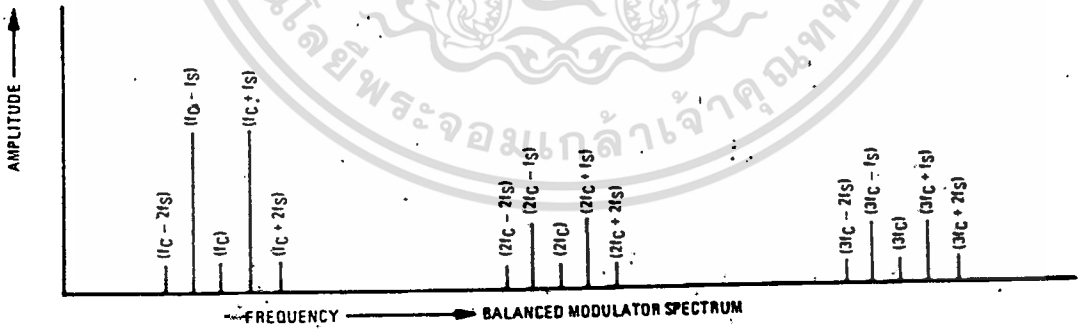


FIGURE 32 – 150 to 300 MHz DOUBLER



L1 = 1 TURN AWG NO. 18 WIRE, 7/32" ID



DEFINITIONS

f_C	CARRIER FUNDAMENTAL
f_S	MODULATING SIGNAL
$f_C \pm f_S$	FUNDAMENTAL CARRIER SIDEBANDS
$f_C \pm nf_S$	FUNDAMENTAL CARRIER SIDEBAND HARMONICS
nf_C	CARRIER HARMONICS
$nf_C \pm nf_S$	CARRIER HARMONIC SIDEBANDS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้