



27 เม็กกาเอิตซ์ เอฟเอสเคโมเด็ม

27 MHZ FSK MODEM



โดย

นาย พิเชษฐ

ศาโรชสุวรรณ

นาย วิทยา

นาทอง

นาย สุรเชษฐ์

จันทร์พวง

วัน เดือน ปี.....	-1 ตค 2541
เลขทะเบียน.....	038051
เลขเรียกหนังสือ.....	T 39074 พ 6538

ปริญญาบัตรนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเท่านั้น เมื่อผู้นับถือเห็นนำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น ถือทั้งห้ามมิให้ตัดแบ่ง และนำส่งไปยังเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปีการศึกษา 2539

หัวข้อปริญญาบัตร 27 เม็กกาเฮิรต์เอฟเอสเคโมเด็ม  
27 MHZ FSK MODEM

ชื่อนักศึกษา นาย พิเชษฐ สาโรชสุวรรณ  
นาย วิทยา นาทอง  
นาย สุรเชษฐ์ จันทร์พวง

อาจารย์ที่ปรึกษา อาจารย์คณชัย สุขเจริญผล  
อาจารย์กฤดากร กล่อมการ

ภาควิชา เทคโนโลยีอุตสาหกรรม

ปีการศึกษา 2539

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
อนุมัติให้นับ ปริญญาบัตรฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์  
บัณฑิต

คณะกรรมการสอบปริญญาบัตร

.....ประธานกรรมการ  
( )  
.....กรรมการ  
( )  
.....กรรมการ  
( )  
.....กรรมการ  
( )  
.....กรรมการ  
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นำไปเผยแพร่โดยไม่ได้รับอนุญาต  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 27 เมื่อกาเอ็ตรเอฟเอสเคโม่เต้ม

โดย	นาย พิเชษฐ	ศาโรชสุวรรณ
	นาย วิทยา	นาทอง
	นาย สุรเชษฐ์	จันทร่พวง
อาจารย์ที่ปรึกษา	อาจารย์คณชัย	สุขเจริญผล
	อาจารย์กฤดากร	กลุ่มมการ
ปีการศึกษา	2539	

### บทคัดย่อ

โครงการนี้เสนอ การรับ-ส่งสัญญาณเสียงโดยอาศัยเทคนิคการมอดูเลทแบบพรีเฟ็นซีชัฟคีย์อั้ง (Frequency Shift Keying) ซึ่งจะมีการนำเอาสัญญาณเสียงผ่านเข้าวงจรแปลงอนาลอกเป็นดิจิตอล (Analog To Digital) แล้วนำเอาสัญญาณดิจิตอลที่ได้ทำการมอดูเลทส่งไปยังภาครับเพื่อทำการดีมอดูเลท โดยนำเอาสัญญาณดิจิตอลที่รับได้ผ่านเข้าวงจรแปลงดิจิตอลเป็นอนาลอก (Digital To Analog) ได้เป็นสัญญาณเสียงออกมา ซึ่งเป็นโม่เต้มแบบ FSK โดยมีความถี่คลื่นพาห้เท่ากับ 27 MHz และบิทรเทเท่ากับ 32 กิโลบิทต่อวินาที (Kbps)

## 27 MHz FSK MODEM

<b>BY</b>	<b>MR. PHICHAT</b>	<b>SAROJSUWAN</b>	<b>37013388</b>
	<b>MR. WITTAYA</b>	<b>NATHONG</b>	<b>37013396</b>
	<b>MR. SURACHET</b>	<b>CHUNPHUANG</b>	<b>37013404</b>
<b>ADVISER</b>	<b>MR. DOLCHAI</b>	<b>SUKCHAROENPHOL</b>	
	<b>MR. KITDAKORN</b>	<b>KLOMKARN</b>	
<b>YEAR</b>	<b>1996</b>		

### ABSTARCT

This project presents “27 MHz FSK MODEM” by using Frequency Shift Keying (FSK) modulation technique to receives and transmits modulated voice. The voice processing, by means of analog to digital converter (A/D) circuit, transmutes the voice signal to digital signal. To represent as a MODEM, it has modulated and sent to receiver. Then received signal is reconstructed by digital to analog converter (D/A) circuit. This FSK MODEM has 27 MHz frequency carrier and 32 Kbps speed.

## กิตติกรรมประกาศ

ปริญญาบัตรฉบับนี้ สำเร็จล่วงไปได้ด้วยดี ทั้งในส่วนของวงจรที่ใช้ในปริญญาบัตรเอกสาร คู่มืออ้างอิง เครื่องมือต่างๆ พร้อมทั้งสถานที่อีกทั้งคำแนะนำ ทั้งนี้ต้องขอขอบพระคุณอาจารย์คลชัย สุขเจริญผล และ อาจารย์กฤตากร กล่อมการ เป็นอย่างสูง รวมทั้งพี่ยอด นาคเจือทอง รุ่นพี่ห้อง 3L. ปีการศึกษา 2537 ที่ให้คำแนะนำ และคำปรึกษาไว้ ณ ที่นี้ด้วย



นาย พิเชษฐ            ศาโรชสุวรรณ  
 นาย วิทยา             นาทอง  
 นาย สุรเชษฐ์         จันทร์พวง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ

	หน้า
บทคัดย่อ	A
บทคัดย่อภาษาอังกฤษ	B
กิตติกรรมประกาศ	C
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการเบื้องต้น	2
2.1 การส่งผ่านข้อมูลอนาลอกและดิจิตอล	5
2.2 ขบวนการเปลี่ยนสัญญาณข้อมูลอนาลอกให้เป็นสัญญาณดิจิตอล	12
2.3 การสร้างสัญญาณ FM	16
2.4 ทฤษฎีเฟสล็อกลูป	20
บทที่ 3 หลักการทำงานของภาคส่ง	
3.1 การแปลงอนาลอกเป็นดิจิตอล	25
3.2 การมอดคูเลทแบบ FSK	26
3.3 การมอดคูเลทสัญญาณ FM	31
3.4 การเปลี่ยนแปลงความถี่ของสัญญาณ	35
บทที่ 4 หลักการทำงานของภาครับ	
4.1 การดีมอดคูเลทสัญญาณ FM	36
4.2 การดีมอดคูเลทแบบ FSK	39
4.3 การแปลงดิจิตอลเป็นอนาลอก	40
บทที่ 5 การออกแบบและทดลองวงจรทางด้านภาคส่ง	
5.1 วงจรกรองความถี่ต่ำผ่าน	44
5.2 วงจรกำเนิดความถี่อ้างอิง	45
5.3 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล แบบ CVSD MODULATION	46
5.4 วงจรมอดคูเลทสัญญาณ FSK	57
5.5 วงจรขยายกำลัง	59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
บทที่ 6 การออกแบบและทดลองวงจรทางด้านภาครับ	
6.1 วงจรขยายความถี่อาร์เอฟ	60
6.2 วงจรแปลงความถี่ IF	61
6.3 วงจรตีมอดคูเลทสัญญาณ FSK	62
6.4 วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก แบบ CVSD MODULATION	65
6.5 วงจรกรองความถี่ต่ำผ่าน	65
6.6 วงจร AUDIO AMPLIFIER	66

บทที่ 7 ผลการทดลอง	67
--------------------	----

บทที่ 8 สรุปผลการทดลองและการพัฒนา	78
-----------------------------------	----

เอกสารอ้างอิง

ภาคผนวก



# บทที่ 1

## บทนำ

ในปัจจุบัน การสื่อสารวิทยุมือถือย่าน VHF ได้ถูกนำมาใช้อย่างแพร่หลาย และจากการที่ กรมไปรษณีย์โทรเลข ได้อนุญาตให้สามารถใช้วิทยุในย่านความถี่ Citizen Band (CB) 27 MHz ที่มีกำลังส่งไม่เกิน 1 วัตต์ ได้อย่างถูกต้องตามกฎหมาย ทำให้มีการใช้งานอย่างกว้างขวางทั้ง หน่วยงาน ราชการ รัฐวิสาหกิจและเอกชน ซึ่งในการทดลองนี้ได้เสนอโมเด็มแบบ เอฟเอสเค ด้วยอัตราข้อมูล 32 กิโลบิตต่อวินาทีโดยผ่านวิทยุ CB 27 MHz ที่มีการส่งสัญญาณเสียง (Voice) ผ่านขบวนการแปลงสัญญาณอนาลอกเป็นดิจิตอล ในภาคส่ง และ ขบวนการแปลงสัญญาณดิจิตอลกลับเป็นอนาลอก ในทางภาครับ ซึ่งจะสามารถนำไปประยุกต์ ใช้กับการรับส่งผ่านความถี่วิทยุ โดยใช้แพ็คเกจเรดิโอ แทนการรับส่งข้อมูลผ่านคู่สายโทรศัพท์ที่ยังมีขีดจำกัดในด้านความเร็วในการส่งข้อมูล ซึ่งมีรายละเอียดของปริยญาณิพนธ์ดังนี้

บทที่ 2 ทฤษฎีและหลักการเบื้องต้น

บทที่ 3 หลักการทำงานของวงจรภาคส่ง

บทที่ 4 หลักการทำงานของวงจรภาครับ

บทที่ 5 การออกแบบและทดลองวงจรทางด้านภาคส่ง

บทที่ 6 การออกแบบและทดลองวงจรทางด้านภาครับ

บทที่ 7 ผลการทดลอง

บทที่ 8 สรุปผลการทดลอง

## บทที่ 2

### ทฤษฎีและหลักการทั่วไป

#### 2.1 การส่งผ่านข้อมูลอนาลอกและดิจิทัล

ในการส่งผ่านข้อมูลจากต้นทางไปยังปลายทางมีคุณสมบัติธรรมชาติของสัญญาณข้อมูลอย่างหนึ่งที่น่าสนใจก็คือ การเคลื่อนที่ของข้อมูลและกระบวนการจัดการกับข้อมูล เพื่อให้มั่นใจได้ว่าข้อมูล ที่ส่งไปและรับมา สามารถจะเข้าใจกันได้สำหรับการศึกษาทั้งหมดนี้มีจุดสำคัญที่เราจะเข้าไปเกี่ยวข้องกับคือ ปริมาณชนิดอนาลอก และชนิดดิจิทัล

ปริมาณอนาลอกและดิจิทัลเป็นปริมาณที่สอดคล้องกับปริมาณกับปริมาณที่มีค่าแบบต่อเนื่อง และไม่ต่อเนื่อง ตามลำดับ ศัพท์ 2 คำนี้จะถูกนำมาใช้กันเสมอในการสื่อสารข้อมูลอย่างน้อยที่สุดก็นำมาใช้ในเรื่องสามเรื่องดังต่อไปนี้คือ

- ข้อมูล (Data)
- สัญญาณ (Signal)
- การส่งผ่าน (Transmission)

#### ข้อมูล (Data)

ข้อมูลแบบอนาลอกนั้นเป็นข้อมูลที่เกิดขึ้นแล้วมีค่าที่ต่อเนื่องในช่วงที่เวลาพิจารณา เป็นต้นว่าเสียงหรือภาพ จะเป็นข้อมูลที่มีการแปรเปลี่ยนรูปแบบของความเข้มอย่างต่อเนื่อง อุณหภูมิ และความดันก็เป็น ปริมาณที่ต่อเนื่องที่จัดได้ว่าให้ข้อมูลแบบอนาลอก แต่สำหรับข้อมูลดิจิทัลเป็นข้อมูลที่มีค่าที่เฉพาะ ที่กระโดดเป็นค่าที่ไม่ต่อเนื่อง เช่น ค่าเลขจำนวนเต็ม เป็นต้น

ตัวอย่างที่เป็นที่รู้จักกันแพร่หลายที่สุด สำหรับข้อมูลอนาลอกก็คือข้อมูลเสียง ซึ่งข้อมูลระบบในการสื่อสารบางระบบ จะถูกออกแบบไว้สำหรับข้อมูลเลขฐานสอง ซึ่งจำนวนของรหัสที่แทนตัวอักษรจะใช้ลำดับของบิต ตัวอย่างของรหัสที่เก่าแก่อันหนึ่งก็คือรหัสของมอร์ส ปัจจุบันรหัสนี้ใช้กันอย่างแพร่หลายที่สุดชนิดหนึ่งคือ รหัส ASCII (American Standard Code for Information Interchanger) ASCII นอกจากจะได้รับความนิยมภายในอเมริกาแล้วยังได้รับความนิยมจากภายนอกด้วย ตัวอักษรแต่ละตัวของรหัสนี้แทนได้ด้วยเลขฐานสอง 7 หลักซึ่งเลขฐานสอง 7 หลัก สามารถแทนอักขระที่ไม่ซ้ำกันได้ทั้งหมดถึง 128 ตัว ซึ่งมีจำนวนเกินตัวอักษรที่ใช้กันอยู่ ดังนั้นรหัสนี้เลขฐานสองบางตัวจึงถูกนำมาแทนตัวอักษรสำหรับการควบคุม และตัวอักษรของการควบคุมส่วนหนึ่งก็ใช้ในการควบคุมการพิมพ์ และรหัสเลขฐานสองที่แทนตัวอักษรส่วนที่เหลือบางตัวก็จะใช้ในระบบสื่อสาร โดยทั่วไปแล้ว การเข้ารหัสในการเก็บและส่งผ่านข้อมูลจะใช้จำนวนเลขไบนารี 8 บิต ต่อ 1 ตัวอักษร โดยบิตที่ 8 ก็คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พาริตีบิท ที่ใช้สำหรับการตรวจสอบความผิดพลาด บิทที่ 8 นี้ จะถูกกำหนดขึ้นเพื่อที่จะให้จำนวนของบิท 1 มีค่าเป็นจำนวนคู่ เมื่อใช้การตรวจพาริตีแบบคู่ และให้จำนวนของบิท 1 มีค่าเป็นจำนวนคี่เมื่อใช้การตรวจพาริตีแบบบิทคี่

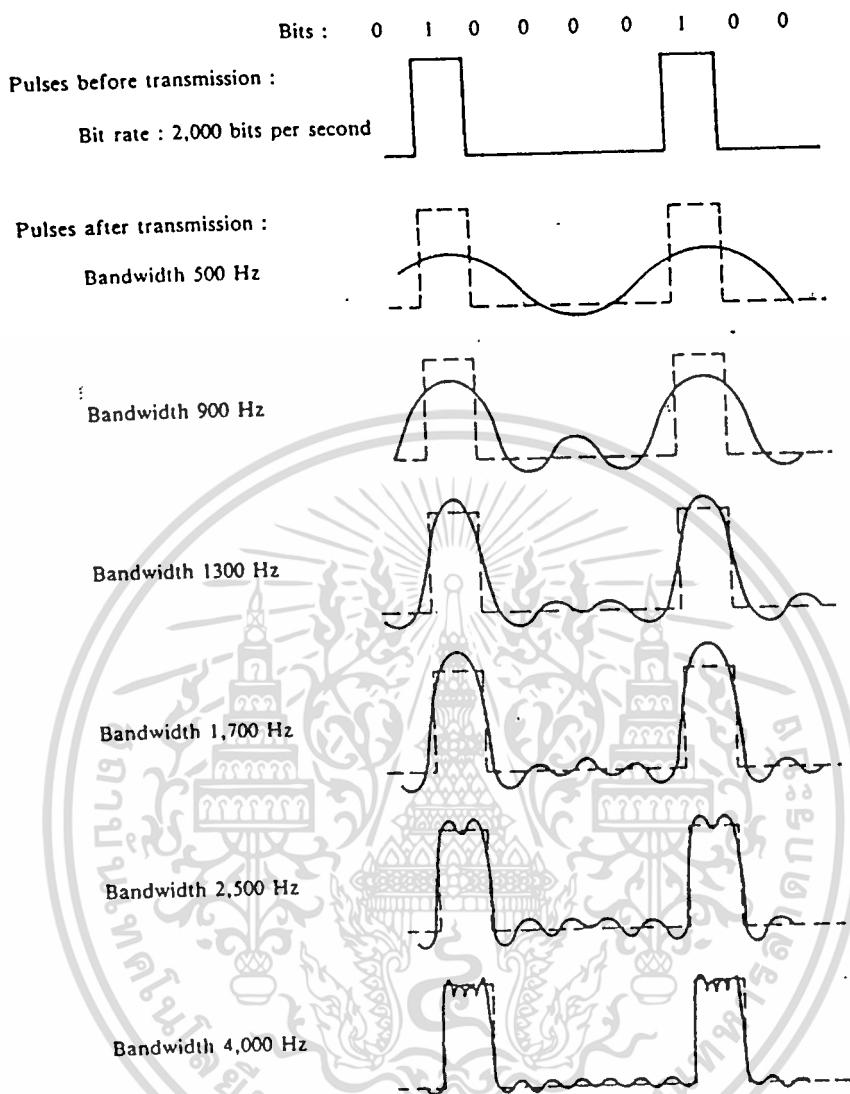
### สัญญาณ (Signals)

ในระบบของการสื่อสาร ข้อมูลจะเคลื่อนที่จากจุดหนึ่งไปยังอีกจุดหนึ่งในรูปแบบของสัญญาณไฟฟ้าซึ่งสัญญาณอนาลอกก็คือ คลื่นแม่เหล็กไฟฟ้าที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง และสัญญาณดังกล่าวนี้เองที่จะถูกส่งผ่านเข้าไปในตัวกลางชนิดต่าง ๆ ทั้งนี้ขึ้นอยู่กับสเปคตรัมของสัญญาณ ตัวกลางอาจเป็นสาย เช่น สายคู่บิดเกลียว สายโคแอกเชียล สายใยนำแสง หรืออาจจะเป็นตัวกลางแบบไร้สายเช่น ชั้นบรรยากาศ หรือสุญญากาศ ส่วนสัญญาณดิจิทัลนั้นอาจเป็นขบวนของพัลส์โวลต์เตจ ที่ใช้ระดับของพัลส์ที่ส่งไปเป็นตัวแทนข้อมูล เช่นใช้ระดับโวลต์เตจคงที่ค่าบวก จะแทนค่าไบนารี 1 และระดับโวลต์เตจลบแทนค่าไบนารี 0

ซึ่งจะเห็นได้ว่า แบนด์วิดธ์ที่กว้างนั้นก็ทำให้เกิดสัญญาณที่มีความผิดเพี้ยนน้อย สำหรับข้อมูลที่มีอัตรา  $x$  บิตต่อวินาทีสามารถที่จะส่งได้โดยใช้สายส่งที่มีแบนด์วิดธ์  $x$  Hz ด้วยคุณภาพดีพอควร แต่จะดีมากถ้าแบนด์วิดธ์เพิ่มขึ้นเป็น  $2x$  Hz

### ข้อมูลและสัญญาณ (Data and Signal)

จากที่ได้กล่าวมาแล้ว เรากำลังสนใจสัญญาณที่ใช้แทนข้อมูลอนาลอก และข้อมูลดิจิทัลในสถานการณ์ โดยทั่วไปแล้ว ข้อมูลอนาลอกจะเป็นฟังก์ชันกับเวลา และมีค่าสเปคตรัมที่จำกัดอยู่ค่าหนึ่ง ซึ่งเราสามารถแทนข้อมูลอนาลอกดังกล่าวได้ด้วยสัญญาณคลื่นแม่เหล็กไฟฟ้าที่มีค่าสเปคตรัมค่าเดียวกัน และข้อมูลดิจิทัลนั้นสามารถแทนได้ด้วยสัญญาณดิจิทัล ที่มีค่าระดับโวลต์เตจแตกต่างกันสองระดับเพื่อแทนค่าเลขฐานสอง 0 และ 1



รูปที่ 2.1 แสดงอิทธิพลของแบนด์วิดท์กับข้อมูลดิจิทัล

### การส่งผ่าน (Transmission)

ความแตกต่างระหว่างสัญญาณดิจิทัล และอนาลอกนั้นควรพิจารณาให้ชัดเจนขึ้นอีก ทั้งสัญญาณอนาลอกและสัญญาณดิจิทัลนั้นจะถูกนำส่งตัวกลางที่เหมาะสม และขบวนการในการดัดแปลงสัญญาณ เพื่อให้เหมาะสมกับตัวกลางการส่งผ่านก็เป็นหน้าที่ของระบบการส่งผ่าน (Transmission system) การส่งผ่านในรูปแบบของอนาลอกเป็นวิธีการส่งผ่านสัญญาณอนาลอกไปโดยไม่มี การเปลี่ยนแปลงสาระข้อมูล ไม่ว่าจะ เป็นกรณีใด ๆ สัญญาณอนาลอกจะเกิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การลดทอนหลังจากที่เดินทางผ่านเข้าไปในตัวกลาง ดังนั้นเพื่อให้สัญญาณสามารถเดินทางไปถึงปลายทางได้ระยะทางไกล ๆ ระบบของการส่งผ่านแบบอนาลอกก็จะมีตัวเพิ่มความแรงของสัญญาณเพื่อเพิ่มพลังงานให้แก่สัญญาณ แล้วยังเพิ่มพลังงานให้กับสัญญาณรบกวนอีกด้วย และยังมีการต่อใช้ตัวขยายหลาย ๆ ตัวแบบอนุกรม เพื่อให้ได้ระบบในการส่งสัญญาณได้ไกล ๆ ยิ่งทำให้สัญญาณผิดเพี้ยนไปยิ่งขึ้น

สำหรับข้อมูลแบบอนาลอก เช่น เสียงความคิดเพียงส่วนเล็กน้อยสามารถยอมให้เกิดขึ้นได้เพราะว่าข้อมูลยังสามารถเข้าใจได้ แต่สำหรับข้อมูลดิจิทัลการต่อตัวขยายแบบอนุกรมจะทำให้เกิดความผิดพลาด

### การส่งผ่านข้อมูลดิจิทัล (Digital Transmission)

การส่งผ่านข้อมูลด้วยวิธีการนี้จะเกี่ยวข้องกับเนื้อหาของสัญญาณสัญญาณดิจิทัลจะถูกส่งไปได้ในระยะเวลาที่จำกัดก่อนที่การลดทอนจะทำอันตรายต่อองค์ประกอบของข้อมูล ดังนั้นเพื่อให้การส่งสามารถทำได้เป็นระยะทางไกล ๆ เราจึงใช้ตัวทวนสัญญาณ (Repeater) เพื่อที่สัญญาณดั้งเดิมกลับคืนมา โดยที่ตัวทวนสัญญาณเมื่อได้รับสัญญาณดิจิทัลมาแล้ว ก็จะทำการกู้รูปแบบของ 1 และ 0 กลับคืนมาอีกครั้ง และส่งต่อออกไปใหม่ ซึ่งทำให้สามารถเอาชนะการลดทอนลงไปได้

ด้วยเทคนิคอย่างเดียวกันกับที่ได้กล่าวมาแล้ว อาจจะนำมาใช้ได้กับสัญญาณอนาลอก ที่ใช้เป็นตัวส่งถ่ายข้อมูลดิจิทัล ณ ตำแหน่งในพื้นที่ที่เหมาะสม ระบบของการส่งผ่านก็จะใช้เครื่องทวนสัญญาณ แทนที่จะเป็นตัวขยายสัญญาณ ตัวทวนสัญญาณจะกู้สัญญาณดิจิทัลกลับคืนมาจากสัญญาณอนาลอก และก็สร้างสัญญาณอนาลอกขึ้นมาใหม่ ทำให้ไม่เกิดการสะสมของสัญญาณรบกวนต่อ ๆ ไป

ในปัจจุบันมีแนวโน้มที่จะหันมาใช้การสื่อสารระบบดิจิทัลที่ได้แทนระบบอนาลอก แม้ว่าจะได้มีการลงทุนใช้ระบบอนาลอกมาก่อนอย่างมากก็ตาม เหตุผลที่สำคัญก็คือ

- ดิจิตอลเทคโนโลยี การพัฒนาเทคโนโลยีของวงจรรวมดิจิทัล LSI และ VLSI ทำให้ราคาและขนาดของวงจรรวมลดลงในขณะที่เครื่องมือทางอนาลอกไม่ได้ลดลง

- คุณภาพของข้อมูล สำหรับขบวนการทางดิจิทัล การใช้ตัวทวนสัญญาณแทนที่จะใช้ตัวขยายสัญญาณทำให้อิทธิพลของสัญญาณรบกวนไม่ถูกสะสม ทำให้เราสามารถส่งข้อมูลไปได้ระยะทางไกล ๆ แม้ว่าคุณภาพของสายจะไม่ดีก็ตาม

- ความจุของการใช้งานมีมาก มันเป็นเรื่องที่สิ้นเปลืองมากในการที่เราจะต้องสร้างทางเดิน การส่งผ่านข้อมูลที่มีแบนด์วิดท์กว้างมาก ๆ เช่น ช่องสัญญาณควมเทียมและเส้นใยนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสง ดังนั้นการนำเอาขบวนการในการมัลติเพล็กซ์เข้ามาใช้งานจะเป็นประโยชน์อย่างมากในเรื่องของความจุซึ่งขบวนการมัลติเพล็กซ์ทางด้านเวลา จะเป็นวิธีการที่ง่ายและราคาถูกกว่าการมัลติเพล็กซ์ทางด้านความถี่

- ความปลอดภัยและความเป็นส่วนตัว เทคนิคการย่อข้อมูลพร้อมที่จะนำเข้ามาใช้กับข้อมูลดิจิทัลและพร้อมที่จะนำมาใช้กับข้อมูลอนาลอกที่ถูกดิจิทัลแล้ว
- การรวมกันเข้าเป็นหนึ่งเดียวกัน ด้วยขบวนการทางข้อมูลของอนาลอกและดิจิทัล สัญญาณจะมีรูปแบบที่เหมือนกัน และสามารถดำเนินการได้ในลักษณะเดียวกัน ซึ่งมันก็จะทำให้ประหยัดและสะดวกในการรวมเสียง, ภาพและข้อมูลดิจิทัลเข้าไว้ด้วยกัน

### สัญญาณรบกวน (Noise)

สำหรับในขบวนการการส่งข้อมูลใดๆสัญญาณที่ได้รับจะประกอบไปด้วยสัญญาณที่ส่งมาจากเครื่องส่งที่มีการเปลี่ยนแปลงไปโดยมีความเพี้ยนของสัญญาณเกิดขึ้น จากคุณสมบัติของระบบส่งผ่าน ความคิดเพี้ยนที่เพิ่มเข้ามาเพราะมีสัญญาณที่เราไม่ต้องการเกิดขึ้นในระหว่างการส่งและการรับ สิ่งที่จะได้กล่าวต่อไปนี้จะเกี่ยวกับสัญญาณที่ไม่เป็นที่ต้องการที่เรียกว่าสัญญาณรบกวนซึ่งสัญญาณดังกล่าว เป็นองค์ประกอบที่สำคัญที่จำกัดการทำงานของระบบการสื่อสาร

สัญญาณรบกวนอาจจะแบ่งได้เป็น 4 ชนิด ดังนี้คือ

1. สัญญาณรบกวนเนื่องจากคลื่นความร้อน (Thermal noise)
2. สัญญาณรบกวนเนื่องจากอินเตอร์มอดูเลชัน (Intermodulation noise)
3. ครอสทอล์ก (Crosstalk)
4. สัญญาณรบกวนแบบอิมพัลส์ (Impulse noise)

### สัญญาณรบกวนเนื่องจากคลื่นความร้อน

เกิดขึ้นจากการสั่นของอิเล็กตรอนในตัวนำเนื่องจากความร้อน โดยมันเกิดขึ้นกับอุปกรณ์ทั้งหมดทางอิเล็กทรอนิกส์และตัวกลาง เป็นฟังก์ชันของอุณหภูมิ สัญญาณรบกวนเนื่องจากความร้อนจะมีการกระจายสเปกตรัมที่สม่ำเสมอเท่ากันในช่วงความถี่ทั่วไป และบ่อยครั้งที่เราเรียกมันว่าสัญญาณรบกวนสีขาว สัญญาณรบกวนนี้เราไม่สามารถกำจัดมันได้ จึงเป็นตัวจำกัดขอบเขตในการทำงานของระบบการสื่อสาร ขนาดของสัญญาณรบกวนเนื่องจากคลื่นความร้อน ที่พบได้ในย่านความถี่ขนาด 1 Hz ในอุปกรณ์หรือตัวนำใดจะมีค่าดังต่อไปนี้

$$N_o = KT$$

โดยที่

$N_o$  = ความหนาแน่นพลังงานของสัญญาณรบกวน, วัตต์/เฮิรต์

$K$  = ค่าคงที่ของโบลต์ซมาน (Boltzmann's constant) =  $1.3803 \times 10^{-23}$  J/K

$T$  = อุณหภูมิ มีหน่วยเป็นองศาเคลวิน

สัญญาณรบกวนนี้ถูกสมมุติขึ้นอยู่กับความถี่ ดังนั้นค่าสัญญาณรบกวนเนื่องจากความร้อนในแบนด์วิดท์  $W$  เฮิรตซ์ สามารถคำนวณได้ดังนี้

$$N = KTW$$

หรือถ้าคำนวณในหน่วยของ เดซิเบล-วัตต์ (decibel-watt) ได้ดังต่อไปนี้

$$N = 10 \log K + 10 \log T + 10 \log W$$

$$N = -228.6 \text{ dbW} + 10 \log T + 10 \log W$$

เมื่อสัญญาณที่มีความถี่ต่างกันถูกนำมาใช้เพื่อส่งผ่านข้อมูลบนตัวกลางตัวเดียวกัน ผลที่ได้ อาจเกิดการรบกวนแบบอินเทอร์มอดูเลชันขึ้น ผลของอินเทอร์มอดูเลชันทำให้เกิดความถี่ที่เป็นผลบวกและผลต่างของสัญญาณเดิมสองความถี่ หรือผลคูณของสัญญาณของสัญญาณความถี่ทั้ง 2 ตัวอย่างเช่น การผสมสัญญาณของสัญญาณรูปไซน์สองความถี่คือ  $f_1$  และ  $f_2$  จะทำให้เกิดพลังงานที่ความถี่  $f_1$  และ  $f_2$  ซึ่งสัญญาณที่ได้มานี้สามารถที่จะแทรกสอดกับสัญญาณ  $f_1$  และ  $f_2$  ที่กำหนดได้

สัญญาณรบกวนแบบอินเทอร์มอดูเลชัน

จะเกิดขึ้นเมื่อมีความไม่เป็นเชิงเส้นในการประมวลสัญญาณในตัวส่ง, ตัวรับ, หรือในระบบการส่งผ่าน โดยปกติอุปกรณ์องค์ประกอบเหล่านี้จะถูกสร้างขึ้น มีพฤติกรรมเป็นระบบเชิงเส้น นั่นคือค่าเอาต์พุตจะแปรผันตามค่าของอินพุต ในระบบที่ไม่เป็นเชิงเส้นค่าของเอาต์พุตจะเป็นฟังก์ชันที่เชิงซ้อนของอินพุต ซึ่งความไม่เป็นเชิงเส้นของระบบ มักจะเกิดการทำงานผิดพลาดของอุปกรณ์หรือใช้สัญญาณแรงเกินไป

สัญญาณรบกวนแบบครอสทอล์ค (Cross talk)

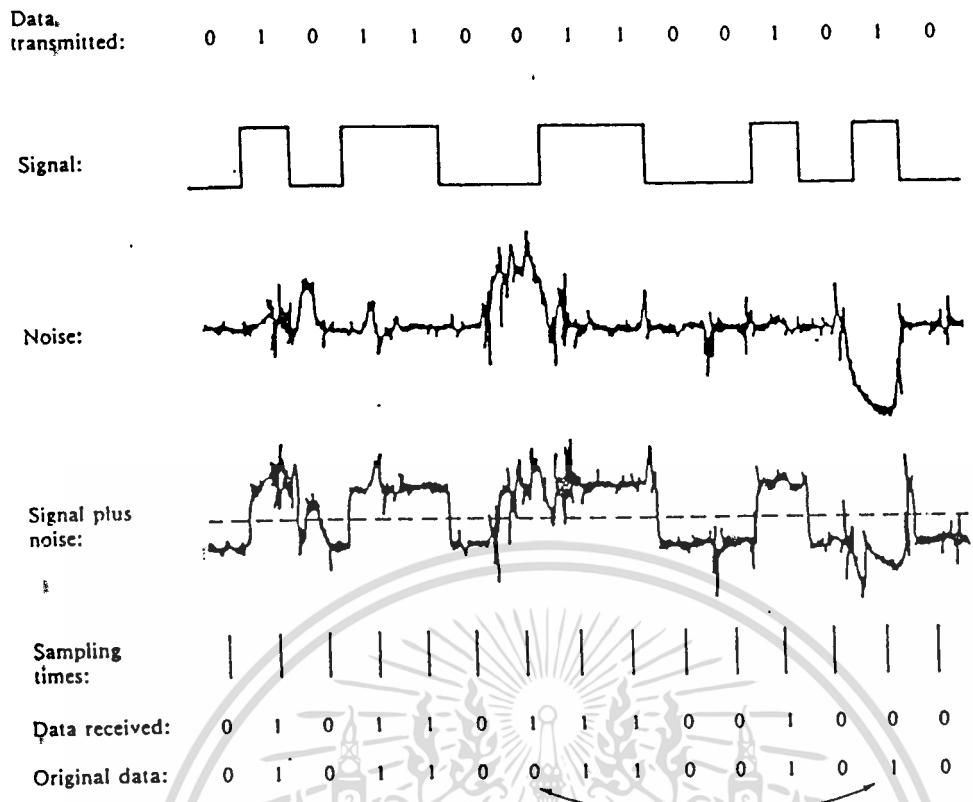
ในขณะที่มีการใช้โทรศัพท์ เราอาจจะได้ยินเสียงของคนอื่นที่ไม่ใช่คู่สนทนาของเราสอดแทรกเข้ามาในสาย ซึ่งเป็นสัญญาณที่เราไม่ต้องการ ซึ่งมันอาจจะเกิดขึ้นโดยการเหนี่ยวนำ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางไฟฟ้าของสัญญาณระหว่างคู่สายที่อยู่ใกล้ ๆ กัน สัญญาณรบกวนที่เกิดขึ้นกับสาย หรือช่องส่งสัญญาณนี้มีชื่อว่า ครอสทอล์ค นอกจากนี้ครอสทอล์คยังสามารถเกิดขึ้นได้โดยสาเหตุอื่น เช่น สัญญาณที่เราไม่ต้องการ อาจถูกรับมาได้โดยสายอากาศ ไมโครเวฟ แม้ว่าทิศทางของจานสายอากาศจะอยู่ในตำแหน่งที่รับสัญญาณได้แรงที่สุดแล้วก็ตาม แต่พลังงานของคลื่นไมโครเวฟก็ยังคงกระจายไประหว่างการเดินทาง สัญญาณรบกวนแบบครอสทอล์คในระบบต่าง ๆ นั้นควรมีขนาดน้อยกว่าสัญญาณรบกวนจากอุณหภูมิ

สัญญาณรบกวนทั้งหมดที่ได้กล่าวมานี้ เราสามารถที่จะคาดคะเนผลที่จะเกิดขึ้นได้ วิศวกรก็จะสามารถออกแบบระบบให้มีความมั่นคงพอที่จะรับผลของสัญญาณรบกวนเหล่านี้ได้ แต่อย่างไรก็ตามยังมีสัญญาณรบกวนอีกชนิดหนึ่ง คือ สัญญาณรบกวนแบบอิมพัลส์ ที่เกิดขึ้นอย่างไม่ต่อเนื่องประกอบด้วยพัลส์ที่ผิดปกติ หรือสัญญาณรบกวนแบบกระชาก ในช่วงเวลาสั้น ๆ และขนาดของความแรงสัญญาณสูง สัญญาณรบกวนดังกล่าวนี้เกิดมาจากหลายสาเหตุ รวมทั้งการรบกวนของสนามแม่เหล็กจากภายนอก เช่นฟ้าแลบ ซึ่งมักจะทำลายข้อมูลเสียง

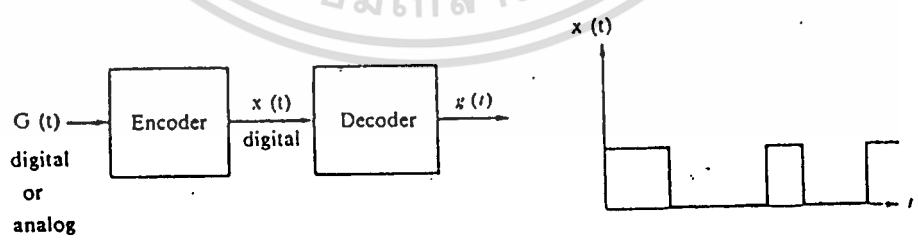
#### สัญญาณรบกวนแบบอิมพัลส์

โดยทั่วไปแล้วจะรบกวนข้อมูลตอนลอก ตัวอย่างเช่นการส่งผ่านเสียงอาจจะถูกทำลาย โดยสัญญาณกรีกแกรกทำให้ไม่สามารถเข้าใจเสียงได้ แต่อย่างไรก็ตามสัญญาณรบกวนแบบอิมพัลส์ ก็เป็นแหล่งกำเนิดเบื้องต้นของความผิดพลาด สำหรับการสื่อสารข้อมูลดิจิทัล ตัวอย่างเช่น สัญญาณกระชากที่เปลี่ยนแปลงพลังงานอย่างรวดเร็วภายในเวลา 0.01 วินาที อาจจะไม่สามารถทำลายข้อมูลเสียงได้ แต่มันจะทำลายบิตของข้อมูลดิจิทัลที่ส่งผ่านด้วยความเร็ว 4800 bps ไปถึง 50 บิต ดังแสดงตัวอย่างในรูป 2.2



รูป 2.2 อธิบายของสัญญาณ

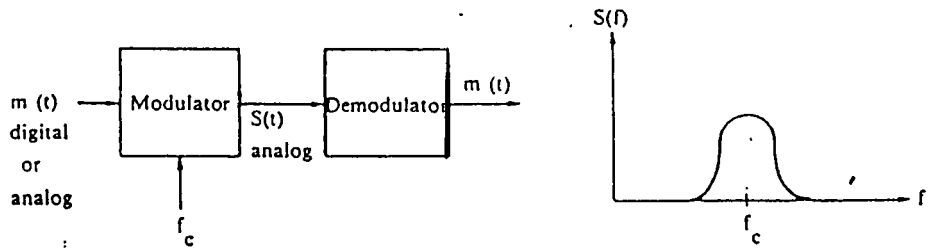
การเข้ารหัสข้อมูล (Data Encoding)



(a) Encoding onto a digital signal

รูป 2.3a เทคนิคการเข้ารหัสและการมอดูเลชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b) Modulation onto an analog signal

### รูป 2.3b เทคนิคการเข้ารหัสและการมอดดูเลชั่น

ในการเข้ารหัสและการมอดดูเลชั่น ซึ่งขบวนการดังกล่าวอาจมีข้อมูลต้นกำเนิดเป็นอนาลอกหรือดิจิทัลก็ได้ และสำหรับเทคนิคในการเข้ารหัสแบบดิจิทัลแล้วรูปแบบของสัญญาณ  $x(t)$  จะมีรูปแบบที่หลากหลายซึ่งก็ขึ้นอยู่กับวิธีการเลือกเทคนิควิธีในการเข้ารหัสได้เหมาะสมได้ประสิทธิภาพสูงสุด ในการส่งผ่านเข้าข้อมูลไปในตัวกลางนั้น ๆ ตัวอย่างการเลือกการเข้ารหัสบางครั้งเราก็อาจเลือกเพื่อให้สอดคล้องกับแบนด์วิดท์ หรือเพื่อให้เกิดความผิดพลาดน้อยที่สุด ในกรณีของสัญญาณอนาลอก คุณสมบัติพื้นฐานที่สำคัญประการหนึ่งของสัญญาณก็คือการมีค่าความถี่ที่คง ที่ต่อเนื่อง จึงเป็นคุณสมบัติที่เหมาะสมที่จะใช้เป็นสัญญาณนำพาข้อมูล และความถี่ของสัญญาณตัวนำพาใด ๆ จะถูกเลือกให้เหมาะสมกับตัวกลางที่จะใช้ส่งผ่าน โดยการนำพาข้อมูลอาศัยวิธีการ มอดดูเลชั่น ซึ่งถือว่าเป็นขบวนการของการเข้ารหัสข้อมูลไปบนสัญญาณตัวนำพาที่มีความถี่  $f_c$  เทคนิคการมอดดูเลชั่นทั้งหมด จะอยู่ภายในขอบเขตของการทำการเปลี่ยนแปลงค่าพารามิเตอร์ที่เป็นคุณสมบัติเบื้องต้นของสัญญาณซึ่งก็ได้แก่ขนาด(Amplitude),ความถี่ (Frequency)และ เฟส (phase)

ในรูปที่ 2.3b สัญญาณอินพุต  $m(t)$  จะมีรูปแบบเป็น ดิจิตอลหรืออนาลอกก็ได้ โดยเราจะเรียกมันว่า สัญญาณมอดดูเลทติ้ง หรือเบสแบนด์ ผลของการมอดดูเลทข้อมูลกับสัญญาณตัวนำพาจะได้สัญญาณ  $s(t)$  ที่เรียกว่า สัญญาณที่มอดดูเลทแล้ว ซึ่งมีแบนด์วิดท์ที่จำกัด และมีแบนด์วิดท์ที่สัมพันธ์กับ  $f_c$  โดยมี  $f_c$  เป็นตำแหน่งศูนย์กลางของแบนด์ และเนื้อหาต่อจากนี้ไปจะเป็นการกล่าวถึงคุณสมบัติของการเข้ารหัสแบบต่าง ๆ ซึ่งก็มีจุดประสงค์เพื่อให้ได้คุณสมบัติของสัญญาณที่ดีที่สุดในการส่งผ่าน

การจัดส่งสัญญาณนั้นมี 4 วิธี ตมลักษณะของข้อมูลและสัญญาณ ซึ่งข้อพิจารณา

ในการเลือกใช้วิธีการจัดส่งสัญญาณทั้ง 4 วิธีนั้นมีดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Digital data, digital signal: โดยทั่ว ๆ ไปแล้วอุปกรณ์ที่ใช้ในการเข้ารหัสข้อมูลดิจิทัลเป็นสัญญาณดิจิทัลจะไม่ยุ่งยากซับซ้อน และมีราคาถูกกว่าอุปกรณ์ที่ใช้มอดูเลตข้อมูลจากดิจิทัลไปเป็นอนาลอก

- Analog data, digital signal: การแปลงข้อมูลอนาลอกให้เป็นสัญญาณดิจิทัลได้มีการนำมาใช้กันในการส่งผ่านดิจิทัลแบบใหม่กับอุปกรณ์สวิตซ์

- Digital data Analog signal: สำหรับตัวกลางการส่งผ่านบางตัว เช่นไฟเบอร์ออฟติก และตัวกลางแบบไร้สาย จะยอมให้สัญญาณอนาลอกเคลื่อนที่ไปได้เพียงอย่างเดียว

- Analog data, Analog signal: ข้อมูลอนาลอกในรูปแบบทางไฟฟ้า สามารถส่งผ่านในลักษณะของสัญญาณเบสแบนด์ได้ง่ายและถูก ตัวอย่างอันหนึ่งก็ได้แก่การส่งผ่านเสียงไปในสายโทรศัพท์ ประโยชน์โดยทั่วไปอันหนึ่งของการมอดูเลชันก็คือการเลื่อนแบนด์วิดธ์ของสัญญาณเบสแบนด์ไปยังอีกส่วนหนึ่งของสเปกตรัม ด้วยวิธีการดังกล่าวนี้ สัญญาณหลาย ๆ ตัว โดยที่แต่ละตัวอยู่ในตำแหน่งของสเปกตรัมที่แตกต่างกัน สามารถใช้ตัวกลางในการส่งผ่านร่วมกันได้ ซึ่งวิธีการนี้เรียกว่าการมัลติเพลกซ์ทางความถี่

### ข้อมูลดิจิทัล, สัญญาณดิจิทัล

สัญญาณเบสแบนด์เป็นสัญญาณที่ได้จากการเข้ารหัสข้อมูลโดยตรง โดยที่ยังไม่มีการมอดูเลชันใด ๆ ซึ่งในบางโอกาสสำหรับดิจิทัลตามปกติแล้วโดยทั่วไป เราก็สามารถส่งสัญญาณเบสแบนด์ไปได้โดยไม่ต้องมีการมอดูเลชัน เช่นสัญญาณโทรศัพท์เป็นต้น ช่องทางเดินของสัญญาณการส่งผ่านจะเป็นตัวกำหนดรูปแบบของสัญญาณที่ใช้ในการส่งผ่าน การส่งผ่านแบบเบสแบนด์บ่อยครั้งที่จะต้องมีการเปลี่ยนรูปแบบของสัญญาณที่ตัวส่ง เพื่อให้สัญญาณที่ส่งไปถึงตัวรับได้ และตัวรับสามารถกู้สัญญาณเดิมกลับคืนมาได้ถูกต้อง รูปแบบของสัญญาณดังกล่าวนี้ อาจจะถูกกำหนดด้วยรูปร่างหรือรหัส ที่ยังรักษาคุณลักษณะเบสแบนด์ของสัญญาณดิจิทัลเอาไว้ได้ เทคนิคที่จะได้กล่าวถึงในที่นี้จะนำไปใช้กับระบบสายเคเบิลทั้งแบบโลหะ และเส้นใยนำแสงที่ใช้การส่งผ่านแบบเบสแบนด์

คุณสมบัติต่าง ๆ ที่สำคัญในการส่งผ่านแบบเบสแบนด์ที่ใช้รูปร่างหรือรหัสของสัญญาณมีดังต่อไปนี้

- ข่าวสารทางเวลาที่เหมาะสม (Adequate timing information)

เทคนิครหัสเบสแบนด์ที่ดีจะต้องทำให้จำนวนการเปลี่ยนแปลงสถานะของข้อมูลมีจำนวนเพิ่มมากขึ้น ซึ่งจะเป็นการเพิ่มประสิทธิภาพการทำงานของวงจรกู้สัญญาณเวลาให้ดีขึ้นทั้งค่าของบิต ข้อมูลและสัญลักษณ์ในการซิงค์ (Synchronization)

- การตรวจสอบความผิดพลาด และการแก้ไขให้ถูกต้อง (Error detection/correction) รหัสที่พิจารณาค่าต่อไปนี้จะมีความสามารถในการตรวจสอบความผิดพลาดอยู่ภายในได้ ถ้าเรากำหนดให้มีการเปลี่ยนแปลงระหว่างกลางระดับสัญญาณ ถ้าคุณสมบัติที่กำหนดให้มีการเปลี่ยนแปลงไปก็จะเป็นการเตือนให้รู้ว่ามีผิดพลาดเกิดขึ้นแม้ว่าการแก้ไขความผิดพลาดจะไม่สามารถทำได้จากคุณสมบัติของรหัสเบสแบนด์นี้ก็ตาม

- การลดแบนด์วิธ (Reduced bandwidth)

แบนด์วิธของสัญญาณดิจิทัลอาจจะถูกลดลงได้โดยการใช้โครงสร้างตัวกรองสัญญาณที่ละเอียดแน่นอน กับการส่งผ่านแบบหลายระดับ หรือ เทคนิคการเข้ารหัสบางแบบอาจ จะไม่ได้รับความนิยม เพราะเมื่อเข้ารหัสไปแล้วอาจทำให้ S/N ลดลงหรือจำนวนการเกิดการสอดแทรกระหว่างสัญญาณ (Intersymbol interference)

- รูปร่างของสเปกตรัม (spectrum shaping)

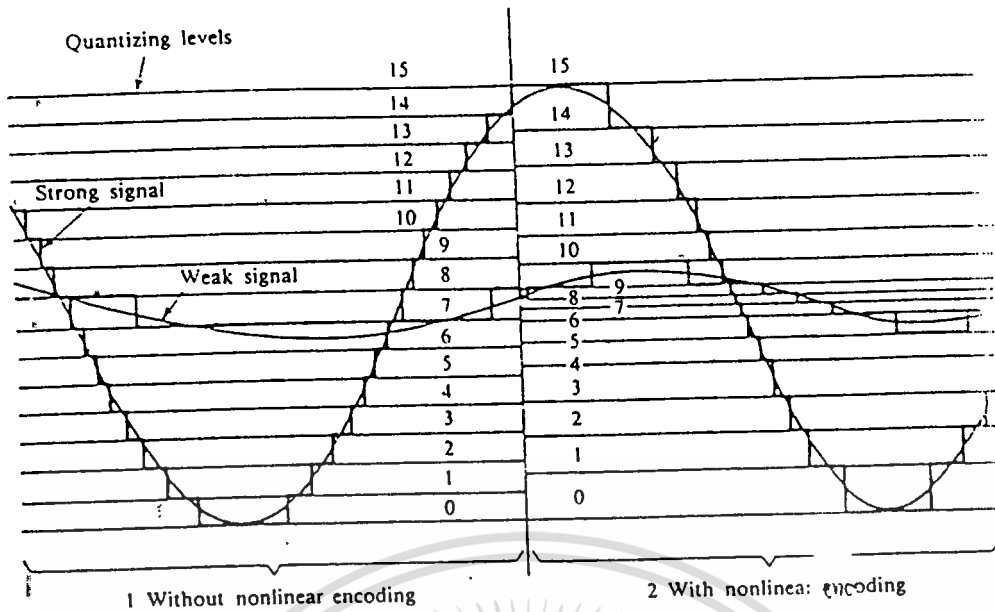
รูปร่างของสเปกตรัมข้อมูล สามารถเปลี่ยนแปลงได้ด้วย โครงสร้างของการสแกนบลิ้ง (scrambling) หรือการกรองซึ่งโครงสร้างเหล่านี้จะถูกเลือกให้เหมาะสม ระหว่างสัญญาณกับคุณสมบัติของช่องสัญญาณการส่งผ่าน หรือกับการควบคุมการแทรกสอดระหว่างช่องทางเดินสัญญาณที่แตกต่างกัน

## 2.2 ขบวนการเปลี่ยนสัญญาณข้อมูลอนาลอกให้เป็นสัญญาณดิจิทัล

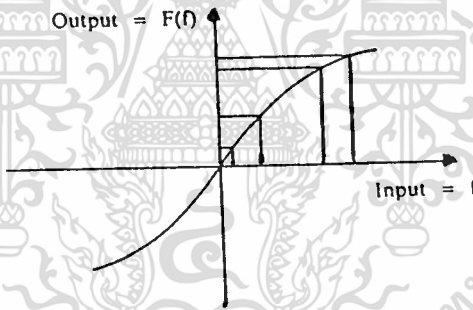
อุปกรณ์ที่ใช้ในการแปลงข้อมูลอนาลอกให้เป็นรูปแบบดิจิทัลในการส่งผ่านและกู้สัญญาณข้อมูลอนาลอกดั้งเดิมกลับคืนมา จากสัญญาณดิจิทัลเรียกว่า codec (coder-decoder) ในหัวข้อนี้จะกล่าวถึง เกล็ด้ามอดคูเลชั่น

### Delta Modulation (DM)

วิธีการของ DM ข้อมูลอนาลอกจะถูกประมาณค่าด้วยฟังก์ชันสเตร์เคส (Staircase) ที่มีการเขยิบขึ้นลงด้วยระดับการคว้นไคซ์ที่แต่ละเวลาในการสุ่ม ยกตัวอย่างในรูป 2.6 จะเห็นได้ว่าฟังก์ชันของสเตร์เคสจะทาบทับ (เหยียดยาว) อยู่บนรูปคลื่นอนาลอกของสัญญาณ คั้งเดิมลักษณะที่สำคัญของฟังก์ชันสเตร์เคสก็คือ เป็นไบนารี โดยที่แต่ละเวลาในการสุ่ม ฟังก์ชัน จะมีการเลื่อนขึ้นลงเป็นจำนวนคงที่ ซึ่งทำให้เข้าที่ทุกของ DM เป็นเลขไบนารี 1. ตัวสำหรับแต่ละ ตัวอย่างการสุ่ม ตัวประการสำคัญก็คือว่า ขบวนการของบิทที่ถูกสร้างขึ้นมาโดยการประมาณค่า อนุพันธ์ของสัญญาณ แทนที่จะเป็นการประมาณค่าของแอมพลิจูด



รูป 2.4 อิทธิพลของความไม่เป็นเชิงเส้นในการเข้ารหัส

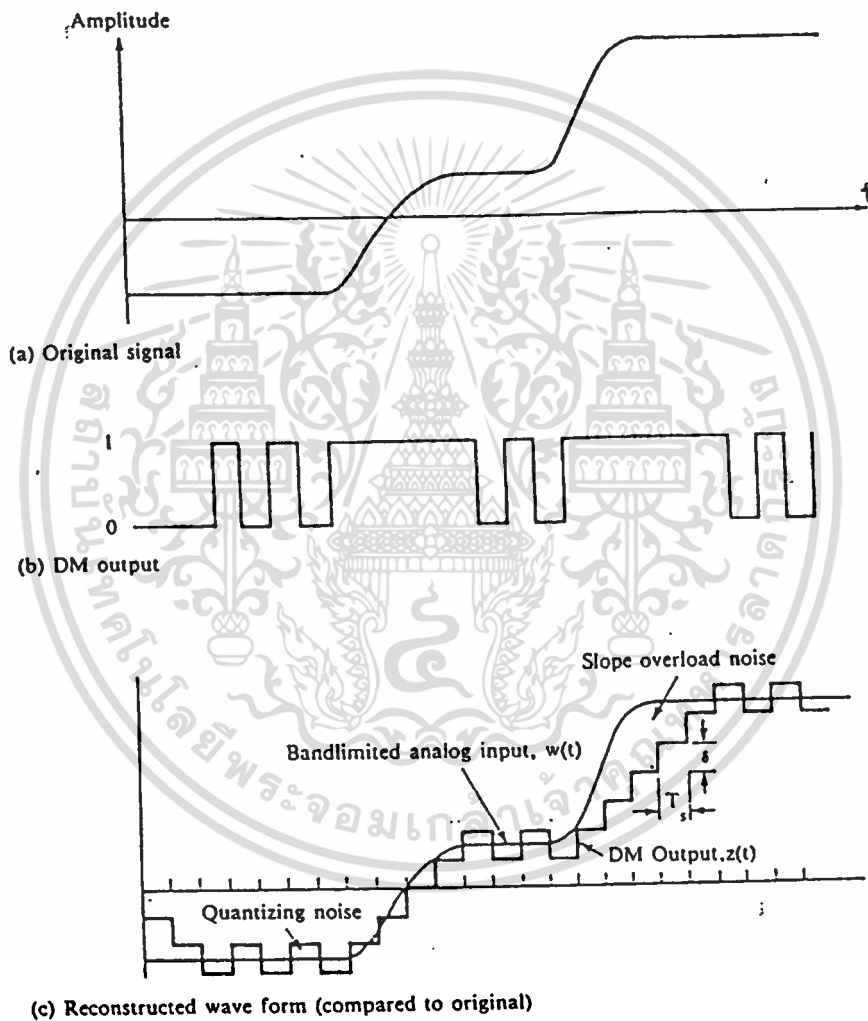


รูป 2.5 ตัวอย่างฟังก์ชันการคอมเพรสชั่น

โดยที่เลข 1 จะถูกสร้างขึ้นมาถ้าฟังก์ชันกำลังขึ้นระหว่างช่วงต่อไป และ 0 จะถูกสร้างขึ้นในทางตรงกันข้าม

การเปลี่ยนแปลง (ขึ้นหรือลง) ที่เกิดขึ้นในแต่ละการสุ่มที่ขณะใด ๆ ถูกเลือกเพื่อให้ฟังก์ชันสเตร์เคส (Staircase) ติดตามรูปคลื่นสัญญาณอนาลอกได้อย่างใกล้ชิดเท่าที่จะเป็นไปได้ รูป 2.7 แสดงกระบวนการของ DM ซึ่งมีส่วนของขบวนการป้อนกลับเป็นส่วนสำคัญ สำหรับการส่งผ่านจะมีเหตุการณ์เกิดขึ้นดังนี้ ที่แต่ละตัวอย่างการสุ่มที่ขณะใด ๆ สัญญาณอินพุทจะถูกเปรียบเทียบกับค่าของ การประมาณฟังก์ชันของสเตร์เคสในเวลานั้น ถ้าค่าของรูปคลื่นทำการสุ่มเกินค่าของฟังก์ชันสเตร์เคส เลข 1 ก็จะถูกสร้างขึ้นมา และถ้าเป็นในทางกลับกัน 0 ก็จะถูก

สร้างขึ้นค่าเลขไบนารีเหล่านี้จะถูกส่งเป็นเอาต์พุตออกไป ซึ่งมันจะถูกนำไปใช้เพื่อประมาณค่าต่อไปของรูปคลื่น



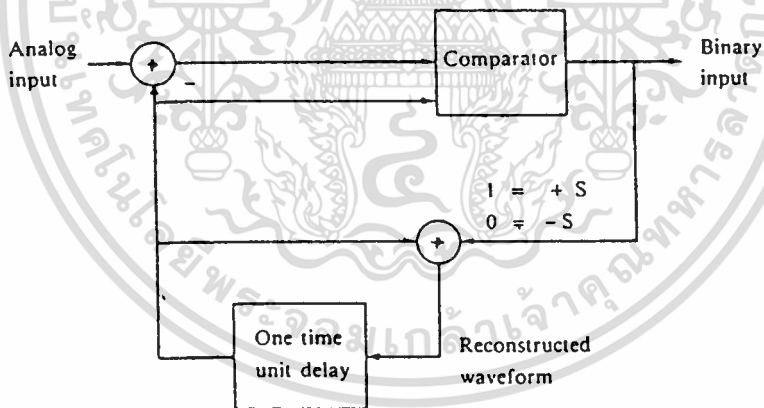
รูป 2.6 ตัวอย่างของเดลต้ามอดูเลชัน (DM)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

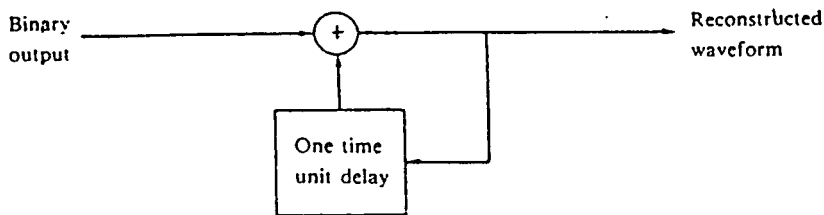
ที่สร้างขึ้นใหม่ (ฟังก์ชันสแควร์เคส) ค่าคงที่  $\delta$  จะถูกเพิ่มเข้าไปกับฟังก์ชันสำหรับค่าเอาต์พุต 1 และ ค่า  $\delta$  ถูกหักลบออกไปสำหรับค่า 0 รูป 2.7 แสดงให้เห็นถึงกระบวนการในการสร้างกระบวนการของเลขไบนารีโดยใช้ DM และในการรับเพื่อสร้างการประมาณฟังก์ชันสแควร์เคส

มีตัวพารามิเตอร์ที่สำคัญสองตัว ในโครงสร้างของ DM คือได้แก่ ขนาดของขั้นกระโดด 0 และอัตราการสุ่ม (sampling rate) ในรูป 2.6 แสดงให้เห็นค่า จะต้องเลือกค่า  $\delta$  เพื่อสร้างสมดุลระหว่างความผิดพลาดหรือสัญญาณรบกวนสองชนิดคือ เมื่อคลื่นอนาลอกกำลังมีการเปลี่ยนแปลงอย่างช้า ๆ ณ ที่นั้น จะมีควันทไชน์น้อยซ์ สัญญาณรบกวนชนิดนี้จะมีค่ามากขึ้นถ้า  $\delta$  ถูกทำให้เพิ่มขึ้นหรืออีกนัยหนึ่ง คือเมื่อรูปคลื่นอนาลอกกำลังเปลี่ยนแปลงอย่างรวดเร็วมากกว่าที่ ฟังก์ชันสแควร์เคสจะตามทัน ณ ที่นี้ก็จะเกิด slope overload noise ซึ่งสัญญาณรบกวนตัวนี้จะเพิ่มขึ้นในขณะที่ 0 ลดลง ซึ่งจะเห็นได้ชัดว่าความละเอียดของโครงสร้างสามารถปรับปรุงให้ดีขึ้น โดยการเพิ่มอัตราการสุ่ม แต่อย่างไรก็ตามวิธีการนี้ก็จะเป็นการเพิ่มอัตราข้อมูลของสัญญาณเอาต์พุต

ข้อได้เปรียบของ DM เหนือ PCM ก็คือ ง่ายในแง่ของการปฏิบัติ โดยทั่วไป PCM จะมีคุณสมบัติของ S/N ดีกว่า DM ที่อัตราข้อมูลที่เท่ากัน



(a) Transmission



(b) Reception

### รูป 2.7 เกล็ดตามอคดูเลขชั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

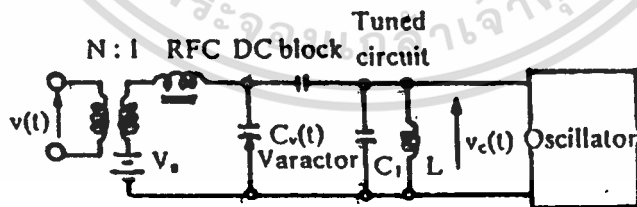
2.3 การสร้างสัญญาณ FM

การสร้างสัญญาณ FM นั้นสามารถแบ่งได้กว้าง ๆ เป็น 2 แบบด้วยกัน คือ แบบทางตรงกันแบบทางอ้อม แบบทางตรงนั้นจะหมายถึง การนำเอาสัญญาณที่จะเข้ามาออกดูเลตไปเปลี่ยนความถี่ของคลื่นพาห์โดยตรง สำหรับแบบทางอ้อมนั้นก็จะเป็นวิธีการที่อาศัยวงจรหลายๆ อย่างประกอบกัน ในหัวข้อนี้จะกล่าวถึงการสร้างสัญญาณ FM โดยวิธีการทั้งสองนี้

2.3.1 การสร้างสัญญาณ FM แบบทางตรง

การสร้างสัญญาณ FM แบบทางตรงนั้นเป็นการนำเอาสัญญาณที่จะเข้ามาออกดูเลตไปเปลี่ยนความถี่ของคลื่นพาห์โดยตรง ซึ่งออสซิลเลเตอร์ที่ทำงานในลักษณะนี้ได้ก็มีรีเฟล็กซ์ไคลสตรอน (reflex klystron) และ กัณน์ไดโอด (Gunn diode) ที่ใช้ในย่านความถี่ไมโครเวฟเป็นต้น ออสซิลเลเตอร์ทั้งสองแบบนี้ ความถี่ที่ออสซิลเลตออกมาจะเปลี่ยนไปตามแรงดันไบอัสในรูปเชิงเส้น ดังนั้นเมื่อนำสัญญาณที่เข้ามาออกดูเลตไปเปลี่ยนแรงดันไบอัสก็จะทำให้ได้สัญญาณ FM ออกมาโดยตรง สำหรับความถี่ในย่านต่ำกว่าไมโครเวฟลงมานั้นเรามักจะใช้ชิ้นส่วนอิเล็กทรอนิกส์ที่เรียกว่า วาเรคเตอร์ (varactor หรือ variable reactor) ชิ้นส่วนนี้จะมีคุณสมบัติเฉพาะคือ ค่าคาปาซิแตนซ์จะเปลี่ยนแปลงไปตามระดับของแรงดันที่คร่อมอยู่ ดังนั้น ถ้าเราใช้วาเรคเตอร์นี้เป็นส่วนหนึ่งของวงจรเรโซแนนซ์ที่ใช้ในวงจรออสซิลเลเตอร์ เราก็จะสามารถสร้างสัญญาณ FM ได้โดยป้อนสัญญาณที่เข้ามาออกดูเลตไปเปลี่ยนค่าคาปาซิแตนซ์ของวาเรคเตอร์

รูปที่ 2.3.1 แสดงตัวอย่างวงจรที่ใช้วาเรคเตอร์ดังกล่าวนี้



รูปที่ 2.3.1 ตัวอย่างวงจรที่ใช้วาเรคเตอร์ในการสร้างสัญญาณ FM

ในการวิเคราะห์หาค่าความถี่เบี่ยงเบนที่จะสร้างได้นั้นอาจจะทำได้โดยให้ค่าคาปาซิแตนซ์ของส่วนที่เป็นคาปาซิเตอร์เขียนได้เป็น

$$C(t) = C_0 - C_v v(t) \quad (1)$$

โดยที่ค่า  $C_v v(t)$  มีขนาดเล็กเมื่อเทียบกับ  $C_0$  เนื่องจากความถี่เรโซแนนซ์ของวงจรเรโซแนนซ์เขียนได้เป็น  $f_c = 1/(2\pi\sqrt{LC})$  เมื่อใช้ค่า  $C(t)$  ตามสมการ (1) จะเขียนความถี่เรโซแนนซ์นี้ได้ในรูปแบบต่อไปนี้

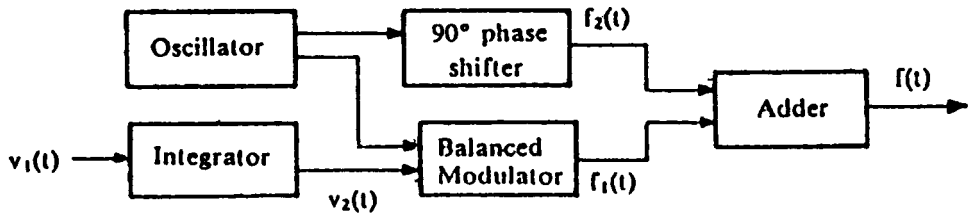
$$\begin{aligned} f_c(t) &= \frac{1}{2\pi\sqrt{LC(t)}} = \frac{1}{2\pi\sqrt{LC_0}} \left[1 - \frac{C_v}{C_0} v(t)\right]^{-\frac{1}{2}} \\ &= f_c \left[1 + \frac{C_v}{2C_0} v(t)\right] \\ &= f_c + \frac{C_v}{2C_0} f_c v(t) \end{aligned} \quad (2)$$

ตามผลที่ได้ในสมการ (2) นี้จะเห็นว่าค่าความถี่เบี่ยงเบนชั่วขณะจะแปรตรงกับสัญญาณที่เข้ามา มอดูเลต แสดงว่าเราสามารถสร้างสัญญาณ FM ได้โดยตรงจากการเปลี่ยนค่าคาแปซิแตนซ์ของ วาเรคเตอร์ดังกล่าวข้างต้น

วิธีสร้างสัญญาณ FM แบบทางตรงที่กล่าวมานี้มีข้อดีที่ทำได้และค่าเบี่ยงเบน ความถี่ที่ได้จะสูงพอสมควร แต่ก็มีข้อเสียที่สำคัญคือ ค่า  $f_c$  เองจะครีพท์ (drift) ได้ง่าย จึงจำเป็นต้องมีวงจรชดเชยอุณหภูมิและวงจรควบคุมความถี่  $f_c$  ให้คงที่ซึ่งก็จะเพิ่มความยุ่งยากของวงจรให้สูงขึ้น

### 2.3.2 การสร้างสัญญาณ FM แบบทางอ้อม

การสร้างสัญญาณ FM แบบทางอ้อมนั้นโดยทั่วไปจะใช้ส่วนประกอบของวงจร ตามที่แสดงไว้ในรูปที่ 2.3.2 กล่าวคือจะใช้วงจรอินทิเกรเตอร์ในการอินทิเกรตสัญญาณที่เข้ามา มอดูเลต และส่วนที่เป็นบาลานซ์มอดูเลเตอร์ เฟสชิฟเตอร์และวงจรบวกจะทำหน้าที่เป็น เฟสมอดูเลเตอร์ ซึ่งจะทำให้สัญญาณที่ผ่านวงจรส่วนนี้จะเป็นสัญญาณ FM ตามที่ได้อธิบายไว้ในหัวข้อ 2.3.2 ในการแสดงว่าสัญญาณที่



รูปที่ 2.3.2 ส่วนประกอบของวงจรที่ใช้สร้างสัญญาณ FM แบบทางอ้อม

แต่ละจุดเปลี่ยนแปลงไปอย่างไรนั้นจะพิจารณาได้โดยใช้รูปที่ 2.3.2 ประกอบดังนี้ ก่อนอื่น สัญญาณคลื่นพาห้และสัญญาณ  $v_2(t)$  ที่เข้าสู่วงจรบาลานซ์มอดูเลเตอร์ จะทำให้เกิดสัญญาณขาออกเป็นสัญญาณ DSB ที่เขียนได้ในรูปต่อไปนี้

$$f_1(t) = Av_2(t) \cos \omega_c t \quad (3)$$

ส่วนสัญญาณคลื่นพาห้ที่ผ่านเฟสชิฟเตอร์  $90^\circ$  นั้น จะเขียนได้ดังนี้

$$f_2(t) = B \cos(\omega_c t - \pi/2) = B \sin \omega_c t \quad (4)$$

เมื่อสัญญาณทั้งสองนี้มารวมกันที่วงจรวก สัญญาณขาออกก็จะเป็นดังนี้

$$\begin{aligned} f(t) &= f_1(t) + f_2(t) = Av_2(t) \cos \omega_c t + B \sin \omega_c t \\ &= B \sqrt{1 + \frac{A^2}{B^2} v_2^2(t)} \sin[\omega_c t + \phi(t)] \end{aligned} \quad (5)$$

โดยที่

$$\phi(t) = \tan^{-1} \left[ \frac{A}{B} v_2(t) \right] \quad (6)$$

ถ้าระดับของสัญญาณคลื่นพาห้สูงมากจนทำให้  $A/B \ll 1$  สมการ (6) ก็จะประมาณค่าได้เป็น

$$\phi(t) \approx \frac{A}{B} v_2(t) \quad (7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



และเนื่องจาก  $v_2(t)$  ก็มีขนาดเล็กเช่นเดียวกันเมื่อเทียบกับขนาดของคลื่นพาดังนั้นสมการ (5) จะประมาณค่าได้เป็น

$$f(t) = B \sin[\omega_c t + \frac{A}{B} v_2(t)] \quad (8)$$

สมการ (8) นี้ก็จะแสดงสัญญาณ PM ที่มี  $v_2(t)$  เป็นสัญญาณที่เข้ามอดูเลต และมี  $A/B$  เป็นมอดูเลชันอินเด็กซ์ในกรณีนี้ก็จะมอดูเลชันเล็กน้อย เนื่องจากสัญญาณ  $v_2(t)$  ได้จากการอินทิเกรตสัญญาณที่เข้ามามอดูเลตจริง ๆ คือ  $v_2(t)$  ดังนั้นสมการ (8) จะเขียนได้เป็น

$$f(t) = B \sin[\omega_c t + \frac{A}{B} \int_{-\infty}^t v_1(t) dt] \quad (9)$$

ซึ่งสัญญาณในสมการ (9) นี้ก็เป็นสัญญาณ FM ที่มีค่าเบี่ยงเบนความถี่ต่ำ วิธีสร้างสัญญาณแบบทางอ้อมที่กล่าวมานี้มีชื่อเรียกว่า วิธีมอดูเลตแบบอาร์มสตรอง (Armstrong's modulation method) ในการมอดูเลตแบบนี้จะมีข้อจำกัดที่ค่าเบี่ยงเบนความถี่ต่ำ ซึ่งหมายถึงสัญญาณที่ได้ในขั้นนี้ก็จะเป็นสัญญาณ FM แบบเบนด์วิคท์แคบ กรณีที่ต้องการสัญญาณ FM แบบเบนด์วิคท์กว้างก็จะต้องมีการออกแบบตั้งแต่ต้น คือใช้วงจรคูณความถี่เข้าช่วยซึ่งจากที่ได้อธิบายไว้ในหัวข้อ 7.2.5 วงจรนี้จะทำให้ความถี่ของคลื่นพาดสูงขึ้นพร้อมกับทำให้ค่าเบี่ยงเบนความถี่สูงขึ้น สัญญาณที่ผ่านออกจากรวมคูณความถี่และฟิลเตอร์ผ่านแถบความถี่อันดับที่  $n$  แล้วสามารถเขียนได้ในรูปต่อไปนี้

$$v_c(t) = C \sin[n\omega_c t + nk \int_{-\infty}^t v_1(t) dt] \quad (10)$$

ในทางปฏิบัติค่า  $n$  ที่ใช้มักจะเป็น 2 หรือ 3 เพราะเป็นช่วงที่ใช้งานได้ผลที่สุด กรณีที่ต้องการวงจรมคูณความถี่ที่มีตัวคูณสูงกว่านี้ ก็จะทำโดยใช้ตัวคูณหลายตัวประกอบกัน เช่น ต้องการคูณความถี่ 64 เท่าก็จะทำได้โดยใช้ตัวคูณความถี่ 2 เท่าเป็นจำนวน 6 ตัว เป็นต้น ข้อสังเกตที่สำคัญของการคูณความถี่ที่กล่าวมานี้ก็คือ ค่ามอดูเลชันอินเด็กซ์หรือ  $\beta$  สูงขึ้น ซึ่งผลตามมาก็คือ ค่าเบี่ยงเบนความถี่ หรือ  $\Delta f$  จะสูงขึ้น นั่นหมายความว่าถ้าสัญญาณเบสแบนด์ที่เข้ามามอดูเลตมีความถี่เป็น  $f_m$  ขนาดของไซด์แบนด์ก็จะกว้างออกไป โดยที่ช่วงห่างระหว่างสเปกตรัมที่

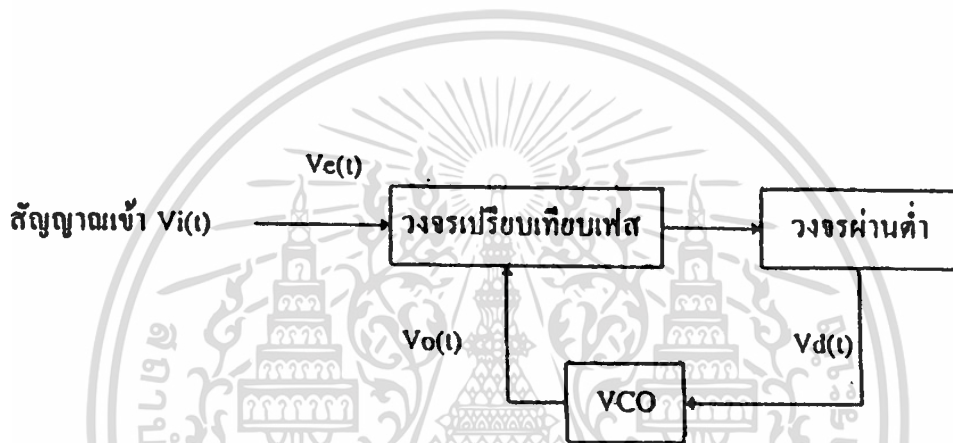
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อยู่ติดกันในไซค์แบนด์ก็ยังคงเป็น  $f_m$  เหมือนเดิม แต่สิ่งที่แตกต่างไปจากเดิมก็คือขนาดของสเปกตรัมจะเปลี่ยนแปลงไปจากเดิม

#### 2.4 ทฤษฎีเฟสล็อกลูป (Phase Lock Loop : PLL)

วงจรเฟสล็อกลูปประกอบด้วยวงจรเปรียบเทียบเฟส วงจรผ่านต่ำ วงจรขยาย และวงจรผลิตความถี่ควบคุมโดยแรงดัน (Voltage Control Oscillator ; VCO) ต่อเป็นวงรอบ (Loop) อย่างเช่น วงจรป้อนกลับทั่ว ๆ ไป (ดูรูปที่ 2.4.1)



รูปที่ 2.4.1 วงจรพื้นฐานของเฟสล็อกลูป

วงจรเปรียบเทียบเฟส คือวงจรที่ให้แรงดันออกเป็นปฏิภาคกับผลต่างระหว่างเฟสของสัญญาณเข้าสองสัญญาณ วงจรนี้อาจเป็นวงจรคูณถั่วสัญญาณเข้า  $v_i(t)$  มีความถี่  $\omega_i$  และเฟส  $\theta_i$

$$v_i = V_i \sin(\omega_i t + \theta_i) \quad (2.4.1)$$

และสัญญาณออกจาก VCO มีความถี่  $\omega_o$  และเฟส  $\theta_o$

$$v_o = V_o \cos(\omega_o t + \theta_o) \quad (2.4.2)$$

ถ้าป้อน  $v_i$  และ  $v_o$  เข้าที่เปรียบเทียบเฟส จะได้สัญญาณคือ

$$v_e(t) = K_m v_i v_o \quad (2.4.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเราไม่สนใจเทอมความถี่  $2\omega_i$  ซึ่งถูกกำจัดโดยวงจรผ่านต่ำจะได้

$$v_c = \frac{K_m v_i v_o}{2} \sin(\theta_i - \theta_o) \quad (2.4.4)$$

หากให้ผลต่าง  $\theta_i - \theta_o$  มีค่าน้อย ๆ จะได้

$$v_c = K_d (\theta_i - \theta_o) \quad (2.4.5)$$

โดย  $K_d$  เป็นค่าแกนของเฟสดีเทคเตอร์มีขนาดเป็น V/rad และในกรณีที่ทำให้ระบบเป็นเชิงเส้นเราจะได้ความถี่ด้านออกจากวงจร VCO ที่เบี่ยงเบนออกจากความถี่ศูนย์กลางคือ

$$\Delta\omega = K_d V_c \quad (2.4.6)$$

โดย  $V_c$  เป็นแรงดันด้านเข้าของวงจร  
 $K_d$  เป็นแกนของ VCO มีขนาดเป็น rad/v

ดังนั้นความถี่ด้านออกของ VCO คือ

$$f_o = \omega_c + \Delta\omega = \omega_c + K_d V_c \quad (2.4.7)$$

โดยที่  $\omega_c$  เป็นความถี่อิสระ (Free Running) ของ VCO และจากความถี่เป็นการอนุพันธ์ของเฟสเทียบกับเวลาหรือเขียนได้เป็น

$$\Delta\omega = \frac{d\theta_o}{dt} = K_d V_c \quad (2.4.8)$$

หรือเขียนเฟสด้านออกของลูปได้ว่า

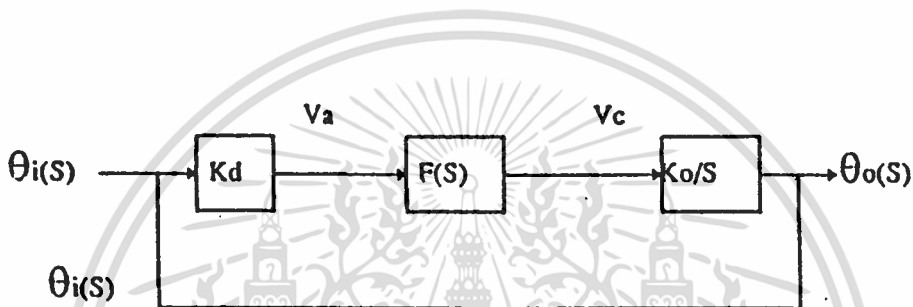
$$\theta_o(s) = \int_0^s \Delta\omega dt \quad (2.4.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีในระบบเฟสล็อกกลุ๊ป ถ้าทำการวิเคราะห์ด้วยลาปลาซทรานส์ฟอร์ม สามารถแสดงเฟสด้านออกได้ว่า

$$\theta_o(s) = \frac{K_o V_c}{S} \quad (2.4.10)$$

ดังนั้นระบบเฟสล็อกกลุ๊ปสามารถแสดงแบบจำลองดังรูป



รูปที่ 2.22 แบบจำลองของเฟสล็อกกลุ๊ป

ซึ่งจากแบบจำลองเราสามารถเขียนทรานส์เฟอร์ฟังก์ชันได้คือ

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_d K_o \frac{F(s)}{S}}{1 + K_o K_d \frac{F(s)}{S}} \quad (2.4.11)$$

แรงดัน  $v_c$  นี้จะได้รับการขยายและใช้เป็นแรงดันควบคุมความถี่ของ VCO ซึ่งในการทำงานปกติ การควบคุมนี้จะมีผลให้สัญญาณ  $v_o$  จาก VCO มีความถี่ตรงกับสัญญาณด้านเข้า  $v_i$  และถ้าอัตราขยายของลู๊ปมีค่าสูง  $v_c$  จะมีค่าต่ำและเฟส  $\omega_o$  กับ  $\omega_i$  จะมีค่าใกล้เคียงกัน

การทำงานของวงจรเฟสล็อกกลุ๊ปสามารถอธิบายได้อย่างคร่าว ๆ คือ เมื่อไม่มีสัญญาณเข้า ( $v_i$ ) แรงดัน  $v_c$  และ  $v_d$  (ที่ใช้ควบคุม VCO) จะเป็นศูนย์ VCO จะกำเนิดสัญญาณความถี่หนึ่งเรียกว่าความถี่อิสระ  $f_{\infty}$  เมื่อใส่สัญญาณเข้า  $v_i$  ที่ความถี่  $f_i$  ถ้า  $f_i$  ต่างจาก  $f_{\infty}$  มาก สัญญาณ  $v_c$  ซึ่งมีความถี่เท่ากับ  $f_{\infty} - f_i$  จะไม่สามารถผ่านวงจรมานำออก  
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

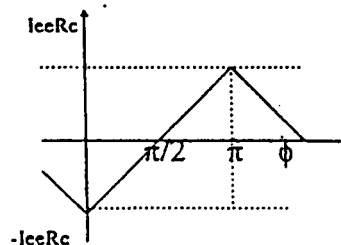
แรงดัน  $v_d$  ที่ใช้ควบคุม VCO จะยังคงเป็นศูนย์ และ VCO ยังคงทำงานที่ความถี่  $f_\infty$  และถ้าหากว่า  $f_i$  มีค่าไม่ต่างจาก  $f_\infty$  มากนัก นั่นคือ  $|f_i - f_\infty| < \Delta f_p$  ( $2\Delta f_p$  มีชื่อว่า ช่วงดึงเข้า หรือ pull-in range) สัญญาณ  $v_c$  จะมีลักษณะไม่สมมาตร กล่าวคือมีองค์ประกอบไฟตรงไม่เท่ากับศูนย์  $v_d$  จะค่อย ๆ เพิ่มค่าขึ้น และหลังจากช่วงหนึ่งเรียกว่า เวลาดึงเข้า (pull-in time) ความถี่  $f_o$  ซึ่งค่อย ๆ แปรค่าไปยังค่า  $f_i$  จะต่างจากเพียง  $f_i$  เพียง  $|f_i - f_o| = \Delta f_c$  ( $2\Delta f_c$  มีชื่อว่าช่วงเวลาจับหรือ capture range) ถึงตอนนี้  $f_o$  จะแปรเข้าสู่ค่า  $f_i$  อย่างรวดเร็วจนจับล็อก เรียกว่าเกิดการล็อก (lock)  $v_d$  ก็จะเปลี่ยนแปลงอย่างฉับพลันเช่นกัน ทั้งนี้สำหรับ VCO โดยทั่วไปความถี่  $f_o$  เป็นปฏิภาคกับการบายเบนจากความถี่อิสระ นั่นคือ

$$\omega_o - \omega_\infty = K_o v_d \quad (2.4.12)$$

โดยที่  $K_o$  เรียกว่าความไวของ VCO มีหน่วยเป็น (rad/sec) / V การได้มา (acquisition) ซึ่งการล็อกอาจใช้วิธีดังนี้

- (ก) ณ. ขณะหนึ่ง ความถี่ของ VCO ต่างจากความถี่ขาเข้า  $f_i$  น้อยกว่า  $\Delta f_c$  จะเกิดการล็อกอย่างฉับพลัน เรียกว่า "เกิดการจับ (capture)"
- (ข) ณ. ขณะหนึ่ง ความถี่ของ VCO ต่างจากความถี่ขาเข้า  $f_i$  มากกว่า  $\Delta f_c$  แต่ไม่น้อยกว่า  $\Delta f_p$  ความถี่ของ VCO จะค่อย ๆ เลื่อนเข้าหาความถี่  $f_i$  เรียกว่า "เกิดการดึงเข้า (pull-in)"
- (ค) นอกช่วงเวลาดึงเข้า หรือในกรณีดึงเข้าใช้เวลานานเกินไปอาจเพิ่มวงจรถ่ายเพื่อควบคุมให้ความถี่ของ VCO กวาด (sweep) ไปเพื่อเสาะหาความถี่ของสัญญาณ หรือถ้าสัญญาณรบกวนมีน้อยก็อาจเพิ่มแถบความถี่ (bandwidth) ของลูป ซึ่งจะเพิ่มช่วงการจับและการดึงเข้า หรืออาจเพิ่มเติมวงจรถ่ายความถี่ (Frequency discriminator) ซึ่งจะปรับ VCO เข้าสู่ช่วงการจับได้อย่างรวดเร็ว

Vo dc component in phase detector



รูปที่ 2.4.3 คุณสมบัติไอออนย้ายของอนาล็อกเฟสดีเทกเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเกิดการลือกแล้วถ้าความถี่ของสัญญาณแปรไป ความถี่ของ VCO จะแปรตามไปด้วย เรียกว่า เกิดการตามรอย (tracking) ความถี่ของ VCO จะสามารถตามรอยความถี่  $f_i$  ได้ ราบใดที่  $|f_i - f_o| < \Delta f_H$  ( $2\Delta f_H$  มีชื่อว่าช่วงคงที่ไว้หรือ hold-in range บางทีก็เรียกว่าช่วงตามรอยช่วงลือก)

สรุปแล้วถ้าเพิ่มหรือลดความถี่ จะได้การเปลี่ยนของ (ซึ่งควบคุม VCO และเป็นปฏิภาคกับ  $(f_i - f_o)$ ) ดังแสดงในรูป 2.4.3

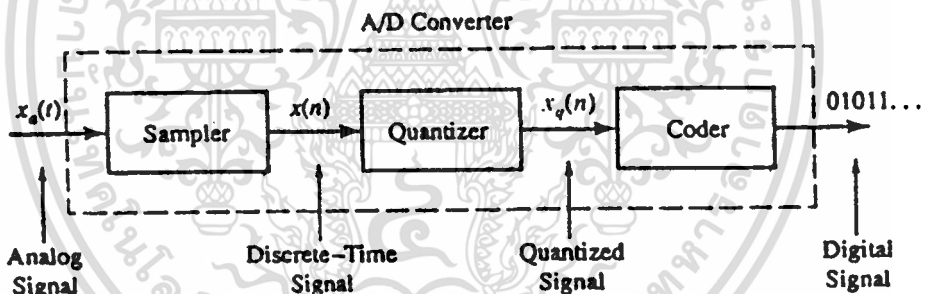


## บทที่ 3

### หลักการทํางานภาคส่ง

#### 3.1 การแปลงอนาลอกเป็นดิจิตอล

เป้าหมายของการศึกษาเกี่ยวกับระบบ รวมถึงการวิเคราะห์และออกแบบระบบ ก็เพื่อนำไปประยุกต์ใช้ในการประมวลสัญญาณ แต่เนื่องจากสัญญาณเกือบทั้งหมดที่เราสนใจ เป็นสัญญาณอนาลอก ในกรณีที่นำเอาระบบเวลาเป็นช่วงมาใช้แทนระบบต่อเนื่อง หรือต้องการเพียงเลียนแบบระบบให้สามารถทํางานประมวลสัญญาณได้เหมือนกัน ก่อนอื่นเราจำเป็นต้องเปลี่ยนสัญญาณเหล่านี้ให้อยู่ในรูปดิจิตอล คือ แปลงมันให้อยู่ในรูปซีแควนซ์ของตัวเลขที่มีความละเอียดที่จำกัดขั้นตอนดำเนินการนี้เรียกว่า การแปลงอนาลอกเป็นดิจิตอล (analog - to digital (A/D) conversion) โดยใช้อุปกรณ์ที่เรียกว่า ตัวแปลง A/D (A/D converter (ADC))



รูปที่ 3.1.1 ส่วนประกอบพื้นฐานของตัวแปลง A/D คือ ตัวสุ่ม (sampler) ตัวควันไทซ์ (quantizer) และตัวทำเป็นรหัส (coder)

ในทางปฏิบัติ การแปลง A/D จะประกอบด้วยกระบวนการ 3 ขั้น ดังรูปที่ 3.1.1

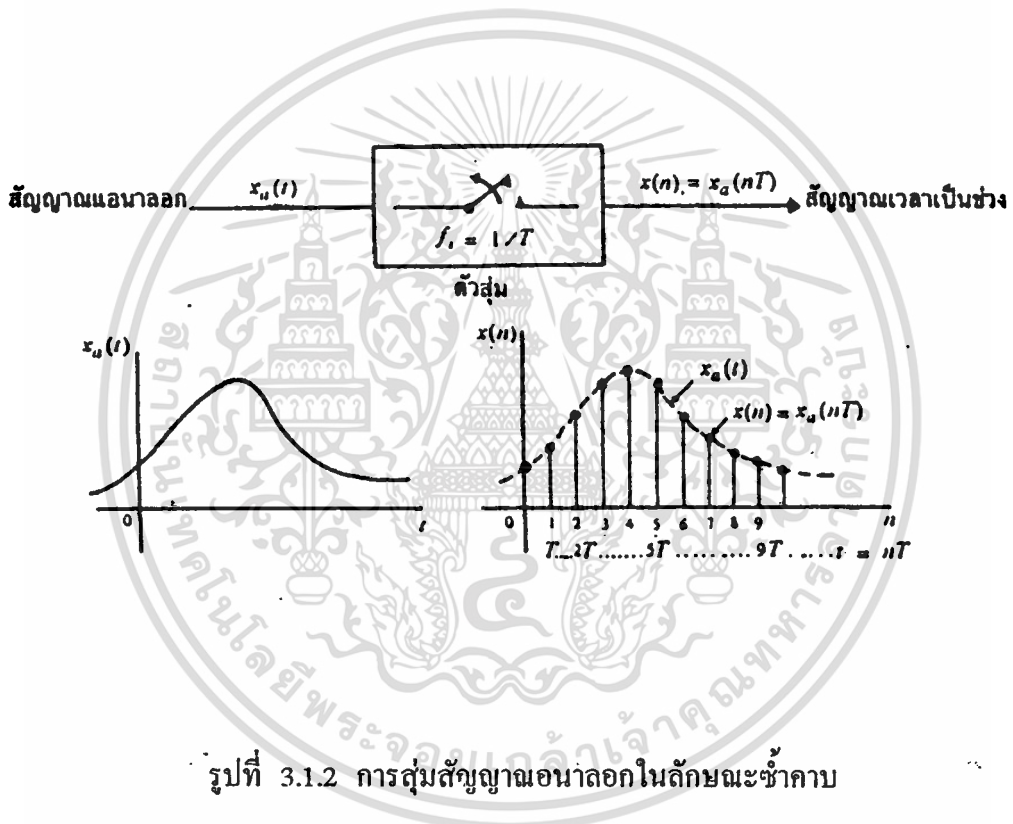
ก. การสุ่มตัวอย่าง (sampling) เป็นการแปลงสัญญาณเวลาต่อเนื่องเป็นสัญญาณเวลาเป็นช่วงโดยดึงตัวอย่าง (sample) ของสัญญาณเวลาเป็นช่วงที่ช่วงเวลาเท่ากัน ถ้า  $x_a(t)$  เป็นอินพุตสู่ sample เอาท์พุทของมันจะเป็น  $x_a(nT) \equiv x(n)$  เมื่อ  $T$  คือ คาบการสุ่มตัวอย่าง

(sampling period) ดังรูปที่ 3.1.2

เอกสารนี้เป็นทรัพย์สินทางปัญญาของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านธุรกิจ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. การคว้นไทซ์ (quantization) เป็นการเปลี่ยนแปลงจากสัญญาณเวลาต่อเนื่องขนาดต่อเนื่องซึ่งเรียกว่าสัญญาณสุ่ม (sample signal) เป็นสัญญาณเวลาช่วงขนาดเป็นช่วง(ดิจิทัล) ค่าของแต่ละตัวอย่างของสัญญาณจะถูกแทนโดย ค่าที่เลือกจากเซตของค่าที่เป็นไปได้ที่จำกัด ความแตกต่างระหว่างที่ยังไม่ถูกคว้นไทซ์  $x(n)$  กับเอาต์พุตที่ถูกคว้นไทซ์แล้ว  $x_q(n)$  จะเรียกว่า ความผิดพลาดจากคว้นไทซ์ (quantization error)

ค. การทำเป็นรหัส (coding) แต่ละค่าของ  $x_q(n)$  จะถูกแทนโดยซีแควนซ์ของเลขฐานสองจำนวน  $n$  บิต (bit)



### 3.2 การมอดูเลตแบบ FSK

#### ตัวกำเนิดสัญญาณ FSK ( FSK Generator )

ตัวกำเนิดสัญญาณ FSK ก็คือ ตัวส่งสัญญาณ FSK (FSK Transmitter) ซึ่งมีหลักการที่ว่าเมื่อข้อมูลที่เป็นสัญญาณดิจิทัลที่มีลักษณะเป็นข้อมูลไบนารี จะทำให้ความถี่เลื่อนหรือเบี่ยงเบนไปตามการเปลี่ยนแปลงของข้อมูลไบนารีที่เข้ามา ดังนั้นสัญญาณทางเอาต์พุตของตัวกำเนิด FSK จะอยู่ในรูปของความถี่ที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง (Frequency Continuous) เมื่อข้อมูลไบนารีด้านอินพุตเปลี่ยนแปลงจากสถานะลอจิก "1" เป็นลอจิก "0" (หรือในทางกลับกันคือลอจิก "0" เป็นลอจิก "1") สัญญาณเอาต์พุตจาก FSK ก็จะเลื่อนความถี่ระหว่าง 2 เอกสารเป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ด้วยกัน คือความถี่โลจิก “1” หรือ Mark Frequency ( $f_m$ ) และความถี่ที่โลจิก “0” หรือ Space Frequency ( $f_s$ ) การเปลี่ยนแปลง (หรือการเลื่อน) ของความถี่แต่ละครั้งจะเกิดขึ้นเมื่อสถานะของโลจิกด้านสัญญาณเข้าเปลี่ยนแปลงนั่นคือ อัตราการเปลี่ยนแปลงสัญญาณออกจะเท่ากับอัตราการเปลี่ยนแปลงสัญญาณเข้า ซึ่งในดิจิตอล มอดคูเลชันนั้นอัตราการเปลี่ยนแปลงของสัญญาณด้านอินพุทของ FSK Generator จะเรียกว่า “อัตราบิต” Bit Rate มีหน่วยเป็นบิตต่อวินาที (bps) ส่วนอัตราการเปลี่ยนแปลงของสัญญาณด้านเอาต์พุทของ FSK Generator เรียกว่า “อัตราบอด” หรือ Baud Rate ดังนั้นการส่งข้อมูลด้วยเทคนิค FSK อัตราบิตจะเท่ากับอัตราบอดเสมอ

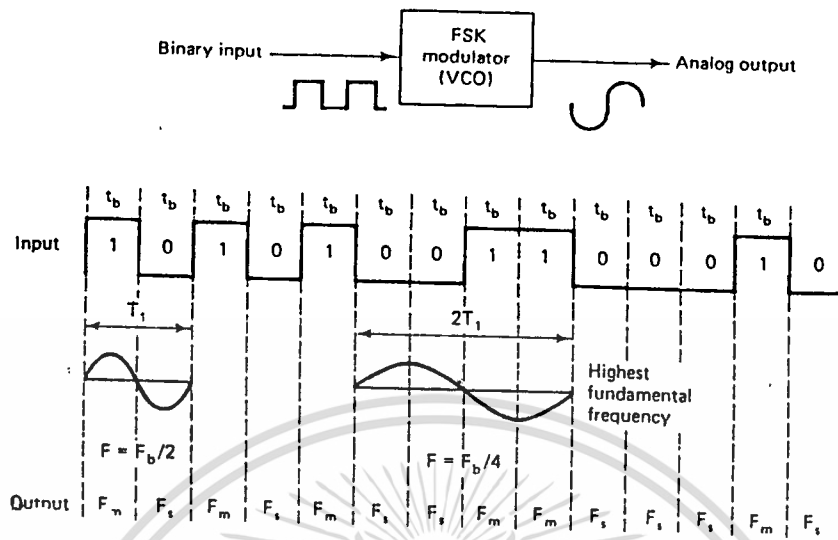
### FSK Bandwidth

ในระบบการสื่อสารข้อมูลด้วยสัญญาณอนาล็อกหรือสัญญาณความถี่นั้นแบนด์วิดท์เป็นสิ่งที่ต้องพิจารณาเป็นอันดับแรก เนื่องจากวิธีการของ FSK อยู่บนพื้นฐานเดียวกันกับ FM ดังนั้นการอธิบายถึงสูตรต่าง ๆ ก็ใช้หลักการของ FM ทุกอย่าง

จากรูปที่ 3.31 แสดงถึงตัว FSK มอดคูเลเตอร์ ซึ่งใช้หลักการเดียวกันกับเอฟเอ็มมอดคูเลเตอร์คือใช้หลักการของ VCO (Voltage Control Oscillator) จะเห็นว่าอัตราการเปลี่ยนแปลงเร็วที่สุดของสัญญาณอินพุทจะเกิดขึ้นเมื่อข้อมูลไบนารีมีลักษณะเป็น “1” และ “0” สลับกันชื่อก็คือสัญญาณสี่เหลี่ยมนั่นเอง (Square Wave) เป็นสัญญาณในช่วง T ความถี่หลักของคลื่นสี่เหลี่ยมจะมีค่าเท่ากับครึ่งหนึ่งของ Bit Rate ดังนั้นถ้าพิจารณาเฉพาะความถี่หลักเพียงอย่างเดียวแล้ว ความถี่สูงสุดของสัญญาณดิจิตอลที่ต้องการนำมามอดคูเลแบบ FSK จะเท่ากับครึ่งหนึ่งของ Bit Rate คือ

$$F_{o \max} = \text{Bit Rate} / 2$$

เมื่อ  $F_{o \max}$  = ความถี่สูงสุดของสัญญาณดิจิตอลที่จะนำมามอดคูเล



รูป 3.21 FSK Modulator

ความถี่กลาง (Center Frequency =  $f_0$ ) ของ VCO จะอยู่ในตำแหน่งกลางระหว่าง Mark Frequency ( $f_m$ ) กับ Space Frequency ( $f_s$ ) ดังรูป

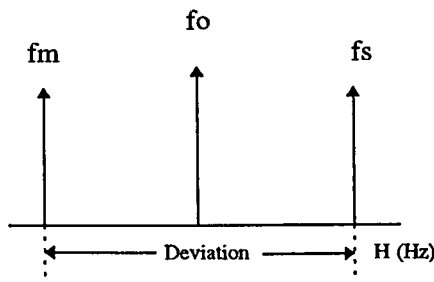
โลจิก 1 ด้านอินพุตจะเลื่อนความถี่ของ VCO จาก  $f_0$  ไป  $f_s$  จะเห็นว่าการเปลี่ยนแปลงของข้อมูลไบนารีด้านอินพุตจาก “1” ไป “0” หรือ “0” ไป “1” จะทำให้ความถี่เอาต์พุตของ VCO เลื่อนหรือเบี่ยงเบนไปมา ระหว่าง  $f_m$  กับ  $f_s$  เนื่องจากที่กล่าวมาแล้วว่า FSK นั้นคือการมอดูเลตแบบ FM ดังนั้น ดัชนีการมอดูเลต (Modulate Index = MI) ใน FSK ก็ทำได้จาก FM คือ

$$MI = \Delta F / F_a$$

เมื่อ MI = ดัชนีการมอดูเลต

$\Delta F$  = การเบี่ยงเบนของความถี่ใด ๆ จากความถี่กลาง (Hz)

$F_a$  = ความถี่ของสัญญาณที่นำมามอดูเลต (Hz)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้รูป 3.2.2 การเบี่ยงเบนความถี่สัญญาณให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า MI ที่ยอมให้มีได้สูงสุดคือ ค่า MI ที่ทำให้แบนด์วิทกว้างที่สุด ซึ่งจะเกิดขึ้นเมื่อ การเบี่ยงเบนของความถี่ถูกมอดูเลตแล้ว และความถี่ของสัญญาณที่นำมามอดูเลตมีค่าสูงสุด

ใน FSK มอดูเลต ค่า  $\Delta F$  เป็นการเบี่ยงเบนของความถี่สูงสุด (Peak Frequency Deviation) ของสัญญาณที่ถูกมอดูเลตแล้ว ซึ่งมีค่าเท่ากับความแตกต่างระหว่าง  $f_o$  กับ  $f_m$  หรือ  $f_o$  กับ  $f_s$  ซึ่งก็คือ ครึ่งหนึ่งของความแตกต่างระหว่าง  $f_m$  กับ  $f_s$  นั่นคือ

$$\Delta F = (f_s - f_m) / 2$$

การเบี่ยงเบนของความถี่สูงสุด ขึ้นอยู่กับขนาดหรือแอมพลิจูดของสัญญาณที่นำมามอดูเลต(สัญญาณดิจิทัล) เมื่อสถานะทางลอจิกเป็น "1" ก็จะทำให้แรงดันออกมาค่าหนึ่งคงที่ตามสถานะ (เช่น 5 V) หรือถ้าเป็นลอจิก "0" ก็จะทำให้แรงดันออกมาคงที่ในระดับลอจิก "0" เช่นกัน (เช่น 0 V) ดังนั้นความถี่เบี่ยงเบนของ FSK มอดูเลตจะเบี่ยงเบนคงที่และอยู่ในระดับการเบี่ยงเบนของความถี่สูงสุดเสมอ  $F_a$  เป็นความถี่หลักของข้อมูลไบนารีด้านอินพุทซึ่งจะทำให้แบนด์วิทกว้างที่สุดเมื่อ  $F_a = \text{Bit Rate} / 2$  เท่านั้นเพราะฉะนั้นเราสามารถหาค่า MI ได้จาก

$$MI = [(f_s - f_m) / 2] \cdot [f_b / 2]$$

$$MI = (f_s - f_m) / F_b$$

เมื่อ  $f_s - f_m =$  ความถี่เบี่ยงเบนสูงสุด

$F_b =$  อัตราบิตของไบนารีอินพุท

ในการส่งสัญญาณ FM โดยทั่ว ๆ ไป ความกว้างของแบนด์วิท จะแปรผันตรงกับค่า MI ซึ่งเช่นเดียวกับ FSK ที่ค่า MI โดยทั่ว ๆ ไป จะต้องมามีค่าต่ำกว่า 1.0 เพื่อให้เป็นเอฟเอ็มแบบแคบ (Narrow Band FM) ค่าแบนด์วิทที่แคบที่สุดเรียกว่า Minimum Nyquist Bandwidth ( $F_n$ ) ตัวอย่างเช่นการส่งข้อมูลแบบ FSK มีความถี่กลาง ( $f_o$ ) = 7 KHz , ความถี่สเปซ ( $f_s$ ) = 6 KHz และความถี่มาร์ค ( $f_m$ ) = 8 KHz ข้อมูลไบนารีมีอินพุทมี Bit Rate = KHz สามารถหา  $F_n$  ได้ดังนี้

$$MI = (f_s - f_m) / F_b$$

$$MI = (6 \text{ KHz} - 8 \text{ KHz}) / 2 \text{ KHz}$$

$$MI = (2 \text{ KHz}) / 2 \text{ KHz}$$

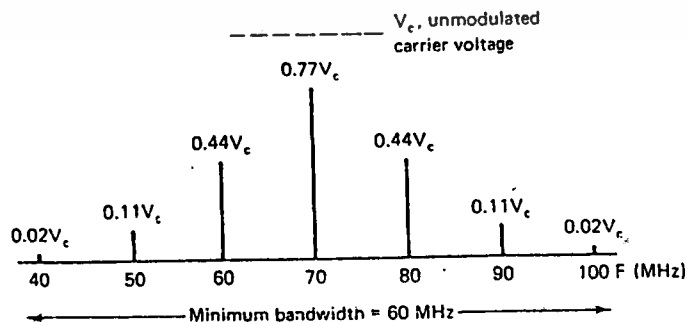
$$MI = 1.0$$

จากตาราง Bessel Function ในตารางที่ 1 เมื่อ  $MI = 1.0$  จะได้แถบความถี่ข้าง (Sideband Frequency) ออกมาข้างละ 3 ความถี่ โดยแต่ละความถี่จะห่างจากความถี่กลาง ( $f_0$ ) ช่วงละ 1 KHz (ซึ่งก็คือ  $F_b/2$  เมื่อ  $F_b$  คือ Bit Rate = 2 KHz) สามารถเขียนเป็นสเปกตรัมความถี่ ได้ดังรูปที่ 3.2.4

MI	$J_0$	$J_1$	$J_2$	$J_3$	$J_4$
0.0	1.00				
0.25	0.98	0.12			
0.5	0.94	0.24	0.03		
1.0	0.77	0.44	0.11	0.02	
1.5	0.51	0.56	0.23	0.06	0.01
2.0	0.22	0.58	0.35	0.13	0.03

ตารางที่ 3.2.3 Bessel Function Table

มีข้อสังเกต คือ MI ที่มีค่าอยู่ระหว่าง 0.5 ถึง 1.0 จะทำให้แบนด์วิธมีค่า ประมาณ 2 - 3 เท่าของ Bit Rate เสมอ



รูปที่ 3.2.4 สเปกตรัมความถี่ของตัวอย่างที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 8.3 การมอดูเลตสัญญาณ FM

การมอดูเลตเชิงความถี่ ( Frequency Modulation : FM )

สมการของความถี่ชั่วขณะที่ถูกมอดูเลตทำให้ขนาดของความถี่เปลี่ยนไปสามารถแสดงได้คือ

$$W_t(t) = W_c + K_f m(t) \quad (1)$$

$W_c$  = ความถี่ศูนย์กลาง

$W_t$  = ความถี่เปลี่ยนไปจากการมอดูเลต

$K_f$  = ค่าคงที่ของการมอดูเลต

$m(t)$  = ความถี่ที่มอดูเลต

จากเฟสซึ่งมีความสัมพันธ์กับความถี่คือ

$$\theta(t) = \int W dt \quad (2)$$

$W$  = ความถี่เชิงมุม =  $2\pi f$

$\theta(t)$  = เฟสเวลาใดๆ

$\theta_0$  = เฟสที่เวลาเท่ากับ 0

ดังนั้นสมการที่ 1 แสดงในรูปเฟสเวลาใดๆ

$$\phi(t) = \int W_t(t) dt \quad (3)$$

$$= W_c t + \int K_f m(t) dt + \theta_0 \quad (4)$$

จากสมการที่ 1 ถ้าหากไม่สนใจเฟสที่เวลาเท่ากับ 0 แสดงคลื่นเอเอ็มเป็นเวลาใดๆ

$$V_{FM}(t) = V_o \cos [ W_c t + \int K_f m(t) dt ] \quad (5)$$

สำหรับความถี่ที่มอดูเลต  $f(t) = a \cos W_m t$  สมการที่ 1 เขียนใหม่ได้คือ

$$W_t = W_c + a K_f \cos W_m t \quad (6)$$

$$W_t = W_c + \Delta W \cos W_m t \quad (7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดค่าคงที่ของการมอดูเลตคูณกับแอมพลิจูดของ  $m(t)$  ได้เท่ากับ  $\Delta W$  หรือค่าความถี่เบี่ยงเบนจากการมอดูเลต ( Frequency deviation ) เฟสของสมการ 7 แสดงได้คือ

$$\theta(t) = \int ( W_C + \Delta W \cos W_m t ) dt \quad (8)$$

$$= W_C t + (\Delta W / W_m) \sin W_m t \quad (9)$$

กำหนดให้  $\beta = \Delta W / W_m$  หรือเรียกว่า ค่ามอดูเลตอินเด็กซ์ ( modulation index ) ดังนั้นแสดงคลื่นสมการเฟสเอมที่เวลาใดๆ สำหรับสัญญาณในมอดูเลตแสดงได้

$$V_{FM}(t) = V_o \cos [ W_C t + \beta \sin W_m t ] \quad (10)$$

จากสมการที่ 10 สามารถกระจายได้

$$V_{FM}(t) = V_o \cos W_C t \cos (\beta \sin W_m t) - V_o \sin W_C t \sin (\beta \sin W_m t) \quad (11)$$

แทน  $\cos(\beta \sin x)$  และ  $\sin(\beta \sin x)$  สามารถกระจายให้อยู่ในรูปของฟังก์ชันเบสเซล (bessel function) ได้ดังนี้

$$\cos(\beta \sin x) = J_0(\beta) + 2 \sum J_{2n}(\beta) \cos 2nx \quad (12)$$

$$\sin(\beta \sin x) = 2 \sum J_{2n+1}(\beta) \sin(2n+1)x \quad (13)$$

โดย  $J_n(\beta) = \sum (-t)^m (\beta/2)^{2m+n} \quad (14)$

แทนค่าอนุกรมดังกล่าวในสมการที่ 5 จะได้

$$V_{FM}(t) = V_o J_0(\beta) \cos W_C t + V_o \sum J_{2n+1}(\beta) [ \cos ( W_C + (2n+1) W_m ) t$$

$$- \cos ( W_C - (2n+1) W_m ) t ] + V_o \sum J_{2n}(\beta) [ \cos ( W_C + 2n W_m ) t$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$+ V_0 \sum J_{2n}(\beta) [\cos(W_c + 2nW_m)t + \cos(W_c - 2nW_m)t] \quad (15)$$

จากคุณสมบัติสมมาตร (symmetry) ของเบสเซลฟังก์ชัน  $J_n(\beta) = (-1)^n J_n(\beta)$  สามารถเขียนสมการที่ 15 ได้ดังนี้

$$V_{FM}(t) = V_0 \sum J_n(\beta) \cos(W_c + nW_m)t \quad (16)$$

ขนาดของแต่ละเทอมในสมการ 11 ขึ้นอยู่กับดัชนีมอดูเลชัน และฟังก์ชันเบสเซลโดยรูปที่ 1 แสดงขนาดของฟังก์ชันที่มีลำดับ (order) ต่างๆ ซึ่งเป็นฟังก์ชันของ  $\beta$  ถ้าค่าของ  $\beta$  ที่เป็นลบหมายถึงขนาดที่มีเฟสเป็น  $180^\circ$  ดังนั้นแสดงว่าสเปกตรัมของสัญญาณ FM จะประกอบด้วยเทอมที่ความถี่ของคลื่นพาห้และจำนวนของไซด์แบนด์ (side band) จำนวนนับไม่ถ้วนอยู่ห่างจากคลื่นพาห้เท่ากับ  $W_0 (+/-) nW_m$  โดยไซด์แบนด์ที่ลำดับเท่ากันจะอยู่ห่างจากตัวพาห้ 2 ข้างสมมาตรกัน

### แบนด์วิดท์ของสัญญาณเอฟเอ็ม

ในกรณีสัญญาณเอฟเอ็มที่มี  $\beta \ll 1$  หรือสัญญาณเอฟเอ็มแบนด์วิดท์แคบ สามารถหาแบนด์วิดท์จากไซด์แบนด์ได้จากสมการ 11 ในกรณี  $\beta \ll 1$  แล้วแต่ละเทอมประมาณได้ว่า

$$\cos(\beta \sin x W_m t) = \cos \beta = 1 \quad (17)$$

$$\sin(\beta \sin x W_c t) = \beta \sin x W_m t \quad (18)$$

ทำให้สมการของเอฟเอ็มที่มีแถบความถี่แคบเขียนได้ใหม่ว่า

$$V_{FM}(t) = V_0 \cos W_c t - V_0 \sin W_c t \beta \sin W_m t \quad (19)$$

$$\text{หรือ } V_{FM}(t) = V_0 \cos W_0 t + 1/2 [\cos(W_c + W_m)t - \cos(W_c - W_m)t] \quad (20)$$

จากสมการที่ 20 แสดงได้ว่าในกรณีสัญญาณเอฟเอ็มที่มีแถบความถี่แคบจะประกอบด้วยคลื่นพาห้และไซด์แบนด์ 1 คู่ห่างจากคลื่นพาห้เท่ากับ  $(+/-)W_m$  หรือ  $(+/-)f_m$  (Hz) ดังนั้นแบนด์วิดท์ของสัญญาณเอฟเอ็ม กรณี  $\beta \ll 1$  เขียนได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$BW = 2 f_m \quad (21)$$

ในกรณี  $\beta > 1$  หรือสัญญาณเอฟเอ็มแบนด์วิดท์กว้าง ถึงแม้สมการที่ 16 จำนวนไซด์แบนด์ของเอฟเอ็มจะเป็นจำนวนนับไม่ถ้วนก็ตามแต่ในทางปฏิบัติ เราจะคิดแบนด์วิดท์ที่ใช้เฉพาะจำนวนที่กำลังงานส่วนใหญ่บรรจุอยู่ จากสมการที่ 16 ถ้าเราใช้จำนวนไซด์แบนด์เท่ากับ  $\beta + 1$  ออกไปจากคลื่นพาห์ทั้ง 2 ข้างแล้วจำนวนกำลังงานของสัญญาณเอฟเอ็มจะมีอยู่เท่ากับ 98 % ของกำลังงานทั้งหมด หรือเขียนได้ว่าแบนด์วิดท์ของสัญญาณเอฟเอ็มจะเกิดขึ้นจากการมอดูเลทของสัญญาณไซด์เท่ากับ  $BW$

$$BW = 2(\beta + 1) f_m \quad (22)$$

หรือจากการกำหนด  $\beta = f_d / f_m$

$$BW = 2(f_d + f_m) \quad (23)$$

โดยกล่าวได้ว่าแบนด์วิดท์ของเอฟเอ็มเท่ากับ 2 เท่าของผลรวมของความถี่เบี่ยงเบนกับความถี่ที่มอดูเลทซึ่งผลของสมการ 23 เรียกว่ากฎของคาร์สัน (carson' rule) ในกรณีสัญญาณที่เข้ามามอดูเลทมีหลายความถี่สเปกตรัมของสัญญาณเอฟเอ็มที่เกิดขึ้นจะมีความซับซ้อนมาก แต่อย่างไรก็ตามความถี่สูงสุดของสัญญาณที่เข้ามามอดูเลทยังคงมีผลทำให้แบนด์วิดท์กระจายมากที่สุดดังนั้นเราสามารถใช้อีกกฎของคาร์สันในการหาแบนด์วิดท์โดยเขียนได้จาก

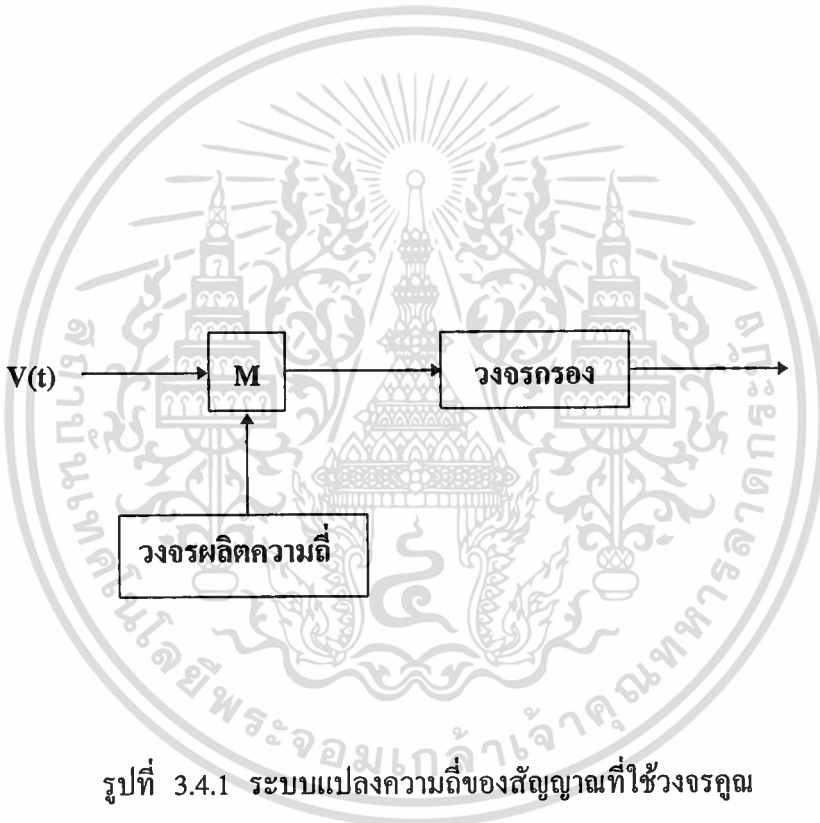
$$BW = 2(f_{d_{max}} + f_{m_{max}}) \quad (24)$$

$f_{d_{max}}$  = ความถี่เบี่ยงเบนสูงสุด

$f_{m_{max}}$  = ความถี่มอดูเลทสูงสุด

### 3.4 การเปลี่ยนแปลงความถี่ของสัญญาณ

จะเป็นการใช้วิธีของวงจรถูก เพราะวงจรถูกจะทำการคูณสัญญาณเบสแบนด์กับสัญญาณคลื่นพาห์ทำให้เกิดการเลื่อนความถี่สูงขึ้นได้ ดังรูปที่ 3.4.1 แสดงบล็อกไดอะแกรมของระบบแปลงความถี่ของสัญญาณ โดยที่เราสมมติให้สัญญาณขาเข้าเป็นสัญญาณเบสแบนด์ที่เขียนได้เป็น  $v(t) = A_c[1+v_m(t)] \cos\omega_c t$  เมื่อเราคูณสัญญาณจากออสซิลเลเตอร์ที่มีความถี่เป็น  $\omega_c$  และมีขนาดเป็น  $A_o$  เราจะได้สัญญาณผลคูณที่เขียนได้ในรูปต่อไปนี้



ซึ่งเห็นได้ว่ารูปร่างของสัญญาณเบสแบนด์อยู่ แต่ขนาดจะขึ้นอยู่กับ  $A_o$  และความถี่ของสัญญาณคลื่นพาห์จะถูกแปลงไปอยู่ที่  $\omega_c + \omega_o$  และ  $\omega_c - \omega_o$  ถ้าค่าของ  $\omega_o$  ใหญ่กว่าแบนด์วิดธ์ของสัญญาณเบสแบนด์เราก็จะใช้วงจรถูกเอาเฉพาะความถี่ด้านสูงหรือความถี่ด้านต่ำใดด้านหนึ่งออกมาได้ ถ้ากรองเอาสัญญาณด้านความถี่สูงขึ้นออกมาก็จะเป็นการแปลงความถี่ให้สูงขึ้น และเรียกวงจรถูกที่แปลงความถี่นี้ว่า อัป-คอนเวอร์เตอร์ (up-converter) ในทำนองเดียวกัน ถ้ากรองเอาสัญญาณด้านความถี่ต่ำลงออกมา เราก็เรียกวงจรถูกนั้นว่าดาวน์คอนเวอร์เตอร์ (down-converter)

## บทที่ 4

### หลักการทํางานของภาครับ

#### 4.1 การคํมอดคูละสัญญาณ FM

การคํมอดคูละสัญญาณ FM มีหลาย วิธีในที่นี้จะกล่าวถึงการคํมอดคูละแบบการแปลงสัญญาณ FM เป็น AM แบบควอดคราเจอร์ซึ่งพบมากในการคํมอดคูละสัญญาณ FM บรอดคาส จากสมการของ FM จึงแสดงได้จากสมการที่ 5 คือ

$$V_{FM} = V_o \cos [ W_o + \int K_f m(t) dt ] \quad (25)$$

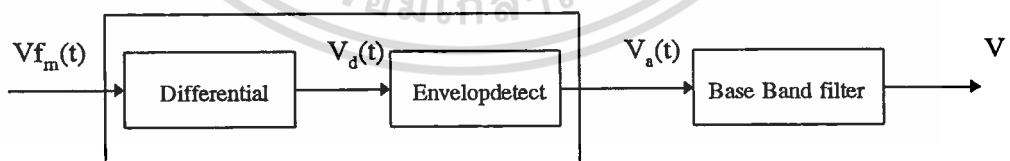
จากการอนุพันธ์สมการข้างบนแล้วจะได้

$$V_d(t) = (dV_{FM}/dt)(t) = -V_o \sin [ W_o + \int K_f(t) dt ] \quad (26)$$

ถ้า  $K_f(t) \ll W_o$  แล้วในสมการข้างบนจะเป็นสัญญาณ AM ที่มีเอินวิโลบเท่ากับ

$$V_a(t) = V_o [ W_o + K_f(t) ] \quad (27)$$

ซึ่งแสดง Block diagram การสร้างสัญญาณ  $V_o$  ได้ดังรูป

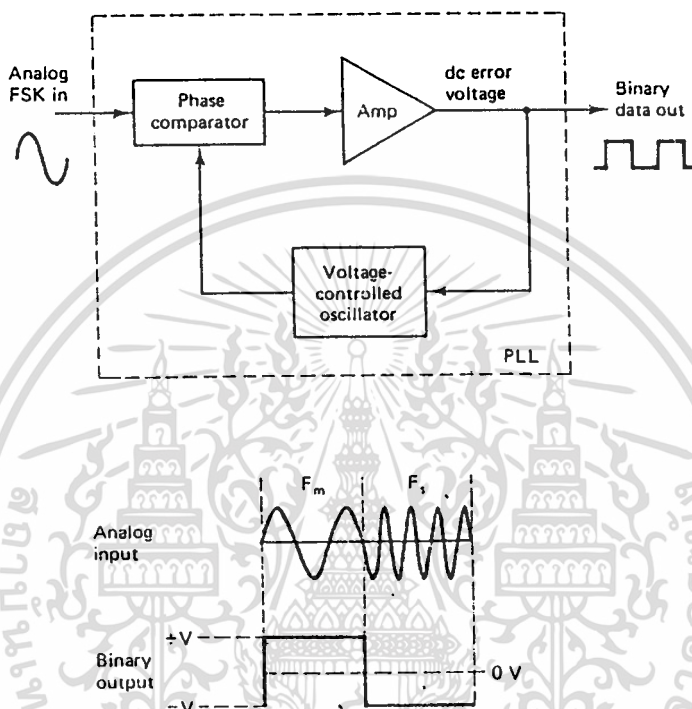


รูปที่ 4.1.1 บล็อกไดอะแกรมการสร้างสัญญาณ  $V_a$

ดังนั้นถ้าสัญญาณ  $V_a(t)$  ผ่านวงจรกรองสัญญาณความถี่ต่ำผ่าน ก็จะได้สัญญาณเฉพาะเบสแบนด์ คือ  $V_o(t)$  เขียนใหม่ได้เป็น

## 4.2 การคํมอดดูเลขแบบ FSK

FSK Demodulator คือ ตัวรับสัญญาณ FSK (FSK Receiver) จะเป็นตัวแยกสัญญาณไบนารีออกจากสัญญาณ FSK โดยส่วนมากจะใช้วงจร PLL (Phase lock loops) ดังรูปที่ 4.2.1



รูปที่ 4.2.1 PLL-FSK Demodulator

PLL ใน FSK Demodulator มีหลักการทํางานเหมือนกับ PLL ใน FM Detector ทุกอย่างคือจะมีความถี่ฟรีรันนิ่งเท่ากับ Center Frequency ( $f_0$ ) และในขณะที่มีความถี่อินพุทของ PLL เลื่อนไป-มาระหว่าง  $f_m$  กับ  $f_s$  จะทำให้เกิดแรงดันคลาดเคลื่อนไฟตรง (DC Error Voltage) ซึ่งเป็นผลมาจากการเปรียบเทียบเฟส (Phase Comparator) ของสัญญาณอินพุท เนื่องจากความถี่อินพุทที่เข้าทาง PLL มีเพียง 2 ความถี่คือ  $f_m$  และ  $f_s$  ดังนั้น ค่าแรงดันดังกล่าว จึงมีเพียง 2 ระดับเท่านั้น ซึ่งสามารถแทนด้วยลอจิก “1” และลอจิก “0” เมื่อความถี่ทางอินพุทเป็น  $f_m$  และ  $f_s$  ตามลำดับ เราจึงได้สัญญาณเอาท์พุทจาก PLL กลับมาเป็นข้อมูลไบนารีเหมือนกับตอนแรกที่ส่งมาทุกประการ

### แนวทางการออกแบบ FSK เพื่อใช้งาน

หลังจากที่เราได้ทราบถึงหลักการและรายละเอียดของการรับ-ส่ง ข้อมูลด้วย FSK มาพอสมควรแล้ว ก็มาพูดถึงการนำไปใช้ในทางปฏิบัติ ซึ่งก็คือ เราจะออกแบบวงจร FSK ได้ อย่างไม่ื่อก่อนการออกแบบวงจร FSK ทั้งด้านรับและส่ง แต่เนื่องจากปัจจุบันเทคโนโลยีด้าน ไอซี (Integrate Circuit) ได้พัฒนาไปมาก ทำให้สามารถรวมวงจรต่าง ๆ เข้าด้วยกันบรรจุภายใน ชิพเล็ก ๆ เช่น ไอซีออปแอมป์ ไอซี PLL เป็นต้น

### 4.3 การแปลงดิจิตอลเป็นอนาลอก

การแปลง D/A จะใช้ในการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก งานของ ตัวแปลง D/A ก็คือ การเติมค่า (interpolate) ระหว่างตัวอย่าง

วงจรกรองความถี่ต่ำผ่านในอุดมคติ จะมีการตอบสนองอิมพัลส์ที่เริ่มที่  $t = -\infty$  ถึง  $t = \infty$  จึงไม่เป็นคอเชล และไม่สามารถสร้างได้จริงในทางปฏิบัติ ในทางปฏิบัติเราจะทำ วงจรกรองอนาลอกความถี่ต่ำผ่านแบบอื่นมาแทนวงจรกรองดังกล่าว โดยกำหนดให้ การตอบสนองอิมพัลส์ของวงจรกรองที่นำมาแทนเป็น  $h(t)$  และ  $h(t)$  จะต้องมึคุณสมบัติ 3 ประการ

$$(ก) \quad h(0) = 1$$

$$(ข) \quad h(nT) = 0 \quad \text{สำหรับ } n \neq 0$$

$$(ค) \quad \int_{-\infty}^{\infty} |h(t)| dt < \infty$$

คุณสมบัติข้อ (ก) และ (ข) ทำให้ฟังก์ชันมีค่าเท่ากับ  $x_s(nT)$  ที่เวลา  $t = nT$  คุณสมบัติข้อ 3 จะเป็นตัวประกันว่าค่าของมันจะจำกัด จะมีวงจร 2 แบบที่นิยมใช้และมีคุณสมบัติตรงตามที่กำหนด

1) ตัวเติมค่าเชิงเส้น (Linear interpolator) ซึ่งหน่วงไป  $T$  วินาที จะมีการตอบสนองอิมพัลส์

$$h(t) = \begin{cases} \frac{t}{T} & , 0 \leq t < T \\ 2 - \frac{t}{T} & , T \leq t < 2T \\ 0 & , \text{อื่น ๆ} \end{cases} \quad (4.3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่น ๆ  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

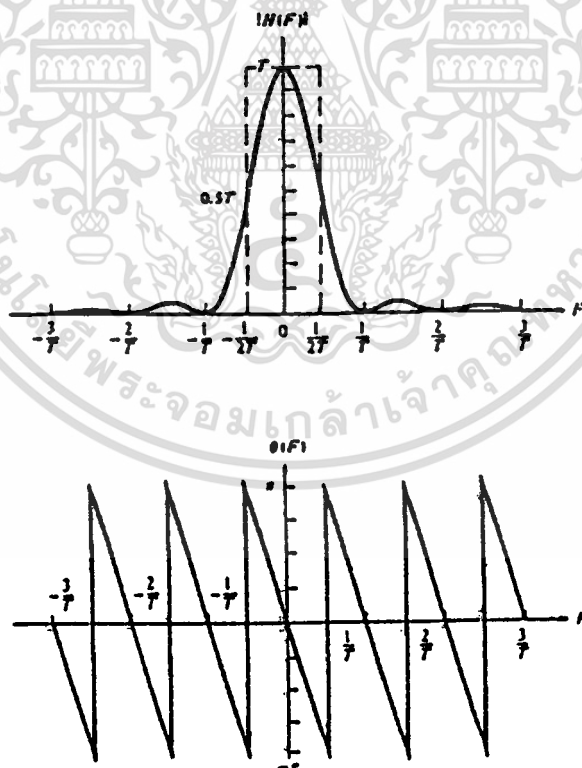
โดยมันจะมีการตอบสนองความถี่

หรือ

$$H(\omega) = T \left( \frac{\sin \frac{\omega T}{2}}{\frac{\omega T}{2}} \right)^2 e^{-j\omega T}$$

$$H(f) = T \left( \frac{\sin \pi f T}{\pi f T} \right)^2 e^{-j2\pi f T} \quad (4.3.2)$$

รูป 4.3.1 แสดงการตอบสนองอิมพัลส์ตามสมการ(4.3.1) และการตอบสนองความถี่ของมัน รวมถึงลักษณะเอาร์ทพุทที่จะได้



รูปที่ 4.3.1 ตัวเติมค่าเชิงเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) ตัวเติมค่าแบบคงค่าอันดับศูนย์ (zero - order hold interpolator) จะมีการตอบสนองอิมพัลส์

$$h(t) = \begin{cases} 1 & 0 \leq t < T \\ 0 & \text{อื่นๆ} \end{cases} \quad (4.3.3)$$

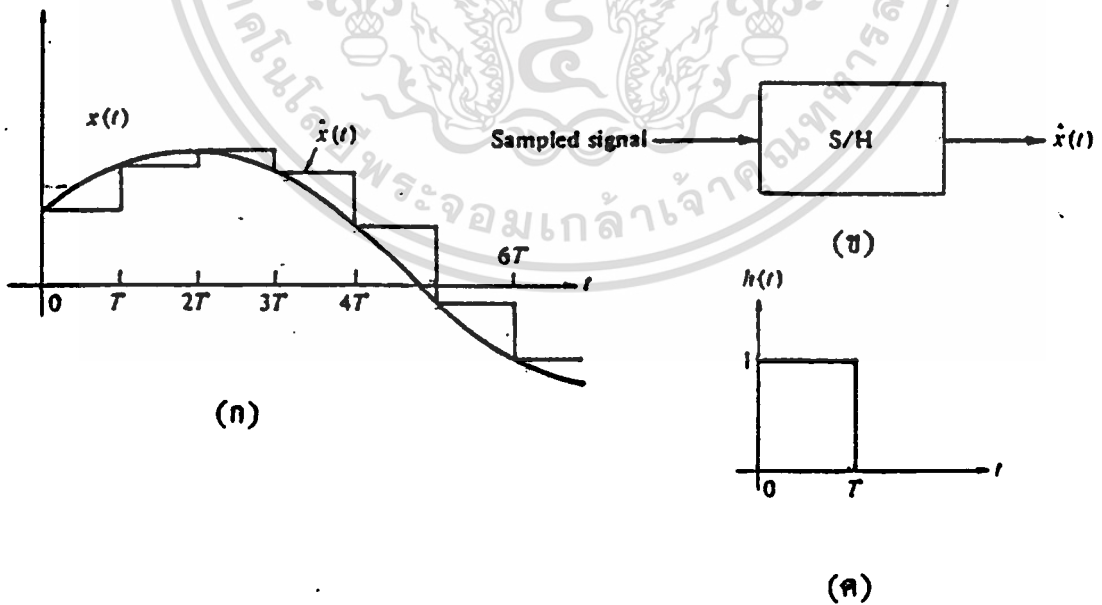
อาจเรียกอีกอย่างว่า วงจรสุ่มและคงค่า (sample and hold) การตอบสนองความถี่ของมันจะมีค่า

$$H(\omega) = T \left( \frac{\sin \frac{\omega T}{2}}{\frac{\omega T}{2}} \right) e^{-j\frac{\omega T}{2}}$$

หรือ

$$H(f) = T \left( \frac{\sin \pi f T}{\pi f T} \right) e^{-j\pi f T} \quad (4.3.4)$$

รูป 4.32 แสดงลักษณะของรูปคลื่นที่ได้ การตอบสนองความถี่ รวมถึงการตอบสนองความถี่ของตัวเติมค่าแบบนี้



รูปที่ 4.3.2 ตัวเติมค่าแบบคงค่าอันดับศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาที่พหุจากตัวเต็มค่าทั้งสองแบบจะมีลักษณะแตกต่างไปจากที่ต้องการ เนื่อง  
จากมันจะมีค่าเท่ากับการคูณกันของการแปลงฟูเรียร์ของอินพุตสู่ตัวเต็มค่า การเต็มค่าที่ต่ำกว่าสอง  
แบบที่กล่าวนี้จะได้จากการใช้เทคนิคเต็มค่าที่มีอันดับสูง และยุ่งยากซับซ้อนขึ้น

โดยทั่วไปการใช้เทคนิคการเต็มค่าทั้งสองแบบ ซึ่งไม่ใช่แบบออปติ่ม (หรือวง  
จรกรองความถี่ต่ำผ่านอุดมคติ)จะเป็นผลทำให้ความถี่สูงเกินความถี่พับ ( $\pi/T$ ) ผ่านไป เนื่อง  
จาก ความถี่สูงเหล่านี้ไม่เป็นที่ต้องการ ทำให้ปกติจะกำจัดโดยผ่านเอาที่พหุจากตัวเต็มค่าเข้าสู่วง  
จรกรองอนาล็อกที่เหมาะสม ซึ่งเรียกว่า วงจรกรองภายหลัง (postfilter) วงจรกรองให้เรียบ  
(smoothing filter) ดังนั้น ตัวแปลง D/A ซึ่งปกติจะใช้การเต็มค่าสองแบบดังกล่าว จึงจะมี  
วงจรกรองภายหลังร่วมอยู่เสมอ

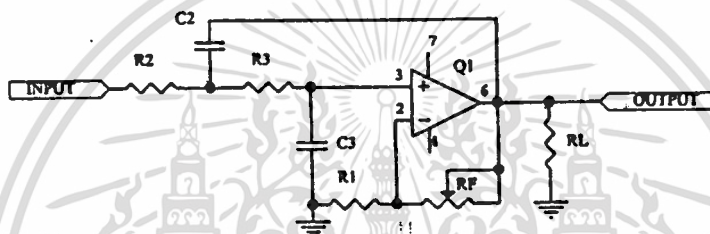


## บทที่ 5

### การออกแบบและสร้างทดลองวงจรทางด้านภาคส่ง

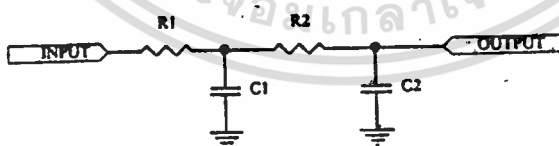
#### 5.1 วงจรกรองความถี่ต่ำผ่าน (LOW PASS FILTER)

วงจรกรองความถี่ต่ำแบบ บัสเตอร์เวอร์ค เป็นวงจรที่มีกราฟความชันของการตอบสนองที่  $-40 \text{ dB/decade}$  ซึ่งแสดงวงจรและกราฟแสดงผลการตอบสนองความถี่ ตามรูปที่ 5.1.1



รูปที่ 5.1.1 วงจรกรองความถี่ต่ำ

จากรูปสามารถเขียนวงจรสมมูลย้ได้ดังรูป 5.1.2



รูปที่ 5.1.2 วงจรสมมูลย้ของ LPF

จากวงจรที่ 5.1.1 สามารถเขียนสมการความถี่ cutoff ( $f_H$ )

$$f_H = \frac{1}{2\pi \sqrt{R_2 R_3 C_2 C_3}} \quad (1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านธุรกิจ  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 1 สามารถคำนวณหาค่า  $R_2, R_3, C_2, C_3$  โดยการกำหนดค่าให้  $R_2, R_3 = R$  และกำหนดค่าของ  $C_2 = C_3 = C$  ดังนั้นสามารถเขียนสมการใหม่ได้ว่า

$$f_H = \frac{1}{2\pi \cdot RC} \quad (2)$$

ถ้าทราบความถี่  $f_H$  และกำหนดค่าของ  $C$  จะหาค่า  $R$  ได้จากสมการ 2 ได้ว่า

$$R = \frac{1}{2\pi \cdot f_H \cdot C} \quad (3)$$

จากสมการที่ 3 ให้ความถี่  $f_H = 2400 \text{ Hz}$ ,  $C = 0.1 \mu\text{F}$  : ดังนั้น

$$R = \frac{1}{(2\pi * 2400 * 0.1 * 10^{-6})}$$

$$R = 663.1456$$

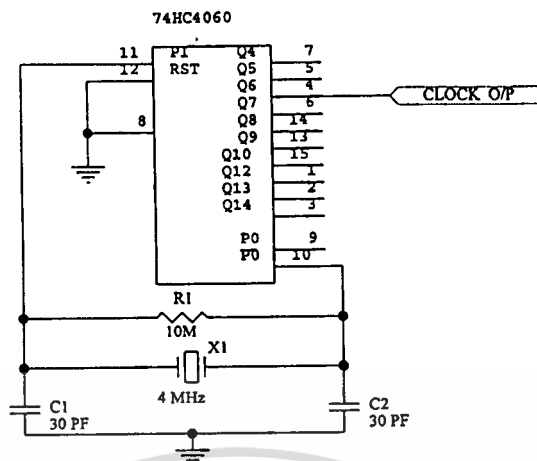
การขยายของวงจรถหาได้จาก  $A_F = 1 + (R_F / R_I)$  (4)

จากสมการที่ 4 ให้การขยายมีค่า  $A_F = 2$

จะได้  $R_I = R_F = 10 \text{ K}\Omega$

## 5.2 วงจรกำเนิดความถี่อ้างอิง

วงจรถ่ายความถี่อ้างอิง 32 MHz สร้างจากวงจรรวม 74HC4060 ซึ่งภายในประกอบด้วย เกทอินเวอร์เตอร์ และวงจรถ่ายแบบไบนารีจำนวน 14 สเตต โดยที่เอาต์พุตเป็นสัญญาณหาร 16 จนถึงสัญญาณหาร 16,384 ที่ขา 4 โดยวงจรถ่ายต่อรวมกับคริสตอลสำหรับการออกซิเลท ทำงานที่ความถี่ 4 MHz ซึ่งความถี่ขนาด 32 MHz จะได้จากการหาร 10.24 MHz ด้วย 4096 ดังนั้นเอาต์พุตความถี่ 32 MHz จะได้ที่ขา  $Q_{12}$  โดยเป็นสัญญาณแรงดัน TTL ขนาด 0V สำหรับลอจิก "0" ขนาด 5V สำหรับลอจิก "1"



รูปที่ 5.2.1 แสดงวงจรกำเนิดความถี่อ้างอิง

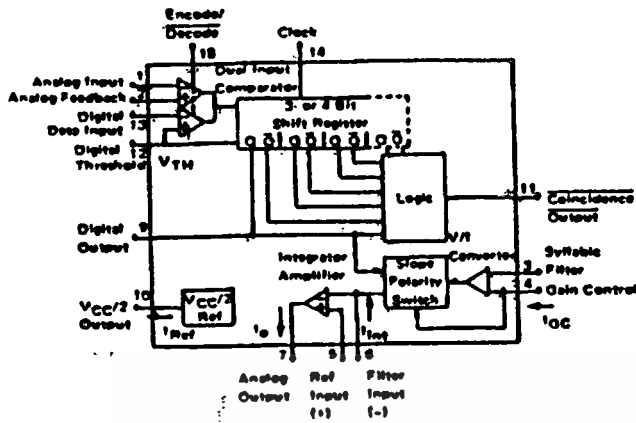
สำหรับวงจรเกทออสซิลเลท ซึ่งอยู่ภายในวงจรรวม 74HC4060 เกทเปรียบเหมือนวงจรขยายกลับเฟส โดยมี R1, C1, C2 และคริสตอลเป็นส่วนของวงจรป้อนกลับสัญญาณจากเอาต์พุตของเกทให้อินพุตของเกทมีเฟสกลับไป 180 องศา R19 เป็นความต้านทานสำหรับไบอัสให้เกททำงานเลือกใช้ขนาด 10 MΩ สำหรับค่า C1 และ C2 กำหนดให้ค่า C1 และ C2 อนุกรมกันจะมีขนาดเท่ากับค่าโหลดคาปาซิแตนซ์ของคริสตอล โดยการออกแบบเลือกค่า C1 ขนาด 30 pF และ C17 เป็นทริมเมอร์ปรับค่าได้ขนาด 30 pF

### 5.3 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล แบบ CVSD MODULATOR

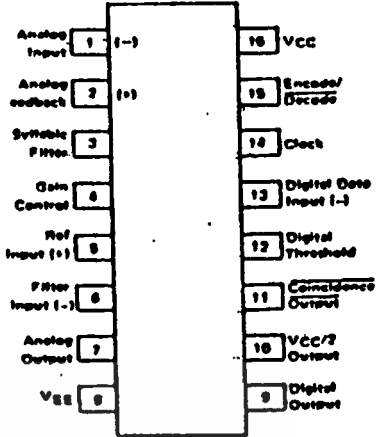
ลักษณะและ Block diagram ภายใน

CVSD (Continuously Variable Slope Delta Modulator/Demodulator) เป็น delta modulation อีกแบบที่มีประสิทธิภาพสูงเป็นไอ.ซี.พิเศษสำหรับ DM โดยเฉพาะอาศัยการควบคุมขนาด step ได้ทำให้มีไดนามิกเรนจ์กว้างกว่า DM ทั่วไป ส่วนประกอบของ ไอ.ซี. ชนิดดังแสดงในรูปที่ 5.3.1

CVSD BLOCK DIAGRAM



PIN CONNECTIONS



รูปที่ 5.3.1 Block diagram ของ CVSD

รูป 5.3.2 การจัดขาของ ไอ.ซี.

การจัดขาและหน้าที่ต่าง ๆ ของ ไอ.ซี.

**ขา 1 Analog input**

เป็นขาอินเวอร์ตอินพุทของอนาลอก คอมพาราเตอร์ ซึ่งเราจะป้อนสัญญาณเสียงเข้าขานี้ได้ทั้งแบบเอซีและดีซีขึ้นอยู่กับการใช้งาน ถ้าต้องการ clamp สัญญาณอินพุทขึ้นเพื่อให้สัญญาณสวิงได้ถึง Vcc จะต่อขานี้กับขา 10 ด้วย bias resistor analog comparator นี้ มี hysteresis ค่ำ แต่มี gain สูง (ประมาณ 70 ดีบี)

**ขา 2 Analog feedback**

เป็นขานอนอินเวอร์ตอินพุทของ อนาลอกคอมพาราเตอร์ ในการใช้งานเป็น encoderขานี้จะต่อกับอนาลอกเอาท์พุทของ encoder circuit หรือขา 7 ซึ่งก็คือ low pass filter เอาท์พุทนั่นเอง ในการใช้งานเป็น decoder ขานี้จะไม่ใช้จะต่อกับขา 10 หรือ ปล่อยลยไว้เฉย ๆ

**ขา 3 Syllabic filter**

ขานี้เป็นขานี้มี syllabic voltage ป้อนเข้าเพื่อใช้ในการคอนโทรลขนาด step ของอินทิเกรเตอร์ ขานี้เป็น NPN อินพุทของ op-amp syllabic filter ประกอบด้วย RC network ที่ต่อระหว่างขา 11 และขา 3 ซึ่งใช้ time constant ระหว่าง 6mS - 50mS

#### ขา 4 Gain control input

syllabic filter voltage ที่ปรากฏคร่อม  $C_s$  ของ syllabic filter จะถูกเปลี่ยนเป็นกระแส drive ขา 4 ที่ slew rate 0.5 V/s ดังนั้นกระแสที่ผ่านเข้าขา 4 ก็คือ syllabic filter voltage ที่หารด้วย  $R_x$  รูปที่ แสดงความสัมพันธ์ระหว่าง  $I_{GC}$  กับกระแสอินที่เกรตติ้ง

#### ขา 5 Reference input

ขานี้เป็นขานอนอินเวอร์ตอินพุทของ integrator amplifier ใช้เป็นดีซี reference ของสัญญาณเข้าที่พุทในการใช้เป็น encoder ขานี้จะต้องมี reference voltage ระดับเดียวกันกับขา 1

#### ขา 6 Filter input

เป็นขาอินเวอร์ตอินพุทของ op-amp ซึ่งใช้ต่อกับ integrator network ภายนอก กระแสอินที่เกรตติ้ง ( $I_{int}$ ) จะไหลเข้าขา 6 ในการ encoder เมื่ออนาลอกอินพุท (ขา 1) มากกว่า analog feedback (ขา 2) หรือในการ decoder digital data อินพุท (ขา 13) เป็น 1 และในทางตรงกันข้ามกระแส  $I_{int}$  จะไหลออกจากขา 6 เมื่ออินพุทกลับกันครั้งแรก สำหรับระบบ single integration จะมี RC ต่อระหว่างขา 6 และ 7

#### ขา 7 Analog output

เป็นขาอินที่เกรเตอร์เข้าที่พุท สามารถขับ load ต่ำสุด 600 โอห์ม reference กับ  $V_{cc}/2$  สำหรับการออกแบบอินที่เกรชันฟิลเตอร์เนทเวิร์ก slew rate ของการชดเชยภายใน โดย อินที่เกรเตอร์ op-amp ประมาณ 0.5 V/us ขานี้จำกัดกระแสไว้ประมาณ 30 mA

#### ขา 8 Vee

ไอ.ซี. นี้ถูกออกแบบให้ทำงานได้ทั้ง dual และ single supply ขานี้จะต่อกับไฟลบ หรือกราวนด์

#### ขา 9 Digital output

ขานี้เป็นขาเข้าที่พุทจากผลของ เกล็ด้ามอดูเลเตอร์ คอนเวอร์ชันเข้าที่พุทของขา นี้จะสวิงระหว่าง  $V_{cc}$  กับ  $V_{ee}$  ซึ่งสามารถต่อเข้ากับ CMOS หรือ TTL ได้ ขานี้จะอินเวิร์ตเมื่อเทียบกับขา 1 และเป็นนอนอินเวิร์ตเมื่อเทียบกับขา 2 ขานี้เข้าที่พุทขึ้นอยู่กับสัญญาณนาฬิกาที่ขา 14 เมื่อมี falling edge สัญญาณนาฬิกาจะมี raise และ fall time 250 ns และ 50 us

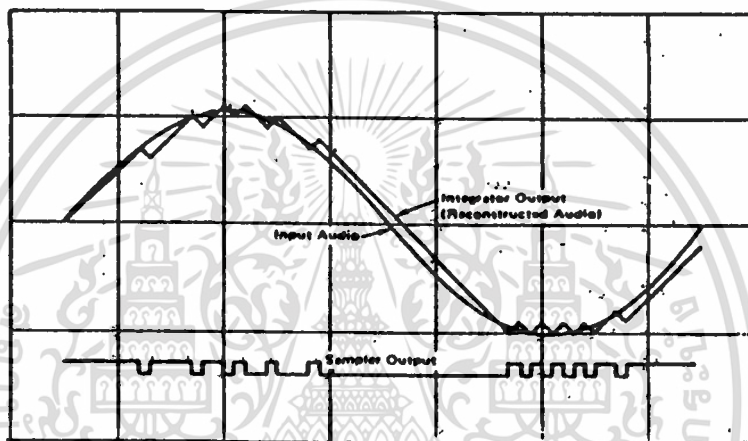
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ขา 15 Encode/ Decode

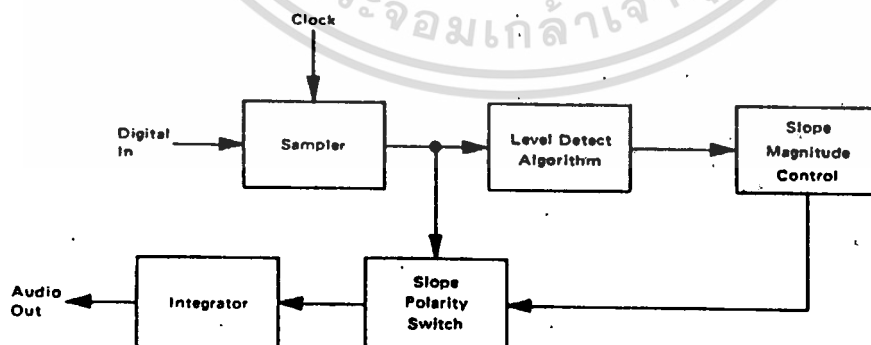
เป็นขาควบคุมการทำงานว่าจะทำงานเป็น encoder หรือ decoder ถ้าเป็น 1 หมายถึงทำงานเป็น encoder

### ขา 16 Vcc

เป็นขา power supply ตั้งแต่ 4.77 v. ถึง 16.5 v. เมื่อเทียบกับ Vee



รูปที่ 5.3.3 ลักษณะ WAVE FORMS ของ CVSD



รูปที่ 5.3.4 บล็อกไดอะแกรมของ CVSD encoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### หลักการและวิธีการทำงานของ CVSD

สำหรับการทำงานเบื้องต้นของ CVSD ก็เช่นเดียวกับ DM ทั่วไปดังที่อธิบายผ่านมา สำหรับบล็อกไดอะแกรมของ CVSD encoder และ decoder แสดงในรูปที่ 5.3.4

ข้อได้เปรียบของ DM นั้นคือ สร้างง่ายและให้เอาต์พุตออกมาเป็น serial เลข ข้อจำกัดของ DM คือ ความเที่ยงตรง ในการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิทัลด้วย bit rate ที่จำกัด ดังนั้นอนาลอกอินพุตจึงต้องมีการจำกัดทั้ง bandwidth และ amplitude สำหรับความถี่นั้นจะจำกัดจุดสูงของความถี่อินพุตไม่ให้มากเกินไปที่จะ encode ได้ ส่วน amplitude นั้นจะจำกัดทั้งสูงสุดและต่ำสุดเพราะ amplitude ค่าต่ำสุดต้องไม่ต่ำกว่าระดับของ noise ที่ DM สร้างขึ้นขณะไม่มีสัญญาณอินพุต สำหรับ delta modulator แบบธรรมดา แล้วพบว่า มีไดนามิกเร้นจ์ต่ำและมีระดับของ noise คงที่

สำหรับวงจร continuous variable slope นั้นมีจุดประสงค์เพื่อเพิ่มไดนามิกเร้นจ์ ซึ่งทำได้โดยการปรับ gain ของวงจรมอดูเลเตอร์ ด้วยวิธีการตรวจสอบสัญญาณอินพุตโดยใช้ shift register ๓ หรือ 4 ตัวตามแต่การใช้งาน CVSD จะคอยเช็คค่าภายใน shift register เป็น 0 หรือ 1 ทั้งหมดหรือไม่ ถ้าค่าภายในของ shift register เป็น 0 หรือ 1 ทั้งหมด แสดงว่า gain ของ อินทิเกรเตอร์น้อยไป เราจะได้ผลแสดงออกมาทาง coincidence เอาต์พุตซึ่งจะไปทำการเพิ่ม gain ของอินทิเกรเตอร์

นอกจากวิธีการใช้ shift register แล้วยังมีวิธีอื่นอีกเช่น การวัด average power หรือการวัดขนาดของสัญญาณอินพุต หรือตรวจสอบค่าช่วงของอินพุต ซึ่งวิธีการเหล่านี้ก็ล้วนแล้วแต่ต้องการควบคุม gain ของอินทิเกรเตอร์เพื่อเพิ่มไดนามิกเร้นจ์ของ DM ทั้งสิ้น

จากวิธีการ encode นี้ ถ้าถูกนำมาใช้ในการ decode ที่ทางด้านรับเราก็จะได้สัญญาณทางด้านเอาต์พุตที่มีรูปร่างเช่นเดียวกับทางด้านอินพุต

จากวิธีการของ CVSD นี้เรียกว่าการ Compand (Compress + expand) ถ้านำสัญญาณดิจิทัลเอาต์พุตของ CVSD encoder มีการใช้ decode ด้วย DM แบบธรรมดา (หรือ LDM นั่นเอง) เอาต์พุตที่ได้หลังจากผ่านอินทิเกรเตอร์แล้วจะมีลักษณะเช่นเดียวกับทางด้านอินพุต แต่ระดับ amplitude จะมีขนาดเท่ากันตลอด ดังนั้นวิธีการ decode CVSD ก็ต้องใช้เช่นเดียวกับวิธีการ encode

## การออกแบบและประยุกต์ใช้งาน CVSD

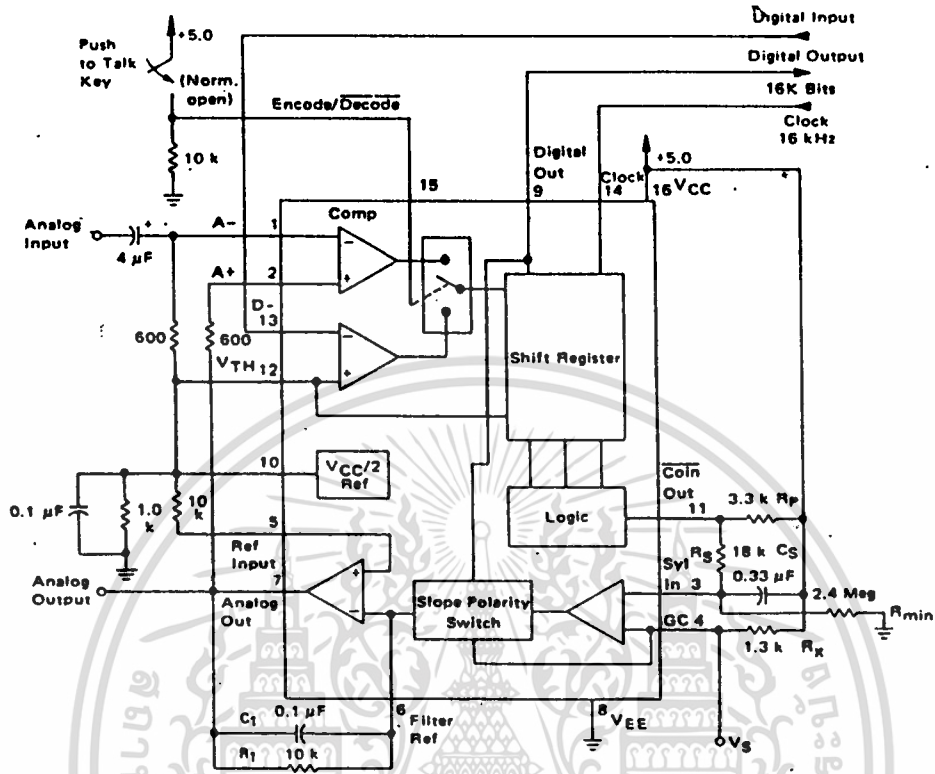
ไอ.ซี.เบอร์ MC 3471, MC 3418 เป็น CVSD แบบง่าย การต่อให้ทำงานเป็น encoder และ decoder ดังแสดงในรูปที่ 5.3.5 ไอ.ซี.ชนิดนี้เป็น CVSD แบบใช้งานทั่วไป ผู้ใช้สามารถออกแบบปรับปรุงได้ มีสิ่งที่จะต้องกำหนดและออกแบบ 7 ข้อ คือ

1. กำหนดความถี่ของสัญญาณนาฬิกา (clock rate)
2. ขนาดของ shift register ที่ต้องใช้ (3 หรือ 4 bit)
3. เลือก loop gain
4. กำหนดขนาด step ที่เล็กที่สุด
5. ออกแบบอินทิเกรชันฟิลเตอร์ transfer function
6. ออกแบบ syllabic filter transfer function
7. ออกแบบ low pass filter

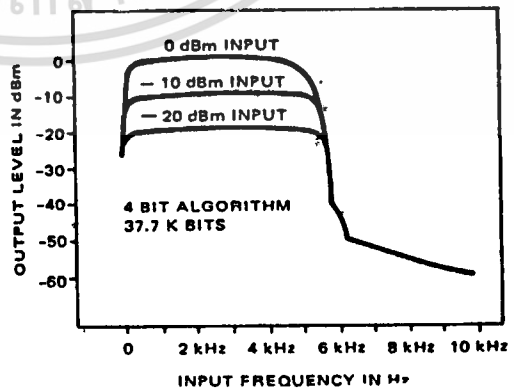
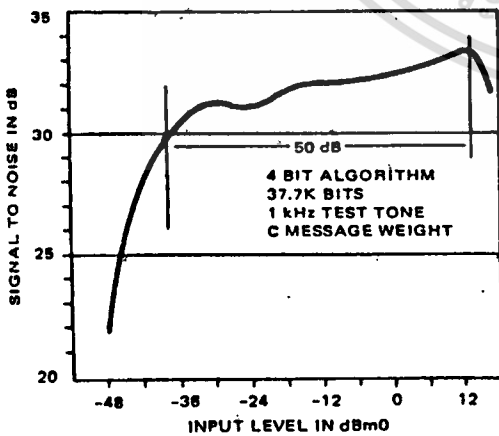
### สัญญาณนาฬิกา และขนาดของ shift register

ในการออกแบบขั้นต้นเราต้องกำหนด bit rate ของ CVSD ซึ่งจำนวน bit rate นี้ก็คือสัญญาณนาฬิกาที่ต้องใช้นั่นเอง DM สร้างสัญญาณที่เป็น serial ออกมาเลยดังนั้น bit rate และสัญญาณนาฬิกาหรือความถี่ของการ sampling ก็คือตัวเดียวกันนั่นเอง ถ้าความถี่ของสัญญาณนาฬิกาสูง S/N ก็จะสูงไปด้วย CVSD นี้สามารถใช้ clock rate ได้ตั้งแต่ 9600 Hz ถึง 64 KHz แต่ที่มีใช้กันมากในอุปกรณ์การสื่อสารทั่วไปคือ 16 KHz 32 KHz และ 37.7 KHz และสำหรับการ code อื่น ๆ บางครั้งอาจจะใช้ bit rate สูงถึง 200 Kbit / sec

หลังจากกำหนด system bit rate แล้ว ก็ต้องทำการกำหนดขนาดของ shift register ขนาดของ shift register นี้จะเป็นตัวเก็บข้อมูลของสัญญาณในช่วงเวลาที่ได้ผ่านมาก่อนหน้าแล้ว เพื่อการควบคุม gain ของอินทิเกรเตอร์ ซึ่งก็ขึ้นอยู่กับสัญญาณนาฬิกาด้วยดังนั้นที่ rate ต่ำกว่า 16 KHz ควรใช้ register ขนาด 3 bit ซึ่งจะให้ผลดีที่สุดและจาก 16 Kbit ขึ้นไปจะใช้ 3 หรือ 4 bit ใดๆอย่างหนึ่ง สำหรับ 4 bit จะให้ S/N ที่ flat กว่า เพราะว่า register มีการเก็บข้อมูลที่ยาวกว่า ใดๆก็ตามผลการตอบสนองต่อ transient จะไม่ดีเท่าที่ควรเนื่องจากการ compand ช้า ดังนั้นไอ.ซี.เบอร์ MC 3417 ซึ่งมี register 3 ตัวนั้น ใช้กับระบบที่ใช้ bit rate ต่ำ ส่วน MC 3418 มี register 4 ตัว ใช้กับระบบที่มี bit rate สูงตั้งแต่ 64 Kbit ขึ้นไปจะทำงานได้ดี



รูปที่ 5.3.5 วงจร CVSD encoder / decoder



รูปที่ 5.3.6 ผลของ S/N เมื่อเทียบกับการตอบสนองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### เลือก loop gain

ในวงจรรูปที่ 5.3.5  $R_x$  เป็นตัวกำหนด feedback gain ของ CVSD การเลือก gain นี้เป็นพารามิเตอร์ที่สำคัญอีกอย่างหนึ่งของการ codec เนื่องจากวิธีการของ CVSD ก็เพื่อปรับปรุงไดนามิกเร้นจ์ของ delta modulator ที่ระดับสัญญาณอินพุตค่า ๆ การเลือก loop gain จึงต้องขึ้นกับ

1. ระดับและความถี่สูงสุดของสัญญาณอินพุต
2. transfer function ของอินทิเกรชันฟิลเตอร์

ดังเช่นการ compand จะทำงานในระหว่าง 5% ถึง 25% ของเวลาเท่านั้น  $R_x$  จะถูกเลือกก็โดยการกำหนดกระแสที่อินทิเกรเตอร์ต้องการซึ่งก็จะสร้างขนาดของ step ได้ตามต้องการเมื่อเข้าที่พู่ทของ syllabic filter ได้ประมาณ 25% ของจุดสูงสุดของมัน

เพื่อที่จะคำนวณขนาดของกระแสของ step เราต้องหาลักษณะของ transfer ของอินทิเกรชันฟิลเตอร์ ในรูปที่ 5.3.5

$$R = 10 \text{ K} \quad C = 0.1 \text{ uF}$$

$$\frac{V_o}{I_i} = \frac{1}{C(S+1/RC)} = \frac{K}{S + \omega_o} \quad (5.3.1)$$

$$\text{จาก } \omega_o = 2\pi f$$

$$10^3 = \omega_o = 2\pi f$$

$$f = 159.2 \text{ Hz}$$

ดังนั้นอินทิเกรชันฟิลเตอร์จะมี single pole response ตั้งแต่ 300 ถึง 3 KHz กระแสที่ต้องการที่จะทำให้เข้าที่พู่ทของอินทิเกรเตอร์ เพิ่มจาก 0 ถึงจุดโวลต์เตจที่ต้องการคือ

$$I_i = \frac{V_o}{R} + \frac{C dV_o}{dt} \quad (5.3.2)$$

ที่ 0 dBm ของ sine wave จะเท่ากับ 1.0954 V. ดังนั้นกระแสที่ต้องการสำหรับที่ 0 dBm ของ 1 KHz sine wave คือ

$$I_i = \frac{1.1 \text{ V}}{2(10\text{K})} + \frac{0.1 \text{ uF} (1.1)}{0.125 \text{ mS}} = 0.935 \text{ mA}$$

$$\text{โวลต์แดงสูงสุดที่ตกคร่อม } R_i = \frac{1.1 \text{ V}}{2}$$

จากโวลต์แดงของ syllabic filter ก็คือ  $V_{cc}$  การ compand ไม่เกิน 25%

$$R_x = 0.25 V_{cc} \times (1/0.935 \text{ mA})$$

$$\text{ที่ } V_{cc} = 5 \text{ V.}, R_x = 1.3 \text{ K}$$

ขนาดของ step ที่เล็กที่สุด (minimum step size)

พารามิเตอร์ที่จะกำหนดสุดท้ายนี้สำหรับวงจรในรูป 5.3.5 คือ ขนาดของ step ที่เล็กที่สุด ขณะที่ไม่มีสัญญาณอินพุท ที่เข้าที่พุดิจิตอลของ CVSD เป็น 1 และ 0 สลับกันไปตลอดและที่อนาลอกเข้าที่พุดจะได้รูปสามเหลี่ยมเล็ก ๆ ซึ่งเรียกว่า Idle channel ซึ่งหมายความว่า CVSD ไม่สามารถ code สัญญาณที่มีระดับต่ำกว่าขนาดของ step ที่เล็กที่สุดได้ ในทางทฤษฎีแล้วจะทำพารามิเตอร์นี้เป็น 0 แต่ในทางปฏิบัติจะมีค่าผิดพลาด (error) เช่น step ที่ขึ้นและลงไม่พอดีกัน คอมพาราเตอร์หรือสเตอริโอซิส และ filter op-amp offset ซึ่งทำให้เกิด idle channel ทั้งสิ้น

การกำหนดขนาด idle channel นี้โดยการเลือกขนาดของ  $R_{min}$  ขณะที่ไม่มีสัญญาณอินพุท ส่วนที่ control slope จะไม่ทำงานเพราะเข้าที่พุดของคอมพาราเตอร์จะไม่เป็น 1 หรือ 0 ดิด ๆ กันจนทำให้เกิด coincidence เข้าที่พุดได้ ดังนั้นโวลต์แดงที่ตกคร่อม  $C_s$  จะประมาณ 0 V. อย่างไรก็ตามโวลต์แดงที่ถูกแบ่งของ  $R_s$  และ  $R_{min}$  (จากรูปที่ 5.3.5) จะทำให้มีโวลต์แดงตกคร่อม  $C_s$  บ้าง ซึ่งโวลต์แดงนี้จะทำให้เกิดสัญญาณสามเหลี่ยมที่เข้าที่พุดของ อนาลอกจากสมการกระแสอินพุท

$$I_i = \frac{V_o}{R} + C \frac{dV_o}{dt}$$

$$\text{ที่ } V_o \text{ น้อย ๆ จะได้ } \frac{V_o}{R} \approx 0 \text{ ดังนั้นเทอม } V_o/R \text{ จึงถูกตัดทิ้งได้ จะได้}$$

$$I_i = \frac{C_s \Delta v_o}{\Delta T}$$

$\Delta T$  = period ของสัญญาณนาฬิกา

$\Delta v_o$  = peak-to-peak value of idle channel

จากวงจรในรูป 5.3.5 ใช้สัญญาณนาฬิกา 3.7 KHz

$$I_i = \frac{0.1 \text{ uF} \times 10 \text{ mV}}{26.52 \text{ uS}} = 37.7 \text{ uA}$$

ดังนั้น โวลต์เตจคร่อม  $C_s$  ที่กระแส 37.7 uA กำหนดโดย  $R_x$

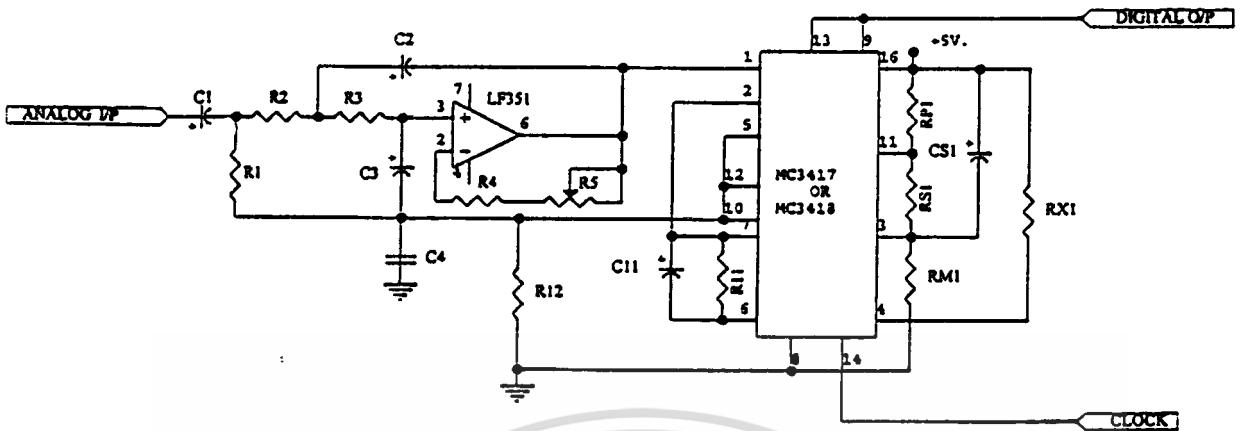
$$I_i R_x = V_{smin} = 37.7 \text{ uA} \times 1.3 \text{ K} = 49 \text{ mV}$$

โดยตกคร่อม  $R_s$  49 mV ดังนั้น ในรูปที่ 5.3.5 ,  $R_s = 60 \text{ K}\Omega$  จะทำให้เกิดโวลต์เตจแบ่งกันระหว่าง  $R_s, R_{min}$

$$V_{cc} = R_s = \frac{V_{smin}}{R_s + R_{min}} \quad (5.3.3)$$

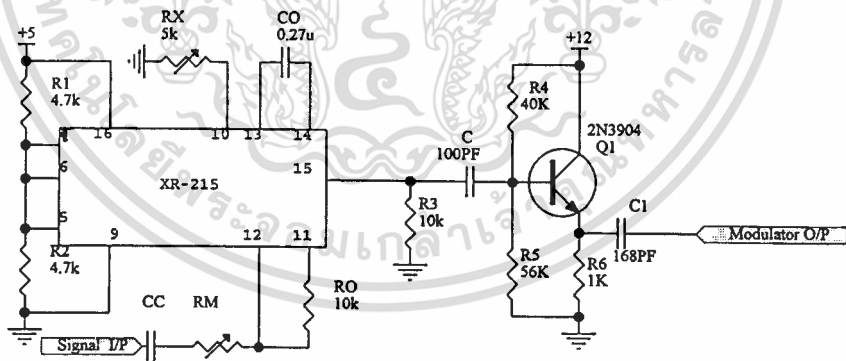
$$R_{min} = 6.1 \text{ M}$$

รูปที่ 5.3.6 เป็นการวัดผล S/N ของวงจรในรูปที่ 5.3.5 ซึ่งจะได้ผลดีที่สุดในรอบ ๆ 0 dBmo แต่ S/N จะตกลง 6 dB จาก 0 dBm ที่ -30 dBm



รูปที่ 5.3.7 แสดงวงจร CVSD MODULATION

5.4 วงจรมอดูเลตสัญญาณ FSK



รูปที่ 5.4.1 แสดงวงจรมอดูเลตสัญญาณ FSK

การออกแบบวงจรภาค FSK MODULATOR โดยใช้ PLL วงจรรวมเบอร์ XR-215 ซึ่งออกแบบตาม DATA SHEET สำหรับความถี่ศูนย์กลาง ( $f_0$ ) กำหนดโดยค่าภายนอก  $C_0$  ที่ต่อคร่อมระหว่างขา 13 และขา 14 และสามารถปรับเปลี่ยนค่าความถี่  $f_0$  ได้โดยต่อ  $R_x$  ระหว่างขา 9 และขา 10 ซึ่งสามารถคำนวณหาค่าความถี่  $f_0$  ได้จากสูตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_o = [200 / C_o] [1 + (0.6 / R_x)] \quad (\text{MHz})$$

เมื่อ  $C_o$  มีหน่วยเป็น  $\mu\text{F}$

$R_x$  มีหน่วยเป็น  $\text{K} \ \Omega$

ดังนั้น กำหนดให้  $C_o = 20 \text{ pF}$

$R_x = 0 - 1 \text{ K}$

สามารถคำนวณหาค่า VCO Gain ( $K_o$ ) ได้ดังนี้

$$K_o = 700 / C_o \cdot R_o \quad (\text{Radian / Volts})$$

เมื่อ  $C_o$  มีหน่วยเป็น  $\mu\text{F}$

$R_o$  มีหน่วยเป็น  $\text{K}$

ในการออกแบบ กำหนดให้ค่า  $R_o = 200 \text{ K}$

ดังนั้น

$$\begin{aligned} K_o &= 700 / (20 \cdot 10^{-6} \cdot 200) \\ &= 175,000 \text{ Radian / Volt} \end{aligned}$$

ความถี่กลางสามารถปรับให้เลื่อนไปตามค่าความถี่ที่ต้องการได้ โดยใช้ตัวต้าน

ทานปรับค่า  $R_x$

ซึ่งค่าความถี่กลางหาได้จาก

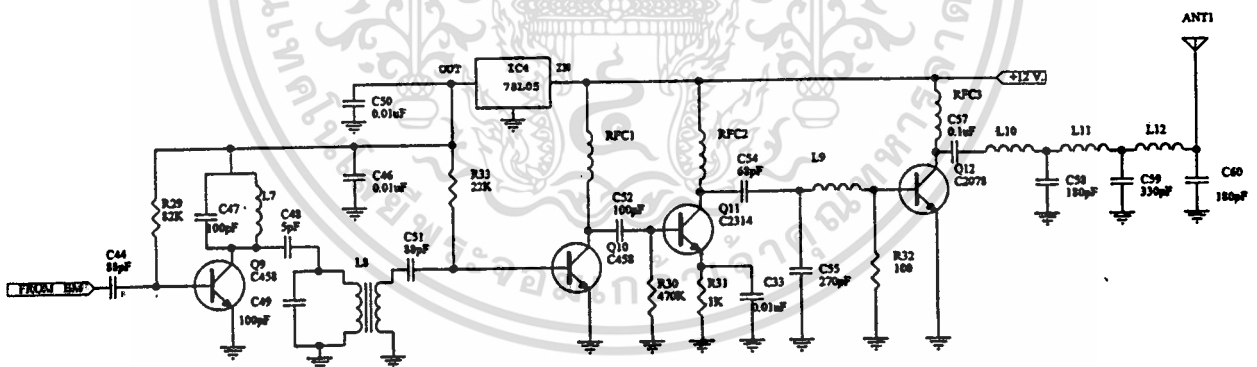
$$f_o = (220 / C_o) (1 + 0.1/R_x)$$

ในส่วนของ  $K_d$ , เฟสดีเทกเตอร์เกน จะไม่ใช้ในส่วนนี้ จึงต่อตัวต้านทานแบ่งแรงดันที่ขา 4,5 และ ขา 6 มีแรงดันตกคร่อมประมาณ ( $V_{cc} / 2$ ) ที่ขา 12 จะต่อกับตัวต้านทาน 2 เม็กกาโอห์ม เพื่อจำกัดแรงดัน Data Signal ให้มีค่าน้อย เพื่อให้ค่าของ Frequency Deviation แคบมากที่สุด โดยทำให้ Bandwidth แคบที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 5.5 วงจรขยายกำลัง

วงจรขยายกำลัง จะทำหน้าที่ ขยายสัญญาณที่ผ่านการมอดูเลตแล้วจากวงจร FSK MODULATOR เพื่อเพิ่มกำลังส่ง ของสัญญาณ RF ก่อนส่งไปยังสายอากาศ โดยวงจรจะใช้ทรานซิสเตอร์ Q10 ทำหน้าที่ ขยายความถี่อาร์เอฟ ให้มีความแรงอยู่ในระดับหนึ่งก่อน โดยมี R33 ไบแอสกระแสเบสให้อาห์พุดที่ขาคอลเล็กเตอร์ จะถูกคัปปลิ่งผ่าน C52 ไปเข้าขาเบสของ Q11 ทำหน้าที่เป็นไดรฟ์เวอร์ จะสังเกตได้ที่ขาอิมิตเตอร์ของ Q11 จะต่อ R31 และ C33 ลงกราวด์อยู่ เพื่อเป็นการจำกัดอัตราขยายของภาคเพาเวอร์ และ Q12 เป็นเพาเวอร์เอาต์พุต ทำหน้าที่ขยายสัญญาณความถี่อาร์เอฟออกสู่สายอากาศ โดยคัปปลิ่งผ่าน C57 และ วงจรกรองความถี่ต่ำผ่าน L10-L12



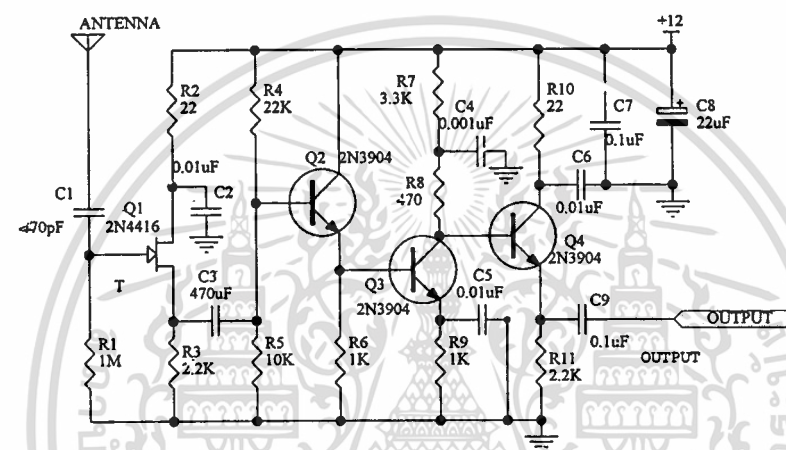
รูปที่ 5.5.1 วงจรขยายกำลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 6

### การออกแบบและสร้างทดลองวงจรทางด้านภาครับ

#### 6.1 วงจรขยายความถี่อาร์เอฟ



รูปที่ 6.1.1 แสดงวงจรขยายความถี่อาร์เอฟ

เริ่มจากสายอากาศรับสัญญาณความถี่ในย่าน 27 MHz เข้ามาคัปปลิ่งผ่านตัวเก็บประจุ  $C_1$  ส่งให้ขาเกตของ  $Q_1$  ซึ่งถือเป็นวงจรซอร์ส-ฟอลโลเวอร์ ซึ่งให้อินพุตอิมพีแดนซ์สูง ทำให้สามารถรับสัญญาณได้ดี สัญญาณที่ได้จาก  $Q_1$  จะคัปปลิ่งผ่านตัวเก็บประจุ  $C_3$  ไปยังขาเบสของ  $Q_2$  ซึ่งถือเป็นวงจรอิมิตเตอร์-ฟอลโลเวอร์ ทำหน้าที่แมตช์ทางอิมพีแดนซ์ระหว่าง  $Q_1$  กับ  $Q_3$  โดย  $Q_3$  ถือเป็นวงจรคอมมอนอิมิตเตอร์ ซึ่งให้เกนการขยายสูง โดยมี  $R_x$  เป็นตัวกำหนดเกนการขยาย ถ้า  $R_x$  มีค่ามากแรงดันตกคร่อมจะมากตามจะทำให้เกนการขยายเพิ่มขึ้นแต่พาสแบนด์ (pass band) จะลดลง สัญญาณที่ได้จาก  $Q_3$  จะส่งมายังขาเบสของ  $Q_4$  ซึ่งทำหน้าที่เปลี่ยนเอาต์พุต อิมพีแดนซ์ของวงจรให้เป็น 50 โอห์ม เพื่อแมตช์กับภาค Mixer โดยใช้ NE612 ต่อไป

## 6.2 วงจรแปลงความถี่ IF

วงจรแปลงความถี่ IF นี้จะทำหน้าที่แปลงความถี่ RF (27.3 MHz) จากภาคขยายส่วนหน้า ( FrontEnd ) หรือ วงจร RF Amp ให้เป็นความถี่ IF (10.7 MHz) โดยใช้ IC NE 612 ซึ่งประกอบไปด้วยวงจร Mixer , Local Oscillator และ IF Amp ซึ่งเป็นหลักการของวงจรซูเปอร์เฮเทอโรไดน์ ( Superheterodyne Circuit ) ที่ใช้กับเครื่องรับวิทยุ FM

ในภาค Local Oscillator จะใช้แร่ควอตซ์ผลิตความถี่ 16.6 MHz เป็นความถี่อ้างอิง และภาค IF Amp จะใช้เซรามิกฟิลเตอร์ ที่ความถี่ 10.7 MHz ให้ผ่านไปได้เท่านั้น โดยที่ภาค Mixer Circuit จะเกิดความถี่หลักดังนี้

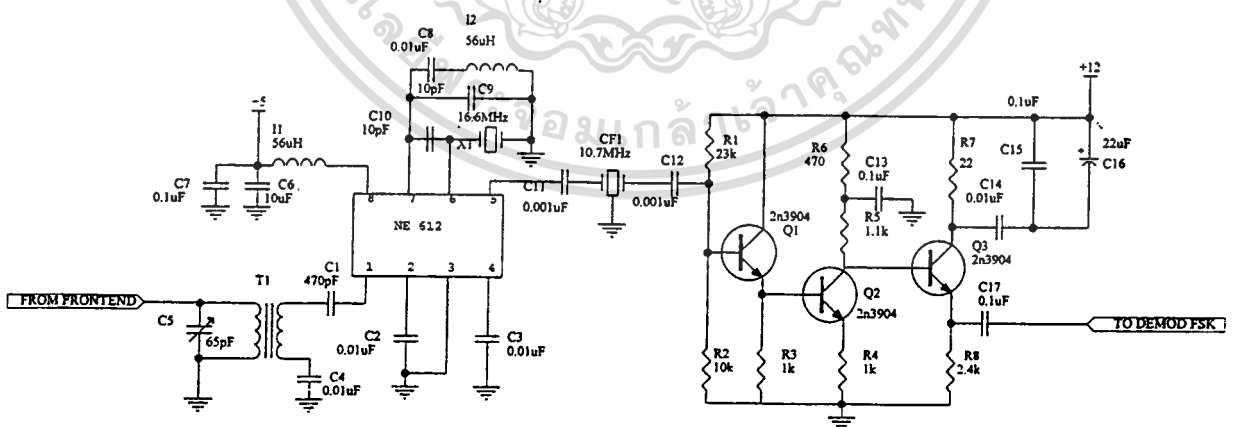
สัญญาณความถี่คลื่นพาห์ (RF) = 27.3 Mhz

ความถี่ออสซิลเลเตอร์ (Local Osc) = 16.6 Mhz

ความถี่ผลรวม = 43.9 Mhz

ความถี่ผลต่าง = 10.7 Mhz

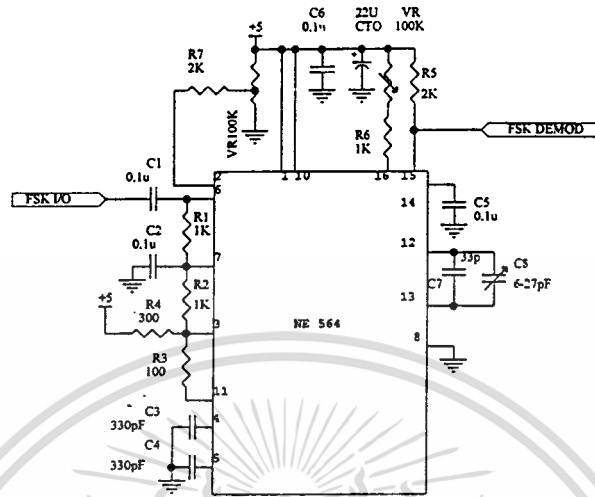
ค่าความถี่ IF ที่ต้องการคือความถี่ผลต่าง เนื่องจากมีความถี่ต่ำสุด ซึ่งมีข้อดีคือทำให้มีซีเร็กติวิตี (Selectivity) และอัตราขยายสัญญาณที่ดี ทำให้ภาควงจร IF มีเสถียรภาพที่ดีขึ้น



รูปที่ 6.2.1 แสดงวงจรภาครับ FM โดยใช้ IC NE 612

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการเรียนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 6.3 วงจรคีมอดคูเลทสัญญาณ FSK



รูปที่ 6.3.1 แสดงวงจรคีมอดคูเลทสัญญาณ FSK

วงจร FSK Demod PLL จะใช้วงจรเบอร์ NE 564 ซึ่งเป็นวงจร Phase Lock Loop สามารถใช้ Demodulation สัญญาณ FM หรือ FSK ก็ได้ ซึ่งสามารถทำงานได้ถึงย่านความถี่ 50 MHz ซึ่งในโครงการนี้จะใช้ Demod ความถี่ 10.7 MHz โดยเป็นความถี่ที่แปลงลงมาจากความถี่ 27 MHz

การออกแบบวงจร PLL โดยใช้ NE 564 ขั้นตอนแรกจะต้องกำหนดความถี่ free running ของ VCO ก่อน

จาก Data Sheet คำนวณหา  $f_0$  จากสูตร :  $f_0 = 1 / 16 R_c C_1$

เมื่อ  $R_c$  เป็นค่าความต้านทานภายใน มีค่าเท่ากับ 100 โอห์ม

$C_1$  เป็นค่าความจุที่ต่อภายนอกที่ขา 12 , 13 มีหน่วย ฟาร์ด ดังนั้นสามารถหาค่า  $C_1$  ได้ คือ

$$\begin{aligned} C_1 &= 1 / (16 * 100 * 10.7 * 10^6) & (F) \\ &= 58.4 \quad \text{pF} \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นต่อไป คือการออกแบบ loop filter

$$\text{จากสมการ PLL} \quad A(s) = [K_v K_D F(s)] / [S + K_v K_D F(s)]$$

เมื่อ  $F(s)$  เป็น loop filter ทรานเฟอร์ฟังก์ชัน

ถ้ากำหนดให้  $F(s) = 1$  จะทำให้ความถี่คัทออฟของ low pass filter เกิดการเปลี่ยนแปลง และเอาท์พุทของ เฟสดีเทคเตอร์จะมีผลโดยตรงกับ VCO อินพุท ซึ่ง loop transfer function สามารถลดรูปได้ดังนี้

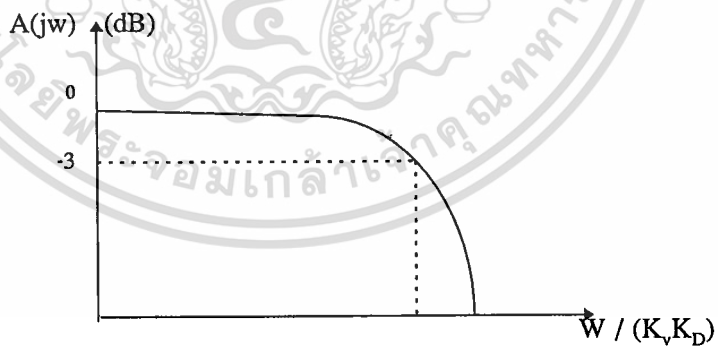
$$A(s) = K_v K_D / (S + K_v K_D) = 1 / [1 + (S / K_v K_D)]$$

ซึ่งเป็นสมการ First order loop

เมื่อ  $K_v$  เป็น VCO Gain

$K_D$  เป็น Phase Detector Gain

ความถี่ธรรมชาติของลูป จะเป็นความถี่ที่ -3 dB ของ Loop Frequency Response ซึ่งค่า  $\omega_n$  ก็คือ แบนวิคต์ของลูปนั่นเอง



สำหรับ First Order Loop ค่า  $\omega_n = K_v K_D$  ซึ่งในเทอมของ  $K_v K_D$  เปรียบเสมือนกับ Forward Loop Gain

โดย Loop Filter ที่ใช้ในวงจร PLL NE564 สามารถหาได้จาก Loop Transfer Function คือ

$$F(s) = 1 / (1 + SRC_3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ  $R = R_{12} = R_{13} = 1.3 \text{ K}$  (Internal)

โดยต่อ  $C_3$  ที่ขา 4 และ ขา 5 2 โพลคือที่ loop transfer function

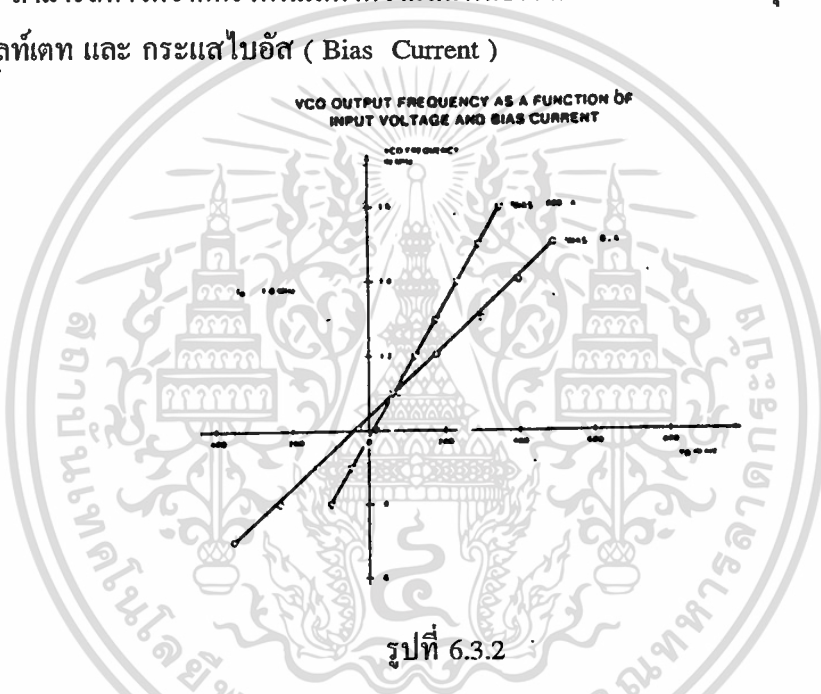
ที่  $\omega_n = 1 / (RC_3) = K_v K_D$

ซึ่งค่า  $K_D = 0.46 \text{ (volts/rad)} + 7.3 \cdot 10^{-4} \text{ (volts / rad} \cdot \mu\text{A)} \cdot I_{\text{BIAS}}$

เมื่อ  $I_{\text{BIAS}}$  เป็นค่ากระแสที่ไบอัสให้กับขา 2 ของ IC ซึ่งควรมีค่าน้อยกว่า  $800 \mu\text{A}$

กำหนดให้  $I_{\text{BIAS}} = 0$ , ดังนั้น  $K_D = 0.46 \text{ Volts / rad}$

ส่วน  $K_v$  สามารถหาได้จากกราฟที่แสดงความสัมพันธ์ระหว่าง ความถี่เอาต์พุตของ VCO กับ อินพุตโวลต์เดท และ กระแสไบอัส (Bias Current)



ในที่นี้กำหนดให้  $I_{\text{BIAS}} = 0$

ดังนั้น  $K_v = 0.95 \text{ MHz / Volt}$

$$= 5.9 \cdot 10^6 \text{ Rad / Volt-Sec}$$

ดังนั้นจาก loop transfer function สามารถหาค่า  $C_3$  ที่ขา 4 และ 5 ได้ดังนี้

$$K_v K_D = 1 / RC_3$$

$$C_3 = 1 / (1.3 \cdot 10^3 \cdot 0.46 \cdot 5.9 \cdot 10^6)$$

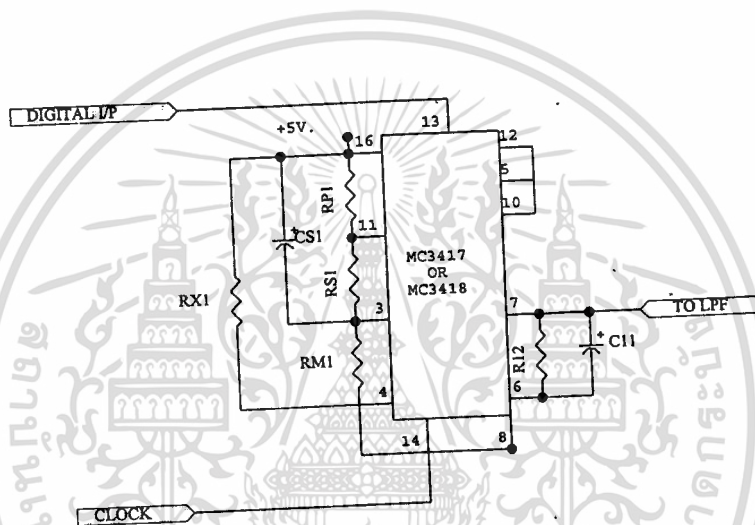
$$= 283.43 \text{ pF}$$

ในทางปฏิบัติค่าเท่ากับ  $300 \text{ pF}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 6.4 วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก แบบ CVSD MODULATION

วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกที่ใช้ที่นี่จะใช้เหมือนกับทางภาคส่ง กล่าวคือจะใช้ IC MC 3418 โดยจะทำการแปลงข้อมูลสัญญาณดิจิทัลขนาด 4 bits ความเร็วของข้อมูลเท่ากับ 32 กิโลบิตต่อวินาที(Kbps) ให้เป็นสัญญาณเสียงเพื่อจะส่งไปยังภาคกรองความถี่เสียงต่อไป โดยวงจรใช้งานแสดงดังรูป 6.4.1



รูปที่ 6.4.1 แสดงวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก

#### 6.5 วงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่านที่ภาครับนี้จะใช้เหมือนกับทางภาคส่ง โดยจะมีการออกแบบและการคำนวณเหมือนกัน สามารถดูได้ที่ 5 หัวข้อที่ 5.1



## บทที่ 7

### ผลการทดลอง

1. การทดลองภาค Analog to Digital โดยทำการป้อนสัญญาณ Sine Wave จาก เครื่องกำเนิดสัญญาณ ตั้งแต่ความถี่ 100 Hz - 4KHz เพื่อหาผลของ GAIN ที่ได้ หรือขนาดแอมพลิจูดที่ เอาท์พุทของภาค Digital to Analog ว่ามีผลการเปลี่ยนแปลงหรือผลการตอบสนองอย่างไร



รูปที่ 1 แสดงการทดลองทดลองที่ 1

Frequency (Hz)	Vout Filter (A/D) (Vp-p)	Vout Filter (D/A) (Vp-p)	Gain
100	1	0.64	0.64
200	1.1	0.9	0.82
300	1.2	0.9	0.82
400	1.2	1.28	1.06
500	1.2	1.3	1.083
600	1.1	1.3	1.2
700	1.1	1.3	1.2
800	1.1	1.3	1.2
900	1.1	1.3	1.2
1K	1	1.3	1.3
1.1K	1.1	1.1	1
1.2K	1	0.8	0.8
1.3K	1	1	1

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาตจากทางผู้จัดทำ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

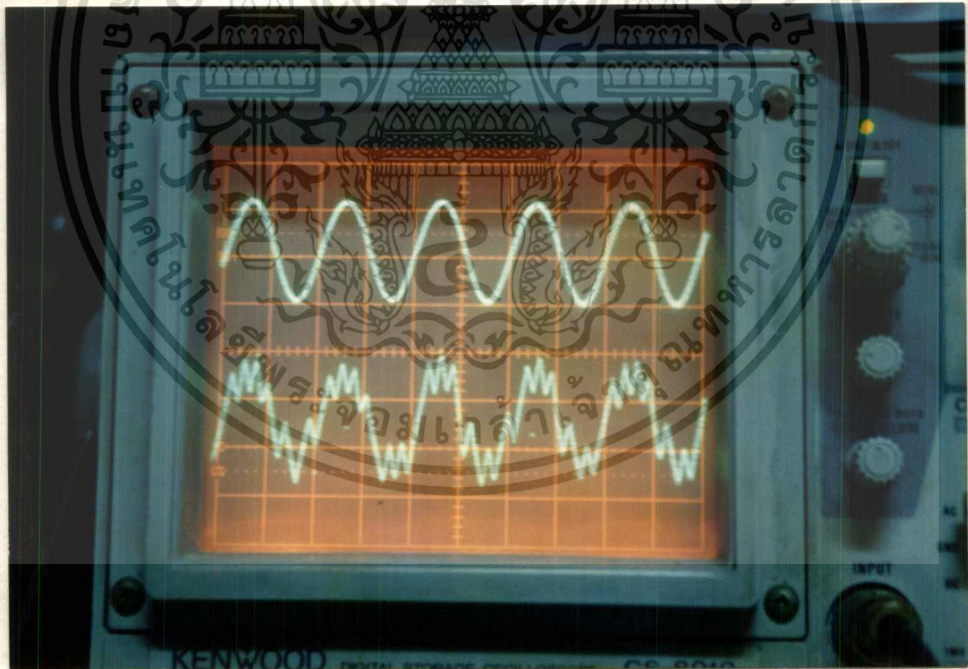
Frequency (Hz)	Vout Filter (A/D) (Vp-p)	Vout Filter (D/A) (Vp-p)	Gain
1.4K	1	0.8	0.8
1.5K	1	0.8	0.8
1.6K	1	0.86	0.86
1.7K	1	0.86	0.86
1.8K	0.9	0.86	0.955
1.9K	0.9	0.86	0.955
2K	0.9	0.76	0.844
2.2K	0.9	0.76	0.844
2.3K	0.9	0.76	0.844
2.4K	0.9	0.68	0.755
2.5K	0.74	0.68	0.912
2.6K	0.74	0.56	0.756
2.7K	0.74	0.38	0.513
2.8K	0.68	0.38	0.56
2.9K	0.68	0.52	0.764
3K	0.68	0.5	0.73
3.1K	0.68	0.44	0.647
3.2K	0.64	0.46	0.718
3.3K	0.6	0.46	0.768
3.4K	0.54	0.46	0.851
3.5K	0.62	0.66	1.0645
3.6K	0.62	0.66	1.06
3.7K	0.6	0.38	0.63
3.8K	0.52	0.28	0.538
3.9K	0.58	0.1	0.17
4K	0.58	0.1	0.17

### ตารางที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

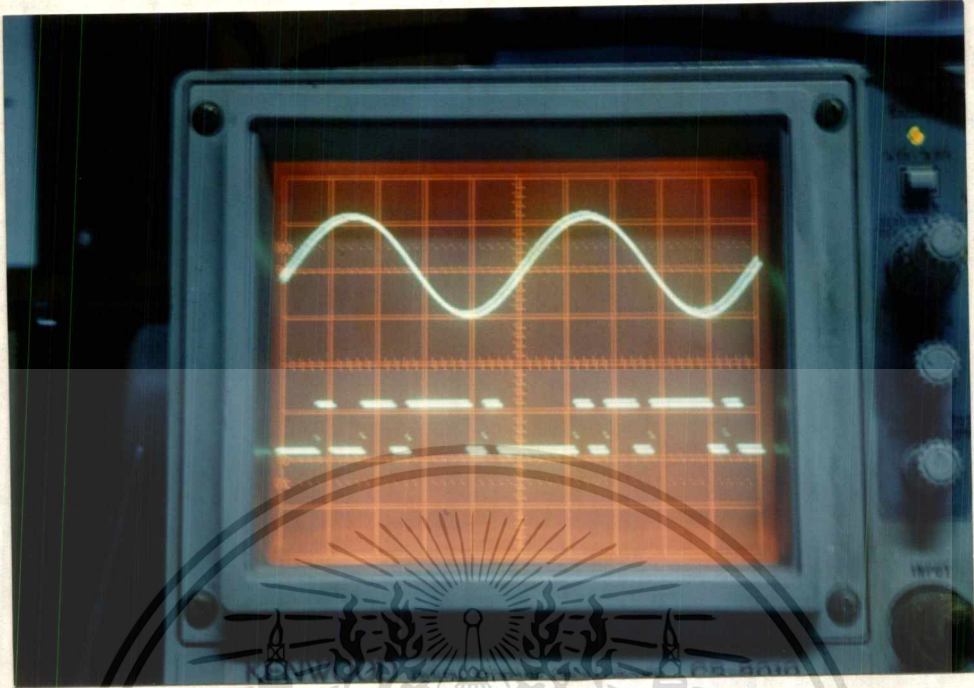
จากการทดลองจะพบว่าในแต่ละช่วงความถี่ สัญญาณ Analog ที่ได้ที่ภาค D/A จะมีขนาดแอมพลิจูดไม่คงที่ตลอดช่วง จึงทำให้มีเกนไม่คงที่ ในทุกช่วงความถี่ จากการทดลองพบว่าสัญญาณที่ได้ ที่ภาค D/A จะมีลักษณะเพี้ยน ตั้งแต่ความถี่ 1.5 KHz ก็จะมีเพี้ยนเพิ่มมากขึ้น แต่ถ้าใช้ IC MC3418 จะมีความเพี้ยนน้อยกว่าแต่ค่า ความถี่อ้างอิง (clock) ที่ใช้จะสูงกว่า ทำให้ค่า bit rate สูงมากขึ้น ซึ่งจะมีผลทำให้เมื่อนำเอา data ไปทำการ modulate โดยใช้ VCO จะทำให้ค่าของ BW สูงมากขึ้น เนื่องจากจำนวนของ bit rate ที่สูงขึ้นนั่นเอง

แนวทางแก้ไขสำหรับ IC MC3417 ขนาด 3 bit ก็คือต้องมีการควบคุมขนาดของสัญญาณที่ได้จาก ภาค D/A มีค่าคงที่ ตลอดช่วงความถี่ จนถึงช่วงความถี่ cutoff โดยใช้ค่าแรงดันจากภายนอกมาใช้ควบคุมค่าของเกน ให้คงที่ ที่ขา Gain Control ที่ขา 14 ของภาค D/A ซึ่งอาจใช้เป็น วงจร AGC (Automatic Gain Control) มาควบคุม ซึ่งจะช่วยลดผลผิดพลาดนี้ได้

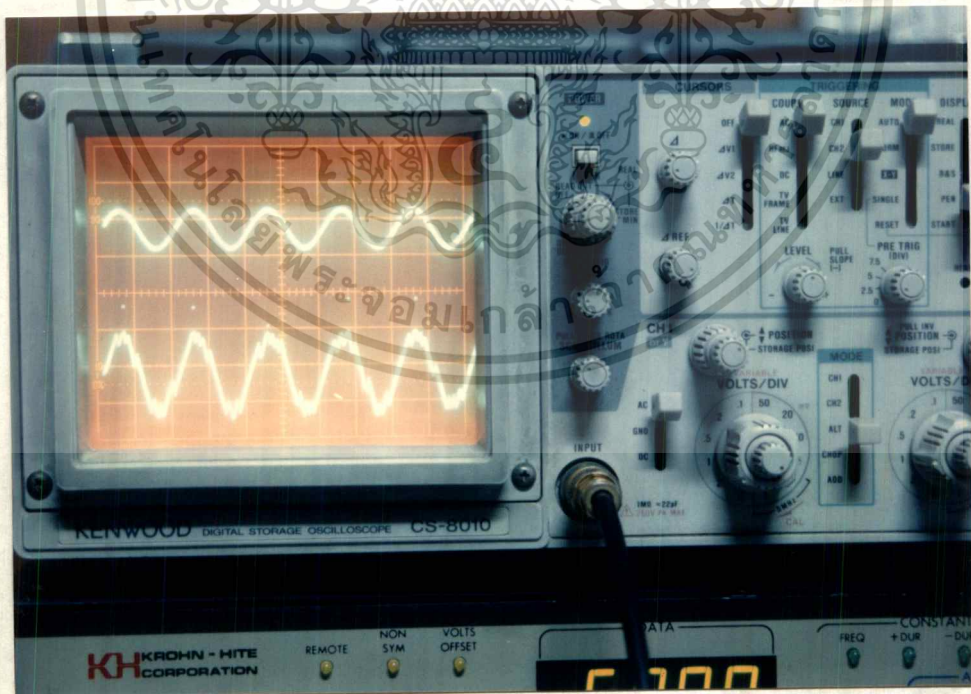


รูปที่ 2 แสดงสัญญาณที่ผ่านการสุ่มตัวอย่าง(SAMPLING)ที่เอาท์พุทของวงจร A/D เมื่อป้อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับก อินพุท SINE WAVE ที่ ความถี่ 1 KHZ ให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

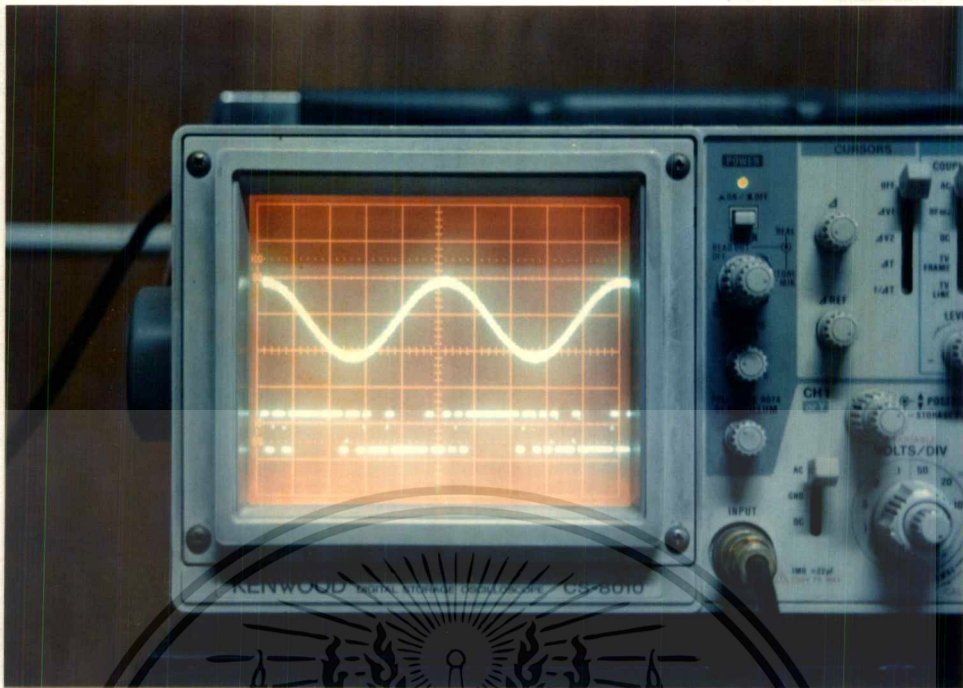


รูปที่ 3 แสดงสัญญาณ Digital ขนาด 3 Bit ที่เอาต์พุตวงจร A/D เมื่อป้อนอินพุต Sine Wave

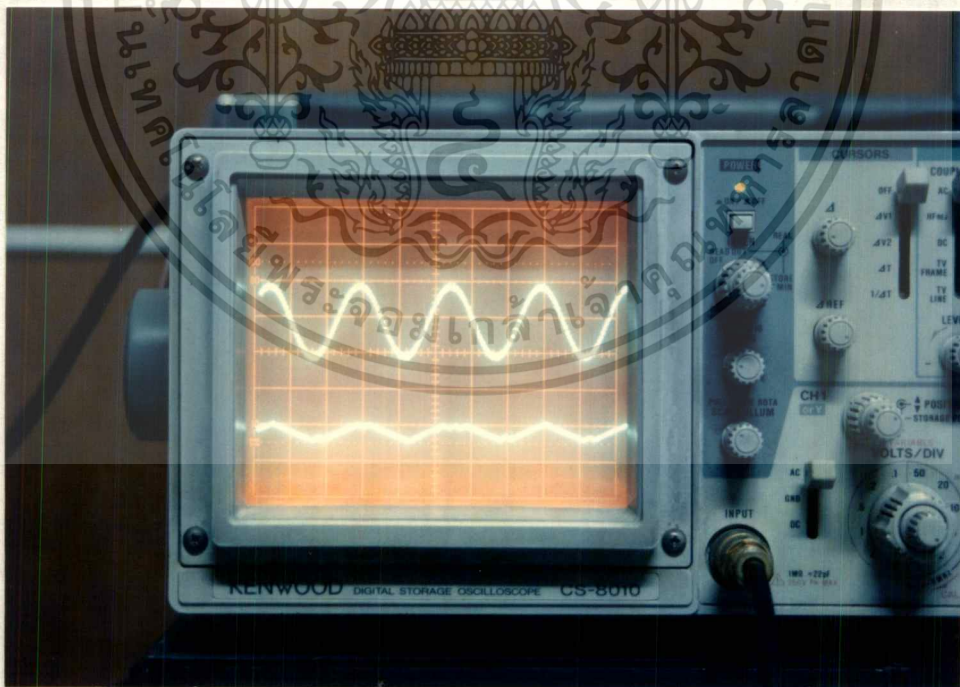


รูปที่ 4 แสดงสัญญาณ Sampling เมื่อป้อน Input Sine wave ขนาด 1 KHz  $2V_{pp}$  ที่ภาค A/D  
ขนาด 4 Bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

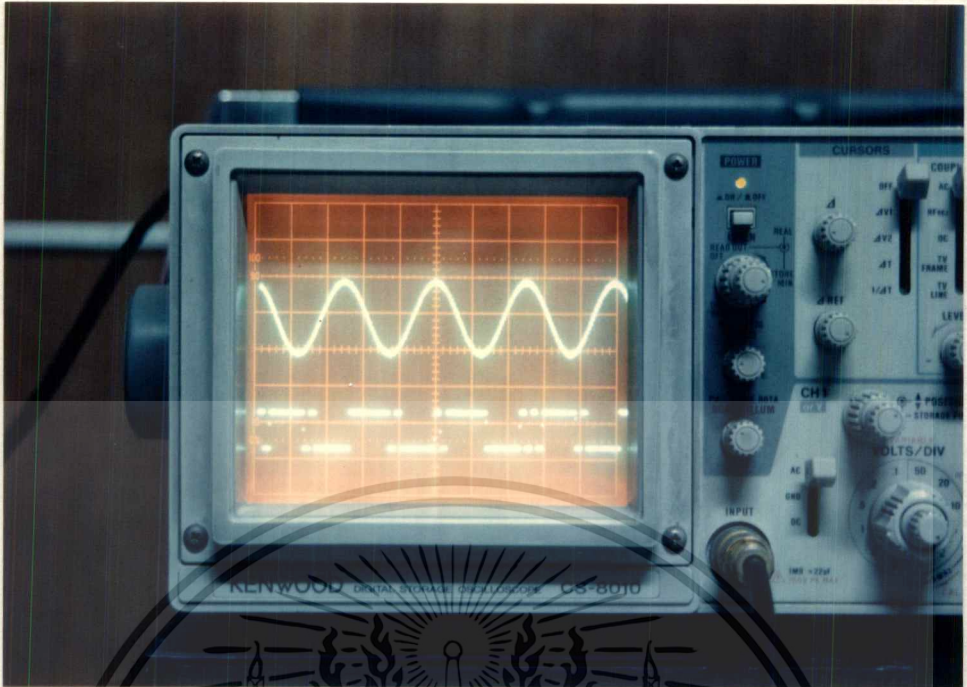


รูปที่ 5 แสดงสัญญาณข้อมูลที่ได้จากสัญญาณ Sine wave ขนาด 1 KHz  $2V_{pp}$

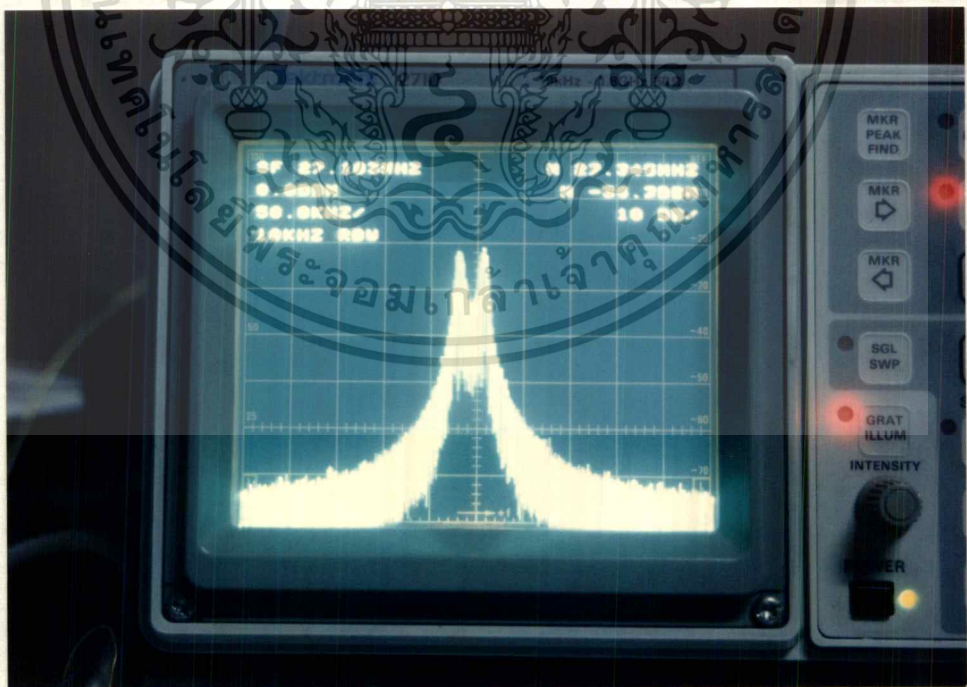


รูปที่ 6 แสดงสัญญาณ Sampling เมื่อป้อน Input Sine wave ขนาด 2 KHz  $2V_{pp}$  ที่ภาค A/D ขนาด 4 Bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7 แสดงสัญญาณข้อมูลที่ได้จากสัญญาณ Sine wave ขนาด 2 KHz 2V<sub>P-P</sub>



รูปที่ 8 แสดงแถบ Spectrum ของสัญญาณ FSK ที่ความถี่ 27 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลองเมื่อรวมทุกภาคเข้าด้วยกัน ซึ่งสามารถเขียนเป็น Block Diagram แสดงการวัดสัญญาณตามจุดต่างๆ ในแต่ละภาค โดยมีขั้นตอนดังนี้

1. ป้อนสัญญาณ Sine wave 1 KHz , 50 mV<sub>p-p</sub> เข้า Audio Amp ซึ่ง Output ของ Audio Amp จะขยายได้เป็น 2 V<sub>p-p</sub> เพื่อเข้าภาค A/D

2. ใช้ Storage Oscilloscope วัดที่ output ของ A/D ซึ่งจะเป็น Data Bit rate 32 KHz และป้อนเข้าภาค FSK Mod ซึ่งจะสามารถวัด Spectrum ของสัญญาณได้ที่ ความถี่ 27 MHz โดยมีค่าความถี่เบี่ยงเบนสูงสุดประมาณ 50 KHz ดังแสดงได้ในรูปที่ 8

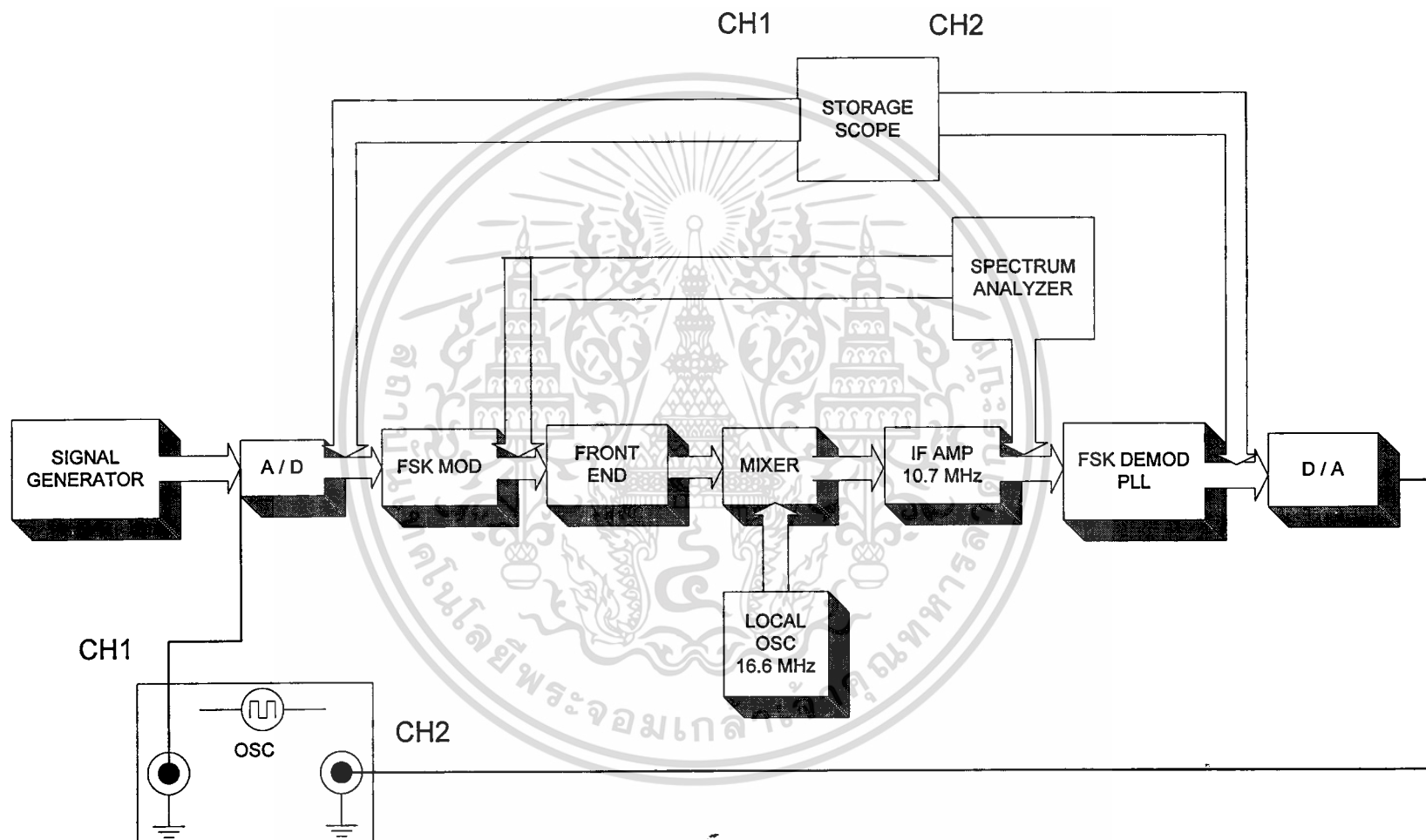
3. เมื่อทำการต่อภาคส่งเข้ากับภาครับโดยตรง โดยภาค FrontEnd จะสามารถขยายสัญญาณได้ประมาณ 14 dB ป้อนเข้าภาค Mixer เพื่อแปลงความถี่ลงมาเหลือ 10.7 MHz แต่ในการทดลองจะใช้ค่าความถี่ IF 10.8 MHz ซึ่งเป็นช่วงที่ภาค FSK Demod ตั้งเอาไว้ ซึ่งลักษณะรูป Spectrum ของสัญญาณเมื่อผ่าน IF Amp แล้วจะสามารถวัดได้ที่ ความถี่ ประมาณ 10.8 MHz ค่าความถี่เบี่ยงเบนประมาณ 50 KHz ดังแสดงในรูปที่ 9

4. ป้อนสัญญาณ IF ที่ได้เข้าภาค FSK Demod (PLL) และใช้ Storage Oscilloscope วัดสัญญาณ Data ที่ได้ โดยนำมาเปรียบเทียบกับ Output ของภาค A/D โดย CH1 เป็น Output ของ A/D , CH2 เป็น Output ของ FSK Demod และนำมาเปรียบเทียบกับกัน จะเห็นว่าลักษณะของสัญญาณข้อมูลที่ได้ จะมีลักษณะกลับเฟสกัน 180 องศา ดังรูปที่ 10

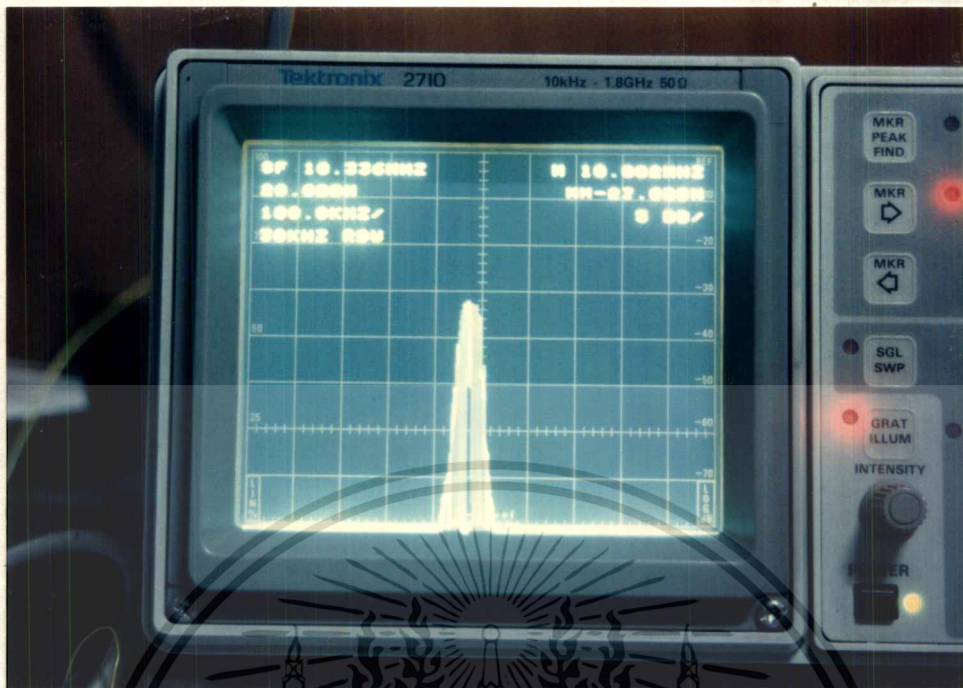
5. ป้อนสัญญาณ Data ที่จากภาค FSK Demod เข้าภาค D/A แล้ววัด สัญญาณ Analog ที่ได้ โดยนำมาเปรียบเทียบกับสัญญาณของ Signal Gen ที่ป้อน Sine wave ที่ 1 KHz เข้าภาคส่ง จะพบว่าที่ค่าความถี่ 1KHz สัญญาณที่ได้จากภาค D/A จะมีลักษณะ ผิดเพี้ยนบ้างบางช่วง ดังแสดงดังรูปที่ 11

6. เปลี่ยนค่าความถี่ของ Signal Gen จาก 1KHz เป็น 2KHz และ 3KHz ตามลำดับ แล้วทำการวัดสัญญาณ ที่ได้จากภาค D/A และนำมาเปรียบเทียบกับกัน จะพบว่าที่ ความถี่ 2KHz และ 3KHz จะมีความเพี้ยนน้อยกว่า ค่าความถี่ที่ป้อน 1 KHz ดังแสดงดังรูป ที่ 12 และ 13

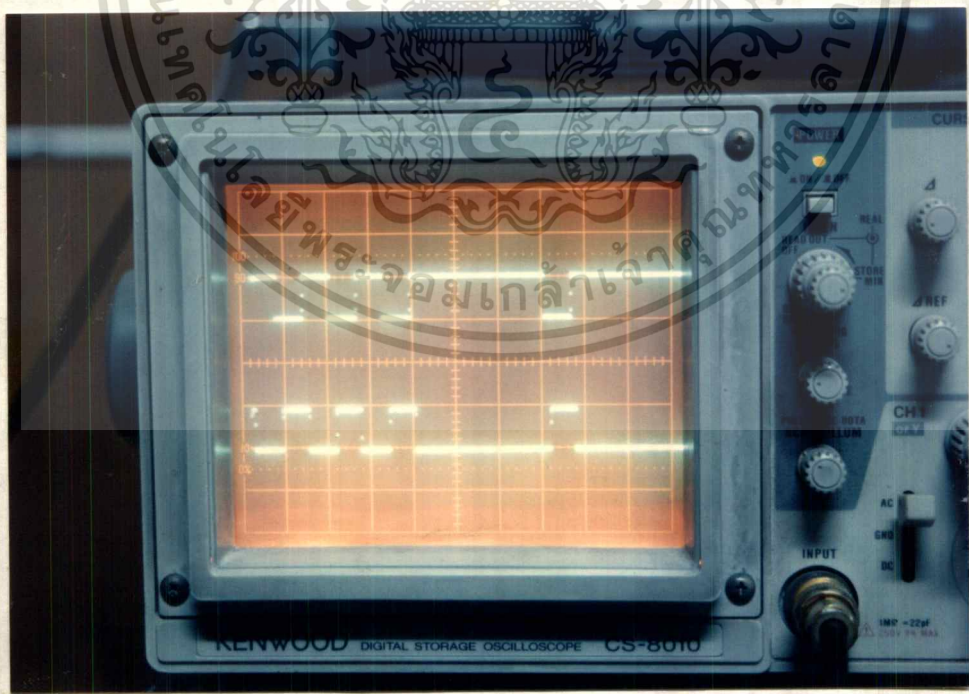
7. ทดลองต่อไมโครโฟน ที่ภาค Audio Amp และต่อลำโพงที่ภาค D/A แล้ว ลองพูด ส่งเสียงเข้าที่ไมโครโฟน จะสามารถได้ยินเสียงพูด แต่เสียงที่ได้คุณภาพยังไม่ดีเท่าที่ ควร



รูปที่ 7.1 แสดง Block Diagram การทดลองวัดสัญญาณตามจุดต่างๆ



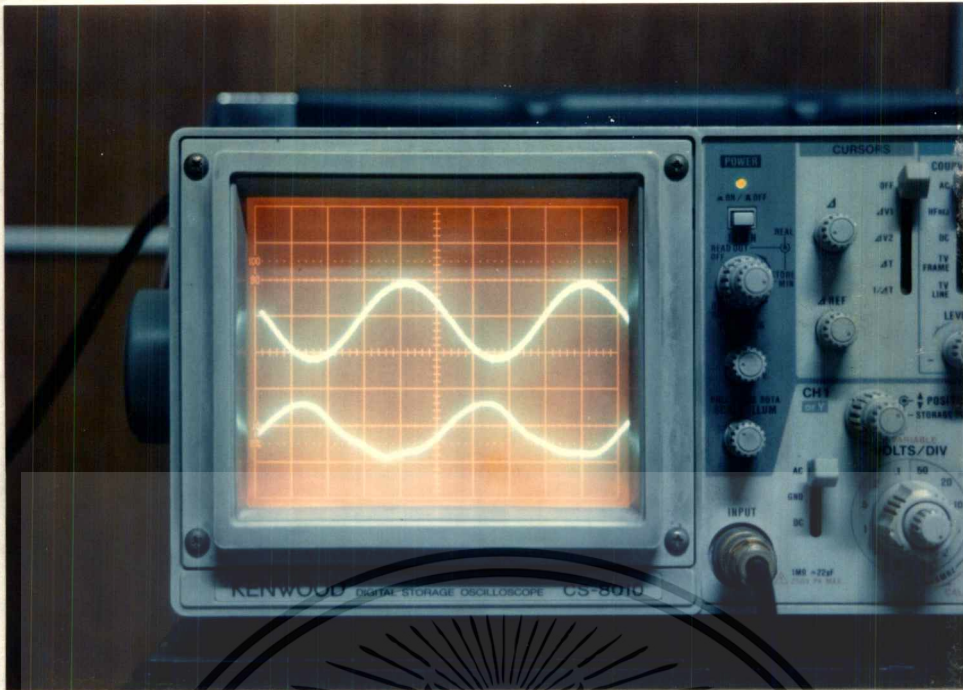
รูปที่ 9 แสดงแถบ Spectrum ของสัญญาณ IF 10.7 MHz



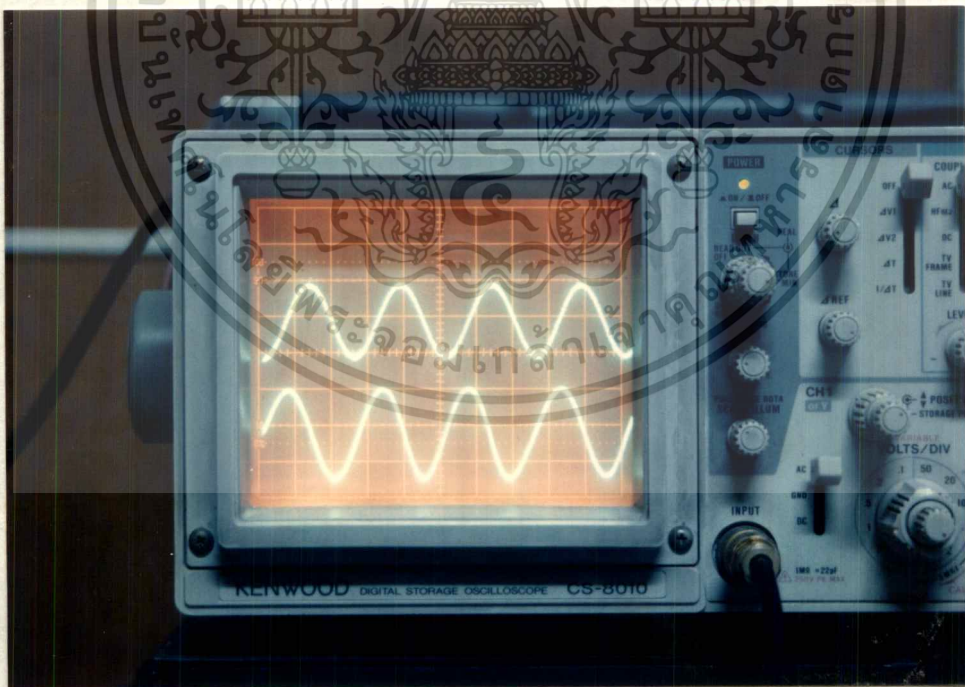
รูปที่ 10 แสดงการเปรียบเทียบสัญญาณข้อมูลที่ได้ระหว่างภาคส่งและภาครับเมื่อป้อน Sine wave

ความถี่ 1 KHz ขนาด 2 V<sub>pp</sub>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

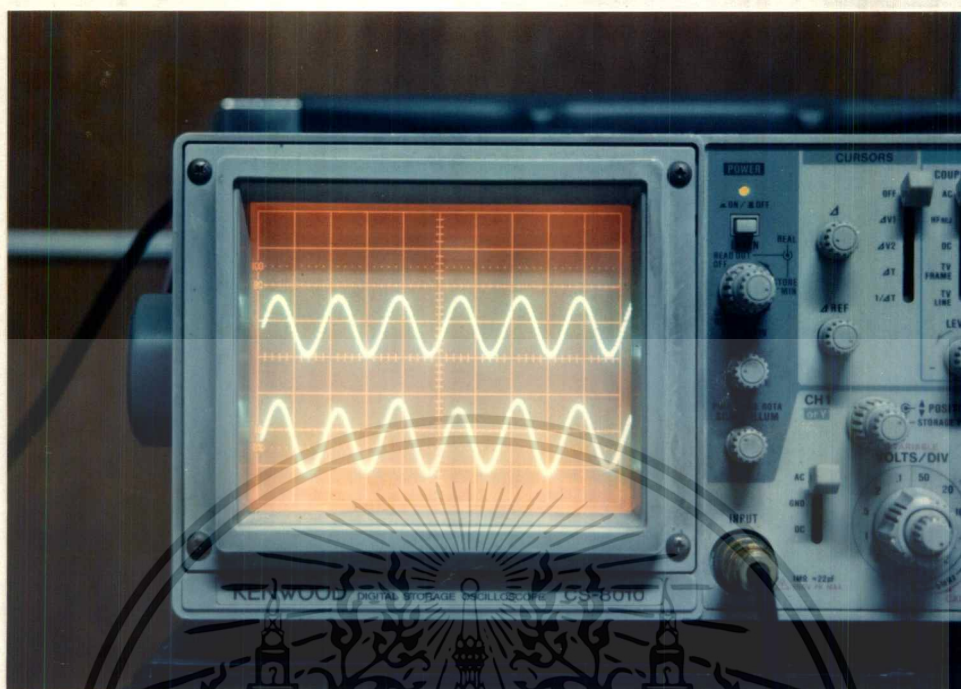


รูปที่ 11 แสดงการเปรียบเทียบสัญญาณ Analog ที่ได้ระหว่างภาคส่งและภาครับเมื่อป้อนความถี่  
Sine wave ความถี่ 1 KHz



รูปที่ 12 แสดงการเปรียบเทียบสัญญาณ Analog ที่ได้ระหว่างภาคส่งและภาครับเมื่อป้อนความถี่  
Sine wave ความถี่ 2 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 13 แสดงการเปรียบเทียบสัญญาณ Analog ที่ได้ระหว่างภาคส่งและภาครับเมื่อป้อนความถี่ Sine wave ความถี่ 3 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

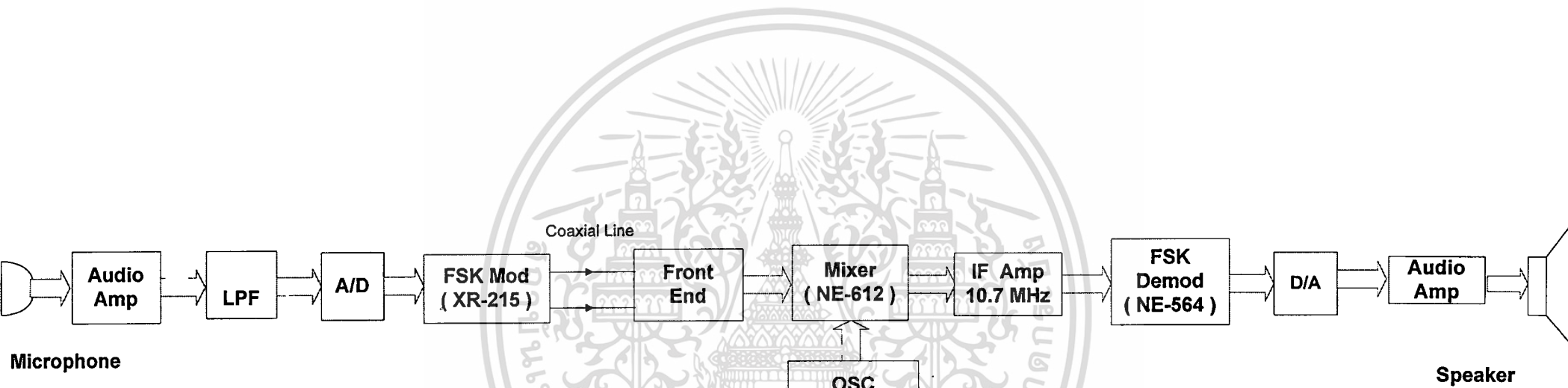
## บทที่ 8

### สรุปผลการทดลองและการพัฒนา

จากปฏิญานิพนธ์ 27 เม็กกาเฮิตซ์ เอฟเอสเคโมเด็ม เล่มนี้มีผลการทดลองเป็นที่น่าพอใจ เมื่อส่งสัญญาณเสียงผ่านสาย Coaxial Cable โดยจำเป็นต้องจูน L และ C ในวงจรรีโซแนนซ์ให้ได้ความถี่พาหะที่ถูกต้องทั้งภาคส่งและภาครับชัดเจนมากที่สุด จากปฏิญานิพนธ์นี้ถ้าต้องการส่งสัญญาณเสียงออกสายอากาศจำเป็นต้องทำภาคขยายกำลังให้มีเสถียรภาพดีที่สุด กล่าวคือเมื่อขยายสัญญาณจากภาค FSK Mod แล้วต้องมีสัญญาณรบกวน (Noise) น้อยที่สุดและต้องขยายช่วงความถี่ที่ต้องการเท่านั้นเพื่อส่งออกอากาศ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Block Diagram Of 27 MHz FSK Modem

## เอกสารอ้างอิง

1. กฤดากร กล่อมการ., ”การออกแบบระบบส่งข้อมูลในช่องสัญญาณการกระจายเสียงแบบ FM “, วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พ.ศ. 2536
2. ชฎาภรณ์ วีรวงศ์ และ นุวัฒน์ หลีวิจิตร., “เทคนิคการมอดูเลชั่นแบบเอ็มเอสเค”. วิทยานิพนธ์อุตสาหกรรมศาสตรบัณฑิต สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พ.ศ. 2536
3. บัณฑิต โรงน้อรยานนท์., “หลักการไฟฟ้าสื่อสาร”, สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย, พ.ศ. 2532
4. ยอด นาคเจือทอง., “QPSK โมเด็มเชิงโคโรไนซ์ด้วยไฟล็ดตโทน”., วิทยานิพนธ์ อุตสาหกรรมศาสตรบัณฑิต สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พ.ศ. 2537
5. พยุง ม่วงวาม และ วศิณ มั่งคั่ง “เทคนิคการส่งข้อมูลดิจิทัลความเร็วสูง”; วิทยานิพนธ์ อุตสาหกรรมศาสตรบัณฑิต สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พ.ศ. 2538



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**MC3417, MC3517  
 MC3418, MC3518**

**Specifications and Applications  
 Information**

**CONTINUOUSLY VARIABLE SLOPE  
 DELTA MODULATOR/DEMODULATOR**

Providing a simplified approach to digital speech encoding/decoding, the MC3517/18 series of CVSDs is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible 12L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ( $V_{CC}/2$  reference provided on chip)
- MC3417/MC3517 has a 3-Bit Algorithm (General Communications)
- MC3418/MC3518 has a 4-Bit Algorithm (Commercial Telephone)

CONTINUOUSLY VARIABLE  
 SLOPE DELTA  
 MODULATOR/DEMODULATOR

LASER-TRIMMED  
 INTEGRATED CIRCUIT



L SUFFIX  
 CERAMIC PACKAGE  
 CASE 620-10

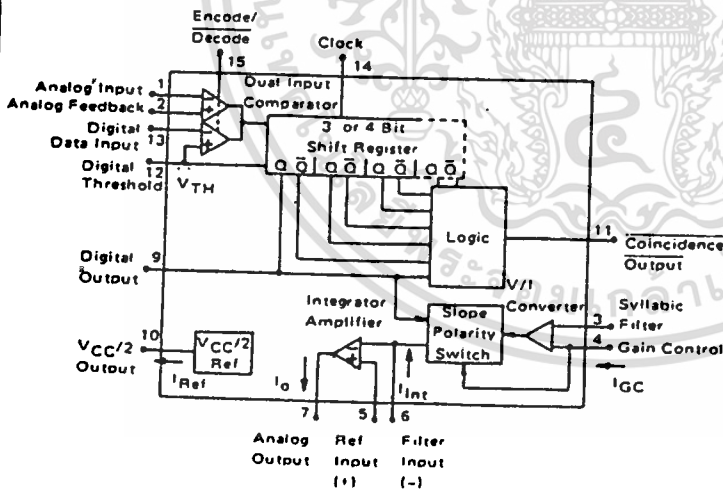


P SUFFIX  
 PLASTIC PACKAGE  
 CASE 648-08

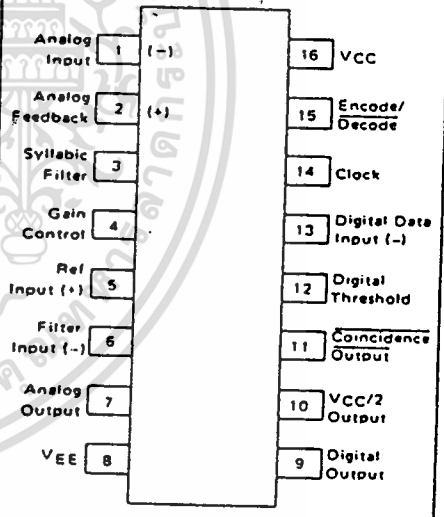


DW SUFFIX  
 PLASTIC PACKAGE  
 CASE 751G-01  
 SO-16L

CVSD BLOCK DIAGRAM



PIN CONNECTIONS



ORDERING INFORMATION

Device	Package	Temperature Range
MC3417L	Ceramic DIP	0°C to +70°C
MC3418DW	Plastic SOIC	0°C to +70°C
MC3418L	Ceramic DIP	0°C to +70°C
MC3418P	Plastic DIP	0°C to +70°C
MC3517L	Ceramic DIP	-55°C to +125°C
MC3518L	Ceramic DIP	-55°C to +125°C

## MAXIMUM RATINGS

(All voltages referenced to  $V_{EE}$ .  $T_A = 25^\circ\text{C}$  unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	$V_{CC}$	-0.4 to +18	Vdc
Differential Analog Input Voltage	$V_{ID}$	$\pm 5.0$	Vdc
Digital Threshold Voltage	$V_{TH}$	-0.4 to $V_{CC}$	Vdc
Logic Input Voltage (Clock, Digital Data, Encode/Decode)	$V_{Logic}$	-0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	-0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	-0.4 to $V_{CC}$	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	-0.4 to $V_{CC}$	Vdc
Reference Input Voltage	$V_{I(Ref)}$	$V_{CC}/2 - 1.0$ to $V_{CC}$	Vdc
$V_{CC}/2$ Output Current	$I_{Ref}$	-25	mA

## ELECTRICAL CHARACTERISTICS

( $V_{CC} = 12\text{ V}$ ,  $V_{EE} = \text{Gnd}$ ,  $T_A = 0^\circ\text{C}$  to  $+70^\circ\text{C}$  for MC3417/18,  $T_A = -55^\circ\text{C}$  to  $+125^\circ\text{C}$  for MC3517/18 unless otherwise noted.)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range (Figure 1)	$V_{CCR}$	4.75	12	16.5	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) (@ Idle Channel) $(V_{CC} = 5.0\text{ V}$ , All except MC3418P,DW) $(V_{CC} = 5.0\text{ V}$ , MC3418P,DW) $(V_{CC} = 15\text{ V}$ , All except MC3418P,DW) $(V_{CC} = 15\text{ V}$ , MC3418P,DW)	$I_{CC}$	—	3.7	5.0	—	3.7	5.0	mA
Gain Control Current Range (Figure 2)	$I_{GCR}$	0.002	—	3.0	0.002	—	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) $(4.75\text{ V} \leq V_{CC} \leq 16.5\text{ V})$	$V_I$	1.3	—	$V_{CC} - 1.3$	1.3	—	$V_{CC} - 1.3$	Vdc
Analog Output Range (Pin 7) $(4.75\text{ V} \leq V_{CC} \leq 16.5\text{ V}$ , $I_O = \pm 5.0\text{ mA}$ )	$V_O$	1.3	—	$V_{CC} - 1.3$	1.3	—	$V_{CC} - 1.3$	Vdc
Input Bias Currents (Figure 3) (Comparator in Active Region) Analog Input (I1) Analog Feedback (I2) Syllabic Filter Input (I3) Reference Input (I5)	$I_{IB}$	—	0.5	1.5	—	0.25	1.0	$\mu\text{A}$
Input Offset Current (Comparator in Active Region) Analog Input/Analog Feedback  I1 - I2  — Figure 3 Integrator Amplifier  I5 - I6  — Figure 4	$I_{IO}$	—	0.15	0.6	—	0.05	0.4	$\mu\text{A}$
Input Offset Voltage $V_I$ Converter (Pins 3 and 4) — Figure 5	$V_{IO}$	—	2.0	6.0	—	2.0	6.0	mV
Transconductance $V_I$ Converter, 0 to 3.0 mA Integrator Amplifier, 0 to $\pm 5.0\text{ mA}$ Load	gm	0.1	0.3	—	0.1	0.3	—	mA/mV
Propagation Delay Times (Note 1) Clock Trigger to Digital Output $(C_L = 25\text{ pF}$ to Gnd) Clock Trigger to Coincidence Output $(C_L = 25\text{ pF}$ to Gnd) $(R_L = 4.0\text{ k}\Omega$ to $V_{CC}$ )	$t_{PLH}$ $t_{PHL}$ $t_{PLH}$ $t_{PHL}$	—	1.0	2.5	—	1.0	2.5	$\mu\text{s}$
Coincidence Output Voltage — Low Logic State $(I_{OL(Con)} = 3.0\text{ mA})$	$V_{OL(Con)}$	—	0.12	0.25	—	0.12	0.25	Vdc
Coincidence Output Leakage Current — High Logic State $(V_{OH} = 15\text{ V}$ , $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$ )	$I_{OH(Con)}$	—	0.01	0.5	—	0.01	0.5	$\mu\text{A}$

NOTE 1. All propagation delay times measured 50% to 50% from the negative going (from  $V_{CC}$  to +0.4 V) edge of the clock.



## DEFINITIONS AND FUNCTION OF PINS

### Pin 1 — Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between Pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

### Pin 2 — Analog Feedback

This is the noninverting input to the analog signal comparator within the IC. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit Pin 2 is not used and may be tied to  $V_{CC}/2$  on Pin 10, ground or left open.

The analog input comparator has bias currents of 1.5  $\mu\text{A}$  max, thus the driving impedances of Pins 1 and 2 should be equal to avoid disturbing the idle channel characteristics of the encoder.

### Pin 3 — Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 ms to 50 ms are used in voice codecs.

### Pin 4 — Gain Control Input

The syllabic filter voltage appears across  $C_S$  of the syllabic filter and is the voltage between  $V_{CC}$  and Pin 3. The active voltage to current ( $V-I$ ) converter drives Pin 4 to the same voltage at a slew rate of typically 0.5  $\text{V}/\mu\text{s}$ . Thus the current injected into Pin 4 ( $I_{GC}$ ) is the syllabic filter voltage divided by the  $R_X$  resistance. Figure 7 shows the relationship between  $I_{GC}$  (x-axis) and the integrating current,  $I_{INT}$  (y-axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The  $R_X$  resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 k $\Omega$  to maintain stability.

### Pin 5 — Reference Input

This pin is the noninverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as Pin 1 and is tied to Pin 10.

### Pin 6 — Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current ( $I_{INT}$ ) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in

the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states,  $I_{INT}$  flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The resistance between Pins 6 and 7 should always be between 8.0 k $\Omega$  and 13 k $\Omega$  to maintain good idle channel characteristics.

### Pin 7 — Analog Output

This is the integrator op amp output. It is capable of driving a 600-ohm load referenced to  $V_{CC}/2$  to +6.0 dBm and can otherwise be treated as an op amp output. Pins 5, 6, and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5  $\text{V}/\mu\text{s}$ . Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

### Pin 8 — $V_{EE}$

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

### Pin 9 — Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between  $V_{CC}$  and  $V_{EE}$  and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and non-inverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for  $V_{CC} = 12\text{ V}$  and  $C_L = 25\text{ pF}$  to ground.

### Pin 10 — $V_{CC}/2$ Output

An internal low impedance mid-supply reference is provided for use of the MC3417/18 in single supply applications. The internal regulator is a current source and must be loaded with a resistor to insure its sinking capability. If a +6.0 dBm signal is expected across a 600 ohm input bias resistor, then Pin 10 must sink  $2.2\text{ V}/600\ \Omega = 3.66\text{ mA}$ . This is only possible if Pin 10 sources 3.66 mA into a resistor normally and will source only the difference under peak load. The reference load resistor is chosen accordingly. A 0.1  $\mu\text{F}$  bypass capacitor from Pin 10 to  $V_{EE}$  is also recommended. The  $V_{CC}/2$  reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

### Pin 11 — Coincidence Output

The duty cycle of this pin is proportional to the voltage across  $C_S$ . The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. In the MC3417 the register is 3 bits long while the MC3418 contains a 4 bit register. Pin 11 is an open collector of an NPN device and requires a pull-up resistor.

time constants to have equal charge and discharge time constants, the value of  $R_p$  should be much less than  $R_S$ . In systems requiring different charge and discharge constants, the charging constant is  $R_S C_S$  while the decaying constant is  $(R_S + R_p) C_S$ . Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3.0 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for  $R_L = 4.0 \text{ k}\Omega$  to +12 V and  $C_L = 25 \text{ pF}$  to ground.

#### Pin 12 — Digital Threshold

This input sets the switching threshold for Pins 13, 14, and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the  $V_{CC}/2$  reference for CMOS interface or can be biased two diode drops above  $V_{EE}$  for TTL interface.

#### Pin 13 — Digital Data Input

In a decode application, the digital data stream is applied to Pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of Pin 15. It is an inverting input with respect to Pin 9. When Pins 9 and 13 are connected, a toggle flip-flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be main-

tained for 0.5  $\mu\text{s}$  before and after the clock trigger for proper clocking.

#### Pin 14 — Clock Input

The clock input determines the data rate of the codec circuit. A 32K bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by Pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum width for a positive-going pulse on the clock input is 300 ns, whereas for a negative-going pulse, it is 900 ns.

#### Pin 15 — Encode/Decode

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at Pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non-voice patterns to be forced onto the transmission line through Pin 13 in an encoder.

#### Pin 16 — VCC

The power supply range is from 4.75 to 16.5 volts between Pin VCC and  $V_{EE}$ .

FIGURE 1 — POWER SUPPLY CURRENT

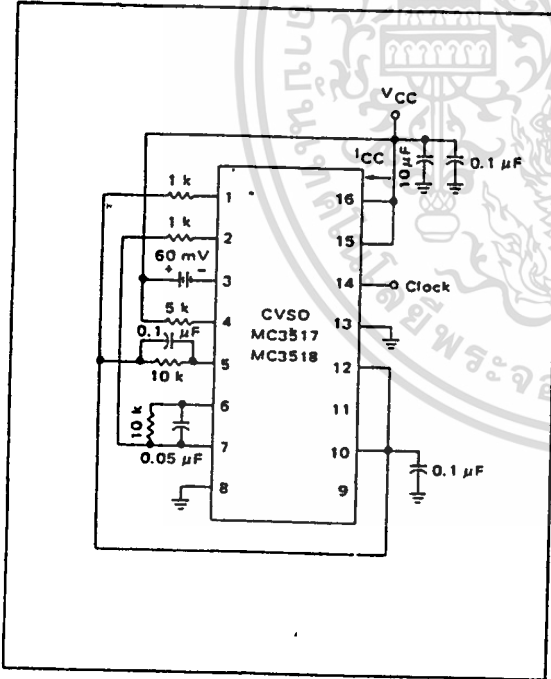
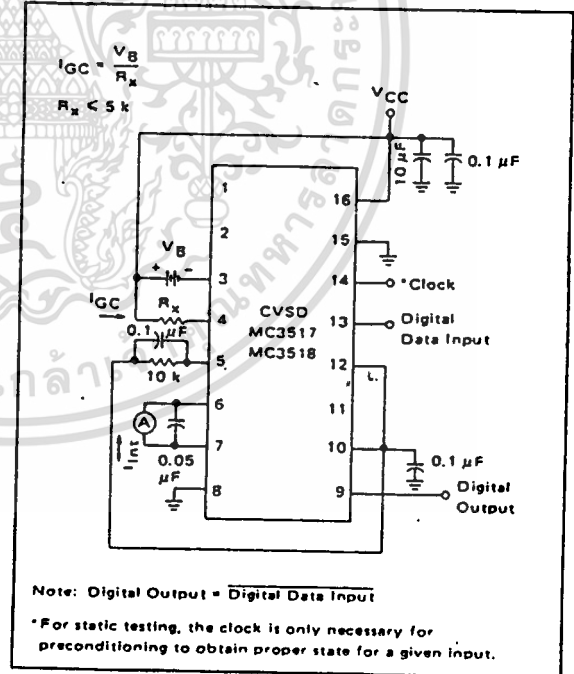
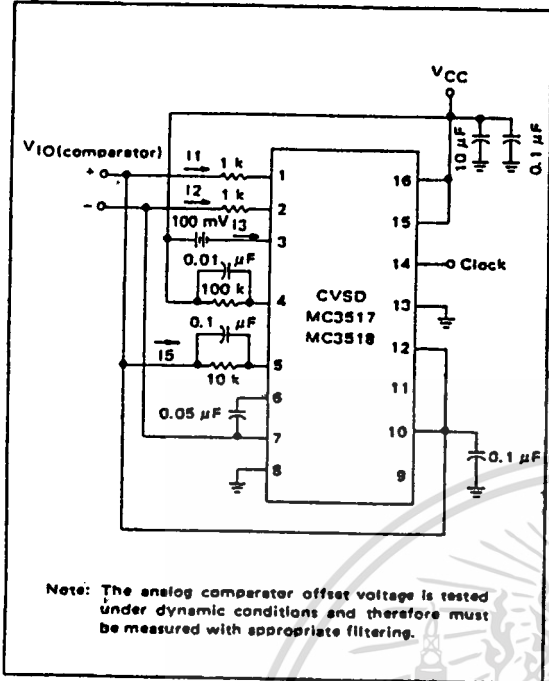


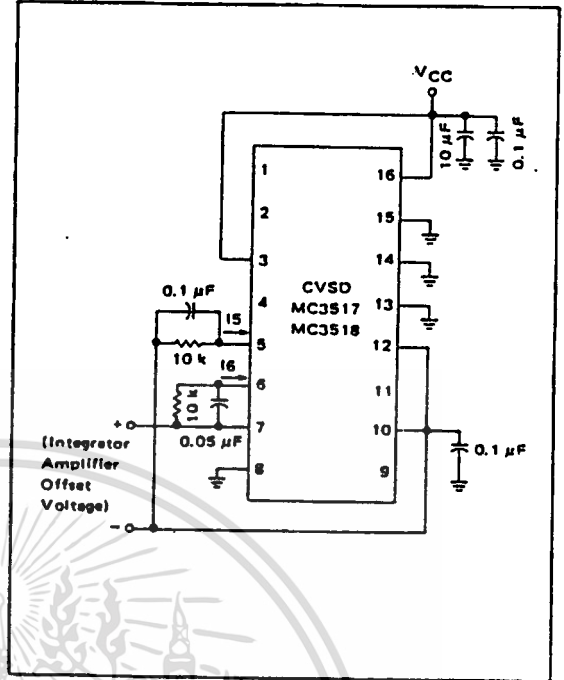
FIGURE 2 —  $I_{GC}$ , GAIN CONTROL RANGE and  $I_{Int}$  — INTEGRATING CURRENT



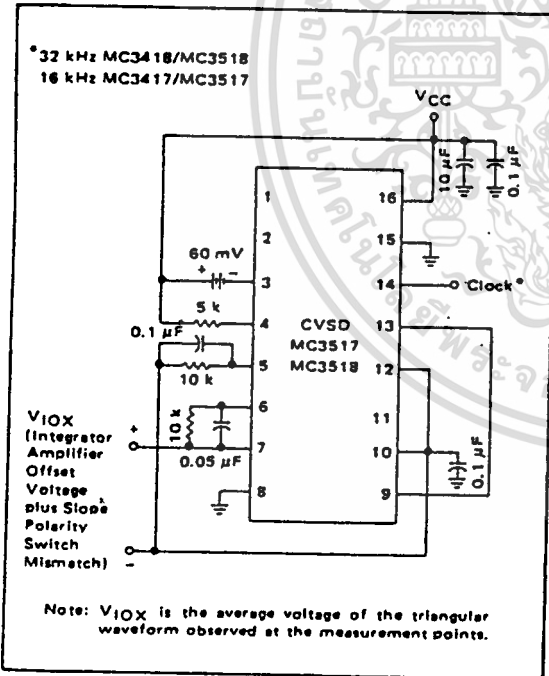
**FIGURE 3 – INPUT BIAS CURRENTS, ANALOG COMPARATOR OFFSET VOLTAGE AND CURRENT**



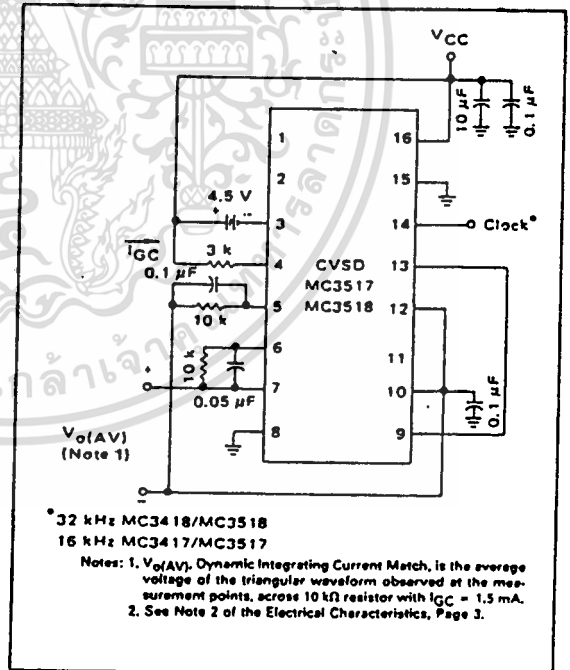
**FIGURE 4 – INTEGRATOR AMPLIFIER OFFSET VOLTAGE AND CURRENT**



**FIGURE 5 – V/I CONVERTER OFFSET VOLTAGE,  $V_{IO}$  and  $V_{IOX}$**



**FIGURE 6 – DYNAMIC INTEGRATING CURRENT MATCH**



## TYPICAL PERFORMANCE CURVES

FIGURE 7 – TYPICAL  $I_{int}$  versus  $I_{GC}$  (Mean  $\pm 2\sigma$ )

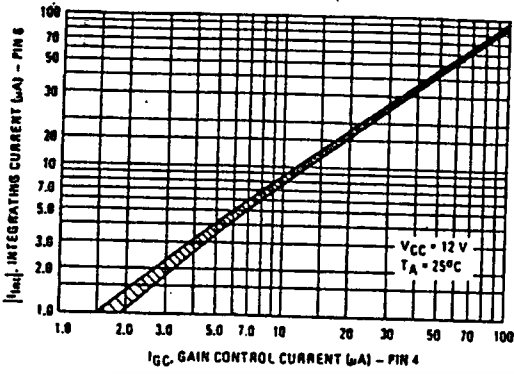


FIGURE 8 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus  $V_{CC}$

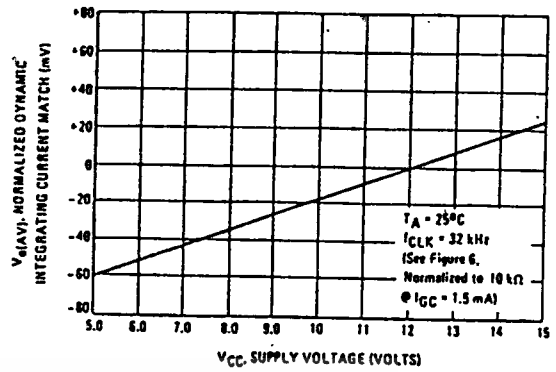


FIGURE 9 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus CLOCK FREQUENCY

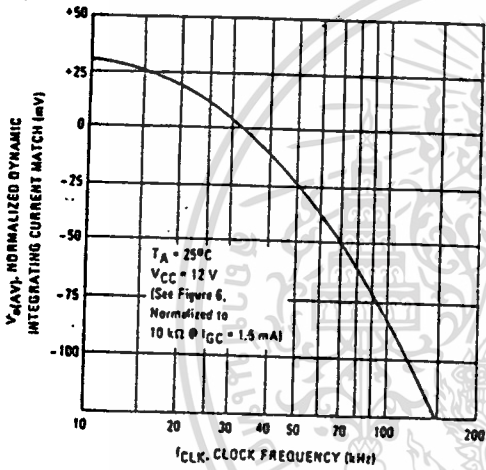


FIGURE 10 – DYNAMIC TOTAL LOOP OFFSET versus CLOCK FREQUENCY

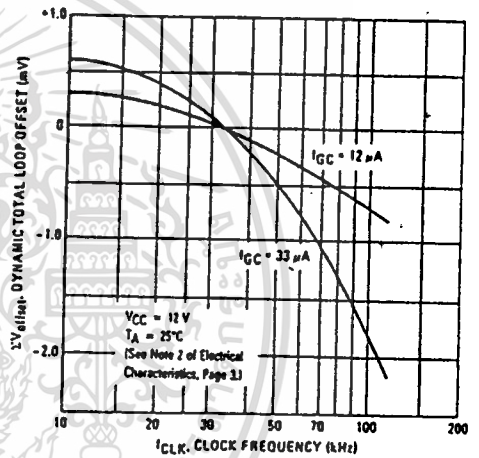


FIGURE 11 – BLOCK DIAGRAM OF THE CVSO ENCODER

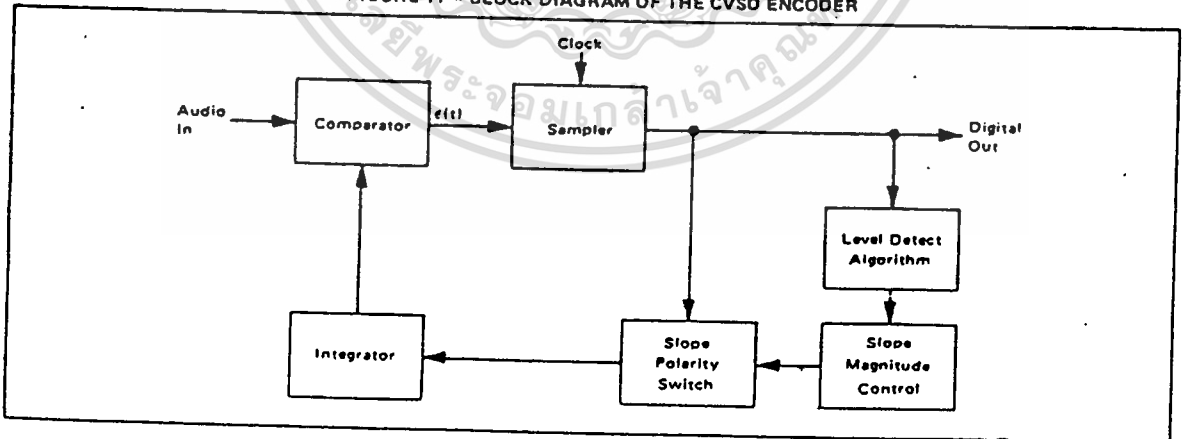


FIGURE 12 – CVSD WAVEFORMS

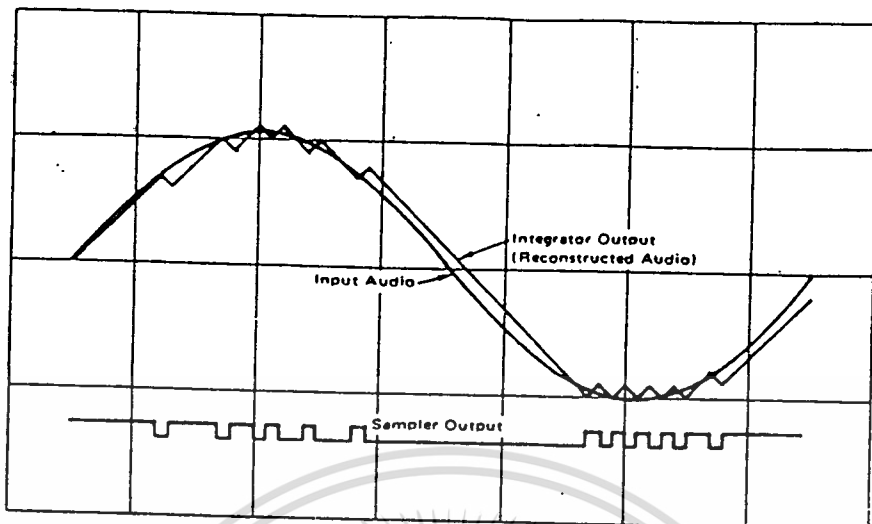
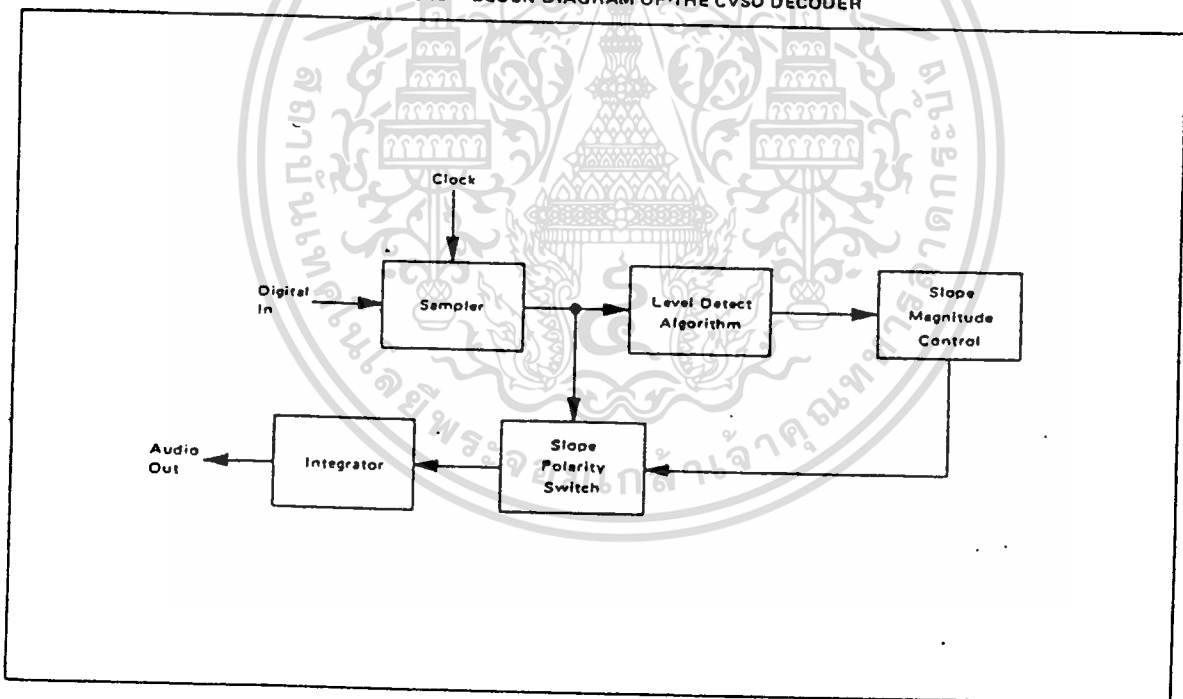
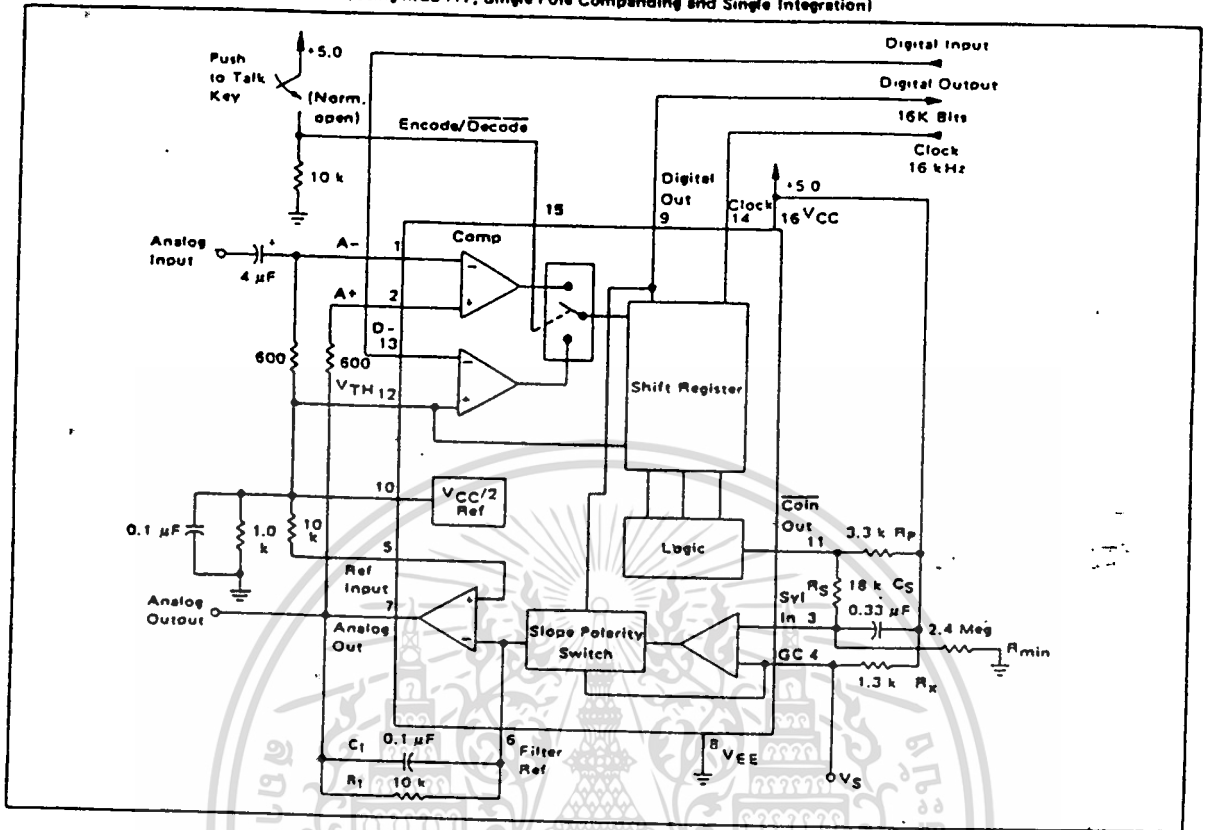


FIGURE 13 – BLOCK DIAGRAM OF THE CVSD DECODER



**FIGURE 14 - 16 kHz SIMPLEX VOICE CODEC**  
(Using MC3417, Single Pole Companding and Single Integration)



### CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

#### The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the

sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting location tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4 kHz and clock rates from 8 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to

## CIRCUIT DESCRIPTION (continued)

zero and receive restart begins without framing when the receiver reacquires. Similarly a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

### The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 3 or 4 bits long depending on the application. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates

if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all ones, all zeros algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm only operates on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communications requirements.

## APPLICATIONS INFORMATION

### CVSD DESIGN CONSIDERATIONS

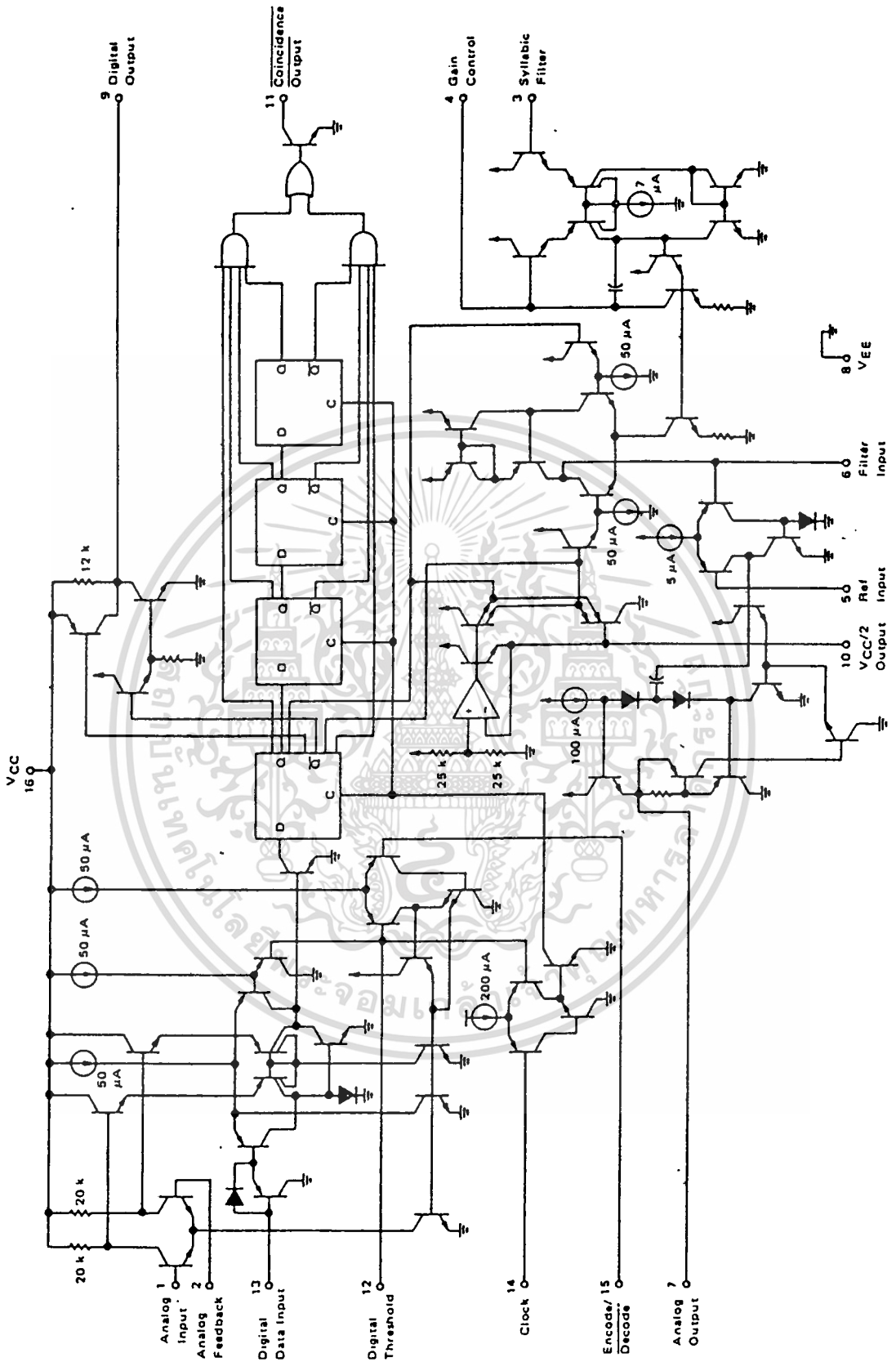
A simple CVSD encoder using the MC3417 or MC3418 is shown in Figure 14. These ICs are general purpose CVSD building blocks which allow the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3417 and MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application, and they are as follows:

1. Selection of clock rate

2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single pole networks. The selection of items 1 through 4 govern the codec performance.

CVSD CIRCUIT SCHEMATIC



## CVSD DESIGN CONSIDERATIONS (continued)

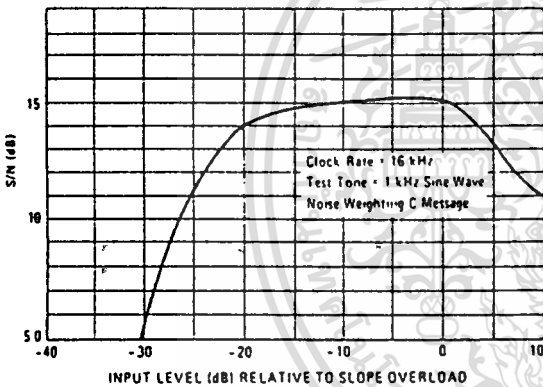
### Layout Considerations

Care should be exercised to isolate all digital signal paths (Pins 9, 11, 13, and 14) from analog signal paths (Pins 1-7 and 10) in order to achieve proper idle channel performance.

### Clock Rate

With minor modifications the circuit in Figure 14 may be operated anywhere from 9.6 kHz to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 14 typically produces the S/N performance shown in Figure 15. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4-wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32K bits and above. Other codecs may use bit rates up to 200K bits/sec.

FIGURE 15 - SIGNAL-TO-NOISE PERFORMANCE OF MC3417 WITH SINGLE INTEGRATION, SINGLE-POLE AND COMPANDING AT 16K BITS - TYPICAL



### Shift Register Length (Algorithm)

The MC3417 has a three-bit algorithm and the MC3418 has a four-bit algorithm. For clock rates of 16 kHz and below, the 3-bit algorithm is well suited. For 32 kHz and higher clock rates, the 4-bit system is preferred. Since the algorithm records a fixed past history of the input signal, a longer shift register is required to obtain the same internal history. At 16 bits and below, the 4-bit algorithm will produce a slightly wider dynamic range at the expense of level change response. Basically the MC3417 is designed for low bit rate systems and the MC3418 is intended for high performance, high bit rate system. At bit rates above 64K bits either part will work well.

### Selection of Loop Gain

The gain of the circuit in Figure 14 is set by resistor  $R_x$ .  $R_x$  must be selected to provide the proper integrator step size for high level signals such that the companding ratio does not exceed about 25%. The companding ratio is the active low duty cycle of the coincidence output on Pin 11 of the codec circuit. Thus the system gain is dependent on:

1. The maximum level and frequency of the input signal.
2. The transfer function of the integration filter.

For voice codecs the typical input signal is taken to be a sine wave at 1 kHz of 0 dBm level. In practice, the useful dynamic range extends about 6 dB above the design level. In any system the companding ratio should not exceed 30%.

To calculate the required step size current, we must describe the transfer characteristics of the integration filter. In the basic circuit of Figure 14, a single pole of 160 Hz is used.

$$R_1 = 10 \text{ k}\Omega, C_1 = 0.1 \text{ }\mu\text{F}$$

$$\frac{V_o}{I_i} = \frac{1}{C(S + 1/RC)} \equiv \frac{K}{S + \omega_o}$$

$$\omega_o = 2\pi f$$

$$10^3 = \omega_o = 2\pi f$$

$$f = 159.2 \text{ Hz}$$

Note that the integration filter produces a single-pole response from 300 to 3 kHz. The current required to move the integrator output a specific voltage from zero is simply:

$$I_i = \frac{V_o}{R_1} + \left( C_1 \times \frac{dV_o}{dt} \right)$$

Now a 0 dBm sine wave has a peak value of 1.0954 volts. In 1/8 of a cycle of a sine wave centered around the zero crossing, the sine wave changes by approximately its peak value. The CVSD step should trace that change. The required current for a 0 dBm 1 kHz sine wave is:

$$I_i = \frac{1.1 \text{ V}}{2(10 \text{ k}\Omega)} + \frac{0.1 \text{ }\mu\text{F}(1.1)}{0.125 \text{ ms}} = 0.935 \text{ mA}$$

\*The maximum voltage across  $R_1$  when maximum slew is required is:

$$\frac{1.1 \text{ V}}{2}$$

Now the voltage range of the syllabic filter is the power supply voltage, thus:

$$R_x = 0.25(V_{CC}) \frac{1}{0.935 \text{ mA}}$$

A similar procedure can be followed to establish the proper gain for any input level and integration filter type.

CVSD DESIGN CONSIDERATIONS (continued)

Minimum Step Size

The final parameter to be selected for the simple codec in Figure 14 is idle channel step size. With no input signal, the digital output becomes a one-zero alternating pattern and the analog output becomes a small triangle wave. Mismatches of internal currents and offsets limit the minimum step size which will produce a perfect idle channel pattern. The MC3417 is tested to ensure that a 20 mVp-p minimum step size at 16 kHz will attain a proper idle channel. The idle channel step size must be twice the specified total loop offset if a one-zero idle pattern is desired. In some applications a much smaller minimum step size (e.g., 0.1 mV) can produce quiet performance without providing a 1-0 pattern.

To set the idle channel step size, the value of  $R_{min}$  must be selected. With no input signal, the slope control algorithm is inactive. A long series of ones or zeros never occurs. Thus, the voltage across the syllabic filter capacitor ( $C_S$ ) would decay to zero. However, the voltage divider of  $R_S$  and  $R_{min}$  (see Figure 14) sets the minimum allowed voltage across the syllabic filter capacitor. That voltage must produce the desired ramps at the analog output. Again we write the filter input current equation:

$$I_i = \frac{V_o}{R_1} + C \frac{dV_o}{dt}$$

For values of  $V_o$  near  $V_{CC}/2$  the  $V_o/R$  term is negligible; thus

$$I_i = C_S \frac{\Delta V_o}{\Delta T}$$

where  $\Delta T$  is the clock period and  $\Delta V_o$  is the desired peak-to-peak value of the idle output. For a 16K-bit system using the circuit in Figure 14

$$I_i = \frac{0.1 \mu F \cdot 20 mV}{62.5 \mu s} = 33 \mu A$$

The voltage on  $C_S$  which produces a 33  $\mu A$  current is determined by the value of  $R_X$ .

$$I_i R_X = V_{Smin}; \text{ for } 33 \mu A, V_{Smin} = 41.6 mV$$

In Figure 14  $R_S$  is 18 k $\Omega$ . That selection is discussed with the syllabic filter considerations. The voltage divider of  $R_S$  and  $R_{min}$  must produce an output of 41.6 mV.

$$V_{CC} \frac{R_S}{R_S + R_{min}} = V_{Smin} \quad R_{min} \approx 2.4 M\Omega$$

Having established these four parameters — clock rate, number of shift register bits, loop gain and minimum step size — the encoder circuit in Figure 14 will function at near optimum performance for input levels around 0 dBm.

INCREASING CVSD PERFORMANCE

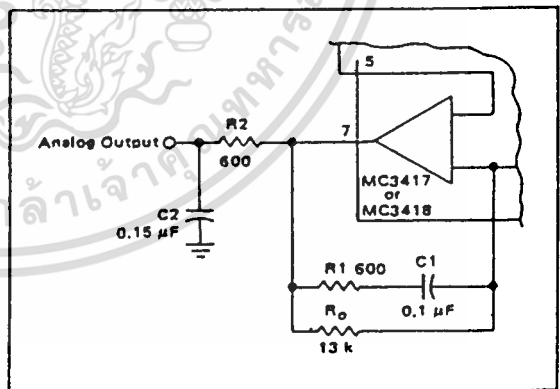
Integration Filter Design

The circuit in Figure 14 uses a single-pole integration network formed with a 0.1  $\mu F$  capacitor and a 10 k $\Omega$  resistor. It is possible to improve the performance of the circuit in Figure 14 by 1 or 2 dB by using a two-pole integration network. The improved circuit is shown.

The first pole is still placed below 300 Hz to provide the 1/S voice content curve and a second pole is placed somewhere above the 1 kHz frequency. For telephony circuits, the second pole can be placed above 1.8 kHz to exceed the 1633 touchtone frequency. In other communication systems, values as low as 1 kHz may be selected. In general, the lower in frequency the second pole is placed, the greater the noise improvement. Then, to ensure the encoder loop stability, a zero is added to keep the phase shift less than 180°. This zero should be placed slightly above the low-pass output filter break frequency so as not to reduce the effectiveness of the second pole. A network of 235 Hz, 2 kHz and 5.2 kHz is typical for telephone applications while 160 Hz, 1.2 kHz and 2.8 kHz might be used in voice only channels. (Voice only channels can use an output low-pass filter which breaks at about 2.5 kHz.) The two-pole network in Figure 16 has a transfer function of:

$$\frac{V_o}{I_i} = \frac{R_0 R_1 \left( S + \frac{1}{R_1 C_1} \right)}{R_2 C_2 (R_0 + R_1) \left( S + \frac{1}{(R_0 + R_1) C_1} \right) S + \left( \frac{1}{R_2 C_2} \right)}$$

FIGURE 16 — IMPROVED FILTER CONFIGURATION



These component values are for the telephone channel circuit poles described in the text. The  $R_2, C_2$  product can be provided with different values of R and C.  $R_2$  should be chosen to be equal to the termination resistor on Pin 1.

## INCREASING CVSD PERFORMANCE (continued)

Thus the two poles and the zero can be selected arbitrarily as long as the zero is at a higher frequency than the first pole. The values in Figure 16 represent one implementation of the telephony filter requirement.

The selection of the two-pole filter network effects the selection of the loop gain value and the minimum step size resistor. The required integrator current for a given change in voltage now becomes:

$$I_i = \frac{V_o}{R_0} + \left( \frac{R_2 C_2}{R_0} + \frac{R_1 C_1}{R_0} + C_1 \right) \frac{\Delta V_o}{\Delta T} + \left( R_2 C_2 C_1 + \frac{R_1 C_1 R_2 C_2}{R_0} \right) \frac{\Delta V_o^2}{\Delta T^2}$$

The calculation of desired gain resistor  $R_x$  then proceeds exactly as previously described.

## Syllabic Filter Design

The syllabic filter in Figure 14 is a simple single-pole network of  $18 \text{ k}\Omega$  and  $0.33 \mu\text{F}$ . This produces a  $6.0 \text{ ms}$  time constant for the averaging of the coincidence output signal. The voltage across the capacitor determines the integrator current which in turn establishes the step size. The integrator current and the resulting step size determine the companding ratio and the S/N performance. The companding ratio is defined as the voltage across  $C_s/V_{CC}$ .

The S/N performance may be improved by modifying the voltage to current transformation produced by  $R_x$ . If different portions of the total  $R_x$  are shunted by diodes, the integrator current can be other than  $(V_{CC} - V_S)/R_x$ . These breakpoint curves must be designed experimentally for the particular system application. In general, one would wish that the current would double with input level. To design the desired curve, supply current to Pin 4 of the codec from an external source. Input a signal level and adjust the current until the S/N performance

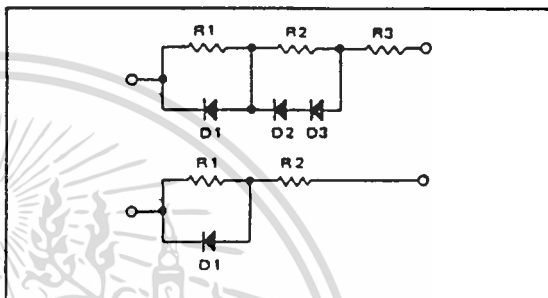
is optimum. Then record the syllabic filter voltage and the current. Repeat this for all desired signal levels. Then derive the resistor diode network which produces that curve on a curve tracer.

Once the network is designed with the curve tracer, it is then inserted in place of  $R_x$  in the circuit and the forced optimum noise performance will be achieved from the active syllabic algorithm.

Diode breakpoint networks may be very simple or moderately complex and can improve the usable dynamic range of any codec. In the past they have been used in high performance telephone codecs.

Typical resistor-diode networks are shown in Figure 17.

FIGURE 17 — RESISTOR-DIODE NETWORKS



If the performance of more complex diode networks is desired, the circuit in Figure 18 should be used. It simulates the companding characteristics of nonlinear  $R_x$  elements in a different manner.

## Output Low Pass Filter

A low pass filter is required at the receiving circuit output to eliminate quantizing noise. In general, the lower the bit rate, the better the filter must be. The filter in Figure 20 provides excellent performance for  $12 \text{ kHz}$  to  $40 \text{ kHz}$  systems.

## TELEPHONE CARRIER QUALITY CODEC USING MC3418

Two specifications of the integrated circuit are specifically intended to meet the performance requirements of commercial telephone systems. First, slope polarity switch current matching is laser trimmed to guarantee proper idle channel performance with  $5 \text{ mV}$  minimum step size and a typical 1% current match from  $15 \mu\text{A}$  to  $3 \text{ mA}$ . Thus a 300 to 1 range of step size variation is possible. Second, the MC3418 provides the four-bit algorithm currently used in subscriber loop telephone systems. With these specifications and the circuit of Figure 18, a telephone quality codec can be mass produced.

The circuit in Figure 18 provides a  $30 \text{ dB S/Nc}$  ratio over  $50 \text{ dB}$  of dynamic range for a  $1 \text{ kHz}$  test tone at a  $37.7 \text{ K}$  bit rate. At  $37.7 \text{ K}$  bits,  $40$  voice channels may be multiplexed on a standard  $1.544$  megabit T1 facility. This codec has also been tested for  $10^{-7}$  error rates with asynchronous and synchronous data up to  $2400$  baud and for reliable performance with DTMF signaling. Thus, the design is applicable in telephone quality subscriber loop carrier systems, subscriber loop concentrators and small PABX installations.

TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

The Active Companding Network

The unique feature of the codec in Figure 18 is the step size control circuit which uses a companding ratio reference, the present step size, and the present syllabic filter output to establish the optimum companding ratios and step sizes for any given input level. The companding ratio of a CVSD codec is defined as the duty cycle of the coincidence output. It is the parameter measured by the syllabic filter and is the voltage across  $C_S$  divided by the voltage swing of the coincidence output. In Figure 18, the voltage swing of Pin 11 is 6.0 volts. The operating companding ratio is analogized by the voltage between Pins 10 and 4 by means of the virtual short across Pins 3 and 4 of the V to I op amp within the integrated circuit. Thus, the instantaneous companding ratio of the codec is always available at the negative input of A1.

The diode D1 and the gain of A1 and A2 provide a companding ratio reference for any input level. If the output of A2 is more than 0.7 volts below  $V_{CC}/2$ , then the positive input of A1 is  $(V_{CC}/2 - 0.7)$ . The on diode drop at the input of A1 represents a 12% companding ratio ( $12\% = 0.7 \text{ V}/6.0 \text{ V}$ ).

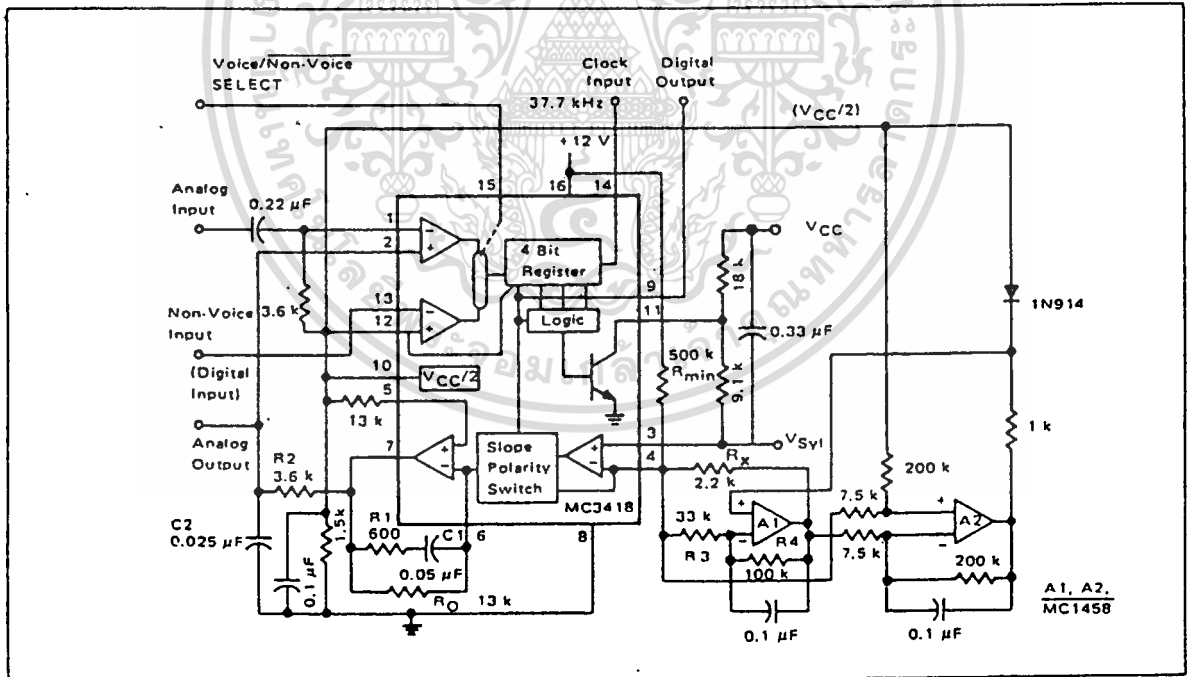
The present step size of the operating codec is directly related to the voltage across  $R_X$ , which established the

integrator current. In Figure 18, the voltage across  $R_X$  is amplified by the differential amplifier A2 whose output is single ended with respect to Pin 10 of the IC.

For large signal inputs, the step size is large and the output of A2 is lower than 0.7 volts. Thus D1 is fully on. The present step size is not a factor in the step size control. However, the difference between 12% companding ratio and the instantaneous companding ratio at Pin 4 is amplified by A1. The output of A1 changes the voltage across  $R_X$  in a direction which reduces the difference between the companding reference and the operating ratio by changing the step size. The ratio of  $R_4$  and  $R_3$  determines how closely the voltage at Pin 4 will be forced to 12%. The selection of  $R_3$  and  $R_4$  is initially experimental. However, the resulting companding control is dependent on  $R_X$ ,  $R_3$ ,  $R_4$ , and the full diode drop D1. These values are easy to reproduce from codec to codec.

For small input levels, the companding ratio reference becomes the output of A2 rather than the diode drop. The operating companding ratio on Pin 4 is then compared to a companding ratio smaller than 12% which is determined by the voltage drop across  $R_X$  and the gain of A2 and A1. The gain of A2 is also experimentally determined, but once determined, the circuitry is easily

FIGURE 18 - TELEPHONE QUALITY DELTAMOD CODER  
(Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.)

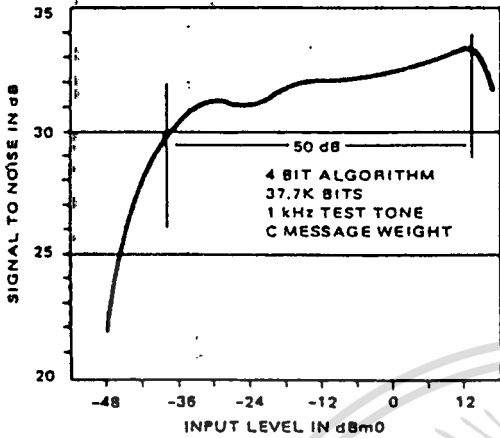


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

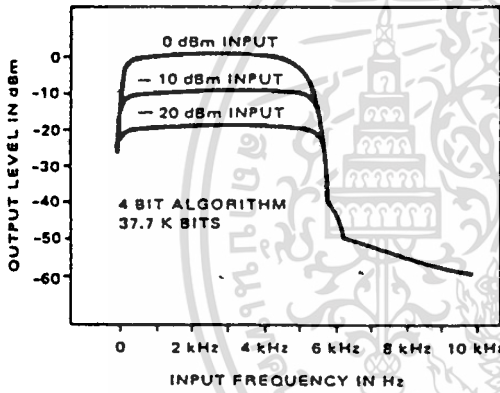
TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

FIGURE 19 - SIGNAL-TO-NOISE PERFORMANCE AND FREQUENCY RESPONSE (Showing the improvement realized with the circuit in Figure 18.)

a. SIGNAL-TO-NOISE PERFORMANCE OF TELEPHONY QUALITY DELTAMODULATOR



b. FREQUENCY RESPONSE versus INPUT LEVEL (SLOPE OVERLOAD CHARACTERISTIC)



repeated.

With no input signal, the companding ratio at Pin 4 goes to zero and the voltage across  $R_X$  goes to zero. The voltage at the output of A2 becomes zero since there is no drop across  $R_X$ . With no signal input, the actively controlled step size vanished.

The minimum step size is established by the 500 k resistor between  $V_{CC}$  and  $V_{CC}/2$  and is therefore independently selectable.

The signal to noise results of the active companding network are shown in Figure 19. A smooth 2 dB drop is realized from +12 dBm to -24 under the control of A1. At -24 dBm, A2 begins to degenerate the companding reference and the resulting step size is reduced so as to extend the dynamic range of the codec by 20 dBm.

The slope overload characteristic is also shown. The active companding network produces improved performance with frequency. The 0 dBm slope overload point is raised to 4.8 kHz because of the gain available in controlling the voltage across  $R_X$ . The curves demonstrate that the level linearity has been maintained or improved.\*

The codec in Figure 18 is designed specifically for 37.7K bit systems. However, the benefits of the active companding network are not limited to high bit rate systems. By modifying the crossover region (changing the gain of A2), the active technique may be used to improve the performance of lower bit rate systems.

The performance and repeatability of the codec in Figure 18 represents a significant step forward in the art and cost of CVSD codec designs.

\*A larger value for C2 is required in the decoder circuit than in the encoder to adjust the level linearity with frequency. In Figure 18, 0.050  $\mu$ F would work well.

FIGURE 20 - HIGH PERFORMANCE ELLIPTIC FILTER FOR CVSD OUTPUT

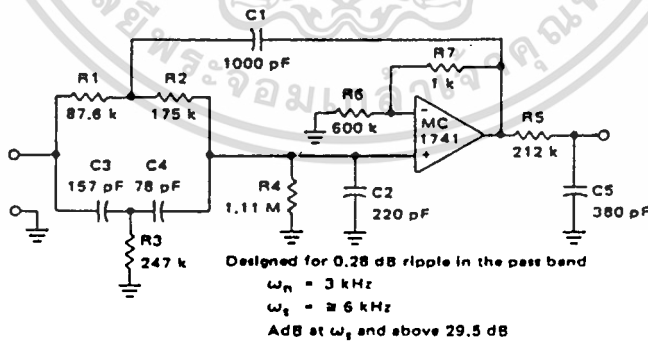
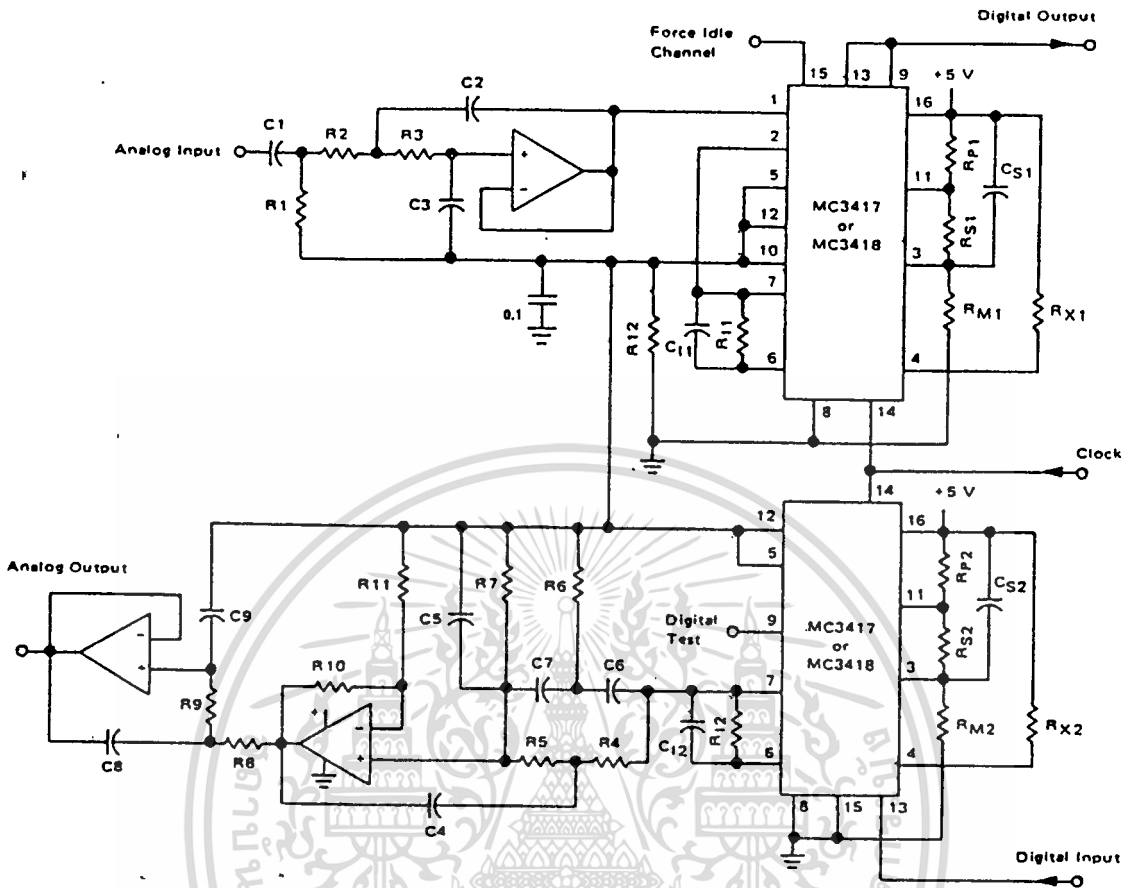


FIGURE 21 - FULL DUPLEX/32K BIT CVSD VOICE CODEC USING MC3517/18 AND MC3503/6 OF AMP



**Codec Components**

- R<sub>X1</sub>, R<sub>X2</sub> - 3.3 kΩ
- R<sub>P1</sub>, R<sub>P2</sub> - 3.3 kΩ
- R<sub>S1</sub>, R<sub>S2</sub> - 100 kΩ
- R<sub>11</sub>, R<sub>12</sub> - 20 kΩ
- R<sub>12</sub> - 1 kΩ
- R<sub>M1</sub>, R<sub>M2</sub> - 5 MΩ (MC3417)
- Minimum step size = 20 mV
- R<sub>M1</sub>, R<sub>M2</sub> - 15 MΩ (MC3418)
- Minimum step size = 6 mV

- C<sub>S1</sub>, C<sub>S2</sub> - 0.05 μF
- C<sub>11</sub>, C<sub>12</sub> - 0.05 μF

- 2 MC3417 (or MC3418)
- 1 MC3403 (or MC3406)

Note: All Res. 5%  
All Cap. 5%

**Input Filter Specifications**

- 12 dB/Octave Roll-off above 3.3 kHz
- 6 dB/Octave Roll-off below 50 Hz

**Output Filter Specifications**

- Break Frequency - 3.3 kHz
- Stop Band - 9 kHz
- Stop Band Atten. - 50 dB
- Roll-off - > 40 dB/Octave

**Filter Components**

- R<sub>1</sub> - 965 Ω
- R<sub>2</sub> - 72 kΩ
- R<sub>3</sub> - 72 kΩ
- R<sub>4</sub> - 63.46 kΩ
- R<sub>5</sub> - 127 kΩ
- R<sub>6</sub> - 365.5 kΩ
- R<sub>7</sub> - 1.645 MΩ
- R<sub>8</sub> - 72 kΩ
- R<sub>9</sub> - 72 kΩ
- R<sub>10</sub> - 29.5 kΩ
- R<sub>11</sub> - 72 kΩ
- C<sub>1</sub> - 3.3 μF
- C<sub>2</sub> - 837 pF
- C<sub>3</sub> - 536 pF
- C<sub>4</sub> - 1000 pF
- C<sub>5</sub> - 222 pF
- C<sub>6</sub> - 77 pF
- C<sub>7</sub> - 38 pF
- C<sub>8</sub> - 837 pF
- C<sub>9</sub> - 536 pF

Note: All Res. 0.1% to 1%.  
All Cap. 1.0%

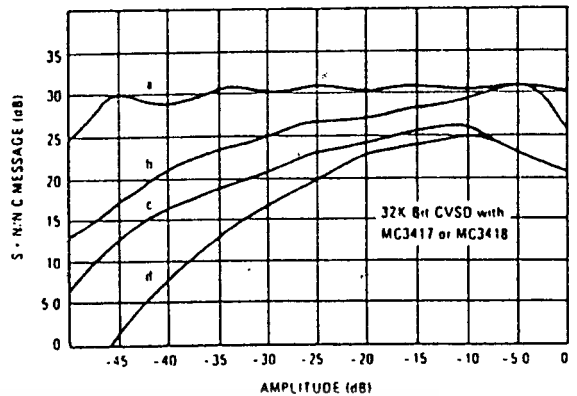
**COMPARATIVE CODEC PERFORMANCE**

The salient feature of CVSD codecs using the MC3517 and MC3518 family is versatility. The range of codec complexity tradeoffs and bit rate is so wide that one cannot grasp the interdependency of parameters for voice applications in a few pages.

Design of a specific codec must be tailored to the digital channel bandwidth, the analog bandwidth, the quality of signal transmission required and the cost objectives. To illustrate the choices available, the data in Figure 22 compares the signal-to-noise ratios and dynamic range of various codec design options at 32K bits. Generally, the relative merits of each design feature will remain intact in any application. Lowering the bit rate will reduce the dynamic range and noise performance of all techniques. As the bit rate is increased, the overall performance of each technique will improve and the need for more complex designs diminishes.

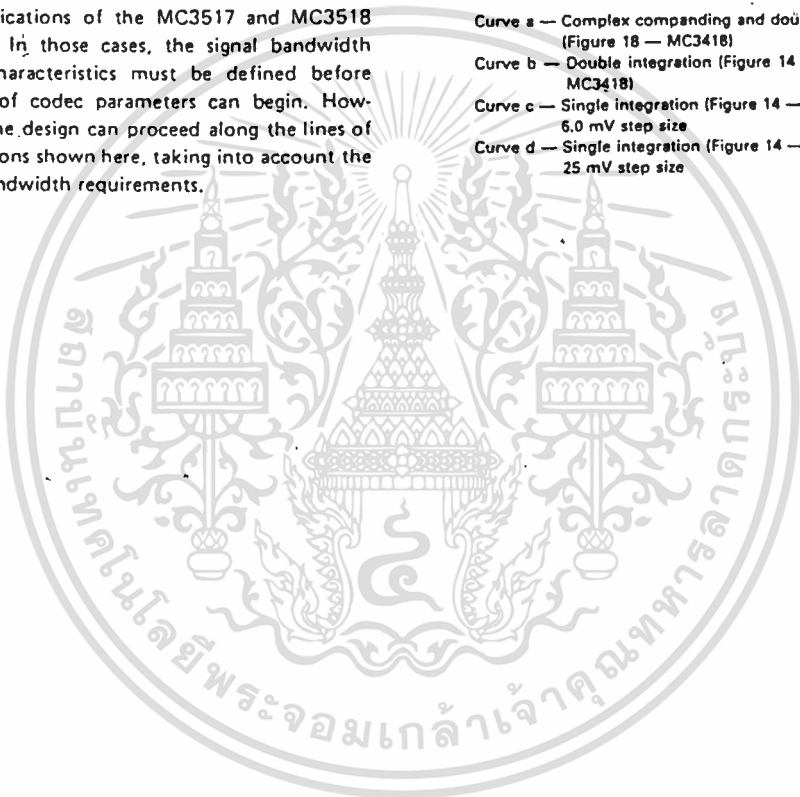
Non-voice applications of the MC3517 and MC3518 are also possible. In those cases, the signal bandwidth and amplitude characteristics must be defined before the specification of codec parameters can begin. However, in general, the design can proceed along the lines of the voice applications shown here, taking into account the different signal bandwidth requirements.

**FIGURE 22 – COMPARATIVE CODEC PERFORMANCE – SIGNAL-TO-NOISE RATIO FOR 1 kHz TEST TONE**



These curves demonstrate the improved performance obtained with several codec designs of varying complexity.

- Curve a — Complex companding and double integration (Figure 18 — MC3418)
- Curve b — Double integration (Figure 14 using Figure 16 — MC3418)
- Curve c — Single integration (Figure 14 — MC3418) with 6.0 mV step size
- Curve d — Single integration (Figure 14 — MC3417) with 25 mV step size



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DESCRIPTION

The NE564 is a versatile high frequency Phase Locked Loop designed for operation up to 50MHz. As shown in the block diagram, the NE564 consists of a VCO, limiter, phase comparator, and post detection processor.

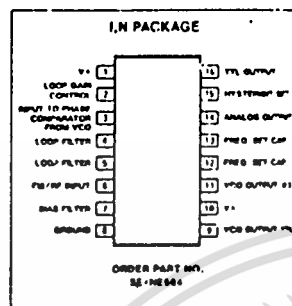
## APPLICATIONS

- High speed modems
- FSK receivers and transmitters
- Frequency synthesizers
- Signal generators

## FEATURES

- Operation with single 5V supply
- TTL compatible inputs and outputs
- Operation to 50MHz
- External loop gain control
- Reduced carrier feedthrough
- No elaborate filtering needed in FSK applications
- Can be used as a modulator
- Variable loop gain (Externally Controlled)

## PIN CONFIGURATION



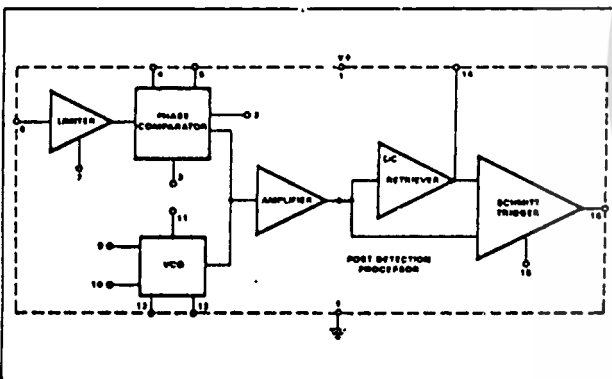
ORDER PART NO.

SE-NE564

## ABSOLUTE MAXIMUM RATINGS

PARAMETER	RATING	UNIT
V+	Supply voltage	V
Pin 1	14	
Pin 10	6	
P <sub>D</sub>	Power dissipation	mW
TA	Operating temperature	°C
Storage temperature	-55 to +125	
I <sub>stg</sub>	Storage temperature	°C

## BLOCK DIAGRAM



## FUNCTIONAL DESCRIPTION

The NE564 is a monolithic phase locked loop with a post detection processor. The use of Schottky clamped transistors and optimized device geometries extends the frequency of operation to greater than 50MHz. In addition to the classical PLL applications the NE564 can be used as a modulator with a controllable frequency deviation.

The output voltage of the PLL can be written as shown in the following equation:

$$V_O = \frac{(f_m - f_0)}{K_{VCO}} \quad \text{Equation 1}$$

$K_{VCO}$  = conversion gain of the VCO (see figure 1)  
 $f_m$  = frequency of the input signal  
 $f_0$  = free running frequency of the VCO

The process of recovering FSK signals involves the conversion of the PLL output into logic compatible signals. For high data rates, a considerable amount of carrier will be present at the output of the PLL due to the wideband nature of the loop filter. To avoid the use of complicated filters, a comparator with hysteresis or Schmitt trigger is required. With the conversion gain of the VCO fixed, the output voltage as given by Equation 1 varies according to the frequency deviation of  $f_m$  from  $f_0$ . Since this differs from system to system, it is necessary that the hysteresis of the Schmitt trigger be capable of being changed, so that it can be optimized for a particular system. This is

ELECTRICAL CHARACTERISTICS  $V^+ = 5V$ ,  $T_A = 25^\circ C$ ,  $f_0 = 5MHz$ ,  $I_b = -200\mu A$  unless otherwise specified.  
 Test Circuit: Figure 1

PARAMETER	TEST CONDITIONS	SE564			NE564			UNIT
		Min	Typ	Max	Min	Typ	Max	
Maximum VCO frequency		50	65		45	60		MHz
Lock range	Input $\geq 200mV_{rms}$ , $T_A = 25^\circ C$ $= 125^\circ C$ $= -55^\circ C$ $= 0^\circ C$ $= 70^\circ C$	80	90		60	90		% of $f_0$
Capture range	Input $\geq 200mV_{rms}$ , $R_2 = 27k\Omega$ $= 100k\Omega$	25	35		25	35		% of $f_0$
VCO frequency drift with temperature	$f_0 = 5MHz$ , $T_A = -55^\circ C$ to $125^\circ C$ $= 0^\circ C$ to $70^\circ C$ $f_0 = 500kHz$ , $T_A = -55^\circ C$ to $125^\circ C$ $= 0^\circ C$ to $70^\circ C$		400	1000		400	1250	PPM/°C
VCO frequency change with supply voltage	$V^+ = 4.5V$ to $5.5V$		3	6		3	6	% of $f_0$
Demodulated output voltage	Modulation frequency: 1kHz, $f_0 = 5MHz$ Input deviation: 10%, $T = 25^\circ C$ $= 1%$ , $T = 25^\circ C$ $T = 0^\circ C$ $= -55^\circ C$ $= 70^\circ C$ $= 125^\circ C$	120	140		120	140		mV <sub>rms</sub>
Linearity	Deviation: 1% to 8%	12	14		11	13		mV <sub>rms</sub>
Signal to noise ratio		9	12		13	15		mV <sub>rms</sub>
AM rejection		14	16	3	1	3		mV <sub>rms</sub>
Supply current	$V^+ = 5V$		40			40		dB
Leakage current	Pin 9		35			35		dB
Output current	Pin 9							mA
Supply voltage	Pin 1	4.5	5.5		4.5	5.5		V
	Pin 10							V

accomplished in the 564 by varying the voltage at pin 15 which results in a change of the hysteresis of the Schmitt trigger.

For FSK signals, an important factor to be considered is the drift in the free running frequency of the VCO itself. If this changes due to temperature, according to Equation 1 it will lead to a change in the dc levels of the PLL output, and consequently to errors in the digital output signal. This is especially true for narrow band signals where the deviation in  $f_m$  itself may be less than the change in  $f_0$  due to temperature. This effect can be eliminated if the dc or average value of the signal is retrieved and used as the reference to the comparator. In this manner, variations in the dc levels of the PLL output do not affect the FSK output.

## VCO Section

Due to its inherent high frequency performance, an emitter coupled oscillator is used in the VCO. In the circuit, shown in the equivalent

schematic, transistors  $Q_21$  and  $Q_23$  with current sources  $Q_25$ - $Q_26$  form the basic oscillator. The free running frequency of the oscillator is shown in the following equation:

$$f_0 = \frac{1}{16R_2C_1} \quad \text{Equation 2}$$

$R_2 = R_{19} = R_{20} = 100k\Omega$  (INTERNAL)  
 $C_1$  = external frequency setting capacitor

Variation of  $V_d$  (phase detector output voltage) changes the frequency of the oscillator. As indicated by Equation 2, the frequency of the oscillator has a negative temperature coefficient due to the positive temperature coefficient of the monolithic resistor. To compensate for this, a current  $I_{11}$  with negative temperature coefficient is introduced to achieve a low frequency drift with temperature.

## Phase Comparator Section

The phase comparator consists of a double balanced modulator with a limiter amplifier

to improve AM rejection. Schottky clamped vertical PNPs are used to obtain TTL level inputs. The loop gain can be varied by changing the current in  $Q_4$  and  $Q_{15}$  which effectively changes the gain of the differential amplifiers. This can be accomplished by introducing a current at pin 2.

## Post Detection Processor Section

The post detection processor consists of a unity gain transconductance amplifier and comparator. The amplifier can be used as a dc retriever for demodulation of FSK signals, and as a post detection filter for linear FM demodulation. The comparator has adjustable hysteresis so that phase jitter in the output signal can be eliminated.

As shown in the equivalent schematic, the dc retriever is formed by the transconductance amplifier  $Q_{42}$ - $Q_{43}$  together with an external capacitor which is connected at the am-

plier output (pin 14). This forms an integrator whose output voltage is shown in the following equation

$$V_O = \frac{g_m}{C_2} V_{in} t \quad \text{Equation 3}$$

$g_m$  = transconductance of the amplifier  
 $C_2$  = capacitor at the output (pin 14)  
 $V_{in}$  = signal voltage at amplifier input

With proper selection of  $C_2$ , the integrator time constant can be varied so that the output voltage is the dc or average value of the input signal for use in FSK, or as a post detection filter in linear demodulation.

The comparator with hysteresis is made up of Q49-Q50 with positive feedback being provided by Q47-Q48. The hysteresis is varied by changing the current in Q52 with a resulting variation in the loop gain of the comparator. This method of hysteresis control, which is a dc control, provides symmetric variation around the nominal value.

### Design Formula

The free running frequency of the VCO is shown by the following equation

$$f_o = \frac{1}{16R_1C_1} \text{ MHz} \quad \text{Equation 4}$$

$R_1$  = 100 $\Omega$   
 $C_1$  = external cap in farads

The loop filter diagram shown is explained by the following equation

$$F(s) = \frac{1}{1 + sRC_3} \quad \text{Equation 5}$$

$R = R_{12} = R_{13} = 1 \text{ k}\Omega$  (INTERNAL)

By adding capacitors to pins 4 and 5, two poles are added to the loop transfer function

$$\text{at } \omega = \frac{1}{RC_3}$$

### FM DEMODULATOR

The NE564 can be used as an FM demodulator. The connections for operation

at 5V and 12V are shown in figures 2 and 1 respectively. The input signal is ac coupled with the output signal being extracted at pin 14. Loop filtering is provided by the capacitors at pins 4 and 5 with additional filtering provided by the capacitor at pin 14. Since the conversion gain of the VCO is very high, to obtain sufficient demodulated output signal the frequency deviation in the input signal should be fairly high (1% or higher).

### MODULATION TECHNIQUES

The NE564 phase locked loop can be modulated at either the loop filter ports (pins 4 and 5) or the input port (pin 8) as shown in figure 4. The approximate modulation frequency can be determined from the frequency conversion gain curve shown in figure 5. This curve will be appropriate for signals injected into pins 4 and 5 as shown in figure 4.

### FSK Demodulation

The 564 PLL is particularly attractive for FSK demodulation since it contains an internal voltage comparator and VCO which have TTL compatible inputs and outputs, and it can operate from a single 5 volt power supply. Demodulated dc voltages associated with the mark and space frequencies are recovered with a single external capacitor in a dc retriever without utilizing extensive filtering networks. An internal comparator, acting as a Schmitt trigger with an adjustable hysteresis, shapes the demodulated voltages into compatible TTL output levels. The high frequency design of the 564 enables it to demodulate FSK at high data rates in excess of 1.0M baud.

Figure 6 shows a high-frequency FSK decoder designed for input frequency deviations of  $\pm 1.0$  MHz centered around a free-running frequency of 10.8 MHz. The value of the timing capacitance required was estimated from figure 8 to be approximately 40pF. A trimmer capacitor was added to fine tune  $f_o$  to 10.8 MHz.

Figure 9 indicates that the  $\pm 1.0$  MHz frequency deviations will be within the lock range for input signal levels greater than approximately 50mV with zero pin 2 bias current. While strictly this figure is appropriate only for 5MHz, it can be used as a guide for lock range estimates at other  $f_o$  frequencies.

The hysteresis was adjusted experimentally via the 10k $\Omega$  potentiometer and 2k $\Omega$  bias arrangement to give the waveshape shown in figure 7 for 20K, 500K, 2M baud rates with square wave FSK modulation. Note the magnitude and phase relationships of the phase comparators output voltages with respect to each other and to the FSK output. The high frequency sum components of the input and VCO frequency also are visible as noise on the phase comparators outputs.

### EQUIVALENT SCHEMATIC

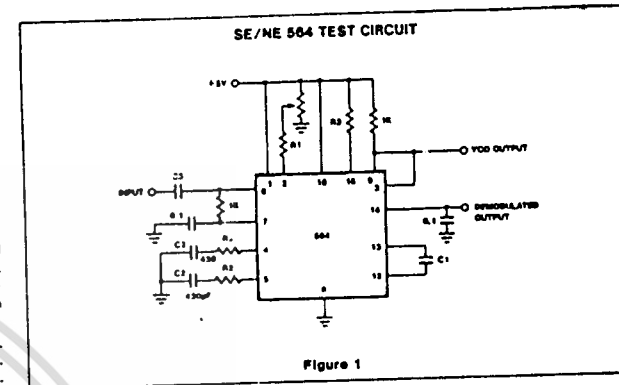
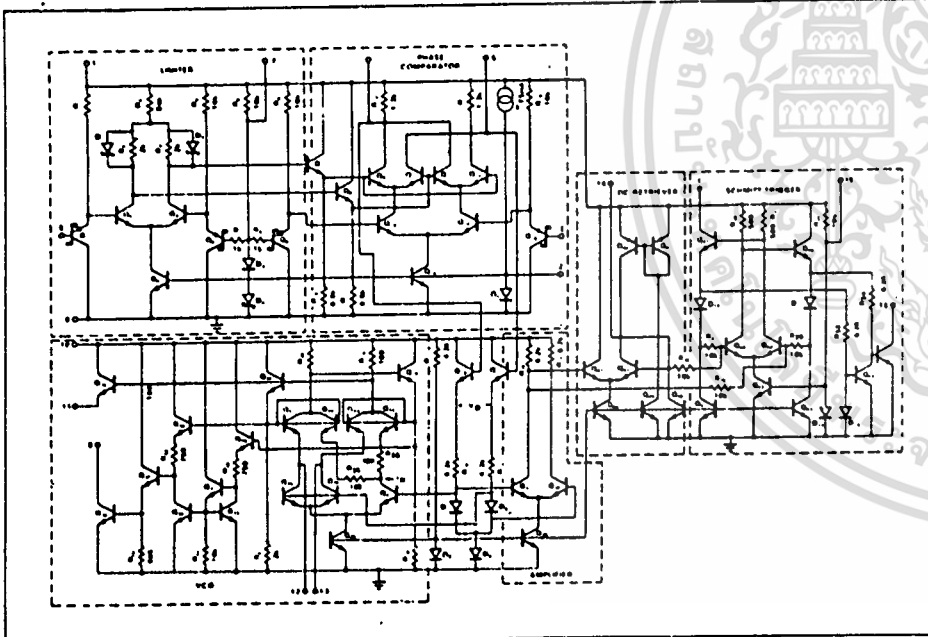


Figure 1

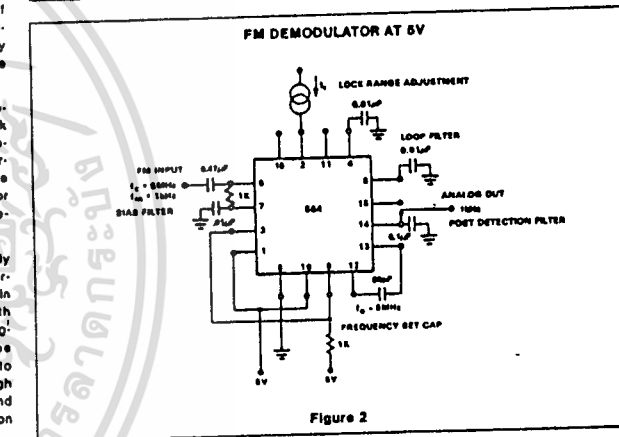


Figure 2

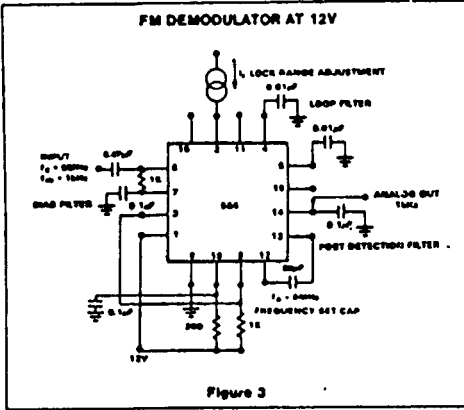


Figure 3

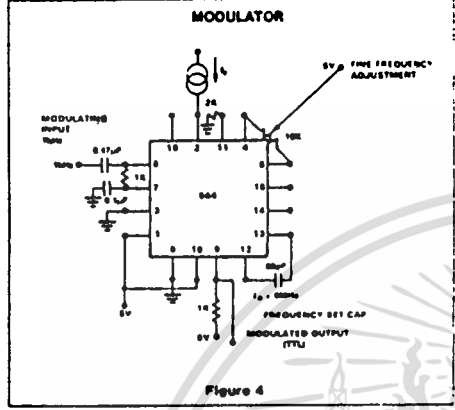


Figure 4

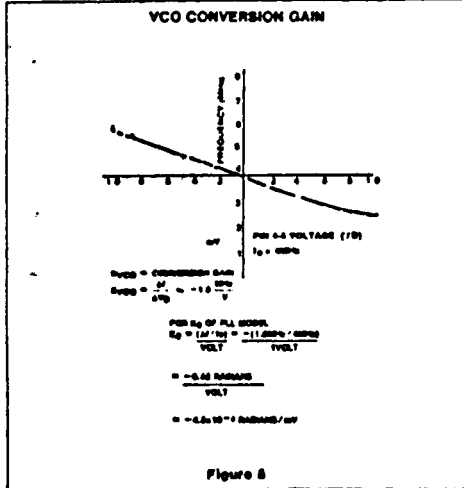


Figure 5

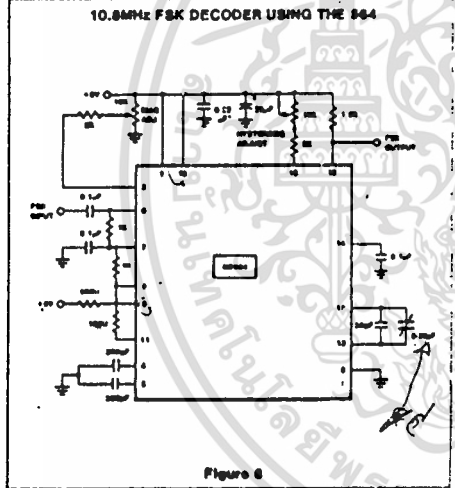


Figure 6

57.8 pF

PHASE COMPARATOR (PINS 4 AND 5) AND FSK (PIN 16) OUTPUTS FOR DATA RATES OF

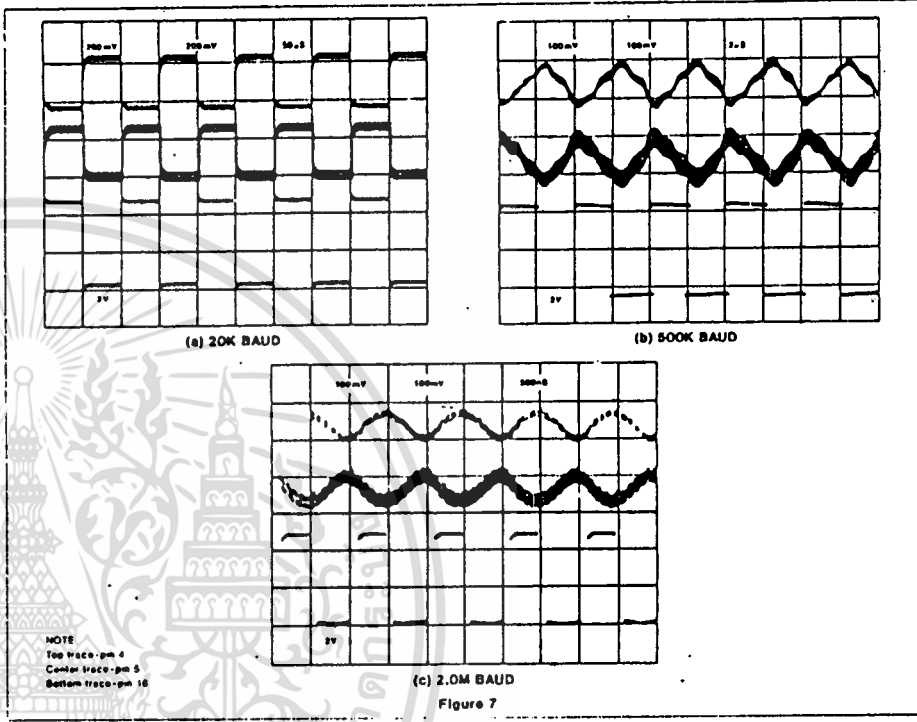


Figure 7

TYPICAL PERFORMANCE CHARACTERISTICS

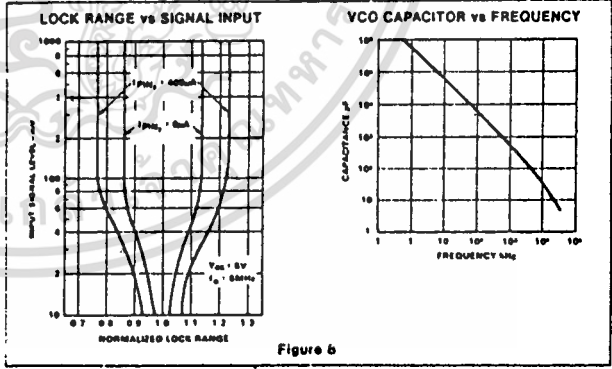
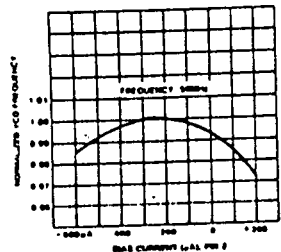
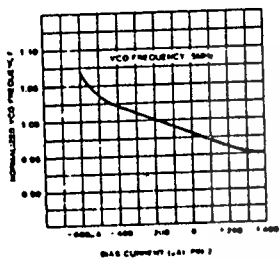


Figure 8

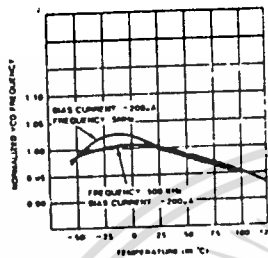
TYPICAL NORMALIZED VCO FREQUENCY AS A FUNCTION OF PIN 2 BIAS CURRENT



TYPICAL NORMALIZED VCO FREQUENCY AS A FUNCTION OF PIN 2 BIAS CURRENT



NORMALIZED VCO FREQUENCY AS A FUNCTION OF TEMPERATURE



NOTE: Refer to section 10 of Signetics Analog Applications Manual for more detailed information.

CIRCUIT DESCRIPTION OF THE 564

The 564 contains the functional blocks shown in Figure 4.15. In addition to the normal PLL functions of phase comparator, VCO, amplifier and low-pass filter, the 564 has internal circuitry for an input signal limiter, a dc retriever, and a Schmitt trigger. The complete circuit for the 564 is shown in Figure 4.16.

Limiter

The input limiter functions to produce a near constant amplitude output that serves as the input for the phase comparator. Eliminating amplitude variations in the FM input signal improves the AM rejection of the PLL. Additional features of the 564's limiter are that it is capable of accepting TTL signals, operates at high frequencies up to 50MHz, and remains functional with variable supply voltages between 5 and 12 volts.

BLOCK DIAGRAM OF THE 564

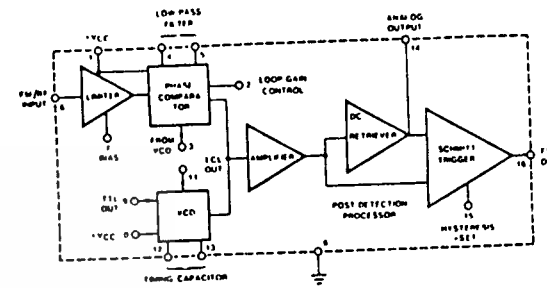


Figure 4.15

SCHEMATIC DIAGRAM OF 564

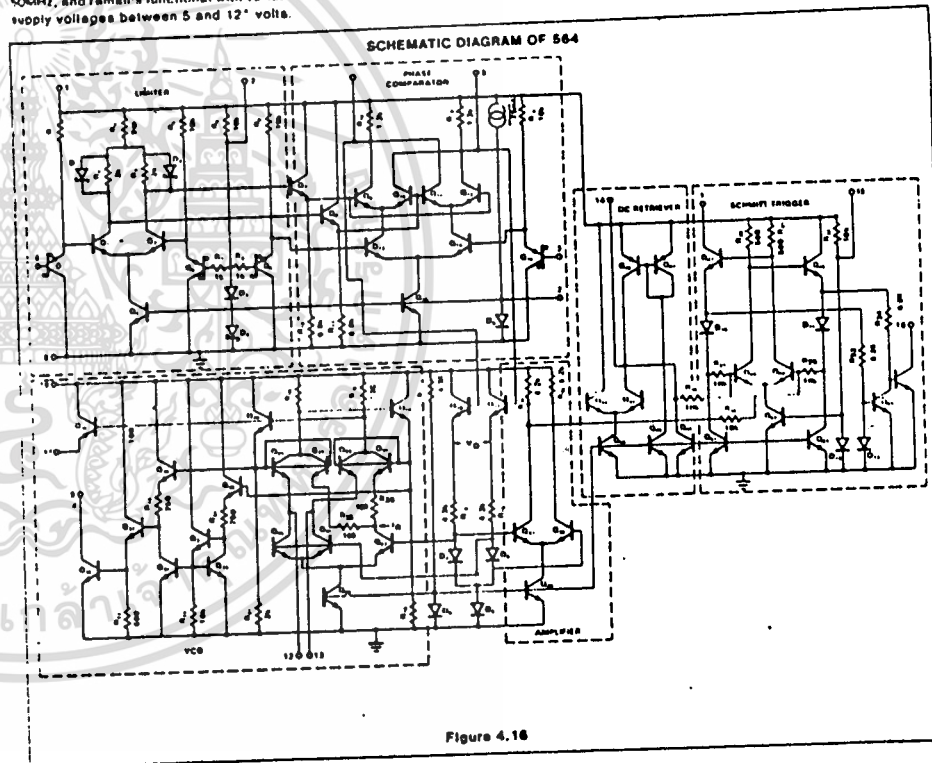


Figure 4.16

Signal limiting is accomplished in the 564 with a differential amplifier whose output voltage is clipped by diodes D<sub>1</sub> and D<sub>2</sub> (see Figure 4.17). Schottky diodes are used because their limiting occurs between 0.3 to 0.4 volts instead of the 0.6 to 0.7 volt for regular IC diodes. This lower limiting level is helpful in biasing, especially for 5 volt operation. When limiting, the dc voltage across R<sub>2</sub> and R<sub>3</sub> remains at the Schottky diode voltage. Good high-frequency performance for Q<sub>2</sub> and Q<sub>3</sub> is achieved with current levels in the low mA range. Current-source biasing is established via the current mirror of D<sub>3</sub> and Q<sub>4</sub> (See Figure 4.18).

Base biasing for Q<sub>3</sub> is of concern because of the nature of the input signal which can be either a TTL digital signal of 0 to 5 volts amplitude or a low-level, ac coupled analog signal. Compatibility for either type is achieved by modifying the limiter of Figure 4.17 with the addition of the vertical Schottky PNP transistors Q<sub>1</sub> and Q<sub>5</sub> shown in Figure 4.18. The input signal voltage appears as a collector-base voltage for Q<sub>1</sub> which presents no problems for either high TTL level inputs or low-level analog inputs. Q<sub>5</sub> is in turn diode biased by D<sub>3</sub> and Q<sub>4</sub> (see Figure 4.18) which places the base voltages of Q<sub>1</sub> and Q<sub>5</sub> at approximately 1.0 volt. This same biasing network establishes a 1.3 volt bias at the base of Q<sub>13</sub> for biasing the phase comparator section. A differential output signal from the input limiter is applied to one input of the phase comparator (Q<sub>8</sub> through Q<sub>12</sub>) after buffering the level shifting through the Q<sub>7</sub> - Q<sub>8</sub> emitter followers.

\* When operating above 5Vdc, a limiting resistor must be used from V<sub>CC</sub> to pin 10 of the 564.

### Phase Comparator

The phase comparator section of the 564 is shown in Figure 4.19. It is basically the conventional, double-balanced mixer commonly used in PLL circuits with a few exceptions. The transconductance G<sub>m</sub> of the Q<sub>13</sub> - Q<sub>14</sub> differential amplifier is directly proportional to the mirror current in Q<sub>15</sub>. Thus by externally sinking or sourcing current at pin 2, G<sub>m</sub> can be changed to alter the phase comparators conversion gain, K<sub>D</sub>. The nominal current injected into this node by the internal current source is 0.75mA for 5 volt operation. If this current is externally removed by gating, the phase comparator can be disabled and the VCO will operate at its free-running frequency.

The variation of K<sub>D</sub> with bias current at pin 2 is shown in the experimental results of Figure 4.20. Note the inherent 90° phase error in the loop produces an approximate zero phase comparator output voltage. For any particular bias current, the slope of the line is the K<sub>D</sub> conversion gain for the phase comparator. Numerically the data of Figure 4.20 can be expressed as

$$K_D \approx 0.48 \frac{\text{volts}}{\text{rad}} + 7.3 \times 10^{-4} \frac{\text{volts}}{\text{rad}} \times I_{BIAS} \quad (4.3)$$

where I<sub>BIAS</sub> is in  $\mu\text{A}$ . Equation 4.3 is valid for bias current less than 800 $\mu\text{A}$  where saturation occurs within the phase comparator.

The current level established in Q<sub>15</sub> of Figure 4.18 determines all other quiescent currents in the phase comparator (Q<sub>9</sub> through Q<sub>14</sub>). Currents through R<sub>12</sub> and R<sub>13</sub> set the common-mode output voltage from the phase comparator (pins 4 and 5). Since this common mode voltage is applied to the

VCO to establish its quiescent current, the VCO conversion gain (K<sub>O</sub>) also depends upon the bias current at pin 2.

### VCO

The VCO is of the basic emitter-coupled astable type with several modifications included to achieve the high frequency, TTL compatible operation while maintaining low frequency drift with temperature changes. The basic oscillator in Figure 4.21 consists of Q<sub>19</sub>, Q<sub>20</sub>, Q<sub>21</sub>, and Q<sub>23</sub> with current sinks of Q<sub>25</sub> and Q<sub>26</sub>. The master current sink of Q<sub>28</sub> keeps the total current constant by altering the ratio of currents in Q<sub>25</sub> - Q<sub>26</sub> and the dummy current sink of Q<sub>27</sub>.

The input drive voltage for the VCO is made up of common-mode and difference-mode components from the phase comparator. After buffering the level shifting through Q<sub>17</sub> - Q<sub>18</sub> and R<sub>15</sub> - R<sub>16</sub>, the VCO control voltage is applied differentially to the base of Q<sub>27</sub> and to the common bases of Q<sub>25</sub> and Q<sub>26</sub>.

The VCO control voltages from the phase comparator are the pin 4 and pin 5 voltages or

$$V_4 = V_{C9} = V_{B16} = V_{CM} + \frac{1}{2} V_{DM} \quad (4.4)$$

$$V_5 = V_{C12} = V_{B17} = V_{CM} - \frac{1}{2} V_{DM} \quad (4.5)$$

where V<sub>CM</sub> and V<sub>DM</sub> are the respective common-mode and the difference-mode voltages.

Emitter followers Q<sub>17</sub> and Q<sub>18</sub> convert these control voltages into control currents through D<sub>6</sub> and D<sub>7</sub> of the form

$$I_6 = \frac{1}{R_{15}} \left[ V_{CM} - \frac{1}{2} V_{DM} - 3 V_{BE} \right] \quad (4.6)$$

$$I_7 = \frac{1}{R_{16}} \left[ V_{CM} + \frac{1}{2} V_{DM} - 3 V_{BE} \right] \quad (4.7)$$

These individual currents are summed in D<sub>6</sub> and become with R<sub>15</sub> = R<sub>16</sub> = R.

$$I_8 = I_6 + I_7 = \frac{2}{R} (V_{CM} - 3 V_{BE}) \quad (4.8)$$

Writing I<sub>6</sub> and I<sub>7</sub> as functions of the total I current gives

$$I_6 = \frac{1}{2} (1 - \frac{V_{DM}}{R I}) \quad (4.9)$$

$$I_7 = \frac{1}{2} (1 + \frac{V_{DM}}{R I}) \quad (4.10)$$

Now consider variations in I<sub>6</sub> and I<sub>7</sub> while I remains constant.

Let x indicate the current imbalance such that

$$I_6 = (1 - x) I = \frac{1}{2} (1 - \frac{V_{DM}}{R I}) \quad (4.11)$$

$$I_7 = x I = \frac{1}{2} (1 + \frac{V_{DM}}{R I}) \quad (4.12)$$

where 0 ≤ x ≤ 1. Thus x is defined to be

$$x = \frac{1}{2} (1 + \frac{V_{DM}}{R I}) \quad (4.13)$$

Currents I<sub>6</sub> and I<sub>7</sub> establish proportional currents in Q<sub>25</sub>, Q<sub>26</sub>, and Q<sub>27</sub> in a manner similar to the analysis above since the current in Q<sub>28</sub> is a constant, or

$$I_0 = I_{C28} = I_{E25} + I_{E26} + I_{E27A} + I_{E27B}$$

Gilbert(10) has shown that the D<sub>7</sub> - D<sub>6</sub> diode pair will cause identical differential currents to be reflected in both the Q<sub>25</sub> - Q<sub>26</sub> and the Q<sub>27A</sub> - Q<sub>27B</sub> differential amplifier pairs. Consequently the constant current of I<sub>0</sub> jointly shared by the differential amplifier pairs will divide in each pair with the same a factor imbalance as in Equation 4.13.

$$I_{E25} + I_{E26} = x I_0 \quad (4.14)$$

$$I_{E25} - I_{E26} = \frac{1}{2} I_0 \quad (4.15)$$

$$I_{E27A} + I_{E27B} = (1 - x) I_0 \quad (4.16)$$

$$I_{E27A} - I_{E27B} = (\frac{1-x}{2}) I_0 \quad (4.17)$$

Now consider placing a capacitor between the collectors of Q<sub>25</sub> and Q<sub>26</sub> (pins 12 and 13). Oscillation will occur with the capacitor alternately being charged by Q<sub>21</sub> and Q<sub>23</sub> and constantly discharged by Q<sub>25</sub> and Q<sub>26</sub>. When the Q<sub>21</sub> and Q<sub>22</sub> pair conducts, Q<sub>23</sub> and Q<sub>24</sub> will be off causing a negative ramp voltage to appear at pin 13 and a constant voltage at pin 12 as shown in Figure 4.22. During the next half-cycle, the transistor roles and voltages are reversed. Capacitor discharge is via Q<sub>25</sub> and Q<sub>26</sub> which act as constant-current sinks with current amplitudes as in Equation 4.15.

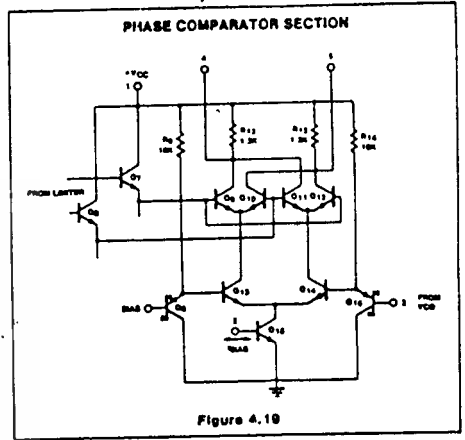


Figure 4.19

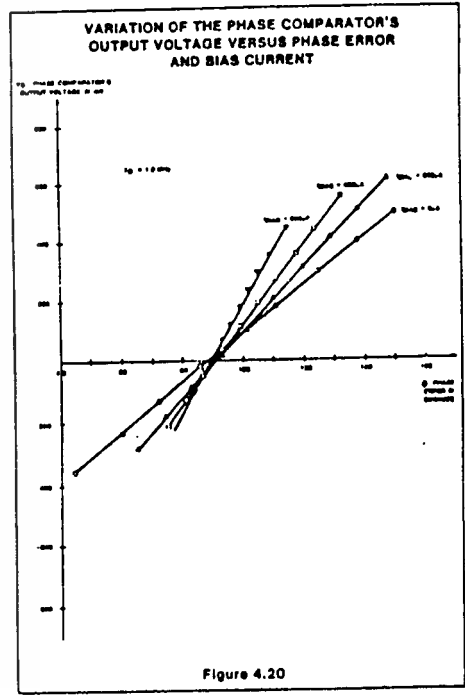


Figure 4.20

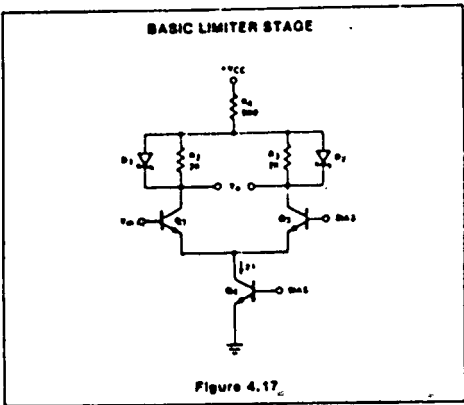


Figure 4.17

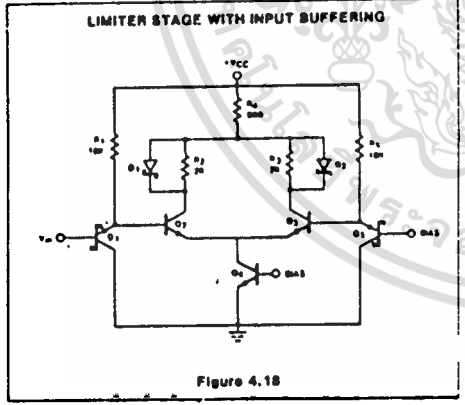


Figure 4.18

VCO SECTION OF 564

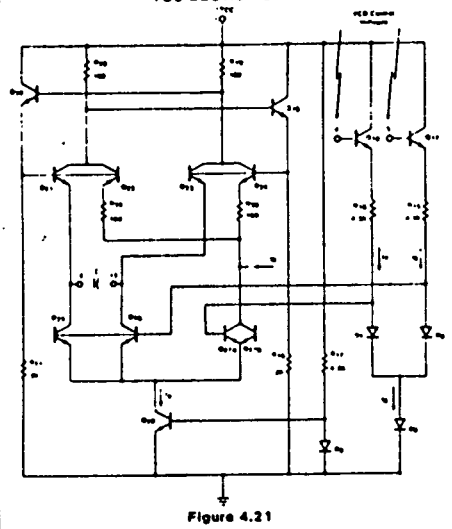


Figure 4.21

VCO WAVESHAPES

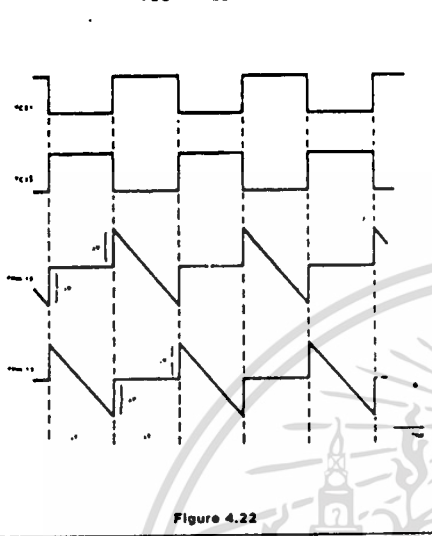


Figure 4.22

During each half cycle, the capacitor voltage changes linearly by 2.5V volts in  $\Delta T$  seconds where  $\Delta V = 2R_2 I_0 \left( \frac{1}{2} + \frac{1}{2} \right) = R_2 I_0$  (4.18) and

$$\Delta T = \frac{C \Delta V}{I_{E25}} \quad (4.19)$$

Combining these two equations with Equation 4.15 gives a half period of

$$\Delta T = \frac{4C R_2 I_0}{I_{E25}} \quad (4.20)$$

Utilizing Equation 4.13 with the  $\Delta T$  expression gives the desired VCO frequency expression of

$$f_0 = f_0' \left( 1 + \frac{V_{DM}}{R_1} \right) = f_0' \left[ \frac{V_{DM}}{2(V_{CM} - V_{BE})} \right] \quad (4.21)$$

where  $f_0'$  is the VCO's free-running frequency given by

$$f_0' = \frac{1}{16 R_2 C} \quad (4.22)$$

Equation 4.21 shows that the oscillator frequency is a linear function of the differential voltage from the phase comparator. Resistors  $R_{25}$  and  $R_{26}$  function to insure that an initial current imbalance exists between the Q25-Q28 transistor pair and the dummy Q27. This imbalance insures that the oscillator is still starting when power is first applied to the circuit.

The VCO conversion gain is determined as

$$K_0 = \frac{df_0}{dV_{DM}} = \frac{f_0}{R_1} \text{ Hz/volt} \quad (4.23)$$

which is valid as long as the transistors  $V_{BE}$  changes are small with respect to the common-mode voltage. Both  $f_0$  and  $K_0$  are inversely proportional to  $R_1$  which has a strong positive temperature coefficient. An internal current  $I_0$  having an equal and opposite negative temperature coefficient is inserted into the VCO as shown in Figure 4.21.

Experimental Determination of  $K_0$  can be found from the data of Figure 4.23 where  $K_0$  is the slope of either line. Numerically these results are for  $I_{BIAS} = 0$ ,

$$K_0 = 0.95 \frac{\text{MHz}}{\text{volt}} = 5.9 \times 10^6 \frac{\text{rad}}{\text{volt-sec}} \quad (4.24)$$

and for  $I_{BIAS} = 800\mu\text{A}$

$$K_0 = 1.7 \frac{\text{MHz}}{\text{volt}} = 10.45 \times 10^6 \frac{\text{rad}}{\text{volt-sec}} \quad (4.25)$$

It must be noted that the specific values obtained for  $K_0$  in the manner above are valid only for the 10MHz free-running frequency where the data was taken. However, good estimates for  $K_0$  at other free-running frequencies can be obtained by linearly scaling  $K_0$  to the desired  $f_0'$ . Thus it is sometimes convenient to define a normalized  $K_0$  as

$$K_0(\text{norm}) = \frac{K_0}{f_0} = 5.9 \frac{\text{rad}}{\text{volt}} \quad (I_{BIAS} = 0)$$

$$= 10.45 \frac{\text{rad}}{\text{volt}} \quad (I_{BIAS} = 800\mu\text{A}) \quad (4.26)$$

The  $K_0$  estimate for any bias then can be obtained by multiplying the normalized conversion gain by the desired free-running frequency, or

$$K_0(\text{any } f_0') = K_0(\text{norm}) f_0' \quad (4.27)$$

The additional VCO circuitry of Q29 through Q36 (Figure 4.18) functions to produce TTL and ECL compatible outputs at pins 1 and 11.

#### Amplifier

The difference-mode voltage from the phase comparator is extracted and amplified by the amplifier in Figure 4.16. The single-ended output from this amplifier serves as input signals for both the Schmitt Trigger and a second differential amplifier. Low-pass filtering with a large capacitance at pin 14 produces a stable dc reference voltage as the second input to the Schmitt Trigger. When the PLL is locked, the voltage at pin 14 is directly proportional to the difference between the input frequency and  $f_0'$ . Thus pin 14 provides the demodulated output of a FM input signal.

#### Schmitt Trigger

FSK applications the pin 14 voltage will assume two different voltage levels corresponding to the mark and space input frequencies. A voltage comparator could be used to sense and convert these two voltage levels to logic compatible levels. However at high data rates,  $V_{DM}$  will contain a considerable amount of carrier signal which can be removed by extensive filtering. Normally this complex filtering requires quite a few components, most all of which are external to the monolithic PLL. Also since the control voltage for the comparator depends upon  $K_0$  and the deviations of the mark and space frequencies from  $f_0'$ , the filtering has to be optimized for each different system utilized. However the necessary dc reference level for the comparator is present in the PLL but buried in carrier frequency feedthrough which appears as noise in the system. A Schmitt trigger with variable hysteresis can be used successfully to decode the FSK data without the need for extensive filtering.

Consider the system shown in Figure 4.24 where the input signal is the single-ended output derived from the amplifier section of the 564. The dc reference voltage for the Schmitt trigger. The upper and lower trigger points are adjustable externally around the reference voltage giving the variable hysteresis. For very low data rates, carrier feedthrough will be negligible and the ideal situation depicted in Figure 4.25 results. Increased data rate produces the carrier feedthrough shown in the (b) figure where false FSK outputs result because the feedthrough amplitude exceeds the hysteresis voltage. Having the capability to increase the hysteresis as in (c) produces the desired FSK output in the presence of carrier feedthrough.

Another important factor to be considered is the temperature drift of the  $f_0'$  in the VCO. Small changes in  $f_0'$  will change the dc level of the input voltage to the Schmitt trigger. This dc voltage shift would produce errors in the FSK output in narrow-band systems where the mark and space deviations in  $f_{in}$  are less than the  $f_0'$  change with temperature. However this effect can be eliminated if the dc or average value of the amplifier signal is retrieved and used as the reference voltage for the Schmitt trigger. In this manner, variations in the  $f_0'$  with temperature do not affect the FSK output.

VCO OUTPUT FREQUENCY AS A FUNCTION OF INPUT VOLTAGE AND BIAS CURRENT

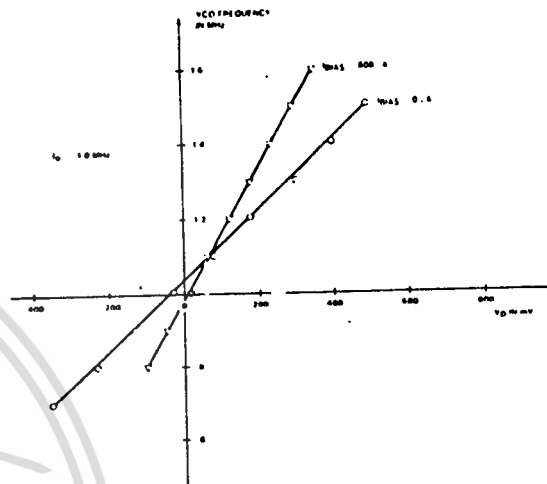


Figure 4.23

POST DETECTION PROCESSOR FOR FSK

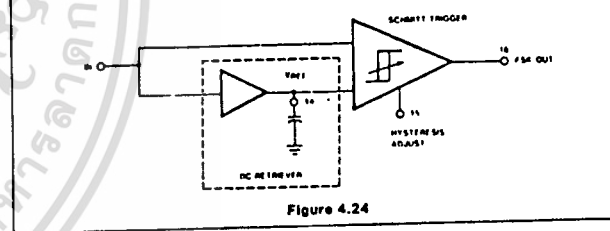


Figure 4.24

# Monolithic Phase-Locked Loop

The XR-215 is a highly versatile monolithic phase-locked loop (PLL) system designed for a wide variety of applications in both analog and digital communication systems. It is especially well suited for FM or FSK demodulation, frequency synthesis and tracking filter applications. The XR-215 can operate over a large choice of power supply voltages ranging from 5 V to 26 V and a wide frequency band of 0.5 Hz to 35 MHz. It can accommodate analog signals between 300 microvolts and 3 volts and can interface with conventional DTL, TTL, and ECL logic families.

**FEATURES**

- Wide Frequency Range: 0.5 Hz to 35 MHz
- Wide Supply Voltage Range: 5V to 26V
- Digital Programming Capability
- DTL, TTL and ECL Logic Compatibility on Inputs
- Wide Dynamic Range: 300µV to 3V, nominally
- ON-OFF Keying and Sweep Capability
- Wide Tracking Range: Adjustable from ± 1% to ± 50%
- High-Quality FM Detection: Distortion 0.15% Signal/Noise 65dB

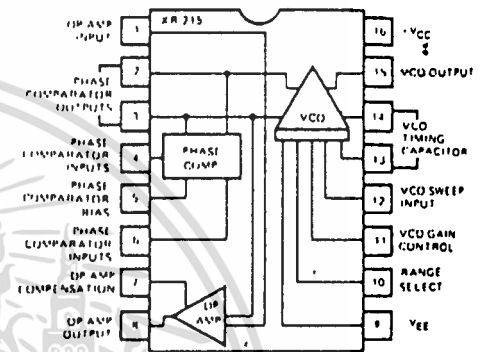
**APPLICATIONS**

- FM Demodulation
- Frequency Synthesis
- FSK Coding/Decoding (MODEM)
- Tracking Filters
- Signal Conditioning
- Tone Decoding
- Data Synchronization
- Telemetry Coding/Decoding
- FM, FSK and Sweep Generation
- Crystal-Controlled Clock Recovery
- Wideband Frequency Discrimination
- Voltage-to-Frequency Conversion

**ABSOLUTE MAXIMUM RATINGS**

Power Supply	26 volts
Power Dissipation (Package Limitation)	
Ceramic	750mW
Derate above 25°C	5mW/°C
SO-16	500mW
Derate above + 25°C	4mW/°C
Temperature Storage	- 65°C to + 150°C

**FUNCTIONAL BLOCK DIAGRAM**



**ORDERING INFORMATION**

Part Number	Package	Operating Temperature
XR-215CN	Ceramic	0°C to 70°C
XR-215MD	Japanese Dimension SO-16	0°C to 70°C

**SYSTEM DESCRIPTION**

The XR-215 monolithic PLL system consists of a balanced phase comparator, a highly stable voltage controlled oscillator (VCO) and a high speed operational amplifier. The phase comparator outputs are internally connected to the VCO inputs and to a noninverting input of the operational amplifier. A self-contained PLL System is formed by simply coupling the VCO output to either of the phase comparator inputs and adding a low-pass filter to the phase comparator output terminals.

The VCO section has frequency sweep, on-off keying, sync, and digital programming capability. Its frequency is highly stable and is determined by a single external capacitor. The operational amplifier can be used for audio preamplification in FM detector applications or as a high speed sense amplifier (or comparator) in FSK demodulation.

# XR-215

## ELECTRICAL CHARACTERISTICS

Test Conditions:  $V^+ = 12V$  (single supply),  $T_A = 25^\circ C$ , Test Circuit of Figure 2 with  $C_0 = 100 \mu F$ , (silver-mica)  $S_1, S_2, S_5$ , closed,  $S_3, S_4$  open unless otherwise specified.

PARAMETERS	LIMITS			UNITS	CONDITIONS
	MIN	TYP	MAX		
<b>I—GENERAL CHARACTERISTICS</b>					
<b>SUPPLY VOLTAGE</b>					
Single Supply	5		26	V dc	See Figure 2
Split Supply	$\pm 2.5$		$\pm 13$	V dc	See Figure 3
Supply Current	8	11	15	mA	See Figure 2
Upper Frequency Limit	20	35		MHz	See Figure 2; $S_1$ open, $S_4$ closed
Lowest Practical Operating Frequency		0.5		Hz	$C_0 = 500 \mu F$ (non-polarized)
<b>VCO SECTION:</b>					
Stability:					
Temperature		250	600	ppm/ $^\circ C$	See Figure 6, $0^\circ C \leq T_T < 70^\circ C$
Power Supply		0.1		%/V	$V^+ > 10V$
Sweep Range	5:1	8:1			$S_3$ closed, $S_4$ open, $0 < V_S < 6V$
Output Voltage Swing	1.5	2.5		V <sub>p-p</sub>	See Figure 9, $C_0 = 2000 \mu F$
Rise Time		20		ns	$S_5$ open
Fall Time		30		ns	10 pF to ground at Pin 15
<b>PHASE COMPARATOR SECTION:</b>					
Conversion Gain		2		V/rad	$V_{in} > 50 \text{ mV rms}$ (See characteristic curves)
Output Impedance		6		k $\Omega$	Measured looking into Pins 2 or 3
Output Offset Voltage		20	100	mV	Measured across Pins 2 and 3 $V_{in} = 0, S_5$ open
<b>OP AMP SECTION:</b>					
Open Loop Voltage Gain	66	80		dB	$S_2$ open
Slew Rate		2.5		V/ $\mu$ sec	$A_v = 1$
Input Impedance	0.5	2		M $\Omega$	
Output Impedance		2		k $\Omega$	
Output Swing	7	10		V <sub>p-p</sub>	$R_L = 30 \text{ k}\Omega$ from Pin 8 to ground
Input Offset Voltage		1		mV	
Input Bias Current		80		nA	
Common Mode Rejection		90		dB	
<b>II—SPECIAL APPLICATIONS</b>					
<b>A) FM Demodulation</b>					
Test Conditions: Test circuit of Figure 4, $V^+ = 12V$ , input signal = 10.7 MHz FM with $\Delta f = 75 \text{ kHz}$ , $f_{mod} = 1 \text{ kHz}$ .					
Detection Threshold		0.8	3	mV rms	50 $\Omega$ source
Demodulated Output Amplitude		500		mV rms	Measured at Pin 8
Distortion (THD)		0.15	0.5	%	
AM Rejection		40		dB	$V_{in} = 10 \text{ mV rms}$ , 30% AM
Output Signal/Noise		65		dB	
<b>B) Tracking Filter</b>					
Test Conditions: Test circuit of Figure 5, $V^+ = 12V$ , $f_0 = 1 \text{ MHz}$ , $V_{in} = 100 \text{ mV rms}$ , 50 $\Omega$ source.					
Tracking Range (% of $f_0$ )		$\pm 50$			See Figures 5 and 25
Discriminator Output		50		mV/%	Adjustable — See applications information
					$\frac{\Delta V_{out}}{\Delta f/f_0}$

\* Guaranteed, but not tested.

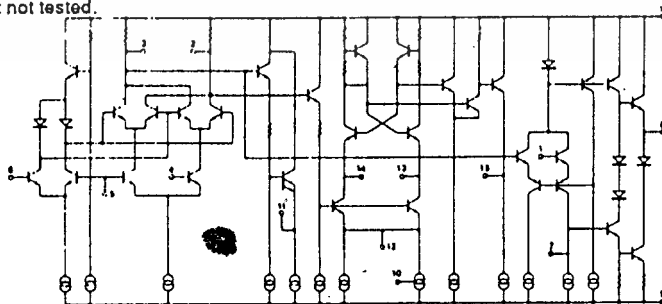


Figure 1. Equivalent Schematic Diagram

# XR-215

## DESCRIPTION OF CIRCUIT CONTROLS

### PHASE COMPARATOR INPUTS (PINS 4 AND 6)

One input to the phase comparator is used as the signal input; the remaining input should be ac coupled to the

VCO output (pin 15) to complete the PLL (see Figure 2). For split supply operation, these inputs are biased from ground as shown in Figure 3. For single supply operation, a resistive bias string similar to that shown in Figure 2 should be used to set the bias level at approximately  $V_{CC}/2$ . The dc bias current at these terminals is nominally 8  $\mu$ A.

### PHASE COMPARATOR BIAS (PIN 5)

This terminal should be dc biased as shown in Figures 2 and 3, and ac grounded with a bypass capacitor.

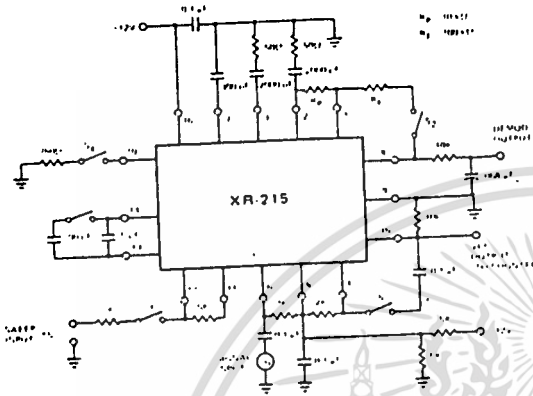


Figure 2. Test Circuit For Single Supply Operation

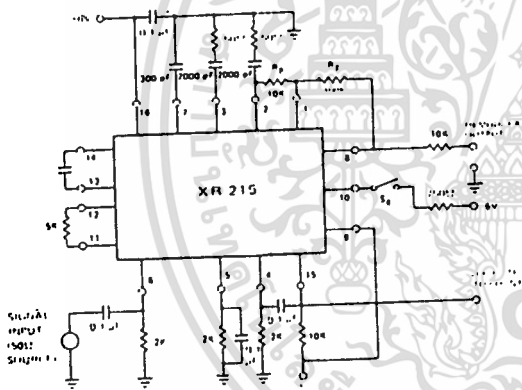


Figure 3. Test Circuit For Split-Supply Operation

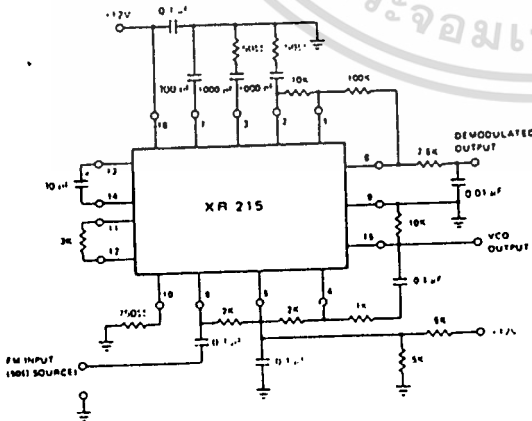


Figure 4. Test Circuit For FM Demodulation

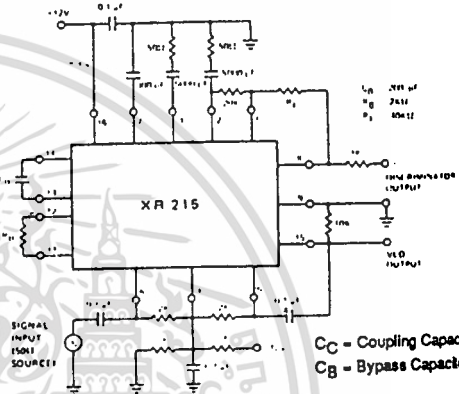


Figure 5. Test Circuit For Tracking Filter

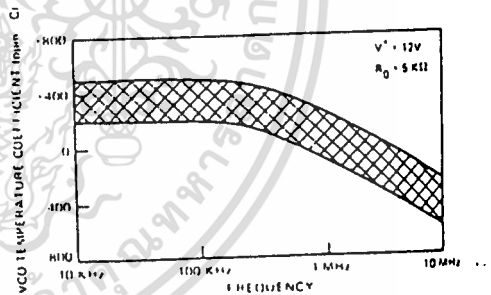


Figure 6. Typical VCO Temperature Coefficient Range as a Function of Operating Frequency (pin 10 open)

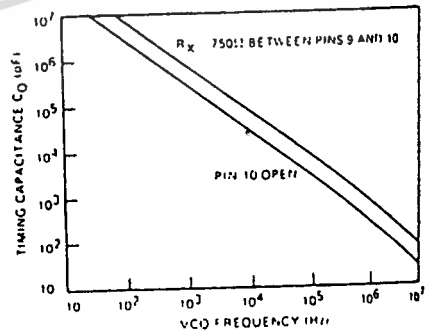


Figure 7. VCO Free Running Frequency vs Timing Capacitor

# XR-215

## PHASE COMPARATOR OUTPUTS (PINS 2 AND 3)

The low frequency (or dc) voltage across these pins corresponds to the phase difference between the two signals at the phase comparator inputs (pins 4 and 6). The phase comparator outputs are internally connected to the VCO control terminals (see Figure 1). One of the outputs (pin 3) is internally connected to the *non-inverting* input of the operational amplifier. The low-pass filter is achieved by connecting an RC network to the phase comparator outputs as shown in Figure 14.

## VCO TIMING CAPACITOR (PINS 13 AND 14)

The VCO free-running frequency,  $f_0$ , is inversely proportional to timing capacitor  $C_0$  connected between pins 13 and 14. (See Figure 7).

## VCO OUTPUT (PIN 15)

The VCO produces approximately a 2.5  $V_{p-p}$  output signal at this pin. The dc output level is approximately 2 volts below  $V_{CC}$ . This pin should be connected to pin 9 through a 10 k $\Omega$  resistor to increase the output current drive capability. For high voltage operation ( $V_{CC} >$

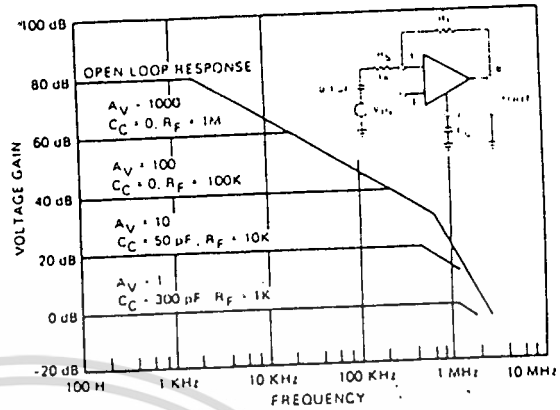


Figure 10. XR-215 Op Amp Frequency Response

20V), a 20 k $\Omega$  resistor is recommended. It is also advisable to connect a 500 $\Omega$  resistor in series with this output for short circuit protection.

## VCO SWEEP INPUT (PIN 12)

The VCO Frequency can be swept over a broad range by applying an analog sweep voltage,  $V_S$ , to pin 12 (see Figure 9). The impedance level looking into the sweep input is approximately 50 $\Omega$ . Therefore, for sweep applications, a current limiting resistor,  $R_S$ , should be connected in series with this terminal. Typical sweep characteristics of the circuit are shown in Figure 9. The VCO temperature dependence is minimum when the sweep input is not used.

**CAUTION:** For safe operation of the circuit, the maximum current,  $I_S$ , drawn from the sweep terminal should be limited to 5 mA or less under all operating conditions.

**ON-OFF KEYING:** With pin 10 open circuited, the VCO can be keyed off by applying a positive voltage pulse to the sweep input terminal. With  $R_S = 2$  k $\Omega$ , oscillations will stop if the applied potential at pin 12 is raised 3 volts above its open-circuit value. When sweep, sync, or on-off keying functions are not used,  $R_S$  should be left open circuited.

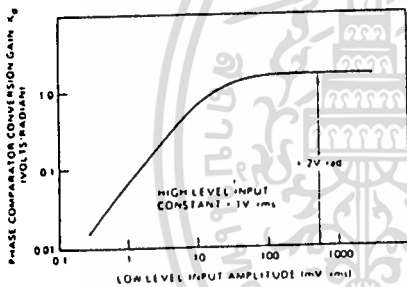


Figure 8. Phase Comparator Conversion Gain,  $K_d$ , versus Input Amplitude

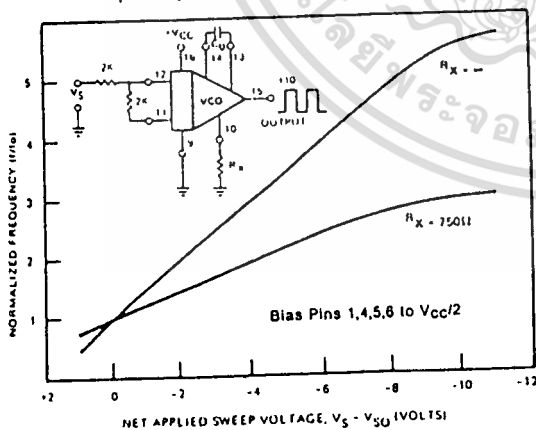


Figure 9. Typical Frequency Sweep Characteristics as a Function of Applied Sweep Voltage

(Note:  $V_{S0} \approx V_{CC} - 5V =$  Open Circuit Voltage at pin 12)

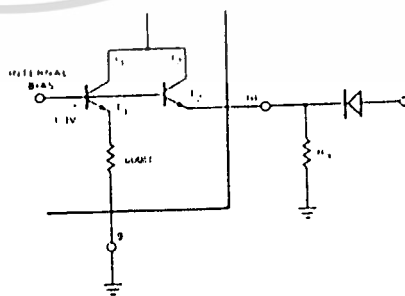


Figure 11. Explanation of VCO Range-Select Controls

# XR-215

## RANGE-SELECT (PIN 10)

The frequency range of the XR-215 can be extended by connecting an external resistor,  $R_X$ , between pins 9 and 10. With reference to Figure 11, the operation of the range-select terminal can be explained as follows: The VCO frequency is proportional to the sum of currents  $I_1$  and  $I_2$  through transistors  $T_1$  and  $T_2$  on the monolithic chip. These transistors are biased from a fixed internal reference. The current  $I_1$  is set internally, whereas  $I_2$  is set by the external resistor  $R_X$ . Thus, at any  $C_0$  setting, the VCO frequency can be expressed as:

$$f_0 = f_1 \left( 1 + \frac{0.6}{R_X} \right)$$

where  $f_1$  is the frequency with pin 10 open circuited and  $R_X$  is in k $\Omega$ . External resistor  $R_X$  ( $= 750\Omega$ ) is recommended for operation at frequencies in excess of 5 MHz.

The range select terminal can also be used for fine tuning the VCO frequency, by varying the value of  $R_X$ . Similarly, the VCO frequency can be changed in discrete steps by switching in different values of  $R_X$  between pins 9 and 10.

## DIGITAL PROGRAMMING

Using the range select control, the VCO frequency can be stepped in a binary manner, by applying a logic signal to pin 10, as shown in Figure 11. For high level logic inputs, transistor  $T_2$  is turned off, and  $R_X$  is effectively switched out of the circuit. Using the digital programming capability, the XR-215 can be time-multiplexed between two separate input frequencies, as shown in Figures 18 and 19.

## AMPLIFIER INPUT (PIN 1)

This pin provides the inverting input for the operational amplifier section. Normally it is connected to pin 2 through a 10 k $\Omega$  external resistor (see Figure 2 or 3).

## AMPLIFIER OUTPUT (PIN 8)

This pin is used as the output terminal for FM or FSK demodulation. The amplifier gain is determined by the external feedback resistor,  $R_F$ , connected between pins 1 and 8. Frequency response characteristics of the amplifier section are shown in Figure 10.

## AMPLIFIER COMPENSATION (PIN 7)

The operational amplifier can be compensated by a single 300 pF capacitor from pin 7 to ground. (See Figure 10).

## BASIC PHASE-LOCKED LOOP OPERATION

### PRINCIPLE OF OPERATION

The phase-locked loop (PLL) is a unique and versatile circuit technique which provides frequency selective tuning and filtering without the need for coils or inductors. As shown in Figure 12, the PLL is a feedback sys-

tem comprised of three basic functional blocks: phase comparator, low-pass filter and voltage-controlled oscillator (VCO). The basic principle of operation of a PLL can be briefly explained as follows: with no input signal applied to the system, the error voltage  $V_d$ , is equal to zero. The VCO operates at a set frequency,  $f_0$ , which is known as the "free-running" frequency. If an input signal is applied to the system, the phase comparator compares the phase and frequency of the input signal with the VCO frequency and generates an error voltage,  $V_e(t)$ , that is related to the phase and frequency difference between the two signals. This error voltage is then filtered and applied to the control terminal of the VCO. If the input frequency,  $f_s$ , is sufficiently close to  $f_0$ , the feedback nature of the PLL causes the VCO to synchronize or "lock" with the incoming signal. Once in lock, the VCO frequency is identical to the input signal, except for a finite phase difference.

### A LINEARIZED MODEL FOR PLL

When the PLL is in lock, it can be approximated by the linear feedback system shown in Figure 13.  $\phi_s$  and  $\phi_0$  are the respective phase angles associated with the input signal and the VCO output,  $F(s)$  is the low-pass filter response in frequency domain, and  $K_d$  and  $K_0$  are the conversion gains associated with the phase comparator and VCO sections of the PLL.

### DEFINITION OF XR-215 PARAMETERS FOR PLL APPLICATIONS

#### VCO FREE-RUNNING FREQUENCY, $f_0$

The VCO frequency with no input signal. It is determined by selection of  $C_0$  across pins 13 and 14 and can be increased by connecting an external resistor  $R_X$  between pins 9 and 10. It can be approximated as:

$$f_0 = \frac{200}{C_0} \left( 1 + \frac{0.6}{R_X} \right)$$

where  $C_0$  is in  $\mu\text{F}$  and  $R_X$  is in k $\Omega$ . (See Figure 7).

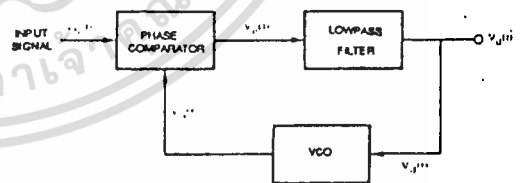


Figure 12. Block Diagram of a Phase-Locked Loop

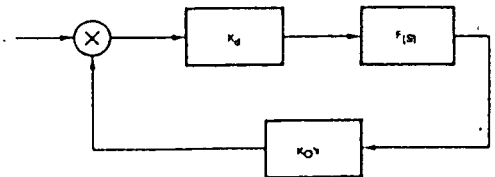


Figure 13. Linearized Model of a PLL as a Negative Feedback System

# XR-215

## PHASE COMPARATOR GAIN $K_d$

The output voltage from the phase comparator per radian of phase difference at the phase comparator inputs (pins 4 and 6). The units are volts/radians.

## VCO CONVERSION GAIN $K_O$

The VCO voltage-to-frequency conversion gain is determined by the choice of timing capacitor  $C_0$  and gain control resistor,  $R_0$  connected externally across pins 11 and 12. It can be expressed as

$$K_O \approx \frac{700}{C_0 R_0} \text{ (radians/sec)/volt}$$

where  $C_0$  is in  $\mu\text{F}$  and  $R_0$  is in  $\text{k}\Omega$ . For most applications, recommended values for  $R_0$  range from 1  $\text{k}\Omega$  to 10  $\text{k}\Omega$ .

## LOCK RANGE ( $\Delta\omega_L$ )

The range of frequencies in the vicinity of  $f_0$ , over which the PLL can maintain lock with an input signal. It is also known as the "tracking" or "holding" range. If saturation or limiting does not occur, the lock range is equal to the loop gain, i.e.  $\Delta\omega_L = K_T = K_d K_O$ .

## CAPTURE RANGE ( $\Delta\omega_C$ )

The band of frequencies in the vicinity of  $f_0$  where the PLL can establish or acquire lock with an input signal. It is also known as the "acquisition" range. It is always smaller than the lock range and is related to the low-pass filter bandwidth. It can be approximated by a parametric equation of the form:

$$\Delta\omega_C \approx \Delta\omega_L |F(j\Delta\omega_C)|$$

where  $|F(j\Delta\omega_C)|$  is the low-pass filter magnitude response at  $\omega = \Delta\omega_C$ . For a simple lag filter, it can be expressed as:

$$\Delta\omega_C \approx \sqrt{\frac{\Delta\omega_L}{T_1}}$$

where  $T_1$  is the filter time constant.

## AMPLIFIER GAIN $A_V$

The voltage gain of the amplifier section is determined by feedback resistors  $R_F$  and  $R_P$  between pins (8,1) and (2,1) respectively. (See Figures 2 and 3). It is given by:

$$A_V = \frac{-R_F}{R_1 + R_P}$$

where  $R_1$  is the 6  $\text{k}\Omega$  internal impedance at pin 2, and  $R_P$  is the external resistor between pins 1 and 2.

## LOW-PASS FILTER

The low-pass filter section is formed by connecting an external capacitor or RC network across terminals 2

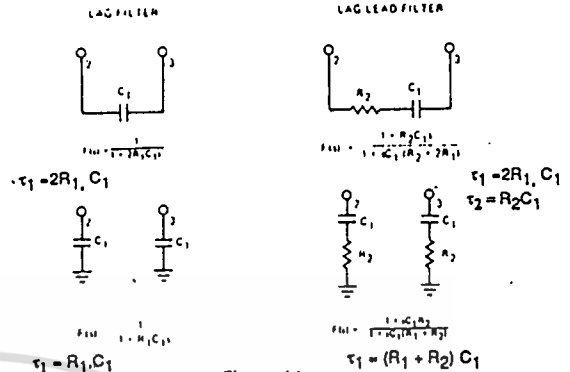


Figure 14.

and 3. The low-pass filter components can be connected either between pins 2 and 3 or, from each pin to ground. Typical filter configurations and corresponding filter transfer functions are shown in Figure 14 where  $R_1$  (6  $\text{k}\Omega$ ) is the internal impedance at pins 2 and 3. It should be noted that the rejection of the low pass filter decreases above 2  $\text{mHz}$  when the capacitor is tied from Pin 2 to 3.

## APPLICATIONS INFORMATION

### FM DEMODULATION

Figure 15 shows the external circuit connections to the XR-215 for frequency-selective FM demodulation. The choice of  $C_0$  is determined by the FM carrier frequency (see Figure 7). The low-pass filter capacitor  $C_1$  is determined by the selectivity requirements. For carrier frequencies of 1 to 10  $\text{MHz}$ ,  $C_1$  is in the range of 10  $C_0$  to 30  $C_0$ . The feedback resistor  $R_F$  can be used as a "volume-control" adjustment to set the amplitude of the demodulated output. The demodulated output amplitude is proportional to the FM deviation and to resistors  $R_0$  and  $R_F$ . For  $\pm 1\%$  FM deviation it can be approximated as:

$$V_{OUT} \approx R_0 R_F \left(1 + \frac{0.6}{R_X}\right) \text{ mV, rms}$$

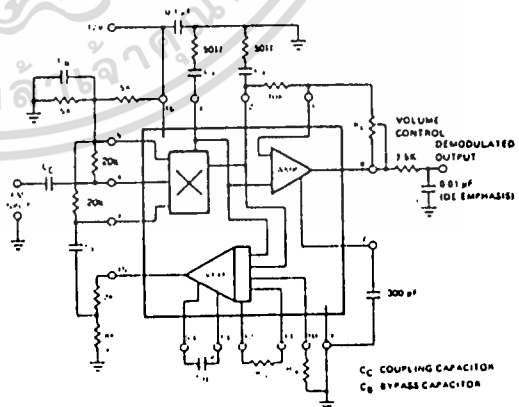


Figure 15. Circuit Connection for FM Demodulation

The damping factor can be calculated by using

$$\zeta = 1/2 \left( \frac{K_0 K_d}{\tau_1} \right)^{1/2} \cdot \tau_2 + \left( \frac{1}{K_0 K_d} \right)$$

# XR-215

where all resistors are in k $\Omega$  and  $R_X$  is the range extension resistor connected across pins 9 and 10. For circuit operation below 5 MHz,  $R_X$  can be open circuited. For operation above 5 MHz,  $R_X = 750\Omega$  is recommended.

Typical output signal/noise ratio and harmonic distortion are shown in Figures 16 and 17 as a function of FM deviation, for the component values shown in Figure 4.

## MULTI-CHANNEL DEMODULATION

The ac digital programming capability of the XR-215 allows a single circuit to be time-shared or multiplexed between two information channels, and thereby selectively demodulate two separate carrier frequencies. Figure 18 shows a practical circuit configuration for time-multiplexing the XR-215 between two FM channels, at 1 MHz and 1.1 MHz respectively. The channel-select logic signal is applied to pin 10, as shown in Figure 18 with both input channels simultaneously present at the PLL input (pin 4). Figure 19 shows the demodulated output as a function of the channel-select pulse where the two inputs have sinusoidal and triangular FM modulation respectively.

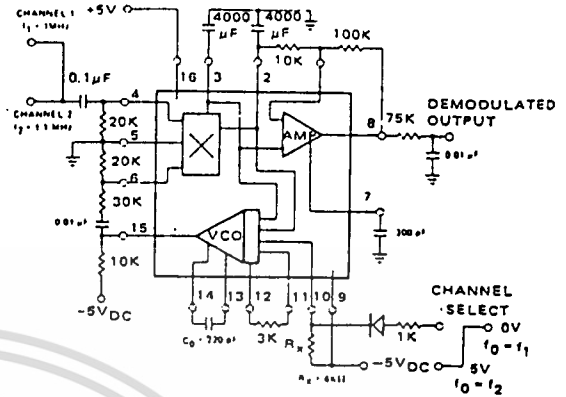


Figure 18. Time-Multiplexing XR-215 Between Two Simultaneous FM Channels

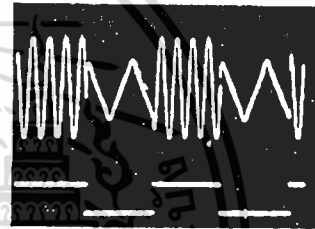


Figure 19. Demodulated Output Waveforms for Time-Multiplexed Operation

Top: Demodulated Output Sinewave - Channel 1  
Bottom: Channel Select Pulse  
Triangle Wave - Channel 2

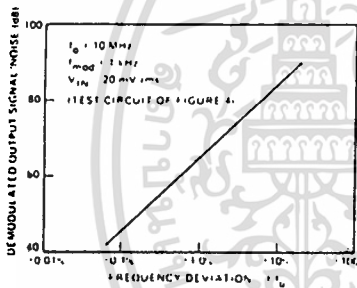


Figure 16. Output Signal/Noise Ratio as a Function of FM Deviation

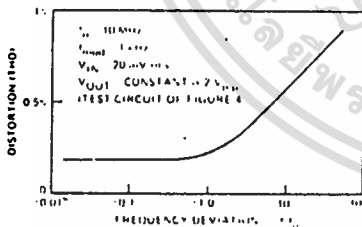


Figure 17. Output Distortion as a Function of FM Deviation

## FSK DEMODULATION

Figure 20 contains a typical circuit connection for FSK demodulation. When the input frequency is shifted, corresponding to a data bit, the dc voltage at the phase comparator outputs (pins 2 and 3) also reverses polarity. The operational amplifier section is connected as a comparator, and converts the dc level shift to a binary output pulse. One of the phase comparator outputs (pin

3) is ac grounded and serves as the bias reference for the operational amplifier section. Capacitor  $C_1$  serves as the PLL loop filter, and  $C_2$  and  $C_3$  as post-detection filters. Range select resistor,  $R_X$ , can be used as a fine-tune adjustment to set the VCO frequency.

Typical component values for 300 baud and 1200 baud operation are listed below:

OPERATING CONDITIONS	TYPICAL COMPONENT VALUES
300 Baud	
Low Band: $f_1 = 1070$ Hz	$R_0 = 5$ k $\Omega$ , $C_0 = 0.17$ $\mu$ F
$f_2 = 1270$ Hz	$C_1 = C_2 = 0.047$ $\mu$ F, $C_3 = 0.033$ $\mu$ F
High Band: $f_1 = 2025$ Hz	$R_0 = 8$ k $\Omega$ , $C_0 = 0.1$ $\mu$ F
$f_2 = 2225$ Hz	$C_1 = C_2 = C_3 = 0.033$ $\mu$ F
1200 Baud	$R_0 = 2$ k $\Omega$ , $C_0 = 0.12$ $\mu$ F
$f_1 = 1200$ Hz	$C_1 = C_3 = 0.003$ $\mu$ F,
$f_2 = 2200$ Hz	$C_2 = 0.01$ $\mu$ F

# XR-215

Note that for 300 Baud operation the circuit can be time-multiplexed between high and low bands by switching the external resistor  $R_X$  in and out of the circuit with a control signal, as shown in Figure 11.

## FSK GENERATION

The digital programming capability of the XR-215 can be used for FSK generation. A typical circuit connection for this application is shown in Figure 21. The VCO frequency can be shifted between the mark ( $f_2$ ) and space ( $f_1$ ) frequencies by applying a logic pulse to pin 10. The circuit can provide two separate FSK outputs: a low level ( $2.5 V_{p-p}$ ) output at pin 15 or a high amplitude ( $10 V_{p-p}$ ) output at pin 8. The output at each of these terminals is a symmetrical squarewave with a typical second harmonic content of less than 0.3%.

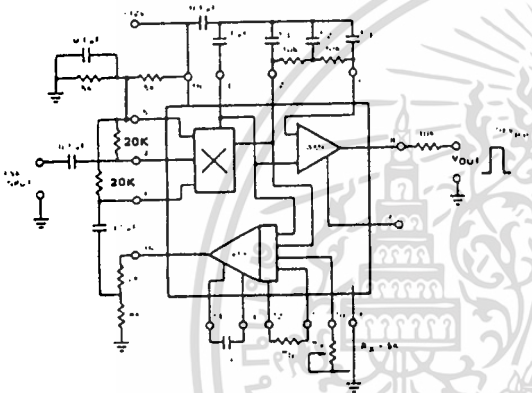


Figure 20. Circuit Connection for FSK Demodulation

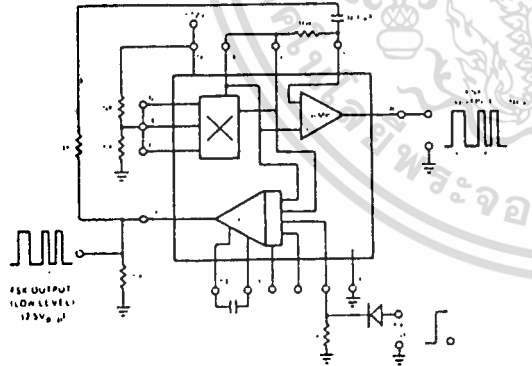


Figure 21. Circuit Connection For FSK Generation

## FREQUENCY SYNTHESIS

In frequency synthesis applications, a programmable counter or divide-by-N circuit is connected between the VCO output (pin 15) and one of the phase detector inputs (pins 4 or 6), as shown in Figure 22. The principle of operation of the circuit can be briefly explained as

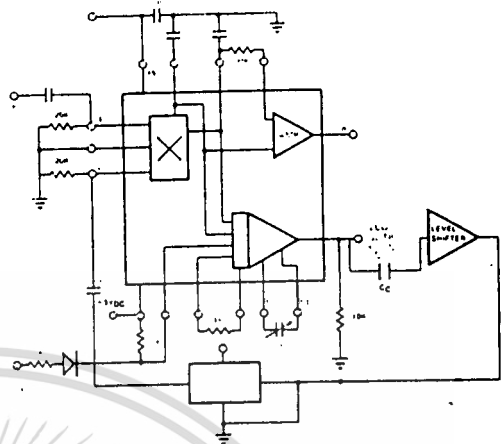


Figure 22. Circuit Connection For Frequency Synthesis

follows: The counter divides down the oscillator frequency by the programmable divider modulus,  $N$ . Thus, when the entire system is phase-locked to an input signal at frequency,  $f_s$ , the oscillator output at pin 15 is at a frequency ( $Nf_s$ ), where  $N$  is the divider modulus. By proper choice of the divider modulus, a large number of discrete frequencies can be synthesized from a given reference frequency. The low-pass filter capacitor  $C_1$  is normally chosen to provide a cut-off frequency equal to 0.1% to 2% of the signal frequency,  $f_s$ .

The circuit was designed to operate with commercially available monolithic programmable counter circuits using TTL logic, such as MC4016, SN5493 or equivalent. The digital or analog tuning characteristics of the VCO can be used to extend the available range of frequencies of the system, for a given setting of the timing capacitor  $C_0$ .

Typical input and output waveforms for  $N = 16$  operation with  $f_s = 100$  kHz and  $f_0 = 1.6$  MHz are shown in Figure 23.

## TRACKING FILTER/DISCRIMINATOR

The wide tracking range of the XR-215 allows the system to track an input signal over a 3:1 frequency range.



Figure 23. Typical Input/Output Waveforms For  $N = 16$   
Top: Input (100 kHz)  
Bottom: VCO Output (1.6 MHz)  
Vertical Scale 1 V/cm





## CD4020BM/CD4020BC 14-Stage Ripple Carry Binary Counters

## CD4040BM/CD4040BC 12-Stage Ripple Carry Binary Counters

## CD4060BM/CD4060BC 14-Stage Ripple Carry Binary Counters

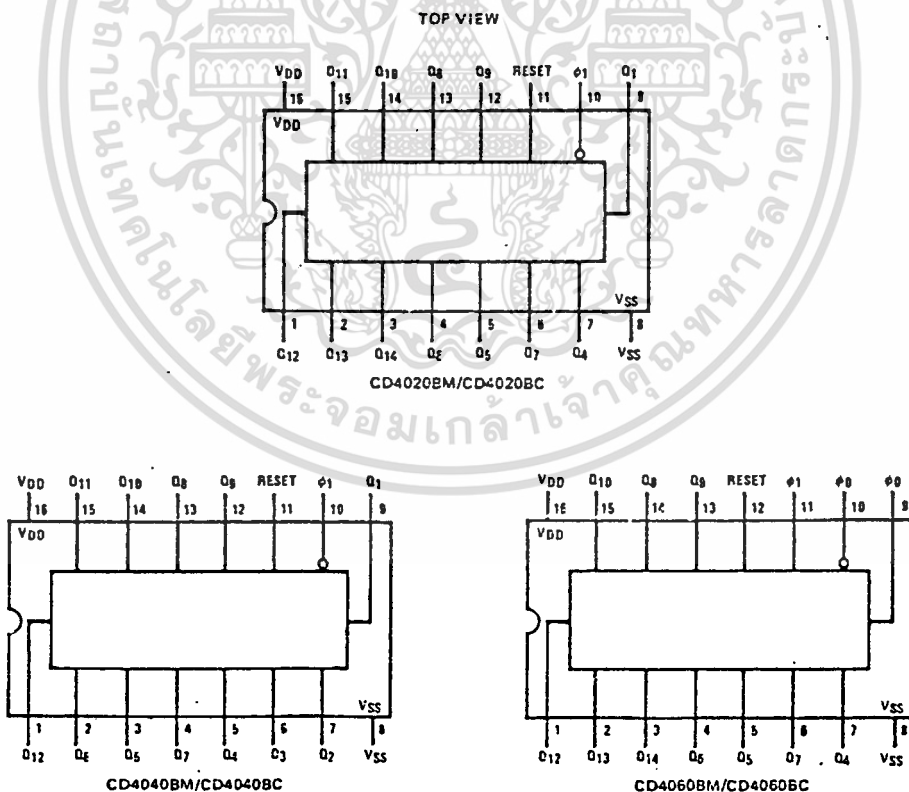
### general description

The CD4020BM/CD4020BC, CD4060BM/CD4060BC are 14-stage ripple carry binary counters, and the CD4040BM/CD4040BC is a 12-stage ripple carry binary counter. The counters are advanced one count on the negative transition of each clock pulse. The counters are reset to the zero state by a logical "1" at the reset input independent of clock.

### features

- Wide supply voltage range 1.0V to 15V
- High noise immunity 0.45V<sub>DD</sub> typ
- Low power TTL compatibility fan out of 2 driving 74L or 1 driving 74LS
- Medium speed operation 8MHz typ at V<sub>DD</sub> = 10V
- Schmitt trigger clock input

### connection diagrams



CD4020BM/CD4020BC, CD4040BM/CD4040BC, CD4060BM/CD4060BC

**absolute maximum ratings** (Notes 1 and 2)

V <sub>DD</sub>	Supply Voltage	-0.5V to +18V
V <sub>IN</sub>	Input Voltage	-0.5V to V <sub>DD</sub> + 0.5V
T <sub>S</sub>	Storage Temperature Range	-65°C to +150°C
P <sub>D</sub>	Package Dissipation	500mW
T <sub>L</sub>	Lead Temperature (soldering, 10 seconds)	300°C

**recommended operating conditions**

V <sub>DD</sub>	Supply Voltage	+3V to +15V
V <sub>IN</sub>	Input Voltage	0V to V <sub>DD</sub>
T <sub>A</sub>	Operating Temperature Range	-55°C to +125°C
	CD40XXBM	-40°C to +85°C
	CD40XXBC	

**dc electrical characteristics** CD40XXBM (Note 2)

PARAMETER	CONDITIONS	-55°C		+25°C			+125°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I <sub>DD</sub> Quiescent Device Current	V <sub>DD</sub> = 5V		5			5		150	μA
	V <sub>DD</sub> = 10V		10			10		300	μA
	V <sub>DD</sub> = 15V		20			20		600	μA
V <sub>OL</sub> Low Level Output Voltage	V <sub>DD</sub> = 5V		0.05		0	0.05		0.05	V
	V <sub>DD</sub> = 10V		0.05		0	0.05		0.05	V
	V <sub>DD</sub> = 15V		0.05		0	0.05		0.05	V
V <sub>OH</sub> High Level Output Voltage	V <sub>DD</sub> = 5V	4.95		4.95	5		4.95		V
	V <sub>DD</sub> = 10V	9.95		9.95	10		9.95		V
	V <sub>DD</sub> = 15V	14.95		14.95	15		14.95		V
V <sub>IL</sub> Low Level Input Voltage	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.5V or 4.5V		1.5		2	1.5		1.5	V
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 1.0V or 9.0V		3.0		4	3.0		3.0	V
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V or 13.5V		4.0		6	4.0		4.0	V
V <sub>IH</sub> High Level Input Voltage	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.5V or 4.5V	3.5		3.5	3		3.5		V
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 1.0V or 9.0V	7.0		7.0	6		7.0		V
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V or 13.5V	11.0		11.0	9		11.0		V
I <sub>OL</sub> Low Level Output Current (See Note 3)	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.4V		0.64		0.51	0.88		0.36	mA
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 0.5V		1.6		1.3	2.25		0.9	mA
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V		4.2		3.4	8.8		2.4	mA
I <sub>OH</sub> High Level Output Current (See Note 3)	V <sub>DD</sub> = 5V, V <sub>O</sub> = 4.6V	-0.64		-0.51	-0.88		-0.36		mA
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 9.5V	-1.6		-1.3	-2.25		-0.9		mA
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 13.5V	-4.2		-3.4	-8.8		-2.4		mA
I <sub>IN</sub> Input Current	V <sub>DD</sub> = 15V, V <sub>IN</sub> = 0V		-0.10		-10 <sup>-5</sup>	-0.10		-1.0	μA
	V <sub>DD</sub> = 15V, V <sub>IN</sub> = 15V		0.10		10 <sup>-5</sup>	0.10		1.0	μA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The tables of "Recommended Operating Conditions" and "Electrical Characteristics" provide conditions for actual device operation.

Note 2: V<sub>SS</sub> = 0V unless otherwise specified.

Note 3: Data does not apply to oscillator points  $\phi_0$  and  $\phi_0$  of CD4060BM/CD4060BC.

dc electrical characteristics CD40XXBC (Note 2)

PARAMETER	CONDITIONS	-40°C		+25°C		+85°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	
I <sub>DD</sub> Quiescent Device Current	V <sub>DD</sub> = 5V	20		20		150		μA
	V <sub>DD</sub> = 10V	40		40		300		μA
	V <sub>DD</sub> = 15V	80		80		600		μA
V <sub>OL</sub> Low Level Output Voltage	V <sub>DD</sub> = 5V	0.05		0	0.05	0.05		V
	V <sub>DD</sub> = 10V	0.05		0	0.05	0.05		V
	V <sub>DD</sub> = 15V	0.05		0	0.05	0.05		V
V <sub>OH</sub> High Level Output Voltage	V <sub>DD</sub> = 5V	4.95		4.95	5	4.95		V
	V <sub>DD</sub> = 10V	9.95		9.95	10	9.95		V
	V <sub>DD</sub> = 15V	14.95		14.95	15	14.95		V
V <sub>IL</sub> Low Level Input Voltage	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.5V or 4.5V	1.5		2	1.5	1.5		V
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 1.0V or 9.0V	3.0		4	3.0	3.0		V
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V or 13.5V	4.0		6	4.0	4.0		V
V <sub>IH</sub> High Level Input Voltage	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.5V or 4.5V	3.5		3.5	3	3.5		V
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 1.0V or 9.0V	7.0		7.0	6	7.0		V
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V or 13.5V	11.0		11.0	9	11.0		V
I <sub>OL</sub> Low Level Output Current (See Note 3)	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.4V	0.52		0.44	0.88	0.36		mA
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 0.5V	1.3		1.1	2.25	0.9		mA
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V	3.6		3.0	8.8	2.4		mA
I <sub>OH</sub> High Level Output Current (See Note 3)	V <sub>DD</sub> = 5V, V <sub>O</sub> = 4.6V	-0.52		-0.44	-0.88	-0.36		mA
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 9.5V	-1.3		-1.1	-2.25	-0.9		mA
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 13.5V	-3.6		-3.6	-8.8	-2.4		mA
I <sub>IN</sub> Input Current	V <sub>DD</sub> = 15V, V <sub>IN</sub> = 0V	-0.30		-10 <sup>-5</sup>	-0.30	-1.0		μA
	V <sub>DD</sub> = 15V, V <sub>IN</sub> = 15V	0.30		10 <sup>-5</sup>	0.30	+1.0		μA

ac electrical characteristics CD4020BM/CD4020BC, CD4040BM/CD4040BC

T<sub>a</sub> = 25°C, C<sub>L</sub> = 50pF, R<sub>L</sub> = 200k, t<sub>r</sub> = t<sub>f</sub> = 20ns, unless otherwise noted.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t <sub>PHL1</sub> , t <sub>PLH1</sub> Propagation Delay Time to Q <sub>1</sub>	V <sub>DD</sub> = 5V		250	550	ns
	V <sub>DD</sub> = 10V		100	210	ns
	V <sub>DD</sub> = 15V		75	150	ns
t <sub>PHL</sub> , t <sub>PLH</sub> Interstage Propagation Delay Time from Q <sub>n</sub> to Q <sub>n+1</sub>	V <sub>DD</sub> = 5V		150	330	ns
	V <sub>DD</sub> = 10V		60	125	ns
	V <sub>DD</sub> = 15V		45	90	ns
t <sub>THL</sub> , t <sub>TLH</sub> Transition Time	V <sub>DD</sub> = 5V		100	200	ns
	V <sub>DD</sub> = 10V		50	100	ns
	V <sub>DD</sub> = 15V		40	80	ns
t <sub>WL</sub> , t <sub>WH</sub> Minimum Clock Pulse Width	V <sub>DD</sub> = 5V		125	335	ns
	V <sub>DD</sub> = 10V		50	125	ns
	V <sub>DD</sub> = 15V		40	100	ns
t <sub>rCL</sub> , t <sub>fCL</sub> Maximum Clock Rise and Fall Time	V <sub>DD</sub> = 5V		-	no limit	ns
	V <sub>DD</sub> = 10V		-	no limit	ns
	V <sub>DD</sub> = 15V		-	no limit	ns
f <sub>CL</sub> Maximum Clock Frequency	V <sub>DD</sub> = 5V	1.5	4		MHz
	V <sub>DD</sub> = 10V	4	10		MHz
	V <sub>DD</sub> = 15V	5	12		MHz
t <sub>PHL(R)</sub> Reset Propagation Delay	V <sub>DD</sub> = 5V		200	450	ns
	V <sub>DD</sub> = 10V		100	210	ns
	V <sub>DD</sub> = 15V		80	170	ns
t <sub>WH(R)</sub> Minimum Reset Pulse Width	V <sub>DD</sub> = 5V		200	450	ns
	V <sub>DD</sub> = 10V		100	210	ns
	V <sub>DD</sub> = 15V		80	170	ns
C <sub>in</sub> Average Input Capacitance	Any Input (Note 1)		5	7.5	pF
C <sub>pd</sub> Power Dissipation Capacitance	(Note 2)		50		pF

Note 1: Capacitance guaranteed by periodic testing.

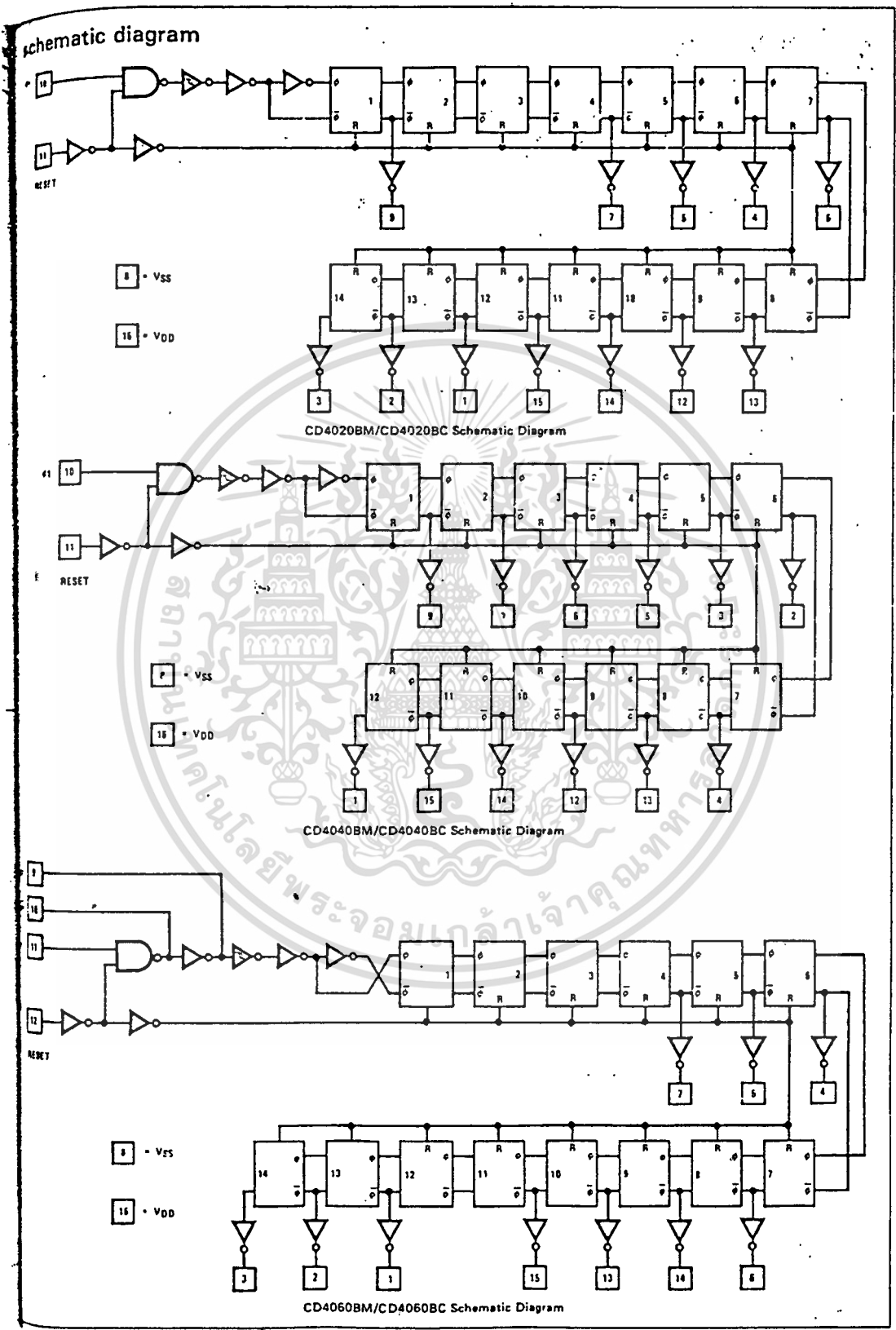
Note 2: C<sub>pd</sub> determines the no-load etc.

ac electrical characteristics CD4060BM/CD4060BC  $T_A = 25^\circ\text{C}$ ,  $C_L = 50\text{pF}$ ,  $R_L = 200\text{k}$ ,  $t_r = t_f = 20\text{ns}$ , unless otherwise noted

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$t_{PHL}$ , $t_{PLH}$	Propagation Delay Time to $Q_4$	$V_{DD} = 5\text{V}$		550	1300	ns
		$V_{DD} = 10\text{V}$		250	525	ns
		$V_{DD} = 15\text{V}$		200	400	ns
$t_{PHL}$ , $t_{PLH}$	Interstage Propagation Delay Time from $Q_n$ to $Q_{n+1}$	$V_{DD} = 5\text{V}$		150	330	ns
		$V_{DD} = 10\text{V}$		60	125	ns
		$V_{DD} = 15\text{V}$		45	90	ns
$t_{THL}$ , $t_{TLH}$	Transition Time	$V_{DD} = 5\text{V}$		100	200	ns
		$V_{DD} = 10\text{V}$		50	100	ns
		$V_{DD} = 15\text{V}$		40	80	ns
$t_{WL}$ , $t_{WH}$	Minimum Clock Pulse Width	$V_{DD} = 5\text{V}$		170	500	ns
		$V_{DD} = 10\text{V}$		65	170	ns
		$V_{DD} = 15\text{V}$		50	125	ns
$t_{rCL}$ , $t_{fCL}$	Maximum Clock Rise and Fall Time	$V_{DD} = 5\text{V}$		—	no limit	ns
		$V_{DD} = 10\text{V}$		—	no limit	ns
		$V_{DD} = 15\text{V}$		—	no limit	ns
$f_{CL}$	Maximum Clock Frequency	$V_{DD} = 5\text{V}$	1	3		MHz
		$V_{DD} = 10\text{V}$	3	8		MHz
		$V_{DD} = 15\text{V}$	4	10		MHz
$t_{PHL(R)}$	Reset Propagation Delay	$V_{DD} = 5\text{V}$		200	450	ns
		$V_{DD} = 10\text{V}$		100	210	ns
		$V_{DD} = 15\text{V}$		80	170	ns
$t_{WH(R)}$	Minimum Reset Pulse Width	$V_{DD} = 5\text{V}$		200	450	ns
		$V_{DD} = 10\text{V}$		100	210	ns
		$V_{DD} = 15\text{V}$		80	170	ns
$C_{in}$	Average Input Capacitance	Any Input (Note 1)		5	7.5	pF
$C_{pd}$	Power Dissipation Capacitance	(Note 2)		50		pF

Note 1: Capacitance guaranteed by periodic testing.

Note 2:  $C_{pd}$  determines the no-load etc.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้