เครื่องแบ่งสัญญาณภาพ

VIDEO MULTIPLUX SECTION

โดย

นายกฤษฎา พิเชษฐพงษานนท์ 38012046

นายกฤษฎา พุทธิพิพัฒน์ขจร 38012047

นายพิเชษฐ์ ผลึกเพชร 38012060

วัน เดือน ปี -1 ต.ค. 2541

เลขทะเบียน 038052

เลขเรียกหนังสือ T 30472 ก 2539

อาจารย์ที่ปรึกษา

อาจารย์อุทัย ศรีธีระวิโรจน์

ปริญญานิพนธ์สำหรับปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชา เทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ปริญญานิพนธ์ปีการศึกษา 2539

ภาควิชา เทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องแบ่งสัญญาณภาพ

VIDEO MULTI SECTION

ผู้จัดทำ

1. นายกฤษฎา พิเชษฐพงษานนท์ 38012046
2. นายกฤษฎา พุทธิพิพัฒน์ขจร 38012047
3. นายพิเชษฐ์ ผลึกเพชร 38012060

อาจารย์ที่ปรึกษา

(อาจารย์อุทัย ศรีธีระวิโรจน์)

(_____) ประธานกรรมการ

(_____) กรรมการ

(_____) กรรมการ

(_____) กรรมการ

(_____) กรรมการ

(_____) กรรมการ

(_____) กรรมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องแบ่งสัญญาณภาพ

VIDEO MULTI SECTION

โดย

นายกฤษฎา พิเชษฐพงษานนท์ 38012046

นายกฤษฎา พุทธิพิพัฒน์ขจร 38012047

นายพิเชษฐ์ ผลึกเพชร 38012060

อาจารย์ที่ปรึกษา อาจารย์อุทัย ศรีธีระวิโรจน์

บทคัดย่อ

เครื่องแบ่งสัญญาณภาพหรือ VIDEO MULTI SECTION มีหลักการที่ว่าจะแบ่งสัญญาณภาพปกติ มาแยกออกเป็นสี่ส่วน แล้วแต่ละส่วนจะไปลงบนจอโทรทัศน์ แต่ละเครื่องเป็นจำนวน 4 เครื่อง ซึ่งจะได้เป็นภาพโทรทัศน์ที่ใหญ่ขึ้นซึ่งเท่ากับภาพเดียวในโทรทัศนขนาด 2 x 2 หรือ 4 เครื่องต่อกัน

การทดลองนี้จะใช้หลักการการแปลงสัญญาณภาพที่เป็น Analog ให้เป็นสัญญาณ Digital ที่มีขนาด 8 บิท ซึ่งใช้ความถี่ในการสุ่ม 10 MHz แล้วนำ Digital ขนาด 8 บิท มาจัดเก็บในหน่วยความจำ จากนั้นนำมาขยายบิทเพื่อให้ภาพขยายขึ้น และทำการแปลงดิจิตอลให้เป็นอนาล็อกภาพเดิม นำมารวมกับสัญญาณซิ้ง จะได้สัญญาณออกมาสมบูรณ์เป็นภาพขนาด 2 x 2 หรือโทรทัศน์ 4 เครื่องต่อกัน.

Abstract

This circuit board will accept and video signal and will seperate it to display on four monitors , each one will display in each section of picture

Operation of this circuit is converting from video signal to 8 bit digital form and sampling it by 10 MHz of pulse for stor in the memory. to display , the data in memory will be read and extended to bigger size of bit and converted to be am video signal while adding video sync together the adventage for this applicatiin is displaging an vedeo signal on the bigger screen

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทนำ

- แนวความคิดในการทำเครื่องแบ่งสัญญาณภาพ
- จุดมุ่งหมายโครงงาน
- วัตถุประสงค์ของโครงงาน

บทที่ 1 ทฤษฎีโทรทัศน์ทั่วไป

1.1 ภาพประกอบด้วยอะไรบ้าง	1-4
1.2 การสแกนภาพ	4-7
1.3 การสร้างสัญญาณโทรทัศน์	7-11
1.4 สัญญาณโทรทัศน์ประกอบไปด้วยสัญญาณอะไรบ้าง	11-14
1.5 หลักการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล	15-19
1.6 หลักการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก	19-20
1.7 ลักษณะคุณสมบัติ D/A	20-21

บทที่ 2 หลักการทำงานพื้นฐานของเครื่องแบ่งสัญญาณภาพ

2.1 บล็อกไดอะแกรมพื้นฐาน	22
2.2 หลักการทำงานของบล็อกไดอะแกรมพื้นฐาน	22-27

บทที่ 3 ระบบของเครื่องแบ่งสัญญาณภาพ

3.1 ส่วนโครงสร้างของระบบ	28-31
3.2 ส่วนวงจรแยกซิ้งค์	31
3.3 ส่วนเปลี่ยนสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล	31-37
3.4 ส่วนหน่วยความจำ	37-45
3.5 ส่วนกำเนิดสัญญาณควบคุมการเขียนข้อมูล	46-50
3.6 ส่วนกำเนิดสัญญาณควบคุมการอ่านข้อมูล	50-52
3.7 ส่วนกำเนิดสัญญาณควบคุมเปลี่ยนชุดหน่วยความจำ	53
3.8 ส่วนแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกและส่วนผสมสัญญาณ	53-54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 หลักการออกแบบและผลการทดลอง 55-62

กิตติกรรมประกาศ

ภาคผนวก

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

แนวความคิดในการทำเครื่องแบ่งสัญญาณภาพ

จากการที่โทรทัศน์เป็นสิ่งที่แพร่หลายมากที่สุดในขณะนี้ โดยผู้คนจะสามารถรับรู้ข่าวสารได้จากโทรทัศน์ ดังนั้นจากแนวความคิดที่ต้องการให้ชุมชนได้รับรู้ข่าวสารจากโทรทัศน์ที่มีขนาดใหญ่กว่ามาตราฐานปกติได้ จากแนวความคิดนี้ทำให้เราทำเครื่องแบ่งสัญญาณภาพขึ้นมา โดยหลักการง่าย ๆ คือว่า แบ่งสัญญาณสำหรับแต่ละจอภาพ นอกจากจะแบ่งออกเป็นส่วน ๆ แล้ว เรานำแต่ละส่วนมาขยายให้ได้เท่ากับ 1 จอภาพ เพื่อให้การจัดการกับสัญญาณภาพสามารถทำได้ง่าย จึงทำการแปลงสัญญาณภาพให้เป็นข้อมูลทางดิจิตอล แล้วนำข้อมูลมาจัดเก็บไว้ใน Memmory แล้วค่อยเปลี่ยนข้อมูลภาพดิจิตอลให้มาเป็นสัญญาณภาพ Analog เหมือนเดิม ซึ่งเราจะได้ภาพออกมามีขนาดใหญ่กว่าเดิม

จุดหมายของโครงงาน

จุดมุ่งหมายใน โครงงานนี้คือ ทำเครื่องแบ่งสัญญาณภาพที่สามารถแปลงสัญญาณ Analog เป็นสัญญาณ Digital เพื่อเก็บข้อมูลไว้ และแปลงสัญญาณ Digital เป็น Analog โดยขยายภาพออกทางจอโทรทัศน์ที่มีขนาด 2 * 2 คือ เอาโทรทัศน์ 4 เครื่องมาต่อกันให้เป็นหนึ่งภาพ โดยภาพที่ออกมาเป็นแบบโทรทัศน์ขาวดำที่มีความละเอียดของภาพ 512 * 512 จุด และแต่ละจุดภาพมีระดับความแตกต่างกัน 256 ระดับ

วัตถุประสงค์ประสงค์ของโครงงาน

1. ต้องการออกแบบเครื่องแบ่งสัญญาณภาพ
2. เพื่อศึกษาการเปลี่ยนสัญญาณ Analog เป็น Digital และเปลี่ยนสัญญาณ Digital เป็น Analog
3. ศึกษารูปแบบของสัญญาณโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

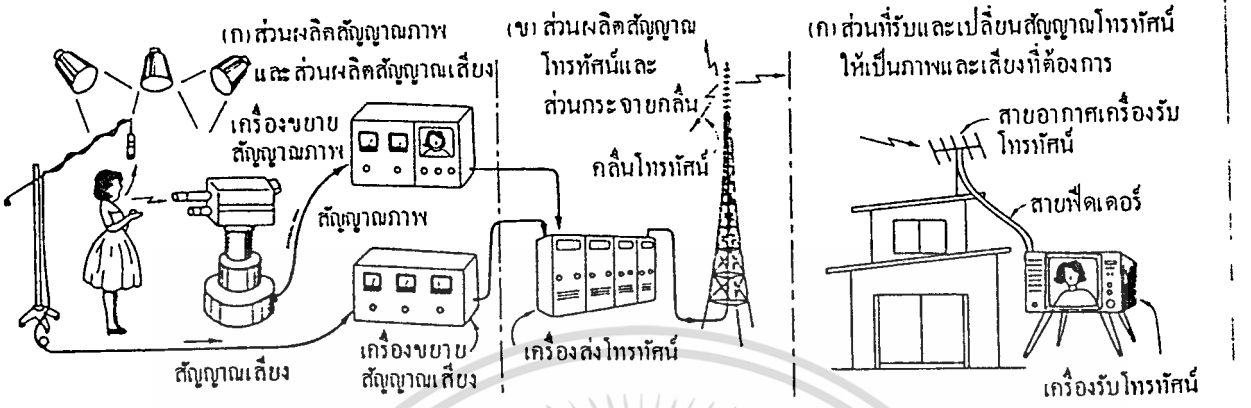
บทที่ 1
ทฤษฎีและหลักการ

ทฤษฎี

กล่าวโดยทั่วไป โทรทัศน์ ก็คือ การส่งกระจายเสียงพร้อมทั้งภาพที่เคลื่อนไหวออกไปในรูปของสัญญาณโทรทัศน์ และการรับสัญญาณนี้มาเปลี่ยนให้เป็นเสียงและภาพที่ต้องการ ภาพที่เห็นเคลื่อนไหวติดต่อกันบนจอเครื่องรับโทรทัศน์นั้น ความจริงก็คือ ผลของการส่งและรับภาพนิ่งที่มีความแตกต่างกันเล็กน้อยหลาย ๆ ภาพต่อหน่วยเวลาเอง ซึ่งเป็นหลักการเดียวกับการฉายภาพยนต์ แล้วภาพนั้นจางหายไปโดยกระทันหัน ก็จะยังรู้สึกเห็นติดตาอยู่อีกในชั่วระยะเวลาอันสั้น ลักษณะพิเศษนี้มีชื่อเรียกกันว่า Persistence of vision ด้วยเหตุนี้ หากมีการฉายภาพนิ่งซึ่งแต่ละภาพมีความแตกต่างกันเล็กน้อย ติดต่อกันไปเป็นจำนวนหลาย ๆ ภาพต่อวินาที สายตาของคนเราก็จะเห็นเป็นภาพเคลื่อนไหวต่อเนื่องกันไป โดยไม่หยุดชะงักซึ่งผลของการทดลองกับชนหมู่มาก แสดงให้ทราบว่า สายตาของคนเราจะจับอาการกระพริบของภาพไม่ได้เลย หากจำนวนภาพนิ่งต่อหนึ่งวินาทีนั้น ซึ่งมีเกินจำนวนสิบหกภาพขึ้นไป การส่งโทรทัศน์ในระบบอเมริกัน ซึ่งเป็นวิธีการของสถานีโทรทัศน์ ไทยทีวี ช่อง 4 และสถานีโทรทัศน์กองทัพบก ช่อง 7 ในพระนครขณะนี้ มีจำนวน 30 ภาพต่อวินาที และภาพหนึ่ง ๆ มีการส่งสองครั้ง ส่วนการส่งโทรทัศน์ในระบบยุโรป อันเป็นวิธีการของสถานีโทรทัศน์สีกองทัพบก และ สถานีโทรทัศน์สีไทยทีวี ช่อง 3 จะมีจำนวน 25 ภาพต่อวินาที ภาพหนึ่ง ๆ ก็มีการส่งสองครั้งเช่นเดียวกัน

สมมุติว่า ต้องการออกอากาศรายการสดตามรูปที่ 1.1 ไมโครโฟนในห้องส่งจะช่วยเปลี่ยนเสียงให้เป็นสัญญาณทางไฟฟ้า เรียกว่ สัญญาณเสียง ในทำนองเดียวกัน กล้องโทรทัศน์ก็จะช่วยเปลี่ยนภาพในห้องส่งให้เป็นสัญญาณทางไฟฟ้าอีกชนิดหนึ่ง เรียกว่า สัญญาณภาพ สัญญาณทางไฟฟ้า ทั้งสองชนิดนี้ยังอ่อนกำลังและยังไม่เหมาะที่จะนำออกอากาศได้ทันที จึงจำเป็นต้องมีการขยายกำลังเสียก่อน โดยผ่านเข้าไปในเครื่องขยายสัญญาณเสียงและ เครื่องขยายสัญญาณภาพตามลำดับ หลังจากนั้น จึงนำเข้าเครื่องส่งโทรทัศน์เพื่ออาศัยให้สัญญาณวิทยุเป็นตัวพาห์นำออกอากาศด้วยวิธีการทางไฟฟ้าเรียกว่า Modulation ซึ่งมีอยู่หลายแบบด้วยกัน สัญญาณที่มาถึงเครื่องรับโทรทัศน์โดยการซ่อนเอาสัญญาณภาพและสัญญาณเสียงไว้ในสัญญาณวิทยุที่กล่าวถึงนี้ เรียกว่า สัญญาณโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 การส่งและการรับโทรทัศน์

สัญญาณโทรทัศน์ที่กระจายออกไปในอากาศนี้ จะมีความเข้มมากก็แต่เฉพาะในบริเวณที่มีระยะทางใกล้กับสถานีโทรทัศน์เท่านั้น และจะอ่อนกำลังลงเมื่อระยะทางมากขึ้นตามลำดับ ฉะนั้น หากเครื่องรับอยู่ไกลสถานีโทรทัศน์มาก มักจำเป็นต้องใช้สายอากาศภายนอกติดตั้งไว้บนขอบชายคาบ้าน แล้วต่อสายส่งสัญญาณหรือสายฟีดเดอร์ไปยังเครื่องรับโทรทัศน์ เพื่อช่วยเหลือให้รับภาพได้ชัดเจนยิ่งขึ้น เครื่องรับโทรทัศน์เหล่านี้ จะมีวงจรต่าง ๆ หลายอย่างซึ่งจะทำหน้าที่ขยายกำลังสัญญาณโทรทัศน์ แล้วแยกสัญญาณภาพกับสัญญาณเสียงออกจากสัญญาณวิทยุพาห์ด้วยวิธีการทางไฟฟ้า ที่เรียกว่า Demodulation ซึ่งก็มีหลายแบบอีกเช่นเดียวกัน เพื่อทำให้มีภาพที่ต้องการมาปรากฏบนจอหลอดภาพ และมีเสียงที่ลำโพงเครื่องรับโทรทัศน์ ให้เหมือนกับภาพและเสียงในห้องส่งโทรทัศน์ทุกประการ

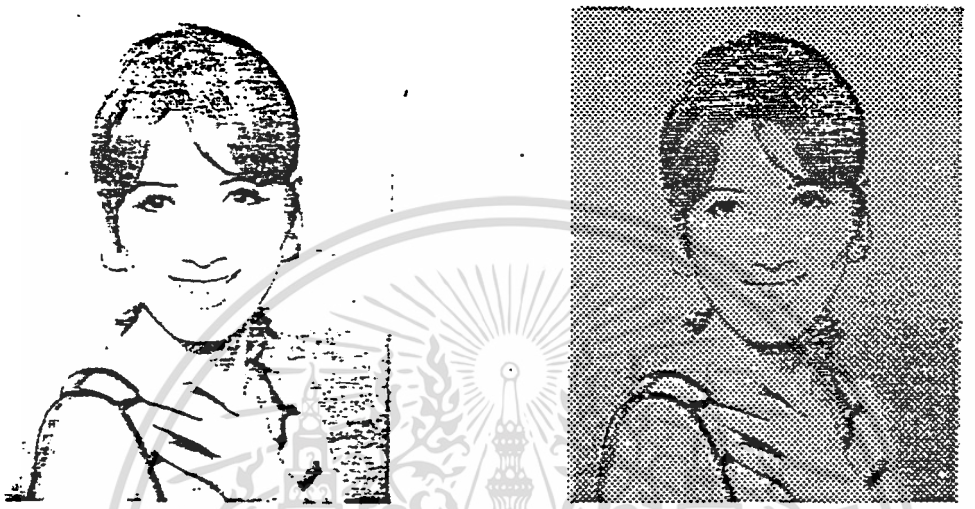
เพื่อเป็นการทบทวนความรู้เบื้องต้นสำหรับการแก้ไขเครื่องรับโทรทัศน์ ในหัวข้อต่อ ๆ ไป จักได้กล่าวถึงส่วนประกอบของภาพ วิธีการสแกนและการหักเหของลำอิเล็กตรอนและเรื่องอื่น ๆ ที่เกี่ยวข้องโดยสังเขป

1.1 ภาพประกอบด้วยอะไรบ้าง

หากพิจารณาดูภาพหรือรูปที่ปรากฏในหน้าหนังสือพิมพ์และวารสารต่าง ๆ แล้ว จะเห็นว่าภาพเหล่านี้ประกอบขึ้นด้วยจุดดำเล็ก ๆ เป็นจำนวนมากซึ่งมีทั้งส่วนที่ดำสนิทและส่วนที่ดำจาง ขนาดของจุดดำในส่วนของภาพที่มืดสนิท ก็จะเห็นใหญ่กว่าขนาดของจุดดำในส่วนของภาพจาง จำนวนจุดดำที่มีมากหรือน้อยนี้ จะมีผลทำให้ภาพมองดูละเอียดหรือหยาบแตกต่างกันด้วย ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงไว้ในรูปที่ 1.2 ในการนี้ ระยะทางที่มองดูภาพก็เข้ามามีส่วนสำคัญอยู่ไม่น้อย ภาพที่หยาบแต่ถ้าหากมองดูในระยะทางซึ่งไกลกว่าระยะที่ใช้มองดูภาพละเอียด ก็อาจรู้สึกว่า พอจะดูได้เหมือนกัน

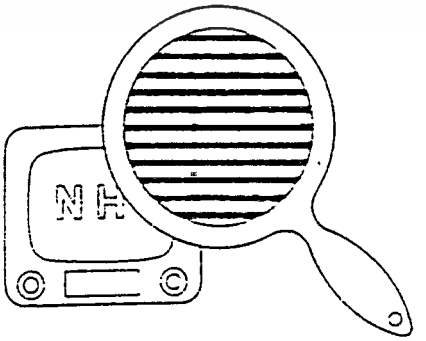


ก) หากมีจำนวนจุดดำมาก ภาพจะมองดูละเอียด

ข) หากมีจำนวนจุดดำน้อย ภาพจะมองดูหยาบ

รูปที่ 1.2 ส่วนประกอบของภาพพนรูปซึ่งมีพื้นที่เท่ากัน

ในทำนองเดียวกัน ภาพที่ปรากฏบนจอหลอดภาพของเครื่องรับโทรทัศน์นั้น ก็ประกอบขึ้นด้วยเส้นขวางเล็ก ๆ ในแนวนอนเป็นจำนวนมาก ซึ่งแต่ละเส้นนี้ก็มีทั้งส่วนที่ดำสนิท ส่วนที่ดำจาง และส่วนที่สว่างมากรวมกันอยู่ เส้นขวางเล็ก ๆ ตามแนวนอนเหล่านี้ มีชื่อเรียกว่า เส้นสแกน ซึ่งประกอบไปด้วยส่วนหรือจุดเล็ก ๆ ที่มีทั้งมืดและสว่างปะปนกัน ตามรูปที่ 1-3



รูปที่ 1.3 ภาพบนจอเครื่องรับโทรทัศน์ประกอบขึ้นด้วย เส้นสแกนตามแนวนอนเป็นจำนวนมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฉะนั้น ภาพที่ปรากฏบนจอภาพจึงประกอบขึ้นด้วยจุดเล็ก ๆ ซึ่งมีระดับของความสว่างแตกต่างกันเป็นจำนวนมากมาย จุดเล็ก ๆ เหล่านี้มีชื่อเรียกว่า ส่วนประกอบของภาพ หรือ Picture elements ซึ่งมีความสัมพันธ์กับความละเอียดของภาพมาก หากจำนวนจุดเล็ก ๆ หรือจำนวนเส้นสแกนในแนวนอนมีมากยิ่งขึ้นเพียงไร ภาพที่เห็นบนจอหลอดภาพก็จะมองดูละเอียดมากขึ้นเพียงนั้น ฉะนั้น โทรทัศน์ระบบยุโรป ซึ่งมีจำนวนเส้นสแกน 625 เส้น จึงให้ภาพละเอียดกว่าโทรทัศน์ระบบอเมริกัน ซึ่งมีจำนวนเส้นสแกนเพียง 525 เส้นเท่านั้นแต่อย่างไรก็ตาม ภาพที่เห็นบนจอหลอดภาพจะมองดูละเอียด หยาบ หรือน่าดูอย่างไรนั้น ยังขึ้นอยู่กับส่วนประกอบอีกหลายอย่าง เช่น ความสว่างของภาพ และระยะทางที่มองดูภาพ เป็นต้น สำหรับโทรทัศน์ระบบอเมริกัน แม้จะมีจำนวนเส้นสแกนน้อยกว่าจำนวนเส้นของโทรทัศน์ ระบบยุโรป ซึ่งจะทำให้เห็นภาพหยาบไปบ้างก็ตาม แต่ถ้าหากมองดูในระยะห่างประมาณสี่ถึงแปดเท่าของความสูงภาพแล้ว ก็จะรู้สึกว่าเป็นภาพที่พอใช้ได้เหมือนกัน นอกจากนี้ สายตาของคนเราส่วนมาก ยังนิยมมองดูภาพที่มีขนาดอัตราส่วนความกว้างต่อความสูงของภาพ เป็นสี่ต่อสามอีกด้วย

1.2 การสแกน

จากองค์ประกอบที่ได้กล่าวมาตอนต้น เครื่องส่งจะรับภาพแล้วเปลี่ยนพลังงานแสงเป็นพลังงานไฟฟ้าส่งเป็นจุดขาวดำมา เครื่องรับจะรับเอาสัญญาณเหล่านี้มาเรียงกันใหม่โดยการกวาดเป็นเส้นภาพขึ้นที่หน้าจอ วิธีการนี้เราเรียกว่า การสแกน (Scanning) โดยตัวที่มีหน้าที่สำคัญคือจอภาพหรือหลอดภาพนั่นเอง หลอดภาพมีโครงสร้างคล้ายกับหลอดสูญญากาศทั่วไปที่ปล่อยอิเล็กตรอนออกมาจากแคโถด แล้วจะมีการดึงลำอิเล็กตรอนให้วิ่งไปเป็นลำกระทบเข้ากับอาโนดหรือหน้าจอ ตรงหน้าจอนั้นมีการฉาบสารเรืองแสงไว้ เพื่อให้เกิดการเรืองแสงของจอภาพ

การสแกนมี 2 วิธีคือ การสแกนแบบก้าวหน้า (Progressive Scanning) กับการสแกนแบบสลับเส้น (Interlaced Scanning)

การที่จะทำให้การสแกนมีความต่อเนื่องขององค์ประกอบภาพตามที่กล่าวมาแล้ว จะต้องคำนึงถึงหลัก 3 ประการคือ

1. ลำอิเล็กตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้ง จะต้องสามารถครอบคลุมองค์ประกอบภาพทั้งหมดของเส้นนั้น ๆ

2. ในแต่ละเส้นของการสแกนของลำอิเล็กตรอน ลำแสงจะต้องกวาดกลับด้วยความเร็วสูงไปยังด้านซ้าย เพื่อเริ่มต้นเส้นภาพทางแนวนอนในลำดับต่อไปเวลาของการสะบัดกลับเรียกว่า "รีเทรซ"

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

((Retrace) หรือฟลายแบ็ค (Flyback) ในกรณีดังกล่าวจะต้องไม่มีข้อมูลภาพใดๆ เพราะว่าทั้งกล้องถ่ายและหลอดภาพจะเกิดการแบลงค์เอาท์ (Blank Out) ในขณะนั้น

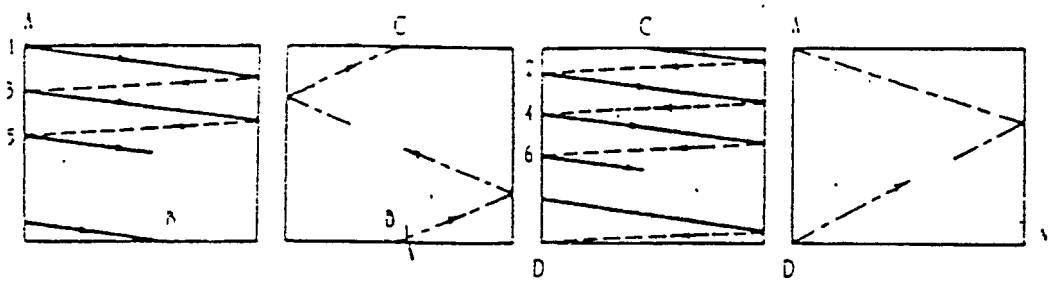
3. ในขณะที่เส้นสแกนสะบัดกลับมาเพื่อเริ่มต้นทางซ้ายใหม่ ตำแหน่งทางแนวตั้งต้องต่ำกว่าตำแหน่งเดิม เพื่อทำให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนี้โดยการควบคุมของสัญญาณแนวตั้ง (Vertical Scanning)

การสแกนที่ใช้ในเครื่องรับโทรทัศน์ ถึงแม้ว่าหากให้มีการเรียงภาพเกินกว่า 16 ภาพต่อวินาทีแล้วสายตาจะเห็นเป็นภาพที่ต่อเนื่องจากการทดลองสแกนเส้นภาพพบว่า แม้ภาพที่เกิดขึ้นจะเกิดขึ้น 24 ต่อวินาทีแล้วก็ตาม ยังมีการกระพริบ (Flicker) เกิดขึ้น เนื่องจากในขณะที่มีการสแกนเริ่มจากขอบบนลงมาด้านล่าง แสงทางด้านบนในความรู้สึกของมนุษย์เริ่มมืดลงกว่าด้านล่าง เวลาที่ลำแสงการสแกนวนกลับไปด้านบน ด้านล่างก็จะเกิดปัญหาเช่นเดียวกันความรู้สึกต่อกรณีนี้ก็คือเกิดแสงกระพริบหรือวูบวาบขึ้น(Flicker) จึงต้องใช้การสแกนสลับเส้นหรือบางคนเรียกว่า การสแกนแบบสอดแทรก (Interlaced Scanning) โดยครั้งแรกจะสแกนฟิลด์คี่ (Odd line Trace) และต่อไปจะสแกนฟิลด์คู่ (Even line Trace) เป็นการสแกนแบบเส้นเว้นเส้น นั่นหมายความว่า ภาพ 1 เฟรม (Frame) ต้องใช้การสแกนแนวตั้งถึง 2 ครั้งหรือ 2 ฟิลด์ (Field)

ตามมาตรฐาน ซีซีไออาร์ (CCIR) ใช้เส้นสแกน 625 เส้นต่อหนึ่งภาพ และใช้ภาพ 25 ภาพต่อวินาที ดังนั้นใน 1 ฟิลด์จะมีเส้นสแกน 312.5 เส้น ภาพนิ่งแต่ละภาพ ซึ่งเป็นส่วนประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน 1/25 วินาทีความถี่ที่ใช้ในการหักเหลำอิเล็กตรอนในแนวนอนจึงได้จากจำนวนเส้นภาพ 625 เส้น คูณกับจำนวนภาพในแต่ละเฟรม ดังนั้นเราจึงสามารถหาความถี่ได้จาก 625 × 25 เท่ากับ 15625 เฮิรตซ์ ความถี่ที่หักเหทางแนวตั้งจึงเท่ากับ 50 เฮิตรซ์

จากรูปที่ 1.4 ได้แสดงวิธีการของการสแกนแบบสอดแทรกของระบบโทรทัศน์ ที่ใช้กันอยู่ในปัจจุบัน โดยเมื่อเริ่มต้นการสแกน สมมุติว่าการเริ่มการสแกนในกรณีนี้เริ่มจากการสแกนจากเฟรมที่เป็นเส้นสแกนคี่ โดยเริ่มจาก A ซึ่งอยู่ทางด้านซ้ายแล้วกวาดไปทางขวา นับเป็นเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.4 การสแกนแบบสอดแทรก

สแกนที่ 1 แล้วจึงสแกนเส้นที่ 3 , 5 , 7, 9 และต่อๆ ไป จนกระทั่งได้ 312.5เส้นในระบบCCIR ซึ่งก็คือสแกนมาถึงจุด B ดังในภาพ ณ จุดนี้การสแกนจะถูกความถี่หักเหทางแนวตั้ง ซึ่งเรียกว่า เวอร์ติคัล รีเทรซ (Vertical Retrace) หรือสัญาณฟรายแบ็ค ดึงกลับไปยังตำแหน่งยังจุด C เพื่อเริ่มต้นการสแกนเส้นคู่ต่อไป

รูปที่ 1.5 การสแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพ โดยแบ่งหนึ่งเฟรมออกเป็นสองฟิลด์

และรูปที่ 1-5 เป็นการสแกนภาพนิ่ง กระทำติดต่อกันไปเรื่อย ๆ โดยมีจำนวนเส้นต่อภาพ และจำนวนภาพต่อวินาที ตามแต่ชนิดของระบบโทรทัศน์ที่ใช้ ภาพที่มาปรากฏบนจอหลอดภาพเครื่องรับโทรทัศน์ จึงมีผลเหมือนกับการฉายภาพนิ่ง ซึ่งแต่ละภาพแตกต่างกันบ้างเล็กน้อย เป็นจำนวนหลาย ๆ ภาพต่อวินาที และด้วยคุณลักษณะของสายตาเกี่ยวกับ persistence of vision นี้ จึงทำให้มองเห็นภาพบนจอหลอดภาพเครื่องรับโทรทัศน์ เป็นภาพที่เคลื่อนไหวติดต่อกันไปตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลาของการรีเทรซ (Retrace Time) ทั้งการรีเทรซทางเวอร์ติคัลและฮอริซอนตัลเป็นเวลาสั้น ๆ ถึงอย่างไรก็ตาม ก็ไม่ต้องการให้เส้นสแกนที่เป็นช่วงของการสะบัดกลับนี้เข้ามารบกวนการทำให้เกิดสัญญาณภาพ ในส่วนนี้จึงต้องทำการลบเส้นสะบัดกลับ ก่อนที่จะกล่าวถึงจุดที่ว่านั้น มาดูรายละเอียดของการสะบัดกลับ ในส่วนของการกวาดลำแสงหรือการสแกน ในทางแนวนอน (Horizontal) เวลาของการรีเทรซจะได้ประมาณ 10-16 %ของเวลาทั้งหมด ในระบบซีไอาร์. ใช้เวลาในการสแกนเท่ากับ 64 ไมโครเซ็คคั่น ดังนั้นเวลาของการรีเทรซจะได้ประมาณ 6.4 ไมโครเซ็คคั่น ในส่วนของทางด้านความถี่หักเหทางแนวตั้ง (Vertical) ใช้เวลาในการรีเทรซไม่เกิน 5-8 % อย่างเช่นเราใช้เวลาในส่วนนี้เท่ากับ 3 % ของเวลา 1/50 ของวินาที ดังนั้นเวลาของการรีเทรซจึงเท่ากับ 600ไมโครเซ็คคั่น นั่นหมายความว่าในช่วงการรีเทรซทางแนวตั้งเกินเวลานานกว่าการสแกนทางแนวนอนประมาณ 8-10 ภาพ

จากหลักการดังกล่าว สามารถสรุปหลักเกณฑ์บางอย่างได้ว่า ตามความเป็นจริงแล้วในเส้นภาพ 525 เส้น หรือ 625 เส้นนั้นมิอาจจะเห็นได้ครบทุกเส้น อย่างน้อย ๆ ในกรณีที่เกิดเวอร์ติคัลรีเทรซจะกินเวลาของการสแกนทางแนวนอน (line) ไปด้วย แต่จะกินไปกี่เส้นนั้นขึ้นอยู่กับสัญญาณบังคับภาพฟลายแบ็ค ซึ่งในเครื่องรับเรียกตัวนี้ว่าสัญญาณแบลงกิ้ง (Blanking)

1.3 การสร้างสัญญาณโทรทัศน์

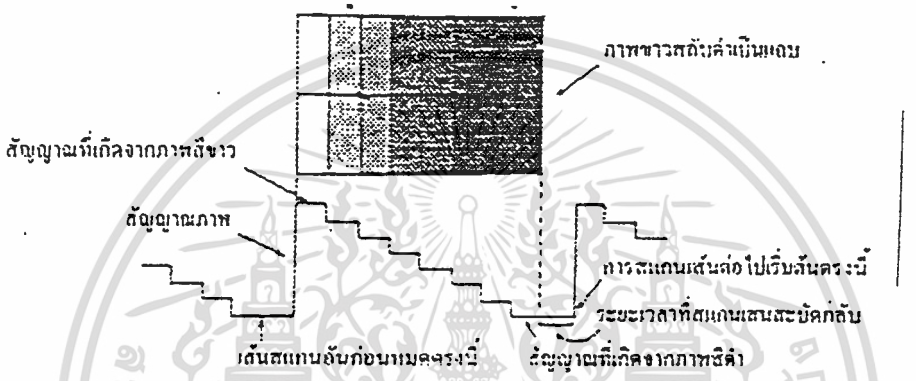
สัญญาณรายละเอียดภาพ ซึ่งเป็นแรงดันกระแสสลับที่แปรเปลี่ยนค่าไปตามความสว่างของภาพ ที่ได้ออกมาจากหลอดเก็บสัญญาณภาพนั้น จะต้องถูกส่งไปรวมกับสัญญาณควบคุมตำแหน่งภาพ และลบเส้นสะบัดกลับซึ่งสร้างจากวงจรชุดสร้างความถี่ ได้แก่ สัญญาณควบคุมตำแหน่งภาพแนวนอน ซึ่งเรียกว่า ฮอริซอนตัลซิ้งค์ (Horizontal Synchronus) สัญญาณลบเส้นสะบัดกลับทางแนวนอนที่ เรียกว่า สัญญาณฮอริซอนตัลแบลงกิ้ง (Horizontal Blanking) สัญญาณควบคุมตำแหน่งภาพทางแนวตั้ง เรียกว่า สัญญาณเวอร์ติคัลซิ้งค์ (Vertical Synchronus) สัญญาณลบเส้นสะบัดกลับทางแนวตั้งเรียกว่า สัญญาณเวอร์ติคัลแบลงกิ้งค์ (Vertical Blanking) และสัญญาณที่ ทำหน้าที่รักษารูปร่างของสัญญาณเวอร์ติคัลซิ้งค์ ที่เรียกว่า อีควอไลซิ่งพัลส์ (Equalizing pulse)

สัญญาณภาพขาว-ดำ สมมุติว่าต้องการจะคูระดับสัญญาณขาว-ดำ กรณีที่จะกล่าวถึงสัญญาณขาว-ดำ หรือสัญญาณโมโนโครมได้ดีที่สุด ต้องกล่าวว่าภาพที่เป็นสีขาวคือ ภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำหรือภาพที่ไม่มีความสว่างเลย ภาพจำลองที่ดีที่สุดของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีนี้ก็คือ แถบภาพที่มีความแตกต่างของระดับขาวดำทีละน้อย ซึ่งเรียกว่า ระดับเกรย์สเกล นั่นเอง

จากรูปที่ 1.6 แสดงให้เห็นระดับเกรย์สเกล ในกรณีที่ระดับสัญญาณภาพเป็น สัญญาณสีขาวนั่นหมายความว่า ระดับความแรงของสัญญาณภาพมากที่สุดจึงให้ความส่องสว่างที่หน้าจอสว่างมากที่สุด และเมื่อระดับสัญญาณสีขาวลดลงเป็นสีมัว,เทา และดำ นั้นระดับสัญญาณจะลดลงมาเรื่อย ๆ นั่นหมายความว่า เมื่อสัญญาณมีความแรงน้อยความส่องสว่างจะน้อยตามลงไปด้วย



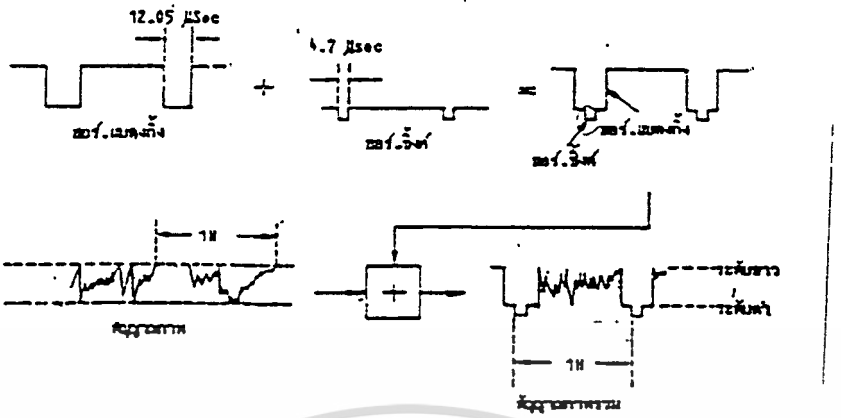
รูปที่ 1.6 แสดงระดับสัญญาณขาว - ดำ โดยเกรย์สเกล

อันที่จริงแล้วภาพแต่ละภาพ เป็นสัญญาณความถี่ทางไฟฟ้าที่มีความถี่สูงต่ำไม่เท่ากันโดยความถี่สูงสุดจะไม่เกิน 5 เมกะเฮิรตซ์ในระบบซีซีไออาร์. ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดกว่าความถี่ต่ำ (มีจำนวนจุดดำมากกว่า)

สัญญาณฮอริซอนตัลซิ้งค์ คือแรงดันช่วงสั้น ๆ (พัลส์) ประมาณ 4.7 ไมโครเซ็คคั่น เป็นสัญญาณที่มีระดับแรงดันต่ำที่สุด (ต่ำกว่าจุดคัทออฟของหลอดภาพ) ส่งไปยังเครื่องรับเพื่อเป็นสัญญาณอ้างอิงในการสร้างความถี่ของวงจรสร้างสัญญาณเบี่ยงเบนทางแนวนอนที่สร้างขึ้นที่สถานีส่ง ตำแหน่งของภาพที่เกิดขึ้นหน้าจอเครื่องรับจึงถูกต้องตรงกับตำแหน่งของภาพที่ปรากฏที่เครื่องส่งทางแนวนอน สัญญาณนี้จะส่งรวมกับสัญญาณฮอริซอนตัลแบลงกิ้ง โดยส่งรวมกับสัญญาณภาพไปในช่วงจังหวะสะบัดกลับทางแนวนอน ซึ่งเป็นจังหวะที่ไม่มีสัญญาณภาพ

สัญญาณเฮอริซอนตัลแบลงกิ้ง คือค่าแรงดันที่มีระดับสูงกว่าฮอริซอนตัลซิ้งค์ ประมาณ 25-30 % มีช่วงเวลาประมาณ 12.05 ไมโครเซ็คคั่น โดยค่าแรงดันนี้จะอยู่ในระดับคัทออฟของหลอดภาพ ส่งไปยัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.7 แสดงสัญญาณฮอริซอลตัลซิ้งค์ และฮอริซอลตัลแบลงกิ้ง
และการรวมกับสัญญาณภาพ

เครื่องรับเพื่อทำให้หลอดภาพคัทออฟในจังหวะสะบัดกลับทางแนวนอน จึงไม่เห็นแสงของเส้นสะบัดกลับทางแนวนอนปรากฏหน้าจอภาพ สัญญาณนี้จะส่งรวมกับฮอริซอนตัลซิ้งค์ เติมลงไปในสัญญาณภาพตรงช่วงสะบัดกลับทางแนวนอน ซึ่งไม่มีสัญญาณภาพ

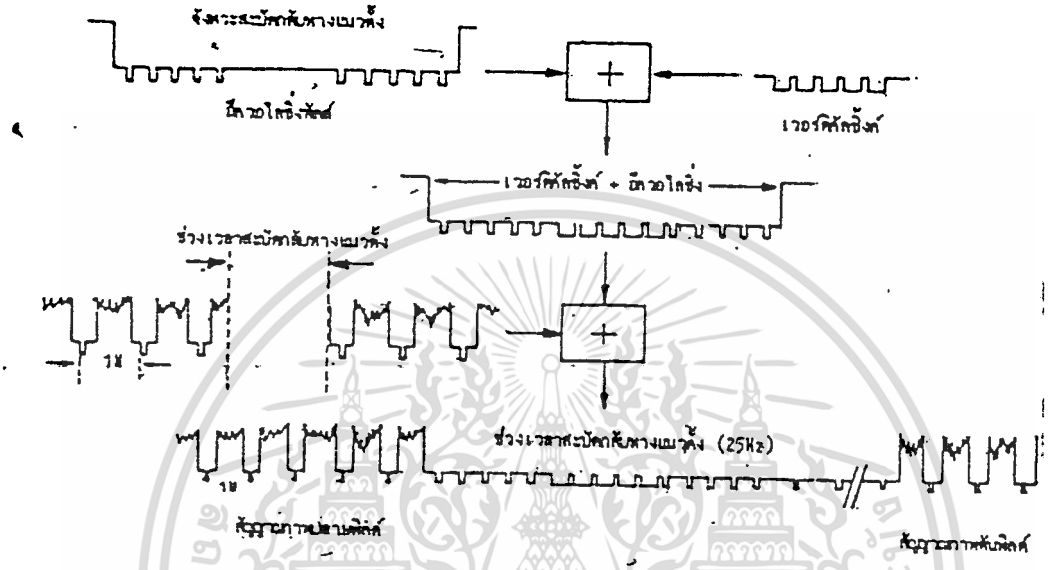
สัญญาณเวอร์ติคัลซิ้งค์ คือสัญญาณที่มีระดับแรงดันเท่ากันกับสัญญาณฮอริซอนตัลซิ้งค์ แต่ช่วงเวลาในการเกิดแรงดันนั้นจะนานกว่าฮอริซอนตัลซิ้งค์ กล่าวคือแบ่งออกเป็นช่วง ๆ 5 ช่วง (5 พัลส์) แต่ละช่วงเกิดนานประมาณ 29 ไมโครเซ็คคั่น และเว้นระยะห่างกัน 4.7 ไมโครเซ็คคั่น ส่งไปยังเครื่องรับเพื่อเป็นสัญญาณอ้างอิงสำหรับวงจรเบี่ยงเบนทางแนวตั้ง เพื่อให้สร้างความถี่ออกมาได้จังหวะคล้องจองกับสัญญาณเบี่ยงเบนทางแนวตั้งที่สร้างขึ้นที่เครื่องส่ง ตำแหน่งภาพที่หน้าจอเครื่องรับจึงถูกต้องตรงกับตำแหน่งภาพที่เครื่องส่งทางแนวตั้ง สัญญาณนี้จะส่งรวมกับสัญญาณภาพ มาในจังหวะสะบัดกลับทางแนวตั้ง ซึ่งเป็นจังหวะที่ไม่มีสัญญาณภาพ

อีควอไลซิ่งพัลส์ คือพัลส์ช่วงเวลาสั้น ๆ ปรมาณพัลส์ละ 2.35 ไมโครเซ็คคั่น จำนวน 2 ชุด ชุดละ 5 พัลส์ เติมลงไปนำหน้าและตามหลังเวอร์ติคัลซิ้งค์ เพื่อรักษารูปร่างและช่วงเวลาของเวอร์ติคัลซิ้งค์ให้สมบูรณ์ขณะที่แยกออกจากฮอริซอนตัลซิ้งค์ อันจะทำให้การสอดแทรกสัญญาณภาพลงไปเปลี่ยนแปลงความสว่างของราสเตอร์แต่ละพัลส์ให้เป็นไปอย่างถูกต้อง

เวอร์ติคัลแบลงกิ้ง เป็นแรงดันที่ส่งไปทำให้หลอดภาพคัทออฟในช่วงระยะเวลาสะบัดกลับทางแนวตั้ง เพื่อทำให้มองไม่เห็นแสงที่เกิดจากการที่ลำอิเล็กตรอนวิ่งจากขอบจอด้านล่างขึ้นไปยังขอบจอด้านบนในจังหวะสะบัดกลับทางแนวตั้ง ซึ่งมีช่วงเวลาประมาณ 25 เส้นสแกน

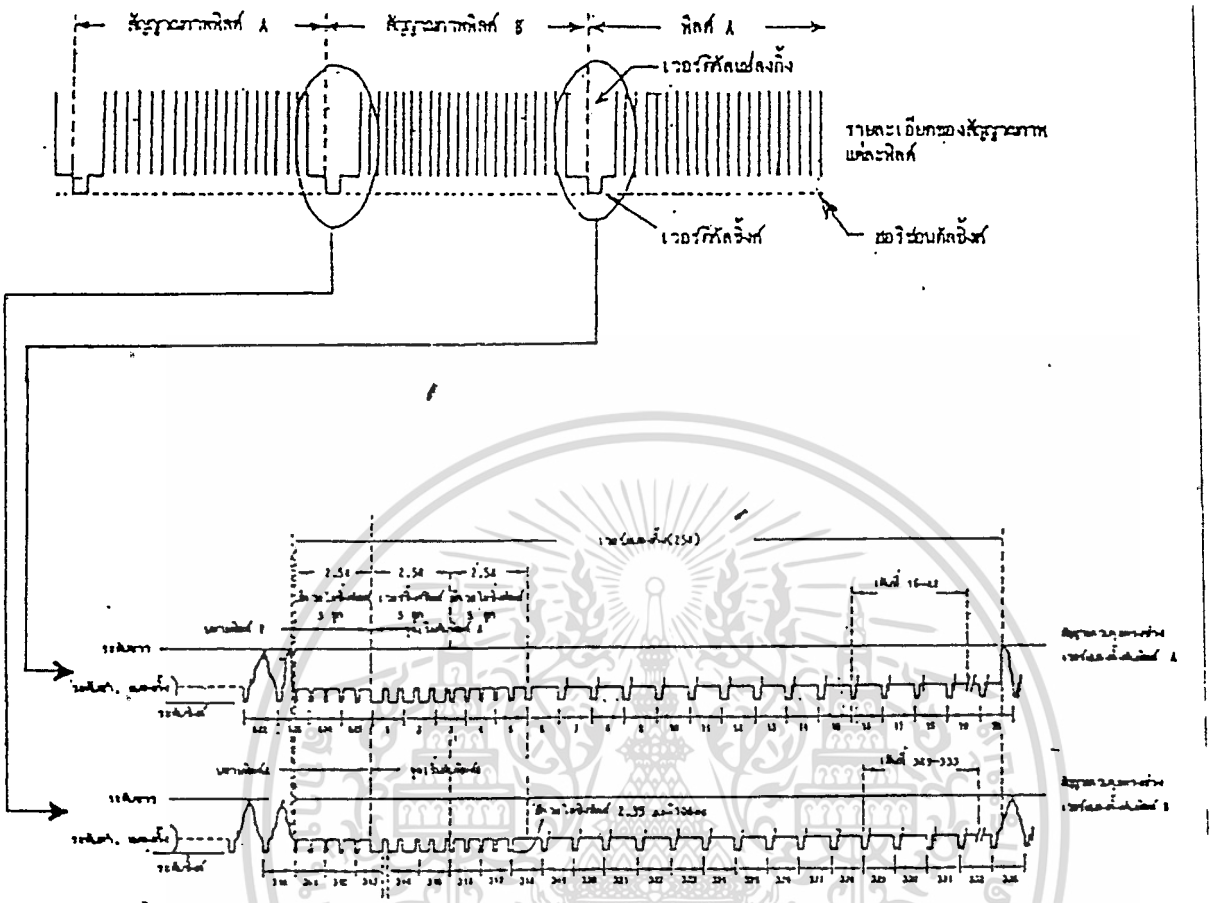
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางแนวนอน (25 H.) ด้วยเหตุนี้ สัญญาณจึงส่งร่วมกับสัญญาณภาพ โดยเติมลงไปตรงจังหวะสะบัดกลับทางแนวตั้งของสัญญาณภาพ ซึ่งเป็นจังหวะที่ไม่มีสัญญาณรายละเอียดภาพ



รูปที่ 1.8 แสดงสัญญาณเวอร์ติคัลซิ้งค์ และเวอร์ติคัลแบลงกิ้ง และการเติมลงไปในสัญญาณภาพแต่ละฟิลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.9 รายละเอียดสัญญาณฟิลด์และสัญญาณควบคุมช่วงเวอร์ติคัลแบลงกิ้ง

1.4 สัญญาณโทรทัศน์ประกอบไปด้วยสัญญาณอะไรบ้าง

เพื่อทำให้เกิดผลสมความมุ่งหมาย สถานีโทรทัศน์ที่ส่งภาพขาวดำ จำเป็นต้องส่งสัญญาณหลายอย่าง คือ

- สัญญาณเสียง
- สัญญาณภาพ
- สัญญาณแบล้งค์กิ้ง
- สัญญาณซิ้งค์
- สัญญาณอีควอไลซิ่ง

สัญญาณเสียงมีคลื่นพาห์ของตัวเองโดยเฉพาะ ส่วนสัญญาณภาพและสัญญาณอื่น ๆ นั้น จะรวมเป็นรูปร่างอันเดียวกัน ซึ่งเรียกว่า สัญญาณภาพรวม แล้วใช้คลื่นพาห์ของภาพเป็นตัวพา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกอากาศรวมกับคลื่นพาห์ของเสียงไปยังเครื่องรับโทรทัศน์ เหตุผลและความจำเป็นในการใช้สัญญาณต่าง ๆ มีดังนี้

สัญญาณภาพ และ สัญญาณเสียง เป็นสัญญาณที่ใช้เพื่อทำให้เกิดภาพและเสียงทางเครื่องรับโทรทัศน์ตามความต้องการ

สัญญาณแบล้งค์กิ้ง เป็นสัญญาณที่ใช้เพื่อลบเส้นสแกนสะบัดกลับทั้งในแนวนอนและในแนวตั้ง เพื่อมิให้สังเกตุเห็นได้ชัดทางจอภาพ สำหรับโทรทัศน์ระบบอเมริกัน วงจรของการหักเหทางแนวนอนมความถี่ 15.750 เฮิทช์ ฉะนั้น ในระยะเวลา 1/15.750 วินาที หรือ 63.5 ไมโครวินาทีจะต้องเกิดเส้นสแกนสะบัดกลับครั้งหนึ่ง จึงต้องใช้แบล้งค์กิ้งพัลส์ทางแนวนอนหนึ่งครั้ง โดยมีขนาดประมาณ 10 ไมโครวินาที ในทำนองเดียวกันทุก ๆ ระยะเวลา 1/60 วินาที หรือ 16.667 ไมโครวินาที ก็ต้องใช้แบล้งค์กิ้งพัลส์ทางแนวตั้งครั้งหนึ่ง โดยมีขนาดประมาณ 1.250 ไมโครวินาที

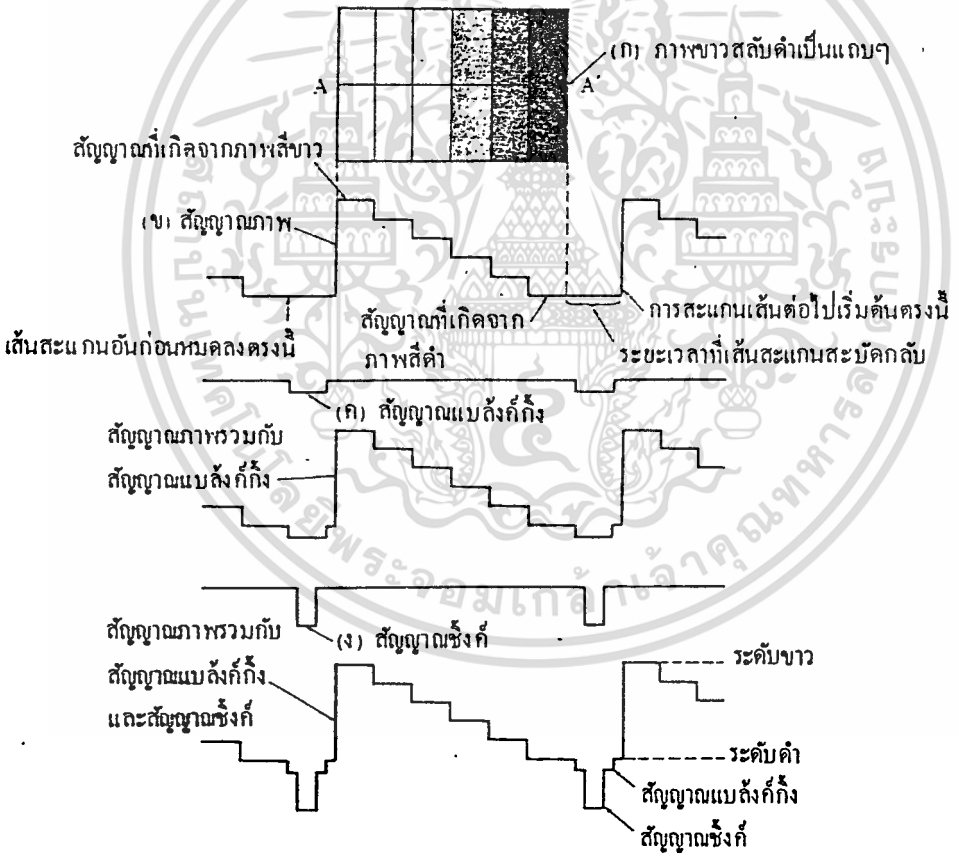
สัญญาณซิ้งค์ เป็นสัญญาณที่ใช้เพื่อช่วยทำให้วงจรของการหักเหทางแนวนอนและวงจรของการหักเหทางแนวตั้งในเครื่องส่งกับเครื่องรับโทรทัศน์มีความถี่ตรงกันตลอดเวลา สัญญาณซิ้งค์ทางแนวนอนมีความถี่ 60 เฮิทช์ ซึ่งจะเท่ากับความถี่ของวงจรหักเหทางแนวตั้งเหมือนกัน เนื่องจากว่าความถี่ของสัญญาณซิ้งค์มีค่าเท่ากับความถี่ของสัญญาณแบล้งค์กิ้งพอดี จึงนำเป็นต้องป้องกันการรบกวนที่อาจเกิดขึ้น โดยจำเป็นต้องกำหนดขนาดของซิ้งค์พัลส์ให้น้อยกว่าขนาดของแบล้งค์กิ้งพัลส์ กล่าวคือ ทำให้ซิ้งค์พัลส์ทางแนวนอนมีขนาดเพียง 5 ไมโครวินาที และซิ้งพัลส์ทางแนวตั้งมีขนาดเพียง 190 ไมโครวินาทีเท่านั้น นอกจากนี้ยังใช้วิธีส่งซิ้งค์พัลส์เหล่านี้ปนกับแบลงกิ้งพัลส์อีกด้วย โดยให้ฐานของซิ้งพัลส์อยู่ทับขอบบนของแบล้งค์กิ้งพัลส์อีกชั้นหนึ่ง เมื่อจัดขอบเขตความต่างศักดิ์ให้ระดับสูงสุดของแบล้งค์กิ้งพัลส์เป็นระดับดำมืดจนมองไม่เห็นแล้ว ระดับของซิ้งค์ที่อยู่บนยอดสูงสุดของแบล้งค์กิ้งพัลส์ ก็จะเป็นระดับดำมืดสนิท และไม่ทำให้เกิดการรบกวนภาพที่จอหลอดภาพแต่อย่างใด

สัญญาณอีควอไลซิ่ง เป็นสัญญาณที่ใช้เพื่อช่วยให้สัญญาณซิ้งค์ทางแนวตั้ง ยังคงมีรูปร่างดีเหมือนเดิมหลังจากแยกออกจากสัญญาณซิ้งค์ทางแนวนอนแล้วนอกจากนี้ยังช่วยทำให้การสแกนแบบไขว้กันเป็นไปโดยเรียบร้อยสม่ำเสมอ รวมทั้งสัญญาณซิ้งค์ทางแนวนอนก็ไม่ขาดหายไปในช่วงเวลาของสัญญาณซิ้งค์ทางแนวตั้งอีกด้วยขนาดของพัลส์ที่กล่าวถึงนี้จะเท่ากับสัญญาณซิ้งค์ทางแนวตั้ง หรือ 190 ไมโครวินาที หรือประมาณสามเท่าของขนาดสัญญาณซิ้งค์ทางแนวนอน และยังนิยมแบ่งพัลส์เล็ก ๆ ด้วยกันตามรูปที่ 1.11 เพื่อทำให้เกิดสัญญาณซิ้งค์ทางแนวนอนครั้งหนึ่งในทุก ๆ สองครั้งที่มีพัลส์เล็ก ๆ นี้ นอกจากนี้ยังนิยมแบ่งสัญญาณซิ้งค์ทางแนวตั้งออกเป็นพัลส์เล็ก ๆ เช่นเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณโทรทัศน์ ที่มีสัญญาณภาพรวมกับสัญญาณอื่น ๆ หลายอย่าง ตามที่แสดงไว้ในรูปที่ 1.11 นี้ มีชื่อเรียกว่าสัญญาณภาพรวม

จากรูปที่ 1.10 แสดงภาพขาวสลับดำ ซึ่งเริ่มจากสีขาว สีดำจาง ๆ และสีดำสนิทเป็นแถบ ๆ กล้องโทรทัศน์จะเปลี่ยนภาพนี้ให้เป็นสัญญาณทางไฟฟ้าชนิดหนึ่ง ซึ่งเมื่อรวมกับสัญญาณแบล้งค์กิ้ง และสัญญาณซิ้งค์แล้ว ก็จะได้สัญญาณภาพรวมตามที่แสดงไว้ ภาพแต่ละชนิดจะให้สัญญาณทางไฟฟ้าที่มีความถี่สูงต่ำแตกต่างกัน สำหรับโทรทัศน์ระบบอเมริกัน ความถี่สูงสุดของภาพไม่ควรเกิน 4 เมกกะเฮิทซ์ และสำหรับโทรทัศน์ระบบยุโรป ความถี่สูงสุดนี้จะไม่เกิน 5 เมกะเฮิทซ์ ในเรื่องนี้ ภาพที่เกิดจากสัญญาณโทรทัศน์ที่มีความถี่สูง ย่อมละเอียดกว่า หรือมีจำนวนจุดดำ อันเป็นส่วนประกอบของภาพมากกว่า ภาพที่เกิดจากสัญญาณโทรทัศน์ที่มีความถี่ต่ำ

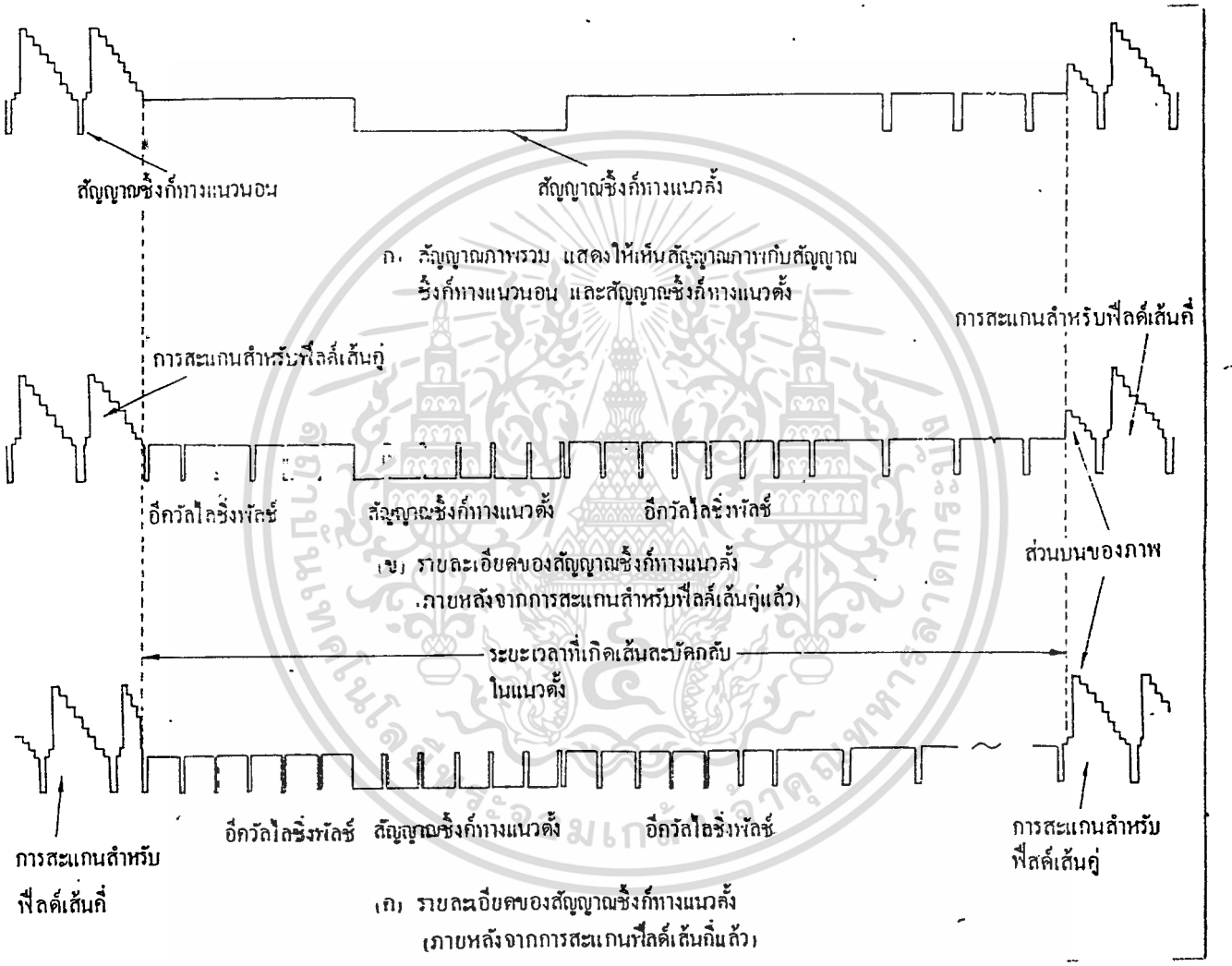


รูปที่ 1.10 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบ ๆ

เมื่อเครื่องรับโทรทัศน์รับเอาสัญญาณโทรทัศน์มาได้แล้ว ก็มีการแยกเอาสัญญาณต่าง ๆ ตามที่กล่าวถึงนี้ไปให้วงจรซึ่งทำหน้าต่าง ๆ กัน เพื่อทำให้เกิดภาพและเสียงตามความต้องการ สัญญาณเสียง ก็จะผ่านไปยังวงจรเสียง สัญญาณภาพและสัญญาณแบลงกิ้งค์ ก็จะตรงไปยังแคโถด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือกริดของหลอดภาพ ส่วนสัญญาณซิ้งค์นั้นเมื่อแยกออกจากสัญญาณภาพรวมแล้ว ก็จะผ่านไปยังวงจรแยกซิ้งค์ วงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้ง ซึ่งจะได้กล่าวถึงต่อไป



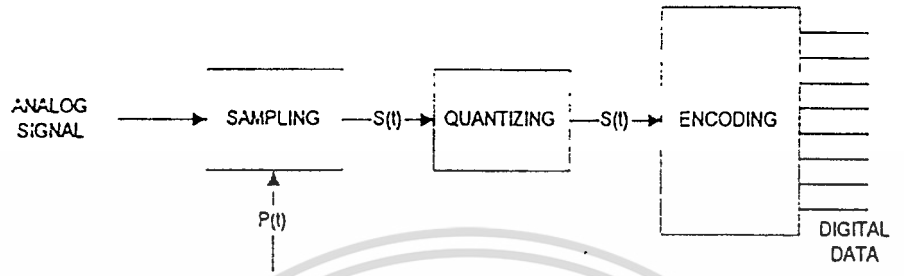
รูปที่ 1.11 สัญญาณภาพรวม แสดงให้เห็นรายละเอียดของสัญญาณแต่ละชนิด เช่น สัญญาณแบล้งกิ้ง สัญญาณซิ้ง และสัญญาณอีคลอไลซิ่ง

1.5 การแปลงสัญญาณอะนาลอกเป็นดิจิตอล

เนื่องจากในการที่จะแบ่งสัญญาณภาพออกเป็นส่วน ๆ นั้น การกระทำทางอะนาลอก (Analog) ทำได้ยากมาก จึงจำเป็นต้องแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล (Analog to

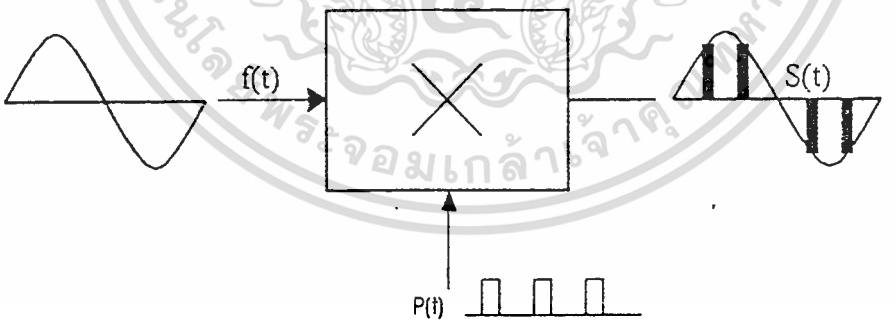
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital Converter: A/D) ก่อนแล้วจึงมาจัดการข้อมูลได้ ซึ่งวิธีการแปลงสัญญาณจะมีหลักการทั่วไปดังรูปที่1.12



รูปที่ 1.12 แสดงบล็อกไดอะแกรมของวงการเปลี่ยนแปลงสัญญาณอะนาลอกเป็นดิจิตอล

ซึ่งส่วนประกอบที่สำคัญที่สุดคือ การแซมปลิ้ง (Sampling) เพราะความผิดพลาดของสัญญาณดิจิตอล ที่แปลงมาจากสัญญาณอะนาลอก นั้น จะมากหรือน้อยขึ้นอยู่กับความสัมพันธ์ของความถี่แซมปลิ้งกับความถี่สูงสุดของสัญญาณอะนาลอก โดยมีทฤษฎีที่เกี่ยวข้องคือ ทฤษฎีการแซมปลิ้ง (Sampling Theory) ซึ่งความสัมพันธ์ตาม ทฤษฎีการแซมปลิ้งจะสังเกตุได้ง่ายจากรูปคลื่น



รูปที่ 1.13 แสดงการแซมปลิ้ง

จากรูปที่ 1.13 จะได้ $S(t) = P(t) \times F(t)$

เมื่อเราสังเกตุดู P(t) ซึ่งเป็นพัลส์ (Pulse) สี่เหลี่ยม ถ้านำมาเขียนเป็นสมการ ฟูเรียร์ (Fourier) ได้ดังนี้

$$P(t) = DC + a_0\cos\omega_0 t + a_1\cos 3\omega_0 t + a_2\cos 5\omega_0 t + ...\alpha$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คือ P(t) ประกอบด้วยความถี่พื้นฐานรวมกับฮาร์มอนิกส์ (Harmonics) ที่เป็นเลขคี่ไปจนถึง และถ้าเราคูณ P(t) ด้วย f(t) จะได้ S(t)

$$S(t) = f(t)DC + (a_0\cos\omega_0 t\ )(f(t) + (a_0\cos 3\omega_0 t\ )f(t) + ...f(t)\alpha$$

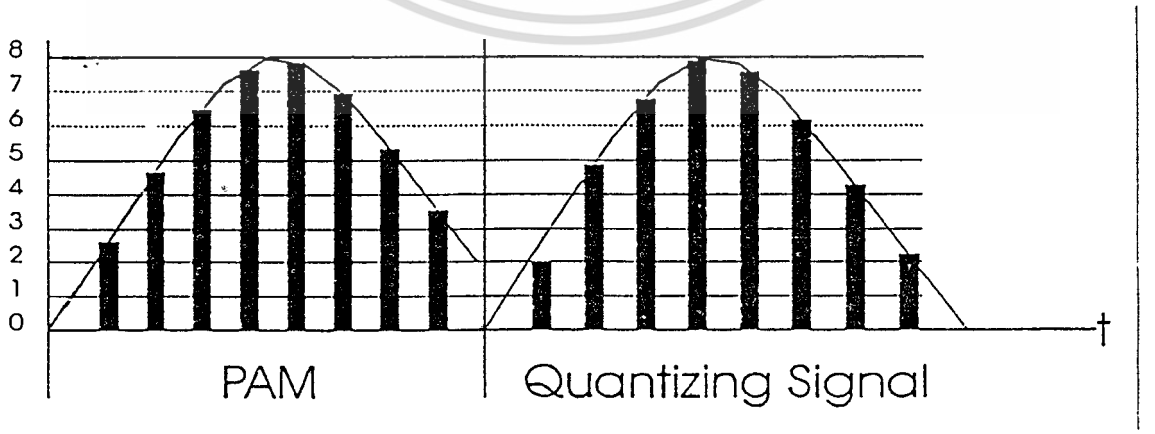
เมื่อพิจารณาดูเทอมที่ 2 พบว่ามีรูปแบบเหมือน แอมปลิจูดมอดูมอดูเลชั่น (A.M)

โดย $f(t) = B\cos\omega_m t$

$$f(t)a_0\cos\omega_0 t = (Ba/2)\cos(\omega_0-\omega_m)t + (Ba/2)\cos(\omega_0+\omega_m)t$$

ซึ่งความถี่ คือความถี่ ω_0ที่ใช้สำหรับแซมปลิ้ง และในการดีเทค (detect) สัญญาณคืนมาจะใช้วงจรกรองความถี่ต่ำ (Low Pass Filter) กรองเอาเฉพาะ f(t)DC ออกมาเท่านั้น ซึ่งถ้าหาก ω_0 มีค่าน้อยกว่า 2 เท่า ของ ω_m แล้ว จะทำให้มีความถี่ซึ่งเป็นผลต่างของ ω_0 - ω_mเข้ามาแทรกใน f(t)DC ด้วย ซึ่งจะมีผลให้สัญญาณที่ดีเทค กลับคืนมามีความผิดพลาด ดังนั้นจึงต้องเลือก ω_0 หรือความถี่แซมปลิ้ง ให้มีค่ามากกว่า 2 เท่าของความถี่สูงสุดของสัญญาณก่อนที่จะมีการแซมปลิ้งหรือ ω_mซึ่งสัญญาณที่ได้ออกมาจากภาคแซมปลิ้ง นี้เรียกว่า พลส์แอมปลิจูดมอดูเลชั่น หรือ พีเอเอ็ม (Pulse Amplitude Modulation: PAM)

ส่วนภาคควอนไตซิ่ง (Quantizing) นั้นเป็นการจัดระดับของสัญญาณพีเอเอ็มซึ่งอาจมีระดับที่ไม่แน่นอนให้ไปอยู่ในระดับที่แน่นอน ซึ่งในขั้นตอนนี้ก็จะมีความผิดพลาดจากการจัดระดับอยู่ เรียกว่า ควอนไตซิ่งเออเรอร์ (Quantizing Error) ซึ่งจะมีค่ามากหรือน้อนก็ขึ้นอยู่กับว่าเราแบ่งระดับของสัญญาณได้ละเอียดเพียงใด ในโครงงานนี้ใช้การแบ่งระดับ 256 ระดับ ซึ่งเพียงพอสำหรับสัญญาณเสียงและสัญญาณภาพ

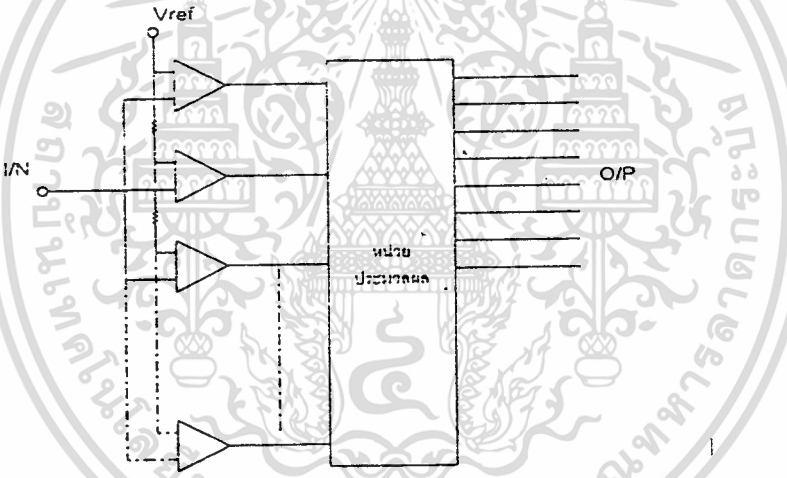


รูปที่ 1.14 ลักษณะสัญญาณของภาคควอนไตซิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 1.14 คือลักษณะสัญญาณของภาคควอนไตซิ่ง และข้อผิดพลาดของสัญญาณ เมื่อได้รับสัญญาณ ควอนไตซิ่ง แล้วก็จะนำไปเข้าวงจรเข้ารหัสให้เป็นสัญญาณดิจิตอลซึ่งมี2 ระดับ คือ 0 กับ 1 เท่านั้นจากการแบ่งเป็น 256 ระดับ เมื่อคิดเป็นฐาน 2 แล้วจะได้ข้อมูล 8 บิท โดยกำหนดให้ระดับต่ำสุดของสัญญาณควอนไตซิ่ง (Quantizing Signal) มีค่าเท่ากับ 1111 1111 ดังนั้นข้อมูลที่ออกมาเป็นสัญญาณดิจิตอล ที่มีค่าระดับตามที่ตั้งไว้

แฟลช เอทูดี (Flash A/D) คือ วงจรเอทูดี (Analog to Digital) ที่มีความรวดเร็วสูงในการเปลี่ยนสัญญาณ เนื่องจากวงจรแฟลช เอทูดี นั้นจะใช้การโปรแกรมเอาต์พุตไว้ก่อน แล้วส่วนวงจรเปรียบเทียบจะใช้ออปแอมป์ ที่มีจำนวนเท่ากับจำนวนของสัญญาณเอาต์พุต ที่ได้จะเกิดขึ้น เช่น ถ้าสัญญาณเอาต์พุตเป็นสัญญาณดิจิตอล 8 บิท จะใช้ออปแอป์ เท่ากับ $2^8 = 256$ ตัว ซึ่งแต่ละตัวก็จะมีแรงดันอ้างอิง ที่เป็นค่าคงที่อยู่ค่าหนึ่ง ตามระดับสัญญาณดังรูปที่ 1.15

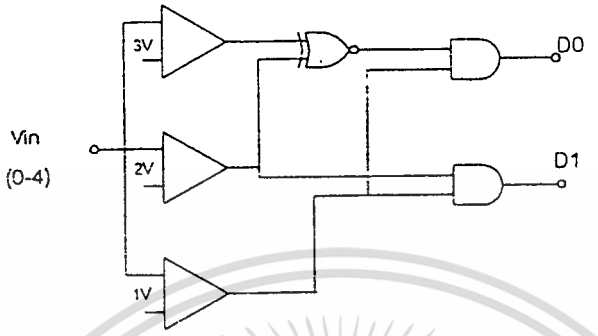


รูปที่ 1.15 วงจรแฟลชเอทูดี

เมื่อสัญญาณอินพุตเข้ามา จะถูกส่งไปให้กับ ออปแอป์ ทุกตัว เพื่อเปรียบเทียบกับแรงดันอ้างอิงของแต่ละตัว ถ้าสัญญาณอินพุตไปตรงกับ ออปแอป์ตัวใด ก็จะให้สัญญาณเอาต์พุตออกมาส่งไปให้กับวงจรประมวลผล เพื่อจัดหาค่าของสัญญาณดิจิตอล สัญญาณเอาต์พุตให้ได้ตามค่าของสัญญาณอินพุตที่ส่งเข้ามา ซึ่งการเปลี่ยนสัญญาณในรูปแบบนี้ไม่ต้องใช้วงจรนับ แล้วป้อนกลับมาเปรียบเทียบทีละค่า จึงทำให้ความเร็วในการเปลี่ยนสัญญาณสูงมากกว่าแบบแรกมาก จึงเหมาะที่จะนำมาใช้กับสัญญาณภาพ ซึ่งมีความถี่สูง ในโครงงานนี้จึงใช้ เอทูดี แบบ แฟลช ซึ่งเป็น ไอซี เบอร์ CA3318CE ของบริษัท HARRIS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ จะเรียก แฟลช เอทูดี ว่าเป็น Open loop converter เนื่องจากไม่มีสัญญาณป้อนกลับ (feedback) กลับไปยังอินพุต ตัวอย่างของหลักการ แฟลช เอทูดี แสดงดังรูปที่ 1.16



รูปที่ 1.16 หลักการของแฟลชเอทูดี

จากรูปใช้ ลอจิกเกท เป็นวงจรเปลี่ยนระดับสัญญาณดิจิตอล โดยเริ่มจาก เมื่อมีอินพุต 0 โวลท์เข้ามา จะทำให้ เอาต์พุต ทุกตัวของ คอมพาราเตอรท์ (Comparator) เป็น 0 หมด และ เมื่อผ่าน เอ็กคูซีฟนอร์เกท (ex-nor) จะทำให้เอาต์พุต เป็น "1" ไปเข้า แอนด์เกท "1" เป็น "0" ทำให้ Do = "0" และแอนด์เกท "2" จะมีอินพุต เป็น 00 ดังนั้น D1 = "0" เพราะฉะนั้นที่ระดับ 0 โวลท์ เอาต์พุต ของ เอทูดี = 0,0 เมื่อ Vin= โวลท์ จะทำให้ เอาต์พุต ของ คอมพาราเตอร์ ตัวที่ 1 เป็น "1" ไป แอนด์ กับ เอาต์พุต ของเอ็กคูซีฟนอร์เกท ซึ่งเป็น "1" ทำให้ได้ Do = "1" ส่วน D_1 ได้จากการ แอนด์กันของ เอาต์พุตคอมพาราเตอร์ ตัวที่ 1 กับตัวที่ 2 เป็น 1 0 ดังนั้น เอาต์พุต D_1 เพราะฉะนั้นที่ระดับ Vin = 2 โวลท์ จะทำให้ เอาต์พุตของคอมพาราเตอร์ ตัวที่ 1 กับตัวที่ 2 เป็น "1" ทำให้ เอาต์พุต D_1 = "1" ส่วน เพราะฉะนั้น เอาต์พุตของเอทูดี Do = 1,0 และเมื่อ Vin = 3 โวลท์ จะทำให้ เอาต์พุตของคอมพาราเตอร์ ทุกตัวเป็น "1" ดังนั้นเมื่อผ่านลอจิกเกท จะได้ เอาต์พุต เป็น 1,1 ซึ่งข้อดีของวงจร แฟลชเอทูดี คือ มีความสามารถในการเปลี่ยนสัญญาณได้เร็วมาก แต่ข้อเสียคือจะต้องใช้จำนวน คอมพาราเตอร์ มากเป็น 2 เท่า เมื่อต้องการเพิ่มบิท 1 บิทหรือถ้าเป็น สมการจะได้ จำนวนออปแอป์ = 2^n - 1 ตัวโดย n = จำนวนบิท

2 บิท = 3 ตัว

3 บิท = 7 ตัว

4 บิท = 15 ตัว

5 บิท = 31 ตัว

6 บิท = 63 ตัว

7 บิท = 122 ตัว และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8 บิท = 255 ตัว

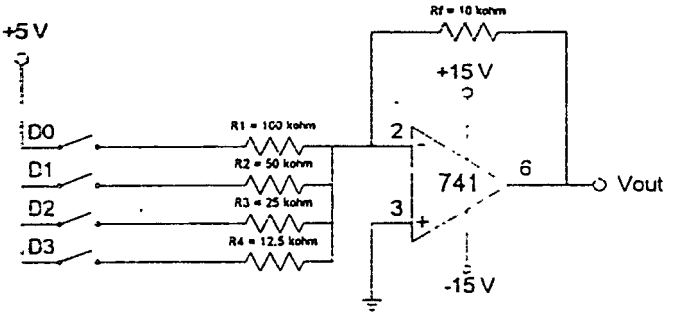
ดังนั้น เมื่อเราใช้สัญญาณดิจิตอล 8 บิท ต้องใช้ คอมพาราเตอร์ ถึง 256 ตัวซึ่งจะทำให้อุปกรณ์ที่มีราคาสูงมากทั้งหมดคือ หลักการของการแปลงสัญญาณอะนาลอกไปเป็นดิจิตอล ซึ่งในโครงงานนี้จะใช้ ไอซี CA 3318CE เป็นตัวแปลงซึ่งมีคุณสมบัติที่เด่นของ ไอซีเบอร์นี้ คือ มีอัตราการแซมปลิ้ง (Sampling Rate) สูงถึง 15 เมกกะเฮิร์ตซ์ ทำให้สามารถใช้สัญญาณภาพโดยตรง

1.6 การแปลงสัญญาณดิจิตอลเป็นอะนาลอก

การแปลงสัญญาณดิจิตอลเป็นอะนสลอกหรือดีเทค (Digital to Analog Converter: D/A) เป็นการนำสัญญาณดิจิตอลที่มีอยู่ 2 ระดับ คือ "0" กับ "1" นำมากผ่านวงจรดีทูเอ และออกมาเป็นสัญญาณอะนาลอก ซึ่งวงจรดีทูเอที่เป็นพื้นฐานและที่นิยมใช้กันอยู่ทั่วไปนั้นมีอยู่ด้วยกัน3แบบ คือ

1. แบบใช้ตัวต้านทานหลายค่า (Binary Weighted resister D/A Converter)

วงจรเปลี่ยนสัญญาณดีทูเอชนิดนี้ ใช้ตัวต้านทานต่าง ๆ และออปแอมป์เพื่อเปลี่ยนระดับสัญญาณลอจิก 2 ระดับ เป็นแรงดันที่ได้สัดส่วนกัน รูปที่ 1.16แสดงวงจรเปลี่ยนสัญญาณดิจิตอลขนาด 4 บิท ออปแอมป์ที่ใช้มีอัตราขยายสูงมาก (โดยทั่วไปจะสูงกว่า 100,000เท่า) มีความต้านทานทางด้านเอาต์พุตต่ำ ความต้านทานทางด้านอินพุตมีค่าสูงมากเมื่อเปลี่ยนการปิดเปิดสวิตช์ไปเรื่อย ๆ ก็จะเหมือนกับการที่ป้อนลอจิกเข้าไป ซึ่งจะทำให้ได้แรงดันเอาต์พุตค่าต่าง ๆ กัน ในการคำนวนหาค่าแรงดันที่ออกทางเอาต์พุตนั้น สามารถคำนวนแบบออปแอมป์ได้ แรงดันทางด้านเอาต์พุตจะเพิ่มขึ้นเป็นระดับ ๆ เหมือนขั้นบันได ดังนั้นอินพุต 4 บิท จึงทำให้ได้ระดับแรงดันทางด้านเอาต์พุต 16 ระดับ (2^4) แต่ระดับต่างกัน -0.5 โวลท์ อาจจะกำหนดระยะห่างของแต่ละระดับได้โดยการเปลี่ยนขนาดของภาค Rf แต่ถ้าRfมีค่ามากเกินไป ระดับบนสุดจะขับออปแอมป์ถึงจุดอิ่มตัว (ที่แรงดัน -14 โวลท์)

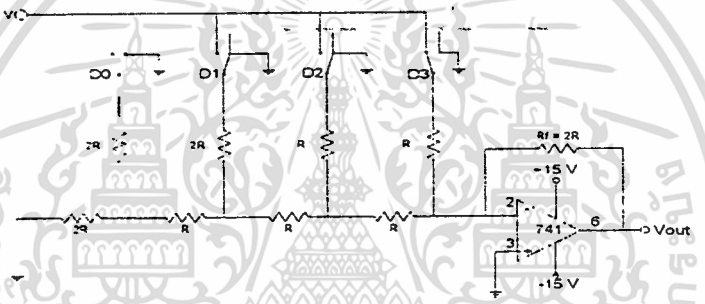


รูปที่ 1.17 แสดงตัวอย่างวงจรการเปลี่ยนสัญญาณขนาด 4 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง 038052

2. แบบใช้ตัวต้านทาน 2 ค่า (R/2R Ladder D/A Converter)

เมื่อวงจรดีทูเอ มีขนาดมากกว่า 4 บิท วงจรตามรูปจะเกิดปัญหาเนื่องจากต้องการค่าความต้านทานที่มีช่วงกว้างมาก วิธีนี้จะใช้หลักการแบบไบนารี่เวตเหมือนกัน แต่ใช้ค่าความต้านเพียงแค่ 2 ค่า ดังแสดงในรูปที่ 1.18 ซึ่งกระแสถูกเปลี่ยนเป็นค่าแรงดันโดยออปแอปและตัวต้านทานป้อนกลับ Rf เหมือนวงจรในรูปที่ วิธีนี้เรียกว่าการใช้ความต้าน 2 ค่า ซึ่งค่าความต้านทานที่ใช้เป็นอัตราส่วนที่คำนวนได้ง่าย ซึ่งการคำนวนนั้นเหมือนกับการคำนวนออปแอปธรรมดา แม้ว่าดีทูเอคอนเวอร์เตอร์แบบ R/2R แลดเดอร์จะวิเคราะห์ยากกว่าแบบตัวต้านทานหลายค่า แต่จะง่ายกว่าสำหรับการต่อวงจรให้ถูกต้อง เพราะใช้ค่าความต้านทานเพียง 2 ค่า เท่านั้น การเพิ่มจำนวนบิทก็จะทำได้โดยการเพิ่มส่วนของ R/2Rลงไป



รูปที่ 1.18 แสดงตัวอย่างวงจรดีทูเอ แบบ R/2R

3. แบบใช้ไอซี (Monotitihic and hybrid D/A Converter)

โมโนลิทิค (monotitihic) หมายถึง "หินก้อนเดียว" เมื่อนำมาใช้ในวงจรรวม จะเป็นการชี้บอกว่าวงจรๆหนึ่งถูกบรรจุอยู่บนสารกึ่งตัวนำเพียงชิ้นเดียวส่วนไอบริด(Hybrid)บรรจุสารกึ่งตัวนำที่เรียกว่าชิพ (ship) เพียงชิ้นเดียวหรือมากกว่า มีตัวต้านทานหรือตัวประกอบวงจรอื่น ๆ อยู่ในกรอบของไอซีตัวเดียว

สำหรับในโครงงานนี้จะใช้ วงจรแปลงดิจิตอลเป็นอะนาลอกแบบไอซีซึ่งวงจรภายในไอซีนั้นจะเป็นแบบ R/2R แลดเดอร์

1.7 ลักษณะคุณสมบัติของดีทูเอ

ลักษณะสมบัติของการแปลงสัญญาณดิจิตอลเป็นอะนาลอกกำหนดได้เป็นข้อ ๆ ดังนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ความละเอียด (resolution) ขึ้นอยู่กับจำนวนบิททางด้านอินพุต ตัวอย่างเช่น วงจรเปลี่ยนสัญญาณ 8 บิท มีระดับเอาต์พุต 2^8 หรือ 256 ระดับ ดังนั้นความละเอียด คือ 1/256 ความละเอียดบางครั้งคิดเป็นเปอร์เซนต์ คือ 0.39 %

2. ความถูกต้อง (accuracy) คือความถูกต้องจากการเปรียบเทียบระหว่างเอาต์พุตจริงและเอาต์พุตที่ปรากฏ โดยคิดที่เต็มสเกล ถ้าวงจรเปลี่ยนสัญญาณมีเอาต์พุตเต็มสเกล 10 โวลท์ มีความถูก $\pm$0.2 % ดังนั้นความผิดพลาดสูงสุดคือ 0.002×10 โวลท์ หรือ 20 มิลลิโวลท์ ในทางทฤษฎีแล้ว ความถูกต้องของวงจรเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอกไม่ควรต่ำกว่า$\pm$1/2 ของค่าที่ บิตที่มีนัยสำคัญต่ำสุด (LSB)

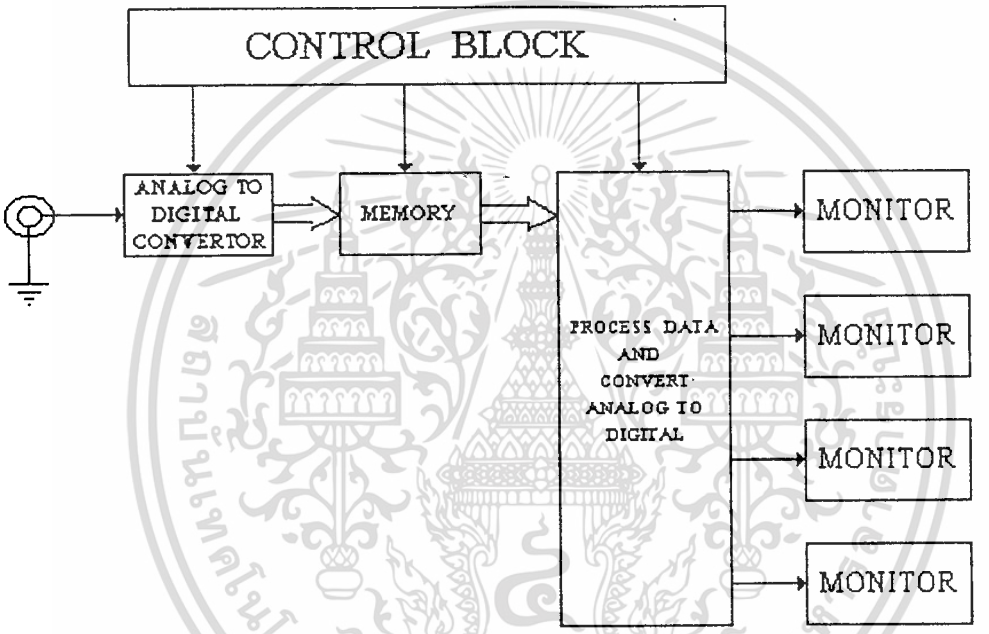
3. โมโนโทนิค (monotoniccity) จะเรียกว่าเป็นโมโนโทนิคก็ต่อเมื่อไม่มีการกระโดดข้ามขั้นตอนย่านการใช้งาน

4. เวลาเซ็ตเอาต์พุต (output setting time) เป็นเวลาที่เอาต์พุตของวงจรเปลี่ยนสัญญาณใช้ในการเพิ่มขึ้นถึง $\pm$1/2 ของ บิทที่มีนันสำคัญต่ำสุด หลังจากมีการเปลี่ยนแปลงทางอินพุต ถ้าวงจรเปลี่ยนสัญญาณถูกใช้งานย่านความถี่สูง อาจทำให้มีการเพิ่มแรงดันไม่ถึงค่าที่ถูกต้องทำให้เกิดความผิดพลาดขึ้นได้อีกประการหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการทำงานพื้นฐาน

2.1 บล็อกไดอะแกรมพื้นฐาน



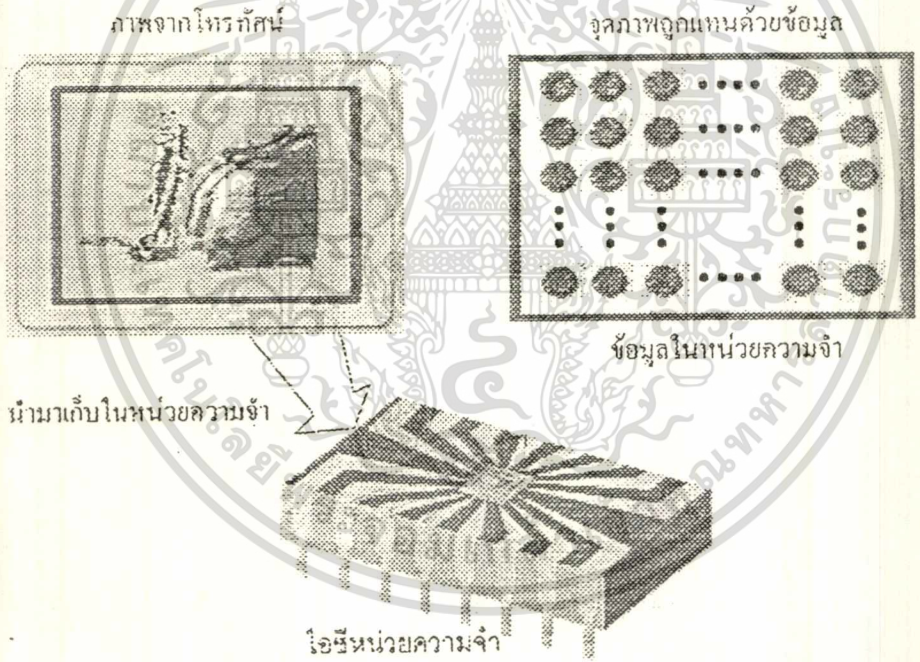
2.2 หลักการทำงานของบล็อกไดอะแกรมพื้นฐาน

เมื่อมีสัญญาณภาพเข้ามา (Video input) สัญญาณภาพจะเป็นสัญญาณอะนาลอก และสัญญาณภาพอนาลอกนี้ จะถูกแปลงให้เป็นสัญญาณภาพดิจิตอล ที่ภาค Analog to Digital Converter และคุณภาพของภาพหลังจากการทำแปลงแล้วขึ้นอยู่กับ 2 ตัวแปร คือ ความถี่ที่ใช้ในการสุ่มสัญญาณ จะเป็นตัวกำหนดความละเอียดของภาพ หากใช้ความถี่สูงภาพที่ได้มีความละเอียดสูงกว่าที่ใช้ความถี่ต่ำ ส่วนอีกตัวแปรหนึ่งคือ จำนวนบิทที่นำมาใช้แทนระดับของสัญญาณภาพในแต่ละจุด ซึ่งแต่ละจุดเมื่อแปลงกลับคืนเป็นภาพแล้ว จะสามารถแสดงความชัดเจนได้แค่ไหน ก็ขึ้นอยู่กับจำนวนบิท หากจำนวนบิทที่นำมาแทนระดับของสัญญาณภาพมีจำนวนมาก ทำให้การแทนระดับสัญญาณอะนาลอกด้วยข้อมูลภาพดิจิตอลให้มีความผิดพลาดน้อย เมื่อแปลงเป็นสัญญาณอะนาลอก ก็จะได้สัญญาณที่แทบจะไม่แตกต่างจากเดิมแต่หากจำนวนบิทที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีค่าน้อยเกินไป แล้วจะทำให้เกิดการผิดเพี้ยนของสัญญาณ ความชัดเจนของภาพแต่ละจุดก็น้อยลงเช่นกัน

เมื่อแปลงสัญญาณภาพอะนาลอกให้มาเป็นสัญญาณภาพทางดิจิตอลแล้ว ขั้นตอนต่อไปก็นำสัญญาณภาพดิจิตอลมาเก็บไว้ในหน่วยความจำซึ่งการจัดเก็บข้อมูลดิจิตอลต้องมีความเร็วทันกับที่สัญญาณอะนาลอกถูกแปลง ข้อมูลภาพที่ได้จึงสมบูรณ์ สำหรับวิธีการจัดเก็บข้อมูลภาพลงหน่วยความจำมีอยู่หลายวิธีและหลายแบบแต่ในโครงงานที่ออกแบบมีแนวความคิดที่ให้การจัดเก็บข้อมูลภาพดิจิตอลเลียนแบบการแสดงผลบนจอภาพโทรทัศน์ ทั้งนี้เพราะว่า ทำให้เห็นภาพพจน์ของข้อมูล และไม่สับสนในการออกแบบ วิธีนี้จะมองพื้นที่ของหน่วยความจำ ให้เห็นเป็นจอภาพเพื่อแทนจุดบนจอภาพด้วยข้อมูลในหน่วยความจำที่ตำแหน่งตรงกัน ดังรูป 2.1

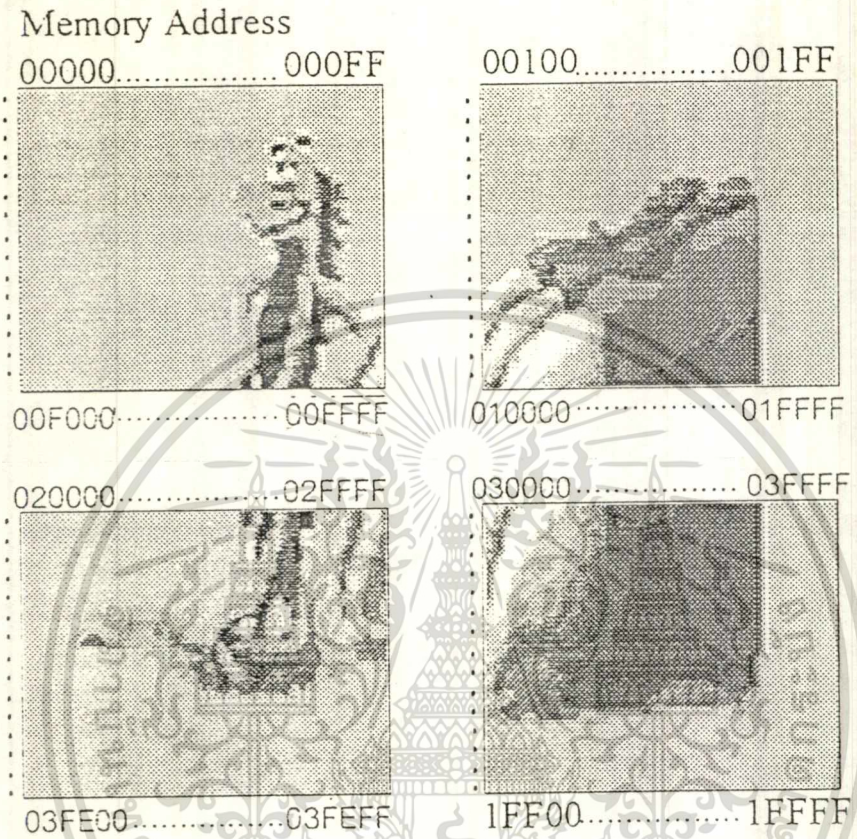


รูปที่ 2.1 การจัดเก็บข้อมูล

เมื่อสัญญาณภาพอะนาลอกที่แสดงได้ 1 จอภาพ ถูกแปลงเป็นข้อมูลดิจิตอลและจัดเก็บลงหน่วยความจำแล้ว หากนำข้อมูลในหน่วยความจำนี้ ไปทำการแปลงกลับเป็นสัญญาณอะนาลอกจะได้ภาพที่สมบูรณ์แสดงได้ 1 จอภาพเช่นเดิม แต่จุดมุ่งหมายของโครงงานไม่ได้อยู่ตรงจุดนี้ ดังนั้นข้อมูลดิจิตอลจึงต้องผ่านกระบวน การการแบ่งภาพก่อนจากการจัดเก็บข้อมูลที่มองข้อมูลภาพดิจิตอลที่อยู่ในหน่วยความจำเป็นภาพหนึ่งภาพ หากต้องการแบ่งภาพให้เป็นส่วน ๆ ก็คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกำหนดตำแหน่งข้อมูลในหน่วยความจำว่า ภาพแต่ละส่วนอยู่ที่ตำแหน่งข้อมูลใดถึงตำแหน่งข้อมูลใด ดังแสดงในรูปที่ 2.2



รูปที่ 2.2 ลักษณะการแบ่งภาพและตำแหน่งของข้อมูลในหน่วยความจำ

หลังจากภาพถูกแบ่งออกเป็นส่วนย่อย ๆ แล้ว แต่ละส่วนของภาพที่ได้มีความสมบูรณ์ในตัวเองซึ่งข้อมูลภาพในหน่วยความจำแต่ละส่วน สามารถนำไปสร้างสัญญาณได้อย่างอิสระ แต่อย่างไรก็ตามเป็นเพราะว่าข้อมูลภาพที่ได้ มาจากสัญญาณภาพอะนาลอกซึ่งมีคาบเวลาคงที่ค่าหนึ่ง ข้อมูลภาพดิจิตอลเพียงส่วนเดียวจะเป็นแค่ส่วนหนึ่งของคาบเวลาทั้งหมด ดังนั้นเมื่อนำไปแปลงกลับเป็นสัญญาณอะนาลอกสัญญาณที่ได้จะไม่เต็มคาบเวลา ความไม่สมบูรณ์ของภาพเกิดขึ้นเมื่อนำสัญญาณภาพนั้นมาแสดงบนจอภาพโดยจะเห็นภาพปรากฏเพียงส่วนเดียวไม่เต็มทั้งจอภาพ ดังรูปที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

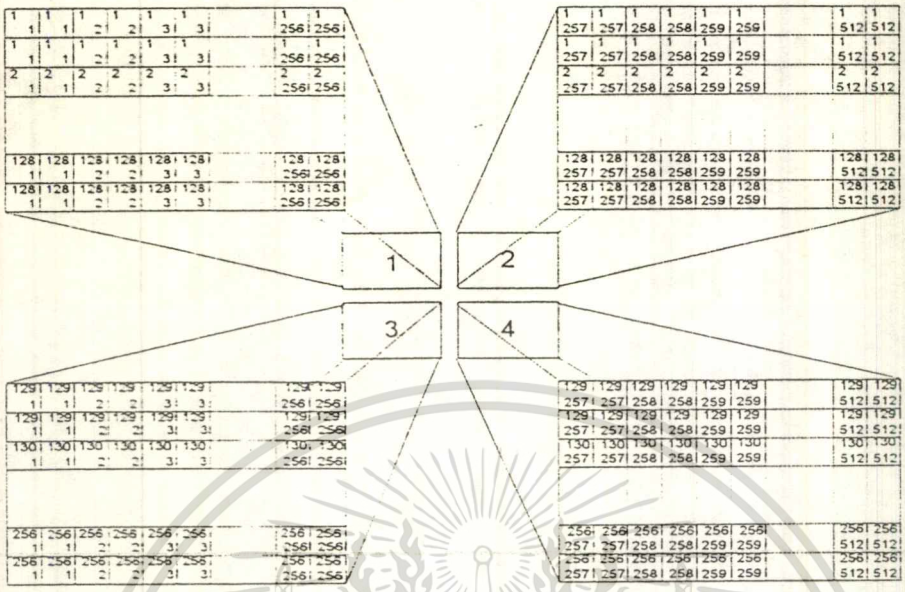
รูปที่ 2.3 ข้อมูลภาพ 1 ส่วน สัญญาณภาพ 1 ส่วน แสดงบนจอ 1 ส่วน

เพื่อให้ภาพแต่ละส่วนมีขนาดเท่ากับภาพเดิมก่อนถูกแบ่ง จึงต้องมีการขยายภาพแต่ละส่วนขึ้นมาเนื่องจากภาพแต่ละจุดถูกเก็บเป็นข้อมูลดิจิตอลในหน่วยความจำ ตำแหน่ง 1 จุดภาพ วิธีการที่ง่ายที่สุดสำหรับการขยายภาพแบบนี้ คือการทำซ้ำจุดภาพข้างเคียง ในขบวนการทำงานจริงเป็นการอ่านข้อมูลออกจากหน่วยความจำที่ตำแหน่งเดิมเท่ากับจำนวนจุดที่ต้องการทำซ้ำข้อเสียที่เห็นได้อย่างชัดเจนของวิธีการนี้หากมีการขยายภาพให้ใหญ่ขึ้นมาก ๆ ภาพจะมีความขยายขึ้นตามไปด้วย การขยายภาพไม่อาจกระทำในแนวเดียวกันเพราะภาพจะเกิดความผิดเพี้ยนไม่สมส่วน จึงต้องมีการขยายทั้งในแนวนอนและแนวตั้ง ดังรูป 2.4 - 2.6

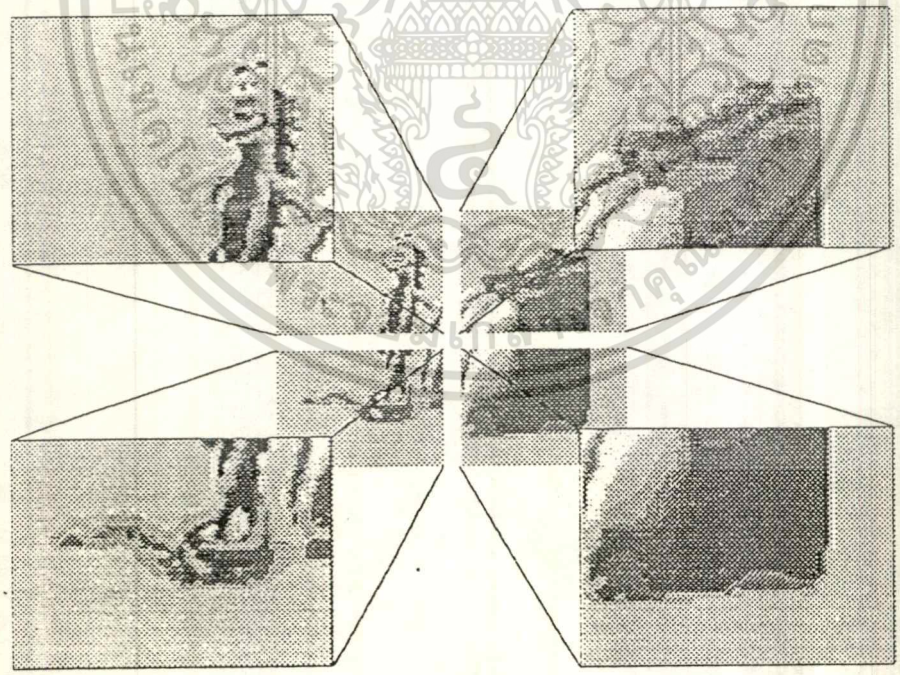
1 1	1 2	1 3	1 4	1 5	1 6		1 511	1 512
2 1	2 2	2 3	2 4	2 5	2 6		2 511	2 512
3 1	3 2	3 3	3 4	3 5	3 6		3 511	3 512
255 1	255 2	255 3	255 4	255 5	255 6		255 511	255 512
256 1	256 2	256 3	256 4	256 5	256 6		256 511	256 512

รูปที่ 2.4 แสดงตำแหน่งของจุดภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงการขยายบิทของข้อมูลในแต่ละจอภาพ



รูปที่ 2.6 แสดงรูปที่ถูกขยายในแต่ละจอภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการจัดเก็บข้อมูลเรียบร้อยแล้วต่อไปก็จะนำข้อมูลที่เป็นสัญญาณภาพดิจิตอลกลับมาเป็น สัญญาณภาพอะนาลอกและภาพที่ออกมาจะมีคุณภาพมากขนาดไหนขึ้นอยู่กับสิ่งต่อไปนี้

1. ความละเอียด (Resolution) ขึ้นอยู่กับจำนวนบิททางด้าน input ตัวอย่างเช่น วงจรเปลี่ยนสัญญาณแปดบิด มีระดับ output 2 หรือ 256 ระดับ ดังนั้นความละเอียดคือ 1/256 ความละเอียดบางครั้งคิดเป็นเปอร์เซ็นต์ คือ 0.39%

2. ความถูกต้อง (Accuracy) คือการถูกต้องจากการเปรียบเทียบระหว่าง output จริง และ output ที่ปรากฏ โดยคิดที่เต็มสเกล ถ้าวงจรเปลี่ยนสัญญาณมี output เต็มสเกล 10 โวลต์ มีความถูก = 0.2% ดังนั้นความผิดพลาดสูงสุดคือ 0.002 * 10 โวลต์ หรือ 20มิลลิโวลต์ ในทางทฤษฎีแล้ว ความถูกต้องของวงจรเปลี่ยนสัญญาณดิจิตอลเป็นอะนาลอกไม่ควรต่ำกว่า = **½** ของค่าที่บิทที่มีนัยสำคัญต่ำสุด (LSB)

3. โมโนโทนิค (Monotonicity) จะเรียกว่าเป็นโมโนโทนิคก็ต่อเมื่อไม่มีการกระโดดข้ามขั้นตอนย่านการใช้งาน

4. เวลาเซ็ต output (output setting time) เป็นเวลาที่ output ของวงจรเปลี่ยนสัญญาณ ใช้ในการเพิ่มขึ้นถึง ±12 ของ บิทที่มีนับสำคัญต่ำสุด หลังจากที่มีการเปลี่ยนแปลงทาง input ถ้าวงจรเปลี่ยนสัญญาณถูกใช้งานด้านความถี่สูง อาจทำให้มีการเพิ่มแรงดันไม่ถึงค่าที่ถูกต้องทำให้เกิดความผิดพลาดขึ้นได้อีกประการหนึ่ง จากนั้นก็จำสัญญาณที่ได้ออกสู่ Moniter ส่วน Control block จะเป็นส่วนสำคัญมีหน้าที่ควบคุมและสร้างสัญญาณต่าง ๆ มาควบคุมการทำงานของบล็อคต่าง ๆ ให้มีการทำงานสัมพันธ์กัน เช่น สร้างสัญญาณเขียน อ่าน ข้อมูลของ Memmory

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่3
ระบบเครื่องแบ่งสัญญาณภาพ

3.1 โครงสร้างของระบบ

จากแนวความคิด สามารถเขียนเป็นบล๊อกไดอะแกรมของระดับ ดังรูปที่ 3.1 ซึ่งแสดงส่วนประกอบหลักทั้งหมดของระบบ ส่วนประกอบต่าง ๆ ของบล๊อกไดอะแกรม มีหน้าที่การทำงานดังนี้

1. ส่วนแยกสัญญาณซิ้งค์ (Sync Separator) ทำหน้าที่แยกสัญญาณซิ้งค์แนวนอนและแนวตั้งจากสัญญาณภาพเพื่อใช้ประโยชน์ในการชี้จุดเริ่มต้นของเส้นสแกน และจุดเริ่มต้นของฟิลด์ภาพหลังจากแยกสัญญาณซิ้งค์ออกมาแล้วทำการปรับความกว้างของสัญญาณซิ้งค์ดังกล่าว เพื่อให้เหมาะสมกับการใช้งาน

2. ส่วนกำเนิดสัญญาณนาฬิกาและส่วนควบคุมกลาง (Clock and central control) เป็นส่วนที่ทำหน้าที่ที่กำเนิดสัญญาณนาฬิกาของระบบ และสร้างสัญญาณควบคุมต่าง ๆ คือ สัญญาณการเขียนอ่านหน่วยความจำ สัญญาณควบคุมอีเล็กทรอนิกส์สวิตซ์ในการสลับชุดหน่วยความจำ การควบคุมอาศัยการตรวจสอบสัญญาณที่ส่งมาจากส่วนต่าง ๆ

3. ส่วนการแปลงสัญญาณอะนาลอกให้เป็นดิจิตอล ซึ่งใช้แฟรชเอทูดี (FLASH A/D) เป็นตัวแปลงสัญญาณซึ่งเป็นตัวแปลงสัญญาณที่เป็นระบบแปลงความเร็วสูง สามารถแปลงค่าดิจิตอลเสร็จภายใน 1 คาบสัญญาณนาฬิกา เอาต์พุตที่ได้เป็นข้อมูลขนาด 8 บิท

4. ส่วนกำเนิดตำแหน่งการเขียน (WRITE ADDRESS GENERATOR) ทำหน้าที่ ควบคุมตำแหน่งการเขียนข้อมูลลงในหน่วยความจำ เมื่อสิ้นสุดการเขียนข้อมูล จะมีสัญญาณสิ้นสุดการเขียน (END - WR) มาบอกส่วนควบคุม

5. ส่วนกำเนิดตำแหน่งการอ่าน (READ ADDRESS GENERATOR) ทำหน้าที่ควบคุมตำแหน่งการอ่านข้อมูลในหน่วยความจำ และนอกจากนี้ยังทำหน้าที่ขยายบิทของข้อมูล โดยการอาศัยการซ้ำบิทด้วย และมีสัญญาณสิ้นสุดการอ่าน (END -RD) มาบอกส่วนคุบคุม

6. ส่วนสวิตซ์ (SW # 1 , SW#2) ทำหน้าที่สลับการเขียนและอ่านข้อมูลของหน่วยความจำ

7. ส่วนแยกบัสข้อมูล (DATA BUS SEPARATE) ทำหน้าที่เป็นสวิตซ์ตัดต่อบัสข้อมูลเข้ากับตัวแปลงสัญญาณในการเขียนข้อมูล และตัวดีทูเอในการอ่านข้อมูลออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

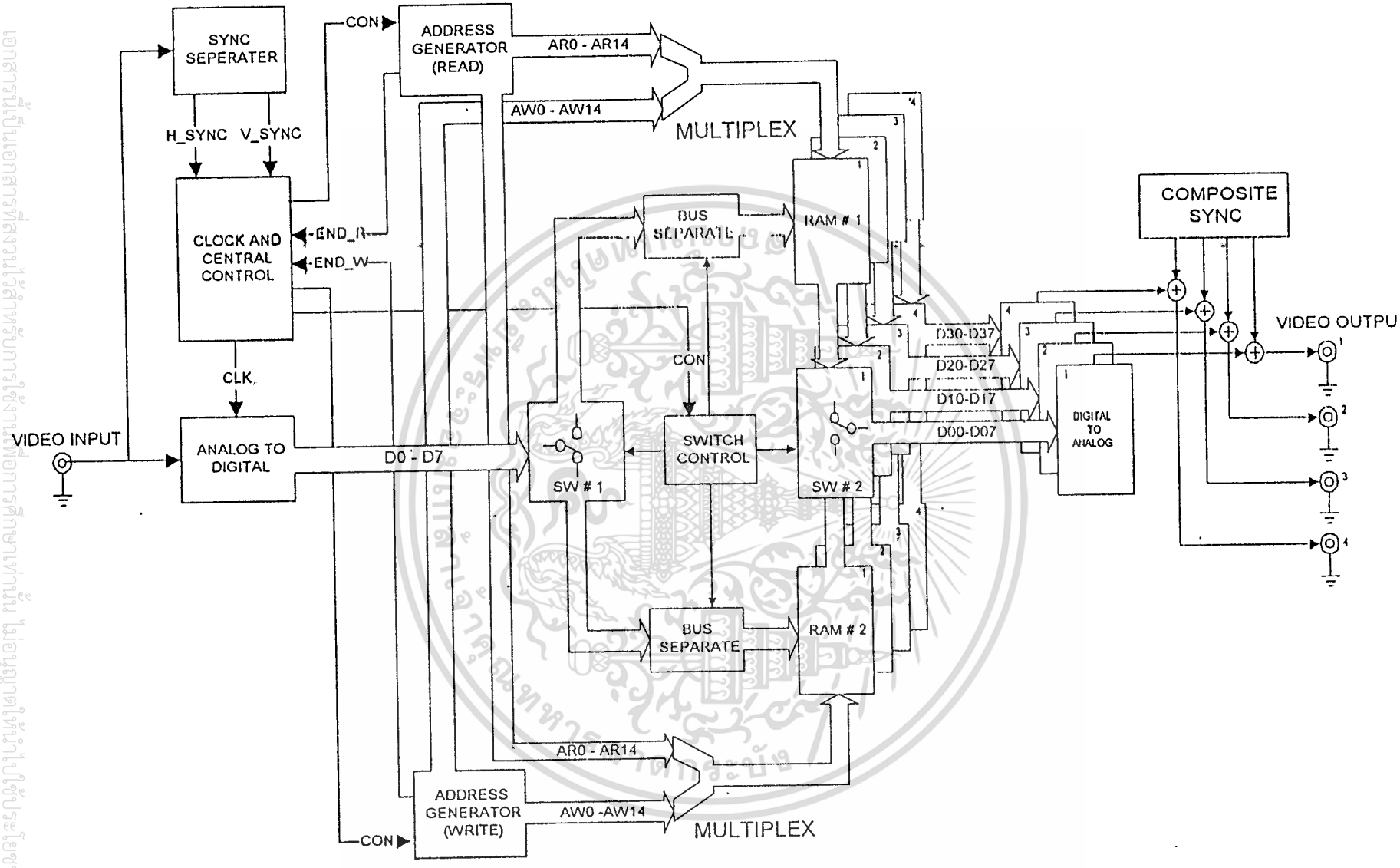
8. ส่วนมัลติเพล็กซ์ (MULTIPLEX) ทำหน้าที่ เลือกสัญญาณการอ่านหรือการเขียนข้อมูลให้กับหน่วยความจำ

9. ส่วนควบคุมสวิตซ์ (SWITCH CONTROL) ทำหน้าที่ควบคุมอีเล็กทรอนิกส์สวิตซ์ส่วนแยกบัสข้อมูล และส่วนมัลติเพล็ก เพื่อให้การเขียนและการอ่านของหน่วยความจำมีความสัมพันธ์กัน

10. ส่วนแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอกทำหน้าที่คืกลับข้อมูลภาพดิจิตอลให้เป็นข้อมูลภาพอะนาลอก

11. ส่วนผสมสัญญาณหน้าที่รวมสัญญาณภาพอะนาลอก และรูปแบบของสัญญาณโทรทัศน์เข้าด้วยกันเพื่อให้เป็นสัญญาภาพที่สมบูรณ์พร้อมที่จะไปแสดงที่จอโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 บล็อกไดอะแกรมเครื่องจัดแบ่งสัญญาณภาพ

3.2. ส่วนวงจรแยกสัญญาณซิ้งค์

สำหรับวงจรแยกสัญญาณซิ้งค์นั้น ในโครงการนี้ได้ทำการออกแบบเบอร์โดยใช้ไอซีแยกสัญญาณซิ้งค์เบอร์ LM 1881N ซึ่งสามารถแยกสัญญาณซิ้งค์ต่าง ๆ ออกจากสัญญาณภาพปกติได้ โดยมีสัญญาณที่ต้องการใช้คือ สัญญาณซิ้งค์รวม ซึ่งสัญญาณซิ้งค์รวมนี้ได้นำเอาไปผ่านวงจรโมโนสเตเบิ้ล เพื่อให้ได้เพียงสัญญาณฮอริซอลตัลซิ้งค์ ซึ่งสามารถปรับขนาดได้ตามต้องการ สัญญาณฮอริซอลตัลซิ้งค์ ที่ได้นั้นจะนำไปควบคุมวงจรส่วนอื่นต่อไป สัญญาณอีกส่วนหนึ่งที่ออกมาจากขา 3 ของไอซี LM 1881N เป็นสัญญาณเวอร์ติคัลซิ้งค์ ก็นำไปผ่านวงจรโมโนสเตเบิ้ลเช่นกัน เพื่อทำการปรับขนาดให้ได้ตามต้องการสำหรับค่าความต้านทานที่ต่ออยู่กับขา 6 นั้นถ้าใช้ตัวต้านทานแบบปรับค่าได้ ก็จะสามารถปรับช่วงสัญญาณเวอร์ติคัลซิ้งค์ โดยค่าความต้านทานสูงจำทำให้ช่วงของสัญญาณเวอร์ติคัลซิ้งค์กว้าง และทางตรงข้าม ถ้าค่าความต้านทานมีค่าต่ำก็จะทำให้ช่วงสัญญาณเวอร์ติคัลซิงค์แคบลงด้วย วงจรส่วนแยกสัญญาณซิ้งค์ที่ใช้งานอยู่ในผนวก และรูปแบบสัญญาณที่ออกจากไอซีเบอร์ LM 1881N สามารถดูได้จากเอกสารอ้างอิงในภาคผนวก .และรูปแบบของสัญญาณที่ออกจากไอซีเบอร์ LM 1881N สามารถที่จะได้จากเอกสารอ้างอิงในภาคผนวก

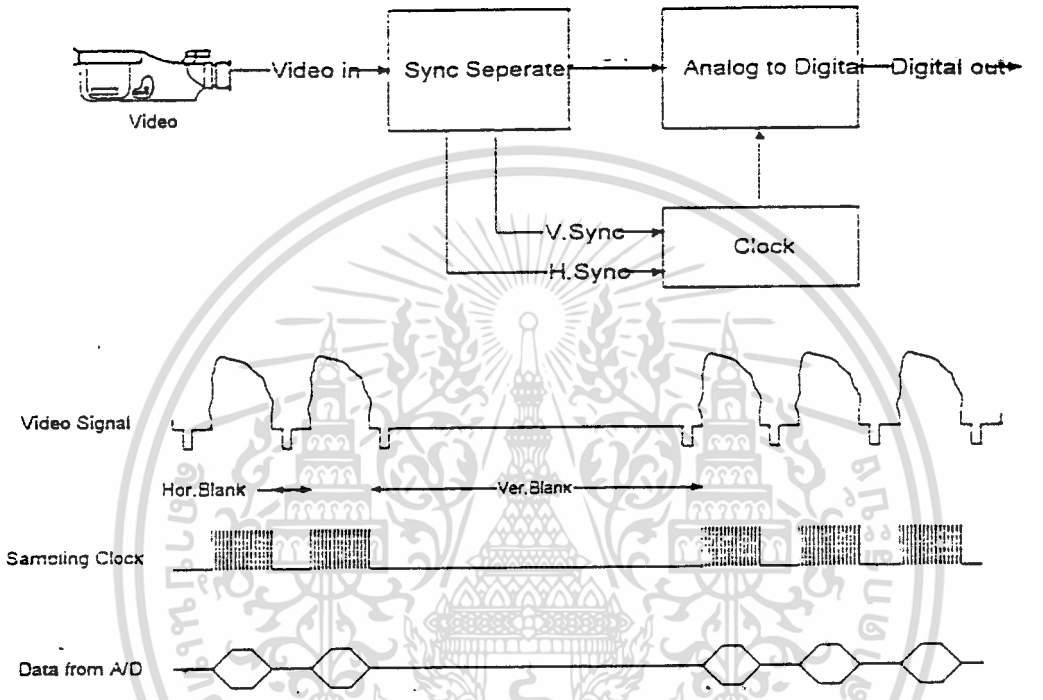
3.3 ส่วนเปลี่ยนสัญญาณอะนาลอกให้เป็นสัญญาณดิจิตอล

การเปลี่ยนสัญญาณอะนาลอกให้เป็นสัญญาณดิจิตอล เป็นขบวนการที่สำคัญของระบบสัญญาณภาพถูกแปลงให้เป็นข้อมูลภาพดิจิตอลที่ส่วนนี้ หลังจากนั้นข้อมูลถูกเก็บในหน่วยความจำ สัญญาณอินพุทของส่วนนี้ คือ สัญญาณภาพรวมโทรทัศน์ (Composit Video Signal) และให้เอาต์พุท เป็นข้อมูลดิจิตอล หากพิจารณาถึงรายละเอียดของสัญญาณภาพรวม พบว่าประกอบด้วยด้วยสัญญาณ 2 ส่วน คือ ส่วนของสัญญาณความสว่างเป็นส่วนหนึ่งของภาพที่แสดงบนจอ และส่วนของสัญญาณควบคุม ภาพไม่สามารถไปปรากฏบนจอภาพได้หากขาดส่วนหนึ่งไป สัญญาณควบคุมไม่ใช่ส่วนที่ทำให้เกิดภาพบนจอ แต่ช่วยในการจัดภาพให้เกิดขึ้น ณ ที่ถูกต้องบนจอภาพ สัญญาณควบคุมมีรูปแบบของสัญญาณที่ชัดเจน เป็นไปตามมาตราฐานที่กำหนดไว้ คือ ระบบพาว ดังนั้นในการเปลี่นแปลงสัญญาณจึงไม่จำเป็น โดยการแปลงเฉพาะสัญญาณส่วนที่ทำให้เกิดภาพเท่านั้น แตอย่างไรก็ตามสัญญาณควบคุมถูกสร้างขึ้นมาใหม่เมื่อนำข้อมูลภาพดิจิตอลไปแปลงเป็นสัญญาณอะนาลอก เพื่อส่งออกสู่จอภาพ

การแปลงสัญญาณโดยเลือก เฉพาะส่วนที่เป็นความสว่าง จำเป็นต้องมีสัญญาณมาก และต้องรู้ตำแหน่งจุดเริ่มต้นและจุดสิ้นสุดของสัญญาณที่แน่นอน จากรูป 3.1 สัญญาณภาพในแต่ละเส้นสะแกนเริ่มปรากฏเมื่อสิ้นสุด สัญญาณฮอริซอลตัลแบลงกิ้ง ส่วนจุดเริ่มต้นพิลด์ภาพ สังเกตได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสัญญาณเวอร์ติคัลแบลงกิ้ง หากแยกสัญญาณเหล่านี้ออกจากสัญญาณภาพรวมได้ จะสามารถนำไปควบคุมการแปลงสัญญาณภาพได้ โดยการเข้าไปควบคุมสัญญาณนาฬิกาที่ป้อนให้กับ ไอซี เอทูดี คือ ไม่ให้มีการป้อนสัญญาณนาฬิกาเมื่อไม่ต้องการให้มีการแปลงบล๊อกไดอะแกรม และรูปสัญญาณแสดงหลักการทำงานพื้นฐาน แสดงดังรูป 3.2



รูปที่ 3.2 สัญญาณแสดงหลักการทำงานพื้นฐาน

ส่วนการแปลงสัญญาณอะนาลอกเป็นดิจิตอล มีความสัมพันธ์โดยตรงกับความละเอียดของภาพที่จะได้ เมื่อทำการแปลงสัญญาณกลับคืน หากใช้ความถี่การสุ่มสัญญาณสูง สามารถเก็บรายละเอียดของภาพได้ดี แต่ปริมาณของข้อมูลก็สูงด้วย จากรูป 3.1 ใน 1 เส้นสแกนใช้เวลาทั้งหมด 64 ไมโครเซ็คคั่น เป็นส่วนที่ทำให้เกิดภาพประมาณ 80% หรือ 51.2 ไมโครเซ็คคั่น ส่วนที่เหลือ 20%หรือ12.8 ไมโครเซ็คคั่น เป็นส่วนควบคุมภาพ ซึ่งไม่ได้ทำการจัดเก็บ ไอซี เอทูดี ที่เหลือใช้สามารถใช้กับความถี่สูงสุดได้ 15 เมกะเฮิรตซ์นั่นคือ ถ้าใช้ความถี่ 15 เมกะเฮิรตซ์ ในการสุ่มสัญญาณภาพใน 1 เส้นสแกน จะได้จุดภาพรวมทั้งหมด $51.2 * 10^{-6} * 15 * 10^{6} = 768$จุด/เส้นสแกน แต่อย่างไรก็ตามเนื่องจากค่าความถี่นี้เป็นค่าสูงสุดของไอซีและจำนวนจุดที่ได้ก็ไม่ลงตัวที่ 2 ทำให้ยากต่อการออกแบบวงจรและและเลือกใช้อุปกรณ์ ดังนั้นในโครงงานจึงเลือกให้ เอทูดี ทำงานที่ความถี่ 10 เมกะเฮิรตซ์ จะได้ $51.2 * 10^{-6} * 10 * 10^{6} = 512$ จุด/เส้นสแกน จะเห็นว่า $512 = 2^{9}$ ซึ่งใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

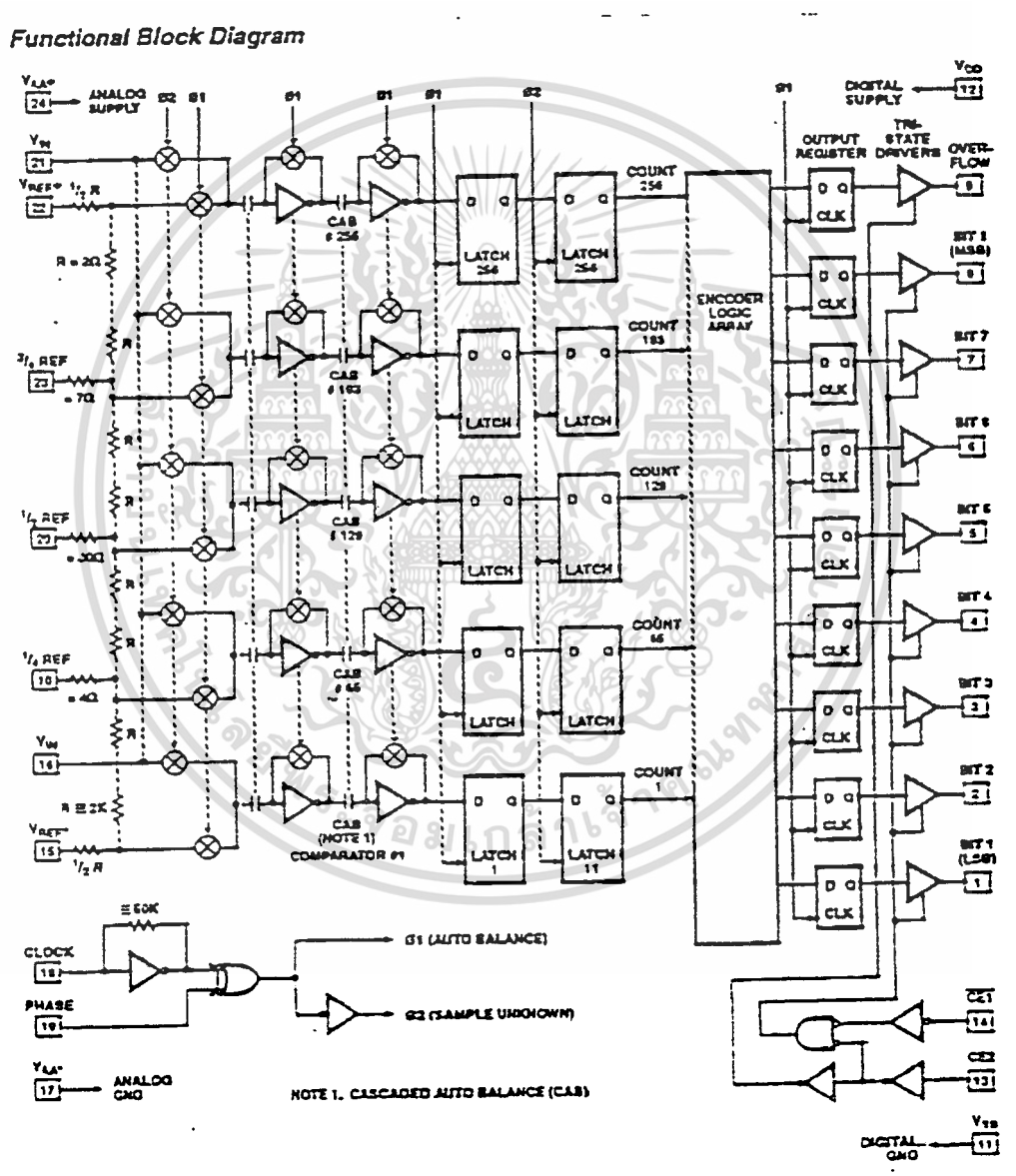
การออกแบบวงจรนับ หรือการนำไอซีหน่วยความจำมาใช้สามารถทำได้สะดวกกว่า โดยที่ใน 1 ฟิลด์ทำการเก็บข้อมูลภาพ 256 เส้น ดังนั้นใน 1 ฟิลด์ จึงได้ความละเอียดภาพ 512 *256 จุด

ไอซีเบอร์ CA3318 เป็นไอซีที่ทำหน้าที่แปลงสัญญาณอะนาลอกเป็นดิจิตอลแบบแฟลช ขนาด 8 บิท มีความเร็วในการแปลงสัญญาณสูงมาก ตัวถังเป็นแบบดิพ (DIP) ขนาด 24 ขา โครงสร้างภายในแสดงดังรูปที่ 3.3 และมีการทำงานดังนี้ ชุดสวิทช์อิเล็กทรอนิกส์ (ส่วนที่เห็นเป็นวงกลมมีกากบาทอยู่ภายใน) ทำการสุ่มสัญญาณเข้ามาชุดตัวเปรียบเทียบจำนวน 256 ชุด ที่ได้กำหนดไว้แล้ว ข้อหัวเปรียบเทียบนี้ทำหน้าที่เปรียบเทียบสัญญาณอินพุตที่เป็นอนาลอกกับแรงดันอ้างอิงของตัวเปรียบเทียบทั้ง 256 ชุดที่ได้กำหนดไว้แล้ว ข้อมูลทั้งหมดจากตัวเปรียบเทียบที่ได้นั้น (เป็นลอจิก "0 " หรือ "1") ส่งเข้า ดีฟลิปฟลอป (D- FIip FIop) ทั้ง 256 ชุดโดยตรง เป็นไปในเปรียบเทียบ ชุดที่ 1 ส่งข้อมูลเข้า ดีฟลิปฟลอป ชุดที่ 1 คือส่งเข้าชุดไหนชุดนั้น ดีฟลิปฟลอปทำหน้าที่เป็น ชิปรีจิสเตอร์ทำงานในโหมดสัญญาณนาฬิกา (ตอบสนองต่อสัญญาณนาฬิกาเฉพาะช่วงขอบขาขึ้นและขอบขาของรูปคลื่นเท่านั่น) ทำการแลตช์ (Latch) ข้อมูลไว้ชั่วขณะ จนกว่าจะมีข้อมูลชุดใหม่เข้ามาจึงจะเลื่อน (Shift) ข้อมูลนั่นเข้ารหัส (Encoder Logic Array) เพื่อแปลงข้อมูลทั้ง 256 ค่าออกมาเป็นข้อมูลดิจิตอลขนาด 9 บิท (รวมบิทส่วนเกินด้วย) ส่งต่อไปยังเอาต์พุทรีจิสเตอร์ ซึ่งใช้ดีฟลิปฟลอปทำหน้าที่อีกเช่นเคยก่อนที่จะส่งไปยังตัวขับทั้ง 3 สถานะ หรือ(Tri- state)เป็นเอาต์พุตต่อไป เอาต์นี่สามารถควบคุมได้ด้วย CE และCE

ไอซี CA3318 ใช้เทคนิคการแปลงข้อมูลแบบขนานเป็นลำดับ (Sequential parallel technique) โดยอาศัยการจัดระดับลอจิกของสัญญาณนาฬิกาไปควบคุมจังหวะในการทำงานของส่วนต่าง ๆ ให้สอดคล้องกันจากโครงสร้างภายใน ขาป้อนสัญญาณนาฬิกา (ขา 18) และขาควบคุมเฟส (ขา19) ต่อกับวงจรลอจิกเกทชุดหนึ่ง ซึ่งวงจรนี้ทำหน้าที่จัดสัญญาณนาฬิกาให้แบ่งเป็นเฟส 2 เฟส คือ Ø1 (Auto balance)และ Ø2 (Sample unkow) เฟสทั้ง 2 นี้ จะถูกจัดให้อยู่ในช่วงลอจิก " 0 " หรือ " 1" ของสัญญาณนาฬิกา (ใน 1 คาบเวลา) ซึ่งสามารถควบคุมได้โดยใช้ขาควบคุมเฟสการจัด ϕ1 และ ϕ2 ให้อยู่คนละช่วงของสัญญาณนาฬิกาด้วยขาควบคุมเฟสนี้ ทำให้สามารถควบคุมความเร็วในการแปลงสัญญาณ (ข้อมูล) ของ CA3318 ให้เปลี่ยนแปลงสัญญาณนาฬิกาได้ การควบคุมความเร็ว ในการแปลงสัญญาณทำได้ 2 วิธี คือ วิธีแรก โดยการป้อนลอจิก " 0 " เข้าที่ขาควบคุมเฟส 01 จะถูกจัดให้อยู่ในลอจิก "1 " และ Ø2 ถูกจัดอยู่ในลอจิก "0" ของสัญญาณนาฬิกา ข้อมูลจากตัวเปรียบเทียบ (อะนาลอก) จะถูกแลตช์ไว้ที่ขอบขาขึ้นของรูปคลื่น Ø1 และเมื่อถึงช่วงขอบขาลงของพัลส์Ø1 แล้วก็จะทำการเลื่อนข้อมูลนั่นส่งผ่านเข้าไปเอาท์พุทรีจิสเตอร์ต่อไปซึ่งวิธีนี้เป็นการแปลงข้อมูลเสร็จสิ้นภายในครึ่งคาบเวลาของสัญญาณนาฬิกาเท่านั้น ในโครงงานได้ออกแบบให้ CA3328 ทำงานในโหมดนี้ วิธีที่ 2 โดยการป้อนลอจิก " 1 " เข้าที่ขา

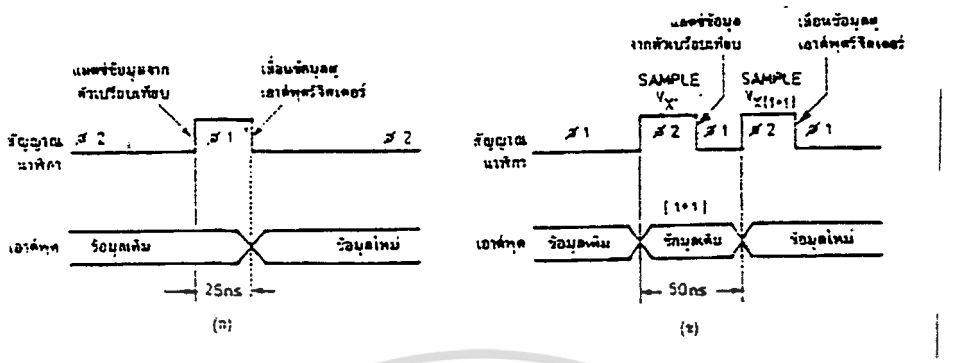
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควบคุมเฟสเช่นกัน แสดงดังรูป ที่ 3.4 Ø1 ถูกจัดให้อยู่ในลอจิก "0" และ Ø2 ถูกจัดให้อยู่ในลอจิก "1" ของสัญญาณนาฬิกา เมื่อถึงช่วงขอบขาลงของรูปคลื่น Ø2 ข้อมูลจากตัวรูปเปรียบเทียบสัญญาณ(อะนาลอก) ถูกแลตช์ไว้จนกว่าจะถึงช่วงขอบขาขึ้นของรูปคลื่น Ø2 ลูกต่อมา จึงจะทำการเลื่อนข้อมูลส่งเข้าเอาต์พุตรีจิสเตอร์ วิธีนี้จะเปลงสัญญาณเสร็จสิ้นภายใน 1 คาบ ของสัญญาณนาฬิกา



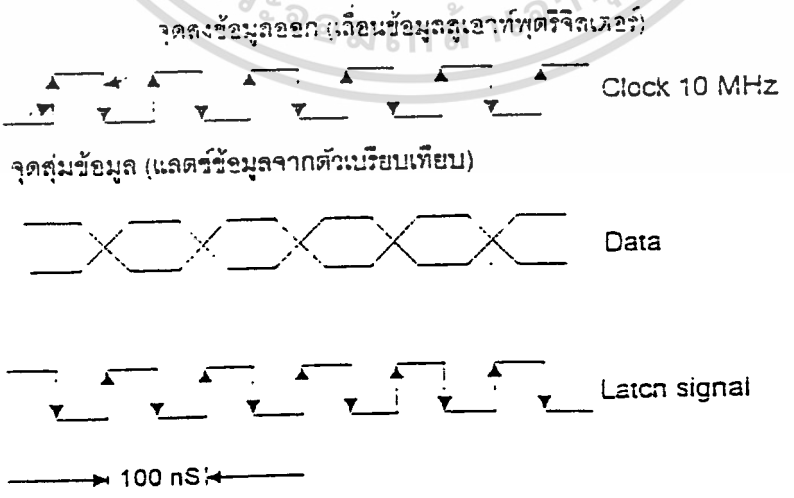
รูปที่ 3.3 แสดงแผนผังการทำงานภายในของ A/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงการควบคุม CA3318

ข้อมูลดิจิกตอลที่ส่งออกจาก CA3318 พร้อมที่จะนำปเก็บในหน่วยความจำ ในการออกแบบไม่ได้ ให้เอาต์ของวงจรเอทูดี ต่อเข้ากับอินพุตของหน่วยความจำโดยตรง แต่จะต่อผ่านไอซีที่ทำหน้าที่แลตช์ ข้อมูลเบอร์ MC74F374 ซึ่งทำงานที่ขอบขาขึ้นของสัญญาณนาฬิกา ส่วนขา OE เป็นขาที่ควบคุมบัฟเฟอร์ 3 สถานะ (Tri - state buffer) ที่เอาต์ของแลต์ ขา OE เป็นขาที่ใช้ในการควบคุมจริง ๆ คือ ขา CP นั้นคือ ถ้ามีสัญญาณนาฬิกาเข้ามา ข้อมูลทางอินพุตของแลตช์จะออกสู่เอาตช์พุททันที ถ้าพิจารณาการส่งข้อมูลออกของวงจรเอทูดี จะพบว่าสัญญาณนาฬิกาที่ต้องป้อนให้ขา CP ต้องกลับเฟส 180 องศา กับสัญญาณนาฬิกา ที่ป้อนให้วงจรเอทูดี ดังรูปที่ 3.5 เพื่อว่า เมื่อวงจรเอทูดีส่งข้อมูลออกมา แลตช์จะทำการเก็บข้อมูลไว้ได้ พร้อมส่งออกในทันที



รูปที่ 3.5 สัญญาณนาฬิกาและสัญญาณแลตช์ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรเอทูดีของ CA3318

หาแรงดันที่จุดแท็ป (Tap) ของ CA3318 จากสมการ

$V_{tap} = ((2N-1)/512) * V_{tap}$

โดยที่ N= จำนวนแล็ดเดอร์ที่ใช้ตั้งแต่0-256

โดยดูจากวงจรภายในของ CA3318ในภาคผนวก จะมีแท็ป 3จุดคือ193 129 65

V_{ref} =5 โวลต์

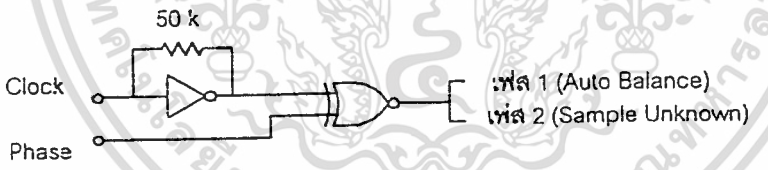
ดังนั้นจะได้แรงดันที่จุดแท็ปต่างๆดังนี้

$V_{tap(193)}$ =3.75 โวลต์หรือ =3/4 V_{ref}

$V_{tap(129)}$ =2.5' โวลต์หรือ =1/2 V_{ref}

$V_{tap(65)}$ =1.25 โวลต์หรือ =1/4 V_{ref}

เมื่อได้ค่า V_{tap} ที่จุดต่าง ๆ แล้วก็นำแรงดัน (Vottage) ที่มีค่าดังกล่าวต่อเข้ากับขา 3/4 V_{ref} , 1/0 V_{ref} และ 1/4 V_{ref} เพื่อเพิ่มความถูกต้องในวงจร ถึงแม้แต่ในตัว ไอซีจะมีวงจรแบ่งแรงดันแล้วก็ตาม ส่วนขา คล็อกกับ phase นั้น วงจรต่อในลักษณะนี้



รูปที่ 3.6 ลักษณะการต่อคล็อกกับเฟส

เห็นว่า ขา CK กับเฟส ต่อเข้ากับเอ็กซ์คูซีฟออเกท ดังนั้นเมื่อไม่ต้องการเบรียบเทียบสัญญาณนาฬิกา หรือ คล็อก (clock) ก็ต่อขา เฟส (phase) ลงกราวนด์ เพื่อให้คล็อก ที่ไปป้อนวงจรเป็นคล็อกของอินพุตตัวเดียว

- ขา $\overline{CE_1}$ และ $\overline{CE_2}$ เป็นขาที่ไปควบคุม ตัวขับ 3 สถานะ (Tri-state) จึงต้องต่อให้อยู่ในลักษณะ แอคทีฟ (Active) ตลอดเวลา เมื่อไม่ต้องการใช้คล็อก ควบคุมการอ่านออก

- ขา V_{ss} และ V_{dd} เป็นแหล่งจ่ายไฟสำหรับวงจรดิจิตอล ในตัวไอซี จึงต่อกับแหล่งจ่ายไฟดิจิตอล และ ดิจิตอลกราวนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

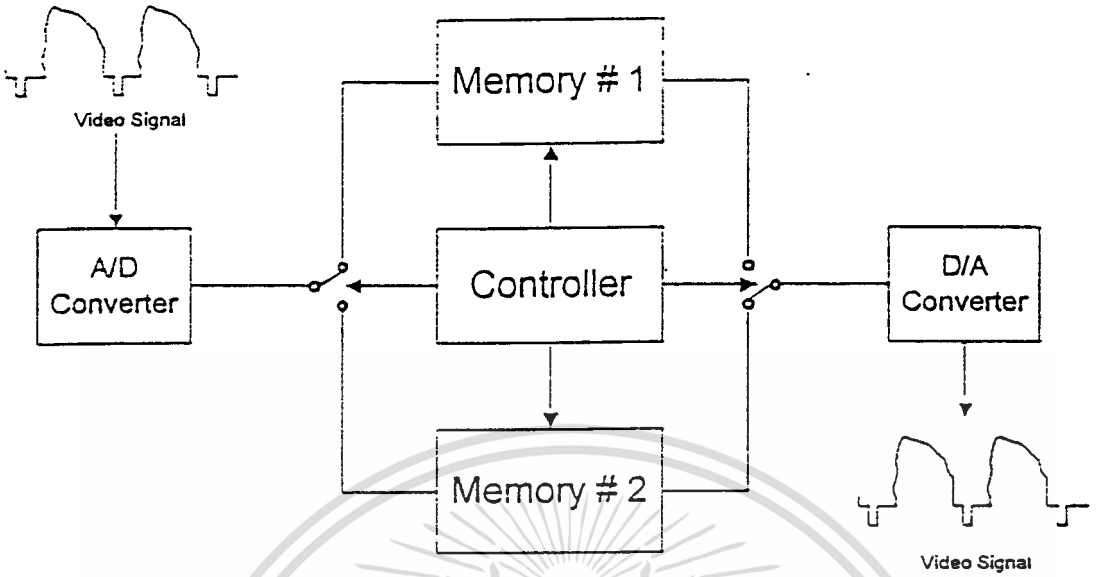
- ขา V_{aa} และ V_{aa} เป็นแหล่งจ่ายไฟสำหรับวงจรอะนาลอก ในตัวไอซี จึงต้องต่อยู่กับแหล่งจ่ายไฟอะนาลอก

ที่ต้องแยกแหล่งจ่ายไฟสำหรับวงจรอะนาลอก กับ แหล่งจ่ายไฟดิจิตอล ออกจากกันก็เพื่อป้องกันสัญญาณจากภาคดิจิตอล เข้าไปรบกวนสัญญาณอะนาลอกอินพุต ซึ่งอาจทำให้เกิดค่าผิดพลาดขึ้นได้

3.4 ส่วนหน่วยความจำ

ส่วนหน่วยความจำ ทำหน้าที่เก็บข้อมูลดิจิตอลที่ได้ จากการแปลงสัญญาณภาพอะนาลอกซึ่งในแต่ละฟิลด์มีข้อมูลขนาด 512 * 256 = 131.072 จุด โดยที่แต่ละจุดมีขนาด 8 บิท ดังนั้นต้องใช้หน่วยความจำ ขนาด 131.072 *8 ตำแหน่ง หรือ 128 กิโลไบต์ เพื่อเก็บข้อมูลภาพใน 1 ฟิลด์ เนื่องจากใน 1 ภาพ ประกอบด้วย 2 ฟิลด์ จึงต้องใช้หน่วยความจำที่มีขนาดเป็น 2 เท่า 256 กิโลไบต์ และเพื่อให้เป็นภาพเคลื่อนไหวที่เวลาจริง (Real Time) กระบวนการเขียนกระบวนการอ่านข้อมูลต้องเกิดขึ้นพร้อม ๆ กัน หากจัดให้การเขียนและการอ่านข้อมูลเกิดขึ้นสลับกันคือให้มีการเขียนข้อมูลลงหน่วยความจำเสร็จก่อน แล้วจึงอ่านข้อมูลออกมา ทำให้ภาพเกิดขึ้นอย่างไม่ต่อเนื่อง และสัญญาณภาพบางฟิลด์ไม่ถูกแปลงเป็นสัญญาณดิจิตอลเพราะช่วงเวลาดังกล่าวเป็นเวลาของกระบวนการอ่านจะข้อมูล ดังนั้น เพื่อให้กระบวนการทั้ง 2 เกิดขึ้นพร้อม ๆ กัน จึงมีการออกแบบให้มีหน่วยความจำ 2 ชุด ทำให้กระบวนการเขียนและอ่านข้อมูลสามารถเกิดเกิดขึ้นพร้อม ๆ กันได้ เพราะในขณะที่หน่วยความจำชุดแรกถูกเขียนข้อมูลอยู่ หน่วยความจำชุดที่ 2 จะถูกอ่านข้อมูลออกไป โดยที่หน่วยความจำทั้ง 2 ชุดนี้ต้องถูกควบคุมอย่างใกล้ชิด เพราะมีความสัมพันธ์กับส่วนกับส่วนอื่นมาก เมื่อทำการเขียนข้อมูลเสร็จ ชุดควบคุมจะบังคับให้หยุดการเขียนข้อมูล และให้ทำกระบวนการอ่านข้อมูล ในขณะเดียวกันที่หน่วยความจำอีกชุดหนึ่งถูกอ่านข้อมูลจนหมดแล้ว ชุดควบคุมจะไม่ยอมให้มีการอ่านข้อมูลอีกต่อไป โดยควบคุมให้เกิดกระบวนการเขียนข้อมูลที่มาจากส่วนแปลงสัญญาณอะนาลอกเป็นดิจิตอลแทน กระบวนการสลับเปลี่ยนชุดหน่วยความจำสามารถนำมาเขียนเป็นบล็อกไดอะแกรมได้ดังรูปที่ 3.7 ซึ่งการสลับเปลี่ยนชุดหน่วยความจำอาศัยการทำงานของวงจรที่ทำหน้าที่เป็นสวิทช์ โดยมีการควบคุมให้เกิดความสัมพันธ์กัน

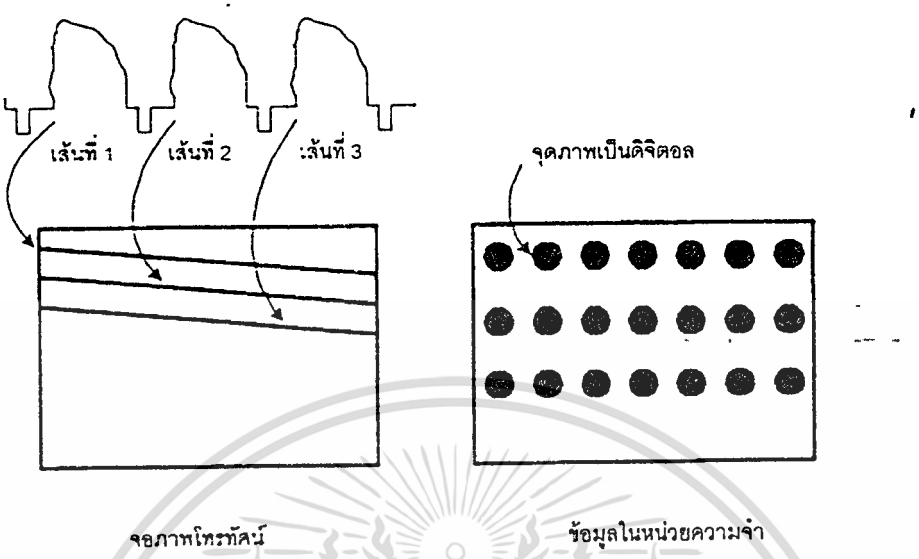
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 บล็อกไดอะแกรมการสลับเปลี่ยนชุดหน่วยความจำ

ระบบถูกออกแบบให้สามารถเก็บข้อมูลภาพได้ ๆ ฟิลด์ภาพ ดังนั้นหน่วยความจำ 1 ชุดต้องมีความจุ 128 กิโลไบต์ เพื่อเก็บข้อมูลภาพ 1 ฟิลด์ เมื่อรวมหน่วยความจำ 2 ชุด ขนาดความจุ 256 กิโลไบต์ทำให้สามารถเก็บข้อมูลภาพได้ 1 เฟรมพอดี โดยในขณะที่กำลังจัดเก็บข้อมูลภาพของฟิลด์ปัจจุบันอยู่ ข้อมูลภาพของฟิลด์ก่อนหน้านี้ถูกอ่านออกมาใช้งาน ในกระบวนการเขียนข้อมูลจะมองหน่วยความจำชุดที่กำลังเก็บพื้นที่ใหญ่อันเดียว การจัดตำแหน่งข้อมูลใช้ในการ แสดงผลหน้าจอภาพ ใน 1 เส้นสแกนมีการสุ่มข้อมูล 512 จุด และเก็บข้อมูลทั้งหมด 256 เส้น ใน 1 ฟิลด์ ตำแหน่งของหน่วยความจำ (เมื่อเปรียบเทียบกับการแสดงผลของจอภาพได้ดังรูปที่ 3.8 ซึ่งหน่วยความจำจัดตำแหน่งเป็น 512 * 256 ตำแหน่ง) ที่จัดจึงเป็น 512 * 256 ตำแหน่ง ดังรูปที่ 3.8 แสดงการนับเส้นในรูปเป็นการนับในแต่ละฟิลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

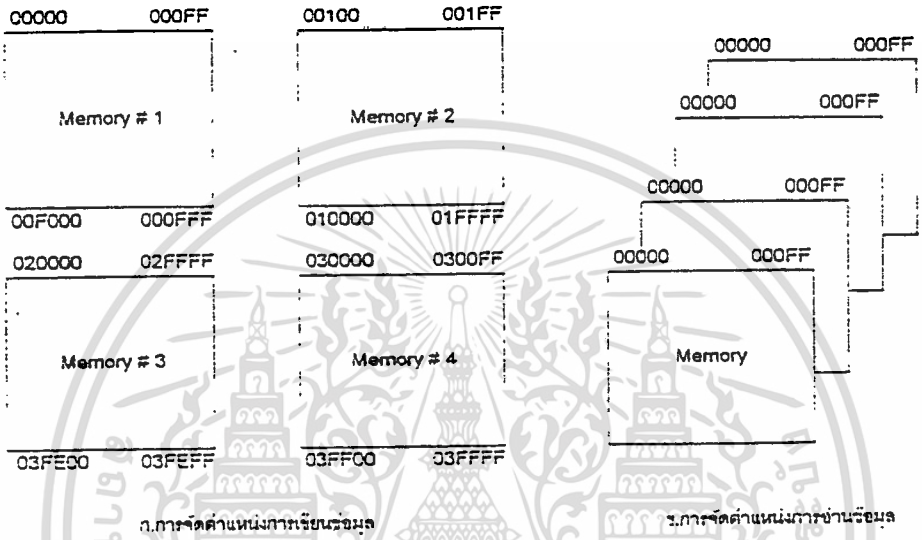


รูปที่ 3.8 การจัดตำแหน่งของหน่วยความจำ

เมื่อข้อมูลถูกเขียนจนเต็มหน่วยความจำแล้ว กระบวนการอ่านข้อมูลจึงเริ่มต้นขึ้น ถ้าควบคุมให้เริ่มอ่านตั้งแต่ตำแหน่งแรก ไปจนถึง ตำแหน่งสุดท้ายของข้อมูลแล้วนำไปแปลงเป็นสัญญาณภาพ จะได้ภาพที่เหมือนเดิมออกมา ในการอ่านข้อมูลออกจากหน่วยความจำจึงต้องแบ่งออกเป็น 4 ส่วน แต่หากใช้วิธีอ่านข้อมูลต่อเนื่องกันไปตามลำดับตำแหน่ง จำเป็นต้องใช้เวลามากเพราะว่าต้องมีการทำซ้ำจุดแต่ละเส้น เพื่อขยายภาพด้วย การใช้เวลามากเกินไปทำให้ไม่สัมพันธ์กับกระบวนการเขียนข้อมูล แต่ถ้าบังคับให้หน่วยความจำทั้ง 4 ส่วน ถูกอ่านข้อมูลออกมาพร้อม ๆ กัน และนำไปแสดงบนจอภาพพร้อม ๆ กัน วิธีการนี้ถึงแม้ว่าภาพที่แสดงจะแตกต่างจากเดิม แต่เนื่องจากโทรทัศน์สร้างภาพที่ความถี่สูงกว่าที่ตาจะจับความผิดพลาดได้ จึงไม่สามารถมองไม่เห็นความแตกต่าง การอ่านข้อมูลออกจากหน่วยความจำพร้อมกันช่วยลดเวลาของกระบวนการอ่านและทำให้เกิดความสัมพันธ์กับการเขียนข้อมูล ปัญหาที่ตามมาคือ เมื่อหน่วยความจำถูกมองเป็นพื้นที่เดียวกันแล้วหากใช้หน่วยความจำขนาด 128 กิโลไบต์ เพียงตัวเดียวในการเก็บข้อมูล ถึงแม้ว่าสามารถแบ่งข้อมูลภายในหน่วยความออกเป็น 4 ส่วนตามตำแหน่งได้ แต่ไม่สามารถอ่านข้อมูลออกมาพร้อม ๆ กันทั้ง 4 ส่วนได้เพราะสายสัญญาณข้อมูลและสายสัญญาณตำแหน่งของหน่วยความจำ มีเพียงชุดเดียว ในโครงงานออกแบบโดยสังเกตว่า เมื่อหน่วยความจำ 1 ชุดขนาด 128 กิโลไบต์ถูกแบ่งออกเป็น 4 ส่วน ในช่วงกระบวนการอ่านข้อมูล แต่ละส่วนจึงมีขนาด 32 กิโลไบต์ หากออกแบบให้มีหน่วยความจำขนาด 32 กิโลไบต์ จำนวน 4 ตัวใน 1 ชุดหน่วยความจำ จะได้หน่วยความจำขนาด 128 กิโลไบต์ เช่นกัน แต่อย่างไรก็ตามในกระบวนการเขียนข้อมูลหน่วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความจำทั้ง 4 ตัวนี้ ถูกมองเป็นพื้นที่เดียวกัน หรือมองเป็นหน่วยความจำเพียงตัวเดียว ดังนั้นสายสัญญาณต่าง ๆ จึงมีเพียงชุดเดียวเหมือนเดิม วิธีที่นำมาใช้คือ จัดให้มีวงจรคอยแยกสายสัญญาณของหน่วยความจำของแต่ละตัวแยกออกจากกันเมื่อถึงกระบวนการอ่านข้อมูลรูปแบบการจัดหน่วยความจำในกระบวนการเขียนและอ่านข้อมูลแสดงดังรูปที่ 3.9

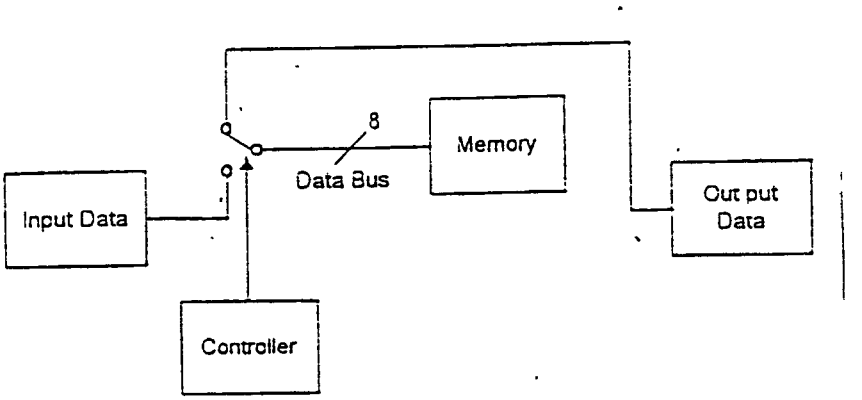


รูปที่ 3.9 รูปแบบการจัดความจำในกระบวนการเขียนและอ่านข้อมูล

หน่วยความจำมีกลุ่มของสายสัญญาณที่สำคัญอยู่3 กลุ่มคือ สายสัญญาณข้อมูล สายสัญญาณตำแหน่ง และสายสัญญาณควบคุม ซึ่งในแต่ละกลุ่มมีความสัมพันธ์กับกระบวนการเขียนและอ่านข้อมูลต่างกันออกไป ดังนั้นการแยกสายสัญญาณต้องพิจารณาทิศทางการไหลเข้าออกของสัญญาณและส่วนที่เข้ามาเกี่ยวข้องด้วยดังนี้

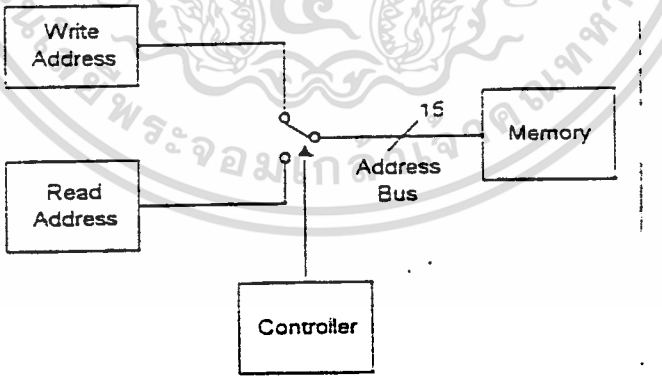
สายสัญญาณข้อมูล ในกระบวนการเขียนข้อมูลทำหน้าที่เป็นสายสัญญาณอินพุตให้กับหน่วยความจำ โดยจะนำเอาต์ข้อมูลที่เข้ามาไปยังที่สัญญาณตำแหน่งชี้ให้ ในทางกลับกันเมื่ออยู่ในกระบวนการอ่านข้อมูลจากหน่วยความจำ สายสัญญาณข้อมูลทำหน้าที่เป็นเอาต์พุตของหน่วยความจำ ข้อมูลต่าง ๆ ที่อ่านออกมาจะผ่านทางนี้ จะเห็นว่า ทิศทางของข้อมูลทั้ง 2 กระบวนการแตกต่างกันโดยสิ้นเชิง ถ้าให้สัญญาณอินพุตแทนสัญญาณการเขียนข้อมูล และมีข้อมูลไหลเข้าหน่วยความจำโดยที่สัญญาณเอาต์พุทแทนสัญญาณการอ่านข้อมูล และมีข้อมูลไหลออกจากหน่วยความจำ กระบวนการทั้ง 2 เกิดขึ้นสลับกัน จะได้บล็อกไดอะแกรมดังรูป 3.10 ซึ่งเลือกใช้สวิทช์ 2 ทาง ทำหน้าที่สลับการเชื่อมต่อหน่วยความจำกับอินพุตเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 บล็อกไดอะแกรมหน่วยความจำกับอินพุตและเอาต์พุต

สายสัญญาณตำแหน่งไม่ว่าในกระบวนการเขียนหรืออ่านข้อมูล ทิศทางของสายสัญญาณนี้ยังคงเหมือนเดิมคือ หน่วยความจำต้องรับสัญญาณเข้ามา สายสัญญาณนี้จึงทำหน้าที่เป็นอินพุตของหน่วยความจำเสมอ นั่นคือจะมีส่วนกำเนิดสัญญาณตำแหน่งทั้งการอ่านและเขียนข้อมูล ดอยผลิตสัญญาณนี้ป้อนให้หน่วยความจำ การแยกสายสัญญาณของหน่วยความจำระหว่างกระบวนการเขียนและอ่านข้อมูลออกจากกันจึงเลือกใช้การมัลติเพล็กซ์ คือมี 2 อินพุตและ 1 เอาต์พุต โดยในเวลาหนึ่ง ๆ จะมีเพียงอินพุตเดียวเท่านั้นที่ถูกเลือกให้ส่งสัญญาณออกทางเอาต์พุตได้ ซึ่งเขียนเป็นบล็อกไดอะแกรม ดังรูปที่ 3.11



รูปที่ 3.11 บล็อกไดอะแกรมการมัลติเพล็กซ์

สายสัญญาณควบคุม ประกอบไปด้วยสัญญาณเลือกชิป สัญญาณควบคุมการเขียน สัญญาณควบคุมการอ่าน ความสำคัญของสัญญาณเหล่านี้คือ ควบคุมให้หน่วยความจำทำงานหรือหยุดการทำงานได้ต้องการ ทิศทางของสัญญาณจะมีลักษณะเดียวกับสายสัญญาณตำแหน่งคือ มีชุดกำเนิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

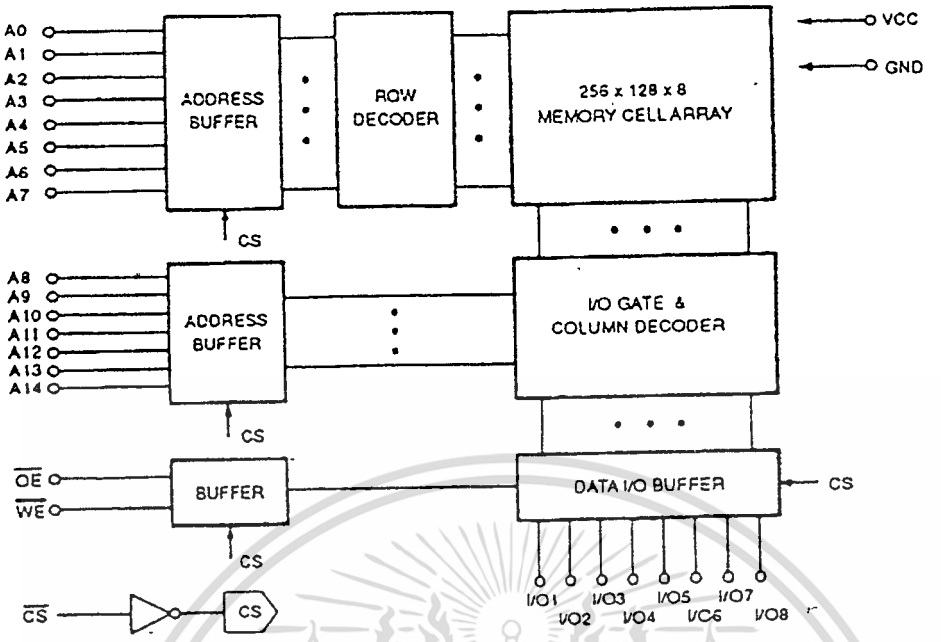
สัญญาณเหล่านี้อยู่ แล้วส่งให้หน่วยความจำซึ่งมีหน้าที่รับคำสั่งอย่างเดียว ดังนั้นไดอะแกรมจึงเหมือนกับการแยกสัญญาณตำแหน่ง

การขยายภาพ เป็นอีกกระบวนการหนึ่งที่เกี่ยวข้องกับหน่วยความจำ เพราะได้ออกแบบให้เกิดขึ้นพร้อม ๆ กับการอ่านข้อมูลวิธีการใช้คือการบังคับให้มีการอ่านข้อมูลซ้ำจุดเดิม 2 ครั้ง ใน 1 เส้นสแกน (ใน 1 แถวของหน่วยความจำ) และอ่านข้อมูลทั้งเส้นสแกนซ้ำอีกครั้ง ทำให้ได้จุดภาพที่ซ้ำกันทั้งหมด 1 จุด ซึ่งจากข้อมูลภาพเพียงอย่างเดียว เมื่อเป็นแบบนี้ทุก ๆ จุดภาพ ก็เหมือนว่าภาพที่ได้มีขนาดใหญ่ขึ้น ซึ่งกลไกที่ทำหน้าที่เกิดการทำซ้ำบิทได้ เป็นเทคนิคการใช้วงจรซึ่งจะกล่าวในหัวข้อส่วนกำเนิดสัญญาณการอ่านข้อมูล

โครงงานมีหน่วยความจำทั้งหมด 2 ชุด แต่ละชุดมีไอซีหน่วยความจำ 4 ตัว ดังนั้นในระบบจึงมีหน่วยความจำทั้งหมด 8 ตัว มีความจุรวม 256 กิโลไบต์ เพื่อใช้เก็บข้อมูลภาพ 1 เฟรม ไอซีหน่วยความจำที่เลือกใช้เป็นของบริษัทHITACHI(เบอร์ MB62256-70 มีหน่วยความจุ 32 กิโลไบต์ และค่าเวลาการเข้าถึงข้อมูล (Access Time) มีค่าต่ำสุด 70 นาโนเซ็คคั่น สาเหตุที่เลือกใช้ไอซีเบอร์นี้เพราะมีขนาดความจุตรงตามต้องการ และค่าเวลาการเข้าถึงข้อมูลต่ำ ตรงตามที่กำหนด

ในกระบวนการแปลงสัญญาณอะนาลอกให้เป็นดิจิตอลใช้สัญญาณนาฬิกา 10 เมกะเฮิตซ์ หรือ 100 นาโนเซ็คคั่น ในการสุ่มสัญญาณภาพ จะพบว่า ทุก ๆ 100 นาโนเซ็คคั่น ข้อมูลถูกส่งออกมาจากส่วนแปลงสัญญาณซึ่งต้องนำข้อมูลเหล่านี้ไปเก็บในหน่วยความจำ ค่าเวลาการเข้าถึงข้อมูลจึงมีผลมาก หากใช้หน่วยความจำที่มีค่าการเข้าถึงข้อมูลสูงกว่า 100 นาโนเซ็คคั่น จะไม่สามารถเก็บข้อมูลที่ส่งออกมาทันข้อมูลจะเกิดการสูญหายขึ้น ไอซีหน่วยความจำที่เลือกใช้มีบล็อกไดอะแกรม และสัญญาณควบคุมดังรูป 3.12

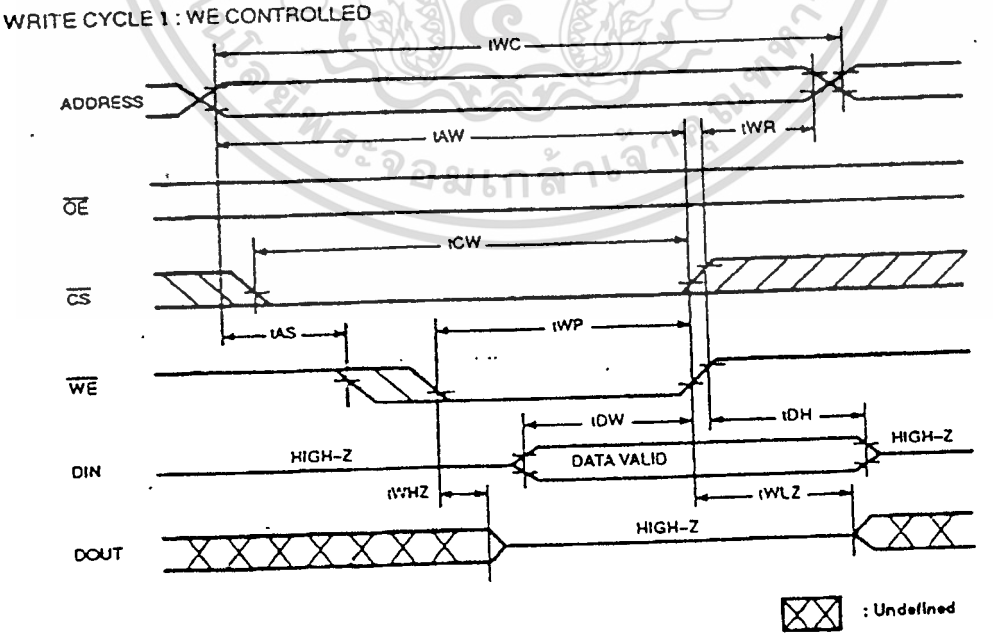
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TRUTH TABLE

$\overline{CS}$	$\overline{OE}$	$\overline{WE}$	MODE	SUPPLY CURRENT	I/O PIN
H	X	X	Not Selected	ISB	High-Z
L	H	H	DOUT Disable	ICC	High-Z
L	L	H	Read	ICC	DOUT
L	X	L	Write	ICC	DIN

รูปที่ 3.12 บล็อกไดอะแกรมของหน่วยความจำ

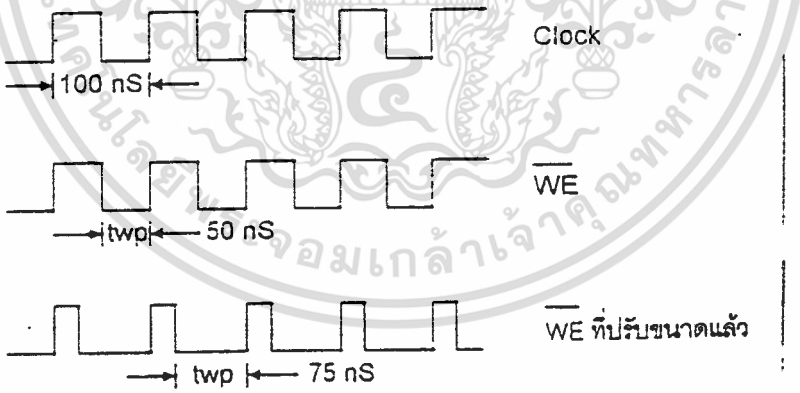


รูปที่ 3.13 แสดงช่วงสัญญาณการเขียนข้อมูลลงหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนการเขียนข้อมูล ลงหน่วยความจำมีการใช้สัญญาณควบคุมหลายสัญญาณ ในงานโครงงานนี้ได้ออกแบบให้สัญญาณ WE เป็นสัญญาณควบคุมหลัก และสัญญาณ CS จะเป็นสัญญาณควบคุมรอง (ควบคุมการเขียนข้อมูล) แต่อย่างไรก็ตามทั้ง 2 สัญญาณตำแหน่งต่างก็มีความสำคัญทั้งสิ้น จะขาดสัญญาณหนึ่งสัญญาณใดไม่ได้ หากพิจารณาจากไทม์มิ่งไดอะแกรมของช่วงเวลาการเขียนข้อมูลของไอซีหน่วยความจำ ดังรูป 3.13 พบว่า ช่วงเวลา twp (Write Pulse Width) ของสัญญาณ WE มีค่าต่ำสุดได้ 50 นาโนเซ็คคั่น ถ้าช่วงเวลาต่ำกว่านี้ จะไม่สามารถเขียนข้อมูลลงหน่วยความจำได้ ดังนั้นจึงจำเป็นต้องให้สัญญาณ WE มีช่วงที่เป็น " 0" ต่ำที่สุดเป็น 50 นาโนเซ็คคั่น

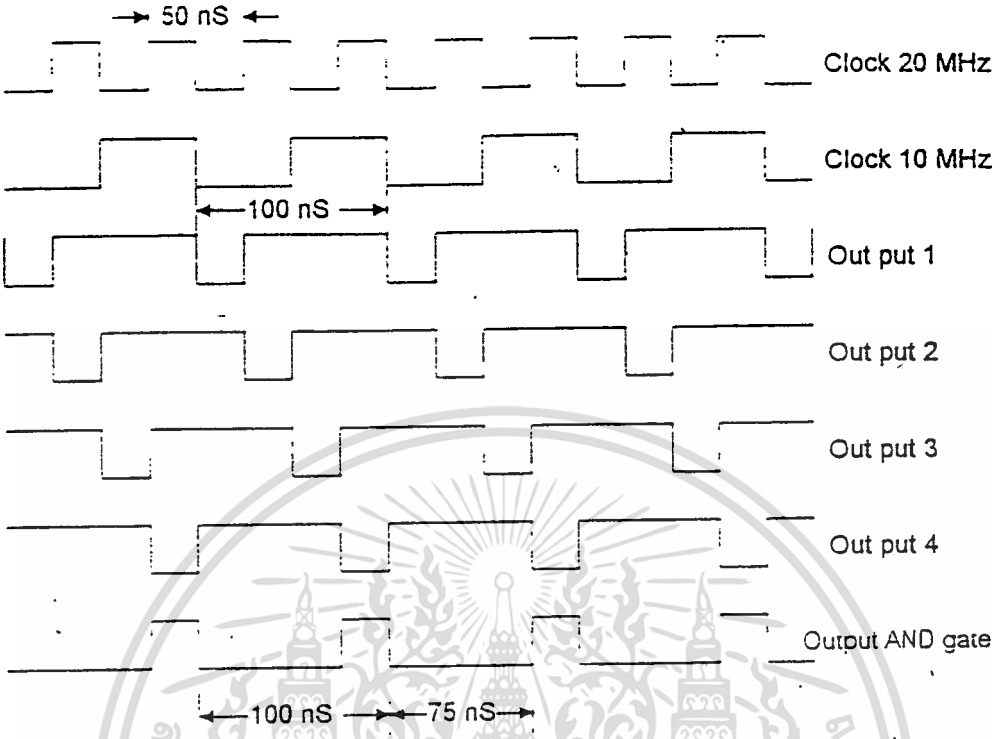
สัญญาณนาฬิกา 10 เมกะเฮิตร์ ที่ใช้ในการสุ่มสัญญาณมีดิวตี้ไซเคิล (Dutu cycle) เป็น 50% หากนำมาสร้างเป็นสัญญาณ WE ก็สามารถทำงานได้ เพราะช่วงสัญญาณเป็นลอจิก " 0 " มีขนาด 50 นาโนเซ็คคั่น ซึ่งเท่ากับขนาดของ twp ที่กำหนดพอดี แต่อย่างไรก็ตาม เพื่อป้องกันการผิดพลาดในการเขียนข้อมูล จึงได้ออกแบบสัญญาณ WE ขึ้นมาใหม่ โดยพิจารณาจากสัญญาณนาฬิกาขนาด 100 นาโนเซ็คคั่นถ้าทำการปรับเปลี่ยนดิวตี้ไซเคิลของสัญญาณ นี้เสียใหม่ ทำให้ช่วงที่เป็นลอจิก "0 " เพิ่มขึ้นและลดช่วงที่เป็นลอจิก "1 " ลงทำให้ช่วงเวลา twp เพิ่มขึ้นโดยที่คาบเวลายังคงเดิม ดังรูป 3.14



รูปที่ 3.14 สัญญาณ WE ของหน่วยความจำ

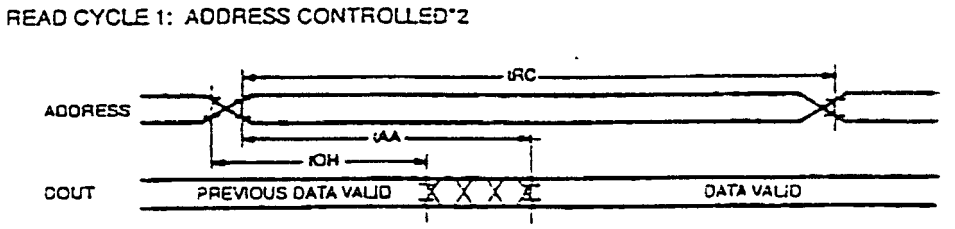
สำหรับวงจรในส่วนการสร้างสัญญาณ WE ใหม่นี้ ใช้วงจรเข้ารหัสทำงานกับแอนด์เกทโดยทำสัญญาณนาฬิกา 10 เมกะเฮิตรซ์ และ20 เมกะเฮิตรซ์ เป็นสัญญาณอินพุต เมื่อสัญญาณอินพุตทั้ง 2 ผ่านเข้าไปในวงจรเข้ารหัส ทำให้ได้สัญญาณออกมาดังรูป 3.15 จากนั้นไปเข้าแอนด์เกท เพื่อสร้างสัญญาณ WE ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 Timming decoder

สำหรับส่วนของการอ่านข้อมูล ความยุ่งยากของสัญญาณมีน้อยกว่าการเขียน เพราะเลือกการควบคุมการอ่านด้วยสัญญาณตำแหน่ง ดังรูป 3.16 ที่จำเป็นต้องเลือกแบบนี้ เพราะว่าต้องการให้ปริมาณข้อมูลออกมาจากหน่วยความจำเท่ากับคาบเวลาของสัญญาณนาฬิกาพอดี เพื่อประโยชน์ในการขยายภาพดังได้กล่าวมาแล้ว ส่วนการควบคุมให้อ่านหรือหยุดอ่านข่อมูลนั้น จะกระทำผ่านทางขา CS ของไอซีหน่วยความจำ วงจรของหน่วยความจำแสดงไว้ในภาคผนวก .



รูปที่ 3.16 **ช่วงเวลาการอ่านข้อมูลจากหน่วยความจำ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 ส่วนกำเนิดสัญญาณควบคุมการเขียนข้อมูล

หน้าที่ของส่วนกำเนิดสัญญาณควบคุมการเขียนข้อมูลคือ สร้างสัญญาณควบคุมให้กับหน่วยความจำเพื่อให้เริ่มบันทึกหรือหยุดบันทึกข้อมูล ลงในตำแหน่งที่ต้องการ นอกจากนี้ส่วนกำเนิดสัญญาณควบคุมการเขียน ยังส่งสัญญาณไปควบคุมส่วนแปลงสัญญาณอะนาลอกให้เป็นดิจิตอลอีกด้วย เพื่อให้ทำการแปลงข้อมูลหรือหยุดแปลงข้อมูลที่สัมพันธ์กับการเขียนข้อมูลในส่วนของหน่วยความจำ สัญญาณสำคัญที่สร้างขึ้นคือ สัญญาณตำแหน่ง สัญยาณการเขียน และสัญญาณเลือกชิป ซึ่งสัญญาณทั้ง 3 นี้ต้องทำงานสัมพันธ์กันโดยเฉพาะสัญญาณตำแหน่ง และสัญญาณการเขียน เมื่อสัญญาณตำแหน่งปรากฏขึ้น โดยชี้ไปที่ตำแหน่งใด ๆ ในหน่วยความจำ ในขณะที่ข้อมูลกำลังรออยู่ที่ขาข้อมูล สัญญาณการเขียน จะสั่งให้หน่วยความจำเริ่มบันทึกข้อมูลลงในตำแหน่งที่ถูกชี้นั้น โดยที่สัญญาณเลือกชิปต้องสั่งให้หน่วยความจำชุดนั้นทำงานอยู่ด้วย

การสร้างสัญญาณตำแหน่ง จากหัวข้อส่วนหน่วยความจำ ทำให้เราทราบว่า ในการเก็บข้อมูลภาพ 1 ฟิลด์ ต้องใช้หน่วยความจำขนาด 128 กิโลไบต์ หรือ (131,072=2^{17}) ซึ่งจะมีสายสัญญาณสำหรับอ้างตำแหน่งทั้งหมด 17 เส้น แต่ในโครงงานได้เลือกใช้หน่วยความจำขนาด 32 กิโลไบต์ จำนวน 4 ตัว ซึ่งแต่ละตัวมีที่เก็บข้อมูล 32,768 ตำแหน่ง (32768 = 2^{15}) ทำให้สายสัญญาณในการอ้างตำแหน่งมีเพียง 15 เส้น แต่ในการจัดวงจร จำเป็นต้องให้มองหน่วยความจำ 32 กิโลไบต์ ทั้ง 4 ตัว ให้เห็นเป็นหน่วยความจำ 128 กิโลไบต์ เพียงตัวเดียว จากโครงงานของการจัดหน่วยความจำ ลักษณะการเก็บข้อมูลและลักษณะของสัญญาณภาพ ทำให้ไม่สามารถใช้วงจรนับ 17 บิท เพื่อกำเนิดสัญญาณตำแหน่งทั้งหมด 131,072 ตำแหน่งได้โดยตรง จากลักษณะการแปลงสัญญาณจะพบว่า ทำการแปลงทีละจุดจนครบ 512 จุด ใน 1 เส้น และทำอย่างนี้ไปจนครบ 256 เส้น จากแนวคิดนี้ หากทำการแบ่งวงจรนับที่ใช้ในการกำเนิดสัญญาณตำแหน่งออกเป็น 2 ส่วน คือ ส่วนที่ชี้ตำแหน่งจุดภาพ 512 จุด หรือต้องใช้วงจรนับขนาด 9 บิท (2^{9} = 512 ตำแหน่ง) และส่วนที่ชี้ตำแหน่งเส้นสแกน 256 เส้น หรือใช้วงจรนับ 8 บิท (2^{8} =256 ตำแหน่ง) เมื่อนำสัญญาณทั้ง 2 ส่วนนี้มารวมกันจะได้สัญญาณที่ชี้ตำแหน่ง 512×256 = 131,172 ตำแหน่ง ตามที่ต้องการ

เมื่อหน่วยความจำมีขนาด 131,072 ตำแหน่ง สายสัญญาณตำแหน่งที่ต้องใช้ทั้งหมด 17 เส้น แต่ในโครงงานเลือกใช้หน่วยความจำขนาด 32,768 ตำแหน่ง จำนวน 4 ตัว ซึ่งและตัวมีสายสัญญาณเพียง 15 เส้นเท่านั้น ถ้าออกแบบวงจรให้นับจุดภาพ 512 จุด นั่นคือใช้วงจรนับ 512 ซึ่งใช้สายสัญญาณ 9 เส้น และในส่วนของการนับเส้นสแกน 256 เส้น จะต้องใช้สายสัญญาณ8 เส้น เพื่อนับ 256 รวมสายสัญญาณทั้งหมด 17 เส้น ทำให้มีสายสัญญาณเหลืออยู่ 2 เส้น ที่ไม่สามารถต่อเข้ากับหน่วยความจำได้ แต่เพราะว่าหน่วยความจำที่ใช้มีทั้งหมด 4 ตัว แต่การเขียนข้อมูล ไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการเขียนลงไปที่หน่วยความจำทั้ง 4 ตัว แต่จะเขียนที่ตัวใดตัวหนึ่งที่มีตำแหน่งตามที่ต้องการเท่านั้น จึงนำสายสัญญาณที่เหลือ 2 เส้นนี้ มาทำการถอดรหัส เพื่อเลือกหน่วยความจำตัวที่ต้องการ

การสร้างสัญญารเลือกหน่วยความจำอาศัยการพิจารณาลำดับการเขียนข้อมูล ซึ่งเริ่มจากหน่วยความจำตัวที่ 1 สลับกับตัวที่ 2 ใน 1 เส้นสแกน จนครบ 128 เส้น จึงทำการเขียนข้อมูลลงที่หน่วยความจำ 3 และสลับกับตัวที่ 4 จนครบ 256 เส้น จึงสิ้นสุดกระบวนการเขียนข้อมูล

ส่วนกำเนิดสัญญาณควบคุมการเขียน นอกจากจะกำเนิดสัญญาณตามเงื่อนไขของการเขียนแล้วยังต้องสามารถควบคุมตัวเองให้ทำงานได้ด้วย หรือหยุดทำงานได้ด้วย สัญญาณที่ได้รับการกระตุ้นจากภายนอกหรือแม้กระทั่งจากตัวมันเองสิ่งที่ใช้พิจารณาเกี่ยวกับการควบคุมคือ1 ฟิลด์ภาพมีเส้นสแกนทั้งหมด 312.5 เส้น แต่ในการเก็บข้อมูลจะใช้เพียง 256 เส้นเท่านั้น ยังมีเส้นสแกนเหลืออยู่ 56.5 เส้น และรวมถึงสัญญาณเวอร์ติคัลแบลงกิ้งที่ไม่ได้ถูกจัดเก็บด้วยดังนั้นในส่วนกำเนิดสัญญาณควบคุมการเขียนต้องสามารถรู้จุดเริ่มต้นของฟิลด์ภาพ เพื่อเป็นสัญญาณอ้างอิงในการเริ่มต้นการทำงาน เมื่อดำเนินการไปจนครบ 256 เส้น แล้วจะต้องผลิตสัญญาณออกมาเป็นการบอกจุดสิ้นสุดการเขียน เส้นสแกนที่เหลือรวมทั้งสัญญาณเวอร์ติคัลแบลงกิ้ง จะถูกละเลยไป โดยส่วนควบคุมทำการสั่งให้ส่วนกำเนิดสัญญาณการเขียนรวมทั้งส่วนแปลงสัญญาณภาพหยุดทำงาน จนกว่าสามารถตรวจพบจุดเริ่มต้นของสัญญาณภาพฟิลด์ใหม่ได้ นอกจากนี้ในแต่ละเส้นสแกนดังได้กล่าวมาแล้วว่า ไม่ได้ประกอบด้วยสัญญาณภาพอย่างเดียวยังมีสัญญาณเฮอร์ริซอนตัลซิ้งและฮอริซอนตัลแบลงกิ้ง ซึ่งทั้งสองส่วนนี้ เป็นส่วนที่ไม่ต้องการเก็บข้อมูล ดังนั้นเมื่อวงจรสามารถตรวจนับจุดเริ่มต้นเส้นสแกน และทำการเก็บข้อมูลจนครบ 512 จุด ส่วนควบคุมจะดำเนินการให้หยุดการทำงานเช่นเดียวกันจนกว่าจะเจอจุดเริ่มต้นของเส้นสแกนใหม่ ดังนั้นส่วนที่เป็นส่วนเฮอริซอนตัลแบลงกิ้งจึงเป็นส่วนที่ไม่ถูกเก็บข้อมูลด้วย

สัญญาณนาฬิกาที่ป้อนให้กับวงจรนับ เพื่อเป็นสัญญาณอ้างอิงในการกำเนิดตำแหน่งจุดของข้อมูล คือ สัญญาณนาฬิกา 10 เมกกะเฮิร์ตซ์ และสัญญาณเฮอริซอนตัลแบลงกิ้งที่ผ่านการปรับแต่งสัญญาณแล้วเป็นสัญญาณอ้างอิงในการกำเนิดตำแหน่งเส้นของข้อมูล แต่อย่างไรก็ตามจะนำสัญญาณนาฬิกา 10 เมกกะเฮิร์ตซ์ที่ใช้ในการสุ่มข้อมูลของ ส่วนแปลงสัญญาณภาพมาใช้ป้อนให้วงจรนับจะเกิดปัญหาขึ้น เพราะว่าวงจรนับที่ใช้ในโครงงานนี้เป็นไอซีเบอร์ MC74F161 ซึ่งเป็นไอซีวงจรนับ 4 บิท เปลี่ยนสถานะของเอาต์พุตที่ขอบขาขึ้นของสัญญาณนาฬิการที่ป้อนเข้า จากหัวข้อส่วนการเปลี่ยนแปลงสัญญาณอะนาลอกเป็นดิจิตอลจะพบว่า ถ้าใช้สัญญาณนาฬิกาเดียวกับการแปลงสัญญาณภาพ ข้อมูลยังไม่ออกจากแลตช์ แต่สัญญาณตำแหน่งถูกกำเนิดขึ้นก่อนแล้ว โดยที่ไม่มีข้อมูลจะให้เขียน ดังนั้นสัญญาณนาฬิกาที่ป้อนให้วงจรนับจุดจึงต้องใช้ สัญญาณที่ป้อนให้แลตช์เมื่อแลตช์ส่งข้อมูลออกวงจรนับจะทำการกำเนิดสัญญาณตำแหน่งให้กับหน่วยความจำเพื่อนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลไปเก็บ เมื่อมีขอบขาขึ้นของสัญญาณนาฬิกาเข้ามากระตุ้นให้แลตช์ปล่อยข้อมูล ขณะเดียวกันก็กระตุ้นให้วงจรนับทำงานกำเนิดสัญญาณตำแหน่งของหน่วยความจำมาให้ 1 ตำแหน่งด้วยนั่นคือมีสัญญาณนาฬิกาที่ใช้กับส่วนกำเนิดสัญญาณควบคุมการเขียน ในส่วนของการกำเนิดตำแหน่งจุดข้อมูลจะใช้สัญญาณเดียวกับที่นำไปกระตุ้นแลตช์หรือเป็นการกลับเฟส 180 องศา ของสัญญาณนาฬิกา ที่ใช้ในการแปลงสัญญาณภาพ จากวงจรส่วนกำเนิดสัญญาณควบคุมการเขียน ประกอบด้วย 3 ส่วนคือ วงจรควบคุม วงจรกำเนิดสัญญาณตำแหน่งและวงจรควบคุมหน่วยความจำ วงจรทั้ง 3 ส่วนทำงานสัมพันธ์กันอย่างใกล้ชิด เพื่อให้เป็นไปตามเงื่อนไขที่ต้องการ วงจรที่เป็นหลักในส่วนของการกำเนิดสัญญาณควบคุมการเขียน เป็นวงจรกำเนิดสัญญาณตำแหน่ง เพราะวงจรส่วนนี้มีผลในการควบคุมวงจรหน่วยความจำอีกทีหนึ่งส่วนวงจรควบคุมจะทำหน้าที่ควบคุมวงจรกำเนิดสัญญาณตำแหน่ง

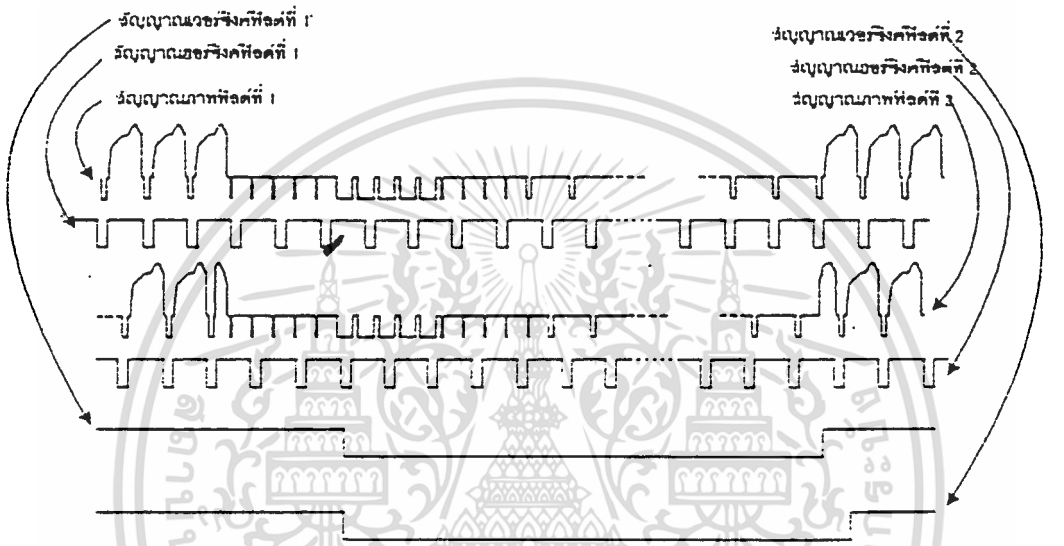
วงจรกำเนิดสัญญาณตำแหน่งออกเป็น 2 ส่วนย่อย ส่วนแรกทำหน้าที่กำเนิดตำแหน่งจุดของข้อมูล ประกอบด้วย U1 U2 U11D U8 และ U13B ในแต่ละเส้นสแกนมีจุดข้อมูลทั้งหมด 512 จุด แต่เนื่องจากการจัดตำแหน่งของหน่วยความจำ ใน 1 เส้น สแกนใช้หน่วยความจำ 2 ตัว แบ่งกันเก็บตัวละ 256 จุด ดังนั้นในส่วนของวงจรนับจุดจึงใช้วงจรนับ 8 ซึ่งจะได้ 256 ตำแหน่ง แต่การนับยังไม่สิ้นสุด เพราะข้อมูลยังเหลืออีก 256 จุด จึงเริ่มนับใหม่ แต่ในตอนนี้ข้อมูลจะเปลี่ยนไปเก็บลงหน่วยความจำอีกตัวหนึ่ง เพราะว่าเมื่อวงจรนับ 8 นับครบ 255(FFH) จะมีสัญญาณทด (Carry) ออกมาให้วงจรนับ 1 บิท ซึ่งนำเอาต์พุตไปเข้าวงจรดีโค้ดเดอร์ เพื่อถอดรหัสหน่วยความจำที่ต้องการ

ส่วนที่ 2 ทำหน้าที่กำเนิดตำแหน่งของเส้นข้อมูล ดังได้กล่าวมาแล้วว่าใน 1 ฟิลด์เก็บข้อมูลทั้งหมด 256 ด้วยเหตุผลเดียวกับการกำเนิดตำแหน่งจุด จึงใช้การนับ 7 บิท หรือ 128 ตำแหน่ง แทนที่จะใช้ 8 บิทหรือ 256 ตำแหน่ง เพื่อให้ 128 เส้นแรกถูกเขียนลงบนหน่วยความจำ 1 และ 2 ส่วน 128 เส้นต่อมา เขียนลงหน่วยความจำ 3 และ 4 แต่อย่างไรก็ตามวงจรนับยังคงใช้เหมือนเดิม โดยการนำบิทที่ 8 ไปเข้าวงจรดีโค้ดเดอร์ เมื่อวงจรนับครบ 255 จะมีสัญญาณทดออกเป็นสัญญาณออกเป็นสัญญาณการสิ้นสุดการเขียน

วงจรควบคุมประกอบด้วยส่วนย่อย 2 ส่วนเช่นกัน คือ วงจรเริ่มให้ทำงาน (Start up)วงจรในส่วนนี้คือ U6A และ U5A ทำหน้าที่ให้วงจรทั้งหมดเริ่มทำงาน การเริ่มทำงานของวงจรกำเนิดสัญญาณควบคุมการเขียนจะเริ่มเมื่อ U6A สามารถตรวจจับสัญญาณ V_SYNC ที่ได้จากสัญญาณภาพทำให้เอาต์พุต Q ซึ่งปกติมีระดับลอจิก “0” อยู่กลายเป็นลอจิก “1” แสดงว่า ตอนนี้อนุญาตให้วงจรทุกส่วนเริ่มทำงานได้ ส่วนที่ 2 ของวงจรคือ วงจรตรวจสอบสัญญาณซิ้งค์ เป็นเพราะว่าสัญญาณภาพในแต่ละฟิลด์มีการเหลื่อมกันของสัญญาณเพื่อให้เกิดการสอดแทรก เมื่อแยกสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฮอริซอนตัลซิ้งค์และเวอร์ติคัลซิ้งค์ออกจากสัญญาณภาพ แล้วทำการปรับความกว้างของสัญญาณให้เหมาะสมตามที่ต้องการ แต่เนื่องจากสัญญาณ ทั้ง 2 ฟิลด์ เหลื่อมกันอยู่ เมื่อทำการปรับสัญญาณของฟิลด์ได้ถูกต้องแล้ว สัญญาณของอีกฟิลด์หนึ่งจะไม่ถูกต้องโดยเวอร์ติคัลซิ้งค์จะไปเริ่มที่กลางเส้นภาพ ซึ่งไม่เป็นที่ต้องการ ดังรูปที่ 3.17 ดังนั้นวงจรนี้จะทำการควบคุมให้เริ่มต้นในแต่ละฟิลด์ตรงที่จุดเริ่มต้นเส้นภาพพอดี



รูปที่ 3.17 แสดงสัญญาณภาพ และสัญญาณซิงค์ที่แยกออกมา

วงจรควบคุมหน่วยความจำมีวงจรย่อยอยู่ 3 ส่วน คือ ส่วนตรวจจับสิ้นสุดการกำเนิดจุด ประกอบด้วย U12A และ U10B เมื่อวงจรนับกำเนิดตำแหน่งครบ 512 จุดแล้ว จำทำให้ฟลิปฟลอบ U12B เปลี่ยนสถานะเอาต์พุต โดยที่เดิม Q มีลอจิกเป็น “1” จะเปลี่ยนเป็น “0” จนกว่าจะมีสัญญาณเฮอริซอนตัลซิ้งค์หรือเวอร์ติคัลซิ้งค์มาที่ขา R ทำให้เอาต์พุตเปลี่ยนสถานะกลับอีกครั้งหนึ่ง วงจรในส่วนนี้นอกจากจะควบคุมหน่วยความจำแล้ว เอาต์พุตของวงจรนับนี้ยังถูกส่งไปควบคุมส่วนกำเนิดสัญญาณนาฬิกาที่ป้อนให้กับส่วนแปลงสัญญาณภาพอะนาลอกเป็นดิจิตอลให้ทำงานหรือหยุดทำงานอีกด้วย ส่วนที่ 2 เป็นส่วนตรวจจับสิ้นสุดการกำเนิดเส้น ประกอบด้วย U6B และ U5C การทำงานจะคล้ายกับส่วนจับสิ้นสุดการกำเนิดจุดคือ เมื่อวงจรนับเส้นสแกนได้ครบ 256 เส้นแล้ว สัญญาณสิ้นสุดการเขียน (END_WR) จะไปกระตุ้นให้ฟลิปฟลอป U25B เปลี่ยนสภาวะ และจะกลับคืนสภาวะเดิมเมื่อมีสัญญาณ V_SYNC เข้ามาเคลียร์ ส่วนสุดท้ายประกอบด้วย U13A U3C U15A และ U14A ทำหน้าที่เป็นส่วนกำเนิดสัญญาณเลือกหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

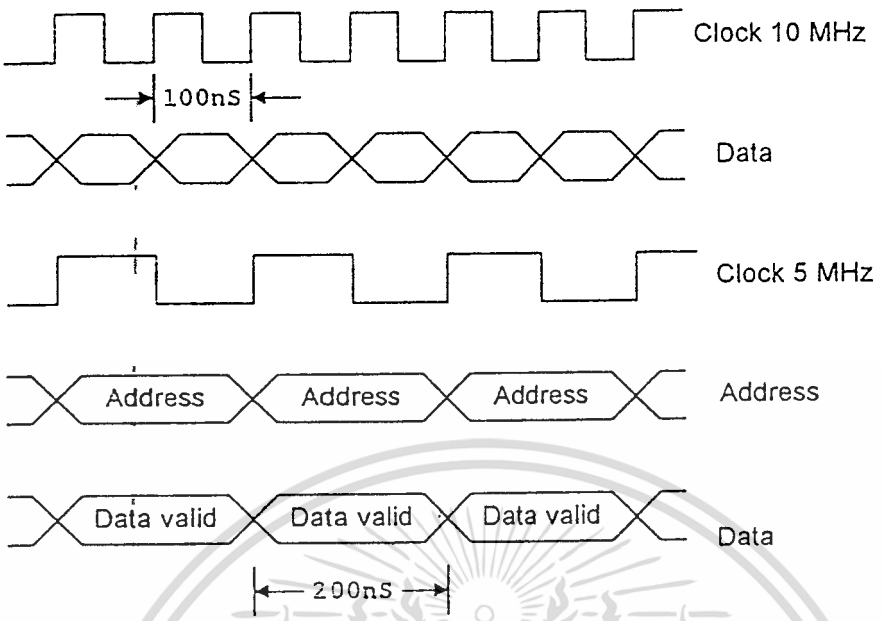
โดย U14A เป็นไอซีดีโค้ดเดอร์ จะถูกควบคุมการทำงานด้วยสัญญาณที่ขา E ด้วยสัญญาณจากส่วนตรวจจับสิ้นสุดการกำเนิดจุดและเส้นซึ่งสัญญาณที่ได้คือ WRITE_CON ถูกนำไปใช้ควบคุมชุดกำเนิดสัญญาณ WE โดย U14A ด้วย

3.6 ส่วนกำเนิดสัญญาณควบคุมการอ่านข้อมูล

หน้าที่ของส่วนกำเนิดสัญญาณควบคุมการอ่านข้อมูลคือ สร้างสัญญาณให้กับหน่วยความจำเพื่อเริ่มบันทึกหรือหยุดอ่านข้อมูลตามตำแหน่งที่ต้องการ โดยทำการตรวจสอบสัญญาณที่ใช้เป็นเงื่อนไข ส่วนกำเนิดหรือการตรวจสอบเงื่อนไขต่าง ๆ แต่สิ่งที่ต่างกันอย่างชัดเจน นอกจากเรื่องของหน้าที่การทำงานแล้ว สัญญาณตำแหน่งข้อมูลที่ส่วนกำเนิดสัญญาณควบคุมการอ่านสร้างขึ้น จะไม่เหมือนสัญญาณตำแหน่งข้อมูลที่สร้างจากส่วนกำเนิดสัญญาณควบคุมการเขียน เพราะการขยายภาพให้ใหญ่ขึ้น ต้องอาศัยประโยชน์จากสัญญาณตำแหน่งการอ่านข้อมูล ซึ่งในกระบวนการอ่านข้อมูลจะบังคับให้อ่านซ้ำจุดเดิมและซ้ำเส้นเดิม เพื่อให้ภาพขยายใหญ่ขึ้น

การขยายภาพโดยการใช้วิธีซ้ำจุดเดิมนั้น ไม่เป็นเรื่องง่ายนักที่จะใช้วงจรนับ เพื่อการนับซ้ำจุดต่อจุดในการกำเนิดสัญญาณตำแหน่ง เช่น ให้นับ 0 จำนวน 2 ครั้งจึงไปนับ 2 จำนวน 2 ครั้ง และนับซ้ำไปอย่างนี้จนกระทั่งครบรอบจะเห็นว่า เมื่อเงื่อนไขการนับเป็นแบบนี้การออกแบบวงจรให้ทำงานตามเงื่อนไขมีอยู่ 2 วิธีคือ วิธีแรกต้องมีกน่วยความจำคอยเก็บข้อมูลว่า ตอนนี้นับไปได้ถึงไหนแล้ว แล้วควบคุมให้นับต่อจากค่าที่เก็บไว้ วิธีนี้ตามแนวความคิดน่าจะเป็นไปได้ แต่ในการออกแบบใช้งานจริงมีความยุ่งยากมาก และสิ้นเปลืองอุปกรณ์มาก ไม่เหมาะสมที่จะใช้งานจริงอีกวิธีหนึ่งคือ การอาศัยการเปลี่ยนแปลงบิทของเลขฐาน 2 ซึ่งจะเห็นได้ว่าการเปลี่ยนหลักของเลขฐาน 2 เป็นการเปลี่ยนแปลงบิท 2 ครั้ง คือ “0” และ “1” วิธีนี้แม้จะทำได้ตามเงื่อนไข แต่ตำแหน่งที่ต้องกำเนิดมีจำนวนมาก อุปกรณ์ที่ใช้ประกอบวงจรนับก็มากขึ้นด้วย วิธีนี้จะนำไปใช้สำหรับให้เกิดการนับซ้ำเส้น กระบวนการซ้ำจุดที่อาศัยวงจรนับมีความยุ่งยากและต้องใช้อุปกรณ์จำนวนมาก ในโครงงานนี้ได้เลือกใช้วิธีอื่น ที่สะดวกและประหยัดกว่า คือ ใช้วิธีเพิ่มคาบเวลาของสัญญาณนาฬิกาที่ใช้ในการอ่าน ซึ่งรูปแบบของสัญญาณแสดงดังรูป 3.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 แสดงเวลาการอ่านทำให้ขยายภาพ

กระบวนการบันทึกข้อมูลลงหน่วยความจำ 1 จุดภาพ ใช้เวลา 100 นาโนเซ็คคั่น หรือ 10 เมกะเฮิร์ตซ์ ดังนั้นในกระบวนการอ่าน เพื่อให้เกิดการซ้ำจุดภาพจึงใช้สัญญาณนาฬิกาที่มีคาบเวลา 200 นาโนเซ็คคั่น หรือ 5 Mhz ดังรูปที่ การทำให้เกิดการอ่านข้อมูลซ้ำเส้นเดิม เมื่อข้อมูลภาพในหน่วยความจำถูกแบ่งออกเป็น 4 ส่วน แล้ว แต่ละส่วนจะมีปริมาณข้อมูลขนาด 256 จุด ×128เส้น ซึ่งต้องทำการขยายข้อมูลนี้ให้มีขนาดเท่าเดิมคือ 512จุด × 256 เส้น การกระทำซ้ำเส้นไม่ได้หมายความว่า อ่านข้อมูลออกไปทั้ง 128 เส้นแล้วกลับมาอ่านข้อมูลใหม่อีกรอบ เพราะว่าถ้าเป็นลักษณะแบบนี้จะได้ภาพเดิมซ้ำ 2 ครั้ง แต่ภาพไม่ได้ขยายขึ้นแต่อย่างใด การทำซ้ำเส้นในที่นี้หมายความว่า เมื่อเส้นที่ 1 ถูกอ่านออกไปแล้ว ในครั้งต่อไปแทนที่จะอ่านเส้นที่ 2 กลับมาเส้นที่ 1 ซ้ำอีกครั้งหนึ่ง จากนั้นจึงไปอ่านเส้นที่ 2 ซึ่งเหมือนกับว่าข้อมูลอ่านออกไป 256 เส้น ภาพที่ได้จึงขยายใหญ่ขึ้น นั่นคือ เมื่อวงจรนับจุด ทำการกำเนิดสัญญาณเพื่ออ่านข้อมูลในเส้นแรก คือจุดที่ 1 ถึงจุดที่ 256 เมื่อนับครบ 256 หรืออ่านข้อมูลออกไปได้ 256 จุดแล้ว จะกลับมากำเนิดสัญญาณเพื่ออ่านจุดที่ 1 ของเส้นแรกใหม่อีกครั้งกนึ่งหรือวงจรนับทำการนับ 1 ใหม่นั่นเอง เมื่อนับครบ 256 จึงเปลี่ยนไปกำเนิดสัญญาณเพื่ออ่านจุดที่ 1 ของเส้นที่ 2 เพื่อให้วงจรนับสามารถทำตามเงื่อนไขนี้ได้ ต้องสังเกตุการเปลี่ยนแปลงบิทของสัญญาณที่จะกำเนิดดังตารางที่3.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฐาน2															ฐาน16				ฐาน10
14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	4	3	2	1	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	F	F	255
1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0	0	F	F	255
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0	0	0	0	0	1	0	1	1	1	1	1	1	1	1	0	1	F	F	511
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	1	F	F	511
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	2	0	0	0
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0	0	0	0	1	0	0	1	1	1	1	1	1	1	1	0	2	F	F	767
0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	2	0	0	0
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
				1		1	1	1	1	1	1	1	1	1	0	2	F	F	767
0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	3	0	0	0
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0	0	0	1	0	1	0	1	1	1	1	1	1	1	1	0	3	F	F	1023
0	0	0	1	0	1	1	0	0	0	0	0	0	0	0	0	3	0	0	0
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0	0	0	1	0	1	1	1	1	1	1	1	1	1	1	0	3	F	F	1023
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–

ตารางที่ 3.19 แสดงการเว้นบิทเพื่อให้เกิดการอ่านซ้ำบิทขึ้น

จากตารางที่ 3.19 มีเลขฐาน2ทั้งหมด 16 บิท ซึ่งถ้าใช้อ้างตำแหน่งของหน่วยความจำจะได้ทั้งหมด 65536 ตำแหน่ง (64 กิโลไบต์) แต่หน่วยความจำแต่ละตัวในช่วงของการอ่านข้อมูลเพียง 32768 ตำแหน่ง (32 กิโลไบต์) ถ้าหากไม่นำบิท 8 ไปใช้ จะเหลือสัญญาณที่ใช้อ้างตัวแหน่งเป็น 15 บิท พอดี โดยที่การละเว้นบิทที่ 8 ไป ทำให้เสมือนว่า สัญญาณตำแหน่งเกิดขึ้นซ้ำ 2 ครั้ง เพราะว่าบิทของเลขฐาน 2 มีการเปลี่ยนแปลง 2 ครั้ง คือ “0” และ “1” .ในโครงงานจึงใช้ประโยชน์นี้มาทำการขยายภาพ ส่วนสาเหตุที่เลือกใช้บิทที่ 8 เพราะว่าจากกระบวนการการเขียนได้กำหนดให้ข้อมูล 1 เส้นภาพ หรือ 512 จุด เก็บอยู่ในหน่วยความจำ 2 ตัว นั้นคือหน่วยความจำแต่ละตัวจะมีข้อมูลของเส้นภาพ 256 จุดต่อ 1 เส้น การกำเนิดสัญญาณตำแหน่งการอ่านข้อมูลจึงใช้ 8 บิท (บิท 0 - บิท 7) หรืออ่านข้อมูล 256 ตำแหน่ง ในแต่ละเส้นภาพ

วงจรและการทำงานของส่วนกำเนิดสัญญาณควบคุมการอ่าน จะคล้ายกับส่วนของการเขียนมากแตกต่างกันแต่ส่วนของวงจรกำเนิดสัญญาณและส่วนควบคุมหน่วยความจำเท่านั้น โดยที่การอ่านไม่จำเป็นต้องมีวงจรดีโค้ดเดอร์ เพราะในกระบวนการอ่าน หน่วยความจำแต่ละตัวเป็นอิสระต่อกัน จึงไม่จำเป็นต้องมีสัญญาณเลือกหน่วยความจำอีกวงจรแสดงในภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 ส่วนกำเนิดสัญญาณควบคุมเปลี่ยนชุดหน่วยความจำ

การเปลี่ยนชุดหน่วยความจำถูกควบคุมด้วยสัญญาณ PAGE_CON และ PAGE_CON ดังที่กล่าวมาแล้วในตอนต้น ว่าหน่วยความจำมีอยู่ 2 ชุดสลับกันทำหน้าที่รับข้อมูลจาก ส่วนแปลงสัญญาณอะนาลอกเป็นดิจิตอล และส่งข้อมูลออกไปให้ส่วนการแปลงสัญญาณดิจิตอล ให้เป็นแบบอะนาลอก เงื่อนไขการเปลี่ยนชุดหน่วยความจำ คือการสิ้นสุดกระบวนการการเขียนและอ่าน โดยปกติแล้วทั้งสองขบวนการนี้จะสิ้นสุดพร้อมกันและมีสัญญาณออกมาแสดงการสิ้นสุดกระบวนการ แต่เนื่องจากการหน่วงเวลาของเกทไม่เท่ากัน ดังนั้นเพื่อป้องกันการผิดพลาดในการเปลี่ยนชุดหน่วยความจำ ต้องมีการตรวจสอบอย่างมั่นใจว่ากระบวนการทั้งสองได้สิ้นสุดลงแล้ว จึงทำการเปลี่ยนชุดหน่วยความจำ

3.8 ส่วนแปลงสัญญาณดิจิตอลเป็นอะนาลอกและส่วนผสมสัญญาณภาพ

ในโครงงานนี้จะต้องใช้วงจรดีทูเอ ในการแปลงสัญญาณภาพที่เป็นสัญญาณดิจิตอล จากหน่วยความจำแรม ให้กลับมาเป็นสัญญาณภาพที่เป็นอะนาลอก เพื่อที่จะนำสัญญาณภาพที่ได้ไปแสดงออกทางจอภาพที่เป็นจอโทรทัศน์ธรรมดาได้ สำหรับโครงงานนี้จะทำการแบ่งสัญญาณภาพออกเป็น 4 ส่วน เพื่อที่จะแสดงออกจอโทรทัศน์ได้ 4 จอ ดังนั้นวงจรดีทูเอก็จำเป็นจะต้องมี 4วงจร แต่ในที่นี้จะยกตัวอย่างเพียงวงจรเดียวเพราะวงจรทั้ง 4 นั้นเหมือนกัน

สำหรับวงจรดีทูเอที่ใช้เป็นไอซีเบอร์ DAC 0800LC เป็นไอซีแบบ โมโนลิทิค 8 บิท ภายในเป็นแบบ R/2R แลดเดอร์ ทำให้ได้ระดับสัญญาณเอาต์พุต เท่ากับ 2^8 หรือ 256 ระดับ สำหรับรูปวงจรนั้นแสดงไว้ในภาคผนวก

จากรูปวงจรดีทูเอ ในภาคผนวก ขา 5-12 ของไอซี DAC 0800 จะเป็นดิจิตอลอินพุตจะทำหน้าที่ ควบคุมกระแสทางด้านเอาต์พุตของไอซี DAC 0800 ซึ่งกระแสที่ได้ไหลผ่านขา 14 นั้นจะเป็นตัวกำหนดค่ากระแสที่ไหลออกทางเอาต์พุต กระแสเอาต์พุตนี้จะเปลี่ยนแปลงได้ 2 กรณี คือ ถ้าค่าดิจิตอลอินพุตเปลี่ยนค่าหรือมีการป้อนกระแสไปเสริมหรือหักล้างกับกระแสที่ขา 14 นี้ ตามวงจรค่าแรงดันที่อ้างอิงที่ป้อนให้ขา 14 จะเป็นแรงดันที่ 10 โวลต์ โดยผ่านไอซีเร็กกูเลต 7810 ป้อนผ่านตัวต้านทานค่า 5 กิโลโอห์ม ซึ่งให้ผลให้มีค่ากระแสคงที่ 2 มิลลิแอมป์ออกที่ เอาต์พุต ขา 2 และ 4 ส่วนตัวต้านทานที่ขา 15 ($5k\Omega$) ต่อเพื่อที่แก้ไขข้อผิดพลาด ที่จะเกิดจากกระแสไบอัสของออปแอป์ สำหรับค่าความต้านนี้จะต้องมีค่าเท่ากับ ค่าความต้านทานที่ขา 14 ตัวเก็บประจุที่ต่อจากขา 16 ของไอซี DAC 0800ไปยังแหล่งจ่ายไฟลบนั้น เพื่อชดเชยอัตราขยายในโหมดเอซีรีเฟอร์เรนท์ (AC reference) ในที่นี้ได้ใช้อ้างอิงเป็นค่าแรงดันกระแสตรง ดังนั้นจึงไม่ต้องกังวลกับค่าตัวเก็บประจุเท่าใดนัก แต่อย่างไรก็จำเป็นจะต้องต่อตัวเก็บประจุนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับเอาต์พุตที่ขา 2 และ 4 ของ DAC 0800 ก็จะแบ่งค่ากระแสที่ไหลผ่านขา 14 โดยกระแสที่ขา 2 และ 4 จะเป็นแบบคอมพลีเมนท์ (Complement) ซึ่งกันและกัน ดังนั้นกระแสที่ไม่ได้ไหลในขาหนึ่ง ก็จะไปไหลในอีกขาหนึ่งแทน ซึ่งสามารถอธิบายได้ดังนี้

กระแสที่ไหลผ่านขา 4 จะเป็นกระแสจริง โดยจะมีค่าน้อยที่สุด เมื่ออินพุตของ DAC 0800 เป็นลอจิก "0" ทั้งหมด และจะมากที่สุด เมื่ออินพุตเป็นลอจิก "1" ทั้งหมด เมื่ออินพุตเป็นลอจิก "1" ทั้งหมดส่วนกระแสเอาต์พุตที่ขา 2 ก็จะได้ตรงกันข้ามกับขา 4โดยกระแสจะมีค่าสูงสุดเมื่ออินพุตเป็นลอจิก "0" และมีค่าน้อยมากที่สุด เมื่ออินพุตเป็นลอจิก "1" ทั้งหมด สำหรับตัวต้านทานปรับค่าได้ที่ต่อที่ขา 2 และไฟบวกนั้นทำหน้าที่เปลี่ยนค่ากระแสที่ออกจากขา 2 ให้เป็นแรงดัน และที่ขา 4 จะทำการต่อลงกราวนด์ไว้

สำหรับในวงจรผสมสัญญาณ ที่ทำหน้าที่ผสมสัญญาณภาพที่ออกจากดีทูเอ เข้ากับสัญญาณซิ้งค์รวมนั้นใช้ทรานซิสเตอร์ Q1 (อ้างอิงวงจรในภาคผนวก) โดยสัญญาณภาพจากดีทูเอจะผ่าน Q1 ไปผสมกับสัญญาณซิ้งค์รวมที่ขา E โดยที่ R3 และ R4 นั้นใช้ปรับอัตราส่วนของสัญญาณภาพกับสัญญาณซิ้งค์ ซึ่งสัญญาณที่ได้จะเป็นสัญญาณคอมโพซิสวิดีโอ(Composite Vedio) ซึ่งสัญญาณยังมีระดับของกระแสต่ำอยู่ ถ้านำไปต่อเข้ากับโทรทัศน์ ดังนั้นจึงต้องนำไปเข้าวงจรขยายสัญญาณ ซึ่งประกอบไปด้วยเฟต (FET) J1 ซึ่งทำหน้าที่เป็นตัวบัฟเฟอร์ (Buffer) เพราะเฟตมีอินพุตอิมพีแดนซ์สูงจะไม่ไปโหลดวงจรภาคต้น ๆมากนัก และส่งผ่านสัญญาณให้กับ Q2 และ Q3 จะทำหน้าที่ขยายในช่วงที่สัญญาณเป็นบวก เมื่อสัญญาณภาพเป็นช่วงลบ เฟตและ Q2 จะนำกระแสน้อยลงทำให้ค่าศักย์ไฟตรงจุดเอาต์พุตมีค่าเป็นลบมากขึ้น เพราะ Q3 นำกระแสตลอดเวลา จึงเปรียบเสมือนว่า Q3 เป็นตัวขยายสัญญาณในช่วงลบ สัญญาณภาพที่ถูกขยายแล้วจะผ่าน R9, C2 ซึ่งเป็นตัวคัปปลิ้ง ออกเป็นเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

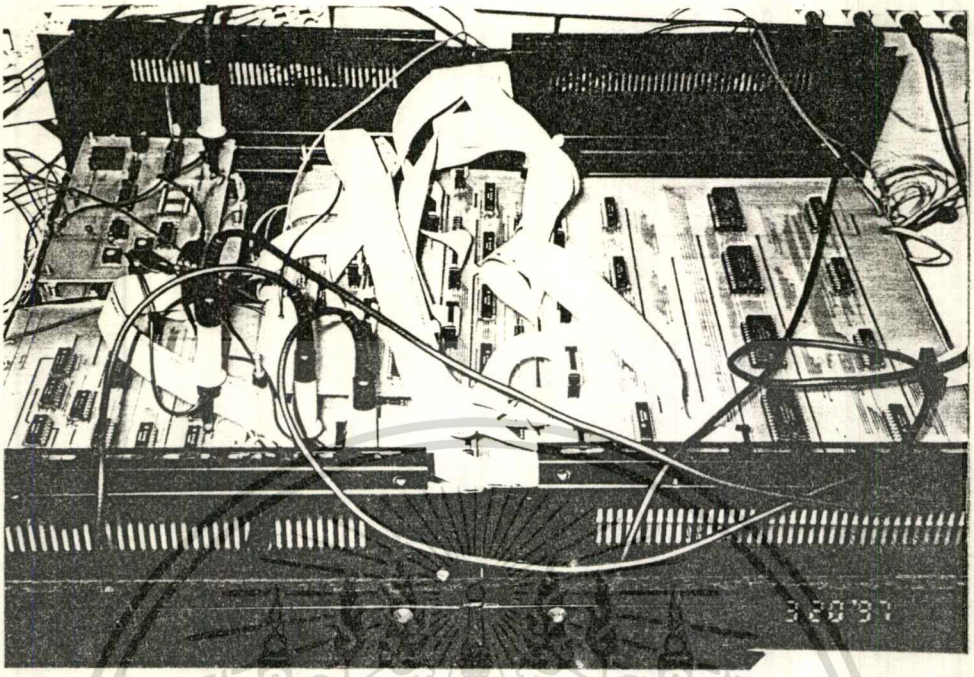
บทที่ 4
หลักการออกแบบและผลการทดลอง

จากการที่ได้ศึกษาทฤษฎีต่าง ๆ เราสามารถออกแบบวงจรในการทดลองนี้ได้ โดยก่อนที่จะทำการกัดปริ้นซ์เราจำเป็นที่จะต้องทดลองก่อนเพื่อที่จะได้รู้ว่าวงจรที่เราออกแบบนั้นสามารถใช้งานได้ตามทฤษฎีหรือไม่ โดยการต่อวงจรเก่า ๆ ลงบนแผ่นปริ้นซ์เอนกประสงค์ ซึ่งจะมีวงจรหลัก ๆ เช่น วงจรแปลงสัญญาณ Aualcy เป็นสัญญาณ Digital , วงจร Memmcry ; วงจรตัดซิ้ง , วงจรนับและวงจรแปลงสัญญาณ Digital เป็นสัญญาณ Analog ความเดิม

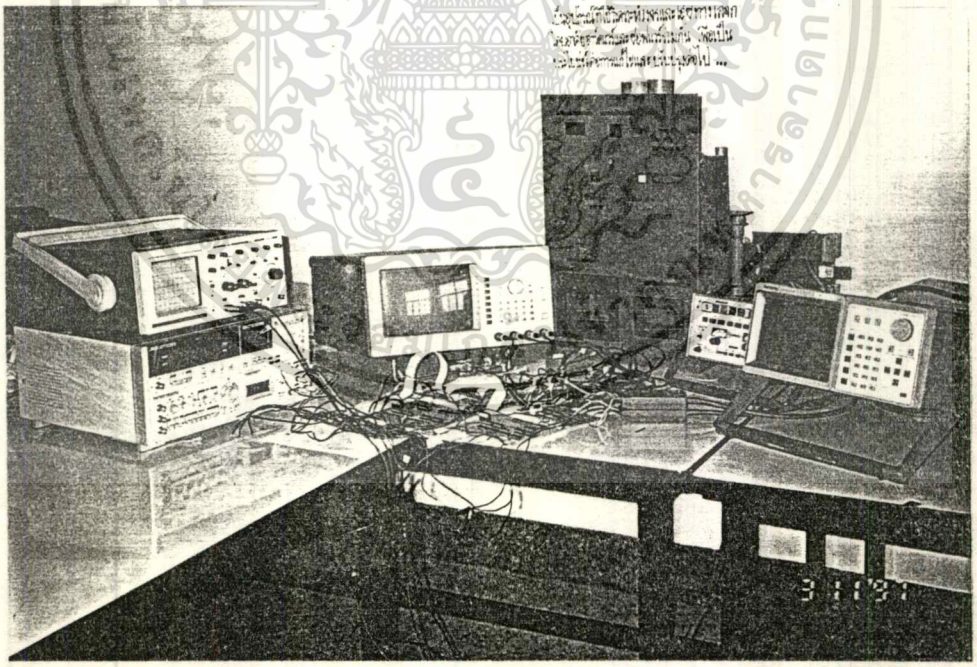
จากรูปเป็นวงจรการทดลองรวมทั้งหมดที่ได้ผ่านการทดลองมาแล้ว โดยเมื่อวงจรมีผลการทดลองออกมาตามทฤษฎีก็จะกัดลงบนปริ้นซ์

รูปที่ 4.1 แสดงการต่อวงจร Video-wall ลงบนปริ้นซ์เอนกประสงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



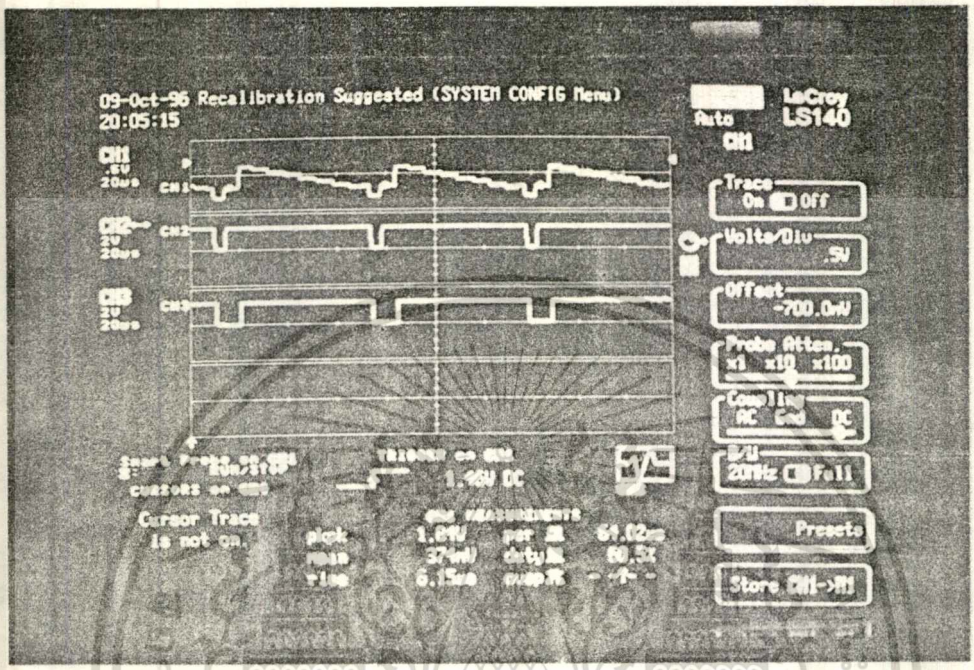
รูปที่ 4.2 แสดงภาพแผ่นปริ้นซ์สมบูรณ์แบบ



รูปที่ 4.3 ห้องที่ใช้ในการทดลองชั้นที่ 11 ห้องที่ 1

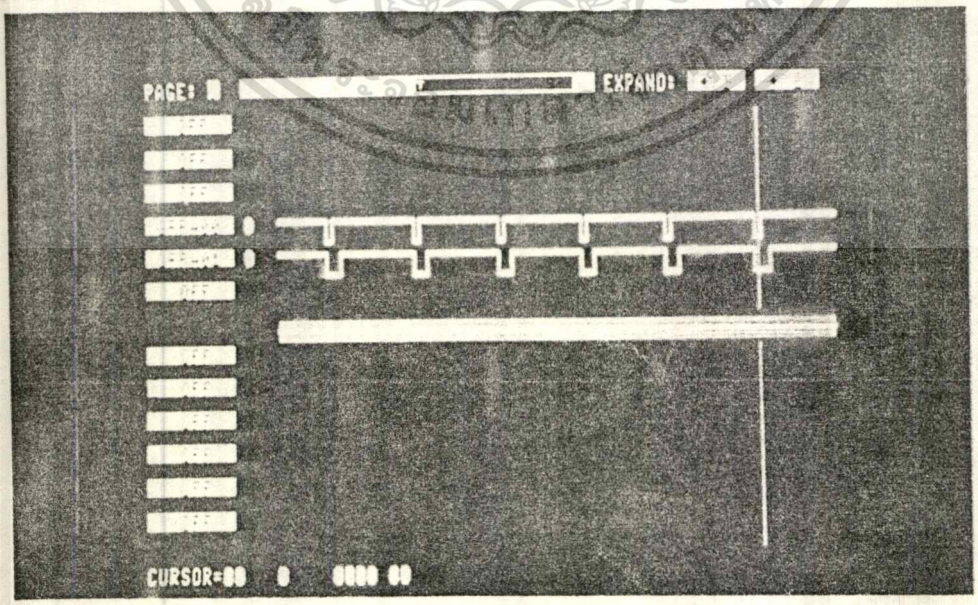
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.4 รูปภาพแสดงสัญญาณภาพเกี่ยวกับสัญญาณซิ้งค์ที่ผ่านการปริ้นซ์ ซึ่งใช้แสดงโดยสโคป 100 MHz ที่มีการโชว์ channel ทีละ channel



รูปที่ 4.4 แสดงสัญญาณภาพเกี่ยวกับสัญญาณซิ้งค์

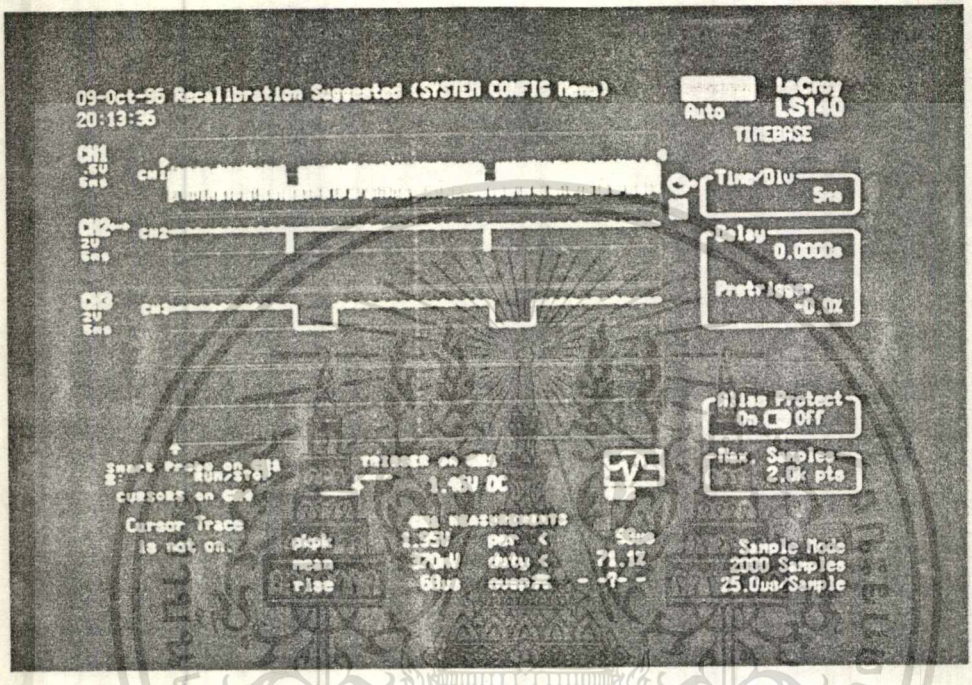
รูปที่ 4.5 เป็นการแสดงสัญญาณจากลอจิกอนาไลเซอร์เป็นสัญญาณฮอร์ซิ้งค์เดิมที่ผ่านการปรับค่าซิ้งกับฮอร์ซิ้งเดิม



รูปที่ 4.5 แสดงสัญญาณฮอร์ซิ้งค์ที่ผ่านการปรับค่าแล้วเทียบกับสัญญาณฮอร์ซิ้งค์เดิม

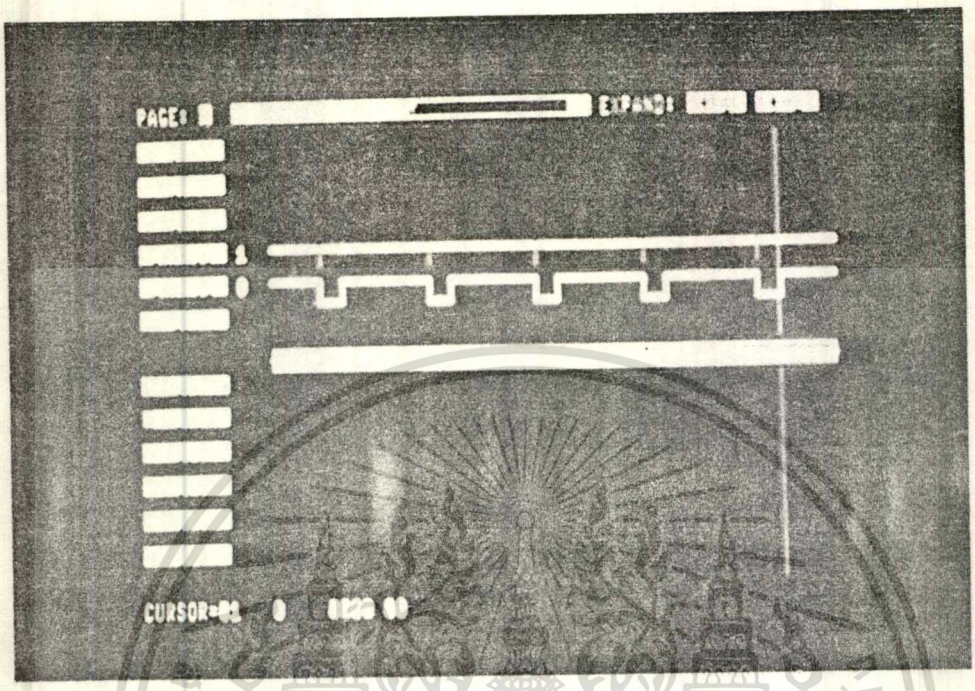
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ V ที่ได้ผ่านการปรับแต่งเรียบร้อยแล้ว ซึ่งแสดงสัญญาณโดย 100 MHz และสัญญาณอีกรูปคือ สัญญาณที่แสดงโดยลอจิกอนาไลเซอร์ซึ่งแสดงสัญญาณที่แสดงสัญญาณซิ้งเวอร์ติคัลที่ผ่านการปรับแสงแล้ว เช่นกัน



รูปที่ 4.6 สัญญาณเวอร์ติคับซิ้งค์ที่ผ่านการปรับ แสดงโดยสโคป 100 MHz

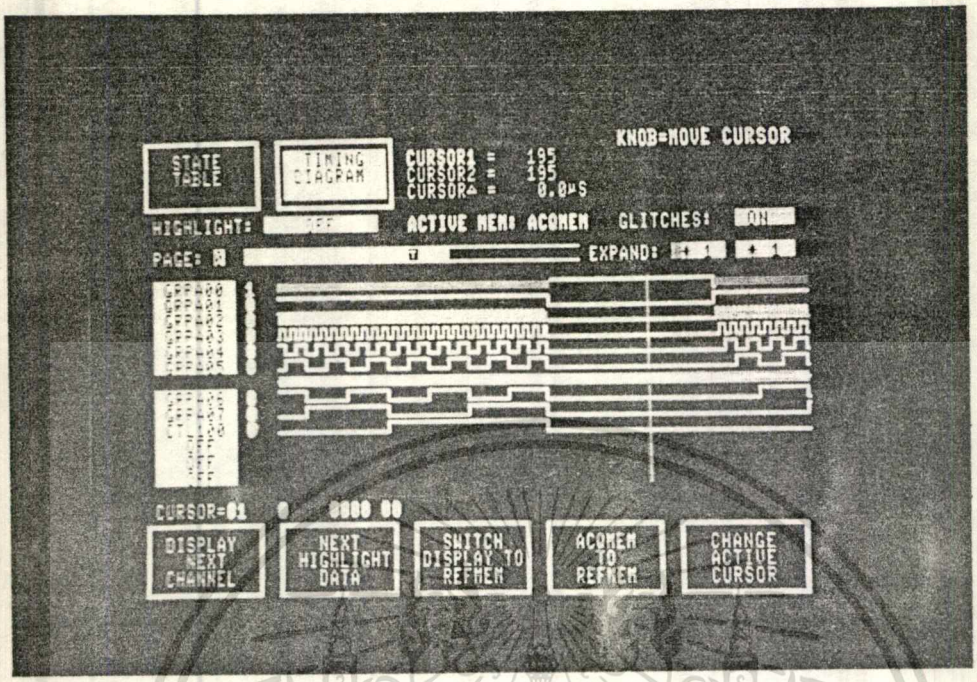
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



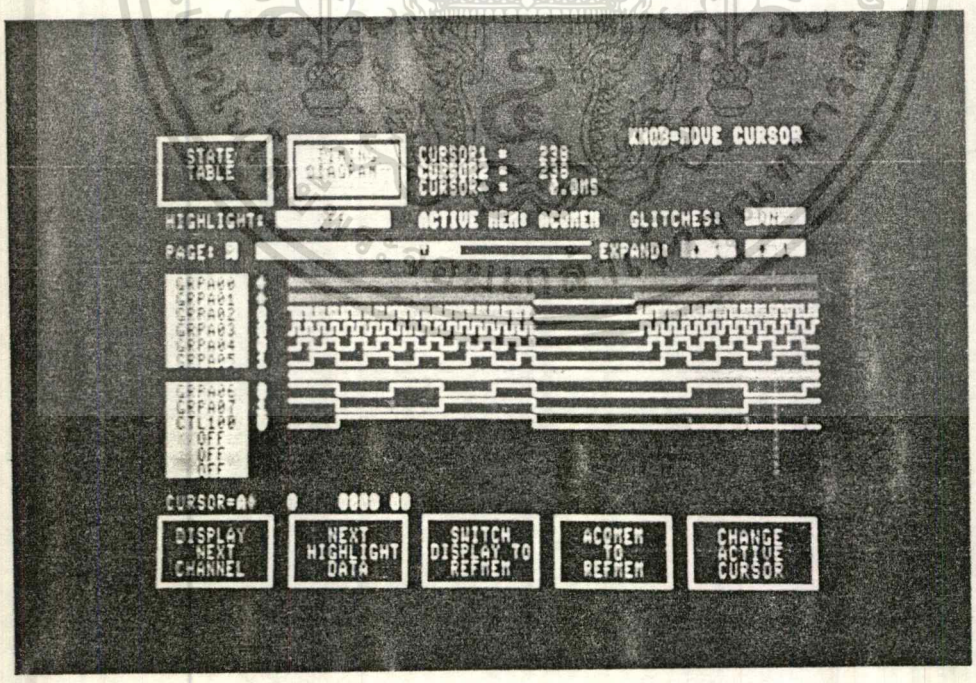
รูปที่ 4.7 สัญญาณเวอร์ติคับซิ้งค์ที่ผ่านการปรับ แสดงโดย ลอจิกอนาไลเซอร์

จากรูปที่ 4.8 เป็นรูปที่แสดงสัญญาณตำแหน่งของจุดข้อมูลในกระบวนการเขียนซึ่งใช้สัญญาณ LATCH คือ สัญญาณนาฬิกาที่ป้อนให้กับวงจรนั้นเพื่อทำการสร้างสัญญาณตำแหน่งซึ่งจะมีการหยุดเป็นช่วง ๆ ตามสัญญาณ CLR ส่วนสัญญาณ AWOO-AWO 7 คือสัญญาณตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



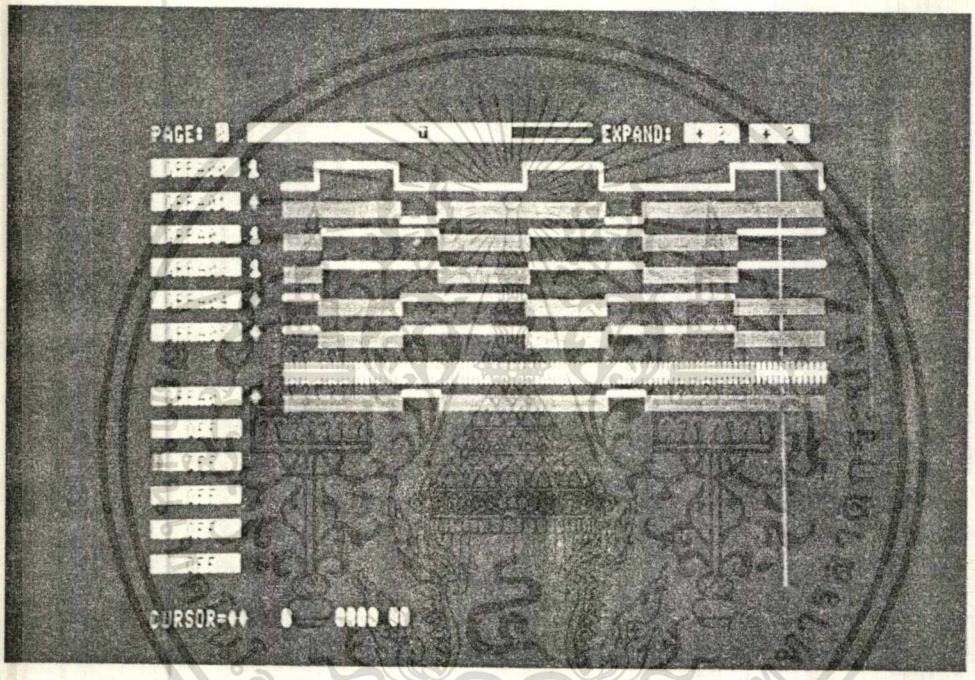
รูปที่ 4.8 แสดงสัญญาณตำแหน่งของจุดข้อมูลในกระบวนการเขียน



รูปที่ 4.9 แสดงสัญญาณตำแหน่งของเส้นในกระบวนการเขียน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.10 จะเป็นสัญญาณ Ao และ A1 เป็นสัญญาณจากส่วนกำเนิดตำแหน่ง เพื่อนำมาถอดรหัสเลือกหน่วยความจำ สัญญาณ CS_WR1-CS_WR4 เป็นสัญญาณที่ต่อกับขาเลือกชิฟของหน่วยความจำ โดยการเลือกชิฟที่ถูกควบคุมด้วยสัญญาณ WDITE_CON อีกที่หนึ่งของหน่วยความจำจะทำงาน เมื่อสัญญาณนี้มีระดับลอจิกเป็น “0” เพื่อให้การเขียนเป็นไปตามที่ตั้งไว้



รูปที่ 4.10 สัญญาณควบคุมการเลือกหน่วยความจำแสดงรวมทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาที่ประสบกับคณะผู้จัดทำ

ในการทดสอบเครื่อง ผู้จัดทำได้ประสบปัญหามากมาย ปัญหาที่ประสบมากที่สุดได้แก่ สัญญาณรบกวน ซึ่งการทดลองเบื้องต้นจะประสบกับปัญหาทางด้านสัญญาณรบกวนเป็นอย่างมากแต่ก็แก้ปัญหาโดยใช้ C ค่า 0.1 uf ต่อคร่อมระหว่าง Vcc กับ GND ก็สามารถช่วยได้เล็กน้อย

และที่เป็นปัญหาสำคัญสำหรับคณะผู้จัดทำ คือ เมื่อต่อตัว A/D converter จะเกิดสัญญาณรบกวนขึ้นที่สัญญาณภาพ Input ทำให้สัญญาณภาพสั่น และส่งผลทำให้สัญญาณต่าง ๆ ไม่เสถียรภาพ ซึ่งวิธีแก้ปัญหาโดยต่อ BUFFER (IC เบอร์ TL081) ระหว่างภาคตัด SYNC และ A/D CONVERTER ปัญหาอีกอย่างหนึ่งก็คือ IC ตระกูล 74 บางตัวไม่สามารถขับโหลดตัวอื่นได้(ในกรณีที่มีโหลดมาก) ซึ่งวิธีแก้ปัญหาโดยต่อ IC เบอร์ 74F244 ซึ่งทำหน้าที่เป็น BUFFER

ผลการทดลองที่ได้ในปัจจุบัน

คณะผู้จัดทำได้ทำการทดลองและแก้ไขจนแบ่งสัญญาณภาพออกมาเป็น 4 ส่วนอย่างสมบูรณเรียบร้อยตามจุดประสงค์ ที่วางไว้

แนวทางในการพัฒนาต่อไป

ขณะนี้คณะผู้จัดทำได้ประสบกับปัญหาทางด้านสัญญาณรบกวน ถ้าหากบุคคลท่านใดสนใจที่จะทำการพัฒนาต่อไป ควรที่จะออกแบบวงจรทุก ๆ วงจรให้อยู่ในแผ่น PCB แผ่นเดียวกัน เพื่อลดสัญญาณรบกวนให้น้อยลง และถ้าหากท่านใดสนใจที่จะพัฒนาต่อจนสามารถแบ่งสัญญาณภาพออกมาให้เป็นสี ควรหา IC ที่มีคุณสมบัติแยกสัญญาณ BURST สัญญาณ SYNC แล้วนำสัญญาณทั้งสองไปรวมกับสัญญาณภาพที่ทำการแบ่งและแปลงกับมาเป็น ANALOG เรียบร้อยแล้วในภาคสุดท้าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณอาจารย์อุทัย ศรีธีระวิโรจน์ ที่ให้คำแนะนำต่างๆ รวมทั้งจัดหาอุปกรณ์ในการทดลอง ขอขอบพระคุณอาจารย์อรลาภ ที่จัดหาเครื่องมือในการทดลองให้ด้วย ขอบคุณเพื่อนทุกคนที่มีส่วนช่วยในการทำปริญญานิพนธ์ และช่วยในการแก้ไขปัญหาต่างๆ ที่เกิดขึ้น ขอบคุณรุ่นน้องที่ช่วยเหลือในด้านเอกสาร

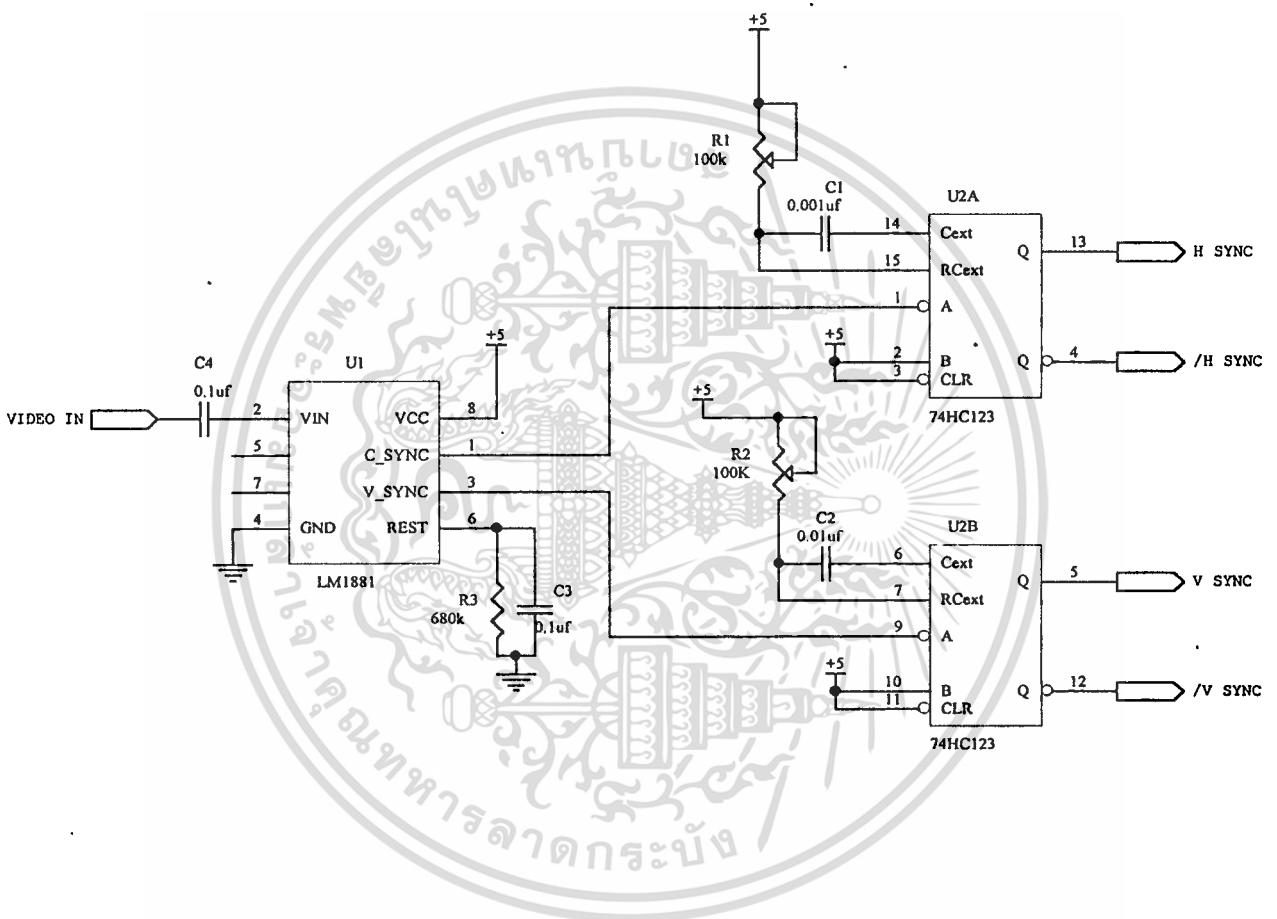
สุดท้ายขอขอบคุณตัวเองที่มีความมุ่งมั่นในการทำงานโปรเจ็คกันทุกคน และสู้กับปัญหาที่ประสบในการทำโครงงาน

คณะผู้จัดทำ

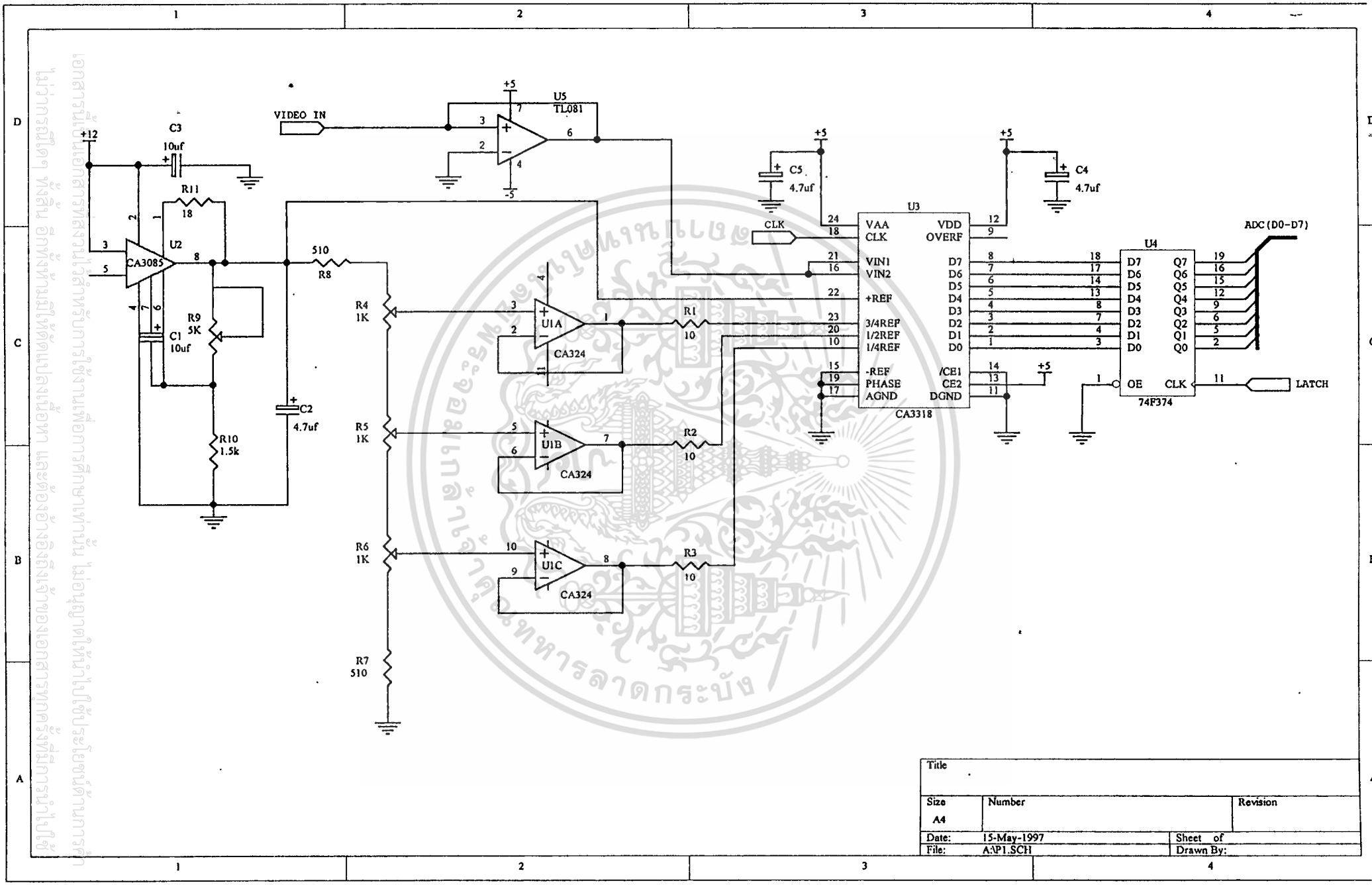
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

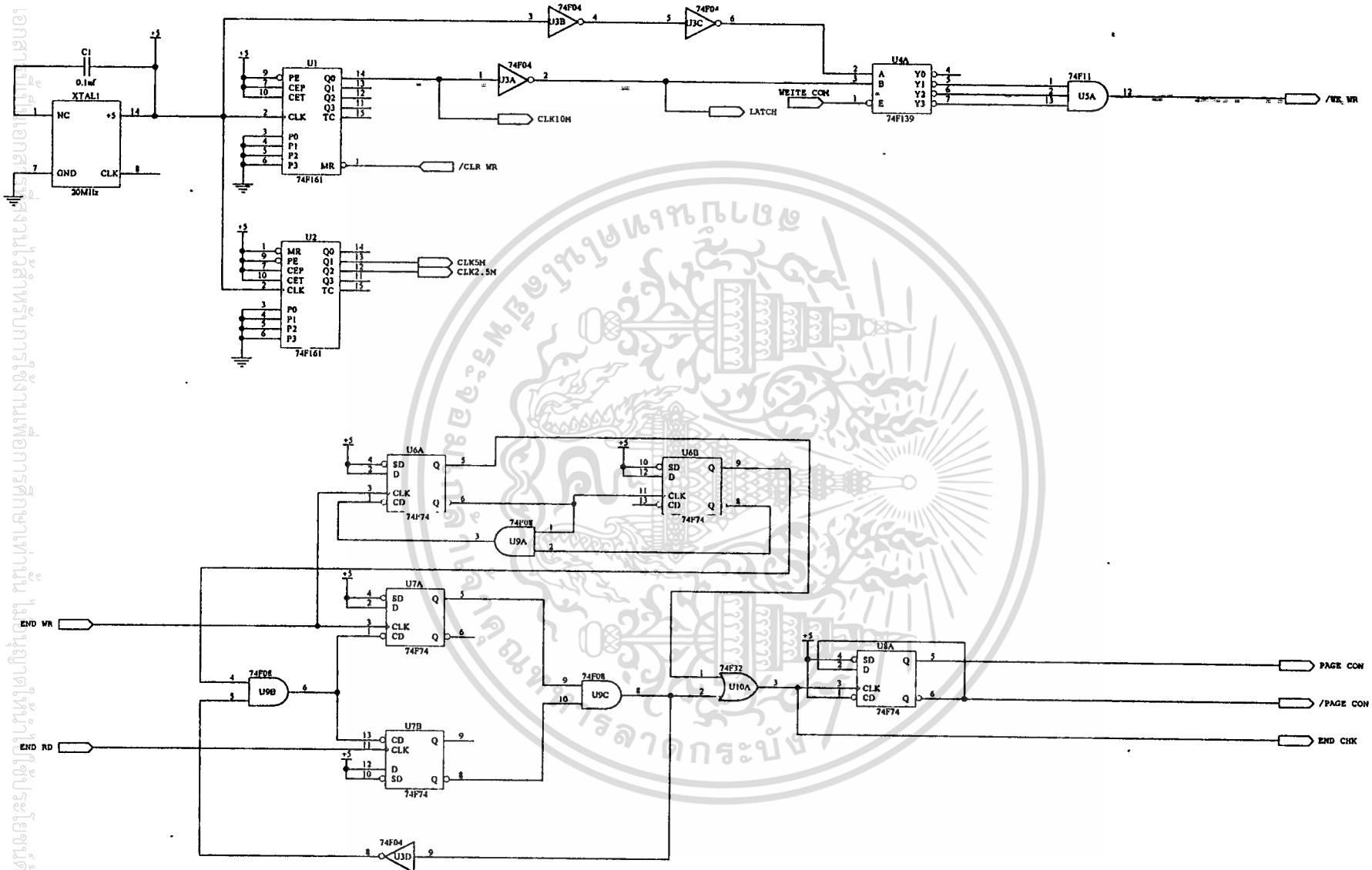
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

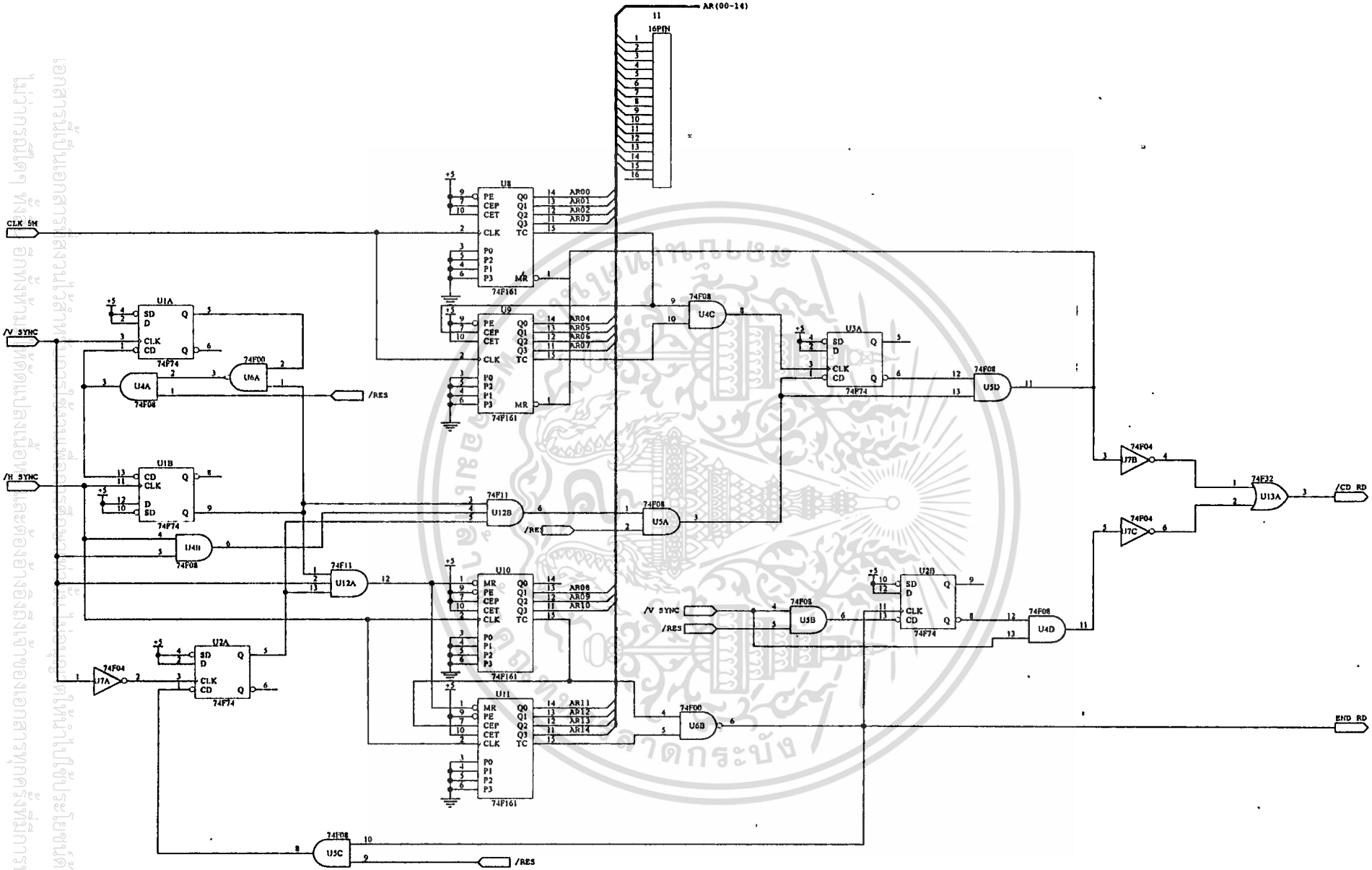


Title		
Size: A4	Number:	Revision:
Date: 15-May-1997		Sheet of
File: A:\P0.SCH		Drawn By:

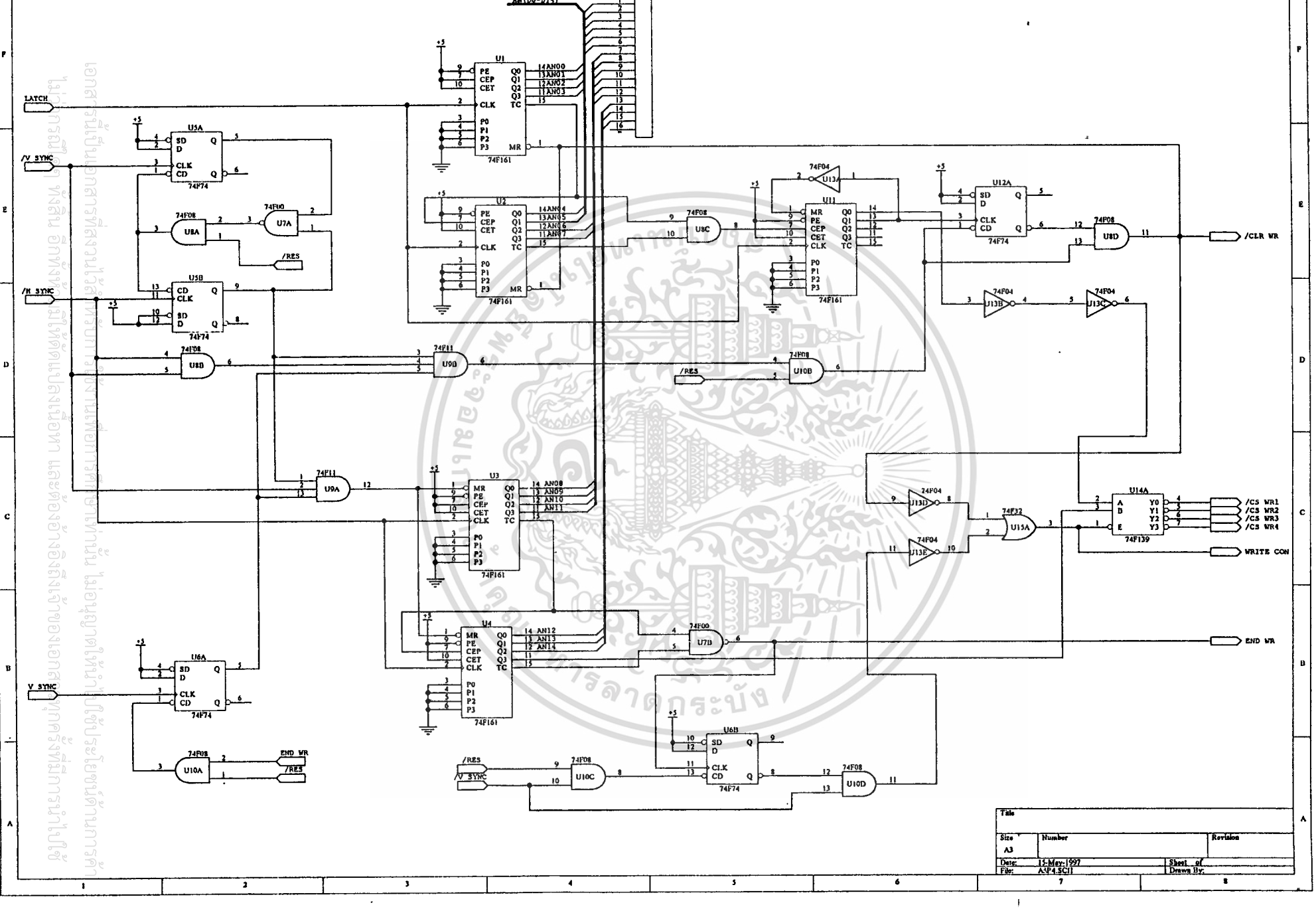

VIDEO IN
+12
C3
10uf
R11
18
U2
CA3085
R9
5K
C1
10uf
R10
1.5k
C2
4.7uf
510
R8
U5
TL081
+5
-5
R4
1K
R5
1K
R6
1K
R7
510
U1A
U1B
U1C
CA324
R1
10
R2
10
R3
10
C5
4.7uf
C4
4.7uf
CLK
U3
VAA
CLK
VIN1
VIN2
+REF
3/4REF
1/2REF
1/4REF
-REF
PHASE
AGND
VDD
OVERF
D7
D6
D5
D4
D3
D2
D1
D0
/CE1
CE2
DGND
CA3318
U4
Q7
Q6
Q5
Q4
Q3
Q2
Q1
Q0
OE
CLK
74F374
ADC (D0-D7)
LATCH
Title
Size
A4
Number
Revision
Date:
15-May-1997
Sheet of
File:
A:\P1.SCH
Drawn By:



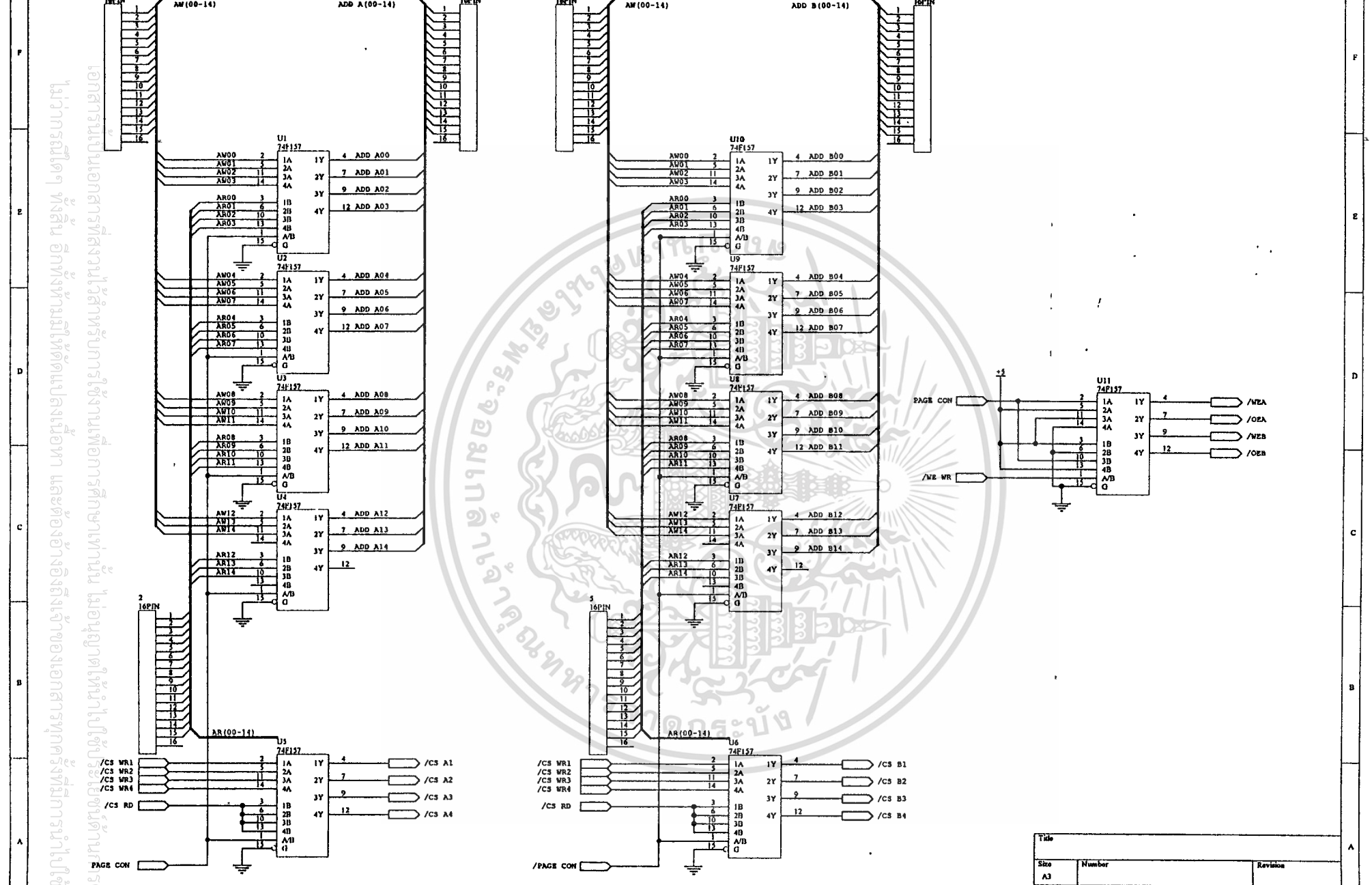
Title		
Size: A3	Number	Revision
Date: 15-May-1997		Sheet of
File: A:\P2.SCH		Drawn By:

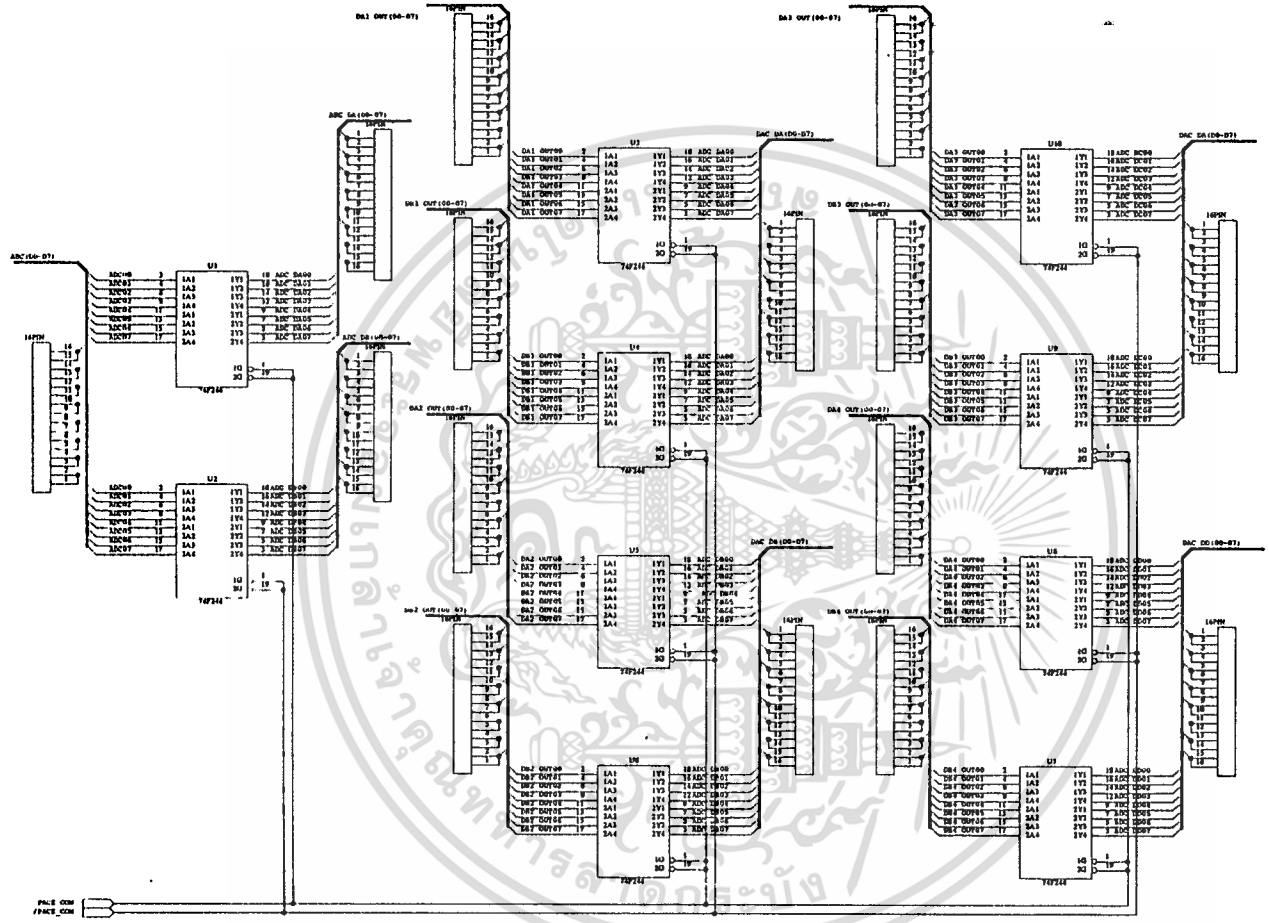


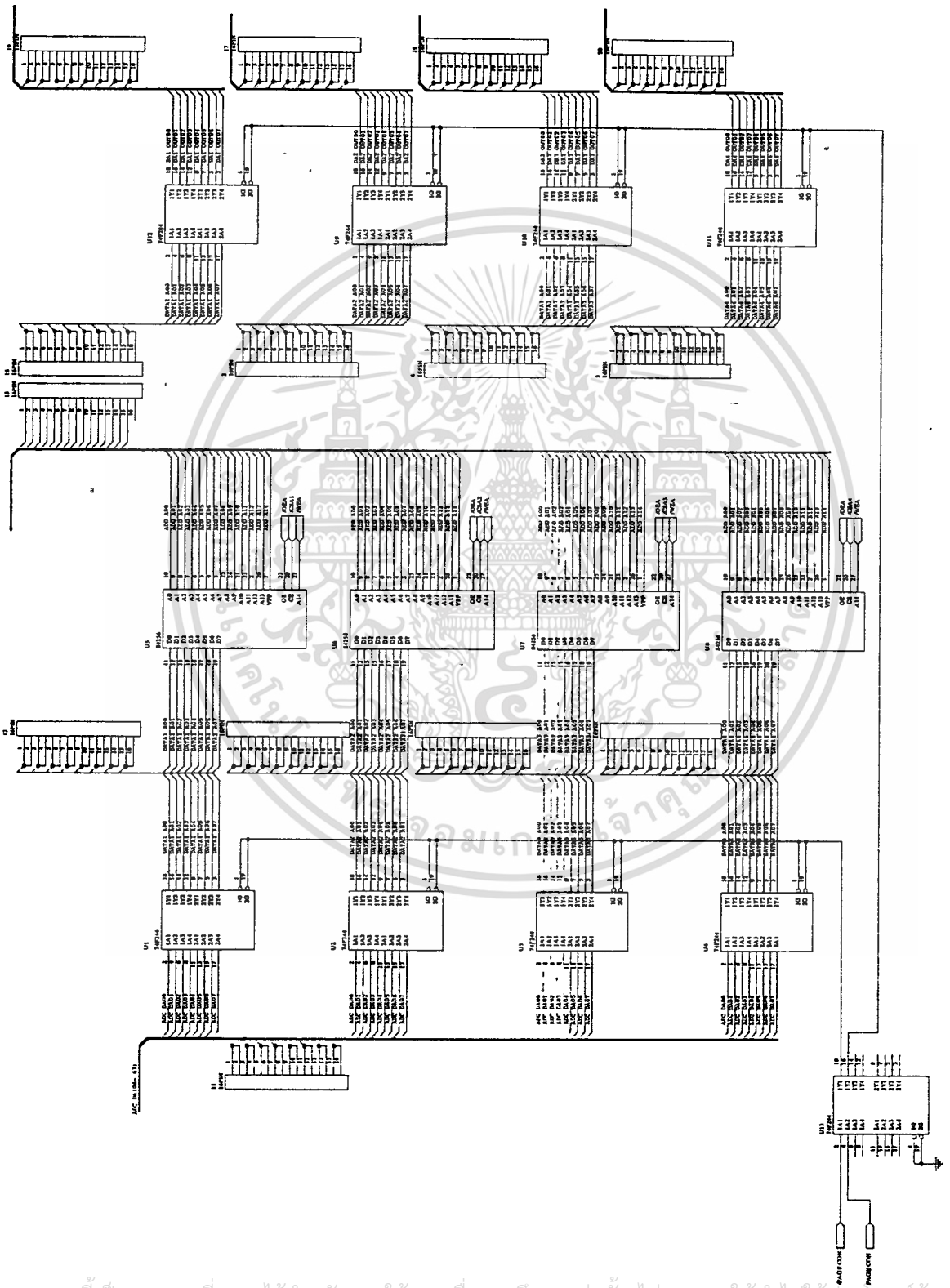
Title		
Size A3	Number	Revision
Date: 15-May-1997		Sheet of
File: A:\P3.SCH		Drawn By:



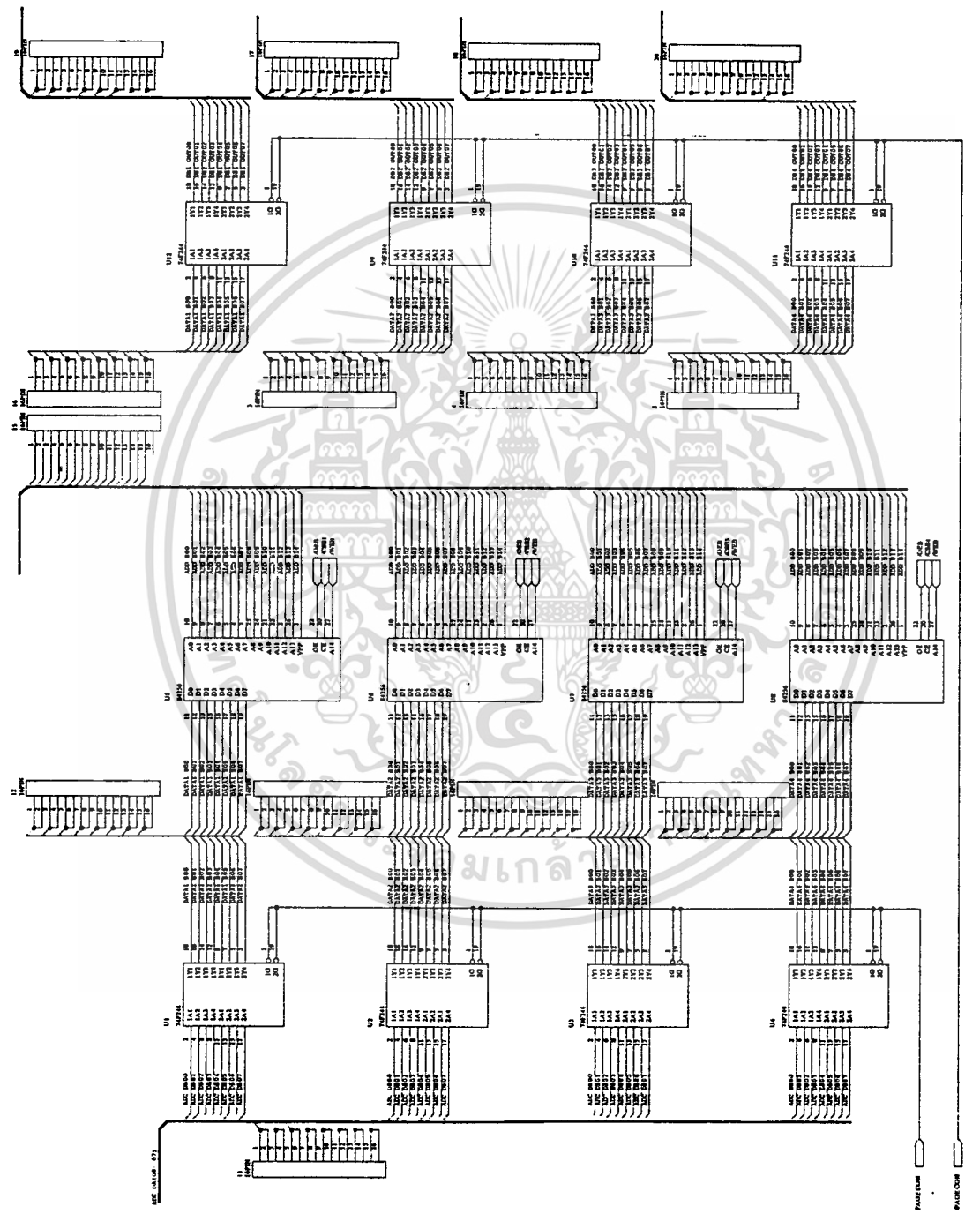
Title		
Size: A3	Number	Revision
Date: 15-May-1997		Sheet of
File: AAP4.SCH		Drawn By:


AW(00-14)
ADD A(00-14)
ADD B(00-14)
AR(00-14)
U1
U2
U3
U4
U5
U6
U7
U8
U9
U10
U11
74F157
16PIN
AW00
AW01
AW02
AW03
AW04
AW05
AW06
AW07
AW08
AW09
AW10
AW11
AW12
AW13
AW14
AR00
AR01
AR02
AR03
AR04
AR05
AR06
AR07
AR08
AR09
AR10
AR11
AR12
AR13
AR14
ADD A00
ADD A01
ADD A02
ADD A03
ADD A04
ADD A05
ADD A06
ADD A07
ADD A08
ADD A09
ADD A10
ADD A11
ADD A12
ADD A13
ADD A14
ADD B00
ADD B01
ADD B02
ADD B03
ADD B04
ADD B05
ADD B06
ADD B07
ADD B08
ADD B09
ADD B10
ADD B11
ADD B12
ADD B13
ADD B14
/CS WR1
/CS WR2
/CS WR3
/CS WR4
/CS RD
/CS A1
/CS A2
/CS A3
/CS A4
/CS B1
/CS B2
/CS B3
/CS B4
PAGE CON
/PAGE CON
/WE WR
/WEA
/OEA
/WEB
/OEB
+5
Title
Size
A3
Number
Revision
Date: 15-May-1997
File: A4P3.SCH
Sheet of
Drawn By:

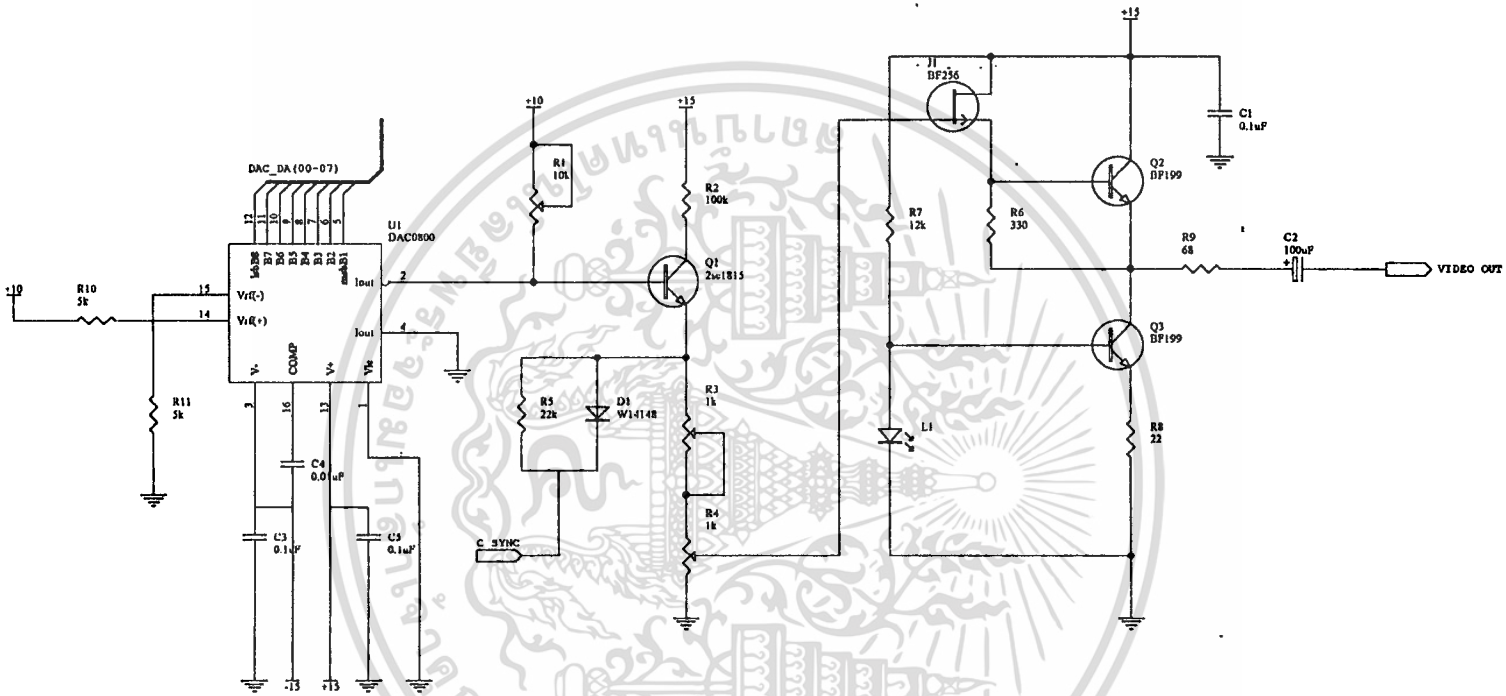




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title		
Size A3	Number	Revision
Date: 15-May-1997		Sheet of
File: A:\VF8.SCH		Drawn By:

HARRIS SEMICONDUCTOR

CA3318C

CMOS Video Speed 8-Bit Flash A/D Converter

December 1993.

Features

- CMOS Low Power with SOS Speed (150mW Typ.)
- Parallel Conversion Technique
- 15MHz Sampling Rate (67ns Conversion Time)
- 8-Bit Latched Tri-State Output with Overflow Bit
- ±1 LSB Accuracy (Typ.)
- Single Supply Voltage (4V to 7.5V)
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High-Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- High Speed Oscilloscope Storage/Display
- General Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- µP Data Acquisition Systems

Description

The CA3318C is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

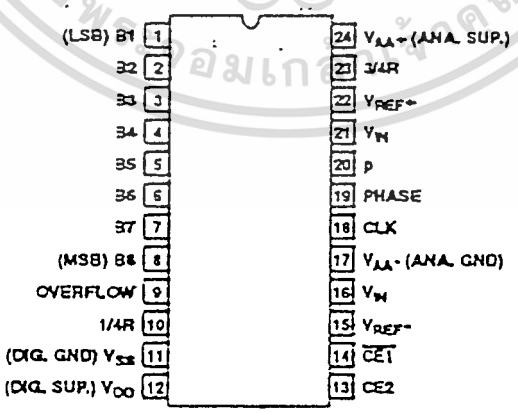
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

PART NUMBER	LINEARITY (INL)	SAMPLING RATE	TEMPERATURE RANGE	PACKAGE
CA3318CE	±1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Plastic DIP
CA3318CM	±1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Plastic SOIC
CA3318CD	±1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Ceramic DIP

Pinout

CA3318C (PDIP, CDIP, SOIC)
TOP VIEW



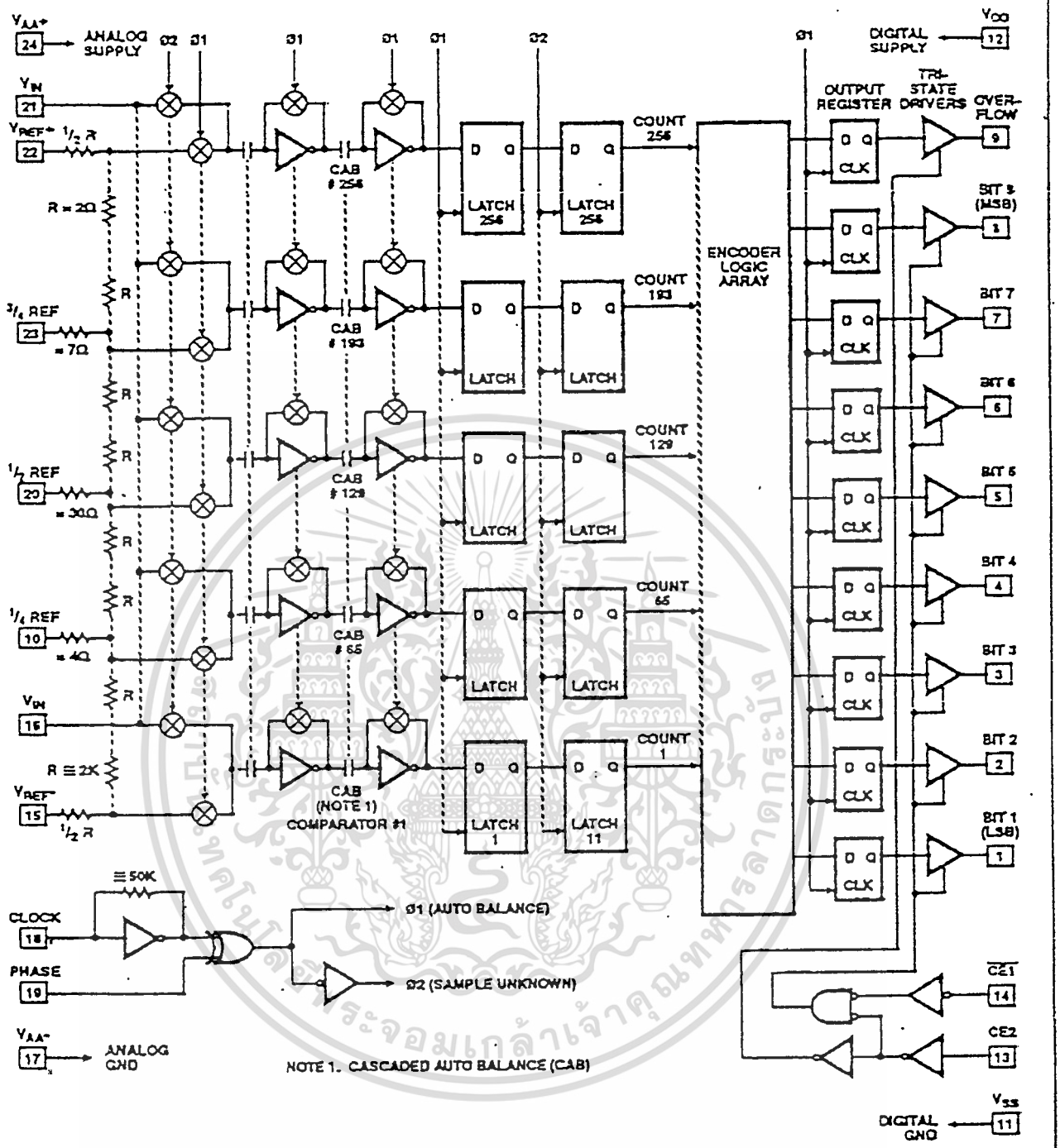
CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.

Copyright © Harris Corporation 1993

File Number 3103

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
From CAPS XPert This Material Copyrighted By Its Respective Manufacturer

Functional Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
From CAPS XPert This Material Copyrighted By Its Respective Manufacturer

Absolute Maximum Ratings

DC Supply Voltage Range (V_{DD} or V_{AA}+) ..... -0.5V to +8V
(Referenced to V_{SS} or V_{AA}- Terminal, Whichever is More Negative)
Input Voltage Range
CE2 and $\overline{CE1}$ ..... V_{AA}- -0.5V to V_{DD} + 0.5V
Clock, Phase, V_{REF}-, $^1/_2$ Ref..... V_{AA}- -0.5V to V_{AA}+ + 0.5V
Clock, Phase, V_{REF}-, $^1/_4$ Ref..... V_{SS}- -0.5V to V_{DD} + 0.5V
V_{IN}, 3/4 REF, V_{REF}+ ..... V_{AA}- -0.5V to V_{AA}- + 7.5V
Output Voltage Range,..... V_{SS} - 0.5V to V_{DD} + 0.5V
Bits 1-8, Overflow (Outputs Off)
DC Input Current ..... ±20mA
Clock, Phase, $\overline{CE1}$, CE2, V_{IN}, Bits 1-8, Overflow
Operating Voltage Range (V_{DD} or V_{AA}+) .....4V Min to 7.5V Max
Recommended V_{AA}+ Operating Range ..... V_{DD} ± 1V
Recommended V_{AA}- Operating Range ..... V_{SS} ± 1V
Storage Temperature Range ..... -65°C to +150°C
Lead Temperature (Soldering 10s)..... +265°C

Thermal Information

Thermal Resistance	θ_{JA}	θ_{JC}
Ceramic DIP Package	58°C/W	11°C/W
Plastic DIP Package	80°C/W	-
Plastic SOIC Package	75°C/W	-

Maximum Power Dissipation..... 0.67W
Operating Temperature Range (T_A) ..... -40°C to +85°C
Junction Temperature
Ceramic Package ..... +175°C
Plastic Package..... +150°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Electrical Specifications

At +25°C, V_{AA}+ = V_{DD} = 5V, V_{REF}+ = 6.4V, V_{REF}- = V_{AA}- = V_{SS}, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified.

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE					
Resolution		8	-	-	Bits
Integral Linearity Error		-	-	±1.5	LSB
Differential Linearity Error		-	-	+1, -0.8	LSB
Offset Error, Unadjusted	V_{IN} = V_{REF}- + 1/2 LSB	-0.5	4.5	6.4	LSB
Gain Error Unadjusted	V_{IN} = V_{REF}+ - 1/2 LSB	-1.5	0	1.5	LSB
DYNAMIC CHARACTERISTICS					
Maximum Input Bandwidth	(Note 1) CA3318C	2.5	5.0	-	MHz
Maximum Conversion Speed	CLK = Square Wave	15	17	-	MSPS
Signal to Noise Ratio (SNR) = $\frac{\text{RMS Signal}}{\text{RMS Noise}}$	F_S = 15MHz, f_{IN} = 100kHz	-	47	-	dB
	F_S = 15MHz, f_{IN} = 4MHz	-	43	-	dB
Signal to Noise Ratio (SINAD) = $\frac{\text{RMS Signal}}{\text{RMS Noise+Distortion}}$	F_S = 15MHz, f_{IN} = 100kHz	-	45	-	dB
	F_S = 15MHz, f_{IN} = 4MHz	-	35	-	dB
Total Harmonic Distortion, THD	F_S = 15MHz, f_{IN} = 100kHz	-	-46	-	dBc
	F_S = 15MHz, f_{IN} = 4MHz	-	-36	-	dBc
Effective Number of Bits (ENOB)	F_S = 15MHz, f_{IN} = 100kHz	-	7.2	-	Bits
	F_S = 15MHz, f_{IN} = 4MHz	-	5.5	-	Bits
Differential Gain Error	Unadjusted	-	2	-	%
Differential Phase Error	Unadjusted	-	1	-	%
ANALOG INPUTS					
Full Scale Range, V_{IN} and (V_{REF}+) - (V_{REF}-)	Notes 2, 4	4	-	7	V
Input Capacitance, V_{IN}		-	30	-	pF
Input Current, V_{IN} (See Text)	V_{IN} = 5.0V, V_{REF}+ = 5.0V	-	-	3.5	mA
REFERENCE INPUTS					
Ladder Impedance		270	500	800	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
Scanned From CAPS XPert This Material Copyrighted By its Respective Manufacturer.

Electrical Specifications At +25°C, $V_{AA}+ = V_{DD} = 5V$, $V_{REF}+ = 6.4V$, $V_{REF}- = V_{AA}- = V_{SS}$, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified. (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS					
Low Level Input Voltage, V_{OL}					
$\overline{CE1}$, CE2	Note 4	-	-	$0.2V_{DD}$	V
Phase, CLK	Note 4	-	-	$0.2V_{AA}$	V
High Level Input Voltage, V_{IN}					
$\overline{CE1}$, CE2	Note 4	$0.7V_{DD}$	-	-	V
Phase, CLK	Note 4	$0.7V_{AA}$	-	-	V
Input Leakage Current, I_I (Except CLK Input	Note 3	-	±0.2	±5	µA
Input Capacitance, C_I		-	3	-	pF
DIGITAL OUTPUTS					
Output Low (Sink) Current	$V_O = 0.4V$	4	10	-	mA
Output High (Source) Current	$V_O = 4.5V$	-4	-6	-	mA
Tri-State Output Off-State Leakage Current, I_{OZ}		-	±0.2	±5	µA
Output Capacitance, C_O		-	4	-	pF
TIMING CHARACTERISTICS					
Auto Balance Time (ϕ1)		33	-	∞	ns
Sample Time (ϕ2)	Note 4	25	-	500	ns
Aperture Delay		-	15	-	ns
Aperture Jitter		-	100	-	ps
Data Valid Time, T_D	Note 4	-	50	65	ns
Data Hold Time, T_H	Note 4	25	40	-	ns
Output Enable Time, T_{EN}		-	18	-	ns
Output Disable Time, T_{DIS}		-	18	-	ns
POWER SUPPLY CHARACTERISTICS					
Device Current ($I_{DD} + I_A$) (Excludes I_{REF})	Continuous Conversion (Note 4)	-	30	60	mA
	Auto Balance (ϕ1)	-	30	60	mA

NOTES:

1. A full scale sine wave input of greater than $F_{CLOCK}/2$ or the specified input bandwidth (whichever is less) may cause an erroneous code. The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2. V_{IN} (Full Scale) or $V_{REF}+$ should not exceed $V_{AA}+ + 1.5V$ for accuracy.
3. The clock input is a CMOS inverter with a 50kΩ feedback resistor and may be AC coupled with $1V_{P-P}$ minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

Timing Waveforms

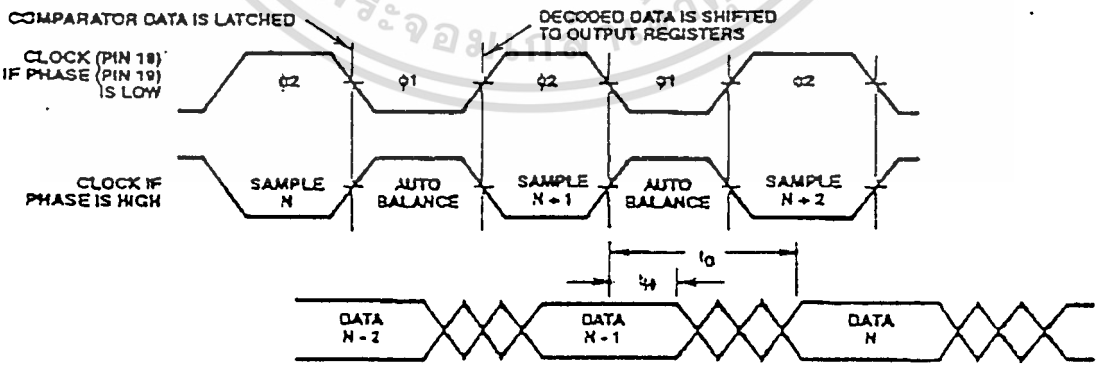


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
From CAPS Xpert This Material Copyrighted By Its Respective Manufacturer.

Timing Waveforms (Continued)

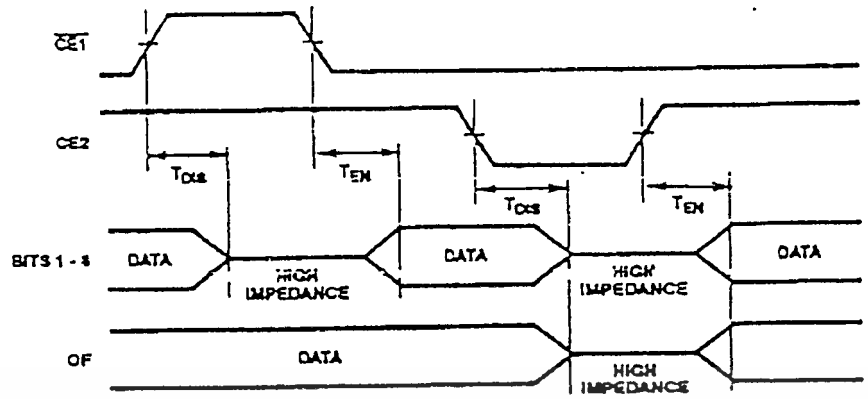


FIGURE 2. OUTPUT ENABLE TIMING DIAGRAM

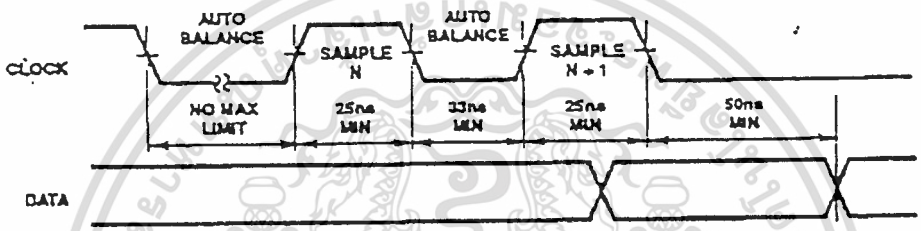


FIGURE 3A. STANDBY IN INDEFINITE AUTO BALANCE (SHOWN WITH PHASE = LOW)

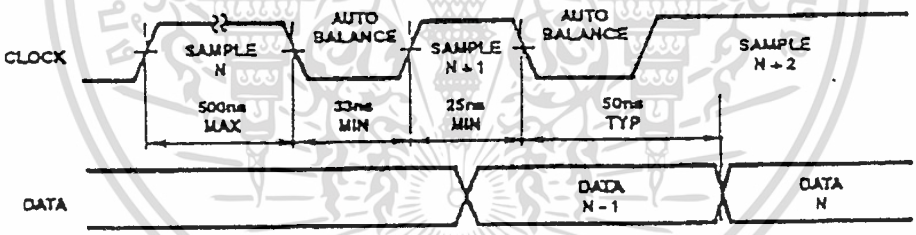


FIGURE 3B. STANDBY IN SAMPLE (SHOWN WITH PHASE = LOW)

FIGURE 3. PULSE MODE OPERATION

Printed From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.

Typical Performance Curves

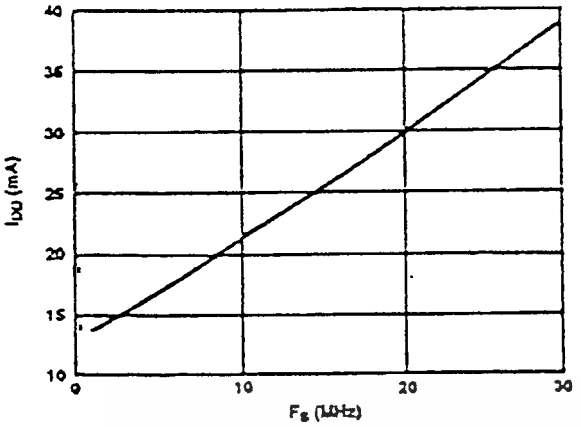


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

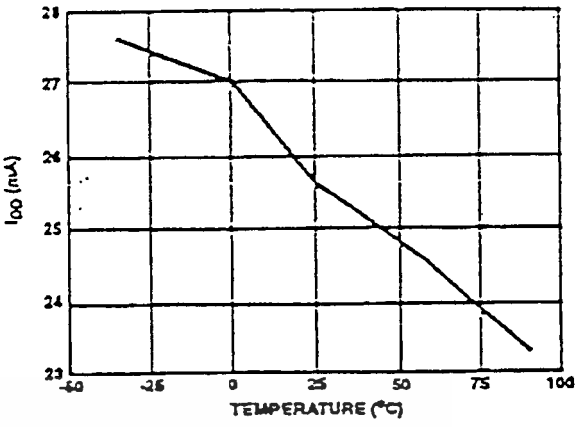


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

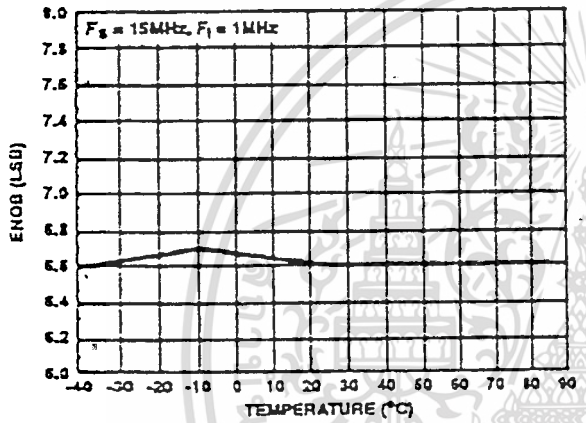


FIGURE 6. ENOB vs TEMPERATURE

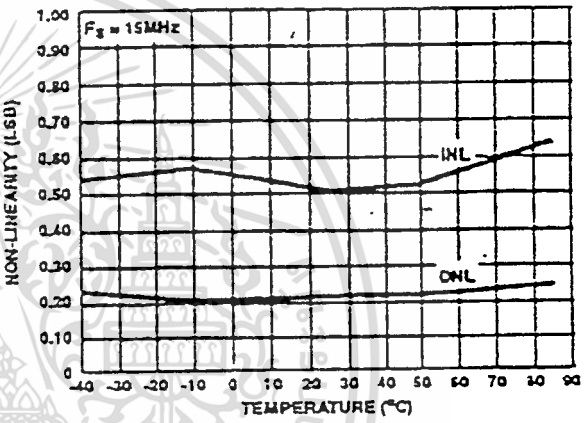


FIGURE 7. NON-LINEARITY vs TEMPERATURE

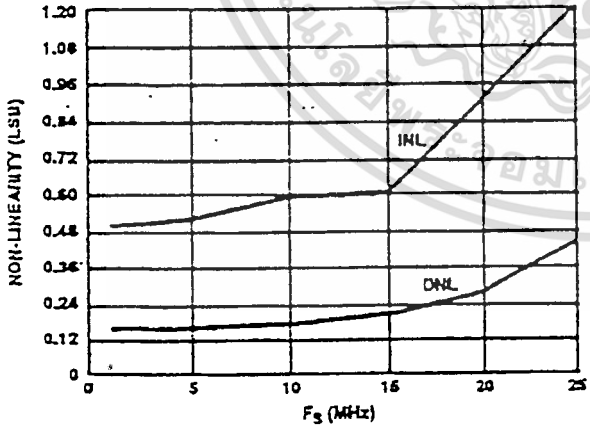


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

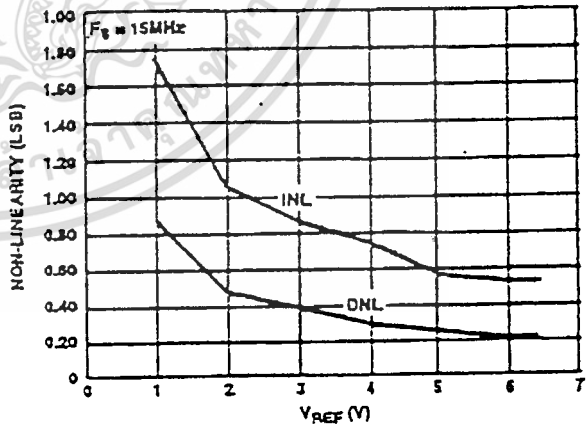


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
m From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.

Typical Performance Curves (Continued)

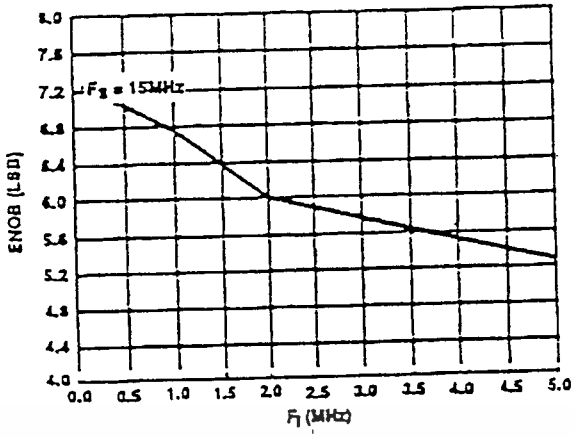


FIGURE 10. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN	NAME	DESCRIPTION	
1	B1	Bit 1 (LSB)	Output Data Bits (High = True)
2	B2	Bit 2	
3	B3	Bit 3	
4	B4	Bit 4	
5	B5	Bit 5	
6	B6	Bit 6	
7	B7	Bit 7	
8	B8	Bit 8 (MSB)	
9	OF	Overflow	
10	$^1/_4$ R	Reference Ladder $^1/_4$ Point	
11	V_{SS}	Digital Ground	
12	V_{DD}	Digital Power Supply, +5V	
13	CE2	Tri-State Output Enable Input, Active Low, See Truth Table.	
14	$\overline{CE1}$	Tri-State Output Enable Input Active High. See Truth Table.	
15	V_{REF}-	Reference Voltage Negative Input	
16	V_{IN}	Analog Signal Input	
17	V_{AA}-	Analog Ground	
18	CLK	Clock Input	
19	PHASE	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).	
20	$^1/_2$ R	Reference Ladder Midpoint	
21	V_{IN}	Analog Signal Input	
22	V_{REF}+	Reference Voltage Positive Input	
23	$^3/_4$ R	Reference Ladder $^3/_4$ Point	
24	V_{AA}+	Analog Power Supply, +5V	

CHIP ENABLE TRUTH TABLE

$\overline{CE1}$	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Tri-State	Valid
X	0	Tri-State	Tri-State

X = Don't Care

Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase, ϕ1, and the "Sample Unknown" phase, ϕ2. (Refer to the circuit diagram.) Each conversion takes one clock cycle*. With the phase control (pin 19) high, the "Auto-Balance" (ϕ1) occurs during the high period of the clock cycle, and the "Sample Unknown" (ϕ2) occurs during the low period of the clock cycle.

* The device requires only a single phase clock. The terminology of ϕ1 and ϕ2 refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256)\,V_{REF}] - (1/512)\,V_{REF}]$$
$$= [(2N - 1)/512]\,V_{REF}$$

Where:

V_{TAP} (n) = reference ladder tap voltage at point n.
V_{REF} = voltage across V_{REF}- to V_{REF}+
N = tap number (1 through 256)

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately (V_{AA}+ - V_{AA}-)/2. The first set of capacitors now charges to their associated tap voltages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Downloaded From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.

At the same time a second set of commutating capacitors and amplifiers is also auto-balanced. The balancing of the second-stage amplifier at its intrinsic trip point removes any tracking differences between the first and second amplifier stages. The cascaded auto-balance (CAB) technique, used here, increases comparator sensitivity and temperature tracking.

In the "Sample Unknown" phase, all ladder tap switches and comparator shorting switches are opened. At the same time V_{IN} is switched to the first set of commutating capacitors. Since the other end of the capacitors are now looking into an effectively open circuit, any input voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators that had tap voltages greater than V_{IN} will go to a "high" state at their outputs. All comparators that had tap voltages lower than V_{IN} will go to a "low" state.

The status of all these comparator amplifiers is AC coupled through the second-stage comparator and stored at the end of this phase ($\phi 2$) by a latching amplifier stage. The latch feeds a second latching stage, triggered at the end of $\phi 1$. This delay allows comparators extra settling time. The status of the comparators is decoded by a 256 to 9-bit decoder array, and the results are clocked into a storage register at the end of the next $\phi 2$.

A 3-stage buffer is used at the output of the 9 storage registers which are controlled by two chip-enable signals. $\overline{CE1}$ will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B8 and the OF buffers when it is in the low state.

To facilitate usage of this device, a phase control input is provided which can effectively complement the clock as it enters the chip.

Continuous-Clock Operation

One complete conversion cycle can be traced through the CA3318 via the following steps. (Refer to timing diagram.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the first-stage latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto-balance" phase for the comparators. During this "low" state of the clock, the output of the latches settles and is captured by a second row of latches when the clock returns high. The second-stage latch output propagates through the decode array, and a 9-bit code appears at the D inputs of the output registers. On the next falling edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the tri-state drivers. This also marks the end of the next "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse-Mode Operation

The CA3318 needs two of the same polarity clock edges to complete a conversion cycle: If, for instance, a negative going clock edge ends sample "N", then data "N" will appear after the next negative going edge. Because of this requirement, and because there is a maximum sample time of 500ns (due to capacitor droop), most pulse or intermittent sample applications will require double clock pulsing.

If an indefinite standby state is desired, standby should be in auto-balance, and the operation would be as in Figure 3A.

If the standby state is known to last less than 500ns and lowest average power is desired, then operation could be as in Figure 3B.

Increased Accuracy

In most cases the accuracy of the CA3318 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, five adjustments can be made to obtain better accuracy, i.e., offset trim; gain trim; and $^1/_4$, $^1/_2$ and $^3/_4$ point trim.

Offset Trim

In general, offset correction can be done in the preamp circuitry by introducing a dc shift to V_{IN} or by the offset trim of the op amp. When this is not possible the $V_{REF}-$ input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $^1/_2$ LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = {}^1/_2 \text{ LSB} = {}^1/_2 (V_{REF}/256)$$
$$= V_{REF}/512$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50Ω pot connected between $V_{REF}-$ and ground will accomplish the adjustment. Set V_{IN} to 1/2 LSB and trim the pot until the 0-to-1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50Ω pot should be connected between $V_{REF}-$ and a negative voltage of about 2 LSB's. The trim procedure is as stated previously.

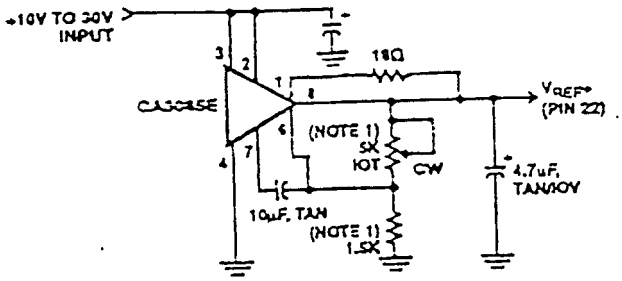
Gain Trim

In general, the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 255 to overflow transition. That voltage is $^1/_3$ LSB less than $V_{REF}+$ and is calculated as follows:

$$V_{IN} \text{ (255 to 256 transition)} = V_{REF} - V_{REF}/512$$
$$= V_{REF}(511/512)$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 255 to overflow transition. Now adjust $V_{REF}+$ until that transition occurs on the outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
From CAPS XPert This Material Copyrighted By its Respective Manufacturer.

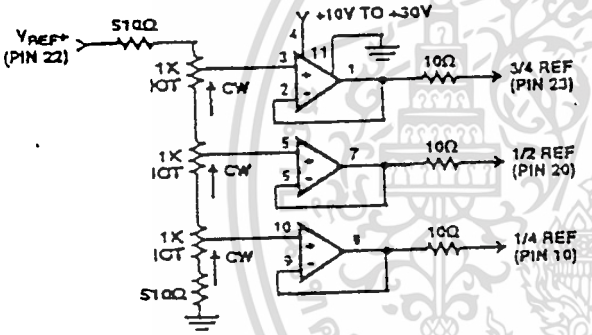


NOTE: Bypass $V_{REF}+$ to analog GND near A/D with 0.1µF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING $V_{REF}+$ INPUT

$^1/_4$ Point Trims

The $^1/_4$, $^1/_2$ and $^3/_4$ points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The $^1/_4$ points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between $V_{REF}+$ and $V_{REF}-$. The $^1/_2$ (mid-) point should be set first by applying an input of 257/512 x (V_{REF}) and adjusting for an output changing from 128 to 129. Similarly the $^1/_4$ and $^3/_4$ points can be set with inputs of 129/512 and 385/512 x (V_{REF}) and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually $^1/_4$, $^1/_2$ and $^3/_4$ of full scale +1 LSB.)



NOTES:

1. All Op Amps = $^3/_4$ CA324E
2. Bypass all reference points to analog ground near A/D with 0.1µF ceramic caps.
3. Adjust V_{REF}- first, then $^1/_2$, $^3/_4$ and $^1/_4$ points.

FIGURE 12. TYPICAL 1/4 POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

9-Bit Resolution

To obtain 9-bit resolution, two CA3318's can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, tri-state outputs, and chip-enable controls—all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the $\overline{CE1}$ control of the lower A/D converter and the CE2 control of the upper A/D converter. The tri-state outputs of the two devices (bits 1 through 9) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 14.

Grounding/Bypassing

The analog and digital supply grounds of a system should be kept separate and only connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the V_{AA} supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1µF ceramics and should be mounted as close to the A/D as possible. If $V_{AA}+$ is derived from V_{DD}, a small (10Ω resistor or inductor and additional filtering (4.7µF tantalum) may be used to keep digital noise out of the analog system.

Input Loading

The CA3318 outputs a current pulse to the V_{IN} terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

Output Loading

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local CMOS buffer such as CD74HCS41 E be used to isolate capacitive loads.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
: From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$ENOB = (SINAD - 1.76 + V_{CORR})/6.02$$

where: $V_{CORR} = 0.5dB$

Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

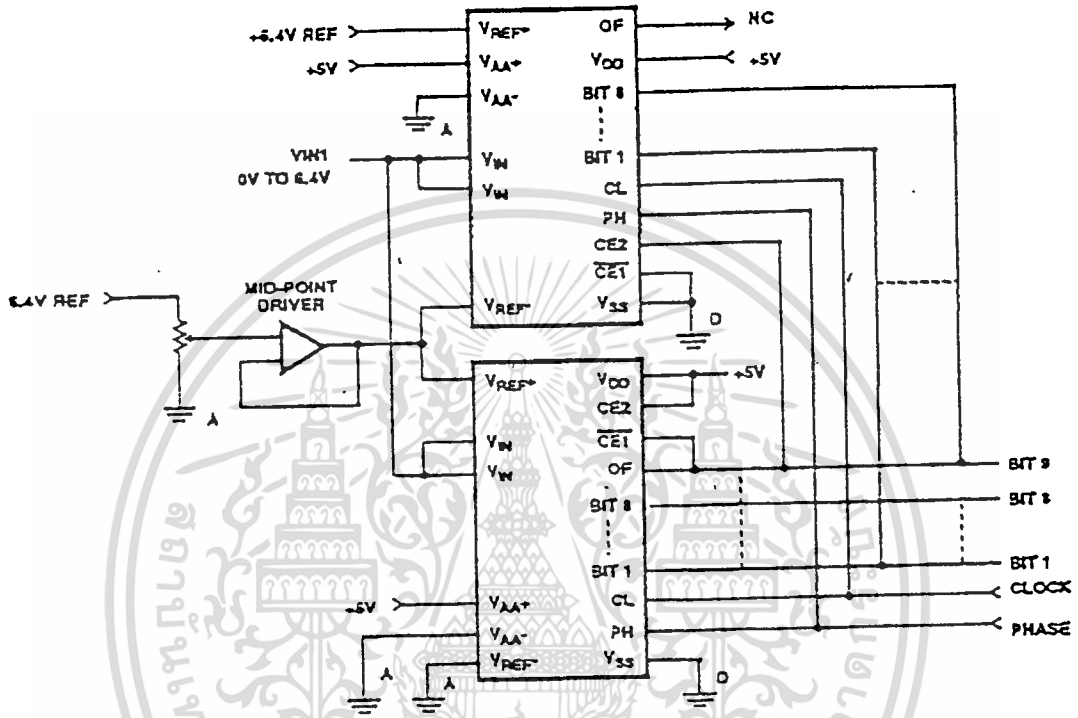


FIGURE 13. USING TWO CA3318s FOR 9-BIT RESOLUTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

From CAPS XPert This Material Copyrighted By its Respective Manufacturer.

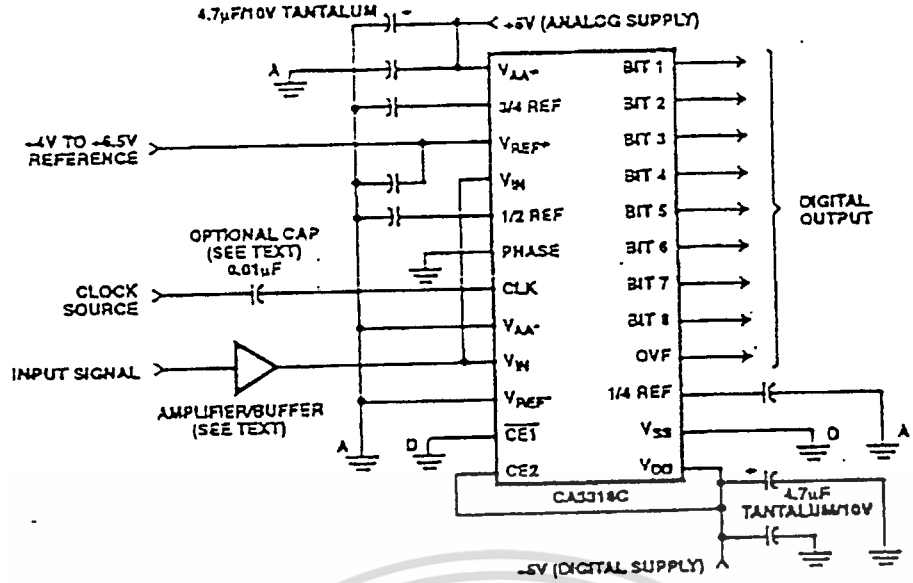


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

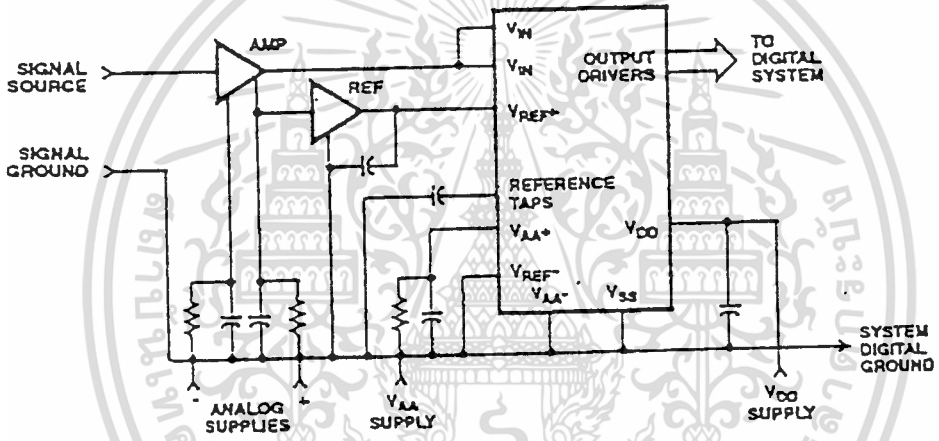
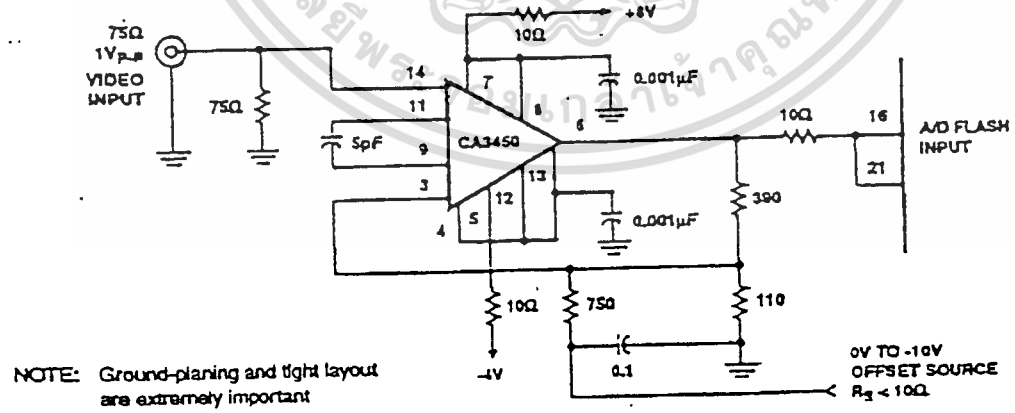


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground-planing and tight layout are extremely important

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
From CAPS XPert This Material Copyrighted By its Respective Manufacturer

TABLE 1. OUTPUT CODE TABLE

CODE DESCRIPTION	INPUT VOLTAGE (NOTE 1)		BINARY OUTPUT CODE									DECIMAL COUNT
	V_{REF} 6.40V (V)	V_{REF} 5.12V (V)	OF	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1	
Zero	0.00	0.00	0	0	0	0	0	0	0	0	0	0
1 LSB	0.025	0.02	0	0	0	0	0	0	0	0	1	1
2 LSB	0.05	0.04	0	0	0	0	0	0	0	1	0	2
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/4 Full Scale	1.60	1.28	0	0	1	0	0	0	0	0	0	64
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/2 Full Scale - 1 LSB	3.175	2.54	0	0	1	1	1	1	1	1	1	127
1/2 Full Scale	3.20	2.56	0	1	0	0	0	0	0	0	0	128
1/2 Full Scale + 1 LSB	3.225	2.58	0	1	0	0	0	0	0	0	1	129
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
3/4 Full Scale	4.80	3.84	0	1	1	0	0	0	0	0	0	192
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
Full Scale - 1 LSB	6.35	5.08	0	1	1	1	1	1	1	1	0	254
Full Scale	6.375	5.10	0	1	1	1	1	1	1	1	1	255
Over Flow	6.40	5.12	1	1	1	1	1	1	1	1	1	511

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

Reducing Power

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample ($\phi 2$) time. The constraints are a minimum balance time ($\phi 1$) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

Clock Input

The Clock and Phase inputs feed buffers referenced to $V_{AA}+$ and $V_{AA}-$. Phase should be tied to one of these two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 x ($V_{AA}+ - V_{AA}-$). The clock may also be AC coupled with at least a 1 V_{P-P} swing. This allows TTL drive levels or 5V CMOS levels when $V_{AA}+$ is greater than 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
: From CAPS XPert This Material Copyrighted By Its Respective Manufacturer.

National Semiconductor

LM1881 Video Sync Separator

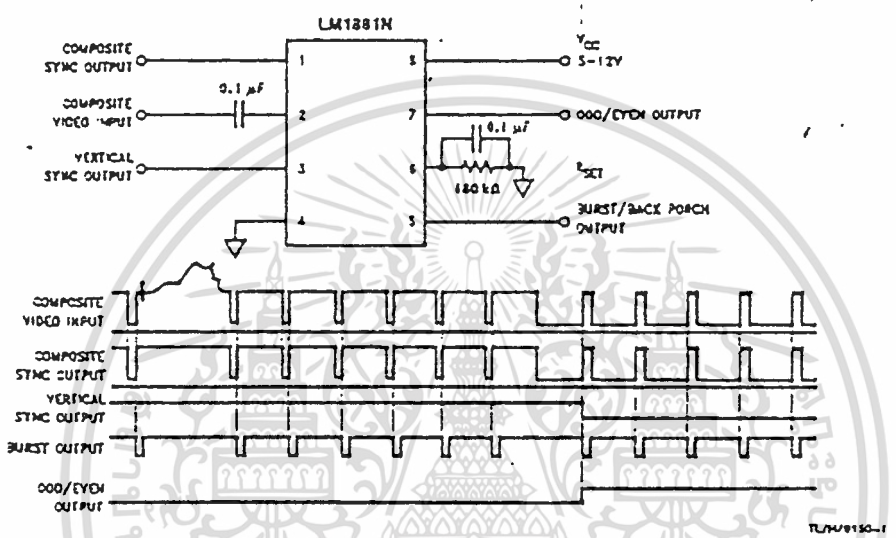
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL*, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Printed from (APS iPen) ...ing Material Copyrighted by Its Respective Manufacturer

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vpp (V_{CC} = 5V) 6 Vpp (V_{CC} ≥ 8V)
Output Sink Current: Pins 1, 3, 5	5 mA
Output Sink Current: Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C ≤ T_A ≤ 70°C
Storage Temperature Range	−65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; R_{SET} = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions		Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	Outputs at Logic 1	V_{CC} = 5V	5.2	10		mAmax
		V_{CC} = 12V	5.5	12		mAmax
DC Input Voltage	Pin 2		1.5	1.3		Vmin
				1.8		Vmax
Input Threshold Voltage	Note 5		70	55		mVmin
				85		mVmax
Input Discharge Current	Pin 2; V_{IN} = 2V		11	8		μAmin
				16		μAmax
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 8; Note 6		1.22	1.10		Vmin
				1.35		Vmax
Composite Sync. & Vertical Outputs	I_{OUT} = 40 μA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V	3.6	2.4		Vmin
		V_{CC} = 12V		10.0		Vmin
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 μA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1		0.2	0.8		Vmax
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3		0.2	0.8		Vmax
Burst Gate Output	I_{OUT} = −1.8 mA; Logic 0; Pin 5		0.2	0.8		Vmax
Odd/Even Output	I_{OUT} = −1.8 mA; Logic 0; Pin 7		0.2	0.8		Vmax
Vertical Sync Width			230	190		μsmin
				300		μsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		4	2.5		μsmin
				4.7		μsmax
Vertical Default Time	Note 7		65	32		μsmin
				90		μsmax

Note 1: For operation at ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 3: Typicals are at T_J = 25°C and represent the most likely parametric norm.

Note 4: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 5: Receive difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the R_{SET} pin (Pin 8).

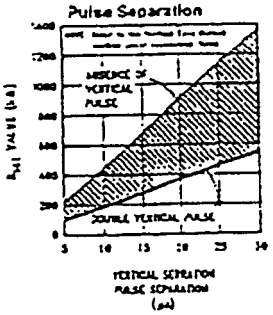
Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

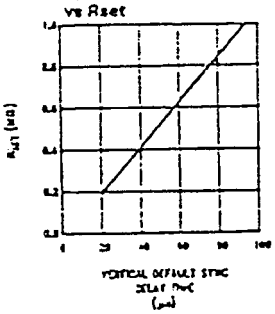
Printed From: DAPS XPert This Material Copyrighted By Its Respective Manufacturer

Typical Performance Characteristics

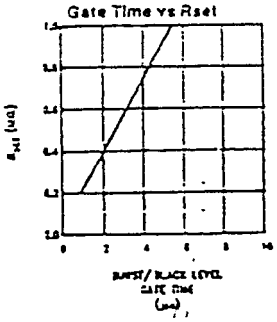
R_{set} Value Selection vs Vertical Serration Pulse Separation



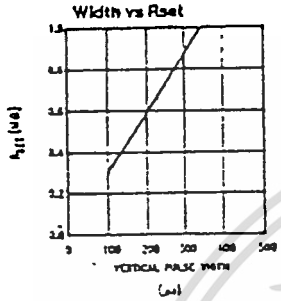
Vertical Default Sync Delay Time vs Rset



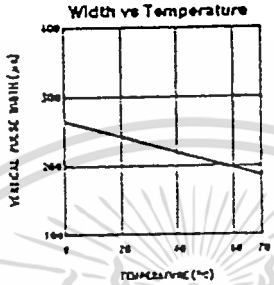
Burst/Black Level Gate Time vs Rset



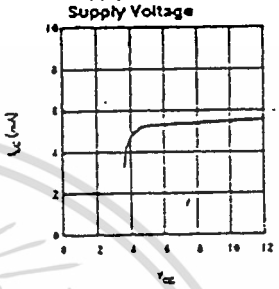
Vertical Pulse Width vs Rset



Vertical Pulse Width vs Temperature



Supply Current vs Supply Voltage



TL/H/9150–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a–e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11 µA, typically. This allows relatively small capacitor values to be used—0.1 µF is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75Ω, a 620Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

VERTICAL SYNC OUTPUT

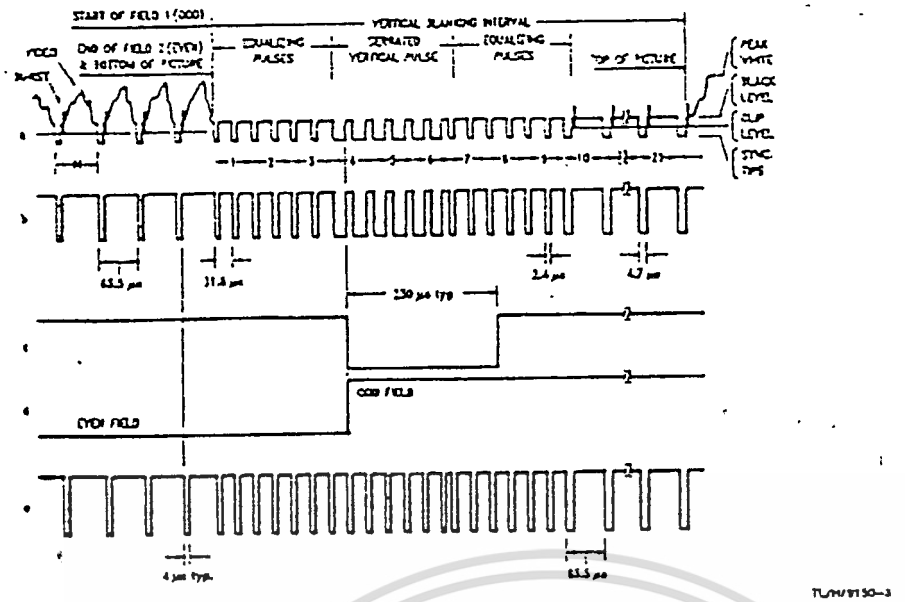
A vertical sync output is derived by internally integrating the composite sync waveform *(Figure 3)*. To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 3*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 going to one of its inputs. The other comparator has an internally generated voltage reference called V_2 going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are positive going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{set}. The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1. During the vertical sync period the narrow going positive pulses shown in *Figure 2* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2. This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{set}. The "Q" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 2*.

How R_{set} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{set} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

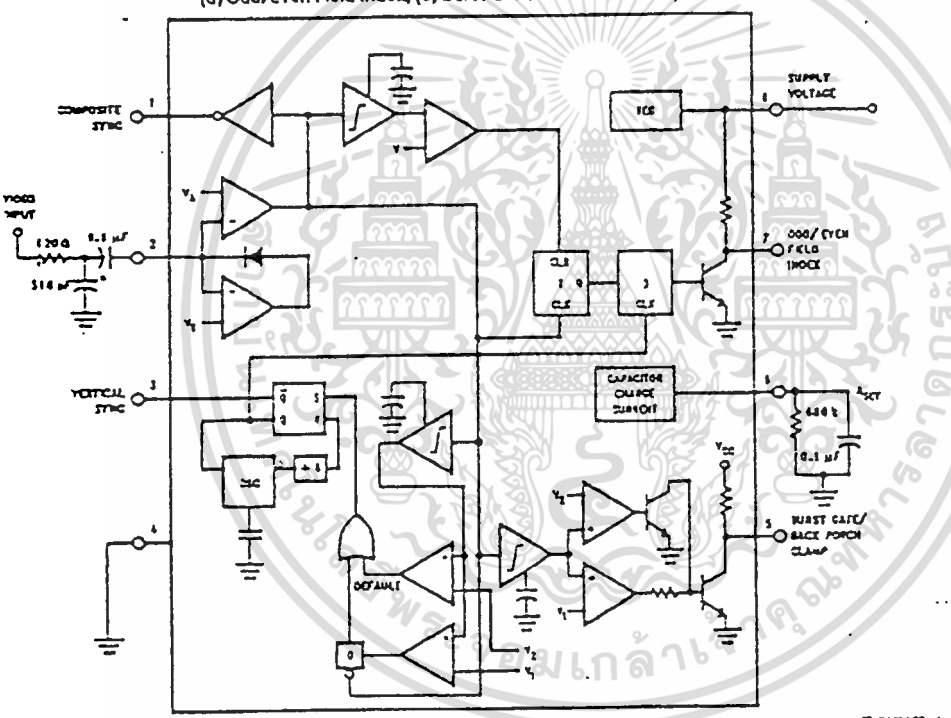
Printed From CAPS 1Per This Material Copyrighted By Its Respective Manufacturer

Application Notes (Continued)



TL/H/9150–3

FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp



TL/H/9150–4

*Components Optional, See Text

FIGURE 3

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

m CAPS (Per... This Material Copyrighted By Its Respective Manufacturer

Application Notes (Continued)

-ast line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 2*. This graph shows how long it takes the integrator to charge its internal capacitor above V_1.

With R_{set} too large the charging current of the integrator will be too small to charge the capacitor above V_1, thus there will be no vertical synch output pulse. As mentioned above, R_{set} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulses after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{set} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{set}" graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64 µs long, or 32 µs for a horizontal half line. Now round this off to 30 µs. In the "R_{set} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 µs serration pulse separation is about 550 kΩ. Going to the "Vertical Pulse Width vs R_{set}" graph one can see that 550 kΩ gives a vertical pulse width of about 180 µs, the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 kΩ will set the internal oscillator to a frequency such that eight cycles gives a time of 180 µs, just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2. Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2. At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{set}" graph shows the relationship between the R_{set} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for R_{set} is 500 kΩ. The vertical default time delay is about 50 µs, much longer than the 30 µs serration pulse spacing.

A common question is how can one calculate the required R_{set} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default Sync Delay Time vs R_{set}" graph to select the necessary R_{set} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{set}" graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 µs long. The vertical sync period is two horizontal lines long, or 64 µs. The vertical default sync delay time must be longer than the vertical sync period of 64 µs. In this case R_{set} must be larger than 680 kΩ. R_{set} must still be small enough for the output of the integrator to reach V_1 before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{set} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 µs in this example. This graph is linear, meaning that a value as large as 2.7 MΩ can be used for R_{set} (twice the value as the maximum at 30 µs). Due to leakage currents it is advisable to keep the value of R_{set} under 2.0 MΩ. In this example a value of 1.0 MΩ is selected, well above the minimum of 680 kΩ. With this value for R_{set} the pulse width of the vertical sync output pulse of the LM1881 is about 340 µs.

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform *(Figure 3)*. A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

From CAPS (Part This Material Copyrighted By Its Respective Manufacturer.

Application Notes (Continued)

threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 µs long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 µs later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (50–120 Hz) vertical scan rates.

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are processing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 4* puts out a single video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 5* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 kΩ, 10 µF) providing black level restoration at the video output when the output selected line(s) is not being gated through.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

...om CAPS (Pan... ...Material Copyrighted By Its Respective Manufacturer

Typical Applications

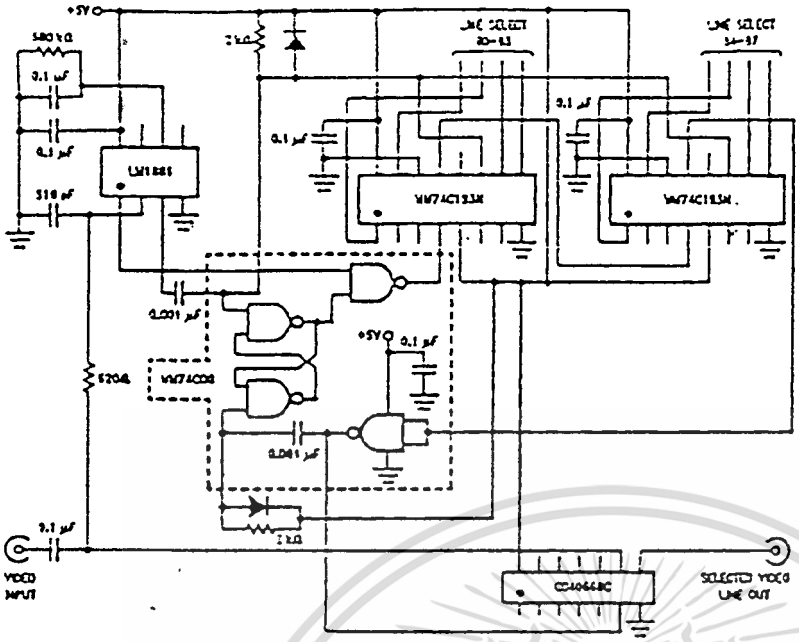


FIGURE 4. Video Line Selector

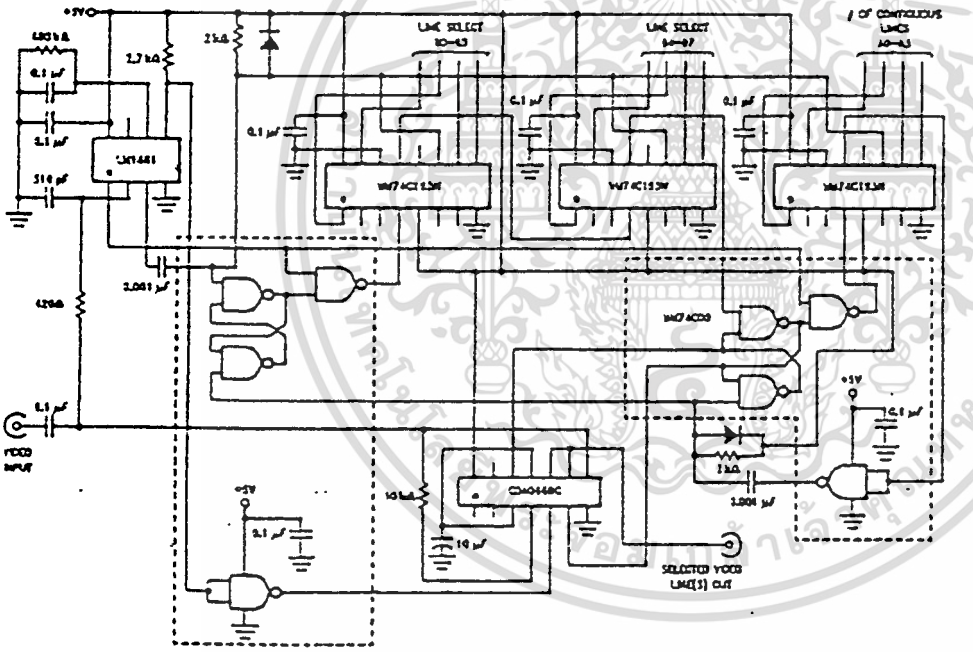


FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

National Semiconductor

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications

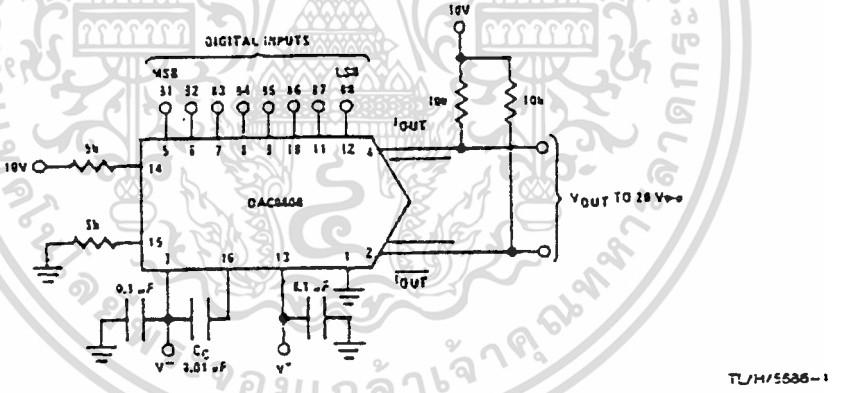


FIGURE 1. ±20 Vp-p Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	−55°C ≤ T_A ≤ +125°C	DAC0802LJ	DAC-08AQ			
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C	DAC0801LCJ	DAC-08CQ	DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S^- = -15V$)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	−55°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0802L	−55	+125	°C
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", $T_A = 25°C$		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
t_{PLH}, t_{PHL}	Propagation Delay	$T_A = 25°C$										
	Each Bit			35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TC_{IFS}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change < ½ LSB, $R_{OUT} > 20$ MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10.000V$, R14 = 5.000 kΩ, R15 = 5.000 kΩ, $T_A = 25°C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	µA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	µA
I_{FSR}	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -8V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	$V_{LC} = 0V$			0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	$V_{LC} = 0V$										
I_{IL}	Logic "0"	$-10V \le V_{IN} \le +0.8V$		−2.0	−10		−2.0	−10		−2.0	−10	µA
I_{IH}	Logic "1"	$2V \le V_{IN} \le +18V$		0.002	10		0.002	10		0.002	10	µA
V_{IS}	Logic Input Swing	$V^- = -15V$	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	$V_S = \pm 15V$	−10		13.5	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	µA
dI/dt	Reference Input Slew Rate	*(Figure 12)*	4.0	8.0		4.0	8.0		4.0	8.0		mA/µs
$PSSI_{FS+}$	Power Supply Sensitivity	$4.5V \le V^+ \le 18V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		$-4.5V \le V^- \le 18V$, $I_{REF} = 1$ mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1$ mA										
I^+				2.3	3.8		2.3	3.8		2.3	3.8	mA
I^-				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		$V_S = 5V$, $-15V$, $I_{REF} = 2$ mA										
I^+				2.4	3.8		2.4	3.8		2.4	3.8	mA
I^-				−5.4	−7.8		−5.4	−7.8		−5.4	−7.8	mA
		$V_S = \pm 15V$, $I_{REF} = 2$ mA										
I^+				2.5	3.8		2.5	3.8		2.5	3.8	mA
I^-				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for V_S = ±15V, I_{REF} = 2 mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	±5V, I_{REF} = 1 mA		33	48		33	48		33	48	mW
		5V, −15V, I_{REF} = 2 mA		108	136		108	136		108	136	mW
		±15V, I_{REF} = 2 mA		135	174		135	174		135	174	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

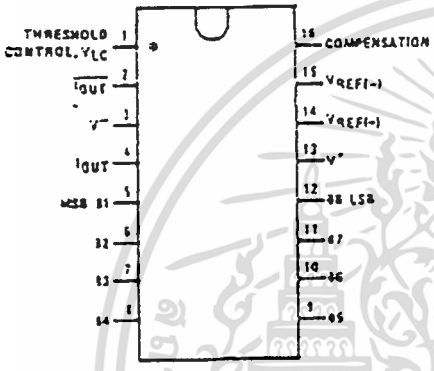
Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

Dual-In-Line Package

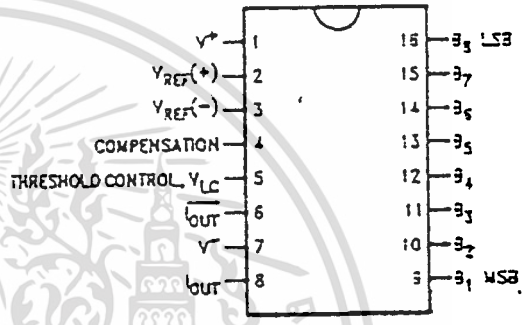


TL/H/5686–13

Top View

See Ordering Information

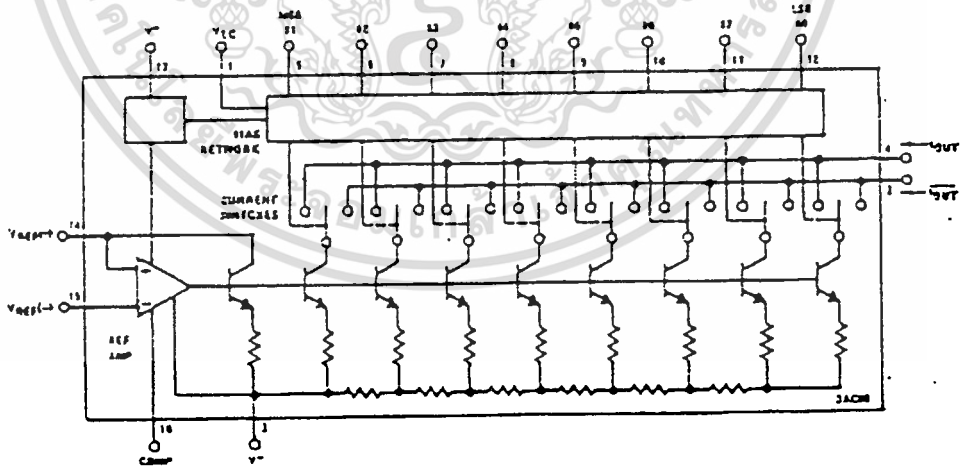
Small Outline Package



TL/H/5686–14

Top View

Block Diagram (Note 4)

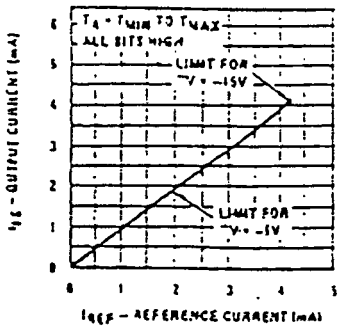


TL/H/5686–2

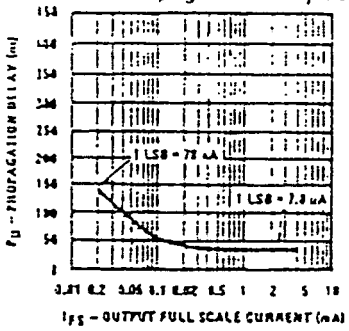
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

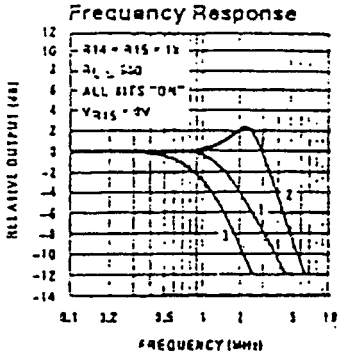
Full Scale Current vs Reference Current



LSB Propagation Delay Vs I_{FS}



Reference Input Frequency Response

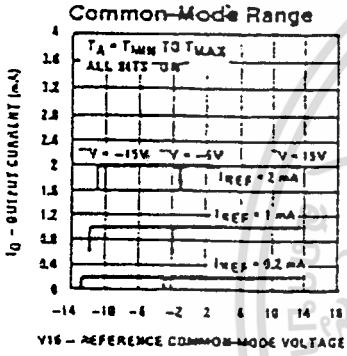


Curve 1: C_C = 15 pF, V_{IN} = 2 Vp-p centered at 1V.

Curve 2: C_C = 15 pF, V_{IN} = 50 mVp-p centered at 200 mV.

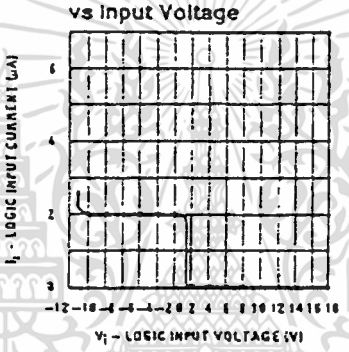
Curve 3: C_C = 0 pF, V_{IN} = 100 mVp-p at 0V and applied through 50 Ω connected to pin 14.2V applied to R14.

Reference Amp Common-Mode Range

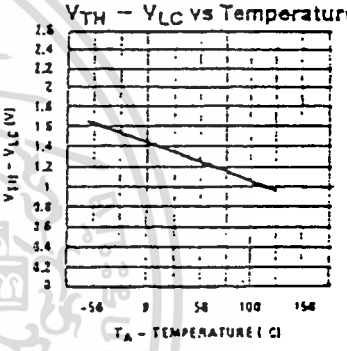


Note. Positive common-mode range is always (V+) − 1.5V

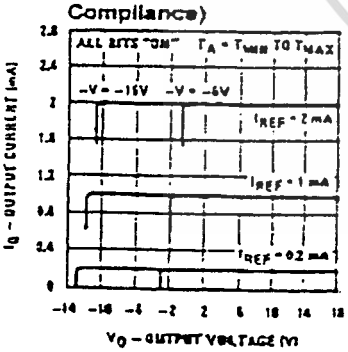
Logic Input Current vs Input Voltage



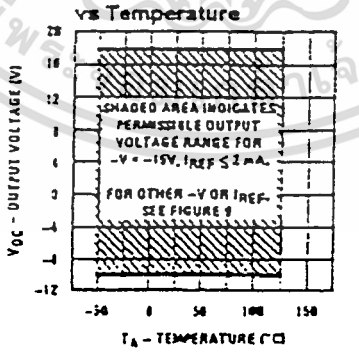
$V_{TH} - V_{LC}$ vs Temperature



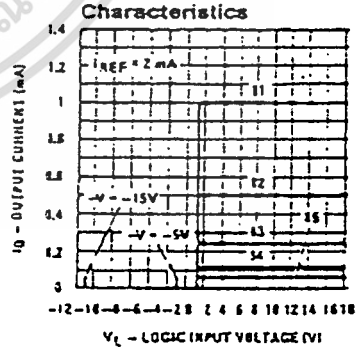
Output Current vs Output Voltage (Output Voltage Compliance)



Output Voltage Compliance vs Temperature



Bit Transfer Characteristics



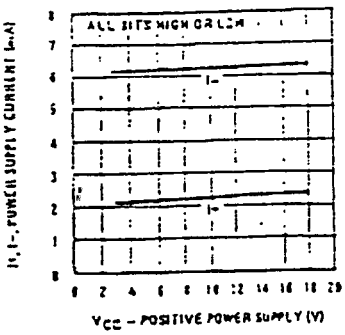
TL/H/5586–3

Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ±100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

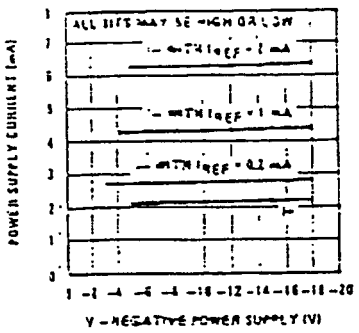
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

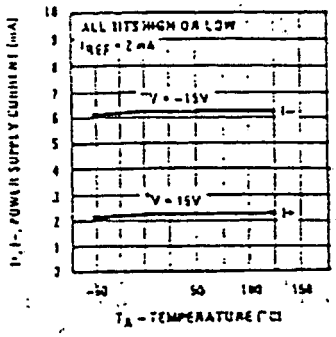
Power Supply Current vs −V



Power Supply Current vs −V

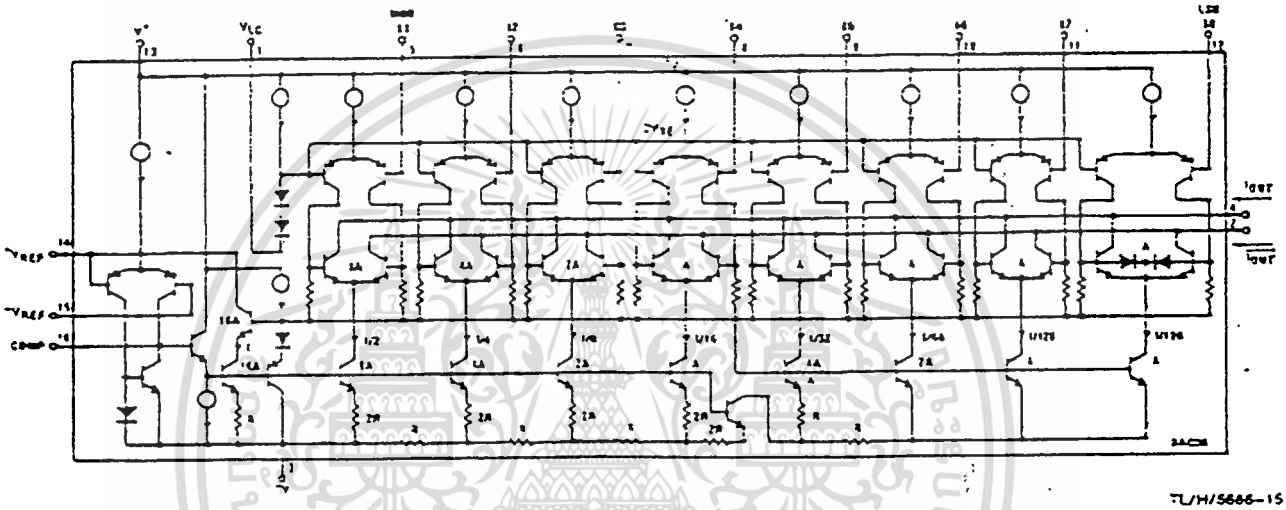


Power Supply Current vs Temperature



TL/H/5686–4

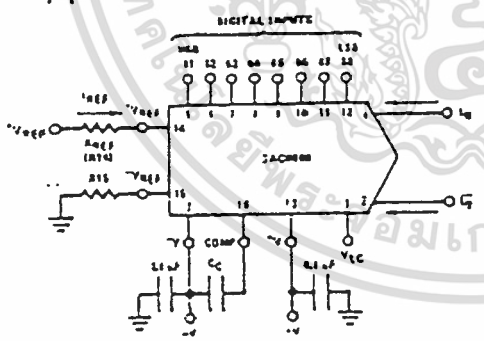
Equivalent Circuit



TL/H/5686–15

FIGURE 2

Typical Applications (Continued)



$$I_{FS} = \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O - \overline{I_O} = I_{FS}$ for all logic states

For fixed reference, TTL operation, typical values are:

V_{REF} = 10.000V

R_{REF} = 5.000k

R15 = R_{REF}

C_C = 0.01 μF

V_{LC} = 0V (Ground)

TL/H/5686–5

FIGURE 3. Basic Positive Reference Operation (Note 4)

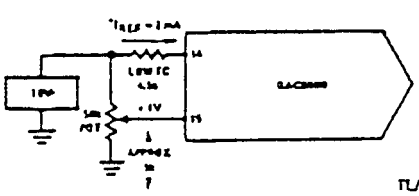
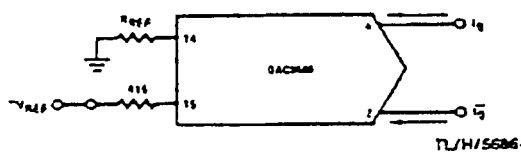


FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)



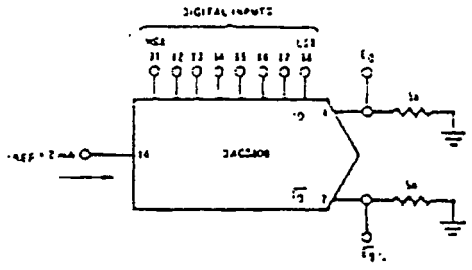
$$I_{FS} = \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note. R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



TL/H/5686–17

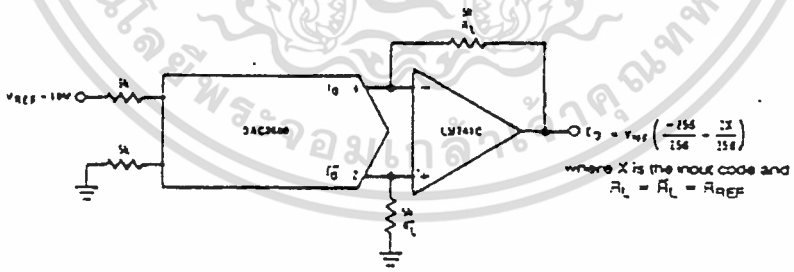
	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I_O}$ mA	E_O	$\overline{E_O}$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale − LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale + LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale − LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale − LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 4)

TL/H/5586–3

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E_O}$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale − LSB	1	0	0	0	0	0	0	1	−0.080	−0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	−0.080
Zero Scale − LSB	0	1	1	1	1	1	1	1	−0.080	0.000
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	−10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



TL/H/5586–18

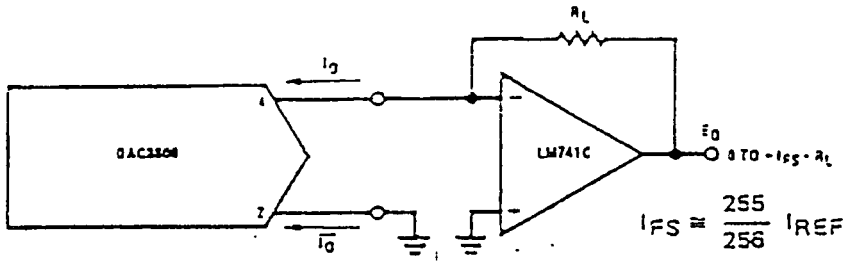
*If $R_L = \overline{R_L}$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

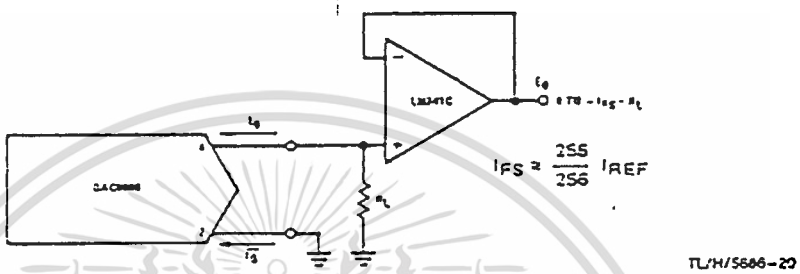
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



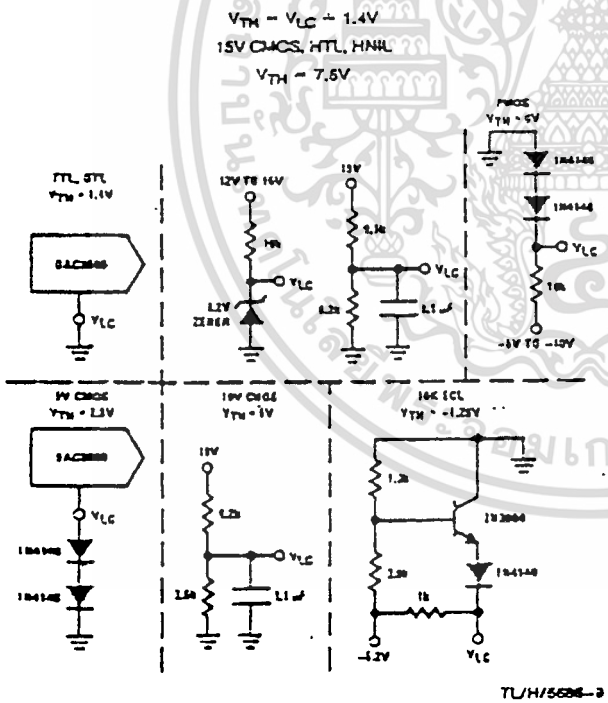
For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

FIGURE 9. Positive Low Impedance Output Operation (Note 4)



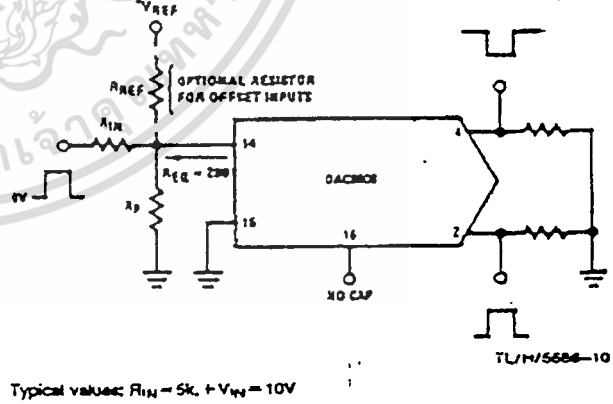
For complementary output (operation as a negative logic DAC) connect non-inverting input of op amp to $\overline{I_O}$ (pin 2); connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 4)



Note. Do not exceed negative logic input range of DAC.

FIGURE 11. Interfacing with Various Logic Families



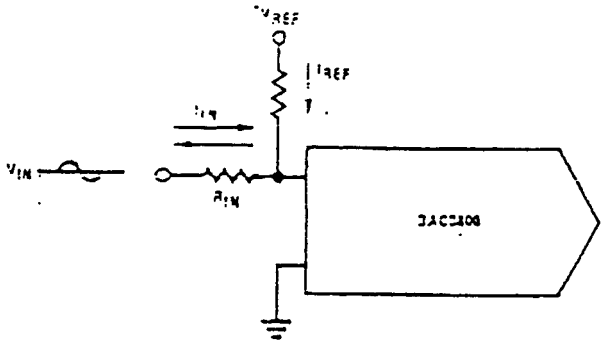
Typical values: $R_{IN} = 5k$, $+V_{IN} = 10V$

FIGURE 12. Pulsed Reference Operation (Note 4)

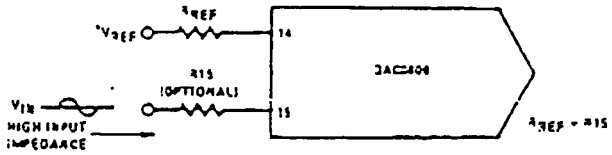
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

(a) I_{REF} ≥ peak negative swing of I_{IN}



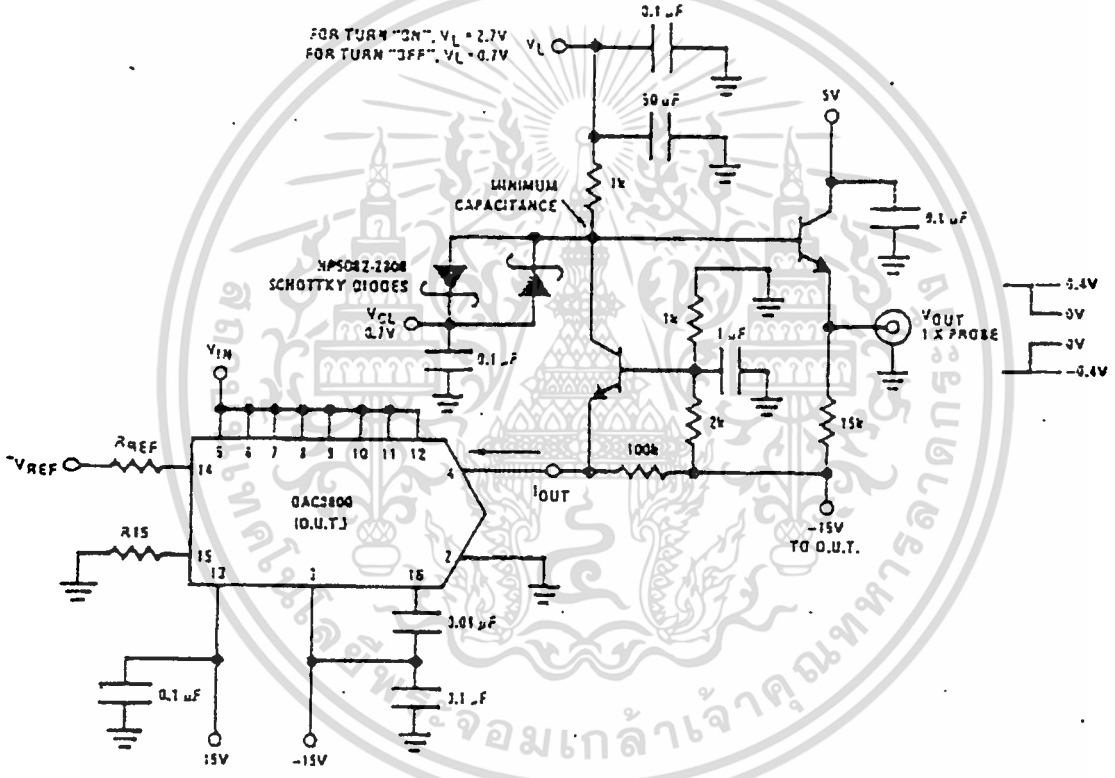
(b) + V_{REF} must be above peak positive swing of V_{IN}



TL/H/5686–12

TL/H/5686–11

FIGURE 13. Accommodating Bipolar References (Note 4)

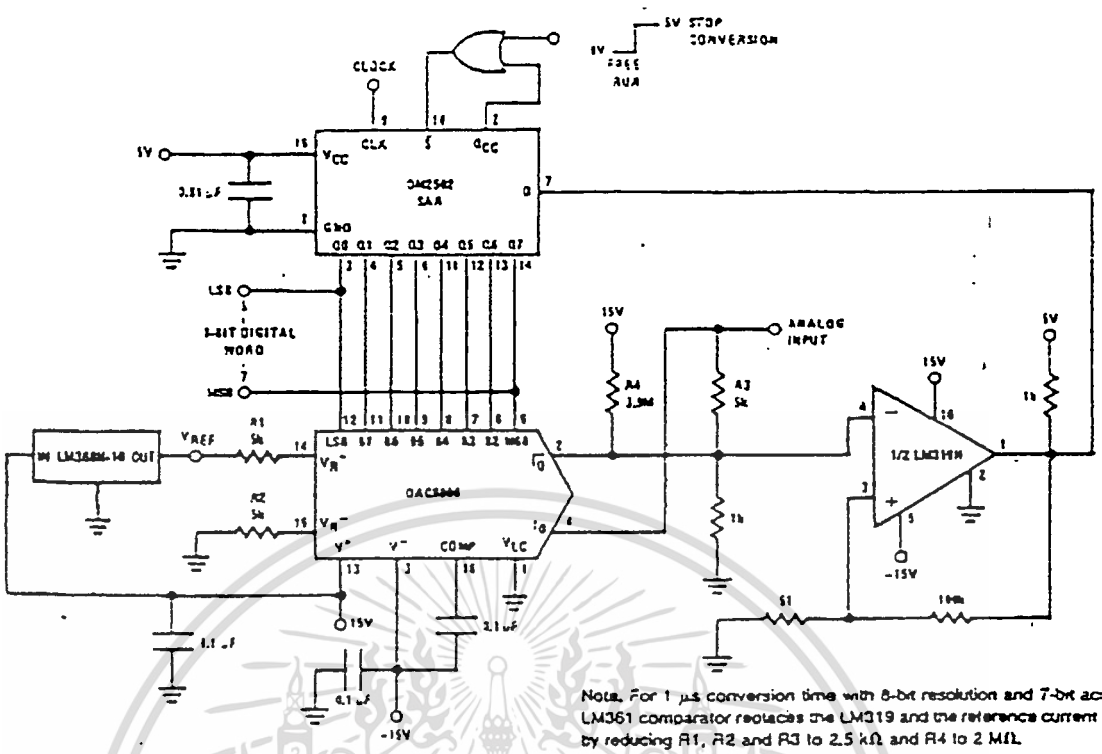


TL/H/5686–7

FIGURE 14. Settling Time Measurement (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



Note. For 1 µs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

TL/H/5686–6

FIGURE 15. A Complete 2 µs Conversion Time, 8-Bit A/D Converter (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

November 1992
Edition 3.1

FUJITSU

DATA SHEET

MB84256A-70/-70L/-70LL/-10/-10L/-10LL
CMOS 256K-BIT LOW POWER SRAM

32,768 WORD x 8-BIT CMOS STATIC RANDOM ACCESS MEMORY WITH DATA RETENTION

The Fujitsu MB84256A is a 32,768-word by 8-bit static random access memory fabricated with a CMOS silicon gate process. The memory utilizes asynchronous circuitry and may be maintained in any state for an indefinite period of time. All pins are TTL compatible, and a single +5V power supply is required.

The MB84256A is ideally suited for use in microprocessor systems and other applications where fast access time and ease of use are required. All devices offer the advantages of low power dissipation, low cost and high performance.

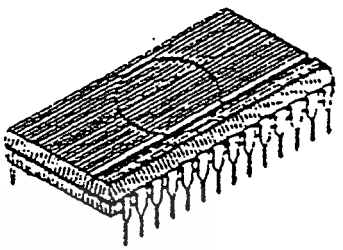
- Organization: 32,768 x 8 bits
- Fast access time: 70 ns max. (MB84256A-70/-70L/-70LL)
  100 ns max. (MB84256A-10/-10L/-10LL)
- Completely static operation: No clock required
- TTL compatible inputs/outputs
- Three state outputs
- Single +5V power supply, ±10% tolerance
- Low power standby:

  CMOS level: 5.5 mW max. (MB84256A-70/-10)
  0.55 mW max. (MB84256A-70L/-70LL/-10L/-10LL)

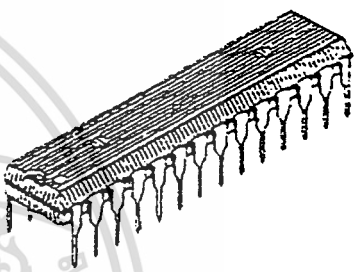
  TTL level: 16.5 mW max. (MB84256A-70/-70L/-70LL/-10/-10L/-10LL)

- Data retention: 2.0V min.
- Standard 28-pin Plastic Packages:

DIP (600mil)	MB84256A-xx(L/LL)P
Skinny DIP (300 mil)	MB84256A-xx(L/LL)P-SK
SOP	MB84256A-xx(L/LL)PF
TSOP (normal bend)	MB84256A-xx(L/LL)PFTN
TSOP (reverse bend)	MB84256A-xx(L/LL)PFTR



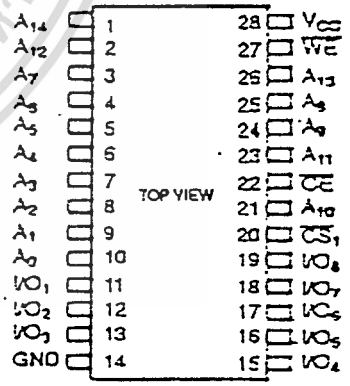
PLASTIC PACKAGE
DIP-28P-M02



PLASTIC PACKAGE
DIP-28P-M04

SOP PACKAGE; See Page 5-14
TSOP PACKAGE; See Page 5-15, 5-16

PIN ASSIGNMENT



ABSOLUTE MAXIMUM RATINGS (see NOTE)

Ratings	Symbol	Value	Unit
Supply Voltage	V_{CC}	−0.5 to +7.0	V
Input Voltage	V_{IN}	−0.5 to V_{CC} +0.5	V
Output Voltage	$V_{I/O}$	−0.5 to V_{CC} +0.5	V
Temperature Under Bias	T_{BIAS}	−10 to +85	°C
Storage Temperature	T_{STG}	−40 to +125	°C

NOTE: Permanent device damage may occur if the above Absolute Maximum Ratings are exceeded. Functional operation should be restricted to the conditions as detailed in the operational sections of this data sheet. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields. However, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum-rated voltages to this high impedance circuit.

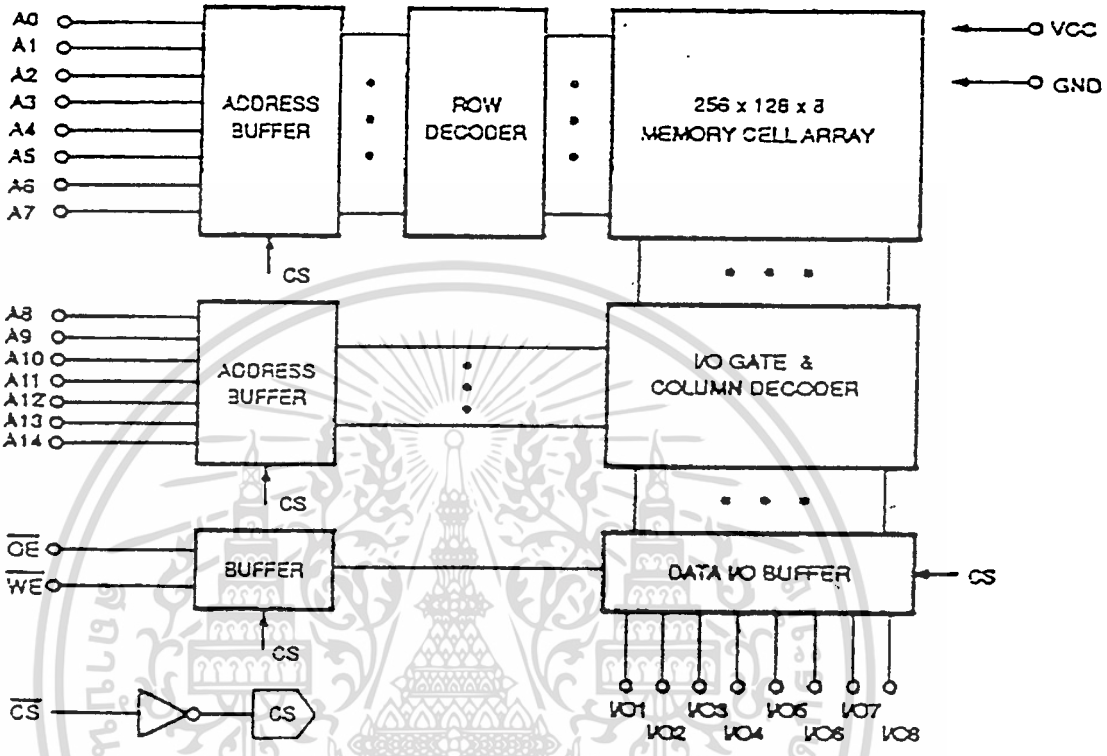
Copyright ©1992 by FUJITSU LIMITED

3749756 0005991 117

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

...m CAPS (Perl ... Material Copyrighted by its Respective Manufacturer

Fig. 1.– MB84256A BLOCK DIAGRAM



TRUTH TABLE

$\overline{CS}$	$\overline{OE}$	$\overline{WE}$	MODE	SUPPLY CURRENT	I/O PIN
H	X	X	Not Selected	ISB	High-Z
L	H	H	DOUT Disable	ICC	High-Z
L	L	H	Read	ICC	DOUT
L	X	L	Write	ICC	DIN

CAPACITANCE (TA = 25°C, f = 1MHz)

Parameter	Symbol	Min	Typ	Max	Unit
I/O Capacitance (VI/O = 0V)	CIO			8	pF
Input Capacitance (VIN = 0V)	CIN			7	pF

3749756 0005992 053
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECOMMENDED OPERATING CONDITION

(Referenced to GND)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
Ambient Temperature	T_A	0		70	°C

DC CHARACTERISTICS

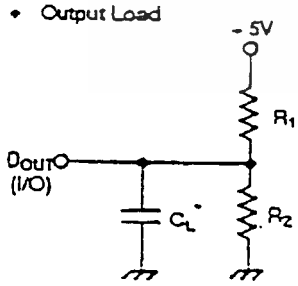
(Recommended operating conditions otherwise noted.)

Parameter		Symbol	Test Condition	MB84256A-70/-10		MB84256A-70L/-70LL -10L/-10LL		Unit
				Min.	Max.	Min.	Max.	
Standby Supply Current		I_{SB1}	$\overline{CS} \geq V_{CC}-0.2V$		1		0.1	mA
		I_{SB2}	$\overline{CS} = V_{IH}$		3		3	mA
Active Supply Current		I_{CC1}	$V_{IN} = V_{IH}$ or V_{IL}, $\overline{CS} = V_{IL}$, $I_{OUT} = 0mA$		50		50	mA
Operating Supply Current	-70	I_{CC2}	Cycle = Min. Duty = 100% $I_{OUT} = 0mA$		80		80	mA
	-10				70		70	
Input Leakage Current		I_{LI}	$V_{IN} = 0V$ to V_{CC}	−1	1	−1	1	µA
Output Leakage Current		I_{LO}	$V_{I/O} = 0V$ to V_{CC} $\overline{CS} = V_{IH}$ or $\overline{OE} = V_{IH}$ or $\overline{WE} = V_{IL}$	−1	1	−1	1	µA
Input High Voltage		V_{IH}		2.2	$V_{CC}+0.3$	2.2	$V_{CC}-0.3$	V
Input Low Voltage		V_{IL}		−3.0 *	0.8	−3.0 *	0.8	V
Output High Voltage		V_{OH}	$I_{OH} = -1.0mA$	2.4		2.4		V
Output Low Voltage		V_{OL}	$I_{OL} = 2.1mA$		0.4		0.4	V

Note: All voltages are referenced to GND.
*: −3.0V min. for pulse width less than 20 ns.(V_{IL} min. = −0.3V at DC level.)

Fig. 2 – AC TEST CONDITIONS

- Output Load



- Input Pulse Levels: 0.6V to 2.4V
- Input Pulse Rise & Fall Times: 5ns (Transient between 0.8V and 2.2V)
- Timing Reference Levels: Input: V_{IL}=0.8V, V_{IH}=2.2V
  Output: V_{OL}=0.8V, V_{OH}=2.0V

* Including Jig and stray capacitance

	R_1	R_2	C_L	Parameters Measured
Load I	1.8KΩ	990Ω	100pF	except t_{OLZ}, t_{OHZ}, t_{WLZ}, and t_{WHZ}
Load II	1.8KΩ	990Ω	5pF	t_{OLZ}, t_{OHZ}, t_{WLZ}, and t_{WHZ}

3749756 0005993 T9T

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
...m CAPS ...Pert ...his Material Copyrighted By its Respective Manufacturer.

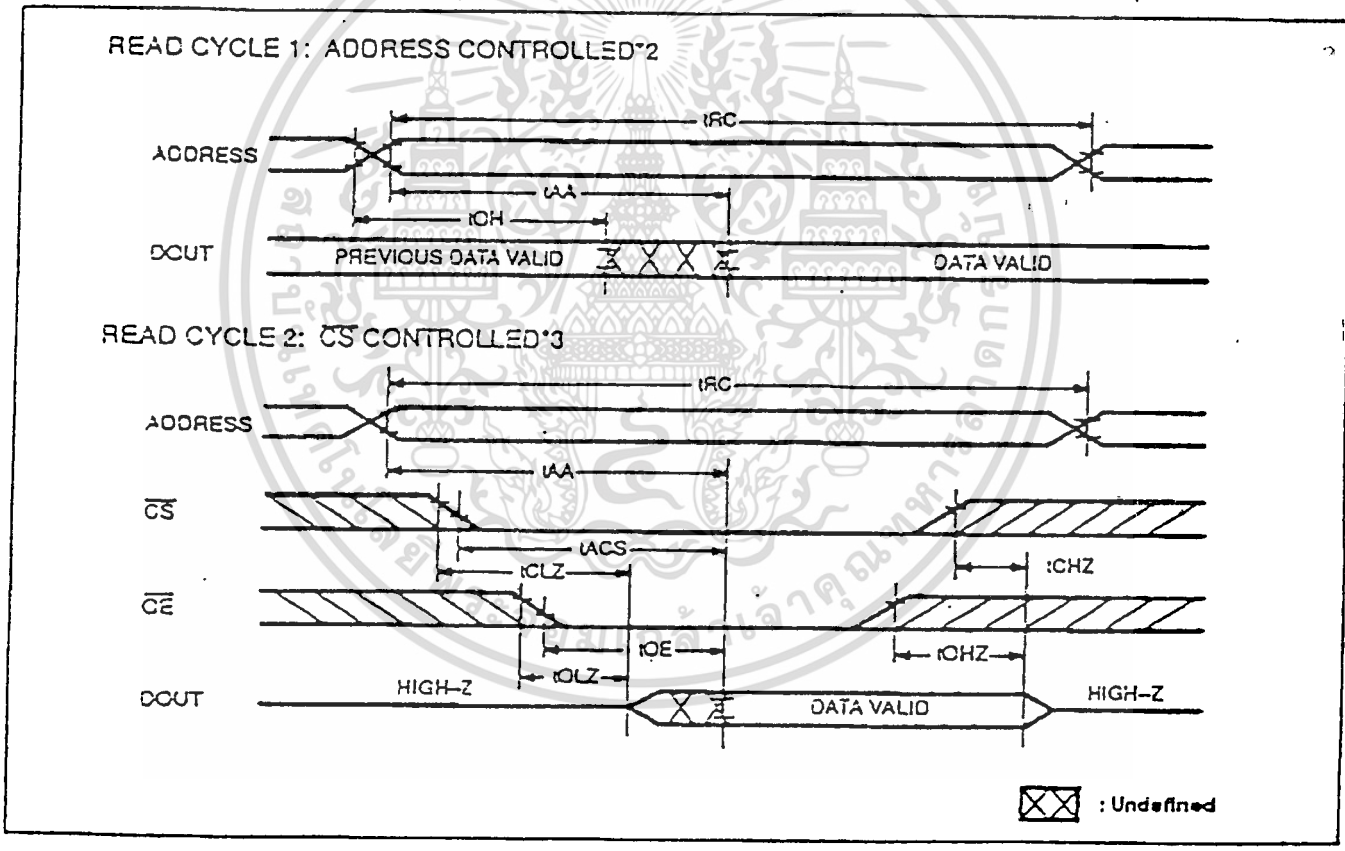
AC CHARACTERISTICS

(Recommended operating conditions otherwise noted.)

READ CYCLE *1

Parameter	Symbol	MB84256A-70/-70L/-70LL		MB84256A-10/-10L/-10LL		Unit
		Min	Max	Min	Max	
Read Cycle Time	t_{RC}	70		100		ns
Address Access Time *2	t_{AA}		70		100	ns
$\overline{CS}$1 Access Time *3	t_{ACS}		70		100	ns
Output Enable to Output Valid	t_{OE}		35		40	ns
Output Hold from Address Change	t_{OH}	20		20		ns
Chip Select to Output Low-Z *4	t_{CLZ}	10		10		ns
Output Enable to Output Low-Z *4	t_{OLZ}	5		5		
Chip Select to Output High-Z *4	t_{CHZ}		25		40	ns
Output Enable to Output High-Z *4	t_{OHZ}		25		40	

READ CYCLE TIMING DIAGRAM *1



Note: *1 $\overline{WE}$ is high for Read cycle.
*2 Device is continuously selected, $\overline{CS}$ = $\overline{OE}$ = VIL.
*3 Address valid prior to or coincident with $\overline{CS}$ transition low.
*4 Transition is measured at the point of ±500mV from steady state voltage with specified Load II in Fig. 2.

3749756 0005994 926

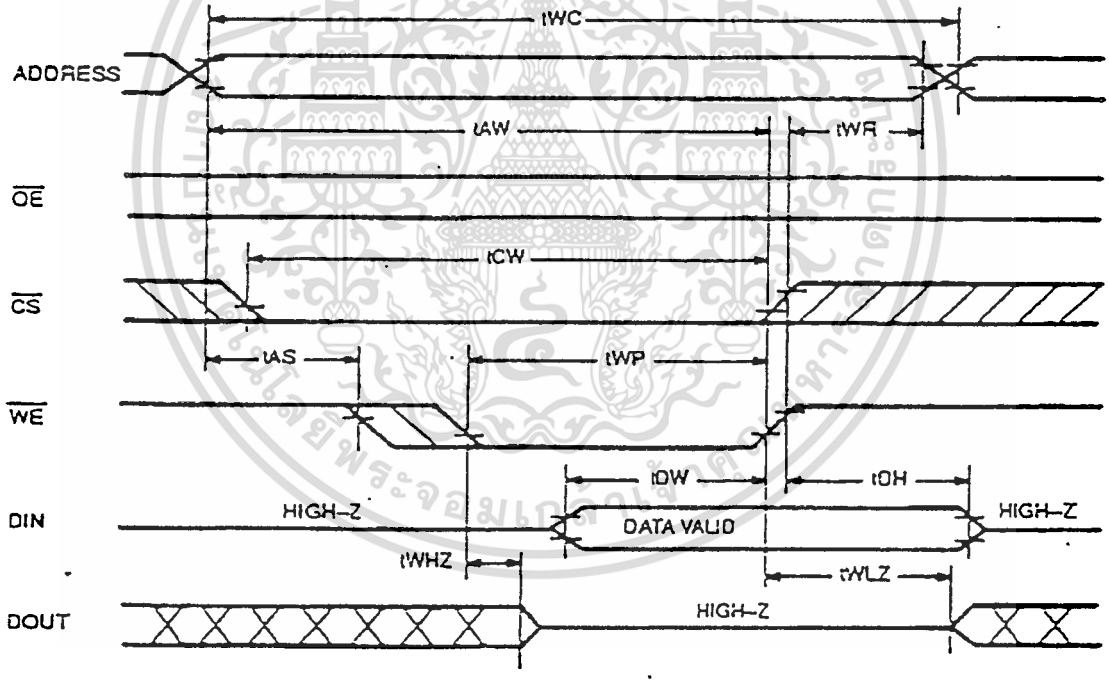
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WRITE CYCLE *1*2

Parameter	Symbol	MB84256A-70/-70L/-70LL		MB84256A-10/-10L/-10LL		Unit
		Min	Max	Min	Max	
Write Cycle Time *3	t_{WC}	70		100		ns
Address Valid to End of Write	t_{AW}	50		80		ns
Chip Select to End of Write	t_{CW}	50		80		ns
Data Valid to End of Write	t_{DW}	25		40		ns
Data Hold Time	t_{DH}	0		0		ns
Write Pulse Width	t_{WP}	50		60		ns
Address Setup Time	t_{AS}	0		0		ns
Write Recovery Time *4	t_{WR}	5		5		ns
$\overline{WE}$ to Output Low-Z *5	t_{WLZ}	5		5		ns
$\overline{WE}$ to Output High-Z *5	t_{WHZ}		25		40	ns

WRITE CYCLE TIMING DIAGRAM *1 *2

WRITE CYCLE 1 : $\overline{WE}$ CONTROLLED



Note: *1 If $\overline{OE}$, $\overline{CS}$ are in the READ Mode during this period, I/O pins are in the output state so that the input signals of opposite phase to the outputs must not be applied.

*2 If $\overline{CS}$ goes high simultaneously with $\overline{WE}$ high, the output remains in high impedance state.

*3 All write cycle are determined from last address transition to the first address transition of the next address.

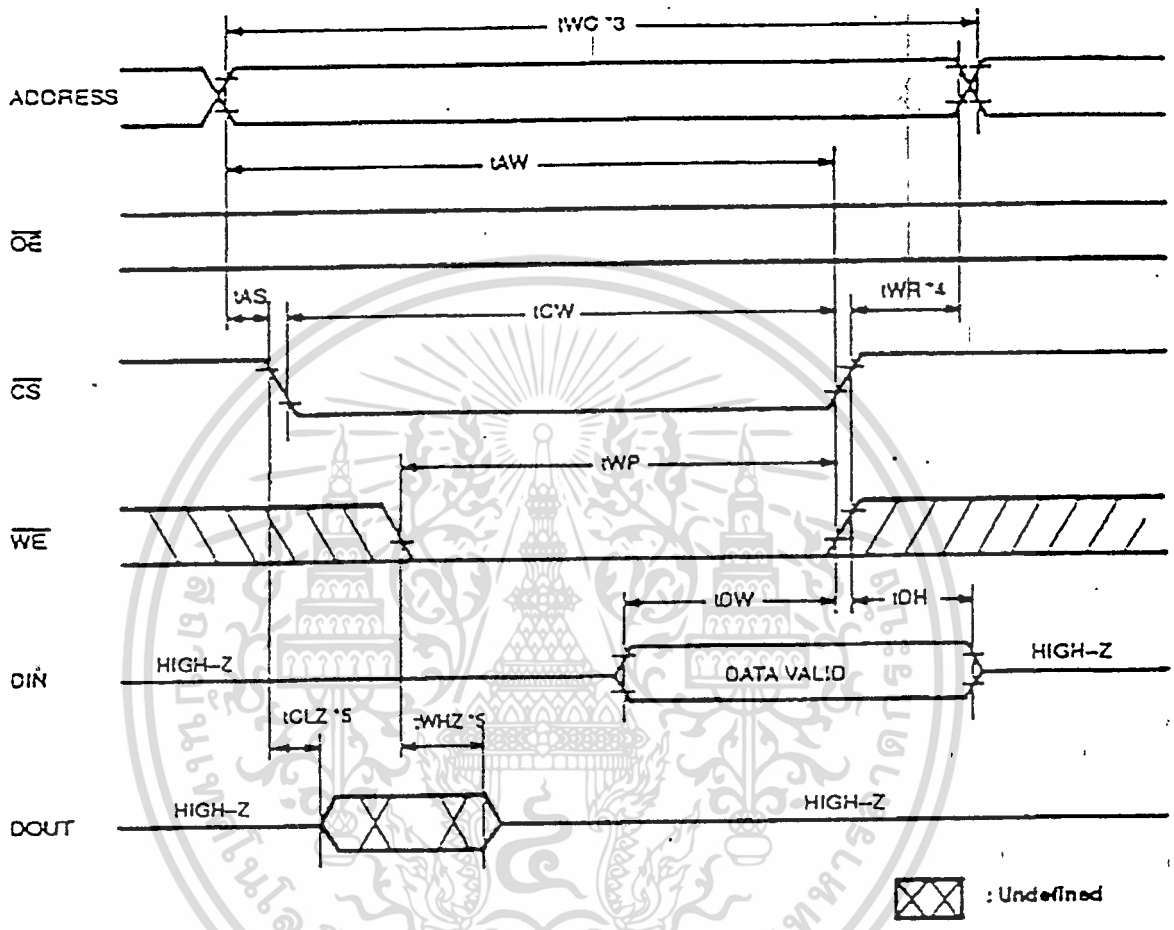
*4 tWR is defined from the end point of WRITE Mode..

*5 Transition is measured at the point of ±500mV from steady state voltage with specified Load I in Fig. 2.

3749756 0005995 862

WRITE CYCLE TIMING DIAGRAM *1 *2

WRITE CYCLE 2 : $\overline{CS}$ CONTROLLED



Note: *1 If $\overline{CE}$, $\overline{CS}$ are in the READ Mode during this period, I/O pins are in the output state so that the input signals of opposite phase to the outputs must not be applied.

*2 If $\overline{CS}$ goes high simultaneously with $\overline{WE}$ high, the output remains in high impedance state.

*3 All write cycle are determined from last address transition to the first address transition of the next address.

*4 tWR is defined from the end point of WRITE Mode.

*5 Transition is measured at the point of ±500mV from steady state voltage with specified Load II in Fig. 2.

3749756 0005996 7T9
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA RETENTION CHARACTERISTICS

(Recommended operating conditions otherwise noted.)

Parameter		Symbol	Min	Typ	Max	Unit
Data Retention Supply Voltage *1		VDR	2.0		5.5	V
Data Retention Supply Current *2	Standard	IDR			1.0	mA
	L-Version			1.0	50	µA
	LL-Version			1.0	50 *3	µA
Data Retention Setup Time		tDRS	0			ns
Operation Recovery Time		tR	tRC			ns

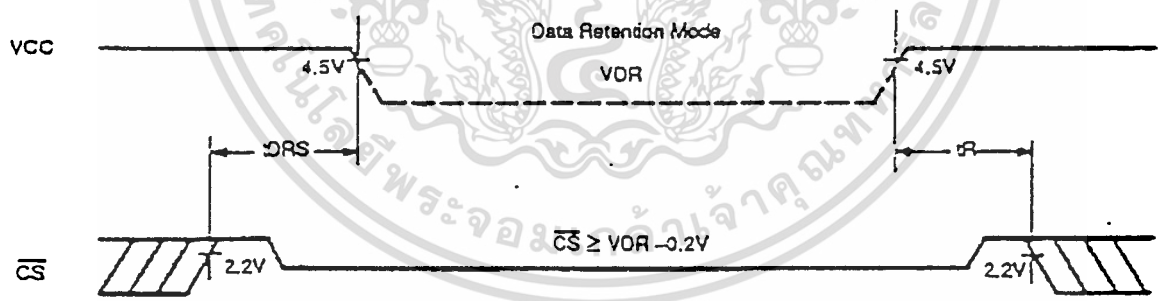
Note: *1 $\overline{CS} \geq VDR - 0.2V$

*2 VDR = 3.0V, $\overline{CS} \geq VDR - 0.2V$

*3 IDR = 5 µA max. at VDR = 3.0V, TA = 40°C

DATA RETENTION TIMING

DATA RETENTION



3749756 0005997 635
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIPICAL CHARACTERISTICS CURVES

Fig. 3 – NORMALIZED POWER SUPPLY CURRENT vs. SUPPLY VOLTAGE

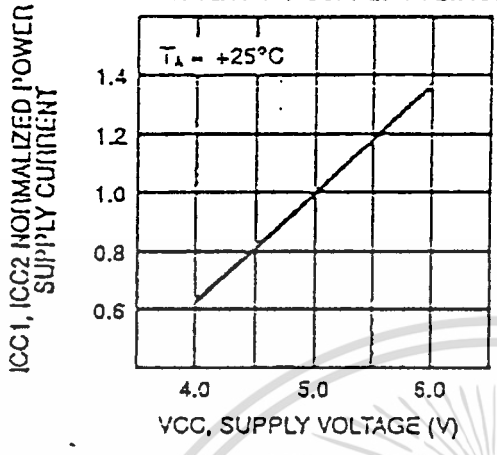


Fig. 4 – NORMALIZED POWER SUPPLY CURRENT vs. AMBIENT TEMPERATURE

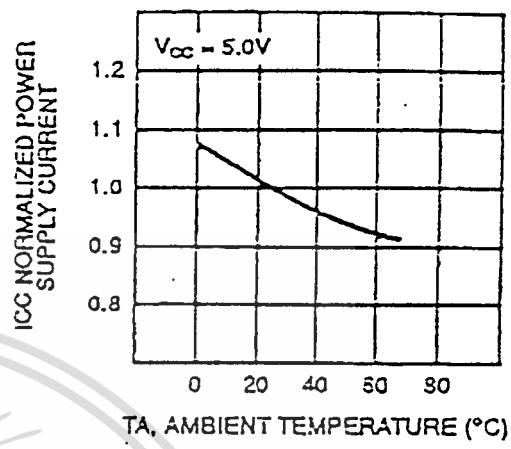


Fig. 5 – NORMALIZED POWER SUPPLY CURRENT vs. FREQUENCY

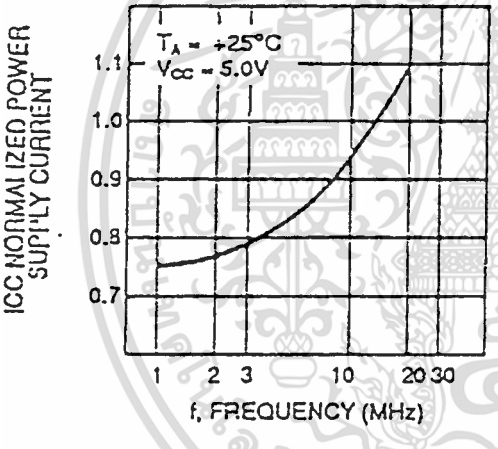


Fig. 6 – NORMALIZED POWER SUPPLY CURRENT vs. SUPPLY VOLTAGE

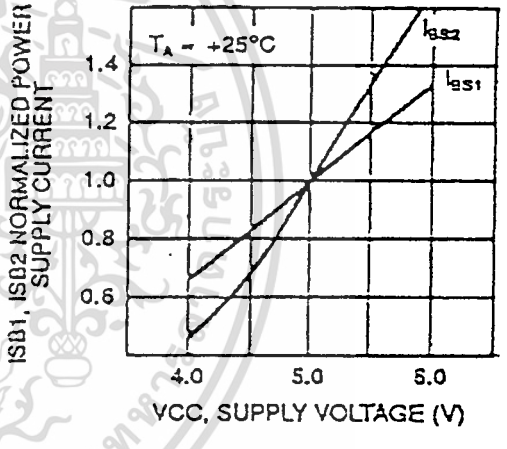


Fig. 7 – NORMALIZED POWER SUPPLY CURRENT vs. SUPPLY VOLTAGE

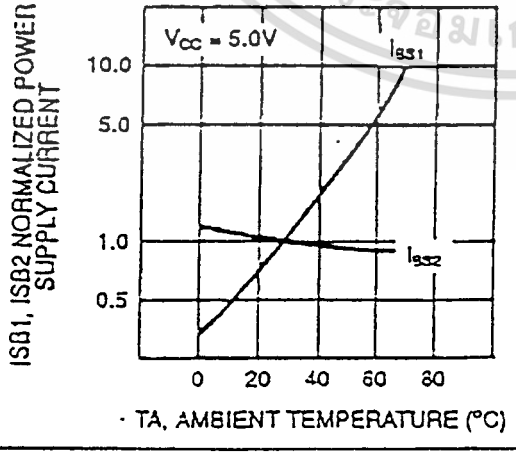
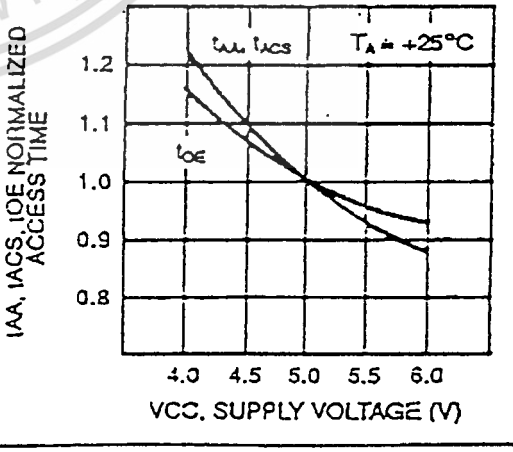


Fig. 8 – NORMALIZED ACCESS TIME vs. SUPPLY VOLTAGE



3749756 0005998 571

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIPICAL CHARACTERISTICS CURVES (Continued)

Fig. 9 – NORMALIZED ACCESS TIME vs. AMBIENT TEMPERATURE

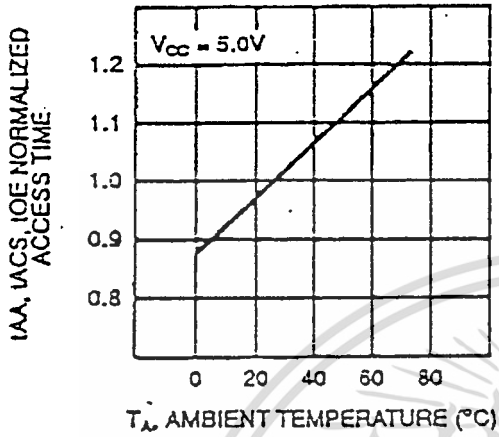
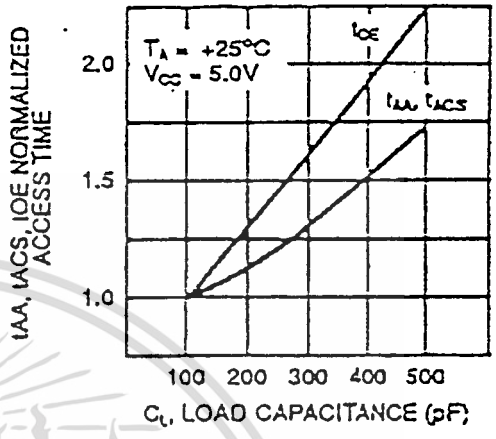


Fig. 10 – NORMALIZED ACCESS TIME vs. LOAD CAPACITANCE



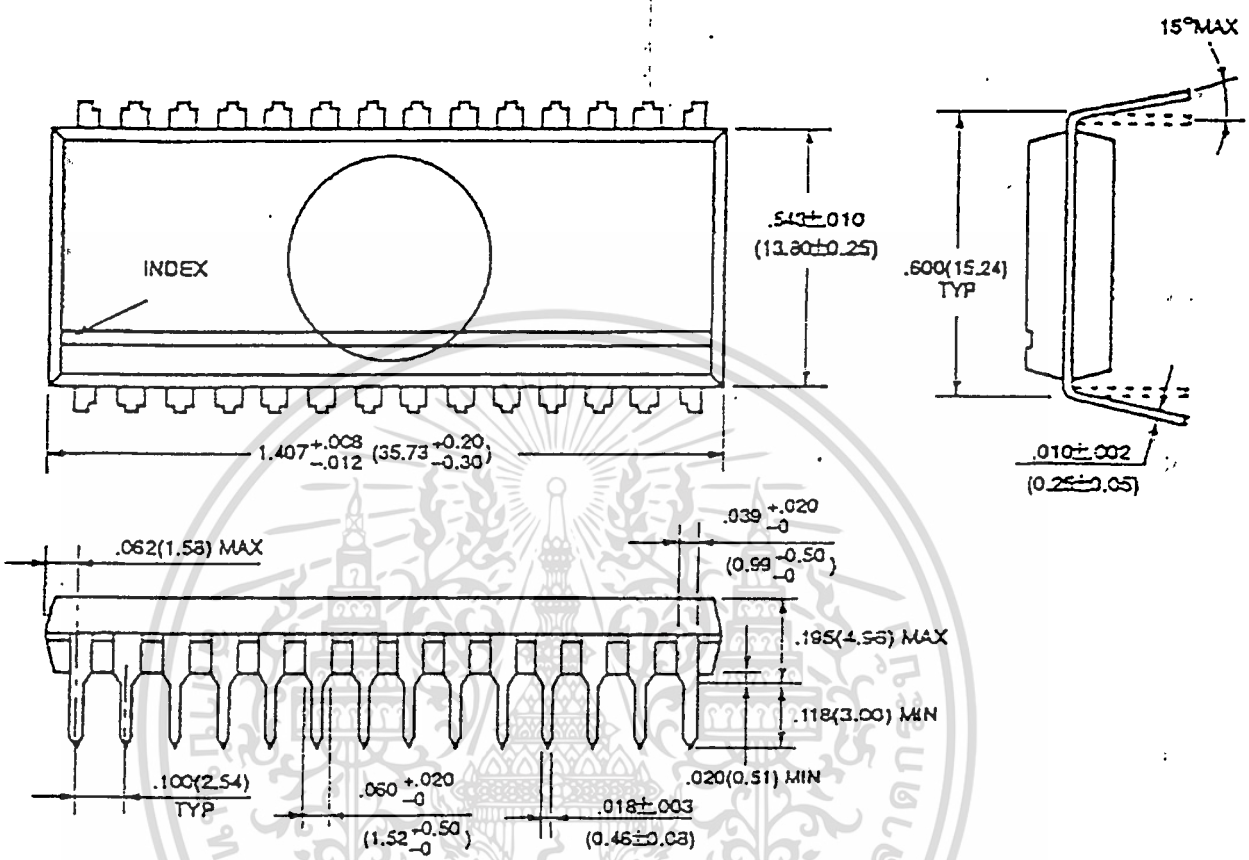
3749756 0005999 408

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

(Suffix: P)

28-LEAD PLASTIC DUAL IN-LINE PACKAGE
(CASE No.: DIP-28P-M02)



©1991 FUJITSU LIMITED D28006S-2C

Dimensions in inches (millimeters)

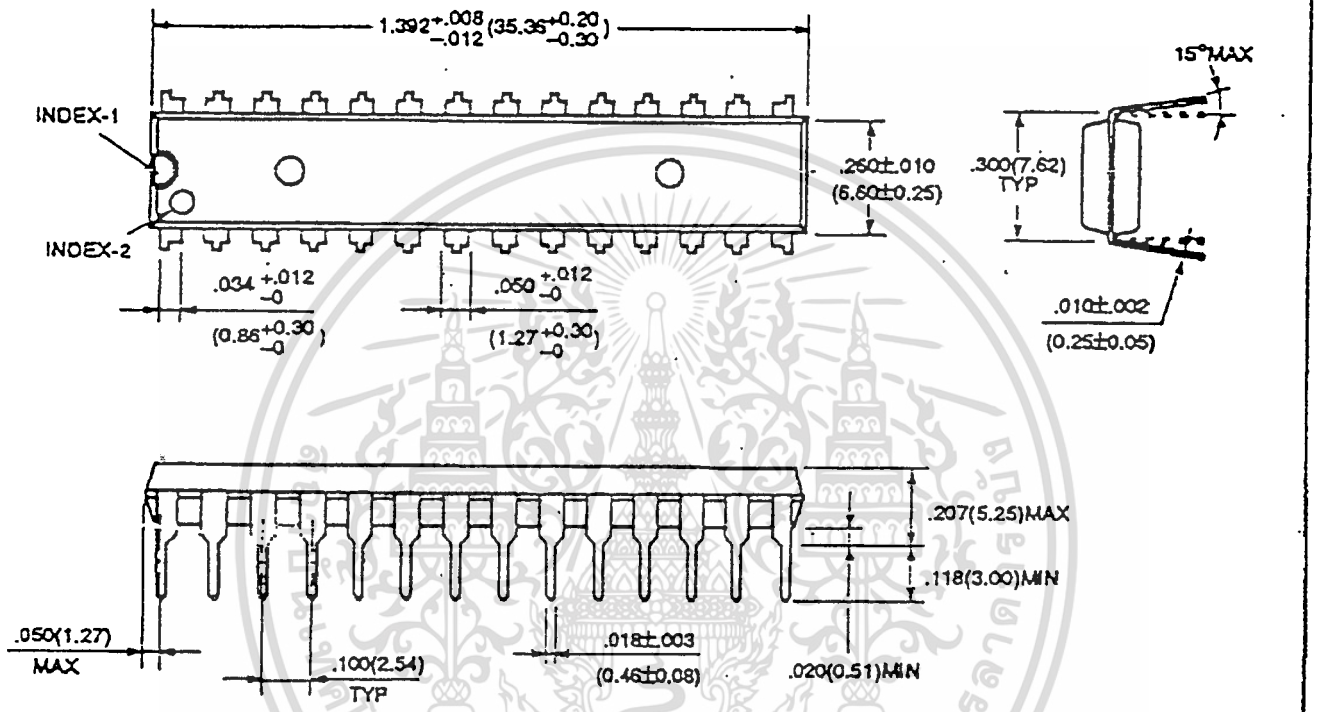
3749756 0006000 828

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

n CAPS XPert This Material Downloaded By its Respective Manufacturer.

PACKAGE DIMENSIONS (Continued)
(Suffix: P-SK)

28-LEAD PLASTIC DUAL IN-LINE PACKAGE
(CASE No.: DIP-28P-M04)

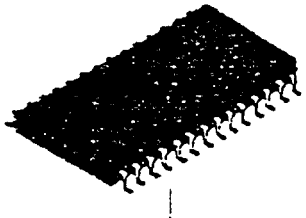


©1991 FUJITSU LIMITED D28018S-2C

Dimensions in inches (millimeters)

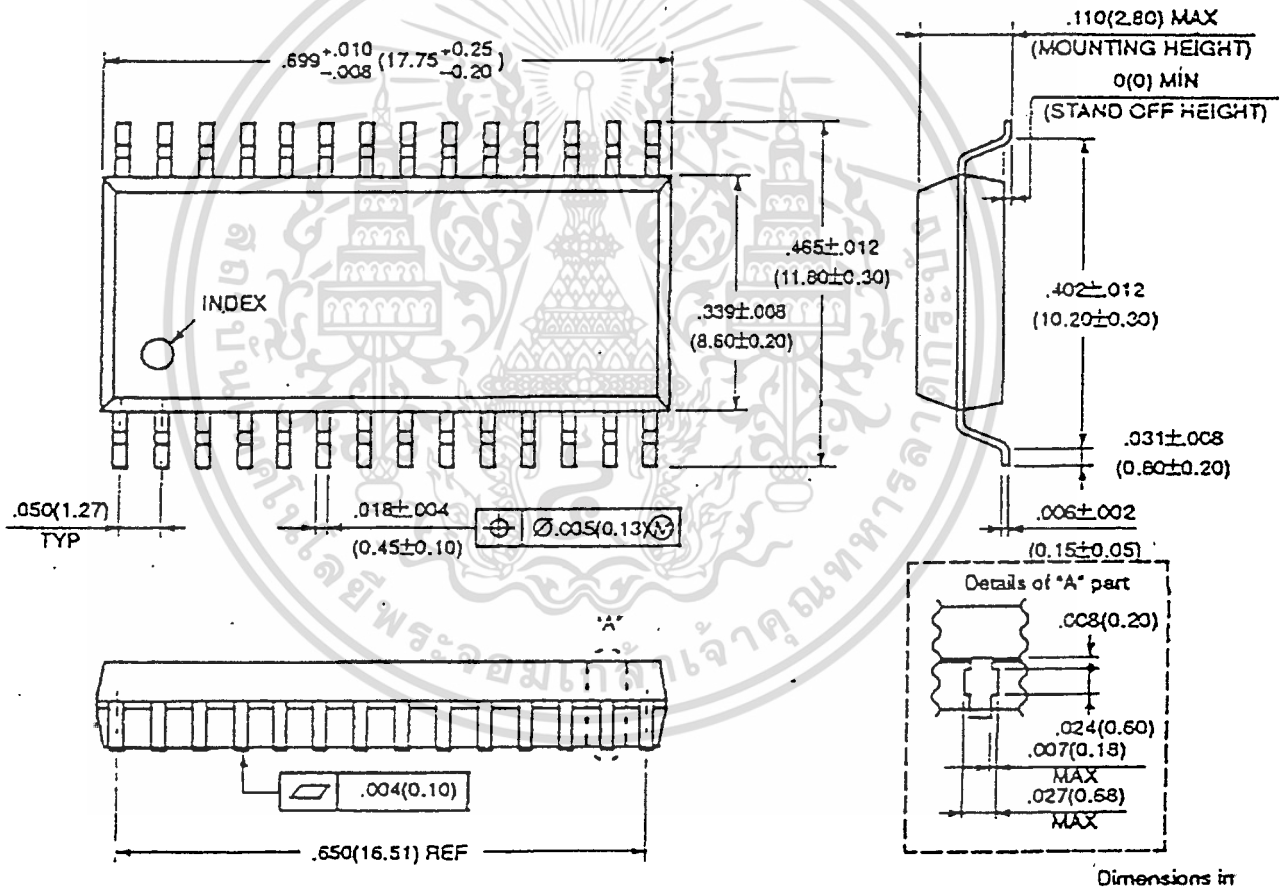
3749756 0006001 764
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
2m CAPS XPert This Material Copyrighted By its Respective Manufacturer

PACKAGE DIMENSIONS (Continued)
(Suffix: PF)



FPT-28P-M02

28-LEAD PLASTIC FLAT PACKAGE
(CASE No.: FPT-28P-M02)



Dimensions in inches (millimeters)

©1991 FUJITSU LIMITED F28011S-4C

3749756 0006002 6T0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

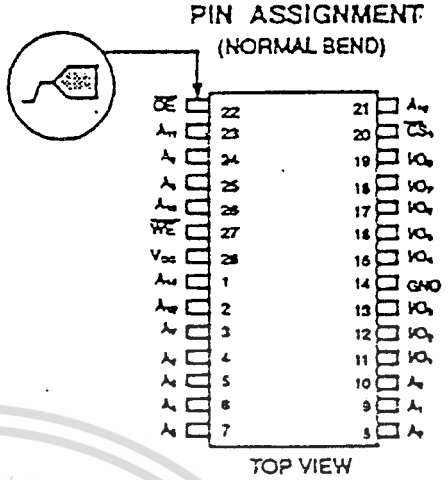
m CAPS tPert This Material Copyrighted By its Respective Manufacturer

PACKAGE DIMENSIONS (Continued)

(Suffix: PFTN)

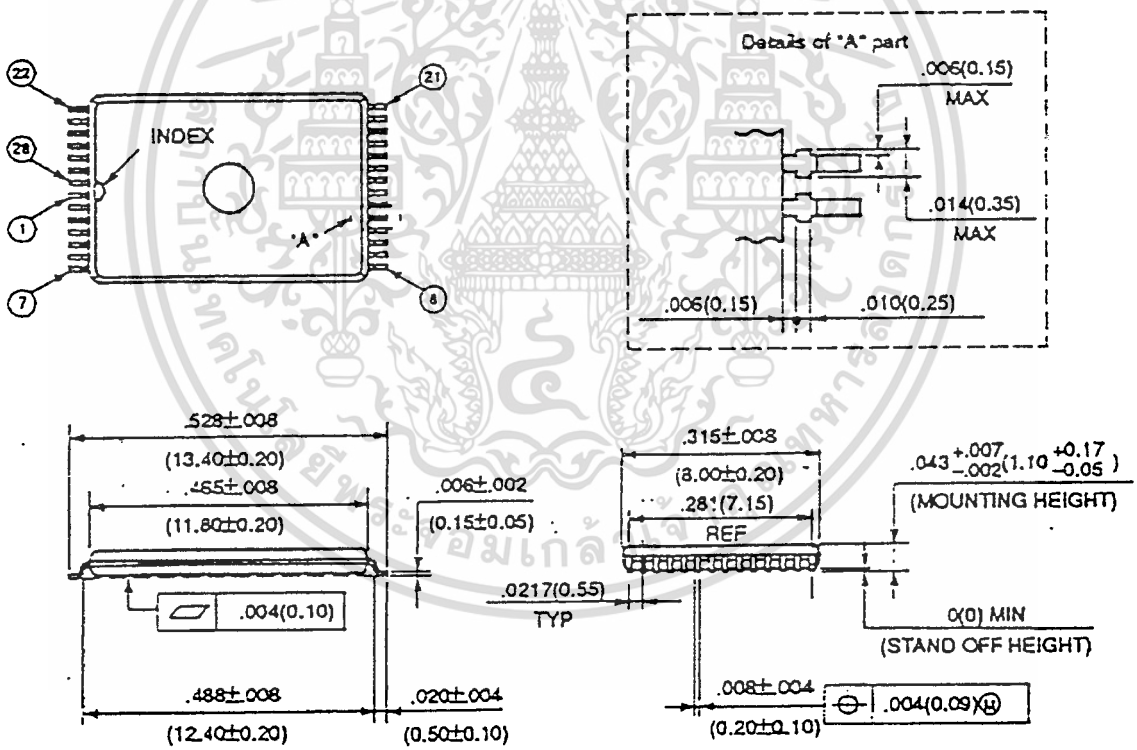
FPT-28P-M03

PIN ASSIGNMENT
(NORMAL BEND)



TOP VIEW

28-LEAD PLASTIC FLAT PACKAGE
(CASE No.: FPT-28P-M03)



Dimensions in inches (millimeters)

©1991 FUJITSU LIMITED F28018S-4C

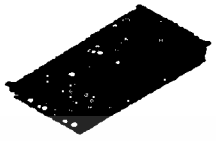
3749756 0006003 537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

...m CAPS (Perl ... This Material Copyrighted By Its Respective Manufacturer.

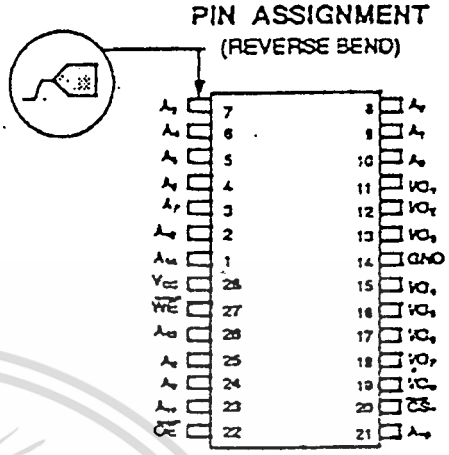
PACKAGE DIMENSIONS (Continued)

(Suffix: PFTR)



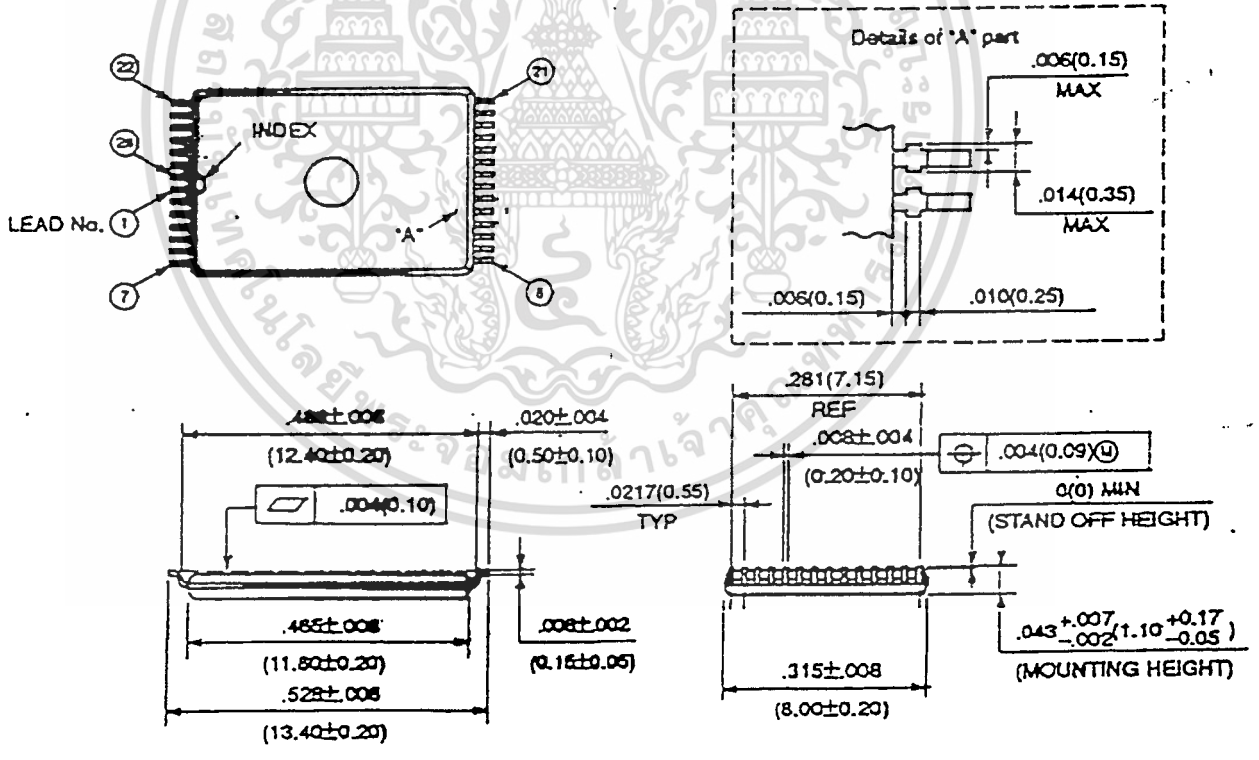
FPT-28P-M04

PIN ASSIGNMENT
(REVERSE BEND)



TOP VIEW

28-LEAD PLASTIC FLAT PACKAGE
(CASE No.: FPT-28P-M04)



Dimensions in inches (millimeters)

©1991 FUJITSU LIMITED F28019S-4C

3749756 0006004 473

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1 ชูเกียรติ จันทรานี. "ทฤษฎีตรวจซ่อมโทรทัศน์ขาวดำ" กรุงเทพฯ ศิลปสนองการพิมพ์, 533

2 ธานินทร์ ถาวรศาสวงศ์. "การออกแบบวงจรด้วยไอซี TTL" กรุงเทพฯ : หจก สำนักพิมพ์พีลิกเซนเตอร์.

3 วารสาร. "คอมพิวเตอร์อีเลกทรอนิคส์เวิลด์" ฉบับที่ 148 , หน้าที่ 120-122 , 2538

4 วารสาร. "เซมิคอนดักเตอร์อีเลกทรอนิคส์" ฉบับที่ 120 , หน้าที่ 272-277 , ตค-พย 2533

5 เจน สงสมพันธุ์ และ นิคม อนันต์ทิพย์. "เทคโนโลยีโทรทัศน์"กรุงเทพฯ บริษัทเอดิสันเพรสโพรดักส์จำกัด, 2533

6 กฤษดา วิศวธีรานนท์. เรียน/เล่น/ใช้ ไอซีดิจิตอล "กรุงเทพฯ : หจก.เอช-เอน การพิมพ์, 2533

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้