



เครื่องวัดอัตราผิดพลาดที่ควบคุมด้วยไมโครโปรเซสเซอร์
BIT ERROR RATE MEASUREMENT BY USING MICROPROCESSOR

โดย

นายประเสริฐ เนียมหอม 38012058
นายอรรถพล สรวิสูตร 38012086

อาจารย์ที่ปรึกษา
อาจารย์คณรัช สุขเจริญผล

วัน เดือน ปี.....
เลขทะเบียน.....038050
เลขเรียกหนังสือ...T.39070 ๔112๑.

ปริญญานิพนธ์สำหรับปริญญาอุตสาหกรรมศาสตรบัณฑิต
สาขาวิชาเทคโนโลยีโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

038050

หัวข้อปริญญานิพนธ์

เครื่องวัดอัตราบิตผิดพลาดที่ควบคุมด้วยไมโครโปรเซสเซอร์

โดย

นายประเสริฐ

เนียมหอม

นายอรรถพล

สรวิสูตร

อาจารย์ที่ปรึกษา

อาจารย์คณชัย

สุขเจริญผล

ภาควิชา

เทคนิคอุตสาหกรรม

ปีการศึกษา

2539

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต
คณะกรรมการสอบปริญญานิพนธ์

.....

ประธานกรรมการ

(

)

.....

กรรมการ

(

)

.....

กรรมการ

(

)

.....

กรรมการ

(

)

.....

กรรมการ

(

)

อธิการบดีของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เครื่องวัดอัตราบิดผิดพลาดที่ควบคุมด้วยไมโครโปรเซสเซอร์

โดย	นายประเสริฐ	เนียมหอม	38012058
	นายอรรถพล	สรวิสูตร	38012086

อาจารย์ที่ปรึกษา	อาจารย์ คลชัย	สุขเจริญผล
ปีการศึกษา	2539	

บทคัดย่อ

ในการสื่อสารข้อมูลแบบดิจิทัล สิ่งที่จะต้องคำนึงถึง คือ ประสิทธิภาพในการส่งและการรับข้อมูลเพื่อแสดงประสิทธิภาพของควมน่าเชื่อถือในการสื่อสารข้อมูล ดังนั้นจึงมีความจำเป็นที่จะต้องใช้เครื่องมือในการทดสอบระบบโมเด็มทั้งภาคส่งและภาครับ ตลอดจนสามารถตรวจสอบวัดอัตราความผิดพลาดในการคืเทคของ โมเด็มที่ภาคส่งและภาครับ

ในการสื่อสารโดยใช้สัญญาณดิจิทัลมีข้อดีคือ การสามารถส่งรหัสเพิ่มเติมเข้าไปพร้อมกับข้อมูลเพื่อประโยชน์ในการตรวจจับและแก้ไขความผิดพลาดของข้อมูลที่ได้รับได้ แต่ก็ยังมีขีดจำกัดในการป้องกัน ถ้าในระบบเกิดการผิดพลาดไม่เกินอัตราที่ยอมรับได้แล้วก็สามารถใช้งานได้ตามมาตรฐานที่กำหนด

โครงการปริญญานิพนธ์ นี้เป็นการศึกษา และออกแบบสร้างเครื่องคำนวณสัญญาณกึ่งแรนคอมที่ใช้ในการทดสอบโมเด็ม และตรวจสอบวัดอัตราการผิดพลาดในการสื่อสารของโมเด็มที่ภาครับและแสดงอัตราความผิดพลาดของบิตที่เกิดขึ้นได้บน SEVEN-SEGMENT และได้ออกแบบให้สามารถเลือกอัตราความเร็วของข้อมูลให้เหมาะสมกับการทดสอบได้ โดยใช้ไมโครโปรเซสเซอร์ควบคุม

BIT ERROR RATE MEASUREMENT BY USING MICROPROCESSOR

BY MR. PRASERT NEAMHOM 38012058

 MR. ATTAPONG SORAVISUT 38012086

ADVISER MR. DOLCHAI SOOKCHAROENPHOL

YEAR 1996

ABSTRACT

In digital communication we must to think about the efficiency of transmission and reception. For show the efficiency of system are sure. It necessary for used the equipment to tests modem in transmitter and receiver. And can check error rate from modem detector by it.

Advantage by using Digital Signal in communication is that can add code together with data for detecting and correcting data from error. But it has limited in protecting. If system don't fall over acceptable rate, it can be used for international standard.

This thesis are study and designs the bit rate generator for produce the pseudo random binary sequence. It can show the error rate on seven segment and designs for select bit rate of data and test to appropriate with the test (controlled by microprocessor).

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักพื้นฐาน	2
2.1 หลักการทำงานของ BIT ERROR RATE MEASUREMENT	2
2.2 ระบบสื่อสารดิจิทัล	3
2.3 ทฤษฎีการสร้างสัญญาณกึ่งเรนดอม	5
2.4 การตรวจสอบสัญญาณดิจิทัล	13
2.5 การส่งผ่านสัญญาณดิจิทัลแบบเบสแบนด์	20
บทที่ 3 การออกแบบและการทำงานของวงจร	43
3.1 การทำงานของวงจร PRBS ขนาด 25 บิต, 7 บิต และ 9 บิต	43
3.2 การทำงานของวงจร BI-PHASE	44
3.3 การทำงานของวงจร AMI	45
3.4 การทำงานของวงจร FOUR-LEVEL	46
3.5 การทำงานของวงจรกำเนิดสัญญาณ CLOCK	46
3.6 การออกแบบภาคแสดงผล	47
3.7 เทคนิคการออกแบบเครื่องวัดอัตราการผลิตของบิต	47
บทที่ 4 การทดลองและผลการทดลอง	52
บทที่ 5 สรุปและวิจารณ์	58
กิตติกรรมประกาศ	
ภาคผนวก	
หนังสืออ้างอิง	

บทที่ 1

บทนำ

ปริญญานิพนธ์เล่มนี้ แสดงผลงานวิจัย รวมทั้งทฤษฎีประกอบซึ่งรายละเอียดอยู่ในบทต่อ ๆ ไป โดยมีจุดประสงค์ คือ

1. สร้างชุดวงจรที่สามารถตรวจจับผิดพลาดที่เกิดขึ้นในระบบการส่งรับข้อมูลดิจิทัลได้อย่างมีประสิทธิภาพ และ ประหยัด
2. สามารถเขียนโปรแกรมแอสเซมบลีควบคุม CPU สำหรับโปรแกรมอัตราการส่งข้อมูล การเลือก

จำนวน Shift register ของวงจรกำเนิดสัญญาณ

การสื่อสารข้อมูลตามสายโทรศัพท์หรือการสื่อสารข้อมูลและระบบ wireless PCN (Personal Communication Networks) ที่ใช้โมเด็มในการส่งข้อมูลให้มีประสิทธิภาพสูงนั้นจำเป็นที่จะต้องมีการตรวจสอบโมเด็มนั้น ให้มีการทำงานมีประสิทธิภาพในการส่งข้อมูลมากที่สุดซึ่งก็คือ สัญญาณกึ่งแรนดอมแบบ NRZ (NRZ pseudo random binary sequence) ซึ่งทำหน้าที่เหมือนเป็นการจำลองข้อมูลจริงป้อนเข้าที่อินพุตของโมเด็มในการทดสอบต่าง ๆ ดังนั้นเราจึงสร้างเครื่อง BIT ERROR RATE MEASUREMENT CONTROLLED MICROPROCESSOR ซึ่งเครื่องกำเนิดสัญญาณนี้แบ่งได้เป็น 2 ภาคด้วยกัน คือ

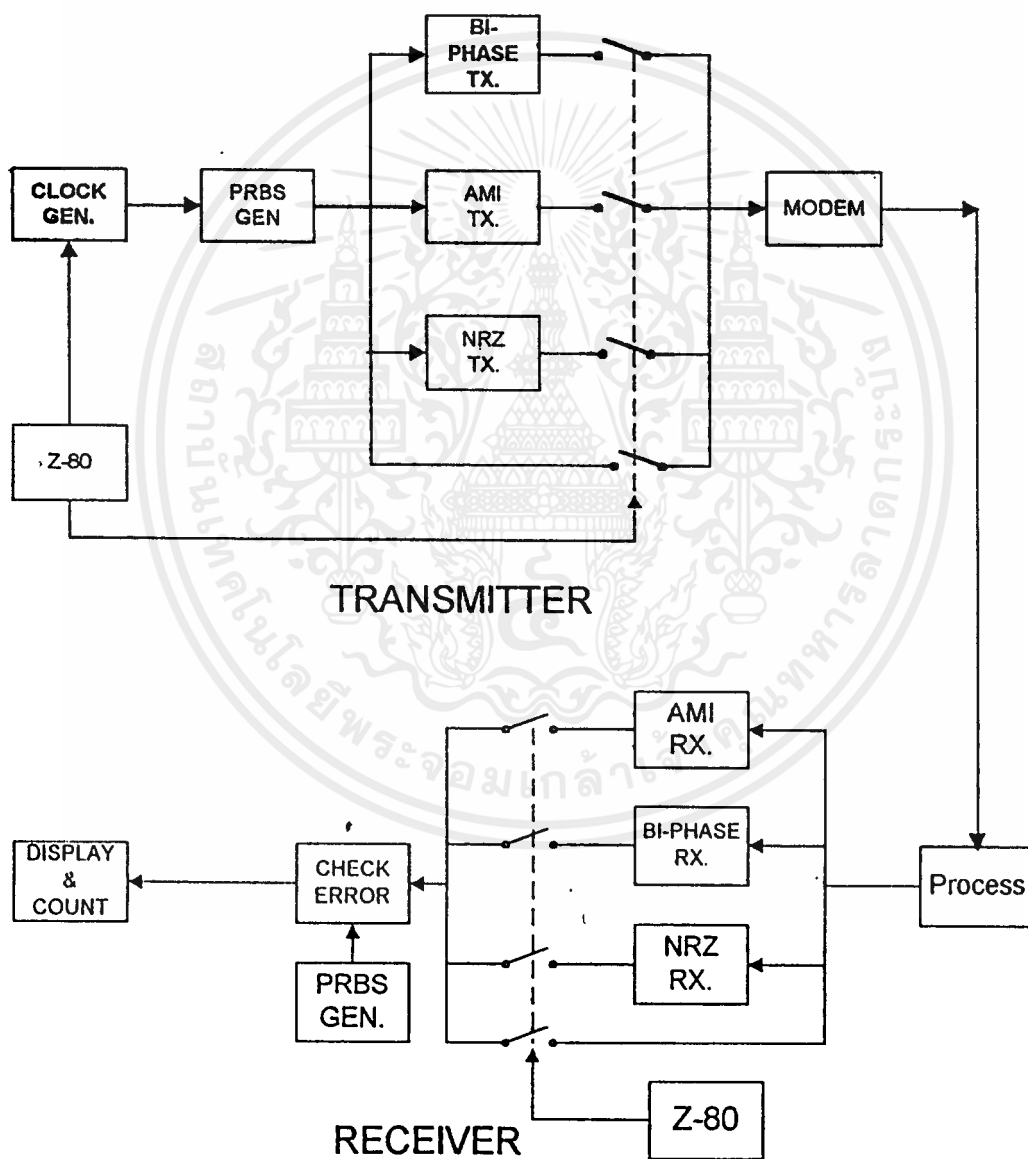
ภาคส่งเป็นภาคที่ทำหน้าที่ในการผลิตสัญญาณ PRBS หรือ NRZ กึ่งแรนดอมออกมาโดยมีวงจร SHIFT REGISTER ต่อแบบอนุกรม และมีการป้อนกลับแบบ โมดูล 2 (MODULO-2) ซึ่งสัญญาณที่ได้สามารถเลือกความยาวของ REGISTER (REGISTER LENGHT) ได้คือ 9,17,25 บิต ซึ่งสามารถเลือกปรับความเร็วของข้อมูลในการทดสอบได้ โดยใช้ Z-80 จะได้กล่าวต่อไป ในส่วนของภาครับนั้นจะทำหน้าที่หลักในการตรวจสอบอัตราการผิดพลาดของสัญญาณที่รับได้ โดยประกอบไปด้วยส่วนที่สำคัญ ๆ คือ วงจรตรวจสอบอัตราการผิดพลาด และวงจรแสดงผลซึ่งจะกล่าวถึงต่อไป

ในปริญญานิพนธ์ฉบับนี้จะกล่าวถึง ทฤษฎีและหลักการพื้นฐานในการทำงาน การออกแบบ และการทำงานของวงจร การทดลองและผลการทดลอง สรุปและวิจารณ์ผลการทดลอง ซึ่งจะกล่าวไว้ในบทต่อไป

บทที่ 2

ทฤษฎีและหลักการทํางานเบื้องต้น

2.1 หลักการทํางานของ BIT ERROR RATE MEASUREMENT CONTROLLED MICROPROCESS



รูปที่ 2.1 บล็อกไดอะแกรมของ BIT ERROR RATE MEASUREMENT CONTROL MICROPROCESS

จากแบบลอทไดอะแกรมรูปที่ 2.1 จะเห็นว่า BIT ERROR RATE MEASUREMENT CONTROLLED MICROPROCESSOR จะมีการทำงานเป็น 2 ส่วน คือ ทางด้านภาครับ และทาง ด้านภาคส่ง จะประกอบไปด้วยวงจรกำเนิด Clock วงจรกำเนิดสัญญาณ PRBS วงจร AMI รับ และส่ง วงจร BI-PHASE รับและส่ง และวงจร MULTI-LEVEL ทั้งด้านรับและส่ง โดยจะมี Z-80 เป็นตัวควบคุมการทำงาน

หลักการการทำงานทางด้านภาคส่งมีดังนี้คือ ถ้าเปิดเครื่องมา Z-80 ก็จะแสดง MENU ขึ้นมา เพื่อให้เราได้เลือกที่เราจะต้องการส่งสัญญาณ BASEBAND แบบไหนหลังจากนั้น ก็จะเป็นการ เลือกขนาดของบิตโดยจะมีให้เลือกคือ 9,17,25 บิต โดยที่สัญญาณนาฬิกาจะเป็นตัวกำหนดบิตเรท ของสัญญาณ ซึ่งสัญญาณที่ได้ของภาคส่งจะเป็น 8. กึ่งแรนคอมจะถูกส่งออกไปยังภาครับ

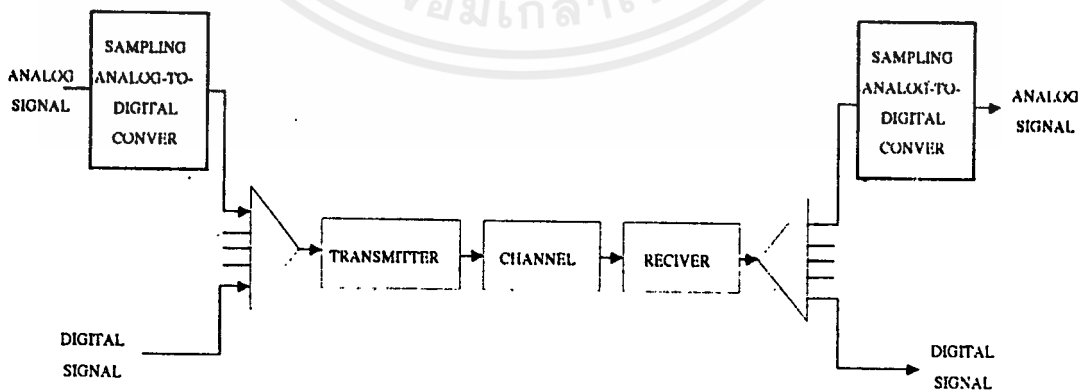
ส่วนการทำงานของทางภาครับก็คือ ชุด BIT ERROR RATE MEASUREMENT ของ ภาครับนี้จะถูกต่อเข้ากับ MODEM ทางภาครับเพื่อรับข้อมูลที่ส่งข้อมูลที่ส่งออกมา โดยที่สัญญาณ จะเป็นสัญญาณ PRBS. ถ้าไม่ใช่สัญญาณ PRBS. ก็จะต้องเปลี่ยนสัญญาณให้เป็น PRBS. ก่อน แล้วจึงจะเช็คหรือตรวจจับสัญญาณผิดพลาดที่เกิดขึ้นได้ โดยการนำเอาสัญญาณกึ่งแรนคอมจากวงจรกำเนิดสัญญาณที่ภาครับเข้าทำการเปรียบเทียบกับสัญญาณที่รับได้แล้วจึงนำเอาค่าความผิดพลาดที่ได้ส่งไปยังวงจรนับความผิดพลาด เพื่อนำค่าความผิดพลาดที่เกิดขึ้นส่งไปแสดงผลยังภาคการแสดงผลด้วย LED แบบ 7-SEGMENT ส่วนทฤษฎีและรายละเอียดของการทำงานของวงจรส่วนต่าง ๆ ที่สำคัญจะได้แยกกล่าวในหัวข้อถัดไป

2.2 ระบบสื่อสารดิจิทัล (DIGITAL COMMUNICATION SYSTEM)

ในการสื่อสารข้อมูลนั้น จุดมุ่งหมายของระบบสื่อสารคือ การส่งข่าวสารจากจุดหนึ่งไปยังจุดอื่นๆ โดยข่าวสารนี้อยู่ในรูปของสัญญาณไฟฟ้าในแบบอนาล็อกหรือดิจิทัล สัญญาณอนาล็อก (ANALOG SIGNAL) คือสัญญาณที่มีค่าต่อเนื่องตลอดเวลา แต่ในขณะที่สัญญาณดิจิทัล (DIGITAL SIGNAL) คือสัญญาณที่มีค่าแน่นอนและมีจำนวนจำกัด ตัวอย่างของสัญญาณอนาล็อกคือเสียงที่รับได้โดยไมโครโฟน และตัวอย่างของสัญญาณดิจิทัลคือสัญญาณข้อมูลที่ส่งออกจากคอมพิวเตอร์ ส่วนประกอบเบื้องต้นของระบบสื่อสารดิจิทัลแสดงให้เห็นใน รูปที่ 1 โดยสัญญาณขาเข้า (INPUT SIGNAL) อาจจะมีลักษณะรูปแบบเดียวกับข้อมูลคอมพิวเตอร์หรือสัญญาณอนาล็อก จะทำการแปลงให้เป็นสัญญาณดิจิทัลโดยการสุ่มตัวอย่าง (SAMPLING) และ

การจัดระดับ (QUANTIZATION) สัญญาณแต่ละแบบที่เข้ามาจะถูกตัวส่ง (TRANSMITTER) รวมสถานะแน่นอนของสัญญาณดิจิทัลทั้งหมดเข้าเป็นรูปแบบ ซึ่งเหมาะสมสำหรับช่องสัญญาณ (CHANNEL) ระหว่างตัวส่งกับตัวรับ โดยที่ช่องสัญญาณจะมีรูปแบบที่แตกต่างกันออกไปขึ้นอยู่กับโครงสร้างทางฟิสิกส์เช่นสายคู่ขนาน (WIRE PAIRE) สายโคแอกเชียล (COAXIAL) เส้นใยแสง (OPTICAL FIBERS) และชั้นบรรยากาศสำหรับการส่งด้วยคลื่นวิทยุซึ่งแตกต่างกันไปตามความต้องการของตัวส่ง โดยทั่วไปช่องสัญญาณจะทำให้เกิดการบิดเบี้ยว (DISTORTION) ไปจากสัญญาณที่ส่ง เนื่องจากการบวกสัญญาณรบกวน (NOISE) ที่หลีกเลี่ยงไม่ได้ ทำให้เครื่องรับต้องทำงานหนักในการกู้ (RECOVER) เอาสัญญาณที่ถูกต้องกลับมา ถ้าช่องสัญญาณมีระยะทางไกล การลดทอน (ATTENUATION) สัญญาณที่ส่งก็จะสูง ทำให้ต้องมีตัวทวนสัญญาณ (REPEATER) ระหว่างตัวส่งกับตัวรับเพื่อให้ปรับคุณลักษณะของสัญญาณถูกต้องรูปแบบง่าย ๆ ของตัวทวนสัญญาณ คือแอมพลิฟายซึ่งใช้ในระบอบอนาล็อก ซึ่งจะทำหน้าที่ขยายสัญญาณที่รับเข้ามาแล้วส่งออกไป แต่วิธีนี้สัญญาณรบกวนก็จะถูกขยายด้วยซึ่งไม่ได้เป็นการกำจัดการบิดเบี้ยวของสัญญาณส่วนตัวทวนสัญญาณระบบดิจิทัลจะทำการสร้างสัญญาณขึ้นมาใหม่จากสัญญาณเดิมแล้วทำการส่งต่อไป

ความสามารถ ในการสร้างสัญญาณใหม่เป็นข้อได้เปรียบของระบบดิจิทัล แต่ในการสื่อสารระบบอนาล็อกตัวทวนสัญญาณจะทำหน้าที่ขยายอย่างเดียว โดยที่เครื่องรับจะทำการกะประมาณรูปร่างของสัญญาณ ให้ตรงกับสัญญาณที่ส่งการวัดคุณสมบัติในการใช้งานของระบบจะวัดในเทอมของการเหมือนกันระหว่างสัญญาณที่ส่งกับสัญญาณที่รับ



รูปที่ 2.2 แสดงส่วนประกอบโดยทั่วไปของระบบการสื่อสารดิจิทัล

2.3 ทฤษฎีการสร้างสัญญาณกึ่งแรนดอม (PSEUDO RANDOM BINARY SEQUENCE)

ในการสื่อสารข้อมูลนั้นตัวการที่ทำให้เกิดการผิดพลาดการรับข้อมูล นอกจากจะเป็นคุณสมบัติของช่องสัญญาณ ซึ่งมีความผิดเพี้ยนทางด้านแอมพลิจูดหรือเฟสแล้วสัญญาณรบกวนแบบเกาส์เซียน (GAUSSIAN NOISE) และสัญญาณรบกวนแบบอิมพัลส์ (IMPULSIVE NOISE) นั้นมีผลต่อการรับข้อมูลโดยตรง โดยสัญญาณรบกวนแบบเกาส์เซียนจะทำให้ข้อมูลที่รับผิดพลาดเป็นแรนดอมแบบเดี่ยวๆ (SINGLE RANDOM ERROR) ส่วนสัญญาณรบกวนแบบอิมพัลส์ทำให้เกิดการผิดพลาดของข้อมูลเป็นแบบเบิส (BURST ERROR) รวมทั้งการเกิดที่การรับเกิดการผิดพลาดแบบเบิส สำหรับการงานหาในกรณีที่เป็นการสื่อสารแบบเคลื่อนที่ (MOBILE COMMUNICATION) หรือการเชื่อมต่อกับระบบไมโครเวฟ

ในการวัดสมรรถภาพของระบบสื่อสารระบบอนาล็อก (ANALOG COMMUNICATION SYSTEM) คุณสมบัตินี้ของสัญญาณที่รับได้มักบอกเป็นจำนวนสัญญาณที่ต้องการต่อสัญญาณรบกวน (SIGNAL TO NOISE RATIO) ซึ่งก็จะพอที่จะทราบคุณสมบัติของช่องสัญญาณหรือคุณภาพของสัญญาณที่รับได้ว่าสามารถที่จะสื่อสารกันให้รู้เรื่องหรือมีประสิทธิผลมากน้อยเพียงใด

แม้ในทางระบบสื่อสารทางดิจิทัล (DIGITAL COMMUNICATION SYSTEM) เขามักจะบอกสมรรถภาพของระบบหรือคุณสมบัติของช่องสัญญาณว่าดีหรือไม่เพียงใด โดยการบอกอยู่ในลักษณะของอัตราของคำที่ผิด (BIT ERROR RATE: BER) ต่อการส่งของข้อมูลทั้งหมดแต่ในการส่งข้อมูลในความเป็นจริงข้อมูลที่เกิดขึ้นจะไม่มีรูปแบบที่แน่นอน ดังนั้นการสร้างสัญญาณขึ้นทดสอบจึงต้องมีคุณสมบัติทางสถิติใกล้เคียงกับข้อมูลที่ส่งจริง คือตามความเป็นแรงดัน แต่จะต้องมีคุณสมบัติในความสามารถที่จะทำการชิงโครโนซ์ สัญญาณกลับที่ภากรับสัญญาณที่ใช้ทดสอบดังกล่าวนี้คือ สัญญาณข้อมูลกึ่งแรนดอม หรือรหัสกึ่งแรนดอม (PSEUDO RANDOM CODE)

2.3.1 การกำเนิดสัญญาณ PSEUDO RANDOM BINARY SEQUENCE

PSEUDO RANDOM BINARY SEQUENCE จะทำงานโดยใช้ SHIFT REGISTER ที่มีการต่อป้อนกลับแบบวงจรบวกแบบ MODULO 2 โดยที่ SHIFT REGISTER ก็คือ FLIP-FLOP จำนวนหนึ่งทำการต่อเป็นแบบ SERIES กันและ SHIFT REGISTER แต่ละตัวจะมีการต่อเข้ากับสัญญาณนาฬิกา เมื่อ SHIFT REGISTER ได้รับสัญญาณนาฬิกาข้อมูลไบนารีที่อยู่ใน FLIP-FLOP ก็จะถูกย้ายไปยัง FLIP-FLOP ตัวถัดไปและจะมีการกำหนดจุดต่อป้อนกลับเพื่อกำหนดความยาวของ PSEUDO RANDOM BINARY SEQUENCE โดยใช้สมการ PRIMITIVE POLYNOMIAL ยกกำลัง m เป็นตัวกำหนดจำนวน SHIFT REGISTER ทั้งหมดที่ใช้และสามารถ

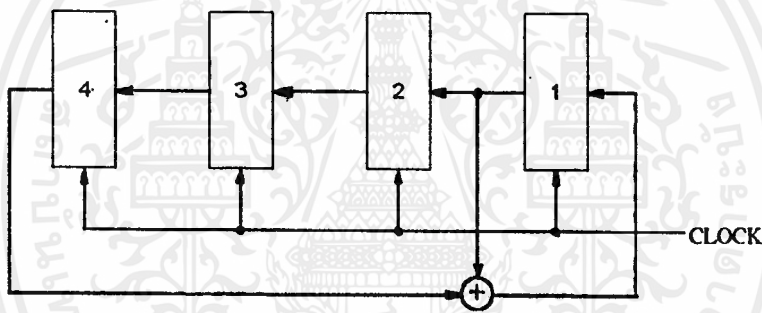
กำหนดจุดต่อป้อนกลับได้ด้วยสมการ PRIMITIVE POYNOMALL ที่มีกำลังตั้งแต่ 1-40 ซึ่งจะแสดงได้ดังตารางที่2.1

deg	h (x)	deg	h (x)
m		m	
1	$x+1$	21	$x^{21}+x^2+1$
2	x^2+x+1	22	$x^{22}+x+1$
3	x^3+x+1	23	$x^{23}+x^5+1$
4	x^4+x+1	24	$x^{24}+x^4+x^1+x+1$
5	x^5+x^2+1	25	$x^{25}+x^3+1$
6	x^6+x+1	26	$x^{26}+x^8+x^7+x+1$
7	x^7+x+1	27	$x^{27}+x^8+x^7+x+1$
8	$x^8+x^6+x^5+x+1$	28	$x^{28}+x^3+1$
9	x^9+x^4+1	29	$x^{29}+x^2+1$
10	$x^{10}+x^3+1$	30	$x^{30}+x^{16}+x^{15}+x+1$
11	$x^{11}+x^2+1$	31	$x^{31}+x^3+1$
12	$x^{12}+x^7+x^4+x^3+1$	32	$x^{32}+x^{28}+x^{27}+x+1$
13	$x^{13}+x^4+x^3+x+1$	33	$x^{33}+x^{13}+1$
14	$x^{14}+x^{12}+x^{11}+x+1$	34	$x^{34}+x^{15}+x^{14}+x+1$
15	$x^{15}+x+1$	35	$x^{35}+x^2+1$
16	$x^{14}+x^5+x^3+x^2+1$	36	$x^{36}+x^{11}+1$
17	$x^{17}+x^3+1$	37	$x^{37}+x^{12}+x^{10}+x^2+1$
18	$x^{18}+x^7+1$	38	$x^{38}+x^6+x^5+x+1$
19	$x^{19}+x^6+x^5+x+1$	39	$x^{39}+x^4+1$
20	$x^{20}+x^3+1$	40	$x^{40}+x^{21}+x^{19}+x^2+1$

ตารางที่ 2.1 แสดงความสัมพันธ์ระหว่างสมการ PRIMITIVE PLOYNOMALL กับ DEGREE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการ PRIMITIVE POLYNOMIAL นี้จะให้สัญญาณ PSEUDO RANDOM BINARY SEQUENCE ที่มีความยาว $n=2^m - 1$ เนื่องจากจะไม่ให้เกิดสถานะที่เป็น 0 ก่อนที่จะกลับไปให้มีสถานะซ้ำกับข้อมูลเดิมจากตารางในรูป จึงให้สัญญาณ PSEUDO RANDOM BINARY SEQUENCE ที่มีความยาวสูงสุดถึง $2^{40} - 1 = 10^{12}$ จากตารางนี้ถ้าเรานำสมการ PRIMITIVE POLYNOMIAL $h(X) = X^4 + X + 1$ มาพิจารณาจะเห็นว่ากำลังสูงสุดของสมการ $= m = 4$ จึงแสดงว่า REQUENCE นี้จะต้องใช้ SHIFT REGISTER จำนวนทั้งหมด 4 ตัวและแสดงถึงการต่อจุดป้อนกลับได้ดังรูปที่ 2.3 คือ นำเอาสัญญาณเอาต์พุตของ SHIFT REGISTER ตัวที่ 4 และตัวที่ 1 มาใช้ในการบวกแบบ MODULO 2 (โดยในสมการ PRIMITIVE POLYNOMIAL จะแทนด้วยเครื่องหมายบวก) นั่นก็คือการใช้ EXCLUSIVE OR GATE



รูปที่ 2.3 แสดงการต่อ SHIFT REGISTER

จากรูปที่ 2.3 ถ้าเราสมมติให้สถานะการเริ่มต้นการทำงานของ SHIFT REGISTER เป็นลอจิก 1111 เมื่อมีการให้สัญญาณนาฬิกาเข้าไป ข้อมูลเดิมใน SHIFT REGISTER ก็จะถูกเลื่อนไปทางซ้ายมือ 1 ตำแหน่งคือ ข้อมูลเดิมใน FLIP-FLOP จะถูกย้ายไปเก็บใน FLIP-FLOP ตัวถัดไป โดยที่ข้อมูลที่อยู่ใน FLIP-FLOP ตัวที่ 1 2 3 จะถูกเลื่อนไปเก็บไว้ใน FLIP-FLOP ตัวที่ 2 3 4 ตามลำดับ แล้วนำเอาเอาต์พุตเดิมของ FLIP-FLOP ในตัวที่ 1 และตัวที่ 4 ก่อนที่จะมีสัญญาณนาฬิกาเข้ามาทำการบวกกับแบบ MODULO 2 แล้วป้อนกลับไปเป็นอินพุตใหม่ให้กับ FLIP-FLOP ตัวแรก จะเห็นว่าข้อมูลที่อยู่ใน SHIFT REGISTER จะเปลี่ยนแปลงไปเรื่อยๆ จนครบ 15 สถานะ คือ 1111 0111 1011 0101 1010 1101 0110 0011 1001 0100 0010 0001 1000 1100 1110 1111 ส่วนเอาต์พุตของวงจร SEQUENCE นี้จะถูกนำมาจากเอาต์พุต

ของ SHIFT REGISTER ตัวสุดท้ายซึ่งจะได้ข้อมูลเป็น 111101011001000 โดยข้อมูลจะต่อเนื่องกัน 15 บิต (แสดงดังตารางที่ 2.2) และทำให้เกิดการ RANDOM จึงเรียกวางจรว่า PSEUDO RANDOM BINARY SEQUENCE

Length of shift register	Feedback taps	Period of sequence
3	1,3	7
4	1,4	15
5	2,5	31
6	1,6	63
7	1,7	127
8	1,6,7,8	255
9	4,9	511
10	3,10	1,023
11	2,11	2,047
12	2,10,11,12	4,095
13	1,11,12,13	8,191
14	2,12,13,14	16,383
15	14,15	32,767
16	11,12,14,15	65,525
17	14,17	131,071
18	11,18	262,143
19	14,17,18,19	524,287
20	17,20	1,048,575

ตารางที่ 2.2 แสดงความสัมพันธ์ระหว่างการเก็บกับ PERIOD ของ SEQUENCE

ส่วนความยาวของ PSEUDO RANDOM BINARY SEQUENCE กำหนดได้จากความยาวของ SHIFT REGISTER ที่ใช้และจุดต่อป้อนกับที่ได้จากสมการ PRIMITIVE POLYNOMIAL และสถานะเริ่มต้นการทำงานของ SHIFT REGISTER สังเกตได้จากรูป ถ้ามีกำหนดให้สถานะเริ่มต้นของ FLIP-FLOP เป็น 0 ทั้งหมด ข้อมูลก็จะไม่มีการเปลี่ยนแปลงและจะไม่สามารถทำให้วงจร SEQUENCE ทำงานได้ ดังนั้นวงจร SEQUENCE นี้จะไม่ยอมให้เกิดสถานะเอาต์พุตที่ข้อมูลเป็น 0 ส่วนความยาวสูงสุดของข้อมูลของ SEQUENCE ที่สร้างขึ้นกำหนดได้เมื่อใช้ SHIFT REGISTER จำนวน m STAGE จะเท่ากับ $2^m - 1$

จุดต่อป้อนกลับแต่ละจุดในความเป็นจริงแล้วอาจจะมีจุดต่อป้อนกลับได้ 2 จุด เพราะการเรียงสลับ ข้อมูลที่แตกต่างกันก็สามารถทำให้มีความยาวของ SEQUENCE เท่ากันได้แต่จะมีข้อมูลสลับกันดังนั้นการป้อนกลับจาก FLIP-FLOP ตัวที่ 2 และที่ 3 ก็จะทำงานเหมือนกับการป้อนกลับจากตัวที่ 1 และตัวที่ 3 ในการสร้าง SEQUENCE ที่มีความยาวเท่ากับ 7 ในทำนองเดียวกันการป้อนกลับจาก FLIP-FLOP ตัวที่ 3 และที่ 4 ก็ทำงานเช่นเดียวกับการป้อนกลับจาก 1 และ 4 สำหรับ SEQUENCE ที่มีความยาว 15 คุณสมบัติอื่นๆ ของความยาว SEQUENCE สูงสุดมีดังนี้

- จะมีจำนวนของลอจิก 1 ในแต่ละ 1 รอบของเอาต์พุต SEQUENCE มากกว่าจำนวนลอจิก 0
- ค่าที่ได้จะเป็นการเรียงลอจิก 0 หรือ ลอจิก 1 ตามความยาว n จะเป็นสองเท่าของการทำงานของความยาว $n+1$ ซึ่งถ้าเป็น $1/2$ การทำงานจะมีความยาวเป็น 1 ที่ $1/4$ จะมีความเป็น 2 ที่ $1/8$ จะมีความยาวเป็น 3
- AUTOCORRELATION ของ SEQUENCE มีค่าสูงสุด เท่ากับความยาวของ SEQUENCE ($2^n = -1$) ที่ ZERO SHIFT และที่ CORRELATION เป็น -1 ค่า AUTOCORRELATION ของ PSEUDO RANDOM BINARY SEQUENCE ขนาด 7 บิต แสดงได้ดังรูปที่ 2.4

Sequence: -1 -1 -1 -1 -1 -1 -1 10

For $r = 0$

$$x \begin{array}{cccccc} -1 & -1 & -1 & -1 & -1 & -1 & -1 \\ -1 & -1 & -1 & -1 & -1 & -1 & -1 \end{array} = 7 = R(r=0)$$

For $r = 1$

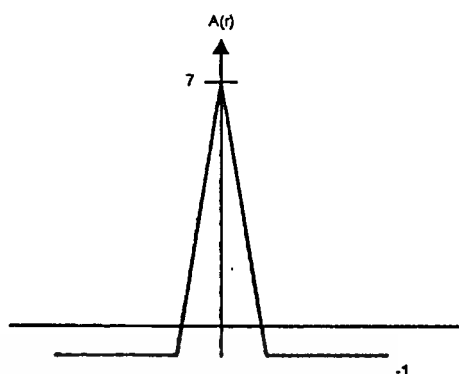
$$x \begin{array}{cccccc} -1 & -1 & -1 & -1 & -1 & -1 & -1 \\ -1 & -1 & -1 & -1 & -1 & -1 & -1 \end{array} = -1 = R(r=1)$$

For $r = 2$

$$x \begin{array}{cccccc} -1 & -1 & -1 & -1 & -1 & -1 & -1 \\ -1 & -1 & -1 & -1 & -1 & -1 & -1 \end{array} = -1 = R(r=2)$$

For $r = -1$

$$x \begin{array}{cccccc} -1 & -1 & -1 & -1 & -1 & -1 & -1 \\ -1 & -1 & -1 & -1 & -1 & -1 & -1 \end{array} = -1 = R(r=-1)$$



(a) Calculation of autocorrelation $R(r)$

(b) Plot of autocorrelation $R(r)$

รูปที่ 2.4 แสดงการคำนวณและรูป AUTOCORRELATION FUNCTION ของสัญญาณ PRBS n บิต

2.3.2 คุณสมบัติของสัญญาณกึ่งแรนดอม

1. จำนวน "1" ที่เกิดในซีแควนมากกว่า "0" อยู่เท่ากับหนึ่งหรือถ้าเรตมีความยาว $2^k - 1$ จะมี "1" อยู่เท่ากับ 2^{k-1} หรือถ้ามีจำนวนชิพรีจิสเตอร์แล้วประมาณได้ว่าโอกาสเกิดหนึ่งเท่ากับโอกาสที่เกิดศูนย์

2. จำนวนบิตติดกันสำหรับชิพรีจิสเตอร์ขนาด n สถานะแล้ว

จำนวนบิต 1 ติดกัน n บิตจะมี 1 ครั้งในซีแควน

จำนวนบิต 0 ติดกัน n-1 บิตจะมี 1 ครั้งในซีแควน

จำนวนบิต 0 และ 1 ติดกัน n-2 บิตจะมี 2 ครั้งในซีแควน

จำนวนบิต 0 และ 1 ติดกัน n-3 บิตจะมี 4 ครั้งในซีแควน

จำนวนบิต 0 และ 1 ติดกันสองครั้ง บิตจะมี 2^{n-4} บิตจะมี 2 ครั้งในซีแควน

จำนวนบิต และ 1 เป็นบิตเดี่ยวๆ จะมี 2^{n-3} ในซีแควน

3. ค่าออกสโตคอรี่เรชันสัญญาณจะมีค่าสูงสุดที่จุดศูนย์ และค่าสูงสุดทุกระยะชิพรีจิสเตอร์ของออโตคอรี่เรชัน จะมีค่าเท่ากับ $-1/2n-1$ ดังนั้นอาจจะกล่าวได้ว่า ถ้าหากสเตทของชิพรีจิสเตอร์หรือ n มีจำนวนมากๆ แล้วรหัสกึ่งแรนดัมก็จะมีแนวโน้มใกล้เคียงในความเป็นแรนดัม ดังนั้นความเข้มข้น ของสเปกตรัมกำลังของสัญญาณข้อมูลกึ่งแรนดัมสามารถหาได้จากทฤษฎีของวินเดอร์ ดินชิน ที่กล่าวว่าความเข้มข้นของสเปกตรัมกำลังเป็นฟูเรียร์ทรานฟอร์มของออโตคอรี่เรชันฟังก์ชัน

$$S(f) = \int_{-\infty}^{\infty} R_x(\tau) e^{-2\pi j f \tau} d\tau$$

และ

$$R_x = \int_{-\infty}^{\infty} S(f) e^{-2\pi j f \tau} df$$

โดยจากคุณสมบัติข้างต้นค่าออโตคอร์เรลชันของสัญญาณกึ่งแรนดัมแสดงได้ดังนี้

$$R(\tau) = A^2 [1 - (N+1)/N] |\tau| \quad |\tau| \leq T$$

A^2/N สำหรับช่วงเวลาที่เหลือ

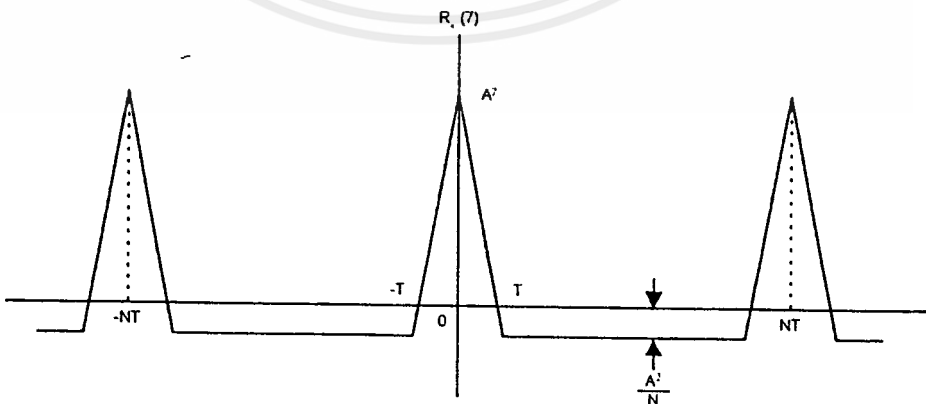
จากออโตคอร์เรลชันในสมการด้านบน สามารถหาความเข้มข้นของสเปกตรัมกำลังของสัญญาณข้อมูลแรนดัมได้โดยทำการใช้ฟูเรียร์ทรานฟอร์ม

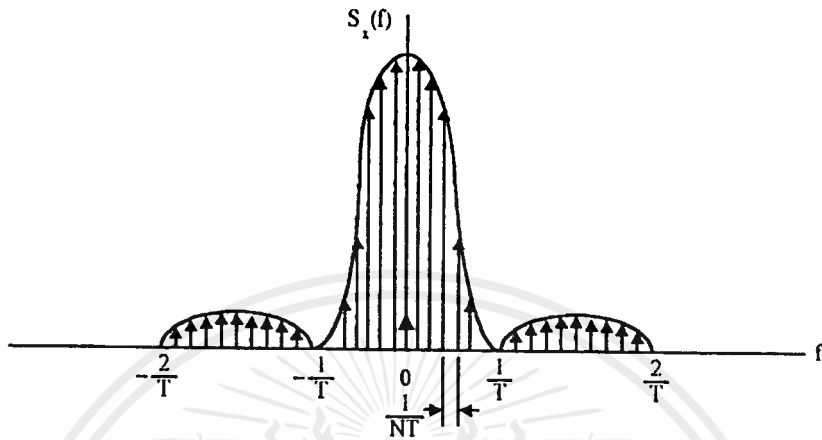
$$S_x(f) = \int_{-\infty}^{\infty} R(\tau) e^{-2\pi j f \tau} d\tau$$

ซึ่งจะได้

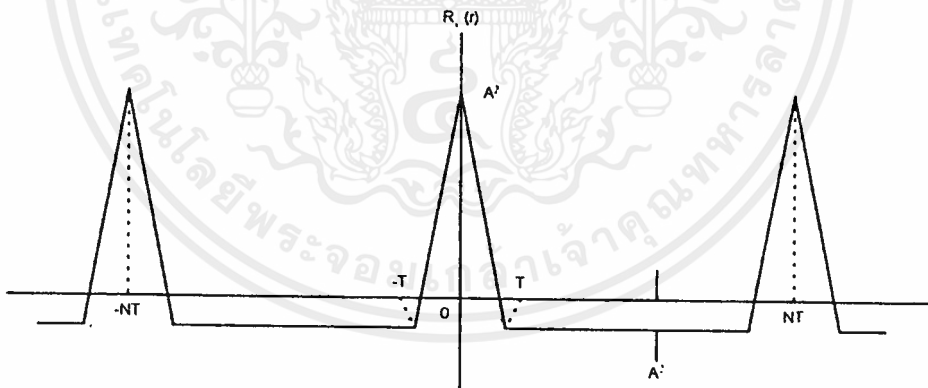
$$S_x(f) = (A^2/N) d(f) + (A^2/N^2)(1+N) \sum_{n=-\infty}^{\infty} \text{sinc}^2(n/N) d(f - n/NT)$$

จากสมการแสดงรูปความเข้มข้นสเปกตรัมกำลังได้ในรูปที่ 2.5 โดยไลน์สเปกตรัมเกิดขึ้นทุกๆ ระยะ $1/NT$ และจะมีเอนVELOPE ของไลน์สเปกตรัมเป็นฟังก์ชัน $[\text{SIN}(\pi f T / \pi f T)]^2$ โดยสเปกตรัมจะเท่ากับศูนย์ทุกๆ ระยะเท่ากับ $1/T$

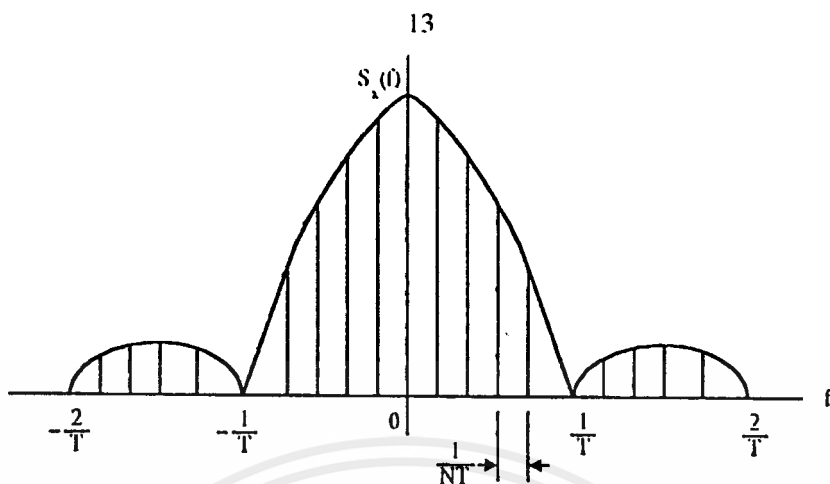




CHARACTERISTIC OF LINEAR MAXIMAL SEQUENCE. (A) AUTOCORRELATION FUNCTION (B) POWER SPECTRAL DENSITY.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงท่าอโคทอวีรชันและความเข้มของสเปกตรัมกำลังสัญญาณกึ่งแบนด์

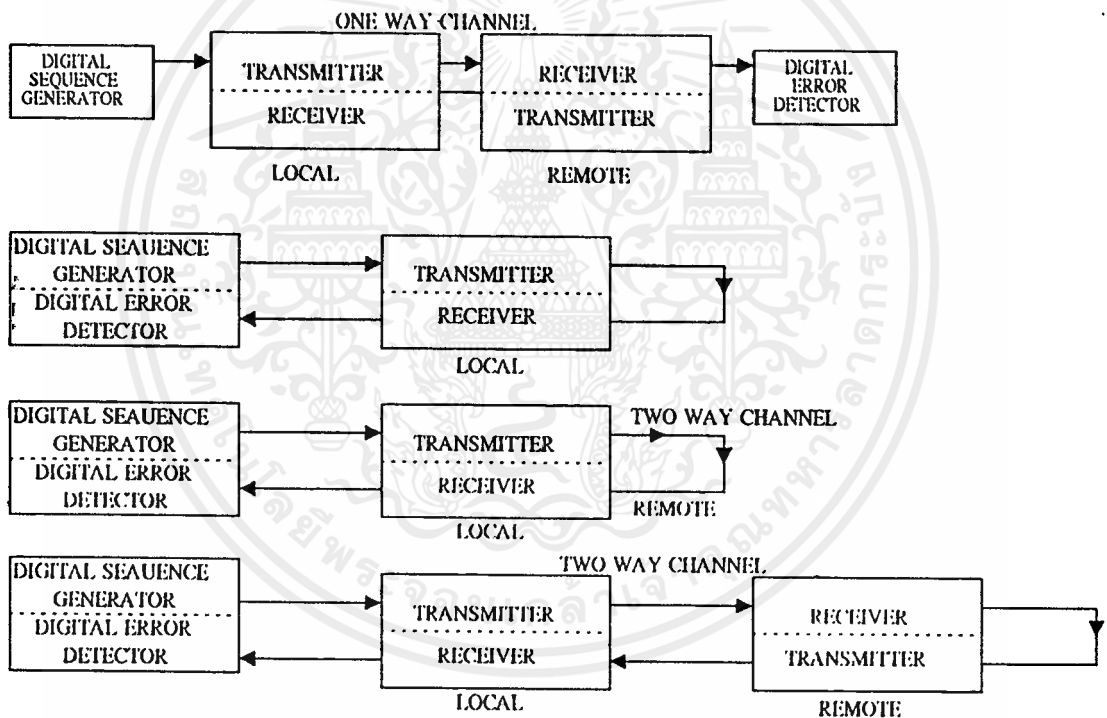
2.4 การตรวจสอบสัญญาณดิจิทัล (DIGITAL TEST SEQUENCES)

การตรวจสอบสัญญาณแบบดิจิทัล จะได้ผลการวัดออกมาในรูปจำนวนบิตผิดจำนวนบิตที่ส่งไปทั้งหมด หรือเรียกว่า BER (BIT ERROR RATE) สำหรับในระบบแล้วสามารถที่จะแบ่งออกเป็น การตรวจสอบในลักษณะต่างๆ กันได้ดังรูปที่ 1

ในแบบ (A) นั้น เป็นการตรวจสอบทั้งระบบแบบช่องสัญญาณทางเดียว ส่วน (B) เป็นการตรวจสอบภาคส่งและภาครับของชุดต้นทาง แบบ (C) เหมือนแบบ (B) เพิ่มการตรวจสอบช่องสัญญาณ (CHANNEL) เพิ่มขึ้นมา และแบบสุดท้ายคือแบบ (D) เป็นการตรวจสอบทั้งหมดคือเรียกว่าตรวจสอบทั้งระบบแบบช่องสัญญาณสองทาง นั่นคือการตรวจสอบชุดรับและส่งของทั้งต้นทางและปลายทาง และตรวจสอบช่องสัญญาณระหว่างต้นทางกับปลายทางด้วย

แต่จะสำคัญของการตรวจสอบก็คือ ชุดวัดอัตราความผิดพลาดซึ่งประกอบด้วย ชุดกำเนิดลำดับสัญญาณดิจิทัล (DIGITAL SEQUENCE GENERATOR) และชุดดีเทคความผิดพลาด (DIGITAL ERROR DETECTOR) ในทางปฏิบัติสามารถสร้างได้หลายวิธี เช่นในการตรวจสอบแบบสองทาง ชุดกำเนิดและชุดดีเทค จะอยู่ด้วยกันถ้ามีทหน่วงเวลา (DELAY) ในระบบน้อยกว่าความกว้างของหนึ่งบิตในสัญญาณที่จะใช้ตรวจสอบแล้วก็ไม่ใช่ ปัญหาเพราะสามารถเปรียบเทียบสัญญาณที่รับได้กับที่ได้ส่งออกไปเป็นความผิดพลาดได้ แต่ในการตรวจสอบแบบช่องสัญญาณทางเดียวนั้น ชุดกำเนิดต้องอยู่ต้นทาง และชุดดีเทคต้องอยู่ปลายทาง จึงเป็นปัญหาว่าทำ

อย่างไรที่ปลายทาง จึงจะทราบได้ว่า ข้อมูลที่ได้รับส่วนไหนเป็นข้อมูลจริง และส่วนไหนเป็นส่วนของความผิดพลาด ซึ่งตัวอย่างของวิธีการก็อาจทำได้โดยใช้หน่วยความจำบันทึกลำดับของสัญญาณ แล้วนำมาเปรียบเทียบเพื่อหาข้อผิดพลาดได้ แต่วิธีการนี้สิ้นเปลืองและเสียเวลา โดยทั่วๆ ไปแล้วจะใช้เวลาเทคโคโนยีสัญญาณแบบทั้งแวนพอมเพว เรกนูแวนกัซซองกัทว เทเวเกทท หนึ่งกับศูนย์ ไกด้เคียงกัน และมีรูปแบบการเกิดก่อนหลังของสัญญาณแน่นอนตายตัว ฉะนั้น เมื่อสามารถชิงโครไนซ์กับทางด้านรับได้แล้ว ก็สามารถเปรียบเทียบหาข้อผิดพลาดได้ ความยาวของสัญญาณที่นิยมใช้ก็มี 63, 511 และ 2047 ซึ่งก็ได้จากการรีจิสเตอร์แบบ 6 บิต , 9 บิต และ 11 บิตตามลำดับ



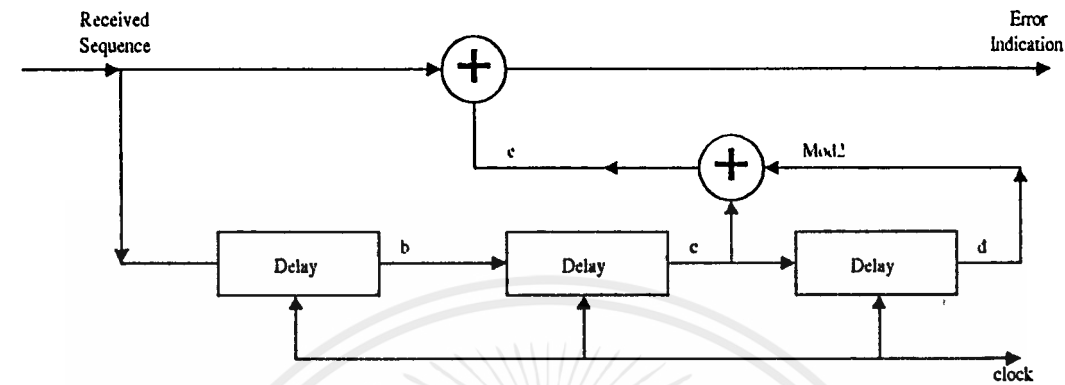
รูปที่ 2.7 แสดงหลักการชิงโครไนซ์เบื้องต้น

ถ้ารูปแบบดิจิทัลที่ส่งและการตรวจวัดการผิดพลาดที่รับได้ร่วมกัน (ต่อแบบป้อนกลับ) และเกิดการหน่วงเวลาตลอดช่องสัญญาณจะเล็กกว่าเวลาที่ส่งข้อมูลในระบบส่งแบบทิศทางเดียว การตรวจสอบและการวัดบนช่องสัญญาณจะแสดงการหน่วงเวลา อย่างไรก็ตามมันมักจะมีอิสระจากอนุกรมที่จะส่งและตรวจจับการผิดพลาด แหล่งกำเนิด 2 ตัวในการส่งและรับที่ต้องการชิงคร

(SYNC) ข้อมูลที่รับได้แบบฟอร์มที่แน่นอนในลำดับทดสอบ โดยเฉพาะรูปแบบ (PATTERN) ที่ยาวเป็นพันบิตนิยมใช้ชีพจรจิสเตอร์เครื่องมือในรูปที่ 2.8 ที่ภาครับเป็นออโต้ซิงค์ (AUTOSYNC) ในการเข้ารหัส (DECODE) ทำได้โดยป้อนข้อมูลที่ได้รับเข้าวงจรเข้ารหัส (DECODER) การทำงานแบบนี้จะแสดงผลการกู้ข้อมูลได้รวดเร็วจากการเสียของซิงค์ ถ้าสัญญาณถูกรบกวนไป 2-3 บิตทั้งบิตที่ความผิดพลาดและถูกต้องจะถูกเข้ารหัสด้วยการผิดพลาดแต่ละส่วนในด้านรับข้อมูล เป็นเหตุให้จำนวนของการวัดการผิดพลาดเกิดขึ้นในการแยกความผิดพลาดเดี่ยวๆ ออกจากระบบ การวัดความผิดพลาดเกิดขึ้นในการแยกความผิดพลาดเดี่ยวๆ ออกจากระบบ การวัดความผิดพลาดจะทำให้เมื่อเกิดการผิดพลาดจะแทปออฟ (TAPPED OFF) จากตัวเข้ารหัส ดังนั้น ถ้ามีเอ็กซ์แทป (X-TAPS) วงจรเข้ารหัสในแต่ละความผิดพลาดข้อมูลที่ได้รับจะให้ X นับจำนวนความผิดพลาด วงจรตรวจความผิดพลาดแสดงในรูป 2.9 เพื่อหลีกเลี่ยงปัญหาของการความผิดพลาดที่เกิดขึ้น โดยใช้วงจรเข้ารหัสเอาท์พุทในการแทนของข้อมูลที่เข้ามา อินพุทของวงจรเข้ารหัสการซิงค์ โดยการใช้ตัวทวิตเตอร์จิสเตอร์อินพุทกับรับเอาท์พุทในระหว่างที่ก่อนอธิบายออโต้ซิงค์ N เซลล์ (N-CELLS) ของรีจิสเตอร์จะโหลดด้วยข้อมูลที่ผิดพลาดสวิตช์จะผลักไปที่ขั้วอื่นและเอาท์พุทของวงจรเข้ารหัสป้อนกลับมาที่อินพุท ถ้าชีพจรจิสเตอร์โหลดข้อมูลที่มีความผิดพลาดในเวลานี้เอาท์พุทของวงจรเข้ารหัสจะซิงค์กับข้อมูลที่ได้รับและจะตรงโดยอนุกรมย่อย (SUB-SEQUENT) ความผิดพลาดในอนุกรมรับผลที่ได้จะเป็นต่อสัญญาณผิดพลาดอย่างไรก็ตามการเข้ารหัสจะไม่ซิงค์ใหม่ ถ้ามีการใส่หรือเอาออกจากอนุกรมรับในกรณีนี้จะเกิดขึ้นได้การทำงานของอุปกรณ์ตรวจสอบต้องใช้การโหลดด้วยมือและสวิตช์ซึ่งจะตรงข้ามกับแบบอัตโนมัติ (AUTOMATIC) การรีซิงค์ (RESYNC) จะไม่ต้องการระหว่างการทำงาน เมื่อเกิดความผิดพลาดอย่างมากมาในการทำงาน ในโหมดการทำงานด้วยมือ (MANUAL MODE) จะใช้ในการตรวจสั้นๆ ในการตรวจยาวๆ ต้องการความแน่นอนสูงจึงใช้โหมดการทำงานแบบอัตโนมัติ (AUTOMATIC MODE) หลายครั้ง การแสดงผลจะอธิบายเมื่อรวมกับประโยชน์ของโหมดธรรมดาและโหมดอัตโนมัติ การทำงานในการตรวจจับความผิดพลาดใช้ออโต้รีซิงค์ (AUTORESINC) เอาท์พุทเป็นรหัสของแผนภาพที่ผิดพลาด (ERROR PATTERN) ในการเข้ารหัสใช้วงจรรูป 2.10 เป็นไปได้ที่เกิดเปลี่ยนความผิดพลาด ในการถอดรหัสและทำให้เกิดแพทเทิร์นที่ผิดพลาดแทนที่ความผิดพลาดแพทเทิร์น ซึ่งเป็นข้อเสียของระบบความเร็วสูง เมื่อเพิ่มวงจรมันจะทำการรีซิงค์โดยอัตโนมัติในการตรวจจับความผิดพลาดในโหมดธรรมดา เครื่องมือที่ใช้ควรจะวัดได้แน่นอนในระดับ 2000 หรือมากกว่าการตรวจจับความผิดพลาดใน 10,000 บิตของข้อมูล

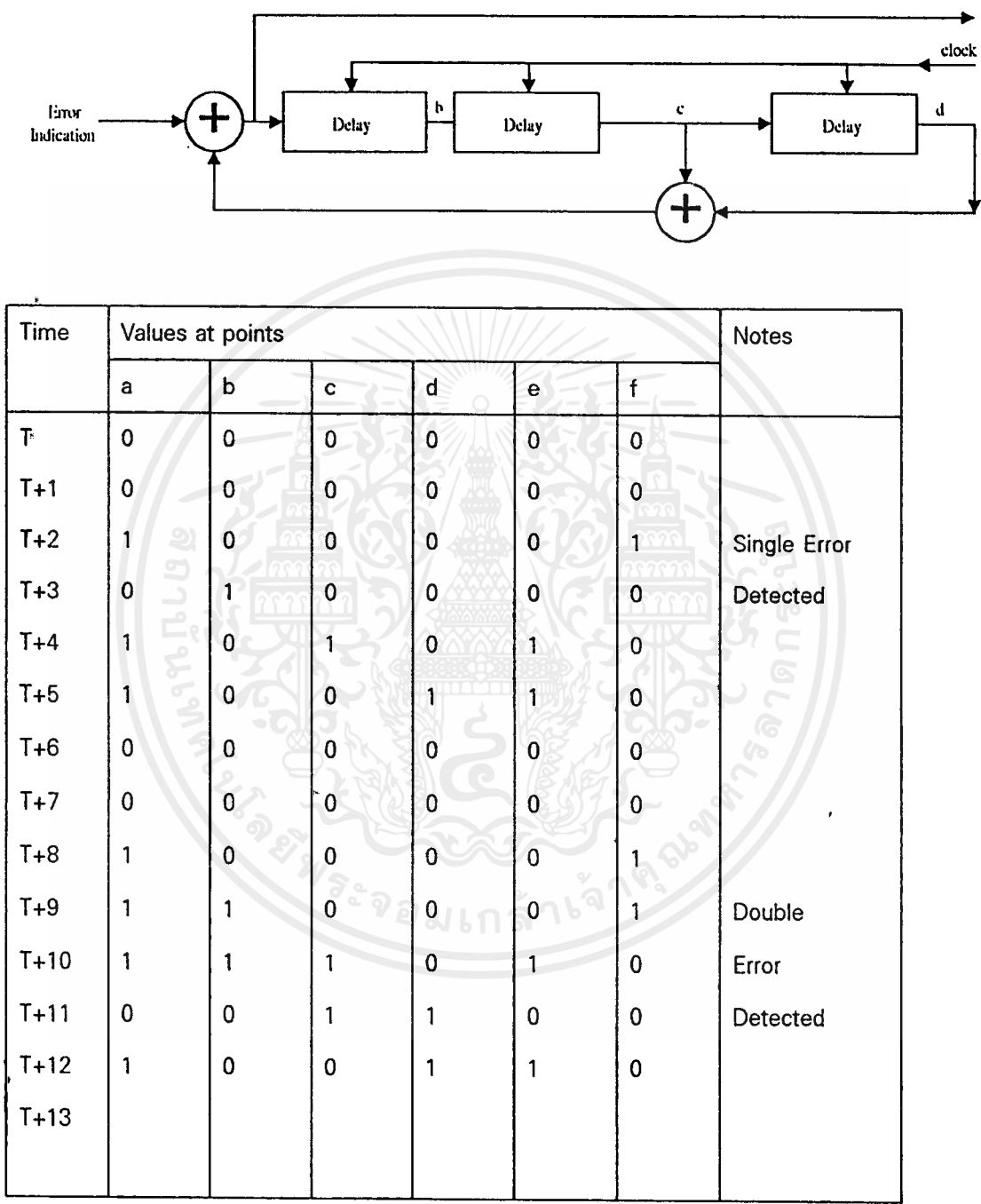
การนับจำนวนความผิดพลาด โดยอัตโนมัติการวิจัยจะประกอบด้วยค่าก่อนที่จะเสียซึ่งก็โดยจะถูกปิดบังไว้เมื่อรีจิสเตอร์โหลดซึ่งเป็นผลที่ผิด เมื่ออัตราความผิดพลาดที่สูงมากๆ แน่แน่นอนจะต้องระวังในการเข้าใจผิดในการทำงานนับความผิดพลาด ข้อมูลที่แสดงการคาดคะเนของอัตราความผิดพลาดของอนุกรมทดสอบดิจิทัลจะส่งสำหรับระยะที่ยาว ในการตรวจนับจำนวนการนับจำนวนความผิดพลาด โดยอัตโนมัติการวิจัยจะปรสูงสุดของการผิดพลาดในรูปจะให้ข้อมูลเกี่ยวกับจำนวนของการนับบิตที่ผิดพลาด และจำนวนของบิตที่ถูกได้ในเวลาระหว่างการที่เกิดผิดพลาด การวัดย่านที่ผิดพลาดนี้สามารถยกเว้นได้ในระดับที่เมื่อจำนวนของความผิดพลาดเพิ่มขึ้นและย่านที่เชื่อถือได้ลดลงอย่างรวดเร็ว

การแสดงผลโดยใช้ลำดับทดสอบดิจิทัลสามารถ ตรวจนับความผิดพลาดได้เร็วและถูกต้อง ถ้าการผิดพลาดต่ำมันจะต้องการเวลามากที่จะได้ผลการวัดในการวัดจะอธิบายในการตรวจสอบเวลาโดยนับจำนวนของการผิดพลาดและจำนวนบิตที่รับได้จนกระทั่งเพียงพอรูป และตารางที่ให้อยู่ยอมให้อ้างอิงได้ในระหว่างที่พบในแต่ละส่วน เราจึงได้นำวงจรแบบกึ่งอัตโนมัติมาใช้

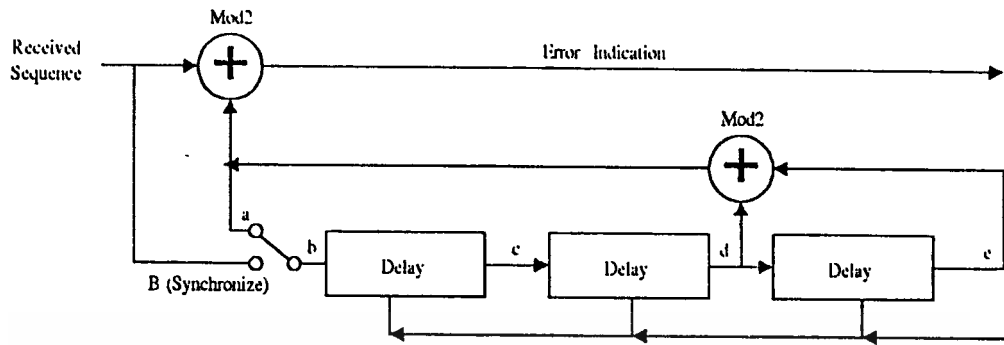


Time	Values at points						Notes
	input a	b	c	d	e	error f	
0	0	0	0	0	0	0	Time to Load Shift Register
1	0	0	0	0	0	0	
2	1	0	0	0	0	1	
3	0	1	0	0	0	0	Error Detected
4	1	0	1	0	1	0	
5	1	1	0	1	1	0	
6	0	1	1	0	1	1	Error Multiply
7	0	0	1	1	0	0	
8	0	0	0	1	1	1	
9	1	0	0	0	0	1	
10	0	1	0	0	0	0	
11	1	0	1	0	1	0	
12	1	1	0	1	1	0	

รูปที่ 2.8 แสดงตัวอย่างของตัวแยกความผิดพลาดแบบอัตโนมัติ



รูปที่ 2.9 แสดงตัวอย่างของวงจรแยกความผิดพลาดแบบซึ่งโครนัสธรรมดา



Time	Switch Position	Input	Values Points						Error	Notes
			a	b	c	d	e	f		
0	B	0	0	0	0	0	0	0	0	Time to Load Shift Register
1	B	0	0	0	0	0	0	0	0	
2	B	1	1	0	0	0	0	0	1	
3	B	0	0	1	0	0	0	0	0	Error Detected
4	A	1	1	0	1	0	1	1	0	
5	A	1	1	1	0	1	1	1	0	
6	A	0	1	1	1	0	1	1	1	
7	A	0	0	1	1	1	0	0	0	
8	A	0	0	0	1	1	0	0	0	
9	A	1	1	0	0	1	1	1	0	
10	A	0	0	1	0	0	0	0	0	
11	A	1	1	0	1	0	1	1	0	
12	A	0	1	1	0	1	1	1	1	
13	A	1	1	1	1	0	1	1	1	Bit Slip Causing Lossing Synchronism
14	A	1	0	1	1	1	0	1	1	
15	A	1	0	0	1	1	0	1	1	
16	A	0	1	0	0	1	1	1	1	

เหตุผลในการใช้การดีเทคแบบนี้คือ

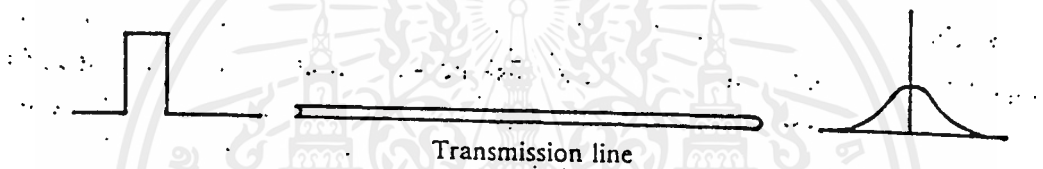
1. โดยทั่วไปแล้วบิทผิดที่เกิดในระบบจะไม่มากนัก ทำให้มีช่วงเวลาเพียงพอที่จะบรรจุนิรจิตเตอร์ได้ครบจำนวน และไม่มีบิทผิดปนเข้ามาอยู่ในนิรจิตเตอร์ของเรา เพราะถ้ามีแล้วลำดับของชุดรับจะไม่ตรงกับด้านส่ง และเมื่อเกิดการเปรียบเทียบกันแล้ว จากคุณสมบัติของสัญญาณกึ่งแรนคอมมันน์ ลำดับสองลำดับเปรียบเทียบกันโดยใช้การบวกแบบมอดุโล 2 แล้วจะได้ลำดับอีกลำดับหนึ่งเกิดขึ้นมา เพราะฉะนั้นบิทผิดที่ดีเทคได้จะออกมาเป็นสัญญาณกึ่งแรนคอมมันน์จำนวนบิต 1 เท่ากับ 0 ใกล้เคียงกัน นั่นคือจะเกิดอัตราความผิดพลาดเกือบ 50% ทำให้ทราบได้ว่าขณะนี้วงจรของเราเกิดการไม่ซิงโครไนซ์ขึ้นแล้ว ทำให้เราสามารถตรวจจับและทำการซิงโครไนซ์ขึ้นใหม่ โดยการสับสวิตช์ลงมาที่ตำแหน่ง B เป็นเวลานานพอที่บรรจุนิรจิตเตอร์ได้ครบจำนวน และเมื่อสับสวิตช์ขึ้นไปอยู่ที่ A แล้ว บิทผิดที่ดีเทคได้ออกน้อย ตามธรรมชาติก็คือการซิงโครไนซ์แล้วนั่นเอง แต่ในการทดลองจริงๆ อิมพัลส์ที่เกิดจากไฟบ้าน (ACLINE) ก็ยังสามารถทำให้เกิดการรบกวนจนหลุดซิงค์อีกจนได้ แต่เราชุดตรวจจับบิทผิดแบบกึ่งแรนคอมมันน์ ทำให้เราสามารถรู้เวลาที่จะต้องทำการซิงโครไนซ์ใหม่ เพราะเมื่อมีอิมพัลส์จากไฟบ้านโดยเกิดจากการถอดหรือเสียบปลั๊กใกล้ๆ วงจร แล้วอิมพัลส์ก็จะไปทำให้ลำดับของชุดส่งและรับไม่ตรงกันแล้ว เราสามารถทำการซิงโครไนซ์ใหม่ได้ โดยการใช้เวลาเพียงเสี้ยววินาที เพราะการส่งจริงๆ ใช้บิตเรตสูงทำให้ไม่เป็นปัญหาสำหรับเรา
2. เมื่อทำการทดลองป้อนสัญญาณรบกวนเข้าไปแล้วสามารถดีเทคได้จริง
3. วงจรแบบนี้ประหยัดและสามารถดีเทคได้ทันทีเมื่อเริ่มใช้งาน ไม่จำเป็นต้องการรีเซ็ตระบบ

2.5 การส่งผ่านสัญญาณดิจิตอลแบบเบสแบนด์

การส่งผ่านสัญญาณดิจิตอลแบบเบสแบนด์นั้น เป็นวิธีที่ใช้ในระบบ PCM โดยทั่วไป นอกจากนั้นยังใช้ในระบบข่ายวงจรท้องถิ่น (Local area network) และในงานสื่อสารข้อมูลระยะใกล้แบบอื่น ๆ เนื่องจากสัญญาณดิจิตอลสามารถที่เหมาะสมเพื่อให้การส่งและการรับสัญญาณเป็นไปได้ด้วยดี มีอัตราการผิดพลาดต่ำ ในขั้นแรกจะกล่าวถึงโครงสร้างและความต้องการของระบบ จากนั้นจะกล่าวถึงรูปแบบและลักษณะเฉพาะของสัญญาณดิจิตอลแต่ละแบบ การผิดเพี้ยนที่เกิดขึ้นในการส่งและผลกระทบของการผิดเพี้ยน และผลกระทบของสัญญาณรบกวนที่มีต่ออัตราการผิดพลาดของข้อมูลที่รับได้

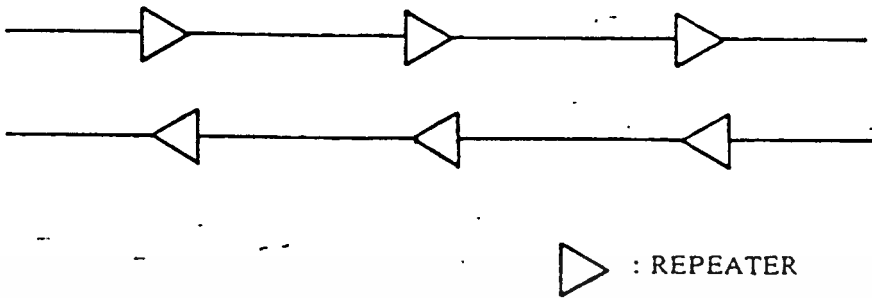
2.5.1 โครงสร้างและความต้องการของระบบส่งผ่านสัญญาณดิจิทัลแบบเบสแบนด์

ในระบบ PCM ที่ส่งผ่านสัญญาณดิจิทัลไปตามดิจิทัลไปตามสายนำสัญญาณที่ทำด้วยโลหะ เช่น สายคู่ตีเกลียวและสายโคแอกเชียล เป็นต้น สัญญาณดิจิทัลที่ถูกส่งออกไปนั้นจะเป็นสัญญาณดิจิทัลแบบเบสแบนด์โดยไม่ทำการมอดูเลตกับคลื่นพาห์ ซึ่งอาจกล่าวได้ว่าเป็นระบบที่ง่ายเพราะไม่ต้องใช้อุปกรณ์ด้านถี่สูง อย่างไรก็ตามสายนำสัญญาณนั้นมักจะมีการตอบสนองต่อความถี่ไม่สม่ำเสมอทำให้สัญญาณดิจิทัลที่ส่งผ่านไปค่อย ๆ ผิดเพี้ยนไปทั้งเชิงขนาดและเชิงเวลาหน่วง ผลที่เกิดขึ้นก็คือ เมื่อทำการส่งสัญญาณพัลส์ที่เหลื่อมออกไปสัญญาณนั้นก็ค่อย ๆ ผิดเพี้ยนโดยลู่กว้างออก



รูปที่ 2.11 การลู่กว้างออกของสัญญาณพัลส์ที่เหลื่อมเมื่อส่งไปตามสายนำสัญญาณ

กล่าวคือ ช่วงกว้างของพัลส์จะเพิ่มมากขึ้นและระดับสูงสุดของพัลส์จะลดต่ำลง การผิดเพี้ยนที่เกิดขึ้นนี้จะทำให้เกิดปัญหาหลัก 2 ประการ คือ ทางของพัลส์ตัวที่ส่งเกิดอยู่นี้จะเข้าไปรบกวนพัลส์ตัวที่อยู่ถัดไปได้ซึ่งเราเรียกการรบกวนนี้ว่าการรบกวนระหว่างสัญลักษณ์ (intersymbol interference ย่อว่า ISI) และขนาดของพัลส์เมื่อลู่เล็กลงก็จะถูกรบกวนจากสัญญาณรบกวนแบบเกาส์เซียนได้ง่าย ดังนั้นในระบบส่งสัญญาณ PCM โดยทั่วไปจึงต้องติดตั้งเครื่องทวนสัญญาณไว้ระหว่างทางเพื่อทำการรีเทคและสร้างสัญญาณดิจิทัลชุดเดิมขึ้นมาใหม่ก่อนที่จะส่งสัญญาณนั้นจะมีการผิดเพี้ยนมากจนทำให้การตีเทคสัญญาณมีอัตราการผลิตสูง ในรูป 2.12 แสดงลักษณะของระบบ PCM ที่ติดตั้งเครื่องทวนสัญญาณไว้ระหว่างทาง



รูปที่ 2.12 ระบบ PCM ที่ติดตั้งเครื่องทวนสัญญาณไว้ระหว่างทาง

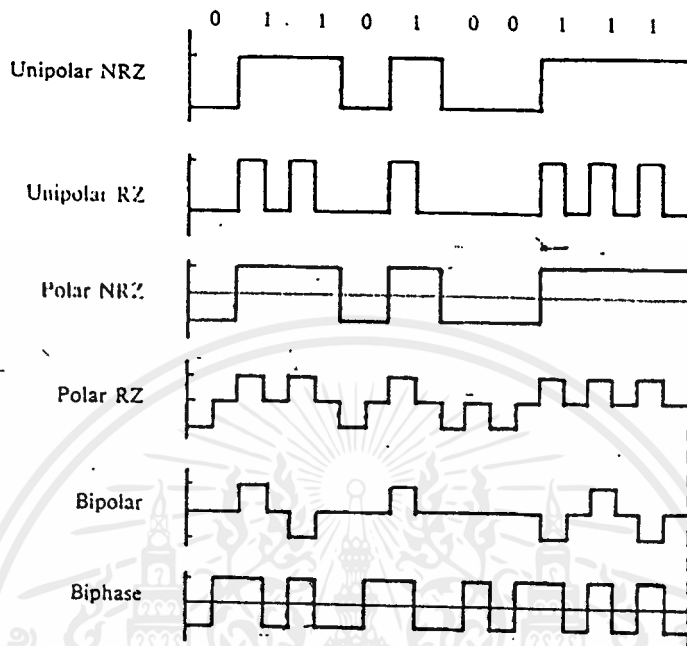
ในการตีเทคสัญญาณนั้น ส่วนใหญ่จะใช้วิธีเปรียบเทียบระดับสัญญาณที่เข้ามากับระดับสัญญาณเทรซโฮลด์ โดยที่ถ้าระดับสัญญาณที่เข้ามาสูงกว่าก็ให้เป็น “1” ถ้าระดับสัญญาณที่เข้ามาต่ำกว่าก็ให้เป็น “0” ดังนั้นสิ่งที่สำคัญอย่างขยดก็คือ จังหวะหรือไทมิง (timing) ของการเปรียบเทียบ และไทมิงที่เหมาะสมที่สุดก็คือตำแหน่งที่ขนาดของพัลส์สูงที่สุด นั่นคือ เมื่อพิจารณาจากเครื่องตีเทค

สัญญาณแล้วก็จะต้องการสัญญาณไทมิงหรือสัญญาณนาฬิกา จากสัญญาณที่เข้ามาเพื่อให้สัญญาณนาฬิกาท้องถิ่นสามารถ ซิงโครไนซ์กับสัญญาณนาฬิกาของสัญญาณที่เข้ามาอยู่เสมอ เพราะฉะนั้นสัญญาณ PCM ที่ส่งออกมาจึงต้องมีข่าวสารของสัญญาณนาฬิกาเ็นอย่างเพียงพอ ลักษณะที่กล่าวมานี้เราเรียกว่าการส่งและรับข้อมูลแบบซิงโครนัส (synchronous transmission)

นอกจากข่าวสารของสัญญาณนาฬิกาดังกล่าวข้างต้นแล้ว สัญญาณดิจิทัลที่ส่งออกมาควรจะมีคุณสมบัติดังนี้คือ มีแบนด์วิดท์ที่ย่อมเยาก็ยิ่งดี เพราะการมีแบนด์วิดท์แคบจะทำให้มีการผิดเพี้ยนน้อยลงและสัญญาณรบกวนต่ำ มีกำลังไฟฟ้าที่ต้องการยิ่งต่ำก็ยิ่งดี และควรจะไม่มีส่วนประกอบกระแสตรงเพื่อไม่ไปสร้างปัญหาให้กับวงจรเปรียบเทียบระดับสัญญาณที่ภาครับ-ปัญหาดังกล่าวก็คือ การเลื่อนขึ้นลงของระดับสัญญาณตามความมากน้อยของสัญญาณ “0” หรือ “1” ที่เข้ามาซึ่งเรียกว่าการเลื่อนระดับของกระแสตรง (DC wander)

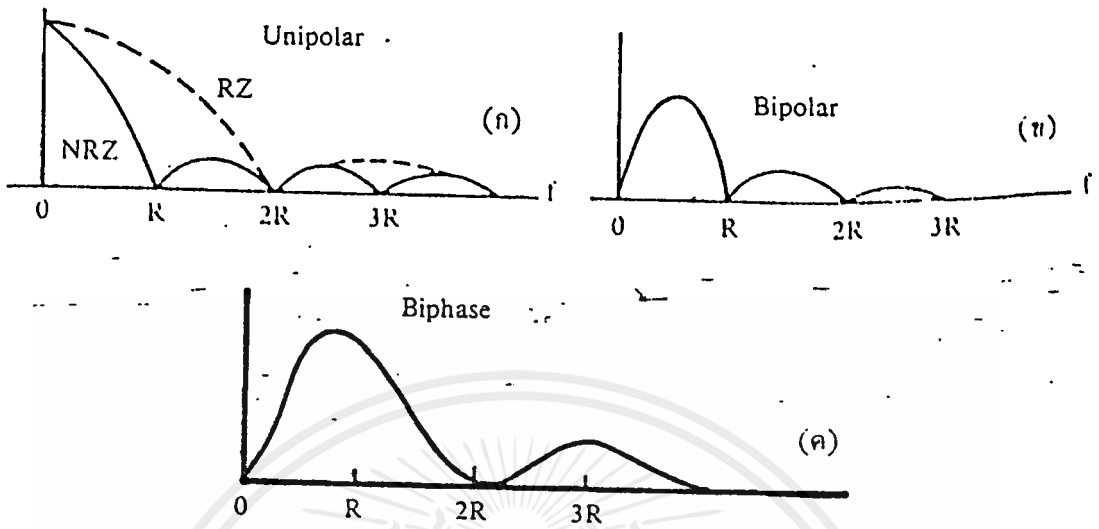
2.5.2 รูปร่างและลักษณะพิเศษของสัญญาณดิจิทัลแบบ 1 สัญญาณลัษณ์คือ 1 บิต

เนื่องจากโลโก้คิตติ้งที่ใช้กันทั่วไปโดยเฉพาะในระบบ PCM เป็นแบบใช้ 1 สัญญาณลัษณ์แทน 1 บิต ดังนั้นจะขอกล่าวถึงรายละเอียดในส่วนนี้เพิ่มเติมดังนี้ ในโลโก้คิตติ้งแบบใช้ 1 สัญญาณลัษณ์แทน 1 บิตนี้ ก็ยังแบ่งออกได้เป็นแบบที่ใช้ระดับสัญญาณ 2 ระดับ กับแบบที่ใช้สัญญาณ 3 ระดับดังรูปที่ 2.13



รูปที่ 2.13 ตัวอย่างไลน์โค้ดดิ้งที่ใช้ในระบบส่งสัญญาณดิจิทัลแบบเบสแบนด์
ตัวอย่างไลน์โค้ดดิ้งที่มีที่ใช้ทั่วไปในระบบส่งสัญญาณดิจิทัลแบบเบสแบนด์ แบบที่ใช้สัญญาณ 3 ระดับ นั้น ได้แก่ แบบไบโพลาร์ (bipolar) ซึ่งสัญญาณ “1” ที่อยู่ติดกันจะมีช่วงตรงข้ามเสมอ บางครั้งจึงถูกเรียกว่าแบบ AMI (Alternate mark inversion) ไลน์โค้ดดิ้งแบบนี้เป็นแบบที่ใช้กันมากที่สุดในระบบ PCM โดยใช้สัญญาณไบโพลาร์ที่มีอัตราส่วน 50%

จากรูปร่างของสัญญาณตามรูปที่ 2.13 นี้ เมื่อทำการวิเคราะห์ตามหลักการของสัญญาณ แรนด้อมโดยใช้สมมุติฐานที่สัญญาณ “1” และ “0” มีพหุคูณบิตที่ต่อเนื่องกันได้เท่า ๆ กัน ผลที่ได้จะเป็นตามที่แสดงไว้ในรูปที่ 2.14 จากรูปของสเปกตรัมก็พอจะเปรียบเทียบอย่างคร่าว ๆ ได้ว่า สัญญาณแบบไหนต้องการแบนด์วิดท์ที่กว้างกว่าและมีส่วนประกอบกระแสดตรงและความถี่ต่ำแตกต่างกันอย่างไร และเมื่อพิจารณาจากความต้องการของระบบที่กล่าวไว้แล้วก็จะเห็นได้ชัดว่า สัญญาณแบบไหนที่เหมาะสมและไม่เหมาะสมที่จะใช้กับระบบ PCM ตารางที่ 2.3 แสดงการเปรียบเทียบไลน์โค้ดดิ้งแบบต่าง ๆ โดยใช้กับระบบ PCM จากตารางแสดงการเปรียบเทียบไลน์โค้ดดิ้งแบบต่าง ๆ โดยใช้หลักเกณฑ์ ที่กล่าวไว้แล้ว ซึ่งจะเห็นได้ว่าสัญญาณไบโพลาร์เป็นแบบที่เหมาะสมที่สุด



2.14 พูเรียร์สเปกตรัมของสัญญาณดิจิทัลที่มีไลน์โค้ดดิ้งแบบต่างรูปที่

ตารางที่ 2.3 แสดงการเปรียบเทียบลักษณะเฉพาะของไลน์โค้ดดิ้งแบบต่าง ๆ

ชนิดของไลน์ โค้ดดิ้ง -	ข่าวสารของ สัญญาณนาฬิกา	แบนด์วิดท์ ที่ต้องการ	ส่วนประกอบ กระแสตรง	กำลังไฟฟ้า ที่ต้องการ
ยูนิโพลาร์ NRZ	น้อย	ต่ำ	สูง	สูง
ยูนิโพลาร์ NRZ	น้อย	สูง	สูง	สูง
โพลาร์ NRZ	น้อย	ต่ำ	ปานกลาง	ปานกลาง
โพลาร์ NRZ	น้อย	สูง	ปานกลาง	ปานกลาง
ไบเฟส	มาก	ปานกลาง	ไม่มี	ปานกลาง
ไบโพลาร์	มาก	ปานกลาง	ไม่มี	ต่ำ

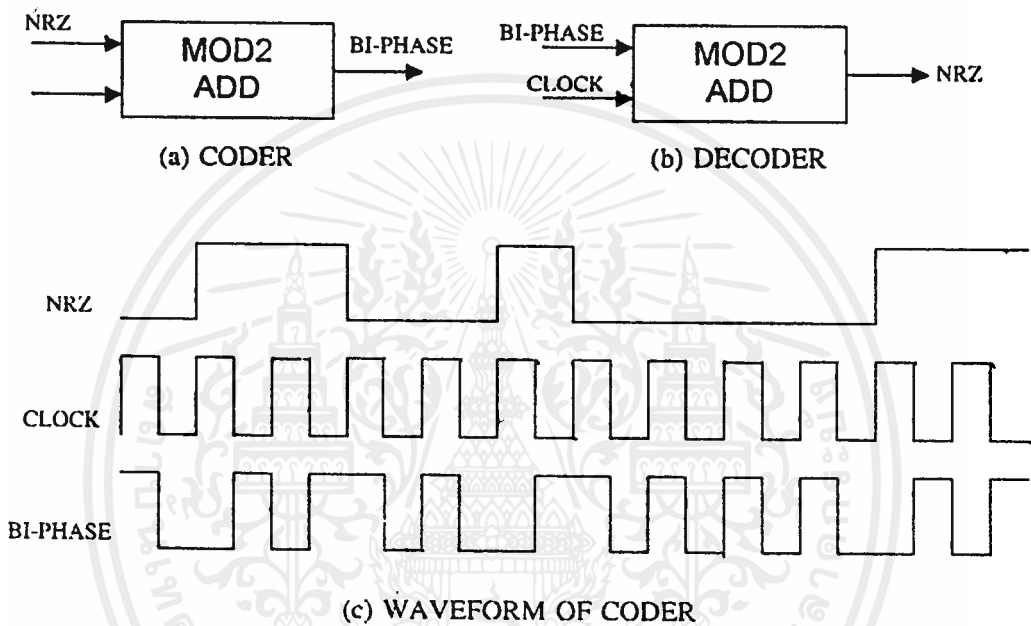
ใน PROJECT นี้ เราได้สร้างสัญญาณ BASEBAND ต่าง ๆ ดังในรายละเอียดต่อไปนี้

BIPHASE

สัญญาณ BIPHASE มีชื่อเรียกได้อีกอย่างหนึ่ง คือ Manchester or Diphase ซึ่งเป็นรหัสที่มี 2 ระดับ คือ $+V$ และ 0 เทียบเท่ากับ $-V$ จากรูปบล็อกและสัญญาณ Waveform ข้างล่าง จะเห็นว่า สัญญาณ BIPHASE เกิดขึ้นได้จะต้องนำเอาสัญญาณ NRZ มา MOD2 ADD หรือ

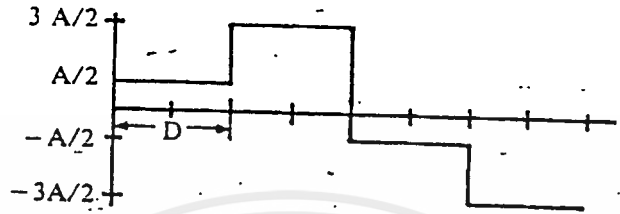
EXCLUSIVE หรือ มากระทำกันจึงจะได้สัญญาณ BIPHASE ออกมาดังรูป (a) โดยสัญญาณ BIPHASE จะเปลี่ยนแปลงทุก ๆ ที่มีการเปลี่ยนแปลงของ ส. NRZ

ส่วนภาครับนั้นในรูป (b) นั้น จะเป็นการเปลี่ยนสัญญาณ BIPHASE ให้เป็น NRZ เหมือนเดิมโดยการนำ BIPHASE มา MOD2 ADD กับ CLOCK ก็จะได้ NRZ ตามต้องการ



MULTILEVEL

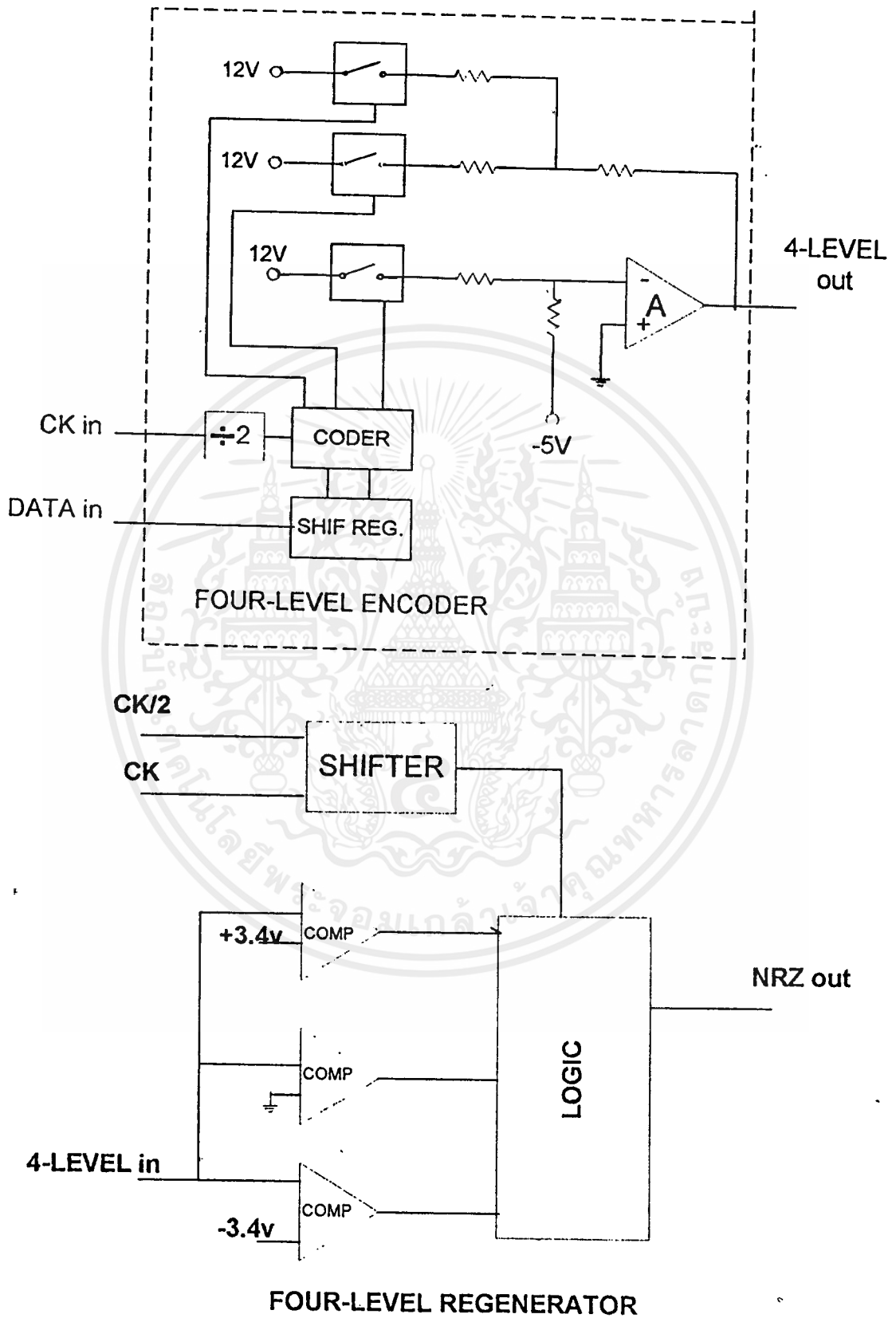
การสร้างสัญญาณดิจิทัลเพื่อที่จะทำการส่งออกทางสายนำสัญญาณในระบบเบสแบนด์นี้ โดยทั่วไปเรียกว่า ไลน์โค้ดดิ้ง (line coding) การทำไลน์โค้ดดิ้งอาจแบ่งกว้าง ๆ ออกเป็น 2 แบบ หัวข้อถึง แบบที่ใช้ 1 สัญลักษณ์ ต่อ 1 บิต และแบบที่ใช้สัญญาณหลายชนิด กล่าวสัญญาณ (symbol) ที่ใช้ในระบบสื่อสารแบบดิจิทัลนั้น หมายถึง สัญญาณที่มีค่าคงที่ ในช่วงเวลาช่วงหนึ่ง และอัตราการเปลี่ยนแปลงของสัญญาณนี้จะถูกเรียกว่า “บอดเรท” (baud rate) ในกรณีที่ใช้ 1 สัญลักษณ์ต่อ 1 บิตนั้น บอดเรทนี้อาจจะเท่ากับอัตราข้อมูลหรือบิตเรท (bit rate) ได้ แต่ถ้า ไลน์โค้ดดิ้งนั้น ใช้ 1 สัญลักษณ์ต่อหลายบิต บอดเรทจะต่ำกว่าบิตเรทเสมอ ในกรณีที่ใช้ 1 สัญลักษณ์ต่อหลายบิตนั้นจะระดับของสัญญาณหลายระดับ รูปนี้จะแสดงตัวอย่างของสัญญาณดิจิทัลแบบ 4 ระดับ ซึ่งจะสามารถใช้แต่ละ



รูปที่ 2.15 ไลน์โค้ดดิ้งแบบสัญญาณ 4 ระดับ

สัญลักษณ์แทนสัญญาณไบนารีได้ 2 บิต โดยทั่วไปถ้าใช้สัญญาณที่มี L ระดับก็จะแทนสัญญาณไบนารีได้เท่ากับ $\log_2(L)$ บิต และถ้าให้ D เป็นช่วงกว้างของแต่ละสัญลักษณ์ บอดเรทก็จะเป็น $1/D$ และความสัมพันธ์ระหว่างบิตเรท R_b กับบอดเรทจะเขียนได้เป็น $R_b = 1/D \log_2(L)$ โดยที่ R เป็นบอดเรทไลน์โค้ดดิ้งแบบที่ใช้ 1 สัญลักษณ์แทนหลายบิตนั้นในระบบโทรศัพท์ที่ส่งแบบ PCM จะไม่สู้มีที่ใช้นักนัก แต่ในระยะหลังนี้ CCITT ได้กำหนดให้ใช้สัญญาณประเภทนี้ในระบบ ISDN (Integrated Services Digital Network) ในช่วงของบ้านผู้เช่าทั่วไปกับชุมสายโทรศัพท์และสัญญาณนั้นคือ 2B1Q (2 - binary 1 - quaternary) ซึ่งเป็นการใช้ 1 สัญลักษณ์แทน 2 บิต ดังรูปที่ 2.15 เป็นตัวอย่างข้างต้นของสัญญาณ 2B1Q นี้

จากรูปที่ 2.16(a) เป็นบล็อกวงจร four-level encoder ทางด้านภาคส่ง ส่วนรูป 2.16(b) เป็นบล็อกวงจร four-level decoder ที่ใช้ในภาครับ



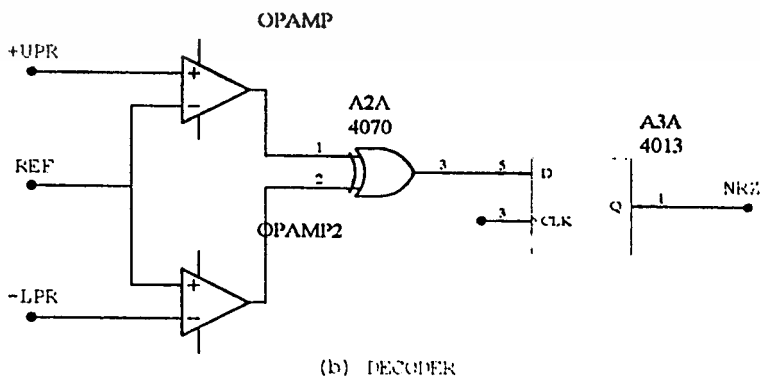
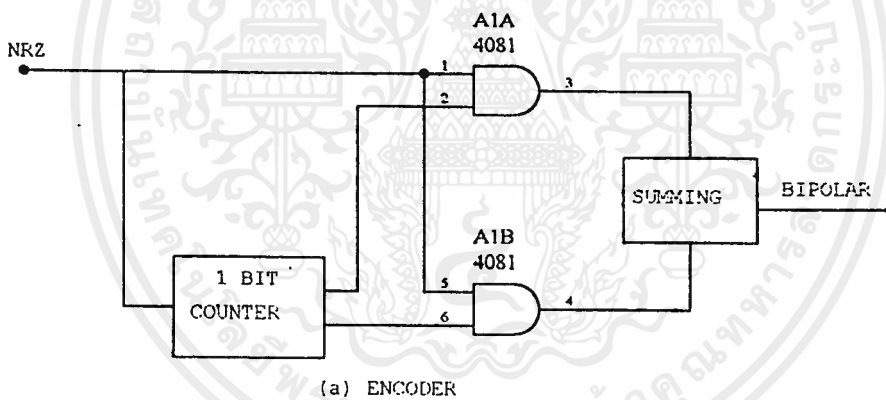
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

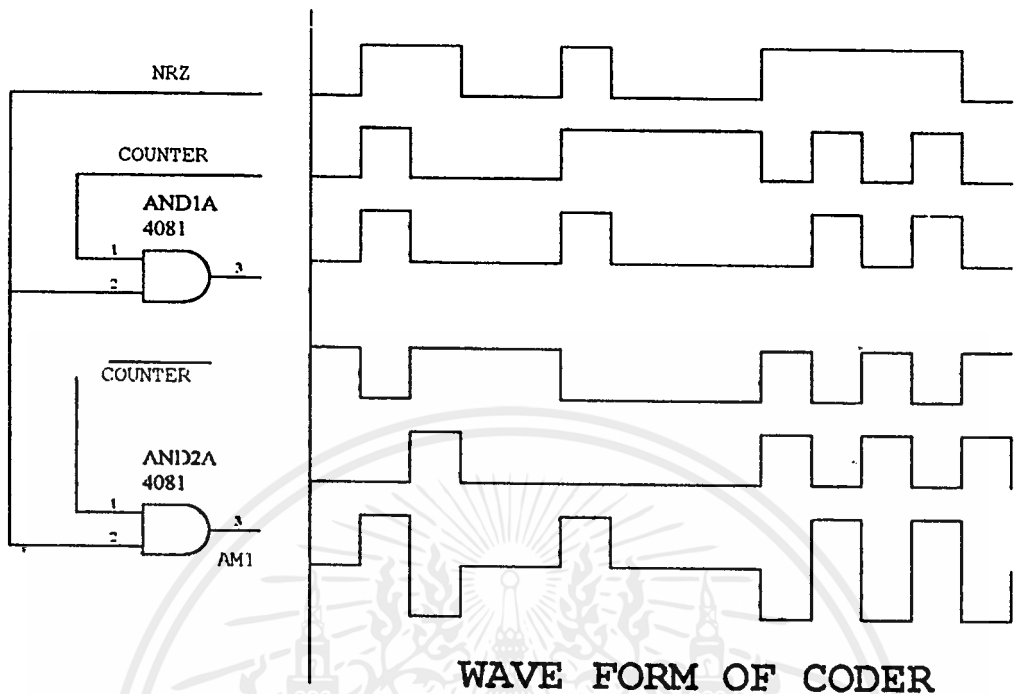
Bipolar or Alternate Mark Inversion (AMI)

สัญญาณ Bipolar หรือ AMI เป็นสัญญาณดิจิทัลแบบหนึ่งที่ใช้ในการส่งข้อมูลโดยสัญญาณ AMI นั้นจะมีระดับสัญญาณถึงระดับ คือ level "0" และ level $+v$ ซึ่งจะเป็น level "0" ก็ต่อเมื่อ เป็นลอจิก "0" และ level $+v$ นั้นจะสลับระดับ $+v$ กับ $-v$ ไปมา ก็ต่อเมื่อข้อมูลที่ป้อนเข้ามาเป็นทุก ๆ ลอจิก "1"

จากรูป (a) เป็นบล็อกไดอะแกรมในการผลิตสัญญาณ Bipolar โดยที่สัญญาณ Bipolar ที่ผลิตนั้นจะผลิตจากสัญญาณ NRZ ที่ป้อนเข้ามา โดยจะใช้วงจรนับ 1 บิต เป็นตัวควบคุมแอนท์เกตให้สัญญาณที่ออกมาของแอนท์เกตแต่ละตัวจะแยกคนละบิตเฉพาะลอจิก "1" ของ I/P ที่ป้อนเข้ามาสลับกันแล้วเอาสัญญาณที่ได้มาเข้าวงจรรวมสัญญาณก็จะได้สัญญาณ BIPOLAR

จากรูป (b) เป็นบล็อกไดอะแกรมของการถอดรหัสของ AMI ให้ได้สัญญาณ NRZ โดยจะใช้วงจร COMPARATOR เป็นตัวเปรียบเทียบแล้วจะใช้ EX-OR และ D-FLIP-FLOP เข้ามาช่วยด้วย





2.8 รหัสการส่งสัญญาณตามสาย (Line Transmission Code)

การส่งสัญญาณ PCM ในรูปของไบนารีพัลส์จะมีข้อเสียบางประการอย่างเช่น ถ้าพัลส์นั้นมีแต่ “0” และ “-” จะมีองค์ประกอบความถี่ต่ำซึ่งอาจเป็นสาเหตุของการรบกวนสายส่งคู่อื่น ๆ ในเคเบิลเดียวกันได้ นอกจากนั้นสัญญาณไบนารีเหล่านั้นยังมี DC ปนอยู่ด้วยจึงไม่เป็นสิ่งที่เหมาะสมด้วยเหตุผลดังกล่าวก่อนที่จะส่งสัญญาณพัลส์ออกไปยังสายส่ง จะสร้างรหัสของพัลส์ขึ้นใหม่จากสัญญาณ PCM เดิม ซึ่งสัญญาณนี้จะถูกเปลี่ยนเป็นสัญญาณ PCM เดิมที่อินพุตของอุปกรณ์ทางด้านรับอย่างไรก็ตามเหตุผลที่ต้องทำการรหัสใหม่เพื่อส่งออกไปในสายส่งนั้นมีดังต่อไปนี้

ก) แยกไทมิงพัลส์ (timing pulses) ออกมาได้ง่าย

อุปกรณ์ทวนสัญญาณที่ดี และอุปกรณ์ทางด้านรับจะต้องสร้าง clock pulses เพื่อใช้เป็นบิตซิงโครไนซ์จากขบวนพัลส์ที่ส่งมา การที่จะแยกไทมิงพัลส์ออกมาได้อย่างถูกต้องและมีเสถียรภาพนั้นขบวนพัลส์ที่ส่งมาต้องไม่มี “0” ต่อเนื่องกันนานเกินไป

ข) ไม่มีองค์ประกอบ DC

ในระบบ PCM จะมีอุปกรณ์ทวนสัญญาณติดตั้งไว้ในระหว่างสายส่งเป็นระยะ ๆ และโดยทั่วไปทางต้นทางหรือปลายทางจะจ่ายกระแสตรงให้กับอุปกรณ์ทวนสัญญาณเหล่านั้นโดยส่งไปในสายส่งเดียวกัน หรือกล่าวอีกนัยหนึ่งคือ ในย่านความถี่ต่ำจะถูกใช้สำหรับป้อนกระแสไฟ (power feeding) ดังนั้นจะต้องส่งข่าวสารแบบดิจิทัลในแถบความถี่ซึ่งอยู่นอกเหนือจากนี้

ค) แบบวิธีคิดในการส่งแอม

ถ้าสัญญาณครอบคลุมไปถึงย่านความถี่สูงมาก อัตราส่วนสัญญาณต่อการรบกวน (S/N) จะลดลงเนื่องมาจากการลดทอนของสัญญาณและ Crosstalk ระหว่างคู่สายจะเป็นรากที่ 2 ของความถี่ของสัญญาณ ดังนั้นจึงต้องทำการหัดสัญญาณใหม่เพื่อไม่ให้มีองค์ประกอบความถี่สูงเกินไปที่จะใช้สำหรับส่งสัญญาณ PCM

ง) สามารถตรวจสอบความถูกต้องในขณะบริการได้

ถ้ารหัสที่สร้างขึ้นใหม่มีกฎเกณฑ์ที่แน่นอนแล้ว การตรวจสอบความถูกต้องจะกระทำได้ที่ด้านรับโดยการตรวจสอบหาสิ่งผิดแปลกไปจากกฎเกณฑ์ที่กำหนดไว้ อย่างเช่นกรณีของรหัส AMI (Alternate Mark Inversion) จะต้องมีพัลส์ทางบวกและทางลบมาเรียงตรงกันข้ามสลับกันไป ถ้าตรวจพบว่าไม่เป็นเช่นนั้น ก็แสดงว่ามีการผิดพลาด (error) เกิดขึ้นในสายส่ง

โครงสร้างของ Z-80 มีดังต่อไปนี้คือ

1. ARITHMETICS LOGIC UNIT (ALU) เป็นหน่วยที่ทำหน้าที่ในการคำนวณฟังก์ชันพื้นฐานทางคณิตศาสตร์ และการกระทำฟังก์ชันทางลอจิก เช่น AND และ OR, ALU จะสามารถทำหน้าที่ได้อย่างมีประสิทธิภาพมากเพียงใดนั้นขึ้นอยู่กับ การออกแบบวงจรภายในของ ALU

2. CONTROL UNIT เป็นหน่วยที่ทำหน้าที่ในการส่งสัญญาณไปควบคุมอุปกรณ์ต่าง ๆ ที่ต่อเชื่อมกับ CPU ให้ทำงานร่วมกันได้อย่างถูกต้อง

3. DATA BUS เป็นบัสสองทิศทาง (BI-DIRECTIONAL) ที่ใช้ในการส่งผ่านข้อมูลระหว่าง CPU กับอุปกรณ์อื่น ๆ ภายในระบบจำนวนเส้นของบัสข้อมูล (DATA BUS) จะขึ้นอยู่กับชนิดของ CPU เช่นในกรณีของ Z80 CPU จะส่งผ่านข้อมูลที่ละ 8 บิต ดังนั้นจะมีจำนวนเส้นของบัสข้อมูล 8 เส้น

4. CONTROL BUS หรือ บัสควบคุม เป็นบัสทางเดียว (UNIT DIRECTIAL BUS) ที่ใช้ในการส่งผ่านสัญญาณควบคุมให้กับอุปกรณ์ต่าง ๆ ในระบบ

5. ADDRESS BUS เป็นบัสทางเดียว ใช้ส่งผ่านค่าแอดเดรสจาก CPU ออกไปยังหน่วยความจำเพื่อระบุตำแหน่งที่ต้องการรับหรือส่งข้อมูล หรือใช้ระบุตำแหน่งของพอร์ท I/O (INPUT/OUTPUT PORT) ที่ CPU ต้องการติดต่อด้วย

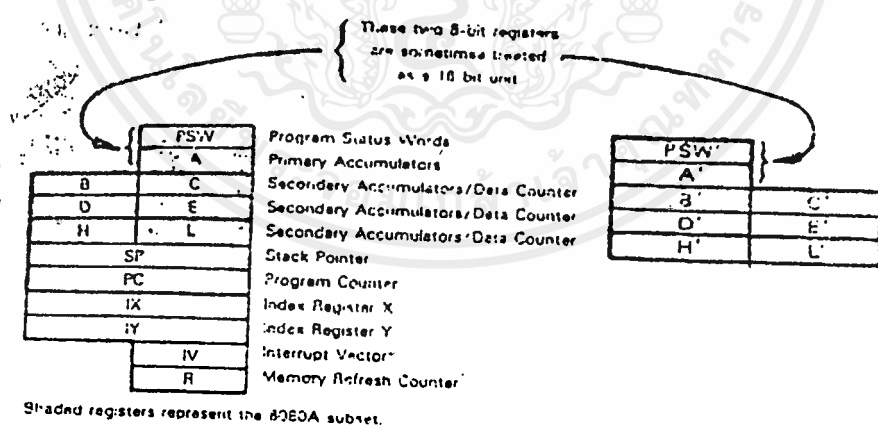
ต่อไปนี้จะกล่าวถึงรายละเอียดของ Z80 CPU ซึ่งเป็นไมโครโปรเซสเซอร์ขนาด 8 บิต ที่นิยมใช้กันอย่างแพร่หลายในปัจจุบัน

Z80 ไมโครโปรเซสเซอร์เป็น CPU ที่ผลิตจากบริษัท ZILOG INC. โดยกลุ่มวิศวกรชุดเดียวกับที่ผลิต 8080 CPU ของบริษัท INTEL COOPERATION., Z80 CPU ได้รับการพัฒนาให้มีข้อดีเหนือกว่า 8080 เช่น มีชุดคำสั่งมากถึง 158 คำสั่งโดยรวมชุดคำสั่งเดิมของ 8080 ไว้ 80 คำสั่ง นอกจากนี้ Z80 ยังมีรีจิสเตอร์มากกว่าใน 8080 ถึง 12 ตัว และ 8080 เพียงตัวเดียวก็ยังไม่สามารถที่จะนำไปใช้งานได้ต้องต่อกับอุปกรณ์สนับสนุนอีก 2 ตัวคือ CLOCK GENERATOR CHIP, SYSTEM CONTROLLER CHIP รวมกันเรียกว่า THREE CHIP PROCESSOR แต่ใน Z80 CPU ได้รวมเอาลักษณะพื้นฐานเหล่านี้ไว้ในชิพเดียวกัน และเพิ่มประสิทธิภาพทาง HARDWARE, SOFTWARE และการ INTERFACE ให้สูงขึ้น

Z80 ไมโครโปรเซสเซอร์เพียงชิ้นเพียงชิ้นเดียวไม่สามารถทำงานเป็นระบบคอมพิวเตอร์ได้ ต้องอาศัยอุปกรณ์อื่น ๆ อีก 2 ส่วนคือ หน่วยความจำ (MEMORY) และหน่วยรับส่งข้อมูลเข้าออก (I/O DEVICE) ซึ่งในการทำงานตามคำสั่งจากโปรแกรมที่ป้อนเข้ามา Z80 CPU จะนึ่งทำการโอนย้ายคำสั่งหรือข้อมูลระหว่างหน่วยความจำ กับรีจิสเตอร์ (REGISTER) ก่อนอื่นเราจะกล่าวถึงรีจิสเตอร์ภายในของ Z80 เสียก่อน

รีจิสเตอร์ต่าง ๆ ใน Z80 CPU

Z80 CPU จะประกอบไปด้วยรีจิสเตอร์ถึง 22 ตัวดังรูป รีจิสเตอร์เหล่านี้จะแบ่งได้เป็น 2 กลุ่มคือ รีจิสเตอร์ที่ทำหน้าที่ทั่ว ๆ ไป และ รีจิสเตอร์ที่ทำหน้าที่เฉพาะงาน.



รูปที่ 2.18 แสดงรีจิสเตอร์ต่าง ๆ ภายใน Z80

1. รีจิสเตอร์ที่ทำหน้าที่ทั่ว ๆ ไป แบ่งเป็นรีจิสเตอร์หลัก ได้แก่ A, B, C, D, E, H, และ L มีความจุขนาด 8 บิต รีจิสเตอร์เหล่านี้ใช้เก็บข้อมูลชั่วคราว นอกจากนี้ยังสามารถรับข้อมูล จาก

หน่วยความจำหรืออาจจะทำการย้ายข้อมูลไปเก็บไว้ในหน่วยความจำก็ได้ และ รีจิสเตอร์สำรองได้แก่ A', B', C', D', E', H', และ L' ซึ่งเป็นรีจิสเตอร์ที่ทำหน้าที่เก็บข้อมูลที่มาจากรีจิสเตอร์หลักในกรณีที่ต้องใช้รีจิสเตอร์หลักในการทำงานอย่างอื่นก่อน ดังนั้นรีจิสเตอร์กลุ่มนี้จึงไม่สามารถกระทำการทางคณิตศาสตร์และลอจิกได้

รีจิสเตอร์ A เรียกว่า แอคคิวมูเลเตอร์ (ACCUMULATOR) ทำหน้าที่เก็บข้อมูลชั่วคราวที่ได้จากการทำการทางคณิตศาสตร์ เช่น บวกหรือลบข้อมูล 2 จำนวนผลลัพธ์ที่ได้จะเก็บไว้ในรีจิสเตอร์ A นี้ นอกจากนี้ ในการปฏิบัติตามคำสั่งที่ใช้กับข้อมูลขนาด 16 บิต Z80 จะนำเอารีจิสเตอร์แฟลก "F" (FLAG REGISTER) มาใช้ร่วมกับรีจิสเตอร์ A เรียกว่า คูรีจิสเตอร์ AF ซึ่งมีขนาด 16 บิต นอกจากนี้ยังมีคูรีจิสเตอร์ 16 บิต อื่น ๆ อีกคือ BC, DE และ HL.

2.รีจิสเตอร์ใช้งานเฉพาะอย่าง ได้แก่ รีจิสเตอร์ I, R, IX, IY, SP และ PC ซึ่งทำหน้าที่ต่าง ๆ ดังนี้

รีจิสเตอร์ I (INTERRUPT PAGE ADDRESS REGISTER) เมื่อมีการอินเทอร์รัพท์เกิดขึ้น จำเป็นต้องบอกตำแหน่งของหน่วยความจำที่เก็บโปรแกรมตอบสนองการอินเทอร์รัพท์ รีจิสเตอร์ I จะทำหน้าที่เก็บค่า 8 บิตบนของตำแหน่งข้อมูลในหน่วยความจำ ส่วนค่า 8 บิตล่างจะป้อนจากภายนอกให้แก่ CPU ค่าทั้งสองจะประกอบกันเป็นค่าแอดเดรสที่ระบุตำแหน่งของโปรแกรมการตอบสนองการอินเทอร์รัพท์

รีจิสเตอร์ R (MEMORY REFRESH REGISTER) เป็นรีจิสเตอร์ขนาด 7 บิตที่ถูกใช้ในการรีเฟรช (REFRESH) DYNAMIC RAM และค่ารีจิสเตอร์ R จะเพิ่มขึ้นเองโดยอัตโนมัติ ในทุกๆ ครั้งที่มีการเฟรชคำสั่งจากหน่วยความจำ รายละเอียดเกี่ยวกับ DYNAMIC RAM

รีจิสเตอร์ IX และ IY (INDEX REGISTER) เป็นรีจิสเตอร์ที่มีขนาด 16 บิต มีประโยชน์ใช้บ่งบอกตำแหน่งในหน่วยความจำแบบ INDEX ADDRESSING MODE โดยจะกำหนดให้ค่าใน INDEX REGISTER เป็นค่าอ้างอิง แล้วใช้คำสั่งบ่งบอกว่าตำแหน่งของข้อมูลที่ต้องการอยู่ห่างจากค่าอ้างอิงนี้เท่าใด โดยจะบอกค่าระยะห่างในรูปของ TWO COMPLEMENT.

รีจิสเตอร์ SP (STACK POINTER) มีขนาด 16 บิต ในหน่วยความจำชนิด RAM จะมีส่วนหนึ่งที่กำหนดให้เป็นที่ยกเก็บข้อมูลชั่วคราว ส่วนนี้เรียกว่าสแตก (STACK) ซึ่งมีลักษณะการเก็บข้อมูลแบบ LIFO (LAST IN FIRST OUT) เราสามารถที่จะเก็บข้อมูลลงบนสแตกโดยใช้คำสั่ง PUSH และเมื่อต้องการดึงข้อมูลออกจากสแตกต้องใช้คำสั่ง POP

รีจิสเตอร์ PC (PROGRAM COUNTER) เป็นรีจิสเตอร์ขนาด 16 บิตที่ใช้ในการเก็บตำแหน่งของหน่วยความจำที่ CPU จะเฟตช์ (FETCH) คำสั่งหลังจากที่เฟตช์คำสั่งเรียบร้อยแล้ว คำในรีจิสเตอร์ PC จะเพิ่มขึ้น และจะชี้ไปยังตำแหน่งของคำสั่งถัดไป เราจะสามารถเปลี่ยนแปลงค่าใน PC ได้โดยใช้คำสั่ง CALL หรือ JUMP.

รีจิสเตอร์ F (FLAG REGISTER) จะประกอบด้วย

SIGN FLAG (S) : แฟล็กเครื่องหมาย

ZERO FLAG (Z) : แฟล็กศูนย์

HALF CARRY FLAG (H) : แฟล็กทศครึ่ง

PARITY/OVERFLOW FLAG (P/V) : แฟล็กพาริตีหรือโอเวอร์โฟลว์

SUBTRACT FLAG (N) : แฟล็กลบ

CARRY FLAG (C) : แฟล็กตัวทด

ผู้ผลิต Z80 ได้นำเอาแฟล็กเหล่านี้มาประกอบร่วมกับ บิตว่าง (X : ไม่มีความหมายอีก) อีก 2 บิตเพื่อทำเป็นรีจิสเตอร์ขนาด 8 บิต สำหรับรายละเอียดของแฟล็กนี้จะไม่กล่าวถึง

รายละเอียดของขา Z80 (Z80 PIN OUTS)

A0-A15 (ADDRESS BUS) : เป็นขาสัญญาณเอาต์พุตแบบ TRI-STATE ใช้บ่งบอกตำแหน่งหน่วยความจำได้ถึง $2^{16} = 65536$ ตำแหน่ง A0-A7 จะแสดงตำแหน่งของพอร์ทที่ Z80 ต้องการติดต่อด้วย นอกจากนี้ขา A0-A6 จะให้ค่ารีเฟรชแอดเดรสออกมาขณะที่ Z80 ให้สัญญาณรีเฟรช

D0-D7 (DATA BUS) : เป็นขาสัญญาณอินพุต/เอาต์พุต TRI-STATE แบบสองทิศทางซึ่งเป็นทางผ่านของข้อมูลระหว่าง Z80 กับหน่วยความจำและอุปกรณ์ I/O

M1 (MACHINE CYCLE ONE) : เป็นขาเอาต์พุตแอดทีฟที่ลอคจิก “0” ขา M1 นี้จะแอดทีฟขณะที่ Z80 ทำการเฟตช์ออฟโคดของคำสั่ง ในกรณีที่คำสั่งที่เฟตช์เข้ามานั้นมีขนาด 2 ไบท์ M1 จะแอดทีฟในทุก ๆ ไซเคิลการเฟตช์แต่ละไบท์

MERQ (MEMORY REQUEST) : เป็นสายเอาต์พุตแบบ TRI-STATE แอดทีฟที่ลอคจิก “0” เพื่อเป็นการบ่งบอกว่า Z80 กำลังกระทำการติดต่อกับหน่วยความจำ

IORQ (INPUT/OUTPUT REQUEST) : เป็นสายเอาต์พุตแบบ TRI-STATE จะแอดทีฟที่ลอคจิก “0” เพื่อเป็นการบ่งบอกว่า Z80 I/O IORQ M1 (INTERRUPT ACKNOWLEDGE)

RD (MEMORY READ) : เป็นขาเอาต์พุต TRI-STATE จะแอกทีฟที่ลอจิก “0” เมื่อ Z80 ต้องการอ่านข้อมูลจากหน่วยความจำหรืออุปกรณ์ I/O และ Z80 จะรับข้อมูลจากบััสข้อมูลเข้าไปเมื่อสัญญาณนี้เปลี่ยนระดับลอจิกจาก “0” เป็น “1”

WR (MEMORY WRITE) : เป็นขาเอาต์พุตแบบ TRI-STATE จะแอกทีฟที่ลอจิก “0” เป็น Z80 ต้องการส่งข้อมูลไปให้หน่วยความจำหรืออุปกรณ์ I/O.

RFSH (REFRESH) : เป็นขาเอาต์พุต จะแอกทีฟเมื่อ 7 บิตล่าง (A0-A6) ของบััสแอดเดรสให้ค่ารีเฟรชออกมา

HALT (HALT STATE) : เป็นขาเอาต์พุต จะแอกทีฟที่ลอจิก “0” เมื่อ Z80 อยู่ในสถานะของการ HALT คือ CPU จะทำคำสั่ง NOP (NO OPERATION) เพื่อให้เกิดการรีเฟรชได้และ Z80 จะหลุดพ้นจากสถานะการ HELT เมื่อได้รับการรีเซ็ตหรือถูกอิน เทอร์รัพท์.

WAIT : เป็นขาอินพุตแอกทีฟที่ลอจิก “0” และจะมีการตรวจสอบสัญญาณนี้ที่ขอบขาของคล็อกลูกที่ 2 ของทุก ๆ MACHINE CYCLE เมื่อมีการตรวจพบว่าขาอินพุตนี้แอกทีฟจะมีการแทรก WAIT STATE ให้กับแต่ละ MACHINE CYCLE เพื่อเป็นการรอให้อุปกรณ์ภายนอกทำงานให้ทันกับการทำงานของ Z80 และ Z80 จะแทรก WAIT STATE จนกว่าจะมีการตรวจสอบพบว่าขา WAIT จะมีลอจิกเป็น “1”

INT (INTERRUPT REQUEST) : เป็นขาอินพุตแอกทีฟที่ลอจิก “0” Z80 จะตรวจสอบระดับสัญญาณที่ขาอินพุตนี้ทุก ๆ การสิ้นสุดของ INSTRUCTION CYCLE (LAST STATE).

NMI (NON MASKABLE INTERRUPT) : เป็นขาอินพุตแอกทีฟที่ลอจิก “0” สัญญาณ NON MASKABLE INTERRUPT เป็นสัญญาณที่มีระดับความสำคัญในการขออินเทอร์รัพท์สูงกว่าสัญญาณ INTERRUPT REQUEST Z80 จะตอบรับการอินเทอร์รัพท์ชนิดนี้เสมอโดยที่เราไม่สามารถ DISABLE ได้ด้วย SOFTWARE.

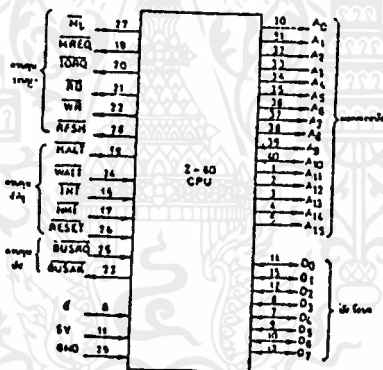
BESET : เป็นขาอินพุตแอกทีฟที่ลอจิก “0” สัญญาณนี้จะทำการ INITIALIZE CPU โดยทำการรีเซ็ต INTERRUPT FLIP-FLOP และเซ็ตค่าในโปรแกรมเคาน์เตอร์ (PROGRAM COUNTER) ให้เป็น 0000H และในสถานะการรีเซ็ตนี้ บัสแอดเดรสและบััสข้อมูลจะอยู่ในสถานะ HIGH IMPEDANCE และสัญญาณควบคุมต่าง ๆ จะอยู่ในสถานะ INACTIVE.

BUSRQ (BUS REQUEST) : เป็นขาอินพุตแอกทีฟที่ลอจิก “0” สัญญาณ BUS REQUEST เป็นสัญญาณที่มีลำดับความสำคัญสูงกว่าสัญญาณ NON MASKABLE INTERRUPT และมีการตรวจสอบสัญญาณนี้ทุก ๆ การสิ้นสุดของ MACHINE CYCLE อุปกรณ์ภายนอกจะให้อ

สัญญาณนี้แก่ Z80 เมื่อต้องการใช้ข้อมูลและไบต์แอดเดรสโดยเปรียบเสมือนว่าเป็นการถอด Z80 ออกจากระบบไบต์.

BUSAK (BUS ACKNOWLEDGE) : เป็นขาเอาต์พุตแอดที่พ็ลลิก “0” ขานี้จะแอดที่พ็ลเมื่อ Z80 ตอบสนองการต่อสัญญาณ BUS REQUEST และจะทำให้ไบต์ข้อมูล,ไบต์ควบคุมและไบต์แอดเดรสมีสถานะเป็น HIGH IMPEDANCE ซึ่งทำให้อุปกรณ์ภายนอกใช้ไบต์เหล่านี้ได้โดยไม่มีผลต่อ CPU.

จากที่กล่าวมาทั้งหมดในบทนี้เป็นรายละเอียดที่ควรทราบในการศึกษาและนำ Z80 ไปใช้งานร่วมกับอุปกรณ์สนับสนุนอื่น ๆ (CHIP SUPPORT) ในบทต่อ ๆ ไปเราจะอธิบายรายละเอียดของอุปกรณ์ซึ่งจะประกอบเป็นระบบไมโครคอมพิวเตอร์

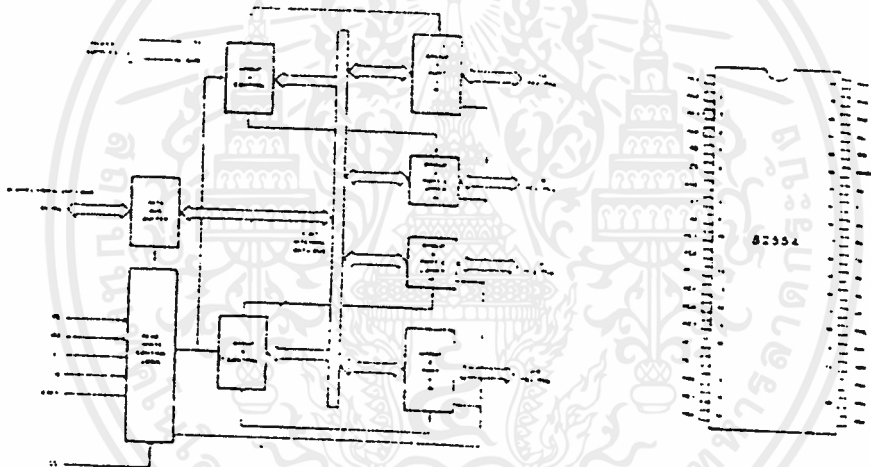


รูปแสดงลักษณะของขาไอซี Z-80 ซีพียู

8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85¹™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- 40-Pin Dual In-Line Package
- Reduces System Package Count
- Improved DC Driving Capability

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 different modes of operation. In the first mode (Bit/IO), each group of 12 I/O pins may be programmed to operate as 6 bit input or output. In Mode 1, the second mode, each group may be programmed to have 8 lines of input or output. In the remaining 2 pins, 1 are used for parity checking and interrupt control signals. The third mode of operation, Mode 2, is a bidirectional bus mode which uses 8 lines for a bidirectional bus and 3 lines (borrowing pins from the other group) for transmitting.



รูป 2.2 แสดงบล็อกไดอะแกรมและการวางตำแหน่งขาของ 8255

โครงสร้างของ 8255 มีดังต่อไปนี้

บล็อกกลุ่มแรกที่เราจะพูดถึงนี้ ได้แก่ บล็อกจำนวน 4 บล็อก ที่อยู่ทางด้านขวาของรูป ซึ่งจะ有一部分ที่เชื่อมต่อกับอุปกรณ์ภายนอกอื่น ๆ โดยมีสาย PA0-PA7, PB0-PB7 และ PC0-PC7 เป็นทางผ่านของข้อมูลระหว่างอุปกรณ์ภายนอกกับ 8255 สายสัญญาณเหล่านี้จะถูกแบ่งออกเป็น 3 I/O พอร์ตได้แก่พอร์ต A (PA), พอร์ต B (PB) และพอร์ต C (PC) พอร์ตเหล่านี้แต่ละพอร์ตสามารถเป็นได้ทั้งพอร์ตอินพุตและเอาต์พุต และแต่ละบล็อกจะมีสายสัญญาณเชื่อมเข้ากับบัสข้อมูลภายในของ 8255

บล็อกกลุ่มถัดมาได้แก่ GROUP A CONTROL และ GROUP B CONTROL ซึ่งจะเป็นตัวกำหนดลักษณะการทำงานของทั้ง 3 I/O พอร์ต (8255 มีลักษณะการทำงานที่แตกต่างกันอยู่ 3 โหมด สามารถกำหนดได้โดยการโปรแกรมส่ง CONTROL WORD ให้กับ 8255 ซึ่งจะกล่าวถึงในภายหลัง) จากรูปจะเห็นว่า พอร์ต C นี้จะประกอบด้วยพอร์ตนขนาด 4 บิต 2 พอร์ต กลุ่มหนึ่งจะควบคุมโดย GROUP A CONTROL และอีกกลุ่มหนึ่งจะถูกควบคุมโดย GROUP B CONTROL สำหรับเหตุผลนั้นจะกล่าวถึงในภายหลัง

บล็อกกลุ่มสุดท้ายที่จะกล่าวถึงได้แก่ DATA BUS BUFFER และ READ/WRITE CONTROL LOGIC ซึ่งบล็อกเหล่านี้จะเป็นส่วนที่ติดต่อกับ CPU , DATA BUS BUFFER นี้จะเป็นบัฟเฟอร์ให้กับบัสข้อมูลของ CPU ส่วน READ/WRITE CONTROL LOGIC จะเป็นส่วนที่ควบคุมให้ข้อมูลเข้าหรือออกจากรีจิสเตอร์ภายในตัวที่ถูกต้อง และในเวลาที่เหมาะสม

รายละเอียดการจัดเรียงขาของ 8255

ในส่วนนี้เราจะพิจารณาหน้าที่ของขาแต่ละขาของ 8255 ซึ่งข้อมูลเหล่านี้จะมีประโยชน์ในการเชื่อมต่อเข้ากับระบบบัสของ CPU สำหรับการจัดขาแสดงไว้ในรูป รายละเอียดของแต่ละขามีดังนี้คือ

D0-D7 : เป็นสายข้อมูลอินพุต/เอาต์พุตแบบสองทิศทาง (BI-DIRECTIONAL BUS) จะเป็นทางผ่านของข้อมูลระหว่างพอร์ตนต่าง ๆ ของ 8255 กับบัสข้อมูลของ Z80

CS (CHIP SELECT INPUT) : เมื่อขานี้มีสถานะลอจิกเป็น “0” CPU จะสามารถที่จะอ่านหรือเขียนข้อมูลกับ 8255 ได้

RD (READ INPUT) : เมื่อขานี้มีสถานะลอจิกเป็น “0” และสัญญาณ CS มีลอจิกเป็น “0” ข้อมูลจาก 8255 จะปรากฏสู่ระบบบัสข้อมูล CPU ก็จะสามารถอ่านข้อมูลออกไปได้ (ในการตั้งชื่อของขาสัญญาณนี้จะถือเอา CPU เป็นหลัก)

WR (WRITE INPUT): เมื่อขานี้มีสถานะลอจิกเป็น “0” และขาสัญญาณ CS มีลอจิกเป็น “0” ข้อมูลจากระบบบัสข้อมูลจะถูกเขียนเข้าไปยัง 8255 ได้

A0-A1 (ADDRESS INPUT) : จะเป็นตัวกำหนดการเลือกใช้รีจิสเตอร์ภายในของ 8255 ซึ่งจะกล่าวรายละเอียดในภายหลัง

RESET : เมื่อขานี้มีสถานะเป็น “1” 8255 จะอยู่ในสภาวะรีเซ็ตทุก ๆ พอร์ตของ 8255 จะถูกเซ็ตให้อยู่ในโหมดอินพุต

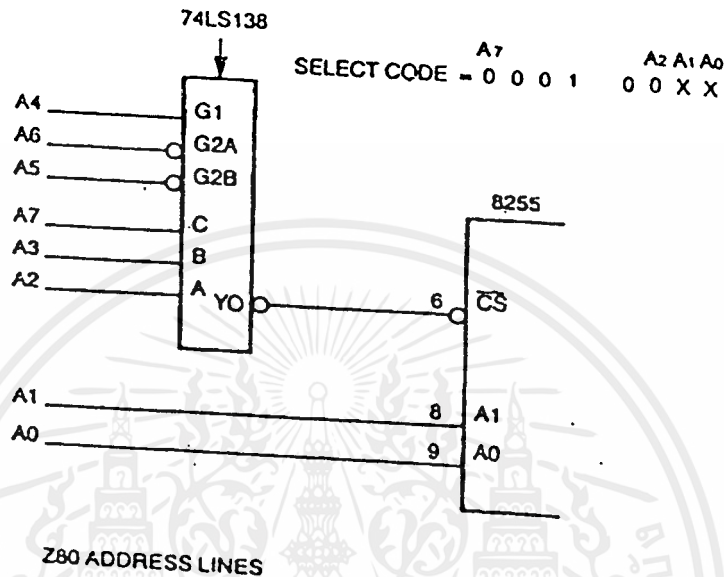
PA0-PA7,PB0-PB7 : ขาสัญญาณเหล่านี้จะถูกใช้เป็นพอร์ต I/O ขนาด 8 บิต ใช้ต่อเข้ากับอุปกรณ์ภายนอกอื่น ๆ

PC0-PC7 : ขาสัญญาณนี้ถูกใช้เป็นพอร์ต I/O ขนาด 8 บิต เช่นเดียวกับ PA0-PA7 และ PB0-PB7 แต่กลุ่มของขาสัญญาณเหล่านี้สามารถแบ่งออกเป็น 2 กลุ่ม โดยแต่ละกลุ่มมีขนาด 4 บิตได้ กลุ่มแรกจะใช้ควบคุม PB0-PB7 และกลุ่มที่ 2 ใช้ควบคุม PA0-PA7 (ซึ่งจะกล่าวถึงรายละเอียดในภายหลัง)

การต่อ 8255 เข้ากับ Z80

ในการต่อ 8255 เข้ากับระบบของ Z80 นั้น สัญญาณต่าง ๆ ที่เกิดขึ้นจะเหมือนกับขบวนการติดต่อกับ I/O โดยจะต้องเอาสัญญาณ A0-A7 จาก Z80 มาถอดรหัสเพื่อสร้างสัญญาณเลือกพอร์ต แต่เนื่องจาก 8255 มีขา ADDRESS INPUT อยู่แล้ว 2 ขา (A0,A1)ซึ่งโดยปกติแล้วขา A0,A1 นี้ต่อเข้าโดยตรงกับ A0,A1 จากบัสแอดเดรส นั่นคือ 8255 หนึ่งตัวจะใช้ค่าพอร์ทแอดเดรสถึง 4 ค่า ส่วนสัญญาณอีก 6 เส้น (A2-A7) จะนำไปถอดรหัสเพื่อทำสัญญาณเลือกชิพ (CHIP SELECT) ให้แก่ 8255

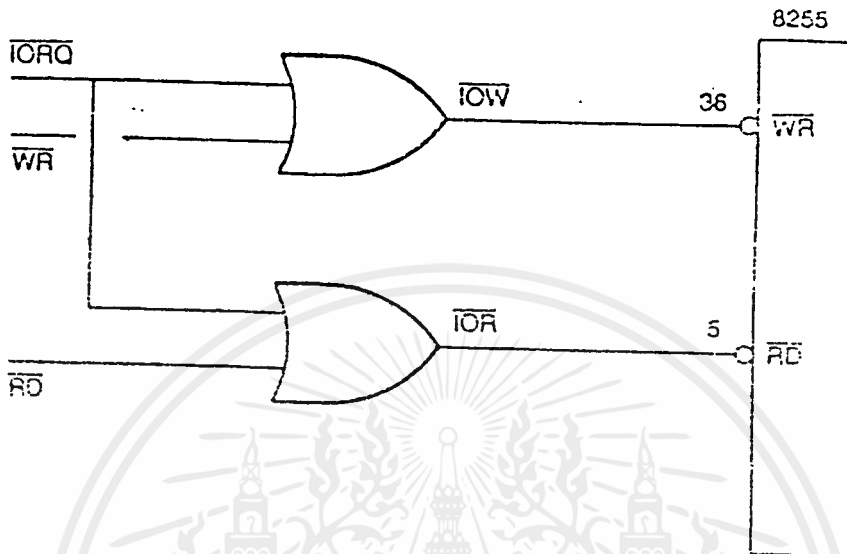
ในที่นี้เราจะสมมติให้ 8255 มีพอร์ทแอดเดรสอยู่ที่ 10H,11H,12H และ 13H ซึ่งวิธีหนึ่งที่สามารถจะถอดรหัสพอร์ทเหล่านี้ได้ แสดงไว้ในรูป 2.21



รูป 2.21 แสดงผังวงจรการถอดรหัสการเลือกพอร์ทที่ติดต่อกับ 8255

จากรูปจะเห็นขาอินพุต CS จะแอกทีฟก็ต่อเมื่อ A7-A2 มีเท่ากับ 000100XXB (2 บิตล่างจะใช้เพื่อเลือกใช้รีจิสเตอร์ภายใน 4 ตัว)

ขั้นต่อไปที่เราจะต้องทำคือ การต่อขา RD และ WR ของ 8255 เข้ากับสัญญาณควบคุม IOR และ IOW ของระบบ การที่เราไม่ต่อขา RD และ WR เข้าโดยตรง เพราะในตัวอย่างวิธีการถอดรหัสของเราเนี่ย อาจจะทำให้เกิดกรณีที่ A7-A0 มีค่าตรงกับ 000100XXB ซึ่งจะทำให้เกิดการอ่านหรือเขียนข้อมูลกับ 8255 โดยไม่ต้องการได้ ในการแก้ปัญหาที่เราจึงใช้สัญญาณ IORQ จาก CPU มาทำเป็นสัญญาณ IOR และ IOW เพื่อแยกกว่าเป็นการติดต่อกับ I/O ไม่ใช่หน่วยความจำ ดังแสดงในรูป 2.22



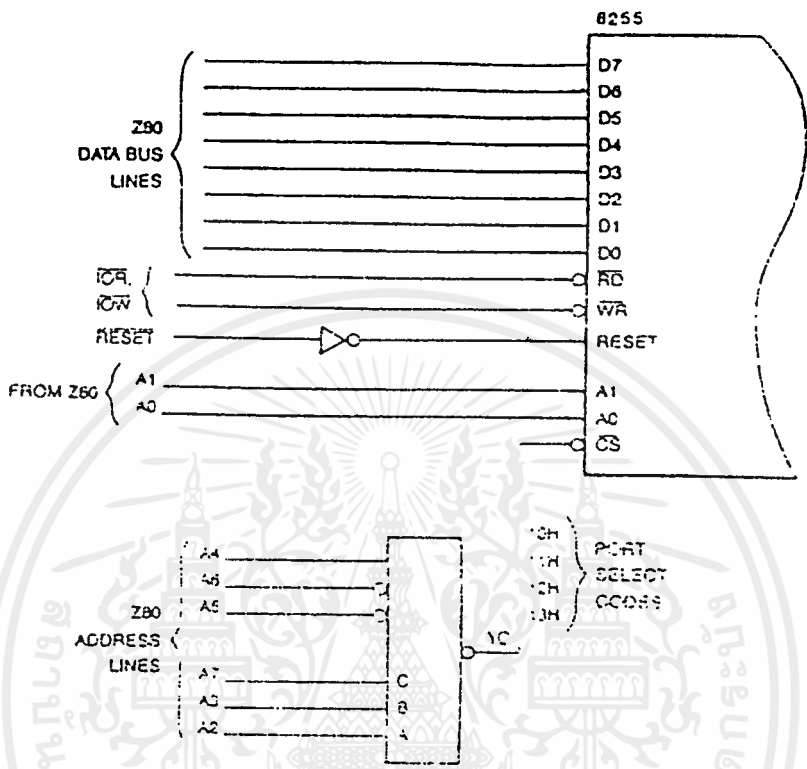
รูป 2.22 ที่แสดงวิธีการต่อขา WR และ RD เข้ากับระบบของ Z80

ในการต่อขา RESET ของ 8255 ซึ่งจะแอกทีฟที่ลอจิก "1" เข้ากับขา RESET ของ Z80 ซึ่งแอกทีฟที่ลอจิก "0" นั้นจะต้องใช้ INVERTER คั่นกลางเสียก่อน

ในการต่อสายข้อมูล D0-D7 ของ 8255 เข้ากับระบบบัสข้อมูลของระบบเราจะสมมติว่าไม่มีการโหลดบนบัสข้อมูล ดังนั้นเราจึงสามารถต่อสายสัญญาณเหล่านี้เข้าโดยตรงกับระบบบัสข้อมูล ดังแสดงวงจรสมบูรณ์ของการเชื่อมต่อ 8255 กับระบบของ Z80

8255 READ และ WRITE REGISTER

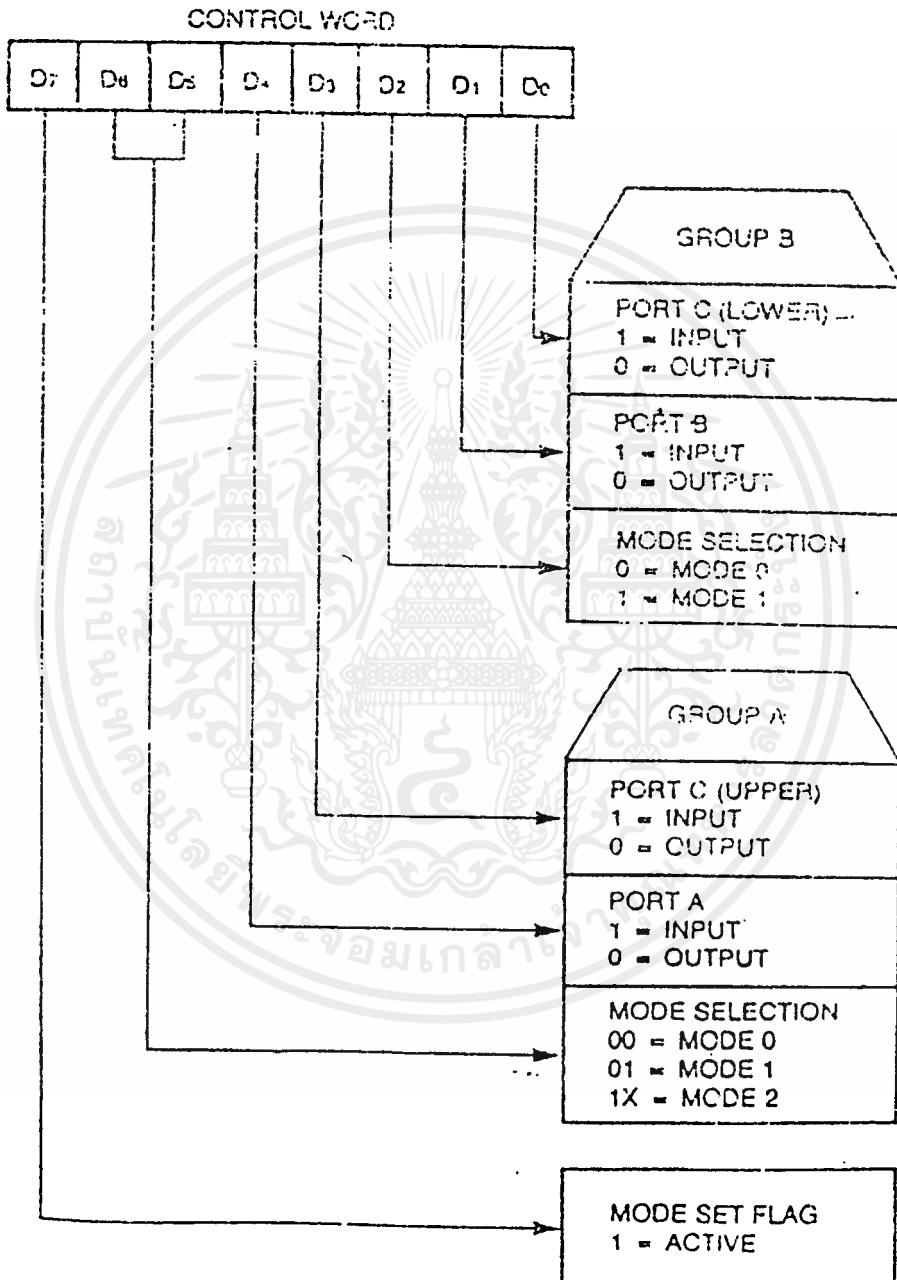
ขณะนี้เราได้ทำการต่อ 8255 เข้ากับระบบของ Z80 แล้ว ต่อไปเราจะศึกษาการโปรแกรมใช้งาน 8255 เพื่อให้ทำงานตามที่เรต้องการได้ จะเริ่มต้นพิจารณาที่รีจิสเตอร์ภายใน 4 ตัวของ 8255 สำหรับในตัวอย่างการถอดรหัสของเรานี้ ตำแหน่งของรีจิสเตอร์จะอยู่ที่แอดเดรส 10H, 11H, 12H และ 13H ซึ่งรายละเอียดของรีจิสเตอร์ เหล่านี้มีดังนี้คือ



รูป 2.23 แสดงผังวงจรสมบูรณ์ของการเชื่อมต่อ 8255 เข้ากับระบบของ Z80

DEVICE PIN				REGISTER NAME
RD	WR	A1	A0	
1	0	0	0	WRITE PORT A DATA
0	1	0	0	READ PORT A DATA
1	0	0	1	WRITE PORT B DATA
0	1	0	1	READ PORT B DATA
1	0	1	0	WRITE PORT C DATA
0	1	1	0	READ PORT C DATA
1	0	1	1	WRITE CONTROL DATA
0	1	1	1	ILLEGAL READ REGISTER

การควบคุมบิตของรีจิสเตอร์ควบคุมของ 8255 มีดังนี้



รูปที่ 2.24 แสดงการควบคุมบิตของรีจิสเตอร์ของ 8255

บทที่ 3

การออกแบบและการทำงานของวงจร

3.1 การทำงานของวงจร PRBS ขนาด 25 บิต, 17 บิต และ 9 บิต

สำหรับการทำงานของวงจรที่ได้ทำการทดลองจะเป็น PRBS ขนาด 25 บิต ซึ่งวงจรทั้งหมดจะประกอบไปด้วย shift register ขนาด 25 บิต ซึ่งจะใช้ IC 4015 เป็น shift register แบบ DUAL.4-stage shift register โดยจะใช้ IC 4015 ถึง 3 ตัว และ D FLIP-FLOP 1 ตัว ซึ่งเราให้ D FLIP-FLOP ตัวแรกนี้เป็นเอาต์พุตบิตที่ 1 และ จะถูกส่งเข้าไปที่อินพุตของ IC 4015 ตัวแรก ที่ขา 7 (ภายใน IC 4015 จะมี shift register แบบ 4-stage ถึง 2 ชุด ซึ่งเราต้องต่ออนุกรมกันโดยให้ขา 10 ไปต่อกับขา 15 ภายในไอซีตัวเดียวกัน ทำอย่างนี้ทุกตัวของ IC 4015) และเอาต์พุตของ shift register ไอซีตัวแรกที่ขา 2 จะถูกส่งเข้าไปที่อินพุตของ IC 4015 ตัวที่ 2 และเอาต์พุตตัวที่ 2 จะถูกส่งเข้าไปเป็นอินพุตของ IC 4015 ตัวที่ 3 วงจรทั้งหมดจะเป็น shift register ขนาด 25 บิต เมื่อป้อนสัญญาณนาฬิกาเข้ามา วงจรจะทำการสร้างสัญญาณ . binary random ขนาด 25 บิต และมีจำนวน sequence ทั้งหมด $2^{25} - 1$ sequence โดยจะไม่มี sequence ที่มีค่าเป็น 0 หรือ เกิดลอจิก “0” ทั้งหมด ส่วนการป้อนกลับของ PRBS ขนาด 25 บิต จะนำเอาบิตที่ 3 กับ บิตที่ 25 มาทำการ . exclusive or กัน (modulo 2) เพื่อป้อนกลับมาเป็น อินพุตของบิตที่ 1

ส่วนการทำงานของ PRBS ขนาด 17 บิต จะไม่สนใจ การทำงานของบิตที่ 18 ถึง 25 คือ ลดการทำงานลงเหลือ 17 บิต การทำงานก็จะมีลักษณะเหมือนกับ PRBS ขนาด 25 บิต โดยจะต่างกันที่จำนวน sequence ที่จะทำการ random ซึ่งจะลดลงเหลือเพียง $2^{17} - 1$ sequence และจะไม่มี sequence ที่เกิดลอจิก “0” ทั้งหมดเหมือนกัน ส่วนการป้อนกลับไปยังบิตที่ 1 จะทำการ exclusive or ระหว่างบิตที่ 14 กับบิตที่ 17

ส่วนการทำงานของ PRBS ขนาด 9 บิต ก็จะลด shift register ลงเหลือเพียง 9 บิต โดยจะไม่สนใจการทำงานของบิตที่ 10 ถึงบิตที่ 25 การป้อนกลับก็จะทำการ exclusive or กัน ระหว่างบิตที่ 4 และบิตที่ 7 จำนวน sequence ก็จะลดลงเหลือเพียง $2^9 - 1$ sequence

ในส่วนของวงจรที่ใช้ทดลองจะนำการป้อนกลับของทั้งวงจร 9, 17 และ 25 บิต มา and กับสัญญาณการเลือกบิต โดยถ้าเลือก 25 บิต สัญญาณการป้อนกลับที่จะผ่านไปยังบิตที่ 1 ได้

คือ การป้อนกลับระหว่างบิตที่ 18 และ 25 ส่วนสัญญาณป้อนกลับที่ไม่ได้เลือกไว้ เมื่อ and กันแล้วจะให้เอาท์พุทเป็นลอจิก “0”

ส่วนการทำงานของวงจร detect ลอจิก “0” จะมีการทำงานดังนี้คือ เมื่อเกิด sequence ที่มีค่าเป็นลอจิก “0” หรือเกิดลอจิก “0” ทั้งหมดในวงจรสัญญาณ random จะหยุดสร้างสัญญาณและให้เอาท์พุทเป็นลอจิก “0” ที่เอาท์พุทของบิตที่ 2 ถึง 25 จะมีการต่ออินเวอร์ตเกต เพื่อทำการกลับสัญญาณจากลอจิก “0” ทั้งหมดให้เป็นลอจิก “1” ทั้งหมดและนำสัญญาณที่ได้เข้ามาเข้า NAND GATE สัญญาณที่ผ่าน NAND GATE มาได้จะเป็นลอจิก “0” และป้อนกลับไปยังขา preset ของ D FLIP-FLOP ซึ่งจะทำงานที่ลอจิก “0” จะทำการ set ให้เอาท์พุทของ D FLIP-FLOP หรือบิตที่ 1 เป็นลอจิก “1” เพื่อให้วงจรสร้างสัญญาณ binary random ต่อไป ดังรูปวงจรที่ 3.1

3.2 การทำงานของวงจร BI-PHASE

สัญญาณ BI-PHASE นั้นเป็นสัญญาณ BASEBAND ชนิดหนึ่งซึ่งลักษณะของสัญญาณ BI-PHASE จะเป็นขอบขาลงทุก ๆ ที่สัญญาณ NBZ เป็นลอจิก “1” และสัญญาณ BI-PHASE จะเป็นขอบขาขึ้นทุก ๆ ที่สัญญาณ NBZ เป็นลอจิก “0”

จากรูปวงจรที่ 3.2 เป็นส่วนของวงจร BI-PHASE ภาคส่ง ซึ่งมีหลักการทำงานดังนี้ คือ เมื่อป้อนสัญญาณ NRZ ให้กับ IC 4015 ซึ่งเอาท์พุทที่ได้ก็จะเหมือนกับที่ป้อนเข้ามาแล้วส่งต่อไปยัง EXCLUSIVE NOR กับสัญญาณ clock เอาท์พุทที่ได้จะเป็นสัญญาณ BI-PHASE ออกมา โดยคุณสมบัติ EXCLUSIVE NOR ก็คือ ถ้าสัญญาณที่ป้อนเข้ามามีลอจิกที่ป้อนเหมือนกันจะได้เอาท์พุทที่ได้จะเป็นลอจิก “0”

ส่วนภาครับของวงจร BI-PHASE จะเห็นได้จากรูปวงจรที่ 3.3 ซึ่งมีหลักทำงานวงจรดังนี้ คือ เมื่อวงจรได้รับสัญญาณ BI-PHASE จากภาคส่งแล้วก็จะทำการต่อกับ clock ที่อุปกรณ์ EXCLUSIVE NOR เอาท์พุทที่ได้ก็จะเป็นสัญญาณ NRZ แล้วทำการส่งให้กับ D FLIP-FLOP เพื่อให้ภาครับกับภาคส่งเกิดการ synchronize กัน

3.3 การทำงานของวงจร AMI

สัญญาณ Bipolar หรือ AMI เป็นสัญญาณดิจิทัลแบบหนึ่งที่ใช้ในการส่งข้อมูลโดยสัญญาณ AMI นั้นจะมีระดับสัญญาณถึง 3 ระดับ คือ level “0” และ level +v ซึ่งจะเป็น level

“0” ก็คือเมื่อเป็นลอจิก “0” และ level “+v” นั้นจะสลับระดับ +v กับ -v ไปมาก็เมื่อข้อมูลที่ป้อนเข้ามาเป็นทุก ๆ ลอจิก “1”

ส่วนหลักการทำงานของวงจร AMI ภาคส่ง จะมีหลักการดังนี้คือ เมื่อทำการป้อนสัญญาณ NRZ ให้กับวงจร โดย IC 4027 เราจะใช้เป็นวงจรนับเบิเพื่อเป็นตัวควบคุม แอนท์เกิดให้สัญญาณที่ออกมาของแอนท์เกิดแต่ละตัวจะแยกคนละบิตเฉพาะลอจิก “1” ของอินพุตที่ป้อนเข้ามา สลับกัน แล้วป้อนไปยังวงจร summing ก็คือ Q1, Q2 และ Q3 ซึ่งจะทำให้การรวมสัญญาณทั้งซิกบวและซิกลบ ก็จะได้สัญญาณ เอาท์พุทออกมาเป็นสัญญาณ AMI ส่งไปยังภาครับต่อไป

ส่วนหลักการทำงานของวงจร AMI ภาครับ จะมีหลักการดังนี้
เมื่อป้อนสัญญาณ AMI ให้กับวงจร (โดยขา 7 ของ LM339 A มีแรงดันเท่ากับ 2.5 v ซึ่งเราให้เป็น V_{UT} และ ขา 4 ของ LM339B นั้นมีแรงดันเท่ากับ -2.5v ซึ่งเราให้เป็น V_{LT}) เมื่อสัญญาณที่ป้อนเข้าไปในวงจรมีค่าน้อยกว่า V_{UT} และ V_{LT} แรงดันที่ขาบวกของ LM339A จะสูงกว่าแรงดันที่ขาลบ สวิตช์ด้านเอาท์พุทซึ่งจะอยู่ภายในตัว LM339A จะสูงกว่าแรงดันที่ขาลบ สวิตช์ด้านเอาท์พุทซึ่งจะอยู่ภายในตัวออปแอมป์ 339A จะเปิด ส่วนของ LM339B นั้น แรงดันที่ขาบวกจะต่ำกว่าแรงดันที่ขาลบ ทำให้สวิตช์ด้านเอาท์พุทซึ่งอยู่ภายในตัวออปแอมป์ 339B จะปิด ลักษณะอย่างนี้จะทำให้ V_{o1} เท่ากับ 0 โวลต์ เอาท์พุทของ D FLIP-FLOP จึงมีค่าเป็นศูนย์ด้วย

2. เมื่อสัญญาณที่ป้อนอยู่ระหว่าง V_{UT} และ V_{LT} แรงดันที่ขาบวกของออปแอมป์ LM339B สูงกว่าแรงดันที่ขาลบ ทำให้สวิตช์ที่อยู่ภายในตัวออปแอมป์ LM339B เปิดส่วนของออปแอมป์ LM339A แรงดันที่ขาบวกจะสูงกว่าแรงดันที่ขาลบ สวิตช์ด้านเอาท์พุทภายในตัวออปแอมป์จะเปิดเช่นกัน ลักษณะอย่างนี้จะทำให้ V_{o1} เท่ากับ +12v เอาท์พุทของ D.FLIP-FLOP จึงมีค่าเป็น +12v ด้วย

3. เมื่อสัญญาณที่ป้อนอยู่สูงกว่า V_{UT} และ V_{LT} แรงดันที่ขาบวกของออปแอมป์ LM339B จะสูงกว่าแรงดันที่ขาลบ สวิตช์ด้านเอาท์พุทภายในจะปิด ทำให้ V_{o1} เท่ากับศูนย์โวลต์ เอาท์พุทของ D FLIP-FLOP จึงมีค่าเป็นศูนย์ด้วย

3.4 การทำงานของวงจร FOUR-LEVEL

สำหรับการทำงานของวงจร four-level ของภาคส่งมีดังนี้ คือจากรูปวงจรที่ 3.4 เมื่อป้อนสัญญาณ NRZ ให้กับ IC 74175 ซึ่งไอซีใหม่นี้จะทำหน้าที่เลื่อนข้อมูลที่ป้อนเข้ามาแล้วเอาท์

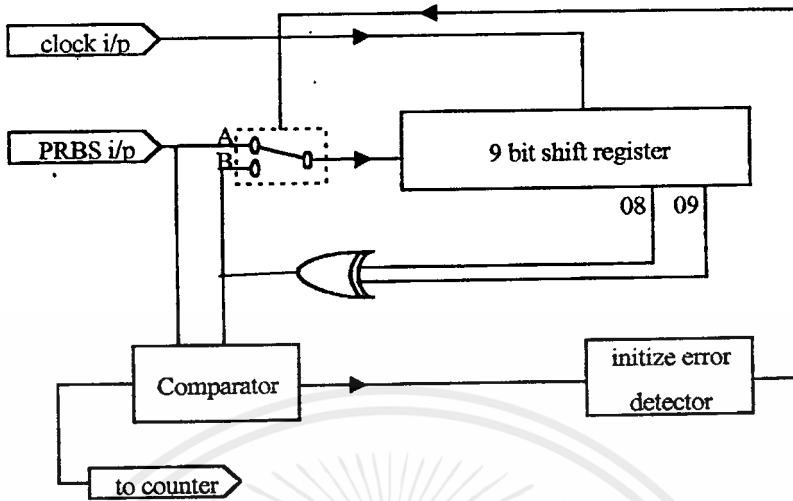
พุทที่ได้จะส่งออกไปให้กับ IC74175 (เป็น Quadruple.D-Type Flip-Flop.with Clear) ซึ่งเอาท์พุทที่ได้ออกมาจะต้องรอ clock ที่ป้อนให้ โดย CLOCK ที่ให้กับ IC74175 นั้นเป็น clock ที่ถูกหาร 4 ซึ่งได้จาก IC74112 เอาท์พุทที่ได้จาก IC74175 นั้นจะถูกส่งไปให้กับ IC4555 (เป็น DUAL 2-TO-4 LINE DECODERS) ซึ่งทำหน้าที่ทำการเข้ารหัสโดยเอาท์พุทที่ขา 4 และขา 5 ของ IC4555 นั้นแรงดันจะถูกตกคร่อมที่ R1 และ R2 ตามลำดับโดยค่าที่ได้จะรวมสัญญาณกัน ส่วนเอาท์พุทที่ขา 6 และ ขา 7 ของ IC4555 ก็ทำงานเหมือนกับเอาท์พุทของ ขา 4 และ ขา 5 ของ IC4555 แล้วส่งป้อนให้กับออปแอมป์ LM 324 แล้วก็จะได้ระดับสัญญาณ four-level ออกมา

ส่วนการทำงานของวงจร four-level ภาครับนั้นมีการนำงานดังนี้คือ จากรูปวงจรที่ 3.5 เมื่อวงจรของภาครับได้รับสัญญาณจากภาคส่งแล้วก็จะทำการแปลงระดับต่าง ๆ ให้เป็นลอจิกโดยใช้ออปแอมป์ LM339 แล้วส่งให้กับ D FLIP-FLOP ซึ่งทำหน้าที่เพื่อให้ภาคส่งกับภาครับ Synchroniz กัน แล้วส่งต่อไปให้ LOGIC GATE ต่าง ๆ เพื่อทำการแปลงลอจิกต่าง ๆ แล้วทำการรวมสัญญาณกันเอาท์พุทที่ or gate ของขา 3 เป็นสัญญาณ NRZ จะถูกส่งให้กับ D FLIP-FLOP เอาท์พุทที่ or gate ของขา 3 เป็นสัญญาณ NRZ จะถูกส่งให้กับ D FLIP-FLOP เอาท์พุทที่ or gate ของขา 3 เป็นสัญญาณ NRZ จะถูกให้กับ D FLIP-FLOP เพื่อให้ภาคส่งและภาครับเกิดการ Synchroniz กัน

3.5 การทำงานของวงจรกำเนิดสัญญาณ CLOCK

จากรูปเป็นวงจรกำเนิดสัญญาณ CLOCK แบบ เลือกว่าค่าตามที่โปรแกรมไว้จะใช้ IC14411 ต่อร่วมกับ CRYSTAL ขนาดค่าตามที่โปรแกรมไว้จะใช้ IC14411 ต่อร่วมกับ CRYSTAL ขนาดความถี่ 1.8432 MHz โดยเราจะเห็นว่าเราได้นำ IC14411 ไปต่อใช้งานร่วมกับ BUFFER 3 STATE ซึ่งแสดงดังรูปที่ 3.6 การทำงานของ BUFFER 3 STATE ถ้าไม่มีลอจิก “1” เข้ามาที่ขา CONTROL จะทำให้เอาท์พุทที่ได้เป็น HIGH IMPEDANCE ดังนั้นจึงทำให้สามารถจะทำให้เอาท์พุททั้งหมด มารวมกันเป็นเอาท์พุทเส้นเดียวกันได้ การที่จะเลือกเอาท์พุทโดยเราได้ใช้ ET-BROAD มาควบคุมเพื่อที่จะให้ buffer ปลดปล่อย CLOCK ในช่องที่ต้องการใช้งานออกมา

สำหรับวงจรใช้ในการควบคุม Multiple เอาท์พุทนั้นจะใช้ ET-BROAD มาควบคุม ทำให้การ Multiple เอาท์พุททำการปล่อยออกไป จะมีการเปลี่ยนแปลงดังนี้คือ 00 01 10 11 ตามลำดับ การ Multiple ก็จะได้ดังนี้คือ *1, *8, *16 และ *64



รูปที่ 3.8 แสดงโครงสร้างการวัดอัตราความผิดพลาดของบิต

โดยในตอนแรกที่ภาควงจรกำเนิดข้อมูลถึงแรนดัมทำงานเป็นอิสระ หรือสวิตช์อยู่ในตำแหน่ง B สัญญาณข้อมูลถึงแรนดัมที่ภาควงจรเปรียบเทียบกับภาคส่งที่วงจรเปรียบเทียบ (COMPARATOR) แล้วป้อนเข้าสู่เริ่มต้นดีเทคความผิดพลาด (INITIAL ERROR DETECTOR) ซึ่งจะพบบิตที่ผิดพลาดมากในช่วงเวลาสั้นๆ ดังนั้นจะทำให้วงจรเริ่มต้นดีเทคความผิดพลาดให้สัญญาณเอาต์พุตที่ทำให้สวิตช์ไปอยู่ที่ตำแหน่ง A ซึ่งเป็นการชิงโครโนซ์ข้อมูล หลังจากสวิตช์อยู่ในตำแหน่ง A ในช่วงเวลาหนึ่งก็จะกลับสู่ตำแหน่ง B ซึ่งเป็นการสร้างสัญญาณถึงแรนดัมที่ภาควงจรที่มีซีเควนตรงกันกับภาคส่งตลอดไป สำหรับส่วนที่เป็นวงจรเปรียบเทียบใช้เอ็กซ์คลูซีฟออเช่นเดียวกับการมอดูโล 2 คือ ถ้าอินพุตทั้งสองต่างกันจะให้เอาต์พุตเป็น "1" ถ้าอินพุตทั้งคู่เหมือนกันจะได้เอาต์พุตเป็น "0" สำหรับส่วนที่เป็นสวิตช์สำหรับเลือกสัญญาณให้กับชุดชิฟท์รีจิสเตอร์ ซึ่งมีขนาด 9 บิต เช่นเดียวกับภาคส่งนั้นสามารถใช้วงจรรวมมัลติเพล็กซ์เซอร์ (MULTIPLEXER) แต่การออกแบบในที่นี้ออกแบบโดยใช้วงจรรวมบัฟเฟอร์ที่สามารถควบคุมให้อยู่ในสภาวะไฮอิมที่แดนซ์ได้ โดยการต่อเป็นสวิตช์ 2 ทงสามารถแสดงได้ดังรูป 3.9

จากรูปสัญญาณ SYNCHRONIZE เป็นสัญญาณเอาต์พุตจากวงจรเริ่มต้นดีเทคความผิดพลาด ถ้าสัญญาณสภาวะ "0" สัญญาณจากอินพุต A ซึ่งเป็นสัญญาณที่รับจากภาคส่งโดยตรงมาทำการชิงโครโนซ์ให้ชิฟท์รีจิสเตอร์ที่ภาควงจรกำเนิดสัญญาณให้มีซีเควนตรงกันกับภาคส่ง แต่ถ้าสัญญาณ SYNCHRONIZE เป็นสภาวะ "1" จะทำให้สัญญาณจากอินพุต B ซึ่งเป็นการป้อนกลับจากชุดชิฟท์รีจิสเตอร์เข้าที่ชิฟท์รีจิสเตอร์ที่ภาควงจรเอง

จากโครงสร้างของวงจรสามารถอธิบายได้คือเมื่อตอนเริ่มต้นสัญญาณ SYNCHRONIZER หรือเอาต์พุตของวงจรนับ 16 จะมีสถานะเป็น “0” หรือเริ่มต้นบรรจุซีแควนของสัญญาณภาคส่งเข้าไปเป็นจำนวน 16 ลูกซึ่งจะเป็นการชิงโครไนซ์ระหว่างภาคส่งและภาครับ หลังจากนั้นเอาต์พุตของวงจรนับ 16 จะมีสถานะเป็น “1” ซึ่งทำให้ภาครับกำเนิดสัญญาณข้อมูลถึงแรนดัมที่เป็นอิสระซีแควนเดียวกันภาคส่งแต่ถ้าเกิดเหตุการณ์ที่ซีแควนของภาคส่งและรับเกิดเลื่อนไม่ตรงกัน ซึ่งอาจจะเกิดขึ้นได้ เนื่องจากการรบกวนของสัญญาณอิมพัลส์ที่ภาคส่งหรือภาครับ โดยเมื่อลำดับของซีแควนของภาคส่งและภาครับไม่ตรงกันหรือเหตุการณ์ชิงโครไนซ์สัญญาณข้อมูลจะผิดพลาดเกิดขึ้นเป็นจำนวนมากหรือมากกว่าจำนวน 50 บิตขึ้นไปภายในสัญญาณนาฬิกาจำนวน 100 บิต วงจรจะเกิดสัญญาณอีนาเบิล (ENABLE) ทำให้อาต์พุตของวงจรนับ 16 เป็นลอจิก “0” ทำการบรรจุสัญญาณถึงแรนดัมภาคส่งเข้าไปในชิพที่รีจิสเตอร์ของภาครับจนครบ เมื่อครบสัญญาณนาฬิกา 16 ลูกจึงทำให้อาต์พุตของวงจรนับ 16 เป็น “1” แต่ภายในช่วงเวลาสัญญาณนาฬิกา 16 ลูกนี้ เกิดสัญญาณบิตที่เข้ามาทางอินพุต ERROR สัญญาณบิตที่ผิดนี้จะเคลียร์วงจรนับ 16 ให้เป็น “0” ซึ่งเป็นการบรรจุซีแควนที่ภาคส่งเข้าไปอีก 16 บิต เพื่อเป็นการป้องกันไม่ให้เกิดการบรรจุซีแควนที่เข้าไปในวงจรรีจิสเตอร์ทางภาครับ สำหรับวงจรในทางปฏิบัติวงจรนับ 50 ใช้วงจรรวม 74LS390 (U1B) ต่อรวมกับ 74LS160 (U2) และวงจรนับ 100 ใช้วงจร 74 LS160 วงจรนับ 16 ใช้วงจรรวม 74LS161 (U6)

จากวงจรนับ 100 และ 50 จะถูกทำการเคลียร์ทุก ๆ สัญญาณนาฬิกา 100 ลูกโดยนำเอาสัญญาณ QD วงจรรวม 74LS390 (U1A) และจาก RCO ของวงจรรวม 74LS160 ผ่านแนนเกตไปเป็นสัญญาณเคลียร์วงจรรวม 74LS390 สำหรับสัญญาณที่เกิดจากความผิดพลาดจำนวน 50 บิตขึ้นภายใน 100 ได้จากการนำเอาสัญญาณขา 74LS160 (U2), 74LS160 (U3) โดยผ่านแนนเกต USA โดยการนำเอาต์พุตดังกล่าวจะมีสถานะเป็น “0” เมื่อมีความผิดพลาดขนาด 50 บิตในร้อยบิต ทำให้อาต์พุตของแนนเกต USB เป็นสถานะเป็น “1” ทำให้สถานะลอจิกที่ขา ENP หรือขาอีนาเบิลของวงจรรวม 74LS161 เกิดการอีนาเบิลให้ 74LS161 เริ่มนับโดยขณะนี้เอาต์พุตขา RCO เป็นสัญญาณเอาต์พุตแนนเกต USA ผ่านแนนเกต USB ดังนั้นทำให้วงจรรวม 74LS161 ทำการนับสัญญาณนาฬิกาไป 16 ลูก ดังนั้น เราจึงสามารถนำเอาสัญญาณ ขา RCO เป็นสัญญาณ SYNCHRONIZE

สำหรับวงจรภาครับได้แต่ถ้าภายในช่วงการนับของ 74LS161 มีบิตที่ผิดพลาดเข้ามาในระบบ วงจรรวม 74LS161 จะถูกเคลียร์ให้เริ่มต้นนับใหม่โดยนำเอาสัญญาณขา RCO ผ่านอิน

เวอร์เตอร์ U4D มาแนบกับสัญญาณที่ผิดพลาดเข้ามาในระบบเป็นสัญญาณเคลียร์ ดังนั้นที่ขาเอาต์พุตของ U4D จึงสามารถใช้เป็นสัญญาณซิงโครไนซ์ เพื่อเกทสวิตช์เช่นเดียวกับสัญญาณ SYNCHRONIZE

รูปแสดงวงจรสวิตช์ วงจรกำเนิดสัญญาณเปรียบเทียบ และวงจรตรวจหาผิดพลาดโดยสวิตช์ใช้ IC 40LS66 และได้สัญญาณควบคุมจากวงจรเริ่มต้นดีเทคความผิดพลาดเมื่อเกิดผิดพลาดขึ้นตามเงื่อนไขที่ จุด D หรือขา 1 ของ 40LS66 จะเป็น “0” และที่จุด E หรือขา 4 จะเป็น “1” ทำให้วงจรกำเนิดสัญญาณเปรียบเทียบรับสัญญาณจากด้านส่งโดยตรง แต่เมื่อไม่มีบิตที่ผิดพลาดเกิดขึ้นแล้ว จุด R จะเป็น “1” และ E จะเป็น “0” วงจรกำเนิดสัญญาณเปรียบเทียบจะกำเนิดโดยอิสระป้อนกลับด้วยตัวมันเอง



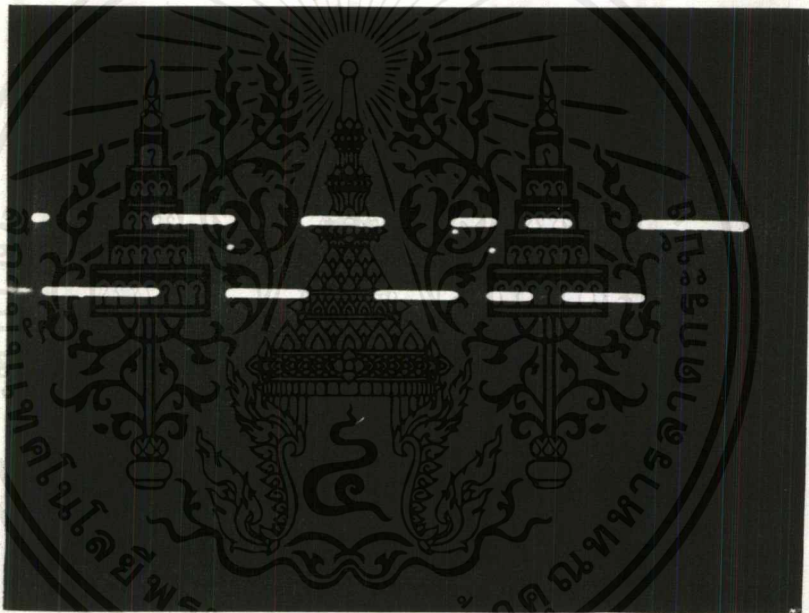
บทที่ 4

การทดลองและผลการทดลอง

การทดลองวงจรกำเนิดสัญญาณ BINARY RANDOM

การทำการป้อนสัญญาณ CLOCK PLUSE ที่ได้จากวงจรสร้างสัญญาณนาฬิกา มาเป็นสัญญาณนาฬิกาให้กับวงจร PRBS ซึ่งการทดลองจะแบ่งได้ดังนี้

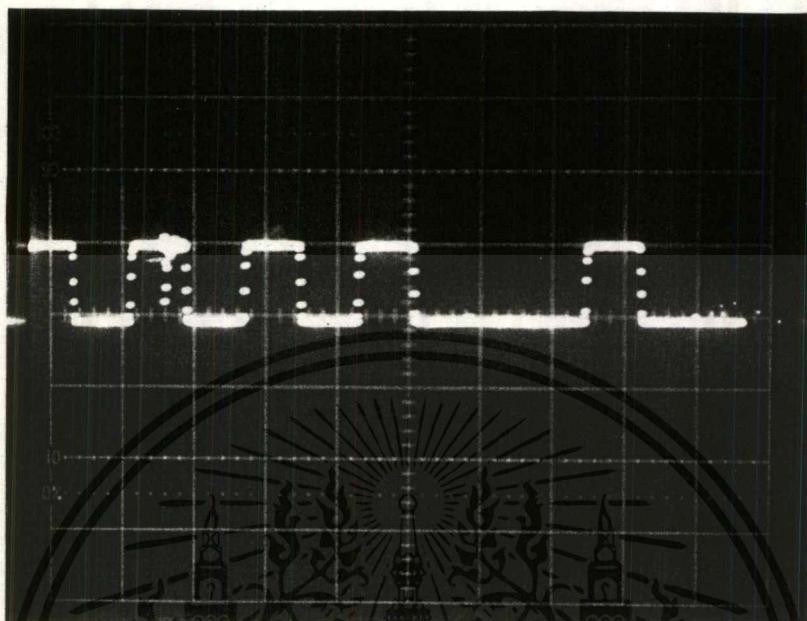
การทดลองวงจรกำเนิดสัญญาณ PRBS ขนาด 9 บิตสามารถสร้างได้ดังรูป เมื่อป้อนสัญญาณนาฬิกาขนาด 20KHz



รูปที่ 4.1 แสดงสัญญาณ PRBS ขนาด 9 บิต

การทดลองวงจรกำเนิดสัญญาณ PRBS ขนาด 17 บิต

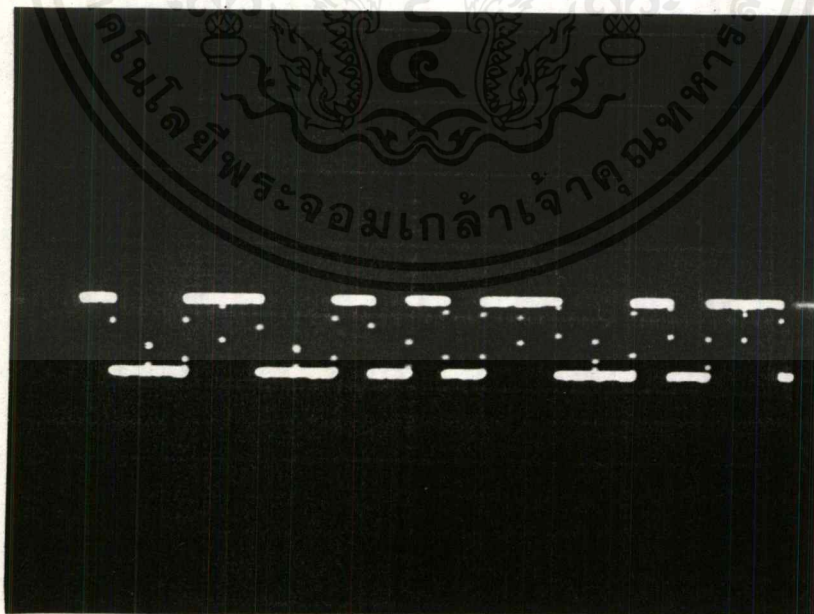
ผลการทดลอง วงจรกำเนิดสัญญาณ PRBS ขนาด 17 บิต สามารถสร้างได้ดังรูปต่อไปนี้
เมื่อป้อนสัญญาณนาฬิกาขนาด 20KHz



รูปที่ 4.2 แสดงสัญญาณ PRBS ขนาด 17 บิต

วงจรกำเนิดสัญญาณ PRBS ขนาด 25 บิต

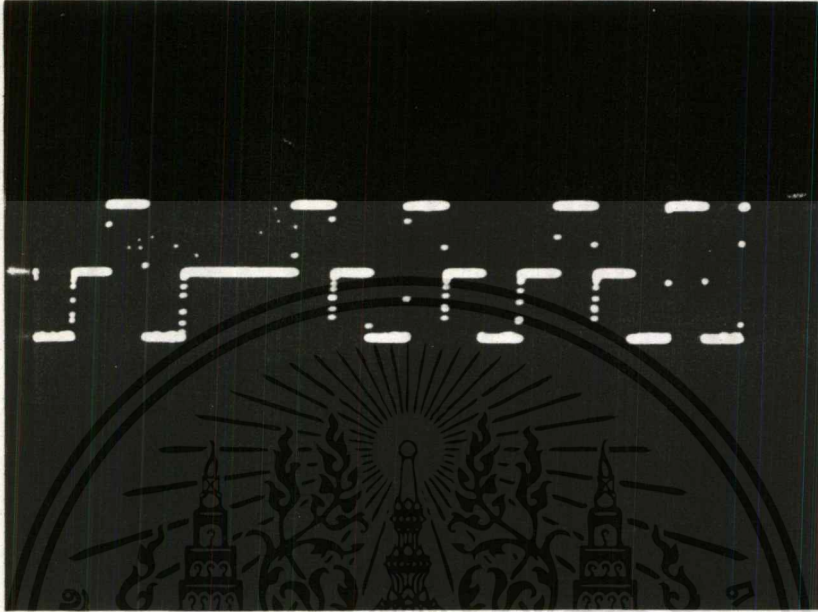
ผลการทดลองวงจรกำเนิดสัญญาณ PRBS ขนาด 25 บิต สามารถวัดสัญญาณได้ดังรูป
ต่อไปนี้ เมื่อสัญญาณนาฬิกาขนาด 20 KHz



รูปที่ 4.3 แสดงสัญญาณ PRBS ขนาด 25 บิต

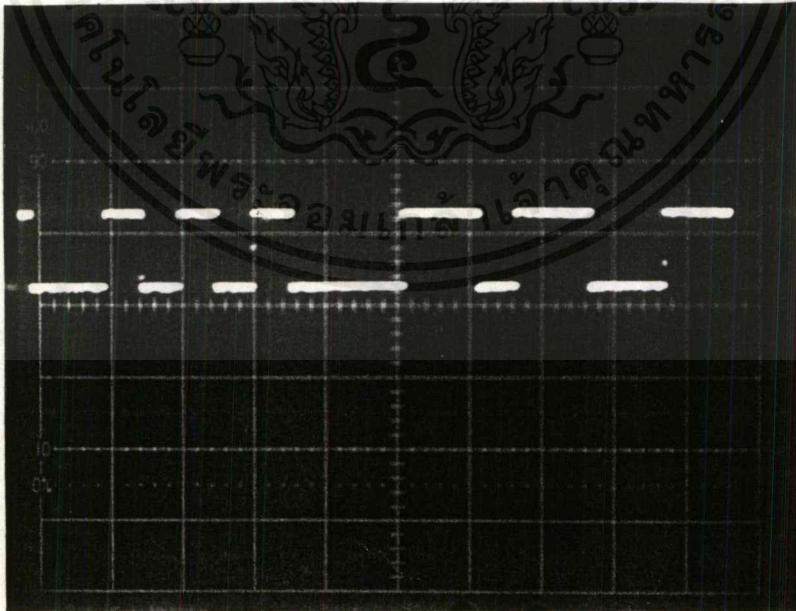
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองวงจรกำเนิดสัญญาณ AMI



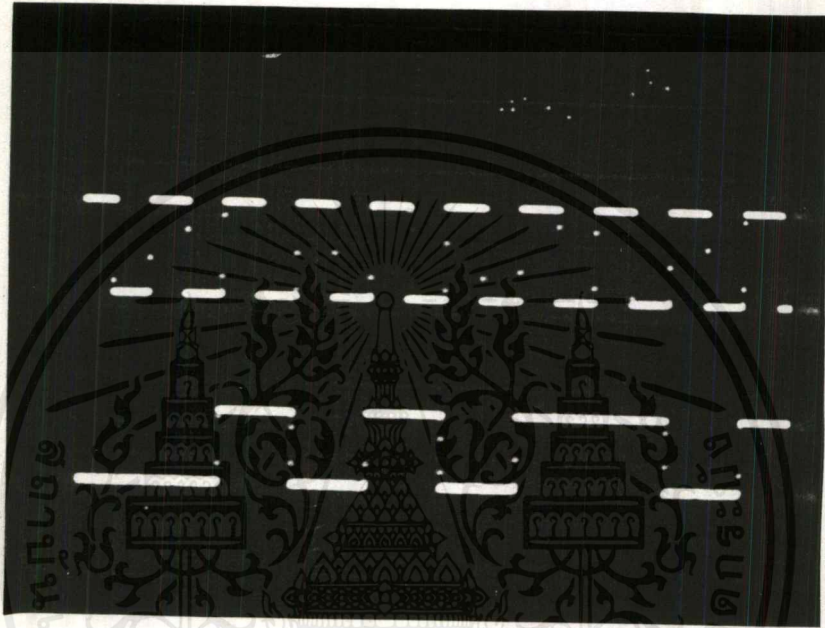
รูปแสดงสัญญาณ AMI 25บิต ความถี่ 20 KHZ

การทดลองวงจรกำเนิดสัญญาณ BI-PHASE



รูป 4.5 แสดงสัญญาณ BI-PHASE ขนาด 25 บิต ความถี่ 20KHZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงสัญญาณที่ได้จากการสร้าง CLOCK REFERENCE 20 KHZ กับ
สัญญาณ PRBS ขนาด 25 บิต

การทดลองวงจรวัดอัตราการผิดพลาด

การประกอบวงจรตามรูปซึ่งเป็นวงจรวัดอัตราการผิดพลาดและวงจรการแสดงผล ผลที่ได้จากการทดลองจะแบ่งออกเป็น 2 กรณีคือ

1. กรณีที่ไม่มีบิตที่ผิดพลาดเลย

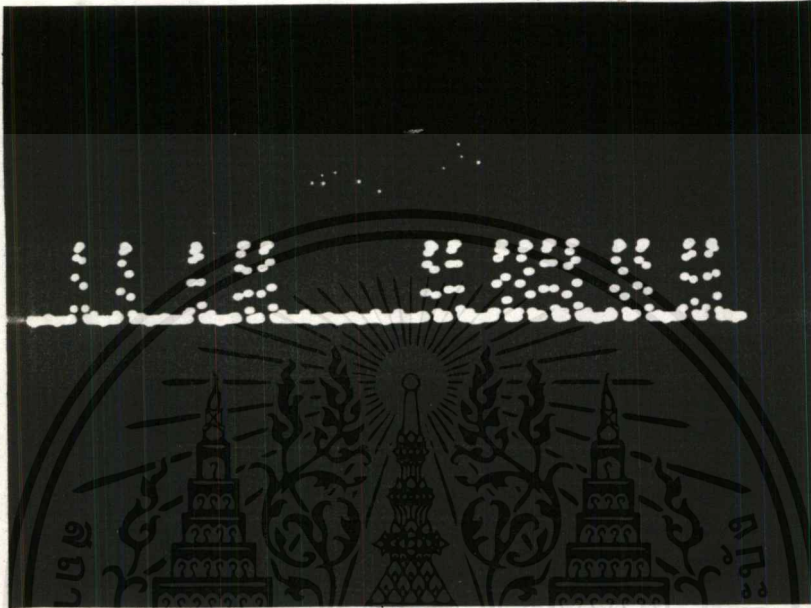
ในกรณีที่ไม่มีบิตที่ผิดพลาดเลยนั้น ทางภาครับก็จะทำการตรวจสอบบิตที่ผิดพลาดซึ่งเมื่อใช้ข้อสจิสไตรโคปจับสัญญาณที่เอาท์พุทของวงจรตรวจสอบการผิดพลาดจะได้ผลดังรูปนี้ ซึ่งภาพการแสดงผลของวงจรตรวจสอบบิตที่ผิดพลาดก็จะแสดงเลข “0”



รูปที่ 4.7 แสดงสัญญาณที่วัดได้จากเอาท์พุทของวงจร ตรวจสอบอัตราการผิดพลาด

2. กรณีที่มีบิตผิดพลาดเกิดขึ้น

ในกรณีที่มีบิตผิดพลาดเกิดขึ้นที่ภาครับก็จะแตกต่างจากกรณีที่ 1 คือสัญญาณที่วัดเอาท์พุทของวงจรตรวจสอบอัตราการผิดพลาด จะมีลักษณะเป็นรูปสัญญาณสี่เหลี่ยมเกิดขึ้นดังรูปนี้ และในส่วนของการแสดงผลอัตราการผิดพลาดนั้นก็จะแสดงเป็นตัวเลขจำนวนบิตที่ผิดพลาด



รูปที่ 4.8 แสดงสัญญาณที่วัดได้จากเอาต์พุตของวงจรตรวจสอบอัตราการผลิต

บทที่ 5
สรุปและวิจารณ์

1. ความเร็วของอัตราการส่งข้อมูลหรือสัญญาณ PRBS หรือสัญญาณเบสแบนด์ สามารถเลือกค่าความเร็วในการส่งสัญญาณได้จากการใช้เครื่อง ET-BROAD มาควบคุม ในการเลือกค่าความถี่จากการโปรแกรมไว้ทั้งหมด 16 ช่องสัญญาณซึ่งแต่ละช่องสัญญาณ สามารถที่จะเพิ่มความถี่ขึ้นไปได้อีกคือ *1, *4, *8 และ *16 หรืออาจจะใช้ปรับความถี่ตามที่ต้องการโดยการป้อนความถี่จากภายนอกก็ได้

2. จำนวนบิตของข้อมูลหรือสัญญาณ PRBS หรือสัญญาณเบสแบนด์ สามารถที่จะปรับเลือกได้จากวงจร หรืออาจจะใช้ ET-BROAD มาเลือกก็ได้ ซึ่งมีให้เลือกได้ 3 ช่วง คือ 9 บิต , 17 บิต และ 25 บิต

3. เนื่องจากที่ความถี่สูง วงจรที่ทำงานที่กำเนิดสัญญาณนาฬิกาให้กับวงจรกำเนิดสัญญาณ PRBS จะมีปัญหาในเรื่องของสัญญาณนาฬิกาจะเป็นสัญญาณที่ไม่เป็นสี่เหลี่ยมอย่างแท้จริง ทำให้สัญญาณ PRBS ที่ได้มีความผิดเพี้ยนเกิดขึ้นและอุปกรณ์บางตัวไม่สามารถทำงานได้ที่ความถี่สูง ๆ จึงทำให้เกิดความผิดเพี้ยนของสัญญาณ

4. สัญญาณ AMI และสัญญาณ BI-PHASE ที่ถูกส่งไปนั้นจะใช้ความถี่สูงมาก ๆ ไม่ได้จะเกิดการ ERROR ขึ้นได้ สาเหตุเนื่องมาจากเกิด DELAY ที่ตัวอุปกรณ์ ซึ่งแต่ละตัวจะมี DELAY ไม่เท่ากัน ทำให้สัญญาณ AMI กับสัญญาณ BI-PHASE ที่ถูกส่งออกไปมีขอบพัลส์เล็ก ๆ หรือบิดเส้นตรงที่ความถี่สูง

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้ได้สำเร็จลุล่วงลงได้ด้วยความร่วมมือ และความตั้งใจในการทำงานของเพื่อนร่วมงานในกลุ่ม PROJECT ทั้งยังได้รับคำแนะนำจากอาจารย์ที่ปรึกษาทางด้านเทคนิคและแนวความคิดต่าง ๆ อีกทั้งยังได้รับความช่วยเหลือและคำแนะนำจากเพื่อน ๆ หลายท่าน และสำคัญที่จะขาดเสียมิได้คือ บิดา มารดา ผู้มีพระคุณทุก ๆ ด้าน
ทางคณะผู้จัดทำ ขอกล่าวขอบพระคุณไว้ ณ โอกาสนี้ด้วย

คณะผู้จัดทำ

ประเสริฐ

เนียมหอม

อรรณพ

สรวิสูตร



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ได้ควบคุมวงจรโดยเขียนด้วยภาษา Z-80

*****MENU*****

CPU "Z80.TBL"

HOF "INT8"

ORG 2000H

CLR_LCD: EQU 17H

LCDCMD: EQU 0BH

WRLCD: EQU 0EH

DSEC: EQU 2FH

DMSEC: EQU 2EH

SYSCAL: EQU 10H

PORT: EQU 20H

ACCEPT: EQU 07H

PREV: EQU 18H

MENU_UP: EQU 10H

MENU_DN: EQU 11H

TITLE: EQU 4EH

LBEEP: EQU 4DH

HBEEP: EQU 4CH

NUM_MENU: EQU 4 ;number of menu

MN_SIG: EQU 1

MN_BIT: EQU 2

MN_MOD: EQU 3

MN_FRE: EQU 4

IT_SIG: EQU 5 ;number item of menu1

IT_BIT: EQU 3

IT_MOD: EQU 3

```

IT_FRE: EQU 16
MENU_ONE: EQU 1
ITEM_ONE: EQU 1 ;lower of item

;

MAIN: LD A,80
      OUT (PORT+3),A ;initial port

      CALL CLR_BUF ;Clear display buffer
      LD HL,LOGO
      CALL DSP_MIX
      LD A,TITLE
      RST SYSCAL
      CALL CLR_BUF
      LD HL,LOGO+16
      CALL DSP_WARP
      CALL DELAY

      CALL CLR_BUF
      LD HL,LOGO+32 ; LOGO
      CALL DSP_MIX

      CALL CLR_BUF
      LD HL,LOGO+48
      CALL DSP_WARP
      CALL DELAY

      LD D,1 ;keep menu
      LD E,1 ;keep item
      CALL DSP_MENU ;display menu

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

ENT:  LD  A,03          ;receive key
      RST  SYSCAL

      CP  ACCEPT        ;chk ENT
      JR  NZ,ESC

      CALL OUT_SIG      ;send output
      LD  A,D           ;chk menu
      CP  NUM_MENU      ;chk upper menu ?
      JR  NZ,ENT1
      LD  D,MENU_ONE    ;end process and start new menu

      CALL OUTPORT      ;sent data to port

      CALL CLR_BUF      ;display process complete
      LD  HL,COMPTE
      CALL DSP_WARP
      CALL DELAY

      PUSH DE
      LD  A,TITLE
      RST  SYSCAL
      POP DE
      JP  ENT2

```

```

ENT1:  INC  D
ENT2:  LD  E,ITEM_ONE

```

```

      CALL DSP_MENU      ;display menu & item (new)
      JR  ENT            ;return to start receive key

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ESC: CP PREV ;chk ESC
```

```
JR NZ,KEY_DWN
```

```
LD A,D
```

```
CP MENU_ONE
```

```
JR Z,ESC1
```

```
DEC D
```

```
JR ESC2
```

```
ESC1: LD A,LBEEP
```

```
RST SYSCAL
```

```
ESC2: LD E,ITEM_ONE ;display item1
```

```
CALL DSP_MENU
```

```
JR ENT
```

```
;***** DOWN KEY*****
```

```
;** down = item of menu **
```

```
KEY_DWN: CP MENU_DN ;chk KEY DOWN
```

```
JR NZ,KEY_UP
```

```
LD A,D
```

```
CP MN_SIG ;chk menu= menu sig?
```

```
JR NZ,PASS_DW1 ;
```

```
LD A,E
```

```
CP IT_SIG
```

```
JR Z,KEY_DWN1
```

```
INC E
```

```
JR KEY_DWN1
```

```
PASS_DW1: LD A,D
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CP MN_FRE
JR NZ,PASS_DW2
```

```
LD A,E
CP IT_FRE
JR Z,KEY_DWN1
INC E
JR KEY_DWN1
```

```
PASS_DW2: LD A,E ;use number item of bit and mode
```

```
CP IT_BIT
JR Z,KEY_DWN1
INC E
```

```
KEY_DWN1: CALL DSP_ITEM
JR ENT
```

```
KEY_UP: CP MENU_UP
JR NZ,ENT
LD A,E
CP ITEM_ONE
JR Z,KEY_UP1
DEC E
```

```
KEY_UP1: CALL DSP_ITEM
JR ENT
```

```
;
;***** SUB *****
;
;*****
; DISPLAY MENU *
;*****
```

; display menu from D & E

;

DSP_MENU: PUSH DE

LD A,D

CP MN_SIG ;compare for display from BUF

JR NZ,DSPMN1 ;display menu

LD HL,MENU1

JR DSPMN4

DSPMN1: CP MN_BIT

JR NZ,DSPMN2

LD HL,MENU2

JR DSPMN4

DSPMN2: CP MN_MOD

JR NZ,DSPMN3

LD HL,MENU3

JR DSPMN4

DSPMN3: LD HL,MENU4

DSPMN4: CALL CLR_BUF

CALL DSP_WARP

CALL DELAY

LD B,0 ;add for skip 16 bit

LD C,16

ADD HL,BC

CALL CLR_BUF ;display select

CALL DSP_WARP

CALL DELAY

```

LD B,E
LD D,0
LD E,16
ADD_MN: ADD HL,DE      ;display item
DJNZ ADD_MN
CALL CLR_BUF
CALL DSP_WARP

```

```

LD A,HBEEP
RST SYSCAL
POP DE
RET

```

```

;
;*****
; DISPLAY ITEM *
;*****
;
DSP_ITEM: PUSH DE
LD A,D
CP MN_SIG
JR NZ,DSP_IT1
LD HL,MENU1
JR DSP_IT4

```

```

DSP_IT1: CP MN_BIT
JR NZ,DSP_IT2
LD HL,MENU2
JR DSP_IT4

```

DSP_IT2: CP MN_MOD

JP NZ,DSP_IT3

LD HL,MENU3

JR DSP_IT4

DSP_IT3: LD HL,MENU4

DSP_IT4: LD B,E

LD D,0

LD E,16

ADD HL,DE ;skip select menu

ADD_IT: ADD HL,DE ;display item

DJNZ ADD_IT

CALL CLR_BUF

CALL DSP_WARP

POP DE

RET

;

; DISPLAY WARP *

; I/P =HL

DSP_WARP:

PUSH BC

PUSH DE

PUSH HL

LD DE,DSP_BUF

LD BC,16

LDIR

CALL WR_DSP

CALL DELAY1

POP HL

POP DE

POP BC

RET

;*****

; DISPLAY SHIFT LEFT *

;*****

;

DSP_LEFT:

LD C,16

DSP_L1: LD D,(HL)

LD B,16

CALL BSHL

CALL WR_DSP

CALL DELAY1

INC HL

DEC C

JR NZ,DSP_L1

CALL DELAY

RET

;

;*****

; DISPLAY SHIFT RIGHT *

;*****

;

DSP_RIGHT:

LD C,16

DSP_R1: LD D,(HL)

LD B,16

CALL BSHL

CALL WR_DSP

```

CALL DELAY1
INC HL
DEC C
JR NZ,DSP_R1
CALL DELAY
RET

```

```

;*****
;
; DISPLAY LEFT_RIGHT *
;*****
;
DSP_MIX:
    LD BC,7
    ADD HL,BC
    PUSH HL
    POP IX
    INC HL

    LD E,8
MIX1:  LD D,(IX+0)
    LD B,8
    CALL BSHR

    LD D,0C0H
    LD A,LCD_CMD
    RST SYSCAL
    LD D,(HL)
    LD B,8
    CALL BSHL

    CALL WR_DSP
    CALL DELAY1

```

```

INC HL
DEC IX
DEC E
JR  NZ,MIX1
CALL DELAY
RET

```

```

,*****
;
;  SHIFT LEFT  *
,*****
;
; I/P =B (NUMBER OF SHIFT)
;
BSHL:  PUSH HL
        LD  HL,DSP_BUF+15
BSHL1:  LD  A,(HL)
        LD  (HL),D
        LD  D,A
        DEC HL
        DJNZ BSHL1
        POP HL
        RET

```

```

,*****
;
;  SHIFT RIGHT  *
,*****
;
; I/P =B (NUMBER OF SHIFT)
;
BSHR:  PUSH HL
        LD  HL,DSP_BUF
BSHR1:  LD  A,(HL)
        LD  (HL),D
        LD  D,A

```

```
INC HL
DJNZ BSHR1
POP HL
RET
```

```
*****
;
; WRITE DISPLAY *
```

```
*****
;
;
```

```
WR_DSP: PUSH HL
        LD A,CLR_LCD
        RST SYSCAL
        LD B,8
        LD HL,DSP_BUF
WR_DSP1: LD D,(HL)
        LD A,WRLCD
        RST SYSCAL
        INC HL
        DJNZ WR_DSP1

        LD B,8
        LD D,0C0H
        LD A,LCD_CMD
        RST SYSCAL
```

```
WR_DSP2: LD D,(HL)
        LD A,WRLCD
        RST SYSCAL
        INC HL
        DJNZ WR_DSP2
```

```

POP HL
RET

;
;*****
; CLEAR BUFFER DSP *
;*****
;
CLR_BUF: PUSH HL
        PUSH DE
        LD HL,DSP_BUF
        LD DE,DSP_BUF+1
        LD BC,16
        LD HL," "
        LDIR
        POP DE
        POP HL
        RET
;
;*****
; SIGNAL OUTPUT *
;*****
; I/P =D,E
;
OUT_SIG: PUSH BC
        PUSH DE
        PUSH HL

        LD HL,PORT_BUF
        LD A,D

```

```

CP MN_SIG
JR NZ,OUT_SIG1
LD (HL),E
JR OUT_SIG4

```

```

OUT_SIG1: INC HL
CP MN_BIT
JR NZ,OUT_SIG2
LD (HL),E
JR OUT_SIG4

```

```

OUT_SIG2: CP MN_MOD
JR NZ,OUT_SIG3
LD B,4
SHIFT_IT: SLA E
DJNZ SHIFT_IT
LD A,(HL)
OR E ;use item bit and mode
LD (HL),A
JR OUT_SIG4

```

```

OUT_SIG3: INC HL
LD (HL),E

```

```

OUT_SIG4: POP HL
POP DE
POP BC
RET

```

```

;
;*****
;
; .SIGNAL OUTPUT *
;*****
;

```

```

; get data from port_buf sent output
;
OUTPORT: LD HL,PORT_BUF ;sent port1
;LD C,PORT
ld c,60h
LD A,(HL)
OUT (C),A ; or for use 1 port
ld c,40h

```

```

; INC C
INC HL
LD A,(HL)
OUT (C),A
call delay
ld c,60h
ld a,00
out (c),a
call delay
ld c,60h
; INC C
INC HL
LD A,(HL)
OUT (C),A
RET

```

```

;
;*****
; DELAY SUB. *
;*****
DELAY1: LD A,DMSEC
LD B,50H

```

```

RST SYSCAL
RET
;
DELAY: LD A,DSEC
      LD B,1
      RST SYSCAL
      RET
;
/* TABLE OF DISPLAY */
;
LOGO: DFB " kmit'l "
      DFB " BIT RATE "
      DFB " GENERATOR "
      DFB " CONTROL "
COMPT: DFB "PROCESS COMPLETE"
MENU1: DFB "BEST BAND SIGNAL"
      DFB " SELECT SIGNAL "
;
      DFB " AMI ",7EH
      DFB 7FH," NRZ ",7EH
      DFB 7FH," PRBS ",7EH
      DFB 7FH," BIPHASE ",7EH
      DFB 7FH," MULTI LEVEL "

MENU2: DFB " BIT "
      DFB " SELECT BIT "
;

```

DFB " 9 BIT ",7EH
DFB 7FH," 17 BIT ",7EH
DFB 7FH," 25 BIT ",

MENU3: DFB " MODE "
DFB " SELECT MODE "

;

DFB " *1 ",7EH
QFB 7FH," *10 ",7EH
DFB 7FH," *100 ",7EH

MENU4: DFB " CLOCK "
DFB " SELECT CLOCK "

;

DFB " F1 ",7EH
DFB 7FH," F2 ",7EH
DFB 7FH," F3 ",7EH
DFB 7FH," F4 ",7EH
DFB 7FH," F5 ",7EH
DFB 7FH," F6 ",7EH
DFB 7FH," F7 ",7EH
DFB 7FH," F8 ",7EH
DFB 7FH," F9 ",7EH
DFB 7FH," F10 ",7EH
DFB 7FH," F11 ",7EH
DFB 7FH," F12 ",7EH
DFB 7FH," F13 ",7EH
DFB 7FH," F14 ",7EH
DFB 7FH," F15 ",7EH
DFB 7FH," F16 "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ERROR: DFB "ERROR BIT RATE IS"

;

;

ORG 3000H

DSP_BUF: DFB 16

;

ORG 3020H

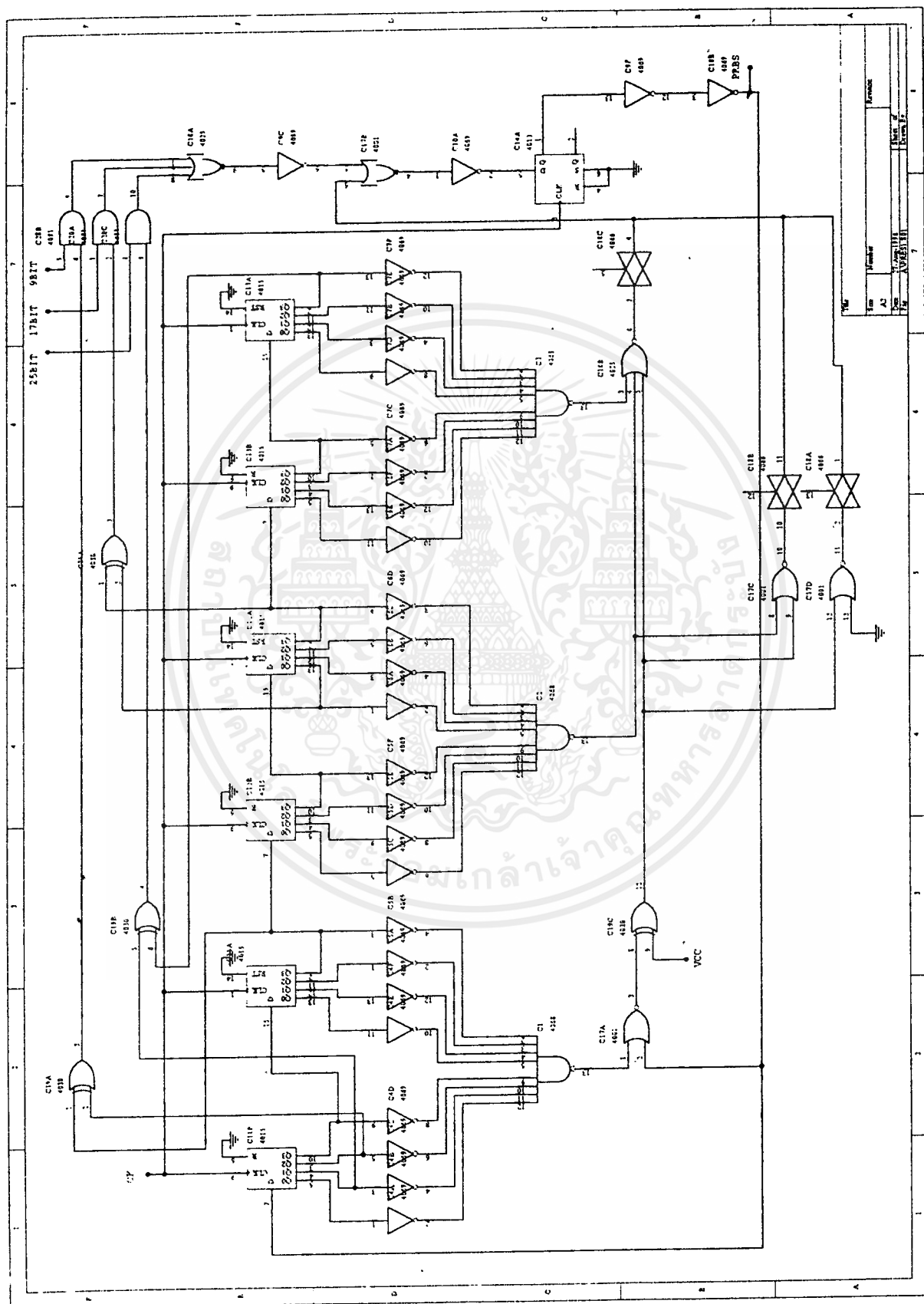
PORT_BUF: DFB 3

;

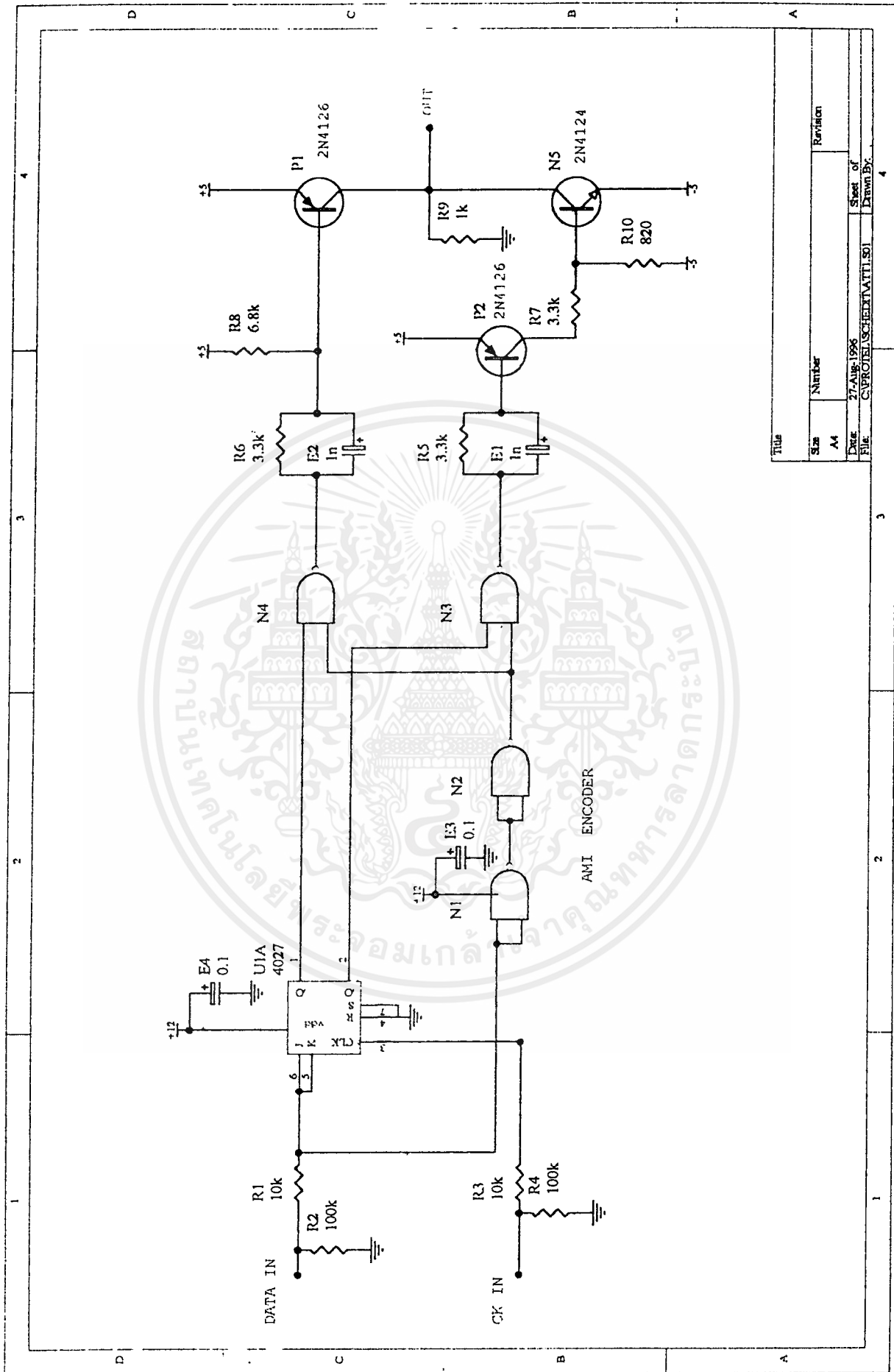
END



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

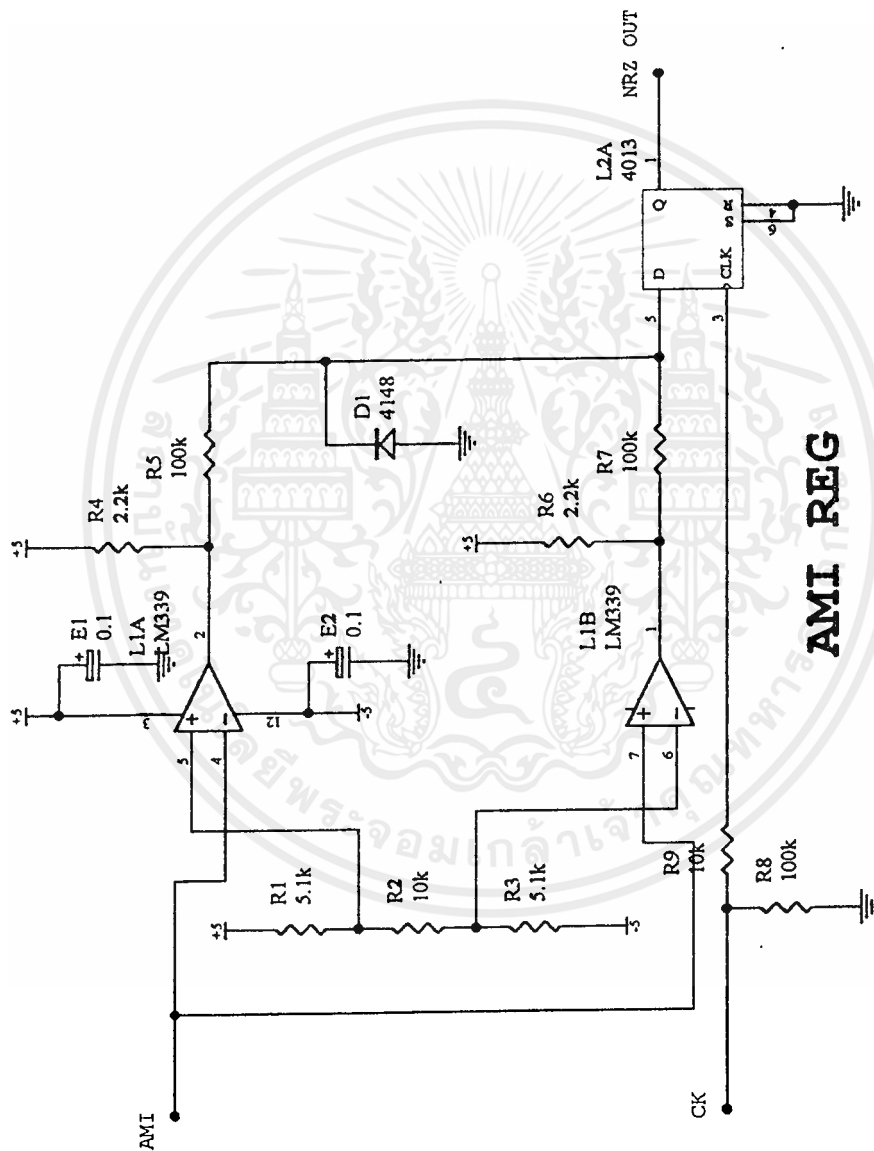


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



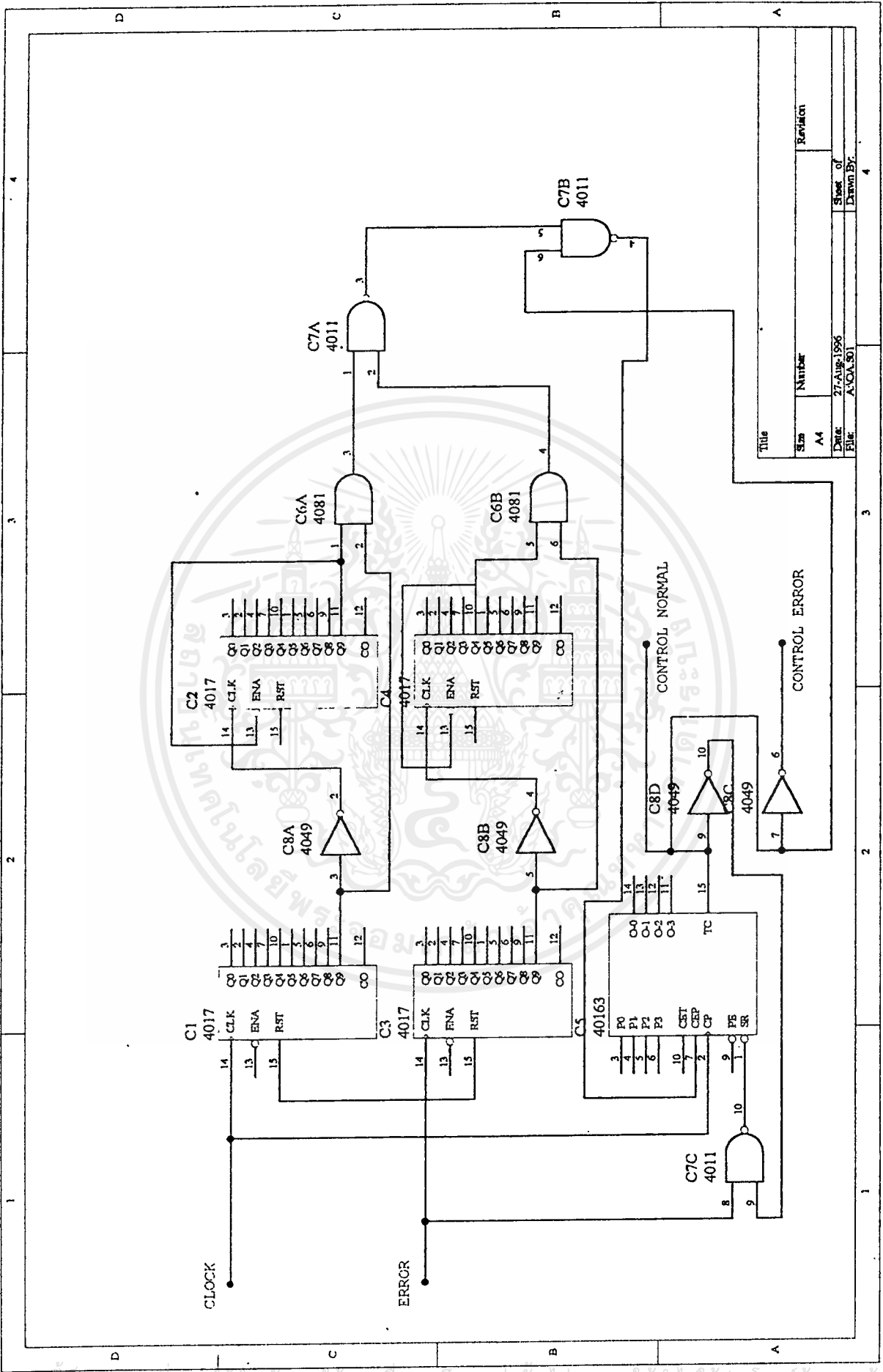
Title		Revision	
Size	Number		
A4			
Date	27-Aug-1996	Sheet of	
File	C:\PROTEL\SCHEM\ATTI1.SOI	Drawn By	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

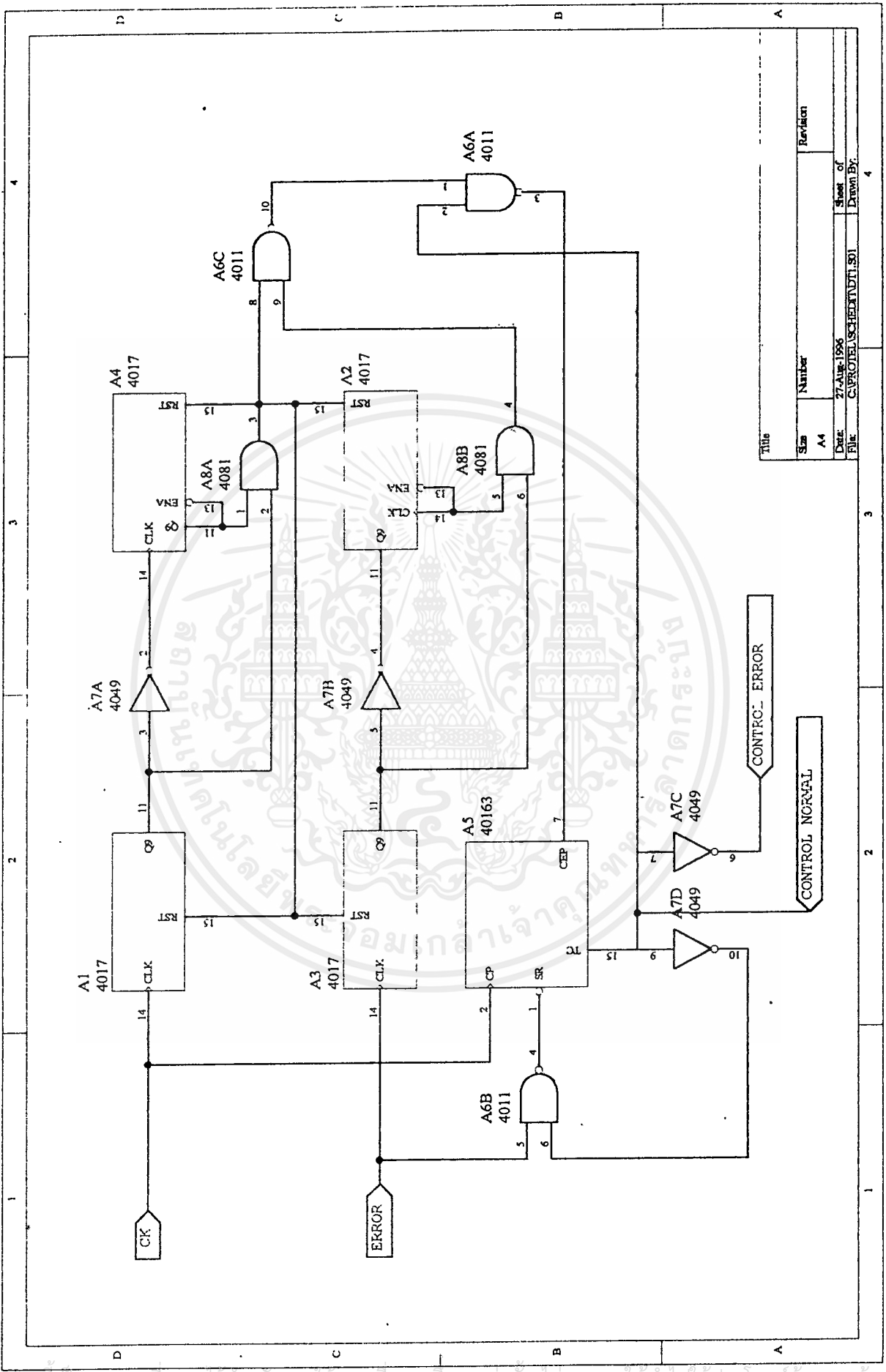


AMI REG

Title		Revision	
Size	Number		
A4			
Date:	Sheet of		
File	Drawn By:		



Title		Revision	
Size	Number		
A4			
Date:	27-Aug-1996	Sheet of	
File:	A:\QA\801	Drawn By:	



Title		Size	Number	Revision
		A4		
Date	27-Aug-1986	Sheet of		Drawn By
File	C:\PROTEUS\DESIGN\UT1.SDI	Sheet of		Drawn By

MC14411

CMOS LSI

(LOW-POWER COMPLEMENTARY MOS)

BIT RATE GENERATOR

BIT RATE GENERATOR

The MC14411 bit rate generator is constructed with complementary MOS enhancement mode devices. It utilizes a frequency divider network to provide a wide range of output frequencies.

A crystal controlled oscillator is the clock source for the network. A two-bit address is provided to select one of four multiple output clock rates.

Applications include a selectable frequency source for equipment in the data communications market, such as teleprinters, printers, CRT terminals, and microprocessor systems.

- Single 5.0 Vdc ($\pm 5\%$) Power Supply
- Internal Oscillator Crystal Controlled for Stability (1.5-33 MHz)
- Sixteen Different Output Clock Rates
- 50% Output Duty Cycle
- Programmable Time Bases for One of Four Multiple Output Rates
- Buffered Outputs Compatible with Low Power TTL
- Noise Immunity = 45% of VDD Typical
- Diode Protection on All Inputs
- External Clock May be Applied to Pin 21
- Internal Pullup Resistor on Reset Input



PIN ASSIGNMENT

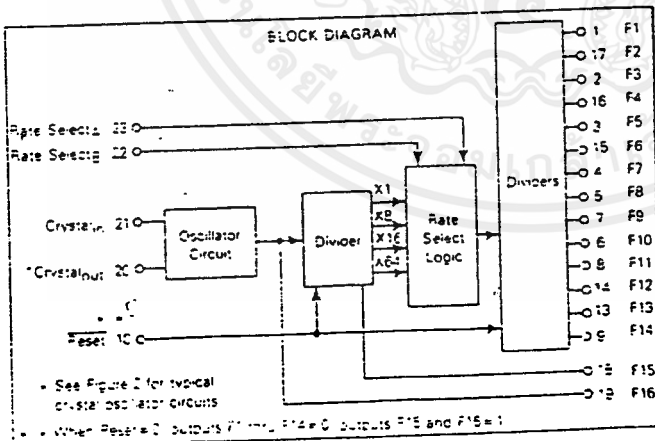
F1	1	24	VDD
F2	2	23	RS4
F3	3	22	RS8
F4	4	21	X1A1-
F5	5	20	X1A2out
F10	6	19	F16
F6	7	18	F15
F11	8	17	F2
F14	9	16	F4
Reset	10	15	F6
Not Used	11	14	F12
VSS	12	13	F13

VDD = Pin 24
VSS = Pin 12

MAXIMUM RATINGS (Voltages referenced to VSS, Pin 12)

Rating	Symbol	Value	Unit
DC Supply Voltage Range	VDD	5.25 to -0.5	V
Input Voltage, All Inputs	Vin	+0.5 to VSS-0.5	V
DC Current Drain per Pin	I	10	mA
Operating Temperature Range	TA	-40 to +85	°C
Storage Temperature Range	Tstg	-65 to +150	°C

BLOCK DIAGRAM



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that Vin and Vout be constrained to the range VSS $\leq$ Vin or Vout $\leq$ VDD. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either VSS or VDD).

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	VDD Vdc	-40°C		25°C		85°C		Unit	
			Min	Max	Min	Typ	Max	Min		Max
Supply Voltage	VDD	—	4.75	5.25	4.75	5.0	5.25	4.75	5.25	V
Output Voltage "0" Level "1" Level	Vout	5.0	—	0.05	—	0	0.05	—	0.05	V
		5.0	4.95	—	4.95	5.0	—	4.95	—	V
Input Voltage V _I = 4.5 or 0.5 V _I V _I = 0.5 or 4.5 V _{OC}	V _{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	V
	V _{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	V
Output Drive Current V _{OH} = 2.5 V _I Source V _{OL} = 0.4 V _I Sink	I _{OH}	5.0	-0.23	—	-0.20	-1.7	—	-0.16	—	mA
	I _{OL}	5.0	0.23	—	0.20	0.78	—	0.16	—	mA
Input Current Pins 21, 22, 23 Pin 10	I _{in}	—	—	±0.1	—	±0.000001	±0.1	—	±1.0	μA
		5.0	—	—	-1.5	—	-7.5	—	—	μA
Input Capacitance (V _I = 0)	C _{in}	—	—	—	—	5.0	—	—	—	pF
Quiescent Dissipation	P _Q	5.0	—	2.5	—	0.015	2.5	—	15	mW
Power Dissipation*** (Dynamic plus Quiescent) (C _L = 15 pF)	P _D	5.0	—	—	P _D = 17.5 mW/MHz (1 - P _Q)					mW
Output Rise Time** t _r = 15.0 ns/pF C _L = 25 ns	t _{RLH}	5.0	—	—	—	70	200	—	—	ns
Output Fall Time** t _f = 17.5 ns/pF C _L = 47 ns	t _{THL}	5.0	—	—	—	70	200	—	—	ns
Input Clock Frequency	f _{CL}	5.0	—	1.85	—	—	1.85	—	1.85	MHz
Clock Pulse Width	t _{WIC}	—	200	—	200	—	—	200	—	ns
Reset Pulse Width	t _{WR}	—	500	—	500	—	—	500	—	ns

*For dissipation at different external capacitance (C_L) refer to corresponding formula

$$P_T(C_L) = P_D + 2.6 \times 10^{-3} C_L - 15 \text{ pF} V_{DD}^2$$

where P_T, P_D in mW; C_L in pF; V_{DD} in Vdc, and f in MHz

**The formulae given is for the typical characteristics only.

TABLE 1 — OUTPUT CLOCK RATES

Rate Select		Rate
B	A	
0	0	X1
0	1	X5
1	0	X16
1	1	X64

Output Number	Output Rates (Hz)				
	X64	X16	X8	X4	X1
F1	614.4 k	153.6 k	76.8 k	38.4 k	9600
F2	460.8 k	115.2 k	57.6 k	28.8 k	7200
F3	307.2 k	76.8 k	38.4 k	19.2 k	4800
F4	230.4 k	57.6 k	28.8 k	14.4 k	3600
F5	153.6 k	38.4 k	19.2 k	9.6 k	2400
F6	115.2 k	28.8 k	14.4 k	7.2 k	1800
F7	76.8 k	19.2 k	9.6 k	4.8 k	1200
F8	38.4 k	9600	4800	2400	600
F9	19.2 k	4800	2400	1200	300
F10	12.8 k	3200	1600	800	200
F11	9600	2400	1200	600	150
F12	8613.2	2153.3	1076.6	538.3	134.6
F13	7035.5	1758.8	879.4	439.7	109.9
F14	4800	1200	600	300	75
F15	921.6 k	230.4 k	115.2 k	57.6 k	14.4 k
F16*	1.843 M	460.8 k	230.4 k	115.2 k	28.8 k

*F16 is buffered oscillator output

FIGURE 1 — DYNAMIC SIGNAL WAVEFORMS

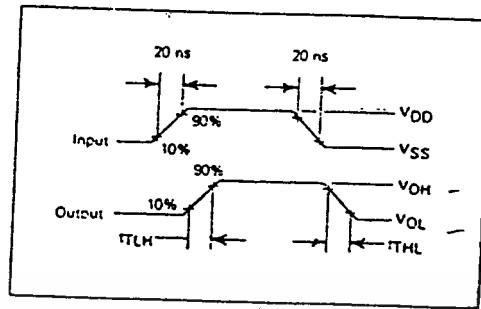
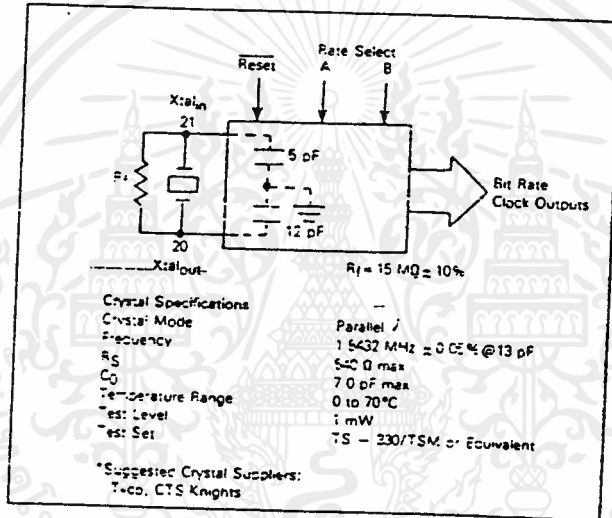


FIGURE 2 — TYPICAL CRYSTAL OSCILLATOR CIRCUIT



Circuit diagrams utilizing Motorola products are included as a means of illustrating typical semiconductor applications; consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc. or others.

SCL4011UB



CMOS NAND GATE (Unbuffered)

FEATURES

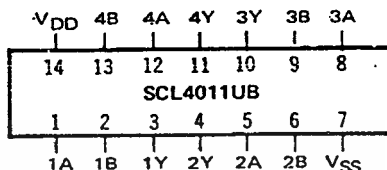
- ◆ Unbuffered Outputs for Quasi-Linear Applications
- ◆ Quad 2-Input NAND Configuration
- ◆ Diode Protection on all Inputs
- ◆ Output Drive Current Compatible with "B" Series
- ◆ Pin Compatible with Buffered SCL4011B
- ◆ Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4011UB consists of four positive-logic NAND gates. The outputs are unbuffered, making the device suitable for quasi-linear applications, such as gated oscillators, multivibrators, and pulse shaping circuits.

For digital applications, the buffered SCL4011B is recommended for its higher gain and input pattern insensitivity.

CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

TRUTH TABLE

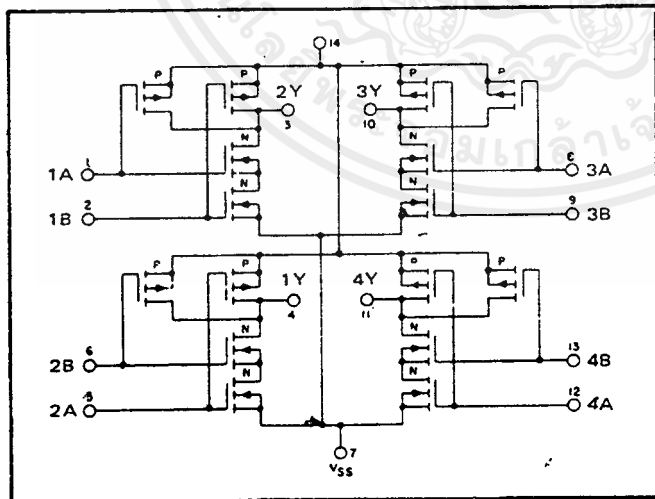
Inputs	Output
1 1	0
All other combinations	1

RECOMMENDED OPERATING CONDITIONS

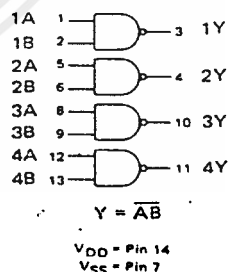
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

SCHEMATIC DIAGRAM



LOGIC DIAGRAM



ELECTRICAL CHARACTERISTICS

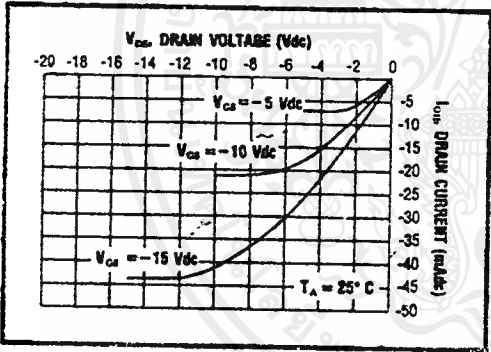
STATIC CHARACTERISTICS 1, 3

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	V _{IN} = V _{SS} or V _{DD} All valid input combinations	—	0.05	—	0.0005	0.05	—	1.5	μA _{dc}
			—	0.10	—	0.001	0.10	—	3.0	
			—	0.20	—	0.002	0.20	—	6.0	

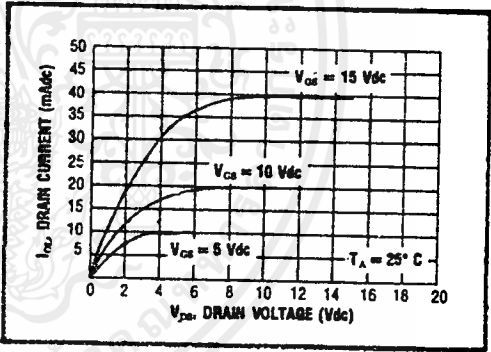
- NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
² T_{LOW} = -55°C for C, D, F, H device.
 = -40°C for E device.
 T_{HIGH} = +125°C for C, D, F, H device.
 = + 85°C for E device.
³ This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V _{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t _{PLH} , t _{PHL}	5	—	75	150	ns
		10	—	35	70	
		15	—	25*	50	
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	

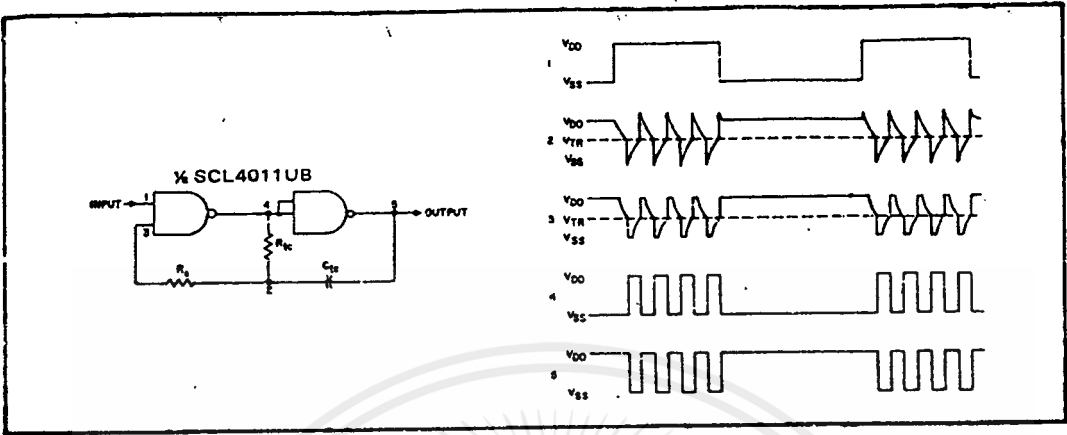


Typical P-Channel
Source Current Characteristics

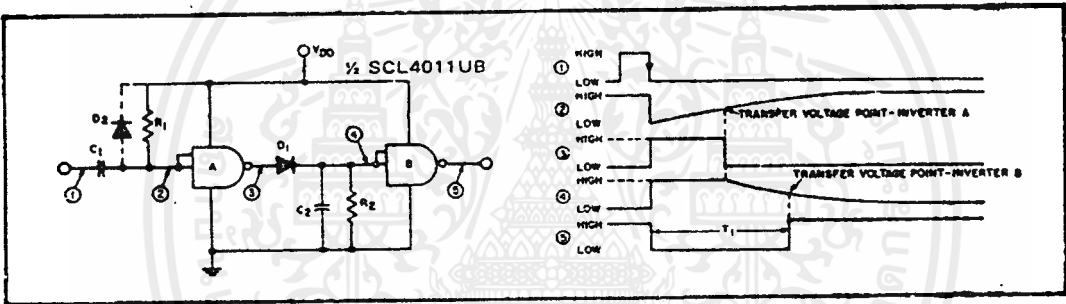


Typical N-Channel
Sink Current Characteristics

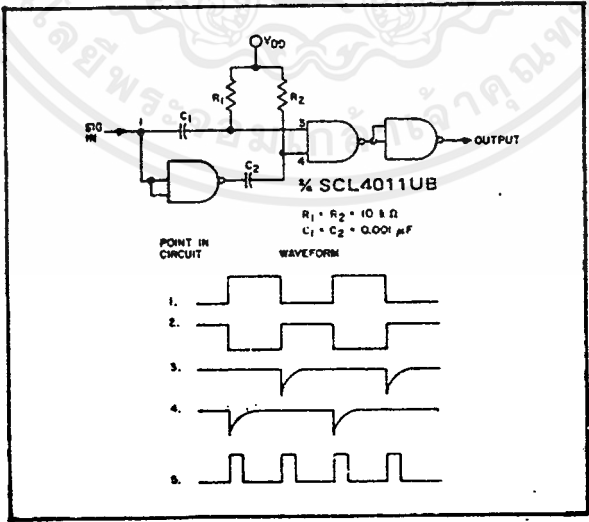
APPLICATIONS INFORMATION



Gated Oscillator



Compensated Monostable Multivibrator
(Independent of Transfer Voltage)



Frequency Doubler

SCL4013B



CMOS DUAL D-TYPE FLIP-FLOP

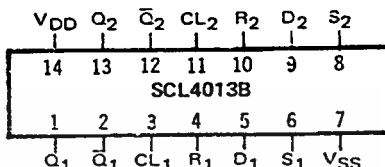
FEATURES

- ◆ Independent Set and Reset Controls
- ◆ Static Operation
- ◆ Logic Edge-Clocked Design
- ◆ 16MHz Toggle Rate @ 10Vdc
- ◆ Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4013B consists of two identical, independent D-type Flip-Flops. These devices can be used for shift register applications, and, by connecting the $\bar{Q}$ output to the Data input, for counter and toggle applications. The logic level present at the D input is transferred to the Q output during the positive-going transition of the Clock pulse. Setting or resetting is independent of the Clock and is accomplished by a high level on the Set or Reset line, respectively.

CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

TRUTH TABLE

CL Δ	D	R	S	Q	$\bar{Q}$
	0	0	0	0	1
	1	0	0	1	0
	x	0	0	Q	$\bar{Q}$
x	x	1	0	0	1
x	x	0	1	1	0
x	x	1	1	1	1

NO CHANGE

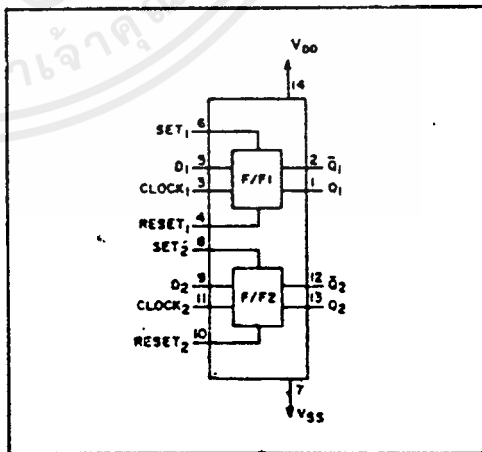
Δ = Level Change
x = Don't Care

RECOMMENDED OPERATING CONDITIONS

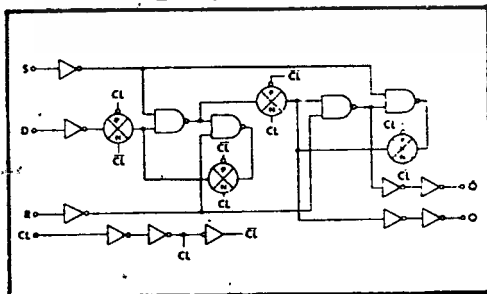
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	$^{\circ}C$
C, D, F, H Device		-40 to +85	$^{\circ}C$
E Device			

BLOCK DIAGRAM



LOGIC DIAGRAM



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS ^{1,2}

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	5	—	1.0	—	0.005	1.0	—	30	μA _{dc}
		10	—	2.0	—	0.01	2.0	—	60	
		15	—	4.0	—	0.02	4.0	—	120	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

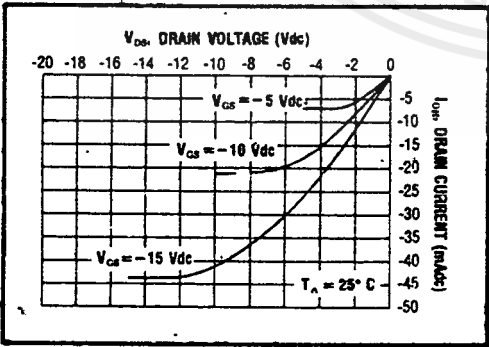
= + 85°C for E device.

³ This device has been designed for balanced output drive current specifications. Consult Family Specifications.

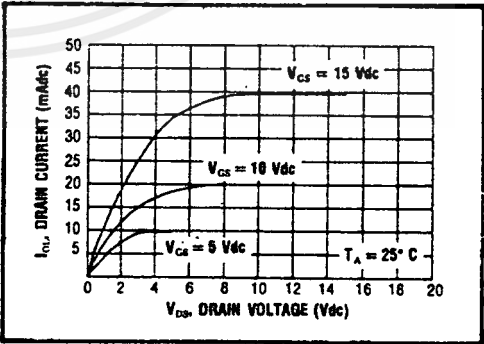
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V _{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME	t _{PLH} , t _{PHL}	5	—	125	250	ns
		10	—	65	130	
		15	—	45	90	
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	
MINIMUM CLOCK PULSE WIDTH	PW _{CL}	5	—	70	140	ns
		10	—	30	60	
		15	—	20	40	
MAXIMUM CLOCK FREQUENCY	f _{CL}	5	3.5	7.0	—	MHz
		10	6.0	16	—	
		15	12.5	25	—	
MAXIMUM CLOCK RISE AND FALL TIME ¹	t _{rCL} , t _{fCL}	5	15	—	—	μs
		10	10	—	—	
		15	5	—	—	
MINIMUM SETUP TIME	t _{setup}	5	—	25	50	ns
		10	—	10	20	
		15	—	7.5	15	
MINIMUM HOLD TIME	t _{hold}	5	—	-25	0	ns
		10	—	-10	0	
		15	—	-5	0	
SET AND RESET OPERATIONS						
PROPAGATION DELAY TIME S to Q, R to Q	t _{PLH}	5	—	125	250	ns
		10	—	65	130	
		15	—	45	90	
MINIMUM SET AND RESET PULSE WIDTH	PW _S , PW _R	5	—	65	130	ns
		10	—	30	60	
		15	—	25	50	
SET AND RESET REMOVAL TIME	t _{rem}	5	—	0	25	ns
		10	—	0	10	
		15	—	0	5	

¹When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS^{1, 3}

PARAMETER ¹	V _{DD} (V _{dc})	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	5	—	5	—	0.05	5	—	150	μAdc
		10	—	10	—	0.1	10	—	300	
		15	—	15	—	0.2	20	—	600	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

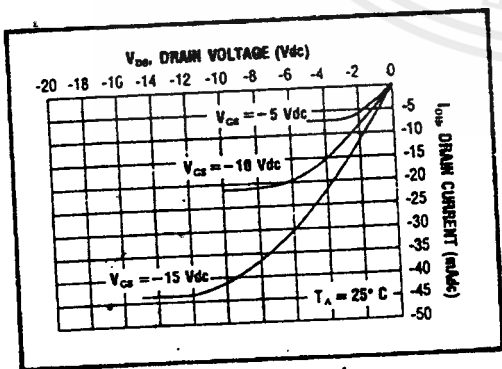
= + 85°C for E device.

³ This device has been designed for balanced output drive current specifications. Consult Family Specifications.

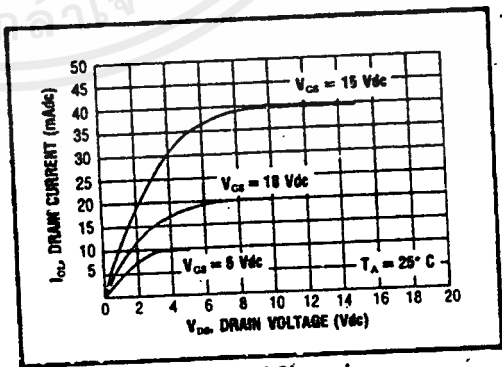
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V _{DD} (V _{dc})	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME	t _{PLH} , t _{PHL}	5	—	375	750	ns
		10 ¹	—	125	250	
		15	—	100	200	
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	
MINIMUM CLOCK PULSE WIDTH	PW _{CL}	5	—	200	400	ns
		10	—	100	200	
		15	—	80	160	
MAXIMUM CLOCK FREQUENCY	f _{CL}	5	1.25	2.5	—	MHz
		10	2.5	5.0	—	
		15	3.0	6.0	—	
MAXIMUM CLOCK RISE AND FALL TIME ¹	t _{rCL} , t _{fCL}	5	15	—	—	μs
		10	15	—	—	
		15	5	—	—	
MINIMUM DATA INPUT DATA SETUP TIME	t _{setup}	5	—	150	300	ns
		10	—	50	100	
		15	—	40	80	
MINIMUM DATA INPUT HOLD TIME	t _{hold}	5	—	0	50	ns
		10	—	0	25	
		15	—	0	15	
RESET OPERATION						
PROPAGATION DELAY TIME	t _{PHL}	5	—	375	750	ns
		10	—	125	250	
		15	—	100	200	
MINIMUM RESET PULSE WIDTH	PW _R	5	—	200	400	ns
		10	—	80	160	
		15	—	60	120	
RESET REMOVAL TIME	t _{rem}	5	—	375	750	ns
		10	—	125	250	
		15	—	100	200	

¹ When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

SCL4015B



CMOS DUAL 4-STAGE SHIFT REGISTER

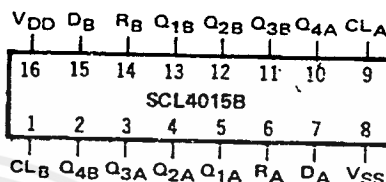
FEATURES

- Serial Input/Parallel Output
- Direct Reset
- Two Independent Sections
- Fully Static Operation - DC to 5MHz @ 10Vdc
- Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4015B consists of two identical, independent, 4-stage Serial-Input/Parallel-Output Registers. Each register has independent Clock and Reset inputs as well as a single serial Data input. Q outputs are available from each of the four stages on both registers. All register stages are D-type, master-slave flip-flops. The logic level present at the Data input is transferred into the first register stage and shifted right one stage at each positive-going Clock transition. Resetting of all stages is accomplished by a high level on the Reset line. Register expansion to 8 stages using one SCL4015B package, or to more than 8 stages using additional SCL4015B's, is possible.

CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

TRUTH TABLE

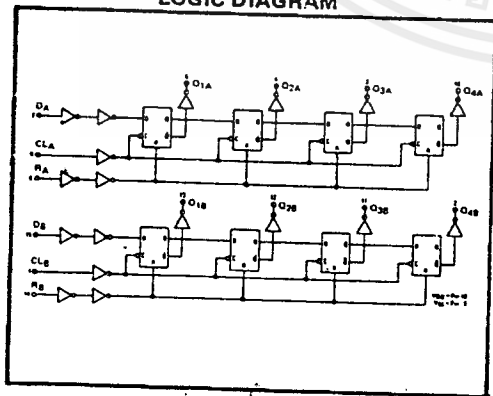
CL*	D	R	Q ₁	Q _n
0	0	0	0	Q _{n-1}
1	0	0	1	Q _{n-1}
X	0	0	Q ₁	Q _n
X	X	1	0	0

(NO CHANGE)

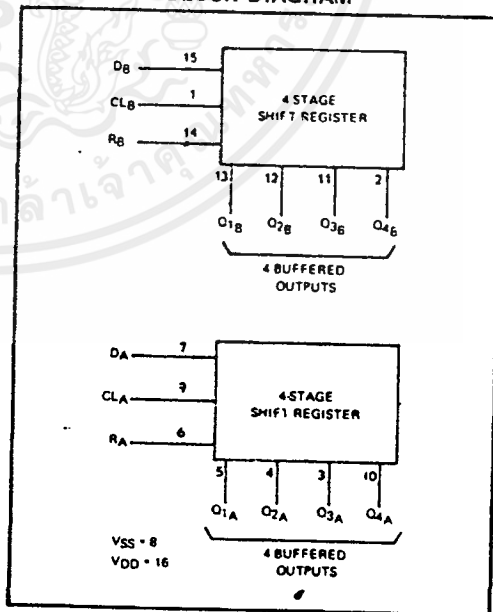
* = LEVEL CHANGE

X = DON'T CARE

LOGIC DIAGRAM



BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4049UB Inverting SCL4050B Non-Inverting



CMOS HEX BUFFERS/CONVERTERS

FEATURES

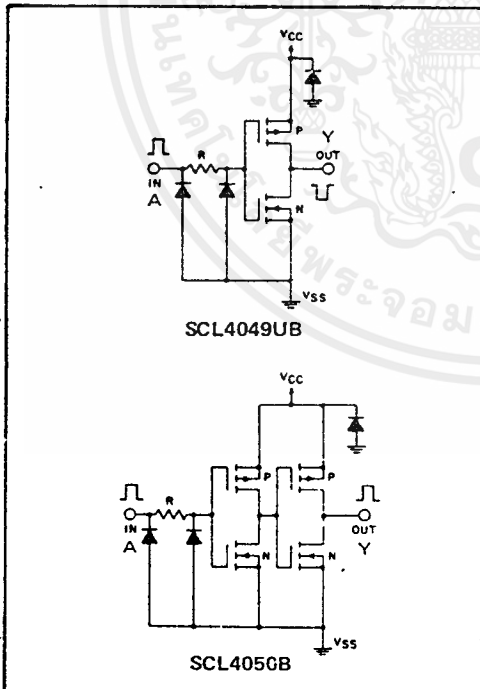
- ◆ Direct Drive of 2 TTL/DTL Loads
- ◆ Operation from Single Supply
- ◆ Pin-for Pin Replacements for SCL4009B, SCL4010B

DESCRIPTION

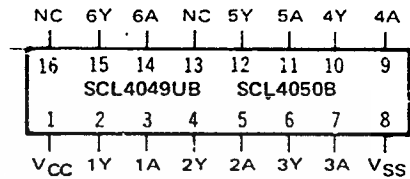
The SCL4049UB and SCL4050B are Inverting and Non-Inverting Hex Buffers, respectively, and feature logic-level conversion using only one supply voltage (V_{CC}). The Input-signal high level (V_{IH}) can exceed the V_{CC} supply voltage when these devices are used for logic-level conversions. These devices are intended for use as CMOS-to-DTL/TTL converters and can drive directly two DTL/TTL Loads.

The SCL4049UB and SCL4050B are interchangeable with SCL4009UB and SCL4010B devices, respectively. In these applications the SCL4049UB and SCL4050B are pin-compatible with the SCL4009UB and SCL4010B, respectively, and can be substituted for these devices in existing as well as in new designs. Terminal No. 16 is not connected internally on the SCL4049UB or SCL4050B; therefore, connection to this terminal is of no consequence to circuit operation.

SCHEMATIC DIAGRAMS



CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

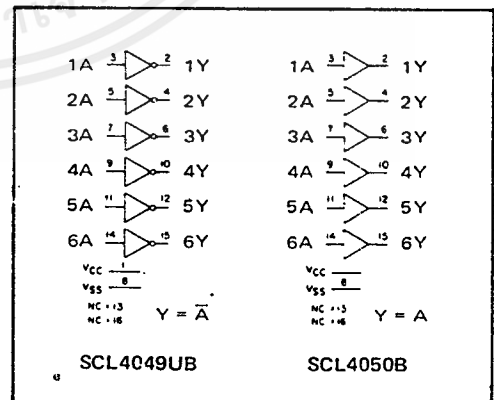
RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{CC} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

Note: These devices contain input protection networks to V_{SS} only. Therefore, V_{IH} (max) may exceed V_{CC} without damage (subject to absolute maximum ratings).

LOGIC DIAGRAMS



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS ^{1,3}

PARAMETER	V _{CC} (V _{DC})	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{CC}	V _{IN} = V _{SS} or V _{DD} All valid input combinations	—	1.0	—	0.005	1.0	—	30	μA _{DC}
			—	2.0	—	0.01	2.0	—	60	
			—	4.0	—	0.02	4.0	—	120	
MINIMUM INPUT HIGH VOLTAGE SCL4049UB	V _{IH}	V _{OL} = 0.5V V _{OL} = 1.0V V _{OL} = 1.5V	—	4.0	—	2.75	4.0	—	4.0	V _{DC}
			—	8.0	—	5.5	8.0	—	8.0	
			—	12.0	—	8.25	12.0	—	12.0	
MAXIMUM INPUT LOW VOLTAGE SCL4049UB	V _{IL}	V _{OH} = 3.6V V _{OH} = 7.2V V _{OH} = 10.8V	1.0	—	1.0	2.25	—	1.0	—	V _{DC}
			2.0	—	2.0	4.5	—	2.0	—	
			3.0	—	3.0	6.75	—	3.0	—	
OUTPUT LOW (SINK) CURRENT C, D, F, H devices	I _{OL}	V _{OL} = 0.4V V _{OL} = 0.5V V _{OL} = 1.5V V _{IN} = V _{SS} or V _{DD}	4.0	—	3.2	6.4	—	2.4	—	mA _{DC}
			10	—	8.0	16	—	5.6	—	
			30	—	24.0	40	—	16.8	—	
E device	I _{OL}	V _{OL} = 0.4V V _{OL} = 0.5V V _{OL} = 1.5V V _{IN} = V _{SS} or V _{DD}	3.8	—	3.2	6.4	—	2.6	—	mA _{DC}
			9.6	—	8.0	16	—	6.4	—	
			28	—	24.0	40	—	19	—	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

 = -40°C for E device.

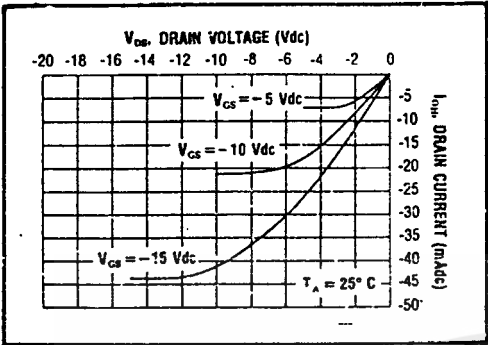
T_{HIGH} = +125°C for C, D, F, H device.

 = + 85°C for E device.

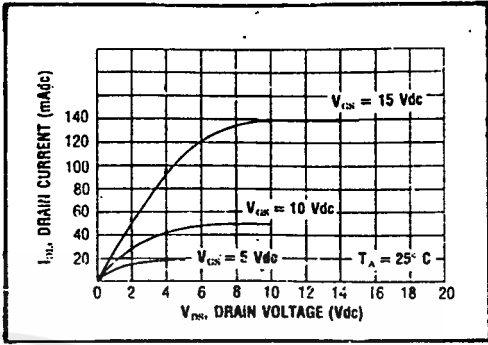
³ These devices have been designed to meet the balanced output drive current specifications for Output High (Source) Current. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25° C)

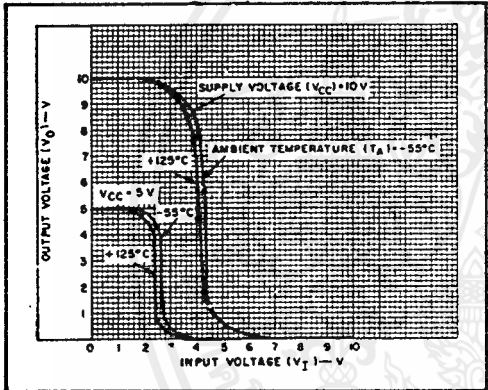
PARAMETER		V _{IN} (V _{DC})	V _{CC} (V _{DC})	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME SCL4049UB	t _{PLH}	5	5	—	60	120	ns
		10	10	—	32	65	
		15	15	—	25	50	
		10	5	—	45	90	ns
		15	5	—	45	90	
		SCL4050B	t _{PLH}	5	5	—	70
10	10			—	40	80	
15	15			—	30	60	
10	5			—	45	90	ns
15	5			—	40	80	
SCL4049UB	t _{PHL}			5	5	—	32
		10	10	—	20	40	
		15	15	—	15	30	
		10	5	—	15	30	ns
		15	5	—	10	20	
		SCL4050B	t _{PHL}	5	5	—	55
10	10			—	27	55	
15	15			—	15	30	
10	5			—	50	100	ns
15	5			—	50	100	
OUTPUT TRANSITION TIME	t _{TLH}			5	5	—	80
		10	10	—	40	80	
		15	15	—	30	60	
	t _{THL}	5	5	—	30	60	ns
		10	10	—	20	40	
		15	15	—	15	30	
INPUT CAPACITANCE SCL4049UB	C _{IN}	—	—	—	15	22.5	pF



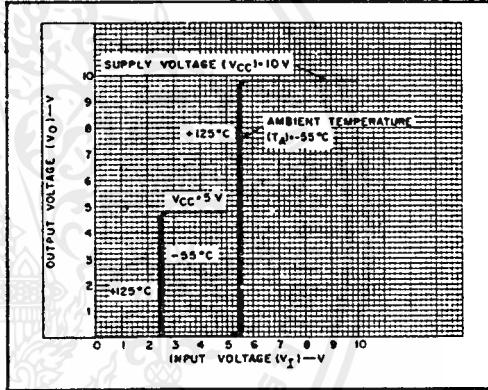
Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics



Typical voltage transfer characteristics as a function
of temperature for SCL4049UB.



Typical voltage transfer characteristics as a function
of temperature for SCL4050B.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**National
Semiconductor**

CD40160BM/CD40160BC Decade Counter with Asynchronous Clear

CD40161BM/CD40161BC Binary Counter with Asynchronous Clear

CD40162BM/CD40162BC Decade Counter with Synchronous Clear

CD40163BM/CD40163BC Binary Counter with Synchronous Clear

general description

These (synchronous presettable up) counters are monolithic complementary MOS (CMOS) integrated circuits constructed with N and P-channel enhancement mode transistors. They feature an internal carry look-ahead for fast counting schemes and for cascading packages without additional gating.

A low level at the load input disables counting and causes the outputs to agree with the data input after the next positive clock edge. The clear function for the CD40162B and CD40163B is synchronous and a low level at the clear input sets all four outputs low after the next positive clock edge. The clear function for the CD40160B and CD40161B is asynchronous and a low level at the clear input sets all four outputs low, regardless of the state of the clock.

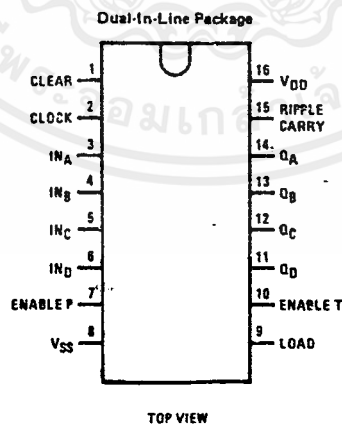
Counting is enabled when both count enable inputs are high. Input T is fed forward to also enable the carry out. The carry output is a positive pulse with a duration approximately equal to the positive portion of Q_A and

can be used to enable successive cascaded stages. Logic transitions at the enable P or T inputs can occur when the clock is high or low.

features

- Wide supply voltage range 3V to 15V
- High noise immunity 0.45 V_{DD} typ
- Low power TTL fan out of 2 compatibility driving 74L or 1 driving 74LS
- Internal look-ahead for fast counting schemes
- Carry output for N-bit cascading
- Load control line
- Synchronously programmable
- Equivalent to MC14160B, MC14161B, MC14162B, MC14163B
- Equivalent to MM74C160, MM74C161, MM74C162, MM74C163

connection diagram



absolute maximum ratings

(Notes 1 and 2)

V _{DD} dc Supply Voltage	-0.5 to +18 V _{DC}
V _{IN} Input Voltage	-0.5 to V _{DD} +0.5 V _{DC}
T _S Storage Temperature Range	-65°C to +150°C
P _D Package Dissipation	500 mW
T _L Lead Temperature (Soldering, 10 seconds)	300°C

recommended operating conditions

(Note 2)

V _{DD} dc Supply Voltage	3 to 15 V _{DC}
V _{IN} Input Voltage	0 to V _{DD} V _{DC}
T _A Operating Temperature Range	-55°C to +125°C
CD40XXXBM	-40°C to +85°C
CD40XXXBC	

dc electrical characteristics CD40160BM, CD40161BM, CD40162BM CD40163BM (Note 2)

PARAMETER	CONDITIONS	-55°C		25°C			125°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I _{DD} Quiescent Device Current	V _{DD} = 5V		5			5		150	μA
	V _{DD} = 10V		10			10		300	μA
	V _{DD} = 15V		20			20		600	μA
V _{OL} Low Level Output Voltage	I _O < 1μA								
	V _{DD} = 5V		0.05			0.05		0.05	V
	V _{DD} = 10V		0.05			0.05		0.05	V
V _{OH} High Level Output Voltage	I _O < 1μA								
	V _{DD} = 5V	4.95		4.95	5		4.95		V
	V _{DD} = 10V	9.95		9.95	10		9.95		V
V _{IL} Low Level Input Voltage	V _{DD} = 5V, V _O = 0.5V or 4.5V		1.5			1.5		1.5	V
	V _{DD} = 10V, V _O = 1V or 9V		3.0			3.0		3.0	V
	V _{DD} = 15V, V _O = 1.5V or 13.5V		4.0			4.0		4.0	V
V _{IH} High Level Input Voltage	V _{DD} = 5V, V _O = 0.5V or 4.5V	3.5		3.5			3.5		V
	V _{DD} = 10V, V _O = 1V or 9V	7.0		7.0			7.0		V
	V _{DD} = 15V, V _O = 1.5V or 13.5V	11.0		11.0			11.0		V
I _{OL} Low Level Output Current	V _{DD} = 5V, V _O = 0.4V	0.64		0.51	0.88		0.36		mA
	V _{DD} = 10V, V _O = 0.5V	1.6		1.3	2.25		0.9		mA
	V _{DD} = 15V, V _O = 1.5V	4.2		3.4	8.8		2.4		mA
I _{OH} High Level Output Current	V _{DD} = 5V, V _O = 4.6V	-0.64		-0.51	-0.88		-0.36		mA
	V _{DD} = 10V, V _O = 9.5V	-1.6		-1.3	-2.25		-0.9		mA
	V _{DD} = 15V, V _O = 13.5V	-4.2		-3.4	-8.8		-2.4		mA
I _{IN} Input Current	V _{DD} = 15V, V _{IN} = 0V		-0.10		-10 ⁻⁵	-0.10		-1.0	μA
	V _{DD} = 15V, V _{IN} = 15V		0.10		10 ⁻⁵	0.10		1.0	μA

dc electrical characteristics CD40160BC, CD40161BC, CD40162BC, CD40163BC (Note 2)

PARAMETER	CONDITIONS	-40°C		25°C			85°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I _{DD} Quiescent Device Current	V _{DD} = 5V		20			20		150	μA
	V _{DD} = 10V		40			40		300	μA
	V _{DD} = 15V		80			80		600	μA
V _{OL} Low Level Output Voltage	I _O < 1μA								
	V _{DD} = 5V		0.05			0.05		0.05	V
	V _{DD} = 10V		0.05			0.05		0.05	V
V _{OH} High Level Output Voltage	I _O < 1μA								
	V _{DD} = 5V	4.95		4.95	5		4.95		V
	V _{DD} = 10V	9.95		9.95	10		9.95		V
V _{IL} Low Level Input Voltage	V _{DD} = 5V, V _O = 0.5V or 4.5V		1.5			1.5		1.5	V
	V _{DD} = 10V, V _O = 1V or 9V		3.0			3.0		3.0	V
	V _{DD} = 15V, V _O = 1.5V or 13.5V		4.0			4.0		4.0	V

dc electrical characteristics (con't) CD40160BC, CD40161BC, CD40162BC, CD40163BC (Note 2)

PARAMETER	CONDITIONS	-40°C		25°C			85°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
V _{IH} High Level Input Voltage	V _{DD} = 5V, V _O = 0.5V or 4.5V	3.5		3.5			3.5		V
	V _{DD} = 10V, V _O = 1V or 9V	7.0		7.0			7.0		V
	V _{DD} = 15V, V _O = 1.5V or 13.5V	11.0		11.0			11.0		V
I _{OL} Low Level Output Current	V _{DD} = 5V, V _O = 0.4V	0.52		0.44	0.88		0.36		mA
	V _{DD} = 10V, V _O = 0.5V	1.3		1.1	2.25		0.9		mA
	V _{DD} = 15V, V _O = 1.5V	3.6		3.0	8.8		2.4		mA
I _{OH} High Level Output Current	V _{DD} = 5V, V _O = 4.5V	-0.52		-0.44	-0.83		-0.36		mA
	V _{DD} = 10V, V _O = 9.5V	-1.3		-1.1	-2.25		-0.9		mA
	V _{DD} = 15V, V _O = 13.5V	-3.6		-3.0	-8.8		-2.4		mA
I _{IN} Input Current	V _{DD} = 15V, V _{IN} = 0V		-0.30		-10 ⁻⁵	-0.30		-1.0	μA
	V _{DD} = 15V, V _{IN} = 15V		0.30		10 ⁻⁵	0.30		1.0	μA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed; they are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

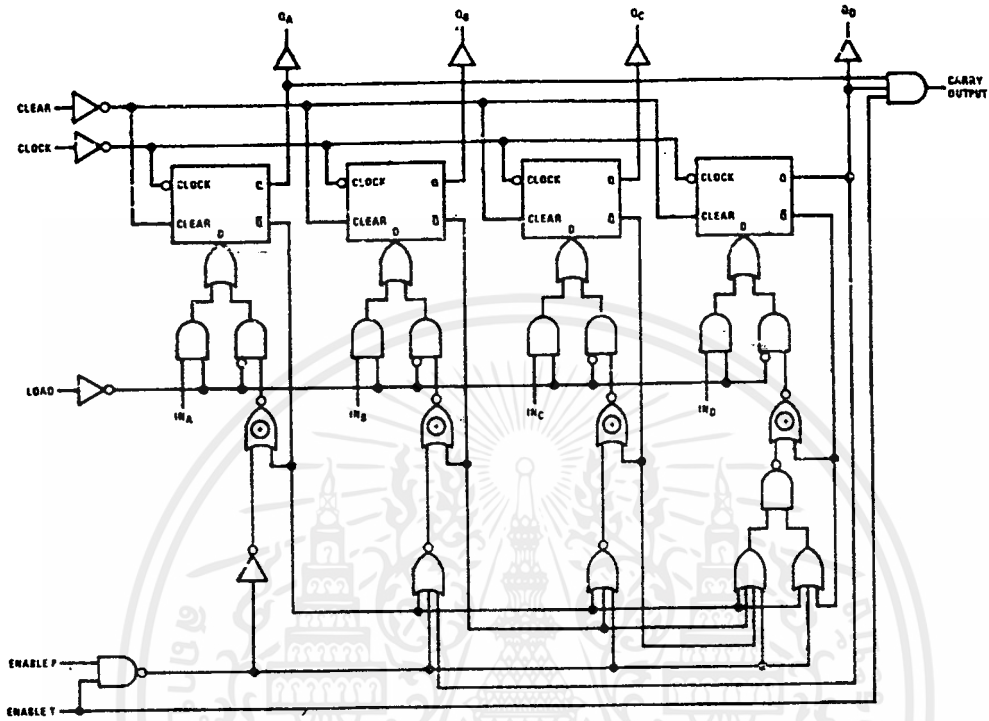
Note 3: C_{PD} determines the no load ac power consumption of any CMOS device. For complete explanation see 54C/74C Family Characteristics application note, AN-90.

ac electrical characteristics T_A = 25°C, C_L = 50 pF, R_L = 200k, unless otherwise specified.

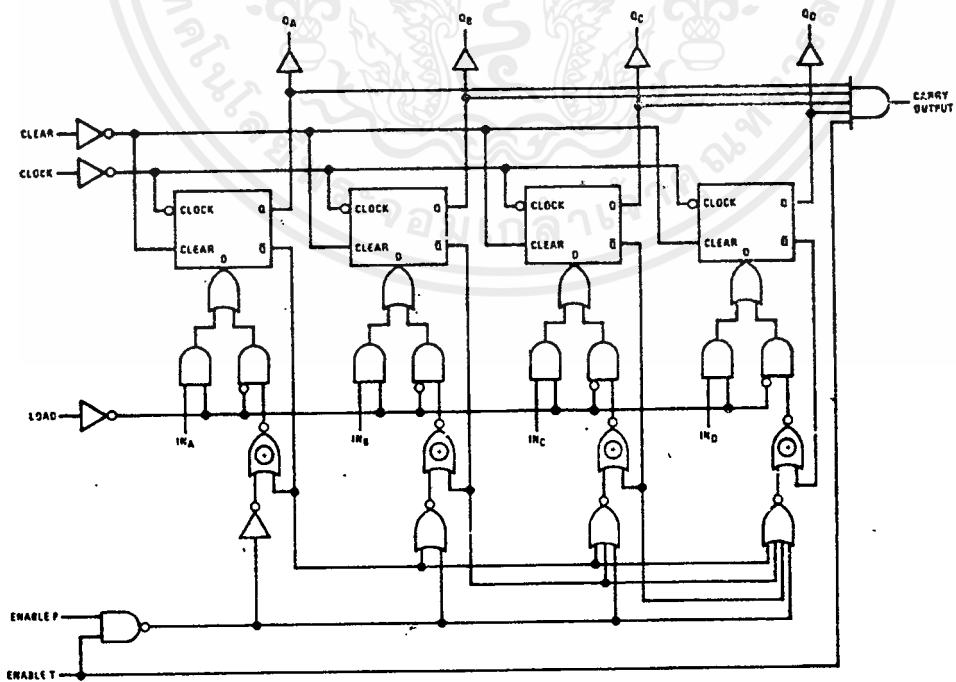
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t _{PHL} or t _{PLH} Propagation Delay Time From Clock to Q	V _{DD} = 5V		250	400	ns
	V _{DD} = 10V		100	160	ns
	V _{DD} = 15V		80	130	ns
t _{PHL} or t _{PLH} Propagation Delay Time From Clock to Carry Out	V _{DD} = 5V		290	450	ns
	V _{DD} = 10V		120	190	ns
	V _{DD} = 15V		100	160	ns
t _{PHL} or t _{PLH} Propagation Delay Time From T Enable to Carry Out	V _{DD} = 5V		180	290	ns
	V _{DD} = 10V		70	130	ns
	V _{DD} = 15V		60	110	ns
t _{PHL} Propagation Time From Clear to Q (CD40160B, CD40161B Only)	V _{DD} = 5V		190	200	ns
	V _{DD} = 10V		80	80	ns
	V _{DD} = 15V		70	70	ns
t _{SU} Minimum Time Prior to Clock that Data or Load must be Present	V _{DD} = 5V		120		ns
	V _{DD} = 10V		30		ns
	V _{DD} = 15V		25		ns
t _{SU} Minimum Time Prior to Clock that Enable P or T must be Present	V _{DD} = 5V		170	280	ns
	V _{DD} = 10V		70	120	ns
	V _{DD} = 15V		60	100	ns
t _{SU} Minimum Time Prior to Clock that Clear must be Present (CD40162B, CD40163B Only)	V _{DD} = 5V		120	190	ns
	V _{DD} = 10V		50	80	ns
	V _{DD} = 15V		40	70	ns
t _{WL} or t _{WH} Clock Rise or Fall Time	V _{DD} = 5V		125	250	ns
	V _{DD} = 10V		45	90	ns
	V _{DD} = 15V		35	70	ns
t _{RCL} , t _{FCL} Maximum Clock Rise or Fall Time	V _{DD} = 5V			15	μs
	V _{DD} = 10V			5.0	μs
	V _{DD} = 15V			5.0	μs
f _{CL} Maximum Clock Frequency	V _{DD} = 5V	2	4		MHz
	V _{DD} = 10V	5.5	11		MHz
	V _{DD} = 15V	7	14		MHz
t _{THL} or t _{TLH} Transition Time	All Outputs				
	V _{DD} = 5V		100	200	ns
	V _{DD} = 10V		50	100	ns
	V _{DD} = 15V		40	80	ns
C _{IN} Average Input Capacitance	Any Input		5.0	7.5	pF
C _{PD} Power Dissipation Capacity	(Note 3)		95		pF

logic diagrams

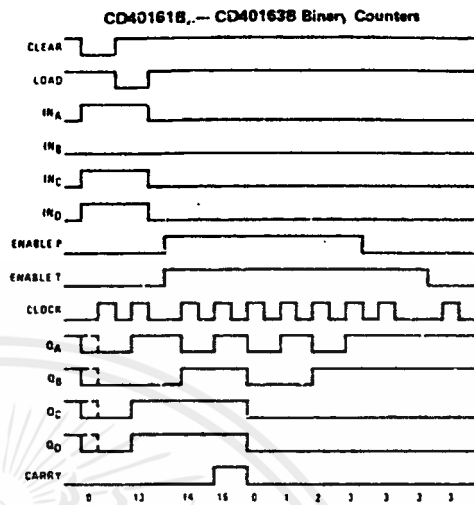
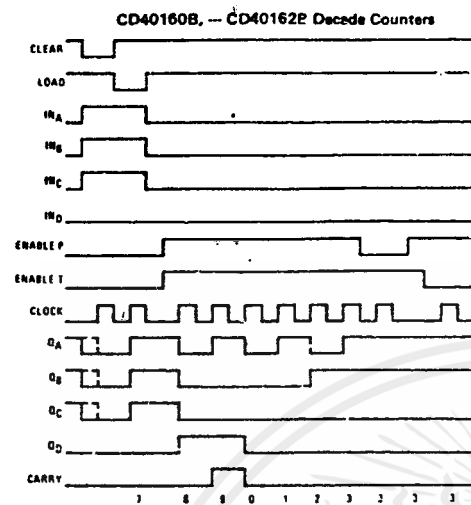
CD40160B, CD40162B Clear is Synchronous for the CD40162B



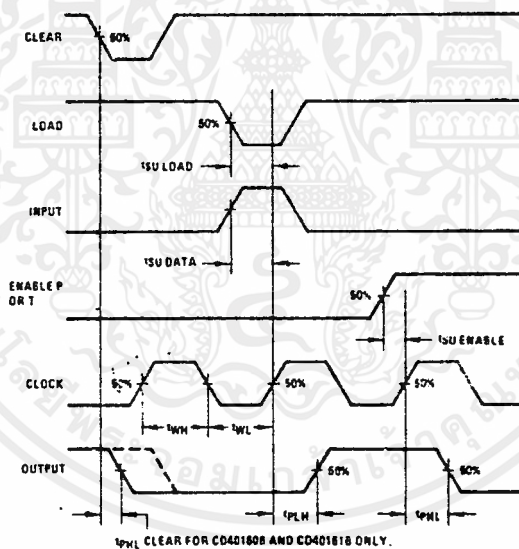
CD40161B, CD40163B Clear is Synchronous for the CD40163B



logic waveforms



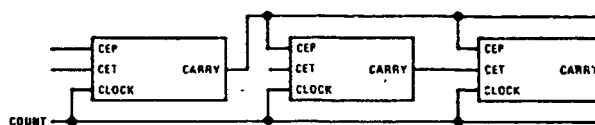
switching time waveforms



Note 1: All input pulses are from generators having the following characteristics: $t_r = t_f = 20$ ns PRR ≤ 1 MHz duty cycle $\leq 50\%$, $Z_{OUT} \approx 50\Omega$.

Note 2: All times are measured from 50% to 50%.

cascading packages



SCL4543B Preliminary



BCD-TO-SEVEN SEGMENT LATCH/DECODER/DRIVER

FEATURES

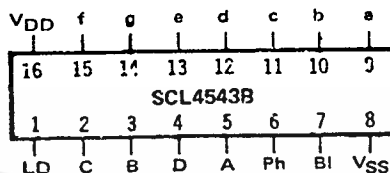
- ◆ Phase Input Signal Reproduced on Outputs for Liquid Crystal Display
- ◆ Latched Storage of Input Code
- ◆ Blanking Input for Display Intensity Modulation
- ◆ Readout Blanking for Illegal Input Combinations
- ◆ Pin Compatible with CD4056A (with Pin 7 Tied to V_{SS})
- ◆ Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4543B BCD-to-7 Segment Latch/Decoder/Driver is designed for use with liquid crystal readouts and is constructed with complementary MOS (CMOS) enhancement-mode devices. The circuit provides the functions of a 4-bit storage latch and a 8421 BCD-to-seven segment decoder and driver. The device has the capability to invert the logic levels of the output combinations. The Phase (Ph), Blanking (BI), and Latch Disable (LD) inputs are used to reverse the truth-table phase, blank the display, and store a BCD code, respectively. For liquid crystal readouts, a square wave is applied to the Ph input of the circuit and the electrically common backplane of the display. The outputs of the circuit are connected directly to the segments of the readout. For other types of readouts, such as light-emitting diode (LED), incandescent, gas discharge, and fluorescent readouts, connection diagrams are given on this data sheet.

Applications include instrument (e.g., counter,

CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	V _{DD} - V _{SS}	3 to 15	V _{dc}
Operating Temperature	T _A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

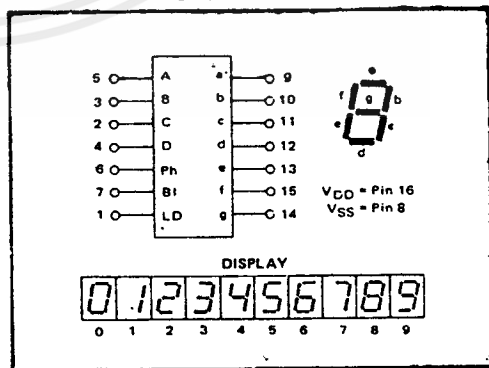
DVM, etc.) display driver, computer/calculator display driver, cockpit display driver, and various clock, watch, and timer uses.

TRUTH TABLE

INPUTS				OUTPUTS						
LD	BI	Ph*	D C B A	a	b	c	d	e	f	g
X	1	0	X X X X	0	0	0	0	0	0	0
1	0	0	0 0 0 0	1	1	1	1	1	0	0
1	0	0	0 0 0 1	1	1	1	0	0	0	0
1	0	0	0 0 1 0	1	1	0	1	0	0	0
1	0	0	0 0 1 1	1	1	1	1	0	0	0
1	0	0	0 1 0 0	0	1	1	0	0	1	1
1	0	0	0 1 0 1	1	0	1	1	0	1	1
1	0	0	0 1 1 0	1	0	1	1	1	1	1
1	0	0	0 1 1 1	1	1	1	0	0	0	1
1	0	0	1 0 0 0	1	1	1	1	1	1	1
1	0	0	1 0 0 1	1	1	1	0	0	1	1
1	0	0	1 0 1 0	0	0	0	0	0	0	0
1	0	0	1 0 1 1	0	0	0	0	0	0	0
1	0	0	1 1 0 0	0	0	0	0	0	0	0
1	0	0	1 1 0 1	0	0	0	0	0	0	0
1	0	0	1 1 1 0	0	0	0	0	0	0	0
1	0	0	1 1 1 1	0	0	0	0	0	0	0
0	0	0	X X X X							
1	1	1	1	Inverse of Output Combinations Above						Display as above

X = Don't care
1 = Above Combinations
* For liquid crystal readouts, apply a square wave to Ph.
For common cathode LED readouts, select Ph = 0.
For common anode LED readouts, select Ph = 1.
** = Depends upon the BCD code previously applied when LD = 1.

BLOCK DIAGRAM



ELECTRICAL CHARACTERISTICS

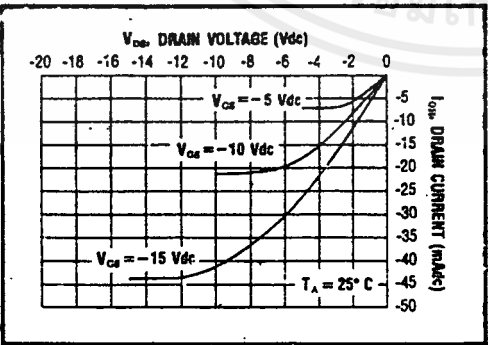
STATIC CHARACTERISTICS^{1,3}

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ¹		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	V _{IN} =V _{SScr} V _{DD} All valid input combinations	—	5	—	0.05	5	—	150	μAdc
			—	10	—	0.1	10	—	300	
			—	15	—	0.2	15	—	600	

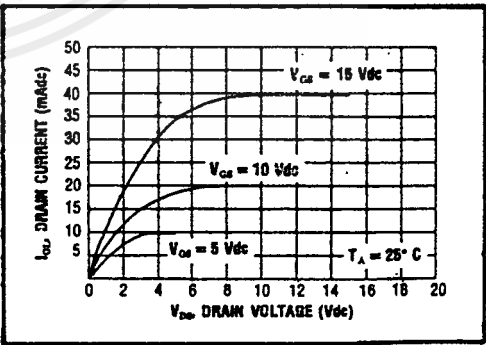
- NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
² T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
³ This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V _{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t _{PLH} , t _{PHL}	5	—	550	1100	ns
		10	—	210	420	
		15	—	160	320	
OUTPUT TRANSITION TIME	t _{TLM} , t _{THL}	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	
MINIMUM DATA INPUT SETUP TIME	t _{setup}	5	—	-40	0	ns
		10	—	-15	0	
		15	—	-10	0	
MINIMUM DATA INPUT HOLD TIME	t _{hold}	5	—	40	80	ns
		10	—	15	30	
		15	—	10	20	
MINIMUM LD PULSE WIDTH	PW _{LD}	5	—	125	250	ns
		10	—	50	100	
		15	—	40	80	

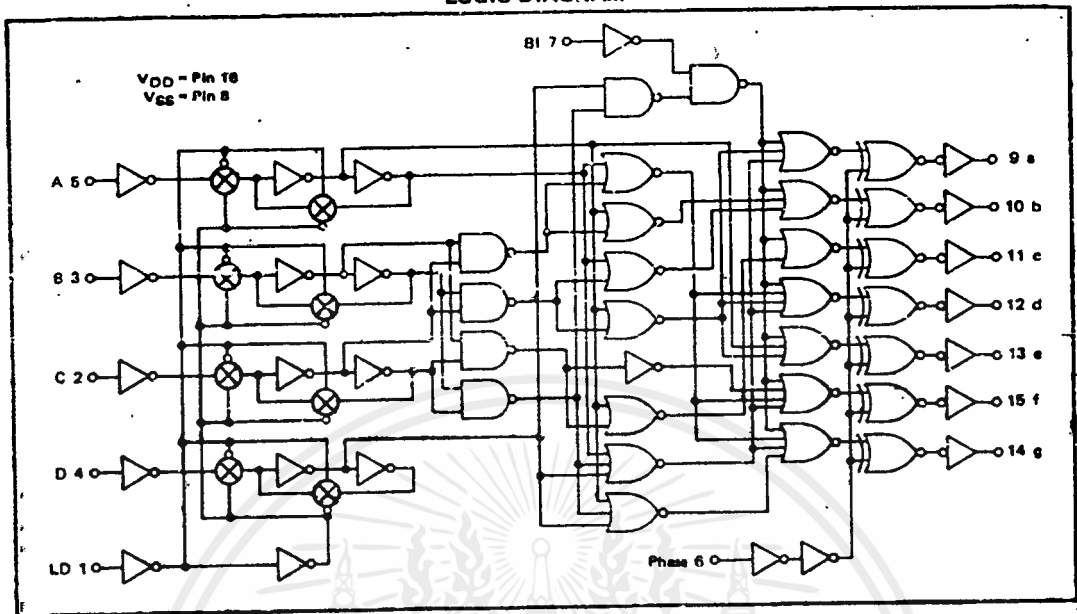


Typical P-Channel
Source Current Characteristics.

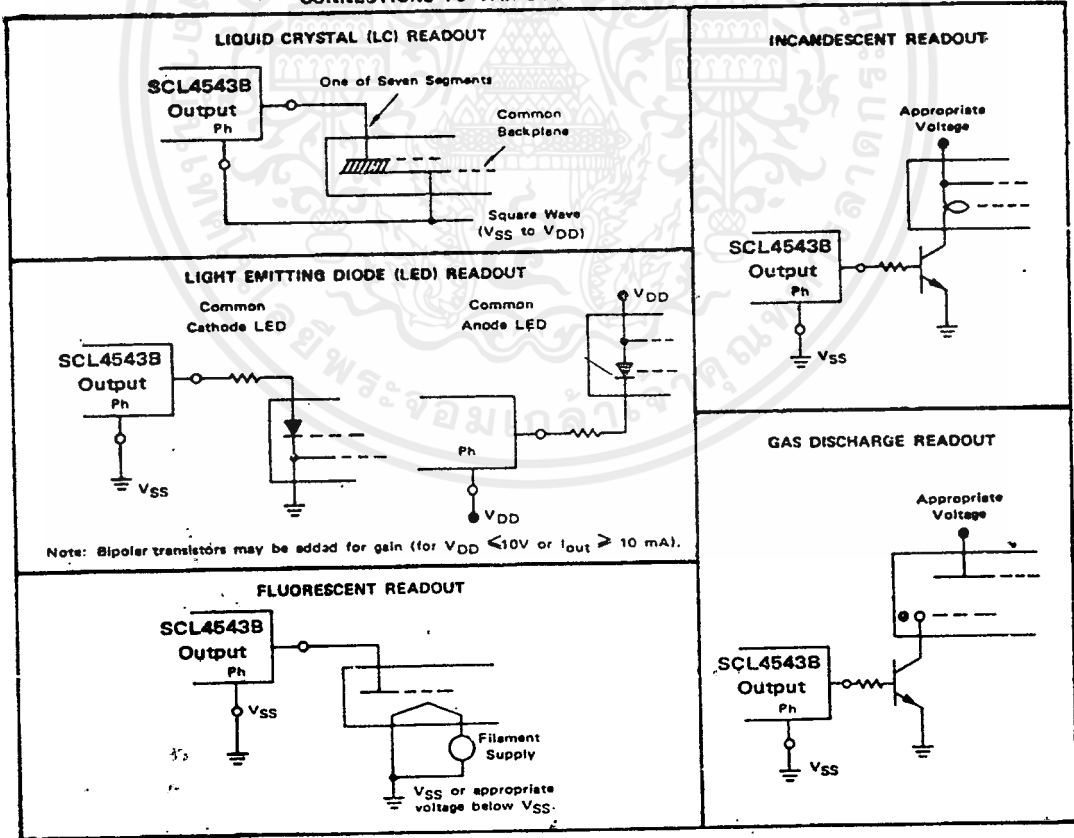


Typical N-Channel
Sink Current Characteristics

LOGIC DIAGRAM



APPLICATIONS INFORMATION
CONNECTIONS TO VARIOUS DISPLAY READOUTS



SCL4555B SCL4556B



CMOS DUAL 2-TO-4 LINE DECODERS

FEATURES

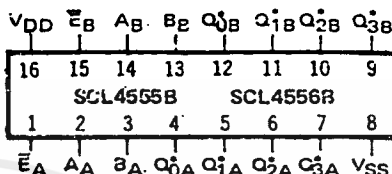
- ◆ Buffered Outputs
- ◆ Selected Output Active High (SCL4555B) or Active Low (SCL4556B)
- ◆ Expendable

DESCRIPTION

The SCL4555B and SCL4556B are constructed with complementary MOS (CMOS) enhancement-mode devices. Each decoder/demultiplexer has two Select inputs (A and B), an active-low Enable input (E), and four mutually-exclusive outputs (Q0, Q1, Q2, Q3). The SCL4555B has the selected output go to the "high" state, and the SCL4556B has the selected output go to the "low" state. Expanded decoding such as binary-to-hexadecimal (1-of-16), etc., can be achieved by using other SCL4555B or SCL4556B devices.

Applications include code conversion, address decoding, memory selection control, and demultiplexing (using the Enable input as a data input) in digital data transmission systems.

CONNECTION DIAGRAM (all packages)



* Inverted for SCL4556B

Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

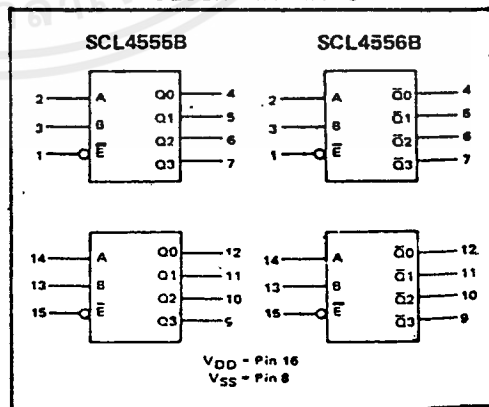
DC Supply Voltage	VDD - VSS	3 to 15	Vdc
Operating Temperature	TA	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

TRUTH TABLE

Inputs			Outputs SCL4555B				Outputs SCL4556B			
Enable	Select		Q3	Q2	Q1	Q0	Q3	Q2	Q1	Q0
E	B	A								
0	0	0	0	0	0	1	1	1	1	0
0	0	1	0	0	1	0	1	1	0	1
0	1	0	0	1	0	0	1	0	1	1
0	1	1	1	0	0	0	0	1	1	1
1	X	X	0	0	0	0	1	1	1	1

X = Don't Care

BLOCK DIAGRAMS



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS¹

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	V _{DD}	V _{IN} = V _{SS} or V _{DD} All valid inputs combinations	—	5	—	0.05	5	—	150	μAdc
			—	10	—	0.1	10	—	300	
			—	20	—	0.2	20	—	600	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

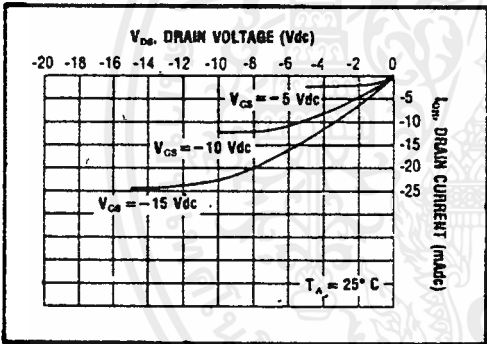
= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

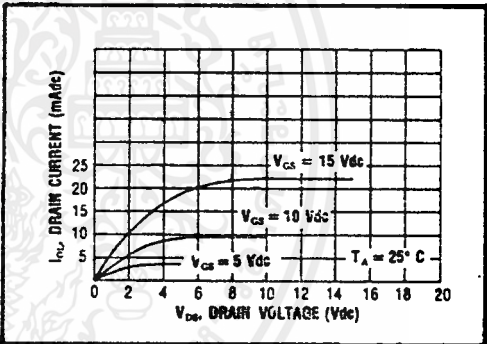
= + 85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V _{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME SCL4555B	t _{PLH} , t _{PHL}	5	—	140	280	ns
		10	—	65	130	
		15	—	45	90	
SCL4556B	t _{PLH} , t _{PHL}	5	—	160	320	ns
		10	—	75	150	
		15	—	50	100	
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	5	—	130	260	ns
		10	—	65	130	
		15	—	50	100	

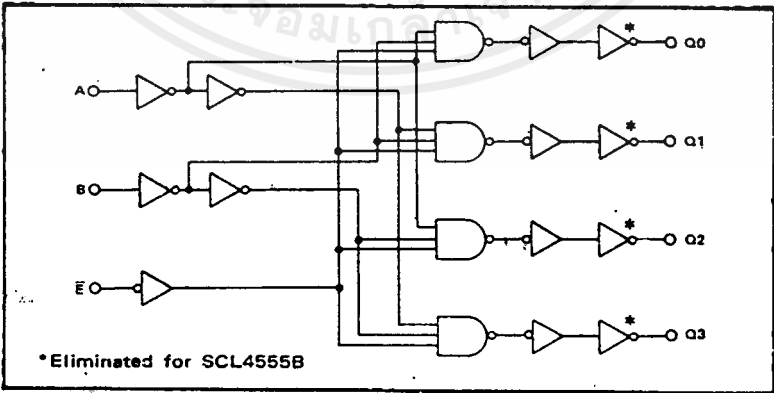


Typical P-Channel
Source Current Characteristics



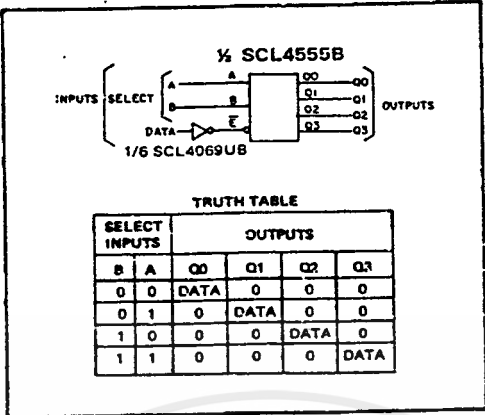
Typical N-Channel
Sink Current Characteristics

LOGIC DIAGRAM (½ of Dual)

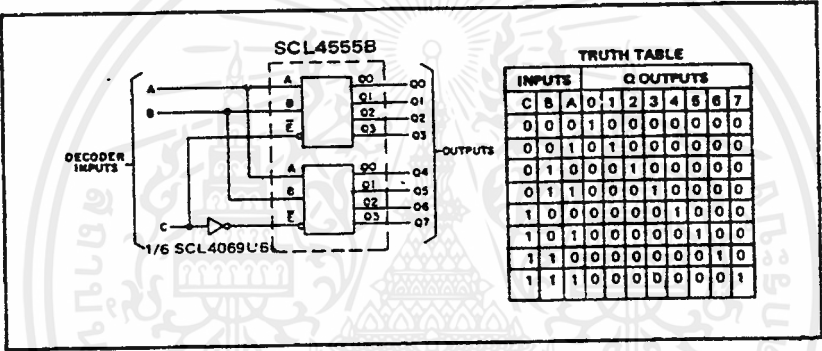


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

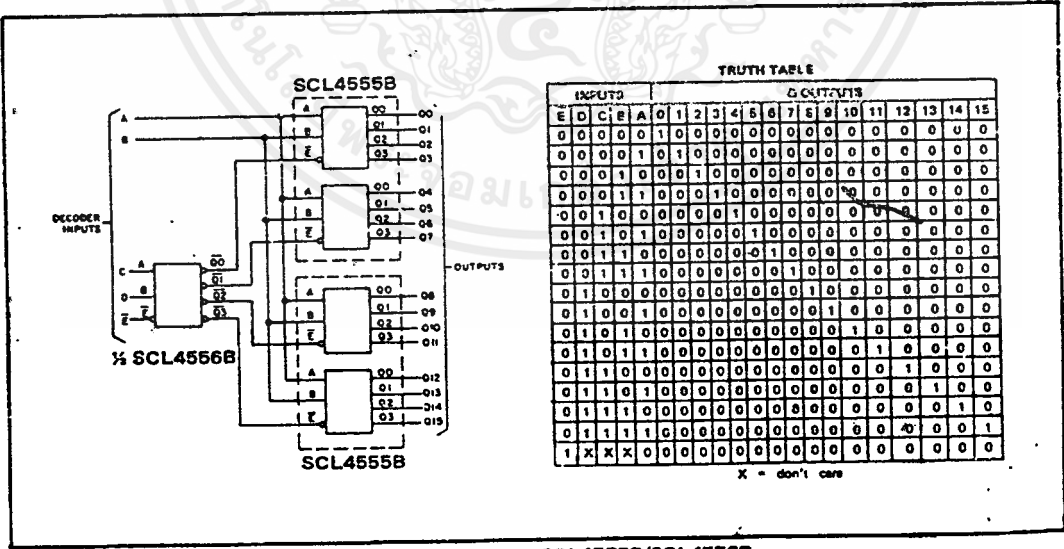
APPLICATIONS INFORMATION



1-of-4 Line Data Demultiplexer Using SCL4555B



1-of-8 Decoder Using SCL4555B



1-of-16 Decoder Using SCL4555B/SCL4556B

หนังสืออ้างอิง

- 1.) รศ. บัณฑิต โรจน์อารยานนท์, “หลักการไฟฟ้าสื่อสาร”, สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย 2532
- 2.) กฤษฎาภรณ์ กล่อมการ, “การออกแบบระบบส่งข้อมูลในช่องสัญญาณกระจายเสียงแบบ FM”, วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- 3.) สุรวัดร์ มณีตานนท์, “การออกแบบและสร้างเครื่องวัดอัตราการผลิตของการรับส่งข้อมูล”, วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต, รายงานผลงานการวิจัย, จุฬาลงกรณ์มหาวิทยาลัย
- 4.) Taub. Schilling, “Principles of Communication Systems”
- 5.) Dadid R. Smith, “Digital Transmission Systems”
- 6.) ถวิล กิ่งทอง, “เทคโนโลยีการส่งสัญญาณดิจิทัล”, สำนักพิมพ์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- 7.) วิบูลย์ ชื่นแขก, “ไมโครโปรเซสเซอร์”, สำนักพิมพ์สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ